

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# R8C/18グループ、R8C/19グループ

## ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ  
R8Cファミリ／R8C/1xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

#### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

#### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

# このマニュアルの使い方

## 1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/18グループ、R8C/19グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/18グループ、R8C/19グループデータシート	RJJ03B0129
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/18グループ、R8C/19グループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU命令セットの説明	R8C/Tinyシリーズソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス テクノロジホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

## 2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名  
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。  
(例) PM0 レジスタのPM03ビット  
P3\_5 端子、VCC 端子
- (2) 数の表記  
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。  
(例) 2進数 : 11b  
16進数 : EFA0h  
10進数 : 1234

### 3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

ビットシンボル	ビット名	機能	RW
... 0	...ビット	b1 b0 0 0 : ... 0 1 : ... 1 0 : 設定しないでください 1 1 : ...	RW
... 1			RW
(b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-
(b4 - b3)	予約ビット	“0”にしてください	WO
... 5	...ビット	動作モードによって機能が異なる	RW
... 6			RW
... 7	...ビット	0 : ... 1 : ...	RO

\* 1  
空白 : 用途に応じて “0” または “1” にしてください。  
0 : “0” にしてください。  
1 : “1” にしてください。  
x : 何も配置されていないビットです。

\* 2  
RW : 読むとビットの状態が読めます。書くと有効データになります。  
RO : 読むとビットの状態が読めます。書いた値は無効になります。  
WO : 書くと有効データになります。ビットの状態は読めません。  
- : 何も配置されていないビットです。

\* 3  
・予約ビット  
予約ビットです。指定された値にしてください。

\* 4  
・何も配置されていない  
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は “0” を書いてください。  
・設定しないでください  
設定した場合の動作は保証されません。  
・動作モードによって機能が異なる  
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

\* 5  
リセット時 (00h)



#### 4. 略語および略称の説明

略語/略称	フルスベル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NECエレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816規定のICカード
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

# 目次

番地別ページ早見表	B-1
1. 概要	1
1.1 応用 .....	1
1.2 性能概要 .....	2
1.3 ブロック図 .....	4
1.4 製品一覧 .....	5
1.5 ピン接続図 .....	7
1.6 端子の機能説明 .....	10
2. 中央演算処理装置 (CPU)	13
2.1 データレジスタ (R0、R1、R2、R3).....	14
2.2 アドレスレジスタ (A0、A1).....	14
2.3 フレームベースレジスタ (FB).....	14
2.4 割り込みテーブルレジスタ (INTB).....	14
2.5 プログラムカウンタ (PC).....	14
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP) .....	14
2.7 スタティックベースレジスタ (SB) .....	14
2.8 フラグレジスタ (FLG).....	14
2.8.1 キャリフラグ (C フラグ) .....	14
2.8.2 デバッグフラグ (D フラグ) .....	14
2.8.3 ゼロフラグ (Z フラグ) .....	14
2.8.4 サインフラグ (S フラグ).....	14
2.8.5 レジスタバンク指定フラグ (B フラグ) .....	14
2.8.6 オーバフローフラグ (O フラグ) .....	15
2.8.7 割り込み許可フラグ (I フラグ) .....	15
2.8.8 スタックポインタ指定フラグ (U フラグ) .....	15
2.8.9 プロセッサ割り込み優先レベル (IPL) .....	15
2.8.10 予約ビット.....	15
3. メモリ	16
3.1 R8C/18 グループ.....	16
3.2 R8C/19 グループ.....	17

4.	SFR	18
5.	リセット	22
5.1	ハードウェアリセット	24
5.1.1	電源が安定している場合	24
5.1.2	電源投入時	24
5.2	パワーオンリセット機能	26
5.3	電圧監視 1 リセット	27
5.4	電圧監視 2 リセット	27
5.5	ウォッチドッグタイマリセット	27
5.6	ソフトウェアリセット	27
6.	プログラマブル入出力ポート	28
6.1	プログラマブル入出力ポートの機能	28
6.2	周辺機能への影響	28
6.3	プログラマブル入出力ポート以外の端子	28
6.4	ポートの設定	35
6.5	未使用端子の処理	39
7.	電圧検出回路	40
7.1	VCC 入力電圧	45
7.1.1	Vdet1 のモニタ	45
7.1.2	Vdet2 のモニタ	45
7.1.3	デジタルフィルタ	45
7.2	電圧監視 1 リセット	47
7.3	電圧監視 2 割り込み、電圧監視 2 リセット	48
8.	プロセッサモード	50
8.1	プロセッサモードの種類	50
9.	バス制御	52
10.	クロック発生回路	53
10.1	メインクロック	59
10.2	オンチップオシレータクロック	60
10.2.1	低速オンチップオシレータクロック	60
10.2.2	高速オンチップオシレータクロック	60

10.3	CPU クロックと周辺機能クロック .....	61
10.3.1	システムクロック .....	61
10.3.2	CPU クロック .....	61
10.3.3	周辺機能クロック (f1、f2、f4、f8、f32) .....	61
10.3.4	fRING、fRING128 .....	61
10.3.5	fRING-fast .....	61
10.3.6	fRING-S .....	61
10.4	パワーコントロール .....	62
10.4.1	通常動作モード .....	62
10.4.2	ウェイトモード .....	63
10.4.3	ストップモード .....	65
10.5	発振停止検出機能 .....	67
10.5.1	発振停止検出機能の使用方法 .....	67
10.6	クロック発生回路使用上の注意 .....	69
10.6.1	ストップモード、ウェイトモード .....	69
10.6.2	発振停止検出機能 .....	69
10.6.3	発振回路定数 .....	69
10.6.4	高速オンチップオシレータクロック .....	69
11.	プロテクト .....	70
12.	割り込み .....	71
12.1	割り込みの概要 .....	71
12.1.1	割り込みの分類 .....	71
12.1.2	ソフトウェア割り込み .....	72
12.1.3	特殊割り込み .....	73
12.1.4	周辺機能割り込み .....	73
12.1.5	割り込みと割り込みベクタ .....	74
12.1.6	割り込み制御 .....	76
12.2	<u>INT</u> 割り込み .....	85
12.2.1	<u>INT0</u> 割り込み .....	85
12.2.2	<u>INT0</u> 入力フィルタ .....	86
12.2.3	<u>INT1</u> 割り込み .....	87
12.2.4	<u>INT3</u> 割り込み .....	88
12.3	キー入力割り込み .....	90

12.4	アドレス一致割り込み .....	92
12.5	割り込み使用上の注意 .....	94
12.5.1	00000h 番地の読み出し .....	94
12.5.2	SP の設定 .....	94
12.5.3	外部割り込み、キー入力割り込み.....	94
12.5.4	ウォッチドッグタイマ割り込み .....	94
12.5.5	割り込み要因の変更 .....	95
12.5.6	割り込み制御レジスタの変更 .....	96
13.	ウォッチドッグタイマ .....	97
13.1	カウントソース保護モード無効時 .....	100
13.2	カウントソース保護モード有効時 .....	101
14.	タイマ .....	102
14.1	タイマ X .....	103
14.1.1	タイマモード .....	106
14.1.2	パルス出力モード .....	107
14.1.3	イベントカウンタモード .....	109
14.1.4	パルス幅測定モード .....	110
14.1.5	パルス周期測定モード .....	113
14.1.6	タイマ X 使用上の注意 .....	116
14.2	タイマ Z .....	117
14.2.1	タイマモード .....	122
14.2.2	プログラマブル波形発生モード .....	124
14.2.3	プログラマブルワンショット発生モード .....	127
14.2.4	プログラマブルウェイトワンショット発生モード .....	130
14.2.5	タイマ Z 使用上の注意 .....	133
14.3	タイマ C .....	134
14.3.1	インプットキャプチャモード .....	140
14.3.2	アウトプットコンペアモード .....	142
14.3.3	タイマ C 使用上の注意 .....	144
15.	シリアルインタフェース .....	145
15.1	クロック同期形シリアル I/O モード .....	150
15.1.1	極性選択機能 .....	153
15.1.2	LSB ファースト、MSB ファースト選択 .....	153

15.1.3	連続受信モード .....	154
15.2	クロック非同期形シリアル I/O(UART) モード.....	155
15.2.1	CNTR0 端子選択機能 .....	158
15.2.2	ビットレート .....	159
15.3	シリアルインタフェース使用上の注意 .....	160
16.	コンパレータ .....	161
16.1	単発モード .....	165
16.2	繰り返しモード .....	167
16.3	コンパレータ使用上の注意 .....	169
17.	フラッシュメモリ .....	170
17.1	概要 .....	170
17.2	メモリ配置 .....	171
17.3	フラッシュメモリ書き換え禁止機能.....	173
17.3.1	ID コードチェック機能.....	173
17.3.2	ROM コードプロテクト機能 .....	174
17.4	CPU 書き換えモード.....	175
17.4.1	EW0 モード .....	176
17.4.2	EW1 モード .....	176
17.4.3	ソフトウェアコマンド.....	185
17.4.4	ステータスレジスタ .....	189
17.4.5	フルステータスチェック .....	190
17.5	標準シリアル入出力モード .....	192
17.5.1	ID コードチェック機能.....	192
17.6	パラレル入出力モード .....	196
17.6.1	ROM コードプロテクト機能 .....	196
17.7	フラッシュメモリ使用上の注意 .....	197
17.7.1	CPU 書き換えモード .....	197
18.	電気的特性 .....	199
19.	使用上の注意事項 .....	214
19.1	クロック発生回路使用上の注意 .....	214
19.1.1	ストップモード、ウェイトモード.....	214
19.1.2	発振停止検出機能.....	214

19.1.3	発振回路定数 .....	214
19.1.4	高速オンチップオシレータクロック .....	214
19.2	割り込み使用上の注意 .....	215
19.2.1	00000h 番地の読み出し .....	215
19.2.2	SP の設定 .....	215
19.2.3	外部割り込み、キー入力割り込み.....	215
19.2.4	ウォッチドッグタイマ割り込み .....	215
19.2.5	割り込み要因の変更 .....	216
19.2.6	割り込み制御レジスタの変更.....	217
19.3	タイマ.....	218
19.3.1	タイマ X 使用上の注意.....	218
19.3.2	タイマ Z 使用上の注意 .....	218
19.3.3	タイマ C 使用上の注意.....	219
19.4	シリアルインタフェース使用上の注意 .....	220
19.5	コンパレータ使用上の注意 .....	221
19.6	フラッシュメモリ使用上の注意.....	222
19.6.1	CPU 書き換えモード .....	222
19.7	ノイズに関する注意事項.....	224
19.7.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間への バイパスコンデンサ挿入.....	224
19.7.2	ポート制御レジスタのノイズ誤動作対策.....	224
20.	オンチップデバッグの注意事項 .....	225
付録 1.	外形寸法図 .....	226
付録 2.	シリアルライターとオンチップデバッグエミュレータ との接続例 .....	228
付録 3.	発振評価回路例 .....	229
索引		230

# 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	50
0005h	プロセッサモードレジスタ1	PM1	51
0006h	システムクロック制御レジスタ0	CM0	55
0007h	システムクロック制御レジスタ1	CM1	56
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	93
000Ah	プロテクトレジスタ	PRCR	70
000Bh			
000Ch	発振停止検出レジスタ	OCD	57
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	99
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	99
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	98
0010h	アドレス一致割り込みレジスタ0	RMAD0	93
0011h			
0012h			
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	93
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	99
001Dh			
001Eh	INT0入力フィルタ選択レジスタ	INT0F	85
001Fh			
0020h	高速オンチップオシレータ制御レジスタ0	HRA0	58
0021h	高速オンチップオシレータ制御レジスタ1	HRA1	58
0022h	高速オンチップオシレータ制御レジスタ2	HRA2	58
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h	電圧検出レジスタ1	VCA1	42
0032h	電圧検出レジスタ2	VCA2	42
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ	VW1C	43
0037h	電圧監視2回路制御レジスタ	VW2C	44
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	76
004Eh	コンパレータ変換割り込み制御レジスタ	ADIC	76
004Fh			
0050h	コンペア1割り込み制御レジスタ	CMP1IC	76
0051h	UART0送信割り込み制御レジスタ	SOTIC	76
0052h	UART0受信割り込み制御レジスタ	SORIC	76
0053h	UART1送信割り込み制御レジスタ	STIC	76
0054h	UART1受信割り込み制御レジスタ	S1RIC	76
0055h			
0056h	タイマX割り込み制御レジスタ	TXIC	76
0057h			
0058h	タイマZ割り込み制御レジスタ	TZIC	76
0059h	INT1割り込み制御レジスタ	INT1IC	76
005Ah	INT3割り込み制御レジスタ	INT3IC	76
005Bh	タイマC割り込み制御レジスタ	TCIC	76
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	76
005Dh	INT0割り込み制御レジスタ	INT0IC	77
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。



番地	レジスタ	シンボル	掲載ページ
0080h	タイマZモードレジスタ	TZMR	118
0081h			
0082h			
0083h			
0084h	タイマZ波形出力制御レジスタ	PUM	120
0085h	プリスケアラZレジスタ	PREZ	119
0086h	タイマZセカンダリレジスタ	TZSC	119
0087h	タイマZプライマリレジスタ	TZPR	119
0088h			
0089h			
008Ah	タイマZ出力制御レジスタ	TZOC	120
008Bh	タイマXモードレジスタ	TXMR	104
008Ch	プリスケアラXレジスタ	PREX	105
008Dh	タイマXレジスタ	TX	105
008Eh	タイマカウントソース設定レジスタ	TCSS	105
008Fh			
0090h	タイマCレジスタ	TC	136
0091h			
0092h			
0093h			
0094h			
0095h			
0096h	外部入力許可レジスタ	INTEN	85
0097h			
0098h	キー入力許可レジスタ	KIEN	91
0099h			
009Ah	タイマC制御レジスタ0	TCC0	137
009Bh	タイマC制御レジスタ1	TCC1	138
009Ch	キャプチャ、コンペア0レジスタ	TM0	136
009Dh			
009Eh	コンペア1レジスタ	TM1	136
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	148
00A1h	UART0ビットレートレジスタ	U0BRG	147
00A2h	UART0送信バッファレジスタ	U0TB	147
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	148
00A5h	UART0送受信制御レジスタ1	U0C1	149
00A6h	UART0受信バッファレジスタ	U0RB	147
00A7h			
00A8h	UART1送受信モードレジスタ	U1MR	148
00A9h	UART1ビットレートレジスタ	U1BRG	147
00AAh	UART1送信バッファレジスタ	U1TB	147
00ABh			
00ACh	UART1送受信制御レジスタ0	U1C0	148
00ADh	UART1送受信制御レジスタ1	U1C1	149
00AEh	UART1受信バッファレジスタ	U1RB	147
00AFh			
00B0h	UART送受信制御レジスタ2	UCON	149
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ	AD	164
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D制御レジスタ2	ADCON2	164
00D5h			
00D6h	A/D制御レジスタ0	ADCON0	163
00D7h	A/D制御レジスタ1	ADCON1	163
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポートP1レジスタ	P1	33
00E2h			
00E3h	ポートP1方向レジスタ	PD1	33
00E4h			
00E5h	ポートP3レジスタ	P3	33
00E6h			
00E7h	ポートP3方向レジスタ	PD3	33
00E8h	ポートP4レジスタ	P4	33
00E9h			
00EAh	ポートP4方向レジスタ	PD4	33
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh	ブルアップ制御レジスタ0	PUR0	34
00FDh	ブルアップ制御レジスタ1	PUR1	34
00FEh	ポートP1駆動能力制御レジスタ	DRR	34
00FFh	タイマC出力制御レジスタ	TCOUT	139

番地	レジスタ	シンボル	掲載 ページ
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	181
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	180
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	179
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

0FFFh	オプション機能選択レジスタ	OFS	98、174
-------	---------------	-----	--------

注1. 空欄および0100h～01AFh番地、01C0h～02FFh番地は予約領域です。アクセスしないでください。

## 1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/TinyシリーズCPUコアを搭載したシングルチップマイクロコンピュータで、20ピンプラスチックモールドLSSOP、SDIPまたは28ピンプラスチックモールドHWQFNに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/19グループはデータフラッシュROM(1KB×2ブロック)を内蔵します。

R8C/18グループとR8C/19グループの違いはデータフラッシュROMの有無だけです。周辺機能は同一です。

### 1.1 応用

家電、事務機器、住設機器（センサ、セキュリティ）携帯機器、産業一般、オーディオ、他

## 1.2 性能概要

表1.1にR8C/18グループの性能概要を、表1.2にR8C/19グループの性能概要を示します。

表1.1 R8C/18グループの性能概要

項目	性能	
CPU	基本命令数	89命令
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)
	動作モード	シングルチップ
	アドレス空間	1Mバイト
	メモリ容量	「表1.3 R8C/18グループの製品一覧表」を参照
周辺機能	ポート	入出力：13本 (LED駆動用ポート含む) 入力：3本
	LED駆動用ポート	入出力：4本
	タイマ	タイマX：8ビット×1チャンネル、タイマZ：8ビット×1チャンネル(各タイマ：8ビットプリスケアラ付) タイマC：16ビット×1チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)
	シリアルインタフェース	1チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O 1チャンネル クロック非同期形シリアルI/O
	コンパレータ	1ビットコンパレータ：1回路、4チャンネル
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード
	割り込み	内部：8要因、外部：4要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル
	クロック発生回路	2回路 •メインクロック発振回路(帰還抵抗内蔵) •オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付き
	発振停止検出機能	メインクロック発振停止検出機能
	電圧検出回路	内蔵
	パワーオンリセット回路	内蔵
電気的特性	電源電圧	VCC=3.0 ~ 5.5V (f(XIN)=20MHz) VCC=2.7 ~ 5.5V (f(XIN)=10MHz)
	消費電流	標準9mA (VCC=5V、f(XIN)=20MHz、コンパレータ停止時) 標準5mA (VCC=3V、f(XIN)=10MHz、コンパレータ停止時) 標準35μA (VCC=3V、ウェイトモード、周辺クロック停止) 標準0.7μA (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V
	プログラム、イレーズ回数	100回
動作周囲温度	- 20 ~ 85 - 40 ~ 85 (Dバージョン)	
パッケージ		20ピンプラスチックモールドLSSOP
		20ピンプラスチックモールドSDIP
		28ピンプラスチックモールドHWQFN

表1.2 R8C/19グループの性能概要

項目		性能	
CPU	基本命令数	89命令	
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)	
	動作モード	シングルチップ	
	アドレス空間	1Mバイト	
	メモリ容量	「表1.4 R8C/19グループの製品一覧表」を参照	
周辺機能	ポート	入出力：13本 (LED駆動用ポート含む) 入力：3本	
	LED駆動用ポート	入出力：4本	
	タイマ	タイマX：8ビット×1チャンネル、タイマZ：8ビット×1チャンネル(各タイマ：8ビットプリスケアラ付) タイマC：16ビット×1チャンネル (インプットキャブチャ回路、アウトプットコンペア回路)	
	シリアルインタフェース	1チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O 1チャンネル クロック非同期形シリアルI/O	
	コンパレータ	1ビットコンパレータ：1回路、4チャンネル	
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード	
	割り込み	内部：8要因、外部：4要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル	
	クロック発生回路	2回路 ・メインクロック発振回路(帰還抵抗内蔵) ・オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付き	
	発振停止検出機能	メインクロック発振停止検出機能	
	電圧検出回路	内蔵	
	パワーオンリセット回路	内蔵	
	電気的特性	電源電圧	VCC=3.0 ~ 5.5V (f(XIN)=20MHz) VCC=2.7 ~ 5.5V (f(XIN)=10MHz)
		消費電流	標準9mA (VCC=5V、f(XIN)=20MHz、コンパレータ停止時) 標準5mA (VCC=3V、f(XIN)=10MHz、コンパレータ停止時) 標準35μA (VCC=3V、ウェイトモード、周辺クロック停止) 標準0.7μA (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレース電圧	VCC=2.7 ~ 5.5V	
	プログラム、イレース回数	10,000回(データフラッシュ) 1,000回(プログラムROM)	
動作周囲温度	- 20 ~ 85 - 40 ~ 85 (Dバージョン)		
パッケージ		20ピンプラスチックモールドLSSOP	
		20ピンプラスチックモールドSDIP	
		28ピンプラスチックモールドHWQFN	

1.3 ブロック図

図1.1にブロック図を示します。

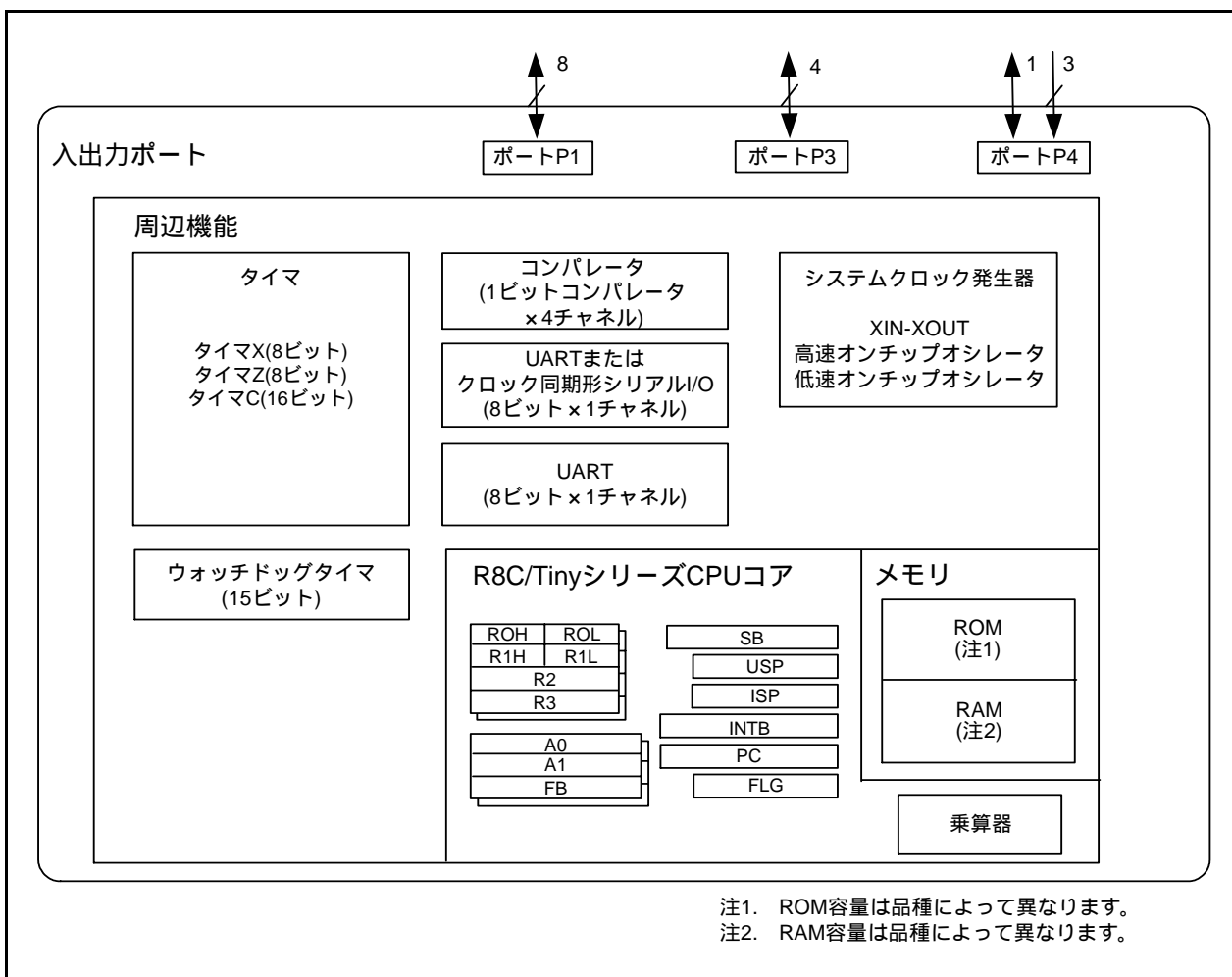


図1.1 ブロック図

## 1.4 製品一覧

表1.3にR8C/18グループの製品一覧表を、表1.4にR8C/19グループの製品一覧表を示します。

表1.3 R8C/18グループの製品一覧表

2006年4月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F21181SP	4Kバイト	384バイト	PLSP0020JB-A	フラッシュメモリ版
R5F21182SP	8Kバイト	512バイト	PLSP0020JB-A	
R5F21183SP	12Kバイト	768バイト	PLSP0020JB-A	
R5F21184SP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F21181DSP (開)	4Kバイト	384バイト	PLSP0020JB-A	Dバージョン
R5F21182DSP (開)	8Kバイト	512バイト	PLSP0020JB-A	
R5F21183DSP (開)	12Kバイト	768バイト	PLSP0020JB-A	
R5F21184DSP (開)	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F21181DD	4Kバイト	384バイト	PRDP0020BA-A	フラッシュメモリ版
R5F21182DD	8Kバイト	512バイト	PRDP0020BA-A	
R5F21183DD	12Kバイト	768バイト	PRDP0020BA-A	
R5F21184DD	16Kバイト	1Kバイト	PRDP0020BA-A	
R5F21182NP	8Kバイト	512バイト	PWQN0028KA-B	フラッシュメモリ版
R5F21183NP	12Kバイト	768バイト	PWQN0028KA-B	
R5F21184NP	16Kバイト	1Kバイト	PWQN0028KA-B	

(開): 開発中

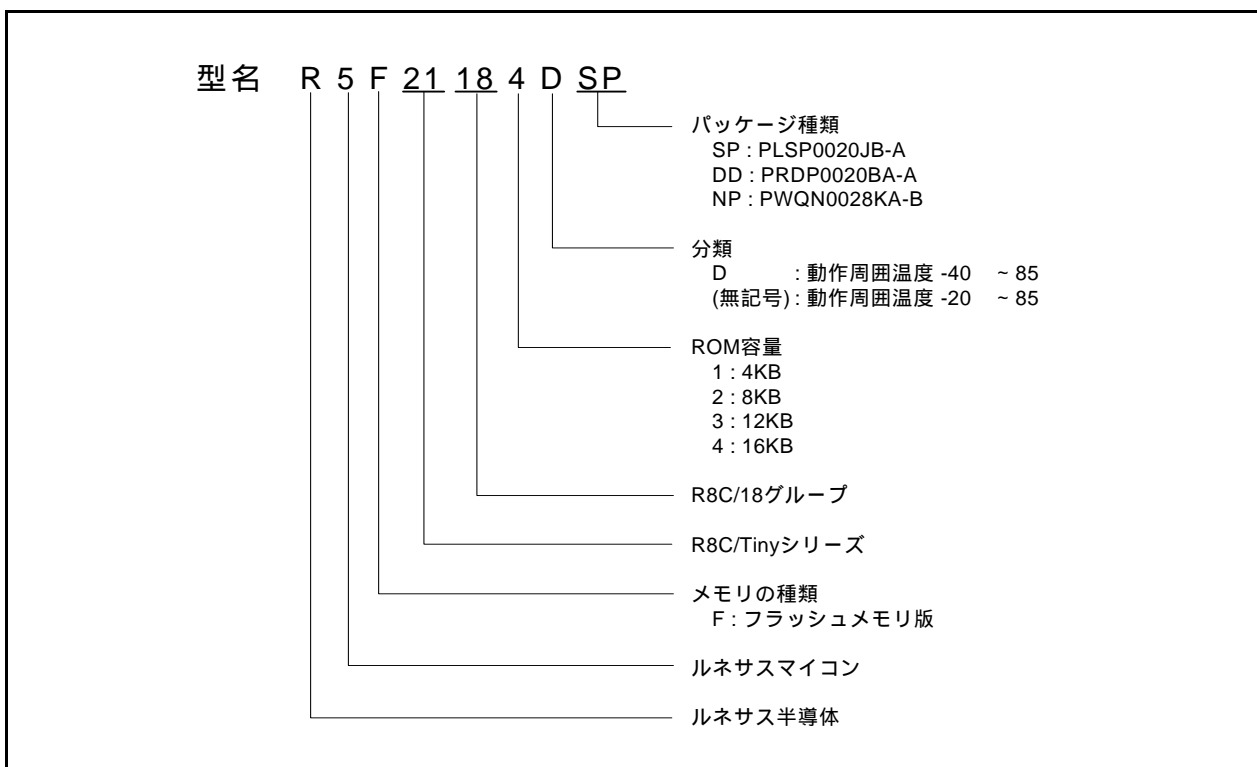


図1.2 R8C/18グループの型名とメモリサイズ・パッケージ

表1.4 R8C/19グループの製品一覧表

2006年4月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21191SP	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	フラッシュメモリ版 Dバージョン
R5F21192SP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F21193SP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F21194SP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21191DSP (開)	4Kバイト	1Kバイト×2	384バイト	PLSP0020JB-A	
R5F21192DSP (開)	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F21193DSP (開)	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F21194DSP (開)	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21191DD	4Kバイト	1Kバイト×2	384バイト	PRDP0020BA-A	フラッシュメモリ版
R5F21192DD	8Kバイト	1Kバイト×2	512バイト	PRDP0020BA-A	
R5F21193DD	12Kバイト	1Kバイト×2	768バイト	PRDP0020BA-A	
R5F21194DD	16Kバイト	1Kバイト×2	1Kバイト	PRDP0020BA-A	
R5F21192NP	8Kバイト	1Kバイト×2	512バイト	PWQN0028KA-B	フラッシュメモリ版
R5F21193NP	12Kバイト	1Kバイト×2	768バイト	PWQN0028KA-B	
R5F21194NP	16Kバイト	1Kバイト×2	1Kバイト	PWQN0028KA-B	

(開): 開発中

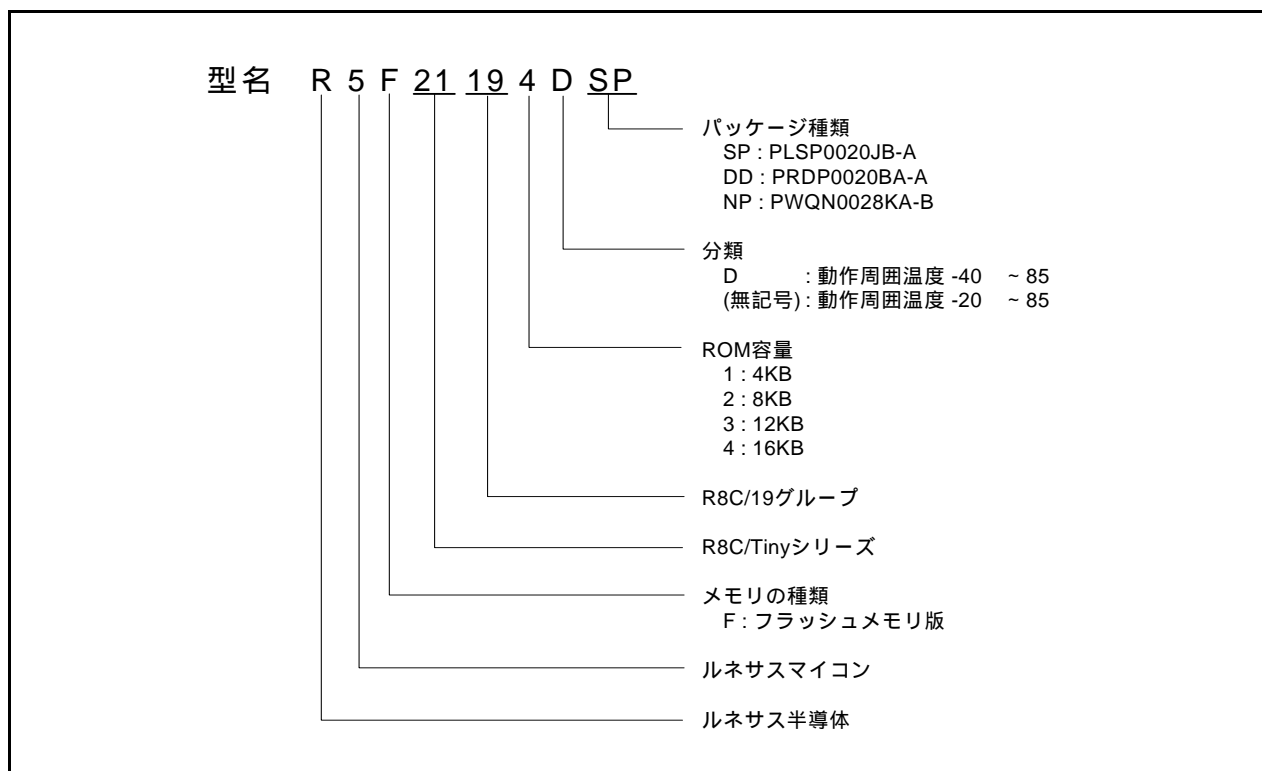


図1.3 R8C/19グループの型名とメモリサイズ・パッケージ



1.5 ピン接続図

図1.4にPLSP0020JB-Aパッケージ品のピン接続図(上面図)を、図1.5にPRDP0020BA-Aパッケージ品のピン接続図(上面図)を、図1.6にPWQN0028KA-Bパッケージ品のピン接続図(上面図)を示します。

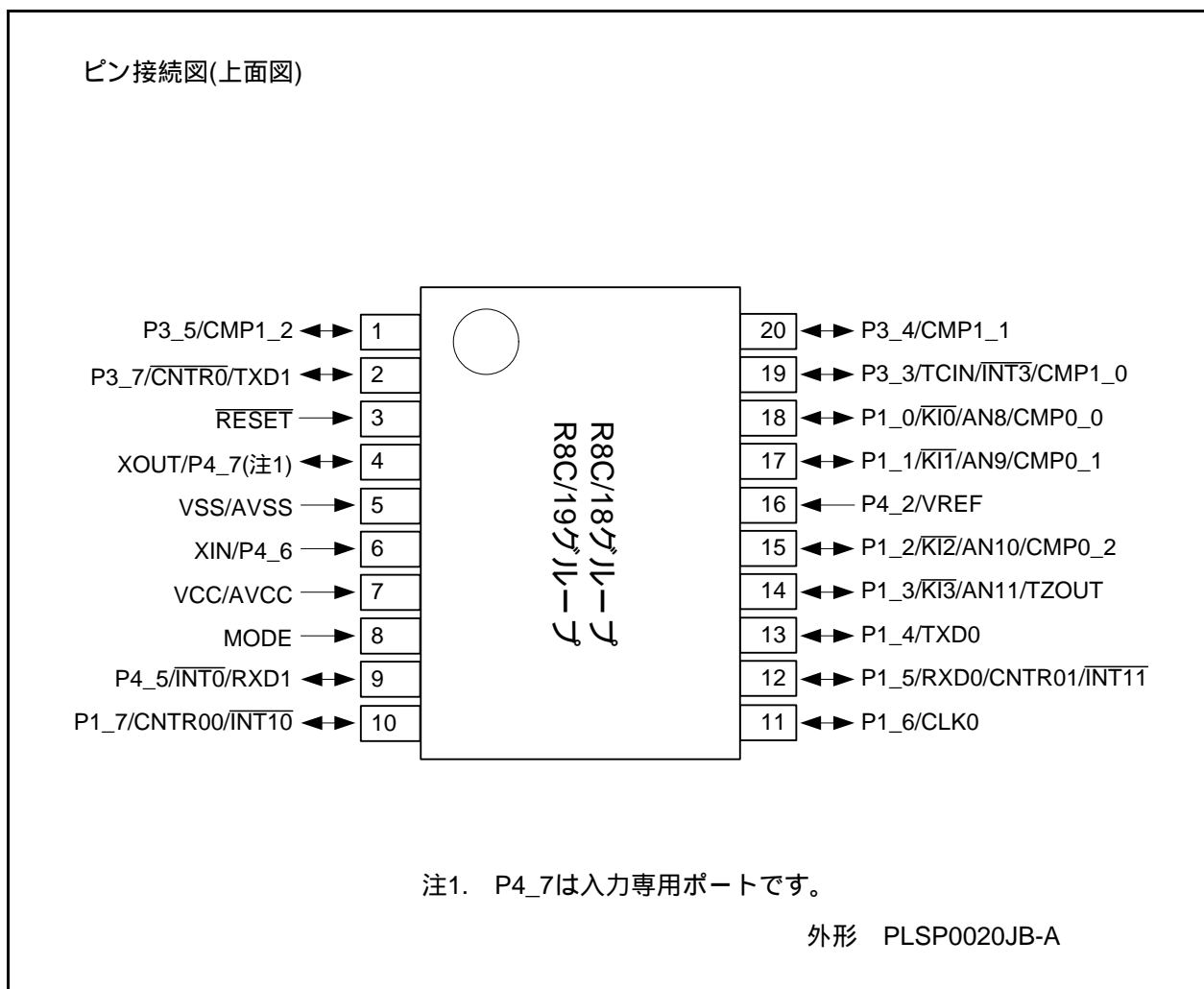


図1.4 PLSP0020JB-Aパッケージ品のピン接続図(上面図)

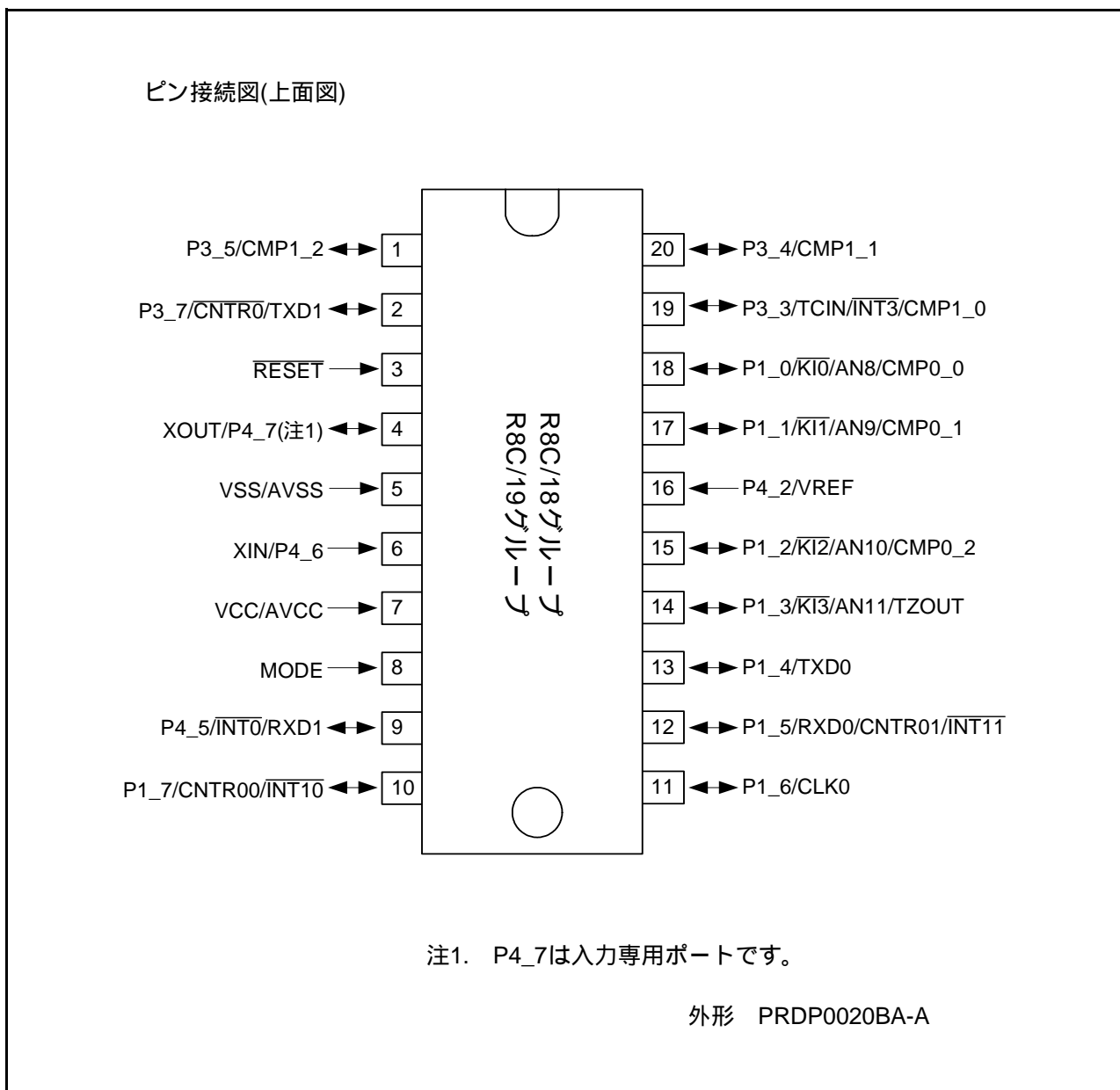


図1.5 PRDP0020BA-Aパッケージ品のピン接続図(上面図)

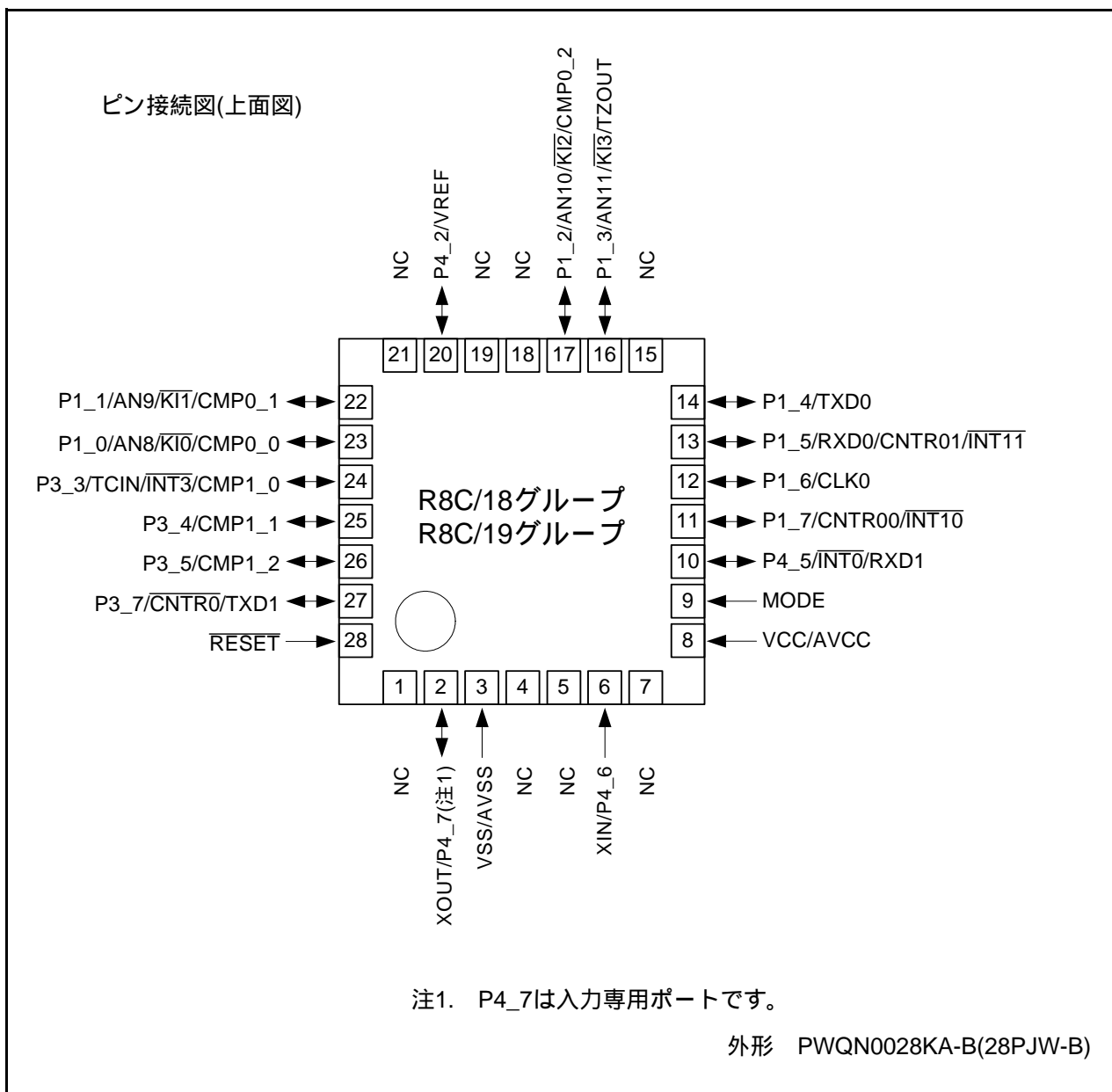


図1.6 PWQN0028KA-Bパッケージ品のピン接続図(上面図)

## 1.6 端子の機能説明

表 1.5 に端子の機能説明を、表 1.6 に PLSP0020JB-A、PRDP0020BA-A パッケージ品のピン番号別端子名一覧を、表 1.7 に PWQN0028KA-B パッケージ品のピン番号別端子名一覧を示します。

表 1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC VSS	入力	VCC には、2.7V ~ 5.5V を入力してください。 VSS には、0V を入力してください。
アナログ電源入力	AVCC、AVSS	入力	コンパレータの電源入力です。AVCC と AVSS 間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に “L” を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介して VCC に接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XIN と XOUT の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XIN からクロックを入力し、XOUT は開放にしてください。
メインクロック出力	XOUT	出力	
INT 割り込み入力	INT0、INT1、INT3	入力	INT 割り込みの入力です。
キー入力割り込み入力	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマ X	CNTR0	入出力	タイマ X の入出力です。
	CNTR0	出力	タイマ X の出力です。
タイマ Z	TZOUT	出力	タイマ Z の出力です。
タイマ C	TCIN	入力	タイマ C の入力です。
	CMP0_0 ~ CMP0_2、 CMP1_0 ~ CMP1_2	出力	タイマ C の出力です。
シリアルインタフェース	CLK0	入出力	転送クロック入出力です。
	RXD0、RXD1	入力	シリアルデータ入力です。
	TXD0、TXD1	出力	シリアルデータ出力です。
基準電圧入力	VREF	入力	コンパレータの基準電圧入力です。
コンパレータ	AN8 ~ AN11	入力	コンパレータのアナログ入力です。
入出力ポート	P1_0 ~ P1_7、 P3_3 ~ P3_5、 P3_7、P4_5	入出力	CMOS の入出力ポートです。入出力を選択するための方向レジスタを持ち、1 端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。ポート P1_0 ~ P1_3 は LED 駆動ポートとして使用できます。
入力ポート	P4_2、P4_6、 P4_7	入力	入力専用ポートです。

表1.6 PLSP0020JB-A、PRDP0020BA-Aパッケージ品のピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	シリアルインタフェース	コンパレータ
1		P3_5		CMP1_2		
2		P3_7		CNTR0	TXD1	
3	RESET					
4	XOUT	P4_7				
5	VSS/AVSS					
6	XIN	P4_6				
7	VCC/AVCC					
8	MODE					
9		P4_5	INT0		RXD1	
10		P1_7	INT10	CNTR00		
11		P1_6			CLK0	
12		P1_5	INT11	CNTR01	RXD0	
13		P1_4			TXD0	
14		P1_3	KI3	TZOUT		AN11
15		P1_2	KI2	CMP0_2		AN10
16	VREF	P4_2				
17		P1_1	KI1	CMP0_1		AN9
18		P1_0	KI0	CMP0_0		AN8
19		P3_3	INT3	TCIN/CMP1_0		
20		P3_4		CMP1_1		

表 1.7 PWQN0028KA-Bパッケージ品のピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	シリアルインタフェース	A/Dコンバータ
1	NC					
2	XOUT	P4_7				
3	VSS/AVSS					
4	NC					
5	NC					
6	XIN	P4_6				
7	NC					
8	VCC/AVCC					
9	MODE					
10		P4_5	$\overline{\text{INT0}}$		RxD1	
11		P1_7	$\overline{\text{INT10}}$	CNTR00		
12		P1_6			CLK0	
13		P1_5	$\overline{\text{INT11}}$	CNTR01	RXD0	
14		P1_4			TXD0	
15	NC					
16		P1_3	$\overline{\text{KI3}}$	TZOUT		AN11
17		P1_2	$\overline{\text{KI2}}$	CMP0_2		AN10
18	NC					
19	NC					
20	VREF	P4_2				
21	NC					
22		P1_1	$\overline{\text{KI1}}$	CMP0_1		AN9
23		P1_0	$\overline{\text{KI0}}$	CMP0_0		AN8
24		P3_3	$\overline{\text{INT3}}$	TCIN/CMP1_0		
25		P3_4		CMP1_1		
26		P3_5		CMP1_2		
27		P3_7		$\overline{\text{CNTR0}}$	TXD1	
28	$\overline{\text{RESET}}$					

## 2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

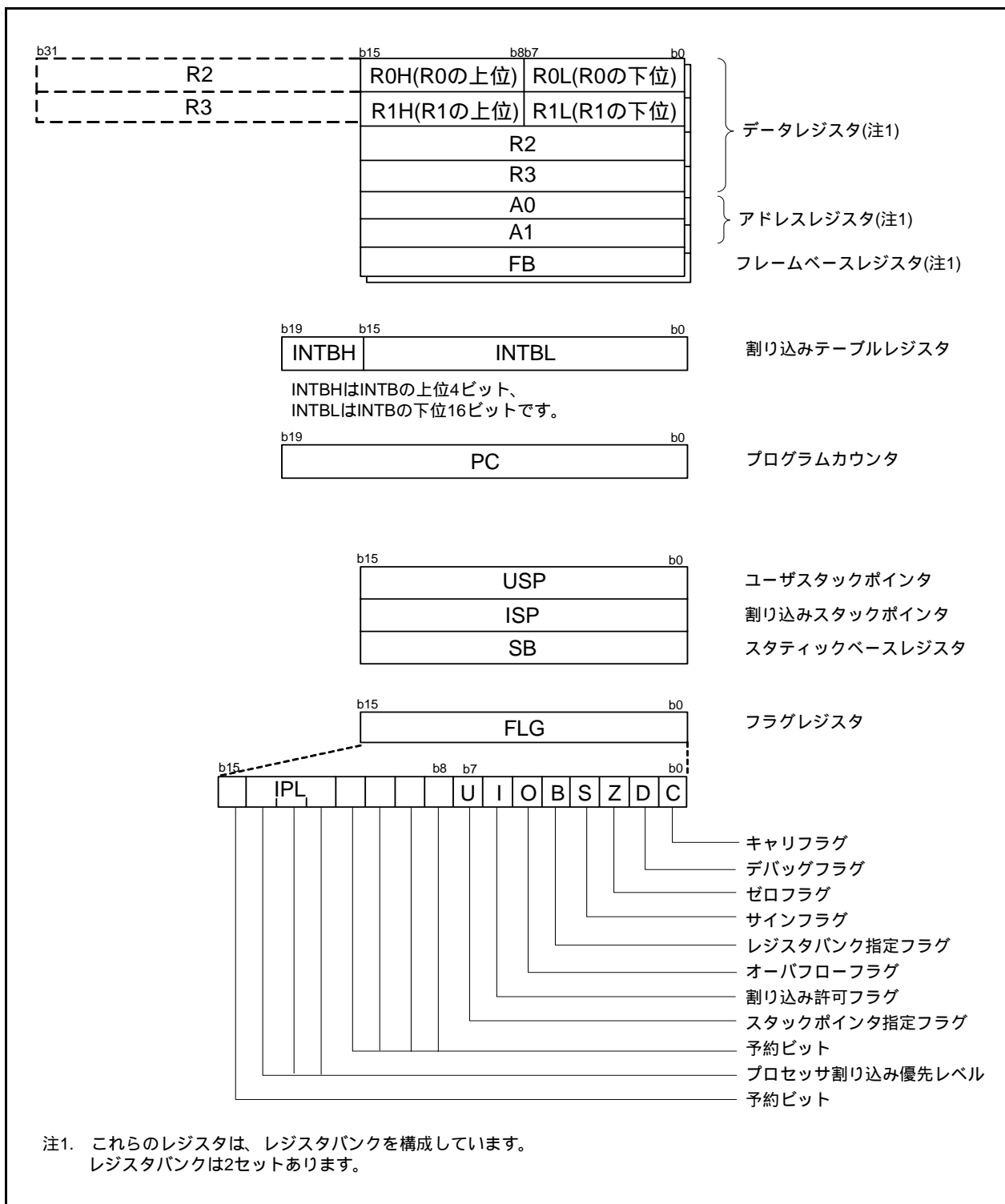


図2.1 CPUのレジスタ

## 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

## 2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

## 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

## 2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

## 2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

## 2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

## 2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

## 2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

### 2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

### 2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

### 2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

### 2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

### 2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。



### 2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

### 2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

### 2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

### 2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

### 2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定。

### 3. メモリ

#### 3.1 R8C/18グループ

図3.1にR8C/18グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

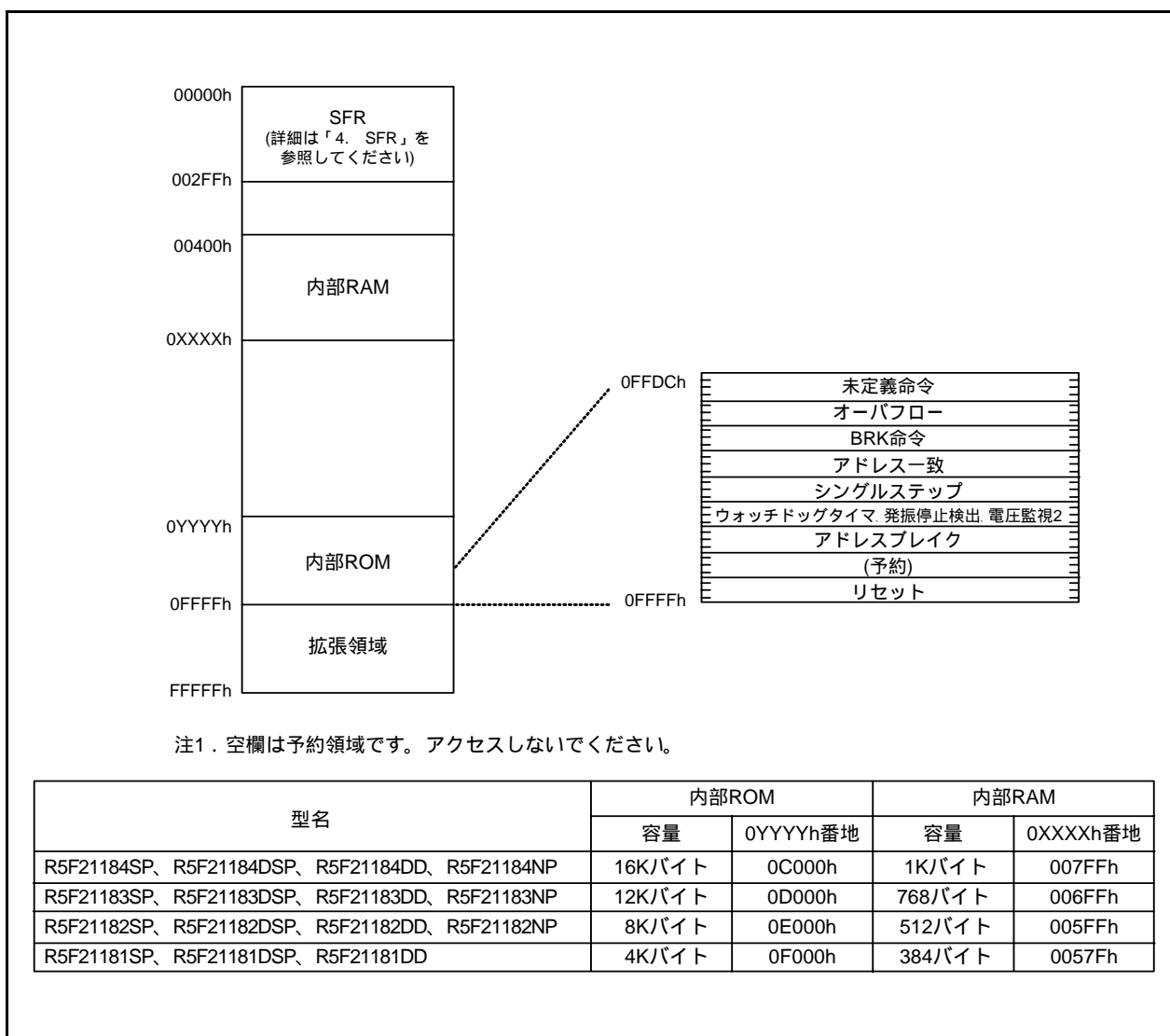


図3.1 R8C/18グループのメモリ配置図

### 3.2 R8C/19グループ

図3.2にR8C/19グループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

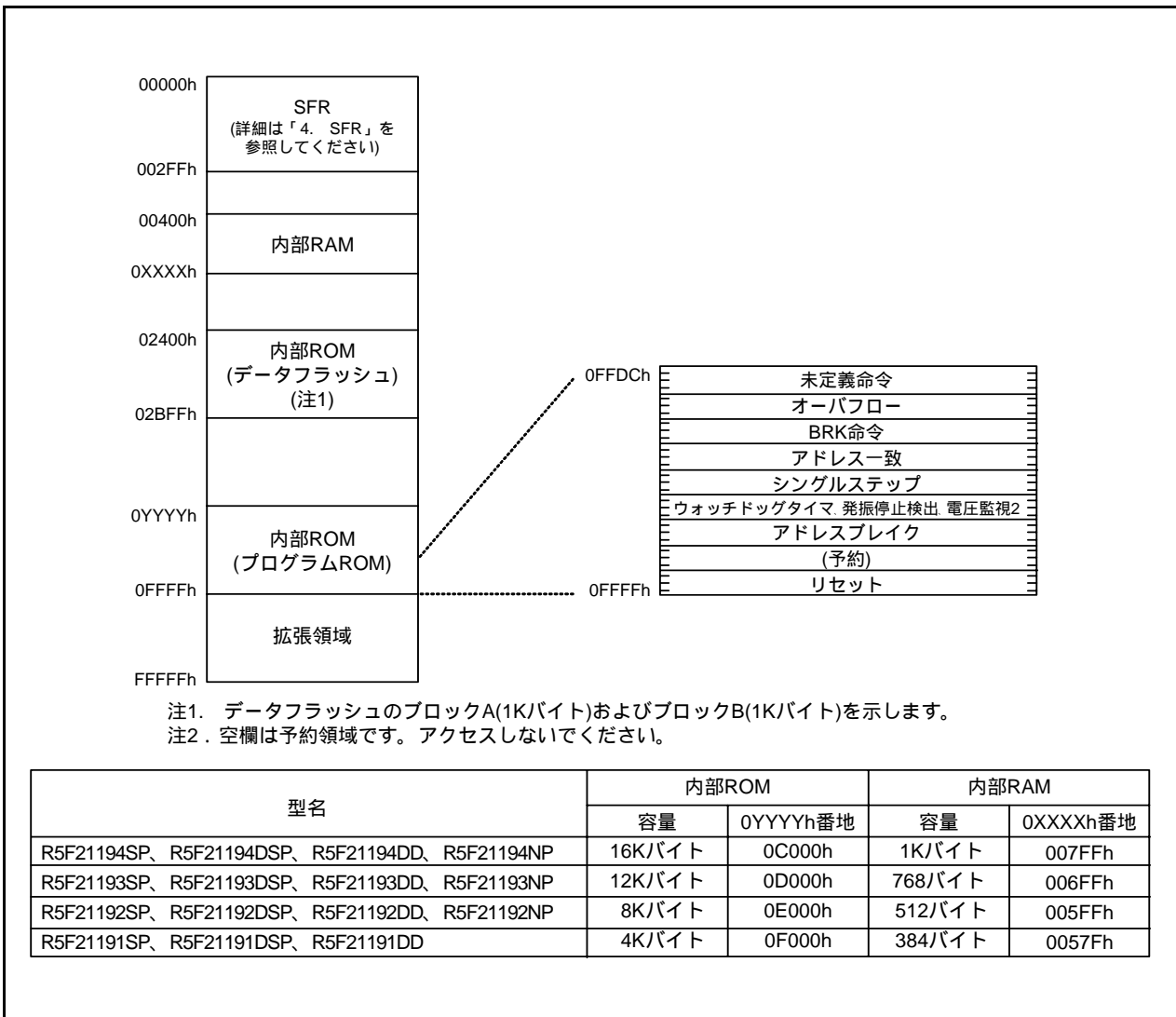


図3.2 R8C/19グループのメモリ配置図

## 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.4にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	01101000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00011111b
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h
001Dh			
001Eh	INT0入力フィルタ選択レジスタ	INT0F	00h
001Fh			
0020h	高速オンチップオシレータ制御レジスタ0	HRA0	00h
0021h	高速オンチップオシレータ制御レジスタ1	HRA1	出荷時の値
0022h	高速オンチップオシレータ制御レジスタ2	HRA2	00h
0023h			
0024h			
0025h			
002Fh			
0030h			
0031h	電圧検出レジスタ1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ2 (注2)	VCA2	00h (注3) 01000000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ (注2)	VW1C	0000X000b(注3) 0100X001b(注4)
0037h	電圧監視2回路制御レジスタ (注5)	VW2C	00h
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセットでは変化しません。

注3. ハードウェアリセットの場合。

注4. パワーオンリセット、電圧監視1リセットの場合。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセットではb2、b3は変化しません。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	コンパレータ変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh			
0050h	コンペア1割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h			
0056h	タイマX割り込み制御レジスタ	TXIC	XXXXX000b
0057h			
0058h	タイマZ割り込み制御レジスタ	TZIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XXXXX000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XXXXX000b
005Bh	タイマC割り込み制御レジスタ	TCIC	XXXXX000b
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	タイマZモードレジスタ	TZMR	00h
0081h			
0082h			
0083h			
0084h	タイマZ波形出力制御レジスタ	PUM	00h
0085h	プリスケアラZレジスタ	PREZ	FFh
0086h	タイマZセカンダリレジスタ	TZSC	FFh
0087h	タイマZプライマリレジスタ	TZPR	FFh
0088h			
0089h			
008Ah	タイマZ出力制御レジスタ	TZOC	00h
008Bh	タイマXモードレジスタ	TXMR	00h
008Ch	プリスケアラXレジスタ	PREX	FFh
008Dh	タイマXレジスタ	TX	FFh
008Eh	タイマカウントソース設定レジスタ	TCSS	00h
008Fh			
0090h	タイマCレジスタ	TC	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h	外部入力許可レジスタ	INTEN	00h
0097h			
0098h	キー入力許可レジスタ	KIEN	00h
0099h			
009Ah	タイマC制御レジスタ0	TCC0	00h
009Bh	タイマC制御レジスタ1	TCC1	00h
009Ch	キャプチャ、コンペア0レジスタ	TM0	00h
009Dh			00h(注2)
009Eh	コンペア1レジスタ	TM1	FFh
009Fh			FFh
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART1送受信モードレジスタ	U1MR	00h
00A9h	UART1ビットレートレジスタ	U1BRG	XXh
00AAh	UART1送信バッファレジスタ	U1TB	XXh
00ABh			XXh
00ACh	UART1送受信制御レジスタ0	U1C0	00001000b
00ADh	UART1送受信制御レジスタ1	U1C1	00000010b
00AEh	UART1受信バッファレジスタ	U1RB	XXh
00AFh			XXh
00B0h	UART送受信制御レジスタ2	UCON	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. アウトプットコンペアモード(TCC1レジスタのTCC13ビット=1)を選択すると、FFFFhになります。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ	AD	XXh
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ2	ADCON2	00h
00D5h			
00D6h	A/D 制御レジスタ0	ADCON0	00000XXXb
00D7h	A/D 制御レジスタ1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポートP1レジスタ	P1	XXh
00E2h	ポートP1方向レジスタ	PD1	00h
00E3h	ポートP3レジスタ	P3	XXh
00E4h	ポートP3方向レジスタ	PD3	00h
00E5h	ポートP4レジスタ	P4	XXh
00E6h	ポートP4方向レジスタ	PD4	00h
00E7h			
00E8h			
00E9h			
00EAh			
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh	ブルアップ制御レジスタ0	PUR0	00XX0000b
00FDh	ブルアップ制御レジスタ1	PUR1	XXXXXX0Xb
00FEh	ポートP1駆動能力制御レジスタ	DRR	00h
00FFh	タイマC出力制御レジスタ	TCOUT	00h
01B3h	フラッシュメモリ制御レジスタ4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	00000001b
0FFFh	オプション機能選択レジスタ	OFS	(注2)

注1. 空欄および0100h～01B2h番地、01B8h～02FFh番地は予約領域です。アクセスしないでください。

注2. OFSレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

## 5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。表5.1にリセットの名称と要因、図5.1にリセット回路のブロック図を示します。

表5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視1リセット	VCCの下降(監視電圧: Vdet1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

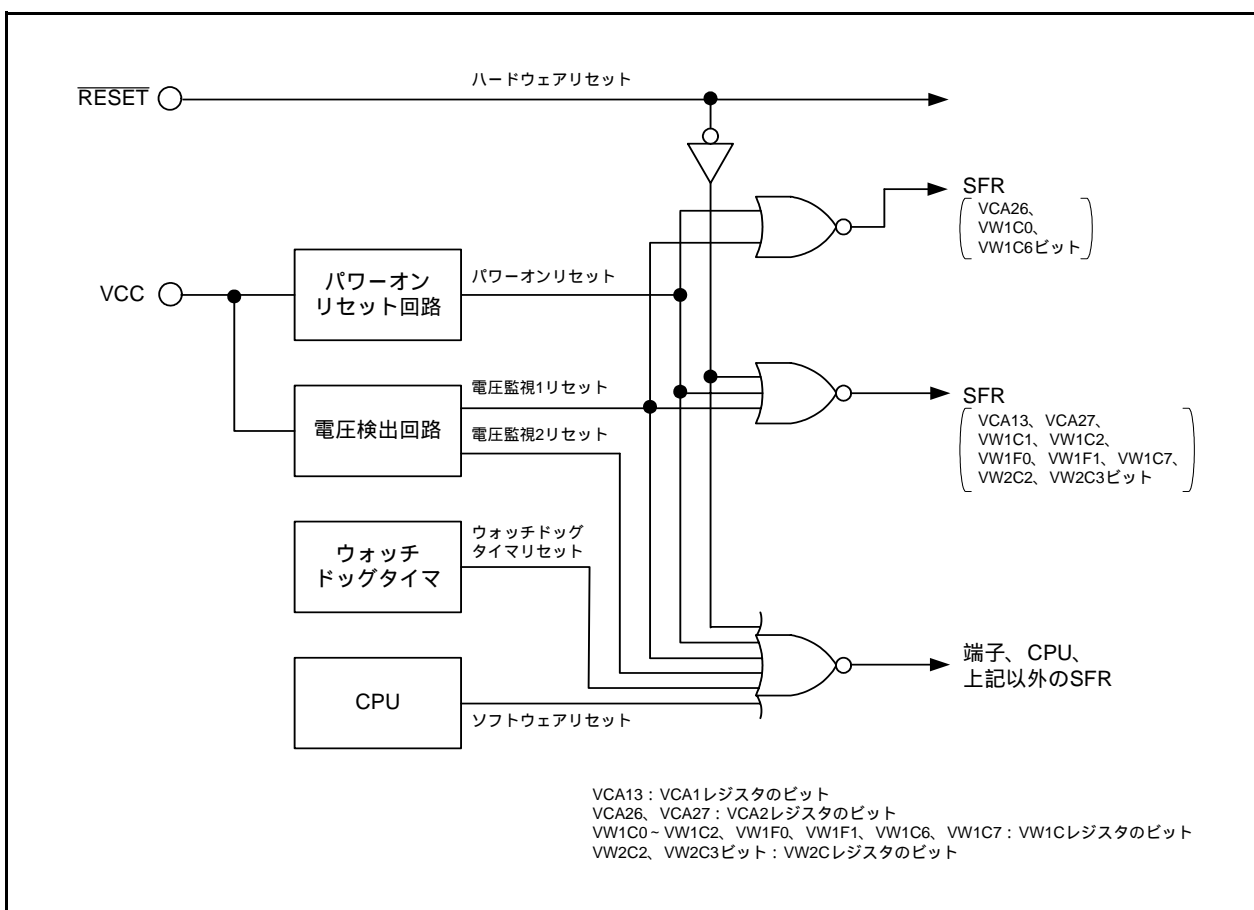


図5.1 リセット回路のブロック図



表5.2にリセット後の端子の状態、図5.2にリセット後のCPUレジスタの状態、図5.3にリセットシーケンスを示します。

表5.2 リセット後の端子の状態

端子名	端子の状態
P1	入力ポート
P3_3 ~ P3_5、P3_7	入力ポート
P4_2、P4_5 ~ P4_7	入力ポート

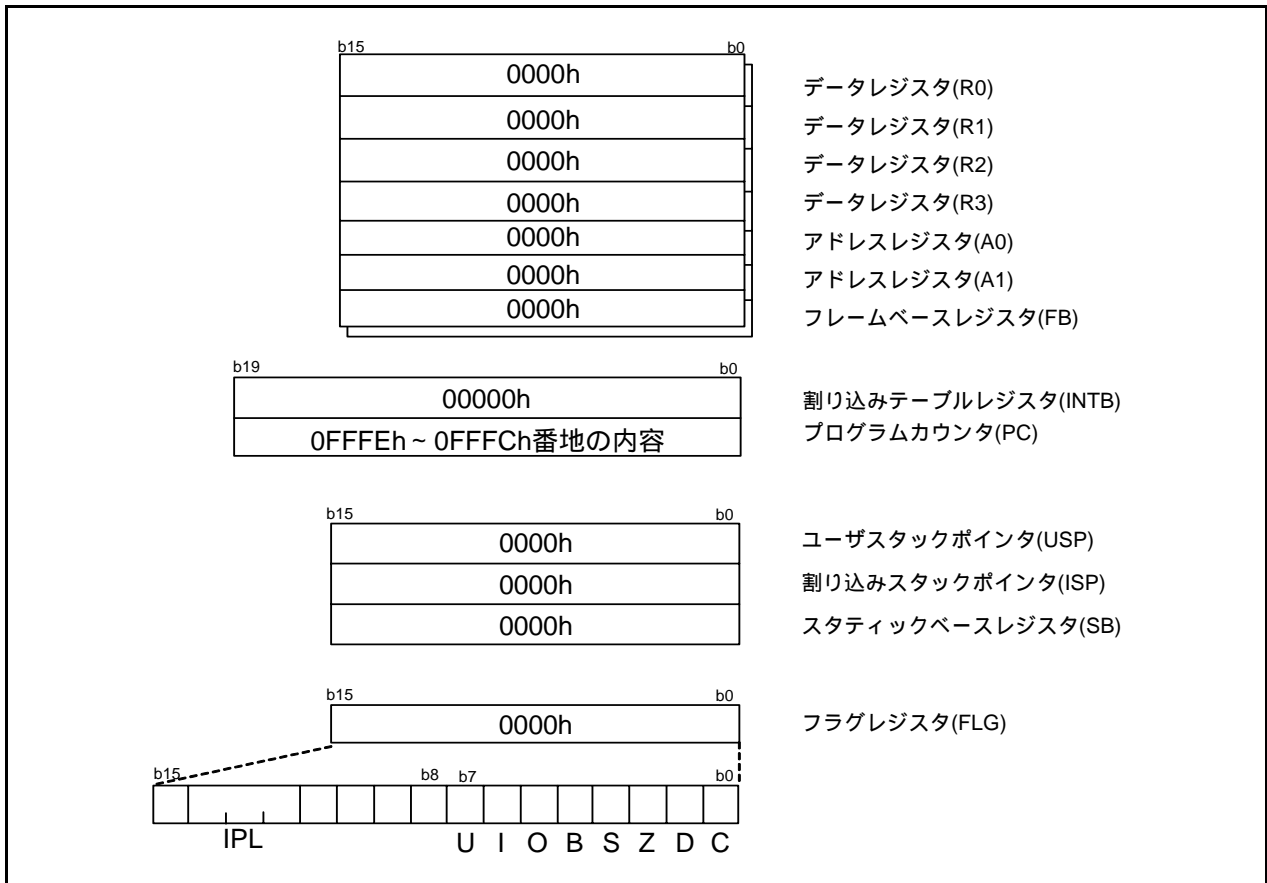


図5.2 リセット後のCPUレジスタの状態

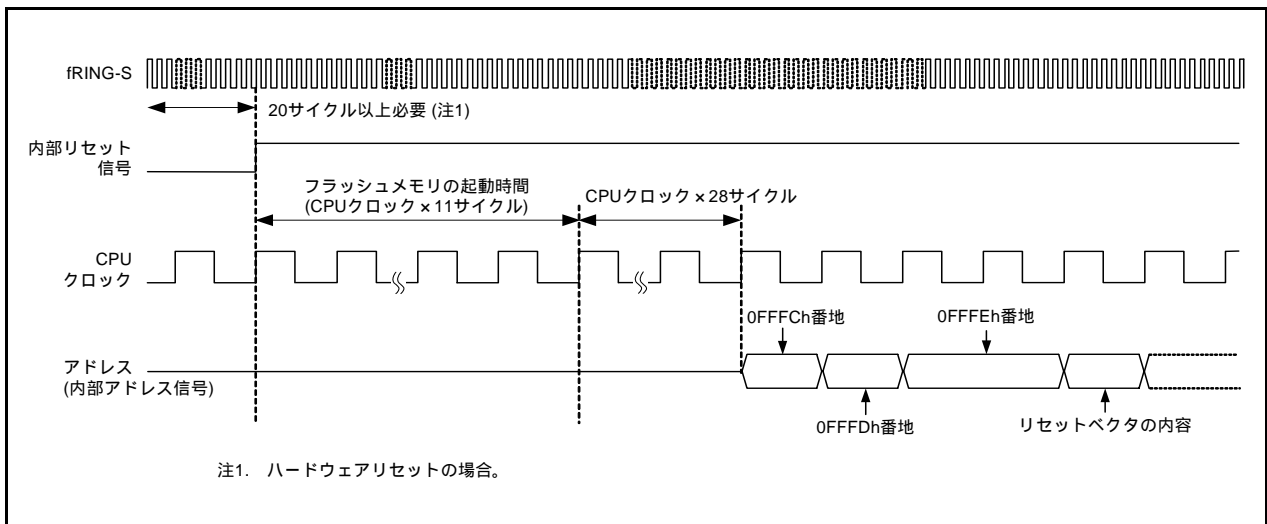


図5.3 リセットシーケンス

## 5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表5.2 リセット後の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.4にハードウェアリセット回路例と動作、図5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

### 5.1.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2)  $500\mu\text{s}(1/\text{fRING-S} \times 20)$ 待つ
- (3) RESET端子に“H”を入力する

### 5.1.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ(「18. 電気的特性」参照)
- (4)  $500\mu\text{s}(1/\text{fRING-S} \times 20)$ 待つ
- (5) RESET端子に“H”を入力する

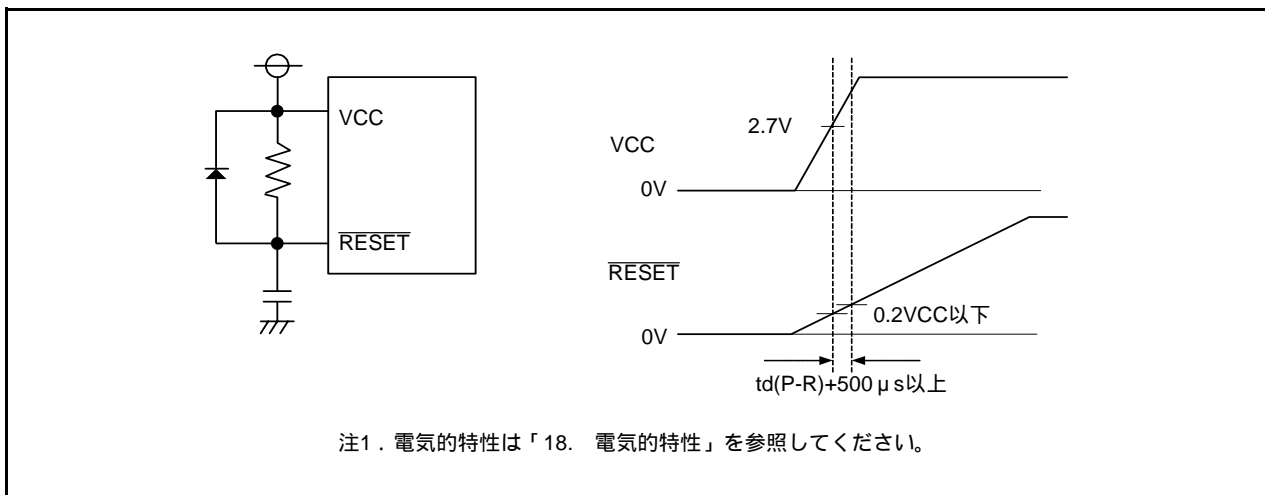


図5.4 ハードウェアリセット回路例と動作

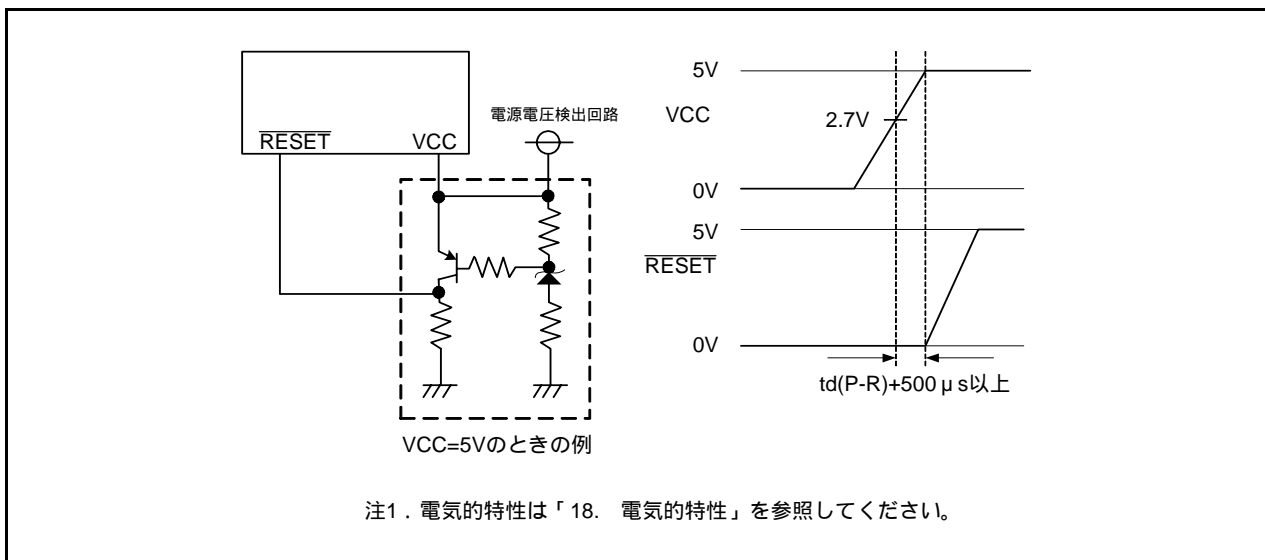


図5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

## 5.2 パワーオンリセット機能

RESET端子に5k 程度のプルアップ抵抗を介してVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合は、RESET端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet1以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(「図5.3 リセットシーケンス」参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセット後は電圧監視1リセットが有効になります。

図5.6にパワーオンリセット回路例と動作を示します。

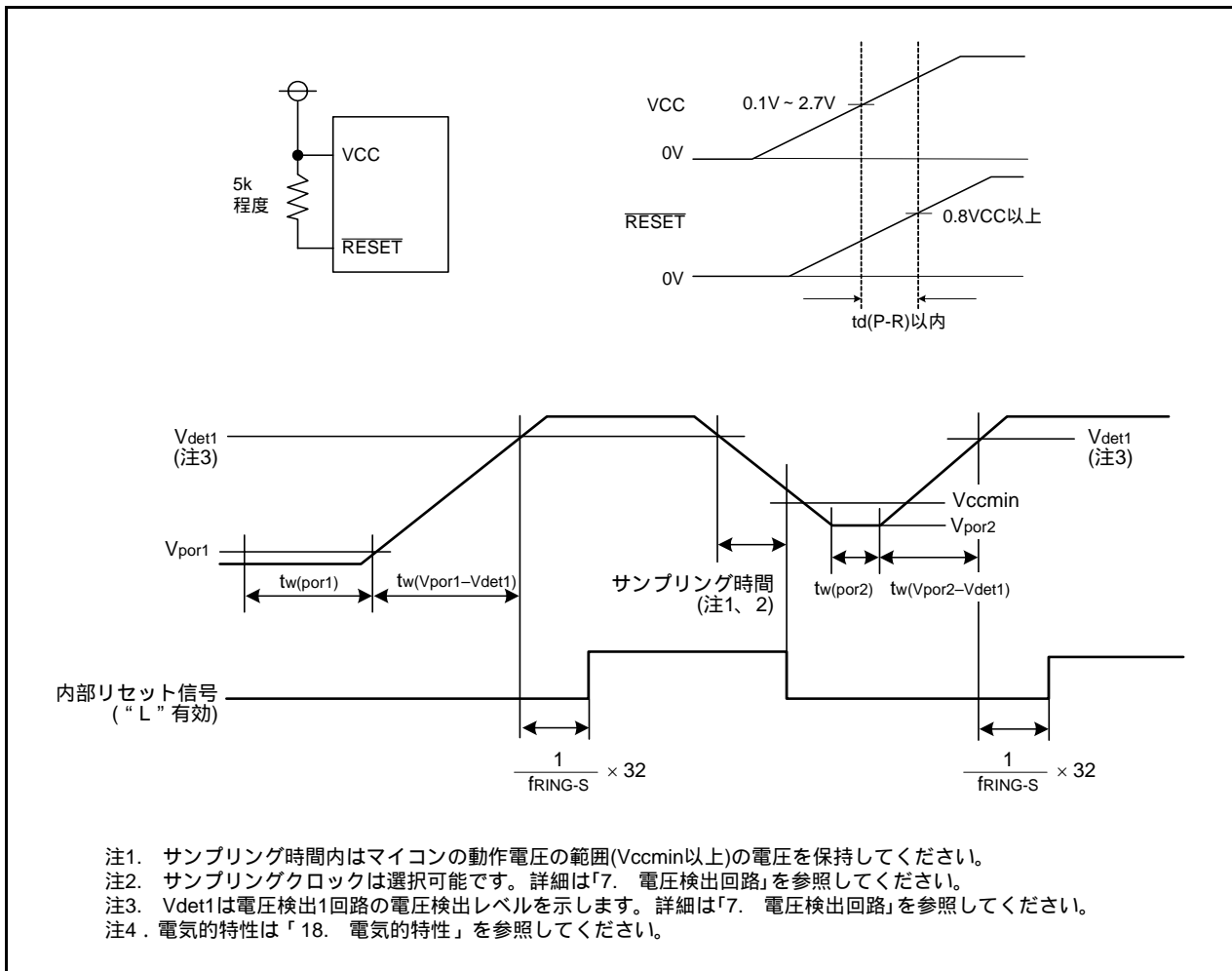


図5.6 パワーオンリセット回路例と動作

### 5.3 電圧監視1リセット

マイクロコンピュータに内蔵している電圧検出1回路によるリセットです。電圧検出1回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet1です。

VCC端子に入力する電圧がVdet1以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet1以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(「図5.3 リセットシーケンス」参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視1リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet1以下になると、内部RAMは不定となります。

電圧監視1リセットの詳細は「7. 電圧検出回路」を参照してください。

### 5.4 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VCC端子に入力する電圧が下降してVdet2以下になると、端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet2以下になると、内部RAMは不定となります。

電圧監視2リセットの詳細は「7. 電圧検出回路」を参照してください。

### 5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「13. ウォッチドッグタイマ」を参照してください。

### 5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

## 6. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P1、P3\_3～P3\_5、P3\_7、P4\_5の13本あります。P4\_2は入力専用ポートです。また、メインクロック発振回路を使用しない場合、P4\_6、P4\_7を入力専用ポートとして、使用できます。表6.1にプログラマブル入出力ポートの概要を示します。

表6.1 プログラマブル入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力選択
P1	入出力	CMOS3 ステート	1ビット単位で設定	4ビット単位で設定 (注1)	P1_0～P1_3を1 ビット単位で設定 (注2)
P3_3、P4_5	入出力	CMOS3 ステート	1ビット単位で設定	1ビット単位で設定 (注1)	なし
P3_4、P3_5、P3_7	入出力	CMOS3 ステート	1ビット単位で設定	3ビット単位で設定 (注1)	なし
P4_2、P4_6、P4_7 (注3)	入力	(出力機能なし)	なし	なし	なし

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. DRRレジスタを“1”(High)にすることで、LED駆動ポートとして使用できます。

注3. メインクロック発振回路を使用しない場合、P4\_6、P4\_7を入力専用ポートとして使用できます。

### 6.1 プログラマブル入出力ポートの機能

ポートP1、P3\_3～P3\_5、P3\_7、P4\_5の入出力はPDi(i=1, 3, 4)レジスタのPDi\_j(j=0～7)ビットで制御します。Piレジスタは出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。図6.1～図6.3にプログラマブル入出力ポートの構成を示します。

表6.2にプログラマブル入出力ポートの機能を示します。また、図6.5にPD1、PD3、PD4レジスタ、図6.6にP1、P3、P4レジスタ、図6.7にPUR0、PUR1レジスタ、図6.8にDRRレジスタを示します。

表6.2 プログラマブル入出力ポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポータラッチを読む
書き込み	ポータラッチに書く	ポータラッチに書く。ポータラッチに書いた値は、端子から出力される。

注1. PD3\_0～PD3\_2ビット、PD3\_6ビット、PD4\_0～PD4\_4ビット、PD4\_6ビット、PD4\_7ビットには何も配置されていません。

### 6.2 周辺機能への影響

プログラマブル入出力ポートは、周辺機能の入出力として機能する場合があります(「表1.6 PLSP0020JB-A、PRDP0020BA-Aパッケージ品のピン番号別端子名一覧」)参照。表6.3に周辺機能の入出力として機能する場合のPDi\_jビットの設定を示します。

周辺機能の設定方法は、各機能説明を参照してください。

表6.3 周辺機能の入出力として機能する場合のPDi\_jビットの設定

周辺機能の入出力	端子を共用しているポートのPDi_jビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

### 6.3 プログラマブル入出力ポート以外の端子

図6.4に端子の構成を示します。

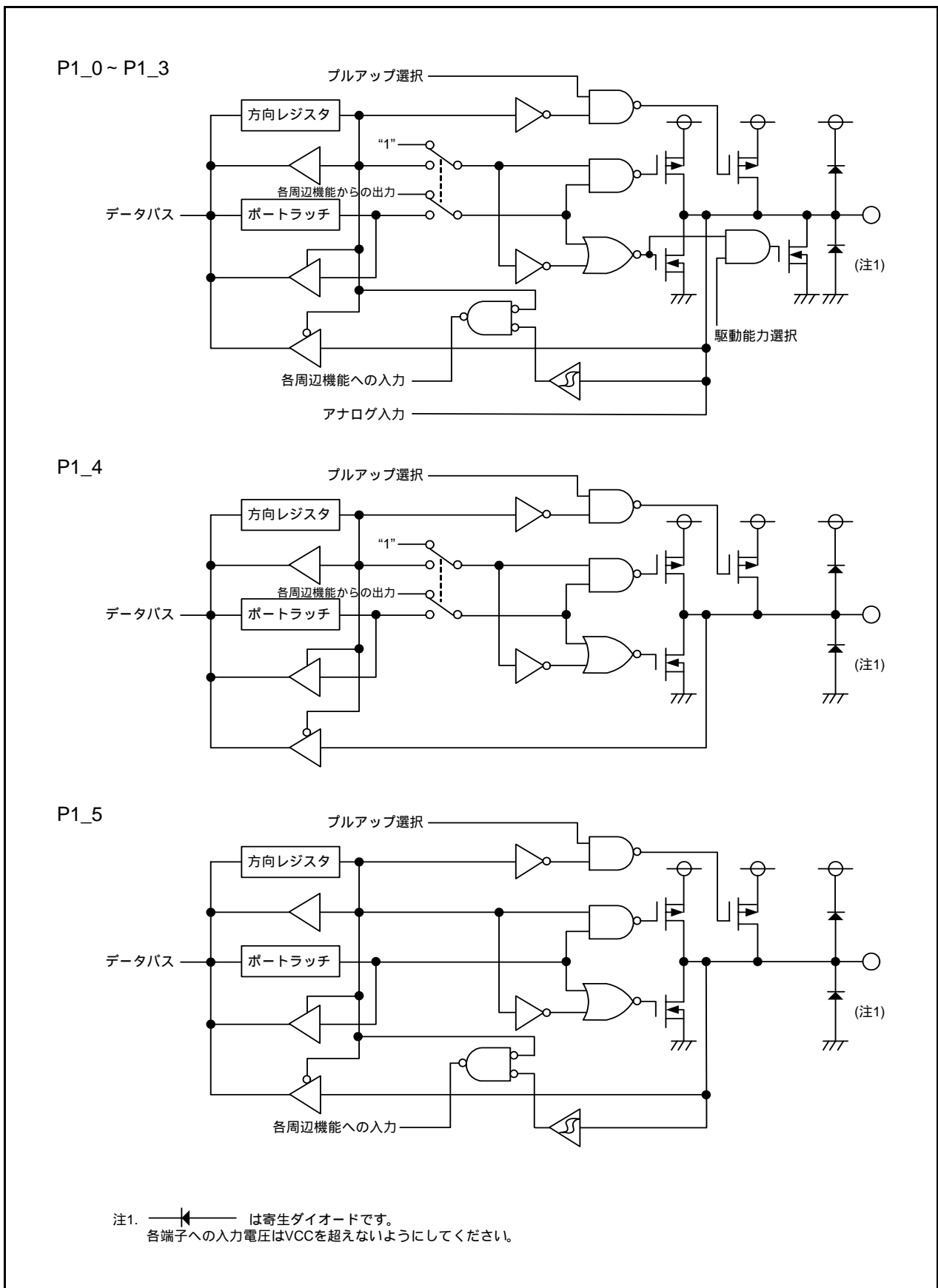


図6.1 プログラマブル入出力ポートの構成 (1)

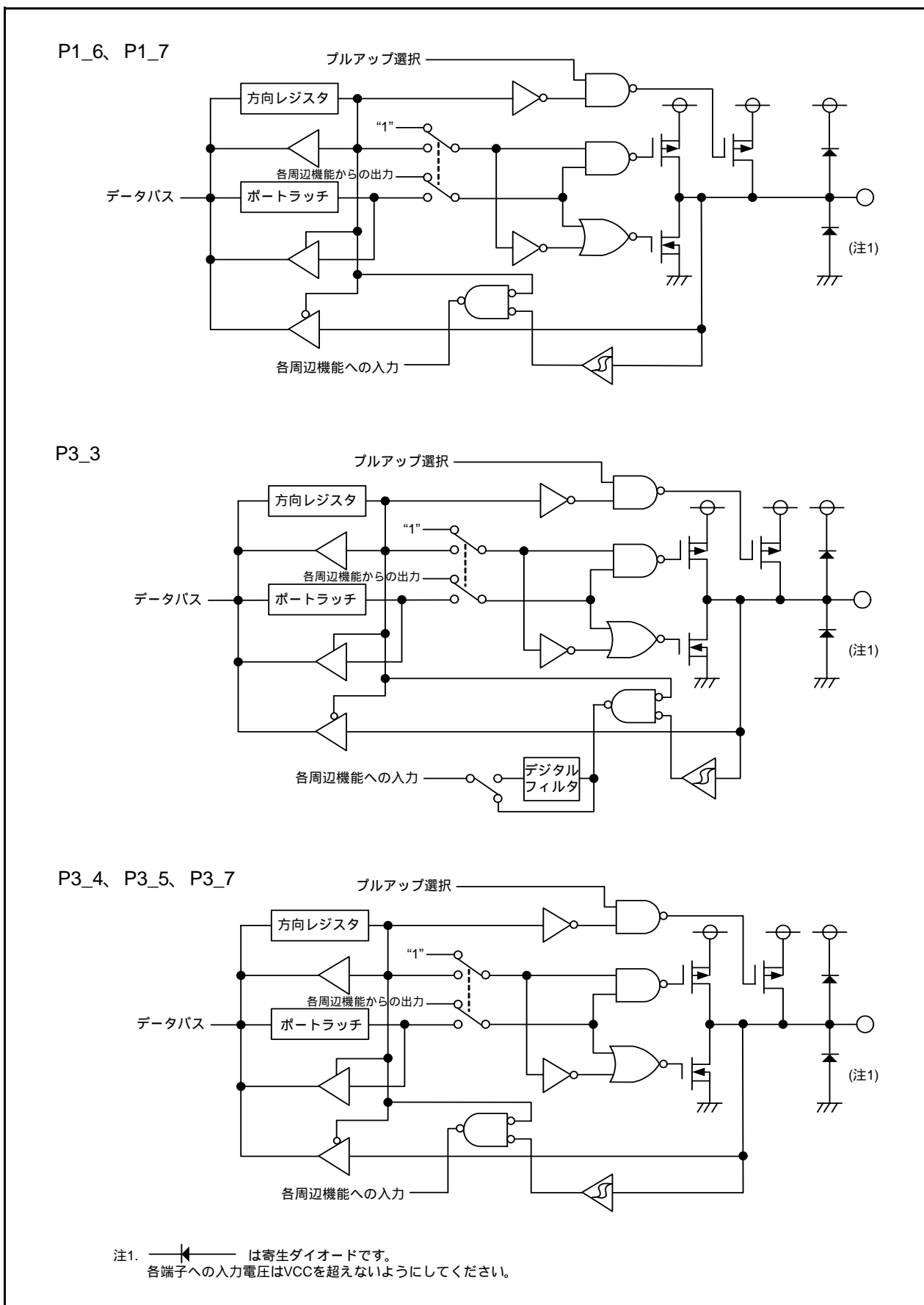


図6.2 プログラマブル入出力ポートの構成(2)



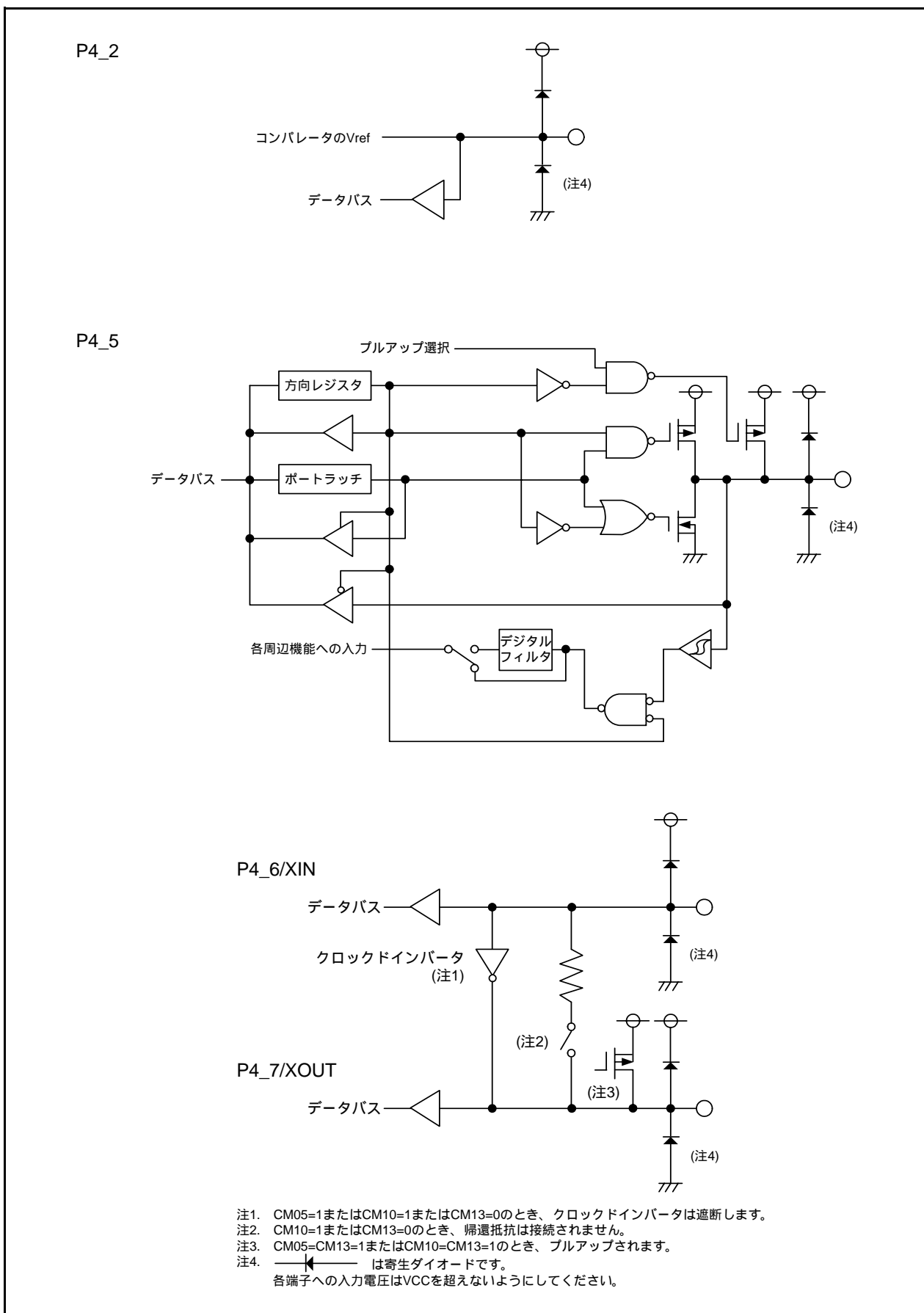


図6.3 プログラマブル入出力ポートの構成 (3)

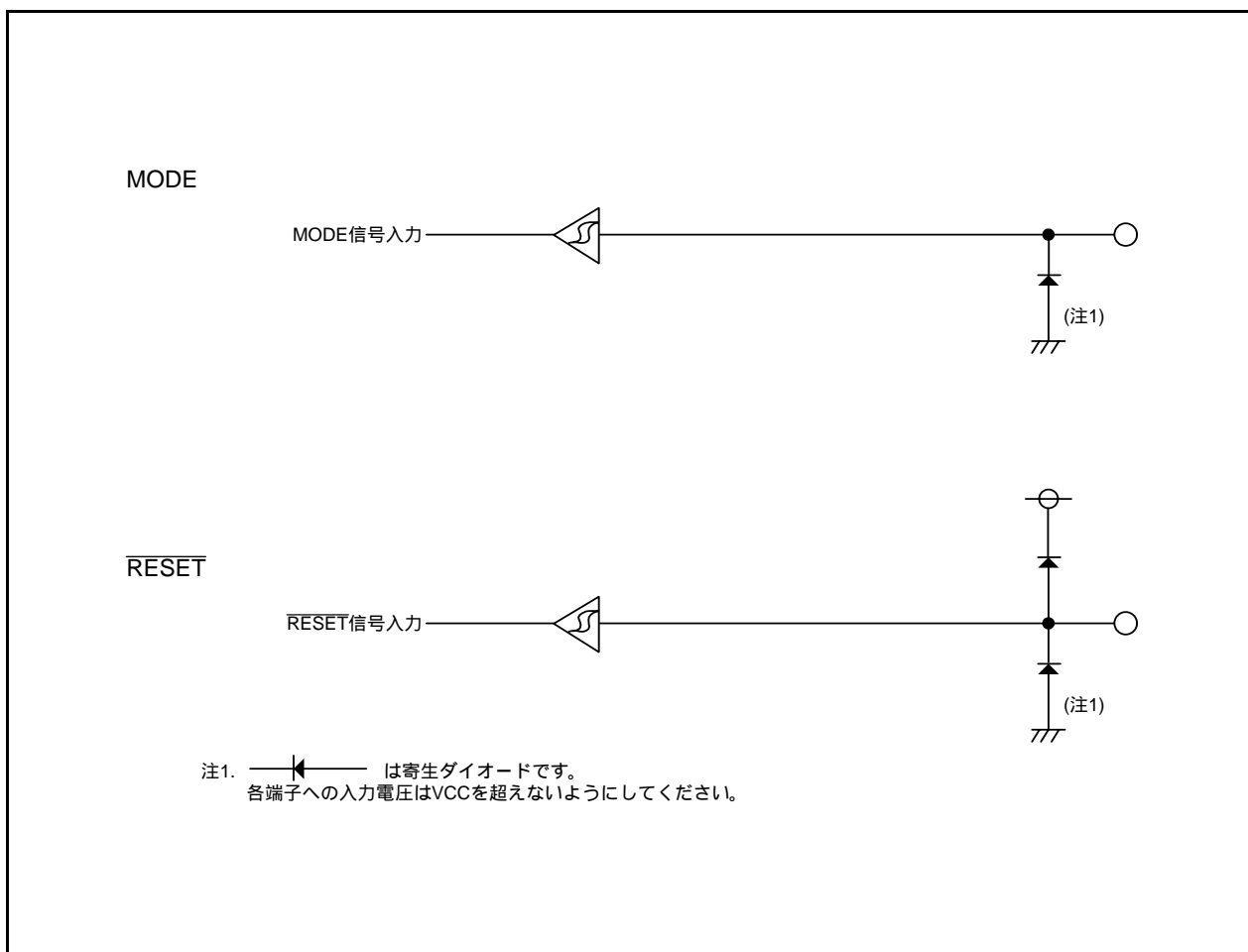


図6.4 端子の構成

ポートPi方向レジスタ(i=1、3、4)(注1、2)

シンボル	アドレス	リセット後の値
PD1	00E3h番地	00h
PD3	00E7h番地	00h
PD4	00EAh番地	00h

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi0方向ビット	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	RW
PDi_1	ポートPi1方向ビット		RW
PDi_2	ポートPi2方向ビット		RW
PDi_3	ポートPi3方向ビット		RW
PDi_4	ポートPi4方向ビット		RW
PDi_5	ポートPi5方向ビット		RW
PDi_6	ポートPi6方向ビット		RW
PDi_7	ポートPi7方向ビット		RW

注1. PD3レジスタのPD3\_0~PD3\_2、PD3\_6ビットは何も配置されていません。  
PD3\_0~PD3\_2、PD3\_6ビットに書く場合、“0”(入力モード)を書いてください。読んだ場合、その値は“0”です。

注2. PD4レジスタのPD4\_0~PD4\_4ビット、PD4\_6ビットとPD4\_7ビットは何も配置されていません。  
PD4レジスタのPD4\_0~PD4\_4ビット、PD4\_6ビットとPD4\_7ビットに書く場合、“0”(入力モード)を書いてください。読んだ場合、その値は“0”です。

図6.5 PD1、PD3、PD4レジスタ

ポートPiレジスタ(i=1、3、4)(注1、2)

シンボル	アドレス	リセット後の値
P1	00E1h番地	不定
P3	00E5h番地	不定
P4	00E8h番地	不定

ビットシンボル	ビット名	機能	RW
Pi_0	ポートPi0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0: “L”レベル 1: “H”レベル	RW
Pi_1	ポートPi1ビット		RW
Pi_2	ポートPi2ビット		RW
Pi_3	ポートPi3ビット		RW
Pi_4	ポートPi4ビット		RW
Pi_5	ポートPi5ビット		RW
Pi_6	ポートPi6ビット		RW
Pi_7	ポートPi7ビット		RW

注1. P3レジスタのP3\_0~P3\_2、P3\_6ビットは何も配置されていません。  
P3\_0~P3\_2、P3\_6ビットに書く場合、“0”(“L”レベル)を書いてください。読んだ場合、その値は“0”です。

注2. P4レジスタのP4\_0~P4\_1、P4\_3~P4\_4ビットは何も配置されていません。  
P4\_0~P4\_1、P4\_3~P4\_4ビットに書く場合、“0”(“L”レベル)を書いてください。読んだ場合、その値は“0”です。

図6.6 P1、P3、P4レジスタ

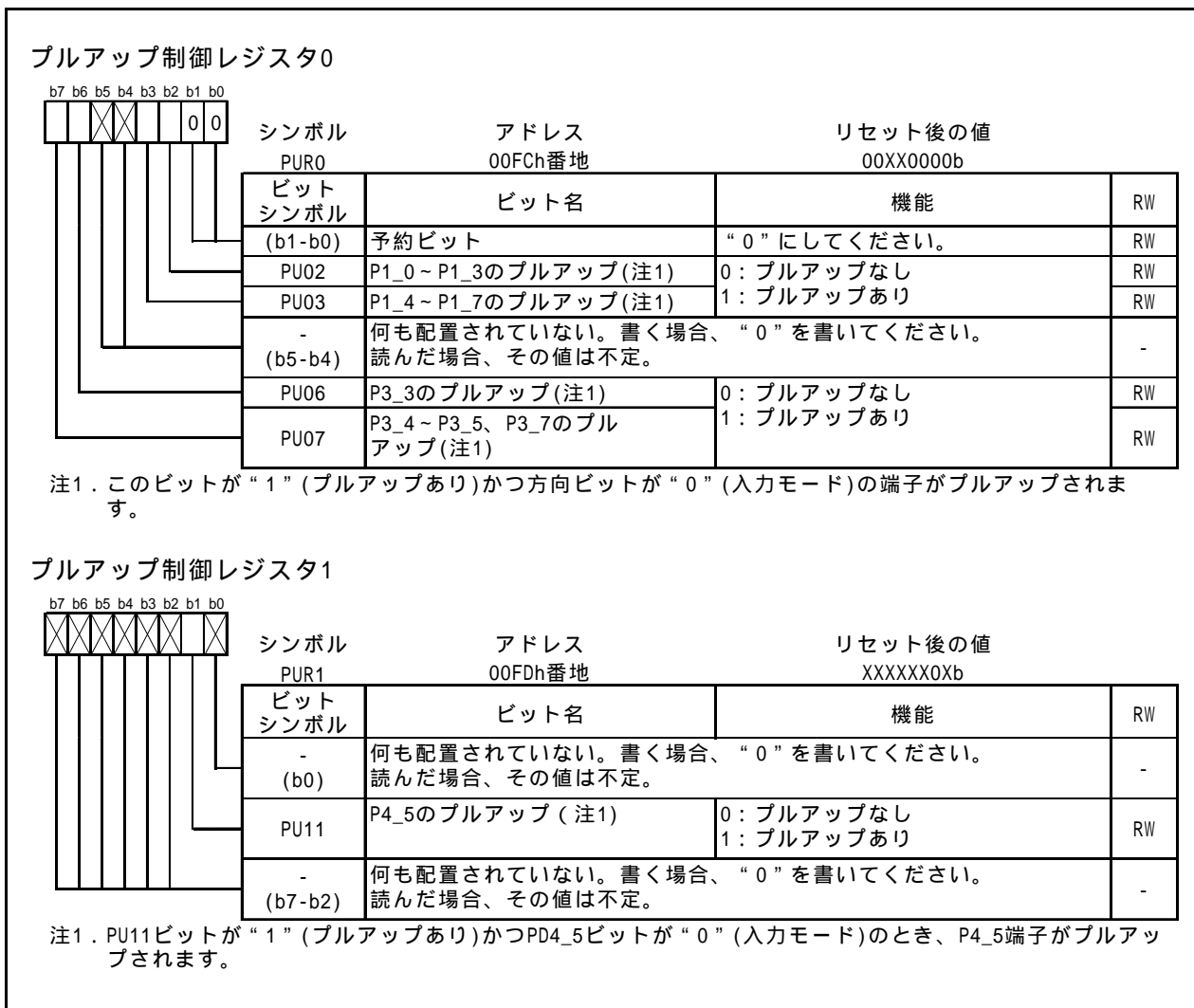


図6.7 PUR0、PUR1レジスタ

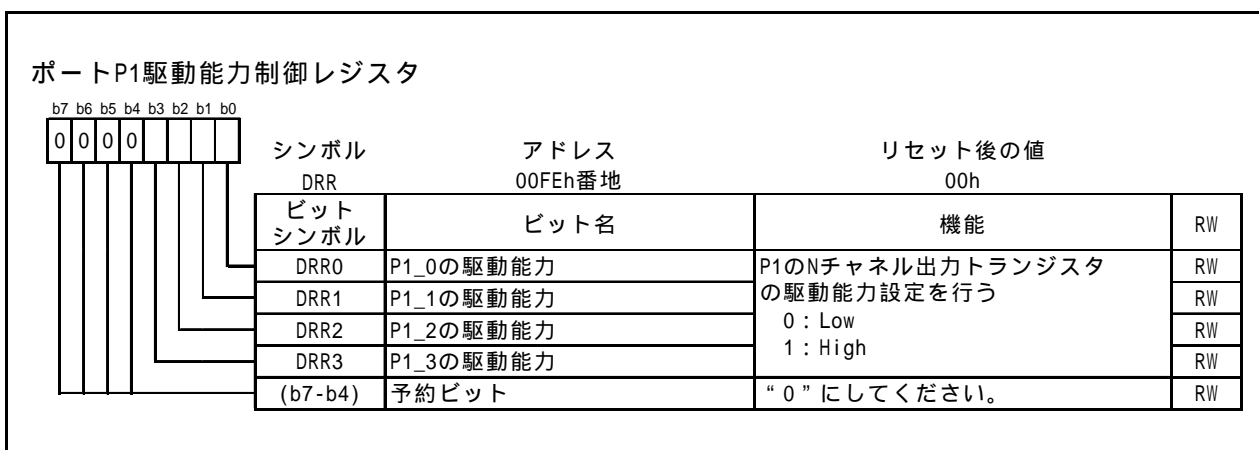


図6.8 DRRレジスタ

## 6.4 ポートの設定

表6.4～表6.17にポートの設定を示します。

表6.4 ポートP1\_0/KI0/AN8/CMP0\_0

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	機能
ビット	PD1_0	PU02	DRR0	KI0EN	CH2、CH1、CH0、ADGSELO	TCOUT0	
設定値	0	0	x	x	x x x x	0	入力ポート(プルアップなし)
	0	1	x	x	x x x x	0	入力ポート(プルアップあり)
	0	0	x	1	x x x x	0	KI0入力
	0	0	x	x	1001b	0	コンパレータ入力(AN8)
	1	x	0	x	x x x x	0	出力ポート
	1	x	1	x	x x x x	0	出力ポート(High駆動)
	x	x	x	x	x x x x	1	CMP0_0出力

X:“0”または“1”

表6.5 ポートP1\_1/KI1/AN9/CMP0\_1

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	機能
ビット	PD1_1	PU02	DRR1	KI1EN	CH2、CH1、CH0、ADGSELO	TCOUT1	
設定値	0	0	x	x	x x x x	0	入力ポート(プルアップなし)
	0	1	x	x	x x x x	0	入力ポート(プルアップあり)
	0	0	x	1	x x x x	0	KI1入力
	0	0	x	x	1011b	0	コンパレータ入力(AN9)
	1	x	0	x	x x x x	0	出力ポート
	1	x	1	x	x x x x	0	出力ポート(High駆動)
	x	x	x	x	x x x x	1	CMP0_1出力

X:“0”または“1”

表6.6 ポートP1\_2/KI2/AN10/CMP0\_2

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	機能
ビット	PD1_2	PU02	DRR2	KI2EN	CH2、CH1、CH0、ADGSELO	TCOUT2	
設定値	0	0	x	x	x x x x	0	入力ポート(プルアップなし)
	0	1	x	x	x x x x	0	入力ポート(プルアップあり)
	0	0	x	1	x x x x	0	KI2入力
	0	0	x	x	1101b	0	コンパレータ入力(AN10)
	1	x	0	x	x x x x	0	出力ポート
	1	x	1	x	x x x x	0	出力ポート(High駆動)
	x	x	x	x	x x x x	1	CMP0_2出力

X:“0”または“1”

表6.7 ポートP1\_3/KI3/AN11/TZOUT

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TZMR	TZOC	機 能
ビット	PD1_3	PU02	DRR3	KI3EN	CH2, CH1, CH0, ADGSEL0	TZMOD1, TZMOD0	TZOCNT	
設定値	0	0	x	x	x x x x	00b	x	入力ポート(プルアップなし)
	0	1	x	x	x x x x	00b	x	入力ポート(プルアップあり)
	0	0	x	1	x x x x	00b	x	KI3入力
	0	0	x	x	1111b	00b	x	コンパレータ入力(AN11)
	1	x	0	x	x x x x	00b	x	出力ポート
	1	x	1	x	x x x x	00b	x	出力ポート(High駆動)
	x	x	0	x	x x x x	01b	1	出力ポート
	x	x	1	x	x x x x	01b	1	出力ポート(High駆動)
	x	x	x	x	x x x x	01b	0	TZOUT出力
	x	x	x	x	x x x x	1 x b	x	TZOUT出力

X: "0" または "1"

表6.8 ポートP1\_4/TXD0

レジスタ	PD1	PUR0	U0MR	U0C0	機 能	
ビット	PD1_4	PU03	SMD2 ~ SMD0	NCH		
設定値	0	0	000b	x	入力ポート(プルアップなし)	
	0	1	000b	x	入力ポート(プルアップあり)	
	1	x	000b	x	出力ポート	
	x	x	x	001b	0	TXD0出力、CMOS出力
				100b		
				101b		
				110b		
	x	x	x	001b	1	TXD0出力、Nチャンネルオープン出力
				100b		
				101b		
110b						

X: "0" または "1"

表6.9 ポートP1\_5/RXD0/CNTR01/INT11

レジスタ	PD1	PUR0	UCON	TXMR	機 能
ビット	PD1_5	PU03	CNTRSEL	TXMOD1, TXMOD0	
設定値	0	0	x	x x	入力ポート(プルアップなし)
	0	1	x	x x	入力ポート(プルアップあり)
	0	x	x	01b以外	RXD0入力
	0	x	1	01b以外	CNTR01/INT11入力
	1	x	x	01b以外	出力ポート
	1	x	1	01b	CNTR01出力

X: "0" または "1"

表6.10 ポートP1\_6/CLK0

レジスタ	PD1	PUR0	U0MR	機能
ビット	PD1_6	PU03	SMD2、SMD0、CKDIR	
設定値	0	0	010b以外	入力ポート(プルアップなし)
	0	1	010b以外	入力ポート(プルアップあり)
	0	0	x x 1	CLK $\bar{\alpha}$ 外部クロック)入力
	1	x	010b以外	出力ポート
	x	x	010b	CLK $\bar{\alpha}$ 内部クロック)出力

X: "0" または "1"

表6.11 ポートP1\_7/CNTR00/INT10

レジスタ	PD1	PUR0	TXMR	UCON	機能
ビット	PD1_7	PU03	TXMOD1、TXMOD0	CNTRSEL	
設定値	0	0	01b以外	x	入力ポート(プルアップなし)
	0	1	01b以外	x	入力ポート(プルアップあり)
	0	0	01b以外	0	CNTR00/INT10入力
	1	x	01b以外	x	出力ポート
	x	x	01b	0	CNTR00出力

X: "0" または "1"

表6.12 ポートP3\_3/TCIN/INT3/CMP1\_0

レジスタ	PD3	PUR0	TCOUT	機能
ビット	PD3_3	PU06	TCOUT3	
設定値	0	0	0	入力ポート(プルアップなし)
	0	1	0	入力ポート(プルアップあり)
	1	x	0	出力ポート
	x	x	1	CMP1_0出力
	0	x	0	TCIN入力/INT3

X: "0" または "1"

表6.13 ポートP3\_4/CMP1\_1

レジスタ	PD3	PUR0	TCOUT	機能
ビット	PD3_4	PU07	TCOUT4	
設定値	0	0	0	入力ポート(プルアップなし)
	0	1	0	入力ポート(プルアップあり)
	1	x	0	出力ポート
	x	x	1	CMP1_1出力

X: "0" または "1"

表6.14 ポートP3\_5/CMP1\_2

レジスタ	PD3	PUR0	TCOUT	機 能
ビット	PD3_5	PU07	TCOUT5	
設定値	0	0	0	入力ポート(プルアップなし)
	0	1	0	入力ポート(プルアップあり)
	1	x	0	出力ポート
	x	x	1	CMP1_2出力

X: "0" または "1"

表6.15 ポートP3\_7/CNTR0/TXD1

レジスタ	PD3	PUR0	U1MR	TXMR	UCON	機 能	
ビット	PD3_7	PU07	SMD2 ~ SMD0	TXOCNT	U1SEL1、U1SEL0		
設定値	0	0	000b	0	0 x	入力ポート(プルアップなし)	
	0	1	000b	0	0 x	入力ポート(プルアップあり)	
	1	x	000b	0	0 x	出力ポート	
	x	x	x	001b	x	11b	TXD1出力端子
				100b			
				101b			
				110b			
x	x	000b	1	x x	CNTR0出力端子		

X: "0" または "1"

表6.16 ポートXIN/P4\_6とXOUT/P4\_7

レジスタ	CM1	CM1	CM0	回路仕様		機 能
ビット	CM13	CM10	CM05	発振バッファ	帰還抵抗	
設定値	1	1	1	OFF	OFF	XIN-XOUT発振停止
	1	0	1	OFF	ON	外部XIN入力、XOUTは'H'出力
	1	0	1	OFF	ON	XIN-XOUT発振停止
	1	0	0	ON	ON	XIN-XOUT発振
	0	x	x	OFF	OFF	入力ポート

X: "0" または "1"

表6.17 ポートP4\_5/INT0/RXD1

レジスタ	PD4	PUR1	UCON	INTEN	機 能	
ビット	PD4_5	PU11	U1SEL1、U1SEL0	INT0EN		
設定値	0	0	00b	0	入力ポート(プルアップなし)	
	0	1	00b	0	入力ポート(プルアップあり)	
	0	0	00b	1	INT0入力	
	x	0	x	01b	0	RXD1入力
				10b		
1	x	00b	x	x	出力ポート	

X: "0" または "1"



## 6.5 未使用端子の処理

表6.18に未使用端子の処理例、図6.9に未使用端子の処理例を示します。

表6.18 未使用端子の処理例

端子名	処理内容
ポートP1、P3_3～P3_5、P3_7、P4_5	<ul style="list-style-type: none"> <li>入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2)</li> <li>出力モードに設定し、端子を開放 (注1、2)</li> </ul>
ポートP4_6、P4_7	抵抗を介してVCCに接続(プルアップ) (注2)
ポートP4_2/VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ) (注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

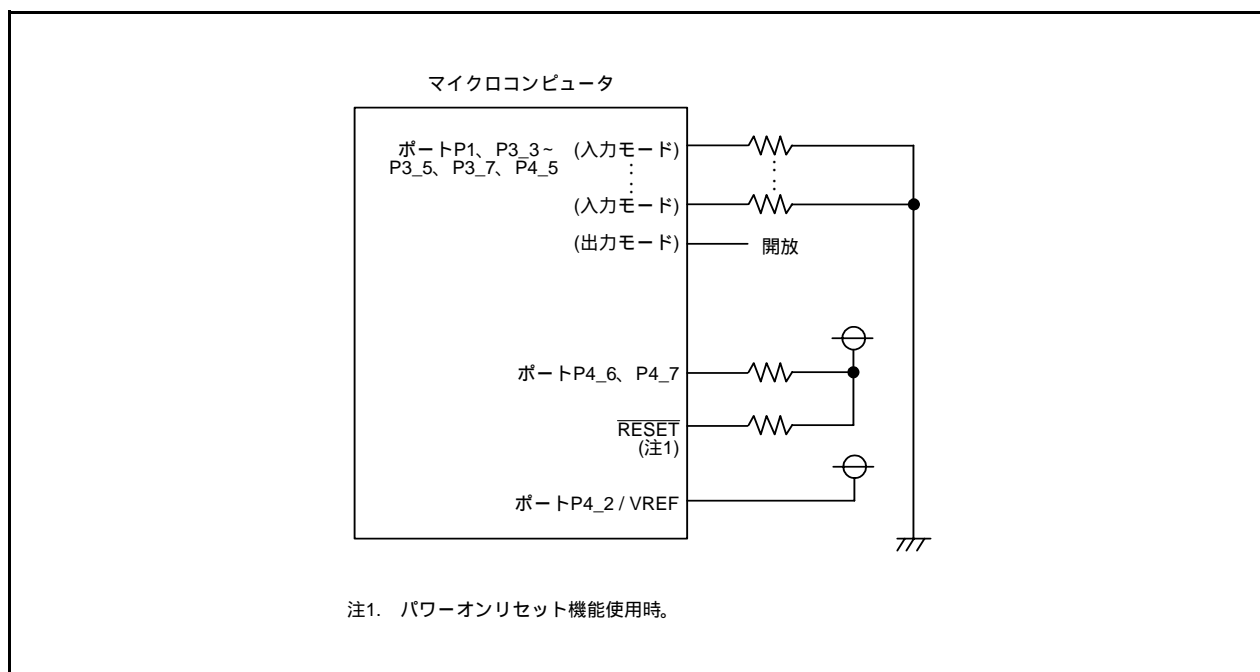


図6.9 未使用端子の処理例

## 7. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。また、電圧監視1リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表7.1に電圧検出回路の仕様を、図7.1～図7.3にブロック図を示します。

また図7.4～図7.6に関連レジスタを示します。

表7.1 電圧検出回路の仕様

項目		電圧検出1	電圧検出2
VCC監視	監視する電圧	Vdet1	Vdet2
	検出対象	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	モニタ	なし	VCA1レジスタのVCA13ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視1リセット Vdet1 > VCCでリセット； VCC > Vdet1でCPU動作再開	電圧監視2リセット Vdet2 > VCCでリセット； 一定時間後にCPU動作再開
	割り込み	なし	電圧監視2割り込み デジタルフィルタ有効時は Vdet2 > VCC、VCC > Vdet2の 両方で割り込み要求； デジタルフィルタ無効時は Vdet2 > VCC、VCC > Vdet2の どちらかで割り込み要求
	デジタルフィルタ	あり	あり
	有効/無効切り替え	あり	あり
	サンプリング時間	(fRING-Sのn分周) × 4 n : 1、2、4、8	(fRING-Sのn分周) × 4 n : 1、2、4、8

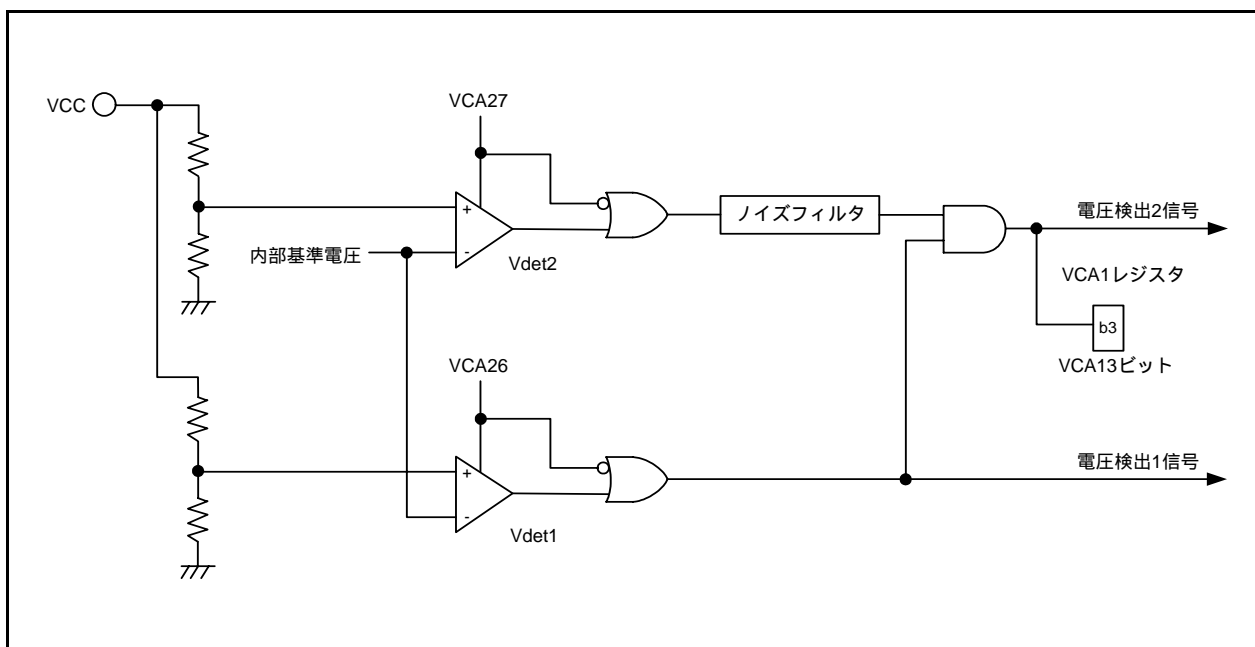


図7.1 電圧検出回路ブロック図

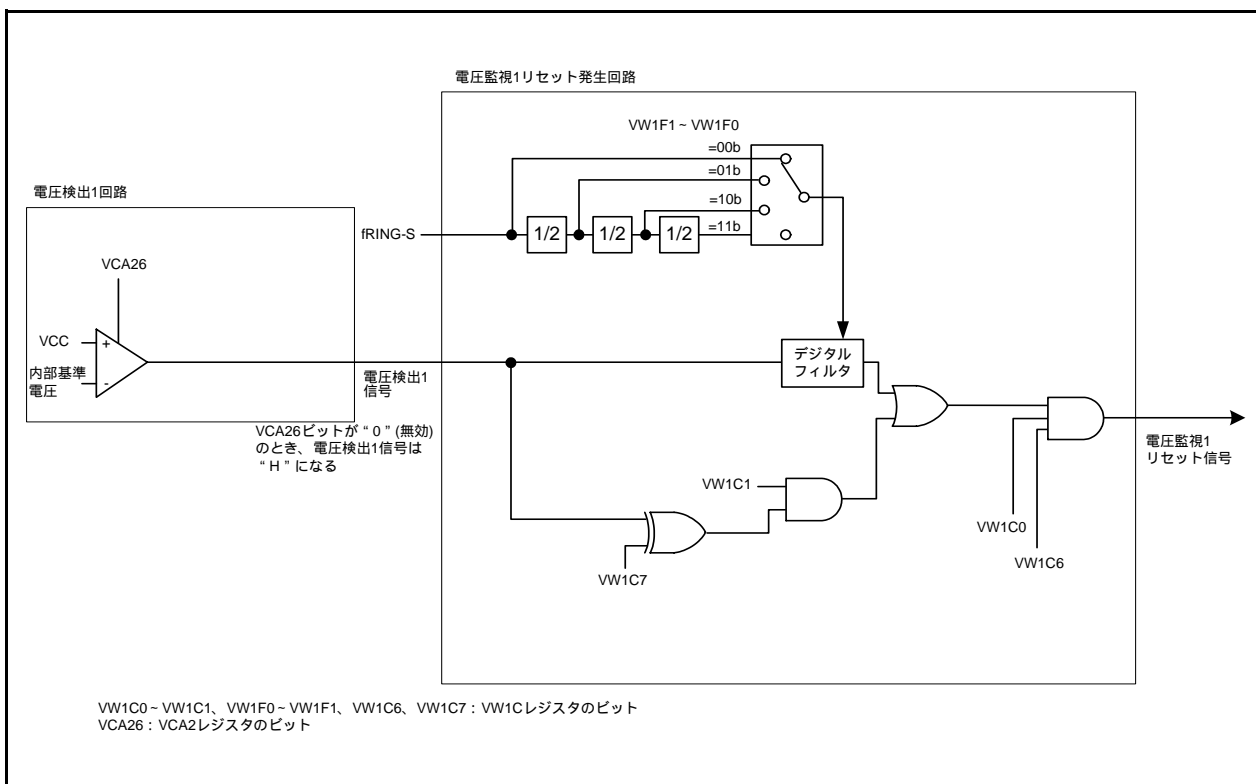


図7.2 電圧監視1リセット発生回路のブロック図

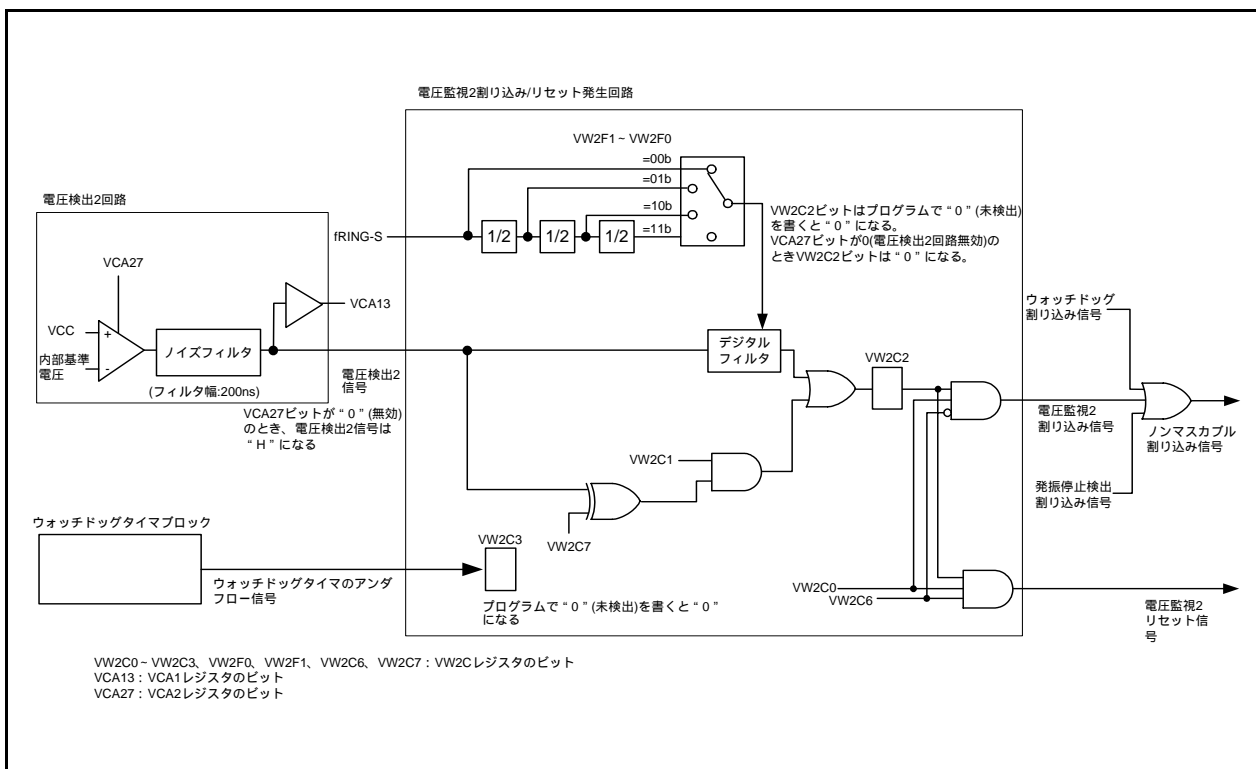


図7.3 電圧監視2割り込み/リセット発生回路のブロック図

## 電圧検出レジスタ1

		シンボル VCA1	アドレス 0031h番地	リセット後の値(注2) 00001000b
ビット シンボル	ビット名	機能	RW	
- (b2-b0)	予約ビット	“0” にしてください	RW	
VCA13	電圧検出2信号モニタフラグ (注1)	0 : VCC < Vdet2 1 : VCC >= Vdet2、または 電圧検出2回路無効	RO	
- (b7-b4)	予約ビット	“0” にしてください	RW	

注1. VCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき、VCA13ビットは有効です。  
VCA2レジスタのVCA27ビットが“0”(電圧検出2回路無効)のとき、VCA13ビットは“1”(VCC >= Vdet2)になります。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

## 電圧検出レジスタ2(注1)

		シンボル VCA2	アドレス 0032h番地	リセット後の値(注4) ハードウェアリセット : 00h パワーオンリセット、 電圧監視1リセット : 01000000b
ビット シンボル	ビット名	機能	RW	
- (b5-b0)	予約ビット	“0” にしてください	RW	
VCA26	電圧検出1許可ビット(注2)	0 : 電圧検出1回路無効 1 : 電圧検出1回路有効	RW	
VCA27	電圧検出2許可ビット(注3)	0 : 電圧検出2回路無効 1 : 電圧検出2回路有効	RW	

注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

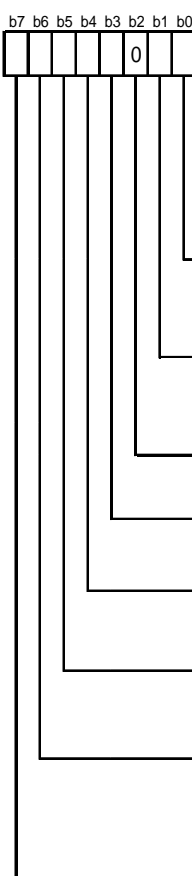
注2. 電圧監視1リセットを使用する場合、VCA26ビットを“1”にしてください。  
VCA26ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注3. 電圧監視2割り込み/リセットを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、  
VCA27ビットを“1”にしてください。  
VCA27ビットを“0”から“1”にした後、td(E-A)経過してから検出回路が動作します。

注4. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

図7.4 VCA1、VCA2レジスタ

電圧監視1回路制御レジスタ(注1)



シンボル  
VW1C

アドレス  
0036h番地

リセット後の値(注2)  
ハードウェアリセット：0000X000b  
パワーオンリセット、  
電圧監視1リセット：0100X001b

ビット シンボル	ビット名	機能	RW
VW1C0	電圧監視1リセット許可ビット (注3)	0：禁止 1：許可	RW
VW1C1	電圧監視1デジタルフィルタ無効 モード選択ビット	0：デジタルフィルタ有効モード(デジ タルフィルタ回路有効) 1：デジタルフィルタ無効モード(デジ タルフィルタ回路無効)	RW
VW1C2	予約ビット	“0” にしてください。	RW
- (b3)	予約ビット	読んだ場合、その値は不定。	RO
VW1F0	サンプリングクロック選択 ビット	b5 b4 0 0：fRING-Sの1分周 0 1：fRING-Sの2分周 1 0：fRING-Sの4分周 1 1：fRING-Sの8分周	RW
VW1F1			RW
VW1C6	電圧監視1回路モード選択ビット	VW1C0ビットが“1”(電圧監視1リセッ ト許可)の場合は、“1”にしてくだ さい。	RW
VW1C7	電圧監視1リセット発生条件選択 ビット	VW1C1ビットが“1”(デジタルフィル タ無効モード)の場合は、“1”にしてく ださい。	RW

注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。  
VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタ書き換え後、  
VW1C2ビットを“0”にしてください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

注3. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効。VCA26ビットが  
“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。

図7.5 VW1Cレジスタ

## 電圧監視2回路制御レジスタ(注1)

ビット シンボル	ビット名	機能	RW
VW2C0	電圧監視2割り込み/リセット許可ビット(注6、10)	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード(デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード(デジタルフィルタ回路無効)	RW
VW2C2	電圧変化検出フラグ(注3、4、8)	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ(注4、8)	0: 未検出 1: 検出	RW
VW2F0	サンプリングクロック選択ビット	b5 b4 0 0: fRING-Sの1分周 0 1: fRING-Sの2分周 1 0: fRING-Sの4分周 1 1: fRING-Sの8分周	RW
VW2F1			RW
VW2C6	電圧監視2回路モード選択ビット(注5)	0: 電圧監視2割り込みモード 1: 電圧監視2リセットモード	RW
VW2C7	電圧監視2割り込み/リセット発生条件選択ビット(注7、9)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

- 注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW2Cレジスタを書き換えると、VW2C0ビットが“1”になる場合があります。VW2Cレジスタ書き換え後、VW2C2ビットを“0”にしてください。
- 注2. 電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効。
- 注6. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。
- 注7. VW2C7ビットはVW2C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。
- 注8. VW2C2ビットとVW2C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。
- 注9. VW2C6ビットが“1”(電圧監視2リセットモード)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。
- 注10. VCA1レジスタのVCA13ビットが“1”(VCC > Vdet2、または電圧検出2回路無効)かつVW2C1ビットが“1”(デジタルフィルタ無効モード)かつVW2C7ビットが“0”(VCCがVdet2以上になるとき)のとき、VW2C0ビットは“0”(禁止)にしてください。  
VCA13ビットが“0”(VCC < Vdet2)かつVW2C1ビットが“1”(デジタルフィルタ無効モード)かつVW2C7ビットが“1”(VCCがVdet2以下になるとき)のとき、VW2C0ビットは“0”(禁止)にしてください。

図7.6 VW2Cレジスタ

## 7.1 VCC入力電圧

### 7.1.1 Vdet1のモニタ

Vdet1のモニタはできません。

### 7.1.2 Vdet2のモニタ

VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にしてください。td(E-A)(「18. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでVdet2をモニタできます。

### 7.1.3 デジタルフィルタ

VCC入力電圧の監視にデジタルフィルタを使用できます。電圧監視1回路はVW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にすると、電圧監視2回路はVW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にすると、デジタルフィルタ回路が有効になります。

サンプリングクロックはfRING-Sの1、2、4、8分周から選択できます。

サンプリングクロックごとにVCC入力電圧のレベルをサンプリングし、レベルが2度一致した時点で内部リセット信号が“L”になる、または電圧監視2割り込み要求が発生します。

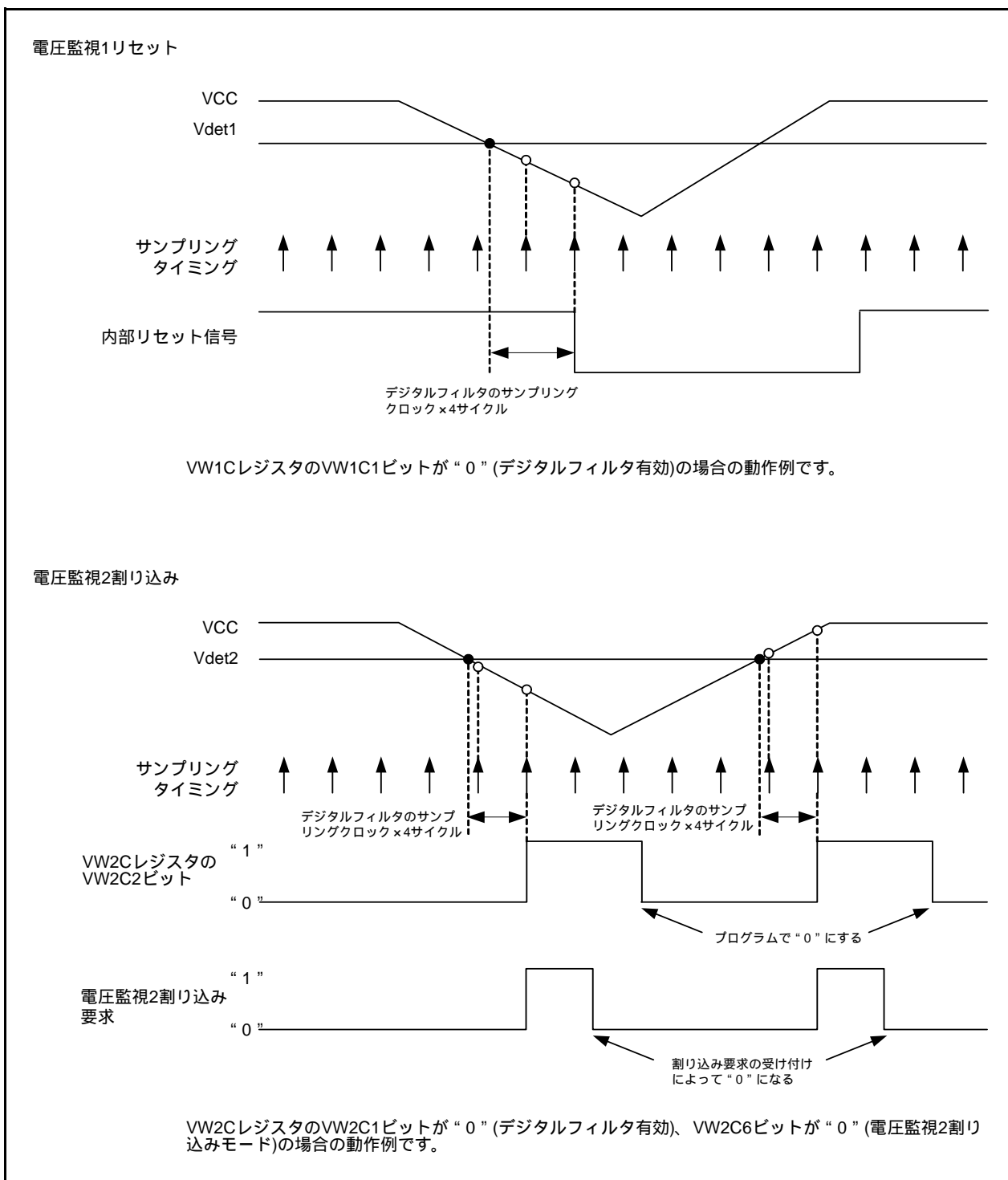


図7.7 デジタルフィルタの動作例



## 7.2 電圧監視1リセット

表7.2に電圧監視1リセット関連ビットの設定手順を、図7.8に電圧監視1リセット動作例を示します。  
 なお、電圧監視1リセットをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表7.2 電圧監視1リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
2	td(E-A)待つ	
3 (注1)	VW1CレジスタのVW1F0～VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する。	VW1CレジスタのVW1C7ビットを“1”にする。
4 (注1)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする。	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする。
5 (注1)	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする。	
6	VW1CレジスタのVW1C2ビットを“0”にする。	
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	-
8	デジタルフィルタのサンプリングクロック×4サイクル待つ	-(待ち時間なし)
9	VW1CレジスタのVW1C0ビットを“1”(電圧監視1リセット許可)にする	

注1. VW1C0ビットが“0”(禁止)のとき、手順3、4、5は同時に(1命令で)実行してもかまいません。

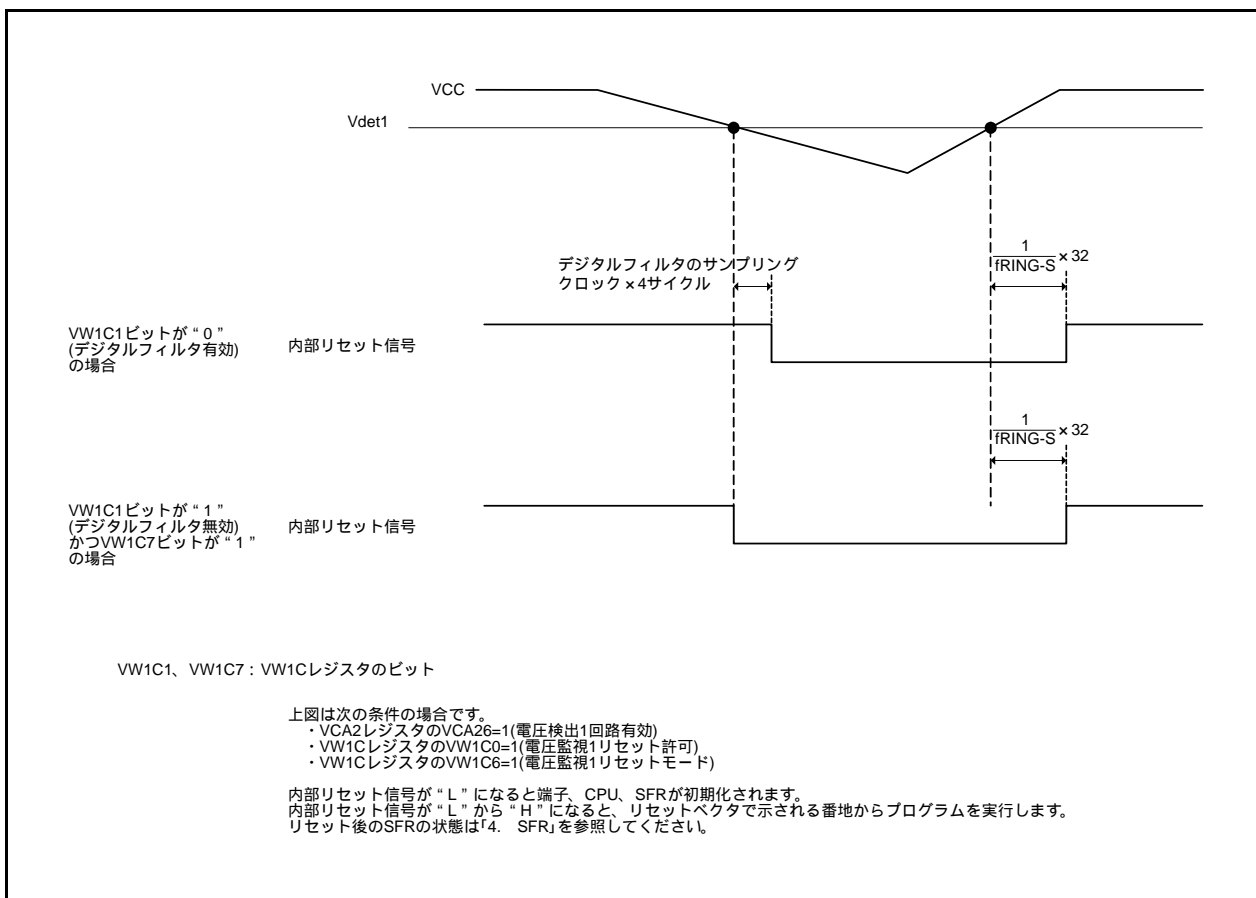


図7.8 電圧監視1リセット動作例

### 7.3 電圧監視2割り込み、電圧監視2リセット

表7.3に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を、図7.9に電圧監視2割り込み、電圧監視2リセット動作例を示します。

なお、電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表7.3 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする			
2	td(E-A)待つ			
3 (注2)	VW2CレジスタのVW2F0～VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する。		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)。	
4 (注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする。		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする。	
5 (注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする
6	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		-	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		-(待ち時間なし)	
9	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする。			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”(禁止)のとき、手順3、4、5は同時に(1命令で)実行してもかまいません。

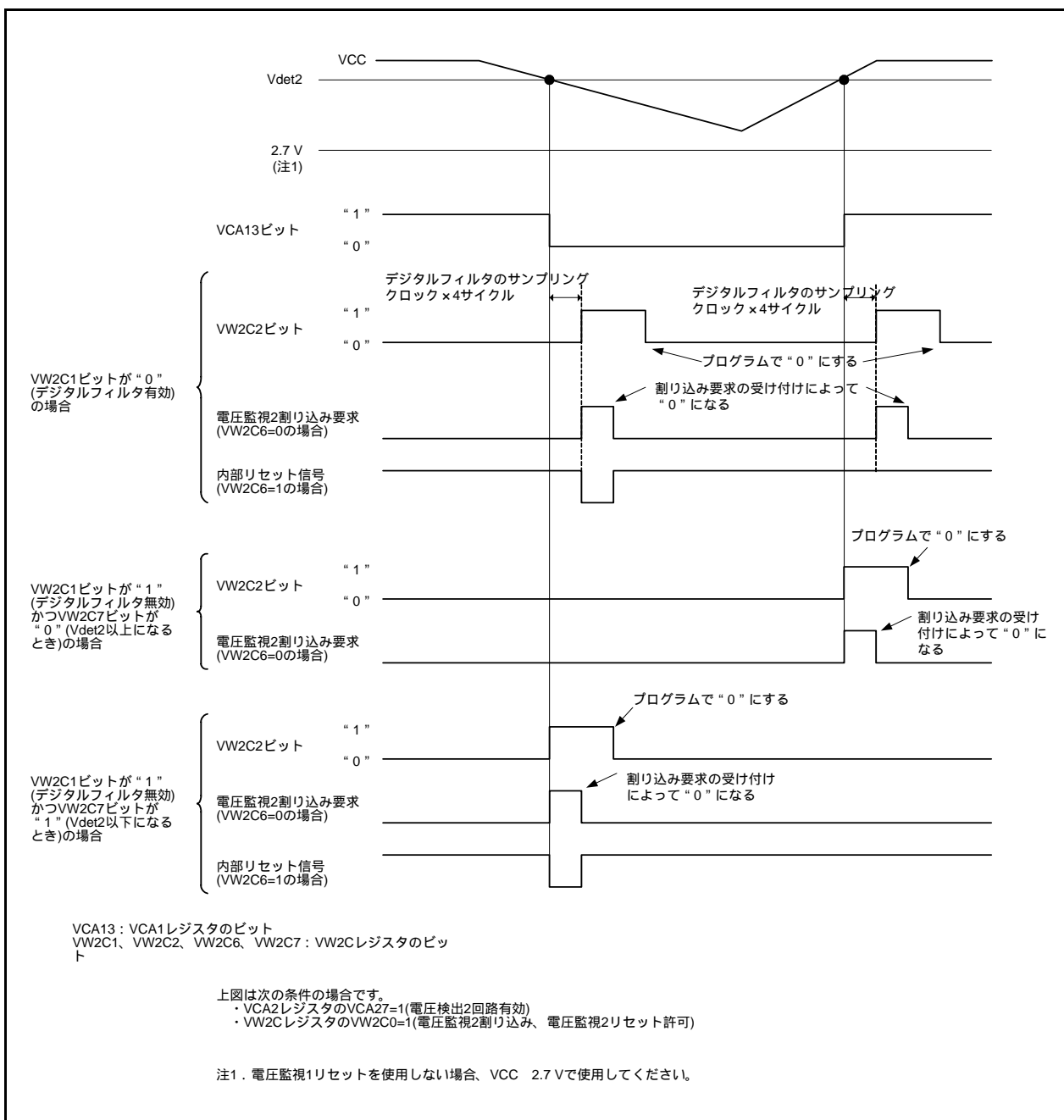


図7.9 電圧監視2割り込み、電圧監視2リセット動作例

## 8. プロセッサモード

### 8.1 プロセッサモードの種類

プロセッサモードはシングルチップモードとなります。表8.1にプロセッサモードの特長を、図8.1にPM0レジスタを、図8.2にPM1レジスタ示します。

表8.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

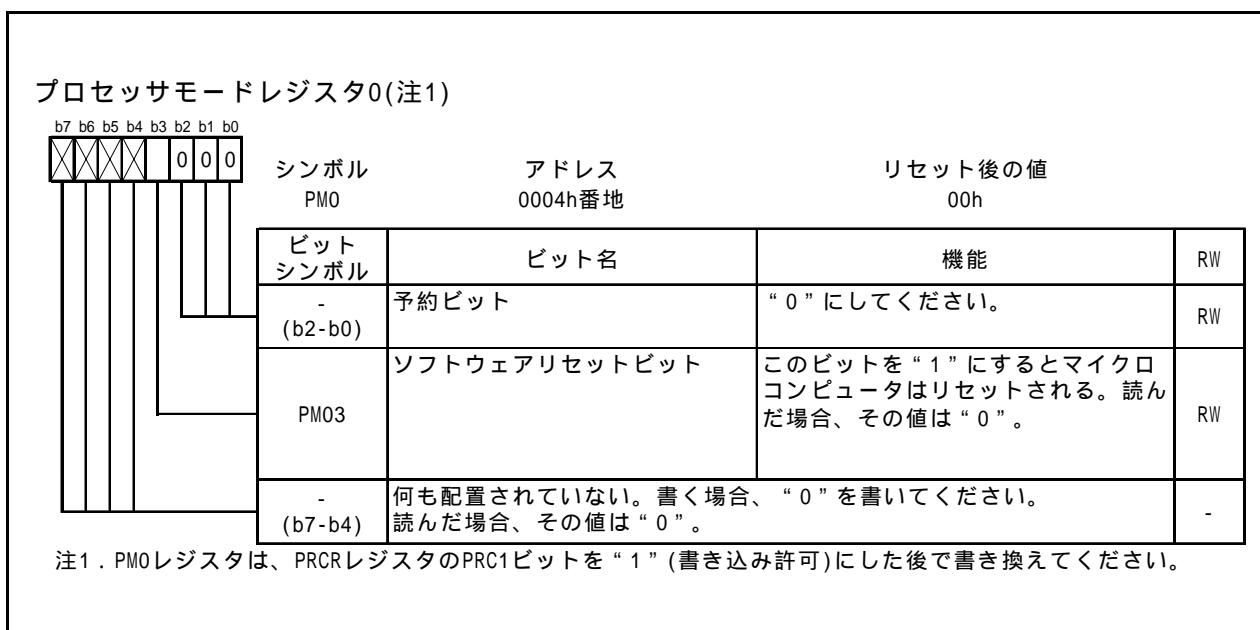


図8.1 PM0レジスタ

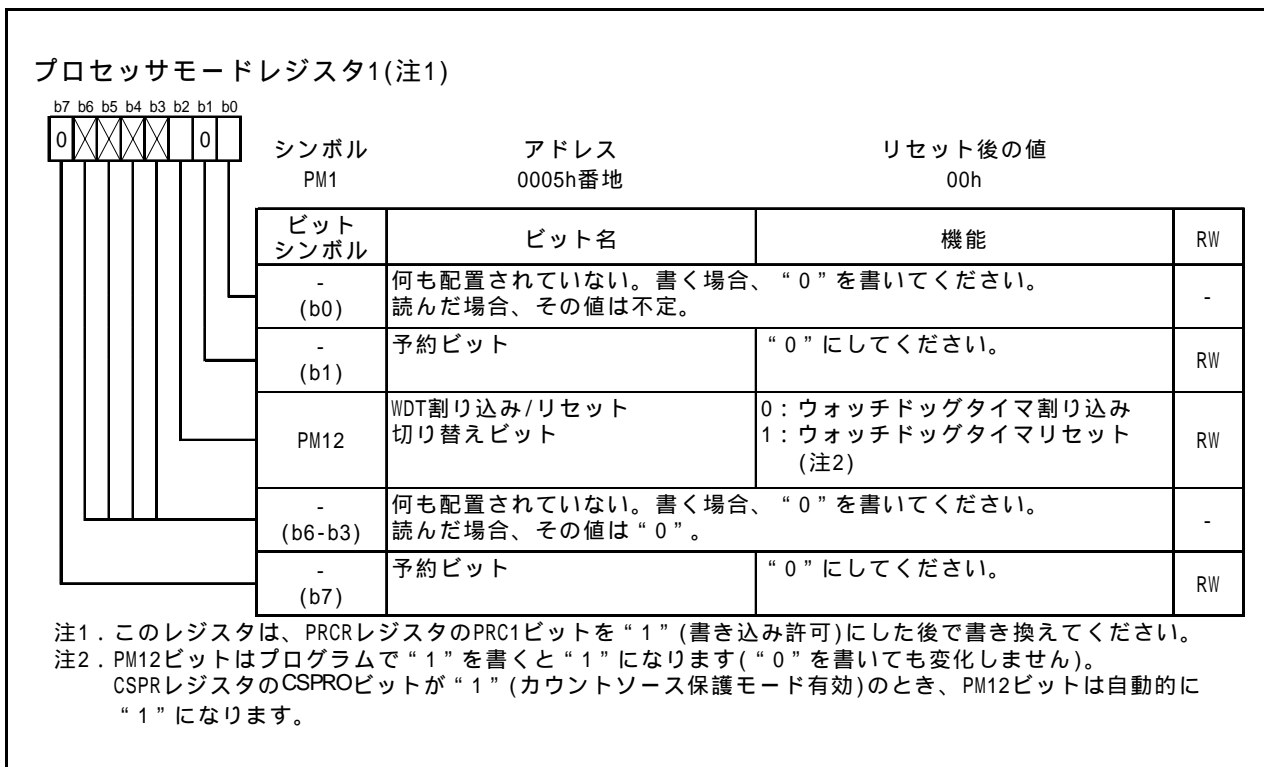


図8.2 PM1レジスタ

## 9. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。表9.1にR8C/18グループのアクセス領域に対するバスサイクルを、表9.2にR8C/19グループのアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表9.3にアクセス単位とバスの動作を示します。


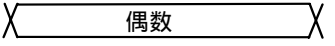
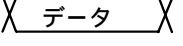




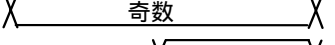
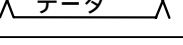


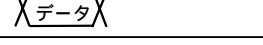

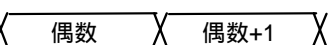





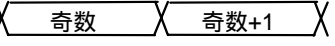




表9.1 R8C/18グループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR	CPUクロックの2サイクル
ROM/RAM	CPUクロックの1サイクル

表9.2 R8C/19グループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表9.3 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM(プログラムROM)、RAM
偶数番地 バイトアクセス	CPUクロック  アドレス  データ 	CPUクロック  アドレス  データ 
奇数番地 バイトアクセス	CPUクロック  アドレス  データ 	CPUクロック  アドレス  データ 
偶数番地 ワードアクセス	CPUクロック  アドレス  データ 	CPUクロック  アドレス  データ 
奇数番地 ワードアクセス	CPUクロック  アドレス  データ 	CPUクロック  アドレス  データ 

## 10. クロック発生回路

クロック発生回路として、2つの回路が内蔵されています。

- メインクロック発振回路
- オンチップオシレータ(発振停止検出機能あり)

表10.1にクロック発生回路の概略仕様を示します。また、図10.1にクロック発生回路を、図10.2～10.5にクロック関連レジスタを示します。

表10.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	オンチップオシレータ	
		高速オンチップオシレータ	低速オンチップオシレータ
用途	<ul style="list-style-type: none"> <li>•CPUのクロック源</li> <li>•周辺機能のクロック源</li> </ul>	<ul style="list-style-type: none"> <li>•CPUのクロック源</li> <li>•周辺機能のクロック源</li> <li>•メインクロック発振停止時のCPU、周辺機能のクロック源</li> </ul>	<ul style="list-style-type: none"> <li>•CPUのクロック源</li> <li>•周辺機能のクロック源</li> <li>•メインクロック発振停止時のCPU、周辺機能のクロック源</li> </ul>
クロック周波数	0～20MHz	約8MHz	約125kHz
接続できる発振子	<ul style="list-style-type: none"> <li>•セラミック共振子</li> <li>•水晶発振子</li> </ul>		
発振子の接続端子	XIN、XOUT(注1)	(注1)	(注1)
発振の開始と停止	あり	あり	あり
リセット後の状態	停止	停止	発振
その他	外部で生成されたクロックを入力可能		

注1. メインクロック発振回路を使用せず、オンチップオシレータクロックを CPU クロックに使用する場合には P4\_6、P4\_7として使うことができます。

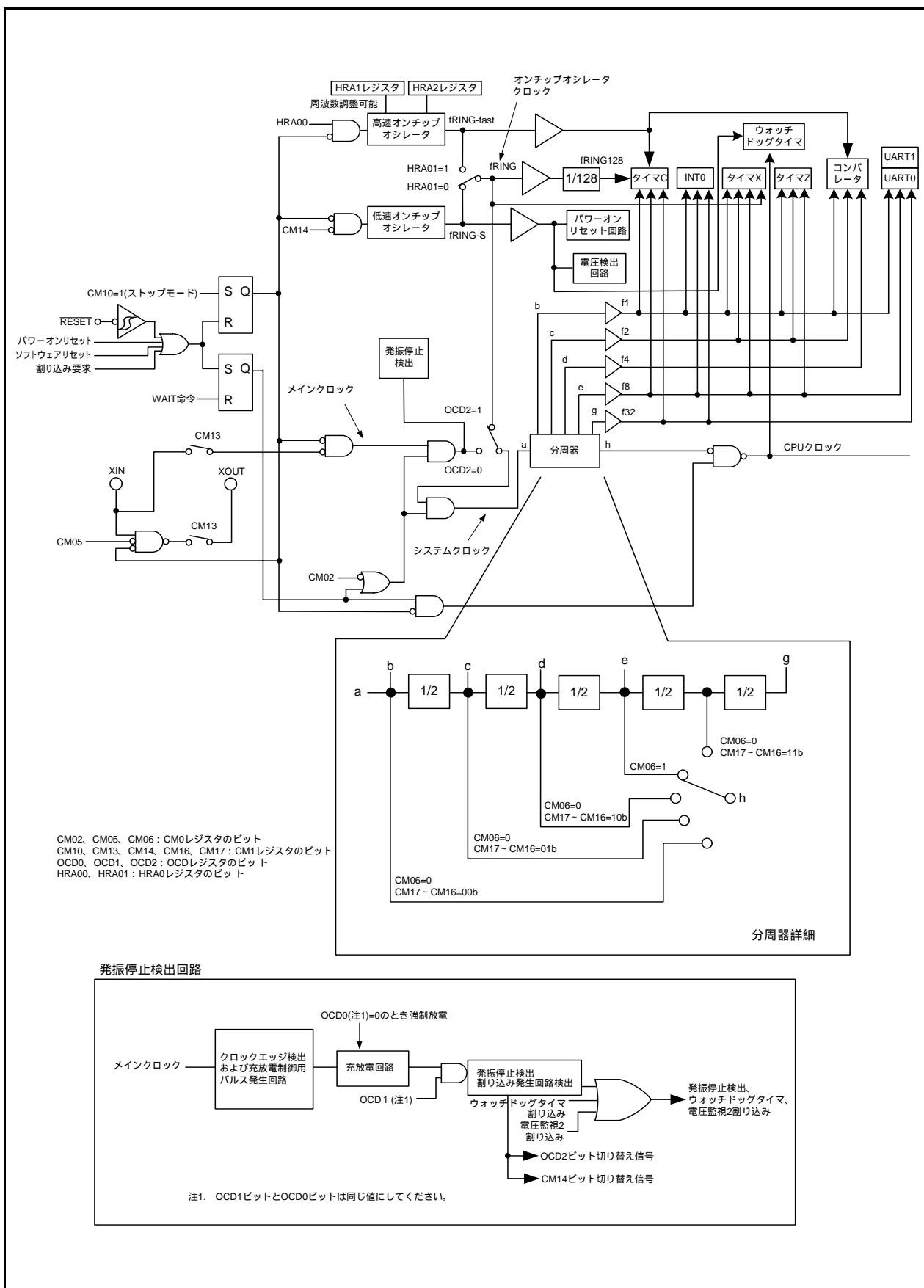


図10.1 クロック発生回路



## システムクロック制御レジスタ0(注1)

ビットシンボル	ビット名	機能	RW
- (b1-b0)	予約ビット	"0" にしてください。	RW
CM02	WAIT時周辺機能クロック停止ビット	0 : ウェイトモード時、周辺機能クロック停止しない 1 : ウェイトモード時、周辺機能クロック停止する	RW
- (b3)	予約ビット	"1" にしてください。	RW
- (b4)	予約ビット	"0" にしてください。	RW
CM05	メインクロック(XIN-XOUT)停止ビット(注2、4)	0 : 発振 1 : 停止(注3)	RW
CM06	システムクロック分周比選択ビット0(注5)	0 : CM16、CM17有効 1 : 8分周モード	RW
- (b7)	予約ビット	"0" にしてください。	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを"1" (書き込み許可) にした後で書き換えてください。

注2. CM05ビットはオンチップオシレータモードにするとメインクロックを停止させるビットです。メインクロックが停止したかどうかの検出には使えません。メインクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1~OCD0ビットを"00b" (発振停止検出機能無効)にする。

(2)OCD2ビットを"1" (オンチップオシレータクロック選択)にする。

注3. 外部クロック入力時には、CM05ビットを"1" (メインクロック停止)、CM1レジスタのCM13ビットを"1" (XIN-XOUT端子)にしてください。

注4. CM05ビットが"1" (メインクロック停止)の場合、P4\_6、P4\_7は入力ポートとして使用できます。

注5. 高速モード、中速モードからストップモードへの移行時、CM06ビットは"1" (8分周モード)になります。

図10.2 CM0レジスタ

## システムクロック制御レジスタ1(注1)

ビット シンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注4、7、8)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
-(b1)	予約ビット	"0" にしてください。	RW
-(b2)	予約ビット	"0" にしてください。	RW
CM13	ポートXIN-XOUT切り替え ビット(注7)	0 : 入力ポートP4_6、P4_7 1 : XIN-XOUT端子	RW
CM14	低速オンチップオシレータ発振停 止ビット(注5、6、8)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	RW
CM15	XIN-XOUT駆動能力選択ピッ ト(注2)	0 : LOW 1 : HIGH	RW
CM16	システムクロック分周比 選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1” (書き込み許可) にした後で書き換えてください。
- 注2. 高速モード、中速モードからストップモードへの移行時、“1” (駆動能力HIGH) になります。
- 注3. CM06ビットが“0” (CM16、CM17ビット有効) の場合、有効となります。
- 注4. CM10ビットが“1” (ストップモード) の場合、内蔵している帰還抵抗は無効となります。
- 注5. CM14ビットはOCD2ビットが“0” (メインクロック選択) のとき、“1” (低速オンチップオシレータ停止) にできます。OCD2ビットを“1” (オンチップオシレータクロック選択) にすると、CM14ビットは“0” (低速オンチップオシレータ発振) になります。“1” を書いても変化しません。
- 注6. 電圧検出割り込みを使用する場合、CM14ビットを“0” (低速オンチップオシレータ発振) にしてください。
- 注7. CM10ビットが“1” (ストップモード) またはCM0レジスタのCM05ビットが“1” (メインクロック停止) の場合、CM13ビットが“1” (XIN-XOUT端子) のとき、XOUT(P4\_7)端子は“H” になります。  
CM13ビットが“0” (入力ポートP4\_6、P4\_7) のとき、P4\_7(XOUT)は入力状態になります。
- 注8. カウントソース保護モード有効時(「13.2 カウントソース保護モード有効時」参照)は、CM10、CM14ビットへ書いても値は変化しません。

図10.3 CM1レジスタ

発振停止検出レジスタ(注1)

シンボル OCD	アドレス 000Ch番地	リセット後の値 04h	
ビット シンボル	ビット名	機能	RW
OCD0	発振停止検出有効ビット	b1 b0 0 0 : 発振停止検出機能無効 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 発振停止検出機能有効(注4、7)	RW
OCD1			RW
OCD2	システムクロック選択ビット (注6)	0 : メインクロック選択(注7) 1 : オンチップオシレータクロック選択 (注2)	RW
OCD3	クロックモニタビット (注3、5)	0 : メインクロック発振 1 : メインクロック停止	RO
- (b7-b4)	予約ビット	"0" にしてください。	RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2. OCD2ビットは、OCD1～OCD0ビットが“11b”(発振停止検出機能有効)のときにメインクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(メインクロック停止)のとき、OCD2ビットに“0”(メインクロック選択)を書いても変化しません。

注3. OCD3ビットはOCD1～OCD0ビットが“11b”のとき有効です。

注4. ストップモード、オンチップオシレータモード(メインクロック停止)に移行する前にOCD1～OCD0ビットを“00b”(発振停止検出機能無効)に設定してください。

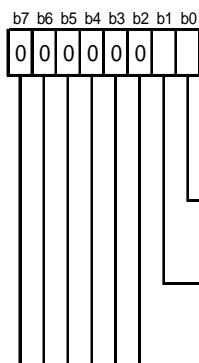
注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(メインクロック発振)になり、変化しません。

注6. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。

注7. 発振停止検出後、メインクロックが再発振した場合の切り替え手順は、「図10.8 低速オンチップオシレータからメインクロックへの切り替え手順」を参照してください。

図10.4 OCDレジスタ

## 高速オンチップオシレータ制御レジスタ0(注1)



シンボル	アドレス	リセット後の値	
HRA0	0020h番地	00h	
ビット シンボル	ビット名	機能	RW
HRA00	高速オンチップオシレータ許可ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	RW
HRA01	高速オンチップオシレータ選択ビット(注2)	0 : 低速オンチップオシレータ選択(注3) 1 : 高速オンチップオシレータ選択	RW
- (b7-b2)	予約ビット	"0" にしてください。	RW

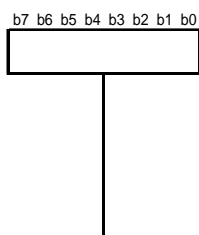
注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2. HRA01ビットは次の条件のとき変更してください。

- ・ HRA00=1(高速オンチップオシレータ発振)
- ・ CM1レジスタのCM14=0(低速オンチップオシレータ発振)

注3. HRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にHRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。HRA01ビットを“0”にした後、HRA00ビットを“0”にしてください。

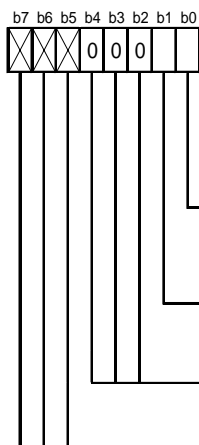
## 高速オンチップオシレータ制御レジスタ1(注1)



シンボル	アドレス	リセット後の値	
HRA1	0021h番地	出荷時の値	
機能			RW
ビット0~7で高速オンチップオシレータの周波数を調整できます。 高速オンチップオシレータの周波数=8 MHz (HRA1レジスタ=出荷時の値 ; fRING-fastモード0)			RW
HRA1レジスタの値を小さく(最小値: 00h)すると周波数が高くなります。 HRA1レジスタの値を大きく(最大値: FFh)すると周波数が低くなります。			

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

## 高速オンチップオシレータ制御レジスタ2(注1)



シンボル	アドレス	リセット後の値	
HRA2	0022h番地	00h	
ビット シンボル	ビット名	機能	RW
HRA20	高速オンチップオシレータモード選択ビット	b1 b0 0 0 : fRING-fastモード0 (HRA1レジスタが出荷時の値のとき、8 MHz)	RW
HRA21		0 1 : fRING-fastモード1(注2) 1 0 : fRING-fastモード2(注3) 1 1 : 設定しないでください	RW
- (b4-b2)	予約ビット	"0" にしてください。	RW
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2. fRING-fastモード0からfRING-fastモード1にすると周波数は1.5倍になります。

注3. fRING-fastモード0からfRING-fastモード2にすると周波数は0.5倍になります。

図10.5 HRA0、HRA1、HRA2レジスタ

クロック発生回路で生成するクロックを説明します。

## 10.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図10.6にメインクロックの接続回路例を示します。

リセット中およびリセット後、メインクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(メインクロック発振)にするとメインクロックは発振を開始します。メインクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(メインクロック選択)にするとメインクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(メインクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしてもメインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「10.4 パワーコントロール」を参照してください。

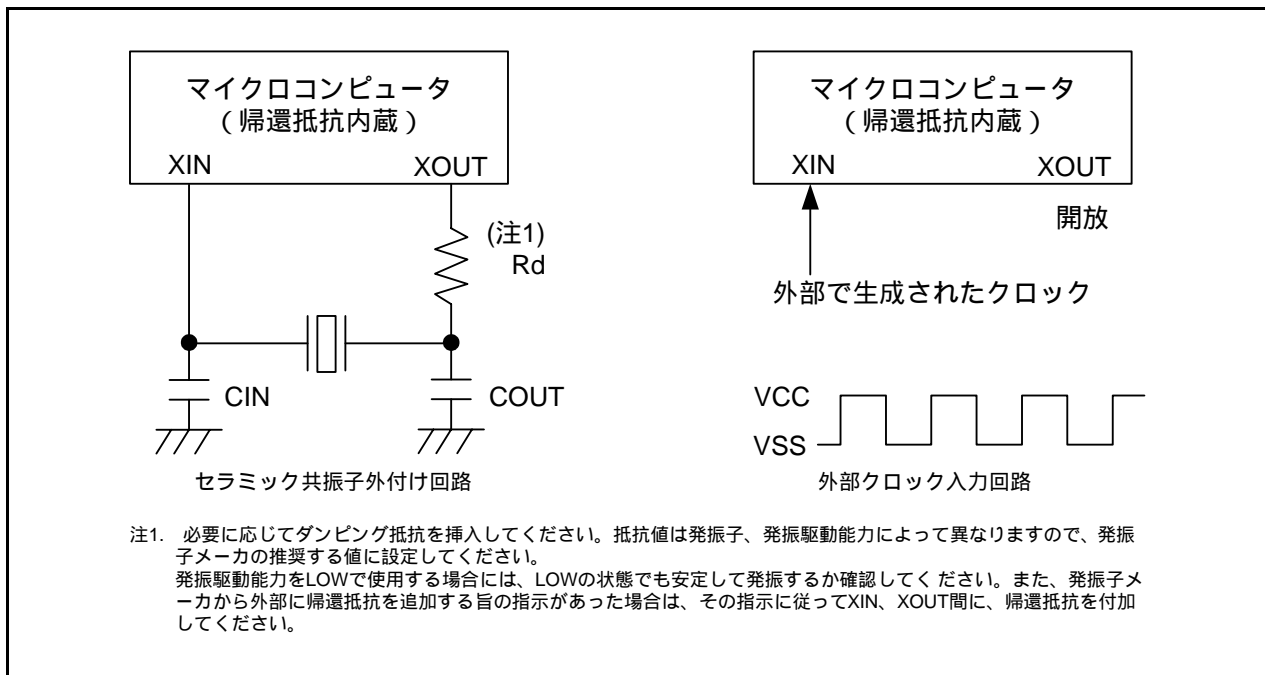


図10.6 メインクロックの接続回路例

## 10.2 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。HRA0レジスタのHRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

### 10.2.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fRING、fRING128、fRING-Sのクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの8分周がCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”（発振停止検出機能有効）の場合、メインクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

### 10.2.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fRING、fRING128、fRING-fastのクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。HRA0レジスタのHRA00ビットを“1”（高速オンチップオシレータ発振）にすると発振を開始します。HRA1レジスタおよびHRA2を使って、周波数を調整できます。

HRA1レジスタの各ビットの遅延量にはばらつきがありますので、各ビットを変化させて調整してください。

高速オンチップオシレータの周波数は、フラッシュメモリのCPU書き換えモードで、自動書き込み期間中または自動消去期間中に、変動する可能性があります。詳細は「10.6.4 高速オンチップオシレータクロック」を参照してください。

### 10.3 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させるクロックがあります。(「図10.1 クロック発生回路」参照。)

#### 10.3.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。メインクロックまたはオンチップオシレータクロックが選択できます。

#### 10.3.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16～CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの8分周がCPUクロックになります。

なお、高速モードまたは中速モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

#### 10.3.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

$f_i$ ( $i=1、2、4、8、32$ )はシステムクロックを $i$ 分周したクロックです。 $f_i$ はタイマX、タイマZ、タイマC、シリアルインタフェース、コンパレータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、 $f_i$ は停止します。

#### 10.3.4 fRING、fRING128

周辺機能の動作クロックです。

fRINGは、オンチップオシレータクロックと同じ周波数のクロックです。タイマXで使用します。fRING128はfRINGを128分周したクロックです。タイマCで使用します。

fRINGとfRING128はWAIT命令実行時、停止しません。

#### 10.3.5 fRING-fast

タイマCのカウントソースになります。

fRING-fastは高速オンチップオシレータで生成したクロックで、HRA00ビットを“1”にすると供給されます。

fRING-fastはWAIT命令実行時、停止しません。

#### 10.3.6 fRING-S

ウォッチドッグタイマと電圧検出回路の動作クロックです。

fRING-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fRING-SはWAIT命令実行時、またはウォッチドッグタイマのカウントソース保護モード時、停止しません。

## 10.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、通常動作モードと呼びます。

### 10.4.1 通常動作モード

通常動作モードは、さらに4つのモードに分けられます。

通常動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

表10.2 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1 レジスタ		CM0 レジスタ	
		OCD2	CM17、CM16	CM13	CM06	CM05
高速モード		0	00b	1	0	0
中速モード	2分周	0	01b	1	0	0
	4分周	0	10b	1	0	0
	8分周	0		1	1	0
	16分周	0	11b	1	0	0
高速、低速 オンチップ オシレータ モード(注1)	分周なし	1	00b		0	
	2分周	1	01b		0	
	4分周	1	10b		0	
	8分周	1			1	
	16分周	1	11b		0	

注1. CM1 レジスタのCM14=0(低速オンチップオシレータ発振)、かつHRA0 レジスタのHRA01=0のとき、低速オンチップオシレータがオンチップオシレータクロックになります。  
HRA0 レジスタのHRA00=1(高速オンチップオシレータ発振)、かつHRA0 レジスタのHRA01=1のとき、高速オンチップオシレータがオンチップオシレータクロックになります。



#### 10.4.1.1 高速モード

メインクロックの1分周(分周なし)がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはHRA0レジスタのHRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fRING、fRING128をタイマXとタイマCで使用できます。また、HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

#### 10.4.1.2 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはHRA0レジスタのHRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fRING、fRING128をタイマXとタイマCで使用できます。また、HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

#### 10.4.1.3 高速、低速オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

### 10.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。メインクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

#### 10.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

#### 10.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

#### 10.4.2.3 ウェイトモード時の端子の状態

ウェイトモードに入る直前の状態を保持。

#### 10.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“000b”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できません。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みシーケンスを実行します。周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
コンパレータ変換割り込み	単発モードで使用可	(使用しないでください)
タイマX割り込み	すべてのモードで使用可	イベントカウンタモードで使用可
タイマZ割り込み	すべてのモードで使用可	(使用しないでください)
タイマC割り込み	すべてのモードで使用可	(使用しないでください)
$\overline{\text{INT}}$ 割り込み	使用可	使用可( $\overline{\text{INT0}}$ 、 $\overline{\text{INT3}}$ はフィルタなしの場合に、使用可)
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	(使用しないでください)
ウォッチドッグタイマ割り込み	カウントソース保護モードで使用可	カウントソース保護モードで使用可

### 10.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。表10.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	
INT0 ~ INT1 割り込み	INT0はフィルタなしの場合に使用可
INT3 割り込み	フィルタなし、INT3入力タイミングで割り込み要求発生(TCC0レジスタのTCC06ビットが“1”)の場合に使用可
タイマX割り込み	イベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

#### 10.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM10レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、OCD1 ~ OCD0ビットを“00b”(発振停止検出機能無効)にしてからストップモードにしてください。

#### 10.4.3.2 ストップモード時の端子の状態

ストップモードに入る直前の状態を保持。

ただし、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P4\_7)端子は“H”になります。CM13ビットが“0”(入力ポートP4\_6、P4\_7)のとき、P4\_7(XOUT)は入力状態になります。

#### 10.4.3.3 ストップモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。  
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。  
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。

図10.7にパワーコントロールの状態遷移を示します。

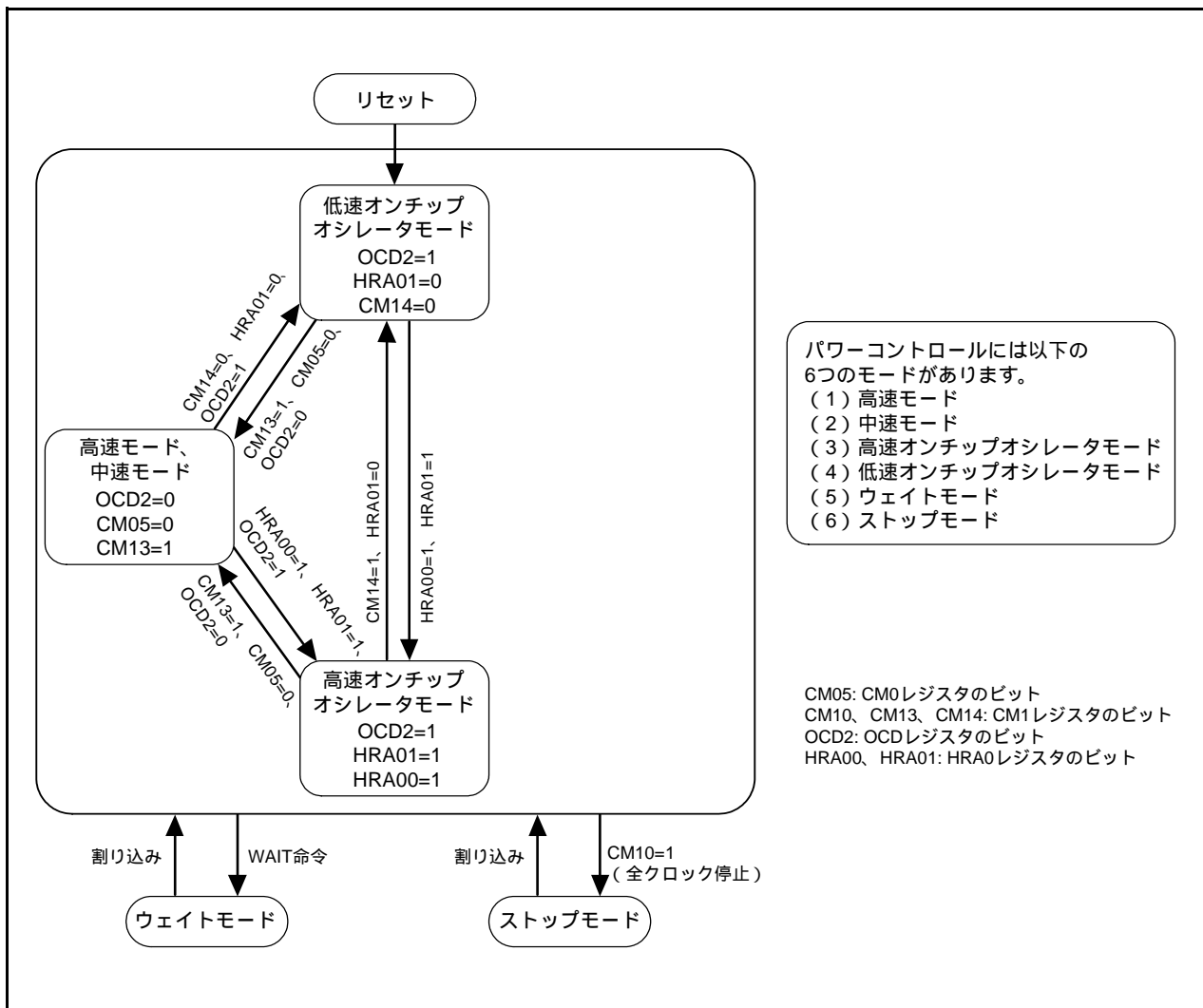


図10.7 パワーコントロールの状態遷移

## 10.5 発振停止検出機能

発振停止検出機能は、メインクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD1～OCD0ビットで有効、無効が選択できます。

表10.5に発振停止検出機能の仕様を示します。

メインクロックがCPUクロック源でOCD1～OCD0ビットが“11b”(発振停止検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1(メインクロック停止)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表10.5 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にする
発振停止検出時の動作	発振停止検出割り込み発生

### 10.5.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。表10.6に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視2割り込みの割り込み要因の判別を示します。
- 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図10.8に低速オンチップオシレータからメインクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください。
- メインクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、HRA0レジスタのHRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にしてください。  
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、HRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にしてください。

表10.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a)OCDレジスタのOCD3=1
	(b)OCDレジスタのOCD1 ~ OCD0=11bかつOCD2=1
ウォッチドッグタイマ	VW2CレジスタのVW2C3=1
電圧監視2	VW2CレジスタのVW2C2=1

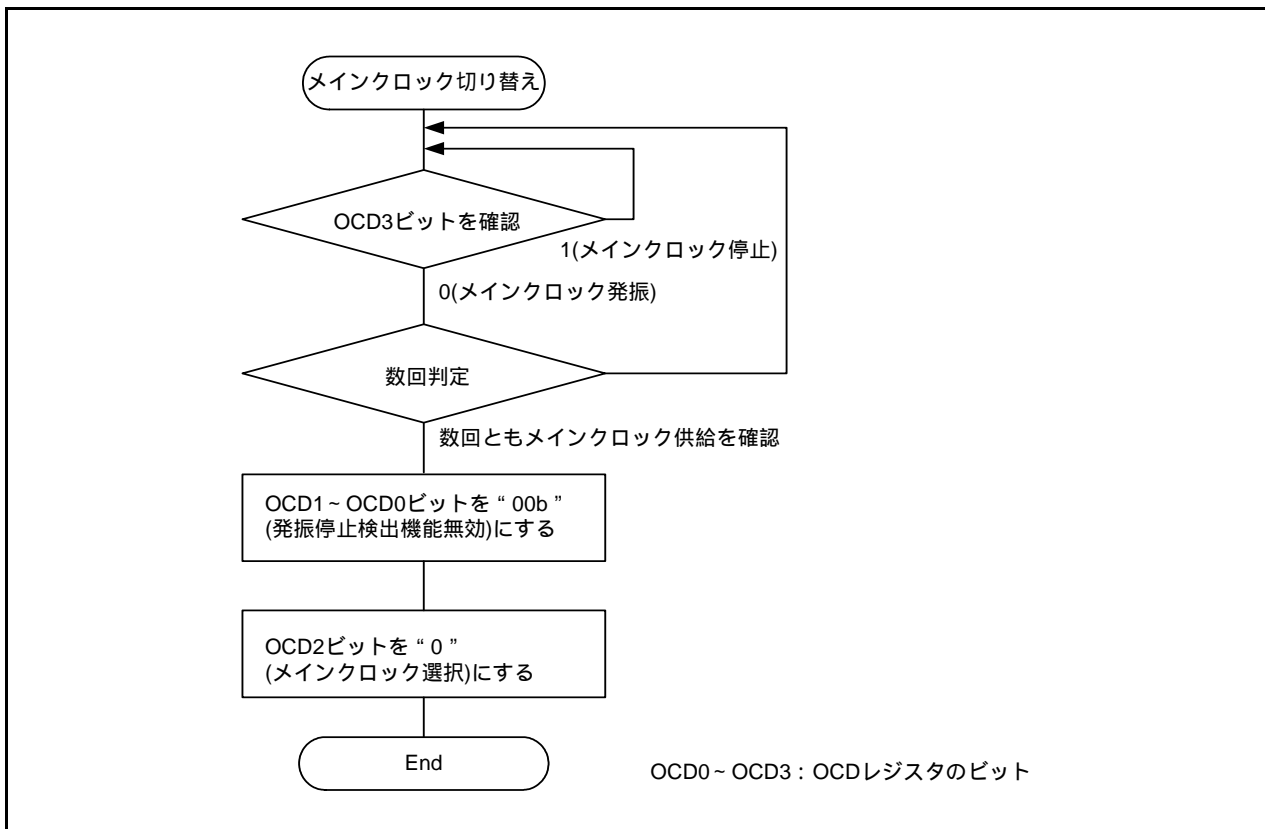


図10.8 低速オンチップオシレータからメインクロックへの切り替え手順

## 10.6 クロック発生回路使用上の注意

### 10.6.1 ストップモード、ウェイトモード

ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令およびCM1レジスタのCM10ビットを“1”(ストップモード)にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令およびCM10ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

### 10.6.2 発振停止検出機能

メインクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください。

### 10.6.3 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

### 10.6.4 高速オンチップオシレータクロック

高速オンチップオシレータの周波数は、フラッシュメモリのCPU書き換えモードで、自動書き込み期間中または自動消去期間中に最大10%(注1)変動する可能性があります。

自動書き込み終了後または自動消去終了後の高速オンチップオシレータの周波数は、プログラムコマンドまたはブロックイレーズコマンド発行前の状態になります。またリードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド発行時は該当しません。

応用製品設計の際には周波数変動に対して十分考慮してください。

注1．出荷時に調整されている8MHzの周波数に対する変動率

## 11. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図11.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次です。

- PRC0ビットで保護されるレジスタ：CM0、CM1、OCD、HRA0、HRA1、HRA2レジスタ
- PRC1ビットで保護されるレジスタ：PM0、PM1レジスタ
- PRC3ビットで保護されるレジスタ：VCA2、VW1C、VW2Cレジスタ

シンボル PRCR		アドレス 000Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能		RW
PRC0	プロテクトビット0	CM0、CM1、OCD、HRA0、HRA1、HRA2レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可		RW
PRC1	プロテクトビット1	PM0、PM1レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可		RW
- (b2)	予約ビット	“0”にしてください。		RW
PRC3	プロテクトビット3	VCA2、VW1C、VW2Cレジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可		RW
- (b5-b4)	予約ビット	“0”にしてください。		RW
- (b7-b6)	予約ビット	読んだ場合、その値は“0”。		RO

図11.1 PRCRレジスタ



## 12. 割り込み

### 12.1 割り込みの概要

#### 12.1.1 割り込みの分類

図12.1に割り込みの分類を示します。

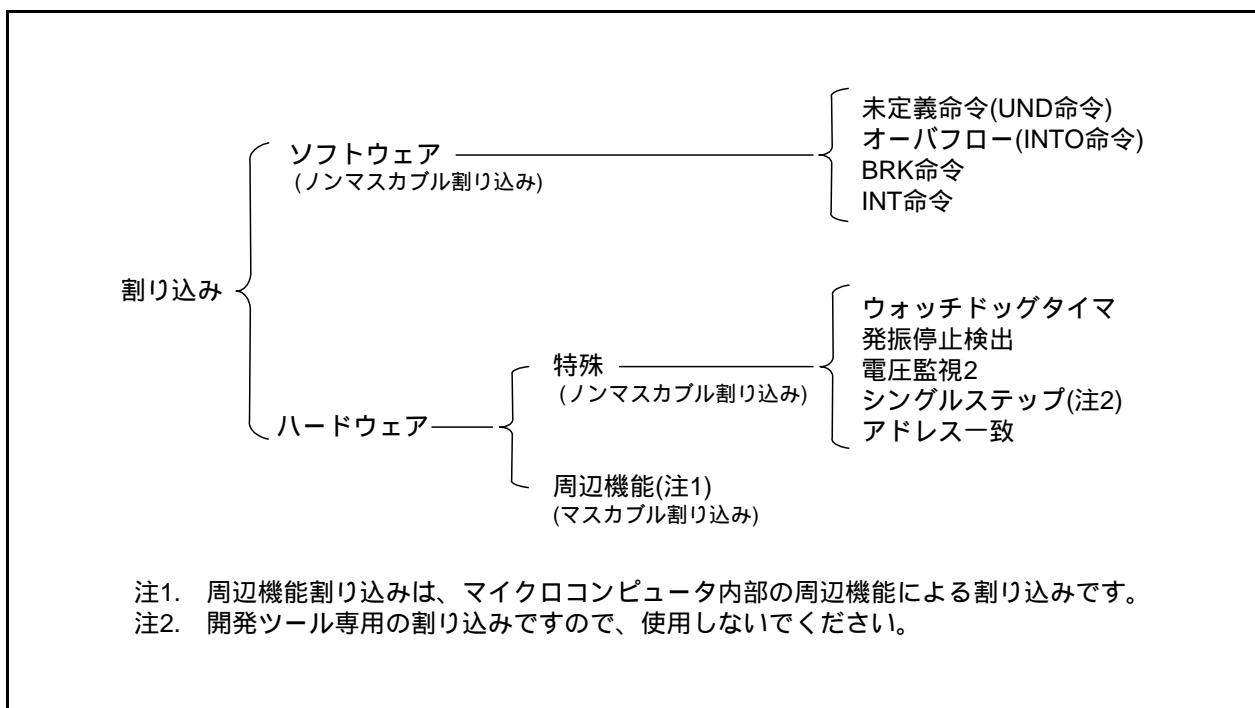


図12.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

## 12.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

### 12.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

### 12.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

### 12.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

### 12.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

### 12.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

#### 12.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は、「13. ウォッチドッグタイマ」を参照してください。

#### 12.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「10. クロック発生回路」を参照してください。

#### 12.1.3.3 電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

#### 12.1.3.4 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

#### 12.1.3.5 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「12.4 アドレス一致割り込み」を参照してください。

### 12.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表12.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

### 12.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図12.2に割り込みベクタを示します。

	MSB	LSB
ベクタ番地(L)	アドレスの下位	
	アドレスの中位	
	0 0 0 0	アドレスの上位
ベクタ番地(H)	0 0 0 0	0 0 0 0

図12.2 割り込みベクタ

#### 12.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFh番地に配置されています。表12.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「17.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表12.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	0FFDCh ~ 0FFDFh	UND命令で割り込み	R8C/Tinyシリーズソフトウェア マニュアル
オーバフロー	0FFE0h ~ 0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h ~ 0FFE7h	0FFE7h番地の内容が FFhの場合は可変ベク タテーブル内のベクタ が示す番地から実行	
アドレス一致	0FFE8h ~ 0FFEBh		12.4 アドレス一致割り込み
シングルステップ(注1)	0FFECh ~ 0FEFh		
ウォッチドッグタイマ、 発振停止検出、電圧監視2	0FFF0h ~ 0FFF3h		13.ウォッチドッグタイマ、 10.クロック発生回路、 7.電圧検出回路
アドレスブレイク(注1)	0FFF4h ~ 0FFF7h		
(予約)	0FFF8h ~ 0FFFBh		
リセット	0FFFCh ~ 0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

## 12.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表12.2に可変ベクタテーブルを示します。

表12.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注2)	+0 ~ +3(0000h ~ 0003h)	0	R8C/Tinyシリーズソフトウェアマニュアル
(予約)		1 ~ 12	
キー入力	+52 ~ +55(0034h ~ 0037h)	13	12.3 キー入力割り込み
コンパレータ変換	+56 ~ +59(0038h ~ 003Bh)	14	16. コンパレータ
(予約)		15	
コンペア1	+64 ~ +67(0040h ~ 0043h)	16	14.3 タイマC
UART0送信	+68 ~ +71(0044h ~ 0047h)	17	15. シリアルインタフェース
UART0受信	+72 ~ +75(0048h ~ 004Bh)	18	
UART1送信	+76 ~ +79(004Ch ~ 004Fh)	19	
UART1受信	+80 ~ +83(0050h ~ 0053h)	20	
(予約)		21	
タイマX	+88 ~ +91(0058h ~ 005Bh)	22	14.1 タイマX
(予約)		23	
タイマZ	+96 ~ +99(0060h ~ 0063h)	24	14.2 タイマZ
INT1	+100 ~ +103(0064h ~ 0067h)	25	12.2 INT割り込み
INT3	+104 ~ +107(0068h ~ 006Bh)	26	
タイマC	+108 ~ +111(006Ch ~ 006Fh)	27	14.3 タイマC
コンペア0	+112 ~ +115(0070h ~ 0073h)	28	
INT0	+116 ~ +119(0074h ~ 0077h)	29	12.2 INT割り込み
(予約)		30	
(予約)		31	
ソフトウェア(注2)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63	R8C/Tinyシリーズソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

## 12.1.6 割り込み制御

マスク割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスク割り込みには該当しません。

マスク割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図12.3に割り込み制御レジスタ、図12.4にINT0ICレジスタを示します。

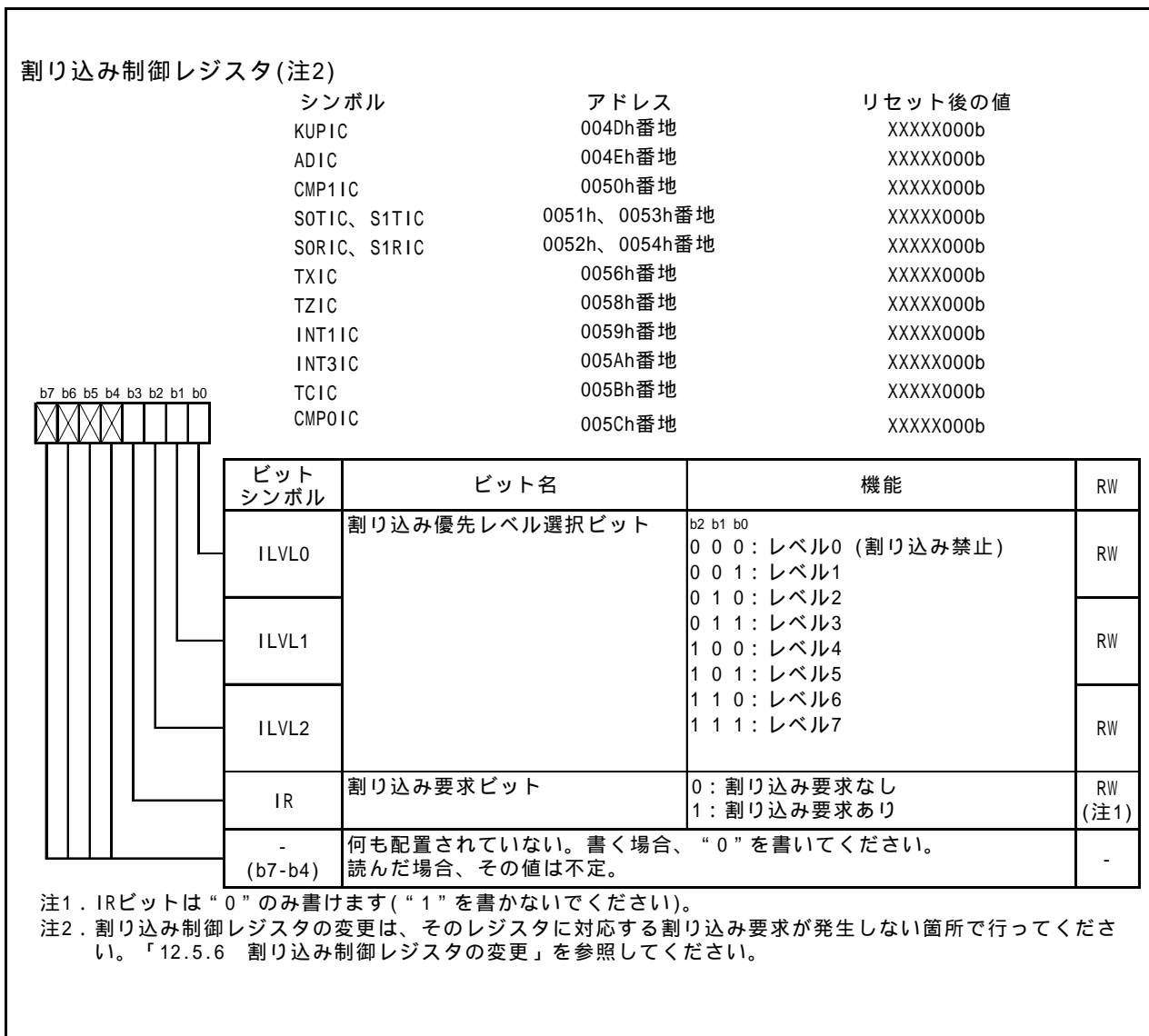


図12.3 割り込み制御レジスタ

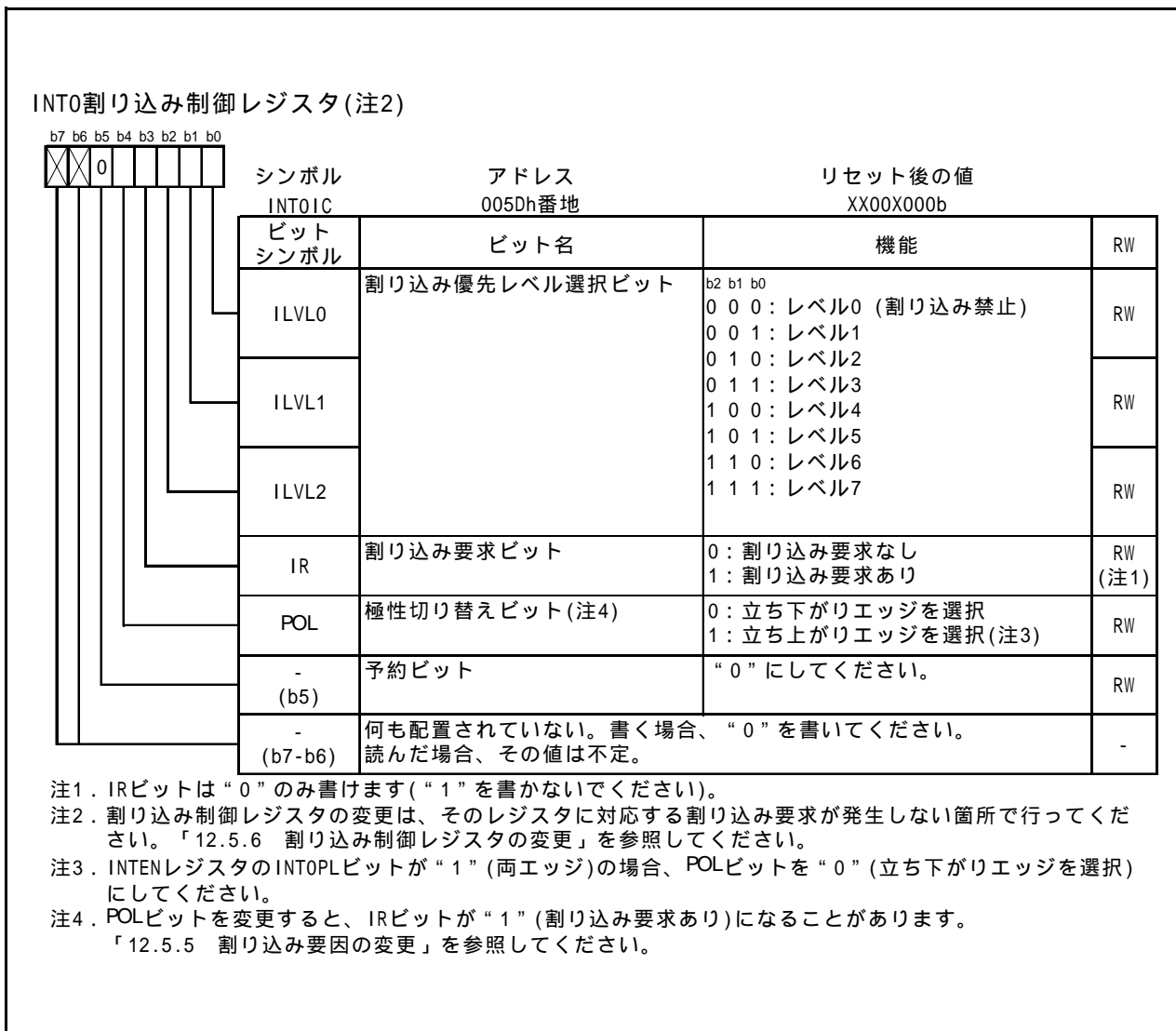


図12.4 INT0ICレジスタ

### 12.1.6.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクابل割り込みは許可され、“0”(禁止)にするとすべてのマスクابل割り込みは禁止されます。

### 12.1.6.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。IRビットはプログラムによって“0”にできます。“1”を書かないでください。

### 12.1.6.3 ILVL2 ~ ILVL0ビット、IPL

割り込み優先レベルは、ILVL2 ~ ILVL0ビットで設定できます。

表12.3に割り込み優先レベルの設定、表12.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2 ~ ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表12.3 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表12.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクابل割り込みを禁止



### 12.1.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図12.5に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。  
Iフラグは“0”(割り込み禁止)  
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)  
Uフラグは“0”(ISPを指定)  
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

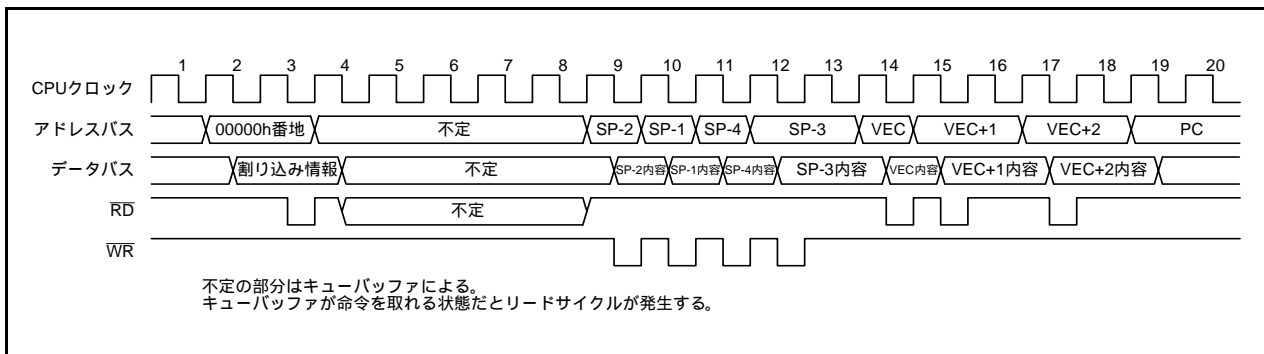


図12.5 割り込みシーケンスの実行時間

### 12.1.6.5 割り込み応答時間

図12.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図12.6の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

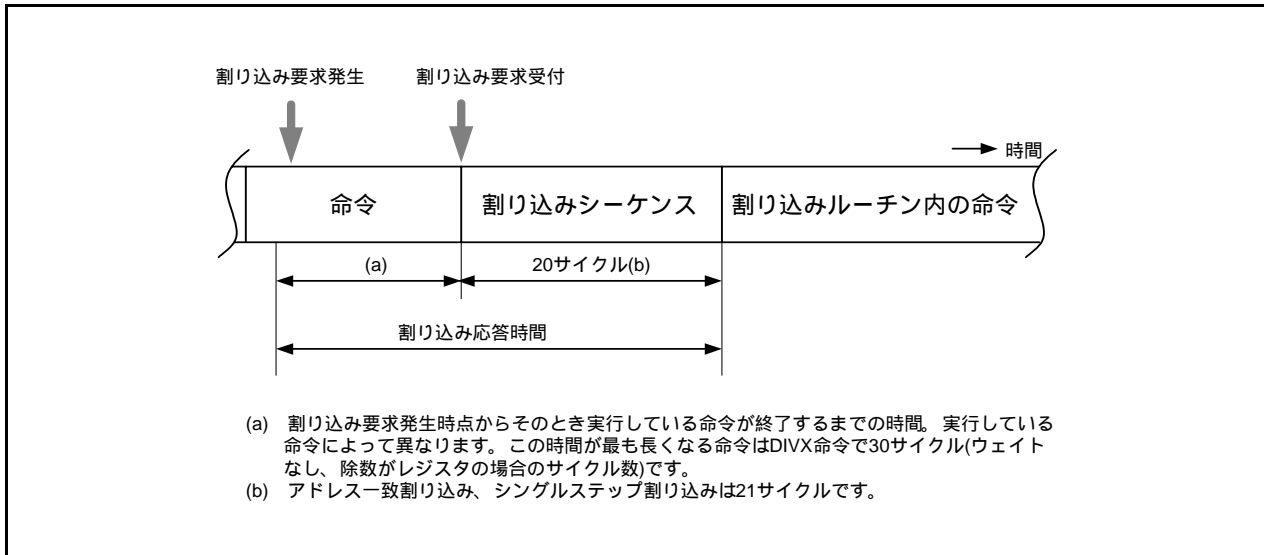


図12.6 割り込み応答時間

### 12.1.6.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表12.5に示す値がIPLに設定されます。表12.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表12.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視2	7
ソフトウェア、アドレス一致、シングルステップ、アドレスブレイク	変化しない

### 12.1.6.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図12.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

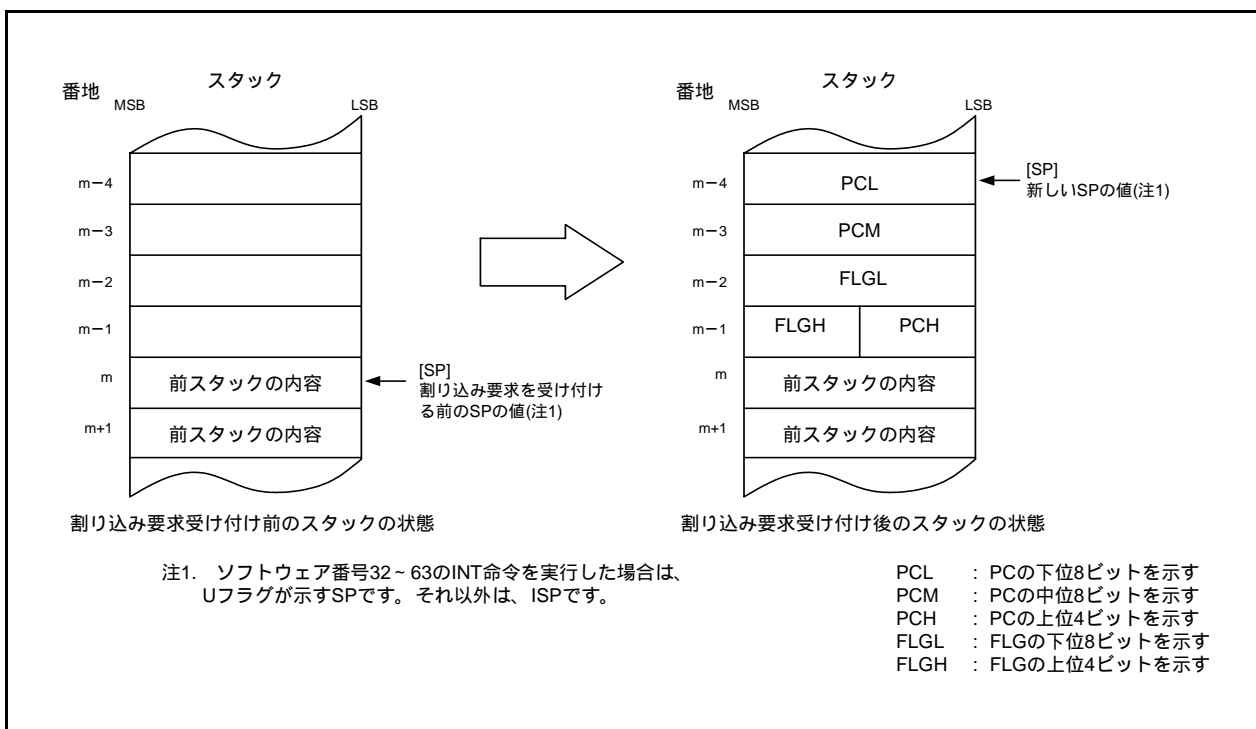


図12.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。図12.8にレジスタ退避動作を示します。

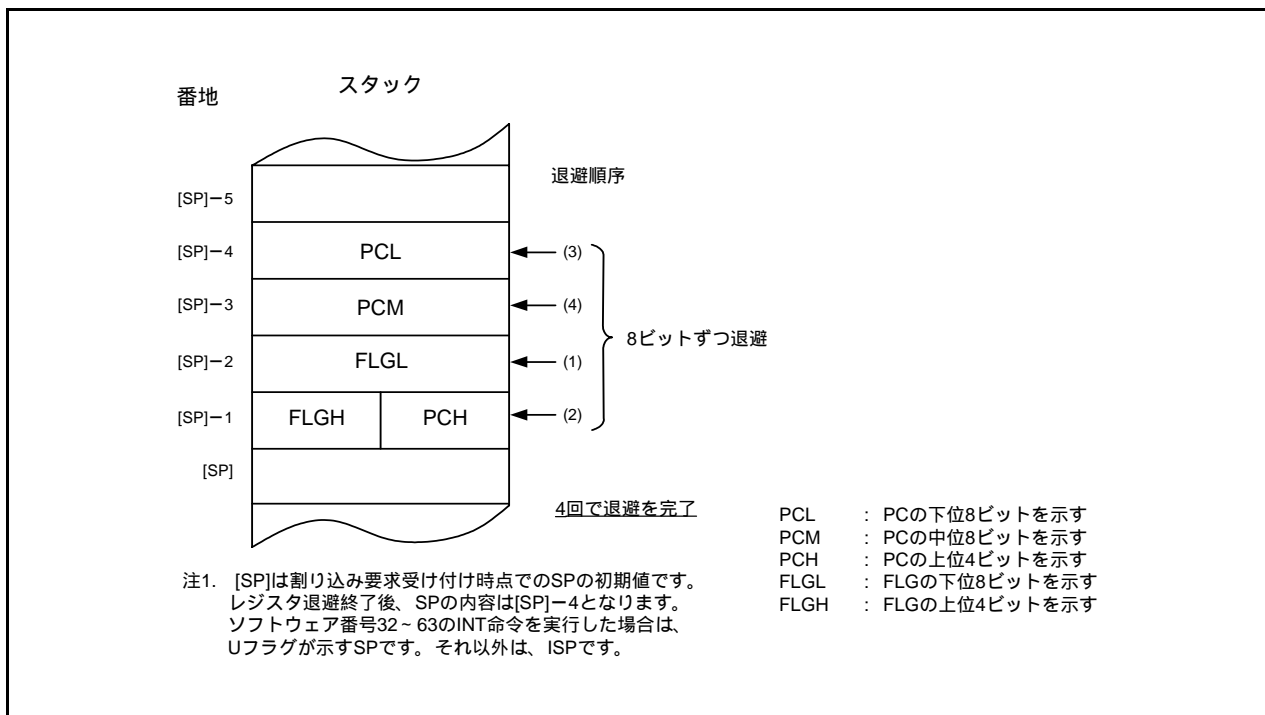


図12.8 レジスタ退避動作

### 12.1.6.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

### 12.1.6.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図12.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

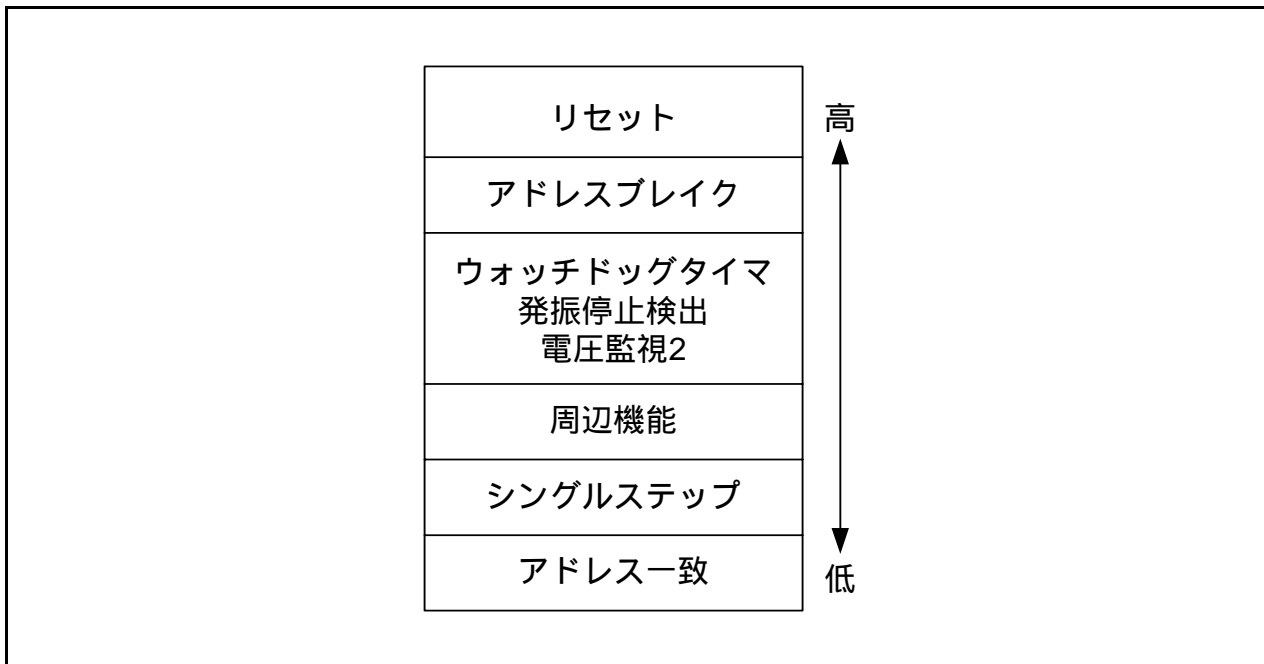


図12.9 ハードウェア割り込みの割り込み優先順位

### 12.1.6.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。  
 図12.10に割り込み優先レベルの判定回路を示します。

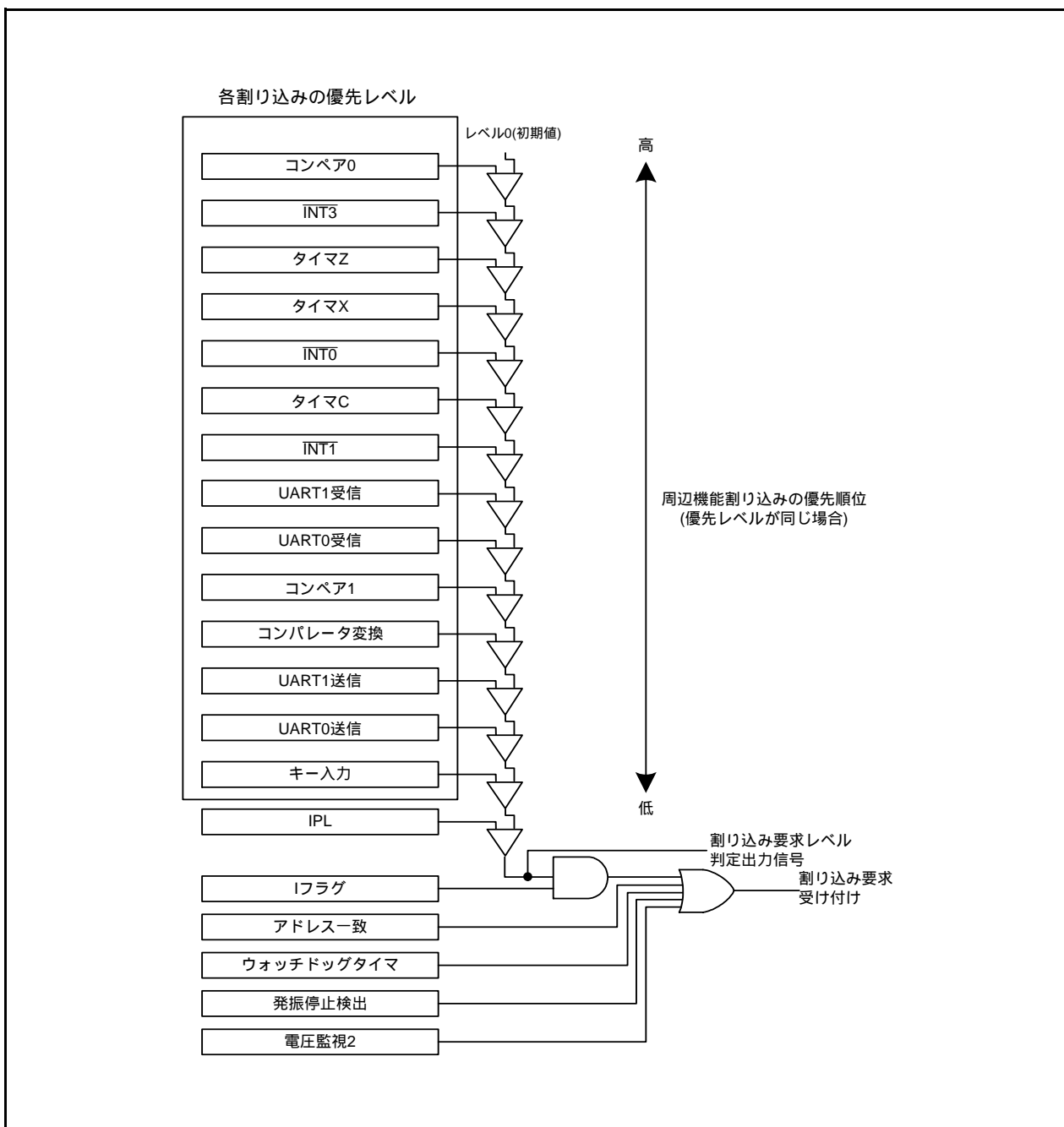


図12.10 割り込み優先レベルの判定回路

## 12.2 INT割り込み

### 12.2.1 INT0割り込み

INT0割り込みはINT0入力による割り込みです。INT0割り込みを使用するときはINTENレジスタのINT0ENビット“1”(許可)にしてください。極性をINTENレジスタのINT0PLビットとINT0ICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。INT0端子は、タイマZの外部トリガ入力端子と兼用です。

図12.11にINTEN、INT0Fレジスタを示します。

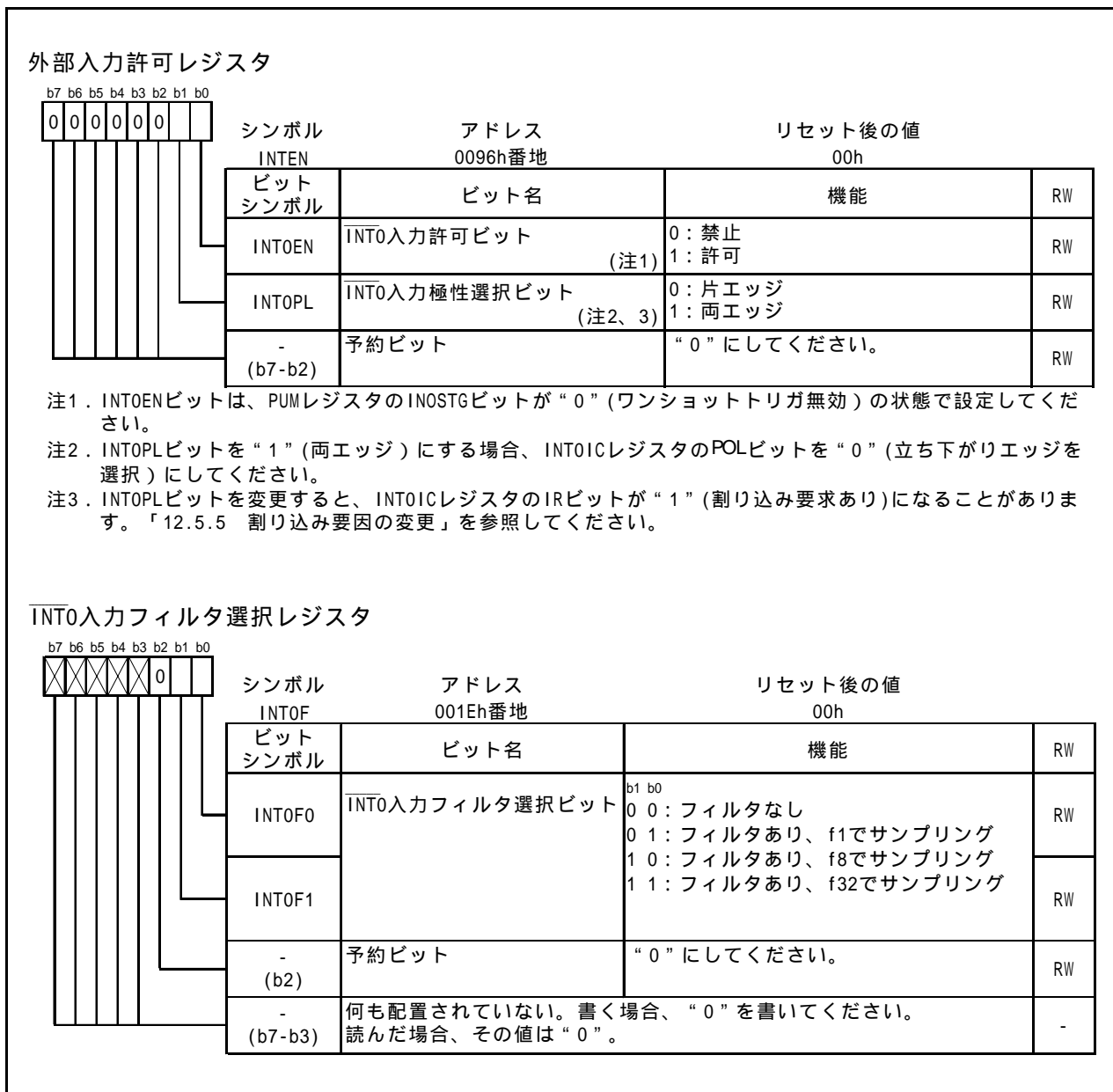


図12.11 INTEN、INT0Fレジスタ

## 12.2.2 INT0入力フィルタ

INT0入力は、デジタルフィルタを持ちます。サンプリングクロックはINT0FレジスタのINT0F0～INT0F1ビットで選択できます。サンプリングクロックごとにINT0のレベルをサンプリングし、レベルが3度一致した時点で、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります。

図12.12にINT0入力フィルタの構成を、図12.13にINT0入力フィルタ動作例を示します。

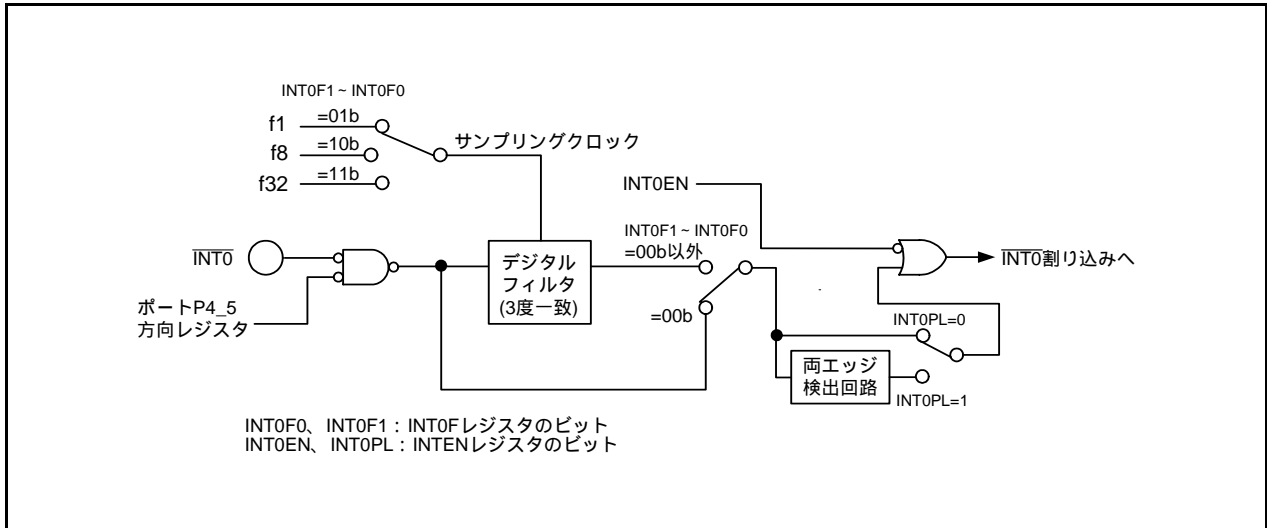


図12.12 INT0入力フィルタの構成

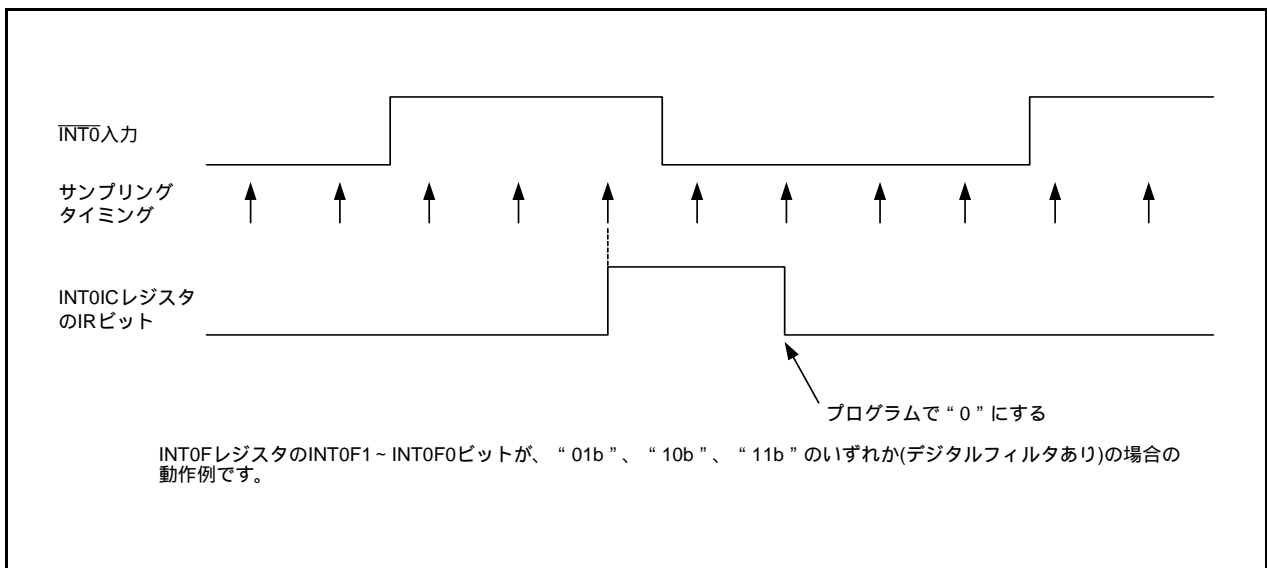


図12.13 INT0入力フィルタ動作例



### 12.2.3 INT1割り込み

INT1割り込みは、INT1入力による割り込みです。極性は、TXMRレジスタのROEDGビットで選択できます。

UCONレジスタのCNTRSELビットが“0”のとき、INT10端子がINT1入力端子になり、CNTRSELビットが“1”のとき、INT11端子がINT1入力端子になります。

INT10端子はCNTR00端子と兼用で、INT11端子はCNTR01端子と兼用です。

図12.14にINT1割り込み使用時のTXMRレジスタを示します。

タイマXモードレジスタ

シンボル TXMR	アドレス 008Bh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1 (注1)	b1 b0 0 0 : タイマモード、またはパルス周期 測定モード 0 1 : 設定しないでください。	RW
TXMOD1		1 0 : イベントカウントモード 1 1 : パルス幅測定モード	RW
ROEDG	INT1/CNTR0極性切り替えビット (注2)	0 : 立ち上がりエッジ 1 : 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ (注3)	0 : カウント停止 1 : カウント開始	RW
TXOCNT	P3_7/CNTR0選択ビット	動作モードによって機能が異なる。	RW
TXMOD2	動作モード選択ビット2	0 : パルス周期測定モード以外 1 : パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ	動作モードによって機能が異なる。	RW
TXUND	タイマXアンダフローフラグ	動作モードによって機能が異なる。	RW

注1. INT1を使用する場合、パルス出力モード以外のモードにしてください。

注2. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注3. TXSビットの使用上の注意事項については「14.1.6 タイマX使用上の注意」を参照してください。

図12.14 INT1割り込み使用時のTXMRレジスタ

### 12.2.4 INT3割り込み

INT3割り込みは、INT3入力による割り込みです。TCC0レジスタのTCC07ビットを“0”(INT3)にしてください。

TCC0レジスタのTCC06ビットが“0”のとき、INT3割り込み要求はタイマCのカウントソースに同期して発生し、TCC06ビットが“1”のとき、INT3入力タイミングで発生します。

INT3入力はデジタルフィルタを持ちます。サンプリングクロックごとにINT3のレベルをサンプリングし、レベルが3度一致した時点で、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になります。サンプリングクロックはTCC1レジスタのTCC10～TCC11ビットで選択できます。フィルタありを選択したとき、割り込み要求はTCC06ビットが“1”の場合でも、サンプリングクロックに同期して発生します。

TCC10～TCC11ビットの内容に関係なく、P3レジスタのP3\_3ビットを読むとフィルタ前の値が読めます。

INT3端子はTCIN端子と兼用です。

なおTCC07ビットを“1”(fRING128)にすると、INT3割り込みは、fRING128クロックによる割り込みになります。fRING128の半周期または1周期ごとにINT3ICレジスタのIRビットが“1”(割り込み要求あり)になります。

図12.15にTCC0レジスタ、図12.16にTCC1レジスタを示します。

タイマC制御レジスタ0			
シンボル	アドレス	リセット後の値	
TCC0	009Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TCC00	タイマCカウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TCC01	タイマCカウントソース選択ビット(注1)	b2 b1 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : fRING-fast	RW
TCC02			RW
TCC03	INT3割り込み、キャプチャ極性選択ビット(注1、2)	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 両エッジ 1 1 : 設定しないでください	RW
TCC04			RW
- (b5)	予約ビット	“0”にしてください。	RW
TCC06	INT3割り込み要求発生タイミング選択ビット(注2、3)	0 : タイマCのカウントソースに同期して発生する 1 : INT3入力タイミングで発生する(注4)	RW
TCC07	INT3割り込み、キャプチャ入力ビット(注1、2)	0 : INT3 1 : fRING128	RW

注1. このビットの変更は、TCC00ビットが“0”(カウント停止)のとき、行ってください。  
 注2. TCC03、TCC04、TCC06、TCC07ビットを変更すると、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。  
 注3. TCC13ビットが“1”(アウトプットコンペアモード)のとき、TCC06ビットの設定値にかかわらず、INT3入力タイミングで割り込み要求が発生します。  
 注4. INT3フィルタ使用時は、デジタルフィルタ用クロックに同期して発生します。

図12.15 TCC0レジスタ

タイマC制御レジスタ1

シンボル TCC1	アドレス 009Bh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TCC10	INT3フィルタ選択ビット (注1)	b1b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
TCC11			RW
TCC12	タイマCカウンタリロード 選択ビット(注2、3)	0 : リロードなし 1 : コンペア1一致時にTCレジスタ を“0000h”にする	RW
TCC13	コンペア0/キャプチャ 選択ビット	0 : キャプチャ選択(インプット キャプチャモード)(注2) 1 : コンペア0出力選択 (アウトプットコンペアモード)	RW
TCC14	コンペア0出力モード選択ビット (注3)	b5 b4 0 0 : コンペア0で一致してもCMP出力 は変化しない 0 1 : コンペア0の一致信号でCMP出力 を反転 1 0 : コンペア0の一致信号でCMP出力 を“L”に設定 1 1 : コンペア0の一致信号でCMP出力 を“H”に設定	RW
TCC15			RW
TCC16	コンペア1出力モード選択ビット (注3)	b7 b6 0 0 : コンペア1で一致してもCMP出力 は変化しない 0 1 : コンペア1の一致信号でCMP出力 を反転 1 0 : コンペア1の一致信号でCMP出力 を“L”に設定 1 1 : コンペア1の一致信号でCMP出力 を“H”に設定	RW
TCC17			RW

注1. INT3端子から同じ値を3回連続してサンプリングした時点で入力が増大します。

注2. TCC13ビットは、TCC0レジスタのTCC00ビットが“0”(カウント停止)のとき、変更してください。

注3. TCC13ビットが“0”(インプットキャプチャモード)のとき、TCC12、TCC14～TCC17は“0”にしてください。

図12.16 TCC1レジスタ

### 12.3 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用できます。

KIENレジスタの $KIiEN$ ビット( $i = 0 \sim 3$ )で、端子を $\overline{KIi}$ 入力として使用するかどうかを選択できます。また、KIENレジスタの $KIiPL$ ビットで入力極性を選択できます。

なお、 $KIiPL$ ビットを“0”(立ち下がりエッジ)にしている $\overline{KIi}$ 端子に“L”を入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。同様に、 $KIiPL$ ビットを“1”(立ち上がりエッジ)にしている $\overline{KIi}$ 端子に“H”を入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。

図12.17にキー入力割り込みのブロック図を示します。

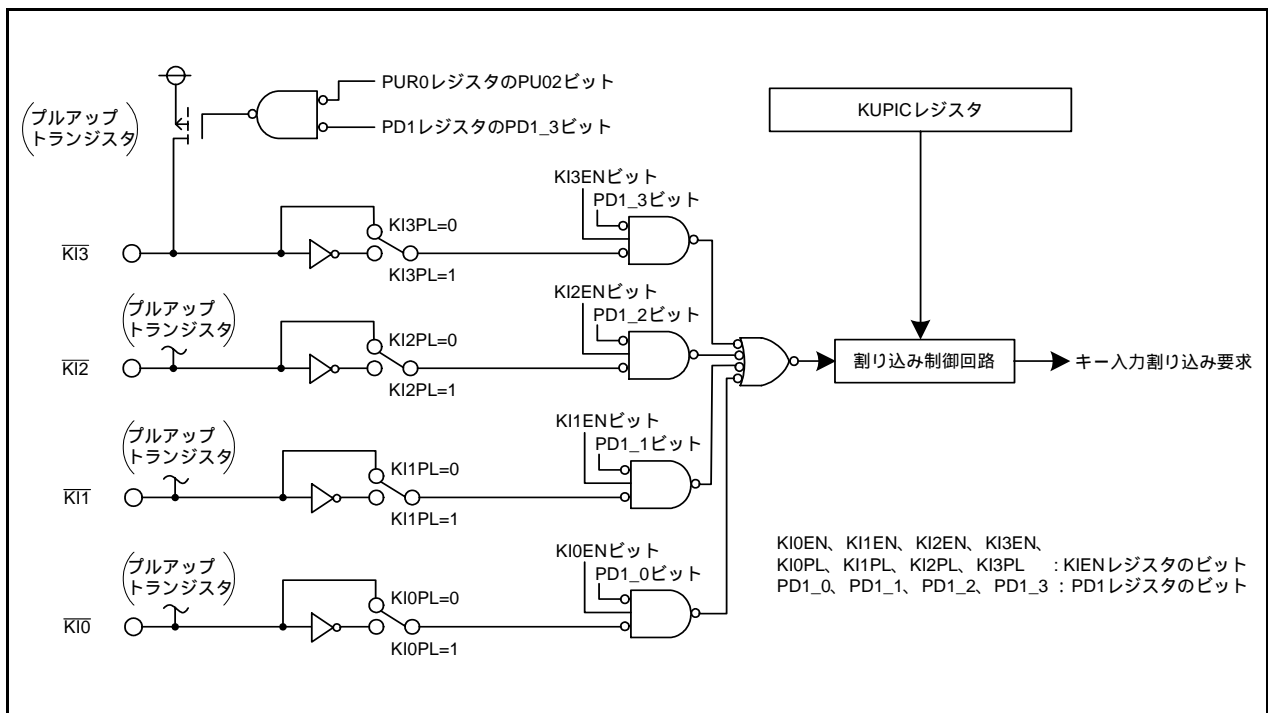


図12.17 キー入力割り込みのブロック図

キー入力許可レジスタ (注1)

シンボル	アドレス	リセット後の値
KIEN	0098h番地	00h

ビットシンボル	ビット名	機能	RW
KI0EN	KI0入力許可ビット	0: 禁止 1: 許可	RW
KI0PL	KI0入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
KI1EN	KI1入力許可ビット	0: 禁止 1: 許可	RW
KI1PL	KI1入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
KI2EN	KI2入力許可ビット	0: 禁止 1: 許可	RW
KI2PL	KI2入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
KI3EN	KI3入力許可ビット	0: 禁止 1: 許可	RW
KI3PL	KI3入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW

注1. KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

図12.18 KIENレジスタ

## 12.4 アドレス一致割り込み

RMAD<sub>i</sub>(*i*=0, 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッグのブレーク機能に使用します。なお、オンチップデバッグ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMAD<sub>0</sub>、RMAD<sub>1</sub>レジスタ、固定ベクタテーブル)を設定しないでください。

RMAD<sub>i</sub>(*i*=0, 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER<sub>0</sub>レジスタのAIER<sub>0</sub>、AIER<sub>1</sub>ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「12.1.6.7 レジスタ退避」参照)は、RMAD<sub>i</sub>レジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 12.6 にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図 12.19 に AIER、RMAD<sub>0</sub> ~ RMAD<sub>1</sub> レジスタを示します。

表 12.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD <sub>i</sub> レジスタ ( <i>i</i> =0, 1) で示される番地の命令	退避される PC の値
・ 16 ビットオペコード命令 ・ 8 ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0 または A1)	RMAD <sub>i</sub> レジスタで示される番地 +2
上記以外	RMAD <sub>i</sub> レジスタで示される番地 +1

退避されるPCの値:「12.1.6.7 レジスタ退避」参照

表 12.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み 0	AIER <sub>0</sub>	RMAD <sub>0</sub>
アドレス一致割り込み 1	AIER <sub>1</sub>	RMAD <sub>1</sub>

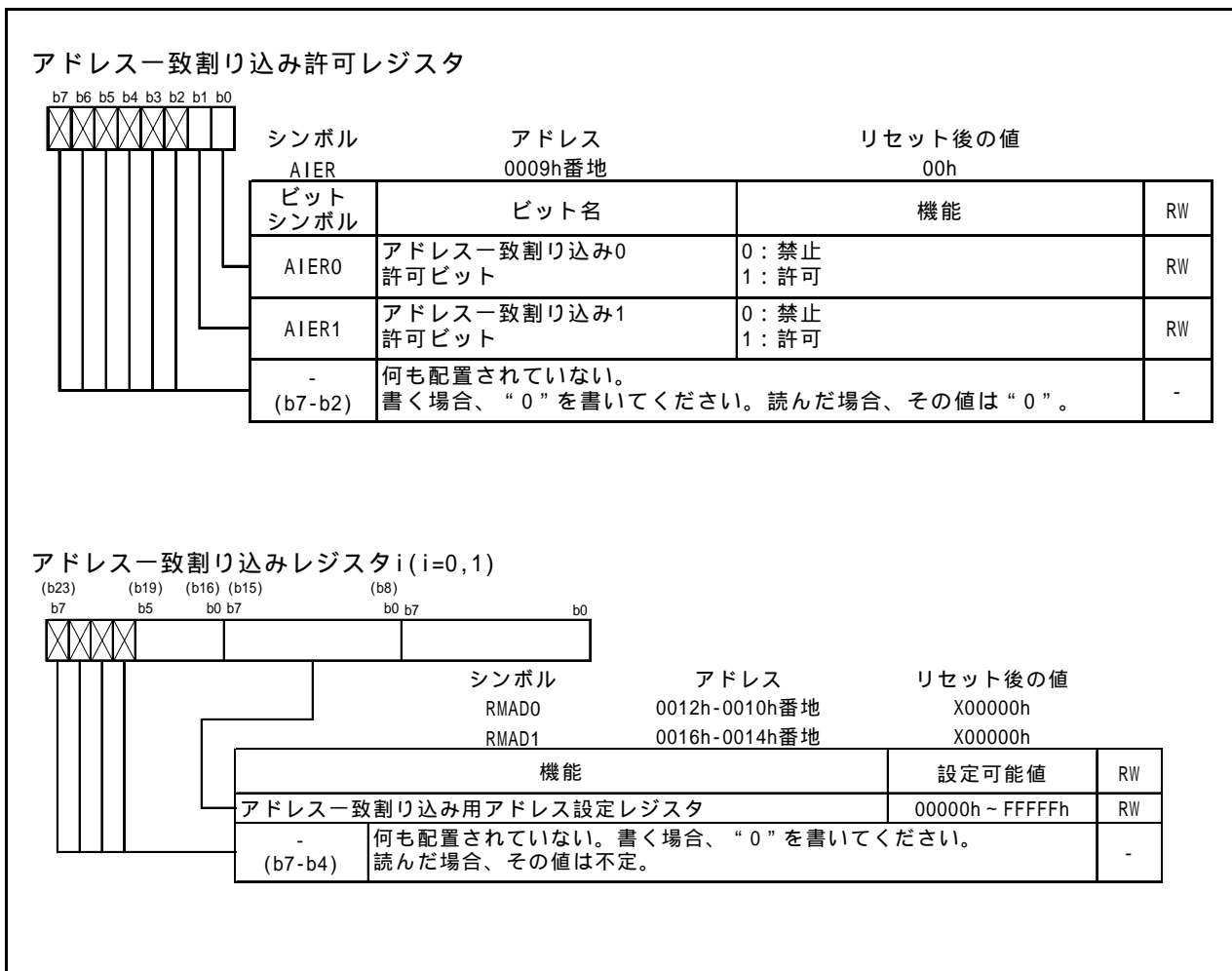


図 12.19 AIER、RMAD0 ~ RMAD1レジスタ

## 12.5 割り込み使用上の注意

### 12.5.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 12.5.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 12.5.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

### 12.5.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。



### 12.5.5 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図12.20に割り込み要因の変更手順例を示します。

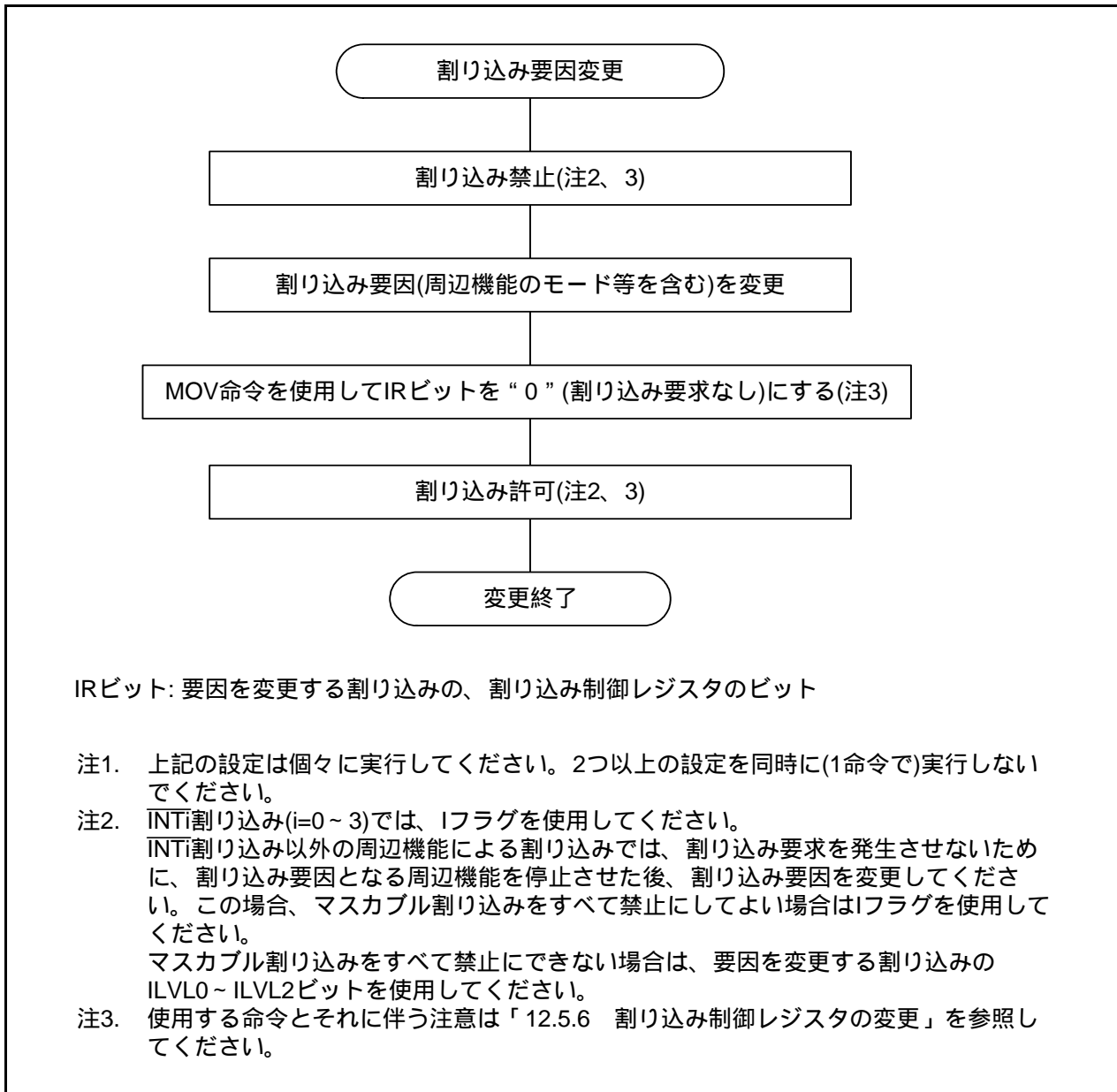


図12.20 割り込み要因の変更手順例

### 12.5.6 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。  
IRビット以外のビットの変更  
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。  
対象となる命令 ..... AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TXICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TXICレジスタを“00h”にする
  MOV.W   MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TXICレジスタを“00h”にする
  POPC    FLG              ; 割り込み許可
```

## 13. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。表13.1にカウントソース保護モードの有効/無効を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図13.1にウォッチドッグタイマのブロック図、図13.2～図13.3にOFS、WDC、WDTR、WDTS、CSPRレジスタを示します。

表13.1 カウントソース保護モードの有効/無効

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	低速オンチップオシレータクロック
カウント動作	ダウンカウント	
ウォッチドッグタイマ初期化条件	•リセット •WDTRレジスタに“00h”、続いて“FFh”を書く •アンダフロー	
カウント開始条件	次のいずれかを選択可能 •リセット後、自動的にカウントを開始 •WDTSレジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード	なし
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット

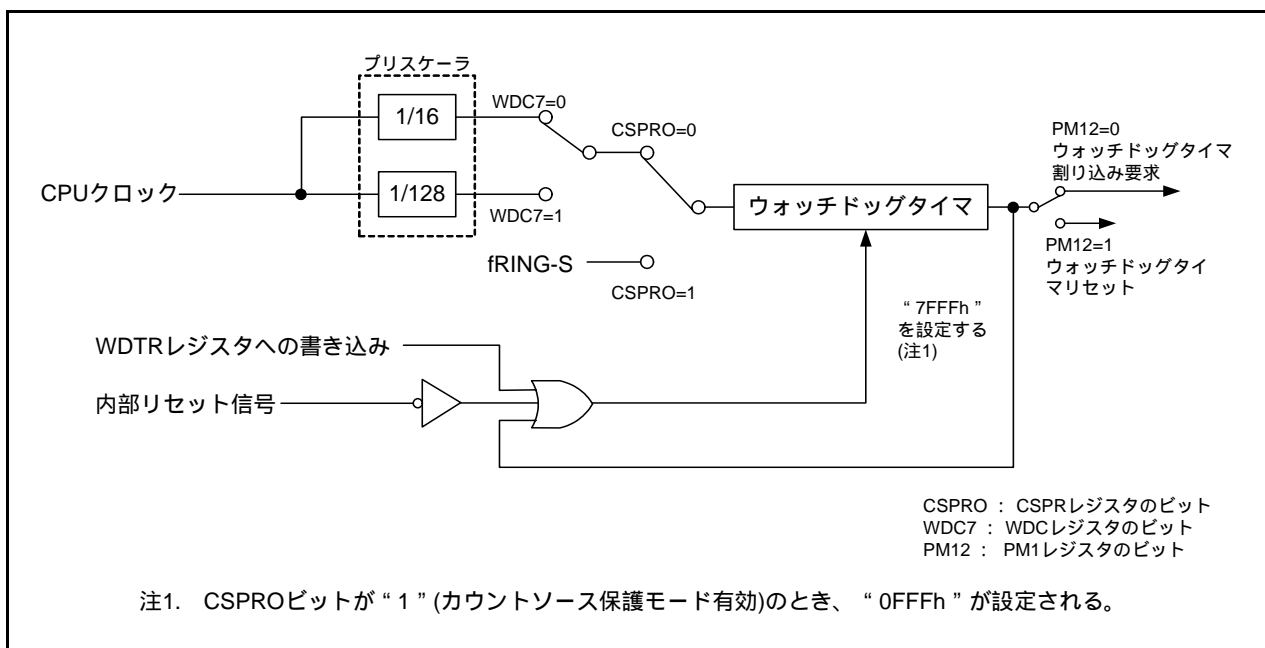


図13.1 ウォッチドッグタイマのブロック図

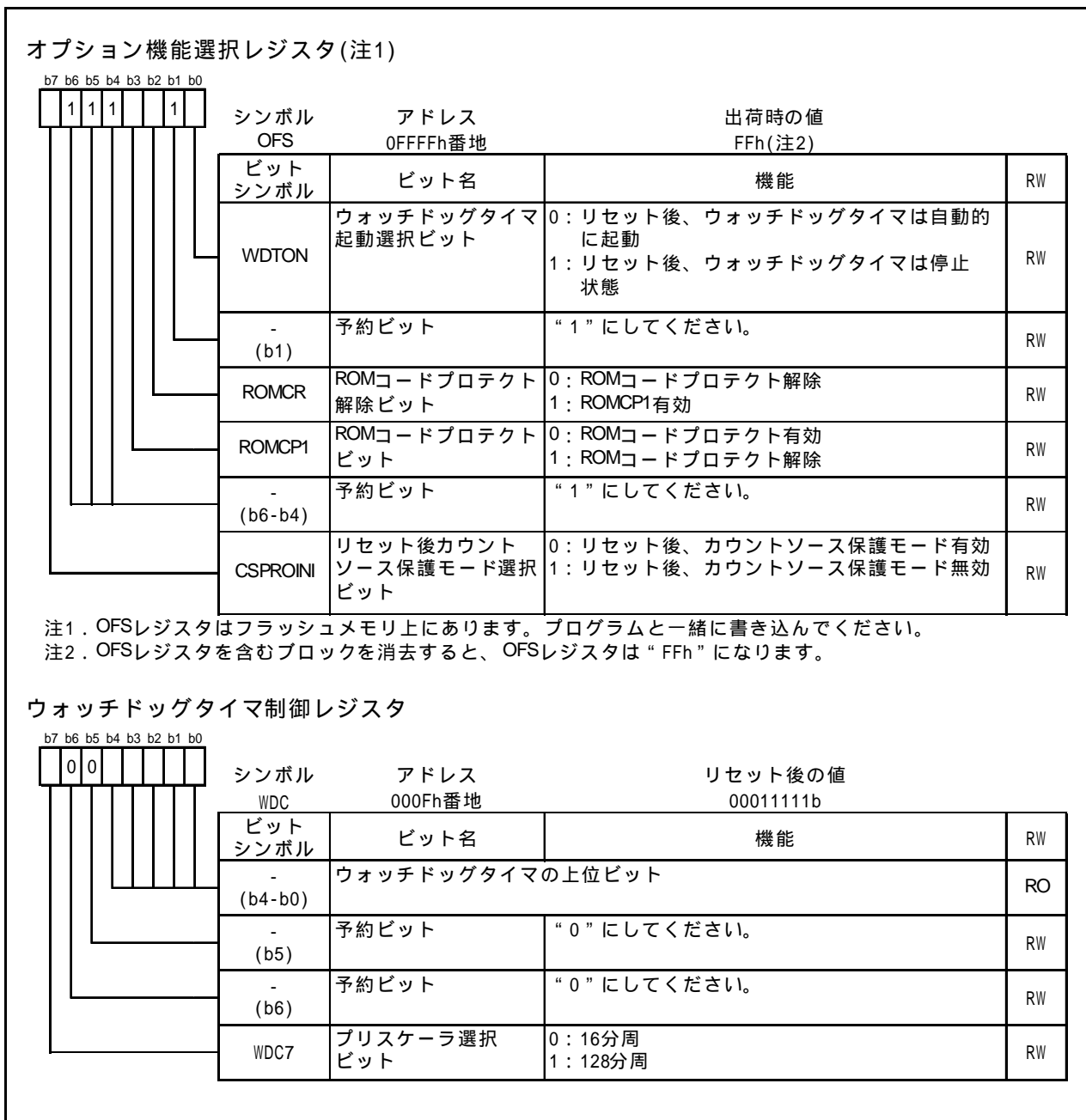


図13.2 OFS、WDCレジスタ

## ウォッチドッグタイマリセットレジスタ

b7		b0		シンボル	アドレス	リセット後の値	
[ ]		[ ]		WDTR	000Dh番地	不定	
機能							RW
“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。(注1)							WO
ウォッチドッグタイマの初期値はカウントソース保護モード無効時に“7FFFh”、カウントソース保護モード有効時に“0FFFh”が設定される。(注2)							

注1. “00h”の書き込みと、“FFh”の書き込みの間に、割り込みを発生させないでください。

注2. CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、ウォッチドッグタイマに“0FFFh”が設定されます。

## ウォッチドッグタイマスタートレジスタ

b7		b0		シンボル	アドレス	リセット後の値	
[ ]		[ ]		WDTS	000Eh番地	不定	
機能							RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。							WO

## カウントソース保護モードレジスタ

b7		b6		b5		b4		b3		b2		b1		b0		シンボル	アドレス	リセット後の値(注1)
0		0		0		0		0		0		0		0		CSPR	001Ch番地	00h
ビットシンボル							ビット名							機能		RW		
-							(b6-b0)							予約ビット		“0”にしてください。		RW
CSPRO							カウントソース保護モード選択ビット(注2)							0: カウントソース保護モード無効 1: カウントソース保護モード有効		RW		

注1. OFSレジスタのCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。

図13.3 WDTR、WDTS、CSPRレジスタ

### 13.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。表13.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表13.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(32768) (注1) CPUクロック n : 16または128 (WDCレジスタのWDC7ビットで選択) 例 : CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 <ul style="list-style-type: none"> <li>•WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始</li> <li>•WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始</li> </ul>
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> <li>•リセット</li> <li>•WDTRレジスタに“00h”、続いて“FFh”を書く</li> <li>•アンダフロー</li> </ul>
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> <li>•PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み</li> <li>•PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)</li> </ul>

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

### 13.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。表13.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表13.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 低速オンチップオシレータクロック  例：低速オンチップオシレータクロックが125 kHzの場合、周期は約32.8ms
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFh番地)のWDTONビット(注1)で選択 ・WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 ・WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
ウォッチドッグタイマ初期化条件	・リセット ・WDTRレジスタに“00h”、続いて“FFh”を書く ・アンダフロー
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	・CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される -ウォッチドッグタイマに0FFFhを設定 -CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振) -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) ・カウントソース保護モードでは、次の状態になる -CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない) -CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、低速オンチップオシレータは停止しない)

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFh番地のb7に“0”を書き込んでください。

## 14. タイマ

タイマは、8ビットプリスケータ付き8ビットタイマを2本と、16ビットタイマを1本内蔵しています。8ビットプリスケータ付き8ビットタイマは、タイマX、およびタイマZの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマCです。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

表14.1に各タイマの機能比較を示します。

表14.1 各タイマの機能比較

項目		タイマX	タイマZ	タイマC
構成		8ビットプリスケータ付 8ビットタイマ (リロードレジスタ付)	8ビットプリスケータ付 8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、 アウトプットコンペア付)
カウント		ダウンカウント	ダウンカウント	アップカウント
カウントソース		・ f1 ・ f2 ・ f8 ・ fRING	・ f1 ・ f2 ・ f8 ・ タイマXアンダフロー	・ f1 ・ f8 ・ f32 ・ fRING-fast
機能	タイマモード	あり	あり	なし
	パルス出力モード	あり	なし	なし
	イベントカウンタモード	あり	なし	なし
	パルス幅測定モード	あり	なし	なし
	パルス周期測定モード	あり	なし	なし
	プログラマブル波形発生モード	なし	あり	なし
	プログラマブルワンショット発生モード	なし	あり	なし
	プログラマブルウェイトワンショット発生モード	なし	あり	なし
	インプットキャプチャモード	なし	なし	あり
アウトプットコンペアモード	なし	なし	あり	
入力端子		CNTR0	INT0	TCIN
出力端子		CNTR0 CNTR0	TZOUT	CMP0_0 ~ CMP0_2 CMP1_0 ~ CMP1_2
関連する割り込み		タイマX割り込み INT1割り込み	タイマZ割り込み INT0割り込み	タイマC割り込み INT3割り込み コンペア0割り込み コンペア1割り込み
タイマ停止		あり	あり	あり



## 14.1 タイマX

タイマXは、8ビットプリスケラ付き8ビットタイマです。プリスケラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、PREXレジスタ、TXレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます（表14.2～表14.6の各モードの仕様を参照）。

図14.1にタイマXのブロック図を、図14.2～図14.3にタイマX関連のレジスタを示します。タイマXは、次の5種類のモードを持ちます。

- |               |   |
|---------------|---|
| • タイマモード      | 内部カウントソースをカウントするモード                           |
| • パルス出力モード    | 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード |
| • イベントカウンタモード | 外部パルスをカウントするモード                               |
| • パルス幅測定モード   | 外部パルスのパルス幅を測定するモード                            |
| • パルス周期測定モード  | 外部パルスのパルス周期を測定するモード                           |

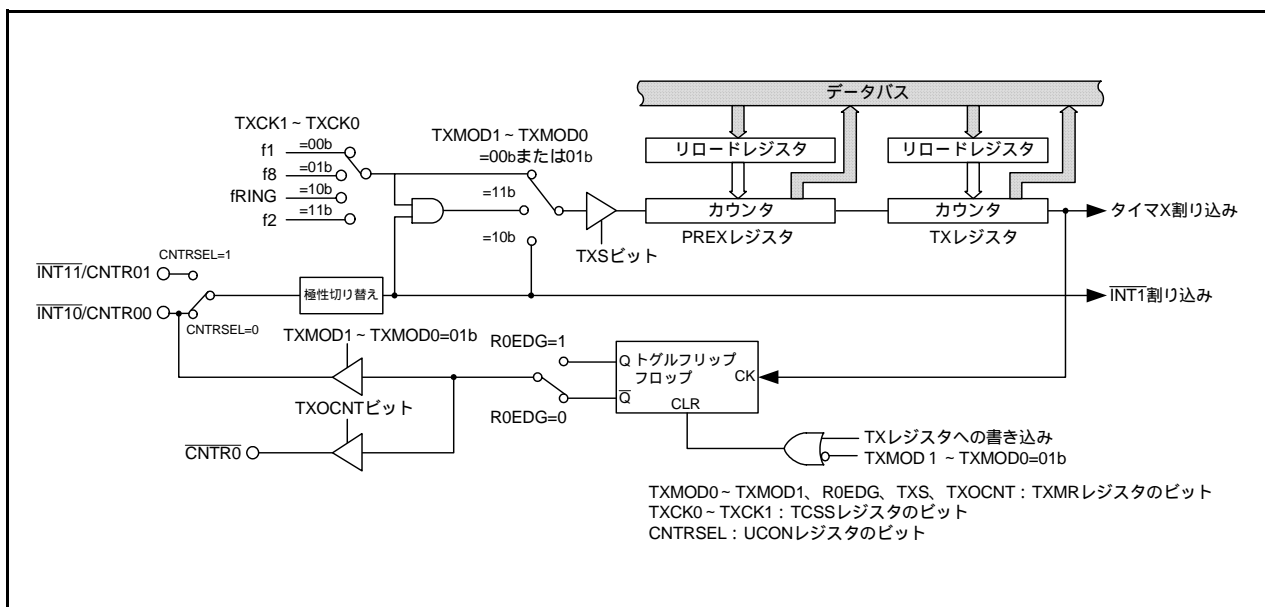


図14.1 タイマXのブロック図

タイマXモードレジスタ

シンボル		アドレス	リセット後の値
TXMR		008Bh番地	00h
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 0 : タイマモード、またはパルス周期測定モード 0 1 : パルス出力モード 1 0 : イベントカウンタモード 1 1 : パルス幅測定モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替ビット(注1)	動作モードによって機能が異なる。	RW
TXS	タイマXカウント開始フラグ(注2)	0 : カウント停止 1 : カウント開始	RW
TXOCNT	P3_7/CNTR0選択ビット	動作モードによって機能が異なる。	RW
TXMOD2	動作モード選択ビット2	0 : パルス周期測定モード以外 1 : パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ	動作モードによって機能が異なる。	RW
TXUND	タイマXアンダフローフラグ	動作モードによって機能が異なる。	RW

注1 . ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注2 . TXSビットの使用上の注意事項については「14.1.6 タイマX使用上の注意」を参照してください。

図14.2 TXMRレジスタ

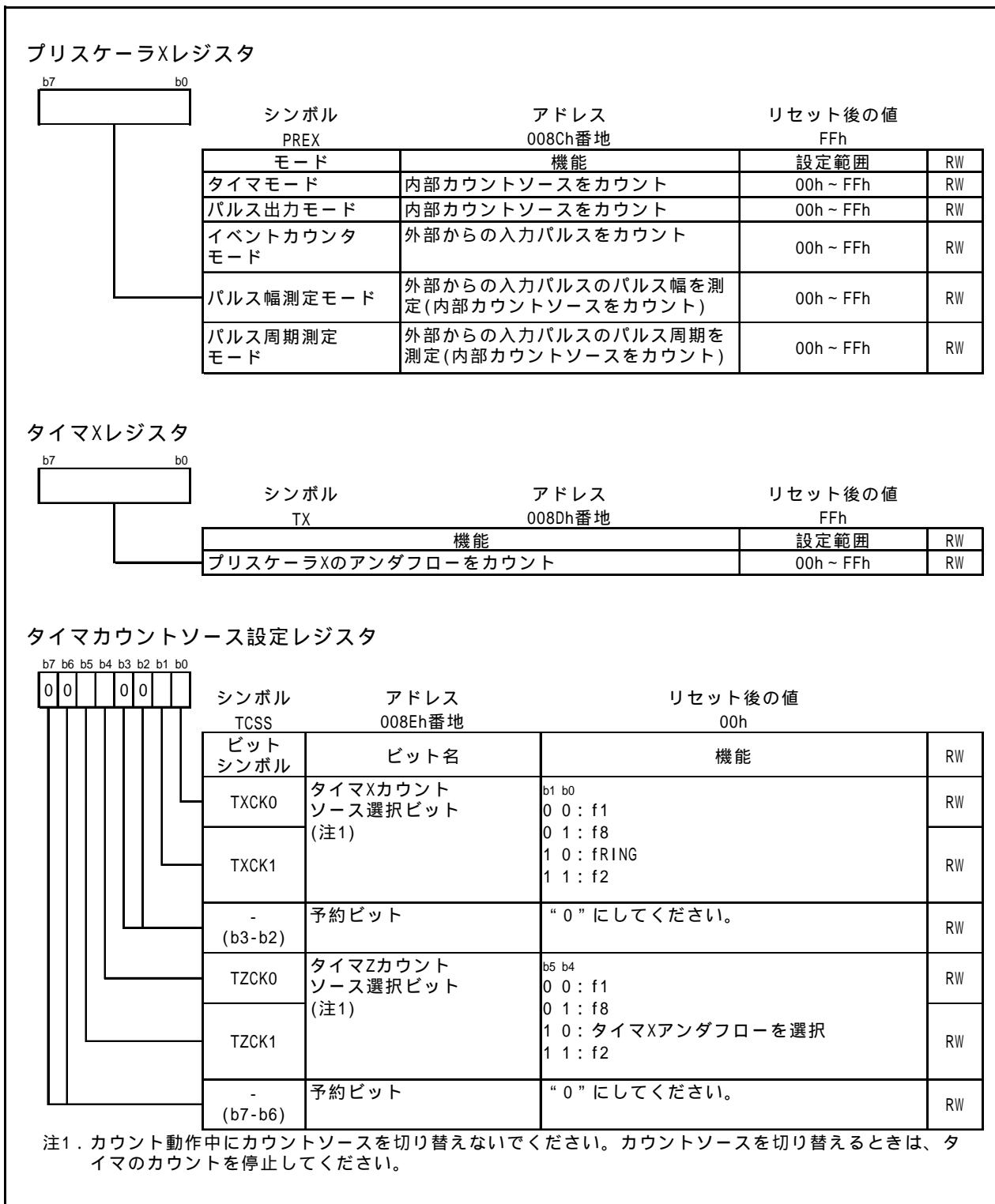


図14.3 PREX、TX、TCSSレジスタ

## 14.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.2)。図14.4にタイマモード時のTXMRレジスタを示します。

表14.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> <li>•ダウncウント</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	$1/(n+1)(m+1)$ n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR00、INT11/CNTR01 端子機能	プログラマブル入出力ポート、またはINT1 割り込み入力
CNTR0 端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する</li> </ul>

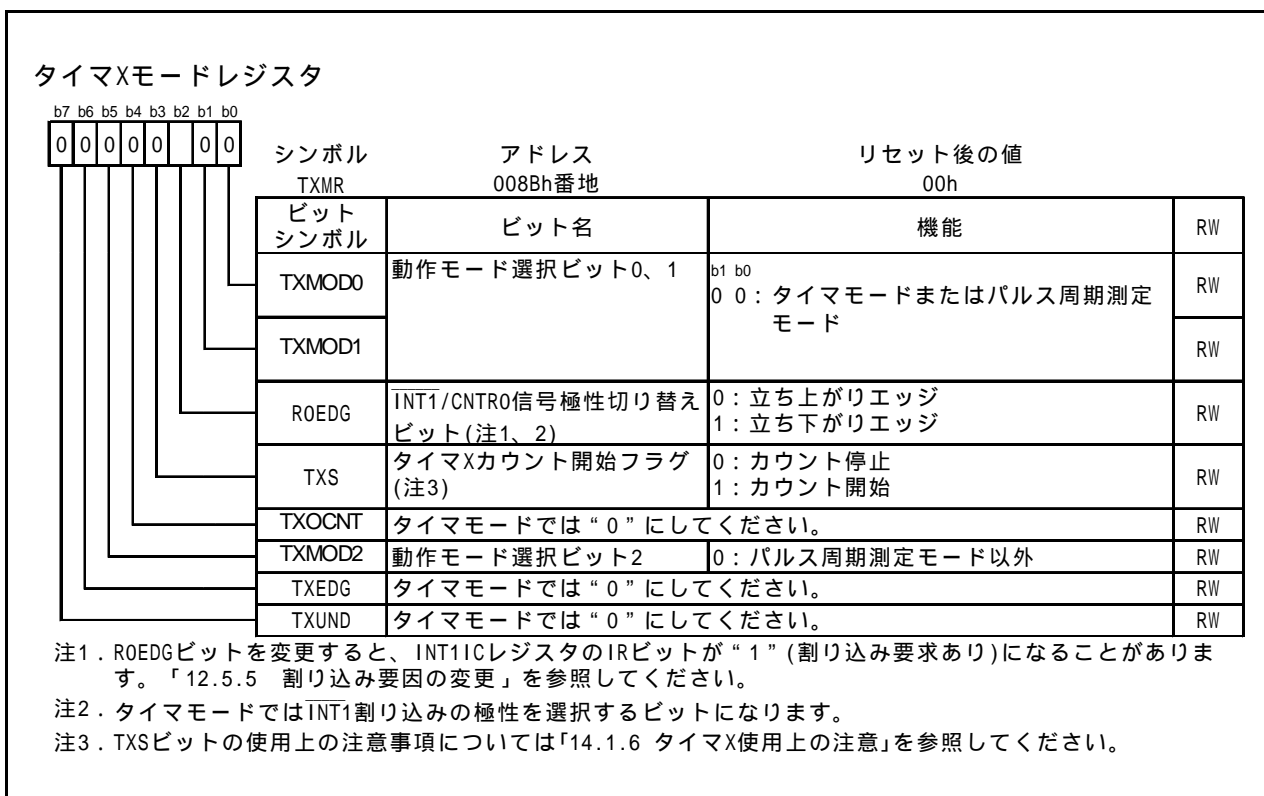


図14.4 タイマモード時のTXMRレジスタ

## 14.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスを CNTR0 端子から出力するモードです(表 14.3)。図 14.5 にパルス出力モード時の TXMR レジスタを示します。

表 14.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> <li>•ダウンカウント</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	1/(n+1)(m+1)n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR00端子機能	パルス出力
CNTR0端子機能	プログラマブル入出力ポート、またはCNTR0の反転出力
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•INT1/CNTR0信号極性切り替え機能 R0EDGビットでパルス出力開始時のレベルを選択できる(注1)</li> <li>•反転パルス出力機能 CNTR0信号出力の極性を反転したパルスをCNTR0端子から出力できる(TXOCNTビットで選択)</li> </ul>

注1. TXレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマXモードレジスタ

シンボル	アドレス	リセット後の値	
TXMR	008Bh番地	00h	
ビット シンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 1 : パルス出力モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替えビット(注1)	0 : "H" からCNTR0信号出力開始 1 : "L" からCNTR0信号出力開始	RW
TXS	タイマXカウント開始フラグ(注2)	0 : カウント停止 1 : カウント開始	RW
TXOCNT	P3_7/CNTR0選択ビット	0 : ポートP3_7 1 : CNTR0出力	RW
TXMOD2	パルス出力モードでは"0"にしてください。		RW
TXEDG	パルス出力モードでは"0"にしてください。		RW
TXUND	パルス出力モードでは"0"にしてください。		RW

注1 . ROEDGビットを変更すると、INT1ICレジスタのIRビットが"1" (割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注2 . TXSビットの使用上の注意事項について「14.1.6 タイマX使用上の注意」を参照してください。

図14.5 パルス出力モード時のTXMRレジスタ

## 14.1.3 イベントカウンタモード

INT1/CNTR0端子から入力する外部信号をカウントするモードです(表14.4)。図14.6にイベントカウンタモード時のTXMRレジスタを示します。

表14.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	CNTR0端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> <li>•ダウンカウント</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
分周比	1/(n+1)(m+1)n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR00、INT11/CNTR01端子機能	カウントソース入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•INT1/CNTR0信号極性切り替え機能 ROEDGビットでカウントソースの有効エッジを選択できる</li> <li>•カウントソース入力端子選択機能 UCONレジスタのCNTRSELビットでCNTR0またはCNTR01端子を選択できる</li> </ul>

タイマXモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

0 0 0 0 1 0

シンボル	アドレス	リセット後の値
TXMR	008Bh番地	00h

ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0	RW
TXMOD1		1 0: イベントカウンタモード	RW
ROEDG	INT1/CNTR0信号極性切り替えビット(注1)	0: 立ち上がりエッジ 1: 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ(注2)	0: カウント停止 1: カウント開始	RW
TXOCNT	イベントカウンタモードでは“0”にしてください。		RW
TXMOD2	イベントカウンタモードでは“0”にしてください。		RW
TXEDG	イベントカウンタモードでは“0”にしてください。		RW
TXUND	イベントカウンタモードでは“0”にしてください。		RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注2. TXSビットの使用上の注意事項については「14.1.6 タイマX使用上の注意」を参照してください。

図14.6 イベントカウンタモード時のTXMRレジスタ

## 14.1.4 パルス幅測定モード

INT1/CNTR0端子から入力する外部信号のパルス幅を測定するモードです(表14.5)。図14.7にパルス幅測定モード時のTXMRレジスタを、図14.8にパルス幅測定モード時の動作例を示します。

表14.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> <li>•ダウンカウント</li> <li>•測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>•タイマXのアンダフロー時 [タイマX割り込み]</li> <li>•CNTR0入力の立ち上がり、または立ち下がり(測定期間終了) [INT1割り込み]</li> </ul>
INT10/CNTR00、 INT11/CNTR01端子機能	測定パルス入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•INT1/CNTR0信号極性切り替え機能 R0EDGビットで入力パルスの測定幅として“H”レベル期間、または“L”レベル期間を選択できる</li> <li>•測定パルス入力端子選択機能 UCONレジスタのCNTRSELビットでCNTR0またはCNTR01端子を選択できる</li> </ul>



タイマXモードレジスタ

シンボル	アドレス	リセット後の値	
TXMR	008Bh番地	00h	
ビット シンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 1 1: パルス幅測定モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替え ビット(注1)	[CNTR0] 0: “L” レベル幅測定 1: “H” レベル幅測定 [INT1] 0: 立ち上がりエッジ 1: 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ(注2)	0: カウント停止 1: カウント開始	RW
TXOCNT	パルス幅測定モードでは“0”にしてください。		RW
TXMOD2	パルス幅測定モードでは“0”にしてください。		RW
TXEDG	パルス幅測定モードでは“0”にしてください。		RW
TXUND	パルス幅測定モードでは“0”にしてください。		RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注2. TXSビットの使用上の注意事項について「14.1.6 タイマX使用上の注意」を参照してください。

図14.7 パルス幅測定モード時のTXMRレジスタ

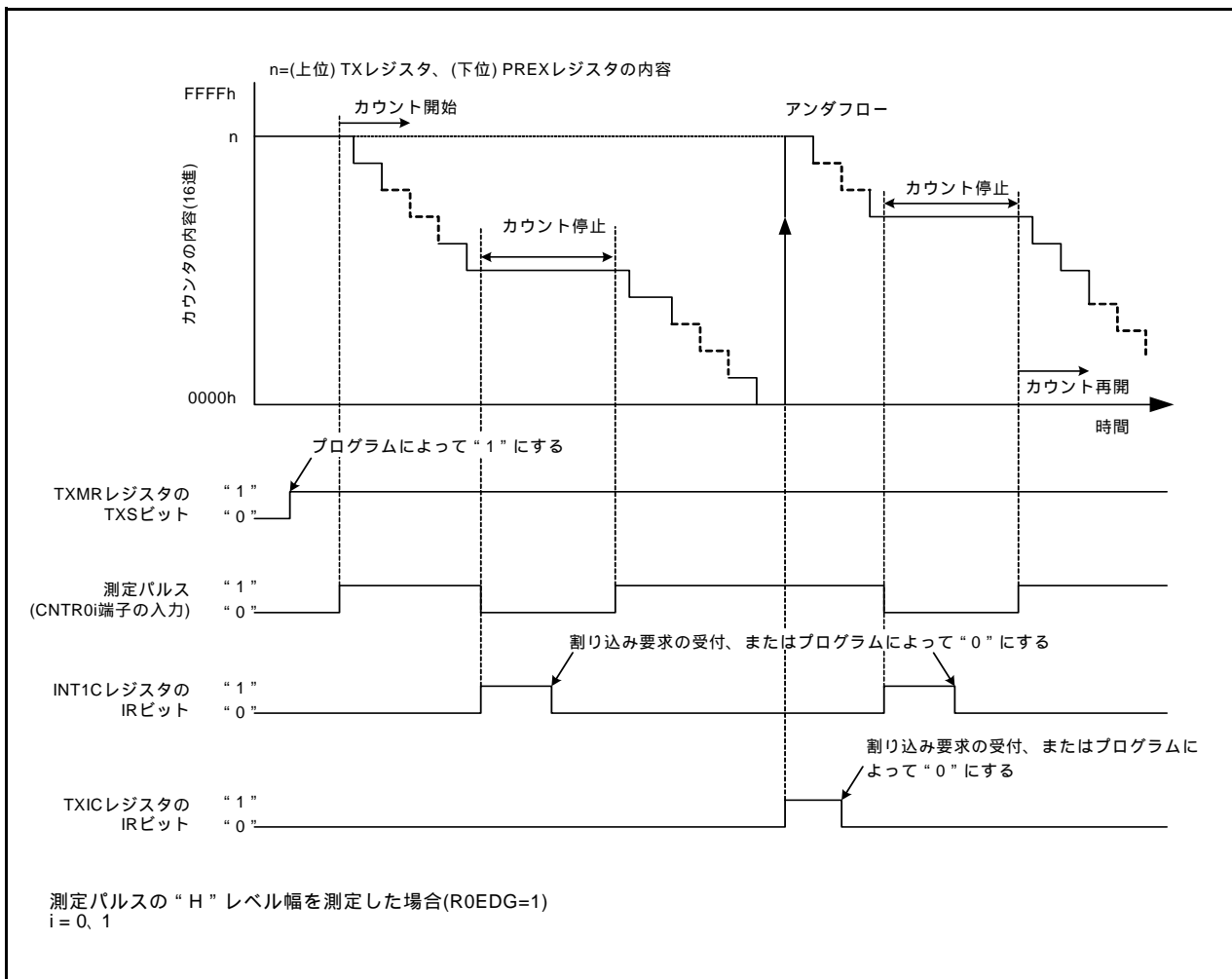


図14.8 パルス幅測定モード時の動作例

### 14.1.5 パルス周期測定モード

INT1/CNTR0端子から入力する外部信号のパルス周期を測定するモードです(表14.6)。図14.9にパルス周期測定モード時のTXMRレジスタを、図14.10にパルス周期測定モード時の動作例を示します。

表14.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> <li>•ダウンカウント</li> <li>•測定パルスの有効エッジ入力後、1回目のプリスケラXのアンダフロー時に読み出し用バッファの内容を保持し、2回目のプリスケラXのアンダフロー時にタイマXはリロードレジスタの内容をリロードしてカウントを継続</li> </ul>
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>•タイマXのアンダフロー時、またはリロード時 [タイマX割り込み]</li> <li>•CNTR0入力の立ち上がり、または立ち下がり(測定期間終了) [INT1割り込み]</li> </ul>
INT10/CNTR00、INT11/CNTR01端子機能	測定パルス入力(注1)(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタを読み出すと、読み出し用バッファの内容が読み出される。読み出し用バッファは、TXレジスタの読み出しにより値の保持を解除する。
タイマの書き込み	<ul style="list-style-type: none"> <li>•カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入力タイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入力タイミングでカウンタへ転送され、3つ目のカウントソースの入力タイミングでカウントを再開する</li> </ul>
選択機能	<ul style="list-style-type: none"> <li>•INT1/CNTR0極性切り替え機能 R0EDGビットで入力パルスの測定期間を選択できる</li> <li>•測定パルス入力端子選択機能 UCONレジスタのCNTRSELビットでCNTR00またはCNTR01端子を選択できる</li> </ul>

注1. プリスケラXの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、プリスケラXの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマXモードレジスタ

シンボル	アドレス	リセット後の値	
TXMR	008Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 0: タイマモードまたはパルス周期測定モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替ビット(注1)	[CNTR0] 0: 測定パルスの立ち上がり - 立ち上がり間測定 1: 測定パルスの立ち下がり - 立ち下がり間測定  [INT1] 0: 立ち上がりエッジ 1: 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ(注3)	0: カウント停止 1: カウント開始	RW
TXOCNT	パルス周期測定モードでは“0”にしてください。		RW
TXMOD2	動作モード選択ビット2	1: パルス周期測定モード	RW
TXEDG(注2)	有効エッジ判定フラグ	0: 有効エッジなし 1: 有効エッジあり	RW
TXUND(注2)	タイマXアンダフローフラグ	0: アンダフローなし 1: アンダフローあり	RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。

注2. プログラムで“0”を書くと、“0”になります。(“1”を書いても変化しません)

注3. TXSビットの使用上の注意事項については「14.1.6 タイマX使用上の注意」を参照してください。

図14.9 パルス周期測定モード時のTXMRレジスタ

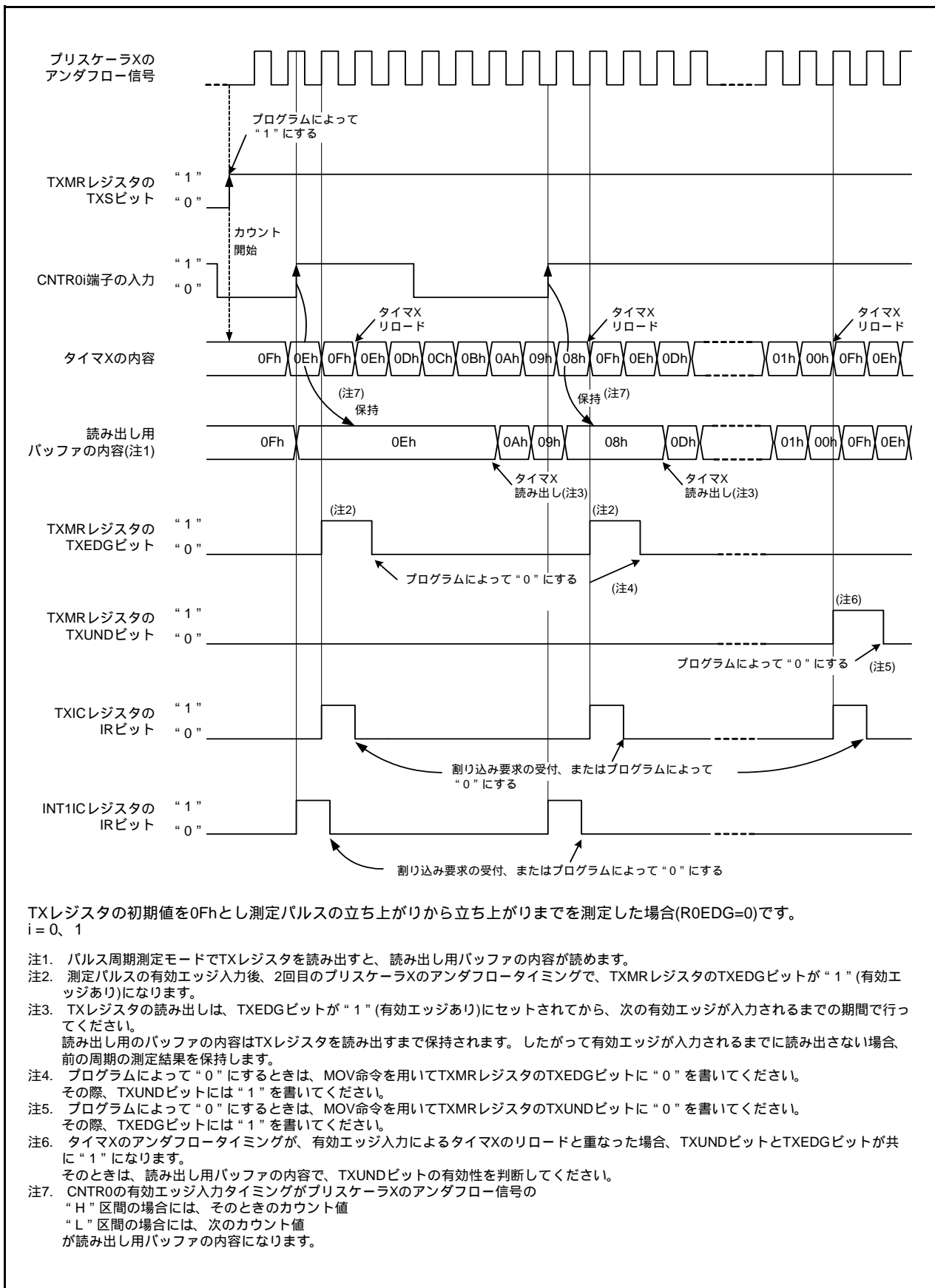


図14.10 パルス周期測定モード時の動作例

### 14.1.6 タイマX使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- TXMRレジスタのTXMOD0～TXMOD1ビットおよびTXMOD2ビットとTXSビットを同時に書き換えしないでください。
- パルス周期測定モードで使用するTXMRレジスタのTXEDGビットとTXUNDビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TXMRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTXEDGビット、TXUNDビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいTXEDGビット、TXUNDビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス周期測定モードに変更したとき、TXEDGビットとTXUNDビットは不定です。TXEDGビットとTXUNDビットに“0”を書いてから、タイマXのカウントを開始してください。
- カウント開始後に初めて発生するプリスケアラXのアンダフロー信号で、TXEDGビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にプリスケアラXの2周期以上の時間を空けて、TXEDGビットを“0”にしてから使用してください。
- TXMRレジスタのTXSビットには、タイマXにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。カウント停止中にTXSビットに“1”（カウント開始）を書いた後、次のカウントソースが入力されるまでは“0”（カウント停止）が読めます。次のカウントソースが入力されるとTXSビットは“1”が読めるようになります。TXSビットで“1”が読めるようになるまで、TXSビットを除くタイマX関連レジスタ(TXMR、PREX、TX、TCSS、TXICレジスタ)をアクセスしないでください。TXSビットが“1”になった後、次のカウントソースからカウントを開始します。同様に、カウント中にTXSビットに“0”（カウント停止）を書くと、次のカウントソースで、タイマXがカウントを停止します。TXSビットに“0”を書いた後、カウントを停止するまでにTXSビットを読むと、“1”（カウント開始）が読めます。TXSビットに“0”を書いた後、TXSビットで“0”が読めるようになるまで、TXSビットを除くタイマX関連レジスタをアクセスしないでください。

## 14.2 タイマZ

タイマZは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されています。(リロードレジスタとカウンタへのアクセスは表14.7～表14.10の各モードの仕様を参照してください)。タイマZは、リロードレジスタとしてタイマZプライマリ、タイマZセカンダリの2つのレジスタを持ちます。

図14.11にタイマZのブロック図を、図14.12～図14.15にTZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSSレジスタを示します。

タイマZは、次の4種類のモードを持ちます。

- タイマモード 内部カウントソースまたはタイマ X のアンダフローをカウントするモード
- プログラブル波形発生モード 任意のパルス幅を連続して出力するモード
- プログラブルワンショット発生モード ワンショットパルスを出力するモード
- プログラブルウェイトワンショット発生モード ディレイドワンショットパルスを出力するモード

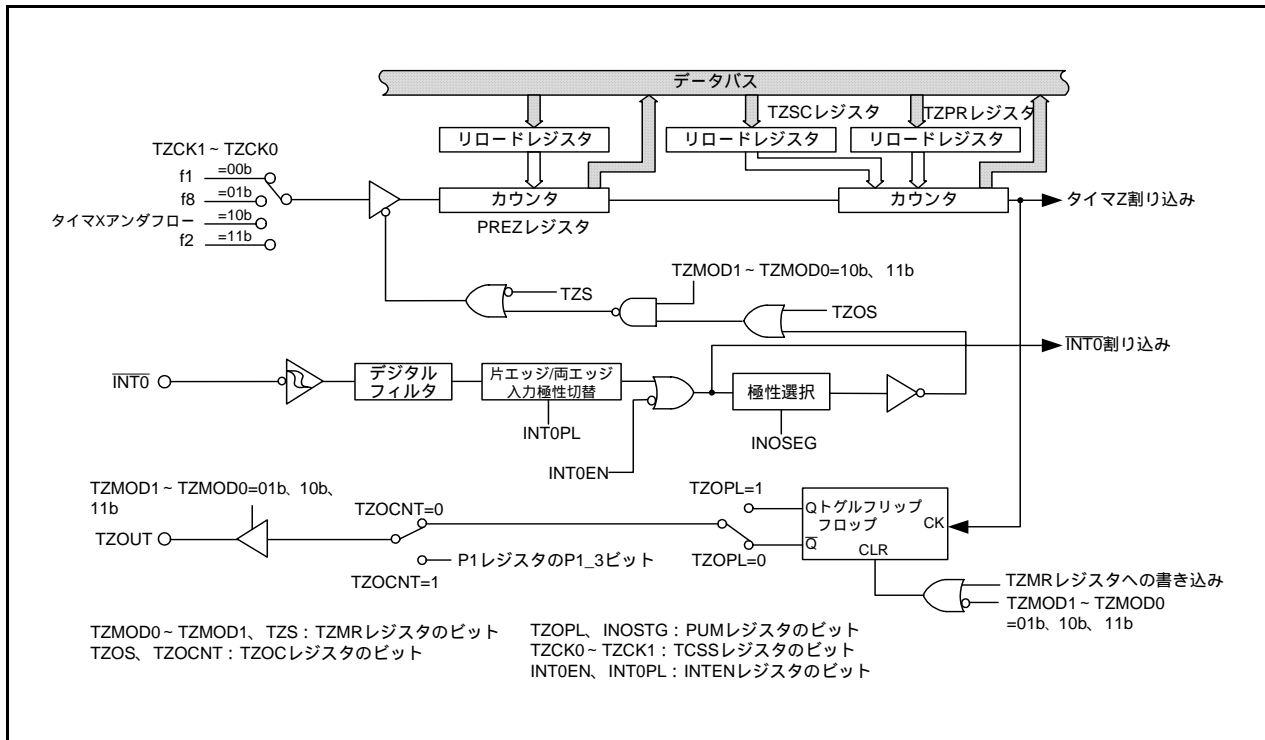


図14.11 タイマZのブロック図

タイマZモードレジスタ

シンボル TZMR	アドレス 0080h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0” にしてください。	RW
TZMOD0	タイマZ動作モード ビット	b5 b4 0 0 : タイマモード 0 1 : プログラマブル波形発生モード 1 0 : プログラマブルワンショット発生モード 1 1 : プログラマブルウェイトワンショット 発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み 制御ビット	動作モードによって機能が異なる。	RW
TZS	タイマZカウント 開始フラグ(注1)	0 : カウント停止 1 : カウント開始	RW

注1. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

図 14.12 TZMR レジスタ



## プリスケアラZレジスタ

b7  
b0

シンボル PREZ	アドレス 0085h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブル波形 発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブル ワンショット発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブルウェイト ワンショット発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW

## タイマZセカンダリレジスタ

b7  
b0

シンボル TZSC	アドレス 0086h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	無効	-	-
プログラマブル波形 発生モード	プリスケアラZのアンダフローをカウント (注1)	00h ~ FFh	WO (注2)
プログラマブル ワンショット発生モード	無効	-	-
プログラマブルウェイト ワンショット発生モード	プリスケアラZのアンダフローをカウント (ワンショット幅をカウント)	00h ~ FFh	WO

注1. TZPRレジスタとTZSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTZPRレジスタで読めます。

## タイマZプライマリレジスタ

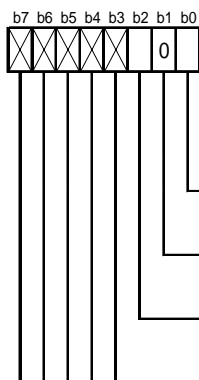
b7  
b0

シンボル TZPR	アドレス 0087h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	プリスケアラZのアンダフローをカウント	00h ~ FFh	RW
プログラマブル波形 発生モード	プリスケアラZのアンダフローをカウント (注1)	00h ~ FFh	RW
プログラマブル ワンショット発生モード	プリスケアラZのアンダフローをカウント (ワンショット幅をカウント)	00h ~ FFh	RW
プログラマブルウェイト ワンショット発生モード	プリスケアラZのアンダフローをカウント (ウェイト期間をカウント)	00h ~ FFh	RW

注1. TZPRレジスタとTZSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

図14.13 PREZ、TZSC、TZPRレジスタ

タイマZ出力制御レジスタ(注3)



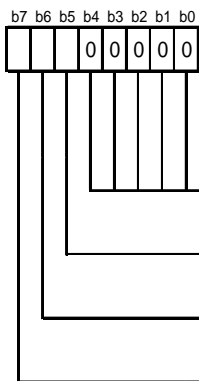
シンボル	アドレス	リセット後の値	
TZOC	008Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TZOS	タイマZワンショット開始ビット(注1)	0: ワンショット停止 1: ワンショット開始	RW
- (b1)	予約ビット	“0” にしてください。	RW
TZOCNT	タイマZプログラブル波形発生出力切替ビット(注2)	0: プログラブル波形出力 1: P1_3ポートレジスタの値を出力	RW
- (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. ワンショット波形出力終了後、“0”になります。ワンショット波形出力中に、TZMRレジスタのTZSビットを“0”(カウント停止)にすることで波形出力を停止した場合、TZOSビットを“0”にしてください。

注2. プログラブル波形発生モード時のみ有効。

注3. TZOSビットが“1”(カウント中)のときにこのレジスタを変更する命令を実行する場合、命令の実行中にカウントが終了すると、TZOSビットは自動的に“0”(ワンショット停止)になります。このことが問題になる場合は、TZOSビットが“0”(ワンショット停止)のときに、このレジスタを変更する命令を実行してください。

タイマZ波形出力制御レジスタ



シンボル	アドレス	リセット後の値	
PUM	0084h番地	00h	
ビットシンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	“0” にしてください。	RW
TZOPL	タイマZアウトプットレベルラッチ	動作モードによって機能が異なる。	RW
INOSTG	INT0端子ワンショットトリガ制御ビット(注2)	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	RW
INOSEG	INT0端子ワンショットトリガ極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW

注1. INOSEGビットは、INTENレジスタのINTOPLビットが“0”(片エッジ)のときのみ有効です。

注2. INOSTGビットは、INTENレジスタのINTOENビットとPUMレジスタのINOSEGビットを設定後に“1”にしてください。

図14.14 TZOC、PUMレジスタ

タイマカウントソース設定レジスタ

シンボル TCSS	アドレス 008Eh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TXCK0	タイマXカウント ソース選択ビット (注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : fRING 1 1 : f2	RW
TXCK1			RW
- (b3-b2)	予約ビット	"0" にしてください。	RW
TZCK0	タイマZカウント ソース選択ビット (注1)	b5 b4 0 0 : f1 0 1 : f8 1 0 : タイマXアンダフローを選択 1 1 : f2	RW
TZCK1			RW
- (b7-b6)	予約ビット	"0" にしてください。	RW

注1. カウント動作中にカウントソースを切り替えしないでください。カウントソースを切り替えるときは、タイマのカウントを停止してください。

図14.15 TCSSレジスタ

### 14.2.1 タイマモード

内部で生成されたカウントソースまたはタイマXのアンダフローをカウントするモードです(表14.7)。タイマモード時、TZSCレジスタは使用しません。図14.16にタイマモード時のTZMR、PUMレジスタを示します。

表14.7 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>•ダウンカウント</li> <li>•アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマZのアンダフロー時はタイマZプライマリリロードレジスタの内容をリロード)</li> </ul>
分周比	$1/(n+1)(m+1)$ n:PREZレジスタの設定値、m:TZPRレジスタの設定値
カウント開始条件	TZMRレジスタのTZSビットへの“1”(カウント開始)書き込み
カウント停止条件	TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマZのアンダフロー時[タイマZ割り込み]
TZOUT端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み(注1)	<ul style="list-style-type: none"> <li>•カウント停止中に、TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる</li> <li>•カウント中に、TZPRレジスタ、PREZレジスタに書き込むと、TZWCビットが“0”(リロードレジスタとカウンタへの同時書き込み)のとき、次のカウントソースの入力タイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入力タイミングでカウンタへ転送され、3つ目のカウントソースの入力タイミングでカウントを再開する</li> <li>•TZWCビットが“1”(リロードレジスタのみ書き込み)のとき、それぞれリロードレジスタに書き込まれる(次のリロード時にカウンタへ転送される)</li> </ul>

注1. 次の2項の条件が重なった状態でTZPRレジスタまたはPREZレジスタに書き込みを行うと、TZICレジスタのIRビットが“1”(割り込み要求あり)になります。

・TZMRレジスタのTZWCビットが“0”(リロードレジスタとカウンタへの同時書き込み)

・TZMRレジスタのTZSビットが“1”(カウント開始)

この状態でTZPRレジスタ、PREZレジスタに書く場合は、書く前に割り込みを禁止してください。

## タイマZモードレジスタ

ビットシンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	"0" にしてください。	RW
TZMOD0	タイマZ動作モードビット	b5 b4 0 0: タイマモード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット(注1)	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	RW
TZS	タイマZカウント開始フラグ(注2)	0 : カウント停止 1 : カウント開始	RW

注1. TZSビットが"1" (カウント開始) のとき、TZWCビットの設定値が有効になります。TZWCビットが"0" のときリロードレジスタとカウンタへの書き込み、"1" のときリロードレジスタのみ書き込みになります。

TZSビットが"0" (カウント停止) のとき、TZWCビットの設定値にかかわらず、リロードレジスタとカウンタへの書き込みになります。

注2. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

## タイマZ波形出力制御レジスタ

ビットシンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	"0" にしてください。	RW
TZOPL	タイマZアウトプットレベルラッチ	タイマモードでは"0" にしてください。	RW
INOSTG	INT0端子ワンショットトリガ制御ビット	タイマモードでは"0" にしてください。	RW
INOSEG	INT0端子ワンショットトリガ極性選択ビット	タイマモードでは"0" にしてください。	RW

図14.16 タイマモード時のTZMR、PUMレジスタ

### 14.2.2 プログラマブル波形発生モード

TZPR レジスタと TZSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TZOUT 端子から出力する信号を反転モードです(表14.8)。カウント開始時は、TZPR レジスタに設定した値からカウントを行います。図14.17にプログラマブル波形発生モード時のTZMR、PUMレジスタを、図14.18にプログラマブル波形発生モード時のタイマZの動作例を示します。

表14.8 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>・ダウンカウント</li> <li>・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続</li> </ul>
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ $f_i$ : カウントソースの周波数 $n$ : PREZレジスタの設定値、 $m$ : TZPRレジスタの設定値、 $p$ : TZSCレジスタの設定値
カウント開始条件	TZMR レジスタのTZSビットへの“1”(カウント開始)書き込み
カウント停止条件	TZMR レジスタのTZSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後(TZOUT出力の変化と同時) [タイマZ割り込み]
TZOUT 端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0 端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TZPR レジスタ、PREZ レジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	TZSC レジスタ、PREZ レジスタ、TZPR レジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注2)
選択機能	<ul style="list-style-type: none"> <li>・アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間の出力レベルをTZOPLビットで選択できる</li> <li>・プログラマブル波形発生出力切り替え機能 TZOCレジスタのTZOCNTビットを“0”に設定すると、タイマZのアンダフローに同期してTZOUTの出力を反転する。“1”に設定すると、P1_3ビットの値をTZOUTから出力する。(注3)</li> </ul>

注1. セカンダリ期間をカウント中でも、TZPRレジスタを読み出してください。

注2. TZPRレジスタへの書き込み動作より、TZPRレジスタ、TZSCレジスタに書いた値が有効になります。波形の出力は、TZPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TZOCNTビットは次のタイミングで有効になります。

・カウント開始時

・タイマZ割り込み要求発生時

したがって、TZOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

## タイマZモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
1 0 1 0 0 0 0 0		シンボル	アドレス	リセット後の値			
		TZMR	0080h番地	00h			
ビットシンボル	ビット名		機能		RW		
- (b3-b0)	予約ビット		"0" にしてください。		RW		
TZMOD0	タイマZ動作モードビット		b5 b4		RW		
TZMOD1			0 1 : プログラマブル波形発生モード		RW		
TZWC	タイマZ書き込み制御ビット		プログラマブル波形発生モードでは		RW		
			"1" にしてください。(注1)				
TZS	タイマZカウント開始フラグ(注2)		0 : カウント停止		RW		
			1 : カウント開始				

- 注1. TZSビットが "1" (カウント開始) のとき、リロードレジスタのみ書き込みになります。  
TZSビットが "0" (カウント停止) のとき、リロードレジスタとカウンタへの書き込みになります。
- 注2. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

## タイマZ波形出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0							
0 0 0 0 0 0 0 0		シンボル	アドレス	リセット後の値			
		PUM	0084h番地	00h			
ビットシンボル	ビット名		機能		RW		
- (b4-b0)	予約ビット		"0" にしてください。		RW		
TZOPL	タイマZアウトプットレベルラッチ		0 : プライマリ期間 "H" 出力 セカンダリ期間 "L" 出力 タイマ停止時 "L" 出力		RW		
			1 : プライマリ期間 "L" 出力 セカンダリ期間 "H" 出力 タイマ停止時 "H" 出力				
INOSTG	INT0端子ワンショットトリガ制御ビット		プログラマブル波形発生モードでは		RW		
			"0" にしてください。				
INOSEG	INT0端子ワンショットトリガ極性選択ビット		プログラマブル波形発生モードでは		RW		
			"0" にしてください。				

図14.17 プログラマブル波形発生モード時のTZMR、PUMレジスタ

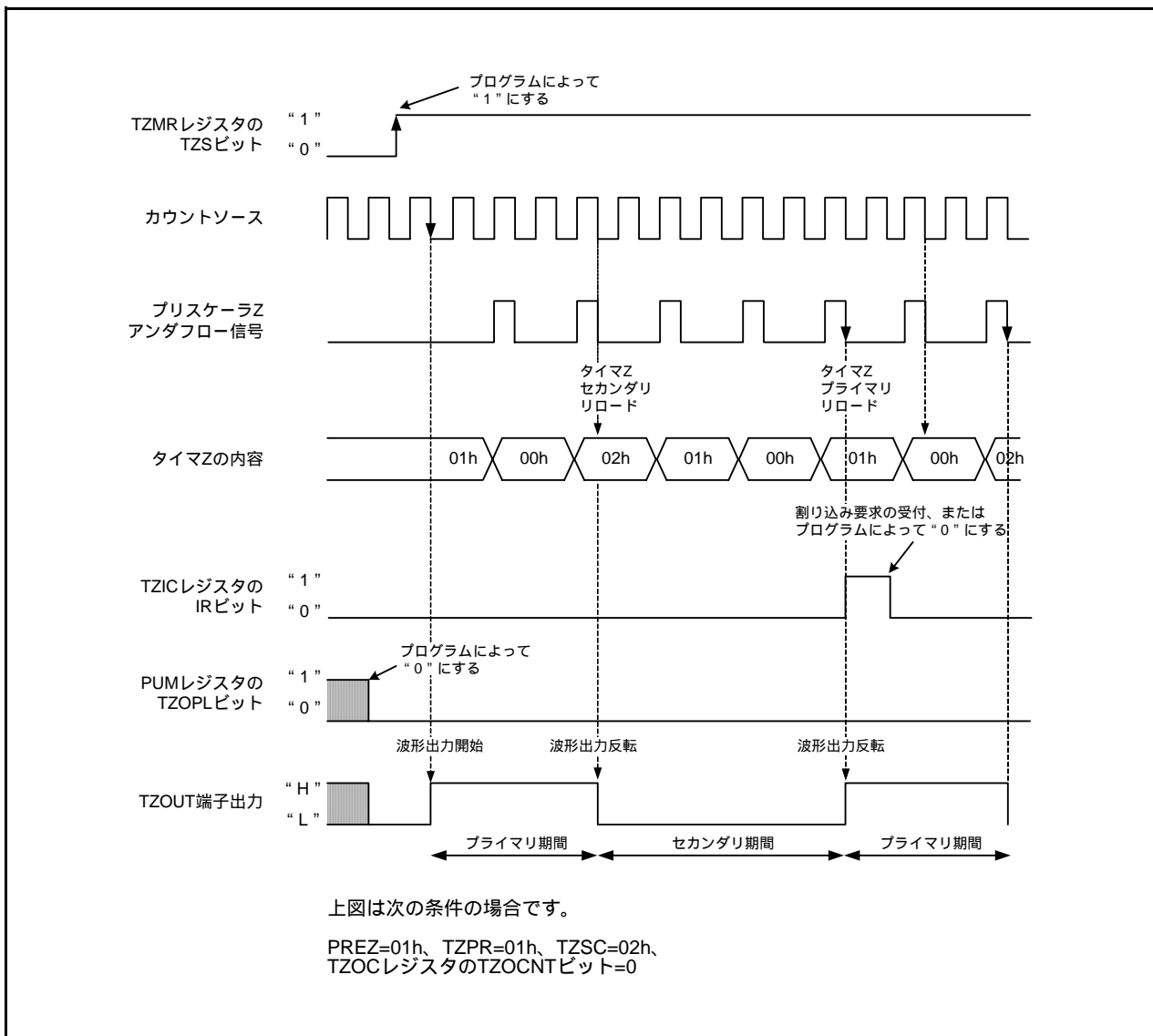


図14.18 プログラマブル波形発生モード時のタイマZの動作例



### 14.2.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTZOUT端子から出力するモードです(表14.9)。トリガが発生するとその時点から任意の時間(TZPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TZSCレジスタは使用しません。図14.19にプログラマブルワンショット発生モード時のTZMR、PUMレジスタを、図14.20にプログラマブルワンショット発生モード時の動作例を示します。

表14.9 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>• TZPRレジスタの設定値をダウンカウント</li> <li>• アンダフロー時リロードレジスタの内容をリロードしてカウントを終了し、TZOSビットが“0”(ワンショット停止)になる</li> <li>• カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数、n:PREZレジスタの設定値、m:TZPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>• TZOCレジスタのTZOSビットへの“1”(ワンショット開始)書き込み(注1)</li> <li>• INT0端子への有効トリガ入力(注2)</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>• カウントの値が“00h”になりリロードした後</li> <li>• TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み</li> <li>• TZOCレジスタのTZOSビットへの“0”(ワンショット停止)書き込み</li> </ul>
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後(TZOUT端子からの波形出力の終了と同時に) [タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0端子機能	<ul style="list-style-type: none"> <li>• PUMレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポートまたはINT0割り込み入力</li> <li>• PUMレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)</li> </ul>
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注3)
選択機能	<ul style="list-style-type: none"> <li>• アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルをTZOPLビットで選択できる</li> <li>• INT0端子ワンショットトリガ制御機能、極性選択機能 INT0端子からのトリガ入力の有効または無効をINOSTGビットで選択できる。 有効トリガ極性をINOSEGビットで選択できる。</li> </ul>

注1. TZMRレジスタのTZSビットを“1”(カウント開始)にしてください。

注2. TZSビットを“1”(カウント開始)、INTENレジスタのINT0ENビットを“1”(INT0入力許可)、PUMレジスタのINOSTGビットを“1”(INT0ワンショットトリガ有効)にしてください。

カウント中に入力されたトリガは受け付けられませんが、INT0割り込み要求は発生します。

注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。

### タイマZモードレジスタ

シンボル	アドレス	リセット後の値
TZMR	0080h番地	00h

ビットシンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0” にしてください。	RW
TZMOD0	タイマZ動作モードビット	b5 b4 1 0: プログラマブルワンショット発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	プログラマブルワンショット発生モードでは“1” にしてください。(注1)	RW
TZS	タイマZカウント開始フラグ(注2)	0: カウント停止 1: カウント開始	RW

注1. TZSビットが“1” (カウント開始)のとき、リロードレジスタのみ書き込みになります。  
TZSビットが“0” (カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。

注2. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

### タイマZ波形出力制御レジスタ

シンボル	アドレス	リセット後の値
PUM	0084h番地	00h

ビットシンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	“0” にしてください。	RW
TZOPL	タイマZアウトプットレベルラッチ	0: ワンショットパルス“H”出力 タイマ停止時“L”出力 1: ワンショットパルス“L”出力 タイマ停止時“H”出力	RW
INOSTG	INT0端子ワンショットトリガ制御ビット(注1)	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	RW
INOSEG	INT0端子ワンショットトリガ極性選択ビット(注2)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW

注1. INOSTGビットは、INTENレジスタのINT0ENビットとPUMレジスタのINOSEGビットを設定後に“1” にしてください。  
INOSTGビットを“1” (INT0端子ワンショットトリガ有効)にすると、INTOFレジスタのINTOF0~INTOF1ビットを設定してください。  
INOSTGビットは、TZMRレジスタのTZSビットを“0” (カウント停止)にした後、“0” (INT0端子ワンショットトリガ無効)にしてください。

注2. INOSEGビットは、INTENレジスタのINT0PLビットが“0” (片エッジ)のときのみ有効です。

図14.19 プログラマブルワンショット発生モード時のTZMR、PUMレジスタ

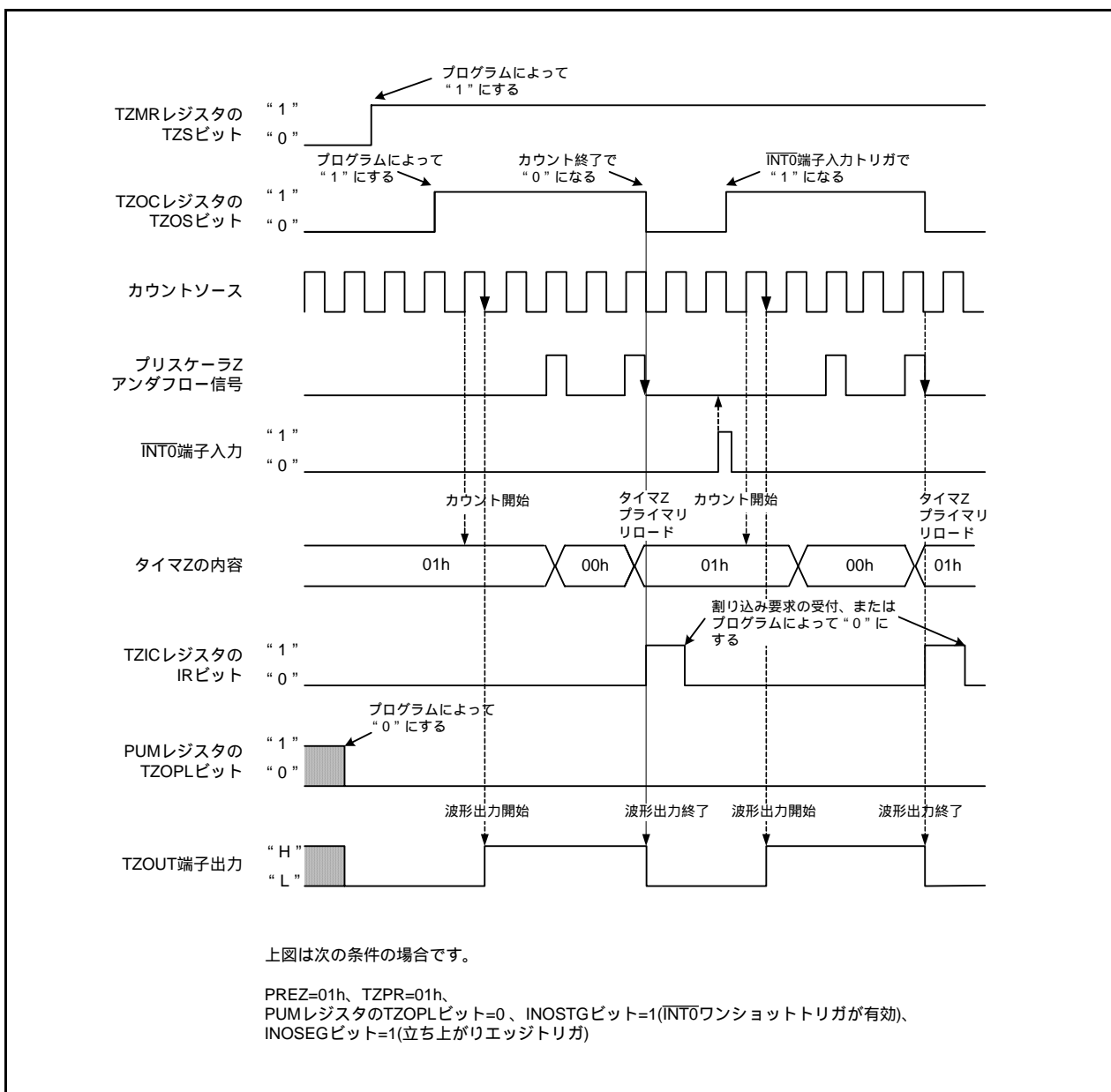


図14.20 プログラマブルワンショット発生モード時の動作例

#### 14.2.4 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、一定時間後にワンショットパルスをTZOUT端子から出力するモードです(表14.10)。トリガが発生すると、その時点から任意の時間(TZPRレジスタの設定値)後、一度だけ任意の時間(TZSCレジスタの設定値)パルス出力を行います。図14.21にプログラブルウェイトワンショット発生モード時のTZMR、PUMレジスタを、図14.22にプログラブルウェイトワンショット発生モードの動作例を示します。

表14.10 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> <li>・タイマZプライマリの設定値をダウンカウント</li> <li>・タイマZプライマリのカウントがアンダフロー時、タイマZセカンダリの内容をリロードしてカウントを継続</li> <li>・タイマZセカンダリのカウントがアンダフロー時、タイマZプライマリの内容をリロードしてカウントを終了し、TZOSビットが“0”(ワンショット停止)になる</li> <li>・カウント停止時、リロードレジスタの内容をリロードし停止</li> </ul>
ウェイト時間	$(n+1)(m+1)/f_i$ $f_i$ : カウントソースの周波数、n:PREZレジスタの設定値、m:TZPRレジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ $f_i$ : カウントソースの周波数、n:PREZレジスタの設定値、p:TZSCレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> <li>・TZOCレジスタのTZOSビットへの“1”(ワンショット開始)書き込み(注1)</li> <li>・INT0端子への有効トリガ入力(注2)</li> </ul>
カウント停止条件	<ul style="list-style-type: none"> <li>・タイマZセカンダリカウント時のカウントの値が“00h”になりリロードした後</li> <li>・TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み</li> <li>・TZOCレジスタのTZOSビットへの“0”(ワンショット停止)書き込み</li> </ul>
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後(TZOUT端子からの波形出力の終了と同時に)[タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0端子機能	<ul style="list-style-type: none"> <li>・PUMレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラブル入出力ポートまたはINT0割り込み入力</li> <li>・PUMレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)</li> </ul>
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TZPRレジスタ、PREZレジスタ、TZSCレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注3)
選択機能	<ul style="list-style-type: none"> <li>・アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルをTZOPLビットで選択できる</li> <li>・INT0端子ワンショットトリガ制御機能、極性選択機能 INT0端子からのトリガ入力の有効または無効をINOSTGビットで選択できる。 有効トリガ極性をINOSEGビットで選択できる。</li> </ul>

注1. TZMRレジスタのTZSビットを“1”(カウント開始)にしてください。

注2. TZSビットを“1”(カウント開始)、INTENレジスタのINT0ENビットを“1”(INT0入力許可)、PUMレジスタのINOSTGビットを“1”(INT0ワンショットトリガ有効)にしてください。

カウント中に入力されたトリガは受け付けられませんが、INT0割り込み要求は発生します。

注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。

### タイマZモードレジスタ

シンボル	アドレス	リセット後の値
TZMR	0080h番地	00h

ビットシンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0” にしてください。	RW
TZMOD0	タイマZ動作モードビット	b5 b4 1 1: プログラマブルウェイトワンショット発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	プログラマブルウェイトワンショット発生モードでは“1” にしてください。(注1)	RW
TZS	タイマZカウント開始フラグ(注2)	0 : カウント停止 1 : カウント開始	RW

注1. TZSビットが“1” (カウント開始)のとき、リロードレジスタのみ書き込みになります。  
TZSビットが“0” (カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。

注2. TZSビットの使用上の注意事項について「14.2.5 タイマZ使用上の注意」を参照してください。

### タイマZ波形出力制御レジスタ

シンボル	アドレス	リセット後の値
PUM	0084h番地	00h

ビットシンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	“0” にしてください。	RW
TZOPL	タイマZアウトプットレベルラッチ	0 : ワンショットパルス“H”出力 タイマ停止時“L”出力 1 : ワンショットパルス“L”出力 タイマ停止時“H”出力	RW
INOSTG	INT0端子ワンショットトリガ制御ビット(注1)	0 : INT0端子ワンショットトリガ無効 1 : INT0端子ワンショットトリガ有効	RW
INOSEG	INT0端子ワンショットトリガ極性選択ビット(注2)	0 : 立ち下がりエッジトリガ 1 : 立ち上がりエッジトリガ	RW

注1. INOSTGビットは、INTENレジスタのINT0ENビットとPUMレジスタのINOSEGビットを設定後に“1” にしてください。  
INOSTGビットを“1” (INT0端子ワンショットトリガ有効)にすると、INTOFレジスタのINTOF0 ~ INTOF1ビットを設定してください。

注2. INOSEGビットは、INTENレジスタのINTOPLビットが“0” (片エッジ)のときのみ有効です。

図14.21 プログラマブルウェイトワンショット発生モード時のTZMR、PUMレジスタ

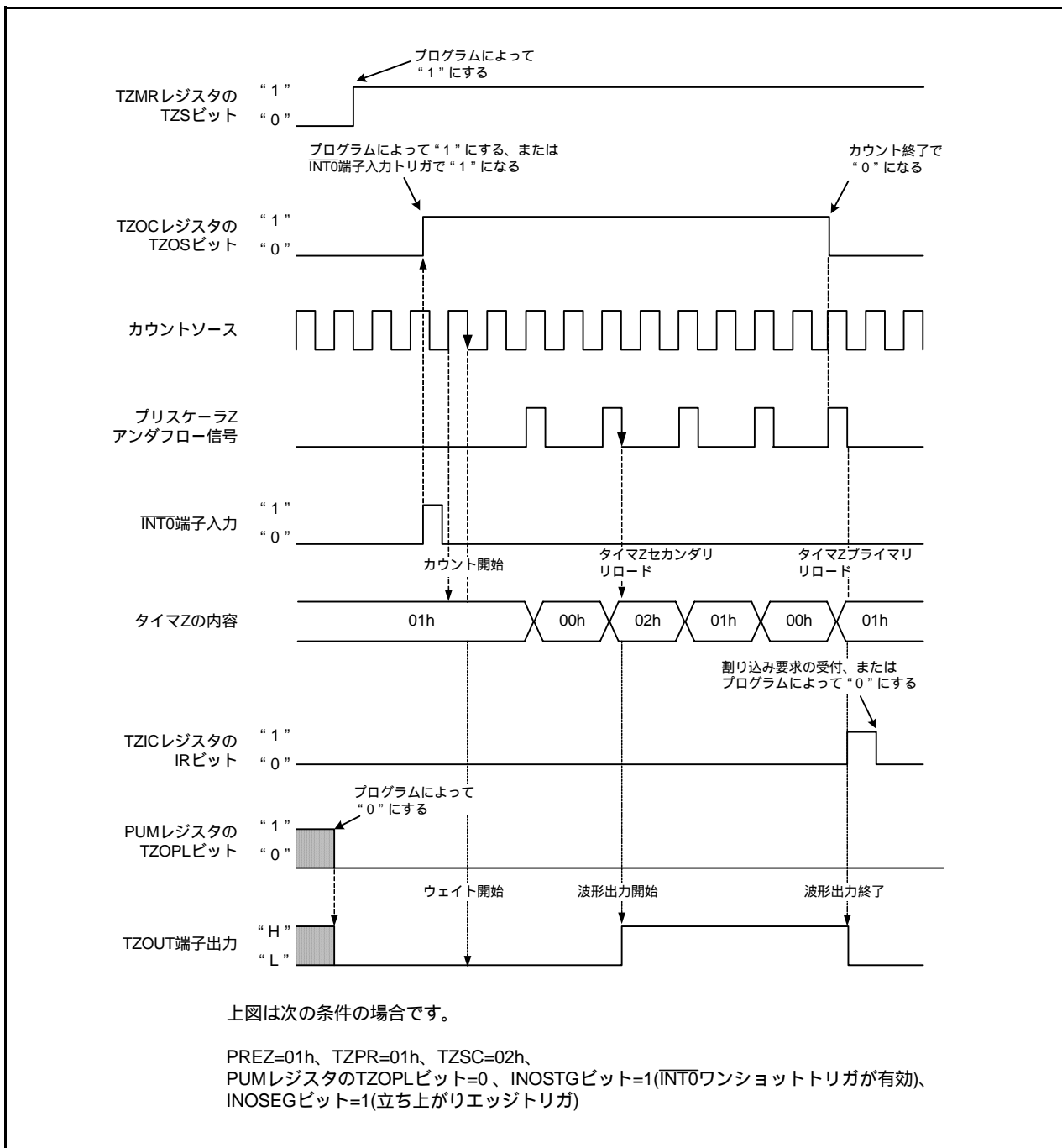


図 14.22 プログラマブルウェイトワンショット発生モードの動作例

### 14.2.5 タイマZ使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- TZMRレジスタのTZMOD0～TZMOD1ビットとTZSビットを同時に書き換えしないでください。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TZMRレジスタのTZSビットを“0”にしてカウントを停止したとき、またはTZOCレジスタのTZOSビットを“0”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- TZMRレジスタのTZSビットには、タイマZにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。  
カウント停止中にTZSビットに“1”(カウント開始)を書いた後、次のカウントソースが入力されるまでは“0”(カウント停止)が読めます。次のカウントソースが入力されるとTZSビットは“1”が読めるようになります。TZSビットで“1”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタ(TZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSC、TZICレジスタ)をアクセスしないでください。TZSビットが“1”になった後、次のカウントソースからカウントを開始します。  
同様に、カウント中にTZSビットに“0”(カウント停止)を書くと、次のカウントソースで、タイマZがカウントを停止します。  
TZSビットに“0”を書いた後、カウントを停止するまでにTZSビットを読むと、“1”(カウント開始)が読めます。TZSビットに“0”を書いた後、TZSビットで“0”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタをアクセスしないでください。

### 14.3 タイマC

タイマCは、16ビットタイマです。図14.23にタイマCのブロック図、図14.24にCMP波形生成部ブロック図、図14.25にCMP波形出力部ブロック図を示します。

タイマCは、インプットキャプチャモード、アウトプットコンペアモードの2種類のモードを持ちます。図14.26～図14.29にタイマC関連のレジスタを示します。

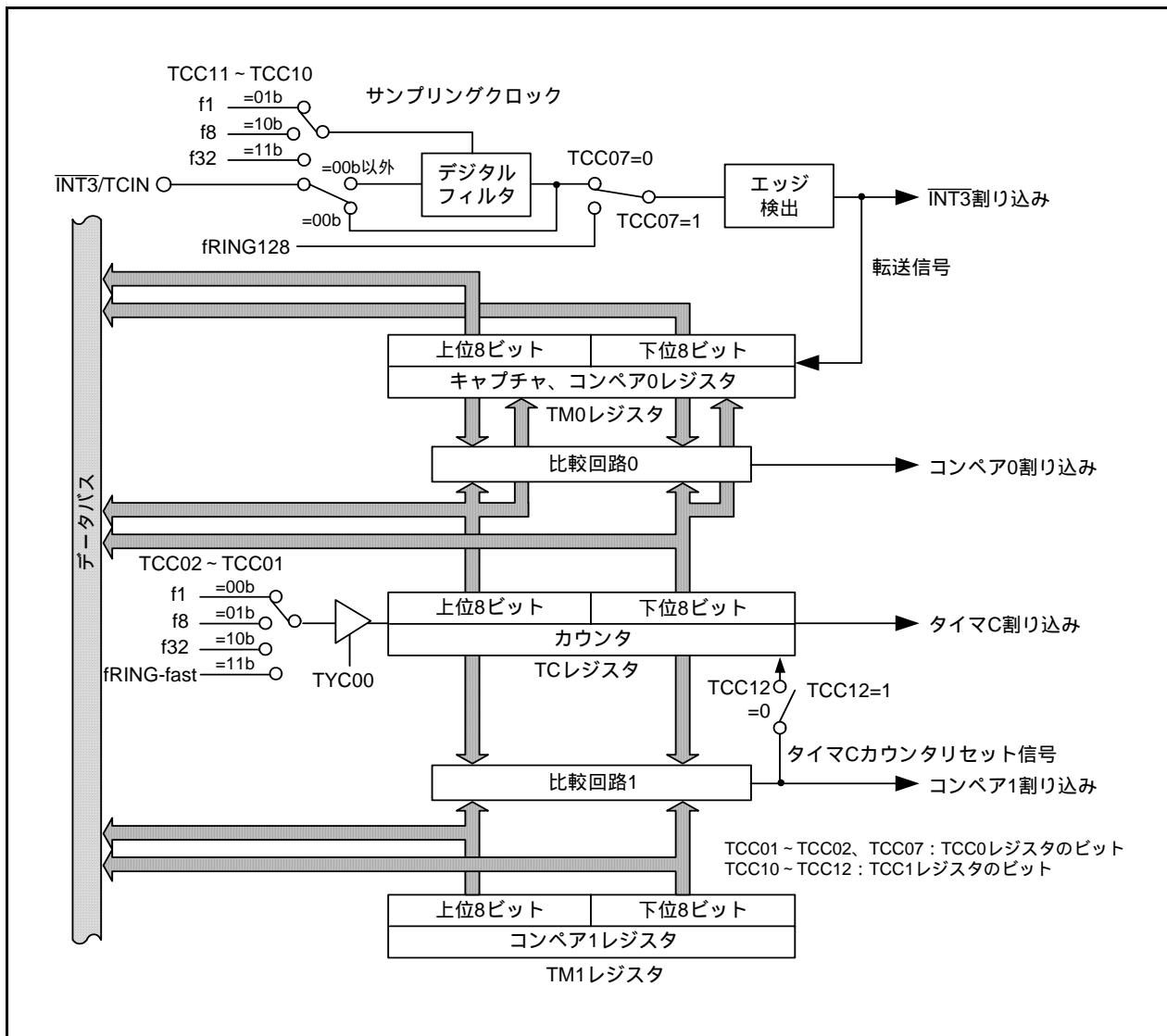


図14.23 タイマCのブロック図



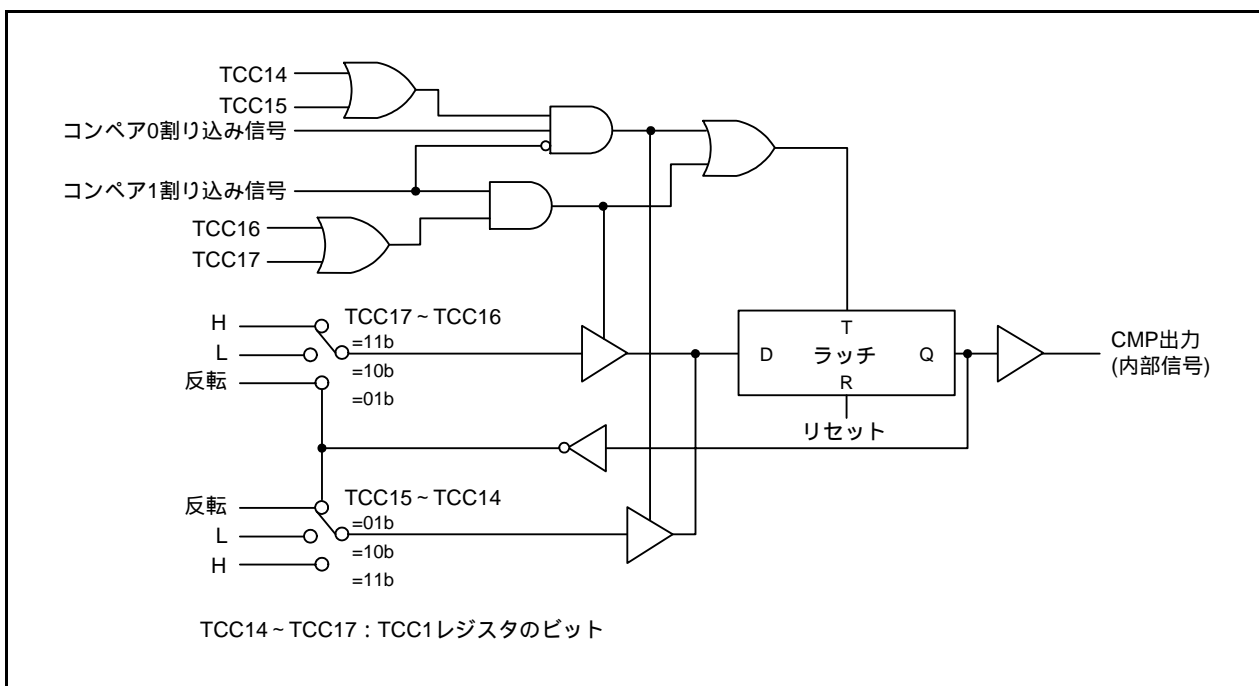


図14.24 CMP波形生成部ブロック図

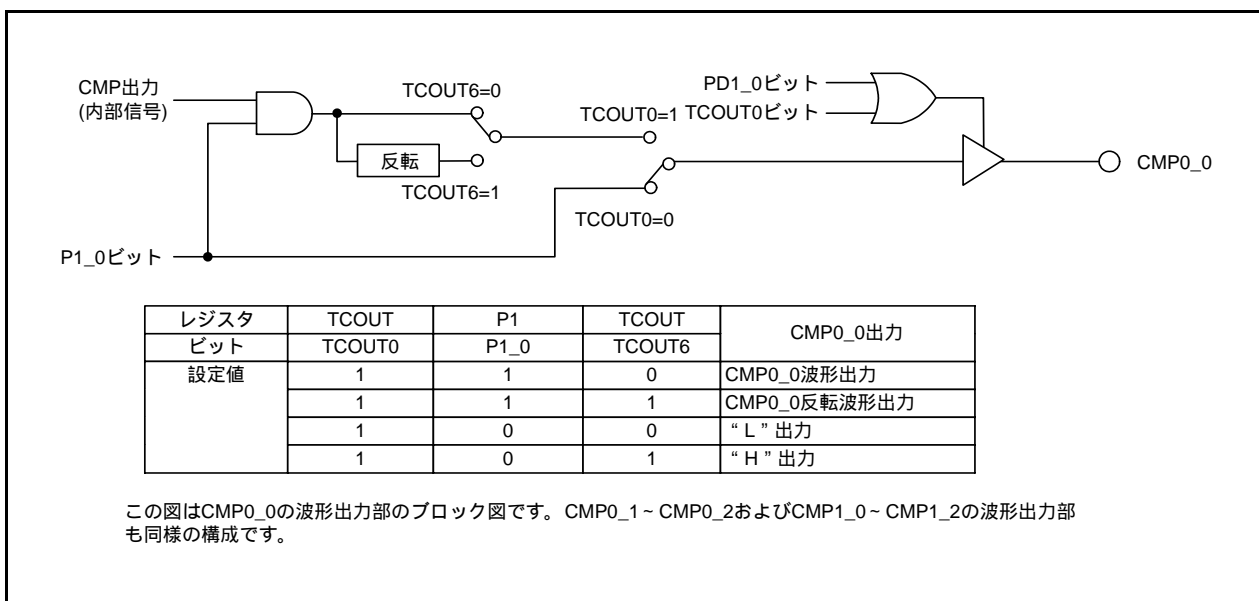


図14.25 CMP波形出力部ブロック図

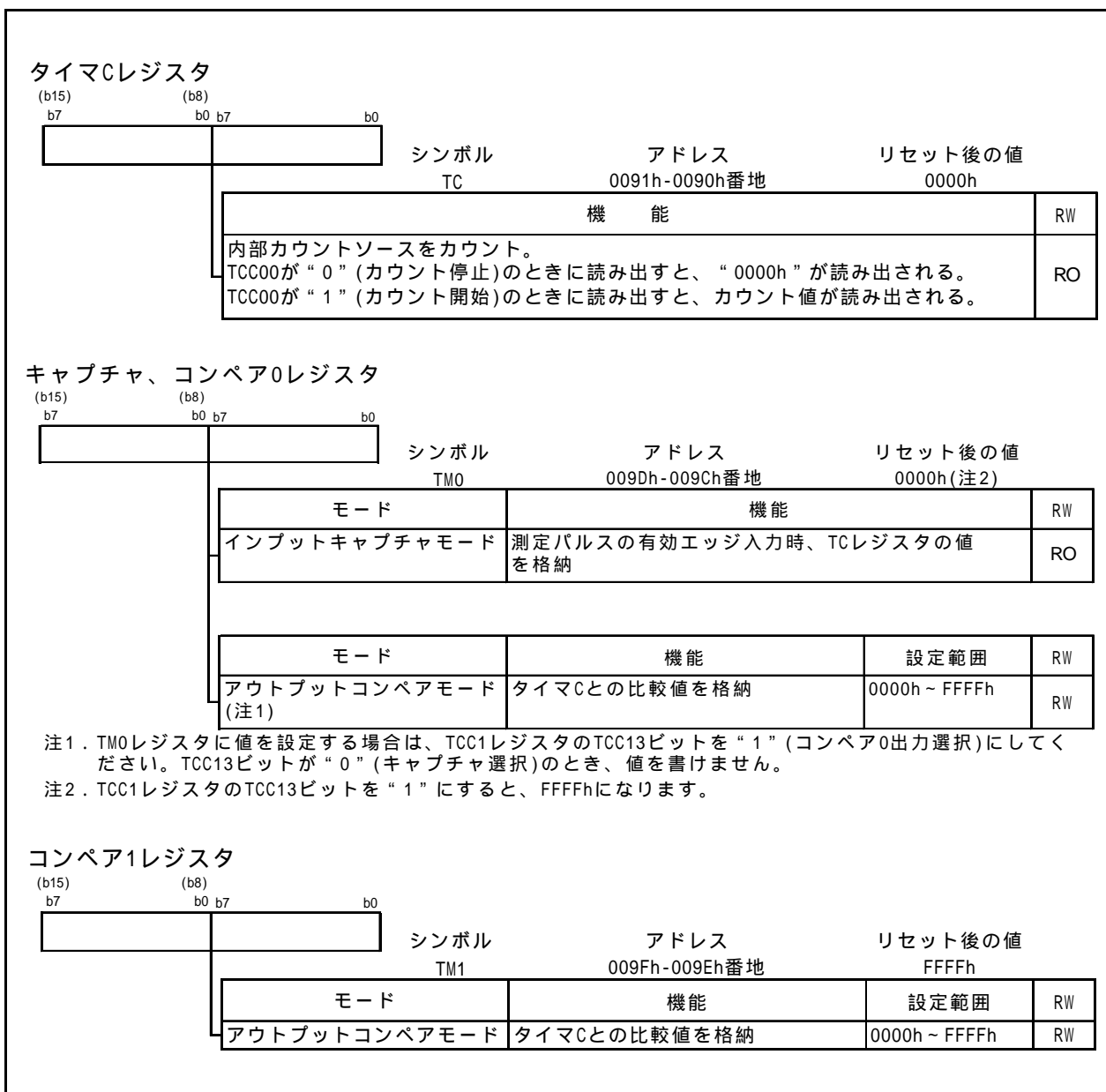


図14.26 TC、TM0、TM1レジスタ

タイマC制御レジスタ0

シンボル	アドレス	リセット後の値	
TCC0	009Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TCC00	タイマCカウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TCC01	タイマCカウントソース 選択ビット(注1)	b2 b1 0 0 : f1 0 1 : f8	RW
TCC02		1 0 : f32 1 1 : fRING-fast	RW
TCC03	INT3割り込み、キャプチャ 極性選択ビット(注1、2)	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ	RW
TCC04		1 0 : 両エッジ 1 1 : 設定しないでください	RW
- (b5)	予約ビット	“0” にしてください。	RW
TCC06	INT3割り込み要求発生タイミング 選択ビット(注2、3)	0 : タイマCのカウントソースに 同期して発生する 1 : INT3入力タイミングで発生する (注4)	RW
TCC07	INT3割り込み、キャプチャ入力 切り替えビット(注1、2)	0 : INT3 1 : fRING128	RW

注1. このビットの変更は、TCC00ビットが“0”(カウント停止)のとき、行ってください。  
 注2. TCC03、TCC04、TCC06、TCC07ビットを変更すると、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「12.5.5 割り込み要因の変更」を参照してください。  
 注3. TCC13ビットが“1”(アウトプットコンペアモード)のとき、TCC06ビットの設定値にかかわらず、INT3入力タイミングで割り込み要求が発生します。  
 注4. INT3フィルタ使用時は、デジタルフィルタ用クロックに同期して発生します。

図14.27 TCC0レジスタ

タイマC制御レジスタ1

シンボル	アドレス	リセット後の値	
TCC1	009Bh番地	00h	
ビット シンボル	ビット名	機能	RW
TCC10	INT3フィルタ選択ビット (注1)	b1 b0 0 0 : フィルタなし	RW
TCC11		0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
TCC12	タイマCカウンタリロード 選択ビット(注3)	0 : リロードなし 1 : コンペア1一致時にTCレジスタ を“0000h”にする	RW
TCC13	コンペア0/キャプチャ 選択ビット(注2)	0 : キャプチャ選択(インプット キャプチャモード) (注3) 1 : コンペア0出力選択 (アウトプットコンペアモード)	RW
TCC14	コンペア0出力モード選択 ビット(注3)	b5 b4 0 0 : コンペア0で一致してもCMP出力 は変化しない	RW
TCC15		0 1 : コンペア0の一致信号でCMP出力 を反転 1 0 : コンペア0の一致信号でCMP出力 を“L”に設定 1 1 : コンペア0の一致信号でCMP出力 を“H”に設定	
TCC16	コンペア1出力モード選択 ビット(注3)	b7 b6 0 0 : コンペア1で一致してもCMP出力 は変化しない	RW
TCC17		0 1 : コンペア1の一致信号でCMP出力 を反転 1 0 : コンペア1の一致信号でCMP出力 を“L”に設定 1 1 : コンペア1の一致信号でCMP出力 を“H”に設定	

注1 . INT3端子から同じ値を3回連続してサンプリングした時点で入力が増幅します。  
 注2 . TCC13ビットは、TCC0レジスタのTCC00ビットが“0”(カウント停止)のとき、変更してください。  
 注3 . TCC13ビットが“0”(インプットキャプチャモード)のとき、TCC12、TCC14~TCC17は“0”にしてください。

図14.28 TCC1レジスタ

タイマC出力制御レジスタ(注1)

シンボル TCOUT	アドレス 00FFh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TCOUT0	CMP出力許可ビット0	0 : CMP0_0からのCMP出力を禁止する 1 : CMP0_0からのCMP出力を許可する	RW
TCOUT1	CMP出力許可ビット1	0 : CMP0_1からのCMP出力を禁止する 1 : CMP0_1からのCMP出力を許可する	RW
TCOUT2	CMP出力許可ビット2	0 : CMP0_2からのCMP出力を禁止する 1 : CMP0_2からのCMP出力を許可する	RW
TCOUT3	CMP出力許可ビット3	0 : CMP1_0からのCMP出力を禁止する 1 : CMP1_0からのCMP出力を許可する	RW
TCOUT4	CMP出力許可ビット4	0 : CMP1_1からのCMP出力を禁止する 1 : CMP1_1からのCMP出力を許可する	RW
TCOUT5	CMP出力許可ビット5	0 : CMP1_2からのCMP出力を禁止する 1 : CMP1_2からのCMP出力を許可する	RW
TCOUT6	CMP出力反転ビット0	0 : CMP0_0 ~ CMP0_2からのCMP出力を反転しない 1 : CMP0_0 ~ CMP0_2からのCMP出力を反転する	RW
TCOUT7	CMP出力反転ビット1	0 : CMP1_0 ~ CMP1_2からのCMP出力を反転しない 1 : CMP1_0 ~ CMP1_2からのCMP出力を反転する	RW

注1. CMP出力に使用しないビットは“0”にしてください。

図14.29 TCOUTレジスタ

### 14.3.1 インพุットキャプチャモード

インพุットキャプチャモードは、TCIN端子へのエッジ入力、またはfRING128のクロックをトリガとしてタイマの値をラッチし、割り込み要求を発生するモードです。またTCIN入力はデジタルフィルタを持ちますので、ノイズ等による誤動作を防止できます。表14.11にインพุットキャプチャモードの仕様を、図14.30にインพุットキャプチャモードの動作例を示します。

表14.11 インพุットキャプチャモードの仕様

項目	仕様
カウントソース	f1、f8、f32、fRING-fast
カウント動作	<ul style="list-style-type: none"> <li>・アップカウント</li> <li>・測定パルスの有効エッジ入力で、TCレジスタの値をTM0レジスタに転送</li> <li>・カウント停止時、TCレジスタの値は“0000h”になる</li> </ul>
カウント開始条件	TCC0レジスタのTCC00ビットへの“1”(カウント開始)書き込み
カウント停止条件	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>・測定パルスの有効エッジ入力時 [INT3割り込み](注1)</li> <li>・タイマCのオーバフロー時 [タイマC割り込み]</li> </ul>
INT3/TCIN端子機能	プログラマブル入出力ポート、または測定パルス入力 (INT3割り込み入力)
P1_0 ~ P1_2、P3_3 ~ P3_5端子機能	プログラマブル入出力ポート
カウンタ値初期化タイミング	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み時
タイマの読み出し(注2)	<ul style="list-style-type: none"> <li>・TCレジスタを読み出すと、カウント値が読み出される</li> <li>・TM0レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される</li> </ul>
タイマの書き込み	TC、TM0レジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> <li>・INT3/TCIN極性選択機能 測定パルスの有効エッジをTCC03ビット~TCC04ビットで選択できる</li> <li>・デジタルフィルタ機能 デジタルフィルタサンプリング周波数をTCC10ビット~TCC11ビットで選択できる</li> <li>・トリガ機能 TCIN入力、またはfRING128をTCC07で選択できる</li> </ul>

注1. INT3割り込みはデジタルフィルタによる遅延とカウントソースの1サイクル(最大)分の遅延が発生します。

注2. TCレジスタ、TM0レジスタは、16ビット単位で読み出してください。

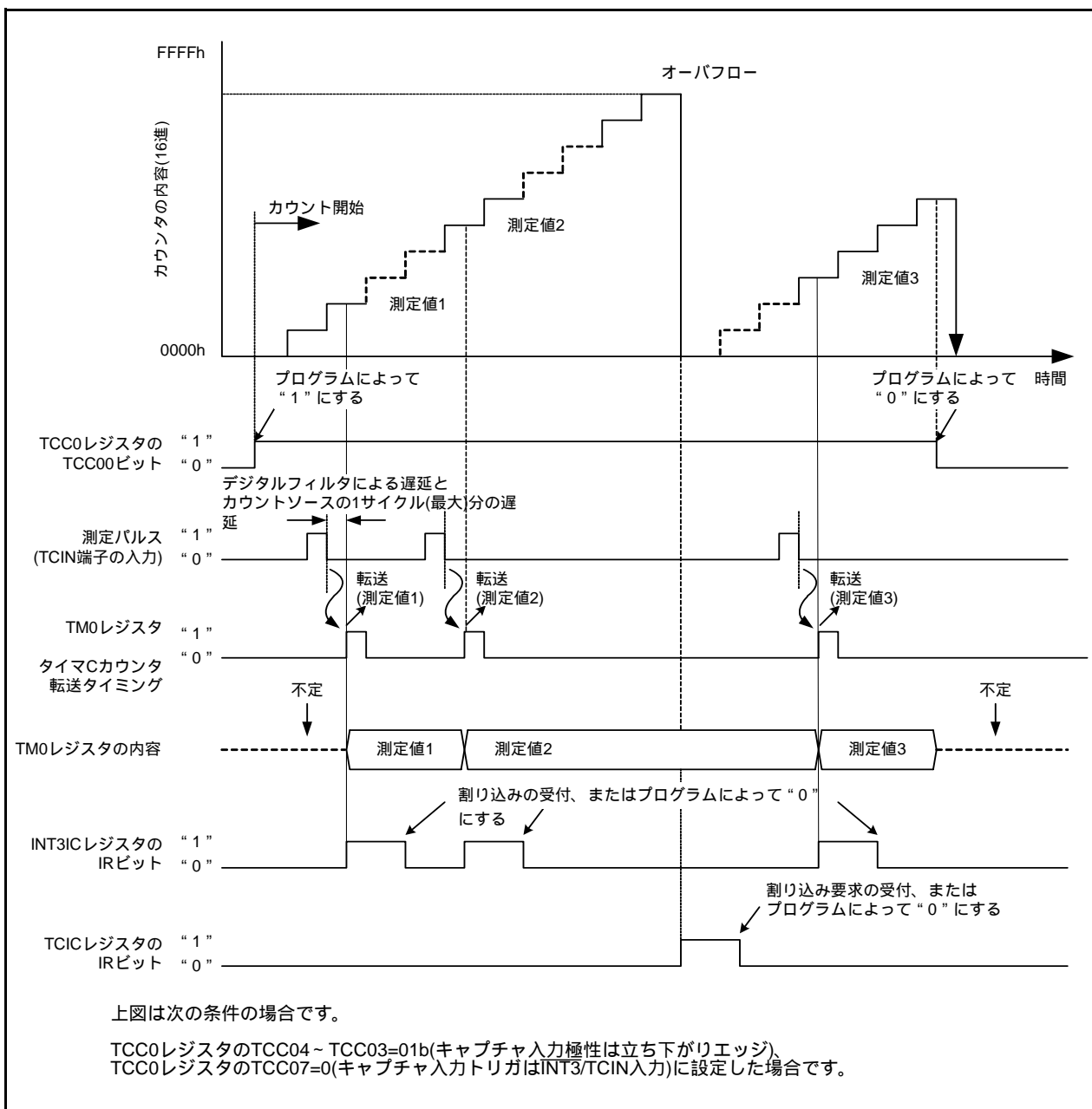


図 14.30 インพุットキャプチャモードの動作例

### 14.3.2 アウトプットコンペアモード

アウトプットコンペアモードはTCレジスタとTM0レジスタ、またはTCレジスタとTM1レジスタの値が一致したときに、割り込み要求を発生するモードです。表14.12にアウトプットコンペアモードの仕様を、図14.31にアウトプットコンペアモードの動作例を示します。

表14.12 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f1、f8、f32、fRING-fast
カウント動作	・ アップカウント ・ カウント停止時、TCレジスタの値は“0000h”になる
カウント開始条件	TCC0レジスタのTCC00ビットへの“1”(カウント開始)書き込み
カウント停止条件	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み
波形出力開始条件	TCOUTレジスタのTCOUT0～TCOUT5ビットへの“1”(CMP出力を許可する)書き込み(注2)
波形出力停止条件	TCOUTレジスタのTCOUT0～TCOUT5ビットへの“0”(CMP出力を禁止する)書き込み
割り込み要求発生タイミング	・ 比較回路0の一致時 [コンペア0割り込み] ・ 比較回路1の一致時 [コンペア1割り込み] ・ タイマCのオーバフロー時 [タイマC割り込み]
INT3/TCIN端子機能	プログラマブル入出力ポート、またはINT3割り込み入力
P1_0～P1_2、P3_3～P3_5端子機能	プログラマブル入出力ポート、またはCMP出力(注1)
カウンタ値初期化タイミング	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み時
タイマの読み出し(注2)	・ TCレジスタを読み出すと、カウント値が読み出される ・ TM0、TM1レジスタを読み出すと、コンペアレジスタの値が読み出される。
タイマの書き込み(注2)	・ TCレジスタへの書き込みはできない。 ・ TM0、TM1レジスタへ書くと、次のタイミングでコンペアレジスタに値が格納される。 -TCC00ビットが“0”(カウント停止)の場合、TM0、TM1レジスタへ書くと同時。 -TCC00ビットが“1”(カウント中)かつTCC1レジスタのTCC12ビットが“0”(リロードなし)の場合、カウンタオ-バフロー-時。 -TCC00ビットが“1”かつTCC12ビットが“1”(コンペア1一致時にTCレジスタを“0000h”にする)の場合、コンペア1とカウンタが一致時。
選択機能	・ タイマCカウンタリロード選択機能 比較回路1の一致時にTCレジスタのカウンタ値を“0000h”にするかどうかをTCC1レジスタのTCC12ビットで選択できる ・ 比較回路0の一致時の出力レベルをTCC1レジスタのTCC14～TCC15ビットで、比較回路1の一致時の出力レベルをTCC1レジスタのTCC16～TCC17ビットで選択できる ・ 出力を反転するかどうかを、TCOUTレジスタのTCOUT6～TCOUT7ビットで選択できる

注1. 該当するポートのデータが“1”のとき、TCC1、TCOUTレジスタの設定にしたがって波形を出力します。該当するポートのデータが“0”のときは、固定レベルを出力します(「図14.25 CMP波形出力部ブロック図」参照)。

注2. TC、TM0、TM1レジスタは、16ビット単位でアクセスしてください。



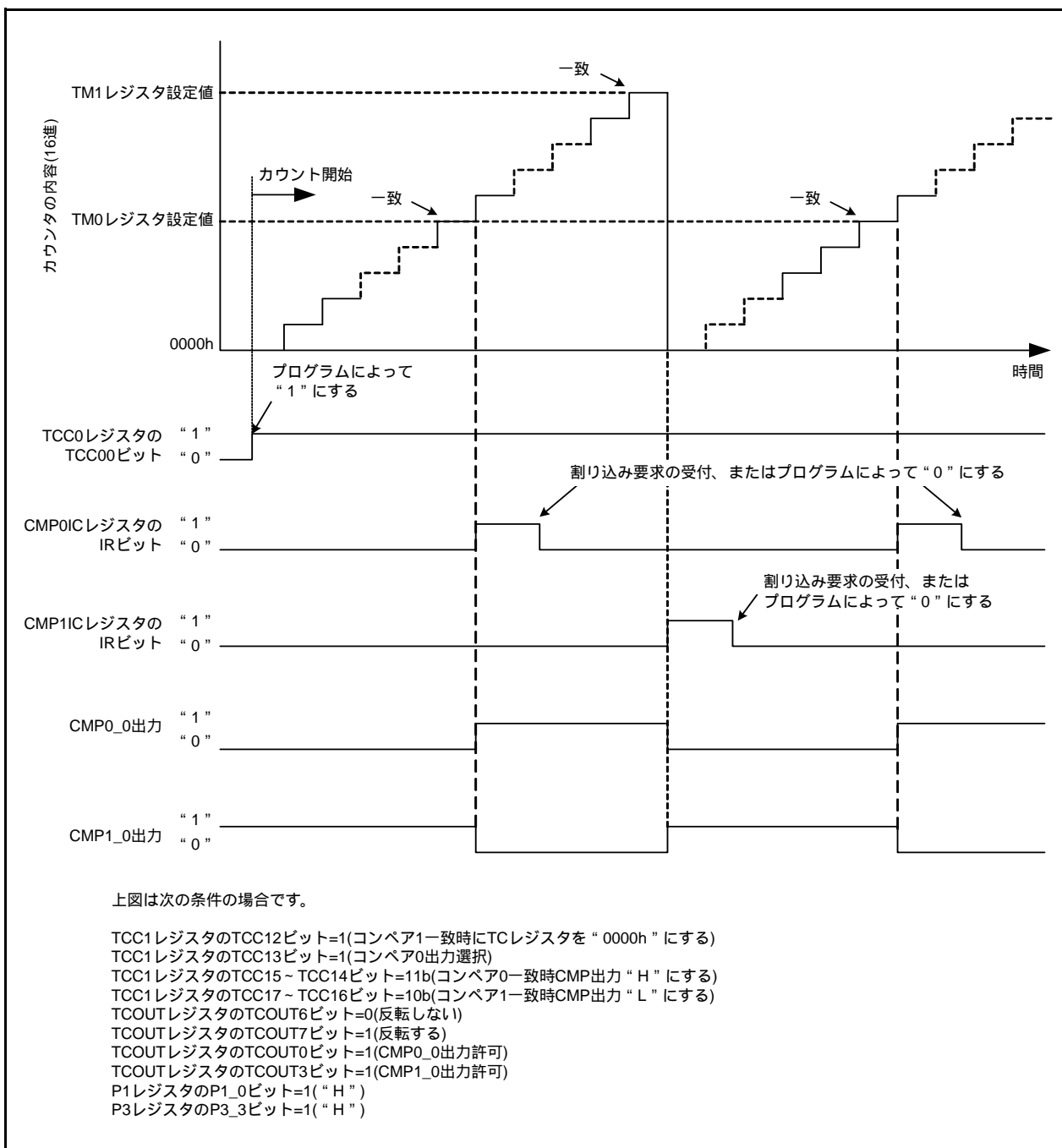


図14.31 アウトプットコンペアモードの動作例

### 14.3.3 タイマC使用上の注意

TCレジスタ、TM0レジスタおよびTM1レジスタは、16ビット単位でアクセスしてください。  
TCレジスタは16ビット単位で読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が更新されることはありません。

<タイマCを読み出すプログラム例>

```
MOV.W    0090H,R0    ;タイマCの読み出し
```

## 15. シリアルインタフェース

シリアルインタフェースは、UART0およびUART1の2チャンネルで構成しています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図15.1にUART<sub>i</sub>(*i*=0~1)のブロック図、図15.2に送受信部のブロック図を示します。

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

UART1は、クロック非同期形シリアルI/Oモード(UARTモード)のみ持ちます。

図15.3~図15.5にUART<sub>i</sub>関連のレジスタを示します。

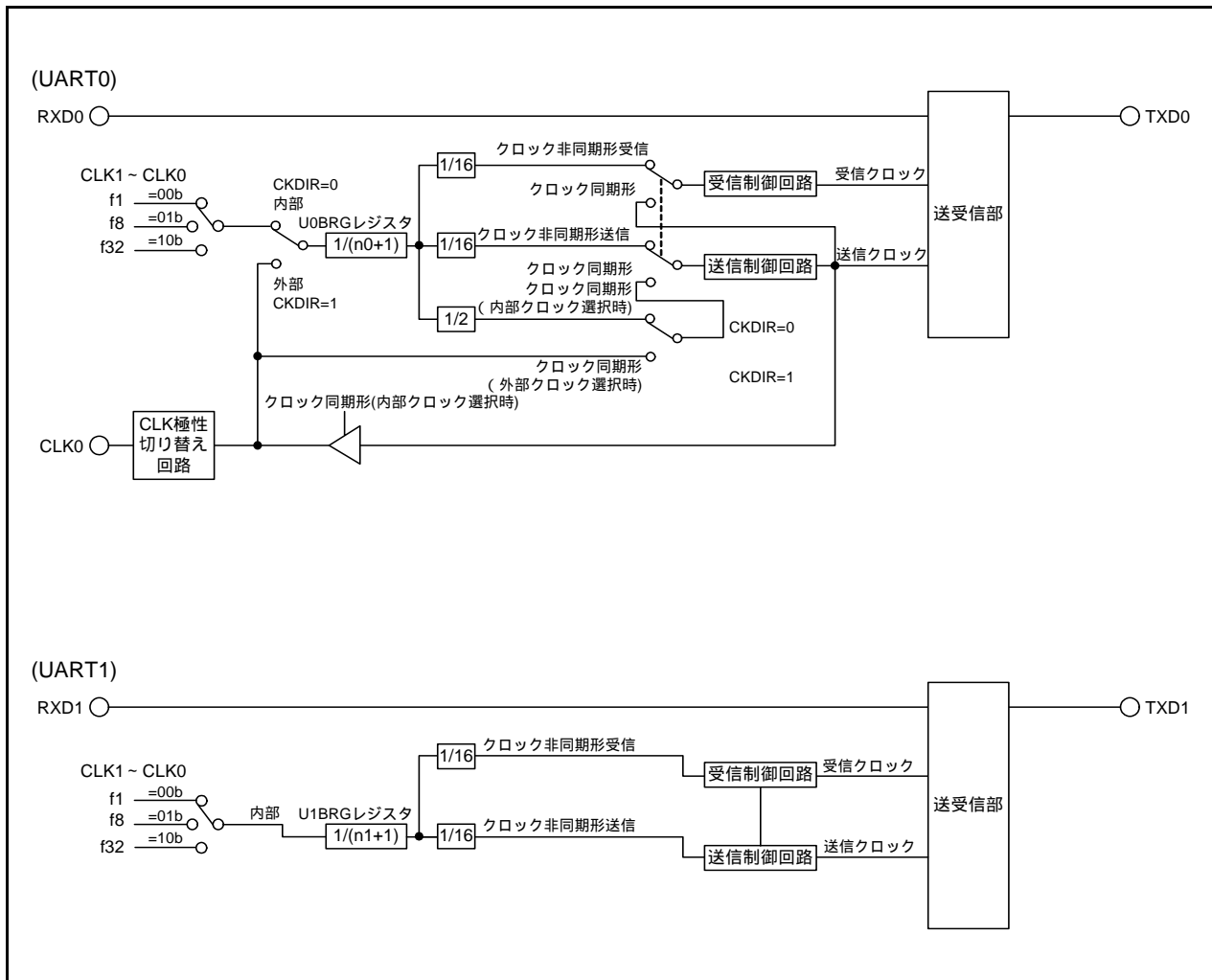


図15.1 UART<sub>i</sub>(*i*=0~1)のブロック図

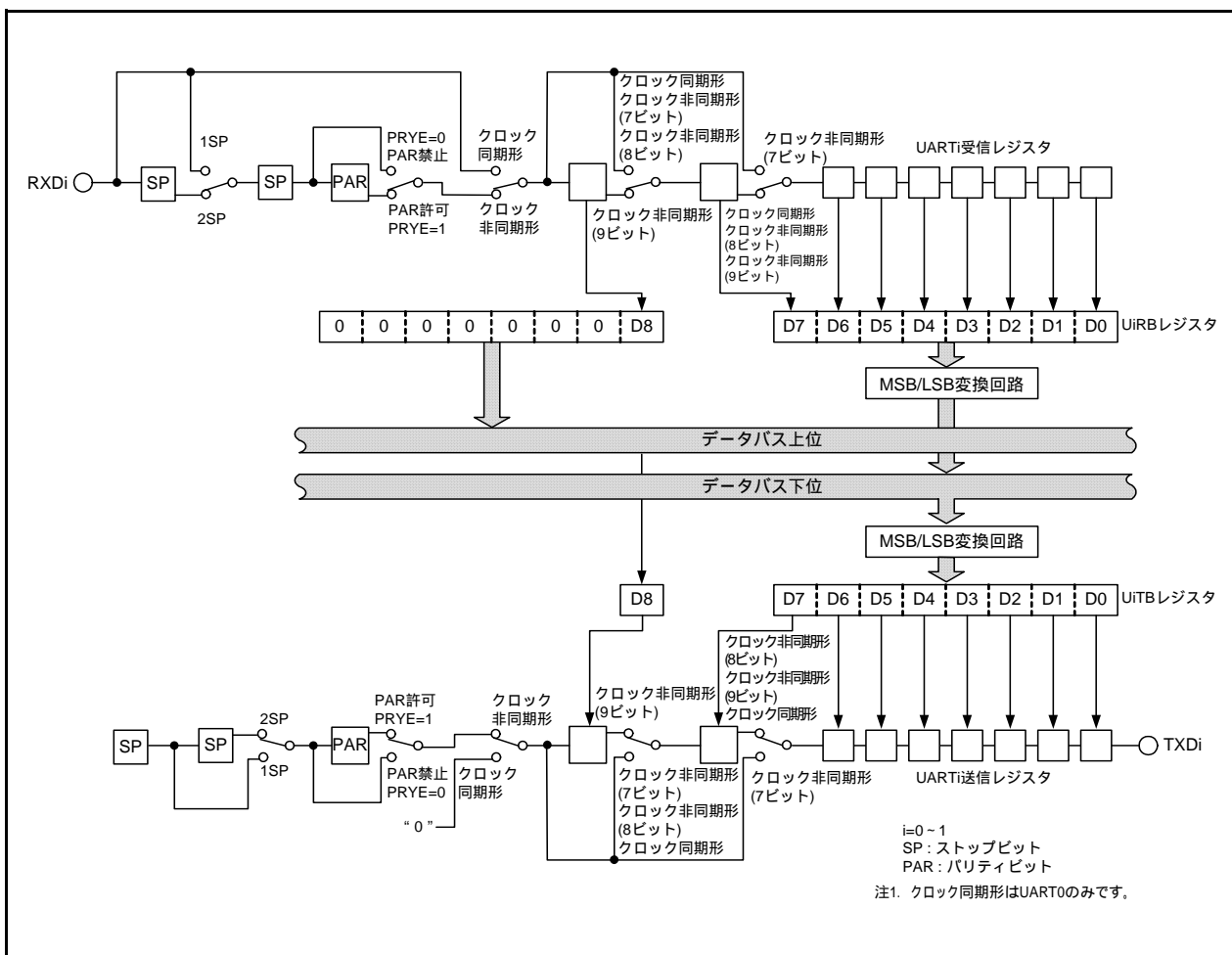


図15.2 送受信部のブロック図

**UARTi送信バッファレジスタ (i=0~1) (注1、2)**

シンボル	アドレス	リセット後の値
U0TB	00A3h-00A2h番地	不定
U1TB	00ABh-00AAh番地	不定

ビットシンボル	機能	RW
(b8-b0)	送信データ	WO
(b15-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-

注1. 転送データ長が9ビットの場合、上位バイト 下位バイトの順で書いてください。  
 注2. MOV命令を使用して書いてください

**UARTi受信バッファレジスタ (i=0~1) (注1)**

シンボル	アドレス	リセット後の値
U0RB	00A7h-00A6h番地	不定
U1RB	00AFh-00AEh番地	不定

ビットシンボル	ビット名	機能	RW
(b7-b0)	-	受信データ (D7 ~ D0)	RO
(b8)	-	受信データ (D8)	RO
(b11-b9)	-	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
OER	オーバランエラーフラグ (注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ (注2)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ (注2)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注2)	0: エラーなし 1: エラー発生	RO

注1. UiRBレジスタは必ず16ビット単位で読み出してください。  
 注2. SUM、PER、FER、OERビットは、UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0” (受信禁止)にしたとき、“0” (エラーなし)になります (SUMビットは、PER、FER、OERビットがすべて“0” (エラーなし)になると、“0” (エラーなし)になります)。また、PER、FERビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

**UARTiビットレートレジスタ (i=0~1) (注1、2、3)**

シンボル	アドレス	リセット後の値
U0BRG	00A1h番地	不定
U1BRG	00A9h番地	不定

機能	設定範囲	RW
設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h ~ FFh	WO

注1. 送受信停止中に書いてください。  
 注2. MOV命令を使用して書いてください。  
 注3. UiC0レジスタのCLK0~CLK1ビットを設定した後、UiBRGレジスタに書いてください。

図15.3 U0TB ~ U1TB、U0RB ~ U1RB、U0BRG ~ U1BRGレジスタ

UART<sub>i</sub>送受信モードレジスタ (i=0~1)

シンボル	アドレス	リセット後の値
UOMR	00A0h番地	00h
U1MR	00A8h番地	00h

ビットシンボル	ビット名	機能	RW
SMD0	シリアルI/Oモード選択ビット(注2)	b2 b1 b0 0 0 0 : シリアルインタフェースは無効 0 0 1 : クロック同期形シリアルI/Oモード 1 0 0 : UARTモード転送データ長7ビット 1 0 1 : UARTモード転送データ長8ビット 1 1 0 : UARTモード転送データ長9ビット 上記以外 : 設定しないでください	RW
SMD1		RW	
SMD2		RW	
CKDIR	内/外部クロック選択ビット(注3)	0 : 内部クロック 1 : 外部クロック(注1)	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	RW
-(b7)	予約ビット	"0" にしてください。	RW

注1. PD1レジスタのPD1\_6ビットを"0" (入力)にしてください。  
 注2. U1MRレジスタのSMD2~SMD0ビットを"000b"、"100b"、"101b"、"110b"以外にしないでください。  
 注3. UART1では、CKDIRビットは"0" (内部クロック)にしてください。

UART<sub>i</sub>送受信制御レジスタ0 (i=0~1)

シンボル	アドレス	リセット後の値
U0C0	00A4h番地	08h
U1C0	00ACh番地	08h

ビットシンボル	ビット名	機能	RW
CLK0	BRGカウントソース選択ビット(注)	b1 b0 0 0 : f1を選択 0 1 : f8選択 1 0 : f32を選択 1 1 : 設定しないでください	RW
CLK1		RW	
-(b2)	予約ビット	"0" にしてください。	RW
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	RO
-(b4)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		-
NCH	データ出力選択ビット	0 : TXDi端子はCMOS出力 1 : TXDi端子はNチャンネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりです送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりです送信データ出力、立ち下がりです受信データ入力	RW
UFORM	転送フォーマット選択ビット	0 : LSBファースト 1 : MSBファースト	RW

注1. BRGカウントソースを変更した場合は、UiBRGレジスタを再設定してください。

図15.4 U0MR ~ U1MR、U0C0 ~ U1C0レジスタ

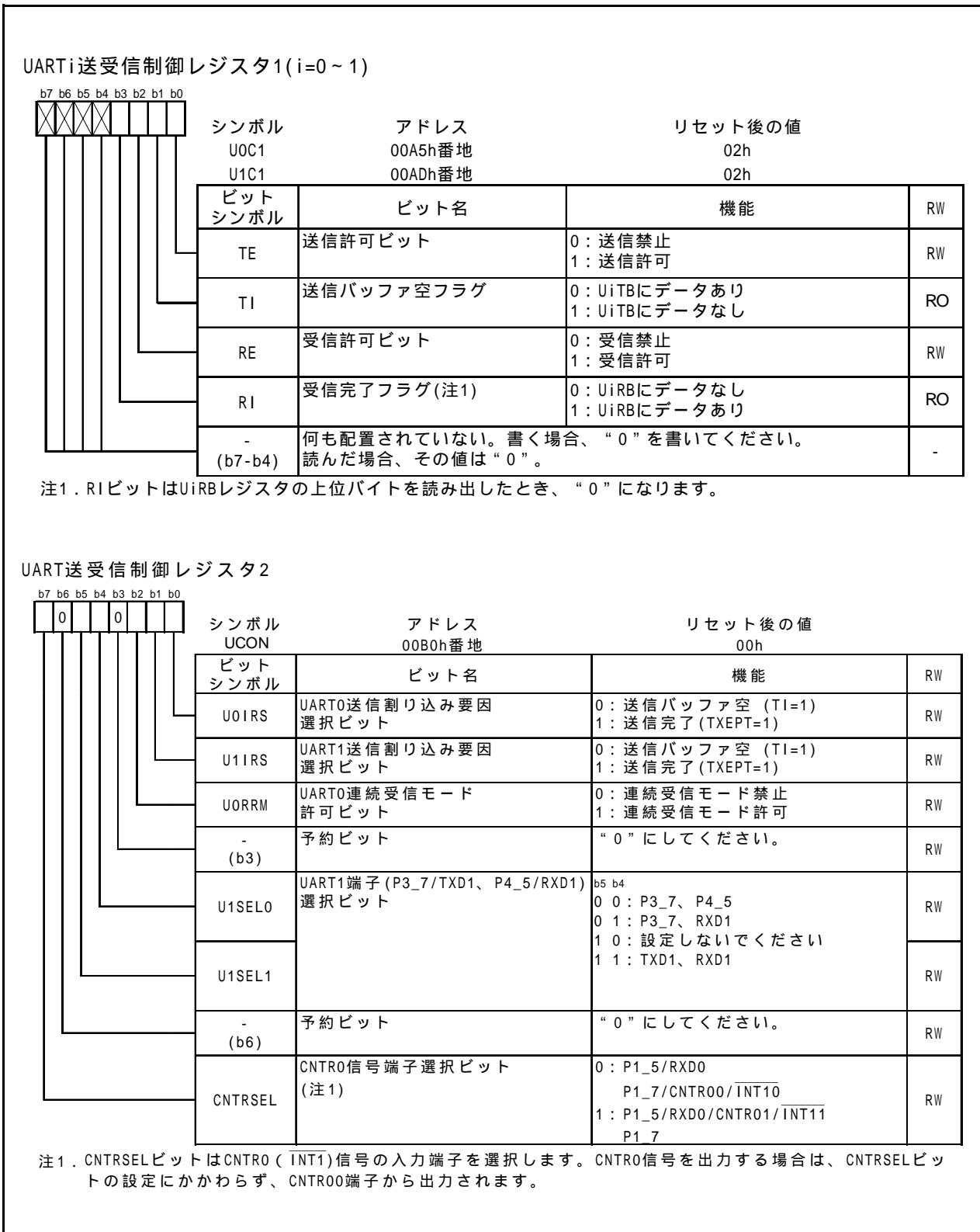


図15.5 U0C1 ~ U1C1、UCONレジスタ

## 15.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表 15.1 にクロック同期形シリアルI/Oモードの仕様を、表 15.2 にクロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)を示します。

表 15.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長 8ビット
転送クロック	・U0MRレジスタのCKDIRビットが“0”(内部クロック)： $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}$ $n=U_iBRG$ レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック)：CLK0端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 U0C1レジスタのREビットが“1”(受信許可) U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -U0IRSビットが“0”(送信バッファ空)： U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 ・受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) U0RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U0RBレジスタは不定になります。またS0RICレジスタのIRビットは変化しません。



表 15.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U0TB	0 ~ 7	送信データを設定してください
U0RB	0 ~ 7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	0 ~ 7	ビットレートを設定してください
U0MR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U0C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1” にしてください
	CNTRSEL	P1_5/RXD0/CNTR01/INT11を選択する場合は、“1” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 15.3 にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 15.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット = 0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0MRレジスタのCKDIRビット = 0
	転送クロック入力	U0MRレジスタのCKDIRビット = 1 PD1レジスタのPD1_6ビット = 0

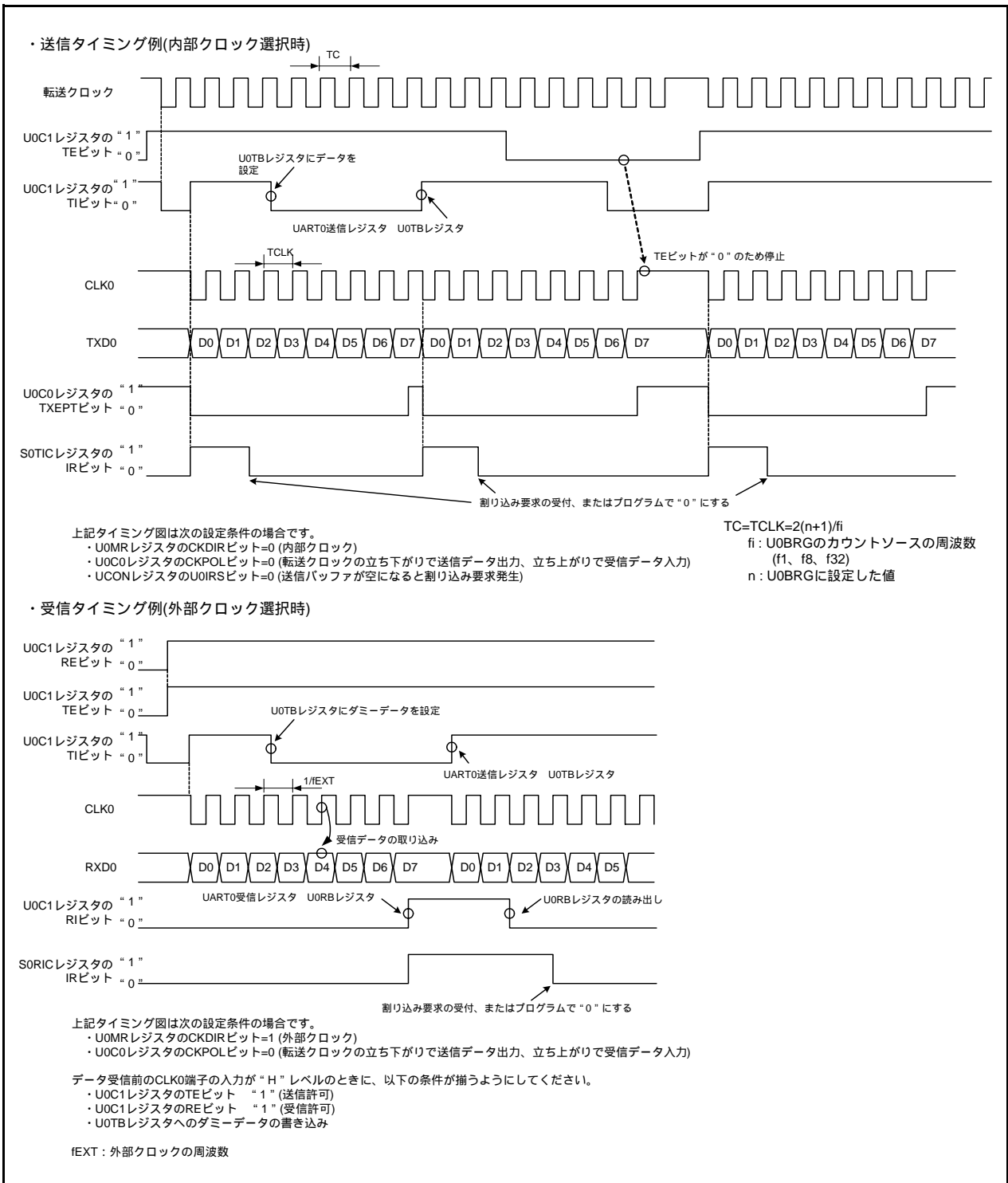


図 15.6 クロック同期形シリアルI/Oモード時の送受信タイミング例

### 15.1.1 極性選択機能

図 15.7 に転送クロックの極性を示します。U0C0 レジスタの CKPOL ビットによって転送クロックの極性を選択できます。

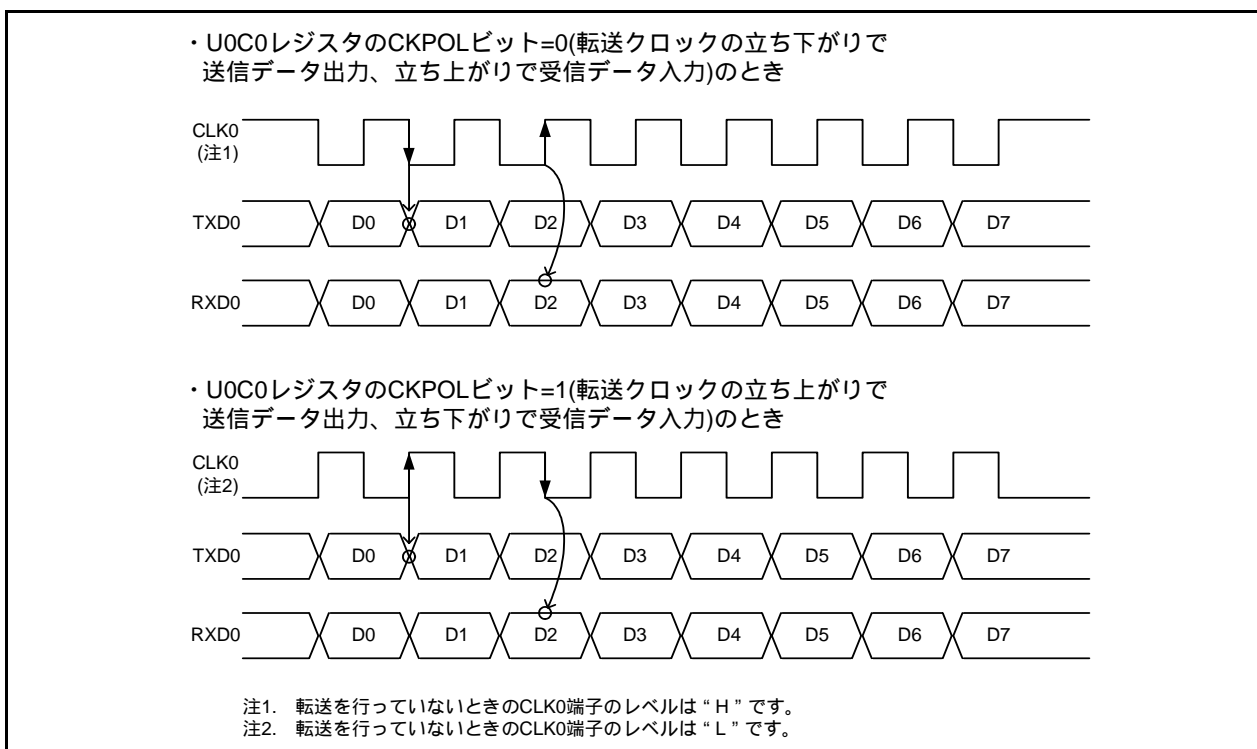


図 15.7 転送クロックの極性

### 15.1.2 LSBファースト、MSBファースト選択

図 15.8 に転送フォーマットを示します。U0C0 レジスタの UFORM ビットで転送フォーマットを選択できます。

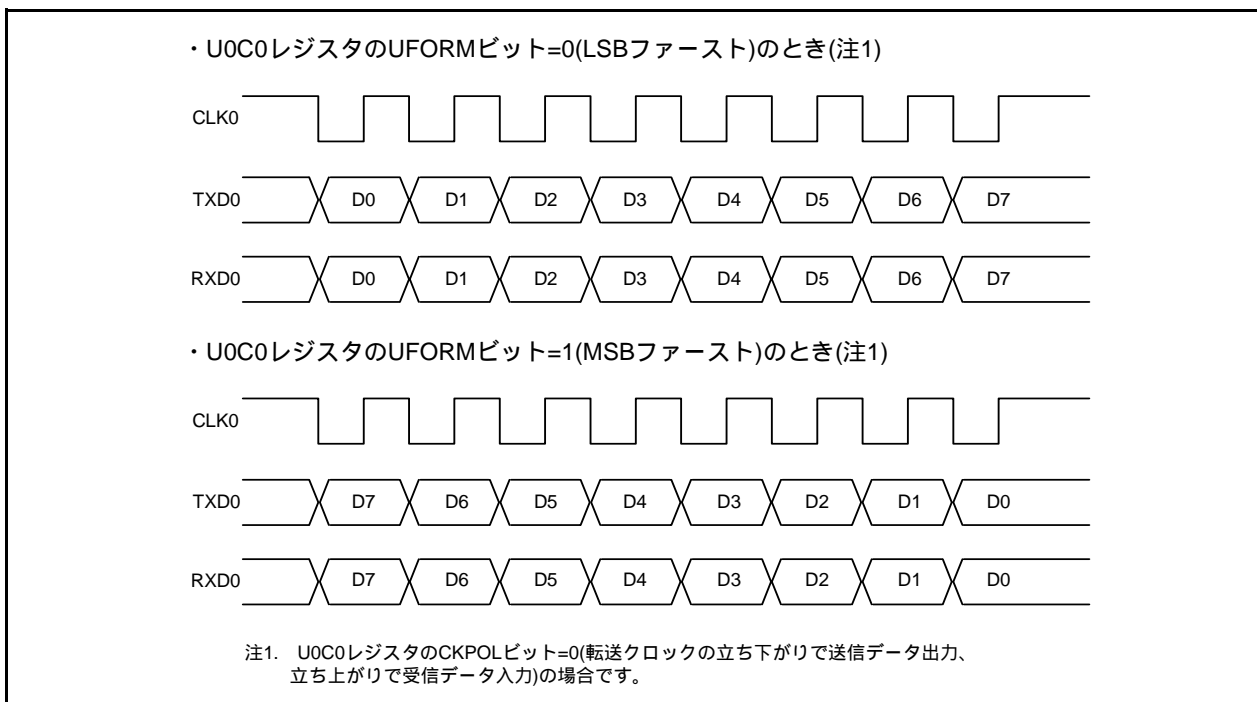


図 15.8 転送フォーマット

### 15.1.3 連続受信モード

UCONレジスタのU0RRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。U0RRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

## 15.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。表15.4にクロック非同期形シリアルI/Oモードの仕様を、表15.5にUARTモード時の使用レジスタと設定値を示します。

表15.4 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> <li>・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可</li> <li>・スタートビット 1ビット</li> <li>・パリティビット 奇数、偶数、無し選択可</li> <li>・ストップビット 1ビット、2ビット 選択可</li> </ul>
転送クロック	<ul style="list-style-type: none"> <li>・UiMRレジスタ(i=0~1)のCKDIRビットが“0”(内部クロック) : <math>f_j/(16(n+1))</math> f<sub>j</sub>=f<sub>1</sub>、f<sub>8</sub>、f<sub>32</sub> n=UiBRGレジスタの設定値 00h~FFh</li> <li>・CKDIRビットが“1”(外部クロック) : <math>f_{EXT}/(16(n+1))</math> f<sub>EXT</sub>はCLKi端子からの入力 n=UiBRGレジスタの設定値 00h~FFh</li> </ul>
送信開始条件	<ul style="list-style-type: none"> <li>・送信開始には、以下の条件が必要です。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)</li> </ul>
受信開始条件	<ul style="list-style-type: none"> <li>・受信開始には、以下の条件が必要です。 UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出</li> </ul>
割り込み要求発生タイミング	<ul style="list-style-type: none"> <li>・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時</li> <li>・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)</li> </ul>
エラー検出	<ul style="list-style-type: none"> <li>・オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生</li> <li>・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生</li> <li>・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生</li> <li>・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる</li> </ul>

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

表 15.5 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0 ~ 8	送信データを設定してください(注1)。
UiRB	0 ~ 8	受信データが読めます(注1)。
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください(注2)。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できません。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
UCON	U0IRS	UART0送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。
	CNTRSEL	P1_5/RXD0/CNTR01/INT11を選択する場合は、“1”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

注2. UART0のみ外部クロックを選択できます。

表 15.6にクロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTi (i = 0 ~ 1)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 15.6 クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット = 0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0MRレジスタのCKDIRビット = 0
	転送クロック入力	U0MRレジスタのCKDIRビット = 1 PD1レジスタのPD1_6ビット = 0
TXD1(P3_7)	シリアルデータ出力	UCONレジスタのU1SEL1 ~ U1SEL0ビット = 11b (UCONレジスタのU1SEL1 ~ U1SEL0ビット = 01bで受信だけを行うときはP3_7をポートとして使用可)
RXD1(P4_5)	シリアルデータ入力	PD4レジスタのPD4_5ビット = 0 UCONレジスタのU1SEL1 ~ U1SEL0ビット = 01bまたは11b (送信だけを行うときはポートとして使用不可)

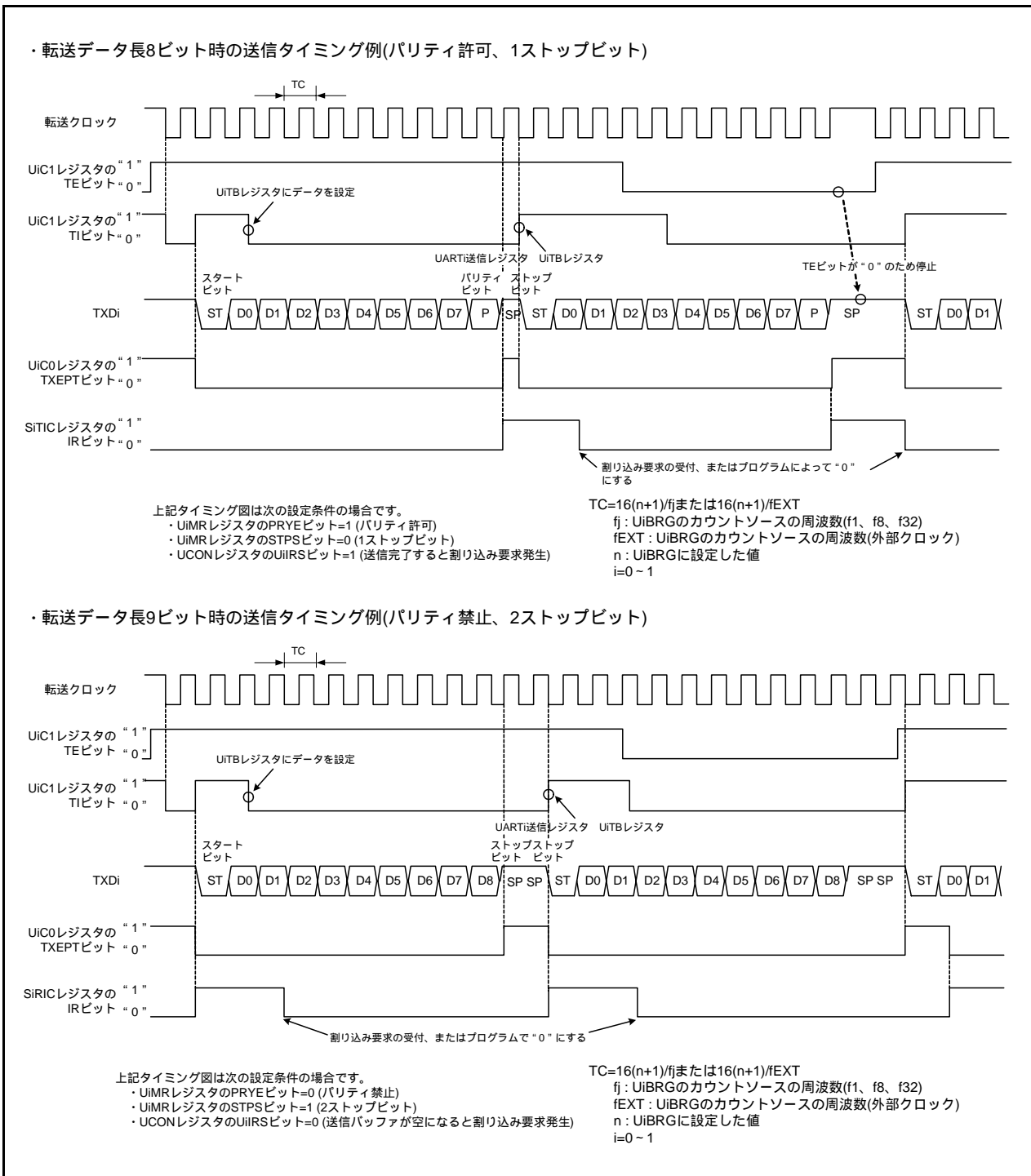


図15.9 UARTモード時の送信タイミング

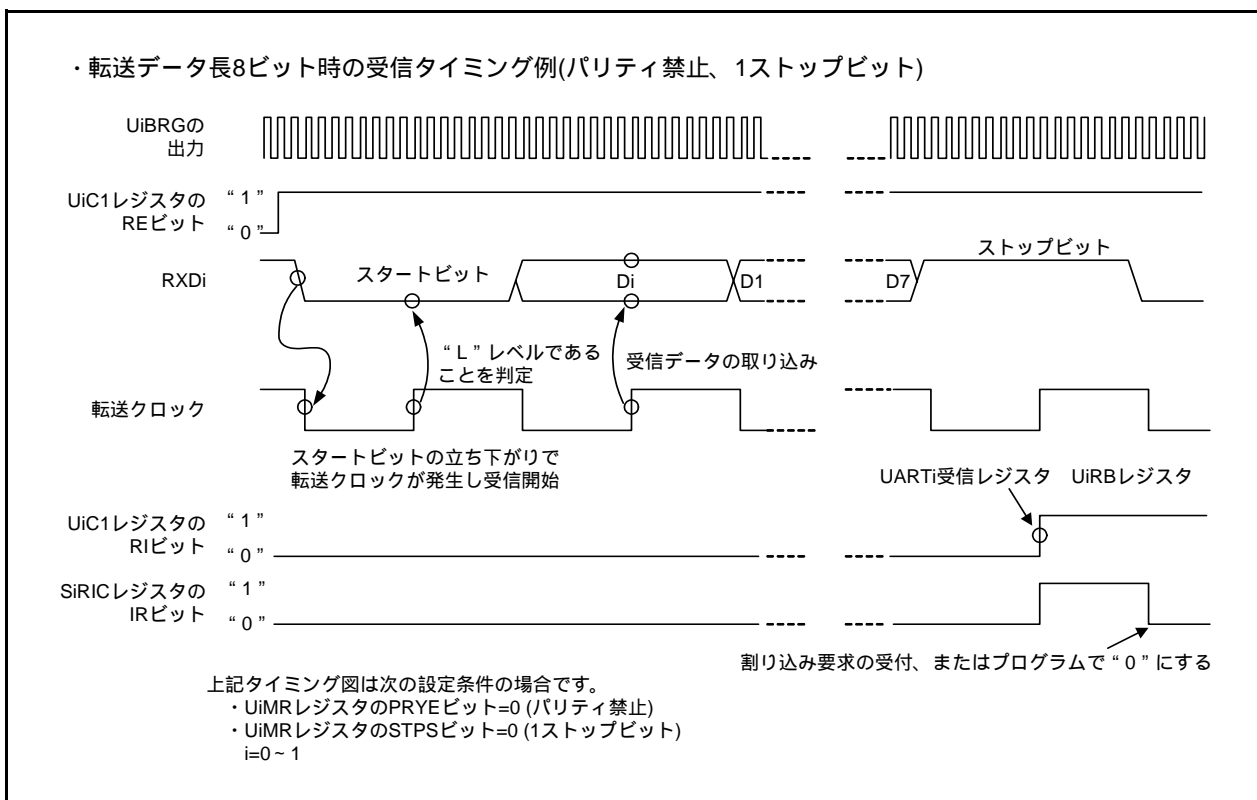


図 15.10 UARTモード時の受信タイミング例

### 15.2.1 CNTR0端子選択機能

P1\_7をCNTR00/ $\overline{\text{INT10}}$ 入力端子として使用するか、P1\_5をCNTR01/ $\overline{\text{INT11}}$ 入力端子として使用するかを、UCONレジスタのCNTRSELビットで選択します。

CNTRSELビットが“0”のときP1\_7がCNTR00/ $\overline{\text{INT10}}$ 端子になり、CNTRSELビットが“1”のとき、P1\_5がCNTR01/ $\overline{\text{INT11}}$ 端子になります。



## 15.2.2 ビットレート

UARTモードではUiBRGレジスタ(i=0 ~ 1)で分周した周波数の16分周がビットレートになります。

< UARTモード >

- ・ 内部クロック選択時
 
$$\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f<sub>j</sub> : UiBRGレジスタのカウンタソースの周波数(f<sub>1</sub>、f<sub>8</sub>、f<sub>32</sub>)
- ・ 外部クロック選択時
 
$$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f<sub>EXT</sub> : UiBRGレジスタのカウンタソースの周波数(外部クロック)

i = 0 ~ 1

図15.11 UiBRGレジスタ(i=0 ~ 1)の設定値の算出式

表15.7 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	UiBRGの カウンタソース	システムクロック = 20 MHz			システムクロック = 8 MHz		
		UiBRGの 設定値	実時間(bps)	誤差(%)	UiBRGの 設定値	実時間(bps)	誤差(%)
1200	f8	129 (81h)	1201.92	0.16	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	16 (10h)	29411.76	2.12
31250	f1	39 (27h)	31250.00	0.00	15 (0Fh)	31250.00	0.00
38400	f1	32 (20h)	37878.79	- 1.36	12 (0Ch)	38461.54	0.16
51200	f1	23 (17h)	52083.33	1.73	9 (09h)	50000.00	- 2.34

i=0 ~ 1

### 15.3 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UORBレジスタを読み出すときは、必ず16ビット単位で読み出してください。  
UORBレジスタのPER、FERビットとU0C1レジスタのRIビットは、UORBレジスタの上位バイトを読み出したとき、“0”になります。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W 00A6H, R0 ;UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B #XXH, 00A3H ;U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B #XXH, 00A2H ;U0TBレジスタの下位バイトへの書き込み
```

## 16. コンパレータ

コンパレータはVREF端子から入力される電位と、アナログ入力を比較します。アナログ入力は、P1\_0 ~ P1\_3と端子を共用しています。これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。

コンパレータ変換した結果は、ADレジスタに格納されます

表16.1にコンパレータの性能を、図16.1にコンパレータのブロック図を、図16.2 ~ 図16.3にコンパレータ関連のレジスタを示します。

表16.1 コンパレータの性能

項目	性能
コンパレータ変換方式	コンパレータ方式
アナログ入力電圧	0V ~ AVCC
動作クロック AD(注1)	4.2V AVCC 5.5VのときfRING-fast、f1、f2、f4 2.7V AVCC < 4.2Vのときf2、f4
絶対精度	AVCC = 2.7 ~ 5.5Vのとき ± 20mV
動作モード	単発モード、繰り返しモード
アナログ入力端子	4本(AN8 ~ AN11)
コンパレータ変換開始条件	<ul style="list-style-type: none"> <li>・ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(コンパレータ変換開始)にする</li> <li>・キャプチャ ADSTビットが“1”の状態でタイムZ割り込み要求が発生する</li> </ul>
1端子あたりの変換速度	10 ADサイクル

注1. ADの周波数を10MHz以下にしてください。

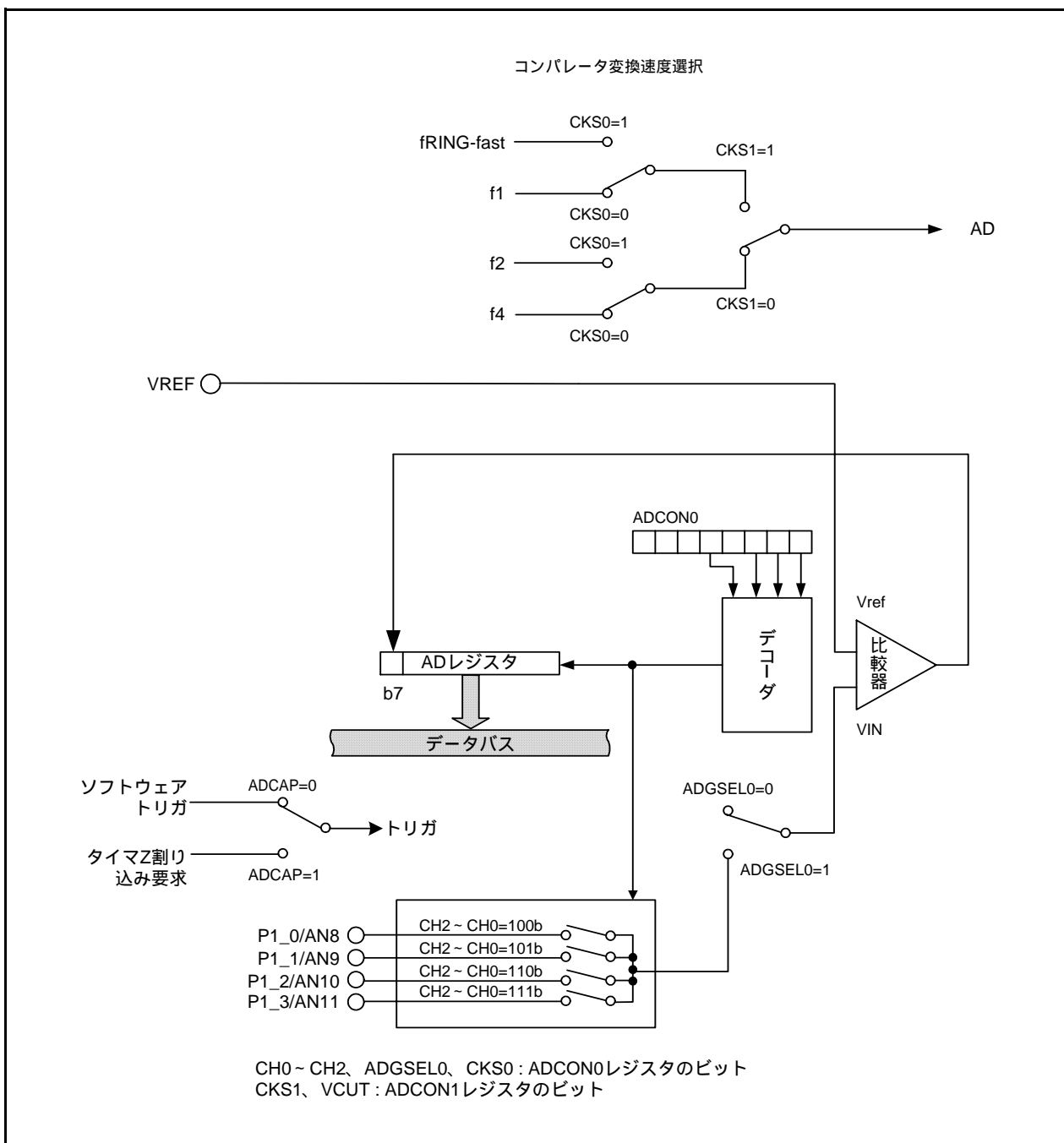


図16.1 コンパレータのブロック図

A/D制御レジスタ0(注1)

シンボル ADCON0	アドレス 00D6h番地	リセット後の値 0000XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0	RW
CH1		1 0 0 : AN8	RW
CH2		1 0 1 : AN9 1 1 0 : AN10 1 1 1 : AN11 上記以外: 設定しないでください	RW
MD	コンパレータ変換動作 モード選択ビット(注3)	0: 単発モード 1: 繰り返しモード	RW
ADGSELO	アナログ入力グループ選 択ビット(注5)	0: 無効 1: 有効 (AN8 ~ AN11)	RW
ADCAP	コンパレータ変換自動開 始ビット	0: ソフトウェアトリガ(ADSTビット)で開始 1: キャプチャ(タイマZ割り込み要求)で開始	RW
ADST	コンパレータ変換開始フ ラグ	0: コンパレータ変換停止 1: コンパレータ変換開始	RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注4) 1: fRING-fast	RW

注1. コンパレータ変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。  
 注2. CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。ADGSELOビットを“1”にした後、CH0 ~ CH2ビットに書いてください。  
 注3. コンパレータ変換動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。  
 注4. ADの周波数を10MHz以下にしてください。  
 注5. コンパレータを使用するときは、ADGSELOビットを“1”にしてください。

A/D制御レジスタ1(注1)

シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0”にしてください。	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参 照してください。	RW
- (b7-b5)	予約ビット	“0”にしてください。	RW

注1. コンパレータ変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

図16.2 ADCON0 ~ ADCON1レジスタ

## A/D制御レジスタ2(注1)

ビット シンボル	ビット名	機能	RW
- (b0)	予約ビット	“0”にしてください。	RW
CMPSEL	コンパレータ機能選択ビット	0: 使用しない 1: 使用する	RW
- (b3-b2)	予約ビット	“0”にしてください。	RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-

注1. コンパレータ変換中にADCON2レジスタの内容を書き替えた場合、変換結果は不定となります。

## A/Dレジスタ

シンボル	アドレス	リセット後の値	機能	RW
AD	00C0h番地	不定		
			何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。	-
			コンパレータ変換結果	RO

図16.3 ADCON2 ~ ADレジスタ

### 16.1 単発モード

選択した1本の端子の入力電圧を1回コンパレータ変換するモードです。表16.2に単発モードの仕様を、図16.4に単発モード時のADCON0～ADCON1レジスタを示します。

表16.2 単発モードの仕様

項目	仕様
機能	CH2～CH0ビットで選択した端子の入力電圧を1回コンパレータ変換する
開始条件	<ul style="list-style-type: none"> <li>・ ADCAPビットが“0”(ソフトウェアトリガ)の場合 ADSTビットを“1”(コンパレータ変換開始)にする</li> <li>・ ADCAPビットが“1”(キャプチャ)の場合 ADSTビットが“1”の状態タイマZ割り込み要求が発生する</li> </ul>
停止条件	<ul style="list-style-type: none"> <li>・ コンパレータ変換終了(ADSTビットが“0”になる)</li> <li>・ ADSTビットを“0”にする</li> </ul>
割り込み要求発生タイミング	コンパレータ変換終了時
入力端子	AN8～AN11から1端子を選択
コンパレータ変換値の読み出し	ADレジスタの読み出し

**A/D制御レジスタ0(注1)**

シンボル ADCON0	アドレス 00D6h番地	リセット後の値 00000XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0 1 0 0 : AN8	RW
CH1		1 0 1 : AN9	RW
CH2		1 1 0 : AN10 1 1 1 : AN11 上記以外: 設定しないでください	RW
MD	コンパレータ変換動作 モード選択ビット(注3)	0: 単発モード	RW
ADGSELO	アナログ入力グループ選 択ビット(注5)	0: 無効 1: 有効 (AN8 ~ AN11)	RW
ADCAP	コンパレータ変換自動開 始ビット	0: ソフトウェアトリガ(ADSTビット)で開始 1: キャプチャ(タイマZ割り込み要求)で開始	RW
ADST	コンパレータ変換開始フ ラグ	0: コンパレータ変換停止 1: コンパレータ変換開始	RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注4) 1: fRING-fast	RW

注1. コンパレータ変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。  
 注2. CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。ADGSELOビットを“1”にした後、CH0 ~ CH2ビットに書いてください。  
 注3. コンパレータ変換動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。  
 注4. ADの周波数を10MHz以下にしてください。  
 注5. コンパレータを使用するときは、ADGSELOビットを“1”にしてください。

**A/D制御レジスタ1(注1)**

シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0”にしてください。	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参 照してください。	RW
- (b7-b5)	予約ビット	“0”にしてください。	RW

注1. コンパレータ変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

図16.4 単発モード時のADCON0 ~ ADCON1レジスタ



## 16.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しコンパレータ変換するモードです。表16.3に繰り返しモードの仕様を、図16.5に繰り返しモード時のADCON0～ADCON1レジスタを示します。

表16.3 繰り返しモードの仕様

項目	仕様
機能	CH2～CH0ビットとADGSEL0ビットで選択した端子の入力電圧を繰り返しコンパレータ変換する
開始条件	<ul style="list-style-type: none"> <li>・ ADCAPビットが“0”(ソフトウェアトリガ)の場合 ADSTビットを“1”(コンパレータ変換開始)にする</li> <li>・ ADCAPビットが“1”(キャプチャ)の場合 ADSTビットが“1”の状態タイマZ割り込み要求が発生する</li> </ul>
停止条件	ADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
入力端子	AN8～AN11から1端子を選択
コンパレータ変換値の読み出し	ADレジスタの読み出し

A/D制御レジスタ0(注1)

ビットシンボル	ビット名	機能	RW
CH0	アナログ入力端子選択ビット(注2)	b2 b1 b0 1 0 0 : AN8 1 0 1 : AN9 1 1 0 : AN10 1 1 1 : AN11 上記以外: 設定しないでください	RW
CH1			RW
CH2			RW
MD	コンパレータ変換動作モード選択ビット(注3)	1: 繰り返しモード	RW
ADGSELO	アナログ入力グループ選択ビット(注5)	0: 無効 1: 有効 (AN8 ~ AN11)	RW
ADCAP	コンパレータ変換自動開始ビット	0: ソフトウェアトリガ(ADSTビット)で開始 1: キャプチャ(タイマZ割り込み要求)で開始	RW
ADST	コンパレータ変換開始フラグ	0: コンパレータ変換停止 1: コンパレータ変換開始	RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注4) 1: fRING-fast	RW

注1. コンパレータ変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。ADGSELOビットを“1”にした後、CH0 ~ CH2ビットに書いてください。

注3. コンパレータ変換動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。

注4. ADの周波数を10MHz以下にしてください。

注5. コンパレータを使用するときは、ADGSELOビットを“1”にしてください。

A/D制御レジスタ1(注1)

ビットシンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0”にしてください。	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参照してください。	RW
- (b7-b5)	予約ビット	“0”にしてください。	RW

注1. コンパレータ変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

図16.5 繰り返しモード時のADCON0 ~ ADCON1レジスタ

### 16.3 コンパレータ使用上の注意

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのCMPSELビットに対する書き込みは、コンパレータ変換停止時(トリガ発生前)に行ってください。
- コンパレータ変換動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合  
コンパレータ変換が完了したことを確認してから、ADレジスタを読み出してください(コンパレータ変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できません)。
- 繰り返しモードで使用する場合  
CPUクロックは、メインクロックを分周せずに使用してください。
- コンパレータ変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(コンパレータ変換停止)にして強制終了した場合、コンパレータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。
- VCC/AVCC端子とVSS/AVSS端子間に0.1  $\mu$ Fのコンデンサを接続してください。

## 17. フラッシュメモリ

### 17.1 概要

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで操作できます。

表17.1にフラッシュメモリの性能概要を示します(表17.1に示す以外の項目は「表1.1 R8C/18グループの性能概要」、「表1.2 R8C/19グループの性能概要」を参照してください)。

表17.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力モード)
消去ブロック分割		図17.1、図17.2を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換え制御方式		FMR0レジスタのFMR02ビットによるブロック0、ブロック1に対する書き換え制御 FMR1レジスタのFMR15、FMR16ビットによるブロック0、ブロック1に対する個別の書き換え制御
コマンド数		5コマンド
プログラム、イレーズ回数 (注1)	ブロック0、1(プログラムROM)	R8C/18グループ: 100回; R8C/19グループ: 1,000回
	ブロックA、B(データフラッシュ) (注2)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注2. R8C/19グループだけが内蔵します。

表17.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード: フラッシュメモリ以外の領域で書き換え可能 EW1モード: フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ		シリアルライタ	パラレルライタ

## 17.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。図17.1にR8C/18グループのフラッシュメモリのブロック図を、図17.2にR8C/19グループのフラッシュメモリのブロック図を示します。

R8C/19グループのユーザROM領域には、マイコンの動作プログラムを格納する領域(プログラムROM)とは別に、1KバイトのブロックAおよび1KバイトのブロックB(データフラッシュ)があります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブロック0、ブロック1を、CPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在します。

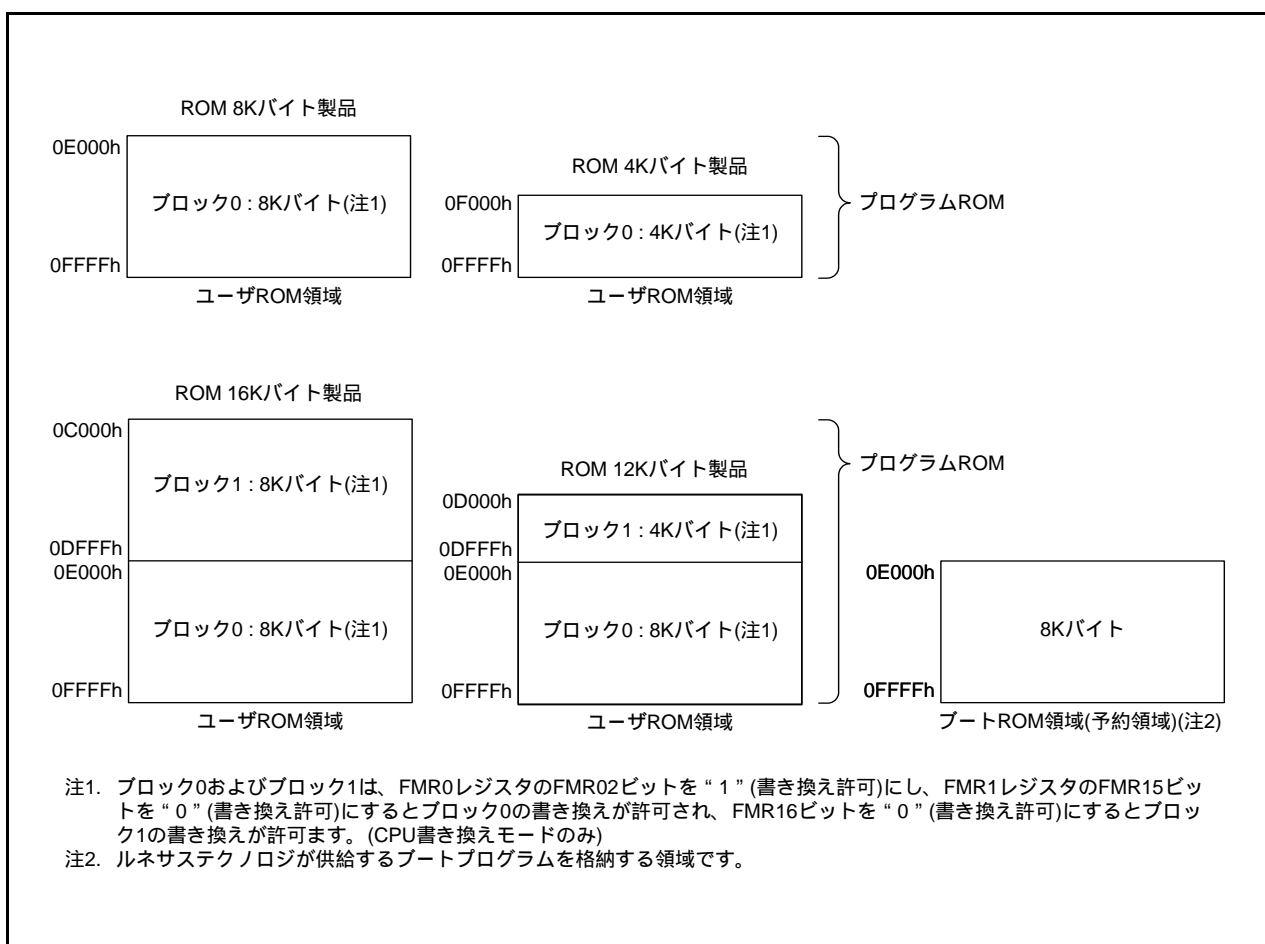


図17.1 R8C/18グループのフラッシュメモリのブロック図

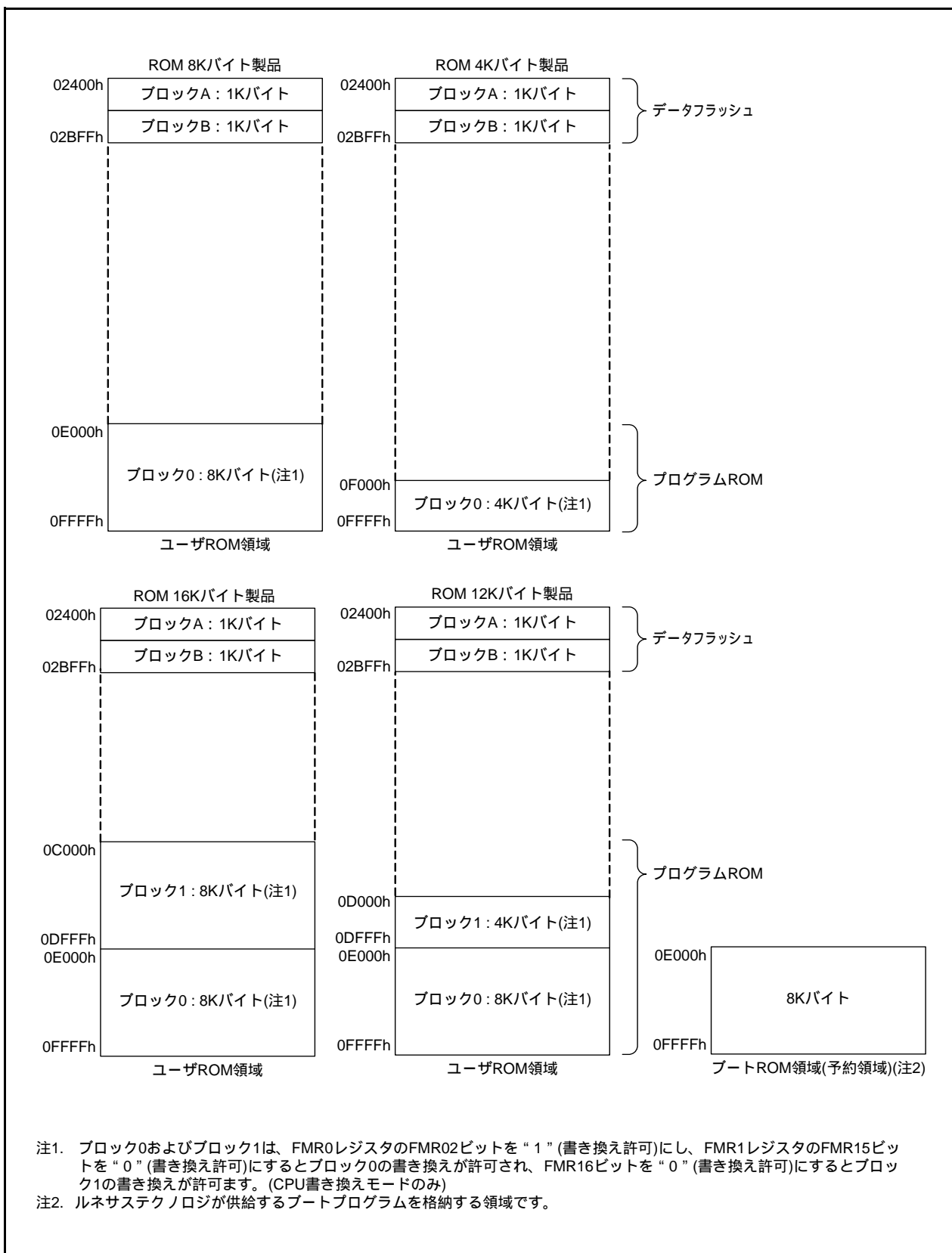


図17.2 R8C/19グループのフラッシュメモリのブロック図

### 17.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

#### 17.3.1 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から00FFDFh、00FFE3h、00FFEBh、00FFEFh、00FFF3h、00FFF7h、00FFFBh番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

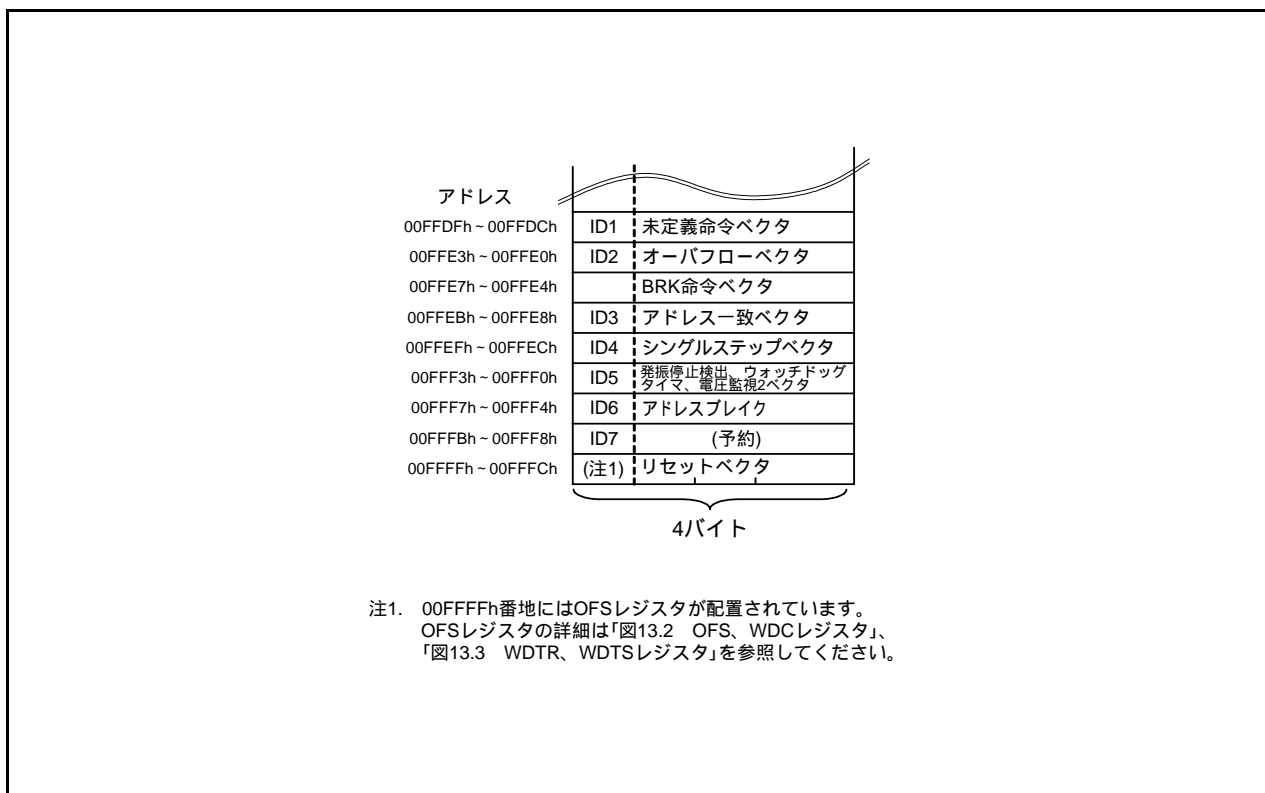


図17.3 IDコードの格納番地

### 17.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタによって、内蔵フラッシュメモリの内容の読み出し、変更を禁止する機能です。図17.4にOFSレジスタを示します。

ROMCR ビットに“1”、ROMCPI ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、変更が禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFh番地	出荷時の値 FFh(注2)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCPI有効	RW
ROMCPI	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b6-b4)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。  
注2. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図17.4 OFSレジスタ



## 17.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードで自動書き込み動作中に割り込み要求が発生した場合に、自動書き込み動作を一時中断して割り込み処理を行うプログラムサスペンド機能を持ちます。プログラムサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表17.3にEW0モードとEW1モードの違いを示します。

表17.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く(注1)
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスクブル割り込みの割り込み要求が発生
プログラムサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR42ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスクブル割り込みの割り込み要求が発生
CPUクロック	5MHz以下	左記制限なし(使用するクロック周波数)

注1. ブロック0、ブロック1は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

### 17.4.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(サスペンド許可)、FMR41ビットを“1”(イレーズサスペンドリクエスト)にしてください。そしてtd(SR-ES)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

自動書き込み中に、プログラムサスペンドに移行する場合は、FMR40ビットを“1”(サスペンド許可)、FMR42ビットを“1”(プログラムサスペンドリクエスト)にしてください。そしてtd(SR-ES)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR42ビットを“0”(プログラムリスタート)にすると、自動書き込みを再開します。

### 17.4.2 EW1モード

FMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR11ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタコマンドを実行しないでください。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてからブロックイレーズコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。ブロックイレーズコマンド実行からtd(SR-ES)後、割り込み要求が受け付けられません。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

自動書き込み時、プログラムサスペンド機能を有効にする場合には、FMR40ビットを“1”(サスペンド許可)にしてからプログラムコマンドを実行してください。またプログラムサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。プログラムコマンド実行からtd(SR-ES)後、割り込み要求が受け付けられません。

割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、自動書き込みが中断されます。割り込み処理終了後、自動書き込みが完了していないとき(FMR00ビットが“0”)は、FMR42ビットを“0”(プログラムリスタート)にして自動書き込みを再開させてください。

図17.5にFMR0レジスタ、図17.6にFMR1レジスタ、図17.7にFMR4レジスタを示します。

#### 17.4.2.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中は“0”、それ以外のときには“1”になります。

#### 17.4.2.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

#### 17.4.2.3 FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けません。

FMR02ビットが“1”(書き換え許可)のとき、ブロック0とブロック1はFMR15、FMR16ビットで書き換えが制御されます。

#### 17.4.2.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合

- オンチップオシレータモード(メインクロック停止)でさらに低消費電力にする場合

図17.11にオンチップオシレータモード(メインクロック停止)でさらに低消費電力にする処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

#### 17.4.2.5 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「17.4.5 フルステータスチェック」を参照してください。

#### 17.4.2.6 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「17.4.5 フルステータスチェック」を参照してください。

#### 17.4.2.7 FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

#### 17.4.2.8 FMR15ビット

FMR02ビットが“1”(書き換え許可)で、FMR15ビットが“0”(書き換え許可)のとき、ブロック0はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

#### 17.4.2.9 FMR16ビット

FMR02ビットが“1”(書き換え許可)で、FMR16ビットが“0”(書き換え許可)のとき、ブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

#### 17.4.2.10 FMR40 ビット

FMR40ビットを“1”(許可)にすると、サスペンド機能が許可されます。

#### 17.4.2.11 FMR41 ビット

EW0モードでは、プログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレーズリスタート)にしてください。

#### 17.4.2.12 FMR42 ビット

EW0モードでは、プログラムでFMR42ビットを“1”にすると、プログラムサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR42ビットは自動的に“1”(プログラムサスペンドリクエスト)になり、プログラムサスペンドモードに移行します。

自動書き込み動作を再開するときは、FMR42ビットを“0”(プログラムリスタート)にしてください。

#### 17.4.2.13 FMR43 ビット

自動消去を開始すると、FMR43ビットが“1”(イレーズ実行中)になります。イレーズサスペンド中もFMR43ビットは“1”(イレーズ実行中)のままです。

自動消去が終了すると、FMR43ビットが“0”(イレーズ未実行)になります。

#### 17.4.2.14 FMR44 ビット

自動書き込みを開始すると、FMR44ビットが“1”(プログラム実行中)になります。プログラムサスペンド中もFMR44ビットは“1”(プログラム実行中)のままです。

自動書き込みが終了すると、FMR44ビットが“0”(プログラム未実行)になります。

#### 17.4.2.15 FMR46 ビット

自動消去実行中は、FMR46ビットが“0”(リード禁止)になります。サスペンドモード中は“1”(リード許可)になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

#### 17.4.2.16 FMR47 ビット

FMR47ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

フラッシュメモリ制御レジスタ0

シンボル	アドレス	リセット後の値	
FMR0	01B7h番地	0000001b	
ビットシンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー (書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット(注1)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ブロック0、ブロック1書き換え許可ビット(注2、6)	0: 書き換え禁止 1: 書き換え許可	RW
FMSTP	フラッシュメモリ停止ビット(注3、5)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
- (b5-b4)	予約ビット	"0" にしてください。	RW
FMR06	プログラムステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO

注1. "1" にするときは、"0" を書いた後、続けて"1" を書いてください。"0" を書いた後、"1" を書くまでに割り込みが入らないようにしてください。  
このビットはリードアレイモードにしてから"0" にしてください。

注2. "1" にするときは、FMR01ビットが"1"の状態、このビットに"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。

注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。

注4. クリアステータスコマンドを実行すると"0"になります。

注5. FMR01ビットが"1" (CPU書き換えモード)のとき有効です。FMR01ビットが"0"のとき、FMSTPビットに"1"を書くとFMSTPビットは"1"になりますが、フラッシュメモリは低消費電力状態にならず、初期化もされません。

注6. FMR01ビットを"0" (CPU書き換えモード無効)にすると、FMR02ビットは"0" (書き換え禁止)になります。

図17.5 FMR0レジスタ

フラッシュメモリ制御レジスタ1

シンボル FMR1	アドレス 01B5h番地	リセット後の値 1000000Xb	
ビット シンボル	ビット名	機能	RW
- (b0)	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット (注1、2)	0: EW0モード 1: EW1モード	RW
- (b4-b2)	予約ビット	“0” にしてください。	RW
FMR15	ブロック0書き換え禁止 ビット(注2、3)	0: 書き換え許可 1: 書き換え禁止	RW
FMR16	ブロック1書き換え禁止 ビット(注2、3)	0: 書き換え許可 1: 書き換え禁止	RW
- (b7)	予約ビット	“1” にしてください。	RW

注1. “1” にするときは、FMR01ビットが“1”(CPU書き換えモード有効)の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. FMR01ビットを“0”(CPU書き換えモード無効)にすると、“0”になります。

注3. FMR01ビットが“1”(CPU書き換えモード有効)のとき、FMR15およびFMR16ビットに書けます。  
“0”にするときは、このビットに“1”を書いた後、続けて“0”を書いてください。  
“1”にするときは、このビットに“1”を書いてください。

図17.6 FMR1レジスタ

## フラッシュメモリ制御レジスタ4

ビットシンボル	ビット名	機能	RW
FMR40	サスペンド機能許可ビット(注1)	0: 禁止 1: 許可	RW
FMR41	イレーズサスペンドリクエストビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	RW
FMR42	プログラムサスペンドリクエストビット(注3)	0: プログラムリスタート 1: プログラムサスペンドリクエスト	RW
FMR43	イレーズコマンドフラグ	0: イレーズ未実行 1: イレーズ実行中	RO
FMR44	プログラムコマンドフラグ	0: プログラム未実行 1: プログラム実行中	RO
- (b5)	予約ビット	"0" にしてください。	RO
FMR46	リードステータスフラグ	0: リード禁止 1: リード許可	RO
FMR47	低消費電流リードモード許可ビット(注1、4)	0: 禁止 1: 許可	RW

注1. "1" にするときは、このビットに"0"を書いた後、続けて"1"を書いてください。  
"0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。

注2. FMR41ビットはFMR40ビットが"1"(許可)のときのみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ、書き込みが可能となります。(上記期間以外は"0"になります。)  
EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。  
EW1モードではFMR40ビットが"1"のとき、消去中にマスカブル割り込みが発生すると自動的に"1"になります。プログラムによって"1"を書き込むことはできません。("0"書き込みは可能)

注3. FMR42ビットはFMR40ビットが"1"(許可)のときのみ有効になり、プログラムコマンド発行から自動書き込み終了までの期間のみ、このビットへの書き込みが可能となります。(上記期間以外は"0"になります。)  
EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。  
EW1モードではFMR40ビットが"1"のとき、自動書き込み中にマスカブル割り込みが発生すると自動的に"1"になります。プログラムによって"1"を書き込むことはできません。("0"書き込みは可能)

注4. このモードは低速オンチップオシレータモード時のみ、使用してください。

## ☒ 17.7 FMR4レジスタ

図17.8にサスペンド動作に関するタイミングを示します。

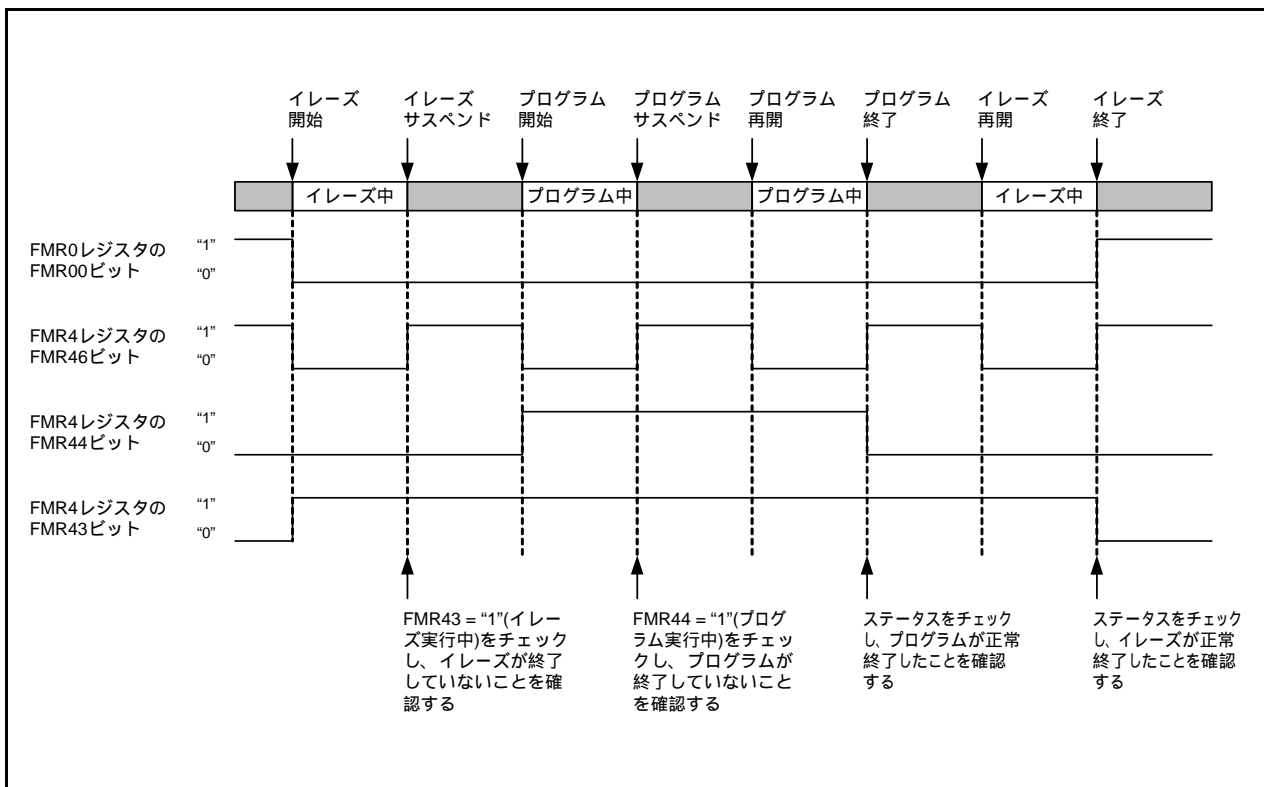


図17.8 サスペンド動作に関するタイミング



図17.9にEW0モードの設定と解除方法を、図17.10にEW1モードの設定と解除方法を示します。

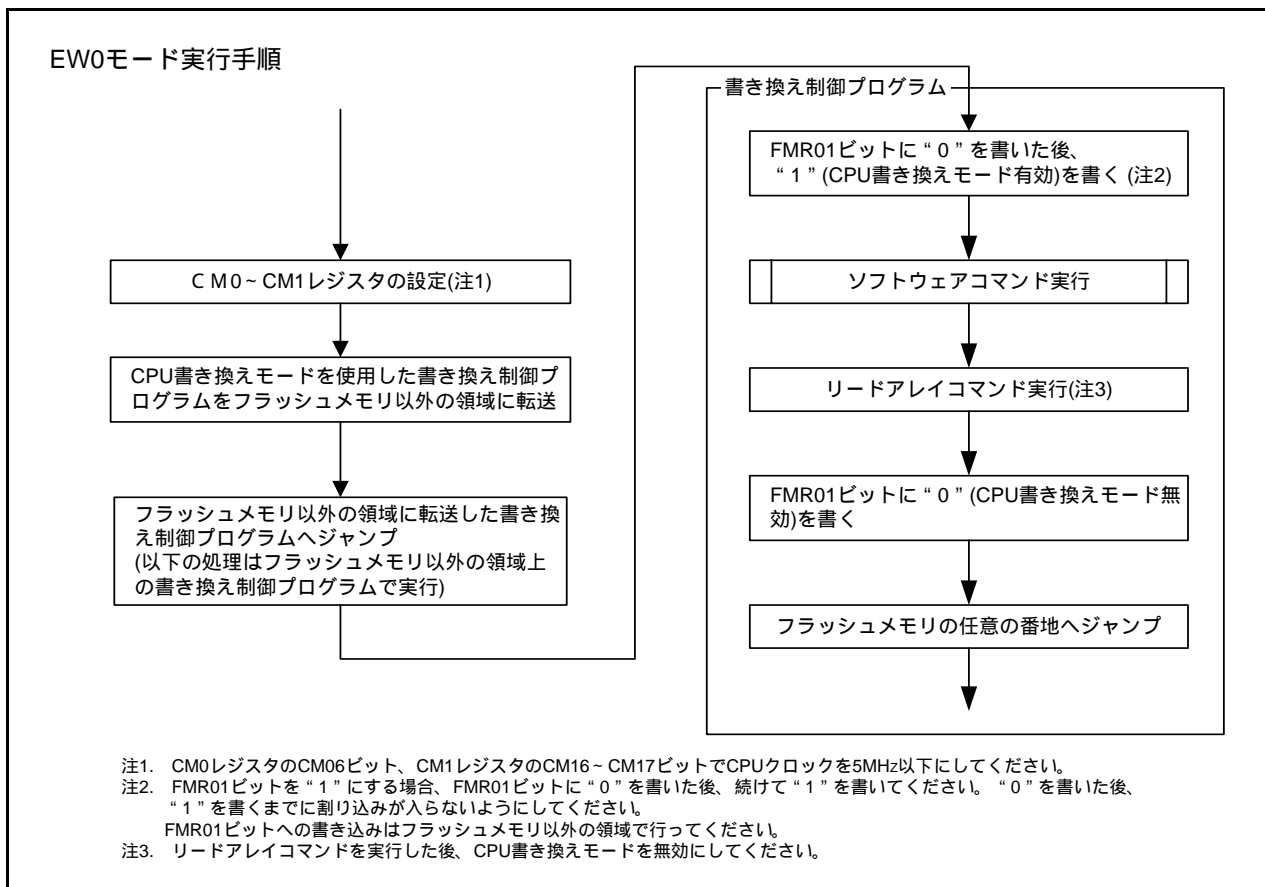


図17.9 EW0モードの設定と解除方法

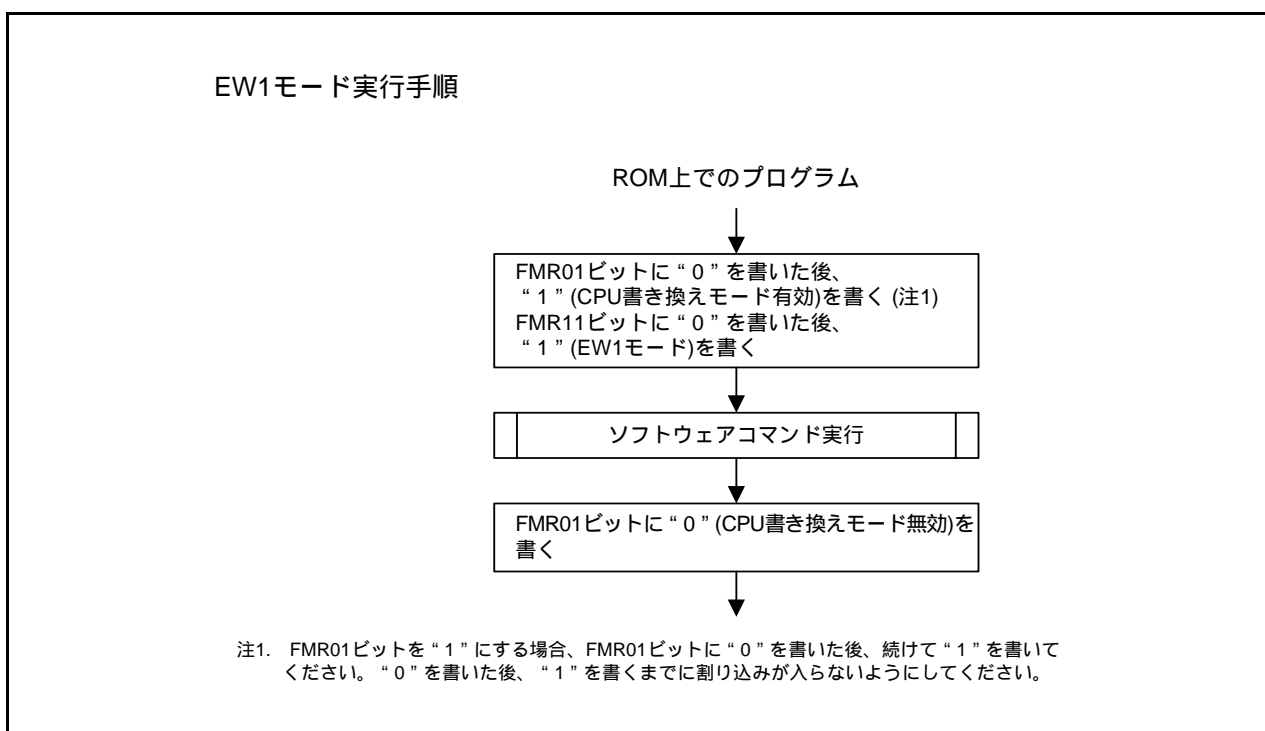


図17.10 EW1モードの設定と解除方法

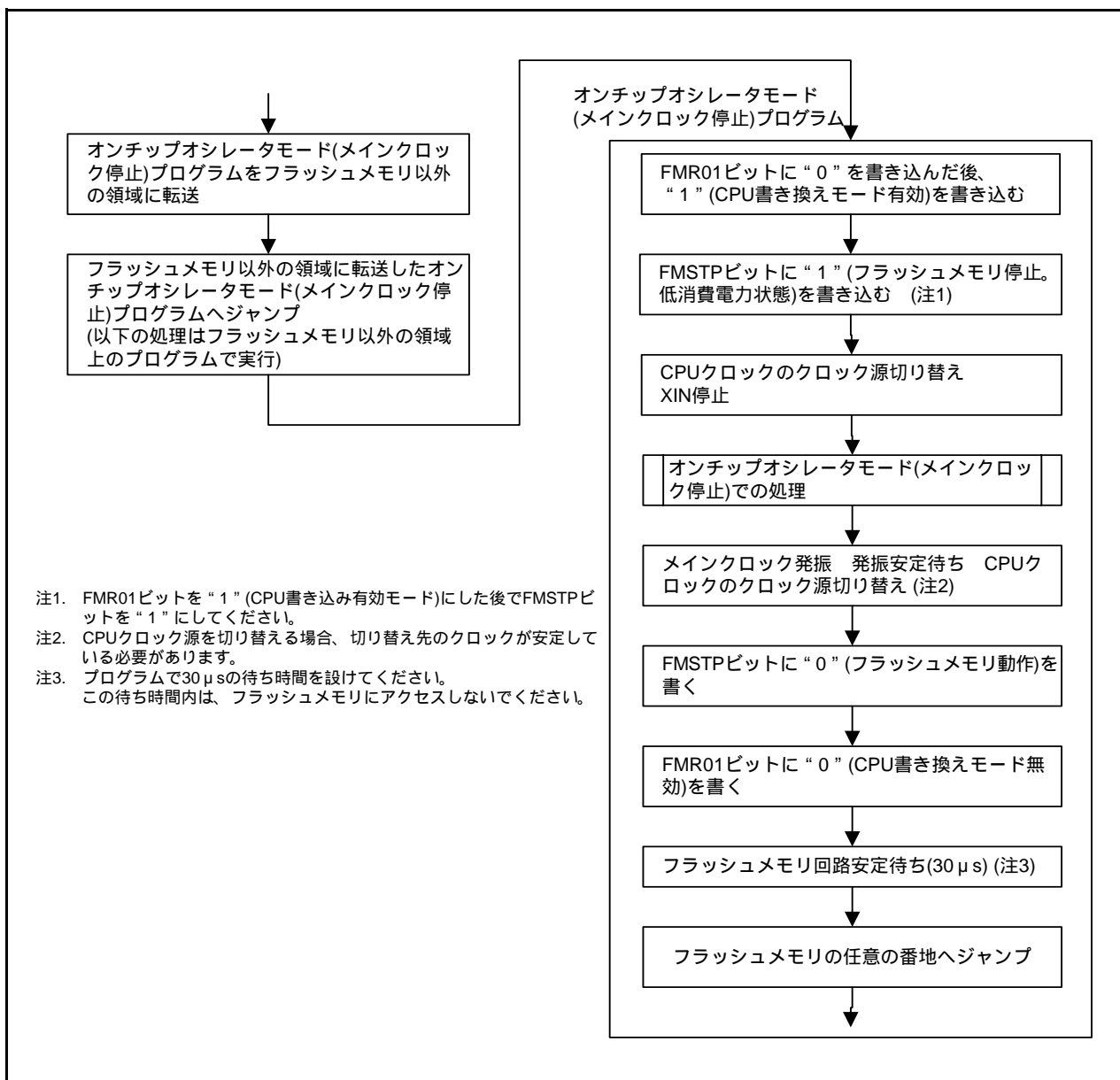


図17.11 オンチップオシレータモード(メインクロック停止)でさらに低消費電力にする処理

### 17.4.3 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

表17.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D7 ~ D0)	モード	アドレス	データ (D7 ~ D0)
リードアレイ	ライト	x	FFh			
リードステータスレジスタ	ライト	x	70h	リード	x	SRD
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h

SRD : ステータスレジスタデータ(D7 ~ D0)。

WA : 書き込み番地(第1バスサイクルのアドレスは第2バスサイクルのアドレスと同一番地にしてください)。

WD : 書き込みデータ(8ビット)。

BA : ブロックの任意の番地。

x : ユーザROM領域内の任意の番地

#### 17.4.3.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

#### 17.4.3.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「17.4.4 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

#### 17.4.3.3 クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FMR0レジスタのFMR06 ~ FMR07ビットとステータスレジスタのSR4 ~ SR5が“0”になります。

#### 17.4.3.4 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「17.4.5 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが1(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

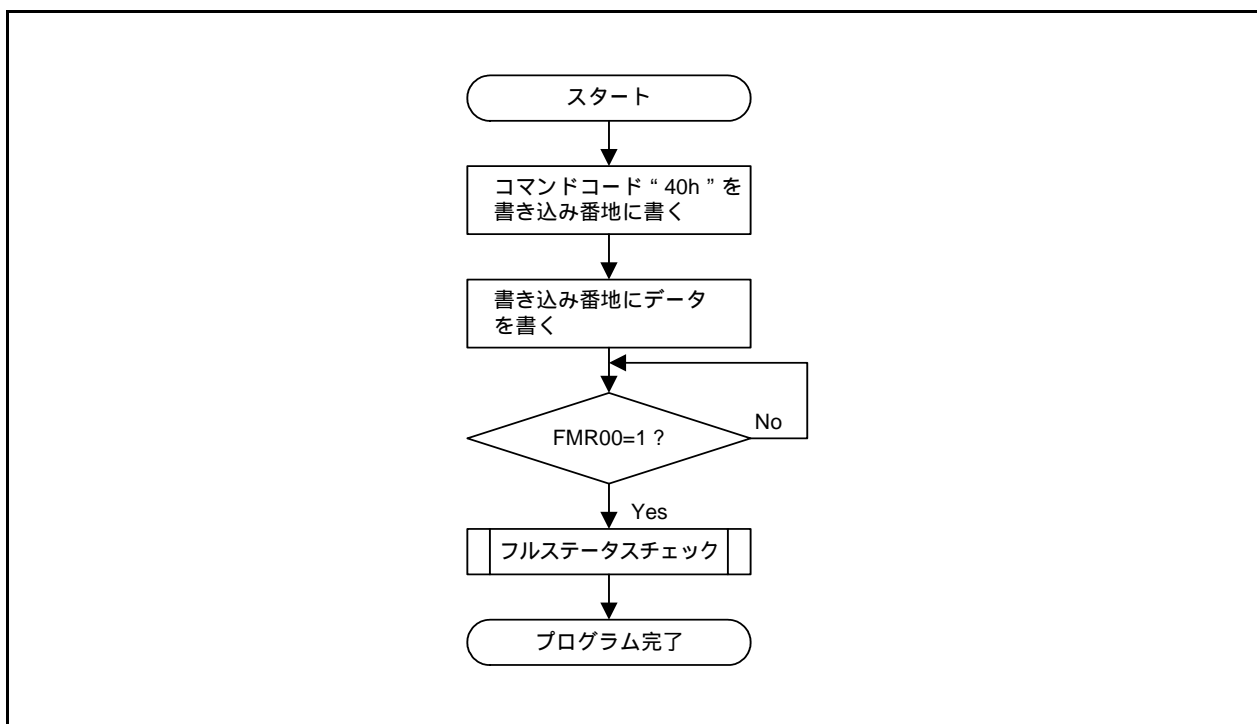


図17.12 プログラムフローチャート

### 17.4.3.5 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「17.4.5 フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが1(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

プログラムサスペンド中、ブロックイレーズコマンドを使用しないでください。

図17.13にブロックイレーズフローチャート(イレーズサスペンド機能不使用時)を、図17.14にブロックイレーズフローチャート(イレーズサスペンド機能使用時)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

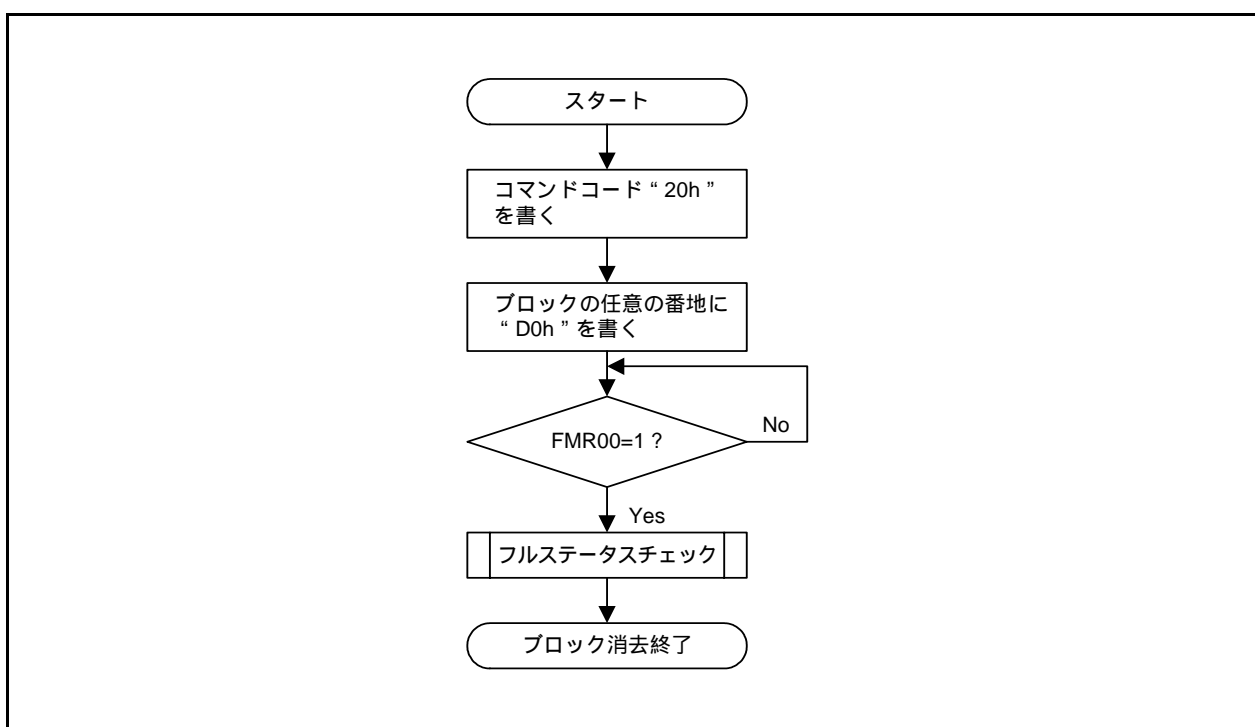


図17.13 ブロックイレーズフローチャート(イレーズサスペンド機能不使用時)

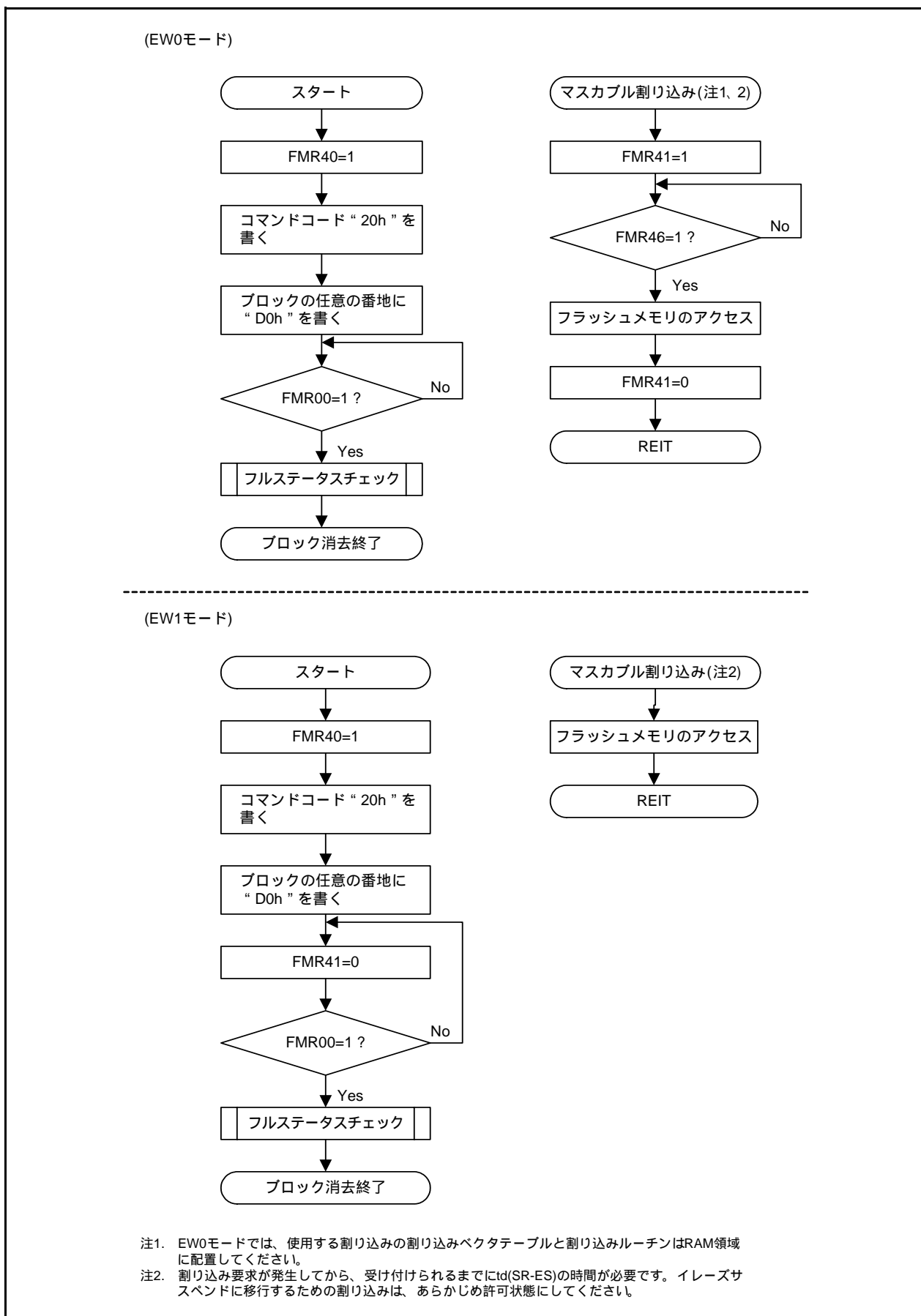


図17.14 ブロックイレースフローチャート(イレースサスペンド機能使用時)

#### 17.4.4 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06～FMR07ビットで読めます。

表17.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の番地を読んだとき
- プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の番地を読んだとき

##### 17.4.4.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

##### 17.4.4.2 イレーズステータス(SR5、FMR07ビット)

「17.4.5 フルステータスチェック」を参照してください。

##### 17.4.4.3 プログラムステータス(SR4、FMR06ビット)

「17.4.5 フルステータスチェック」を参照してください。

表17.5 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0(D0)		リザーブ			
SR1(D1)		リザーブ			
SR2(D2)		リザーブ			
SR3(D3)		リザーブ			
SR4(D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5(D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6(D6)		リザーブ			
SR7(D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7：リードステータスコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)～FMR06ビット(SR4)は、クリアステータスコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズコマンドは受け付けられません。

### 17.4.5 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表17.6にエラーとFMR0レジスタの状態を、図17.15にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表17.6 エラーとFMR0レジスタの状態

FMR00レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> <li>・コマンドを正しく書かなかったとき</li> <li>・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1)</li> <li>・FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15ビットまたはFMR16ビットを用いて書き換え禁止にした状態で、プログラムコマンドまたはブロックイレーズコマンドを実行したとき</li> <li>・消去コマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、消去しようとしたとき</li> <li>・消去コマンド入力時に、書き換えを禁止しているブロックの消去を実行しようとしたとき</li> <li>・書き込みコマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、書き込みしようとしたとき</li> <li>・書き込みコマンド入力時に、書き換えを禁止しているブロックの書き込みを実行しようとしたとき</li> </ul>
1	0	イレーズエラー	<ul style="list-style-type: none"> <li>・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき</li> </ul>
0	1	プログラムエラー	<ul style="list-style-type: none"> <li>・プログラムコマンドを実行し、正しく自動書き込みされなかったとき</li> </ul>

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。



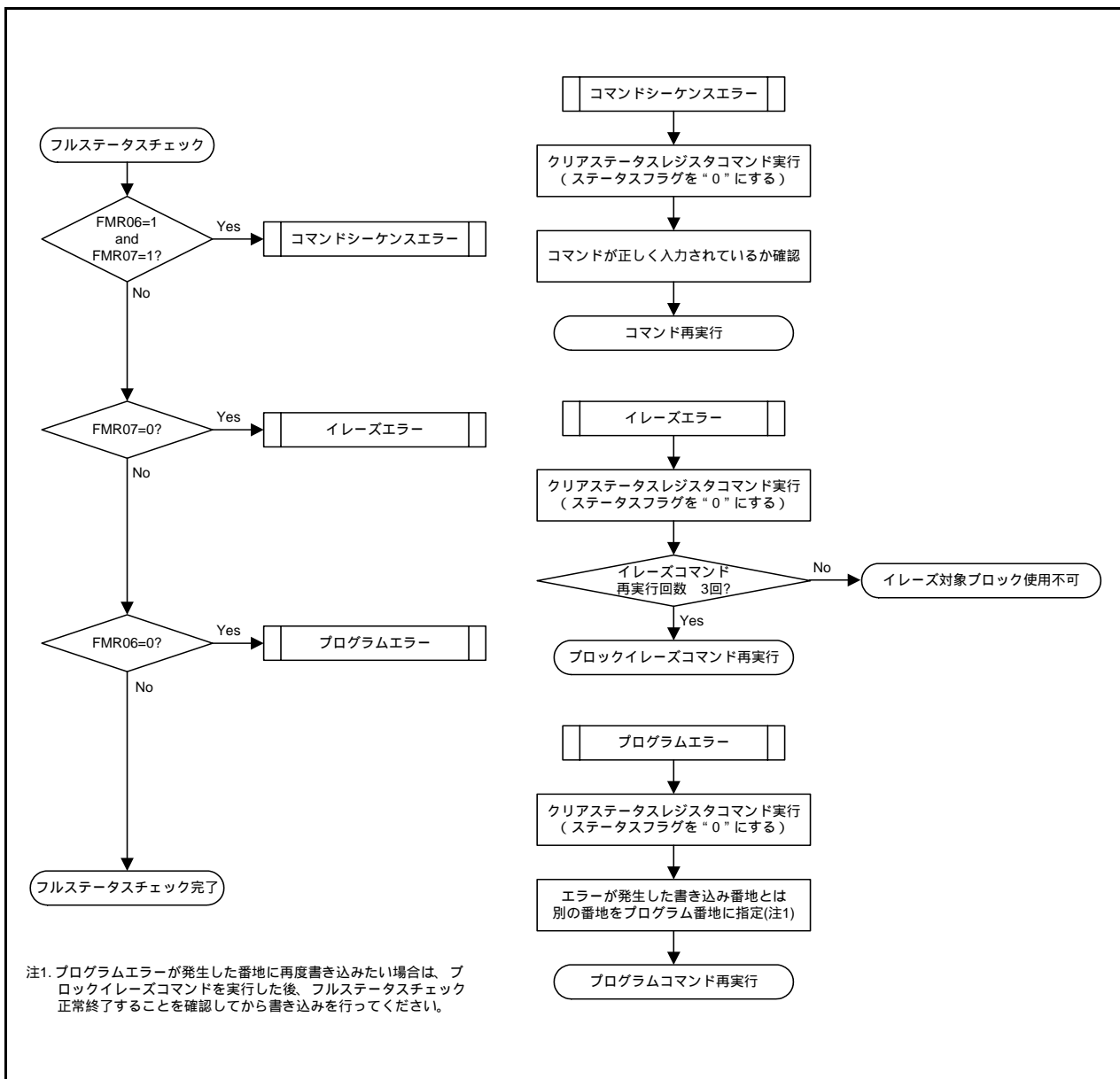


図 17.15 フルステータスチェックフローチャート、各エラー発生時の対処方法

## 17.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- ・標準シリアル入出力モード1 ..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- ・標準シリアル入出力モード2 ..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- ・標準シリアル入出力モード3 ..... 特別なクロック非同期形シリアル I/O を用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表17.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、表17.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図17.16に標準シリアル入出力モード3時の端子結線図を示します。

なお、表17.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

### 17.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「17.3 フラッシュメモリ書き換え禁止機能」参照)。

表17.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
AVcc、AVss	アナログ電源入力	入力	AVccはVccに、AVssはVssに接続してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_3 ~ P3_5	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	“L”を入力してください。
P3_7	TXD出力	出力	シリアルデータの出力端子です。
P4_5	RXD入力	入力	シリアルデータの入力端子です。

表17.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	外付けの発振子を接続する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
AVcc、AVss	アナログ電源入力	入力	AVccはVccに、AVssはVssに接続してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_3 ~ P3_5、 P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_2/VREF、 P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

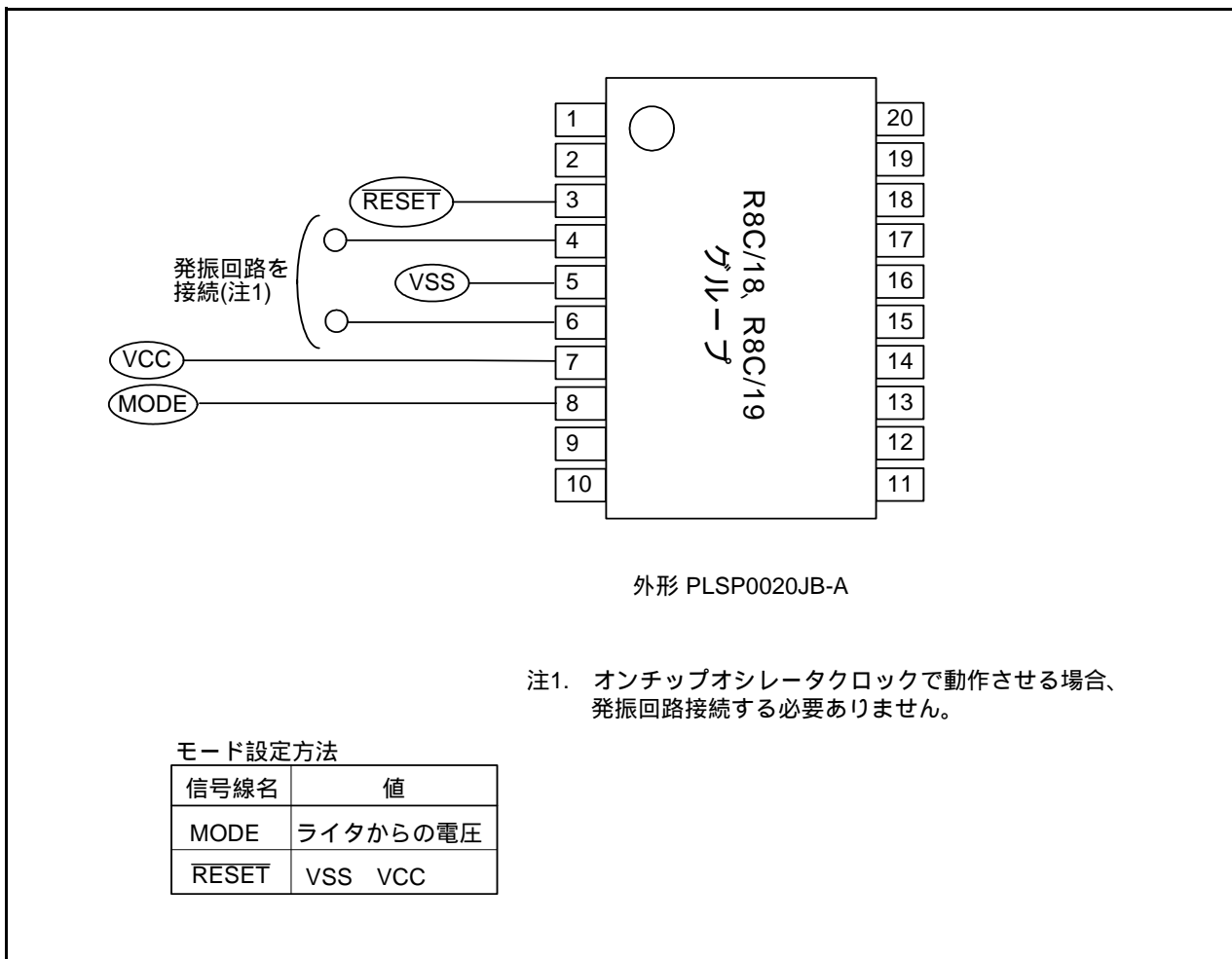


図17.16 標準シリアル入出力モード3時の端子結線図

## 17.5.1.1 標準シリアル入出力モード時の端子処理例

図17.17に標準シリアル入出力モード2を使用する場合の端子処理例、図17.18に標準シリアル入出力モード3を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

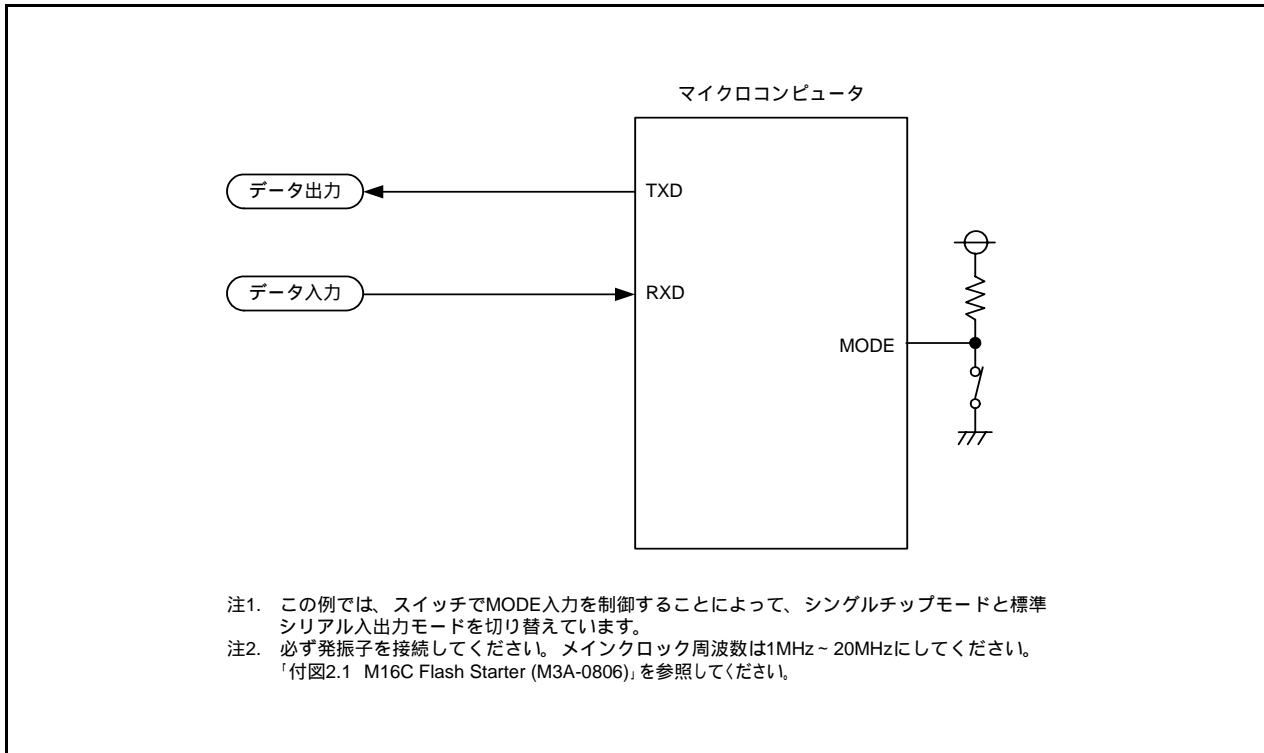


図17.17 標準シリアル入出力モード2を使用する場合の端子処理例

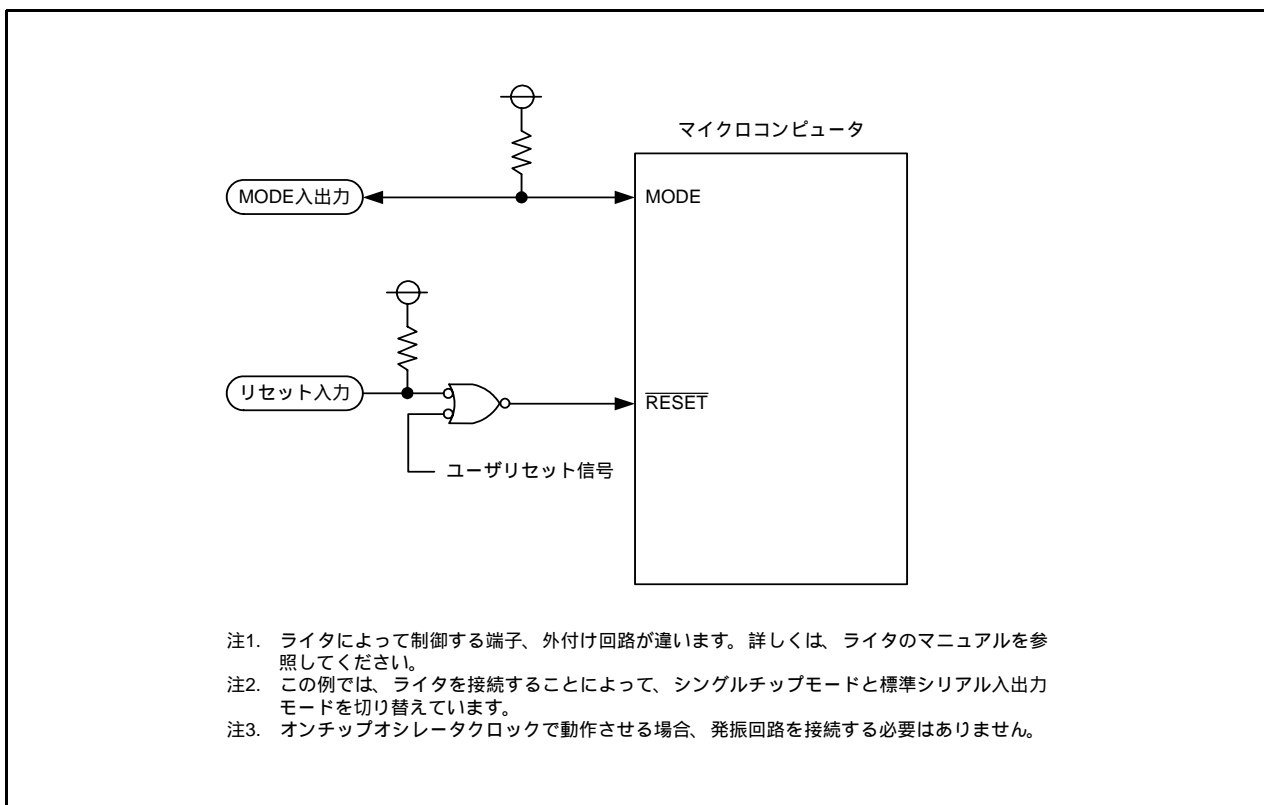


図17.18 標準シリアル入出力モード3を使用する場合の端子処理例

## 17.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図17.1および図17.2に示すユーザROM領域の書き換えができます。

### 17.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「17.3 フラッシュメモリ書き換え禁止機能」参照)。

## 17.7 フラッシュメモリ使用上の注意

### 17.7.1 CPU書き換えモード

#### 17.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

#### 17.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。  
UND命令、INTO命令、BRK命令

#### 17.7.1.3 割り込み

表17.9にEW0モード時の割り込み、表17.10にEW1モード時の割り込みを示します。

表17.9 EW0モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視2割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置することで使用できます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

- 注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。  
注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表17.10 EW1モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視2割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-ES) 時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを“0”(プログラムリスタート)にすることにより、自動書き込みを再開することができます。	
	自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

- 注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。  
注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

#### 17.7.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

#### 17.7.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

#### 17.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

#### 17.7.1.7 ストップモード、ウェイトモードへの移行

イレースサスペンド中に、ストップモード、ウェイトモードに移行しないでください。



## 18. 電気的特性

表 18.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V <sub>cc</sub>	電源電圧	V <sub>cc</sub> = AV <sub>cc</sub>	- 0.3 ~ 6.5	V
AV <sub>cc</sub>	アナログ電源電圧	V <sub>cc</sub> = AV <sub>cc</sub>	- 0.3 ~ 6.5	V
V <sub>i</sub>	入力電圧		- 0.3 ~ V <sub>cc</sub> + 0.3	V
V <sub>o</sub>	出力電圧		- 0.3 ~ V <sub>cc</sub> + 0.3	V
P <sub>d</sub>	消費電力	T <sub>opr</sub> = 25	300	mW
T <sub>opr</sub>	動作周囲温度		- 20 ~ 85 / - 40 ~ 85 (Dパッケージ)	
T <sub>stg</sub>	保存温度		- 65 ~ 150	

表 18.2 推奨動作条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>cc</sub>	電源電圧		2.7		5.5	V
AV <sub>cc</sub>	アナログ電源電圧			V <sub>cc</sub>		V
V <sub>ss</sub>	電源電圧			0		V
AV <sub>ss</sub>	アナログ電源電圧			0		V
V <sub>IH</sub>	“H” 入力電圧		0.8V <sub>cc</sub>		V <sub>cc</sub>	V
V <sub>IL</sub>	“L” 入力電圧		0		0.2V <sub>cc</sub>	V
I <sub>OH(sum)</sub>	“H” 尖頭総出力電流	全端子の I <sub>OH(peak)</sub> の総和			- 60	mA
I <sub>OH(peak)</sub>	“H” 尖頭出力電流				- 10	mA
I <sub>OH(avg)</sub>	“H” 平均出力電流				- 5	mA
I <sub>OL(sum)</sub>	“L” 尖頭総出力電流	全端子の I <sub>OL(peak)</sub> の総和			60	mA
I <sub>OL(peak)</sub>	“L” 尖頭出力電流	P1_0 ~ P1_3 以外			10	mA
		P1_0 ~ P1_3	駆動能力 HIGH		30	mA
			駆動能力 LOW		10	mA
I <sub>OL(avg)</sub>	“L” 平均出力電流	P1_0 ~ P1_3 以外			5	mA
		P1_0 ~ P1_3	駆動能力 HIGH		15	mA
			駆動能力 LOW		5	mA
f <sub>(XIN)</sub>	メインクロック入力発振周波数	3.0 V V <sub>cc</sub> 5.5 V	0		20	MHz
		2.7 V V <sub>cc</sub> < 3.0 V	0		10	MHz

注1. 指定のない場合は、V<sub>cc</sub> = 2.7 V ~ 5.5 V、T<sub>opr</sub> = - 20 ~ 85 / - 40 ~ 85 です。

注2. 平均出力電流は100 msの期間内での平均値です。

表 18.3 コンパレータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	分解能				1	Bit
	絶対精度	AD = 10 MHz(注3)			± 20	mV
t <sub>conv</sub>	変換時間	AD = 10 MHz(注3)	1			μs
V <sub>ref</sub>	基準電圧		0		AV <sub>cc</sub>	V
V <sub>IA</sub>	アナログ入力電圧		0		AV <sub>cc</sub>	V
	コンパレータ変換動作クロック周波数(注2)		1		10	MHz

注1. 指定のない場合は、V<sub>cc</sub> = 2.7 V ~ 5.5 V、T<sub>opr</sub> = - 20 ~ 85 / - 40 ~ 85 です。

注2. f<sub>1</sub>が10 MHzを超える場合は分周し、コンパレータ変換動作クロック周波数(AD)が10 MHz以下になるようにしてください。

注3. AV<sub>cc</sub>が4.2 V未満の場合はf<sub>1</sub>を分周し、コンパレータ変換動作クロック周波数(AD)がf<sub>1</sub>/2以下になるように調整してください。

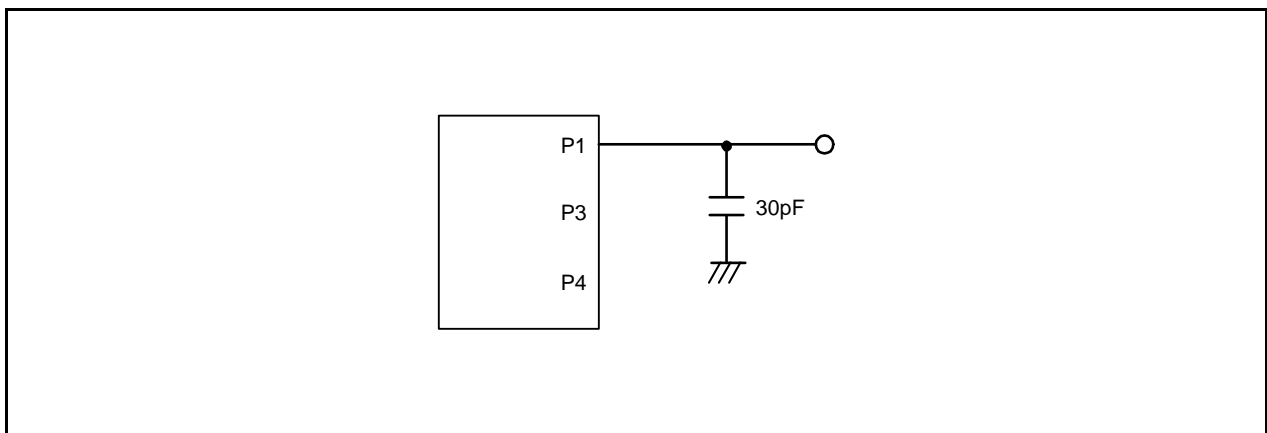


図 18.1 ポート P1、P3、P4 の測定回路

表 18.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/18グループ	100(注3)			回
		R8C/19グループ	1000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注8)	周囲温度 =55	20			年

注1. 指定のない場合は、V<sub>cc</sub> = 2.7 V ~ 5.5 V、T<sub>opr</sub> = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 緊急処理等が必要な場合は本規格によらずサスペンド要求を発生することができます。その場合も通常のサスペンドへの遷移時間で要求が受け付けられます。ただし常時サスペンド状態になると消去が進まず、消去エラー発生確率が高くなるため、650 μs未満のサスペンド要求は1回までを推奨します。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. 電源電圧またはクロックが印加されていない時間を含みます。

表18.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t <sub>d</sub> (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度 =55	20			年

注1. 指定のない場合は、V<sub>cc</sub> = 2.7 V ~ 5.5 V、T<sub>opr</sub> = - 20 ~ 85 / - 40 ~ 85 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. 緊急処理等が必要な場合は本規格によらずサスペンド要求を発生することができます。その場合も通常のサスペンドへの遷移時間で要求が受け付けられます。ただし常時サスペンド状態になると消去が進まず、消去エラー発生確率が高くなるため、650 μs未満のサスペンド要求は1回までを推奨します。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40 。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

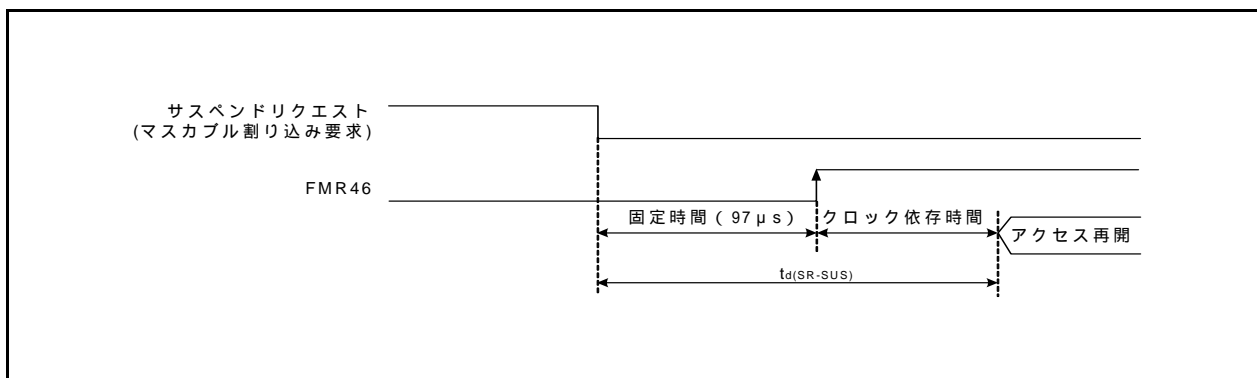


図18.2 サスペンドへの遷移時間

表 18.6 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>det1</sub>	電圧検出レベル (注3)		2.70	2.85	3.00	V
	電圧検出回路の自己消費電流	VCA26 = 1、V <sub>cc</sub> =5.0V		600		nA
t <sub>d(E-A)</sub>	電圧検出回路動作開始までの待ち時間 (注2)				100	μs
V <sub>ccmin</sub>	マイコンの動作電圧の最小値		2.7			V

注1. 測定条件はV<sub>cc</sub> = 2.7 V ~ 5.5 V、T<sub>opr</sub> = - 40 ~ 85 です。

注2. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. V<sub>det2</sub> > V<sub>det1</sub> になります。

表 18.7 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V <sub>det2</sub>	電圧検出レベル (注4)		3.00	3.30	3.60	V
	電圧監視2割り込み要求発生時間 (注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、V <sub>cc</sub> =5.0V		600		nA
t <sub>d(E-A)</sub>	電圧検出回路動作開始までの待ち時間 (注3)				100	μs

注1. 測定条件はV<sub>cc</sub> = 2.7 V ~ 5.5 V、T<sub>opr</sub> = - 40 ~ 85 です。

注2. V<sub>det2</sub>を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. V<sub>det2</sub> > V<sub>det1</sub> になります。

表 18.8 リセット回路の電気的特性(電圧監視1リセット使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor2	パワーオンリセットが有効になる電圧	- 20 Topr 85			Vdet1	V
tw(Vpor2-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間(注1)	- 20 Topr 85 、 tw(por2) 0 s(注3)			100	ms

注1. Vcc 1.0 Vで使用する場合、この条件は不要です。

注2. 外部電源を有効電圧(Vpor1)以下に保持する時間が10sを越えた後に電源を立ち上げる場合は、「表 18.9 リセット回路の電気的特性(電圧監視1リセット未使用時)」を参照してください。

注3. tw(por2)は外部電源を有効電圧(Vpor2)以下に保持する時間です。

表 18.9 リセット回路の電気的特性(電圧監視1リセット未使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor1	パワーオンリセットが有効になる電圧	- 20 Topr 85			0.1	V
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 10 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 30 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 10 s(注2)			1	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 1 s(注2)			0.5	ms

注1. 電圧監視1リセットを使用しない場合、Vcc 2.7 Vで使用してください。

注2. tw(por1)は外部電源を有効電圧(Vpor1)以下に保持する時間です。

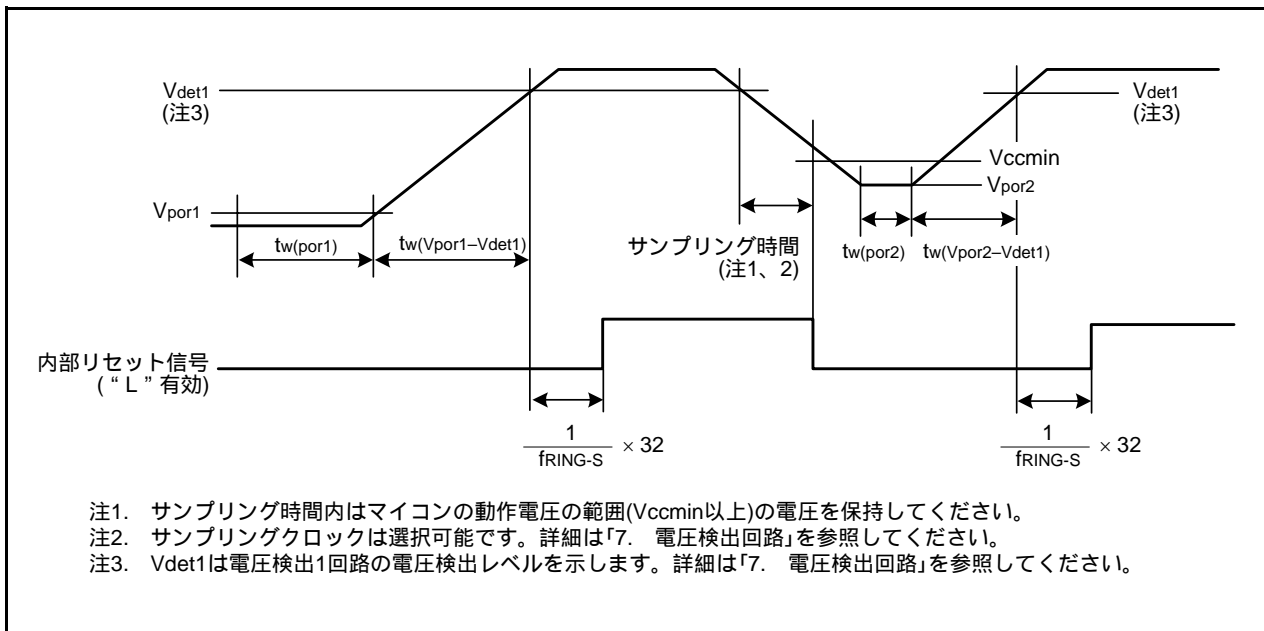


図 18.3 リセット回路の電気的特性

表 18.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	Vcc=5.0V、Topr=25		8		MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)	0 ~ + 60 / 5 V ± 5 % (注3)	7.76		8.24	MHz
		- 20 ~ + 85 / 2.7 ~ 5.5 V (注3)	7.68		8.32	MHz
		- 40 ~ + 85 / 2.7 ~ 5.5 V (注3)	7.44		8.32	MHz

注1. 測定条件はVcc = 5.0 V、Topr = 25 です。

注2. 高速オンチップオシレータクロックの使用上の注意事項については、「10.6.4 高速オンチップオシレータクロック」を参照してください。

注3. HRA1レジスタが出荷時の値、HRA2レジスタが00hのときの規格値です。

表 18.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP解除時間(注3)				150	μs

注1. 測定条件はVcc = 2.7 V ~ 5.5 V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表 18.12 電気的特性(1) [ Vcc = 5 V ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT 以外	I <sub>OH</sub> = - 5 mA		V <sub>CC</sub> - 2.0		V <sub>CC</sub>	V
			I <sub>OH</sub> = - 200 μA		V <sub>CC</sub> - 0.3		V <sub>CC</sub>	V
		XOUT	駆動能力 HIGH	I <sub>OH</sub> = - 1 mA	V <sub>CC</sub> - 2.0		V <sub>CC</sub>	V
			駆動能力 LOW	I <sub>OH</sub> = - 500 μA	V <sub>CC</sub> - 2.0		V <sub>CC</sub>	V
VOL	“L”出力電圧	P1_0 ~ P1_3, XOUT 以外	I <sub>OL</sub> = 5 mA				2.0	V
			I <sub>OL</sub> = 200 μA				0.45	V
		P1_0 ~ P1_3	駆動能力 HIGH	I <sub>OL</sub> = 15 mA			2.0	V
			駆動能力 LOW	I <sub>OL</sub> = 5 mA			2.0	V
			駆動能力 LOW	I <sub>OL</sub> = 200 μA			0.45	V
		XOUT	駆動能力 HIGH	I <sub>OL</sub> = 1 mA			2.0	V
			駆動能力 LOW	I <sub>OL</sub> = 500 μA			2.0	V
		VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、KI0、KI1、KI2、 KI3、CNTR0、CNTR1、 TCIN、RxD0			0.2	
RESET				0.2		2.2	V	
I <sub>IH</sub>	“H”入力電流		V <sub>I</sub> = 5 V				5.0	μA
I <sub>IL</sub>	“L”入力電流		V <sub>I</sub> = 0 V				- 5.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗		V <sub>I</sub> = 0 V		30	50	167	k
R <sub>I<sub>XIN</sub></sub>	帰還抵抗	XIN				1.0		M
f <sub>RING-S</sub>	低速オンチップオシレータ発振周波数				40	125	250	kHz
V <sub>RAM</sub>	RAM 保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V<sub>CC</sub> = 4.2 V ~ 5.5 V、T<sub>opr</sub> = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 20 MHz です。



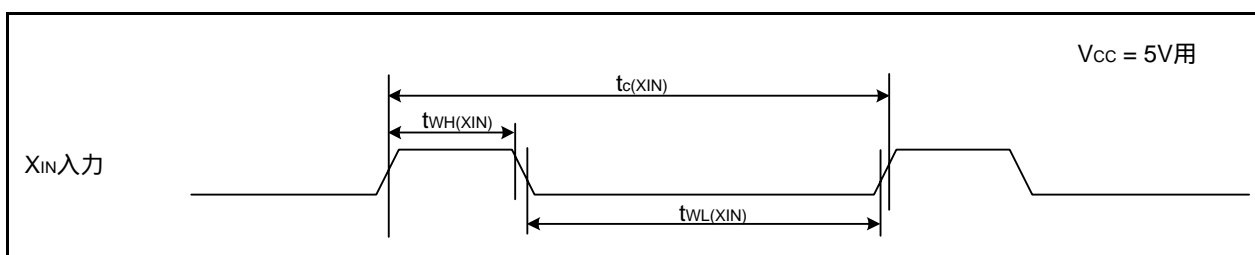
表 18.13 電気的特性(2) [ Vcc = 5 V ] (指定のない場合は、Topr = - 40 ~ 85 )

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 3.3 V ~ 5.5 V) シングルチップモードで、出力端子は開放、その他の端子はVss、コンパレータ停止時	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		9	15	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	14	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		4		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2		mA
		高速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		4	8	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周 FMR47 = " 1 "		110	300	μ A
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック動作 VCA27 = VCA26 = " 0 "		40	80	μ A
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック停止 VCA27 = VCA26 = " 0 "		38	76	μ A
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = " 0 "		0.8	3.0	μ A

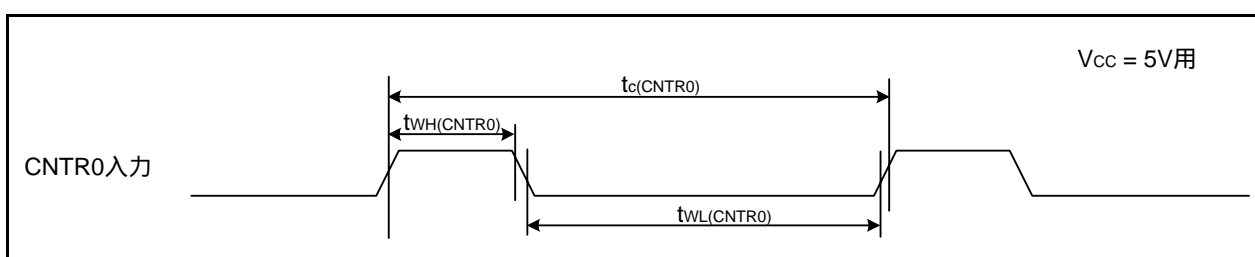
タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_a=25$ ) [ $V_{CC}=5V$ ]

表 18.14 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	50	-	ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	25	-	ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	25	-	ns

図 18.4  $V_{CC}=5V$ 時のXIN入力タイミング表 18.15 CNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(CNTR0)}$	CNTR0入力サイクル時間	100	-	ns
$t_{WH(CNTR0)}$	CNTR0入力“H”パルス幅	40	-	ns
$t_{WL(CNTR0)}$	CNTR0入力“L”パルス幅	40	-	ns

図 18.5  $V_{CC}=5V$ 時のCNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力タイミング表 18.16 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TCIN)}$	TCIN入力サイクル時間	400(注1)	-	ns
$t_{WH(TCIN)}$	TCIN入力“H”パルス幅	200(注2)	-	ns
$t_{WL(TCIN)}$	TCIN入力“L”パルス幅	200(注2)	-	ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数 $\times 3$ )以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数 $\times 1.5$ )以上になるように調整してください。

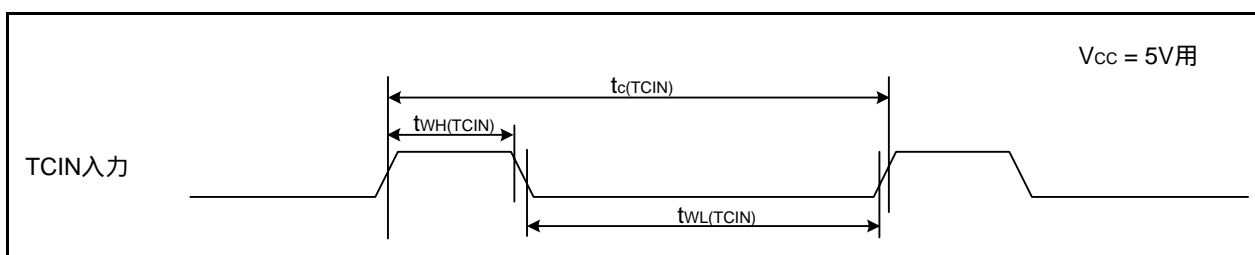
図 18.6  $V_{CC}=5V$ 時のTCIN入力、 $\overline{INT3}$ 入力タイミング

表 18.17 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi 入力サイクル時間	200	-	ns
$t_w(\text{CKH})$	CLKi 入力 “H” パルス幅	100	-	ns
$t_w(\text{CKL})$	CLKi 入力 “L” パルス幅	100	-	ns
$t_d(\text{C-Q})$	TxDi 出力遅延時間	-	50	ns
$t_h(\text{C-Q})$	TxDi ホールド時間	0	-	ns
$t_{su}(\text{D-C})$	RxDi 入力セットアップ時間	50	-	ns
$t_h(\text{C-D})$	RxDi 入力ホールド時間	90	-	ns

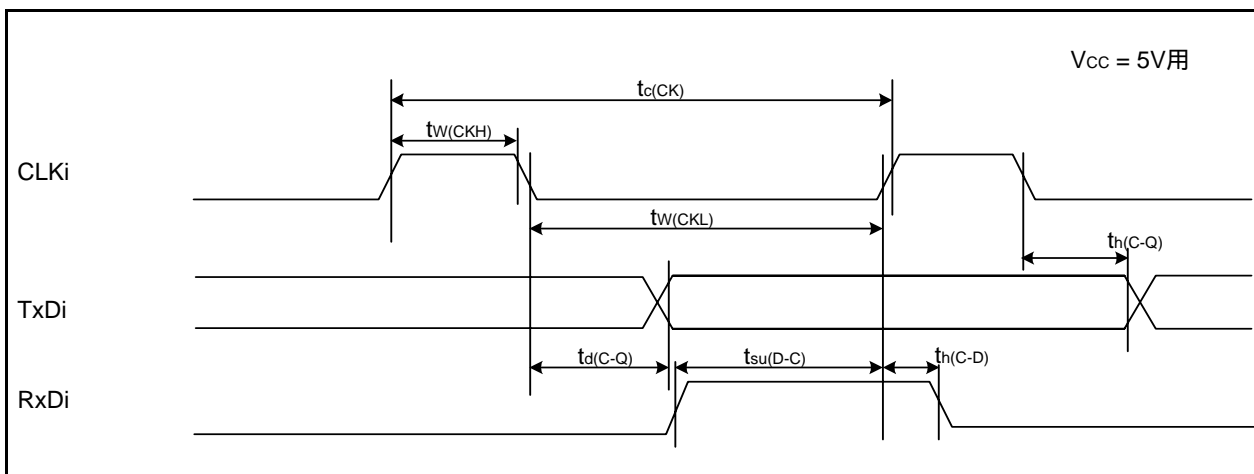


図 18.7 Vcc=5V時のシリアルインタフェースのタイミング

表 18.18 外部割りこみINT0入力

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INT0 入力 “H” パルス幅	250(注 1)	-	ns
$t_w(\text{INL})$	INT0 入力 “L” パルス幅	250(注 2)	-	ns

注1. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力 “H” パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力 “L” パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

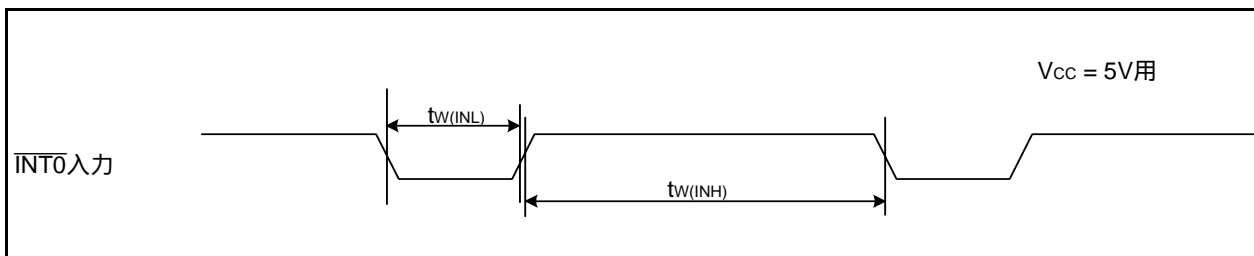


図 18.8 Vcc=5V時の外部割りこみINT0入力タイミング

表 18.19 電気的特性(3) [ Vcc = 3 V ]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT 以外	I <sub>OH</sub> = - 1 mA		V <sub>CC</sub> - 0.5		V <sub>CC</sub>	V
		XOUT	駆動能力 HIGH	I <sub>OH</sub> = - 0.1 mA	V <sub>CC</sub> - 0.5		V <sub>CC</sub>	V
			駆動能力 LOW	I <sub>OH</sub> = - 50 μA	V <sub>CC</sub> - 0.5		V <sub>CC</sub>	V
VOL	“L”出力電圧	P1_0 ~ P1_3, XOUT 以外	I <sub>OL</sub> = 1 mA				0.5	V
		P1_0 ~ P1_3	駆動能力 HIGH	I <sub>OL</sub> = 2 mA			0.5	V
			駆動能力 LOW	I <sub>OL</sub> = 1 mA			0.5	V
		XOUT	駆動能力 HIGH	I <sub>OL</sub> = 0.1 mA			0.5	V
			駆動能力 LOW	I <sub>OL</sub> = 50 μA			0.5	V
		VT+ - VT-	ヒステリシス	INT0、INT1、INT2、 INT3、KI0、KI1、KI2、 KI3、CNTR0、CNTR1、 TCIN、RxD0			0.2	
RESET				0.2		1.8	V	
I <sub>IH</sub>	“H”入力電流		V <sub>I</sub> = 3 V				4.0	μA
I <sub>IL</sub>	“L”入力電流		V <sub>I</sub> = 0 V				- 4.0	μA
R <sub>PULLUP</sub>	プルアップ抵抗		V <sub>I</sub> = 0 V		66	160	500	k
R <sub>iXIN</sub>	帰還抵抗	XIN				3.0		M
f <sub>RING-S</sub>	低速オンチップオシレータ発振周波数				40	125	250	kHz
V <sub>RAM</sub>	RAM 保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V<sub>CC</sub> = 2.7 V ~ 3.3 V、T<sub>opr</sub> = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 10 MHzです。

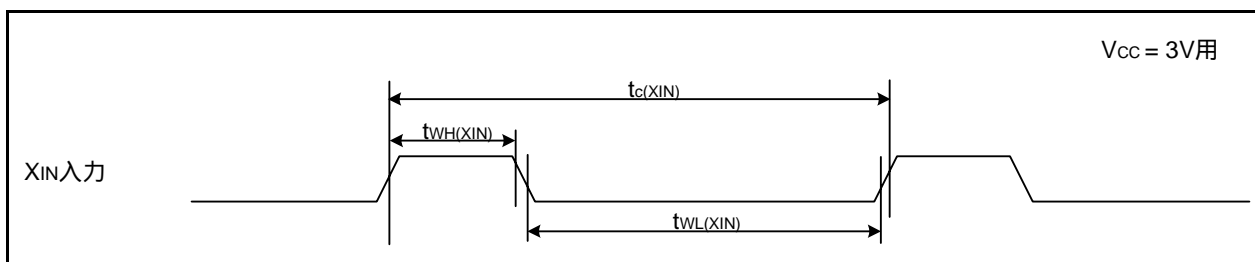
表18.20 電気的特性(4) [ Vcc = 3 V ] (指定のない場合は、Topr = - 40 ~ 85 )

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.7 V ~ 3.3 V) シングルチップモード で、出力端子は開放、そ の他の端子は Vss、コ ンパレータ停止時	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	13	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		7	12	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2.5		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		1.6		mA
		高速オンチップオ シレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		3.5	7.5	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップオ シレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周 FMR47 = " 1 "		100	280	μ A
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック動作 VCA27 = VCA26 = " 0 "		37	74	μ A
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック停止 VCA27 = VCA26 = " 0 "		35	70	μ A
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = " 0 "		0.7	3.0	μ A

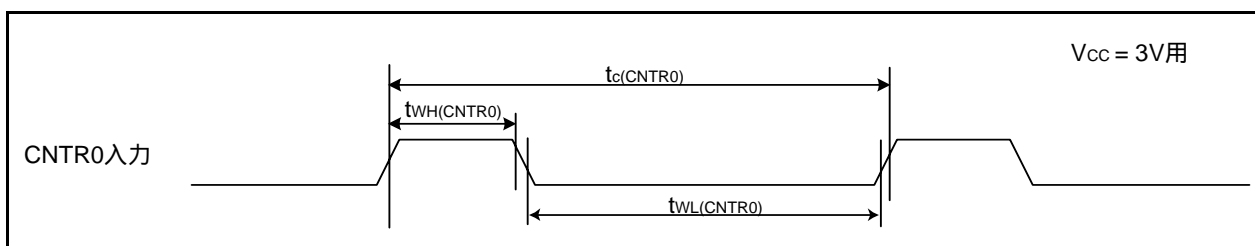
タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_a=25$  ) [  $V_{CC}=3V$  ]

表 18.21 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	40		ns

図 18.9  $V_{CC}=3V$ 時のXIN入力タイミング表 18.22 CNTR0入力、 $\overline{CNTR1}$ 入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(CNTR0)$	CNTR0入力サイクル時間	300		ns
$t_{WH}(CNTR0)$	CNTR0入力“H”パルス幅	120		ns
$t_{WL}(CNTR0)$	CNTR0入力“L”パルス幅	120		ns

図 18.10  $V_{CC}=3V$ 時のCNTR0入力、 $\overline{CNTR1}$ 入力、 $\overline{INT1}$ 入力タイミング表 18.23 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TCIN)$	TCIN入力サイクル時間	1200(注1)		ns
$t_{WH}(TCIN)$	TCIN入力“H”パルス幅	600(注2)		ns
$t_{WL}(TCIN)$	TCIN入力“L”パルス幅	600(注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

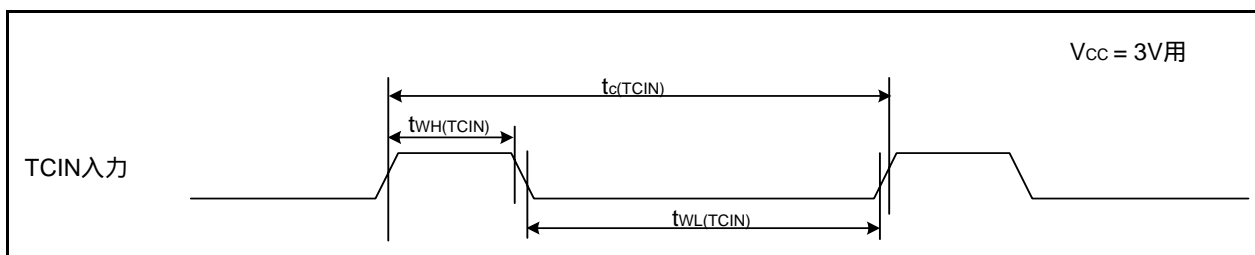
図 18.11  $V_{CC}=3V$ 時のTCIN入力、 $\overline{INT3}$ 入力タイミング

表 18.24 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi 入力 “H” パルス幅	150		ns
$t_{w(CKL)}$	CLKi 入力 “L” パルス幅	150		ns
$t_{d(C-Q)}$	TxDi 出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDi ホールド時間	0		ns
$t_{su(D-C)}$	RxDi 入力セットアップ時間	70		ns
$t_{h(C-D)}$	RxDi 入力ホールド時間	90		ns

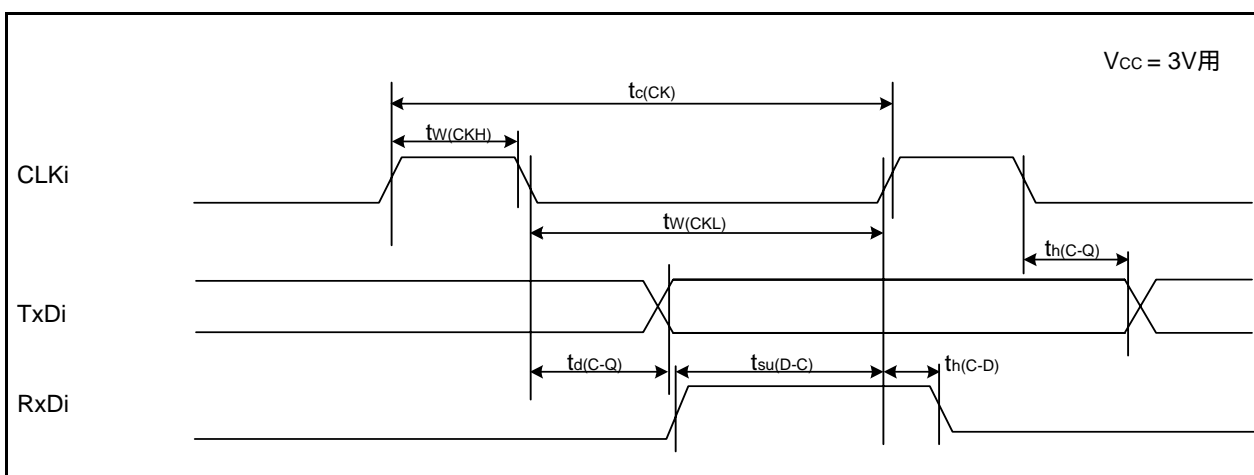


図 18.12 Vcc=3V時のシリアルインタフェースのタイミング

表 18.25 外部割りこみINT0入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INT0 入力 “H” パルス幅	380(注 1)		ns
$t_{w(INL)}$	INT0 入力 “L” パルス幅	380(注 2)		ns

注1. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力 “H” パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INT0入力フィルタ選択ビットでフィルタありを選択した場合、INT0入力 “L” パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

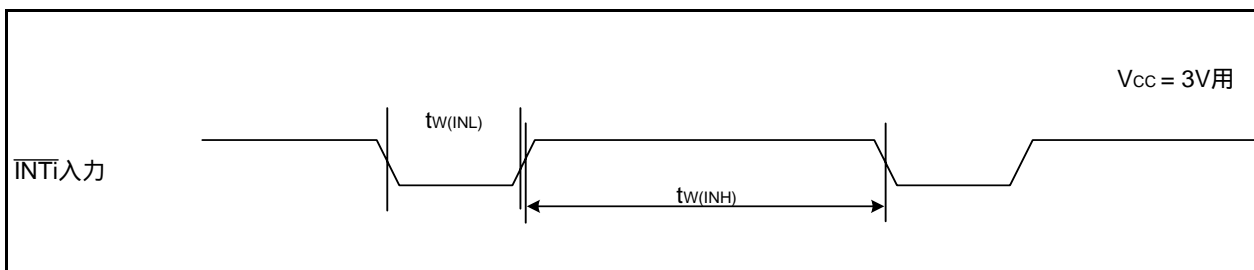


図 18.13 Vcc=3V時の外部割りこみINT0入力タイミング

## 19. 使用上の注意事項

### 19.1 クロック発生回路使用上の注意

#### 19.1.1 ストップモード、ウェイトモード

ウェイトモードおよびストップモードに移行する場合、命令キューは、WAIT命令およびCM1レジスタのCM10ビットを“1”(ストップモード)にする命令から4バイト先読みしてプログラムが停止します。したがってWAIT命令およびCM10ビットを“1”にする命令の後にはNOPを最低4つ入れてください。

#### 19.1.2 発振停止検出機能

メインクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください。

#### 19.1.3 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

#### 19.1.4 高速オンチップオシレータクロック

高速オンチップオシレータの周波数は、フラッシュメモリのCPU書き換えモードで、自動書き込み期間中または自動消去期間中に最大10%(注1)変動する可能性があります。

自動書き込み終了後または自動消去終了後の高速オンチップオシレータの周波数は、プログラムコマンドまたはブロックイレーズコマンド発行前の状態になります。またリードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド発行時は該当しません。

応用製品設計の際には周波数変動に対して十分考慮してください。

注1．出荷時に調整されている8MHzの周波数に対する変動率



## 19.2 割り込み使用上の注意

### 19.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

### 19.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 19.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

### 19.2.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

### 19.2.5 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図19.1に割り込み要因の変更手順例を示します。

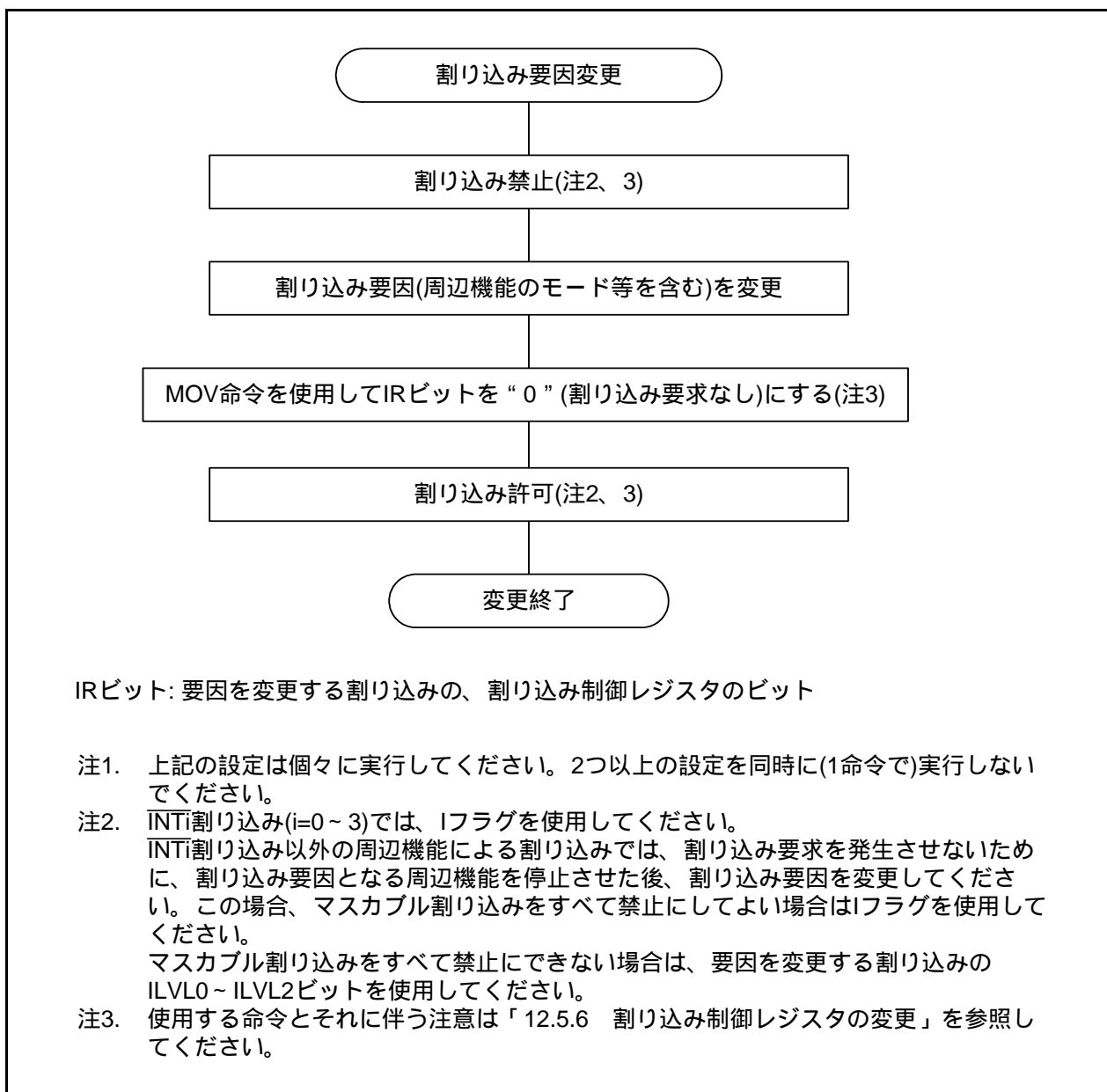


図19.1 割り込み要因の変更手順例

### 19.2.6 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。  
IRビット以外のビットの変更  
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。  
対象となる命令 ..... AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```

## 19.3 タイマ

### 19.3.1 タイマX使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- TXMRレジスタのTXMOD0～TXMOD1ビットおよびTXMOD2ビットとTXSビットを同時に書き換えしないでください。
- パルス周期測定モードで使用するTXMRレジスタのTXEDGビットとTXUNDビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TXMRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTXEDGビット、TXUNDビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいTXEDGビット、TXUNDビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス周期測定モードに変更したとき、TXEDGビットとTXUNDビットは不定です。TXEDGビットとTXUNDビットに“0”を書いてから、タイマXのカウントを開始してください。
- カウント開始後に初めて発生するプリスケアラXのアンダフロー信号で、TXEDGビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にプリスケアラXの2周期以上の時間を空けて、TXEDGビットを“0”にしてから使用してください。
- TXMRレジスタのTXSビットには、タイマXにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。カウント停止中にTXSビットに“1”（カウント開始）を書いた後、次のカウントソースが入力されるまでは“0”（カウント停止）が読めます。次のカウントソースが入力されるとTXSビットは“1”が読めるようになります。TXSビットで“1”が読めるようになるまで、TXSビットを除くタイマX関連レジスタ(TXMR、PREX、TX、TCSS、TXICレジスタ)をアクセスしないでください。TXSビットが“1”になった後、次のカウントソースからカウントを開始します。同様に、カウント中にTXSビットに“0”（カウント停止）を書くと、次のカウントソースで、タイマXがカウントを停止します。TXSビットに“0”を書いた後、カウントを停止するまでにTXSビットを読むと、“1”（カウント開始）が読めます。TXSビットに“0”を書いた後、TXSビットで“0”が読めるようになるまで、TXSビットを除くタイマX関連レジスタをアクセスしないでください。

### 19.3.2 タイマZ使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- TZMRレジスタのTZMOD0～TZMOD1ビットとTZSビットを同時に書き換えしないでください。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TZMRレジスタのTZSビットを“0”にしてカウントを停止したとき、またはTZOCレジスタのTZOSビットを“0”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- TZMRレジスタのTZSビットには、タイマZにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。カウント停止中にTZSビットに“1”（カウント開始）を書いた後、次のカウントソースが入力されるまでは“0”（カウント停止）が読めます。次のカウントソースが入力されるとTZSビットは“1”が読めるようになります。TZSビットで“1”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタ(TZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSC、TZICレジスタ)をア

クセスしないでください。TZS ビットが“1”になった後、次のカウントソースからカウントを開始します。

同様に、カウント中にTZS ビットに“0”(カウント停止)を書くと、次のカウントソースで、タイマZがカウントを停止します。

TZS ビットに“0”を書いた後、カウントを停止するまでにTZS ビットを読むと、“1”(カウント開始)が読めます。TZS ビットに“0”を書いた後、TZS ビットで“0”が読めるようになるまで、TZS ビットを除くタイマZ関連レジスタをアクセスしないでください。

### 19.3.3 タイマC使用上の注意

TCレジスタ、TM0レジスタおよびTM1レジスタは、16ビット単位でアクセスしてください。

TCレジスタは16ビット単位で読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が更新されることはありません。

<タイマCを読み出すプログラム例>

```
MOV.W    0090H,R0    ;タイマCの読み出し
```

#### 19.4 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UORBレジスタを読み出すときは、必ず16ビット単位で読み出してください。  
UORBレジスタのPER、FERビットとU0C1レジスタのRIビットは、UORBレジスタの上位バイトを読み出したとき、“0”になります。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W 00A6H, R0 ;UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B #XXH, 00A3H ;U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B #XXH, 00A2H ;U0TBレジスタの下位バイトへの書き込み
```

### 19.5 コンパレータ使用上の注意

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのCMPSELビットに対する書き込みは、コンパレータ変換停止時(トリガ発生前)に行ってください。
- コンパレータ変換動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合  
コンパレータ変換が完了したことを確認してから、ADレジスタを読み出してください(コンパレータ変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できません)。
- 繰り返しモードで使用する場合  
CPUクロックは、メインクロックを分周せずに使用してください。
- コンパレータ変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(コンパレータ変換停止)にして強制終了した場合、コンパレータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。
- VCC/AVCC端子とVSS/AVSS端子間に0.1  $\mu$ Fのコンデンサを接続してください。



## 19.6 フラッシュメモリ使用上の注意

### 19.6.1 CPU書き換えモード

#### 19.6.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

#### 19.6.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

#### 19.6.1.3 割り込み

表19.1にEW0モード時の割り込み、表19.2にEW1モード時の割り込みを示します。

表19.1 EW0モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視2割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置することで使用できます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

- 注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。  
注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表19.2 EW1モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視2割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-ES) 時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み中 (プログラムサスペンド機能有効)	td(SR-SUS)時間後に自動書き込みを中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR42ビットを“0”(プログラムリスタート)にすることにより、自動書き込みを再開することができます。	
	自動書き込み中 (プログラムサスペンド機能無効)	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

- 注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。  
注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。



#### 19.6.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

#### 19.6.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

#### 19.6.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

#### 19.6.1.7 ストップモード、ウェイトモードへの移行

イレースサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

## 19.7 ノイズに関する注意事項

### 19.7.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1  $\mu$ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

### 19.7.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

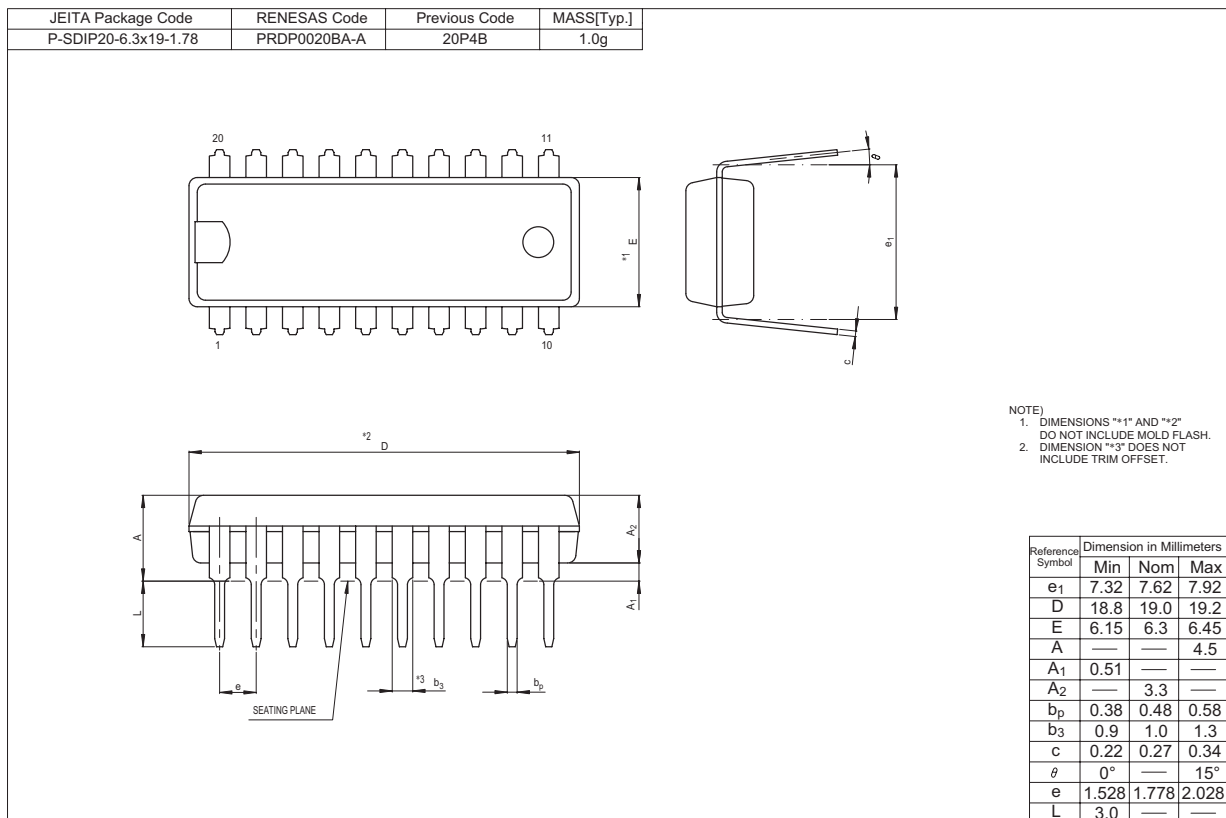
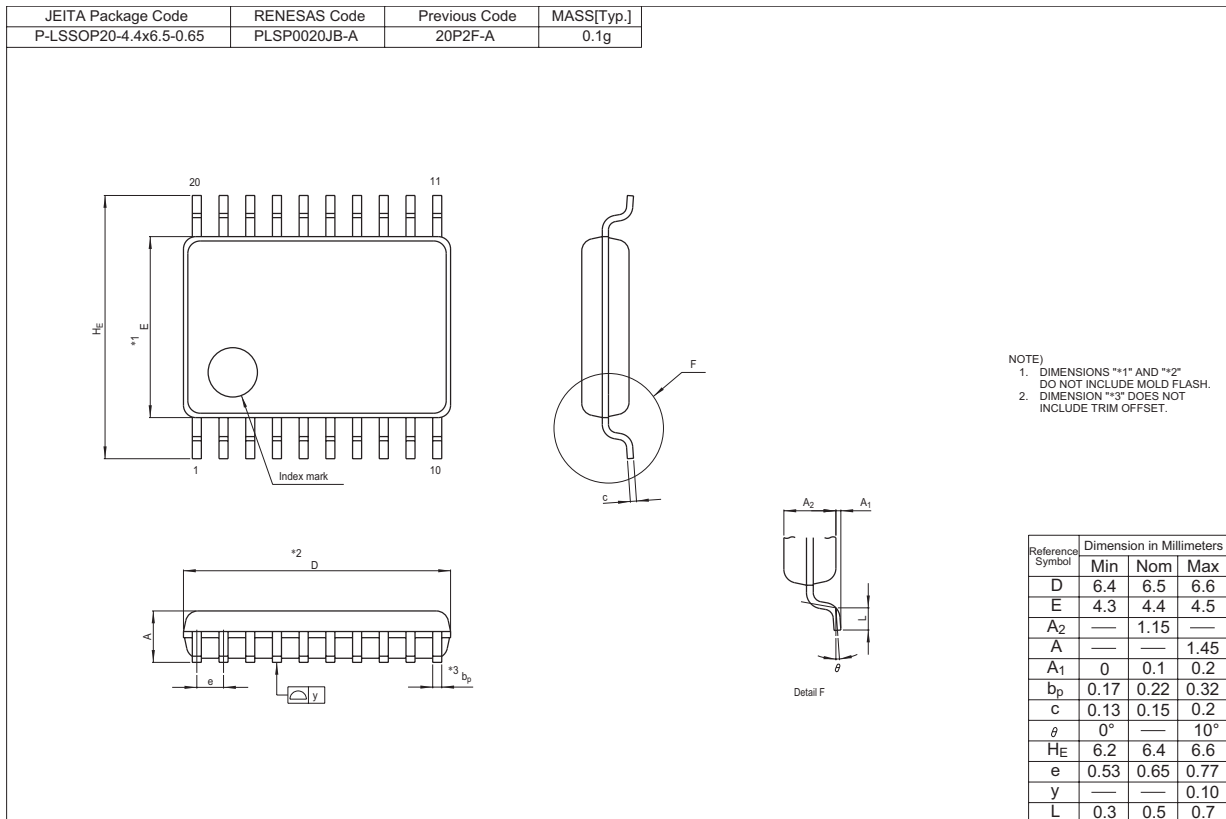
## 20. オンチップデバッグの注意事項

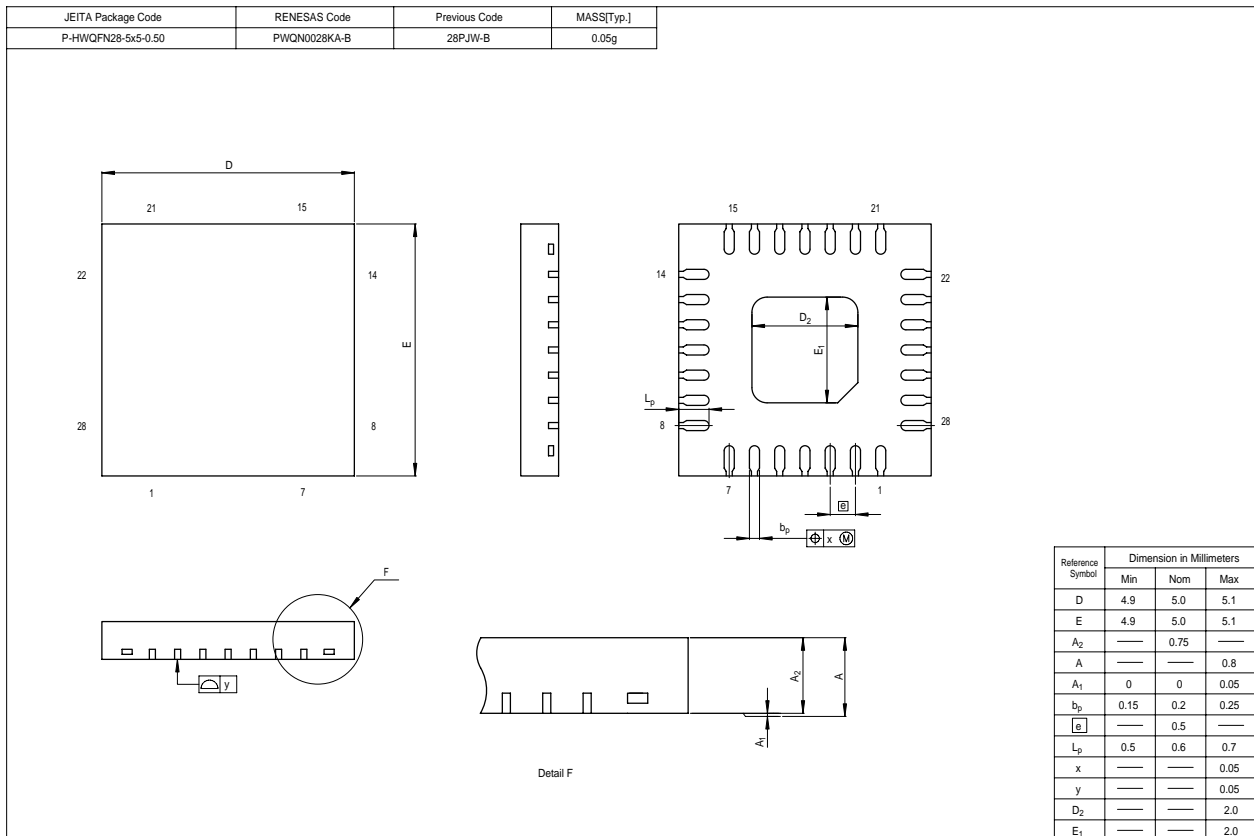
オンチップデバッグを使用してR8C/18、R8C/19グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) UART1関連レジスタを、アクセスしないでください。
- (2) 0C000h 番地から 0C7FFh 番地は、オンチップデバッグで使用するため、ユーザはこの領域を使用しないでください。
- (3) アドレス一致割り込み(AIER、RMAD0、RMAD1 レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (4) BRK 命令をユーザシステムで使用しないでください。
- (5) ユーザプログラムブレーク時にスタックポインタを最大8バイト分使用します。したがって、スタックエリアには8バイト分の余裕を確保してください。

オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

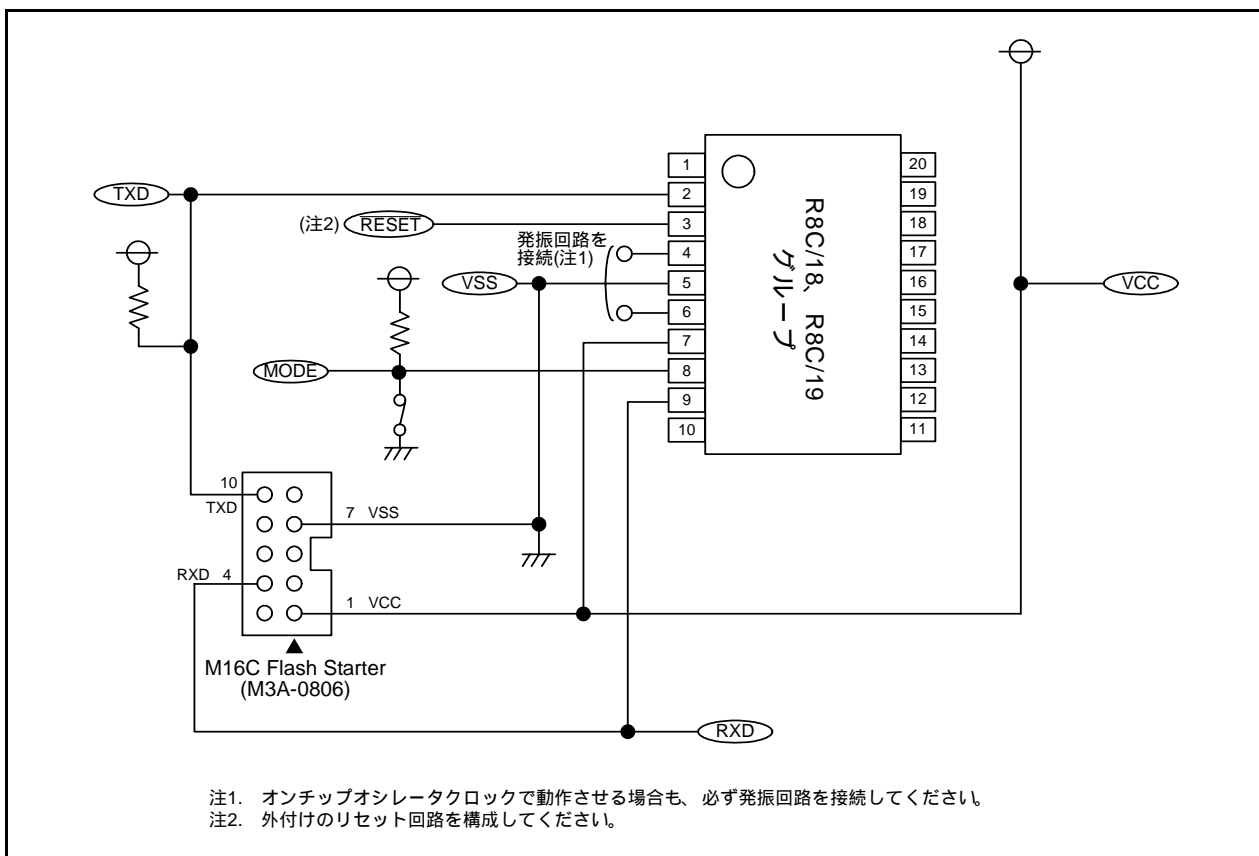
付録1. 外形寸法図



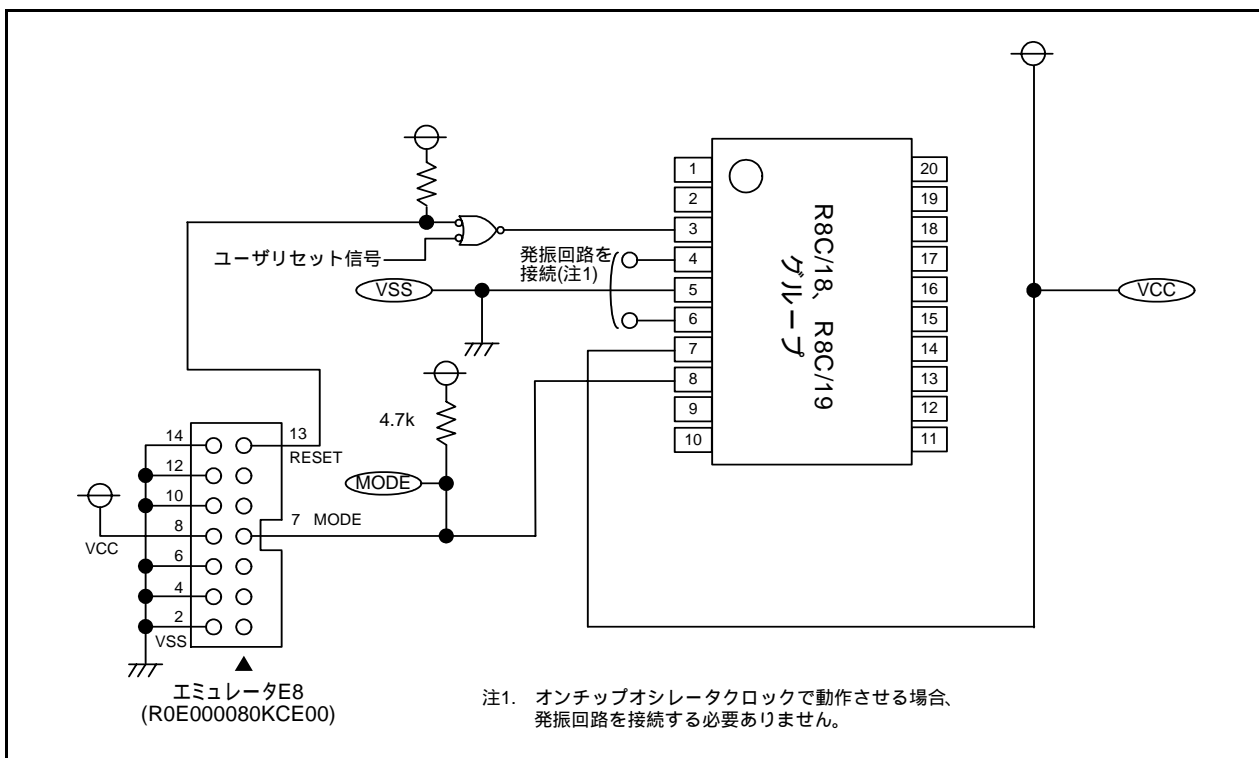


## 付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図 2.1 に M16C Flash Starter との接続例 (M3A-0806) を、付図 2.2 に エミュレータ E8 (R0E000080KCE00) との接続例を示します。



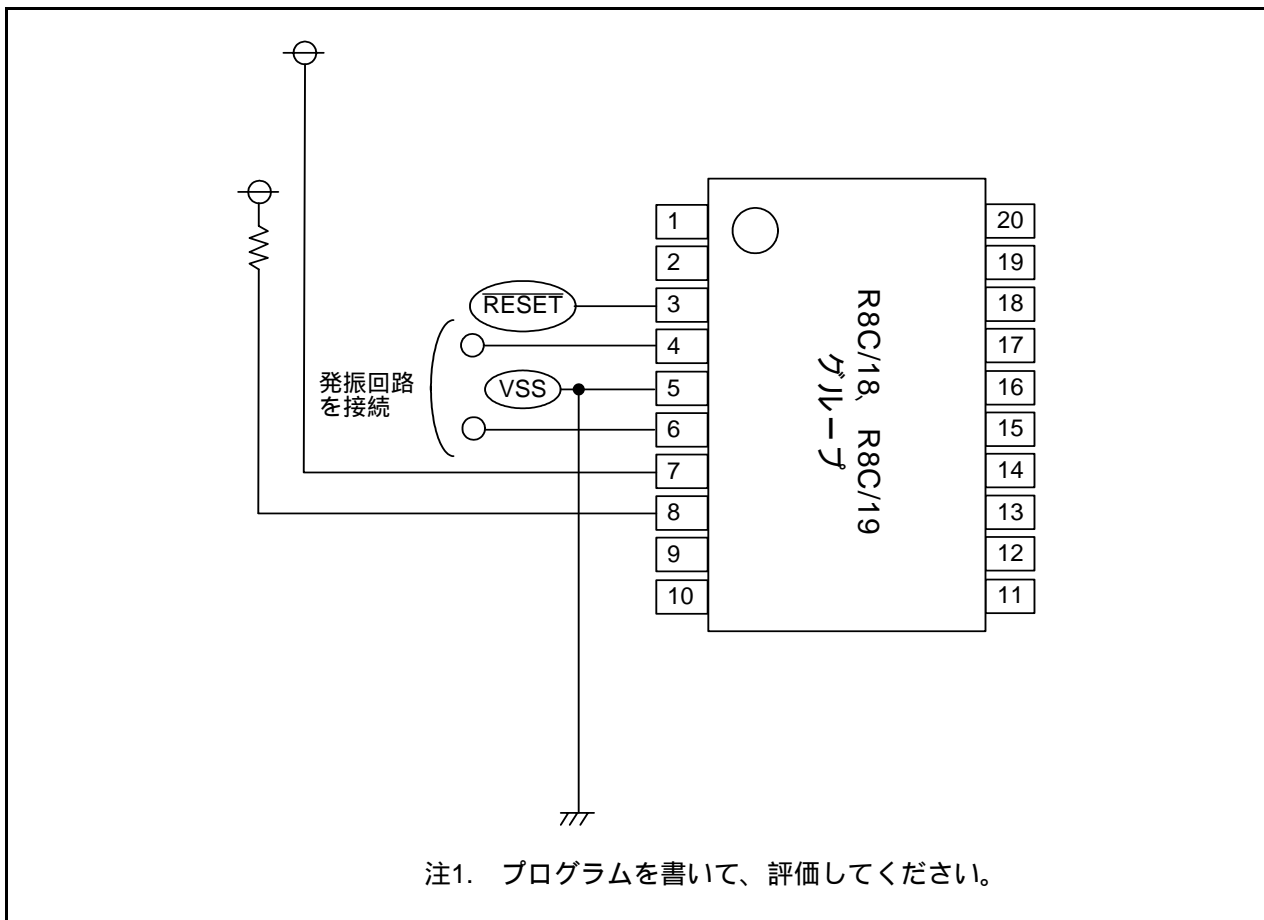
付図 2.1 M16C Flash Starter との接続例 (M3A-0806)



付図 2.2 エミュレータ E8 (R0E000080KCE00) との接続例

## 付録3. 発振評価回路例

付図 3.1 に発振評価回路例を示します。



付図 3.1 発振評価回路例

## 索引

<b>A</b>	<b>H</b>
A0、A1 ..... 14	HRA0 ..... 58
AD ..... 164	HRA1 ..... 58
ADCON0 ..... 163	HRA2 ..... 58
ADCON1 ..... 163	
ADCON2 ..... 164	<b>I</b>
ADIC ..... 76	IDコードチェック機能 ..... 173, 192
AIER ..... 93	INT0F ..... 85
	INT0IC ..... 77
<b>B</b>	INT0入力フィルタ ..... 86
Bフラグ ..... 14	INT0割り込み ..... 85
	INT1IC ..... 76
<b>C</b>	INT1割り込み ..... 87
CM0 ..... 55	INT3IC ..... 76
CM1 ..... 56	INT3割り込み ..... 88
CMP0IC ..... 76	INTB ..... 14
CMP1IC ..... 76	INTEN ..... 85
CNTR0端子選択機能 ..... 158	INT割り込み ..... 85
CPU ..... 13	IPL ..... 15
CPU書き換えモード ..... 175	ISP ..... 14
CPUクロック ..... 61	Iフラグ ..... 15
CPUクロックと周辺機能クロック ..... 61	
CSPR ..... 99	<b>K</b>
Cフラグ ..... 14	KIEN ..... 91
	KUPIC ..... 76
<b>D</b>	
DRR ..... 34	<b>L</b>
Dフラグ ..... 14	LSBファースト、MSBファースト選択 ..... 153
<b>E</b>	<b>O</b>
EW0モード ..... 176	OCD ..... 57
EW1モード ..... 176	OFS ..... 98, 174
	Oフラグ ..... 15
<b>F</b>	
f1、f2、f4、f8、f32 ..... 61	<b>P</b>
FB ..... 14	P1 ..... 33
FLG ..... 14	P3 ..... 33
FMR0 ..... 179	P4 ..... 33
FMR1 ..... 180	PC ..... 14
FMR4 ..... 181	PD1 ..... 33
fRING-fast ..... 61	PD3 ..... 33
fRING-S ..... 61	PD4 ..... 33
fRING、fRING128 ..... 61	PM0 ..... 50
	PM1 ..... 51
	PRCR ..... 70
	PREX ..... 105



PREZ .....	119
PUM .....	120
PUR0 .....	34
PUR1 .....	34

**R**

R0、R1、R2、R3 .....	14
RMAD0 .....	93
RMAD1 .....	93
ROMコードプロテクト機能 .....	174, 196

**S**

S0RIC .....	76
S0TIC .....	76
S1RIC .....	76
S1TIC .....	76
SB .....	14
SFR .....	18
Sフラグ .....	14

**T**

TC .....	136
TCC0 .....	137
TCC1 .....	138
TCIC .....	76
TCOUT .....	139
TCSS .....	105, 121
TM0 .....	136
TM1 .....	136
TX .....	105
TXIC .....	76
TXMR .....	104
TZIC .....	76
TZMR .....	118
TZOC .....	120
TZPR .....	119
TZSC .....	119

**U**

U0BRG .....	147
U0C0 .....	148
U0C1 .....	149
U0MR .....	148
U0RB .....	147
U0TB .....	147
U1BRG .....	147
U1C0 .....	148
U1C1 .....	149
U1MR .....	148

U1RB .....	147
U1TB .....	147
UART .....	155
UCON .....	149
USP .....	14
Uフラグ .....	15

**V**

VCA1 .....	42
VCA2 .....	42
VCC入力電圧のモニタ .....	45
VW1C .....	43
VW2C .....	44

**W**

WDC .....	98
WDTR .....	99
WDTS .....	99

**Z**

Zフラグ .....	14
------------	----

**あ**

アウトプットコンペアモード .....	142
アドレス一致割り込み .....	92
アドレスレジスタ .....	14

**い**

イベントカウンタモード .....	109
インプットキャプチャモード .....	140

**う**

ウェイトモード .....	63
ウォッチドッグタイマ .....	97
ウォッチドッグタイマリセット .....	27

**お**

応用 .....	1
オーバフローフラグ .....	15
オンチップオシレータクロック .....	60
オンチップデバッガの注意事項 .....	225

<b>か</b>	<b>そ</b>
外形寸法図 ..... 226	ソフトウェアコマンド ..... 185
概要 ..... 1	ソフトウェアリセット ..... 27
<b>き</b>	ソフトウェア割り込み ..... 72
キー入力割り込み ..... 90	<b>た</b>
キャリフラグ ..... 14	タイマ ..... 102
極性選択機能 ..... 153	タイマC ..... 134
<b>く</b>	タイマX ..... 103
繰り返しモード ..... 167	タイマZ ..... 117
クロック同期形シリアルI/Oモード ..... 150	タイマモード ..... 106, 122
クロック発生回路 ..... 53	端子の機能説明 ..... 10
クロック非同期形シリアルI/O(UART)モード ..... 155	単発モード ..... 165
<b>こ</b>	<b>ち</b>
高速オンチップオシレータクロック ..... 60	中央演算処理装置(CPU) ..... 13
コンパレータ ..... 161	<b>つ</b>
<b>さ</b>	通常動作モード ..... 62
サインフラグ ..... 14	<b>て</b>
<b>し</b>	低速オンチップオシレータクロック ..... 60
システムクロック ..... 61	データレジスタ ..... 14
周辺機能クロック ..... 61	デバッグフラグ ..... 14
シリアルインタフェース ..... 145	電圧監視1リセット ..... 47, 27
シリアルライタとオンチップデバッグ	電圧監視2リセット ..... 27
エミュレータとの接続例 ..... 228	電圧監視2割り込み、電圧監視2リセット ..... 48
<b>す</b>	電圧検出回路 ..... 40
スタックポインタ指定フラグ ..... 15	<b>と</b>
スタティックベースレジスタ ..... 14	特殊割り込み ..... 73
ステータスレジスタ ..... 189	<b>は</b>
ストップモード ..... 65	ハードウェアリセット ..... 24
<b>せ</b>	バス制御 ..... 52
性能概要 ..... 2	発振停止検出機能 ..... 67
製品一覧 ..... 5	発振停止検出機能の使用方法 ..... 67
ゼロフラグ ..... 14	発振評価回路例 ..... 229
	パラレル入出力モード ..... 196
	パルス周期測定モード ..... 113
	パルス出力モード ..... 107
	パルス幅測定モード ..... 110
	パワーコントロール ..... 62

## ひ

ビットレート .....	159
標準シリアル入出力モード .....	192
ピン接続図 .....	7

## ふ

フラグレジスタ .....	14
フラッシュメモリ .....	170
フラッシュメモリ書き換え禁止機能 .....	173
フルステータスチェック .....	190
フレームベースレジスタ .....	14
プログラマブルウェイトワンショット発生モード .....	130
プログラマブル入出力ポート .....	28
プログラマブル波形発生モード .....	124
プログラマブルワンショット発生モード .....	127
プログラムカウンタ .....	14
プロセッサモード .....	50
プロセッサ割り込み優先レベル .....	15
ブロック図 .....	4
プロテクト .....	70

## み

未使用端子の処理 .....	35, 39
----------------	--------

## め

メインクロック .....	59
メモリ .....	16
メモリ配置 .....	171

## ゆ

ユーザスタックポインタ .....	14
-------------------	----

## よ

予約領域 .....	15
------------	----

## り

リセット .....	22
------------	----

## れ

レジスタバンク指定フラグ .....	14
連続受信モード .....	154

## わ

割り込み .....	71
割り込み許可フラグ .....	15
割り込みスタックポインタ .....	14
割り込み制御 .....	76
割り込み制御レジスタ .....	76
割り込みテーブルレジスタ .....	14
割り込みと割り込みベクタ .....	74
割り込みの概要 .....	71
割り込みの分類 .....	71

改訂記録	R8C/18 グループ、R8C/19 グループハードウェアマニュアル
------	------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2005.01.28	-	初版発行
0.20	2005.03.15	5、6 16 18 48 53 59 87 92 93 122、125 128 131 140 144 151 156 157 158、161、163 211 218	表 1.3、表 1.4 開発中へ変更 表 4.1 000Fh番地のリセット後の値を修正 表 4.3 009Ch ~ 009Dh番地のリセット後の値を修正、注2を修正 図 10.1 fRING-fastに追記 「10.1 メインクロック」6行目 追記(リセット中および) 表 10.4 INT3割り込みの使用条件を修正 3行目 追記(AIER、、、) 表 13.1 ウォッチドッグタイマ初期化条件 を追記 図 13.2 WDCレジスタのリセット後の値を修正、注1を追記 表 14.9、表 14.10 カウント終了時 カウント停止時 8行目 またはTZOCレジスタの、、、停止にしたとき、 を追記 図 14.26 TM0レジスタのリセット後の値を修正、注2を追記 図 15.1 UART1を修正 図 15.5 UCONレジスタのU1SEL0、U1SEL1を追記 表 15.6 TXD1、RXD1の選択方法を追記/修正 表 16.1 動作クロック ADにfRING-fastを追記 図 16.1 コンパレータ変換速度選択にfRING-fastを追記 図 16.2、図 16.4、図 16.5 CKS0ビットの機能に追記 「19.3.2 タイマZ使用上の注意」8行目 またはTZOCレジスタの、、、停止にしたとき、 を追記 (2) 追記(AIER、、、)
1.00	2005.05.27	5、6 9 21 33 ~ 36 41 42 45 46 53 55 56 59 60 61	表 1.3、表 1.4 開発中を一部削除 表 1.5 タイマCの端子名を修正 図 5.3 修正 表 6.4 ~ 表 6.17 追記 図 7.5 b3のビットシンボルを削除 図 7.6 注10を追記 表 7.2 一部修正 表 7.3 一部修正 図 10.2 注2を一部削除 図 10.4 注4を一部削除 図 10.5 HRA0レジスタの注2を一部削除 「10.3.2 CPUクロック」本文を一部削除 表 10.2 モード名を追記 「10.4.1.1 高速モード」本文を一部削除

改訂記録		R8C/18 グループ、R8C/19 グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.05.27	61	「10.4.1.2 中速モード」 本文を一部削除
			「10.4.1.3 高速、低速オンチップオシレータモード」 本文を一部削除
		64	図10.7 パワーコントロールの状態遷移 修正
		65	(旧) 図10.8 削除
		67	「10.6.1 ストップモード、ウェイトモード」 修正
		101	図14.1 一部修正
		104	表14.2 一部項目名を修正
		105	表14.3 一部項目名を修正
		107	表14.4 一部項目名を修正
		108	表14.5 一部項目名を修正
		111	表14.6 一部項目名を修正
		141	図14.31 一部修正
		161	図16.2 ADCON0レジスタ (注5)を追記、ADGSEL0ビットの機能説明を変更
		164	図16.4 ADCON0レジスタ (注5)を追記、ADGSEL0ビットの機能説明を変更
		166	図16.5 ADCON0レジスタ (注5)を追記、ADGSEL0ビットの機能説明を変更
		179	図17.7 注2、注3を一部修正(上記期間以外は“0”、…)
		181	図17.9 FMR01ビットに“0”(CPU書き換えモード無効)へ修正
		182	図17.11 注4削除、注3を修正、フラッシュメモリ回路安定待ち(30μs)へ修正
		186	図17.14 ブロックの任意の番地にへ修正
		190	「17.5 標準シリアルモード」 標準シリアル入出力モード2を追記
			表17.7 追記
		191	表17.8 表題一部変更
			本文追記
192	図17.16 図題一部変更		
193	「17.5.1.1 標準シリアル入出力モード時の端子処理例」 一部変更/追記		
	図17.17 追記		
	図17.18 図題一部変更		
196	(旧)「17.7.1.7」を削除		
199	表18.4 一部追記/修正		
200	表18.5 一部追記/修正 注4を変更		
	図18.2 修正		
203	表18.10 一部追記		
212	「19.1.1 ストップモード、ウェイトモード」 修正		
	「19.1.3 発振回路定数」 追記		

改訂記録		R8C/18 グループ、R8C/19 グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.05.27	221 223	(旧)「19.6.1.7」を削除 「20. オンチップデバッグの注意事項」(4) 追記
1.10	2005.06.09	27 28 29 34 36 104 105 107 108 111 120 192 203 225	図6.1 注1を追記 図6.2 注1を追記 図6.3 注4を追記 表6.7 レジスタ名を修正 表6.15 UCON PD3 へ修正 表14.2 タイマの書き込みの仕様を一部修正 表14.3 タイマの書き込みの仕様を一部修正 表14.4 タイマの書き込みの仕様を一部修正 表14.5 タイマの書き込みの仕様を一部修正 表14.6 タイマの書き込みの仕様を一部修正 表14.7 タイマの書き込みの仕様を一部修正 図17.16 一部修正 表18.10 「高速オンチップオシレータ発振の温度依存性」の測定条件、 最大値、単位を修正 付図2.1、2.2 一部修正
1.20	2005.11.01	3 4 6 9 11 13 15 16	表1.2 R8C/19グループの性能概要 フラッシュメモリ: (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM) へ変更 図1.1 ブロック図 「周辺機能」追記 「システムクロック発生」 「システムクロック発生器」へ変更 表1.4 R8C/19グループの製品一覧表 ROM容量: プログラム領域 プログラムROM データ領域 データフラッシュへ変更 表1.5 端子の機能説明 •電源入力 「VCC/AVCC」 「VCC」 「VSS/AVSS」 「VSS」へ変更 •アナログ電源入力行 追記 図2.1 CPUのレジスタ 「予約領域」 「予約ビット」へ変更 2.8.10 予約領域 「予約領域」 「予約ビット」へ変更 3.2 R8C/19グループ、図3.2 R8C/19グループのメモリ配置図 (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM) へ変更 表4.1 SFR一覧(1) リセット後の値を変更 0009h: アドレス一致割り込み許可レジスタ「XXXXXX00b」 「00h」 000Ah: プロテクトレジスタ「00XXX000b」 「00h」 001Eh: INTO入力フィルタ選択レジスタ「XXXXX000b」 「00h」

改訂記録		R8C/18 グループ、R8C/19 グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2005.11.01	18	表4.3 SFR一覧(3) <ul style="list-style-type: none"> <li>•0085h プリスケーラZ プリスケーラZレジスタ</li> <li>•0086h タイマZセカンダリ タイマZセカンダリレジスタ</li> <li>•0087h タイマZプライマリ タイマZプライマリレジスタ</li> <li>•008Ch プリスケーラX プリスケーラXレジスタ</li> <li>•008Dh タイマX タイマXレジスタ</li> <li>•0090h, 0091h タイマC タイマCレジスタ</li> </ul>
		36	表6.16 ポートXIN/P4_6とXOUT/P4_7 設定値を変更 CM1「1」「0」、CM0「0」「1」、帰還抵抗「OFF」「ON」
		37	表6.18 未使用端子の処理例、図6.9 未使用端子の処理例 「ポートP4_2、P4_6、P4_7」「ポートP4_6、P4_7」 「VREF」「ポートP4_2/VREF」
		50	9. バス制御 「2回アクセス」「2回(R8C/18、19 HWマニュアルの場合)アクセス」 表9.2 R8C/1B(19)グループのアクセス領域に対するバスサイクル 追加 表9.3 アクセス単位とバスの動作 「SFR」「SFR、データフラッシュ」 「ROM、RAM」「ROM(プログラムROM)、RAM」
		51	表10.1 クロック発生回路の概略仕様 注2 削除
		55	図10.4 OCDレジスタ 注3 一部削除
		58	10.2.2 高速オンチップオシレータクロック 「高速オンチップオシレータの周波数は、、、参照してください。」追記
		60	表10.2 クロック関連ビットの設定とモード CM17、CM16 中速モード 16分周「00b」「11b」 高速、低速、、、モード 2分周「00b」「01b」 CM1レジスタ CM13 追加
		65	10.5.1 発振停止検出機能の使用方法 「周波数が2MHz以下の、、、」「周波数が2MHz未満の、、、」
		66	図10.8 低速オンチップオシレータからメインクロックへの切り替え手順 変更
		67	10.6.2 発振停止検出機能 「周波数が2MHz以下の、、、」「周波数が2MHz未満の、、、」 10.6.4 高速オンチップオシレータクロック 追加
		68	図11.1 PRCRレジスタ リセット後の値「00XXX000b」「00h」
		83	図12.11 INTEN、INT0Fレジスタ リセット後の値 「XXXXX000b」「00h」
		91	図12.19 AIER、RMAD0～RMAD1レジスタ アドレス一致割り込み許可レジスタ、 アドレス一致割り込みレジスタ <i>i</i> ( <i>i</i> =0, 1) 変更
101	図14.1 タイマXのブロック図 「周辺データバス」「データバス」		

改訂記録		R8C/18 グループ、R8C/19 グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2005.11.01	114	14.1.6 タイマX使用上の注意 「カウント停止中にTXSビットに、、、アクセスしないでください。」 「カウント停止中にTXSビットに、、、からカウントを開始します。」
		115	図 14.11 タイマZのブロック図 「周辺データバス」 「データバス」
		131	14.2.5 タイマZ使用上の注意 「カウント停止中にTZSビットに、、、アクセスしないでください。」 「カウント停止中にTZSビットに、、、からカウントを開始します。」
		145	図 15.3 U0TB ~ U1TB、U0RB ~ U1RB、U0BRG ~ U1BRG レジスタ UARTi送信バッファレジスタ(i=0 ~ 1)、UARTi受信バッファレジスタ (i=0 ~ 1) 変更
		147	図 15.5 U0C1 ~ U1C1、UCON レジスタ UARTi送受信制御レジスタ(i=0 ~ 1) 変更
		154	表 15.5 UARTモード時の使用レジスタと設定値 UiBRG: 「 - 」 「0 ~ 7」変更
		159	表 16.1 コンパレータの性能 アナログ入力電圧: 「0V ~ Vref」 「0V ~ AVCC」
		168	表 17.1 フラッシュメモリの性能概要 プログラムイレーズ回数: (プログラム領域) (プログラムROM) (データ領域) (データフラッシュ)へ変更
		169	17.2 メモリ配置 「R8C/19グループの、、領域とは、、ブロックBがあります。」 「R8C/19 グループの、、領域(プログラムROM)とは、、ブロックB(データフラッシュ)があります。」
		170	図 17.1 R8C/18グループのフラッシュメモリのブロック図 変更
		170	図 17.2 R8C/19グループのフラッシュメモリのブロック図 変更
		185	17.4.3.5 ブロックイレーズ 「プログラムサスペンド中、、、コマンドは受け付けられません。」追記
		195	表 17.10 EW1モード時の割り込み 自動書き込み中(プログラムサスペンド機能有効)(プログラムサスペンド機能無効) マスカブル割り込み要求受付時: 変更
		199	表 18.4 フラッシュメモリ(プログラムROM)の電気的特性 注1 ~ 7 追記
		200	表 18.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性 注1、3 変更
		202	表 18.8 リセット回路の電気的特性(電圧監視1リセット使用時) 注2 変更
		203	表 18.10 高速オンチップオシレータ発振回路の電気的特性 「高速、、発振の温度依存性」 「高速、、発振周波数の温度依存性」 注2、注3 追記
		205	表 18.13 電気的特性(2) [Vcc = 5V] 注1 削除
		208	表 18.19 電気的特性(3) [Vcc = 3V] 注1 削除



改訂記録		R8C/18 グループ、R8C/19 グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2005.11.01	216 216-217 220	19.3.1 タイマX使用上の注意 「カウント停止中にTXSビットに、、、アクセスしないでください。」 「カウント停止中にTXSビットに、、、からカウントを開始します。」 19.3.2 タイマZ使用上の注意 「カウント停止中にTZSビットに、、、アクセスしないでください。」 「カウント停止中にTZSビットに、、、からカウントを開始します。」 表19.2 EW1 モード時の割り込み 自動書き込み中(プログラムサスペンド機能有効)(プログラムサスペンド機能無効) マスカブル割り込み要求受付時: 変更
1.30	2006.4.14	- 1 2、3 5、6 9 12 16、17 26 35-38 54 69 93 97 98 107 135 142 147 148 162	PWQN0028KA-Bパッケージ製品を追加 1. 「またはSDIPに収められています。」 「SDIPまたは28ピン、、、収められています。」 表1.1、表1.2 「28ピンプラスチックモールドHWQFN」追記 表1.3、表1.4 型名を追記、削除 図1.6 追記 表1.7 追記 図3.1、図3.2 型名を追記、削除 5.2 「RESET端子にコンデンサを、、、ご注意ください。」追記 表6.4-表6.17 「X:“0”または“1”」追記 「レジスタ名」「レジスタ」 「シンボル名」「ビット」 表6.4、表6.5、表6.6 レジスタ名:P1 削除 出力ポート、出力ポート(High 駆動)の設定値 削除 表6.12、表6.13、表6.14 レジスタ名:P3 削除 出力ポートの設定値 削除 図10.1 変更 10.6.1 変更 図12.19 「不定 “0”」 図13.1 「PM12:PM1レジスタのビット」追記 図13.2 OFSレジスタ:注1 変更、注2 追記 WDCレジスタ:注1 削除 表14.3 注1 追記 図14.25 表 追記 表14.12 注1 変更 図15.3 注3 追記 図15.4 注1 追記 図16.1 変更

改訂記録		R8C/18 グループ、R8C/19 グループハードウェアマニュアル	
Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2006.4.14	174	17.3.2 「ROMCR ビットに“0”を書くと、、、変更ができます。」削除 「ROMCRビットに“0”を書いてください」 「OFSレジスタを含むブロックを消去してください」変更
			図17.4 注1 変更、注2 追記
		179	図17.5 注6 追記
		189	表17.5 リセット後の値を修正
		191	図17.15 変更
		201、202	表18.4、表18.5 「Topr」 「周囲温度」変更、測定条件「Vcc=5.0V、Topr=25 」削除
		207、211	表18.13、表18.20 「(指定のない場合は、、、)」追記、 測定条件 ストップモード:「Topr = 25 」追記
		209、213	表18.17、表18.24 td(C-Q)、tsu(D-C)の規格値を変更
		214	19.1.1 変更
		226、227	付録1 外形寸法図 変更と追記
		228	付図2.1 変更
		229	付図3.1 変更

---

R8C/18グループ、R8C/19グループハードウェアマニュアル

発行年月日 2005年1月28日 Rev.0.10  
2006年4月14日 Rev.1.30

発行 株式会社 ルネサス テクノロジ 営業企画統括部  
〒100-0004 東京都千代田区大手町2-6-2

---

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.

# R8C/18 グループ、R8C/19 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0232-0130