

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/14グループ、R8C/15グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ／R8C/Tinyシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

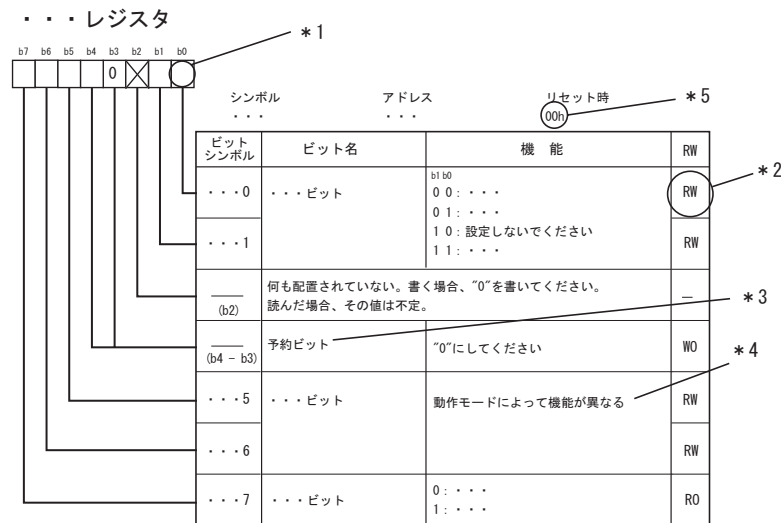
1. 対象

このマニュアルはR8C/14、R8C/15グループのハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2. レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



* 1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- x : 何も配置されていないビットです。

* 2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

* 3

- ・予約ビット
予約ビットです。指定された値にしてください。

* 4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

* 5

- 2進数、16進数の表記法は、各マニュアルの本文に従ってください。

3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。(注1)

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング) 周辺機能の使用方法はアプリケーションノートを参照してください。
ソフトウェアマニュアル	命令(アセンブリ言語)の動作の詳細
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

目次

番地別ページ早見表	B-1
1. 概要	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	4
1.4 製品一覧	5
1.5 ピン接続図	7
1.6 端子の機能説明	8
2. 中央演算処理装置 (CPU)	10
2.1 データレジスタ (R0、R1、R2、R3).....	11
2.2 アドレスレジスタ (A0、A1).....	11
2.3 フレームベースレジスタ (FB).....	11
2.4 割り込みテーブルレジスタ (INTB).....	11
2.5 プログラムカウンタ (PC).....	11
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	11
2.7 スタティックベースレジスタ (SB)	11
2.8 フラグレジスタ (FLG).....	11
2.8.1 キャリフラグ (C フラグ)	11
2.8.2 デバッグフラグ (D フラグ)	11
2.8.3 ゼロフラグ (Z フラグ)	11
2.8.4 サインフラグ (S フラグ).....	11
2.8.5 レジスタバンク指定フラグ (B フラグ)	11
2.8.6 オーバフローフラグ (O フラグ)	12
2.8.7 割り込み許可フラグ (I フラグ)	12
2.8.8 スタックポインタ指定フラグ (U フラグ)	12
2.8.9 プロセッサ割り込み優先レベル (IPL)	12
2.8.10 予約ビット.....	12
3. メモリ	13
3.1 R8C/14 グループ.....	13
3.2 R8C/15 グループ.....	14
4. SFR	15

5.	リセット	19
5.1	ハードウェアリセット	21
5.1.1	電源が安定している場合	21
5.1.2	電源投入時	21
5.2	パワーオンリセット機能	23
5.3	電圧監視 1 リセット	24
5.4	電圧監視 2 リセット	24
5.5	ウォッチドッグタイマリセット	24
5.6	ソフトウェアリセット	24
6.	電圧検出回路	25
6.1	VCC 入力電圧のモニタ	30
6.1.1	Vdet1 のモニタ	30
6.1.2	Vdet2 のモニタ	30
6.2	電圧監視 1 リセット	31
6.3	電圧監視 2 割り込み、電圧監視 2 リセット	32
7.	プロセッサモード	34
7.1	プロセッサモードの種類	34
8.	バス制御	36
9.	クロック発生回路	37
9.1	メインクロック	43
9.2	オンチップオシレータクロック	44
9.2.1	低速オンチップオシレータクロック	44
9.2.2	高速オンチップオシレータクロック	44
9.3	CPU クロックと周辺機能クロック	45
9.3.1	システムクロック	45
9.3.2	CPU クロック	45
9.3.3	周辺機能クロック (f1、f2、f4、f8、f32)	45
9.3.4	fRING、fRING128	45
9.3.5	fRING-fast	45
9.3.6	fRING-S	45
9.4	パワーコントロール	46
9.4.1	通常動作モード	46

9.4.2	ウェイトモード	47
9.4.3	ストップモード	49
9.5	発振停止検出機能.....	51
9.5.1	発振停止検出機能の使用手法.....	51
10.	プロテクト	53
11.	割り込み	54
11.1	割り込みの概要.....	54
11.1.1	割り込みの分類	54
11.1.2	ソフトウェア割り込み.....	55
11.1.3	特殊割り込み	56
11.1.4	周辺機能割り込み.....	56
11.1.5	割り込みと割り込みベクタ	57
11.1.6	割り込み制御.....	59
11.2	INT 割り込み	68
11.2.1	INT0 割り込み	68
11.2.2	INT0 入力フィルタ	69
11.2.3	INT1 割り込み	70
11.2.4	INT3 割り込み	71
11.3	キー入力割り込み.....	73
11.4	アドレス一致割り込み	75
12.	ウォッチドッグタイマ	77
12.1	カウントソース保護モード無効時	80
12.2	カウントソース保護モード有効時	81
13.	タイマ	82
13.1	タイマ X.....	83
13.1.1	タイマモード	86
13.1.2	パルス出力モード.....	87
13.1.3	イベントカウンタモード	89
13.1.4	パルス幅測定モード	90
13.1.5	パルス周期測定モード.....	93
13.2	タイマ Z	96
13.2.1	タイマモード	101

13.2.2	プログラマブル波形発生モード	103
13.2.3	プログラマブルワンショット発生モード	106
13.2.4	プログラマブルウェイトワンショット発生モード	109
13.3	タイマ C	112
13.3.1	インプットキャプチャモード	118
13.3.2	アウトプットコンペアモード	120
14.	シリアルインタフェース	122
14.1	クロック同期形シリアル I/O モード	127
14.1.1	極性選択機能	130
14.1.2	LSB ファースト、MSB ファースト選択	130
14.1.3	連続受信モード	131
14.2	クロック非同期形シリアル I/O(UART) モード	132
14.2.1	CNTR0 端子選択機能	135
14.2.2	ビットレート	136
15.	チップセレクト付クロック同期形シリアル I/O(SSU)	137
15.1	転送クロック	146
15.1.1	転送クロックの極性、位相とデータの関係	146
15.2	SS シフトレジスタ (SSTRSR)	148
15.2.1	データ入出力端子と SS シフトレジスタの関係	148
15.3	割り込み要求	149
15.4	各通信モードと端子機能	150
15.5	クロック同期式通信モード	151
15.5.1	クロック同期式通信モードの初期化	151
15.5.2	データ送信	152
15.5.3	データ受信	154
15.5.4	データ送受信	156
15.6	4 線式バス通信モードの動作	158
15.6.1	4 線式バス通信モードの初期化	158
15.6.2	データ送信	160
15.6.3	データ受信	162
15.6.4	SCS 端子制御とアービトレーション	164
16.	A/D コンバータ	165
16.1	単発モード	169

16.2	繰り返しモード	171
16.3	サンプル & ホールド	173
16.4	A/D 変換サイクル数	173
16.5	アナログ入力内部等価回路	174
16.6	注入電流バイパス回路	175
17.	プログラマブル入出力ポート	176
17.1	プログラマブル入出力ポートの機能	176
17.2	周辺機能への影響	176
17.3	プログラマブル入出力ポート以外の端子	176
17.4	ポートの設定	183
17.5	未使用端子の処理	187
18.	フラッシュメモリ	188
18.1	概要	188
18.2	メモリ配置	189
18.3	フラッシュメモリ書き換え禁止機能	191
18.3.1	ID コードチェック機能	191
18.3.2	ROM コードプロテクト機能	192
18.4	CPU 書き換えモード	193
18.4.1	EW0 モード	194
18.4.2	EW1 モード	194
18.4.3	ソフトウェアコマンド	201
18.4.4	ステータスレジスタ	205
18.4.5	フルステータスチェック	206
18.5	標準シリアル入出力モード	208
18.5.1	ID コードチェック機能	208
18.6	パラレル入出力モード	212
18.6.1	ROM コードプロテクト機能	212
19.	電気的特性	213
20.	使用上の注意事項	231
20.1	ストップモード、ウェイトモード	231
20.1.1	ストップモード	231
20.1.2	ウェイトモード	231

20.2	割り込み	232
20.2.1	00000h 番地の読み出し	232
20.2.2	SP の設定	232
20.2.3	外部割り込み、キー入力割り込み	232
20.2.4	ウォッチドッグタイマ割り込み	232
20.2.5	割り込み要因の変更	233
20.2.6	割り込み制御レジスタの変更	234
20.3	クロック発生回路	235
20.3.1	発振停止検出機能	235
20.3.2	発振回路定数	235
20.4	タイマ	236
20.4.1	タイマ X、タイマ Z	236
20.4.2	タイマ X	236
20.4.3	タイマ Z	237
20.4.4	タイマ C	237
20.5	シリアルインタフェース	238
20.6	チップセレクト付クロック同期形シリアル I/O(SSU)	239
20.6.1	SSU 関連レジスタのアクセス	239
20.7	A/D コンバータ	240
20.8	フラッシュメモリ	241
20.8.1	CPU 書き換えモード	241
20.9	ノイズに関する注意事項	243
20.9.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間への バイパスコンデンサ挿入	243
20.9.2	ポート制御レジスタのノイズ誤動作対策	243
21.	オンチップデバッグの注意事項	244
付録 1.	外形寸法図	245
付録 2.	シリアルライターとオンチップデバッグエミュレータとの 接続例	246
付録 3.	発振評価回路例	247
索引		248

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	34
0005h	プロセッサモードレジスタ1	PM1	35
0006h	システムクロック制御レジスタ0	CM0	39
0007h	システムクロック制御レジスタ1	CM1	40
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	76
000Ah	プロテクトレジスタ	PRCR	53
000Bh			
000Ch	発振停止検出レジスタ	OCD	41
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	79
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	79
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	78
0010h	アドレス一致割り込みレジスタ0	RMAD0	76
0011h			
0012h			
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	76
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	79
001Dh			
001Eh	INT0入力フィルタ選択レジスタ	INT0F	68
001Fh			
0020h	高速リング制御レジスタ0	HRA0	42
0021h	高速リング制御レジスタ1	HRA1	42
0022h	高速リング制御レジスタ2	HRA2	42
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h	電圧検出レジスタ1	VCA1	27
0032h	電圧検出レジスタ2	VCA2	27
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ	VW1C	28
0037h	電圧監視2回路制御レジスタ	VW2C	29
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	59
004Eh	A/Dコンバータ割り込み制御レジスタ	ADIC	59
004Fh	SSU割り込み制御レジスタ	SSUAIC	59
0050h	コンペア1割り込み制御レジスタ	CMP1IC	59
0051h	UART0送信割り込み制御レジスタ	SOTIC	59
0052h	UART0受信割り込み制御レジスタ	SORIC	59
0053h			
0054h			
0055h			
0056h	タイマX割り込み制御レジスタ	TXIC	59
0057h			
0058h	タイマZ割り込み制御レジスタ	TZIC	59
0059h	INT1割り込み制御レジスタ	INT1IC	59
005Ah	INT3割り込み制御レジスタ	INT3IC	59
005Bh	タイマC割り込み制御レジスタ	TCIC	59
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	59
005Dh	INT0割り込み制御レジスタ	INT0IC	60
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0080h	タイマZモードレジスタ	TZMR	97
0081h			
0082h			
0083h			
0084h	タイマZ波形出力制御レジスタ	PUM	99
0085h	プリスケアラZレジスタ	PREZ	98
0086h	タイマZセカンダリレジスタ	TZSC	98
0087h	タイマZプライマリレジスタ	TZPR	98
0088h			
0089h			
008Ah	タイマZ出力制御レジスタ	TZOC	99
008Bh	タイマXモードレジスタ	TXMR	84
008Ch	プリスケアラXレジスタ	PREX	85
008Dh	タイマXレジスタ	TX	85
008Eh	タイマカウントソース設定レジスタ	TCSS	85
008Fh			
0090h	タイマCレジスタ	TC	114
0091h			
0092h			
0093h			
0094h			
0095h			
0096h	外部入力許可レジスタ	INTEN	68
0097h			
0098h	キー入力許可レジスタ	KIEN	74
0099h			
009Ah	タイマC制御レジスタ0	TCC0	115
009Bh	タイマC制御レジスタ1	TCC1	116
009Ch	キャプチャ、コンペア0レジスタ	TM0	114
009Dh			
009Eh	コンペア1レジスタ	TM1	114
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	125
00A1h	UART0転送速度レジスタ	U0BRG	124
00A2h	UART0送信バッファレジスタ	U0TB	124
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	125
00A5h	UART0送受信制御レジスタ1	U0C1	126
00A6h	UART0受信バッファレジスタ	U0RB	124
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h	UART送受信制御レジスタ2	UCON	126
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH	SSCRH	139
00B9h	SS制御レジスタL	SSCRL	140
00BAh	SSモードレジスタ	SSMR	141
00BBh	SS許可レジスタ	SSER	142
00BCh	SSステータスレジスタ	SSSR	143
00BDh	SSモードレジスタ2	SSMR2	144
00BEh	SS送信データレジスタ	SSTDR	145
00BFh	SS受信データレジスタ	SSRDR	145

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
00C0h	A/Dレジスタ	AD	168
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D制御レジスタ2	ADCON2	168
00D5h			
00D6h	A/D制御レジスタ0	ADCON0	167
00D7h	A/D制御レジスタ1	ADCON1	167
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポートP1レジスタ	P1	181
00E2h			
00E3h	ポートP1方向レジスタ	PD1	180
00E4h			
00E5h	ポートP3レジスタ	P3	181
00E6h			
00E7h	ポートP3方向レジスタ	PD3	180
00E8h	ポートP4レジスタ	P4	181
00E9h			
00EAh	ポートP4方向レジスタ	PD4	180
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh	ブルアップ制御レジスタ0	PUR0	182
00FDh	ブルアップ制御レジスタ1	PUR1	182
00FEh	ポートP1駆動能力制御レジスタ	DRR	182
00FFh	タイマC出力制御レジスタ	TCOUT	117

番地	レジスタ	シンボル	掲載 ページ
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	197
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	197
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	196
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

0FFFh	オプション機能選択レジスタ	OFS	78、192
-------	---------------	-----	--------

注1. 空欄および0100h～01AFh番地、01C0h～02FFh番地は予約領域です。アクセスしないでください。

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/TinyシリーズCPUコアを搭載したシングルチップマイクロコンピュータで、20ピンプラスチックモールドLSSOPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

さらに、R8C/15グループはデータフラッシュROM(1KB×2ブロック)を内蔵します。

R8C/14グループとR8C/15グループの違いはデータフラッシュROMの有無だけです。周辺機能は同一です。

1.1 応用

家電、事務機器、住設機器（センサ、セキュリティ）、産業一般、オーディオ、他

1.2 性能概要

表 1.1にR8C/14グループの性能概要を、表 1.2にR8C/15グループの性能概要を示します。

表 1.1 R8C/14グループの性能概要

項目	性能	
CPU	基本命令数	89命令
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)
	動作モード	シングルチップ
	アドレス空間	1Mバイト
	メモリ容量	表1.3を参照してください。
周辺機能	ポート	入出力：13本 (LED駆動用ポート含む) 入力：2本
	LED駆動用ポート	入出力：4本
	タイマ	タイマX：8ビット×1チャンネル、タイマZ：8ビット×1チャンネル(各タイマ：8ビットプリスケラ付) タイマC：16ビット×1チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)
	シリアルインタフェース	1チャンネル クロック同期形シリアル I/O、クロック非同期形シリアル I/O
	チップセレクト付クロック同期形シリアルI/O (SSU)	1チャンネル
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、4チャンネル
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケラ付) リセットスタート機能選択可能、カウントソース保護モード
	割り込み	内部：9要因、外部：4要因、ソフトウェア：4要因、 割り込み優先レベル：7レベル
	クロック発生回路	2回路 ・メインクロック発振回路(帰還抵抗内蔵) ・オンチップオシレータ(高速、低速) 高速オンチップオシレータは周波数調整機能付き
	発振停止検出機能	メインクロック発振停止検出機能
	電圧検出回路	内蔵
	パワーオンリセット回路	内蔵
	電気的特性	電源電圧
消費電流		標準 9mA (VCC=5V、f(XIN)=20MHz) 標準 5mA (VCC=3V、f(XIN)=10MHz) 標準 35μA (VCC=3V、ウェイトモード、周辺クロック停止) 標準 0.7μA (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V
	プログラム、イレーズ回数	100回
動作周囲温度	- 20 ~ 85 - 40 ~ 85 (Dバージョン)	
パッケージ	20ピンプラスチックモールド LSSOP	

表 1.2 R8C/15グループの性能概要

項目	性能	
CPU	基本命令数	89 命令
	最小命令実行時間	50ns (f(XIN)=20MHz、VCC=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、VCC=2.7 ~ 5.5V)
	動作モード	シングルチップ
	アドレス空間	1M バイト
	メモリ容量	表 1.4 を参照してください。
周辺機能	ポート	入出力：13 本 (LED 駆動用ポート含む) 入力：2 本
	LED 駆動用ポート	入出力：4 本
	タイマ	タイマ X：8 ビット×1 チャンネル、タイマ Z：8 ビット×1 チャンネル (各タイマ：8 ビットプリスケアラ付) タイマ C：16 ビット×1 チャンネル (インプットキャプチャ回路、アウトプットコンペア回路)
	シリアルインタフェース	1 チャンネル クロック同期形シリアル I/O、クロック非同期形シリアル I/O
	チップセレクト付クロック同期形シリアル I/O (SSU)	1 チャンネル
	A/D コンバータ	10 ビット A/D コンバータ：1 回路、4 チャンネル
	ウォッチドッグタイマ	15 ビット×1 チャンネル (プリスケアラ付) リセットスタート機能選択可能、カウントソース保護モード
	割り込み	内部：9 要因、外部：4 要因、ソフトウェア：4 要因、 割り込み優先レベル：7 レベル
	クロック発生回路	2 回路 ・メインクロック発振回路 (帰還抵抗内蔵) ・オンチップオシレータ (高速、低速) 高速オンチップオシレータは周波数調整機能付き
	発振停止検出機能	メインクロック発振停止検出機能
	電圧検出回路	内蔵
	パワーオンリセット回路	内蔵
	電気的特性	電源電圧
消費電流		標準 9mA (VCC=5V、f(XIN)=20MHz) 標準 5mA (VCC=3V、f(XIN)=10MHz) 標準 35 μ A (VCC=3V、ウェイトモード、周辺クロック停止) 標準 0.7 μ A (VCC=3V、ストップモード)
フラッシュメモリ	プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V
	プログラム、イレーズ回数	10,000 回 (データフラッシュ) 1,000 回 (プログラム ROM)
動作周囲温度	- 20 ~ 85 - 40 ~ 85 (D バージョン)	
パッケージ	20 ピンプラスチックモールド LSSOP	

1.3 ブロック図

図 1.1にブロック図を示します。

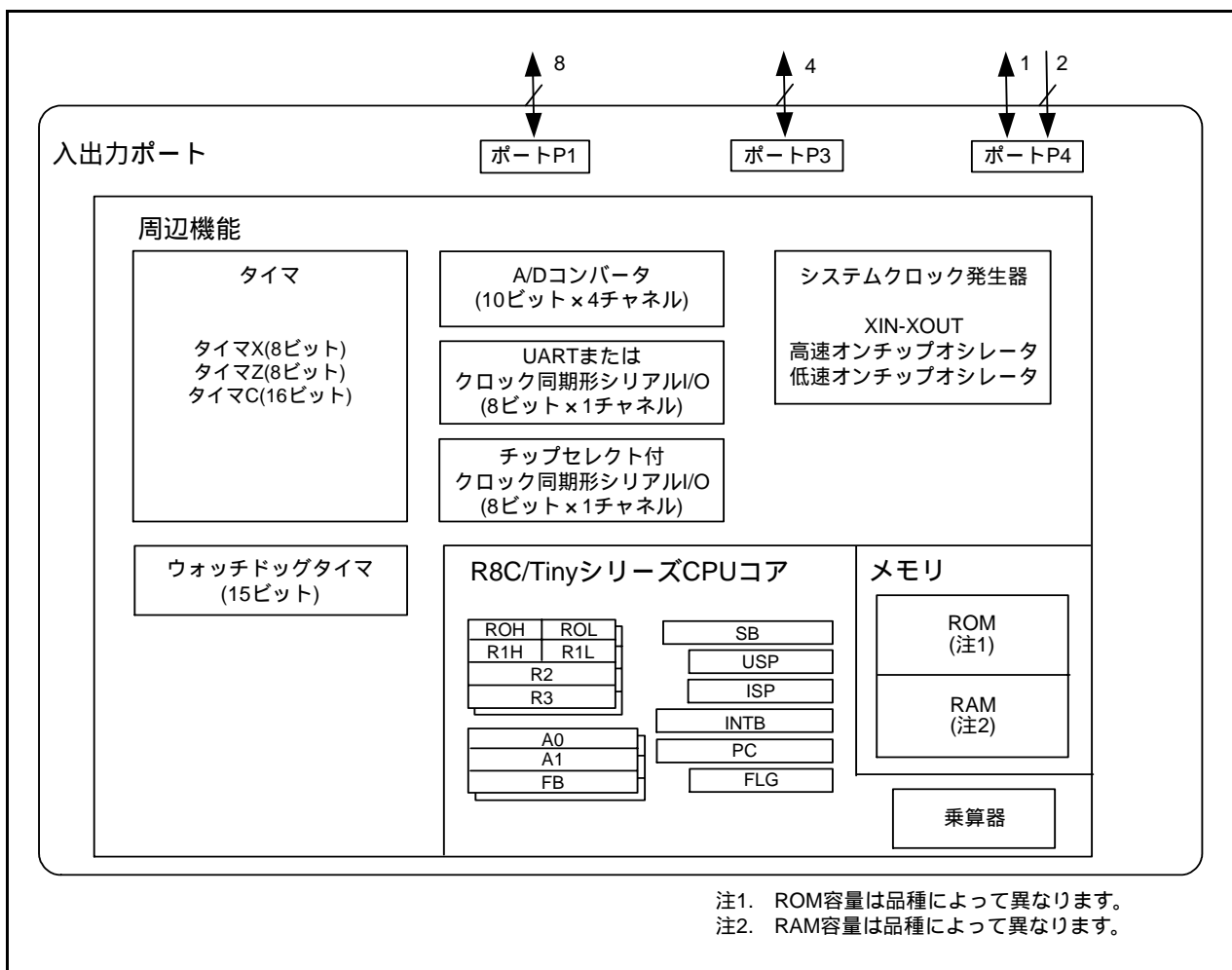


図 1.1 ブロック図

1.4 製品一覧

表 1.3にR8C/14グループの製品一覧表を、表 1.4にR8C/15グループの製品一覧表を示します。

表 1.3 R8C/14グループの製品一覧表

2006年1月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F21142SP	8Kバイト	512バイト	PLSP0020JB-A	フラッシュメモリ版
R5F21143SP	12Kバイト	768バイト	PLSP0020JB-A	
R5F21144SP	16Kバイト	1Kバイト	PLSP0020JB-A	
R5F21142DSP	8Kバイト	512バイト	PLSP0020JB-A	Dバージョン
R5F21143DSP	12Kバイト	768バイト	PLSP0020JB-A	
R5F21144DSP	16Kバイト	1Kバイト	PLSP0020JB-A	

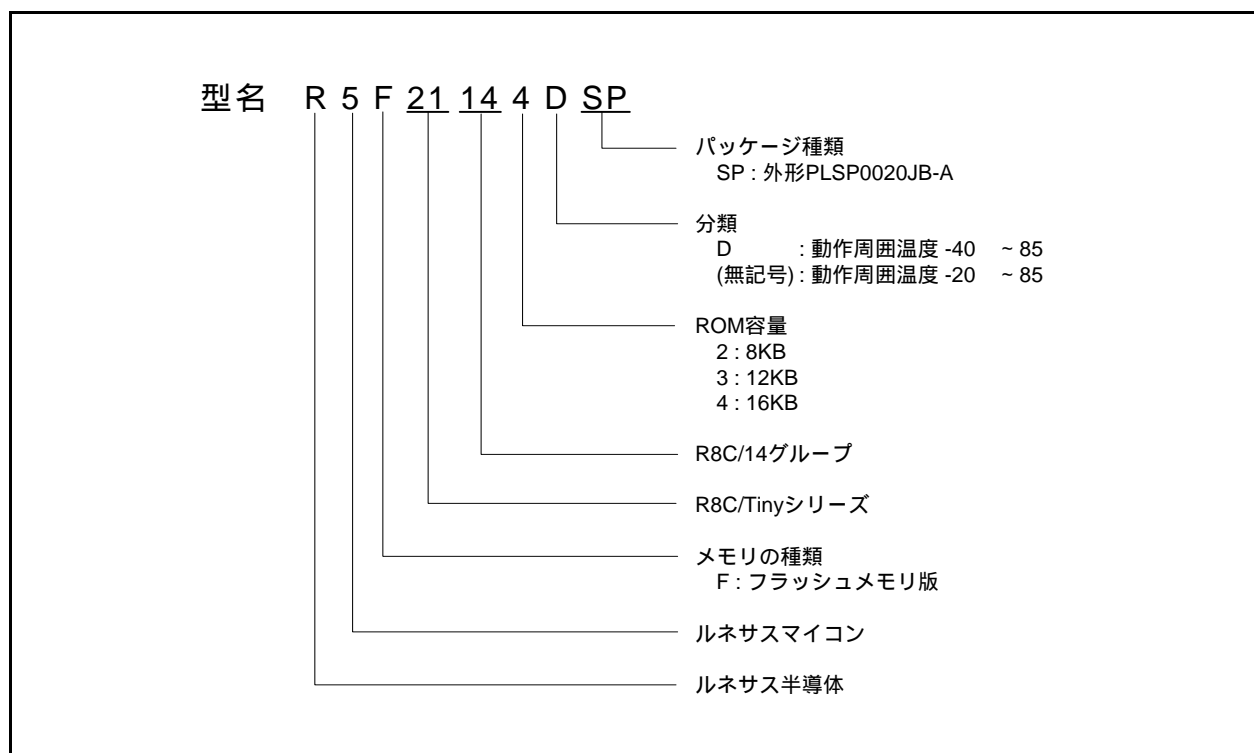


図 1.2 型名とメモリサイズ・パッケージ

表 1.4 R8C/15グループの製品一覧表

2006年1月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21152SP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	フラッシュメモリ版 Dバージョン
R5F21153SP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F21154SP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	
R5F21152DSP	8Kバイト	1Kバイト×2	512バイト	PLSP0020JB-A	
R5F21153DSP	12Kバイト	1Kバイト×2	768バイト	PLSP0020JB-A	
R5F21154DSP	16Kバイト	1Kバイト×2	1Kバイト	PLSP0020JB-A	

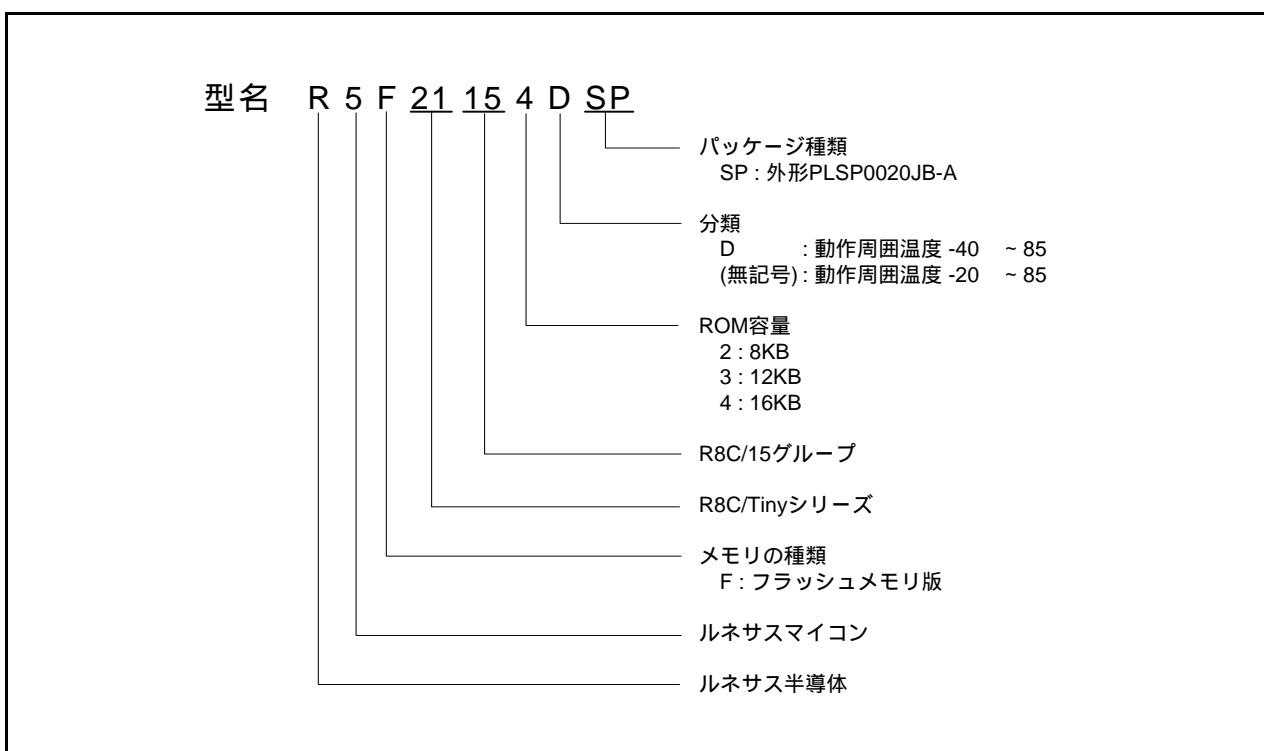


図 1.3 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図 1.4に PLSP0020JB-Aパッケージ品のピン接続図(上面図)を示します。

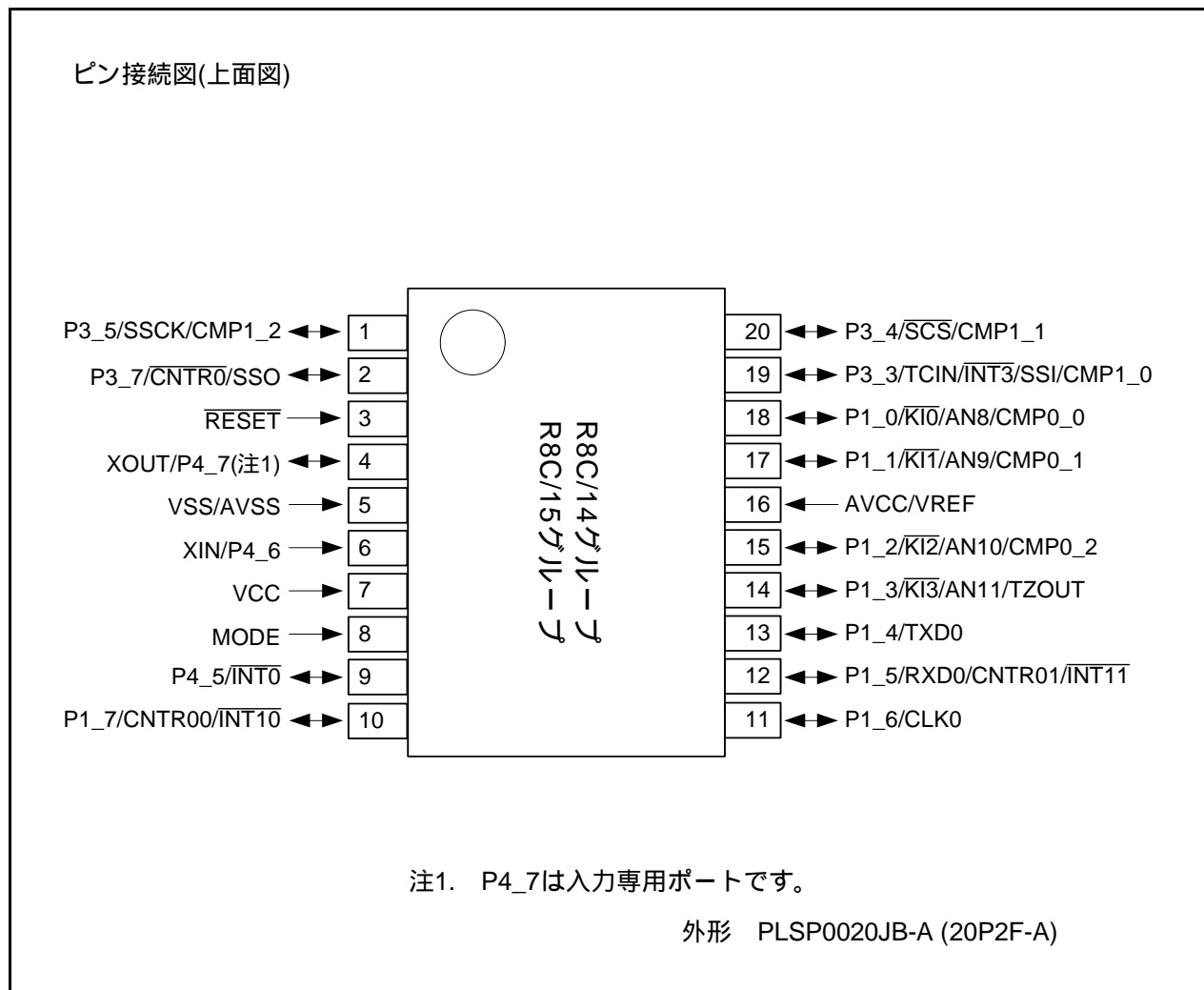


図 1.4 PLSP0020JB-Aパッケージ品のピン接続図(上面図)

1.6 端子の機能説明

表 1.5 に端子の機能説明を、表 1.6 にピン番号別端子名一覧を示します。

表 1.5 端子の機能説明

分類	端子名	入出力	機能
電源入力	VCC VSS	入力	VCC には、2.7V ~ 5.5V を入力してください。 VSS には、0V を入力してください。
アナログ電源入力	AVCC AVSS	入力	A/D コンバータの電源入力です。AVCC は VCC に接続してください。AVSS には 0V を入力してください。 AVCC と AVSS 間にはコンデンサを接続してください。
リセット入力	$\overline{\text{RESET}}$	入力	この端子に “L” を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介して VCC に接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XIN と XOUT の間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XIN からクロックを入力し、XOUT は開放にしてください。
メインクロック出力	XOUT	出力	
$\overline{\text{INT}}$ 割り込み入力	$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT3}}$	入力	$\overline{\text{INT}}$ 割り込みの入力です。
キー入力割り込み入力	$\overline{\text{KI0}}$ ~ $\overline{\text{KI3}}$	入力	キー入力割り込みの入力です。
タイマ X	CNTR0	入出力	タイマ X の入出力です。
	$\overline{\text{CNTR0}}$	出力	タイマ X の出力です。
タイマ Z	TZOUT	出力	タイマ Z の出力です。
タイマ C	TCIN	入力	タイマ C の入力です。
	CMP0_0 ~ CMP0_2、 CMP1_0 ~ CMP1_2	出力	タイマ C の出力です。
シリアルインタフェース	CLK0	入出力	転送クロック入出力です。
	RXD0	入力	シリアルデータ入力です。
	TXD0	出力	シリアルデータ出力です。
SSU	SSI	入出力	データ入出力です。
	$\overline{\text{SCS}}$	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/D コンバータの基準電圧入力です。VREF は VCC に接続してください。
A/D コンバータ	AN8 ~ AN11	入力	A/D コンバータのアナログ入力です。
入出力ポート	P1_0 ~ P1_7、 P3_3 ~ P3_5、 P3_7、P4_5	入出力	CMOS の入出力ポートです。入出力を選択するための方向レジスタを持ち、1 端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポート P1_0 ~ P1_3 は LED 駆動ポートとして使用できます。
入力ポート	P4_6、P4_7	入力	入力専用ポートです。

表 1.6 ピン番号別端子名一覧

ピン番号	制御端子	ポート	周辺機能の入出力端子				
			割り込み	タイマ	シリアルインタフェース	チップセレクト付クロック同期形シリアルI/O	ADコンバータ
1		P3_5		CMP1_2		SSCK	
2		P3_7		CNTR0		SSO	
3	RESET						
4	XOUT	P4_7					
5	VSS/AVSS						
6	XIN	P4_6					
7	VCC						
8	MODE						
9		P4_5	INT0				
10		P1_7	INT10	CNTR00			
11		P1_6			CLK0		
12		P1_5	INT11	CNTR01	RXD0		
13		P1_4			TXD0		
14		P1_3	KI3	TZOUT			AN11
15		P1_2	KI2	CMP0_2			AN10
16	AVCC/VREF						
17		P1_1	KI1	CMP0_1			AN9
18		P1_0	KI0	CMP0_0			AN8
19		P3_3	INT3	TCIN/CMP1_0		SSI	
20		P3_4		CMP1_1		SCS	

2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。CPU には 13 個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FB はレジスタバンクを構成しています。レジスタバンクは 2 セットあります。

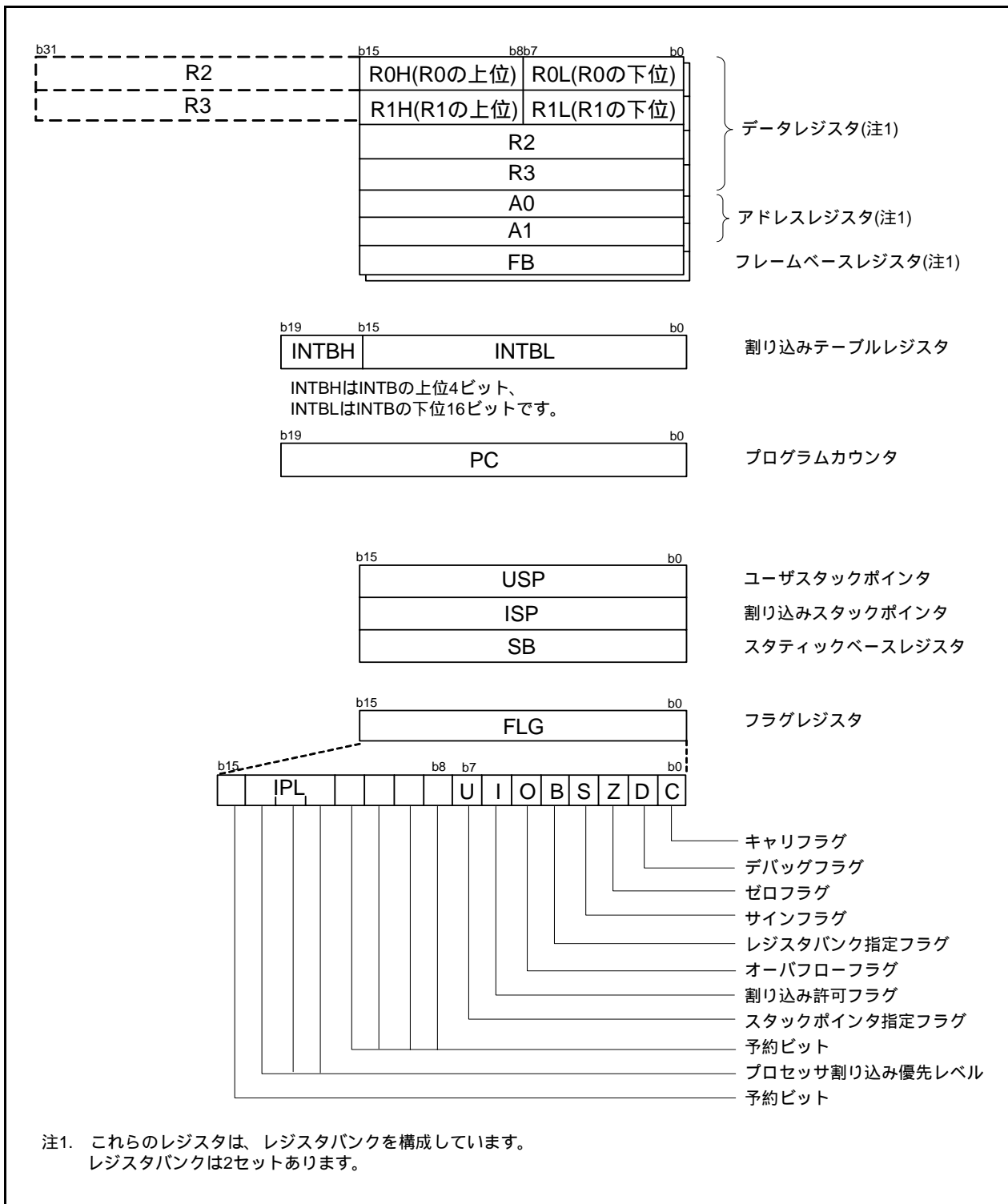


図 2.1 CPU のレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

3.1 R8C/14グループ

図 3.1 に R8C/14 グループのメモリ配置図を示します。アドレス空間は00000h 番地から FFFFFh 番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

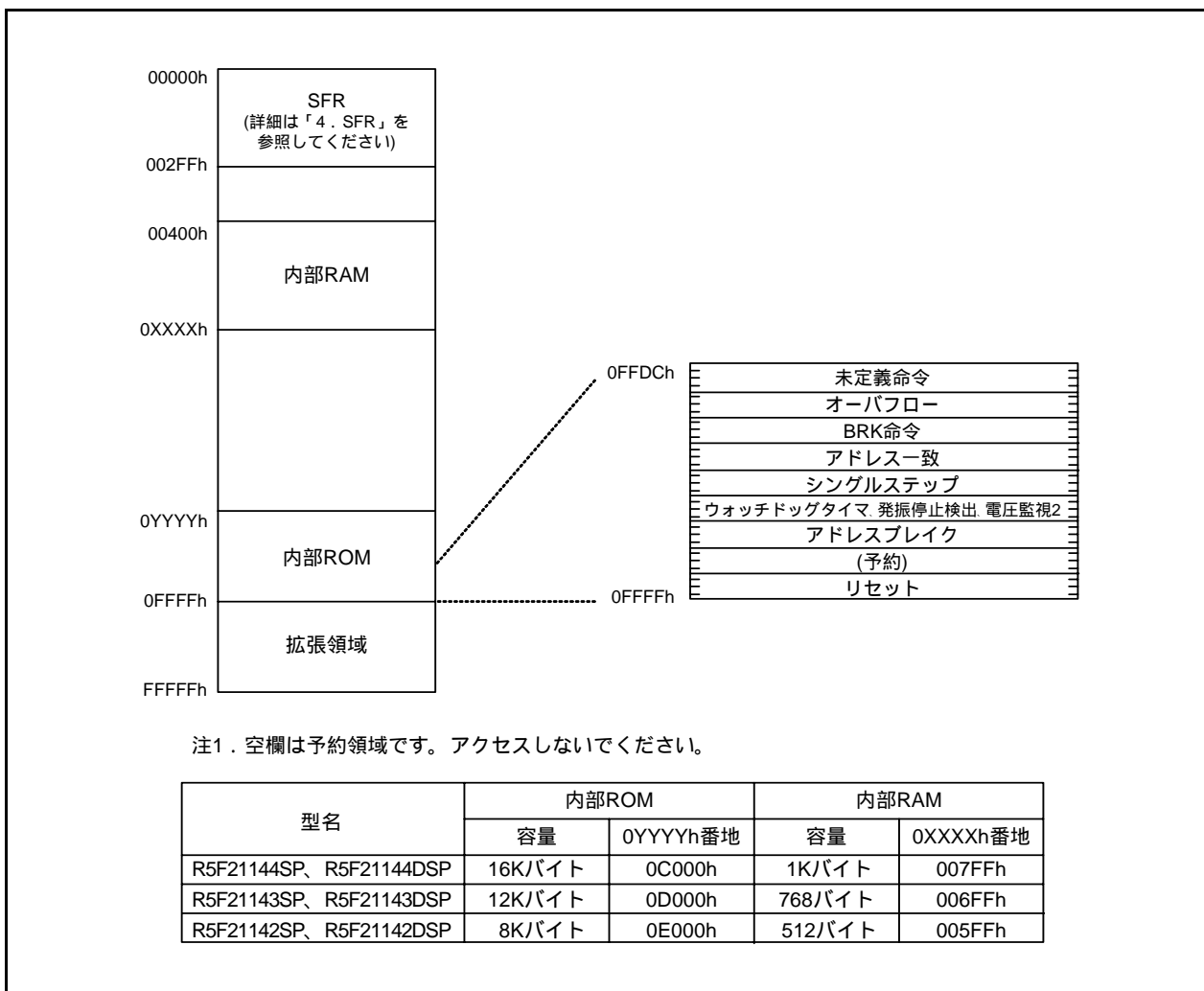


図 3.1 R8C/14グループのメモリ配置図

3.2 R8C/15グループ

図 3.2 に R8C/15 グループのメモリ配置図を示します。アドレス空間は 00000h 番地から FFFFFh 番地までの 1M バイトあります。内部 ROM (プログラム ROM) は 0FFFFh 番地から下位方向に配置されます。例えば 16K バイトの内部 ROM は、0C000h 番地から 0FFFFh 番地に配置されます。

固定割り込みベクタテーブルは 0FFDCh 番地から 0FFFFh 番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部 ROM (データフラッシュ) は 02400h 番地から 02BFFh 番地に配置されます。

内部 RAM は 00400h 番地から上位方向に配置されます。例えば 1K バイトの内部 RAM は、00400h 番地から 007FFh 番地に配置されます。内部 RAM はデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR は、00000h 番地から 002FFh 番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFR のうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

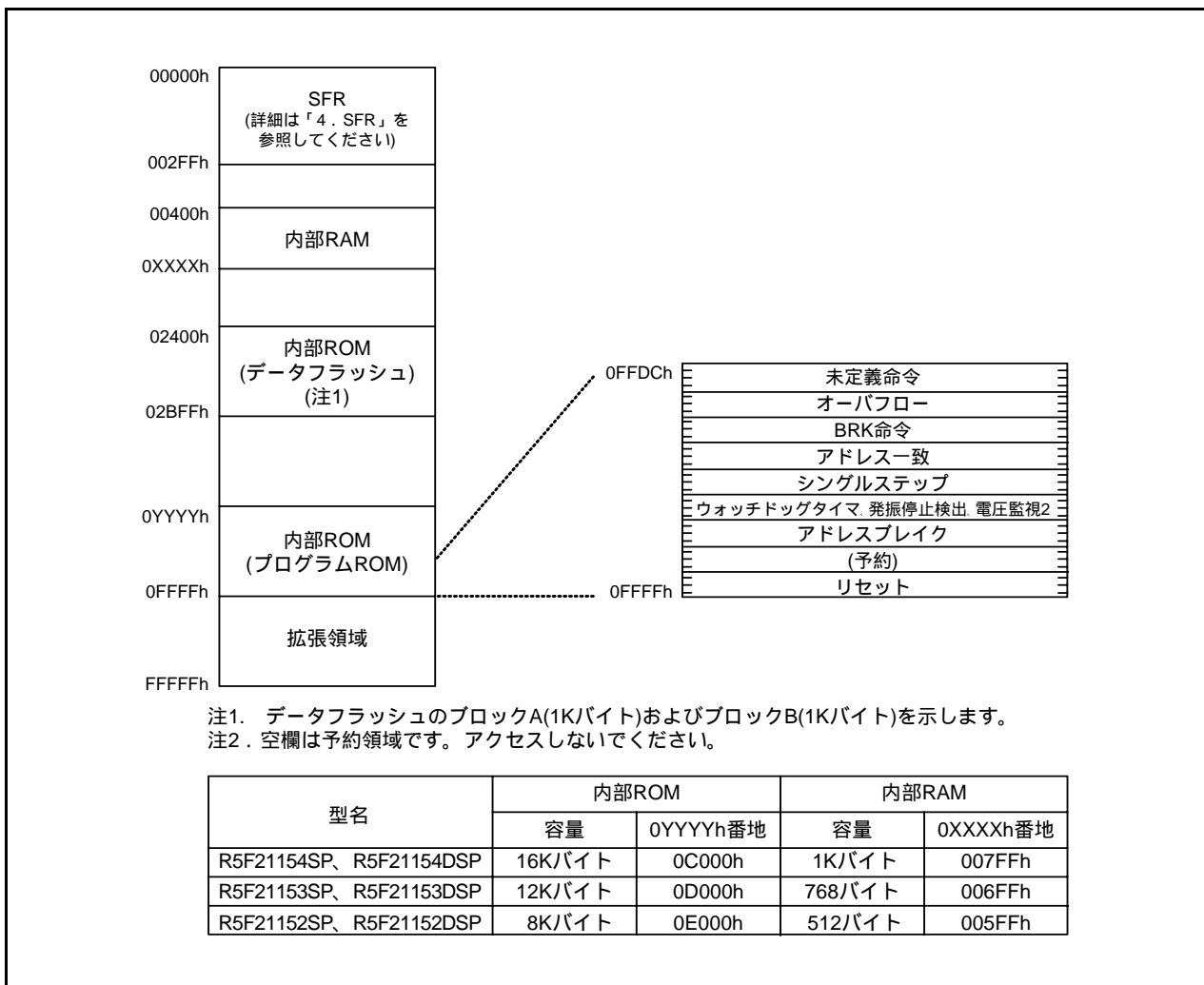


図 3.2 R8C/15グループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表 4.1 ~ 表 4.4 に SFR 一覧を示します。

表 4.1 SFR 一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	01101000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	00h
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00011111b
0010h	アドレス一致割り込みレジスタ 0	RMAD0	00h
0011h			00h
0012h			X0h
0013h			
0014h	アドレス一致割り込みレジスタ 1	RMAD1	00h
0015h			00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h
001Dh			
001Eh	INT0 入力フィルタ選択レジスタ	INT0F	00h
001Fh			
0020h	高速オンチップオシレータ制御レジスタ 0	HRA0	00h
0021h	高速オンチップオシレータ制御レジスタ 1	HRA1	出荷時の値
0022h	高速オンチップオシレータ制御レジスタ 2	HRA2	00h
0023h			
0024h			
0025h			
002Fh			
0030h			
0031h	電圧検出レジスタ 1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ 2 (注2)	VCA2	00h (注3) 01000000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視 1 回路制御レジスタ (注2)	VW1C	0000X000b (注3) 0100X001b (注4)
0037h	電圧監視 2 回路制御レジスタ (注5)	VW2C	00h
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは変化しません。

注 3. ハードウェアリセットの場合。

注 4. パワーオンリセット、電圧監視 1 リセットの場合。

注 5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視 2 リセットでは b2、b3 は変化しません。

X: 不定です。

表 4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah			
004Bh			
004Ch			
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	SSU割り込み制御レジスタ	SSUAIC	XXXXX000b
0050h	コンペア1割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h			
0055h			
0056h	タイマX割り込み制御レジスタ	TXIC	XXXXX000b
0057h			
0058h	タイマZ割り込み制御レジスタ	TZIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XXXXX000b
005Ah	INT3割り込み制御レジスタ	INT3IC	XXXXX000b
005Bh	タイマC割り込み制御レジスタ	TCIC	XXXXX000b
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh			
005Fh			
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表 4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h	タイムZモードレジスタ	TZMR	00h
0081h			
0082h			
0083h			
0084h	タイムZ波形出力制御レジスタ	PUM	00h
0085h	プリスケアラZレジスタ	PREZ	FFh
0086h	タイムZセカンダリレジスタ	TZSC	FFh
0087h	タイムZプライマリレジスタ	TZPR	FFh
0088h			
0089h			
008Ah	タイムZ出力制御レジスタ	TZOC	00h
008Bh	タイムXモードレジスタ	TXMR	00h
008Ch	プリスケアラXレジスタ	PREX	FFh
008Dh	タイムXレジスタ	TX	FFh
008Eh	タイムカウントソース設定レジスタ	TCSS	00h
008Fh			
0090h	タイムCレジスタ	TC	00h
0091h			00h
0092h			
0093h			
0094h			
0095h			
0096h	外部入力許可レジスタ	INTEN	00h
0097h			
0098h	キー入力許可レジスタ	KIEN	00h
0099h			
009Ah	タイムC制御レジスタ0	TCC0	00h
009Bh	タイムC制御レジスタ1	TCC1	00h
009Ch	キャプチャ、コンペア0レジスタ	TM0	00h
009Dh			00h(注2)
009Eh	コンペア1レジスタ	TM1	FFh
009Fh			FFh
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h	UART送受信制御レジスタ2	UCON	00h
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH	SSCRH	00h
00B9h	SS制御レジスタL	SSCRL	7Dh
00BAh	SSモードレジスタ	SSMR	18h
00BBh	SS許可レジスタ	SSEr	00h
00BCh	SSステータスレジスタ	SSSR	00h
00BDh	SSモードレジスタ2	SSMR2	00h
00BEh	SS送信データレジスタ	SSTDR	FFh
00BFh	SS受信データレジスタ	SSRDR	FFh

注1. 空欄は予約領域です。アクセスしないでください。

注2. アウトプットコンペアモード(TCC1レジスタのTCC13ビット=1)を選択すると、FFFFhになります。

X: 不定です。

表 4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h	A/D レジスタ	AD	XXh
00C1h			XXh
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	A/D 制御レジスタ 2	ADCON2	00h
00D5h			
00D6h	A/D 制御レジスタ 0	ADCON0	00000XXXb
00D7h	A/D 制御レジスタ 1	ADCON1	00h
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h			
00E1h	ポート P1 レジスタ	P1	XXh
00E2h			
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h			
00E5h	ポート P3 レジスタ	P3	XXh
00E6h			
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h			
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh			
00ECh			
00EDh			
00EEh			
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00F8h			
00F9h			
00FAh			
00FBh			
00FCh	ブルアップ制御レジスタ 0	PUR0	00XX0000b
00FDh	ブルアップ制御レジスタ 1	PUR1	XXXXXX0Xb
00FEh	ポート P1 駆動能力制御レジスタ	DRR	00h
00FFh	タイマ C 出力制御レジスタ	TCOUT	00h
01B3h	フラッシュメモリ制御レジスタ 4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0	FMR0	00000001b
0FFFh	オプション機能選択レジスタ	OFS	(注 2)

注 1. 空欄および0100h～01B2h番地、01B8h～02FFh番地は予約領域です。アクセスしないでください。

注 2. OFSレジスタはプログラムで変更できません。フラッシュライターで書いてください。

X: 不定です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET 端子の入力電圧が “L”
パワーオンリセット	VCC の上昇
電圧監視1リセット	VCC の下降 (監視電圧: Vdet1)
電圧監視2リセット	VCC の下降 (監視電圧: Vdet2)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0 レジスタの PM03 ビットに “1” を書く

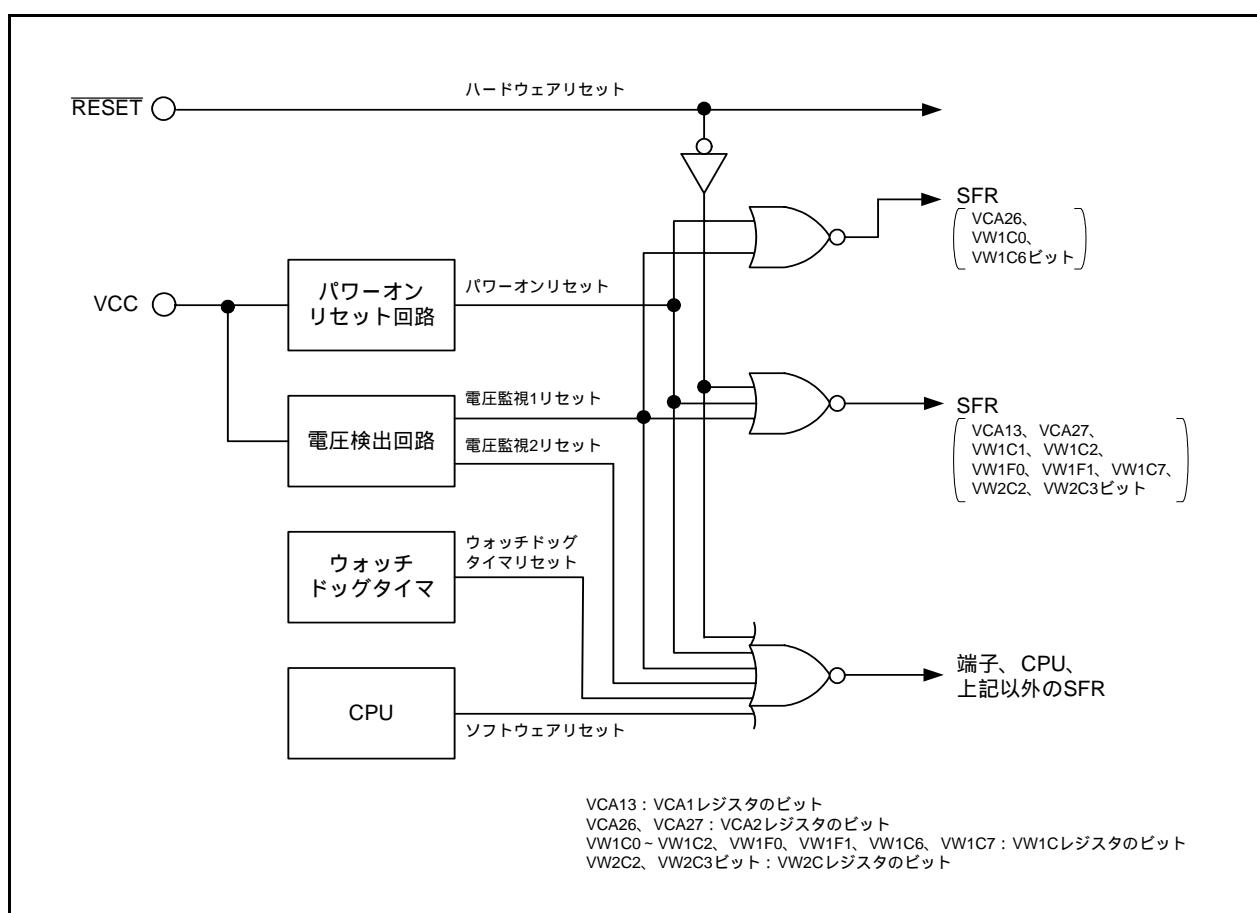


図 5.1 リセット回路のブロック図

表 5.2 にリセット後の端子の状態、図 5.2 にリセット後の CPU レジスタの状態、図 5.3 にリセットシーケンスを示します。

表 5.2 リセット後の端子の状態

端子名	端子の状態
P1	入力ポート
P3_3 ~ P3_5、P3_7	入力ポート
P4_5 ~ P4_7	入力ポート

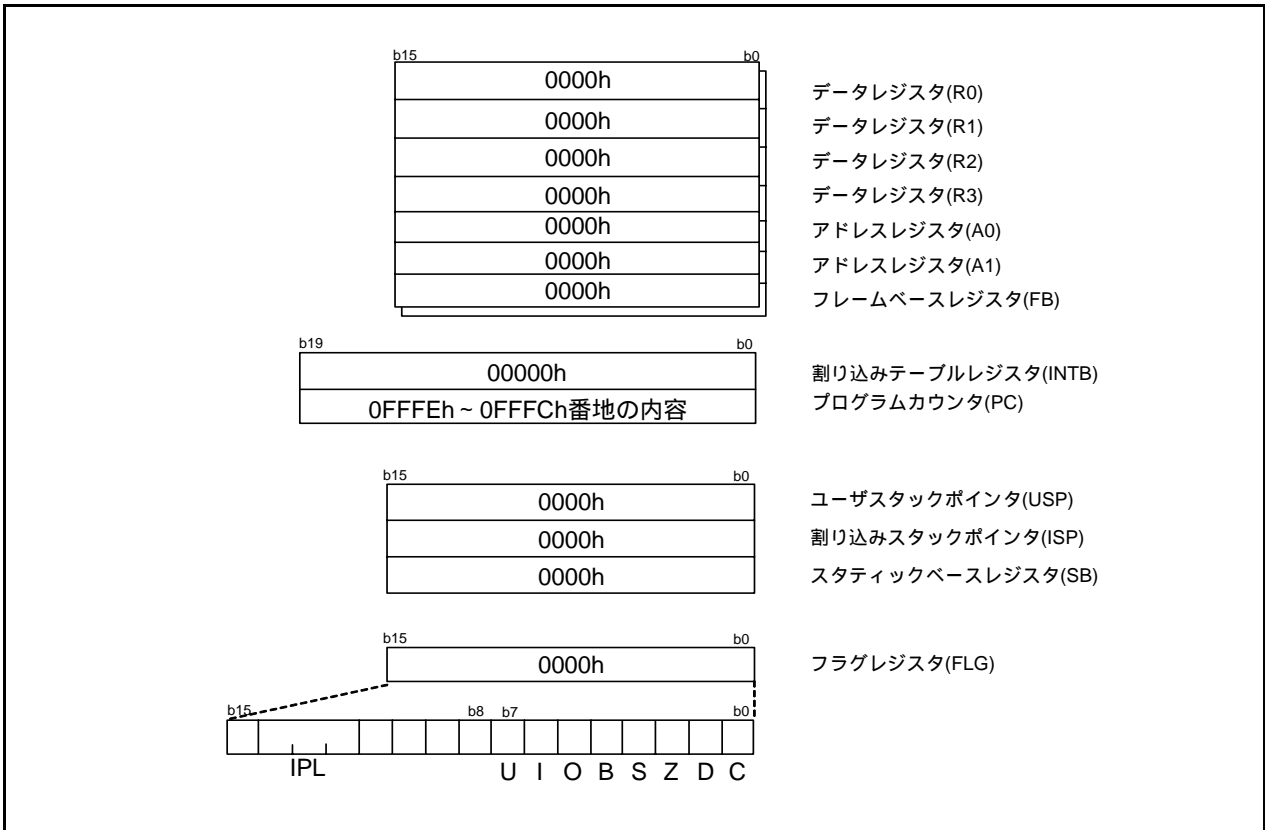


図 5.2 リセット後のCPUレジスタの状態

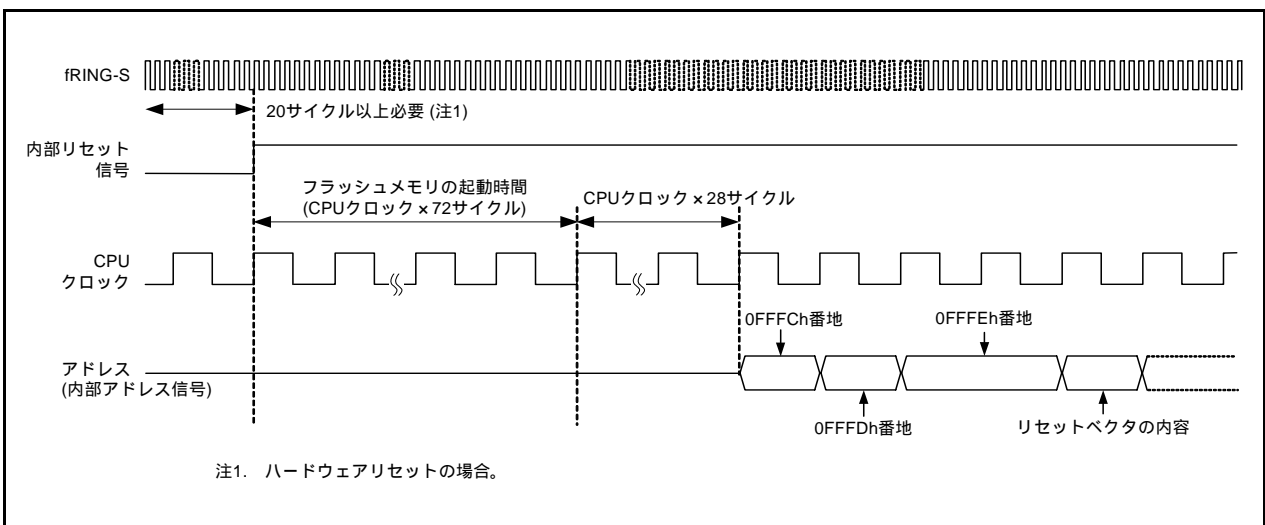


図 5.3 リセットシーケンス

5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表 5.2 リセット後の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図 5.4にハードウェアリセット回路例と動作、図 5.5にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.1.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) $500 \mu\text{s}(1/\text{FRING-S} \times 20)$ 待つ
- (3) RESET端子に“H”を入力する

5.1.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ(「19. 電気的特性」参照)
- (4) $500 \mu\text{s}(1/\text{FRING-S} \times 20)$ 待つ
- (5) RESET端子に“H”を入力する

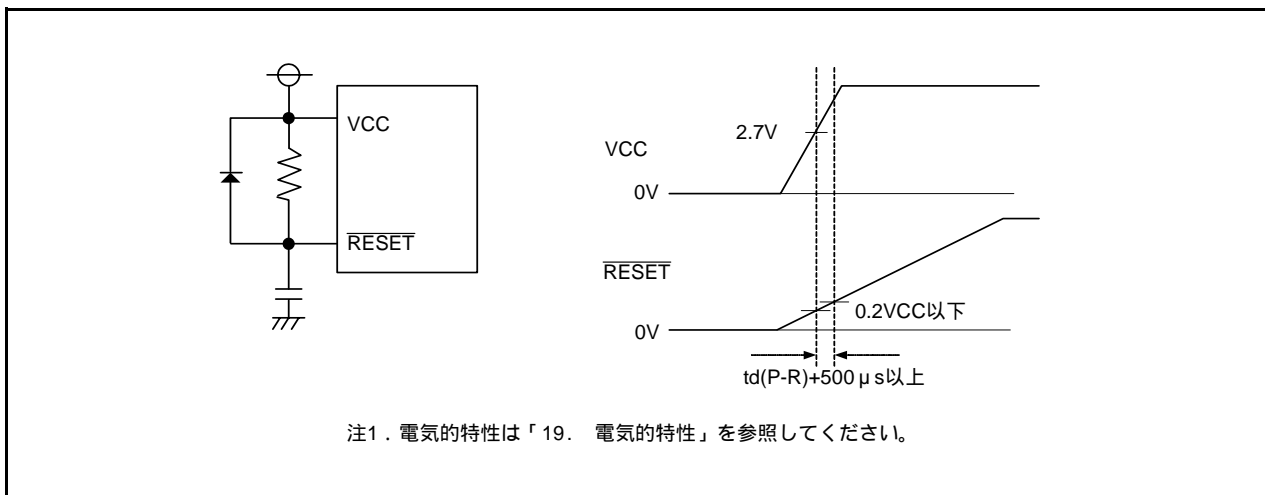


図 5.4 ハードウェアリセット回路例と動作

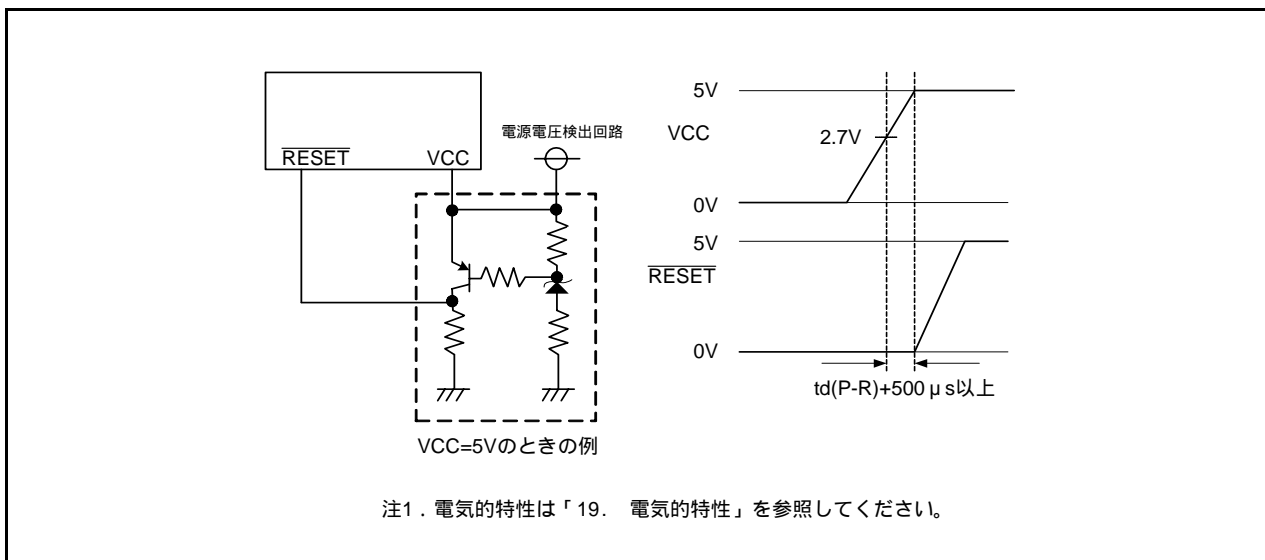


図 5.5 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.2 パワーオンリセット機能

RESET端子に5k程度のプルアップ抵抗を介してVCCに接続し、VCCを立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合は、RESET端子の電圧が常に0.8VCC以上になるようにご注意ください。

VCC端子に入力する電圧がV_{det1}以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセット後は電圧監視1リセットが有効になります。

図5.6にパワーオンリセット回路例と動作を示します。

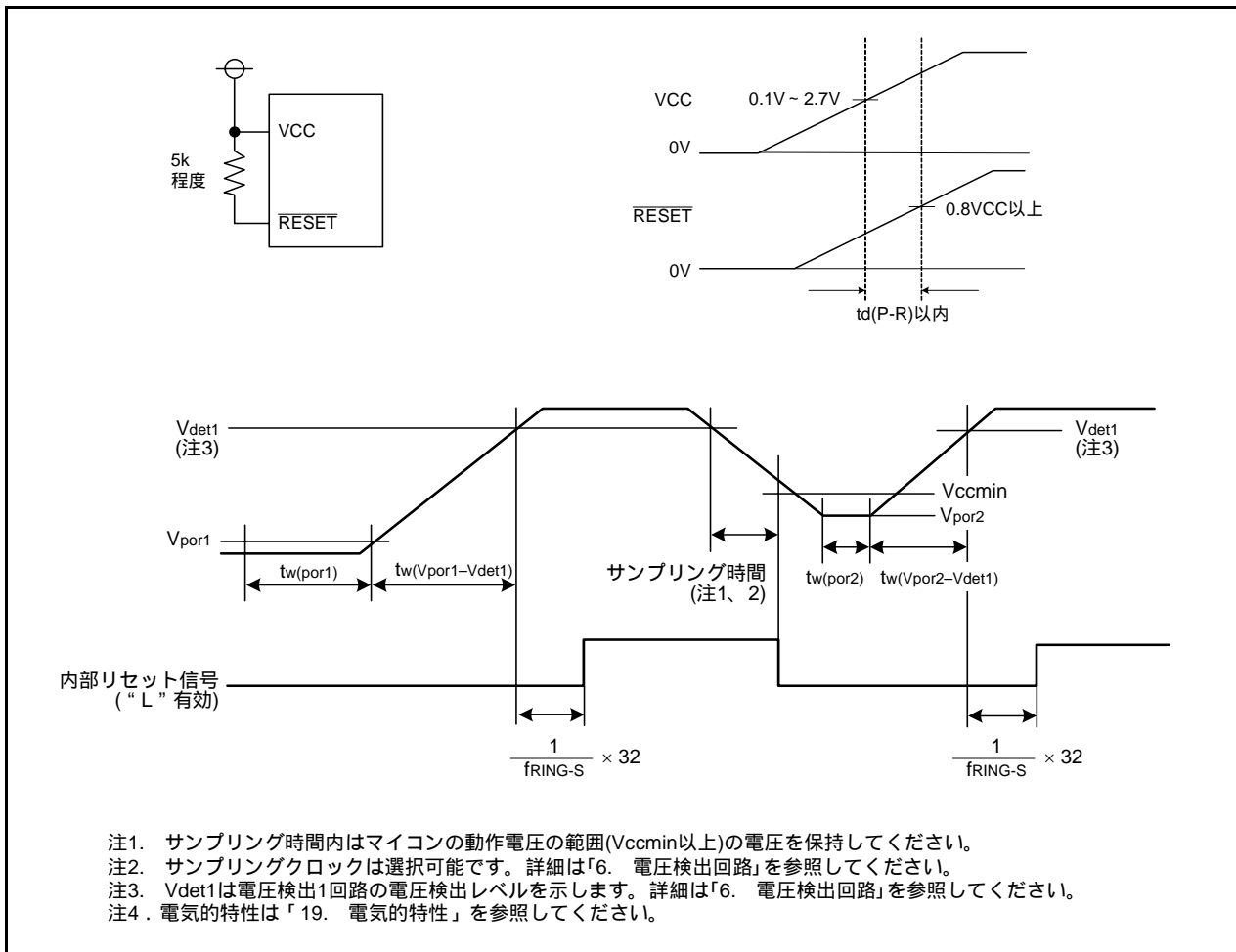


図 5.6 パワーオンリセット回路例と動作

5.3 電圧監視1リセット

マイクロコンピュータに内蔵している電圧検出1回路によるリセットです。電圧検出1回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet1です。

VCC端子に入力する電圧がVdet1以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet1以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視1リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet1以下になると、内部RAMは不定となります。

電圧監視1リセットの詳細は「6. 電圧検出回路」を参照してください。

5.4 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VCC端子に入力する電圧が下降してVdet2以下になると、端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet2以下になると、内部RAMは不定となります。

電圧監視2リセットの詳細は「6. 電圧検出回路」を参照してください。

5.5 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「12. ウォッチドッグタイマ」を参照してください。

5.6 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できます。また、電圧監視1リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

表 6.1 に電圧検出回路の仕様を、図 6.1 ~ 図 6.3 にブロック図を示します。
また図 6.4 ~ 図 6.6 に関連レジスタを示します。

表 6.1 電圧検出回路の仕様

項目		電圧検出 1	電圧検出 2	
VCC 監視	監視する電圧	Vdet1	Vdet2	
	検出対象	上昇または下降して Vdet1 を通過したか	上昇または下降して Vdet2 を通過したか	
	モニタ	なし	VCA1 レジスタの VCA13 ビット Vdet2 より高いか低い	
電圧検出時の処理	リセット	電圧監視 1 リセット Vdet1 > VCC でリセット； VCC > Vdet1 で CPU 動作再開	電圧監視 2 リセット Vdet2 > VCC でリセット； 一定時間後に CPU 動作再開	
	割り込み	なし	電圧監視 2 割り込み デジタルフィルタ有効時は Vdet2 > VCC、VCC > Vdet2 の両 方で割り込み要求； デジタルフィルタ無効時は Vdet2 > VCC、VCC > Vdet2 のど ちらかで割り込み要求	
	デジタルフィルタ	有効 / 無効切り替え	あり	あり
	サンプリング時間	(fRING-S の n 分周) × 4 n : 1、2、4、8	(fRING-S の n 分周) × 4 n : 1、2、4、8	

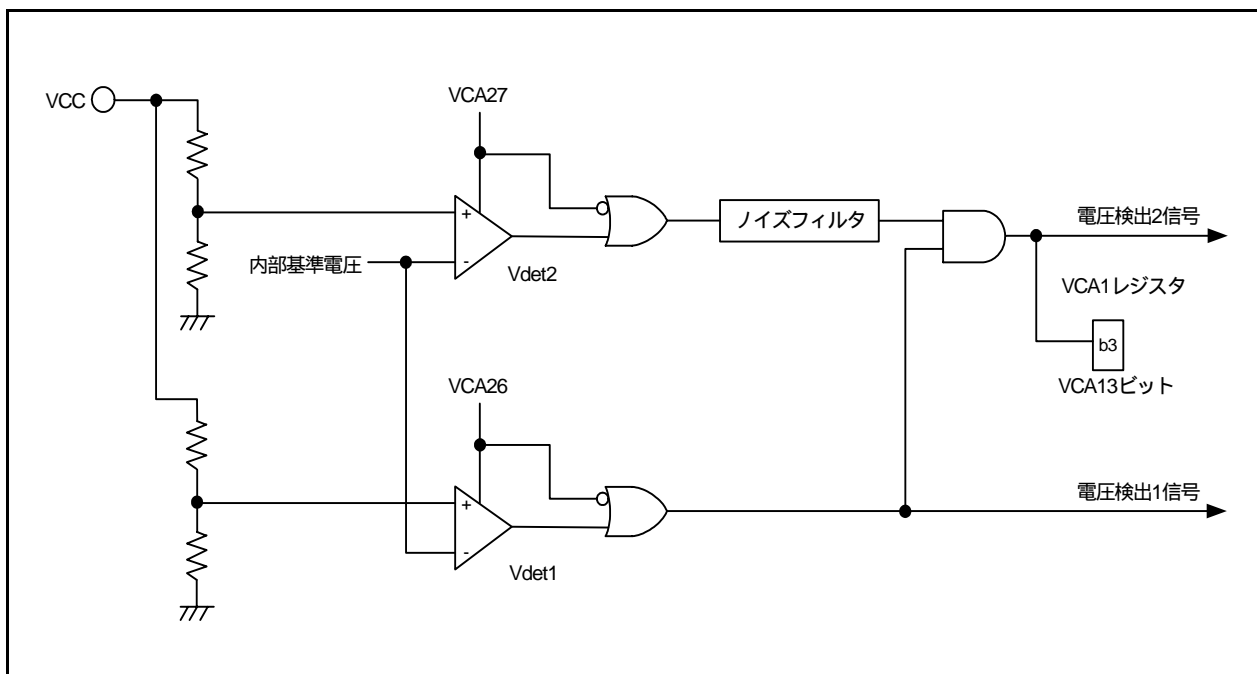


図 6.1 電圧検出回路ブロック図

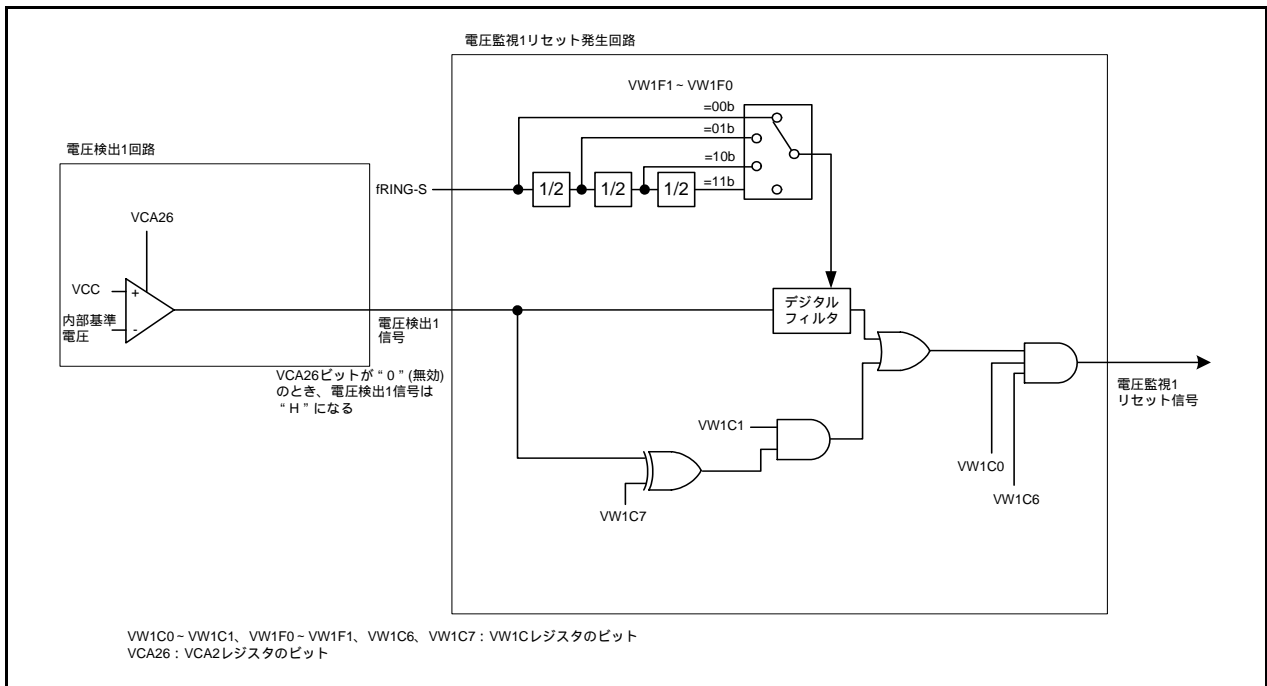


図 6.2 電圧監視1リセット発生回路のブロック図

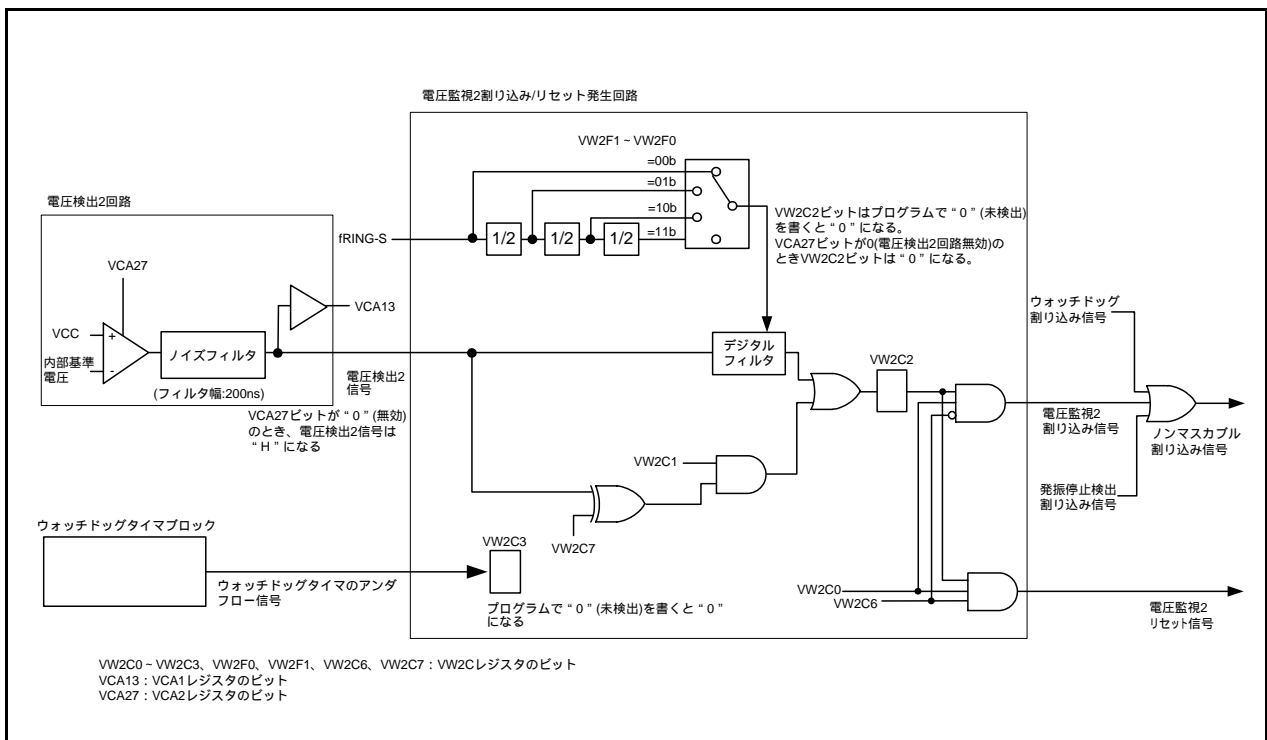


図 6.3 電圧監視2割り込み/リセット発生回路のブロック図

電圧検出レジスタ1

シンボル		アドレス	リセット後の値(注2)
VCA1		0031h番地	00001000b
ビットシンボル	ビット名	機能	
- (b2-b0)	予約ビット	"0" にしてください	
VCA13	電圧検出2信号モニタフラグ(注1)	0: VCC < Vdet2 1: VCC >= Vdet2、または 電圧検出2回路無効	
- (b7-b4)	予約ビット	"0" にしてください	
			RW

注1. VCA2レジスタのVCA27ビットが"1" (電圧検出2回路有効) のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが"0" (電圧検出2回路無効) のとき、VCA13ビットは"1" (VCC >= Vdet2) になります。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

電圧検出レジスタ2(注1)

シンボル		アドレス	リセット後の値(注4)
VCA2		0032h番地	ハードウェアリセット: 00h パワーオンリセット、 電圧監視1リセット: 01000000b
ビットシンボル	ビット名	機能	
- (b5-b0)	予約ビット	"0" にしてください	
VCA26	電圧検出1許可ビット(注2)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	
VCA27	電圧検出2許可ビット(注3)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	
			RW

注1. このレジスタはPRCRレジスタのPRC3ビットを"1" (書き込み許可) にした後で書き換えてください。

注2. 電圧監視1リセットを使用する場合、VCA26ビットを"1" にしてください。
VCA26ビットを"0" から"1" にした後、td(E-A)経過してから検出回路が動作します。

注3. 電圧監視2割り込み/リセットを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、
VCA27ビットを"1" にしてください。

VCA27ビットを"0" から"1" にした後、td(E-A)経過してから検出回路が動作します。

注4. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。

図 6.4 VCA1、VCA2レジスタ

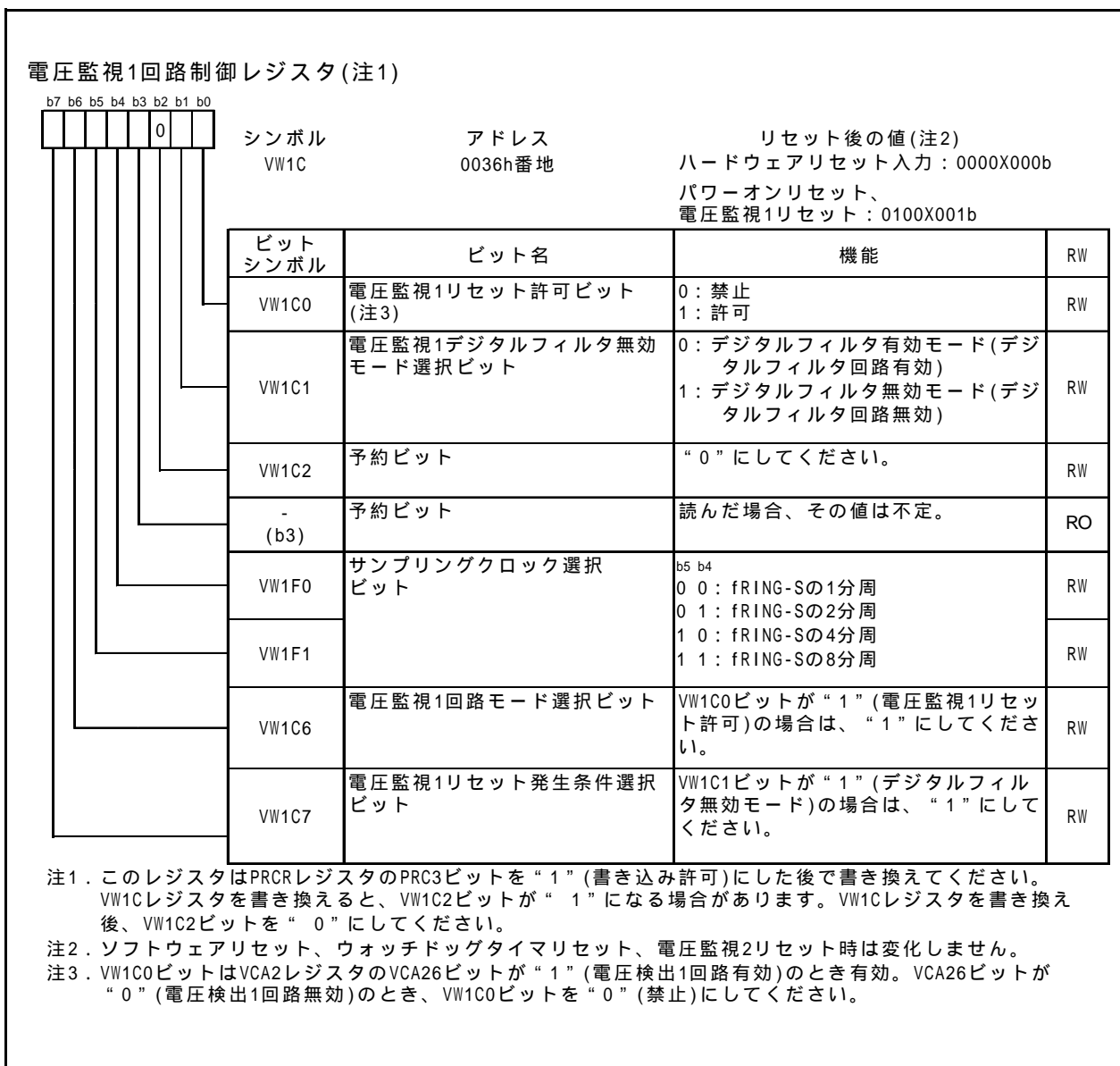


図 6.5 VW1Cレジスタ

電圧監視2回路制御レジスタ(注1)

シンボル ビット シンボル	アドレス 0037h番地	リセット後の値(注8) 00h	RW
VW2C0	電圧監視2割り込み/リセット許可ビット(注6、10)	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード(デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード(デジタルフィルタ回路無効)	RW
VW2C2	電圧変化検出フラグ(注3、4、8)	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ(注4、8)	0: 未検出 1: 検出	RW
VW2F0	サンプリングクロック選択ビット	b5 b4 0 0: fRING-Sの1分周 0 1: fRING-Sの2分周 1 0: fRING-Sの4分周 1 1: fRING-Sの8分周	RW
VW2F1			RW
VW2C6	電圧監視2回路モード選択ビット(注5)	0: 電圧監視2割り込みモード 1: 電圧監視2リセットモード	RW
VW2C7	電圧監視2割り込み/リセット発生条件選択ビット(注7、9)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

- 注1. このレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタ書き換え後、VW2C2ビットを“0”にしてください。
- 注2. 電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効。
- 注6. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。
- 注7. VW2C7ビットはVW2C1ビットが“1”(デジタルフィルタ無効モード)のとき有効。
- 注8. VW2C2ビットとVW2C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視2リセット時は変化しません。
- 注9. VW2C6ビットが“1”(電圧監視2リセットモード)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。
- 注10. VCA1レジスタのVCA13ビットが“1”(VCC > Vdet2、または電圧検出2回路無効)かつVW2C1ビットが“1”(デジタルフィルタ無効モード)かつVW2C7ビットが“0”(VCCがVdet2以上になるとき)のとき、VW2C0ビットは“0”(禁止)にしてください。
VCA13ビットが“0”(VCC < Vdet2)かつVW2C1ビットが“1”(デジタルフィルタ無効モード)かつVW2C7ビットが“1”(VCCがVdet2以下になるとき)のとき、VW2C0ビットは“0”(禁止)にしてください。

図 6.6 VW2C レジスタ

6.1 VCC入力電圧のモニタ

6.1.1 Vdet1のモニタ

Vdet1のモニタはできません。

6.1.2 Vdet2のモニタ

VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にしてください。td(E-A)(「19. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでVdet2をモニタできます。

6.2 電圧監視1リセット

表 6.2に電圧監視1リセット関連ビットの設定手順を、図 6.7に電圧監視1リセット動作例を示します。
 なお、電圧監視1リセットをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.2 電圧監視1リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする	
2	td(E-A)待つ	
3 (注1)	VW1CレジスタのVW1F0～VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する。	VW1CレジスタのVW1C7ビットを“1”にする。
4 (注1)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする。	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする。
5 (注1)	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする。	
6	VW1CレジスタのVW1C2ビットを“0”にする。	
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	-
8	デジタルフィルタのサンプリングクロック×4サイクル待つ	-(待ち時間なし)
9	VW1CレジスタのVW1C0ビットを“1”(電圧監視1リセット許可)にする	

注1. VW1C0ビットが“0”(禁止)のとき、手順3、4、5は同時に(1命令で)実行してもかまいません。

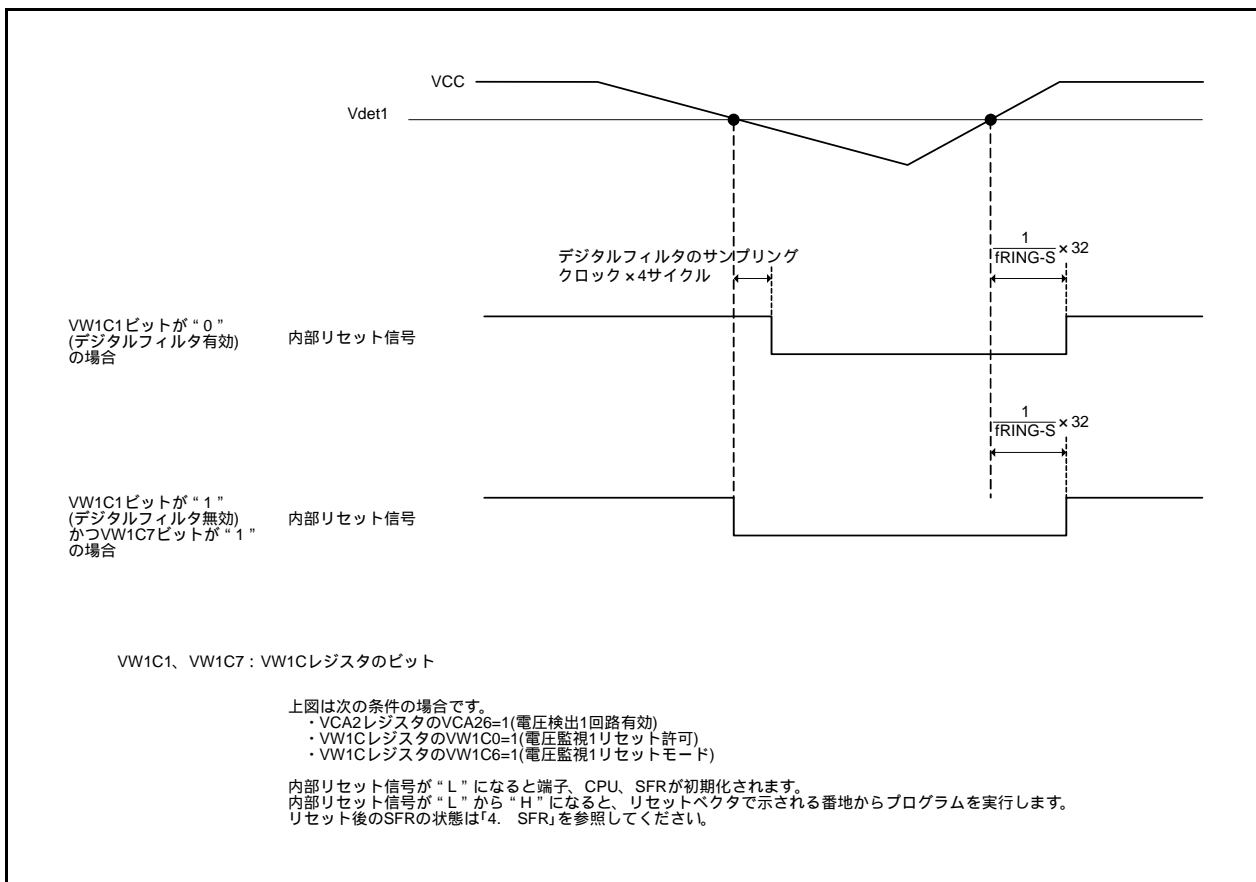


図 6.7 電圧監視1リセット動作例

6.3 電圧監視2割り込み、電圧監視2リセット

表 6.3 に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を、図 6.8 に電圧監視2割り込み、電圧監視2リセット動作例を示します。

なお、電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする			
2	td(E-A)待つ			
3 (注2)	VW2CレジスタのVW2F0～VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する。		VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する。(注1)	
4 (注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする。		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする。	
5 (注2)	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする
6	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする		-	
8	デジタルフィルタのサンプリングクロック×4サイクル待つ		-(待ち時間なし)	
9	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする。			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”(禁止)のとき、手順3、4、5は同時に(1命令で)実行してもかまいません。

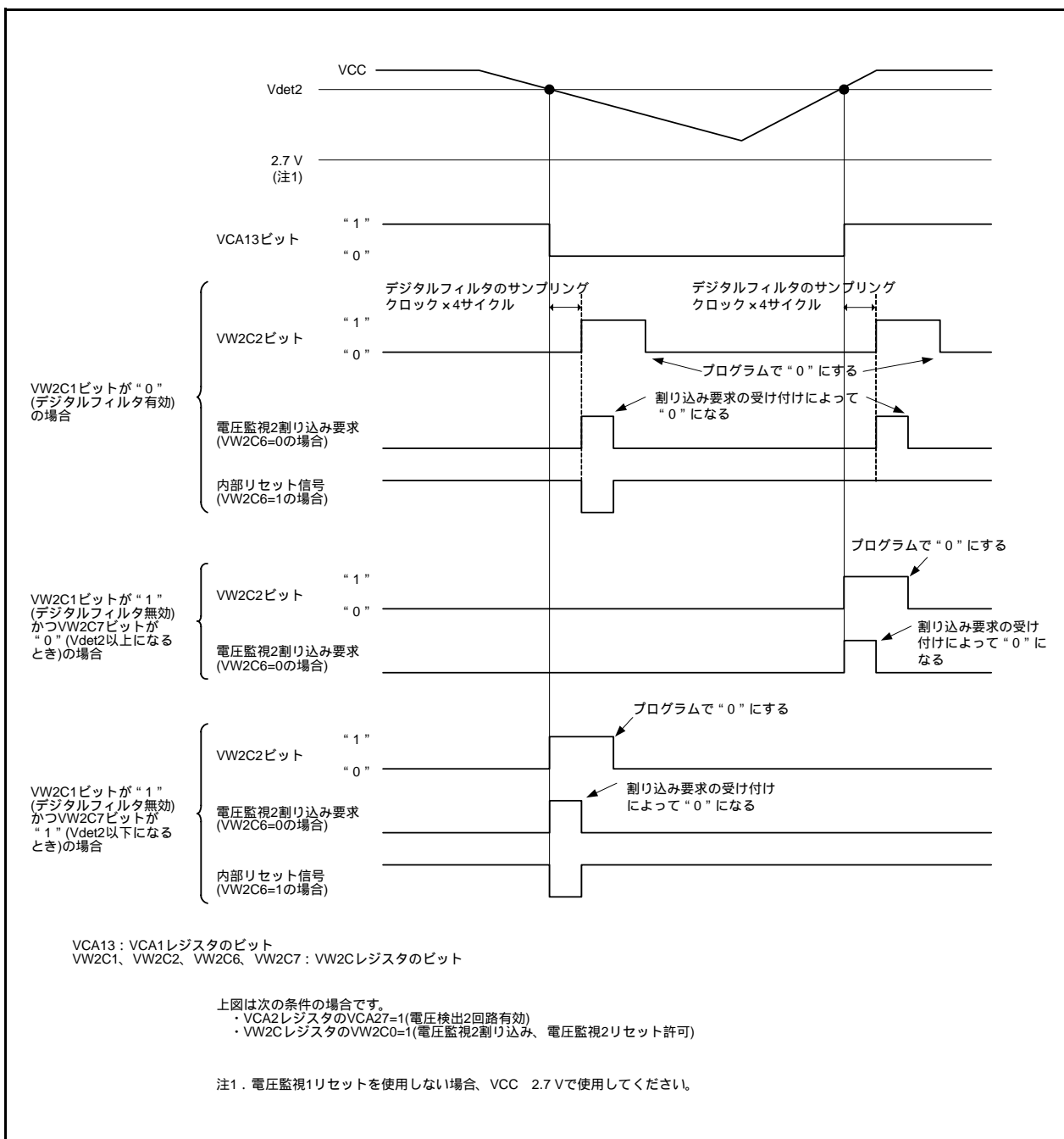


図 6.8 電圧監視2割り込み、電圧監視2リセット動作例

7. プロセッサモード

7.1 プロセッサモードの種類

プロセッサモードはシングルチップモードとなります。表 7.1 にプロセッサモードの特長を、図 7.1 に PM0 レジスタを、図 7.2 に PM1 レジスタを示します。

表 7.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部 RAM、内部 ROM	全端子が入出力ポートまたは周辺機能入出力端子

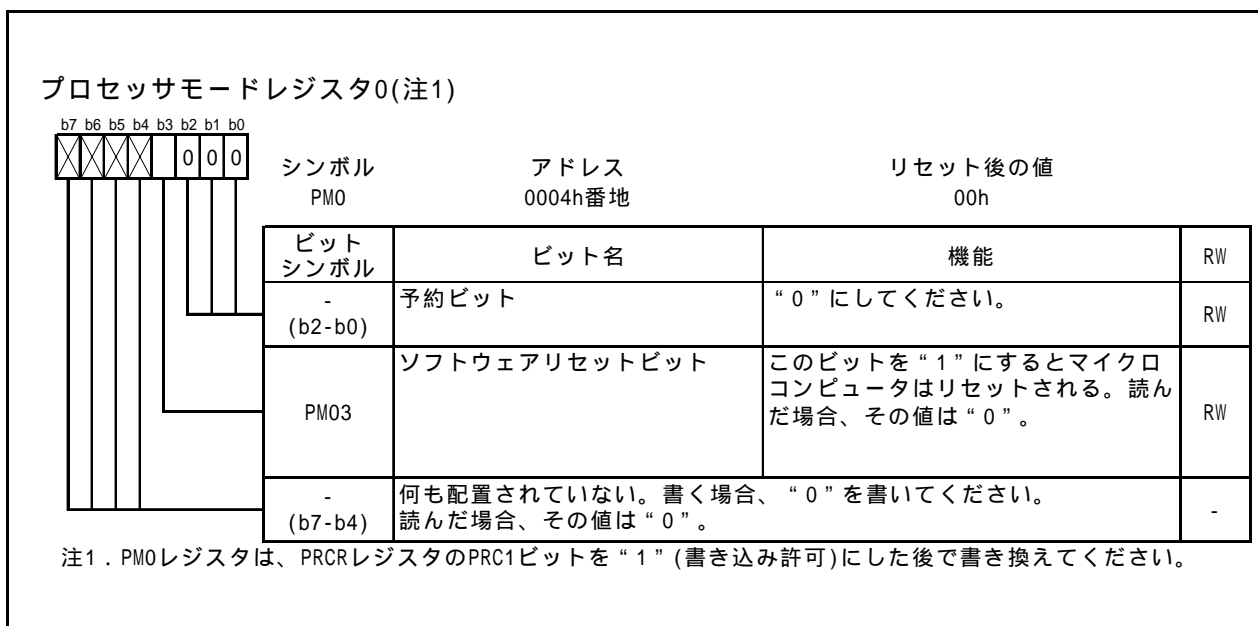


図 7.1 PM0レジスタ

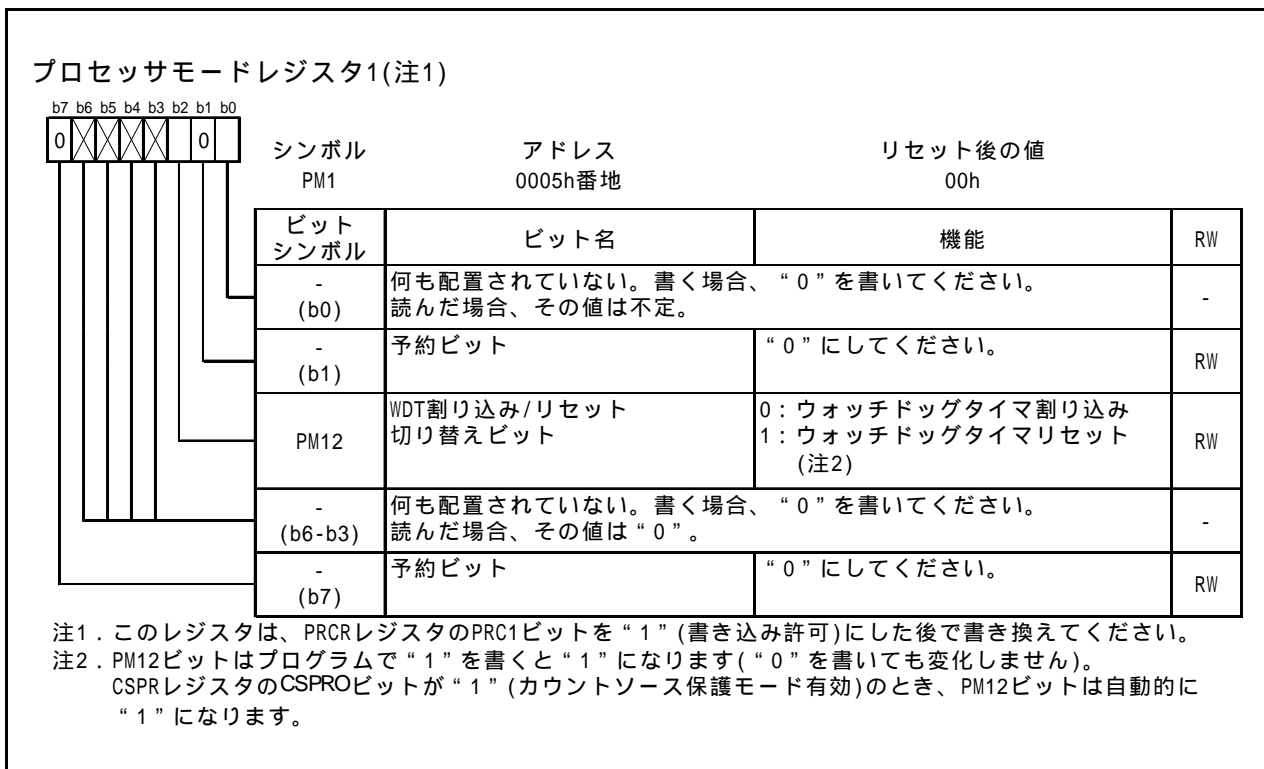


図 7.2 PM1レジスタ

8. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。表 8.1にR8C/14グループのアクセス領域に対するバスサイクル、表8.2にR8C/15グループのアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表 8.3にアクセス単位とバスの動作を示します。

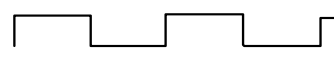
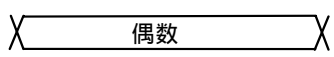
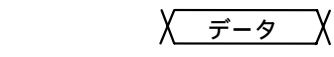


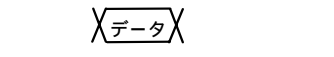
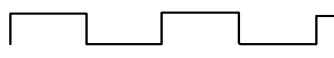
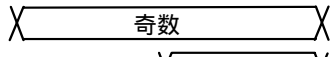
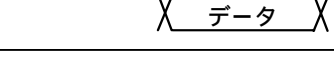

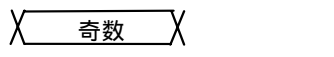
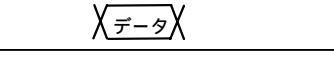
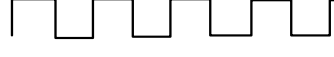

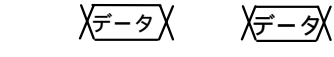

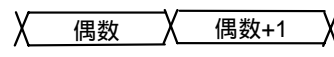
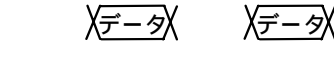
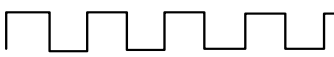

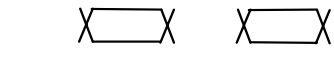

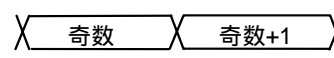
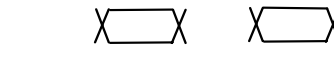
表 8.1 R8C/14グループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR	CPU クロックの 2 サイクル
ROM/RAM	CPU クロックの 1 サイクル

表 8.2 R8C/15グループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表 8.3 アクセス単位とバスの動作

領域	SFR、データフラッシュ	ROM (プログラムROM)、RAM
偶数番地 バイトアクセス	CPU クロック  アドレス  偶数 データ 	CPU クロック  アドレス  偶数 データ 
奇数番地 バイトアクセス	CPU クロック  アドレス  奇数 データ 	CPU クロック  アドレス  奇数 データ 
偶数番地 ワードアクセス	CPU クロック  アドレス  偶数 偶数+1 データ 	CPU クロック  アドレス  偶数 偶数+1 データ 
奇数番地 ワードアクセス	CPU クロック  アドレス  奇数 奇数+1 データ 	CPU クロック  アドレス  奇数 奇数+1 データ 

9. クロック発生回路

クロック発生回路として、2つの回路が内蔵されています。

- ・メインクロック発振回路
- ・オンチップオシレータ(発振停止検出機能あり)

表 9.1 にクロック発生回路の概略仕様を示します。また、図 9.1 にクロック発生回路を、図 9.2 ~ 図 9.5 にクロック関連レジスタを示します。

表 9.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	オンチップオシレータ	
		高速オンチップオシレータ	低速オンチップオシレータ
用途	<ul style="list-style-type: none"> ・ CPU のクロック源 ・ 周辺機能のクロック源 	<ul style="list-style-type: none"> ・ CPU のクロック源 ・ 周辺機能のクロック源 ・ メインクロック発振停止時の CPU、周辺機能のクロック源 	<ul style="list-style-type: none"> ・ CPU のクロック源 ・ 周辺機能のクロック源 ・ メインクロック発振停止時の CPU、周辺機能のクロック源
クロック周波数	0 ~ 20MHz	約 8MHz	約 125kHz
接続できる発振子	<ul style="list-style-type: none"> ・ セラミック共振子 ・ 水晶発振子 		
発振子の接続端子	XIN、XOUT(注 1)	(注 1)	(注 1)
発振の開始と停止	あり	あり	あり
リセット後の状態	停止	停止	発振
その他	外部で生成されたクロックを入力可能		

注 1. メインクロック発振回路を使用せず、オンチップオシレータクロックを CPU クロックに使用する場合には P4_6、P4_7 として使うことができます。

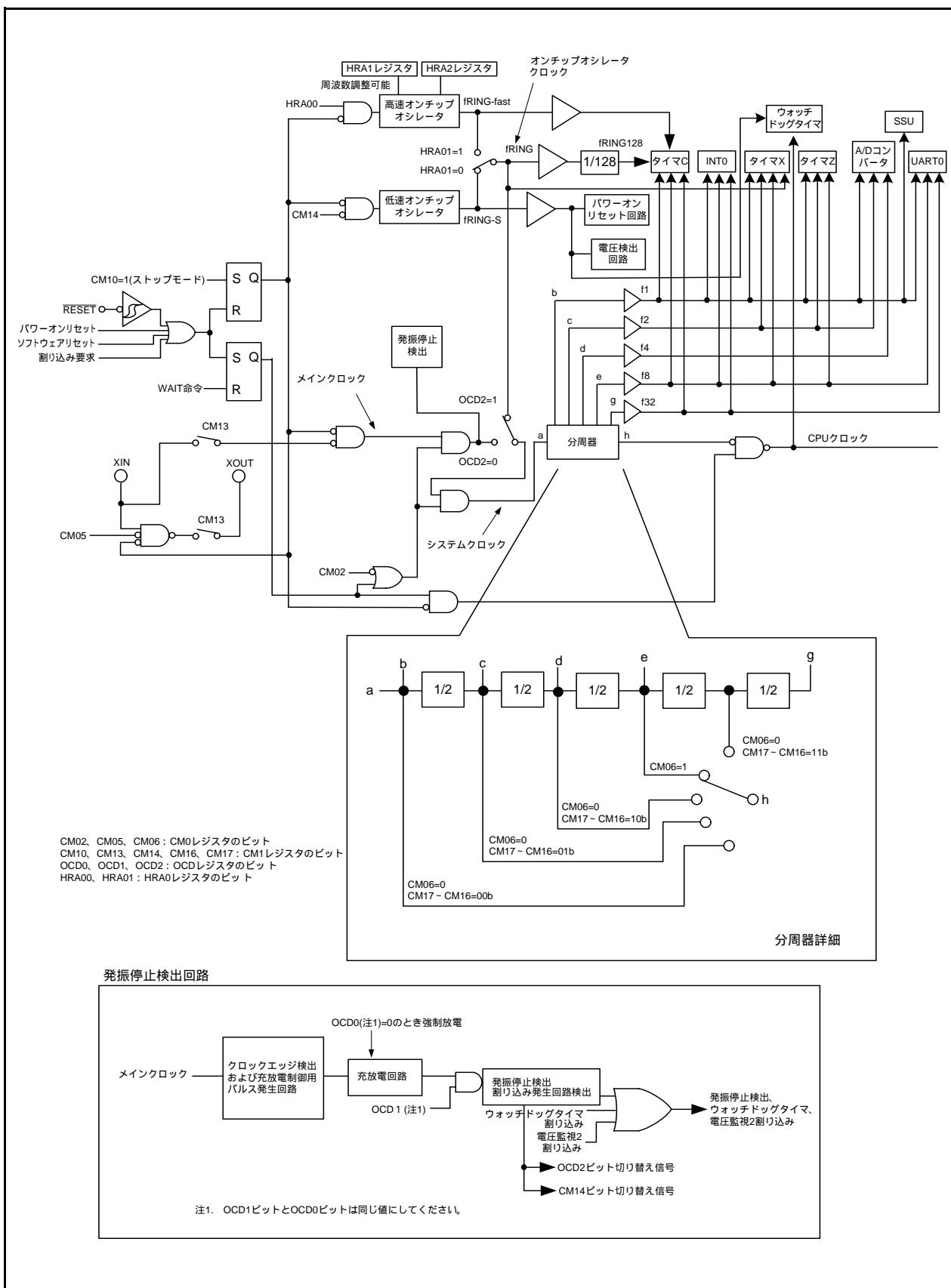


図 9.1 クロック発生回路

システムクロック制御レジスタ0(注1)

シンボル CM0	アドレス 0006h番地	リセット後の値 68h	
ビット シンボル	ビット名	機能	RW
- (b1-b0)	予約ビット	“0” にしてください。	RW
CM02	WAIT時周辺機能クロック 停止ビット	0 : ウェイトモード時、周辺機能ク ロック停止しない 1 : ウェイトモード時、周辺機能ク ロック停止する	RW
- (b3)	予約ビット	“1” にしてください。	RW
- (b4)	予約ビット	“0” にしてください。	RW
CM05	メインクロック(XIN-XOUT) 停止ビット(注2、4)	0 : 発振 1 : 停止(注3)	RW
CM06	システムクロック分周比 選択ビット0(注5)	0 : CM16、CM17有効 1 : 8分周モード	RW
- (b7)	予約ビット	“0” にしてください。	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. CM05ビットはオンチップオシレータモードにするとときメインクロックを停止させるビットです。
 メインクロックが停止したかどうかの検出には使えません。メインクロックを停止させる場合、次のよ
 うにしてください。
 (1)OCDレジスタのOCD1～OCD0ビットを“00b”(発振停止検出機能無効)にする。
 (2)OCD2ビットを“1”(オンチップオシレータクロック選択)にする。
 注3. 外部クロック入力時には、クロック発振バッファだけ停止し、クロック入力は受け付けられません。
 注4. CM05ビットが“1”(メインクロック停止)の場合、P4_6、P4_7は入力ポートとして使用できます。
 注5. 高速モード、中速モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になりま
 す。

図 9.2 CM0レジスタ

システムクロック制御レジスタ1(注1)

シンボル	アドレス	リセット後の値
CM1	0007h番地	20h

ビットシンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注4、7、8)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
(b1)	予約ビット	"0" にしてください。	RW
(b2)	予約ビット	"0" にしてください。	RW
CM13	ポートXIN-XOUT切り替え ビット(注7)	0 : 入力ポートP4_6、P4_7 1 : XIN-XOUT端子	RW
CM14	低速オンチップオシレータ発振停 止ビット(注5、6、8)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	RW
CM15	XIN-XOUT駆動能力選択ビッ ト(注2)	0 : LOW 1 : HIGH	RW
CM16	システムクロック分周比 選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

注1. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。

注2. 高速モード、中速モードからストップモードへの移行時、"1"(駆動能力HIGH)になります。

注3. CM06ビットが"0"(CM16、CM17ビット有効)の場合、有効となります。

注4. CM10ビットが"1"(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注5. CM14ビットはOCD2ビットが"0"(メインクロック選択)のとき、"1"(低速オンチップオシレータ停止)にできます。OCD2ビットを"1"(オンチップオシレータクロック選択)にすると、CM14ビットは"0"(低速オンチップオシレータ発振)になります。"1"を書いても変化しません。

注6. 電圧検出割り込みを使用する場合、CM14ビットを"0"(低速オンチップオシレータ発振)にしてください。

注7. CM10ビットが"1"(ストップモード)の場合、CM13ビットが"1"(XIN-XOUT端子)のとき、XOUT(P4_7)端子は"H"になります。
CM13ビットが"0"(入力ポートP4_6、P4_7)のとき、P4_7(XOUT)は入力状態になります。

注8. カウントソース保護モード有効時(「12.2 カウントソース保護モード有効時」参照)は、CM10、CM14ビットへ書いても値は変化しません。

図 9.3 CM1レジスタ

発振停止検出レジスタ(注1)

シンボル OCD	アドレス 000Ch番地	リセット後の値 04h	
ビット シンボル	ビット名	機能	RW
OCD0	発振停止検出有効ビット	b1 b0 0 0 : 発振停止検出機能無効 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 発振停止検出機能有効(注4、7)	RW
OCD1			RW
OCD2	システムクロック選択ビット (注6)	0 : メインクロック選択(注7) 1 : オンチップオシレータクロック選択 (注2)	RW
OCD3	クロックモニタビット (注3、5)	0 : メインクロック発振 1 : メインクロック停止	RO
- (b7-b4)	予約ビット	"0" にしてください。	RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2. OCD2ビットは、OCD1～OCD0ビットが“11b”(発振停止検出機能有効)のときにメインクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(メインクロック停止)のとき、OCD2ビットに“0”(メインクロック選択)を書いても変化しません。

注3. OCD3ビットはOCD1～OCD0ビットが“11b”のとき有効です。

注4. ストップモード、オンチップオシレータモード(メインクロック停止)に移行する前にOCD1～OCD0ビットを“00b”(発振停止検出機能無効)に設定してください。

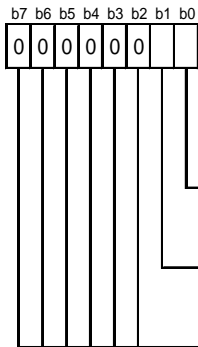
注5. OCD1～OCD0ビットが“00b”のときOCD3ビットは“0”(メインクロック発振)になり、変化しません。

注6. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。

注7. 発振停止検出後、メインクロックが再発振した場合の切り替え手順は、「図9.8 低速オンチップオシレータからメインクロックへの切り替え手順」を参照してください。

9.4 OCDレジスタ

高速オンチップオシレータ制御レジスタ0(注1)



シンボル	アドレス	リセット後の値	
HRA0	0020h番地	00h	
ビットシンボル	ビット名	機能	RW
HRA00	高速オンチップオシレータ許可ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	RW
HRA01	高速オンチップオシレータ選択ビット(注2)	0 : 低速オンチップオシレータ選択(注3) 1 : 高速オンチップオシレータ選択	RW
- (b7-b2)	予約ビット	"0" にしてください。	RW

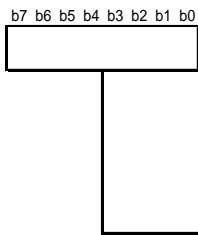
注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2. HRA01ビットは次の条件のとき変更してください。

- ・ HRA00=1(高速オンチップオシレータ発振)
- ・ CM1レジスタのCM14=0(低速オンチップオシレータ発振)

注3. HRA01ビットに“0”(低速オンチップオシレータ選択)を書くとき、同時にHRA00ビットに“0”(高速オンチップオシレータ停止)を書かないでください。HRA01ビットを“0”にした後、HRA00ビットを“0”にしてください。

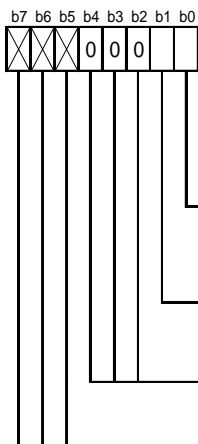
高速オンチップオシレータ制御レジスタ1(注1)



シンボル	アドレス	リセット後の値	
HRA1	0021h番地	出荷時の値	
機能			RW
ビット0~7で高速オンチップオシレータの周波数を調整できます。 高速オンチップオシレータの周波数=8 MHz (HRA1レジスタ=出荷時の値 ; fRING-fastモード0)			RW
HRA1レジスタの値を小さく(最小値: 00h)すると周波数が高くなります。 HRA1レジスタの値を大きく(最大値: FFh)すると周波数が低くなります。			

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

高速オンチップオシレータ制御レジスタ2(注1)



シンボル	アドレス	リセット後の値	
HRA2	0022h番地	00h	
ビットシンボル	ビット名	機能	RW
HRA20	高速オンチップオシレータモード選択ビット	b1 b0 0 0 : fRING-fastモード0 (HRA1レジスタが出荷時の値のとき、8 MHz)	RW
HRA21		0 1 : fRING-fastモード1(注2) 1 0 : fRING-fastモード2(注3) 1 1 : 設定しないでください	RW
- (b4-b2)	予約ビット	"0" にしてください。	RW
- (b7-b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		-

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。

注2. fRING-fastモード0からfRING-fastモード1にすると周波数は1.5倍になります。

注3. fRING-fastモード0からfRING-fastモード2にすると周波数は0.5倍になります。

図 9.5 HRA0、HRA1、HRA2レジスタ

クロック発生回路で生成するクロックを説明します。

9.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図9.6にメインクロックの接続回路例を示します。

リセット中およびリセット後、メインクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(メインクロック発振)にするとメインクロックは発振を開始します。メインクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(メインクロック選択)にするとメインクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(メインクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしてもメインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「9.4 パワーコントロール」を参照してください。

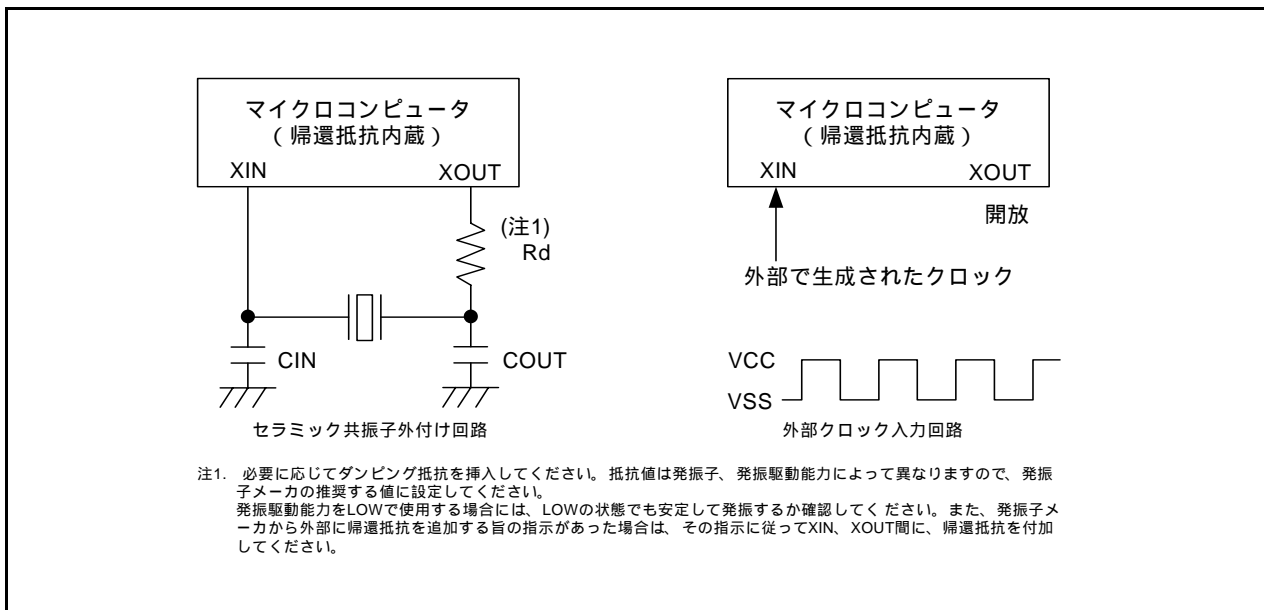


図9.6 メインクロックの接続回路例

9.2 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。HRA0レジスタのHRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.2.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fRING、fRING128、fRING-Sのクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの8分周がCPUクロックになります。

また、OCDレジスタのOCD1～OCD0ビットが“11b”（発振停止検出機能有効）の場合、メインクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.2.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fRING、fRING128、fRING-fastのクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。HRA0レジスタのHRA00ビットを“1”（高速オンチップオシレータ発振）にすると発振を開始します。HRA1レジスタおよびHRA2を使って、周波数を調整できます。

HRA1レジスタの各ビットの遅延量にはばらつきがありますので、各ビットを変化させて調整してください。

9.3 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させるクロックがあります。(「図9.1 クロック発生回路」参照。)

9.3.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。メインクロックまたはオンチップオシレータクロックが選択できます。

9.3.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16～CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの8分周がCPUクロックになります。

なお、高速モードまたは中速モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

9.3.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i ($i=1、2、4、8、32$)はシステムクロックを i 分周したクロックです。 f_i はタイマX、タイマZ、タイマC、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、 f_i は停止します。

9.3.4 fRING、fRING128

周辺機能の動作クロックです。

fRINGは、オンチップオシレータクロックと同じ周波数のクロックです。タイマXで使用します。fRING128はfRINGを128分周したクロックです。タイマCで使用します。

fRINGとfRING128はWAIT命令実行時、停止しません。

9.3.5 fRING-fast

タイマCのカウントソースになります。

fRING-fastは高速オンチップオシレータで生成したクロックで、HRA00ビットを“1”にすると供給されます。

fRING-fastはWAIT命令実行時、停止しません。

9.3.6 fRING-S

ウォッチドッグタイマと電圧検出回路の動作クロックです。

fRING-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fRING-SはWAIT命令実行時、またはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、通常動作モードと呼びます。

9.4.1 通常動作モード

通常動作モードは、さらに4つのモードに分けられます。

通常動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

表 9.2 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1 レジスタ		CM0 レジスタ	
		OCD2	CM17、CM16	CM13	CM06	CM05
高速モード		0	00b	1	0	0
中速モード	2 分周	0	01b	1	0	0
	4 分周	0	10b	1	0	0
	8 分周	0		1	1	0
	16 分周	0	11b	1	0	0
高速、低速 オンチップ オシレータ モード(注1)	分周なし	1	00b		0	
	2 分周	1	01b		0	
	4 分周	1	10b		0	
	8 分周	1			1	
	16 分周	1	11b		0	

注1. CM1レジスタのCM14=0(低速オンチップオシレータ発振) かつHRA0レジスタのHRA01=0のとき、低速オンチップオシレータがオンチップオシレータクロックになります。
HRA0レジスタのHRA00=1(高速オンチップオシレータ発振) かつHRA0レジスタのHRA01=1のとき、高速オンチップオシレータがオンチップオシレータクロックになります。

9.4.1.1 高速モード

メインクロックの1分周(分周なし)がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはHRA0レジスタのHRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fRING、fRING128をタイマXとタイマCで使用できます。また、HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

9.4.1.2 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはHRA0レジスタのHRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fRING、fRING128をタイマXとタイマCで使用できます。また、HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

9.4.1.3 高速、低速オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。HRA00ビットが“1”のとき、fRING-fastをタイマCで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fRING-Sをウォッチドッグタイマと電圧検出回路で使用できます。

9.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。メインクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

9.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

9.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

9.4.2.3 ウェイトモード時の端子の状態

ウェイトモードに入る直前の状態を保持。

9.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“000b”（割り込み禁止）にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”（ウェイトモード時、周辺機能クロックを停止しない）の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”（ウェイトモード時、周辺機能クロックを停止する）の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できません。

表 9.3 にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”（割り込み禁止）にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みシーケンスを実行します。周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表 9.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0 の場合	CM02=1 の場合
シリアルインタフェース 割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
SSU 割り込み	すべてのモードで使用可	（使用しないでください）
キー入力割り込み	使用可	使用可
A/D 変換割り込み	単発モードで使用可	（使用しないでください）
タイマ X 割り込み	すべてのモードで使用可	イベントカウンタモードで使用可
タイマ Z 割り込み	すべてのモードで使用可	（使用しないでください）
タイマ C 割り込み	すべてのモードで使用可	（使用しないでください）
INT 割り込み	使用可	使用可 (INT0、INT3 はフィルタなしの場合に、使用可)
電圧監視 2 割り込み	使用可	使用可
発振停止検出割り込み	使用可	（使用しないでください）
ウォッチドッグタイマ割 り込み	カウントソース保護モードで使用可	カウントソース保護モードで使用可

9.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。表9.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表 9.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	
INT0 ~ INT1 割り込み	INT0 はフィルタなしの場合に使用可
INT3 割り込み	フィルタなし、 $\overline{\text{INT3}}$ 入力タイミングで割り込み要求発生 (TCC0 レジスタの TCC06 ビットが "1")
タイマ X 割り込み	イベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視 2 割り込み	デジタルフィルタ無効モード (VW2C レジスタの VW2C1 ビットが "1") の場合に使用可

9.4.3.1 ストップモードへの移行

CM1 レジスタの CM10 ビットを "1" (全クロック停止) にすると、ストップモードになります。同時に CM0 レジスタの CM06 ビットは "1" (8分周モード)、CM10 レジスタの CM15 ビットは "1" (メインクロック発振回路の駆動能力 HIGH) になります。

ストップモードを使用する場合、OCD1 ~ OCD0 ビットを "00b" (発振停止検出機能無効) にしてからストップモードにしてください。

9.4.3.2 ストップモード時の端子の状態

ストップモードに入る直前の状態を保持。

ただし、CM1 レジスタの CM13 ビットが "1" (XIN-XOUT 端子) のとき、XOUT(P4_7) 端子は "H" になります。CM13 ビットが "0" (入力ポート P4_6、P4_7) のとき、P4_7(XOUT) は入力状態になります。

9.4.3.3 ストップモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みの ILVL2 ~ ILVL0 ビットをすべて "000b" (割り込み禁止) にした後、CM10 ビットを "1" にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10 ビットを "1" にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みの ILVL2 ~ ILVL0 ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みの ILVL2 ~ ILVL0 ビットをすべて "000b" (割り込み禁止) にする。
- (2) Iフラグを "1" にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。

図 9.7にパワーコントロールの状態遷移を示します。

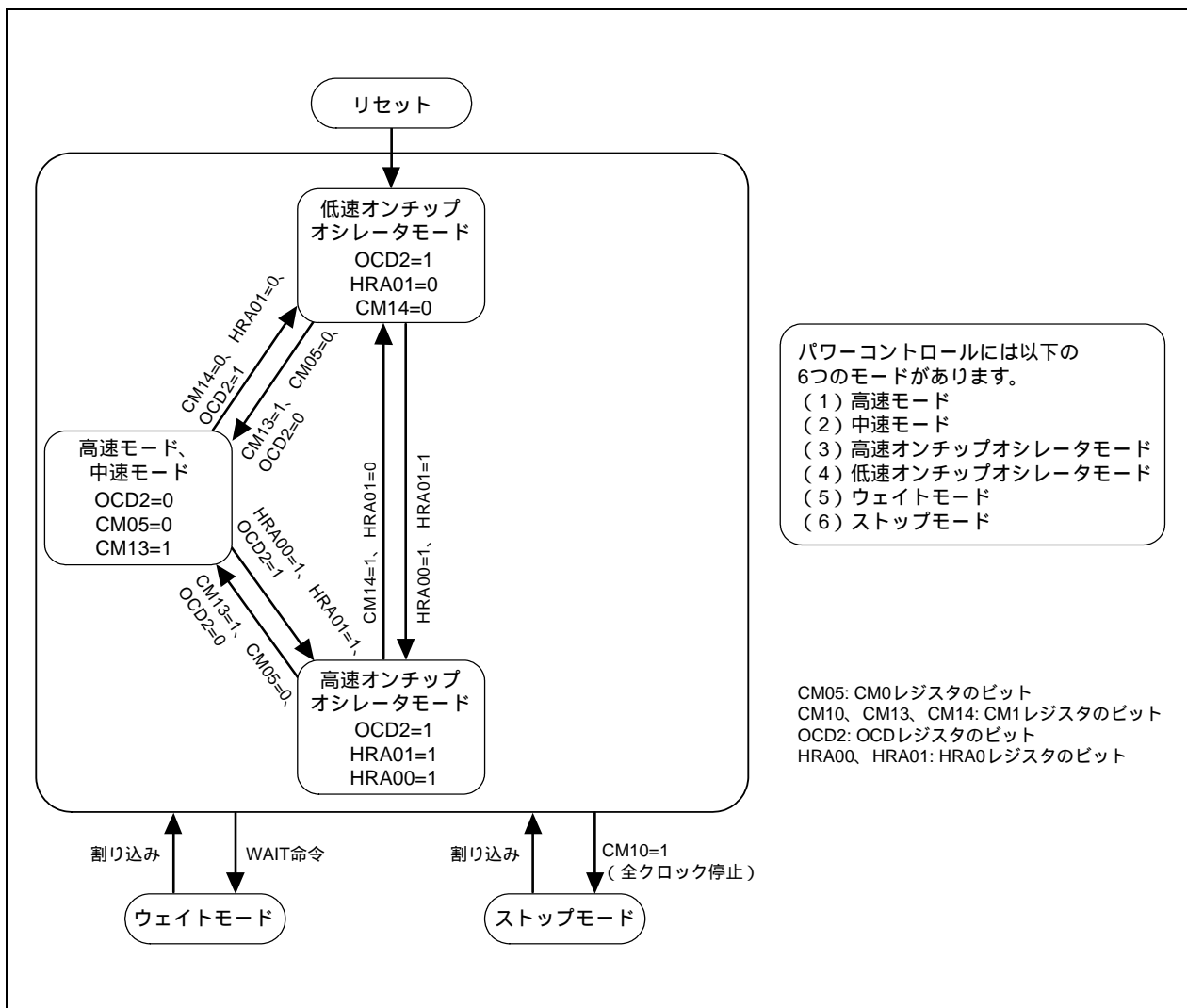


図 9.7 パワーコントロールの状態遷移

9.5 発振停止検出機能

発振停止検出機能は、メインクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD1～OCD0ビットで有効、無効が選択できます。

表 9.5 に発振停止検出機能の仕様を示します。

メインクロックがCPUクロック源でOCD1～OCD0ビットが“11b”(発振停止検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

- OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- OCDレジスタのOCD3ビット=1(メインクロック停止)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表 9.5 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にする
発振停止検出時の動作	発振停止検出割り込み発生

9.5.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視2割り込みとベクタを共有しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。表 9.6 に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視2割り込みの割り込み要因の判別を示します。
- 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図 9.8 に低速オンチップオシレータからメインクロックへの切り替え手順を示します。
- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください。
- メインクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“00b”(発振停止検出機能無効)にしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、HRA0レジスタのHRA01ビットを“0”(低速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にしてください。
発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、HRA01ビットを“1”(高速オンチップオシレータ選択)にした後、OCD1～OCD0ビットを“11b”(発振停止検出機能有効)にしてください。

表 9.6 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視2割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a) または (b) のとき)	(a)OCD レジスタの OCD3=1
	(b)OCD レジスタの OCD1 ~ OCD0=11b かつ OCD2=1
ウォッチドッグタイマ	VW2C レジスタの VW2C3=1
電圧監視 2	VW2C レジスタの VW2C2=1

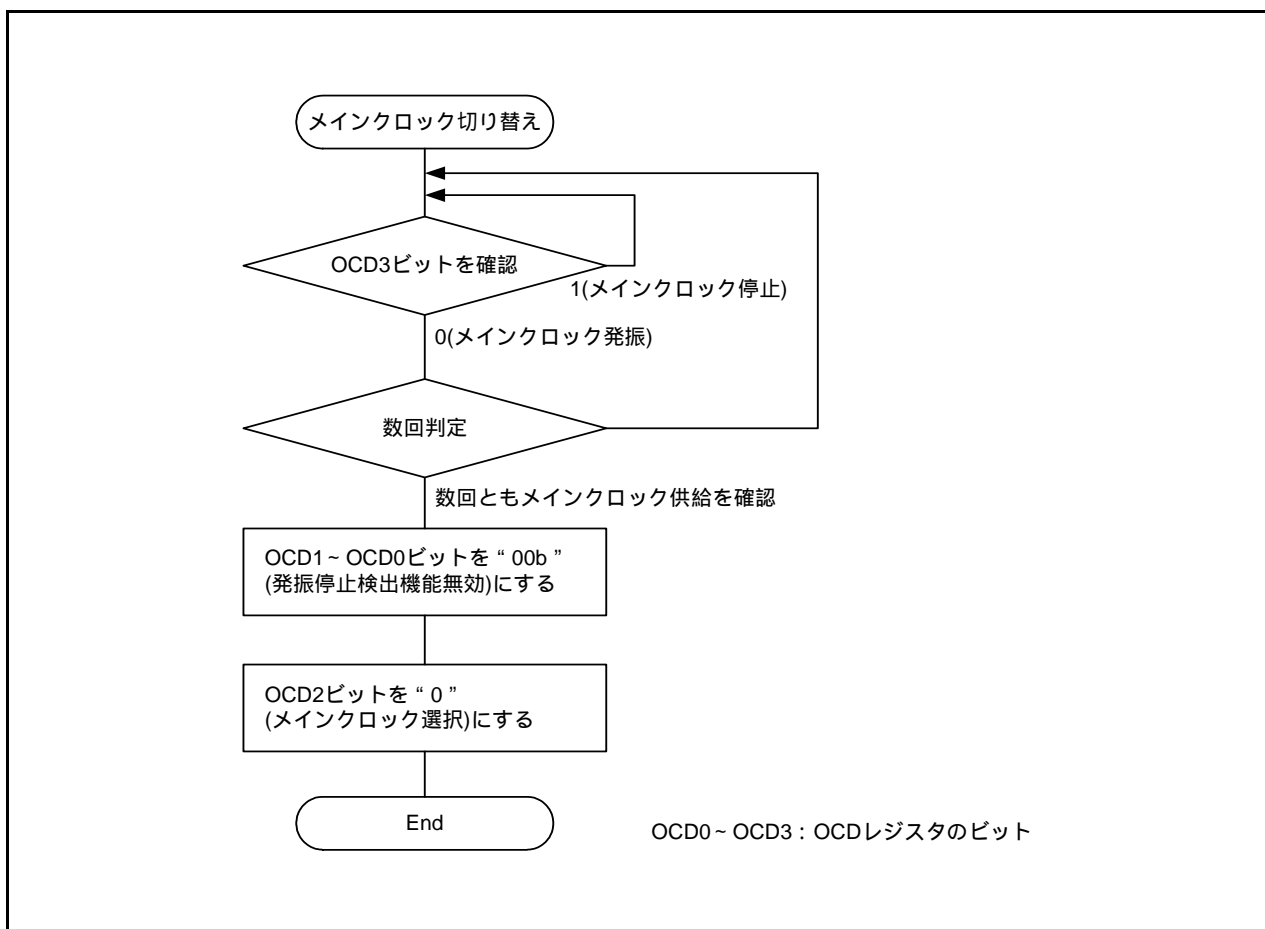


図 9.8 低速オンチップオシレータからメインクロックへの切り替え手順

10. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図 10.1 に PRCR レジスタを示します。PRCR レジスタが保護するレジスタは次です。

- PRC0 ビットで保護されるレジスタ：CM0、CM1、OCD、HRA0、HRA1、HRA2 レジスタ
- PRC1 ビットで保護されるレジスタ：PM0、PM1 レジスタ
- PRC3 ビットで保護されるレジスタ：VCA2、VW1C、VW2C レジスタ

プロテクトレジスタ

シンボル PRCR	アドレス 000Ah 番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
PRC0	プロテクトビット0	CM0、CM1、OCD、HRA0、HRA1、HRA2 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
PRC1	プロテクトビット1	PM0、PM1 レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
- (b2)	予約ビット	“0” にしてください。	RW
PRC3	プロテクトビット3	VCA2、VW1C、VW2C レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	RW
- (b5-b4)	予約ビット	“0” にしてください。	RW
- (b7-b6)	予約ビット	読んだ場合、その値は“0”。	RO

図 10.1 PRCR レジスタ

11. 割り込み

11.1 割り込みの概要

11.1.1 割り込みの分類

図 11.1 に割り込みの分類を示します。

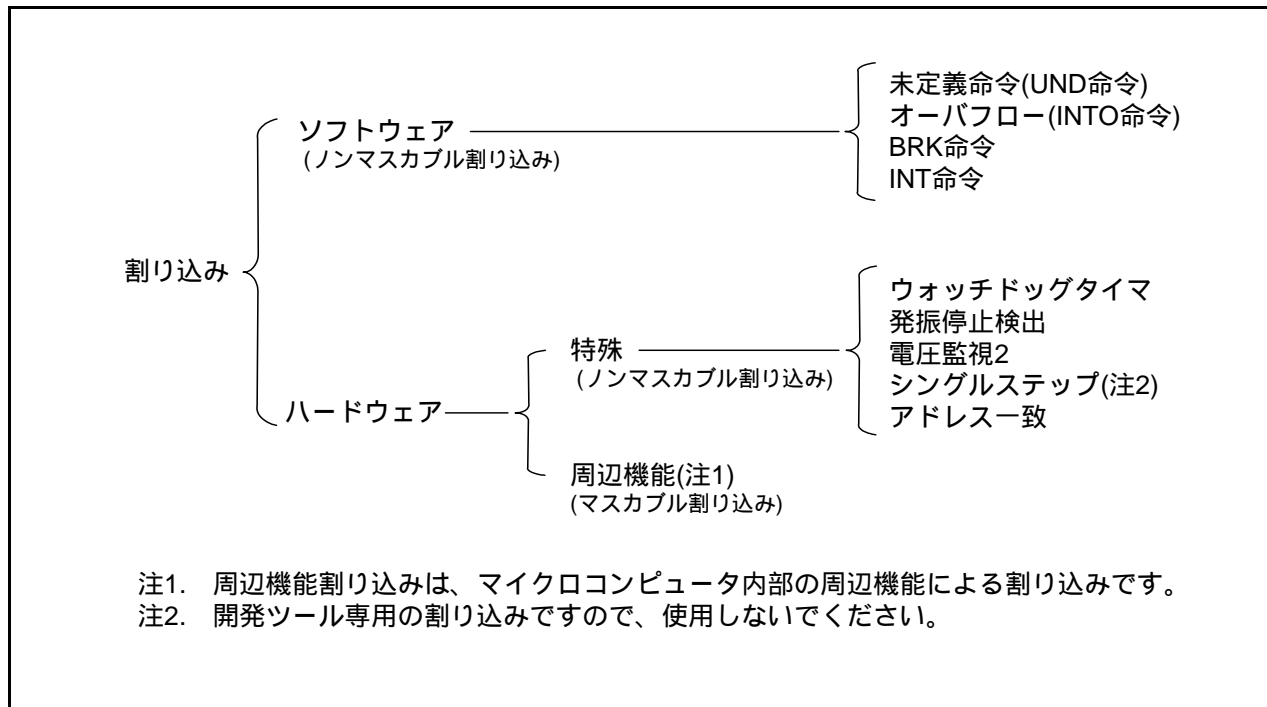


図 11.1 割り込みの分類

- マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

11.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は、「12. ウォッチドッグタイマ」を参照してください。

11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

11.1.3.3 電圧監視2割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「6. 電圧検出回路」を参照してください。

11.1.3.4 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.1.3.5 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.4 アドレス一致割り込み」を参照してください。

11.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表11.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図 11.2に割り込みベクタを示します。

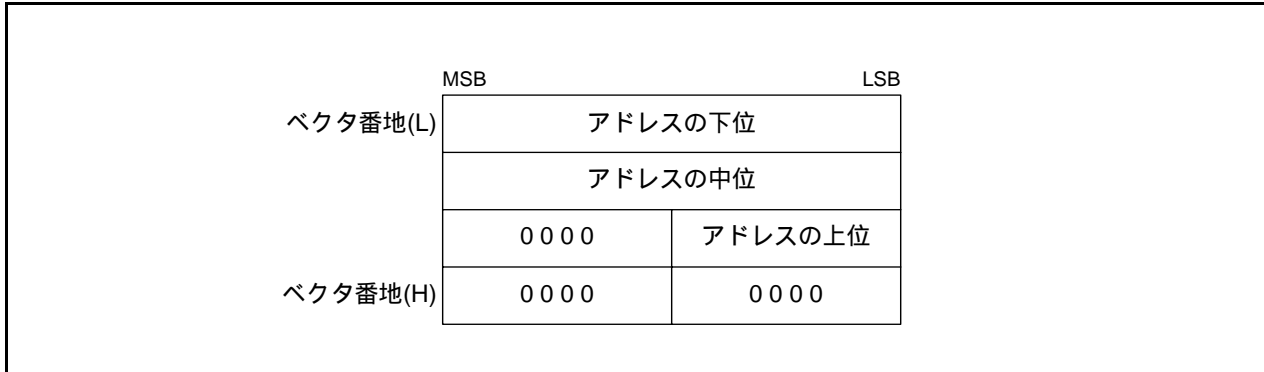


図 11.2 割り込みベクタ

11.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh 番地から 0FFFFh 番地に配置されています。表 11.1 に固定ベクタテーブルを示します。固定ベクタのベクタ番地 (H) は ID コードチェック機能で使用します。詳細は「18.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表 11.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	0FFDCh ~ 0FFDFh	UND 命令で割り込み	R8C/Tiny シリーズソフトウェアマニュアル
オーバフロー	0FFE0h ~ 0FFE3h	INTO 命令で割り込み	
BRK 命令	0FFE4h ~ 0FFE7h	0FFE7h 番地の内容が FFh の場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8h ~ 0FEBh		11.4 アドレス一致割り込み
シングルステップ(注 1)	0FFEC h ~ 0FFEFh		
ウォッチドッグタイマ、発振停止検出、電圧監視 2	0FFF0h ~ 0FFF3h		12. ウォッチドッグタイマ、9. クロック発生回路、6. 電圧検出回路
アドレスブレイク(注 1)	0FFF4h ~ 0FFF7h		
(予約)	0FFF8h ~ 0FFFBh		
リセット	0FFFC h ~ 0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

11.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表11.2に可変ベクタテーブルを示します。

表 11.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	参照先
BRK 命令(注2)	+0 ~ +3(0000h ~ 0003h)	0	R8C/Tiny シリーズソフト ウェアマニュアル
(予約)		1 ~ 12	
キー入力	+52 ~ +55(0034h ~ 0037h)	13	11.3 キー入力割り込み
A/D 変換	+56 ~ +59(0038h ~ 003Bh)	14	16. A/D コンバータ
SSU	+60 ~ +63(003Ch ~ 003Fh)	15	15. チップセレクト付クロック同期形シリアル I/O (SSU)
コンペア 1	+64 ~ +67(0040h ~ 0043h)	16	13.3 タイマ C
UART0 送信	+68 ~ +71(0044h ~ 0047h)	17	14. シリアルインタフェース
UART0 受信	+72 ~ +75(0048h ~ 004Bh)	18	
(予約)		19	
(予約)		20	
(予約)		21	
タイマ X	+88 ~ +91(0058h ~ 005Bh)	22	13.1 タイマ X
(予約)		23	
タイマ Z	+96 ~ +99(0060h ~ 0063h)	24	13.2 タイマ Z
INT1	+100 ~ +103(0064h ~ 0067h)	25	11.2 INT 割り込み
INT3	+104 ~ +107(0068h ~ 006Bh)	26	
タイマ C	+108 ~ +111(006Ch ~ 006Fh)	27	13.3 タイマ C
コンペア 0	+112 ~ +115(0070h ~ 0073h)	28	
INT0	+116 ~ +119(0074h ~ 0077h)	29	11.2 INT 割り込み
(予約)		30	
(予約)		31	
ソフトウェア(注2)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63	R8C/Tiny シリーズソフト ウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

11.1.6 割り込み制御

マスクブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクブル割り込みには該当しません。

マスクブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図 11.3 に割り込み制御レジスタ、図 11.4 にINT0ICレジスタを示します。

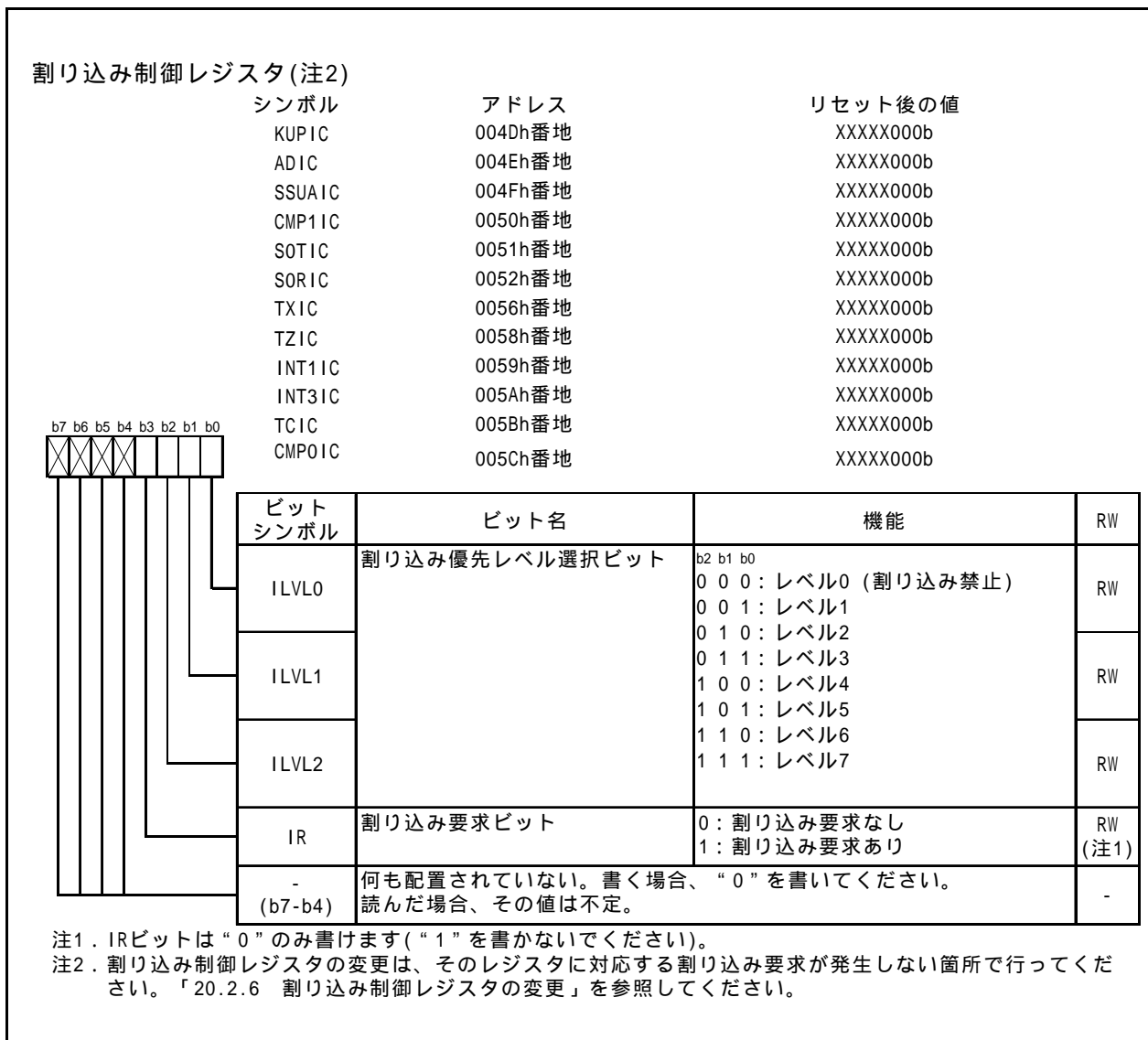


図 11.3 割り込み制御レジスタ

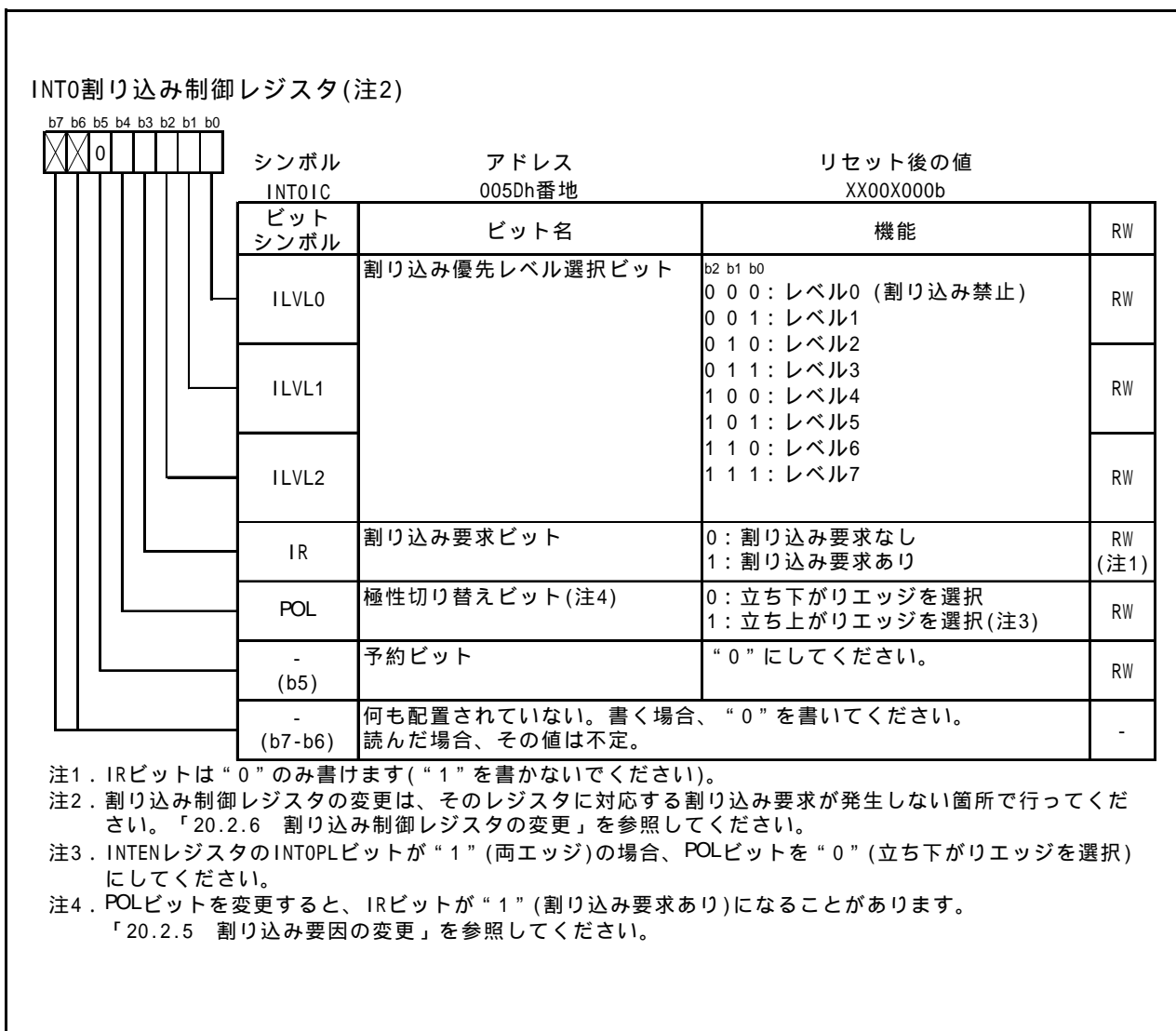


図 11.4 INT0ICレジスタ

11.1.6.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクابل割り込みは許可され、“0”(禁止)にするとすべてのマスクابل割り込みは禁止されます。

11.1.6.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。IRビットはプログラムによって“0”にできます。“1”を書かないでください。

11.1.6.3 ILVL2 ~ ILVL0ビット、IPL

割り込み優先レベルは、ILVL2 ~ ILVL0ビットで設定できます。

表 11.3に割り込み優先レベルの設定、表 11.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2 ~ ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 11.3 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
000b	レベル 0 (割り込み禁止)	低い ↓ 高い
001b	レベル 1	
010b	レベル 2	
011b	レベル 3	
100b	レベル 4	
101b	レベル 5	
110b	レベル 6	
111b	レベル 7	

表 11.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル 1 以上を許可
001b	レベル 2 以上を許可
010b	レベル 3 以上を許可
011b	レベル 4 以上を許可
100b	レベル 5 以上を許可
101b	レベル 6 以上を許可
110b	レベル 7 以上を許可
111b	すべてのマスクابل割り込みを禁止

11.1.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図 11.5 に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

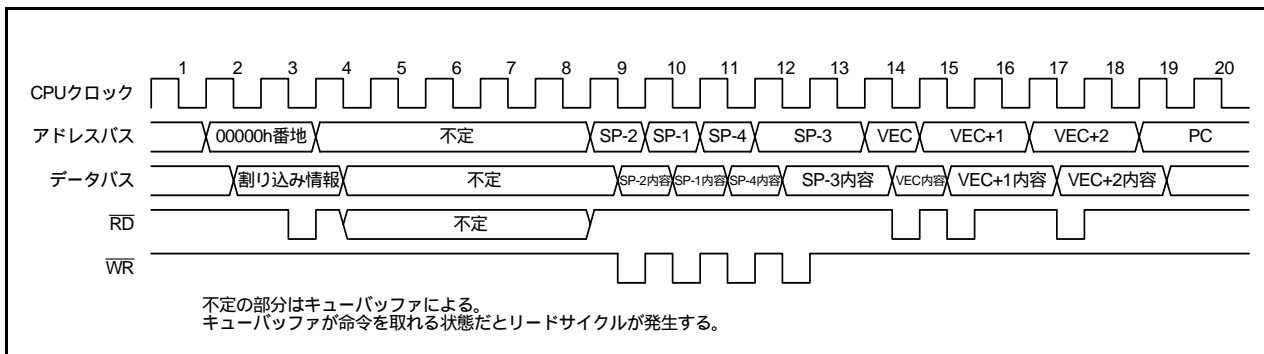


図 11.5 割り込みシーケンスの実行時間

11.1.6.5 割り込み応答時間

図 11.6 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図 11.6 の (a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

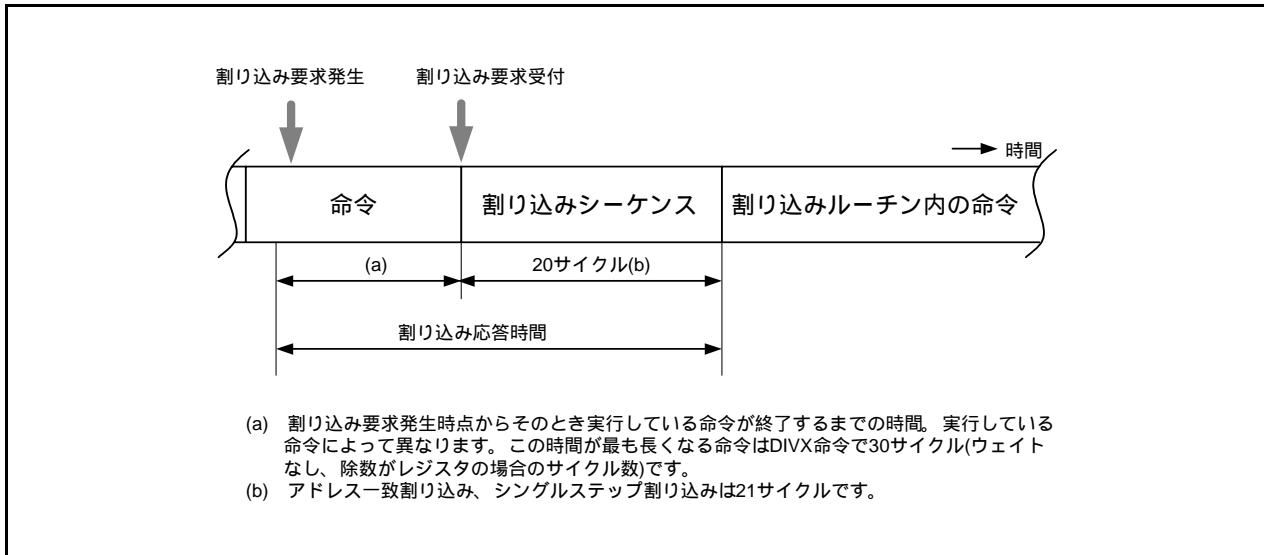


図 11.6 割り込み応答時間

11.1.6.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.5 に示す値がIPLに設定されます。表 11.5 にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 11.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視 2	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

11.1.6.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図 11.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

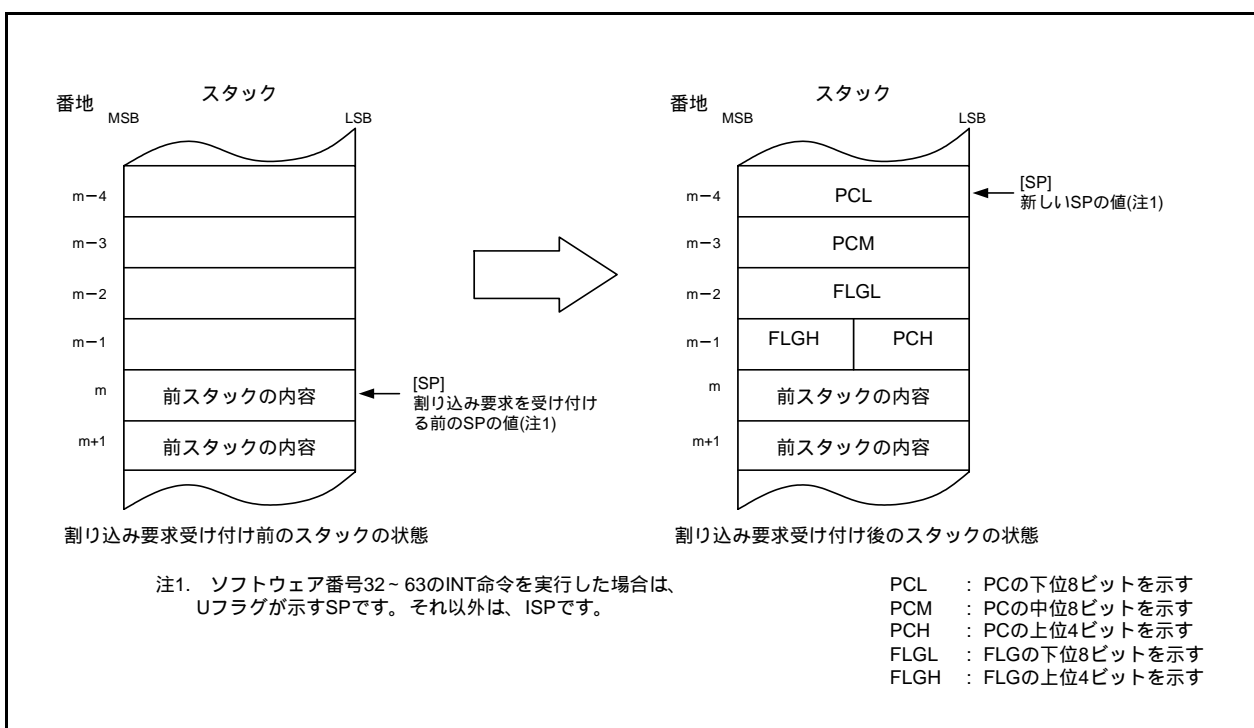


図 11.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。図11.8にレジスタ退避動作を示します。

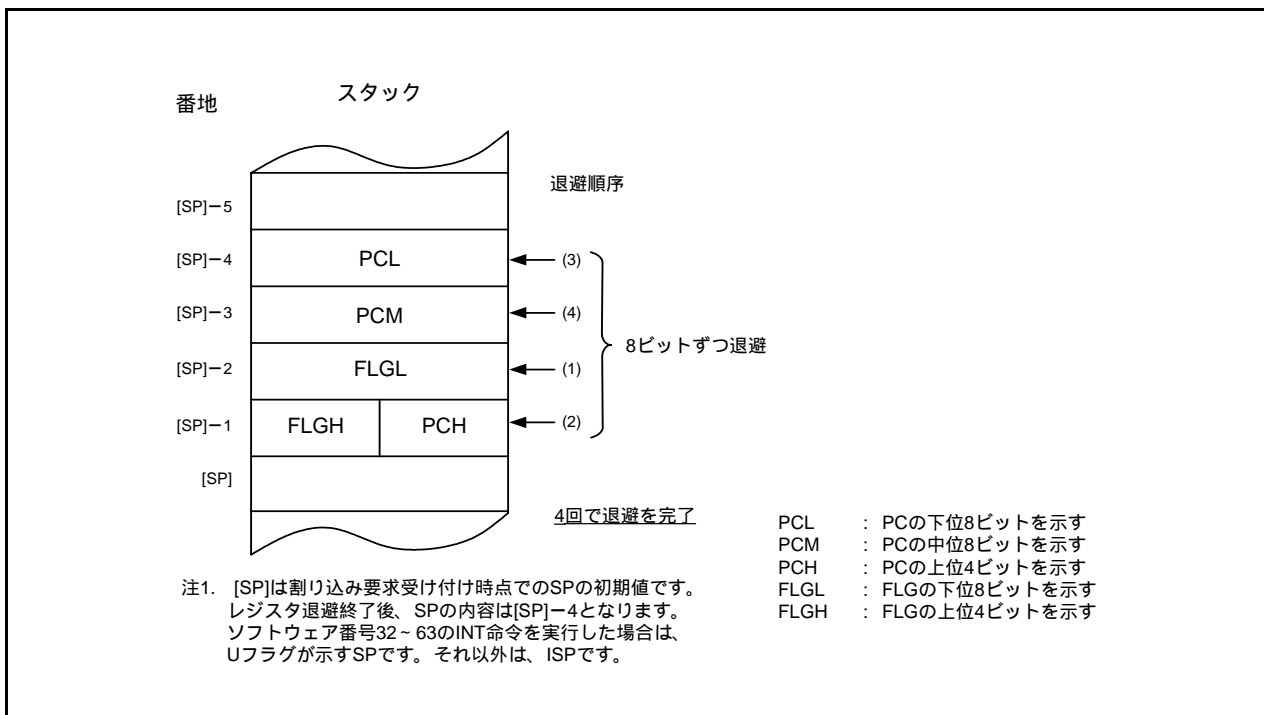


図 11.8 レジスタ退避動作

11.1.6.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

11.1.6.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図11.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

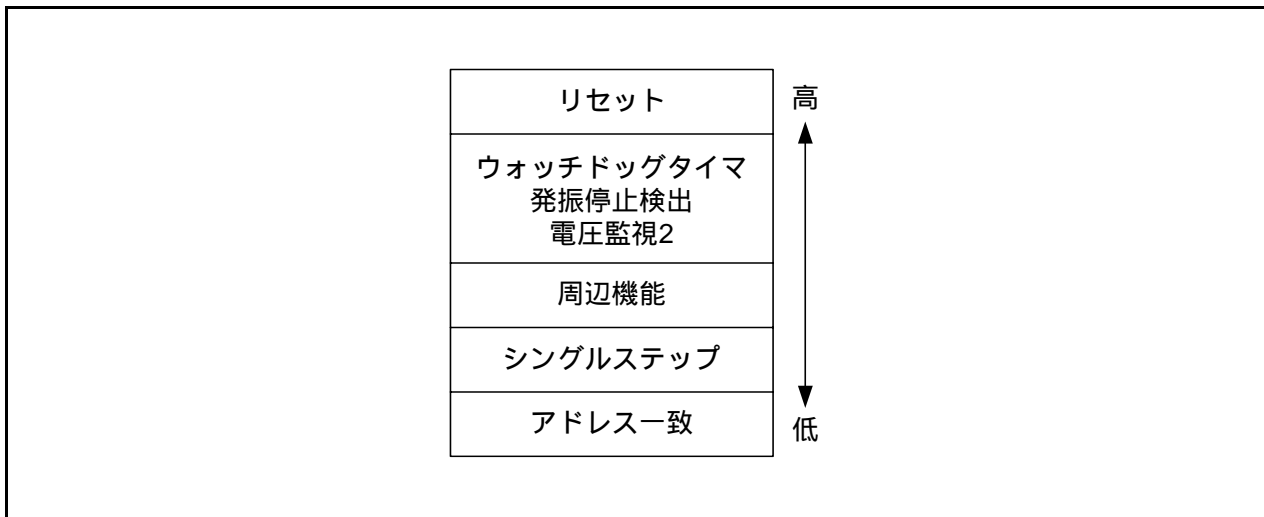


図 11.9 ハードウェア割り込みの割り込み優先順位

11.1.6.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
 図 11.10に割り込み優先レベルの判定回路を示します。

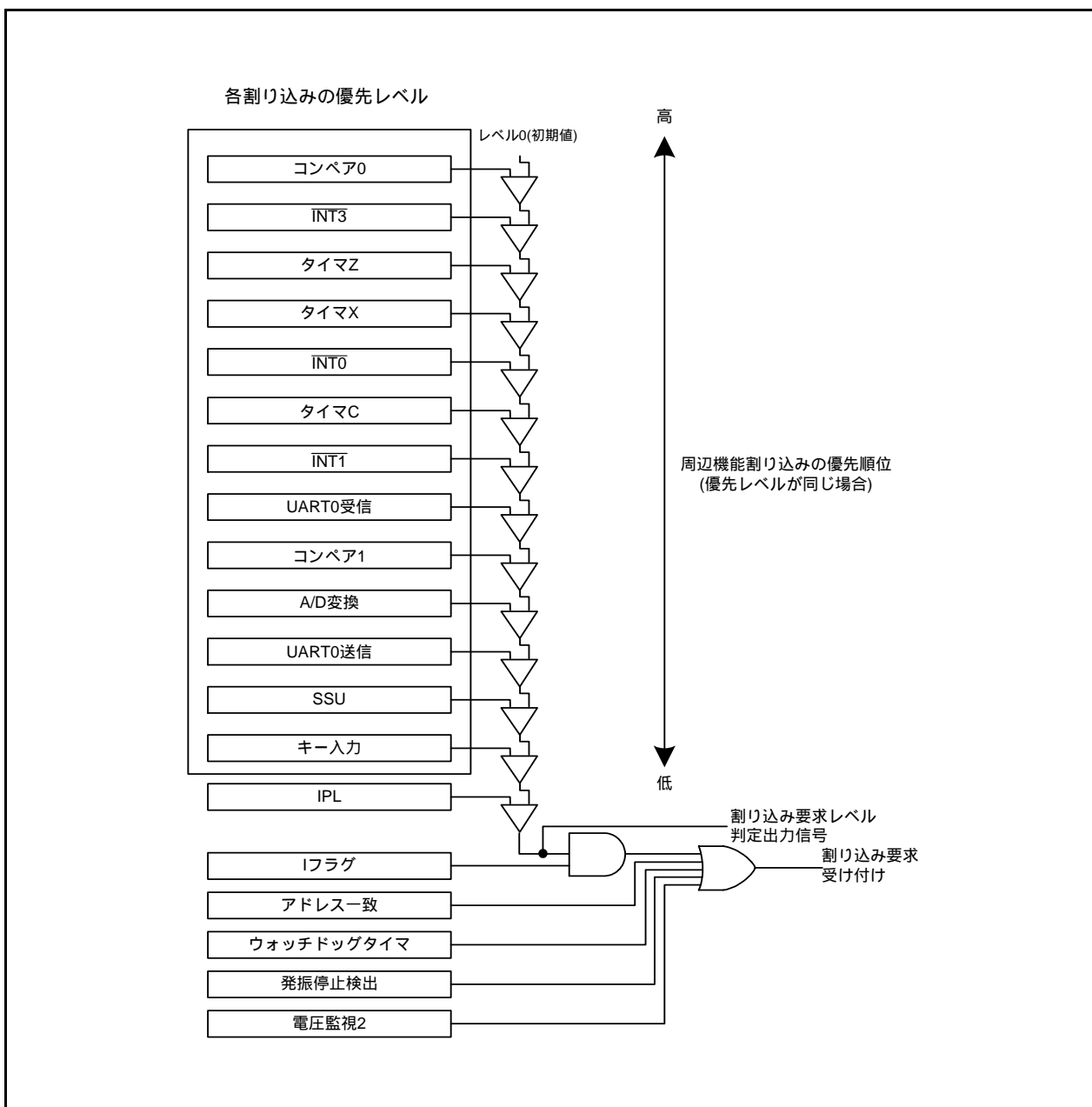


図 11.10 割り込み優先レベルの判定回路

11.2 INT割り込み

11.2.1 INTO割り込み

INT0割り込みはINT0入力による割り込みです。INT0割り込みを使用するときはINTENレジスタのINT0ENビット“1”(許可)にしてください。極性をINTENレジスタのINT0PLビットとINT0ICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。INT0端子は、タイマZの外部トリガ入力端子と兼用です。

図 11.11にINTEN、INT0Fレジスタを示します。

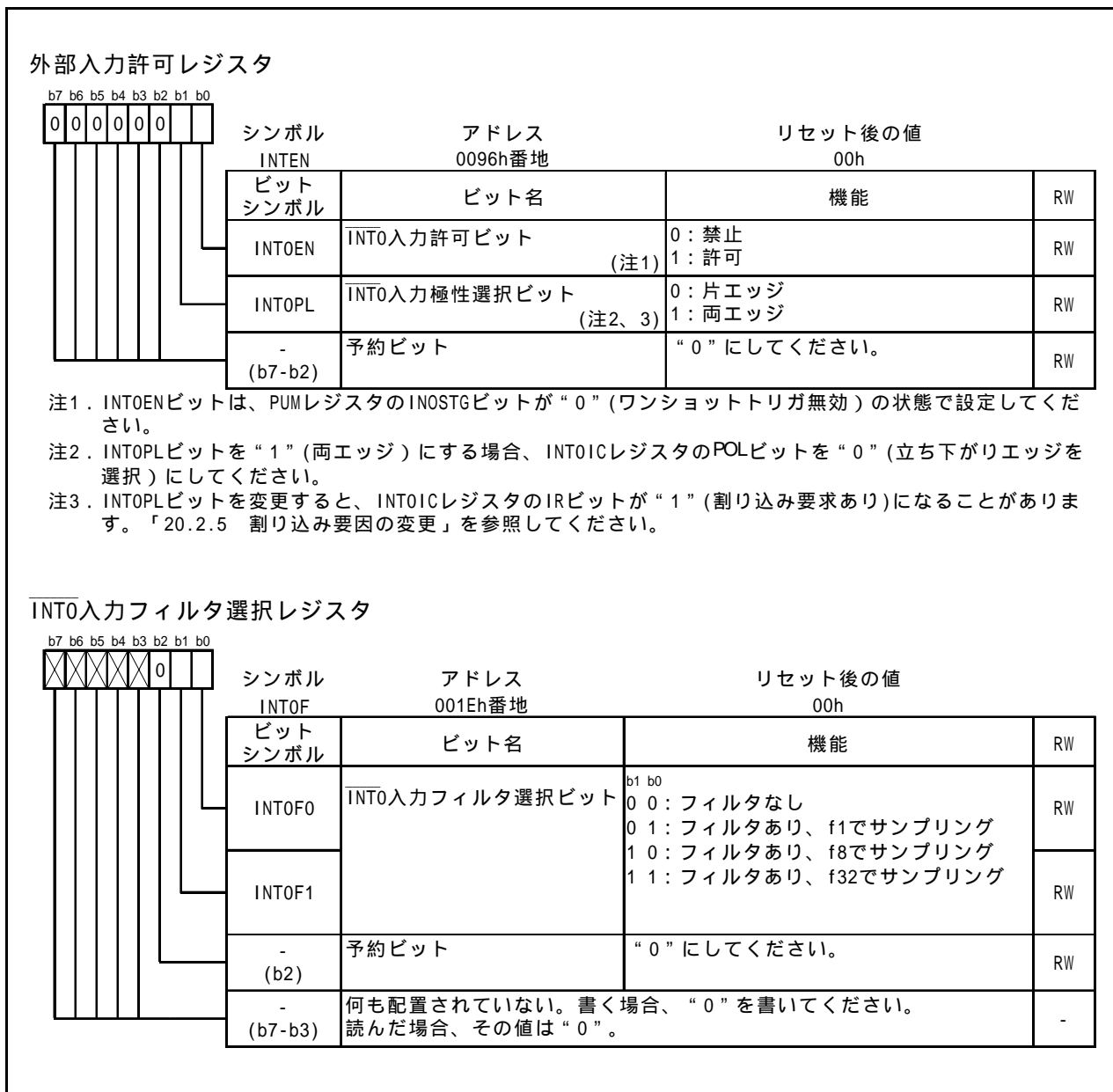


図 11.11 INTEN、INT0Fレジスタ

11.2.2 INT0入力フィルタ

INT0入力は、デジタルフィルタを持ちます。サンプリングクロックはINT0FレジスタのINT0F0 ~ INT0F1ビットで選択できます。サンプリングクロックごとにINT0のレベルをサンプリングし、レベルが3度一致した時点で、INT0ICレジスタのIRビットが“1”(割り込み要求あり)になります。

図 11.12にINT0入力フィルタの構成を、図 11.13にINT0入力フィルタ動作例を示します。

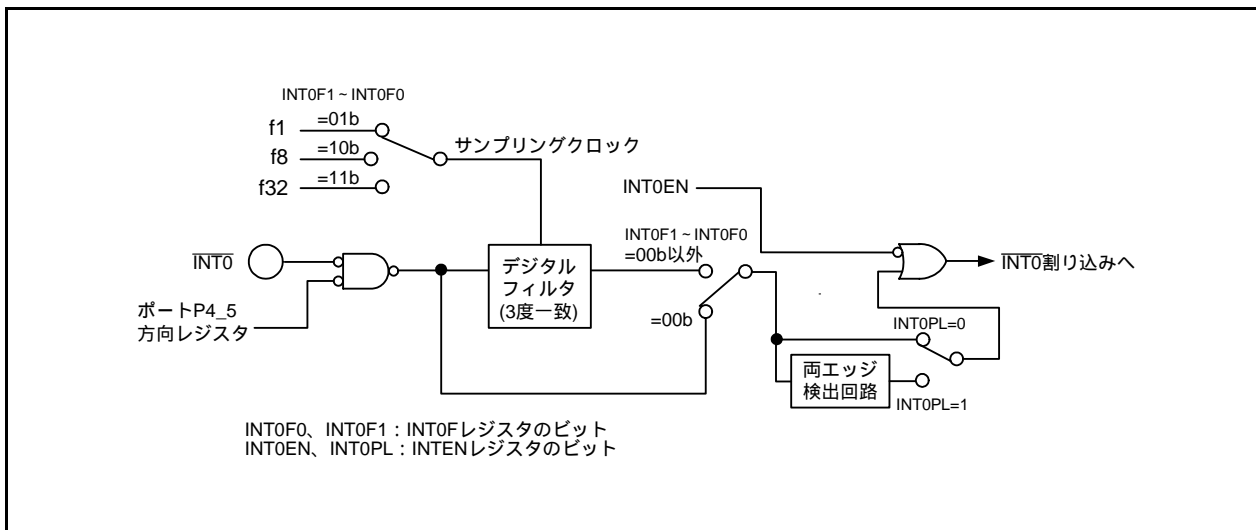


図 11.12 INT0入力フィルタの構成

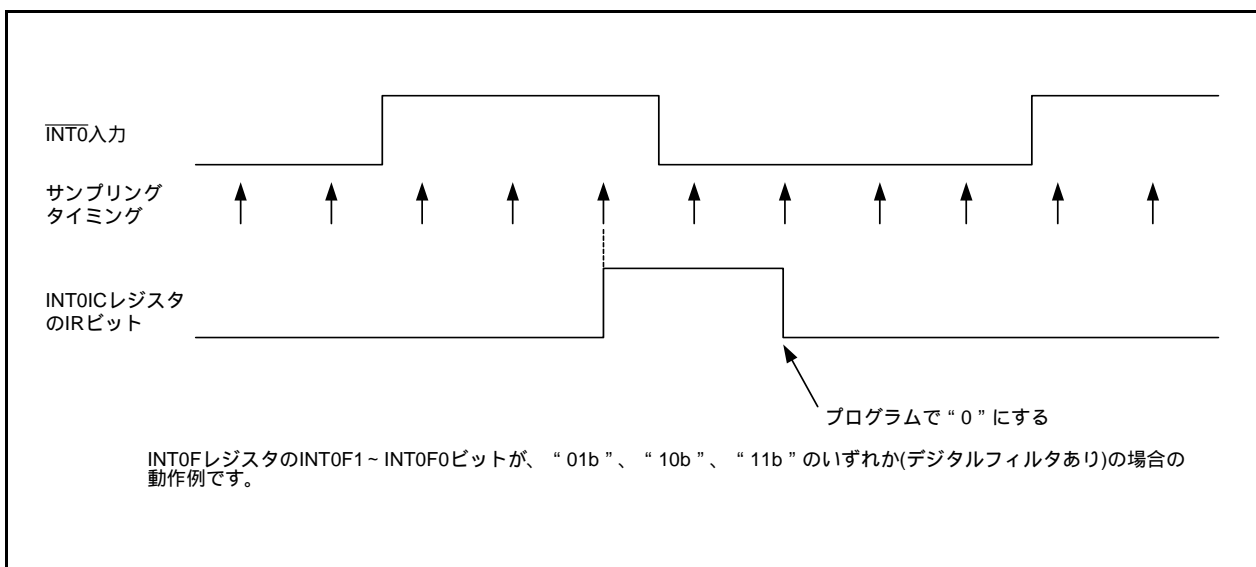


図 11.13 INT0入力フィルタ動作例

11.2.3 INT1割り込み

INT1割り込みは、INT1入力による割り込みです。極性は、TXMRレジスタのROEDGビットで選択できます。

UCONレジスタのCNTRSELビットが“0”のとき、INT10端子がINT1入力端子になり、CNTRSELビットが“1”のとき、INT11端子がINT1入力端子になります。

INT10端子はCNTR00端子と兼用で、INT11端子はCNTR01端子と兼用です。

図 11.14にINT1割り込み使用時のTXMRレジスタを示します。

シンボル		アドレス	リセット後の値	
TXMR		008Bh番地	00h	
ビットシンボル	ビット名	機能	RW	
TXMOD0	動作モード選択ビット0、1 (注1)	b1 b0 0 0 : タイマモード、またはパルス周期測定モード 0 1 : 設定しないでください。 1 0 : イベントカウントモード 1 1 : パルス幅測定モード	RW	
TXMOD1			RW	
ROEDG	INT1/CNTR0極性切り替えビット (注2)	0 : 立ち上がりエッジ 1 : 立ち下がりエッジ	RW	
TXS	タイマXカウント開始フラグ (注3)	0 : カウント停止 1 : カウント開始	RW	
TXOCNT	P3_7/CNTR0選択ビット	動作モードによって機能が異なる。	RW	
TXMOD2	動作モード選択ビット2	0 : パルス周期測定モード以外 1 : パルス周期測定モード	RW	
TXEDG	有効エッジ判定フラグ	動作モードによって機能が異なる。	RW	
TXUND	タイマXアンダフローフラグ	動作モードによって機能が異なる。	RW	

注1. INT1を使用する場合、パルス出力モード以外のモードにしてください。

注2. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「20.2.5 割り込み要因の変更」を参照してください。

注3. TXSビットの使用上の注意事項について「20.4.2 タイマX」を参照してください。

図 11.14 INT1割り込み使用時のTXMRレジスタ

11.2.4 INT3割り込み

INT3割り込みは、INT3入力による割り込みです。TCC0レジスタのTCC07ビットを“0”(INT3)にしてください。

TCC0レジスタのTCC06ビットが“0”のとき、INT3割り込み要求はタイマCのカウンタソースに同期して発生し、TCC06ビットが“1”のとき、INT3入力タイミングで発生します。

INT3入力はデジタルフィルタを持ちます。サンプリングクロックごとにINT3のレベルをサンプリングし、レベルが3度一致した時点で、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になります。サンプリングクロックはTCC1レジスタのTCC10～TCC11ビットで選択できます。フィルタありを選択したとき、割り込み要求はTCC06ビットが“1”の場合でも、サンプリングクロックに同期して発生します。

TCC10～TCC11ビットの内容に関係なく、P3レジスタのP3_3ビットを読むとフィルタ前の値が読めます。

INT3端子はTCIN端子と兼用です。

なおTCC07ビットを“1”(fRING128)にすると、INT3割り込みは、fRING128クロックによる割り込みになります。fRING128の半周期または1周期ごとにINT3ICレジスタのIRビットが“1”(割り込み要求あり)になります。

図 11.15にTCC0レジスタ、図 11.16にTCC1レジスタを示します。

タイマC制御レジスタ0			
シンボル	アドレス	リセット後の値	
TCC0	009Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TCC00	タイマCカウント開始ビット	0: カウント停止 1: カウント開始	RW
TCC01	タイマCカウントソース選択ビット(注1)	b2 b1 0 0: f1	RW
TCC02		0 1: f8 1 0: f32 1 1: fRING-fast	
TCC03	INT3割り込み、キャプチャ極性選択ビット(注1、2)	b4 b3 0 0: 立ち上がりエッジ	RW
TCC04		0 1: 立ち下がりエッジ 1 0: 両エッジ 1 1: 設定しないでください	
- (b5)	予約ビット	“0”にしてください。	RW
TCC06	INT3割り込み要求発生タイミング選択ビット(注2、3)	0: タイマCのカウンタソースに同期し発生する 1: INT3入力タイミングで発生する(注4)	RW
TCC07	INT3割り込み、キャプチャ入力ビット(注1、2)	0: INT3 1: fRING128	RW

注1. このビットの変更は、TCC00ビットが“0”(カウント停止)のとき、行ってください。
 注2. TCC03、TCC04、TCC06、TCC07ビットを変更すると、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「20.2.5 割り込み要因の変更」を参照してください。
 注3. TCC13ビットが“1”(アウトプットコンペアモード)のとき、TCC06ビットの設定値にかかわらず、INT3入力タイミングで割り込み要求が発生します。
 注4. INT3フィルタ使用時は、デジタルフィルタ用クロックに同期して発生します。

図 11.15 TCC0レジスタ

タイマC制御レジスタ1

シンボル	アドレス	リセット後の値		
TCC1	009Bh番地	00h		
ビットシンボル	ビット名	機能	RW	
TCC10	INT3フィルタ選択ビット (注1)	b1b0 0 0 : フィルタなし	RW	
TCC11		0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW	
TCC12	タイマCカウンタリロード 選択ビット(注2、3)	0 : リロードなし 1 : コンペア1一致時にTCレジスタ を“0000h”にする	RW	
TCC13	コンペア0/キャプチャ 選択ビット	0 : キャプチャ選択(インプット キャプチャモード) (注2) 1 : コンペア0出力選択 (アウトプットコンペアモード)	RW	
TCC14	コンペア0出力モード選択ビッ ト(注3)	b5 b4 0 0 : コンペア0で一致してもCMP出力 は変化しない	RW	
TCC15		0 1 : コンペア0の一致信号でCMP出力 を反転 1 0 : コンペア0の一致信号でCMP出力 を“L”に設定 1 1 : コンペア0の一致信号でCMP出力 を“H”に設定	RW	
TCC16	コンペア1出力モード選択ビッ ト(注3)	b7 b6 0 0 : コンペア1で一致してもCMP出力 は変化しない	RW	
TCC17		0 1 : コンペア1の一致信号でCMP出力 を反転 1 0 : コンペア1の一致信号でCMP出力 を“L”に設定 1 1 : コンペア1の一致信号でCMP出力 を“H”に設定	RW	

注1 . INT3端子から同じ値を3回連続してサンプリングした時点で入力が増加します。

注2 . TCC13ビットは、TCC0レジスタのTCC00ビットが“0” (カウント停止) のとき、変更してください。

注3 . TCC13ビットが“0” (インプットキャプチャモード) のとき、TCC12、TCC14～TCC17は“0” にしてください。

図 11.16 TCC1レジスタ

11.3 キー入力割り込み

KI0 ~ KI3端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用できます。

KIENレジスタのKIiENビット(i = 0 ~ 3)で、端子をKIi入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち上がりエッジ)にしているKIi端子に“L”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしているKIi端子に“H”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。

図 11.17 にキー入力割り込みのブロック図を示します。

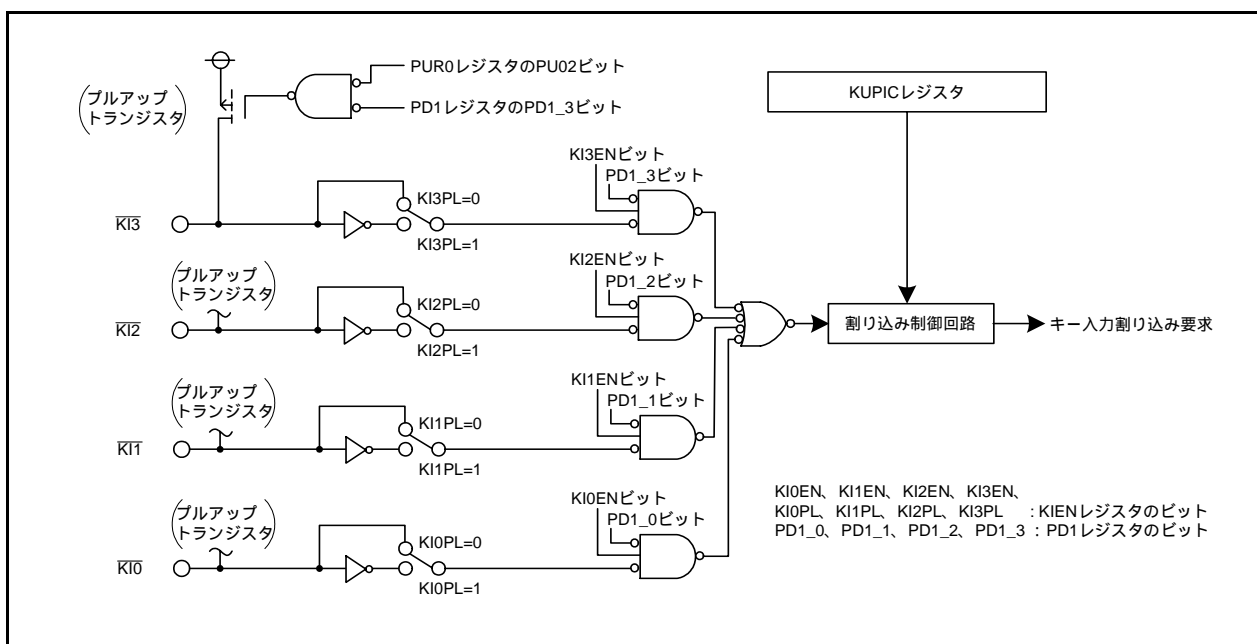


図 11.17 キー入力割り込みのブロック図

キー入力許可レジスタ (注1)

シンボル KIEN	アドレス 0098h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
K10EN	K10入力許可ビット	0: 禁止 1: 許可	RW
K10PL	K10入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
K11EN	K11入力許可ビット	0: 禁止 1: 許可	RW
K11PL	K11入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
K12EN	K12入力許可ビット	0: 禁止 1: 許可	RW
K12PL	K12入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW
K13EN	K13入力許可ビット	0: 禁止 1: 許可	RW
K13PL	K13入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	RW

注1. KIENレジスタを変更すると、KUPICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「20.2.5 割り込み要因の変更」を参照してください。

図 11.18 KIENレジスタ

11.4 アドレス一致割り込み

RMADi(i=0, 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッグのブレーク機能に使用します。なお、オンチップデバッグ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i=0, 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER0レジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「11.1.6.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 11.6 にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図 11.19 に AIER、RMAD0 ~ RMAD1 レジスタを示します。

表 11.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADi レジスタ (i=0, 1) で示される番地の命令	退避される PC の値
・ 16 ビットオペコード命令 ・ 8 ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0 または A1)	RMADi レジスタで示される番地 +2
上記以外	RMADi レジスタで示される番地 +1

退避されるPCの値 : 「11.1.6.7 レジスタ退避」参照

表 11.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み 0	AIER0	RMAD0
アドレス一致割り込み 1	AIER1	RMAD1

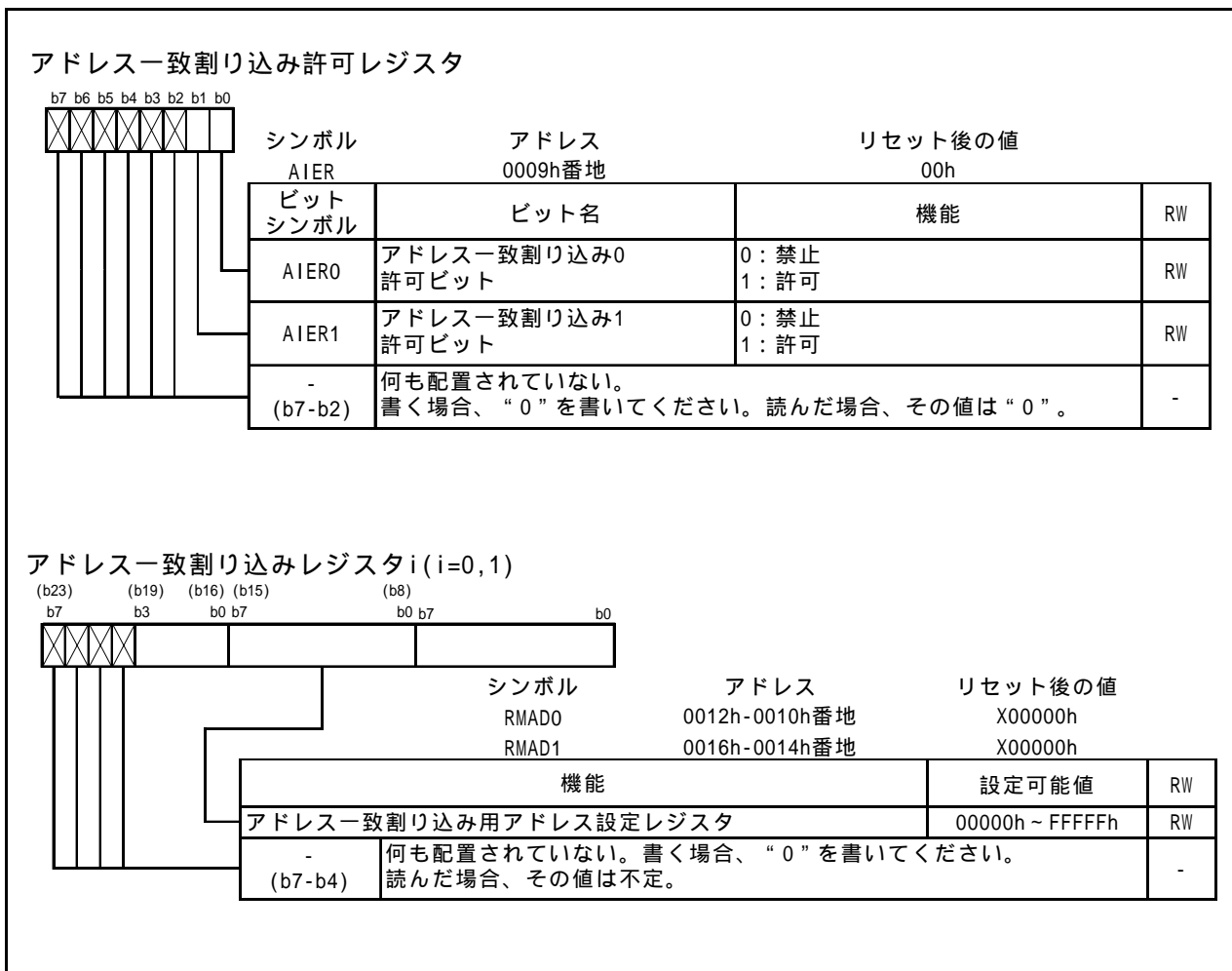


図 11.19 AIER、RMAD0 ~ RMAD1レジスタ

12. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。表 12.1 にカウントソース保護モードの有効/無効を示します。

ウォッチドッグタイマリセットの詳細は「5.5 ウォッチドッグタイマリセット」を参照してください。

図 12.1 にウォッチドッグタイマのブロック図、図 12.2 ~ 図 12.3 にOFS、WDC、WDTR、WDTS、CSPRレジスタを示します。

表 12.1 カウントソース保護モードの有効/無効

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPU クロック	低速オンチップオシレータクロック
カウント動作	ダウンカウント	
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー 	
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 	
カウント停止条件	ストップモード、ウェイトモード	なし
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット

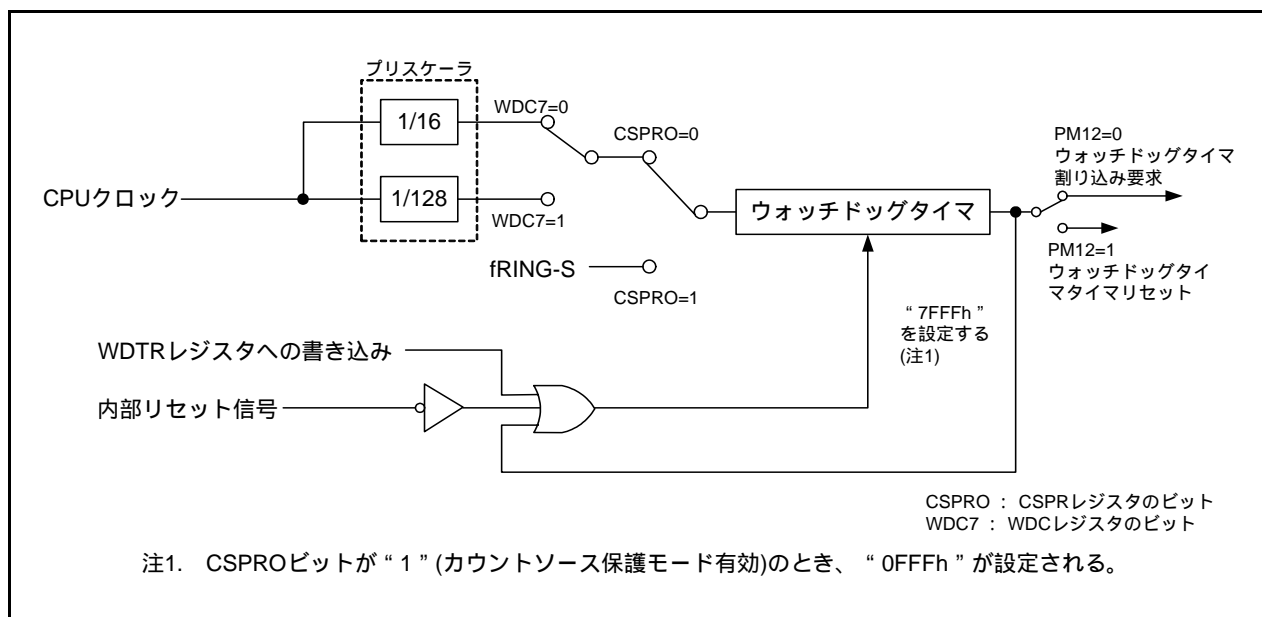


図 12.1 ウォッチドッグタイマのブロック図

オプション機能選択レジスタ(注1)			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル OFS		アドレス 0FFFh番地	出荷時の値 FFh(注2)
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	"1" にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b6-b4)	予約ビット	"1" にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。
注2. OFSレジスタを含むブロックを消去すると、OFSレジスタは"FF"になります。

ウォッチドッグタイマ制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル WDC		アドレス 000Fh番地	リセット後の値 00011111b
ビット シンボル	ビット名	機能	RW
- (b4-b0)	ウォッチドッグタイマの上位ビット		RO
- (b5)	予約ビット	"0" にしてください。	RW
- (b6)	予約ビット	"0" にしてください。	RW
WDC7	プリスケアラ選択 ビット	0: 16分周 1: 128分周	RW

図 12.2 OFS、WDCレジスタ

ウォッチドッグタイマリセットレジスタ

b7 [] b0	シンボル WDTR	アドレス 000Dh番地	リセット後の値 不定	
機能				RW
“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。(注1) ウォッチドッグタイマの初期値はカウントソース保護モード無効時に“7FFFh”、カウントソース保護モード有効時に“0FFFh”が設定される。(注2)				WO

注1. “00h”の書き込みと、“FFh”の書き込みの間に、割り込みを発生させないください。
 注2. CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、ウォッチドッグタイマに“0FFFh”が設定されます。

ウォッチドッグタイマスタートレジスタ

b7 [] b0	シンボル WDTS	アドレス 000Eh番地	リセット後の値 不定	
機能				RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。				WO

カウントソース保護モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0 [0 0 0 0 0 0 0 0]	シンボル CSPR	アドレス 001Ch番地	リセット後の値(注1) 00h	
ビットシンボル	ビット名	機能	RW	
- (b6-b0)	予約ビット	“0”にしてください。	RW	
CSPRO	カウントソース保護モード選択ビット(注2)	0: カウントソース保護モード無効 1: カウントソース保護モード有効	RW	

注1. OFSレジスタのCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。
 注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。
 プログラムでは“0”にできません。

図 12.3 WDTR、WDTS、CSPRレジスタ

12.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。表12.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表 12.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(32768) (注1) CPUクロック n : 16または128 (WDCレジスタのWDC7ビットで選択) 例 : CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注2)で選択 ・ WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDT5レジスタに書くことにより、カウントを開始 ・ WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
ウォッチドッグタイマ初期化条件	・ リセット ・ WDTRレジスタに“00h”、続いて“FFh”を書く ・ アンダフロー
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	・ PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み ・ PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTON ビットはプログラムでは変更できません。WDTON ビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

12.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。表 12.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表 12.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 低速オンチップオシレータクロック 例：低速オンチップオシレータクロックが125 kHzの場合、周期は約32.8ms
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFh番地)のWDTONビット(注1)で選択 ・WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 ・WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
ウォッチドッグタイマ初期化条件	・リセット ・WDTRレジスタに“00h”、続いて“FFh”を書く ・アンダフロー
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	・CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される -ウォッチドッグタイマに0FFFhを設定 -CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振) -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) ・カウントソース保護モードでは、次の状態になる -CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない) -CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、低速オンチップオシレータは停止しない)

注1. WDTON ビットはプログラムでは変更できません。WDTON ビットを設定する場合は、フラッシュライタで0FFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFh番地のb7に“0”を書き込んでください。

13. タイマ

タイマは、8ビットプリスケアラ付き8ビットタイマを2本と、16ビットタイマを1本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマX、およびタイマZの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマCです。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

表 13.1に各タイマの機能比較を示します。

表 13.1 各タイマの機能比較

項目		タイマX	タイマZ	タイマC
構成		8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付 8ビットタイマ (リロードレジスタ付)	16ビットタイマ (インプットキャプチャ、 アウトプットコンペア付)
カウント		ダウンカウント	ダウンカウント	アップカウント
カウントソース		・ f1 ・ f2 ・ f8 ・ fRING	・ f1 ・ f2 ・ f8 ・ タイマXアンダフロー	・ f1 ・ f8 ・ f32 ・ fRING-fast
機能	タイマモード	あり	あり	なし
	パルス出力モード	あり	なし	なし
	イベントカウンタモード	あり	なし	なし
	パルス幅測定モード	あり	なし	なし
	パルス周期測定モード	あり	なし	なし
	プログラマブル波形発生モード	なし	あり	なし
	プログラマブルワンショット発生モード	なし	あり	なし
	プログラマブルウェイトワンショット発生モード	なし	あり	なし
	インプットキャプチャモード	なし	なし	あり
	アウトプットコンペアモード	なし	なし	あり
入力端子		CNTR0	INT0	TCIN
出力端子		CNTR0 CNTR0	TZOUT	CMP0_0 ~ CMP0_2 CMP1_0 ~ CMP1_2
関連する割り込み		タイマX割り込み INT1割り込み	タイマZ割り込み INT0割り込み	タイマC割り込み INT3割り込み コンペア0割り込み コンペア1割り込み
タイマ停止		あり	あり	あり

13.1 タイマX

タイマXは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、PREXレジスタ、TXレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます（表13.2～表13.6の各モードの仕様を参照）。

図13.1にタイマXのブロック図を、図13.2～図13.3にタイマX関連のレジスタを示します。タイマXは、次の5種類のモードを持ちます。

- | | |
|---------------|---|
| • タイマモード | 内部カウントソースをカウントするモード |
| • パルス出力モード | 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード |
| • イベントカウンタモード | 外部パルスをカウントするモード |
| • パルス幅測定モード | 外部パルスのパルス幅を測定するモード |
| • パルス周期測定モード | 外部パルスのパルス周期を測定するモード |

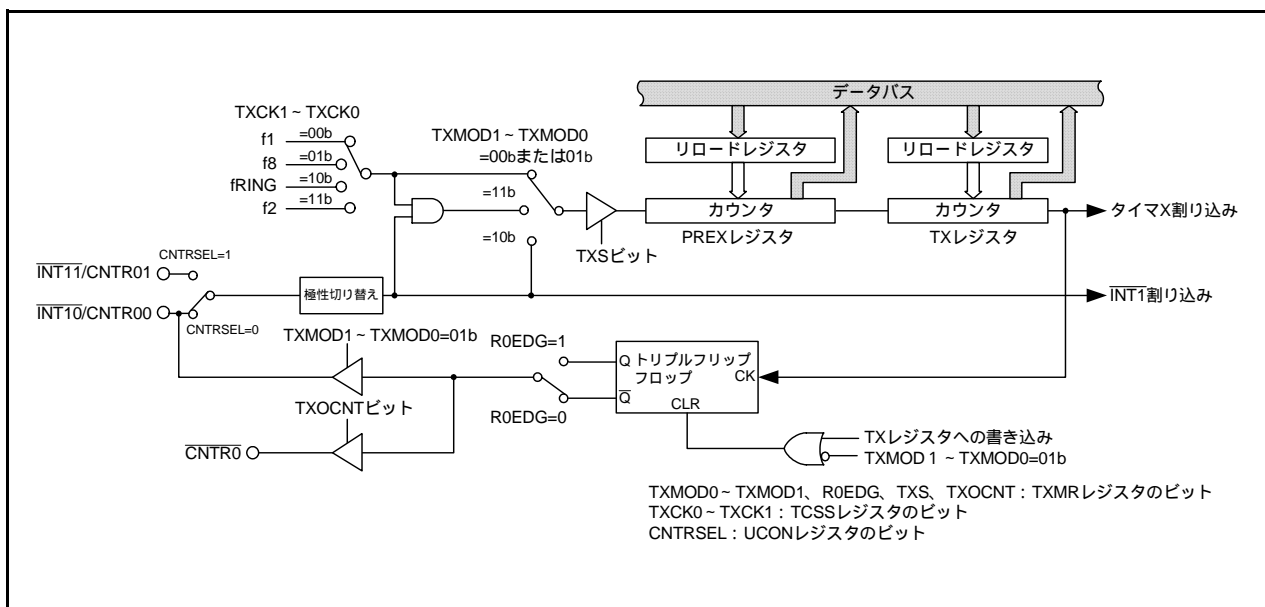


図 13.1 タイマXのブロック図

タイマXモードレジスタ

シンボル	アドレス	リセット後の値	
TXMR	008Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 0: タイマモード、またはパルス周期測定モード 0 1: パルス出力モード 1 0: イベントカウンタモード 1 1: パルス幅測定モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替ビット(注1)	動作モードによって機能が異なる。	RW
TXS	タイマXカウント開始フラグ(注2)	0: カウント停止 1: カウント開始	RW
TXOCNT	P3_7/CNTR0選択ビット	動作モードによって機能が異なる。	RW
TXMOD2	動作モード選択ビット2	0: パルス周期測定モード以外 1: パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ	動作モードによって機能が異なる。	RW
TXUND	タイマXアンダフローフラグ	動作モードによって機能が異なる。	RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「20.2.5 割り込み要因の変更」を参照してください。

注2. TXSビットの使用上の注意事項について「20.4.2 タイマX」を参照してください。

図 13.2 TXMRレジスタ

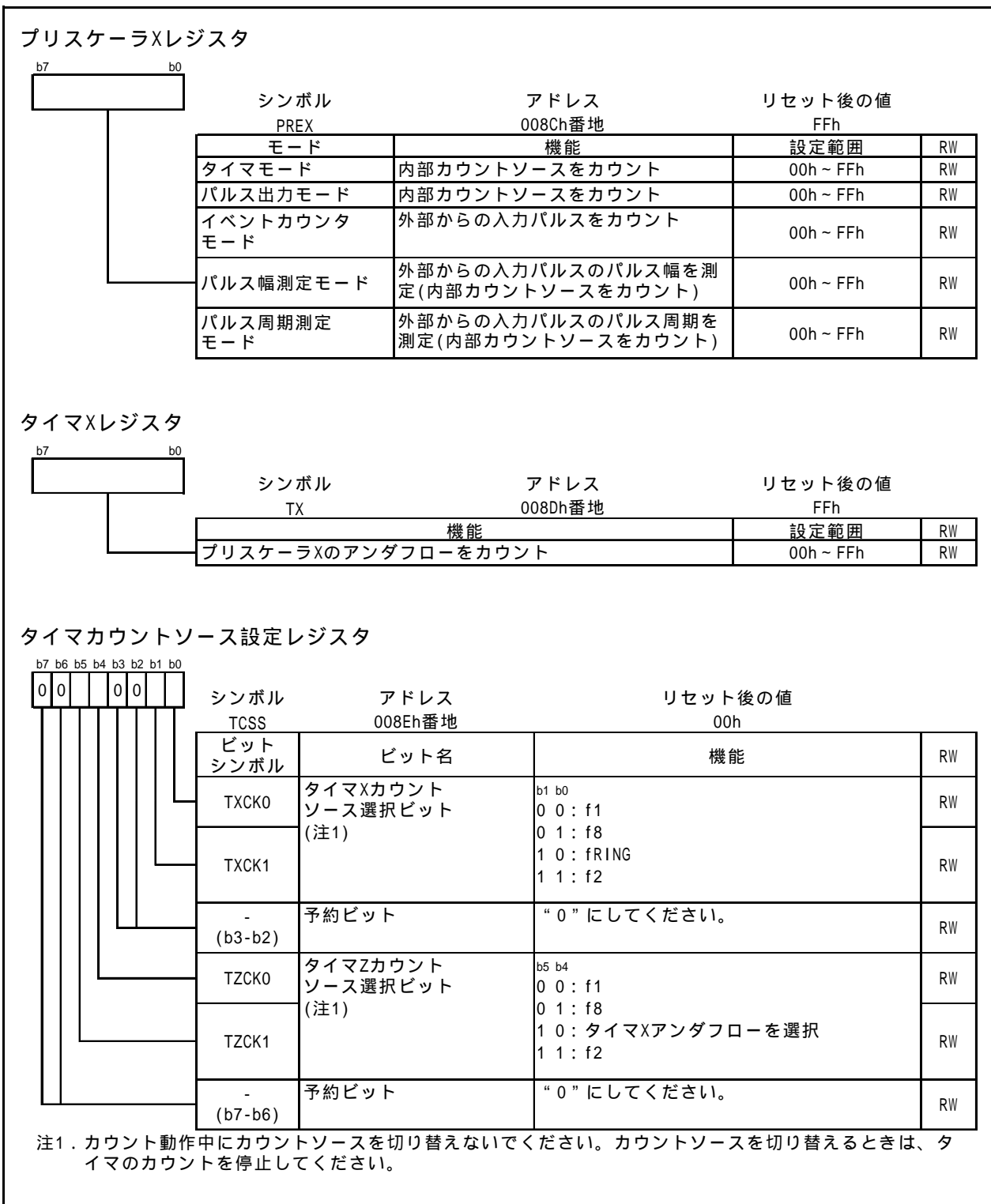


図 13.3 PREX、TX、TCSSレジスタ

13.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表13.2)。図13.4にタイマモード時のTXMRレジスタを示します。

表 13.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR00、INT11/CNTR01 端子機能	プログラマブル入出力ポート、またはINT1割り込み入力
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する

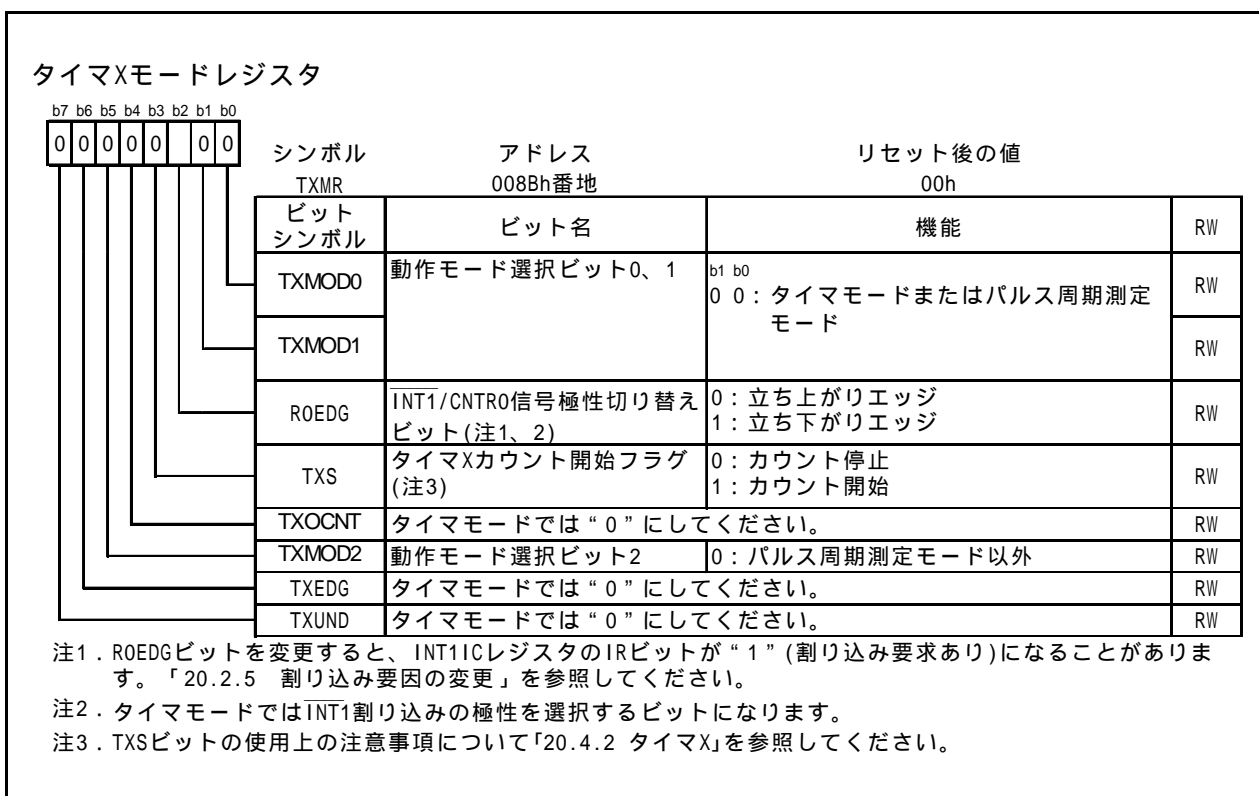


図 13.4 タイマモード時のTXMRレジスタ

13.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをCNTR0端子から出力するモードです(表13.3)。図13.5にパルス出力モード時のTXMRレジスタを示します。

表 13.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fRING
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR0端子機能	パルス出力
CNTR0端子機能	プログラマブル入出力ポート、またはCNTR0の反転出力
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する
選択機能	・INT1/CNTR0信号極性切り替え機能 R0EDGビットでパルス出力開始時のレベルを選択できる(注1) ・反転パルス出力機能 CNTR0信号出力の極性を反転したパルスを $\overline{\text{CNTR0}}$ 端子から出力できる(TXOCNTビットで選択)

注1. TXレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマXモードレジスタ

シンボル	アドレス	リセット後の値	
TXMR	008Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 1: パルス出力モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替えビット(注1)	0: "H" からCNTR0信号出力開始 1: "L" からCNTR0信号出力開始	RW
TXS	タイマXカウント開始フラグ(注2)	0: カウント停止 1: カウント開始	RW
TXOCNT	P3_7/CNTR0選択ビット	0: ポートP3_7 1: CNTR0出力	RW
TXMOD2	パルス出力モードでは"0"にしてください。		RW
TXEDG	パルス出力モードでは"0"にしてください。		RW
TXUND	パルス出力モードでは"0"にしてください。		RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが"1" (割り込み要求あり)になることがあります。「20.2.5 割り込み要因の変更」を参照してください。

注2. TXSビットの使用上の注意事項について「20.4.2 タイマX」を参照してください。

図 13.5 パルス出力モード時のTXMRレジスタ

13.1.3 イベントカウンタモード

INT1/CNTR0端子から入力する外部信号をカウントするモードです(表13.4)。図13.6にイベントカウンタモード時のTXMRレジスタを示します。

表 13.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	CNTR0端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能)
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT10/CNTR00、INT11/CNTR01端子機能	カウントソース入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	・カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミグでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミグでカウンタへ転送され、3つ目のカウントソースの入カタイミグでカウントを再開する
選択機能	・INT1/CNTR0信号極性切り替え機能 R0EDGビットでカウントソースの有効エッジを選択できる ・カウントソース入力端子選択機能 UCONレジスタのCNTRSELビットでCNTR0またはCNTR01端子を選択できる

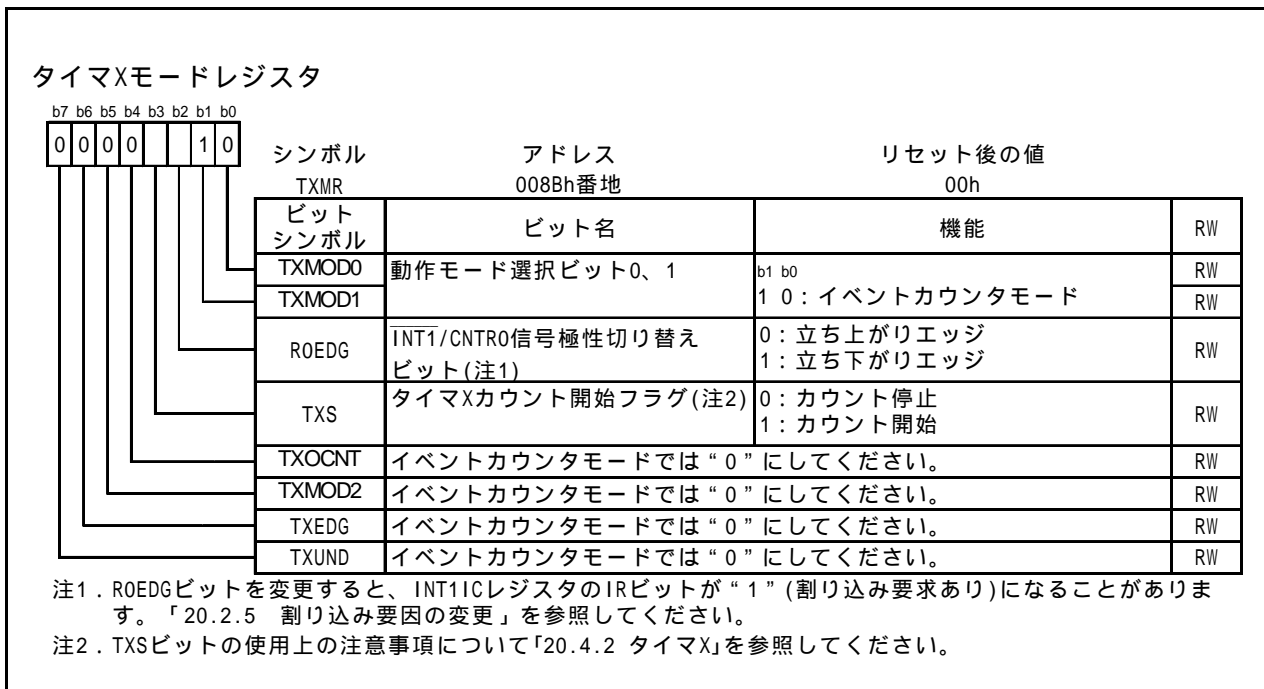


図 13.6 イベントカウンタモード時のTXMRレジスタ

13.1.4 パルス幅測定モード

INT1/CNTR0端子から入力する外部信号のパルス幅を測定するモードです(表13.5)。図13.7にパルス幅測定モード時のTXMRレジスタを、図13.8にパルス幅測定モード時の動作例を示します。

表 13.5 パルス幅測定モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマXのアンダフロー時 [タイマX割り込み] ・CNTR0入力の立ち上がり、または立ち下がり(測定期間終了) [INT1割り込み]
INT10/CNTR00、INT11/CNTR01端子機能	測定パルス入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入カタイミグでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミグでカウンタへ転送され、3つ目のカウントソースの入カタイミグでカウントを再開する
選択機能	<ul style="list-style-type: none"> ・INT1/CNTR0信号極性切り替え機能 R0EDGビットで入力パルスの測定幅として“H”レベル期間、または“L”レベル期間を選択できる ・測定パルス入力端子選択機能 UCONレジスタのCNTRSELビットでCNTR0またはCNTR01端子を選択できる

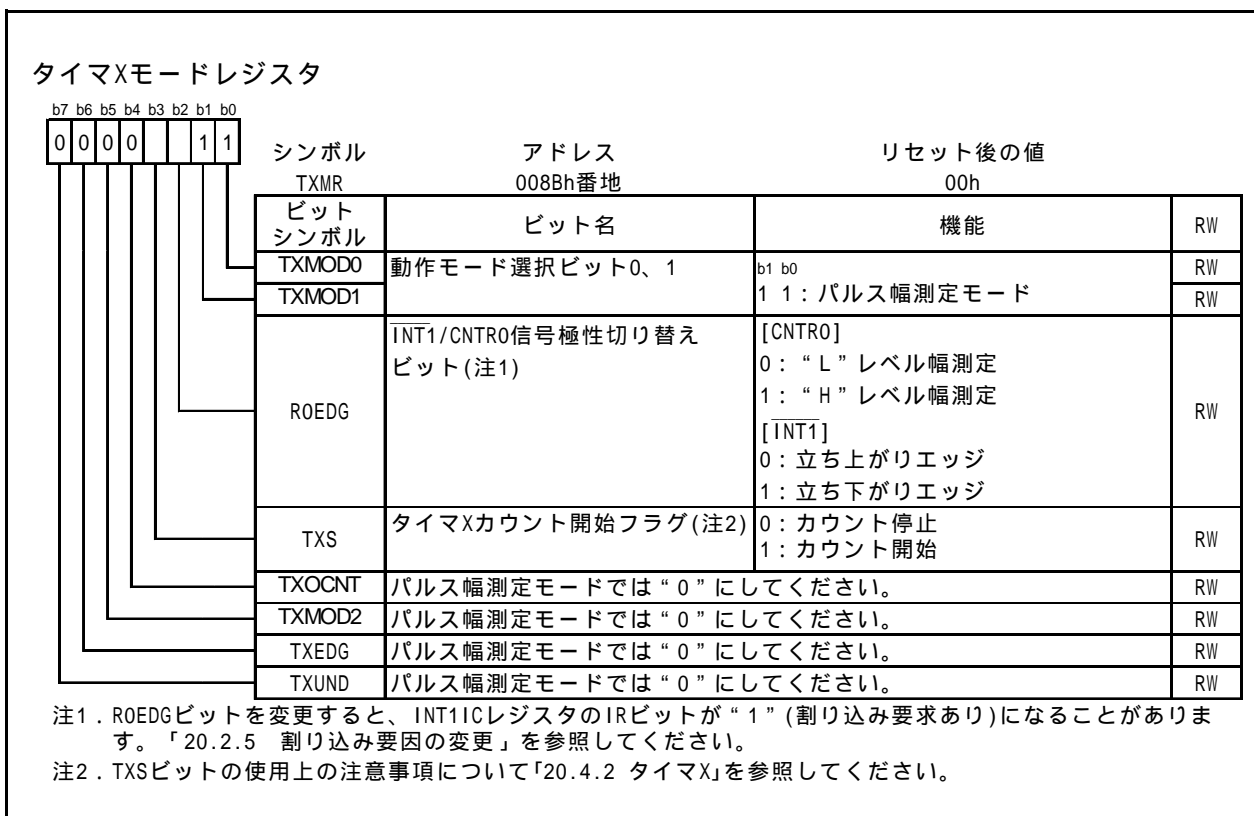


図 13.7 パルス幅測定モード時のTXMRレジスタ

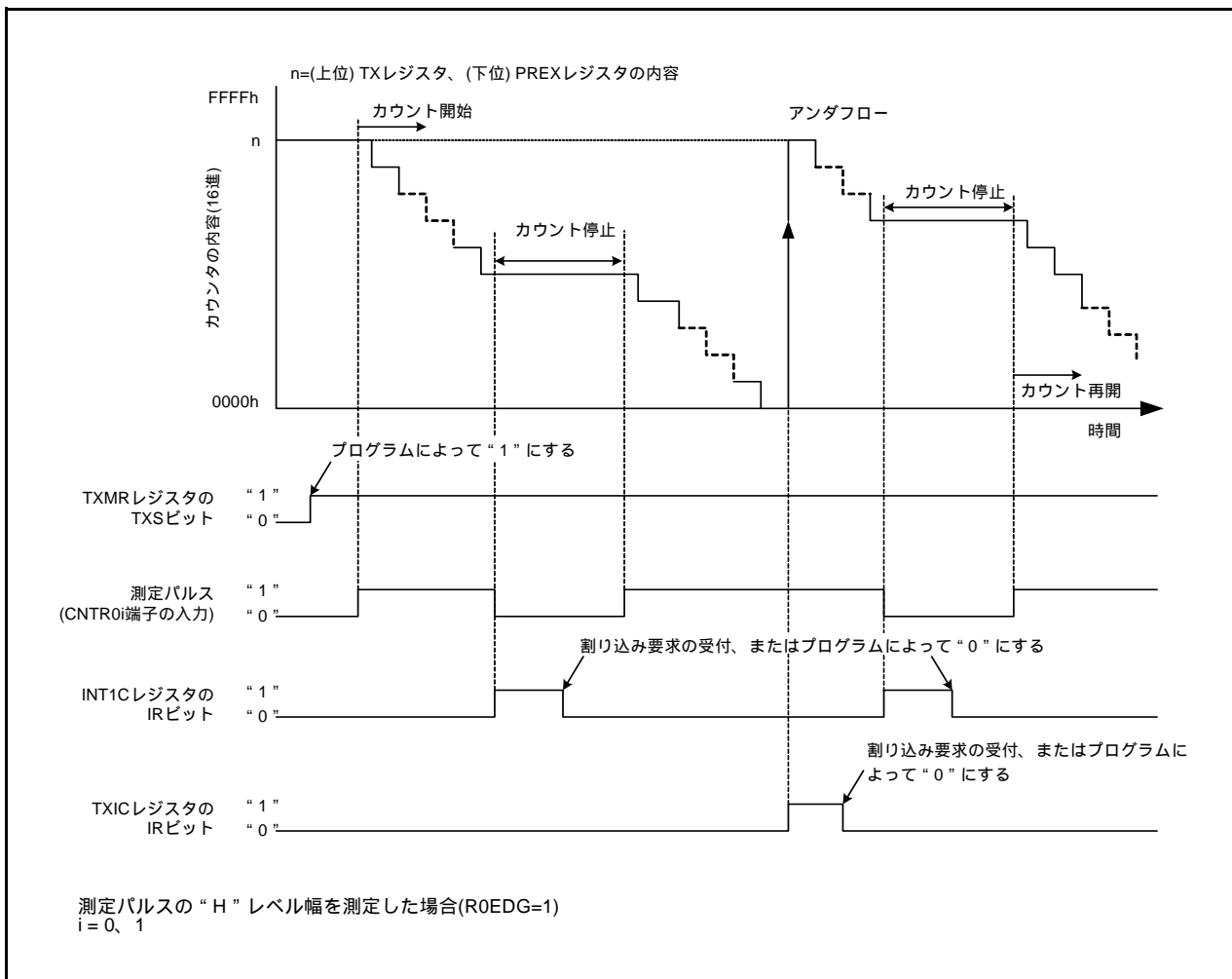


図 13.8 パルス幅測定モード時の動作例

13.1.5 パルス周期測定モード

INT1/CNTR0端子から入力する外部信号のパルス周期を測定するモードです(表13.6)。図 13.9にパルス周期測定モード時のTXMRレジスタを、図 13.10にパルス周期測定モード時の動作例を示します。

表 13.6 パルス周期測定モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、fRING
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のプリスケアラXのアンダフロー時に読み出し用バッファの内容を保持し、2回目のプリスケアラXのアンダフロー時にタイマXはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマXのアンダフロー時、またはリロード時 [タイマX割り込み] ・CNTR0入力の立ち上がり、または立ち下がり(測定期間終了) [INT1割り込み]
INT10/CNTR00、INT11/CNTR01端子機能	測定パルス入力(注1)(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタを読み出すと、読み出し用バッファの内容が読み出される。読み出し用バッファは、TXレジスタの読み出しにより値の保持を解除する。
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TXレジスタ、PREXレジスタに書き込むと、次のカウントソースの入力タイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入力タイミングでカウンタへ転送され、3つ目のカウントソースの入力タイミングでカウントを再開する
選択機能	<ul style="list-style-type: none"> ・INT1/CNTR0極性切り替え機能 ・R0EDGビットで入力パルスの測定期間を選択できる ・測定パルス入力端子選択機能 ・UCONレジスタのCNTRSELビットでCNTR00またはCNTR01端子を選択できる

注1. プリスケアラXの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、プリスケアラXの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマXモードレジスタ

ビットシンボル	ビット名	機能	RW
TXMR	アドレス 008Bh番地	リセット後の値 00h	
TXMOD0	動作モード選択ビット0、1	b1 b0 0 0 : タイマモードまたはパルス周期測定モード	RW
TXMOD1			RW
ROEDG	INT1/CNTR0信号極性切り替ビット(注1)	[CNTR0] 0 : 測定パルスの立ち上がり - 立ち上がり間測定 1 : 測定パルスの立ち下がり - 立ち下がり間測定 [INT1] 0 : 立ち上がりエッジ 1 : 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ(注3)	0 : カウント停止 1 : カウント開始	RW
TXOCNT	パルス周期測定モードでは“0”にしてください。		RW
TXMOD2	動作モード選択ビット2	1 : パルス周期測定モード	RW
TXEDG(注2)	有効エッジ判定フラグ	0 : 有効エッジなし 1 : 有効エッジあり	RW
TXUND(注2)	タイマXアンダフローフラグ	0 : アンダフローなし 1 : アンダフローあり	RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「20.2.5 割り込み要因の変更」を参照してください。

注2. プログラムで“0”を書くと、“0”になります。(“1”を書いても変化しません)

注3. TXSビットの使用上の注意事項について「20.4.2 タイマX」を参照してください。

図 13.9 パルス周期測定モード時のTXMRレジスタ

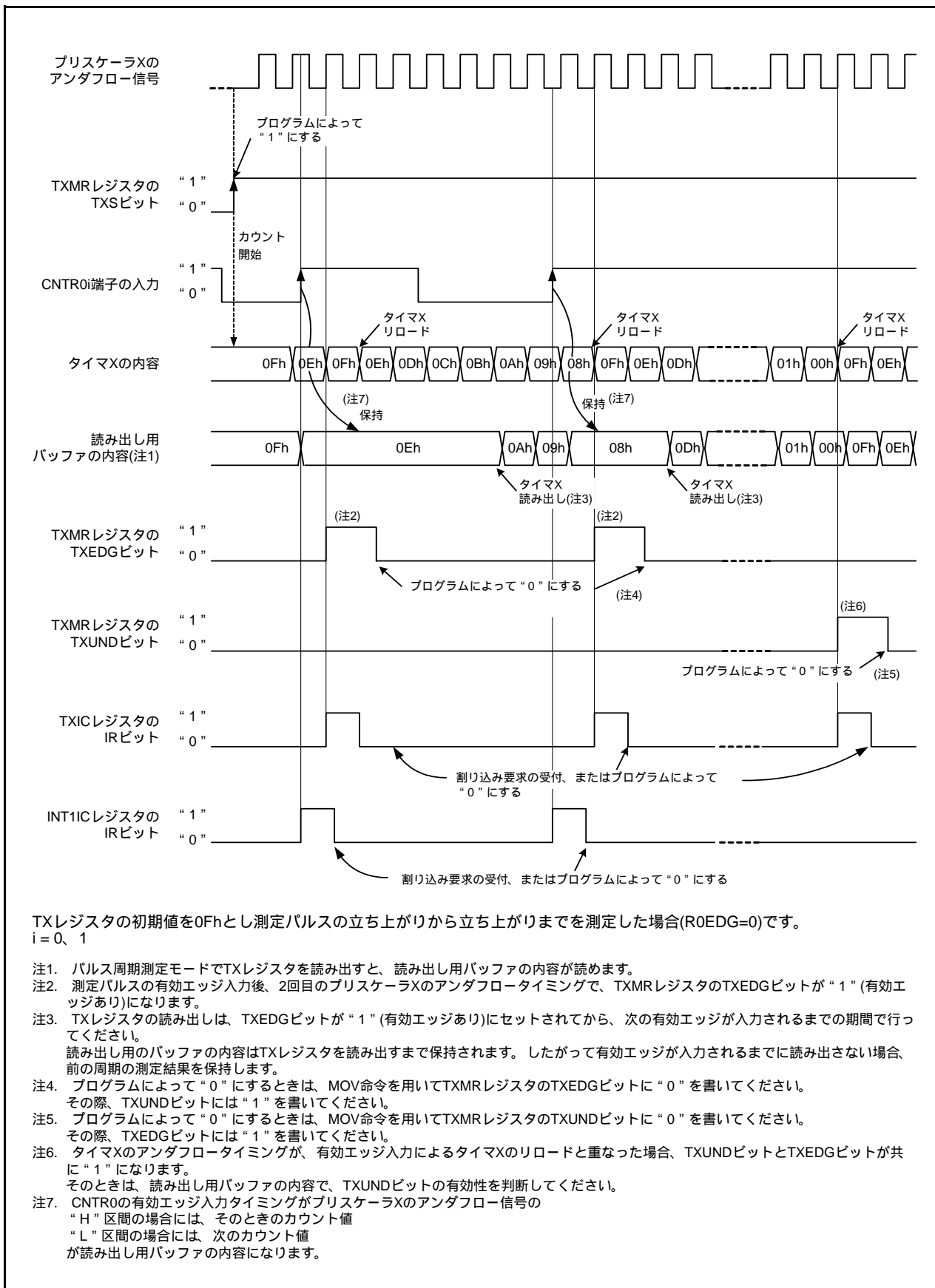


図 13.10 パルス周期測定モード時の動作例

13.2 タイマZ

タイマZは、8ビットプリスケラ付き8ビットタイマです。プリスケラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されています。(リロードレジスタとカウンタへのアクセスは表 13.7 ~ 表 13.12 の各モードの仕様を参照してください)。タイマZは、リロードレジスタとしてタイマZプライマリ、タイマZセカンダリの2つのレジスタを持ちます。

図 13.11 にタイマZのブロック図を、図 13.12 ~ 図 13.15 にTZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSSレジスタを示します。

タイマZは、次の4種類のモードを持ちます。

- | | |
|--------------------------|-------------------------------------|
| • タイマモード | 内部カウントソースまたはタイマ X のアンドフローをカウントするモード |
| • プログラマブル波形発生モード | 任意のパルス幅を連続して出力するモード |
| • プログラマブルワンショット発生モード | ワンショットパルスを出力するモード |
| • プログラマブルウェイトワンショット発生モード | ディレイドワンショットパルスを出力するモード |

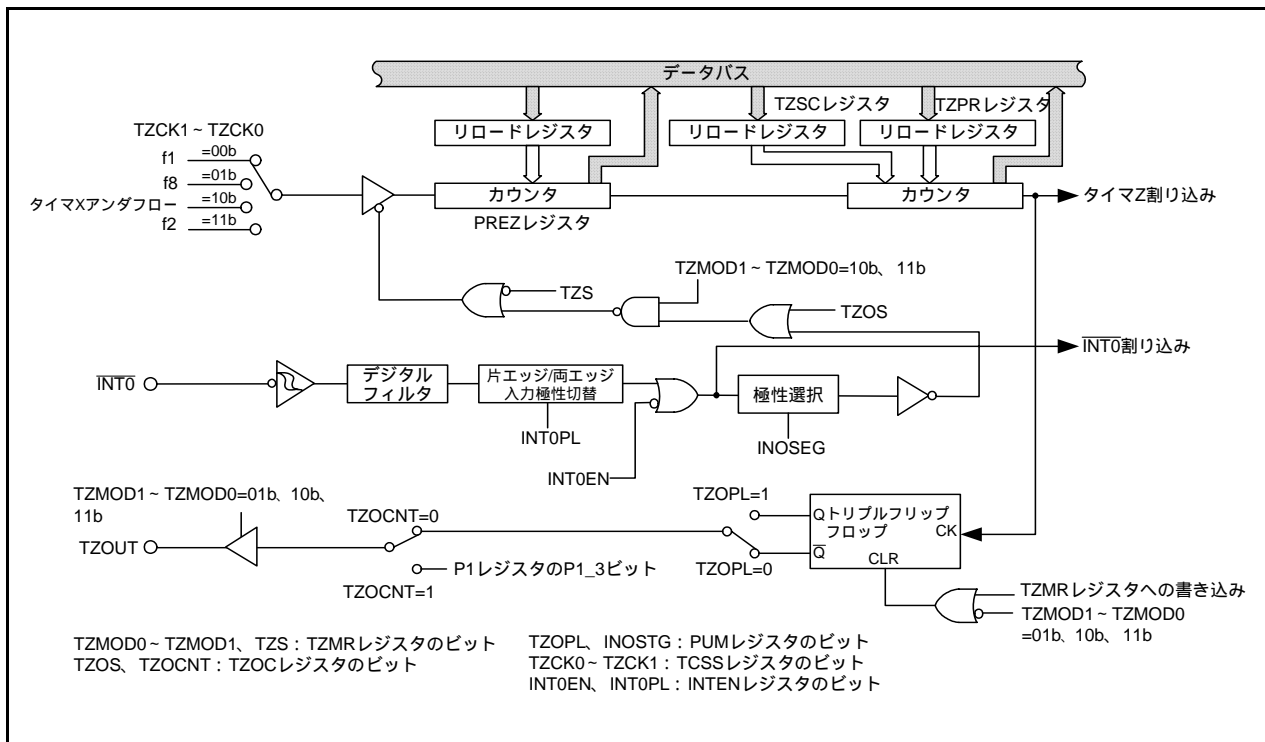


図 13.11 タイマZのブロック図

タイマZモードレジスタ

シンボル TZMR	アドレス 0080h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0” にしてください。	RW
TZMOD0	タイマZ動作モード ビット	b5 b4 0 0 : タイマモード 0 1 : プログラマブル波形発生モード 1 0 : プログラマブルワンショット発生モード 1 1 : プログラマブルウェイトワンショット 発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み 制御ビット	動作モードによって機能が異なる。	RW
TZS	タイマZカウント 開始フラグ(注1)	0 : カウント停止 1 : カウント開始	RW

注1. TZSビットの使用上の注意事項について「20.4.3 タイマZ」を参照してください。

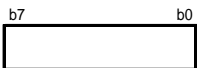
図 13.12 TZMR レジスタ

プリスケアラZレジスタ



シンボル PREZ	アドレス 0085h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブル波形 発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブル ワンショット発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW
プログラマブルウェイト ワンショット発生モード	内部カウントソース、または タイマXアンダフローをカウント	00h ~ FFh	RW

タイマZセカンダリレジスタ

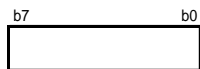


シンボル TZSC	アドレス 0086h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	無効	-	-
プログラマブル波形 発生モード	プリスケアラZのアンダフローをカウント (注1)	00h ~ FFh	WO (注2)
プログラマブル ワンショット発生モード	無効	-	-
プログラマブルウェイト ワンショット発生モード	プリスケアラZのアンダフローをカウント (ワンショット幅をカウント)	00h ~ FFh	WO

注1. TZPRレジスタとTZSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTZPRレジスタで読めます。

タイマZプライマリレジスタ



シンボル TZPR	アドレス 0087h番地	リセット後の値 FFh	
モード	機能	設定範囲	RW
タイマモード	プリスケアラZのアンダフローをカウント	00h ~ FFh	RW
プログラマブル波形 発生モード	プリスケアラZのアンダフローをカウント (注1)	00h ~ FFh	RW
プログラマブル ワンショット発生モード	プリスケアラZのアンダフローをカウント (ワンショット幅をカウント)	00h ~ FFh	RW
プログラマブルウェイト ワンショット発生モード	プリスケアラZのアンダフローをカウント (ウェイト期間をカウント)	00h ~ FFh	RW

注1. TZPRレジスタとTZSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

図 13.13 PREZ、TZSC、TZPR レジスタ

タイマZ出力制御レジスタ(注3)

		シンボル TZOC	アドレス 008Ah番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW	
TZOS	タイマZワンショット 開始ビット(注1)	0: ワンショット停止 1: ワンショット開始	RW	
- (b1)	予約ビット	“0” にしてください。	RW	
TZOCNT	タイマZプログラマブル 波形発生出力切替ビット(注2)	0: プログラマブル波形出力 1: P1_3ポートレジスタの値を出力	RW	
- (b7-b3)	何も配置されていない。書く場合、“0” を読んだ場合、その値は“0”。		-	

注1. ワンショット波形出力終了後、“0”になります。ワンショット波形出力中に、TZMRレジスタのTZSビットを“0”(カウント停止)にすることで波形出力を停止した場合、TZOSビットを“0”にしてください。

注2. プログラマブル波形発生モード時のみ有効。

注3. TZOSビットが“1”(カウント中)のときにこのレジスタを変更する命令を実行する場合、命令の実行中にカウントが終了すると、TZOSビットは自動的に“0”(ワンショット停止)になります。このことが問題になる場合は、TZOSビットが“0”(ワンショット停止)のときに、このレジスタを変更する命令を実行してください。

タイマZ波形出力制御レジスタ

		シンボル PUM	アドレス 0084h番地	リセット後の値 00h
ビット シンボル	ビット名	機能	RW	
- (b4-b0)	予約ビット	“0” にしてください。	RW	
TZOPL	タイマZアウトプット レベルラッチ	動作モードによって機能が異なる。	RW	
INOSTG	INT0端子ワンショット トリガ制御ビット(注2)	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	RW	
INOSEG	INT0端子ワンショットトリガ 極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW	

注1. INOSEGビットは、INTENレジスタのINTOPLビットが“0”(片エッジ)のときのみ有効です。

注2. INOSTGビットは、INTENレジスタのINTOENビットとPUMレジスタのINOSEGビットを設定後に“1”にしてください。

図 13.14 TZOC、PUMレジスタ

タイマカウントソース設定レジスタ

シンボル TCSS		アドレス 008Eh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW	
TXCK0	タイマXカウント ソース選択ビット (注1)	b1 b0 0 0 : f1 0 1 : f8 1 0 : fRING 1 1 : f2	RW	
TXCK1			RW	
- (b3-b2)	予約ビット	"0" にしてください。	RW	
TZCK0	タイマZカウント ソース選択ビット (注1)	b5 b4 0 0 : f1 0 1 : f8 1 0 : タイマXアンダフローを選択 1 1 : f2	RW	
TZCK1			RW	
- (b7-b6)	予約ビット	"0" にしてください。	RW	

注1. カウント動作中にカウントソースを切り替えしないでください。カウントソースを切り替えるときは、タイマのカウントを停止してください。

図 13.15 TCSSレジスタ

13.2.1 タイマモード

内部で生成されたカウントソースまたはタイマXのアンダフローをカウントするモードです(表13.7)。タイマモード時、TZSCレジスタは使用しません。図13.16にタイマモード時のTZMR、PUMレジスタを示します。

表 13.7 タイマモードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマZのアンダフロー時はタイマZプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n:PREZレジスタの設定値、m:TZPRレジスタの設定値
カウント開始条件	TZMRレジスタのTZSビットへの“1”(カウント開始)書き込み
カウント停止条件	TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマZのアンダフロー時[タイマZ割り込み]
TZOUT端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み(注1)	・カウント停止中に、TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TZPRレジスタ、PREZレジスタに書き込むと、TZWCビットが“0”(リロードレジスタとカウンタへの同時書き込み)のとき、次のカウントソースの入力タイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入力タイミングでカウンタへ転送され、3つ目のカウントソースの入力タイミングでカウントを再開する。 TZWCビットが“1”(リロードレジスタのみ書き込み)のとき、それぞれリロードレジスタに書き込まれる(次のリロード時にカウンタへ転送される)。

注1. 次の2項の条件が重なった状態でTZPRレジスタまたはPREZレジスタに書き込みを行うと、TZICレジスタのIRビットが“1”(割り込み要求あり)になります。

- ・TZMRレジスタのTZWCビットが“0”(リロードレジスタとカウンタへの同時書き込み)
- ・TZMRレジスタのTZSビットが“1”(カウント開始)

この状態でTZPRレジスタ、PREZレジスタに書く場合は、書く前に割り込みを禁止してください。

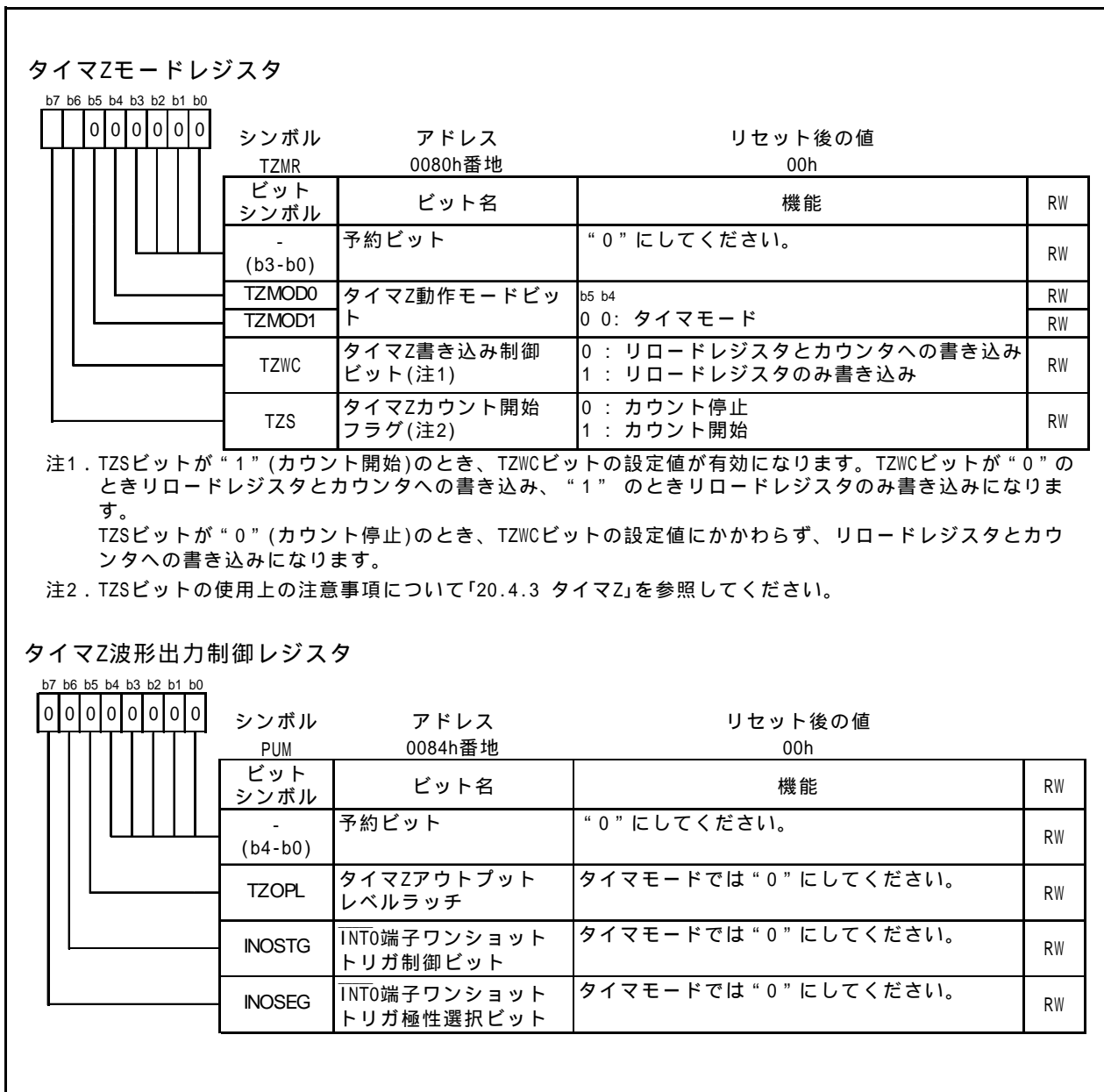


図 13.16 タイマモード時のTZMR、PUMレジスタ

13.2.2 プログラマブル波形発生モード

TZPR レジスタと TZSC レジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TZOUT 端子から出力する信号を反転モードです(表 13.8)。カウント開始時は、TZPR レジスタに設定した値からカウントを行います。図 13.17 にプログラマブル波形発生モード時の TZMR、PUM レジスタを、図 13.18 にプログラマブル波形発生モード時のタイマ Z の動作例を示します。

表 13.8 プログラマブル波形発生モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、タイマ X のアンダフロー
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : カウントソースの周波数 n : PREZ レジスタの設定値、 m : TZPR レジスタの設定値、 p : TZSC レジスタの設定値
カウント開始条件	TZMR レジスタの TZS ビットへの "1" (カウント開始) 書き込み
カウント停止条件	TZMR レジスタの TZS ビットへの "0" (カウント停止) 書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマ Z のアンダフローからカウントソースの 1/2 サイクル後 (TZOUT 出力の変化と同時) [タイマ Z 割り込み]
TZOUT 端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0 端子機能	プログラマブル入出力ポート、または INT0 割り込み入力
タイマの読み出し	TZPR レジスタ、PREZ レジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	TZSC レジスタ、PREZ レジスタ、TZPR レジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注2)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間の出力レベルを TZOPL ビットで選択できる ・プログラマブル波形発生出力切り替え機能 TZOC レジスタの TZOCNT ビットを "0" に設定すると、タイマ Z のアンダフローに同期して TZOUT の出力を反転する。"1" に設定すると、P1_3 ビットの値を TZOUT から出力する。(注3)

注1. セカンダリ期間をカウント中でも、TZPR レジスタを読み出してください。

注2. TZPR レジスタへの書き込み動作より、TZPR レジスタ、TZSC レジスタに書いた値が有効になります。波形の出力は、TZPR レジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TZOCNT ビットは次のタイミングで有効になります。

- ・カウント開始時
- ・タイマ Z 割り込み要求発生時

したがって、TZOCNT ビットを変更後、次のプライマリ期間の出力から反映されます。

タイマZモードレジスタ							
b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値			
1 0 1 0 0 0 0		TZMR	0080h番地	00h			
ビットシンボル		ビット名		機能		RW	
- (b3-b0)		予約ビット		"0" にしてください。		RW	
TZMOD0		タイマZ動作モードビット		b5 b4		RW	
TZMOD1				0 1 : プログラマブル波形発生モード		RW	
TZWC		タイマZ書き込み制御ビット		プログラマブル波形発生モードでは"1" にしてください。(注1)		RW	
TZS		タイマZカウント開始フラグ(注2)		0 : カウント停止 1 : カウント開始		RW	

注1 . TZSビットが "1" (カウント開始) のとき、リロードレジスタのみ書き込みになります。
TZSビットが "0" (カウント停止) のとき、リロードレジスタとカウンタへの書き込みになります。

注2 . TZSビットの使用上の注意事項について「20.4.3 タイマZ」を参照してください。

タイマZ波形出力制御レジスタ							
b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値			
0 0 0 0 0 0 0		PUM	0084h番地	00h			
ビットシンボル		ビット名		機能		RW	
- (b4-b0)		予約ビット		"0" にしてください。		RW	
TZOPL		タイマZアウトプットレベルラッチ		0 : プライマリ期間 "H" 出力 セカンダリ期間 "L" 出力 タイマ停止時 "L" 出力 1 : プライマリ期間 "L" 出力 セカンダリ期間 "H" 出力 タイマ停止時 "H" 出力		RW	
INOSTG		INT0端子ワンショットトリガ制御ビット		プログラマブル波形発生モードでは"0" にしてください。		RW	
INOSEG		INT0端子ワンショットトリガ極性選択ビット		プログラマブル波形発生モードでは"0" にしてください。		RW	

図 13.17 プログラマブル波形発生モード時のTZMR、PUMレジスタ

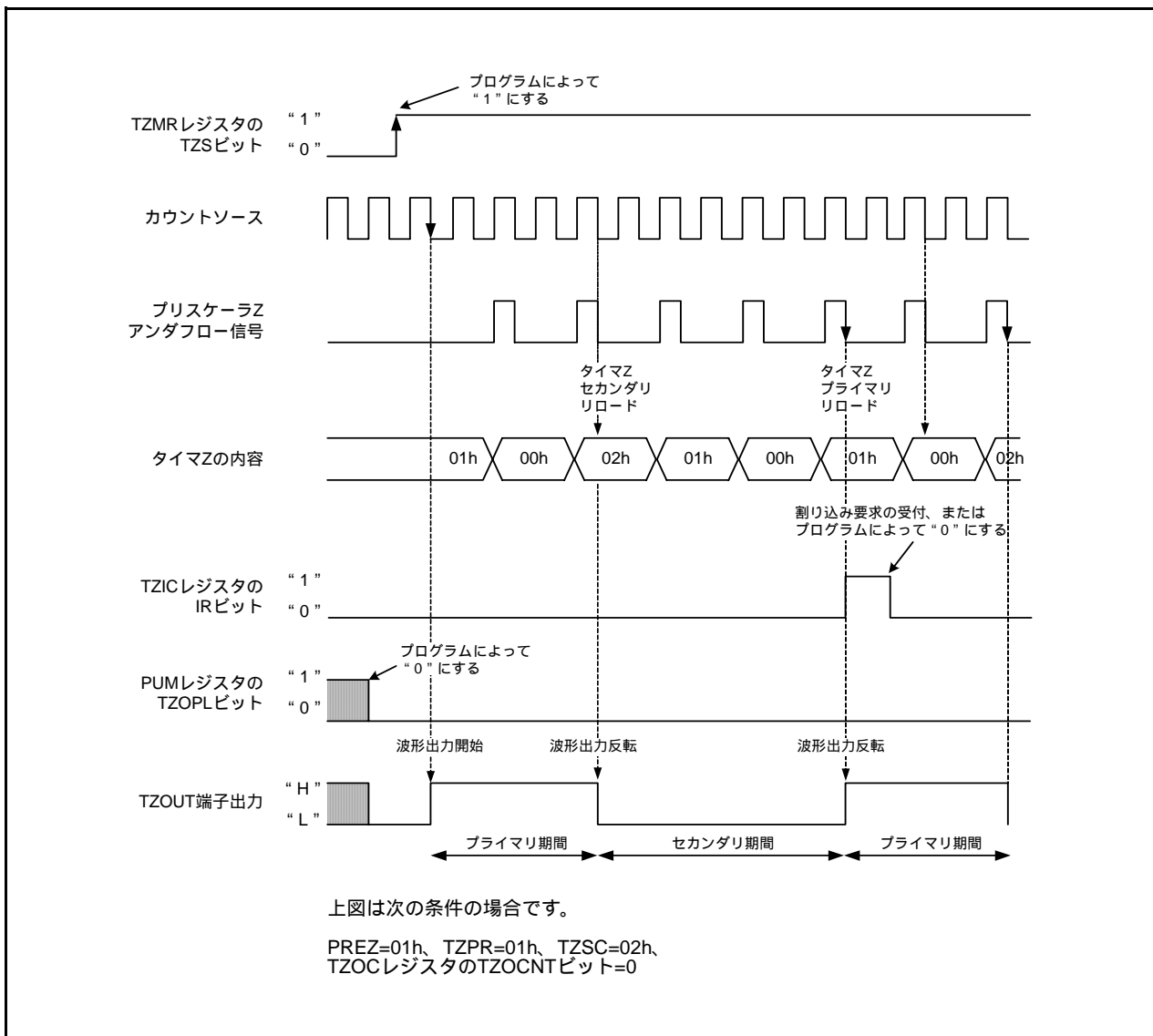


図 13.18 プログラマブル波形発生モード時のタイムズの動作例

13.2.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、ワンショットパルスをTZOUT端子から出力するモードです(表13.9)。トリガが発生するとその時点から任意の時間(TZPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TZSCレジスタは使用しません。図13.19にプログラマブルワンショット発生モード時のTZMR、PUMレジスタを、図13.20にプログラマブルワンショット発生モード時の動作例を示します。

表 13.9 プログラマブルワンショット発生モードの仕様

項 目	仕 様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・TZPRレジスタの設定値をダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを終了し、TZOSビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ <i>f_i</i> : カウントソースの周波数、 <i>n</i> :PREZレジスタの設定値、 <i>m</i> :TZPRレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> ・TZOCレジスタのTZOSビットへの“1”(ワンショット開始)書き込み(注1) ・INT0端子への有効トリガ入力(注2)
カウント停止条件	<ul style="list-style-type: none"> ・カウントの値が“00h”になりリロードした後 ・TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み ・TZOCレジスタのTZOSビットへの“0”(ワンショット停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後(TZOUT端子からの波形出力の終了と同時に) [タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0端子機能	<ul style="list-style-type: none"> ・PUMレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラマブル入出力ポートまたはINT0割り込み入力 ・PUMレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注3)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルをTZOPLビットで選択できる ・INT0端子ワンショットトリガ制御機能、極性選択機能 INT0端子からのトリガ入力の有効または無効をINOSTGビットで選択できる。 有効トリガ極性をINOSEGビットで選択できる。

注1. TZMRレジスタのTZSビットを“1”(カウント開始)にしてください。

注2. TZSビットを“1”(カウント開始)、INTENレジスタのINT0ENビットを“1”(INT0入力許可)、PUMレジスタのINOSTGビットを“1”(INT0ワンショットトリガ有効)にしてください。
カウント中に入力されたトリガは受け付けられませんが、INT0割り込み要求は発生します。

注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。

タイマZモードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

1	1	0	0	0	0	0	0
---	---	---	---	---	---	---	---

シンボル	アドレス	リセット後の値	
TZMR	0080h番地	00h	
ビットシンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0”にしてください。	RW
TZMOD0	タイマZ動作モードビット	b5 b4 1 0: プログラマブルワンショット発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	プログラマブルワンショット発生モードでは“1”にしてください。(注1)	RW
TZS	タイマZカウント開始フラグ(注2)	0 : カウント停止 1 : カウント開始	RW

注1. TZSビットが“1”(カウント開始)のとき、リロードレジスタのみ書き込みになります。
TZSビットが“0”(カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。

注2. TZSビットの使用上の注意事項について「20.4.3 タイマZ」を参照してください。

タイマZ波形出力制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

		0	0	0	0	0	0
--	--	---	---	---	---	---	---

シンボル	アドレス	リセット後の値	
PUM	0084h番地	00h	
ビットシンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	“0”にしてください。	RW
TZOPL	タイマZアウトプットレベルラッチ	0 : ワンショットパルス“H”出力 タイマ停止時“L”出力 1 : ワンショットパルス“L”出力 タイマ停止時“H”出力	RW
INOSTG	INT0端子ワンショットトリガ制御ビット(注1)	0 : INT0端子ワンショットトリガ無効 1 : INT0端子ワンショットトリガ有効	RW
INOSEG	INT0端子ワンショットトリガ極性選択ビット(注2)	0 : 立ち下がりエッジトリガ 1 : 立ち上がりエッジトリガ	RW

注1. INOSTGビットは、INTENレジスタのINT0ENビットとPUMレジスタのINOSEGビットを設定後に“1”にしてください。
INOSTGビットを“1”(INT0端子ワンショットトリガ有効)にするときは、INTOFレジスタのINTOF0~INTOF1ビットを設定してください。
INOSTGビットは、TZMRレジスタのTZSビットを“0”(カウント停止)にした後、“0”(INT0端子ワンショットトリガ無効)にしてください。

注2. INOSEGビットは、INTENレジスタのINT0PLビットが“0”(片エッジ)のときのみ有効です。

図 13.19 プログラマブルワンショット発生モード時のTZMR、PUMレジスタ

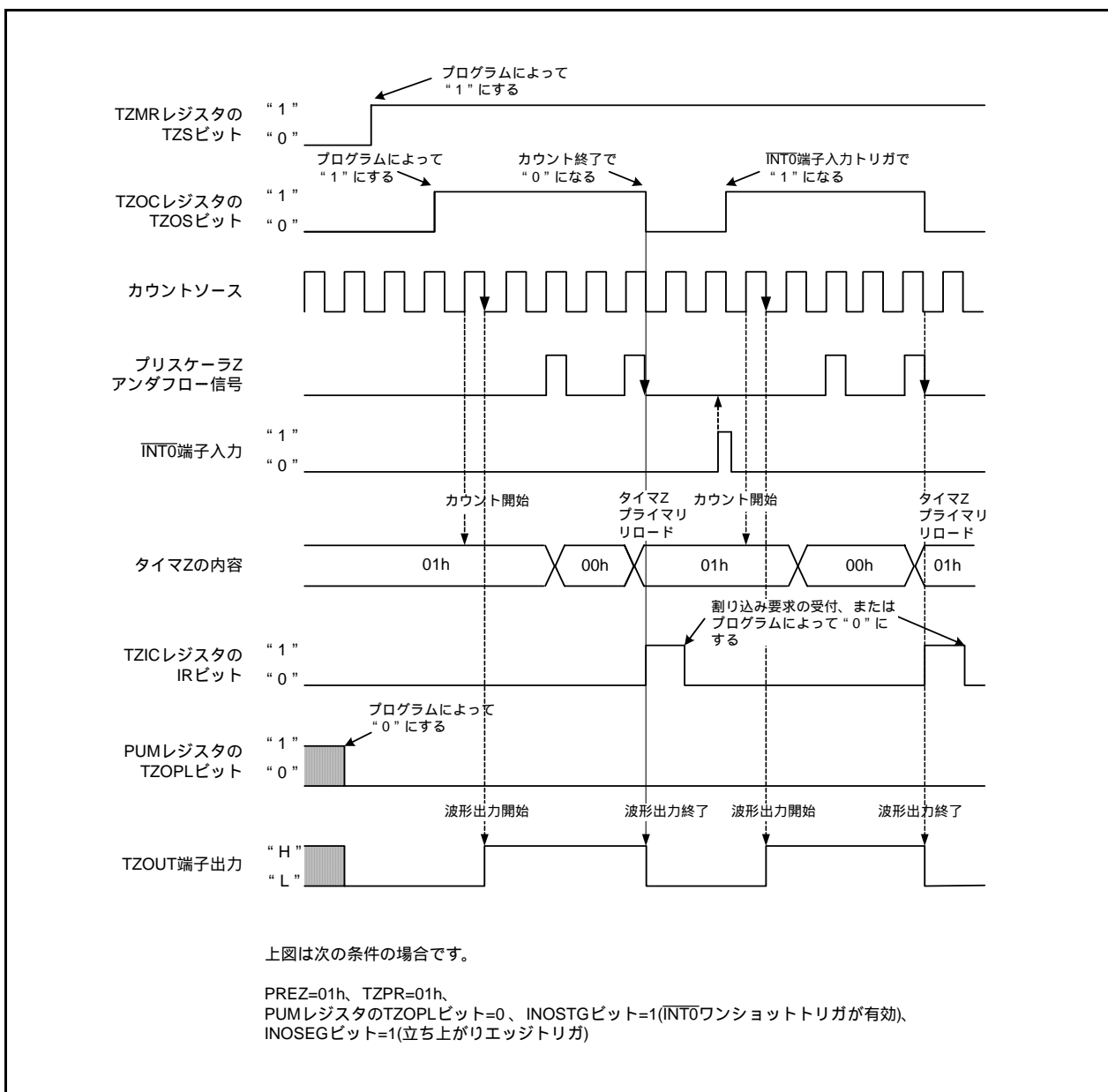


図 13.20 プログラマブルワンショット発生モード時の動作例

13.2.4 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INT0端子の入力)により、一定時間後にワンショットパルスをTZOUT端子から出力するモードです(表13.10)。トリガが発生すると、その時点から任意の時間(TZPRレジスタの設定値)後、一度だけ任意の時間(TZSCレジスタの設定値)パルス出力を行います。図13.21にプログラブルウェイトワンショット発生モード時のTZMR、PUMレジスタを、図13.22にプログラブルウェイトワンショット発生モードの動作例を示します。

表 13.10 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマXのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・タイマZプライマリの設定値をダウンカウント ・タイマZプライマリのカウントがアンダフロー時、タイマZセカンダリの内容をリロードしてカウントを継続 ・タイマZセカンダリのカウントがアンダフロー時、タイマZプライマリの内容をリロードしてカウントを終了し、TZOSビットが“0”(ワンショット停止)になる ・カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数、n:PREZレジスタの設定値、m:TZPRレジスタの設定値
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f_i : カウントソースの周波数、n:PREZレジスタの設定値、p:TZSCレジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> ・TZOCレジスタのTZOSビットへの“1”(ワンショット開始)書き込み(注1) ・INT0端子への有効トリガ入力(注2)
カウント停止条件	<ul style="list-style-type: none"> ・タイマZセカンダリカウント時のカウントの値が“00h”になりリロードした後 ・TZMRレジスタのTZSビットへの“0”(カウント停止)書き込み ・TZOCレジスタのTZOSビットへの“0”(ワンショット停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後(TZOUT端子からの波形出力の終了と同時に)[タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラブル入出力ポートとして使用する場合は、タイマモードにしてください)
INT0端子機能	<ul style="list-style-type: none"> ・PUMレジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラブル入出力ポートまたはINT0割り込み入力 ・PUMレジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TZPRレジスタ、PREZレジスタ、TZSCレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注3)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルをTZOPLビットで選択できる ・INT0端子ワンショットトリガ制御機能、極性選択機能 INT0端子からのトリガ入力の有効または無効をINOSTGビットで選択できる。 有効トリガ極性をINOSEGビットで選択できる。

注1. TZMRレジスタのTZSビットを“1”(カウント開始)にしてください。

注2. TZSビットを“1”(カウント開始)、INTENレジスタのINT0ENビットを“1”(INT0入力許可)、PUMレジスタのINOSTGビットを“1”(INT0ワンショットトリガ有効)にしてください。
カウント中に入力されたトリガは受け付けられませんが、INT0割り込み要求は発生します。

注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。

タイマZモードレジスタ

シンボル	アドレス	リセット後の値
TZMR	0080h番地	00h

ビットシンボル	ビット名	機能	RW
- (b3-b0)	予約ビット	“0”にしてください。	RW
TZMOD0	タイマZ動作モードビット	b5 b4 1 1: プログラマブルウェイトワンショット発生モード	RW
TZMOD1			RW
TZWC	タイマZ書き込み制御ビット	プログラマブルウェイトワンショット発生モードでは“1”にしてください。(注1)	RW
TZS	タイマZカウント開始フラグ(注2)	0 : カウント停止 1 : カウント開始	RW

注1 . TZSビットが“1”(カウント開始)のとき、リロードレジスタのみ書き込みになります。
TZSビットが“0”(カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。

注2 . TZSビットの使用上の注意事項について「20.4.3 タイマZ」を参照してください。

タイマZ波形出力制御レジスタ

シンボル	アドレス	リセット後の値
PUM	0084h番地	00h

ビットシンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	“0”にしてください。	RW
TZOPL	タイマZアウトプットレベルラッチ	0 : ワンショットパルス“H”出力 タイマ停止時“L”出力 1 : ワンショットパルス“L”出力 タイマ停止時“H”出力	RW
INOSTG	INT0端子ワンショットトリガ制御ビット(注1)	0 : INT0端子ワンショットトリガ無効 1 : INT0端子ワンショットトリガ有効	RW
INOSEG	INT0端子ワンショットトリガ極性選択ビット(注2)	0 : 立ち下がりエッジトリガ 1 : 立ち上がりエッジトリガ	RW

注1 . INOSTGビットは、INTENレジスタのINT0ENビットとPUMレジスタのINOSEGビットを設定後に“1”にしてください。
INOSTGビットを“1”(INT0端子ワンショットトリガ有効)にするときは、INTOFレジスタのINTOF0～INTOF1ビットを設定してください。
INOSTGビットは、TZMRレジスタのTZSビットを“0”(カウント停止)にした後、“0”(INT0端子ワンショットトリガ無効)にしてください。

注2 . INOSEGビットは、INTENレジスタのINT0PLビットが“0”(片エッジ)のときのみ有効です。

図 13.21 プログラマブルウェイトワンショット発生モード時のTZMR、PUMレジスタ

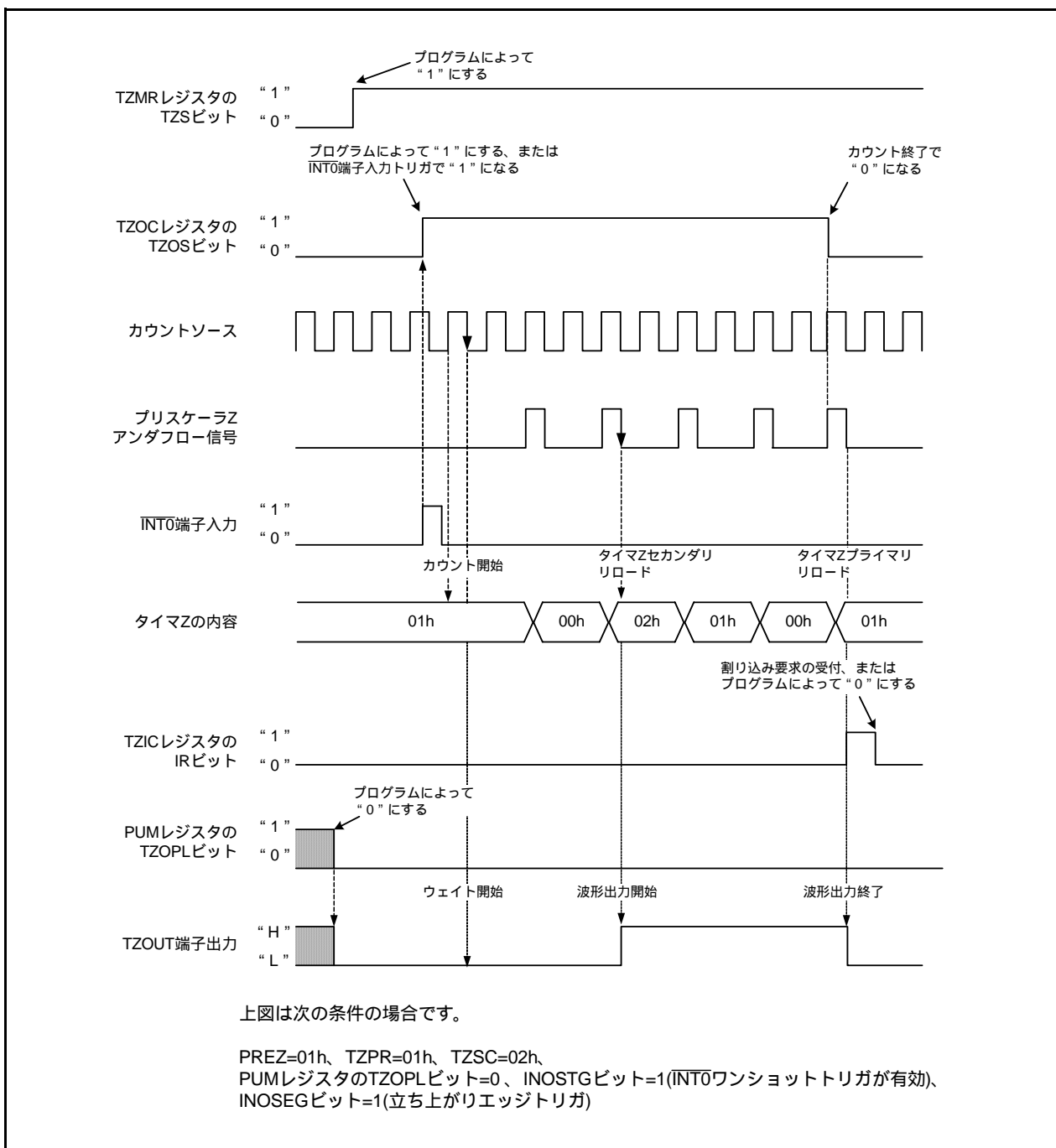


図 13.22 プログラマブルウェイトワンショット発生モードの動作例

13.3 タイマC

タイマCは、16ビットタイマです。図 13.23にタイマCのブロック図、図 13.24にCMP波形生成部ブロック図、図 13.25にCMP波形出力部ブロック図を示します。

タイマCは、インプットキャプチャモード、アウトプットコンペアモードの2種類のモードを持ちます。図 13.26 ~ 図 13.29にタイマC関連のレジスタを示します。

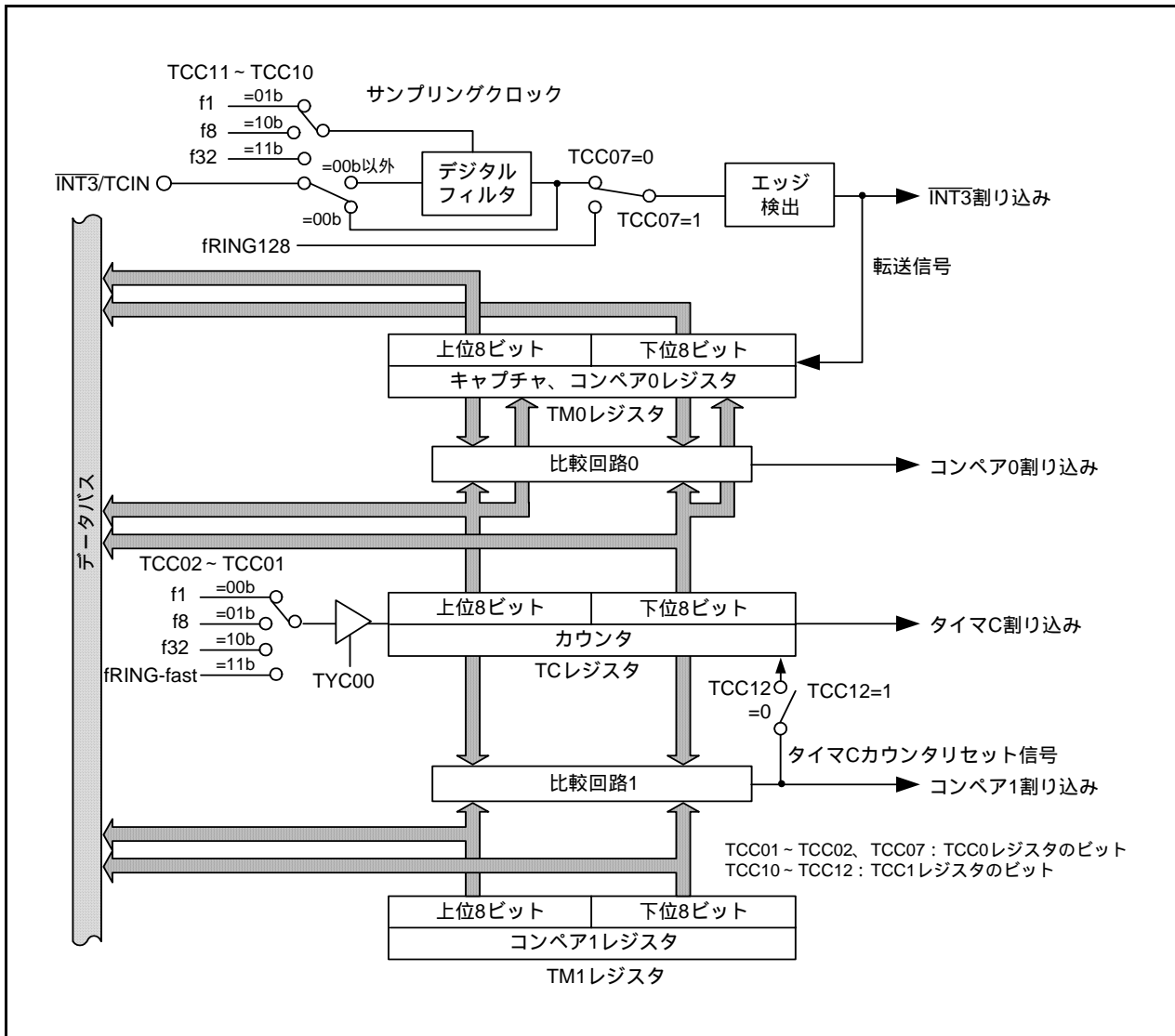


図 13.23 タイマCのブロック図

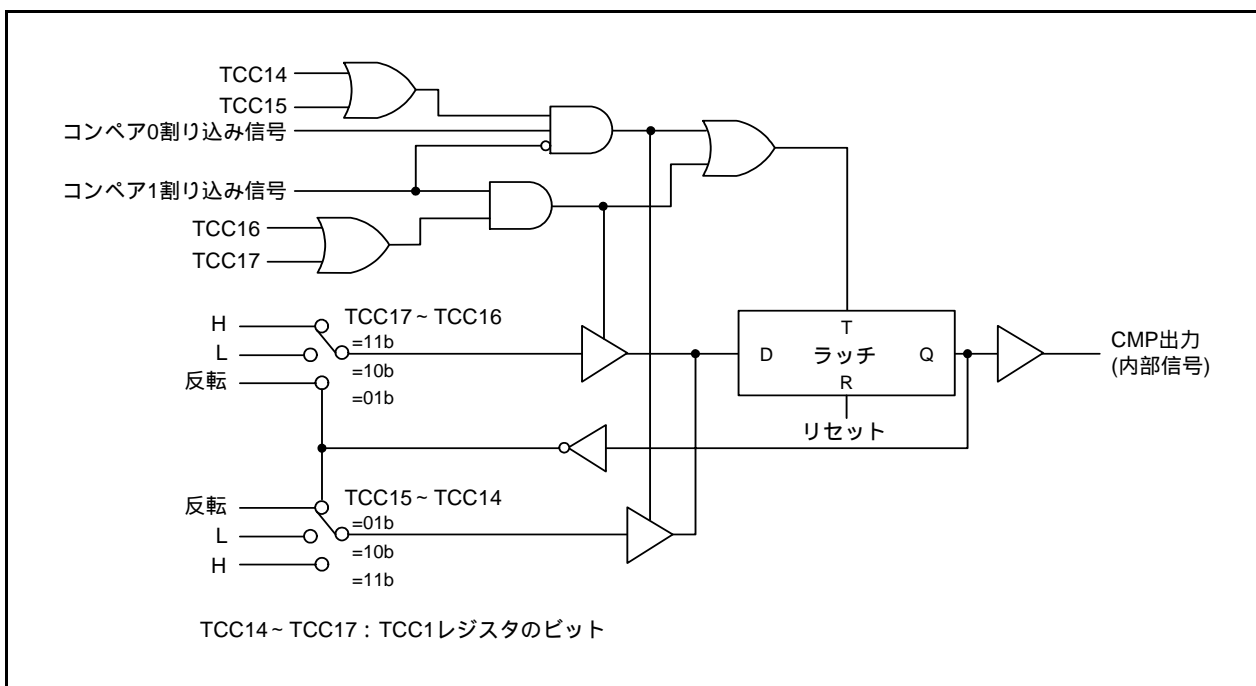


図 13.24 CMP 波形生成部ブロック図

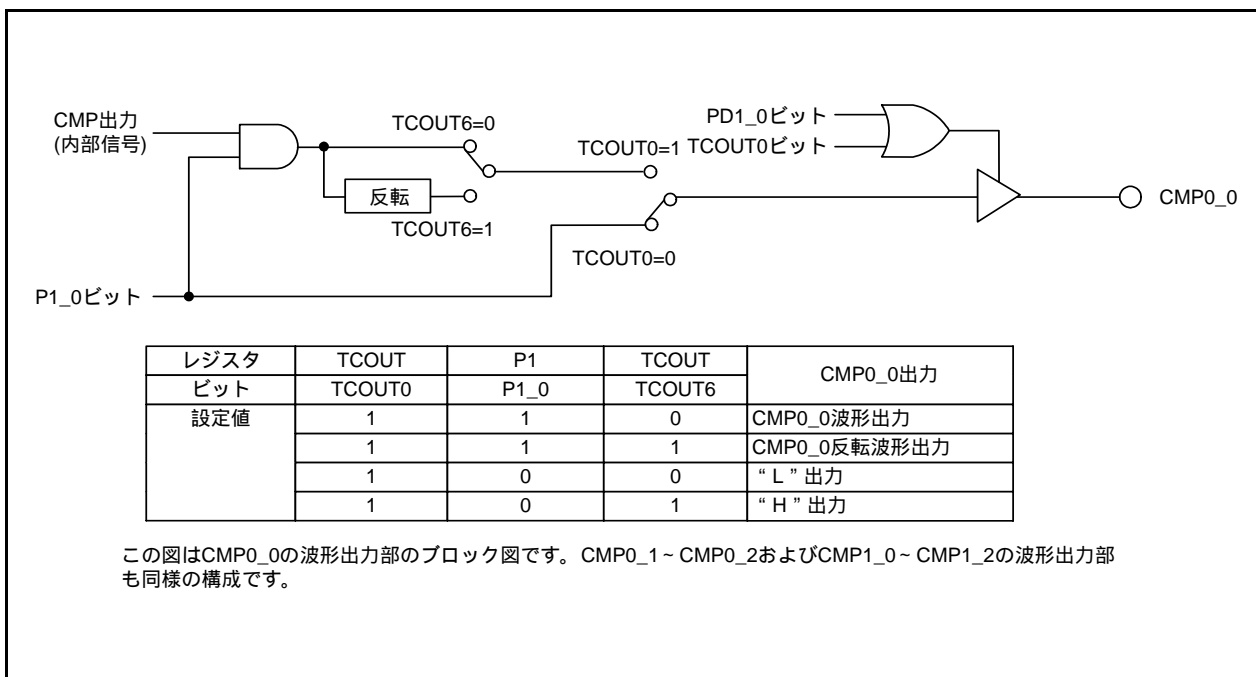


図 13.25 CMP 波形出力部ブロック図

タイマCレジスタ				
(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TC	0091h-0090h番地	0000h
機能				RW
内部カウントソースをカウント。 TCC00が“0”(カウント停止)のときに読み出すと、“0000h”が読み出される。 TCC00が“1”(カウント開始)のときに読み出すと、カウント値が読み出される。				RO

キャプチャ、コンペア0レジスタ				
(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TM0	009Dh-009Ch番地	0000h(注2)
モード		機能		RW
インプットキャプチャモード		測定パルスの有効エッジ入力時、TCレジスタの値を格納		RO
モード		機能	設定範囲	RW
アウトプットコンペアモード (注1)		タイマCとの比較値を格納	0000h ~ FFFFh	RW

注1. TM0レジスタに値を設定する場合は、TCC1レジスタのTCC13ビットを“1”(コンペア0出力選択)にしてください。TCC13ビットが“0”(キャプチャ選択)のとき、値を書けません。

注2. TCC1レジスタのTCC13ビットを“1”にすると、FFFFhになります。

コンペア1レジスタ				
(b15) b7	(b8) b0 b7	シンボル	アドレス	リセット後の値
		TM1	009Fh-009Eh番地	FFFFh
モード		機能	設定範囲	RW
アウトプットコンペアモード		タイマCとの比較値を格納	0000h ~ FFFFh	RW

図 13.26 TC、TM0、TM1レジスタ

タイマC制御レジスタ0

シンボル	アドレス	リセット後の値	
TCC0	009Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TCC00	タイマCカウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TCC01	タイマCカウントソース 選択ビット(注1)	b2 b1 0 0 : f1 0 1 : f8	RW
TCC02		1 0 : f32 1 1 : fRING-fast	RW
TCC03	INT3割り込み、キャプチャ 極性選択ビット(注1、2)	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ	RW
TCC04		1 0 : 両エッジ 1 1 : 設定しないでください	RW
- (b5)	予約ビット	“0” にしてください。	RW
TCC06	INT3割り込み要求発生タイミング 選択ビット(注2、3)	0 : タイマCのカウントソースに 同期して発生する 1 : INT3入力タイミングで発生する (注4)	RW
TCC07	INT3割り込み、キャプチャ入力 切り替えビット(注1、2)	0 : INT3 1 : fRING128	RW

注1. このビットの変更は、TCC00ビットが“0”(カウント停止)のとき、行ってください。
 注2. TCC03、TCC04、TCC06、TCC07ビットを変更すると、INT3ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。「20.2.5 割り込み要因の変更」を参照してください。
 注3. TCC13ビットが“1”(アウトプットコンペアモード)のとき、TCC06ビットの設定値にかかわらず、INT3入力タイミングで割り込み要求が発生します。
 注4. INT3フィルタ使用時は、デジタルフィルタ用クロックに同期して発生します。

図 13.27 TCC0レジスタ

タイマC制御レジスタ1

シンボル	アドレス	リセット後の値	
TCC1	009Bh番地	00h	
ビット シンボル	ビット名	機能	RW
TCC10	INT3フィルタ選択ビット (注1)	b1 b0 0 0 : フィルタなし	RW
TCC11		0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	
TCC12	タイマCカウンタリロード 選択ビット(注3)	0 : リロードなし 1 : コンペア1一致時にTCレジスタ を“0000h”にする	RW
TCC13	コンペア0/キャプチャ 選択ビット(注2)	0 : キャプチャ選択(インプット キャプチャモード) (注3) 1 : コンペア0出力選択 (アウトプットコンペアモード)	RW
TCC14	コンペア0出力モード選択 ビット(注3)	b5 b4 0 0 : コンペア0で一致してもCMP出力 は変化しない	RW
TCC15		0 1 : コンペア0の一致信号でCMP出力 を反転 1 0 : コンペア0の一致信号でCMP出力 を“L”に設定 1 1 : コンペア0の一致信号でCMP出力 を“H”に設定	
TCC16	コンペア1出力モード選択 ビット(注3)	b7 b6 0 0 : コンペア1で一致してもCMP出力 は変化しない	RW
TCC17		0 1 : コンペア1の一致信号でCMP出力 を反転 1 0 : コンペア1の一致信号でCMP出力 を“L”に設定 1 1 : コンペア1の一致信号でCMP出力 を“H”に設定	

注1. INT3端子から同じ値を3回連続してサンプリングした時点で入力が増幅されます。

注2. TCC13ビットは、TCC0レジスタのTCC00ビットが“0”(カウント停止)のとき、変更してください。

注3. TCC13ビットが“0”(インプットキャプチャモード)のとき、TCC12、TCC14~TCC17は“0”にしてください。

図 13.28 TCC1レジスタ

タイマC出力制御レジスタ(注1)

シンボル TCOUT		アドレス 00FFh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能		RW
TCOUT0	CMP出力許可ビット0	0 : CMP0_0からのCMP出力を禁止する 1 : CMP0_0からのCMP出力を許可する		RW
TCOUT1	CMP出力許可ビット1	0 : CMP0_1からのCMP出力を禁止する 1 : CMP0_1からのCMP出力を許可する		RW
TCOUT2	CMP出力許可ビット2	0 : CMP0_2からのCMP出力を禁止する 1 : CMP0_2からのCMP出力を許可する		RW
TCOUT3	CMP出力許可ビット3	0 : CMP1_0からのCMP出力を禁止する 1 : CMP1_0からのCMP出力を許可する		RW
TCOUT4	CMP出力許可ビット4	0 : CMP1_1からのCMP出力を禁止する 1 : CMP1_1からのCMP出力を許可する		RW
TCOUT5	CMP出力許可ビット5	0 : CMP1_2からのCMP出力を禁止する 1 : CMP1_2からのCMP出力を許可する		RW
TCOUT6	CMP出力反転ビット0	0 : CMP0_0 ~ CMP0_2からのCMP出力を反転しない 1 : CMP0_0 ~ CMP0_2からのCMP出力を反転する		RW
TCOUT7	CMP出力反転ビット1	0 : CMP1_0 ~ CMP1_2からのCMP出力を反転しない 1 : CMP1_0 ~ CMP1_2からのCMP出力を反転する		RW

注1. CMP出力に使用しないビットは“0”にしてください。

図 13.29 TCOUTレジスタ

13.3.1 インพุットキャプチャモード

インพุットキャプチャモードは、TCIN端子へのエッジ入力、またはfRING128のクロックをトリガとしてタイマの値をラッチし、割り込み要求を発生するモードです。またTCIN入力はデジタルフィルタを持ちますので、ノイズ等による誤動作を防止できます。表 13.11にインพุットキャプチャモードの仕様を、図 13.30にインพุットキャプチャモードの動作例を示します。

表 13.11 インพุットキャプチャモードの仕様

項 目	仕 様
カウントソース	f1、f8、f32、fRING-fast
カウント動作	<ul style="list-style-type: none"> ・アップカウント ・測定パルスの有効エッジ入力で、TCレジスタの値をTM0レジスタに転送 ・カウント停止時、TCレジスタの値は“0000h”になる
カウント開始条件	TCC0レジスタのTCC00ビットへの“1”(カウント開始)書き込み
カウント停止条件	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・測定パルスの有効エッジ入力時 [INT3割り込み](注1) ・タイマCのオーバフロー時 [タイマC割り込み]
INT3/TCIN端子機能	プログラマブル入出力ポート、または測定パルス入力 (INT3割り込み入力)
P1_0 ~ P1_2、P3_3 ~ P3_5端子機能	プログラマブル入出力ポート
カウンタ値初期化タイミング	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み時
タイマの読み出し(注2)	<ul style="list-style-type: none"> ・TCレジスタを読み出すと、カウント値が読み出される ・TM0レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される
タイマの書き込み	TC、TM0レジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> ・INT3/TCIN極性選択機能 測定パルスの有効エッジをTCC03ビット~TCC04ビットで選択できる ・デジタルフィルタ機能 デジタルフィルタサンプリング周波数をTCC10ビット~TCC11ビットで選択できる ・トリガ機能 TCIN入力、またはfRING128をTCC07で選択できる

注1. INT3割り込みはデジタルフィルタによる遅延とカウントソースの1サイクル(最大)分の遅延が発生します。

注2. TCレジスタ、TM0レジスタは、16ビット単位で読み出してください。

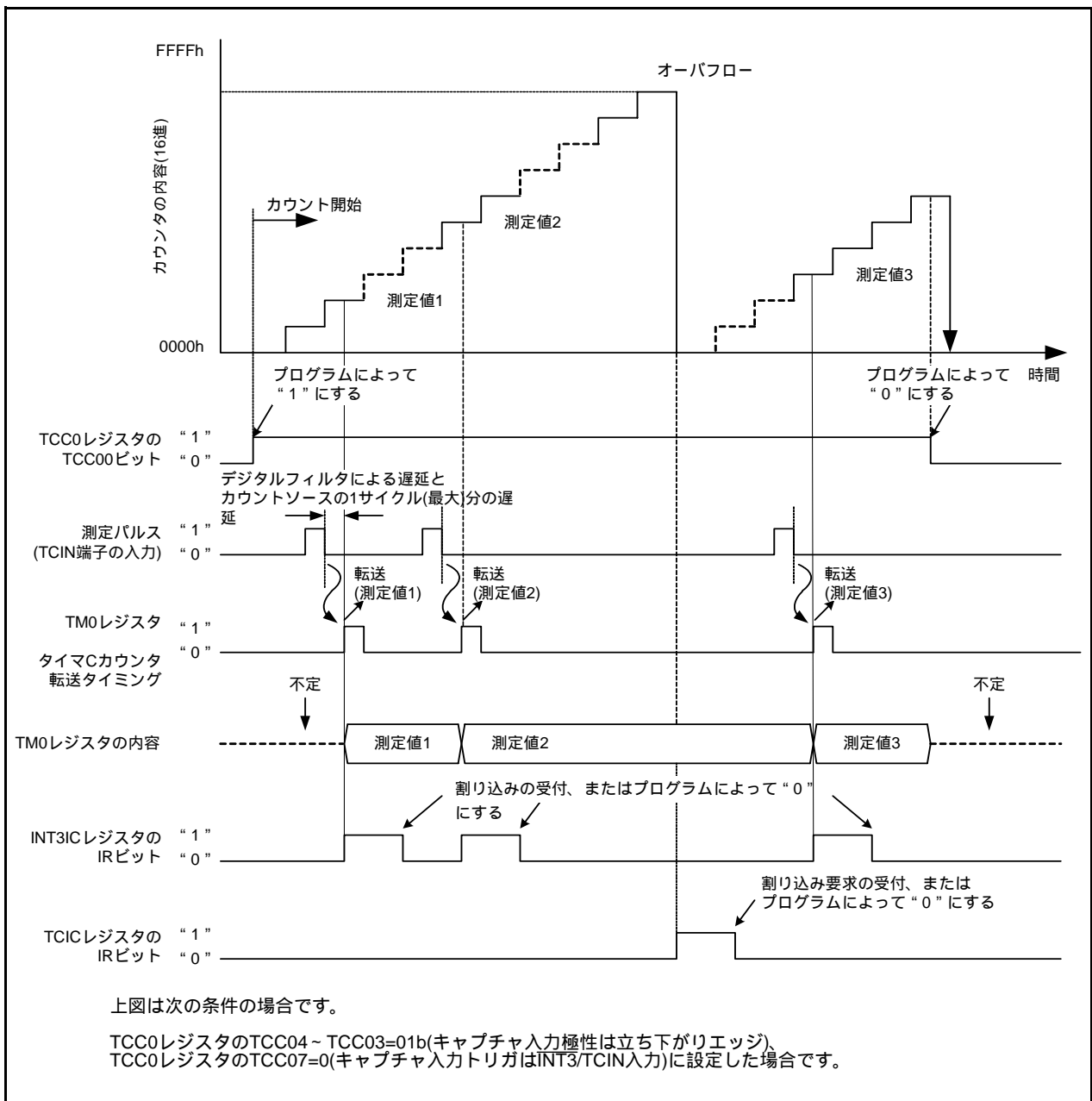


図 13.30 インพุットキャプチャモードの動作例

13.3.2 アウトプットコンペアモード

アウトプットコンペアモードはTCレジスタとTM0レジスタ、またはTCレジスタとTM1レジスタの値が一致したときに、割り込み要求を発生するモードです。表 13.12 にアウトプットコンペアモードの仕様を、図 13.31 にアウトプットコンペアモードの動作例を示します。

表 13.12 アウトプットコンペアモードの仕様

項 目	仕 様
カウントソース	f1、f8、f32、fRING-fast
カウント動作	・ アップカウント ・ カウント停止時、TCレジスタの値は“0000h”になる
カウント開始条件	TCC0レジスタのTCC00ビットへの“1”(カウント開始)書き込み
カウント停止条件	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み
波形出力開始条件	TCOUTレジスタのTCOUT0～TCOUT5ビットへの“1”(CMP出力を許可する)書き込み(注2)
波形出力停止条件	TCOUTレジスタのTCOUT0～TCOUT5ビットへの“0”(CMP出力を禁止する)書き込み
割り込み要求発生タイミング	・ 比較回路0の一致時 [コンペア0割り込み] ・ 比較回路1の一致時 [コンペア1割り込み] ・ タイマCのオーバフロー時 [タイマC割り込み]
INT3/TCIN端子機能	プログラマブル入出力ポート、またはINT3割り込み入力
P1_0～P1_2、P3_3～P3_5端子機能	プログラマブル入出力ポート、またはCMP出力(注1)
カウンタ値初期化タイミング	TCC0レジスタのTCC00ビットへの“0”(カウント停止)書き込み時
タイマの読み出し(注2)	・ TCレジスタを読み出すと、カウント値が読み出される ・ TM0、TM1レジスタを読み出すと、コンペアレジスタの値が読み出される。
タイマの書き込み(注2)	・ TCレジスタへの書き込みはできない。 ・ TM0、TM1レジスタへ書くと、次のタイミングでコンペアレジスタに値が格納される。 -TCC00ビットが“0”(カウント停止)の場合、TM0、TM1レジスタへ書くと同時。 -TCC00ビットが“1”(カウント中)かつTCC1レジスタのTCC12ビットが“0”(リロードなし)の場合、カウンタオ-バフロ-時。 -TCC00ビットが“1”かつTCC12ビットが“1”(コンペア1一致時にTCレジスタを“0000h”にする)の場合、コンペア1とカウンタが一致時。
選択機能	・ タイマCカウンタリロード選択機能 比較回路1の一致時にTCレジスタのカウンタ値を“0000h”にするかどうかをTCC1レジスタのTCC12ビットで選択できる ・ 比較回路0の一致時の出力レベルをTCC1レジスタのTCC14～TCC15ビットで、比較回路1の一致時の出力レベルをTCC1レジスタのTCC16～TCC17ビットで選択できる ・ 出力を反転するかどうかを、TCOUTレジスタのTCOUT6～TCOUT7ビットで選択できる

注1. 該当するポートのデータが“1”のとき、TCC1、TCOUTレジスタの設定にしたがって波形を出力します。該当するポートのデータが“0”のときは、固定レベルを出力します(「図 13.25 CMP 波形出力部ブロック図」参照)。

注2. TC、TM0、TM1レジスタは、16ビット単位でアクセスしてください。

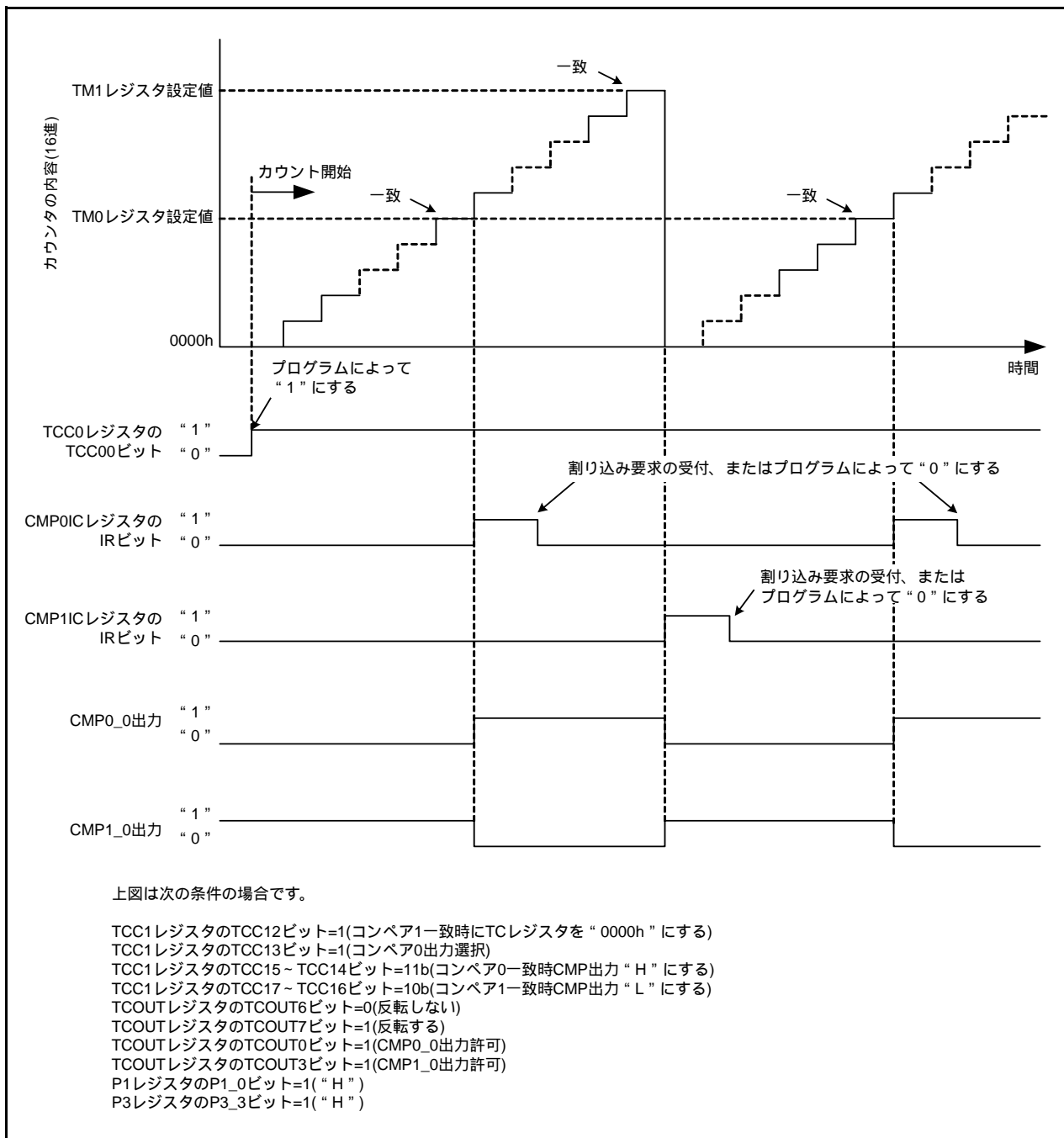


図 13.31 アウトプットコンペアモードの動作例

14. シリアルインタフェース

シリアルインタフェースはUART0の1チャンネルで構成しています。UART0は専用の転送クロック発生用タイマを持ちます。

図 14.1にUART0のブロック図、図 14.2に送受信部のブロック図を示します。

UART0はクロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図 14.3 ~ 図 14.5にUART0関連のレジスタを示します。

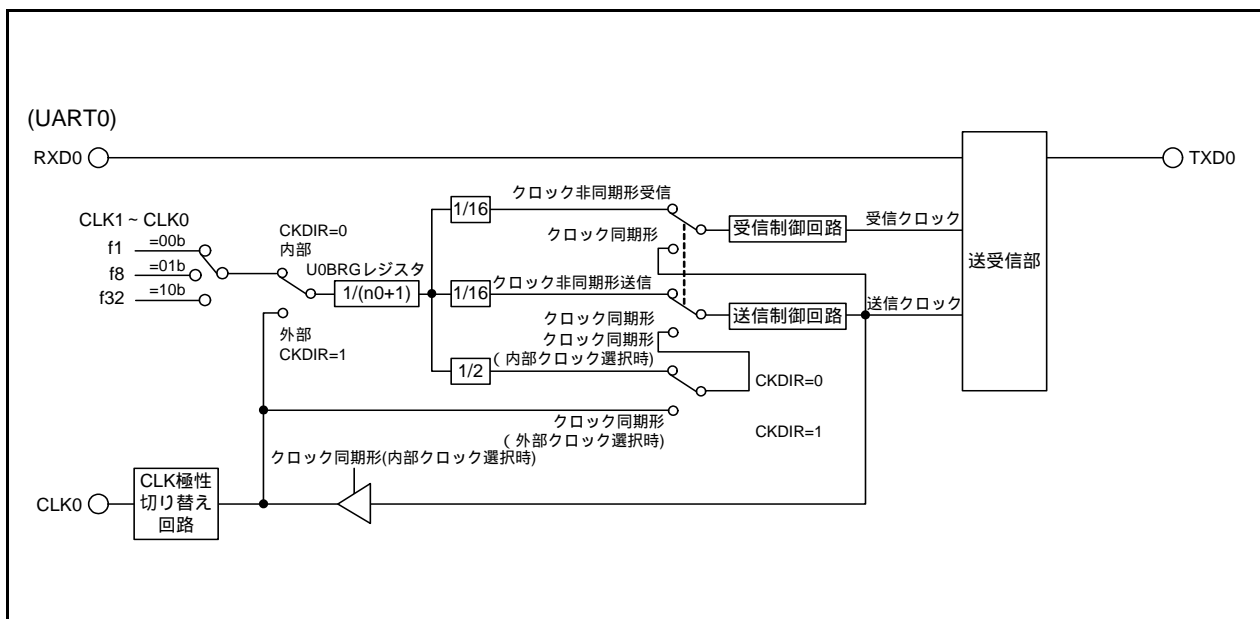


図 14.1 UART0のブロック図

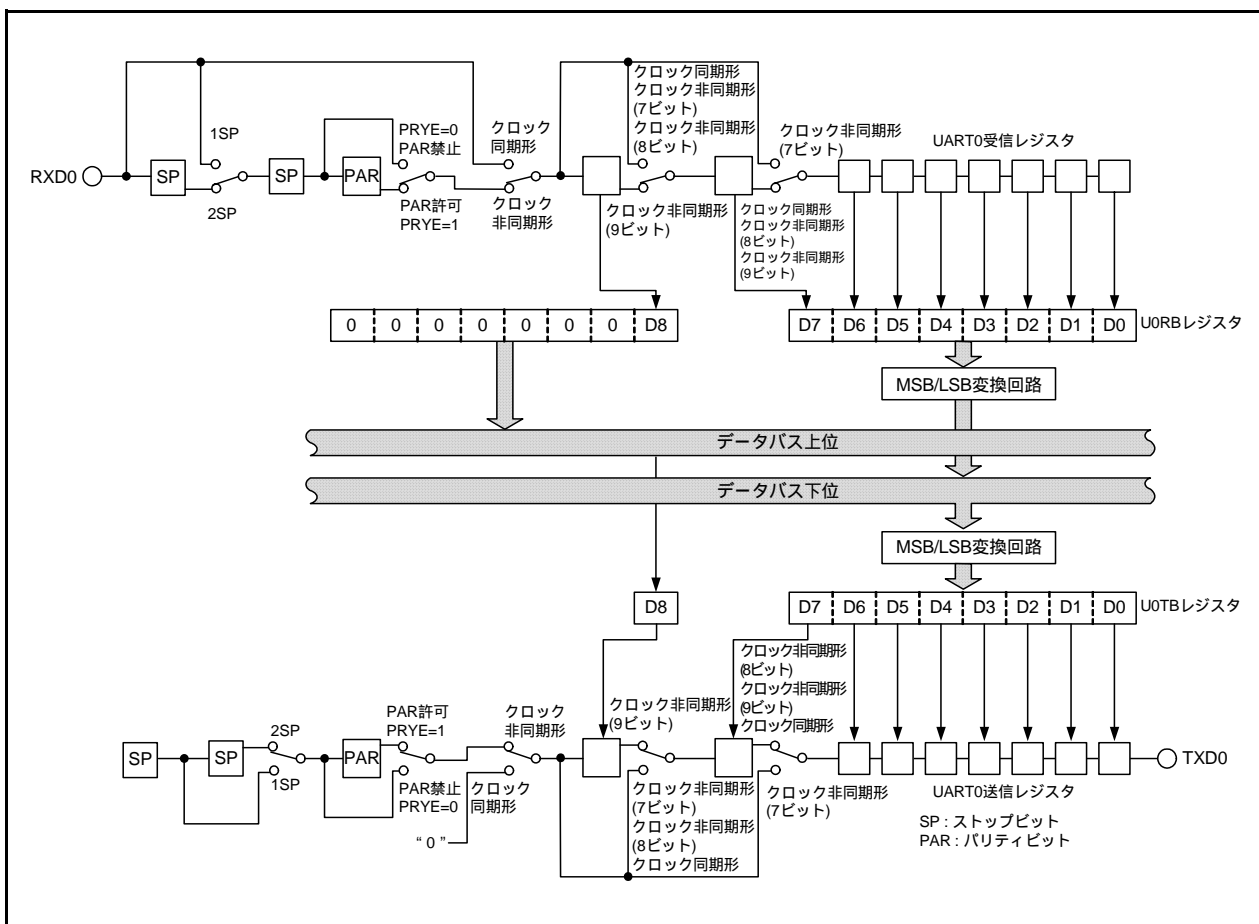


図 14.2 送受信部のブロック図

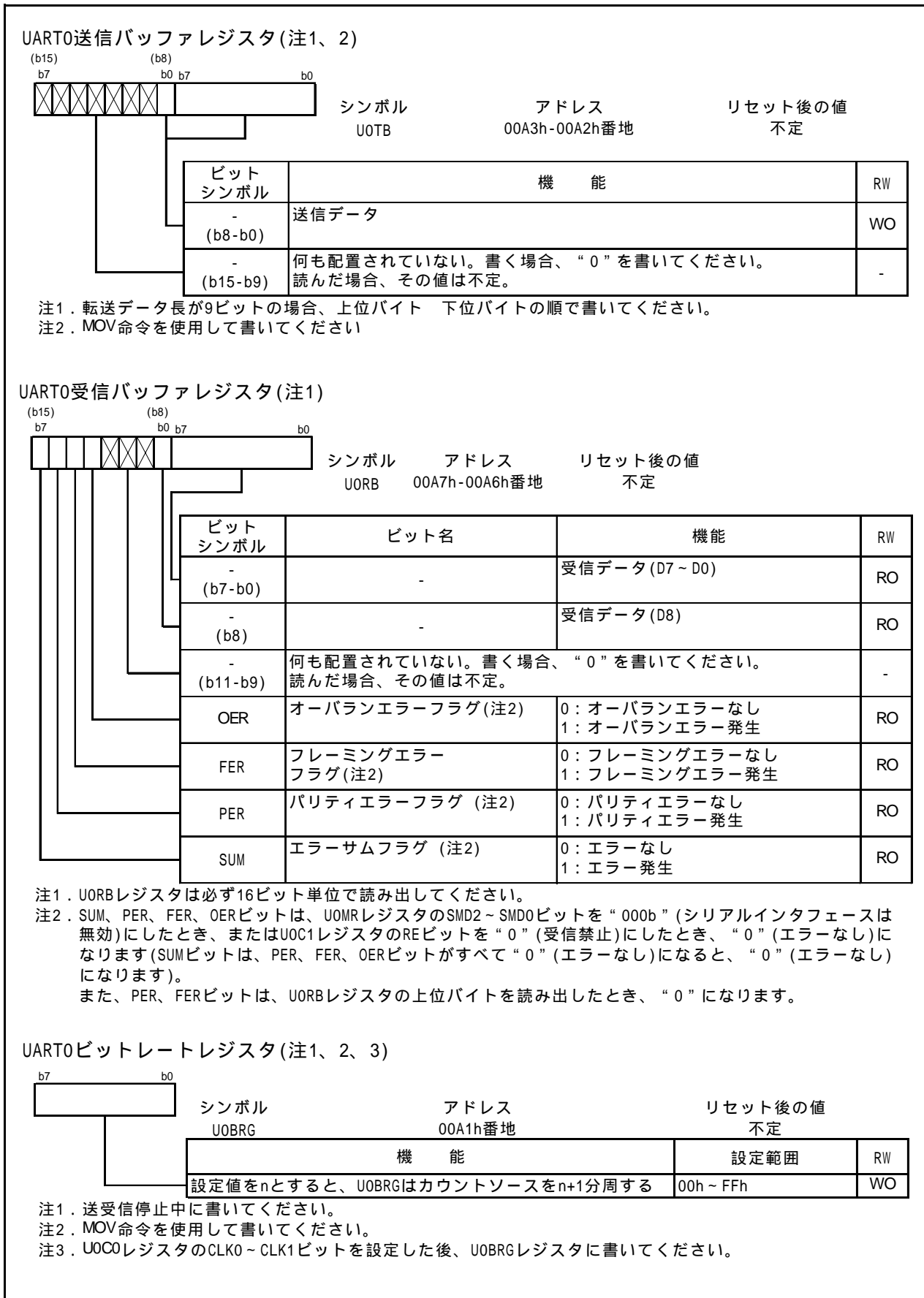
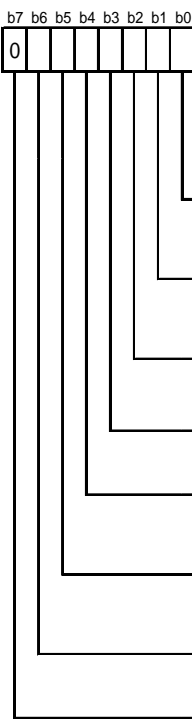


図 14.3 U0TB、U0RB、U0BRGレジスタ

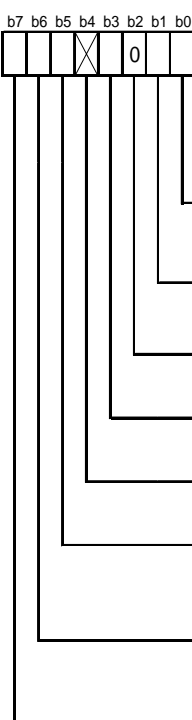
UART0送受信モードレジスタ



シンボル	アドレス	リセット後の値	
UOMR	00A0h番地	00h	
ビットシンボル	ビット名	機能	RW
SMD0	シリアルI/Oモード選択ビット	b2 b1 b0 0 0 0: シリアルインタフェースは無効 0 0 1: クロック同期形シリアルI/Oモード 1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0: 内部クロック 1: 外部クロック(注1)	RW
STPS	ストップビット長選択ビット	0: 1ストップビット 1: 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
- (b7)	予約ビット	"0" にしてください。	RW

注1. PD1レジスタのPD1_6ビットを"0"(入力)にしてください。

UART0送受信制御レジスタ0

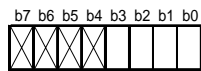


シンボル	アドレス	リセット後の値	
U0C0	00A4h番地	08h	
ビットシンボル	ビット名	機能	RW
CLK0	BRGカウントソース選択ビット(注1)	b1 b0 0 0: f1を選択 0 1: f8選択 1 0: f32を選択 1 1: 設定しないでください	RW
CLK1			RW
- (b2)	予約ビット	"0" にしてください。	RW
TXEPT	送信レジスタ空フラグ	0: 送信レジスタにデータあり(送信中) 1: 送信レジスタにデータなし(送信完了)	RO
- (b4)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		-
NCH	データ出力選択ビット	0: TXD0端子はCMOS出力 1: TXD0端子はNチャンネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1: 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択ビット	0: LSBファースト 1: MSBファースト	RW

注1. BRGカウントソースを変更した場合は、U0BRGレジスタを再設定してください。

図 14.4 UOMR、U0C0レジスタ

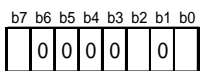
UART0送受信制御レジスタ1



シンボル	アドレス	リセット後の値				
U0C1	00A5h番地	02h	ビットシンボル	ビット名	機能	RW
			TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
			TI	送信バッファ空フラグ	0: U0TBにデータあり 1: U0TBにデータなし	RO
			RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
			RI	受信完了フラグ(注1)	0: U0RBにデータなし 1: U0RBにデータあり	RO
			- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RIビットはU0RBレジスタの上位バイトを読み出したとき、“0”になります。

UART送受信制御レジスタ2



シンボル	アドレス	リセット後の値				
U0CON	00B0h番地	00h	ビットシンボル	ビット名	機能	RW
			U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了 (TXEPT=1)	RW
			- (b1)	予約ビット	“0” にしてください。	RW
			UORRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
			- (b6-b3)	予約ビット	“0” にしてください。	RW
			CNTRSEL	CNTR0信号端子選択ビット (注1)	0: P1_5/RXD0 P1_7/CNTR00/ $\overline{\text{INT10}}$ 1: P1_5/RXD0/CNTR01/ $\overline{\text{INT11}}$ P1_7	RW

注1. CNTRSELビットはCNTR0 ($\overline{\text{INT1}}$)信号の入力端子を選択します。CNTR0信号を出力する場合は、CNTRSELビットの設定にかかわらず、CNTR00端子から出力されます。

図 14.5 U0C1、U0CONレジスタ

14.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表 14.1 にクロック同期形シリアルI/Oモードの仕様を、表 14.2 にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表 14.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長 8ビット
転送クロック	・U0MR レジスタのCKDIR ビットが“0” (内部クロック) : $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}$ $n=U0BRG$ レジスタの設定値 00h ~ FFh ・CKDIR ビットが“1” (外部クロック) : CLK0 端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 U0C1 レジスタのTE ビットが“1” (送信許可) U0C1 レジスタのTI ビットが“0” (U0TB レジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 U0C1 レジスタのRE ビットが“1” (受信許可) U0C1 レジスタのTE ビットが“1” (送信許可) U0C1 レジスタのTI ビットが“0” (U0TB レジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -U0IRS ビットが“0” (送信バッファ空) : U0TB レジスタから UART0 送信レジスタへデータ転送時(送信開始時) -U0IRS ビットが“1” (送信完了) : UARTi 送信レジスタからデータ送信完了時 ・受信する場合 UART0 受信レジスタから、U0RB レジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) U0RB レジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK 極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSB ファースト、MSB ファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 U0RB レジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、U0C0 レジスタのCKPOL ビットが“0” (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOL ビットが“1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2. オーバランエラーが発生した場合、U0RB レジスタは不定になります。また S0RIC レジスタの IR ビットは変化しません。

表 14.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U0TB	0 ~ 7	送信データを設定してください
U0RB	0 ~ 7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	0 ~ 7	ビットレートを設定してください
U0MR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U0C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1” にしてください
	CNTRSEL	P1_5/RXD0/CNTR01/INT11を選択する場合は、“1” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表 14.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 14.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット = 0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0MRレジスタのCKDIRビット = 0
	転送クロック入力	U0MRレジスタのCKDIRビット = 1 PD1レジスタのPD1_6ビット = 0

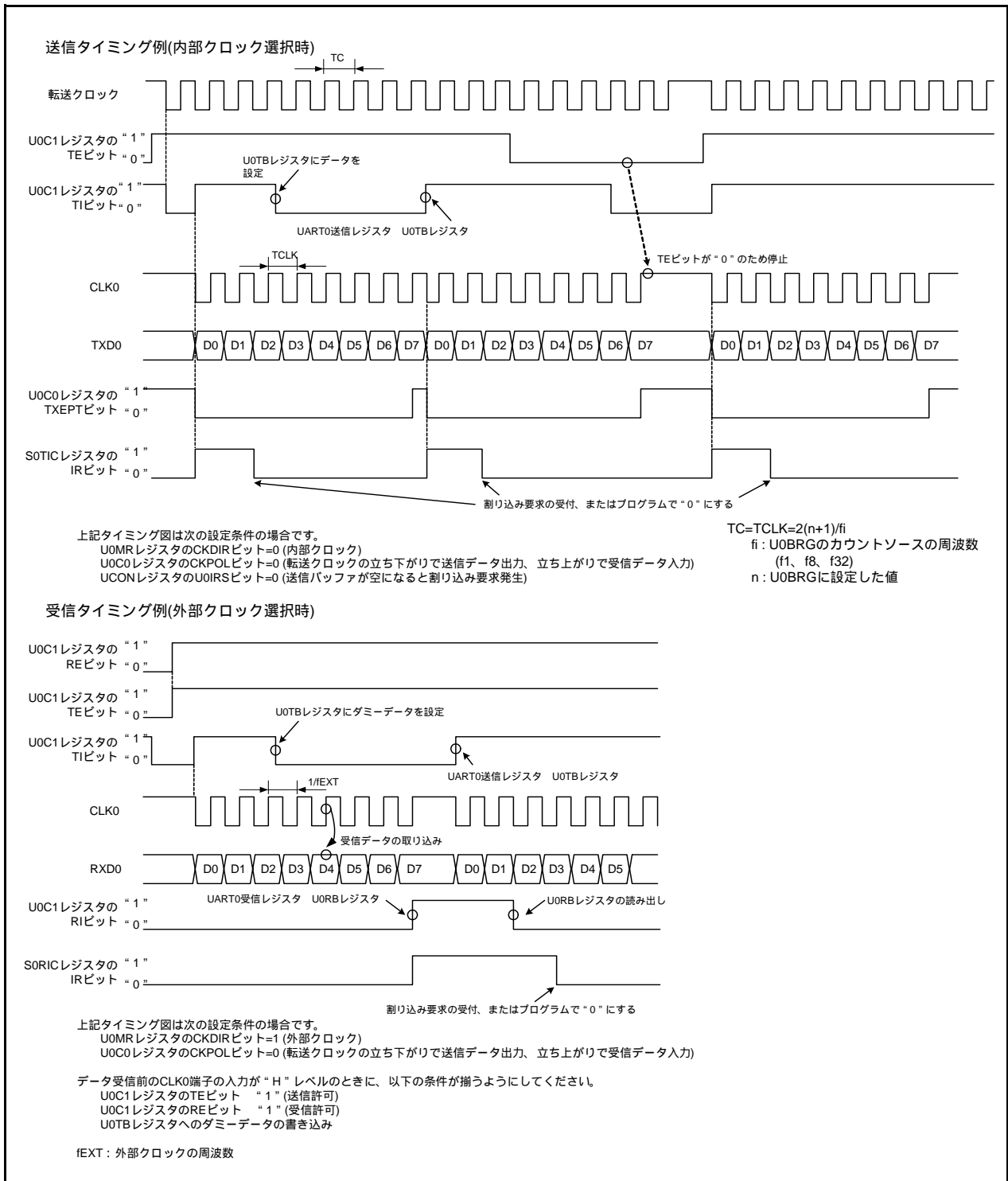


図 14.6 クロック同期形シリアルI/Oモード時の送受信タイミング例

14.1.1 極性選択機能

図 14.7 に転送クロックの極性を示します。U0C0 レジスタの CKPOL ビットによって転送クロックの極性を選択できます。

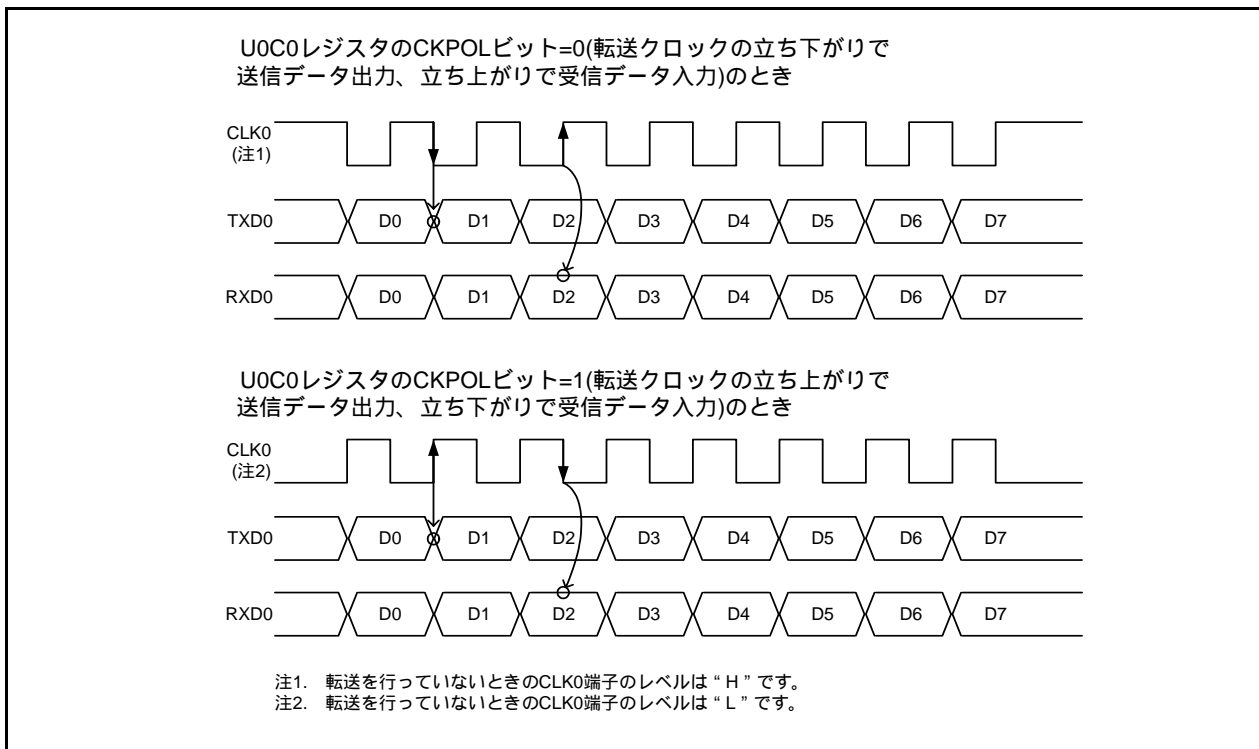


図 14.7 転送クロックの極性

14.1.2 LSBファースト、MSBファースト選択

図 14.8 に転送フォーマットを示します。U0C0 レジスタの UFORM ビットで転送フォーマットを選択できます。

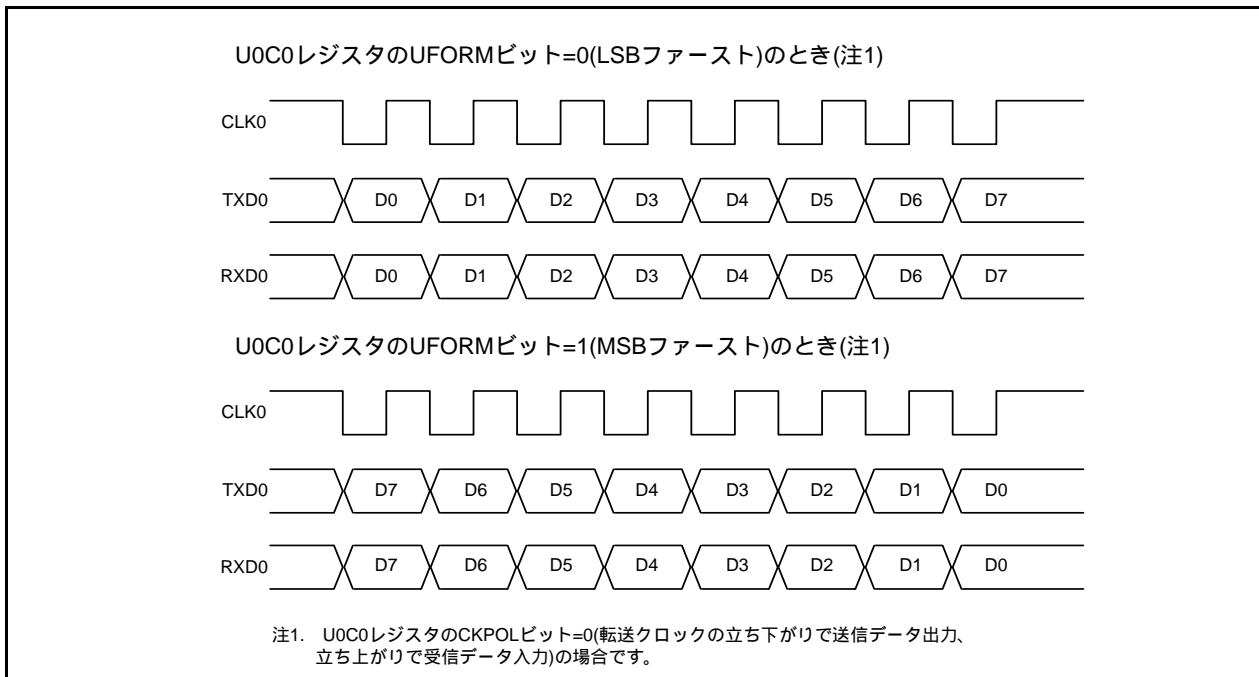


図 14.8 転送フォーマット

14.1.3 連続受信モード

UCONレジスタのU0RRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。U0RRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

14.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。表 14.4にクロック非同期形シリアルI/Oモードの仕様を、表 14.5にUARTモード時の使用レジスタと設定値を示します。

表 14.4 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、無し 選択可 ・ストップビット 1ビット、2ビット 選択可
転送クロック	<ul style="list-style-type: none"> ・U0MRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}$ $n=U0BRG$レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLK0端子からの入力 $n=U0BRG$レジスタの設定値 00h ~ FFh
送信開始条件	<ul style="list-style-type: none"> ・送信開始には、以下の条件が必要です。 U0C1レジスタのTEビットが“1”(送信許可) U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	<ul style="list-style-type: none"> ・受信開始には、以下の条件が必要です。 U0C1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・送信する場合、次の条件のいずれかを選択できます。 -U0IRSビットが“0”(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) -U0IRSビットが“1”(送信完了) : UART0送信レジスタからデータ送信完了時 ・受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注1) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U0RBレジスタは不定になります。またS0RICレジスタのIRビットは変化しません。

表 14.5 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	0 ~ 8	送信データを設定してください(注1)
U0RB	0 ~ 8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
U0BRG	0 ~ 7	ビットレートを設定してください
U0MR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD0端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できません。 転送データ長7ビットまたは9ビット時は“0”にしてください。
U0C1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
UCON	U0IRS	UART0送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。
	CNTRSEL	P1_5/RXD0/CNTR01/INT11を選択する場合は、“1”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

表 14.6にクロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TXD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 14.6 クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0

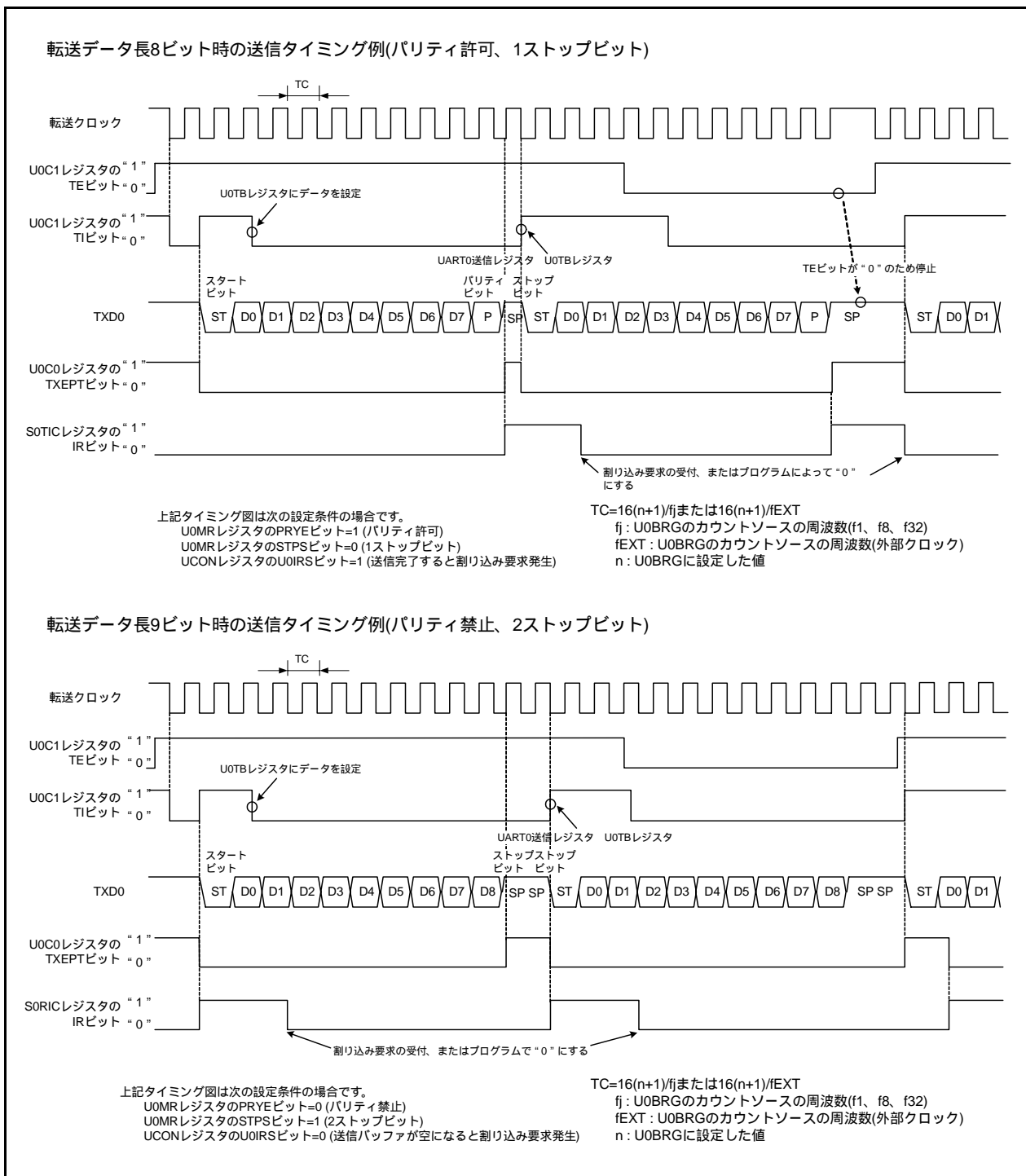


図 14.9 UARTモード時の送信タイミング

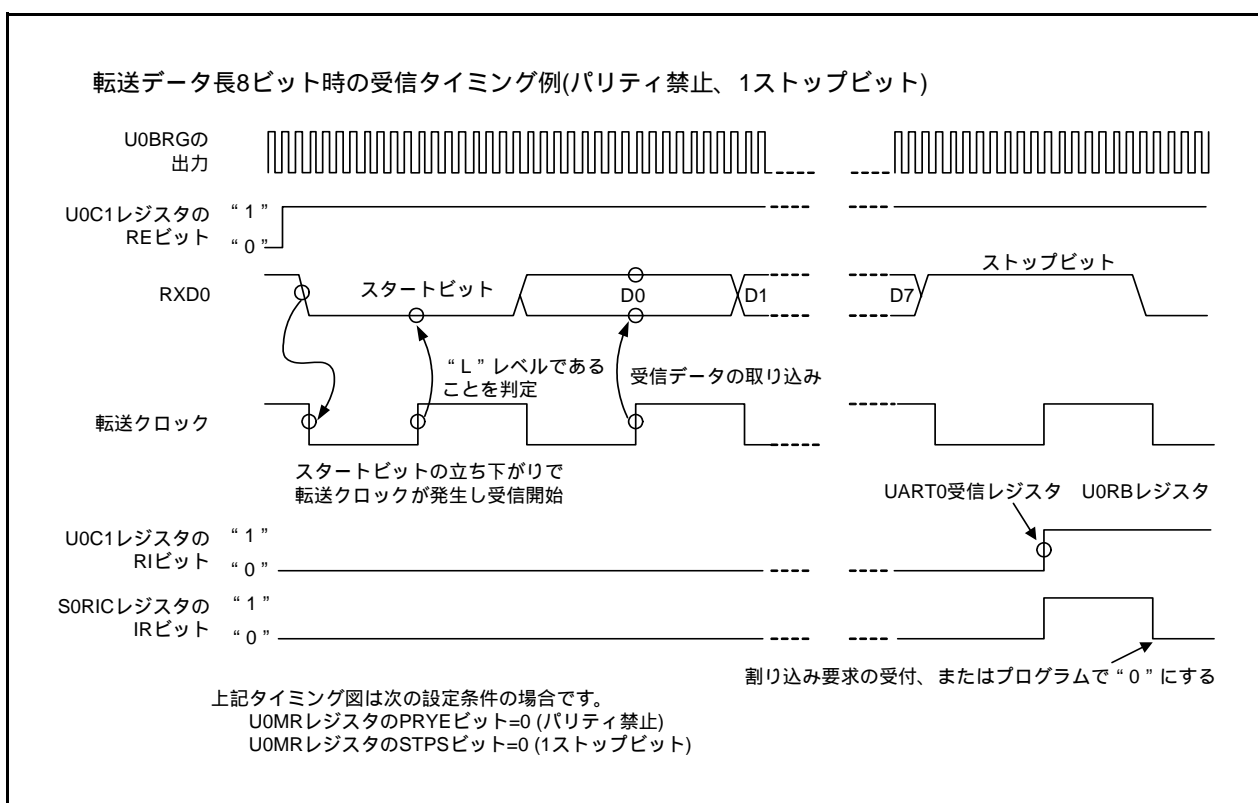


図 14.10 UARTモード時の受信タイミング例

14.2.1 CNTR0端子選択機能

P1_7をCNTR00/INT10入力端子として使用するか、P1_5をCNTR01/INT11入力端子として使用するかを、UCONレジスタのCNTRSELビットで選択します。

CNTRSELビットが“0”のときP1_7がCNTR00/INT10端子になり、CNTRSELビットが“1”のとき、P1_5がCNTR01/INT11端子になります。

14.2.2 ビットレート

UARTモードではU0BRGレジスタで分周した周波数の16分周がビットレートになります。

< UARTモード >

- ・ 内部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j: U0BRGレジスタのカウンタソースの周波数(f₁、f₈、f₃₂)

- ・ 外部クロック選択時

$$\text{U0BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT}: U0BRGレジスタのカウンタソースの周波数(外部クロック)

図 14.11 U0BRG レジスタの設定値の算出式

表 14.7 UARTモード時のビットレート設定例 (内部クロック選択時)

ビットレート (bps)	BRGのカウ ントソース	システムクロック = 20 MHz			システムクロック = 8 MHz		
		BRG の 設定値	実時間 (bps)	誤差 (%)	BRG の 設定値	実時間 (bps)	誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	- 1.36	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	- 0.22	34 (22h)	14285.71	- 0.79
19200	f1	64 (40h)	19230.77	0.16	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	16 (10h)	29411.76	2.12
31250	f1	39 (27h)	31250.00	0.00	15 (0Fh)	31250.00	0.00
38400	f1	32 (20h)	37878.79	- 1.36	12 (0Ch)	38461.54	0.16
51200	f1	23 (17h)	52083.33	1.73	9 (09h)	50000.00	- 2.34

15. チップセレクト付クロック同期形シリアルI/O(SSU)

チップセレクト付クロック同期形シリアルI/O(以下、SSU)は、クロック同期式のシリアルデータ通信が可能です。表 15.1にSSUの仕様を、図 15.1にSSUブロック図を示します。

図 15.2 ~ 図 15.8にSSU関連レジスタを示します。

表 15.1 SSUの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> 転送データ長 8ビット 送信部および受信部がバッファ構造のため、シリアルデータの連続送信、連続受信が可能(注2)
動作モード	<ul style="list-style-type: none"> クロック同期式通信モード 4線式バス通信モード(双方向通信モード含む)
マスタ/スレーブデバイス	選択可能
入出力端子	SSCK(入出力) : クロック入出力端子 SSI(入出力) : データ入出力端子 SSO(入出力) : データ入出力端子 SCS(入出力) : チップセレクト入出力端子
転送クロック	<ul style="list-style-type: none"> SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき外部クロック(SSCK端子から入力) SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のとき内部クロック(/256、 /128、 /64、 /32、 /16、 /8、 /4 から選択できる、SSCK端子から出力) クロック極性と位相を選択できる
受信エラーの検出	<ul style="list-style-type: none"> オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、ORERビットが“1”になる
マルチマスタエラーの検出	<ul style="list-style-type: none"> コンフリクトエラーを検出 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態でシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればSSSRレジスタのCEビットが“1”になる。 SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中でSCS端子入力が“L”から“H”に変化したとき、SSSRレジスタのCEビットが“1”になる。
割り込み要求	5種類(送信終了、送信データエンpty、受信データフル、オーバランエラー、コンフリクトエラー)(注1)
選択機能	<ul style="list-style-type: none"> データ転送方向 MSBファーストまたはLSBファーストを選択 SSCKクロック極性 クロック停止時のレベルを“L”か“H”かを選択 SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

注1. 割り込みベクタテーブルはSSUの1つです。

注2. スレーブデバイスに設定したときは、連続送信をしないでください。

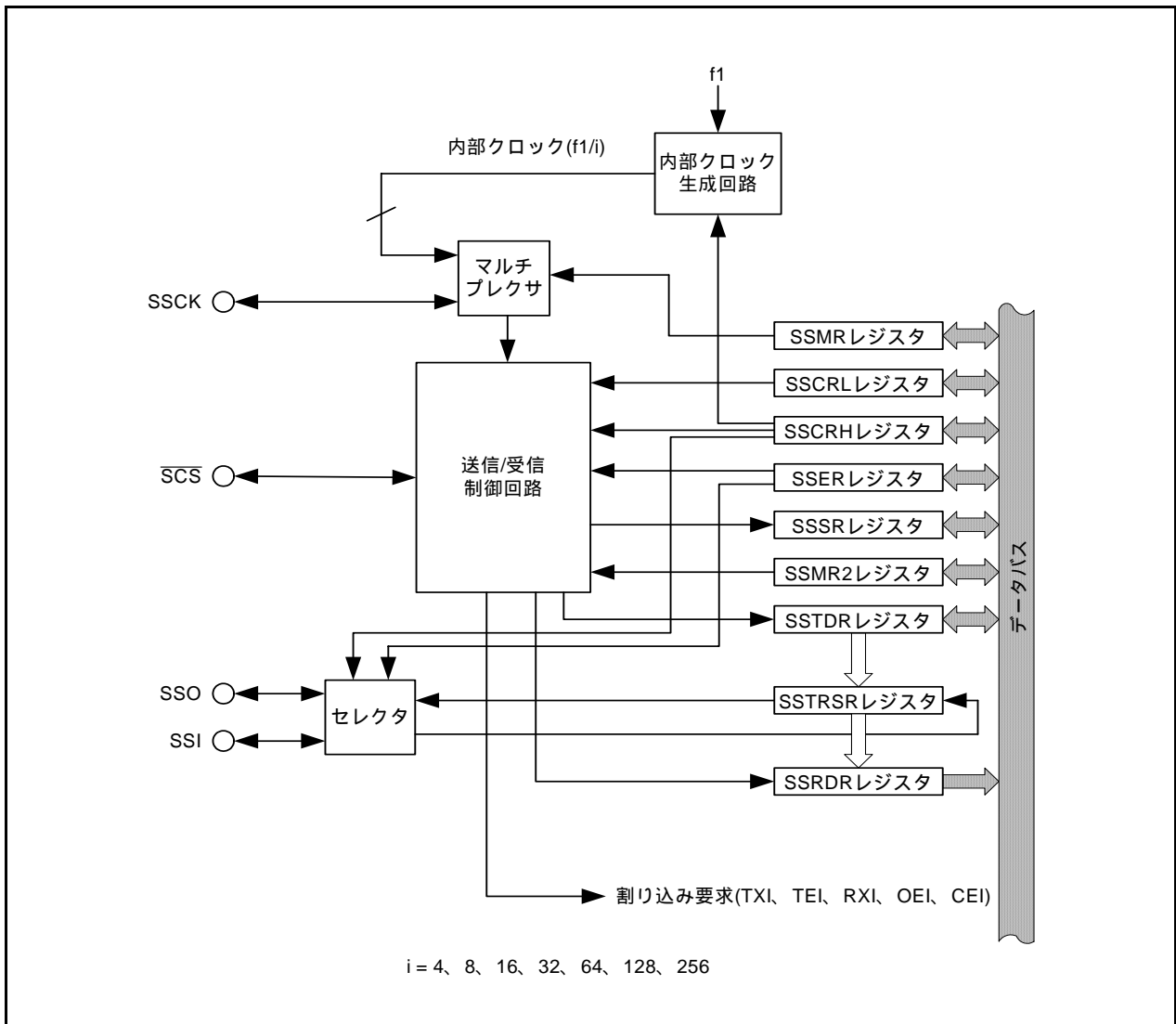


図 15.1 SSUブロック

SS制御レジスタH(注4)

シンボル	アドレス	リセット後の値	
SSCRH	00B8h番地	00h	
ビットシンボル	ビット名	機能	RW
CKS0	転送クロックレート選択ビット(注1)	b2 b1 b0 0 0 0 : f1/256 0 0 1 : f1/128 0 1 0 : f1/64 0 1 1 : f1/32 1 0 0 : f1/16 1 0 1 : f1/8 1 1 0 : f1/4 1 1 1 : 設定しないでください	RW
CKS1			RW
CKS2			RW
- (b4-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
MSS	マスター/スレーブデバイス選択ビット(注2)	0 : スレーブデバイスとして動作 1 : マスタデバイスとして動作	RW
RSSTP	レシーブシングルストップビット(注3)	0 : 1バイトのデータ受信後も受信動作を継続 1 : 1バイトのデータ受信後、受信動作が終了	RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 内部クロック選択時に、設定されたクロックが使用されます。

注2. MSSビットが“1”(マスタデバイスとして動作)のとき、SSCK端子は転送クロック出力端子になります。SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になると、MSSビットは“0”(スレーブデバイスとして動作)になります。

注3. MSSビットが“0”(スレーブデバイスとして動作)のとき、RSSTPビットは無効です。

注4. SSU関連レジスタのアクセスについて「20.6.1 SSU関連レジスタのアクセス」を参照してください。

図 15.2 SSCRHレジスタ

SS制御レジスタL(注4)

シンボル	アドレス	リセット後の値	
SSCRL	00B9h番地	01111101b	
ビットシンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
SRES	SSUコントロール部リセットビット	このビットに“1”を書くと、SSUコントロール部およびSSTRSRレジスタが初期化される。SSU内部レジスタ(注1)の値は保持される。	RW
- (b3-b2)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
SOLP	SOLライトプロテクトビット(注2)	“0”を書くとSOLビットによって出力レベルが変更できる。“1”を書いても無効。読んだ場合、その値は“1”。	RW
SOL	シリアルデータ出力値設定ビット	読んだ場合 0: シリアルデータ出力が“L” 1: シリアルデータ出力が“H” 書いた場合(注2、3) 0: シリアルデータ出力後のデータ出力を“L”にする。 1: シリアルデータ出力後のデータ出力を“H”にする。	RW
- (b6)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”。	-
- (b7)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

注1. SSCRH、SSCRL、SSMR、SSER、SSSR、SSMR2、SSTDR、SSRDRの各レジスタ。
 注2. 送信前または送信後にSOLビットに書くと、シリアルデータ出力後のデータ出力を変更できます。SOLビットに書くときは、SOLPビット=0にして、MOV命令でSOLPビットとSOLビットに書いてください。
 注3. データ転送中はSOLビットに書かないでください。
 注4. SSU関連レジスタのアクセスについて「20.6.1 SSU関連レジスタのアクセス」を参照してください。

図 15.3 SSCRLレジスタ

SSモードレジスタ(注2)

シンボル SSMR	アドレス 00BAh番地	リセット後の値 00011000b	
ビット シンボル	ビット名	機能	RW
BC0	ビットカウンタ2~0	b2 b1 b0 0 0 0: 残り8ビット	R
		0 0 1: 残り1ビット	
		0 1 0: 残り2ビット	
BC1		0 1 1: 残り3ビット	R
		1 0 0: 残り4ビット	
BC2		1 0 1: 残り5ビット	R
		1 1 0: 残り6ビット	
-	予約ビット	"1" にしてください。 読んだ場合、その値は"1"。	RW
-	(b4)	何も配置されていない。書く場合、"0" を書いてください。 読んだ場合、その値は"1"。	-
CPHS	SSCKクロック位相選択ビット (注1)	0: 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1: 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	RW
CPOS	SSCKクロック極性選択ビット (注1)	0: クロック停止時、"H" 1: クロック停止時、"L"	RW
MLS	MSBファースト/LSBファースト選 択ビット	0: MSBファーストでデータ転送 1: LSBファーストでデータ転送	RW

注1. CPHS、CPOSビットの設定については「15.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

注2. SSU関連レジスタのアクセスについて「20.6.1 SSU関連レジスタのアクセス」を参照してください。

図 15.4 SSMR レジスタ

SS許可レジスタ(注1)

シンボル SSER	アドレス 00BBh番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
CEIE	コンフリクトエラーインタラプトイネーブルビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	RW
- (b2-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
RE	レシーブイネーブルビット	0: 受信禁止 1: 受信許可	RW
TE	トランスミットイネーブルビット	0: 送信禁止 1: 送信許可	RW
RIE	レシーブインタラプトイネーブルビット	0: 受信データフルおよびオーバーランエラー割り込み要求禁止 1: 受信データフルおよびオーバーランエラー割り込み要求許可	RW
TEIE	トランスミットエンドインタラプトイネーブルビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	RW
TIE	トランスミットインタラプトイネーブルビット	0: 送信データエンpty割り込み要求禁止 1: 送信データエンpty割り込み要求許可	RW

注1. SSU関連レジスタのアクセスについて「20.6.1 SSU関連レジスタのアクセス」を参照してください。

図 15.5 SSERレジスタ

SSステータスレジスタ(注7)

シンボル	アドレス	リセット後の値	
SSSR	00BCh番地	00h	
ビットシンボル	ビット名	機能	RW
CE	コンフリクトエラーフラグ(注1)	0: コンフリクトエラーなし 1: コンフリクトエラー発生(注2)	RW
- (b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
ORER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生(注3)	RW
- (b4-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
RDRF	レシーブデータレジスタフル(注1、4)	0: SSRDRレジスタにデータなし 1: SSRDRレジスタにデータあり	RW
TEND	トランスミットエンド(注1、5)	0: 送信データの最後尾ビットの送信時、TDREビットが“0” 1: 送信データの最後尾ビットの送信時、TDREビットが“1”	RW
TDRE	トランスミットデータエンプティ(注1、5、6)	0: SSTDRレジスタからSSTRSRレジスタにデータ転送されていない 1: SSTDRレジスタからSSTRSRレジスタにデータ転送された	RW

注1. CE、ORER、RDRF、TEND、TDREビットへの“1”書き込みは無効です。これらのビットを“0”にするには、“1”を読んだ後、“0”を書いてください。

注2. SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態ではシリアル通信を開始しようとしたとき、SCS端子入力が“L”であればCEビットが“1”になります。
SSMR2レジスタのSSUMSビットが“1”(4線式バス通信モード)、SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)で転送途中にSCS端子入力が“L”から“H”に変化したとき、CEビットが“1”になります。

注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRFビットが“1”(SSRDRレジスタにデータあり)の状態では、次のシリアルデータ受信を完了したとき、ORERビットが“1”になります。
ORERビットが“1”(オーバランエラー発生)になった後、“1”の状態では受信はできません。またMSSビットが“1”(マスタデバイスとして動作)の状態では、送信もできません。

注4. RDRFビットはSSRDRレジスタからデータを読み出したとき、“0”になります。

注5. TEND、TDREビットはSSTDRレジスタにデータを書いたとき、“0”になります。

注6. TDREビットはSSERレジスタのTEビットを“1”(送信許可)にしたとき、“1”になります。

注7. SSU関連レジスタのアクセスについて「20.6.1 SSU関連レジスタのアクセス」を参照してください。

図 15.6 SSSRレジスタ

SSモードレジスタ2(注5)

シンボル	アドレス	リセット後の値	
SSMR2	00BDh番地	00h	
ビット	ビット名	機能	RW
SSUMS	SSUモード選択ビット(注1)	0: クロック同期式通信モード 1: 4線式バス通信モード	RW
CSOS	SCS端子オーブンドレイン出力選択ビット	0: CMOS出力 1: NMOSオーブンドレイン出力	RW
SOOS	シリアルデータオーブンドレイン出力選択ビット(注1)	0: CMOS出力 1: NMOSオーブンドレイン出力	RW
SCKOS	SSCK端子オーブンドレイン出力選択ビット	0: CMOS出力 1: NMOSオーブンドレイン出力	RW
CSS0	SCS端子選択ビット(注2)	b5 b4 0 0: ポートとして機能 0 1: SCS入力端子として機能	RW
CSS1		1 0: SCS出力端子として機能(注3) 1 1: SCS出力端子として機能(注3)	RW
SCKS	SSCK端子選択ビット	0: ポートとして機能 1: シリアルクロック端子として機能	RW
BIDE	双方向モードイネーブルビット(注1、4)	0: 標準モード(データ入力とデータ出力を2端子使用して通信) 1: 双方向モード(データ入力とデータ出力を1端子使用して通信)	RW

注1. データ入出力端子の組合せは、「15.2 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. SSUMSビットが“0”(クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポートとして機能します。

注3. 転送開始前は、SCS入力端子として機能します。

注4. SSUMSビットが“0”(クロック同期式通信モード)のとき、BIDEビットは無効です。

注5. SSU関連レジスタのアクセスについて「20.6.1 SSU関連レジスタのアクセス」を参照してください。

図 15.7 SSMR2レジスタ

SS送信データレジスタ(注2)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値	
SSTDR	00BEh番地	FFh	
機能			RW
送信データを保管。 SSTRSRレジスタの空きが検出されると、保管されている送信データがSSTRSRレジスタへ転送されて、送信が開始する。 SSTRSRレジスタからデータを送信中に、SSTDRレジスタに次の送信データを書いておくと、連続して送信できる。(注1) SSMRレジスタのMLSビットが“1”(LSBファーストでデータ転送)の場合、SSTDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読まれます。			RW

注1. スレープデバイスに設定したときは、連続送信をしないでください。

注2. SSU関連レジスタのアクセスについて「20.6.1 SSU関連レジスタのアクセス」を参照してください。

SS受信データレジスタ(注2)

b7 b6 b5 b4 b3 b2 b1 b0

シンボル	アドレス	リセット後の値	
SSRDR	00BFh番地	FFh	
機能			RW
受信データを保管。(注1) SSTRSRレジスタが1バイトのデータを受信すると、SSRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSSTRSRレジスタとSSRDRレジスタの2つのレジスタによって、連続受信が可能である。			RO

注1. SSSRレジスタのORERビットが“1”(オーバーランエラー発生)になったとき、SSRDRレジスタはオーバーランエラー発生前の受信データを保持します。オーバーランエラー発生時の受信データは、破棄されます。

注2. SSU関連レジスタのアクセスについて「20.6.1 SSU関連レジスタのアクセス」を参照してください。

図 15.8 SSTDR、SSRDRレジスタ

15.1 転送クロック

転送クロックを7種類の内部クロック(/256、 /128、 /64、 /32、 /16、 /8、 /4)と、外部クロックから選択できます。

SSUを使用する場合はまず、SSMR2レジスタのSCKSビットを“1”にして、SSCK端子をシリアルクロック端子として選択してください。

SSCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)のときは内部クロックが選択され、SSCK端子が出力になります。転送が開始すると、SSCRHレジスタのCKS0 ~ CKS2で選択された転送レートクロックが、SSCK端子から出力されます。

SSCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のときは外部クロックが選択され、SSCK端子は入力になります。

15.1.1 転送クロックの極性、位相とデータの関係

SSMR2レジスタのSSUMSビットとSSMRレジスタのCPHS、CPOSビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図 15.9に転送クロックの極性、位相および転送データの関係を示します。

また、SSMRレジスタのMLSビットの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で転送されません。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で転送されます。

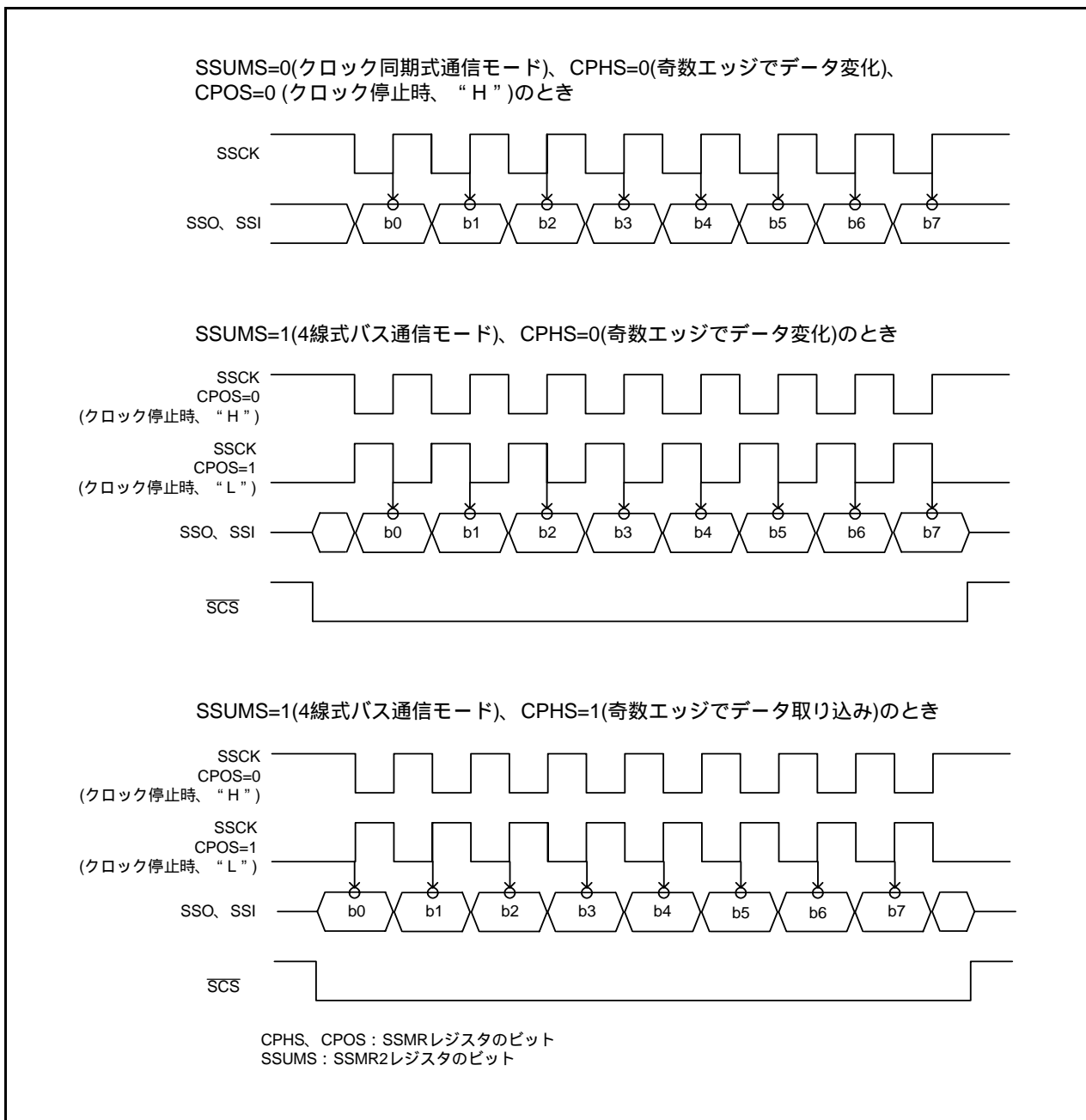


図 15.9 転送クロックの極性、位相および転送データの関係

15.2 SSシフトレジスタ(SSTRSR)

SSTRSRレジスタはシリアルデータを送受信するシフトレジスタです。

SSTDRレジスタからSSTRSRレジスタに送信データが転送される時、SSMRレジスタのMLSビットが“0”(MSBファースト)の場合は、SSTDRレジスタのビット0がSSTRSRレジスタのビット0に転送されます。MLSビットが“1”(LSBファースト)の場合は、SSTDRレジスタのビット7がSSTRSRレジスタのビット0に転送されます。

15.2.1 データ入出力端子とSSシフトレジスタの関係

SSCRHレジスタのMSSビットとSSMR2レジスタのSSUMSビットとの組み合わせにより、データ入出力端子とSSTRSRレジスタの接続関係が変わります。また、SSMR2レジスタのBIDEビットによっても接続関係が変わります。図15.10にデータ入出力端子とSSTRSRレジスタの接続関係を示します。

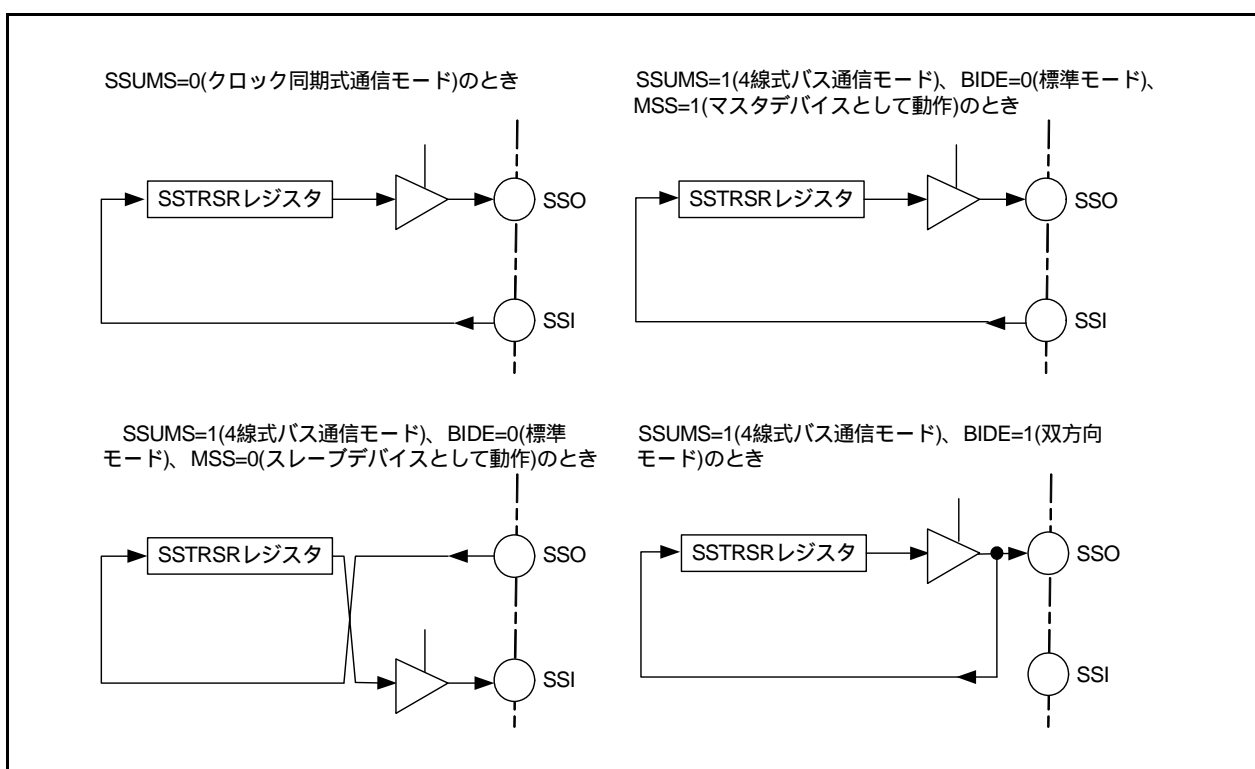


図 15.10 データ入出力端子とSSTRSRレジスタの接続関係

15.3 割り込み要求

SSUの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はSSU割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 15.2にSSUの割り込み要求を示します。

表 15.2 SSUの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE=1 かつ TDRE=1
送信終了	TEI	TEIE=1 かつ TEND=1
受信データフル	RXI	RIE=1 かつ RDRF=1
オーバランエラー	OEI	RIE=1 かつ ORER=1
コンフリクトエラー	CEI	CEIE=1 かつ CE=1

CEIE、RIE、TEIE、TIE : SSERレジスタのビット

ORER、RDRF、TEND、TDRE : SSSRレジスタのビット

表 15.2の発生条件が満たされたとき、SSU割り込み要求が発生します。SSU割り込みルーチンで、それぞれの割り込み要因を“0”にしてください。

ただし、TDREビットおよびTENDビットはSSTDRレジスタに送信データを書くことで、RDRFビットはSSRDRレジスタを読むことで自動的に“0”になります。特にTDREビットはSSTDRレジスタに送信データを書いたとき、同時に再度TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)になり、さらにTDREビットを“0”(SSTDRレジスタからSSTRSRレジスタにデータ転送されていない)にすると、余分に1バイト送信する場合があります。

15.4 各通信モードと端子機能

SSUは各通信モードでSSCRHレジスタのMSSビットと、SSERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。表 15.3に通信モードと入出力端子の関係を示します。

表 15.3 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態			
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO	SSCK	
クロック同期式通信モード	0	無効	0	0	1	入力	-(注1)	入力	
				1	0	-(注1)	出力	入力	
				1	1	入力	出力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	出力
4線式バス通信モード	1	0	0	0	1	-(注1)	入力	入力	
				1	0	出力	-(注1)	入力	
				1	1	出力	入力	入力	
			1	0	1	入力	-(注1)	出力	出力
				1	0	-(注1)	出力	出力	出力
				1	1	入力	出力	出力	出力
4線式バス(双方向)通信モード(注2)	1	1	0	0	1	-(注1)	入力	入力	
				1	0	-(注1)	出力	入力	
			1	0	1	-(注1)	入力	出力	出力
				1	0	-(注1)	出力	出力	出力

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式バス(双方向)通信モード時は、TEおよびREビットを共に“1”にしないでください。

SSUMS、BIDE : SSMR2レジスタのビット

MSS : SSCRHレジスタのビット

TE、RE : SSERレジスタのビット

15.5 クロック同期式通信モード

15.5.1 クロック同期式通信モードの初期化

図 15.11 にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

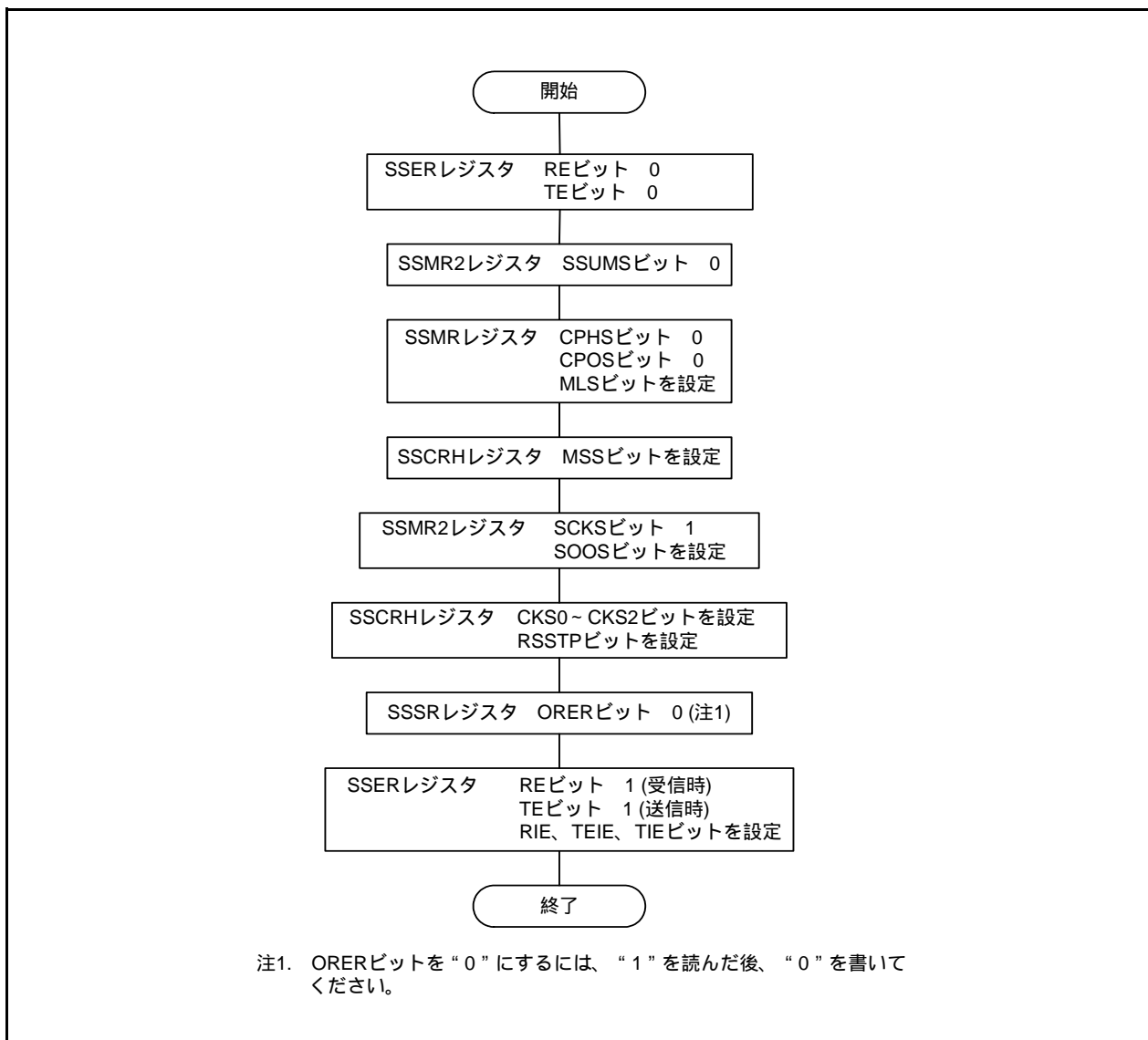


図 15.11 クロック同期式通信モードの初期化

15.5.2 データ送信

図 15.12にデータ送信時の動作例(クロック同期式通信モード)を示します。データ送信時は以下のように動作します。

SSUはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを送ります。

TE ビットを“1”(送信許可)にした後、SSTDR レジスタに送信データを書くと、自動的に TDRE ビットが“0”(SSTDR レジスタから SSTRSR レジスタにデータ転送されていない)になり、SSTDR レジスタから SSTRSR レジスタにデータが転送されます。その後、TDRE ビットが“1”(SSTDR レジスタから SSTRSR レジスタにデータ転送された)になり、送信を開始します。このとき、SSER レジスタの TIE ビットが“1”の場合、TXI 割り込み要求を発生します。

TDRE ビットが“0”の状態では1フレームの転送が終わると、SSTDR レジスタから SSTRSR レジスタにデータが転送され、次フレームの送信を開始します。TDRE ビットが“1”の状態では8ビット目が送出されると、SSSR レジスタの TEND ビットが“1”(送信データの最後尾ビットの送信時、TDRE ビットが“1”)になり、その状態を保持します。このとき SSER レジスタの TEIE ビットが“1”(送信終了割り込み要求許可)の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は“H”に固定されます。

なお、SSRR レジスタの ORER ビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER ビットが“0”であることを確認してください。

スレーブデバイスに設定したときは、TEND ビットが“1”(データ送信完了)であることを確認した後、次の送信データを SSTDR レジスタに書いてください。マスタデバイスに設定したときは、連続送信が可能です。

図 15.13にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

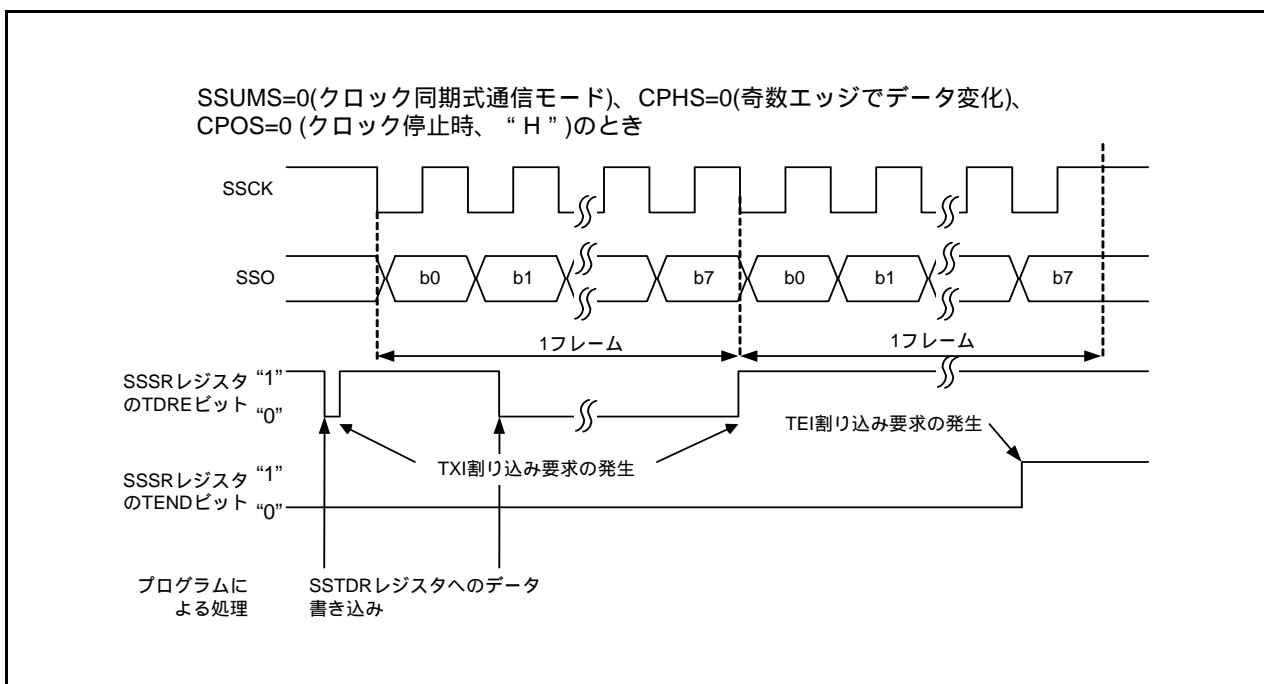


図 15.12 データ送信時の動作例(クロック同期式通信モード)

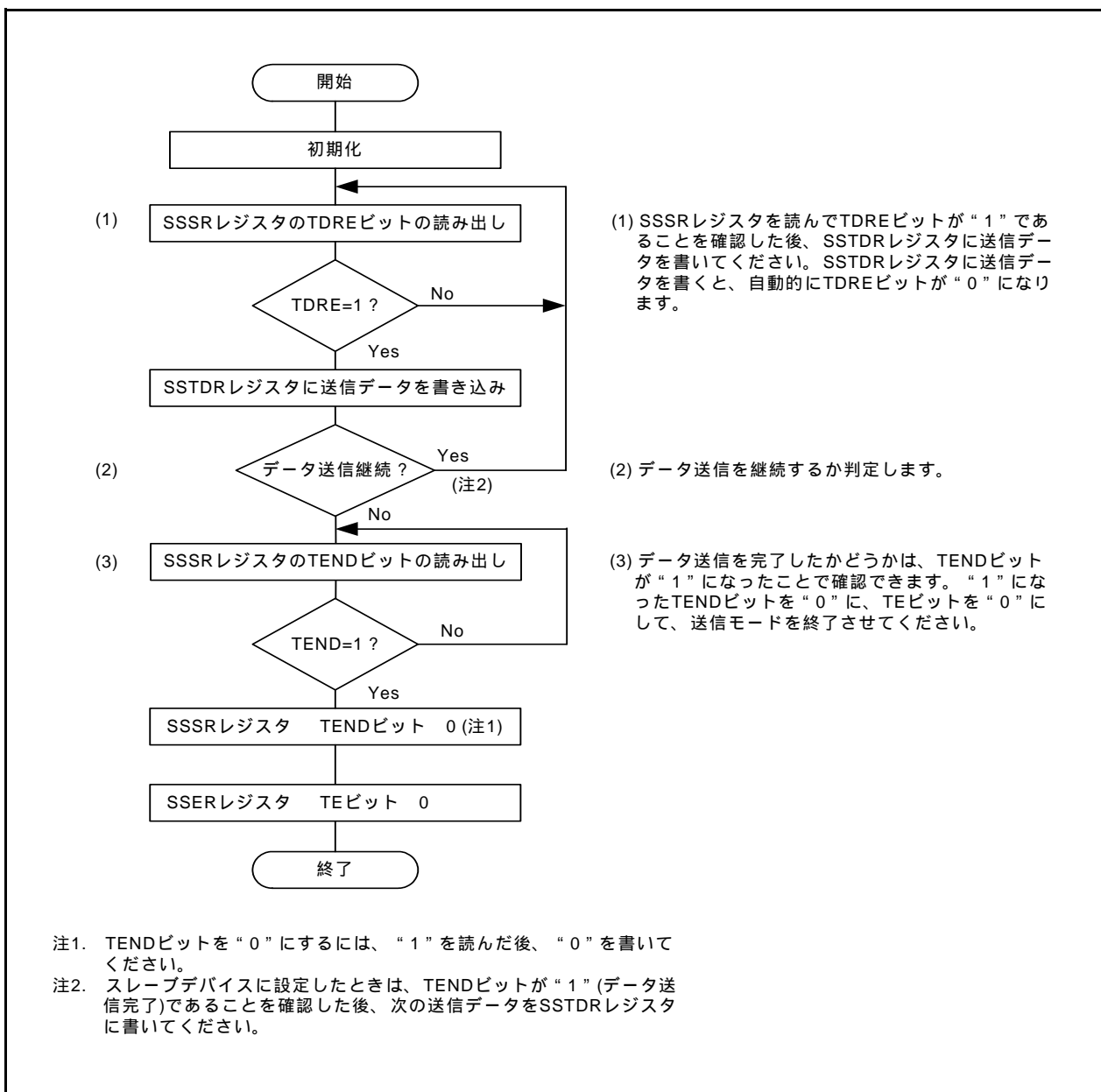


図 15.13 データ送信のフローチャート例(クロック同期式通信モード)

15.5.3 データ受信

図 15.14にデータ受信時の動作例(クロック同期式通信モード)を示します。データ受信時は以下のように動作します。

SSUはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)の状態ではSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません。受信再開の前には、ORERビットが“0”であることを確認してください。

図 15.15にデータ受信のフローチャート例(MSS=1)(クロック同期式通信モード)を示します。

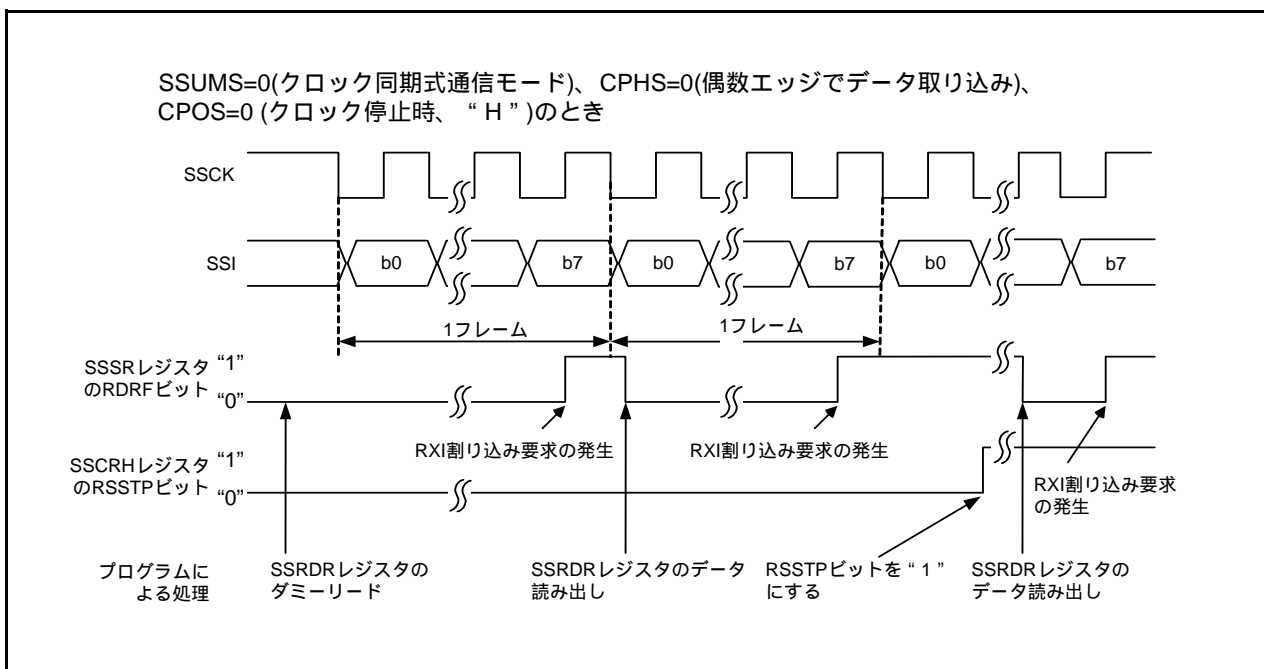


図 15.14 データ受信時の動作例(クロック同期式通信モード)

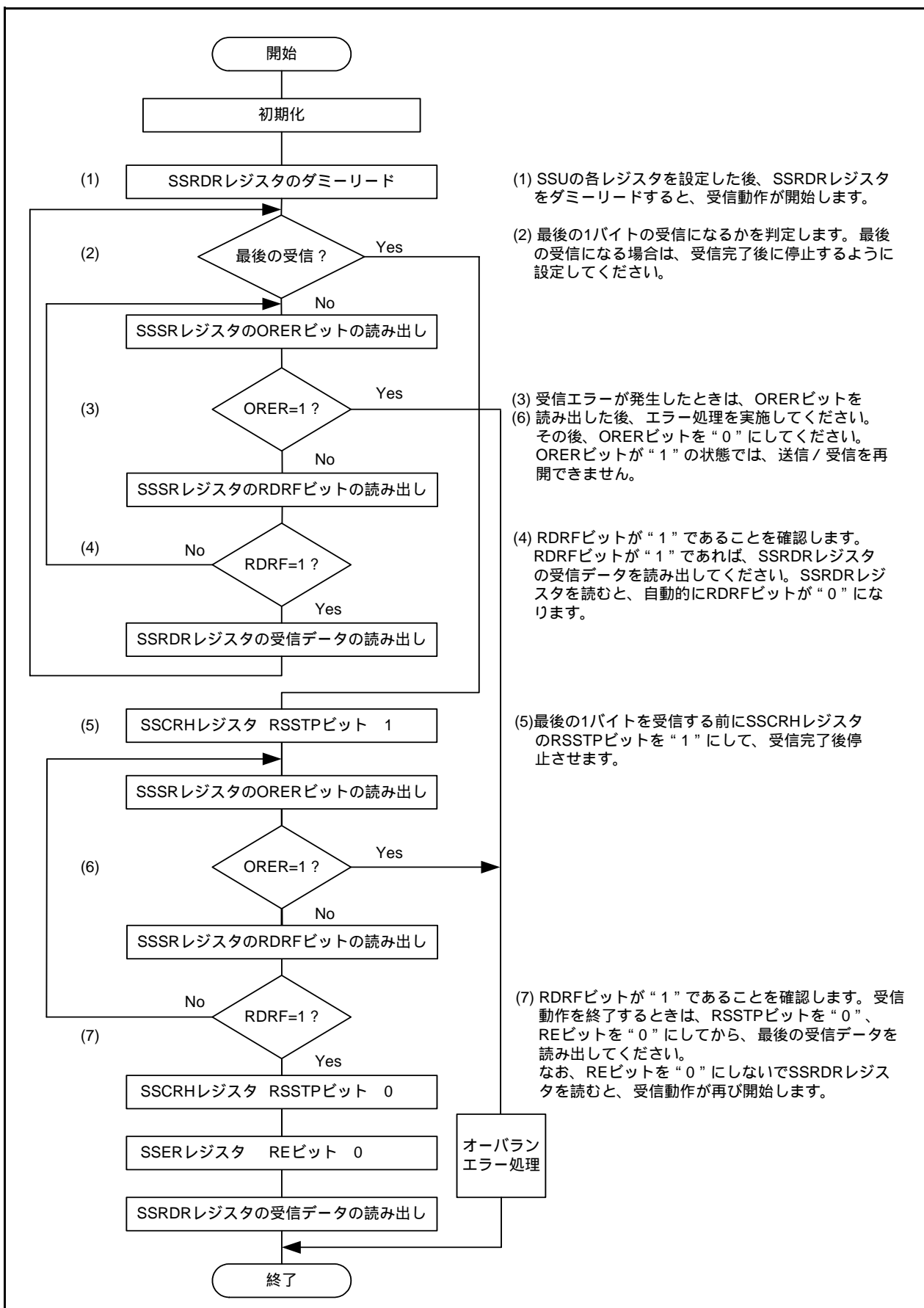


図 15.15 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)

15.5.4 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SSTDRレジスタに送信データを書くと、送受信は開始されます。また、TDREビットが“1”(SSTDRレジスタからSSTRSRレジスタにデータ転送された)の状態が8クロック目の立ち上がった場合、またはORERビットが“1”(オーバーランエラー発生)になった場合、送受信動作は停止します。

なお、送信モード(TE=1)あるいは受信モード(RE=1)から、送受信モード(TE=RE=1)に切り替える場合は、一度TEビットを“0”、REビットを“0”にしてから変更してください。また、TENDビットが“0”(送信データの最後尾ビットの送信時、TDREビットが“0”)、RDRFビットが“0”(SSRDRレジスタにデータなし)、ORERビットが“0”(オーバーランエラーなし)であることを確認した後、TEおよびREビットを“1”にしてください。

スレーブデバイスに設定したときは、TENDビットが“1”(データ送信完了)であることを確認した後、次の送信データをSSTDRレジスタに書いてください。マスタデバイスに設定したときは、連続送信が可能です。

図 15.16にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

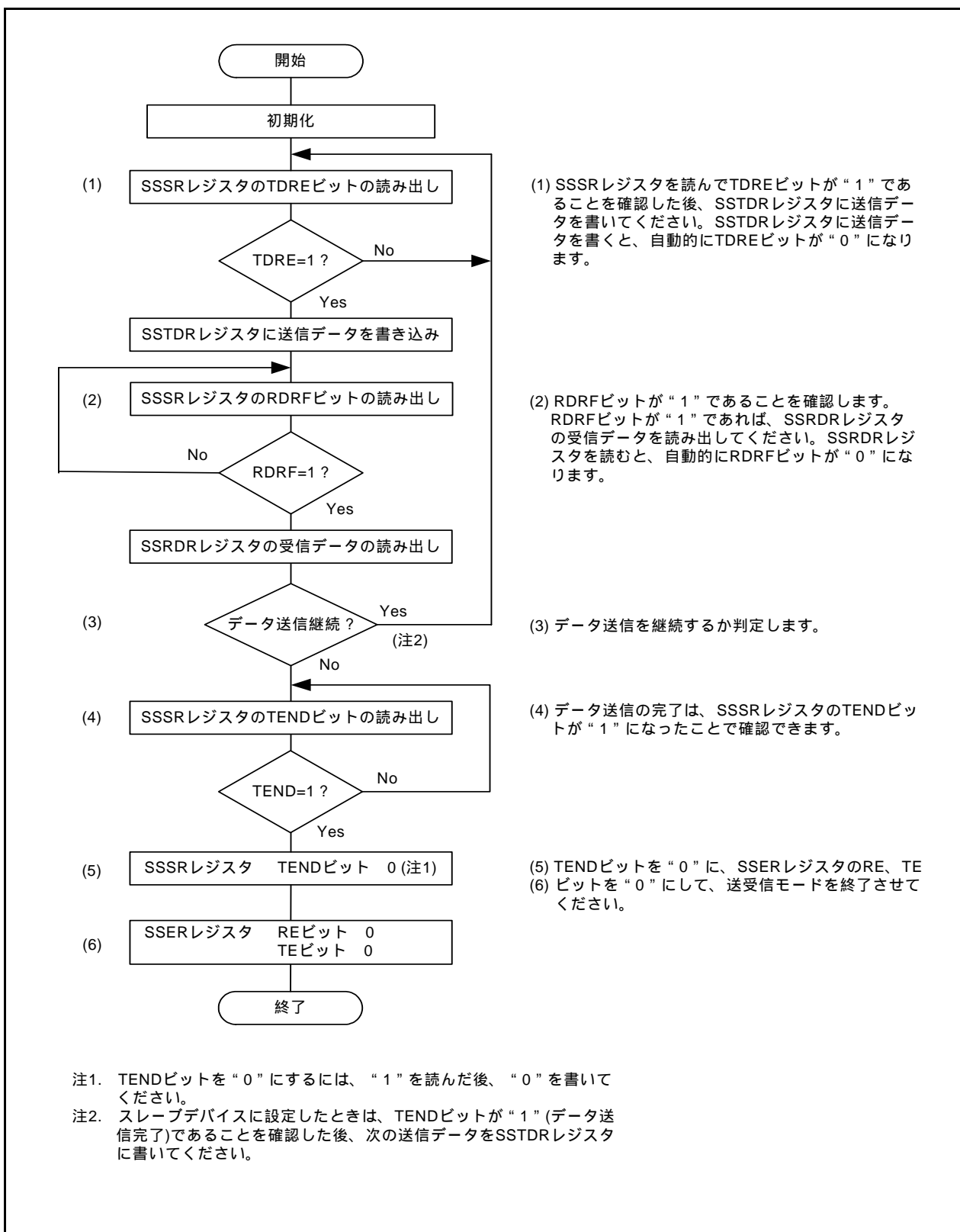


図 15.16 データ送受信のフローチャート例(クロック同期式通信モード)

15.6 4線式バス通信モードの動作

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSCRHレジスタのMSSビットおよびSSMR2レジスタのBIDEビットの設定により、変わります。詳細は「15.2.1 データ入出力端子とSSシフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータの間をSSMRレジスタのCPOSビットおよびCPHSビットにより、設定できます。詳細は「15.1.1 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合はSSMR2レジスタのCSS1ビットを“1”にしてSCS端子を出力制御するか、あるいは汎用ポートを出力制御することができます。スレーブデバイスの場合はSSMR2レジスタのCSS1、CSS0ビットを“01b”にしてSCS端子を入力として機能させます。

4線式バス通信モードでは、標準的にSSMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

15.6.1 4線式バス通信モードの初期化

図15.17に4線式バス通信モードの初期化を示します。データの送信/受信前に、SSERレジスタのTEビットを“0”（送信禁止）、REビットを“0”（受信禁止）して初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TEビットを“0”、REビットを“0”にしてから変更してください。

REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSRDRレジスタの内容は保持されます。

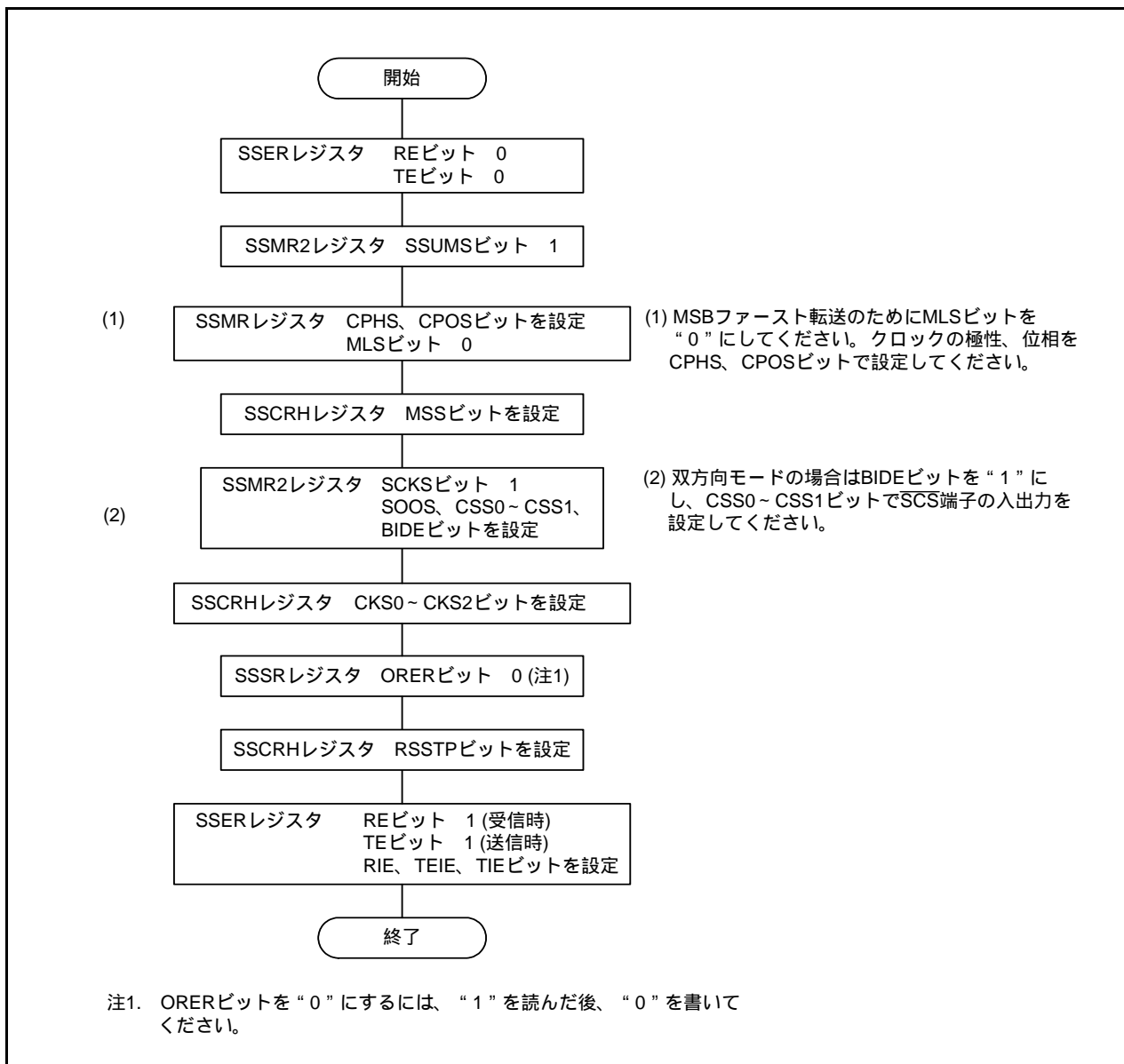


図 15.17 4線式バス通信モードの初期化

15.6.2 データ送信

図 15.18 にデータ送信時の動作例(4線式バス通信モード)を示します。データ送信時は以下のように動作します。

SSUはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを出力します。

TEビットを“1”(送信許可)にした後、SSTD \overline{R} レジスタに送信データを書くと、自動的にTDREビットが“0”(SSTD \overline{R} レジスタからSSTRSRレジスタにデータ転送されていない)になり、SSTD \overline{R} レジスタからSSTRSRレジスタにデータが転送されます。その後、TDREビットが“1”(SSTD \overline{R} レジスタからSSTRSRレジスタにデータ転送された)になり、送信を開始します。このとき、SSERレジスタのTIEビットが“1”の場合、TXI割り込み要求を発生します。

TDREビットが“0”の状態では1フレームの転送が終わると、SSTD \overline{R} レジスタからSSTRSRレジスタにデータが転送され、次フレームの送信を開始します。TDREが“1”の状態では8ビット目が送出されると、SSSRレジスタのTENDビットが“1”(送信データの最後尾ビットの送信時、TDREビットが“1”)になり、その状態を保持します。このときSSERレジスタのTEIEビットが“1”(送信終了割り込み要求許可)の場合、TEI割り込み要求を発生します。送信終了後、SSCK端子は“H”に固定され、SCS端子は“H”になります。SCS端子が“L”のまま連続的に送信する場合、8ビット目が送出される前に次の送信データをSSTD \overline{R} レジスタに書いてください。

なお、SSSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

スレーブデバイスに設定したときは、TENDビットが“1”(データ送信完了)であることを確認した後、次の送信データをSSTD \overline{R} レジスタに書いてください。マスタデバイスに設定したときは、連続送信が可能です。

クロック同期式通信モードとの違いは、マスタデバイス時にSCS端子がハイインピーダンス状態では、SSO端子がハイインピーダンス状態となり、スレーブデバイス時にSCS端子が“H”入力状態では、SSI端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図 15.13 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

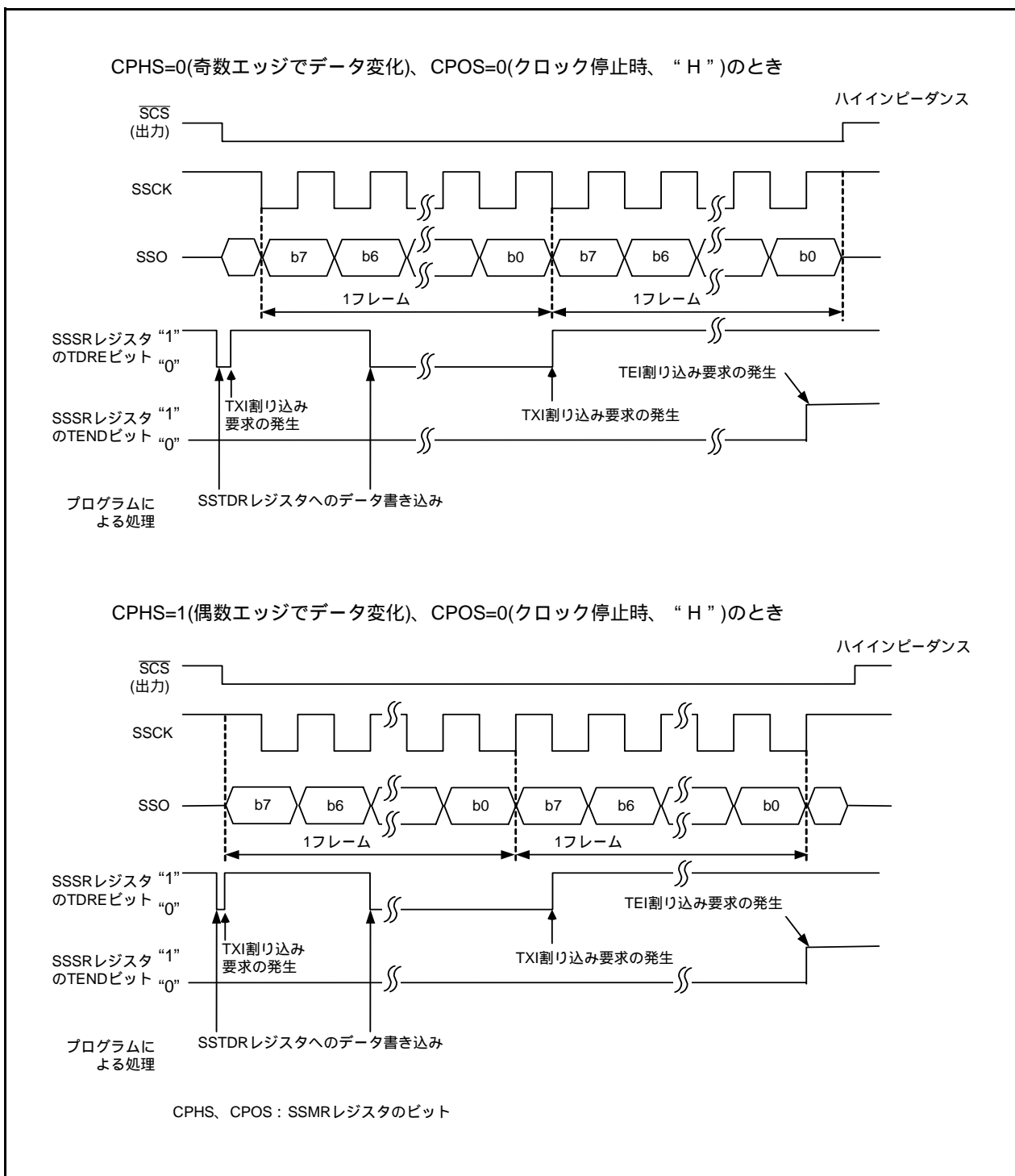


図 15.18 データ送信時の動作例(4線式バス通信モード)

15.6.3 データ受信

図 15.19 にデータ受信時の動作例(4線式バス通信モード)を示します。データ受信時は以下のように動作します。

SSUはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS端子が“L”入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初にSSRDRレジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SSSRレジスタのRDRFビットが“1”(SSRDRレジスタにデータあり)になり、SSRDRレジスタに受信データが格納されます。このとき、SSERレジスタのRIEビットが“1”(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SSRDRレジスタを読むと、自動的にRDRFビットは“0”(SSRDRレジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、SSCRHレジスタのRSSTPビットを“1”(1バイトのデータ受信後、受信動作が終了)にした後、受信したデータを読んでください。これにより、8ビット分クロックを出力し停止します。その後、SSERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(1バイトのデータ受信後も受信動作を継続)にし、最後に受信したデータを読んでください。REビットが“1”(受信許可)状態でSSRDRレジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが“1”の状態では8クロック目が立ち上がると、SSSRレジスタのORERビットが“1”(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORERビットが“1”の状態では受信できません、受信再開の前には、ORERビットが“0”であることを確認してください。

RDRFビット、ORERビットが“1”になるタイミングは、SSMRレジスタのCPHSビットの設定により異なります。このタイミングを図 15.19 に示します。CPHSビットを“1”(奇数エッジでデータ取り込み)にした場合、フレームの途中でビットが“1”になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 15.15 データ受信のフローチャート例(MSS=1)(クロック同期式通信モード)」参照)。

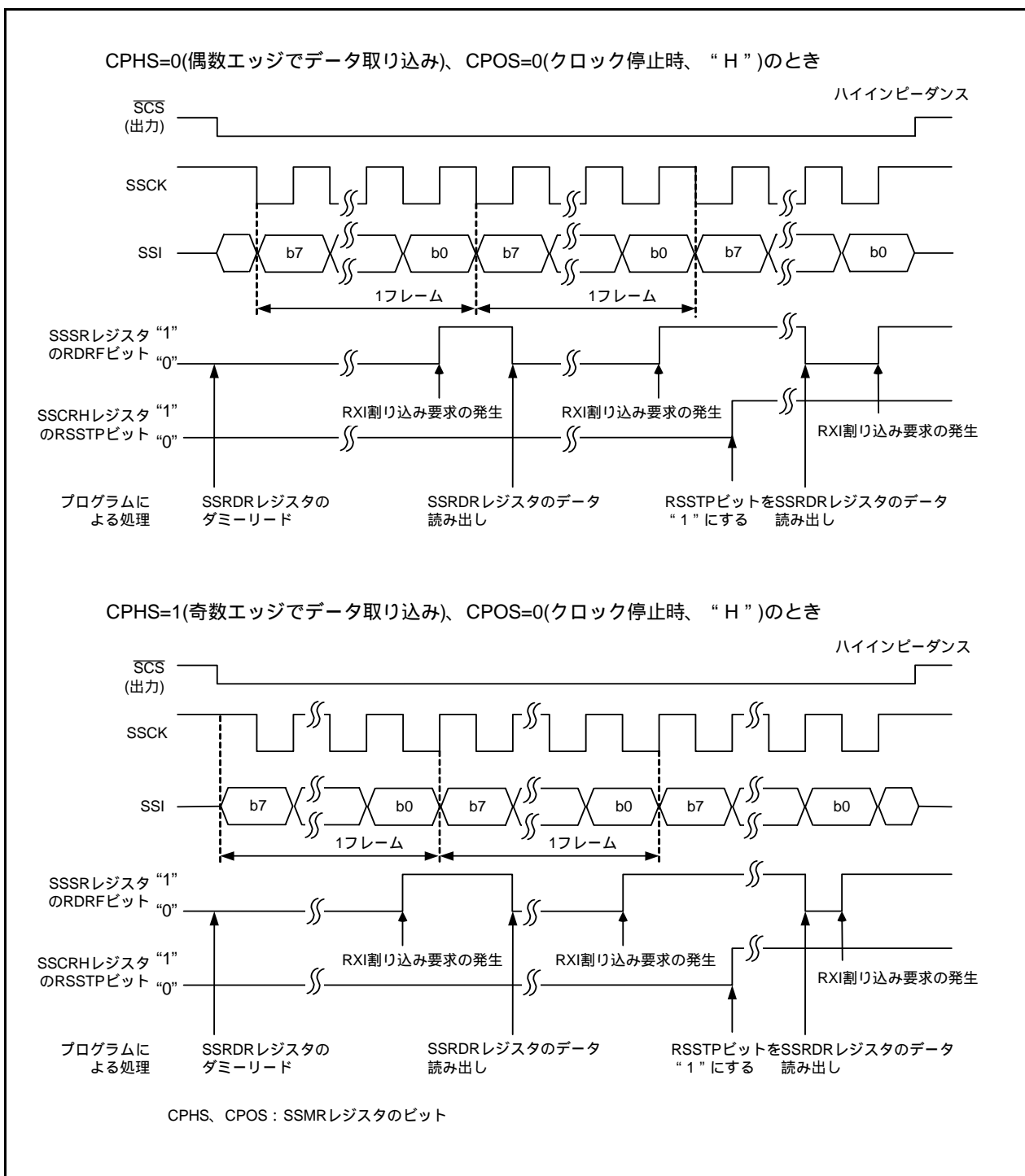


図 15.19 データ受信時の動作例(4線式バス通信モード)

15.6.4 $\overline{\text{SCS}}$ 端子制御とアービトレーション

SSMR2レジスタのSSUMSビットを“1”(4線式バス通信モード)、CSS1ビットを“1”(SCS出力端子として機能)にした場合には、SSCRHレジスタのMSSビットを“1”(マスタデバイスとして動作)にしてからシリアル転送を開始する前に、 $\overline{\text{SCS}}$ 端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号が“L”になったことを検出すると、SSSRレジスタのCEビットが“1”(コンフリクトエラー発生)になり、自動的にMSSビットが“0”(スレーブデバイスとして動作)になります。

図 15.20 にアービトレーションチェックタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CEビットを“0”(コンフリクトエラーなし)にしてください。

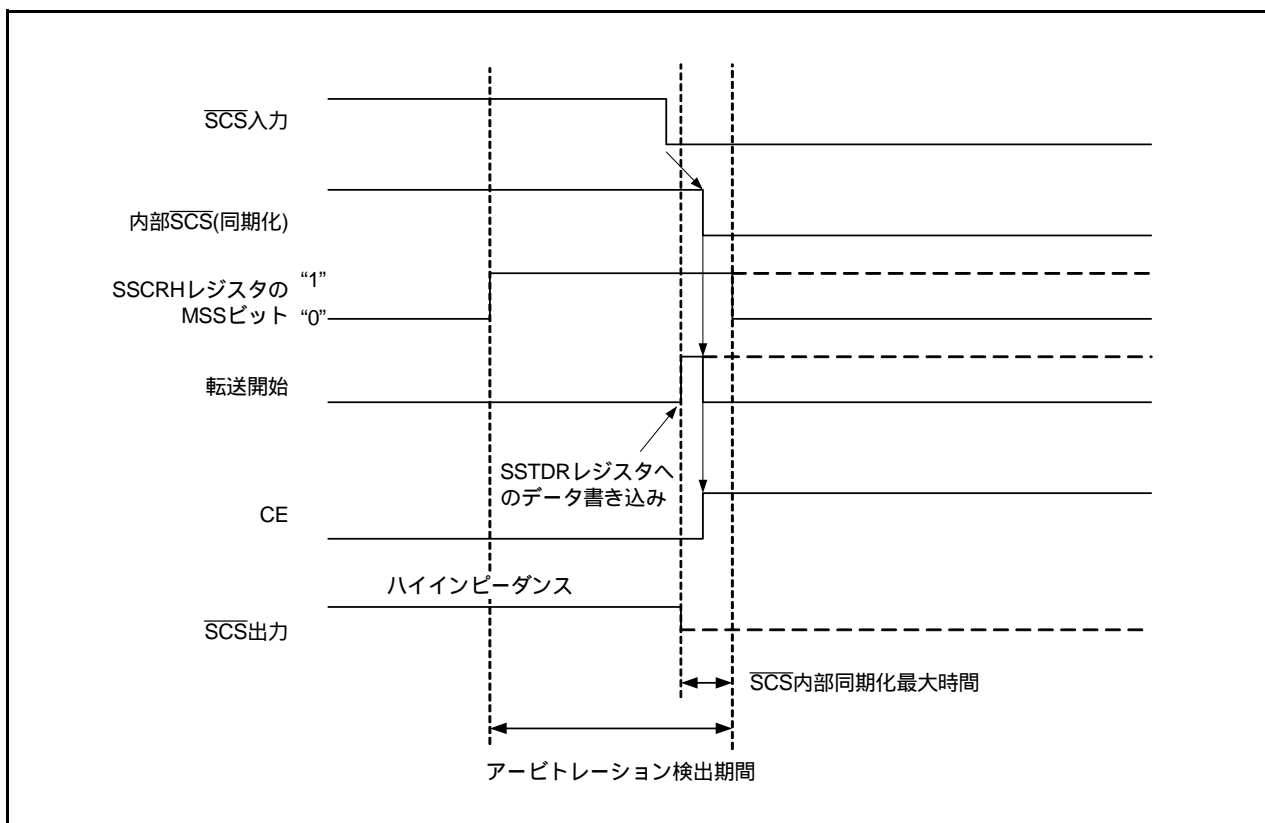


図 15.20 アービトレーションチェックタイミング

16. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P1_0 ~ P1_3と端子を共用しています。これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。また、A/Dコンバータを使用しない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にするとVREF端子からラダー抵抗に電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ADレジスタに格納されます

表 16.1にA/Dコンバータの性能を、図 16.1にA/Dコンバータのブロック図を、図 16.2 ~ 図 16.3にA/Dコンバータ関連のレジスタを示します。

表 16.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V ~ Vref
動作クロック AD(注2)	4.2V AVCC 5.5のとき f1、f2、f4 2.7V AVCC < 4.2のとき f2、f4
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5Vのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 3LSB AVCC = Vref = 3.3Vのとき ・分解能8ビットの場合 ± 2LSB ・分解能10ビットの場合 ± 5LSB
動作モード	単発モード、繰り返しモード(注3)
アナログ入力端子	4本(AN8 ~ AN11)
A/D変換開始条件	・ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする ・キャプチャ ADSTビットが“1”の状態タイマZ割り込み要求が発生する
1端子あたりの変換速度	・サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 AD サイクル ・サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 AD サイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

注3. 繰り返しモードは8ビットモード時のみ使用可能です。

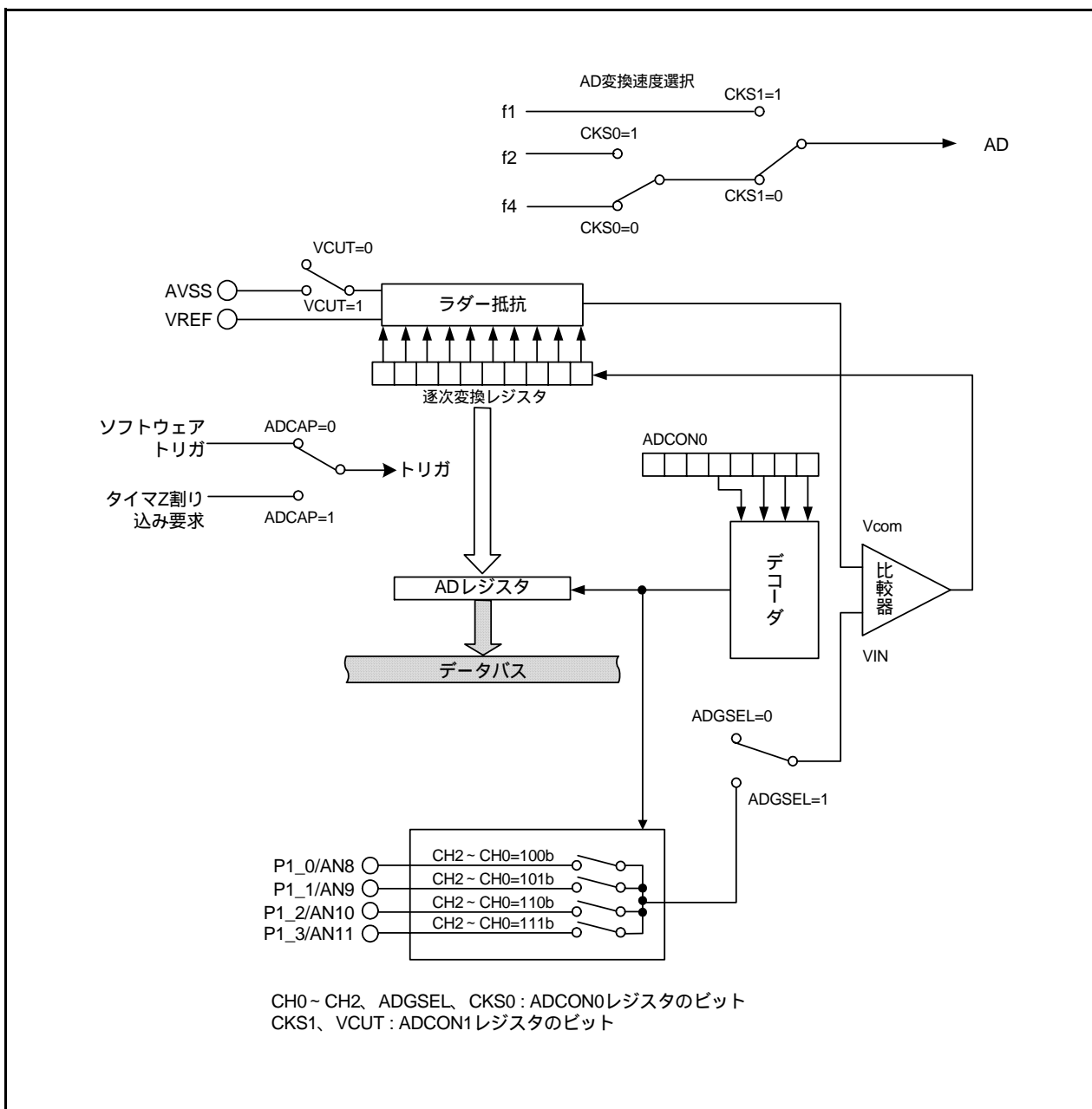


図 16.1 A/Dコンバータのブロック図

A/D制御レジスタ0(注1)

シンボル ADCON0	アドレス 00D6h番地	リセット後の値 00000XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0 1 0 0 : AN8	RW
CH1		1 0 1 : AN9	RW
CH2		1 1 0 : AN10 1 1 1 : AN11 上記以外: 設定しないでください	RW
MD	A/D動作モード選択 ビット(注3)	0: 単発モード 1: 繰り返しモード	RW
ADGSELO	A/D入力グループ選択 ビット	0: 無効 1: 有効(AN8 ~ AN11)	RW
ADCAP	A/D変換自動開始ビット	0: ソフトウェアトリガ(ADSTビット)で開始 1: キャプチャ(タイマZ割り込み要求)で開始	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注4) 1: 設定しないでください	RW

注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2. CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。ADGSELOビットを“1”にした後、CH0 ~ CH2ビットに書いてください。
 注3. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。
 注4. ADの周波数を10MHz以下にしてください。

A/D制御レジスタ1(注1)

シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください。	RW
BITS	8/10ビットモード選択 ビット(注2)	0: 8ビットモード 1: 10ビットモード	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参照してください。	RW
VCUT	Vref接続ビット (注3)	0: Vref未接続 1: Vref接続	RW
- (b7-b6)	予約ビット	“0” にしてください。	RW

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。
 注2. 繰り返しモード時は、BITSビットを“0”(8ビットモード)にしてください。
 注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図 16.2 ADCON0 ~ ADCON1 レジスタ

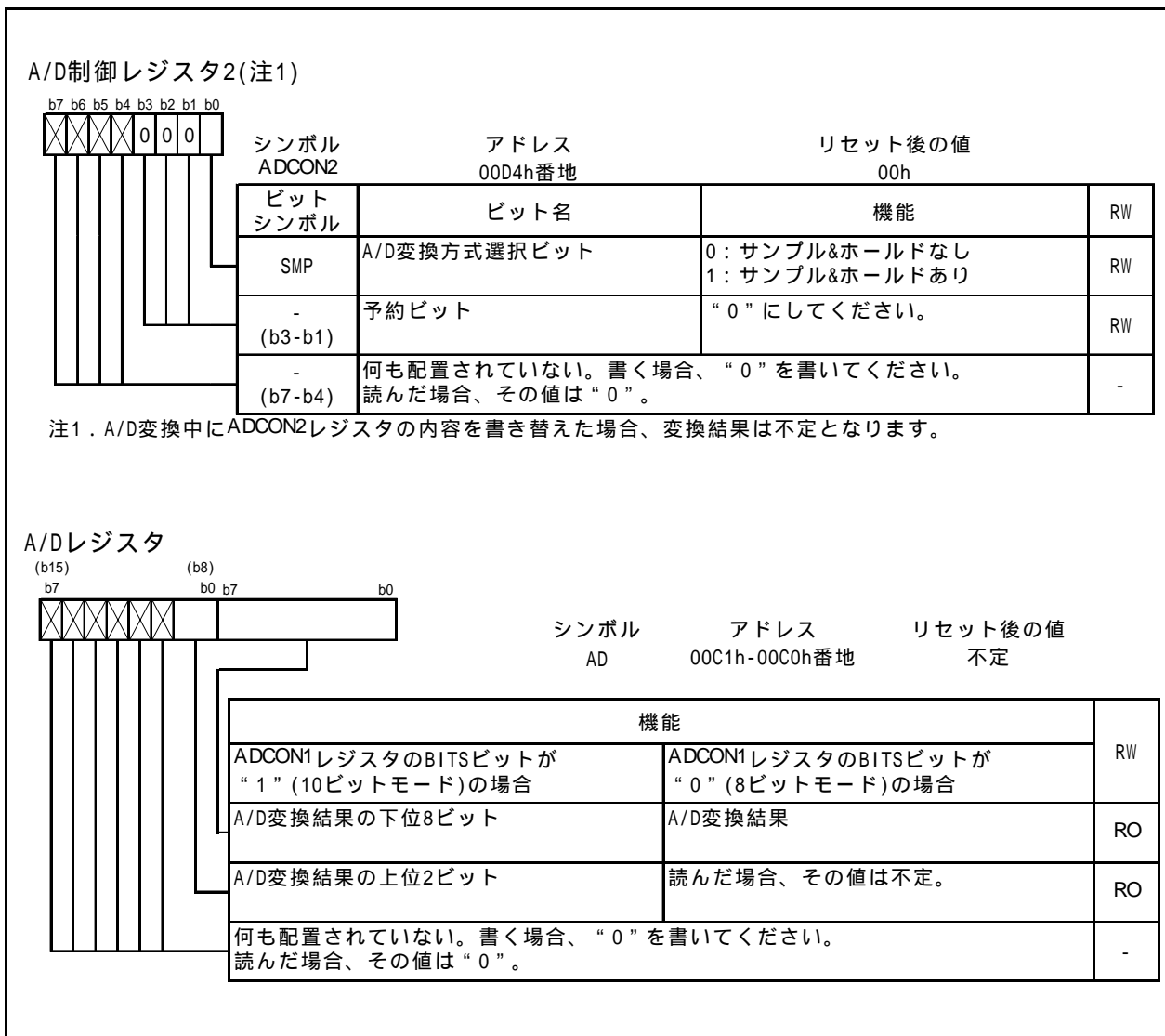


図 16.3 ADCON2 ~ ADレジスタ

16.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表 16.2に単発モードの仕様を、図 16.4に単発モード時のADCON0 ~ ADCON1レジスタを示します。

表 16.2 単発モードの仕様

項目	仕様
機能	CH2 ~ CH0ビットで選択した端子の入力電圧を1回A/D変換する
開始条件	<ul style="list-style-type: none"> ・ ADCAPビットが“0”(ソフトウェアトリガ)の場合 ADSTビットを“1”(A/D変換開始)にする ・ ADCAPビットが“1”(キャプチャ)の場合 ADSTビットが“1”の状態タイマZ割り込み要求が発生する
停止条件	<ul style="list-style-type: none"> ・ A/D変換終了(ADSTビットが“0”になる) ・ ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN8 ~ AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

A/D制御レジスタ0(注1)

シンボル ADCON0		アドレス 00D6h番地	リセット後の値 00000XXXb												
b7	b6	b5	b4	b3	b2	b1	b0								
			1	0	1			ビット シンボル	ビット名	機能	RW				
								CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0 1 0 0 : AN8 1 0 1 : AN9 1 1 0 : AN10 1 1 1 : AN11 上記以外: 設定しないでください	RW				
								CH1			RW				
								CH2			RW				
								MD	A/D動作モード選択 ビット(注3)	0: 単発モード	RW				
								ADGSELO	A/D入力グループ選択 ビット	0: 無効 1: 有効(AN8 ~ AN11)	RW				
								ADCAP	A/D変換自動開始ビット	0: ソフトウェアトリガ(ADSTビット)で開始 1: キャプチャ(タイマZ割り込み要求)で開始	RW				
								ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW				
								CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注4) 1: 設定しないでください	RW				

注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。ADGSELOビットを“1”にした後、CH0 ~ CH2ビットに書いてください。

注3. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。

注4. ADの周波数を10MHz以下にしてください。

A/D制御レジスタ1(注1)

シンボル ADCON1		アドレス 00D7h番地	リセット後の値 00h												
b7	b6	b5	b4	b3	b2	b1	b0								
0	0	1			0	0	0	ビット シンボル	ビット名	機能	RW				
								- (b2-b0)	予約ビット	“0”にしてください。	RW				
								BITS	8/10ビットモード選択 ビット	0: 8ビットモード 1: 10ビットモード	RW				
								CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参照してください。	RW				
								VCUT	Vref接続ビット (注2)	1: Vref接続	RW				
								- (b7-b6)	予約ビット	“0”にしてください。	RW				

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図 16.4 単発モード時のADCON0 ~ ADCON1レジスタ

16.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表 16.3に繰り返しモードの仕様を、図 16.5に繰り返しモード時のADCON0 ~ ADCON1レジスタを示します。

表 16.3 繰り返しモードの仕様

項目	仕様
機能	CH2 ~ CH0 ビットと ADGSEL0 ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	<ul style="list-style-type: none"> ・ ADCAP ビットが “ 0 ” (ソフトウェアトリガ) の場合 ADST ビットを “ 1 ” (A/D変換開始) にする ・ ADCAP ビットが “ 1 ” (キャプチャ) の場合 ADST ビットが “ 1 ” の状態でタイマZ割り込み要求が発生する
停止条件	ADST ビットを “ 0 ” にする
割り込み要求発生タイミング	発生しない
入力端子	AN8 ~ AN11 から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

A/D制御レジスタ0(注1)			
シンボル ADCON0	アドレス 00D6h番地	リセット後の値 00000XXXb	
ビット シンボル	ビット名	機能	RW
CH0	アナログ入力端子選択 ビット(注2)	b2 b1 b0 1 0 0 : AN8	RW
CH1		1 0 1 : AN9	RW
CH2		1 1 0 : AN10 1 1 1 : AN11 上記以外: 設定しないでください	RW
MD	A/D動作モード選択 ビット(注3)	1: 繰り返しモード	RW
ADGSELO	A/D入力グループ選択 ビット	0: 無効 1: 有効(AN8 ~ AN11)	RW
ADCAP	A/D変換自動開始ビット	0: ソフトウェアトリガ(ADSTビット)で開始 1: キャプチャ(タイマZ割り込み要求)で開始	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	[ADCON1レジスタのCKS1=0の場合] 0: f4を選択 1: f2を選択 [ADCON1レジスタのCKS1=1の場合] 0: f1を選択(注4) 1: 設定しないでください	RW

注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. CH0 ~ CH2ビットはADGSELOビットが“1”のとき有効になります。ADGSELOビットを“1”にした後、CH0 ~ CH2ビットに書いてください。

注3. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。

注4. ADの周波数を10MHz以下にしてください。

A/D制御レジスタ1(注1)			
シンボル ADCON1	アドレス 00D7h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0”にしてください。	RW
BITS	8/10ビットモード選択 ビット(注2)	0: 8ビットモード	RW
CKS1	周波数選択ビット1	ADCON0レジスタのCKS0ビットの機能説明を参照してください。	RW
VCUT	Vref接続ビット (注3)	1: Vref接続	RW
- (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

注2. 繰り返しモード時は、BITSビットを“0”(8ビットモード)にしてください。

注3. VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図 16.5 繰り返しモード時のADCON0 ~ ADCON1レジスタ

16.3 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

A/D変換を行う際は、サンプリング時間内に、マイコン内部の比較器容量に充電をしてください。図16.6にA/D変換タイミング図を示します

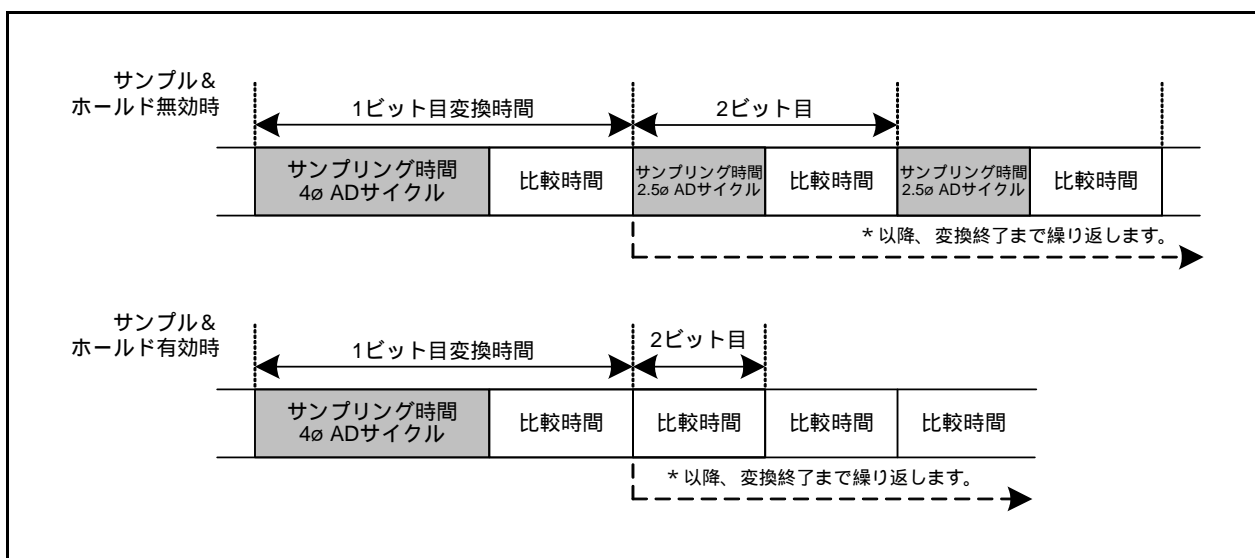


図16.6 A/D変換タイミング図

16.4 A/D変換サイクル数

図16.7にA/D変換サイクル数を示します。

		1ビット目変換時間		2ビット目以降の変換時間		終了処理	
A/D変換モード	変換時間	サンプリング時間	比較時間	サンプリング時間	比較時間	終了処理	
サンプル&ホールドなし	8ビット	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD	
サンプル&ホールドなし	10ビット	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD	
サンプル&ホールドあり	8ビット	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD	
サンプル&ホールドあり	10ビット	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD	

図16.7 A/D変換サイクル数

16.5 アナログ入力内部等価回路

図16.8にアナログ入力内部等価回路を示します。

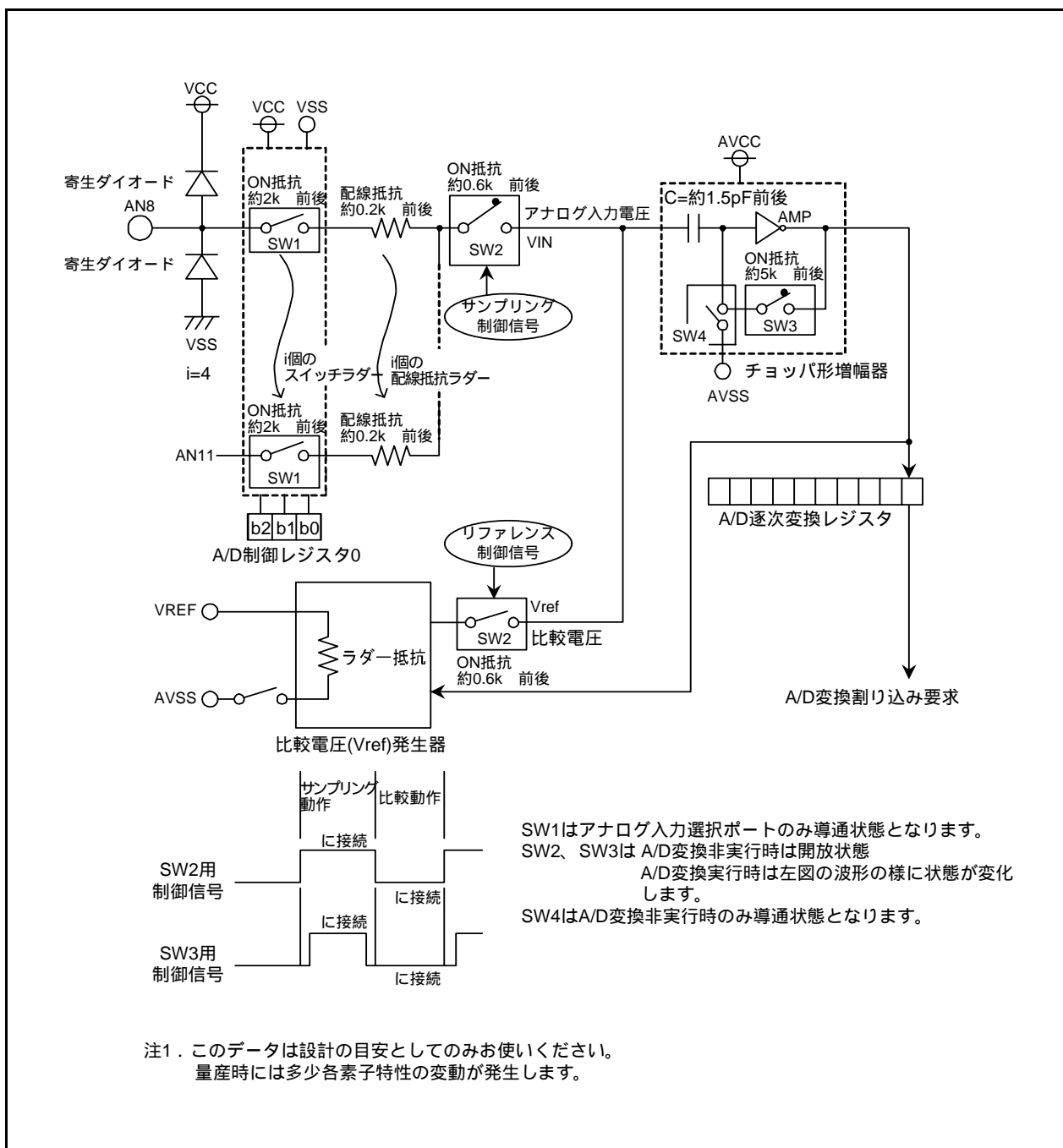


図16.8 アナログ入力内部等価回路

16.6 注入電流バイパス回路

図16.9に注入電流バイパス回路構成図を、図16.10に注入電流バイパス回路へVCC以上印加例を示します。

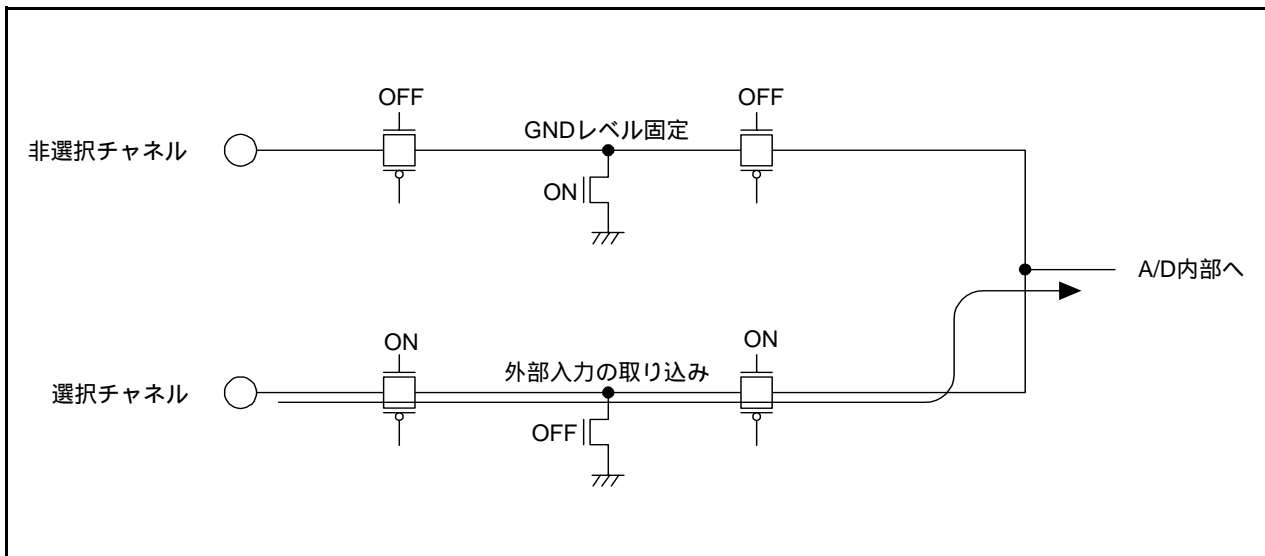


図16.9 注入電流バイパス回路構成図

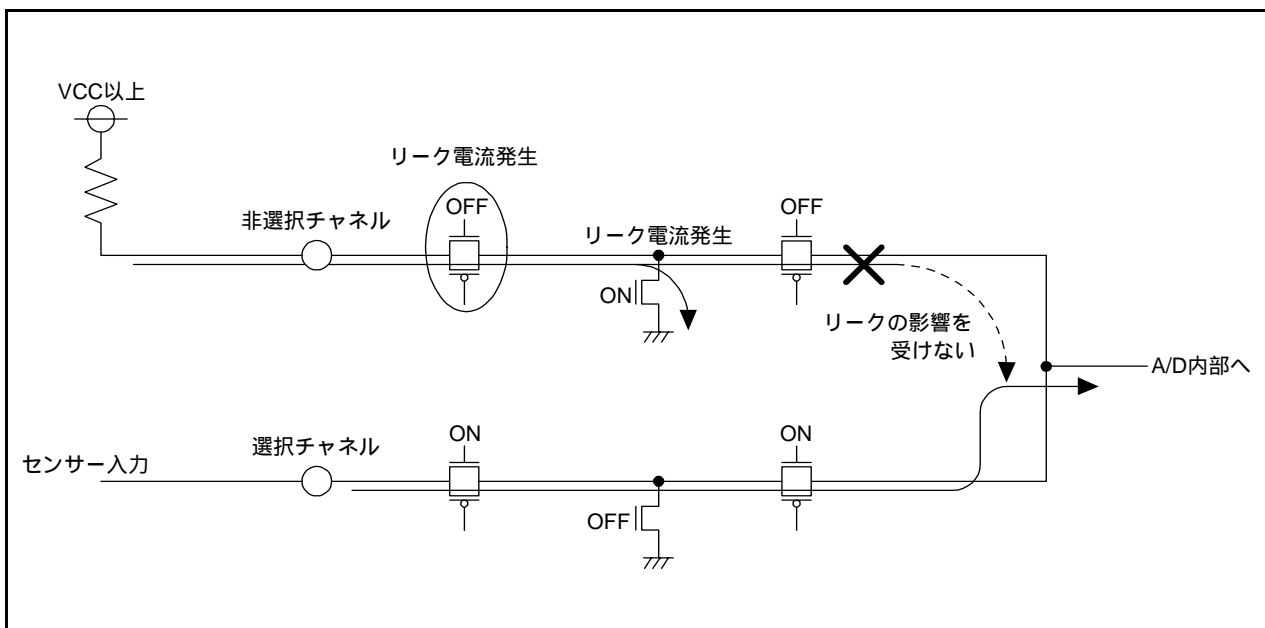


図16.10 注入電流バイパス回路へVCC以上印加例

17. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P1、P3_3～P3_5、P3_7、P4_5の13本あります。また、メインクロック発振回路を使用しない場合、P4_6、P4_7を入力専用ポートとして使用できません。表 17.1にプログラマブル入出力ポートの概要を示します。

表 17.1 プログラマブル入出力ポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力選択
P1	入出力	CMOS3 ステート	1ビット単位で設定	4ビット単位で設定 (注1)	P1_0～P1_3を1 ビット単位で設定 (注2)
P3_3、P4_5	入出力	CMOS3 ステート	1ビット単位で設定	1ビット単位で設定 (注1)	なし
P3_4、P3_5、P3_7	入出力	CMOS3 ステート	1ビット単位で設定	3ビット単位で設定 (注1)	なし
P4_6、P4_7(注3)	入力	(出力機能なし)	なし	なし	なし

注1. 入力モード時、PUR0レジスタおよびPUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. DRRレジスタを“1”(High)にすることで、LED駆動ポートとして使用できます

注3. メインクロック発振回路を使用しない場合、入力専用ポートとして使用できます。

17.1 プログラマブル入出力ポートの機能

ポートP1、P3_3～P3_5、P3_7、P4_5の入出力はPD_i(*i* = 1, 3, 4)レジスタのPD_i_{*j*}(*j* = 0～7)ビットで制御します。P_iレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。図 17.1～図 17.3にプログラマブル入出力ポートの構成を示します。

表 17.2にプログラマブル入出力ポートの機能を示します。また、図 17.5にPD1、PD3、PD4レジスタ、図 17.6にP1、P3、P4レジスタ、図 17.7にPUR0、PUR1レジスタ、図 17.8にDRRレジスタを示します。

表 17.2 プログラマブル入出力ポートの機能

Piレジスタをアクセス時の動作	PD _i レジスタのPD _i _{<i>j</i>} ビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

注1. PD3_0～PD3_2ビット、PD3_6ビット、PD4_0～PD4_4ビット、PD4_6ビット、PD4_7ビットには何も配置されていません。

17.2 周辺機能への影響

プログラマブル入出力ポートは、周辺機能の入出力として機能する場合があります(「表 1.6ピン番号別端子名一覧」参照。表 17.3に周辺機能の入出力として機能する場合のPD_i_{*j*}ビットの設定を示します。周辺機能の設定方法は、各機能説明を参照してください。

表 17.3 周辺機能の入出力として機能する場合のPD_i_{*j*}ビットの設定

周辺機能の入出力	端子を共用しているポートのPD _i _{<i>j</i>} ビットの設定
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

17.3 プログラマブル入出力ポート以外の端子

図 17.4に端子の構成を示します。

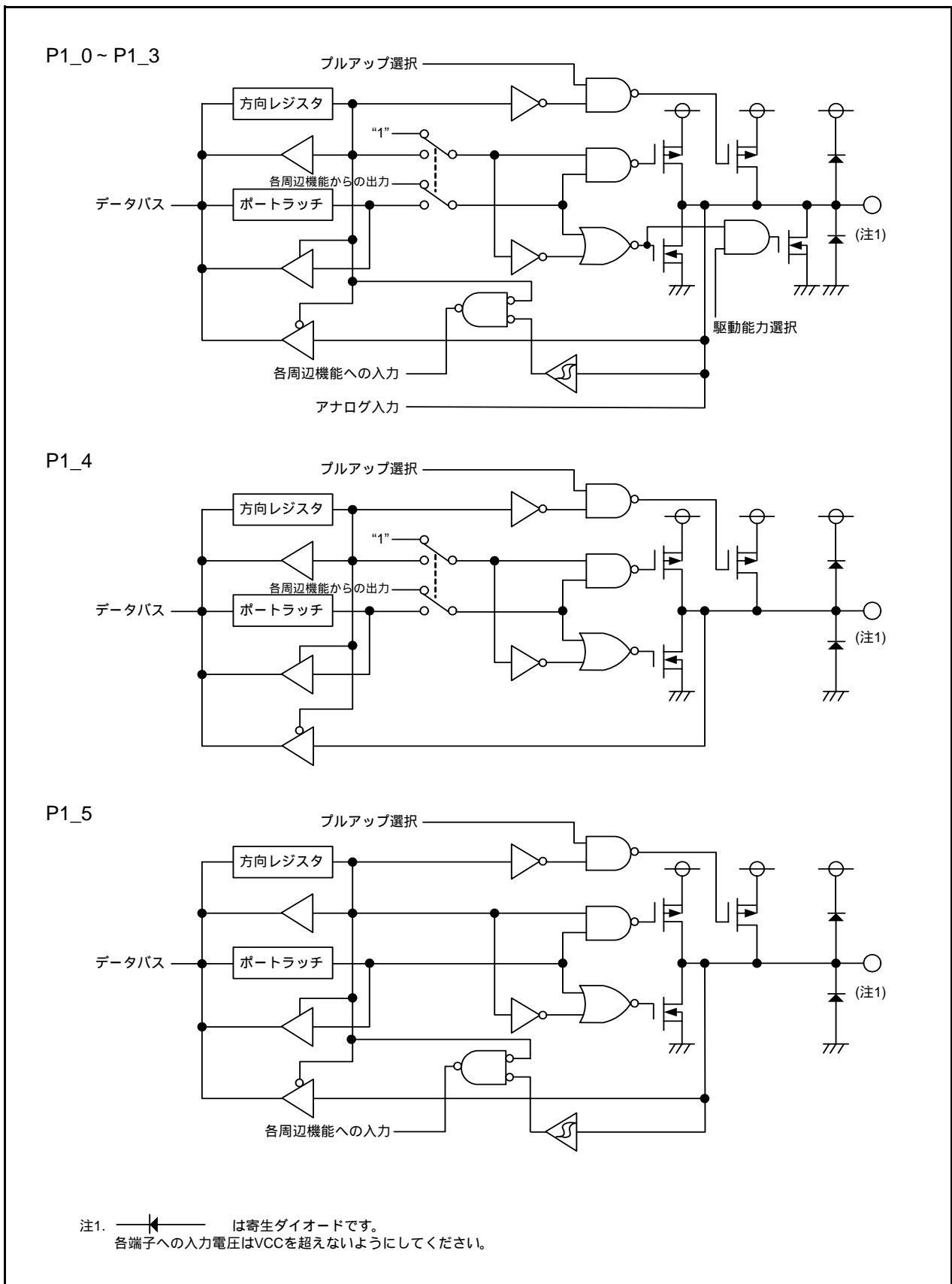


図 17.1 プログラマブル入出力ポートの構成(1)

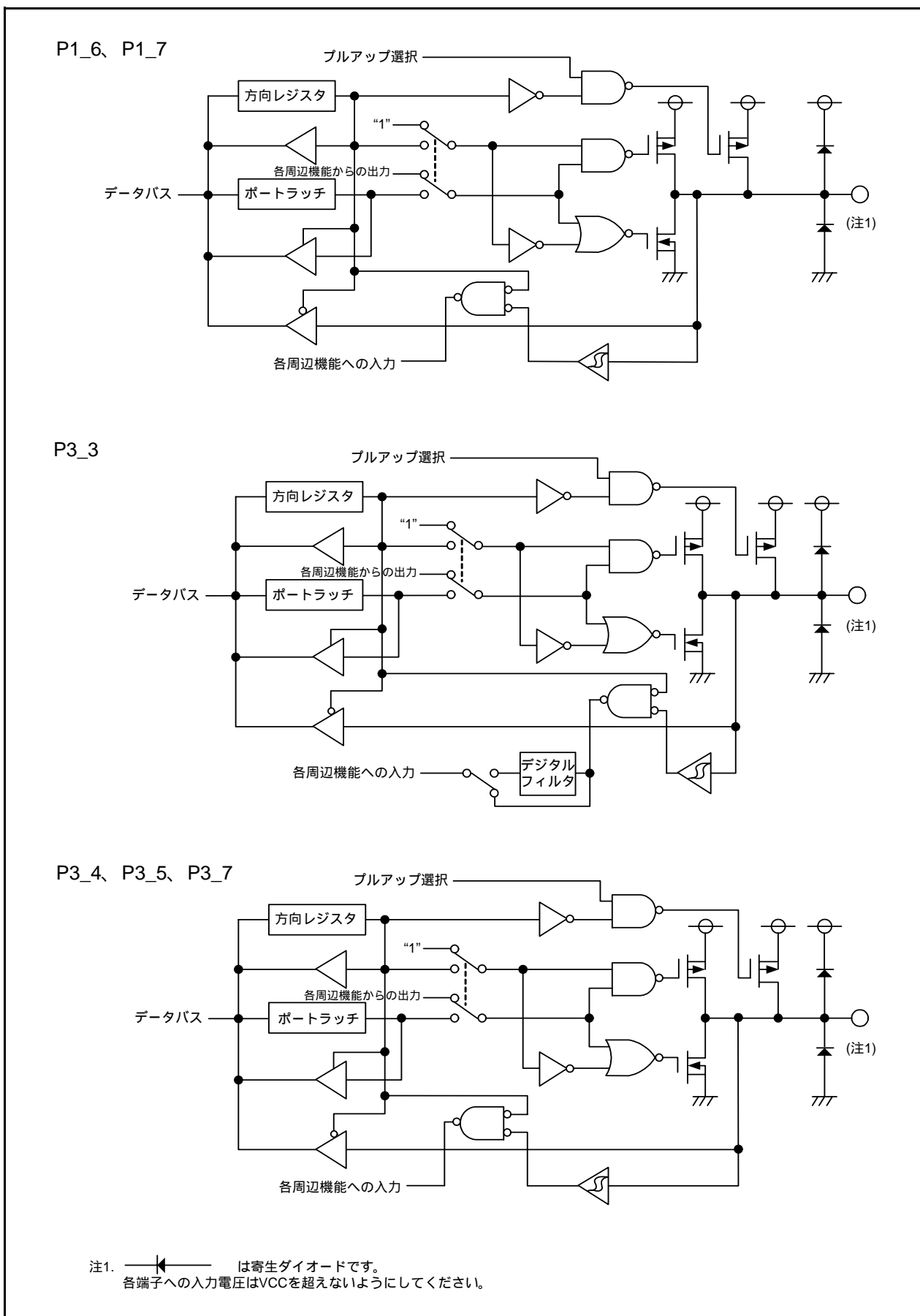


図 17.2 プログラマブル入出力ポートの構成(2)

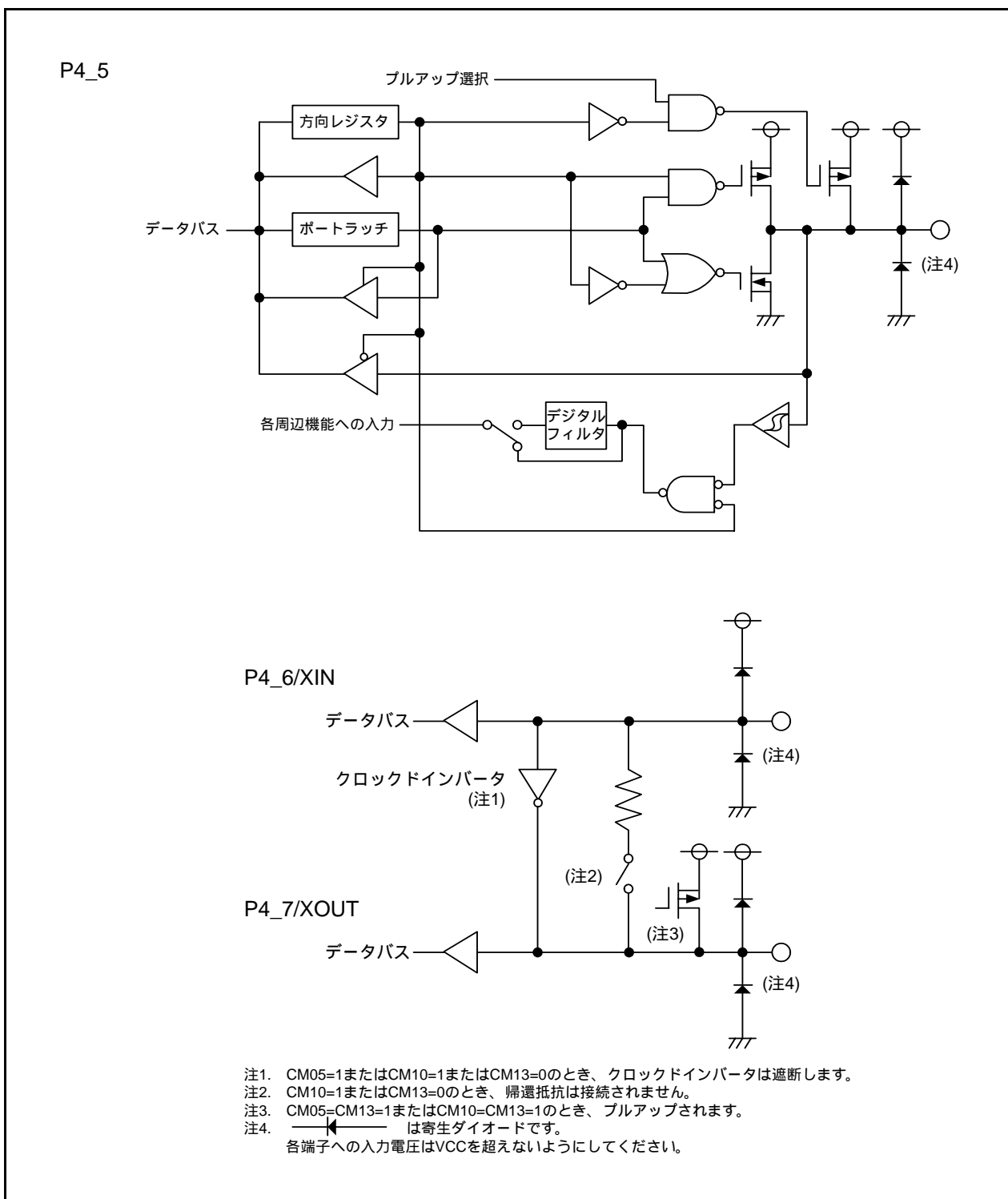


図 17.3 プログラマブル入出力ポートの構成 (3)

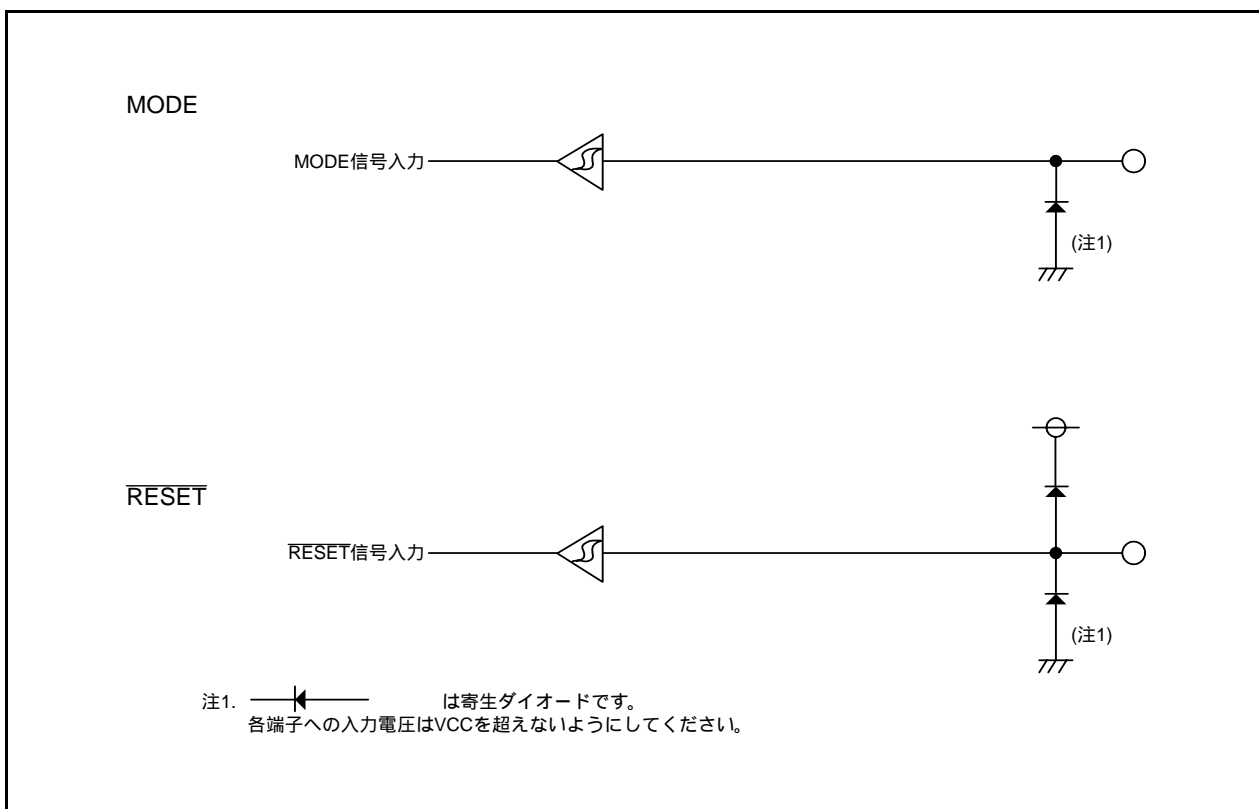


図 17.4 端子の構成

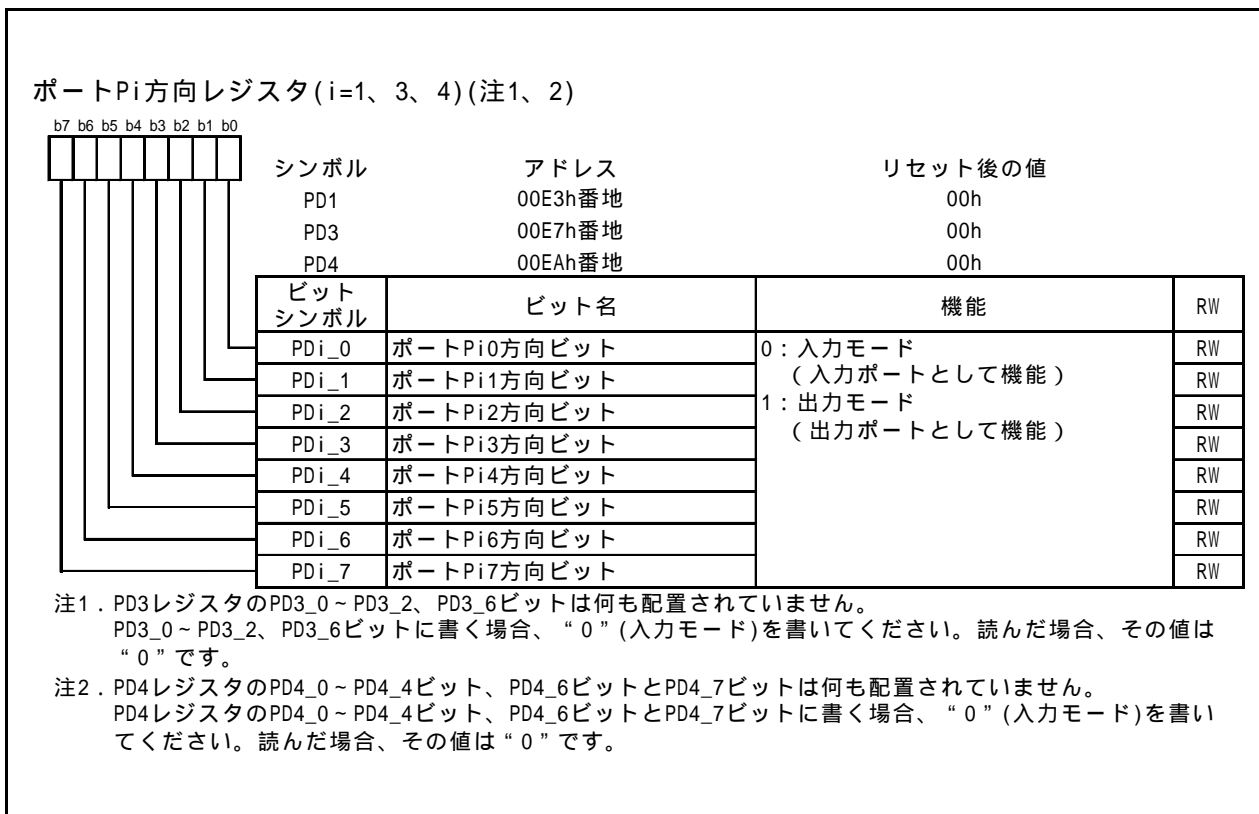


図 17.5 PD1、PD3、PD4レジスタ

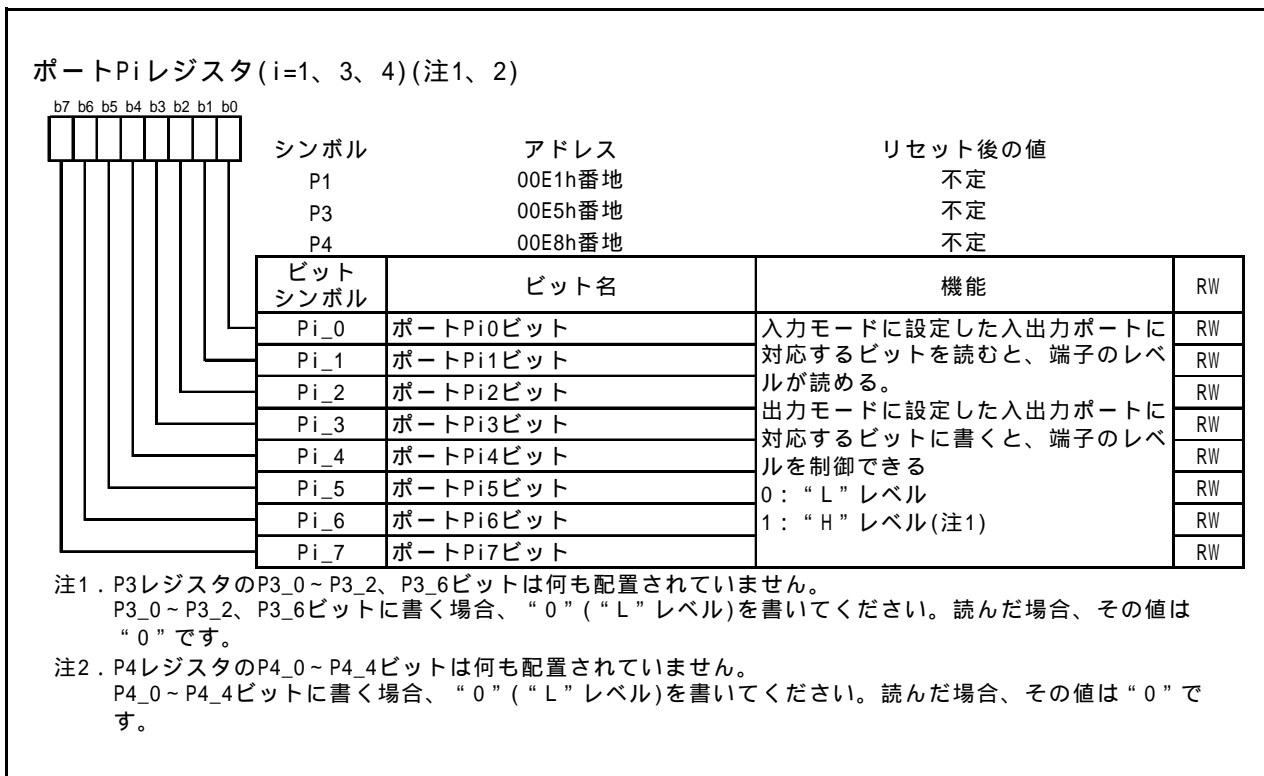


図 17.6 P1、P3、P4レジスタ

プルアップ制御レジスタ0

シンボル	アドレス	リセット後の値
PUR0	00FCh番地	00XX0000b

ビットシンボル	ビット名	機能	RW
(b1-b0)	予約ビット	“0” にしてください。	RW
PU02	P1_0~P1_3のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW
PU03	P1_4~P1_7のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW
(b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-	-
PU06	P3_3のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW
PU07	P3_4~P3_5、P3_7のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW

注1. このビットが“1”(プルアップあり)かつ方向ビットが“0”(入力モード)の端子がプルアップされます。

プルアップ制御レジスタ1

シンボル	アドレス	リセット後の値
PUR1	00FDh番地	XXXXXX0Xb

ビットシンボル	ビット名	機能	RW
(b0)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-	-
PU11	P4_5のプルアップ(注1)	0: プルアップなし 1: プルアップあり	RW
(b7-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-	-

注1. PU11ビットが“1”(プルアップあり)かつPD4_5ビットが“0”(入力モード)のとき、P4_5端子がプルアップされます。

図 17.7 PUR0、PUR1レジスタ

ポートP1駆動能力制御レジスタ

シンボル	アドレス	リセット後の値
DRR	00FEh番地	00h

ビットシンボル	ビット名	機能	RW
DRR0	P1_0の駆動能力	P1のNチャンネル出力トランジスタの駆動能力設定を行う 0: Low 1: High	RW
DRR1	P1_1の駆動能力		RW
DRR2	P1_2の駆動能力		RW
DRR3	P1_3の駆動能力		RW
(b7-b4)	予約ビット	“0” にしてください。	RW

図 17.8 DRRレジスタ

17.4 ポートの設定

表17.4～表17.17にポートの設定を示します。

表17.4 ポートP1_0/KI0/AN8/CMP0_0

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	機能
ビット	PD1_0	PU02	DRR0	KI0EN	CH2、CH1、CH0、ADGSEL0	TCOUT0	
設定値	0	0	X	X	XXXXb	0	入力ポート(プルアップなし)
	0	1	X	X	XXXXb	0	入力ポート(プルアップあり)
	0	0	X	1	XXXXb	0	KI0入力
	0	0	X	X	1001b	0	A/Dコンバータ入力(AN8)
	1	X	0	X	XXXXb	0	出力ポート
	1	X	1	X	XXXXb	0	出力ポート(High駆動)
	X	X	X	X	XXXXb	1	CMP0_0出力

X:“0”または“1”

表17.5 ポートP1_1/KI1/AN9/CMP0_1

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	機能
ビット	PD1_1	PU02	DRR1	KI1EN	CH2、CH1、CH0、ADGSEL0	TCOUT1	
設定値	0	0	X	X	XXXXb	0	入力ポート(プルアップなし)
	0	1	X	X	XXXXb	0	入力ポート(プルアップあり)
	0	0	X	1	XXXXb	0	KI1入力
	0	0	X	X	1011b	0	A/Dコンバータ入力(AN9)
	1	X	0	X	XXXXb	0	出力ポート
	1	X	1	X	XXXXb	0	出力ポート(High駆動)
	X	X	X	X	XXXXb	1	CMP0_1出力

X:“0”または“1”

表17.6 ポートP1_2/KI2/AN10/CMP0_2

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	機能
ビット	PD1_2	PU02	DRR2	KI2EN	CH2、CH1、CH0、ADGSEL0	TCOUT2	
設定値	0	0	X	X	XXXXb	0	入力ポート(プルアップなし)
	0	1	X	X	XXXXb	0	入力ポート(プルアップあり)
	0	0	X	1	XXXXb	0	KI2入力
	0	0	X	X	1101b	0	A/Dコンバータ入力(AN10)
	1	X	0	X	XXXXb	0	出力ポート
	1	X	1	X	XXXXb	0	出力ポート(High駆動)
	X	X	X	X	XXXXb	1	CMP0_2出力

X:“0”または“1”

表17.7 ポートP1_3/KI3/AN11/TZOUT

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TZMR	TZOC	機 能
ビット	PD1_3	PU02	DRR3	KI3EN	CH2, CH1, CH0, ADGSEL0	TZMOD1, TZMOD0	TZOCNT	
設定値	0	0	X	X	XXXXb	00b	X	入力ポート(プルアップなし)
	0	1	X	X	XXXXb	00b	X	入力ポート(プルアップあり)
	0	0	X	1	XXXXb	00b	X	KI3入力
	0	0	X	X	1111b	00b	X	A/Dコンバータ入力(AN11)
	1	X	0	X	XXXXb	00b	X	出力ポート
	1	X	1	X	XXXXb	00b	X	出力ポート(High駆動)
	X	X	0	X	XXXXb	01b	1	出力ポート
	X	X	1	X	XXXXb	01b	1	出力ポート(High駆動)
	X	X	X	X	XXXXb	01b	0	TZOUT出力
X	X	X	X	XXXXb	1Xb	X	TZOUT出力	

X: "0" または "1"

表17.8 ポートP1_4/TXD0

レジスタ	PD1	PUR0	U0MR	U0C0	機 能	
ビット	PD1_4	PU03	SMD2, SMD1, SMD0	NCH		
設定値	0	0	000b	X	入力ポート(プルアップなし)	
	0	1	000b	X	入力ポート(プルアップあり)	
	1	X	000b	X	出力ポート	
	X	X	X	001b	0	TXD0出力、CMOS出力
				100b		
				101b		
				110b		
	X	X	X	001b	1	TXD0出力、Nチャンネルオープン出力
				100b		
				101b		
				110b		

X: "0" または "1"

表17.9 ポートP1_5/RXD0/CNTR01/INT11

レジスタ	PD1	PUR0	UCON	TXMR	機 能
ビット	PD1_5	PU03	CNTRSEL	TXMOD1, TXMOD0	
設定値	0	0	X	XXb	入力ポート(プルアップなし)
	0	1	X	XXb	入力ポート(プルアップあり)
	0	X	X	01b以外	RXD0入力
	0	X	1	01b以外	CNTR01/INT11入力
	1	X	X	01b以外	出力ポート
	1	X	1	01b以外	CNTR01出力

X: "0" または "1"

表17.10 ポートP1_6/CLK0/SSI

レジスタ	PD1	PUR0	U0MR	機能
ビット	PD1_6	PU03	SMD2、SMD1、SMD0、CKDIR	
設定値	0	0	0X10b以外	入力ポート(プルアップなし)
	0	1	0X10b以外	入力ポート(プルアップあり)
	0	0	XXX1b	CLK0(外部クロック)入力
	1	X	0X10b以外	出力ポート
	X	X	0X10b	CLK0(内部クロック)出力

X: "0" または "1"

表17.11 ポートP1_7/CNTR00/INT10

レジスタ	PD1	PUR0	TXMR	UCON	機能
ビット	PD1_7	PU03	TXMOD1、TXMOD0	CNTRSEL	
設定値	0	0	01b以外	X	入力ポート(プルアップなし)
	0	1	01b以外	X	入力ポート(プルアップあり)
	0	0	01b以外	0	CNTR00/INT10入力
	1	X	01b以外	X	出力ポート
	X	X	01b以外	0	CNTR00出力

X: "0" または "1"

表17.12 ポートP3_3/TCIN/INT3/SSI/CMP1_0

レジスタ	PD3	PUR0	チップセレクト付クロック同期形シリアルI/O(「表 15.3 通信モードと入出力端子の関係」参照)		TCOUT	機能
ビット	PD3_3	PU06	SSI出力制御	SSI入力制御	TCOUT3	
設定値	0	0	0	0	0	入力ポート(プルアップなし)
	0	1	0	0	0	入力ポート(プルアップあり)
	X	0	0	1	X	SSI入力
	1	X	0	0	0	出力ポート
	X	X	0	0	1	CMP1_0出力
	X	X	1	0	X	SSI出力
	0	X	1	1	1	0

X: "0" または "1"

表17.13 ポートP3_4/SCS/CMP1_1

レジスタ	PD3	PUR0	チップセレクト付クロック同期形シリアルI/O(「表 15.3 通信モードと入出力端子の関係」参照)		TCOUT	機能
ビット	PD3_4	PU07	SCS出力制御	SCS入力制御	TCOUT4	
設定値	0	0	0	0	0	入力ポート(プルアップなし)
	0	1	0	0	0	入力ポート(プルアップあり)
	0	0	0	1	0	SCS入力
	1	X	0	0	0	出力ポート
	X	X	0	0	1	CMP1_1出力
	X	X	1	0	X	SCS出力

X: "0" または "1"

表17.14 ポートP3_5/SSCK/CMP1_2

レジスタ	PD3	PUR0	チップセレクト付クロック同期形 シリアルI/O(「表 15.3 通信モード と入出力端子の関係」参照)		TCOUT	機能
ビット	PD3_5	PU07	SSCK出力制御	SSCK入力制御	TCOUT5	
設定値	0	0	0	0	0	入力ポート(プルアップなし)
	0	1	0	0	0	入力ポート(プルアップあり)
	0	0	0	1	0	SSCK入力
	1	X	0	0	0	出力ポート
	X	X	0	0	1	CMP1_2出力
	X	X	1	0	X	SSCK出力

X:“0”または“1”

表17.15 ポートP3_7/CNTR0/SSO

レジスタ	PD3	PUR0	チップセレクト付クロック同期形 シリアルI/O(「表 15.3 通信モード と入出力端子の関係」参照)		TXMR	UCON	機能
ビット	PD3_7	PU07	SSO出力 制御	SSO入力 制御	TXOCNT	U1SEL1、 U1SEL0	
設定値	0	0	0	0	0	0Xb	入力ポート(プルアップなし)
	0	1	0	0	0	0Xb	入力ポート(プルアップあり)
	1	X	0	0	0	0Xb	出力ポート
	X	X	0	0	1	XXb	CNTR0出力端子
	X	X	0	1	X	XXb	SSO入力端子
	X	X	1	0	X	XXb	SSO出力端子

X:“0”または“1”

表17.16 ポートXIN/P4_6、XOUT/P4_7

レジスタ	CM1	CM1	CM0	回路仕様		機能
ビット	CM13	CM10	CM05	発振バッファ	帰還抵抗	
設定値	1	1	1	OFF	OFF	XIN-XOUT発振停止
	1	0	1	OFF	ON	外部XIN入力、XOUTは“H”出力
	1	0	1	OFF	ON	XIN-XOUT発振停止
	1	0	0	ON	ON	XIN-XOUT発振
	0	X	X	OFF	OFF	入力ポート

X:“0”または“1”

表17.17 ポートP4_5/INT0

レジスタ	PD4	PUR1	INTEN	機能
ビット	PD4_5	PU11	INT0EN	
設定値	0	0	0	入力ポート(プルアップなし)
	0	1	0	入力ポート(プルアップあり)
	0	0	1	INT0入力
	1	X	X	出力ポート

X:“0”または“1”

17.5 未使用端子の処理

表 17.18に未使用端子の処理例、図 17.9に未使用端子の処理例を示します。

表 17.18 未使用端子の処理例

端子名	処理内容
ポートP1、P3_3～P3_5、P3_7、P4_5	・入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)または端子ごとに抵抗を介してVCCに接続(プルアップ) ・出力モードに設定し、端子を開放 (注1) (注2)
ポートP4_6、P4_7	抵抗を介してVCCに接続(プルアップ) (注2)
AVCC/VREF	VCCに接続
RESET(注3)	抵抗を介してVCCに接続(プルアップ) (注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

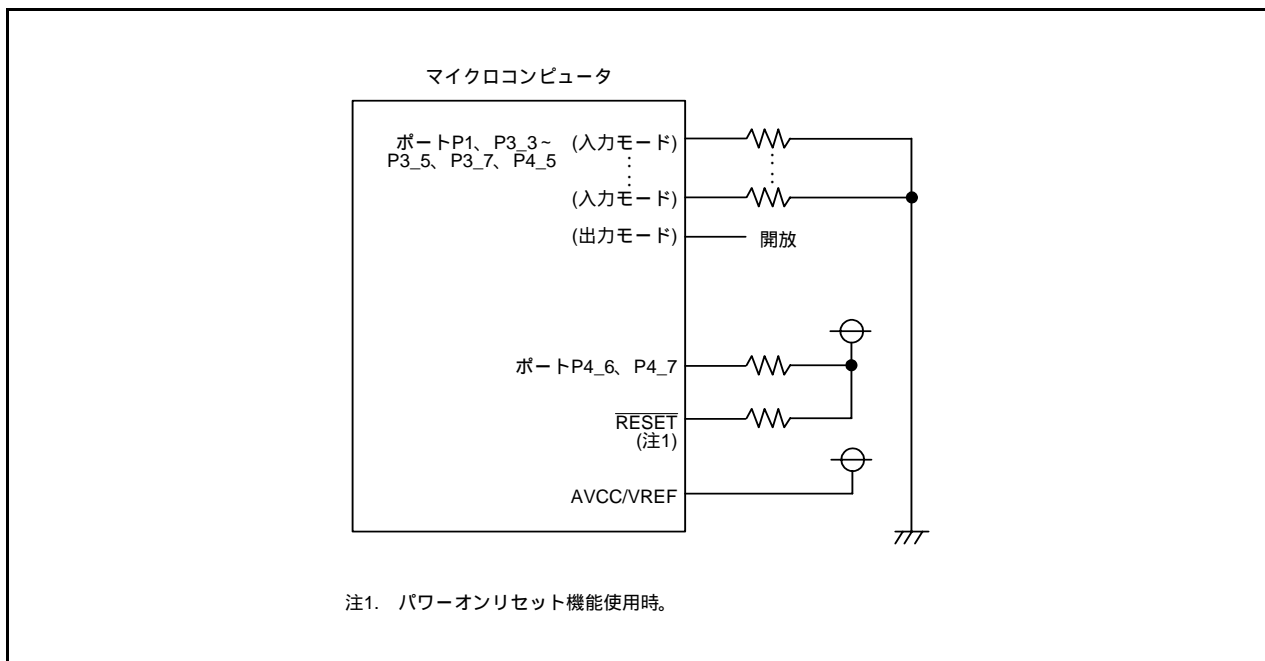


図 17.9 未使用端子の処理例

18. フラッシュメモリ

18.1 概要

フラッシュメモリは、CPU 書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで操作できます。

表 18.1にフラッシュメモリの性能概要を示します(表 18.1に示す以外の項目は「表 1.1 R8C/14グループの性能概要」、「表 1.2 R8C/15グループの性能概要」を参照してください)。

表 18.1 フラッシュメモリの性能概要

項目	性能	
フラッシュメモリの動作モード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力モード)	
消去ブロック分割	図 18.1、図 18.2を参照してください。	
プログラム方式	バイト単位	
イレーズ方式	ブロック消去	
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御	
書き換え制御方式	FMR0レジスタのFMR02ビットによるブロック0、ブロック1に対する書き換え制御 FMR1レジスタのFMR15、FMR16ビットによるブロック0、ブロック1に対する個別の書き換え制御	
コマンド数	5コマンド	
プログラム、イレーズ回数(注1)	ブロック0、1(プログラムROM)	R8C/14グループ：100回；R8C/15グループ：1,000回
	ブロックA、B(データフラッシュ)(注2)	10,000回
IDコードチェック機能	標準シリアル入出力モード対応	
ROMコードプロテクト	パラレル入出力モード対応	

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注2. R8C/15グループだけが内蔵します。

表 18.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード：フラッシュメモリ以外の領域で書き換え可能 EW1モード：フラッシュメモリ上で書き換え可能	専用シリアルライターを使用して、ユーザROM領域を書き換える	専用パラレルライターを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライター		シリアルライター	パラレルライター

18.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。図 18.1にR8C/14グループのフラッシュメモリのブロック図を、図 18.2にR8C/15グループのフラッシュメモリのブロック図を示します。

R8C/15グループのユーザROM領域には、マイコンの動作プログラムを格納する領域(プログラムROM)とは別に、1KバイトのブロックAおよび1KバイトのブロックB(データフラッシュ)があります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブロック0、ブロック1を、CPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在します。

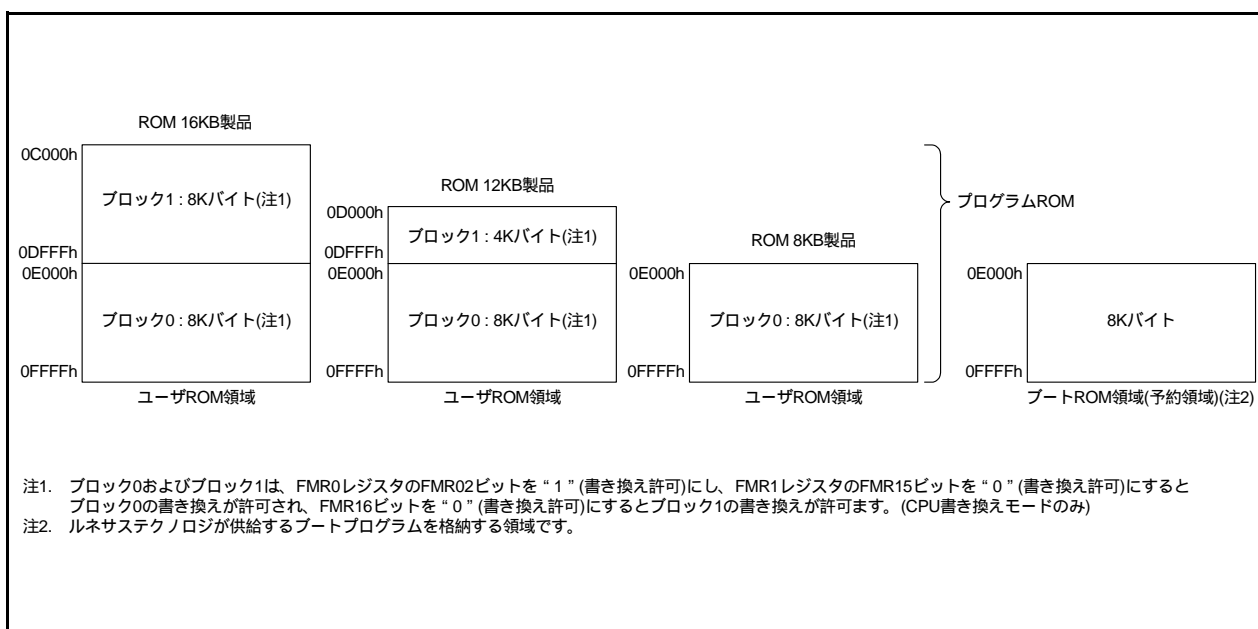


図 18.1 R8C/14グループのフラッシュメモリのブロック図

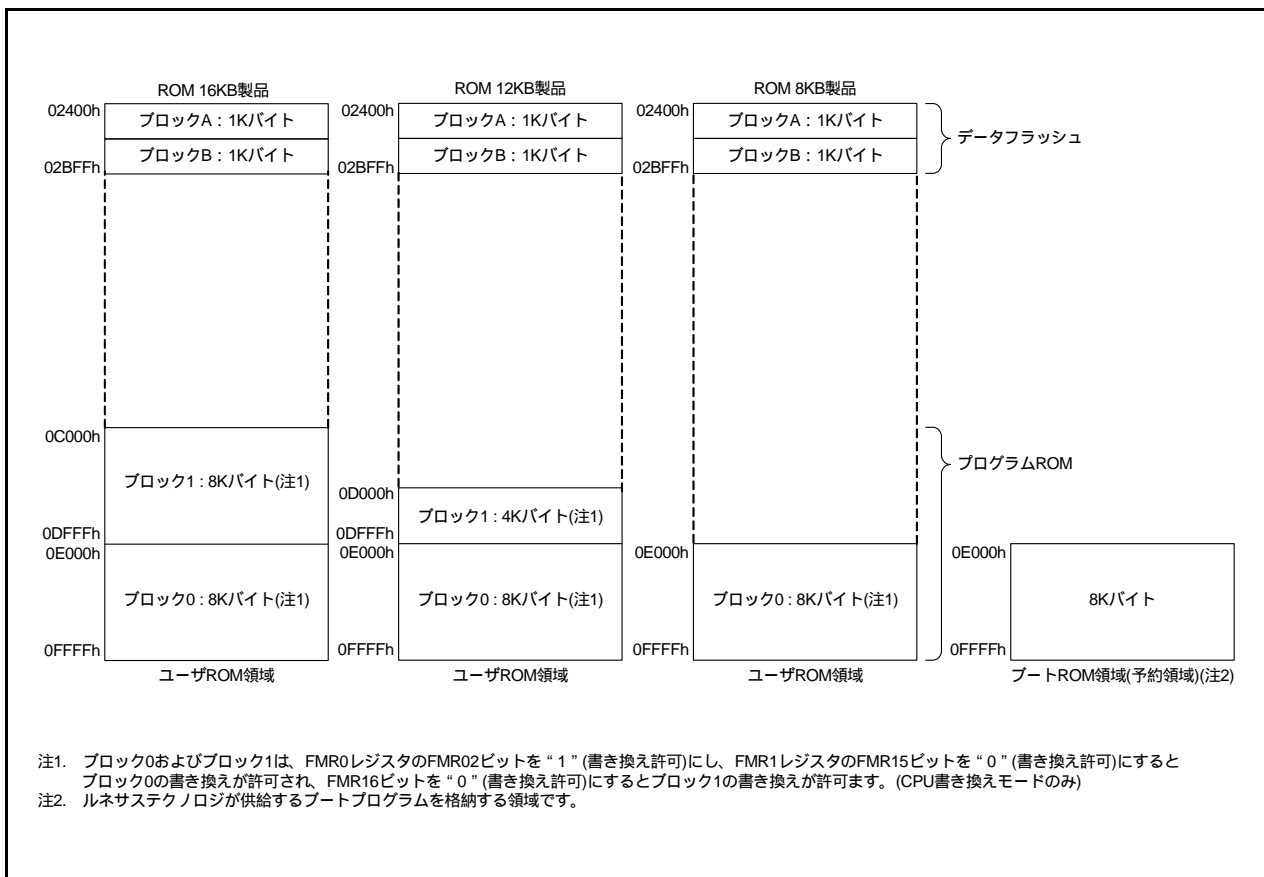


図 18.2 R8C/15グループのフラッシュメモリのブロック図

18.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

18.3.1 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から00FFDFh、00FFE3h、00FEBh、00FEEh、00FFF3h、00FFF7h、00FFFBh番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

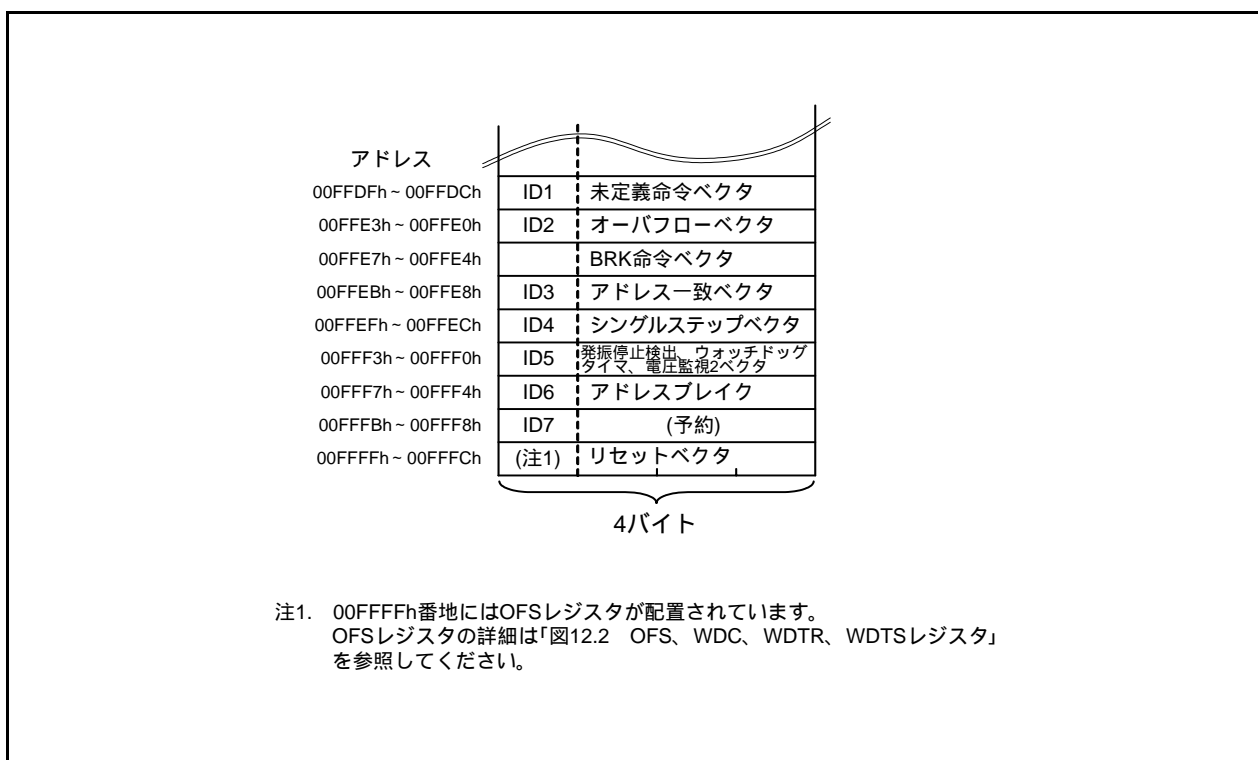


図 18.3 IDコードの格納番地

18.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタによって、内蔵フラッシュメモリの内容の読み出し、変更を禁止する機能です。図 18.4にOFSレジスタを示します。

ROMCR ビットに“1”、ROMCP1 ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、変更が禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

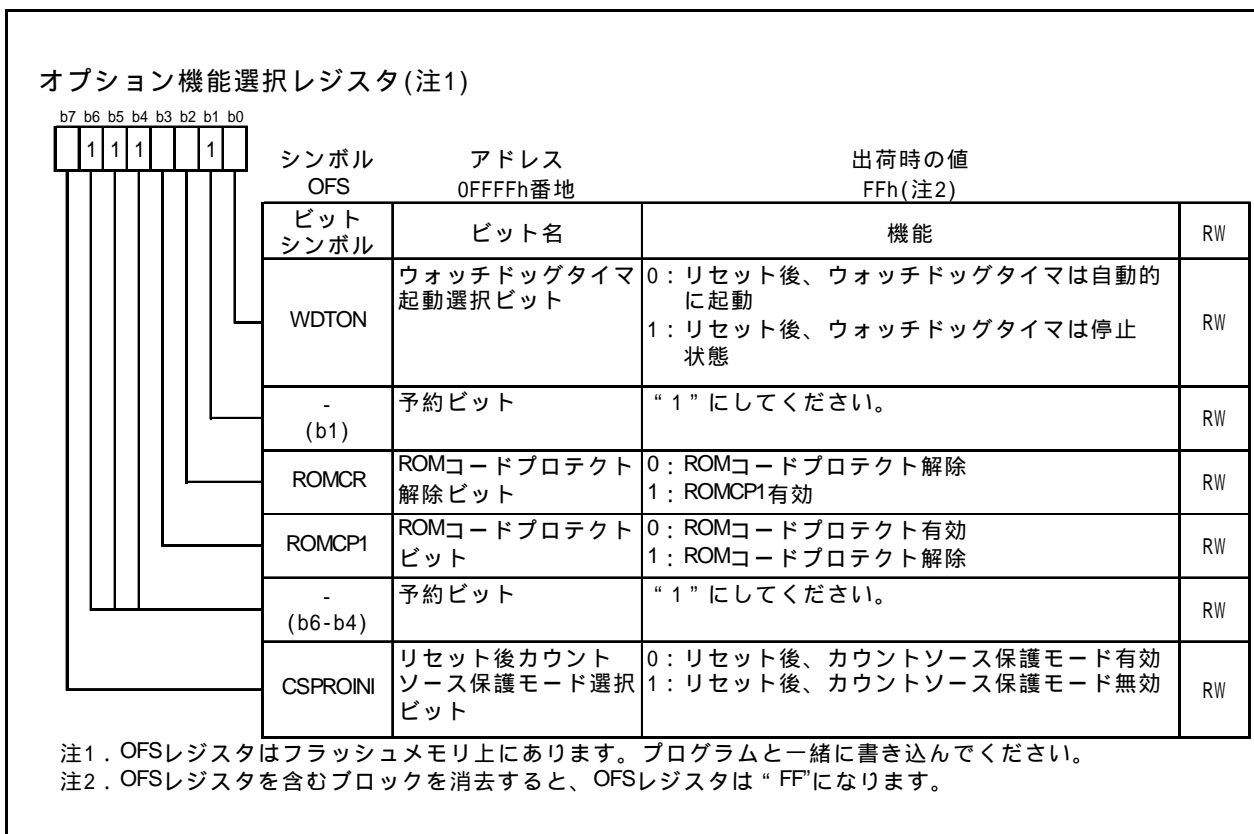


図 18.4 OFSレジスタ

18.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1)モードがあります。表 18.3にEW0モードとEW1モードの違いを示します。

表 18.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く(注1)
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロック に対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレーズサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可されたマスカブル割り込みの割り込み要求が発生
CPUクロック	5MHz以下	左記制限なし(使用するクロック周波数)

注1. ブロック0、ブロック1は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

18.4.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(イレーズサスペンド許可)、FMR41ビットを“1”(イレーズサスペンドリクエスト)にしてください。そしてtd(SR-ES)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

18.4.2 EW1モード

FMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR11ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタコマンドを実行しないでください。

イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(イレーズサスペンド許可)にしてからブロックイレーズコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。ブロックイレーズコマンド実行からtd(SR-ES)後、割り込み要求が受け付けられます。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして自動消去を再開させてください。

図 18.5にFMR0レジスタを、図 18.6にFMR1、FMR4レジスタを示します。

18.4.2.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中は“0”、それ以外のときには“1”になります。

18.4.2.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

18.4.2.3 FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けません。

FMR02ビットが“1”(書き換え許可)のとき、ブロック0とブロック1はFMR15、FMR16ビットで書き換えが制御されます。

18.4.2.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合

- オンチップオシレータモード(メインクロック停止)でさらに低消費電力にする場合

図 18.10にオンチップオシレータモード(メインクロック停止)でさらに低消費電力にする処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

18.4.2.5 FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「18.4.5 フルステータスチェック」を参照してください。

18.4.2.6 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「18.4.5 フルステータスチェック」を参照してください。

18.4.2.7 FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

18.4.2.8 FMR15ビット

FMR02ビットが“1”(書き換え許可)で、FMR15ビットが“0”(書き換え許可)のとき、ブロック0はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

18.4.2.9 FMR16ビット

FMR02ビットが“1”(書き換え許可)で、FMR16ビットが“0”(書き換え許可)のとき、ブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

18.4.2.10 FMR40ビット

FMR40ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

18.4.2.11 FMR41ビット

EW0モードでは、プログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレーズリスタート)にしてください。

18.4.2.12 FMR46ビット

自動消去実行中は、FMR46ビットが“0”(リード禁止)になります。イレーズサスペンドモード中は“1”(リード許可)になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

フラッシュメモリ制御レジスタ0

シンボル	アドレス	リセット後の値
FMR0	01B7h番地	0000001b

ビットシンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット(注1)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ブロック0、ブロック1書き換え許可ビット(注2、6)	0: 書き換え禁止 1: 書き換え許可	RW
FMSTP	フラッシュメモリ停止ビット(注3、5)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
- (b5-b4)	予約ビット	“0”にしてください。	RW
FMR06	プログラムステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO

注1. “1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
このビットはリードアレイモードにしてから“0”にしてください。

注2. “1”にするときは、FMR01ビットが“1”の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。

注4. クリアステータスコマンドを実行すると“0”になります。

注5. FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にならず、初期化

注6. FMR01ビットを“0”(CPU書き換えモード無効)にすると、FMR02ビットは“0”(書き換え禁止)になります。

図 18.5 FMR0レジスタ

フラッシュメモリ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値
1 0 0 0		FMR1	01B5h番地	1000000Xb
ビットシンボル	ビット名	機能		RW
- (b0)	予約ビット	読んだ場合、不定		RO
FMR11	EW1モード選択ビット (注1、2)	0: EW0モード 1: EW1モード		RW
- (b4-b2)	予約ビット	"0" にしてください。		RW
FMR15	ブロック0書き換え禁止ビット (注2、3)	0: 書き換え許可 1: 書き換え禁止		RW
FMR16	ブロック1書き換え禁止ビット (注2、3)	0: 書き換え許可 1: 書き換え禁止		RW
- (b7)	予約ビット	"1" にしてください。		RW

注1. "1" にするときは、FMR01ビットが"1" (CPU書き換えモード有効)の状態、このビットに"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。

注2. FMR01ビットを"0" (CPU書き換えモード無効)にすると、"0"になります。

注3. FMR01ビットが"1" (CPU書き換えモード有効)のとき、FMR15およびFMR16ビットに書けます。"0"にするときは、このビットに"1"を書いた後、続けて"0"を書いてください。

"1"にするときは、このビットに"1"を書いてください。

フラッシュメモリ制御レジスタ4

b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値
0 0 0 0		FMR4	01B3h番地	01000000b
ビットシンボル	ビット名	機能		RW
FMR40	イレーズサスペンド機能許可ビット (注1)	0: 禁止 1: 許可		RW
FMR41	イレーズサスペンドリクエストビット (注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト		RW
- (b5-b2)	予約ビット	"0" にしてください。		RO
FMR46	リードステータスフラグ	0: リード禁止 1: リード許可		RO
- (b7)	予約ビット	"0" にしてください。		RW

注1. "1" にするときは、このビットに"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。

注2. このビットはFMR40ビットが"1" (許可)のときのみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ、書き込みが可能となります。(上記期間以外は"0"になります。)
EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。
EW1モードではFMR40ビットが"1"のとき、消去中にマスクブル割り込みが発生すると自動的に"1"になります。プログラムによって"1"を書き込むことはできません。("0"書き込みは可能)

図 18.6 FMR1、FMR4レジスタ

図 18.7にサスペンド動作に関するタイミングを示します。

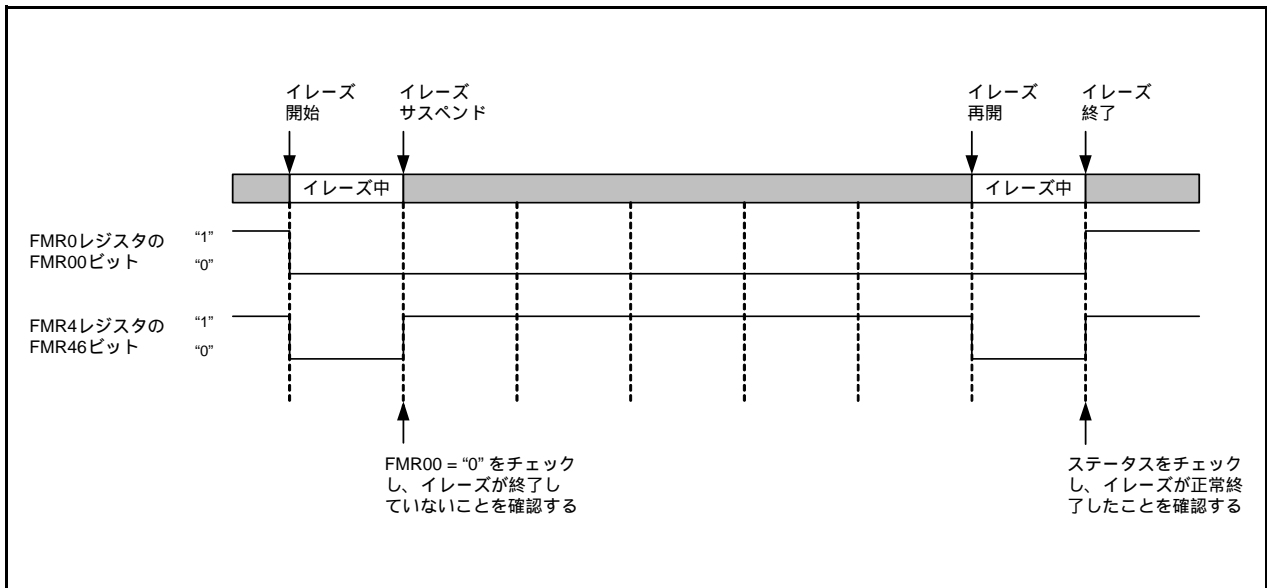


図 18.7 サスペンド動作に関するタイミング

図 18.8にEW0モードの設定と解除方法を、図 18.9にEW1モードの設定と解除方法を示します。

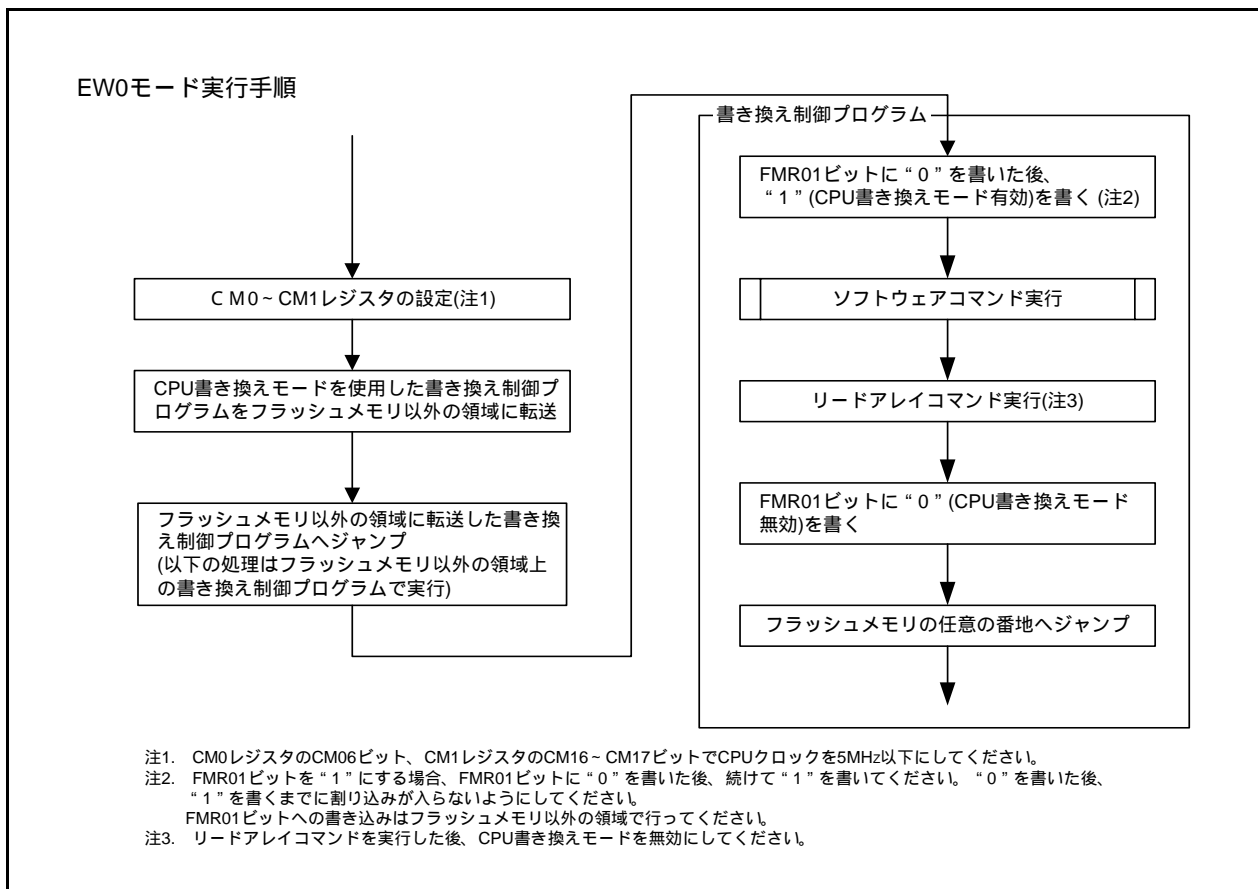


図 18.8 EW0モードの設定と解除方法

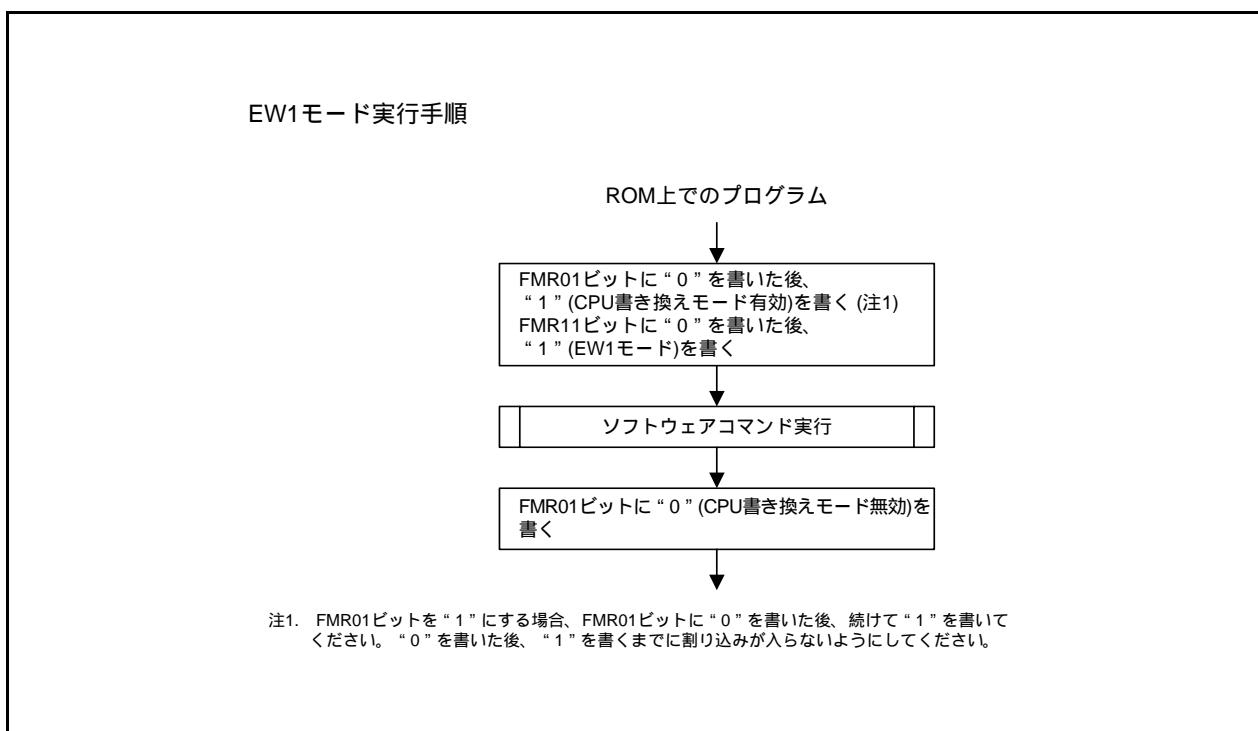


図 18.9 EW1モードの設定と解除方法

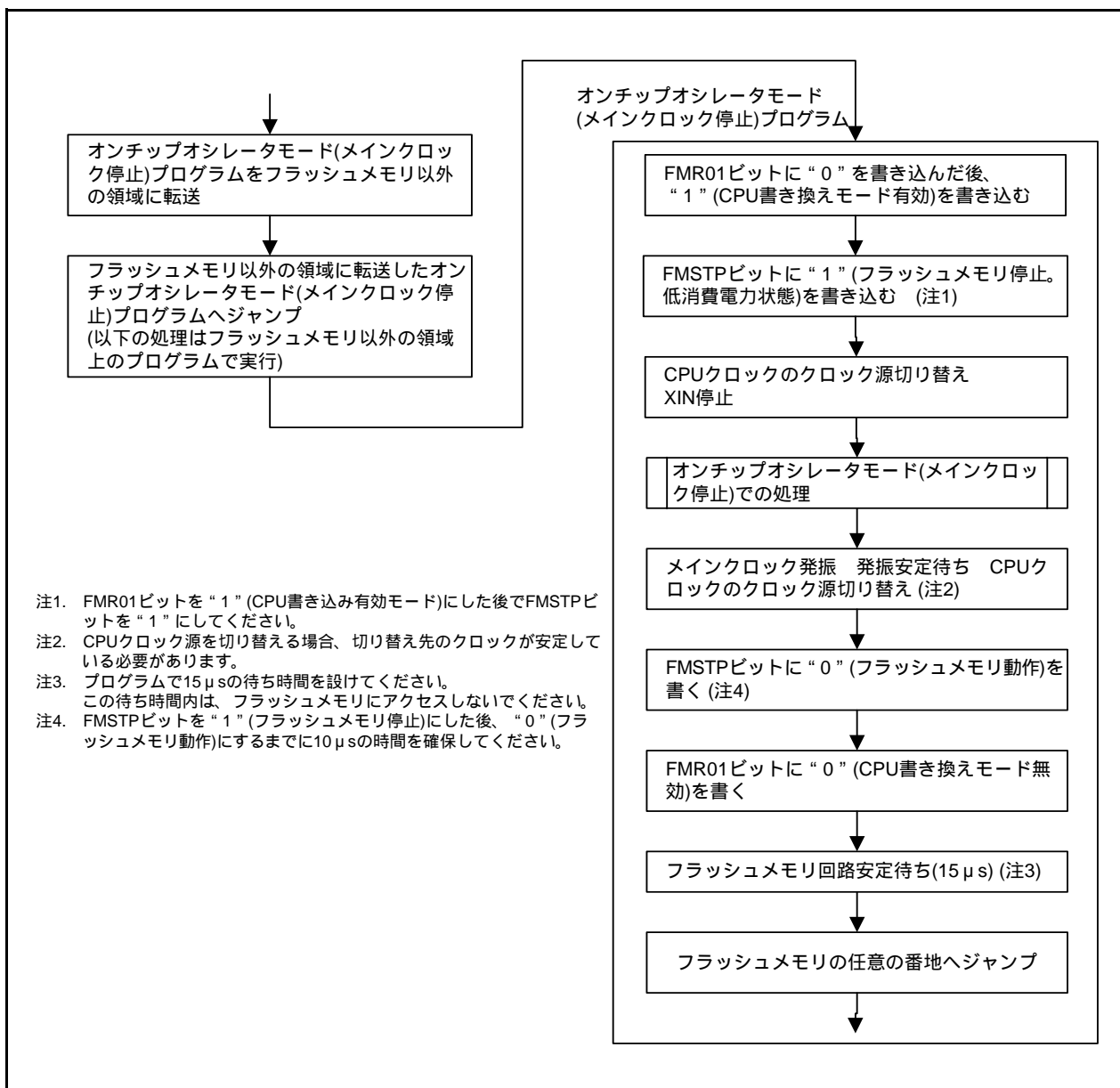


図 18.10 オンチップオシレータモード(メインクロック停止)でさらに低消費電力にする処理

18.4.3 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

表 18.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D7 ~ D0)	モード	アドレス	データ (D7 ~ D0)
リードアレイ	ライト	x	FFh			
リードステータスレジスタ	ライト	x	70h	リード	x	SRD
クリアステータスレジスタ	ライト	x	50h			
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	x	20h	ライト	BA	D0h

SRD : ステータスレジスタデータ (D7 ~ D0)。

WA : 書き込み番地 (第1バスサイクルのアドレスは第2バスサイクルのアドレスと同一番地にしてください)。

WD : 書き込みデータ (8ビット)。

BA : ブロックの任意の番地。

x : ユーザROM領域内の任意の番地

18.4.3.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

18.4.3.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「18.4.4 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

18.4.3.3 クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“50h”を書くと、FMR0レジスタのFMR06 ~ FMR07ビットとステータスレジスタのSR4 ~ SR5が“0”になります。

18.4.3.4 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「18.4.5 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

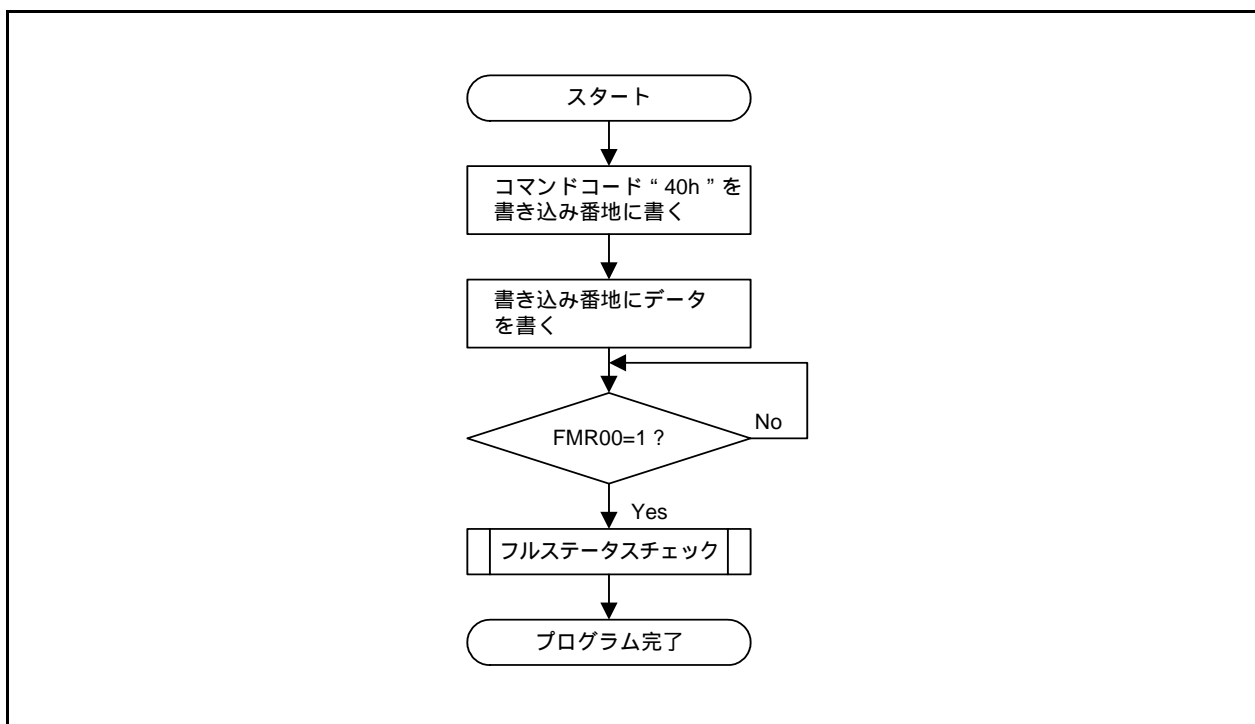


図 18.11 プログラムフローチャート

18.4.3.5 ブロックイレーズ

第1バスサイクルで“20h”、第2バスサイクルで“D0h”をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「18.4.5 フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが1”(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが1”(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

図18.12にブロックイレーズフローチャート(イレーズサスペンド機能不使用時)を、図18.13にブロックイレーズフローチャート(イレーズサスペンド機能使用時)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

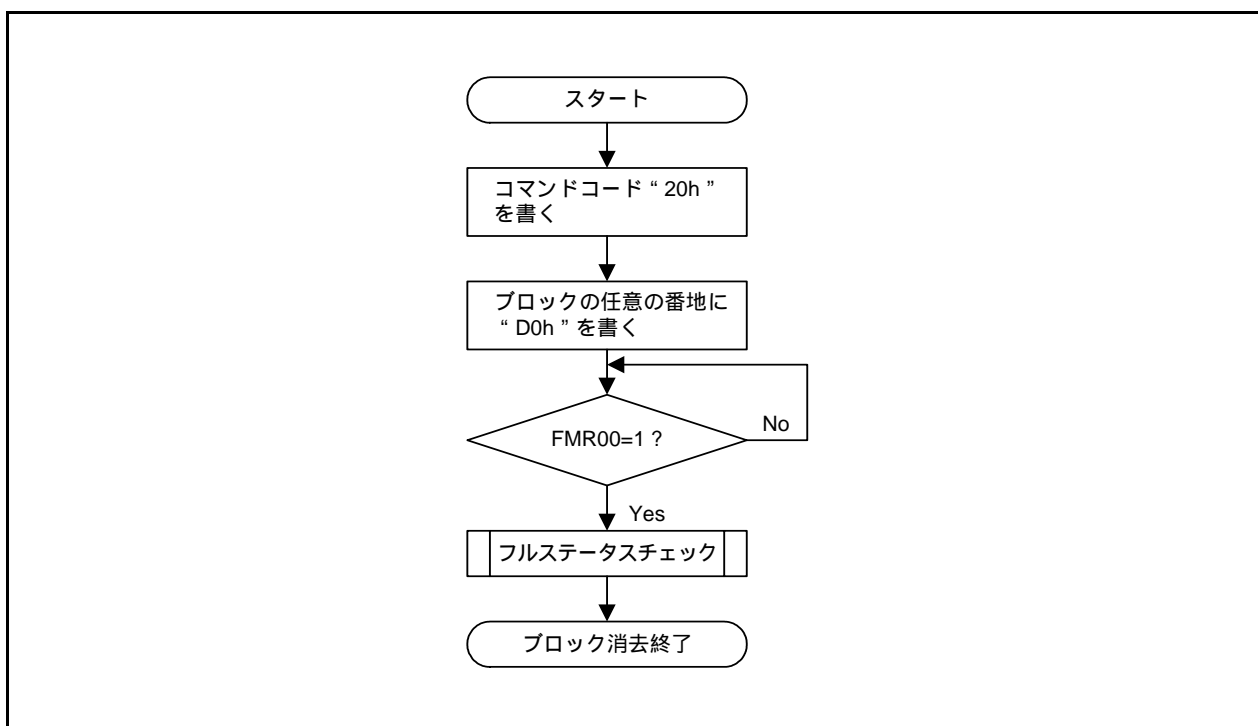


図 18.12 ブロックイレーズフローチャート(イレーズサスペンド機能不使用時)

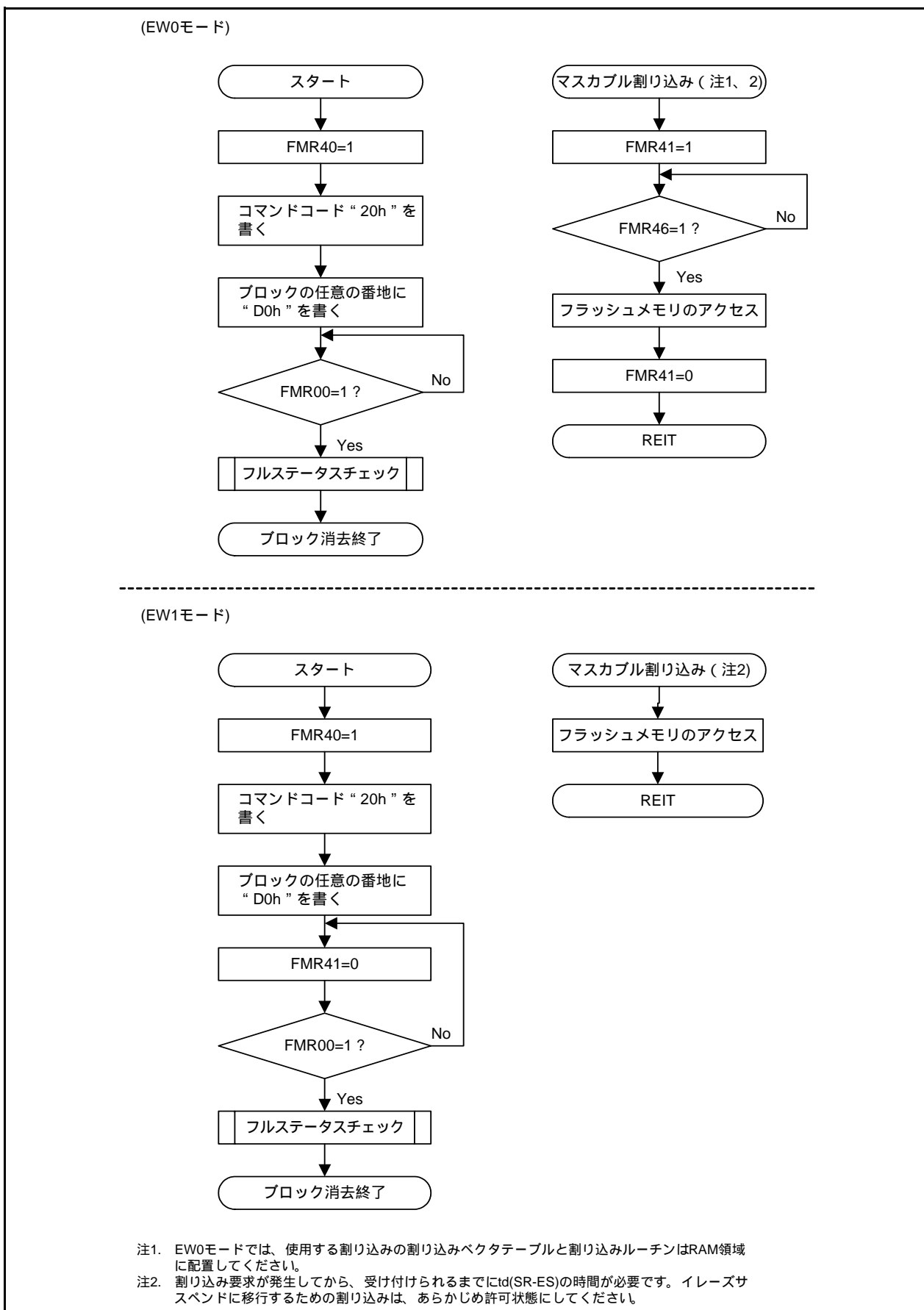


図 18.13 ブロックイレースフローチャート(イレースサスペンド機能使用時)

18.4.4 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06～FMR07ビットで読めます。

表 18.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の番地を読んだとき
- プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の番地を読んだとき

18.4.4.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

18.4.4.2 イレーズステータス(SR5、FMR07ビット)

「18.4.5 フルステータスチェック」を参照してください。

18.4.4.3 プログラムステータス(SR4、FMR06ビット)

「18.4.5 フルステータスチェック」を参照してください。

表 18.5 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR0(D0)		リザーブ			
SR1(D1)		リザーブ			
SR2(D2)		リザーブ			
SR3(D3)		リザーブ			
SR4(D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5(D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6(D6)		リザーブ			
SR7(D7)	FMR00	シーケンサステータス	ビジー	レディ	0

D0～D7：リードステータスコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)～FMR06ビット(SR4)は、クリアステータスコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズコマンドは受け付けられません。

18.4.5 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 18.6 にエラーとFMR0レジスタの状態を、図 18.14 にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 18.6 エラーとFMR0レジスタの状態

FMR00レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(“D0h”または“FFh”)以外のデータを書いたとき(注1) ・FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15ビットまたはFMR16ビットを用いて書き換え禁止にした状態で、プログラムコマンドまたはブロックイレーズコマンドを実行したとき ・消去コマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、消去しようとしたとき ・消去コマンド入力時に、書き換えを禁止しているブロックの消去を実行しようとしたとき ・書き込みコマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、書き込みしようとしたとき ・書き込みコマンド入力時に、書き換えを禁止しているブロックの書き込みを実行しようとしたとき
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルで“FFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

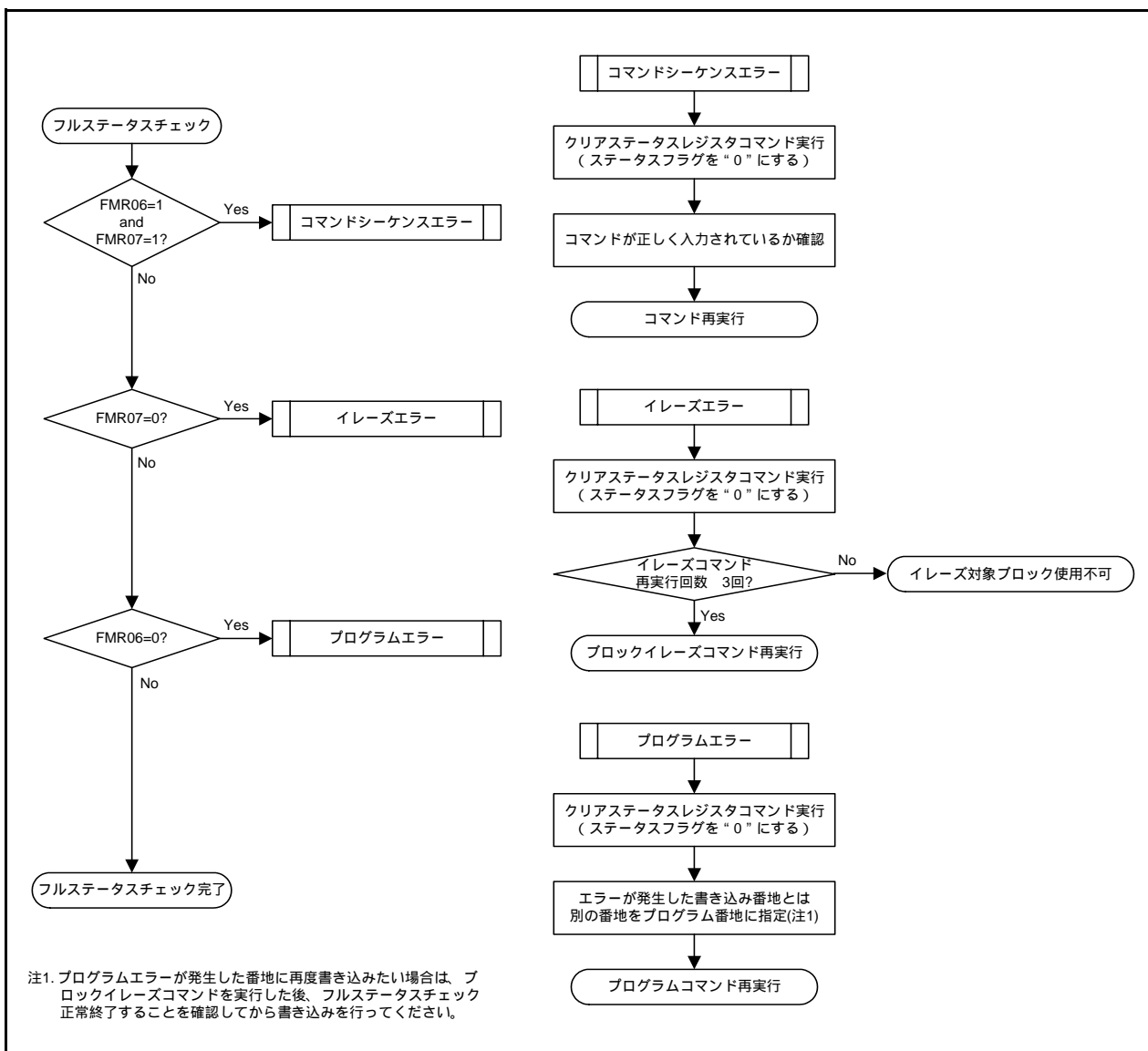


図 18.14 フルステータスチェックフローチャート、各エラー発生時の対処方法

18.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- ・標準シリアル入出力モード1 クロック同期形シリアルI/Oを用いてシリアルライタと接続
- ・標準シリアル入出力モード2 クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- ・標準シリアル入出力モード3 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表18.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、表18.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図18.15に標準シリアル入出力モード3時の端子結線図を示します。

なお、表18.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

18.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「18.3 フラッシュメモリ書き換え禁止機能」参照)。

表18.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC端子にはプログラム、イレーズの保証電圧を、VSSには0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6入力/クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。
P4_7/XOUT	P4_7入力/クロック出力	入出力	
AVCC、AVSS	アナログ電源入力	入力	AVCCはVCCに、AVSSはVSSに接続してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
P3_3 ~ P3_5	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	“L”を入力してください。
P3_7	TXD出力	出力	シリアルデータの出力端子です。
P4_5	RXD入力	入力	シリアルデータの入力端子です。

表 18.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC 端子にはプログラム、イレーズの保証電圧を、VSS には 0V を入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6 入力/クロック入力	入力	外付けの発振子を接続する場合、XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。入力ポートとして使用する場合、“H” を入力、“L” を入力、または開放してください。
P4_7/XOUT	P4_7 入力/クロック出力	入出力	
AVCC、AVSS	アナログ電源入力	入力	AVCC は VCC に、AVSS は VSS に接続してください。
VREF	基準電圧入力	入力	A/D コンバータの基準電圧入力端子です。
P1_0 ~ P1_7	入力ポート P1	入力	“H” を入力、“L” を入力、または開放してください。
P3_3 ~ P3_5、 P3_7	入力ポート P3	入力	“H” を入力、“L” を入力、または開放してください。
P4_5	入力ポート P4	入力	“H” を入力、“L” を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

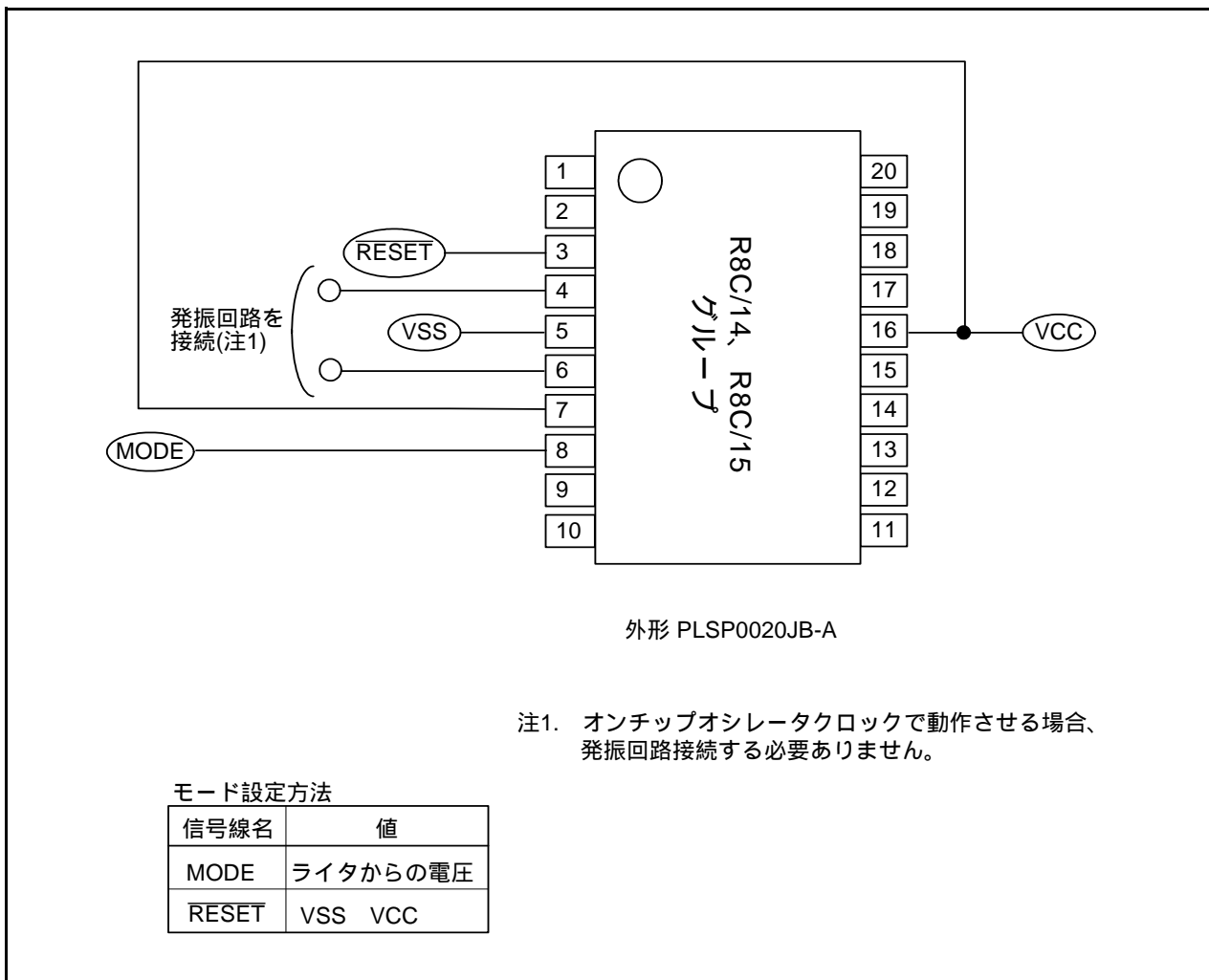


図 18.15 標準シリアル入出力モード3時の端子結線図

18.5.1.1 標準シリアル入出力モード時の端子処理例

図18.16に標準シリアル入出力モード2を使用する場合の端子処理例、図18.17に標準シリアル入出力モード3を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

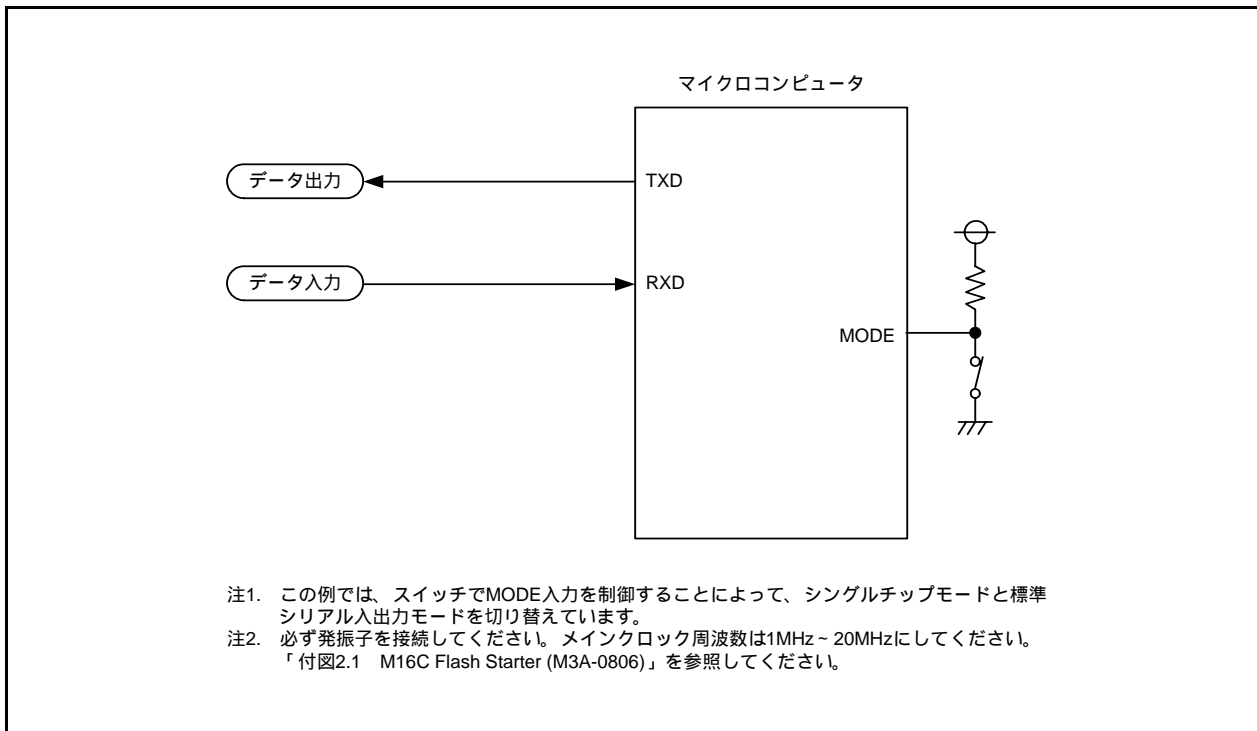


図18.16 標準シリアル入出力モード2を使用する場合の端子処理例

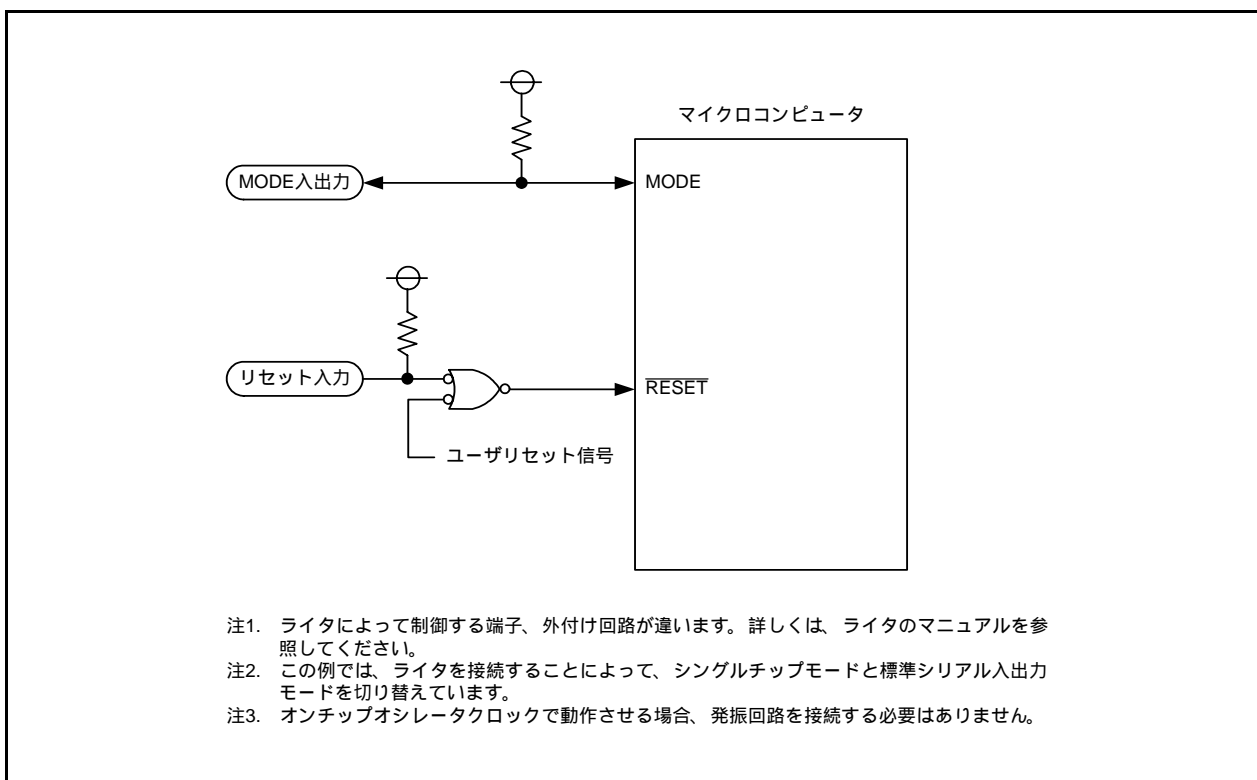


図18.17 標準シリアル入出力モード3を使用する場合の端子処理例

18.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 18.1 および図 18.2 に示すユーザROM領域の書き換えができます。

18.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「18.3 フラッシュメモリ書き換え禁止機能」参照)。

19. 電気的特性

表 19.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{cc}	電源電圧	V _{cc} = AV _{cc}	- 0.3 ~ 6.5	V
AV _{cc}	アナログ電源電圧	V _{cc} = AV _{cc}	- 0.3 ~ 6.5	V
V _i	入力電圧		- 0.3 ~ V _{cc} + 0.3	V
V _o	出力電圧		- 0.3 ~ V _{cc} + 0.3	V
P _d	消費電力	Topr = 25	300	mW
T _{opr}	動作周囲温度		- 20 ~ 85 / - 40 ~ 85 (Dバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表 19.2 推奨動作条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{cc}	電源電圧		2.7		5.5	V
AV _{cc}	アナログ電源電圧			V _{cc} (注3)		V
V _{ss}	電源電圧			0		V
AV _{ss}	アナログ電源電圧			0		V
V _{IH}	“H”入力電圧		0.8V _{cc}		V _{cc}	V
V _{IL}	“L”入力電圧		0		0.2V _{cc}	V
I _{OH(sum)}	“H”尖頭総出力電流	全端子の I _{OH(peak)} の総和			- 60	mA
I _{OH(peak)}	“H”尖頭出力電流				- 10	mA
I _{OH(avg)}	“H”平均出力電流				- 5	mA
I _{OL(sum)}	“L”尖頭総出力電流	全端子の I _{OL(peak)} の総和			60	mA
I _{OL(peak)}	“L”尖頭出力電流	P1_0 ~ P1_3 以外			10	mA
		P1_0 ~ P1_3	駆動能力 HIGH		30	mA
			駆動能力 LOW		10	mA
I _{OL(avg)}	“L”平均出力電流	P1_0 ~ P1_3 以外			5	mA
		P1_0 ~ P1_3	駆動能力 HIGH		15	mA
			駆動能力 LOW		5	mA
f(XIN)	メインクロック入力発振周波数	3.0 V V _{cc} 5.5 V	0		20	MHz
		2.7 V V _{cc} < 3.0 V	0		10	MHz

注1. 指定のない場合は、V_{cc} = AV_{cc} = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. V_{cc} = AV_{cc}にしてください。

表 19.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
	分解能	Vref = Vcc			10	Bit	
	絶対精度	10ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V			± 3	LSB
		8ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V			± 2	LSB
		10ビットモード	AD = 10 MHz, Vref = Vcc = 3.3 V (注3)			± 5	LSB
		8ビットモード	AD = 10 MHz, Vref = Vcc = 3.3 V (注3)			± 2	LSB
Rladder	ラダ - 抵抗	Vref = Vcc	10		40	k	
tconv	変換時間	10ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V	3.3			μs
		8ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V	2.8			μs
Vref	基準電圧			Vcc(注4)		V	
VIA	アナログ入力電圧		0		Vref	V	
	A/D動作クロック周波数(注2)	サンプル&ホールドなし		0.25		10	MHz
		サンプル&ホールドあり		1		10	MHz

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. f1が10 MHzを超える場合は分周し、A/D動作クロック周波数(AD)が10 MHz以下になるようにしてください。

注3. AVccが4.2 V未満の場合はf1を分周し、A/D動作クロック周波数(AD)がf1/2以下になるように調整してください。

注4. Vcc=Vrefにしてください。

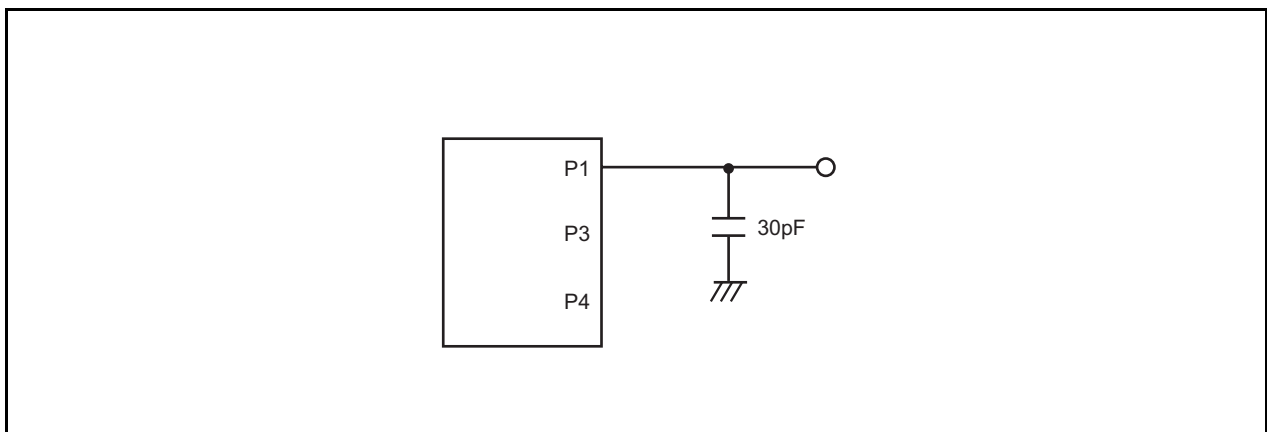


図 19.1 ポートP1、P3、P4の測定回路

表 19.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/14グループ	100(注3)			回
		R8C/15グループ	1000(注3)			回
	バイトプログラム時間	Vcc=5.0V、Topr=25		50	400	μs
	ブロックイレーズ時間	Vcc=5.0V、Topr=25		0.4	9	s
td(SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
	イレーズサスペンドリクエスト間隔		10			ms
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度=55	20			年

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表 19.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10000 (注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)	Vcc=5.0V、Topr=25		50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)	Vcc=5.0V、Topr=25		65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)	Vcc=5.0V、Topr=25		0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)	Vcc=5.0V、Topr=25		0.3		s
t _d (SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
	イレーズサスペンドリクエスト間隔		10			ms
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.7		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度 =55	20			年

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1 ~ “最小” 値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラム領域と同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40 。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

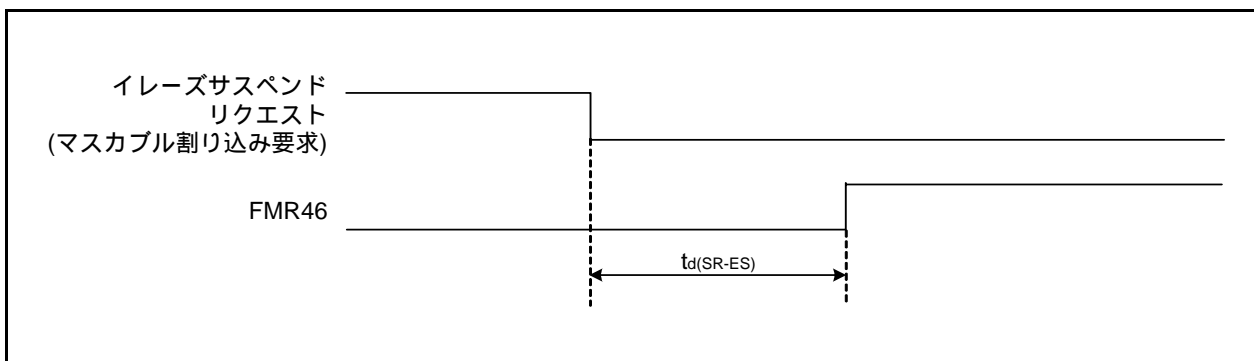


図 19.2 消去動作からイレーズサスペンドへの遷移時間

表 19.6 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{det1}	電圧検出レベル (注3)		2.70	2.85	3.00	V
	電圧検出回路の自己消費電流	VCA26 = 1、V _{cc} =5.0V		600		nA
t _{d(E-A)}	電圧検出回路動作開始までの待ち時間 (注2)				100	μs
V _{ccmin}	マイコンの動作電圧の最小値		2.7			V

注1. 測定条件はV_{cc} = AV_{cc} = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 です。

注2. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注3. V_{det2} > V_{det1} になります。

表 19.7 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{det2}	電圧検出レベル (注4)		3.00	3.30	3.60	V
	電圧監視2割り込み要求発生時間 (注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、V _{cc} =5.0V		600		nA
t _{d(E-A)}	電圧検出回路動作開始までの待ち時間 (注3)				100	μs

注1. 測定条件はV_{cc} = AV_{cc} = 2.7 V ~ 5.5 V、Topr = - 40 ~ 85 です。

注2. V_{det2}を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. V_{det2} > V_{det1} になります。

表 19.8 リセット回路の電気的特性(電圧監視1リセット使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor2	パワーオンリセットが有効になる電圧	- 20 Topr < 85			Vdet1	V
tw(Vpor2-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間(注1)	- 20 Topr < 85 、 tw(por2) 0 s(注3)			100	ms

- 注1. Vcc 1.0 Vで使用する場合、この条件は不要です。
- 注2. 外部電源を有効電圧(Vpor1)以下に保持する時間が10sを越えた後に電源を立ち上げる場合は、「表 19.9 リセット回路の電気的特性(電圧監視1リセット未使用時)」を参照してください。
- 注3. tw(por2)は外部電源を有効電圧(Vpor2)以下に保持する時間です。

表 19.9 リセット回路の電気的特性(電圧監視1リセット未使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor1	パワーオンリセットが有効になる電圧	- 20 Topr < 85			0.1	V
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 10 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 30 s(注2)			100	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	- 20 Topr < 0 、 tw(por1) 10 s(注2)			1	ms
tw(Vpor1-Vdet1)	パワーオンリセット解除時の電源電圧の立ち上がり時間	0 Topr 85 、 tw(por1) 1 s(注2)			0.5	ms

- 注1. 電圧監視1リセットを使用しない場合、Vcc 2.7 Vで使用してください。
- 注2. tw(por1)は外部電源を有効電圧(Vpor1)以下に保持する時間です。

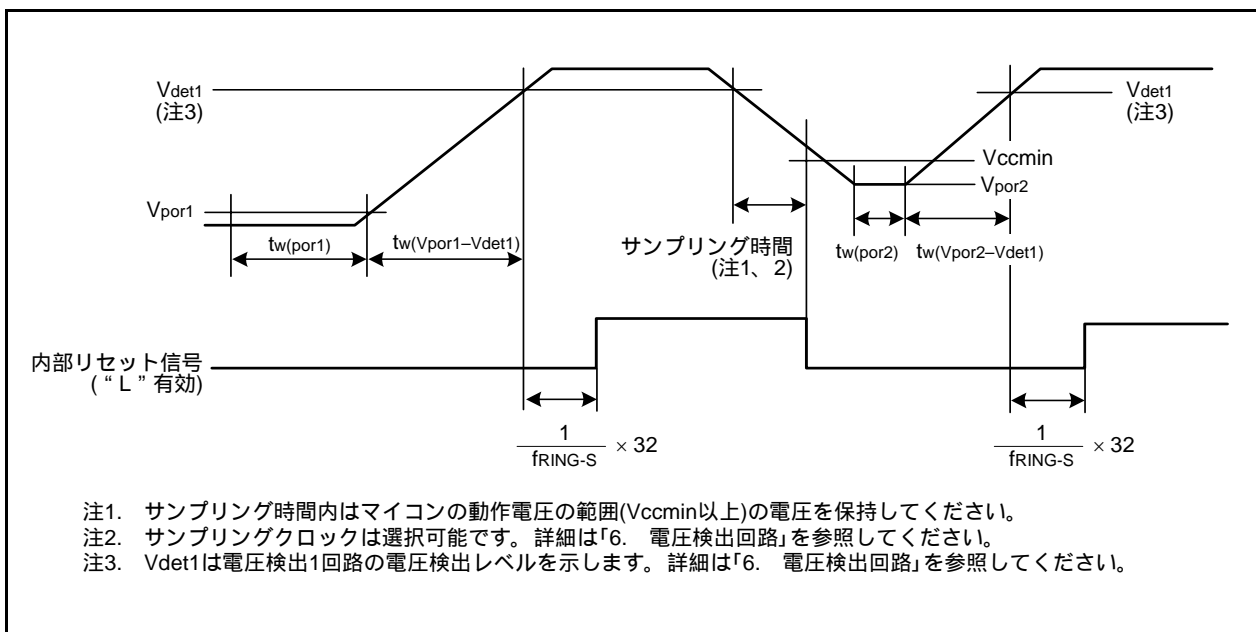


図 19.3 リセット回路の電気的特性

表 19.10 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	リセット解除時の高速オンチップオシレータ発振周波数	Vcc=5.0V、Topr=25		8		MHz
	高速オンチップオシレータ発振周波数の温度・電圧依存性	0 ~ +60 / 5V ± 5%(注2)	7.44		8.56	MHz
		- 20 ~ +85 / 2.7 ~ 5.5V(注2)	7.04		8.96	MHz
		- 40 ~ +85 / 2.7 ~ 5.5V(注2)	6.80		9.20	MHz

注1. 測定条件はVcc = AVcc = 5.0 V、Topr = 25 です。

注2. HRA1レジスタが出荷時の値、HRA2レジスタが00hのときの規格値です。

表 19.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間(注2)		1		2000	μs
td(R-S)	STOP 解除時間(注3)				150	μs

注1. 測定条件はVcc = AVcc = 2.7 V ~ 5.5 V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表 19.12 チップセレクト付クロック同期形シリアルI/O(SSU)のタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tsUCYC	SSCKクロックサイクル時間		4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅		0.4		0.6	tsucyc
tLO	SSCKクロック“L”パルス幅		0.4		0.6	tsucyc
tRISE	SSCKクロック立ち上がり時間	マスタ			1	tcyc (注2)
		スレーブ			1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ			1	tcyc (注2)
		スレーブ			1	μs
tsU	SSO、SSIデータ入力セットアップ時間		100			ns
tH	SSO、SSIデータ入力ホールド時間		1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ	1tcyc+50			ns
tLAG	SCSホールド時間	スレーブ	1tcyc+50			ns
tOD	SSO、SSIデータ出力遅延時間				1	tcyc (注2)
tSA	SSIスレーブアクセス時間				1.5tcyc+100	ns
tOR	SSIスレーブアウト開放時間				1.5tcyc+100	ns

注1. 指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Vss = 0 V、Topr = - 20 ~ 85 / - 40 ~ 85 です。

注2. 1tcyc=1/f1 (s)

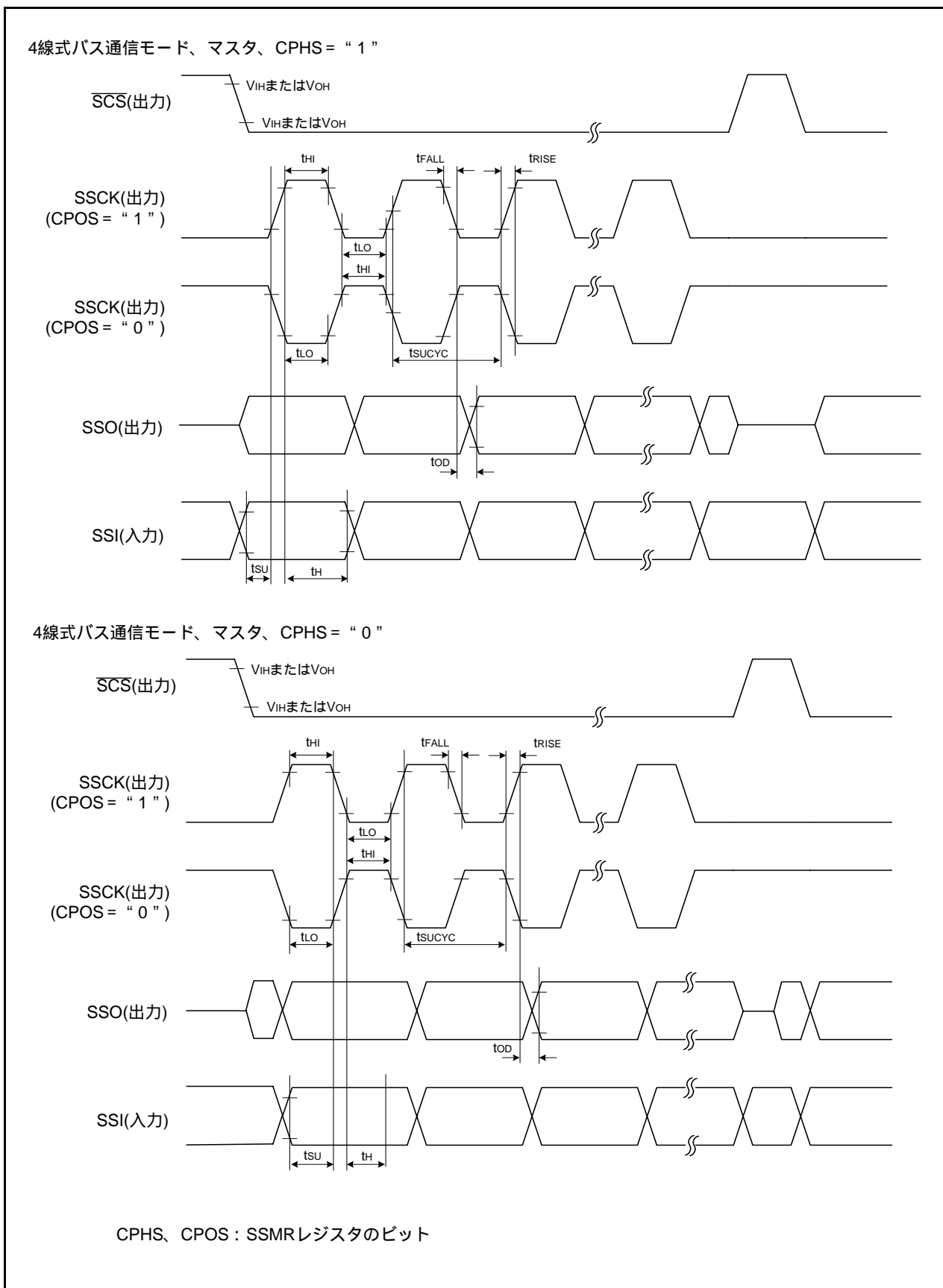


図 19.4 チップセレクト付クロック同期形シリアルI/O(SSU)の入出力タイミング(マスタ)

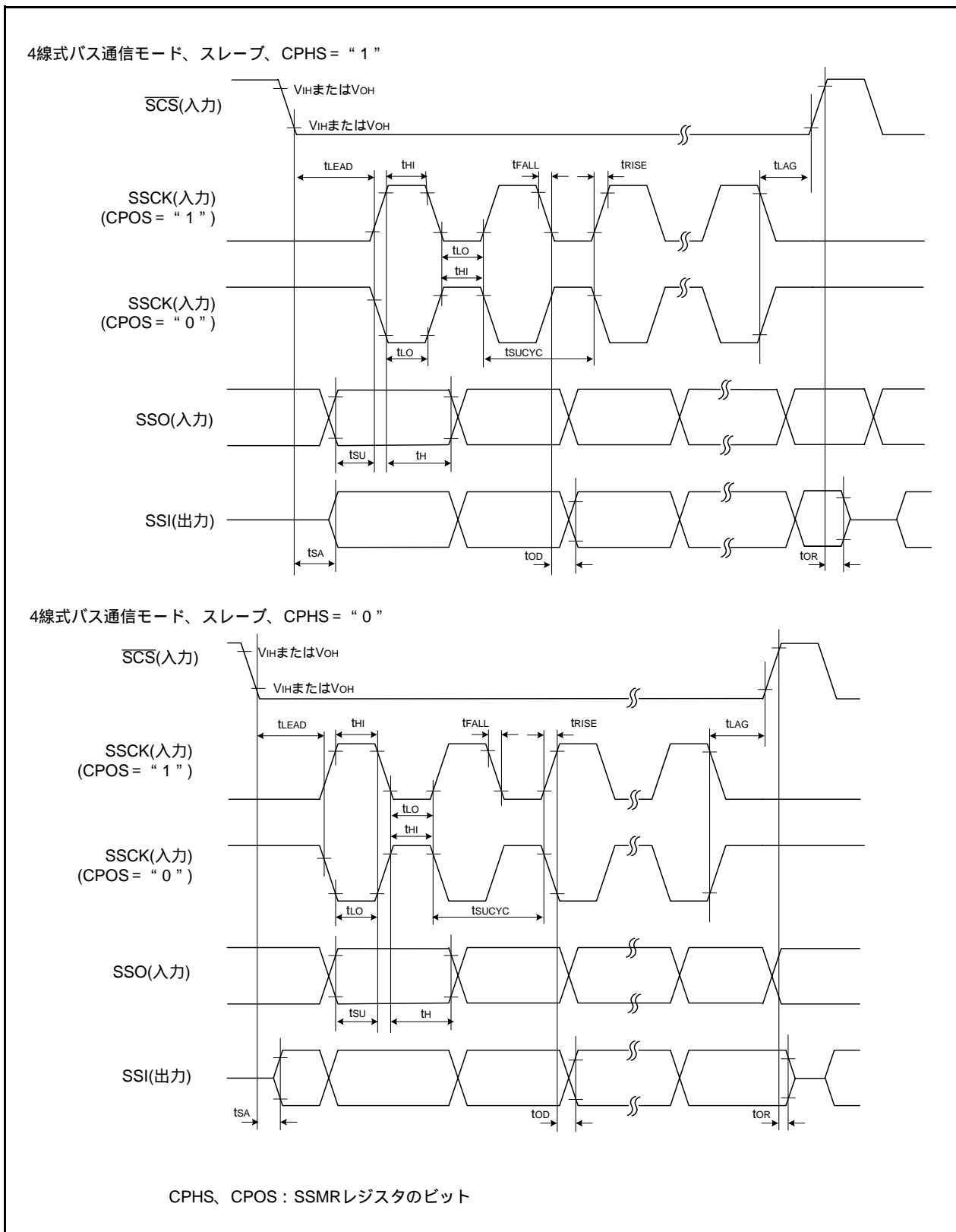


図 19.5 チップセレクト付クロック同期形シリアルI/O(SSU)の入出力タイミング(スレーブ)

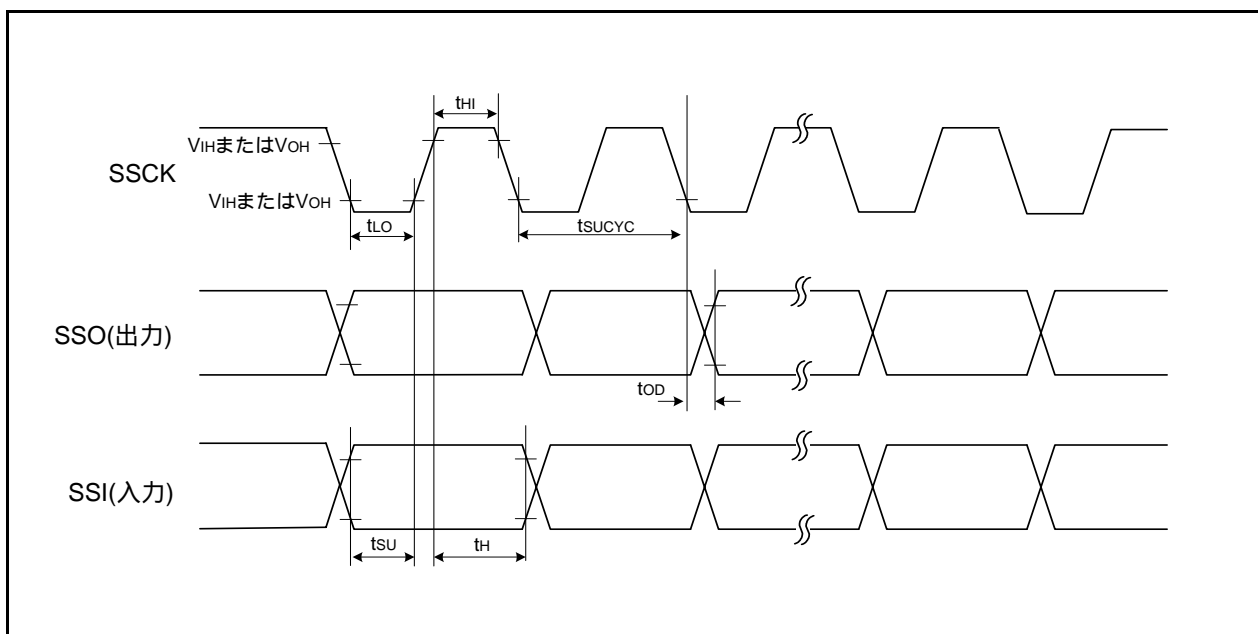


図 19.6 チップセレクト付クロック同期形シリアルI/O(SSI)の入出力タイミング(クロック同期式通信モード)

表 19.13 電気的特性(1) [Vcc = 5 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT 以外	I _{OH} = - 5 mA		V _{CC} - 2.0		V _{CC}	V
			I _{OH} = - 200 μA		V _{CC} - 0.3		V _{CC}	V
		XOUT	駆動能力 HIGH	I _{OH} = - 1 mA	V _{CC} - 2.0		V _{CC}	V
			駆動能力 LOW	I _{OH} = - 500 μA	V _{CC} - 2.0		V _{CC}	V
VOL	“L”出力電圧	P1_0 ~ P1_3, XOUT 以外	I _{OL} = 5 mA				2.0	V
			I _{OL} = 200 μA				0.45	V
		P1_0 ~ P1_3	駆動能力 HIGH	I _{OL} = 15 mA			2.0	V
			駆動能力 LOW	I _{OL} = 5 mA			2.0	V
			駆動能力 LOW	I _{OL} = 200 μA			0.45	V
		XOUT	駆動能力 HIGH	I _{OL} = 1 mA			2.0	V
			駆動能力 LOW	I _{OL} = 500 μA			2.0	V
		VT+ - VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 CNTR0、CNTR1、 TCIN、RxD0、SSO			0.2	
RESET				0.2		2.2	V	
I _{IH}	“H”入力電流		V _I = 5 V				5.0	μA
I _{IL}	“L”入力電流		V _I = 0 V				- 5.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0 V		30	50	167	k
R _{FXIN}	帰還抵抗	XIN				1.0		M
f _{RING-S}	低速オンチップオシレータ発振周波数				40	125	250	kHz
V _{RAM}	RAM 保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V_{CC} = AV_{CC} = 4.2 V ~ 5.5 V、T_{opr} = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 20 MHzです。

表 19.14 電気的特性(2) [Vcc = 5 V] (指定のない場合は、Topr = - 40 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 3.3 V ~ 5.5 V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		9	15	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	14	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		4		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2		mA
		高速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		4	8	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		470	900	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック動作 VCA26 = VCA27 = " 0 "		40	80	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック停止 VCA26 = VCA27 = " 0 "		38	76	μA
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		0.8	3.0	μA

タイミング必要条件 (指定のない場合は、 $V_{cc}=5V$ 、 $V_{ss}=0V$ 、 $T_{opr}= 25$) [$V_{cc}=5V$]

表 19.15 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN 入力サイクル時間	50		ns
$t_{WH}(XIN)$	XIN 入力“H”パルス幅	25		ns
$t_{WL}(XIN)$	XIN 入力“L”パルス幅	25		ns

表 19.16 CNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(CNTR0)$	CNTR0 入力サイクル時間	100		ns
$t_{WH}(CNTR0)$	CNTR0 入力“H”パルス幅	40		ns
$t_{WL}(CNTR0)$	CNTR0 入力“L”パルス幅	40		ns

表 19.17 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TCIN)$	TCIN 入力サイクル時間	400(注 1)		ns
$t_{WH}(TCIN)$	TCIN 入力“H”パルス幅	200(注 2)		ns
$t_{WL}(TCIN)$	TCIN 入力“L”パルス幅	200(注 2)		ns

- 注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。
- 注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

表 19.18 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi 入力サイクル時間	200		ns
$t_W(CKH)$	CLKi 入力“H”パルス幅	100		ns
$t_W(CKL)$	CLKi 入力“L”パルス幅	100		ns
$t_d(C-Q)$	TxDi 出力遅延時間		50	ns
$t_h(C-Q)$	TxDi ホールド時間	0		ns
$t_{su}(D-C)$	RxDi 入力セットアップ時間	50		ns
$t_h(C-D)$	RxDi 入力ホールド時間	90		ns

表 19.19 外部割りこみ $\overline{INT0}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_W(INH)$	$\overline{INT0}$ 入力“H”パルス幅	250(注 1)		ns
$t_W(INL)$	$\overline{INT0}$ 入力“L”パルス幅	250(注 2)		ns

- 注1. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。
- 注2. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

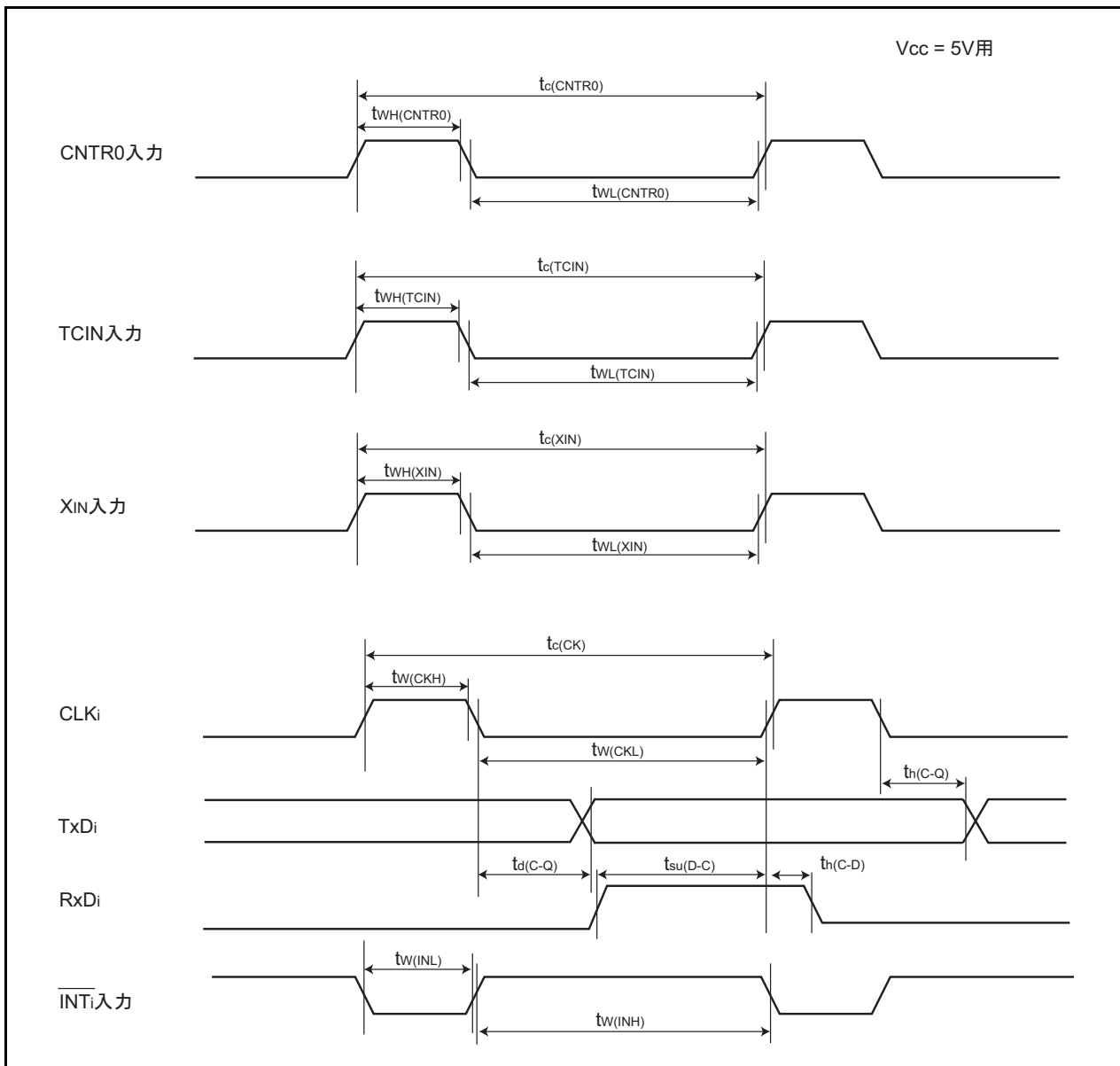
図 19.7 V_{CC}=5V時のタイミング

表 19.20 電気的特性(3) [Vcc = 3 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT 以外	I _{OH} = - 1 mA		V _{CC} - 0.5		V _{CC}	V
		XOUT	駆動能力 HIGH	I _{OH} = - 0.1 mA	V _{CC} - 0.5		V _{CC}	V
			駆動能力 LOW	I _{OH} = - 50 μA	V _{CC} - 0.5		V _{CC}	V
VOL	“L”出力電圧	P1_0 ~ P1_3, XOUT 以外	I _{OL} = 1 mA				0.5	V
		P1_0 ~ P1_3	駆動能力 HIGH	I _{OL} = 2 mA			0.5	V
			駆動能力 LOW	I _{OL} = 1 mA			0.5	V
		XOUT	駆動能力 HIGH	I _{OL} = 0.1 mA			0.5	V
			駆動能力 LOW	I _{OL} = 50 μA			0.5	V
		VT+ - VT-	ヒステリシス	INT0、INT1、INT3、 KI0、KI1、KI2、KI3、 CNTR0、CNTR1、 TCIN、RxD0、SSO			0.2	
RESET				0.2		1.8	V	
I _{IH}	“H”入力電流		VI = 3 V				4.0	μA
I _{IL}	“L”入力電流		VI = 0 V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		VI = 0 V		66	160	500	k
R _{iXIN}	帰還抵抗	XIN				3.0		M
f _{RING-S}	低速オンチップオシレータ発振周波数				40	125	250	kHz
V _{RAM}	RAM 保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、V_{CC} = AV_{CC} = 2.7 V ~ 3.3 V、T_{opr} = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 10 MHzです。

表 19.21 電気的特性(4) [Vcc = 3 V] (指定のない場合は、Topr = - 40 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.7 V ~ 3.3 V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	13	mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		7	12	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2.5		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		1.6		mA
		高速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		3.5	7.5	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップオシレータモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		420	800	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック動作 VCA26 = VCA27 = " 0 "		37	74	μA
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT 命令実行中 周辺クロック停止 VCA26 = VCA27 = " 0 "		35	70	μA
		ストップモード	メインクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA26 = VCA27 = " 0 "		0.7	3.0	μA

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=3V$]

表 19.22 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN 入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN 入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN 入力“L”パルス幅	40		ns

表 19.23 CNTR0入力、CNTR1入力、 $\overline{INT1}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(CNTR0)$	CNTR0 入力サイクル時間	300		ns
$t_{WH}(CNTR0)$	CNTR0 入力“H”パルス幅	120		ns
$t_{WL}(CNTR0)$	CNTR0 入力“L”パルス幅	120		ns

表 19.24 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TCIN)$	TCIN 入力サイクル時間	1200(注1)		ns
$t_{WH}(TCIN)$	TCIN 入力“H”パルス幅	600(注2)		ns
$t_{WL}(TCIN)$	TCIN 入力“L”パルス幅	600(注2)		ns

- 注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。
- 注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

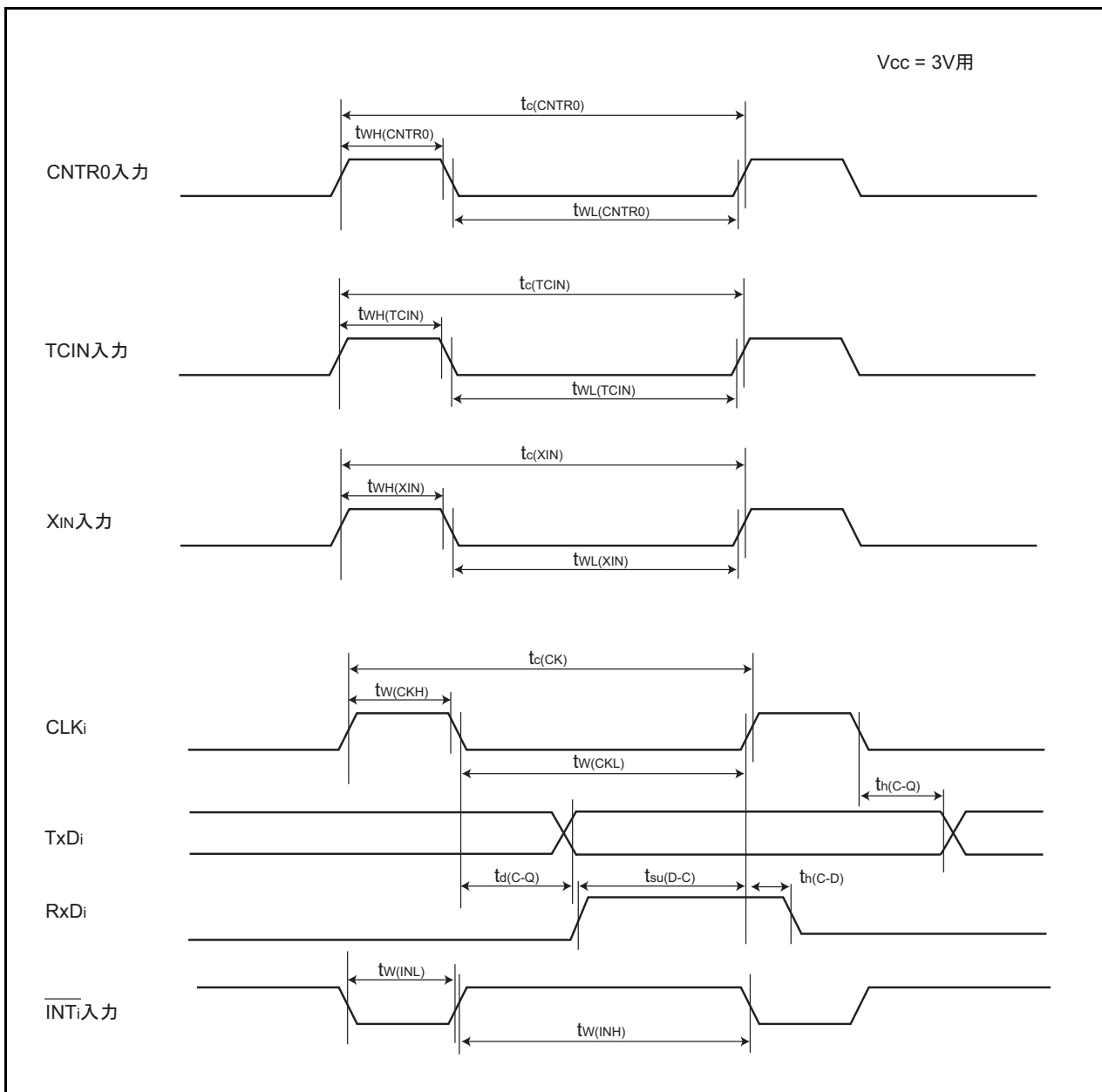
表 19.25 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi 入力サイクル時間	300		ns
$t_W(CKH)$	CLKi 入力“H”パルス幅	150		ns
$t_W(CKL)$	CLKi 入力“L”パルス幅	150		ns
$t_d(C-Q)$	TxDi 出力遅延時間		80	ns
$t_h(C-Q)$	TxDi ホールド時間	0		ns
$t_{su}(D-C)$	RxDi 入力セットアップ時間	70		ns
$t_h(C-D)$	RxDi 入力ホールド時間	90		ns

表 19.26 外部割りこみ $\overline{INT0}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_W(INH)$	$\overline{INT0}$ 入力“H”パルス幅	380(注1)		ns
$t_W(INL)$	$\overline{INT0}$ 入力“L”パルス幅	380(注2)		ns

- 注1. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。
- 注2. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

図 19.8 V_{CC}=3V時のタイミング

20. 使用上の注意事項

20.1 ストップモード、ウェイトモード

20.1.1 ストップモード

ストップモードに移行する場合、FMR01ビットを“0”(CPU書き換えモード無効)にした後、CM10ビットを“1”(ストップモード)にしてください。命令キューはCM1レジスタのCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。ストップモードに移行する場合は、次のプログラムを使用してください。

•ストップモードに移行するプログラム

```

BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001

LABEL_001:
NOP
NOP
NOP
NOP

```

20.1.2 ウェイトモード

ウェイトモードに移行する場合、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

また、内部RAM領域へ書き込んだ後、WAIT命令を実行してウェイトモードに移行した場合、ウェイトモードからの復帰時に特定の内部RAM領域が書き換わることがあります。書き換わる領域は、WAIT命令の前に書き込んだ内部RAMの次のアドレスから、最大3バイト分の領域です。

書き換わる値は、WAIT命令の前に書き込んだ値と同じ値です。

この現象が問題になる場合には、次のプログラム例で示すように、内部RAM領域への書き込みとWAIT命令の間にJMP.B命令を挿入することで、回避してください。

•WAIT命令を実行する例

```

プログラム例  MOV.B   #055h, 0601h    ; 内部RAM領域へ書き込み
...
                JMP.B   LABEL_001
LABEL_001:
                FSET    I            ; 割り込み許可
                BCLR    1, FMR0      ; CPU書き換えモード無効
                WAIT    ; ウェイトモード
                NOP
                NOP
                NOP
                NOP

```

なお、内部RAM領域への書き込み命令とWAIT命令実行の間に、内部RAM以外の領域へアクセスした場合には、この現象は発生しません。

20.2 割り込み

20.2.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

20.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

20.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

20.2.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

20.2.5 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 20.1に割り込み要因の変更手順例を示します。

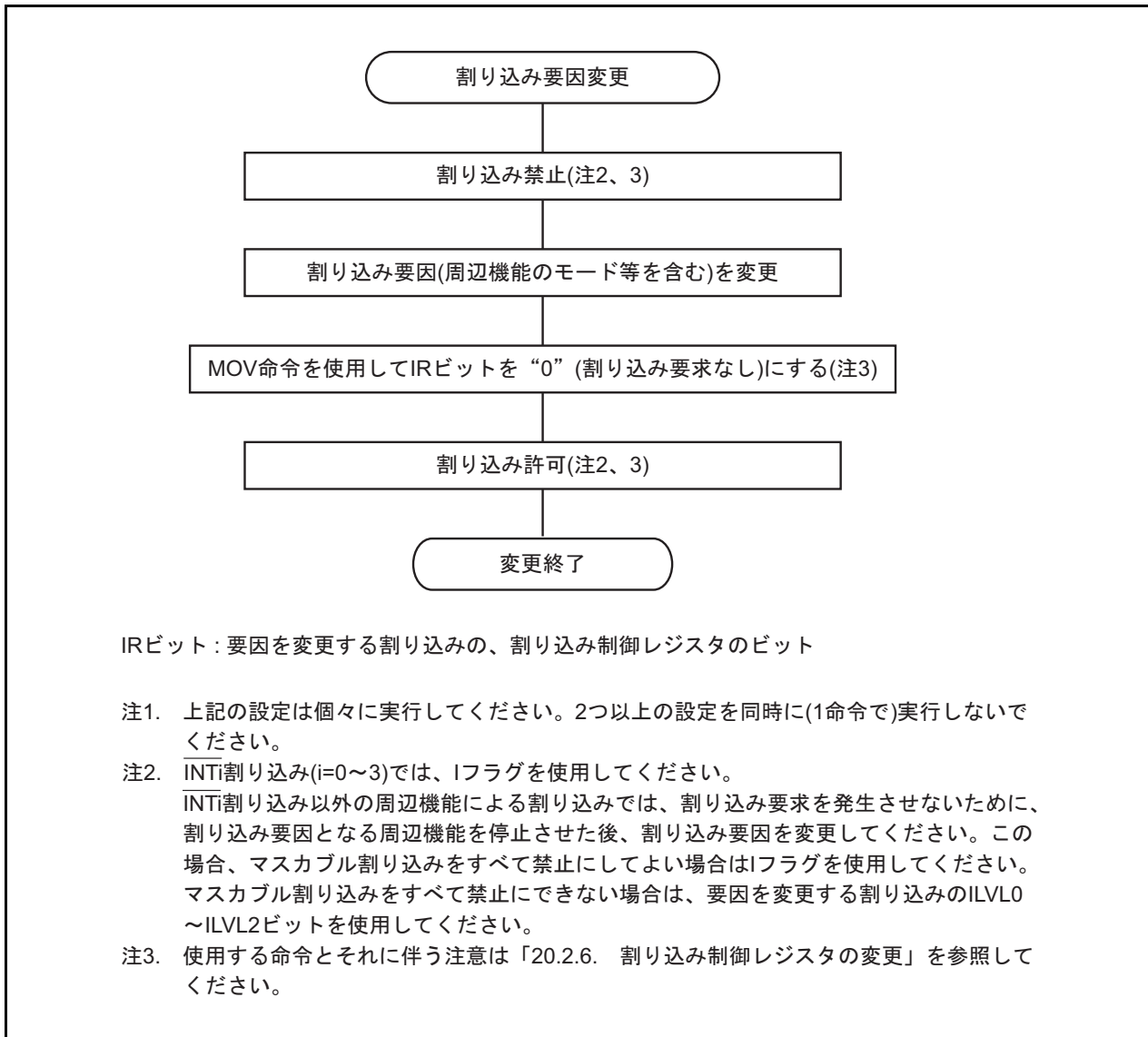


図 20.1 割り込み要因の変更手順例

20.2.6 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
IRビット以外のビットの変更
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令 AND、OR、BCLR、BSET
- IRビットの変更
IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。
- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  MOV.W   MEM, R0        ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TXICレジスタを“00h”にする
  POPC    FLG            ; 割り込み許可
```

20.3 クロック発生回路

20.3.1 発振停止検出機能

メインクロックの周波数が2MHz未満の場合、発振停止検出機能は使用できませんので、OCD1 ~ OCD0ビットを“00b”(発振停止検出機能無効)にしてください。

20.3.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

20.4 タイマ

20.4.1 タイマX、タイマZ

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。

20.4.2 タイマX

- TXMRレジスタのTXMOD0～TXMOD1ビットおよびTXMOD2ビットとTXSビットを同時に書き換えしないでください。
- パルス周期測定モードで使用するTXMRレジスタのTXEDGビットとTXUNDビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TXMRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTXEDGビット、TXUNDビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいTXEDGビット、TXUNDビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス周期測定モードに変更したとき、TXEDGビットとTXUNDビットは不定です。TXEDGビットとTXUNDビットに“0”を書いてから、タイマXのカウントを開始してください。
- カウント開始後に初めて発生するプリスケアラXのアンダフロー信号で、TXEDGビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にプリスケアラXの2周期以上の時間を空けて、TXEDGビットを“0”にしてから使用してください。
- TXMRレジスタのTXSビットには、タイマXにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。カウント停止中にTXSビットに“1”（カウント開始）を書いた後、次のカウントソースが入力されるまでは“0”（カウント停止）が読めます。次のカウントソースが入力されるとTXSビットは“1”が読めるようになります。TXSビットで“1”が読めるようになるまで、TXSビットを除くタイマX関連レジスタ(TXMR、PREX、TX、TCSS、TXICレジスタ)をアクセスしないでください。TXSビットが“1”になった後、次のカウントソースからカウントを開始します。同様に、カウント中にTXSビットに“0”（カウント停止）を書くと、次のカウントソースで、タイマXがカウントを停止します。TXSビットに“0”を書いた後、カウントを停止するまでにTXSビットを読むと、“1”（カウント開始）が読めます。TXSビットに“0”を書いた後、TXSビットで“0”が読めるようになるまで、TXSビットを除くタイマX関連レジスタをアクセスしないでください。

20.4.3 タイマZ

- TZMRレジスタのTZMOD0 ~ TZMOD1ビットとTZSビットを同時に書き換えしないでください。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TZMRレジスタのTZSビットを“0”にしてカウントを停止したとき、またはTZOCレジスタのTZOSビットを“0”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- TZMRレジスタのTZSビットには、タイマZにカウント開始または停止を指示するための機能と、カウントが開始または停止したことを示す機能があります。
カウント停止中にTZSビットに“1”(カウント開始)を書いた後、次のカウントソースが入力されるまでは“0”(カウント停止)が読めます。次のカウントソースが入力されるとTZSビットは“1”が読めるようになります。TZSビットで“1”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタ(TZMR、PREZ、TZSC、TZPR、TZOC、PUM、TCSC、TZICレジスタ)をアクセスしないでください。TZSビットが“1”になった後、次のカウントソースからカウントを開始します。
同様に、カウント中にTZSビットに“0”(カウント停止)を書くと、次のカウントソースで、タイマZがカウントを停止します。
TZSビットに“0”を書いた後、カウントを停止するまでにTZSビットを読むと、“1”(カウント開始)が読めます。TZSビットに“0”を書いた後、TZSビットで“0”が読めるようになるまで、TZSビットを除くタイマZ関連レジスタをアクセスしないでください。

20.4.4 タイマC

TCレジスタ、TM0レジスタおよびTM1レジスタは、16ビット単位でアクセスしてください。

TCレジスタは16ビット単位で読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が更新されることはありません。

<タイマCを読み出すプログラム例>

```
MOV.W    0090H,R0    ;タイマCの読み出し
```

20.5 シリアルインタフェース

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UORBレジスタを読み出すときは、必ず16ビット単位で読み出してください。
UORBレジスタのPER、FERビットとU0C1レジスタのRIビットは、UORBレジスタの上位バイトを読み出したとき、“0”になります。

<受信バッファレジスタを読み出すプログラム例>

```
MOV.W 00A6H, R0 ;UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、U0TBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

```
MOV.B #XXH, 00A3H ;U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B #XXH, 00A2H ;U0TBレジスタの下位バイトへの書き込み
```

20.6 チップセレクト付クロック同期形シリアルI/O(SSU)

20.6.1 SSU関連レジスタのアクセス

SSU関連レジスタ(00B8h番地～00BFh番地)の同一レジスタに対して、書いてから「3命令以上経過してから」または「4サイクル以上経過してから」、読んでください。

• 3命令以上待たせる例

```
プログラム例    MOV.B    #00h, 00BBh    ; SSERレジスタを“00h”にする
                 NOP
                 NOP
                 NOP
                 MOV.B    00BBh, R0L
```

• 4サイクル以上待たせる例

```
プログラム例    BCLR    4, 00BBh    ; 送信禁止
                 JMP.B    NEXT
NEXT:
                 BSET    3, 00BBh    ; 受信許可
```

20.7 A/Dコンバータ

- ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後A/D変換を開始させてください。
- A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADICレジスタのIRビット、またはADCON0レジスタのADSTビットで判定できます)。
- 繰り返しモードで使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。
- A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。
- AVCC/VREF端子とAVSS端子間に0.1 μ Fのコンデンサを接続してください。

20.8 フラッシュメモリ

20.8.1 CPU書き換えモード

20.8.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

20.8.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

20.8.1.3 割り込み

表 20.1にEW0モード時の割り込み、表 20.2にEW1モード時の割り込みを示します。

表 20.1 EW0モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視 2 割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置することで使用できません。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表 20.2 EW1モード時の割り込み

モード	状態	マスカブル割り込み要求受付時	ウォッチドッグタイマ、発振停止検出、電圧監視 2 割り込み要求受付時
EW1	自動消去中 (イレーズサスペンド機能有効)	td(SR-ES) 時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後に FMR4 レジスタの FMR41 ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動消去中 (イレーズサスペンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。(「20.8.1.9 EW1 モード時の自動消去中の割り込み要求」参照)	
	自動書き込み	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

20.8.1.4 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

20.8.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

20.8.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

20.8.1.7 フラッシュメモリの初期化

EW1モードでのイレーズサスペンド中にFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にすると、CPUが停止し、復帰できなくなるため、FMSTPビットを“1”にしないでください。

20.8.1.8 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

20.8.1.9 EW1モード時の自動消去中の割り込み要求

FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード有効)、FMR1レジスタのFMR11ビットが“1”(EW1モード)、かつFMR4レジスタのFMR40ビットが“0”(イレーズサスペンド機能禁止)の状態、自動消去中に割り込み要求が発生すると、CPUが正常に動作できない状態になります。

この現象を避けるためのソフトウェア対策として、次の3つの対策のいずれかを取ってください。

- (a) すべてのマスカブル割り込みの割り込み優先レベルを、レベル0にして割り込み禁止にする。(Iフラグを“0”にしてマスカブル割り込みを禁止しても、この現象は回避されません。)
- (b) FMR11ビットが“1”(EW1モード)のときはFMR40ビットを“1”(イレーズサスペンド機能許可)かつIフラグを“1”(割り込み許可)にする。
- (c) EW0モードを使用する。

20.9 ノイズに関する注意事項

20.9.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

20.9.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC 内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

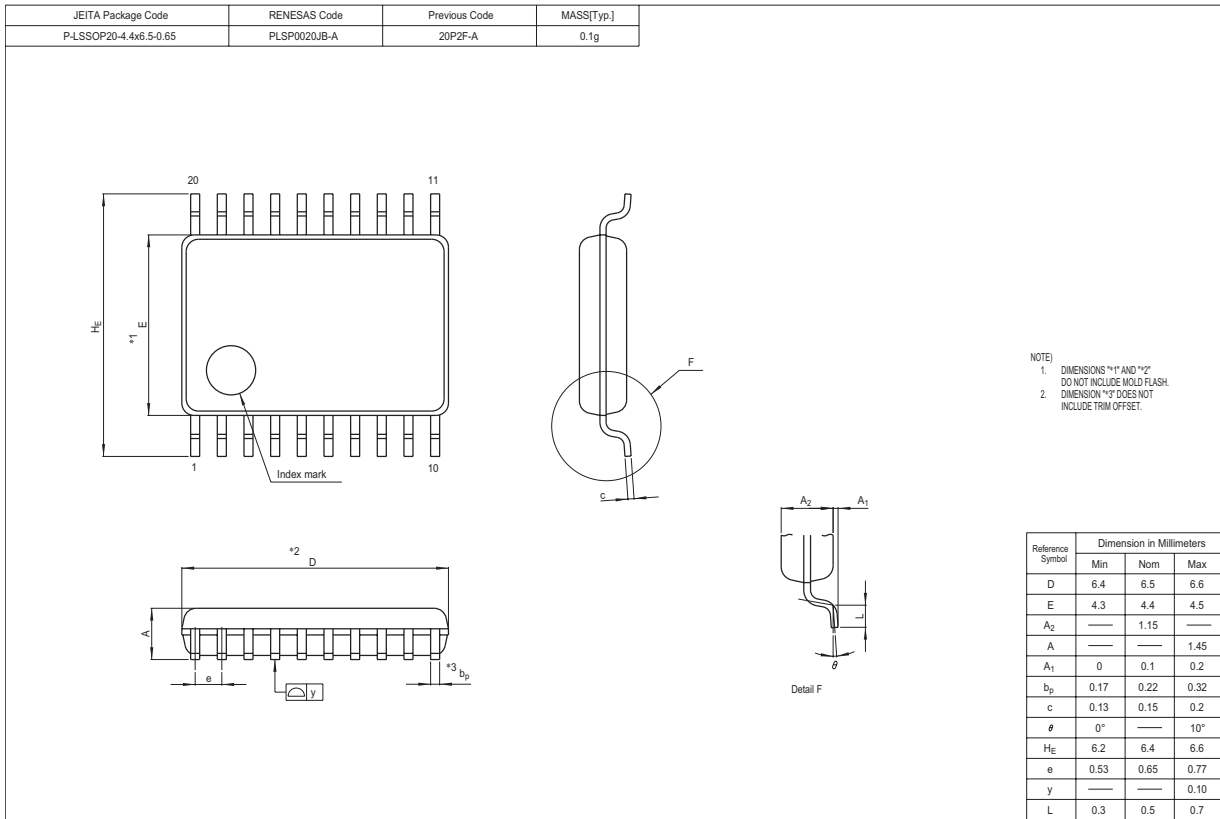
21. オンチップデバッグの注意事項

オンチップデバッグを使用してR8C/14、R8C/15グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) 0C000h 番地から 0C7FFh 番地は、オンチップデバッグで使用するため、ユーザはこの領域を使用しないでください。
- (2) アドレス一致割り込み(AIER、RMAD0、RMAD1 レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK 命令をユーザシステムで使用しないでください。
- (4) ユーザプログラムブレイク時にスタックポインタを最大8バイト分使用します。したがって、スタックエリアには8バイト分の余裕を確保してください。

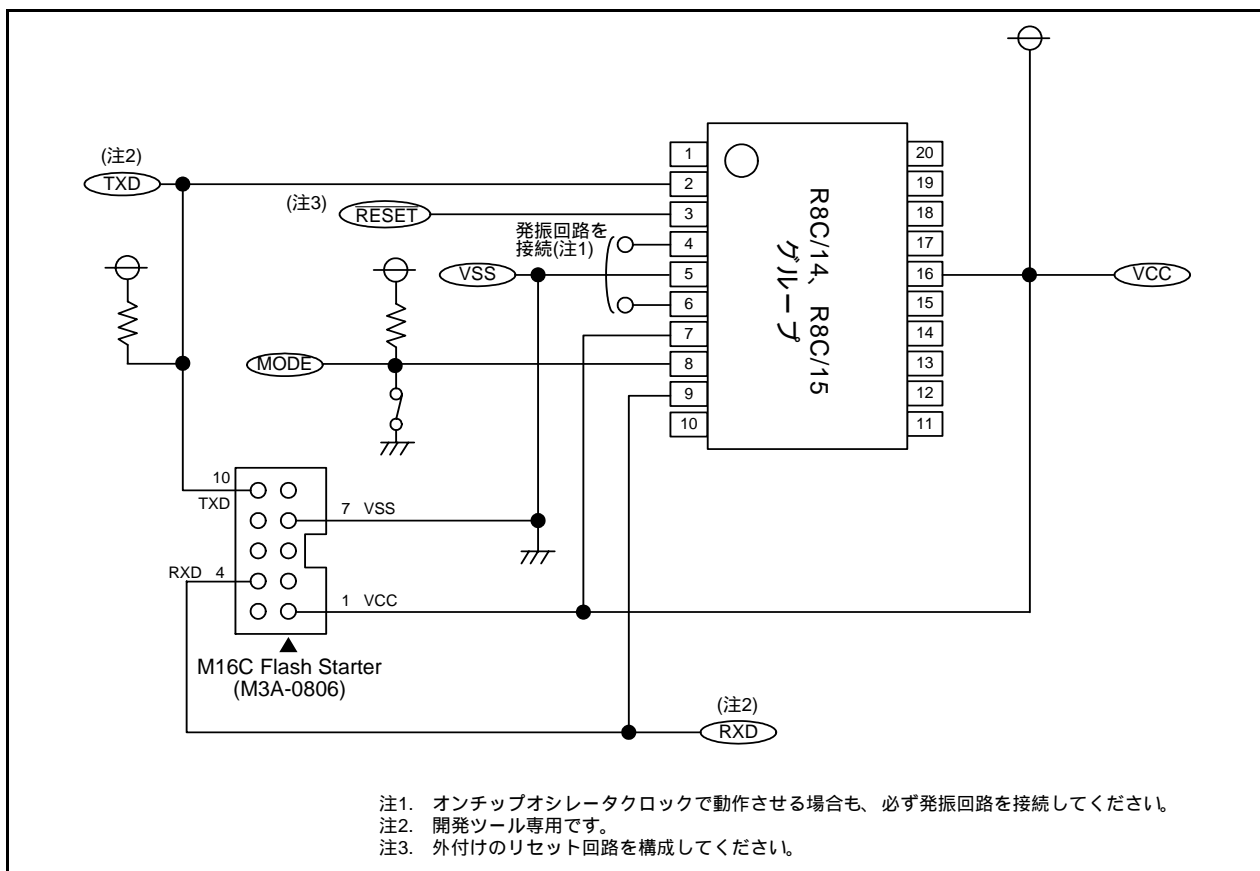
オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

付録1. 外形寸法図

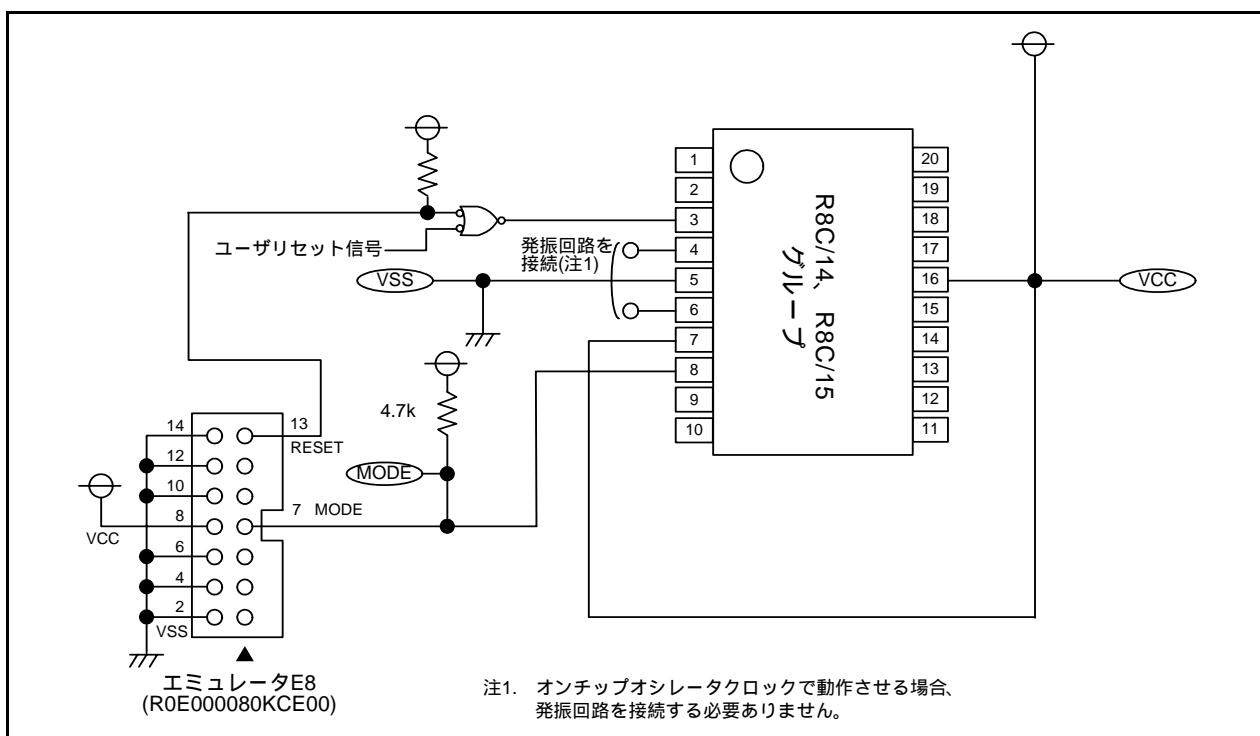


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図 2.1にM16C Flash Starterとの接続例(M3A-0806)を、付図 2.2にエミュレータE8(R0E000080KCE00)との接続例を示します。



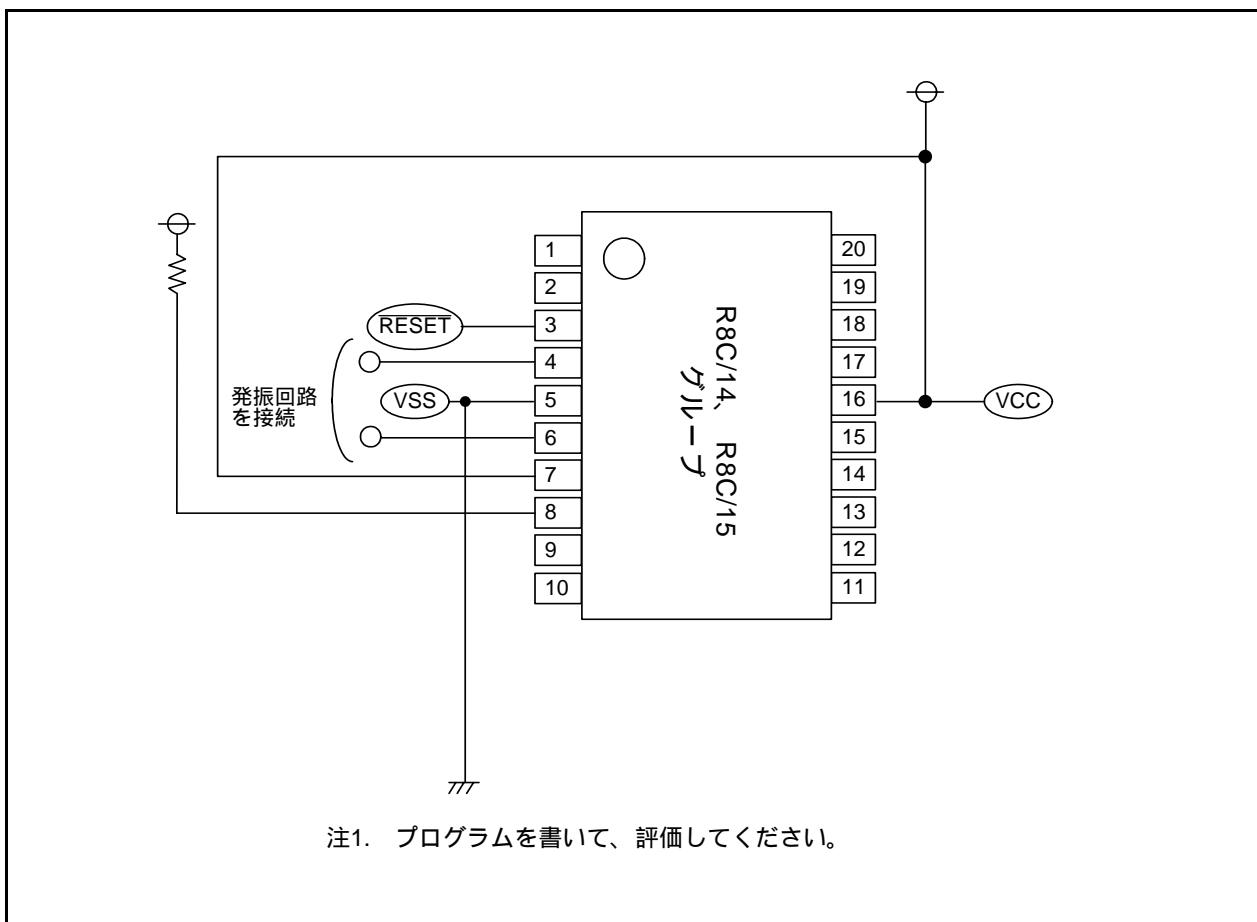
付図 2.1 M16C Flash Starterとの接続例(M3A-0806)



付図 2.2 エミュレータE8(R0E000080KCE00)との接続例

付録3. 発振評価回路例

付図 3.1 に発振評価回路例を示します。



付図 3.1 発振評価回路例

索引

数字	H
4線式バス通信モードの初期化 158	HRA0 42
4線式バス通信モードの動作 158	HRA1 42
	HRA2 42
A	I
A/Dコンバータ 165	IDコードチェック機能 191, 208
A0、A1 11	INT0F 68
AD 168	INT0IC 60
ADCON0 167	INT0入力フィルタ 69
ADCON1 167	INT0割り込み 68
ADCON2 168	INT1割り込み 70
AIER 76	INT3割り込み 71
B	INTB 11
Bフラグ 11	INTEN 68
C	INT割り込み 68
CM0 39	IPL 12
CM1 40	ISP 11
CNTR0端子選択機能 135	Iフラグ 12
CPU 10	K
CPU書き換えモード 193	KIEN 74
CPUクロック 45	L
CPUクロックと周辺機能クロック 45	LSBファースト、MSBファースト選択 130
Cフラグ 11	O
D	OCD 41
DRR 182	OFS 78, 192
Dフラグ 11	Oフラグ 12
E	P
EW0モード 194	P1 181
EW1モード 194	P3 181
F	P4 181
f1、f2、f4、f8、f32 45	PC 11
FB 11	PD1 181
FLG 11	PD3 181
FMR0 196	PD4 181
FMR1 197	PM0 34
FMR4 197	PM1 35
fRING-fast 45	PRCR 53
fRING-S 45	PREX 85
fRING、fRING128 45	PREZ 98
	PUM 99
	PUR0 182

PUR1 182

RR0、R1、R2、R3 11
RMAD0 76
RMAD1 76
ROMコードプロテクト機能 192, 212**S**SB 11
SCS端子制御とアービトレーション 164
SFR 15
SSCRH 139
SSCRL 140
SSER 142
SSMR 141
SSMR2 144
SSRDR 145
SSSR 143
SSTDR 145
SSTRSR 148
SSU 137
SSシフトレジスタ 148
Sフラグ 11**T**TC 114
TCC0 115
TCC1 116
TCOUT 117
TCSS 85, 100
TM0 114
TM1 114
TX 85
TXMR 84
TZMR 97
TZOC 99
TZPR 98
TZSC 98**U**U0BRG 124
U0C0 125
U0C1 126
U0MR 125
U0RB 124
U0TB 124
UART 132
UCON 126USP 11
Uフラグ 12**V**VCA1 27
VCA2 27
VCC入力電圧のモニタ 30
VW1C 28
VW2C 29**W**WDC 78
WDTR 79
WDTS 79**Z**

Zフラグ 11

あアウトプットコンペアモード 120
アドレス一致割り込み 75
アドレスレジスタ 11**い**イベントカウンタモード 89
インプットキャプチャモード 118**う**ウェイトモード 47
ウォッチドッグタイマ 77
ウォッチドッグタイマリセット 24**お**応用 1
オーバフローフラグ 12
オンチップオシレータクロック 44
オンチップデバッグの注意事項 244**か**外形寸法図 245
概要 1
各通信モードと端子機能 150

き	ソフトウェア割り込み	55
キー入力割り込み	73	
キャリフラグ	11	
極性選択機能	130	
く		
繰り返しモード	171	
クロック同期形シリアルI/Oモード	127	
クロック同期式通信モード	151	
クロック同期式通信モードの初期化	151	
クロック発生回路	37	
クロック非同期形シリアルI/O(UART)モード	132	
こ		
高速オンチップオシレータクロック	44	
さ		
サインフラグ	11	
サンプル&ホールド	173	
し		
システムクロック	45	
周辺機能クロック	45	
使用上の注意事項	231	
シリアルインタフェース	122	
シリアルライタとオンチップデバッグエミュ レータとの接続例	246	
す		
スタックポインタ指定フラグ	12	
スタティックベースレジスタ	11	
ステータスレジスタ	205	
ストップモード	49	
せ		
性能概要	2	
製品一覧	5	
ゼロフラグ	11	
そ		
ソフトウェアコマンド	201	
ソフトウェアリセット	24	
た		
タイマ	82	
タイマC	112	
タイマX	83	
タイマZ	96	
タイマモード	86, 101	
端子の機能説明	8	
単発モード	169	
ち		
チップセレクト付クロック同期形シリアルI/O	137	
中央演算処理装置(CPU)	10	
つ		
通常動作モード	46	
て		
低速オンチップオシレータクロック	44	
データ受信	154, 162	
データ送受信	156	
データ送信	152, 160	
データ入出力端子とSSシフトレジスタの関係	148	
データレジスタ	11	
デバッグフラグ	11	
電圧監視1リセット	31, 24	
電圧監視2リセット	24	
電圧監視2割り込み、電圧監視2リセット	32	
電圧検出回路	25	
転送クロック	146	
転送クロックの極性、位相とデータの関係	146	
と		
特殊割り込み	56	
は		
ハードウェアリセット	21	
バス制御	36	
発振停止検出機能	51	
発振停止検出機能の使用方法	51	
発振評価回路例	247	
パラレル入出力モード	212	
パルス周期測定モード	93	
パルス出力モード	87	

パルス幅測定モード	90
パワーコントロール	46

ひ

ビットレート	136
標準シリアル入出力モード	208
ピン接続図	7

ふ

フラグレジスタ	11
フラッシュメモリ	188
フラッシュメモリ書き換え禁止機能	191
フルステータスチェック	206
フレームベースレジスタ	11
プログラマブルウェイトワンショット発生モード	109
プログラマブル入出力ポート	176
プログラマブル波形発生モード	103
プログラマブルワンショット発生モード	106
プログラムカウンタ	11
プロセッサモード	34
プロセッサ割り込み優先レベル	12
ブロック図	4
プロテクト	53

み

未使用端子の処理	183, 187
----------------	----------

め

メインクロック	43
メモリ	13
メモリ配置	189

ゆ

ユーザスタックポインタ	11
-------------------	----

よ

予約領域	12
------------	----

り

リセット	19
------------	----

れ

レジスタバンク指定フラグ	11
連続受信モード	131

わ

割り込み	54
割り込み許可フラグ	12
割り込みスタックポインタ	11
割り込み制御	59
割り込み制御レジスタ	59
割り込みテーブルレジスタ	11
割り込みと割り込みベクタ	57
割り込みの概要	54
割り込みの分類	54
割り込み要求	149

改訂記録

R8C/14、R8C/15グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2004.04.05	-	初版発行
0.20	2004.04.23	22 43 44 45 50 50 50 54 136 187 206	5.1.2 9行目「、、、低速オンチップオシレータクロックを、、、」を追記 図9.1 「システムクロック」を追記 図9.2 CM06ビットのビット名を変更 図9.3 CM16、CM17ビットのビット名を変更 「9.3.1 システムクロック」を追記 9.3.2 2行目「システムクロックを、、、」に変更 9.3.3 2行目「、、、はシステムクロックを、、、」に変更 表9.4 「電圧監視2割り込み」に使用条件を追記 図14.10 「U0BRGの出力」に変更 18.4.2 7行目「ブロックイレースコマンド実行から、、、」に変更 「20.1 アドレス一致割り込み」を11章から移動
0.30	2004.07.23	全ページ 9 10 14、15 16 18 19 20～25 26～34 36 39 43 66 67 77 87 106 108 109 114 115 133 136 138 142 157 159 173 179 182	用語統一(オンチップオシレータ、シリアルインタフェース、SSU) 表1.5 アナログ電源入力を追記；基準電圧入力を追記 表1.6 追記 図3.1、図3.2 0FFF4h～0FFF7h番地にアドレスブレイクを追記 表4.1 0022h番地にHRA2レジスタ追記；注2、注4、注5を修正 表4.3 009Ch～009Fh番地のリセット後の値をFFhに修正 表4.4 01B7h番地のリセット後の値を00000001bに修正 「5. リセット」の構成、記載情報を変更 「6. 電圧検出回路」の構成、記載情報を変更 図7.2 b0の機能を修正 図9.1 HRA1、HRA2レジスタを追記 図9.5 HRA1レジスタの機能に追記、HRA2レジスタを追記 11.1.6.7 8行目 注1を追記；図11.7 注1を追記 図11.8 注1に追記 「12. ウォッチドッグタイマ」の構成、記載情報を変更 表13.3 選択機能のCNTR0端子選択機能を削除 表13.9 注2に追記 図13.20 IRビットのタイミングを変更 表13.10 注2に追記 図13.26 TM0、TM1レジスタのリセット後の値をFFFFhに修正 図13.27 TCC06ビット 0 1に修正 表14.5 注2を削除 「14.2.2 ビットレート」を追記 図15.1 内部クロック(SSUA) (f1/i)に修正 図15.5 TIEビット 1:、、、要求禁止 要求許可に修正 15.6 10行目、11行目 SSCRHレジスタ SSMR2レジスタに修正 15.6.2 16行目 SSRRレジスタ SSSRレジスタに修正 「17. プログラマブル入出力ポート」の構成、記載情報を変更 図17.8 b4～b7の機能を修正 18.2 12行目「ブロックAおよびブロックBはPM1レジスタの、、、」の1文を削除

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2004.07.23	183	図 18.2 注1を削除
		184	図 18.3 00FFF7h ~ 00FFF4h番地にアドレスブレイクを追記
		185	18.3.2 3行目「ROMCRビットに“1、”」を追記 7行目「一度、ROMコードプロテクトを有効にすると」に修正
		189	図 18.5 リセット後の値を0000001bに修正
		192	図 18.9 注3 10 μ s 15 μ sに修正；注4を追記
		198	表 18.6 コマンドシーケンスエラーのエラー発生条件に追記
		204	「19. 電気的特性」を追記
		224	「21.1 ストップモード、ウェイトモード」を修正
		229	21.4.2 6項目を追記 21.4.3 3項目を追記
		232	「21.7.1.3 割り込み」を修正；以降のサブ項番号を変更
		233	「21.7.1.9 ストップモード」を修正
		237	「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を追記
		239	「付録3. 発振評価回路例」を追記
0.40	2004.09.03	2	表 1.1 消費電流 TBDを決定
		3	表 1.2 消費電流 TBDを決定 プログラム、イレーズ回数 100回 1,000回に変更
		39	図 9.1 CM13のスイッチを追記
		130	図 14.7 ...、CKPOLビット=1、...、立ち上がりで受信データ入力、... ...、立ち下がりで受信データ入力、...
		131	14.1.3 2行目以降を修正
		137	表 15.1 注2を追記
		145	図 15.8 SSTDRレジスタに注1を追記
		152	15.5.2 17 ~ 19行目「スレーブデバイスに設定、...、可能です。」を追記 図 15.12 TDREビットのタイミングを修正
		153	図 15.13 注2を追記
		156	15.5.4 10 ~ 12行目「スレーブデバイスに設定、...、可能です。」を追記
		157	図 15.16 注2を追記
		160	15.6.2 18 ~ 20行目「スレーブデバイスに設定、...、可能です。」を追記
		161	図 15.18 TDREビットのタイミングを修正
		182	表 18.1 プログラム、イレーズ回数 ブロック0、1 を変更
		186	図 18.4 CSPROINIビットのビット名を修正
		191	図 18.6 FMR4レジスタ FMR41ビット：機能内容を変更 FMR46ビット：ビット名を変更、機能内容を変更
		194	表 17.4 BA：ブロックの最上位番地 ブロックの任意の番地
		196	1行目 ブロックの最上位番地 ブロックの任意の番地 図 18.11 ブロックの最上位番地 ブロックの任意の番地
		197	図 18.12 注2を追記
		199	表 18.6 コマンドシーケンスエラーのエラー発生条件に追記

Rev.	発行日	改訂内容	
		ページ	ポイント
0.40	2004.09.03	207 208 209 210 212 216 225 234 238	表19.4 プログラム、イレーズ回数を変更 表19.6 規格値TBDを決定、注1を修正、注3を追記 表19.7 規格値TBDを決定、注1を修正、注4を追記 表19.9 規格値を追加 表19.10 規格値TBDを決定 表19.13 ウェイトモード 規格値TBDを決定 表19.20 ウェイトモード 規格値TBDを決定 21.1 ストップモード、ウェイトモード を修正 21.7.1.7 フラッシュメモリの初期化 を追記 (旧21.7.1.7項と21.7.1.8項)を削除 付図2.2 注2を追記
1.00	2004.12.23	全ページ 5 6 16 18 22 24 25 26 27 28 29 31 32 34 43 49 53 77 88 89 91 92 95 103	開発中(暫定仕様書)の表記を削除 表1.3 一部の型名の(開)表記を削除 表1.4 一部の型名の(開)表記を削除 表4.1 0036h番地のリセット後の値を変更 00BCh番地のリセット後の値を修正 5.1.1 (2)、5.1.2 (4)に追記 5.2 4行目「内部リセット信号が、、、」に修正、図5.6 追記 5.3 5行目「内部リセット信号が、、、」に修正 表6.1 項目「モニタ 電圧検出1」を変更 図6.2 VW1C2、VW1C3を削除 図6.4 VCA2の注2を変更 図6.5 VW1C2、VW1C3の機能を変更 6.1.1 説明を変更 図6.7 VW1C2、VW1C3、Vreset1を削除 図6.8 注1.を追記 図9.5 HRA0の(旧)注3を削除 表9.3 項目を追記 9.5 (旧)6行目「低速オンチップオシレータが、、、」を削除 表9.5 「HRA0レジスタの、、、」を削除 9.5.1 ・「発振停止検出後に、、、」を追記、変更 「11.4 アドレス一致割り込み」を移設 表13.2 「タイマの書き込み」を修正 表13.3 「タイマの書き込み」を修正 表13.4 「タイマの書き込み」を修正 表13.5 「タイマの書き込み」を修正 表13.6 「タイマの書き込み」を修正 表13.7 「タイマの書き込み」を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.12.23	105 108 111 128 135 147 150 161 169 172 174 185 186 188 197 199 209 211 212 213 ~ 215 216 232 233 235	表 13.8 「TZOUT 端子機能」に追記 表 13.9 「TZOUT 端子機能」に追記 表 13.10 「TZOUT 端子機能」に追記 図 14.5 U0IRSビット TXEMP TXEPTに修正 表 14.6 CLK0の機能を修正 図 15.8 SSSTDRレジスタに追記、SSTRSRレジスタを削除 15.2 SSシフトレジスタ(SSTRSR) を新設 図 15.17 MLSビット 1 MLSビット 0へ修正 MLSビットを“1”に MLSビットを“0”に へ修正 図 16.2 CKS0、CKS0ビットの機能説明を変更 図 16.4 CKS0、CKS0ビットの機能説明を変更 図 16.5 CKS0、CKS0ビットの機能説明を変更 図 18.1 追記 図 18.2 追記 18.3.2 7行目「一度、ROMコードプロテクトを、、、」を修正 18.4.3.4 18行目「、、、次にリードアレイコマンドを、」へ修正 図 18.12 注2に追記 表 19.4 「消去動作からイレーズサスペンドへの遷移時間」を追記 表 19.8、表 19.9 変更 表 19.11 td(P-R)の最小値を追記、表 19.12 追記 図 19.4 ~ 図 19.6を追記 表 19.13 「“L”出力電圧 P1_0 ~ P1_3」に追記と修正 「(旧)20.オンチップデバッグ を削除」 20.6 「チップセレクト付クロック同期形シリアルI/O(SSU)」を新設 20.7 8行目「またはADCON0レジスタのADSTビットで」を追記 20.8.1.8 「ストップモード、ウェイトモードへの移行」 追記
1.10	2005.03.04	1 ~ 3 5 ~ 8 16 18 29 30 32 33 38 40	「20ピンプラスチックモールドSSOP」を「20ピンプラスチックモールドLSSOP」へ修正 パッケージ型名を変更 表 4.1 000Fh番地のリセット後の値を修正 表 4.3 009Ch ~ 009Dh番地のリセット後の値を修正、注2を追記 00BCh番地のリセット後の値を修正 図 6.5 注1. に追記 ; VW1C2、VW1C3の機能を変更 図 6.6 注1. に追記 表 6.2 手順4 ~ 7を手順4 ~ 8へ修正 表 6.3 手順5から注2を削除 表 9.1 注2を追加 図 9.2 注6を削除

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2005.03.04	50	表9.4 $\overline{\text{INT3}}$ 割り込み：使用条件を修正
		56 ~ 69	図11.1、11.1.3.4、表11.1 注1、図11.10 「開発サポートツール」を「開発ツール」へ変更
		72	図11.14 注3を追記
		79	表12.1 項目：ウォッチドッグタイマ初期化条件を追記 図12.1 「CSPR0」を「CSPRO」へ修正
		80	図12.2 WDCレジスタ リセット後の値を変更、注1を追記
		116	図13.26 TM0レジスタ リセット後の値を変更、注2を追記
		126	図14.3 U0RBレジスタ 注2 「また、PER、FERビット、、」を追記
		127	図14.4 U0MRレジスタ 注1 「P1_6」を「PD1_6」へ修正
		145	図15.6 SSSRレジスタ リセット後の値を修正
		156	図15.14 「SSO」を「SSI」へ修正
		166	15.6.4 「マルチマスタで使用する場合は、、、」を削除
		171	表16.1 項目：動作クロック ADを修正、注2. 「また、VCCが4.2V未 満、、」を削除
		183	表17.4 ポートP1、 $\overline{\text{RESET}}$ ：処理内容を修正、項目：AVSSを削除、注1 「電源電圧、、」を「電源電流、、」へ修正 図17.9 追記
		185、186	図18.1、図18.2 注2を追記
		189	表18.3 「割り込み」を「マスカブル割り込み」へ変更
		194	図18.7 追記
		200	図18.12 「割り込み」を「マスカブル割り込み」へ変更
		209	表19.3 測定条件からf(XIN)=を削除。 注2、3. fAD f1に修正、注3. VCCをAVCCに修正
		210	表19.5 「イレーズサスペンドリクエスト間隔」を追記
		211	図19.2 「割り込み」を「マスカブル割り込み」へ修正
		212	表19.9 $t_{W(Vpor1-Vdet1)}$ の測定条件 85 0 へ修正
		213	表19.12 t_{LEAD} 、 t_{LAG} の最大値を修正
		214	図19.4 変更
		217	表19.13 注1. f(BCLK) f(XIN)に修正
		218	表19.14 ウェイトモード、ストップモードの測定条件： VC27 VCA26=VCA27に修正
		219	表19.16 表タイトル「 $\overline{\text{INT2}}$ 」を「 $\overline{\text{INT1}}$ 」へ修正
		221	表19.20 注1. f(BCLK) f(XIN)に修正
		222	表19.21 ウェイトモード、ストップモードの測定条件： VC27 VCA26=VCA27に修正

改訂記録	R8C/14、R8C/15 グループハードウェアマニュアル
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2005.03.04	223	表19.23 表タイトル「 $\overline{\text{INT2}}$ 」を「 $\overline{\text{INT1}}$ 」へ修正
		230	20.4.2 タイマXを変更
		231	20.4.3 タイマZを変更
		235	表20.1 「自動消去、」を「すぐに自動消去、」へ変更 表20.2 「自動消去、」を「すぐに自動消去、」へ変更、「td(SR-ES)時間後に」を追記
		239	外形寸法図を変更
		240	付図2.1 注3を追記
2.00	2006.01.12	全ページ	<p>レジスタ名変更</p> <p>00B8h : 「SSコントロールレジスタH」 「SS制御レジスタH」 00B9h : 「SSコントロールレジスタL」 「SS制御レジスタL」 00BBh : 「SSイネーブルレジスタ」 「SS許可レジスタ」 00BEh : 「SSトランスミットデータレジスタ」 「SS送信データレジスタ」 00BFh : 「SSレシーブデータレジスタ」 「SS受信データレジスタ」</p> <p>1 1.概要 「、、、20ピンプラスチックモールドLSSOPまたはSDIPに、、、」 「、、、20ピンプラスチックモールドLSSOPに、、、」へ変更</p> <p>2、3 表1.1 R8C/14グループの性能概要、表1.2 R8C/15グループの性能概要 • パッケージ : 「20ピンプラスチックモールドSDIP」削除 • フラッシュメモリ : 「データ領域」 「データフラッシュ」、 「プログラム領域」 「プログラムROM」へ変更</p> <p>4 図1.1 ブロック図 「周辺機能」追記 「システムクロック発生」 「システムクロック発生器」へ変更</p> <p>5、6 表1.3 R8C/14グループの製品一覧表、表1.4 R8C/15グループの製品一覧表 一部型名の「(開)」表記を削除、「(計) : 計画中」の製品を表から削除 「プログラム領域」 「プログラムROM」 「データ領域」 「データフラッシュ」へ変更 図1.2、図1.3 型名とメモリサイズ・パッケージ パッケージ種類 : 「DD : 外形PRDP0020BA-A」を削除</p> <p>8 図1.5 PRDP0020BA-Aパッケージ品のピン接続図(上面図) 削除 表1.5 端子の機能説明 タイマC : 「CMP0_0 ~ CMP0_3、CMP1_0 ~ CMP1_3」 「CMP0_0 ~ CMP0_2、CMP1_0 ~ CMP1_2」</p> <p>10 図2.1 CPUのレジスタ 「予約領域」 「予約ビット」へ変更</p> <p>12 2.8.10 予約ビット 「予約領域」 「予約ビット」へ変更</p> <p>13 図3.1 R8C/14グループのメモリ配置図 変更</p> <p>14 3.2 R8C/15グループ、図3.2 R8C/15グループのメモリ配置図 変更</p>

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.01.12	15	表4.1 SFR一覧(1) リセット後の値を変更 0009h : 「XXXXXX00b」 「00h」 000Ah : 「00XXX000b」 「00h」 001Eh : 「XXXXX000b」 「00h」
		17	表4.3 SFR一覧(3) レジスタ名修正 0085h : プリスケーラZ プリスケーラZレジスタ 0086h : タイマZセカンダリ タイマZセカンダリレジスタ 0087h : タイマZプライマリ タイマZプライマリレジスタ 008Ch : プリスケーラX プリスケーラXレジスタ 008Dh : タイマX タイマXレジスタ 0090h, 0091h : タイマC タイマCレジスタ
		20	図5.3 リセットシーケンス 変更
		23	5.2 パワーオンリセット機能 「RESET端子にコンデンサを接続する場合、、、ご注意ください。」追記
		28	図6.5 VW1Cレジスタ 変更
		29	図6.6 VW2Cレジスタ 注10追加
		31	表6.2 電圧監視1リセット関連ビットの設定手順 変更
		32	表6.3 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順 変更
		36	表8.2 R8C/15グループのアクセス領域に対するバスサイクル 追加
		37	表9.1 クロック発生回路の概略仕様 注2削除
		38	図9.1 クロック発生回路 変更
		39	図9.2 CM0レジスタ 注2変更
		41	図9.4 OCDレジスタ 注3、4変更
		42	図9.5 HRA0、HRA1、HRA2レジスタ HRA0レジスタ、注2変更
		43	9.1 メインクロック 「リセット後、、、」 「リセット中およびリセット後、、、」へ変更
		45	9.3.2 CPUクロック 「CPUクロックのクロック源を変更する、、、変更してください。」削除
		46	9.4.1 通常動作モード 「、、さらに3つのモード、、」 「、、さらに4つのモード、、」へ変更
47	表9.2 クロック関連ビットの設定とモード 変更 9.4.1.1 高速モード、9.4.1.2 中速モード 「オンチップオシレータモードに遷移、、モード)にしてください。」削除 9.4.1.3 高速、低速オンチップオシレータモード 「9.4.1.3 オンチップオシレータモード」 「9.4.1.3 高速、低速オンチップオシレータモード」へタイトル変更 「高速、中速モードに遷移すると、、、モード)にしてください。」削除		

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.01.12	50	図9.7 ストップモード、ウェイトモード状態遷移 図9.7 パワーコントロールの状態遷移 へ変更 図9.8 通常動作モード状態遷移 削除
		51	9.5.1 発振停止検出機能の使用方法 「メインクロックの周波数が2MHz以下の場合、...」 「メインクロックの周波数が2MHz未満の場合、...」へ変更
		52	図9.8 低速オンチップオシレータからメインクロックへの切り替え手順 変更
		53	図10.1 PRCR レジスタ 「00XXX000b」 「00h」へ変更
		67	図11.10 割り込み優先レベルの判定回路 注1削除
		68	図11.11 INTEN、INT0F レジスタ 「XXXXX000b」 「00h」へ変更
		75	11.4 アドレス一致割り込み 「、、アドレス一致割り込みを使用しないでください。」 「、、アドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。」へ変更
		76	図11.19 AIER、RMAD0～RMAD1レジスタ AIERレジスタ変更
		78	図12.2 OFS、WDCレジスタ ・オプション機能選択レジスタ 注2追加 ・ウォッチドッグタイマ制御レジスタ 注1削除
		83	図13.1 タイマXのブロック図 変更
		86	表13.2 タイマモードの仕様 ・「INT1/CNTR0信号端子機能」 「INT10/CNTR00、INT11/CNTR01端子機能」 ・タイマの書き込み： 「、、レジスタに書き込むと、それぞれリロードレジスタに書き込まれる。(次のカウントソース入力時にカウンタへ転送される。)」 「、、レジスタに書き込むと、次のカウントソースの入力タイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入力タイミングでカウンタへ転送され、3つ目のカウントソースの入力タイミングでカウンタを再開する」
		87	表13.3 パルス出力モードの仕様 ・「INT1/CNTR0信号端子機能」 「INT10/CNTR00端子機能」 ・タイマの書き込み： 「、、レジスタに書き込むと、それぞれリロードレジスタに書き込まれる。(次のカウントソース入力時にカウンタへ転送される。)」 「、、レジスタに書き込むと、次のカウントソースの入力タイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入力タイミングでカウンタへ転送され、3つ目のカウントソースの入力タイミングでカウンタを再開する」 ・注1を追記

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.01.12	89、90、93	表13.4 イベントカウンタモードの仕様、表13.5 パルス幅測定モードの仕様、表13.6 パルス周期測定モードの仕様 <ul style="list-style-type: none"> 「INT1/CNTR0信号端子機能」 「INT10/CNTR00、INT11/CNTR01端子機能」 タイマの書き込み： 「、、、レジスタに書き込むと、それぞれリロードレジスタに書き込まれる。(次のカウントソース入力時にカウンタへ転送される。)」 「、、、レジスタに書き込むと、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する」
		96	図13.11 タイマZのブロック図 「周辺データバス」 「データバス」
		101	表13.7 タイマモードの仕様 タイマの書き込み： 「カウント中に、、、それぞれリロードレジスタに書き込まれる。(次のカウントソース入力時にカウンタへ転送される。)」 「カウント中に、、、次のカウントソースの入カタイミングでリロードレジスタに書き込まれ、2つ目のカウントソースの入カタイミングでカウンタへ転送され、3つ目のカウントソースの入カタイミングでカウントを再開する」
		106、109	表13.9 プログラブルワンショット発生モードの仕様、表13.10 プログラブルウェイトワンショット発生モードの仕様 カウント動作：「・カウント終了時、、、」 「・カウント停止時、、、」
		113	図13.25 CMP 波形出力部ブロック図 変更
		120	表13.12 アウトプットコンペアモードの仕様 注1変更
		121	図13.31 アウトプットコンペアモードの動作例 変更
		124	図14.3 U0TB、U0RB、U0BRG レジスタ U0TB、U0RB レジスタ 変更、U0BRG レジスタ 注3追加
		125	図14.4 U0MR、U0C0 レジスタ U0C0 レジスタ 注1追加
		133	表14.5 UARTモード時の使用レジスタと設定値 U0BRG：「 - 」 「0～7」
		135	図14.10 UARTモード時の受信タイミング例 「“L”レベルであることを検査」 「“L”レベルであることを判定」
		166	図16.1 A/Dコンバータのブロック図 「Vref」 「Vcom」変更
		167	図16.2 ADCON0～ADCON1 レジスタ ADCON0 レジスタ 変更
		170	図16.4 単発モード時のADCON0～ADCON1 レジスタ ADCON0 レジスタ 変更
		172	図16.5 繰り返しモード時のADCON0～ADCON1 レジスタ ADCON0 レジスタ 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.01.12	173 ~ 175	図 16.6 A/D 変換タイミング図 「3 AD サイクル」 「2.5 AD サイクル」 16.4 A/D 変換サイクル数 ~ 16.6 注入電流バイパス回路 追加
		177、178	図 17.1 プログラマブル入出力ポートの構成 (1)、図 17.2 プログラマブル入出力ポートの構成 (2) 注 1 追加
		179	図 17.3 プログラマブル入出力ポートの構成 (3) 注 4 追加
		183 ~ 186	17.4 ポートの設定 追加 表 17.4 ポート P1_0/KI0/AN8/CMP0_0 ~ 表 17.17 ポート P4_5/INT0 追加
		188	表 18.1 フラッシュメモリの性能概要 プログラムイレーズ回数: 「プログラム領域」 「プログラム ROM」, 「データ領域」 「データフラッシュ」へ変更
		189	18.2 メモリ配置 「、、領域とは、、、ブロック B が、、」 「、、領域(プログラム ROM)とは、、、ブロック B(データフラッシュ)が、、」
		190	図 18.1 R8C/14 グループのフラッシュメモリのブロック図 変更 図 18.2 R8C/15 グループのフラッシュメモリのブロック図 変更
		192	18.3.2 ROM コードプロテクト機能 • 「ROMCR ビットに “0” を書くと、、、」を削除 • 「ROMCR ビットに “0” を書いて、、、」 「OFS レジスタを含むブロックを消去して、、、」へ変更 図 18.4 OFS レジスタ 注 2 を追記
		196	図 18.5 FMR0 レジスタ 注 6 を追記
		197	図 18.6 FMR1、FMR4 レジスタ FMR4 レジスタ、注 2 変更
		199	図 18.8 EW0 モードの設定と解除方法 変更
		204	図 18.13 ブロックイレーズフローチャート(イレーズサスペンド機能使用時) 変更
		207	図 18.14 フルステータスチェックフローチャート、各エラー発生時の対処方法 変更
		208、209	18.5 標準シリアル入出力モード 変更
		210	図 18.15 標準シリアル入出力モード 3 時の端子結線図 タイトル変更
		211	18.5.1.1 標準シリアル入出力モード時の端子処理例 変更
		215	表 19.4 フラッシュメモリ(プログラム ROM)の電気的特性 • 注 1 ~ 7 追加 • “Ta” 周囲温度
		216	表 19.5 フラッシュメモリ(データフラッシュ ブロック A、ブロック B)の電気的特性 • 注 1、3 変更、注 9 追加 • “Ta” 周囲温度
		217	図 19.2 消去動作からイレーズサスペンドへの遷移時間 変更

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.01.12	218	表19.8 リセット回路の電気的特性(電圧監視1リセット使用時) 注2変更
		219	表19.10 高速オンチップオシレータ発振回路の電気的特性 変更 表19.12 チップセレクト付クロック同期形シリアルI/O(SSU)のタイミング必要条件 変更
		220	図19.4 チップセレクト付クロック同期形シリアルI/O(SSU)の入出力タイミング(マスタ) 変更
		221	図19.5 チップセレクト付クロック同期形シリアルI/O(SSU)の入出力タイミング(スレーブ) 変更
		223	表19.13 電気的特性(1) [Vcc = 5 V] VT+-VT- 項目 : INT2削除、SSO追加
		224	表19.14 電気的特性(2) [Vcc = 5 V] •「(指定のない場合は、Topr = - 40 ~ 85)」追加 •ストップモード 測定条件 : Topr = 25 追加 •注1削除
		225	表19.18 シリアルインタフェース •TxDi出力遅延時間 規格値 : 80 50 •RxDi入力セットアップ時間 規格値 : 35 50
		227	表19.20 電気的特性(3) [Vcc = 3 V] VT+-VT- 項目 : INT2削除、SSO追加
		228	表19.21 電気的特性(4) [Vcc = 3 V] •「(指定のない場合は、Topr = - 40 ~ 85)」追加 •ストップモード 測定条件 : Topr = 25 追加 •注1削除
		229	表19.25 シリアルインタフェース •TxDi出力遅延時間 規格値 : 160 80 •RxDi入力セットアップ時間 規格値 : 55 70
		231	20.1.1 ストップモード •「ストップモードに移行する場合は、次の、、、」追加 •「ストップモードに移行する例」 「ストップモードに移行するプログラム」 •「プログラム例」削除
		235	20.3.1 発振停止検出機能 「、、周波数が2MHz以下の、、、」 「、、周波数が2MHz未満の、、、」変更 20.3.2 発振回路定数 追加
		236	20.4.2 タイマX使用上の注意 「カウント停止中にTXS ビットに、、、アクセスしないでください。」 「カウント停止中にTXS ビットに、、、 からカウントを開始します。」

改訂記録	R8C/14、R8C/15 グループハードウェアマニュアル
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2006.01.12	237	20.4.3 タイマZ使用上の注意 <ul style="list-style-type: none"> •「、、停止したとき、タイマは、、、」 「、、停止したとき、またはTZOCレジスタのTZOSビットを“0”にしてワンショット停止にしたとき、タイマは、、、」 •「カウント停止中にTZS ビットに、、、アクセスしないでください。」 「カウント停止中にTZS ビットに、、、からカウントを開始します。」
		241	表20.2 EW1モード時の割り込み 変更
		242	20.8.1.9 EW1モード時の自動消去中の割り込み要求 追加
		244	21. オンチップデバッグの注意事項 (2) (3)変更、(4)追加
		245	付録1. 外形寸法図 パッケージ「PRDP0020BA-A」削除
		246	付図2.1 M16C Flash Starterとの接続例(M3A-0806) <ul style="list-style-type: none"> •図変更 •注1変更
2.10	2006.01.19	219	表19.10 高速オンチップオシレータ発振回路の電気的特性 高速オンチップオシレータ発振周波数の温度・電圧依存性 0 ~ +60 / 5V ± 5% 規格値：最大8.16 8.56
		242	20.8.1.9 EW1モード時の自動消去中の割り込み要求 (b)に追記

R8C/14グループ、R8C/15グループハードウェアマニュアル

発行年月日 2004年4月5日 Rev.0.10
2006年1月19日 Rev.2.10

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.

R8C/14 グループ、R8C/15 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0176-0210