

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/12グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ / R8C/Tinyシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

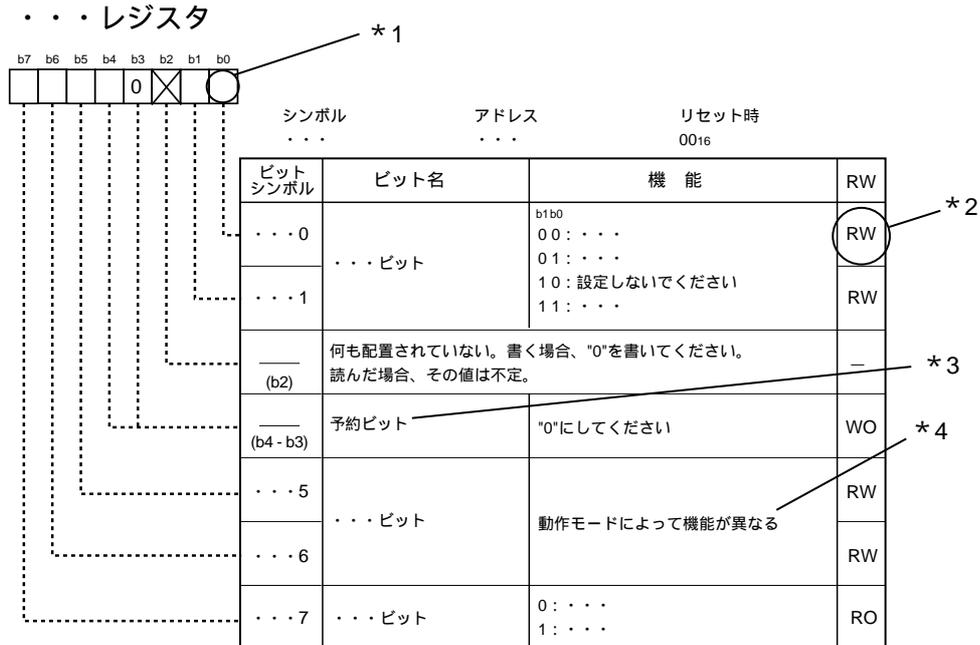
1. 対象

このマニュアルはR8C/12グループのハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2. レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



*1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- x : 何も配置されていないビットです。

*2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

*3

・予約ビット

予約ビットです。指定された値にしてください。

*4

・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

・設定しないでください

設定した場合の動作は保証されません。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令(アセンブリ言語)の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

目次

番地別ページ早見表	B-1
1. 概要	1
1.1 応用	1
1.2 性能概要	2
1.3 ブロック図	3
1.4 製品一覧	4
1.5 ピン接続図	5
1.6 端子の機能説明	6
2. 中央演算処理装置	7
2.1 データレジスタ(R0、R1、R2、R3)	7
2.2 アドレスレジスタ(A0、A1)	7
2.3 フレームベースレジスタ(FB)	8
2.4 割り込みテーブルレジスタ(INTB)	8
2.5 プログラムカウンタ(PC)	8
2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)	8
2.7 スタティックベースレジスタ(SB)	8
2.8 フラグレジスタ(FLG)	8
2.8.1 キャリフラグ(Cフラグ)	8
2.8.2 デバッグフラグ(Dフラグ)	8
2.8.3 ゼロフラグ(Zフラグ)	8
2.8.4 サインフラグ(Sフラグ)	8
2.8.5 レジスタバンク指定フラグ(Bフラグ)	8
2.8.6 オーバフローフラグ(Oフラグ)	8
2.8.7 割り込み許可フラグ(Iフラグ)	8
2.8.8 スタックポインタ指定フラグ(Uフラグ)	8
2.8.9 プロセッサ割り込み優先レベル(IPL)	8
2.8.10 予約領域	8

3. メモリ	9
4. SFR	10
5. リセット	14
5.1 ハードウェアリセット	14
5.2 ソフトウェアリセット	14
5.3 ウォッチドッグタイマリセット	14
6. クロック発生回路	17
6.1 メインクロック	21
6.2 オンチップオシレータクロック	22
6.3 CPUクロックと周辺機能クロック	23
6.3.1 CPUクロック	21
6.3.2 周辺機能クロック(f_1 、 f_2 、 f_8 、 f_{32} 、 f_{AD} 、 f_{1SIO} 、 f_{8SIO} 、 f_{32SIO})	23
6.3.3 f_{RING} 、 $f_{RING128}$	23
6.4 パワーコントロール	24
6.4.1 通常動作モード	24
6.4.2 ウェイトモード	25
6.4.3 ストップモード	26
6.5 発振停止検出機能	28
6.5.1 発振停止検出機能の使用方法	28
7. プロテクト	30
8. プロセッサモード	31
8.1 プロセッサモードの種類	31
9. バス制御	32
10. 割り込み	31
10.1 割り込みの概要	33
10.1.1 割り込みの分類	33
10.1.2 ソフトウェア割り込み	34
10.1.3 ハードウェア割り込み	35
10.1.4 割り込みと割り込みベクタ	36
10.1.5 割り込み制御	38

10.2	$\overline{\text{INT}}$ 割り込み	46
10.2.1	$\overline{\text{INT0}}$ 割り込み	46
10.2.2	$\overline{\text{INT0}}$ 入力フィルタ	47
10.2.3	$\overline{\text{INT1}}$ 割り込み、 $\overline{\text{INT2}}$ 割り込み	48
10.2.4	$\overline{\text{INT3}}$ 割り込み	49
10.3	キー入力割り込み	50
10.4	アドレス一致割り込み	51
11.	ウォッチドッグタイマ	53
12.	タイマ	55
12.1	タイマX	56
12.1.1	タイマモード	58
12.1.2	パルス出力モード	59
12.1.3	イベントカウンタモード	60
12.1.4	パルス幅測定モード	61
12.1.5	パルス周期測定モード	63
12.2	タイマY	65
12.2.1	タイマモード	68
12.2.2	プログラマブル波形発生モード	70
12.3	タイマZ	73
12.3.1	タイマモード	76
12.3.2	プログラマブル波形発生モード	78
12.3.3	プログラマブルワンショット発生モード	80
12.3.4	プログラマブルウェイトワンショット発生モード	83
12.4	タイマC	86
13.	シリアルインタフェース	89
13.1	クロック同期形シリアルI/Oモード	94
13.1.1	極性選択機能	97
13.1.2	LSBファースト、MSBファースト選択	97
13.1.3	連続受信モード	98
13.2	クロック非同期形シリアルI/O(UART)モード	99
13.2.1	TxD ₁₀ /RxD ₁ 選択機能(UART1)	102
13.2.2	TxD ₁₁ 選択機能(UART1)	102
13.2.3	ビットレート	103

14.	A/Dコンバータ	104
14.1	単発モード	108
14.2	繰り返しモード	109
14.3	サンプル&ホールド	110
14.4	A/D変換サイクル数	110
14.5	アナログ入力内部等価回路	111
14.6	注入電流バイパス回路	112
14.7	A/D変換時のセンサーの出力インピーダンス	113
15.	プログラマブル入出力ポート	114
15.1	機能説明	114
15.1.1	ポートPi方向レジスタ(PDiレジスタ i=0、1、3、4)	114
15.1.2	ポートPiレジスタ(Piレジスタ i=0、1、3、4)	114
15.1.3	プルアップ制御レジスタ0、プルアップ制御レジスタ1(PUR0、PUR1レジスタ)	114
15.1.4	ポートP1駆動能力制御レジスタ(DRRレジスタ)	114
15.2	ポートの設定	120
15.3	未使用端子の処理	127
16.	電気的特性	128
17.	フラッシュメモリ版	140
17.1	概要	140
17.2	メモリ配置	141
17.3	フラッシュメモリ書き換え禁止機能	142
17.3.1	IDコードチェック機能	142
17.4	CPU書き換えモード	144
17.4.1	EW0モード	145
17.4.2	EW1モード	145
17.4.3	ソフトウェアコマンド	151
17.4.4	ステータスレジスタ	155
17.4.5	フルステータスチェック	155
17.5	標準シリアル入出力モード	158
17.5.1	IDコードチェック機能	158
18.	オンチップデバッグ	162
18.1	アドレス一致割り込み	162

18.2	シングルステップ割り込み	162
18.3	UART1	162
18.4	BRK命令	162
19.	使用上の注意事項	163
19.1	ストップモード、ウェイトモード	163
19.1.1	ストップモード	163
19.1.2	ウェイトモード	163
19.2	割り込み	164
19.2.1	00000 ₁₆ 番地の読み出し	164
19.2.2	SPの設定	164
19.2.3	外部割り込み、キー入力割り込み	164
19.2.4	ウォッチドッグタイマ割り込み	164
19.2.5	割り込み要因の変更	165
19.2.6	割り込み制御レジスタの変更	166
19.3	クロック発生回路	167
19.3.1	発振停止検出機能	167
19.3.2	発振回路定数	167
19.4	タイマ	168
19.4.1	タイマX、タイマY、タイマZ	168
19.4.2	タイマX	168
19.4.3	タイマY	168
19.4.4	タイマZ	168
19.4.5	タイマC	168
19.5	シリアルインタフェース	169
19.6	A/Dコンバータ	170
19.7	フラッシュメモリ	171
19.7.1	CPU書き換えモード	171
19.8	ノイズに関する注意事項	173
20.	オンチップデバッガの注意事項	174
付録1.	外形寸法図	175
付録2.	シリアルライターとオンチップデバッグエミュレータとの接続例	176
付録3.	発振評価回路例	178
SFR	レジスタ索引	179

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
000016			
000116			
000216			
000316			
000416	プロセッサモードレジスタ0	PM0	31
000516	プロセッサモードレジスタ1	PM1	31
000616	システムクロック制御レジスタ0	CM0	19
000716	システムクロック制御レジスタ1	CM1	19
000816			
000916	アドレス一致割り込み許可レジスタ	AIER	52
000A16	プロテクトレジスタ	PRCR	30
000B16			
000C16	発振停止検出レジスタ	OCD	20
000D16	ウォッチドッグタイマリセットレジスタ	WDTR	54
000E16	ウォッチドッグタイムスタートレジスタ	WDTS	54
000F16	ウォッチドッグタイム制御レジスタ	WDC	54
001016			
001116	アドレス一致割り込みレジスタ0	RMAD0	52
001216			
001316			
001416			
001516	アドレス一致割り込みレジスタ1	RMAD1	52
001616			
001716			
001816			
001916			
001A16			
001B16			
001C16			
001D16			
001E16	INT0入力フィルタ選択レジスタ	INT0F	46
001F16			
002016			
002116			
002216			
002316			
002416			
002516			
002616			
002716			
002816			
002916			
002A16			
002B16			
002C16			
002D16			
002E16			
002F16			

番地	レジスタ	シンボル	掲載ページ
003016			
003116			
003216			
003316			
003416			
003516			
003616			
003716			
003816			
003916			
003A16			
003B16			
003C16			
003D16			
003E16			
003F16			
004016			
004116			
004216			
004316			
004416			
004516			
004616			
004716			
004816			
004916			
004A16			
004B16			
004C16			
004D16	キー入力割り込み制御レジスタ	KUPIC	39
004E16	AD変換割り込み制御レジスタ	ADIC	39
004F16			
005016			
005116	UART0送信割り込み制御レジスタ	S0TIC	39
005216	UART0受信割り込み制御レジスタ	S0RIC	39
005316	UART1送信割り込み制御レジスタ	S1TIC	39
005416	UART1受信割り込み制御レジスタ	S1RIC	39
005516	INT2割り込み制御レジスタ	INT2IC	39
005616	タイマX割り込み制御レジスタ	TXIC	39
005716	タイマY割り込み制御レジスタ	TYIC	39
005816	タイマZ割り込み制御レジスタ	TZIC	39
005916	INT1割り込み制御レジスタ	INT1IC	39
005A16	INT3割り込み制御レジスタ	INT3IC	39
005B16	タイマC割り込み制御レジスタ	TCIC	39
005C16			
005D16	INT0割り込み制御レジスタ	INT0IC	39
005E16			
005F16			

空欄はすべて予約領域です。

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			
0080 ₁₆	タイマY、Zモードレジスタ	TYZMR	65/73
0081 ₁₆	プリスケーラYレジスタ	PREY	66
0082 ₁₆	タイマYセカンダリレジスタ	TYSC	66
0083 ₁₆	タイマYプライマリレジスタ	TYPR	66
0084 ₁₆	タイマY、Z波形出力制御レジスタ	PUM	67/75
0085 ₁₆	プリスケーラZレジスタ	PREZ	74
0086 ₁₆	タイマZセカンダリレジスタ	TZSC	74
0087 ₁₆	タイマZプライマリレジスタ	TZPR	74
0088 ₁₆			
0089 ₁₆			
008A ₁₆	タイマY、Z出力制御レジスタ	TYZOC	66/74
008B ₁₆	タイマXモードレジスタ	TXMR	56
008C ₁₆	プリスケーラXレジスタ	PREX	57
008D ₁₆	タイマXレジスタ	TX	57
008E ₁₆	タイマカウントソース設定レジスタ	TCSS	57
008F ₁₆			

番地	レジスタ	シンボル	掲載ページ
0090 ₁₆	タイマCレジスタ	TC	87
0091 ₁₆			
0092 ₁₆			
0093 ₁₆			
0094 ₁₆			
0095 ₁₆			
0096 ₁₆	外部入力許可レジスタ	INTEN	46
0097 ₁₆			
0098 ₁₆	キー入力許可レジスタ	KIEN	50
0099 ₁₆			
009A ₁₆	タイマC制御レジスタ0	TCC0	87
009B ₁₆	タイマC制御レジスタ1	TCC1	87
009C ₁₆	キャプチャレジスタ	TM0	87
009D ₁₆			
009E ₁₆			
009F ₁₆			
00A0 ₁₆	UART0送受信モードレジスタ	U0MR	92
00A1 ₁₆	UART0転送速度レジスタ	U0BRG	91
00A2 ₁₆	UART0送信バッファレジスタ	U0TB	91
00A3 ₁₆			
00A4 ₁₆	UART0送受信制御レジスタ0	U0C0	92
00A5 ₁₆	UART0送受信制御レジスタ1	U0C1	93
00A6 ₁₆	UART0受信バッファレジスタ	U0RB	91
00A7 ₁₆			
00A8 ₁₆	UART1送受信モードレジスタ	U1MR	92
00A9 ₁₆	UART1転送速度レジスタ	U1BRG	91
00AA ₁₆	UART1送信バッファレジスタ	U1TB	91
00AB ₁₆			
00AC ₁₆	UART1送受信制御レジスタ0	U1C0	92
00AD ₁₆	UART1送受信制御レジスタ1	U1C1	93
00AE ₁₆	UART1受信バッファレジスタ	U1RB	91
00AF ₁₆			
00B0 ₁₆	UART送受信制御レジスタ2	UCON	93
00B1 ₁₆			
00B2 ₁₆			
00B3 ₁₆			
00B4 ₁₆			
00B5 ₁₆			
00B6 ₁₆			
00B7 ₁₆			
00B8 ₁₆			
00B9 ₁₆			
00BA ₁₆			
00BB ₁₆			
00BC ₁₆			
00BD ₁₆			
00BE ₁₆			
00BF ₁₆			

空欄はすべて予約領域です。

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
00C0 ₁₆	ADレジスタ	AD	107
00C1 ₁₆			
00C2 ₁₆			
00C3 ₁₆			
00C4 ₁₆			
00C5 ₁₆			
00C6 ₁₆			
00C7 ₁₆			
00C8 ₁₆			
00C9 ₁₆			
00CA ₁₆			
00CB ₁₆			
00CC ₁₆			
00CD ₁₆			
00CE ₁₆			
00CF ₁₆			
00D0 ₁₆			
00D1 ₁₆			
00D2 ₁₆			
00D3 ₁₆			
00D4 ₁₆	AD制御レジスタ2	ADCON2	107
00D5 ₁₆			
00D6 ₁₆	AD制御レジスタ0	ADCON0	106
00D7 ₁₆	AD制御レジスタ1	ADCON1	106
00D8 ₁₆			
00D9 ₁₆			
00DA ₁₆			
00DB ₁₆			
00DC ₁₆			
00DD ₁₆			
00DE ₁₆			
00DF ₁₆			
00E0 ₁₆	ポートP0レジスタ	P0	119
00E1 ₁₆	ポートP1レジスタ	P1	119
00E2 ₁₆	ポートP0方向レジスタ	PD0	119
00E3 ₁₆	ポートP1方向レジスタ	PD1	119
00E4 ₁₆			
00E5 ₁₆	ポートP3レジスタ	P3	119
00E6 ₁₆			
00E7 ₁₆	ポートP3方向レジスタ	PD3	119
00E8 ₁₆	ポートP4レジスタ	P4	119
00E9 ₁₆			
00EA ₁₆	ポートP4方向レジスタ	PD4	119
00EB ₁₆			
00EC ₁₆			
00ED ₁₆			
00EE ₁₆			
00EF ₁₆			

番地	レジスタ	シンボル	掲載ページ
00F0 ₁₆			
00F1 ₁₆			
00F2 ₁₆			
00F3 ₁₆			
00F4 ₁₆			
00F5 ₁₆			
00F6 ₁₆			
00F7 ₁₆			
00F8 ₁₆			
00F9 ₁₆			
00FA ₁₆			
00FB ₁₆			
00FC ₁₆	プルアップ制御レジスタ0	PUR0	120
00FD ₁₆	プルアップ制御レジスタ1	PUR1	120
00FE ₁₆	ポートP1駆動能力制御レジスタ	DRR	120
00FF ₁₆			
≈			
01B3 ₁₆	フラッシュメモリ制御レジスタ4	FMR4	148
01B4 ₁₆			
01B5 ₁₆	フラッシュメモリ制御レジスタ1	FMR1	148
01B6 ₁₆			
01B7 ₁₆	フラッシュメモリ制御レジスタ0	FMR0	147
0FFFF ₁₆	オプション機能選択レジスタ	OFS	54

空欄はすべて予約領域です。

このページはレイアウトの都合上、白紙です。

1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/Tinyシリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、32ピンプラスチックモールドLQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

また、データフラッシュROM (2KB×2ブロック)を内蔵します。

1.1 応用

家電、事務機器、住設機器（センサー、セキュリティ）、産業一般、オーディオ、他

1.2 性能概要

表1.1に本マイコンの性能概要を示します。

表1.1 性能概要

項目	性能	
CPU	基本命令数	89命令
	最短命令実行時間	62.5ns (f(XIN)=16MHz、Vcc=3.0 ~ 5.5V) 100ns (f(XIN)=10MHz、Vcc=2.7 ~ 5.5V)
	動作モード	シングルチップ
	アドレス空間	1Mバイト
	メモリ容量	表1.2を参照してください。
周辺機能	割り込み	内部:9要因、外部:5要因、ソフトウェア:4要因、 割り込み優先レベル:7レベル
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付) リセットスタート機能選択可能
	タイマ	タイマX:8ビット×1チャンネル、タイマY:8ビット× 1チャンネル、タイマZ:8ビット×1チャンネル (各タイマ:8ビットプリスケアラ付) タイマC:16ビット×1チャンネル インプットキャプチャ回路
	シリアルインタフェース (シリアルI/O)	1チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O 1チャンネル クロック非同期形シリアルI/O
	A/Dコンバータ	10ビットA/Dコンバータ:1回路、8チャンネル
	クロック発生回路	2回路 ・メインクロック発振回路(帰還抵抗内蔵) ・オンチップオシレータ
	発振停止検出機能	メインクロック発振停止検出機能
	ポート	入出力:22本(LED駆動用ポート含む)、入力:2本 (LED駆動用入出力ポート:8本)
	電気的特性	電源電圧
消費電流		標準 8mA (Vcc=5V、f(XIN)=16MHz、高速モード) 標準 5mA (Vcc=3V、f(XIN)=10MHz、高速モード) 標準 35 μ A (Vcc=3V、ウェイトモード、周辺クロック停止) 標準 0.7 μ A (Vcc=3V、ストップモード)
フラッシュメモリ	プログラム、イレース電圧	Vcc=2.7 ~ 5.5V
	プログラム、イレース回数	10000回(データフラッシュ) 1000回(プログラムROM)
動作周囲温度	-20 ~ 85 -40 ~ 85 (Dバージョン)	
パッケージ	32ピンプラスチックモールドLQFP	

1.3 ブロック図

図1.1に本マイコンのブロック図を示します。

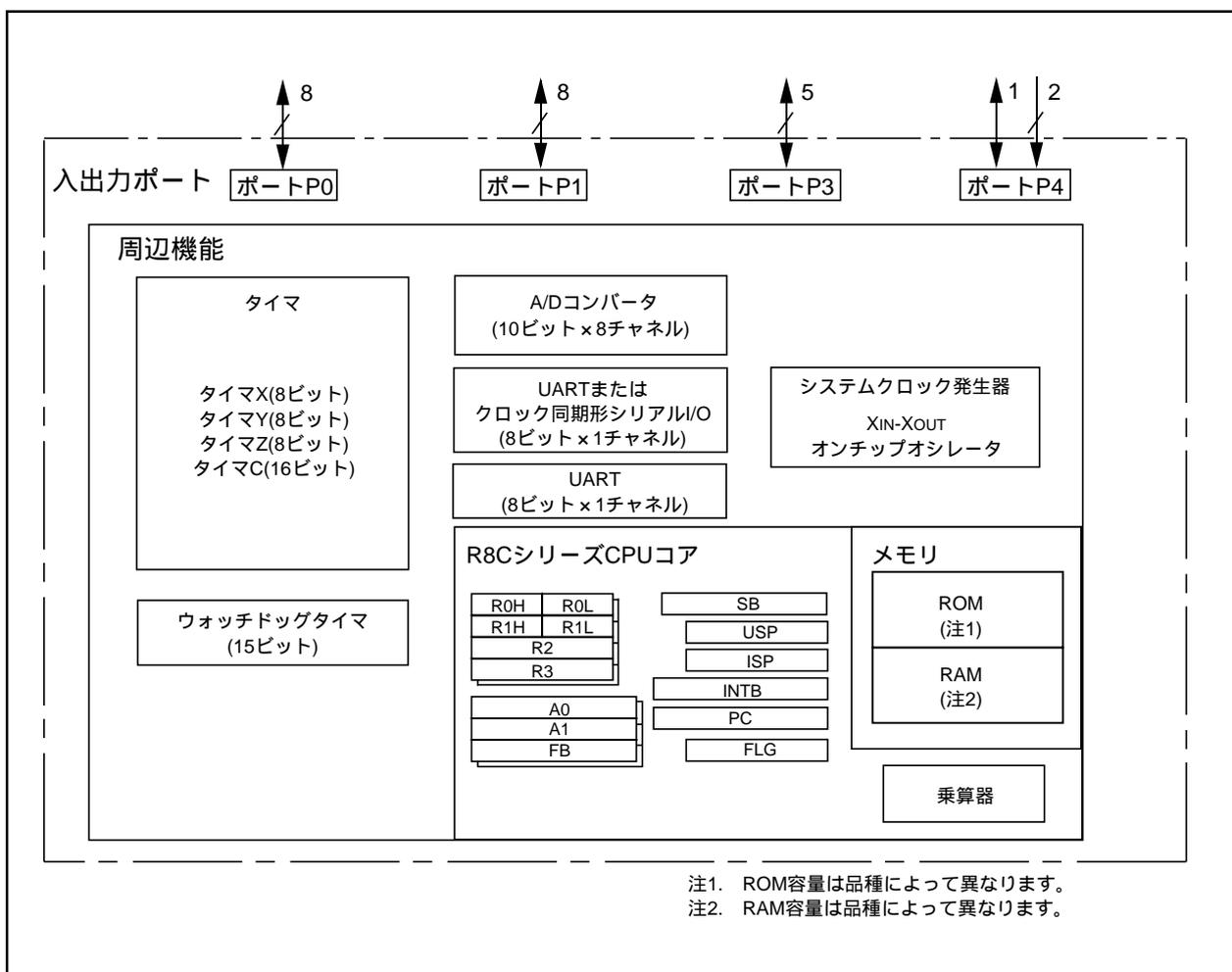


図1.1 ブロック図

1.4 製品一覧

表1.2に製品一覧表を示します。

表1.2 製品一覧表

2006年2月現在

型名	ROM容量		RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21122FP	8Kバイト	2Kバイト×2	512バイト	PLQP0032GB-A	フラッシュメモリ版
R5F21123FP	12Kバイト	2Kバイト×2	768バイト	PLQP0032GB-A	
R5F21124FP	16Kバイト	2Kバイト×2	1Kバイト	PLQP0032GB-A	
R5F21122DFP	8Kバイト	2Kバイト×2	512バイト	PLQP0032GB-A	Dバージョン
R5F21123DFP	12Kバイト	2Kバイト×2	768バイト	PLQP0032GB-A	
R5F21124DFP	16Kバイト	2Kバイト×2	1Kバイト	PLQP0032GB-A	

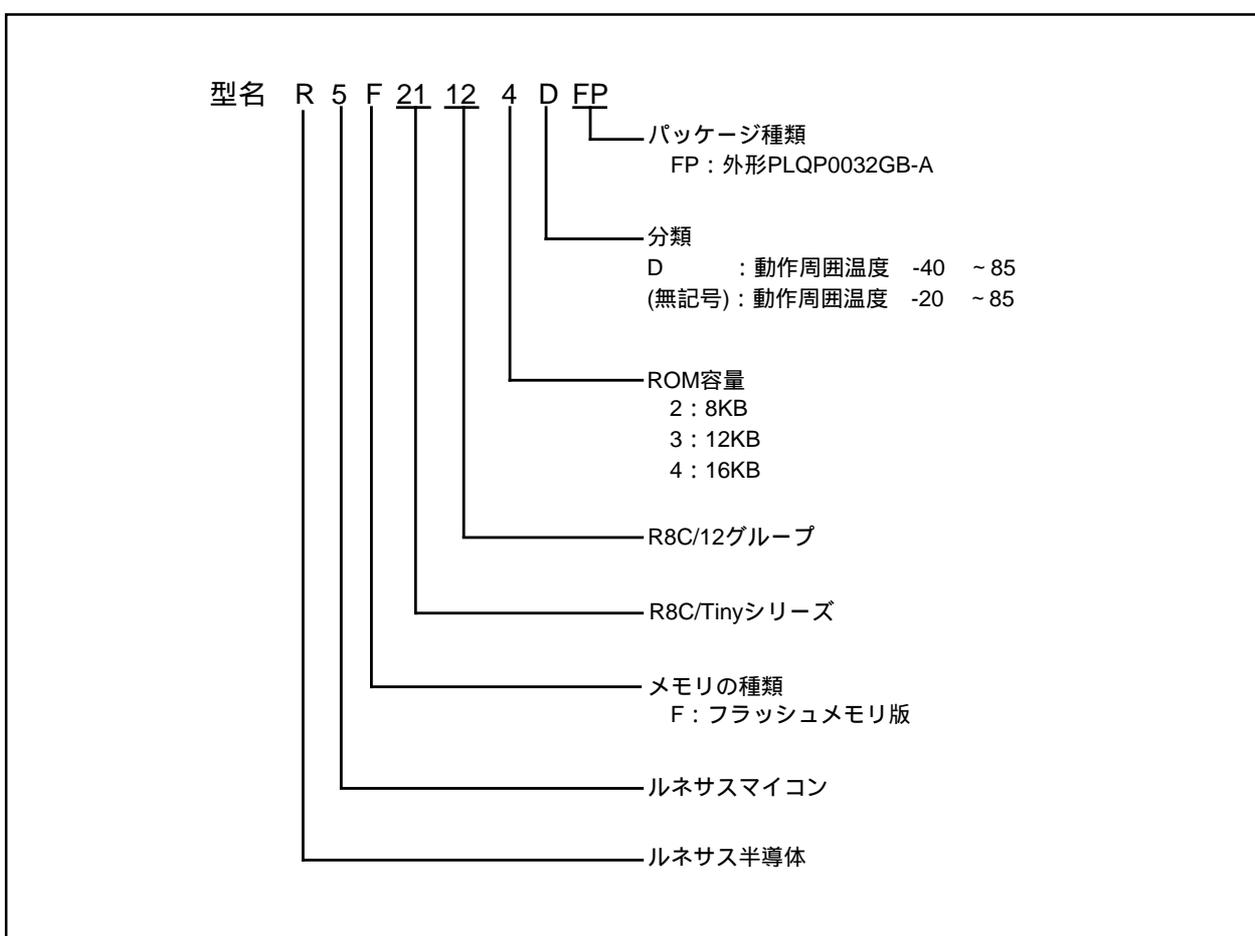


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3にピン接続図(上面図)を示します。

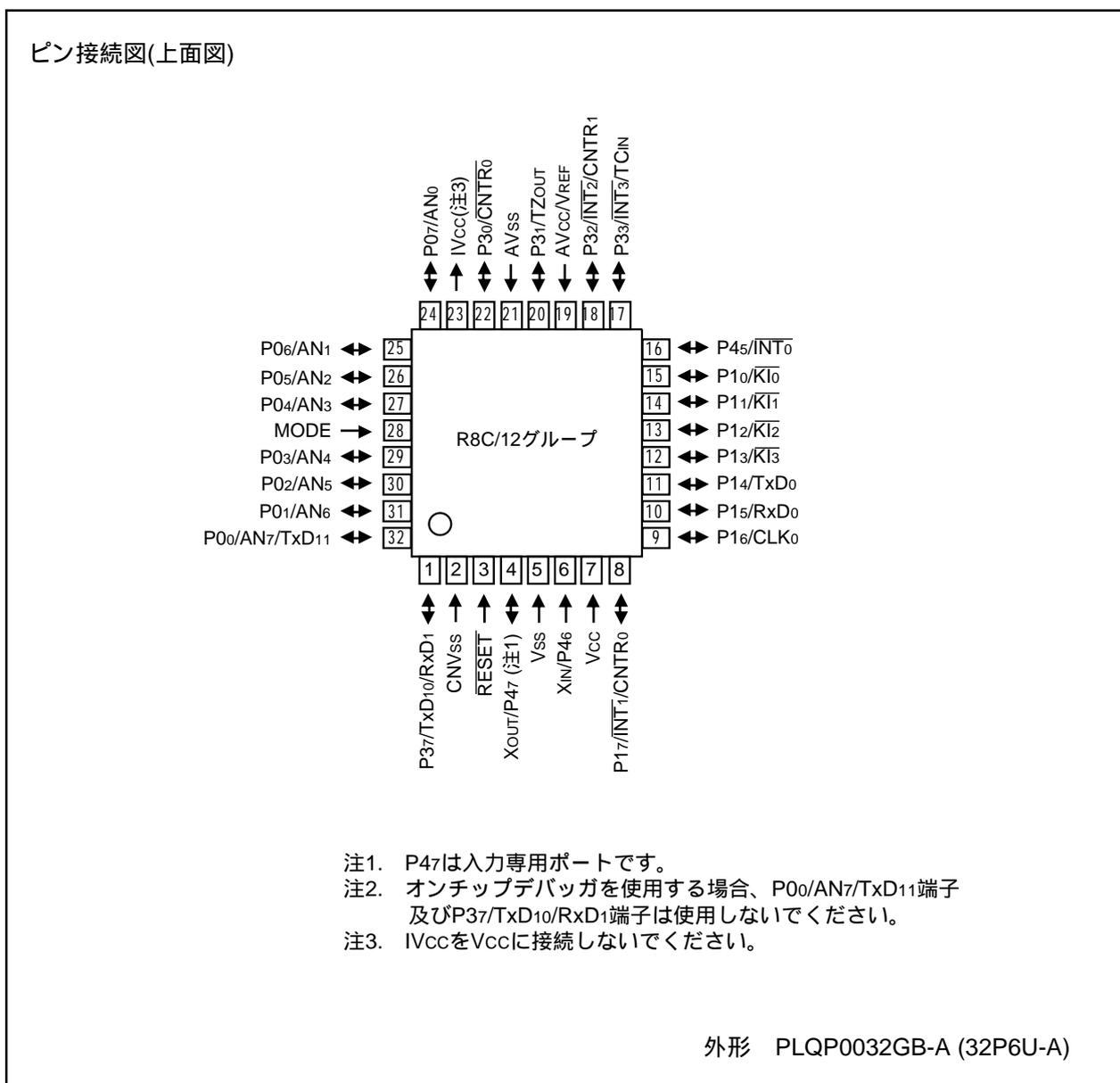


図1.3 ピン接続図(上面図)

1.6 端子の機能説明

表1.3に本マイコンの端子の機能説明を示します。

表1.3 端子の機能説明

分類	端子名	入出力	機能
電源入力	Vcc Vss	入力	Vccには、2.7V～5.5Vを入力してください。 Vssには、0Vを入力してください。
IVcc	IVcc	出力	内部電源を安定化させるための端子です。 コンデンサ(0.1μF)を介してVssに接続してください。 Vccに接続しないでください。
アナログ電源入力	AVcc AVss	入力	A/Dコンバータの電源入力です。AVccはVccに接続してください。AVssはVssに接続してください。AVccとAVss間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVss	CNVss	入力	抵抗を介してVssに接続してください。(注1)
MODE	MODE	入力	抵抗を介してVccに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	
INT割り込み入力	INT0～INT3	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0～KI3	入力	キー入力割り込みの入力です。
タイマX	CNTR0	入出力	タイマXの入出力です。
	CNTR0	出力	タイマXの出力です。
タイマY	CNTR1	入出力	タイマYの入出力です。
タイマZ	TZOUT	出力	タイマZの出力です。
タイマC	TCIN	入力	タイマCの入力です。
シリアル インターフェース	CLK0	入出力	転送クロック入出力です。
	RxD0、RxD1	入力	シリアルデータ入力です。
	TxD0、TxD10、 TxD11	出力	シリアルデータ出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。VREFはVccに接続してください。
A/Dコンバータ	AN0～AN7	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P00～P07、 P10～P17、 P30～P33、P37、 P45	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP10～P17はLED駆動ポートとして使用できます。
入力ポート	P46、P47	入力	入力専用ポートです。

注1．接続する参考抵抗値は「19.8 ノイズに関する注意事項」を参照してください。

2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

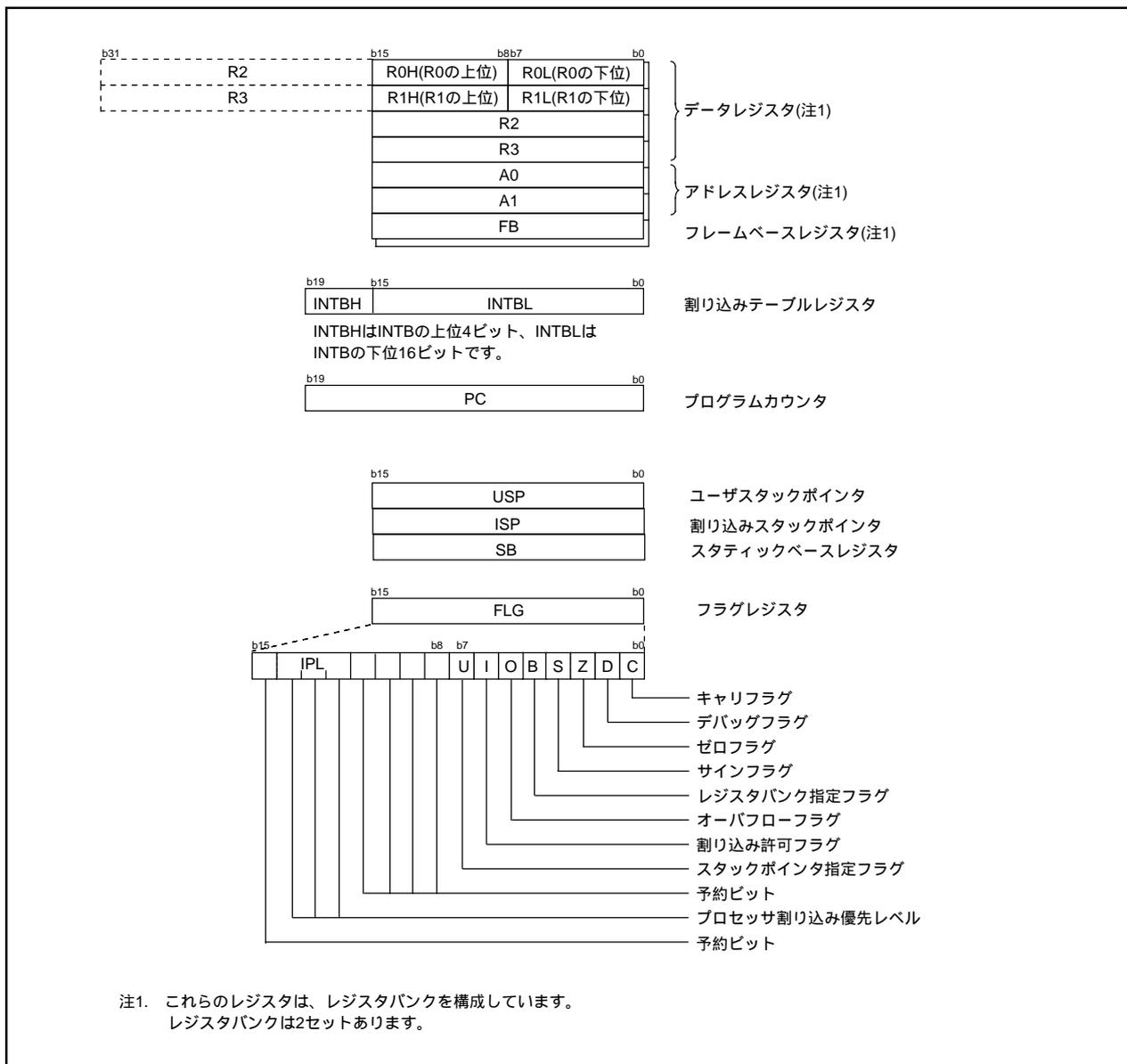


図2.1 CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバーフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000₁₆番地からFFFFFF₁₆番地までの1Mバイトあります。

内部ROM(プログラムROM)は0FFFF₁₆番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000₁₆番地から0FFFF₁₆番地に配置されます。

固定割り込みベクタテーブルは0FFDC₁₆番地から0FFFF₁₆番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02000₁₆番地から02FFF₁₆番地に配置されます。

内部RAMは00400₁₆番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400₁₆番地から007FF₁₆番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000₁₆番地から002FF₁₆番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

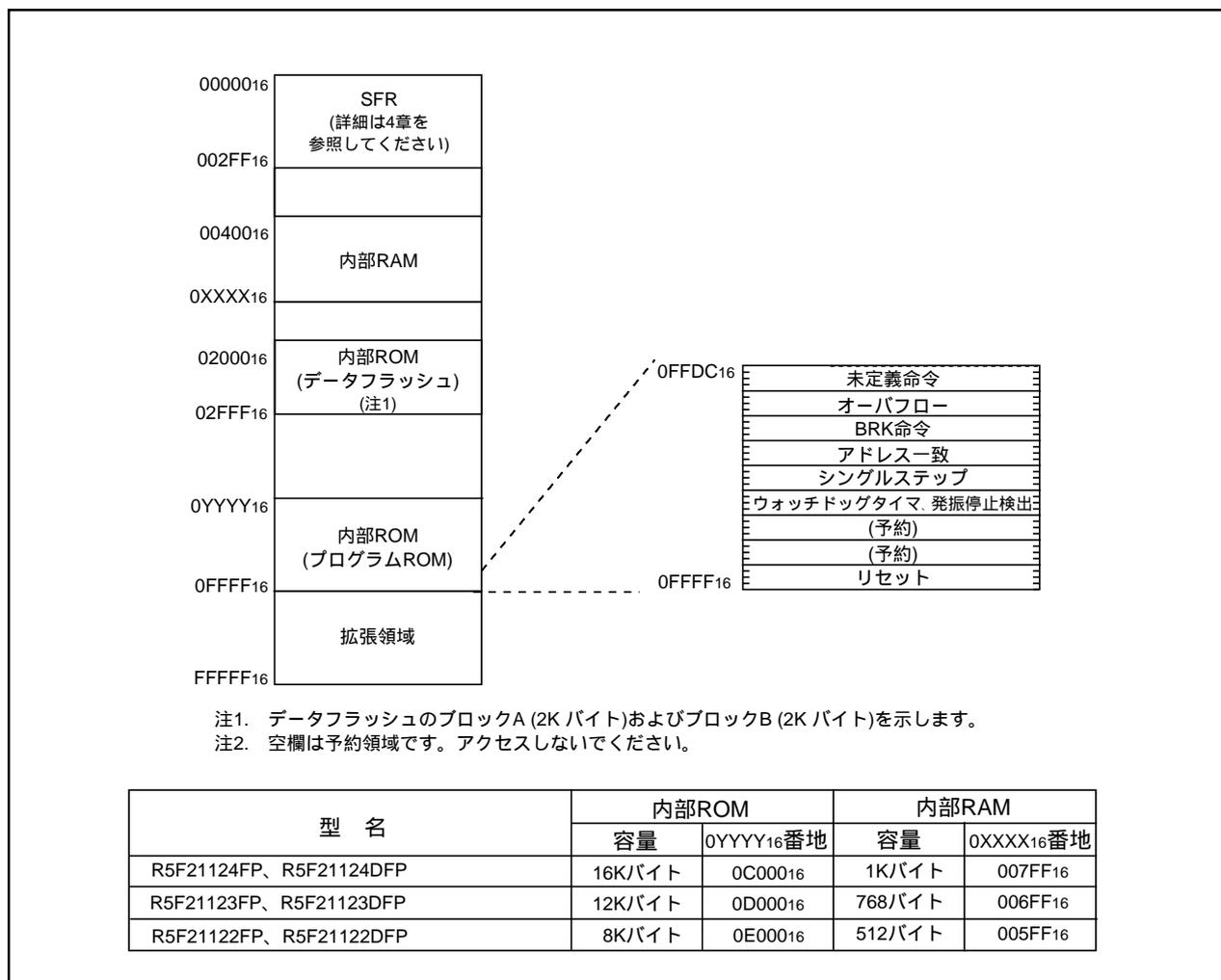


図3.1 メモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.4にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0	PM0	XXXX0X002
0005 ₁₆	プロセッサモードレジスタ1	PM1	00XXX0X02
0006 ₁₆	システムクロック制御レジスタ0	CM0	011010002
0007 ₁₆	システムクロック制御レジスタ1	CM1	001000002
0008 ₁₆			
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	XXXXXX002
000A ₁₆	プロテクトレジスタ	PRCR	00XXX0002
000B ₁₆			
000C ₁₆	発振停止検出レジスタ	OCD	000001002
000D ₁₆	ウォッチドッグタイマリセットレジスタ	WDTR	XX16
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX16
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	000111112
0010 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	0016
0011 ₁₆			0016
0012 ₁₆			X016
0013 ₁₆			
0014 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	0016
0015 ₁₆			0016
0016 ₁₆			X016
0017 ₁₆			
0018 ₁₆			
0019 ₁₆			
001A ₁₆			
001B ₁₆			
001C ₁₆			
001D ₁₆			
001E ₁₆	INT0入力フィルタ選択レジスタ	INT0F	XXXXX0002
001F ₁₆			
0020 ₁₆			
0021 ₁₆			
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆			
0026 ₁₆			
0027 ₁₆			
0028 ₁₆			
0029 ₁₆			
002A ₁₆			
002B ₁₆			
002C ₁₆			
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆			
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆			
003D ₁₆			
003E ₁₆			
003F ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆			
0045 ₁₆			
0046 ₁₆			
0047 ₁₆			
0048 ₁₆			
0049 ₁₆			
004A ₁₆			
004B ₁₆			
004C ₁₆			
004D ₁₆	キ - 入力割り込み制御レジスタ	KUPIC	XXXXX0002
004E ₁₆	AD変換割り込み制御レジスタ	ADIC	XXXXX0002
004F ₁₆			
0050 ₁₆			
0051 ₁₆	UART0送信割り込み制御レジスタ	S0TIC	XXXXX0002
0052 ₁₆	UART0受信割り込み制御レジスタ	S0RIC	XXXXX0002
0053 ₁₆	UART1送信割り込み制御レジスタ	S1TIC	XXXXX0002
0054 ₁₆	UART1受信割り込み制御レジスタ	S1RIC	XXXXX0002
0055 ₁₆	INT2割り込み制御レジスタ	INT2IC	XXXXX0002
0056 ₁₆	タイマX割り込み制御レジスタ	TXIC	XXXXX0002
0057 ₁₆	タイマY割り込み制御レジスタ	TYIC	XXXXX0002
0058 ₁₆	タイマZ割り込み制御レジスタ	TZIC	XXXXX0002
0059 ₁₆	INT1割り込み制御レジスタ	INT1IC	XXXXX0002
005A ₁₆	INT3割り込み制御レジスタ	INT3IC	XXXXX0002
005B ₁₆	タイマC割り込み制御レジスタ	TCIC	XXXXX0002
005C ₁₆			
005D ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00X0002
005E ₁₆			
005F ₁₆			
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080 ₁₆	タイマY、Zモードレジスタ	TYZMR	00 ₁₆
0081 ₁₆	プリスケアラYレジスタ	PREY	FF ₁₆
0082 ₁₆	タイマYセカンダリレジスタ	TYSC	FF ₁₆
0083 ₁₆	タイマYプライマリレジスタ	TYPR	FF ₁₆
0084 ₁₆	タイマY、Z波形出力制御レジスタ	PUM	00 ₁₆
0085 ₁₆	プリスケアラZレジスタ	PREZ	FF ₁₆
0086 ₁₆	タイマZセカンダリレジスタ	TZSC	FF ₁₆
0087 ₁₆	タイマZプライマリレジスタ	TZPR	FF ₁₆
0088 ₁₆			
0089 ₁₆			
008A ₁₆	タイマY、Z出力制御レジスタ	TYZOC	00 ₁₆
008B ₁₆	タイマXモードレジスタ	TXMR	00 ₁₆
008C ₁₆	プリスケアラXレジスタ	PREX	FF ₁₆
008D ₁₆	タイマXレジスタ	TX	FF ₁₆
008E ₁₆	タイマカウントソース設定レジスタ	TCSS	00 ₁₆
008F ₁₆			
0090 ₁₆	タイマCレジスタ	TC	00 ₁₆
0091 ₁₆			00 ₁₆
0092 ₁₆			
0093 ₁₆			
0094 ₁₆			
0095 ₁₆			
0096 ₁₆	外部入力許可レジスタ	INTEN	00 ₁₆
0097 ₁₆			
0098 ₁₆	キー入力許可レジスタ	KIEN	00 ₁₆
0099 ₁₆			
009A ₁₆	タイマC制御レジスタ0	TCC0	00 ₁₆
009B ₁₆	タイマC制御レジスタ1	TCC1	00 ₁₆
009C ₁₆	キャプチャレジスタ	TM0	00 ₁₆
009D ₁₆			00 ₁₆
009E ₁₆			
009F ₁₆			
00A0 ₁₆	UART0送受信モ - ドレジスタ	U0MR	00 ₁₆
00A1 ₁₆	UART0転送速度レジスタ	U0BRG	XX ₁₆
00A2 ₁₆	UART0送信バッファレジスタ	U0TB	XX ₁₆
00A3 ₁₆			XX ₁₆
00A4 ₁₆	UART0送受信制御レジスタ0	U0C0	000010002
00A5 ₁₆	UART0送受信制御レジスタ1	U0C1	000000102
00A6 ₁₆	UART0受信バッファレジスタ	U0RB	XX ₁₆
00A7 ₁₆			XX ₁₆
00A8 ₁₆	UART1送受信モ - ドレジスタ	U1MR	00 ₁₆
00A9 ₁₆	UART1転送速度レジスタ	U1BRG	XX ₁₆
00AA ₁₆	UART1送信バッファレジスタ	U1TB	XX ₁₆
00AB ₁₆			XX ₁₆
00AC ₁₆	UART1送受信制御レジスタ0	U1C0	000010002
00AD ₁₆	UART1送受信制御レジスタ1	U1C1	000000102
00AE ₁₆	UART1受信バッファレジスタ	U1RB	XX ₁₆
00AF ₁₆			XX ₁₆
00B0 ₁₆	UART送受信制御レジスタ2	UCON	00 ₁₆
00B1 ₁₆			
00B2 ₁₆			
00B3 ₁₆			
00B4 ₁₆			
00B5 ₁₆			
00B6 ₁₆			
00B7 ₁₆			
00B8 ₁₆			
00B9 ₁₆			
00BA ₁₆			
00BB ₁₆			
00BC ₁₆			
00BD ₁₆			
00BE ₁₆			
00BF ₁₆			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0 ₁₆	ADレジスタ	AD	XX16
00C1 ₁₆			XX16
00C2 ₁₆			
00C3 ₁₆			
00C4 ₁₆			
00C5 ₁₆			
00C6 ₁₆			
00C7 ₁₆			
00C8 ₁₆			
00C9 ₁₆			
00CA ₁₆			
00CB ₁₆			
00CC ₁₆			
00CD ₁₆			
00CE ₁₆			
00CF ₁₆			
00D0 ₁₆			
00D1 ₁₆			
00D2 ₁₆			
00D3 ₁₆			
00D4 ₁₆	AD制御レジスタ2	ADCON2	0016
00D5 ₁₆			
00D6 ₁₆	AD制御レジスタ0	ADCON0	00000XXX ₂
00D7 ₁₆	AD制御レジスタ1	ADCON1	0016
00D8 ₁₆			
00D9 ₁₆			
00DA ₁₆			
00DB ₁₆			
00DC ₁₆			
00DD ₁₆			
00DE ₁₆			
00DF ₁₆			
00E0 ₁₆	ポートP0レジスタ	P0	XX16
00E1 ₁₆	ポートP1レジスタ	P1	XX16
00E2 ₁₆	ポートP0方向レジスタ	PD0	0016
00E3 ₁₆	ポートP1方向レジスタ	PD1	0016
00E4 ₁₆			
00E5 ₁₆	ポートP3レジスタ	P3	XX16
00E6 ₁₆			
00E7 ₁₆	ポートP3方向レジスタ	PD3	0016
00E8 ₁₆	ポートP4レジスタ	P4	XX16
00E9 ₁₆			
00EA ₁₆	ポートP4方向レジスタ	PD4	0016
00EB ₁₆			
00EC ₁₆			
00ED ₁₆			
00EE ₁₆			
00EF ₁₆			
00F0 ₁₆			
00F1 ₁₆			
00F2 ₁₆			
00F3 ₁₆			
00F4 ₁₆			
00F5 ₁₆			
00F6 ₁₆			
00F7 ₁₆			
00F8 ₁₆			
00F9 ₁₆			
00FA ₁₆			
00FB ₁₆			
00FC ₁₆	プルアップ制御レジスタ0	PUR0	00XX0000 ₂
00FD ₁₆	プルアップ制御レジスタ1	PUR1	XXXXXXXX ₂
00FE ₁₆	ポートP1駆動能力制御レジスタ	DRR	0016
00FF ₁₆			
01B3 ₁₆	フラッシュメモリ制御レジスタ4	FMR4	01000000 ₂
01B4 ₁₆			
01B5 ₁₆	フラッシュメモリ制御レジスタ1	FMR1	1000000X ₂
01B6 ₁₆			
01B7 ₁₆	フラッシュメモリ制御レジスタ0	FMR0	00000012
0FFF ₁₆	オプション機能選択レジスタ(注2)	OFS	(注2)

注1. 空欄および0100₁₆～01B2₁₆番地、01B8₁₆～02FF₁₆番地は予約領域です。アクセスしないでください。

注2. ウォッチドッグタイマの制御ビットが配置されています。OFSレジスタの詳細は「図11.2 OFS、WDC、WDTR、WDTSレジスタ」を参照してください。

X: 不定です。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子は初期化されます(「表5.1 RESET端子のレベルが“L”の期間の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。図5.1にリセット後のCPUレジスタの状態を、図5.2にリセットシーケンスを示します。

リセット後のCPUクロックには、オンチップオシレータクロックの8分周クロックが自動的に選択されます。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.3～図5.4にリセット回路の一例を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

電源が安定している場合

- (1)RESET端子に“L”を入力する
- (2)500 μ s ($1/f_{RING} \times 20$) 待つ
- (3)RESET端子に“H”を入力する

電源投入時

- (1)RESET端子に“L”を入力する
- (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3)内部電源が安定するまでtd(P-R)待つ
- (4)500 μ s ($1/f_{RING} \times 20$) 待つ
- (5)RESET端子に“H”を入力する

表5.1 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0	入力ポート
P1	入力ポート
P30 ~ P33, P37	入力ポート
P45 ~ P47	入力ポート

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

リセット後のCPUクロックには、オンチップオシレータクロックの8分周クロックが自動的に選択されます。

5.3 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

リセット後のCPUクロックには、オンチップオシレータクロックの8分周クロックが自動的に選択されます。

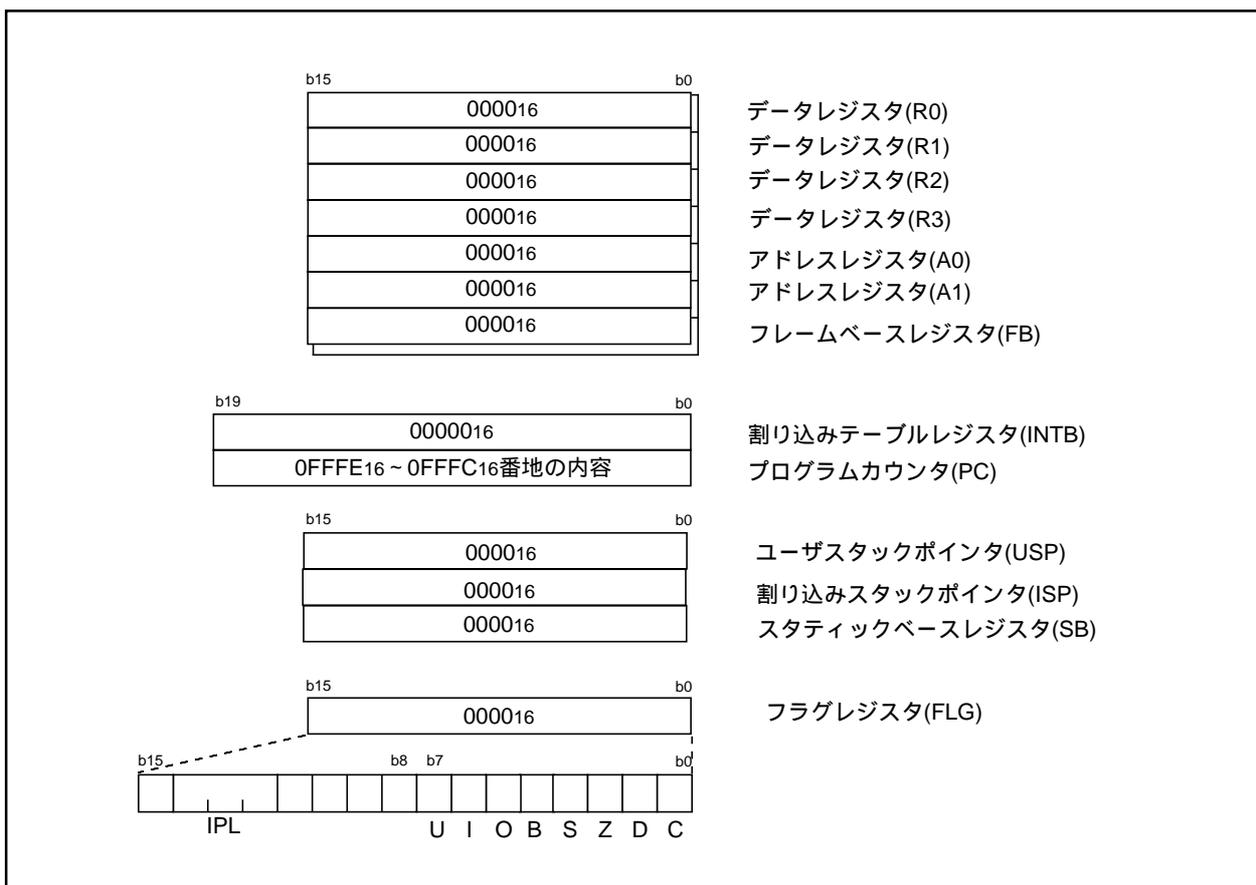


図5.1 リセット後のCPUレジスタの状態

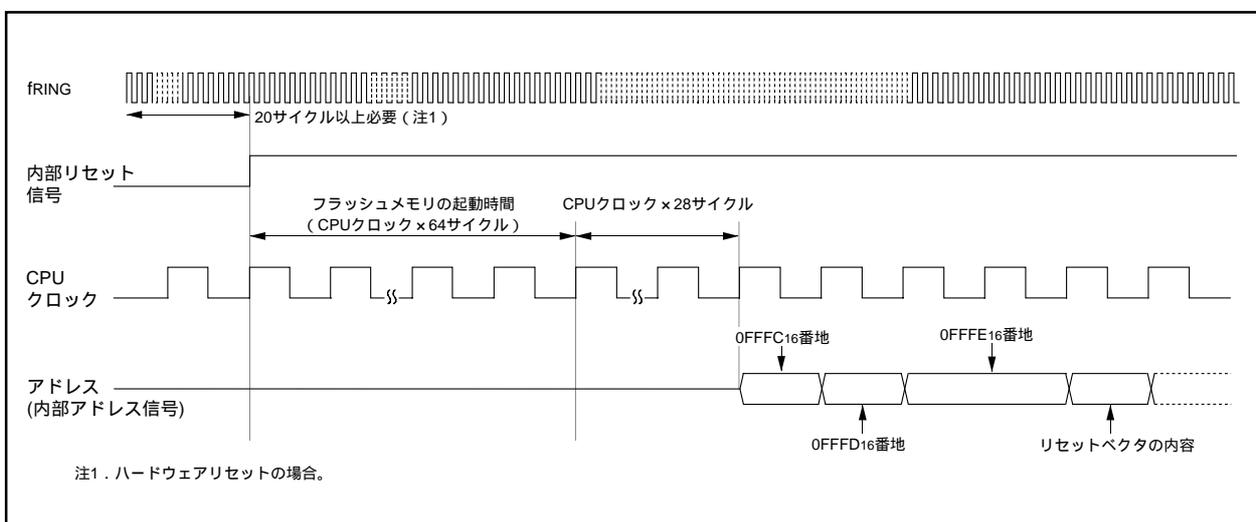


図5.2 リセットシーケンス

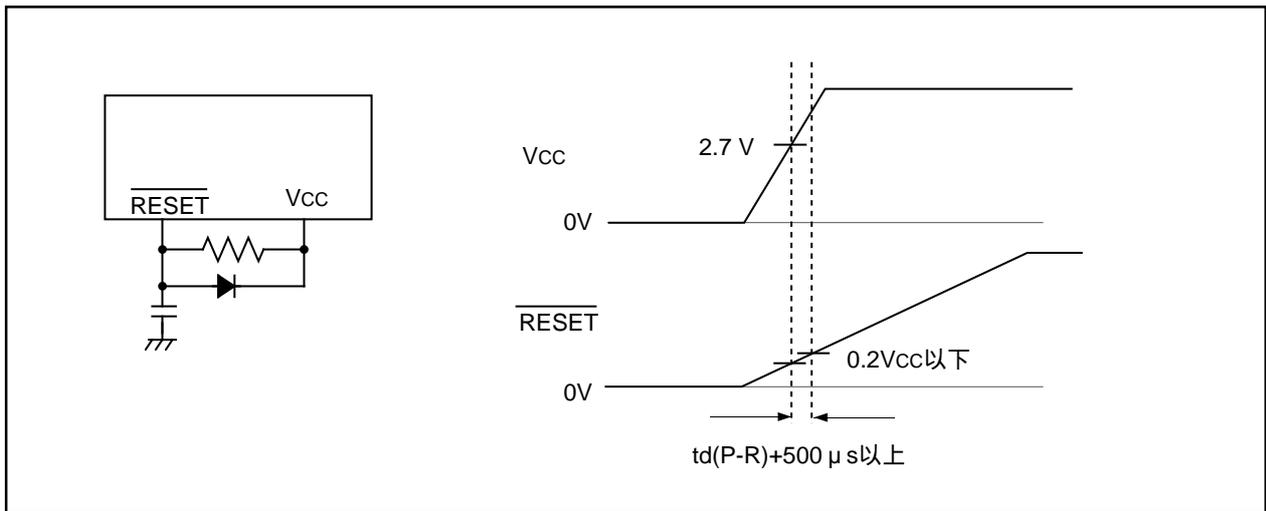


図5.3 リセット回路例

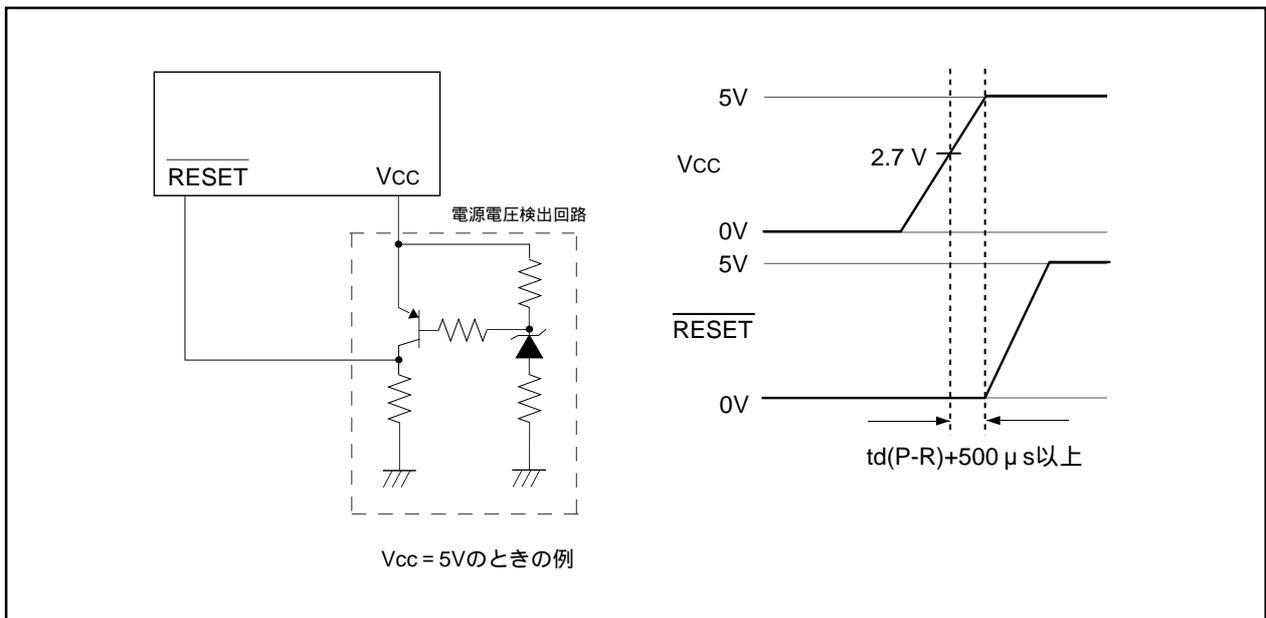


図5.4 リセット回路例(電圧監視回路例)

6. クロック発生回路

クロック発生回路として、2つの回路が内蔵されています。

- ・ メインクロック発振回路
- ・ オンチップオシレータ(発振停止検出機能あり)

表6.1にクロック発生回路の概略仕様を示します。また、図6.1にシステムクロック発生回路のブロック図、図6.2～図6.3にクロック関連レジスタを示します。

表6.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	オンチップオシレータ
用途	<ul style="list-style-type: none"> ・ CPUのクロック源 ・ 周辺機能のクロック源 ・ メインクロック発振停止時のCPU、周辺機能のクロック源 	<ul style="list-style-type: none"> ・ CPUのクロック源 ・ 周辺機能のクロック源 ・ メインクロック発振停止時のCPU、周辺機能のクロック源
クロック周波数	0～16MHz	約125KHz
接続できる発振子	<ul style="list-style-type: none"> ・ セラミック共振子 ・ 水晶発振子 	—
発振子の接続端子	XIN、XOUT (注1)	— (注1)
発振の開始と停止	あり	あり
リセット後の状態	停止	発振
その他	外部で生成されたクロックを入力可能	—

注1. メインクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合には、P46、P47として使うことができます。

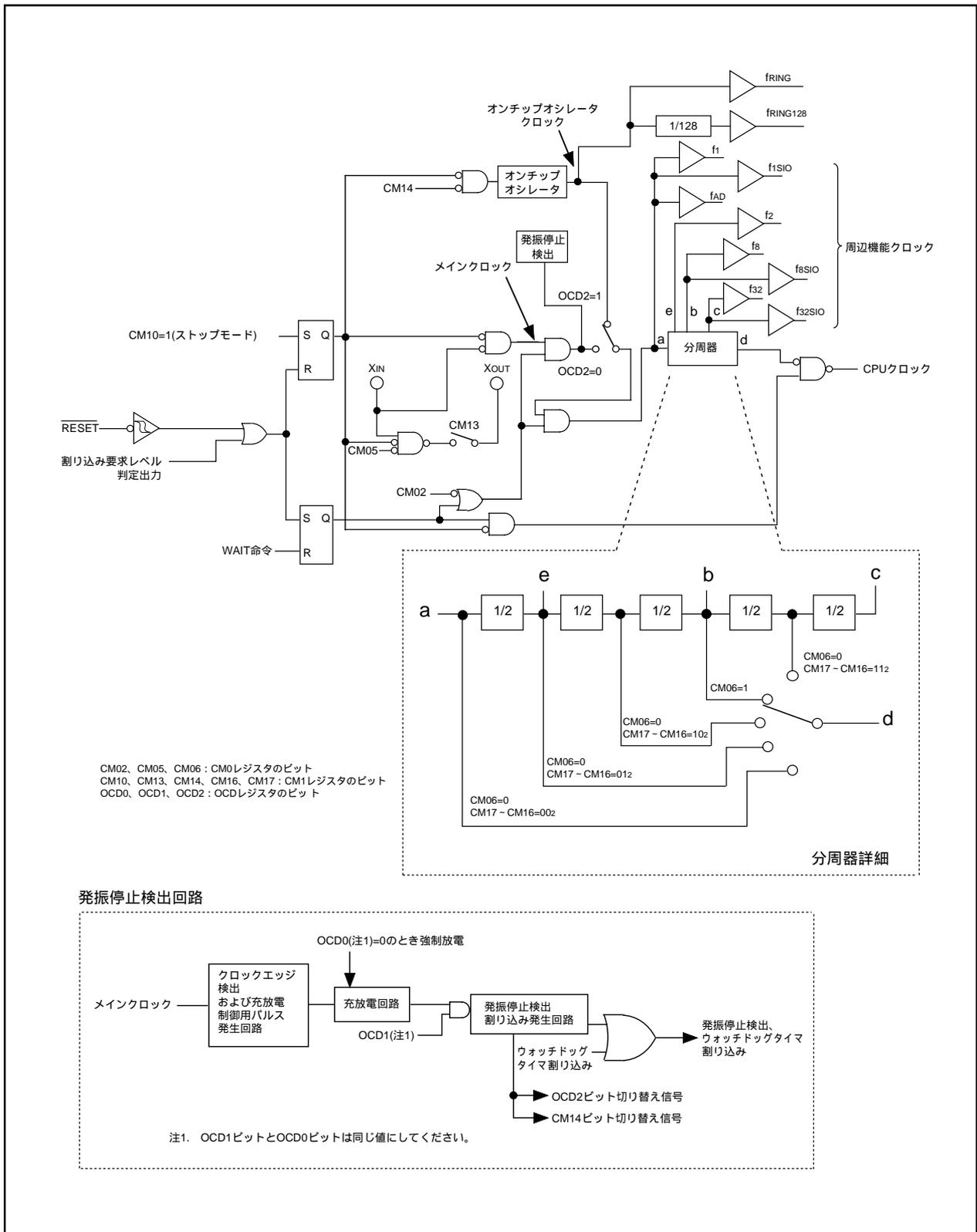


図6.1 クロック発生回路

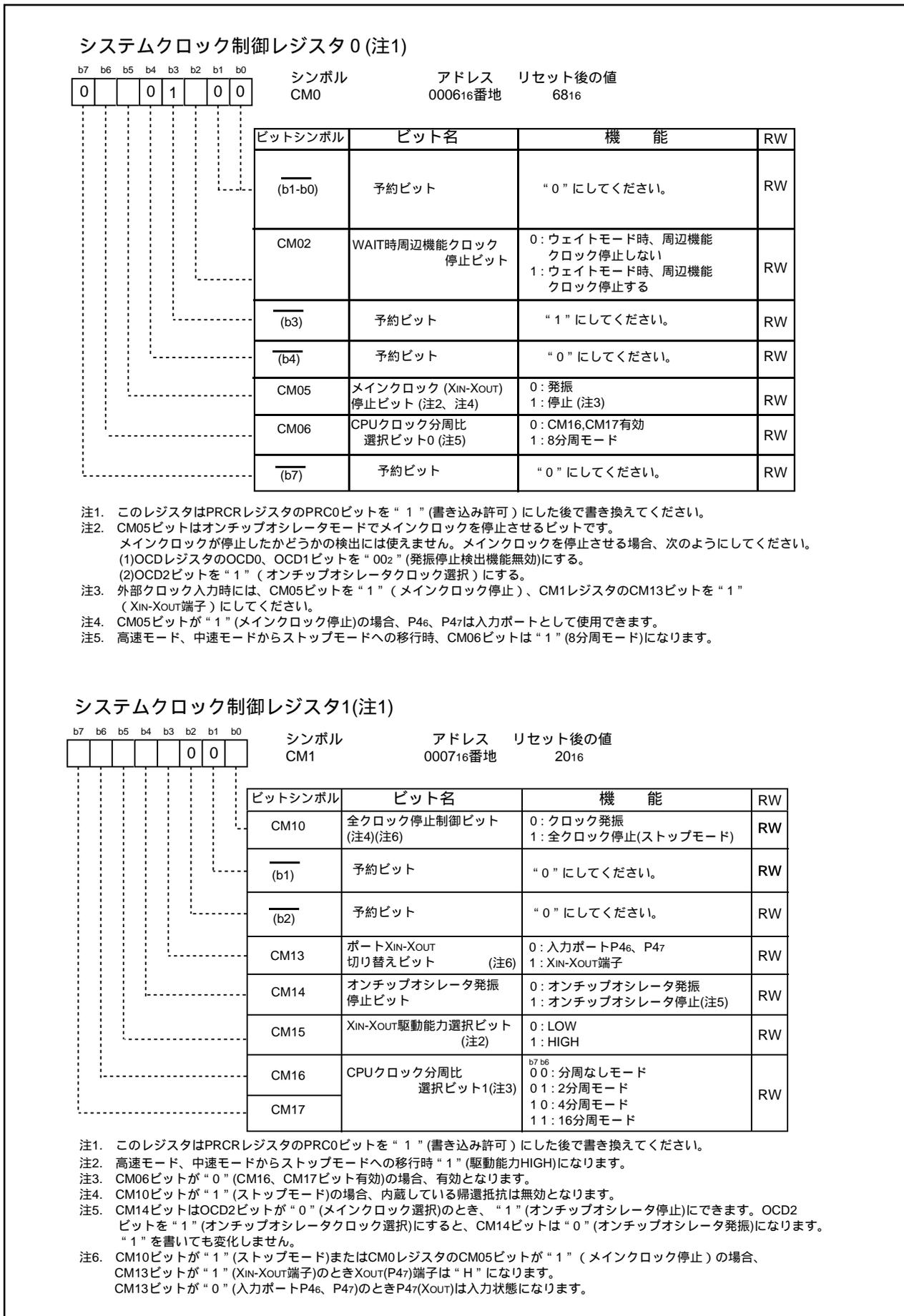


図6.2 CM0、CM1レジスタ

発振停止検出レジスタ(注1)

ビットシンボル	ビット名	機能	RW
OCD0	発振停止検出有効ビット	b1b0 00: 発振停止検出機能無効 01: 設定しないでください 10: 設定しないでください 11: 発振停止検出機能有効(注4、注7)	RW
OCD1			
OCD2	システムクロック選択ビット(注6)	0: メインクロック選択(注7) 1: オンチップオシレータクロック選択(注2)	RW
OCD3	クロックモニタビット(注3、注5)	0: メインクロック発振 1: メインクロック停止	RO
(b7-b4)	予約ビット	"0" にしてください。	RW

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。
- 注2. OCD2ビットは、OCD1～OCD0ビットが“112”(発振停止検出機能有効)のときにメインクロック発振停止を検出すると、自動的に“1”(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが“1”(メインクロック停止)のとき、OCD2ビットに“0”(メインクロック選択)を書いても変化しません。
- 注3. OCD3ビットはOCD1～OCD0ビットが“112”のとき有効です。
- 注4. ストップモード、オンチップオシレータモード(メインクロック停止)に移行する前にOCD1～OCD0ビットを“002”(発振停止検出機能無効)に設定してください。
- 注5. OCD1～OCD0ビットが“002”のときOCD3ビットは“0”(メインクロック発振)になり、変化しません。
- 注6. OCD2ビットを“1”(オンチップオシレータクロック選択)にするとCM14ビットは“0”(オンチップオシレータ発振)になります。
- 注7. 発振停止検出後、メインクロックが再発振した場合の切り替え手順は、「図6.6 オンチップオシレータからメインクロックへの切り替え手順」を参照してください。

図6.3 OCDレジスタ

クロック発生回路で生成するクロックを説明します。

6.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図6.4にメインクロックの接続回路例を示します。

リセット中およびリセット後、メインクロックは停止しています。

CM1レジスタのCM13ビットを“1”(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを“0”(メインクロック発振)にするとメインクロックは発振を開始します。メインクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(メインクロック選択)にするとメインクロックがCPUのクロック源になります。

OCD2ビットを“1”(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを“1”(メインクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしてもメインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「6.3 パワーコントロール」を参照してください。

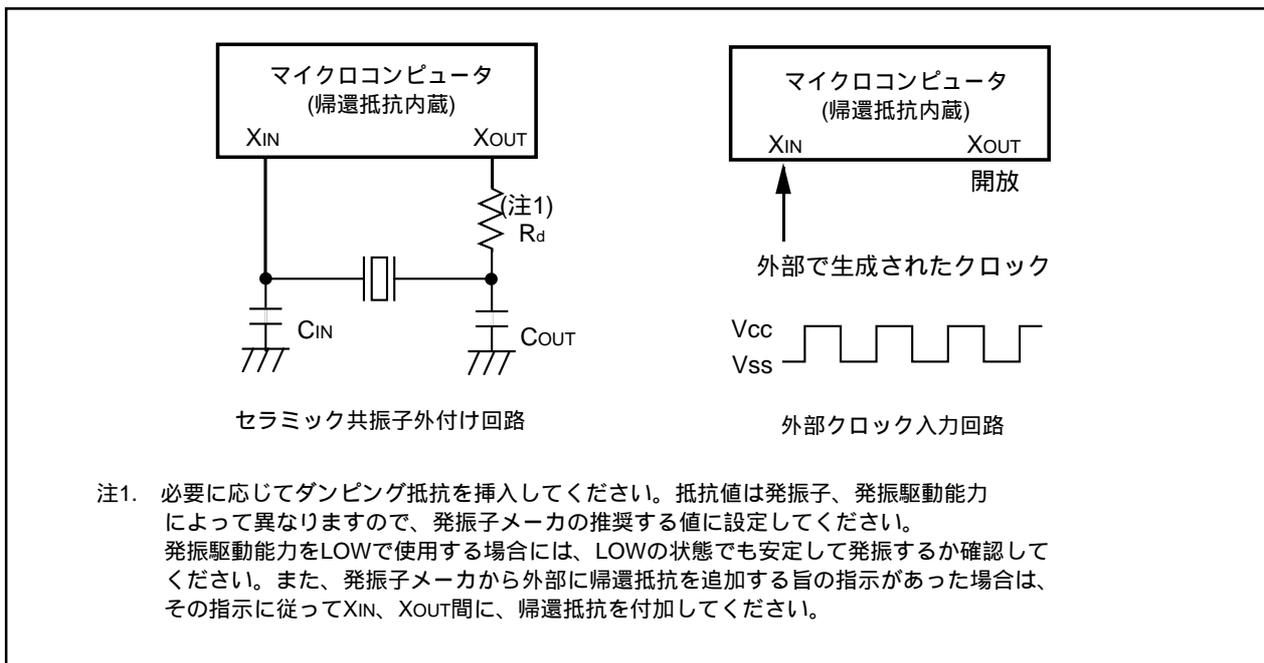


図6.4 メインクロックの接続回路例

6.2 オンチップオシレータクロック

オンチップオシレータが供給する約125KHzのクロックです。CPUクロック、周辺機能クロック、fRING、fRING128のクロック源になります。

リセット後、オンチップオシレータの8分周がCPUクロックになります。

メインクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”（メインクロック選択）にするとメインクロックがCPUクロックに切り替わります。また、OCDレジスタのOCD1～OCD0ビットが“112”（発振停止検出機能有効）の場合、メインクロックが停止したときに、自動的にオンチップオシレータが動作を開始し、クロックを供給します。

オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

6.3 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。(「図6.1 クロック発生回路」参照。)

6.3.1 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、またはオンチップオシレータクロックが選択できます。

選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

リセット後、オンチップオシレータクロックの8分周がCPUクロックになります。

なお、高速モードまたは中速モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

6.3.2 周辺機能クロック(f_1 、 f_2 、 f_8 、 f_{32} 、 f_{AD} 、 f_{1SIO} 、 f_{8SIO} 、 f_{32SIO})

周辺機能の動作クロックです。

f_i ($i=1, 2, 8, 32$)はメインクロックまたはオンチップオシレータクロックを i 分周したクロックです。 f_i はタイマX、タイマY、タイマZ、タイマCで使用します。

f_{jSIO} ($j=1, 8, 32$)はメインクロックまたはオンチップオシレータクロックを j 分周したクロックです。 f_{jSIO} はシリアルI/Oで使用します。

f_{AD} はメインクロックをクロック源とし、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、 f_i 、 f_{jSIO} 、 f_{AD} は停止します。

6.3.3 f_{RING} 、 $f_{RING128}$

周辺機能の動作クロックです。

f_{RING} は、オンチップオシレータクロックと同じ周波数のクロックです。タイマYで使用します。 $f_{RING128}$ は f_{RING} を128分周したクロックです。タイマCで使用します。

f_{RING} と $f_{RING128}$ はWAIT命令実行時、停止しません。

6.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

6.4.1 通常動作モード

通常動作モードは、さらに3つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

高速モード

メインクロックの1分周(分周なし)がCPUクロックとなります。CM14ビットが“0”(オンチップオシレータ発振)のとき、fRINGがタイマYのカウントソースになります。

中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが“0”(オンチップオシレータ発振)のとき、fRINGがタイマYのカウントソースになります。

オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。

表6.2 クロック関連ビットの設定とモード

モード	OCDレジスタ		CM1レジスタ		CM0レジスタ	
	OCD2	CM17、CM16	CM13	CM06	CM05	
高速モード	0	002	1	0	0	
中速モード	2分周	0	012	1	0	0
	4分周	0	102	1	0	0
	8分周	0	—	1	1	0
	16分周	0	112	1	0	0
オンチップオシレータモード	分周なし	1	002	—	0	0または1
	2分周	1	012	—	0	0または1
	4分周	1	102	—	0	0または1
	8分周	1	—	—	1	0または1
	16分周	1	112	—	0	0または1

6.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。メインクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f8、f32、f1SIO、f8SIO、f32SIO、fADが停止しますので、消費電力が低減できます。

ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

ウェイトモード時の端子の状態

ウェイトモードに入る直前の状態を保持します。

ウェイトモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“0002”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けません。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できます。

表6.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“0002”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みシーケンスを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表6.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルI/O割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードで使用可	— (使用しないでください。)
タイマX割り込み	すべてのモードで使用可	イベントカウンタモードで使用可
タイマY割り込み	すべてのモードで使用可	タイマモードでCNTR1端子からの入力をカウント時使用可
タイマZ割り込み	すべてのモードで使用可	— (使用しないでください。)
タイマC割り込み	すべてのモードで使用可	— (使用しないでください。)
INT割り込み	使用可	使用可 (INT0、INT3はフィルタなしの場合に、使用可)
発振停止検出割り込み	使用可	— (使用しないでください。)

6.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。ストップモードからの復帰に使用できる割り込みは次のとおりです。

- ・キー入力割り込み
- ・INT0～INT2割り込み(INT0はフィルタなしの場合に使用可)
- ・タイマX割り込み(イベントカウンタモードで外部パルスをカウント時)
- ・タイマY割り込み(タイマモードでCNTR1端子からの入力をカウント時)
- ・シリアルI/Oの割り込み(外部クロック選択時)

ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM10レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、OCD1～OCD0ビットを“002”(発振停止検出機能無効)にしてからストップモードにしてください。

ストップモード時の端子の状態

ストップモードに入る直前の状態を保持します。

ただし、XOUT(P47)端子については、CM1レジスタのCM13ビットが“1”(XIN-XOUT端子)のとき、XOUT(P47)端子は“H”になります。CM13ビットが“0”(入力ポートP46、P47)のとき、P47(XOUT)は入力状態になります。

ストップモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットをすべて“0002”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。

また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“0002”(割り込み禁止)にする。

- (2) Iフラグを“1”にする。

- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。

図6.5にパワーコントロールの状態遷移を示します。

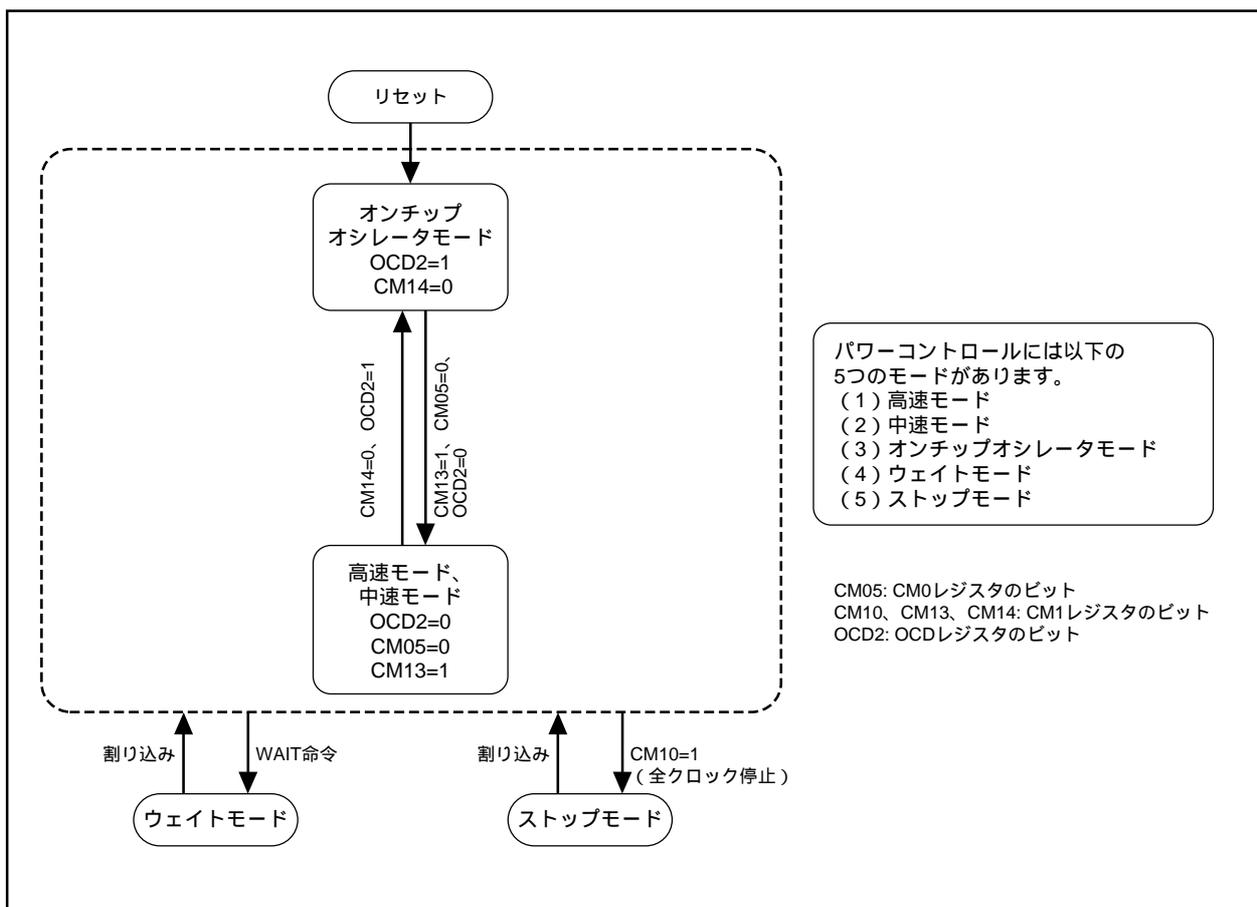


図6.5 パワーコントロールの状態遷移

6.5 発振停止検出機能

発振停止検出機能は、メインクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD1～OCD0ビットで有効、無効が選択できます。

表6.4に発振停止検出機能の仕様を示します。

メインクロックがCPUクロック源でOCD1～OCD0ビットが“112”（発振停止検出機能有効）の場合、メインクロックが停止すると、次の状態になります。

- ・ オンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能のクロック源になる
- ・ OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- ・ OCDレジスタのOCD3ビット=1(メインクロック停止)
- ・ CM1レジスタのCM14ビット=0(オンチップオシレータ発振)
- ・ 発振停止検出割り込み要求が発生する

表6.4 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1～OCD0ビットを“112”（発振停止検出機能有効）にする
発振停止検出時の動作	発振停止検出割り込み発生

6.5.1 発振停止検出機能の使用方法

- ・ 発振停止検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。表6.5に発振停止検出割り込みとウォッチドッグタイマ割り込みの割り込み要因の判別を示します。
- ・ 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図6.6にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- ・ 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0”（ウェイトモード時周辺機能クロックを停止しない）にしてください。
- ・ 発振停止検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、OCD1～OCD0ビットを“002”（発振停止検出機能無効）にしてください。
- ・ メインクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“002”（発振停止検出機能無効）にしてください。

表6.5 発振停止検出割り込みとウォッチドッグタイマ割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出 ((a)または(b)のとき)	(a) OCDレジスタのOCD3 = 1
	(b) OCDレジスタのOCD1 ~ OCD0 = 112かつOCD2 = 1

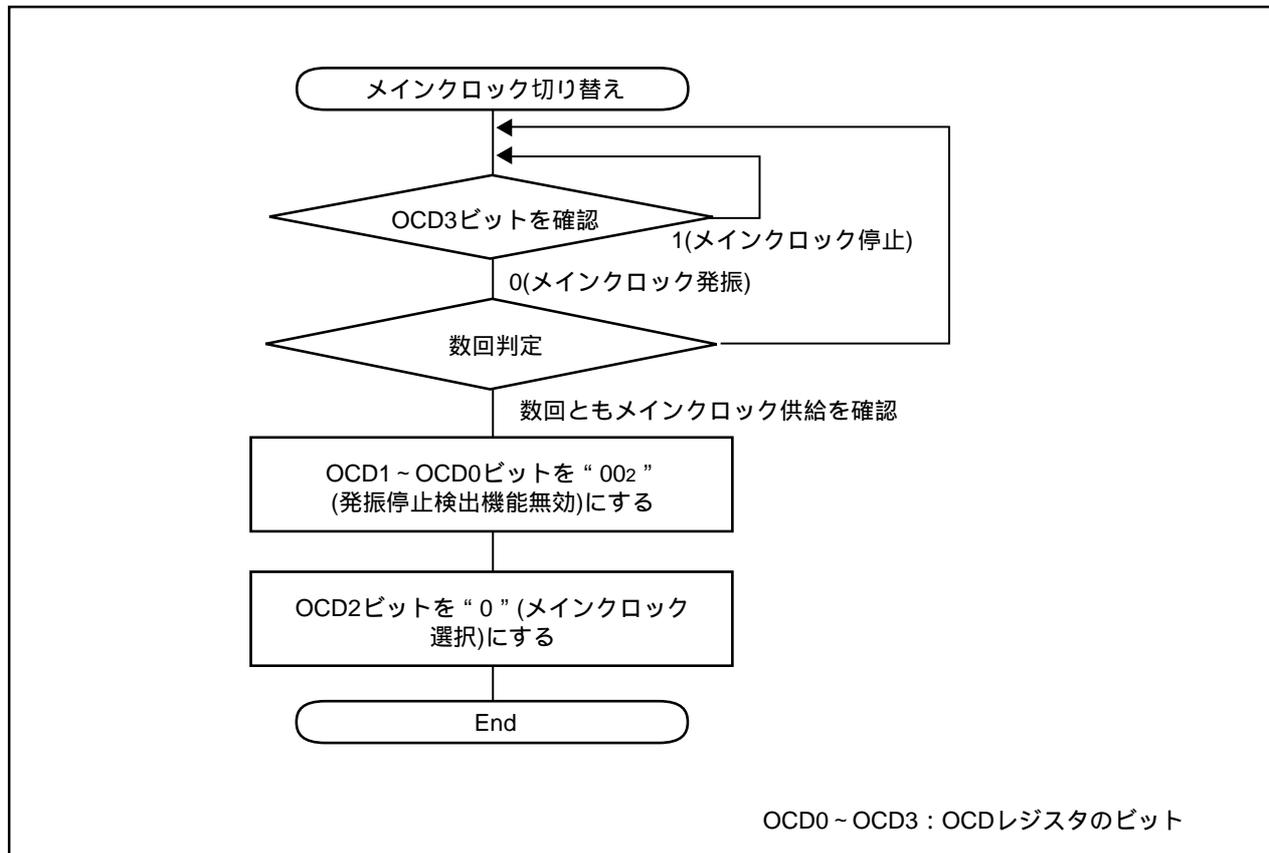


図6.6 オンチップオシレータからメインクロックへの切り替え手順

7. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図7.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- ・ PRC0ビットで保護されるレジスタ : CM0、CM1、OCDレジスタ
- ・ PRC1ビットで保護されるレジスタ : PM0、PM1レジスタ
- ・ PRC2ビットで保護されるレジスタ : PD0レジスタ

PRC2ビットを“1” (書き込み許可状態)にした後、任意の番地書き込みを実行すると“0” (書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みが入らないようにしてください。PRC0～PRC1ビットは任意の番地書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

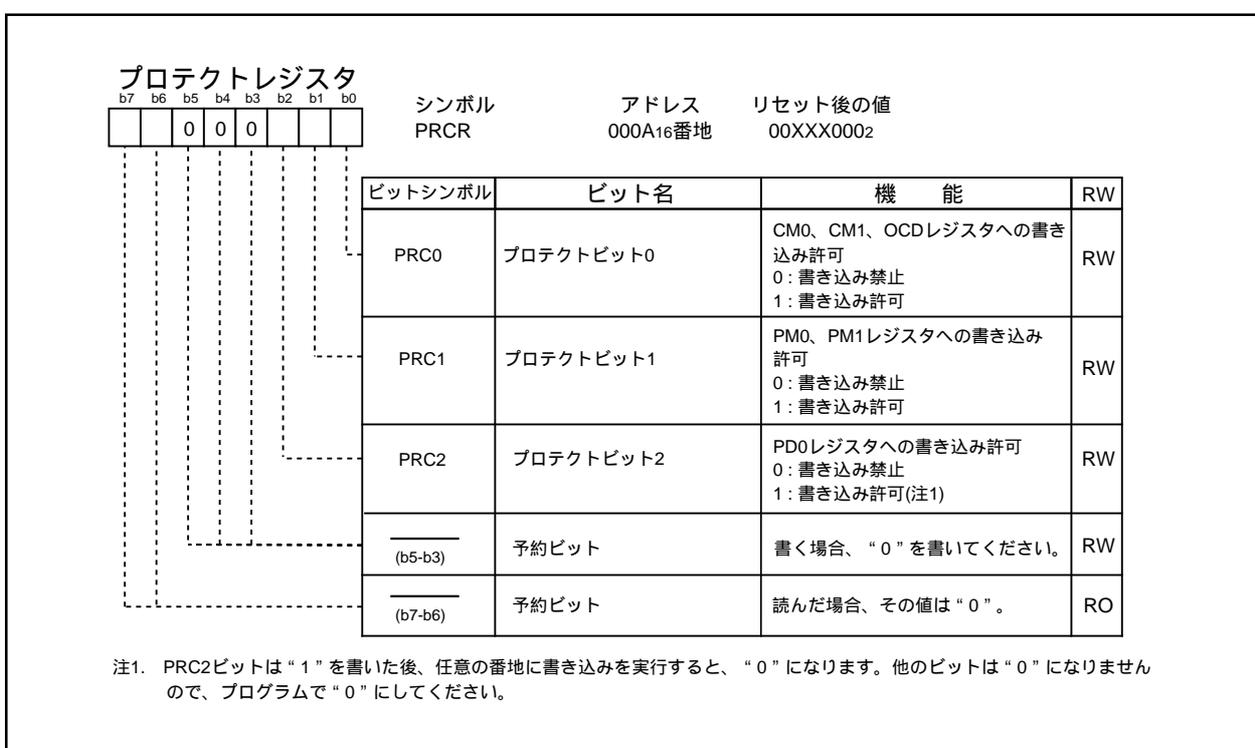


図7.1 PRCRレジスタ

8. プロセッサモード

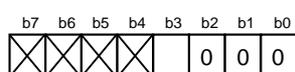
8.1 プロセッサモードの種類

プロセッサモードはシングルチップモードとなります。表8.1にプロセッサモードの特長を、図8.1にPM0～PM1レジスタを示します。

表8.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

プロセッサモードレジスタ0(注1)



シンボル
PM0

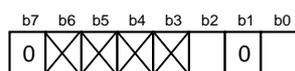
アドレス
0004₁₆番地

リセット後の値
001₆

ビットシンボル	ビット名	機 能	RW
— (b2-b0)	予約ビット	“0” にしてください。	RW
PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. PM0レジスタは、PRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

プロセッサモードレジスタ1(注1)



シンボル
PM1

アドレス
0005₁₆番地

リセット後の値
001₆

ビットシンボル	ビット名	機 能	RW
PM10	データ領域アクセス許可ビット	0: 禁止 1: 許可	RW
— (b1)	予約ビット	“0” にしてください。	RW
PM12	ウォッチドッグタイマ割り込み / リセット切り替えビット (注2)	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット	RW
— (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—
— (b7)	予約ビット	“0” にしてください。	RW

注1. このレジスタは、PRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注2. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。

図8.1 PM0～PM1レジスタ

9. バス制御

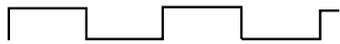
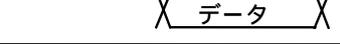
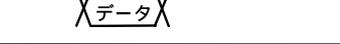
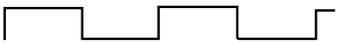
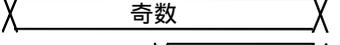
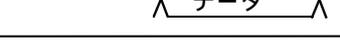
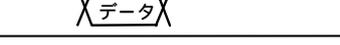
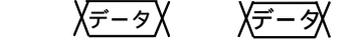
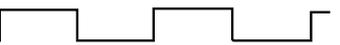
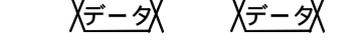
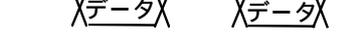
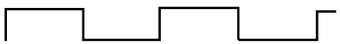
ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。表9.1にアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表9.2にアクセス単位とバスの動作を示します。

表9.1 アクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表9.2 アクセス単位とバスの動作

領域	SFR、データフラッシュ	プログラムROM、RAM
偶数番地 バイトアクセス	CPUクロック  アドレス  偶数 データ  データ	CPUクロック  アドレス  偶数 データ  データ
奇数番地 バイトアクセス	CPUクロック  アドレス  奇数 データ  データ	CPUクロック  アドレス  奇数 データ  データ
偶数番地 ワードアクセス	CPUクロック  アドレス  偶数 偶数+1 データ  データ データ	CPUクロック  アドレス  偶数 偶数+1 データ  データ データ
奇数番地 ワードアクセス	CPUクロック  アドレス  奇数 奇数+1 データ  データ データ	CPUクロック  アドレス  奇数 奇数+1 データ  データ データ

10. 割り込み

10.1 割り込みの概要

10.1.1 割り込みの分類

図10.1に割り込みの分類を示します。

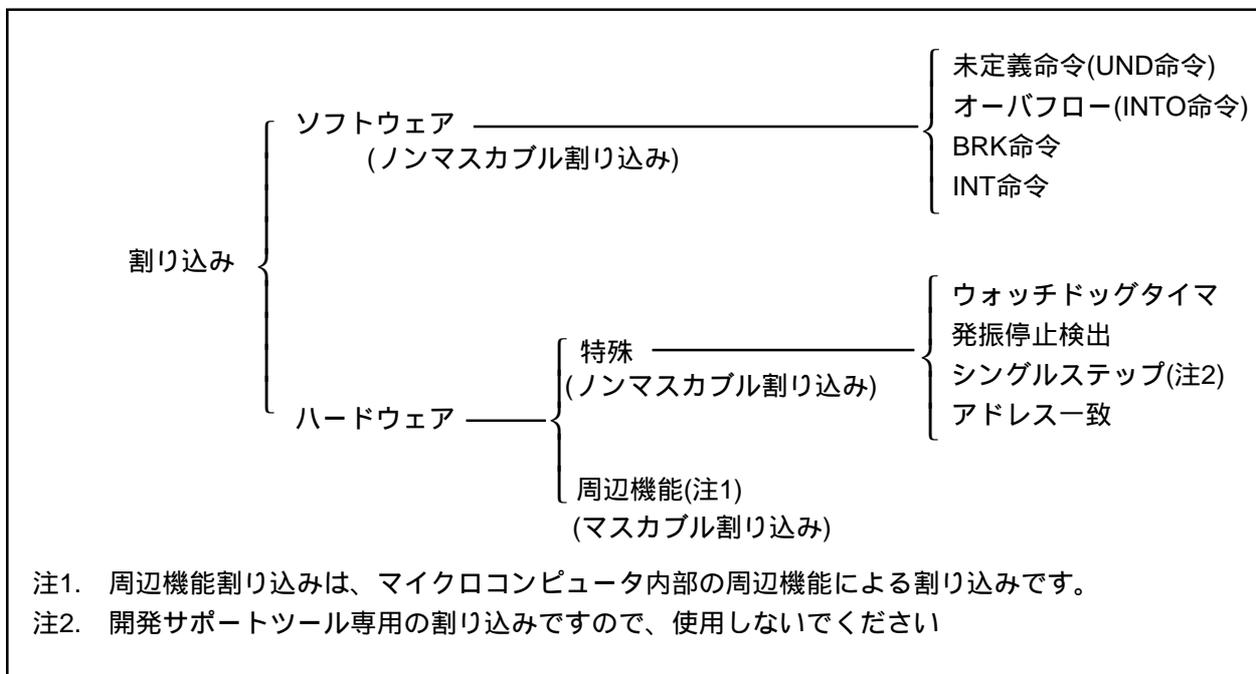


図10.1 割り込みの分類

- ・ マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ・ ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

10.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1” (演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB
BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0” (ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

10.1.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は、「11. ウォッチドッグタイマ」を参照してください。

(2) 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「6. クロック発生回路」を参照してください。

(3) シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

(4) アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0～AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「10.4 アドレス一致割り込み」を参照してください。

周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表10.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

10.1.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図10.2に割り込みベクタを示します。

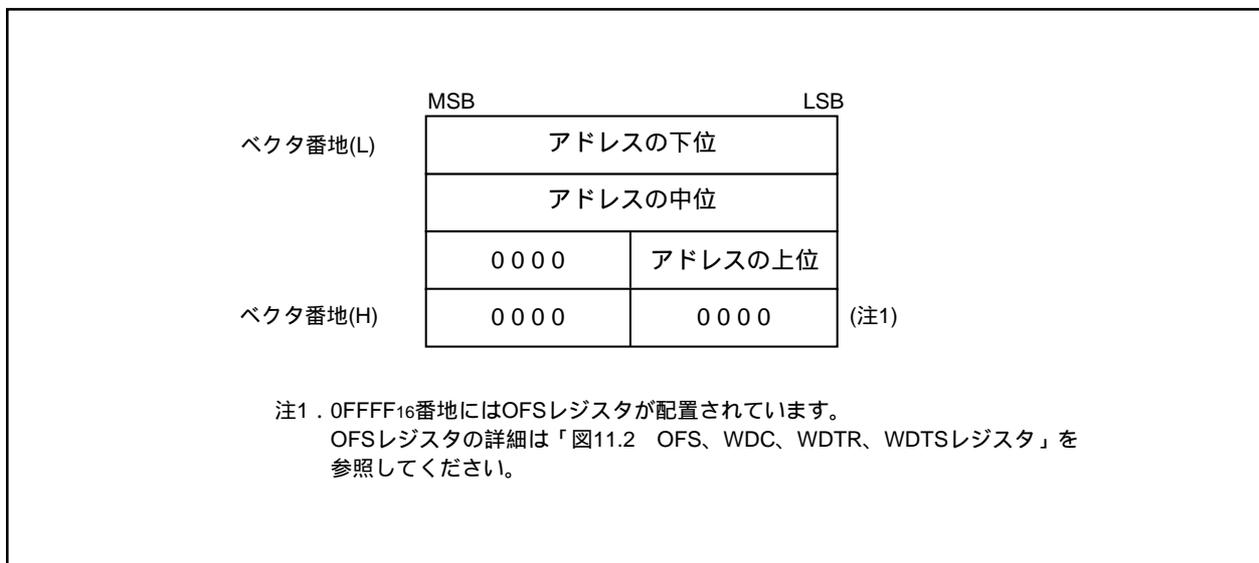


図10.2 割り込みベクタ

固定ベクタテーブル

固定ベクタテーブルは、0FFDC₁₆番地から0FFFF₁₆番地に配置されています。表10.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「17.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表10.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	参照先
未定義命令	0FFDC ₁₆ ～0FFDF ₁₆	UND命令で割り込み	R8C/Tinyシリーズ ソフトウェア マニュアル
オーバフロー	0FFE0 ₁₆ ～0FFE3 ₁₆	INTO命令で割り込み	
BRK命令	0FFE4 ₁₆ ～0FFE7 ₁₆	0FFE7 ₁₆ 番地の内容がFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行	
アドレス一致	0FFE8 ₁₆ ～0FFEB ₁₆		10.4 アドレス一致割り込み
シングルステップ(注1)	0FFEC ₁₆ ～0FFEF ₁₆		
ウォッチドッグタイマ、 発振停止検出	0FFF0 ₁₆ ～0FFF3 ₁₆		11. ウォッチドッグタイマ、 6. クロック発生回路
(予約)	0FFF4 ₁₆ ～0FFF7 ₁₆		
(予約)	0FFF8 ₁₆ ～0FFFB ₁₆		
リセット	0FFFC ₁₆ ～0FFFF ₁₆		5. リセット

注1. 開発サポートツール専用の割り込みですので、使用しないでください。

可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表10.2に可変ベクタテーブルを示します。

表10.2 可変ベクタテーブル

割り込み要因	ベクタ番地 (注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	参照先
BRK命令(注2)	+0 ~ +3(0000 ₁₆ ~ 0003 ₁₆)	0	R8C/Tinyシリーズ ソフトウェアマニュアル
— (予約)		1 ~ 12	
キー入力割り込み	+52 ~ +55(0034 ₁₆ ~ 0037 ₁₆)	13	10.3 キー入力割り込み
A/D変換	+56 ~ +59(0038 ₁₆ ~ 003B ₁₆)	14	14. A/Dコンバータ
— (予約)		15、16	
UART0送信	+68 ~ +71(0044 ₁₆ ~ 0047 ₁₆)	17	13. シリアルインタフェース
UART0受信	+72 ~ +75(0048 ₁₆ ~ 004B ₁₆)	18	
UART1送信	+76 ~ +79(004C ₁₆ ~ 004F ₁₆)	19	
UART1受信	+80 ~ +83(0050 ₁₆ ~ 0053 ₁₆)	20	
INT2	+84 ~ +87(0054 ₁₆ ~ 0057 ₁₆)	21	10.2.3 INT2割り込み
タイマX	+88 ~ +91(0058 ₁₆ ~ 005B ₁₆)	22	12.1 タイマX
タイマY	+92 ~ +95(005C ₁₆ ~ 005F ₁₆)	23	12.2 タイマY
タイマZ	+96 ~ +99(0060 ₁₆ ~ 0063 ₁₆)	24	12.3 タイマZ
INT1	+100 ~ +103(0064 ₁₆ ~ 0067 ₁₆)	25	10.2.3 INT1割り込み
INT3	+104 ~ +107(0068 ₁₆ ~ 006B ₁₆)	26	10.2.4 INT3割り込み
タイマC	+108 ~ +111(006C ₁₆ ~ 006F ₁₆)	27	12.4 タイマC
— (予約)		28	
INT0	+116 ~ +119(0074 ₁₆ ~ 0077 ₁₆)	29	10.2.1 INT0割り込み
— (予約)		30	
— (予約)		31	
ソフトウェア割り込み(注2)	+128 ~ +131(0080 ₁₆ ~ 0083 ₁₆) 、 +252 ~ +255(00FC ₁₆ ~ 00FF ₁₆)	32 、 63	R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. フラグによる禁止はできません。

10.1.5 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL0～ILVL2ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図10.3に割り込み制御レジスタを示します。

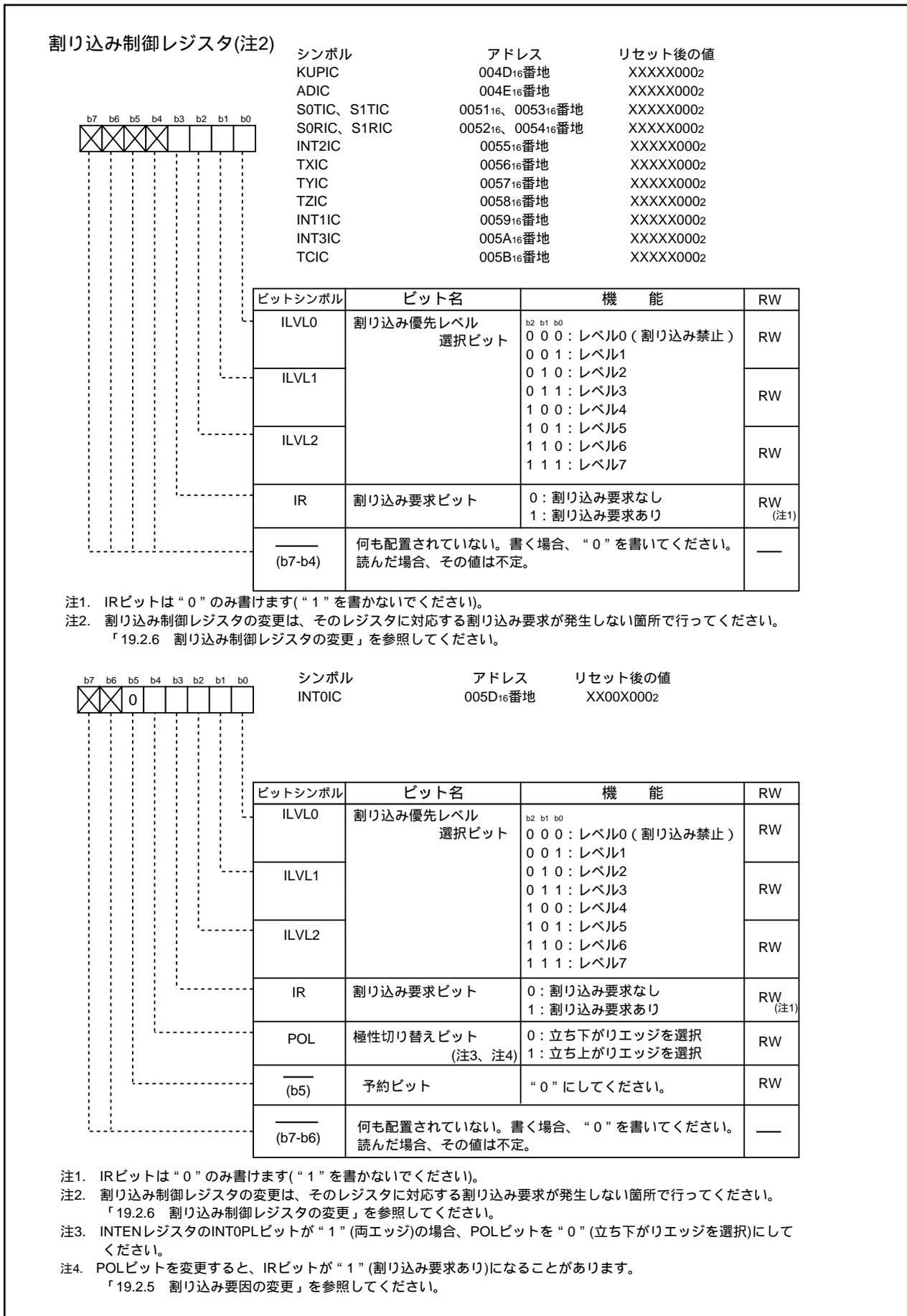


図10.3 割り込み制御レジスタ

Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”（許可）にすると、マスカブル割り込みは許可され、“0”（禁止）にするとすべてのマスカブル割り込みは禁止されます。

IRビット

IRビットは割り込み要求が発生すると、“1”（割り込み要求あり）になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”（割り込み要求なし）になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL0～ILVL2ビットで設定できます。

表10.3に割り込み優先レベルの設定、表10.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- ・ Iフラグ = 1
- ・ IRビット = 1
- ・ 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL0～ILVL2ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表10.3 割り込み優先レベルの設定

ILVL2～ILVL0	割り込み優先レベル	優先順位
0002	レベル0 (割り込み禁止)	———
0012	レベル1	低い  高い
0102	レベル2	
0112	レベル3	
1002	レベル4	
1012	レベル5	
1102	レベル6	
1112	レベル7	

表10.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
0002	レベル1以上を許可
0012	レベル2以上を許可
0102	レベル3以上を許可
0112	レベル4以上を許可
1002	レベル5以上を許可
1012	レベル6以上を許可
1102	レベル7以上を許可
1112	すべてのマスカブル割り込みを禁止

割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図10.4に割り込みシーケンスの実行時間を示します。

- (1) 0000016番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
 - Iフラグは“0”(割り込み禁止)
 - Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
 - Uフラグは“0”(ISPを指定)
 ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

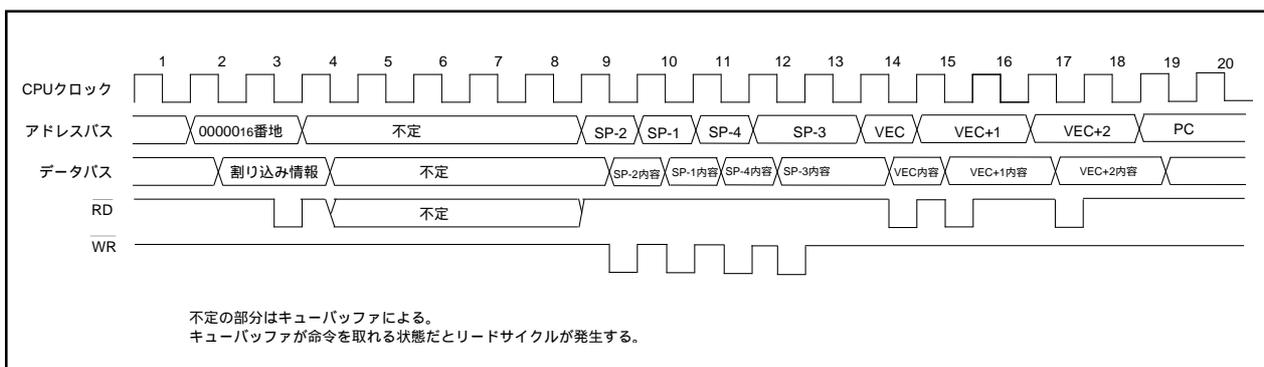


図10.4 割り込みシーケンスの実行時間

割り込み応答時間

図10.5に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図10.5の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

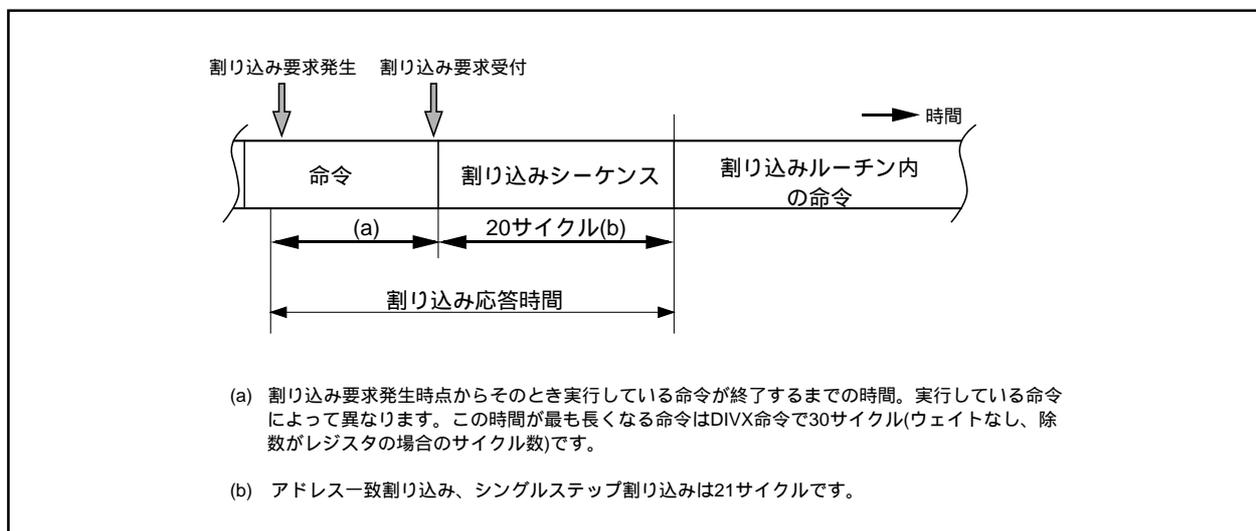


図10.5 割り込み応答時間

割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表10.5に示す値がIPLに設定されます。表10.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表10.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルをもたない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図10.6に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

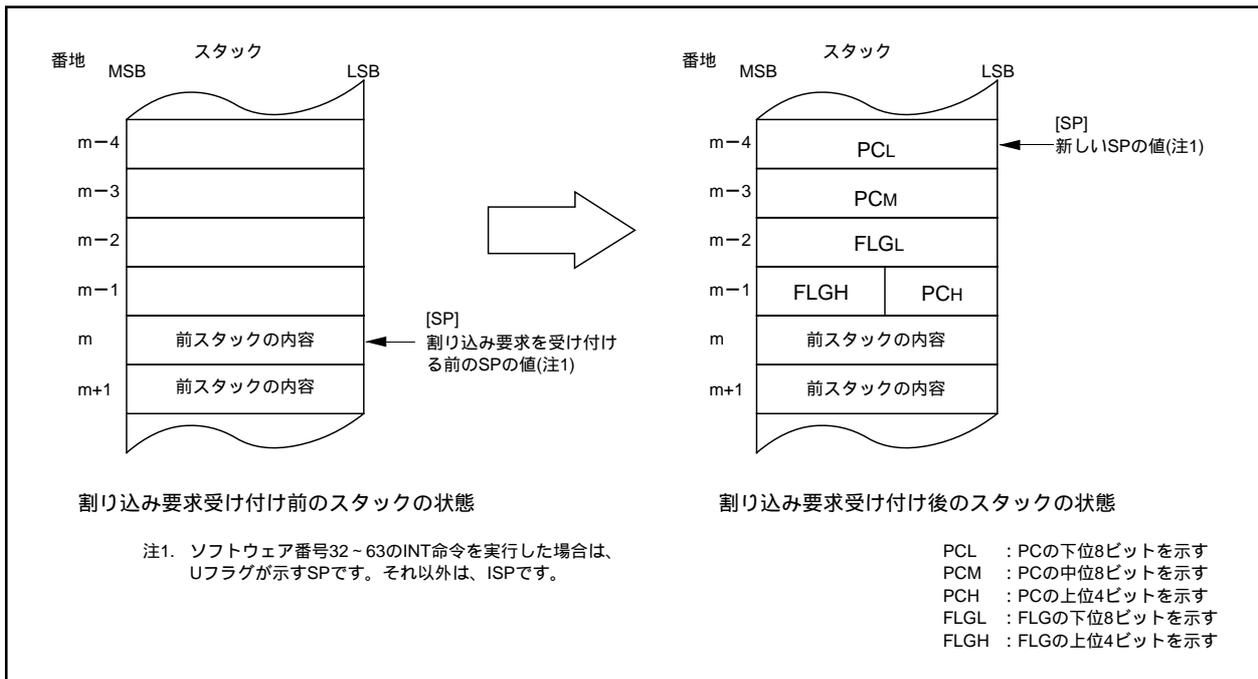


図10.6 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避は、8ビットずつ4回に分けて行われます。図10.7にレジスタ退避動作を示します。

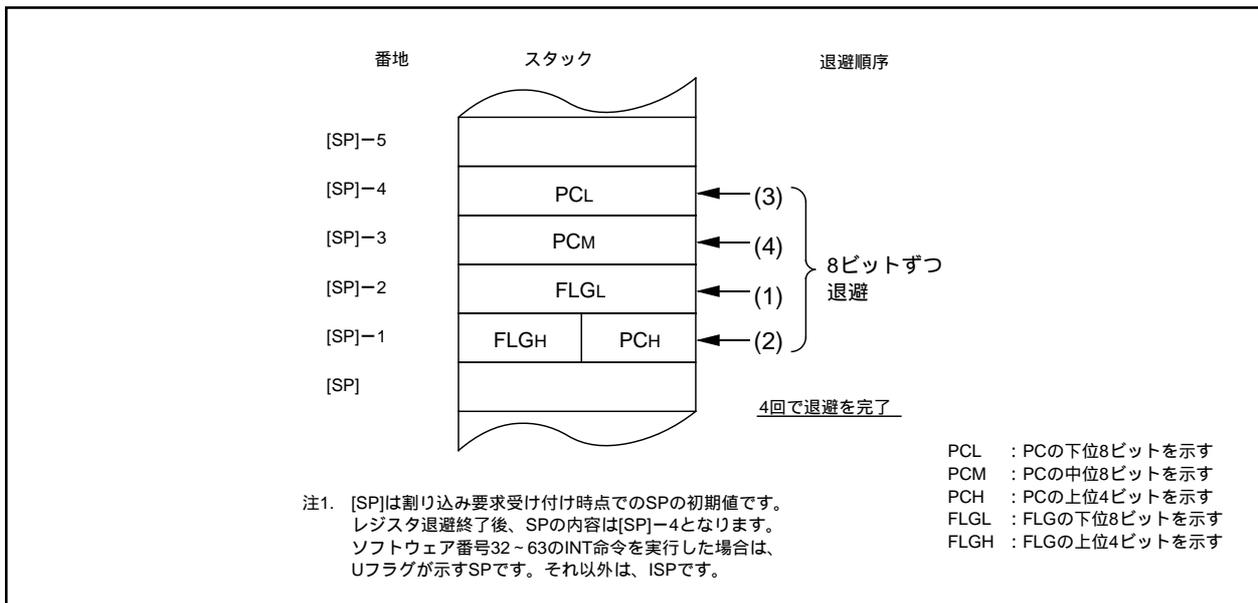


図10.7 レジスタ退避動作

割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL0~ILVL2ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図10.8にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

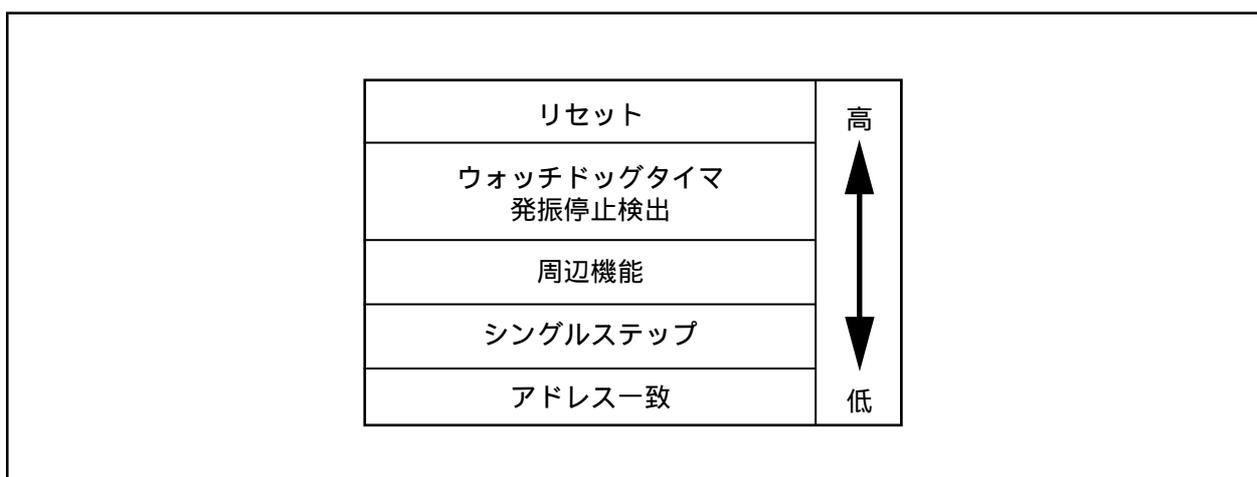


図10.8 ハードウェア割り込みの割り込み優先順位

割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図10.9に割り込み優先レベルの判定回路を示します。

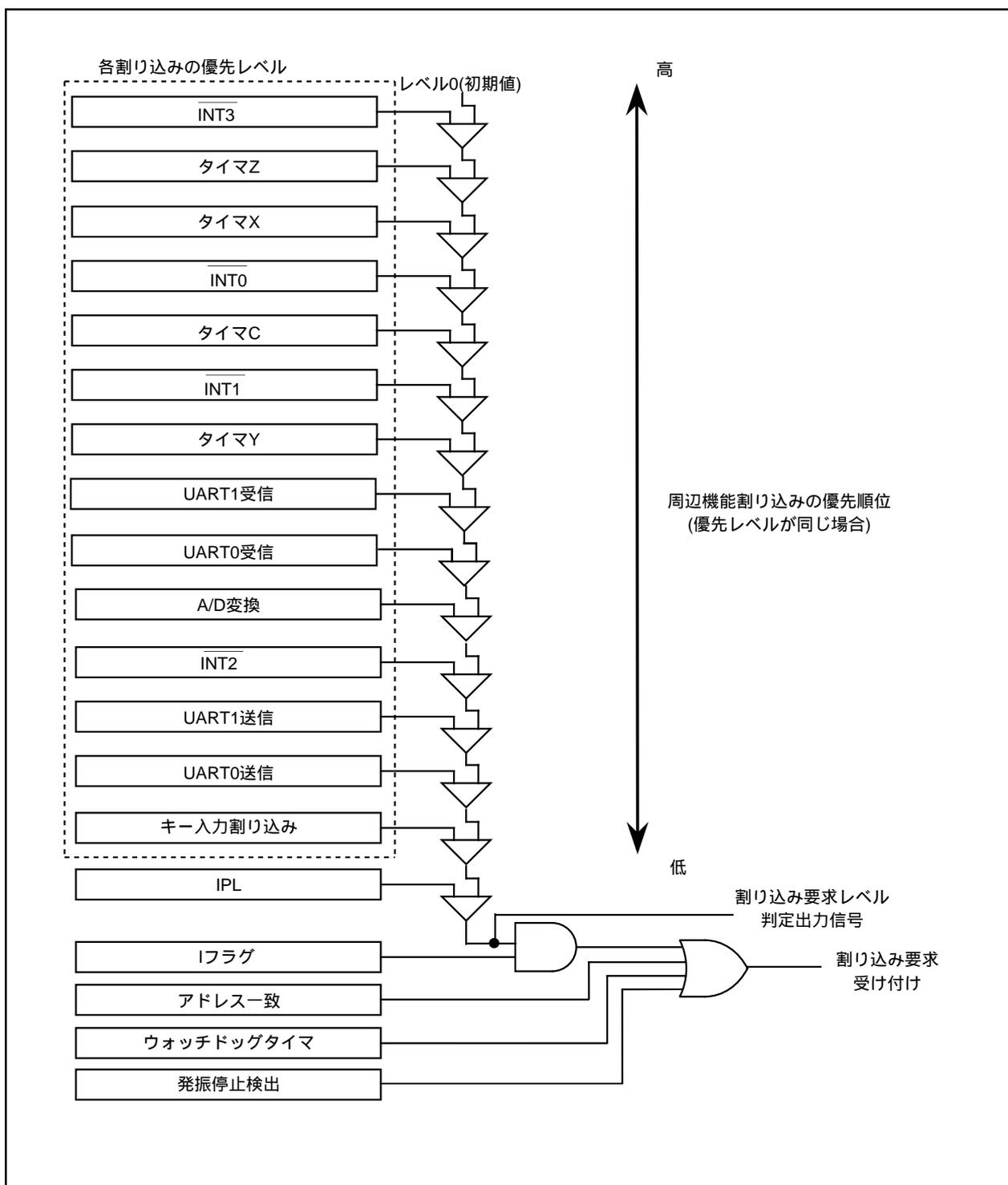


図10.9 割り込み優先レベル判定回路

10.2 INT割り込み

10.2.1 INT0割り込み

INT0割り込みはINT0入力による割り込みです。INT0割り込みを使用するときはINTENレジスタのINT0ENビット“1”（許可）にしてください。極性をINTENレジスタのINT0PLビットとINT0ICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

INT0端子は、タイマZの外部トリガ入力端子と兼用です。

図10.10にINTEN、INT0Fレジスタを示します。

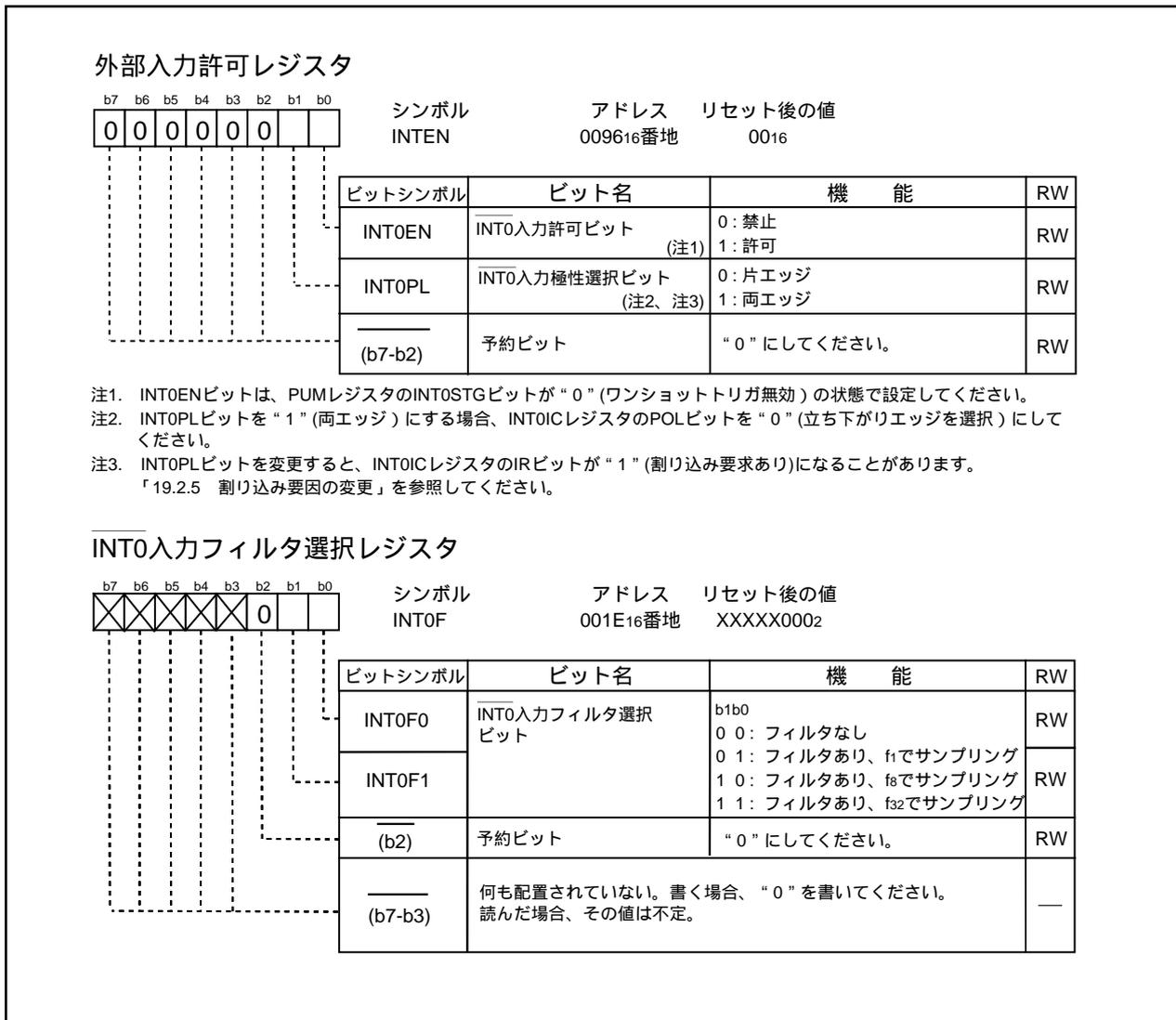


図10.10 INTEN、INT0Fレジスタ

10.2.2 INT0入力フィルタ

INT0入力は、デジタルフィルタを持ちます。サンプリングクロックはINT0FレジスタのINT0F0～INT0F1ビットで選択できます。サンプリングクロックごとにINT0のレベルをサンプリングし、レベルが3度一致した時点で、INT0ICレジスタのIRビットが“1”（割り込み要求あり）になります。INT0F1～INT0F0ビットが、“012”、“102”、“112”のいずれかの場合、P4レジスタのP4_5ビットを読むとフィルタ後の値が読めます。

図10.11にINT0入力フィルタの構成を、図10.12にINT0入力フィルタ動作例を示します。

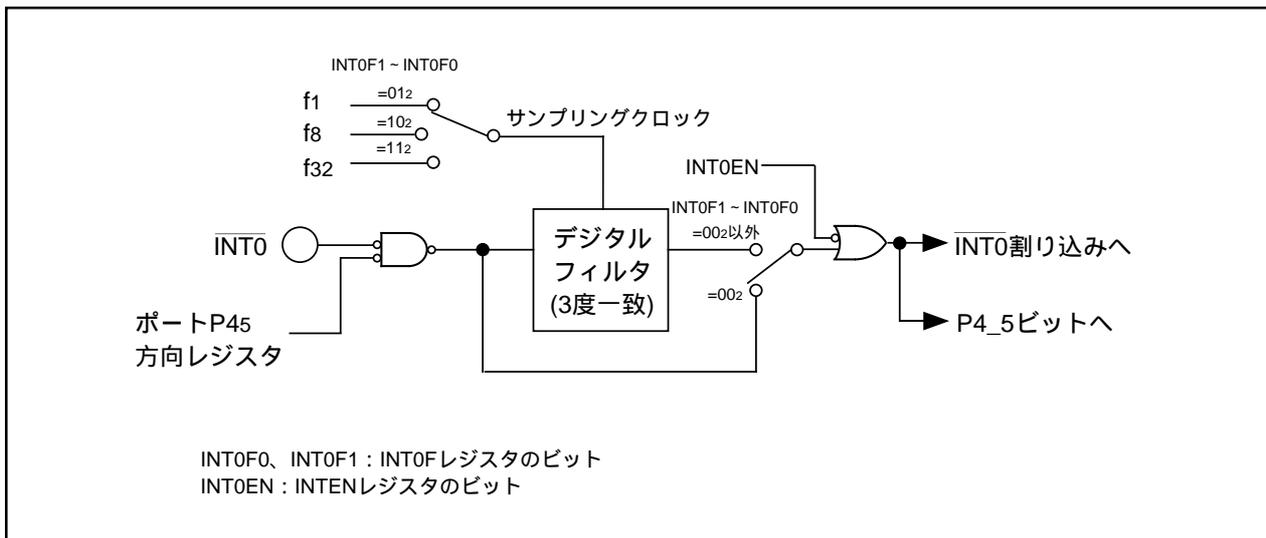


図10.11 INT0入力フィルタの構成

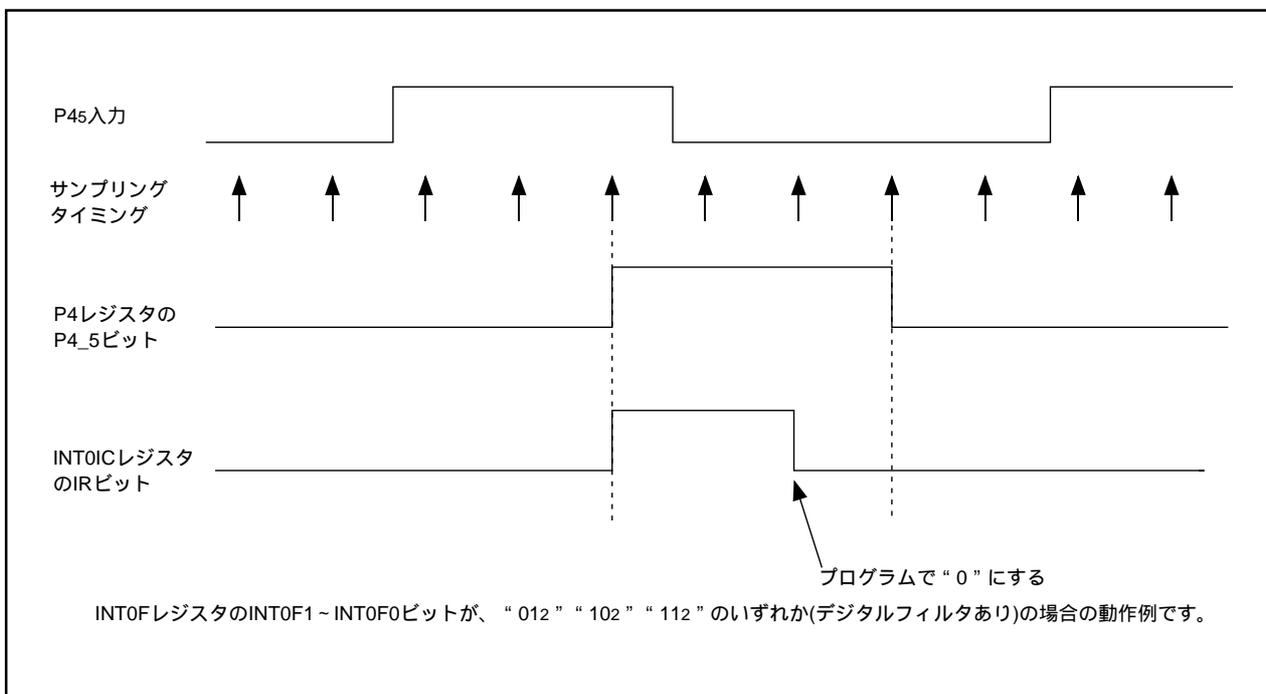


図10.12 INT0入力フィルタ動作例

10.2.3 INT1割り込み、INT2割り込み

INT1割り込みは、INT1入力による割り込みです。極性は、TXMRレジスタのR0EDGビットで選択できます。INT1端子は、CNTR0端子と兼用です。

INT2割り込みは、INT2入力による割り込みです。極性は、TYZMRレジスタのR1EDGで選択できます。INT2端子は、CNTR1端子と兼用です。

図10.13にINT1割り込み、INT2割り込み使用時のTXMR、TYZMRレジスタを示します。

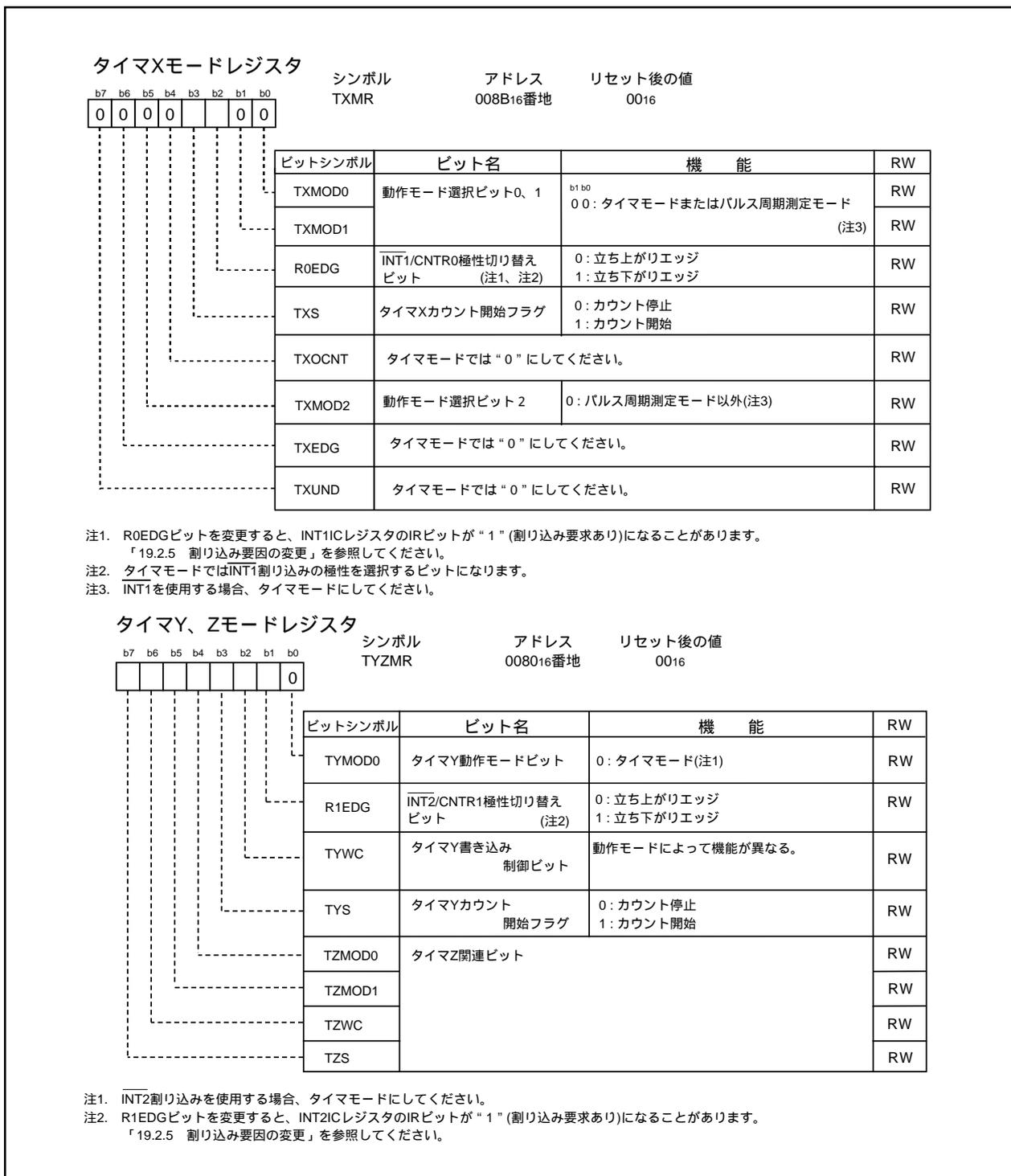


図10.13 INT1割り込み、INT2割り込み使用時のTXMR、TYZMRレジスタ

10.2.4 INT3割り込み

INT3割り込みは、INT3入力への割り込みです。TCC0レジスタのTCC07ビットを“0” (INT3)にしてください。INT3入力はデジタルフィルタを持ちます。サンプリングクロックはTCC1レジスタのTCC10～TCC11ビットで選択できます。サンプリングクロックごとにINT3のレベルをサンプリングし、レベルが3度一致した時点で、INT3ICレジスタのIRビットが“1” (割り込み要求あり)になります。TCC10～TCC11ビットの内容に関係なく、P3レジスタのP3_3ビットを読むとフィルタ前の値が読めます。

INT3端子は、TCIN端子と兼用です。

なおTCC07ビットを“1” (fRING128)にすると、INT3割り込みは、fRING128クロックによる割り込みになります。fRING128の半周期または1周期ごとにINT3ICレジスタのIRビットが“1” (割り込み要求あり)になります。

図10.14にTCC0、TCC1レジスタを示します。

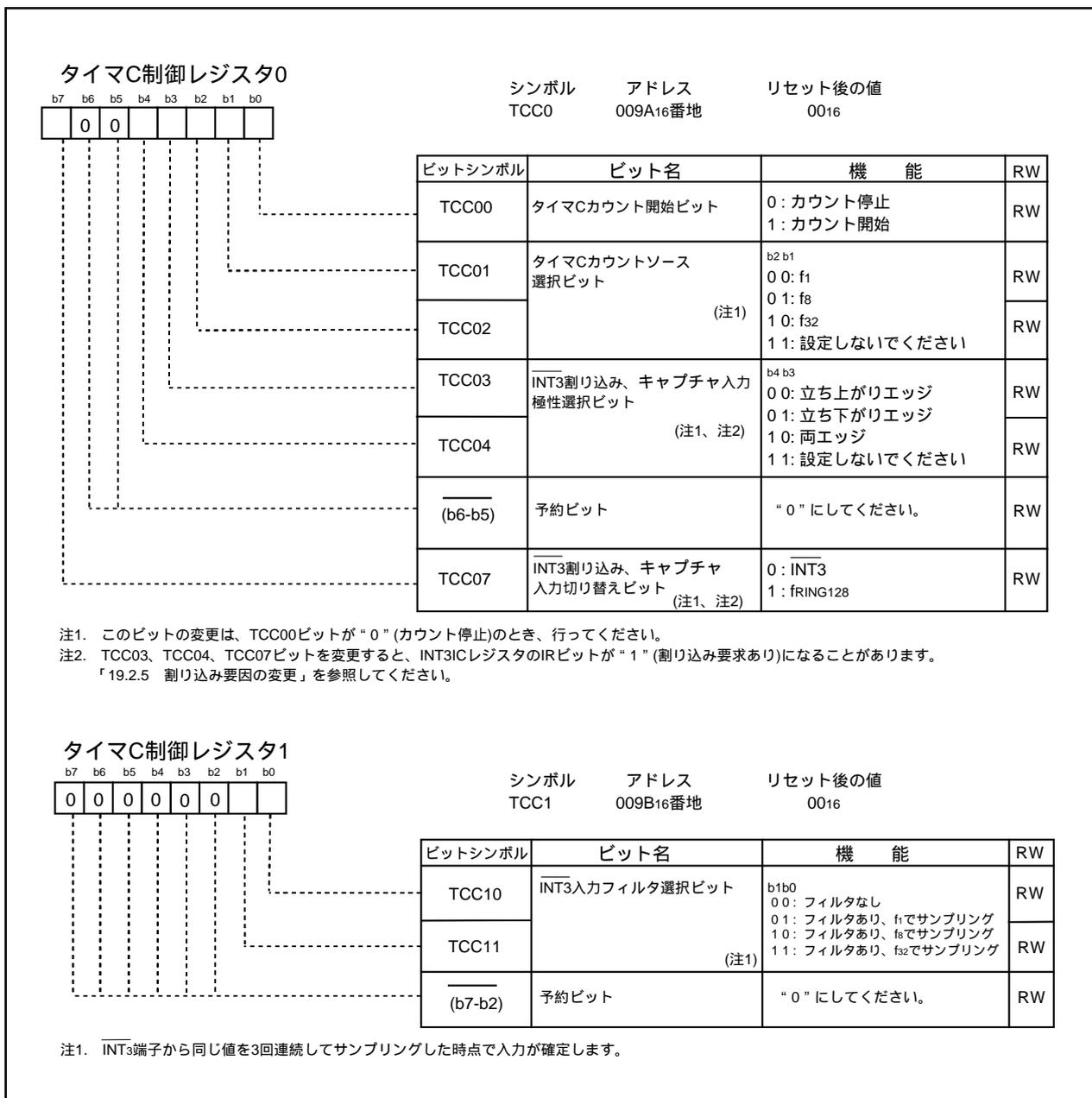


図10.14 TCC0、TCC1レジスタ

10.3 キー入力割り込み

KI0 ~ KI3端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット(i = 0 ~ 3)で、端子をKIi入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち下がりエッジ)にしているKIi端子に“L”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしているKIi端子に“H”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。

キー入力割り込みのブロック図を図10.15に示します。

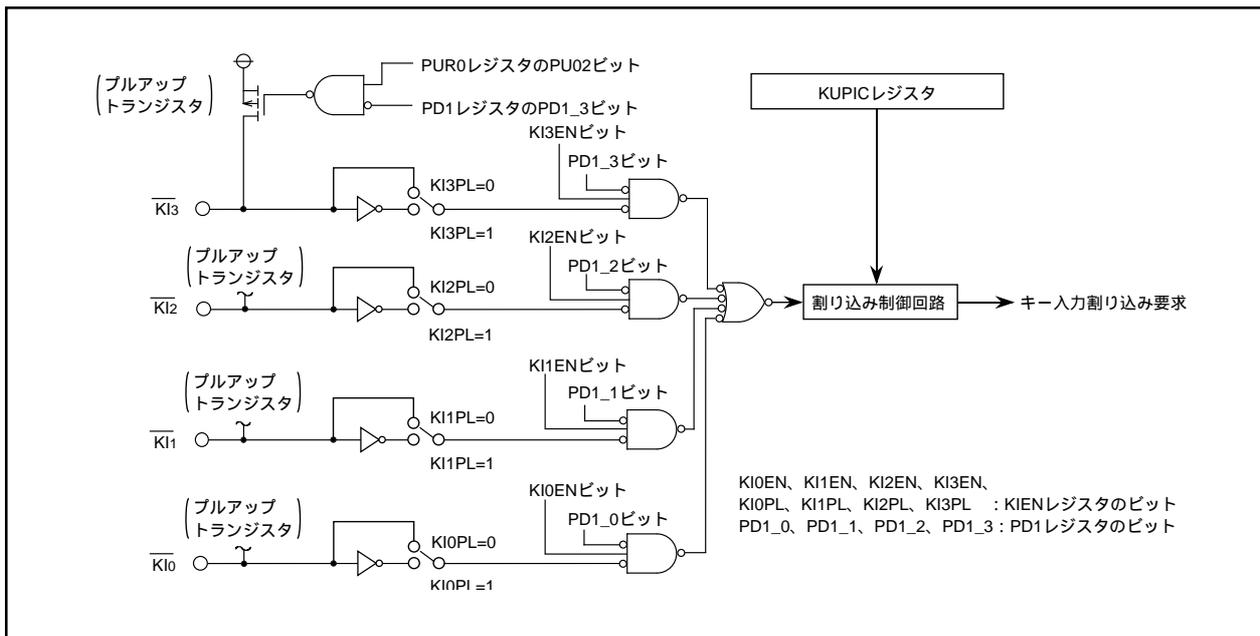


図10.15 キー入力割り込みのブロック図

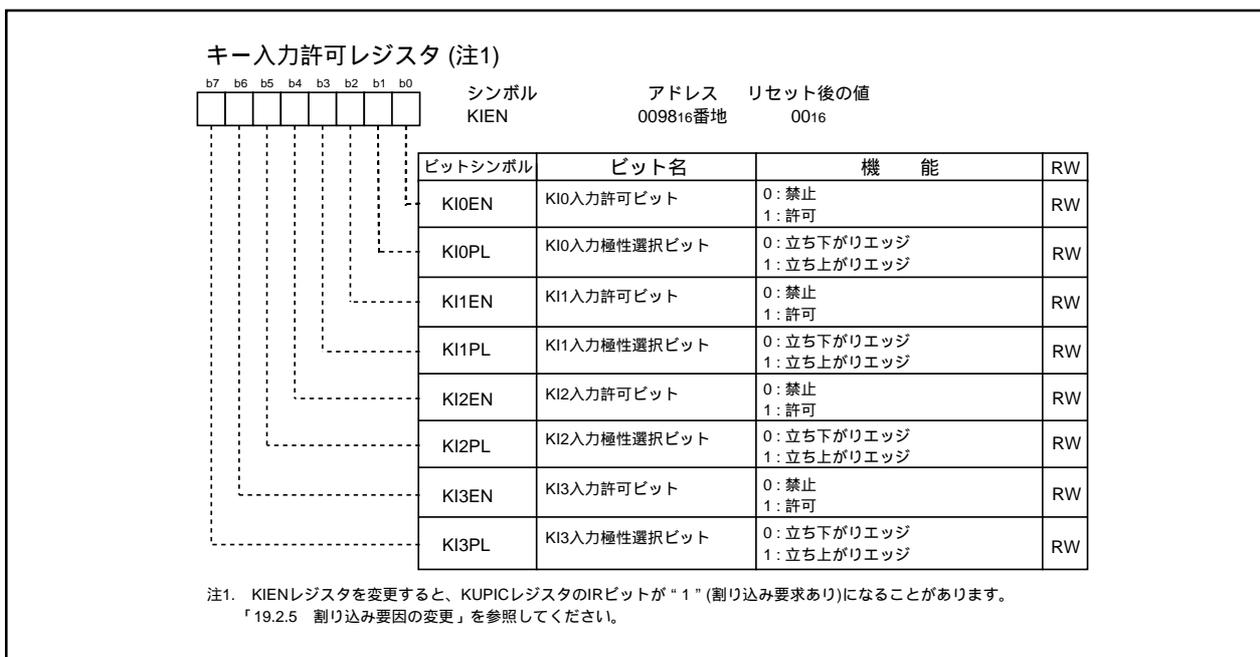


図10.16 KIENレジスタ

10.4 アドレス一致割り込み

RMAD_i(*i*=0、1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。RMAD_i(*i*=0、1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIERレジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「10.1.5 割り込み制御、レジスタ退避」参照)は、RMAD_iレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表10.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図10.17にAIER、RMAD0～RMAD1レジスタを示します。

表10.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMAD _i レジスタ(<i>i</i> =0、1)で示される番地の命令	退避されるPCの値
・16ビットオペコード命令 ・8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0またはA1)	RMAD _i レジスタで示される番地+2
上記以外	RMAD _i レジスタで示される番地+1

退避されるPCの値：「レジスタ退避」参照

表10.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

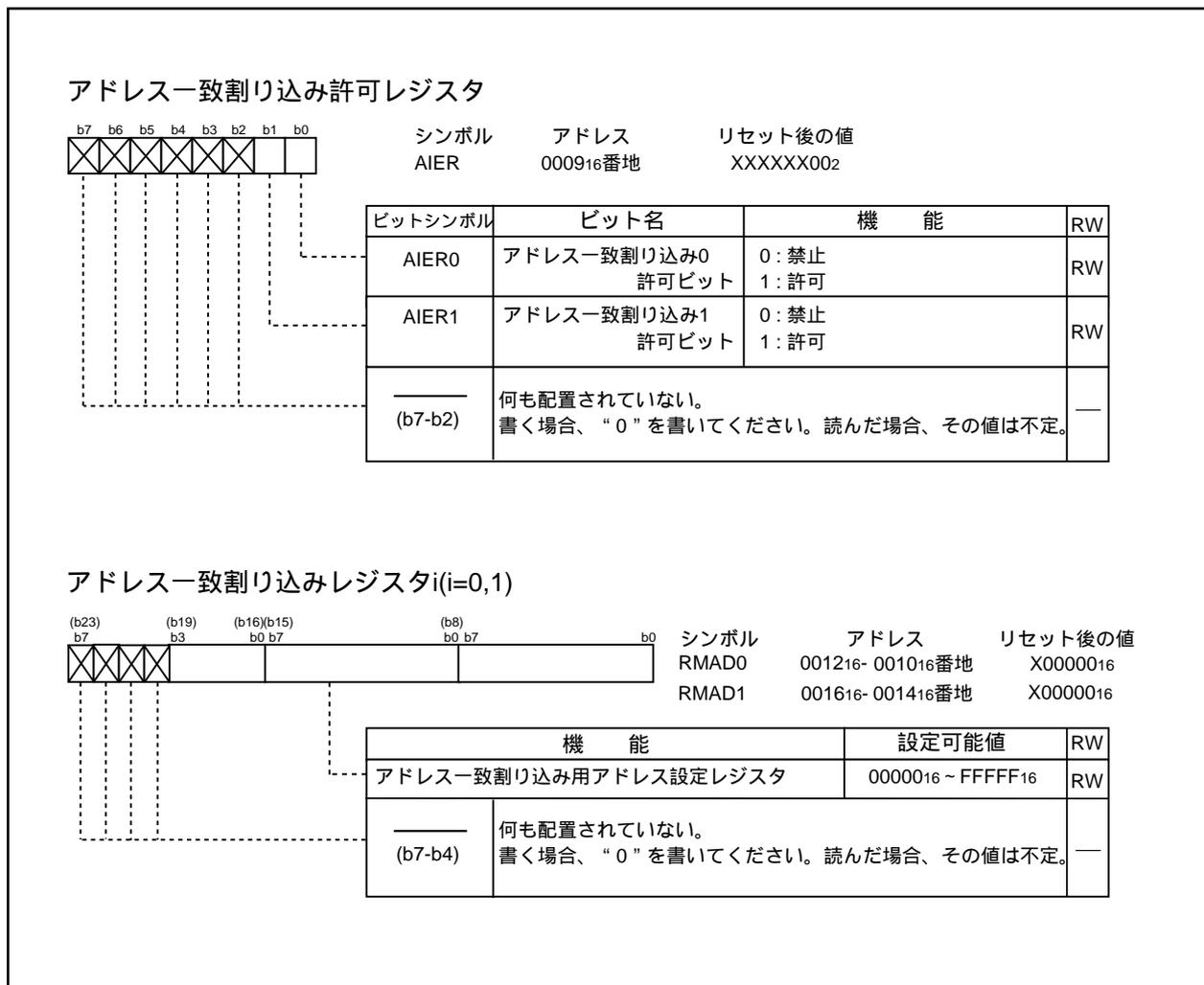


図10.17 AIER、RMAD0～RMAD1レジスタ

11. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。図11.1にウォッチドッグタイマのブロック図を示します。

ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、ウォッチドッグタイマリセットをかけるかをPM12レジスタのPM12ビットで選択できます。PM12ビットには“1”(ウォッチドッグタイマリセット)のみ書けます。一度、PM12ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にはできません。ウォッチドッグタイマリセットの詳細は「5.3 ウォッチドッグタイマリセット」を参照してください。

WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周比(16または128)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

例えば、CPUクロックが16MHzで、プリスケアラが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

図11.2にウォッチドッグタイマ関連レジスタを示します。

リセット後のウォッチドッグタイマの動作を、オプション機能選択レジスタ(0FFFF₁₆番地)のWDTONビットで選択できます。

- ・ WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき、リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始します。
- ・ WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき、リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライターで0FFFF₁₆番地のビット0に“0”を書き込んでください。

カウント開始後は、WDTRレジスタに書くウォッチドッグタイマが初期化され、カウントを続けます。

ストップモード時、ウェイトモード時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

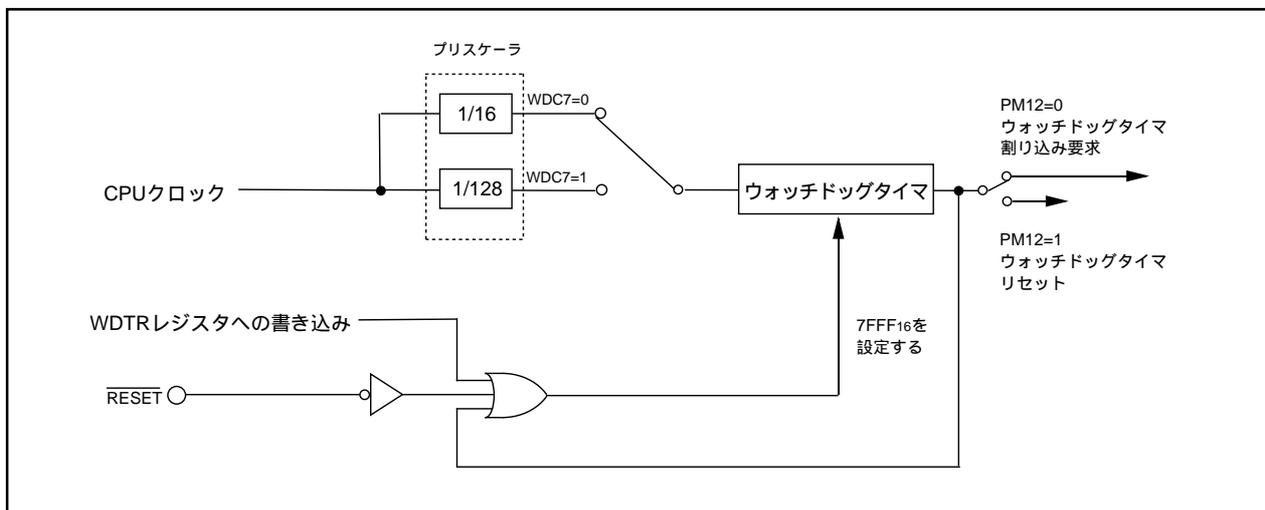


図11.1 ウォッチドッグタイマのブロック図

オプション機能選択レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	出荷時の値
1	1	1	1	1	1	1		OFS	0FFFF ₁₆ 番地	FF ₁₆

ビットシンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	RW
— (b7-b1)	予約ビット	“1” にしてください。	RW

注1. OFSレジスタはプログラムで変更できません。フラッシュライターで書いてください。

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
	0	0						WDC	000F ₁₆ 番地	00011111 ₂

ビットシンボル	ビット名	機能	RW
— (b4-b0)	ウォッチドッグタイマの上位ビット		RO
— (b5)	予約ビット	“0” にしてください。	RW
— (b6)	予約ビット	“0” にしてください。	RW
WDC7	プリスケアラ選択ビット	0: 16分周 1: 128分周	RW

ウォッチドッグタイマリセットレジスタ

b7	b0	シンボル	アドレス	リセット後の値
		WDTR	000D ₁₆ 番地	不定

機能	RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化される。 ウォッチドッグタイマの初期値は、書き込む値にかかわらず“7FFF ₁₆ ”が設定される。	WO

ウォッチドッグタイマスタートレジスタ

b7	b0	シンボル	アドレス	リセット後の値
		WDTS	000E ₁₆ 番地	不定

機能	RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。	WO

図11.2 OFS、WDC、WDTR、WDTSレジスタ

12. タイマ

タイマは、8ビットプリスケアラ付き8ビットタイマを3本と、16ビットタイマを1本内蔵しています。8ビットプリスケアラ付き8ビットタイマは、タイマX、タイマY、およびタイマZの3本です。16ビットタイマは、キャプチャ機能を持ったタイマCです。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

表12.1に各タイマの機能比較を示します。

表12.1 各タイマの機能比較

項目		タイマX	タイマY	タイマZ	タイマC
構成		8ビット プリスケアラ付 8ビットタイマ	8ビット プリスケアラ付 8ビットタイマ	8ビット プリスケアラ付 8ビットタイマ	16ビット タイマ
カウント		ダウンカウント	ダウンカウント	ダウンカウント	アップカウント
カウントソース		<ul style="list-style-type: none"> ・ f1 ・ f2 ・ f8 ・ f32 	<ul style="list-style-type: none"> ・ f1 ・ f8 ・ fRING ・ CNTR1端子 からの入力 	<ul style="list-style-type: none"> ・ f1 ・ f2 ・ f8 ・ タイマY アンダフロー 	<ul style="list-style-type: none"> ・ f1 ・ f8 ・ f32
機能	タイマモード	あり	あり	あり	なし
	パルス出力モード	あり	なし	なし	なし
	イベントカウンタモード	あり	あり(注1)	なし	なし
	パルス幅測定モード	あり	なし	なし	なし
	パルス周期測定モード	あり	なし	なし	なし
	プログラマブル 波形発生モード	なし	あり	あり	なし
	プログラマブル ワンショット発生モード	なし	なし	あり	なし
	プログラマブルウェイト ワンショット発生モード	なし	なし	あり	なし
キャプチャ機能		なし	なし	なし	あり
入力端子		CNTR0	CNTR1	$\overline{\text{INT0}}$	TCIN
出力端子		$\frac{\text{CNTR0}}{\text{CNTR0}}$	CNTR1	TZOUT	なし
関連する割り込み		タイマX割り込み INT1割り込み	タイマY割り込み INT2割り込み	タイマZ割り込み INT0割り込み	タイマC割り込み INT3割り込み
タイマ停止		あり	あり	あり	あり

注1. タイマモードのカウントソースとしてCNTR1端子からの入力を選択してください。

12.1 タイマX

タイマXは、8ビットプリスケアラ付き8ビットタイマです。図12.1にタイマXのブロック図を、図12.2～図12.3にタイマX関連のレジスタを示します。タイマXは、次の5種類のモードを持ちます。

- ・ タイマモード 内部カウントソースをカウントするモード
- ・ パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- ・ イベントカウンタモード 外部パルスをカウントするモード
- ・ パルス幅測定モード 外部パルスのパルス幅を測定するモード
- ・ パルス周期測定モード 外部パルスのパルス周期を測定するモード

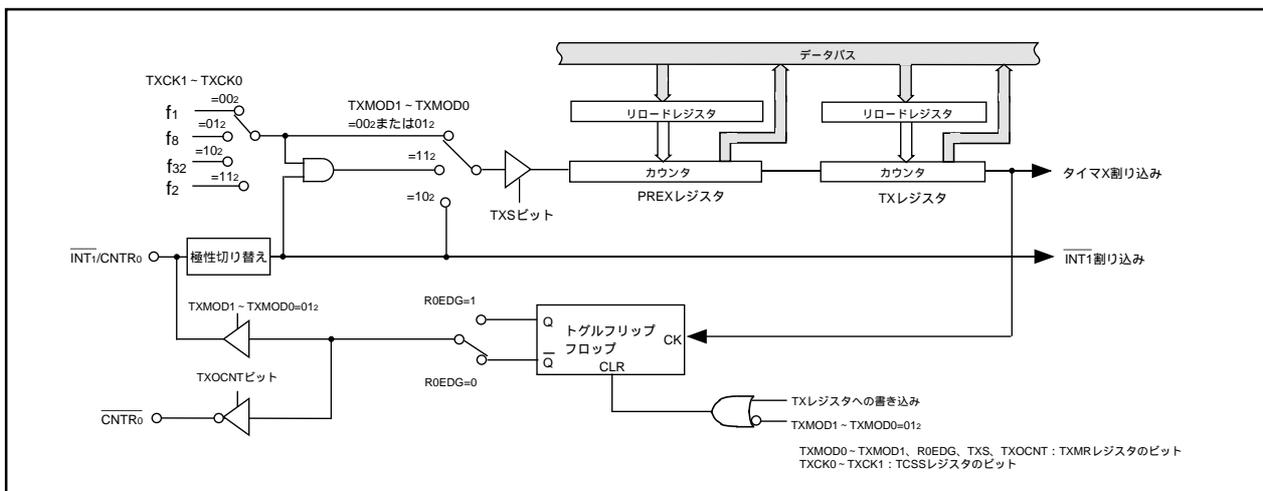


図12.1 タイマXブロック図

タイマXモードレジスタ		シンボル	アドレス	リセット後の値	
b7 b6 b5 b4 b3 b2 b1 b0		TXMR	008B16番地	0016	
TXMOD0	動作モード選択ビット0、1	b1 b0		00 : タイマモード、またはパルス周期測定モード 01 : パルス出力モード 10 : イベントカウンタモード 11 : パルス幅測定モード	RW
TXMOD1					RW
R0EDG	INT1/CNTR0極性切り替えビット (注1)			動作モードによって機能が異なる	RW
TXS	タイマXカウント開始フラグ			0 : カウント停止 1 : カウント開始	RW
TXOCNT	P30/CNTR0選択ビット			動作モードによって機能が異なる	RW
TXMOD2	動作モード選択ビット2			0 : パルス周期測定モード以外 1 : パルス周期測定モード	RW
TXEDG	有効エッジ判定フラグ			動作モードによって機能が異なる	RW
TXUND	タイマXアンダフローフラグ			動作モードによって機能が異なる	RW

注1. R0EDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。
「19.2.5 割り込み要因の変更」を参照してください。

図12.2 TXMRレジスタ

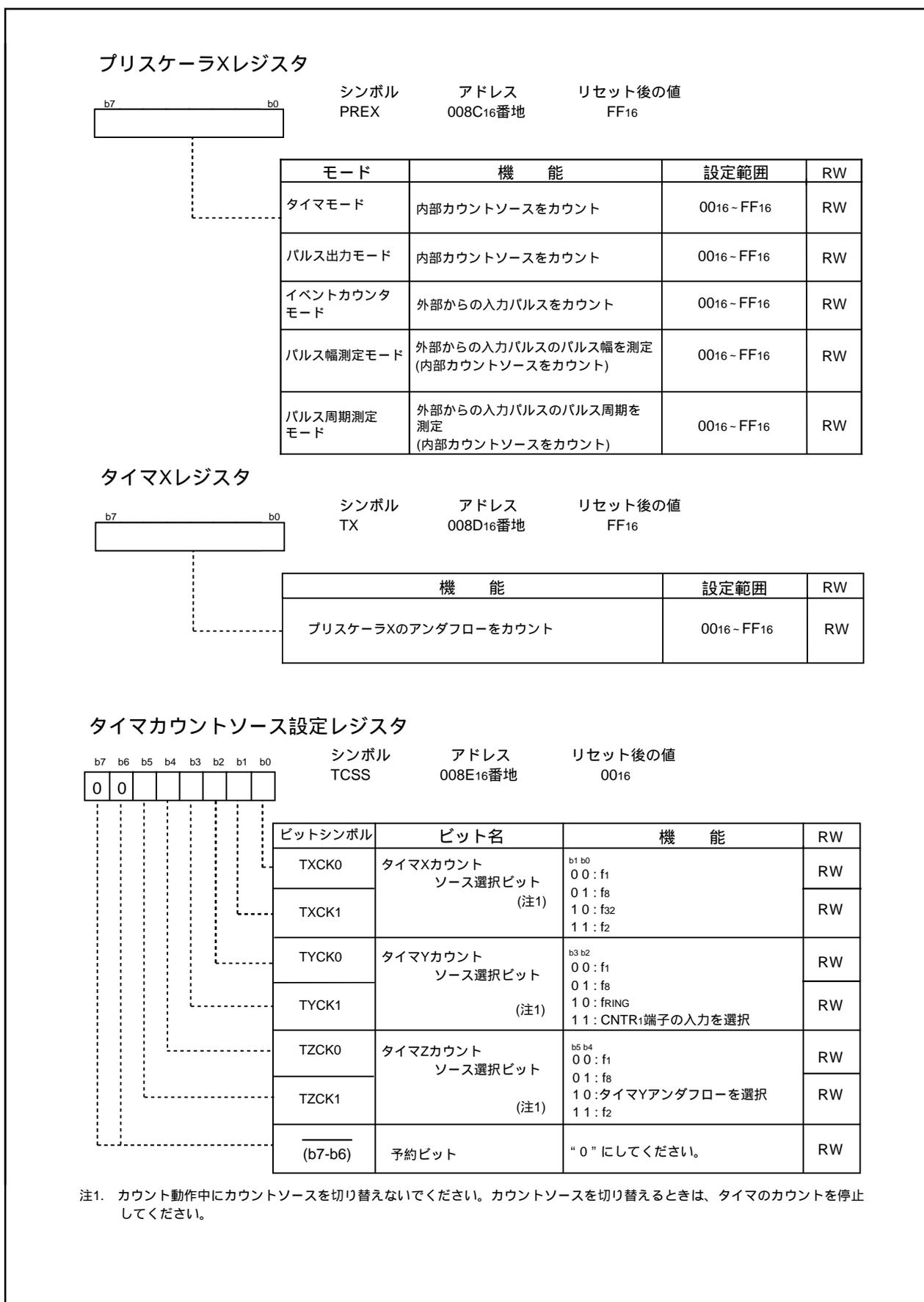


図12.3 PREX、TX、TCSSレジスタ

12.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.2)。タイマモード時のTXMRレジスタを図12.4に示します。

表12.2 タイマモードの仕様

項目	仕様
カウントソース	f1、 f2、 f8、 f32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n:PREXレジスタの設定値、 m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT1/CNTR0端子機能	プログラマブル入出力ポート、またはINT1割り込み入力
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる

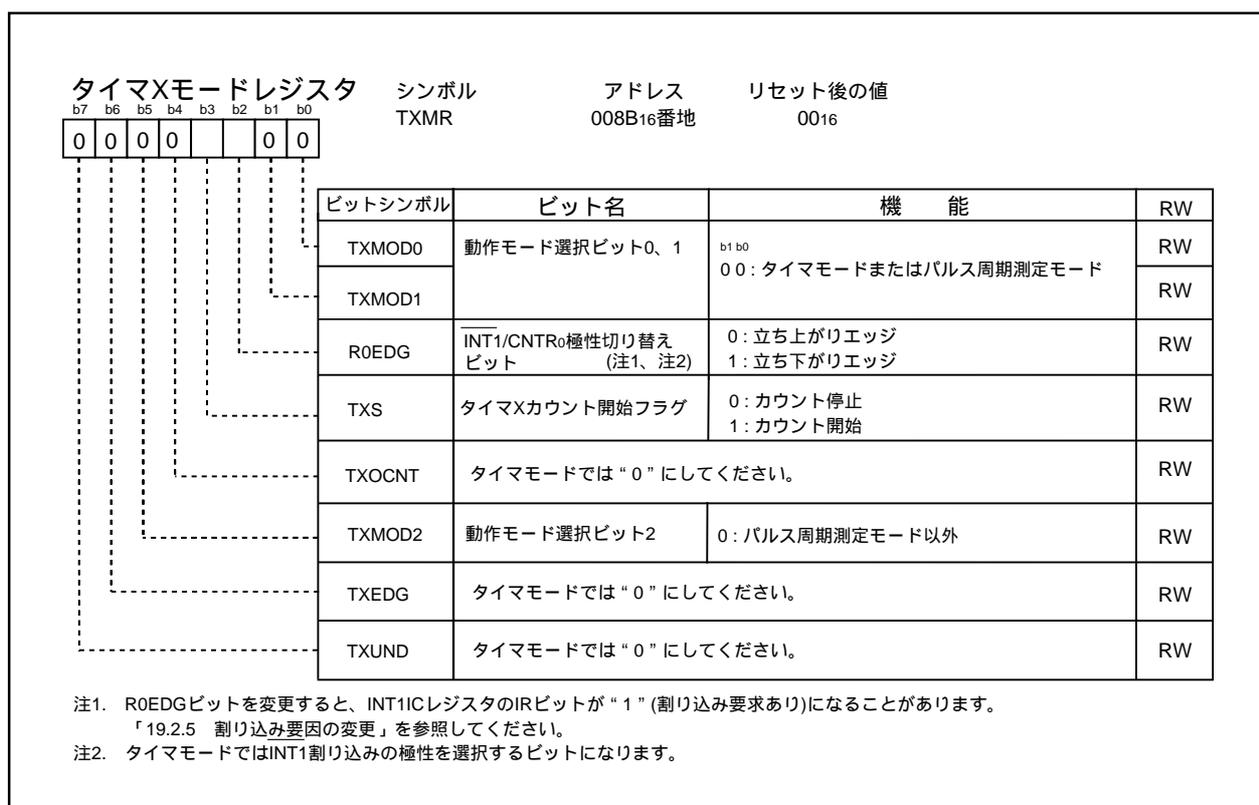


図12.4 タイマモード時のTXMRレジスタ

12.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをCNTR0端子から出力するモードです(表12.3)。パルス出力モード時のTXMRレジスタを図12.5に示します。

表12.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT1/CNTR0端子機能	パルス出力
CNTR0端子機能	プログラマブル入出力ポート、またはCNTR0の反転出力
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタおよびカウンタの両方に書き込まれる
選択機能	INT1 /CNTR0極性切り替え機能 R0EDGビットでパルス出力開始時のレベルを選択できる(注1) 反転パルス出力機能 CNTR0出力の極性を反転したパルスをCNTR0端子から出力できる。(TXOCNTビットで選択)

注1. TXレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマXモードレジスタ	シンボル	アドレス	リセット後の値
	TXMR	008B16番地	0016
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 0 1: パルス出力モード	RW
TXMOD1			RW
R0EDG	INT1/CNTR0極性切り替えビット (注1)	0: "H" からCNTR0出力開始 1: "L" からCNTR0出力開始	RW
TXS	タイマXカウント開始フラグ	0: カウント停止 1: カウント開始	RW
TXOCNT	P30/CNTR0選択ビット	0: ポートP30 1: CNTR0出力	RW
TXMOD2	パルス出力モードでは“0”にしてください。		RW
TXEDG	パルス出力モードでは“0”にしてください。		RW
TXUND	パルス出力モードでは“0”にしてください。		RW

注1. R0EDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。
「19.2.5 割り込み要因の変更」を参照してください。

図12.5 パルス出力モード時のTXMRレジスタ

12.1.3 イベントカウンタモード

INT1/CNTR0端子から入力する外部信号をカウントするモードです(表12.4)。イベントカウンタモード時のTXMRレジスタを図12.6に示します。

表12.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	CNTR0端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能)
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT1/CNTR0端子機能	カウントソース入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる
選択機能	INT1/CNTR0極性切り替え機能 R0EDGビットでカウントソースの有効エッジを選択できる

タイマXモードレジスタ	シンボル	アドレス	リセット後の値
	TXMR	008B16番地	0016
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 10: イベントカウンタモード	RW
TXMOD1			RW
R0EDG	INT1/CNTR0極性切り替えビット (注1)	0: 立ち上がりエッジ 1: 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ	0: カウント停止 1: カウント開始	RW
TXOCNT	イベントカウンタモードでは“0”にしてください。		RW
TXMOD2	イベントカウンタモードでは“0”にしてください。		RW
TXEDG	イベントカウンタモードでは“0”にしてください。		RW
TXUND	イベントカウンタモードでは“0”にしてください。		RW

注1. R0EDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。
「19.2.5 割り込み要因の変更」を参照してください。

図12.6 イベントカウンタモード時のTXMRレジスタ

12.1.4 パルス幅測定モード

INT1/CNTR0端子から入力する外部信号のパルス幅を測定するモードです(表12.5)。図12.7にパルス幅測定モード時のTXMRレジスタ、図12.8にパルス幅測定モード時の動作例を示します。

表12.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント 測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み] CNTR0入力の立ち上がり、または立ち下がり(測定期間終了) [INT1割り込み]
INT1/CNTR0端子機能	測定パルス入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる
選択機能	INT1/CNTR0極性切り替え機能 R0EDGビットで入力パルスの測定幅として“H”レベル期間、または“L”レベル期間を選択できる

タイマXモードレジスタ

シンボル TXMR	アドレス 008B16番地	リセット後の値 0016
--------------	------------------	-----------------

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	1	1

ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 1 1: パルス幅測定モード	RW
TXMOD1			RW
R0EDG	INT1/CNTR0極性切り替えビット (注1)	[CNTR0] 0: “L”レベル幅測定 1: “H”レベル幅測定 [INT1] 0: 立ち上がりエッジ 1: 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ	0: カウント停止 1: カウント開始	RW
TXOCNT	パルス幅測定モードでは“0”にしてください。		RW
TXMOD2	パルス幅測定モードでは“0”にしてください。		RW
TXEDG	パルス幅測定モードでは“0”にしてください。		RW
TXUND	パルス幅測定モードでは“0”にしてください。		RW

注1. R0EDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。
「19.2.5 割り込み要因の変更」を参照してください。

図12.7 パルス幅測定モード時のTXMRレジスタ

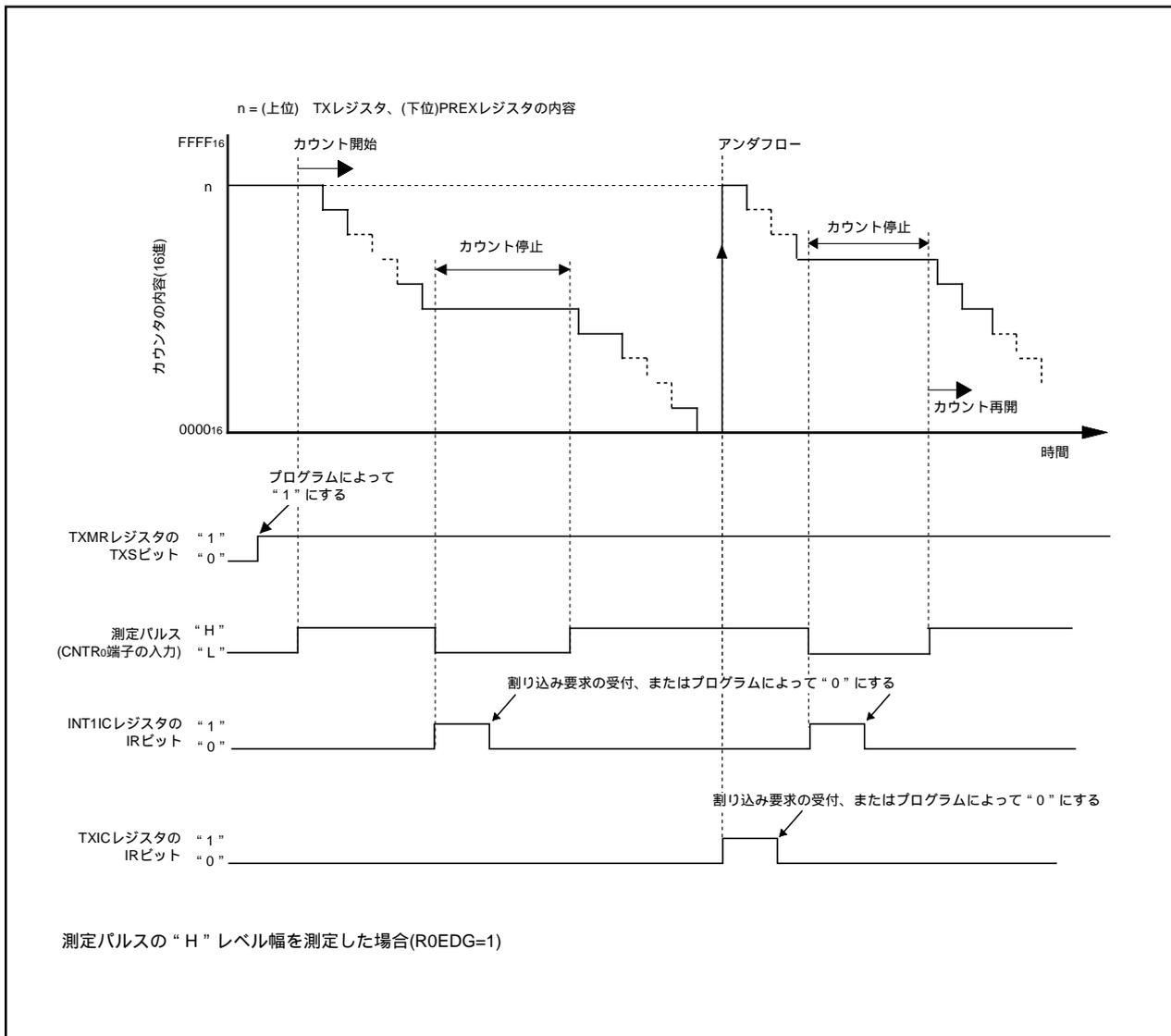


図12.8 パルス幅測定モード時の動作例

12.1.5 パルス周期測定モード

INT1/CNTR0端子から入力する外部信号のパルス周期を測定するモードです(表12.6)。図12.9にパルス周期測定モード時のTXMRレジスタを、図12.10に動作例を示します。

表12.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント 測定パルスの有効エッジ入力後、1回目のプリスケラXのアンダフロー時に読み出し用バッファの内容を保持し、2回目のプリスケラXのアンダフロー時にタイマXはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TXMRレジスタのTXSビットへの“1”(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時、またはリロード時[タイマX割り込み] CNTR0入力の立ち上がり、または立ち下がり(測定期間終了)[INT1割り込み]
INT1/CNTR0端子機能	測定パルス入力(注1)(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタを読み出すと、読み出し用バッファの内容が読み出される。 読み出し用バッファは、TXレジスタの読み出しにより値の保持を解除する。
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる
選択機能	INT1/CNTR0極性切り替え機能 R0EDGビットで入力パルスの測定期間を選択できる

注1. プリスケラXの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、プリスケラXの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマXモードレジスタ	シンボル	アドレス	リセット後の値
	TXMR	008B16番地	0016
ビットシンボル	ビット名	機能	RW
TXMOD0	動作モード選択ビット0、1	b1 b0 00:タイマモードまたはパルス周期測定モード	RW
TXMOD1			RW
R0EDG	INT1/CNTR0極性切り替えビット (注1)	[CNTR0] 0: 測定パルスの立ち上がり - 立ち上がり間測定 1: 測定パルスの立ち下がり - 立ち下がり間測定 [INT1] 0: 立ち上がりエッジ 1: 立ち下がりエッジ	RW
TXS	タイマXカウント開始フラグ	0: カウント停止 1: カウント開始	RW
TXOCNT		パルス周期測定モードでは“0”にしてください。	RW
TXMOD2	動作モード選択ビット2	1: パルス周期測定モード	RW
TXEDG(注2)	有効エッジ判定フラグ	0: 有効エッジなし 1: 有効エッジあり	RW
TXUND(注2)	タイマXアンダフローフラグ	0: アンダフローなし 1: アンダフローあり	RW

注1. R0EDGビットを変更すると、INT1ICレジスタのIRビットが“1”(割り込み要求あり)になることがあります。
「19.2.5 割り込み要因の変更」を参照してください。

注2. プログラムで“0”を書くと、“0”になります。“1”を書いても変化しません。

図12.9 パルス周期測定モード時のTXMRレジスタ

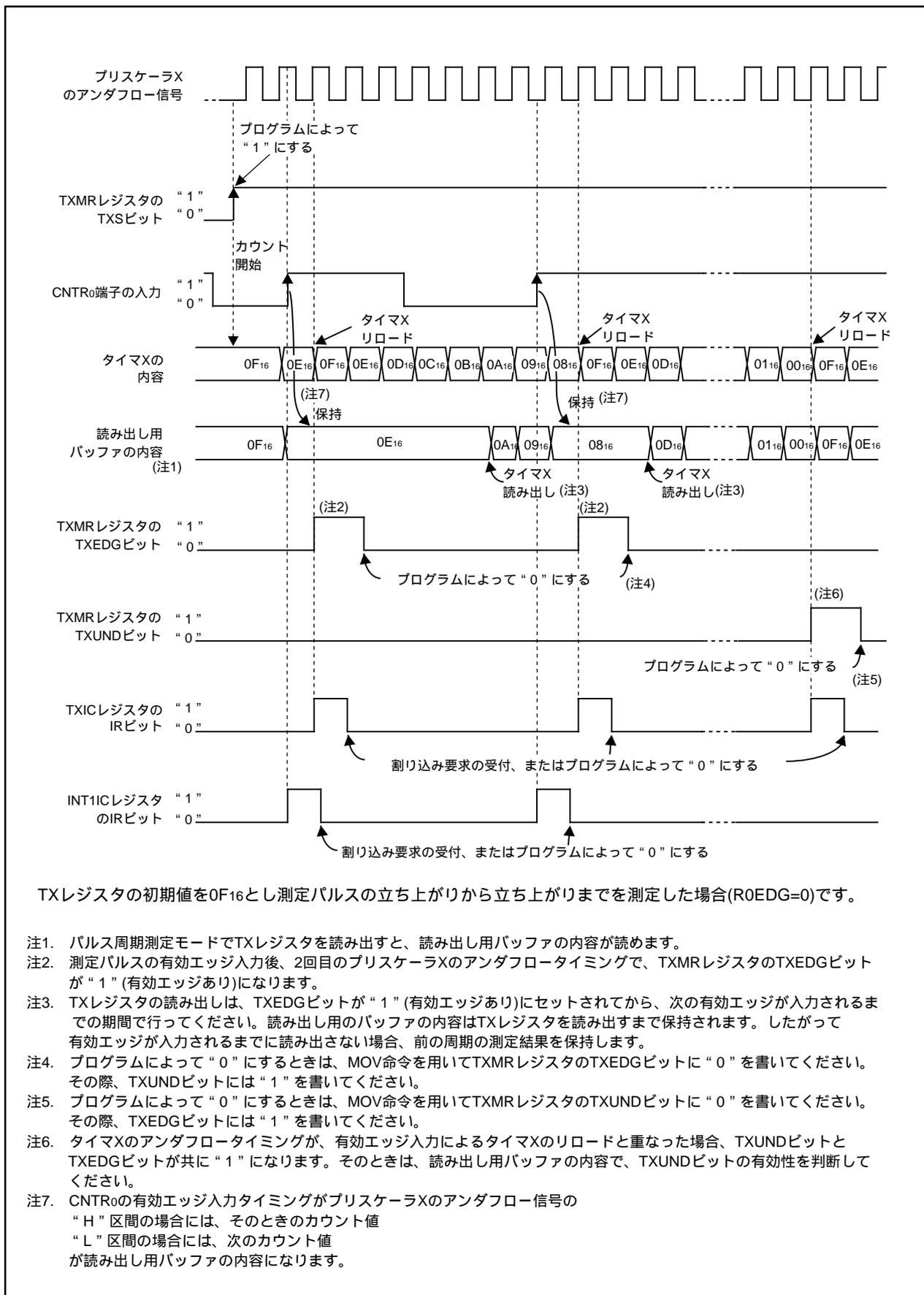


図12.10 パルス周期測定モード時の動作例

プリスケラYレジスタ

b7	b0	シンボル PREY	アドレス 008116番地	リセット後の値 FF16
----	----	--------------	------------------	-----------------

モード	機 能	設定範囲	RW
タイマモード	内部カウントソースまたはCNTR1入力をカウント	0016 - FF16	RW
プログラマブル波形発生モード	内部カウントソースをカウント	0016 - FF16	RW

タイマYセカンダリレジスタ

b7	b0	シンボル TYSC	アドレス 008216番地	リセット後の値 FF16
----	----	--------------	------------------	-----------------

モード	機 能	設定範囲	RW
タイマモード	無効	—	—
プログラマブル波形発生モード	プリスケラYのアンダフローをカウント (注1)	0016 - FF16	WO (注2)

注1. TYPRレジスタとTYSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTYPRレジスタで読めます。

タイマYプライマリレジスタ

b7	b0	シンボル TYPR	アドレス 008316番地	リセット後の値 FF16
----	----	--------------	------------------	-----------------

モード	機 能	設定範囲	RW
タイマモード	プリスケラYのアンダフローをカウント	0016 - FF16	RW
プログラマブル波形発生モード	プリスケラYのアンダフローをカウント (注1)	0016 - FF16	RW

注1. TYPRレジスタとTYSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

タイマY、Z出力制御レジスタ (注3)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル TYZOC	アドレス 008A16番地	リセット後の値 0016
----	----	----	----	----	----	----	----	---------------	------------------	-----------------

ビットシンボル	ビット名	機 能	RW
TZOS	タイマZワンショット開始ビット(注1)	0: ワンショット停止 1: ワンショット開始	RW
TYOCNT	タイマYプログラマブル波形発生出力切替ビット(注2)	0: プログラマブル波形出力 1: P32ポートレジスタの値を出力	RW
TZOCNT	タイマZプログラマブル波形発生出力切替ビット(注2)	0: プログラマブル波形出力 1: P31ポートレジスタの値を出力	RW
— (b7-b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。	—	—

注1. ワンショット波形出力終了後、“0”になります。ワンショット波形出力中に、TYZMRレジスタのTZSビットを“0”(カウント停止)にすることで波形出力を停止した場合、TZOSビットを“0”にしてください。

注2. プログラマブル波形発生モード時のみ有効。

注3. TZOSビットが“1”(カウント中)のときにこのレジスタを変更する命令を実行する場合、命令の実行中にカウントが終了すると、TZOSビットは自動的に“0”(ワンショット停止)になります。このことが問題になる場合は、TZOSビットが“0”のときに、このレジスタを変更する命令を実行してください。

図12.13 PREY、TYSC、TYPR、TYZOCレジスタ

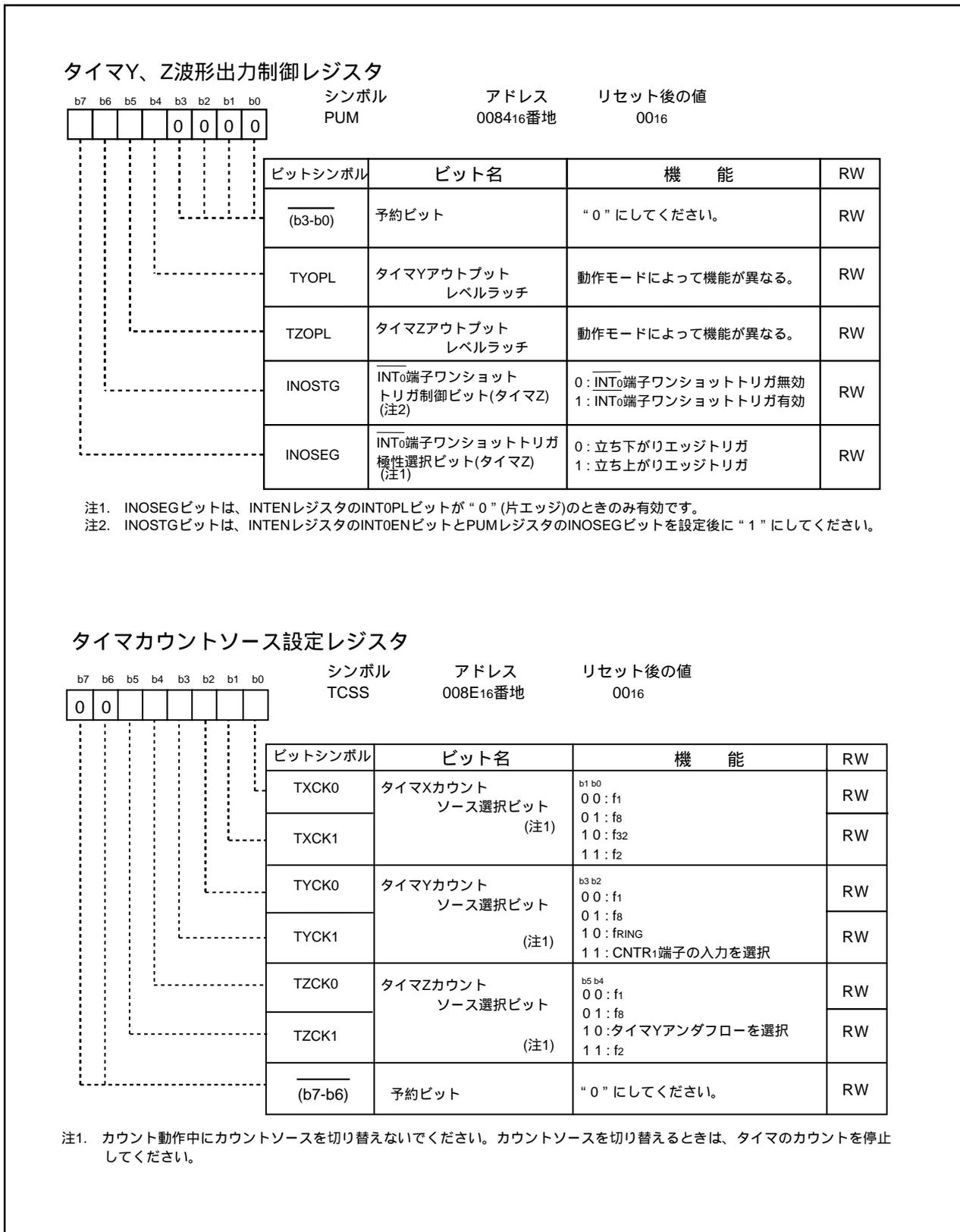


図12.14 PUM、TCSSレジスタ

12.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.7)。CNTR1端子に入力された外部信号もカウントできます。タイマモード時、TYSCレジスタは使用しません。図12.15にタイマモード時のTYZMR、PUMレジスタを示します。

表12.7 タイマモードの仕様

項目	仕様
カウントソース	f1、f8、fRING、CNTR1端子に入力された外部信号
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマYのアンダフロー時はタイマYプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n:PREYレジスタの設定値、m:TYPRレジスタの設定値
カウント開始条件	TYZMRレジスタのTYSビットへの“1”(カウント開始)書き込み
カウント停止条件	TYZMRレジスタのTYSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマYのアンダフロー時[タイマY割り込み]
INT2/CNTR1端子機能	プログラマブル入出力ポート、カウントソース入力またはINT2割り込み入力 TCSSレジスタのTYCK1~TYCK0ビットが“00b”、“01b”または“10b” (タイマYカウントソースはf1、f8またはfRING)の場合、プログラマブル入出力ポートまたはINT2割り込み入力 TYCK1~TYCK0ビットが“11b”(タイマYのカウントソースはCNTR1入力)の場合、カウントソース入力(INT2割り込み入力)
タイマの読み出し	TYPRレジスタ、PREYレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み(注1)	TYPRレジスタ、PREYレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれるかプログラムで選択可能
選択機能	イベントカウンタ機能 TYCK1~TYCK0ビットを“112”にするとCNTR1端子に入力された外部信号をカウントする INT2/CNTR1極性切り替えビット R1EDGビットでカウントソースの有効エッジを選択できる

注1. 次の2項の条件が重なった状態でTYPRレジスタ、PREYレジスタに書き込みを行うと、TYICレジスタのIRビットが“1”(割り込み要求あり)になります。

- ・TYZMRレジスタのTYWCビットが“0”(リロードレジスタとカウンタへの同時書き込み)
- ・TYSビットが“1”(カウント開始)

この状態でTYPRレジスタ、PREYレジスタに書く場合は、書く前に割り込みを禁止してください。

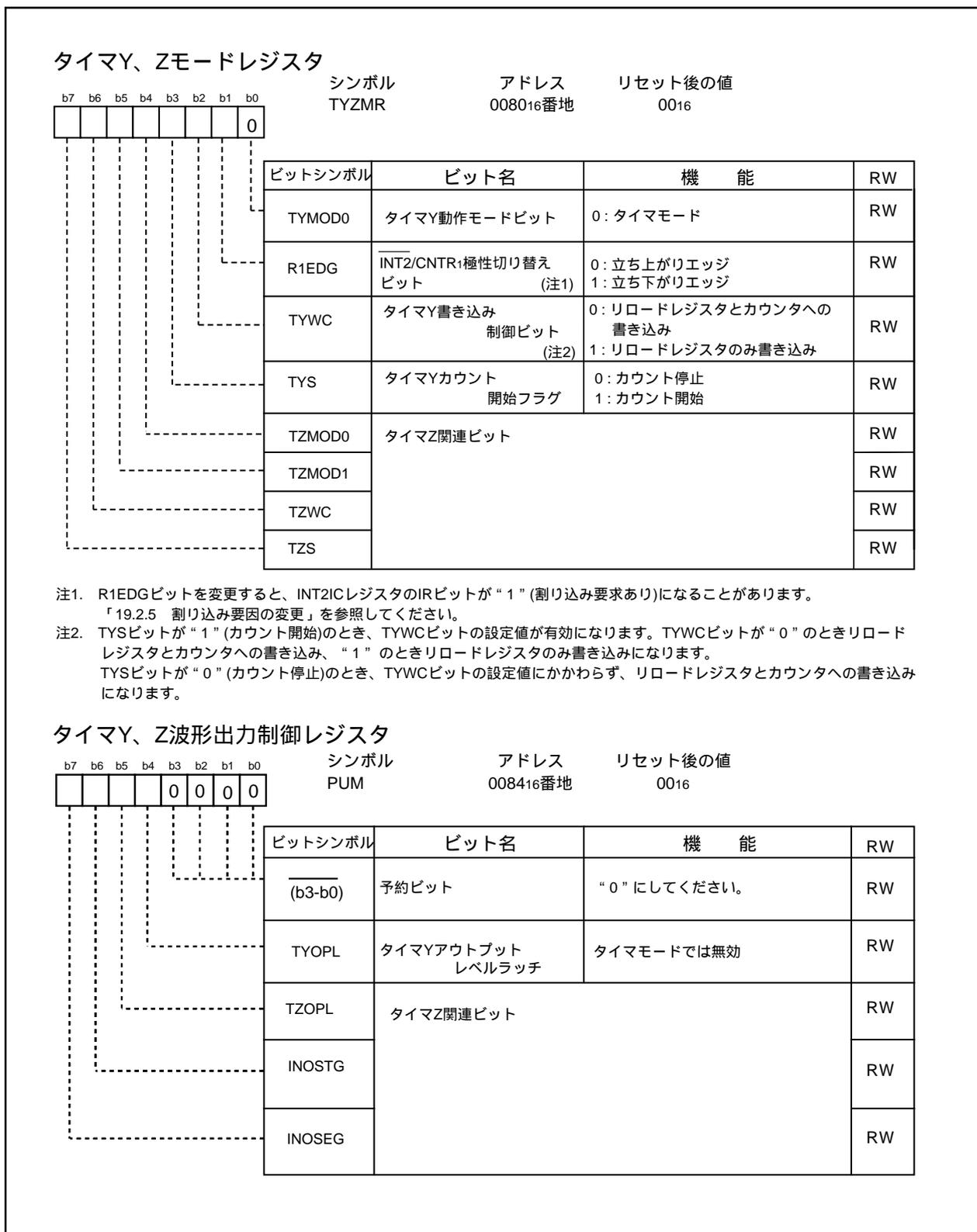


図12.15 タイマモード時のTYZMR、PUMレジスタ

12.2.2 プログラマブル波形発生モード

TYPRレジスタとTYSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、CNTR₁端子から出力する信号を反転するモードです(表12.8)。カウント開始時は、TYPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時のTYZMRレジスタを図12.16に、プログラマブル波形発生モード時のタイマYの動作例を図12.17に示します。

表12.8 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f ₁ 、f ₈ 、fRING
カウント動作	ダウンカウント アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : (n+1)(m+1)/f _i セカンダリ期間 : (n+1)(p+1)/f _i 周期 : (n+1){(m+1)+(p+1)}/f _i n:PREYレジスタの設定値、m:TYPRレジスタの設定値、p:TYSCレジスタの設定値 f _i :カウントソースの周波数
カウント開始条件	TYZMRレジスタのTYSビットへの“1”(カウント開始)書き込み
カウント停止条件	TYZMRレジスタのTYSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマYのアンダフローからカウントソースの1/2サイクル後(CNTR ₁ 出力の変化と同時) [タイマY割り込み]
INT ₂ /CNTR ₁ 端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください。)
タイマの読み出し	TYPRレジスタ、PREYレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	TYPRレジスタ、TYSCレジスタ、PREYレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注2)
選択機能	アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間の出力レベルをTYOPLビットで選択できる プログラマブル波形発生出力切り替え機能 TYZOCレジスタのTYOCNTビットを“0”に設定すると、タイマYのアンダフローに同期してCNTR ₁ の出力を反転する。“1”に設定すると、P3_2ビットの値をCNTR ₁ から出力する。(注3)

注1. セカンダリ期間でも、TYPRレジスタを読み出してください。

注2. TYPRレジスタへの書き込み動作より、TYPRレジスタ、TYSCレジスタに設定した値が有効になります。波形の出力は、TYPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TYOCNTビットは次のタイミングで有効になります。

- ・ カウント開始時
- ・ タイマY割り込み要求発生時

したがって、TYOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

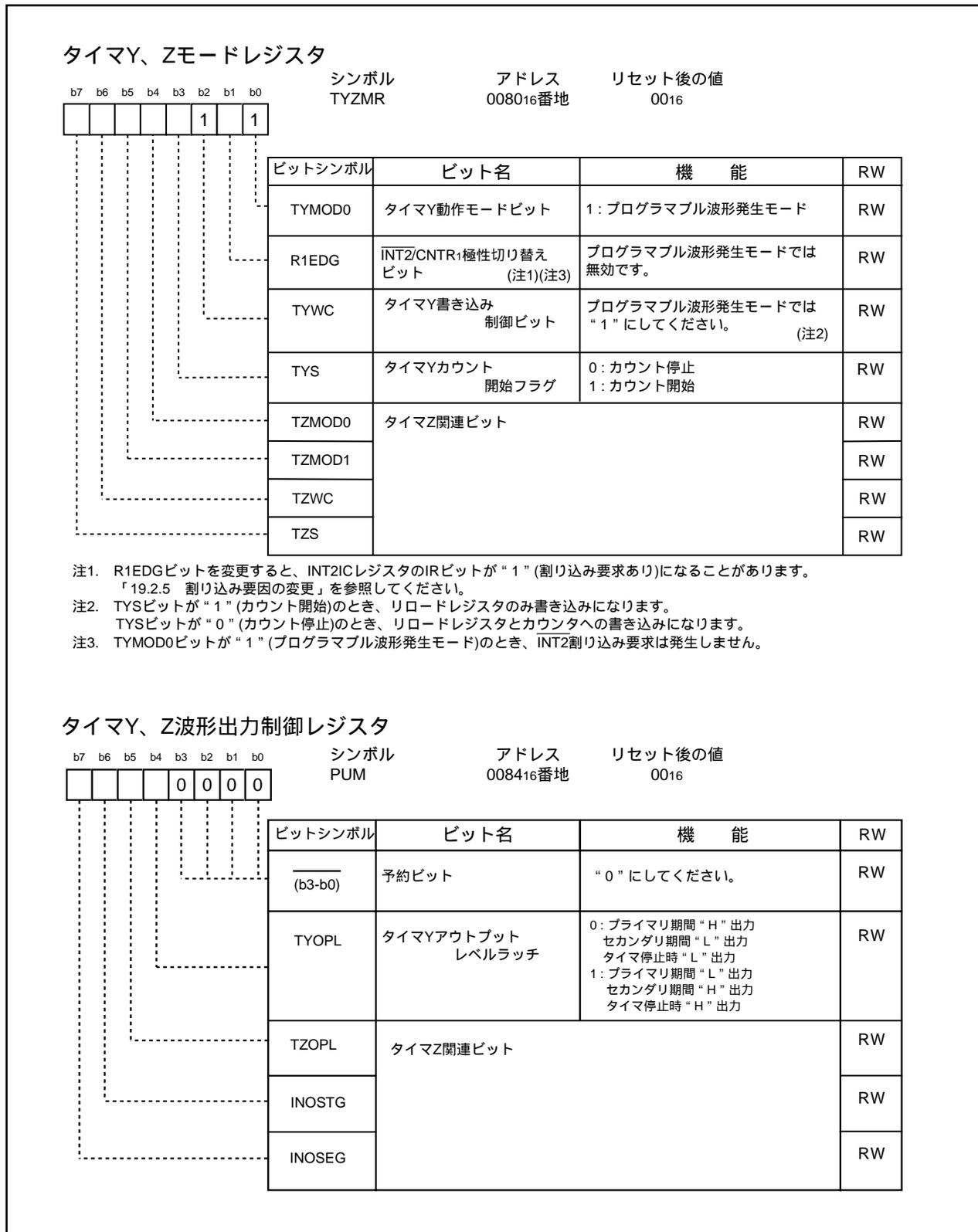


図12.16 プログラマブル波形発生モード時のTYZMR、PUMレジスタ

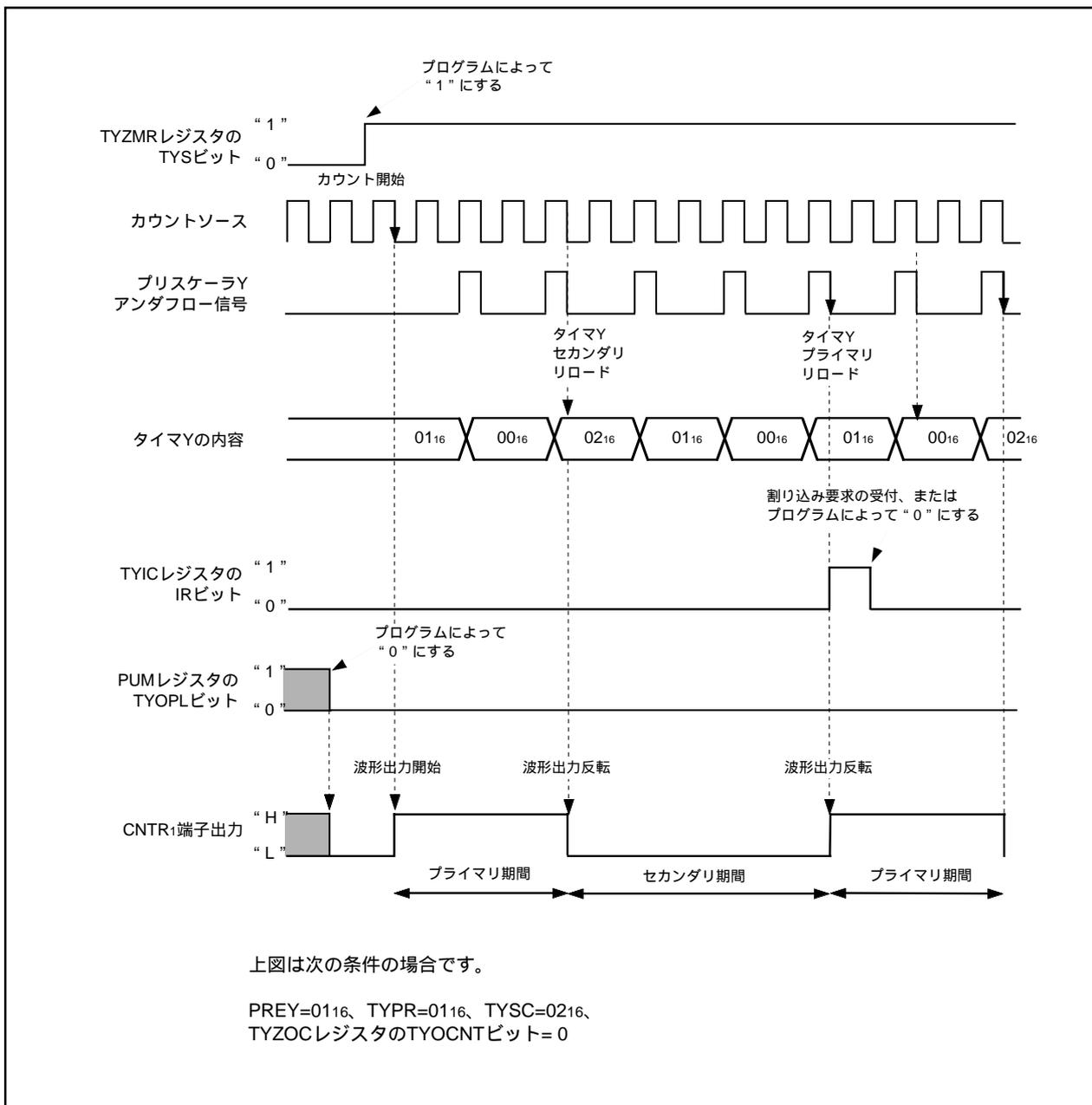


図12.17 プログラマブル波形発生モード時のタイマYの動作例

12.3 タイマZ

タイマZは、8ビットプリスケラ付き8ビットタイマです。タイマZは、リロードレジスタとしてタイマZプライマリ、タイマZセカンダリの2つのレジスタを持ちます。図12.18にタイマZのブロック図を、図12.19～図12.21にTYZMR、PREZ、TZSC、TZPR、TYZOC、PUM、TCSSレジスタを示します。タイマZは、次の4種類のモードを持ちます。

- ・ タイマモード 内部カウントソースまたはタイマYのアンダフローをカウントするモード
- ・ プログラブル波形発生モード 任意のパルス幅を連続して出力するモード
- ・ プログラブルワンショット発生モード ワンショットパルスを出力するモード
- ・ プログラブルウェイトワンショット発生モード ディレイドワンショットパルスを出力するモード

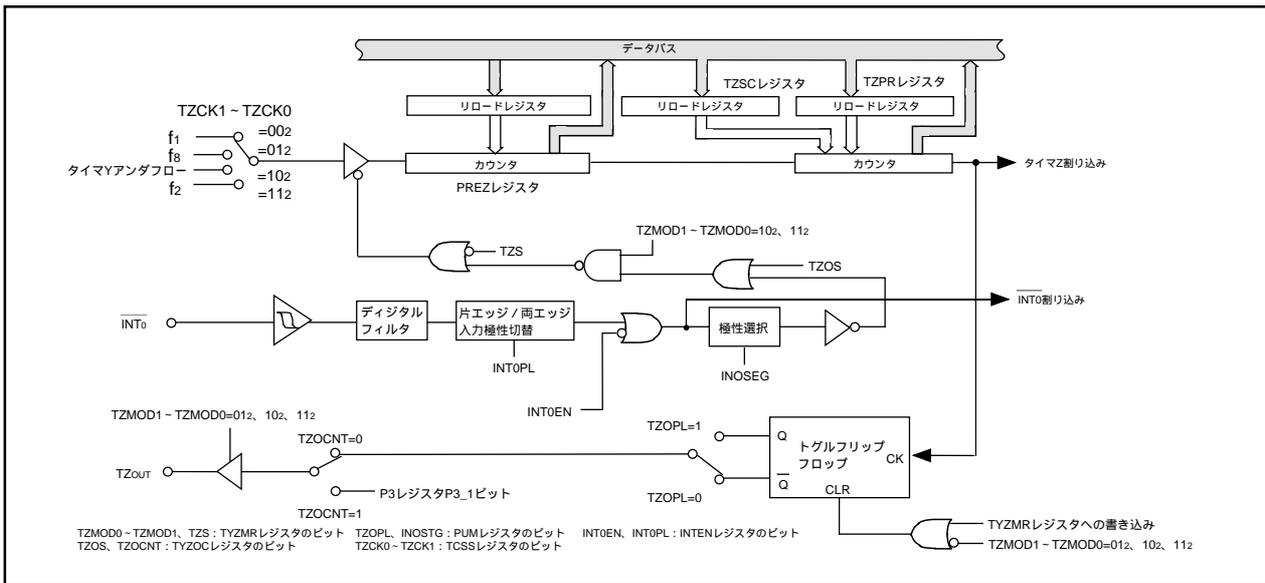


図12.18 タイマZブロック図

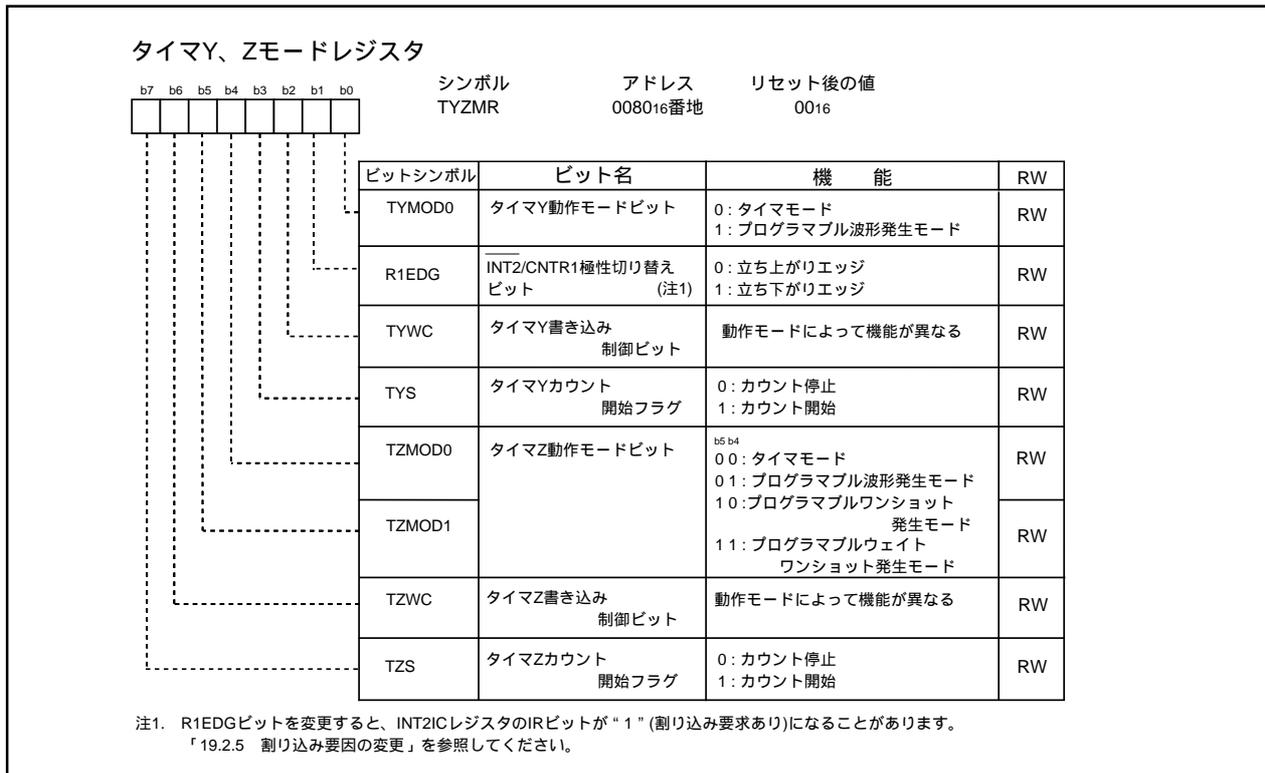


図12.19 TYZMRレジスタ

プリスケアラレジスタ

b7 b0 シンボル アドレス リセット後の値
PREZ 0085₁₆番地 FF₁₆

モード	機能	設定範囲	RW
タイマモード	内部カウントソース、または タイマYアンダフローをカウント	00 ₁₆ - FF ₁₆	RW
プログラマブル波形 発生モード	内部カウントソース、または タイマYアンダフローをカウント	00 ₁₆ - FF ₁₆	RW
プログラマブル ワンショット発生モード	内部カウントソース、または タイマYアンダフローをカウント	00 ₁₆ - FF ₁₆	RW
プログラマブル ウェイトワンショット 発生モード	内部カウントソース、または タイマYアンダフローをカウント	00 ₁₆ - FF ₁₆	RW

タイマZセカンダリレジスタ

b7 b0 シンボル アドレス リセット後の値
TZSC 0086₁₆番地 FF₁₆

モード	機能	設定範囲	RW
タイマモード	無効	—	—
プログラマブル波形 発生モード	プリスケアラZのアンダフローを カウント (注1)	00 ₁₆ - FF ₁₆	WO (注2)
プログラマブル ワンショット発生モード	無効	—	—
プログラマブル ウェイトワンショット 発生モード	プリスケアラZのアンダフローを カウント (ワンショット幅をカウント)	00 ₁₆ - FF ₁₆	WO

- 注1. TZPRレジスタとTZSCレジスタは交互にカウンタにリロードされ、カウントされます。
注2. カウント値は、セカンダリ期間カウント中でもTZPRレジスタで読めます。

タイマZプライマリレジスタ

b7 b0 シンボル アドレス リセット後の値
TZPR 0087₁₆番地 FF₁₆

モード	機能	設定範囲	RW
タイマモード	プリスケアラZのアンダフローを カウント	00 ₁₆ - FF ₁₆	RW
プログラマブル波形 発生モード	プリスケアラZのアンダフローを カウント (注1)	00 ₁₆ - FF ₁₆	RW
プログラマブル ワンショット発生モード	プリスケアラZのアンダフローを カウント (ワンショット幅をカウント)	00 ₁₆ - FF ₁₆	RW
プログラマブル ウェイトワンショット 発生モード	プリスケアラZのアンダフローを カウント (ウェイト期間をカウント)	00 ₁₆ - FF ₁₆	RW

- 注1. TZPRレジスタとTZSCレジスタは交互にカウンタにリロードされ、カウントされます。

タイマY、Z出力制御レジスタ (注3)

b7 b6 b5 b4 b3 b2 b1 b0 シンボル アドレス リセット後の値
TYZOC 008A₁₆番地 00₁₆

ビットシンボル	ビット名	機能	RW
TZOS	タイマZワンショット 開始ビット(注1)	0: ワンショット停止 1: ワンショット開始	RW
TYOCNT	タイマYプログラマブル 波形発生出力切替ビット(注2)	0: プログラマブル波形出力 1: P3 ₂ ポートレジスタの値を出力	RW
TZOCNT	タイマZプログラマブル 波形発生出力切替ビット(注2)	0: プログラマブル波形出力 1: P3 ₁ ポートレジスタの値を出力	RW
(b7-b3)	何も配置されていない。 書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—

- 注1. ワンショット波形出力終了後、"0"になります。ワンショット波形出力中に、TYZMRレジスタのTZSビットを"0"(カウント停止)にすることで波形出力を停止した場合、TZOSビットを"0"にしてください。
注2. プログラマブル波形発生モード時のみ有効。
注3. TZOSビットが"1"(カウント中)のときにこのレジスタを変更する命令を実行する場合、命令の実行中にカウントが終了すると、TZOSビットは自動的に"0"(ワンショット停止)になります。このことが問題になる場合は、TZOSビットが"0"のときに、このレジスタを変更する命令を実行してください。

図12.20 PREZ、TZSC、TZPR、TYZOCレジスタ

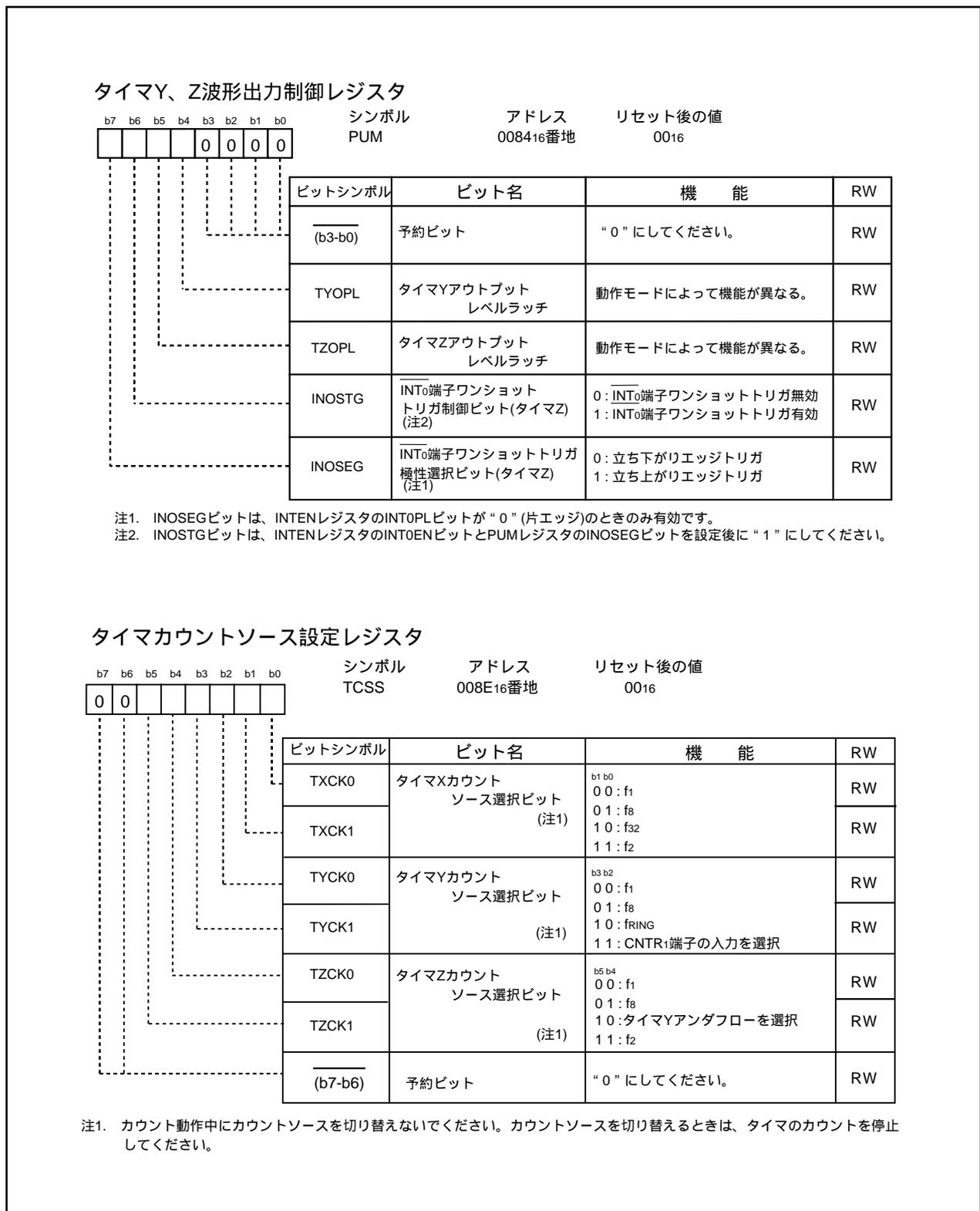


図12.21 PUM、TCSSレジスタ

12.3.1 タイマモード

内部で生成されたカウントソースまたはタイマYのアンダフローをカウントするモードです(表12.9)。タイマモード時、TZSCレジスタは使用しません。タイマモード時のTYZMR、PUMレジスタを図12.22に示します。

表12.9 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマYのアンダフロー
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続 (タイマZのアンダフロー時はタイマZプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n:PREZレジスタの設定値、m:TZPRレジスタの設定値
カウント開始条件	TYZMRレジスタのTZSビットへの“1”(カウント開始)書き込み
カウント停止条件	TYZMRレジスタのTZSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	タイマZのアンダフロー時[タイマZ割り込み]
TZOUT端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み(注1)	TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれるかプログラムで選択可能

注1. 次の2項の条件が重なった状態でTZPRレジスタまたはPREZレジスタに書き込みを行うと、TZICレジスタのIRビットが“1”(割り込み要求あり)になります。

- ・TYZMRレジスタのTZWCビットが“0”(リロードレジスタとカウンタへの同時書き込み)
- ・TYZMRレジスタのTZSビットが“1”(カウント開始)

この状態でTZPRレジスタ、PREZレジスタに書く場合は、書く前に割り込みを禁止してください。

タイマY、Zモードレジスタ

ビットシンボル	ビット名	機能	RW				
シンボル アドレス リセット後の値 TYZMR 0080 ₁₆ 番地 00 ₁₆							
b7	b6	b5	b4	b3	b2	b1	b0
		0	0				
TYMOD0	タイマY関連ビット		RW				
R1EDG			RW				
TYWC			RW				
TYS			RW				
TZMOD0	タイマZ動作モードビット	b5 b4 00: タイマモード	RW				
TZMOD1			RW				
TZWC	タイマZ書き込み 制御ビット (注1)	0: リロードレジスタとカウンタへの 書き込み 1: リロードレジスタのみ書き込み	RW				
TZS	タイマZカウント 開始フラグ	0: カウント停止 1: カウント開始	RW				

注1. TZSビットが“1” (カウント開始)のとき、TZWCビットの設定値が有効になります。TZWCビットが“0”のときリロードレジスタとカウンタへの書き込み、“1”のときリロードレジスタのみ書き込みになります。TZSビットが“0” (カウント停止)のとき、TZWCビットの設定値にかかわらず、リロードレジスタとカウンタへの書き込みになります。

タイマY、Z波形出力制御レジスタ

ビットシンボル	ビット名	機能	RW				
シンボル アドレス リセット後の値 PUM 0084 ₁₆ 番地 00 ₁₆							
b7	b6	b5	b4	b3	b2	b1	b0
0	0	0		0	0	0	0
(b3-b0)	予約ビット	“0” にしてください。	RW				
TYOPL	タイマY関連ビット		RW				
TZOPL	タイマZアウトプット レベルラッチ	タイマモードでは“0” にしてください。	RW				
INOSTG	INT ₀ 端子ワンショット トリガ制御ビット	タイマモードでは“0” にしてください。	RW				
INOSEG	INT ₀ 端子ワンショット トリガ極性選択ビット	タイマモードでは“0” にしてください。	RW				

図12.22 タイマモード時のTYZMR、PUMレジスタ

12.3.2 プログラマブル波形発生モード

TZPRレジスタとTZSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TZOUT端子から出力する信号を反転モードです(表12.10)。カウント開始時は、TZPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時のTYZMR、PUMレジスタを図12.23に示します。タイマZのプログラマブル波形発生モードは、タイマYのプログラマブル波形発生モードと同様の動作を行いますので、動作例は図12.17(プログラマブル波形発生モード時のタイマYの動作例)を参照してください。

表12.10 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマYのアンダフロー
カウント動作	ダウンカウント アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ n:PREYレジスタの設定値、m:TYPRレジスタの設定値、p:TYSCレジスタの設定値 f _i :カウントソースの周波数
カウント開始条件	TYZMRレジスタのTZSビットへの“1”(カウント開始)書き込み
カウント停止条件	TYZMRレジスタのTZSビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後(TZOUT出力の変化と同時)[タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください。)
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	TZPRレジスタ、TZSCレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注2)
選択機能	アウトプットレベルラッチ選択機能 プライマリ期間、セカンダリ期間の出力レベルをTZOPLビットで選択できる プログラマブル波形発生出力切り替え機能 TYZOCレジスタのTZOCNTビットを“0”に設定すると、タイマZのアンダフローに同期してTZOUTの出力を反転する。“1”に設定すると、P3_1ビットの値をTZOUTから出力する。(注3)

注1. セカンダリ期間をカウント中でも、TZPRレジスタを読み出してください。

注2. TZPRレジスタへの書き込み動作より、TZPRレジスタ、TZSCレジスタに書いた値が有効になります。波形の出力は、TZPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TZOCNTビットは次のタイミングで有効になります。

- ・カウント開始時
- ・タイマZ割り込み要求発生時

したがって、TZOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

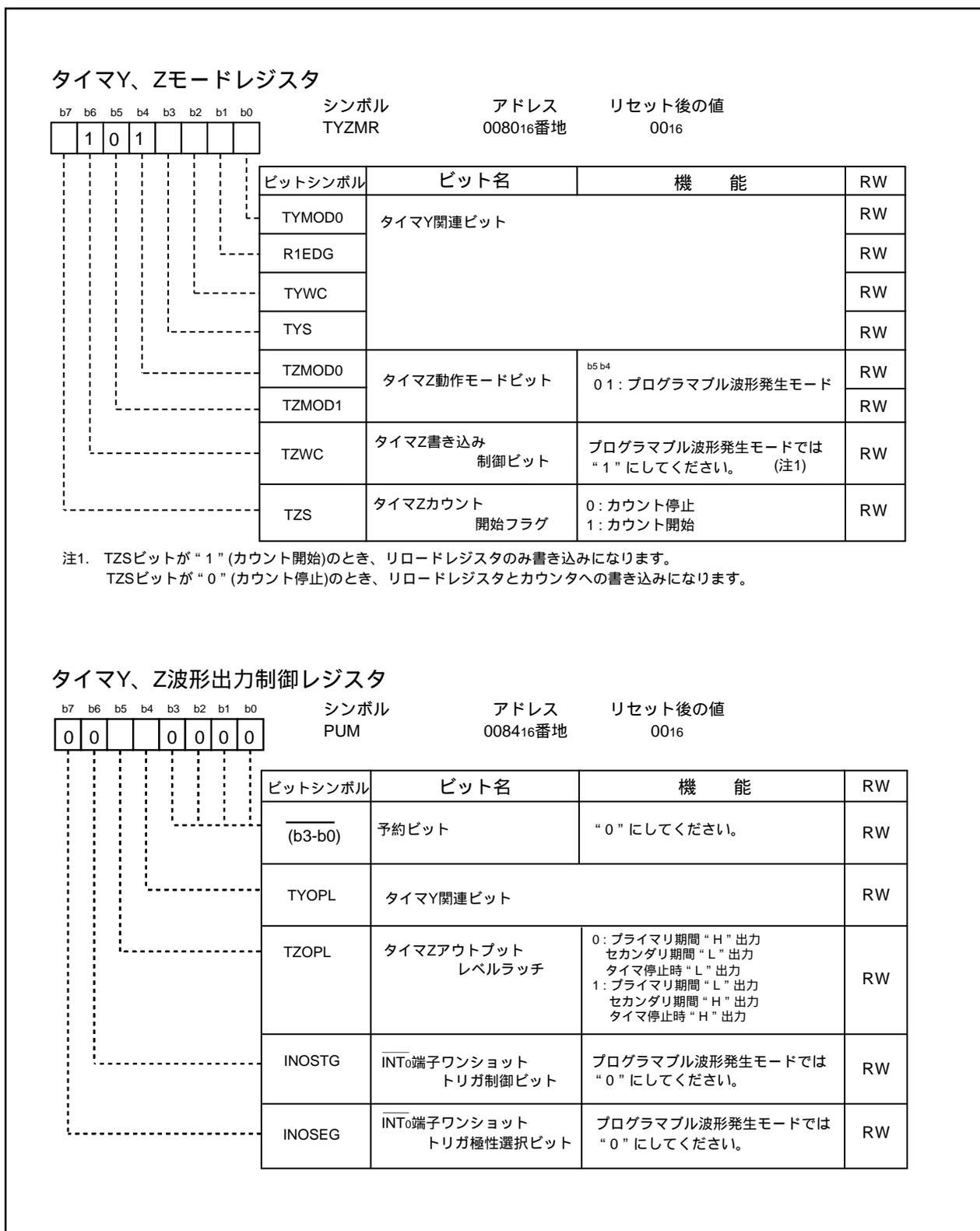


図12.23 プログラマブル波形発生モード時のTYZMR、PUMレジスタ

12.3.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ($\overline{\text{INT0}}$ 端子の入力)により、ワンショットパルスをTZOUT端子から出力するモードです(表12.11)。トリガが発生するとその時点から任意の時間(TZPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TZSCレジスタは使用しません。プログラマブルワンショット発生モード時のTYZMR、PUMレジスタを図12.24に、プログラマブルワンショット発生モード時の動作例を図12.25に示します。

表12.11 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマYアンダフロー
カウント動作	TZPRレジスタの設定値をダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを終了し、TZOSビットが“0”(ワンショット停止)になる カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ n:PREZレジスタの設定値、m:TZPRレジスタの設定値、 f_i :カウントソースの周波数
カウント開始条件	TYZOCレジスタのTZOSビットへの“1”(ワンショット開始)書き込み(注1) $\overline{\text{INT0}}$ 端子への有効トリガ入力(注2)
カウント停止条件	カウンタの値が“0016”になりリロードした後 TYZMRレジスタのTZSビットへの“0”(カウント停止)書き込み TYZOCレジスタのTZOSビットへの“0”(ワンショット停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後(TZOUT端子からの波形出力の終了と同時に)[タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラマブル入出力ポートとして使用する場合は、タイマモードにしてください。)
$\overline{\text{INT0}}$ 端子機能	プログラマブル入出力ポート、 $\overline{\text{INT0}}$ 割り込み入力、または外部トリガ入力
	PUMレジスタのINOSTGビットが“0”(INT0端子ワンショットトリガ無効)の場合 プログラマブル入出力ポートまたは $\overline{\text{INT0}}$ 割り込み入力 PUMレジスタのINOSTGビットが“1”(INT0端子ワンショットトリガ有効)の場合 外部トリガ入力(INT0割り込み入力)
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注3)
選択機能	アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルをTZOPLビットで選択できる $\overline{\text{INT0}}$ 端子ワンショットトリガ制御機能、極性選択機能 $\overline{\text{INT0}}$ 端子からのトリガ入力の有効または無効をINOSTGビットで選択できる。 有効トリガ極性をINOSEGビットで選択できる。

注1. TYZMRレジスタのTZSビットを“1”(カウント開始)にしてください。

注2. TZSビットを“1”(カウント開始)、INTENレジスタのINT0ENビットを“1”(INT0入力許可)、PUMレジスタのINOSTGビットを“1”(INT0ワンショットトリガ有効)にしてください。

カウント中に入力されたトリガは、受け付けられませんが、INT0割り込み要求は発生します。

注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。

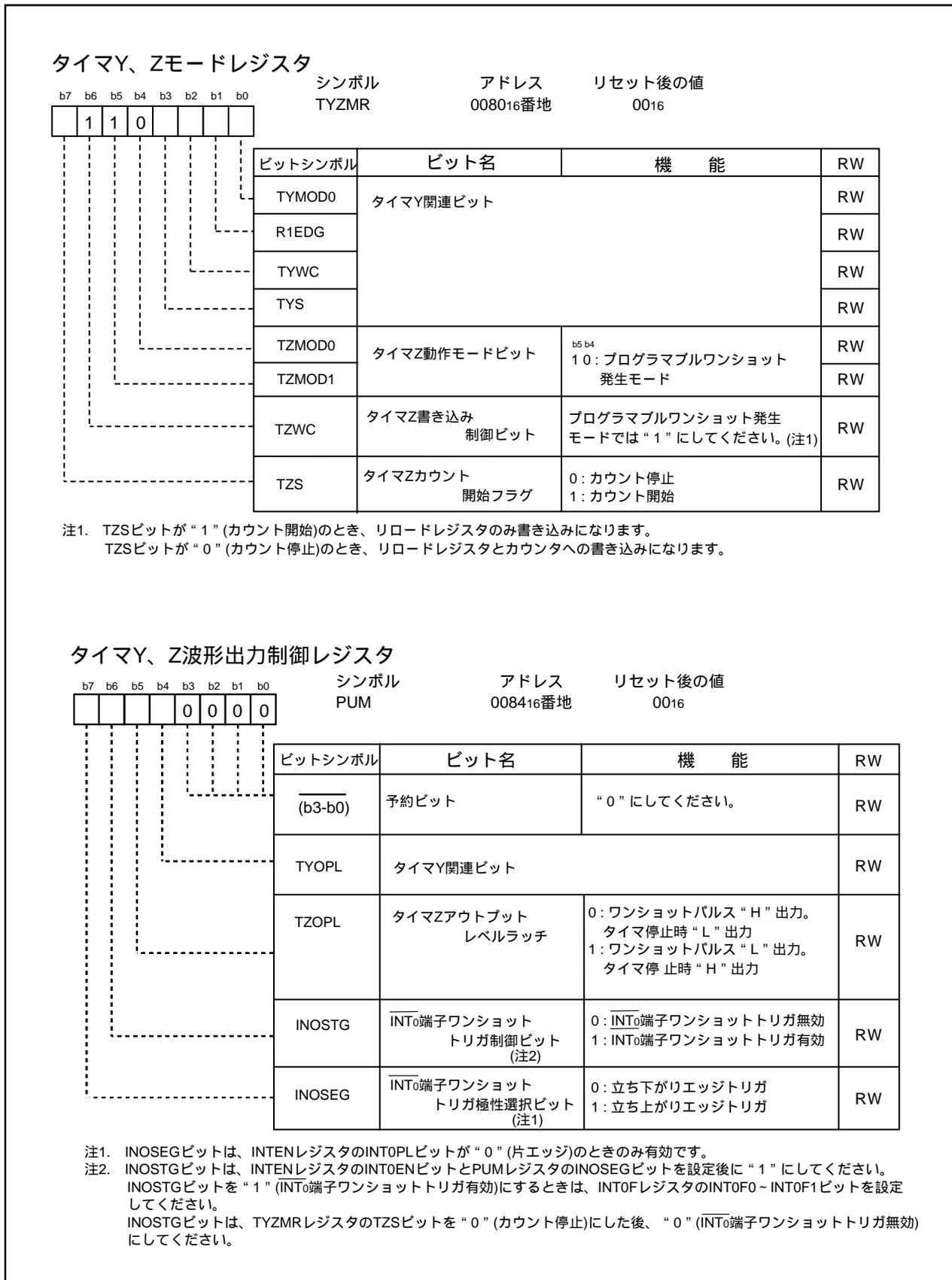


図12.24 プログラマブルワンショット発生モード時のTYZMR、PUMレジスタ

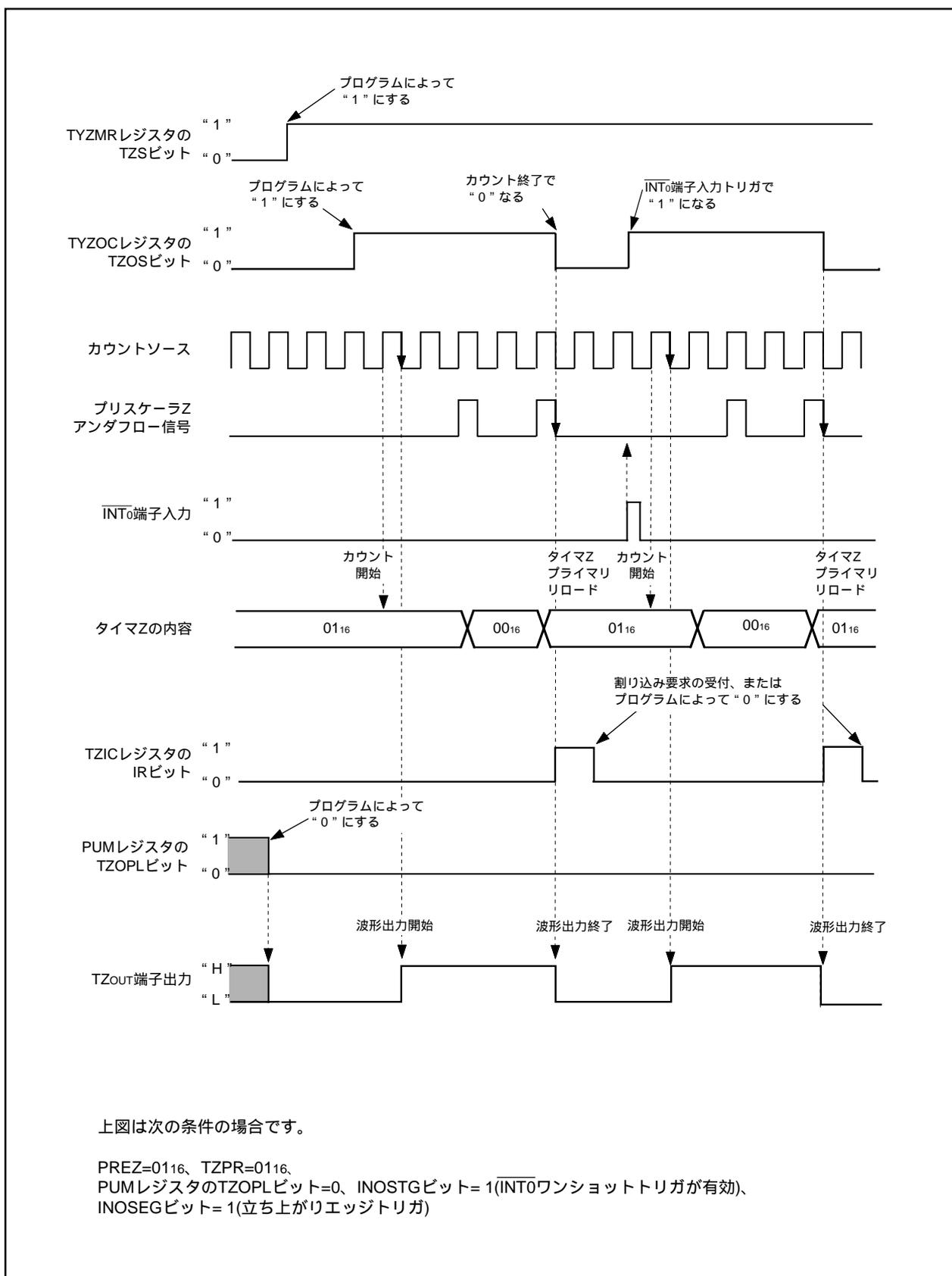


図12.25 プログラマブルワンショット発生モード時の動作例

12.3.4 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ($\overline{\text{INT0}}$ 端子の入力)により、一定時間後にワンショットパルスをTZOUT端子から出力するモードです(表12.12)。トリガが発生すると、その時点から任意の時間(TZPRレジスタの設定値)後、一度だけ任意の時間(TZSCレジスタの設定値)パルス出力を行います。プログラブルウェイトワンショット発生モード時のTYZMR、PUMレジスタを図12.26に、プログラブルウェイトワンショット発生モードの動作例を図12.27に示します。

表12.12 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマYアンダフロー
カウント動作	タイマZプライマリの設定値をダウンカウント タイマZプライマリのカウントがアンダフロー時、タイマZセカンダリの内容をリロードしてカウントを継続 タイマZセカンダリのカウントがアンダフロー時、タイマZプライマリの内容をリロードしてカウントを終了し、TZOSビットが“0”(ワンショット停止)になる カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ n:PREZレジスタの設定値、m:TZPRレジスタの設定値、f _i :カウントソースの周波数
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ n:PREZレジスタの設定値、p:TZSCレジスタの設定値、f _i :カウントソースの周波数
カウント開始条件	TYZOCレジスタのTZOSビットへの“1”(ワンショット開始)書き込み(注1) $\overline{\text{INT0}}$ 端子への有効トリガ入力(注2)
カウント停止条件	タイマZセカンダリカウント時のカウントの値が“0016”になりリロードした後 TYZMRレジスタのTZSビットへの“0”(カウント停止)書き込み TYZOCレジスタのTZOSビットへの“0”(ワンショット停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後 (TZOUT端子からの波形出力の終了と同時に)[タイマZ割り込み]
TZOUT端子機能	パルス出力 (プログラブル入出力ポートとして使用する場合は、タイマモードにしてください。)
$\overline{\text{INT0}}$ 端子機能	プログラブル入出力ポート、 $\overline{\text{INT0}}$ 割り込み入力、または外部トリガ入力 PUMレジスタのINOSTGビットが“0”(INT0端子ワンショットトリガ無効)の場合 プログラブル入出力ポートまたはINT0割り込み入力 PUMレジスタのINOSTGビットが“1”(INT0端子ワンショットトリガ有効)の場合 外部トリガ入力(INT0割り込み入力)
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TZPRレジスタ、PREZレジスタ、TZSCレジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる(注3)
選択機能	アウトプットレベルラッチ選択機能 ワンショットパルス波形の出力レベルをTZOPLビットで選択できる $\overline{\text{INT0}}$ 端子ワンショットトリガ制御機能、極性選択機能 $\overline{\text{INT0}}$ 端子からのトリガ入力の有効または無効をINOSTGビットで選択できる。 有効トリガ極性をINOSEGビットで選択できる。

注1. TYZMRレジスタのTZSビットを“1”(カウント開始)にしてください。

注2. TZSビットを“1”(カウント開始)、INTENレジスタのINT0ENビットを“1”(INT0入力許可)、PUMレジスタのINOSTGビットを“1”(INT0ワンショットトリガ有効)にしてください。
カウント中に入力されたトリガは、受け付けられませんが、INT0割り込み要求は発生します。

注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。

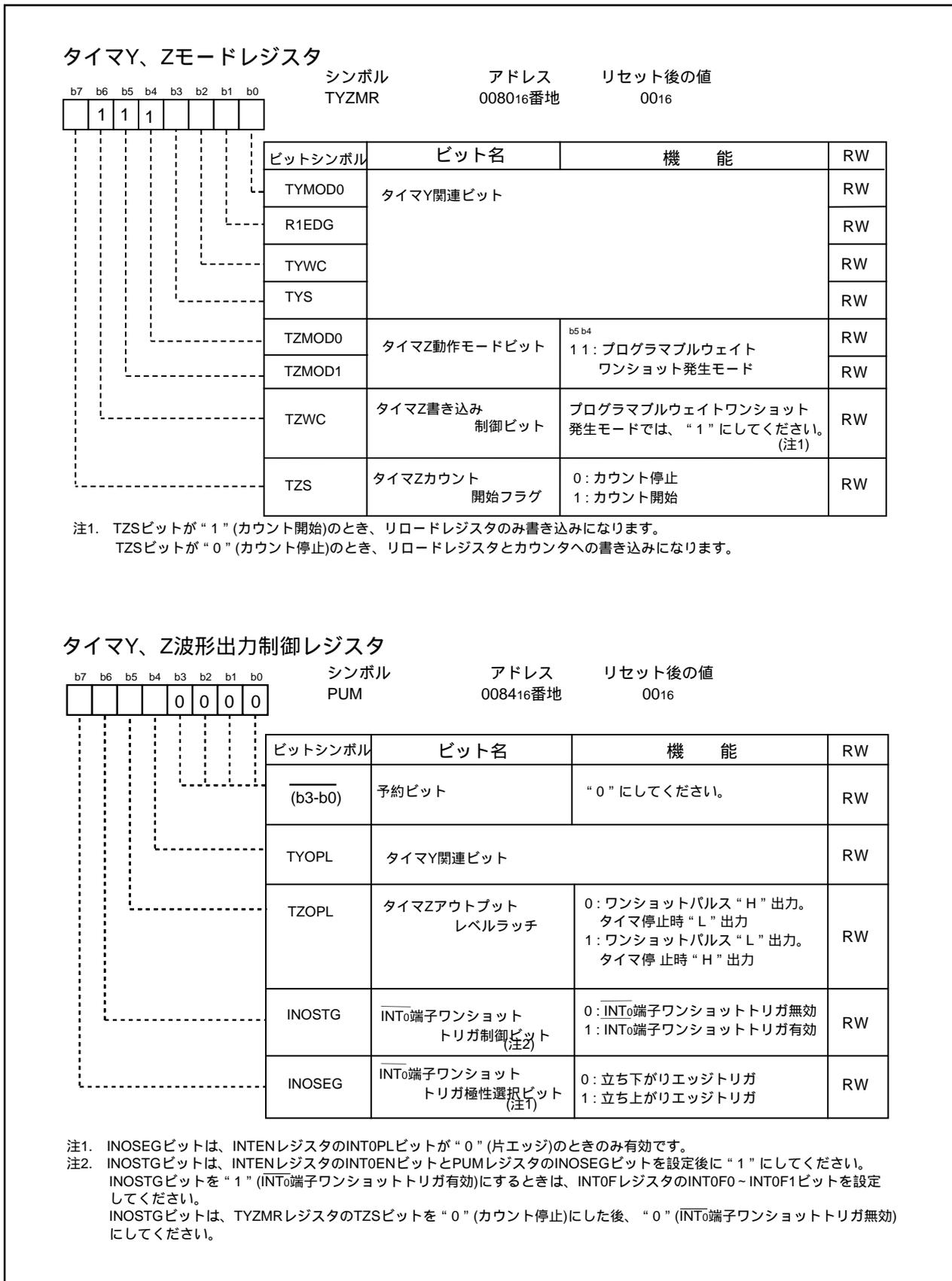


図12.26 プログラマブルウェイトワンショット発生モード時のTYZMR、PUMレジスタ

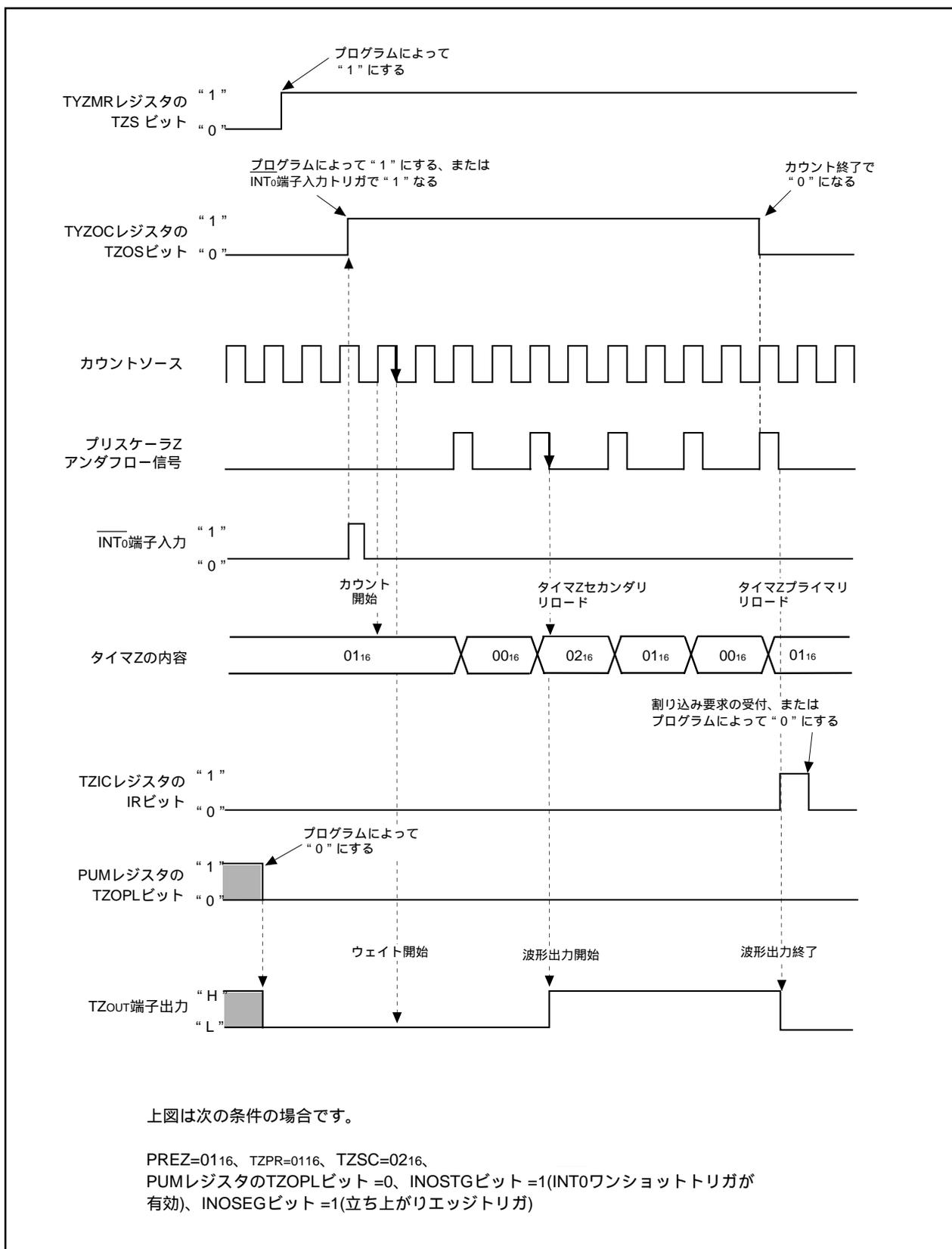


図12.27 プログラマブルウェイトワンショット発生モード時の動作例

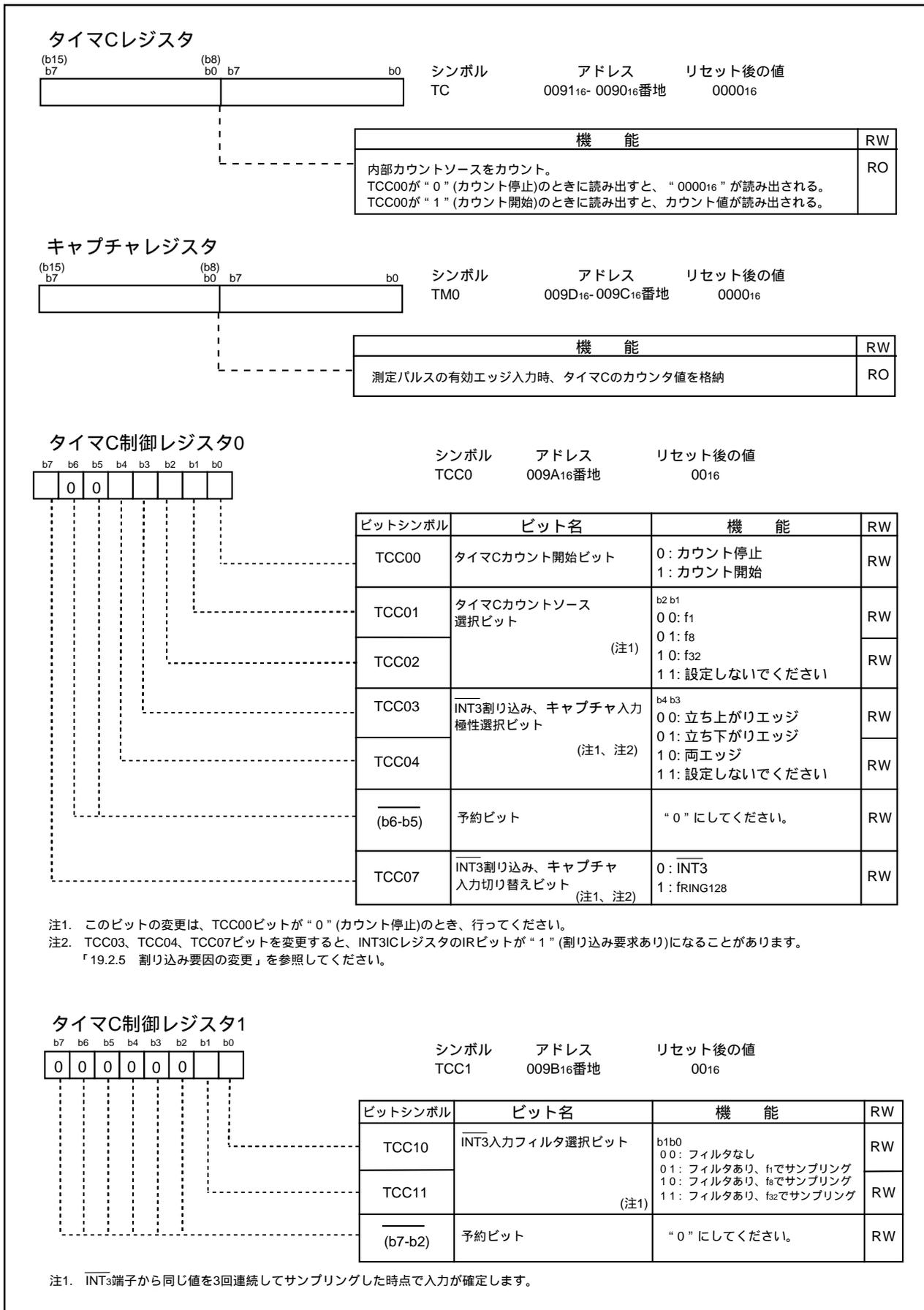


図12.29 TC、TM0、TCC0、TCC1レジスタ

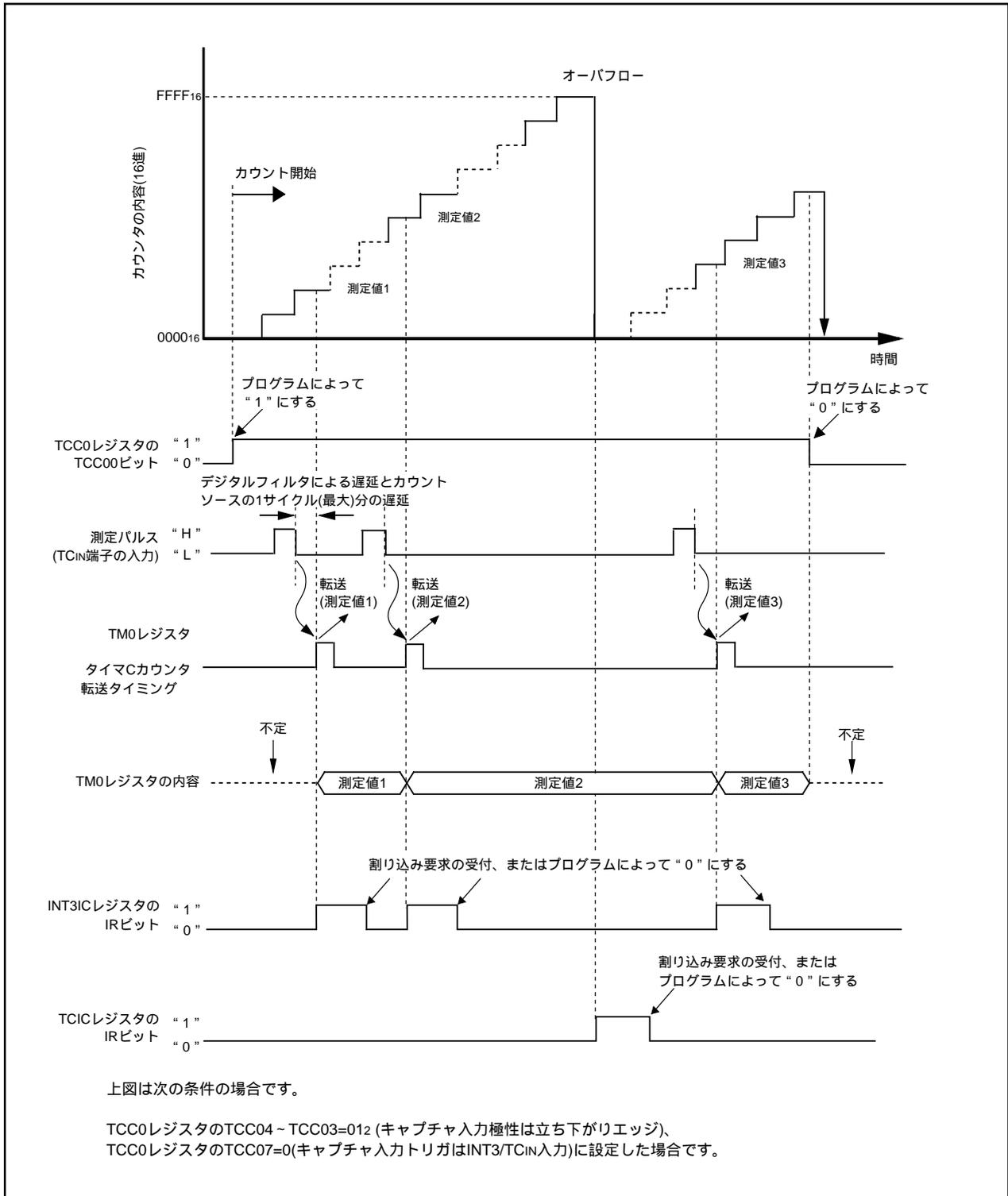


図12.30 タイマCの動作例

13. シリアルインタフェース

シリアルインタフェースは、UART0およびUART1の2チャンネルで構成しています。UART0、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図13.1にUARTi(i=0, 1)のブロック図、図13.2に送受信部のブロック図を示します。

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

UART1は、クロック非同期形シリアルI/Oモード(UARTモード)のみ持ちます。

図13.3～図13.5にUARTi関連のレジスタを示します。

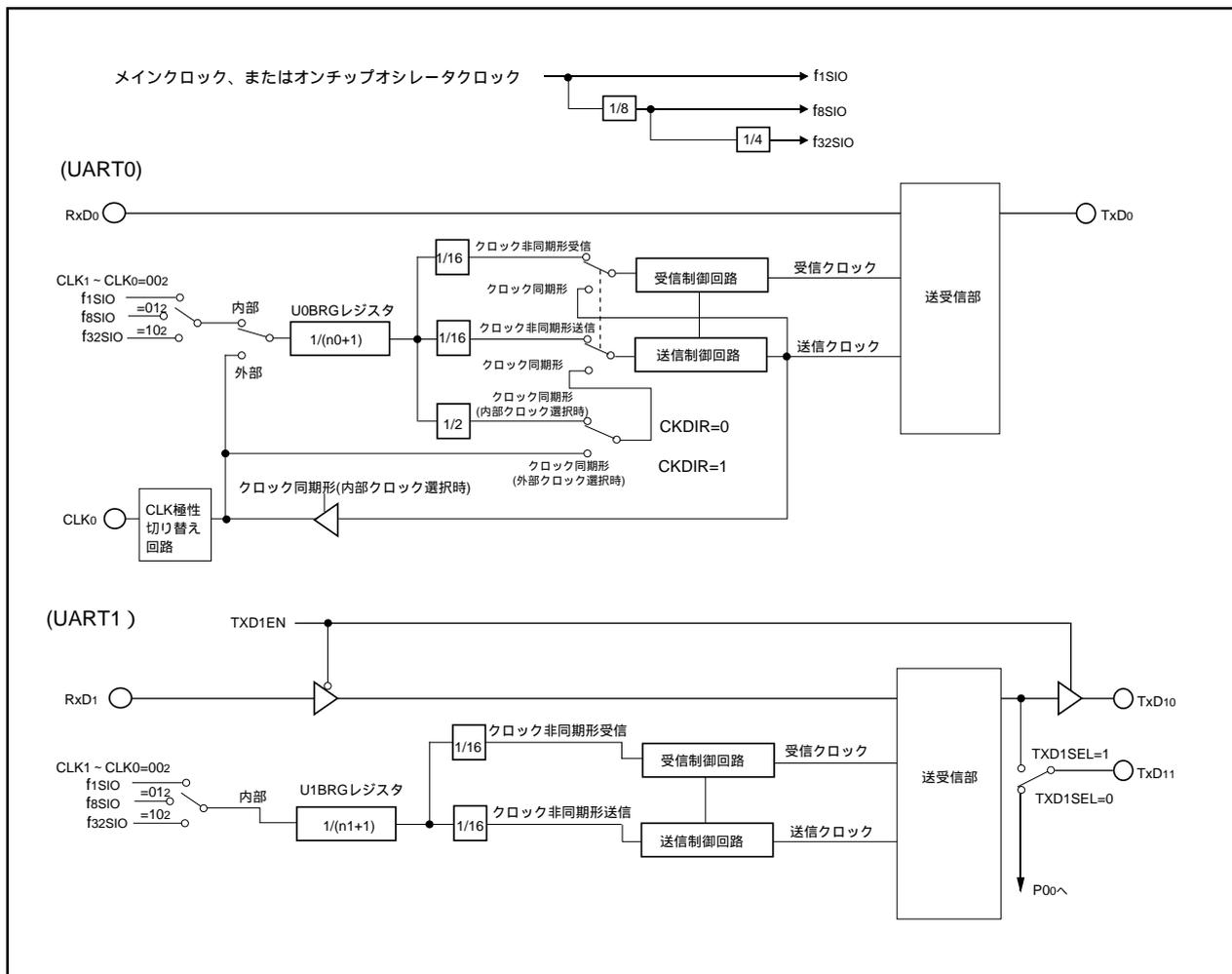


図13.1 UARTi(i=0, 1)ブロック図

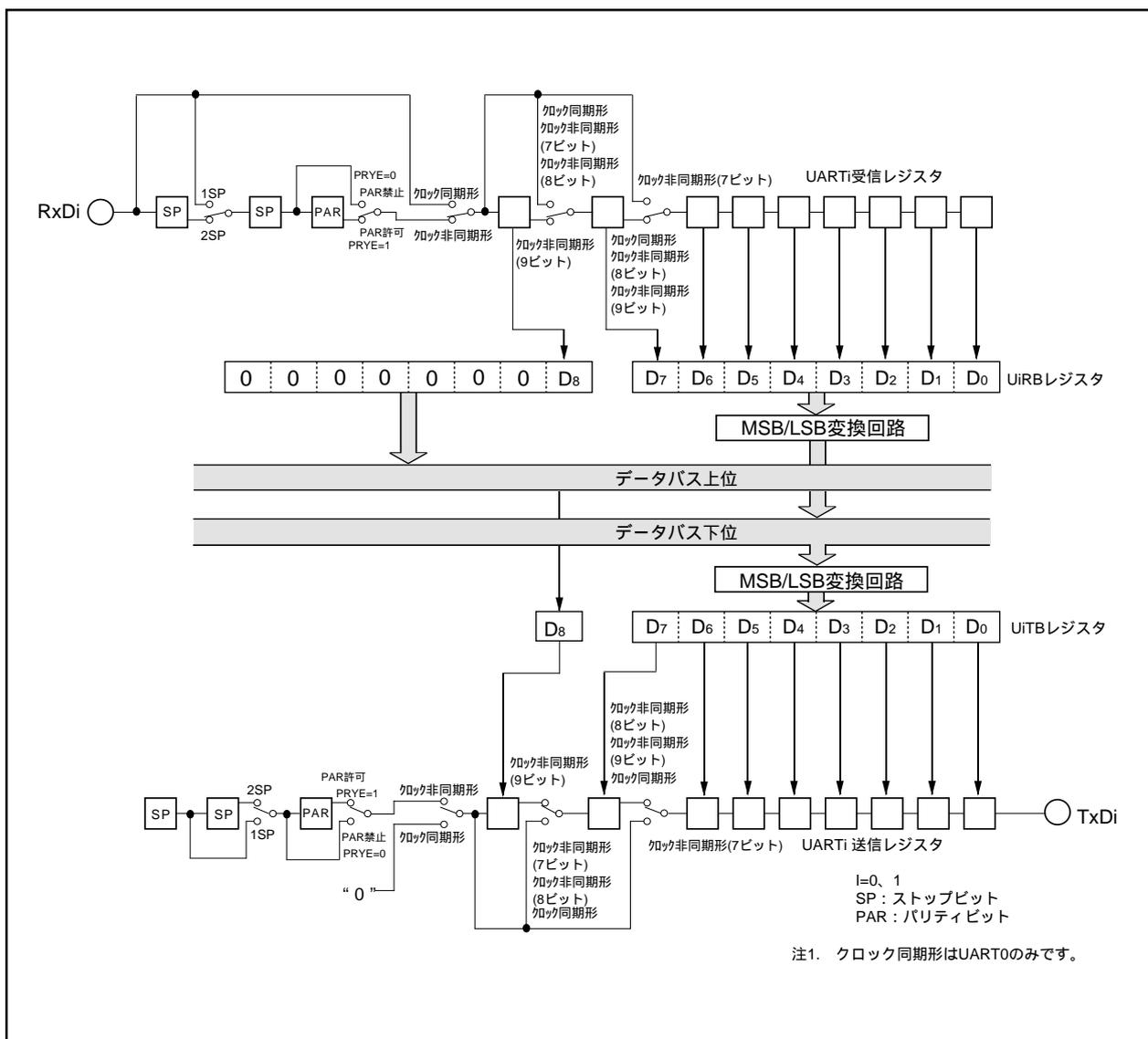
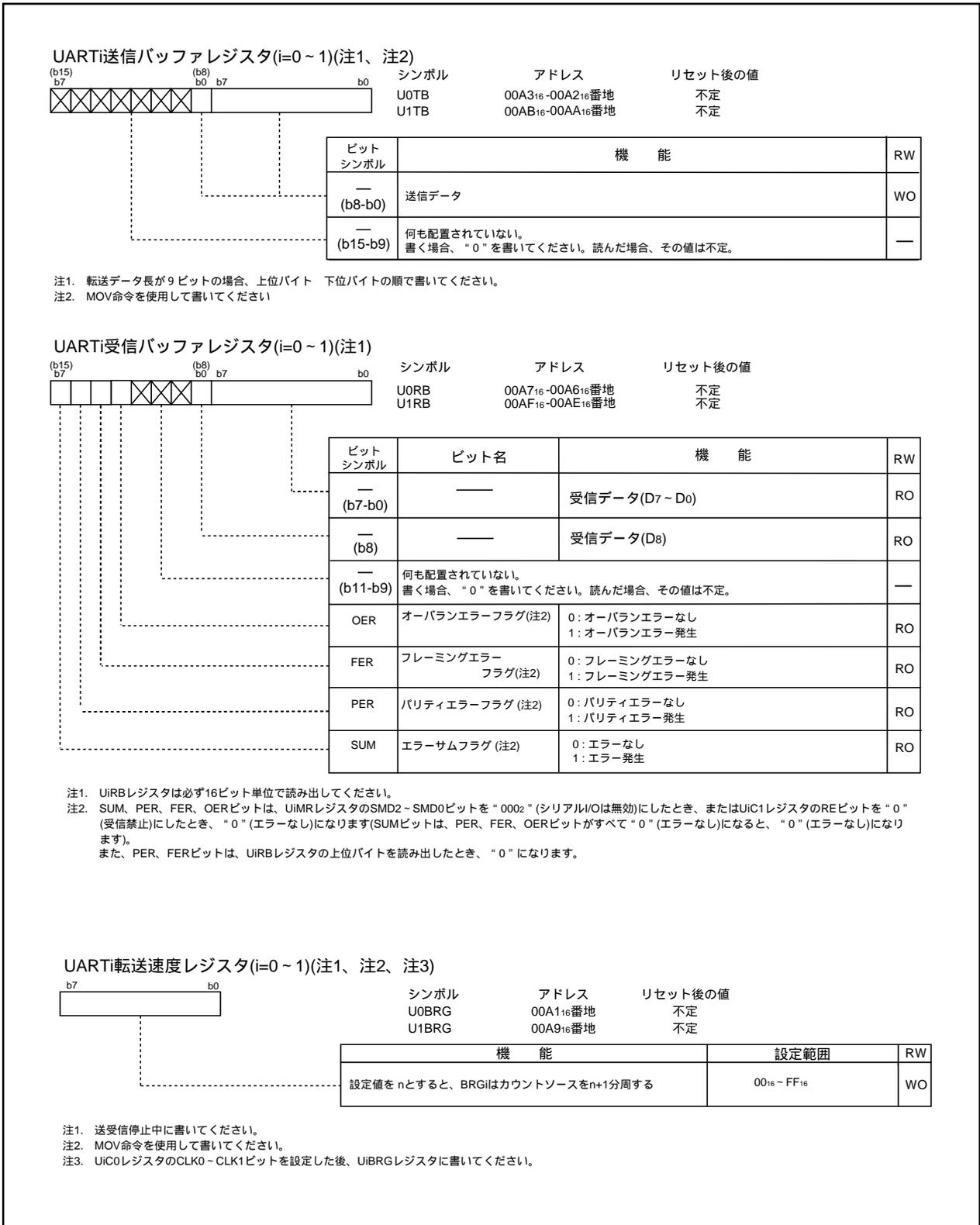


図13.2 送受信部ブロック図



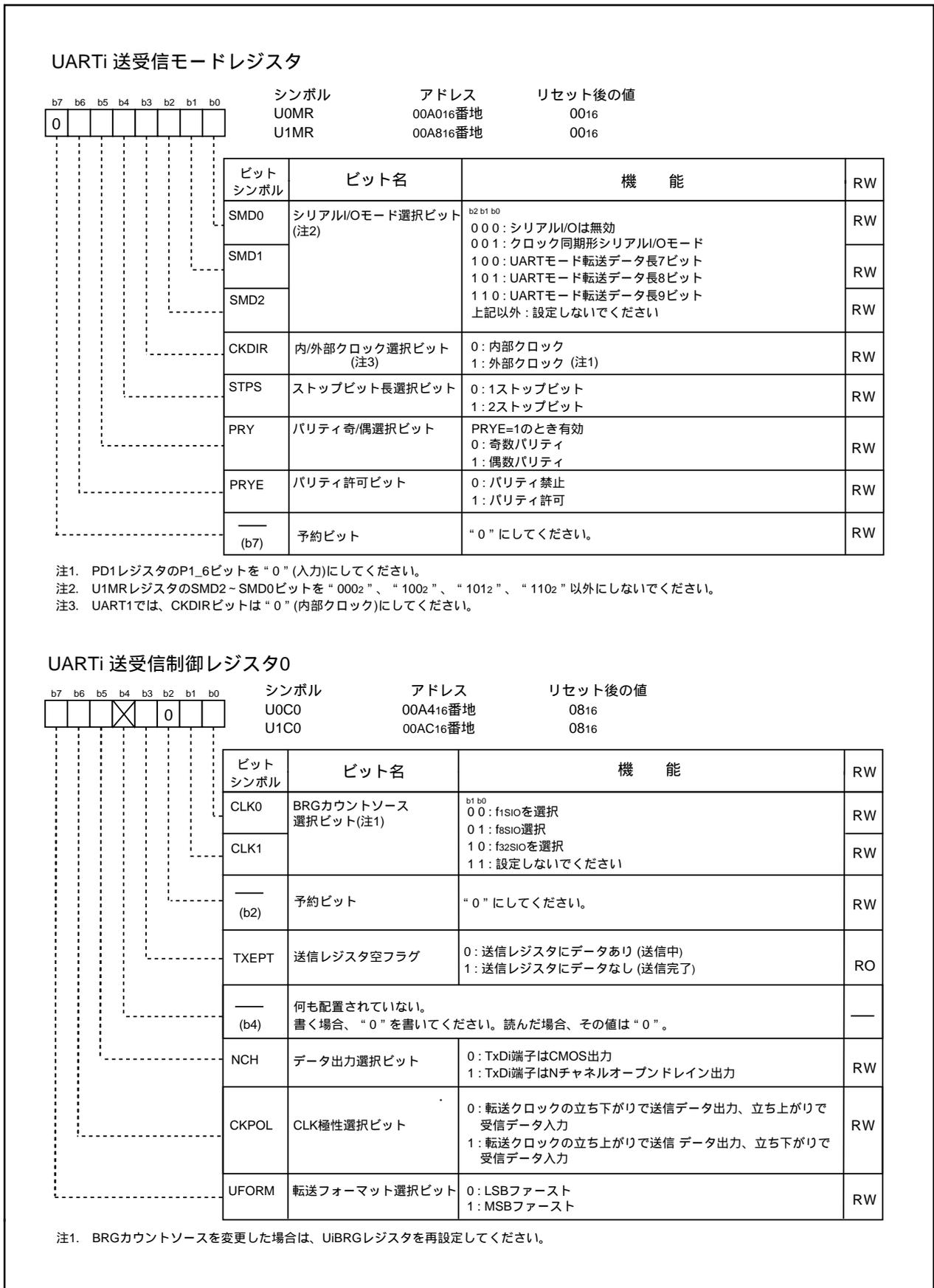


図13.4 U0MR ~ U1MR、U0C0 ~ U1C0レジスタ

UARTi 送受信制御レジスタ1

ビット シンボル	シンボル	アドレス	リセット後の値
b7	U0C1	00A5 ₁₆ 番地	02 ₁₆
b6	U1C1	00AD ₁₆ 番地	02 ₁₆
b5			
b4			
b3			
b2			
b1			
b0			

ビット シンボル	ビット名	機 能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBにデータあり 1: UiTBにデータなし	RO
RE	受信許可ビット (注1)	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ (注2)	0: UiRBにデータなし 1: UiRBにデータあり	RO
— (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. UART1は、UCONレジスタのTXD1ENビットを設定してから受信許可にしてください。

注2. RIビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

UART送受信制御レジスタ2

ビット シンボル	シンボル	アドレス	リセット後の値
b7	UCON	00B0 ₁₆ 番地	00 ₁₆
b6			
b5			
b4	0		
b3	0		
b2			
b1			
b0			

ビット シンボル	ビット名	機 能	RW
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	RW
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空 (TI=1) 1: 送信完了(TXEPT=1)	RW
U0RRM	UART0連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
— (b4-b3)	予約ビット	“0” にしてください。	RW
TXD1SEL	ポートTxD ₁₁ 切り替え ビット (注2)	0: 入出力ポートP0 ₀ 1: TxD ₁₁	RW
TXD1EN	TxD ₁₀ /RxD ₁ 選択ビット (注1、注2)	0: RxD ₁ 1: TxD ₁₀	RW
— (b7)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1. ポートP3₇を受信に使用するとき“0”(RxD₁)に、送信に使うときは“1”(TxD₁₀)にしてください。
また受信時、PD3レジスタのPD3_7ビットを“0”(入力モード)にしてください。

注2. TXD1SELビットとTXD1ENビットは独立して機能しますので、同時に“1”にしないでください。

図13.5 U0C1 ~ U1C1、UCONレジスタ

13.1 クロック同期形シリアル/Oモード

クロック同期形シリアル/Oモードは、転送クロックを用いて送受信を行うモードです。UART0で選択できます。表13.1にクロック同期形シリアル/Oモードの仕様を、表13.2にクロック同期形シリアル/Oモード時の使用レジスタと設定値を示します。

表13.1. クロック同期形シリアル/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	U0MRレジスタのCKDIRビットが“0”(内部クロック) : $fi/(2(n+1))$ $fi=f1SIO, f8SIO, f32SIO$ $n=UiBRG$ レジスタの設定値 0016 ~ FF16 CKDIRビットが“1”(外部クロック) : CLK0端子からの入力
送信開始条件	送信開始には、以下の条件が必要です(注1)。 ・ U0C1レジスタのTEビットが“1”(送信許可) ・ U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です(注1)。 ・ U0C1レジスタのREビットが“1”(受信許可) ・ U0C1レジスタのTEビットが“1”(送信許可) ・ U0C1レジスタのTIビットが“0”(U0TBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます。 ・ U0IRSビットが“0”(送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) ・ U0IRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信する場合 ・ UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) U0RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U0RBレジスタは不定になります。またS0RICレジスタのIRビットは変化しません。

表13.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	0~7	送信データを設定してください
U0RB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
U0BRG	0~7	転送速度を設定してください
U0MR	SMD2~SMD0	“0012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
U0C0	CLK1~CLK0	U0BRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TxD0端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U0C1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
UCON	U0IRS	UART0送信割り込み要因を選択してください
	U0RRM	連続受信モードを使用する場合、“1” にしてください
	TXD1SEL	“0” にしてください
	TXD1EN	“0” にしてください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表13.3に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART0の動作モード選択後、転送開始までは、TxD0端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表13.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxD0(P14)	シリアルデータ出力	(受信だけを行うときはダミーデー出力)
RxD0(P15)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP15を入力ポートとして使用可)
CLK0(P16)	転送クロック出力	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0

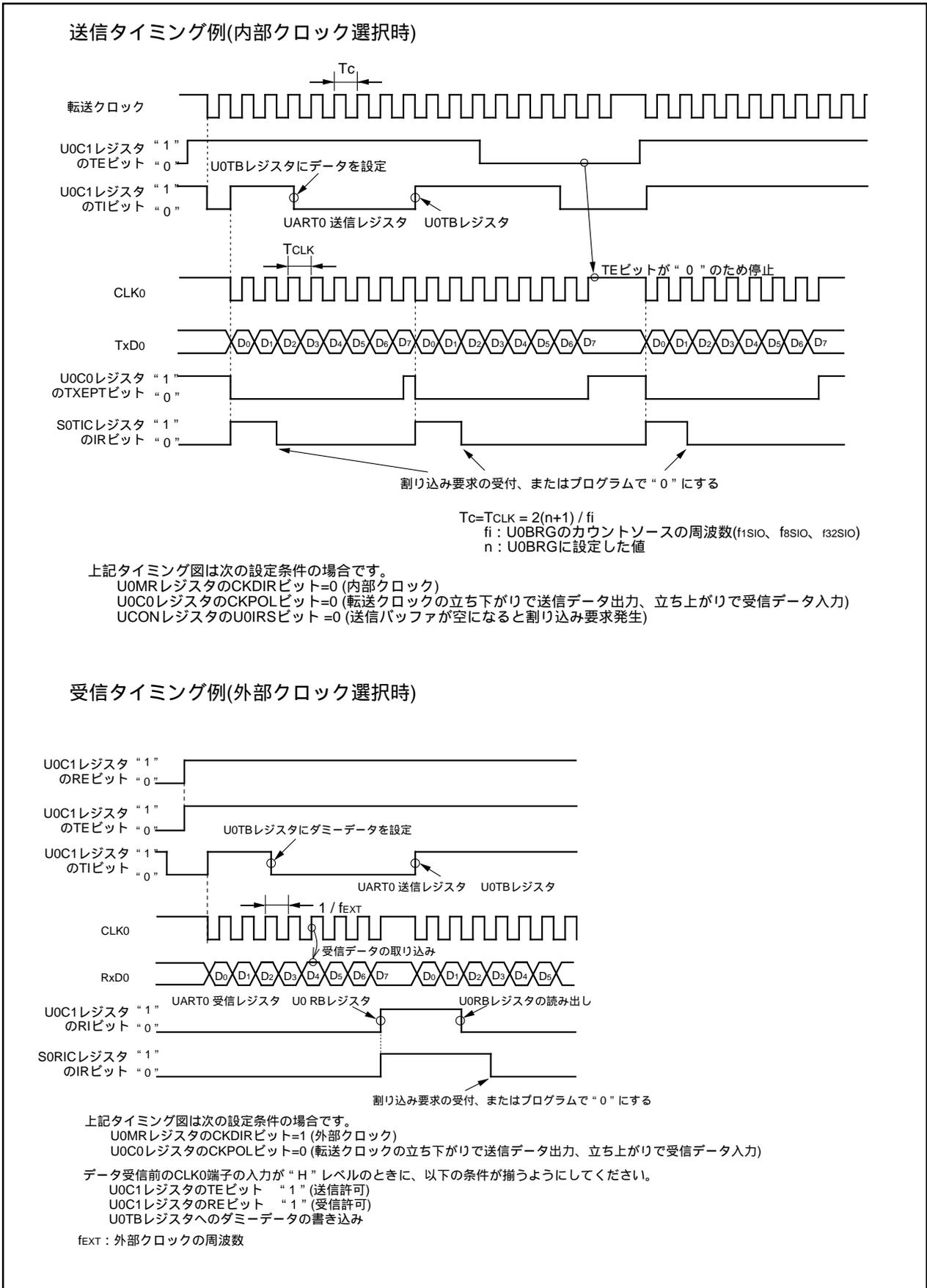


図13.6 クロック同期形シリアル/Oモード時の送受信タイミング例

13.1.1 極性選択機能

図13.7に転送クロックの極性を示します。U0C0レジスタのCKPOLビットによって転送クロックの極性を選択できます。

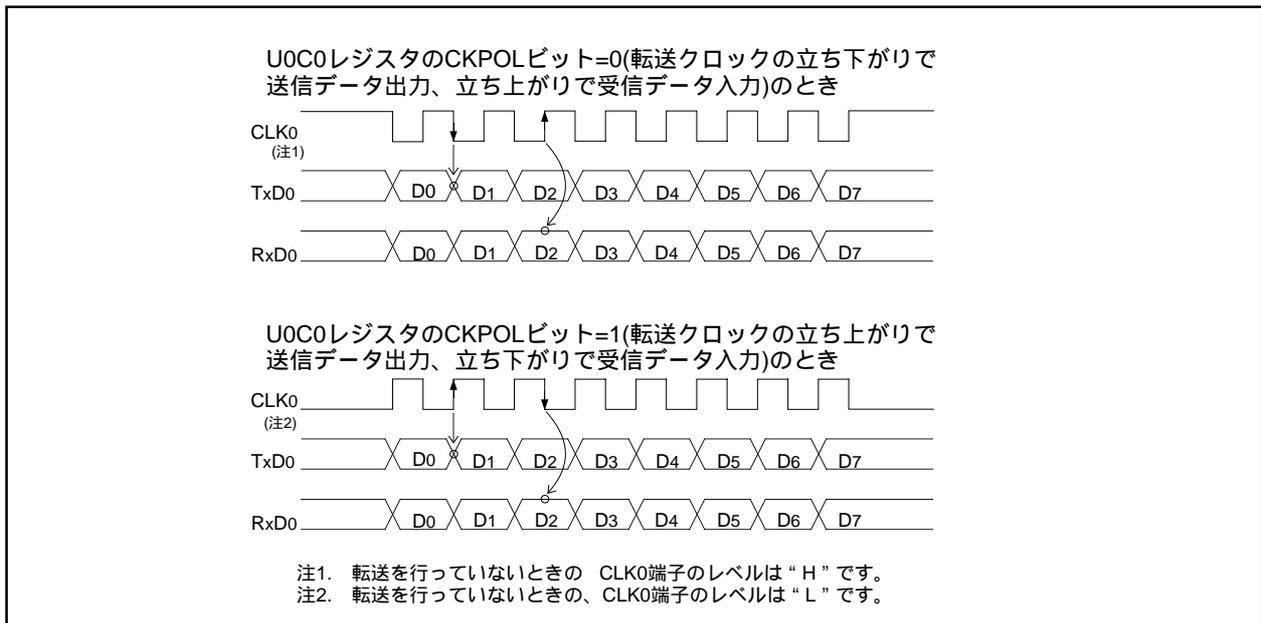


図13.7 転送クロックの極性

13.1.2 LSBファースト、MSBファースト選択

図13.8に転送フォーマットを示します。U0C0レジスタのUFORMビットで転送フォーマットを選択できます。

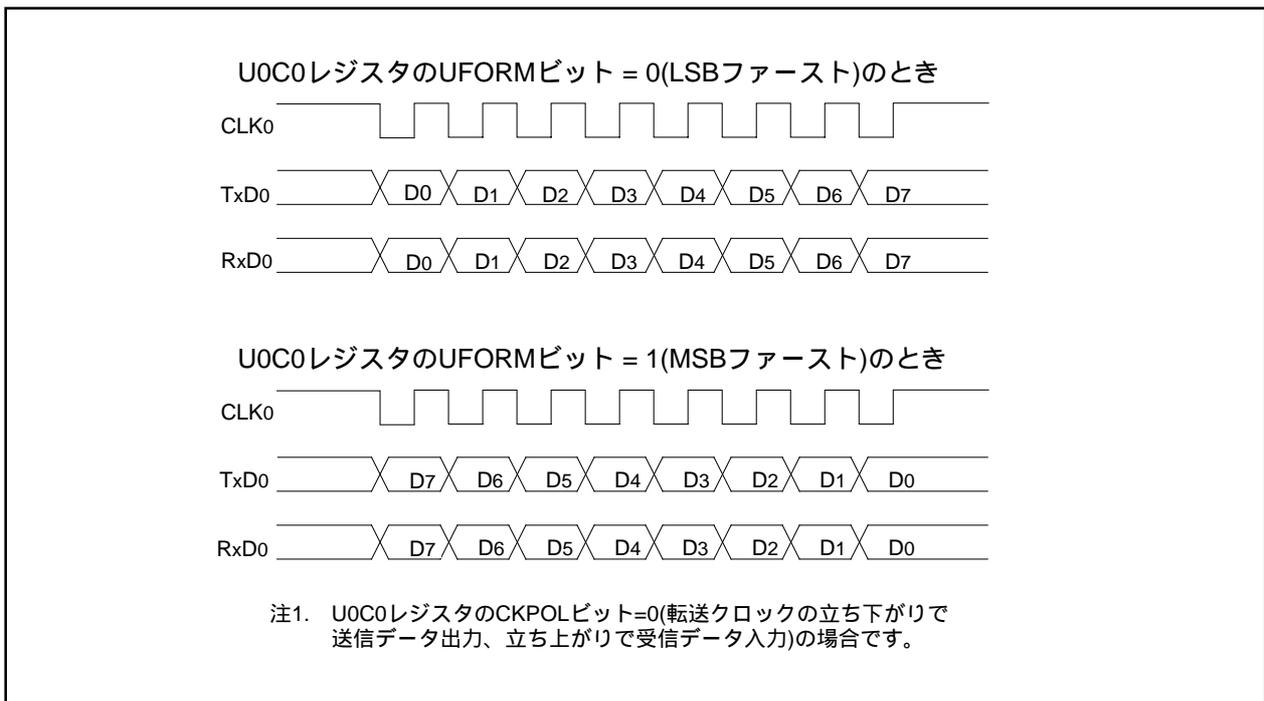


図13.8 転送フォーマット

13.1.3 連続受信モード

UCONレジスタのU0RRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。U0RRMビットが“1”の場合、プログラムでU0TBレジスタにダミーデータを書かないでください。

13.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表13.4にクロック非同期形シリアルI/Oモードの仕様を、表13.5にUARTモード時の使用レジスタと設定値を示します。

表13.4 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 スタートビット 1ビット パリティビット 奇数、偶数、無し 選択可 ストップビット 1ビット、2ビット 選択可
転送クロック	UiMRレジスタ(i=0、1)のCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f1SIO、f8SIO、f32SIO$ $n=UiBRG$ レジスタの設定値 00 ₁₆ ~ FF ₁₆ CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT} はCLKi端子からの入力 $n=UiBRG$ レジスタの設定値 00 ₁₆ ~ FF ₁₆
送信開始条件	送信開始には、以下の条件が必要です。 ・UiC1レジスタのTEビットが“1”(送信許可) ・UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です。 ・UiC1レジスタのREビットが“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます。 ・UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信する場合 ・UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー (注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になります
選択機能	TxD10/RxD1i選択 (UART1) P37端子をUART1のRxD1端子として使用するか、TxD10端子として使用するかをプログラムによって選択可 TxD11i選択 (UART1) P00端子をUART1のTxD11端子として使用するか、ポートP00として使用するかをプログラムによって選択可

注1. オーバランエラーが発生した場合、U0RBレジスタは不定になります。またS0RICレジスタのIRビットは変化しません。

表13.5 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください(注1)。
UiRB	0~8	受信データが読めます(注1)。
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください。
UiMR	SMD2~SMD0	転送データが7ビットの場合、“1002”を設定してください。 転送データが8ビットの場合、“1012”を設定してください。 転送データが9ビットの場合、“1102”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください(注2)。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TxDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください。
	RI	受信完了フラグ
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください。
	U0RRM	“0”にしてください。
	TXD1SEL	UART1転送データの出力端子を選択してください。
	TXD1EN	端子をTxD1として使用するか、RxD1として使用するか選択します。

注1．使用するビットは次のとおりです。転送データ長7ビット：ビット0~6、転送データ長8ビット：ビット0~7、転送データ長9ビット：ビット0~8

注2．UART0のみ外部クロックを選択できます。

表13.6に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表13.6 クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxD0(P14)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RxD0(P15)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP15を入力ポートとして使用可)
CLK0(P16)	プログラマブル入出力ポート	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TxD10/RxD1(P37)	シリアルデータ出力	TXD1EN=1
	シリアルデータ受信	TXD1EN=0 PD3レジスタのPD3_7ビット=0
TxD11(P00)	シリアルデータ出力	シリアルデータ出力 TXD1SEL=1

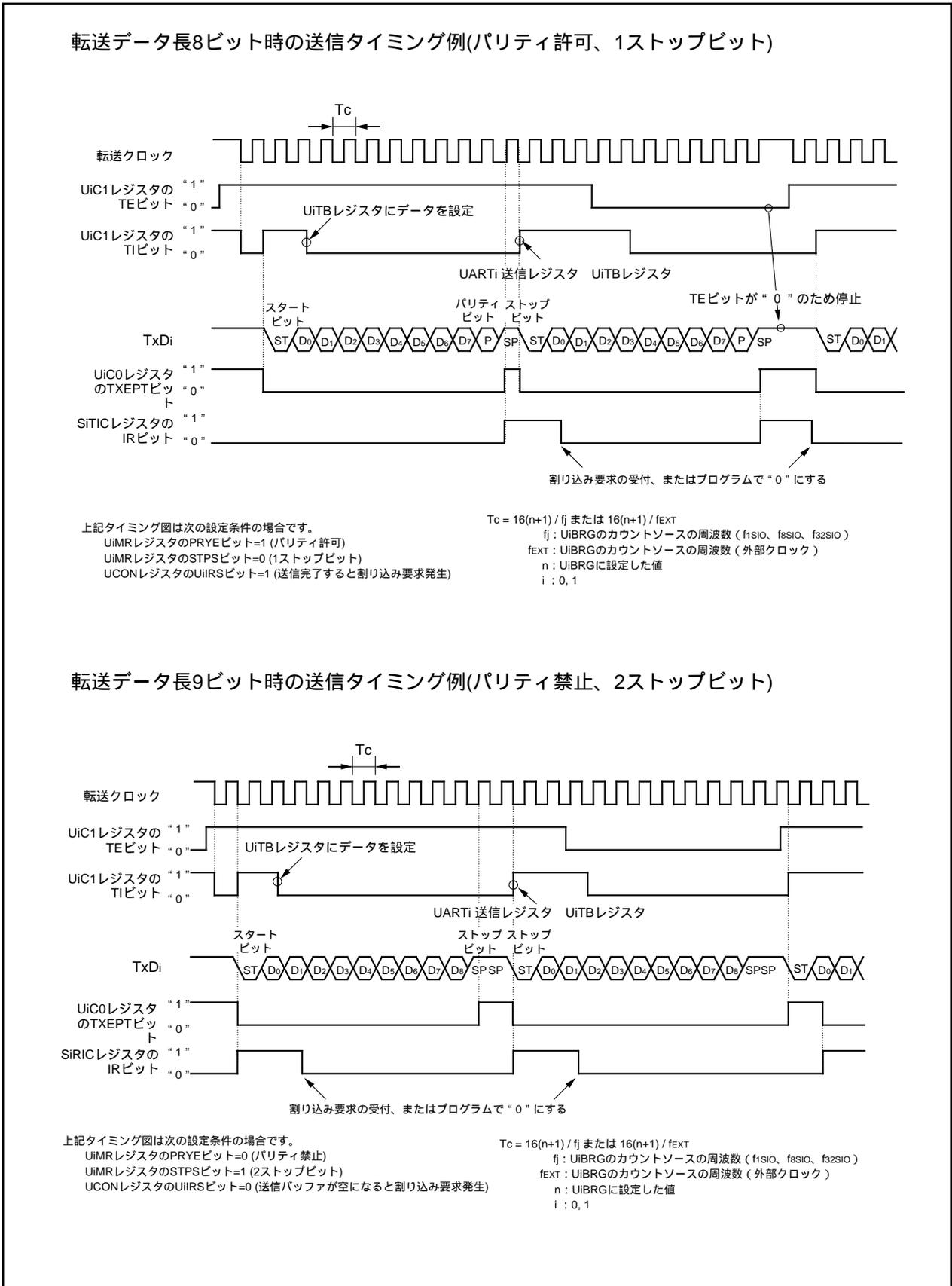


図13.9 UARTモード時の送信タイミング例

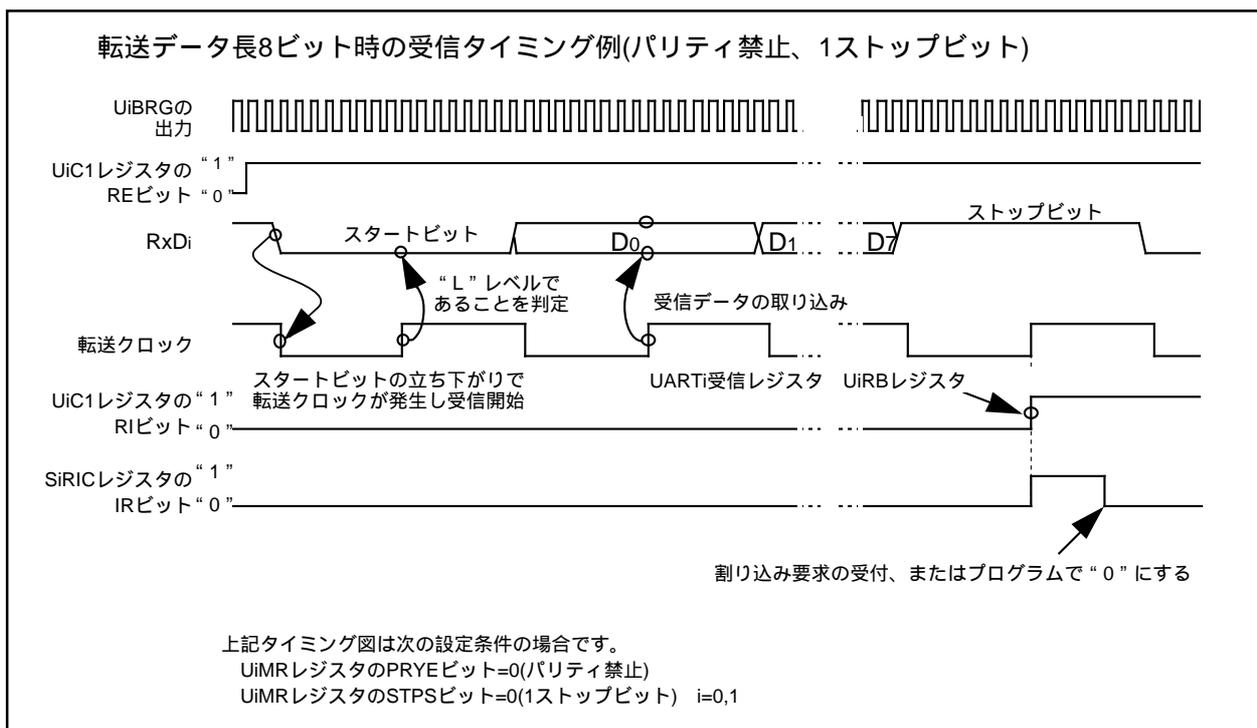


図13.10 UARTモード時の受信タイミング例

13.2.1 TxD₁₀/RxD₁選択機能(UART1)

P37をTxD₁₀出力端子として使用するか、RxD₁入力端子として使用するかを、UCONレジスタのTXD1ENビットの切り替えによって選択します。

TXD1ENビットに“1”(TxD₁₀)を選択した場合、P37はTxD₁₀出力端子となります。

“0”(RxD₁)を選択した場合、P37はRxD₁入力端子となります。

13.2.2 TxD₁₁選択機能(UART1)

P00をTxD₁₁出力端子として使用するか、ポートとして使用するかを、UCONレジスタのTXD1SELビットの切り替えによって選択します。

TXD1SELビットに“1”(TxD₁₁)を選択した場合、P00はTxD₁₁出力端子となります。

“0”(P00)を選択した場合、P00は入出力端子となります。

13.2.3 ビットレート

UARTモードではUiBRGレジスタ (i=0~1) で分周した周波数の16分周がビットレートになります。

< UARTモード >

- ・内部クロック選択時

$$\text{UiBRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j : UiBRGレジスタのカウントソースの周波数(f₁、f₈、f₃₂)

- ・外部クロック選択時

$$\text{UiBRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT} : UiBRGレジスタのカウントソースの周波数(外部クロック)

図13.11 UiBRGレジスタの設定値の算出式

表13.7 UARTモード時のビットレート設定例 (内部クロック選択時)

ビットレート (bps)	BRGの カウントソース	システムクロック = 16 MHz			システムクロック = 8 MHz		
		BRGの設定値	実時間(bps)	誤差(%)	BRGの設定値	実時間(bps)	誤差(%)
1200	f8	103 (67 ₁₆)	1201.92	0.16	51 (33 ₁₆)	1201.92	0.16
2400	f8	51 (33 ₁₆)	2403.85	0.16	25 (19 ₁₆)	2403.85	0.16
4800	f8	25 (19 ₁₆)	4807.69	0.16	12 (0C ₁₆)	4807.69	0.16
9600	f1	103 (67 ₁₆)	9615.38	0.16	51 (33 ₁₆)	9615.38	0.16
14400	f1	68 (44 ₁₆)	14492.75	0.64	34 (22 ₁₆)	14285.71	- 0.79
19200	f1	51 (33 ₁₆)	19230.77	0.16	25 (19 ₁₆)	19230.77	0.16
28800	f1	34 (22 ₁₆)	28571.43	- 0.79	16 (10 ₁₆)	29411.76	2.12
31250	f1	31 (1F ₁₆)	31250.00	0.00	15 (0F ₁₆)	31250.00	0.00
38400	f1	25 (19 ₁₆)	38461.54	0.16	12 (0C ₁₆)	38461.54	0.16
51200	f1	19 (13 ₁₆)	50000.00	- 2.34	9 (09 ₁₆)	50000.00	- 2.34

14. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P00～P07と端子を共用しています。これらの入力を使用する場合、対応するポート方向ビットは“0”（入力モード）にしてください。また、A/Dコンバータを使用しない場合、ADCON1レジスタのVCUTビットを“0”（Vref未接続）にすると、VREF端子からラダー抵抗に電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ADレジスタに格納されます

表14.1にA/Dコンバータの性能を、図14.1にA/Dコンバータのブロック図を、図14.2～図14.3にA/Dコンバータ関連のレジスタを示します。

表14.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～Vref
動作クロック AD(注2)	AVCC = 5Vのとき fAD、fADの2分周、fADの4分周 AVCC = 3Vのとき fADの2分周、fADの4分周
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5Vのとき 分解能8ビットの場合 ±2LSB 分解能10ビットの場合 ±3LSB AVCC = Vref = 3.3Vのとき 分解能8ビットの場合 ±2LSB 分解能10ビットの場合 ±5LSB
動作モード	単発モード、繰り返しモード(注3)
アナログ入力端子	8本(AN0～AN7)
A/D変換開始条件	ADSTビットを“1”にするとA/D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. ADの周波数を10MHz以下になるようにしてください。

また、AVCCが4.2V未満の場合もfADを分周し、ADがfADの2分周以下になるようにしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

注3. 繰り返しモードは8ビットモード時のみ使用可能です。

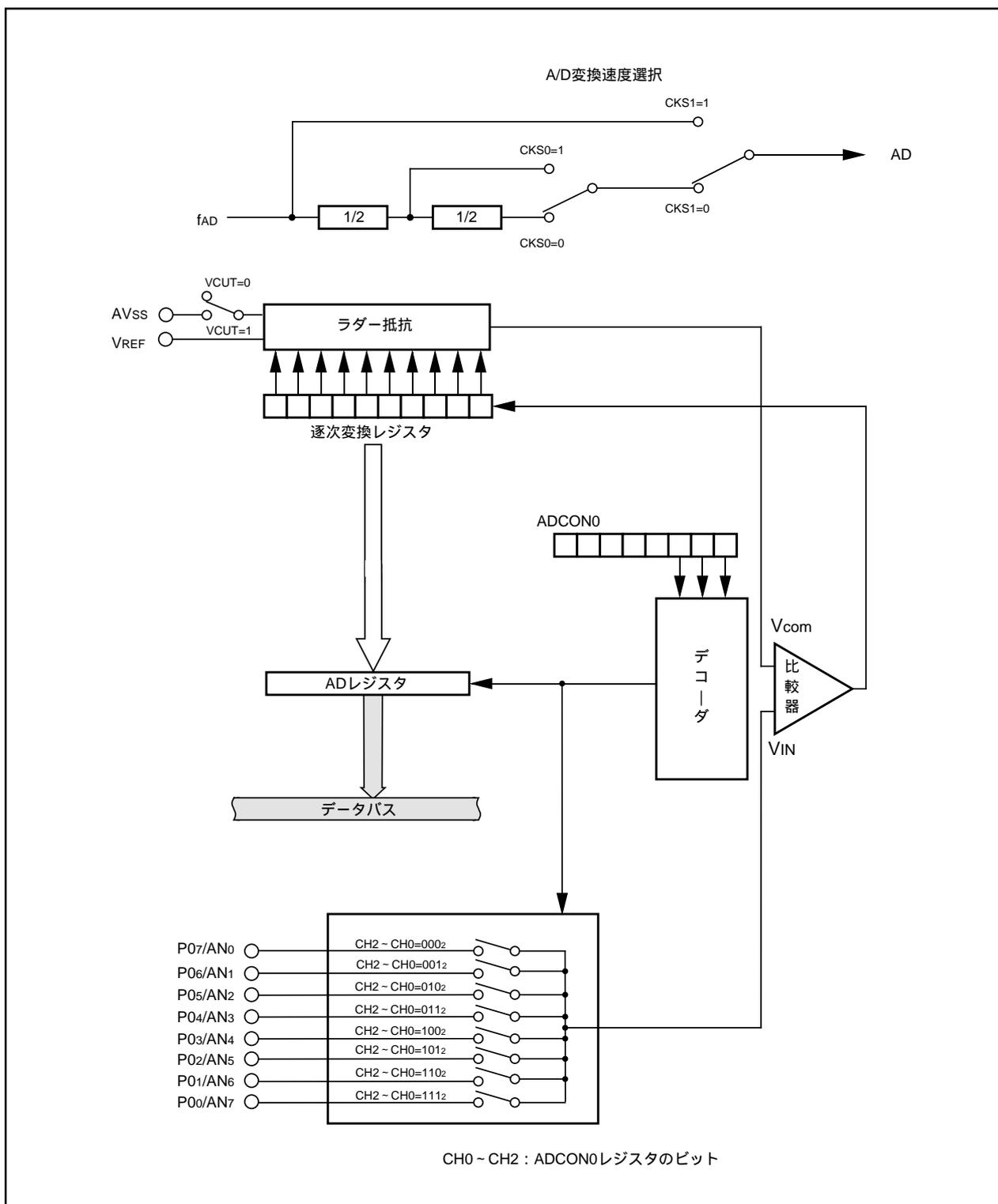


図14.1 A/Dコンバータのブロック図

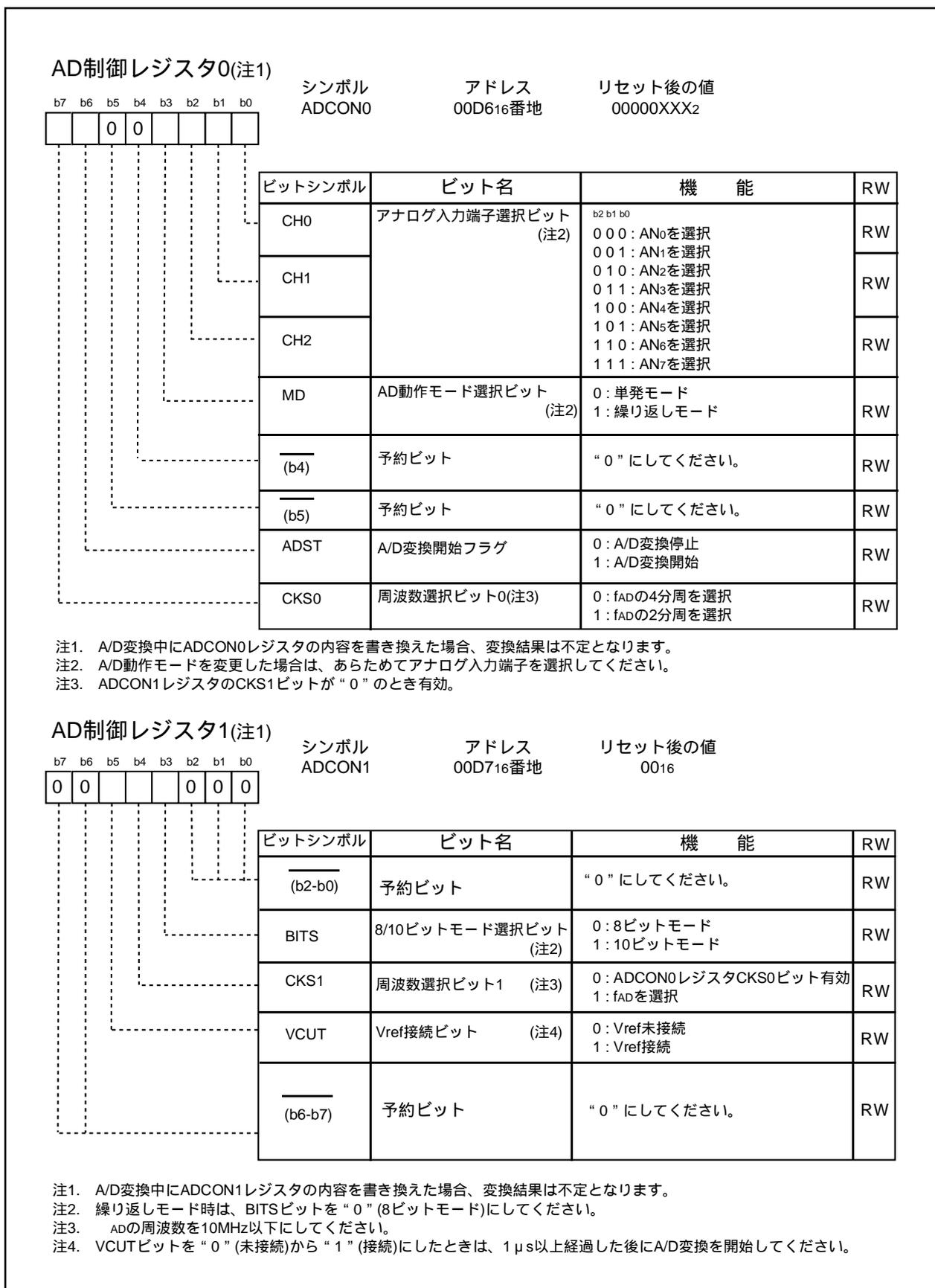


図14.2 ADCON0 ~ ADCON1レジスタ

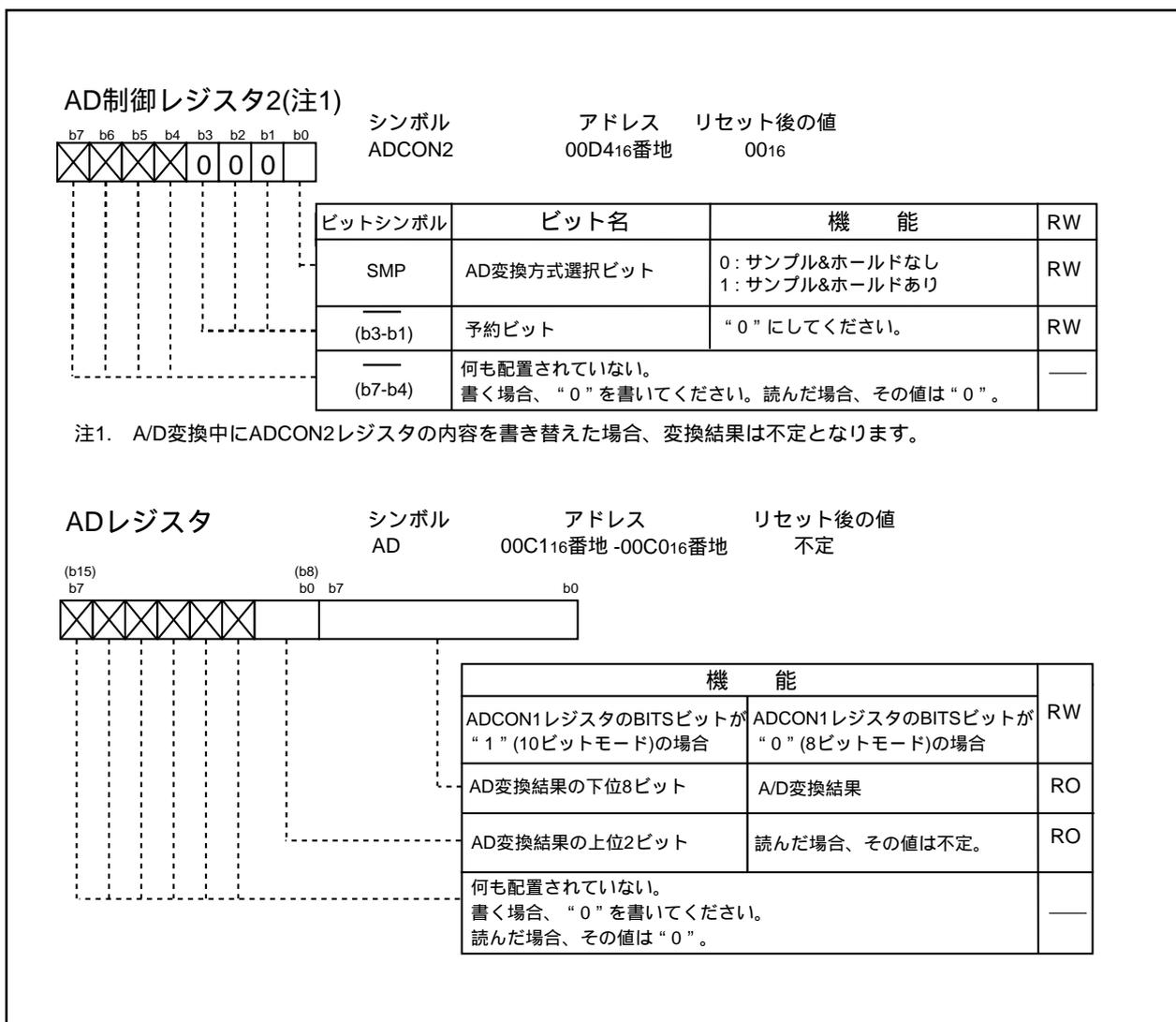


図14.3 ADCON2、ADレジスタ

14.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表14.2に単発モードの仕様、図14.4に単発モード時のADCON0～ADCON1レジスタを示します。

表14.2 単発モードの仕様

項目	仕様
機能	CH0～CH2ビットで選択した端子の入力電圧を1回A/D変換する
開始条件	ADSTビットを“1”にする
停止条件	A/D変換終了(ADSTビットが“0”になる) ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN0～AN7から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

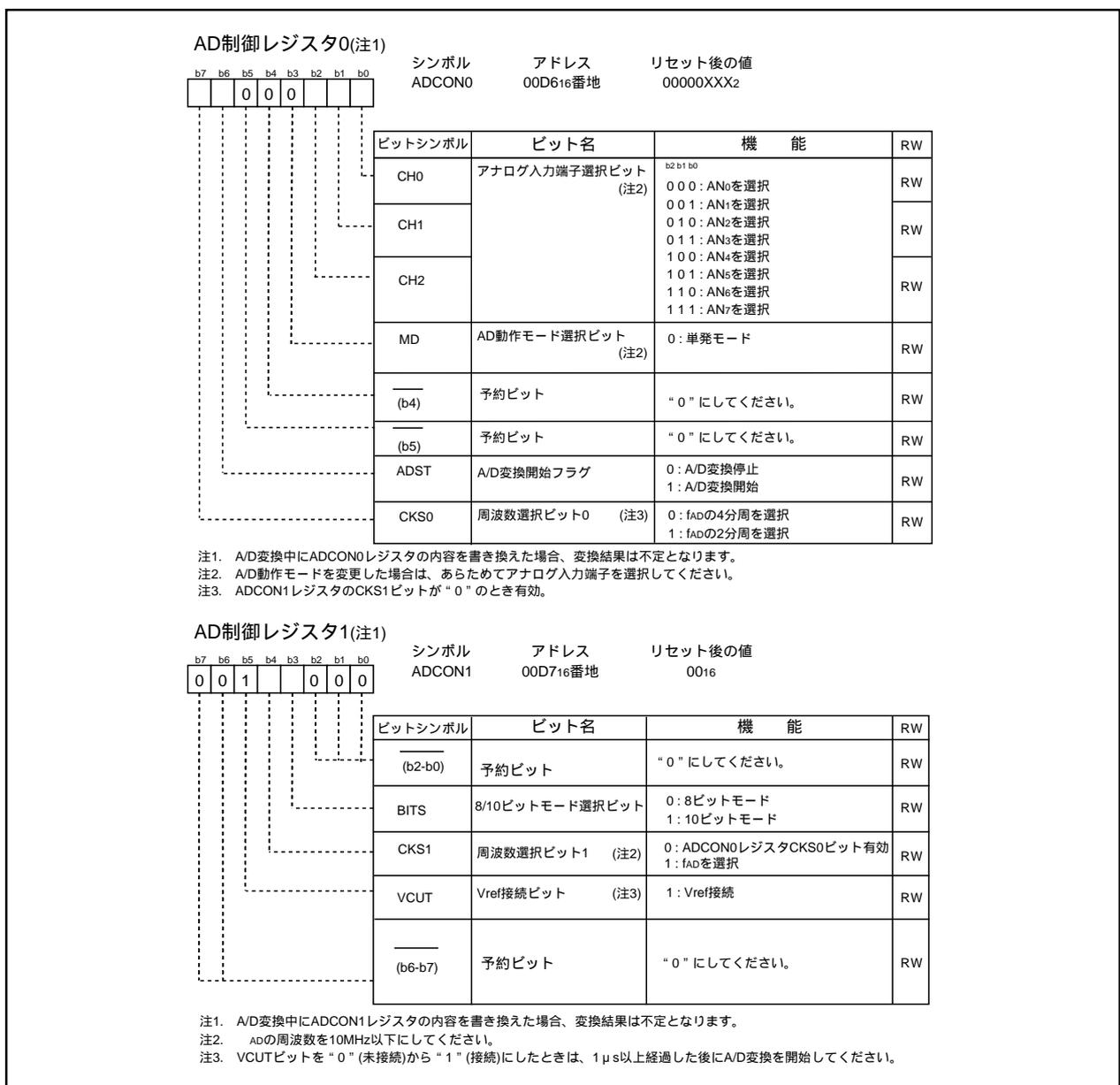


図14.4 単発モード時のADCON0～ADCON1レジスタ

14.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表14.3に繰り返しモードの仕様、図14.5に繰り返しモード時のADCON0～ADCON1レジスタを示します。

表14.3 繰り返しモードの仕様

項目	仕様
機能	CH0～CH2ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	ADSTビットを“1”にする
停止条件	ADSTビットを“0”にする
割り込み要求発生タイミング	発生しない
入力端子	AN0～AN7より1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

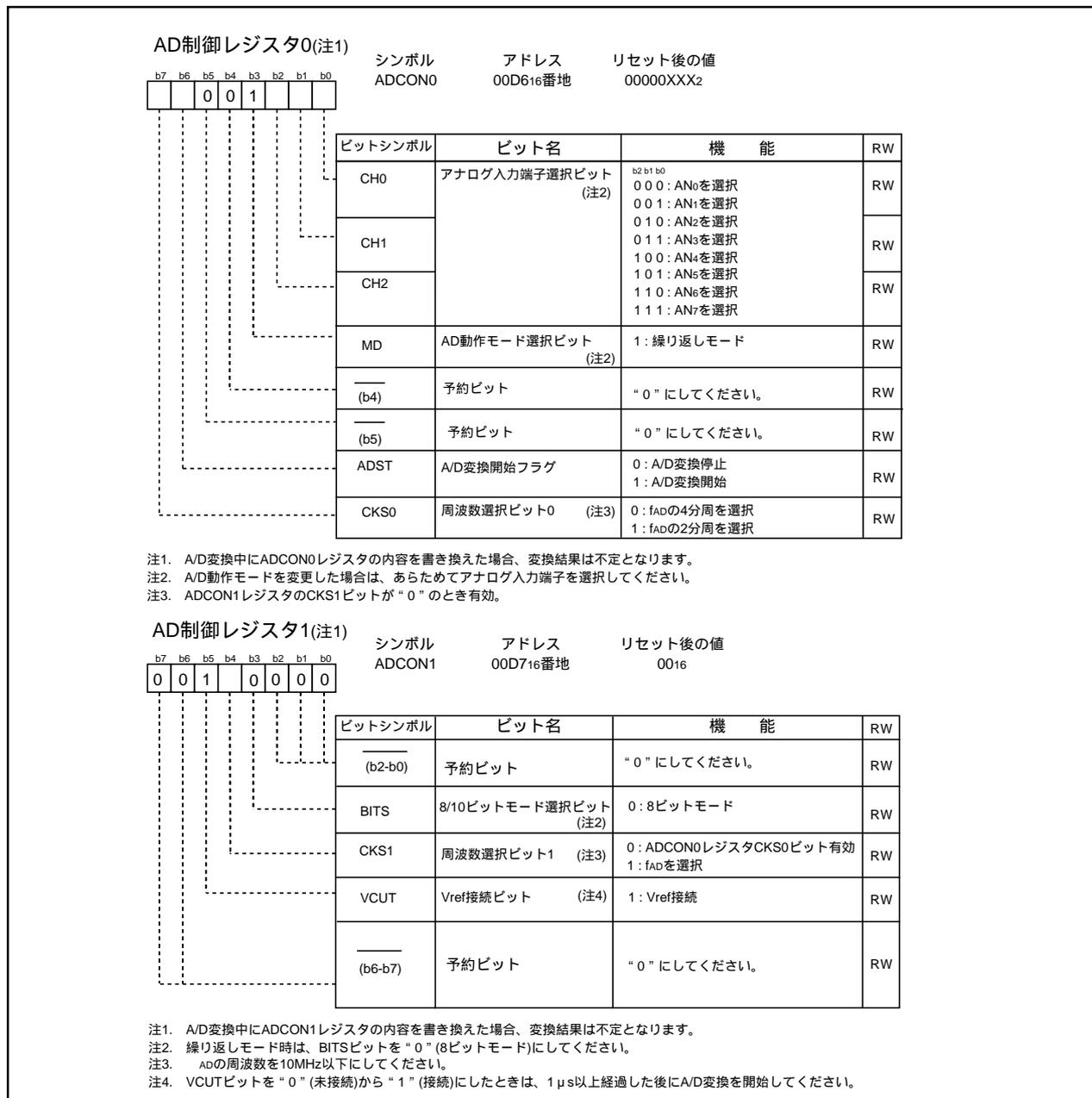


図14.5 繰り返しモード時のADCON0～ADCON1レジスタ

14.3 サンプル&ホールド

ADCON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

A/D変換を行う際は、サンプリング時間内に、マイコン内部の比較器容量に充電をしてください。図14.6にA/D変換タイミング図を示します。

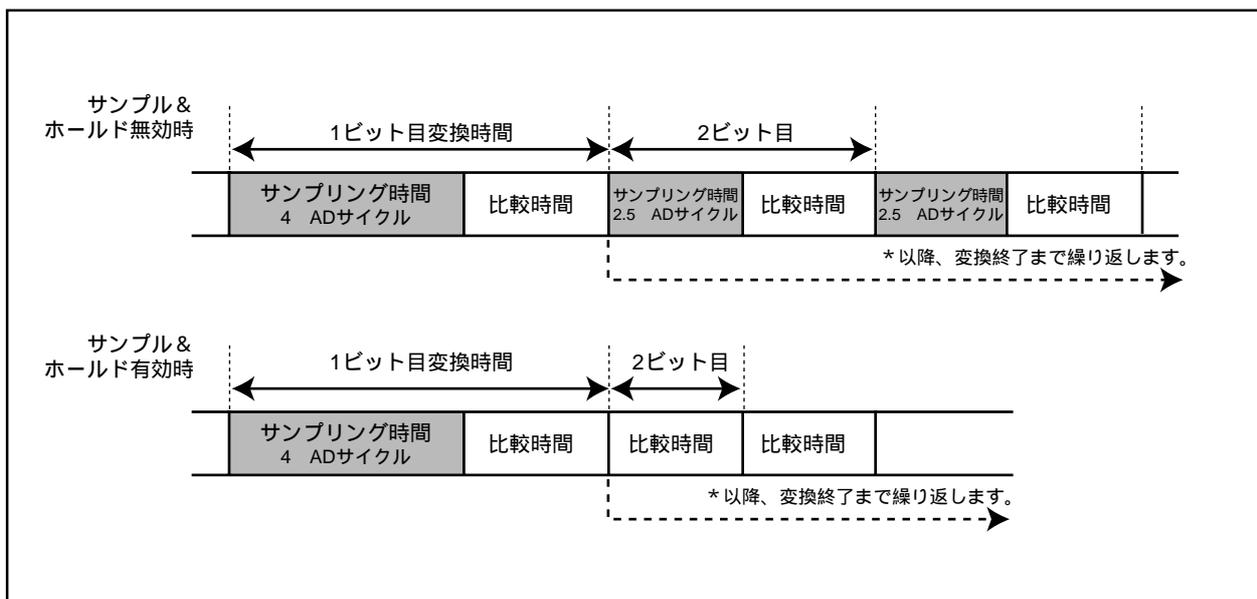


図14.6 A/D変換タイミング図

14.4 A/D変換サイクル数

図14.7にA/D変換サイクル数を示します。

A/D変換モード		変換時間	1ビット目変換時間		2ビット目以降の変換時間		終了処理
ビット数	変換時間	サンプリング時間	比較時間	サンプリング時間	比較時間		
サンプル&ホールドなし	8ビット	49 AD	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD
サンプル&ホールドなし	10ビット	59 AD	4 AD	2.0 AD	2.5 AD	2.5 AD	8.0 AD
サンプル&ホールドあり	8ビット	28 AD	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD
サンプル&ホールドあり	10ビット	33 AD	4 AD	2.5 AD	0.0 AD	2.5 AD	4.0 AD

図14.7 A/D変換サイクル数

14.5 アナログ入力内部等価回路

図14.8にアナログ入力内部等価回路を示します。

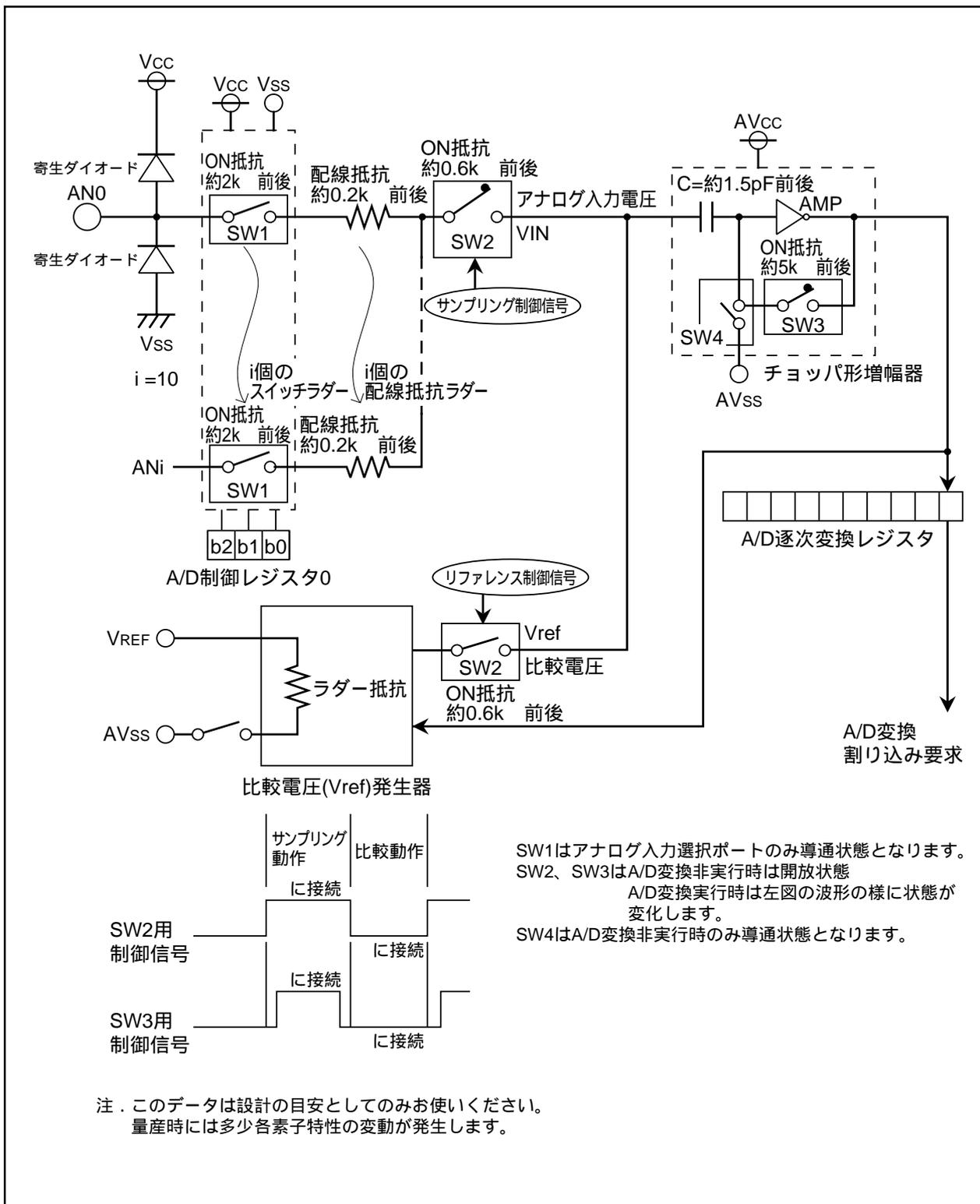


図14.8 アナログ入力内部等価回路

14.6 注入電流バイパス回路

図14.9に注入電流バイパス回路構成図を、図14.10に注入電流バイパス回路へVcc以上印加例を示します。

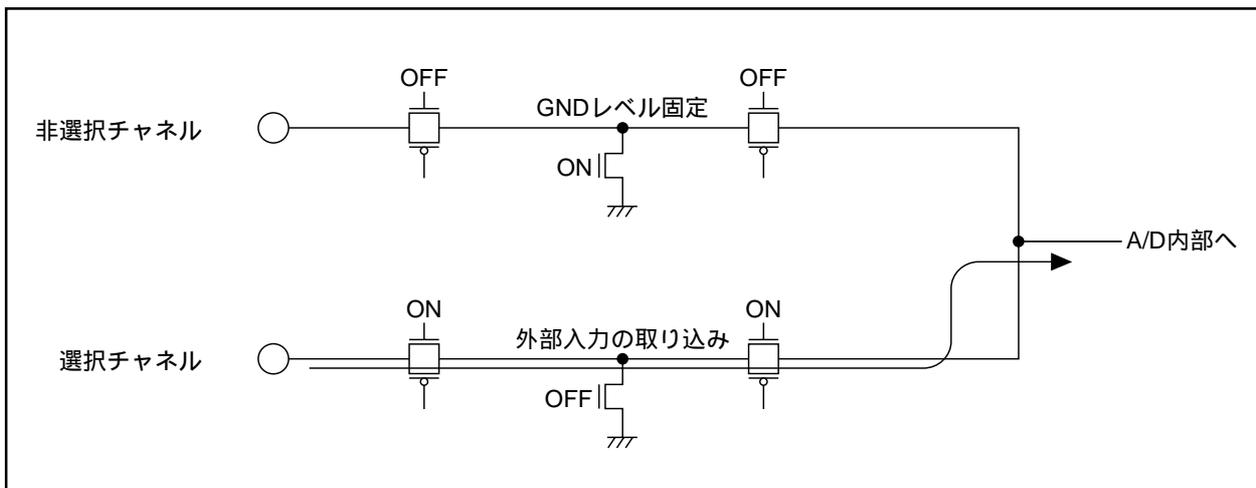


図14.9 注入電流バイパス回路構成図

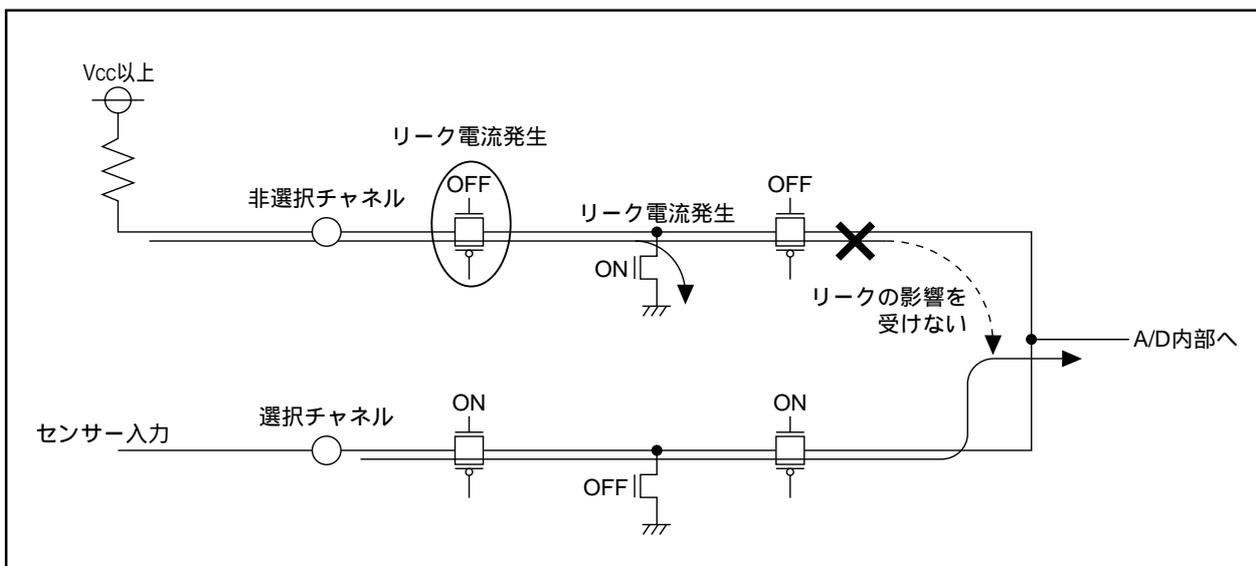


図14.10 注入電流バイパス回路へVcc以上印加例

14.7 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図14.11の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解されるレベル間隔をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$VCは一般にVC=VIN\left\{1-e^{-\frac{1}{C(R0+R)}t}\right\}$$

$$t=Tのとき、VC=VIN-\frac{X}{Y} \quad VIN=VIN\left(1-\frac{X}{Y}\right)より、$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$よって、R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図14.11にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなると、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(XIN)=10MHzのとき、サンプル&ホールド付きA/D変換モードではT=0.25μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.25μs、R=2.8k、C=1.5pF、X=0.1、Y=1024だから、

$$R0 = -\frac{0.25 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 2.8 \times 10^3 \quad 7.3 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大7.3k になります。

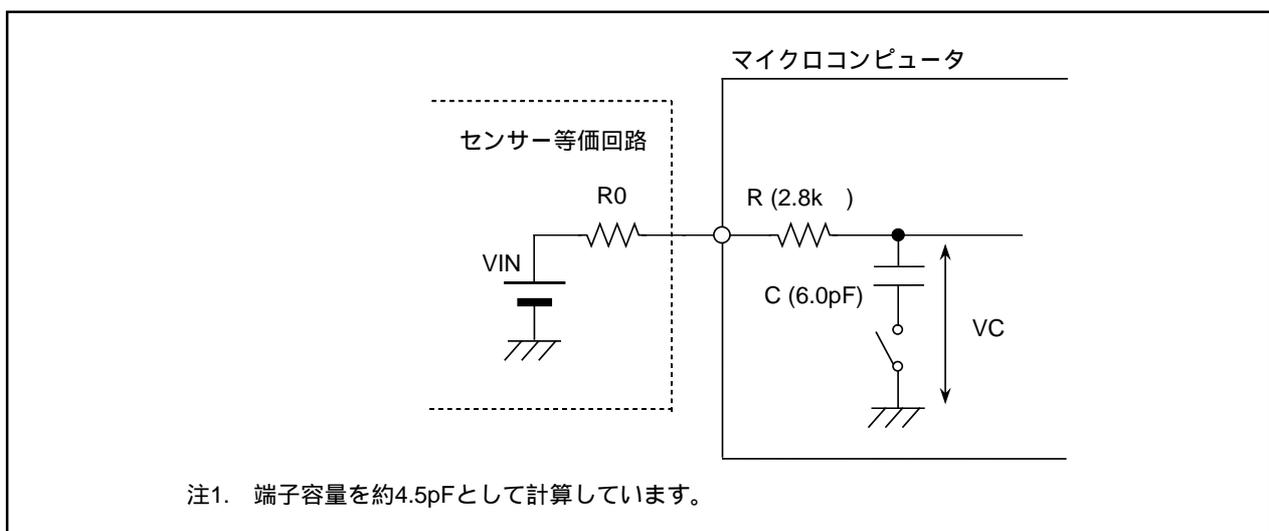


図14.11 アナログ入力端子と外部センサーの等価回路例

15. プログラマブル入出力ポート

15.1 機能説明

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0、P1、P30～P33、P37、P45の22本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4本ごとに、プルアップするかしないか選択できます。ポートP1はNチャンネル出力トランジスタの駆動能力を選択できます。駆動能力を“HIGH”に設定することで、LED駆動ポートとして使用できます。

メインクロック発振回路を使用しない場合、P46、P47を入力専用ポートとして使用できます。

図15.1～図15.4に入出力ポートの構成、図15.5に端子の構成を示します。

各端子は、入出力ポートまたは周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

15.1.1 ポートPi方向レジスタ(PDiレジスタ $i=0, 1, 3, 4$)

図15.6にPD0、PD1、PD3、PD4レジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

15.1.2 ポートPiレジスタ(Piレジスタ $i=0, 1, 3, 4$)

図15.7にP0、P1、P3、P4レジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読み、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

15.1.3 プルアップ制御レジスタ0、プルアップ制御レジスタ1(PUR0,PUR1レジスタ)

図15.8にPUR0レジスタ、PUR1レジスタを示します。

PUR0レジスタ、PUR1レジスタの各ビットによって、4端子ごとに、プルアップするかしないか選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

15.1.4 ポートP1駆動能力制御レジスタ(DRRレジスタ)

図15.8にDRRレジスタを示します。

ポートP1のNチャンネル出力トランジスタの駆動能力を制御するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

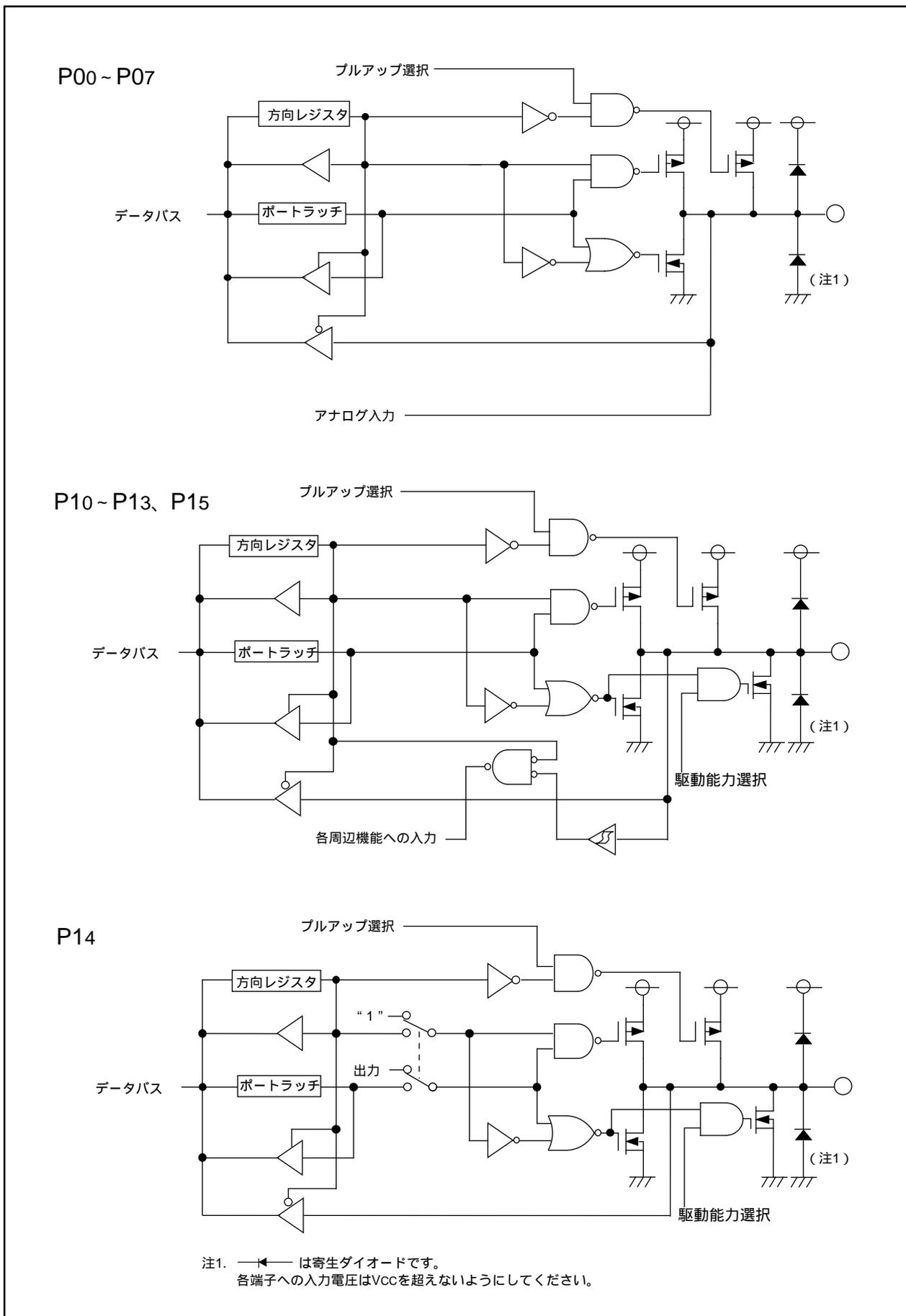


図15.1 プログラマブル入出力ポートの構成(1)

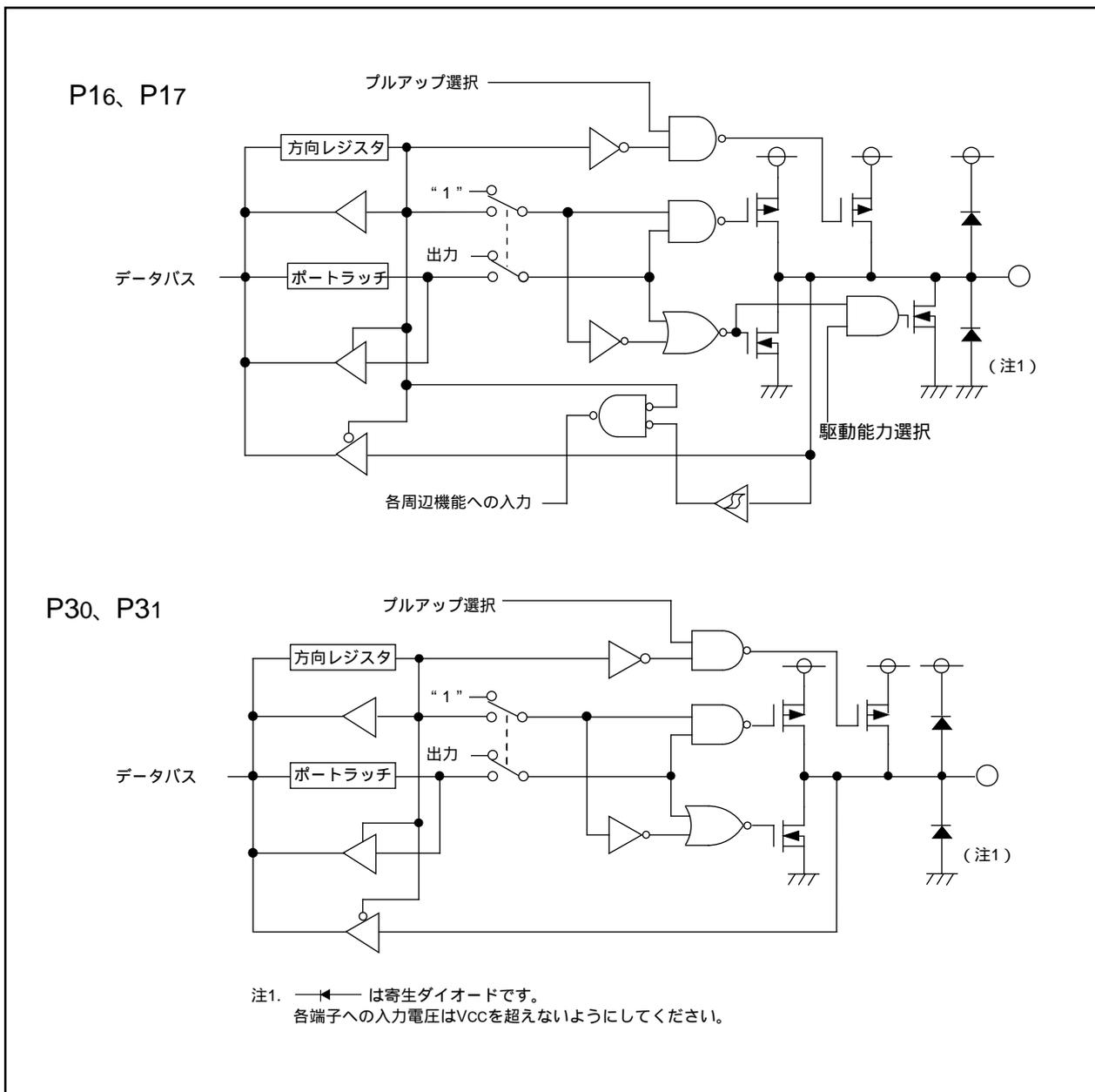


図15.2 プログラマブル入出力ポートの構成(2)

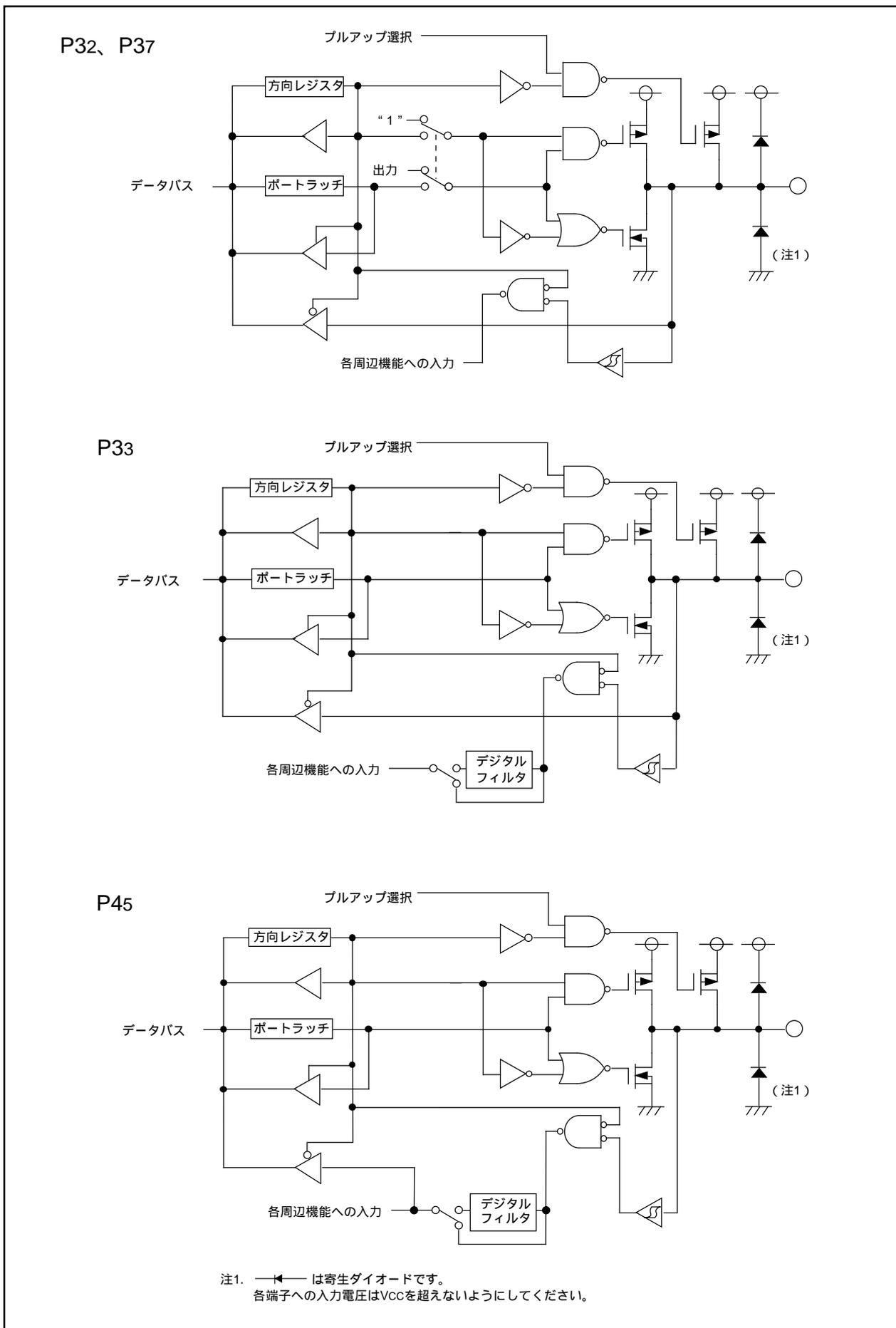


図15.3 プログラマブル入出力ポートの構成(3)

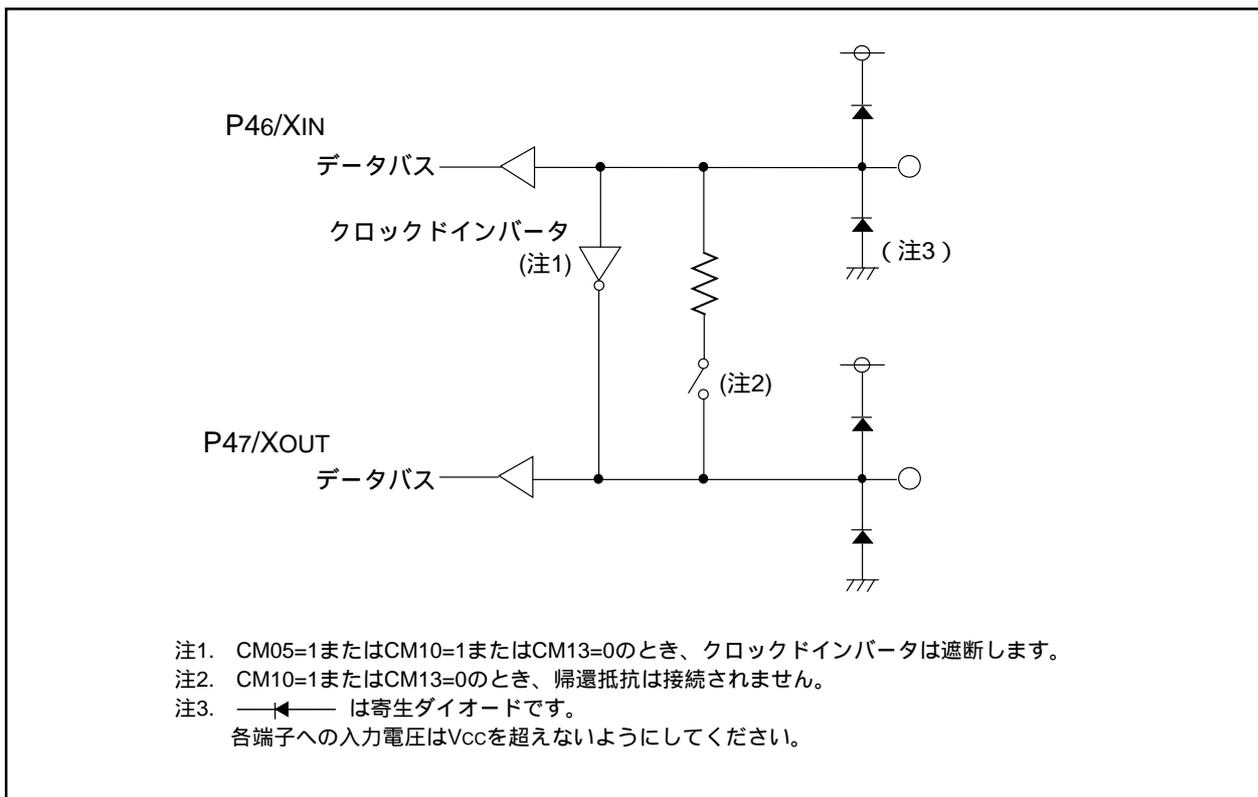


図15.4 プログラマブル入出力ポートの構成(4)

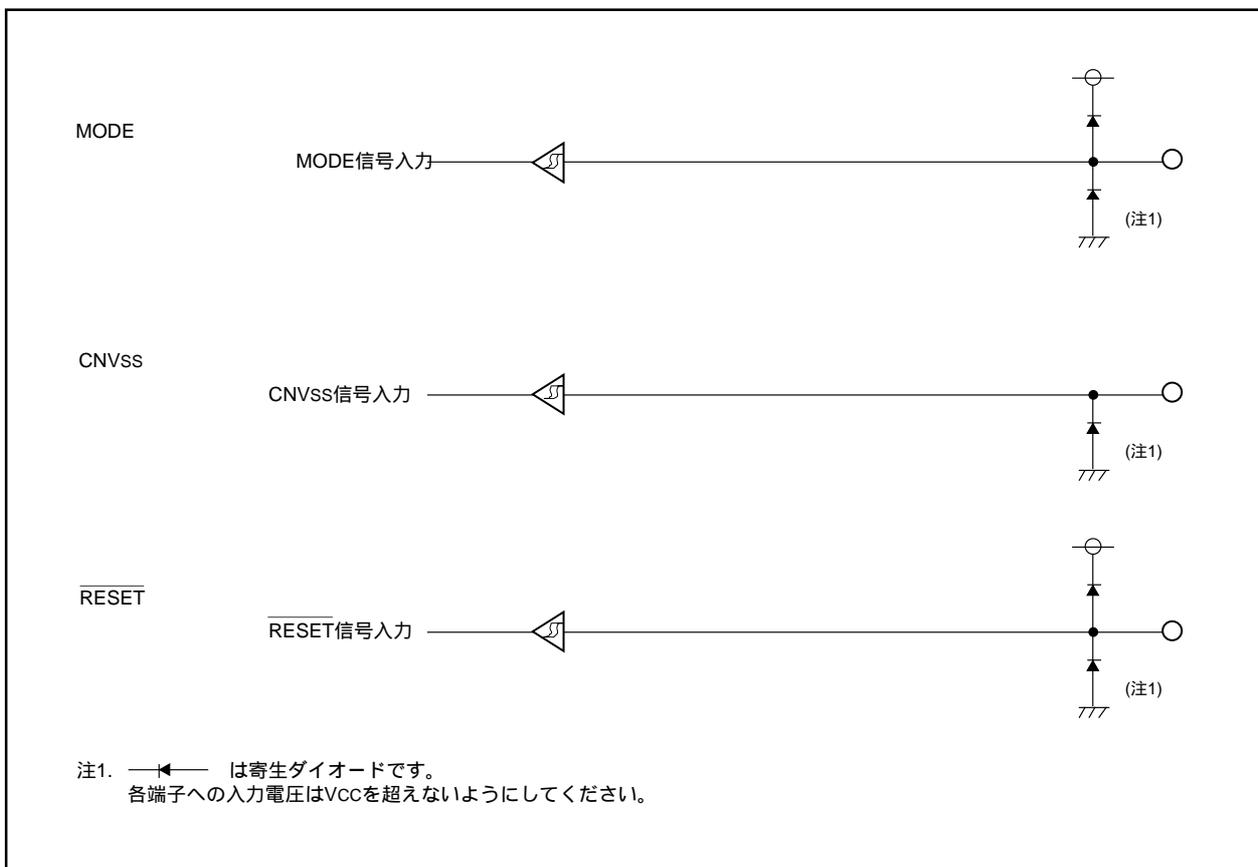


図15.5 端子の構成

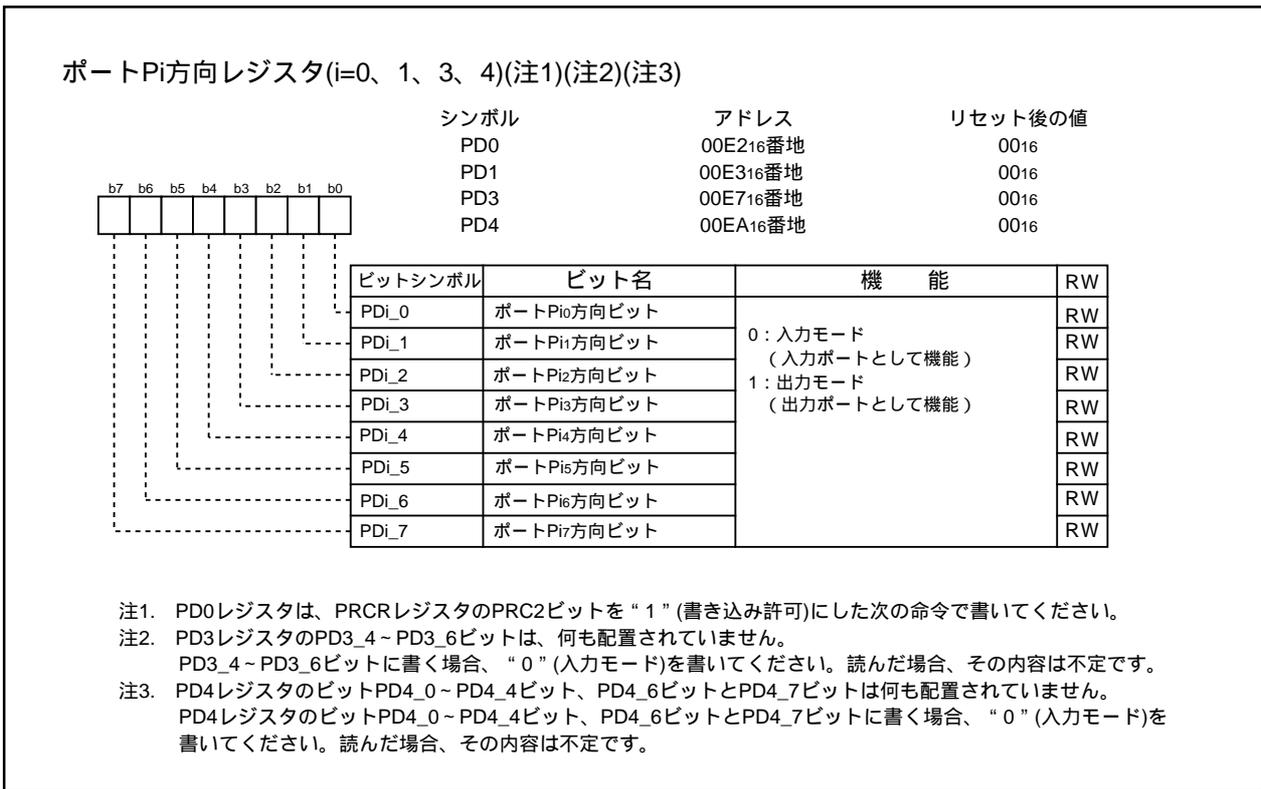


図15.6 PD0、PD1、PD3、PD4レジスタの構成

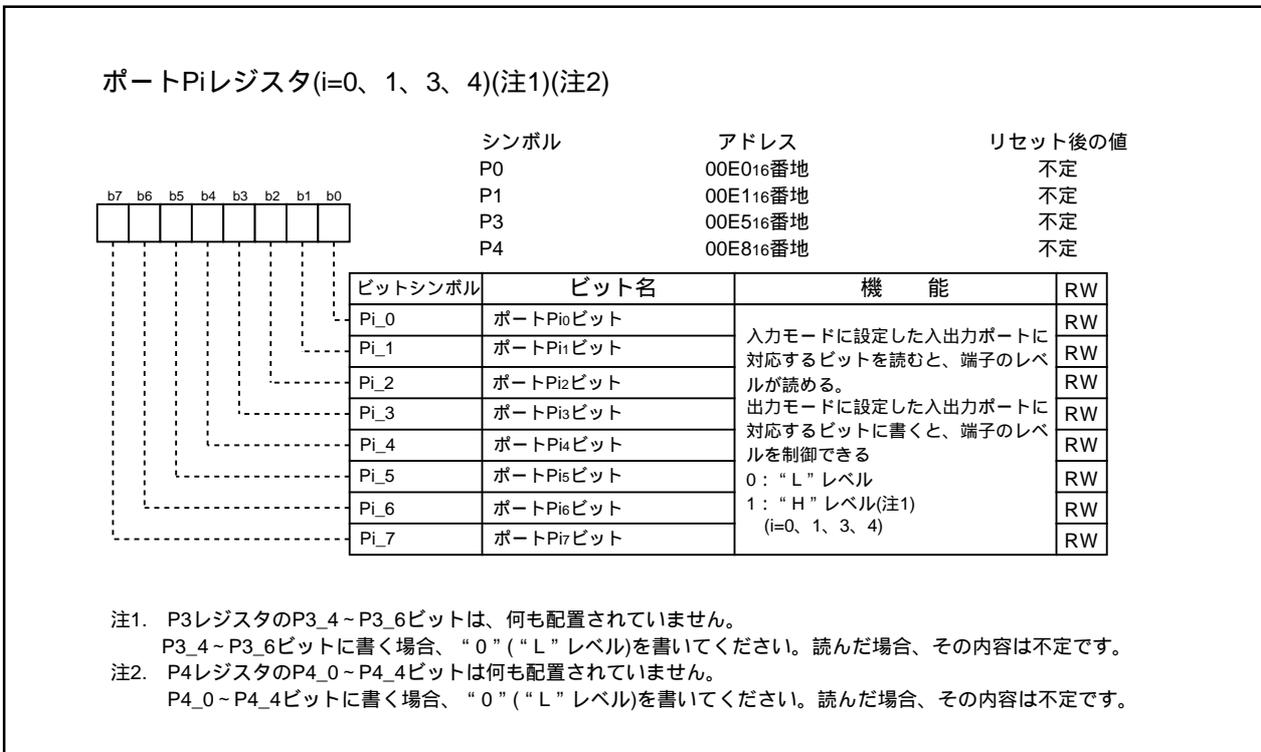


図15.7 P0、P1、P3、P4レジスタの構成

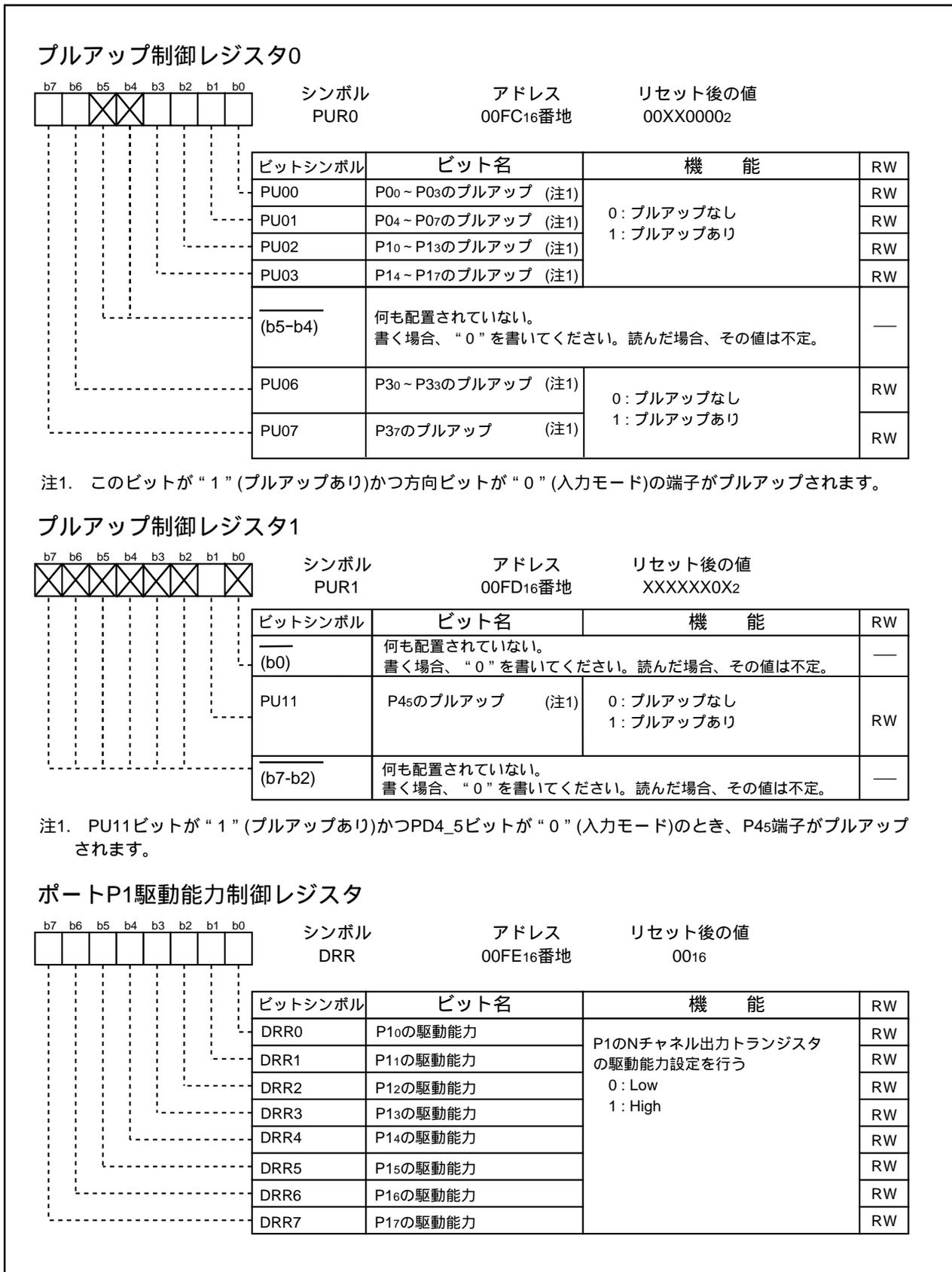


図15.8 PUR0、PUR1、DRRレジスタの構成

15.2 ポートの設定

表15.1～表15.23にポートの設定を示します。

表15.1 ポートP00/AN7/TxD11の設定

レジスタ	PD0	PUR0	ADCON0	UCON	U1MR	U1C0	機 能
ビット	PD0_0	PU00	CH2, CH1, CH0	TXD1SEL	SMD2、 SMD0	NCH	
設定値	0	0	× × ×	×	002	×	入力ポート(プルアップなし)
				0	× ×		
	0	1	× × ×	×	002	×	入力ポート(プルアップあり)
				0	× ×		
	0	0	1112	×	002	×	A/D入力(AN7)
				0	× ×		
1	×	× × ×	×	002	×	出力ポート	
			0	× ×			
×	×	× × ×	1	1 × × 1	0	TxD11	
×	0	× × ×	1	1 × × 1	1	TxD11、Nチャンネルオープン出力	

表15.2 ポートP01/AN6の設定

レジスタ	PD0	PUR0	ADCON0	機 能
ビット	PD0_1	PU00	CH2, CH1, CH0	
設定値	0	0	× × ×	入力ポート(プルアップなし)
			1	× × ×
	0	0	1102	A/D入力(AN6)
			1	× × ×

表15.3 ポートP02/AN5の設定

レジスタ	PD0	PUR0	ADCON0	機 能
ビット	PD0_2	PU00	CH2, CH1, CH0	
設定値	0	0	× × ×	入力ポート(プルアップなし)
			1	× × ×
	0	0	1012	A/D入力(AN5)
			1	× × ×

表15.4 ポートP03/AN4の設定

レジスタ	PD0	PUR0	ADCON0	機 能
ビット	PD0_3	PU00	CH2, CH1, CH0	
設定値	0	0	× × ×	入力ポート(プルアップなし)
			1	× × ×
	0	0	1002	A/D入力(AN4)
			1	× × ×

表15.5 ポートP04/AN3の設定

レジスタ	PD0	PUR0	ADCON0	機 能
ビット	PD0_4	PU01	CH2、CH1、CH0	
設定値	0	0	x x x	入力ポート(プルアップなし)
	0	1	x x x	入力ポート(プルアップあり)
	0	0	0112	A/D入力(AN3)
	1	x	x x x	出力ポート

表15.6 ポートP05/AN2の設定

レジスタ	PD0	PUR0	ADCON0	機 能
ビット	PD0_5	PU01	CH2、CH1、CH0	
設定値	0	0	x x x	入力ポート(プルアップなし)
	0	1	x x x	入力ポート(プルアップあり)
	0	0	0102	A/D入力(AN2)
	1	x	x x x	出力ポート

表15.7 ポートP06/AN1の設定

レジスタ	PD0	PUR0	ADCON0	機 能
ビット	PD0_6	PU01	CH2、CH1、CH0	
設定値	0	0	x x x	入力ポート(プルアップなし)
	0	1	x x x	入力ポート(プルアップあり)
	0	0	0012	A/D入力(AN1)
	1	x	x x x	出力ポート

表15.8 ポートP07/AN0の設定

レジスタ	PD0	PUR0	ADCON0	機 能
ビット	PD0_7	PU01	CH2、CH1、CH0	
設定値	0	0	x x x	入力ポート(プルアップなし)
	0	1	x x x	入力ポート(プルアップあり)
	0	0	0002	A/D入力(AN0)
	1	x	x x x	出力ポート

表15.9 ポートP10/ $\overline{KI0}$ の設定

レジスタ	PD1	PUR0	DRR	KIEN	P1	機 能
ビット	PD1_0	PU02	DRR0	KI0EN	P1_0	
設定値	0	0	×	×	×	入力ポート(プルアップなし)
	0	1	×	×	×	入力ポート(プルアップあり)
	0	0	×	1	×	$\overline{KI0}$ 入力
	1	×	0	×	×	出力ポート
	1	×	1	×	×	出力ポート(High駆動)

表15.10 ポートP11/ $\overline{KI1}$ の設定

レジスタ	PD1	PUR0	DRR	KIEN	P1	機 能
ビット	PD1_1	PU02	DRR1	KI1EN	P1_1	
設定値	0	0	×	×	×	入力ポート(プルアップなし)
	0	1	×	×	×	入力ポート(プルアップあり)
	0	0	×	1	×	$\overline{KI1}$ 入力
	1	×	0	×	×	出力ポート
	1	×	1	×	×	出力ポート(High駆動)

表15.11 ポートP12/ $\overline{KI2}$ の設定

レジスタ	PD1	PUR0	DRR	KIEN	P1	機 能
ビット	PD1_2	PU02	DRR2	KI2EN	P1_2	
設定値	0	0	×	×	×	入力ポート(プルアップなし)
	0	1	×	×	×	入力ポート(プルアップあり)
	0	0	×	1	×	$\overline{KI2}$ 入力
	1	×	0	×	×	出力ポート
	1	×	1	×	×	出力ポート(High駆動)

表15.12 ポートP13/ $\overline{KI3}$ の設定

レジスタ	PD1	PUR0	DRR	KIEN	機 能
ビット	PD1_3	PU02	DRR3	KI3EN	
設定値	0	0	×	×	入力ポート(プルアップなし)
	0	1	×	×	入力ポート(プルアップあり)
	0	0	×	1	$\overline{KI3}$ 入力
	1	×	0	×	出力ポート
	1	×	1	×	出力ポート(High駆動)

表15.13 ポートP14/TxD0の設定

レジスタ	PD1	PUR0	DRR	U0MR	U0C0	機 能
ビット	PD1_4	PU03	DRR4	SMD2、SMD0	NCH	
設定値	0	0	×	002	×	入力ポート(プルアップなし)
	0	1	×	002	×	入力ポート(プルアップあり)
	1	×	0	002	×	出力ポート
	1	×	1	002	×	出力ポート(High駆動)
	×	×	0	×1 1×	0	TxD0出力、CMOS出力
	×	×	1	×1 1×	0	TxD0出力、CMOS出力(High駆動)
	×	×	0	×1 1×	1	TxD0出力、Nチャンネルオープン出力
	×	×	1	×1 1×	1	TxD0出力、Nチャンネルオープン出力(High駆動)

表15.14 ポートP15/RxD0の設定

レジスタ	PD1	PUR0	DRR	機 能
ビット	PD1_5	PU03	DRR5	
設定値	0	0	×	入力ポート(プルアップなし)
	0	1	×	入力ポート(プルアップあり)
	0	0	×	RxD0入力
	1	×	0	出力ポート
	1	×	1	出力ポート(High駆動)

表15.15 ポートP16/CLK0の設定

レジスタ	PD1	PUR0	DRR	U0MR	機 能
ビット	PD1_6	PU03	DRR6	SMD2、SMD0、CKDIR	
設定値	0	0	×	0102以外	入力ポート(プルアップなし)
	0	1	×	0102以外	入力ポート(プルアップあり)
	0	0	×	××1	CLK α (外部クロック)入力
	1	×	0	0102以外	出力ポート
	1	×	1	0102以外	出力ポート(High駆動)
	×	×	0	0102	CLK α (内部クロック)出力
	×	×	1	0102	CLK α (内部クロック)出力(High駆動)

表15.16 ポートP17/INT1/CNTR0の設定

レジスタ	PD1	PUR0	DRR	TXMR	機 能
ビット	PD1_7	PU03	DRR5	TXMOD1、TXMOD0	
設定値	0	0	×	012以外	入力ポート(プルアップなし)
	0	1	×	012以外	入力ポート(プルアップあり)
	0	0	×	012以外	CNTR0/INT1入力
	1	×	0	012以外	出力ポート
	1	×	1	012以外	出力ポート(High駆動)
	×	×	0	012	CNTR0出力
	×	×	1	012	CNTR α (High駆動)

表15.17 ポートP30/CNTR0の設定

レジスタ	PD3	PUR0	TXMR	P3	機 能
ビット	PD3_0	PU06	TXCNT	P3_0	
設定値	0	0	0	×	入力ポート(プルアップなし)
	0	1	0	×	入力ポート(プルアップあり)
	1	×	0	×	出力ポート
	×	×	1	×	CNTR0出力

表15.18 ポートP31/TZOUTの設定

レジスタ	PD3	PUR0	TYZMR	TYZOC	P3	機 能
ビット	PD3_1	PU06	TZMOD1、TZMOD0	TZOCNT	P3_1	
設定値	0	0	002	×	×	入力ポート(プルアップなし)
			012	1		
	0	1	002	×	×	入力ポート(プルアップあり)
			012	1		
	1	×	002	×	×	出力ポート
			012	1		
	×	×	1X	×	×	TZOUT出力
			012	0		

表15.19 ポートP32/INT2/CNTR1の設定

レジスタ	PD3	PUR0	TYZMR	TYZOC	P3	機 能
ビット	PD3_2	PU06	TYMOD1	TZOCNT	P3_2	
設定値	0	0	0	1	×	入力ポート(プルアップなし)
	0	1	0	1	×	入力ポート(プルアップあり)
	0	0	0	1	×	CNTR1/INT2入力
	1	×	0	1	×	出力ポート
	×	×	1	0	×	CNTR1出力

表15.20 ポートP33/INT3/TCINの設定

レジスタ	PD3	PUR0	機 能
ビット	PD3_3	PU06	
設定値	0	0	入力ポート(プルアップなし)
	0	1	入力ポート(プルアップあり)
	0	0	TCIN/INT3入力
	1	×	出力ポート

表15.21 ポートP37/TxD10/RxD1の設定

レジスタ	PD3	PUR0	UCON	U1MR	U1C0	機 能
ビット	PD3_7	PU07	TXD1EN	SMD2、SMD0	NCH	
設定値	0	0	×	002	×	入力ポート(プルアップなし)
	0	1	×	002	×	入力ポート(プルアップあり)
	0	0	0	1×	×	RxD1
				×		
	1	×	×	002	×	出力ポート
	×	×	1	1×	0	TxD0出力、CMOS出力
				×		
×	×	1	1×	1	TxD10出力、Nチャンネルオープン出力	
			×			

表15.22 ポートP45/INT0の設定

レジスタ	PD4	PUR1	INTEN	機 能
ビット	PD4_5	PU11	INT0EN	
設定値	0	0	0	入力ポート(プルアップなし)
	0	1	0	入力ポート(プルアップあり)
	0	0	1	INT0入力
	1	×	×	出力ポート

表15.23 ポートXIN/P46とXOUT/P47の設定

レジスタ	CM1	CM1	CM0	回路仕様		機 能
	ビット	CM13	CM10	CM05	発振バッファ	
設定値	1	1	1	OFF	OFF	XIN-XOUT発振停止
	1	0	1	OFF	ON	外部XIN入力、XOUTは' H '出力
	1	0	1	OFF	ON	XIN-XOUT発振停止
	1	0	0	ON	ON	XIN-XOUT発振
	0	×	×	OFF	OFF	入力ポート

15.3 未使用端子の処理

未使用端子の処理例を、表15.24に示します。

表15.24 未使用端子の処理例

端子名	処理内容
ポートP0、P1、 P30～P33、P37、P45	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン) または端子ごとに抵抗を介してVccに接続(プルアップ) 出力モードに設定し、端子を解放 (注1) (注2)
ポートP46、P47	抵抗を介して、Vccに接続(プルアップ) (注2)
AVcc/VREF	Vccに接続
AVss	Vssに接続

- 注1. 出力モード設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不安定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

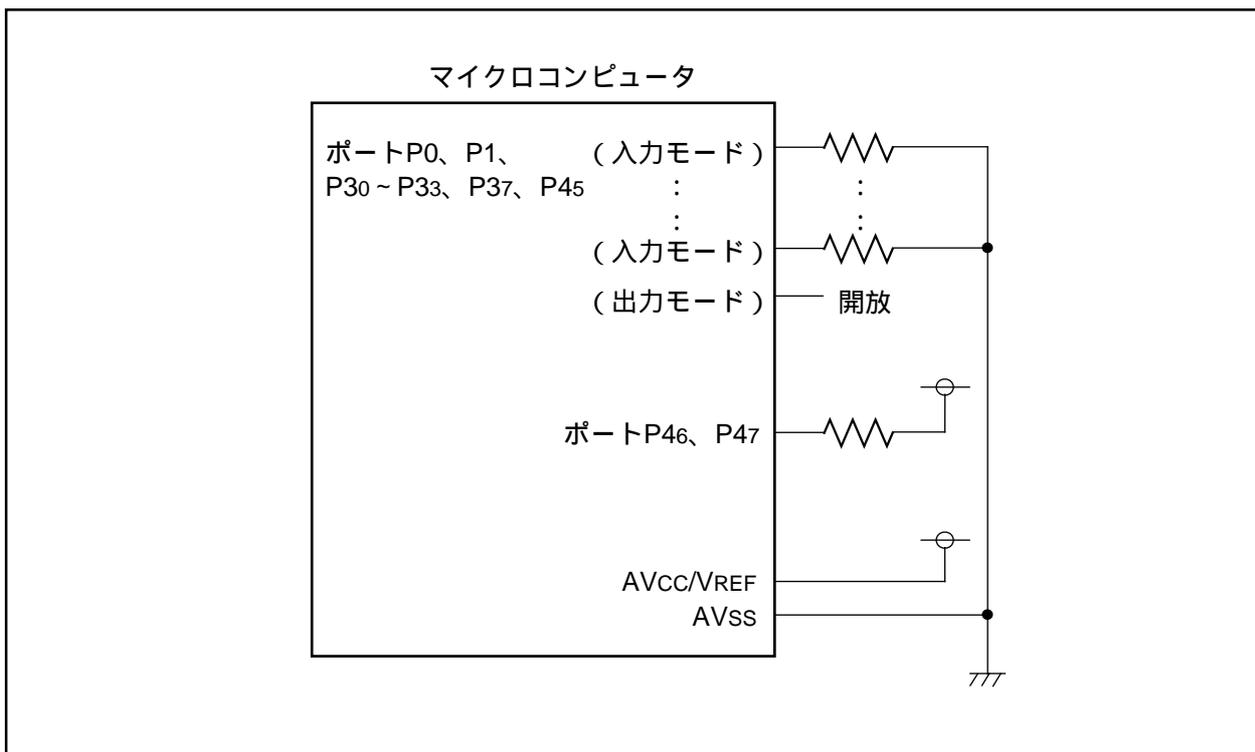


図15.9 未使用端子の処理例

16. 電気的特性

表16.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{cc}	電源電圧	V _{cc} = AV _{cc}	- 0.3 ~ 6.5	V
AV _{cc}	アナログ電源電圧	V _{cc} = AV _{cc}	- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{cc} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{cc} + 0.3	V
P _d	消費電力	T _{opr} = 25	300	mW
T _{opr}	動作周囲温度		- 20 ~ 85 / - 40 ~ 85 (Dバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表16.2 推奨動作条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{cc}	電源電圧		2.7		5.5	V
AV _{cc}	アナログ電源電圧			V _{cc} (注3)		V
V _{ss}	電源電圧			0		V
AV _{ss}	アナログ電源電圧			0		V
V _{IH}	“H” 入力電圧		0.8V _{cc}		V _{cc}	V
V _{IL}	“L” 入力電圧		0		0.2V _{cc}	V
I _{OH(sum)}	“H” 尖頭総出力電流	全端子のI _{OH(peak)} の総和			- 60	mA
I _{OH(peak)}	“H” 尖頭出力電流				- 10	mA
I _{OH(avg)}	“H” 平均出力電流				- 5	mA
I _{OL(sum)}	“L” 尖頭総出力電流	全端子のI _{OL(peak)} の総和			60	mA
I _{OL(peak)}	“L” 尖頭出力電流	P10 ~ P17以外			10	mA
		P10 ~ P17	駆動能力HIGH		30	mA
			駆動能力LOW		10	mA
I _{OL(avg)}	“L” 平均出力電流	P10 ~ P17以外			5	mA
		P10 ~ P17	駆動能力HIGH		15	mA
			駆動能力LOW		5	mA
f _(XIN)	メインクロック入力発振周波数	3.0 V V _{cc} 5.5 V	0		16	MHz
		2.7 V V _{cc} < 3.0 V	0		10	MHz

注1. 指定のない場合は、V_{cc} = AV_{cc} = 2.7 V ~ 5.5 V、T_{opr} = - 20 ~ 85 / - 40 ~ 85 です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. V_{cc}=AV_{cc}にしてください。

表16.3 A/Dコンバータ特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	Vref = Vcc			10	Bit
-	絶対精度	10ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V		±3	LSB
		8ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V		±2	LSB
		10ビットモード	AD = 10 MHz, Vref = Vcc = 3.3 V (注3)		±5	LSB
		8ビットモード	AD = 10 MHz, Vref = Vcc = 3.3 V (注3)		±2	LSB
Rladder	ラダ - 抵抗	Vref = Vcc	10		40	k
tconv	変換時間	10ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V	3.3		μs
		8ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V	2.8		μs
Vref	基準電圧			Vcc (注4)		V
VIA	アナログ入力電圧		0		Vref	V
-	A/D動作クロック	サンプル&ホールドなし	0.25		10	MHz
	周波数 (注2)	サンプル&ホールドあり	1		10	MHz

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = -20 ~ 85 / -40 ~ 85 です。

注2. fADが10 MHzを超える場合は分周し、A/D動作クロック周波数(AD)が10 MHz以下になるようにしてください。

注3. AVccが4.2 V未満の場合はfADを分周し、A/D動作クロック周波数(AD)がfAD/2以下になるように調整してください。

注4. Vcc=Vrefにしてください。

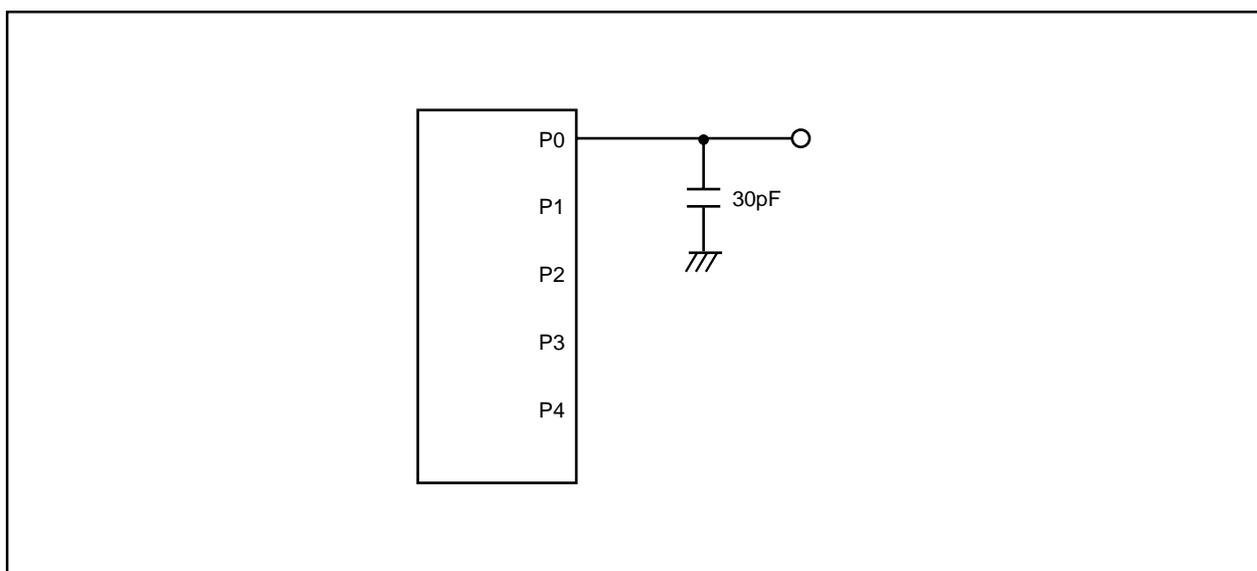


図16.1 ポートP0～P4の測定回路

表16.4 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数(注2)		1000 (注3)			回
-	バイトプログラム時間			50	400	μ s
-	ブロックイレーズ時間			0.4	9	s
td(SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
-	イレーズサスペンドリクエスト間隔		10			ms
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧		2.7		5.5	V
-	書き込み、消去時の温度		0		60	
-	データ保持時間(注7)	周囲温度= 55	20			年

注1. 指定のない場合は、 $V_{cc} = AV_{cc} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = 0 \sim 60$ です。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回($n = 1000, 10000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、2KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを2048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば、一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残り、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表16.5 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数(注2)		10000 (注3)			回
-	バイトプログラム時間 (プログラム/イレーズ回数 1000回)			50	400	μ s
-	バイトプログラム時間 (プログラム/イレーズ回数 > 1000回)			65		μ s
-	ブロックイレーズ時間 (プログラム/イレーズ回数 1000回)			0.2	9	s
-	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1000回)			0.3		s
t_d (SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
-	イレーズサスペンドリクエスト間隔		10			ms
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧		2.7		5.5	V
-	書き込み、消去時の温度		- 20 (注8)		85	
-	データ保持時間(注9)	周囲温度= 55	20			年

注1. 指定のない場合は、 $V_{CC} = AV_{CC} = 2.7V \sim 5.5V$ 、 $T_{opr} = -20 \sim 85 / -40 \sim 85$ です。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回($n = 1000, 10000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、2KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを2048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. プログラム、イレーズ回数が1000回を超えたときのブロックA、ブロックBの規格です。1000回までのバイトプログラム時間はプログラム領域と同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込む番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば、一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。

注8. Dバージョンは - 40 。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

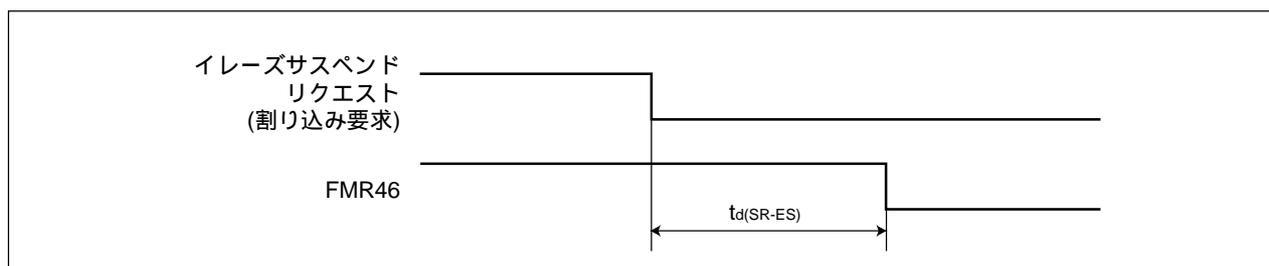


図16.2 消去動作からイレーズサスペンドへの遷移時間

表16.6 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間 (注2)		1		2000	μs
td(R-S)	STOP解除時間 (注3)				150	μs

注1. 測定条件はVcc = AVcc = 2.7 V ~ 5.5 V、T_{opr} = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、CPUクロックの供給が開始するまでの時間です。

表16.7 電気的特性(1) [Vcc = 5 V]

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	“ H ” 出力電圧	XOUT以外	IOH = - 5 mA	Vcc - 2.0		Vcc	V
			IOH = - 200 μA	Vcc - 0.3		Vcc	V
		XOUT	駆動能力HIGH IOH = - 1 mA	Vcc - 2.0		Vcc	V
			駆動能力LOW IOH = - 500 μA	Vcc - 2.0		Vcc	V
VOL	“ L ” 出力電圧	P10 ~ P17、 XOUT以外	IO _L = 5 mA			2.0	V
			IO _L = 200 μA			0.45	V
		P10 ~ P17	駆動能力HIGH IO _L = 15 mA			2.0	V
			駆動能力LOW IO _L = 5 mA			2.0	V
		XOUT	駆動能力LOW IO _L = 200 μA			0.45	V
			駆動能力HIGH IO _L = 1 mA			2.0	V
			駆動能力LOW IO _L = 500 μA			2.0	V
VT+、VT-	ヒステリシス	INT0、INT1、INT2、INT3、 KI0、KI1、KI2、KI3、 CNTR0、CNTR1、TCIN、 RxD0、RxD1、P45		0.2		1.0	V
		RESET		0.2		2.2	V
I _{IH}	“ H ” 入力電流		V _I = 5 V			5.0	μA
I _{IL}	“ L ” 入力電流		V _I = 0 V			- 5.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0 V	30	50	167	k
R _{fXIN}	帰還抵抗	XIN			1.0		M
f _{RING}	オンチップオシレータ発振周波数			40	125	250	kHz
V _{RAM}	RAM保持電圧		ストップモード時	2.0			V

注1. 指定のない場合は、Vcc = AVcc = 4.2 V ~ 5.5 V、T_{opr} = - 20 ~ 85 / - 40 ~ 85 、f(XIN) = 20 MHzです。

表16.8 電気的特性(2) [Vcc = 5 V] (指定のない場合は、Topr = - 40 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 3.3 V ~ 5.5 V) シングルチップモード で、出力端子は開放、 その他の端子はVss	高速モード	XIN = 16 MHz (方形波) オンチップオシレータ発振 = 125 kHz 分周なし		8	14	mA
			XIN = 10 MHz (方形波) オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 16 MHz (方形波) オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 10 MHz (方形波) オンチップオシレータ発振 = 125 kHz 8分周		2		mA
		オンチップ オシレータ モード	メインクロック停止 オンチップオシレータ発振 = 125 kHz 8分周		470	900	μA
		ウェイトモード	メインクロック停止 オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注1) 周辺クロック動作		40	80	μA
		ウェイトモード	メインクロック停止 オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注1) 周辺クロック停止		38	76	μA
		ストップモード	メインクロック停止、Topr = 25 オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止		0.8	3.0	μA

注1. タイマYをタイマモードで動作させています。

タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=5V$]

表16.9 XIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	62.5		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	30		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	30		ns

表16.10 CNTR0入力、CNTR1入力、 $\overline{INT2}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(CNTR0)$	CNTR0入力サイクル時間	100		ns
$t_{WH}(CNTR0)$	CNTR0入力“H”パルス幅	40		ns
$t_{WL}(CNTR0)$	CNTR0入力“L”パルス幅	40		ns

表16.11 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TCIN)$	TCIN入力サイクル時間	400 (注1)		ns
$t_{WH}(TCIN)$	TCIN入力“H”パルス幅	200 (注2)		ns
$t_{WL}(TCIN)$	TCIN入力“L”パルス幅	200 (注2)		ns

注1. タイマCのキャプチャ機能を使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのキャプチャ機能を使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

表16.12 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_c(CK)$	CLKi入力サイクル時間	200		ns
$t_w(CKH)$	CLKi入力“H”パルス幅	100		ns
$t_w(CKL)$	CLKi入力“L”パルス幅	100		ns
$t_d(C-Q)$	TxDi出力遅延時間		80	ns
$t_h(C-Q)$	TxDiホールド時間	0		ns
$t_{su}(D-C)$	RxDi入力セットアップ時間	35		ns
$t_h(C-D)$	RxDi入力ホールド時間	90		ns

表16.13 外部割り込み $\overline{INT0}$ 入力

記号	項目	規格値		単位
		最小	最大	
$t_w(INH)$	$\overline{INT0}$ 入力“H”パルス幅	250 (注1)		ns
$t_w(INL)$	$\overline{INT0}$ 入力“L”パルス幅	250 (注2)		ns

注1. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

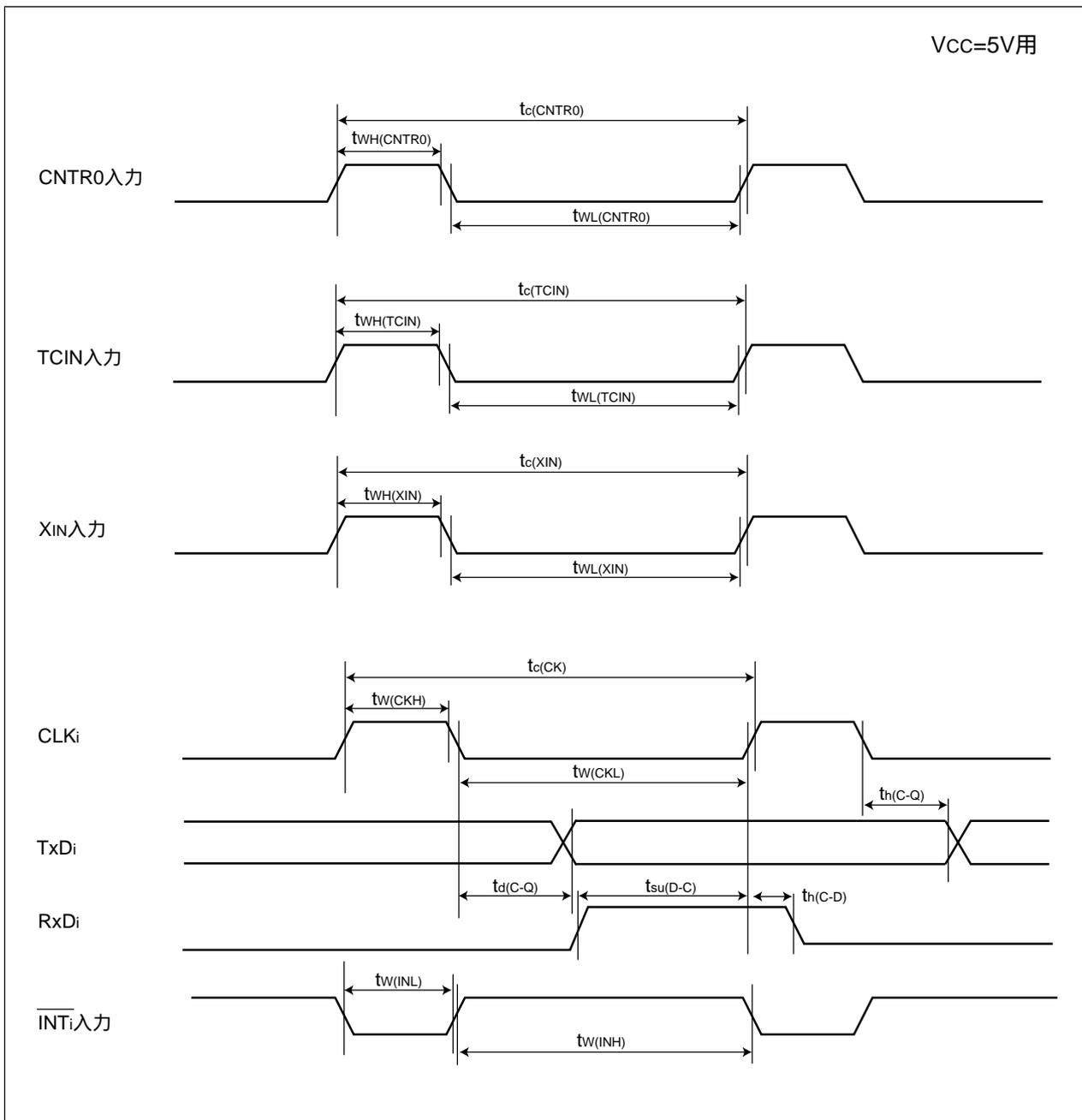
図16.3 V_{CC}=5V時のタイミング

表16.14 電気的特性(3) [Vcc = 3 V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	XOUT以外	IOH = - 1 mA		Vcc - 0.5		Vcc	V
		XOUT	駆動能力HIGH	IOH = - 0.1 mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	IOH = - 50 μ A	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	P10 ~ P17、 XOUT以外	IOL = 1 mA				0.5	V
		P10 ~ P17	駆動能力HIGH	IOL = 2 mA			0.5	V
			駆動能力LOW	IOL = 1 mA			0.5	V
		XOUT	駆動能力HIGH	IOL = 0.1 mA			0.5	V
			駆動能力LOW	IOL = 50 μ A			0.5	V
VT+、VT-	ヒステリシス	INT0、INT1、INT2、INT3、 KI0、KI1、KI2、KI3、 CNTR0、CNTR1、TCIN、 RxD0、RxD1、P45			0.2		0.8	V
		RESET			0.2		1.8	V
IiH	“H”入力電流		Vi = 3 V				4.0	μ A
IiL	“L”入力電流		Vi = 0 V				- 4.0	μ A
RPULLUP	プルアップ抵抗		Vi = 0 V		66	160	500	k
RiXIN	帰還抵抗	XIN				3.0		M
fRING	オンチップオシレータ発振周波数				40	125	250	kHz
VRAM	RAM保持電圧		ストップモード時		2.0			V

注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 3.3 V、Topr = - 20 ~ 85 / - 40 ~ 85、f(XIN) = 10 MHzです。

表16.15 電気的特性(4) [Vcc = 3 V] (指定のない場合は、Topr = - 40 ~ 85)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
ICC	電源電流 (Vcc = 2.7 V ~ 3.3 V) シングルチップモード で、出力端子は開放、 その他の端子はVss	高速モード	XIN = 16 MHz (方形波) オンチップオシレータ発振 = 125 kHz 分周なし		7	12	mA
			XIN = 10 MHz (方形波) オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 16 MHz (方形波) オンチップオシレータ発振 = 125 kHz 8分周		2.5		mA
			XIN = 10 MHz (方形波) オンチップオシレータ発振 = 125 kHz 8分周		1.6		mA
		オンチップ オシレータ モード	メインクロック停止 オンチップオシレータ発振 = 125 kHz 8分周		420	800	μA
		ウェイトモード	メインクロック停止 オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注1) 周辺クロック動作		37	74	μA
		ウェイトモード	メインクロック停止 オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注1) 周辺クロック停止		35	70	μA
		ストップモード	メインクロック停止、Topr = 25 オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止		0.7	3.0	μA

注1. タイマYをタイマモードで動作させています。

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{op}=25$) [$V_{CC}=3V$]

表16.16 X_{IN}入力

記号	項目	規格値		単位
		最小	最大	
t _c (X _{IN})	X _{IN} 入力サイクル時間	100		ns
t _{WH} (X _{IN})	X _{IN} 入力“H”パルス幅	40		ns
t _{WL} (X _{IN})	X _{IN} 入力“L”パルス幅	40		ns

表16.17 CNTR0入力、CNTR1入力、 $\overline{INT2}$ 入力

記号	項目	規格値		単位
		最小	最大	
t _c (CNTR0)	CNTR0入力サイクル時間	300		ns
t _{WH} (CNTR0)	CNTR0入力“H”パルス幅	120		ns
t _{WL} (CNTR0)	CNTR0入力“L”パルス幅	120		ns

表16.18 TCIN入力、 $\overline{INT3}$ 入力

記号	項目	規格値		単位
		最小	最大	
t _c (TCIN)	TCIN入力サイクル時間	1200 (注1)		ns
t _{WH} (TCIN)	TCIN入力“H”パルス幅	600 (注2)		ns
t _{WL} (TCIN)	TCIN入力“L”パルス幅	600 (注2)		ns

注1. タイマCのキャプチャ機能を使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

注2. タイマCのキャプチャ機能を使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5)以上になるように調整してください。

表16.19 シリアル/O

記号	項目	規格値		単位
		最小	最大	
t _c (CK)	CLK _i 入力サイクル時間	300		ns
t _w (CKH)	CLK _i 入力“H”パルス幅	150		ns
t _w (CKL)	CLK _i 入力“L”パルス幅	150		ns
t _d (C-Q)	TxD _i 出力遅延時間		160	ns
t _h (C-Q)	TxD _i ホールド時間	0		ns
t _{su} (D-C)	RxD _i 入力セットアップ時間	55		ns
t _h (C-D)	RxD _i 入力ホールド時間	90		ns

表16.20 外部割り込み $\overline{INT0}$ 入力

記号	項目	規格値		単位
		最小	最大	
t _w (INH)	$\overline{INT0}$ 入力“H”パルス幅	380 (注1)		ns
t _w (INL)	$\overline{INT0}$ 入力“L”パルス幅	380 (注2)		ns

注1. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. $\overline{INT0}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{INT0}$ 入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

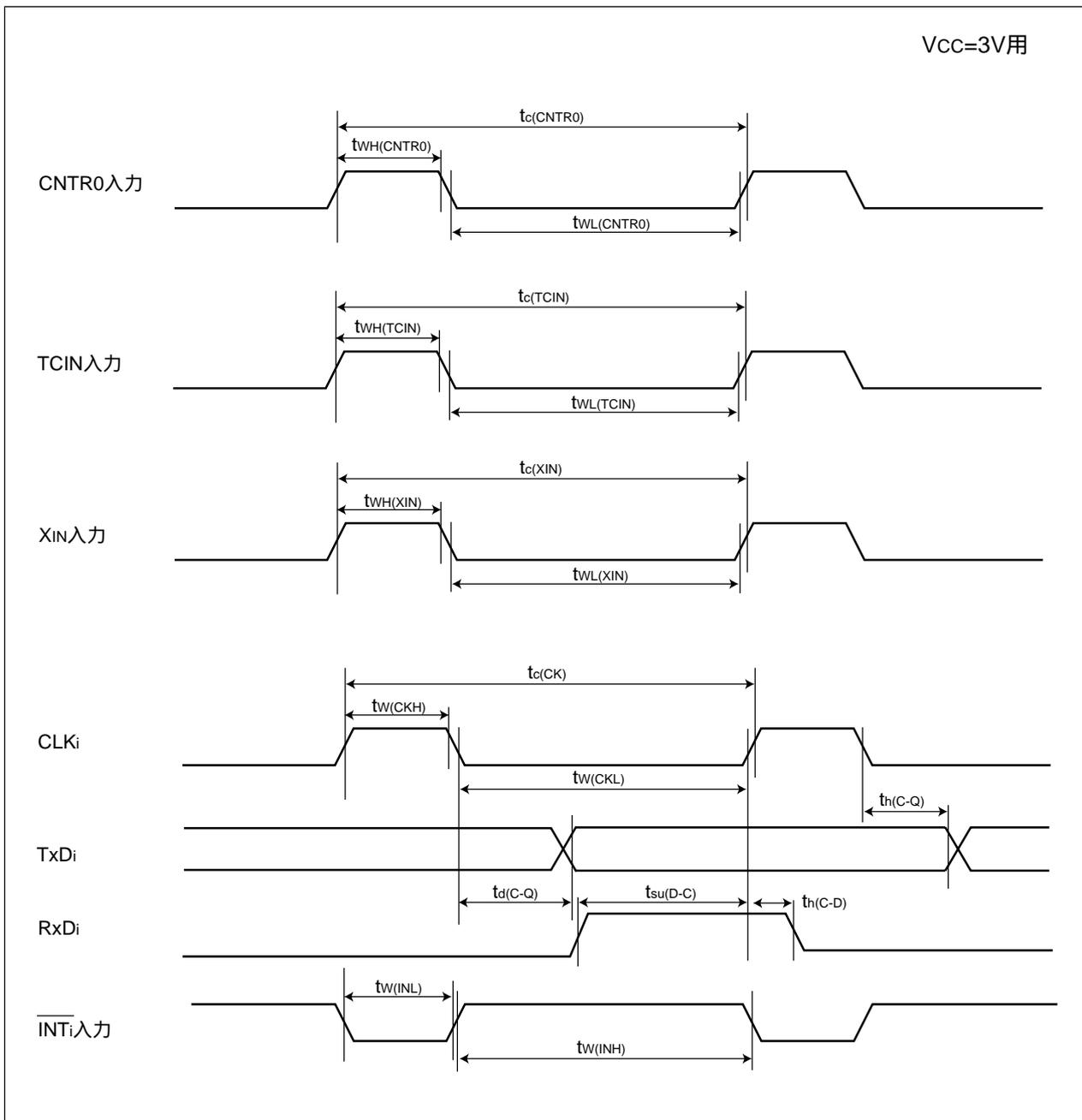


図16.4 Vcc=3V時のタイミング

17. フラッシュメモリ版

17.1 概要

フラッシュメモリ版は、CPU書き換えモード、標準シリアル入出力モードの2つの書き換えモードで、フラッシュメモリを操作できます。

表17.1にフラッシュメモリ版の性能概要を示します(表17.1に示す以外の項目は「表1.1 性能概要」を参照してください)。

表17.1 フラッシュメモリ版の性能概要

項目		性能
フラッシュメモリの動作モード		2モード (CPU書き換え、標準シリアル入出力)
消去ブロック分割		「図17.1 フラッシュメモリのブロック図」を参照してください。
プログラム方式		バイト単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式		FMR0レジスタのFMR02ビットによるブロック0、ブロック1に対するプロテクト FMR1レジスタのFMR15、FMR16ビットによるブロック0、ブロック1に対する個別のプロテクト
コマンド数		5コマンド
プログラム、イレーズ回数 (注1)	ブロック0、ブロック1 (プログラムROM)	1,000回
	ブロックA、ブロックB (データフラッシュ)	10,000回
ROMコードプロテクト		標準シリアル入出力モード対応

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回 (n = 1,000、10,000回)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、2KブロックのブロックAについて、1バイト書き込みを2048回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。1000回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するよう書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

表17.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード：フラッシュメモリ以外の領域で書き換え可能 EW1モード：フラッシュメモリ上で書き換え可能	専用シリアルライターを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O
書き換えできる領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード
ROMライター	-	シリアルライター

17.2 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域(予約領域)に分けられます。図17.1にフラッシュメモリのブロック図を示します。

ユーザROM領域には、マイコン動作プログラムを格納する領域(プログラムROM)とは別に、2KバイトのブロックAおよび2KバイトのブロックB(データフラッシュ)があります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、または標準シリアル入出力モードで書き換えられます。

ブロック0、ブロック1をCPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、さらにFMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。また、ブロックA、ブロックBはPM1レジスタのPM10ビットを“1”(許可)にすると使用できます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在しません。

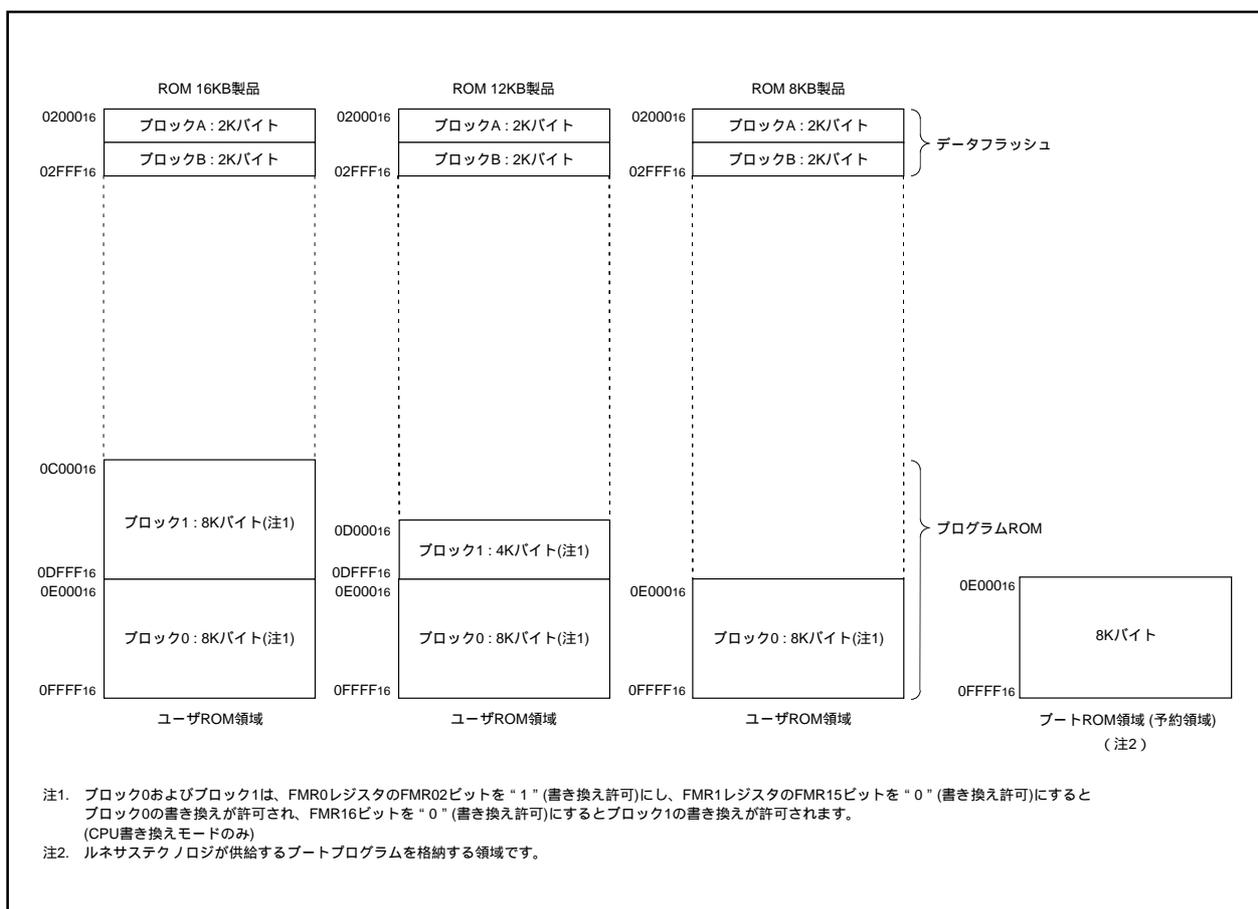


図17.1 フラッシュメモリのブロック図

17.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能があります。

17.3.1 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライターから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から00FFDF₁₆、00FFE3₁₆、00FFEB₁₆、00FFEF₁₆、00FFF3₁₆、00FFF7₁₆、00FFFB₁₆番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

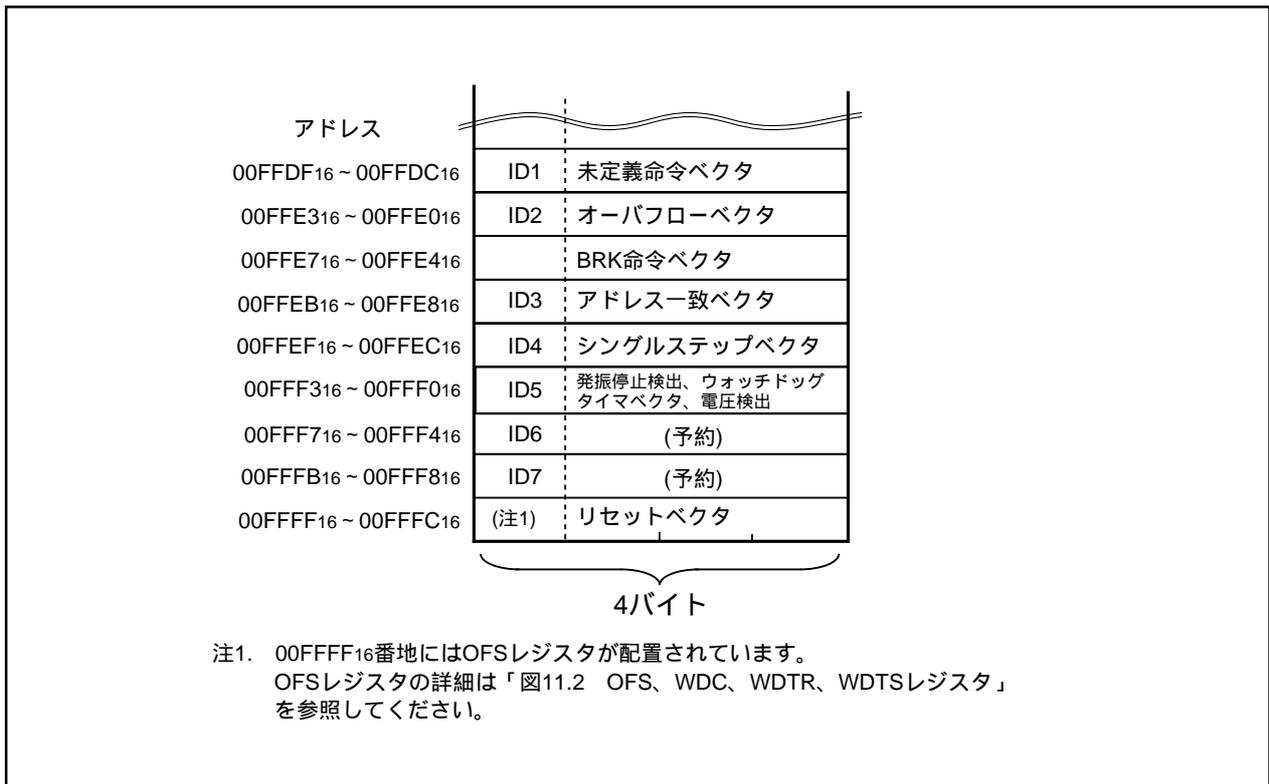


図17.2 IDコードの格納番地

17.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレースのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレースサスペンド機能を持ちます。イレースサスペンド中は、プログラムでユーザROM領域を読み出すことが可能です。

CPU書き換えモードには、イレースライト0モード(EW0モード)とイレースライト1モード(EW1モード)があります。表17.3にEW0モードとEW1モードの違いを示します。

表17.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAMなど)へ転送してから実行する必要あり	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く(注1)
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレースコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレース後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
イレースサスペンドへの移行条件	プログラムでFMR4レジスタのFMR40とFMR41ビットを“1”にする	FMR4レジスタのFMR40ビットが“1”、かつ許可された割り込みの割り込み要求が発生
CPUクロック	5MHz以下	左記制限なし(使用するクロック周波数)

注1. ブロック0、ブロック1はFMR0レジスタのFMR02ビットを“1”(書き換え許可)にし、FMR1レジスタのFMR15ビットを“0”(書き換え許可)にするとブロック0の書き換えが許可され、FMR16ビットを“0”(書き換え許可)にするとブロック1の書き換えが許可されます。

17.4.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを“1”(イレーズサスペンド許可)、FMR41ビットを“1”(イレーズサスペンドリクエスト)にしてください。そしてtd(SR-ES)待ち、FMR46ビットが“1”(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを“0”(イレーズリスタート)にすると、自動消去を再開します。

17.4.2 EW1モード

FMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR11ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタのソフトウェアコマンドを実行しないでください。

イレーズサスペンド機能を有効にする場合には、FMR40ビットを“1”(イレーズサスペンド許可)にしてからブロックイレーズコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。ブロックイレーズコマンド実行からtd(SR-ES)後、割り込み要求が受け付けられません。

割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが“0”)は、FMR41ビットを“0”(イレーズリスタート)にして再度ブロックイレーズのコマンドを実行してください。

図17.3にFMR0レジスタを、図17.4にFMR1、FMR4レジスタを示します。

FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中は“0”、それ以外のときには“1”になります。

FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR02ビット

FMR02ビットが“0”(書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けません。

FMR02ビットが“1”(書き換え許可)のとき、ブロック0とブロック1はFMR15、FMR16ビットで書き換えが制御されます。

FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- ・オンチップオシレータモード(メインクロック停止)にする場合

図17.7にオンチップオシレータモード(メインクロック停止)前後の処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「17.4.5 フルステータスチェック」を参照してください。

FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「17.4.5 フルステータスチェック」を参照してください。

FMR11ビット

FMR11ビットを“1”(EW1モード)にすると、EW1モードになります。

FMR15ビット

FMR02ビットが“1”(書き換え許可)で、FMR15ビットが“0”(書き換え許可)のとき、ブロック0はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR16ビット

FMR02ビットが“1”(書き換え許可)で、FMR16ビットが“0”(書き換え許可)のとき、ブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けます。

FMR40ビット

FMR40ビットを“1”(許可)にすると、イレーズサスペンド機能が許可されます。

FMR41ビット

EW0モードでは、プログラムでFMR41ビットを“1”にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に“1”(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを“0”(イレーズリスタート)にしてください。

FMR46ビット

自動消去実行中は、FMR46ビットが“0”(リード禁止)になります。イレーズサスペンドモード中は“1”(リード許可)になります。“0”の間は、フラッシュメモリへのアクセスは禁止です。

フラッシュメモリ制御レジスタ0

シンボル	アドレス	リセット後の値
FMR0	01B716番地	00000012

ビットシンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー (書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット (注1、6)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ブロック0、ブロック1書き換え許可ビット (注2、6、7)	0: 書き換え禁止 1: 書き換え許可	RW
FMSTP	フラッシュメモリ停止ビット (注3、5、6)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
(b5-b4)	予約ビット	“0” にしてください。	RW
FMR06	プログラムステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータスフラグ(注4)	0: 正常終了 1: エラー終了	RO

注1. “1” にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。
このビットはリードアレイモードにしてから“0”にしてください。

注2. “1” にするときは、FMR01ビットが“1”(CPU書き換えモード有効)の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。

注4. クリアステータスコマンドを実行すると“0”になります。

注5. FMR01ビットが“1”(CPU書き換えモード有効)のとき有効です。FMR01ビットが“0”(CPU書き換えモード無効)のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

注6. FMR01、FMR02、FMSTPビットの設定にはビット処理命令(「R8C/Tinyシリーズソフトウェアマニュアル」参照)を使用してください。

注7. FMR01ビットを“0”(CPU書き換えモード無効)にすると、FMR02ビットは“0”(書き換え禁止)になります。

図17.3 FMR0レジスタ

フラッシュメモリ制御レジスタ1

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
1			0	0	0			FMR1	01B5 ₁₆ 番地	1000000X ₂

ビットシンボル	ビット名	機能	RW
(b0)	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット (注1、注2)	0: EW0モード 1: EW1モード	RW
(b4-b2)	予約ビット	“0”にしてください。	RW
FMR15	ブロック0書き換え禁止 ビット(注2、注3)	0: 書き換え許可 1: 書き換え禁止	RW
FMR16	ブロック1書き換え禁止 ビット(注2、注3)	0: 書き換え許可 1: 書き換え禁止	RW
(b7)	予約ビット	“1”にしてください。	RW

注1. “1”にするときは、FMR01ビットが“1”(CPU書き換えモード有効)の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. FMR01ビットを“0”(CPU書き換えモード無効)にすると、“0”になります。

注3. FMR01ビットが“1”(CPU書き換えモード有効)のとき、FMR15およびFMR16ビットに書けます。
“0”にするときは、このビットに“1”を書いた後、続けて“0”を書いてください。
“1”にするときは、このビットに“1”を書いてください。

フラッシュメモリ制御レジスタ4

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0		0	0	0	0			FMR4	01B3 ₁₆ 番地	01000000 ₂

ビットシンボル	ビット名	機能	RW
FMR40	イレーズサスペンド機能 許可ビット(注1)	0: 禁止 1: 許可	RW
FMR41	イレーズサスペンド リクエストビット(注2)	0: イレーズリスタート 1: イレーズサスペンドリクエスト	RW
(b5-b2)	予約ビット	“0”にしてください。	RO
FMR46	リードステータスフラグ	0: リード禁止 1: リード許可	RO
(b7)	予約ビット	“0”にしてください。	RW

注1. “1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。
“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

注2. このビットはFMR40ビットが“1”(許可)の時のみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ、書き込みが可能となります。(上記期間以外は“0”になります。)

EW0モードではこのビットはプログラムによって“0”、“1”書き込みが可能となります。

EW1モードではFMR40ビットが“1”のとき、消去中にマスク割込みが発生すると自動的に“1”になります。
プログラムによって“1”を書き込むことはできません。(“0”書き込みは可能)

図17.4 FMR1、FMR4レジスタ

図17.5にサスペンド動作に関するタイミングを示します。

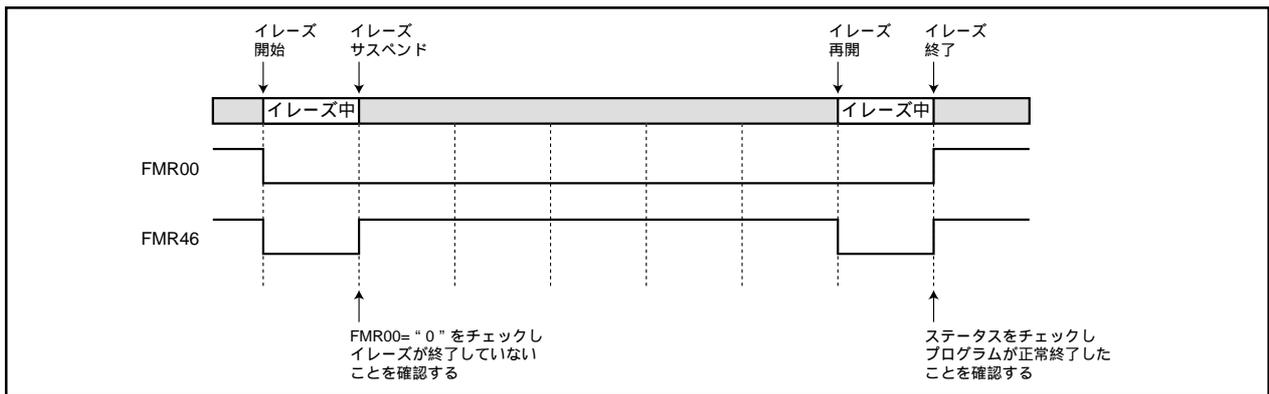


図17.5 サスペンド動作に関するタイミング

図17.6にEW0モードの設定と解除方法、図17.7にEW1モードの設定と解除方法を示します。

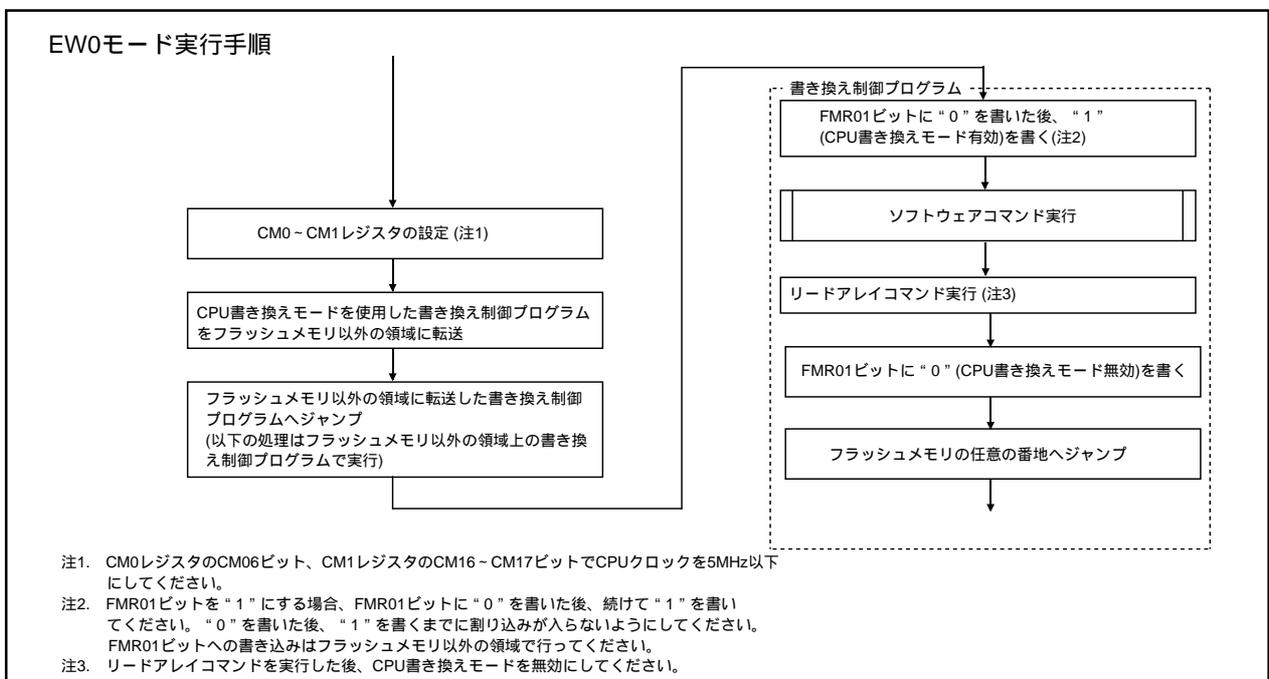


図17.6 EW0モードの設定と解除方法

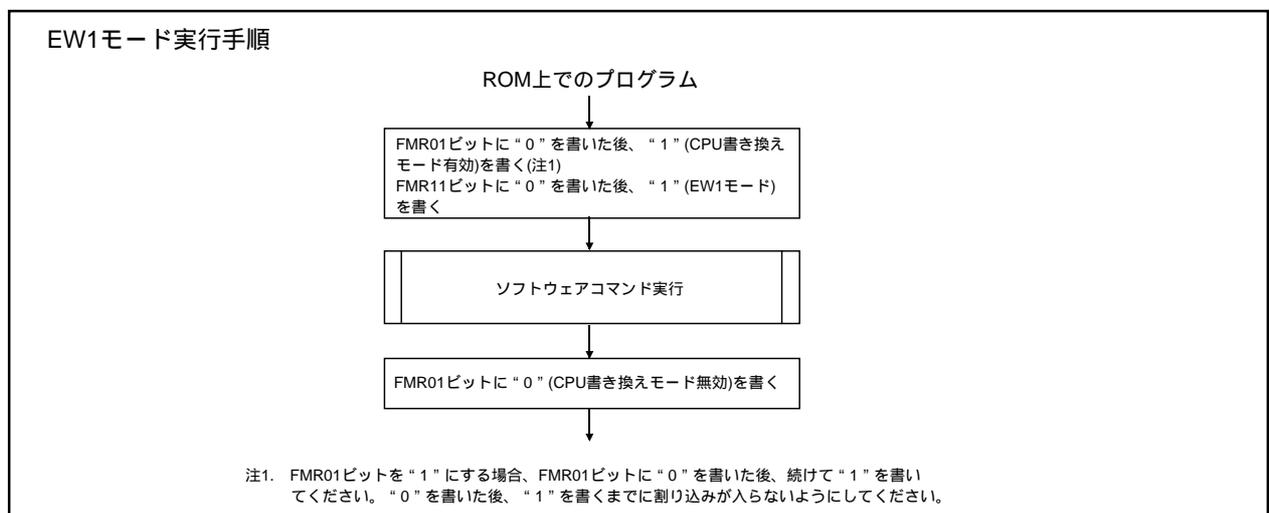


図17.7 EW1モードの設定と解除方法

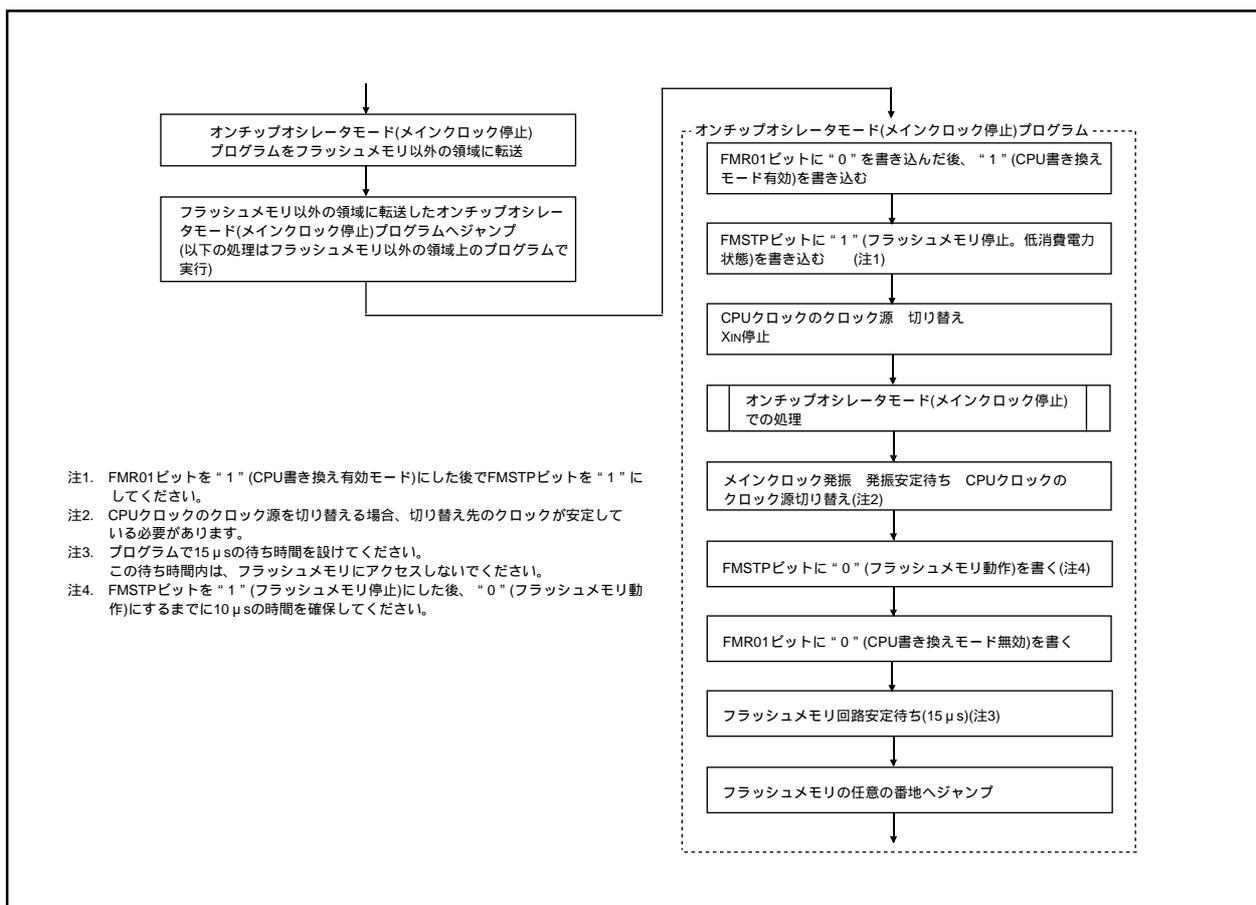


図17.8 オンチップオシレータモード(メインクロック停止)でさらに低消費電力にする処理

17.4.3 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

表17.4 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D7~D0)	モード	アドレス	データ (D7~D0)
リードアレイ	ライト	x	FF ₁₆			
リードステータスレジスタ	ライト	x	70 ₁₆	リード	x	SRD
クリアステータスレジスタ	ライト	x	50 ₁₆			
プログラム	ライト	WA	40 ₁₆	ライト	WA	WD
ブロックイレーズ	ライト	x	20 ₁₆	ライト	BA	D0 ₁₆

SRD : ステータスレジスタデータ(D7~D0)。

WA : 書き込み番地(第1バスサイクルのアドレスは第2バスサイクルのアドレスと同一番地にしてください)。

WD : 書き込みデータ(8ビット)。

BA : ブロックの任意の番地

x : ユーザROM領域内の任意の番地

リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“FF₁₆”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“70₁₆”を書くと、第2バスサイクルでステータスレジスタが読めます(「17.4.4 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

クリアステータスレジスタ

ステータスレジスタを“0”にするコマンドです。

第1バスサイクルで“50₁₆”を書くと、FMR0レジスタのFMR06~FMR07ビットとステータスレジスタのSR4~SR5が“0”になります。

プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“40₁₆”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「17.4.5 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが“1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが“1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

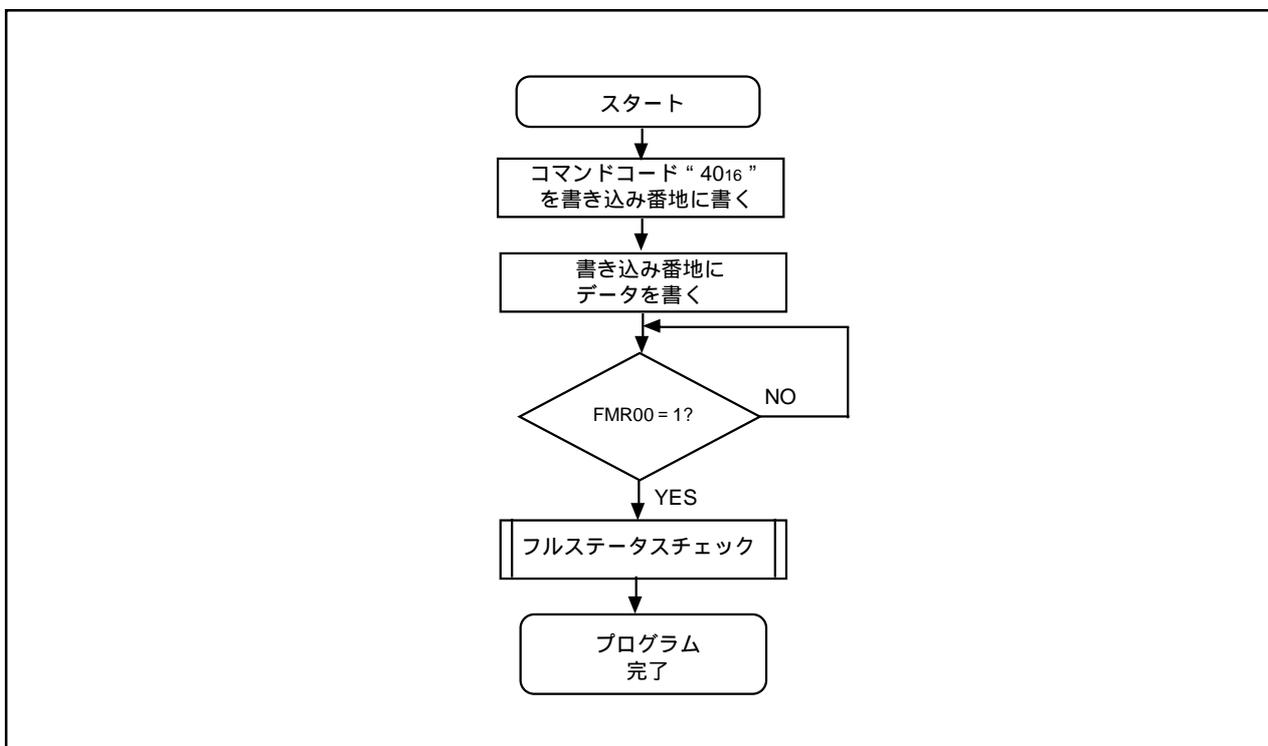


図17.9 プログラムフローチャート

ブロックイレーズ

第1バスサイクルで“20₁₆”、第2バスサイクルで“D0₁₆”をブロックの任意の番地を書く指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「17.4.5. フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが“1”(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが“1”(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

図17.10にイレーズサスペンド機能を使用しない時のブロックイレーズのフローチャート例を、図17.11にイレーズサスペンド機能を使用する時のブロックイレーズのフローチャート例を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

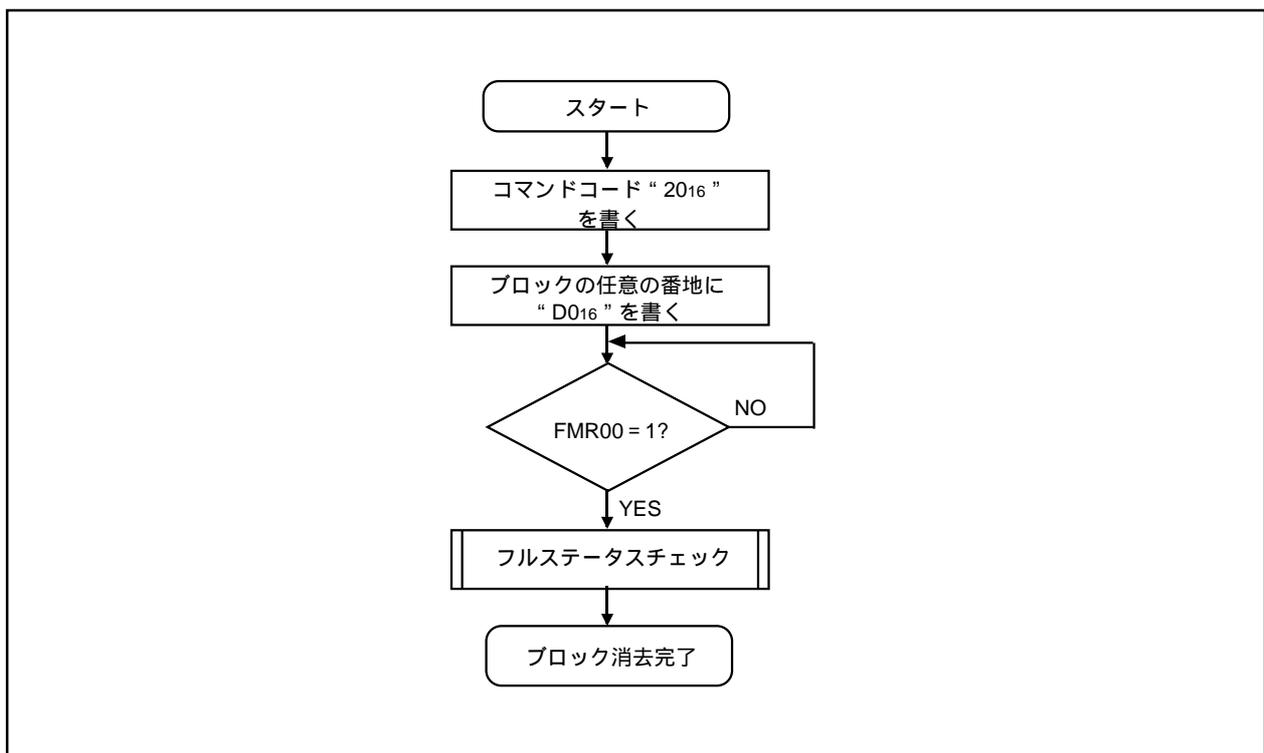


図17.10 ブロックイレーズフローチャート(イレーズサスペンド機能不使用時)

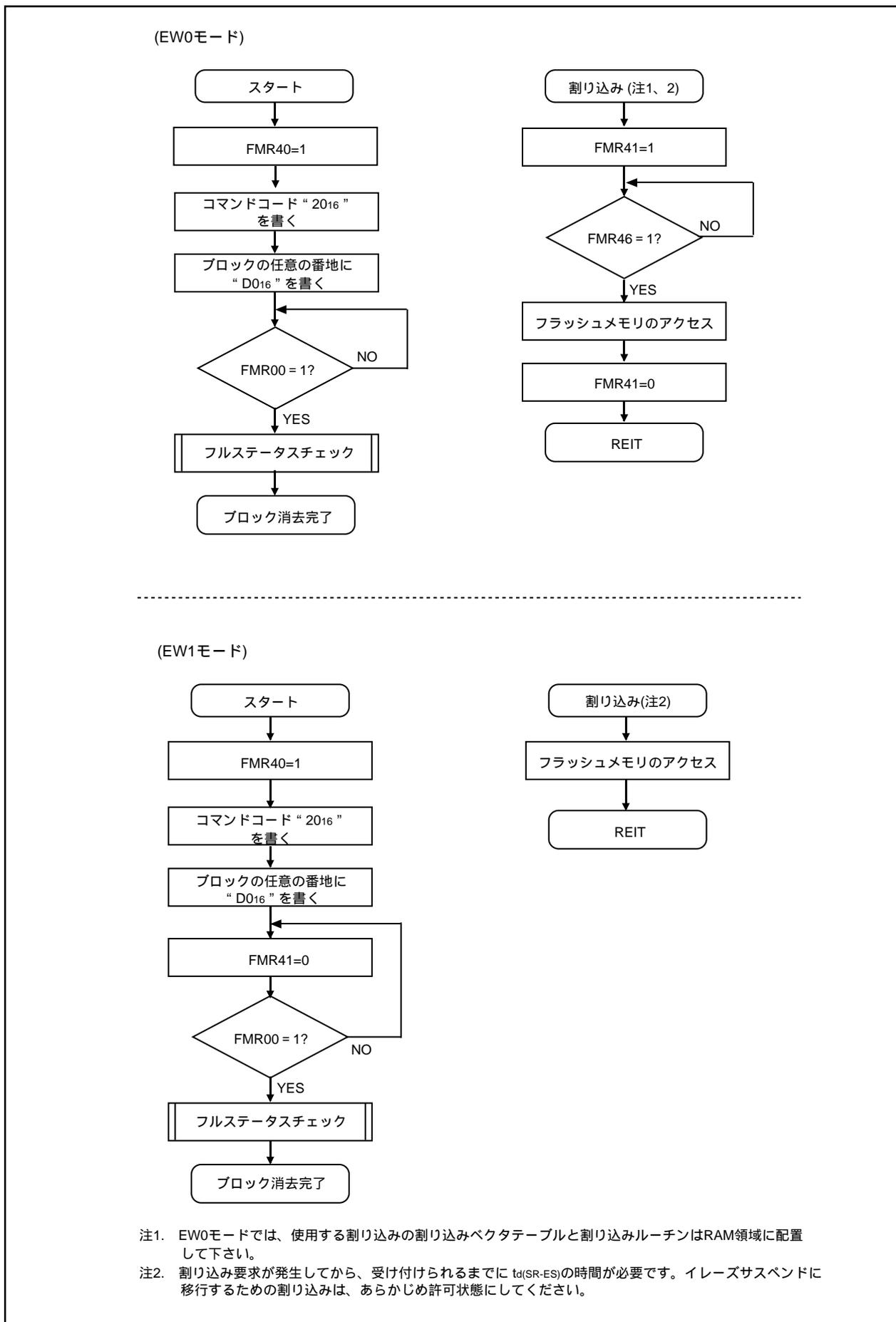


図17.11 ブロックイレーズフローチャート(イレーズサスペンド機能使用時)

17.4.4 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06～FMR07ビットで読めます。

表17.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- (1) リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の番地を読んだとき
- (2) プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の番地を読んだとき

シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は“0”(ビジー)になり、これらの動作終了とともに“1”(レディ)になります。

イレーズステータス(SR5、FMR07ビット)

「17.4.5 フルステータスチェック」を参照してください。

プログラムステータス(SR4、FMR06ビット)

「17.4.5 フルステータスチェック」を参照してください。

表17.5 ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1
SR6 (D6)	-	リザーブ	-	-	-
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR3 (D3)	-	リザーブ	-	-	-
SR2 (D2)	-	リザーブ	-	-	-
SR1 (D1)	-	リザーブ	-	-	-
SR0 (D0)	-	リザーブ	-	-	-

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)～FMR06ビット(SR4)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズコマンドは受け付けられません。

17.4.5 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表17.6にエラーとFMR0レジスタの状態を、図17.12にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表17.6 エラーとFMR0レジスタの状態

FMR00レジスタ(ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・コマンドを正しく書かなかったとき ・ブロックイレーズコマンドの第2バスサイクルのデータに書いてもよい値(“D0₁₆”または“FF₁₆”)以外のデータを書いたとき(注1) ・FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15ビットまたはFMR16ビットを用いて書き換え禁止にした状態でプログラムコマンドまたはブロックイレーズコマンドを実行したとき ・消去コマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、消去しようとしたとき ・消去コマンド入力時に、書き換えを禁止しているブロックの消去を実行しようとしたとき ・書き込みコマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、書き込みしようとしたとき ・書き込みコマンド入力時に、書き換えを禁止しているブロックの書き込みを実行しようとしたとき
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1．これらのコマンドの第2バスサイクルで“FF₁₆”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

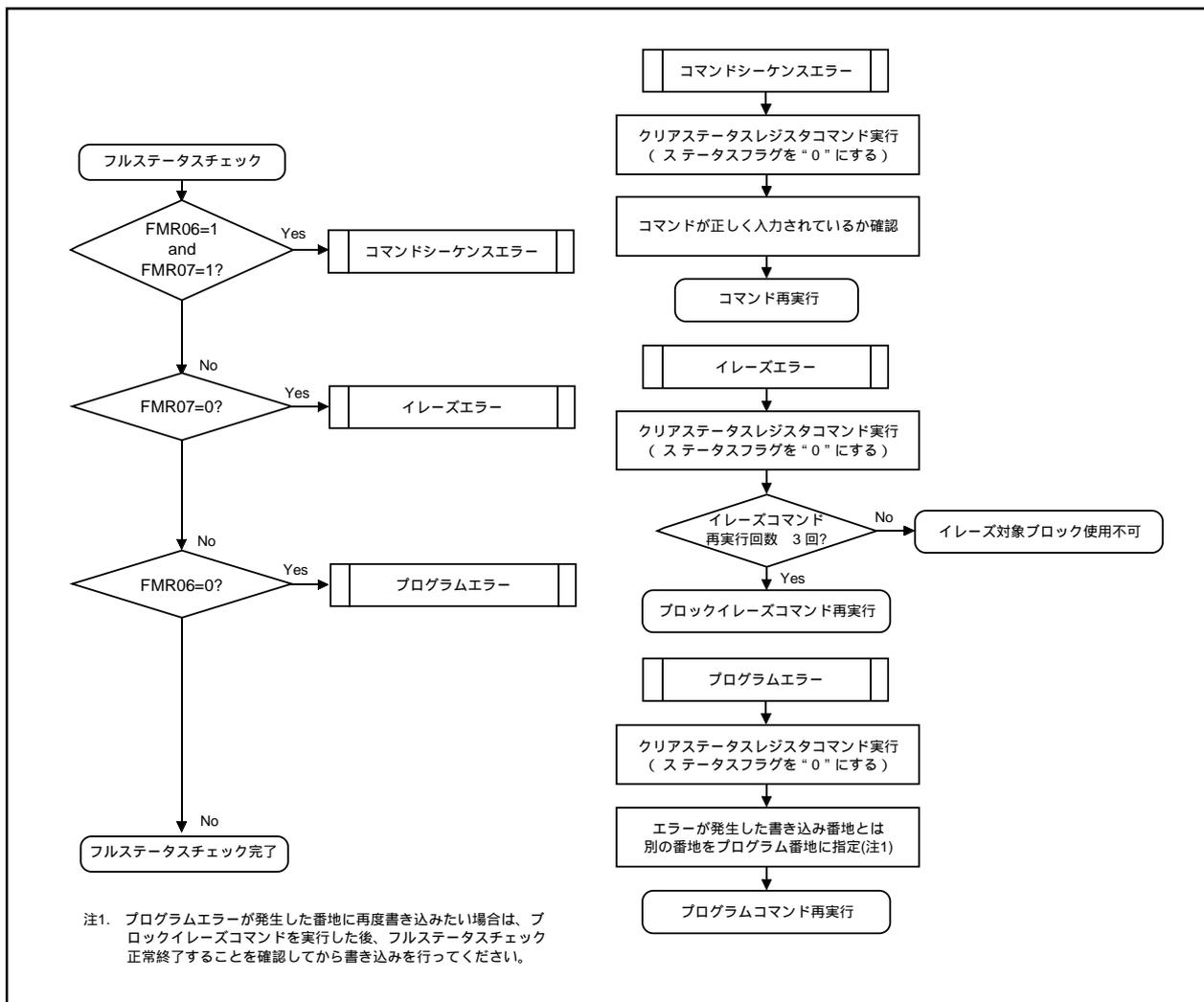


図17.12 フルステータスチェックフロチャート、各エラー発生時の対処方法

17.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードにはクロック同期形シリアル標準シリアル入出力モード1と、クロック非同期形シリアル標準シリアル入出力モード2があります。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表17.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図17.13に標準シリアル入出力モード時の端子結線図を示します。

17.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「17.3 フラッシュメモリ書き換え禁止機能」参照)。

表17.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc、Vss	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、Vssには0Vを入力してください。
IVcc	IVcc		Vssとの間にコンデンサ(0.1 μ F)を接続してください。
RESET	リセット入力	入力	リセット入力端子です。
P46/XIN	P46入力/ クロック入力	入力	標準シリアル入出力モード2を使用する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。
P47/XOUT	P47入力/ クロック出力	入出力	標準シリアル入出力モード1でメインクロックを使用する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。標準シリアル入出力モード1でメインクロックを使用しない場合、抵抗を介してVccに接続(プルアップ)してください。
AVcc、AVss	アナログ電源入力	入力	AVccはVccに、AVssはVssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
P01 ~ P07	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P10 ~ P17	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P30 ~ P33	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P45	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P00	TxD出力	出力	シリアルデータの出力端子です。
MODE	MODE	入出力	標準シリアル入出力モード1：フラッシュライタに接続してください。 標準シリアル入出力モード2：“L”を入力してください
CNVss	CNVss	入出力	標準シリアル入出力モード1：フラッシュライタに接続してください。 標準シリアル入出力モード2：“L”を入力してください。
P37	RxD入力	入力	シリアルデータの入力端子です。

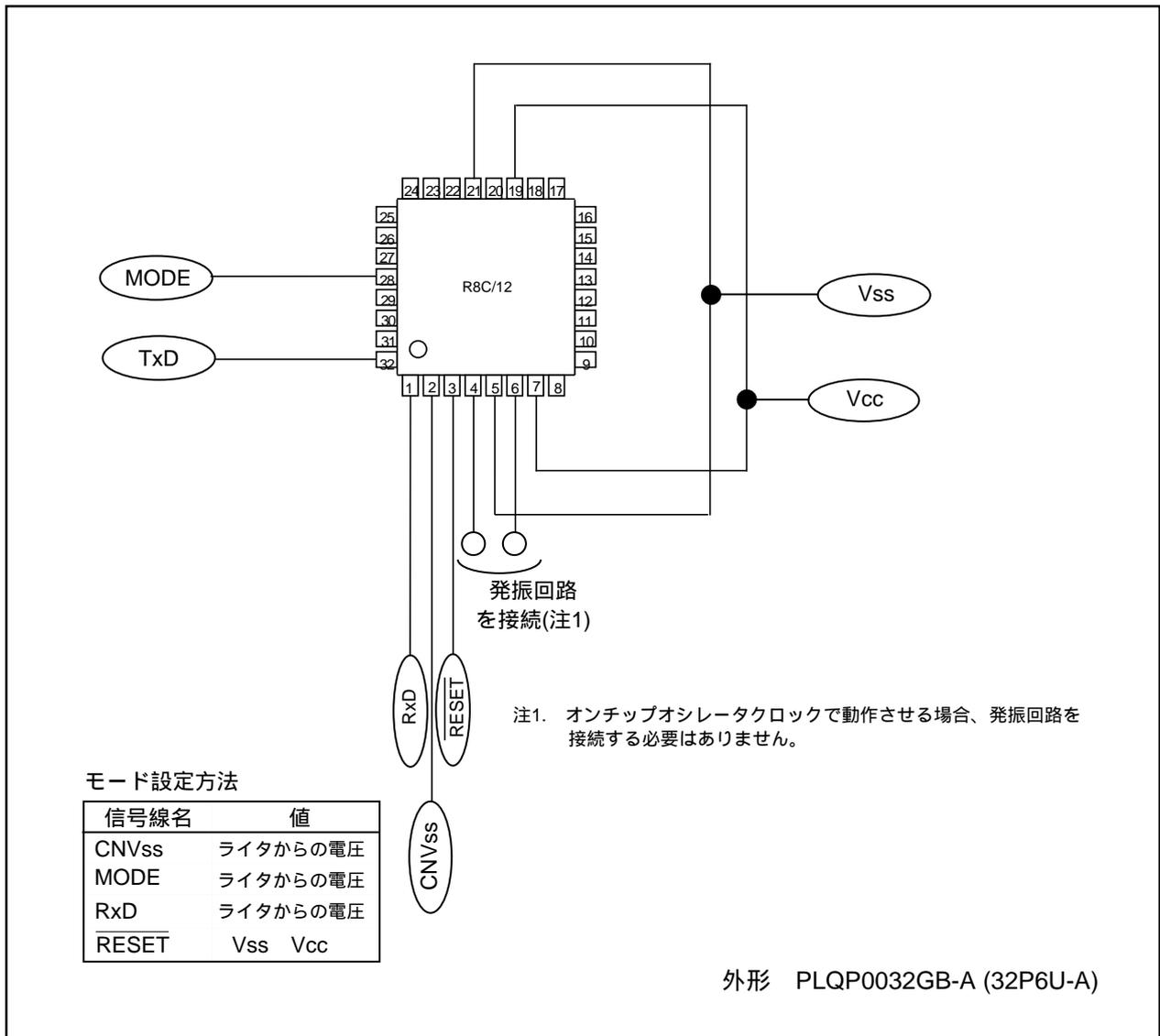


図17.13 標準シリアル入出力モード時の端子結線図

標準シリアル入出力モード時の端子処理例

図17.14に標準シリアル入出力モード1を使用する場合の端子処理例、図17.15に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

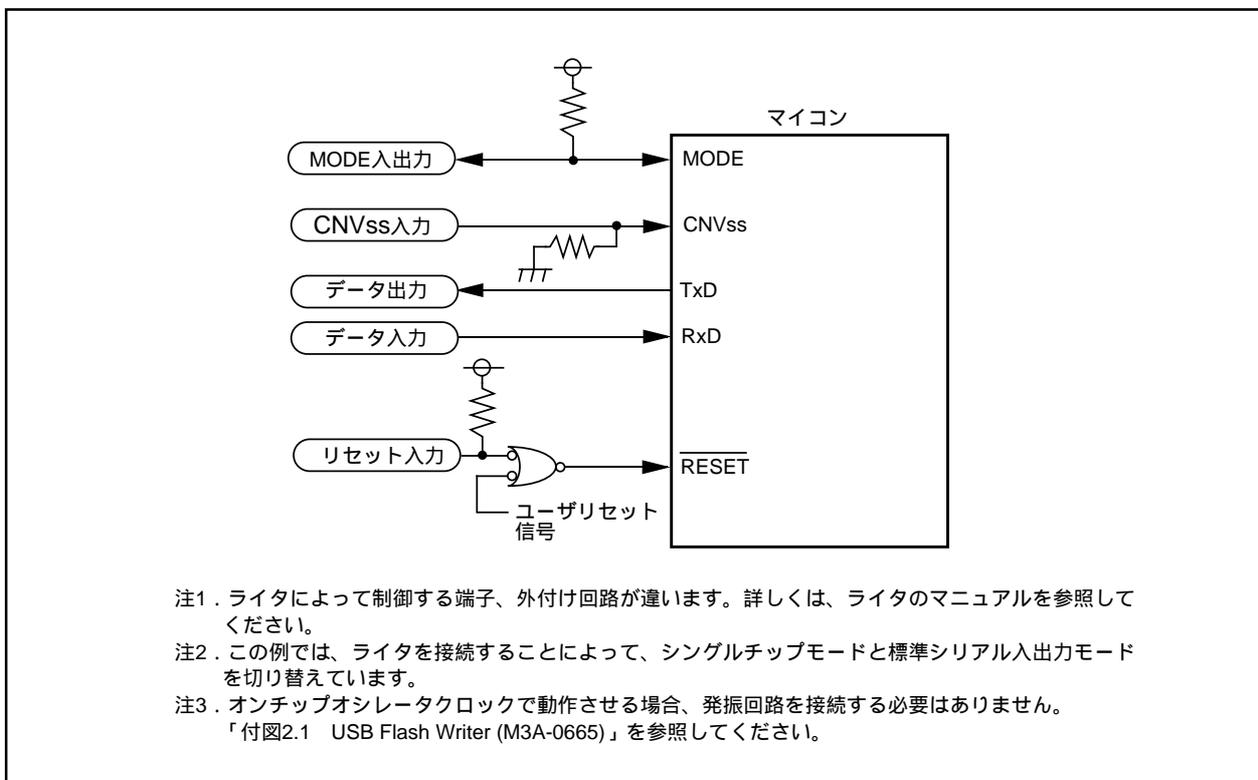


図17.14 標準シリアル入出力モード1を使用する場合の端子処理例

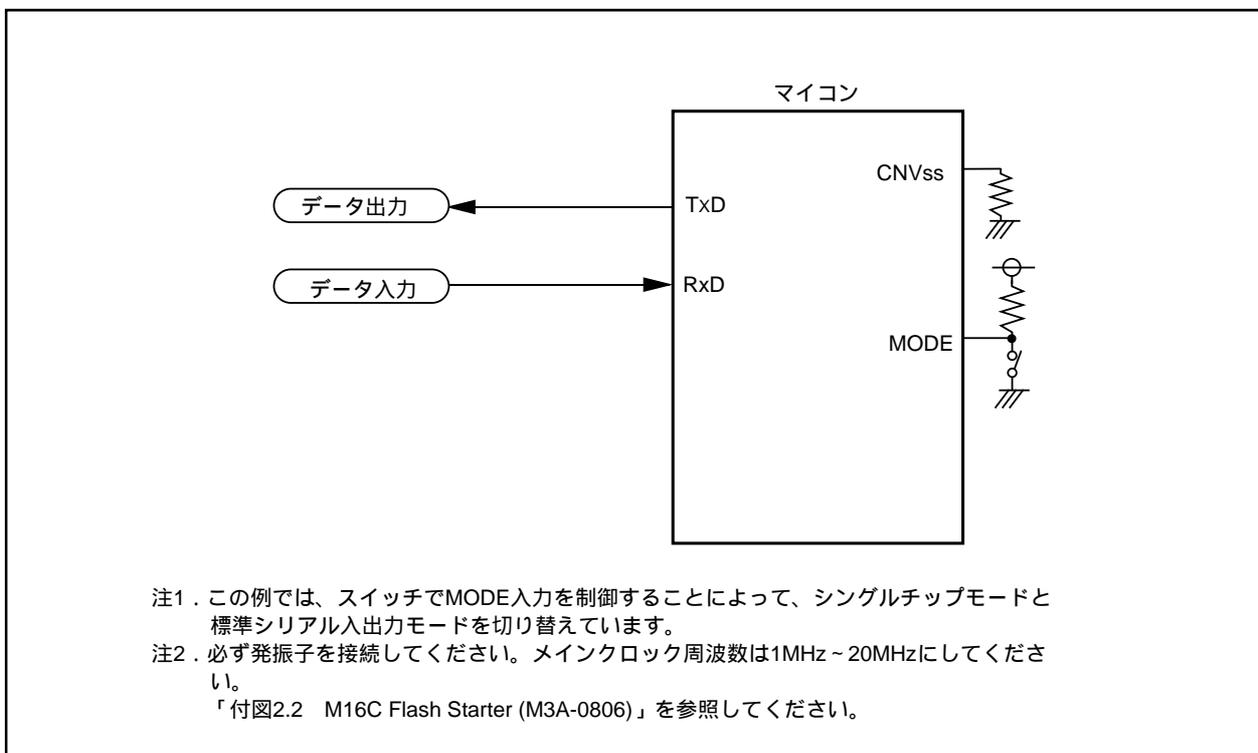


図17.15 標準シリアル入出力モード2時の端子処理例

18. オンチップデバッグ

オンチップデバッグ機能を実現するための機能をマイコンに用意しています。

オンチップデバッグとマイコンの接続は「付録2. シリアルライターとオンチップデバッグエミュレータとの接続例」を参照してください。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

次に各機能を説明します。これらの機能を使用したユーザシステムのデバッグはできません。オンチップデバッグを使用する場合は、予めこれらの機能を除いてシステム設計してください。また、フラッシュメモリの0C00016～0C7FF16番地もオンチップデバッグが使用しますので、ユーザシステムでは使用しないでください。

18.1 アドレス一致割り込み

任意の番地の命令を実行する直前に割り込み要求を発生します。デバッグのブレーク機能に使用します。アドレス一致割り込みの詳細は「10.4 アドレス一致割り込み」を参照してください。なお、オンチップデバッグ使用時、ユーザシステムでアドレス一致割り込み（AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル）を設定しないでください。

18.2 シングルステップ割り込み

命令を1つ実行するたびに割り込み要求を発生します。デバッグのシングルステップ機能に使用します。シングルステップ割り込み使用時、他の割り込みは発生しません。シングルステップ割り込みは開発サポートツール専用割り込みです。

18.3 UART1

デバッグ（またはパソコン）との通信に使用します。UART1の詳細は「13. シリアルインタフェース」を参照してください。なお、オンチップデバッグ使用時、ユーザシステムではUART1と、UART1と端子を共用している機能（P00/AN7/P37）を使用しないでください。

18.4 BRK命令

BRK割り込み要求を発生します。デバッグのブレーク機能に使用します。BRK命令の詳細は「10.1 割り込みの概要」と「R8C/Tinyシリーズ ソフトウェアマニュアル」を参照してください。なお、オンチップデバッグ使用時、ユーザシステムでBRK命令を使用しないでください。

19. 使用上の注意事項

19.1 ストップモード、ウェイトモード

19.1.1 ストップモード

ストップモードに移行する場合、FMR01ビットを“0”(CPU書き換えモード無効)にした後、CM10ビットを“1”(ストップモード)にしてください。命令キューはCM1レジスタのCM10ビットを“1”(ストップモード)にする命令から4バイト先読みしてプログラムが停止します。

CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。ストップモードに移行する場合は、次のプログラムを使用してください。

- ・ストップモードに移行するプログラム

```

        BCLR    1, FMR0    ; CPU書き換えモード無効
        BSET    0, PRCR    ; プロテクト解除
        BSET    0, CM1     ; ストップモード
        JMP.B   LABEL_001

LABEL_001 :
        NOP
        NOP
        NOP
        NOP

```

19.1.2 ウェイトモード

ウェイトモードに移行する場合、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後にはNOP命令を最低4つ入れてください。

また、内部RAM領域へ書き込んだ後、WAIT命令を実行してウェイトモードに移行した場合、ウェイトモードからの復帰時に特定の内部RAM領域が書き換わることがあります。書き換わる領域は、WAIT命令の前に書き込んだ内部RAMの次のアドレスから、最大3バイト分の領域です。

書き換わる値は、WAIT命令の前に書き込んだ値と同じ値です。

この現象が問題になる場合には、次のプログラム例で示すように、内部RAM領域への書き込みとWAIT命令の間にJMP.B命令を挿入することで、回避してください。

- ・WAIT命令を実行する例

```

プログラム例  MOV.B   #055h,0601h    ; 内部RAM領域へ書き込み
                ...
                JMP.B   LABEL_001

LABEL_001 :
                FSET    I          ; 割り込み許可
                BCLR    1, FMR0    ; CPU書き換えモード無効
                WAIT    ; ウェイトモード
                NOP
                NOP
                NOP
                NOP

```

なお、内部RAM領域への書き込み命令とWAIT命令実行の間に、内部RAM以外の領域へアクセスした場合には、この現象は発生しません。

19.2 割り込み

19.2.1 00000₁₆番地の読み出し

プログラムで00000₁₆番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000₁₆番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000₁₆番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

19.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000₁₆”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

19.2.3 外部割り込み、キー入力割り込み

$\overline{\text{INT}}_0$ ~ $\overline{\text{INT}}_3$ 端子、 $\overline{\text{KI}}_0$ ~ $\overline{\text{KI}}_3$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

19.2.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

19.2.5 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに關与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図19.1に割り込み要因の変更手順例を示します。

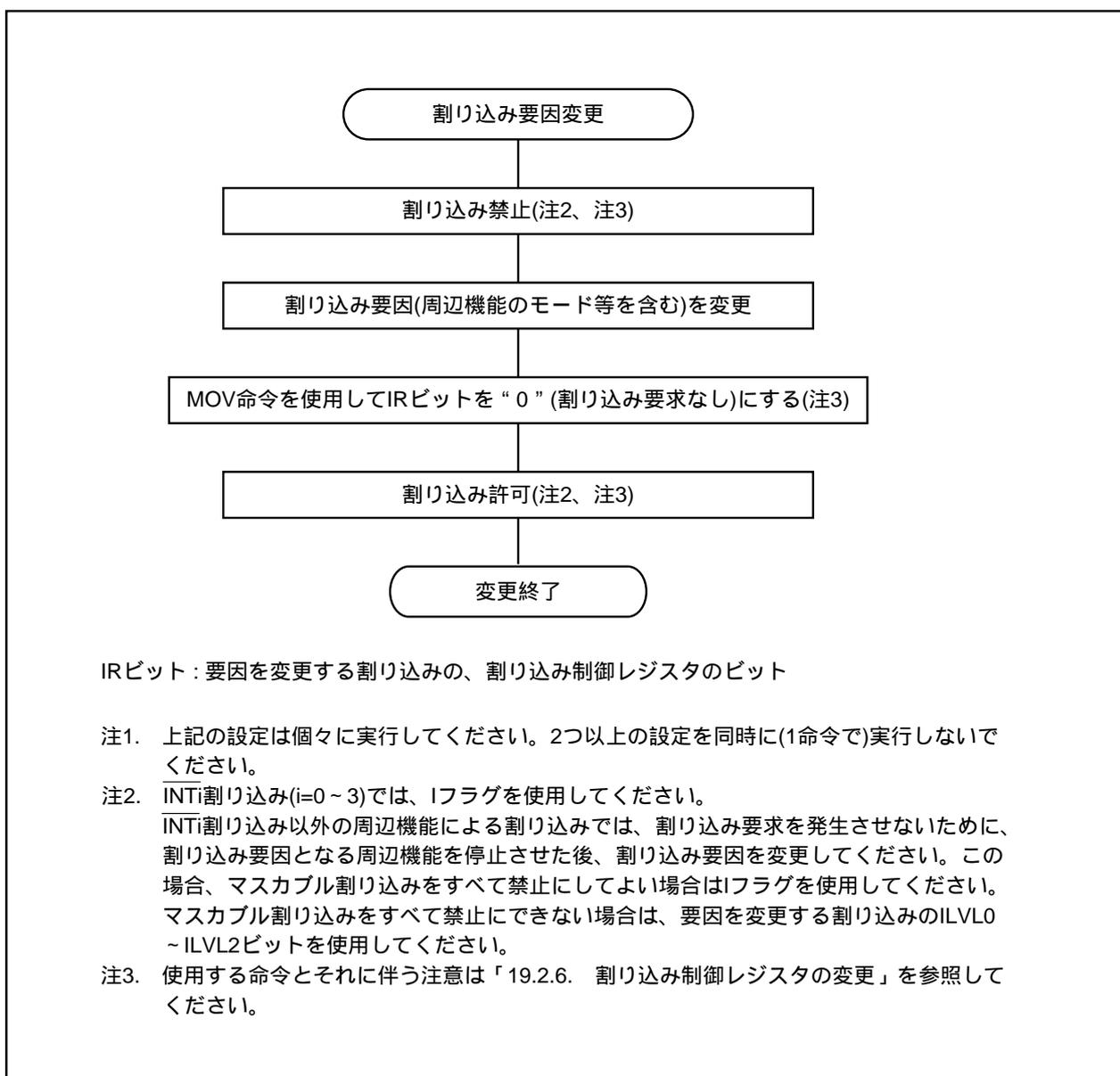


図19.1 割り込み要因の変更手順例

19.2.6 割り込み制御レジスタの変更

(1) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(2) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1” (割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令...AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0” (割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(3) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(2)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1” (割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
  FCLR   I           ; 割り込み禁止
  AND.B  #00H, 0056H ; TXICレジスタを“0016”にする
  NOP
  NOP
  FSET   I           ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR   I           ; 割り込み禁止
  AND.B  #00H, 0056H ; TXICレジスタを“0016”にする
  MOV.W  MEM, R0     ; ダミーリード
  FSET   I           ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC  FLG
  FCLR   I           ; 割り込み禁止
  AND.B  #00H, 0056H ; TXICレジスタを“0016”にする
  POPC   FLG        ; 割り込み許可
```

19.3 クロック発生回路

19.3.1 発振停止検出機能

メインクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1～OCD0ビットを“002” (発振停止検出機能無効)にしてください。

19.3.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

19.4 タイマ

19.4.1 タイマX、タイマY、タイマZ

- (1) リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- (2) プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。

19.4.2 タイマX

- (1) TXMOD0～TXMOD1ビットおよびTXMOD2ビットとTXSビットを同時に書き換えしないでください。
- (2) パルス周期測定モードで使用するTXMRレジスタのTXEDGビットとTXUNDビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。プログラムで一方のフラグを“0”にする場合、MOV命令を用いて他方のフラグに“1”を書いてください。(意図しないフラグの変化を防ぐことができます。)

<有効エッジ判定フラグを“0”にするプログラム例>

```
MOV.B          #10XXXXXXB,008BH
```

- (3) 他のモードからパルス周期測定モードに変更したとき、TXEDGビットとTXUNDビットは不定です。TXEDGビットとTXUNDビットに“0”を書いてから、タイマXのカウントを開始してください。
- (4) カウント開始後に初めて発生するプリスケアラXのアンダフロー信号で、TXEDGビットが“1”になる場合があります。
パルス周期測定モードを使用する場合は、カウント開始直後にプリスケアラXの2周期以上の時間を空けて、TXEDGビットを“0”にしてから使用してください。

19.4.3 タイマY

- (1) TYMOD0ビットとTYSビットを同時に書き換えしないでください。

19.4.4 タイマZ

- (1) TZMOD0～TZMOD1ビットとTZSビットを同時に書き換えしないでください。
- (2) プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TYZMRレジスタのTZSビットを“0”にしてカウントを停止したとき、またはTZOCレジスタのTZOSビットを“0”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

19.4.5 タイマC

TCレジスタおよびTM0レジスタを読み出すときは、16ビット単位で読み出してください。TCレジスタは16ビット単位で読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が更新されることはありません。

<タイマCを読み出すプログラム例>

```
MOV.W          0090H,R0 ;タイマCの読み出し
```

19.5 シリアルインタフェース

- (1) クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB (i=0、1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W  00A6H, R0    ; U0RBレジスタの読み出し
```

- (2) 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B  #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B  #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み
```

19.6 A/Dコンバータ

- (1) ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
特にVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
- (2) A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モードで使用する場合
A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADICレジスタのIRビットまたはADCON0レジスタのADSTビットで判定できます)。
- (4) 繰り返しモードで使用する場合
CPUクロックは、メインクロックを分周せずに使用してください。
- (5) A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを“0”にした場合は、ADレジスタの値を使用しないでください。
- (6) AVCC/VREF端子とAVss端子間に0.1 μ Fのコンデンサを接続してください。

19.7 フラッシュメモリ

19.7.1 CPU書き換えモード

動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。EW1モードではこの注意事項は不要です。

使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。
UND命令、INTO命令、BRK命令

アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

フラッシュメモリの初期化

EW1モードでのイレースサスペンド中にFMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にすると、CPUが停止し、復帰できなくなるため、FMSTPビットを“1”にしないでください。

ストップモード、ウェイトモードへの移行

イレースサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

割り込み

表19.1にEW0モード時の割り込み、表19.2にEW1モード時の割り込みを示します。

表19.1 EW0モード時の割り込み

モード	状態	マスカブル割り込み 要求受付時	ウォッチドッグタイマ、発振停止検出、電圧検出 割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置することで使用できます。	割り込み要求を受け付けると自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。
	自動書き込み		

- 注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。
注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表19.2 EW1モード時の割り込み

モード	状態	マスカブル割り込み 要求受付時	ウォッチドッグタイマ、発振停止検出、 電圧検出割り込み要求受付時
EW1	自動消去中(イ レーズサスペ ンド機能有効)	自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR4レジスタのFMR41ビットを“0”(イレーズリスタート)にすることにより、自動消去を再開することができます。	割り込み要求を受け付けると自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。
	自動消去中(イ レーズサスペ ンド機能無効)	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。	
	自動書き込み	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。	

- 注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。
注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

19.8 ノイズに関する注意事項

- (1) ノイズおよびラッチアップ対策として、Vcc-Vssライン間へのバイパスコンデンサ挿入
Vcc端子とVss端子間にバイパスコンデンサ(0.1 μ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。
- (2) ポート制御レジスタのノイズ誤動作対策
過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。
- (3) CNVss端子配線
ノイズ誤動作耐量向上のために、5k 程度の抵抗をできるだけ端子に近い位置に挿入してVssと接続(プルダウン)してください。

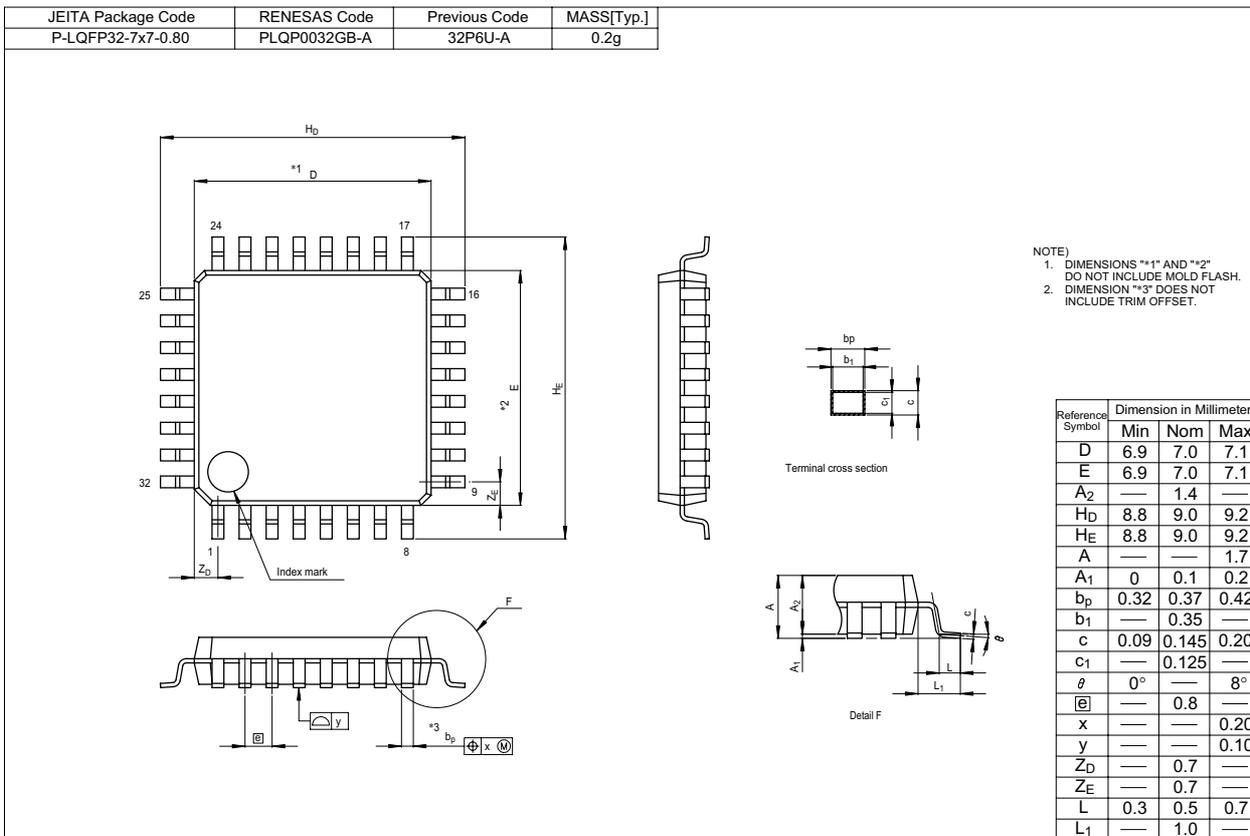
20. オンチップデバッガの注意事項

オンチップデバッガを使用してR8C/12グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) P00/AN7/TxD11端子、P37/TxD10/RxD1端子を使用しないでください。
- (2) PD3レジスタ(00E7₁₆番地)に書く場合、ビット7を“0”にしてください。
- (3) シリアルI/O1関連レジスタを、アクセスしないでください。
- (4) 0C000₁₆番地から0C7FF₁₆番地は、オンチップデバッガで使用するため、ユーザはこの領域を使用しないでください。
- (5) アドレス一致割り込み (AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル) をユーザシステムで設定しないでください。
- (6) BRK命令をユーザシステムで使用しないでください。
- (7) オンチップデバッガはFMR0レジスタのb5を“1”にして使用しますので、ユーザプログラムでb5を“0”にしないでください。
- (8) ユーザプログラムブレイク時にスタックポインタを最大8バイト分使用します。したがって、スタックエリアには8バイト分の余裕を確保してください。

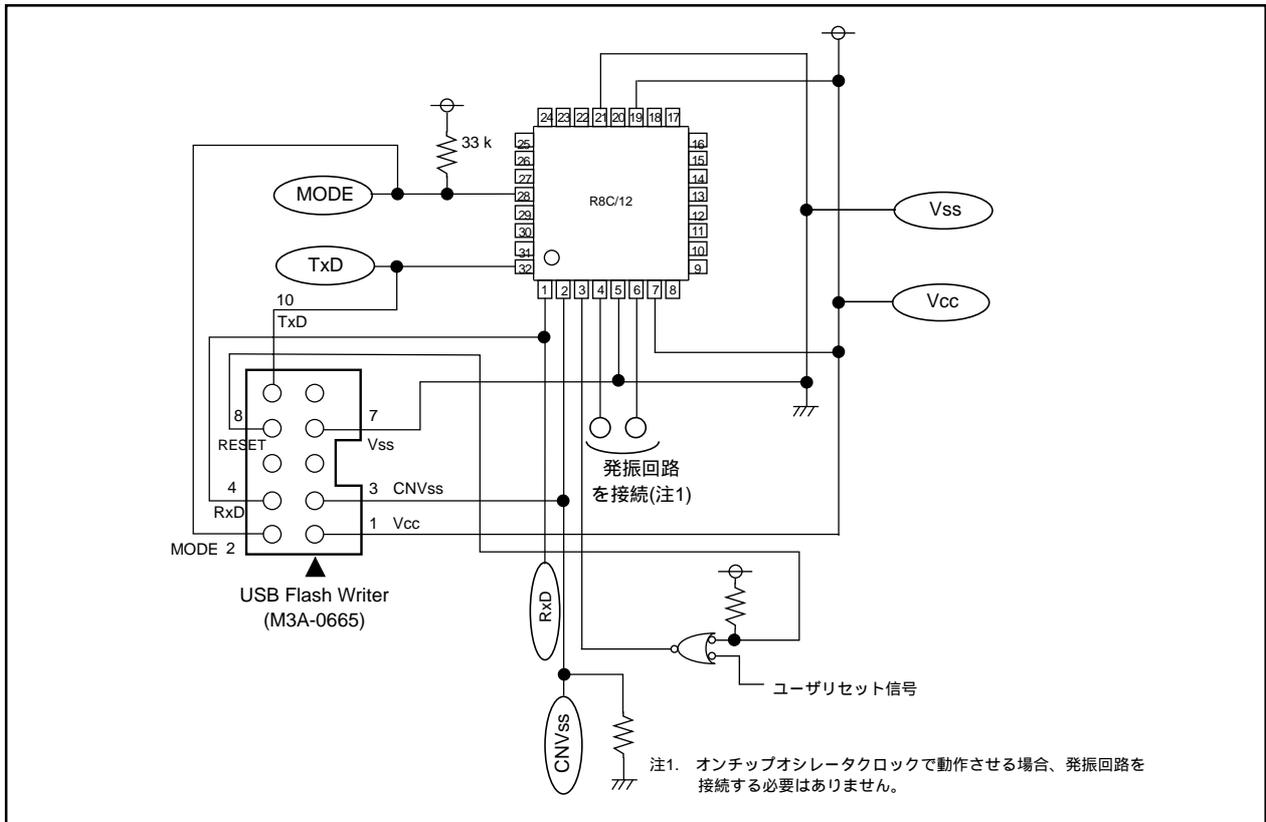
オンチップデバッガの接続や使用方法には、固有の制限事項があります。オンチップデバッガの詳細は各オンチップデバッガのマニュアルを参照してください。

付録1. 外形寸法図

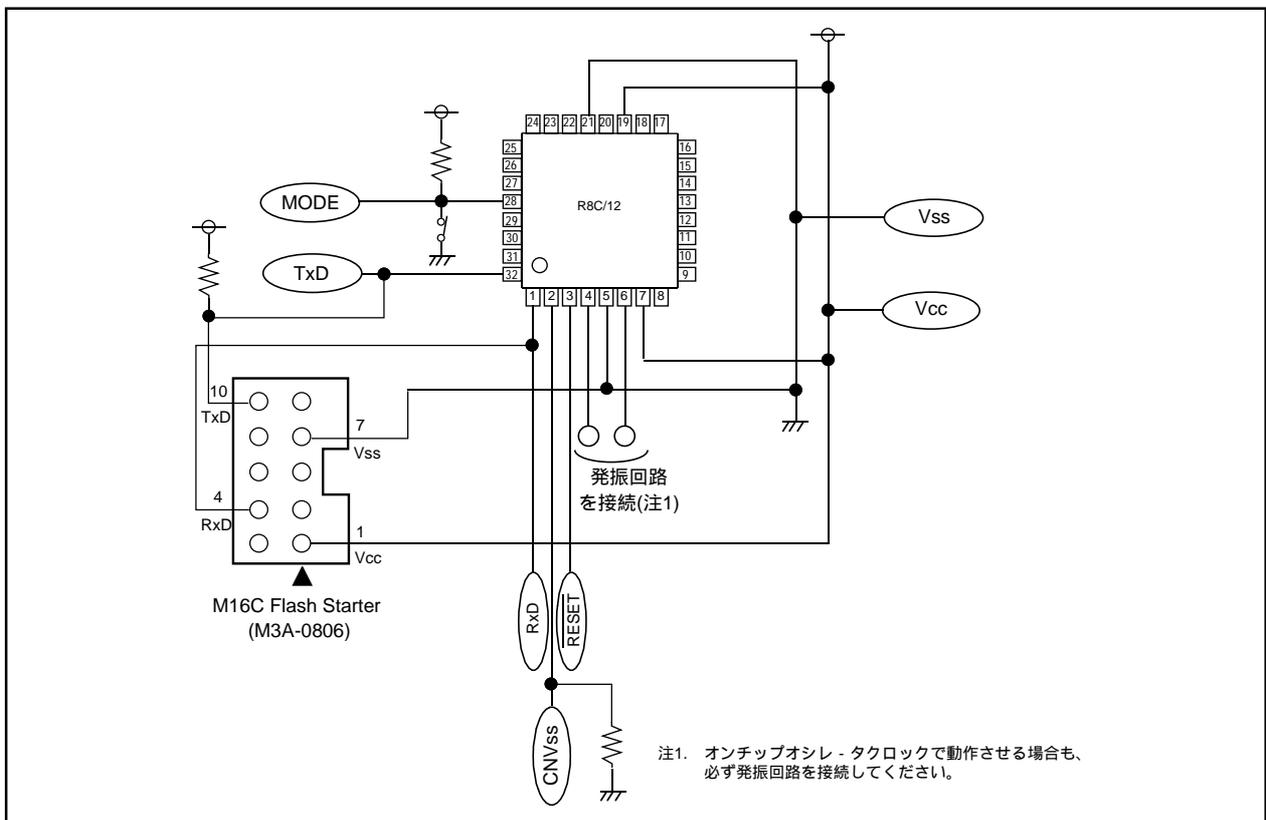


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図2.1にUSB Flash Writerとの接続例、付図2.2にM16C Flash Starterとの接続例を示します。

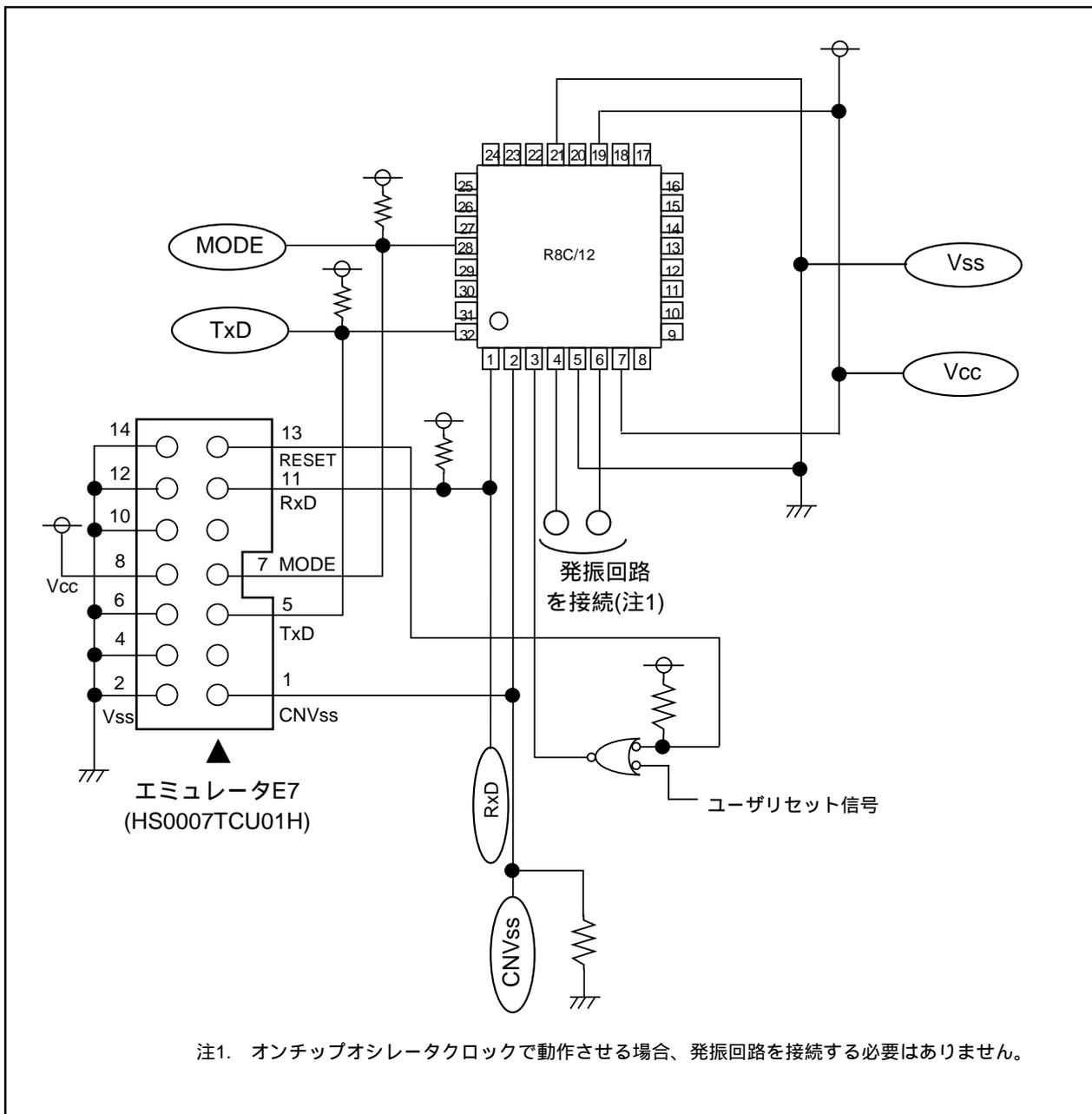


付図2.1 USB Flash Writer (M3A-0665)との接続例



付図2.2 M16C Flash Starter (M3A-0806)との接続例

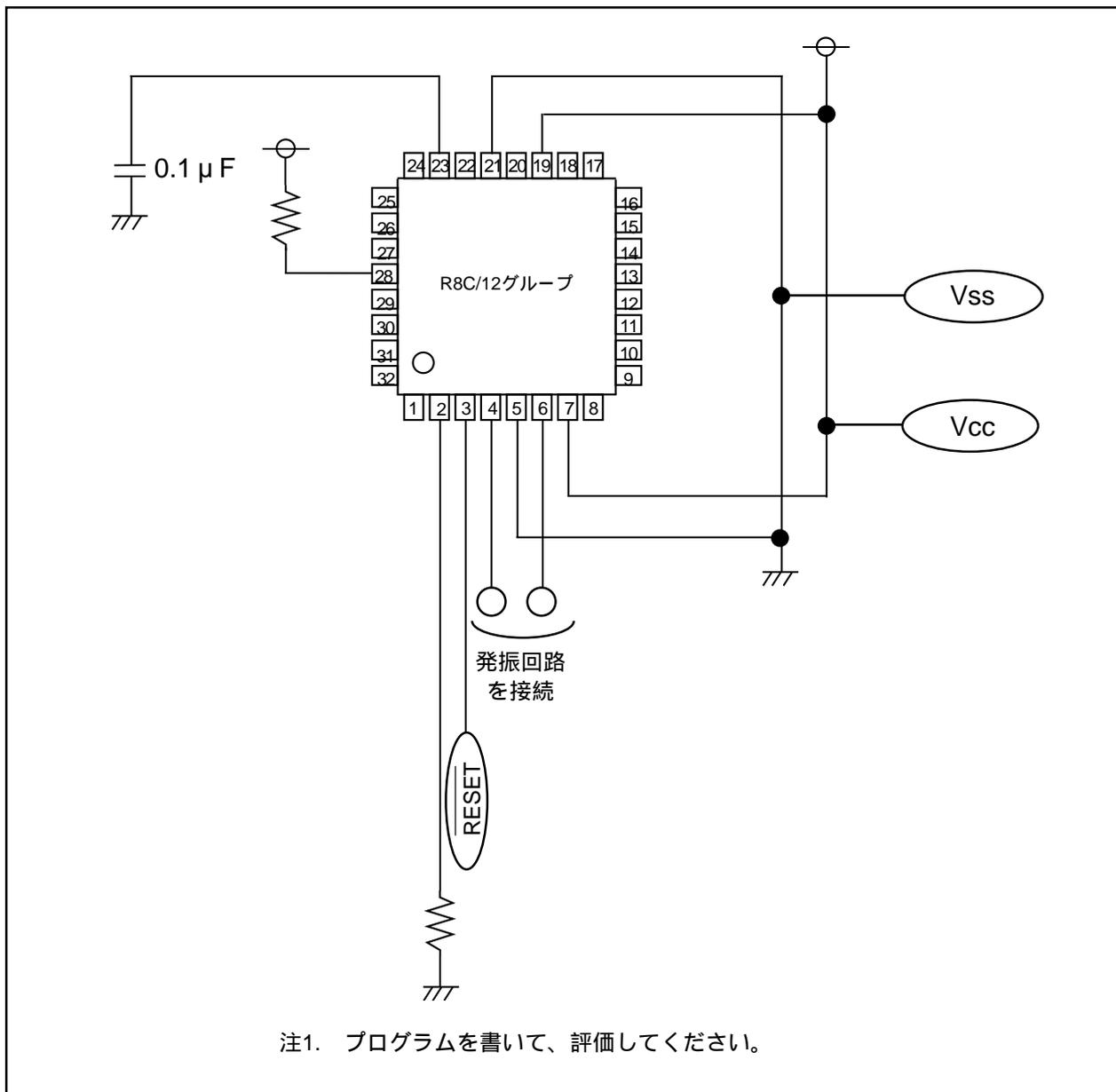
付図2.3にエミュレータE7との接続例を示します。



付図2.3 エミュレータE7 (HS0007TCU01H)との接続例

付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

SFR レジスタ図索引

A

AD 107
ADCON0 106
ADCON1 106
ADCON2 107
ADIC 39
AIER 52

C

CM0 19
CM1 19

D

DRR 120

F

FMR0 147
FMR1 148
FMR4 148

I

INT0F 46
INT0IC 39
INT1IC 39
INT2IC 39
INT3IC 39
INTEN 46

K

KIEN 50
KUPIC 39

O

OCD 20
OFS 54

P

P0, P1, P3, P4 119
PD0, PD1, PD3, PD4 119
PM0 31
PM1 31
PRCR 30
PREX 57
PREY 66

PREZ 74
PUM 67/75
PUR0 120
PUR1 120

R

RMAD0 52
RMAD1 52

S

S0RIC 39
S0TIC 39
S1RIC 39
S1TIC 39

T

TC 87
TCC0 87
TCC1 87
TCIC 39
TCSS 57
TM0 87
TX 57
TXIC 39
TXMR 56
TYIC 39
TYPR 66
TYSC 66
TYZMR 65/73
TYZOC 66/74
TZIC 39
TZPR 74
TZSC 74

U

U0BRG 91
U1BRG 91
U0C0 92
U1C0 92
U0C1 93
U1C1 93
U0MR 92
U1MR 92
U0RB 91

U1RB 91
U0TB 91
U1TB 91
UCON 93

W

WDC 54
WDTS 54
WDTR 54

改訂記録

R8C/12 グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2003.11.05	-	初版発行
0.20	2003.12.29	14 26 32 54 62 65 67 75 81 84 121 122 126 130 139	5.2 節 ソフトウェアリセットでは、、、を削除 5.3 節 ウォッチドッグタイマリセットでは、、、を削除 本文 7 行目：・ $\overline{\text{INT}}$ 割り込み、、、 ・ $\overline{\text{INT0}} \sim \overline{\text{INT2}}$ 割り込み、、、 図 8.1 注 2 を削除、b1 に RW 属性を追記 図 11.1 WDTS WDTR レジスタへの書き込みに修正 表 12.5 選択機能の仕様を修正 図 12.10 タイマ X、および、読み出し用バッファの内容を修正、TXEDG ビット、 および、TXIC の IR ビットのタイミング修正 図 12.13 TYZOC レジスタに注 3 を追記 図 12.20 TYZOC レジスタに注 3 を追記 表 12.11 カウント動作に追記/修正 表 12.12 カウント動作に追記/修正 表 16.4、表 16.5 TBD に値記載、規格値変更、項目追加 表 16.7 駆動能力 LOW I _{OH} I _{OL} 表 16.14 駆動能力 LOW I _{OH} I _{OL} 表 17.1 項目（データ保持）を削除 図 17.6 「CM0 ~ CM1 レジスタの設定」を削除
1.00	2004.6.11	全ページ 9 12 13 18 19 25 26 37 38 44 47	用語統一（統一用語：オンチップオシレータ、ウォッチドッグタイマ、A/D コンバータ） 図 3.1 注 2 を追記 表 4.3 009C ₁₆ 、009D ₁₆ 番地 XX ₁₆ FF ₁₆ に修正 表 4.4 01B3 ₁₆ 番地 0100000X ₂ 01000000 ₂ に変更 01B7 ₁₆ 番地 XX000001 ₂ 00000001 ₂ に変更 注 1 に追記 図 6.1 修正 図 6.2 CM0 レジスタ CM06 のビット名 メインクロック CPU クロックに修正 CM1 レジスタ CM16、17 のビット名 メインクロック CPU クロックに修正 注 7 を追記 表 6.3 発振停止検出割り込みを追記 「6.4.3 ストップモード」 19 行目から 21 行目まで追記 「固定ベクタテーブル」 2 行目 フラッシュメモリ版では、を削除 表 10.1 参照先に章、節番号を追記 表 10.2 表名一部削除 参照先に章、節番号を追記 「レジスタ退避」 5 行目から 6 行目を修正 注 1 を追記 図 10.6 注 1 を追記 図 10.7 注 1 に追記 「10.2.1 $\overline{\text{INT0}}$ 割り込み」 5 行目に追記

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.6.11	49	「10.2.3 $\overline{\text{INT1}}$ 割り込み、 $\overline{\text{INT2}}$ 割り込み」 2行目 (のでタイマXがタイマモードの、、、)を削除 4行目 (のでタイマYがタイマモードの、、、)を削除
		50	「10.2.4 $\overline{\text{INT3}}$ 割り込み」6行目に追記
		57	「12.1 タイマX」3行目 ((クロック源))を削除
		60	表 12.3 (CNTR0 出力の立ち上がり、、、)を削除 選択機能の仕様を修正
		61	表 12.4 (CNTR0 入力のカウントエッジ、、、)を削除 $\overline{\text{INT1}}$ /CNTR0 端子機能の仕様に追記
		62	表 12.5 測定期間終了時 測定期間終了に修正 $\overline{\text{INT1}}$ /CNTR0 端子機能の仕様に追記
		64	図 12.7 R0EDG の機能に追記/修正 表 12.6 $\overline{\text{INT1}}$ /CNTR0 端子機能の仕様に追記 図 12.9 R0EDG の機能に追記/修正
		66	「12.2 タイマY」5行目 (クロック源)を削除
		69	表 12.7 分周比の仕様 f_i 1 に修正 $\overline{\text{INT2}}$ /CNTR1 端子機能の仕様に追記/修正
		71	表 12.8 周期の項目を出力波形の幅、周期の項目と仕様に変更 選択機能の仕様を修正 (旧)注1、注4を削除 注3を変更
		72	図 12.16 TYZMR レジスタ R1EDG の機能を修正 注3を追記
		74	「12.3 タイマZ」5行目 ((クロック源))を削除 図 12.18 修正 PD3 レジスタ PD3_1 ビット P3 レジスタ P3_1 ビットに修正
		77	表 12.9 分周比の仕様 f_i 1 に修正 ($\overline{\text{INT0}}$ 端子入力の立ち上がり、、、)を削除 外部割り込み入力端子 $\overline{\text{INT0}}$ 割り込み入力に修正
		79	表 12.10 周期の項目を出力波形の幅、周期の項目と仕様に変更 選択機能の仕様を修正 外部割り込み入力端子 $\overline{\text{INT0}}$ 割り込み入力に修正 (旧)注1、注4を削除 注3を変更
		81	表 12.11 分周比の項目をワンショットパルス出力時間の項目と仕様に変更 $\overline{\text{INT0}}$ 端子機能の仕様に追記/修正
		83	図 12.25 TZPR=03 ₁₆ TZPR=01 ₁₆ に修正 INSTG ビット INOSTG ビットに修正
		84	表 12.12 ウェイト時間、ワンショットパルス出力時間の仕様に追記/修正 $\overline{\text{INT0}}$ 端子機能の仕様に追記/修正 注2に追記

改訂記録

R8C/12 グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2004.6.11	87	表 12.13 カウント開始条件、カウント停止条件、カウンタ値初期化タイミングの仕様を修正 INT3/TCIN 端子機能の仕様に追記 項目 P10 ~ P12、P30 ~ P32 端子機能を追加
		88	図 12.29 TM0 レジスタ リセット後の値 不定 FFFF ₁₆ に修正
		90	図 13.1 U1BRF レジスタ U1BRG レジスタに修正
		103	図 13.10 UiBRG のカウントソース UiBRG の出力に修正 STPS ビット=1(1 ストップビット) 0(1 ストップビット)に修正
		118	表 15.1 端子名 P37 を追記 ポート P0、P1、、、の処理内容に追記/修正
		119	表 16.2 Vcc の規格値 標準を削除 注 3 追記
		120	表 16.3 Vref の規格値を修正 注 4 追記
		121	表 16.4 データ保持時間の規格値を修正
			表 16.5 データ保持時間の規格値を修正
		122	表 16.6 注 3 BCLK がスタートを CPU クロックの供給がに修正
			表 16.7 VOH 駆動能力 LOW IOH IOH に修正 VOL 測定条件 IOH IOH に修正 駆動能力 HIGH IOH IOH に修正
		123	表 16.8 オンチップオシレータモードの規格値、単位を修正 ウェイトモードの規格値 標準、最大を明示
		126	表 16.14 VOH 駆動能力 LOW IOH IOH に修正 VOL 測定条件 IOH IOH に修正 駆動能力 HIGH IOH IOH に修正
		127	表 16.15 オンチップオシレータモードの規格値、単位を修正 ウェイトモードの規格値 標準、最大を明示
		128	表 16.16 規格値 最小を修正 表 16.20 注 1、注 2 に追記 (最小値の)
		134	「17.4 CPU 書き換えモード」 8 行目 (EW1)モード (EW1 モード)に修正
		135	「17.4.2 EW1 モード」 7 行目から 8 行目を修正
		137	図 17.3 FMR0 レジスタ リセット後の値 XX000001 ₂ 00000001 ₂ に修正 注 6 を追記
		138	図 17.4 FMR4 レジスタ リセット後の値 0100000X ₂ 01000000 ₂ に修正
		140	図 17.7 フラッシュメモリ回路安定待ち(10 μs) (15 μs)に修正 注 3 プログラムで 10 μs、、、 15 μs に修正
		146	表 17.6 コマンドシーケンスエラー エラー発生条件に追記
		153	「19.1 ストップモード、ウェイトモード」 1 行目から 19 行目 追記/修正
		156	「19.3 クロック発生回路」節を追加 (以降の節番、ページ数を変更)
		161	「 ストップモード」 4 行目から 11 行目 追記/修正
		163	「20. オンチップデバッグの注意事項」 10 行目から 11 行目 (7)を追記

改訂記録

R8C/12 グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2004.8.27	2	表 1.1 消費電流 TBD (Vcc=3V、ウェイトモード) 標準35 μ A (Vcc=3V、ウェイトモード、周辺クロック停止)に修正 プログラム領域のプログラム、イレーズ回数 100回 1000回に変更 動作周囲温度 (オプション) (Dバージョン)に修正 オプションの注釈削除
		5	図1.3 IVccに注3を追加
		6	表1.3 IVccに「内部電源を安定化させるための端子です。」、「Vccに接続しないでください。」を追記
		81	表12.11 注 2に3行目を追記
		84	表12.12 注 2に「INT0割り込み要求は発生します。」追記
		90	「13. シリアルI/O」 「13. シリアルインタフェース」に修正
		99	13.1.3 連続受信モード 「連続受信モードでは、U0TB レジスタにダミーデータを再設定する必要がなく、U0RB レジスタを読み出すことで受信許可状態になります。」 「連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタのTIビットが“0”(U0TBにデータあり)になります。」に修正
		121	表16.4 プログラム、イレーズ回数 最小値 100 1000に変更 表16.5 注2の3行目 (n = 100、10000) (n = 1000、10000)に変更、 注4 「バイトプログラム時間、ブロックイレーズ時間」 「バイトプログラム時間」に修正
		130	表17.1 プログラム領域のプログラム、イレーズ回数 100回 1,000回に変更、 注1 3行目 (n = 100、10000) (n = 1,000、10,000)に変更、 5行目 100回 1000回に変更
		135	17.4.1 EW0モード 7行目 「(サスペンドリクエスト)」「(イレーズサスペンドリクエスト)」、 8行目 「(自動消去停止)」「(リード許可)」に修正 17.4.2 EW1モード 9行目 「(サスペンドリクエスト)」「(イレーズサスペンドリクエスト)」に修正
		136	FMSTPビット 8行目 図17.6 図17.7に修正 FMR41ビット 3行目 「(サスペンドリクエスト)」「(イレーズサスペンドリクエスト)」に修正 FMR46ビット 「FMR46ビットが“0”」 「FMR46ビットが“0”(リード禁止)」に修正 「“1”」「“1”(リード許可)」に修正
		138	図17.4 FMR4 FMR41 機能 「1: サスペンドリクエスト」

改訂記録

R8C/12 グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2004.8.27		<p>「1: イレーズサスペンドリクエスト」に修正</p> <p>FMR46</p> <p>ビット名 「イレーズステータス」 「リードステータスフラグ」、 機能 「0: 自動消去動作中、 1: 自動消去停止 (イレーズサスペンドモード)」 「0: リード禁止、1: リード許可」に修正</p> <p>140 図 17.7 注4 追加</p> <p>141 表 17.4 BA 「ブロックの最上位番地」 「ブロックの任意の番地」に修正</p> <p>143 ブロックイレーズ 1行目 「最上位番地」 「任意の番地」に修正 図 17.9 「ブロックの最上位番地」 「ブロックの任意の番地」に修正</p> <p>144 図 17.10 注2 追加</p> <p>146 表 17.6 コマンドシーケンスエラーのエラー発生条件 4項目以降を追記</p> <p>153 「19.1 ストップモード、ウエイトモード」に19.1.1項、19.1.2項を追加</p> <p>161 「19.7.1 CPU書き換えモード」項目の並び変え 「ウエイトモード」と「ストップモード」項目削除 「フラッシュメモリの初期化」項目追加</p> <p>162 割り込み内容修正、表19.1、表19.2追加</p> <p>168 「付録3. 発振評価回路例」追加</p>
1.20	2005.4.27		<p>4 表1.2、図1.2 パッケージ型名を変更 開発中表記をを削除</p> <p>5 図1.3 パッケージ型名を変更</p> <p>10 表 4.1 000F₁₆ 番地 000XXXXX₂ 00011111₂ に修正</p> <p>12 表 4.3 009C₁₆ 番地、009D₁₆ 番地 0016、0016 に修正</p> <p>14 「5.1.1 ハードウェアリセット1」 電源が安定している場合、電源投入時 500 μs 待つ 500 μs(1/fring × 20)待つに追記</p> <p>15 図 5.2 一部変更</p> <p>17 表 6.1 注2 を追記</p> <p>19 図6.2 システムクロック制御レジスタ0 注2を一部削除 注3を一部変更 注6を削除 システムクロック制御レジスタ1 注7を一部変更</p> <p>21 「6.1 メインクロック」に一部追記</p> <p>23 「6.3.1 CPUクロック」を一部削除</p> <p>24 「オンチップオシレータモード」一部削除</p> <p>25 表6.3 タイマZ割り込み、タイマC割り込みを追記</p> <p>27 図6.5 変更</p> <p>28 図6.6 削除</p> <p>54 図 11.2 ウォッチドッグタイマ制御レジスタ リセット後の値を修正</p> <p>63 図 12.9 注2 を追記</p> <p>70 表 12.8 $\overline{\text{INT}}_2/\text{CNTR}_1$ 端子機能の仕様に追記</p>

Rev.	発行日	改訂内容	
		ページ	ポイント
1.20	2005.4.27	78	表 12.10 TZOUT 端子機能の仕様に追記
		80	表 12.11 TZOUT 端子機能の仕様に追記 / 修正
		83	表 12.12 TZOUT 端子機能の仕様に追記 / 修正
		87	図 12.29 キャプチャレジスタ リセット後の値を追記 / 修正
		94	表 13.1 $f_i/2(n+1)$ $f_i/(2(n+1))$
		99	表 13.4 $f_j/16(n+1)$ $f_i/(16(n+1))$
		100	表 13.6 CLK0(P16)の機能を変更 転送クロック出力 プログラマブル入出力ポート
		103	「13.2.3 ビットレート」を追記
		110	図 14.6 一部変更 「14.4 A/D 変換サイクル数」を追記
		111	「14.5 アナログ入力内部等価回路」を追記
		112	「14.6 注入電流バイパス回路」を追記
		120-125	「15.2 ポートの設定」を追記
		126	表 15.24 一部追記 / 修正 図 15.9 未使用端子の処理例を追記
		128	表 16.3 $f(XIN)$ を削除 注3を一部修正 V_{cc} AV_{cc}
		129	表 16.4、16.5 イレーズサスペンドリクエスト間隔を追記
		130	表 16.6 $t_d(P-R)$ 規格値、単位を追記 / 変更 表 16.7 P10 ~ P17 測定条件、規格値、単位を追記 / 変更 ヒステリシスに P45 を追加
		132	表 16.13 注1、注2に一部追記
		134	表 16.14 ヒステリシスに P45 を追加
		139	図 17.1 追記 / 変更
		142	表 17.3 CPUクロックを追記
		147	図 17.5 サスペンド動作に関するタイミングを追記
		148	図 17.8 図題を変更 前後の処理 さらに低消費電力にする処理
		150	「プログラム」18行目 リードコマンド リードアレイコマンド
		152	図 17.11 注2に一部追記
		158	図 17.13 パッケージ型名を変更
		160	「18.1 アドレス一致割り込み」を一部修正
		165	「19.3.2 発振回路定数」を追加
		166	「19.4.4 タイマZ」を一部修正
		168	「19.6 A/D コンバータ」(3)単発モードで使用する場合に一部追記
		169	「ストップモード、ウェイトモードへの移行」を追記
		172	「20 オンチップデバッグの注意事項」を一部修正、(8)を追記
		173	外形寸法図を変更

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2006.2.13	2	表 1.1 性能概要 フラッシュメモリ：「データ領域」「データフラッシュ」 「プログラム領域」「プログラムROM」へ変更
		3	図 1.1 ブロック図 「システムクロック発生」「システムクロック発生器」へ変更
		4	表 1.2 製品一覧表 ROM 容量：「プログラム領域」「プログラムROM」 「データ領域」「データフラッシュ」へ変更
		7	図 2.1 CPU のレジスタ 「予約領域」「予約ビット」へ変更
		8	2.8.10 予約領域 「予約領域」「予約ビット」へ変更
		9	3. メモリ、図 3.1 メモリ配置図 (データ領域) (データフラッシュ) (プログラム領域) (プログラムROM) へ変更
		12	表 4.3 SFR 一覧 (3) ・ 0081 ₁₆ プリスケーラ Y プリスケーラ Y レジスタ ・ 0082 ₁₆ タイマ Y セカンダリ タイマ Y セカンダリ レジスタ ・ 0083 ₁₆ タイマ Y プライマリ タイマ Y プライマリ レジスタ ・ 0085 ₁₆ プリスケーラ Z プリスケーラ Z レジスタ ・ 0086 ₁₆ タイマ Z セカンダリ タイマ Z セカンダリ レジスタ ・ 0087 ₁₆ タイマ Z プライマリ タイマ Z プライマリ レジスタ ・ 008C ₁₆ プリスケーラ X プリスケーラ X レジスタ ・ 008D ₁₆ タイマ X タイマ X レジスタ ・ 0090 ₁₆ , 0091 ₁₆ タイマ C タイマ C レジスタ
		15	図 5.2 リセットシーケンス (CPU クロック × 72 サイクル) (CPU クロック × 64 サイクル)
		17	表 6.1 クロック発生回路の概略仕様 注 2 削除
		20	図 6.3 OCD レジスタ 注 3 一部削除
		24	表 6.2 クロック関連ビットの設定とモード CM1 レジスタ：CM13 追加
		28	6.5.1 発振停止検出機能の使用方法 「周波数が 2MHz 以下の、」 「周波数が 2MHz 未満の、」
		32	9. バス制御 表 9.1 アクセス領域に対するバスサイクル 「SFR」「SFR/データフラッシュ」 「ROM/RAM」「プログラムROM/RAM」 表 9.2 アクセス単位とバスの動作 「SFR」「SFR、データフラッシュ」 「ROM、RAM」「プログラムROM、RAM」

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2006.2.13	45	図 10.9 割り込み優先レベル判定回路 注1 削除
		56	図 12.1 タイマXブロック図 「周辺データバス」 「データバス」
		59	表 12.3 パルス出力モードの仕様 注1 追記
		73	図 12.18 タイマZブロック図 「周辺データバス」 「データバス」
		91	図 13.3 U0TB ~ U1TB、U0RB ~ U1RB、U0BRG ~ U1BRG レジスタ UARTi 送信バッファレジスタ、UARTi 受信バッファレジスタ 変更 UARTi 転送速度レジスタ 注3 追記
		92	図 13.4 U0MR ~ U1MR、U0C0 ~ U1C0 レジスタ UARTi 送受信制御レジスタ0 注1 追記
		93	図 13.5 U0C1 ~ U1C1、UCON レジスタ UART 送受信制御レジスタ2 注2 追記
		100	表 13.5 UART モード時の使用レジスタと設定値 UiBRG : 「 - 」 「0 ~ 7」
		105	図 14.1 A/D コンバータのブロック図 「Vref」 「Vcom」
		113	14.7 A/D変換時のセンサーの出力インピーダンス 追記
		115	図 15.1 プログラマブル入出力ポートの構成 (1) 注1 追記
		116	図 15.2 プログラマブル入出力ポートの構成 (2) 注1 追記
		117	図 15.3 プログラマブル入出力ポートの構成 (3) 注1 追記
		118	図 15.4 プログラマブル入出力ポートの構成 (4) 注3 追記
		125	表 15.20 ポートP33/INT3/TCINの設定 ビット「PD3_1」 「PD3_3」
		126	表 15.22 ポートP45/INT0の設定 ビット「PD3_3」 「PD4_5」 表 15.23 ポートXIN/P46とXOUT/P47の設定 設定値 一部変更
		130	表 16.4 フラッシュメモリ (プログラム ROM) の電気的特性 注1 ~ 7 追記 「Topr」 「周囲温度」 バイトプログラム時間、ブロックイレーズ時間の測定条件 削除
131	表 16.5 フラッシュメモリ (データフラッシュ ブロック A、ブロック B) の 電気的特性 注1、3 変更 注9 追記 「Topr」 「周囲温度」 バイトプログラム時間、ブロックイレーズ時間の測定条件 削除		
133	表 16.8 電気的特性 (2) 注1 削除 測定条件 ストップモード「Topr = 25」 追記		
137	表 16.15 電気的特性 (4) 注1 削除 測定条件 ストップモード「Topr = 25」 追記		

改訂記録

R8C/12 グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2006.2.13	141	17.2 メモリ配置 「ユーザROM領域には、領域とは、ブロック B があります。」 「ユーザROM領域には、領域（プログラムROM）とは、ブロック B（データフラッシュ）があります。」
			表 17.1 フラッシュメモリのブロック図 変更
		147	図 17.3 FMR0レジスタ 注7 追記
		148	図 17.4 FMR1、FMR4 レジスタ フラッシュメモリ制御レジスタ 4 注 2 : 「、上記期間以外は“1”に、、」 「、上記期間以外は“0”に、、」
		154	図 17.11 ブロックイレ - ズフローチャート（イレ - ズサスペンド機能使用時） 「ブロックの最上位番地に」 「ブロックの任意の番地に」
		157	図 17.12 フルステータスチェックフロチャート、各エラー発生時の対処方法 変更
		159	表 17.7 端子の機能説明（フラッシュメモリ標準シリアル入出力モード） RESET 機能：一部削除
		163	19.1.1 ストップモード 「ストップモードに移行する場合は、、、」 追記 「・ストップモードに移行する例」 「・ストップモードに移行するプログラム」へ変更 「プログラム例」 削除
		167	19.3.1 発振停止検出機能 「周波数が 2MHz 以下の、、」 「周波数が 2MHz 未満の、、」
		176	付図 2.2 M16C Flash Starter (M3A-0806)との接続例 注 1 一部変更 ブルアップ追加

R8C/12グループハードウェアマニュアル

発行年月日 2003年11月 5日 Rev. 0.10
2006年 2月13日 Rev. 1.30

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

R8C/12 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0103-0130