# カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (http://www.renesas.com)

2010 年 4 月 1 日 ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社(http://www.renesas.com)

【問い合わせ先】http://japan.renesas.com/inquiry



# ご注意書き

- 1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
- 2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的 財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の 特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 3. 当社製品を改造、改変、複製等しないでください。
- 4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
- 5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
- 6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
- 7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準: コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準: 輸送機器(自動車、電車、船舶等)、交通用信号機器、防災・防犯装置、各種安全装置、生命 維持を目的として設計されていない医療機器(厚生労働省定義の管理医療機器に相当)

特定水準: 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器(生命維持装置、人体に埋め込み使用するもの、治療行為(患部切り出し等)を行うもの、その他直接人命に影響を与えるもの)(厚生労働省定義の高度管理医療機器に相当)またはシステム

- 8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
- 9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
- 10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
- 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
- 12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご 照会ください。
- 注1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



# R8C/11グループ

ハードウェアマニュアル ルネサス16ビットシングルチップマイクロコンピュータ M16Cファミリ/R8C/Tinyシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、 予告なしに、本資料に記載した製品または仕様を変更することがあります。 ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

#### **−** 安全設計に関するお願い ·

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、 誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果とし て、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した 冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

# 本資料ご利用に際しての留意事項

- 1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただく ための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが 所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサステクノロジは責任を負いません。
- 3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報 は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に 記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特 約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (http://www.renesas.com) などを通じて公開される情報に常にご注意ください。
- 4. 本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料 の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその 責任を負いません。
- 5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
- 6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサステクノロジ、ルネサス販売または特約店へご照会ください。
- 7. 本資料の転載、複製については、文書によるルネサステクノロジの事前の承諾が必要です。
- 8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサステクノロジ、ルネサス販売または特約店までご照会ください。

# このマニュアルの使い方

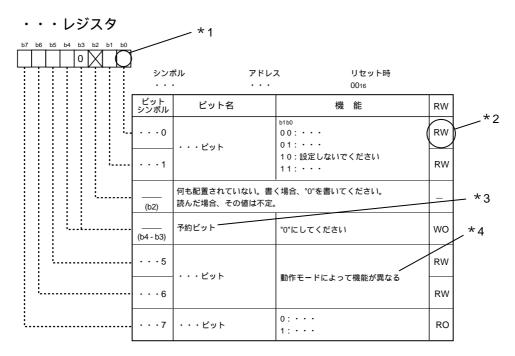
# 1. 対象

このマニュアルはR8C/11グループのハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必 要です。

# 2. レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



**\***1

: 用途に応じて"0"または"1"にしてください。 : "0"にしてください。 空白

: "1" にしてください。 1

: 何も配置されてないビットです。

\*2

RW:読むとビットの状態が読めます。書くと有効データになります。 :読むとビットの状態が読めます。書いた値は無効になります。 WO:書くと有効データになります。ビットの状態は読めません。

: 何も配置されていないビットです。

\*3

## ・予約ビット

予約ビットです。指定された値にしてください。

\* 4

#### ・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性があります ので、書く場合は"0"を書いてください。

# ・設定しないでください

設定した場合の動作は保証されません。

#### ・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

# 3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。

ドキュメントの種類	記載内容	
ショートシート	ハードウェアの概要	
データシート	ハードウェアの概要と電気的特性	
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、	
	電気的特性、タイミング)	
ソフトウェアマニュアル	命令 (アセンブリ言語) の動作の詳細	
アプリケーションノート	周辺機能の応用例	
	参考プログラム	
	M16Cファミリ入門用基本機能説明	
	アセンブリ言語、C言語によるプログラムの作成方法	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

# 目次

番地	也別ページ早見表	B-1
1.	概要	1
1.1	応用	1
1.2	性能概要	2
1.3	ブロック図	3
1.4	製品一覧	4
1.5	ピン接続図	5
1.6	端子の機能説明	6
2.	中央演算処理装置(CPU)	7
2.1	データレジスタ(R0、R1、R2、R3)	7
2.2	アドレスレジスタ(A0、A1)	7
2.3	フレームベースレジスタ(FB)	8
2.4	割り込みテーブルレジスタ(INTB)	8
2.5	プログラムカウンタ(PC)	8
2.6	ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)	8
2.7	スタティックベースレジスタ(SB)	8
2.8	フラグレジスタ(FLG)	8
2	2.8.1 キャリフラグ(Cフラグ)	8
2	2.8.2 デバッグフラグ(Dフラグ)	8
2	2.8.3 ゼロフラグ(Zフラグ)	8
2	2.8.4 サインフラグ(Sフラグ)	8
2	2.8.5 レジスタバンク指定フラグ(Bフラグ)	8
2	2.8.6 オーバフローフラグ(Oフラグ)	8
2	2.8.7 割り込み許可フラグ(Iフラグ)	8
2	2.8.8 スタックポインタ指定フラグ(Uフラグ)	8
2	2.8.9 プロセッサ割り込み優先レベル(IPL)	8
2	2.8.10 予約領域	8

3. メモリ	9
4. SFR	10
5. リセット	
5.1 ハードウェアリセット	
5.1.1 ハードウェアリセット1	
5.1.2 ハードウェアリセット2	
5.1.3 パワーオンリセット機能	
5.2 ソフトウェアリセット	
5.3 ウォッチドッグタイマリセット	
5.4 電圧検出回路	
5.4.1 電圧検出割り込み	
5.4.2 電圧検出割り込みによるストップモードからの復帰	28
6. クロック発生回路	29
6.1 メインクロック	34
6.2 オンチップオシレータクロック	35
6.2.1 低速オンチップオシレータクロック	35
6.2.2 高速オンチップオシレータクロック	35
6.3 CPUクロックと周辺機能クロック	36
6.3.1 CPUクロック	36
6.3.2 周辺機能クロック(f1、f2、f8、f32、fAD、f1SIO、f8SIO、f32SIO)	36
6.3.3 fring, fring128	
6.3.3 fring-fast	36
6.4 パワーコントロール	37
6.4.1 通常動作モード	37
6.4.2 ウェイトモード	
6.4.3 ストップモード	40
6.5 発振停止検出機能	
6.5.1 発振停止検出機能の使用方法	
7. プロテクト	
8. プロセッサモード	45
0.4 プロセッサエードの種類	45

9. バフ	ス制御	46
10. 割	り込み	47
10.1 割	り込みの概要	47
10.1.1	割り込みの分類	47
10.1.2	ソフトウェア割り込み	48
10.1.3	ハードウェア割り込み	49
10.1.4	割り込みと割り込みベクタ	50
10.1.5	割り込み制御	52
10.2 IN	_ T割り込み	60
10.2.1	 INT0割り込み	60
10.2.2	 INT0入力フィルタ	61
10.2.3	 INT1割り込み、INT2割り込み	62
10.2.4	 INT3割り込み	63
10.3 +	一入力割り込み	65
10.4 ア	ドレス一致割り込み	66
11. ウ	ォッチドッグタイマ	68
12. タ	イマ	70
12.1 タ	イマX	71
12.1.1	タイマモード	73
12.1.2	パルス出力モード	74
12.1.3	イベントカウンタモード	75
12.1.4	パルス幅測定モード	76
12.1.5	パルス周期測定モード	78
12.2 タ	1 7 Y	80
12.2.1	タイマモード	83
12.2.2	プログラマブル波形発生モード	85
12.3 タ	イマZ	88
12.3.1	タイマモード	91
12.3.2	プログラマブル波形発生モード	93
12.3.3	プログラマブルワンショット発生モード	95
12.3.4	プログラマブルウェイトワンショット発生モード	98

12.4	タイマC	101
12.	.4.1 インプットキャプチャモード	105
12.	.4.2 アウトプットコンペアモード	107
13.	シリアルインタフェース	109
13.1	クロック同期形シリアルI/Oモード	114
13.	1.1 極性選択機能	117
13.	.1.2 LSBファースト、MSBファースト選択	117
13.	1.3 連続受信モード	118
13.2	クロック非同期形シリアルI/O(UART)モード	119
13.	.2.1 TxD10/RxD1選択機能(UART1)	122
13.	.2.2 TxD11選択機能(UART1)	122
13.	.2.3 ビットレート	123
14.	A/Dコンバータ	124
14.1	単発モード	128
14.2	繰り返しモード	130
14.3	サンプル&ホールド	132
14.4	A/D変換サイクル数	132
14.5	アナログ入力内部等価回路	133
14.6	注入電流バイパス回路	134
14.7	A/D変換時のセンサーの出力インピーダンス	135
15.	プログラマブル入出力ポート	136
15.1	機能説明	136
15.	.1.1 ポートPi方向レジスタ(PDiレジスタ i=0、1、3、4)	136
15.	.1.2 ポートPiレジスタ(Piレジスタ i=0、1、3、4)	136
15.	.1.3 プルアップ制御レジスタ0、プルアップ制御レジスタ1(PUR0、PUR1レジスタ)	136
15.	1.4 ポートP1駆動能力制御レジスタ(DRRレジスタ)	136
15.2	ポートの設定	144
15.3	未使用端子の処理	150
16.	電気的特性	151
	フラッシュメモリ版	
17.1	概要	163
17.2	メモリ配置	164
17 2	フラッシュメモリ書き換え替止機能	165

17.3.1 IDコードチェック機能	165
17.4 CPU書き換えモード	167
17.4.1 EW0モード	168
17.4.2 EW1モード	168
17.4.3 ソフトウェアコマンド	174
17.4.4. ステータスレジスタ	178
17.4.5 フルステータスチェック	179
17.5 標準シリアル入出力モード	181
17.5.1 IDコードチェック機能	181
18. オンチップデバッガ	185
18.1 アドレス一致割り込み	185
18.2 シングルステップ割り込み	185
18.3 UART1	185
18.4 BRK命令	185
19. 使用上の注意事項	186
19.1 ストップモード、ウェイトモード	186
19.1.1 ストップモード	186
19.1.2 ウェイトモード	186
19.2 割り込み	187
19.2.1 00000₁6番地の読み出し	187
19.2.2 SPの設定	187
19.2.3 外部割り込み、キー入力割り込み	187
19.2.4 ウォッチドッグタイマ割り込み	187
19.2.5 割り込み要因の変更	188
19.2.6 割り込み制御レジスタの変更	189
19.3 クロック発生回路	190
19.3.1 発振停止検出機能	190
19.3.2 発振回路定数	190
19.4 タイマ	191
19.4.1 タイマX、タイマY、タイマ Z	191
19.4.2 タイマX	191
19.4.3 タイマY	191
19.4.4 タイマZ	191
19.4.5 タイマC	191

19.5	シリアルインタフェース	192
19.6	A/Dコンバータ	193
19.7	フラッシュメモリ	194
19.	7.1 CPU書き換えモード	194
19.8	ノイズに関する注意事項	196
20.	オンチップデバッガの注意事項	197
付録	1. 外形寸法図	198
付録	2. シリアルライタとオンチップデバッギングエミュレータとの接続例	_ 199
付録:	3. 発振評価回路例	201
SFR	レジスタ索引	202

# 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
000016			
000116			
000216			
000316			
000416	プロセッサモードレジスタ0	PM0	45
000516	プロセッサモードレジスタ1	PM1	45
000616	システムクロック制御レジスタ0	CM0	31
000716	システムクロック制御レジスタ1	CM1	31
000816	高速オンチップオシレータ制御レジスタ0	HR0	33
000916	アドレスー致割り込み許可レジスタ	AIER	67
000A16	プロテクトレジスタ	PRCR	44
000B16	高速オンチップオシレータ制御レジスタ1	HR1	33
000C16	発振停止検出レジスタ	OCD	32
000D16	ウォッチドッグタイマリセットレジスタ	WDTR	69
000E16	ウォッチドッグタイマスタートレジスタ	WDTS	69
000E16	ウォッチドッグタイマ制御レジスタ	WDC	69
001016	2 3 2 3 1 2 2 2 1 Chapter 2 2 C		
001116	  アドレスー致割り込みレジスタ0	RMAD0	67
001216		111111111111111111111111111111111111111	0,
001316			
001416			
001516	  アドレスー致割り込みレジスタ1	RMAD1	67
001616	TOX SERVE	TOWNE	0,
001716			
001716			
001916	電圧検出レジスタ1	VCR1	22
001A16	電圧検出レジスタ2	VCR2	22
001R16	電圧1人出レンハッ2	VOILE	
001C16			
001D16			
001E16	INTO入力フィルタ選択レジスタ	INT0F	60
001F16	電圧検出割り込みレジスタ	D4INT	23
002016	モエバ出品 りたの レンバン	DHIN	20
002016			
002116			
002316			
002416			
002516			
002616			
002716			
002716			
002916			
002316 002A16			
002A16			
002B16			
002D16			
002E16			
UUZL 10			1

番地	レジスタ	シンボル	掲載ページ
003016			
003116			
003216			
003316			
003416			
003516			
003616			
003716			
003816			
003916			
003A16			
003B16			
003C16			
003D16			
003E16			
003F16			
004016			
004116			
004216			
004316			
004416			
004516			
004616			
004716			
004816			
004916			
004A16			
004B16			
004C16			
004D16	キー入力割り込み制御レジスタ	KUPIC	53
004E16	AD変換割り込み制御レジスタ	ADIC	53
004F16			
005016	コンペア1割り込み制御レジスタ	CMP1IC	53
005116	UART0送信割り込み制御レジスタ	S0TIC	53
005216	UART0受信割り込み制御レジスタ	S0RIC	53
005316	UART1送信割り込み制御レジスタ	S1TIC	53
005416	UART1受信割り込み制御レジスタ	S1RIC	53
005516	INT2割り込み制御レジスタ	INT2IC	53
005616	タイマX割り込み制御レジスタ	TXIC	53
005716	タイマY割り込み制御レジスタ	TYIC	53
005816	タイマZ割り込み制御レジスタ	TZIC	53
005916	INT1割り込み制御レジスタ	INT1IC	53
005A16	INT3割り込み制御レジスタ	INT3IC	53
005B16	タイマC割り込み制御レジスタ	TCIC	53
005C16	コンペア0割り込み制御レジスタ	CMP0IC	53
005D16	INTO割り込み制御レジスタ	INT0IC	53
005E16			
005F16			

空欄はすべて予約領域です。

# 番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
006016			
006116			
006216			
006316			
006416			
006516			
006616			
006716			
006816			
006916			
006A16			
006B16			
006C16			
006D16			
006E16			
006F16			
007016			
007116			
007216			
007316			
007416			
007516			
007616			
007716			
007816			
007916			
007A16			
007B16			
007C16			
007D16			
007E16			
007F16			
008016	タイマY、Zモードレジスタ	TYZMR	80/88
008116	プリスケーラYレジスタ	PREY	81
008216	タイマYセカンダリレジスタ	TYSC	81
008316	タイマYプライマリレジスタ	TYPR	81
008416	タイマY、Z波形出力制御レジスタ	PUM	82/90
008516	プリスケーラZレジスタ	PREZ	89
008616	タイマZセカンダリレジスタ	TZSC	89
008716	タイマZプライマリレジスタ	TZPR	89
008816			
008916			
008A16	タイマY、Z出力制御レジスタ	TYZOC	81/89
008B16	タイマXモードレジスタ	TXMR	71
008C16	プリスケーラXレジスタ	PREX	72
008D16	タイマXレジスタ	TX	72
008E16	タイマカウントソース設定レジスタ	TCSS	82/90
008F16			

番地	レジスタ	シンボル	掲載ページ
009016	タイマCレジスタ	TC	103
009116			
009216			
009316			
009416			
009516			
009616	外部入力許可レジスタ	INTEN	60
009716			
009816	キー入力許可レジスタ	KIEN	65
009916			
009A16	タイマC制御レジスタ0	TCC0	103
009B16	タイマC制御レジスタ1	TCC1	104
009C <sub>16</sub>	キャプチャ、コンペア0レジスタ	TM0	103
009E16 009F16	コンペア1レジスタ	TM1	103
00A016	UART0送受信モードレジスタ	U0MR	112
00A016	UART0転送速度レジスタ	U0BRG	111
00A216			
00A316	UART0送信バッファレジスタ	U0TB	111
00A416	UARTO送受信制御レジスタ0	U0C0	112
00A516	UART0送受信制御レジスタ1	U0C1	113
00A616			
00A716	UART0受信バッファレジスタ	U0RB	111
00A816	UART1送受信モードレジスタ	U1MR	112
00A916	UART1転送速度レジスタ	U1BRG	111
00AA16	UART1送信バッファレジスタ	U1TB	111
00AB16	UARTI区はバックテレクスタ	OTIB	'''
00AC16	UART1送受信制御レジスタ0	U1C0	112
00AD16	UART1送受信制御レジスタ1	U1C1	113
00AE16	UART1受信バッファレジスタ	U1RB	111
00AF16	UARTI又自ハリントレンスタ	OIKB	'''
00B016	UART送受信制御レジスタ2	UCON	113
00B116			
00B216			
00B316			
00B416			
00B516			
00B616			
00B716			
00B816			
00B916			
00BA16			
00BB16			
00BC16			
00BD16			
00BE16			
00BF16			

空欄はすべて予約領域です。

# 番地別ページ早見表

番地	レジスタ	シンボル	掲載 ページ
00C016 00C116	ADレジスタ	AD	127
00C216			
00C316			
00C416			
00C516			
00C616			
00C716			
00C816			
00C916			
00CA16			
00CB16			
00CC16			
00CD16			
00CE16			
00CF16			
00D016			
00D116			
00D216			
00D316			
00D416	AD制御レジスタ2	ADCON2	127
00D516			
00D616	AD制御レジスタ0	ADCON0	126
00D716	AD制御レジスタ1	ADCON1	126
00D816			
00D916			
00DA16			
00DB16			
00DC16			
00DD16			
00DE16			
00DF16			
00E016	ポートP0レジスタ	P0	142
00E116	ポートP1レジスタ	P1	142
00E216		PD0	142
00E316	ポートP1方向レジスタ	PD1	142
00E416			
00E516	ポートP3レジスタ	P3	142
00E616			
00E716	ポートP3方向レジスタ	PD3	142
00E816	ポートP4レジスタ	P4	142
00E916			
00EA16	ポートP4方向レジスタ	PD4	142
00EB16			
00EC16			
00ED16			
00EE16			
00EF16			

番地	レジスタ	シンボル	掲載
00F016			
00F116			
00F216			
00F316			
00F416			
00F516			
00F616			
00F716			
00F816			
00F916			
00FA16			
00FB16			
00FC16	プルアップ制御レジスタ0	PUR0	143
00FD16	プルアップ制御レジスタ1	PUR1	143
00FE16	ポートP1駆動能力制御レジスタ	DRR	143
00FF16	タイマC出力制御レジスタ	TCOUT	104
¥			<del>*</del>
01B316	フラッシュメモリ制御レジスタ4	FMR4	171
01B416			
01B516	フラッシュメモリ制御レジスタ1	FMR1	171
01B616			
01B7 <sub>16</sub>	フラッシュメモリ制御レジスタ0	FMR0	170

空欄はすべて予約領域です。



# R8C/11グループ

SINGLE-CHIP 16-BIT CMOS MICROCOMPUTER

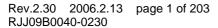
RJJ09B0040-0230 Rev.2.30 2006.2.13

# 1. 概要

本マイコンは高性能シリコンゲートCMOSプロセスを採用し、R8C/Tinyシリーズ CPUコアを搭載したシングルチップマイクロコンピュータで、32ピンプラスチックモールドLQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。

# 1.1 応用

家電、事務機器、住設機器(センサー、セキュリティ)、産業一般、オーディオ、他





# 1.2 性能概要

表1.1に本マイコンの性能概要を示します。

# 表1.1 性能概要

		性能
CPU	基本命令数	89命令
	最短命令実行時間	50ns (f(XIN)=20MHz, Vcc=3.0 ~ 5.5V)
		100ns (f(XIN)=10MHz, Vcc=2.7 ~ 5.5V)
	動作モード	シングルチップ
	アドレス空間	1Mバイト
	メモリ容量	表1.2を参照してください。
周辺機能	割り込み	内部:11要因、外部:5要因、ソフトウェア:4要因、
		割り込み優先レベル:7レベル
	ウォッチドッグタイマ	15ビット×1チャネル (プリスケーラ付)
	タイマ	タイマX:8ビット×1チャネル、タイマY:8ビット×
		1チャネル、タイマZ:8ビット×1チャネル
		(各タイマ:8ビットプリスケーラ付)
		タイマC:16ビット×1チャネル
		インプットキャプチャ回路、アウトプットコンペア
		回路
	シリアルインタフェース	1チャネル
	(シリアルI/O)	クロック同期形シリアルI/O、クロック非同期形シリアルI/O
	,	1チャネル
		クロック非同期形シリアルI/O
	A/Dコンバータ	10ビットA/Dコンバータ:1回路、12チャネル
	クロック発生回路	2回路
		・メインクロック発振回路 (帰還抵抗内蔵)
		・オンチップオシレータ (高速、低速)
		高速オンチップオシレータは周波数調整機能付き
	発振停止検出機能	メインクロック発振停止検出機能
	電圧検出回路	内蔵
	パワーオンリセット回路	内蔵
	ポート	入出力:22本 (LED駆動用ポート含む)、入力:2本
		(LED駆動用入出力ポート:8本)
電気的特性	電源電圧	Vcc=3.0 ~ 5.5V (f(XIN)=20MHz)
		Vcc=2.7 ~ 5.5V (f(XIN)=10MHz)
	消費電流	標準 9mA (Vcc=5V、f(XIN)=20MHz、高速モード)
		標準 5mA (Vcc=3V、f(XIN)=10MHz、高速モード)
		標準 35 μ A (Vcc=3V、ウェイトモード、周辺クロック停止)
		標準 0.7 μ A (Vcc=3V、ストップモード)
フラッシュメモリ版	プログラム、イレーズ電圧	Vcc=2.7 ~ 5.5V
	プログラム、イレーズ回数	100回
動作周囲温度		-20 ~ 85
		-40 ~85 (Dバージョン)
パッケージ		32ピンプラスチックモールドLQFP

# 1.3 ブロック図

図1.1に本マイコンのブロック図を示します。

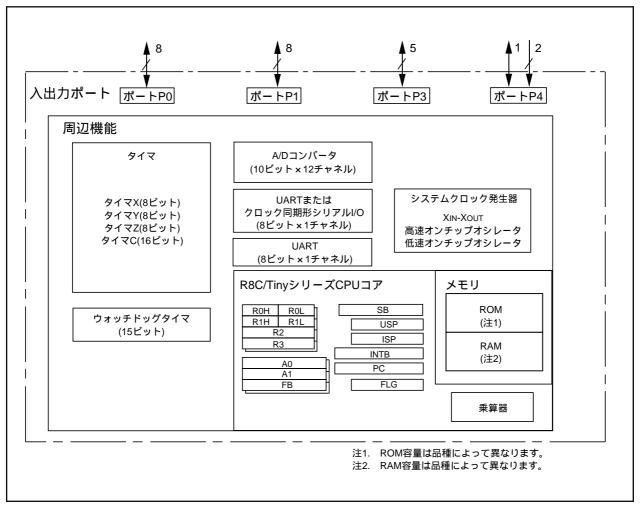


図1.1 ブロック図

# 1.4 製品一覧

表1.2に製品一覧表を示します。

表1.2 製品一覧表

2006年2月現在

型名	ROM容量	RAM容量	パッケージ	備	考
R5F21112FP	8Kバイト	512バイト	PLQP0032GB-A	フラッシュメモリ版	
R5F21113FP	12Kバイト	768バイト	PLQP0032GB-A		
R5F21114FP	16Kバイト	1Kバイト	PLQP0032GB-A		
R5F21112DFP	8Kバイト	512バイト	PLQP0032GB-A	Dバージョン	
R5F21113DFP	12Kバイト	768バイト	PLQP0032GB-A		
R5F21114DFP	16Kバイト	1Kバイト	PLQP0032GB-A		

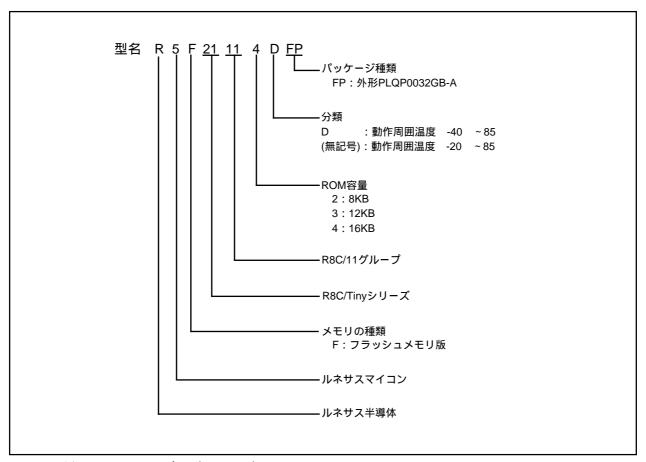


図1.2 型名とメモリサイズ・パッケージ

# 1.5 ピン接続図

図1.3にピン接続図(上面図)を示します。

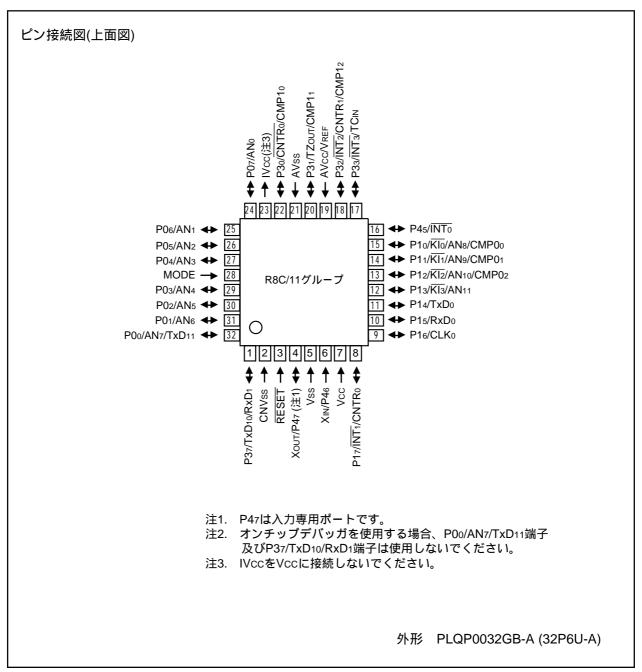


図1.3 ピン接続図(上面図)

# 1.6 端子の機能説明

表1.3に本マイコンの端子の機能説明を示します。

表1.3 端子の機能説明

分類	端子名	入出力	機能
電源入力	Vcc	入力	Vccには、2.7V~5.5Vを入力してください。
	Vss		Vssには、OVを入力してください。
IVcc	IVcc	出力	内部電源を安定化させるための端子です。
			コンデンサ(0.1 μ F)を介してVssに接続してください。
			Vccに接続しないでください。
アナログ電源入力	AVcc	入力	A/Dコンバータの電源入力です。AVccはVccに接続して
	AVss		ください。AVssはVssに接続してください。AVccとAVss
			間にはコンデンサを接続してください。
リセット入力	RESET	入力	│この端子に" L "を入力すると、マイクロコンピュータ│
			はリセット状態になります。
CNVss	CNVss	入力	抵抗を介してVssに接続してください。(注1)
MODE	MODE	入力	抵抗を介してVccに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUT
			<b>」の間にはセラミック共振子、または水晶発振子を接</b>
メインクロック出力	Xout	出力	続してください。外部で生成したクロックを入力す
			る場合は、XINからクロックを入力し、XOUTは開放に
			してください。
INT割り込み入力	INT <sub>0</sub> ~ INT <sub>3</sub>	入力	INT割り込みの入力です。
キー入力割り込み入力	KI <sub>0</sub> ~ KI <sub>3</sub>	入力	キー入力割り込みの入力です。
タイマX	CNTR <sub>0</sub>	入出力	タイマXの入出力です。
	CNTR <sub>0</sub>	出力	タイマXの出力です。
タイマY	CNTR <sub>1</sub>	入出力	タイマYの入出力です。
タイマZ	TZout	出力	タイマZの出力です。
タイマC	TCIN	入力	タイマCの入力です。
	CMP00 ~ CMP02, CMP10 ~ CMP12	出力	タイマCの出力です。
シリアル	CLK <sub>0</sub>	入出力	転送クロック入出力です。
インターフェース	RxD0、RxD1	入力	シリアルデータ入力です。
	TxD0、TxD10、	出力	シリアルデータ出力です。
	TxD11		
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。VREFはVccに接
			続してください。
A/Dコンバータ	AN0 ~ AN11	入力	A/Dコンバータのアナログ入力です。
入出力ポート	P00 ~ P07、	入出力	CMOSの8ビット入出力ポートです。入出力を選択す
	P10 ~ P17、		るための方向レジスタを持ち、1端子ごとに入力ポー
	P30 ~ P33, P37,		ト、または出力ポートにできます。
	P45		入力ポートは、プログラムでプルアップ抵抗の有無
			を選択できます。
			ポートP10~P17はLED駆動ポートとして使用できます。
入力ポート	P46、P47	入力	入力専用ポートです。
			<u>'</u>

注1.接続する参考抵抗値は「19.8 ノイズに関する注意事項」を参照してください。

# 2. 中央演算処理装置(CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

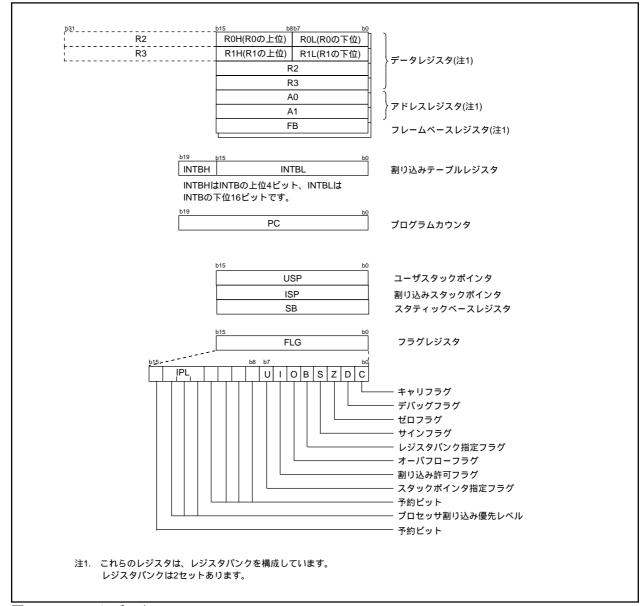


図2.1 CPUのレジスタ

# 2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1~R3はR0と同様です。 R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、 R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0 と同様です。

# 2.2 アドレスレジスタ(AO、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

# 2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。 USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。"0"にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき"1"になり、それ以外のとき"0"になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき"1"になり、それ以外のとき"0"になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが"0"の場合、レジスタバンク0が指定され、"1"の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに"1"になります。それ以外では"0"になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。

Iフラグが"0"の場合、マスカブル割り込みは禁止され、"1"の場合、許可されます。 割り込み要求を受け付けると、Iフラグは"0"になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが "0" の場合、ISPが指定され、 "1" の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号 $0 \sim 31$ のINT命令を実行したとき、Uフラグは"0"になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを指定します。 要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、"0"を書いてください。読んだ場合、その値は不定。

R8C/11グループ 3. メモリ

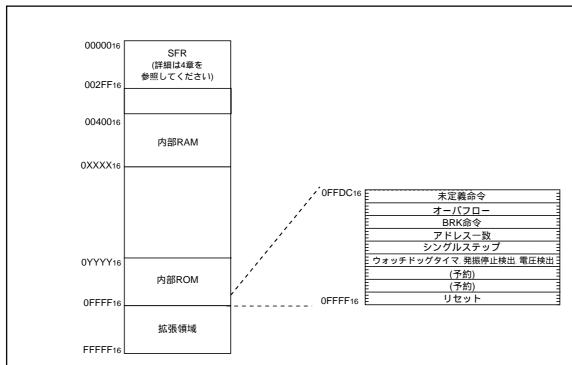
# 3. メモリ

図3.1にメモリ配置を示します。アドレス空間は0000016番地からFFFFF16番地までの1Mバイトあります。 内部ROMは0FFFF16番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C00016番地から 0FFFF16番地に配置されます。

固定割り込みベクタテーブルはOFFDC16番地からOFFFF16番地に配置されます。ここに割り込みルーチンの 先頭番地を格納します。

内部RAMは0040016番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、0040016番地から007FF16番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、0000016番地から002FF16番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。



注1. 空欄は予約領域です。アクセスしないでください。

TII 67	内部	ROM	内部RAM	
型名	容量	0YYYY16番地	容量	0XXXX16番地
R5F21114FP、R5F21114DFP	16Kバイト	0C00016	1Kバイト	007FF16
R5F21113FP、R5F21113DFP	12Kバイト	0D00016	768バイト	006FF16
R5F21112FP、R5F21112DFP	8Kバイト	0E00016	512バイト	005FF16

図3.1 メモリ配置図

R8C/11グループ 4. SFR

# 4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1~表4.4にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

衣4.1	SFR一頁(1)(注1)			
番地	レジスタ		シンボル	リセット後の値
000016	- · ·			
000116				
000216				
000316				
000416	ブロセッサモードレジスタ0		PM0	0016
000516	プロセッサモードレジスタ1		PM1	0016
000616	システムクロック制御レジスタ0		CM0	011010002
000716	システムクロック制御レジスタ 1		CM1	001000002
000816	高速オンチップオシレータ制御レジスタ0		HR0	0016
000916	アドレス一致割り込み許可レジスタ		AIER	XXXXXX002
000A16	プロテクトレジスタ		PRCR	00XXX0002
000B16	高速オンチップオシレータ制御レジスタ1		HR1	4016
000C16	発振停止検出レジスタ		OCD	000001002
000D16	ウォッチドッグタイマリセットレジスタ ウォッチドッグタイマスタートレジスタ		WDTR	XX16
000E16			WDTS	XX16
000F16	ウォッチドッグタイマ制御レジスタ		WDC RMAD0	000111112
001016	アドレス一致割り込みレジスタ0		RIVIADO	0016
001116				0016 V016
0012 <sub>16</sub> 0013 <sub>16</sub>			<del>                                     </del>	X016
001316	アドレス一致割り込みレジスタ1		RMAD1	0016
001416	ノーレス 以削り心のレンスプー		LINIADI	0016
001516				X016
001016			+	ΛΟΙΟ
001716				
001916	電圧検出レジスタ1	(注2)	VCR1	000010002
001A16	電圧検出レジスタ2	(注2)	VCR2	0016(注3)
		(/=-/		100000002 (注4)
001B <sub>16</sub>				(i= )
001C16				
001D16				
001E16	INT0入力フィルタ選択レジスタ		INT0F	XXXXX0002
001F16	電圧検出割り込みレジスタ	(注2)	D4INT	0016 (注3)
				010000012 (注4)
002016				
002116				
002216				
002316				
002416			1	
002516				
002516 002616				
002516 002616 002716				
002516 002616 002716 002816				
002516 002616 002716 002816 002916				
002516 002616 002716 002816 002916 002A16				
002516 002616 002716 002816 002916 002A16 002B16				
002516 002616 002716 002816 002916 002A16 002B16 002C16				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002D16				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002D16 002E16				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002D16 002E16 002F16				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002D16 002E16 002F16 003016				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002C16 002E16 002F16 003016 003116				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002D16 002E16 002F16 003016				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002D16 002E16 002F16 003016 003116 003316				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002C16 002D16 002F16 002F16 003116 003116				
002516 002616 002716 002816 002916 002916 002016 002C16 002C16 002C16 002C16 003016 003116 003216 003316 003316				
002516 002616 002716 002816 002916 002216 002D16 002D16 002E16 002F16 003016 003116 003316 003416				
002516 002616 002716 002816 002916 002A16 002D16 002D16 002E16 002E16 003016 003116 003116 003316 003416 003516				
002516 002616 002716 002816 002918 002A16 002B16 002C16 002C16 002E16 003C16 003116 00316 00316 003516 003516 003616				
002516 002616 002716 002816 002916 002A16 002B16 002D16 002E16 002F16 003116 003116 00316 00316 00316 00316 00316 003516 003616				
002516 002616 002716 002816 002916 002A16 002B16 002C16 002D16 002E16 00316 00316 00316 003316 003516 003616 003716				
002516 002616 002716 002816 002916 002916 002D16 002D16 002E16 002E16 00316 00316 00316 00316 003516 003516 003616 003616 003716 003816 003916				
002516 002616 002716 002816 002916 002916 002D16 002D16 002E16 002E16 00316 00316 00316 003516 003616 003716 003816 003816				
002516 002616 002716 002816 002916 0022816 0022816 0022816 0022816 0022816 0022816 0022816 002516 0032816 00316 003316 003416 003516 003616 003716 003816 003816 003816 003816 003816 003816 003816				

X:不定です。

注1. 空欄は予約領域です。アクセスしないでください。 注2. ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。 注3. リセット入力の場合。 注4. RESET端子が"H"固定の場合。

R8C/11グループ 4. SFR

# 表4.2 SFR一覧(2)(注1)

٠. ١٠٠	O. K. 92(2)(/11)		
番地	レジスタ	シンボル	リセット後の値
004016			7 - 7 - 12 - 12
004116			
004216			
004316			
004416			
004516			
004616			
004716			
004816			
004916			
004A16			
004A16			
004C16			
004C16	ナートも割り込みものしていると	KUDIC	VVVVV0000
004E16	キ・入力割り込み制御レジスタ	KUPIC	XXXXX0002
004E16	AD変換割り込み制御レジスタ	ADIC	XXXXX0002
004F16	ー >	OMPAIO	V/V/V/0000
	コンペア1割り込み制御レジスタ	CMP1IC	XXXXX0002
005116	UARTO送信割り込み制御レジスタ	SOTIC	XXXXX0002
005216	UART0受信割り込み制御レジスタ	SORIC	XXXXX0002
005316	UART1送信割り込み制御レジスタ	S1TIC	XXXXX0002
005416	UART1受信割り込み制御レジスタ	S1RIC	XXXXX0002
005516	INT2割り込み制御レジスタ	INT2IC	XXXXX0002
005616	タイマX割り込み制御レジスタ	TXIC	XXXXX0002
005716	タイマY割り込み制御レジスタ	TYIC	XXXXX0002
005816	タイマZ割り込み制御レジスタ	TZIC	XXXXX0002
005916	INT1割り込み制御レジスタ	INT1IC	XXXXX0002
005A16	INT3割り込み制御レジスタ	INT3IC	XXXXX0002
005B16	タイマC割り込み制御レジスタ	TCIC	XXXXX0002
005C16	コンペア0割り込み制御レジスタ	CMP0IC	XXXXX0002
005D16	INTO割り込み制御レジスタ	INTOIC	XX00X0002
005E16		IIVIOIO	XX00X0002
005F16			
006016			
0061 <sub>16</sub>			
006316			
006416			
006516			
006616			
006716			
006816			
006916			
006A16			
006B <sub>16</sub>			
006C16			
006D16			
006E16			
006F16			
007016			
007116			
007216			
007316			
007416			
007516			
007616			
007716			
007716			
007916			
007A16			
007B16			
007C16			
007C16			
007C16			

注1. 空欄は予約領域です。アクセスしないでください。

X:不定です。

R8C/11グループ 4. SFR

#### SFR一覧(3)(注1) 表4.3

147.0			
番地	レジスタ	シンボル	リセット後の値
008016	タイマY、Zモードレジスタ	TYZMR	0016
008116	プリスケーラYレジスタ	PREY	FF16
008216	タイマYセカンダリレジスタ	TYSC	FF16
008316	タイマYプライマリレジスタ	TYPR	FF16
008316	タイマY、Z波形出力制御レジスタ	PUM	0016
008516		PREZ	
	プリスケーラZレジスタ タイマZセカンダリレジスタ	TZSC	FF16 FF16
008616			
008716	タイマZブライマリレジスタ	TZPR	FF16
008816			
008916			
008A16	タイマY、Z出力制御レジスタ	TYZOC	0016
008B <sub>16</sub>	タイマXモードレジスタ	TXMR	0016
008C16	ブリスケーラXレジスタ	PREX	FF16
008D <sub>16</sub>	タイマXレジスタ	TX	FF16
008E16	タイマカウントソース設定レジスタ	TCSS	0016
008F16			
009016	タイマCレジスタ	TC	0016
009116			0016
009216			
009316			
009416			
009516			
009616	外部入力許可レジスタ	INTEN	0016
009016	TIMES WORL DESCRIPTION		33.0
009716	  キー入力許可レジスタ	KIEN	0016
009916	十一八万計・リレンスク	RILIN	0010
009916 009A16	  タイマC制御レジスタ0	TCC0	0016
	タイマC制御レジスタ1	TCC1	0016
009B16			
009C16	キャブチャ、コンペア0レジスタ	TMO	0016
009D16			0016 (注2)
009E <sub>16</sub>	コンペア1レジスタ	TM1	FF16
009F16			FF16
00A016	UART0送受信モ - ドレジスタ	U0MR	0016
00A116	UART0転送速度レジスタ	U0BRG	XX16
00A216	UART0送信バッファレジスタ	U0TB	XX16
00A316			XX16
00A416	UART0送受信制御レジスタ0	U0C0	000010002
00A516	UART0送受信制御レジスタ1	U0C1	000000102
00A616	UART0受信バッファレジスタ	U0RB	XX16
00A716			XX16
00A816	UART1送受信モ・ドレジスタ	U1MR	0016
00A916	UART1転送速度レジスタ	U1BRG	XX16
	UART1送信バッファレジスタ	U1TB	XX16
00AB <sub>16</sub>		05	XX16
00AD16	   UART1送受信制御レジスタ0	U1C0	000010002
00AC16		U1C1	000010002
00AD16	UART1受信バッファレジスタ	U1RB	XX16
00AE16	OMMIXIMADA	OIND	XX16 XX16
00AF16		UCON	0016
	しみた   1大・安・1号 中川が   レング・ス・タッ		0010
	UART送受信制御レジスタ2		
00B116	UART 医受信制御レクスラ2		
00B216	UAKT 区交信制岬レンスラ2		
00B216 00B316	UART 区交信制岬レンスラ2		
00B216 00B316 00B416	UART 区交信制御レンスラ2		
00B216 00B316 00B416 00B516	UART 区交信制御レンスラ2		
00B216 00B316 00B416 00B516 00B616	UART 区交信制御レンスラ2		
00B216 00B316 00B416 00B516 00B616 00B716	UART 区交信制御レンスラ2		
00B216 00B316 00B416 00B516 00B616 00B716 00B816	UART 区交信制御レンスラ2		
00B216 00B316 00B416 00B516 00B616 00B716	UART 区交信制御レンスラ2		
00B216 00B316 00B416 00B516 00B616 00B716 00B816	UART 区交信制御レンスラ2		
00B216 00B316 00B416 00B516 00B616 00B716 00B816	UART 区交信制御レンスラ2		
00B216 00B316 00B416 00B516 00B616 00B716 00B816 00B916	UART 区交信制御レンスツ2		
00B216 00B316 00B416 00B516 00B616 00B716 00B816 00B916	UART 区交信制御レンスツ2		
00B216 00B316 00B416 00B516 00B616 00B716 00B816 00BA16 00BB16	UART 区交信 前側 ゆ レン 入 ヴ 2		
00B216 00B316 00B416 00B516 00B616 00B716 00B816 00B916 00BA16 00BC16 00BD16	UART 区交信例即レン人ラ2		

注1. 空欄は予約領域です。アクセスしないでください。 注2. アウトブットコンペアモード(TCC1レジスタのTCC13ビット=1)を選択すると、FFFF16になります。

X: 不定です。

R8C/11グループ 4. SFR

# 表4.4 SFR一覧(4)(注1)

포ᅪᆘ	しぶっね	5.5.4211	リー・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
番地	レジスタ	シンボル	リセット後の値
	ADレジスタ	AD	XX16
00C116			XX16
00C216			
00C316			
00C416			
00C516			
00C616			
00C716			
00C816			
00C916			
00CA16			
00CB16			
00CC16			
00CD16			
00CE16			
00CF16			
00D016 00D116			
00D116 00D216			
00D316	 AD制御レジスタ2	ADCON2	0016
00D416 00D516	AU印1単レン A 74	ADCON2	0016
	AD制御レジスタ0	ADCON0	00000XXX2
	AD制御レジスタ0 AD制御レジスタ1	ADCON0 ADCON1	0016
00D716 00D816	ハレル・サイン・ファ	ADCONT	0010
00D816 00D916			
00D916 00DA16		+	
00DA16 00DB16			
00DB16 00DC16			
00DC16 00DD16			
00DD16			
00DE16			
	ポートP0レジスタ	DO	XX16
00E016	ポートP1レジスタ	P0 P1	XX16 XX16
00E116	ポートP0方向レジスタ	PD0	0016
	ポートP1方向レジスタ	PD1	0016
00E416	<u>м— [-Р1)][[][[][[][[][][][][][][][][][][][][][</u>	FDI	0016
	ポートP3レジスタ	P3	XX16
00E616	<u> </u>	13	AATO
	ポートP3方向レジスタ	PD3	0016
	ポートP4レジスタ	P4	XX16
00E916	<u> </u>	14	AATO
00EA16	ポートP4方向レジスタ	PD4	0016
00EB16	<u> </u>	154	0010
00EC16			
00ED16			
00ED16			
00EE16			
00F016		+	
00F016 00F116			
00F116 00F216			
		+	
00F316 00F416			
00F416 00F516			
00F516 00F616		+	
00F616 00F716			
00F716 00F816			
00F9 <sub>16</sub> 00FA <sub>16</sub>			
00FB16	プリフップ生物 しごフカウ	DUDO	0000000
00FC16	プルアップ制御レジスタ0 プルアップ制御レジスタ1	PUR0 PUR1	00XX00002 YYYYYY0Y2
	プルアップ制御レンスター ポートP1駆動能力制御レジスタ	DRR	XXXXXXX0X2
			0016
00FF16	<u>タイマC出力制御レジスタ</u>	TCOUT	0016
01B3 <sub>16</sub>	フラッシュメモリ制御レジスタ4	FMR4	010000002
01B416			5.550000 <u>2</u>
01B516	フラッシュメモリ制御レジスタ1	FMR1	0100XX0X2
01B616			
010016			

注1. 空欄および010016~01B216番地、01B816~02FF16番地は予約領域です。アクセスしないでください。

X : 不定です。

# 5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

# 5.1 ハードウェアリセット

ハードウェアリセットには、ハードウェアリセット1、ハードウェアリセット2、パワーオンリセットがあります。

リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

# 5.1.1 ハードウェアリセット1

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に"L"を入力すると端子は初期化されます(「表5.1 RESET端子のレベルが"L"の期間の端子の状態」を参照)。

RESET端子の入力レベルを"L"から"H"にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。図5.1にリセット後のCPUレジスタの状態を、図5.2にリセットシーケンスを示します。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が"L"になると、内部RAMは不定となります。

図5.3~図5.4にハードウェアリセット1を使用したリセット回路の一例を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

#### 電源が安定している場合

- (1)RESET端子に "L"を入力する
- (2)500 µs (1/fRING-S×20)待つ
- (3) RESET端子に "H"を入力する

#### 電源投入時

- (1)RESET端子に "L"を入力する
- (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3)内部電源が安定するまでtd(P-R)待つ
- (4)500 µs (1/fRING-S×20)待つ
- (5)RESET端子に "H"を入力する

#### 表5.1 RESET端子のレベルが "L"の期間の端子の状態

端子名	端子の状態
P0	入力ポート
P1	入力ポート
P30 ~ P33, P37	入力ポート
P45 ~ P47	入力ポート

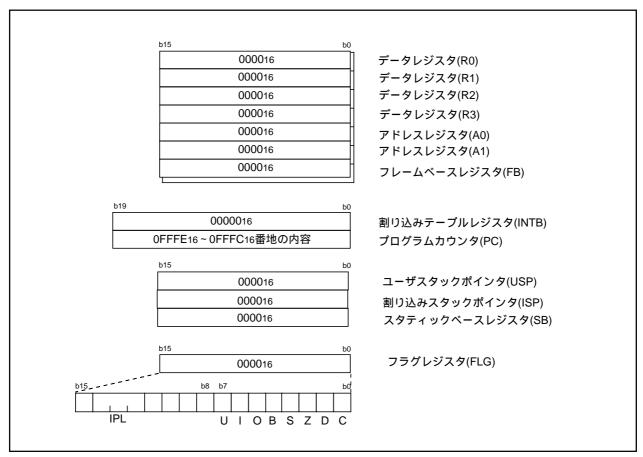


図5.1 リセット後のCPUレジスタの状態

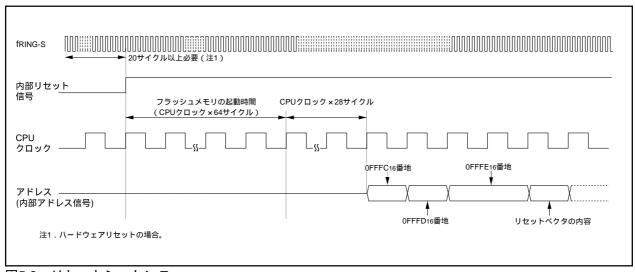


図5.2 リセットシーケンス

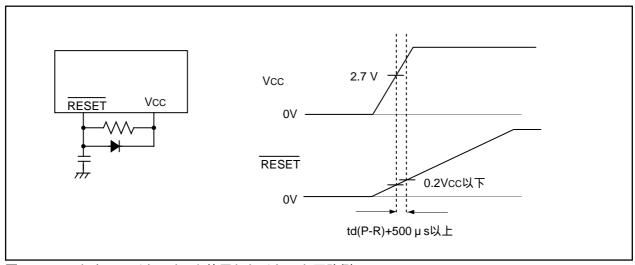


図5.3 ハードウェアリセット1を使用したリセット回路例

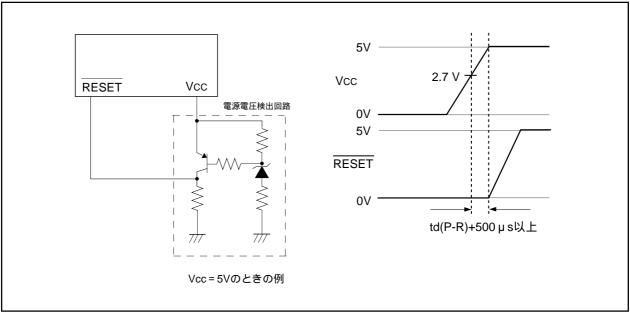


図5.4 ハードウェアリセット1を使用したリセット回路例(電圧監視回路例)

# 5.1.2 ハードウェアリセット2

マイクロコンピュータに内蔵している電圧検出回路によるリセットです。電圧検出回路はVcc端子に 入力する電圧を監視します。

次の条件がすべて満たされるとき、Vcc端子に入力する電圧がVdet以下になると、リセットされます。

- ・VCR2レジスタのVC27ビットが"1"(電圧検出回路有効)
- ・D4INTレジスタのD40ビットが"1"(電圧検出割り込み許可)
- ・D4INTレジスタのD46ビットが"1"(Vdet通過時、ハードウェアリセット2)

また、デジタルフィルタを使用する場合(D4INTレジスタのD41=0)、CM1レジスタのCM14ビットを"0" (低速オンチップオシレータ発振)にしてください。

次にVcc端子に入力する電圧がVdet以上になると端子、CPU、SFRが初期化され、低速オンチップオシ レータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、 内部リセットが解除され、リセットベクタで示される番地からプログラムを実行します。初期化される 端子、レジスタと、これらの状態は、ハードウェアリセット1と同じです。

電圧検出回路は「5.4 電圧検出回路」を参照してください。

# 5.1.3 パワーオンリセット機能

パワーオンリセット機能は、外部のリセット回路なしでマイコンをリセットする機能です。RESET 端子に5k 程度のプルアップ抵抗を介してVccに接続し、Vccを立ち上げるとパワーオンリセット機能 が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合は、RESET 端子の電圧が常に0.8Vcc以上になるようにご注意ください。

Vcc端子の入力電圧がVdetに達すると、低速オンチップオシレータクロックのカウントを開始します。 低速オンチップオシレータクロックを32回カウントすると、内部リセットが解除され、リセットベクタ で示される番地からプログラムを実行します。初期化される端子、レジスタと、これらの状態は、次の ビットを除いてハードウェアリセット1と同じです。

- ・D4INTレジスタのD40ビットが"1"(電圧検出割り込み許可)になる
- ・D4INTレジスタのD46ビットが"1"(Vdet通過時、ハードウェアリセット2)になる

また、パワーオンリセット後はハードウェアリセット2が有効になります。これはハードウェアリセット1と同様に、VCR2レジスタのVC27ビットがパワーオンリセット後"1"(電圧検出回路有効)になり、上記のビットを含めて、ハードウェアリセット2が有効になる条件が揃うためです。

図5.5にパワーオンリセット回路、図5.6にパワーオンリセット回路例と動作を示します。

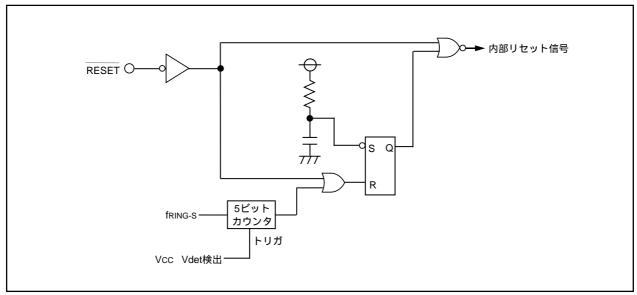


図5.5 パワーオンリセット回路

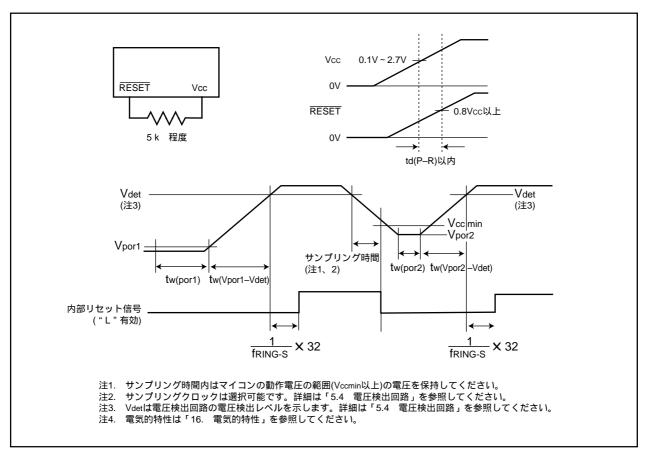


図5.6 パワーオンリセット回路例と動作

# 5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを"1"(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

#### 5.3 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが"1"(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

R8C/11グループ 5.4 電圧検出回路

# 5.4 電圧検出回路

電圧検出回路は、Vcc端子に入力する電圧をVdetで監視する回路です。

VCC入力電圧をプログラムで確認する他に、ハードウェアリセット2、電圧検出割り込みが使用できます。 図5.7に電圧検出回路ブロック図を、図5.8にVCR1、VCR2レジスタを、図5.9にD4INTレジスタを、図5.10 に電圧検出回路の動作例を、図5.11~図5.12にストップモードからの復帰に使用した場合の電圧検出回路の動作例を示します。

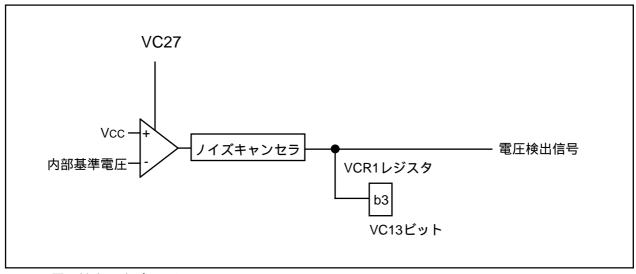


図5.7 電圧検出回路ブロック図

# 電圧検出レジスタ1

$\begin{array}{c ccccccccccccccccccccccccccccccccccc$	シンボル VCR1	アドレス リ 001916番地	ノセット後の値(注2) 000010002	
	ビットシンボル	ビット名	機	能 RW
	(b2-b0)	予約ビット	"0"にしてください	, I RW
	VC13	電圧監視モニタフラグ (注1)	0:Vcc < Vdet 1:Vcc Vdet、またI 電圧検出回路無効	
<u>, , , , , , , , , , , , , , , , , , , </u>	(b7-b4)	予約ビット	"0"にしてください	n RW

注1. VCR2レジスタのVC27ビットが"1"(電圧検出回路有効)のとき、VC13ビットは有効です。 VCR2レジスタのVC27ビットが"0"(電圧検出回路無効)のとき、VC13ビットは"1"になります。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット時は変化しません。

# 電圧検出レジスタ2(注1)



- 注1. このレジスタはPRCRレジスタのPRC3ビットを"1"(書き込み許可)にした後で書き換えてください。
- 注2. ハードウェアリセット2を使用する場合、VC27ビットを"1"にしてください。 VC27ビットを"0"から"1"にした後、td(E-A)経過してから電圧検出回路が動作します。
- 注3. ソフトウェアリセット、ウォッチドッグタイマリセット時は変化しません。

図5.8 VCR1、VCR2レジスタ

## 電圧検出割り込みレジスタ(注1)

	ビットシンボル	ビット名	機能	RW
	D40	電圧検出割り込み許可ビット (注7)	0 :禁止 1 :許可	RW
	D41	電圧検出デジタルフィルタ無効 モード選択ビット (注2)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	RW
	D42	電圧変化検出フラグ (注3~注5)	0 :未検出 1 :Vdet通過検出	RW
	D43	WDT検出フラグ (注3、 注4)	0 :未検出(フラグクリア) 1 :検出	RW
	DF0	サンプリングクロック選択 ビット	<sup>b5 b4</sup> 0 0:fring-sの1分周 0 1:fring-sの2分周	RW
	DF1		10: fRING-Sの4分周 11: fRING-Sの8分周	RW
	D46	電圧監視モード選択ビット (注6)	0 : Vdeti通過時に電圧検出割り込み 要求発生 1 : Vdeti通過時にハードウェア リセット2	RW
	D47	電圧検出条件選択ビット (注8)(注11)	VccがVdet通過時に電圧検出割り込み要求が発生、又はハードウェアリセット2。(注9) 0:Vdet以上になるとき 1:Vdet以下になるとき	RW

- 注1. このレジスタはPRCRレジスタのPRC3ビットを"1"(書き込み許可)にした後で書き換えてください。
- 注2. 電圧検出割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、D41ビットに"0"を書き 込み後、"1"を書き込んでください。
- 注3. VCR2レジスタのVC27ビットが"1"(電圧検出回路有効)のとき有効。
- 注4. VCR2レジスタのVC27ビットが"0"(電圧検出回路無効)のとき、D42、D43は"0"になります。
- 注5. プログラムで"0"を書くと"0"になります("1"を書いても変化しません)。
- 注6. D40ビットが"1"(電圧検出割り込み許可)のとき有効。
- 注7. D40ビットはVCR2レジスタのVC27ビットが"1"(電圧検出回路有効)のとき有効。

D40ビットを"1"にする場合は、次の手順で設定してください。

- (1) VC27ビットを"1"にする。
- (2) 検出回路が動作するまでtd(E-A)待つ。
- (3) サンプリング時間(DF0~DF1ビットで選択したサンプリングクロック×4サイクル)待つ。
- (4) D40ビットを"1"にする。
- (5) CM1レジスタのCM14ビットを"0"(低速オンチップオシレータ発振)にする。
- 注8. D41ビットが"1"(デジタルフィルタ無効モード)のとき有効。
- 注9. D46ビットで選択できます。
- 注10. ソフトウェアリセット、ウォッチドッグタイマリセット時は変化しません。
- 注11. D46ビットが"1"(Vdet通過時にハードウェアリセット2)のとき、D47ビットは"1"(Vdet以下になるとき)にしてください("0"にしないでください)。

図5.9 D4INTレジスタ

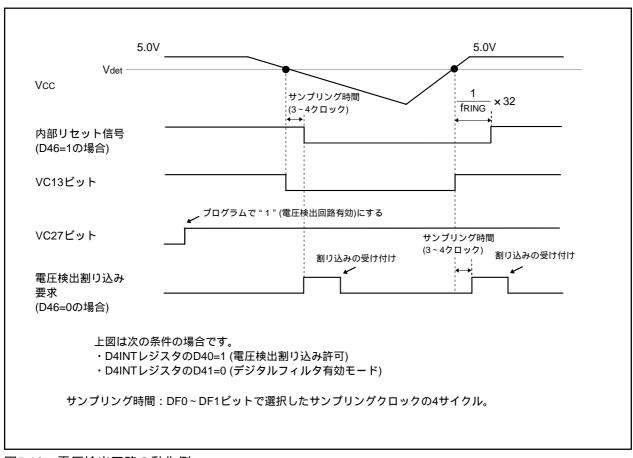


図5.10 電圧検出回路の動作例

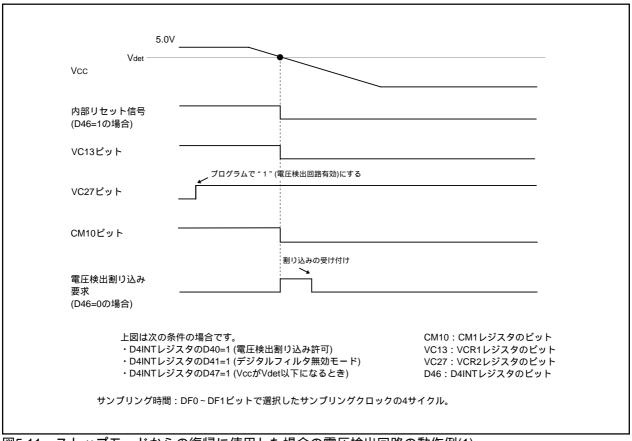


図5.11 ストップモードからの復帰に使用した場合の電圧検出回路の動作例(1)

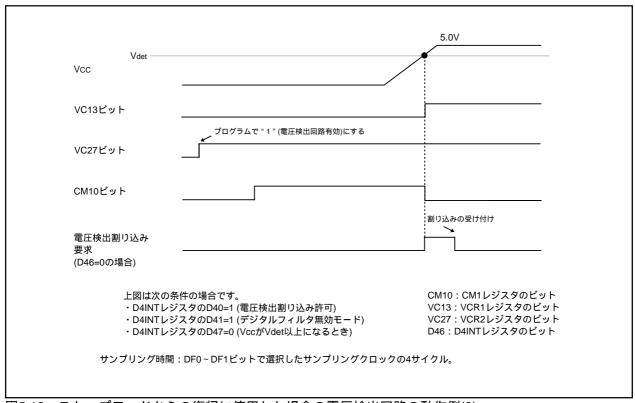


図5.12 ストップモードからの復帰に使用した場合の電圧検出回路の動作例(2)

#### 5.4.1 電圧検出割り込み

図5.13に電圧検出割り込み発生回路ブロック図を示します。

電圧検出割り込みによるストップモードからの復帰については「5.4.2 電圧検出割り込みによるストップモードからの復帰」を参照してください。

通常動作モード及びウェイトモードでは、次の条件がすべて満たされるとき、Vcc端子に入力する電圧が上昇してVdet以上になったとき、または降下してVdet以下になったとき、電圧検出割り込み要求が発生します。

- ・VCR2レジスタのVC27ビットが"1"(電圧検出回路有効)
- ・D4INTレジスタのD40ビットが"1"(電圧検出割り込み許可)
- ・D4INTレジスタのD46ビットが"0"(電圧検出割り込み選択)

また、デジタルフィルタを使用する場合(D4INTレジスタのD41=0)、CM1レジスタのCM14ビットを"0" (低速オンチップオシレータ発振)にしてください。

図5.14に電圧検出割り込み発生回路の動作例を示します。

電圧検出割り込みは、ウォッチドッグタイマ割り込み、発振停止検出割り込みと割り込みベクタを共用しています。

D4INTレジスタのD42ビットはVcc端子に入力する電圧が上昇、または降下してVdetを通過したことを検出したとき"1"になります。D42ビットが"0"から"1"に変化すると、電圧検出割り込み要求が発生します。D42ビットはプログラムで"0"にしてください。

表5.2に電圧検出割り込み要求発生条件を示します。

Vcc端子に入力する電圧がVdetを通過してからD42ビットが " 1 " になるまで(サンプリング時間)、サンプリングクロックの4サイクルかかります。サンプリングクロックは、D4INTレジスタのDF0~DF1ビットで設定できます。

表5.2 電圧	検出割り込み要求発生条件
---------	--------------

動作モード	VC27ビット	D40ビット	D41ビット	D42ビット	D46ビット	VC13ビット	CM14ビット
通常動作モード	1	1	0または1	0	0	0 1 (注2)	0
(注1)						1 0 (注2)	
ウェイトモード	1	1	0または1	0	0	0 1 (注2)	0
						1 0(注2)	

注1. ウェイトモード、ストップモード以外の状態を通常動作モードとします(「6. クロック発生回路」参照)。

注2. 割り込み発生タイミングは「図5.14 電圧検出割り込み発生回路の動作例」参照。

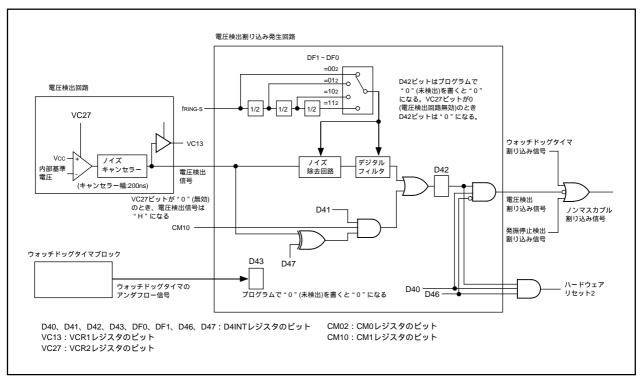


図5.13 電圧検出割り込み発生回路ブロック図

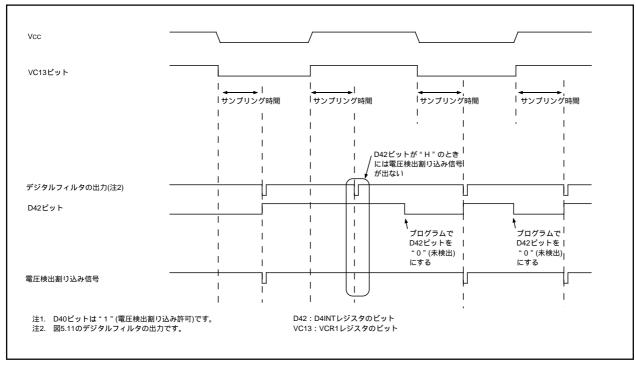


図5.14 電圧検出割り込み発生回路の動作例

## 5.4.2 電圧検出割り込みによるストップモードからの復帰

ストップモードでは、次の条件がすべて満たされるとき、VCC端子に入力する電圧が上昇してVdet以上になったとき、または降下してVdet以下になったとき、電圧検出割り込み要求が発生します。

- ・VCR2レジスタのVC27ビットが"1"(電圧検出回路有効)
- ・D4INTレジスタのD40ビットが"1"(電圧検出割り込み許可)
- ・D4INTレジスタのD41ビットが"1"(デジタルフィルタ無効モード)
- ・D4INTレジスタのD46ビットが"0"(電圧検出割り込み選択)

電圧検出割り込みは、ウォッチドッグタイマ割り込み、発振停止検出割り込みと割り込みベクタを共用しています。

D4INTレジスタのD42ビットはVcc端子に入力する電圧が上昇、または降下してVdetを通過したことを検出したとき"1"になります。D42ビットが"0"から"1"に変化すると、電圧検出割り込み要求が発生します。D42ビットはプログラムで"0"にしてください。

表5.3にストップモードからの復帰時の電圧検出割り込み要求発生条件を示します。

## 表5.3 ストップモードからの復帰時の電圧検出割り込み要求発生条件

動作モード	VC27ビット	D40ビット	D41ビット	D42ビット	D46ビット	D47ビット	VC13ビット
ストップモード	1	1	1	0	0	0または1	0 1
							1 0

注1. ウェイトモード、ストップモード以外の状態を通常動作モードとします(「6. クロック発生回路」参照)。

注2. 割り込み発生タイミングは「図5.14 電圧検出割り込み発生回路の動作例」参照。

R8C/11グループ 6. クロック発生回路

# 6. クロック発生回路

クロック発生回路として、2つの回路が内蔵されています。

- ・ メインクロック発振回路
- ・ オンチップオシレータ(発振停止検出機能あり)

表6.1にクロック発生回路の概略仕様を示します。また、図6.1にシステムクロック発生回路のブロック図、図6.2~図6.4にクロック関連レジスタを示します。

表6.1 クロック発生回路の概略仕様

項目	メインクロック	オンチップ	プオシレータ
<u></u>	発振回路	高速オンチップオシレータ	低速オンチップオシレータ
用途	・CPUのクロック源 ・周辺機能のクロック源	・CPUのクロック源 ・周辺機能のクロック源 ・メインクロック発振停止時 のCPU、周辺機能のクロック 源	・CPUのクロック源 ・周辺機能のクロック源 ・メインクロック発振停止時 のCPU、周辺機能のクロック 源
クロック周波数	0 ~ 20MHz	約8MHz	約125kHz
接続できる発振子	・セラミック共振子 ・水晶発振子		
発振子の接続端子	Xin、Xout (注1)	(注1)	(注1)
発振の開始と停止	あり	あり	あり
リセット後の状態	停止	停止	発振
その他	外部で生成されたクロック を入力可能		

注1. メインクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合には、P46、P47として使うことができます。

R8C/11グループ 6. クロック発生回路

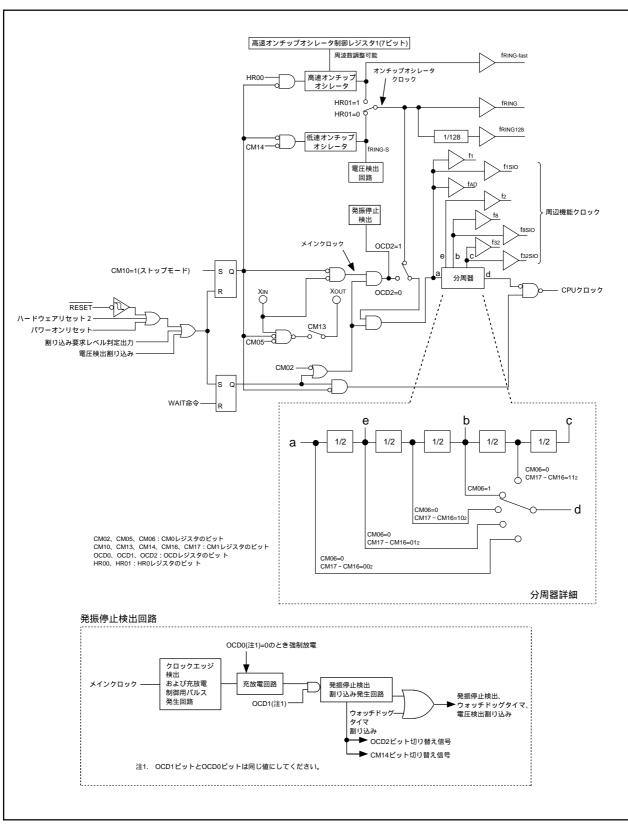


図6.1 クロック発生回路

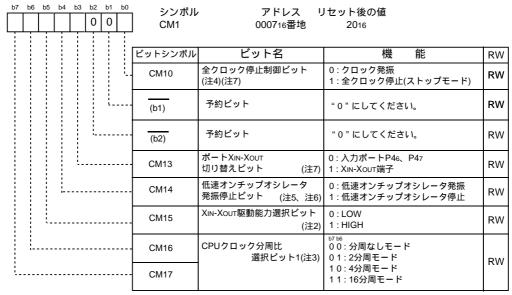
R8C/11グループ 6. クロック発生回路

#### システムクロック制御レジスタ 0 (注1)

b7 b6 b5	0 0	シンボル CM0	アドレス 000616番地	リセット後の値 6816	
		ビットシンボル	ビット名	機能	RW
		(b1-b0)	予約ビット	"0"にしてください。	RW
	 	CM02	WAIT時周辺機能クロック 停止ピット	0:ウェイトモード時、周辺機能 クロック停止しない 1:ウェイトモード時、周辺機能 クロック停止する	RW
	 	(b3)	予約ビット	"1"にしてください。	RW
	 	(b4)	予約ビット	" 0 " にしてください。	RW
	 	CM05	メインクロック (Xɪɴ-Xouт) 停止ビット(注2、注4)	0:発振 1:停止(注3)	RW
	 	CM06	CPUクロック分周比 選択ビット0 ( 注5)	0: CM16、CM17有効 1:8分周モード	RW
į	 	(b7)	予約ビット	"0"にしてください。	RW

- 注1. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。
- 注2. CM05ビットはオンチップオシレータモードでメインクロックを停止させるビットです。 メインクロックが停止したかどうかの検出には使えません。メインクロックを停止させる場合、次のようにしてください。 (1)OCDレジスタのOCD0、OCD1ビットを "002" (発振停止検出機能無効)にする。 (2)OCD2ビットを"1"(オンチップオシレータクロック選択)にする。
- 注3. 外部クロック入力時には、CM05ビットを"1"(メインクロック停止)、CM1レジスタのCM13ビットを"1" (XIN-XOUT端子)にしてください。
- 注4. CM05ビットが"1"(メインクロック停止)の場合、P46、P47は入力ポートとして使用できます。
- 注5. 高速モード、中速モードからストップモードへの移行時、CM06ビットは"1"(8分周モード)になります。

#### システムクロック制御レジスタ1(注1)



- 注1. このレジスタはPRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後で書き換えてください。
- 注2. 高速モード、中速モードからストップモードへの移行時、"1"(駆動能力HIGH)になります。
- 注3. CM06ピットが"0"(CM16, CM17ピット有効)の場合、有効となります。 注4. CM10ピットが"1"(ストップモード)の場合、内蔵している帰還抵抗は無効となります。
- 注5. CM14ビットはOCD2ビットが " 0 " (メインクロック選択)のとき、 " 1 " (低速オンチップオシレータ停止)にできます。 OCD2ビットを"1"(オンチップオシレータクロック選択)にすると、CM14ビットは"0"(低速オンチップオシレータ発振)になります。"1"を書いても変化しません。
- 注6. 電圧検出割り込みを使用する場合、CM14ビットを"0"(低速オンチップオシレータ発振)にしてください。
- 注7. CM10ビットが " 1 " (ストップモード)またはCM0レジスタのCM05ビットが " 1 " (メインクロック停止)の場合、CM13ビットが " 1 " (XIN-XOUT端子)のときXOUT(P47)端子は " H " になります。 CM13ビットが " 0 " (入力ポートP46、P47)のときP47(XOUT)は入力状態になります。

CM0、CM1レジスタ 図6.2

R8C/11グループ 6. クロック発生回路

## 発振停止検出レジスタ(注1)



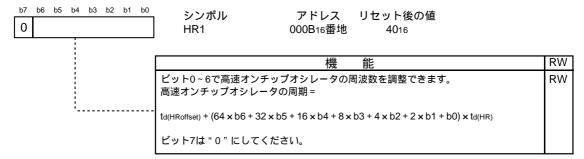
- 注1. このレジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後、書き換えてください。
- 注2. OCD2ビットは、OCD1~OCD0ビットが"112"(発振停止検出機能有効)のときにメインクロック発振停止を 検出すると、自動的に"1"(オンチップオシレータクロック選択)に切り替わります。また、OCD3ビットが"1" (メインクロック停止)のとき、OCD2ビットに"0"(メインクロック選択)を書いても変化しません。
- 注3. OCD3ビットはOCD1~OCD0ビットが"112"のとき有効です。
- 注4. ストップモード、オンチップオシレータモード(メインクロック停止)に移行する前に、OCD1 ~ OCD0ビットを "002"(発振停止検出機能無効)に設定してください。
- 注5. OCD1~OCD0ビットが"002"のときOCD3ビットは"0"(メインクロック発振)になり、変化しません。
- 注6. OCD2ビットを"1"(オンチップオシレータクロック選択)にするとCM14ビットは"0"(低速オンチップオシレータ 発振)になります。
- 注7. 発振停止検出後、メインクロックが再発振した場合の切り替え手順は、「図6.7 低速オンチップオシレータからメインクロックへの切り替え手順」を参照してください。

図6.3 OCDレジスタ

R8C/11グループ 6. クロック発生回路



# 高速オンチップオシレータ制御レジスタ1(注1)



注1. このレジスタは、PRCRレジスタのPRC0ビットを"1"(書き込み許可)にした後、書き換えてください。

図6.4 HR0、HR1レジスタ

R8C/11グループ 6.1 メインクロック

クロック発生回路で生成するクロックを説明します。

## 6.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図6.5にメインクロックの接続回路例を示します。

リセット中およびリセット後、メインクロックは停止しています。

CM1レジスタのCM13ビットを"1"(XIN-XOUT端子)にした後、CM0レジスタのCM05ビットを"0"(メインクロック発振)にするとメインクロックは発振を開始します。メインクロックの発振が安定した後、OCDレジスタのOCD2ビットを"0"(メインクロック選択)にするとメインクロックがCPUのクロック源になります。

OCD2ビットを"1"(オンチップオシレータクロック選択)にして使用する場合、CM0レジスタのCM05ビットを"1"(メインクロック停止)にすると、消費電力を低減できます。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を"1"にしてもメインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「6.4 パワーコントロール」を参照してください。

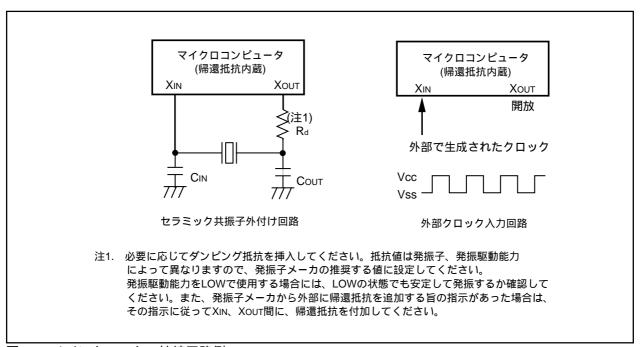


図6.5 メインクロックの接続回路例

# 6.2 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。HR0レジスタのHR01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

## 6.2.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fRING、fRING128、fRING-Sのクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの8分周がCPUクロックになります。

また、OCDレジスタのOCD1~OCD0ビットが"112"(発振停止検出機能有効)の場合、メインクロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

#### 6.2.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fRING、fRING128、fRING-fastのクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。HR0レジスタのHR00ビットを"1"(高速オンチップオシレータ発振)にすると発振を開始し、HR1レジスタを使って周波数を調整できます。

HR1レジスタの値と高速オンチップオシレータの周期の関係は次のとおりです。ただし、各ビットの遅延量にはばらつきがありますので、各ビットを変化させて調整してください。また、ビット7は"0"にしてください。

高速オンチップオシレータの周期 = td(HRoffset) + (64 x b6 + 32 x b5 + 16 x b4 + 8 x b3 + 4 x b2 + 2 x b1 + b0) x td(HR)

b0~b6: HR1レジスタのビット

# 6.3 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させるクロックがあります。(「図6.1 クロック発生回路」参照。)

#### 6.3.1 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、またはオンチップオシレータクロックが選択できます。

選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。 分周はCM0レジスタのCM06ビットとCM1レジスタのCM16~CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの8分周がCPUクロックになります。

なお、高速モードまたは中速モードからストップモードへの移行時、CM06ビットは"1"(8分周モード)になります。

# 6.3.2 周辺機能クロック(f1、f2、f8、f32、fAD、f1SIO、f8SIO、f32SIO)

周辺機能の動作クロックです。

fi(i=1、2、8、32)はメインクロックまたはオンチップオシレータクロックをi分周したクロックです。 fiはタイマX、タイマY、タイマZ、タイマCで使用します。

 $f_{jSIO(j=1)}$ 、8、32)はクロックまたはオンチップオシレータクロックをj分周したクロックです。 $f_{jSIO(j=1)}$ シリアルJ/Oで使用します。

fADは、メインクロックまたはオンチップオシレータクロックをクロック源とし、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを"1"(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT 命令を実行した場合、fi、fisio、fadは停止します。

#### 6.3.3 fring, fring128

周辺機能の動作クロックです。

fRINGは、オンチップオシレータクロックと同じ周波数のクロックです。タイマYで使用します。fRING128はfRINGを128分周したクロックです。タイマCで使用します。

fRINGとfRING128はWAIT命令実行時、停止しません。

#### 6.3.4 fRING-fast

タイマCのカウントソースになります。fRING-fastは高速オンチップオシレータで生成したクロックで、HR00ビットを"1"にすると供給されます。

fRING-fastはWAIT命令実行時、停止しません。

R8C/11グループ 6.4 パワーコントロール

## 6.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

## 6.4.1 通常動作モード

通常動作モードは、さらに4つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

表6.2 クロック関連ビットの設定とモード

モード		OCDレジスタ	CM1レジス	スタ	CM0	レジスタ
C - 1		OCD2	CM17、CM16	CM13	CM06	CM05
高速モード		0	002	1	0	0
中速	2分周	0	012	1	0	0
モード	4分周	0	102	1	0	0
- '	8分周	0		1	1	0
	16分周	0	112	1	0	0
高速、低速	分周なし	1	002		0	0または1
オンチップ	2分周	1	012		0	0または1
オシレータ	4分周	1	102		0	0または1
	8分周	1			1	0または1
モー ト(注1)	16分周	1	112		0	0または1

注1. CM1レジスタのCM14=0(低速オンチップオシレータ発振)、かつHR0レジスタのHR01ビット=0 のとき、低速オンチップオシレータがオンチップオシレータクロックになります。 HR0レジスタのHR00=1(高速オンチップオシレータ発振)、かつHR0レジスタのHR01ビット=1 のとき、高速オンチップオシレータがオンチップオシレータクロックになります。



R8C/11グループ 6.4 パワーコントロール

#### 高速モード

メインクロックの1分周(分周なし)がCPUクロックとなります。CM14ビットが"0"(低速オンチップオシレータ発振)のとき、またはHR0レジスタのHR00ビットが"1"(高速オンチップオシレータ発振)のとき、fRING、fRING128をタイマYとタイマCで使用できます。

また、HR00ビットが"1"のとき、fRING-fastをタイマCで使用できます。

#### 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。CM14ビットが "0"(オンチップオシレータ発振)のとき、またはHR0レジスタのHR00ビットが "1"(高速オンチップオシレータ発振)のとき、fRING、fRING128をタイマYとタイマCで使用できます。

また、HR00ビットが"1"のとき、fRING-fastをタイマCで使用できます。

#### 高速、低速オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。 HR00ビットが"1"のとき、fRING-fastをタイマCで使用できます。

# 6.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグ タイマが停止します。メインクロック、オンチップオシレータクロックは停止しませんので、これらの クロックを使用する周辺機能は動作します。

#### 周辺機能クロック停止機能

CM02ビットが"1"(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f8、f32、f1SIO、f8SIO、f32SIO、fADが停止しますので、消費電力が低減できます。

ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

ウェイトモード時の端子の状態

ウェイトモードに入る直前の状態を保持します。

ウェイトモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットを"0002"(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが"0"(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが"1"(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表6.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

(1)ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2~ILVL0ビットに割り込み優先レベルを設定する。

また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットをすべて"0002" (割り込み禁止)にする。

- (2) Iフラグを " 1 " にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みシーケンスを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表6.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルI/O割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードで使用可	― (使用しないでください。)
タイマX割り込み	すべてのモードで使用可	イベントカウンタモードで使用可
タイマY割り込み	すべてのモードで使用可	タイマモードでCNTR1端子からの入力 をカウント時使用可
タイマZ割り込み	すべてのモードで使用可	― (使用しないでください。)
タイマC割り込み	すべてのモードで使用可	― (使用しないでください。)
 INT割り込み	使用可	使用可 (INTO、INT3はフィルタなしの 場合に、使用可)
電圧検出割り込み	使用可	使用可
発振停止検出割り込み	使用可	— (使用しないでください。)

# 6.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも 停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモード です。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。ストップモードからの復帰に使用できる割り込みは次のとおりです。

- ・キー入力割り込み
- ・INTO ~ INT2割り込み(INTOはフィルタなしの場合に使用可)
- ・INT3割り込み(フィルタなし、タイマCがアウトプットコンペアモード(TCC1レジスタのTCC13ビットが"1")の場合に使用可)
- ・タイマX割り込み(イベントカウンタモードで外部パルスをカウント時)
- ・タイマY割り込み(タイマモードでCNTR1端子からの入力をカウント時)
- ・シリアルI/Oの割り込み(外部クロック選択時)
- ・電圧検出割り込み

#### ストップモードへの移行

CM1レジスタのCM10ビットを"1"(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは"1"(8分周モード)、CM10レジスタのCM15ビットは"1"(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、OCD1 ~ OCD0ビットを "002" (発振停止検出機能無効)にしてからストップモードにしてください。

ストップモード時の端子の状態

ストップモードに入る直前の状態を保持します。

ただし、Xout(P47)端子については、CM1レジスタのCM13ビットが"1"(XIN-Xout端子)のとき、Xout(P47)端子は"H"になります。CM13ビットが"0"(入力ポートP46、P47)のとき、P47(Xout)は入力状態になります。

ストップモードからの復帰

ハードウェアリセット、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて"0002" (割り込み禁止)にした後、CM10ビットを"1"にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを"1"にしてください。

(1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2~ILVL0ビットに割り込み優先レベルを設定する。

また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2~ILVL0ビットをすべて"0002" (割り込み禁止)にする。

- (2) Iフラグを"1"にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックの8分周になります。



R8C/11グループ 6.4 パワーコントロール

図6.6にパワーコントロールの状態遷移を示します。

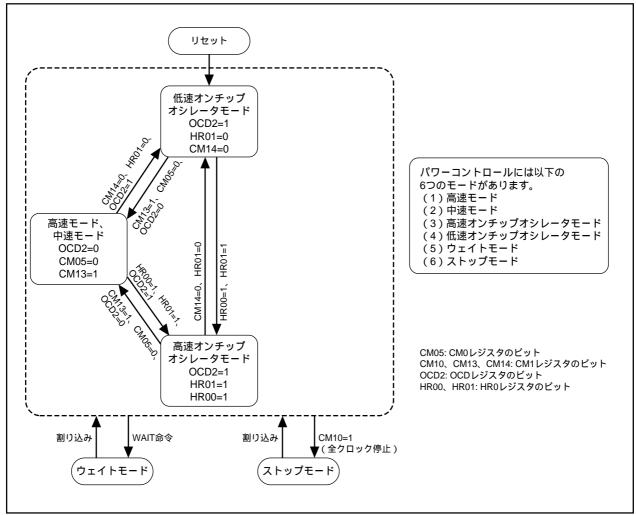


図6.6 パワーコントロールの状態遷移

R8C/11グループ 6.5 発振停止検出機能

# 6.5 発振停止検出機能

発振停止検出機能は、メインクロック発振回路の停止を検出する機能です。 発振停止検出機能はOCDレジスタのOCD1~OCD0ビットで有効、無効が選択できます。 表6.4に発振停止検出機能の仕様を示します。

メインクロックがCPUクロック源でOCD1~OCD0ビットが"112"(発振停止検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

- ・OCDレジスタのOCD2ビット=1(オンチップオシレータクロック選択)
- ・OCDレジスタのOCD3ビット=1(メインクロック停止)
- ・CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- ・発振停止検出割り込み要求が発生する

#### 表6.4 発振停止検出機能の仕様

項目	仕 様
発振停止検出可能クロックと周波数域	f(XIN) 2MHz
発振停止検出機能有効条件	OCD1 ~ OCD0ビットを " 112 " (発振停止検出機能有効)にする
発振停止検出時の動作	発振停止検出割り込み発生

#### 6.5.1 発振停止検出機能の使用方法

- ・発振停止検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止検 出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。 表6.5に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧検出割り込みの割り込み要因 の判別を示します。
- ・発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや 周辺機能のクロック源に戻してください。図6.7に低速オンチップオシレータクロックからメインク ロックへの切り替え手順を示します。
- ・発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを"0"(ウェイトモード時周辺機能クロックを停止しない)にしてください。
- ・発振停止検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、OCD1~OCD0ビットを"002"(発振停止検出機能無効)にしてください。
- ・メインクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1~OCD0ビットを"002"(発振停止検出機能無効)にしてください。
- ・発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合は、HR0レジスタのHR01ビットを"0"(低速オンチップオシレータ選択)にした後、OCD1 ~ OCD0ビットを"112"(発振停止検出機能有効)にしてください。発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合は、HR01ビットを"1"(高速オンチップオシレータ選択)にした後、OCD1 ~ OCD0ビットを"112"(発振停止検出機能有効)にしてください。

R8C/11グループ 6.5 発振停止検出機能

表6.5 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧検出割り込みの割り込み要因の判別

発生した割り込み要因	割り込み要因を示すビット
発振停止検出	(a) OCDレジスタのOCD3 = 1
( (a)または(b)のとき)	(b) OCDレジスタのOCD1~OCD0 = 112かつOCD2 = 1
ウォッチドッグタイマ	D4INTレジスタのD43 = 1
電圧検出	D4INTレジスタのD42 = 1

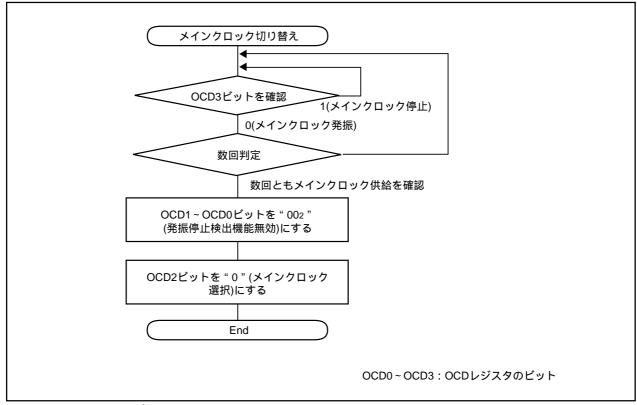


図6.7 低速オンチップオシレータからメインクロックへの切り替え手順

R8C/11グループ 7. プロテクト

# 7. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図7.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

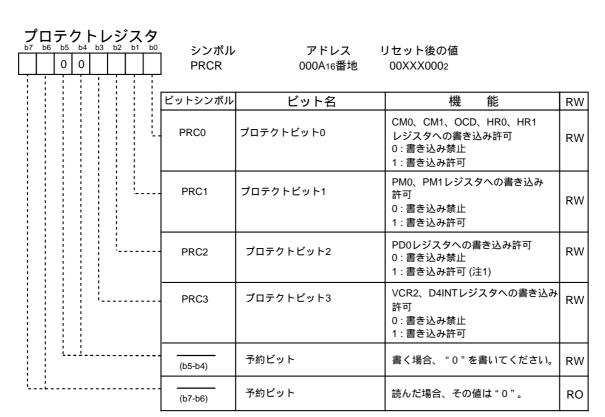
・PRC0ビットで保護されるレジスタ : CM0、CM1、OCD、HR0、HR1レジスタ

・PRC1ビットで保護されるレジスタ : PM0、PM1レジスタ

・PRC2ビットで保護されるレジスタ : PD0レジスタ

・PRC3ビットで保護されるレジスタ : VCR2、D4INTレジスタ

PRC2ビットを"1"(書き込み許可状態)にした後、任意の番地に書き込みを実行すると"0"(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを"1"にした次の命令で変更してください。PRC2ビットを"1"にする命令と次の命令の間に割り込みが入らないようにしてください。PRC0、PRC1、PRC3ビットは任意の番地に書き込みを実行しても"0"になりませんのでプログラムで"0"にしてください。



注1. PRC2ビットは"1"を書いた後、任意の番地に書き込みを実行すると、"0"になります。他のビットは"0"になりませんので、プログラムで"0"にしてください。

図7.1 PRCRレジスタ

R8C/11グループ 8. プロセッサモード

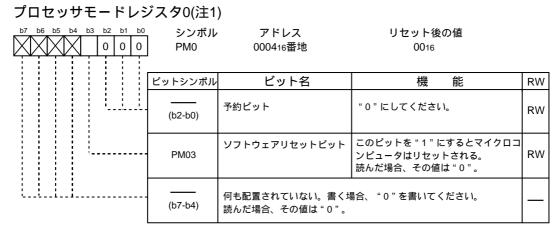
# 8. プロセッサモード

## 8.1 プロセッサモードの種類

プロセッサモードはシングルチップモードとなります。表8.1にプロセッサモードの特長を、図8.1にPM0~PM1レジスタを示します。

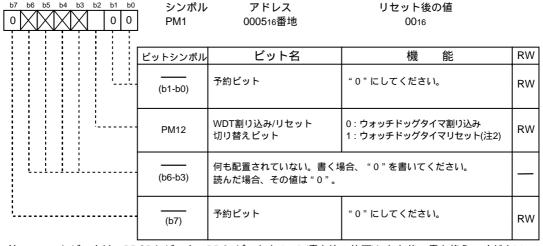
表8.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能 入出力端子



注1. PM0レジスタは、PRCRレジスタのPRC1ビットを"1"(書き込み許可)にした後で書き換えてください。

## プロセッサモードレジスタ1(注1)



注1. このレジスタは、PRCRレジスタのPRC1ビットを"1"(書き込み許可)にした後で書き換えてください。

図8.1 PM0~PM1レジスタ

注2. PM12ビットはプログラムで"1"を書くと"1"になります("0"を書いても変化しません)。

R8C/11グループ 9. バス制御

# 9. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。表9.1にアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表9.2にアクセス単位とバスの動作を示します。

表9.1 アクセス領域に対するバスサイクル

アクセス 領 域	バスサイクル
SFR/データフラッシュ	CPUクロックの2サイクル
プログラムROM/RAM	CPUクロックの1サイクル

表9.2 アクセス単位とバスの動作

領域	SFR、データフラッシュ	プログラムROM、RAM
偶数番地 バイトアクセス	CPU     「クロック」       クロック     (周数)       アドレス     (一夕)       データ     (データ)	CPU     「クロック」       アドレス     (周数)       データ     (データ)
奇数番地 バイトアクセス	CPU     「クロック アドレス 人 奇数 人 データ 人 データ 人 データ 人 アータ 人 アータ 人 アータ 人 アータ 人 アータ 人 アータ 人 アーター イ	CPU     クロック       アドレス
偶数番地 ワードアクセス	CPU	CPU     「クロック アドレス 人 偶数 人 偶数+1 人 データ 人 データ 人 データ 人 データ 人
奇数番地 ワードアクセス	CPU     「クロック アドレス 人 奇数 人 奇数+1 人 データ 人 データ 人 データ 人 ア・タ 人 ア・カー・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	CPU     「クロック アドレス 人 奇数 人 奇数+1 人 データ 人 データ 人 データ 人 データ 人 データ 人 データ 人 ア・カー・

# 10. 割り込み

# 10.1 割り込みの概要

## 10.1.1 割り込みの分類

図10.1に割り込みの分類を示します。

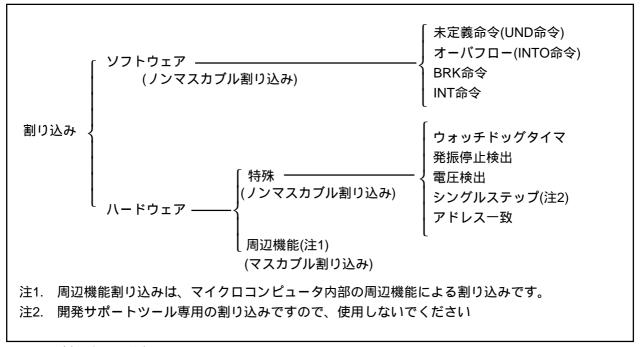


図10.1 割り込みの分類

・マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り

込み優先レベルによる割り込み優先順位の変更が可能

・ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り

込み優先レベルによる割り込み優先順位の変更が**不可能** 

#### 10.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル 割り込みです。

#### 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、Oフラグが"1"(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0~63です。ソフトウェア割り込み番号4~31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0~31では、命令実行時にUフラグを退避し、Uフラグを"0"(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32~63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

## 10.1.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

#### 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

(1) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。ウォッチドッグタイマの詳細は、「11. ウォッチドッグタイマ」を参照してください。

(2) 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「6. クロック発生回路」を参照してください。

(3) 電圧検出割り込み

電圧検出回路による割り込みです。電圧検出回路の詳細は「5.4 電圧検出回路」を参照してください。

(4) シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

(5) アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが"1"(アドレス一致割り込み許可)の場合、対応するRMAD0~RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「10.4 アドレス一致割り込み」を参照してください。

#### 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表10.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

# 10.1.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。 割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図10.2に割り込みベクタを示します。

	MSB	LSE
ベクタ番地(L)	アドレスの下位	
	アドレスの中位	
	0000	アドレスの上位
ベクタ番地(H)	0000	0000

図10.2 割り込みベクタ

# 固定ベクタテーブル

固定ベクタテーブルは、OFFDC16番地からOFFFF16番地に配置されています。表10.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)をIDコードチェック機能で使用します。詳細は「17.3フラッシュメモリ書き換え禁止機能」を参照してください。

表10.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)~番地(H)	備考	参照先
未定義命令	0FFDC16 ~ 0FFDF16	UND命令で割り込み	R8C /Tinyシリーズ
オーバフロー	0FFE016 ~ 0FFE316	INTO命令で割り込み	ソフトウェア
BRK命令	0FFE416 ~ 0FFE716	0FFE716番地の内容がFF16の	マニュアル
		場合は可変ベクタテーブル内	
		のベクタが示す番地から実行	
アドレス一致	0FFE816 ~ 0FFEB16		18.1 アドレス一致割り
			込み
シングルステップ(注1)	0FFEC16 ~ 0FFEF16		
ウォッチドッグタイマ、	0FFF016 ~ 0FFF316		11. ウォッチドッグタ
発振停止検出、電圧検出			イマ、6. クロック発生
			回路、5.4 電圧検出回路
(予約)	0FFF416 ~ 0FFF716		
(予約)	0FFF816 ~ 0FFFB16		
リセット	0FFFC16 ~ 0FFFF16		5. リセット

注1. 開発サポートツール専用の割り込みですので、使用しないでください。

## 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表10.2 に可変ベクタテーブルを示します。

表10.2 可変ベクタテーブル

割り込み要因	割り込み要因 ベクタ番地 (注1) 番地(L)~番地(H)		参照先
BRK命令(注2)	+0 ~ +3(000016 ~ 000316)	0	R8C/Tinyシリーズ
—— (予約 )		1 ~ 12	ソフトウェアマニュアル
キー入力	+52 ~ +55(003416 ~ 003716)	13	10.3 キー入力割り込み
A/D変換	+56 ~ +59(003816 ~ 003B16)	14	14. A/Dコンバータ
—— (予約 )		15	
コンペア1	+64 ~ +67(004016 ~ 004316)	16	12.4 タイマC
UART0送信	+68 ~ +71(004416 ~ 004716)	17	
UART0受信	+72 ~ +75(004816 ~ 004B16)	18	1
UART1送信	+76 ~ +79(004C16 ~ 004F16)	19	- 13. シリアルインタフェース
UART1受信	+80 ~ +83(005016 ~ 005316)	20	
INT2	+84 ~ +87(005416 ~ 005716)	21	10.2.3 INT2割り込み
タイマX	+88 ~ +91(005816 ~ 005B16)	22	12.1 タイマX
タイマY	+92 ~ +95(005C16 ~ 005F16)	23	12.2 タイマY
タイマZ	+96 ~ +99(006016 ~ 006316)	24	12.3 タイマZ
INT1	+100 ~ +103(006416 ~ 006716)	25	10.2.3 INT1割り込み
INT3	+104 ~ +107(006816 ~ 006B16)	26	10.2.4 INT3割り込み
タイマC	+108 ~ +111(006C16 ~ 006F16)	27	12.4 タイマC
コンペア0	+112 ~ +115(007016 ~ 007316)	28	12.4 タイマC
INT0	+116 ~ +119(007416 ~ 007716)	29	10.2.1 INTO割り込み
——(予約)		30	
—— (予約 )		31	
ソフトウェア(注2)	+128 ~ +131(008016 ~ 008316)	32	R8C/Tinyシリーズ ソフトウェアマニュアル
	+252 ~ +255(00FC16 ~ 00FF16)	63	

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

# 10.1.5 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

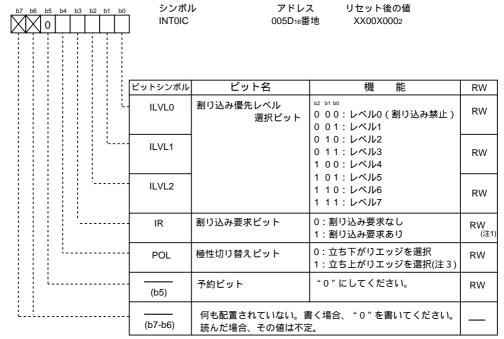
マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2 ~ ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図10.3に割り込み制御レジスタを示します。

  り込み制御レジスタ(注	:2) シンボノ	レアリ	ドレス	リセット後の値	
	′ KUPIC	0040	)16番地	XXXXX0002	
	ADIC	004E	16番地	XXXXX0002	
	CMP1IC	0050	)16番地	XXXXX0002	
	S0TIC,	S1TIC 0051 <sub>16</sub> ,	005316番地	XXXXX0002	
b7 b6 b5 b4 b3 b2 b1 b0	S0RIC.	S1RIC 005216,	005416番地	XXXXX0002	
	INT2IC	0055	516番地	XXXXX0002	
	TXIC	0056	316番地	XXXXX0002	
	TYIC	0057	716番地	XXXXX0002	
	TZIC	0058	816番地	XXXXX0002	
	INT1IC	0059	)16番地	XXXXX0002	
	INT3IC	005A	A <sub>16</sub> 番地	XXXXX0002	
	TCIC	005E	316番地	XXXXX0002	
	CMP0IC	0050	16番地	XXXXX0002	
	ビットシンボル	ビット名		機能	RW
	ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0: レベ 0 0 1: レベ	ベル0 (割り込み禁止) ベル1	RW
	ILVL1		010:レベ 011:レベ 100:レベ	、 、 、 、 、 、 、 、 、 、 、 、 、 、 、	RW
\ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \	ILVL2		101:レベ 110:レベ 111:レベ	<b>ミル6</b>	RW
	IR	割り込み要求ビット	0:割り込み1:割り込み		RW (注1)
	(b7-b4)	何も配置されていない。 読んだ場合、その値は不		"を書いてください。	

注1. IRビットは"0"のみ書けます("1"を書かないでください)。

注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。 「19.2.6 割り込み制御レジスタの変更」を参照してください。



- 注1. IRビットは"0"のみ書けます("1"を書かないでください)。
- 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。 「19.2.6 割り込み制御レジスタの変更」を参照してください。
- 注3. INTENレジスタのINTOPLビットが"1"(両エッジ)の場合、POLビットを"0"(立ち下がりエッジを選択)にしてください。
- 注4. POLビットを変更すると、IRビットが"1"(割り込み要求あり)になることがあります。 「19.2.5 割り込み要因の変更」を参照してください。

図10.3 割り込み制御レジスタ

割

## Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを"1"(許可)にすると、マスカブル割り込みは許可され、"0"(禁止)にするとすべてのマスカブル割り込みは禁止されます。

#### IRビット

IRビットは割り込み要求が発生すると、"1"(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは"0"(割り込み要求なし)になります。 IRビットはプログラムによって"0"にできます。"1"を書かないでください。

## ILVL2~ILVL0ビット、IPL

割り込み優先レベルは、ILVL2~ILVL0ビットで設定できます。

表10.3に割り込み優先レベルの設定、表10.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

・Iフラグ = 1

・IRビット = 1

・割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2~ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表10.3 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
0002	レベル0 (割り込み禁止)	
0012	レベル1	低い
0102	レベル2	
0112	レベル3	
1002	レベル4	
1012	レベル5	
1102	レベル6	
1112	レベル7	高い

表10.4 IPLにより許可される割り込み優先 レベル

IPL	許可される割り込み優先レベル
0002	レベル1以上を許可
0012	レベル2以上を許可
0102	レベル3以上を許可
0112	レベル4以上を許可
1002	レベル5以上を許可
1012	レベル6以上を許可
1102	レベル7以上を許可
1112	すべてのマスカブル割り込みを禁止

#### 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図10.4に割り込みシーケンスの実行時間を示します。

- (1) 0000016番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが"0"(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。 Iフラグは"0"(割り込み禁止)

Dフラグは"0"(シングルステップ割り込みは割り込み禁止)

Uフラグは"0"(ISPを指定)

ただし、Uフラグは、ソフトウェア割り込み番号32~63のINT命令を実行した場合は変化しません。

- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

#### 注1. ユーザは使用できません。

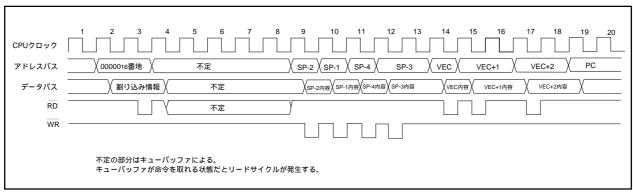


図10.4 割り込みシーケンスの実行時間

#### 割り込み応答時間

図10.5に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図10.5の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

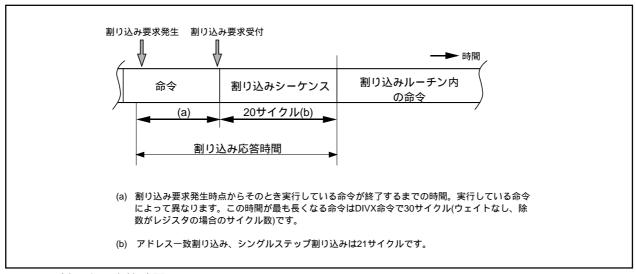


図10.5 割り込み応答時間

#### 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表10.5に示す値がIPLに設定されます。表10.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表10.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
ウォッチドッグタイマ、発振停止検出、電圧検出	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

#### レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図10.6に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM 命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. RO、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

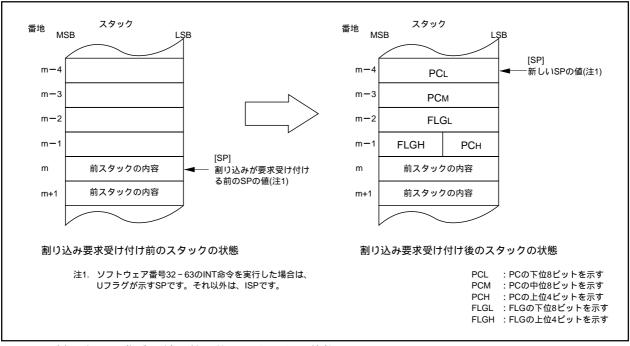


図10.6 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。図10.7にレジスタ退避動作を示します。

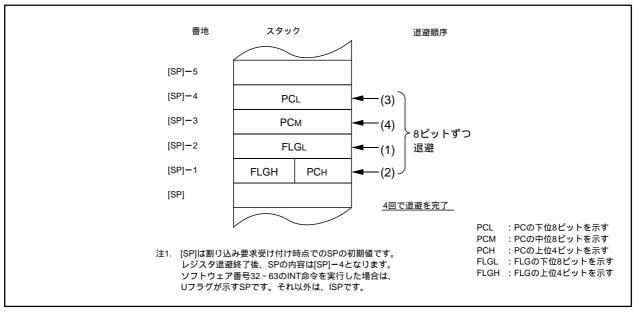


図10.7 レジスタ退避動作

R8C/11グループ 10.1 割り込みの概要

#### 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

#### 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2~ILVL0ビットによって任意に選択できます。 ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い 割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。 図10.8にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

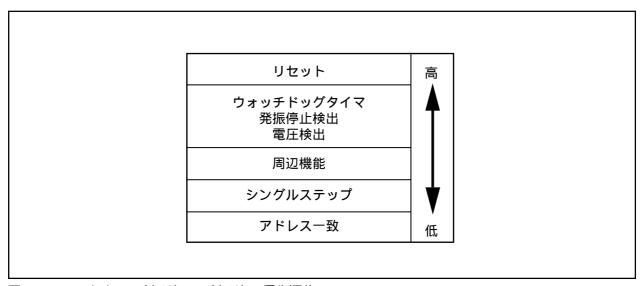


図10.8 ハードウェア割り込みの割り込み優先順位

R8C/11グループ 10.1 割り込みの概要

# 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。 図10.9に割り込み優先レベルの判定回路を示します。

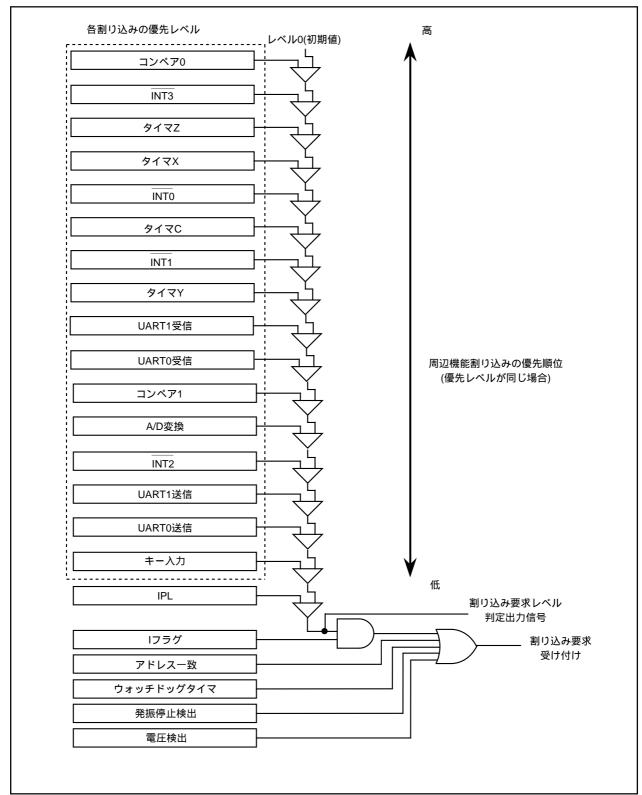


図10.9 割り込み優先レベル判定回路

## 10.2 INT割り込み

## 10.2.1 INTO割り込み

INTO割り込みはINTO入力による割り込みです。INTO割り込みを使用するときはINTENレジスタのINTOENビット"1"(許可)にしてください。極性をINTENレジスタのINTOPLビットとINTOICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。INTo端子は、タイマZの外部トリガ入力端子と兼用です。

図10.10にINTEN、INT0Fレジスタを示します。

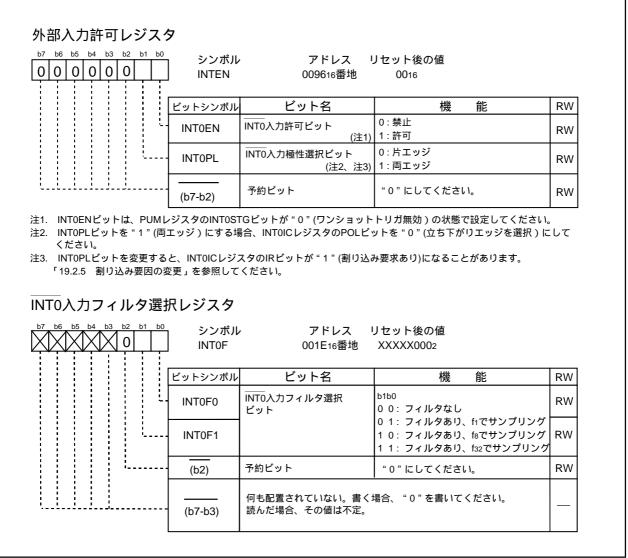


図10.10 INTEN、INTOFレジスタ

# 10.2.2 INTO入力フィルタ

INTO入力は、デジタルフィルタを持ちます。サンプリングクロックはINTOFレジスタのINTOF0~INTOF1 ビットで選択できます。サンプリングクロックごとにINTOのレベルをサンプリングし、レベルが3度一致した時点で、INTOICレジスタのIRビットが"1"(割り込み要求あり)になります。INTOF1~INTOF0ビットが、"012"、"102"、"112"のいずれかの場合、P4レジスタのP4\_5ビットを読むとフィルタ後の値が読めます。

図10.11にINTO入力フィルタの構成を、図10.12にINTO入力フィルタ動作例を示します。

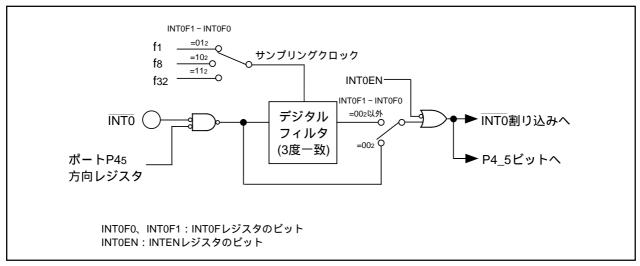


図10.11. INTO入力フィルタの構成

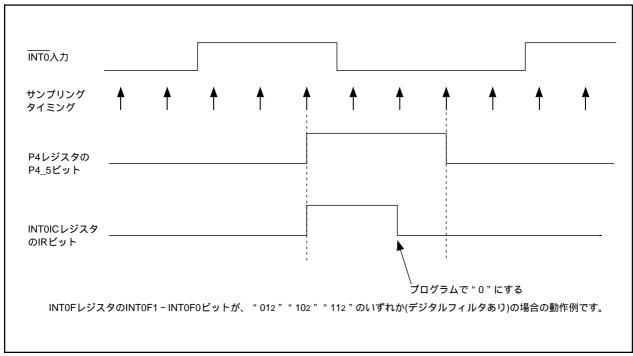


図10.12. INTO入力フィルタ動作例

### 10.2.3 INT1割り込み、INT2割り込み

INT1割り込みは、INT1入力による割り込みです。極性は、TXMRレジスタのR0EDGビットで選択できます。INT1端子は、CNTR0端子と兼用です。

INT2割り込みは、INT2入力による割り込みです。極性は、TYZMRレジスタのR1EDGで選択できます。INT2端子は、CNTR1端子と兼用です。

図10.13にINT1割り込み、INT2割り込み使用時のTXMR、TYZMRレジスタを示します。



- 注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが"1"(割り込み要求あり)になることがあります。
  - 「19.2.5 割り込み要因の変更」を参照してください。
- 注2. タイマモードではINT1割り込みの極性を選択するビットになります。
- 注3. INT1を使用する場合、タイマモードにしてください。



- 注1. INT2割り込みを使用する場合、タイマモードにしてください。
- 注2. R1EDGビットを変更すると、INT2ICレジスタのIRビットが"1"(割り込み要求あり)になることがあります。 「19.2.5 割り込み要因の変更」を参照してください。

図10.13 INT1割り込み、INT2割り込み使用時のTXMR、TYZMRレジスタ

# 10.2.4 INT3割り込み

INT3割り込みは、INT3入力による割り込みです。TCC0レジスタのTCC07ビットを"0"(INT3)にしてください。INT3入力はデジタルフィルタを持ちます。サンプリングクロックごとにINT3のレベルをサンプリングし、レベルが3度一致した時点で、INT3ICレジスタのIRビットが"1"(割り込み要求あり)になります。サンプリングクロックはTCC1レジスタのTCC10~TCC11ビットで選択できます。TCC10~TCC11ビットの内容に関係なく、P3レジスタのP3\_3ビットを読むとフィルタ前の値が読めます。

INT3端子は、TCIN端子と兼用です。

なおTCC07ビットを"1"(fRING128)にすると、INT3割り込みは、fRING128クロックによる割り込みになります。fRING128の半周期または1周期ごとにINT3ICレジスタのIRビットが"1"(割り込み要求あり)になります。

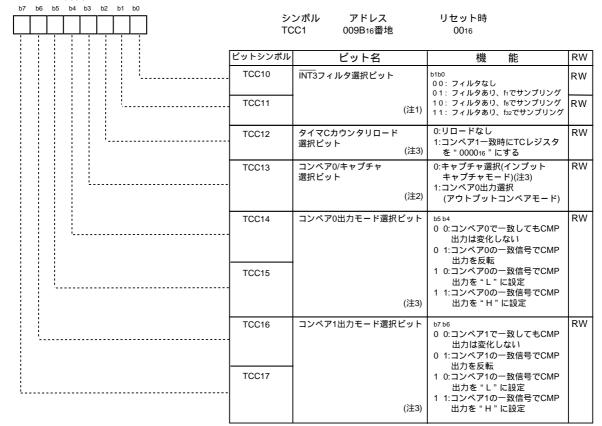
図10.14にTCC0、TCC1レジスタを示します。



#### タイマC制御レジスタ0 シンボル アドレス リセット後の値 TCC0 009A16番地 0016 0 0 ビットシンボル ビット名 RW 機 能 タイマCカウント開始ビット TCC00 0:カウント停止 RW 1: カウント開始 h2 h1 タイマCカウントソース TCC01 0 0: f1 RW 選択ビット 0 1: f8 1 0: f32 (注1) TCC02 RW 1 1: fRING-fast TCC03 INT3割り込み、キャプチャ 00: 立ち上がりエッジ RW 極性選択ビット 0 1: 立ち下がりエッジ 10: 両エッジ TCC04 RW 11: 設定しないでください (注1、注2) 予約ビット "0"にしてください。 RW (b6-b5) INT3割り込み、キャプチャ入力 0 : INT3 TCC07 RW 切り替えビット 1: fRING128 (注1、注2)

- 注1. このビットの変更は、TCC00ビットが"0"(カウント停止)のとき、行ってください。
- 注2. TCC03、TCC04、TCC07ピットを変更すると、INT3ICレジスタのIRピットが"1"(割り込み要求あり)になることがあります。「19.2.5 割り込み要因の変更」を参照してください。

## タイマC制御レジスタ1



- 注1. INT3端子から同じ値を3回連続してサンプリングした時点で入力が確定します。
- 注2. TCC13ビットは、TCC0レジスタのTCC00ビットが"0"(カウント停止)のとき、変更してください。
- 主3. TCC13ビットが"0"(インプットキャプチャモード)のとき、TCC12、TCC14~TCC17は"0"にしてください。

図10.14 TCC0、TCC1レジスタ

R8C/11グループ 10.3 キー入力割り込み

## 10.3 キー入力割り込み

 $\overline{\text{KI}_0} \sim \overline{\text{KI}_3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。 KIENレジスタのKIiENビット( $i=0\sim3$ )で、端子を $\overline{\text{KI}_i}$ 入力として使用するかどうかを選択できます。また、 KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを"0"(立ち下がりエッジ)にしている $\overline{\text{KIi}}$ 端子に"L"を入力していると、他の $\overline{\text{KIo}}$ ~ $\overline{\text{KIi}}$ 端子の入力は割り込みとして検知されません。同様に、KIiPLビットを"1"(立ち上がりエッジ)にしている $\overline{\text{KIi}}$ 端子に"H"を入力していると、他の $\overline{\text{KIo}}$ ~ $\overline{\text{KIi}}$ 端子の入力は割り込みとして検知されません。キー入力割り込みのブロック図を図10.15に示します。

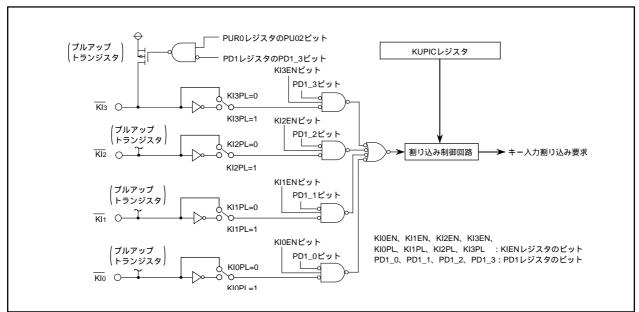


図10.15 キー入力割り込みのブロック図

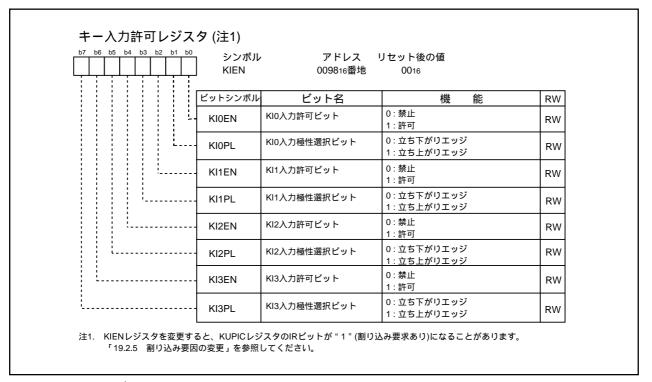


図10.16 KIENレジスタ

## 10.4 アドレス一致割り込み

RMADi(i=0, 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。RMADi(i=0, 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER0レジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「10.1.5 割り込み制御、 レジスタ 退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタック に積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰 してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表10.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図10.17にAIER、RMAD0~RMAD1レジスタを示します。

#### 表10.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタ(i=0, 1)で示される番地の命令	退避されるPCの値
・16ビットオペコード命令	RMADiレジスタで
・8ビットオペコードの命令のうち、以下に示す命令	示される番地+2
ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest	
OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest	
STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest	
CMP.B:S #IMM8,dest PUSHM src POPM dest	
JMPS #IMM8 JSRS #IMM8	
MOV.B:S #IMM,dest (ただし、dest=A0またはA1)	
上記以外	RMADi レジスタで
	示される番地 +1

退避される PC の値:「10.1.5 割り込み制御、 レジスタ退避」参照

#### 表10.7 アドレス一致割り込み要因と関連レジスタの対応

アドレスー致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

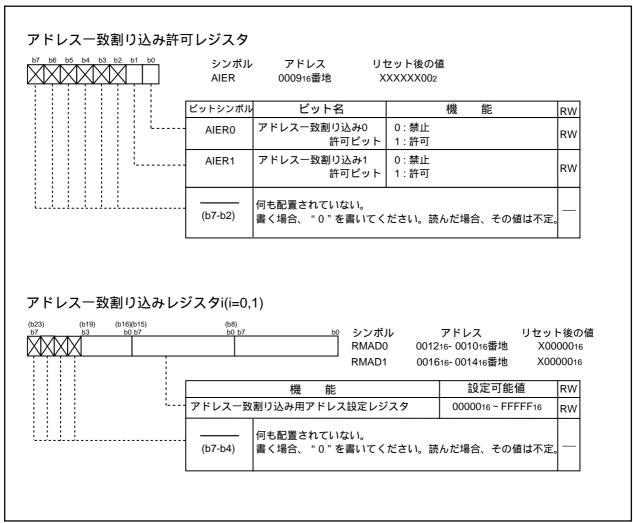


図10.17 AIER、RMAD0~RMAD1レジスタ

# 11. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケーラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、ウォッチドッグタイマリセットをかけるかをPM1レジスタのPM12ビットで選択できます。PM12ビットには"1"(ウォッチドッグタイマリセット)のみ書けます。一度、PM12ビットを"1"にするとプログラムでは"0"(ウォッチドッグタイマ割り込み)にはできません。ウォッチドッグタイマリセットの詳細は「5.3 ウォッチドッグタイマリセット」を参照してください。

WDCレジスタのWDC7ビットでプリスケーラが16分周するか128分周するかを選択できます。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケーラによる誤差が生じます。

プリスケーラの分周比(16または128) × ウォッチドッグタイマのカウント値(32768) ウォッチドッグタイマの周期 = CPUクロック

例えば、CPUクロックが16MHzで、プリスケーラが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

リセット後、ウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことによりカウントを開始します。その後、ウォッチドッグタイマは、WDTRレジスタに書くと初期化され、カウントを続けます。

ストップモード時、ウェイトモード時、ウォッチドッグタイマとプリスケーラは停止し、解除すると保持された値からカウントします。

図11.1にウォッチドッグタイマのブロック図、図11.2にウォッチドッグタイマ関連レジスタを示します。

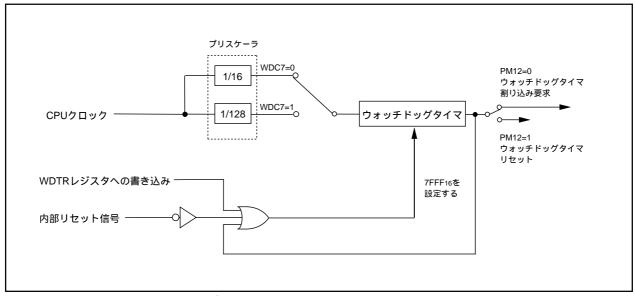


図11.1 ウォッチドッグタイマのブロック図

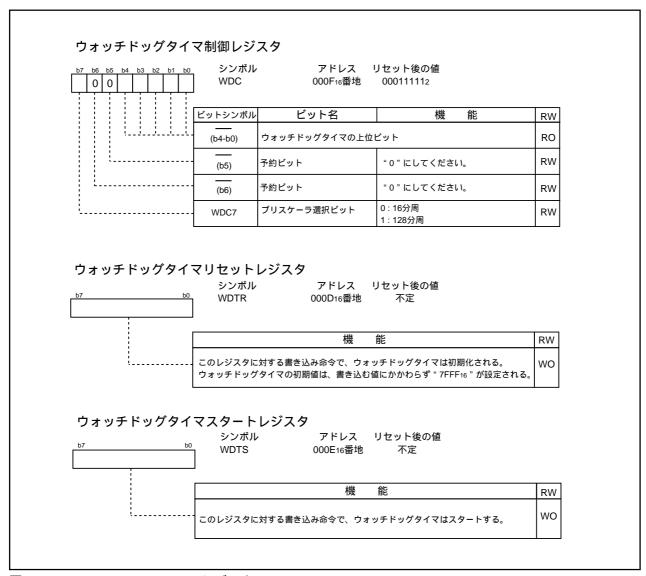


図11.2 WDC、WDTR、WDTSレジスタ

# 12. タイマ

タイマは、8ビットプリスケーラ付き8ビットタイマを3本と、16ビットタイマを1本内蔵しています。8ビットプリスケーラ付き8ビットタイマは、タイマX、タイマY、およびタイマZの3本です。16ビットタイマは、インプットキャプチャ、アウトプットコンペアを持ったタイマCです。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

表12.1に各タイマの機能比較を示します。

表12.1 各タイマの機能比較

項目		タイマX	タイマY	タイマZ	タイマC
構成		8ビット プリスケーラ付 8ビットタイマ	8ビット プリスケーラ付 8ビットタイマ	8ビット プリスケーラ付 8ビットタイマ	16ビット タイマ
カウ	ント	ダウンカウント	ダウンカウント	ダウンカウント	アップカウント
カウ	ントソース	• f1 • f2 • f8 • f32	・f1 ・f8 ・fRING ・CNTR1端子 からの入力	・f1 ・f2 ・f8 ・タイマY アンダフロー	• f1 • f8 • f32 • fRING-fast
	タイマモード	あり	あり	あり	なし
	パルス出力モード	あり	なし	なし	なし
	イベントカウンタモード	あり	あり (注1)	なし	なし
	パルス幅測定モード	あり	なし	なし	なし
機	パルス周期測定モード	あり	なし	なし	なし
能	プログラマブル 波形発生モード	なし	あり	あり	なし
	プログラマブル ワンショット発生モード	なし	なし	あり	なし
	プログラマブルウェイト ワンショット発生モード	なし	なし	あり	なし
	インプットキャプチャモード	なし	なし	なし	あり
	アウトプットコンペアモード	なし	なし	なし	あり
入力	端子	CNTR <sub>0</sub>	CNTR1	ĪNT <sub>0</sub>	TCIN
出力	端子	CNTR <sub>0</sub> CNTR <sub>0</sub>	CNTR1	TZout	CMP00 ~ CMP02 CMP10 ~ CMP12
関連	する割り込み	タ <u>イマ</u> X割り込み INT1割り込み	タイマY割り込み INT2割り込み	タイマZ割り込み INTO割り込み	タ <u>イマ</u> C割り込み INT3割り込み コンペア0割り込み コンペア1割り込み
タイ	マ停止	あり	あり	あり	あり

注1. タイマモードのカウントソースとしてCNTR1端子からの入力を選択してください。

## 12.1 タイマX

タイマXは、8ビットプリスケーラ付き8ビットタイマです。図12.1にタイマXのブロック図を、図12.2~図12.3にタイマX関連のレジスタを示します。タイマXは、次の5種類のモードを持ちます。

・タイマモード 内部カウントソースをカウントするモード

・パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を

反転したパルスを出力するモード

・イベントカウンタモード 外部パルスをカウントするモード

・パルス幅測定モード 外部パルスのパルス幅を測定するモード

・パルス周期測定モード外部パルスのパルス周期を測定するモード

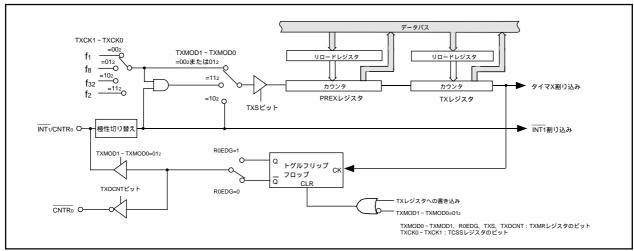


図12.1 タイマXブロック図

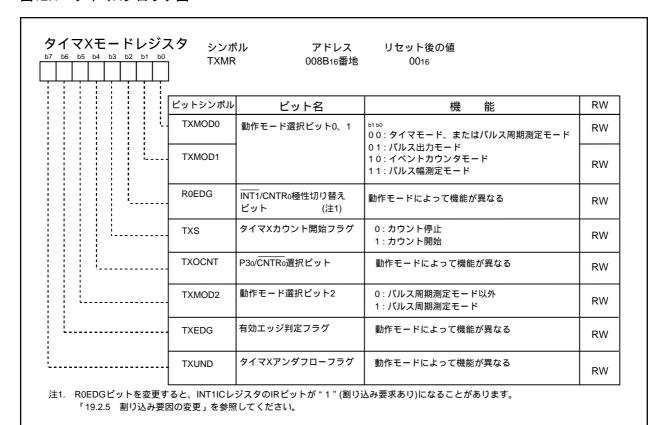


図12.2 TXMRレジスタ

#### プリスケーラXレジスタ シンボル アドレス リセット後の値 PREX 008C16番地 FF16 モード 機 能 設定範囲 RWタイマモード 0016~FF16 RW 内部カウントソースをカウント パルス出力モード 内部カウントソースをカウント 0016~FF16 RW イベントカウンタ 外部からの入力パルスをカウント 0016~FF16 $\mathsf{RW}$ モード 外部からの入力パルスのパルス幅を測定 パルス幅測定モード 0016~FF16 RW (内部カウントソースをカウント) 外部からの入力パルスのパルス周期を パルス周期測定 0016~FF16 RW 測定 モード (内部カウントソースをカウント) タイマXレジスタ シンボル アドレス リセット後の値 008D16番地 TX FF16 RW機 能 設定範囲 プリスケーラXのアンダフローをカウント 0016~FF16 RW タイマカウントソース設定レジスタ シンボル アドレス リセット後の値 b7 b6 b5 b4 b3 b2 b1 b0 TCSS 008E16番地 0016



注1. カウント動作中にカウントソースを切り替えないでください。カウントソースを切り替えるときは、タイマのカウントを停止 してください。

図12.3 PREX、TX、TCSSレジスタ

## 12.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.2)。タイマモード時のTXMRレジスタを図12.4に示します。

表12.2 タイマモードの仕様

項目	仕 様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント
	アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n:PREXレジスタの設定値、m:TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの"1"(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT1/CNTR0端子機能	プログラマブル入出力ポート、またはINT1割り込み入力
CNTRo端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウ
	ンタの両方に書き込まれる



図12.4 タイマモード時のTXMRレジスタ

# 12.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをCNTRo端子から出力するモードです(表12.3)。パルス出力モード時のTXMRレジスタを図12.5に示します。

表12.3 パルス出力モードの仕様

項目	仕 様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント
	アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n:PREXレジスタの設定値、m: TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの"1"(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT1/CNTR0端子機能	パルス出力
CNTRo端子機能	プログラマブル入出力ポート、またはCNTRoの反転出力
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタおよび
	カウンタの両方に書き込まれる
選択機能	INT1 /CNTRo極性切り替え機能
	R0EDGビットでパルス出力開始時のレベルを選択できる(注1)
	反転パルス出力機能
	CNTRo出力の極性を反転したパルスをCNTRo端子から出力できる。(TXOCNT
	ビットで選択)

注1. TXレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

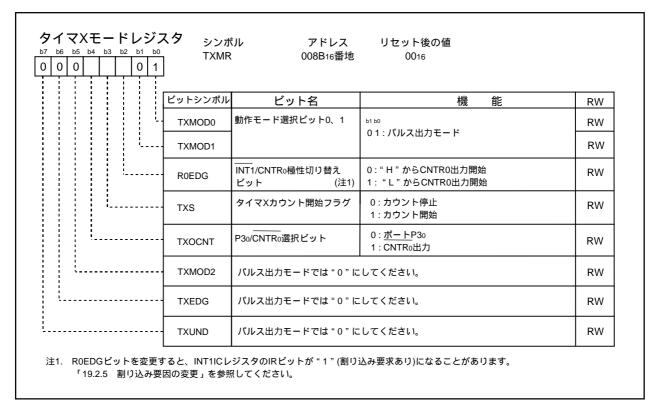


図12.5 パルス出力モード時のTXMRレジスタ

# 12.1.3 イベントカウンタモード

INT1/CNTR0端子から入力する外部信号をカウントするモードです(表12.4)。イベントカウンタモード 時のTXMRレジスタを図12.6に示します。

表12.4 イベントカウンタモードの仕様

項目	仕 様
カウントソース	CNTRo端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能)
カウント動作	ダウンカウント
	アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)(m+1) n:PREXレジスタの設定値、m: TXレジスタの設定値
カウント開始条件	TXMRレジスタのTXSビットへの"1"(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
INT1/CNTR0端子機能	カウントソース入力(INT1割り込み入力)
CNTR0端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウ
	ンタの両方に書き込まれる
選択機能	INT1/CNTR0極性切り替え機能
	R0EDGビットでカウントソースの有効エッジを選択できる

タイマXモードレジス 0 0 0 0 0 1 0	<b>く夕</b> シンボ TXMR		リセット後の値 0016	
	ビットシンボル	ビット名	機能	RW
-	TXMOD0	動作モード選択ビット0、1	ыы 10: イベントカウンタモード	RW
	TXMOD1			RW
	R0EDG	INT1/CNTRo極性切り替え ビット (注1)	0:立ち上がりエッジ 1:立ち下がりエッジ	RW
	TXS	タイマXカウント開始フラグ	0 : カウント停止 1 : カウント開始	RW
-	TXOCNT	イベントカウンタモードでは	"0"にしてください。	RW
	TXMOD2	イベントカウンタモードでは	"0"にしてください。	RW
L	TXEDG	イベントカウンタモードでは	"0"にしてください。	RW
<u> </u>	TXUND	イベントカウンタモードでは	"0"にしてください。	RW

注1. ROEDGビットを変更すると、INT1ICレジスタのIRビットが"1"(割り込み要求あり)になることがあります。

図12.6 イベントカウンタモード時のTXMRレジスタ

「19.2.5 割り込み要因の変更」を参照してください。

# 12.1.4 パルス幅測定モード

INT1/CNTR0端子から入力する外部信号のパルス幅を測定するモードです(表12.5)。図12.7にパルス幅測定モード時のTXMRレジスタ、図12.8にパルス幅測定モード時の動作例を示します。

表12.5 パルス幅測定モードの仕様

項目	仕 樣
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント
	測定パルスの " H " レベルの期間、または " L " レベルの期間のみカウントを継続
	アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TXMRレジスタのTXSビットへの"1"(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時 [タイマX割り込み]
	CNTRo入力の立ち上がり、または立ち下がり(測定期間終了) [INT1割り
	込み]
INT1/CNTR0端子機能	測定パルス入力(INT1割り込み入力)
CNTRo端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタ、PREXレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウ
	ンタの両方に書き込まれる
選択機能	INT1/CNTR0極性切り替え機能
	R0EDGビットで入力パルスの測定幅として" H " レベル期間、または " L "
	レベル期間を選択できる

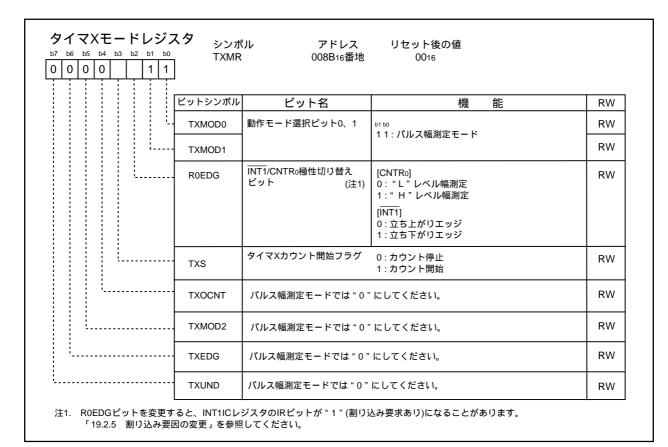


図12.7 パルス幅測定モード時のTXMRレジスタ

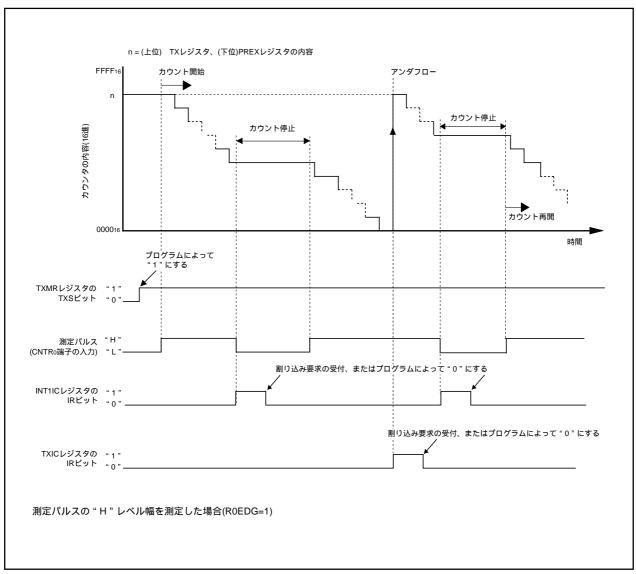


図12.8 パルス幅測定モード時の動作例

# 12.1.5 パルス周期測定モード

INT1/CNTR0端子から入力する外部信号のパルス周期を測定するモードです(表12.6)。図12.9にパルス周期測定モード時のTXMRレジスタを、図12.10に動作例を示します。

表12.6 パルス周期測定モードの仕様

項目	仕 様
カウントソース	f1、f2、f8、f32
カウント動作	ダウンカウント
	測定パルスの有効エッジ入力後、1回目のプリスケーラXのアンダフロー時に
	読み出し用バッファの内容を保持し、2回目のプリスケーラXのアンダフロー
	時にタイマXはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TXMRレジスタのTXSビットへの"1"(カウント開始)書き込み
カウント停止条件	TXMRレジスタのTXSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	タイマXのアンダフロー時、またはリロード時[タイマX割り込み]
	CNTRo入力の立ち上がり、または立ち下がり(測定期間終了)[INT1割り込み]
INT1/CNTR0端子機能	測定パルス入力 (注1)(INT1割り込み入力)
CNTRo端子機能	プログラマブル入出力ポート
タイマの読み出し	TXレジスタを読み出すと、読み出し用バッファの内容が読み出される。
	読み出し用バッファは、TXレジスタの読み出しにより値の保持を解除する。
タイマの書き込み	TXレジスタ、PREXレジスタに書き込むと、それぞれリロードレジスタとカウン
	タの両方に書き込まれる
選択機能	INT1/CNTR0極性切り替え機能
	R0EDGビットで入力パルスの測定期間を選択できる

注1. プリスケーラXの周期の2倍より長い周期のパルスを入力してください。また、"H"幅、"L"幅それぞれが、プリスケーラXの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

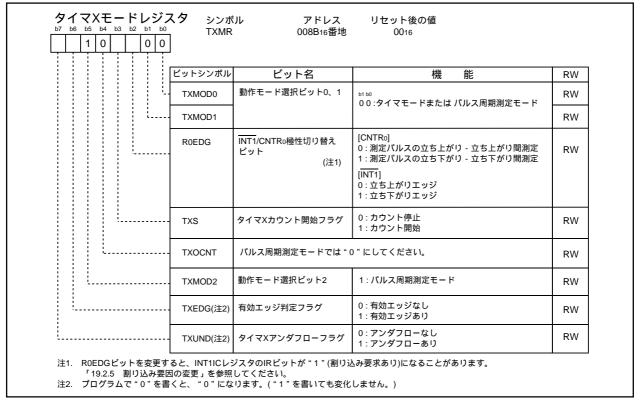
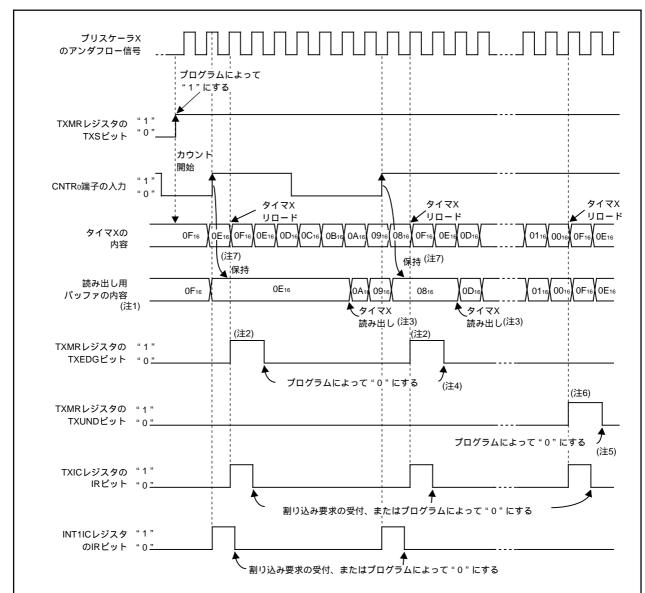


図12.9 パルス周期測定モード時のTXMRレジスタ



TXレジスタの初期値を0F16とし測定パルスの立ち上がりから立ち上がりまでを測定した場合(R0EDG=0)です。

- 注1. パルス周期測定モードでTXレジスタを読み出すと、読み出し用バッファの内容が読めます。
- 注2. 測定パルスの有効エッジ入力後、2回目のプリスケーラXのアンダフロータイミングで、TXMRレジスタのTXEDGビットが"1"(有効エッジあり)になります。
- 注3. TXレジスタの読み出しは、TXEDGビットが"1"(有効エッジあり)にセットされてから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容はTXレジスタを読み出すまで保持されます。したがって有効エッジが入力されるまでに読み出さない場合、前の周期の測定結果を保持します。
- 注4. プログラムによって"0"にするときは、MOV命令を用いてTXMRレジスタのTXEDGビットに"0"を書いてください。 その際、TXUNDビットには"1"を書いてください。
- 注5. プログラムによって"0"にするときは、MOV命令を用いてTXMRレジスタのTXUNDビットに"0"を書いてください。 その際、TXEDGビットには"1"を書いてください。
- 注6. タイマXのアンダフロータイミングが、有効エッジ入力によるタイマXのリロードと重なった場合、TXUNDビットと TXEDGビットが共に"1"になります。そのときは、読み出し用バッファの内容で、TXUNDビットの有効性を判断して ください。
- 注7. CNTRoの有効エッジ入力タイミングがプリスケーラXのアンダフロー信号の
  - "H"区間の場合には、そのときのカウント値
  - "L"区間の場合には、次のカウント値
  - が読み出し用バッファの内容になります。

図12.10 パルス周期測定モード時の動作例

### 12.2 タイマY

タイマYは、8ビットプリスケーラ付き8ビットタイマです。タイマYは、リロードレジスタとしてタイマ Yプライマリレジスタ、タイマYセカンダリレジスタの2つのレジスタを持ちます。図12.11にタイマYのブロック図を示します。図12.12~図12.14にTYZMR、PREY、TYSC、TYPR、TYZOC、PUM、TCSSレジスタを示します。タイマYは、次の2種類のモードを持ちます。

・タイマモード 内部カウントソースをカウントするモード

・プログラマブル波形発生モード 任意のパルス幅を連続して出力するモード

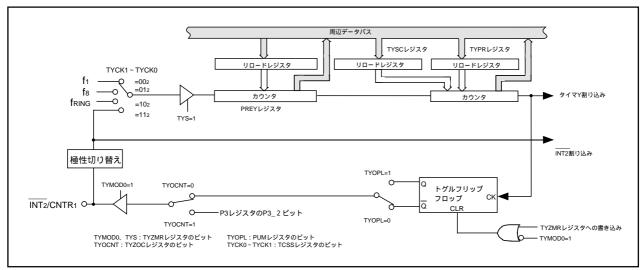


図12.11 タイマYブロック図

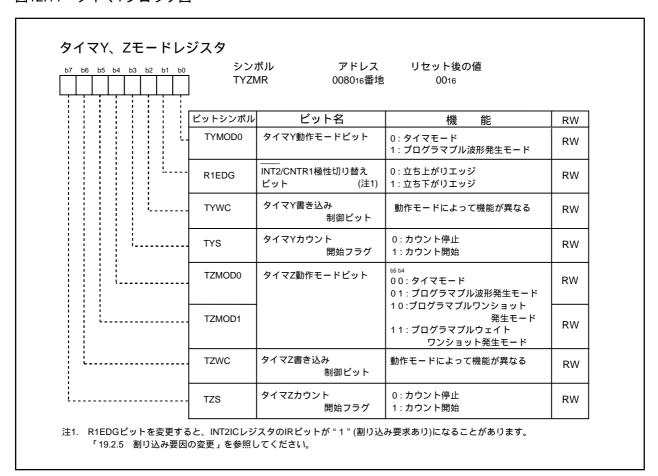
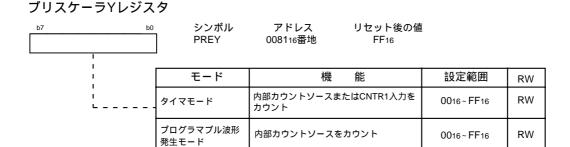


図12.12 TYZMRレジスタ



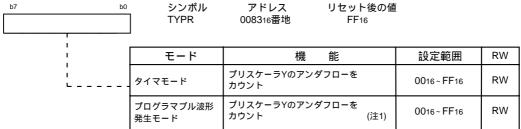
#### タイマYセカンダリレジスタ



注1. TYPRレジスタとTYSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTYPRレジスタで読めます。

#### タイマYプライマリレジスタ

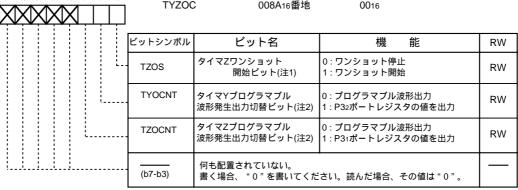


注1. TYPRレジスタとTYSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

シンボル

#### タイマY、Z出力制御レジスタ (注3)

b7 b6 b5 b4 b3 b2 b1 b0



アドレス

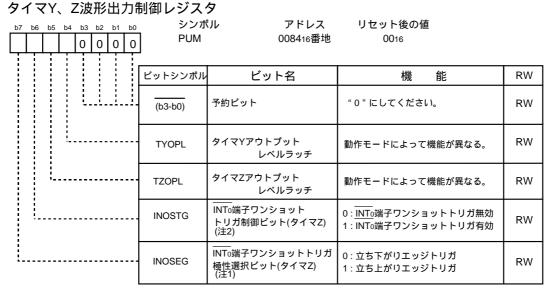
リセット後の値

注1. ワンショット波形出力終了後、"0"になります。ワンショット波形出力中に、TYZMRレジスタのTZSビットを"0"(カウント停止)にすることで波形出力を停止した場合、TZOSビットを"0"にしてください。

注2. プログラマブル波形発生モード時のみ有効。

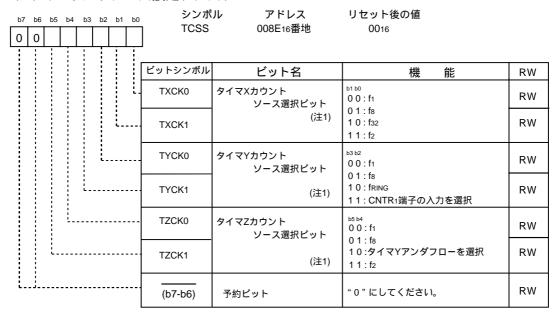
注3. TZOSビットが "1" (カウント中)のときにこのレジスタを変更する命令を実行する場合、命令の実行中にカウントが終了すると、TZOSビットは自動的に "0" (ワンショット停止)になります。このことが問題になる場合は、TZOSビットが "0" のときに、このレジスタを変更する命令を実行してください。

図12.13 PREY、TYSC、TYPR、TYZOCレジスタ



- 注1. INOSEGビットは、INTENレジスタのINTOPLビットが"0"(片エッジ)のときのみ有効です。
- 注2. INOSTGビットは、INTENレジスタのINTOENビットとPUMレジスタのINOSEGビットを設定後に"1"にしてください。

## タイマカウントソース設定レジスタ



注1. カウント動作中にカウントソースを切り替えないでください。カウントソースを切り替えるときは、タイマのカウントを停止 してください。

図12.14 PUM、TCSSレジスタ

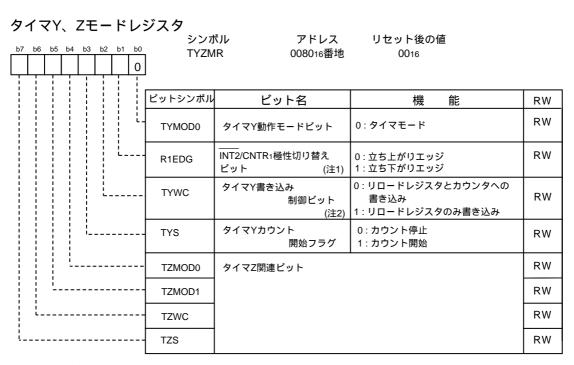
# 12.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.7)。CNTR1端子に入力された外部信号もカウントできます。タイマモード時、TYSCレジスタは使用しません。図12.15にタイマモード時のTYZMR、PUMレジスタを示します。

表12.7 タイマモードの仕様

項目	仕 様
カウントソース	f1、f8、fRING、CNTR1端子に入力された外部信号
カウント動作	ダウンカウント
	アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
	(タイマYのアンダフロー時はタイマYプライマリリロードレジスタの内容をリロード)
分周比	1/(n+1)(m+1) n:PREYレジスタの設定値、m:TYPRレジスタの設定値
カウント開始条件	TYZMRレジスタのTYSビットへの"1"(カウント開始)書き込み
カウント停止条件	TYZMRレジスタのTYSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	タイマYのアンダフロー時[タイマY割り込み]
INT2/CNTR1端子機能	プログラマブル入出力ポート、カウントソース入力またはINT2割り込み入力
	TCSSレジスタのTYCK1~TYCK0ビットが " 00b " 、 " 01b " または " 10b "
	(タイマYカウントソースはf1、f8またはfRING)の場合、プログラマブル入出力
	ポートまたはINT2割り込み入力
	TYCK1~TYCK0ビットが " 11b " (タイマYのカウントソースはCNTR1入力)
	の場合、カウントソース入力( ĪNT2割り込み入力)
タイマの読み出し	TYPRレジスタ、PREYレジスタを読み出すと、それぞれカウント値が読み出さ
	れる
タイマの書き込み(注1)	TYPRレジスタ、PREYレジスタに書き込むと、それぞれリロードレジスタとカ
	ウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれる
	かプログラムで選択可能
選択機能	イベントカウンタ機能
	TYCK1~TYCK0ビットを"112"にするとCNTR1端子に入力された外部信号
	をカウントする
	ĪNT2/CNTR1極性切り替えビット
	R1EDGビットでカウントソースの有効エッジを選択できる

- 注1. 次の2項の条件が重なった状態でTYPRレジスタ、PREYレジスタに書き込みを行うと、TYICレジスタのIRビットが"1"(割り込み要求あり)になります。
  - ・TYZMRレジスタのTYWCビットが"0"(リロードレジスタとカウンタへの同時書き込み)
  - ・TYSビットが"1"(カウント開始)
  - この状態でTYPRレジスタ、PREYレジスタに書く場合は、書く前に割り込みを禁止してください。



- 注1. R1EDGビットを変更すると、INT2ICレジスタのIRビットが"1"(割り込み要求あり)になることがあります。 「19.2.5 割り込み要因の変更」を参照してください。
- 注2. TYSビットが "1" (カウント開始)のとき、TYWCビットの設定値が有効になります。TYWCビットが "0"のときリロードレジスタとカウンタへの書き込み、"1"のときリロードレジスタのみ書き込みになります。
  TYSビットが "0" (カウント停止)のとき、TYWCビットの設定値にかかわらず、リロードレジスタとカウンタへの書き込みになります。

# タイマY、Z波形出力制御レジスタ

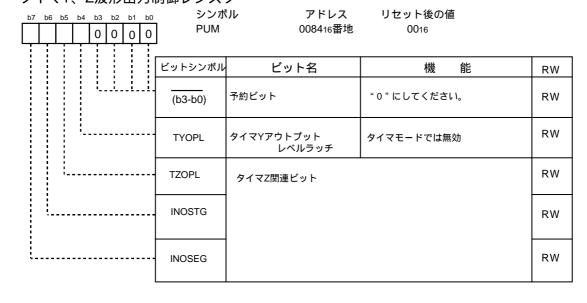


図12.15 タイマモード時のTYZMR、PUMレジスタ

# 12.2.2 プログラマブル波形発生モード

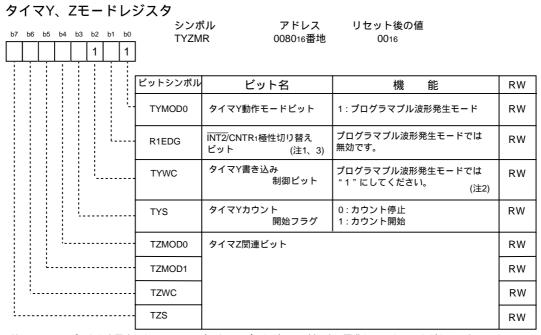
TYPRレジスタとTYSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、CNTR1 端子から出力する信号を反転するモードです(表12.8)。カウント開始時は、TYPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時のTYZMRレジスタを図12.16に、プログラマブル波形発生モード時のタイマYの動作例を図12.17に示します。

表12.8 プログラマブル波形発生モードの仕様

項目	仕 様
カウントソース	f1、f8、fRING
カウント動作	ダウンカウント
	アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタ
	の内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : (n+1)(m+1)/fi
	セカンダリ期間 : (n+1)(p+1)/fi
	周期 : (n+1){(m+1)+(p+1)}/fi
	n:PREYレジスタの設定値、m:TYPRレジスタの設定値、p:TYSCレジスタの設定値
	fi:カウントソースの周波数
カウント開始条件	TYZMRレジスタのTYSビットへの "1" (カウント開始)書き込み
カウント停止条件	TYZMRレジスタのTYSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマYのアンダフローからカウントソースの1/2サイクル後
	(CNTR1出力の変化と同時) [タイマY割り込み]
INT2/CNTR1端子機能	パルス出力
	(プログラマブル入出力ポートとして使用する場合は、タイマモードにして
	ください。)
タイマの読み出し	TYPRレジスタ、PREYレジスタを読み出すと、それぞれカウント値が読み出さ
	れる(注1)
タイマの書き込み	TYPRレジスタ、TYSCレジスタ、PREYレジスタに書き込むと、それぞれリロー
	ドレジスタのみに書き込まれる(注2)
選択機能	アウトプットレベルラッチ選択機能
	プライマリ期間、セカンダリ期間の出力レベルをTYOPLビットで選択できる
	プログラマブル波形発生出力切り替え機能
	TYZOCレジスタのTYOCNTビットを"0"に設定すると、タイマYのアンダフロー
	に同期してCNTR1の出力を反転する。"1"に設定すると、P3_2ビットの値をCNTR1
	から出力する。(注3)

- 注1. セカンダリ期間でも、TYPRレジスタを読み出してください。
- 注2. TYPRレジスタへの書き込み動作より、TYPRレジスタ、TYSCレジスタに設定した値が有効になります。波形の出力は、TYPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。
- 注3. TYOCNTビットは次のタイミングで有効になります。
  - ・カウント開始時
  - ・タイマY割り込み要求発生時

したがって、TYOCNTビットを変更後、次のプライマリ期間の出力から反映されます。



- 注1. R1EDGビットを変更すると、INT2ICレジスタのIRビットが"1"(割り込み要求あり)になることがあります。 「19.2.5 割り込み要因の変更」を参照してください。
- 注2. TYSビットが "1" (カウント開始)のとき、リロードレジスタのみ書き込みになります。
  TYSビットが "0" (カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。
  注3. TYMOD0ビットが "1" (プログラマブル波形発生モード)のとき、INT2割り込み要求は発生しません。

# タイマY、Z波形出力制御レジスタ



図12.16 プログラマブル波形発生モード時のTYZMR、PUMレジスタ

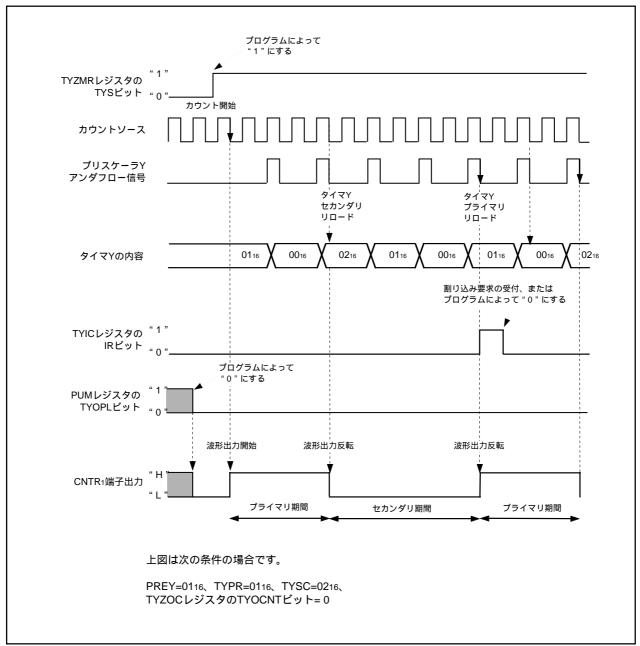


図12.17 プログラマブル波形発生モード時のタイマYの動作例

## 12.3 タイマZ

タイマZは、8ビットプリスケーラ付き8ビットタイマです。タイマZは、リロードレジスタとしてタイマ Zプライマリ、タイマZセカンダリの2つのレジスタを持ちます。図12.18にタイマZのブロック図を、図12.19 ~図12.21にTYZMR、PREZ、TZSC、TZPR、TYZOC、PUM、TCSSレジスタを示します。タイマZは、次の4種類のモードを持ちます。

- ・タイマモード
- ・プログラマブル波形発生モード
- ・プログラマブルワンショット発生モード
- ・プログラマブルウェイトワンショット発生モード

内部カウントソースまたはタイマYのアンダフローをカウントするモード 任意のパルス幅を連続して出力するモード ワンショットパルスを出力するモード

ディレイドワンショットパルスを出力するモード

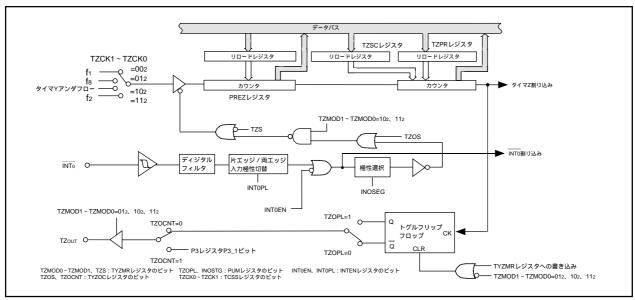


図12.18 タイマZブロック図

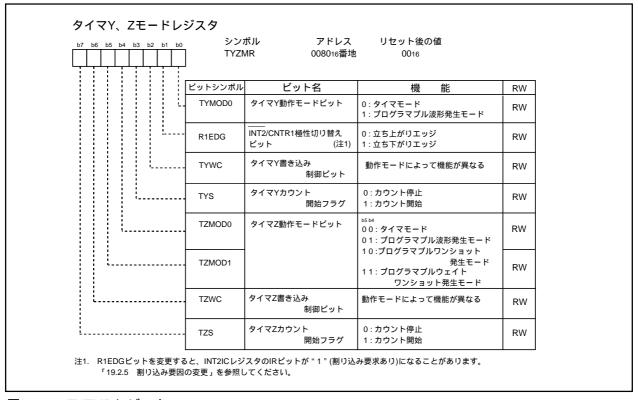
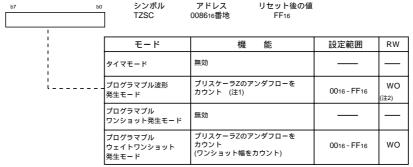


図12.19 TYZMRレジスタ



#### タイマZセカンダリレジスタ



- 注1. TZPRレジスタとTZSCレジスタは交互にカウンタにリロードされ、カウントされます。
- 注2. カウント値は、セカンダリ期間カウント中でもTZPRレジスタで読めます。

#### タイマZプライマリレジスタ



注1. TZPRレジスタとTZSCレジスタは交互にカウンタにリロードされ、カウントされます。

#### タイマY、Z出力制御レジスタ (注3)



- 注1. ワンショット波形出力終了後、"0"になります。ワンショット波形出力中に、TYZMRレジスタのTZSビットを"0"(カウント停止)にすることで波形出力を停止した場合、TZOSビットを"0"にしてください。
- 注2. プログラマブル波形発生モード時のみ有効。 注3. TZOSピットが"1"(カウント中)のときにこのレジスタを変更する命令を実行する場合、命令の実行中にカウントが終了する と、TZOSビットは自動的に"O"(ワンショット停止)になります。このことが問題になる場合は、TZOSビットが"O"のときに、このレジスタを変更する命令を実行してください。

図12.20 PREZ、TZSC、TZPR、TYZOCレジスタ



注1. INOSEGビットは、INTENレジスタのINTOPLビットが"0"(片エッジ)のときのみ有効です。 注2. INOSTGビットは、INTENレジスタのINTOENビットとPUMレジスタのINOSEGビットを設定後に"1"にしてください。

### タイマカウントソース設定レジスタ



注1. カウント動作中にカウントソースを切り替えないでください。カウントソースを切り替えるときは、タイマのカウントを停止 してください。

図12.21 PUM、TCSSレジスタ

# 12.3.1 タイマモード

内部で生成されたカウントソースまたはタイマYのアンダフローをカウントするモードです(表12.9)。 タイマモード時、TZSCレジスタは使用しません。タイマモード時のTYZMR、PUMレジスタを図12.22に 示します。

表12.9 タイマモードの仕様

項目	仕 様
カウントソース	f1、f2、f8、タイマYのアンダフロー
カウント動作	ダウンカウント
	アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
	(タイマZのアンダフロー時はタイマZプライマリリロードレジスタの内容をリロード)
分周比	1/(n+1)(m+1) n:PREZレジスタの設定値、m:TZPRレジスタの設定値
カウント開始条件	TYZMRレジスタのTZSビットへの " 1 " (カウント開始)書き込み
カウント停止条件	TYZMRレジスタのTZSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	タイマZのアンダフロー時[タイマZ割り込み]
TZouT端子機能	プログラマブル入出力ポート
INTo端子機能	プログラマブル入出力ポート、またはINTO割り込み入力
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出さ
	れる
タイマの書き込み(注1)	TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタとカ
	ウンタの両方に書き込まれるか、またはリロードレジスタのみに書き込まれる
	かプログラムで選択可能

- 注1. 次の2項の条件が重なった状態でTZPRレジスタまたはPREZレジスタに書き込みを行うと、TZIC レジスタのIRビットが"1"(割り込み要求あり)になります。
  - ・TYZMRレジスタのTZWCビットが"0"(リロードレジスタとカウンタへの同時書き込み)
  - ・TYZMRレジスタのTZSビットが"1"(カウント開始)

この状態でTZPRレジスタ、PREZレジスタに書く場合は、書く前に割り込みを禁止してください。

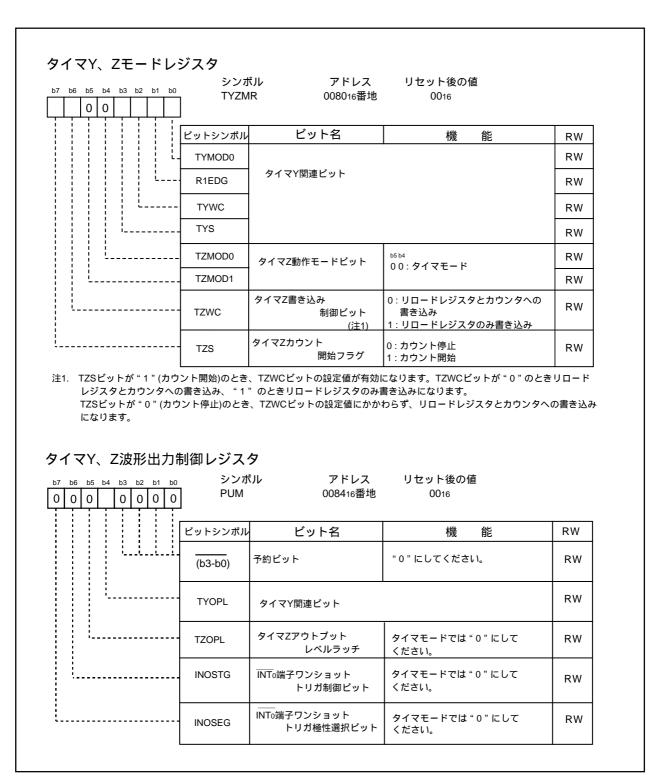


図12.22 タイマモード時のTYZMR、PUMレジスタ

# 12.3.2 プログラマブル波形発生モード

TZPRレジスタとTZSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TZOUT 端子から出力する信号を反転モードです(表12.10)。カウント開始時は、TZPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時のTYZMR、PUMレジスタを図12.23に示します。タイマZのプログラマブル波形発生モードは、タイマYのプログラマブル波形発生モードと同様の動作を行いますので、動作例は図12.17(プログラマブル波形発生モード時のタイマYの動作例)を参照してください。

表12.10 プログラマブル波形発生モードの仕様

項目	仕 様
カウントソース	f1、f2、f8、タイマYのアンダフロー
カウント動作	ダウンカウント
	アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタ
	の内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : (n+1)(m+1)/fi
	セカンダリ期間 : (n+1)(p+1)/fi
	周期 : (n+1){(m+1)+(p+1)}/fi
	n:PREYレジスタの設定値、m:TYPRレジスタの設定値、p:TYSCレジスタの設定値
	fi:カウントソースの周波数
カウント開始条件	TYZMRレジスタのTZSビットへの"1"(カウント開始)書き込み
カウント停止条件	TYZMRレジスタのTZSビットへの"0"(カウント停止)書き込み
割り込み要求発生タイミング	│ セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後│
	(TZout出力の変化と同時)[タイマZ割り込み]
TZouT端子機能	パルス出力
	│ (プログラマブル入出力ポートとして使用する場合は、タイマモードにして │
	ください。) 
INTo端子機能	プログラマブル入出力ポート、またはINTO割り込み入力
タイマの読み出し	│ TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出さ│
	れる(注1)
タイマの書き込み	TZPRレジスタ、TZSCレジスタ、PREZレジスタに書き込むと、それぞれリロード
	レジスタのみに書き込まれる(注2)
選択機能	アウトプットレベルラッチ選択機能
	プライマリ期間、セカンダリ期間の出力レベルをTZOPLビットで選択できる
	プログラマブル波形発生出力切り替え機能
	TYZOCレジスタのTZOCNTビットを"0"に設定すると、タイマZのアンダフロー
	に同期してTZoutの出力を反転する。"1"に設定すると、P3_1ビットの値をTZout
	から出力する。(注3)

- 注1. セカンダリ期間をカウント中でも、TZPRレジスタを読み出してください。
- 注2. TZPRレジスタへの書き込み動作より、TZPRレジスタ、TZSCレジスタに書いた値が有効になります。 波形の出力は、TZPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。
- 注3. TZOCNTビットは次のタイミングで有効になります。
  - ・カウント開始時
  - ・タイマZ割り込み要求発生時

したがって、TZOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

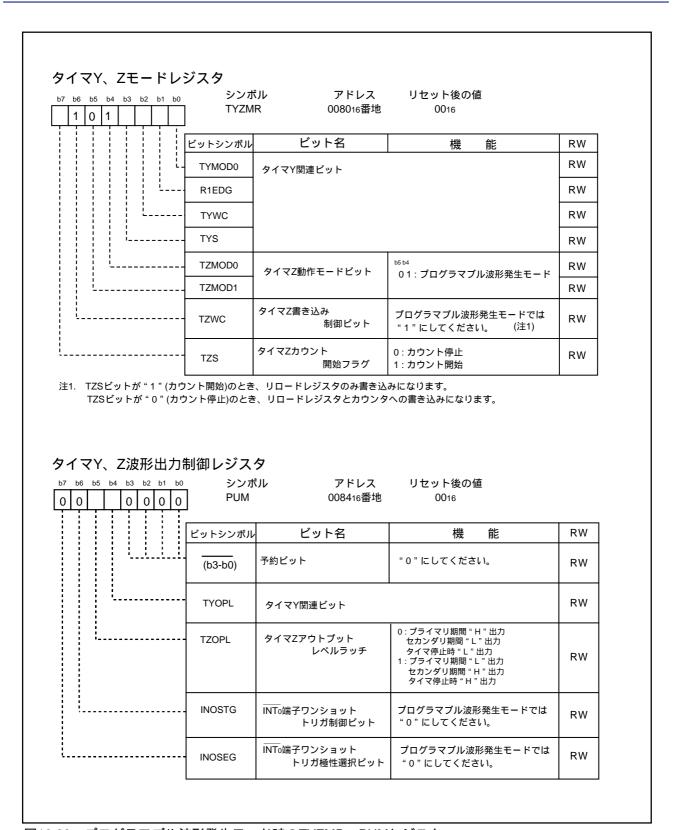


図12.23 プログラマブル波形発生モード時のTYZMR、PUMレジスタ

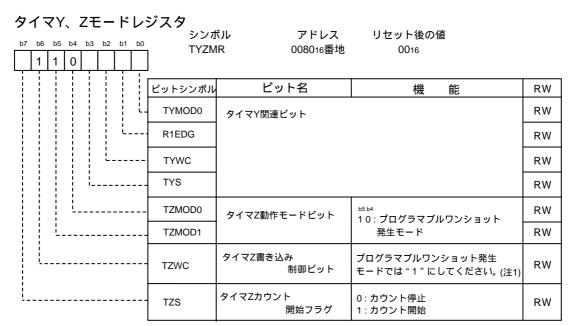
### 12.3.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ(INTo端子の入力)により、ワンショットパルスをTZouT端子から出力するモードです(表12.11)。トリガが発生するとその時点から任意の時間(TZPRレジスタの設定値)、1度だけタイマが動作します。プログラマブルワンショット発生モード時、TZSCレジスタは使用しません。プログラマブルワンショット発生モード時のTYZMR、PUMレジスタを図12.24に、プログラマブルワンショット発生モード時の動作例を図12.25に示します。

表12.11 プログラマブルワンショット発生モードの仕様

項目	仕 様
カウントソース	f1、f2、f8、タイマYアンダフロー
カウント動作	TZPRレジスタの設定値をダウンカウント
	アンダフロー時リロードレジスタの内容をリロードしてカウントを終了し、
	TZOSビットが " 0 " (ワンショット停止)になる
	カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力	(n+1)(m+1)/fi
時間	n:PREZレジスタの設定値、m:TZPRレジスタの設定値、fi:カウントソースの周波数
カウント開始条件	TYZOCレジスタのTZOSビットへの"1"(ワンショット開始)書き込み(注1)
	ĪNTo端子への有効トリガ入力(注2)
カウント停止条件	カウンタの値が " 0016 " になりリロードした後
	TYZMRレジスタのTZSビットへの"0"(カウント停止)書き込み
	TYZOCレジスタのTZOSビットへの " 0 " (ワンショット停止)書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの1/2サイクル後(TZouT端子からの波形出力
	の終了と同時)[タイマZ割り込み]
TZouT端子機能	パルス出力
	(プログラマブル入出力ポートとして使用する場合は、タイマモードにして
	ください。)
INTo端子機能	プログラマブル入出力ポート、INTO割り込み入力、または外部トリガ入力
	PUMレジスタのINOSTGビットが"0"(INTo端子ワンショットトリガ無効)の場合
	プログラマブル入出力ポートまたはINTO割り込み入力
	PUMレジスタのINOSTGビットが " 1 " (INTo端子ワンショットトリガ有効)の場合
	外部トリガ入力(INTO割り込み入力)
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出さ
	れる
タイマの書き込み	TZPRレジスタ、PREZレジスタに書き込むと、それぞれリロードレジスタのみ
	に書き込まれる(注3)
選択機能	アウトプットレベルラッチ選択機能
	ワンショットパルス波形の出力レベルをTZOPLビットで選択できる
	INTo端子ワンショットトリガ制御機能、極性選択機能
	INT₀端子からのトリガ入力の有効または無効をINOSTGビットで選択できる。
	有効トリガ極性をINOSEGビットで選択できる。

- 注1. TYZMRレジスタのTZSビットを"1"(カウント開始)にしてください。
- 注2. TZSビットを"1"(カウント開始)、INTENレジスタのINTOENビットを"1"(INTO入力許可)、PUMレジスタのINOSTGビットを"1"(INTOワンショットトリガ有効)にしてください。カウント中に入力されたトリガは、受け付けられませんが、INTO割り込み要求は発生します。
- 注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。



注1. TZSビットが"1"(カウント開始)のとき、リロードレジスタのみ書き込みになります。 TZSビットが"0"(カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。

### タイマY、Z波形出力制御レジスタ



- 注1. INOSEGビットは、INTENレジスタのINTOPLビットが"0"(片エッジ)のときのみ有効です。
- 注2. INOSTGビットは、INTENレジスタのINTOENビットとPUMレジスタのINOSEGビットを設定後に"1"にしてください。 INOSTGビットを"1"(INTo端子ワンショットトリガ有効)にするときは、INTOFレジスタのINTOFO~INTOF1ビットを設定してください。

INOSTGビットは、TYZMRレジスタのTZSビットを"0"(カウント停止)にした後、"0"(INTo端子ワンショットトリガ無効)にしてください。

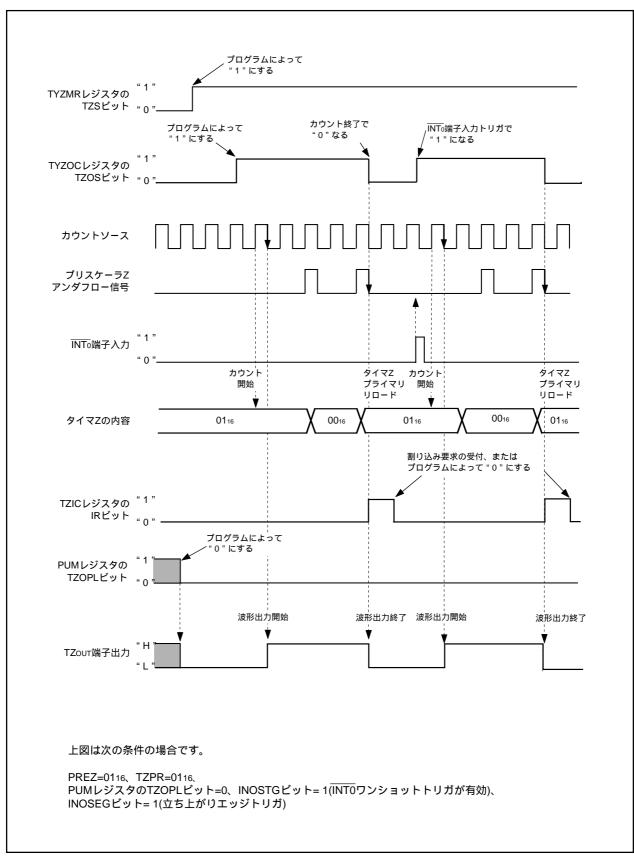


図12.25 プログラマブルワンショット発生モード時の動作例

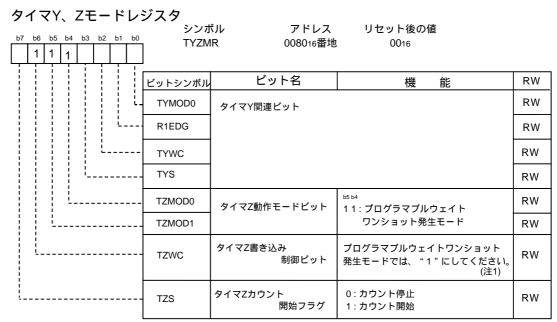
### 12.3.4 プログラマブルウェイトワンショット発生モード

プログラムまたは外部トリガ(INTo端子の入力)により、一定時間後にワンショットパルスをTZouT端子から出力するモードです(表12.12)。トリガが発生すると、その時点から任意の時間(TZPRレジスタの設定値)後、一度だけ任意の時間(TZSCレジスタの設定値)パルス出力を行います。プログラマブルウェイトワンショット発生モード時のTYZMR、PUMレジスタを図12.26に、プログラマブルウェイトワンショット発生モードの動作例を図12.27に示します。

表12.12 プログラマブルウェイトワンショット発生モードの仕様

項目	仕 様	
カウントソース	f1、f2、f8、タイマYアンダフロー	
カウント動作	タイマZプライマリの設定値をダウンカウント	
	タイマZプライマリのカウントがアンダフロー時、タイマZセカンダリの内容をリロードしてカウントを継続	
	タイマZセカンダリのカウントがアンダフロー時、タイマZプライマリの内容を	
	リロードしてカウントを終了し、TZOSビットが " 0 " (ワンショット停止)になる	
	カウント停止時、リロードレジスタの内容をリロードし停止	
ウェイト時間	(n+1)(m+1)/fi	
	n:PREZレジスタの設定値、m:TZPRレジスタの設定値、fi:カウントソースの周波数	
ワンショットパルス出力時間	(n+1)(p+1)/fi	
	n:PREZレジスタの設定値、p:TZSCレジスタの設定値、fi:カウントソースの周波数	
カウント開始条件	TYZOCレジスタのTZOSビットへの"1"(ワンショット開始)書き込み(注1)	
	ĪNTo端子への有効トリガ入力(注2)	
カウント停止条件	タイマZセカンダリカウント時のカウントの値が " 0016 " になりリロードした後	
	TYZMRレジスタのTZSビットへの " 0 " (カウント停止)書き込み	
	TYZOCレジスタのTZOSビットへの"0"(ワンショット停止)書き込み	
割り込み要求発生タイミング	セカンダリ期間のタイマZのアンダフローからカウントソースの1/2サイクル後	
	(TZouT端子からの波形出力の終了と同時)[タイマZ割り込み]	
TZOUT端子機能	パルス出力	
	(プログラマブル入出力ポートとして使用する場合は、タイマモードにして	
	ください。)	
INTo端子機能	プログラマブル入出力ポート、INTO割り込み入力、または外部トリガ入力	
	PUMレジスタのINOSTGビットが " 0 " (INToワンショットトリガ無効)の場合	
	プログラマブル入出力ポートまたはINTO割り込み入力	
	PUMレジスタのINOSTGビットが " 1 " (INT₀ワンショットトリガ有効)の場合	
	外部トリガ入力(INT0割り込み入力)	
タイマの読み出し	TZPRレジスタ、PREZレジスタを読み出すと、それぞれカウント値が読み出される	
タイマの書き込み	TZPRレジスタ、PREZレジスタ、TZSCレジスタに書き込むと、それぞれリロード	
	レジスタのみに書き込まれる(注3)	
選択機能	アウトプットレベルラッチ選択機能	
	ワンショットパルス波形の出力レベルをTZOPLビットで選択できる	
	INTo端子ワンショットトリガ制御機能、極性選択機能	
	INTo端子からのトリガ入力の有効または無効をINOSTGビットで選択できる。	
	有効トリガ極性をINOSEGビットで選択できる。	

- 注1. TYZMRレジスタのTZSビットを"1"(カウント開始)にしてください。
- 注2. TZSビットを"1"(カウント開始)、INTENレジスタのINT0ENビットを"1"(INT0入力許可)、PUMレジスタのINOSTGビットを"1"(INT0ワンショットトリガ有効)にしてください。カウント中に入力されたトリガは、受け付けられませんが、INT0割り込み要求は発生します。
- 注3. TZPRレジスタへ書き込んだ次のワンショットパルスから反映されます。



注1. TZSビットが "1"(カウント開始)のとき、リロードレジスタのみ書き込みになります。 TZSビットが "0"(カウント停止)のとき、リロードレジスタとカウンタへの書き込みになります。

## タイマY、Z波形出力制御レジスタ



- 注1. INOSEGビットは、INTENレジスタのINTOPLビットが"0"(片エッジ)のときのみ有効です。
- 注2. INOSTGビットは、INTENレジスタのINTOENビットとPUMレジスタのINOSEGビットを設定後に"1"にしてください。 INOSTGビットを"1"(INTo端子ワンショットトリガ有効)にするときは、INTOFレジスタのINTOFO~INTOF1ビットを設定してください。 \_\_\_\_

INOSTGビットは、TYZMRレジスタのTZSビットを"0"(カウント停止)にした後、"0"(INTo端子ワンショットトリガ無効)にしてください。

図12.26 プログラマブルウェイトワンショット発生モード時のTYZMR、PUMレジスタ

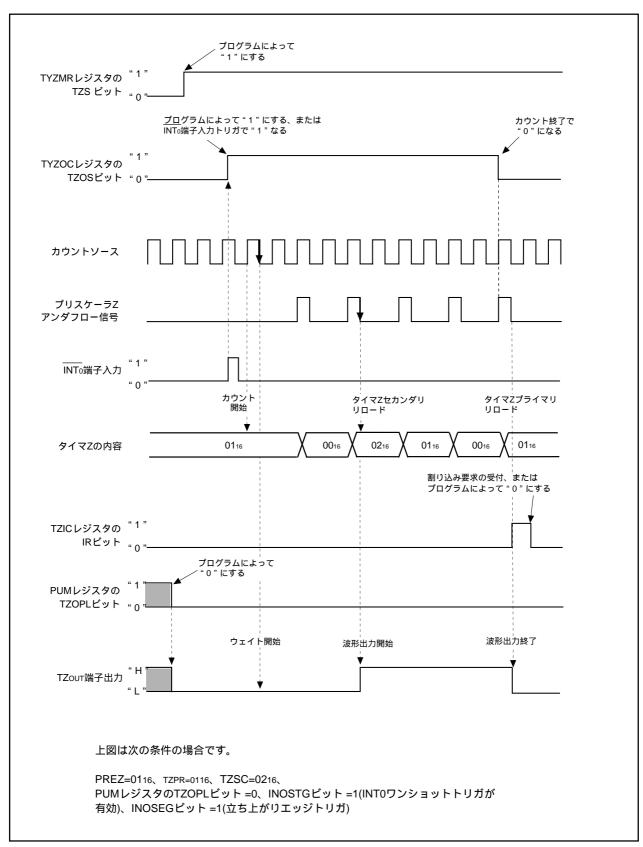


図12.27 プログラマブルウェイトワンショット発生モード時の動作例

#### 12.4 タイマC

タイマCは、16ビットタイマです。図12.28にタイマCのブロック図、図12.29にCMP波形生成部ブロック図、図12.30にCMP波形出力部ブロック図を示します。

タイマCは、インプットキャプチャモード、アウトプットコンペアモードの2種類のモードを持ちます。 図12.31、図12.32にタイマC関連のレジスタを示します。

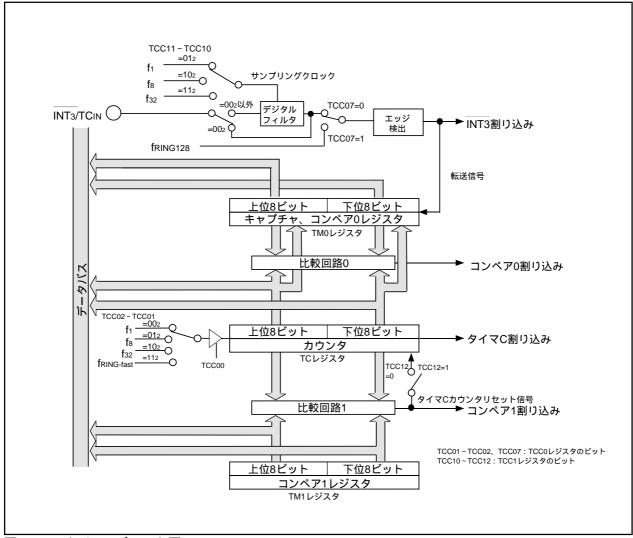


図12.28 タイマCブロック図

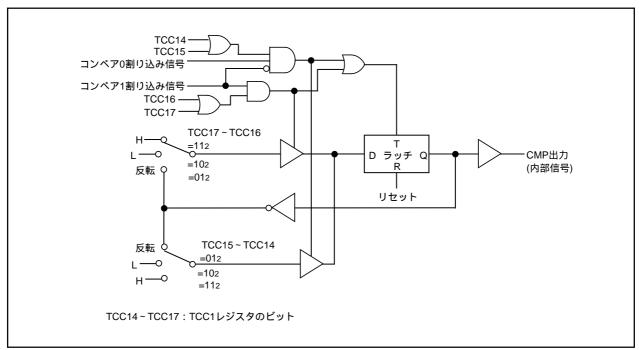


図12.29 CMP波形生成部ブロック図

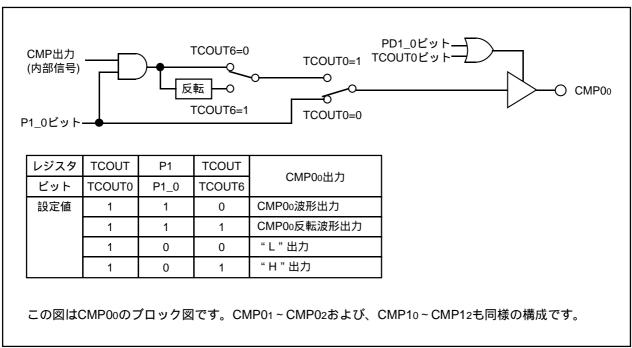


図12.30 CMP波形出力部ブロック図

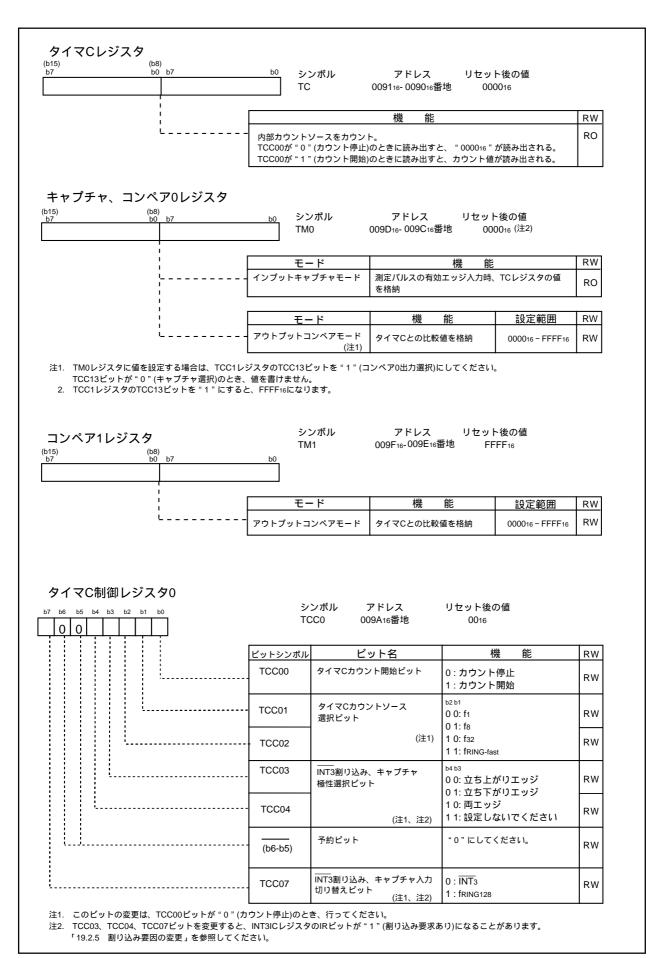
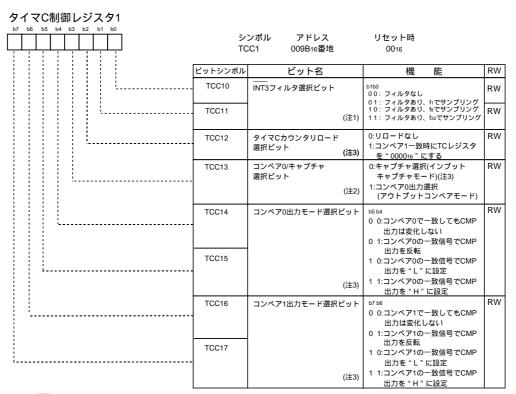


図12.31 TC、TM0、TM1、TCC0レジスタ



- 注1. INT3端子から同じ値を3回連続してサンプリングした時点で入力が確定します。
- 注2. TCC13ビットは、TCC0レジスタのTCC00ビットが"0"(カウント停止)のとき、変更してください。
- 注3. TCC13ビットが"0"(インプットキャプチャモード)のとき、TCC12、TCC14~TCC17は"0"にしてください。

### タイマC出力制御レジスタ(注1)

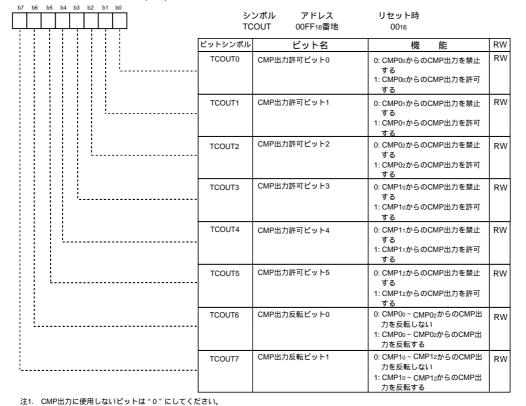


図12.32 TCC1、TCOUTレジスタ

### 12.4.1 インプットキャプチャモード

インプットキャプチャモードは、TCIN端子へのエッジ入力、またはfRING128のクロックをトリガとしてタイマの値をラッチし、割り込み要求を発生するモードです。またTCIN入力はデジタルフィルタをもちますので、ノイズ等による誤動作を防止できます。表12.13にインプットキャプチャモードの仕様を、図12.33にインプットキャプチャモードの動作例を示します。

表12.13 インプットキャプチャモードの仕様

項目	仕 様
カウントソース	f1、f8、f32、fRING-fast
カウント動作	アップカウント
	測定パルスの有効エッジ入力で、TCレジスタの値をTM0レジスタに転送
	カウント停止時、TCレジスタの値は " 000016 " になる
カウント開始条件	TCC0レジスタのTCC00ビットへの " 1 " (カウント開始)書き込み
カウント停止条件	TCC0レジスタのTCC00ビットへの " 0 " (カウント停止)書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時 [INT3割り込み](注2)
	タイマCのオーバフロー時 [タイマC割り込み]
INT3/TCIN端子機能	プログラマブル入出力ポート、または測定パルス入力(INT3割り込み入力)
P10~P12、P30~P32端子	プログラマブル入出力ポート
機能	
カウンタ値初期化タイミング	TCC0レジスタのTCC00ビットへの " 0 " (カウント停止)書き込み時
タイマの読み出し	TCレジスタを読み出すと、カウント値が読み出される
(注1)	TM0レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される
タイマの書き込み	TC、TM0レジスタへの書き込みはできない。
選択機能	INT3/TCIN極性選択機能
	測定パルスの有効エッジをTCC03ビット~TCC04ビットで選択できる
	デジタルフィルタ機能
	デジタルフィルタサンプリング周波数をTCC10ビット~TCC11ビットで
	選択できる
	トリガ機能
	TCIN入力、またはfRING128をTCC07で選択できる

注1. TCレジスタ、TM0レジスタは、16ビット単位で読み出してください。

注2. INT3割り込みはデジタルフィルタによる遅延とカウントソースの1サイクル(最大)分の遅延が発生します。

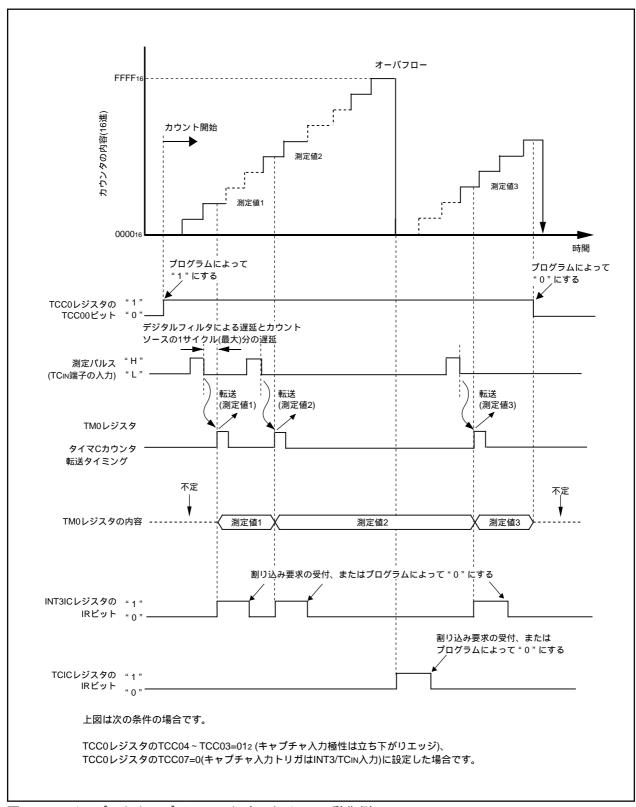


図12.33 インプットキャプチャモード時のタイマCの動作例

## 12.4.2 アウトプットコンペアモード

アウトプットコンペアモードはTCレジスタとTM0レジスタ、またはTCレジスタとTM1レジスタの値が一致したときに、割り込み要求を発生するモードです。表12.14にアウトプットコンペアモードの仕様を、図12.34にアウトプットコンペアモードの動作例を示します。

表12.14 アウトプットコンペアモードの仕様

項目	仕 様		
カウントソース	f1、f8、f32、fRING-fast		
カウント動作	アップカウント		
	カウント停止時、TCレジスタの値は " 000016 " になる		
カウント開始条件	TCC0レジスタのTCC00ビットへの"1"(カウント開始)書き込み		
カウント停止条件	TCC0レジスタのTCC00ビットへの"0"(カウント停止)書き込み		
波形出力開始条件	TCOUTレジスタのTCOUT0~TCOUT5ビットへの"1"(CMP出力を許可する		
	書き込み(注2)		
波形出力停止条件	TCOUTレジスタのTCOUT0~TCOUT5ビットへの"0"(CMP出力を禁止する)		
	書き込み		
割り込み要求発生タイミング	比較回路0の一致時 [コンペア0割り込み]		
	比較回路1の一致時 [コンペア1割り込み]		
	タイマCのオーバフロー時 [タイマC割り込み]		
INT3/TCIN端子機能	プログラマブル入出力ポート、またはINT3割り込み入力		
P10 ~ P12、 P30 ~ P32	プログラマブル入出力ポート、またはCMP出力(注2)		
端子機能			
カウンタ値初期化タイミング	TCC0レジスタのTCC00ビットへの"0"(カウント停止)書き込み時		
タイマの読み出し(注1)	TCレジスタを読み出すと、カウント値が読み出される。		
	TM0、TM1レジスタを読み出すと、コンペアレジスタの値が読み出される。		
タイマの書き込み(注1)	TCレジスタへの書き込みはできない。		
	TM0、TM1レジスタへ書くと、次のタイミングでコンペアレジスタに値が格		
	納される。		
	・TCC00ビットが " 0 " (カウント停止)の場合、TM0、TM1レジスタへ書くと		
	同時。		
	・TCC00ビットが " 1 " (カウント中)かつTCC1レジスタのTCC12ビットが " 0 "		
	(リロードなし)の場合、カウンタオ・バフロ・時。		
	・TCC00ビットが " 1 " かつTCC12ビットが " 1 " (コンペア1一致時にTCレジ		
<b>、昭 +□ +例 4ド</b>	スタを"000016"にする)の場合、コンペア1とカウンタが一致時。		
選択機能	タイマCカウンタリロード選択機能		
	比較回路1の一致時にTCレジスタのカウンタ値を " 000016 " にするかどうか		
	をTCC1レジスタのTCC12ビットで選択できる		
	比較回路0の一致時の出力レベルをTCC1レジスタのTCC14~TCC15ビットで、 比較回路1の一致時の出力レベルをTCC1レジスタのTCC16~TCC17ビットで		
	選択できる		
	選択できる 出力を反転するかどうかを、TCOUTレジスタのTCOUT6~TCOUT7ビットで		
	選択できる		
	(さつ) / [(さ		

- 注1. TC、TMO、TM1レジスタは、16ビット単位でアクセスしてください。
- 注2. 該当するポートのデータが"1"のとき、TCC1、TCOUTレジスタの設定にしたがって波形を出力します。該当するポートのデータが"0"のときは固定のレベルを出力します(「図12.30 CMP波形出力部プロック図」参照)。

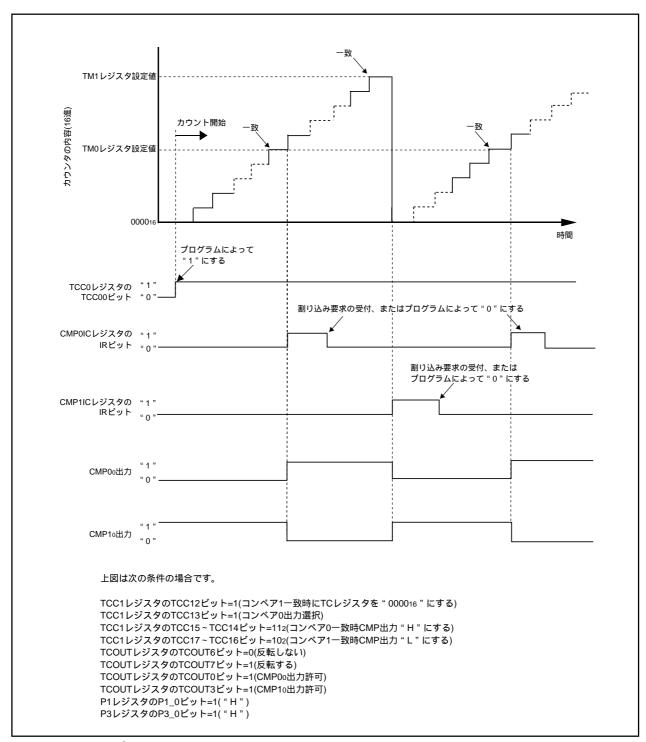


図12.34 アウトプットコンペアモード時のタイマCの動作例

### 13. シリアルインタフェース

シリアルインタフェースは、UARTOおよびUART1の2チャネルで構成しています。UARTO、UART1はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図13.1にUARTi(i=0、1)のブロック図、図13.2に送受信部のブロック図を示します。

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

UART1は、クロック非同期形シリアルI/Oモード(UARTモード)のみ持ちます。

図13.3~図13.5にUARTi関連のレジスタを示します。

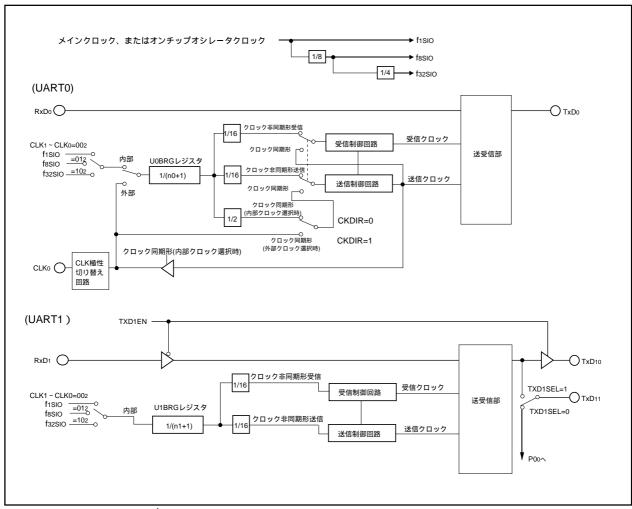


図13.1 UARTi(i=0、1)ブロック図

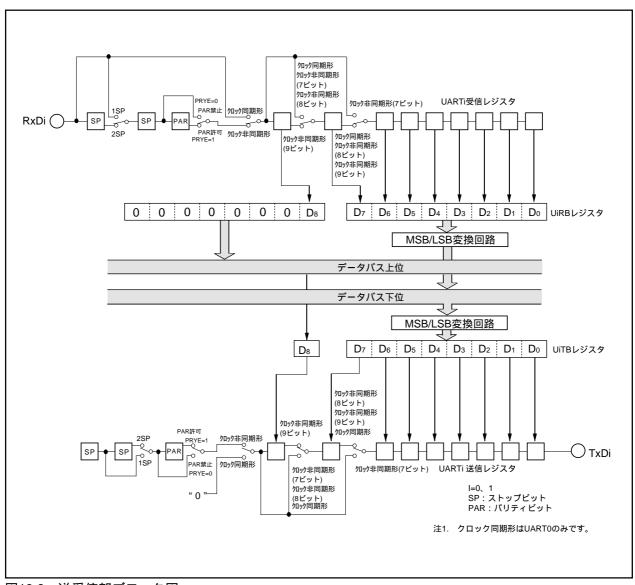


図13.2 送受信部ブロック図

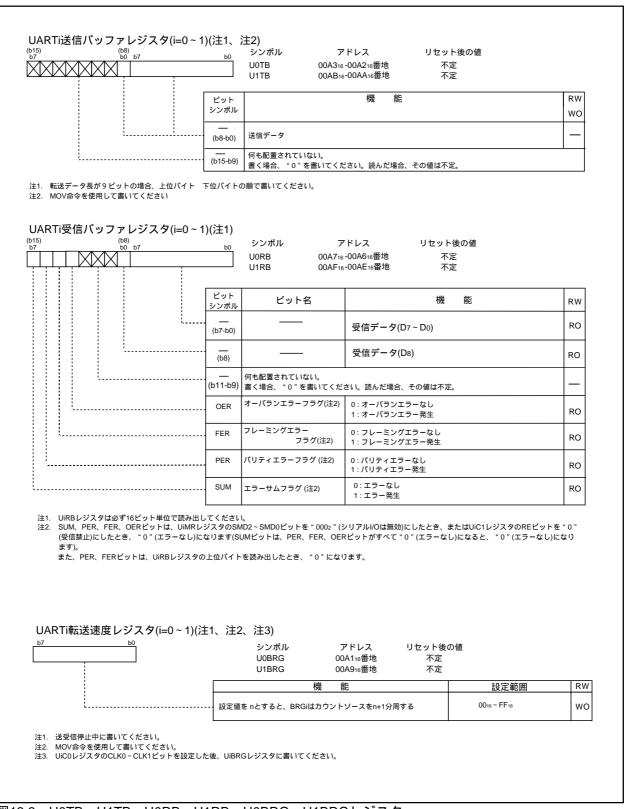


図13.3 U0TB~U1TB、U0RB~U1RB、U0BRG~U1BRGレジスタ

#### UARTi 送受信モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル アドレ U0MR 00A016 U1MR 00A816	香地 0016	
	ビット シンボル ビット名	機能	RW
L.	SMD0 シリアルI/Oモード選択ビット (注2)	<sup>b2 b1 b0</sup> 0 0 0 : シリアルI/Oは無効 0 0 1 : クロック同期形シリアルI/Oモード	RW
1	SMD1	100: UARTモード転送データ長7ビット 101: UARTモード転送データ長8ビット	RW
SMD2  CKDIR  STPS  PRY	SMD2	110: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
	CKDIR     内/外部クロック選択ビット (注3)	0 : 内部クロック 1 : 外部クロック (注1)	RW
	STPS ストップビット長選択ビット	0:1ストップビット 1:2ストップビット	RW
	PRY パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
	PRYE パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	RW
i	予約ビット	"0"にしてください。	RW

- 注1. PD1レジスタのP1\_6ビットを"0"(入力)にしてください。
- 注2. U1MRレジスタのSMD2~SMD0ビットを"0002"、"1002"、"1012"、"1102"以外にしないでください。
- 注3. UART1では、CKDIRビットは"0"(内部クロック)にしてください。

#### UARTi 送受信制御レジスタ0

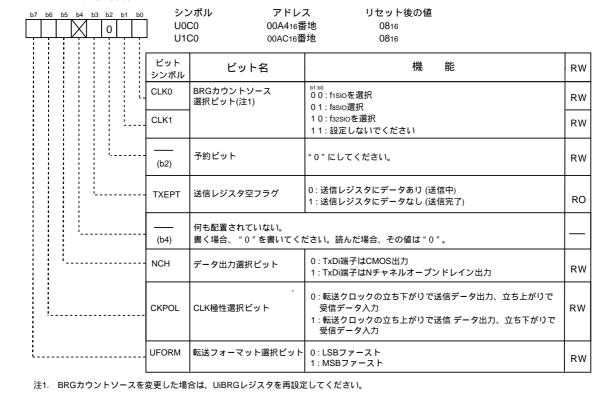


図13.4 U0MR~U1MR、U0C0~U1C0レジスタ

RW

RW

RO

RW

RO



0: UiRBにデータなし

1: UiRBにデータあり

書く場合、"0"を書いてください。読んだ場合、その値は"0"。

注1. UART1は、UCONレジスタのTXD1ENビットを設定してから受信許可にしてください。

受信完了フラグ (注2)

何も配置されていない。

注2. RIビットはUiRBレジスタの上位バイトを読み出したとき、"0"になります。

RI

(b7-b4)

#### UART送受信制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0		ンボル アドレ CON 00B016			
	ビット シンボル	ビット名	機	能	RW
	U0IRS	UART0送信割り込み要因 選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)		RW
	U1IRS	UART1送信割り込み要因 選択ビット	0 : 送信バッファ空 (TI=1) 1 : 送信完了(TXEPT=1)		RW
	U0RRM	UARTO連続受信モード 許可ビット	0:連続受信モード禁止 1:連続受信モード許可		RW
	 (b4-b3)	予約ビット	" 0 " にしてください。		RW
	TXD1SEL	ポートTxD11切り替え ビット (注2)	0:入出力ポートP0o 1:TxD11		RW
	TXD1EN	TxD10/RxD1選択ビット (注1、注2)	0 : RxD1 1 : TxD10		RW
<u> </u>	(b7)	何も配置されていない。 書く場合、"0"を書いてくた	ごさい。読んだ場合、その値は	" 0 " 。	

注1. ポートP37を受信に使用するときは " 0 " (RxD1)に、送信に使うときは " 1 " (TxD10)にしてください。 また受信時、PD3レジスタのPD3\_7ビットを"0"(入力モード)にしてください。

注2. TXD1SELビットとTXD1ENビットは独立して機能しますので、同時に"1"にしないでください。

図13.5 U0C1~U1C1、UCONレジスタ

### 13.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。UARTOで選択できます。表13.1にクロック同期形シリアルI/Oモードの仕様を、表13.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表13.1 クロック同期形シリアルI/Oモードの仕様

項目	仕 様
転送データフォーマット	転送データ長 8ビット
転送クロック	U0MRレジスタのCKDIRビットが"0"(内部クロック): fi/(2(n+1)) fi=f1SIO、f8SIO、f32SIO
	n=UiBRGレジスタの設定値 0016~FF16
	CKDIRビットが " 1 " (外部クロック):CLK0端子からの入力
送信開始条件	送信開始には、以下の条件が必要です(注1)。
	・U0C1レジスタのTEビットが " 1 " (送信許可)
	・U0C1レジスタのTIビットが " 0 " (U0TBレジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です(注1)。
	・U0C1レジスタのREビットが " 1 " (受信許可)
	・U0C1レジスタのTEビットが " 1 " (送信許可)
	・U0C1レジスタのTIビットが " 0 " (U0TBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択できます。
	・U0IRSビットが " 0 " (送信バッファ空):
	U0TBレジスタからUART0送信レジスタヘデータ転送時(送信開始時)
	・U0IRSビットが " 1 " (送信完了):UARTi送信レジスタからデータ送信完了時
	受信する場合
	・UART0受信レジスタから、U0RBレジスタヘデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2)
	U0RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を
	受信すると発生
選択機能	CLK極性選択
	転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択
	LSBファースト、MSBファースト 選択
	ビット0から送受信するか、またはビット7から送受信するかを選択
	連続受信モード選択
	U0RBレジスタを読み出す動作により、同時に受信許可状態になる

- 注1. 外部クロックを選択している場合、U0C0レジスタのCKPOLビットが"0"(転送クロックの立ち下が りで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが"H"の状態で、CKPOL ビットが"1"(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは 外部クロックが"L"の状態で条件を満たしてください。
- 注2. オーバランエラーが発生した場合、UORBレジスタは不定になります。またSORICレジスタのIRビットは変化しません。

表13.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能		
U0TB	0~7	送信データを設定してください		
U0RB	0~7	受信データが読めます		
	OER	オーバランエラーフラグ		
U0BRG	0~7	転送速度を設定してください		
U0MR	SMD2 ~ SMD0	" 0012 " にしてください		
	CKDIR	内部クロック、外部クロックを選択してください		
U0C0	CLK1 ~ CLK0	U0BRGレジスタのカウントソースを選択してください		
	TXEPT	送信レジスタ空フラグ		
	NCH	TxDo端子の出力形式を選択してください		
	CKPOL	転送クロックの極性を選択してください		
UFORM LSBファースト、またはMSBファース		LSBファースト、またはMSBファーストを選択してください		
U0C1	TE	送受信を許可する場合、"1"にしてください		
	TI	送信バッファ空フラグ		
	RE	受信を許可する場合、"1"にしてください		
	RI	受信完了フラグ		
UCON	U0IRS	UART0送信割り込み要因を選択してください		
	U0RRM	連続受信モードを使用する場合、"1"にしてください		
	TXD1SEL	" 0 " にしてください		
	TXD1EN	" 0 " にしてください		

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、"0"を書いてください。

表13.3に、クロック同期形シリアルI/Oモード時の入出力端子の機能を示します。 UARTOの動作モード選択後、転送開始までは、TxDo端子は"H"レベルを出力します(NCHビットが"1" (Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表13.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxD0(P14)	シリアルデータ出力	(受信だけを行うときはダミーデー出力)
RxD0(P15)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0
		(送信だけを行うときはP15を入力ポートとして使用可)
CLK <sub>0</sub> (P1 <sub>6</sub> )	転送クロック出力	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1
		PD1レジスタのPD1_6ビット=0

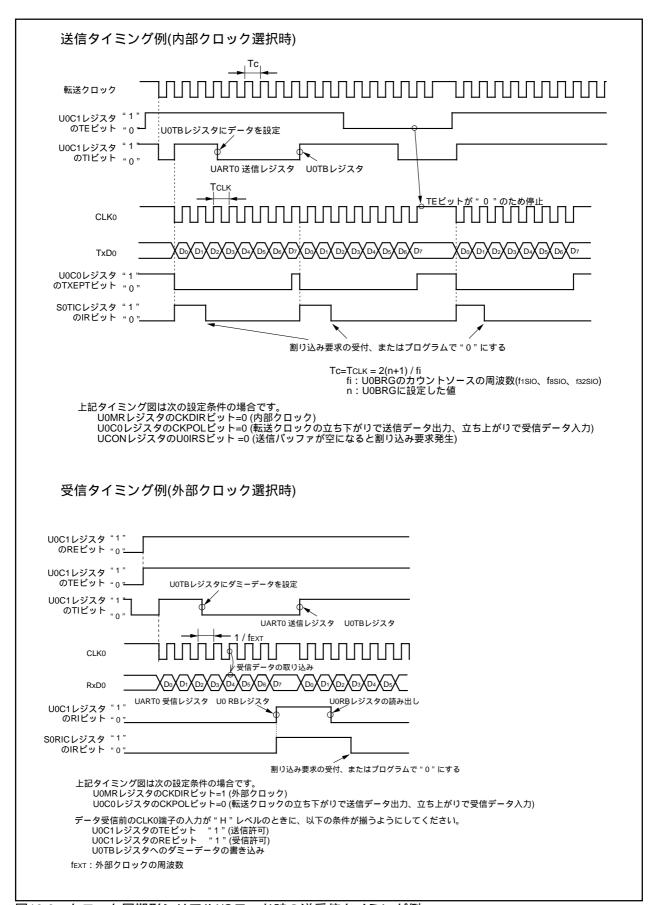


図13.6 クロック同期形シリアルI/Oモード時の送受信タイミング例

## 13.1.1 極性選択機能

図13.7に転送クロックの極性を示します。U0C0レジスタのCKPOLビットによって転送クロックの極性を選択できます。

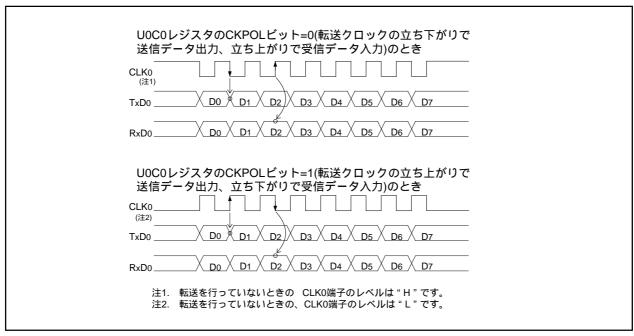


図13.7 転送クロックの極性

#### 13.1.2 LSBファースト、MSBファースト選択

図13.8に転送フォーマットを示します。U0C0レジスタのUFORMビットで転送フォーマットを選択できます。

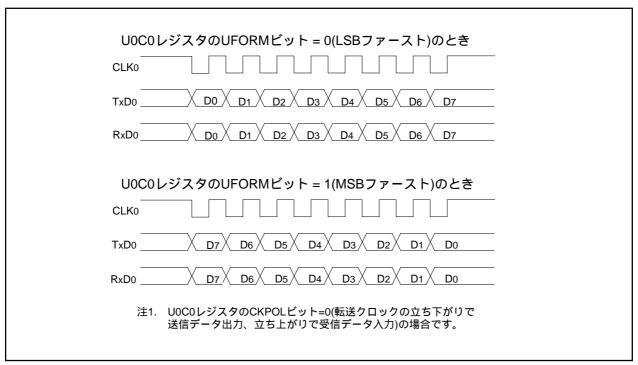


図13.8 転送フォーマット

### 13.1.3 連続受信モード

UCONレジスタのUORRMビットを"1"(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、UORBレジスタを読むことでUOC1レジスタのTIビットが"0"(UOTBにデータあり)になります。UORRMビットが"1"の場合、プログラムでUOTBレジスタにダミーデータを書かないでください。

# 13.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を 行うモードです。表13.4にクロック非同期形シリアルI/Oモードの仕様を、表13.5にUARTモード時の使用 レジスタと設定値を示します。

表13.4 クロック非同期形シリアルI/Oモードの仕様

項目		仕 様	
転送データフォーマット	キャラクタビット(転)	送データ)	7ビット、8ビット、9ビット 選択可
	スタートビット		1ビット
	パリティビット		奇数、偶数、無し選択可
	ストップビット		1ビット、2ビット 選択可
転送クロック	UiMRレジスタ(i=0、1)のCKE	DIRビットが " 0 " (内語	部クロック):fj/(16(n+1)) fj=f1SIO、f8SIO、f32SIO
	n=UiBRGレジスタの設定値	0016 ~ FF16	
	CKDIRビットが " 1 " (外部クロック):fEXT/(16(n+1))		
	fextはCLKi端子からの)	、力 n=UiBRGレジ	スタの設定値 0016~FF16
送信開始条件	送信開始には、以下の	D条件が必要です	Γ.
	・UiC1レジスタのTE	ビットが "1" (決	信許可)
	・UiC1レジスタのTII	ビットが " 0 " (Ui	TBレジスタにデータあり)
受信開始条件	受信開始には、以下の		
	・UiC1レジスタのRE		を信許可)
	・スタートビットの村	<u> </u>	
割り込み要求発生タイミング	送信する場合、次の領		· · · · · · · · · · · · · · · · · · ·
	・UiIRSビットが " 0 " (送信バッファ空):		
	UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時)		
	・UilRSビットが " 1 " (送信完了) : UARTi送信レジスタからデータ送信完了時		
		、タからテータ送	信元 ʃ 時
	受信する場合	/· >	
			タヘデータ転送時(受信完了時)
エラー検出	オーバランエラー		を読む前に次のデータ受信を開始し、次
	(注1)		&ストップビットの1つ前のビットを受信   
	フレーミングエニー	すると発生	     のストップビットが検出されなかった
	フレーミングエラー	設定した個数 ときに発生	のストップヒットが検出されなかった
	パリティエラー		  iにパリティビットとキャラクタビット中の
	7,7,1,1,2		役定した個数でなかったときに発生
	エラーサムフラグ		ラー、フレーミングエラー、パリティエ
			ブー、ファーニングエン 、ハッテーエー ずれかが発生した場合"1"になる
	TxD10/RxD1選択 (UAF		<u> </u>
	P37端子をUART1のRxD1端子として使用するか、TxD10端子として使用するか		
	をプログラムによって選択可		
	TxD11選択 (UART1)		
	P00端子をUART1のTxD11端子として使用するか、ポートP00として使用する		
	かをプログラムによっ	って選択可	

注1. オーバランエラーが発生した場合、UORBレジスタは不定になります。またSORICレジスタのIRビットは変化しません。

表13.5 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能		
UiTB	0~8	送信データを設定してください (注1)。		
UiRB	0~8	受信データが読めます (注1)。		
	OER、FER、PER、SUM	エラーフラグ		
UiBRG	0~7	転送速度を設定してください。		
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、"1002"を設定してください。		
		転送データが8ビットの場合、"1012"を設定してください。		
		転送データが9ビットの場合、"1102"を設定してください。		
	CKDIR	内部クロック、外部クロックを選択してください(注2)。		
	STPS	ストップビットを選択してください。		
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。		
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください。		
	TXEPT	送信レジスタ空フラグ		
	NCH	TxDi端子の出力形式を選択してください。		
CKPOL"0"にしてください。UFORM転送データ長8ビット時、LSBファースト、MSBファース		"0"にしてください。		
		転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。		
		転送データ長7ビットまたは9ビット時は"0"にしてください。		
UiC1	TE	送信を許可する場合、"1"にしてください。		
	TI	送信バッファ空フラグ		
	RE	受信を許可するとき、"1"にしてください。		
	RI	受信完了フラグ		
UCON U0IRS、U1IRS UARTO、1送信割り込み要因を選択してください。		UARTO、1送信割り込み要因を選択してください。		
	U0RRM	" 0 " にしてください。		
	TXD1SEL	UART1転送データの出力端子を選択してください。		
	TXD1EN	端子をTxD1として使用するか、RxD1として使用するか選択します。		

注1. 使用するビットは次のとおりです。転送データ長7ビット:ビット0~6、転送データ長8ビット:ビット0~7、転送データ長9ビット:ビット0~8

注2. UARTOのみ外部クロックを選択できます。

表13.6に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は"H"レベルを出力します(NCHビットが"1"(Nチャネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表13.6 クロック非同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TxD0(P14)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RxD0(P15)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0
		(送信だけを行うときはP15を入力ポートとして使用可)
CLK <sub>0</sub> (P1 <sub>6</sub> )	プログラマブル入出力ポート	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1
		PD1レジスタのPD1_6ビット=0
TxD10/RxD1(P37)	シリアルデータ出力	TXD1EN=1
	シリアルデータ受信	TXD1EN=0 PD3レジスタのPD3_7ビット=0
TxD11(P00)	シリアルデータ出力	TXD1SEL=1

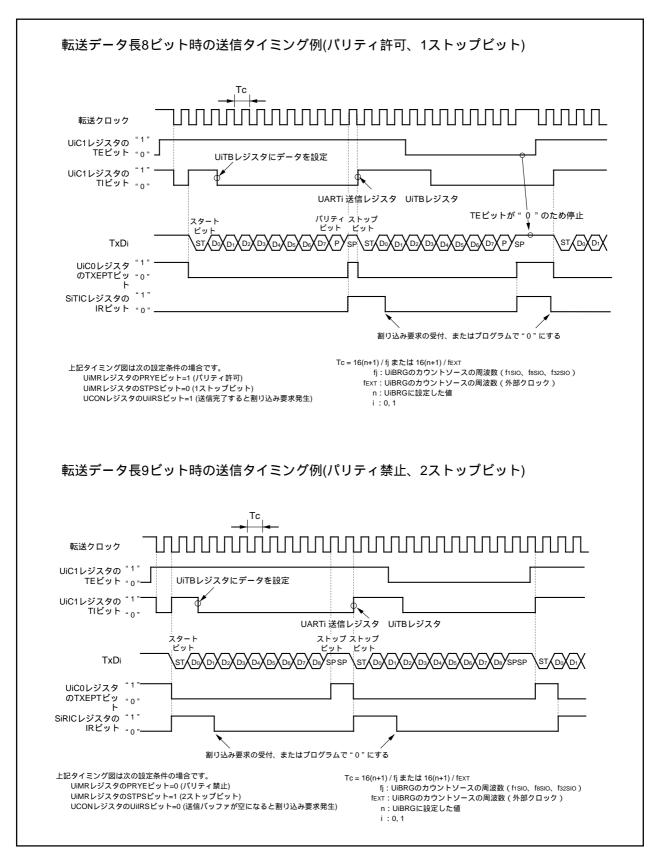


図13.9 UARTモード時の送信タイミング例

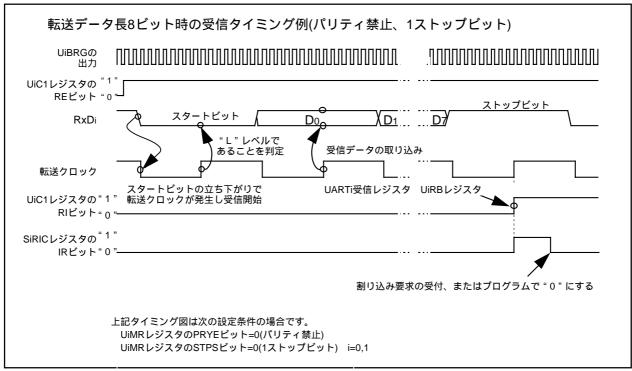


図13.10 UARTモード時の受信タイミング例

### 13.2.1 TxD10/RxD1選択機能(UART1)

P37をTxD10出力端子として使用するか、RxD1入力端子として使用するかを、UCONレジスタのTXD1ENビットの切り替えによって選択します。

TXD1ENビットに "1" (TxD10)を選択した場合、P37はTxD10出力端子となります。

"0"(RxD1)を選択した場合、P37はRxD1入力端子となります。

#### 13.2.2 TxD11選択機能(UART1)

P00をTxD11出力端子として使用するか、ポートとして使用するかを、UCONレジスタのTXD1SELビットの切り替えによって選択します。

TXD1SELビットに"1"(TxD11)を選択した場合、P00はTxD11出力端子となります。

"0"(P00)を選択した場合、P00は入出力端子となります。

### 13.2.3 ビットレート

UARTモードではUiBRGレジスタ(i=0~1)で分周した周波数の16分周がビットレートになります。

fj:UiBRGレジスタのカウントソースの周波数(f1、f8、f32)

・外部クロック選択時 UiBRGレジスタへの設定値 = <u>FEXT</u> - 1

fEXT: UiBRGレジスタのカウントソースの周波数(外部クロック)

図13.11 UiBRGレジスタの設定値の算出式

表13.7 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート	BRGの	システ	ムクロック =	20 MHz	システ	ムクロック=	8 MHz
(bps)	カウントソース	BRGの設定値	実時間(bps)	誤差(%)	BRGの設定値	実時間(bps)	誤差(%)
1200	f8	129 (8116)	1201.92	0.16	51 (3316)	1201.92	0.16
2400	f8	64 (4016)	2403.85	0.16	25 (1916)	2403.85	0.16
4800	f8	32 (2016)	4734.85	- 1.36	12 (0C16)	4807.69	0.16
9600	f1	129 (8116)	9615.38	0.16	51 (3316)	9615.38	0.16
14400	f1	86 (5616)	14367.82	- 0.22	34 (2216)	14285.71	- 0.79
19200	f1	64 (4016)	19230.77	0.16	25 (1916)	19230.77	0.16
28800	f1	42 (2A16)	29069.77	0.94	16 (1016)	29411.76	2.12
31250	f1	39 (2716)	31250.00	0.00	15 (0F16)	31250.00	0.00
38400	f1	32 (2016)	37878.79	- 1.36	12 (0C16)	38461.54	0.16
51200	f1	23 (1716)	52083.33	1.73	9 (0916)	50000.00	- 2.34

### 14. A/Dコンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、 $P00 \sim P07$ 、 $P10 \sim P13$ と端子を共用しています。これらの入力を使用する場合、対応するポート方向ビットは"0"(入力モード)にしてください。また、A/Dコンバータを使用しない場合、ADCON1レジスタのVCUTビットを"0"(Vref未接続)にするとVREF端子からラダー抵抗に電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ADレジスタに格納されます

表14.1にA/Dコンバータの性能を、図14.1にA/Dコンバータのブロック図を、図14.2、図14.3にA/Dコンバータ関連のレジスタを示します。

表14.1 A/Dコンバータの性能

項目	性能			
A/D変換方式	逐次比較変換方式(容量結合増幅器)			
アナログ入力電圧(注1)	0V ~ Vref			
動作クロック AD(注2)	AVCC = 5Vのとき fAD、fADの2分周、fADの4分周			
	AVCC = 3Vのとき fADの2分周、fADの4分周			
分解能	8ビットまたは10ビット選択可能			
絶対精度	AVCC = Vref = 5Vのとき			
	分解能8ビットの場合 ± 2LSB			
	分解能10ビットの場合 ± 3LSB			
	AVcc = Vref = 3.3Vのとき			
	分解能8ビットの場合 ±2LSB			
	分解能10ビットの場合 ± 5LSB			
動作モード	単発モード、繰り返しモード(注3)			
アナログ入力端子	12本(AN0~AN11)			
A/D变換開始条件	A/D変換開始フラグを " 1 " にするとA/D変換を開始			
1端子あたりの変換速度	サンプル&ホールドなし			
	分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル			
	サンプル&ホールドあり			
	分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル			

- 注1. サンプル&ホールド機能の有無に依存しません。
- 注2. ADの周波数を10MHz以下にしてください。

また、AVCCが4.2V未満の場合もfADを分周し、 ADがfADの2分周以下になるようにしてください。 サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。 サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

ランフルはホールト機能のうのこと ADの周波数はTWI12以上にしてくた

注3. 繰り返しモードは8ビットモード時のみ使用可能です。

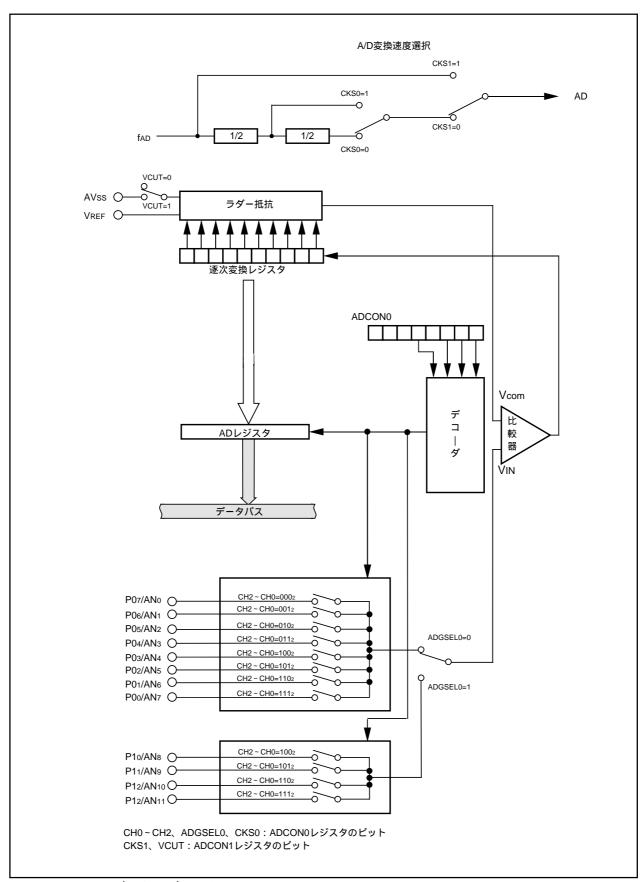
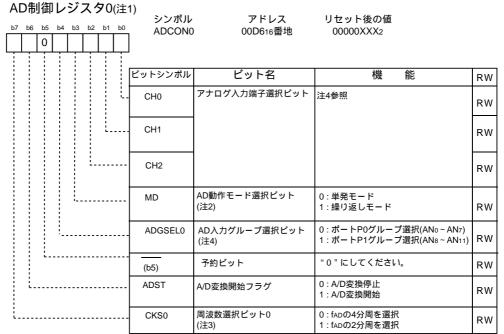


図14.1 A/Dコンバータのブロック図



- 注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。
- 注2. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。
- 注3. ADCON1レジスタのCKS1ビットが"0"のとき有効。
- 注4. アナログ入力端子はCH0~CH2ビットとADGSEL0ビットの組み合わせで選択できます。

CH2 ~ CH0 ADGSEL0=0		ADGSEL0=1	
0 0 02	AN <sub>0</sub>		
0 0 12	AN <sub>1</sub>	設定しないで	
0 1 02	AN <sub>2</sub>	ください。	
0 1 12	AN <sub>3</sub>	,	
1 0 02	AN4	AN <sub>8</sub>	
1 0 12	AN <sub>5</sub>	AN <sub>9</sub>	
1 1 02	AN <sub>6</sub>	AN10	
1 1 12	AN <sub>7</sub>	AN11	



注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。

- 注2. 繰り返しモード時は、BITSビットを"0"(8ビットモード)にしてください。
- 注3. ADの周波数を10MHz以下にしてください。
- 注4. VCUTビットを"0"(未接続)から"1"(接続)にしたときは、1µs以上経過した後にA/D変換を開始してください。

図14.2 ADCON0~ADCON1レジスタ

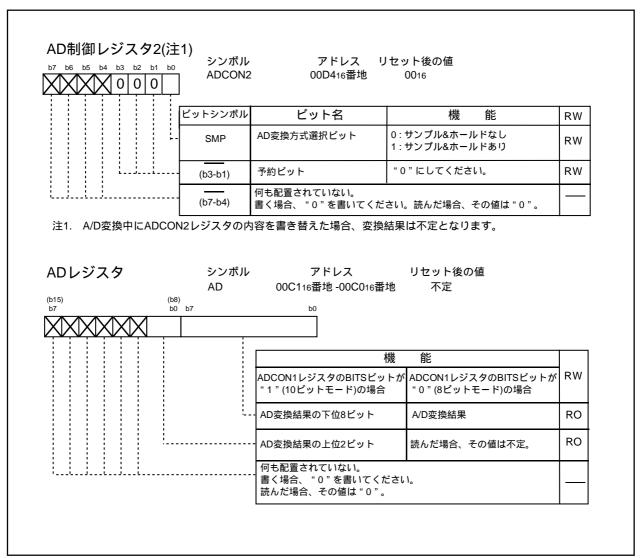


図14.3 ADCON2、ADレジスタ

R8C/11グループ 14.1 単発モード

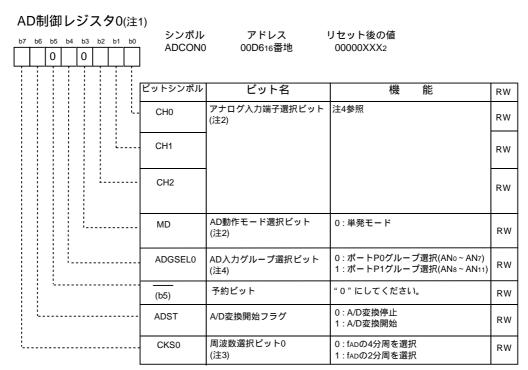
# 14.1 単発モード

選択した 1 本の端子の入力電圧を1回A/D変換するモードです。表14.2に単発モードの仕様、図14.4に単発モード時のADCON0 ~ ADCON1レジスタを示します。

表14.2 単発モードの仕様

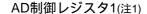
項目	仕 様
機能	CH2~CH0ビットとADGSEL0ビットで選択した端子の入力電圧を1回A/D変換
	する
開始条件	ADSTビットを"1"にする
停止条件	A/D変換終了(ADSTビットが " 0 " になる)
	ADSTビットを"0"にする。
割り込み要求発生タイミング	A/D変換終了時
入力端子	ANo~AN11から1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

R8C/11グループ 14.1 単発モード



- 注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。
- 注2. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。
- 注3. ADCON1レジスタのCKS1ビットが"0"のとき有効。
- 注4. アナログ入力端子はCH0~CH2ビットとADGSEL0ビットの組み合わせで選択できます。

CH2 ~ CH0	ADGSEL0=0	ADGSEL0=1
0 0 02	AN <sub>0</sub>	
0 0 12	AN <sub>1</sub>	設定しないで
0 1 02	AN <sub>2</sub>	ください。
0 1 12	AN <sub>3</sub>	(1227)
1 0 02	AN4	AN <sub>8</sub>
1 0 12	AN <sub>5</sub>	AN <sub>9</sub>
1 1 02	AN <sub>6</sub>	AN <sub>10</sub>
1 1 12	AN <sub>7</sub>	AN11





- 注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。
- 注2. ADの周波数を10MHz以下にしてください。 注3. VCUTビットを"0"(未接続)から"1"(接続)にしたときは、1µs以上経過した後にA/D変換を開始してください。

図14.4 単発モード時のADCON0~ADCON1レジスタ

R8C/11グループ 14.2 繰り返しモード

## 14.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表14.3に繰り返しモードの仕様、図14.5に繰り返しモード時のADCON0~ADCON1レジスタを示します。

表14.3 繰り返しモードの仕様

項目	仕 様
機能	CH2~CH0ビットとADGSEL0ビットで選択した端子の入力電圧を繰り返しA/D
	変換する
開始条件	ADSTビットを"1"にする
停止条件	ADSTビットを"0"にする
割り込み要求発生タイミング	発生しない
入力端子	ANo~AN11より1端子を選択
A/D変換値の読み出し	ADレジスタの読み出し

R8C/11グループ 14.2 繰り返しモード

#### AD制御レジスタ0(注1) シンボル アドレス リセット後の値 ADCON0 00D616番地 00000XXX2 0 1 ビットシンボル ビット名 機 能 RW アナログ入力端子選択ビット 注4参照 CH<sub>0</sub> RW (注2) CH<sub>1</sub> RW CH2 RWAD動作モード選択ビット 1:繰り返しモード RW (注2) 0 : ポートP0グループ選択(ANo~AN7) 1 : ポートP1グループ選択(AN8~AN1) ADGSEL0 AD入力グループ選択ビット RW (注4) 予約ビット 0"にしてください。 RW (b5) 0: A/D変換停止 ADST A/D変換開始フラグ RW1: A/D変換開始 周波数選択ビット0 0:fADの4分周を選択 CKS<sub>0</sub> RW 1: faDの2分周を選択

- 注1. A/D変換中にADCON0レジスタの内容を書き換えた場合、変換結果は不定となります。
- 注2. A/D動作モードを変更した場合は、あらためてアナログ入力端子を選択してください。 注3. ADCON1レジスタのCKS1ビットが"0"のとき有効。
- 注4. アナログ入力端子はCHO~CH2ビットとADGSEL0ビットの組み合わせで選択できます。

CH2 ~ CH0	ADGSEL0=0	ADGSEL0=1
0 0 02	AN <sub>0</sub>	
0 0 12	AN <sub>1</sub>	設定しないで
0 1 02	AN <sub>2</sub>	ください。
0 1 12	AN <sub>3</sub>	(1001)
1 0 02	AN4	AN <sub>8</sub>
1 0 12	AN <sub>5</sub>	AN <sub>9</sub>
1 1 02	AN <sub>6</sub>	AN10
1 1 12	AN <sub>7</sub>	AN11

#### AD制御レジスタ1(注1) シンボル アドレス リセット後の値 b7 b6 b5 b4 b3 b2 b1 b0 ADCON1 00D716番地 0016 0 0 1 0 0 0 0 ビットシンボル ビット名 機 能 RW予約ビット "0"にしてください。 (b2-b0) RW 8/10ビットモード選択ビット BITS 0:8ビットモード RW (注2) 0: ADCON0レジスタCKS0ビット有効 CKS1 周波数選択ビット1 RW 1:faDを選択 (注3) VCUT Vref接続ビット 1 · Vref接続 RW (注4) RW 予約ビット "0"にしてください。 (b6-b7)

- 注1. A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定となります。
- 注2. 繰り返しモード時は、BITSビットを"0"(8ビットモード)にしてください。
- 注3. ADの周波数を10MHz以下にしてください。 注4. VCUTビットを"0"(未接続)から"1"(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.5 繰り返しモード時のADCON0~ADCON1レジスタ

### 14.3 サンプル&ホールド

ADCON2レジスタのSMPビットを"1"(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルになります。サンプル&ホールドは、すべての動作モードに対して有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

A/D変換を行う際は、サンプリング時間内に、マイコン内部の比較器容量に充電をしてください。 図14.6にA/D変換タイミング図を示します。

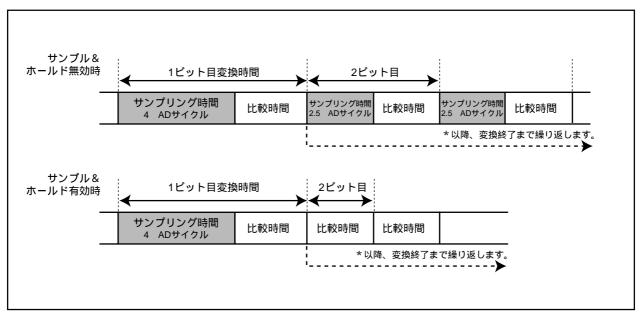


図14.6 A/D変換タイミング図

#### 14.4 A/D変換サイクル数

図14.7にA/D変換サイクル数を示します。

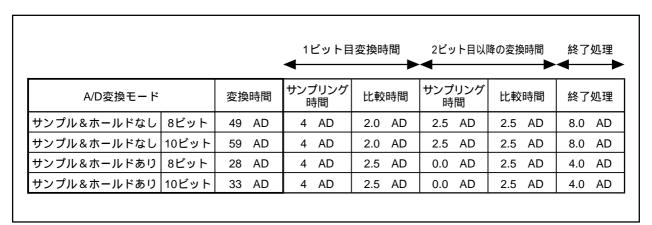


図14.7 A/D変換サイクル数

### 14.5 アナログ入力内部等価回路

図14.8にアナログ入力内部等価回路を示します。

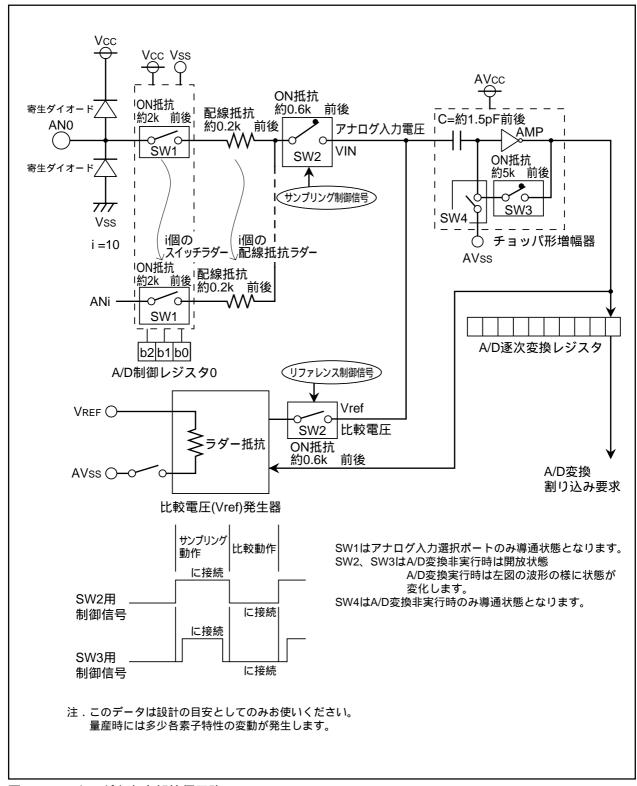


図14.7 アナログ入力内部等価回路

## 14.6 注入電流バイパス回路

図14.9に注入電流バイパス回路構成図を、図14.10に注入電流バイパス回へVCC以上印加例を示します。

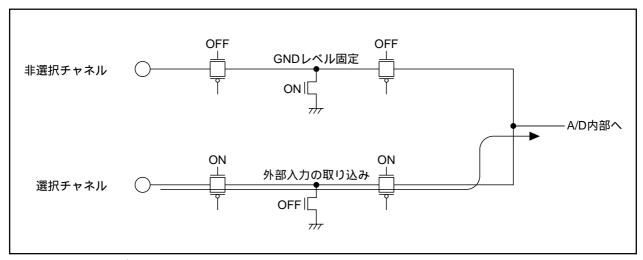


図14.9 注入電流バイパス回路構成図

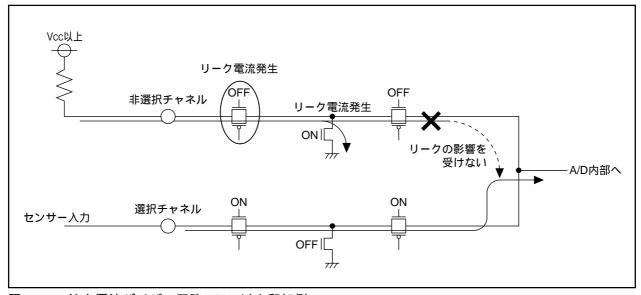


図14.10 注入電流バイパス回路へVCC以上印加例

### 14.7 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図14.11の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解されるレベル間隔をY(Yは10ビットモード時1024、8ビットモード時256)とします。

VCは一般にVC=VIN
$$\left\{1-e^{-\frac{1}{C(R0+R)}}\right\}$$
 $t=T$ のとき、VC=VIN $-\frac{X}{Y}$  VIN=VIN $\left(1-\frac{X}{Y}\right)$  より、
$$e^{-\frac{1}{C(R0+R)}} \stackrel{T}{=} \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)} T = \ln \frac{X}{Y}$$
よって、R0= $-\frac{T}{C \cdot \ln \frac{X}{Y}}$  - R

図14.11にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

f(XIN)=10MHzのとき、サンプル&ホールド付きA/D変換モードではT=0.25 µ sとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.25 µ s、R=2.8k 、C=1.5pF、X=0.1、Y=1024だから、

R0 = 
$$-\frac{0.25 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 2.8 \times 10^{3} \quad 7.3 \times 10^{3}$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は 最大7.3k になります。

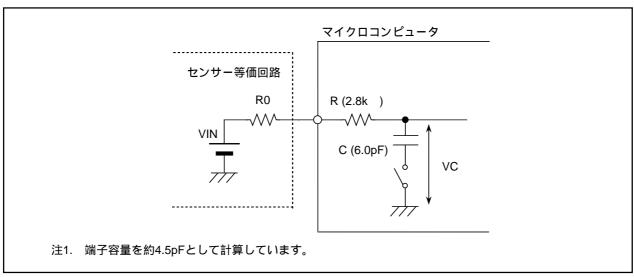


図14.11 アナログ入力端子と外部センサーの等価回路例

### 15. プログラマブル入出力ポート

#### 15.1 機能説明

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0、P1、P30~P33、P37、P45の22本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4本ごとに、プルアップするかしないか選択できます。ポートP1はNチャネル出力トランジスタの駆動能力を選択できます。駆動能力を"HIGH"に設定することで、LED駆動ポートとして使用できます。

メインクロック発振回路を使用しない場合、P46、P47を入力専用ポートとして使用できます。

図15.1~図15.5に入出力ポートの構成、図15.6に端子の構成を示します。

各端子は、入出力ポートまたは周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを"0"(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

#### 15.1.1 ポートPi方向レジスタ(PDiレジスタ i=0、1、3、4)

図15.7にPD0、PD1、PD3、PD4レジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの 各ビットは、ポート1本ずつに対応しています。

### 15.1.2 ポートPiレジスタ(Piレジスタ i=0、1、3、4)

図15.8にP0、P1、P3、P4レジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

# 15.1.3 プルアップ制御レジスタ0、プルアップ制御レジスタ1(PUR0、PUR1レジスタ)

図15.9にPUR0レジスタ、PUR1レジスタを示します。

PUR0レジスタ、PUR1レジスタの各ビットによって、4端子ごとに、プルアップするかしないか選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

#### 15.1.4 ポートP1駆動能力制御レジスタ(DRRレジスタ)

図15.9にDRRレジスタを示します。

ポートP1のNチャネル出力トランジスタの駆動能力を制御するためのレジスタです。このレジスタの 各ビットは、ポート1本ずつに対応しています。

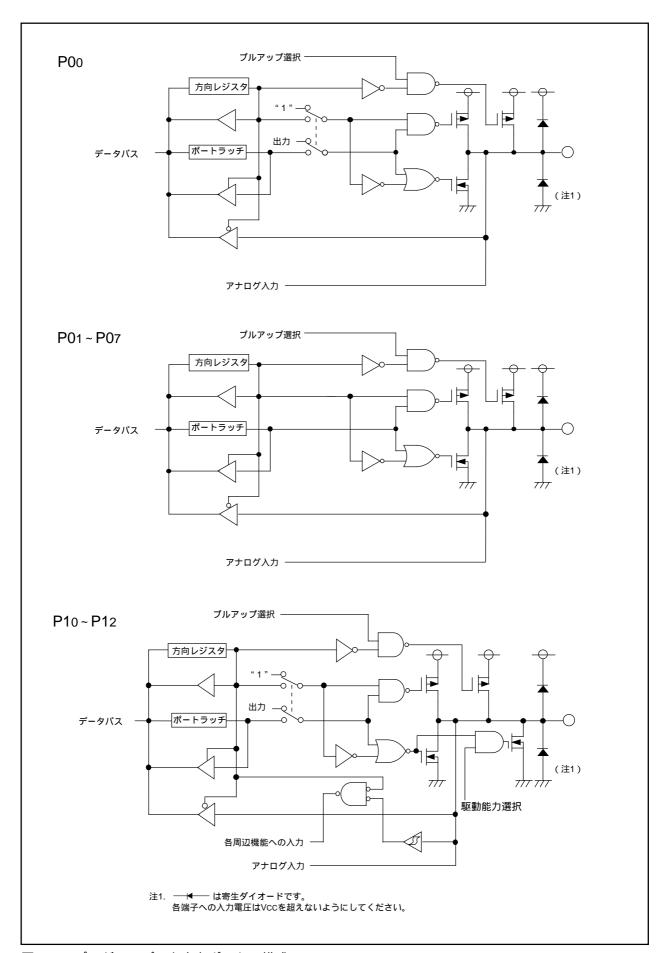


図15.1 プログラマブル入出力ポートの構成(1)

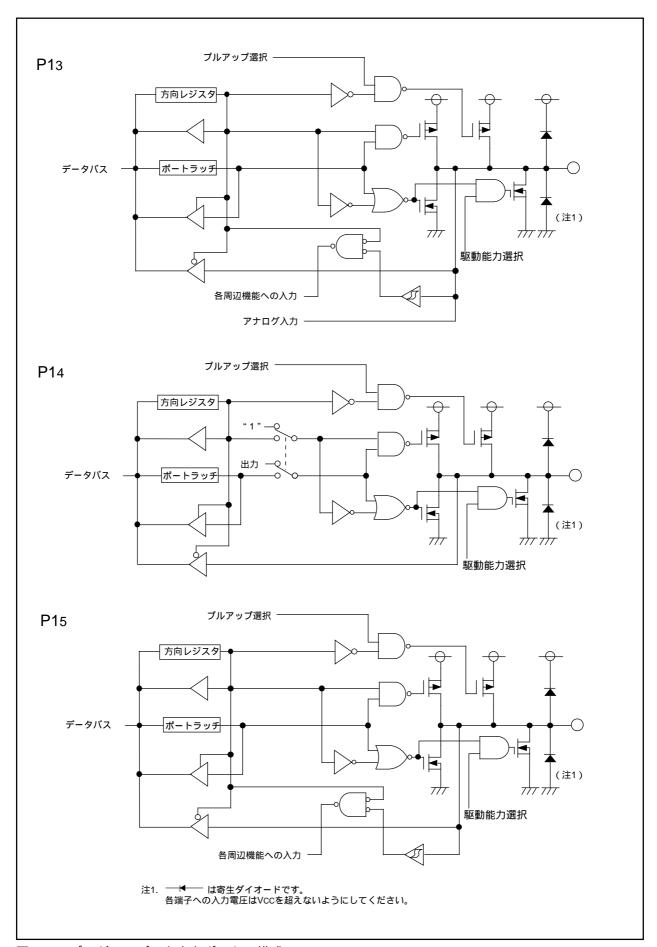


図15.2 プログラマブル入出力ポートの構成(2)

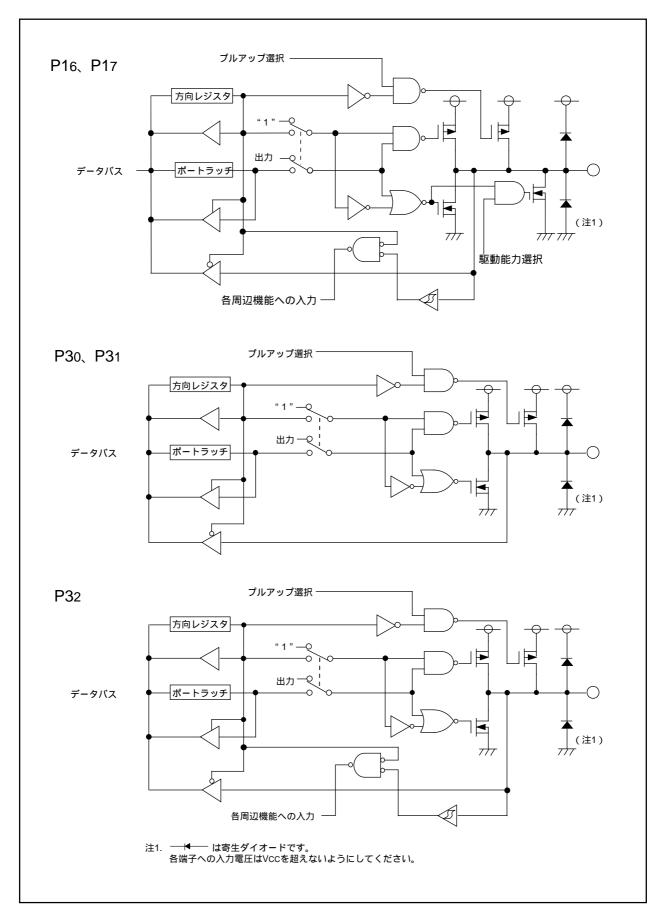


図15.3 プログラマブル入出力ポートの構成(3)

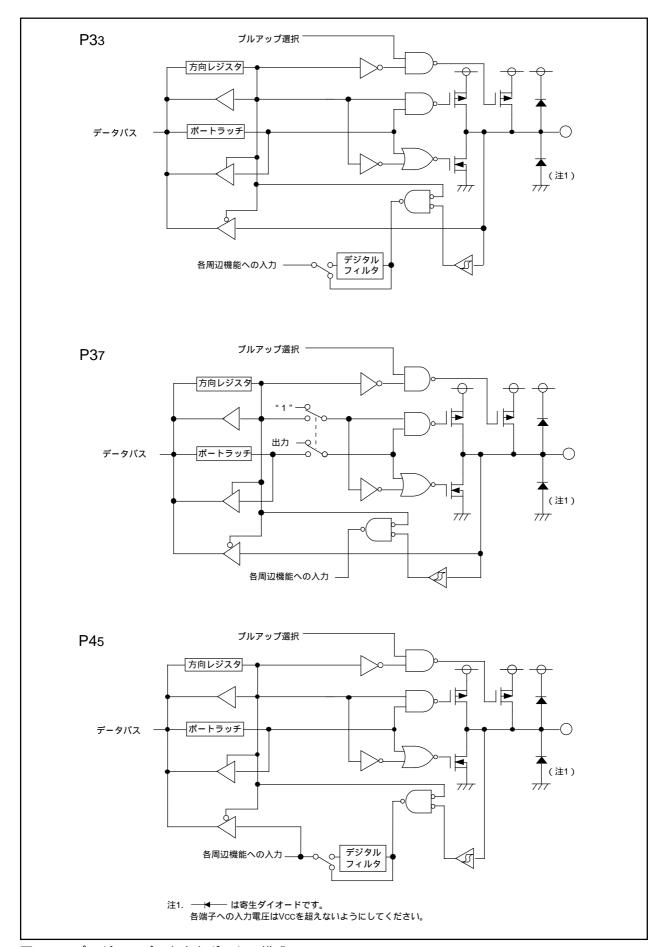


図15.4 プログラマブル入出力ポートの構成(4)

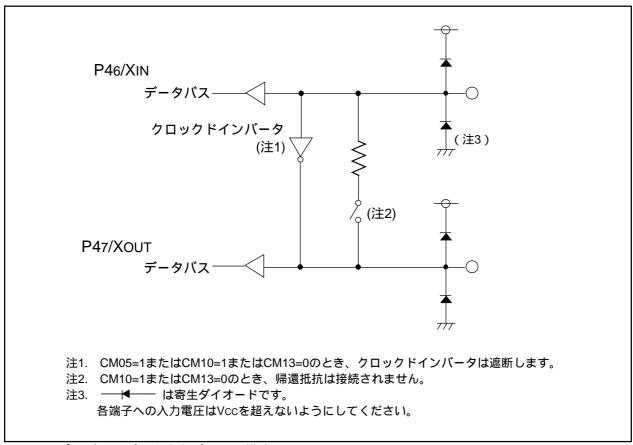


図15.5 プログラマブル入出力ポートの構成(5)

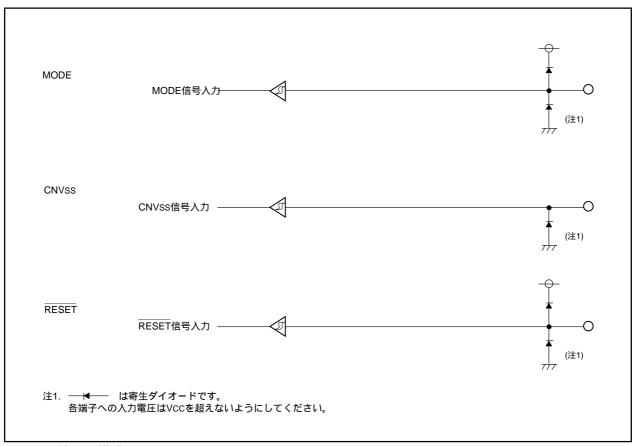
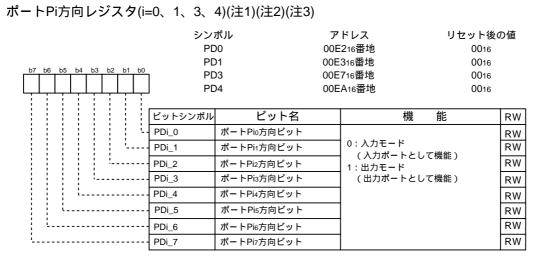


図15.6 端子の構成



- 注1. PD0レジスタは、PRCRレジスタのPRC2ビットを"1"(書き込み許可)にした次の命令で書いてください。
- 注2. PD3レジスタのPD3\_4~PD3\_6ビットは、何も配置されていません。

PD3\_4~PD3\_6ビットに書く場合、"0"(入力モード)を書いてください。読んだ場合、その内容は不定です。

注3. PD4レジスタのビットPD4\_0~PD4\_4ビット、PD4\_6ビットとPD4\_7ビットは何も配置されていません。 PD4レジスタのビットPD4\_0~PD4\_4ビット、PD4\_6ビットとPD4\_7ビットに書く場合、"0"(入力モード)を書いてください。読んだ場合、その内容は不定です。

図15.7 PD0、PD1、PD3、PD4レジスタの構成

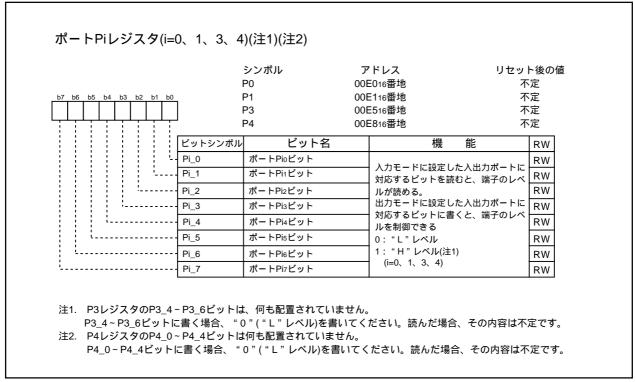
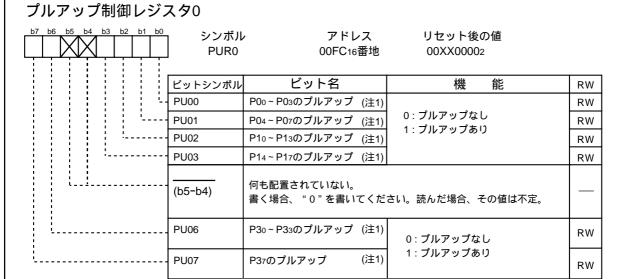
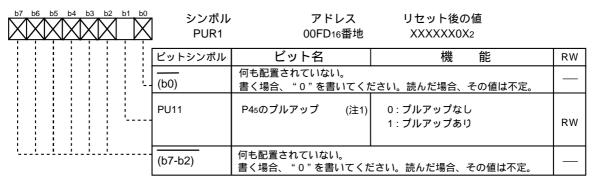


図15.8 PO、P1、P3、P4レジスタの構成



注1. このビットが"1"(プルアップあり)かつ方向ビットが"0"(入力モード)の端子がプルアップされます。

#### プルアップ制御レジスタ1



注1. PU11ビットが " 1 " (プルアップあり)かつPD4\_5ビットが " 0 " (入力モード)のとき、P45端子がプルアップ されます。

#### ポートP1駆動能力制御レジスタ



図15.9 PUR0、PUR1、DRRレジスタの構成

## 15.2 ポートの設定

表15.1~表15.23にポートの設定を示します。

表15.1 ポートP00/AN7/TxD11の設定

レジスタ	PD0	PUR0	ADCON0	UCON	U1MR	U1C0	
ビット	PD0_0	PU00	CH2、CH1、CH0、 ADGSEL0	TXD1SEL	SMD2、 SMD0	NCH	機能
			ADGSELU				
		•		×	002		\ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \
	0	0	××××	0	××	×	入力ポート( プルアップなし)
		_		×	002		\
	0	1	××××	0	××	×	入力ポート( プルアップあり )
	0	0	11102	×	002		A/D入力( AN <sub>7</sub> )
   設定値				0	××	×	
改化性				×	002		
	1	×	××××	0	××	×	出力ポート
				_	1 ×		TuD
	×	×	××××	1	<b>×</b> 1	0	TxD11
		0		1	1 ×		
	×		0 ××××		<b>×</b> 1	1	TxD11、Nチャネルオープン出力

表15.2 ポートP01/AN6の設定

レジスタ	PD0	PUR0	ADCON0	機能	
ビット	PD0_1	PU00	CH2、CH1、CH0、ADGSEL0	1755 月已 	
	0	0	××××	入力ポート( プルアップなし )	
   設定値	0	1	××××	入力ポート( プルアップあり )	
改化恒	0	0	11002	A/D入力( AN6 )	
	1	×	××××	出力ポート	

×: "0"または"1"

表15.3 ポートP02/AN5の設定

レジスタ	PD0	PUR0	ADCON0	 	
ビット	PD0_2	PU00	CH2、CH1、CH0、ADGSEL0	機能	
	0	0	××××	入力ポート( プルアップなし )	
   設定値	0	1	××××	入力ポート( プルアップあり )	
改化恒	0	0	10102	A/D入力( AN <sub>5</sub> )	
	1	×	xxxx	出力ポート	

×: "0"または"1"

### 表15.4 ポートP03/AN4の設定

レジスタ	PD0	PUR0	ADCON0	<b>☆☆ ☆</b> 七
ビット	PD0_3	PU00	CH2、CH1、CH0、ADGSEL0	機能
	0	0	××××	入力ポート( プルアップなし )
————————————————————————————————————	0	1	xxxx	入力ポート( プルアップあり )
設定値	0	0	10002	A/D入力( AN4 )
	1	×	××××	出力ポート

×: "0"または"1"

表15.5 ポートP04/AN3の設定

レジスタ	PD0	PUR0	ADCON0	₩ ⇔r.
ビット	PD0_4	PU01	CH2、CH1、CH0、ADGSEL0	機能
	0	0	××××	入力ポート( プルアップなし )
   設定値	0	1	××××	入力ポート( プルアップあり )
改化恒	0	0	01102	A/D入力( AN3 )
	1	×	××××	出力ポート

×: "0" または"1"

#### 表15.6 ポートP05/AN2の設定

レジスタ	PD0	PUR0	ADCON0	機能
ビット	PD0_5	PU01	CH2、CH1、CH0、ADGSEL0	機能
	0	0	××××	入力ポート( プルアップなし )
   設定値	0	1	××××	入力ポート( プルアップあり )
改化恒	0	0	01002	A/D入力( AN2 )
	1	×	xxxx	出力ポート

x: "0"または"1"

#### 表15.7 ポートP06/AN1の設定

レジスタ	PD0	PUR0	ADCON0	₩ <b>쓰</b> ٢.
ビット	PD0_6	PU01	CH2、CH1、CH0、ADGSEL0	機能
	0	0	××××	入力ポート( プルアップなし )
=0.00	0	1	××××	入力ポート( プルアップあり )
設定値	0	0	00102	A/D入力( AN1 )
	1	×	xxxx	出力ポート

x: "0" または"1"

表15.8 ポートP07/ANoの設定

レジスタ	PD0	PUR0	ADCON0	→ 1.0kk - 公比
ビット	PD0_7	PU01	CH2、CH1、CH0、ADGSEL0	機能
	0	0	××××	入力ポート( プルアップなし )
+八字/古	0	1	××××	入力ポート( プルアップあり )
設定値	0	0	00002	A/D入力( ANo )
	1	×	xxxx	出力ポート

×: "0"または"1"

表15.9 ポートP10/KI0/AN8/CMP00の設定

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	
ビット	DD4 0	חווס	DDDA	KIOEN	CH2、CH1、CH0、	TCOLITO	機能
こ カト	ט_וטאן	PU02	DRR0	KI0EN	ADGSEL0	TCOUT0	
	0	0	×	×	××××	0	入力ポート( プルアップなし )
	0	1	×	×	××××	0	入力ポート( プルアップあり )
	0	0	×	1	××××	0	Klo入力
   設定値	0	0	×	×	10012	0	A/D入力( AN <sub>8</sub> )
	1	×	0	×	××××	0	出力ポート
	1	×	1	×	××××	0	出力ポート( High駆動 )
	×	×	0	×	××××	1	CMP00出力
	×	×	1	×	××××	1	CMP00出力( High駆動 )

x: "0" または"1"

表15.10 ポートP11/KI1/AN9/CMP01の設定

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	
ビット	PD1_1	PU02	DRR1	KI1EN	CH2、CH1、CH0、 ADGSEL0	TCOUT1	機能
	0	0	×	×	××××	0	入力ポート( プルアップなし )
	0	1	×	×	××××	0	入力ポート( プルアップあり )
	0	0	×	1	××××	0	KII入力
設定値	0	0	×	×	10112	0	A/D入力( AN <sub>9</sub> )
以心间	1	×	0	×	××××	0	出力ポート
	1	×	1	×	××××	0	出力ポート( High駆動 )
	×	×	0	×	××××	1	CMP01出力
	×	×	1	×	××××	1	CMP01出力( High駆動 )

×: "0" または"1"

表15.11 ポートP12/KI2/AN10/CMP02の設定

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	TCOUT	
ا بن ا	DD4 0	DI 100	DDDO	KIOEN	CH2、CH1、CH0、	TOOLITO	機能
ビット	PD1_2	PU02	DKKZ	KI2EN	ADGSEL0	TCOUT2	
	0	0	×	×	××××	0	入力ポート( プルアップなし )
	0	1	×	×	××××	0	入力ポート( プルアップあり )
	0	0	×	1	××××	0	KI2入力
設定値	0	0	×	×	11012	0	A/D入力( AN10 )
以た旧	1	×	0	×	××××	0	出力ポート
	1	×	1	×	××××	0	出力ポート( High駆動 )
	×	×	0	×	××××	1	CMP02出力
	×	×	1	×	××××	1	CMP02出力( High駆動 )

x: "0" または"1"

表15.12 ポートP13/KI3/AN11の設定

レジスタ	PD1	PUR0	DRR	KIEN	ADCON0	+616 <del></del>
ビット	PD1_3	PU02	DRR3	KI3EN	CH2、CH1、CH0、ADGSEL0	機能
	0	0	×	×	××××	入力ポート(プルアップなし)
	0	1	×	×	××××	入力ポート( プルアップあり )
   設定値	0	0	×	1	××××	KI3入力
改化恒	0	0	×	×	11112	A/D入力( AN11 )
	1	×	0	×	××××	出力ポート
	1	×	1	×	××××	出力ポート( High駆動 )

表15.13 ポートP14/TxDoの設定

レジスタ	PD1	PUR0	DRR	U0MR	U0C0	1414 Ar.
ビット	PD1_4	PU03	DRR4	SMD2、SMD0	NCH	機能
	0	0	×	002	×	入力ポート( プルアップなし )
	0	1	×	002	×	入力ポート( プルアップあり )
	1	×	0	002	×	出力ポート
	1	×	1	002	×	出力ポート( High駆動 )
				<b>×</b> 1		Typyllit OMOOULT
   設定値	×	×	0	1×	0	TxD₀出力、CMOS出力
改化性				<b>×</b> 1		Turbull to OMOOUL to LUI LIFEST >
	×	×	1	1×	0	TxDo出力、CMOS出力(High駆動)
			_	<b>×</b> 1		T.D. 111 - N. T
	×	×	0	1 ×	1	TxD₀出力、Nチャネルオープン出力 
				<b>×</b> 1		
	×	×	1	1 ×	1	TxDo出力、Nチャネルオープン出力( High駆動 )

表15.14 ポートP15/RxDoの設定

レジスタ	PD1	PUR0	DRR	+4½ ← ← ←	
ビット	PD1_5	PU03	DRR5	機 能 	
	0	0	×	入力ポート( プルアップなし )	
	0	1	×	入力ポート( プルアップあり )	
設定値	0	0	×	RxD0入力	
	1	×	0	出力ポート	
	1	×	1	出力ポート( High駆動 )	

x: "0" または "1"

表15.15 ポートP16/CLKoの設定

レジスタ	PD1	PUR0	DRR	U0MR	機能
ビット	PD1_6	PU03	DRR6	SMD2, SMD0, CKDIR	機 能
	0	0	×	0102以外	入力ポート( プルアップなし )
	0	1	×	0102以外	入力ポート( プルアップあり )
	0	0	×	x x1	CLK(( 外部クロック )入力
設定値	1	×	0	0102以外	出力ポート
	1	×	1	0102以外	出力ポート( High駆動 )
	×	×	0	0102	CLK((内部クロック)出力
	×	×	1	0102	CLK(( 内部クロック )出力( High駆動 )

×: "0"または"1"

表15.16 ポートP17/INT1/CNTRoの設定

レジスタ	PD1	PUR0	DRR	TXMR	₩ △٢.
ビット	PD1_7	PU03	DRR5	TXMOD1、TXMOD0	機能
	0	0	×	012以外	入力ポート( プルアップなし )
	0	1	×	012以外	入力ポート( プルアップあり )
	0	0	×	012以外	CNTR <sub>0</sub> /INT <sub>1</sub> 入力
設定値	1	×	0	012以外	出力ポート
	1	×	1	012以外	出力ポート( High駆動 )
	×	×	0	012	CNTRo出力
	×	×	1	012	CNTR( High駆動 )

表15.17 ポートP30/CNTR0/CMP10の設定

レジスタ	PD3	PUR0	TXMR	TCOUT	1414 ΔF.
ビット	PD3_0	PU06	TXOCNT	TCOUT3	機  能
	0	0	0	0	入力ポート( プルアップなし )
	0	1	0	0	入力ポート( プルアップあり )
設定値	1	×	0	0	出力ポート
	×	×	1	0	CNTRo出力
	×	×	×	1	CMP10出力

表15.18 ポートP31/TZOUT/CMP11の設定

レジスタ	PD3	PUR0	TYZMR	TYZOC	TCOUT	機能		
ビット	PD3_1	PU06	TZMOD1、TZMOD0	TZOCNT	TCOUT4	<b>放 肢</b>		
		_	002	×		\		
	0	0	012	1	0	入力ポート( プルアップなし )		
	_		002	×		\		
	0	1	012 1		0	入力ポート( プルアップあり )		
設定値			002	×				
	1	×	012	1	0	出力ポート		
			1X	×	_			
	×	×	012	0	0	TZOUT出力		
	×	×	XX	×	1	CMP11出力		

x: "0" または"1"

表15.19 ポートP32/INT2/CNTR1/CMP12の設定

レジスタ	PD3	PUR0	TYZMR	TYZOC	TCOUT	+₩\\$ Δ+.
ビット	PD3_2	PU06	TYMOD1	TZOCNT	TCOUT5	機 能
	0	0	0	1	0	入力ポート( プルアップなし )
	0	1	0	1	0	入力ポート( プルアップあり )
   設定値	0	0	0	1	0	CNTR1/INT2入力
改化恒	1	×	0	1	0	出力ポート
	×	×	1	0	0	CNTR1出力
	×	×	×	×	1	CMP12出力

表15.20 ポートP33/INT3/TCINの設定

レジスタ	PD3	PUR0	機能
ビット	PD3_3	PU06	機  能
	0	0	入力ポート( プルアップなし )
   設定値	0	1	入力ポート( プルアップあり )
改集順	0	0	TCIN/INT3入力
	1	×	出力ポート

×: "0" または"1"

表15.21 ポートP37/TxD10/RxD1の設定

レジスタ	PD3	PUR0	UCON	U1MR	U1C0	+666 - 447.
ビット	PD3_7	PU07	TXD1EN	SMD2、SMD0	NCH	機能
	0	0	×	002	×	入力ポート( プルアップなし )
	0	1	×	002	×	入力ポート( プルアップあり )
				1 ×		
+八字/古	0	0	0	×1	×	RXD1
設定値	1	×	×	002	×	出力ポート
			4	1 ×		T. D. III + 0.400 III +
	×	×	1	<b>×</b> 1	0	TxDo出力、CMOS出力
				1 ×		T.D. U.T. N.T + U.T
	×	×	1	<b>×</b> 1	1	TxD10出力、Nチャネルオープン出力

×: "0"または"1"

表15.22 ポートP45/INToの設定

レジスタ	PD4	PUR1	INTEN	→ 1.0kk - △上	
ビット	PD4_5	PU11	INT0EN	機  能	
	0	0	0	入力ポート( プルアップなし )	
   設定値	0	1	0	入力ポート( プルアップあり )	
改化恒	0	0	1	INT₀入力	
	1	×	×	出力ポート	

×: "0" または"1"

表15.23 ポートXIN/P46とXOUT/P47の設定

レジスタ	CM1	CM1	CM0	回路	仕様	機能
ビット	CM13	CM10	CM05	発振バッファ	帰還抵抗	
	1	1	1	OFF	OFF	XIN-XOUT発振停止
	1	0	1	OFF	ON	外部XIN入力、XOUTは"H"出力
設定値	1	0	1	OFF	ON	XIN-XOUT発振停止
	1	0	0	ON	ON	XIN-XOUT発振
	0	×	×	OFF	OFF	入力ポート

x: "0"または"1"

### 15.3 未使用端子の処理

未使用端子の処理例を、表15.24に示します。

表15.24 未使用端子の処理例

端 子 名	処 理 内 容	
ポートP0、P1、 P30~P33、P37、P45	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルまたは端子ごとに抵抗を介してVccに接続(プルアップ) 出力モードに設定し、端子を解放 (注1)	·ダウン) (注2)
ポートP46、P47	抵抗を介して、Vccに接続(プルアップ)	(注2)
AVcc/VREF	Vccに接続	
AVss	Vssに接続	
RESET (注3)	抵抗を介して、Vccに接続(プルアップ)	(注2)

- 注1. 出力モード設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不安定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
  - また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. パワーオンリセット機能使用時。

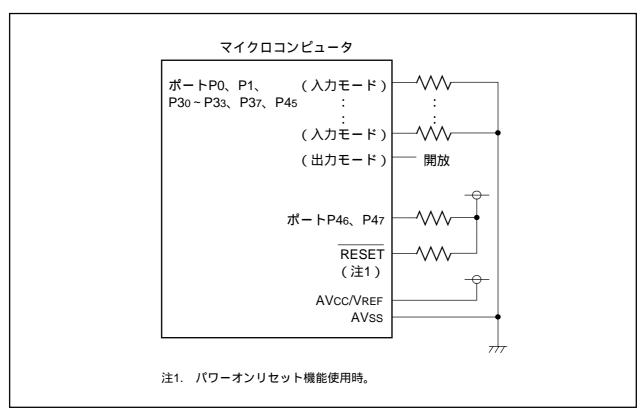


図15.10 未使用端子の処理例

# 16. 電気的特性

表16.1 絶対最大定格

記号	項目	測定条件	定格値	単位
Vcc	電源電圧	Vcc = AVcc	- 0.3 ~ 6.5	V
AVcc	アナログ電源電圧	Vcc = AVcc	- 0.3 ~ 6.5	V
Vı	入力電圧		- 0.3 ~ Vcc + 0.3	V
Vo	出力電圧		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力	Topr = 25	300	mW
Topr	動作周囲温度		- 20~85 / - 40~85 (Dバージョン)	
Tstg	保存温度		- 65 ~ 150	

#### 表16.2 推奨動作条件

記号	項	■	測定条件		規格値		単位
				最小	標準	最大	
Vcc	電源電圧			2.7		5.5	V
AVcc	アナログ電源電圧				Vcc (注3)		V
Vss	電源電圧				0		V
AVss	アナログ電源電圧				0		V
VIH	" H " 入力電圧			0.8Vcc		Vcc	V
VIL	" L " 入力電圧			0		0.2Vcc	V
IOH(sum)	" H " 尖頭総出力電流	全端子のIOH(peak)の総和				- 60	mA
IOH(peak)	" H " 尖頭出力電流					- 10	mA
IOH(avg)	" H " 平均出力電流					- 5	mA
IOL(sum)	" L " 尖頭総出力電流	全端子のIOL(peak)の総和				60	mA
IOL(peak)	" L " 尖頭出力電流	P10~P17以外				10	mA
		P10 ~ P17	駆動能力HIGH			30	mA
			駆動能力LOW			10	mA
IOL(avg)	" L " 平均出力電流	P10~P17以外				5	mA
		P10 ~ P17	駆動能力HIGH			15	mA
			駆動能力LOW			5	mA
f(XIN)	メインクロック入力発	振周波数	3.0 V Vcc 5.5 V	0		20	MHz
			2.7 V Vcc < 3.0 V	0		10	MHz

注1. 指定のない場合は、Vcc = AVcc = 2.7 V~5.5 V、Topr = -20 ~85 / -40 ~85 です。

注2. 平均出力電流は100 msの期間内での平均値です。

注3. Vcc=AVccにしてください。

表16.3 A/Dコンバータ特性

記号	項	目	測定条件		規格値		単位
				最小	標準	最大	
-	分解能		Vref = Vcc			10	Bit
-	絶対精度	10ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V			± 3	LSB
		8ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V			± 2	LSB
		10ビットモード	AD = 10 MHz, Vref = Vcc = 3.3 V (注3)			± 5	LSB
		8ビットモード	AD = 10 MHz, Vref = Vcc = 3.3 V (注3)			± 2	LSB
Rladder	ラダ - 抵抗		Vref = Vcc	10		40	k
tconv	変換時間	10ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V	3.3			μs
		8ビットモード	AD = 10 MHz, Vref = Vcc = 5.0 V	2.8			μs
Vref	基準電圧	•			Vcc (注4)		V
VIA	アナログ入力電圧			0		Vref	V
-	A/D動作クロック	サンプル&ホールドなし		0.25		10	MHz
	周波数 (注2)	サンプル&ホールドあり		1		10	MHz

- 注1. 指定のない場合は、Vcc = AVcc = 2.7 V~5.5 V、Topr = -20 ~85 / -40 ~85 です。
- 注2. fADが10 MHzを超える場合は分周し、A/D動作クロック周波数(AD)が10 MHz以下になるようにしてください。
- 注3. AVccが4.2 V未満の場合はfADを分周し、A/D動作クロック周波数(AD)がfAD/2以下になるように調整してください。
- 注4. Vcc=Vrefにしてください。

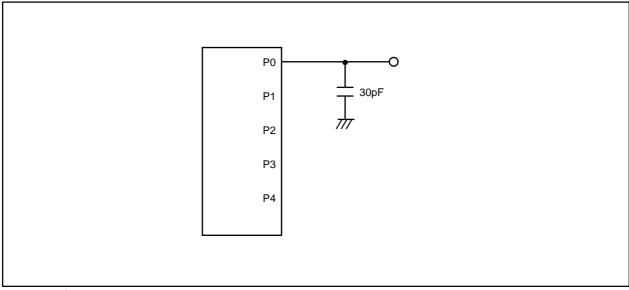


図16.1 ポートP0~P4の測定回路

表16.4 フラッシュメモリの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	プログラム、イレーズ回数		100	-	-	回
-	バイトプログラム時間			50	400	μs
-	ブロックイレーズ時間			0.4	9	S
td(SR-ES)	消去動作からイレーズサスペンドへの遷移時間				8	ms
-	イレーズサスペンドリクエスト間隔		10			ms
-	書き込み、消去電圧		2.7		5.5	V
-	読み出し電圧		2.7		5.5	V
-	書き込み、消去時の温度		0		60	
-	データ保持時間(注2)	周囲温度=55	20			年

- 注1. 指定のない場合は、Vcc = AVcc = 2.7 V ~ 5.5 V、Topr = 0 ~ 60 です。
- 注2. 電源電圧またはクロックが印加されていない時間を含みます。

表16.5 電圧検出回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet	電圧検出レベル		3.3	3.8	4.3	V
-	電圧検出割り込み要求発生時間 (注2)			40		μs
-	電圧検出回路の自己消費電流	VC27 = " 1 " 、 Vcc = 5.0 V		600		nA
td(E-A)	電圧検出回路動作開始までの待ち時間 (注3)				20	μs
Vccmin	マイコンの動作電圧の最小値		2.7			V

- 注1. 測定条件はVcc = AVcc = 2.7V~5.5 V、Topr = -40 ~85 です。
- 注2. Vdetを通過した時点から、電圧検出割り込み要求が発生するまでの時間です。
- 注3. VCR2レジスタのVC27ビットを"0"にした後、再度"1"にした場合の、電圧検出回路が動作するまでに必要な時間です。

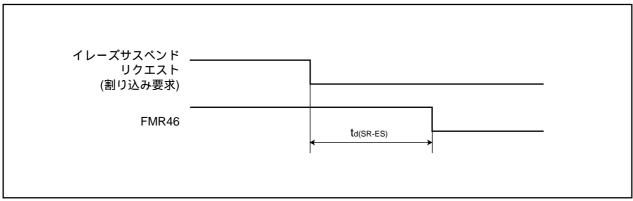


図16.2 消去動作からイレーズサスペンドへの遷移時間

表16.6 リセット回路の電気的特性(ハードウェアリセット2使用時(注1))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor2	パワーオンリセットが有効になる電圧	- 20 Topr < 85			Vdet	V
tw(Vpor2-	パワーオンリセット解除時の電源電圧	- 20 Topr < 85 、			100	ms
Vdet)	の立ち上がり時間(注2)	tW(por2) 0s(注4)				

- 注1. ハードウェアリセット2は、マイクロコンピュータに内蔵している電圧検出回路によるリセットです。「5.1.2 ハードウェアリセット2」を参照してください。
- 注2. Vcc 1.0 Vで使用する場合、この条件は不要です。
- 注3. 外部電源を有効電圧(Vpor1)以下に保持する時間が10sを超えた後に電源を立ち上げる場合は、「表16.7 リセット回路の電気的特性(ハードウェアリセット2未使用時)」を参照してください。
- 注4. tw(por2)は外部電源を有効電圧(Vpor2)以下に保持する時間です。

表16.7 リセット回路の電気的特性(ハードウェアリセット2未使用時)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vpor1	パワーオンリセットが有効になる電圧	- 20 Topr < 85			0.1	V
tw(Vpor1-	パワーオンリセット解除時の電源電圧	0 Topr 85 、			100	ms
Vdet)	の立ち上がり時間	tW(por1) 10 s (注2)				
tw(Vpor1-	パワーオンリセット解除時の電源電圧	- 20 Topr < 0			100	ms
Vdet)	の立ち上がり時間	tW(por1) 30 s (注2)				
tw(Vpor1-	パワーオンリセット解除時の電源電圧	- 20 Topr < 0			1	ms
Vdet)	の立ち上がり時間	tW(por1) 10 s (注2)				
tw(Vpor1-	パワーオンリセット解除時の電源電圧	0 Topr 85			0.5	ms
Vdet)	の立ち上がり時間	tW(por1) 1 s (注2)				

- 注1. ハードウェアリセット2を使用しない場合、Vcc 2.7 Vで使用してください。
- 注2. tw(por1)は外部電源を有効電圧(Vpor1)以下に保持する時間です。

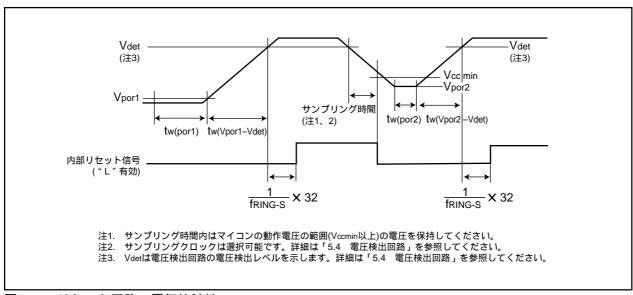


図16.3 リセット回路の電気的特性

表16.8 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件		規格値		
			最小	標準	最大	
-	リセット解除時の高速オンチップオシ	Vcc=5.0V, Topr=25 ,	6	8	10	MHz
	レータ発振周波数1 / { td(HRoffset) + td(HR) }	HR1レジスタに " 4016 " を設定				
td(HRoffset)	設定可能な高速オンチップオシレータ	Vcc=5.0V, Topr=25 ,		61		ns
	発振の最小周期	HR1レジスタに " 0016 " を設定				
td(HR)	高速オンチップオシレータ発振周期の	HR1レジスタに " 0116 " を設定したと		1		ns
	調整単位	きと、"0016"を設定したときの差分				
-	高速オンチップオシレータ発振周波数	- 10 ~ 50 の温度範囲での周波		±5		%
	の温度依存性 (1)	数のばらつき				
-	高速オンチップオシレータ発振周波数	- 40 ~ 85 の温度範囲での周波		± 10		%
	の温度依存性 (2)	数のばらつき				

#### 表16.9 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間 (注2)		1		2000	μs
td(R-S)	STOP解除時間 (注3)				150	μs

注1. 測定条件はVcc = AVcc = 2.7 V~5.5 V、Topr = 25 です。

表16.10 電気的特性(1) [Vcc = 5 V]

記号	項目		測定	条件		規格値		単位	
						最小	標準	最大	1
Voн	" H " 出力電圧		XOUT以外	IOH = - 5 mA		Vcc - 2.0		Vcc	V
				IOH = - 200 μ A		Vcc - 0.3		Vcc	V
			Xout	駆動能力HIGH	IOH = - 1 mA	Vcc - 2.0		Vcc	V
				駆動能力LOW	IOH = - 500 μ A	Vcc - 2.0		Vcc	V
Vol	" L " 出力電圧		P10 ~ P17、	IOL = 5 mA				2.0	V
			XOUT以外	IOL = 200 μ A				0.45	V
			P10 ~ P17	駆動能力HIGH	IOL = 15 mA			2.0	V
				駆動能力LOW	IOL = 5 mA			2.0	V
					IOL = 200 μ A			0.45	V
			Xout	駆動能力HIGH	IOL = 1 mA			2.0	V
				駆動能力LOW	IOL = 500 µ A			2.0	V
VT+-VT-	ヒステリシス	ĪNTo,	ĪNT1, ĪNT2, ĪNT3,			0.2		1.0	V
		KIo, K	11, KI2, KI3,						
		CNTF	RO, CNTR1, TCIN,						
		RxD <sub>0</sub>	, RxD1, P45						
		RESE	T			0.2		2.2	V
Iн	" H " 入力電流			VI = 5 V				5.0	μΑ
IIL	" L " 入力電流		VI = 0 V				- 5.0	μΑ	
RPULLUP	プルアップ抵抗	レアップ抵抗		VI = 0 V		30	50	167	k
RfXIN	帰還抵抗		XIN		·		1.0		М
fring-s	低速オンチップ	゚゚オシレ	ノータ発振周波数			40	125	250	kHz
VRAM	RAM保持電圧			ストップモード	時	2.0			V

注1. 指定のない場合は、Vcc = AVcc = 4.2 V ~ 5.5 V、Topr = -20 ~85 / -40 ~85 、f(XIN) = 20 MHzです。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、CPUクロックの供給が開始するまでの時間です。

表16.11 電気的特性(2) [Vcc = 5 V](指定のない場合は、Topr = -40 ~85)

記号	I 電気的特性(2) 項 目	[	(指定のない場合は、Topr = -40 測定条件	~ 85 )	規格値		単位
				最小	標準	最大	
Icc	電源電流	高速モード	XIN = 20 MHz (方形波)	42.3	124 1	4271	
	(Vcc = 3.3 V ~ 5.5 V) シングルチップモード で、出力端子は開放、		高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		9	15	mA
	その他の端子はVss		XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		8	14	mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 分周なし		5		mA
		中速モード	XIN = 20 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		4		mA
			XIN = 16 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		3		mA
			XIN = 10 MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		2		mA
		高速オンチップ オシレータ モード	メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 分周なし		4	8	mA
			メインクロック停止 高速オンチップオシレータ発振 = 8 MHz 低速オンチップオシレータ発振 = 125 kHz 8分周		1.5		mA
		低速オンチップ オシレータ モード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz 8分周		470	900	μА
		ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注1) 周辺クロック動作 VC27= " 0 "		40	80	μА
	ウェイトモード	メインクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125 kHz WAIT命令実行中 (注1) 周辺クロック停止 VC27= " 0 "		38	76	μ Α	
		ストップモード			0.8	3.0	μ Α

注1. タイマYをタイマモードで動作させています。

### タイミング必要条件 (指定のない場合は、VCC=5V、VSS=0V、Topr= 25 ) [ VCC=5V ]

#### 表16.12 XIN入力

記号	項目	規格値		単位
		最小	最大	
tc(XIN)	XIN入力サイクル時間	50		ns
twh(xin)	XIN入力 " H " パルス幅	25		ns
twL(XIN)	Xin入力 " L " パルス幅	25		ns

#### 表16.13 CNTR0入力、CNTR1入力、INT2入力

記号	項目	規札	単位	
		最小	最大	
tc(CNTR0)	CNTR0入力サイクル時間	100		ns
twh(cntro)	CNTR0入力 " H " パルス幅	40		ns
twl(CNTR0)	CNTR0入力 " L " パルス幅	40		ns

#### 表16.14 TCIN入力、INT3入力

記号	項目	規札	単位	
		最小	最大	
tc(TCIN)	TCIN入力サイクル時間	400 (注1)		ns
twh(TCIN)	TCIN入力 " H " パルス幅	200 (注2)		ns
twL(TCIN)	TCIN入力 " L " パルス幅	200 (注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3) 以上になるように調整してください。

#### 表16.15 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi入力サイクル時間	200		ns
tw(ckh)	CLKi入力 " H " パルス幅	100		ns
tw(ckl)	CLKi入力 " L " パルス幅	100		ns
td(C-Q)	TxDi出力遅延時間		80	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-C)	RxDi入力セットアップ時間	35		ns
th(C-D)	RxDi入力ホールド時間	90	·	ns

#### 表16.16 外部割り込みINTO入力

記号	項目	規札	単位	
		最小	最大	
tw(INH)	ĪNT0入力 " H " パルス幅	250 (注1)		ns
tw(INL)	INTO入力 " L " パルス幅	250 (注2)		ns

注1. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INTO入力 "H"パルス幅の最小値は (1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5) 以上になるように調整してください。

注2. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INTO入力 "L"パルス幅の最小値は (1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

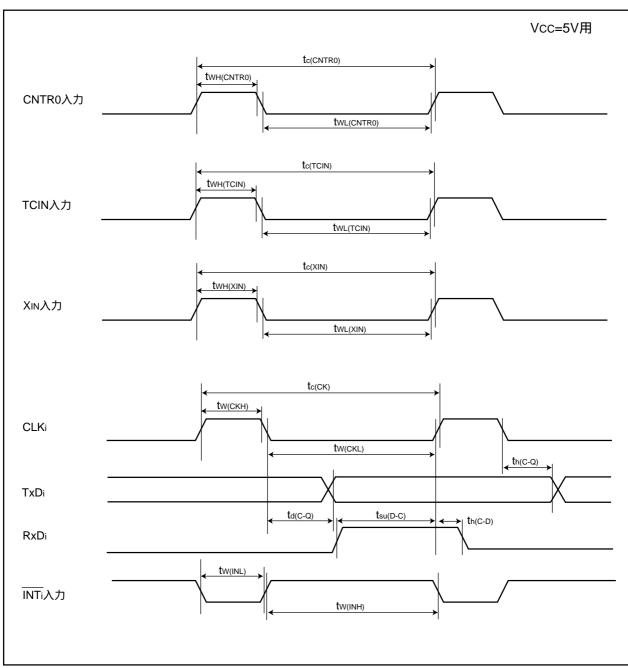


図16.4 Vcc=5V時のタイミング

表16.17 電気的特性(3) [Vcc = 3 V]

記号		項 目		測定	条件		規格値		単位
						最小	標準	最大	1
Voн	" H " 出力電圧	<u> </u>	KOUT以外	IOH = - 1 mA		Vcc - 0.5		Vcc	V
		>	Kout	駆動能力HIGH	IOH = - 0.1 mA	Vcc - 0.5		Vcc	V
				駆動能力LOW	IOH = - 50 μ A	Vcc - 0.5		Vcc	V
Vol	" L " 出力電圧	F	P10 ~ P17、	IOL = 1 mA				0.5	V
		\ \	KOUT以外						
		F	P10 ~ P17	駆動能力HIGH	IOL = 2 mA			0.5	V
				駆動能力LOW	IOL = 1 mA			0.5	V
		>	Kout	駆動能力HIGH	IOL = 0.1 mA			0.5	V
				駆動能力LOW	IOL = 50 μ A			0.5	V
VT+-VT-	ヒステリシス	INTo, IN	IT1、INT2、INT3、			0.2		0.8	V
		KIo, KI1,	$\overline{Kl2},\overline{Kl3},$						
		CNTR <sub>0</sub> ,	CNTR1, TCIN,						
		RxD0、R	RxD1、P45						
		RESET				0.2		1.8	V
Iн	" H " 入力電流	Ē		VI = 3 V				4.0	μA
lıL	" L " 入力電流			VI = 0 V				- 4.0	μА
RPULLUP	プルアップ抵抗	π		VI = 0 V		66	160	500	k
RfXIN	帰還抵抗	<b>&gt;</b>	XIN				3.0		М
fRING-S	低速オンチップ	プオシレー	- 夕発振周波数			40	125	250	kHz
VRAM	RAM保持電圧			ストップモード	時	2.0			V

注1. 指定のない場合は、 $Vcc = AVcc = 2.7 \ V \sim 3.3 \ V$ 、Topr = -20 ~85 / -40 ~85 、 $f(XIN) = 10 \ MHz$ です。

表16.18 電気的特性(4) [Vcc = 3 V](指定のない場合は、Topr = -40 ~85)

記号	項目									単位		
				最小	標準	最大						
Icc	電源電流	高速モード	XIN = 20 MHz (方形波)									
	$(Vcc = 2.7 V \sim 3.3 V)$		高速オンチップオシレータ発振停止									
	、 シングルチップモード		低速オンチップオシレータ発振 = 125 kHz		8	13	mA					
	で、出力端子は開放、		分周なし									
	その他の端子はVss		XIN = 16 MHz (方形波)									
	ての他の姉子はVSS		, ,									
			高速オンチップオシレータ発振停止		7	12	mA					
			低速オンチップオシレータ発振 = 125 kHz									
			分周なし									
			XIN = 10 MHz (方形波)									
			高速オンチップオシレータ発振停止		5		mA					
			低速オンチップオシレータ発振 = 125 kHz				\					
			分周なし									
		中速モード	XIN = 20 MHz (方形波)									
			高速オンチップオシレータ発振停止				4					
			│ 低速オンチップオシレータ発振 = 125 kHz		3		mA					
			8分周									
			XIN = 16 MHz (方形波)									
			高速オンチップオシレータ発振停止									
			個速オンチップオシレータ発振 = 125 kHz		2.5		mA					
			8分周									
			Xin = 10 MHz (方形波)									
			高速オンチップオシレータ発振停止		1.6		mA					
			低速オンチップオシレータ発振 = 125 kHz									
			8分周									
		高速オンチップ	メインクロック停止									
		オシレータ	高速オンチップオシレータ発振 = 8 MHz		3.5	7.5	mA					
		モード	低速オンチップオシレータ発振 = 125 kHz		3.5	3.3	3.3	3.5	7.5	7.5	7.5	''''`
			分周なし									
			メインクロック停止									
			高速オンチップオシレータ発振 = 8 MHz		4.5							
			低速オンチップオシレータ発振 = 125 kHz		1.5		mA					
			8分周									
		低速オンチップ	メインクロック停止									
		オシレータ	高速オンチップオシレータ発振停止									
		モード	低速オンチップオシレータ発振 = 125 kHz		420	800	μA					
		- '	8分周									
		ウェイトモード	メインクロック停止									
			^ イングロック停止   高速オンチップオシレータ発振停止									
			低速オンチップオシレータ発振 = 125 kHz		37	74	μΑ					
			WAIT命令実行中 (注1)									
			周辺クロック動作									
			VC27= " 0 "									
		ウェイトモード	メインクロック停止									
			高速オンチップオシレータ発振停止									
			低速オンチップオシレータ発振 = 125 kHz		25	70	l					
			WAIT命令実行中 (注1)		35	70	μΑ					
			周辺クロック停止									
			VC27= " 0 "									
		ストップモード	メインクロック停止、Topr = 25		1							
			ハーファロックほエ、10pl = 20   高速オンチップオシレータ発振停止									
			同感オンチップオンレータ発振停止   低速オンチップオシレータ発振停止									
					0.7	3.0	μA					
			CM10 = " 1 "									
			周辺クロック停止									
			VC27= " 0 "									

注1. タイマYをタイマモードで動作させています。

### タイミング必要条件 (指定のない場合は、Vcc=3V、Vss=0V、Topr= 25 ) [ Vcc=3V ]

#### 表16.19 XIN入力

記号	項目	規格値		単位
		最小	最大	
tc(XIN)	XIN入力サイクル時間	100		ns
twh(xin)	XIN入力 " H " パルス幅	40		ns
twL(xIN)	XIN入力 " L " パルス幅	40		ns

#### 表16.20 CNTR0入力、CNTR1入力、INT2入力

記号	項目	規格値		単位
		最小	最大	
tc(CNTR0)	CNTRO入力サイクル時間	300		ns
twh(cntro)	CNTR0入力 " H " パルス幅	120		ns
twL(CNTR0)	CNTR0入力 " L " パルス幅	120		ns

#### 表16.21 TCIN入力、INT3入力

記号	項目	規格値		
		最小	最大	
tc(TCIN)	TCIN入力サイクル時間	1200 (注1)		ns
twh(TCIN)	TCIN入力 " H " パルス幅	600 (注2)		ns
twL(TCIN)	TCIN入力 " L " パルス幅	600 (注2)		ns

注1. タイマCのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマCのカウントソース周波数×3)以上になるように調整してください。

#### 表16.22 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi入力サイクル時間	300		ns
tw(ckh)	CLKi入力 " H " パルス幅	150		ns
tw(ckl)	CLKi入力 " L " パルス幅	150		ns
td(C-Q)	TxDi出力遅延時間		160	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-C)	RxDi入力セットアップ時間	55		ns
th(C-D)	RxDi入力ホールド時間	90		ns

#### 表16.23 外部割り込みINTO入力

記号	項目		規格値	
		最小	最大	
tw(INH)	INTO入力 " H " パルス幅	380 (注1)		ns
tw(INL)	INTO入力 " L " パルス幅	380 (注2)		ns

注1. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INTO入力 "H"パルス幅の最小値は (1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. タイマCのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマCのカウントソース周波数×1.5) 以上になるように調整してください。

注2. INTO入力フィルタ選択ビットでフィルタありを選択した場合、INTO入力 "L"パルス幅の最小値は (1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

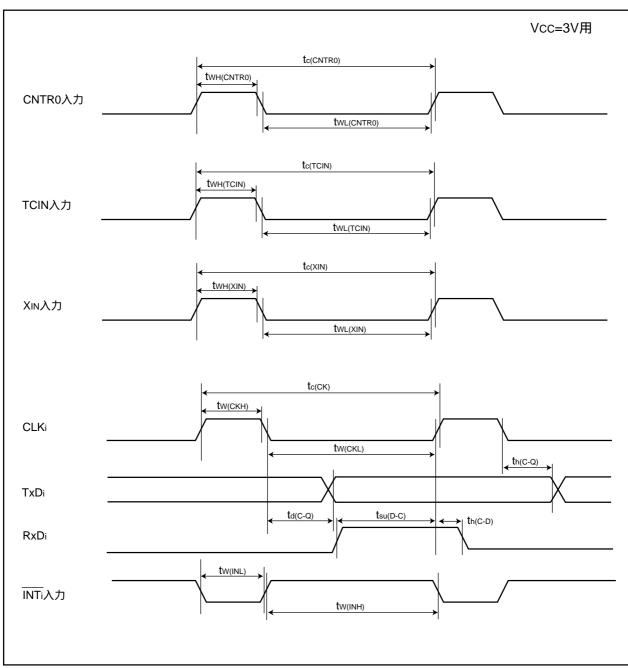


図16.5 Vcc=3V時のタイミング

R8C/11グループ 17. フラッシュメモリ版

## 17. フラッシュメモリ版

### 17.1 概要

フラッシュメモリ版は、CPU書き換えモード、標準シリアル入出力モードの2つの書き換えモードで、フラッシュメモリを操作できます。

表17.1にフラッシュメモリ版の性能概要を示します(表17.1に示す以外の項目は「表1.1 性能概要」を参照してください)。

#### 表17.1 フラッシュメモリ版の性能概要

項目	性能
フラッシュメモリの動作モード	2モード(CPU書き換え、標準シリアル入出力)
消去プロック分割	「図17.1 フラッシュメモリのブロック図」を参照してください。
プログラム方式	バイト単位
イレーズ方式	ブロック消去
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式	ブロック0、1書き換え許可ビットによるブロック0およびブロック1に対するプロテクト
コマンド数	5コマンド
プログラム、イレーズ回数	100回
ROMコードプロテクト	標準シリアル入出力モード対応

#### 表17.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ 書き換えモード	CPU書き換えモード	標準シリアル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、 ユーザROM領域を書き換える EW0モード:フラッシュメモリ以外の 領域で書き換え可能 EW1モード:フラッシュメモリ上で 書き換え可能	専用シリアルライタを使用して、ユーザROM領域 を書き換える 標準シリアル入出力モード1: クロック同期形シリアルI/O 標準シリアル入出力モード2: クロック非同期形シリアルI/O
書き換えできる領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード	ブートモード
ROMライタ	-	シリアルライタ

R8C/11グループ 17.2 メモリ配置

#### 17.2 メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域(予約領域)に分けられます。図17.1にフラッシュメモリのブロック図を示します。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、または標準シリアル入出力モードで書き換えられます。ただし、ブロック0、ブロック1を、CPU書き換えモードで書き換える場合は、FMR0レジスタのFMR02ビットを"1"(書き換え許可)にすることで書き換えが許可されます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。 ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在します。

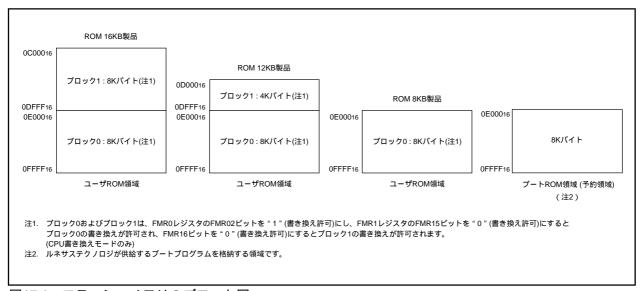


図17.1 フラッシュメモリのブロック図

### 17.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能があります。

### 17.3.1 IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリがブランクではない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、ライタから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から00FFDF16、00FFE316、00FFE316、00FFE716、00FFF716、00FFFB16番地です。これらの番地にあらかじめIDコードを設定したプログラムをフラッシュメモリに書いてください。

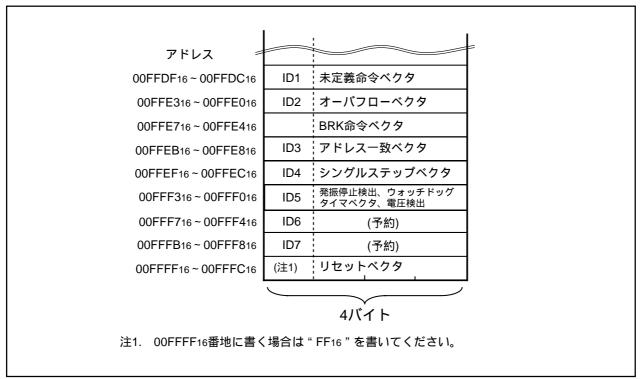


図17.2 IDコードの格納番地

## 17.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

また、CPU書き換えモードで消去動作中に割り込み要求が発生した場合に、消去動作を一時中断して割り込み処理を行うイレーズサスペンド機能を持ちます。イレーズサスペンド中は、プログラムでユーザROM 領域を読み出すことが可能です。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1モード)があります。表17.3にEW0モードとEW1モードの違いを示します。

表17.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御	ユーザROM領域	ユーザROM領域
プログラムを配置		
できる領域		
書き換え制御	フラッシュメモリ以外(RAMなど)へ	ユーザROM領域上で実行可能
プログラムを	転送してから実行する必要あり	
実行できる領域		
書き換えられる	ユーザROM領域	ユーザROM領域
領域		ただし、書き換え制御プログラムがあるブロックを
		除く(注1)
ソフトウェアコマンド	なし	・プログラム、ブロックイレーズコマンド
の制限		書き換え制御プログラムがあるブロックに対して実行
		禁止
		・リードステータスレジスタコマンド
		実行禁止
プログラム、イレーズ	リードステータスレジスタモード	リードアレイモード
後のモード		
自動書き込み、自動消去	動作	ホールド状態(入出力ポートはコマンド実行前の
時のCPUの状態		状態を保持)
フラッシュメモリの	・プログラムでFMR0レジスタのFMR00、	プログラムでFMR0レジスタのFMR00、FMR06、
ステータス検知	FMR06、FMR07ビットを読む	FMR07ビットを読む
	・リードステータスレジスタコマンドを	
	実行し、ステータスレジスタのSR7、	
	SR5、SR4を読む	
イレーズサスペンド	プログラムでFMR4レジスタのFMR40と	FMR4レジスタのFMR40ビットが"1"、かつ許可された
への移行条件	FMR41ビットを"1"にする	割り込みの割り込み要求が発生

注1. ブロック0、ブロック1は、FMR0 レジスタのFMR02ビットを"1"にすると書き換えが許可されます。

#### 17.4.1 EWOモード

FMR0レジスタのFMR01ビットを"1"(CPU書き換えモード有効)にするとCPU書き換えモードになり、 ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが"0" なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了 時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

自動消去中に、イレーズサスペンドに移行する場合は、FMR40ビットを"1"(イレーズサスペンド許可)、FMR41ビットを"1"(イレーズサスペンドリクエスト)にしてください。そしてtd(SR-ES)待ち、FMR46ビットが"1"(リード許可)になったことを確認後、ユーザROM領域にアクセスしてください。FMR41ビットを"0"(イレーズリスタート)にすると、自動消去を再開します。

### 17.4.2 EW1モード

FMR01ビットを"1"(CPU書き換えモード有効)にした後、FMR11ビットを"1"(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、リードステータスレジスタのソフトウェアコマンドを実行しないでください。

イレーズサスペンド機能を有効にする場合には、FMR40ビットを"1"(イレーズサスペンド許可)にしてからブロックイレーズコマンドを実行してください。またイレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。ブロックイレーズコマンド実行からtd(SR-ES)後、割り込み要求が受け付けられます。

割り込み要求が発生すると、FMR41ビットは自動的に"1"(イレーズサスペンドリクエスト)になり、自動消去が中断されます。割り込み処理終了後、自動消去が完了していないとき(FMR00ビットが"0") は、FMR41ビットを"0"(イレーズリスタート)にして再度ブロックイレーズのコマンドを実行してください。

図17.3にFMR0レジスタを、図17.3-2にFMR1、FMR4レジスタを示します。

#### FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、イレーズ動作中は"0"、それ以外のときには"1"になります。

#### FMR01ビット

FMR01ビットを"1"(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。FMR02ビット

FMR02ビットが " 0 " (書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブロックイレーズコマンドを受け付けません。

#### FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを"1"にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域のプログラムで書いてください。

次の場合、FMSTPビットを"1"にしてください。

- ・EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが "1"(レディ)に戻らなくなった)場合
- ・オンチップオシレータモード(メインクロック停止)にする場合

図17.6にオンチップオシレータモード(メインクロック停止)前後の処理を示します。このフローチャートに従って操作してください。なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

#### FMR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると"1"、それ以外のときは"0"となります。詳細は「17.4.5 フルステータスチェック」を参照してください。 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると"1"、それ以外のときは"0"となります。詳細は「17.4.5 フルステータスチェック」を参照してください。

#### FMR11ビット

FMR11ビットを"1"(EW1モード)にすると、EW1モードになります。

#### FMR40ビット

FMR40ビットを"1"(許可)にすると、イレーズサスペンド機能が許可されます。

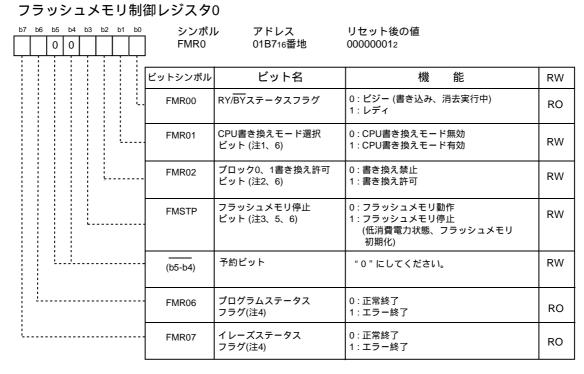
#### FMR41ビット

EW0モードでは、プログラムでFMR41ビットを"1"にすると、イレーズサスペンドモードに移行します。EW1モードでは、許可された割り込みの割り込み要求が発生すると、FMR41ビットは自動的に"1"(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。

自動消去動作を再開するときは、FMR41ビットを"0"(イレーズリスタート)にしてください。 FMR46ビット

自動消去実行中は、FMR46ビットが"0"(リード禁止)になります。イレーズサスペンドモード中は"1"(リード許可)になります。"0"の間は、フラッシュメモリへのアクセスは禁止です。





- "1"にするときは、"0"を書いた後、続けて"1"を書いてください。"0"を書いた後、"1"を書くまでに割り込み、 が入らないようにしてください。 このビットはリードアレイモードにしてから"0"にしてください。
- "1"にするときは、FMR01ビットが"1"の状態で、このビットに"0"を書いた後、続けて"1"を書いてください。 "0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。
- 注3. このビットは、フラッシュメモリ以外の領域のプログラムで書いてください。
- クリアステータスコマンドを実行すると"0"になります。 注4.
- グリアステータスコマンドで美门するこ 0 になっるす。
  FMR01ビットが "1"(CPU書き換えモード)のとき有効です。FMR01ビットが "0"のとき、FMSTPビットに "1"を書くと
  FMSTPビットは "1"になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。 注5.
- 注6. FMR01、FMP02、FMSTPビットの設定にはビット処理命令(「R8C/Tinyシリーズソフトウェアマニュアル」参照)を使用して ください。

図17.3 FMR0レジスタ



注1. "1"にするときは、FMR01ビットが"1"の状態で、このビットに"0"を書いた後、続けて"1"を書いてください。"0" を書いた後、"1"を書くまでに割り込みが入らないようにしてください。 FMR01ビットを"0"にすると、FMR01ビットとFMR11ビットは、いずれも"0"になります。

### フラッシュメモリ制御レジスタ4



- 注1. "1"にするときは、このビットに"0"を書いた後、続けて"1"を書いてください。 "0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。
- 注2. このビットはFMR40ビットが"1"(許可)の時のみ有効になり、イレーズコマンド発行からイレーズ終了までの期間のみ、 書き込みが可能となります。(上記期間以外は"0"になります。)

EW0モードではこのビットはプログラムによって"0"、"1"書き込みが可能となります。

EW1モードではFMR40ビットが"1"のとき消去中にマスカブル割り込みが発生すると自動的に"1"になります。プログラム によって"1"を書き込むことはできません。("0"書き込みは可能)

図17.3-2 FMR1、FMR4レジスタ

#### 図17.4にサスペンド動作に関するタイミングを示します。

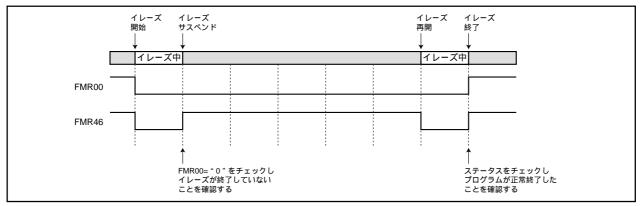


図17.4 サスペンド動作に関するタイミング

図17.5にEW0モードの設定と解除方法、図17.6にEW1モードの設定と解除方法を示します。

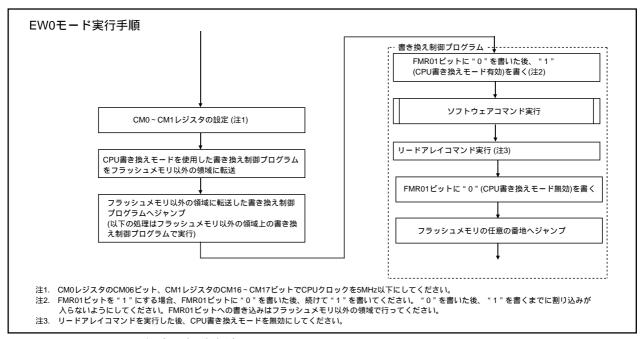


図17.5 EW0モードの設定と解除方法

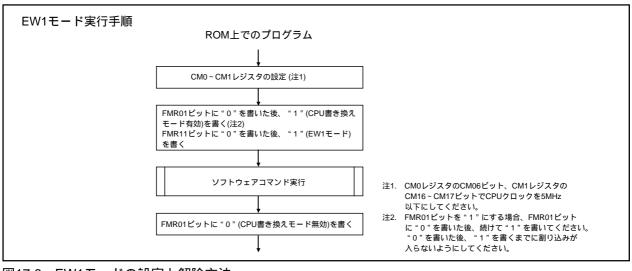


図17.6 EW1モードの設定と解除方法

R8C/11グループ

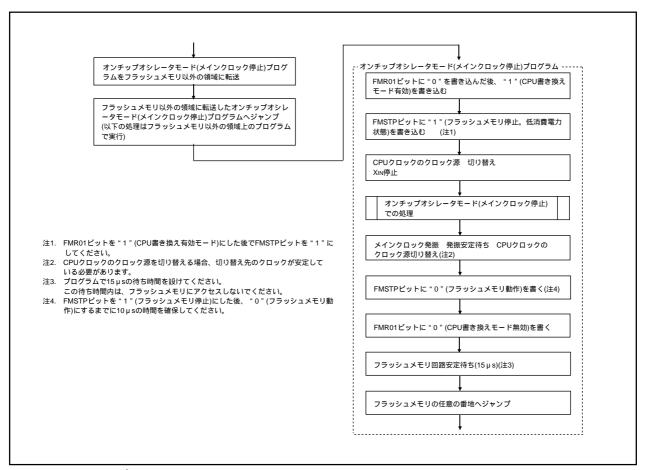


図17.7 オンチップオシレータモード(メインクロック停止)でさらに低消費電力にする処理

### 17.4.3 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。

#### 表17.4 ソフトウェアコマンド一覧表

		第1バスサイクル			第2バスサイクル		
ソフトウェアコマンド	モード	アドレス	データ (D7 ~ D0)	モード	アドレス	データ (D7~D0)	
リードアレイ	ライト	×	FF16				
リードステータスレジスタ	ライト	×	7016	リード	×	SRD	
クリアステータスレジスタ	ライト	×	5016				
プログラム	ライト	WA	4016	ライト	WA	WD	
ブロックイレーズ	ライト	×	2016	ライト	BA	D016	

SRD:ステータスレジスタデータ(D7~D0)。

WA:書き込み番地(第1バスサイクルのアドレスは第2バスサイクルのアドレスと同一番地にしてください)。

WD:書き込みデータ(8ビット)。 BA:ブロックの任意の番地

×:ユーザROM領域内の任意の番地

#### リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで "FF16"を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて 読めます。

### リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで "7016"を書くと、第2バスサイクルでステータスレジスタが読めます(「17.4.4 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の番地を読んでください。 EW1モードでは、このコマンドを実行しないでください。

#### クリアステータスレジスタ

ステータスレジスタを"0"にするコマンドです。

第1バスサイクルで "5016"を書くと、FMR0レジスタのFMR06~FMR07ビットとステータスレジスタのSR4~SR5が "0"になります。

#### プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで "4016"を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は"0"、終了後は"1"になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます (「17.4.5. フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが"0"(書き換え禁止)のときは、ブロック0、およびブロック1に対するプログラムコマンドは受け付けられません。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動書き込み開始とともに"0"となり、終了とともに"1"に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

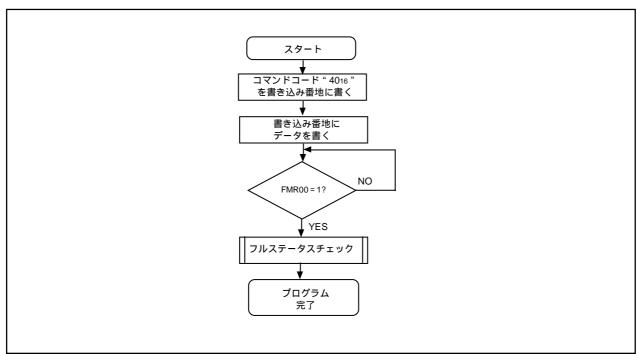


図17.8 プログラムフローチャート

#### ブロックイレーズ

第1バスサイクルで "2016"、第2バスサイクルで "D016"をブロックの任意の番地に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は"0"、終了後は"1"になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「17.4.5.フルステータスチェック」参照)。

また、FMR0レジスタのFMR02ビットが"0"(書き換え禁止)のときは、ブロック0、およびブロック1に対するブロックイレーズコマンドは受け付けられません。

図17.9にイレーズサスペンド機能を使用しない時のブロックイレーズのフローチャート例を、図17.10 にイレーズサスペンド機能を使用する時のブロックイレーズのフローチャート例を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに"0"となり、終了とともに"1"に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

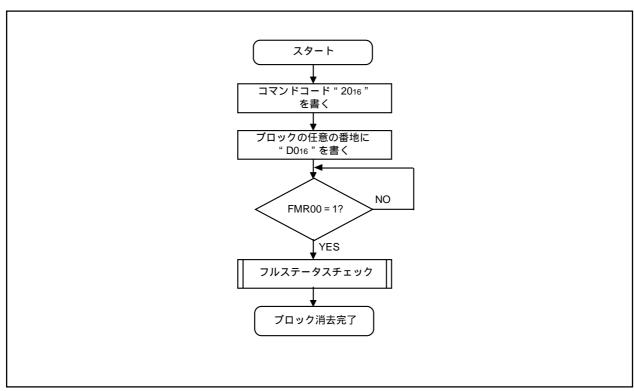


図17.9 ブロックイレーズフローチャート(イレーズサスペンド機能不使用時)

R8C/11グループ

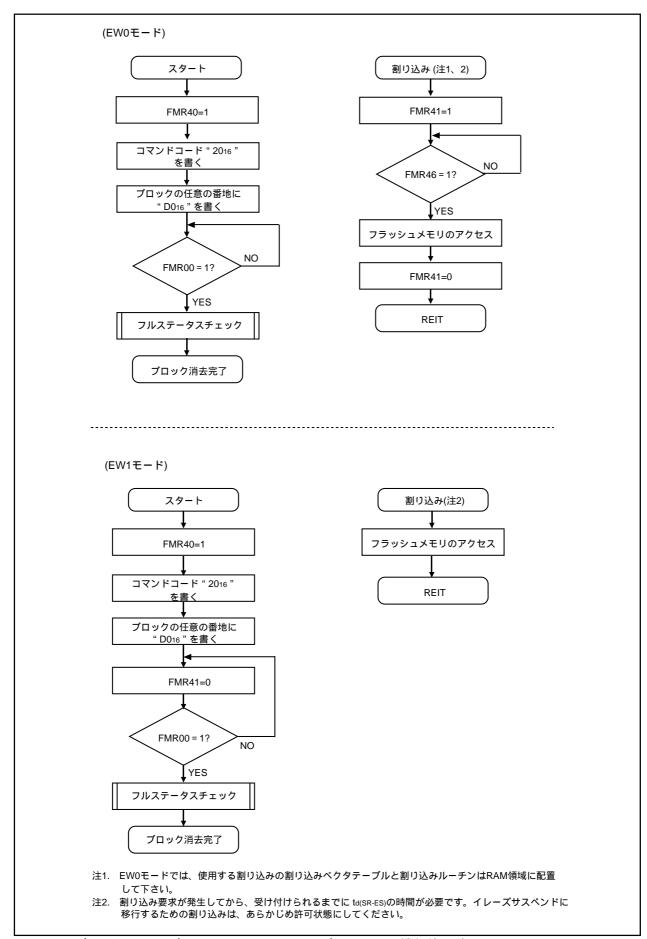


図17.10 ブロックイレーズフローチャート(イレーズサスペンド機能使用時)

## 17.4.4 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06~FMR07ビットで読めます。

表17.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- (1) リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の番地を読んだとき
- (2) プログラムコマンド、またはブロックイレーズコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の番地を読んだとき

### シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。自動書き込み、自動消去中は"0" (ビジー)になり、これらの動作終了とともに"1"(レディ)になります。

#### イレーズステータス(SR5、FMR07ビット)

「17.4.5 フルステータスチェック」を参照してください。

## プログラムステータス(SR4、FMR06ビット)

「17.4.5 フルステータスチェック」を参照してください。

表17.5 ステータスレジスタ

ステータス レジスタの	FMR0 レジスタの	7= 47-52	内容		リセット後
ビット	ビット	ステータス名	" 0 "	" 1 "	の値
SR7 (D <sub>7</sub> )	FMR00	シーケンサステータス	ビジー	レディ	1
SR6 (D <sub>6</sub> )	-	リザーブ	-	-	-
SR5 (D <sub>5</sub> )	FMR07	イレーズステータス	正常終了	エラー終了	0
SR4 (D <sub>4</sub> )	FMR06	プログラムステータス	正常終了	エラー終了	0
SR3 (D <sub>3</sub> )	-	リザーブ	-	-	-
SR2 (D <sub>2</sub> )	-	リザーブ	-	-	-
SR1 (D <sub>1</sub> )	-	リザーブ	-	-	-
SR0 (D₀)	-	リザーブ	-	-	-

Do~Dr:リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5)~FMR06ビット(SR4)は、クリアステータスレジスタコマンドを実行すると"0"になります。

FMR07ビット(SR5)またはFMR06ビット(SR4)が " 1 " の場合、プログラム、ブロックイレーズコマンドは受け付けられません

せん。

## 17.4.5 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06~FMR07ビットが"1"になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表17.6にエラーとFMR0レジスタの状態を、図17.11にフルステータスチェックフローチャートと各エラー 発生時の対処方法を示します。

表17.6 エラーとFMR0レジスタの状態

FMR00レジスタ	7(ステータス				
レジスタ)の状態		エラー	エラー発生条件		
FMR07	FMR06	10	エクー先生示け		
(SR5)	(SR4)				
1	1	コマンド	・コマンドを正しく書かなかったとき		
		シーケンス	・ブロックイレーズコマンドの第2バスサイクルのデータに書		
		エラー	いてもよい値( " D016 " または " FF16 " )以外のデータを書い たとき(注1)		
			・FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15		
			ビットまたはFMR16ビットを用いて書き換え禁止にした状態 でプログラムコマンドまたはブロックイレーズコマンドを実 行したとき		
			・消去コマンド入力時に、フラッシュメモリが配置されていな		
			いアドレスを入力して、消去しようとしたとき ・消去コマンド入力時に、書き換えを禁止しているプロックの 消去を実行しようとしたとき		
			・書き込みコマンド入力時に、フラッシュメモリが配置されて		
			いないアドレスを入力して、書き込みしようとしたとき		
			・書き込みコマンド入力時に、書き換えを禁止しているプロッ		
			クの書き込みを実行しようとしたとき		
1	0	イレーズエラー	・プロックイレーズコマンドを実行し、正しく自動消去されな かったとき		
0	1	プログラムエラー	・プログラムコマンドを実行し、正しく自動書き込みされな		
	,	7177417	かったとき		

注1. これらのコマンドの第2バスサイクルで"FF16"を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

R8C/11グループ

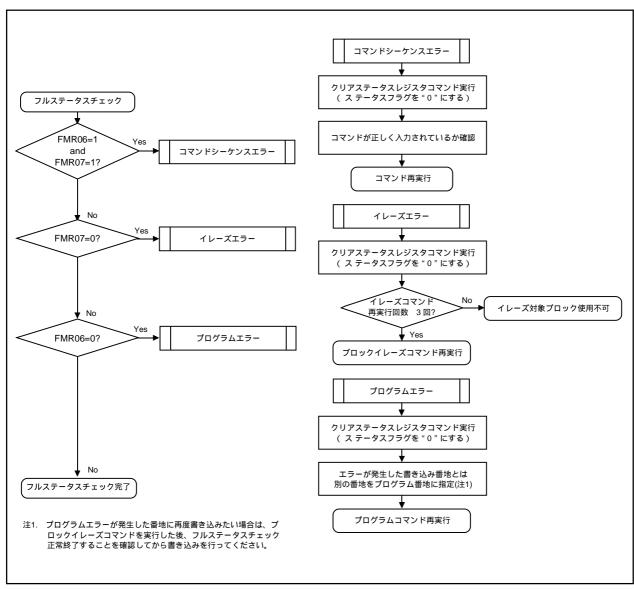


図17.11 フルステータスチェックフロチャート、各エラー発生時の対処方法

### 17.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に 実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードにはクロック同期形シリアルの標準シリアル入出力モード1と、クロック非同期形シリアルの標準シリアル入出力モード2があります。

シリアルライタとの接続例は「付録2.シリアルライタとオンチップデバッギングエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表17.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図17.11に標準シリアル入出力モード時の端子結線図を示します。

### 17.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「17.3 フラッシュメモリ書き換え禁止機能」参照)。

# 表17.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名 称	入出力	機能
Vcc, Vss	電源入力		Vcc端子にはプログラム、イレーズの保証電圧を、VssにはOVを入力してください。
IVcc	IVcc		Vssとの間にコンデンサ(0.1 µ F)を接続してください。
RESET	リセット入力	入力	リセット入力端子です。
P46/XIN	P46入力/ クロック入力	入力	標準シリアル入出力モード2を使用する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。
P47/Xout	P47入力/ クロック出力	入出力	標準シリアル入出力モード1でメインクロックを使用する場合、XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。標準シリアル入出力モード1でメインクロックを使用しない場合、抵抗を介してVCCに接続(ブルアップ)してください。
AVcc, AVss	アナログ電源入力	入力	AVccはVccに、AVssはVssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
P01 ~ P07	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P10 ~ P17	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P30 ~ P33	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P45	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P00	TxD出力	出力	シリアルデータの出力端子です。
MODE	MODE	入出力	標準シリアル入出力モード1:フラッシュライタに接続してください。 標準シリアル入出力モード2: "L"を入力してください
CNVss	CNVss	入出力	標準シリアル入出力モード1:フラッシュライタに接続してください。 標準シリアル入出力モード2: "L"を入力してください。
P37	RxD入力	入力	シリアルデータの入力端子です。

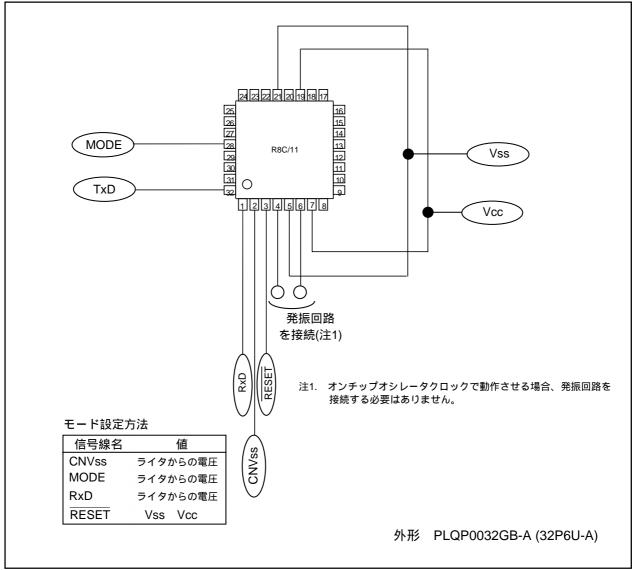
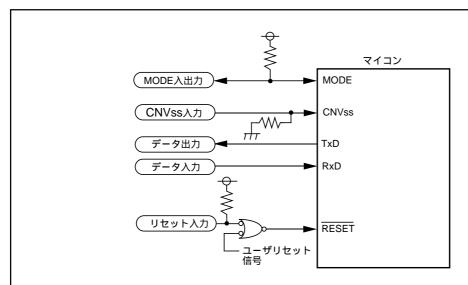


図17.11 標準シリアル入出力モード時の端子結線図

### 標準シリアル入出力モード時の端子処理例

図17.12に標準シリアル入出力モード1を使用する場合の端子処理例、図17.13に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライタによって制御するピンなどが違いますので、詳細はライタのマニュアルを参照してください。



- 注1.ライタによって制御する端子、外付け回路が違います。詳しくは、ライタのマニュアルを参照してください。
- 注2.この例では、ライタを接続することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
- 注3. オンチップオシレータクロックで動作させる場合、発振回路を接続する必要はありません。 「付図2.1 USB Flash Writer (M3A-0665)」を参照してください。

図17.12 標準シリアル入出力モード1を使用する場合の端子処理例

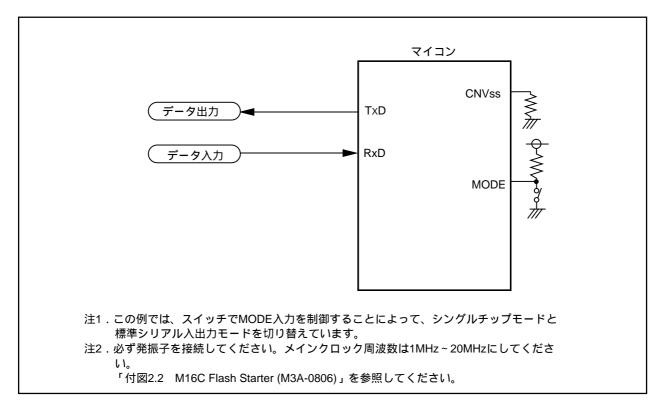


図17.13 標準シリアル入出力モード2時の端子処理例

R8C/11グループ 18. オンチップデバッガ

## 18. オンチップデバッガ

オンチップデバッガ機能を実現するための機能をマイコンに用意しています。

オンチップデバッガとマイコンの接続は「付録2. シリアルライタとオンチップデバッギングエミュレータとの接続例」を参照してください。オンチップデバッガの詳細は各オンチップデバッガのマニュアルを参照してください。

次に各機能を説明します。これらの機能を使用したユーザシステムのデバッグはできません。オンチップデバッガを使用する場合は、予めこれらの機能を除いてシステム設計してください。また、フラッシュメモリの0C00016~0C7FF16番地もオンチップデバッガが使用しますので、ユーザシステムでは使用しないでください。

## 18.1 アドレス一致割り込み

任意の番地の命令を実行する直前に割り込み要求を発生します。デバッガのブレーク機能に使用します。アドレス一致割り込みの詳細は「10.4 アドレス一致割り込み」を参照してください。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMADO、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

### 18.2 シングルステップ割り込み

命令を1つ実行するたびに割り込み要求を発生します。デバッグのシングルステップ機能に使用します。シングルステップ割り込み使用時、他の割り込みは発生しません。シングルステップ割り込みは開発サポートツール専用割り込みです。

#### 18.3 UART1

デバッガ(またはパソコン)との通信に使用します。UART1の詳細は「13. シリアルインタフェース」を参照してください。なお、オンチップデバッガ使用時、ユーザシステムではUART1と、UART1と端子を共用している機能(P00/AN7/P37)を使用しないでください。

## 18.4 BRK命令

BRK割り込み要求を発生します。デバッガのブレーク機能に使用します。BRK命令の詳細は「10.1 割り込みの概要」と「R8C/Tinyシリーズ ソフトウェアマニュアル」を参照してください。なお、オンチップデバッガ使用時、ユーザシステムでBRK命令を使用しないでください。

## 19. 使用上の注意事項

### 19.1 ストップモード、ウェイトモード

### 19.1.1 ストップモード

ストップモードに移行する場合、FMR01ビットを"0"(CPU書き換えモード無効)にした後、CM10ビットを"1"(ストップモード)にしてください。命令キューはCM1レジスタのCM10ビットを"1"(ストップモード)にする命令から4バイト先読みしてプログラムが停止します。

CM10ビットを"1"にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。 ストップモードに移行する場合は、次のプログラムを使用してください。

・ストップモードに移行するプログラム

BCLR 1, FMR0 ; CPU書き換えモード無効

BSET 0, PRCR ; プロテクト解除 BSET 0, CM1 ; ストップモード

JMP.B LABEL 001

LABEL 001:

NOP

NOP

NOP

NOP

## 19.1.2 ウェイトモード

ウェイトモードに移行する場合、FMR01ビットを"0"(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後にはNOP命令を最低4つ入れてください。

また、内部RAM領域へ書き込んだ後、WAIT命令を実行してウェイトモードに移行した場合、ウェイトモードからの復帰時に特定の内部RAM領域が書き換わることがあります。書き換わる領域は、WAIT命令の前に書き込んだ内部RAMの次のアドレスから、最大3バイト分の領域です。

書き換わる値は、WAIT命令の前に書き込んだ値と同じ値です。

この現象が問題になる場合には、次のプログラム例で示すように、内部RAM領域への書き込みとWAIT 命令の間にJMP.B命令を挿入することで、回避してください。

・WAIT命令を実行する例

プログラム例 MOV.B #055h,0601h : 内部RAM領域へ書き込み

...

JMP.B LABEL\_001

LABEL\_001:

FSET I ; 割り込み許可

BCLR 1, FMR0 ; CPU書き換えモード無効

WAIT: ウェイトモード

NOP

NOP NOP

NOP

なお、内部RAM領域への書き込み命令とWAIT命令実行の間に、内部RAM以外の領域へアクセスした場合には、この現象は発生しません。

### 19.2 割り込み

### 19.2.1 0000016番地の読み出し

プログラムで0000016番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を0000016番地から読みます。このとき、受け付けられた割り込みのIRビットが"0"になります。

プログラムで0000016番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが"0"になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

#### 19.2.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは "000016" です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

### 19.2.3 外部割り込み、キー入力割り込み

 $\overline{\text{INT}}_0 \sim \overline{\text{INT}}_3$ 端子、 $\overline{\text{KI}}_0 \sim \overline{\text{KI}}_3$ 端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の " L " レベル幅、または " H " レベル幅が必要です。

## 19.2.4 ウォッチドッグタイマ割り込み

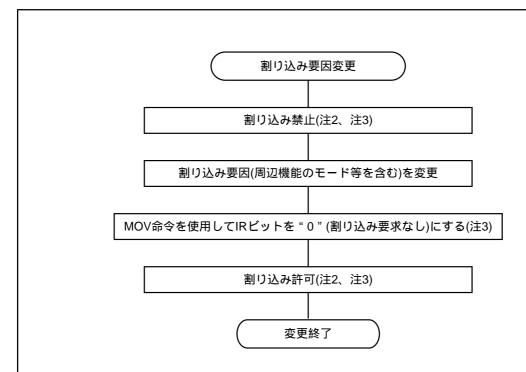
ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

### 19.2.5 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが"1"(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを"0"(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み 要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが 割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを"0"(割り込み 要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図19.1に割り込み要因の変更手順例を示します。



IRビット:要因を変更する割り込みの、割り込み制御レジスタのビット

- 注1. 上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。
- 注2. INTi割り込み(i=0~3)では、Iフラグを使用してください。
  INTi割り込み以外の周辺機能による割り込みでは、割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIフラグを使用してください。マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL0~ILVL2ビットを使用してください。
- 注3. 使用する命令とそれに伴う注意は「19.2.6. 割り込み制御レジスタの変更」を参照してください。

図19.1 割り込み要因の変更手順例

### 19.2.6 割り込み制御レジスタの変更

- (1) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (2) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。 IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが"1"(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令...AND、OR、BCLR、BSET

#### IRビットの変更

IRビットを"0"(割り込み要求なし)にする場合、使用する命令によってはIRビットが"0"にならないことがあります。IRビットはMOV命令を使用して"0"にしてください。

(3) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(2)を参照してください。)

例1~例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが"1"(割り込み許可)になることを防ぐ方法です。

例1: NOP命令で割り込み制御レジスタが変更されるまで待たせる例

INT\_SWITCH1:

FCLR I ; 割り込み禁止

AND.B #00H,0056H ; TXICレジスタを"0016"にする

NOP ;

NOP

FSET I ; 割り込み許可

例2: ダミーリードでFSET命令を待たせる例

INT SWITCH2:

FCLR I ; 割り込み禁止

AND.B #00H,0056H ; TXICレジスタを "0016" にする

MOV.W MEM, R0 ; <u>ダミーリード</u> FSET I ; 割り込み許可

例3: POPC命令でIフラグを変更する例

INT\_SWITCH3:

PUSHC FLG

FCLR I ; 割り込み禁止

AND.B #00H, 0056H ; TXICレジスタを "0016" にする

POPC FLG ;割り込み許可

## 19.3 クロック発生回路

## 19.3.1 発振停止検出機能

メインクロックの周波数が2MHz未満の場合、この機能は使用できませんので、OCD1~OCD0ビットを"002"(発振停止検出機能無効)にしてください。

## 19.3.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカにご相談の上、決定してください。

## 19.4 タイマ

#### 19.4.1 タイマX、タイマY、タイマ Z

- (1) リセット後、タイマはカウントを停止しています。タイマとプリスケーラに値を設定した後、カウントを開始してください。
- (2) プリスケーラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。

#### 19.4.2 タイマX

- (1) TXMOD0~TXMOD1ビットおよびTXMOD2ビットとTXSビットを同時に書き換えないでください。
- (2) パルス周期測定モードで使用するTXMRレジスタのTXEDGビットとTXUNDビットは、プログラムで"0"を書くと"0"になり、"1"を書いても変化しません。プログラムで一方のフラグを"0"にする場合、MOV命令を用いて他方のフラグに"1"を書いてください。(意図しないフラグの変化を防ぐことができます。)

<有効エッジ判定フラグを"0"にするプログラム例> MOV.B #10XXXXXXB,008BH

- (3) 他のモードからパルス周期測定モードに変更したとき、TXEDGビットとTXUNDビットは不定です。TXEDGビットとTXUNDビットに"0"を書いてから、タイマXのカウントを開始してください。
- (4) カウント開始後に初めて発生するプリスケーラXのアンダフロー信号で、TXEDGビットが " 1 " になる場合があります。

パルス周期測定モードを使用する場合は、カウント開始直後にプリスケーラXの2周期以上の時間を空けて、TXEDGビットを"0"にしてから使用してください。

## 19.4.3 タイマY

(1) TYMOD0ビットとTYSビットを同時に書き換えないでください。

### 19.4.4 タイマZ

- (1) TZMOD0~TZMOD1ビットとTZSビットを同時に書き換えないでください。
- (2) プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TYZMRレジスタのTZSビットを"0"にしてカウントを停止したとき、またはTZOCレジスタのTZOSビットを"0"にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。

#### 19.4.5 タイマC

TCレジスタ、TM0レジスタ、およびTM1レジスタは、16ビット単位でアクセスしてください。 TCレジスタは16ビット単位で読み出すことで、下位バイトと上位バイトを読み出す間にタイマ値が 更新されることはありません。

<タイマCを読み出すプログラム例>

MOV.W 0090H,R0 ; タイマCの読み出し

## 19.5 シリアルインタフェース

(1) クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB (i = 0、1)レジスタを読み出すときは、必ず16ビット単位で読み出してください。 UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、"0"になります。

< 受信バッファレジスタを読み出すプログラム例 > MOV.W 00A6H, R0 ; U0RBレジスタの読み出し

(2) 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

<送信バッファレジスタに書き込むプログラム例>

MOV.B #XXH, 00A3H ; U0TBレジスタの上位バイトへの書き込み MOV.B #XXH, 00A2H ; U0TBレジスタの下位バイトへの書き込み



## 19.6 A/Dコンバータ

(1) ADCON0の各ビット(ビット6を除く)、ADCON1レジスタの各ビット、ADCON2レジスタのSMPビットに対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。

特にVCUTビットを"0"(VREF未接続)から"1"(VREF接続)にしたときは、1µs以上経過した後にA/D変換を開始させてください。

- (2) A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モードで使用する場合 A/D変換が完了したことを確認してから、ADレジスタを読み出してください(A/D変換の完了はADIC レジスタのIRビットまたはADCON0レジスタのADSTビットで判定できます)。
- (4) 繰り返しモードで使用する場合 CPUクロックは、メインクロックを分周せずに使用してください。
- (5) A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを"0"(A/D変換停止)にして強制 終了した場合、A/Dコンバータの変換結果は不定となります。プログラムでADSTビットを"0"にし た場合は、ADレジスタの値を使用しないでください。
- (6) AVCC/VREF端子とAVSS端子間に0.1 µ Fのコンデンサを接続してください。

## 19.7 フラッシュメモリ

### 19.7.1 CPU書き換えモード

#### 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16~CM17ビットで、CPUクロックを5MHz以下にしてください。

#### 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。 UND命令、INTO命令、BRK命令

#### アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを"1"にする場合、対象となるビットに"0"を書いた後、続けて"1"を書いてください。なお、"0"を書いた後、"1"を書くまでに割り込みが入らないようにしてください。

#### ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

#### フラッシュメモリの初期化

EW1モードでのイレーズサスペンド中にFMR0レジスタのFMSTPビットを"1"(フラッシュメモリ停止)にすると、CPUが停止し、復帰できなくなるため、FMSTPビットを"1"にしないでください。

#### ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

### 割り込み

表19.1にEW0モード時の割り込み、表19.2にEW1モード時の割り込みを示します。

表19.1 EW0モード時の割り込み

モード	状態	マスカブル割り込み	ウォッチドッグタイマ、発振停止検出、電圧検出
		要求受付時	割り込み要求受付時
EW0	自動消去中	ベクタをRAMに配置す	割り込み要求を受け付けると自動消去または自動書き
		ることで使用できま	込みは強制停止し、フラッシュメモリをリセットしま
		す。	す。一定時間後にフラッシュメモリが再起動した後、
			割り込み処理を開始します。自動消去中のブロックま
			たは自動書き込み中のアドレスは強制停止されるため
	自動書き込み		に、正常値が読み出せなくなる場合がありますので、
			フラッシュメモリが再起動した後、再度自動消去を実
			行し、正常終了することを確認してください。
			ウォッチドッグタイマはコマンド動作中も停止しない
			ため、割り込み要求が発生する可能性があります。定
			期的にウォッチドッグタイマを初期化してください。

- 注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。
- 注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

表19.2 EW1モード時の割り込み

モード	状態	マスカブル割り込み	ウォッチドッグタイマ、発振停止検出、
		要求受付時	電圧検出割り込み要求受付時
EW1	自動消去中(イ	自動消去を中断し、割り込み	割り込み要求を受け付けると自動消去または自
	レーズサスペ	処理を実行します。割り込み	動書き込みは強制停止し、フラッシュメモリを
	ンド機能有効)	処理終了後にFMR4レジスタの	リセットします。一定時間後にフラッシュメモ
		FMR41ビットを " 0 " (イレー	リが再起動した後、割り込み処理を開始します。
		ズリスタート)にすることによ	自動消去中のブロックまたは自動書き込み中の
		り、自動消去を再開すること	アドレスは強制停止されるために、正常値が読
		ができます。	み出せなくなる場合がありますので、フラッシュ
	自動消去中(イ	自動消去が優先され、割り込	メモリが再起動した後、再度自動消去を実行し、
	レーズサスペ	み要求が待たされます。自動	正常終了することを確認してください。
	ンド機能無効)	消去が終了した後、割り込み	ウォッチドッグタイマはコマンド動作中も停止
		処理を実行します。	しないため、割り込み要求が発生する可能性が
	自動書き込み	自動書き込みが優先され、割	あります。イレーズサスペンド機能を使用して、
		り込み要求が待たされます。	定期的にウォッチドッグタイマを初期化してく
		自動書き込みが終了した後、	ださい。
		割り込み処理を実行します。	

- 注1. アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。
- 注2. ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

## 19.8 ノイズに関する注意事項

(1) ノイズおよびラッチアップ対策として、Vcc-Vssライン間へのバイパスコンデンサ挿入 Vcc端子とVss端子間にバイパスコンデンサ(0.1 μ F程度)を最短距離でかつ、比較的太い配線を使って接続してください。

(2) ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を 受けると、IC内部のノイズ対策回路でも対策 しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ 制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御 処理を十分にご検討の上、再設定処理を導入してください。

(3) CNVss端子配線

ノイズ誤動作耐量向上のために、5k 程度の抵抗をできるだけ端子に近い位置に挿入してVssと接続 (プルダウン)してください。

## 20. オンチップデバッガの注意事項

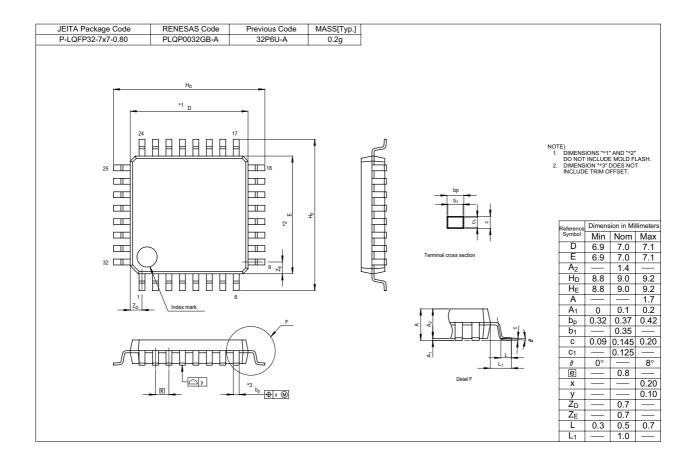
オンチップデバッガを使用してR8C/11グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) P00/AN7/TxD11端子、P37/TxD10/RxD1端子を使用しないでください。
- (2) PD3レジスタ(00E716番地)に書く場合、ビット7を"0"にしてください。
- (3) シリアルI/O1関連レジスタを、アクセスしないでください。
- (4) 0C000 16番地から0C7FF16番地は、オンチップデバッガで使用するため、ユーザはこの領域を使用しないでください。
- (5) アドレス一致割り込み (AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (6) BRK命令をユーザシステムで使用しないでください。
- (7) オンチップデバッガはFMR0レジスタのb5を"1"にして使用しますので、ユーザプログラムでb5を"0" にしないでください。
- (8) ユーザプログラムブレーク時にスタックポインタを最大8バイト分使用します。したがって、スタックエリアには8バイト分の余裕を確保してください。

オンチップデバッガの接続や使用法には、固有の制限事項があります。オンチップデバッガの詳細は各オンチップデバッガのマニュアルを参照してください。

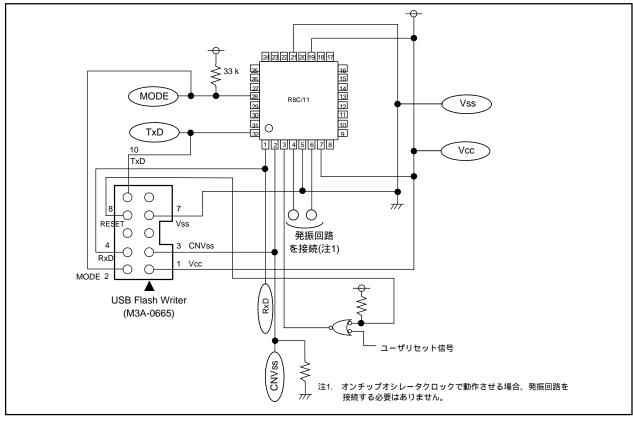
R8C/11グループ 付録1. 外形寸法図

# 付録1. 外形寸法図

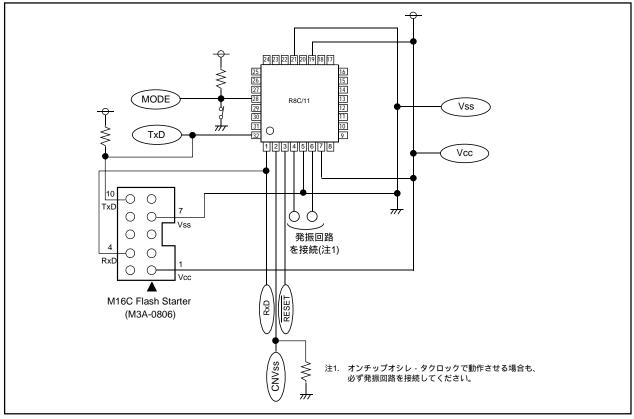


# 付録2. シリアルライタとオンチップデバッギングエミュレータとの接続例

付図2.1にUSB Flash Writerとの接続例、付図2.2にM16C Flash Starterとの接続例を示します。

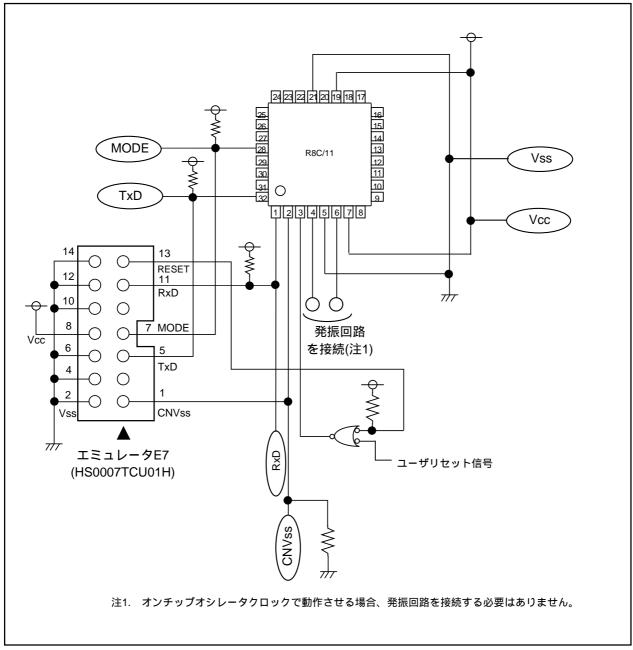


付図2.1 USB Flash Writer (M3A-0665)との接続例



付図2.2 M16C Flash Starter (M3A-0806)との接続例

付図2.3にエミュレータE7との接続例を示します。

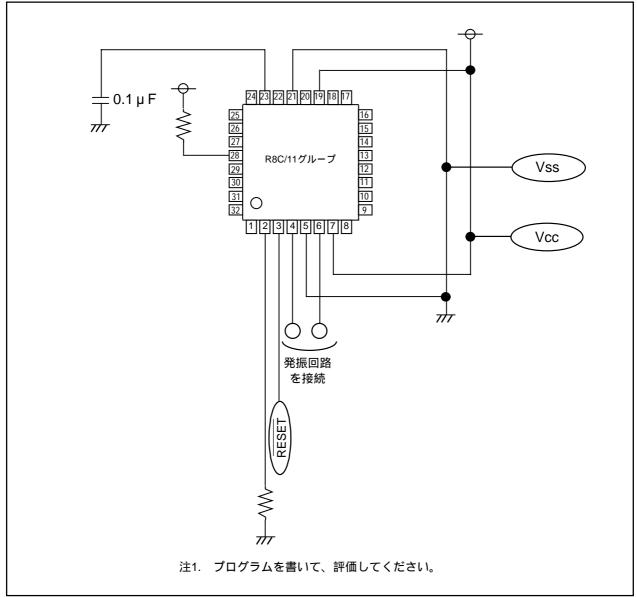


付図2.3 エミュレータE7 (HS0007TCU01H)との接続例

R8C/11グループ 付録3. 発振評価回路例

# 付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

R8C/11グループ SFR レジスタ図索引

# SFR レジスタ図索引

A	Р
AD 127 ADCON0 126 ADCON1 126 ADCON2 127 ADIC 53 AIER 67  C  CM0 31 CM1 31 CMP0IC 53 CMP1IC 53	P0, P1, P3, P4 142 PD0, PD1, PD3, PD4 142 PM0 45 PM1 45 PRCR 44 PREX 72 PREY 81 PREZ 89 PUM 82/90 PUR0 143 PUR1 143 R
D	
DRR 143 D4INT 23	RMAD0 67 RMAD1 67 S
F	SORIC 53
FMR0 170 FMR1 171 FMR4 171	S0TIC 53 S1RIC 53 S1TIC 53
Н	Т
HR0 33 HR1 33 I INTOF 60 INTOIC 53 INT1IC 53 INT2IC 53 INTSIC 53 INTEN 60 K KIEN 65 KUPIC 53 O OCD 32	TC 103 TCC0 103 TCC1 104 TCIC 53 TCSS 82/90 TCOUT 104 TM0 103 TM1 103 TX 72 TXIC 53 TXMR 71 TYIC 53 TYPR 81 TYSC 81 TYZMR 80/88 TYZOC 81/89 TZIC 53 TZPR 89
	TZSC 89

R8C/11グループ SFR レジスタ図索引

#### U

U0BRG 111
U1BRG 111
U0C0 112
U1C0 112
U0C1 113
U1C1 113
U0MR 112
U1MR 112
U0RB 111
U1RB 111
U1RB 111
U1TB 111
UCON 113

#### V

VCR1 22 VCR2 22

#### W

WDC 69 WDTS 69 WDTR 69 R8C/11 グループハードウェアマニュアル

Rev.	発行日		改訂内容
		ページ	ポイント
1.00	2003.06.19	-	初版発行
1.10	2003.07.04	-	構成を一部変更(18章、19章、付録1、付録2を新設)
		1	注釈を削除
		15	図 5.2 修正
		27	表 5.3 注を追記
		38	下から4行目の用語変更(割り込みルーチン 割り込みシーケンス)
		38	19 行目 文章(なお、オンチップオシレータ、、、、)を削除
		39	下から3行目の用語変更(割り込みルーチン 割り込みシーケンス)
		111	図 13.3 UiRB レジスタの注意を追記
		113	図 13.5 UiC1 レジスタの注意を追記
		137	図 15.6 MODE 端子ピンの構成を修正
		174	(1) に追記
		181	付図 2.1 抵抗値を追記
1.20	2003.09.05	2	表 1.1 最短命令実行時間、f(XIN)を変更
		5	図 1.3 端子名変更(TXout CNTRo)
		6	表 1.3 端子名变更(TXout CNTRo)
		10	HR1 レジスタ リセット後の値
		12	TC レジスターリセット後の値
		18	文章を変更、図 5.6 追記
		28	表 6.1 低速オンチップオシレータのクロック周波数を変更
		30	図 6.2 CM0 レジスタの注 2、注 6 を変更
		30	図 6.2 CM1 レジスタの注 4 を一部削除
		31	図 6.3 OCD レジスタの注 4 を変更
		36	表 6.2 オンチップオシレータ低消費電力モードを削除
		37	オンチップオシレータモード 3 行目に追記
		37	オンチップオシレータ低消費電力モードの説明を削除
		39	12 行目 電圧検出割り込み(外部クロック選択時) (外部クロック選択時)を削除
		39	18 行目 文章(また、オンチップオシレータ、、、、、)を削除
		39	下から2行目 、、、、、メインクロックの8分周 ストップモード直前に、、、、
		40	図 6.6 修正
		41	図 6.7 用語変更(オンチップオシレータ低消費電力モード オンチップオシ
			レータモード) 
		70	表 12.1 注 1 を追記、端子名変更(TXOUT CNTRo)
		71	図 12.1、図 12.2 端子名変更 ( TXout CNTR <sub>0</sub> )
		73	表 12.2 端子名変更(TXOUT CNTRo)
		74	表 12.3、図 12.5 端子名変更(TXOUT CNTRo)
		75 70	表 12.4 端子名变更(TXout CNTRo)
		76	表 12.5 端子名変更(TXout CNTRo)

# R8C/11 グループハードウェアマニュアル

Rev.	発行日		改訂内容
		ページ	ポイント
1.20	2003.09.05	78	表 12.6 端子名変更(TXout CNTRo)
		96	図 12.24 PUM レジスタの注 2 に追記
		98	表12.12 PREZレジスタに書き込むと、 PREZレジスタ、TZSCレジスタに書
			き込むと、
		99	図 12.26 PUM レジスタの注 2 に追記
		102	図 12.29 ラッチにリセット追記
		103	図 12.31 タイマC レジスタ リセット後の値
		107	表 12.15 「選択機能」
			比較回路1の一致時の出力レベルを 比較回路0の一致時の出力レベルを
			比較回路2の一致時の出力レベルを 比較回路1の一致時の出力レベルを
		108	図 12.34 CMP00、CMP10 出力を修正
		123	表 14.1 絶対精度の変更
		141	表 16.2 f(XIN)の測定条件と規格値の変更
		142	表 16.3 絶対精度と注 2 の変更
		144	表 16.9 VT+VT- の項目、fRING-S の規格値
		146	表 16.11 VT+VT- の項目、fRING-S の規格値
		154	┃17 行目 ・オンチップオシレータ低消費電力モード ・オンチップオシレータ┃
			モード(メインクロック停止)
		158	図 17.6 用語変更(低消費電力モード オンチップオシレータモード(メインク
			ロック停止) )
		170	「18. オンチップデバッガ」章を追加(以降の章番、ページ数を変更)
		178	オンチップオシレータ低消費電力モードを削除
1.30	2003.10.31	2	表 1.1 消費電流を追記
		6	表 1.3 CNVss 、MODE :抵抗(5k ) (5k )削除
		11	50番地 コンペア 2 コンペア 1、CMP2IC CMP1IC に修正、
			5C 番地 コンペア 1 コンペア 0、CMP1IC CMP0IC に修正
		14	5.1 節 3 行目に「リセット後の CPU クロックには、~選択されます。」追加
		19	5.2 節 4 行目に「リセット後の CPU クロックには、~選択されます。」追加
		19	5.3 節 4 行目に「リセット後の CPU クロックには、~選択されます。」追加
		30	図 6.2 CM0 の注 2「オンチップオシレータクロック」に修正
		53	図 10.3 50 番地を CMP2IC CMP1IC、5C 番地を CMP1IC CMP0IC に修正
		59	コンペア1 コンペア 0、コンペア 2 コンペア 1 に修正
		62	図 10.13 TXMR,bit5 の機能:パルス周期測定に修正
		C4	TYZMR のTYWC ビットの機能を「動作モードにより異なる」に修正
		64	図 10.14 TCC1,bit2 の RW を RO から RW に修正
		81	図 12.13 TYZOC の注 1:TYS ビット TZS ビットに修正 TYPR の注 1:PYSC レジスタ TYSC レジスタに修正
		89	図 12.20 TYZOC の注 1 : PYSC レシスター IYSC レシスタに修正   図 12.20 TYZOC の注 1 : TYS ビット TZS ビットに修正
		09	図 12.20   11200 W/エ 1 , 113 ビッド   123 ビッドに修正

Rev.	発行日		改訂內容
		ページ	ポイント
1.30	2003.10.31	103	図 12.31 TM0、TM1 のアウトプットコンペアモードに設定範囲追加
		104	図 12.32 TCC1,bit2 の RO を RW に修正
		131	14.3 節 6 行目以下追記、図 14.6 追加
		138	図 15.7 注 2、注 3 読んだ場合、その内容は"0"です~ 不定です に修正
			図 15.8 注 1、注 2 読んだ場合、その内容は"0"です~ 不定です に修正
		141	表 16.2 注 3、注 4 を削除
		142	表 16.3 tsamp 削除
		144	図 16.1 追加
		146	表 16.10 Vcc=5V 時電源電流値を 4.2V ~ 3.3V ~ に修正、低速オンチップオシ レータ発振=100kHzを=125kHzに修正、高速モードと中速モードにお
			いて、XIN=5MHz 時を削除しXIN=16MHz 時及び XI=10MHz 時を追加、
			高速/中速/高速オンチップオシレータモードのTBDに値記載、低速オ
			ンチップオシレータ/ウェイト/ストップモード時のデータ修正
		147	表 16.11 ~表 16.15 追加
		148	図 16.2 追加
		149	表 16.16 注 1 、、、f(BCLK)=5MHz を 10MHz に修正
		150	表 16.17 低速オンチップオシレータ発振=100kHz を=125kHz に修正、高速モー
			ドと中速モードにおいて、XIN=5MHz 時を削除し XIN=16MHz 時及び
			XI=10MHz 時を追加、高速/中速/高速オンチップオシレータモードの
			TBDに値記載、低速オンチップオシレータ/ウェイト/ストップモード
		454	時のデータ修正
		151	表 16.18 ~ 表 16.22 追加
		152 154	図 16.3 追加 17.2 節 8 行目以下追記
		161	17.2 即   01]日以下追記   図 17.3-2   FMR1,bit6 :「書く場合 " 0 " を書いてください」追記、RO を - に修正
		101	因 17.3-2 「WINT, DITO. 音 (場合 0 を音いて (たらい) 但記、NOを - に修正
1.40	2003.12.04	2	表 1.1 割り込みの性能:内部 10 要因 11 要因に修正
		6	表1.3 AVcc, AVssの機能:「AVccはVccに接続してください」追記、CNVssに
			注1追加、VREFの機能に:「VREFはVccに接続してください」追記
		10	注2を削除、以降の注番号を変更
		18	本文3~6行目:文章変更
		24	図 5.5 抵抗とコンデンサの配置修正、図 5.6 グラフ修正、注 1 を追加
		24 32	図 5.12 内部リセット信号および CM10 ビットのタイミング修正   図 6.4 高速オンチップオシレータの周期の計算式を変更
		32 34	図 6.4   高速オンテッフオシレータの周期の計算式を変更   本文下から 2 行目:高速オンチップオシレータの周期の計算式を変更
		39	本文下から211日・同述オンテックオンレーラの周期の計算式を复定   本文7行目:・INT 割り込み、、、 ・INT0~割り込み、、、・INT3割り込み、、、
		51	表 10.2 コンペア 2 コンペア 1、コンペア 1 コンペア 0 に修正
		68	図 11.1 WDTS WDTR レジスタへの書き込みに修正
		76	表 12.5 選択機能の仕様を修正

Rev.	発行日		改訂内容
		ページ	ポイント
1.40	2003.12.04	79	図12.10 タイマX、および、読み出し用バッファの内容を修正、TXEDGビット、
			および、TXIC の IR ビットのタイミング修正、注7追加
		93	本文 1 行目:TYSC レジスタ TZSC レジスタに修正
		101	図 12.28 「サンプリングクロック」を追記
		120	表 13.5 UiC0 に CKPOL ビットを追加
		142	図 16.1 移動
		143	表 16.4 TBD に値記載、バイトプログラム時間の標準値 75 50 に修正、ブロックイレーズ時間の標準値 400 0.4、及び単位 ms s に修正、項目追加(プログラム、イレーズ時間、及び、消去動作から~遷移時間、及び、データ保持時間)、測定条件追加
			図 16.2 追加、以降の図番変更
		144	表 16.6 パワーオンリセットをリセット回路の電気的特性に修正
		4.45	図 16.3 追加
		145 146	表 16.7 全項目を変更及び追加 表 16.10 ウェイトモード時の測定条件に VC27= " 0 " を追加
		147	表 16.13 注 1, 2 の修正
		150	表 16.17 ウェイトモード時の測定条件に VC27= " 0 " を追加
		151	表 16.20 注 1, 2 の修正
		153	表 17.1 項目(データ保持)を削除
		171	本文3行目から6行目まで追記
		172	表 17.7 P46/XIN, P47/XOUT の機能を修正
		174	図 17.12 注 3 追加
			図 17.13 注 2 追加
		179	19.3.2 項 (1)、(4)追記、「19.3.3 タイマY」項を追加、19.3.4 項の(1)追記
		185	(5)以降を追記
2.00	2004.6.11	全ページ	――――――――――――――――――――――――――――――――――――
		9	図 3.1 注 1 を追記
		12	表 4.3 009C16、009D16 番地 XX16 FF16 に修正
			009E16、009F16番地 XX16 FF16に修正
		13	表 4.4 01B316 番地 0100000X2 010000002 に変更
			01B716番地 XX0000012 000000012に変更 注1に追記
		17	「5.1.2 ハードウェアリセット2」 7行目から8行目まで追記 9行目から 11 行目に追記
		18	図 5.6 動作図を変更
		22	図 5.9 D41、D47 のビット名、機能を変更
			注 8 (有効) (デジタルフィルタ無効モード)に変更 注 11 を追記
		23	図 5.10 (ストップモードからの、、、) (デジタルフィルタ有効モード)に修正
		24	図 5.11 (ストップモードからの、、、) (デジタルフィルタ無効モード)に修正

Rev.	発行日		改訂内容
		ページ	ポイント
2.00	2004.6.11	24	図 5.12 内部リセット信号を削除
			(ストップモードからの、、、) (デジタルフィルタ無効モード)に修正
		25	「5.4.1 電圧検出割り込み」
			10 行目 追記 / 修正
		27	「5.4.2 電圧検出割り込みによるストップモードからの復帰」
			5 行目 (電圧検出を、、、)(デジタルフィルタ無効モード)に修正
			7 行目から 8 行目(また、電圧検出割り込みを使用、、、)を削除
			表 5.3 D42 ビット ストップモードの値 1 0 に修正 CM14 ビットを削除
		29	図 6.1 修正
		30	図 6.2 CM0 レジスタ CM06 のビット名 メインクロック CPU クロックに修正
			CM1 レジスタ CM16、17 のビット名 メインクロック CPU クロックに修正
			注7を追記 
		32	図 6.4 HR0 レジスタに注 3、4 を追記
		38	表 6.3 発振停止検出割り込みを追記
		39	「6.4.3 ストップモード」 22 行目から 24 行目まで追記
		50	「 固定ベクタテーブル」 2 行目 フラッシュメモリ版では、を削除
		<b>54</b>	表 10.1 参照先に章、節番号を追記
		51 57	表 10.2 表名一部削除 参照先に章、節番号を追記
		57	「 レジスタ退避」 5 行目から 6 行目を修正 注 1 を追記   図 10.6 注 1 を追記
			図 10.6 注 1 を追記   図 10.7 注 1 に追記
		60	図 10.7 / 注   に追記  「10.2.1   INTO 割り込み」 5 行目に追記
		62	「10.2.3 INT1割り込み、INT2割り込み」
		02	2行目 (のでタイマ X がタイマモードの、、、)を削除
			4 行目 (のでタイマ Y がタイマモードの、、、)を削除
		63	「10.2.4 INT3割り込み」6行目に追記
		64	図 10.14 TCC1 レジスタ CMP0 CMPに修正、CMP1 CMPに修正
		71	「12.1 タイマX」 3 行目 ((クロック源))を削除
		74	表 12.3 ( CNTRo 出力の立ち上がり、、、)を削除
			選択機能の仕様を修正
		75	表 12.4  ( CNTRo 入力のカウントエッジ、、、 ) を削除
			INT1/CNTR0 端子機能の仕様に追記
		76	表 12.5 測定期間終了時 測定期間終了に修正
			INT1/CNTR0 端子機能の仕様に追記
			図 12.7 R0EDG の機能に追記 / 修正
		78	表 12.6 NTT1/CNTR0 端子機能の仕様に追記
			図 12.9 R0EDG の機能に追記 / 修正
		80	「12.2 タイマY」 5 行目 (クロック源)を削除

_
_
_
_
更
記
ットに修正
更
と仕様に変更
に追記/修正
に足記/   多比
修正 注1追記
修正 注1削除
MP に修正
,=,> <u></u>
能の仕様に
1

Rev.	発行日		改訂内容
		ページ	ポイント
2.00	2004.6.11	122	図 13.10 UiBRG のカウントソース UiBRG の出力に修正
			STPS ビット =1(1 ストップビット) 0(1 ストップビット)に修正
		140	表 15.1 端子名 P37 を追記
			ポート P0、 P1、、、の処理内容に追記 / 修正
		141	表 16.2 Vcc の規格値 標準を削除 注3追記
		142	表 16.3 Vref の規格値を修正 注 4 追記
		143	表 16.4 データ保持時間の規格値を修正
			表 16.5 データ保持時間の規格値を修正 Vccmin を追記
		144	表 16.6 表を分割 表 16.7 として追記 / 修正
			図 16.3 修正
		145	表 16.8 リセット解除時の高速オンチップオシレータ発振周波数 規格値を修正
			表 16.9 注 3 BCLK がスタートを CPU クロックの供給がに修正
			表 16.10 VOH 駆動能力 LOW IOL IOHに修正
			VOL 測定条件 IOH IOLに修正
			駆動能力 HIGH IOH IOL に修正
		146	表 16.11 低速オンチップオシレータモードの規格値、単位を修正
		147	表 16.12 規格値 最小を修正
		149	表 16.17 VOH 駆動能力 LOW IOL IOH に修正
			VOL 測定条件 IOH IOLに修正
			駆動能力 HIGH IOH IOL に修正
		150	表 16.18 低速オンチップオシレータモードの規格値、単位を修正
		151	表 16.19 規格値 最小を修正
		4 = =	表 16.23 注 1、注 2 に追記 (最小値の)
		157	「17.4 CPU 書き換えモード」 8 行目 (EW1)モード (EW1 モード)に修正
		158	「17.4.2 EW1 モード」 7行目から 8 行目を修正
		160	図 17.3 FMR0 レジスタ リセット後の値 XX0000012 000000012 に修正
		404	注 6 を追記
		161	図 17.4 FMR4 レジスタ リセット後の値 0100000X2 010000002 に修正
		163	図 17.6 フラッシュメモリ回路安定待ち(10 μ s) (15 μ s)に修正
		169	注3 プログラムで 10 μ s、、、 15 μ s に修正 表 17.6 コマンドシーケンスエラー エラー発生条件に追記
		176	祝 17.6   コマンドシーケンスエンー エンー発生赤件に追記    「19.1 ストップモード、ウェイトモード」1 行目から 19 行目 追記 / 修正
		176	「19.1 ストックモート、ウェイトモート」「11日から「91]日 垣記/修正    「19.3 クロック発生回路」節を追加(以降の節番、ページ数を変更)
		180	19.3 プロック光王回路」即を追加(以降の即留、ベーク数を复史)   「19.4.5 タイマC」 1 行目に追記 / 修正
		184	19.4.5
		186	へいり// こう 1 1 1 日から 1 1 1 日
2.10	2004.8.27	2	表 1.1 動作周囲温度 (オプション) (Dバージョン)に修正
2.10	2007.0.21	_	役 い
		5	図1.3   IVccに注3を追加
		<u> </u>	ATO IVMC/ITO CLUM

Rev.	発行日		改訂内容
		ページ	ポイント
2.10	2004.8.27	6	表1.3 Ⅳ∞に「内部電源を安定化させるための端子です。」、
			「Vccに接続しないでください。」を追記
		21	図5.8 VCR2の注2 「~ <u>電圧</u> 検出回路が動作します。」下線部追記
		95	表12.11 注 2に「INTO割り込み要求は発生します。」追記
		98	表12.12 注 2の3行目追記、注3追加
		109	「13. シリアルI/O」 「13. シリアルインタフェース」に修正
		118	13.1.3 連続受信モード
			「連続受信モードでは、U0TB レジスタにダミーデータを再設定する
			必要がなく、U0RB レジスタを読み出すことで受信許可状態になり
			ます。」
			「連続受信モードでは、U0RBレジスタを読むことでU0C1レジスタ
			のTIビットが " 0 " (U0TBにデータあり)になります。 」に修正
		143	表16.5 「Vcc = AVcc = 5.0V、Topr = 25 」
			「Vcc = AVcc = 2.7V~5.5 V、Topr = -40 ~85 」に修正
		144	表16.7 測定条件0 Topr 85 時のtw(por1) 最小値10sの場合を追加
			測定条件-20 Topr < 0 時のtw(por1) 最小値30sの場合を追加
		145	表16.8 高速オンチップオシレータ発振の温度の測定条件
			「 - 40 ~80 」 「 - 40 ~85 」に修正
		158	17.4.1 EW0モード
			7行目 「(サスペンドリクエスト)」
			「(イレーズサスペンドリクエスト)」、
			8行目 「(自動消去停止)」 「(リード許可)」に修正
			17.4.2 EW1モード
			9行目 「(サスペンドリクエスト)」 「(イレーズサスペンドリクエスト)」に修正
		159	・(イレースリスペンドリクエスド)」に修正 FMR41ビット 3 行目 「(サスペンドリクエスト)」
		159	「(イレーズサスペンドリクエスト)」 「(イレーズサスペンドリクエスト)」に修正
			(イレースタスペンドウノエスト)」に停止し FMR46ビット 「FMR46ビットが"0"」
			「FMR46ビットが"O"(リード禁止)」に修正
			「"1"」「"1"(リード許可)」に修正
		161	図17.3-2 FMR4
		'5'	MR41 機能 「1:サスペンドリクエスト」
			「1:イレーズサスペンドリクエスト」に修正
			FMR46
			ビット名 「イレーズステータス」 「リードステータスフラグ」、
			機能 「0:自動消去動作中、
			1:自動消去停止 (イレーズサスペンドモード) 」
			「0:リード禁止、1:リード許可」に修正
		163	図 17.6 注 4 追加

Rev.	発行日		改訂内容
		ページ	ポイント
2.10	2004.8.27	164	表 17.4 BA 「プロックの最上位番地」 「ブロックの任意の番地」に修正
		166	ブロックイレーズ 1行目 「最上位番地」 「任意の番地」に修正
			図 17.8 「ブロックの最上位番地」 「ブロックの任意の番地」に修正
		167	図 17.9 注 2 追加
		169	表 17.6 コマンドシーケンスエラーのエラー発生条件 4 項目以降を追記
		176	「19.1 ストップモード、ウェイトモード」に 19.1.1 項、19.1.2 項を追加
		184	「19.7.1 CPU 書き換えモード」 項目の並び変え
			「 ウェイトモード」と「 ストップモード」項目削除
			「 フラッシュメモリの初期化」項目追加
		185	割り込み 内容修正、表19.1、表19.2追加
		191	「付録3. 発振評価回路例」追加
2.20	2005.4.27	4	表1.2、図1.2 パッケージ型名を変更 開発中表記をを削除
		5	図1.3 パッケージ型名を変更
		10	表 4.1 000F <sub>16</sub> 番地 000XXXXX2 000111112 に修正
			001916番地 0016 000010002に修正
			001A16番地 0016 (注3)を追記
			001F16番地 010000012を追記
		12	表 4.3 009C16 番地、009D16 番地 0016、0016(注 2)に修正
		14	「5.1.1 ハードウェアリセット1」
			電源が安定している場合、電源投入時
		45	500 μ s 待つ 500 μ s(1/fRING-s × 20)待つに追記
		15 19	図 5.2 一部変更 図 5.6 一部追記
		22	図 5.6 一部追記   図 5.8 電圧検出レジスタ 1、2 リセット後の値を修正 注 2 を一部削除
		29	表 6.1 注 2 を追記
		31	180.1 / 12 を 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2
		01	システムクロック制御レジスタ1 注7を一部変更
		32	図6.3 注4を一部削除
		33	図6.4 高速オンチップオシレータ制御レジスタ0 注1を一部削除 注2を削除
		34	「6.1 メインクロック」に一部追記
		36	「6.3.1 CPU クロック」を一部削除
		37	「6.4.1 通常動作モード」を一部変更
			表 6.2 オンチップオシレータモード 高速、低速オンチップオシレータモード
		38	「 オンチップオシレータモード」 「 高速、低速オンチップオシレータモード」
			一部削除
		39	表6.3 タイマZ割り込み、タイマC割り込みを追記
		41	図6.6 変更
		42	図6.7 削除
			「6.5 発信停止検出機能」6~7行目を削除

Rev.	発行日		改訂內容
		ページ	ポイント
2.20	2005.4.27	42	表6.4 発信停止検出機能有効条件の仕様を一部削除
			「6.5.1 発信停止検出機能の使用方法 」 15 行目から 19 行目 追記 / 修正
		69	図 11.2 ウォッチドッグタイマ制御レジスタ リセット後の値を修正
		78	図 12.9 注 2 を追記
		85	表 12.8 NT2/CNTR1 端子機能の仕様に追記
		93	表 12.10 TZouт 端子機能の仕様に追記
		95	表 12.11 TZout 端子機能の仕様に追記 / 修正
		98	表 12.12 TZout 端子機能の仕様に追記 / 修正
		103	図 12.31 キャプチャ、コンペア 0 レジスタ リセット後の値を追記 / 修正
		114	表 13.1  fi/2(n+1)  fi/(2(n+1))
		119	表 13.4  fj/16(n+1)  fi/(16(n+1))
		120	表 13.6 CLKo(P16)の機能を変更
			転送クロック出力 プログラマブル入出力ポート
		123	「13.2.3 ビットレート」を追記
		132	図 14.6 一部変更
			「14.4 A/D 変換サイクル数」を追記
		133	「14.5 アナログ入力内部等価回路」を追記
		134	「14.6 注入電流バイパス回路」を追記
		143-148	
		149	表 15.24 一部追記 / 修正
			図 15.10 未使用端子の処理例を追記
		151	表 16.3 f(XIN)を削除 注 3 を一部修正 Vcc AVcc
		152	表 16.4 イレーズサスペンドリクエスト間隔を追記
		153	表 16.6、16.7 に追記 / 修正
		154	表 16.9 td(P-R) 規格値、単位を追記 / 変更
			表 16.10 P1o ~ P1r 測定条件、規格値、単位を追記 / 変更
			ヒステリシスに P45 を追加
		156	表 16.16 注 1、注 2 に一部追記
		158	表 16.17 ヒステリシスに P45 を追加
		163	図 17.1 追記 / 変更
		171	図 17.4 サスペンド動作に関するタイミングを追記
		172	図 17.7 図題を変更 前後の処理 さらに低消費電力にする処理
		174	「 プログラム」 18 行目 リードコマンド リードアレイコマンド
		176	図 17.10 注 2 に一部追記
		182	図 17.11 パッケージ型名を変更 「18.1 アドレスー致割り込み」を一部修正
		184	18.1 アトレス一致割り込み」を一部修正  「19.3.2 発振回路定数」を追加
		189 190	19.3.2
		190	13.4.4 ライスと」で一部修正 

Rev.	発行日		改訂内容
		ページ	ポイント
2.20	2005.4.27	192	「19.6 A/D コンバータ 」 (3)単発モードで使用する場合に一部追記
		193	「 ストップモード、ウェイトモードへの移行」を追記
		196	「20 オンチップデバッガの注意事項」を一部修正、(8)を追記
		197	外形寸法図を変更
2.30	2006.2.13	3	図 1.1 ブロック図
			「システムクロック発生」 「システムクロック発生器」へ変更
		6	表 1.3 端子の機能説明
			タイマC: CMP00 ~ CMP03、CMP10 ~ CMP13
			CMP00~CMP02、CMP10~CMP12へ変更
		7	図 2.1 CPU のレジスタ
			「予約領域」 「予約ビット」へ変更
		8	2.8.10 予約領域
			「予約領域」 「予約ビット」へ変更
		12	表 4.3 SFR 一覧 (3)
			・008116 プリスケーラY プリスケーラYレジスタ
			・008216 タイマYセカンダリ タイマYセカンダリレジスタ
			・008316 タイマYプライマリ タイマYプライマリレジスタ
			・008516 プリスケーラ Ζ プリスケーラ Ζ レジスタ
			・008616 タイマZセカンダリ タイマZセカンダリレジスタ
			・008716 タイマZプライマリ タイマZプライマリレジスタ
			・008C16 プリスケーラ X   プリスケーラ X レジスタ
			・008D <sub>16</sub> タイマ X タイマ X レジスタ
			・0090 <sub>16</sub> , 0091 <sub>16</sub> タイマ C タイマ C レジスタ
		15	図 5.2 リセットシーケンス
			(CPU クロック × 72 サイクル ) (CPU クロック × 64 サイクル )
		18	5.1.3 パワーオンリセット機能
			「RESET端子にコンデンサを、、、になるようにご注意ください。」を追記
		29	表 6.1 クロック発生回路の概略仕様 注 2 削除
		32	図 6.3 OCD レジスタ 注 3 一部削除
		37	表 6.2 クロック関連ビットの設定とモード
			CM1 レジスタ: CM13 追 加
		42	6.5.1 発振停止検出機能の使用方法
			「周波数が 2MHz 以下の、、」 「周波数が 2MHz 未満の、、」
		46	9. バス制御
			表 9.1 アクセス領域に対するバスサイクル
			「SFR」「SFR/データフラッシュ」
			「ROM/RAM」 「プログラム ROM/RAM」

Rev.	発行日		改訂内容
		ページ	ポイント
2.30	2006.2.13		表 9.2 アクセス単位とバスの動作
			「SFR 」 「SFR 、データフラッシュ」
			「ROM 、RAM 」 「プログラム ROM、RAM 」
		59	図 10.9 割り込み優先レベル判定回路 注 1 削除
		71	図 12.1 タイマ X ブロック図 「 周辺データバス 」 「 データバス 」
		74	表 12.3 パルス出力モードの仕様 注 1 追記
		88	図 12.18 タイマZブロック図 「周辺データバス」 「データバス」
		102	図 12.30 CMP 波形出力部ブロック図 変更
		107	表 12.14 アウトプットコンペアモードの仕様 注 2 を変更
		108	図 12.34 アウトプットコンペアモード時のタイマ C の動作例 一部変更
		111	図 13.3 U0TB ~ U1TB 、U0RB ~ U1RB 、U0BRG ~ U1BRG レジスタ
			UARTi 送信バッファレジスタ、UARTi 受信バッファレジスタ 変更
			UARTi 転送速度レジスタ 注3 追記
		112	図 13.4 U0MR ~ U1MR、U0C0 ~ U1C0 レジスタ
			UARTi 送受信制御レジスタ 0 注 1 追記
		113	図 13.5 U0C1 ~ U1C1、UCON レジスタ
			UART 送受信制御レジスタ 2 注 2 追記
		120	表 13.5 UART モード時の使用レジスタと設定値
			UiBRG: 「-」 「0 ~ 7」
		125	図 14.1 A/D コンバータのブロック図 「Vref」 「Vcom」
		135	14.7 A/D 変換時のセンサーの出力インピーダンス 追記
		137	図 15.1 プログラマブル入出力ポートの構成(1) 注 1 追記
		138	図 15.2 プログラマブル入出力ポートの構成(2) 注 1 追記
		139	図 15.3 プログラマブル入出力ポートの構成(3) 注 1 追記
		140	図 15.4 プログラマブル入出力ポートの構成(4) 注 1 追記
		141	図 15.5 プログラマブル入出力ポートの構成(5) 注5 追記
		145	表 15.9 ポート P1o/Klo/ANa/CMP0o の設定 レジスタ:P1 を削除
		4.40	出力ポートの設定値を削除
		146	表 15.10 ポート P1₁/Kl₁/ANց/CMP0₁ の設定 レジスタ:P1 を削除
			出力ポートの設定値を削除 ま45.44 ポート P4.4/(A) - / (A) P2.4 の記字 - L ごフタ・P4. を 地域
			表 15.11 ポート P12/Kl2/AN10/CMP02 の設定 レジスタ:P1 を削除
		148	出力ポートの設定値を削除 表 15.17 ポート P3o/CNTRo/CMP1o の設定 レジスタ:P3 を削除
		140	表 15.17 - ホート P30/CNTR0/CMP10 の設定 - レシスタ:P3 を削除 表 15.18 - ポート P31/TZout/CMP11 の設定 - レジスタ:P3 を削除
			表 15.18
		149	表 15.19 ポート P32/INT2/CNTR1/CMP12の設定 レジスラ . P3 を削除 表 15.20 ポート P33/INT3/TCIN の設定 ビット : 「PD3_1」 「PD3_3」
		143	表 15.22 ポート P45/INTo の設定 ビット:「PD3 3」 「PD4 5」
			表 15.23 ポート XIN/P46 と XOUT/P47 の設定 設定値 一部変更
			10.20 3、   八川川 TO C 八〇〇   / 1 T V D D A C D D D D D D D D D D D D D D D D

Rev.	発行日	改訂内容	
		ページ	ポイント
2.30	2006.2.13	153	表 16.4 フラッシュメモリの電気的特性
			注 2 追記
			「Topr」 「周囲温度」
			バ イトプログラム時間、ブロックイレーズ時間の測定条件 削除
		154	表 16.6 リセット回路の電気的特性(ハードウェアリセット 2 使用時)
			注3:「有効電圧以下、、、」 「有効電圧(Vpor1)以下、、、」
		155	表 16.8 高速オンチップオシレータ発振回路の電気的特性
			「高速、、発振の温度依存性」「高速、、発振周波数の温度依存性」
		156	表 16.11 電気的特性 ( 2 )
		400	測定条件 ストップモード : 「Topr = 25 」 追記
		160	表 16.18 電気的特性 (4)
			注 1 削除 測定条件 ストップモード : 「Topr = 25  」 追記
		171	別と赤汗 ストップモード・Topi = 25 ] 追記
		171	注 2 : 「、、上記期間以外は " 1 " に、、」 「、、上記期間以外は " 0 " に、、」
		177	図 17.10 ブロックイレ - ズフローチャート(イレ - ズサスペンド機能使用時)
		.,,	「ブロックの最上位番地に」 「ブロックの任意の番地に」
			注1 一部変更
		180	^_ · · · · · · · · · · · · · · ·
			変更
		182	表 17.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)
			RESET 機能:一部削除
		186	19.1.1 ストップモード
			「ストップモードに移行、、使用してください。」 追記
			「・ストップモードに移行する例」 「・ストップモードに移行する
			プログラム」
			「プログラム例」 削除
		190	19.3.1 発振停止検出機能
			「周波数が 2MHz 以下の、、」 「周波数が 2MHz 未満の、、」
		199	付図 2.2 M16C Flash Starter (M3A-0806)との接続例
			注1 一部変更
			プルアップ追加
		<u> </u>	

R8C/11グループハードウェアマニュアル

発行年月日 2003年 6月19日 Rev. 1.00 2006年 2月13日 Rev. 2.30

発行 株式会社 ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2

© 2006. Renesas Technology Corp., All rights reserved. Printed in Japan.

# R8C/11 グループ ハードウェアマニュアル

