

R32C/142、R32C/145 グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

M16C ファミリ / R32C/100 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R32C/142、R32C/145グループでは以下のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R32C/142、R32C/145 グループ データシート	R01DS0071JJ0110
ユーザズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください	R32C/142、R32C/145 グループ ユーザズマニュアル ハードウェア編	本ユーザズマニュアル
ユーザズマニュアル ソフトウェア編/ ソフトウェアマニュアル	CPU命令セットの説明	R32C/100シリーズ ソフトウェアマニュアル	RJJ09B0272-0100
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクス ホームページに掲載されています	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) レジスタ名、ビット名、端子名

本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。

(例) PM0レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記

2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。

(例) 2進数: 11b
16進数: EFA0h
10進数: 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

*1

シンボル
・・・

アドレス
・・・h番地

リセット後の値
・・・b

ビットシンボル	ビット名	機能	RW
・・・0	・・・ビット	b1 b0 0 0 : ・・・ 0 1 : ・・・ 1 0 : 設定しないでください 1 1 : ・・・	RW
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定		—
— (b3)	予約ビット	“1”にしてください	RW
— (b4)	予約ビット	“0”にしてください 読んだ場合、その値は不定	RW
・・・5	・・・ビット	動作モードによって機能が異なる	WO
・・・6			WO
・・・7	・・・フラグ	0: ・・・ 1: ・・・	RO

*1

- 空白 : 用途に応じて“0”または“1”にしてください
- 0 : “0”にしてください
- 1 : “1”にしてください
- x : 何も配置されていないビットです

*2

- RW : 読むとビットの値が読めます。書くと有効データになります
- RO : 読むとビットの値が読めます。書いた値は無効になります
- WO : 書くと有効データになります。ビットの値は読めません (読んだ場合は不定値が読めます)
- : 何も配置されていないビットです

*3

- ・予約ビット
予約ビットです。指定された値にしてください。RWのビットについては、特に記載のない限り書いた値が読めます

*4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください
- ・設定しないでください
設定した場合の動作は保証されません
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください

4. 略語および略称の説明

略語/略称	フルスペル	説明
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1
1.1	特長	1
1.1.1	用途	1
1.1.2	仕様概要	2
1.2	製品一覧	4
1.3	ブロック図	6
1.4	ピン接続図	8
1.5	端子機能の説明	16
2.	中央演算処理装置(CPU)	19
2.1	基本レジスタ	20
2.1.1	データレジスタ (R2R0, R3R1, R6R4, R7R5)	20
2.1.2	アドレスレジスタ (A0, A1, A2, A3)	20
2.1.3	スタティックベースレジスタ (SB)	20
2.1.4	フレームベースレジスタ (FB)	20
2.1.5	プログラムカウンタ (PC)	20
2.1.6	割り込みベクタテーブルベースレジスタ (INTB)	20
2.1.7	ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	20
2.1.8	フラグレジスタ (FLG)	20
2.2	高速割り込みレジスタ	22
2.2.1	フラグ退避レジスタ (SVF)	22
2.2.2	PC退避レジスタ (SVP)	22
2.2.3	ベクタレジスタ (VCT)	22
2.3	DMAC関連レジスタ	23
2.3.1	DMAモードレジスタ (DMD0, DMD1, DMD2, DMD3)	23
2.3.2	DMAターミナルカウントレジスタ (DCT0, DCT1, DCT2, DCT3)	23
2.3.3	DMAターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3)	23
2.3.4	DMAソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3)	23
2.3.5	DMAソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3)	23
2.3.6	DMAデスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3)	23
2.3.7	DMAデスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3)	23
3.	メモリ	24
4.	SFR	25
5.	リセット	100
5.1	ハードウェアリセット	100
5.2	ソフトウェアリセット	102
5.3	ウォッチドッグタイマリセット	102
5.4	リセットベクタ	103

6.	パワーマネージメント	104
6.1	電圧レギュレータ	104
6.1.1	平滑コンデンサ	105
7.	クロック発生回路	106
7.1	クロック発生回路の種類	106
7.1.1	メインクロック	115
7.1.2	サブクロック (fC)	116
7.1.3	PLLクロック	117
7.1.4	オンチップオシレータクロック	120
7.2	発振停止検出機能	121
7.2.1	発振停止検出機能使用方法	121
7.3	ベースクロック	121
7.4	CPUクロックと周辺バスクロック	122
7.5	周辺機能クロック	122
7.6	クロック出力機能	123
7.7	パワーコントロール	124
7.7.1	通常動作モード	125
7.7.2	ウェイトモード	130
7.7.3	ストップモード	133
7.8	システムクロック保護機能	135
7.9	クロック発生回路使用上の注意	136
7.9.1	サブクロック	136
7.9.2	パワーコントロール	136
8.	バス	137
8.1	バス設定	137
8.2	周辺バスタイミングの設定	138
9.	プロテクト	139
9.1	プロテクトレジスタ (PRCRレジスタ)	139
9.2	プロテクトレジスタ 2 (PRCR2レジスタ)	140
9.3	プロテクトレジスタ 3 (PRCR3レジスタ)	140
9.4	プロテクトレジスタ 4 (PRCR4レジスタ)	141
9.5	プロテクト解除レジスタ (PRRレジスタ)	141
10.	割り込み	142
10.1	割り込みの分類	142
10.2	ソフトウェア割り込み	143
10.3	ハードウェア割り込み	144
10.3.1	特殊割り込み	144
10.3.2	周辺機能割り込み	144
10.4	高速割り込み	144

10.5	割り込みベクタ	145
10.5.1	固定ベクタテーブル	145
10.5.2	可変ベクタテーブル	145
10.6	割り込み要求の受け付け	150
10.6.1	IフラグとIPL	150
10.6.2	割り込み制御レジスタ	151
10.6.3	復帰用割り込み優先レベル設定レジスタ	155
10.6.4	割り込みシーケンス	156
10.6.5	割り込み応答時間	157
10.6.6	割り込み要求受け付け時のIPLの変化	158
10.6.7	レジスタ退避	158
10.7	割り込み処理ルーチンからの復帰	159
10.8	割り込み優先順位	159
10.9	割り込み優先順位判定回路	159
10.10	外部割り込み	162
10.11	NMI	164
10.12	キー入力割り込み	164
10.13	インテリジェントI/O割り込み	165
10.14	割り込み使用上の注意	168
10.14.1	ISPの設定	168
10.14.2	NMI	168
10.14.3	外部割り込み	168
11.	ウォッチドッグタイマ	169
12.	DMAC	173
12.1	転送サイクル	182
12.1.1	転送番地とデータバス幅の影響	182
12.1.2	バスタイミングの影響	183
12.2	DMA転送サイクル数	185
12.3	チャネル優先順位とDMA転送タイミング	186
12.4	DMAコントローラ使用上の注意	187
12.4.1	DMAC関連レジスタの設定	187
12.4.2	DMAC関連レジスタの読み出し	187
13.	DMAC II	188
13.1	DMAC IIの設定	189
13.1.1	RIPL1、RIPL2レジスタ	189
13.1.2	DMAC IIインデックス	190
13.1.3	周辺機能の割り込み制御レジスタ	193
13.1.4	周辺機能の可変ベクタテーブル	193
13.1.5	IIOiEレジスタ(i=0~11)のIRLTビット	193

13.2	DMAC IIの動作	193
13.3	転送対象	194
13.3.1	メモリ間転送	194
13.3.2	即値転送	194
13.3.3	演算転送	194
13.4	転送方式	195
13.4.1	単転送	195
13.4.2	バースト転送	195
13.4.3	複数転送	195
13.5	チェーン転送	196
13.6	転送完了割り込み	196
13.7	実行時間	197
14.	プログラマブル入出力ポート	198
14.1	ポートPiレジスタ (Piレジスタ、i=0~10)	200
15.	タイマ	201
15.1	タイマA	203
15.1.1	タイマモード	209
15.1.2	イベントカウンタモード	211
15.1.3	ワンショットタイマモード	215
15.1.4	パルス幅変調モード	217
15.2	タイマB	220
15.2.1	タイマモード	223
15.2.2	イベントカウンタモード	224
15.2.3	パルス周期測定モード、パルス幅測定モード	227
15.3	タイマ使用上の注意	230
15.3.1	タイマA、タイマB共通	230
15.3.2	タイマA	230
15.3.3	タイマB	232
16.	三相モータ制御用タイマ機能	233
16.1	三相モータ制御用タイマのモード	239
16.2	タイマB2	239
16.3	タイマA4、A1、A2	241
16.4	上下同時通電出力禁止機能と短絡防止タイマ	244
16.5	三相モータ制御用タイマの動作例	245
16.6	三相モータ制御用タイマ機能使用上の注意	248
16.6.1	シャットダウン機能	248
16.6.2	レジスタ設定	248
17.	シリアルインタフェース	249
17.1	クロック同期型シリアルインタフェースモード	263

17.1.1	通信エラー発生時の対処方法	268
17.1.2	CLK極性選択	268
17.1.3	LSBファースト、MSBファースト選択	269
17.1.4	連続受信モード	269
17.1.5	シリアルデータ論理切り替え	270
17.1.6	CTS/RTS機能	270
17.2	クロック非同期型シリアルインタフェースモード(UARTモード)	271
17.2.1	ビットレート	276
17.2.2	通信エラー発生時の対処方法	277
17.2.3	LSBファースト、MSBファースト選択	277
17.2.4	シリアルデータ論理切り替え	278
17.2.5	TXD、RXD入出力極性切り替え	279
17.2.6	CTS/RTS機能	279
17.3	特殊モード1 (I ² Cモード)	280
17.3.1	スタートコンディション、ストップコンディションの検出	285
17.3.2	スタートコンディション、ストップコンディションの生成	285
17.3.3	アービトレーション	286
17.3.4	SCL制御とクロック同期化	286
17.3.5	SDA出力	288
17.3.6	SDA入力	289
17.3.7	アクノリッジ	289
17.3.8	送受信初期化	289
17.4	特殊モード2	290
17.4.1	\overline{SSi} 入力端子機能 (i=0~2)	292
17.4.2	クロック位相設定機能	293
17.5	シリアルインタフェース使用上の注意	295
17.5.1	UiBRGレジスタ (i=0~4)の変更	295
17.5.2	クロック同期モード	295
17.5.3	特殊モード1 (I ² Cモード)	295
17.5.4	通信異常時の対処方法	296
18.	A/Dコンバータ	297
18.1	モードの説明	305
18.1.1	単発モード	305
18.1.2	繰り返しモード	306
18.1.3	単掃引モード	307
18.1.4	繰り返し掃引モード0	308
18.1.5	繰り返し掃引モード1	309
18.1.6	マルチポート単掃引モード	310
18.1.7	マルチポート繰り返し掃引モード0	311
18.2	機能	312

18.2.1	分解能選択機能	312
18.2.2	サンプル&ホールド	312
18.2.3	トリガ選択機能	312
18.2.4	DMAC利用モード	312
18.2.5	拡張アナログ入力端子	313
18.2.6	外部オペアンプ接続モード	313
18.2.7	自己診断/断線検出アシスト機能	314
18.2.8	消費電流低減機能	315
18.2.9	センサの出力インピーダンス	315
18.3	A/Dコンバータ使用上の注意	317
18.3.1	基板設計上の注意点	317
18.3.2	プログラム作成上の注意点	317
19.	D/Aコンバータ	319
20.	CRC演算回路	321
21.	X-Y変換回路	324
21.1	読み出し時のデータ変換	325
21.2	書き込み時のデータ変換	327
22.	インテリジェントI/O	328
22.1	ベースタイマ	339
22.2	時間計測機能	344
22.3	波形生成機能	348
22.3.1	単相波形出力モード	349
22.3.2	反転波形出力モード	351
22.3.3	セット-リセット波形出力(SR波形出力)モード	353
22.3.4	位相シフト波形出力モード	356
22.3.5	デジタルデバウンス回路	359
23.	シリアルバスインタフェース	361
23.1	クロック同期式シリアル通信モードおよび4線式シリアルバスモード	362
23.1.1	送受信クロック	374
23.1.2	送受信シフトレジスタ	376
23.1.3	データ入出力端子とSSiシフトレジスタの関係	378
23.1.4	割り込み要求	379
23.1.5	各通信モードと端子機能	380
23.1.6	クロック同期式シリアル通信モード	381
23.1.7	4線式シリアルバスモード	387
23.2	シリアルバスインタフェース使用上の注意	394
23.2.1	クロック同期式シリアル通信モードおよび4線式シリアルバスモード使用上の注意	394

24. LINモジュール	395
24.1 LINモジュール関連レジスタ	397
24.1.1 共通レジスタ	397
24.1.2 チャンネル専用レジスタ	397
24.1.3 レジスタウィンドウとチャンネル切り替え	398
24.2 動作モード	410
24.2.1 LINリセットモード	411
24.2.2 LIN動作モード	411
24.2.3 LINウェイクアップモード	411
24.3 動作概要	412
24.3.1 ヘッダ送信	412
24.3.2 レスpond送信	413
24.3.3 レスpond受信	414
24.4 ボーレートジェネレータ	415
24.5 データ送信/受信	417
24.5.1 データ送信	417
24.5.2 データ受信	418
24.6 送信/受信データのバッファ処理	419
24.6.1 LINフレームの送信	419
24.6.2 LINフレームの受信	420
24.7 ウェイクアップ送信/受信	421
24.7.1 ウェイクアップ送信	421
24.7.2 ウェイクアップ受信	422
24.8 入力信号“L”検出機能を用いた低消費電力モード制御	423
24.9 ステータス	424
24.10 エラーステータス	425
24.10.1 エラーステータスの種類	425
24.10.2 LINエラー検出の対象時間領域	426
24.11 割り込み	427
25. CANモジュール	428
25.1 CAN SFR	432
25.1.1 CANi制御レジスタ (CiCTLR レジスタ) (i=0~5)	433
25.1.2 CANiクロック選択レジスタ (CiCLKR レジスタ) (i=0~5)	438
25.1.3 CANiビットコンフィグレーションレジスタ (CiBCR レジスタ) (i=0~5)	439
25.1.4 CANiマスクレジスタ k (CiMKRk レジスタ) (i=0~5、k=0~3)	441
25.1.5 CANi FIFO 受信ID比較レジスタ n (CiFIDCR0、CiFIDCR1 レジスタ) (i=0~5、n=0、1)	442
25.1.6 CANiマスク無効レジスタ (CiMKIVLR レジスタ) (i=0~5)	444
25.1.7 CANiメールボックス (CiMBj レジスタ) (i=0~5、j=0~15)	445
25.1.8 CANiメールボックス割り込み許可レジスタ (CiMIER レジスタ) (i=0~5)	449
25.1.9 CANiメッセージ制御レジスタ j (CiMCTLj レジスタ) (i=0~5、j=0~15)	450

25.1.10	CANi受信FIFO制御レジスタ (CiRFCR レジスタ) (i=0~5).....	454
25.1.11	CANi受信FIFOポインタ制御レジスタ (CiRFPCR レジスタ) (i=0~5).....	457
25.1.12	CANi送信FIFO制御レジスタ (CiTFPCR レジスタ) (i=0~5).....	458
25.1.13	CANi送信FIFOポインタ制御レジスタ (CiTFPCR レジスタ) (i=0~5).....	460
25.1.14	CANiステータスレジスタ (CiSTR レジスタ) (i=0~5).....	461
25.1.15	CANiメールボックスサーチモードレジスタ (CiMSMR レジスタ) (i=0~5).....	464
25.1.16	CANiメールボックスサーチステータスレジスタ (CiMSSR レジスタ) (i=0~5).....	465
25.1.17	CANiチャネルサーチサポートレジスタ (CiCSSR レジスタ) (i=0~5).....	467
25.1.18	CANiアクセプタンスフィルタサポートレジスタ (CiAFSR レジスタ) (i=0~5).....	469
25.1.19	CANiエラー割り込み許可レジスタ (CiEIER レジスタ) (i=0~5).....	470
25.1.20	CANiエラー割り込み要因判定レジスタ (CiEIFR レジスタ) (i=0~5).....	472
25.1.21	CANi受信エラーカウンタレジスタ (CiRECR レジスタ) (i=0~5).....	475
25.1.22	CANi送信エラーカウンタレジスタ (CiTECR レジスタ) (i=0~5).....	476
25.1.23	CANiエラーコード格納レジスタ (CiECSR レジスタ) (i=0~5).....	477
25.1.24	CANiタイムスタンプレジスタ (CiTSR レジスタ) (i=0~5).....	479
25.1.25	CANiテスト制御レジスタ (CiTCR レジスタ) (i=0~5).....	480
25.2	動作モード.....	483
25.2.1	CANリセットモード.....	484
25.2.2	CAN Halt モード.....	485
25.2.3	CANスリープモード.....	486
25.2.4	CANオペレーションモード(バスオフ状態以外).....	487
25.2.5	CANオペレーションモード(バスオフ状態).....	488
25.3	CAN通信速度の設定.....	489
25.3.1	CANクロックの設定.....	489
25.3.2	ビットタイミングの設定.....	489
25.3.3	ビットレート.....	490
25.4	メールボックスとマスクレジスタの構成.....	491
25.5	アクセプタンスフィルタ処理とマスク機能.....	493
25.6	受信、送信.....	495
25.6.1	受信.....	496
25.6.2	送信.....	498
25.7	CAN割り込み.....	499
26.	CANゲートウェイモジュール.....	500
26.1	関連レジスタ.....	502
26.1.1	Gatewayモードレジスタ (GMR レジスタ).....	502
26.1.2	Gatewayチャネル制御レジスタ (GCCR レジスタ).....	503
26.1.3	Gatewayチャネルステータスレジスタ (GCSR レジスタ).....	505
26.1.4	GatewayルーティングマップチェックSUM制御レジスタ (GRMCC レジスタ).....	506
26.1.5	Gateway送信FIFOチェック制御レジスタ (GTFCC レジスタ).....	507
26.1.6	GatewaySUM演算・FIFOチェックステータスレジスタ (GSCFC レジスタ).....	508

26.1.7	GatewayルーティングマップSUMレジスタ (GRMSRレジスタ)	508
26.1.8	Gateway送信FIFO読み出し制御レジスタ (GTFRCレジスタ)	509
26.1.9	Gateway送信FIFO読み出しステータスレジスタ (GTFRSレジスタ)	511
26.1.10	Gateway送信FIFO読み出しレジスタk (GFRRkレジスタ) (k=0~3)	512
26.1.11	Gatewayパリティチェック制御レジスタ (GPCCRレジスタ)	514
26.1.12	Gatewayタイムスタンプタイマ制御レジスタ (GTSCRレジスタ)	516
26.1.13	Gatewayタイムスタンプタイマレジスタ (GTSTRレジスタ)	518
26.1.14	Gatewayルーティングマップベースポインタレジスタ (GRMBPレジスタ)	519
26.1.15	Gatewayルーティングマップエントリ数設定レジスタ (GMRECレジスタ)	519
26.1.16	GatewayルーティングマップレジスタmH/L (GRMmH/GRMmL) (m=0~15)	520
26.1.17	Gatewayエコーバック制御レジスタ (GEBCRレジスタ)	523
26.1.18	Gatewayチャンネルi FIFOjクリティカルレベル設定レジスタ (GFijCLレジスタ)	524
26.1.19	Gateway送信FIFOクリアレジスタ (GTFRCRレジスタ)	525
26.1.20	Gatewayチャンネルi FIFOjフィルレベルレジスタ (GFijFLレジスタ)	526
26.1.21	Gatewayチャンネルi送信FIFO割り込み許可レジスタ (GCiIEレジスタ)	527
26.1.22	Gatewayチャンネルi送信FIFOステータスレジスタ (GCiSRレジスタ)	528
26.1.23	Gatewayエラー割り込み許可レジスタ (GIERレジスタ)	530
26.1.24	Gatewayエラーステータスレジスタ (GSRレジスタ)	531
26.1.25	Gatewayルーティングエラーステータスレジスタ (GRESRレジスタ)	532
26.1.26	Gatewayエラー発生エントリ表示レジスタ (GEEIRレジスタ)	532
26.1.27	Gatewayビット検索制御レジスタn (GBSCnレジスタ) (n=0, 1)	533
26.1.28	Gatewayビット検索サポートレジスタn (GBSRnレジスタ) (n=0, 1)	533
26.1.29	Gatewayビット検索ステータスレジスタn (GBSSnレジスタ) (n=0, 1)	534
26.2	動作モード	535
26.3	メッセージハンドラ (ルーティング部)	536
26.3.1	動作概要	536
26.3.2	ルーティングマップ	537
26.3.3	ルーティングマップのSUM値演算	539
26.4	送信FIFO	540
26.4.1	送信FIFOチェック	540
26.4.2	パリティチェック	540
26.4.3	送信FIFO関連の割り込み	541
26.5	割り込み	542
26.6	設定手順例	543
26.6.1	CANゲートウェイモジュールの設定	543
26.6.2	CANモジュールの設定	545
26.7	ビット検索サポート機能	548
26.7.1	ビット検索サポート機能の動作	548
26.7.2	ビット検索サポート機能の使用例	548

27.	入出力端子	549
27.1	ポートPi方向レジスタ (PDiレジスタ、i=0~10).....	550
27.2	出力機能選択レジスタ	551
27.3	入力機能選択レジスタ	568
27.4	プルアップ制御レジスタ 0~3 (PUR0~PUR3レジスタ).....	574
27.5	ポート制御レジスタ (PCRレジスタ).....	576
27.6	未使用端子の処理	577
28.	フラッシュメモリ	579
28.1	概要.....	579
28.2	フラッシュメモリプロテクト	581
28.2.1	ロックビットプロテクト	581
28.2.2	ROMコードプロテクト	581
28.2.3	IDコードプロテクト	582
28.3	CPU書き換えモード.....	583
28.3.1	フラッシュメモリ書き換えバスタイミング設定	590
28.3.2	ソフトウェアコマンド.....	594
28.3.3	モード遷移.....	595
28.3.4	コマンド発行手順.....	596
28.3.5	ステータスチェック	602
28.4	標準シリアル入出力モード.....	603
28.5	パラレル入出力モード.....	606
28.6	フラッシュメモリ書き換えに関する注意	607
28.6.1	電源電圧に関する注意事項	607
28.6.2	ハードウェアリセットに関する注意事項	607
28.6.3	フラッシュメモリプロテクトに関する注意点	607
28.6.4	プログラム作成上の注意点	607
28.6.5	割り込み使用上の注意点	607
28.6.6	書き換え制御プログラムの書き換えに関する注意点	608
28.6.7	プログラム、イレーズ回数とソフトウェアコマンド実行時間	608
28.6.8	その他の注意事項	608
29.	電气的特性	609
30.	使用上の注意事項	633
30.1	基板設計に関する注意.....	633
30.1.1	電源端子	633
30.1.2	電源電圧	633
30.2	レジスタ設定時の注意.....	634
30.2.1	ライトオンリのビットを含むレジスタ	634
30.3	クロック発生回路使用上の注意	636
30.3.1	サブクロック	636

30.3.2	パワーコントロール	636
30.4	割り込み使用上の注意	637
30.4.1	ISPの設定	637
30.4.2	NMI	637
30.4.3	外部割り込み	637
30.5	DMAコントローラ使用上の注意	638
30.5.1	DMAC関連レジスタの設定	638
30.5.2	DMAC関連レジスタの読み出し	638
30.6	タイマ使用上の注意	639
30.6.1	タイマA、タイマB共通	639
30.6.2	タイマA	639
30.6.3	タイマB	641
30.7	三相モータ制御用タイマ機能使用上の注意	642
30.7.1	シャットダウン機能	642
30.7.2	レジスタ設定	642
30.8	シリアルインタフェース使用上の注意	643
30.8.1	UiBRGレジスタ (i=0~4)の変更	643
30.8.2	クロック同期モード	643
30.8.3	特殊モード1 (I ² Cモード)	643
30.8.4	通信異常時の対処方法	644
30.9	A/Dコンバータ使用上の注意	645
30.9.1	基板設計上の注意点	645
30.9.2	プログラム作成上の注意点	645
30.10	シリアルバスインタフェース使用上の注意	647
30.10.1	クロック同期式シリアル通信モードおよび4線式シリアルバスモード使用上の注意	647
30.11	フラッシュメモリ書き換えに関する注意	648
30.11.1	電源電圧に関する注意事項	648
30.11.2	ハードウェアリセットに関する注意事項	648
30.11.3	フラッシュメモリプロテクトに関する注意点	648
30.11.4	プログラム作成上の注意点	648
30.11.5	割り込み使用上の注意点	648
30.11.6	書き換え制御プログラムの書き換えに関する注意点	649
30.11.7	プログラム、イレーズ回数とソフトウェアコマンド実行時間	649
30.11.8	その他の注意事項	649
付録1.外形寸法図		650
索引		651

1. 概要

1.1 特長

M16Cファミリは、高いROM効率、優れたノイズ特性、超低消費電力、実応用での高い処理能力、豊富な内蔵周辺機能などを特長とする32/16ビットCISCマイコンです。同一アーキテクチャで、ピン配置互換、周辺機能上位互換を保持した上位から下位機種までのシリーズ展開により、幅広い応用分野に対応しています。

R32C/100シリーズは、M16Cファミリの最上位の製品です。32ビットCISCアーキテクチャを採用し、4Gバイトのアドレス空間を備えています。また、乗算器や積和演算器、単精度浮動小数点演算器を搭載することで、高い命令効率と処理能力を達成しました。シリアルインタフェース、CRC演算回路、DMAC、A/Dコンバータ、D/Aコンバータ、タイマ、I²C、ウォッチドッグタイマなど豊富な周辺機能を搭載しています。

R32C/142、R32C/145グループはR32C/100シリーズのなかで、車載LANのゲートウェイ向けに特化した製品です。パッケージは100ピンLQFPを採用し、LINモジュールを2チャンネル、CANモジュールを3チャンネル(R32C/142グループ)または6チャンネル(R32C/145グループ)、CAN専用のゲートウェイモジュールを内蔵しています。

1.1.1 用途

自動車、他

1.1.2 仕様概要

表 1.1~表 1.2にR32C/142、R32C/145グループの仕様概要を示します。

表 1.1 仕様概要(1/2)

分類	機能	説明
CPU	中央演算処理装置	R32C/100シリーズCPUコア <ul style="list-style-type: none"> • 基本命令数: 108 • 最小命令実行時間: 15.625 ns ($f(\text{CPU}) = 64 \text{ MHz}$) • 乗算器: 32ビット×32ビット→64ビット • 積和演算命令: 32ビット×32ビット+64ビット→64ビット • FPU: 単精度 (IEEE-754準拠) • パレルシフタ: 32ビット • 動作モード: シングルチップモード
メモリ		フラッシュメモリ: 256K / 512Kバイト RAM: 32Kバイト データフラッシュ: 4Kバイト×2ブロック 品種ごとのメモリサイズについては表 1.3、表 1.4をご参照ください
クロック	クロック発生回路	<ul style="list-style-type: none"> • 4回路 (メインクロック、サブクロック、PLL、オンチップオシレータ) • 発振停止検出: メインクロック発振停止、再発振検出機能 • 周波数分周回路: 2~24分周選択 • 低消費電力機構: ウェイトモード、ストップモード
割り込み		割り込みベクタ数: 261 外部割り込み入力: $\overline{\text{NMI}}$ 、 $\overline{\text{INT}} \times 6$ 、キー入力×4 割り込み優先レベル: 7レベル
ウォッチドッグタイマ		15ビット×1 (プリスケアラ付) リセットスタート機能選択可能
DMA	DMAC	4チャンネル <ul style="list-style-type: none"> • サイクルスチール方式 • 起動要因数: 45 • 転送モード: 2 (単転送、リピート転送)
	DMAC II	<ul style="list-style-type: none"> • すべての周辺機能割り込み要因で起動可能 • 即値転送機能、演算転送機能、チェーン転送機能
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> • 入力専用: 2 • CMOS入出力: 84 • 4端子ごとにプルアップ抵抗設定可能
タイマ	タイマA	16ビットタイマ×5 タイマモード、イベントカウンタモード、ワンショットタイマモード、パルス幅変調(PWM)モード イベントカウンタ二相パルス信号処理(二相エンコーダ入力)×3
	タイマB	16ビットタイマ×6 タイマモード、イベントカウンタモード、パルス周期測定モード、パルス幅測定モード

表 1.2 仕様概要 (2/2)

分類	機能	説明
タイマ	三相モータ制御用 タイマ機能	三相モータ制御用タイマ×1 (タイマA1、A2、A4、B2使用) 短絡防止タイマ内蔵
シリアルインタフェース	UART0~UART4	クロック同期/非同期兼用×5チャンネル •I ² C-bus (UART0~UART2) •特殊モード2 (UART0~UART2)
A/Dコンバータ		分解能10ビット×26チャンネル サンプル&ホールドあり 断線検出、自己診断モード
D/Aコンバータ		分解能8ビット×2回路
CRC演算回路		CRC-CCITT ($X^{16}+X^{12}+X^5+1$)
X-Y変換回路		16ビット×16ビット
インテリジェントI/O		時間計測機能(インプットキャプチャ): 16ビット×16 デジタルデバウンス回路付き 波形生成機能(アウトプットコンペア): 16ビット×16 位相シフト波形出力モード付き
シリアルバスインタフェース		2チャンネル •クロック同期式シリアル通信モード •4線式シリアルバスモード キャラクタ長: 8~16ビット可変
LINモジュール		2チャンネル
CANモジュール		3チャンネル(R32C/142グループ) 6チャンネル(R32C/145グループ) ISO11898-1仕様準拠 16メールボックス
CANゲートウェイモジュール		最大CAN3チャンネル間のルーティング機能(R32C/142グループ) 最大CAN6チャンネル間のルーティング機能(R32C/145グループ) ルーティングマップ最大384エントリ
フラッシュメモリ		プログラム、イレーズ電圧: VCC = 4.2 ~ 5.5 V、VCC0 = 3.0 V ~ VCC プログラム、イレーズ回数: 100回 プログラムセキュリティ: ROMコードプロテクト、IDコードプロテクト デバッグ機能: オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		64 MHz / VCC = 4.2 ~ 5.5 V, VCC0 = 3.0 V ~ VCC
動作周囲温度		-40°C~85°C (Jバージョン) -40°C~105°C (Lバージョン)(注1) -40°C~125°C (Kバージョン)(注1)
消費電流		46 mA (VCC = 5.0 V、VCC0 = 3.3 V、f(CPU) = 64 MHz) 8 μ A (VCC = 5.0 V、VCC0 = 3.3 V、f(XCIN) = 32.768 kHz、ウェイトモード)
パッケージ		100ピンプラスチックモールドLQFP (PLQP0100KB-A)

注1. Lバージョン、Kバージョン製品をご使用になる場合は、弊社営業窓口までお問い合わせください。

1.2 製品一覧

表 1.3にR32C/142グループ、表 1.4にR32C/145グループの製品一覧表、図 1.1に型名とメモリサイズ・パッケージを示します。

表 1.3 R32C/142グループ製品一覧表

2011年8月現在

型名	パッケージ(注1)	ROM容量(注2)	RAM容量	備考
R5F6442FJFB	PLQP0100KB-A	256Kバイト +8Kバイト	32Kバイト	Jバージョン
R5F6442FLFB				Lバージョン(注3)
R5F6442FKFB				Kバージョン(注3)
R5F6442HJFB		512Kバイト +8Kバイト		Jバージョン
R5F6442HLFB				Lバージョン(注3)
R5F6442HKFB				Kバージョン(注3)

注1. 旧パッケージコードは以下のとおりです。

PLQP0100KB-A : 100P6Q-A

注2. ROM容量の「+8Kバイト」はデータフラッシュの容量です。

注3. Lバージョン、Kバージョン製品をご使用になる場合は、弊社営業窓口までお問い合わせください。

表 1.4 R32C/145グループ製品一覧表

2011年8月現在

型名	パッケージ(注1)	ROM容量(注2)	RAM容量	備考
R5F6445FJFB	PLQP0100KB-A	256Kバイト +8Kバイト	32Kバイト	Jバージョン
R5F6445FLFB				Lバージョン(注3)
R5F6445FKFB				Kバージョン(注3)
R5F6445HJFB		512Kバイト +8Kバイト		Jバージョン
R5F6445HLFB				Lバージョン(注3)
R5F6445HKFB				Kバージョン(注3)

注1. 旧パッケージコードは以下のとおりです。

PLQP0100KB-A : 100P6Q-A

注2. ROM容量の「+8Kバイト」はデータフラッシュの容量です。

注3. Lバージョン、Kバージョン製品をご使用になる場合は、弊社営業窓口までお問い合わせください。

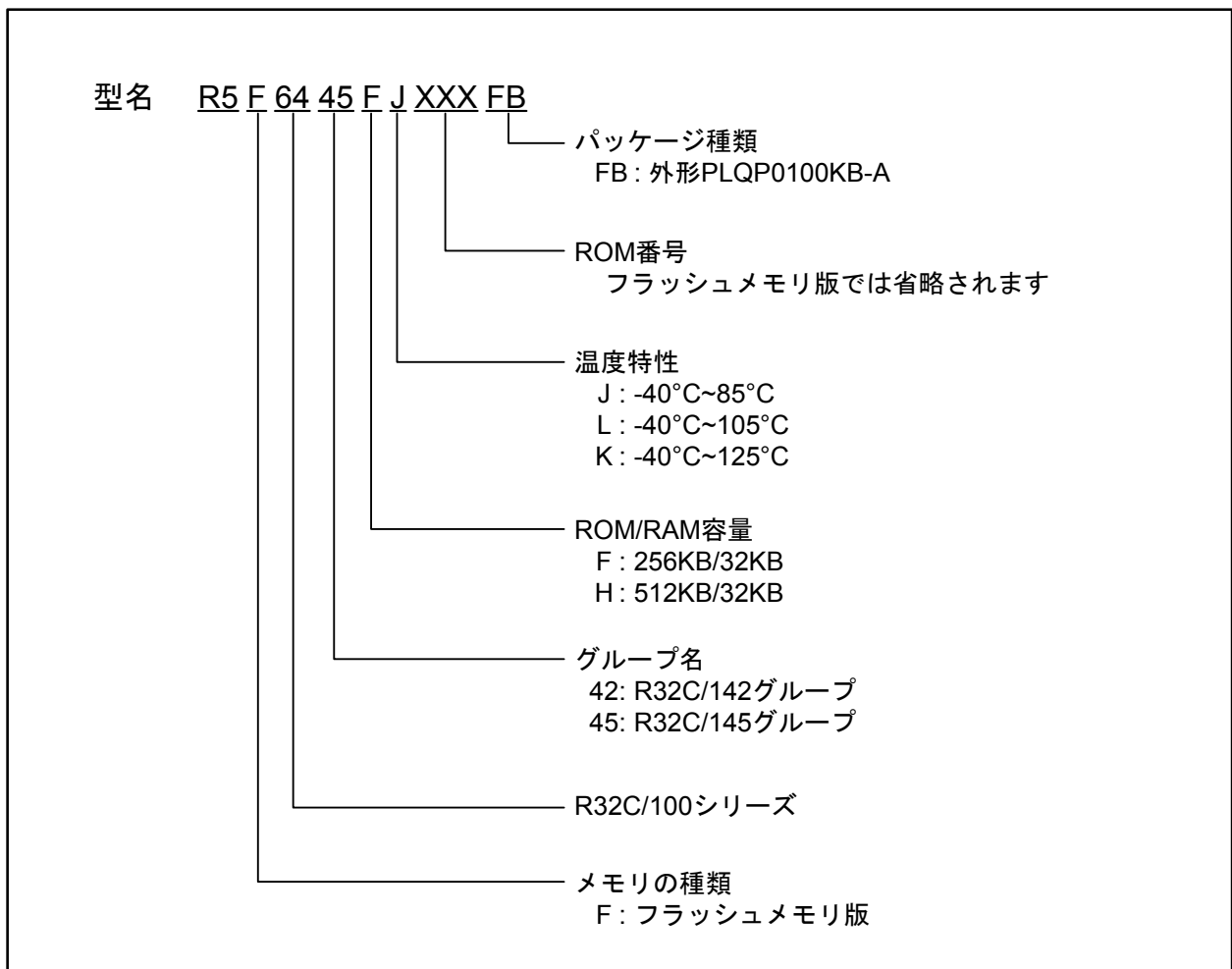


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2にR32C/142グループ、図 1.3にR32C/145グループのブロック図を示します。

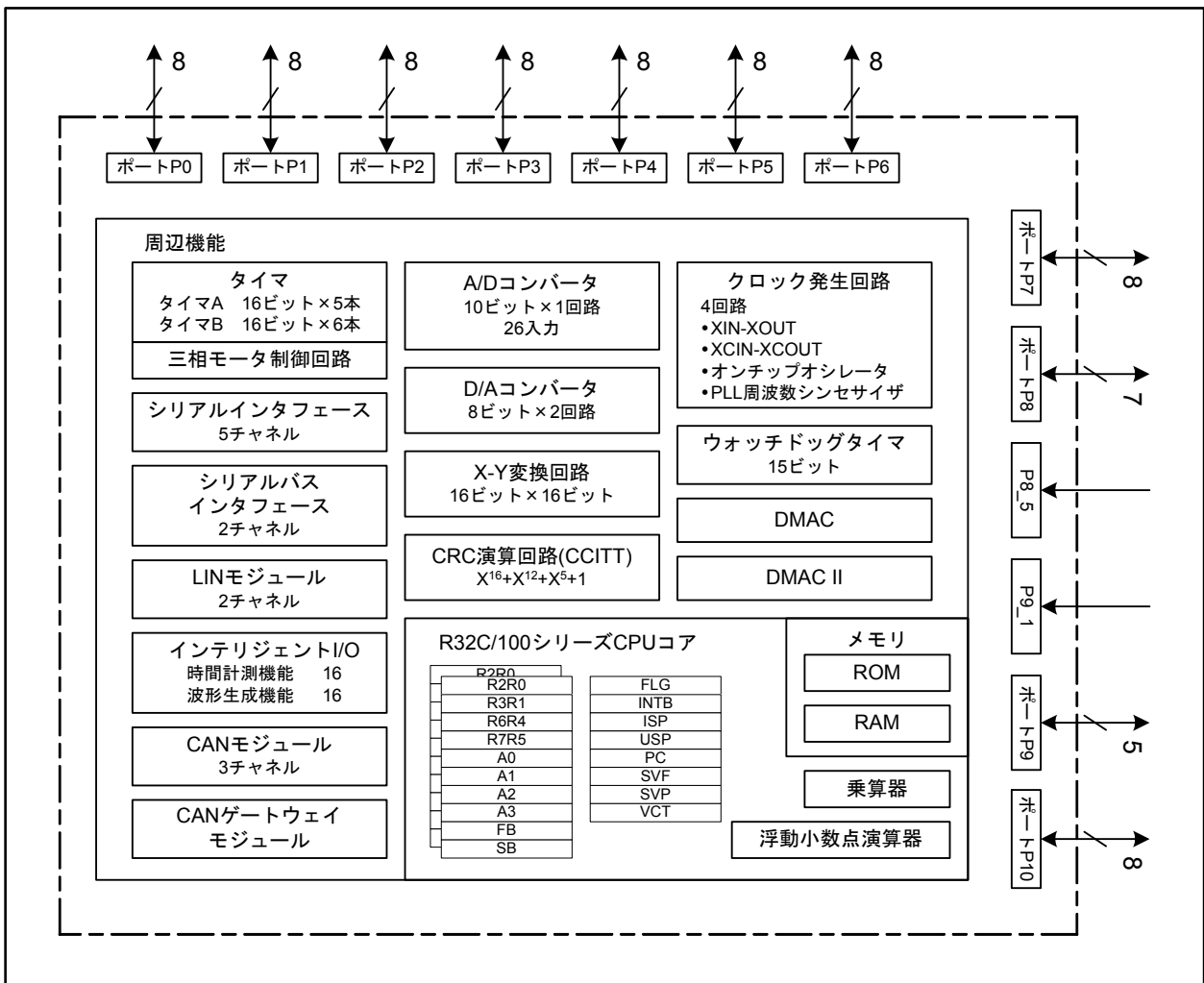


図 1.2 R32C/142グループのブロック図

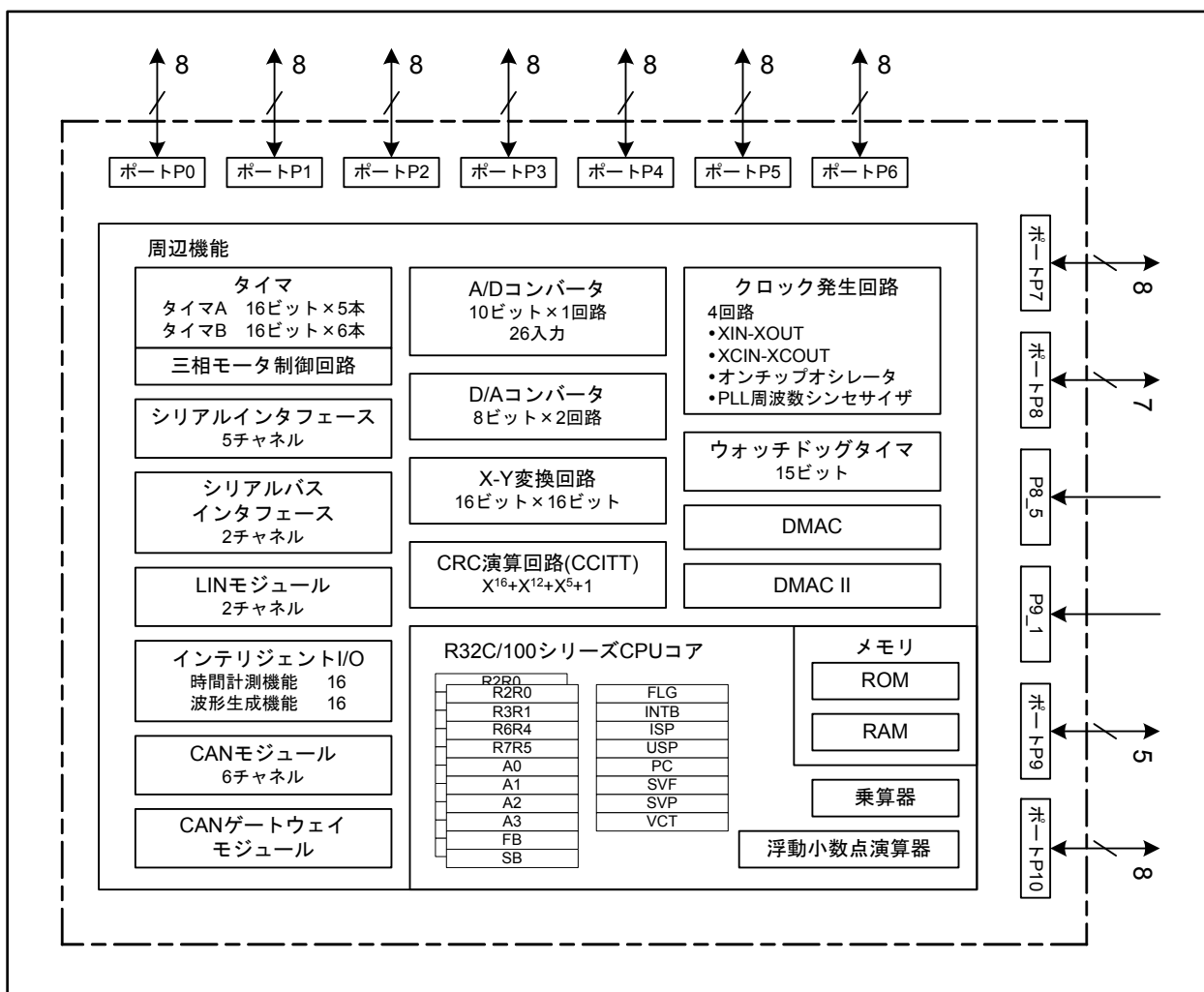


図 1.3 R32C/145グループのブロック図

1.4 ピン接続図

図 1.4にR32C/142グループ、図 1.5にR32C/145グループのピン接続図(上面図)を示します。

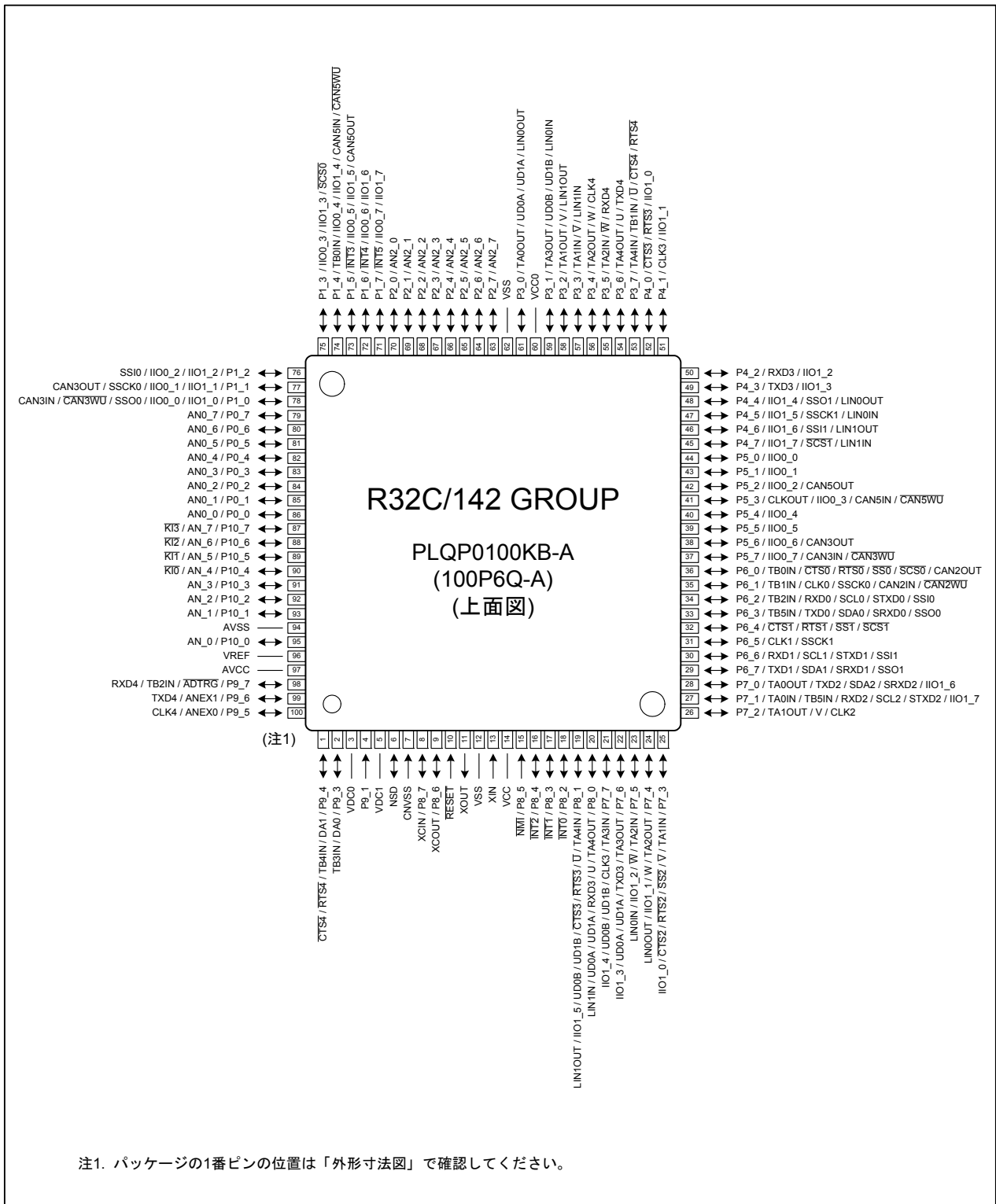


図 1.4 R32C/142グループのピン接続図(上面図)

表 1.5 R32C/142グループ端子名一覧表 (1/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	LIN / CAN 端子	アナログ端子
1		P9_4		TB4IN	CTS4/RTS4			DA1
2		P9_3		TB3IN				DA0
3	VDC0							
4		P9_1						
5	VDC1							
6	NSD							
7	CNVSS							
8	XCIN	P8_7						
9	XCOU	P8_6						
10	RESET							
11	XOUT							
12	VSS							
13	XIN							
14	VCC							
15		P8_5	NMI					
16		P8_4	INT2					
17		P8_3	INT1					
18		P8_2	INT0					
19		P8_1		TA4IN/U	CTS3/RTS3	IIO1_5/UD0B/UD1B	LIN1OUT	
20		P8_0		TA4OUT/U	RXD3	UD0A/UD1A	LIN1IN	
21		P7_7		TA3IN	CLK3	IIO1_4/UD0B/UD1B		
22		P7_6		TA3OUT	TXD3	IIO1_3/UD0A/UD1A		
23		P7_5		TA2IN/W		IIO1_2	LIN0IN	
24		P7_4		TA2OUT/W		IIO1_1	LIN0OUT	
25		P7_3		TA1IN/V	CTS2/RTS2/SS2	IIO1_0		
26		P7_2		TA1OUT/V	CLK2			
27		P7_1		TA0IN/ TB5IN	RXD2/SCL2/STXD2	IIO1_7		
28		P7_0		TA0OUT	TXD2/SDA2/SRXD2	IIO1_6		
29		P6_7			TXD1/SDA1/SRXD1/ SSO1			
30		P6_6			RXD1/SCL1/STXD1/ SSI1			
31		P6_5			CLK1/SSCK1			
32		P6_4			CTS1/RTS1/SS1/ SCS1			
33		P6_3		TB5IN	TXD0/SDA0/SRXD0/ SSO0			
34		P6_2		TB2IN	RXD0/SCL0/STXD0/ SSI0			

表 1.6 R32C/142グループ端子名一覧表 (2/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	LIN / CAN 端子	アナログ端子
35		P6_1		TB1IN	CLK0/SSCK0		CAN2IN/CAN2WU	
36		P6_0		TB0IN	CTS0/RTS0/SS0/SCS0		CAN2OUT	
37		P5_7				IIO0_7	CAN3IN/CAN3WU	
38		P5_6				IIO0_6	CAN3OUT	
39		P5_5				IIO0_5		
40		P5_4				IIO0_4		
41	CLKOUT	P5_3				IIO0_3	CAN5IN/CAN5WU	
42		P5_2				IIO0_2	CAN5OUT	
43		P5_1				IIO0_1		
44		P5_0				IIO0_0		
45		P4_7			SCS1	IIO1_7	LIN1IN	
46		P4_6			SSI1	IIO1_6	LIN1OUT	
47		P4_5			SSCK1	IIO1_5	LIN0IN	
48		P4_4			SSO1	IIO1_4	LIN0OUT	
49		P4_3			TXD3	IIO1_3		
50		P4_2			RXD3	IIO1_2		
51		P4_1			CLK3	IIO1_1		
52		P4_0			CTS3/RTS3	IIO1_0		
53		P3_7		TA4IN/ TB1IN/U	CTS4/RTS4			
54		P3_6		TA4OUT/U	TXD4			
55		P3_5		TA2IN/W	RXD4			
56		P3_4		TA2OUT/W	CLK4			
57		P3_3		TA1IN/V			LIN1IN	
58		P3_2		TA1OUT/V			LIN1OUT	
59		P3_1		TA3OUT		UD0B/UD1B	LIN0IN	
60	VCC0							
61		P3_0		TA0OUT		UD0A/UD1A	LIN0OUT	
62	VSS							
63		P2_7						AN2_7
64		P2_6						AN2_6
65		P2_5						AN2_5
66		P2_4						AN2_4
67		P2_3						AN2_3
68		P2_2						AN2_2
69		P2_1						AN2_1
70		P2_0						AN2_0
71		P1_7	INT5			IIO0_7/IIO1_7		
72		P1_6	INT4			IIO0_6/IIO1_6		
73		P1_5	INT3			IIO0_5/IIO1_5	CAN5OUT	
74		P1_4		TB0IN		IIO0_4/IIO1_4	CAN5IN/CAN5WU	

表 1.7 R32C/142グループ端子名一覧表 (3/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	LIN / CAN 端子	アナログ 端子
75		P1_3			SCS0	IIO0_3/IIO1_3		
76		P1_2			SSI0	IIO0_2/IIO1_2		
77		P1_1			SSCK0	IIO0_1/IIO1_1	CAN3OUT	
78		P1_0			SSO0	IIO0_0/IIO1_0	CAN3IN/CAN3WU	
79		P0_7						AN0_7
80		P0_6						AN0_6
81		P0_5						AN0_5
82		P0_4						AN0_4
83		P0_3						AN0_3
84		P0_2						AN0_2
85		P0_1						AN0_1
86		P0_0						AN0_0
87		P10_7	KI3					AN_7
88		P10_6	KI2					AN_6
89		P10_5	KI1					AN_5
90		P10_4	KI0					AN_4
91		P10_3						AN_3
92		P10_2						AN_2
93		P10_1						AN_1
94	AVSS							
95		P10_0						AN_0
96	VREF							
97	AVCC							
98		P9_7		TB2IN	RXD4			ADTRG
99		P9_6			TXD4			ANEX1
100		P9_5			CLK4			ANEX0

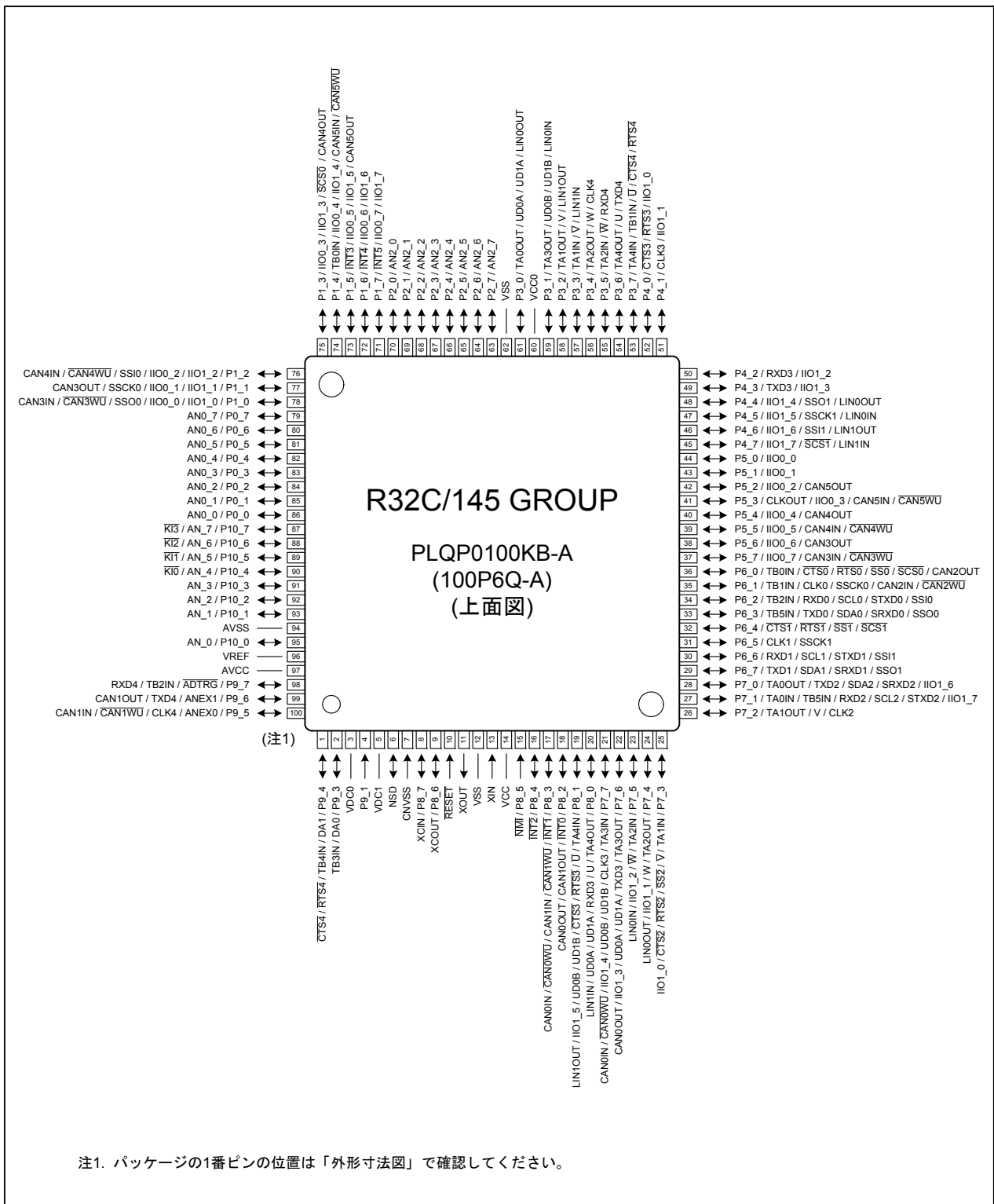


図 1.5 R32C/145グループのピン接続図(上面図)

表 1.8 R32C/145グループ端子名一覧表 (1/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	LIN / CAN 端子	アナログ 端子
1		P9_4		TB4IN	CTS4/RTS4			DA1
2		P9_3		TB3IN				DA0
3	VDC0							
4		P9_1						
5	VDC1							
6	NSD							
7	CNVSS							
8	XCIN	P8_7						
9	XCOU	P8_6						
10	RESET							
11	XOUT							
12	VSS							
13	XIN							
14	VCC							
15		P8_5	NMI					
16		P8_4	INT2					
17		P8_3	INT1				CAN0IN/CAN0WU/ CAN1IN/CAN1WU	
18		P8_2	INT0				CAN0OUT/ CAN1OUT	
19		P8_1		TA4IN/U	CTS3/RTS3	IIO1_5/UD0B/UD1B	LIN1OUT	
20		P8_0		TA4OUT/U	RXD3	UD0A/UD1A	LIN1IN	
21		P7_7		TA3IN	CLK3	IIO1_4/UD0B/UD1B	CAN0IN/CAN0WU	
22		P7_6		TA3OUT	TXD3	IIO1_3/UD0A/UD1A	CAN0OUT	
23		P7_5		TA2IN/W		IIO1_2	LIN0IN	
24		P7_4		TA2OUT/W		IIO1_1	LIN0OUT	
25		P7_3		TA1IN/V	CTS2/RTS2/SS2	IIO1_0		
26		P7_2		TA1OUT/V	CLK2			
27		P7_1		TA0IN/ TB5IN	RXD2/SCL2/STXD2	IIO1_7		
28		P7_0		TA0OUT	TXD2/SDA2/SRXD2	IIO1_6		
29		P6_7			TXD1/SDA1/SRXD1/ SSO1			
30		P6_6			RXD1/SCL1/STXD1/ SSI1			
31		P6_5			CLK1/SSCK1			
32		P6_4			CTS1/RTS1/SS1/ SCS1			
33		P6_3		TB5IN	TXD0/SDA0/SRXD0/ SSO0			
34		P6_2		TB2IN	RXD0/SCL0/STXD0/ SSI0			

表 1.9 R32C/145グループ端子名一覧表 (2/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	LIN / CAN 端子	アナログ端子
35		P6_1		TB1IN	CLK0/SSCK0		CAN2IN/CAN2WU	
36		P6_0		TB0IN	CTS0/RTS0/SS0/SCS0		CAN2OUT	
37		P5_7				IIO0_7	CAN3IN/CAN3WU	
38		P5_6				IIO0_6	CAN3OUT	
39		P5_5				IIO0_5	CAN4IN/CAN4WU	
40		P5_4				IIO0_4	CAN4OUT	
41	CLKOUT	P5_3				IIO0_3	CAN5IN/CAN5WU	
42		P5_2				IIO0_2	CAN5OUT	
43		P5_1				IIO0_1		
44		P5_0				IIO0_0		
45		P4_7			SCS1	IIO1_7	LIN1IN	
46		P4_6			SSI1	IIO1_6	LIN1OUT	
47		P4_5			SSCK1	IIO1_5	LIN0IN	
48		P4_4			SSO1	IIO1_4	LIN0OUT	
49		P4_3			TXD3	IIO1_3		
50		P4_2			RXD3	IIO1_2		
51		P4_1			CLK3	IIO1_1		
52		P4_0			CTS3/RTS3	IIO1_0		
53		P3_7		TA4IN/ TB1IN/U	CTS4/RTS4			
54		P3_6		TA4OUT/U	TXD4			
55		P3_5		TA2IN/W	RXD4			
56		P3_4		TA2OUT/W	CLK4			
57		P3_3		TA1IN/V			LIN1IN	
58		P3_2		TA1OUT/V			LIN1OUT	
59		P3_1		TA3OUT		UD0B/UD1B	LIN0IN	
60	VCC0							
61		P3_0		TA0OUT		UD0A/UD1A	LIN0OUT	
62	VSS							
63		P2_7						AN2_7
64		P2_6						AN2_6
65		P2_5						AN2_5
66		P2_4						AN2_4
67		P2_3						AN2_3
68		P2_2						AN2_2
69		P2_1						AN2_1
70		P2_0						AN2_0
71		P1_7	INT5			IIO0_7/IIO1_7		
72		P1_6	INT4			IIO0_6/IIO1_6		
73		P1_5	INT3			IIO0_5/IIO1_5	CAN5OUT	
74		P1_4		TB0IN		IIO0_4/IIO1_4	CAN5IN/CAN5WU	

表 1.10 R32C/145グループ端子名一覧表 (3/3)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART 端子	インテリジェント I/O 端子	LIN / CAN 端子	アナログ 端子
75		P1_3			SCS0	IIO0_3/IIO1_3	CAN4OUT	
76		P1_2			SSI0	IIO0_2/IIO1_2	CAN4IN/CAN4WU	
77		P1_1			SSCK0	IIO0_1/IIO1_1	CAN3OUT	
78		P1_0			SSO0	IIO0_0/IIO1_0	CAN3IN/CAN3WU	
79		P0_7						AN0_7
80		P0_6						AN0_6
81		P0_5						AN0_5
82		P0_4						AN0_4
83		P0_3						AN0_3
84		P0_2						AN0_2
85		P0_1						AN0_1
86		P0_0						AN0_0
87		P10_7	KI3					AN_7
88		P10_6	KI2					AN_6
89		P10_5	KI1					AN_5
90		P10_4	KI0					AN_4
91		P10_3						AN_3
92		P10_2						AN_2
93		P10_1						AN_1
94	AVSS							
95		P10_0						AN_0
96	VREF							
97	AVCC							
98		P9_7		TB2IN	RXD4			ADTRG
99		P9_6			TXD4		CAN1OUT	ANEX1
100		P9_5			CLK4		CAN1IN/CAN1WU	ANEX0

1.5 端子機能の説明

表 1.11 端子機能の説明 (1/3)

分類	端子名	入出力	機能
電源入力	VCC, VCC0, VSS	入力	VCC端子には、4.2~5.5Vを入力してください。VCC0端子には、3.0~5.5Vを入力してください。入力条件はVCC0 ≤ VCCです。VSS端子は、グラウンドに接続してください
平滑コンデンサ接続端子	VDC0, VDC1	—	両端子間に内部ロジック電圧安定用の平滑コンデンサを接続してください
アナログ電源入力	AVCC, AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCCに接続してください。AVSSはVSSに接続してください
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります
CNVSS	CNVSS	入力	抵抗を介してVSSにプルダウンしてください
デバッグポート	NSD	入出力	デバッグとの通信に使用します。1k~4.7kΩの抵抗で、VCCにプルアップしてください
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XCINから入力しXCOUTは開放にしてください
サブクロック出力	XCOUT	出力	
クロック出力	CLKOUT	出力	低速クロック、f8または、f32と同じ周期のクロックを出力します
外部割り込み入力	INT0~INT5	入力	外部割り込みの入力です
NMI入力	P8_5/NMI	入力	NMIの入力です
キー入力割り込み	KI0~KI3	入力	キー入力割り込みの入力です
入出力ポート	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7	入出力	CMOSの入出力ポートです 1端子ごとに入力ポートまたは出力ポートに設定できます また、Pi_0~Pi_3 (i=0~10)の4端子とPi_4~Pi_7の4端子ごと一括でプルアップ抵抗の有無を選択できます。プルアップ抵抗は、入力ポートに設定した端子で有効になります
入力ポート	P9_1	入力	CMOSの入力ポートです。P9_3と一括でプルアップ抵抗の有無を選択できます

表 1.12 端子機能の説明 (2/3)

分類	端子名	入出力	機能
タイマA	TA0OUT~TA4OUT	入出力	タイマA0~A4の入出力です
	TA0IN~TA4IN	入力	タイマA0~A4の入力です
タイマB	TB0IN~TB5IN	入力	タイマB0~B5の入力です
三相モータ制御用 タイマ機能	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	三相モータ制御用タイマの出力です
シリアルインタ フェース	CTS0~CTS4	入力	ハンドシェイク入力です
	RTS0~RTS4	出力	ハンドシェイク出力です
	CLK0~CLK4	入出力	送受信クロック入出力です
	RXD0~RXD4	入力	シリアルデータ入力です
	TXD0~TXD4	出力	シリアルデータ出力です
簡易型I ² Cバス	SDA0~SDA2	入出力	シリアルデータ入出力です
	SCL0~SCL2	入出力	送受信クロック入出力です
シリアルインタ フェース特殊機能	STXD0~STXD2	出力	スレーブモードを選択したときのシリアルデータ出力です
	SRXD0~SRXD2	入力	スレーブモードを選択したときのシリアルデータ入力です
	SS0~SS2	入力	シリアルインタフェース特殊機能の制御用入力です
A/Dコンバータ	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7	入力	A/Dコンバータのアナログ入力です
	ADTRG	入力	A/Dコンバータの外部トリガ入力です
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力兼、外部オペアンプ 接続モードでの出力です
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です
D/Aコンバータ	DA0, DA1	出力	D/Aコンバータの出力です
基準電圧入力	VREF	入力	A/DコンバータとD/Aコンバータの基準電圧入力です
インテリジェント I/O	IIO0_0~IIO0_7	入出力	インテリジェントI/Oグループ0の入出力です。イン プットキャプチャ入力とアウトプットコンペア出力を切 り替えられます
	IIO1_0~IIO1_7	入出力	インテリジェントI/Oグループ1の入出力です。イン プットキャプチャ入力とアウトプットコンペア出力を切 り替えられます
	UD0A, UD0B, UD1A, UD1B	入力	2相エンコーダ用の入力です

表 1.13 端子機能の説明 (3/3)

分類	端子名	入出力	機能
シリアルバスインタフェース	SSO0, SSO1	入出力	シリアルデータ出力です。4線式シリアルバスモードではシリアルデータ入出力になります
	SSI0, SSI1	入出力	シリアルデータ入力です。4線式シリアルバスモードではシリアルデータ入出力になります
	SSCK0, SSCK1	入出力	送受信クロック入出力です
	SCS0, SCS1	入出力	制御用入出力です
LINモジュール	LIN0OUT, LIN1OUT	出力	LIN通信機能の送信データ出力です
	LIN0IN, LIN1IN	入力	LIN通信機能の受信データ入力です
CANモジュール (R32C/142グループ)	CAN2IN, CAN3IN, CAN5IN	入力	CAN通信機能の受信データ入力です
	CAN2OUT, CAN3OUT, CAN5OUT	出力	CAN通信機能の送信データ出力です
	CAN2WU, CAN3WU, CAN5WU	入力	CANウェイクアップ用割り込み入力です
CANモジュール (R32C/145グループ)	CAN0IN~CAN5IN	入力	CAN通信機能の受信データ入力です
	CAN0OUT~CAN5OUT	出力	CAN通信機能の送信データ出力です
	CAN0WU~CAN5WU	入力	CANウェイクアップ用割り込み入力です

2. 中央演算処理装置 (CPU)

図 2.1 に CPU のレジスタを示します。これらのうち、R2R0、R3R1、R6R4、R7R5、A0、A1、A2、A3、SB、FBの10個のレジスタは2バンクあります。

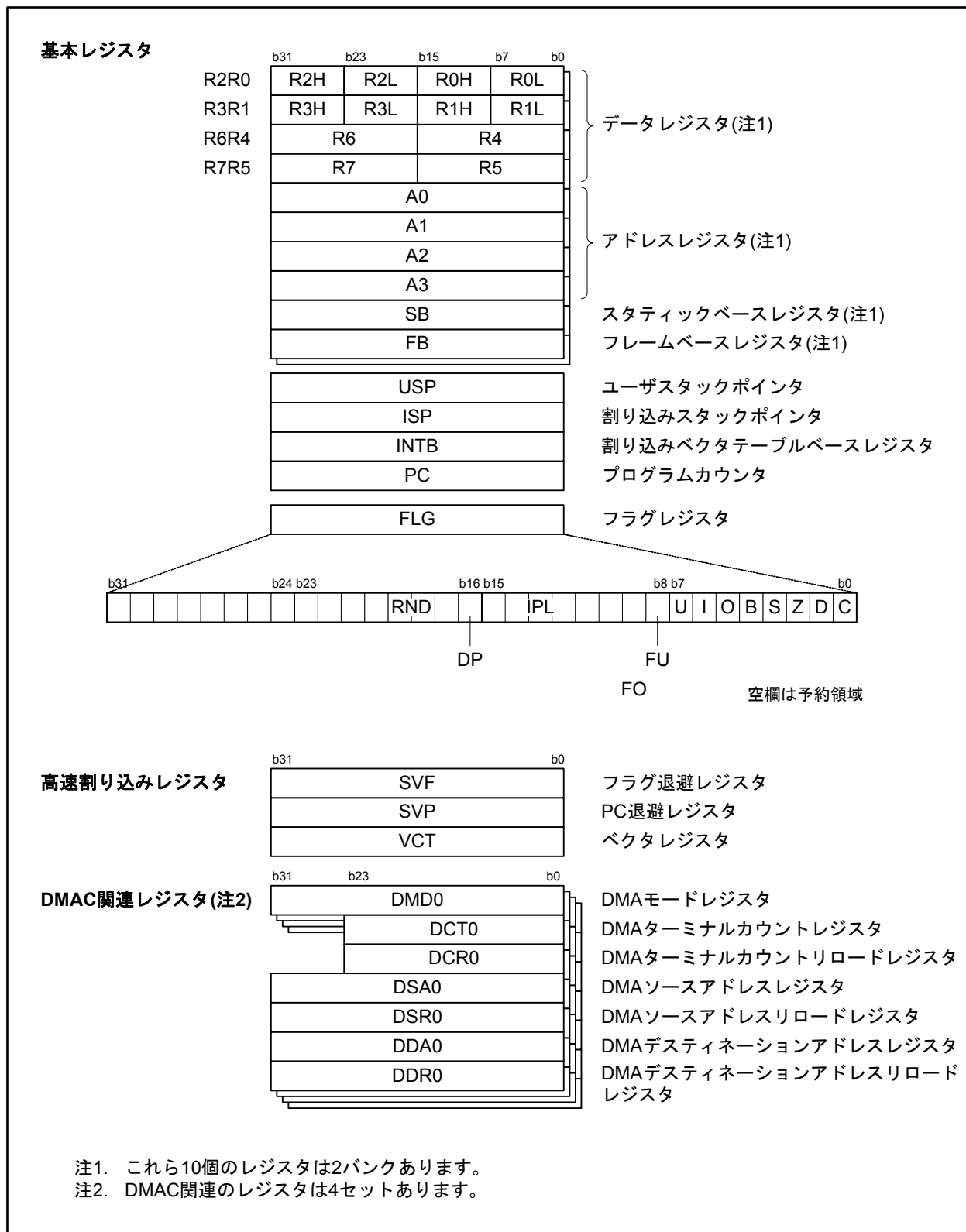


図 2.1 中央演算処理装置のレジスタ構成

2.1 基本レジスタ

2.1.1 データレジスタ (R2R0, R3R1, R6R4, R7R5)

R2R0、R3R1、R6R4、R7R5は32ビットで構成されており、主に転送や算術、論理演算に使用します。R2R0は、上位(R2)と下位(R0)を別々に16ビットのデータレジスタとして使用できます。R3R1、R6R4、R7R5も同様に2つの16ビットレジスタに分割できます。

また、R2R0は、上位(R2H)、中上位(R2L)、中下位(R0H)、下位(R0L)を別々に8ビットのデータレジスタとしても使用できます。R3R1も同様に4つの8ビットレジスタに分割できます。

2.1.2 アドレスレジスタ (A0, A1, A2, A3)

A0、A1、A2、A3は32ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、データレジスタ同様転送や算術、論理演算にも使用できます。

2.1.3 スタティックベースレジスタ (SB)

SBは32ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ (FB)

FBは32ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ (PC)

PCは32ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みベクタテーブルベースレジスタ (INTB)

INTBは32ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類があり、ともに32ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグについては「2.1.8 フラグレジスタ (FLG)」を参照してください。

使用するスタックポインタ (USP/ISP)は、スタックポインタ指定フラグ(Uフラグ)によって切り替えられます。スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

USP、ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なく、割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ (FLG)

FLGは32ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリーフラグ (Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビット等を保持します。

2.1.8.2 デバッグフラグ (Dフラグ)

デバッグ専用です。書くときは“0”を書いてください。

2.1.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

2.1.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ (Bフラグ)

レジスタバンクの選択を行います。Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ (Oフラグ)

演算の結果がオーバフローしたとき“1”になり、それ以外るとき“0”になります。

2.1.8.7 割り込み許可フラグ (Iフラグ)

マスカブル割り込みを許可するフラグです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、Iフラグは“0”になります。

2.1.8.8 スタックポインタ指定フラグ (Uフラグ)

Uフラグが“0”のとき割り込みスタックポインタ (ISP) が指定され、“1”のときユーザスタックポインタ (USP) が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~127のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 浮動小数点アンダフローフラグ (FUフラグ)

浮動小数点演算の結果が、最小の正規化数を下回った場合(アンダフロー)、“1”になり、それ以外るとき“0”になります。

また、オペランドのデータが正規化数でも0でもない(不正入力値)場合にも、“1”になります。

2.1.8.10 浮動小数点オーバフローフラグ (FOフラグ)

浮動小数点演算の結果が、最大の正規化数を上回った場合(オーバフロー)、“1”になり、それ以外るとき“0”になります。

また、オペランドのデータが正規化数でも0でもない(不正入力値)場合にも、“1”になります。

2.1.8.11 プロセッサ割り込み優先レベル (IPL)

IPLは3ビットで構成されており、レベル0からレベル7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの要求レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みが許可されます。

プロセッサ割り込み優先レベル(IPL)をレベル7(111b)に設定した場合、すべての割り込みが禁止されます。

2.1.8.12 固定小数点位置指定ビット(DPビット)

固定小数点の小数点位置を指定するビットです。また、固定小数点乗算の結果から、どの部分を最終演算結果として抜き出すかを指定するビットでもあります。

MULX命令で使用します。

2.1.8.13 浮動小数点丸め演算モード(RND)

浮動小数点丸め演算モード(RND)は2ビットで構成されており、浮動小数点演算の結果を丸める方式を指定します。

2.1.8.14 予約領域

書くときは“0”を書いてください。読んだときその値は不定です。

2.2 高速割り込みレジスタ

高速割り込みレジスタは、割り込みシーケンスを高速に行うための専用レジスタです。

高速割り込みレジスタには以下の3つのレジスタがあります。詳細は、「10.4 高速割り込み」を参照してください。

2.2.1 フラグ退避レジスタ(SVF)

フラグ退避レジスタ(SVF)は32ビットで構成されており、高速割り込み発生時にフラグレジスタを退避させるために使用します。

2.2.2 PC退避レジスタ(SVP)

PC退避レジスタ(SVP)は32ビットで構成されており、高速割り込み発生時プログラムカウンタを退避させるために使用します。

2.2.3 ベクタレジスタ(VCT)

ベクタレジスタ(VCT)は32ビットで構成されており、高速割り込み発生時の分岐先番地を示します。

2.3 DMAC関連レジスタ

DMAC関連レジスタには以下の7種類のレジスタがあります。詳細は、「12. DMAC」を参照してください。

2.3.1 DMAモードレジスタ (DMD0, DMD1, DMD2, DMD3)

DMAモードレジスタ(DMD0, DMD1, DMD2, DMD3)は32ビットで構成されており、DMAの転送モードなどを設定するレジスタです。

2.3.2 DMAターミナルカウントレジスタ (DCT0, DCT1, DCT2, DCT3)

DMAターミナルカウントレジスタ(DCT0, DCT1, DCT2, DCT3)は24ビットで構成されており、DMAの転送回数を設定するレジスタです。

2.3.3 DMAターミナルカウントリロードレジスタ (DCR0, DCR1, DCR2, DCR3)

DMAターミナルカウントリロードレジスタ(DCR0, DCR1, DCR2, DCR3)は24ビットで構成されており、DMAターミナルカウントレジスタのリロード値を設定するレジスタです。

2.3.4 DMAソースアドレスレジスタ (DSA0, DSA1, DSA2, DSA3)

DMAソースアドレスレジスタ(DSA0, DSA1, DSA2, DSA3)は32ビットで構成されており、DMAの転送元のアドレスを設定するレジスタです。

2.3.5 DMAソースアドレスリロードレジスタ (DSR0, DSR1, DSR2, DSR3)

DMAソースアドレスリロードレジスタ(DSR0, DSR1, DSR2, DSR3)は32ビットで構成されており、DMAソースアドレスレジスタへのリロード値を設定するレジスタです。

2.3.6 DMAデスティネーションアドレスレジスタ (DDA0, DDA1, DDA2, DDA3)

DMAデスティネーションアドレスレジスタ(DDA0, DDA1, DDA2, DDA3)は32ビットで構成されており、DMAの転送先のアドレスを設定するレジスタです。

2.3.7 DMAデスティネーションアドレスリロードレジスタ (DDR0, DDR1, DDR2, DDR3)

DMAデスティネーションアドレスリロードレジスタ(DDR0, DDR1, DDR2, DDR3)は32ビットで構成されており、DMAデスティネーションアドレスレジスタへのリロード値を設定するレジスタです。

3. メモリ

R32C/142、R32C/145グループのメモリ配置図を図3.1に示します。

アドレス空間は00000000h番地からFFFFFFFFh番地までの4Gバイトあります。

内部ROMはFFFFFFFFh番地から下位方向に配置されています。たとえば512Kバイトの内部ROMは、FFF80000h番地からFFFFFFFFh番地までに配置されています。

固定割り込みベクタはFFFFFFDCh番地からFFFFFFFFh番地までに配置されています。ここに割り込み処理ルーチンの先頭アドレスを格納します。

内部RAMは00000400h番地から上位方向に配置されています。たとえば32Kバイトの内部RAMは、00000400h番地から000083FFh番地までに配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFR (Special Function Register)は、00000000h番地から00003FFh番地までと、00040000h番地から0004FFFh番地までに配置されています。ここには、周辺装置の制御レジスタが配置されています。SFR領域のうち何も配置されていない番地は、すべて予約領域のため、アクセスしないでください。

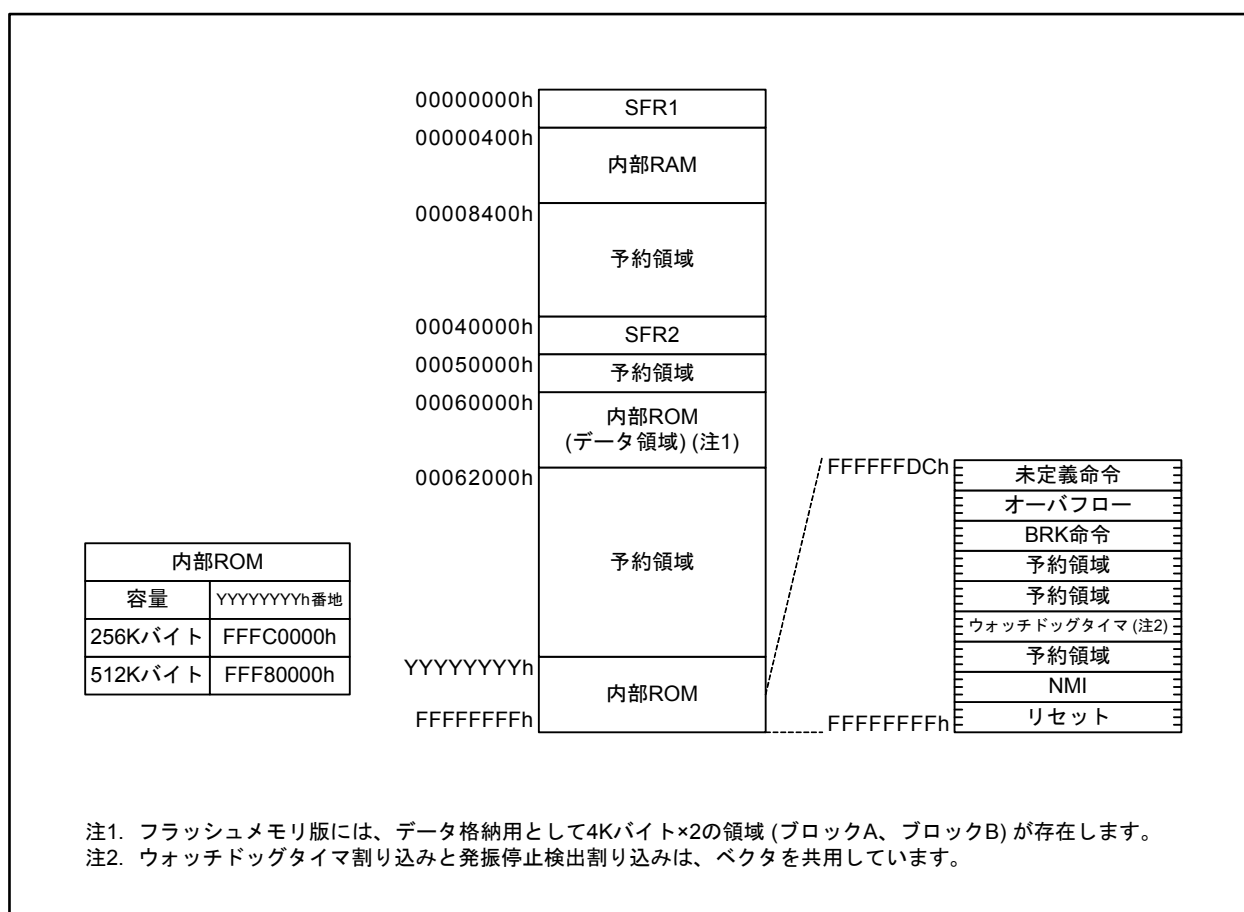


図 3.1 メモリ配置図

4. SFR

SFR (Special Function Register)は、周辺機能の制御をしたり、状態を取得するためのレジスタです。
R32C/142グループには、CAN0、CAN1、CAN4関連のSFRはありません。

表 4.1 SFR一覧(1)~表 4.75 SFR一覧(75)にSFRの一覧を示します。

表 4.1 SFR一覧(1)

番地	レジスタ	シンボル	リセット後の値
000000h			
000001h			
000002h			
000003h			
000004h	クロック制御レジスタ	CCR	0001 1000b
000005h			
000006h	フラッシュメモリ制御レジスタ	FMCR	0000 0001b
000007h	プロテクト解除レジスタ	PRR	00h
000008h			
000009h			
00000Ah			
00000Bh			
00000Ch			
00000Dh			
00000Eh			
00000Fh			
000010h			
000011h			
000012h			
000013h			
000014h			
000015h			
000016h			
000017h			
000018h			
000019h			
00001Ah			
00001Bh			
00001Ch	フラッシュメモリ書き換えバス制御レジスタ	FEBC	0000h
00001Dh			
00001Eh	周辺バス制御レジスタ	PBC	0504h
00001Fh			
000020h~ 00005Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.2 SFR一覧(2)

番地	レジスタ	シンボル	リセット後の値
000060h			
000061h	タイマB5割り込み制御レジスタ	TB5IC	XXXX X000b
000062h			
000063h	UART2受信/ACK割り込み制御レジスタ	S2RIC	XXXX X000b
000064h			
000065h			
000066h			
000067h			
000068h	DMA0転送完了割り込み制御レジスタ	DM0IC	XXXX X000b
000069h	UART0スタートコンディション/ストップコンディション 検出割り込み制御レジスタ	BCN0IC	XXXX X000b
00006Ah	DMA2転送完了割り込み制御レジスタ	DM2IC	XXXX X000b
00006Bh	A/Dコンバータ0変換完了割り込み制御レジスタ	AD0IC	XXXX X000b
00006Ch	タイマA0割り込み制御レジスタ	TA0IC	XXXX X000b
00006Dh	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X000b
00006Eh	タイマA2割り込み制御レジスタ	TA2IC	XXXX X000b
00006Fh	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X000b
000070h	タイマA4割り込み制御レジスタ	TA4IC	XXXX X000b
000071h	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X000b
000072h	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X000b
000073h	インテリジェントI/O割り込み制御レジスタ6	IIO6IC	XXXX X000b
000074h	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X000b
000075h	インテリジェントI/O割り込み制御レジスタ8	IIO8IC	XXXX X000b
000076h	タイマB1割り込み制御レジスタ	TB1IC	XXXX X000b
000077h	インテリジェントI/O割り込み制御レジスタ10	IIO10IC	XXXX X000b
000078h	タイマB3割り込み制御レジスタ	TB3IC	XXXX X000b
000079h	CAN4ウェイクアップ割り込み制御レジスタ(注1)	C4WIC	XXXX X000b
00007Ah	INT5割り込み制御レジスタ	INT5IC	XX00 X000b
00007Bh	CAN0ウェイクアップ割り込み制御レジスタ(注1)	C0WIC	XXXX X000b
00007Ch	INT3割り込み制御レジスタ	INT3IC	XX00 X000b
00007Dh	CAN2ウェイクアップ割り込み制御レジスタ	C2WIC	XXXX X000b
00007Eh	INT1割り込み制御レジスタ	INT1IC	XX00 X000b
00007Fh	LIN“L”検出割り込み制御レジスタ	LLDIC	XXXX X000b
000080h			
000081h	UART2送信/NACK割り込み制御レジスタ	S2TIC	XXXX X000b
000082h			
000083h			
000084h			
000085h			
000086h			
000087h	UART2スタートコンディション/ストップコンディション 検出割り込み制御レジスタ	BCN2IC	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. R32C/142グループにはCAN0、CAN4はありません。

表 4.3 SFR一覧(3)

番地	レジスタ	シンボル	リセット後の値
000088h	DMA1転送完了割り込み制御レジスタ	DM1IC	XXXX X000b
000089h	UART1スタートコンディション/ストップコンディション 検出割り込み制御レジスタ	BCN1IC	XXXX X000b
00008Ah	DMA3転送完了割り込み制御レジスタ	DM3IC	XXXX X000b
00008Bh	キー入力割り込み制御レジスタ	KUPIC	XXXX X000b
00008Ch	タイマA1割り込み制御レジスタ	TA1IC	XXXX X000b
00008Dh	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000b
00008Eh	タイマA3割り込み制御レジスタ	TA3IC	XXXX X000b
00008Fh	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000b
000090h	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000b
000091h	インテリジェントI/O割り込み制御レジスタ5	IIO5IC	XXXX X000b
000092h	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000b
000093h	インテリジェントI/O割り込み制御レジスタ7	IIO7IC	XXXX X000b
000094h	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000b
000095h	インテリジェントI/O割り込み制御レジスタ9	IIO9IC	XXXX X000b
000096h	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000b
000097h	インテリジェントI/O割り込み制御レジスタ11	IIO11IC	XXXX X000b
000098h	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000b
000099h	CAN5ウェイクアップ割り込み制御レジスタ	C5WIC	XXXX X000b
00009Ah	INT4割り込み制御レジスタ	INT4IC	XX00 X000b
00009Bh	CAN1ウェイクアップ割り込み制御レジスタ(注1)	C1WIC	XXXX X000b
00009Ch	INT2割り込み制御レジスタ	INT2IC	XX00 X000b
00009Dh	CAN3ウェイクアップ割り込み制御レジスタ	C3WIC	XXXX X000b
00009Eh	INT0割り込み制御レジスタ	INT0IC	XX00 X000b
00009Fh			
0000A0h	インテリジェントI/O割り込み要求レジスタ0	IIO0IR	0000 0XX1b
0000A1h	インテリジェントI/O割り込み要求レジスタ1	IIO1IR	0000 0XX1b
0000A2h	インテリジェントI/O割り込み要求レジスタ2	IIO2IR	0000 0X01b
0000A3h	インテリジェントI/O割り込み要求レジスタ3	IIO3IR	0000 0XX1b
0000A4h	インテリジェントI/O割り込み要求レジスタ4	IIO4IR	000X 0XX1b
0000A5h	インテリジェントI/O割り込み要求レジスタ5	IIO5IR	0000 00X1b
0000A6h	インテリジェントI/O割り込み要求レジスタ6	IIO6IR	0000 00X1b
0000A7h	インテリジェントI/O割り込み要求レジスタ7	IIO7IR	000X 00X1b
0000A8h	インテリジェントI/O割り込み要求レジスタ8	IIO8IR	0000 00X1b
0000A9h	インテリジェントI/O割り込み要求レジスタ9	IIO9IR	0000 00X1b
0000AAh	インテリジェントI/O割り込み要求レジスタ10	IIO10IR	0000 00X1b
0000ABh	インテリジェントI/O割り込み要求レジスタ11	IIO11IR	0000 00X1b
0000ACh			
0000ADh			
0000AEh			
0000AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. R32C/142グループにはCAN1はありません。

表 4.4 SFR一覧(4)

番地	レジスタ	シンボル	リセット後の値
0000B0h	インテリジェントI/O割り込み許可レジスタ0	IIO0IE	00h
0000B1h	インテリジェントI/O割り込み許可レジスタ1	IIO1IE	00h
0000B2h	インテリジェントI/O割り込み許可レジスタ2	IIO2IE	00h
0000B3h	インテリジェントI/O割り込み許可レジスタ3	IIO3IE	00h
0000B4h	インテリジェントI/O割り込み許可レジスタ4	IIO4IE	00h
0000B5h	インテリジェントI/O割り込み許可レジスタ5	IIO5IE	00h
0000B6h	インテリジェントI/O割り込み許可レジスタ6	IIO6IE	00h
0000B7h	インテリジェントI/O割り込み許可レジスタ7	IIO7IE	00h
0000B8h	インテリジェントI/O割り込み許可レジスタ8	IIO8IE	00h
0000B9h	インテリジェントI/O割り込み許可レジスタ9	IIO9IE	00h
0000BAh	インテリジェントI/O割り込み許可レジスタ10	IIO10IE	00h
0000BBh	インテリジェントI/O割り込み許可レジスタ11	IIO11IE	00h
0000BCh			
0000BDh			
0000BEh			
0000BFh			
0000C0h	シリアルバスインタフェース0割り込み制御レジスタ	SS0IC	XXXX X000b
0000C1h	CAN0送信割り込み制御レジスタ(注1)	C0TIC	XXXX X000b
0000C2h			
0000C3h	CAN0エラー割り込み制御レジスタ(注1)	C0EIC	XXXX X000b
0000C4h			
0000C5h	CAN1受信割り込み制御レジスタ(注1)	C1RIC	XXXX X000b
0000C6h			
0000C7h	CAN2送信割り込み制御レジスタ	C2TIC	XXXX X000b
0000C8h	CAN4送信FIFO割り込み制御レジスタ(注1)	C4FTIC	XXXX X000b
0000C9h	CAN2エラー割り込み制御レジスタ	C2EIC	XXXX X000b
0000CAh	CAN5送信FIFO割り込み制御レジスタ	C5FTIC	XXXX X000b
0000CBh	CAN3受信割り込み制御レジスタ	C3RIC	XXXX X000b
0000CCh			
0000CDh	CAN4送信割り込み制御レジスタ(注1)	C4TIC	XXXX X000b
0000CEh			
0000CFh	CAN4エラー割り込み制御レジスタ(注1)	C4EIC	XXXX X000b
0000D0h	CAN0送信FIFO割り込み制御レジスタ(注1)	C0FTIC	XXXX X000b
0000D1h	CAN5受信割り込み制御レジスタ	C5RIC	XXXX X000b
0000D2h	CAN1送信FIFO割り込み制御レジスタ(注1)	C1FTIC	XXXX X000b
0000D3h			
0000D4h	CAN2送信FIFO割り込み制御レジスタ	C2FTIC	XXXX X000b
0000D5h	LIN0割り込み制御レジスタ	L0IC	XXXX X000b
0000D6h	CAN3送信FIFO割り込み制御レジスタ	C3FTIC	XXXX X000b
0000D7h			
0000D8h			
0000D9h			
0000DAh			
0000DBh			
0000DCh			
0000DDh	UART3送信割り込み制御レジスタ	S3TIC	XXXX X000b
0000DEh			
0000DFh	UART4送信割り込み制御レジスタ	S4TIC	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. R32C/142グループにはCAN0、CAN1、CAN4はありません。

表 4.5 SFR一覧(5)

番地	レジスタ	シンボル	リセット後の値
0000E0h	シリアルバスインタフェース1割り込み制御レジスタ	SS1IC	XXXX X000b
0000E1h	CAN0受信割り込み制御レジスタ(注1)	C0RIC	XXXX X000b
0000E2h			
0000E3h	CAN1送信割り込み制御レジスタ(注1)	C1TIC	XXXX X000b
0000E4h			
0000E5h	CAN1エラー割り込み制御レジスタ(注1)	C1EIC	XXXX X000b
0000E6h			
0000E7h	CAN2受信割り込み制御レジスタ	C2RIC	XXXX X000b
0000E8h	CAN4受信FIFO/Gatewayチャンネル4割り込み制御レジスタ(注1)	C4FRIC/GW4IC	XXXX X000b
0000E9h	CAN3送信割り込み制御レジスタ	C3TIC	XXXX X000b
0000EAh	CAN5受信FIFO/Gatewayチャンネル5割り込み制御レジスタ	C5FRIC/GW5IC	XXXX X000b
0000EBh	CAN3エラー割り込み制御レジスタ	C3EIC	XXXX X000b
0000ECh			
0000EDh	CAN4受信割り込み制御レジスタ(注1)	C4RIC	XXXX X000b
0000EEh			
0000EFh	CAN5送信割り込み制御レジスタ	C5TIC	XXXX X000b
0000F0h	CAN0受信FIFO/Gatewayチャンネル0割り込み制御レジスタ(注1)	C0FRIC/GW0IC	XXXX X000b
0000F1h	CAN5エラー割り込み制御レジスタ	C5EIC	XXXX X000b
0000F2h	CAN1受信FIFO/Gatewayチャンネル1割り込み制御レジスタ(注1)	C1FRIC/GW1IC	XXXX X000b
0000F3h			
0000F4h	CAN2受信FIFO/Gatewayチャンネル2割り込み制御レジスタ	C2FRIC/GW2IC	XXXX X000b
0000F5h	LIN1割り込み制御レジスタ	L1IC	XXXX X000b
0000F6h	CAN3受信FIFO/Gatewayチャンネル3割り込み制御レジスタ	C3FRIC/GW3IC	XXXX X000b
0000F7h			
0000F8h	Gatewayエラー割り込み制御レジスタ	GWEIC	XXXX X000b
0000F9h			
000FAh			
000FBh			
000FCh			
000FDh	UART3受信割り込み制御レジスタ	S3RIC	XXXX X000b
000FEh			
000FFh	UART4受信割り込み制御レジスタ	S4RIC	XXXX X000b
000100h	グループ1時間計測/波形生成レジスタ0	G1TM0/G1PO0	XXXXh
000101h			
000102h	グループ1時間計測/波形生成レジスタ1	G1TM1/G1PO1	XXXXh
000103h			
000104h	グループ1時間計測/波形生成レジスタ2	G1TM2/G1PO2	XXXXh
000105h			
000106h	グループ1時間計測/波形生成レジスタ3	G1TM3/G1PO3	XXXXh
000107h			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. R32C/142グループにはCAN0、CAN1、CAN4はありません。

表 4.6 SFR一覧(6)

番地	レジスタ	シンボル	リセット後の値
000108h	グループ1 時間計測/波形生成レジスタ4	G1TM4/G1PO4	XXXXh
000109h			
00010Ah	グループ1 時間計測/波形生成レジスタ5	G1TM5/G1PO5	XXXXh
00010Bh			
00010Ch	グループ1 時間計測/波形生成レジスタ6	G1TM6/G1PO6	XXXXh
00010Dh			
00010Eh	グループ1 時間計測/波形生成レジスタ7	G1TM7/G1PO7	XXXXh
00010Fh			
000110h	グループ1 波形生成制御レジスタ0	G1POCR0	0000 X000b
000111h	グループ1 波形生成制御レジスタ1	G1POCR1	0X00 X000b
000112h	グループ1 波形生成制御レジスタ2	G1POCR2	0X00 X000b
000113h	グループ1 波形生成制御レジスタ3	G1POCR3	0X00 X000b
000114h	グループ1 波形生成制御レジスタ4	G1POCR4	0X00 X000b
000115h	グループ1 波形生成制御レジスタ5	G1POCR5	0X00 X000b
000116h	グループ1 波形生成制御レジスタ6	G1POCR6	0X00 X000b
000117h	グループ1 波形生成制御レジスタ7	G1POCR7	0X00 X000b
000118h	グループ1 時間計測制御レジスタ0	G1TMCR0	00h
000119h	グループ1 時間計測制御レジスタ1	G1TMCR1	00h
00011Ah	グループ1 時間計測制御レジスタ2	G1TMCR2	00h
00011Bh	グループ1 時間計測制御レジスタ3	G1TMCR3	00h
00011Ch	グループ1 時間計測制御レジスタ4	G1TMCR4	00h
00011Dh	グループ1 時間計測制御レジスタ5	G1TMCR5	00h
00011Eh	グループ1 時間計測制御レジスタ6	G1TMCR6	00h
00011Fh	グループ1 時間計測制御レジスタ7	G1TMCR7	00h
000120h	グループ1 ベースタイマレジスタ	G1BT	XXXXh
000121h			
000122h	グループ1 ベースタイマ制御レジスタ0	G1BCR0	0000 0000b
000123h	グループ1 ベースタイマ制御レジスタ1	G1BCR1	0000 0000b
000124h	グループ1 時間計測プリスケアラレジスタ6	G1TPR6	00h
000125h	グループ1 時間計測プリスケアラレジスタ7	G1TPR7	00h
000126h	グループ1 機能許可レジスタ	G1FE	00h
000127h	グループ1 機能選択レジスタ	G1FS	00h
000128h			
000129h			
00012Ah			
00012Bh			
00012Ch			
00012Dh			
00012Eh			
00012Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.7 SFR一覧(7)

番地	レジスタ	シンボル	リセット後の値
000130h~ 00016Fh			
000170h			
000171h			
000172h			
000173h			
000174h			
000175h			
000176h			
000177h			
000178h			
000179h			
00017Ah			
00017Bh			
00017Ch			
00017Dh			
00017Eh			
00017Fh			
000180h 000181h	グループ0 時間計測/波形生成レジスタ0	G0TM0/G0PO0	XXXXh
000182h 000183h	グループ0 時間計測/波形生成レジスタ1	G0TM1/G0PO1	XXXXh
000184h 000185h	グループ0 時間計測/波形生成レジスタ2	G0TM2/G0PO2	XXXXh
000186h 000187h	グループ0 時間計測/波形生成レジスタ3	G0TM3/G0PO3	XXXXh
000188h 000189h	グループ0 時間計測/波形生成レジスタ4	G0TM4/G0PO4	XXXXh
00018Ah 00018Bh	グループ0 時間計測/波形生成レジスタ5	G0TM5/G0PO5	XXXXh
00018Ch 00018Dh	グループ0 時間計測/波形生成レジスタ6	G0TM6/G0PO6	XXXXh
00018Eh 00018Fh	グループ0 時間計測/波形生成レジスタ7	G0TM7/G0PO7	XXXXh
000190h	グループ0 波形生成制御レジスタ0	G0POCR0	0000 X000b
000191h	グループ0 波形生成制御レジスタ1	G0POCR1	0X00 X000b
000192h	グループ0 波形生成制御レジスタ2	G0POCR2	0X00 X000b
000193h	グループ0 波形生成制御レジスタ3	G0POCR3	0X00 X000b
000194h	グループ0 波形生成制御レジスタ4	G0POCR4	0X00 X000b
000195h	グループ0 波形生成制御レジスタ5	G0POCR5	0X00 X000b
000196h	グループ0 波形生成制御レジスタ6	G0POCR6	0X00 X000b
000197h	グループ0 波形生成制御レジスタ7	G0POCR7	0X00 X000b
000198h	グループ0 時間計測制御レジスタ0	G0TMCR0	00h
000199h	グループ0 時間計測制御レジスタ1	G0TMCR1	00h
00019Ah	グループ0 時間計測制御レジスタ2	G0TMCR2	00h
00019Bh	グループ0 時間計測制御レジスタ3	G0TMCR3	00h
00019Ch	グループ0 時間計測制御レジスタ4	G0TMCR4	00h
00019Dh	グループ0 時間計測制御レジスタ5	G0TMCR5	00h
00019Eh	グループ0 時間計測制御レジスタ6	G0TMCR6	00h
00019Fh	グループ0 時間計測制御レジスタ7	G0TMCR7	00h

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.8 SFR一覧(8)

番地	レジスタ	シンボル	リセット後の値
0001A0h	グループ0 ベースタイマレジスタ	G0BT	XXXXh
0001A1h			
0001A2h	グループ0 ベースタイマ制御レジスタ0	G0BCR0	0000 0000b
0001A3h	グループ0 ベースタイマ制御レジスタ1	G0BCR1	0000 0000b
0001A4h	グループ0 時間計測プリスケアラレジスタ6	G0TPR6	00h
0001A5h	グループ0 時間計測プリスケアラレジスタ7	G0TPR7	00h
0001A6h	グループ0 機能許可レジスタ	G0FE	00h
0001A7h	グループ0 機能選択レジスタ	G0FS	00h
0001A8h			
0001A9h			
0001AAh			
0001ABh			
0001ACh			
0001ADh			
0001AEh			
0001AFh			
0001B0h			
0001B1h			
0001B2h			
0001B3h			
0001B4h			
0001B5h			
0001B6h			
0001B7h			
0001B8h			
0001B9h			
0001BAh			
0001BBh			
0001BCh			
0001BDh			
0001BEh			
0001BFh			
0001C0h			
0001C1h			
0001C2h			
0001C3h			
0001C4h			
0001C5h			
0001C6h			
0001C7h			
0001C8h			
0001C9h			
0001CAh			
0001CBh			
0001CCh			
0001CDh			
0001CEh			
0001CFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.9 SFR一覧(9)

番地	レジスタ	シンボル	リセット後の値
0001D0h			
0001D1h			
0001D2h			
0001D3h			
0001D4h			
0001D5h			
0001D6h			
0001D7h			
0001D8h			
0001D9h			
0001DAh			
0001DBh			
0001DCh			
0001DDh			
0001DEh			
0001DFh			
0001E0h	UART3送受信モードレジスタ	U3MR	00h
0001E1h	UART3転送速度レジスタ	U3BRG	XXh
0001E2h	UART3送信バッファレジスタ	U3TB	XXXXh
0001E3h			
0001E4h	UART3送受信制御レジスタ0	U3C0	00X0 1000b
0001E5h	UART3送受信制御レジスタ1	U3C1	XXXX 0010b
0001E6h	UART3受信バッファレジスタ	U3RB	XXXXh
0001E7h			
0001E8h	UART4送受信モードレジスタ	U4MR	00h
0001E9h	UART4転送速度レジスタ	U4BRG	XXh
0001EAh	UART4送信バッファレジスタ	U4TB	XXXXh
0001EBh			
0001ECh	UART4送受信制御レジスタ0	U4C0	00X0 1000b
0001EDh	UART4送受信制御レジスタ1	U4C1	XXXX 0010b
0001EEh	UART4受信バッファレジスタ	U4RB	XXXXh
0001EFh			
0001F0h	UART3,4送受信制御レジスタ2	U34CON	X000 0000b
0001F1h			
0001F2h			
0001F3h			
0001F4h			
0001F5h			
0001F6h			
0001F7h			
0001F8h			
0001F9h			
0001FAh			
0001FBh			
0001FCh			
0001FDh			
0001FEh			
0001FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.10 SFR一覧(10)

番地	レジスタ	シンボル	リセット後の値
000200h	グループ0位相シフト波形出力モードクロック分周比設定レジスタ	G0SDR	00h
000201h	グループ0位相シフト波形出力モード制御レジスタ	G0PSCR	00h
000202h	グループ1位相シフト波形出力モードクロック分周比設定レジスタ	G1SDR	00h
000203h	グループ1位相シフト波形出力モード制御レジスタ	G1PSCR	00h
000204h			
000205h			
000206h			
000207h			
000208h	タイマBイベントクロック選択レジスタ	TBECKS	0000 0000b
000209h			
00020Ah			
00020Bh			
00020Ch			
00020Dh			
00020Eh			
00020Fh			
000210h	II0_7デジタルデバウンスレジスタ	IC07DDR	FFh
000211h	II01_7デジタルデバウンスレジスタ	IC17DDR	FFh
000212h			
000213h			
000214h			
000215h			
000216h			
000217h			
000218h			
000219h			
00021Ah			
00021Bh			
00021Ch			
00021Dh			
00021Eh			
00021Fh			
000220h	タイマA1ミラーレジスタ	TA1M	XXXXh
000221h			
000222h	タイマA1-1ミラーレジスタ	TA11M	XXXXh
000223h			
000224h	タイマA2ミラーレジスタ	TA2M	XXXXh
000225h			
000226h	タイマA2-1ミラーレジスタ	TA21M	XXXXh
000227h			
000228h	タイマA4ミラーレジスタ	TA4M	XXXXh
000229h			
00022Ah	タイマA4-1ミラーレジスタ	TA41M	XXXXh
00022Bh			
00022Ch			
00022Dh			
00022Eh			
00022Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.11 SFR一覧(11)

番地	レジスタ	シンボル	リセット後の値
000230h~ 0002BFh			
0002C0h 0002C1h	X0 レジスタ / Y0 レジスタ	X0R/Y0R	XXXXh
0002C2h 0002C3h	X1 レジスタ / Y1 レジスタ	X1R/Y1R	XXXXh
0002C4h 0002C5h	X2 レジスタ / Y2 レジスタ	X2R/Y2R	XXXXh
0002C6h 0002C7h	X3 レジスタ / Y3 レジスタ	X3R/Y3R	XXXXh
0002C8h 0002C9h	X4 レジスタ / Y4 レジスタ	X4R/Y4R	XXXXh
0002CAh 0002CBh	X5 レジスタ / Y5 レジスタ	X5R/Y5R	XXXXh
0002CCh 0002CDh	X6 レジスタ / Y6 レジスタ	X6R/Y6R	XXXXh
0002CEh 0002CFh	X7 レジスタ / Y7 レジスタ	X7R/Y7R	XXXXh
0002D0h 0002D1h	X8 レジスタ / Y8 レジスタ	X8R/Y8R	XXXXh
0002D2h 0002D3h	X9 レジスタ / Y9 レジスタ	X9R/Y9R	XXXXh
0002D4h 0002D5h	X10 レジスタ / Y10 レジスタ	X10R/Y10R	XXXXh
0002D6h 0002D7h	X11 レジスタ / Y11 レジスタ	X11R/Y11R	XXXXh
0002D8h 0002D9h	X12 レジスタ / Y12 レジスタ	X12R/Y12R	XXXXh
0002DAh 0002DBh	X13 レジスタ / Y13 レジスタ	X13R/Y13R	XXXXh
0002DCh 0002DDh	X14 レジスタ / Y14 レジスタ	X14R/Y14R	XXXXh
0002DEh 0002DFh	X15 レジスタ / Y15 レジスタ	X15R/Y15R	XXXXh
0002E0h 0002E1h	X-Y制御レジスタ	XYC	XXXX XX00b
0002E2h 0002E3h			
0002E4h	UART1 特殊モードレジスタ 4	U1SMR4	00h
0002E5h	UART1 特殊モードレジスタ 3	U1SMR3	00h
0002E6h	UART1 特殊モードレジスタ 2	U1SMR2	00h
0002E7h	UART1 特殊モードレジスタ	U1SMR	00h
0002E8h	UART1 送受信モードレジスタ	U1MR	00h
0002E9h	UART1 転送速度レジスタ	U1BRG	XXh
0002EAh 0002EBh	UART1 送信バッファレジスタ	U1TB	XXXXh
0002ECh	UART1 送受信制御レジスタ 0	U1C0	0000 1000b
0002EDh	UART1 送受信制御レジスタ 1	U1C1	0000 0010b
0002EEh 0002EFh	UART1 受信バッファレジスタ	U1RB	XXXXh

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.12 SFR一覧(12)

番地	レジスタ	シンボル	リセット後の値
0002F0h			
0002F1h			
0002F2h			
0002F3h			
0002F4h			
0002F5h			
0002F6h			
0002F7h			
0002F8h			
0002F9h			
0002FAh			
0002FBh			
0002FCh			
0002FDh			
0002FEh			
0002FFh			
000300h	タイマB3、B4、B5カウント開始フラグ	TBSR	000X XXXXb
000301h			
000302h	タイマA1-1レジスタ	TA11	XXXXh
000303h			
000304h	タイマA2-1レジスタ	TA21	XXXXh
000305h			
000306h	タイマA4-1レジスタ	TA41	XXXXh
000307h			
000308h	三相PWM制御レジスタ0	INVC0	00h
000309h	三相PWM制御レジスタ1	INVC1	00h
00030Ah	三相出力バッファレジスタ0	IDB0	XX11 1111b
00030Bh	三相出力バッファレジスタ1	IDB1	XX11 1111b
00030Ch	短絡防止タイマ	DTT	XXh
00030Dh	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XXh
00030Eh			
00030Fh			
000310h	タイマB3レジスタ	TB3	XXXXh
000311h			
000312h	タイマB4レジスタ	TB4	XXXXh
000313h			
000314h	タイマB5レジスタ	TB5	XXXXh
000315h			
000316h			
000317h			
000318h			
000319h			
00031Ah			
00031Bh	タイマB3モードレジスタ	TB3MR	00XX 0000b
00031Ch	タイマB4モードレジスタ	TB4MR	00XX 0000b
00031Dh	タイマB5モードレジスタ	TB5MR	00XX 0000b
00031Eh			
00031Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.13 SFR一覧(13)

番地	レジスタ	シンボル	リセット後の値
000320h			
000321h			
000322h			
000323h			
000324h			
000325h			
000326h			
000327h			
000328h			
000329h			
00032Ah			
00032Bh			
00032Ch			
00032Dh			
00032Eh			
00032Fh			
000330h			
000331h			
000332h			
000333h			
000334h	UART2特殊モードレジスタ4	U2SMR4	00h
000335h	UART2特殊モードレジスタ3	U2SMR3	00h
000336h	UART2特殊モードレジスタ2	U2SMR2	00h
000337h	UART2特殊モードレジスタ	U2SMR	00h
000338h	UART2送受信モードレジスタ	U2MR	00h
000339h	UART2転送速度レジスタ	U2BRG	XXh
00033Ah	UART2送信バッファレジスタ	U2TB	XXXXh
00033Bh			
00033Ch	UART2送受信制御レジスタ0	U2C0	0000 1000b
00033Dh	UART2送受信制御レジスタ1	U2C1	0000 0010b
00033Eh	UART2受信バッファレジスタ	U2RB	XXXXh
00033Fh			
000340h	カウント開始レジスタ	TABSR	0000 0000b
000341h	時計用プリスケアラセットレジスタ	CPSRF	0XXX XXXXb
000342h	ワンショット開始レジスタ	ONSF	0000 0000b
000343h	トリガ選択レジスタ	TRGSR	0000 0000b
000344h	アップダウン選択レジスタ	UDF	0000 0000b
000345h			
000346h	タイマA0レジスタ	TA0	XXXXh
000347h			
000348h	タイマA1レジスタ	TA1	XXXXh
000349h			
00034Ah	タイマA2レジスタ	TA2	XXXXh
00034Bh			
00034Ch	タイマA3レジスタ	TA3	XXXXh
00034Dh			
00034Eh	タイマA4レジスタ	TA4	XXXXh
00034Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.14 SFR一覧(14)

番地	レジスタ	シンボル	リセット後の値
000350h	タイマB0レジスタ	TB0	XXXXh
000351h			
000352h	タイマB1レジスタ	TB1	XXXXh
000353h			
000354h	タイマB2レジスタ	TB2	XXXXh
000355h			
000356h	タイマA0モードレジスタ	TA0MR	0000 0000b
000357h	タイマA1モードレジスタ	TA1MR	0000 0000b
000358h	タイマA2モードレジスタ	TA2MR	0000 0000b
000359h	タイマA3モードレジスタ	TA3MR	0000 0000b
00035Ah	タイマA4モードレジスタ	TA4MR	0000 0000b
00035Bh	タイマB0モードレジスタ	TB0MR	00XX 0000b
00035Ch	タイマB1モードレジスタ	TB1MR	00XX 0000b
00035Dh	タイマB2モードレジスタ	TB2MR	00XX 0000b
00035Eh	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0b
00035Fh	カウントソースプリスケアラレジスタ	TCSPR	0000 0000b
000360h			
000361h			
000362h			
000363h			
000364h	UART0特殊モードレジスタ4	U0SMR4	00h
000365h	UART0特殊モードレジスタ3	U0SMR3	00h
000366h	UART0特殊モードレジスタ2	U0SMR2	00h
000367h	UART0特殊モードレジスタ	U0SMR	00h
000368h	UART0送受信モードレジスタ	U0MR	00h
000369h	UART0転送速度レジスタ	U0BRG	XXh
00036Ah	UART0送信バッファレジスタ	U0TB	XXXXh
00036Bh			
00036Ch	UART0送受信制御レジスタ0	U0C0	0000 1000b
00036Dh	UART0送受信制御レジスタ1	U0C1	0000 0010b
00036Eh	UART0受信バッファレジスタ	U0RB	XXXXh
00036Fh			
000370h			
000371h			
000372h			
000373h			
000374h			
000375h			
000376h			
000377h			
000378h			
000379h			
00037Ah			
00037Bh			
00037Ch	CRCデータレジスタ	CRCD	XXXXh
00037Dh			
00037Eh	CRCインプットレジスタ	CRCIN	XXh
00037Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.15 SFR一覧(15)

番地	レジスタ	シンボル	リセット後の値
000380h	A/D0 レジスタ 0	AD00	00XXh
000381h			
000382h	A/D0 レジスタ 1	AD01	00XXh
000383h			
000384h	A/D0 レジスタ 2	AD02	00XXh
000385h			
000386h	A/D0 レジスタ 3	AD03	00XXh
000387h			
000388h	A/D0 レジスタ 4	AD04	00XXh
000389h			
00038Ah	A/D0 レジスタ 5	AD05	00XXh
00038Bh			
00038Ch	A/D0 レジスタ 6	AD06	00XXh
00038Dh			
00038Eh	A/D0 レジスタ 7	AD07	00XXh
00038Fh			
000390h			
000391h			
000392h	A/D0制御レジスタ 4	AD0CON4	XXXX 00XXb
000393h	A/D0制御レジスタ 5	AD0CON5	00h
000394h	A/D0制御レジスタ 2	AD0CON2	X00X X000b
000395h	A/D0制御レジスタ 3	AD0CON3	XXXX X000b
000396h	A/D0制御レジスタ 0	AD0CON0	00h
000397h	A/D0制御レジスタ 1	AD0CON1	00h
000398h	D/A レジスタ 0	DA0	XXh
000399h			
00039Ah	D/A レジスタ 1	DA1	XXh
00039Bh			
00039Ch	D/A制御レジスタ	DACON	XXXX XX00b
00039Dh			
00039Eh			
00039Fh			
0003A0h			
0003A1h			
0003A2h			
0003A3h			
0003A4h			
0003A5h			
0003A6h			
0003A7h			
0003A8h			
0003A9h			
0003AAh			
0003ABh			
0003ACh			
0003ADh			
0003AEh			
0003AFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.16 SFR一覧(16)

番地	レジスタ	シンボル	リセット後の値
0003B0h			
0003B1h			
0003B2h			
0003B3h			
0003B4h			
0003B5h			
0003B6h			
0003B7h			
0003B8h			
0003B9h			
0003BAh			
0003BBh			
0003BCh			
0003BDh			
0003BEh			
0003BFh			
0003C0h	ポートP0レジスタ	P0	XXh
0003C1h	ポートP1レジスタ	P1	XXh
0003C2h	ポートP0方向レジスタ	PD0	0000 0000b
0003C3h	ポートP1方向レジスタ	PD1	0000 0000b
0003C4h	ポートP2レジスタ	P2	XXh
0003C5h	ポートP3レジスタ	P3	XXh
0003C6h	ポートP2方向レジスタ	PD2	0000 0000b
0003C7h	ポートP3方向レジスタ	PD3	0000 0000b
0003C8h	ポートP4レジスタ	P4	XXh
0003C9h	ポートP5レジスタ	P5	XXh
0003CAh	ポートP4方向レジスタ	PD4	0000 0000b
0003CBh	ポートP5方向レジスタ	PD5	0000 0000b
0003CCh	ポートP6レジスタ	P6	XXh
0003CDh	ポートP7レジスタ	P7	XXh
0003CEh	ポートP6方向レジスタ	PD6	0000 0000b
0003CFh	ポートP7方向レジスタ	PD7	0000 0000b
0003D0h	ポートP8レジスタ	P8	XXh
0003D1h	ポートP9レジスタ	P9	XXh
0003D2h	ポートP8方向レジスタ	PD8	00X0 0000b
0003D3h	ポートP9方向レジスタ	PD9	0000 0000b
0003D4h	ポートP10レジスタ	P10	XXh
0003D5h			
0003D6h	ポートP10方向レジスタ	PD10	0000 0000b
0003D7h			
0003D8h			
0003D9h			
0003DAh			
0003DBh			
0003DCh			
0003DDh			
0003DEh			
0003DFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.17 SFR一覧(17)

番地	レジスタ	シンボル	リセット後の値
0003E0h			
0003E1h			
0003E2h			
0003E3h			
0003E4h			
0003E5h			
0003E6h			
0003E7h			
0003E8h			
0003E9h			
0003EAh			
0003EBh			
0003ECh			
0003EDh			
0003EEh			
0003EFh			
0003F0h	プルアップ制御レジスタ0	PUR0	0000 0000b
0003F1h	プルアップ制御レジスタ1	PUR1	XXXX 0000b
0003F2h	プルアップ制御レジスタ2	PUR2	0000 0000b
0003F3h	プルアップ制御レジスタ3	PUR3	XXXX XX00b
0003F4h			
0003F5h			
0003F6h			
0003F7h			
0003F8h			
0003F9h			
0003FAh			
0003FBh			
0003FCh			
0003FDh			
0003FEh			
0003FFh	ポート制御レジスタ	PCR	XXXX XXX0b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.18 SFR一覧(18)

番地	レジスタ	シンボル	リセット後の値
040000h	フラッシュメモリ制御レジスタ0	FMR0	0X01 XX00b
040001h	フラッシュメモリステータスレジスタ0	FMSR0	1000 0000b
040002h			
040003h			
040004h			
040005h			
040006h			
040007h			
040008h	フラッシュレジスタプロテクト解除レジスタ0	FPR0	00h
040009h	フラッシュメモリ制御レジスタ1	FMR1	0000 0010b
04000Ah	ブロックプロテクトビットモニタレジスタ0	FBPM0	??X? ???b (注1)
04000Bh	ブロックプロテクトビットモニタレジスタ1	FBPM1	XXX? ???b (注1)
04000Ch			
04000Dh			
04000Eh			
04000Fh			
040010h			
040011h			
040012h			
040013h			
040014h			
040015h			
040016h			
040017h			
040018h			
040019h			
04001Ah			
04001Bh			
04001Ch			
04001Dh			
04001Eh			
04001Fh			
040020h	PLL制御レジスタ0	PLC0	0000 0001b
040021h	PLL制御レジスタ1	PLC1	0001 1111b
040022h			
040023h			
040024h			
040025h			
040026h			
040027h			
040028h			
040029h			
04002Ah			
04002Bh			
04002Ch			
04002Dh			
04002Eh			
04002Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. フラッシュメモリの各ブロックのプロテクトビットの状態が反映されます。

表 4.19 SFR一覧(19)

番地	レジスタ	シンボル	リセット後の値
040030h~ 04003Fh			
040040h			
040041h			
040042h			
040043h			
040044h	プロセッサモードレジスタ0	PM0	1000 0000b
040045h			
040046h	システムクロック制御レジスタ0	CM0	0000 1000b
040047h	システムクロック制御レジスタ1	CM1	0010 0000b
040048h	プロセッサモードレジスタ3	PM3	00h
040049h			
04004Ah	プロテクトレジスタ	PRCR	XXXX X000b
04004Bh			
04004Ch	プロテクトレジスタ3	PRCR3	0000 0000b
04004Dh	発振停止検出レジスタ	CM2	00h
04004Eh			
04004Fh			
040050h			
040051h			
040052h			
040053h	プロセッサモードレジスタ2	PM2	00h
040054h			
040055h			
040056h			
040057h			
040058h			
040059h			
04005Ah	低速モードクロック制御レジスタ	CM3	XXXX XX00b
04005Bh			
04005Ch			
04005Dh			
04005Eh			
04005Fh			
040060h	電圧レギュレータ制御レジスタ	VRRCR	0000 0000b
040061h			
040062h			
040063h			
040064h			
040065h			
040066h			
040067h			
040068h~ 040093h			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.20 SFR一覧(20)

番地	レジスタ	シンボル	リセット後の値
040094h			
040095h			
040096h			
040097h	三相出力バッファ制御レジスタ	IOBC	0XXX XX0Xb
040098h	入力機能選択レジスタ0	IFS0	X0X0 X0X0b
040099h	入力機能選択レジスタ1	IFS1	00XX X0X0b
04009Ah	入力機能選択レジスタ2	IFS2	0000 0000b
04009Bh	入力機能選択レジスタ3	IFS3	0000 XXXXb
04009Ch			
04009Dh	入力機能選択レジスタ5	IFS5	XXXX X0X0b
04009Eh	入力機能選択レジスタ6	IFS6	XXXX 0000b
04009Fh			
0400A0h	ポートP0_0機能選択レジスタ	P0_0S	0XXX X000b
0400A1h	ポートP1_0機能選択レジスタ	P1_0S	XXXX X000b
0400A2h	ポートP0_1機能選択レジスタ	P0_1S	0XXX X000b
0400A3h	ポートP1_1機能選択レジスタ	P1_1S	XXXX X000b
0400A4h	ポートP0_2機能選択レジスタ	P0_2S	0XXX X000b
0400A5h	ポートP1_2機能選択レジスタ	P1_2S	XXXX X000b
0400A6h	ポートP0_3機能選択レジスタ	P0_3S	0XXX X000b
0400A7h	ポートP1_3機能選択レジスタ	P1_3S	XXXX X000b
0400A8h	ポートP0_4機能選択レジスタ	P0_4S	0XXX X000b
0400A9h	ポートP1_4機能選択レジスタ	P1_4S	XXXX X000b
0400AAh	ポートP0_5機能選択レジスタ	P0_5S	0XXX X000b
0400ABh	ポートP1_5機能選択レジスタ	P1_5S	XXXX X000b
0400ACh	ポートP0_6機能選択レジスタ	P0_6S	0XXX X000b
0400ADh	ポートP1_6機能選択レジスタ	P1_6S	XXXX X000b
0400AEh	ポートP0_7機能選択レジスタ	P0_7S	0XXX X000b
0400AFh	ポートP1_7機能選択レジスタ	P1_7S	XXXX X000b
0400B0h	ポートP2_0機能選択レジスタ	P2_0S	0XXX X000b
0400B1h	ポートP3_0機能選択レジスタ	P3_0S	XXXX X000b
0400B2h	ポートP2_1機能選択レジスタ	P2_1S	0XXX X000b
0400B3h	ポートP3_1機能選択レジスタ	P3_1S	XXXX X000b
0400B4h	ポートP2_2機能選択レジスタ	P2_2S	0XXX X000b
0400B5h	ポートP3_2機能選択レジスタ	P3_2S	XXXX X000b
0400B6h	ポートP2_3機能選択レジスタ	P2_3S	0XXX X000b
0400B7h	ポートP3_3機能選択レジスタ	P3_3S	XXXX X000b
0400B8h	ポートP2_4機能選択レジスタ	P2_4S	0XXX X000b
0400B9h	ポートP3_4機能選択レジスタ	P3_4S	XXXX X000b
0400BAh	ポートP2_5機能選択レジスタ	P2_5S	0XXX X000b
0400BBh	ポートP3_5機能選択レジスタ	P3_5S	XXXX X000b
0400BCh	ポートP2_6機能選択レジスタ	P2_6S	0XXX X000b
0400BDh	ポートP3_6機能選択レジスタ	P3_6S	XXXX X000b
0400BEh	ポートP2_7機能選択レジスタ	P2_7S	0XXX X000b
0400BFh	ポートP3_7機能選択レジスタ	P3_7S	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.21 SFR一覧(21)

番地	レジスタ	シンボル	リセット後の値
0400C0h	ポートP4_0機能選択レジスタ	P4_0S	XXXX X000b
0400C1h	ポートP5_0機能選択レジスタ	P5_0S	XXXX X000b
0400C2h	ポートP4_1機能選択レジスタ	P4_1S	XXXX X000b
0400C3h	ポートP5_1機能選択レジスタ	P5_1S	XXXX X000b
0400C4h	ポートP4_2機能選択レジスタ	P4_2S	XXXX X000b
0400C5h	ポートP5_2機能選択レジスタ	P5_2S	XXXX X000b
0400C6h	ポートP4_3機能選択レジスタ	P4_3S	XXXX X000b
0400C7h	ポートP5_3機能選択レジスタ	P5_3S	XXXX X000b
0400C8h	ポートP4_4機能選択レジスタ	P4_4S	XXXX X000b
0400C9h	ポートP5_4機能選択レジスタ	P5_4S	XXXX X000b
0400CAh	ポートP4_5機能選択レジスタ	P4_5S	XXXX X000b
0400CBh	ポートP5_5機能選択レジスタ	P5_5S	XXXX X000b
0400CCh	ポートP4_6機能選択レジスタ	P4_6S	XXXX X000b
0400CDh	ポートP5_6機能選択レジスタ	P5_6S	XXXX X000b
0400CEh	ポートP4_7機能選択レジスタ	P4_7S	XXXX X000b
0400CFh	ポートP5_7機能選択レジスタ	P5_7S	XXXX X000b
0400D0h	ポートP6_0機能選択レジスタ	P6_0S	XXXX X000b
0400D1h	ポートP7_0機能選択レジスタ	P7_0S	XXXX X000b
0400D2h	ポートP6_1機能選択レジスタ	P6_1S	XXXX X000b
0400D3h	ポートP7_1機能選択レジスタ	P7_1S	XXXX X000b
0400D4h	ポートP6_2機能選択レジスタ	P6_2S	XXXX X000b
0400D5h	ポートP7_2機能選択レジスタ	P7_2S	XXXX X000b
0400D6h	ポートP6_3機能選択レジスタ	P6_3S	XXXX X000b
0400D7h	ポートP7_3機能選択レジスタ	P7_3S	XXXX X000b
0400D8h	ポートP6_4機能選択レジスタ	P6_4S	XXXX X000b
0400D9h	ポートP7_4機能選択レジスタ	P7_4S	XXXX X000b
0400DAh	ポートP6_5機能選択レジスタ	P6_5S	XXXX X000b
0400DBh	ポートP7_5機能選択レジスタ	P7_5S	XXXX X000b
0400DCh	ポートP6_6機能選択レジスタ	P6_6S	XXXX X000b
0400DDh	ポートP7_6機能選択レジスタ	P7_6S	XXXX X000b
0400DEh	ポートP6_7機能選択レジスタ	P6_7S	XXXX X000b
0400DFh	ポートP7_7機能選択レジスタ	P7_7S	XXXX X000b
0400E0h	ポートP8_0機能選択レジスタ	P8_0S	XXXX X000b
0400E1h			
0400E2h	ポートP8_1機能選択レジスタ	P8_1S	XXXX X000b
0400E3h			
0400E4h	ポートP8_2機能選択レジスタ	P8_2S	XXXX X000b
0400E5h			
0400E6h	ポートP8_3機能選択レジスタ	P8_3S	XXXX X000b
0400E7h	ポートP9_3機能選択レジスタ	P9_3S	0XXX X000b
0400E8h	ポートP8_4機能選択レジスタ	P8_4S	XXXX X000b
0400E9h	ポートP9_4機能選択レジスタ	P9_4S	0XXX X000b
0400EAh			
0400EBh	ポートP9_5機能選択レジスタ	P9_5S	0XXX X000b
0400ECh	ポートP8_6機能選択レジスタ	P8_6S	XXXX X000b
0400EDh	ポートP9_6機能選択レジスタ	P9_6S	0XXX X000b
0400EEh	ポートP8_7機能選択レジスタ	P8_7S	XXXX X000b
0400EFh	ポートP9_7機能選択レジスタ	P9_7S	XXXX X000b

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.22 SFR一覧(22)

番地	レジスタ	シンボル	リセット後の値
0400F0h	ポートP10_0機能選択レジスタ	P10_0S	0XXX X000b
0400F1h			
0400F2h	ポートP10_1機能選択レジスタ	P10_1S	0XXX X000b
0400F3h			
0400F4h	ポートP10_2機能選択レジスタ	P10_2S	0XXX X000b
0400F5h			
0400F6h	ポートP10_3機能選択レジスタ	P10_3S	0XXX X000b
0400F7h			
0400F8h	ポートP10_4機能選択レジスタ	P10_4S	0XXX X000b
0400F9h			
0400FAh	ポートP10_5機能選択レジスタ	P10_5S	0XXX X000b
0400FBh			
0400FCh	ポートP10_6機能選択レジスタ	P10_6S	0XXX X000b
0400FDh			
0400FEh	ポートP10_7機能選択レジスタ	P10_7S	0XXX X000b
0400FFh			
040100h			
040101h			
040102h			
040103h			
040104h			
040105h			
040106h			
040107h			
040108h			
040109h			
04010Ah			
04010Bh			
04010Ch			
04010Dh			
04010Eh			
04010Fh			
040110h			
040111h			
040112h			
040113h			
040114h			
040115h			
040116h			
040117h			
040118h			
040119h			
04011Ah			
04011Bh			
04011Ch			
04011Dh			
04011Eh			
04011Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.23 SFR一覧(23)

番地	レジスタ	シンボル	リセット後の値
040120h~ 04403Fh			
044040h			
044041h			
044042h			
044043h			
044044h			
044045h			
044046h			
044047h			
044048h			
044049h			
04404Ah			
04404Bh			
04404Ch	プロテクトレジスタ4	PRCR4	0000 0000b
04404Dh	ウォッチドッグタイマクロック制御レジスタ	WDK	0000 0000b
04404Eh	ウォッチドッグタイムスタートレジスタ	WDTS	XXXX XXXXb
04404Fh	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXXb
044050h			
044051h			
044052h			
044053h			
044054h			
044055h			
044056h			
044057h			
044058h			
044059h			
04405Ah			
04405Bh			
04405Ch			
04405Dh			
04405Eh			
04405Fh	プロテクトレジスタ2	PRCR2	0XXX XXXXb

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.24 SFR一覧(24)

番地	レジスタ	シンボル	リセット後の値
044060h			
044061h			
044062h			
044063h			
044064h			
044065h			
044066h			
044067h			
044068h			
044069h			
04406Ah			
04406Bh			
04406Ch			
04406Dh			
04406Eh			
04406Fh	外部割り込み要因選択レジスタ0	IFSR0	0000 0000b
044070h	DMA0起動要因選択レジスタ2	DM0SL2	XX00 0000b
044071h	DMA1起動要因選択レジスタ2	DM1SL2	XX00 0000b
044072h	DMA2起動要因選択レジスタ2	DM2SL2	XX00 0000b
044073h	DMA3起動要因選択レジスタ2	DM3SL2	XX00 0000b
044074h			
044075h			
044076h			
044077h			
044078h	DMA0起動要因選択レジスタ	DM0SL	XXX0 0000b
044079h	DMA1起動要因選択レジスタ	DM1SL	XXX0 0000b
04407Ah	DMA2起動要因選択レジスタ	DM2SL	XXX0 0000b
04407Bh	DMA3起動要因選択レジスタ	DM3SL	XXX0 0000b
04407Ch			
04407Dh	復帰用割り込み優先レベル設定レジスタ2	RIPL2	XX0X 0000b
04407Eh			
04407Fh	復帰用割り込み優先レベル設定レジスタ1	RIPL1	XX0X 0000b
044080h	外部割り込み入力フィルタ選択レジスタ0	INTF0	0000 0000b
044081h			
044082h	外部割り込み入力フィルタ選択レジスタ1	INTF1	0000 0000b
044083h			
044084h			
044085h			
044086h			
044087h			
044088h			
044089h			
04408Ah			
04408Bh			
04408Ch			
04408Dh			
04408Eh			
04408Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.25 SFR一覧(25)

番地	レジスタ	シンボル	リセット後の値
044090h~ 044DFFh			
044E00h	LINチャンネルウィンドウ選択/入力信号“L”検出ステータスレジスタ	LCW	0000 0000b
044E01h	LIN ボーレートジェネレータ制御レジスタ	LBRG	0000 0000b
044E02h	LINボーレートプリスケラ0	LBRP0	00h
044E03h	LINボーレートプリスケラ1	LBRP1	00h
044E04h	LINモードレジスタ0	LMD0	0000 0000b
044E05h	LINモードレジスタ1	LMD1	00h
044E06h	LINウェイクアップ設定レジスタ	LWUP	00h
044E07h			
044E08h	LINブレークフィールド設定レジスタ	LBRK	0000 0000b
044E09h	LINスペース設定レジスタ	LSPC	0000 0000b
044E0Ah	LINレスポンスフィールド設定レジスタ	LRFC	0000 0000b
044E0Bh	LIN IDバッファレジスタ	LIDB	00h
044E0Ch	LIN状態制御レジスタ	LSC	0000 0000b
044E0Dh	LIN送信制御レジスタ	LTC	0000 0000b
044E0Eh	LINステータスレジスタ	LST	0000 0000b
044E0Fh	LINエラーステータスレジスタ	LEST	0000 0000b
044E10h	LINデータ1バッファレジスタ	LDB1	00h
044E11h	LINデータ2バッファレジスタ	LDB2	00h
044E12h	LINデータ3バッファレジスタ	LDB3	00h
044E13h	LINデータ4バッファレジスタ	LDB4	00h
044E14h	LINデータ5バッファレジスタ	LDB5	00h
044E15h	LINデータ6バッファレジスタ	LDB6	00h
044E16h	LINデータ7バッファレジスタ	LDB7	00h
044E17h	LINデータ8バッファレジスタ	LDB8	00h
044E18h			
044E19h			
044E1Ah			
044E1Bh			
044E1Ch			
044E1Dh			
044E1Eh			
044E1Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.26 SFR一覧(26)

番地	レジスタ	シンボル	リセット後の値
044E20h~ 044EFFh			
044F00h			
044F01h			
044F02h			
044F03h			
044F04h			
044F05h			
044F06h	SS0受信データレジスタ	SS0RDR	FFh
044F07h	SS0受信データレジスタ(上位8ビット)	SS0RDR(H)	FFh
044F08h	SS0制御レジスタH	SS0CRH	00h
044F09h	SS0制御レジスタL	SS0CRL	0111 1101b
044F0Ah	SS0モードレジスタ	SS0MR	0001 0000b
044F0Bh	SS0許可レジスタ	SS0ER	00h
044F0Ch	SS0ステータスレジスタ	SS0SR	00h
044F0Dh	SS0モードレジスタ2	SS0MR2	00h
044F0Eh	SS0送信データレジスタ	SS0TDR	FFh
044F0Fh	SS0送信データレジスタ(上位8ビット)	SS0TDR(H)	FFh
044F10h			
044F11h			
044F12h			
044F13h			
044F14h			
044F15h			
044F16h	SS1受信データレジスタ	SS1RDR	FFh
044F17h	SS1受信データレジスタ(上位8ビット)	SS1RDR(H)	FFh
044F18h	SS1制御レジスタH	SS1CRH	00h
044F19h	SS1制御レジスタL	SS1CRL	0111 1101b
044F1Ah	SS1モードレジスタ	SS1MR	0001 0000b
044F1Bh	SS1許可レジスタ	SS1ER	00h
044F1Ch	SS1ステータスレジスタ	SS1SR	00h
044F1Dh	SS1モードレジスタ2	SS1MR2	00h
044F1Eh	SS1送信データレジスタ	SS1TDR	FFh
044F1Fh	SS1送信データレジスタ(上位8ビット)	SS1TDR(H)	FFh
044F20h			
044F21h			
044F22h			
044F23h			
044F24h			
044F25h			
044F26h			
044F27h			
044F28h~ 0471FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.27 SFR一覧(27)

番地	レジスタ	シンボル	リセット後の値
047200h	Gatewayモードレジスタ	GMR	0000 0000b
047201h			
047202h			
047203h			
047204h	GatewayルーティングマップチェックSUM制御レジスタ	GRMCC	0000 0000b
047205h	Gateway送信FIFOチェック制御レジスタ	GTFCC	0000 0000b
047206h			
047207h			
047208h	Gateway送信FIFOクリアレジスタ	GTFCR	0000 0000b
047209h			
04720Ah			
04720Bh			
04720Ch	Gatewayチャンネル制御レジスタ	GCCR	0000 0000b
04720Dh			
04720Eh			
04720Fh			
047210h			
047211h			
047212h			
047213h			
047214h	Gatewayパリティチェック制御レジスタ	GPCCR	0000 0000b
047215h			
047216h			
047217h			
047218h	Gatewayタイムスタンプタイマ制御レジスタ	GTSCR	0000 0000b
047219h			
04721Ah			
04721Bh			
04721Ch	Gatewayルーティングマップベースポインタレジスタ	GRMBP	00h
04721Dh			
04721Eh			
04721Fh			
047220h	Gateway送信FIFO読み出し制御レジスタ	GTFRC	0000 0000b
047221h	Gateway送信FIFO読み出しステータスレジスタ	GTFRS	0000 0000b
047222h			
047223h			
047224h			
047225h			
047226h			
047227h			
047228h			
047229h			
04722Ah			
04722Bh			
04722Ch	Gatewayルーティングマップエントリ数設定レジスタ	GMREC	0000h
04722Dh			
04722Eh	Gatewayエコーバック制御レジスタ	GEBCR	0000 0000b
04722Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.28 SFR一覧(28)

番地	レジスタ	シンボル	リセット後の値
047230h	Gatewayチャンネル0 FIFO0 クリティカルレベル設定レジスタ(注1)	GF00CL	00h
047231h	Gatewayチャンネル1 FIFO0 クリティカルレベル設定レジスタ(注1)	GF10CL	00h
047232h	Gatewayチャンネル2 FIFO0 クリティカルレベル設定レジスタ	GF20CL	00h
047233h	Gatewayチャンネル3 FIFO0 クリティカルレベル設定レジスタ	GF30CL	00h
047234h	Gatewayチャンネル4 FIFO0 クリティカルレベル設定レジスタ(注1)	GF40CL	00h
047235h	Gatewayチャンネル5 FIFO0 クリティカルレベル設定レジスタ	GF50CL	00h
047236h			
047237h			
047238h	Gatewayチャンネル0 FIFO1 クリティカルレベル設定レジスタ(注1)	GF01CL	00h
047239h	Gatewayチャンネル1 FIFO1 クリティカルレベル設定レジスタ(注1)	GF11CL	00h
04723Ah	Gatewayチャンネル2 FIFO1 クリティカルレベル設定レジスタ	GF21CL	00h
04723Bh	Gatewayチャンネル3 FIFO1 クリティカルレベル設定レジスタ	GF31CL	00h
04723Ch	Gatewayチャンネル4 FIFO1 クリティカルレベル設定レジスタ(注1)	GF41CL	00h
04723Dh	Gatewayチャンネル5 FIFO1 クリティカルレベル設定レジスタ	GF51CL	00h
04723Eh			
04723Fh			
047240h	Gatewayチャンネルステータスレジスタ	GCSR	0000 0000b
047241h	Gateway SUM演算・FIFOチェックステータスレジスタ	GSCFC	0000 0000b
047242h			
047243h			
047244h	GatewayルーティングマップSUMレジスタ	GRMSR	0000 0000h
047245h			
047246h			
047247h			
047248h	Gatewayチャンネル0 FIFO0 フィルレベル(注1)	GF00FL	00h
047249h			
04724Ah	Gatewayチャンネル0 FIFO1 フィルレベル(注1)	GF01FL	00h
04724Bh			
04724Ch	Gatewayチャンネル1 FIFO0 フィルレベル(注1)	GF10FL	00h
04724Dh			
04724Eh	Gatewayチャンネル1 FIFO1 フィルレベル(注1)	GF11FL	00h
04724Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. R32C/142グループにはCAN0、CAN1、CAN4はありません。

表 4.29 SFR一覧(29)

番地	レジスタ	シンボル	リセット後の値
047250h	Gatewayチャンネル2 FIFO0 フィルレベル	GF20FL	00h
047251h			
047252h	Gatewayチャンネル2 FIFO1 フィルレベル	GF21FL	00h
047253h			
047254h	Gatewayチャンネル3 FIFO0 フィルレベル	GF30FL	00h
047255h			
047256h	Gatewayチャンネル3 FIFO1 フィルレベル	GF31FL	00h
047257h			
047258h	Gatewayチャンネル4 FIFO0 フィルレベル(注1)	GF40FL	00h
047259h			
04725Ah	Gatewayチャンネル4 FIFO1 フィルレベル(注1)	GF41FL	00h
04725Bh			
04725Ch	Gatewayチャンネル5 FIFO0 フィルレベル	GF50FL	00h
04725Dh			
04725Eh	Gatewayチャンネル5 FIFO1 フィルレベル	GF51FL	00h
04725Fh			
047260h	Gatewayルーティングエラーステータスレジスタ	GRESR	0000 0000b
047261h			
047262h	Gatewayエラー発生エントリ表示レジスタ	GEEIR	0000h
047263h			
047264h			
047265h			
047266h			
047267h			
047268h	Gatewayタイムスタンプタイムレジスタ	GTSTR	0000h
047269h			
04726Ah			
04726Bh			
04726Ch			
04726Dh			
04726Eh			
04726Fh			
047270h	Gatewayチャンネル0 送信FIFO割り込み許可レジスタ(注1)	GC0IE	0000 0000b
047271h	Gatewayチャンネル1 送信FIFO割り込み許可レジスタ(注1)	GC1IE	0000 0000b
047272h	Gatewayチャンネル2 送信FIFO割り込み許可レジスタ	GC2IE	0000 0000b
047273h	Gatewayチャンネル3 送信FIFO割り込み許可レジスタ	GC3IE	0000 0000b
047274h	Gatewayチャンネル4 送信FIFO割り込み許可レジスタ(注1)	GC4IE	0000 0000b
047275h	Gatewayチャンネル5 送信FIFO割り込み許可レジスタ	GC5IE	0000 0000b
047276h			
047277h			
047278h	Gatewayチャンネル0 送信FIFOステータスレジスタ(注1)	GC0SR	0000 0000b
047279h	Gatewayチャンネル1 送信FIFOステータスレジスタ(注1)	GC1SR	0000 0000b
04727Ah	Gatewayチャンネル2 送信FIFOステータスレジスタ	GC2SR	0000 0000b
04727Bh	Gatewayチャンネル3 送信FIFOステータスレジスタ	GC3SR	0000 0000b
04727Ch	Gatewayチャンネル4 送信FIFOステータスレジスタ(注1)	GC4SR	0000 0000b
04727Dh	Gatewayチャンネル5 送信FIFOステータスレジスタ	GC5SR	0000 0000b
04727Eh			
04727Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. R32C/142グループにはCAN0、CAN1、CAN4はありません。

表 4.30 SFR一覧(30)

番地	レジスタ	シンボル	リセット後の値
047280h	Gatewayエラー割り込み許可レジスタ	GIER	0000 0000b
047281h			
047282h			
047283h			
047284h	Gatewayエラーステータスレジスタ	GSR	0000 0000b
047285h			
047286h			
047287h			
047288h			
047289h			
04728Ah			
04728Bh			
04728Ch			
04728Dh			
04728Eh			
04728Fh			
047290h	Gateway送信FIFO読み出しレジスタ0	GFRR0	0000 0000h
047291h			
047292h			
047293h			
047294h	Gateway送信FIFO読み出しレジスタ1	GFRR1	0000 0000h
047295h			
047296h			
047297h			
047298h	Gateway送信FIFO読み出しレジスタ2	GFRR2	0000 0000h
047299h			
04729Ah			
04729Bh			
04729Ch	Gateway送信FIFO読み出しレジスタ3	GFRR3	0000 0000h
04729Dh			
04729Eh			
04729Fh			
0472A0h			
0472A1h			
0472A2h			
0472A3h			
0472A4h			
0472A5h			
0472A6h			
0472A7h			
0472A8h			
0472A9h			
0472AAh			
0472ABh			
0472ACh			
0472ADh			
0472AEh			
0472AFh			
0472B0h~ 0472FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.31 SFR一覧(31)

番地	レジスタ	シンボル	リセット後の値
047300h	Gatewayルーティングマップレジスタ 0L	GRM0L	XXXX XXXXh
047301h			
047302h			
047303h			
047304h	Gatewayルーティングマップレジスタ 0H	GRM0H	XXXX XXXXh
047305h			
047306h			
047307h			
047308h	Gatewayルーティングマップレジスタ 1L	GRM1L	XXXX XXXXh
047309h			
04730Ah			
04730Bh			
04730Ch	Gatewayルーティングマップレジスタ 1H	GRM1H	XXXX XXXXh
04730Dh			
04730Eh			
04730Fh			
047310h	Gatewayルーティングマップレジスタ 2L	GRM2L	XXXX XXXXh
047311h			
047312h			
047313h			
047314h	Gatewayルーティングマップレジスタ 2H	GRM2H	XXXX XXXXh
047315h			
047316h			
047317h			
047318h	Gatewayルーティングマップレジスタ 3L	GRM3L	XXXX XXXXh
047319h			
04731Ah			
04731Bh			
04731Ch	Gatewayルーティングマップレジスタ 3H	GRM3H	XXXX XXXXh
04731Dh			
04731Eh			
04731Fh			
047320h	Gatewayルーティングマップレジスタ 4L	GRM4L	XXXX XXXXh
047321h			
047322h			
047323h			
047324h	Gatewayルーティングマップレジスタ 4H	GRM4H	XXXX XXXXh
047325h			
047326h			
047327h			
047328h	Gatewayルーティングマップレジスタ 5L	GRM5L	XXXX XXXXh
047329h			
04732Ah			
04732Bh			
04732Ch	Gatewayルーティングマップレジスタ 5H	GRM5H	XXXX XXXXh
04732Dh			
04732Eh			
04732Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.32 SFR一覧(32)

番地	レジスタ	シンボル	リセット後の値
047330h	Gatewayルーティングマップレジスタ 6L	GRM6L	XXXX XXXXh
047331h			
047332h			
047333h			
047334h	Gatewayルーティングマップレジスタ 6H	GRM6H	XXXX XXXXh
047335h			
047336h			
047337h			
047338h	Gatewayルーティングマップレジスタ 7L	GRM7L	XXXX XXXXh
047339h			
04733Ah			
04733Bh			
04733Ch	Gatewayルーティングマップレジスタ 7H	GRM7H	XXXX XXXXh
04733Dh			
04733Eh			
04733Fh			
047340h	Gatewayルーティングマップレジスタ 8L	GRM8L	XXXX XXXXh
047341h			
047342h			
047343h			
047344h	Gatewayルーティングマップレジスタ 8H	GRM8H	XXXX XXXXh
047345h			
047346h			
047347h			
047348h	Gatewayルーティングマップレジスタ 9L	GRM9L	XXXX XXXXh
047349h			
04734Ah			
04734Bh			
04734Ch	Gatewayルーティングマップレジスタ 9H	GRM9H	XXXX XXXXh
04734Dh			
04734Eh			
04734Fh			
047350h	Gatewayルーティングマップレジスタ 10L	GRM10L	XXXX XXXXh
047351h			
047352h			
047353h			
047354h	Gatewayルーティングマップレジスタ 10H	GRM10H	XXXX XXXXh
047355h			
047356h			
047357h			
047358h	Gatewayルーティングマップレジスタ 11L	GRM11L	XXXX XXXXh
047359h			
04735Ah			
04735Bh			
04735Ch	Gatewayルーティングマップレジスタ 11H	GRM11H	XXXX XXXXh
04735Dh			
04735Eh			
04735Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.33 SFR一覧(33)

番地	レジスタ	シンボル	リセット後の値
047360h	Gatewayルーティングマップレジスタ 12L	GRM12L	XXXX XXXXh
047361h			
047362h			
047363h			
047364h	Gatewayルーティングマップレジスタ 12H	GRM12H	XXXX XXXXh
047365h			
047366h			
047367h			
047368h	Gatewayルーティングマップレジスタ 13L	GRM13L	XXXX XXXXh
047369h			
04736Ah			
04736Bh			
04736Ch	Gatewayルーティングマップレジスタ 13H	GRM13H	XXXX XXXXh
04736Dh			
04736Eh			
04736Fh			
047370h	Gatewayルーティングマップレジスタ 14L	GRM14L	XXXX XXXXh
047371h			
047372h			
047373h			
047374h	Gatewayルーティングマップレジスタ 14H	GRM14H	XXXX XXXXh
047375h			
047376h			
047377h			
047378h	Gatewayルーティングマップレジスタ 15L	GRM15L	XXXX XXXXh
047379h			
04737Ah			
04737Bh			
04737Ch	Gatewayルーティングマップレジスタ 15H	GRM15H	XXXX XXXXh
04737Dh			
04737Eh			
04737Fh			
047380h	Gatewayビット検索サポートレジスタ0	GBSR0	0000h
047381h			
047382h	Gatewayビット検索ステータスレジスタ0	GBSS0	1000 0000b
047383h	Gatewayビット検索制御レジスタ0	GBSC0	0000 0000b
047384h	Gatewayビット検索サポートレジスタ1	GBSR1	0000h
047385h			
047386h	Gatewayビット検索ステータスレジスタ1	GBSS1	1000 0000b
047387h	Gatewayビット検索制御レジスタ1	GBSC1	0000 0000b
047388h			
047389h			
04738Ah			
04738Bh			
04738Ch			
04738Dh			
04738Eh			
04738Fh			
047390h~ 0473Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.34 SFR一覧(34)

番地	レジスタ	シンボル	リセット後の値			
047400h	CAN5 メールボックス0: メッセージ識別子	C5MB0	XXXX XXXXh			
047401h						
047402h						
047403h						
047404h						
047405h	CAN5 メールボックス0: データ長		XXh			
047406h	CAN5 メールボックス0: データフィールド		XXXX XXXX XXXX XXXXh			
047407h						
047408h						
047409h						
04740Ah						
04740Bh						
04740Ch						
04740Dh						
04740Eh				CAN5 メールボックス0: タイムスタンプ		XXXXh
04740Fh						
047410h	CAN5 メールボックス1: メッセージ識別子	C5MB1	XXXX XXXXh			
047411h						
047412h						
047413h						
047414h						
047415h	CAN5 メールボックス1: データ長		XXh			
047416h	CAN5 メールボックス1: データフィールド		XXXX XXXX XXXX XXXXh			
047417h						
047418h						
047419h						
04741Ah						
04741Bh						
04741Ch						
04741Dh						
04741Eh				CAN5 メールボックス1: タイムスタンプ		XXXXh
04741Fh						
047420h	CAN5 メールボックス2: メッセージ識別子	C5MB2	XXXX XXXXh			
047421h						
047422h						
047423h						
047424h						
047425h	CAN5 メールボックス2: データ長		XXh			
047426h	CAN5 メールボックス2: データフィールド		XXXX XXXX XXXX XXXXh			
047427h						
047428h						
047429h						
04742Ah						
04742Bh						
04742Ch						
04742Dh						
04742Eh				CAN5 メールボックス2: タイムスタンプ		XXXXh
04742Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.35 SFR一覧(35)

番地	レジスタ	シンボル	リセット後の値
047430h	CAN5 メールボックス3: メッセージ識別子	C5MB3	XXXX XXXXh
047431h			
047432h			
047433h			
047434h			
047435h	CAN5 メールボックス3: データ長		XXh
047436h	CAN5 メールボックス3: データフィールド		XXXX XXXX XXXX XXXXh
047437h			
047438h			
047439h			
04743Ah			
04743Bh			
04743Ch			
04743Dh			
04743Eh	CAN5 メールボックス3: タイムスタンプ		XXXXh
04743Fh			
047440h	CAN5 メールボックス4: メッセージ識別子	C5MB4	XXXX XXXXh
047441h			
047442h			
047443h			
047444h			
047445h	CAN5 メールボックス4: データ長		XXh
047446h	CAN5 メールボックス4: データフィールド		XXXX XXXX XXXX XXXXh
047447h			
047448h			
047449h			
04744Ah			
04744Bh			
04744Ch			
04744Dh			
04744Eh	CAN5 メールボックス4: タイムスタンプ		XXXXh
04744Fh			
047450h	CAN5 メールボックス5: メッセージ識別子	C5MB5	XXXX XXXXh
047451h			
047452h			
047453h			
047454h			
047455h	CAN5 メールボックス5: データ長		XXh
047456h	CAN5 メールボックス5: データフィールド		XXXX XXXX XXXX XXXXh
047457h			
047458h			
047459h			
04745Ah			
04745Bh			
04745Ch			
04745Dh			
04745Eh	CAN5 メールボックス5: タイムスタンプ		XXXXh
04745Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.36 SFR一覧(36)

番地	レジスタ	シンボル	リセット後の値			
047460h	CAN5 メールボックス6: メッセージ識別子	C5MB6	XXXX XXXXh			
047461h						
047462h						
047463h						
047464h						
047465h	CAN5 メールボックス6: データ長		XXh			
047466h	CAN5 メールボックス6: データフィールド		XXXX XXXX XXXX XXXXh			
047467h						
047468h						
047469h						
04746Ah						
04746Bh						
04746Ch						
04746Dh						
04746Eh				CAN5 メールボックス6: タイムスタンプ		XXXXh
04746Fh						
047470h	CAN5 メールボックス7: メッセージ識別子	C5MB7	XXXX XXXXh			
047471h						
047472h						
047473h						
047474h						
047475h	CAN5 メールボックス7: データ長		XXh			
047476h	CAN5 メールボックス7: データフィールド		XXXX XXXX XXXX XXXXh			
047477h						
047478h						
047479h						
04747Ah						
04747Bh						
04747Ch						
04747Dh						
04747Eh				CAN5 メールボックス7: タイムスタンプ		XXXXh
04747Fh						
047480h	CAN5 メールボックス8: メッセージ識別子	C5MB8	XXXX XXXXh			
047481h						
047482h						
047483h						
047484h						
047485h	CAN5 メールボックス8: データ長		XXh			
047486h	CAN5 メールボックス8: データフィールド		XXXX XXXX XXXX XXXXh			
047487h						
047488h						
047489h						
04748Ah						
04748Bh						
04748Ch						
04748Dh						
04748Eh				CAN5 メールボックス8: タイムスタンプ		XXXXh
04748Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.37 SFR一覧(37)

番地	レジスタ	シンボル	リセット後の値
047490h	CAN5 メールボックス 9: メッセージ識別子	C5MB9	XXXX XXXXh
047491h			
047492h			
047493h			
047494h			
047495h	CAN5 メールボックス 9: データ長		XXh
047496h	CAN5 メールボックス 9: データフィールド		XXXX XXXX XXXX XXXXh
047497h			
047498h			
047499h			
04749Ah			
04749Bh			
04749Ch			
04749Dh			
04749Eh	CAN5 メールボックス 9: タイムスタンプ		XXXXh
04749Fh			
0474A0h	CAN5 メールボックス 10: メッセージ識別子	C5MB10	XXXX XXXXh
0474A1h			
0474A2h			
0474A3h			
0474A4h			
0474A5h	CAN5 メールボックス 10: データ長		XXh
0474A6h	CAN5 メールボックス 10: データフィールド		XXXX XXXX XXXX XXXXh
0474A7h			
0474A8h			
0474A9h			
0474AAh			
0474ABh			
0474ACh			
0474ADh			
0474AEh	CAN5 メールボックス 10: タイムスタンプ		XXXXh
0474AFh			
0474B0h	CAN5 メールボックス 11: メッセージ識別子	C5MB11	XXXX XXXXh
0474B1h			
0474B2h			
0474B3h			
0474B4h			
0474B5h	CAN5 メールボックス 11: データ長		XXh
0474B6h	CAN5 メールボックス 11: データフィールド		XXXX XXXX XXXX XXXXh
0474B7h			
0474B8h			
0474B9h			
0474BAh			
0474BBh			
0474BCh			
0474BDh			
0474BEh	CAN5 メールボックス 11: タイムスタンプ		XXXXh
0474BFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.38 SFR一覧(38)

番地	レジスタ	シンボル	リセット後の値			
0474C0h	CAN5 メールボックス 12: メッセージ識別子	C5MB12	XXXX XXXXh			
0474C1h						
0474C2h						
0474C3h						
0474C4h						
0474C5h	CAN5 メールボックス 12: データ長		XXh			
0474C6h	CAN5 メールボックス 12: データフィールド		XXXX XXXX XXXX XXXXh			
0474C7h						
0474C8h						
0474C9h						
0474CAh						
0474CBh						
0474CCh						
0474CDh						
0474CEh				CAN5 メールボックス 12: タイムスタンプ		XXXXh
0474CFh						
0474D0h	CAN5 メールボックス 13: メッセージ識別子	C5MB13	XXXX XXXXh			
0474D1h						
0474D2h						
0474D3h						
0474D4h						
0474D5h	CAN5 メールボックス 13: データ長		XXh			
0474D6h	CAN5 メールボックス 13: データフィールド		XXXX XXXX XXXX XXXXh			
0474D7h						
0474D8h						
0474D9h						
0474DAh						
0474DBh						
0474DCh						
0474DDh						
0474DEh				CAN5 メールボックス 13: タイムスタンプ		XXXXh
0474DFh						
0474E0h	CAN5 メールボックス 14: メッセージ識別子	C5MB14	XXXX XXXXh			
0474E1h						
0474E2h						
0474E3h						
0474E4h						
0474E5h	CAN5 メールボックス 14: データ長		XXh			
0474E6h	CAN5 メールボックス 14: データフィールド		XXXX XXXX XXXX XXXXh			
0474E7h						
0474E8h						
0474E9h						
0474EAh						
0474EBh						
0474ECh						
0474EDh						
0474EEh				CAN5 メールボックス 14: タイムスタンプ		XXXXh
0474EFh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.39 SFR一覧(39)

番地	レジスタ	シンボル	リセット後の値			
0474F0h	CAN5 メールボックス 15: メッセージ識別子	C5MB15	XXXX XXXXh			
0474F1h						
0474F2h						
0474F3h						
0474F4h						
0474F5h	CAN5 メールボックス 15: データ長		XXh			
0474F6h	CAN5 メールボックス 15: データフィールド		XXXX XXXX XXXX XXXXh			
0474F7h						
0474F8h						
0474F9h						
0474FAh						
0474FBh						
0474FCh						
0474FDh						
0474FEh				CAN5 メールボックス 15: タイムスタンプ		XXXXh
0474FFh						
047500h~ 04750Fh						
047510h	CAN5 マスクレジスタ 0	C5MKR0	XXXX XXXXh			
047511h						
047512h						
047513h						
047514h	CAN5 マスクレジスタ 1	C5MKR1	XXXX XXXXh			
047515h						
047516h						
047517h						
047518h	CAN5 マスクレジスタ 2	C5MKR2	XXXX XXXXh			
047519h						
04751Ah						
04751Bh						
04751Ch	CAN5 マスクレジスタ 3	C5MKR3	XXXX XXXXh			
04751Dh						
04751Eh						
04751Fh						
047520h	CAN5FIFO 受信ID 比較レジスタ 0	C5FIDCR0	XXXX XXXXh			
047521h						
047522h						
047523h						
047524h	CAN5FIFO 受信ID 比較レジスタ 1	C5FIDCR1	XXXX XXXXh			
047525h						
047526h						
047527h						
047528h						
047529h						
04752Ah	CAN5 マスク無効レジスタ	C5MKIVLR	XXXXh			
04752Bh						
04752Ch						
04752Dh						
04752Eh	CAN5 メールボックス 割り込み許可レジスタ	C5MIER	XXXXh			
04752Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.40 SFR一覧(40)

番地	レジスタ	シンボル	リセット後の値
047530h	CAN5メッセージ制御レジスタ0	C5MCTL0	00h
047531h	CAN5メッセージ制御レジスタ1	C5MCTL1	00h
047532h	CAN5メッセージ制御レジスタ2	C5MCTL2	00h
047533h	CAN5メッセージ制御レジスタ3	C5MCTL3	00h
047534h	CAN5メッセージ制御レジスタ4	C5MCTL4	00h
047535h	CAN5メッセージ制御レジスタ5	C5MCTL5	00h
047536h	CAN5メッセージ制御レジスタ6	C5MCTL6	00h
047537h	CAN5メッセージ制御レジスタ7	C5MCTL7	00h
047538h	CAN5メッセージ制御レジスタ8	C5MCTL8	00h
047539h	CAN5メッセージ制御レジスタ9	C5MCTL9	00h
04753Ah	CAN5メッセージ制御レジスタ10	C5MCTL10	00h
04753Bh	CAN5メッセージ制御レジスタ11	C5MCTL11	00h
04753Ch	CAN5メッセージ制御レジスタ12	C5MCTL12	00h
04753Dh	CAN5メッセージ制御レジスタ13	C5MCTL13	00h
04753Eh	CAN5メッセージ制御レジスタ14	C5MCTL14	00h
04753Fh	CAN5メッセージ制御レジスタ15	C5MCTL15	00h
047540h	CAN5制御レジスタ	C5CTLR	0000 0101b
047541h			0000 0000b
047542h	CAN5ステータスレジスタ	C5STR	0000 0101b
047543h			0000 0000b
047544h	CAN5ビットコンフィグレーションレジスタ	C5BCR	00 0000h
047545h			
047546h			
047547h	CAN5クロック選択レジスタ	C5CLKR	000X 0000b
047548h	CAN5受信FIFO制御レジスタ	C5RFCR	1000 0000b
047549h	CAN5受信FIFOポインタ制御レジスタ	C5RFPCR	XXh
04754Ah	CAN5送信FIFO制御レジスタ	C5TFCR	1000 0000b
04754Bh	CAN5送信FIFOポインタ制御レジスタ	C5TFPCR	XXh
04754Ch	CAN5エラー割り込み許可レジスタ	C5EIER	00h
04754Dh	CAN5エラー割り込み要因判定レジスタ	C5EIFR	00h
04754Eh	CAN5受信エラーカウントレジスタ	C5RECR	00h
04754Fh	CAN5送信エラーカウントレジスタ	C5TECR	00h
047550h	CAN5エラーコード格納レジスタ	C5ECSR	00h
047551h	CAN5チャネルサーチサポートレジスタ	C5CSSR	XXh
047552h	CAN5メールボックスサーチステータスレジスタ	C5MSSR	1000 0000b
047553h	CAN5メールボックスサーチモードレジスタ	C5MSMR	0000 0000b
047554h	CAN5タイムスタンプレジスタ	C5TSR	0000h
047555h			
047556h	CAN5アクセプタンスフィルタサポートレジスタ	C5AFSR	XXXXh
047557h			
047558h	CAN5テスト制御レジスタ	C5TCR	00h
047559h			
04755Ah			
04755Bh			
04755Ch~ 0475FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.41 SFR一覧(41)

番地	レジスタ	シンボル	リセット後の値			
047600h	CAN4 メールボックス0: メッセージ識別子	C4MB0	XXXX XXXXh			
047601h						
047602h						
047603h						
047604h						
047605h	CAN4 メールボックス0: データ長		XXh			
047606h	CAN4 メールボックス0: データフィールド		XXXX XXXX XXXX XXXXh			
047607h						
047608h						
047609h						
04760Ah						
04760Bh						
04760Ch						
04760Dh						
04760Eh				CAN4 メールボックス0: タイムスタンプ		XXXXh
04760Fh						
047610h	CAN4 メールボックス1: メッセージ識別子	C4MB1	XXXX XXXXh			
047611h						
047612h						
047613h						
047614h						
047615h	CAN4 メールボックス1: データ長		XXh			
047616h	CAN4 メールボックス1: データフィールド		XXXX XXXX XXXX XXXXh			
047617h						
047618h						
047619h						
04761Ah						
04761Bh						
04761Ch						
04761Dh						
04761Eh				CAN4 メールボックス1: タイムスタンプ		XXXXh
04761Fh						
047620h	CAN4 メールボックス2: メッセージ識別子	C4MB2	XXXX XXXXh			
047621h						
047622h						
047623h						
047624h						
047625h	CAN4 メールボックス2: データ長		XXh			
047626h	CAN4 メールボックス2: データフィールド		XXXX XXXX XXXX XXXXh			
047627h						
047628h						
047629h						
04762Ah						
04762Bh						
04762Ch						
04762Dh						
04762Eh				CAN4 メールボックス2: タイムスタンプ		XXXXh
04762Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.42 SFR一覧(42)

番地	レジスタ	シンボル	リセット後の値
047630h	CAN4 メールボックス3: メッセージ識別子	C4MB3	XXXX XXXXh
047631h			
047632h			
047633h			
047634h			
047635h	CAN4 メールボックス3: データ長		XXh
047636h	CAN4 メールボックス3: データフィールド		XXXX XXXX XXXX XXXXh
047637h			
047638h			
047639h			
04763Ah			
04763Bh			
04763Ch			
04763Dh			
04763Eh			
04763Fh	CAN4 メールボックス3: タイムスタンプ		XXXXh
047640h	CAN4 メールボックス4: メッセージ識別子	C4MB4	XXXX XXXXh
047641h			
047642h			
047643h			
047644h			
047645h	CAN4 メールボックス4: データ長		XXh
047646h	CAN4 メールボックス4: データフィールド		XXXX XXXX XXXX XXXXh
047647h			
047648h			
047649h			
04764Ah			
04764Bh			
04764Ch			
04764Dh			
04764Eh			
04764Fh	CAN4 メールボックス4: タイムスタンプ		XXXXh
047650h	CAN4 メールボックス5: メッセージ識別子	C4MB5	XXXX XXXXh
047651h			
047652h			
047653h			
047654h			
047655h	CAN4 メールボックス5: データ長		XXh
047656h	CAN4 メールボックス5: データフィールド		XXXX XXXX XXXX XXXXh
047657h			
047658h			
047659h			
04765Ah			
04765Bh			
04765Ch			
04765Dh			
04765Eh			
04765Fh	CAN4 メールボックス5: タイムスタンプ		XXXXh

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.43 SFR一覧(43)

番地	レジスタ	シンボル	リセット後の値			
047660h	CAN4 メールボックス6: メッセージ識別子	C4MB6	XXXX XXXXh			
047661h						
047662h						
047663h						
047664h						
047665h	CAN4 メールボックス6: データ長		XXh			
047666h	CAN4 メールボックス6: データフィールド		XXXX XXXX XXXX XXXXh			
047667h						
047668h						
047669h						
04766Ah						
04766Bh						
04766Ch						
04766Dh						
04766Eh				CAN4 メールボックス6: タイムスタンプ		XXXXh
04766Fh						
047670h	CAN4 メールボックス7: メッセージ識別子	C4MB7	XXXX XXXXh			
047671h						
047672h						
047673h						
047674h						
047675h	CAN4 メールボックス7: データ長		XXh			
047676h	CAN4 メールボックス7: データフィールド		XXXX XXXX XXXX XXXXh			
047677h						
047678h						
047679h						
04767Ah						
04767Bh						
04767Ch						
04767Dh						
04767Eh				CAN4 メールボックス7: タイムスタンプ		XXXXh
04767Fh						
047680h	CAN4 メールボックス8: メッセージ識別子	C4MB8	XXXX XXXXh			
047681h						
047682h						
047683h						
047684h						
047685h	CAN4 メールボックス8: データ長		XXh			
047686h	CAN4 メールボックス8: データフィールド		XXXX XXXX XXXX XXXXh			
047687h						
047688h						
047689h						
04768Ah						
04768Bh						
04768Ch						
04768Dh						
04768Eh				CAN4 メールボックス8: タイムスタンプ		XXXXh
04768Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.44 SFR一覧(44)

番地	レジスタ	シンボル	リセット後の値
047690h	CAN4 メールボックス 9: メッセージ識別子	C4MB9	XXXX XXXXh
047691h			
047692h			
047693h			
047694h			
047695h	CAN4 メールボックス 9: データ長		XXh
047696h	CAN4 メールボックス 9: データフィールド		XXXX XXXX XXXX XXXXh
047697h			
047698h			
047699h			
04769Ah			
04769Bh			
04769Ch			
04769Dh			
04769Eh	CAN4 メールボックス 9: タイムスタンプ		XXXXh
04769Fh			
0476A0h	CAN4 メールボックス 10: メッセージ識別子	C4MB10	XXXX XXXXh
0476A1h			
0476A2h			
0476A3h			
0476A4h			
0476A5h	CAN4 メールボックス 10: データ長		XXh
0476A6h	CAN4 メールボックス 10: データフィールド		XXXX XXXX XXXX XXXXh
0476A7h			
0476A8h			
0476A9h			
0476AAh			
0476ABh			
0476ACh			
0476ADh			
0476AEh	CAN4 メールボックス 10: タイムスタンプ		XXXXh
0476AFh			
0476B0h	CAN4 メールボックス 11: メッセージ識別子	C4MB11	XXXX XXXXh
0476B1h			
0476B2h			
0476B3h			
0476B4h			
0476B5h	CAN4 メールボックス 11: データ長		XXh
0476B6h	CAN4 メールボックス 11: データフィールド		XXXX XXXX XXXX XXXXh
0476B7h			
0476B8h			
0476B9h			
0476BAh			
0476BBh			
0476BCh			
0476BDh			
0476BEh	CAN4 メールボックス 11: タイムスタンプ		XXXXh
0476BFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.45 SFR一覧(45)

番地	レジスタ	シンボル	リセット後の値			
0476C0h	CAN4 メールボックス 12: メッセージ識別子	C4MB12	XXXX XXXXh			
0476C1h						
0476C2h						
0476C3h						
0476C4h						
0476C5h	CAN4 メールボックス 12: データ長		XXh			
0476C6h	CAN4 メールボックス 12: データフィールド		XXXX XXXX XXXX XXXXh			
0476C7h						
0476C8h						
0476C9h						
0476CAh						
0476CBh						
0476CCh						
0476CDh						
0476CEh				CAN4 メールボックス 12: タイムスタンプ		XXXXh
0476CFh						
0476D0h	CAN4 メールボックス 13: メッセージ識別子	C4MB13	XXXX XXXXh			
0476D1h						
0476D2h						
0476D3h						
0476D4h						
0476D5h	CAN4 メールボックス 13: データ長		XXh			
0476D6h	CAN4 メールボックス 13: データフィールド		XXXX XXXX XXXX XXXXh			
0476D7h						
0476D8h						
0476D9h						
0476DAh						
0476DBh						
0476DCh						
0476DDh						
0476DEh				CAN4 メールボックス 13: タイムスタンプ		XXXXh
0476DFh						
0476E0h	CAN4 メールボックス 14: メッセージ識別子	C4MB14	XXXX XXXXh			
0476E1h						
0476E2h						
0476E3h						
0476E4h						
0476E5h	CAN4 メールボックス 14: データ長		XXh			
0476E6h	CAN4 メールボックス 14: データフィールド		XXXX XXXX XXXX XXXXh			
0476E7h						
0476E8h						
0476E9h						
0476EAh						
0476EBh						
0476ECh						
0476EDh						
0476EEh				CAN4 メールボックス 14: タイムスタンプ		XXXXh
0476EFh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.46 SFR一覧(46)

番地	レジスタ	シンボル	リセット後の値			
0476F0h	CAN4 メールボックス 15: メッセージ識別子	C4MB15	XXXX XXXXh			
0476F1h						
0476F2h						
0476F3h						
0476F4h						
0476F5h	CAN4 メールボックス 15: データ長		XXh			
0476F6h	CAN4 メールボックス 15: データフィールド		XXXX XXXX XXXX XXXXh			
0476F7h						
0476F8h						
0476F9h						
0476FAh						
0476FBh						
0476FCh						
0476FDh						
0476FEh				CAN4 メールボックス 15: タイムスタンプ		XXXXh
0476FFh						
047700h~ 04770Fh						
047710h	CAN4 マスクレジスタ 0	C4MKR0	XXXX XXXXh			
047711h						
047712h						
047713h						
047714h	CAN4 マスクレジスタ 1	C4MKR1	XXXX XXXXh			
047715h						
047716h						
047717h						
047718h	CAN4 マスクレジスタ 2	C4MKR2	XXXX XXXXh			
047719h						
04771Ah						
04771Bh						
04771Ch	CAN4 マスクレジスタ 3	C4MKR3	XXXX XXXXh			
04771Dh						
04771Eh						
04771Fh						
047720h	CAN4FIFO 受信ID 比較レジスタ 0	C4FIDCR0	XXXX XXXXh			
047721h						
047722h						
047723h						
047724h	CAN4FIFO 受信ID 比較レジスタ 1	C4FIDCR1	XXXX XXXXh			
047725h						
047726h						
047727h						
047728h						
047729h						
04772Ah	CAN4 マスク無効レジスタ	C4MKIVLR	XXXXh			
04772Bh						
04772Ch						
04772Dh						
04772Eh	CAN4 メールボックス 割り込み許可レジスタ	C4MIER	XXXXh			
04772Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.47 SFR一覧(47)

番地	レジスタ	シンボル	リセット後の値
047730h	CAN4メッセージ制御レジスタ0	C4MCTL0	00h
047731h	CAN4メッセージ制御レジスタ1	C4MCTL1	00h
047732h	CAN4メッセージ制御レジスタ2	C4MCTL2	00h
047733h	CAN4メッセージ制御レジスタ3	C4MCTL3	00h
047734h	CAN4メッセージ制御レジスタ4	C4MCTL4	00h
047735h	CAN4メッセージ制御レジスタ5	C4MCTL5	00h
047736h	CAN4メッセージ制御レジスタ6	C4MCTL6	00h
047737h	CAN4メッセージ制御レジスタ7	C4MCTL7	00h
047738h	CAN4メッセージ制御レジスタ8	C4MCTL8	00h
047739h	CAN4メッセージ制御レジスタ9	C4MCTL9	00h
04773Ah	CAN4メッセージ制御レジスタ10	C4MCTL10	00h
04773Bh	CAN4メッセージ制御レジスタ11	C4MCTL11	00h
04773Ch	CAN4メッセージ制御レジスタ12	C4MCTL12	00h
04773Dh	CAN4メッセージ制御レジスタ13	C4MCTL13	00h
04773Eh	CAN4メッセージ制御レジスタ14	C4MCTL14	00h
04773Fh	CAN4メッセージ制御レジスタ15	C4MCTL15	00h
047740h	CAN4制御レジスタ	C4CTLR	0000 0101b
047741h			0000 0000b
047742h	CAN4ステータスレジスタ	C4STR	0000 0101b
047743h			0000 0000b
047744h	CAN4ビットコンフィグレーションレジスタ	C4BCR	00 0000h
047745h			
047746h			
047747h	CAN4クロック選択レジスタ	C4CLKR	000X 0000b
047748h	CAN4受信FIFO制御レジスタ	C4RFCR	1000 0000b
047749h	CAN4受信FIFOポインタ制御レジスタ	C4RFPCR	XXh
04774Ah	CAN4送信FIFO制御レジスタ	C4TFCR	1000 0000b
04774Bh	CAN4送信FIFOポインタ制御レジスタ	C4TFPCR	XXh
04774Ch	CAN4エラー割り込み許可レジスタ	C4EIER	00h
04774Dh	CAN4エラー割り込み要因判定レジスタ	C4EIFR	00h
04774Eh	CAN4受信エラーカウントレジスタ	C4RECR	00h
04774Fh	CAN4送信エラーカウントレジスタ	C4TECR	00h
047750h	CAN4エラーコード格納レジスタ	C4ECSR	00h
047751h	CAN4チャネルサーチサポートレジスタ	C4CSSR	XXh
047752h	CAN4メールボックスサーチステータスレジスタ	C4MSSR	1000 0000b
047753h	CAN4メールボックスサーチモードレジスタ	C4MSMR	0000 0000b
047754h	CAN4タイムスタンプレジスタ	C4TSR	0000h
047755h			
047756h	CAN4アクセプタンスフィルタサポートレジスタ	C4AFSR	XXXXh
047757h			
047758h	CAN4テスト制御レジスタ	C4TCR	00h
047759h			
04775Ah			
04775Bh			
04775Ch~ 0477Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.48 SFR一覧(48)

番地	レジスタ	シンボル	リセット後の値			
047800h	CAN3 メールボックス0: メッセージ識別子	C3MB0	XXXX XXXXh			
047801h						
047802h						
047803h						
047804h						
047805h	CAN3 メールボックス0: データ長		XXh			
047806h	CAN3 メールボックス0: データフィールド		XXXX XXXX XXXX XXXXh			
047807h						
047808h						
047809h						
04780Ah						
04780Bh						
04780Ch						
04780Dh						
04780Eh				CAN3 メールボックス0: タイムスタンプ		XXXXh
04780Fh						
047810h	CAN3 メールボックス1: メッセージ識別子	C3MB1	XXXX XXXXh			
047811h						
047812h						
047813h						
047814h						
047815h	CAN3 メールボックス1: データ長		XXh			
047816h	CAN3 メールボックス1: データフィールド		XXXX XXXX XXXX XXXXh			
047817h						
047818h						
047819h						
04781Ah						
04781Bh						
04781Ch						
04781Dh						
04781Eh				CAN3 メールボックス1: タイムスタンプ		XXXXh
04781Fh						
047820h	CAN3 メールボックス2: メッセージ識別子	C3MB2	XXXX XXXXh			
047821h						
047822h						
047823h						
047824h						
047825h	CAN3 メールボックス2: データ長		XXh			
047826h	CAN3 メールボックス2: データフィールド		XXXX XXXX XXXX XXXXh			
047827h						
047828h						
047829h						
04782Ah						
04782Bh						
04782Ch						
04782Dh						
04782Eh				CAN3 メールボックス2: タイムスタンプ		XXXXh
04782Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.49 SFR一覧(49)

番地	レジスタ	シンボル	リセット後の値
047830h	CAN3 メールボックス3: メッセージ識別子	C3MB3	XXXX XXXXh
047831h			
047832h			
047833h			
047834h			
047835h	CAN3 メールボックス3: データ長		XXh
047836h	CAN3 メールボックス3: データフィールド		XXXX XXXX XXXX XXXXh
047837h			
047838h			
047839h			
04783Ah			
04783Bh			
04783Ch			
04783Dh			
04783Eh			
04783Fh	CAN3 メールボックス3: タイムスタンプ		XXXXh
047840h	CAN3 メールボックス4: メッセージ識別子	C3MB4	XXXX XXXXh
047841h			
047842h			
047843h			
047844h			
047845h	CAN3 メールボックス4: データ長		XXh
047846h	CAN3 メールボックス4: データフィールド		XXXX XXXX XXXX XXXXh
047847h			
047848h			
047849h			
04784Ah			
04784Bh			
04784Ch			
04784Dh			
04784Eh			
04784Fh	CAN3 メールボックス4: タイムスタンプ		XXXXh
047850h	CAN3 メールボックス5: メッセージ識別子	C3MB5	XXXX XXXXh
047851h			
047852h			
047853h			
047854h			
047855h	CAN3 メールボックス5: データ長		XXh
047856h	CAN3 メールボックス5: データフィールド		XXXX XXXX XXXX XXXXh
047857h			
047858h			
047859h			
04785Ah			
04785Bh			
04785Ch			
04785Dh			
04785Eh			
04785Fh	CAN3 メールボックス5: タイムスタンプ		XXXXh

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.50 SFR一覧(50)

番地	レジスタ	シンボル	リセット後の値			
047860h	CAN3 メールボックス6: メッセージ識別子	C3MB6	XXXX XXXXh			
047861h						
047862h						
047863h						
047864h						
047865h	CAN3 メールボックス6: データ長		XXh			
047866h	CAN3 メールボックス6: データフィールド		XXXX XXXX XXXX XXXXh			
047867h						
047868h						
047869h						
04786Ah						
04786Bh						
04786Ch						
04786Dh						
04786Eh				CAN3 メールボックス6: タイムスタンプ		XXXXh
04786Fh						
047870h	CAN3 メールボックス7: メッセージ識別子	C3MB7	XXXX XXXXh			
047871h						
047872h						
047873h						
047874h						
047875h	CAN3 メールボックス7: データ長		XXh			
047876h	CAN3 メールボックス7: データフィールド		XXXX XXXX XXXX XXXXh			
047877h						
047878h						
047879h						
04787Ah						
04787Bh						
04787Ch						
04787Dh						
04787Eh				CAN3 メールボックス7: タイムスタンプ		XXXXh
04787Fh						
047880h	CAN3 メールボックス8: メッセージ識別子	C3MB8	XXXX XXXXh			
047881h						
047882h						
047883h						
047884h						
047885h	CAN3 メールボックス8: データ長		XXh			
047886h	CAN3 メールボックス8: データフィールド		XXXX XXXX XXXX XXXXh			
047887h						
047888h						
047889h						
04788Ah						
04788Bh						
04788Ch						
04788Dh						
04788Eh				CAN3 メールボックス8: タイムスタンプ		XXXXh
04788Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.51 SFR一覧(51)

番地	レジスタ	シンボル	リセット後の値
047890h	CAN3 メールボックス 9: メッセージ識別子	C3MB9	XXXX XXXXh
047891h			
047892h			
047893h			
047894h			
047895h	CAN3 メールボックス 9: データ長		XXh
047896h	CAN3 メールボックス 9: データフィールド		XXXX XXXX XXXX XXXXh
047897h			
047898h			
047899h			
04789Ah			
04789Bh			
04789Ch			
04789Dh			
04789Eh	CAN3 メールボックス 9: タイムスタンプ		XXXXh
04789Fh			
0478A0h	CAN3 メールボックス 10: メッセージ識別子	C3MB10	XXXX XXXXh
0478A1h			
0478A2h			
0478A3h			
0478A4h			
0478A5h	CAN3 メールボックス 10: データ長		XXh
0478A6h	CAN3 メールボックス 10: データフィールド		XXXX XXXX XXXX XXXXh
0478A7h			
0478A8h			
0478A9h			
0478AAh			
0478ABh			
0478ACh			
0478ADh			
0478AEh	CAN3 メールボックス 10: タイムスタンプ		XXXXh
0478AFh			
0478B0h	CAN3 メールボックス 11: メッセージ識別子	C3MB11	XXXX XXXXh
0478B1h			
0478B2h			
0478B3h			
0478B4h			
0478B5h	CAN3 メールボックス 11: データ長		XXh
0478B6h	CAN3 メールボックス 11: データフィールド		XXXX XXXX XXXX XXXXh
0478B7h			
0478B8h			
0478B9h			
0478BAh			
0478BBh			
0478BCh			
0478BDh			
0478BEh	CAN3 メールボックス 11: タイムスタンプ		XXXXh
0478BFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.52 SFR一覧(52)

番地	レジスタ	シンボル	リセット後の値			
0478C0h	CAN3 メールボックス 12: メッセージ識別子	C3MB12	XXXX XXXXh			
0478C1h						
0478C2h						
0478C3h						
0478C4h						
0478C5h	CAN3 メールボックス 12: データ長		XXh			
0478C6h	CAN3 メールボックス 12: データフィールド		XXXX XXXX XXXX XXXXh			
0478C7h						
0478C8h						
0478C9h						
0478CAh						
0478CBh						
0478CCh						
0478CDh						
0478CEh				CAN3 メールボックス 12: タイムスタンプ		XXXXh
0478CFh						
0478D0h	CAN3 メールボックス 13: メッセージ識別子	C3MB13	XXXX XXXXh			
0478D1h						
0478D2h						
0478D3h						
0478D4h						
0478D5h	CAN3 メールボックス 13: データ長		XXh			
0478D6h	CAN3 メールボックス 13: データフィールド		XXXX XXXX XXXX XXXXh			
0478D7h						
0478D8h						
0478D9h						
0478DAh						
0478DBh						
0478DCh						
0478DDh						
0478DEh				CAN3 メールボックス 13: タイムスタンプ		XXXXh
0478DFh						
0478E0h	CAN3 メールボックス 14: メッセージ識別子	C3MB14	XXXX XXXXh			
0478E1h						
0478E2h						
0478E3h						
0478E4h						
0478E5h	CAN3 メールボックス 14: データ長		XXh			
0478E6h	CAN3 メールボックス 14: データフィールド		XXXX XXXX XXXX XXXXh			
0478E7h						
0478E8h						
0478E9h						
0478EAh						
0478EBh						
0478ECh						
0478EDh						
0478EEh				CAN3 メールボックス 14: タイムスタンプ		XXXXh
0478EFh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.53 SFR一覧(53)

番地	レジスタ	シンボル	リセット後の値			
0478F0h	CAN3 メールボックス 15: メッセージ識別子	C3MB15	XXXX XXXXh			
0478F1h						
0478F2h						
0478F3h						
0478F4h						
0478F5h	CAN3 メールボックス 15: データ長		XXh			
0478F6h	CAN3 メールボックス 15: データフィールド		XXXX XXXX XXXX XXXXh			
0478F7h						
0478F8h						
0478F9h						
0478FAh						
0478FBh						
0478FCh						
0478FDh						
0478FEh				CAN3 メールボックス 15: タイムスタンプ		XXXXh
0478FFh						
047900h~ 04790Fh						
047910h	CAN3 マスクレジスタ 0	C3MKR0	XXXX XXXXh			
047911h						
047912h						
047913h						
047914h	CAN3 マスクレジスタ 1	C3MKR1	XXXX XXXXh			
047915h						
047916h						
047917h						
047918h	CAN3 マスクレジスタ 2	C3MKR2	XXXX XXXXh			
047919h						
04791Ah						
04791Bh						
04791Ch	CAN3 マスクレジスタ 3	C3MKR3	XXXX XXXXh			
04791Dh						
04791Eh						
04791Fh						
047920h	CAN3FIFO 受信ID 比較レジスタ 0	C3FIDCR0	XXXX XXXXh			
047921h						
047922h						
047923h						
047924h	CAN3FIFO 受信ID 比較レジスタ 1	C3FIDCR1	XXXX XXXXh			
047925h						
047926h						
047927h						
047928h						
047929h						
04792Ah	CAN3 マスク無効レジスタ	C3MKIVLR	XXXXh			
04792Bh						
04792Ch						
04792Dh						
04792Eh	CAN3 メールボックス 割り込み許可レジスタ	C3MIER	XXXXh			
04792Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.54 SFR一覧(54)

番地	レジスタ	シンボル	リセット後の値
047930h	CAN3メッセージ制御レジスタ0	C3MCTL0	00h
047931h	CAN3メッセージ制御レジスタ1	C3MCTL1	00h
047932h	CAN3メッセージ制御レジスタ2	C3MCTL2	00h
047933h	CAN3メッセージ制御レジスタ3	C3MCTL3	00h
047934h	CAN3メッセージ制御レジスタ4	C3MCTL4	00h
047935h	CAN3メッセージ制御レジスタ5	C3MCTL5	00h
047936h	CAN3メッセージ制御レジスタ6	C3MCTL6	00h
047937h	CAN3メッセージ制御レジスタ7	C3MCTL7	00h
047938h	CAN3メッセージ制御レジスタ8	C3MCTL8	00h
047939h	CAN3メッセージ制御レジスタ9	C3MCTL9	00h
04793Ah	CAN3メッセージ制御レジスタ10	C3MCTL10	00h
04793Bh	CAN3メッセージ制御レジスタ11	C3MCTL11	00h
04793Ch	CAN3メッセージ制御レジスタ12	C3MCTL12	00h
04793Dh	CAN3メッセージ制御レジスタ13	C3MCTL13	00h
04793Eh	CAN3メッセージ制御レジスタ14	C3MCTL14	00h
04793Fh	CAN3メッセージ制御レジスタ15	C3MCTL15	00h
047940h	CAN3制御レジスタ	C3CTLR	0000 0101b
047941h			0000 0000b
047942h	CAN3ステータスレジスタ	C3STR	0000 0101b
047943h			0000 0000b
047944h	CAN3ビットコンフィグレーションレジスタ	C3BCR	00 0000h
047945h			
047946h			
047947h	CAN3クロック選択レジスタ	C3CLKR	000X 0000b
047948h	CAN3受信FIFO制御レジスタ	C3RFCR	1000 0000b
047949h	CAN3受信FIFOポインタ制御レジスタ	C3RFPCR	XXh
04794Ah	CAN3送信FIFO制御レジスタ	C3TFCR	1000 0000b
04794Bh	CAN3送信FIFOポインタ制御レジスタ	C3TFPCR	XXh
04794Ch	CAN3エラー割り込み許可レジスタ	C3EIER	00h
04794Dh	CAN3エラー割り込み要因判定レジスタ	C3EIFR	00h
04794Eh	CAN3受信エラーカウントレジスタ	C3RECR	00h
04794Fh	CAN3送信エラーカウントレジスタ	C3TECR	00h
047950h	CAN3エラーコード格納レジスタ	C3ECSR	00h
047951h	CAN3チャネルサーチサポートレジスタ	C3CSSR	XXh
047952h	CAN3メールボックスサーチステータスレジスタ	C3MSSR	1000 0000b
047953h	CAN3メールボックスサーチモードレジスタ	C3MSMR	0000 0000b
047954h	CAN3タイムスタンプレジスタ	C3TSR	0000h
047955h			
047956h	CAN3アクセプタンスフィルタサポートレジスタ	C3AFSR	XXXXh
047957h			
047958h	CAN3テスト制御レジスタ	C3TCR	00h
047959h			
04795Ah			
04795Bh			
04795Ch~ 0479FFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.55 SFR一覧(55)

番地	レジスタ	シンボル	リセット後の値			
047A00h	CAN2メールボックス0: メッセージ識別子	C2MB0	XXXX XXXXh			
047A01h						
047A02h						
047A03h						
047A04h						
047A05h	CAN2メールボックス0: データ長		XXh			
047A06h	CAN2メールボックス0: データフィールド		XXXX XXXX XXXX XXXXh			
047A07h						
047A08h						
047A09h						
047A0Ah						
047A0Bh						
047A0Ch						
047A0Dh						
047A0Eh				CAN2メールボックス0: タイムスタンプ		XXXXh
047A0Fh						
047A10h	CAN2メールボックス1: メッセージ識別子	C2MB1	XXXX XXXXh			
047A11h						
047A12h						
047A13h						
047A14h						
047A15h	CAN2メールボックス1: データ長		XXh			
047A16h	CAN2メールボックス1: データフィールド		XXXX XXXX XXXX XXXXh			
047A17h						
047A18h						
047A19h						
047A1Ah						
047A1Bh						
047A1Ch						
047A1Dh						
047A1Eh				CAN2メールボックス1: タイムスタンプ		XXXXh
047A1Fh						
047A20h	CAN2メールボックス2: メッセージ識別子	C2MB2	XXXX XXXXh			
047A21h						
047A22h						
047A23h						
047A24h						
047A25h	CAN2メールボックス2: データ長		XXh			
047A26h	CAN2メールボックス2: データフィールド		XXXX XXXX XXXX XXXXh			
047A27h						
047A28h						
047A29h						
047A2Ah						
047A2Bh						
047A2Ch						
047A2Dh						
047A2Eh				CAN2メールボックス2: タイムスタンプ		XXXXh
047A2Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.56 SFR一覧(56)

番地	レジスタ	シンボル	リセット後の値			
047A30h	CAN2メールボックス3: メッセージ識別子	C2MB3	XXXX XXXXh			
047A31h						
047A32h						
047A33h						
047A34h						
047A35h	CAN2メールボックス3: データ長		XXh			
047A36h	CAN2メールボックス3: データフィールド		XXXX XXXX XXXX XXXXh			
047A37h						
047A38h						
047A39h						
047A3Ah						
047A3Bh						
047A3Ch						
047A3Dh						
047A3Eh				CAN2メールボックス3: タイムスタンプ		XXXXh
047A3Fh						
047A40h	CAN2メールボックス4: メッセージ識別子	C2MB4	XXXX XXXXh			
047A41h						
047A42h						
047A43h						
047A44h						
047A45h	CAN2メールボックス4: データ長		XXh			
047A46h	CAN2メールボックス4: データフィールド		XXXX XXXX XXXX XXXXh			
047A47h						
047A48h						
047A49h						
047A4Ah						
047A4Bh						
047A4Ch						
047A4Dh						
047A4Eh				CAN2メールボックス4: タイムスタンプ		XXXXh
047A4Fh						
047A50h	CAN2メールボックス5: メッセージ識別子	C2MB5	XXXX XXXXh			
047A51h						
047A52h						
047A53h						
047A54h						
047A55h	CAN2メールボックス5: データ長		XXh			
047A56h	CAN2メールボックス5: データフィールド		XXXX XXXX XXXX XXXXh			
047A57h						
047A58h						
047A59h						
047A5Ah						
047A5Bh						
047A5Ch						
047A5Dh						
047A5Eh				CAN2メールボックス5: タイムスタンプ		XXXXh
047A5Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.57 SFR一覧(57)

番地	レジスタ	シンボル	リセット後の値
047A60h	CAN2メールボックス6: メッセージ識別子	C2MB6	XXXX XXXXh
047A61h			
047A62h			
047A63h			
047A64h			
047A65h	CAN2メールボックス6: データ長		XXh
047A66h	CAN2メールボックス6: データフィールド		XXXX XXXX XXXX XXXXh
047A67h			
047A68h			
047A69h			
047A6Ah			
047A6Bh			
047A6Ch			
047A6Dh			
047A6Eh			
047A6Fh	CAN2メールボックス6: タイムスタンプ		XXXXh
047A70h	CAN2メールボックス7: メッセージ識別子	C2MB7	XXXX XXXXh
047A71h			
047A72h			
047A73h			
047A74h			
047A75h	CAN2メールボックス7: データ長		XXh
047A76h	CAN2メールボックス7: データフィールド		XXXX XXXX XXXX XXXXh
047A77h			
047A78h			
047A79h			
047A7Ah			
047A7Bh			
047A7Ch			
047A7Dh			
047A7Eh			
047A7Fh	CAN2メールボックス7: タイムスタンプ		XXXXh
047A80h	CAN2メールボックス8: メッセージ識別子	C2MB8	XXXX XXXXh
047A81h			
047A82h			
047A83h			
047A84h			
047A85h	CAN2メールボックス8: データ長		XXh
047A86h	CAN2メールボックス8: データフィールド		XXXX XXXX XXXX XXXXh
047A87h			
047A88h			
047A89h			
047A8Ah			
047A8Bh			
047A8Ch			
047A8Dh			
047A8Eh			
047A8Fh	CAN2メールボックス8: タイムスタンプ		XXXXh

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.58 SFR一覧(58)

番地	レジスタ	シンボル	リセット後の値
047A90h	CAN2メールボックス9: メッセージ識別子	C2MB9	XXXX XXXXh
047A91h			
047A92h			
047A93h			
047A94h			
047A95h	CAN2メールボックス9: データ長		XXh
047A96h	CAN2メールボックス9: データフィールド		XXXX XXXX XXXX XXXXh
047A97h			
047A98h			
047A99h			
047A9Ah			
047A9Bh			
047A9Ch			
047A9Dh			
047A9Eh	CAN2メールボックス9: タイムスタンプ		XXXXh
047A9Fh			
047AA0h	CAN2メールボックス10: メッセージ識別子	C2MB10	XXXX XXXXh
047AA1h			
047AA2h			
047AA3h			
047AA4h			
047AA5h	CAN2メールボックス10: データ長		XXh
047AA6h	CAN2メールボックス10: データフィールド		XXXX XXXX XXXX XXXXh
047AA7h			
047AA8h			
047AA9h			
047AAAh			
047AABh			
047AACh			
047AADh			
047AAEh	CAN2メールボックス10: タイムスタンプ		XXXXh
047AAFh			
047AB0h	CAN2メールボックス11: メッセージ識別子	C2MB11	XXXX XXXXh
047AB1h			
047AB2h			
047AB3h			
047AB4h			
047AB5h	CAN2メールボックス11: データ長		XXh
047AB6h	CAN2メールボックス11: データフィールド		XXXX XXXX XXXX XXXXh
047AB7h			
047AB8h			
047AB9h			
047ABAh			
047ABBh			
047ABCh			
047ABDh			
047ABEh	CAN2メールボックス11: タイムスタンプ		XXXXh
047ABFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.59 SFR一覧(59)

番地	レジスタ	シンボル	リセット後の値			
047AC0h	CAN2 メールボックス 12: メッセージ識別子	C2MB12	XXXX XXXXh			
047AC1h						
047AC2h						
047AC3h						
047AC4h						
047AC5h	CAN2 メールボックス 12: データ長		XXh			
047AC6h	CAN2 メールボックス 12: データフィールド		XXXX XXXX XXXX XXXXh			
047AC7h						
047AC8h						
047AC9h						
047ACAh						
047ACBh						
047ACCh						
047ACDh						
047ACEh				CAN2 メールボックス 12: タイムスタンプ		XXXXh
047ACFh						
047AD0h	CAN2 メールボックス 13: メッセージ識別子	C2MB13	XXXX XXXXh			
047AD1h						
047AD2h						
047AD3h						
047AD4h						
047AD5h	CAN2 メールボックス 13: データ長		XXh			
047AD6h	CAN2 メールボックス 13: データフィールド		XXXX XXXX XXXX XXXXh			
047AD7h						
047AD8h						
047AD9h						
047ADAh						
047ADBh						
047ADCh						
047ADDh						
047ADEh				CAN2 メールボックス 13: タイムスタンプ		XXXXh
047ADFh						
047AE0h	CAN2 メールボックス 14: メッセージ識別子	C2MB14	XXXX XXXXh			
047AE1h						
047AE2h						
047AE3h						
047AE4h						
047AE5h	CAN2 メールボックス 14: データ長		XXh			
047AE6h	CAN2 メールボックス 14: データフィールド		XXXX XXXX XXXX XXXXh			
047AE7h						
047AE8h						
047AE9h						
047AEAh						
047AEBh						
047AEC						
047AEDh						
047AEEh				CAN2 メールボックス 14: タイムスタンプ		XXXXh
047AEFh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.60 SFR一覧(60)

番地	レジスタ	シンボル	リセット後の値			
047AF0h	CAN2メールボックス 15: メッセージ識別子	C2MB15	XXXX XXXXh			
047AF1h						
047AF2h						
047AF3h						
047AF4h						
047AF5h	CAN2メールボックス 15: データ長		XXh			
047AF6h	CAN2メールボックス 15: データフィールド		XXXX XXXX XXXX XXXXh			
047AF7h						
047AF8h						
047AF9h						
047AFAh						
047AFBh						
047AFCh						
047AFDh						
047AFEh				CAN2メールボックス 15: タイムスタンプ		XXXXh
047AFFh						
047B00h~ 047B0Fh						
047B10h	CAN2マスクレジスタ 0	C2MKR0	XXXX XXXXh			
047B11h						
047B12h						
047B13h						
047B14h	CAN2マスクレジスタ 1	C2MKR1	XXXX XXXXh			
047B15h						
047B16h						
047B17h						
047B18h	CAN2マスクレジスタ 2	C2MKR2	XXXX XXXXh			
047B19h						
047B1Ah						
047B1Bh						
047B1Ch	CAN2マスクレジスタ 3	C2MKR3	XXXX XXXXh			
047B1Dh						
047B1Eh						
047B1Fh						
047B20h	CAN2FIFO受信ID比較レジスタ 0	C2FIDCR0	XXXX XXXXh			
047B21h						
047B22h						
047B23h						
047B24h	CAN2FIFO受信ID比較レジスタ 1	C2FIDCR1	XXXX XXXXh			
047B25h						
047B26h						
047B27h						
047B28h						
047B29h						
047B2Ah	CAN2マスク無効レジスタ	C2MKIVLR	XXXXh			
047B2Bh						
047B2Ch						
047B2Dh						
047B2Eh	CAN2メールボックス割り込み許可レジスタ	C2MIER	XXXXh			
047B2Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.61 SFR一覧(61)

番地	レジスタ	シンボル	リセット後の値
047B30h	CAN2メッセージ制御レジスタ0	C2MCTL0	00h
047B31h	CAN2メッセージ制御レジスタ1	C2MCTL1	00h
047B32h	CAN2メッセージ制御レジスタ2	C2MCTL2	00h
047B33h	CAN2メッセージ制御レジスタ3	C2MCTL3	00h
047B34h	CAN2メッセージ制御レジスタ4	C2MCTL4	00h
047B35h	CAN2メッセージ制御レジスタ5	C2MCTL5	00h
047B36h	CAN2メッセージ制御レジスタ6	C2MCTL6	00h
047B37h	CAN2メッセージ制御レジスタ7	C2MCTL7	00h
047B38h	CAN2メッセージ制御レジスタ8	C2MCTL8	00h
047B39h	CAN2メッセージ制御レジスタ9	C2MCTL9	00h
047B3Ah	CAN2メッセージ制御レジスタ10	C2MCTL10	00h
047B3Bh	CAN2メッセージ制御レジスタ11	C2MCTL11	00h
047B3Ch	CAN2メッセージ制御レジスタ12	C2MCTL12	00h
047B3Dh	CAN2メッセージ制御レジスタ13	C2MCTL13	00h
047B3Eh	CAN2メッセージ制御レジスタ14	C2MCTL14	00h
047B3Fh	CAN2メッセージ制御レジスタ15	C2MCTL15	00h
047B40h	CAN2制御レジスタ	C2CTLR	0000 0101b
047B41h			0000 0000b
047B42h	CAN2ステータスレジスタ	C2STR	0000 0101b
047B43h			0000 0000b
047B44h	CAN2ビットコンフィグレーションレジスタ	C2BCR	00 0000h
047B45h			
047B46h			
047B47h	CAN2クロック選択レジスタ	C2CLKR	000X 0000b
047B48h	CAN2受信FIFO制御レジスタ	C2RFCR	1000 0000b
047B49h	CAN2受信FIFOポインタ制御レジスタ	C2RFPCR	XXh
047B4Ah	CAN2送信FIFO制御レジスタ	C2TFCR	1000 0000b
047B4Bh	CAN2送信FIFOポインタ制御レジスタ	C2TFPCR	XXh
047B4Ch	CAN2エラー割り込み許可レジスタ	C2EIER	00h
047B4Dh	CAN2エラー割り込み要因判定レジスタ	C2EIFR	00h
047B4Eh	CAN2受信エラーカウントレジスタ	C2RECR	00h
047B4Fh	CAN2送信エラーカウントレジスタ	C2TECR	00h
047B50h	CAN2エラーコード格納レジスタ	C2ECSR	00h
047B51h	CAN2チャネルサーチサポートレジスタ	C2CSSR	XXh
047B52h	CAN2メールボックスサーチステータスレジスタ	C2MSSR	1000 0000b
047B53h	CAN2メールボックスサーチモードレジスタ	C2MSMR	0000 0000b
047B54h	CAN2タイムスタンプレジスタ	C2TSR	0000h
047B55h			
047B56h	CAN2アクセプタンスフィルタサポートレジスタ	C2AFSR	XXXXh
047B57h			
047B58h	CAN2テスト制御レジスタ	C2TCR	00h
047B59h			
047B5Ah			
047B5Bh			
047B5Ch~ 047BFFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.62 SFR一覧(62)

番地	レジスタ	シンボル	リセット後の値			
047C00h	CAN1 メールボックス0: メッセージ識別子	C1MB0	XXXX XXXXh			
047C01h						
047C02h						
047C03h						
047C04h						
047C05h	CAN1 メールボックス0: データ長		XXh			
047C06h	CAN1 メールボックス0: データフィールド		XXXX XXXX XXXX XXXXh			
047C07h						
047C08h						
047C09h						
047C0Ah						
047C0Bh						
047C0Ch						
047C0Dh						
047C0Eh				CAN1 メールボックス0: タイムスタンプ		XXXXh
047C0Fh						
047C10h	CAN1 メールボックス1: メッセージ識別子	C1MB1	XXXX XXXXh			
047C11h						
047C12h						
047C13h						
047C14h						
047C15h	CAN1 メールボックス1: データ長		XXh			
047C16h	CAN1 メールボックス1: データフィールド		XXXX XXXX XXXX XXXXh			
047C17h						
047C18h						
047C19h						
047C1Ah						
047C1Bh						
047C1Ch						
047C1Dh						
047C1Eh				CAN1 メールボックス1: タイムスタンプ		XXXXh
047C1Fh						
047C20h	CAN1 メールボックス2: メッセージ識別子	C1MB2	XXXX XXXXh			
047C21h						
047C22h						
047C23h						
047C24h						
047C25h	CAN1 メールボックス2: データ長		XXh			
047C26h	CAN1 メールボックス2: データフィールド		XXXX XXXX XXXX XXXXh			
047C27h						
047C28h						
047C29h						
047C2Ah						
047C2Bh						
047C2Ch						
047C2Dh						
047C2Eh				CAN1 メールボックス2: タイムスタンプ		XXXXh
047C2Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.63 SFR一覧(63)

番地	レジスタ	シンボル	リセット後の値			
047C30h	CAN1 メールボックス3: メッセージ識別子	C1MB3	XXXX XXXXh			
047C31h						
047C32h						
047C33h						
047C34h						
047C35h	CAN1 メールボックス3: データ長		XXh			
047C36h	CAN1 メールボックス3: データフィールド		XXXX XXXX XXXX XXXXh			
047C37h						
047C38h						
047C39h						
047C3Ah						
047C3Bh						
047C3Ch						
047C3Dh						
047C3Eh				CAN1 メールボックス3: タイムスタンプ		XXXXh
047C3Fh						
047C40h	CAN1 メールボックス4: メッセージ識別子	C1MB4	XXXX XXXXh			
047C41h						
047C42h						
047C43h						
047C44h						
047C45h	CAN1 メールボックス4: データ長		XXh			
047C46h	CAN1 メールボックス4: データフィールド		XXXX XXXX XXXX XXXXh			
047C47h						
047C48h						
047C49h						
047C4Ah						
047C4Bh						
047C4Ch						
047C4Dh						
047C4Eh				CAN1 メールボックス4: タイムスタンプ		XXXXh
047C4Fh						
047C50h	CAN1 メールボックス5: メッセージ識別子	C1MB5	XXXX XXXXh			
047C51h						
047C52h						
047C53h						
047C54h						
047C55h	CAN1 メールボックス5: データ長		XXh			
047C56h	CAN1 メールボックス5: データフィールド		XXXX XXXX XXXX XXXXh			
047C57h						
047C58h						
047C59h						
047C5Ah						
047C5Bh						
047C5Ch						
047C5Dh						
047C5Eh				CAN1 メールボックス5: タイムスタンプ		XXXXh
047C5Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.64 SFR一覧(64)

番地	レジスタ	シンボル	リセット後の値			
047C60h	CAN1 メールボックス6: メッセージ識別子	C1MB6	XXXX XXXXh			
047C61h						
047C62h						
047C63h						
047C64h						
047C65h	CAN1 メールボックス6: データ長		XXh			
047C66h	CAN1 メールボックス6: データフィールド		XXXX XXXX XXXX XXXXh			
047C67h						
047C68h						
047C69h						
047C6Ah						
047C6Bh						
047C6Ch						
047C6Dh						
047C6Eh				CAN1 メールボックス6: タイムスタンプ		XXXXh
047C6Fh						
047C70h	CAN1 メールボックス7: メッセージ識別子	C1MB7	XXXX XXXXh			
047C71h						
047C72h						
047C73h						
047C74h						
047C75h	CAN1 メールボックス7: データ長		XXh			
047C76h	CAN1 メールボックス7: データフィールド		XXXX XXXX XXXX XXXXh			
047C77h						
047C78h						
047C79h						
047C7Ah						
047C7Bh						
047C7Ch						
047C7Dh						
047C7Eh				CAN1 メールボックス7: タイムスタンプ		XXXXh
047C7Fh						
047C80h	CAN1 メールボックス8: メッセージ識別子	C1MB8	XXXX XXXXh			
047C81h						
047C82h						
047C83h						
047C84h						
047C85h	CAN1 メールボックス8: データ長		XXh			
047C86h	CAN1 メールボックス8: データフィールド		XXXX XXXX XXXX XXXXh			
047C87h						
047C88h						
047C89h						
047C8Ah						
047C8Bh						
047C8Ch						
047C8Dh						
047C8Eh				CAN1 メールボックス8: タイムスタンプ		XXXXh
047C8Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.65 SFR一覧(65)

番地	レジスタ	シンボル	リセット後の値
047C90h	CAN1 メールボックス 9: メッセージ識別子	C1MB9	XXXX XXXXh
047C91h			
047C92h			
047C93h			
047C94h			
047C95h	CAN1 メールボックス 9: データ長		XXh
047C96h	CAN1 メールボックス 9: データフィールド		XXXX XXXX XXXX XXXXh
047C97h			
047C98h			
047C99h			
047C9Ah			
047C9Bh			
047C9Ch			
047C9Dh			
047C9Eh	CAN1 メールボックス 9: タイムスタンプ		XXXXh
047C9Fh			
047CA0h	CAN1 メールボックス 10: メッセージ識別子	C1MB10	XXXX XXXXh
047CA1h			
047CA2h			
047CA3h			
047CA4h			
047CA5h	CAN1 メールボックス 10: データ長		XXh
047CA6h	CAN1 メールボックス 10: データフィールド		XXXX XXXX XXXX XXXXh
047CA7h			
047CA8h			
047CA9h			
047CAAh			
047CABh			
047CACh			
047CADh			
047CAEh	CAN1 メールボックス 10: タイムスタンプ		XXXXh
047CAFh			
047CB0h	CAN1 メールボックス 11: メッセージ識別子	C1MB11	XXXX XXXXh
047CB1h			
047CB2h			
047CB3h			
047CB4h			
047CB5h	CAN1 メールボックス 11: データ長		XXh
047CB6h	CAN1 メールボックス 11: データフィールド		XXXX XXXX XXXX XXXXh
047CB7h			
047CB8h			
047CB9h			
047CBAh			
047CBBh			
047CBCh			
047CBDh			
047CBEh	CAN1 メールボックス 11: タイムスタンプ		XXXXh
047CBFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.66 SFR一覧(66)

番地	レジスタ	シンボル	リセット後の値			
047CC0h	CAN1 メールボックス 12: メッセージ識別子	C1MB12	XXXX XXXXh			
047CC1h						
047CC2h						
047CC3h						
047CC4h						
047CC5h	CAN1 メールボックス 12: データ長		XXh			
047CC6h	CAN1 メールボックス 12: データフィールド		XXXX XXXX XXXX XXXXh			
047CC7h						
047CC8h						
047CC9h						
047CCAh						
047CCBh						
047CCCh						
047CCDh						
047CCEh				CAN1 メールボックス 12: タイムスタンプ		XXXXh
047CCFh						
047CD0h	CAN1 メールボックス 13: メッセージ識別子	C1MB13	XXXX XXXXh			
047CD1h						
047CD2h						
047CD3h						
047CD4h						
047CD5h	CAN1 メールボックス 13: データ長		XXh			
047CD6h	CAN1 メールボックス 13: データフィールド		XXXX XXXX XXXX XXXXh			
047CD7h						
047CD8h						
047CD9h						
047CDAh						
047CDBh						
047CDCh						
047CDDh						
047CDEh				CAN1 メールボックス 13: タイムスタンプ		XXXXh
047CDFh						
047CE0h	CAN1 メールボックス 14: メッセージ識別子	C1MB14	XXXX XXXXh			
047CE1h						
047CE2h						
047CE3h						
047CE4h						
047CE5h	CAN1 メールボックス 14: データ長		XXh			
047CE6h	CAN1 メールボックス 14: データフィールド		XXXX XXXX XXXX XXXXh			
047CE7h						
047CE8h						
047CE9h						
047CEAh						
047CEBh						
047CECh						
047CEDh						
047CEEh				CAN1 メールボックス 14: タイムスタンプ		XXXXh
047CEFh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.67 SFR一覧(67)

番地	レジスタ	シンボル	リセット後の値			
047CF0h	CAN1 メールボックス 15: メッセージ識別子	C1MB15	XXXX XXXXh			
047CF1h						
047CF2h						
047CF3h						
047CF4h						
047CF5h	CAN1 メールボックス 15: データ長		XXh			
047CF6h	CAN1 メールボックス 15: データフィールド		XXXX XXXX XXXX XXXXh			
047CF7h						
047CF8h						
047CF9h						
047CFAh						
047CFBh						
047CFCh						
047CFDh						
047CFEh				CAN1 メールボックス 15: タイムスタンプ		XXXXh
047CFFh						
047D00h~ 047D0Fh						
047D10h	CAN1 マスクレジスタ 0	C1MKR0	XXXX XXXXh			
047D11h						
047D12h						
047D13h						
047D14h	CAN1 マスクレジスタ 1	C1MKR1	XXXX XXXXh			
047D15h						
047D16h						
047D17h						
047D18h	CAN1 マスクレジスタ 2	C1MKR2	XXXX XXXXh			
047D19h						
047D1Ah						
047D1Bh						
047D1Ch	CAN1 マスクレジスタ 3	C1MKR3	XXXX XXXXh			
047D1Dh						
047D1Eh						
047D1Fh						
047D20h	CAN1FIFO 受信ID 比較レジスタ 0	C1FIDCR0	XXXX XXXXh			
047D21h						
047D22h						
047D23h						
047D24h	CAN1FIFO 受信ID 比較レジスタ 1	C1FIDCR1	XXXX XXXXh			
047D25h						
047D26h						
047D27h						
047D28h						
047D29h						
047D2Ah	CAN1 マスク無効レジスタ	C1MKIVLR	XXXXh			
047D2Bh						
047D2Ch						
047D2Dh						
047D2Eh	CAN1 メールボックス 割り込み許可レジスタ	C1MIER	XXXXh			
047D2Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.68 SFR一覧(68)

番地	レジスタ	シンボル	リセット後の値
047D30h	CAN1メッセージ制御レジスタ0	C1MCTL0	00h
047D31h	CAN1メッセージ制御レジスタ1	C1MCTL1	00h
047D32h	CAN1メッセージ制御レジスタ2	C1MCTL2	00h
047D33h	CAN1メッセージ制御レジスタ3	C1MCTL3	00h
047D34h	CAN1メッセージ制御レジスタ4	C1MCTL4	00h
047D35h	CAN1メッセージ制御レジスタ5	C1MCTL5	00h
047D36h	CAN1メッセージ制御レジスタ6	C1MCTL6	00h
047D37h	CAN1メッセージ制御レジスタ7	C1MCTL7	00h
047D38h	CAN1メッセージ制御レジスタ8	C1MCTL8	00h
047D39h	CAN1メッセージ制御レジスタ9	C1MCTL9	00h
047D3Ah	CAN1メッセージ制御レジスタ10	C1MCTL10	00h
047D3Bh	CAN1メッセージ制御レジスタ11	C1MCTL11	00h
047D3Ch	CAN1メッセージ制御レジスタ12	C1MCTL12	00h
047D3Dh	CAN1メッセージ制御レジスタ13	C1MCTL13	00h
047D3Eh	CAN1メッセージ制御レジスタ14	C1MCTL14	00h
047D3Fh	CAN1メッセージ制御レジスタ15	C1MCTL15	00h
047D40h	CAN1制御レジスタ	C1CTLR	0000 0101b
047D41h			0000 0000b
047D42h	CAN1ステータスレジスタ	C1STR	0000 0101b
047D43h			0000 0000b
047D44h	CAN1ビットコンフィグレーションレジスタ	C1BCR	00 0000h
047D45h			
047D46h			
047D47h	CAN1クロック選択レジスタ	C1CLKR	000X 0000b
047D48h	CAN1受信FIFO制御レジスタ	C1RFCR	1000 0000b
047D49h	CAN1受信FIFOポインタ制御レジスタ	C1RFPCR	XXh
047D4Ah	CAN1送信FIFO制御レジスタ	C1TFPCR	1000 0000b
047D4Bh	CAN1送信FIFOポインタ制御レジスタ	C1TFPCR	XXh
047D4Ch	CAN1エラー割り込み許可レジスタ	C1EIER	00h
047D4Dh	CAN1エラー割り込み要因判定レジスタ	C1EIFR	00h
047D4Eh	CAN1受信エラーカウントレジスタ	C1RECR	00h
047D4Fh	CAN1送信エラーカウントレジスタ	C1TECR	00h
047D50h	CAN1エラーコード格納レジスタ	C1ECSR	00h
047D51h	CAN1チャネルサーチサポートレジスタ	C1CSSR	XXh
047D52h	CAN1メールボックスサーチステータスレジスタ	C1MSSR	1000 0000b
047D53h	CAN1メールボックスサーチモードレジスタ	C1MSMR	0000 0000b
047D54h	CAN1タイムスタンプレジスタ	C1TSR	0000h
047D55h			
047D56h	CAN1アクセプタンスフィルタサポートレジスタ	C1AFSR	XXXXh
047D57h			
047D58h	CAN1テスト制御レジスタ	C1TCR	00h
047D59h			
047D5Ah			
047D5Bh			
047D5Ch~ 047DFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.69 SFR一覧(69)

番地	レジスタ	シンボル	リセット後の値			
047E00h	CAN0 メールボックス0: メッセージ識別子	COMB0	XXXX XXXXh			
047E01h						
047E02h						
047E03h						
047E04h						
047E05h	CAN0 メールボックス0: データ長		XXh			
047E06h	CAN0 メールボックス0: データフィールド		XXXX XXXX XXXX XXXXh			
047E07h						
047E08h						
047E09h						
047E0Ah						
047E0Bh						
047E0Ch						
047E0Dh						
047E0Eh				CAN0 メールボックス0: タイムスタンプ		XXXXh
047E0Fh						
047E10h	CAN0 メールボックス1: メッセージ識別子	COMB1	XXXX XXXXh			
047E11h						
047E12h						
047E13h						
047E14h						
047E15h	CAN0 メールボックス1: データ長		XXh			
047E16h	CAN0 メールボックス1: データフィールド		XXXX XXXX XXXX XXXXh			
047E17h						
047E18h						
047E19h						
047E1Ah						
047E1Bh						
047E1Ch						
047E1Dh						
047E1Eh				CAN0 メールボックス1: タイムスタンプ		XXXXh
047E1Fh						
047E20h	CAN0 メールボックス2: メッセージ識別子	COMB2	XXXX XXXXh			
047E21h						
047E22h						
047E23h						
047E24h						
047E25h	CAN0 メールボックス2: データ長		XXh			
047E26h	CAN0 メールボックス2: データフィールド		XXXX XXXX XXXX XXXXh			
047E27h						
047E28h						
047E29h						
047E2Ah						
047E2Bh						
047E2Ch						
047E2Dh						
047E2Eh				CAN0 メールボックス2: タイムスタンプ		XXXXh
047E2Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.70 SFR一覧(70)

番地	レジスタ	シンボル	リセット後の値
047E30h	CAN0 メールボックス3: メッセージ識別子	C0MB3	XXXX XXXXh
047E31h			
047E32h			
047E33h			
047E34h			
047E35h	CAN0 メールボックス3: データ長		XXh
047E36h	CAN0 メールボックス3: データフィールド		XXXX XXXX XXXX XXXXh
047E37h			
047E38h			
047E39h			
047E3Ah			
047E3Bh			
047E3Ch			
047E3Dh			
047E3Eh	CAN0 メールボックス3: タイムスタンプ		XXXXh
047E3Fh			
047E40h	CAN0 メールボックス4: メッセージ識別子	C0MB4	XXXX XXXXh
047E41h			
047E42h			
047E43h			
047E44h			
047E45h	CAN0 メールボックス4: データ長		XXh
047E46h	CAN0 メールボックス4: データフィールド		XXXX XXXX XXXX XXXXh
047E47h			
047E48h			
047E49h			
047E4Ah			
047E4Bh			
047E4Ch			
047E4Dh			
047E4Eh	CAN0 メールボックス4: タイムスタンプ		XXXXh
047E4Fh			
047E50h	CAN0 メールボックス5: メッセージ識別子	C0MB5	XXXX XXXXh
047E51h			
047E52h			
047E53h			
047E54h			
047E55h	CAN0 メールボックス5: データ長		XXh
047E56h	CAN0 メールボックス5: データフィールド		XXXX XXXX XXXX XXXXh
047E57h			
047E58h			
047E59h			
047E5Ah			
047E5Bh			
047E5Ch			
047E5Dh			
047E5Eh	CAN0 メールボックス5: タイムスタンプ		XXXXh
047E5Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.71 SFR一覧(71)

番地	レジスタ	シンボル	リセット後の値
047E60h	CAN0 メールボックス6: メッセージ識別子	C0MB6	XXXX XXXXh
047E61h			
047E62h			
047E63h			
047E64h			
047E65h	CAN0 メールボックス6: データ長		XXh
047E66h	CAN0 メールボックス6: データフィールド		XXXX XXXX XXXX XXXXh
047E67h			
047E68h			
047E69h			
047E6Ah			
047E6Bh			
047E6Ch			
047E6Dh			
047E6Eh	CAN0 メールボックス6: タイムスタンプ		XXXXh
047E6Fh			
047E70h	CAN0 メールボックス7: メッセージ識別子	C0MB7	XXXX XXXXh
047E71h			
047E72h			
047E73h			
047E74h			
047E75h	CAN0 メールボックス7: データ長		XXh
047E76h	CAN0 メールボックス7: データフィールド		XXXX XXXX XXXX XXXXh
047E77h			
047E78h			
047E79h			
047E7Ah			
047E7Bh			
047E7Ch			
047E7Dh			
047E7Eh	CAN0 メールボックス7: タイムスタンプ		XXXXh
047E7Fh			
047E80h	CAN0 メールボックス8: メッセージ識別子	C0MB8	XXXX XXXXh
047E81h			
047E82h			
047E83h			
047E84h			
047E85h	CAN0 メールボックス8: データ長		XXh
047E86h	CAN0 メールボックス8: データフィールド		XXXX XXXX XXXX XXXXh
047E87h			
047E88h			
047E89h			
047E8Ah			
047E8Bh			
047E8Ch			
047E8Dh			
047E8Eh	CAN0 メールボックス8: タイムスタンプ		XXXXh
047E8Fh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.72 SFR一覧(72)

番地	レジスタ	シンボル	リセット後の値
047E90h	CAN0 メールボックス 9: メッセージ識別子	C0MB9	XXXX XXXXh
047E91h			
047E92h			
047E93h			
047E94h			
047E95h	CAN0 メールボックス 9: データ長		XXh
047E96h	CAN0 メールボックス 9: データフィールド		XXXX XXXX XXXX XXXXh
047E97h			
047E98h			
047E99h			
047E9Ah			
047E9Bh			
047E9Ch			
047E9Dh			
047E9Eh	CAN0 メールボックス 9: タイムスタンプ		XXXXh
047E9Fh			
047EA0h	CAN0 メールボックス 10: メッセージ識別子	C0MB10	XXXX XXXXh
047EA1h			
047EA2h			
047EA3h			
047EA4h			
047EA5h	CAN0 メールボックス 10: データ長		XXh
047EA6h	CAN0 メールボックス 10: データフィールド		XXXX XXXX XXXX XXXXh
047EA7h			
047EA8h			
047EA9h			
047EAAh			
047EABh			
047EACh			
047EADh			
047EAEh	CAN0 メールボックス 10: タイムスタンプ		XXXXh
047EAFh			
047EB0h	CAN0 メールボックス 11: メッセージ識別子	C0MB11	XXXX XXXXh
047EB1h			
047EB2h			
047EB3h			
047EB4h			
047EB5h	CAN0 メールボックス 11: データ長		XXh
047EB6h	CAN0 メールボックス 11: データフィールド		XXXX XXXX XXXX XXXXh
047EB7h			
047EB8h			
047EB9h			
047EBAh			
047EBBh			
047EBCh			
047EBDh			
047EBEh	CAN0 メールボックス 11: タイムスタンプ		XXXXh
047EBFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.73 SFR一覧(73)

番地	レジスタ	シンボル	リセット後の値			
047EC0h	CAN0 メールボックス 12: メッセージ識別子	COMB12	XXXX XXXXh			
047EC1h						
047EC2h						
047EC3h						
047EC4h						
047EC5h	CAN0 メールボックス 12: データ長		XXh			
047EC6h	CAN0 メールボックス 12: データフィールド		XXXX XXXX XXXX XXXXh			
047EC7h						
047EC8h						
047EC9h						
047ECAh						
047ECBh						
047ECCh						
047ECDh						
047ECEh				CAN0 メールボックス 12: タイムスタンプ		XXXXh
047ECFh						
047ED0h	CAN0 メールボックス 13: メッセージ識別子	COMB13	XXXX XXXXh			
047ED1h						
047ED2h						
047ED3h						
047ED4h						
047ED5h	CAN0 メールボックス 13: データ長		XXh			
047ED6h	CAN0 メールボックス 13: データフィールド		XXXX XXXX XXXX XXXXh			
047ED7h						
047ED8h						
047ED9h						
047EDAh						
047EDBh						
047EDCh						
047EDDh						
047EDEh				CAN0 メールボックス 13: タイムスタンプ		XXXXh
047EDFh						
047EE0h	CAN0 メールボックス 14: メッセージ識別子	COMB14	XXXX XXXXh			
047EE1h						
047EE2h						
047EE3h						
047EE4h						
047EE5h	CAN0 メールボックス 14: データ長		XXh			
047EE6h	CAN0 メールボックス 14: データフィールド		XXXX XXXX XXXX XXXXh			
047EE7h						
047EE8h						
047EE9h						
047EEAh						
047EEBh						
047EECh						
047EEDh						
047EEEh				CAN0 メールボックス 14: タイムスタンプ		XXXXh
047EEFh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.74 SFR一覧(74)

番地	レジスタ	シンボル	リセット後の値			
047EF0h	CAN0 メールボックス 15: メッセージ識別子	C0MB15	XXXX XXXXh			
047EF1h						
047EF2h						
047EF3h						
047EF4h						
047EF5h	CAN0 メールボックス 15: データ長		XXh			
047EF6h	CAN0 メールボックス 15: データフィールド		XXXX XXXX XXXX XXXXh			
047EF7h						
047EF8h						
047EF9h						
047EFAh						
047EFBh						
047EFC h						
047EFDh						
047EFEh				CAN0 メールボックス 15: タイムスタンプ		XXXXh
047EFFh						
047F00h~ 047F0Fh						
047F10h	CAN0 マスクレジスタ 0	C0MKR0	XXXX XXXXh			
047F11h						
047F12h						
047F13h						
047F14h	CAN0 マスクレジスタ 1	C0MKR1	XXXX XXXXh			
047F15h						
047F16h						
047F17h						
047F18h	CAN0 マスクレジスタ 2	C0MKR2	XXXX XXXXh			
047F19h						
047F1Ah						
047F1Bh						
047F1Ch	CAN0 マスクレジスタ 3	C0MKR3	XXXX XXXXh			
047F1Dh						
047F1Eh						
047F1Fh						
047F20h	CAN0FIFO 受信ID 比較レジスタ 0	C0FIDCR0	XXXX XXXXh			
047F21h						
047F22h						
047F23h						
047F24h	CAN0FIFO 受信ID 比較レジスタ 1	C0FIDCR1	XXXX XXXXh			
047F25h						
047F26h						
047F27h						
047F28h						
047F29h						
047F2Ah	CAN0 マスク無効レジスタ	C0MKIVLR	XXXXh			
047F2Bh						
047F2Ch						
047F2Dh						
047F2Eh	CAN0 メールボックス 割り込み許可レジスタ	C0MIER	XXXXh			
047F2Fh						

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

表 4.75 SFR一覧(75)

番地	レジスタ	シンボル	リセット後の値
047F30h	CAN0メッセージ制御レジスタ0	COMCTL0	00h
047F31h	CAN0メッセージ制御レジスタ1	COMCTL1	00h
047F32h	CAN0メッセージ制御レジスタ2	COMCTL2	00h
047F33h	CAN0メッセージ制御レジスタ3	COMCTL3	00h
047F34h	CAN0メッセージ制御レジスタ4	COMCTL4	00h
047F35h	CAN0メッセージ制御レジスタ5	COMCTL5	00h
047F36h	CAN0メッセージ制御レジスタ6	COMCTL6	00h
047F37h	CAN0メッセージ制御レジスタ7	COMCTL7	00h
047F38h	CAN0メッセージ制御レジスタ8	COMCTL8	00h
047F39h	CAN0メッセージ制御レジスタ9	COMCTL9	00h
047F3Ah	CAN0メッセージ制御レジスタ10	COMCTL10	00h
047F3Bh	CAN0メッセージ制御レジスタ11	COMCTL11	00h
047F3Ch	CAN0メッセージ制御レジスタ12	COMCTL12	00h
047F3Dh	CAN0メッセージ制御レジスタ13	COMCTL13	00h
047F3Eh	CAN0メッセージ制御レジスタ14	COMCTL14	00h
047F3Fh	CAN0メッセージ制御レジスタ15	COMCTL15	00h
047F40h	CAN0制御レジスタ	COCTLR	0000 0101b
047F41h			0000 0000b
047F42h	CAN0ステータスレジスタ	COSTR	0000 0101b
047F43h			0000 0000b
047F44h	CAN0ビットコンフィグレーションレジスタ	COBCR	00 0000h
047F45h			
047F46h			
047F47h	CAN0クロック選択レジスタ	COCLKR	000X 0000b
047F48h	CAN0受信FIFO制御レジスタ	CORFCR	1000 0000b
047F49h	CAN0受信FIFOポインタ制御レジスタ	CORFPCR	XXh
047F4Ah	CAN0送信FIFO制御レジスタ	COTFCR	1000 0000b
047F4Bh	CAN0送信FIFOポインタ制御レジスタ	COTFPCR	XXh
047F4Ch	CAN0エラー割り込み許可レジスタ	COEIER	00h
047F4Dh	CAN0エラー割り込み要因判定レジスタ	COEIFR	00h
047F4Eh	CAN0受信エラーカウントレジスタ	CORECR	00h
047F4Fh	CAN0送信エラーカウントレジスタ	COTEER	00h
047F50h	CAN0エラーコード格納レジスタ	COECSR	00h
047F51h	CAN0チャネルサーチサポートレジスタ	COCSSR	XXh
047F52h	CAN0メールボックスサーチステータスレジスタ	COMSSR	1000 0000b
047F53h	CAN0メールボックスサーチモードレジスタ	COMSMR	0000 0000b
047F54h	CAN0タイムスタンプレジスタ	COTSR	0000h
047F55h			
047F56h	CAN0アクセプタンスフィルタサポートレジスタ	COAFSR	XXXXh
047F57h			
047F58h	CAN0テスト制御レジスタ	COTCR	00h
047F59h			
047F5Ah			
047F5Bh			
047F5Ch~ 04FFFFh			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子は初期化されます(表 5.1 参照)。また、発振回路が初期化され、メインクロックの発振が始まります。 $\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

図 5.1 にリセット回路の一例を、図 5.2 にリセットシーケンスを、表 5.1 に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を、図 5.3 にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

A. 電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) XIN端子に20サイクル以上のクロックを入力する
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

B. 電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たす電圧まで上昇させる
- (3) 内部電源が安定するまで $t_d(P-R)$ 待つ
- (4) XIN端子に20サイクル以上のクロックを入力する
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

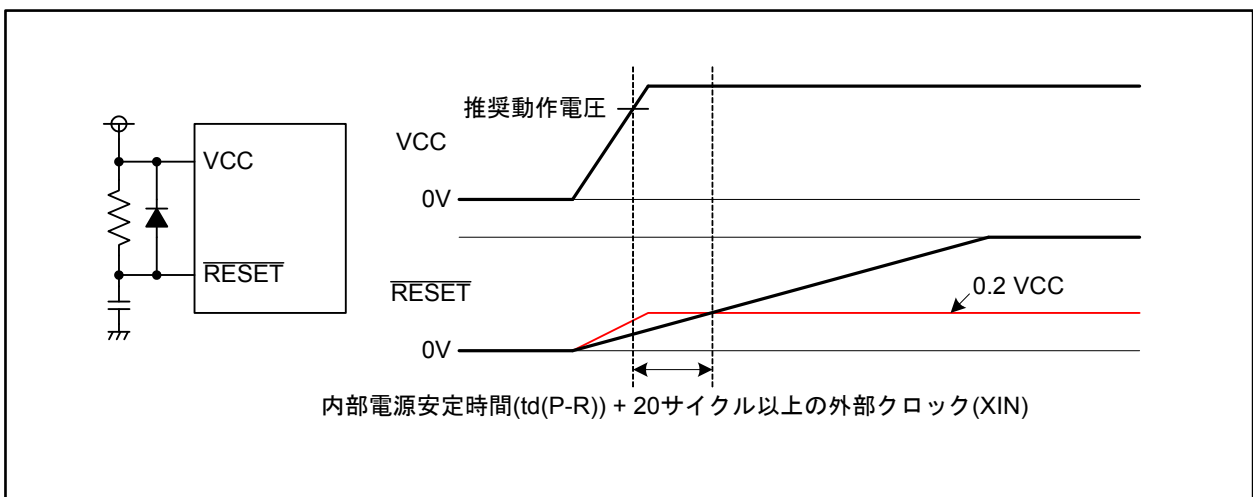


図 5.1 リセット回路の一例

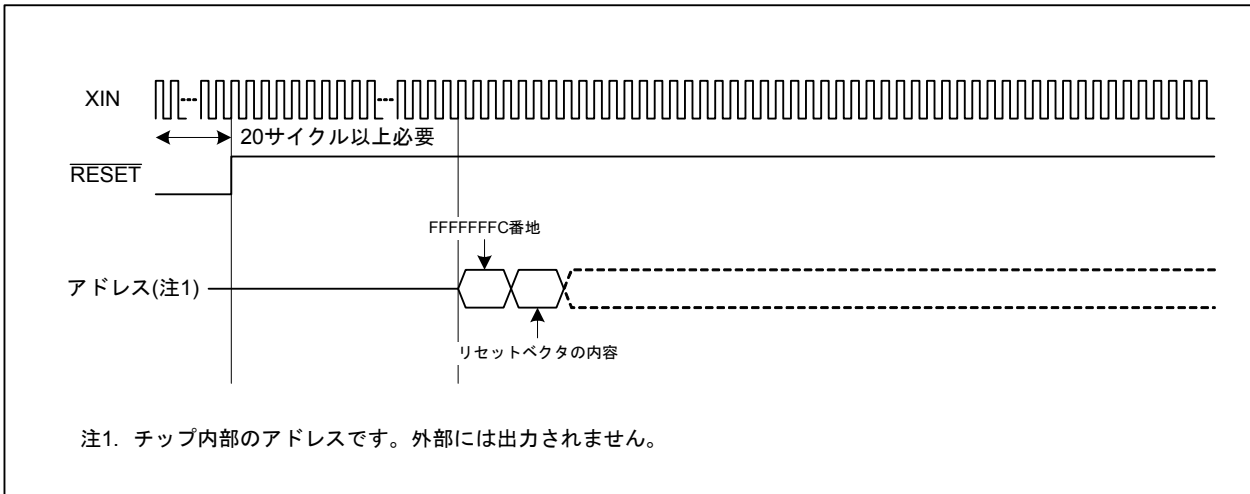


図 5.2 リセットシーケンス

表 5.1 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態(注1)

端子名	端子の状態
P0~P10	入力ポート(ハイインピーダンス)

注1. 内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。

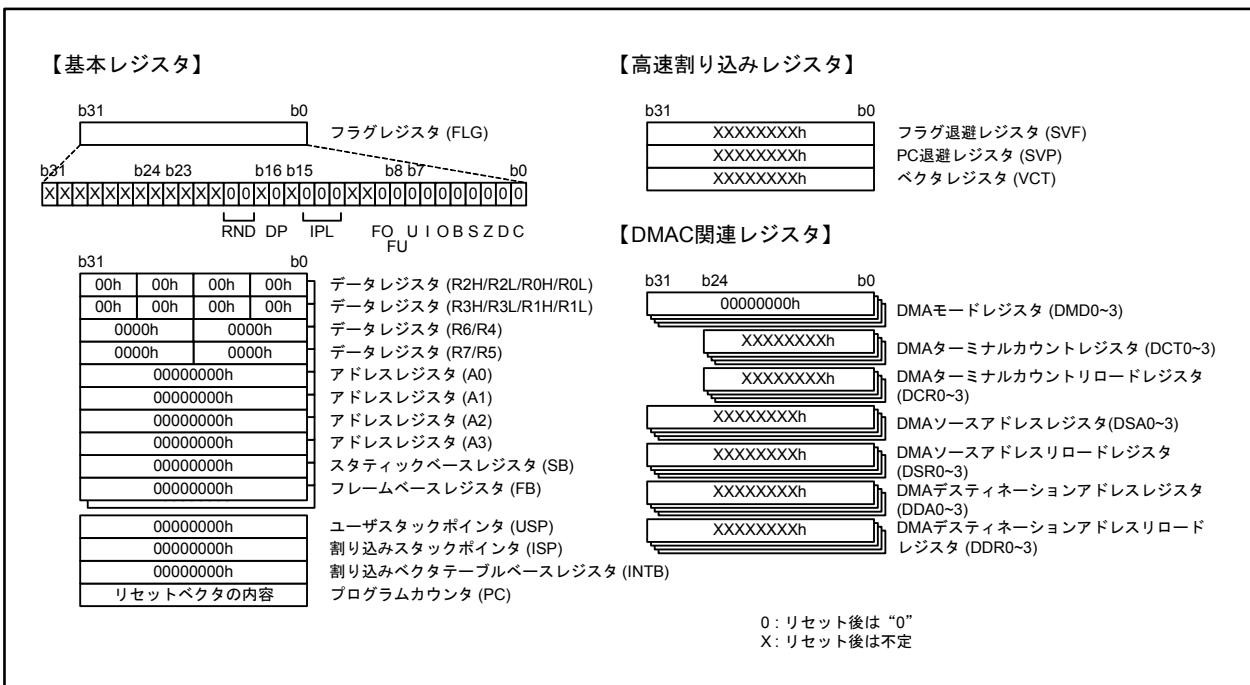


図 5.3 リセット後のCPUレジスタの状態

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータがリセットされ、CPU、SFR、端子が初期化されます。その後、CPUはリセットベクタで示される番地からプログラムを実行します。図 5.4にPM0レジスタを示します。

CPUクロック源にPLLクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

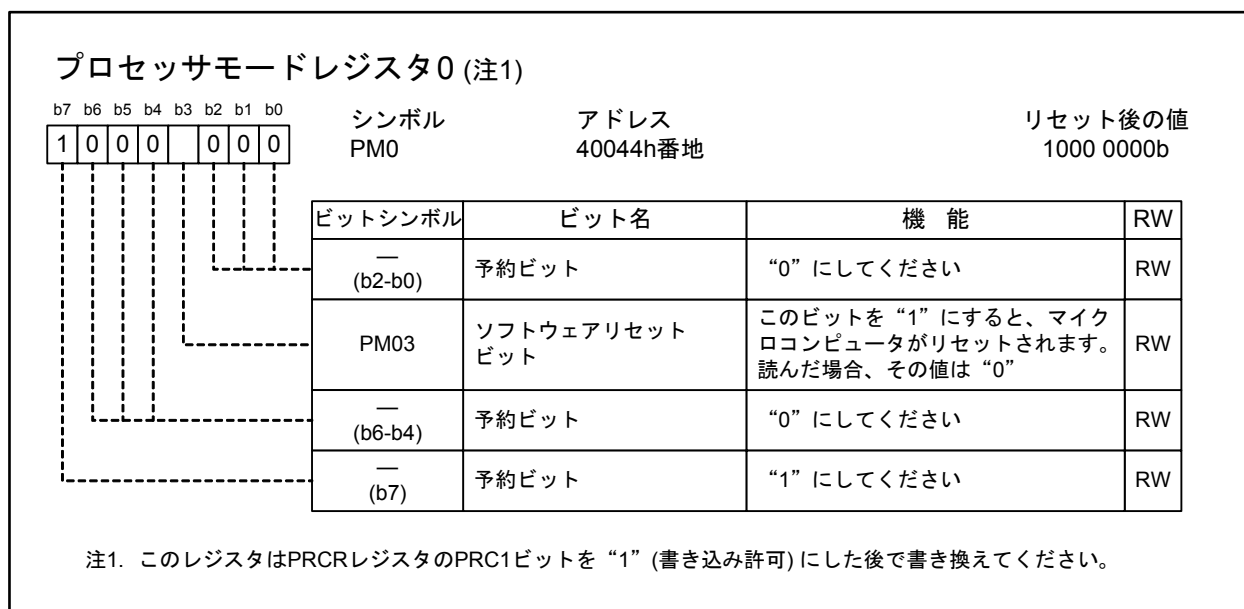


図 5.4 PM0レジスタ

5.3 ウォッチドッグタイマリセット

CM0レジスタのCM06ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータがリセットされ、CPU、SFR、端子が初期化されます。その後、CPUはリセットベクタで示される番地からプログラムを実行します。

5.4 リセットベクタ

R32C/100シリーズのリセットベクタは、図 5.5のとおり構成されています。

リセットベクタの内容の下位2ビットを“00b”にしたものがプログラムの開始番地になり、下位2ビットがマイクロプロセッサモード時の外部バス幅指定ビットになります。このため、プログラムの開始番地は下位2ビットが“00b”となるように4バイトアライメントに配置する必要があります。

シングルチップモード時は外部バス幅指定ビットを“00b”にしてください。

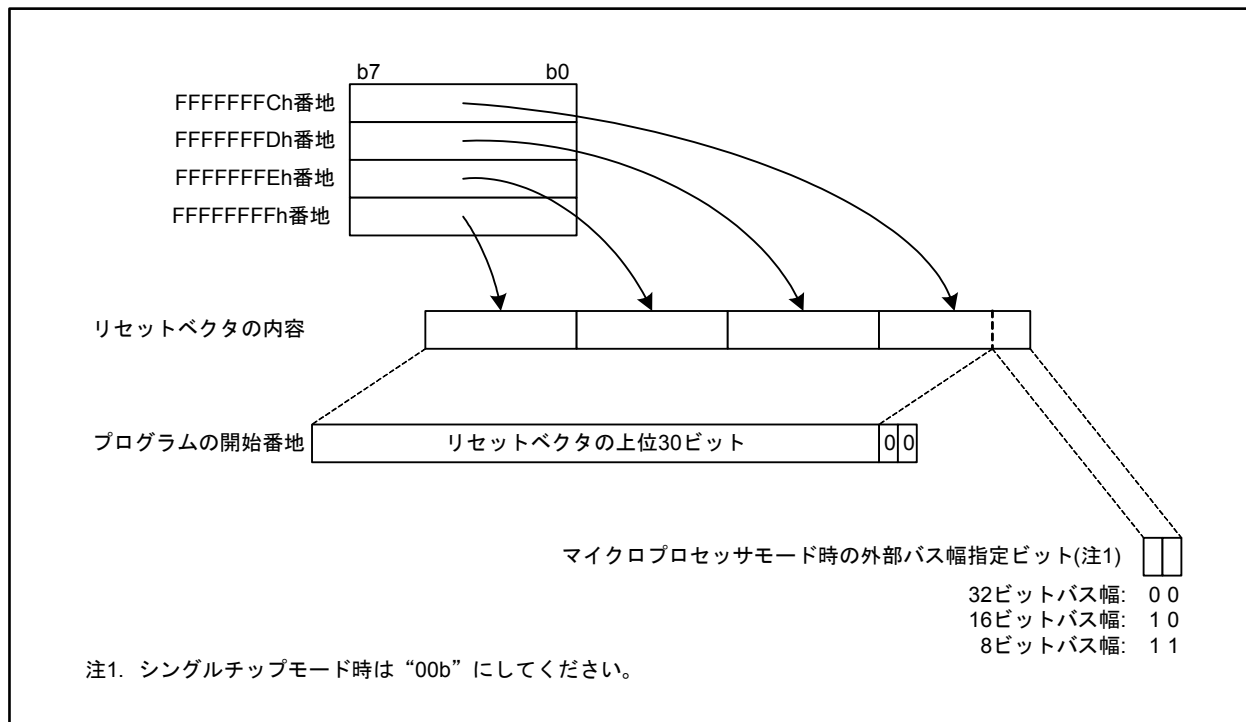


図 5.5 リセットベクタの構成

6. パワーマネージメント

6.1 電圧レギュレータ

内部ロジック電圧は内部電圧レギュレータによって、VCC0端子からの入力を降圧して生成されます。図 6.1に内部電圧レギュレータのブロック図を、図 6.2に電圧レギュレータ制御レジスタを示します。

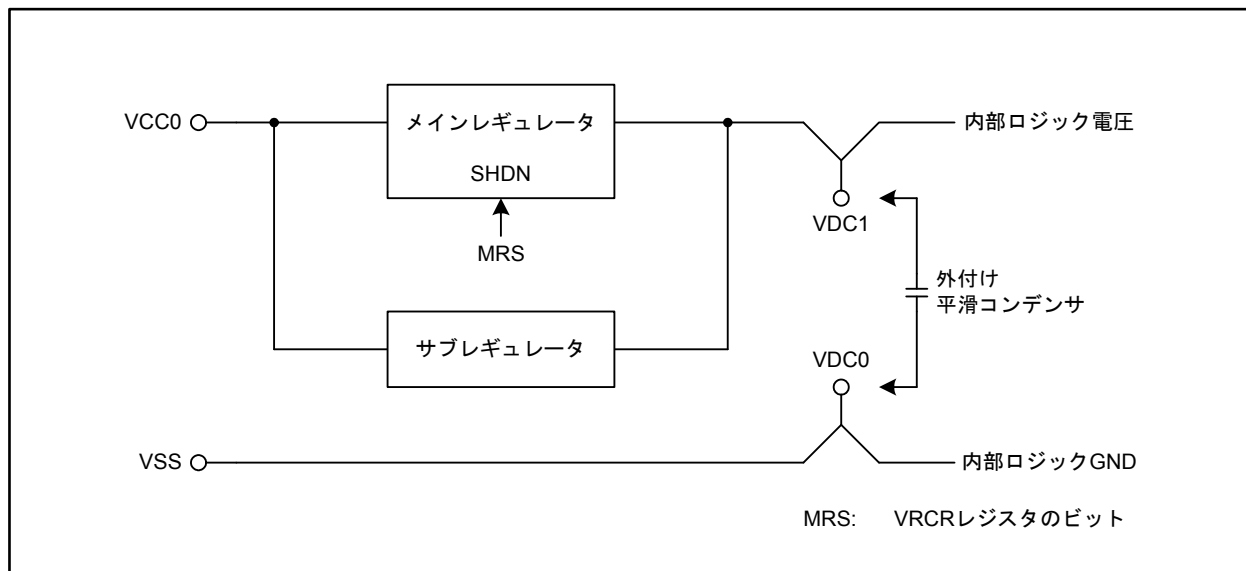


図 6.1 内部電圧レギュレータのブロック図

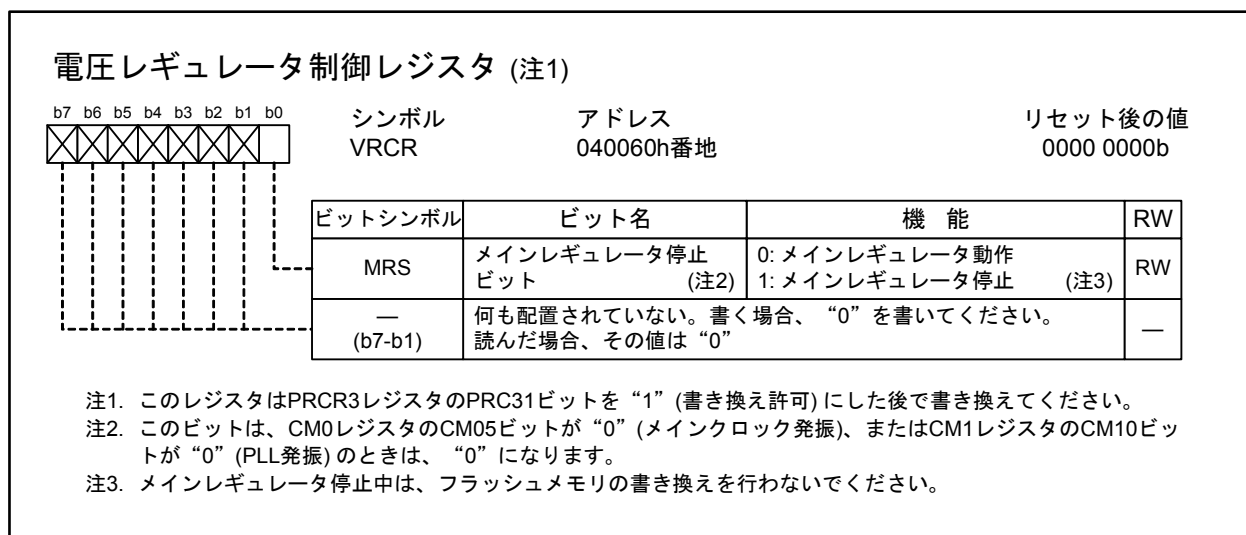


図 6.2 VRCR レジスタ

6.1.1 平滑コンデンサ

内部電圧を安定させるためにチップ外部に平滑コンデンサが必要です。使用するコンデンサは、高周波特性が良く、静電容量温度特性の良いものを選択してください。一般的にはセラミックコンデンサを推奨します。コンデンサの容量は、使用温度、両端子間の直流電圧、経年変化等の条件によって変化します。これらの条件を考慮の上、電気的特性に記載する容量値を満たすようなコンデンサを選択ください。

表 6.1に推奨するコンデンサの一覧を示します。

また、VDC1/VDC0端子と平滑コンデンサの間の配線は、できるだけ太く、短くしてください。

表 6.1 推奨コンデンサ一覧

温度特性				定格電圧	静電容量	容量誤差
特性記号		温度範囲	静電容量変化率			
B	JIS	-25°C~85°C	±10%	6.3V以上	4.7μF	±20%以下
R	JIS	-55°C~125°C	±15%	6.3V以上	4.7μF	±20%以下
X5R	EIA	-55°C~85°C	±15%	6.3V以上	4.7μF	±20%以下
X7R	EIA	-55°C~125°C	±15%	6.3V以上	4.7μF	±20%以下
X8R	EIA	-55°C~150°C	±15%	6.3V以上	4.7μF	±20%以下
X6S	EIA	-55°C~105°C	±22%	6.3V以上	4.7μF	±20%以下
X7S	EIA	-55°C~125°C	±22%	6.3V以上	4.7μF	±20%以下

7. クロック発生回路

7.1 クロック発生回路の種類

以下に示す4つのクロック発生回路を内蔵しています。

- メインクロック発振回路
- サブクロック発振回路
- PLL周波数シンセサイザ
- オンチップオシレータ

表 7.1 にクロック発生回路の概略仕様を示します。また、図 7.1 にクロック発生回路のブロック図を、図 7.2~図 7.10 にクロック制御関連レジスタを示します。

表 7.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	PLL周波数 シンセサイザ	オンチップ オシレータ
用途	PLL基準クロック源 周辺機能クロック源	CPUクロック源 タイマAのカウン トソース タイマBのカウン トソース	CPUクロック源 周辺機能クロック源	CPUクロック源 タイマAのカウン トソース タイマBのカウン トソース
クロック周波数	4MHz~8MHz	32.768kHz	$f_{SO(PLL)}$ または $f_{(PLL)}$	約125kHz
接続できる発振子 または付加回路	セラミック共振子 水晶発振子	水晶発振子	—	—
発振子または付加 回路の接続端子	XIN, XOUT	XCIN, XCOUT	—	—
発振停止、発振再 開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	発振	停止
その他	外部で生成されたク ロックも入力可能	外部で生成されたク ロックも入力可能	メインクロック停止 時はPLL周波数シン セサイザの自励発振 周波数 $f_{SO(PLL)}$ で発 振	OFS領域のCSPM ビットを“0”にして おくと、リセット後 から発振

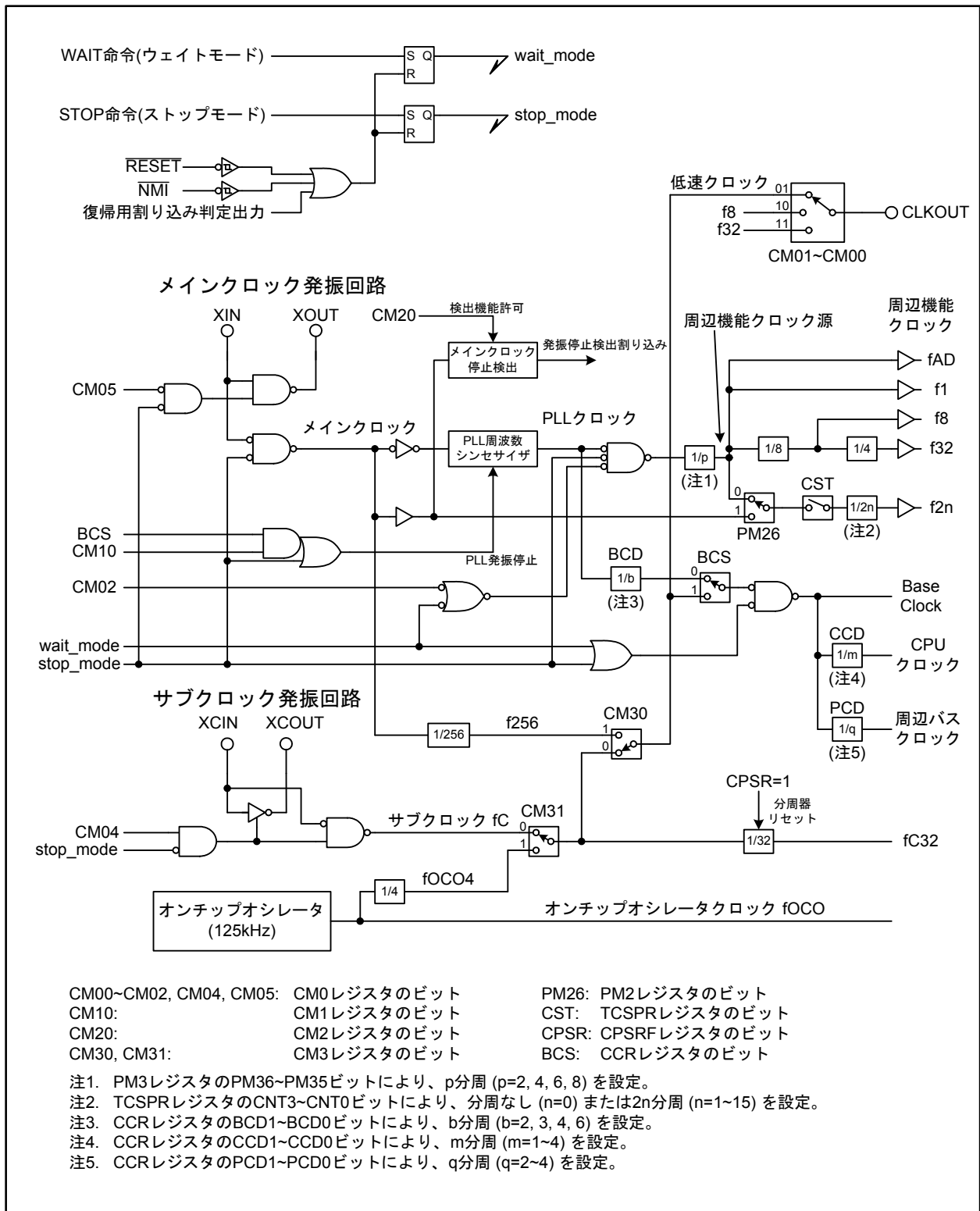


図 7.1 クロック発生回路のブロック図

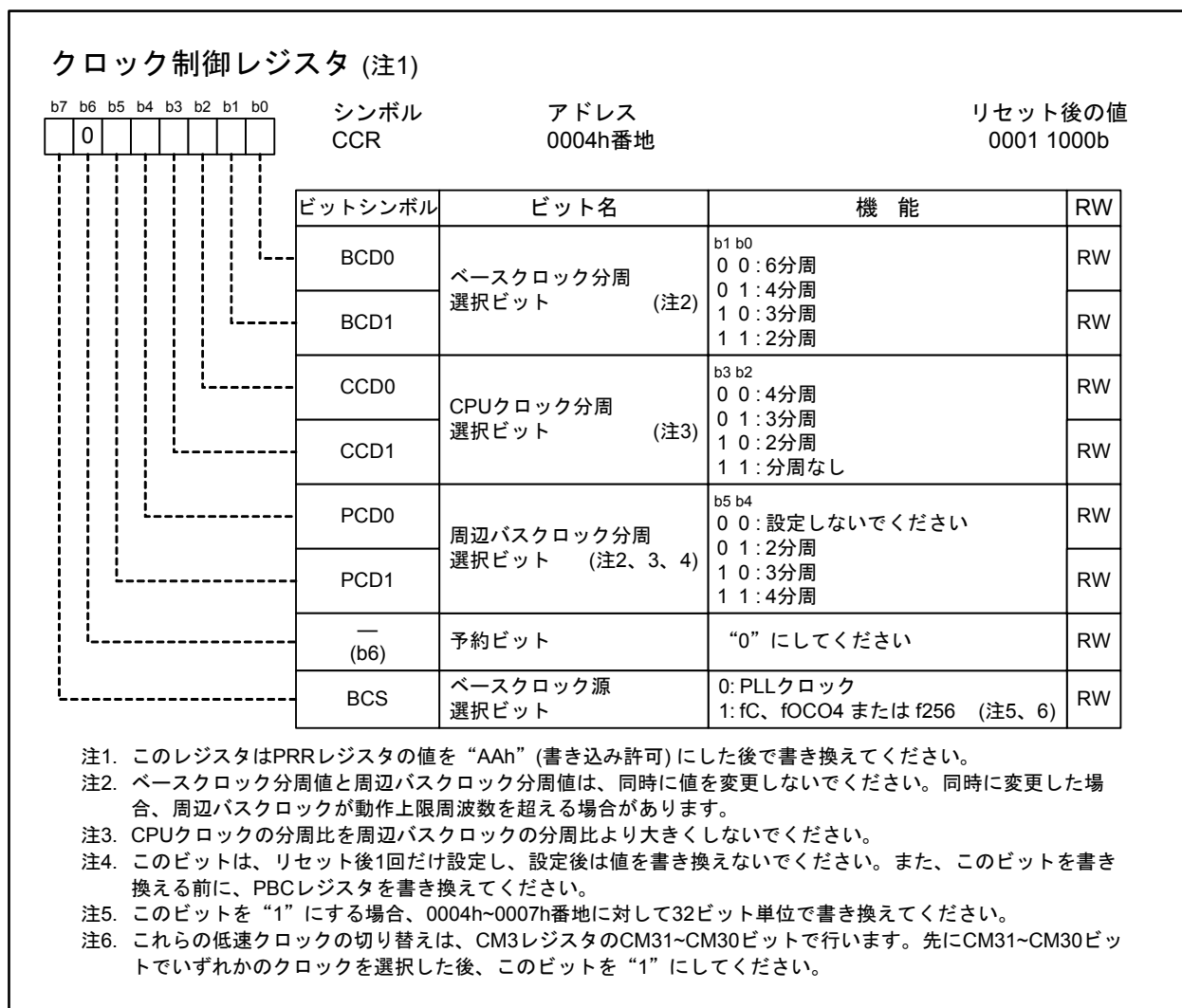


図 7.2 CCRレジスタ

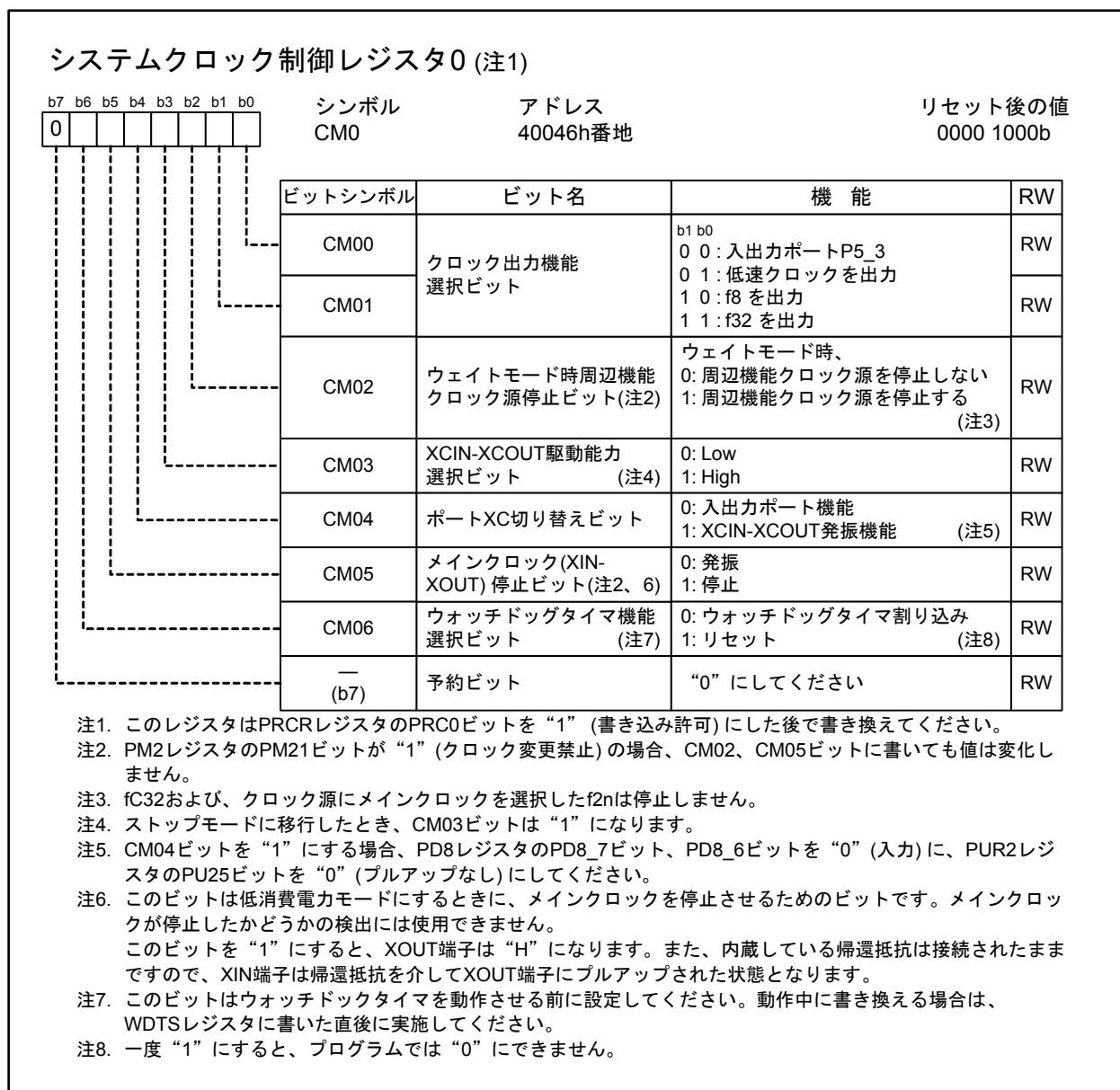


図 7.3 CM0 レジスタ

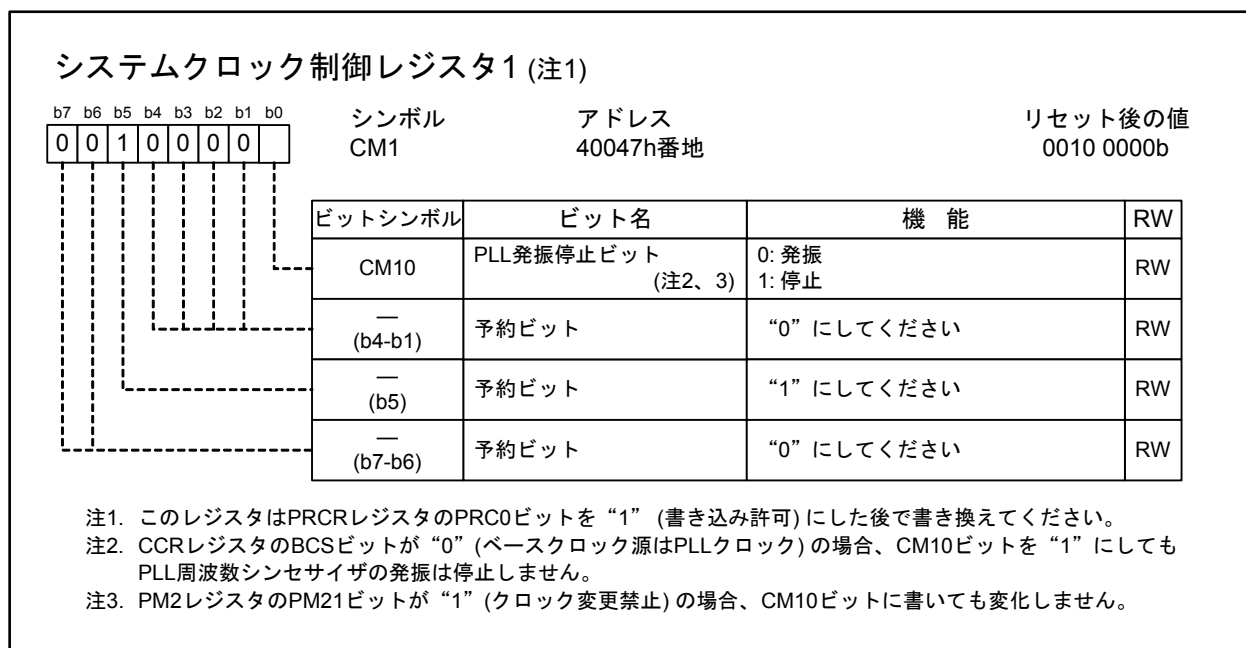


図 7.4 CM1 レジスタ

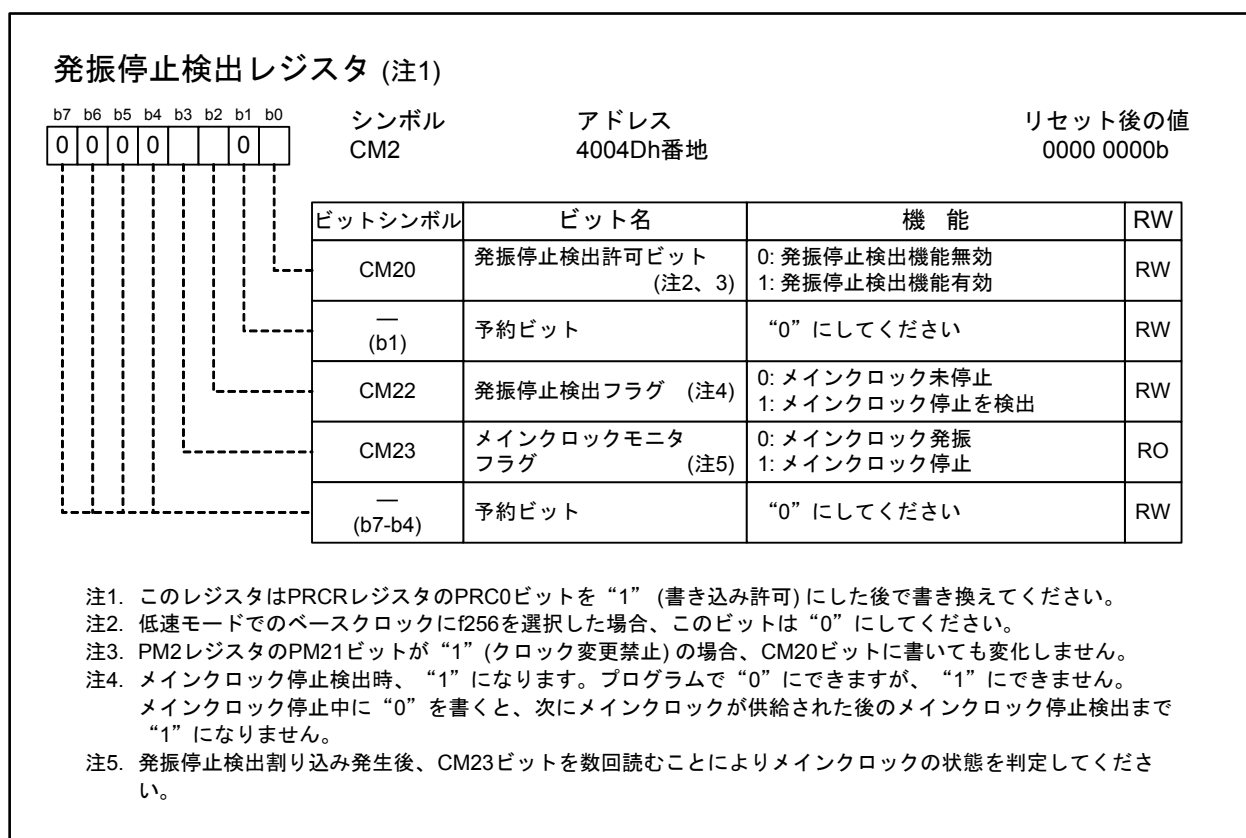


図 7.5 CM2 レジスタ

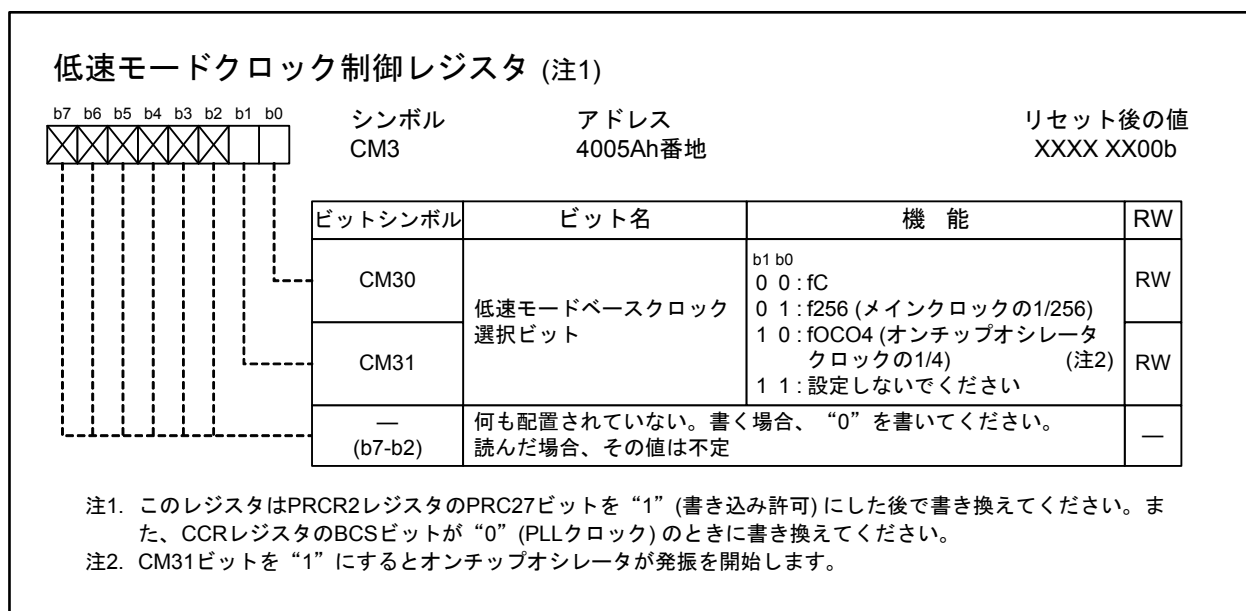


図 7.6 CM3 レジスタ

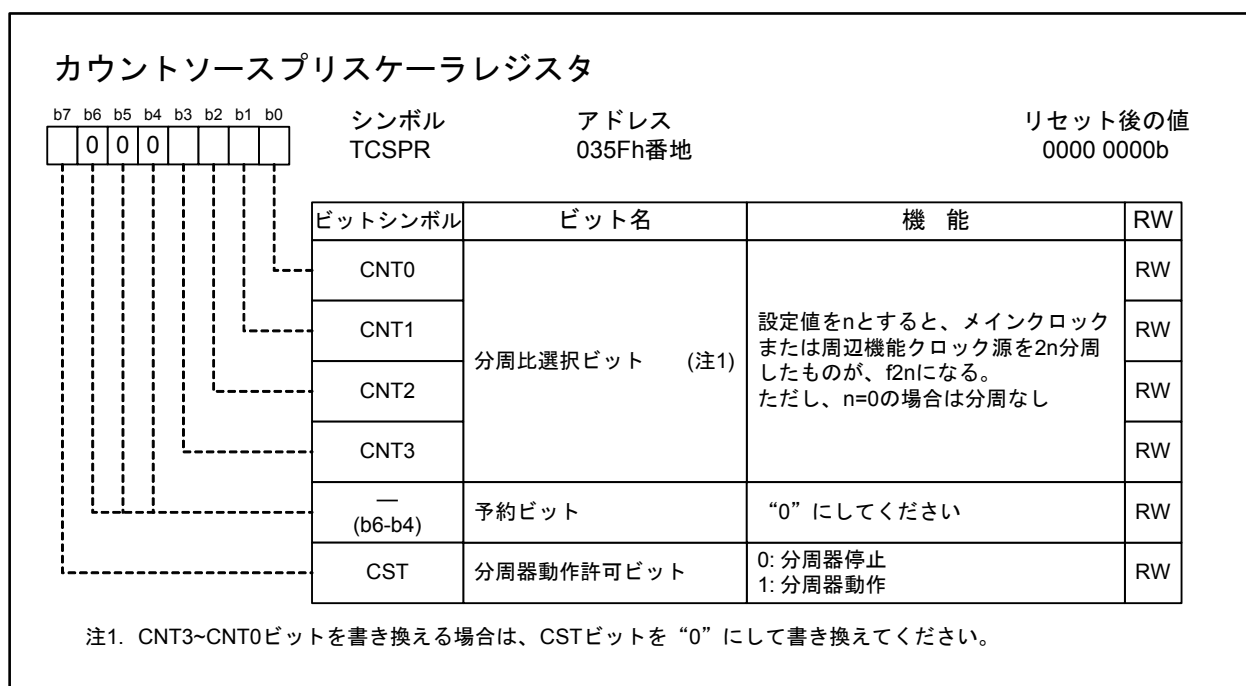


図 7.7 TCSPR レジスタ

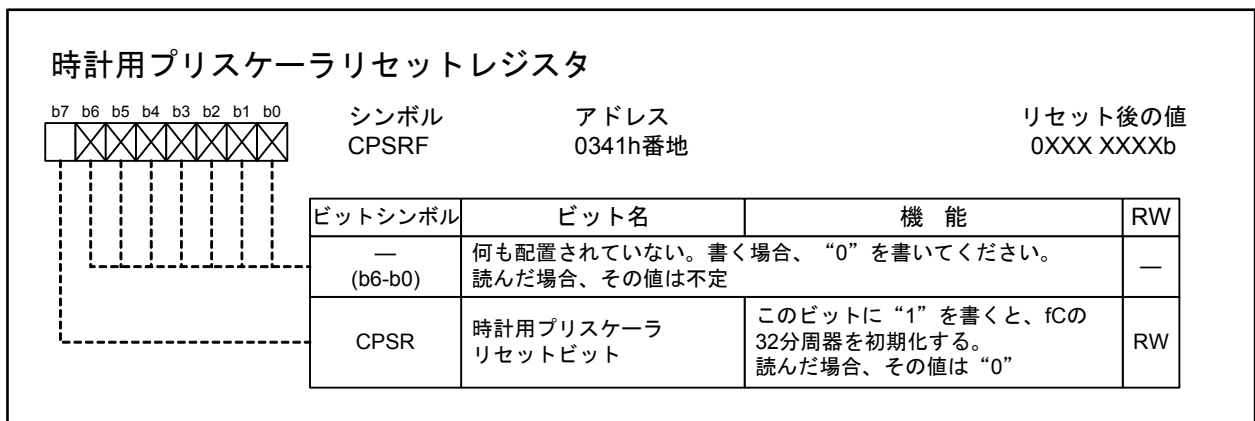


図 7.8 CPSRF レジスタ

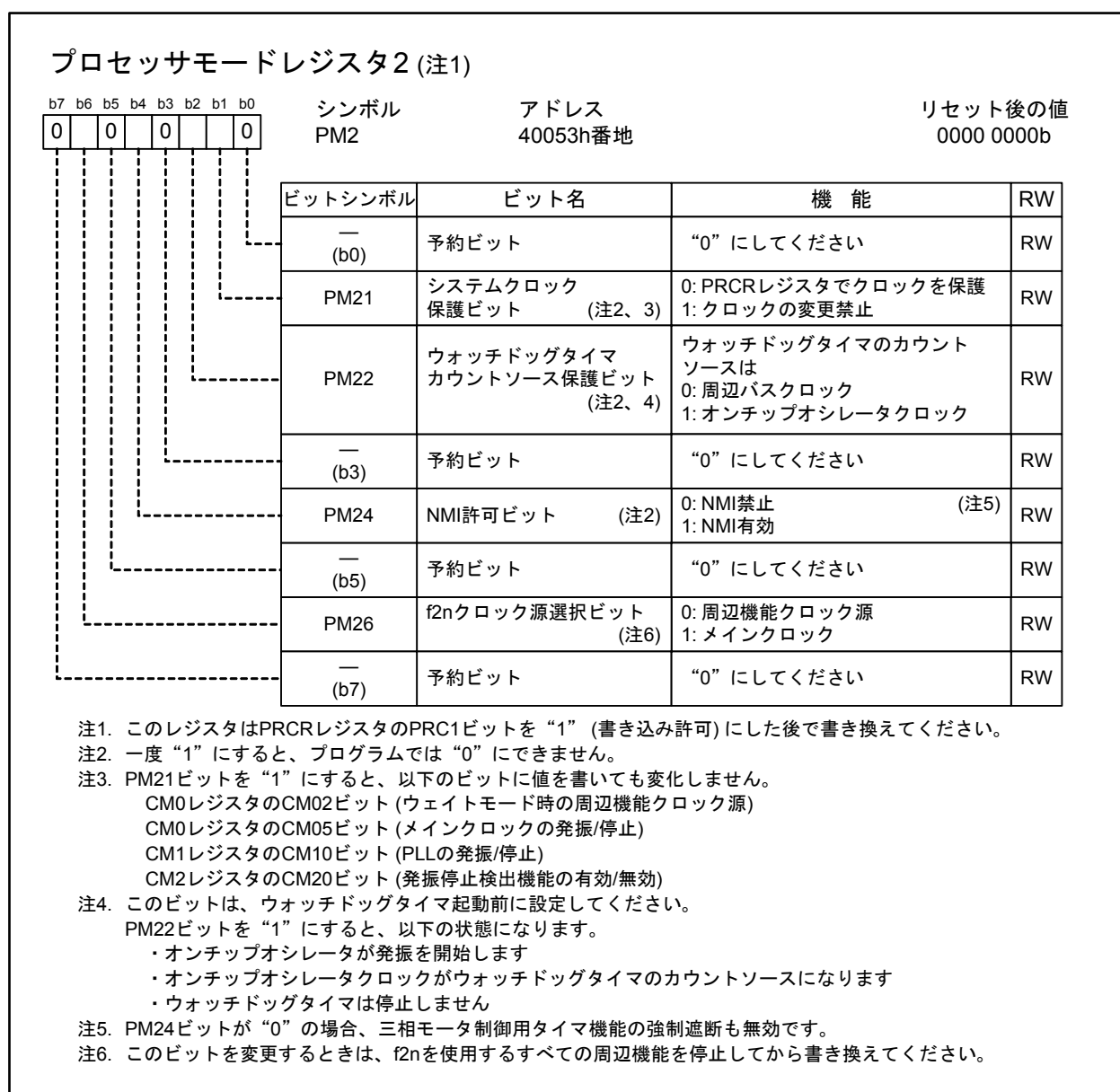


図 7.9 PM2 レジスタ

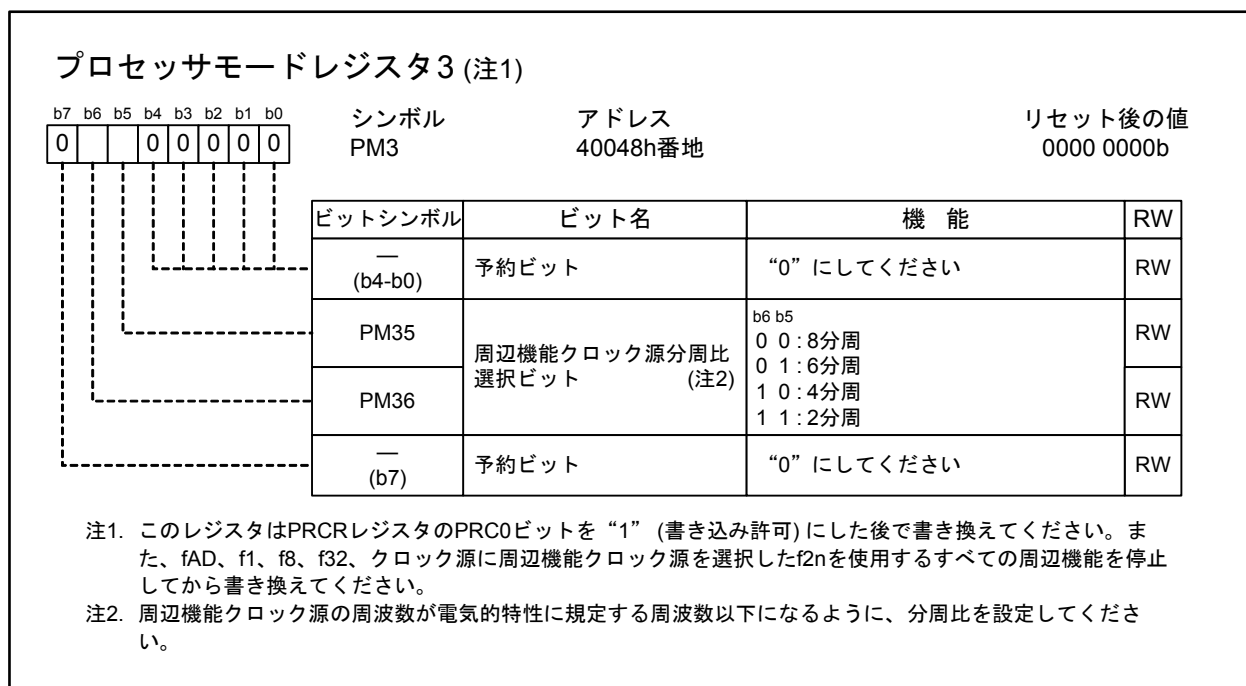


図 7.10 PM3 レジスタ

クロック発生回路で生成するクロックを説明します。

7.1.1 メインクロック

メインクロック発振回路が供給するクロックです。PLL基準クロックや、周辺機能クロックのクロック源になります。また、CANモジュールの動作クロックとしても使用できます。

メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図7.11にメインクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、メインクロック発振回路は動作していますが、PLL周波数シンセサイザの入力で切断された状態になっており、CPUにはPLL周波数シンセサイザの自励発振周波数の12分周が供給されています。

CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、XINとXOUTはチップ内部の帰還抵抗で接続されていますので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしないでください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「7.7 パワーコントロール」を参照してください。

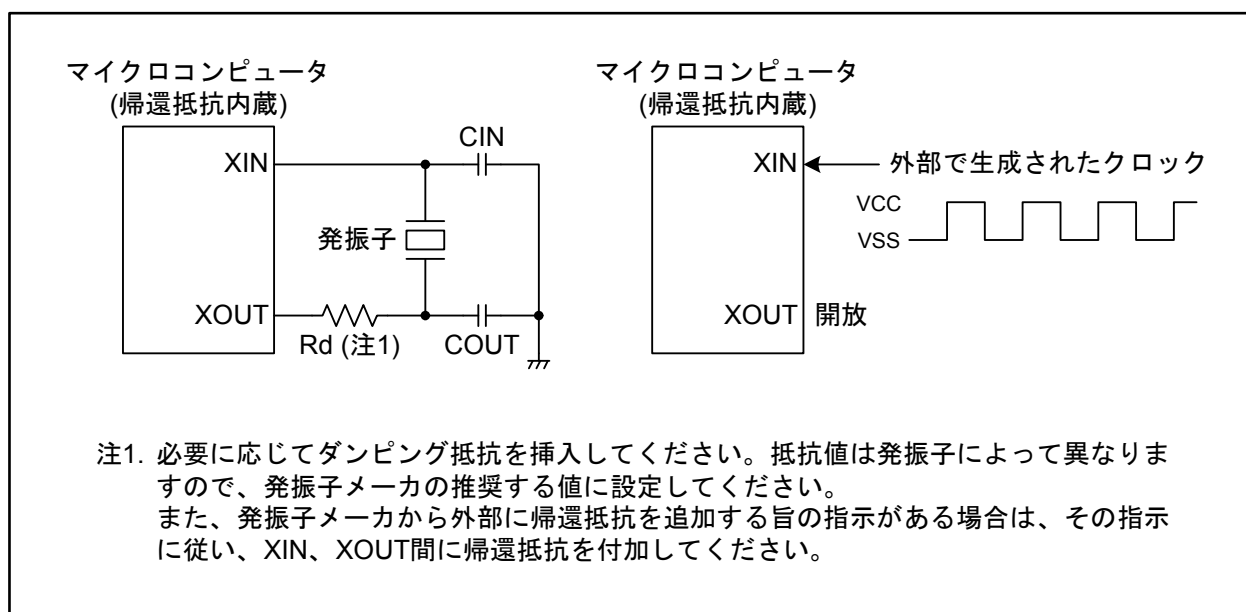


図 7.11 メインクロックの接続回路例

7.1.2 サブクロック (fC)

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。また、CLKOUT端子から外部に出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図7.12にサブクロックの回路接続例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。PD8レジスタのPD8_6、PD8_7ビットの両方を“0”（入力モード）にし、PUR2レジスタのPU25ビットを“0”（プルアップしない）にした後、CM0レジスタのCM04ビットを“1”（XCIN-XCOUT発振機能）にすると、サブクロック発振回路が発振を始めます。外部で生成したクロックをXCIN端子へ入力する場合は、PD8_7ビットを“0”にし、PU25ビットを“0”にした後、CM04ビットを“1”にすると、XCIN端子へ入力されたクロックがサブクロック源になります。

サブクロックの発振が安定した後、CM3レジスタに“00h”（fC）を書き、CCRレジスタのBCSビットを“1”（fC、fOCO4またはf256）にすると、サブクロックがCPUと周辺バスのベースクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「7.7 パワーコントロール」を参照してください。

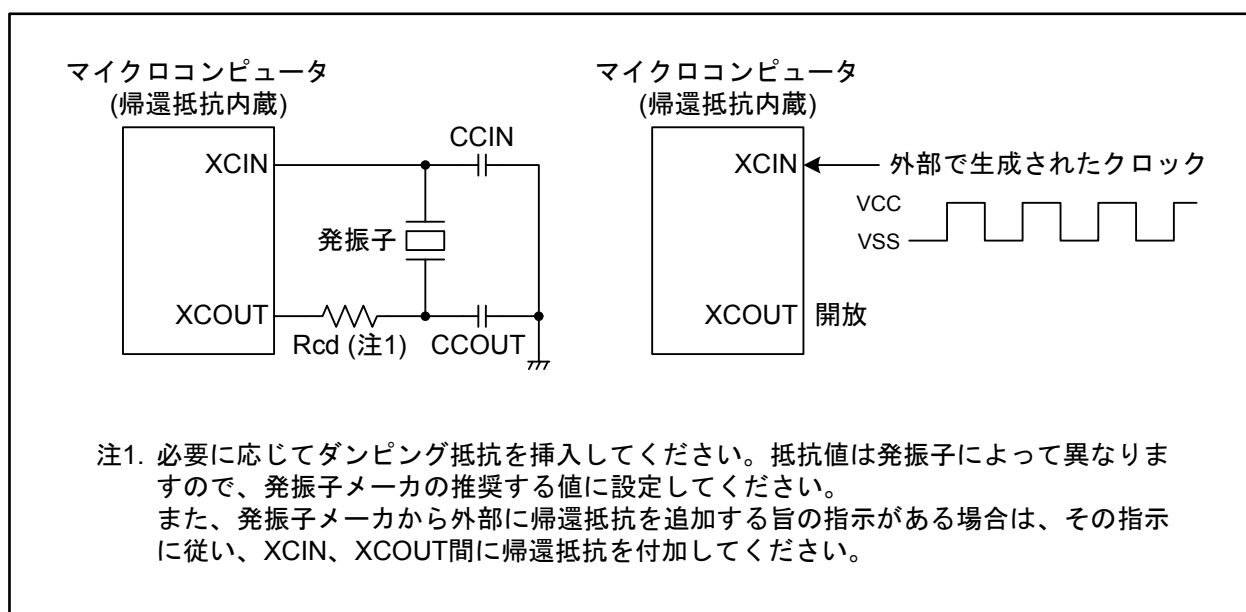


図 7.12 サブクロックの接続例

7.1.3 PLLクロック

PLLクロックは、PLL周波数シンセサイザがメインクロックを元に生成するクロックで、CPUクロックや、周辺機能クロックなど、すべてのクロック源に使用します。

図 7.13にPLL周波数シンセサイザのブロック図を、図 7.14にPLC0レジスタ、図 7.15にPLC1レジスタを示します。

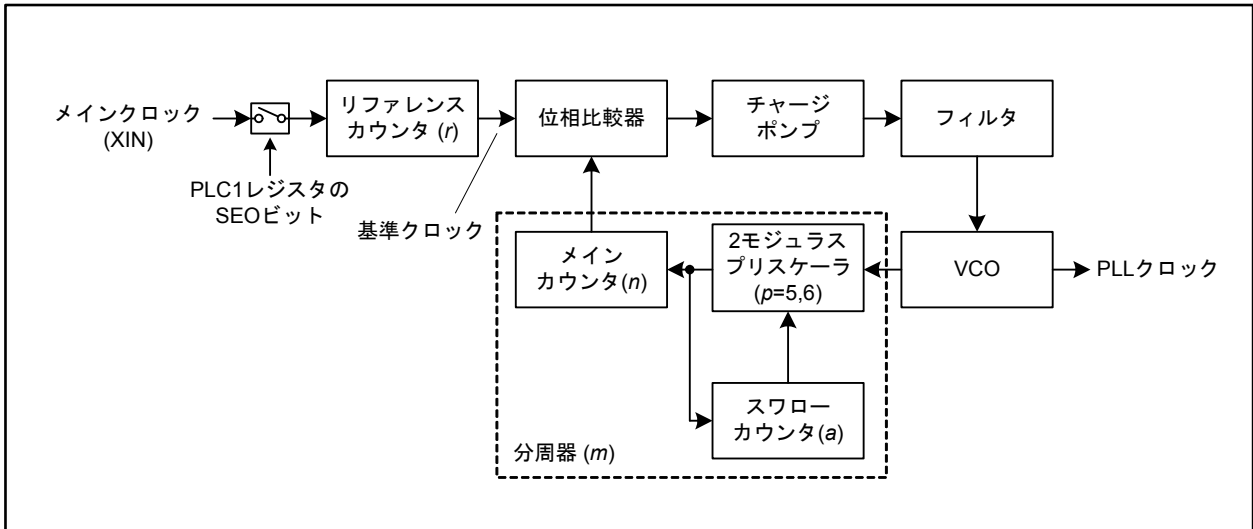


図 7.13 PLL周波数シンセサイザブロック図

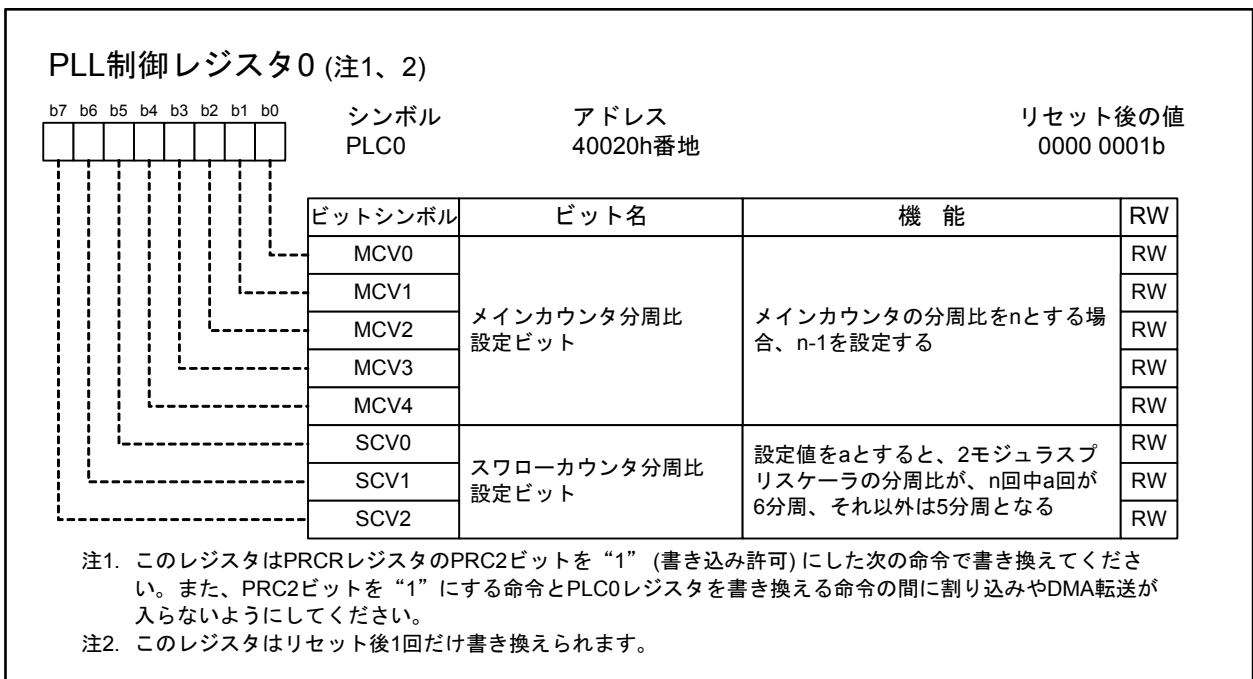


図 7.14 PLC0レジスタ

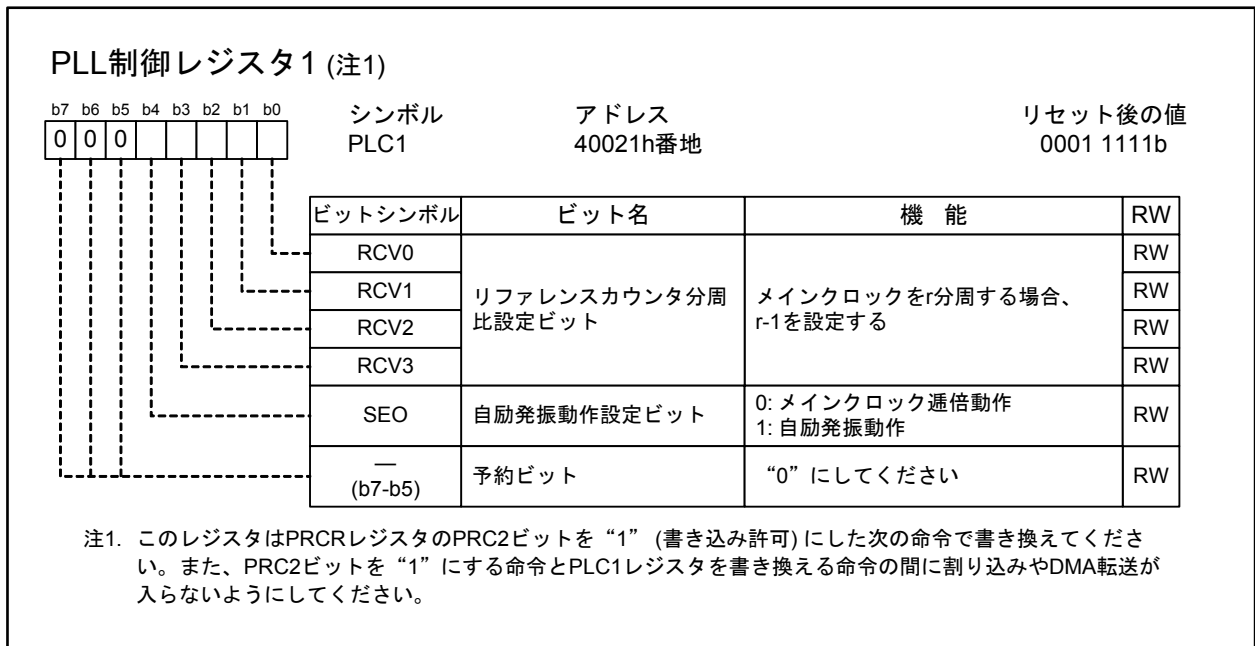


図 7.15 PLC1レジスタ

PLL周波数シンセサイザはパルススワロー方式で、分周比 m は $n \times p$ で表せますが、 p の分周比は、スワローカウンタの機能により、 n 回中 a 回が6分周、それ以外は5分周となります。従いまして、実際の分周比 m は、

$$\begin{aligned} m &= n \times p \\ &= n \times \left(\frac{a}{n} \cdot 6 + \frac{n-a}{n} \cdot 5 \right) \\ &= 5n + a \end{aligned}$$

と表せます。ただし、設定できる a の範囲は、 $0 \leq a < 5$ 、 $0 \leq a \leq n$ です。

また、リファレンスカウンタの r 分周と併せて、PLLクロックはメインクロック (XIN)周波数の m/r 倍の周波数となります。

$$\begin{aligned} \text{PLLクロック周波数 } f(\text{PLL}) &= \frac{m}{r} \cdot \text{メインクロック周波数} \\ &= \frac{5n+a}{r} \cdot \text{メインクロック周波数} \end{aligned}$$

リセット後、リファレンスカウンタは16分周、PLL周波数シンセサイザは10通倍になりますが、リファレンスとなるメインクロックが接続されていないため、固有の周波数 $f_{\text{SO(PLL)}}$ で自励発振を行います。

なお、メインクロックを r 分周した基準クロックは2MHz以上、4MHz以下になるように、また分周比 m が25~100になるように各レジスタの値を設定する必要があります。

表 7.2にPLC1~PLC0レジスタの設定値を示します。この表に記載している設定値をご使用ください。メインクロックの発振が安定している状態で、PLC1~PLC0レジスタの設定を変更してからPLLクロックが安定するまで、 $t_{\text{LOCK(PLL)}}$ の待ち時間が必要です。

表 7.2 PLC1~PLC0 レジスタの設定値(注1)

メイン クロック	r	基準 クロック	n	a	m	PLC1 設定値	PLC0 設定値	m/r	PLLクロック
4MHz	1	4MHz	6	0	30	00h	05h	30	120MHz
5MHz	2	2.5MHz	9	3	48	01h	68h	24	120MHz
6MHz	2	3MHz	8	0	40	01h	07h	20	120MHz
8MHz	2	4MHz	6	0	30	01h	05h	15	120MHz
4MHz	1	4MHz	6	2	32	00h	45h	32	128MHz
6MHz	3	2MHz	12	4	64	02h	8Bh	21.3333	128MHz
8MHz	2	4MHz	6	2	32	01h	45h	16	128MHz

注1. この表に記載している設定値をご使用ください。

7.1.4 オンチップオシレータクロック

オンチップオシレータ(OCO)が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。発振周波数はおおよそ125kHzで、この1/4の周波数のクロックがCPUや周辺バスのベースクロックとして使用できます。

OFS領域のCSPMビットが“1”の場合、リセット後オンチップオシレータは停止しています。CM3レジスタのCM31ビットまたは、PM2レジスタのPM22ビットを“1”にすると、オンチップオシレータが発振を開始します。オンチップオシレータはほぼ瞬時に発振を開始しますので、安定待ちは必要ありません。

7.2 発振停止検出機能

外部の要因でメインクロックが停止した場合に、クロックの停止を検出する機能です。

CM2レジスタのCM20ビットが“1”(発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。このときPLL周波数シンセサイザは固有の発振周波数で自励発振を行いますので、PLLクロックをCPUクロックや周辺機能クロックのクロック源にしている場合、これらの動作は停止しません。

発振停止が検出されたとき、CM2レジスタの以下のビットが変化します。

- CM22ビット=1(メインクロック停止を検出)
- CM23ビット=1(メインクロック停止)(図7.17状態遷移図(サブクロック使用時)参照)

7.2.1 発振停止検出機能使用方法

発振停止検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止検出割り込みとこれらの割り込みを同時に使用する場合、割り込み処理ルーチン内でCM22ビットを読み出し、発振停止検出割り込み要求が発生したことを確認してください。

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでメインクロックの再発振を抑止する(CM0レジスタのCM05ビットを“1”にする)か、ベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

低速モード時、CM20ビットが“1”(発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。このとき、CPUクロックは低速クロックのまま変化しません。なお、低速モードでベースクロックにf256(メインクロックの256分周)を使用する場合、発振停止検出機能は使えません。

この機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止させる場合、すなわち、ストップモードにする、またはCM05を“1”(メインクロック発振停止)にする場合は、CM20ビットを“0”(発振停止検出機能無効)にしてください。また、ウェイトモードにする場合も、CM20ビットを“0”にしてください。

発振停止検出機能は、コンデンサへの充電電圧がある値以下かどうかで判断しています。したがって、実際にはメインクロックが約500kHzを下回ると発振停止と認識します。このため、割り込み処理ルーチン内でCM22ビットを“0”にするようなプログラムを記述した場合、メインクロックの発振周波数が500kHz前後で上昇下降を繰り返した場合に多重割り込みが発生し、スタックがオーバーフローすることがあります。

7.3 ベースクロック

ベースクロックはCPUクロックや周辺バスクロックの元となる基準クロックです。リセット後、ベースクロックはPLLクロックの6分周になっています。

ベースクロック源には、PLLクロックまたは低速クロックが選択できます。低速クロックとしては、サブクロック(fC)、オンチップオシレータクロックの4分周(fOCO4)、メインクロックの256分周(f256)が選択できます。

ベースクロックのクロック源としてPLLクロックを選択した場合、選択したクロックを2、3、4、6分周したものがベースクロックとなり、低速クロックを選択した場合は低速クロックそのものがベースクロックとなります。

ベースクロック源の選択はCCRレジスタのBCSビットで、PLLクロックからの分周比はCCRレジスタのBCD1~BCD0ビットで、低速クロックの選択はCM3レジスタのCM31~CM30ビットで設定できます。

7.4 CPUクロックと周辺バスクロック

CPUクロックはCPUの動作クロックです。リセット後、CPUクロックはベースクロックの2分周になっています。

CPUクロック源はベースクロックであり、分周比はCCRレジスタのCCD1~CCD0ビットで選択できます。また、ベースクロックを2~4分周したものが周辺バスクロックになり、分周比はCCRレジスタのPCD1~PCD0ビットで選択できます。

周辺バスクロックはウォッチドッグタイマのカウントソース、シリアルバスインタフェース、CANモジュールの動作クロックにも使用します。

暴走時、PLLクロックをクロック源とするCPUクロックが停止しないようにしたい場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の状態です。以下の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする

7.5 周辺機能クロック

ウォッチドッグタイマ、シリアルバスインタフェース、CANモジュールを除く周辺機能の動作クロックまたはカウントソースです。周辺機能クロックの基準となる周辺機能クロック源はPLLクロックと同一周波数のクロックをPM3レジスタのPM36~PM35ビットの設定によって2、4、6、8分周したクロックです。

周辺機能クロックは大きく以下の3種類に分類できます。

(1) f1、f8、f32、f2n

f1、f8、f32は周辺機能クロック源をそれぞれ1、8、32分周したクロックです。f2nのクロック源は、PM2レジスタのPM26ビットにより、周辺機能クロック源またはメインクロックのどちらかを選択できます。また、f2nはTCSPRレジスタのCNT3~CNT0ビットにより、分周比を設定できます(n=1~15、n=0のときは分周なし)。

CM02ビットを“1”(ウェイトモード時、周辺機能クロック源を停止する)にしてウェイトモードに移行した場合、および低消費電力モード時、f1、f8、f32、クロック源に周辺機能クロック源を選択したf2nは停止します。

f1、f8、f2nは、タイマA、タイマBのカウントソース、シリアルインタフェース、LINモジュールの動作クロックに使用します。また、f1はインテリジェントI/Oの動作クロックにも使用します。

f32はLINモジュールの動作クロックに使用します。

f8とf32はCLKOUT端子から出力できます。詳細は「7.6 クロック出力機能」を参照してください。

(2) fAD

周辺機能クロック源と同一周波数です。A/Dコンバータの動作クロックです。

CM02ビットを“1”(ウェイトモード時、周辺機能クロック源を停止する)にしてウェイトモードに移行した場合、および低消費電力モード時、このクロックは停止します。

(3) fC32

サブクロックの32分周、またはオンチップオシレータクロックの128分周で、タイマA、タイマBのカウントソースに使用します。サブクロックまたはオンチップオシレータクロックが供給されているときに使用できます。

7.6 クロック出力機能

低速クロック、f8、またはf32をCLKOUT端子から出力できます。

表 7.3にCLKOUT端子の機能を示します。

表 7.3 CLKOUT端子の機能

CM0レジスタ(注1)		CLKOUT端子の機能
CM01	CM00	
0	0	入出力ポートP5_3
0	1	低速クロックを出力
1	0	f8を出力
1	1	f32を出力

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

7.7 パワーコントロール

パワーコントロールには、通常動作モード、ウェイトモード、ストップモードの3つのモードがあります。なお、「通常動作モード」は本節にて限定的に使用する便宜上の名称であり、ウェイトモード、ストップモード以外の状態を指します。

図 7.16に通常動作モード、ウェイトモード、ストップモードの状態遷移図を示します。

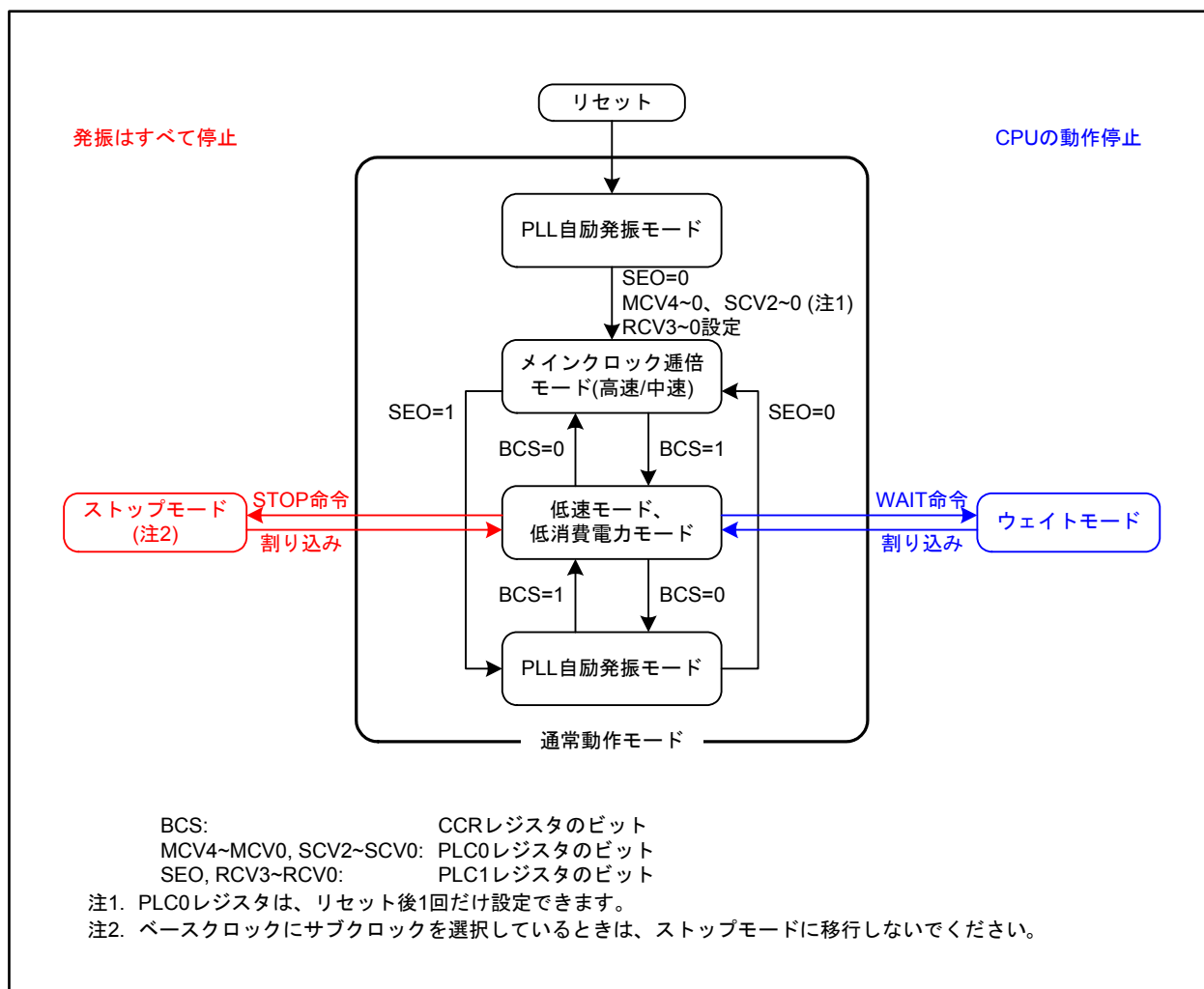


図 7.16 ウェイトモード、ストップモードの状態遷移図

7.7.1 通常動作モード

通常動作モードには、さらに以下の5つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックがともに供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は下がります。また、不要な発振回路を停止させるとさらに消費電力を低減できます。

(1) メインクロック逡倍モード(高速モード)

ベースクロック源にPLLクロックを選択し、PLL周波数シンセサイザのリファレンス入力となるメインクロックを供給している状態をメインクロック逡倍モードと言います。このうち、CPUを最高動作周波数で動作させるモードを高速モードと言います。PLLクロックの2分周をベースクロックに、ベースクロックとCPUクロックを同一周波数にします。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(2) メインクロック逡倍モード(中速モード)

メインクロック逡倍モードのうち高速モード以外の状態を指します。PLLクロックの2、3、4、6分周がベースクロックに、ベースクロックの1~4分周がCPUクロックになります。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(3) 低速モード

ベースクロック源に低速クロックを使用するモードです。低速クロックがベースクロックに、ベースクロックの1~4分周がCPUクロックになります。周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

(4) 低消費電力モード

低速モードにした後、メインクロックおよび、PLL周波数シンセサイザを停止させた状態です。サブクロックまたはオンチップオシレータクロックの4分周がベースクロックに、ベースクロックの1~4分周がCPUクロックになります。fC32がタイマA、タイマBのカウントソースに使用できます。周辺機能クロックはfC32のみです。このモードのときVRCRレジスタのMRSビットを“1”(メインレギュレータ停止)にすると、さらに消費電流を減らすことができます。

(5) PLL自励発振モード

ベースクロック源にPLLクロックを選択し、PLL周波数シンセサイザのリファレンス入力となるメインクロックの供給を停止させた状態です。PLL周波数シンセサイザは固有の発振周波数で自励発振を行います。PLLクロックの2、3、4、6分周がベースクロックに、ベースクロックの1~4分周がCPUクロックになります。また、周辺機能クロックとしてはfAD、f1、f8、f32、f2nが使用できます。サブクロックまたはオンチップオシレータクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

通常動作モード内の状態遷移は非常に複雑なため、代表的な状態についてのみ遷移図を示します。図 7.17 にサブクロック使用時の状態遷移図、図 7.18 にメインクロックの 256 分周使用時の状態遷移図、図 7.19 にオンチップオシレータ使用時の状態遷移図を示します。これ以外の状態への遷移につきましては、各レジスタの設定内容、および以下の注意事項を参考に判断してください。

- PLL をメインクロック通倍動作から自励発振動作に切り替えるときは、PLC1 レジスタの SEO ビットを“1” (自励発振動作) にすることで実施してください。メインクロックを停止させる場合は、SEO ビットを“1”にした後、CM0 レジスタの CM05 ビットを“1” (停止) にしてください。
- PLL 自励発振モードからメインクロック通倍モードに戻る場合、SEO ビットを“0” (メインクロック通倍動作) にする前に、CCR レジスタの BCD1~BCD0 ビット、および PM3 レジスタの PM36~PM35 ビットによりクロックの分周比を上げて、周波数を下げてください。SEO ビットを“0”にした後、PLL の発振が安定してから、BCD1~BCD0 ビット、PM36~PM35 ビットの設定を元に戻してください。
- CPU クロックを切り替える場合は、切り替え先のクロックが安定してから切り替えてください。特にサブクロックは発振が安定するまで時間 (注 1) を要しますので、電源投入直後や、ストップモードからの復帰後は、プログラムで待ち時間をとってから移行してください。

注 1. 発振安定時間は各発振子メーカーへお問い合わせください。

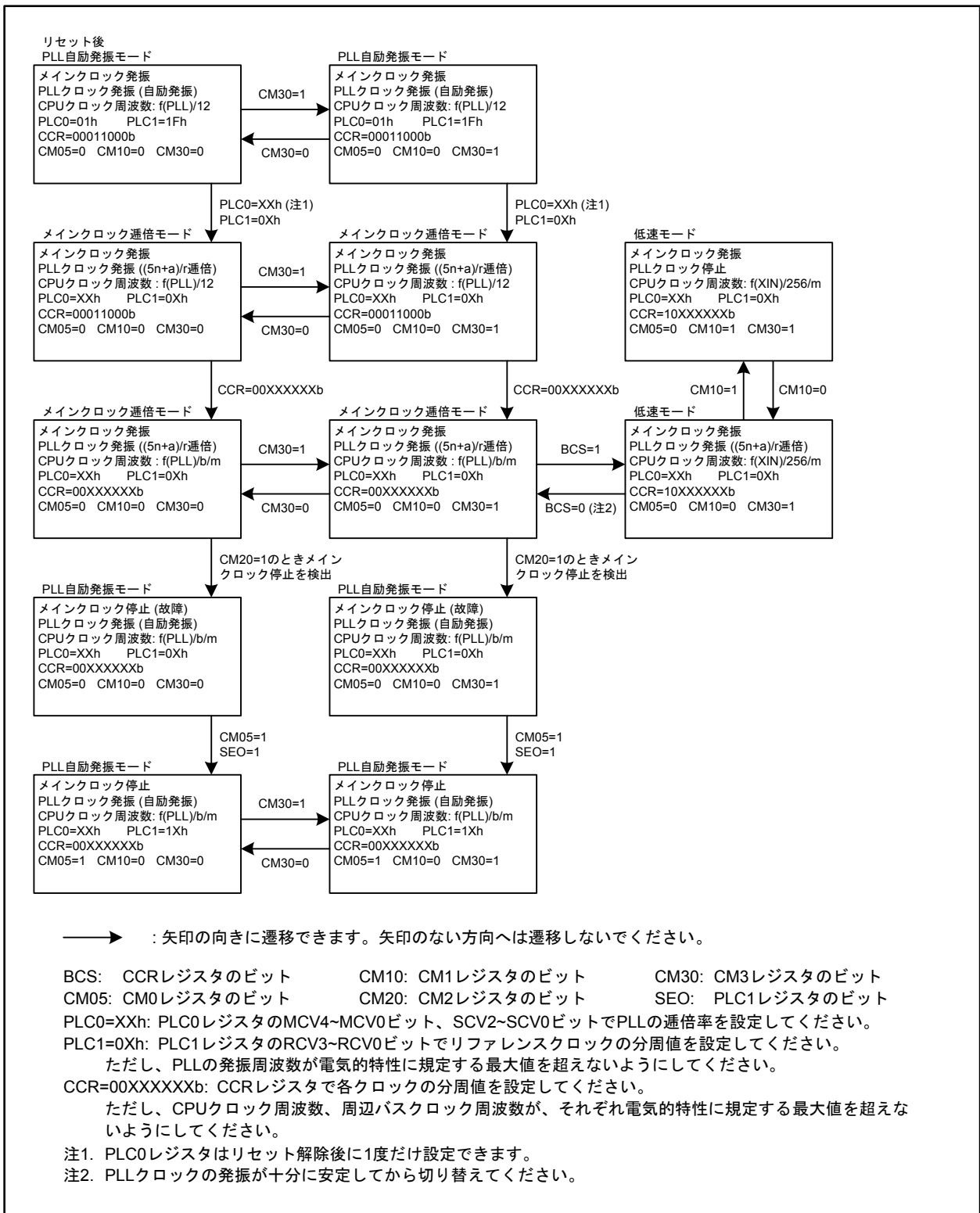


図 7.18 状態遷移図(メインクロックの256分周使用時)

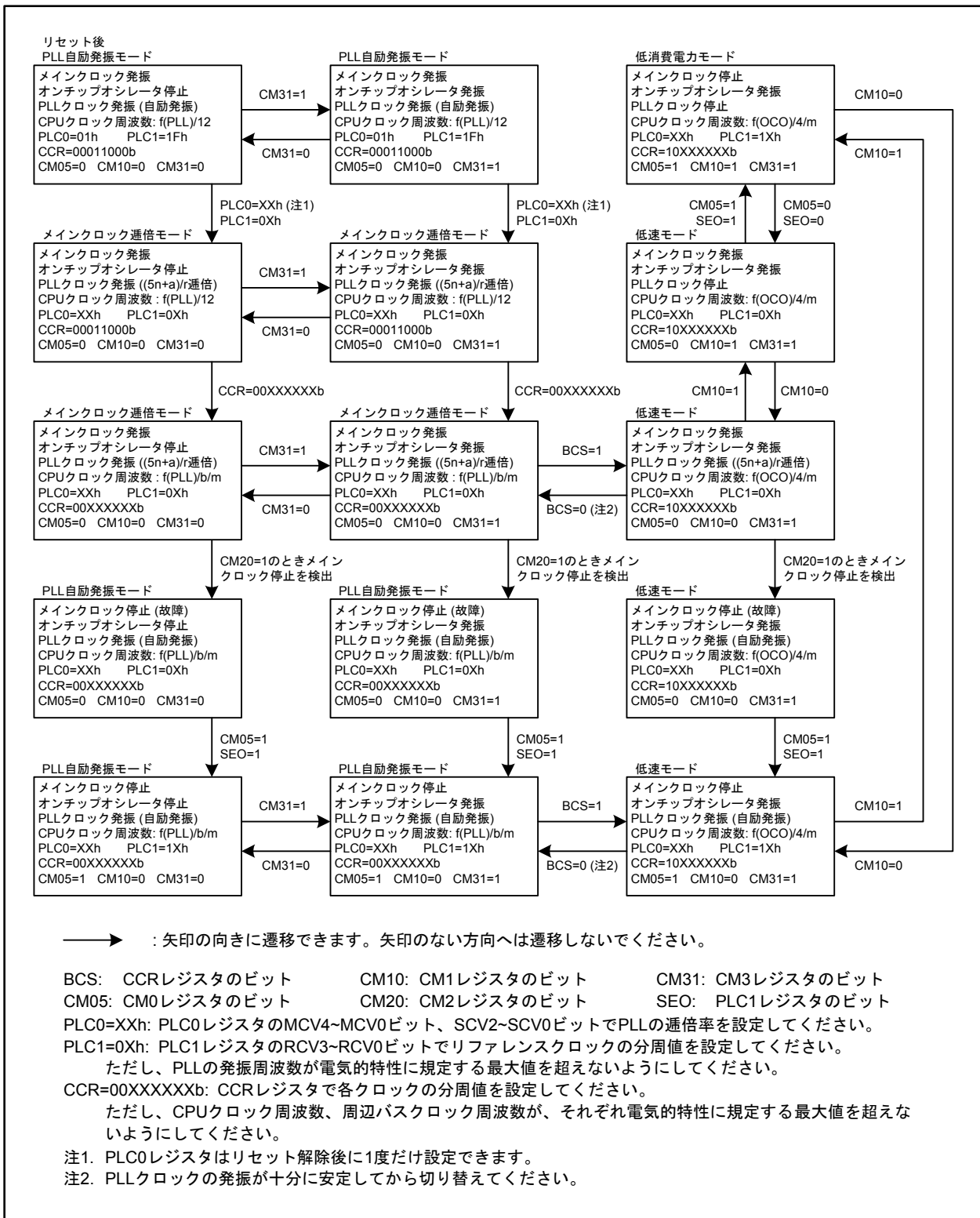


図 7.19 状態遷移図(オンチップオシレータ使用時)

7.7.2 ウェイトモード

ウェイトモードではベースクロックが停止しますので、ベースクロックから作られるCPUクロックと周辺バスクロックも停止します。そのためこれらのクロックで動作するCPUとウォッチドッグタイマも停止します。ただし、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマは停止しません。メインクロック、サブクロック、PLLクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

7.7.2.1 周辺機能クロック源停止機能

CM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロック源を停止する)の場合、ウェイトモード時にf1、f8、f32、クロック源に周辺機能クロックを選択したときのf2n、fADが停止しますので、消費電力が低減できます。fC32と、クロック源にメインクロックを選択したときのf2nは停止しません。

7.7.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

ウェイトモードを使用する場合、以下の設定を行った後、WAIT命令を実行してください。

- 初期設定での処理

復帰用割り込み優先レベル(RIPL1レジスタ、RIPL2レジスタのRLVL2~RLVL0ビット)を“7”にした後、各割り込み要求レベルを設定する

- ウェイトモード移行前の処理

- (1) Iフラグを“0”にする
- (2) 割り込み番号1~127の割り込みのうち割り込み要求レベルが“0”でないものを“0”にする
- (3) いずれかの割り込み制御レジスタをダミーリードする
- (4) フラグレジスタのIPLを“0”にする
- (5) 一時的に割り込みを許可する(以下の命令を実行)

FSET I

NOP

NOP

FCLR I

- (6) ウェイトモードからの復帰に使用する割り込みの割り込み要求レベルを設定する
これ以降割り込み制御レジスタを書き換えしないでください
- (7) フラグレジスタのIPLを設定する
- (8) 復帰用割り込み優先レベルをIPLと同じ値に設定する
復帰に使用する割り込みの割り込み要求レベル > IPL = 復帰用割り込み優先レベル
- (9) 発振停止検出機能を使用している場合、CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする
- (10) 動作モードを低速モードまたは低消費電力モードに変更する
- (11) Iフラグを“1”にする
- (12) WAIT命令を実行する

- ウェイトモード復帰後の処理

ウェイトモード復帰後、すぐに復帰用割り込み優先レベルを“7”にする

7.7.2.3 ウェイトモード時の端子の状態

表 7.4にウェイトモード時の端子の状態を示します。

表 7.4 ウェイトモード時の端子の状態

端子		ウェイトモード時の状態
ポート		ウェイトモードに入る直前の状態を保持
DA0, DA1		ウェイトモードに入る直前の状態を保持
CLKOUT	低速クロック選択時	クロック出力
	f8、f32選択時	CM0レジスタのCM02ビットが“0”(ウェイトモード時、周辺機能クロック源を停止しない)のときは、クロック出力。 CM02ビットが“1”(ウェイトモード時、周辺機能クロック源を停止する)のときは、ウェイトモードに入る直前の状態を保持

7.7.2.4 ウェイトモードからの復帰

ハードウェアリセット、NMI、または割り込み番号0~63に割り当てられている周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みを使用せず、ハードウェアリセットまたはNMIで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットを“000b”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM0レジスタのCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロック源を停止しない)の場合、割り込み番号0~63の周辺機能割り込みがウェイトモードからの復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロック源を停止する)の場合、周辺機能クロック源から生成されるクロック(f1、f8、f32、クロック源に周辺機能クロック源を選択したf2n、fAD)で動作する周辺機能は停止しますので、ウェイトモードからの復帰に使用できません。ただし、周辺機能クロック源に依存しないクロック(fC32、外部クロック、クロック源にメインクロックを選択したf2n)で動作する周辺機能は停止しませんので、これらが生成する割り込みのうち、割り込み番号0~63に割り当てられた割り込みはウェイトモードからの復帰に使用できます。

周辺機能割り込みまたはNMIでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表 7.5にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表 7.5 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
NMI	使用可能	使用可能
外部割り込み	使用可能	使用可能
キー入力割り込み	使用可能	使用可能
ウォッチドッグタイマ割り込み	使用しないでください	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可能	イベントカウンタモード、またはカウントソースがfC32、f2n(クロック源にメインクロックを選択)のとき使用可能
シリアルインタフェース割り込み(注1)	内部クロックでも外部クロックでも使用可能	外部クロックまたはf2n(クロック源にメインクロックを選択)使用時は使用可能
A/D変換割り込み	単発モード、または単掃引モードで使用可能	使用しないでください
インテリジェントI/O割り込み	使用可能	使用しないでください
LIN“L”検出割り込み	使用可能	使用可能
CANウェイクアップ割り込み	使用可能	使用可能

注1. UART3、UART4を除く

7.7.3 ストップモード

ストップモードでは、停止しないように保護されたクロックを除くすべてのクロックの発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。

7.7.3.1 ストップモードへの移行

STOP命令を実行すると、ストップモードになります。

ストップモードを使用する場合、以下の設定を行った後、STOP命令を実行してください。

- 初期設定での処理

復帰用割り込み優先レベル(RIPL1レジスタ、RIPL2レジスタのRLVL2~RLVL0ビット)を“7”にした後、各割り込み要求レベルを設定する

- ストップモード移行前の処理

- (1) Iフラグを“0”にする
- (2) 割り込み番号1~127の割り込みのうち割り込み要求レベルが“0”でないものを“0”にする
- (3) いずれかの割り込み制御レジスタをダミーリードする
- (4) フラグレジスタのIPLを“0”にする
- (5) 一時的に割り込みを許可する(以下の命令を実行)

FSET I

NOP

NOP

FCLR I

- (6) ストップモードからの復帰に使用する割り込みの割り込み要求レベルを設定する
これ以降割り込み制御レジスタを書き換えしないでください
- (7) フラグレジスタのIPLを設定する
- (8) 復帰用割り込み優先レベルをIPLと同じ値に設定する
復帰に使用する割り込みの割り込み要求レベル > IPL = 復帰用割り込み優先レベル
- (9) 発振停止検出機能を使用している場合、CM2レジスタのCM20ビットを“0”(発振停止検出機能無効)にする
- (10) ベースクロックをメインクロックの256分周(f256)またはオンチップオシレータの4分周(fOCO4)に変更する
- (11) Iフラグを“1”にする
- (12) STOP命令を実行する

- ストップモード復帰後の処理

ストップモード復帰後、すぐに復帰用割り込み優先レベルを“7”にする

7.7.3.2 ストップモード時の端子の状態

表 7.6にストップモード時の端子の状態を示します。

表 7.6 ストップモード時の端子の状態

端子		ストップモード時の状態
ポート		ストップモードに入る直前の状態を保持
DA0, DA1		ストップモードに入る直前の状態を保持
CLKOUT	低速クロック選択時	“H”
	f8、f32選択時	ストップモードに入る直前の状態を保持
XIN		ハイインピーダンス
XOUT		“H”
XCIN, XCOUT		ハイインピーダンス

7.7.3.3 ストップモードからの復帰

ハードウェアリセット、NMI、または割り込み番号0~63に割り当てられている周辺機能割り込みにより、ストップモードから復帰します。

周辺機能割り込みを使用せず、ハードウェアリセットまたはNMIで復帰する場合、周辺機能割り込みのILVL2~ILVL0ビットをすべて“000b”(割り込み禁止)にした後、STOP命令を実行してください。

周辺機能割り込みまたはNMIでストップモードから復帰したときのCPUクロックは、STOP命令実行時のCPUクロックと同じクロックです。

表 7.7にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表 7.7 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	条件
NMI	
外部割り込み	
キー入力割り込み	
タイマA割り込み タイマB割り込み	イベントカウンタモードで周波数100Hz以下の外部パルスのカウント時
シリアルインタフェース割り込み(注1)	外部クロック使用時
LIN“L”検出割り込み	
CANウェイクアップ割り込み	

注1. UART3、UART4を除く

7.8 システムクロック保護機能

ベースクロックのクロック源にPLLクロックを選択しているとき、プログラムの暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、以下のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット
- CM1レジスタのCM10ビット
- CM2レジスタのCM20ビット
- PM2レジスタのPM27ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CCRレジスタのBCSビットが“0”(ベースクロックのクロック源はPLLクロック)の状態です。以下の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
- (3) PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする

7.9 クロック発生回路使用上の注意

7.9.1 サブクロック

7.9.1.1 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングは、駆動能力Highと駆動能力Lowの両方とも確認してください。

発振回路定数のマッチングに関しては発振子メーカーにお問い合わせください。

7.9.2 パワーコントロール

ベースクロック源を切り替えるとき、クロック分周比を切り替えるときは、使用するクロックの発振が安定してから切り替えてください。オンチップオシレータはCM3レジスタのCM31ビットを“1”にすると瞬時に発振を開始しますので、発振安定を待つ必要はありません。

ベースクロック源をPLLクロックから低速クロックに切り替える(CCRレジスタのBCSビットを“1”にする)場合は、MOV.L命令またはOR.L命令を使用してください。

- アセンブリ言語の場合の例

```
OR.L    #80h, 0004h
```

- C言語の場合の例

```
asm("OR.L #80h, 0004h");
```

7.9.2.1 ストップモード

- ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。

7.9.2.2 消費電力を低減するためのポイント

システム設計やプログラムを作成するときに参考にしてください。

- 端子処理

入力端子を開放のままにすると、貫通電流が流れることがあります。未使用端子は入力に設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放してください。

- A/Dコンバータ

A/D変換を行わないときはAD0CON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。なお、A/D変換を行うときは、VCUTビットを“1”(VREF接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

- D/Aコンバータ

D/A変換を行わないときは、DACONレジスタのDAiEビット(i=0, 1)を“0”(出力禁止)にし、DAiレジスタを“00h”にしてください。

- 周辺機能の停止

ウェイトモードへ移行するとき、CM0レジスタのCM02ビットで周辺機能クロック源を停止することにより、消費電力を低減させることができます。ただし、fC32は停止しません。

8. バス

バスには、高速に動作するCPUバスと、低速な周辺バスがあります。バスブロック図を図 8.1に示します。

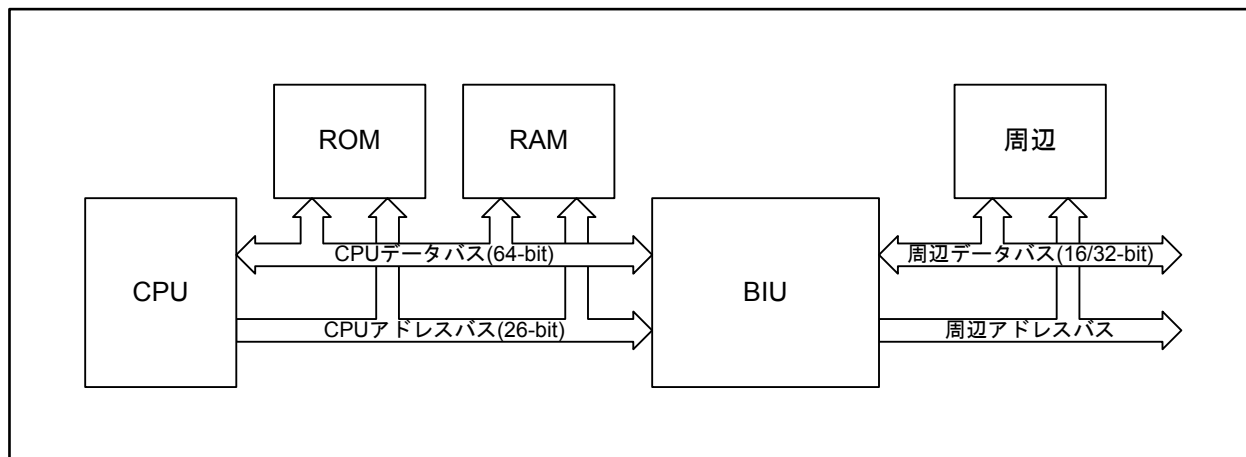


図 8.1 バスブロック図

8.1 バス設定

バスの設定は、PBCレジスタで切り替えられます。

表 8.1にバスの設定と切り替え要因を示します。

表 8.1 バスの設定と切り替え要因

バスの設定	切り替え要因
内部SFRバスタイミング	PBCレジスタ

8.2 周辺バスタイミングの設定

周辺バスは最大32MHz(理論値。品種ごとの最大値は「29. 電気的特性」に定めるf(BCLK)の値になります)で動作する16/32ビット幅のバスです。高速に動作する64ビット幅のCPUバスとのタイミング調整、バス幅変換は、バスインタフェースユニット(BIU)で行います。

周辺バスのタイミングを設定するPBCレジスタを図8.2に示します。

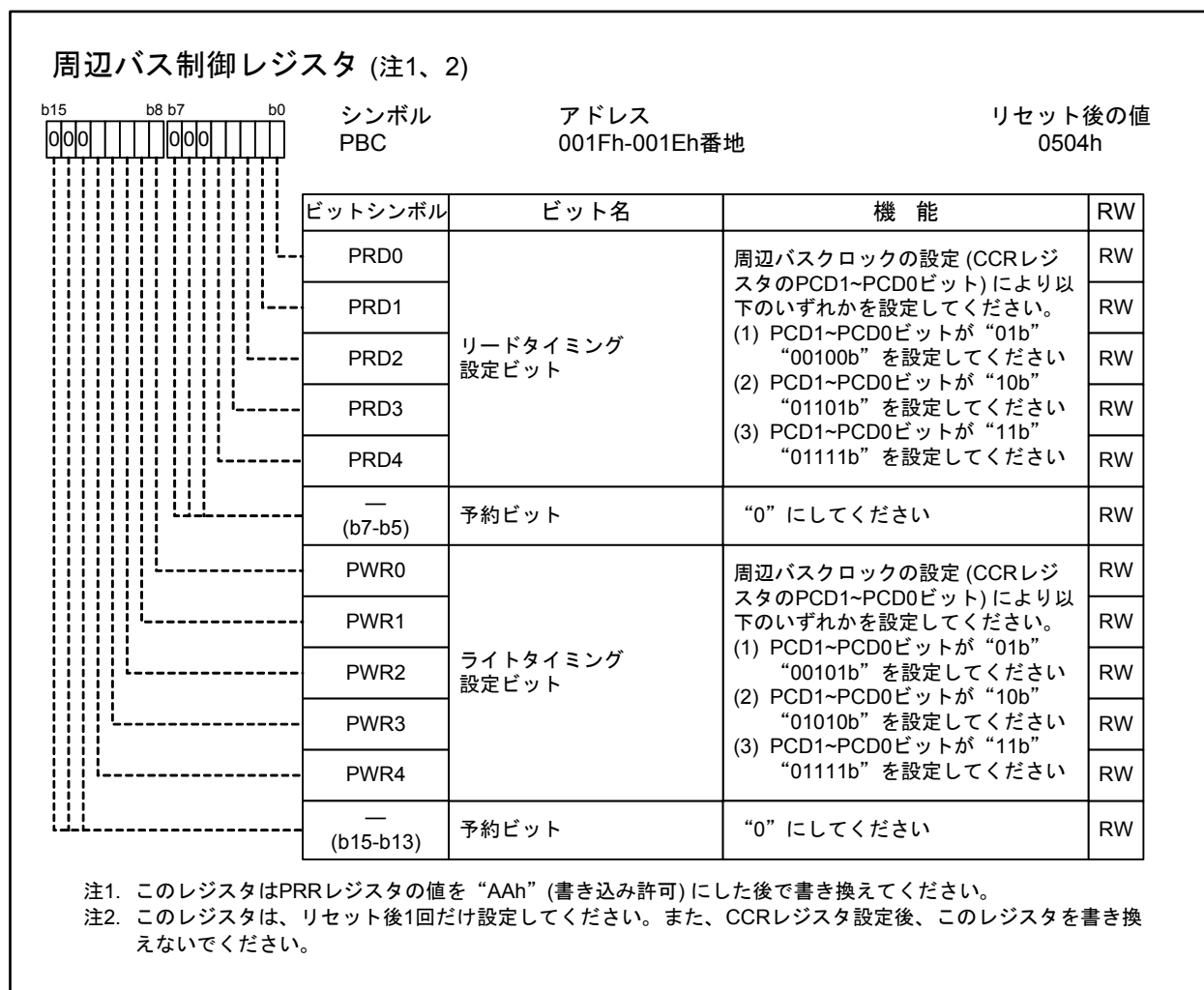


図 8.2 PBCレジスタ

9. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタが容易に書き換えられないように保護する機能です。PRCRレジスタと、PRCR2~PRCR4レジスタ、PRRレジスタがあります。

9.1 プロテクトレジスタ (PRCRレジスタ)

図 9.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは表 9.1のとおりです。

表 9.1 PRCRレジスタが保護するレジスタ

ビット	保護されるレジスタ
PRC0ビット	CM0レジスタ、CM1レジスタ、CM2レジスタ、PM3レジスタ
PRC1ビット	PM0レジスタ、PM2レジスタ、INVC0レジスタ、INVC1レジスタ、IOBCレジスタ
PRC2ビット	PLC0レジスタ、PLC1レジスタ、PD9レジスタ、P9_iSレジスタ (i=3~7)

PRC2ビットを“1”(書き込み許可)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止)になります。PD9レジスタ、P9_iSレジスタ (i=3~7)、PLC0レジスタ、PLC1レジスタは、PRC2ビットを“1”にした次の命令で変更してください。また、PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1ビットは任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

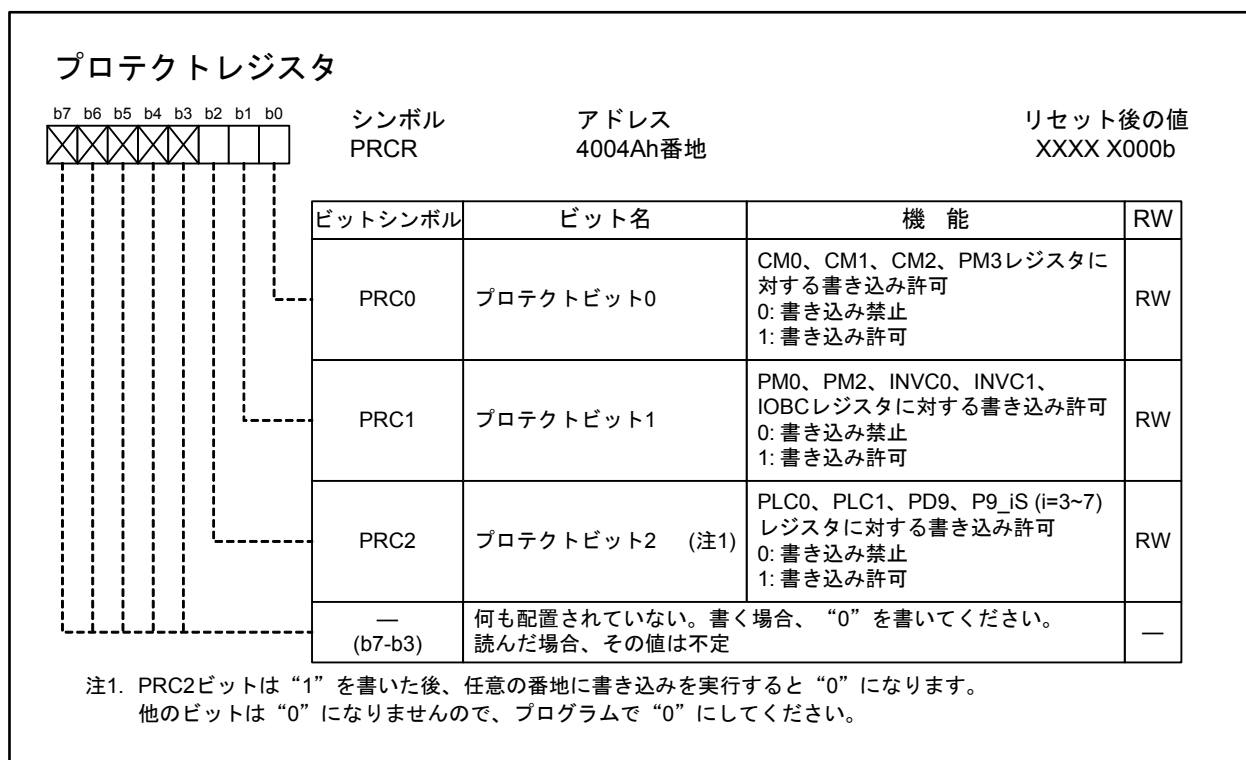


図 9.1 PRCRレジスタ

9.2 プロテクトレジスタ2 (PRCR2レジスタ)

図 9.2に PRCR2レジスタを示します。PRCR2レジスタが保護するレジスタはCM3レジスタのみです。

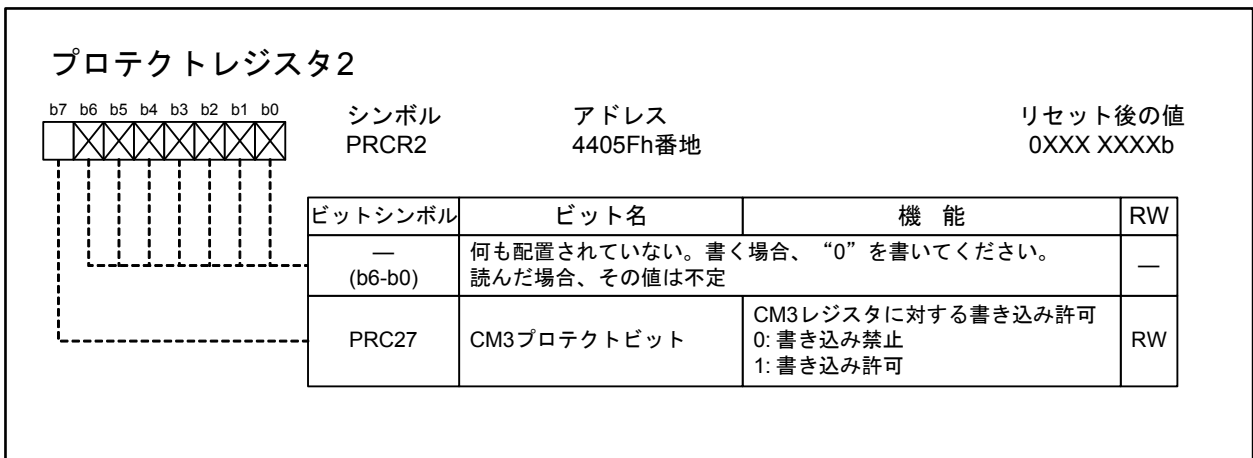


図 9.2 PRCR2レジスタ

9.3 プロテクトレジスタ3 (PRCR3レジスタ)

図 9.3に PRCR3レジスタを示します。PRCR3レジスタが保護するレジスタは表 9.2のとおりです。

表 9.2 PRCR3レジスタが保護するレジスタ (i=0~7)

ビット	保護されるレジスタ
PRC30ビット	PD3レジスタ、P3_iSレジスタ、PD7レジスタ、P7_iSレジスタ、PD8レジスタ、P8_iSレジスタ
PRC31ビット	VRCCRレジスタ

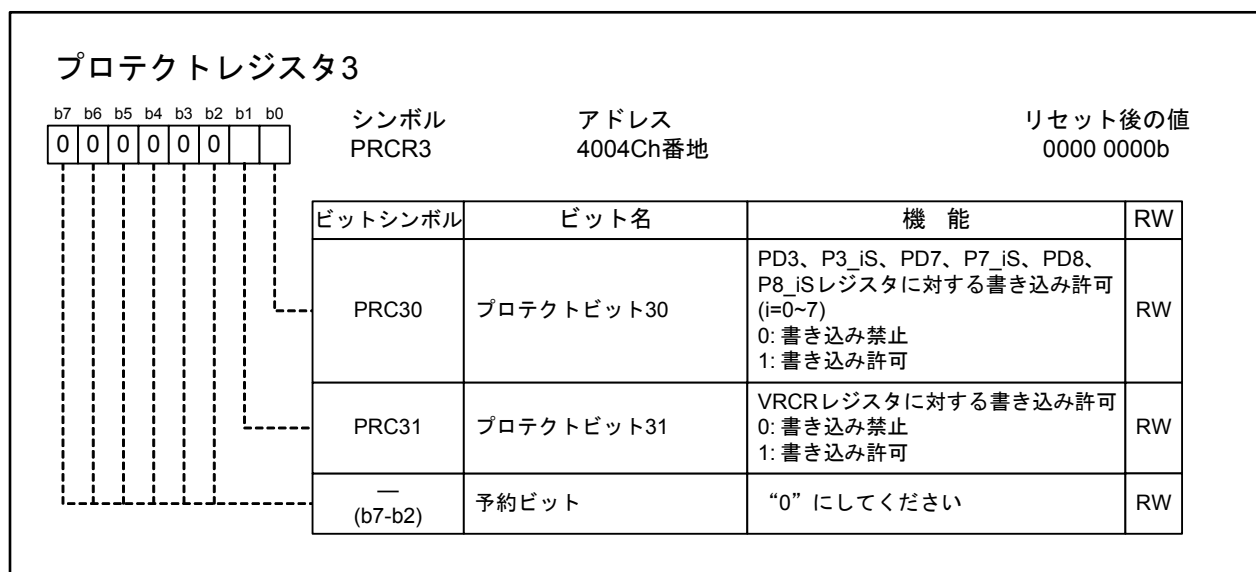


図 9.3 PRCR3レジスタ

9.4 プロテクトレジスタ4 (PRCR4レジスタ)

図 9.4に PRCR4レジスタを示します。PRCR4レジスタが保護するレジスタは表 9.3のとおりです。

表 9.3 PRCR4レジスタが保護するレジスタ

ビット	保護されるレジスタ
PRC40ビット	WDTSレジスタ

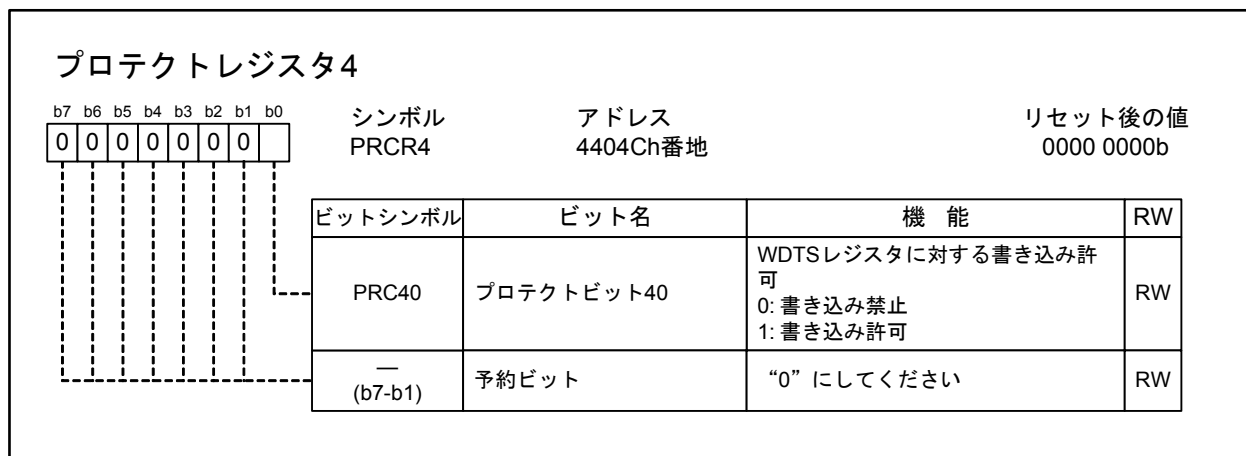


図 9.4 PRCR4レジスタ

9.5 プロテクト解除レジスタ (PRRレジスタ)

図 9.5に PRRレジスタを示します。PRRレジスタが保護するレジスタは表 9.4のとおりです。

表 9.4 PRRレジスタが保護するレジスタ

CCRレジスタ、FMCRレジスタ、PBCレジスタ、FEBCレジスタ

PRRレジスタに“AAh”（書き込み許可）を書いた後、上記のレジスタに書き込みできます。上記のレジスタにデータを書く必要がないときは、意図しない書き込みから上記レジスタを保護するために、PRRレジスタには“AAh”以外の値を書いてください。

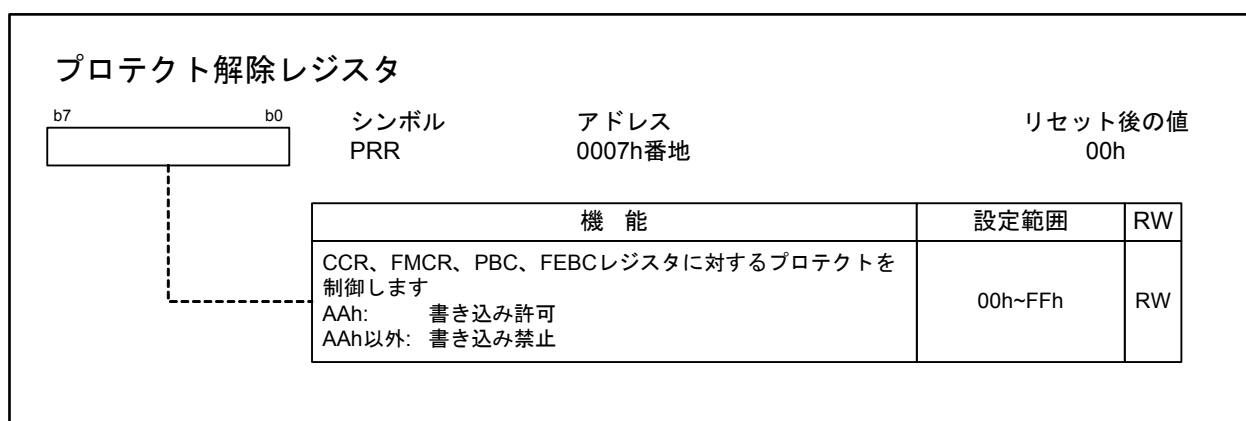


図 9.5 PRRレジスタ

10. 割り込み

10.1 割り込みの分類

図 10.1に割り込みの分類を示します。

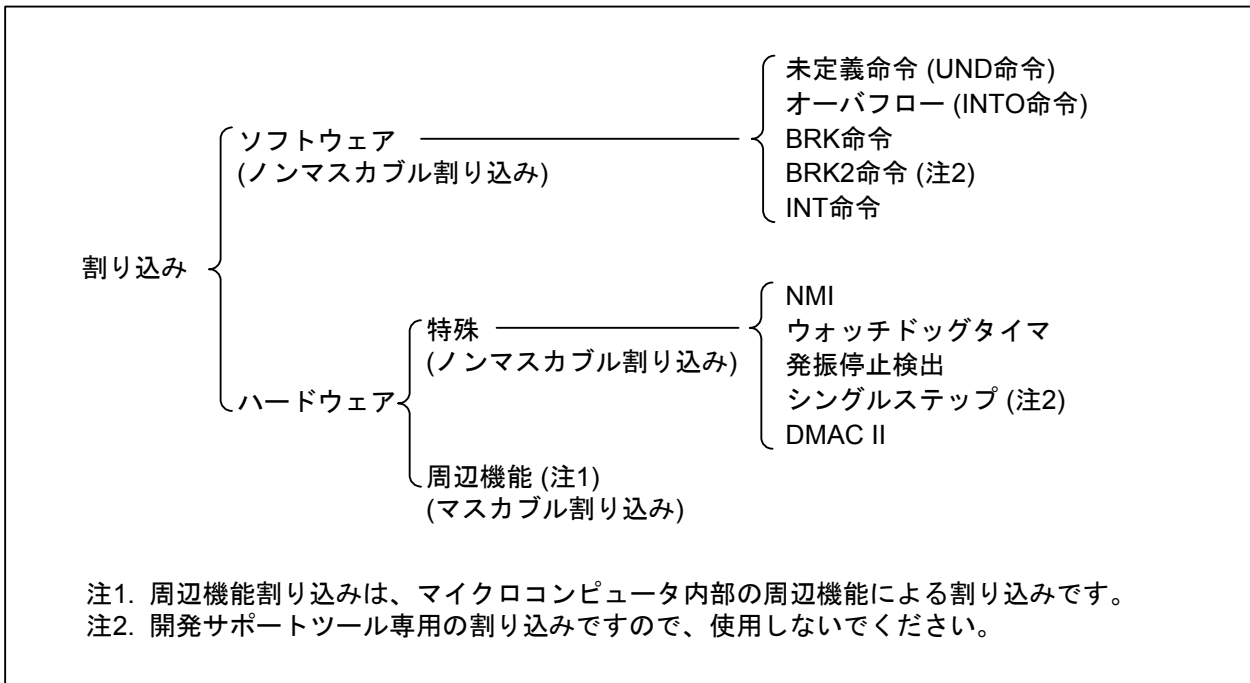


図 10.1 割り込みの分類

また、上記分類のほか、マスクの可、不可によりマスクابل割り込みとノンマスクابل割り込みに分類できます。

(1) マスクابل割り込み

割り込み許可フラグ(Iフラグ)による割り込み許可/禁止や、割り込み要求レベルによる割り込み優先順位の変更が可能な割り込みです。

(2) ノンマスクابل割り込み

割り込み許可フラグ(Iフラグ)による割り込み許可/禁止や、割り込み要求レベルによる割り込み優先順位の変更が不可能な割り込みです。

10.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

ソフトウェア割り込みには以下の5つがあります。

(1) 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

(2) オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令は以下の通りです。

ABS、ADC、ADCF、ADD、ADDF、ADSF、CMP、CMPF、CNVIF、DIV、DIVE、DIVU、DIVX、EDIV、EDIVU、EDIVX、MUL、MULF、MULU、MULX、NEG、RMPA、ROUND、SBB、SCMPU、SHA、SUB、SUBF、SUNTIL、S WHILE

(3) BRK命令割り込み

BRK命令割り込みはBRK命令を実行すると発生します。

(4) BRK2命令割り込み

BRK2命令割り込みはBRK2命令を実行すると発生します。

開発サポートツール専用の割り込みですので、使用しないでください。

(5) INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0~255を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0~127は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込み処理ルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0~127では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込み処理ルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号128~255では、スタックポインタは切り替わりません。

10.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。
周辺機能割り込みでは最優先の割り込み1つだけに高速割り込みを設定することができます。

10.3.1 特殊割り込み

特殊割り込みはノンマスカブル割り込みです。特殊割り込みには以下の4つがあります。

(1) NMI (Non Maskable Interrupt)

NMIは、 $\overline{\text{NMI}}$ 端子からの入力信号が“H”から“L”に変化すると発生します。NMIの詳細は、「10.11 NMI」を参照してください。

(2) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込みの詳細は、「11. ウォッチドッグタイマ」を参照してください。

(3) 発振停止検出割り込み

発振停止検出機能により、メインクロックの発振停止を検出すると発生する割り込みです。発振停止検出の詳細は、「7.2 発振停止検出機能」を参照してください。

(4) シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

10.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0~127と同一です。周辺機能割り込みは、マスカブル割り込みです。

周辺機能割り込みの割り込み要因は、表 10.2~表 10.5を参照してください。また、周辺機能の詳細は、各機能の説明を参照してください。

10.4 高速割り込み

高速割り込みは、割り込みの応答を高速に実行できる割り込みで、周辺機能割り込みの中で最優先の割り込み1つだけに使用できます。

高速割り込みは以下の手順で利用できます。

- (1) RIPL1レジスタとRIPL2レジスタの両方のFSITビットを“1”(割り込み要求レベル7は高速割り込みに使用)にする
- (2) RIPL1レジスタとRIPL2レジスタの両方のDMAIIビットを“0”(割り込み要求レベル7は割り込みに使用)にする
- (3) 高速割り込み処理ルーチンの先頭番地をVCTレジスタに設定する

この状態で割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にした割り込みが高速割り込みとなります。このとき複数の割り込みをレベル7にしないでください。

高速割り込みでは割り込みを受け付けると、FLGレジスタをSVFレジスタ、PCをSVPレジスタに退避し、VCTレジスタで示される番地からプログラムを実行します。

高速割り込み処理ルーチンからの復帰にはFREIT命令を実行してください。FREIT命令を実行すると、SVFレジスタ、SVPレジスタに退避していた値が、それぞれFLGレジスタ、PCに復帰します。

10.5 割り込みベクタ

割り込みベクタはそれぞれ4バイトから構成されています。割り込みベクタには割り込み処理ルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図 10.2に割り込みベクタの内容を示します。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中下位	
ベクタアドレス+2	アドレスの中上位	
ベクタアドレス+3	アドレスの上位	

図 10.2 割り込みベクタ

10.5.1 固定ベクタテーブル

固定ベクタテーブルはFFFFFFDCh番地からFFFFFFFh番地に配置されています。表 10.1に固定ベクタテーブルを示します。

表 10.1 固定ベクタテーブル

割り込み要因	ベクタテーブル番地 (番地(L)~番地(H))	備考	参照先
未定義命令	FFFFFFDCh~FFFFFFDFh	UND命令で割り込み	R32C/100シリーズ ソフトウェアマニュアル
オーバフロー	FFFFFFE0h~FFFFFFE3h	INTO命令で割り込み	
BRK命令	FFFFFFE4h~FFFFFFE7h	FFFFFFE7h番地が“FFh”の場合は可変ベクタテーブル内のソフトウェア割り込み番号0のベクタが示す番地へ分岐	
—	FFFFFFE8h~FFFFFFEBh	予約領域	
—	FFFFFFECh~FFFFFFEFh	予約領域	
ウォッチドッグ タイマ 発振停止検出	FFFFFFF0h~FFFFFFF3h	ウォッチドッグタイマ割り込みと発振停止検出割り込みで共用	11. ウォッチドッグタイマ 7. クロック発生回路
—	FFFFFFF4h~FFFFFFF7h	予約領域	
NMI	FFFFFFF8h~FFFFFFFBh	NMI端子による外部割り込み	
リセット	FFFFFFFCh~FFFFFFFh		5. リセット

10.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から1024バイトが可変ベクタテーブルの領域となります。表 10.2~表 10.5に可変ベクタテーブルを示します。

INTBレジスタに設定する値は4の倍数にしてください。4の倍数を設定したほうが割り込みシーケンスの実行速度が速くなります。

表 10.2 可変ベクタテーブル(1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注1)	ソフトウェア 割り込み番号	参照先
BRK命令(注2)	+0~+3 (0000h~0003h)	0	R32C/100シリーズ ソフトウェア マニュアル
予約領域	+4~+7 (0004h~0007h)	1	
予約領域	+8~+11 (0008h~000Bh)	2	17. シリアルインタ フェース (予約)
予約領域	+12~+15 (000Ch~000Fh)	3	
予約領域	+16~+19 (0010h~0013h)	4	
予約領域	+20~+23 (0014h~0017h)	5	
予約領域	+24~+27 (0018h~001Bh)	6	
予約領域	+28~+31 (001Ch~001Fh)	7	
DMA0転送完了	+32~+35 (0020h~0023h)	8	12. DMAC
DMA1転送完了	+36~+39 (0024h~0027h)	9	
DMA2転送完了	+40~+43 (0028h~002Bh)	10	
DMA3転送完了	+44~+47 (002Ch~002Fh)	11	
タイマA0	+48~+51 (0030h~0033h)	12	15.1 タイマA
タイマA1	+52~+55 (0034h~0037h)	13	
タイマA2	+56~+59 (0038h~003Bh)	14	
タイマA3	+60~+63 (003Ch~003Fh)	15	
タイマA4	+64~+67 (0040h~0043h)	16	
UART0送信、NACK(注3)	+68~+71 (0044h~0047h)	17	
UART0受信、ACK(注3)	+72~+75 (0048h~004Bh)	18	
UART1送信、NACK(注3)	+76~+79 (004Ch~004Fh)	19	
UART1受信、ACK(注3)	+80~+83 (0050h~0053h)	20	
タイマB0	+84~+87 (0054h~0057h)	21	15.2 タイマB
タイマB1	+88~+91 (0058h~005Bh)	22	
タイマB2	+92~+95 (005Ch~005Fh)	23	
タイマB3	+96~+99 (0060h~0063h)	24	
タイマB4	+100~+103 (0064h~0067h)	25	
INT5	+104~+107 (0068h~006Bh)	26	10.10 外部割り込み
INT4	+108~+111 (006Ch~006Fh)	27	
INT3	+112~+115 (0070h~0073h)	28	
INT2	+116~+119 (0074h~0077h)	29	
INT1	+120~+123 (0078h~007Bh)	30	
INT0	+124~+127 (007Ch~007Fh)	31	
タイマB5	+128~+131 (0080h~0083h)	32	15.2 タイマB

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタートコンディション/ストップコンディション検出が割り込み要因になります。

表 10.3 可変ベクタテーブル(2)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注1)	ソフトウェア 割り込み番号	参照先
UART2送信、NACK (注2)	+132~+135 (0084h~0087h)	33	17. シリアルインタ フェース
UART2受信、ACK (注2)	+136~+139 (0088h~008Bh)	34	
予約領域	+140~+143 (008Ch~008Fh)	35	
予約領域	+144~+147 (0090h~0093h)	36	
予約領域	+148~+151 (0094h~0097h)	37	
予約領域	+152~+155 (0098h~009Bh)	38	
スタートコンディション検出またはス トップコンディション検出(UART2) (注2)	+156~+159 (009Ch~009Fh)	39	
スタートコンディション検出またはス トップコンディション検出(UART0) (注2)	+160~+163 (00A0h~00A3h)	40	
スタートコンディション検出またはス トップコンディション検出(UART1) (注2)	+164~+167 (00A4h~00A7h)	41	
A/D0	+168~+171 (00A8h~00ABh)	42	18. A/Dコンバータ
キー入力	+172~+175 (00ACh~00AFh)	43	10.12 キー入力割り 込み
インテリジェントI/O割り込み0	+176~+179 (00B0h~00B3h)	44	10.13 インテリジェ ントI/O割り込み、 22. インテリジェ ントI/O
インテリジェントI/O割り込み1	+180~+183 (00B4h~00B7h)	45	
インテリジェントI/O割り込み2	+184~+187 (00B8h~00BBh)	46	
インテリジェントI/O割り込み3	+188~+191 (00BCh~00BFh)	47	
インテリジェントI/O割り込み4	+192~+195 (00C0h~00C3h)	48	
インテリジェントI/O割り込み5	+196~+199 (00C4h~00C7h)	49	
インテリジェントI/O割り込み6	+200~+203 (00C8h~00CBh)	50	
インテリジェントI/O割り込み7	+204~+207 (00CCh~00CFh)	51	
インテリジェントI/O割り込み8	+208~+211 (00D0h~00D3h)	52	
インテリジェントI/O割り込み9	+212~+215 (00D4h~00D7h)	53	
インテリジェントI/O割り込み10	+216~+219 (00D8h~00DBh)	54	
インテリジェントI/O割り込み11	+220~+223 (00DCh~00DFh)	55	
CAN4ウェイクアップ (注3)	+224~+227 (00E0h~00E3h)	56	25. CANモジュール
CAN5ウェイクアップ	+228~+231 (00E4h~00E7h)	57	
CAN0ウェイクアップ (注3)	+232~+235 (00E8h~00EBh)	58	25. CANモジュール
CAN1ウェイクアップ (注3)	+236~+239 (00ECh~00EFh)	59	
CAN2ウェイクアップ	+240~+243 (00F0h~00F3h)	60	
CAN3ウェイクアップ	+244~+247 (00F4h~00F7h)	61	
LIN "L" 検出	+248~+251 (00F8h~00FBh)	62	
予約領域	+252~+255 (00FCh~00FFh)	63	

注1. INTBレジスタが示す番地からの相対番地です。

注2. I²Cモード時、NACK、ACK、スタートコンディション/ストップコンディション検出が割り込み要因になります。

注3. R32C/142グループでは予約領域です。

表 10.4 可変ベクタテーブル(3)(注1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注2)	ソフトウェア 割り込み番号	参照先
シリアルバスインタフェース0	+256~+259 (0100h~0103h)	64	23. シリアルバス インタフェース
シリアルバスインタフェース1	+260~+263 (0104h~0107h)	65	
予約領域	+264~+267 (0108h~010Bh)	66	
予約領域	+268~+271 (010Ch~010Fh)	67	
予約領域	+272~+275 (0110h~0113h)	68	
予約領域	+276~+279 (0114h~0117h)	69	
予約領域	+280~+283 (0118h~011Bh)	70	
予約領域	+284~+287 (011Ch~011Fh)	71	
CAN4送信FIFO(注3)	+288~+291 (0120h~0123h)	72	25. CANモジュール /26. CANゲート ウェイモジュール
CAN4受信FIFO/Gatewayチャンネル4(注3)	+292~+295 (0124h~0127h)	73	
CAN5送信FIFO	+296~+299 (0128h~012Bh)	74	
CAN5受信FIFO/Gatewayチャンネル5	+300~+303 (012Ch~012Fh)	75	
予約領域	+304~+307 (0130h~0133h)	76	
予約領域	+308~+311 (0134h~0137h)	77	
予約領域	+312~+315 (0138h~013Bh)	78	
予約領域	+316~+319 (013Ch~013Fh)	79	
CAN0送信FIFO(注3)	+320~+323 (0140h~0143h)	80	25. CANモジュール /26. CANゲート ウェイモジュール
CAN0受信FIFO/Gatewayチャンネル0(注3)	+324~+327 (0144h~0147h)	81	
CAN1送信FIFO(注3)	+328~+331 (0148h~014Bh)	82	
CAN1受信FIFO/Gatewayチャンネル1(注3)	+332~+335 (014Ch~014Fh)	83	
CAN2送信FIFO	+336~+339 (0150h~0153h)	84	
CAN2受信FIFO/Gatewayチャンネル2	+340~+343 (0154h~0157h)	85	
CAN3送信FIFO	+344~+347 (0158h~015Bh)	86	
CAN3受信FIFO/Gatewayチャンネル3	+348~+351 (015Ch~015Fh)	87	
予約領域	+352~+355 (0160h~0163h)	88	26. CANゲートウ エイモジュール
Gatewayエラー	+356~+359 (0164h~0167h)	89	
予約領域	+360~+363 (0168h~016Bh)	90	
予約領域	+364~+367 (016Ch~016Fh)	91	
予約領域	+368~+371 (0170h~0173h)	92	
予約領域	+372~+375 (0174h~0177h)	93	
予約領域	+376~+379 (0178h~017Bh)	94	
予約領域	+380~+383 (017Ch~017Fh)	95	

注1. ウェイトモード、ストップモードからの復帰には使用できません。

注2. INTBレジスタが示す番地からの相対番地です。

注3. R32C/142グループでは予約領域です。

表 10.5 可変ベクタテーブル(4)(注1)

割り込み要因	ベクタテーブル相対番地 (番地(L)~番地(H))(注2)	ソフトウェア 割り込み番号	参照先	
CAN0送信(注4)	+384~+387 (0180h~0183h)	96	25. CANモジュール	
CAN0受信(注4)	+388~+391 (0184h~0187h)	97		
CAN0エラー(注4)	+392~+395 (0188h~018Bh)	98		
CAN1送信(注4)	+396~+399 (018Ch~018Fh)	99		
CAN1受信(注4)	+400~+403 (0190h~0193h)	100		
CAN1エラー(注4)	+404~+407 (0194h~0197h)	101		
CAN2送信	+408~+411 (0198h~019Bh)	102		
CAN2受信	+412~+415 (019Ch~019Fh)	103		
CAN2エラー	+416~+419 (01A0h~01A3h)	104		
CAN3送信	+420~+423 (01A4h~01A7h)	105		
CAN3受信	+424~+427 (01A8h~01ABh)	106		
CAN3エラー	+428~+431 (01ACh~01AFh)	107		
CAN4送信(注4)	+432~+435 (01B0h~01B3h)	108		
CAN4受信(注4)	+436~+439 (01B4h~01B7h)	109		
CAN4エラー(注4)	+440~+443 (01B8h~01BBh)	110		
CAN5送信	+444~+447 (01BCh~01BFh)	111	24. LINモジュール	
CAN5受信	+448~+451 (01C0h~01C3h)	112		
CAN5エラー	+452~+455 (01C4h~01C7h)	113		
予約領域	+456~+459 (01C8h~01CBh)	114		
予約領域	+460~+463 (01CCh~01CFh)	115		
LIN0	+464~+467 (01D0h~01D3h)	116		
LIN1	+468~+471 (01D4h~01D7h)	117		
予約領域	+472~+475 (01D8h~01DBh)	118		
予約領域	+476~+479 (01DCh~01DFh)	119		
予約領域	+480~+483 (01E0h~01E3h)	120		
予約領域	+484~+487 (01E4h~01E7h)	121		
予約領域	+488~+491 (01E8h~01EBh)	122		
予約領域	+492~+495 (01ECh~01EFh)	123		
UART3送信	+496~+499 (01F0h~01F3h)	124		17. シリアルインタ フェース
UART3受信	+500~+503 (01F4h~01F7h)	125		
UART4送信	+504~+507 (01F8h~01FBh)	126		
UART4受信	+508~+511 (01FCh~01FFh)	127		
INT命令(注3)	+0~+3 (0000h~0003h) ~ +1020~+1023 (03FCh~03FFh)	0 ~ 255	10.2 ソフトウェア 割り込み	

注1. ウェイトモード、ストップモードからの復帰には使用できません。

注2. INTBレジスタが示す番地からの相対番地です。

注3. Iフラグで割り込み禁止にはできません。

注4. R32C/142グループでは予約領域です。

10.6 割り込み要求の受け付け

ソフトウェア割り込みと特殊割り込みは、割り込み要求が発生すると無条件に受け付けられます。周辺機能割り込みは以下の3つの条件がすべて成立したとき受け付けられます。

- Iフラグ = 1
- IRビット = 1
- ILVL2~ILVL0ビット > IPL

Iフラグ、IPL、IRビット、ILVL2~ILVL0ビットはそれぞれ独立しており、互いに影響を与えることはありません。IフラグとIPLはFLGレジスタにあります。IRビットとILVL2~ILVL0ビットは割り込み制御レジスタにあります。

これらのフラグ、ビットについて以下で説明します。

10.6.1 IフラグとIPL

Iフラグ(割り込み許可フラグ)は、マスカブル割り込みを禁止または許可します。Iフラグを“1”(許可)にすると、すべてのマスカブル割り込みは許可され、“0”(禁止)にすると禁止されます。Iフラグはリセット後“0”(禁止)になります。

IPL(プロセッサ割り込み優先レベル)は3ビットで構成されており、レベル0~7の8段階のプロセッサ割り込み優先レベルを示します。要求があった割り込みの割り込み要求レベル(ILVL2~ILVL0)がIPLより大きい場合、その割り込みは許可されます。

表 10.6にIPLの内容による割り込み許可レベルを示します。

表 10.6 プロセッサ割り込み優先レベル(IPL)の内容と受け付けられる割り込み要求レベル

プロセッサ割り込み優先レベル(IPL)			受け付けられる割り込み要求レベル
IPL2	IPL1	IPL0	
1	1	1	すべてのマスカブル割り込みを禁止
1	1	0	レベル7のみを許可
1	0	1	レベル6以上を許可
1	0	0	レベル5以上を許可
0	1	1	レベル4以上を許可
0	1	0	レベル3以上を許可
0	0	1	レベル2以上を許可
0	0	0	レベル1以上を許可

10.6.2 割り込み制御レジスタ

周辺機能割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。

図 10.3~図 10.5 に割り込み制御レジスタを示します。

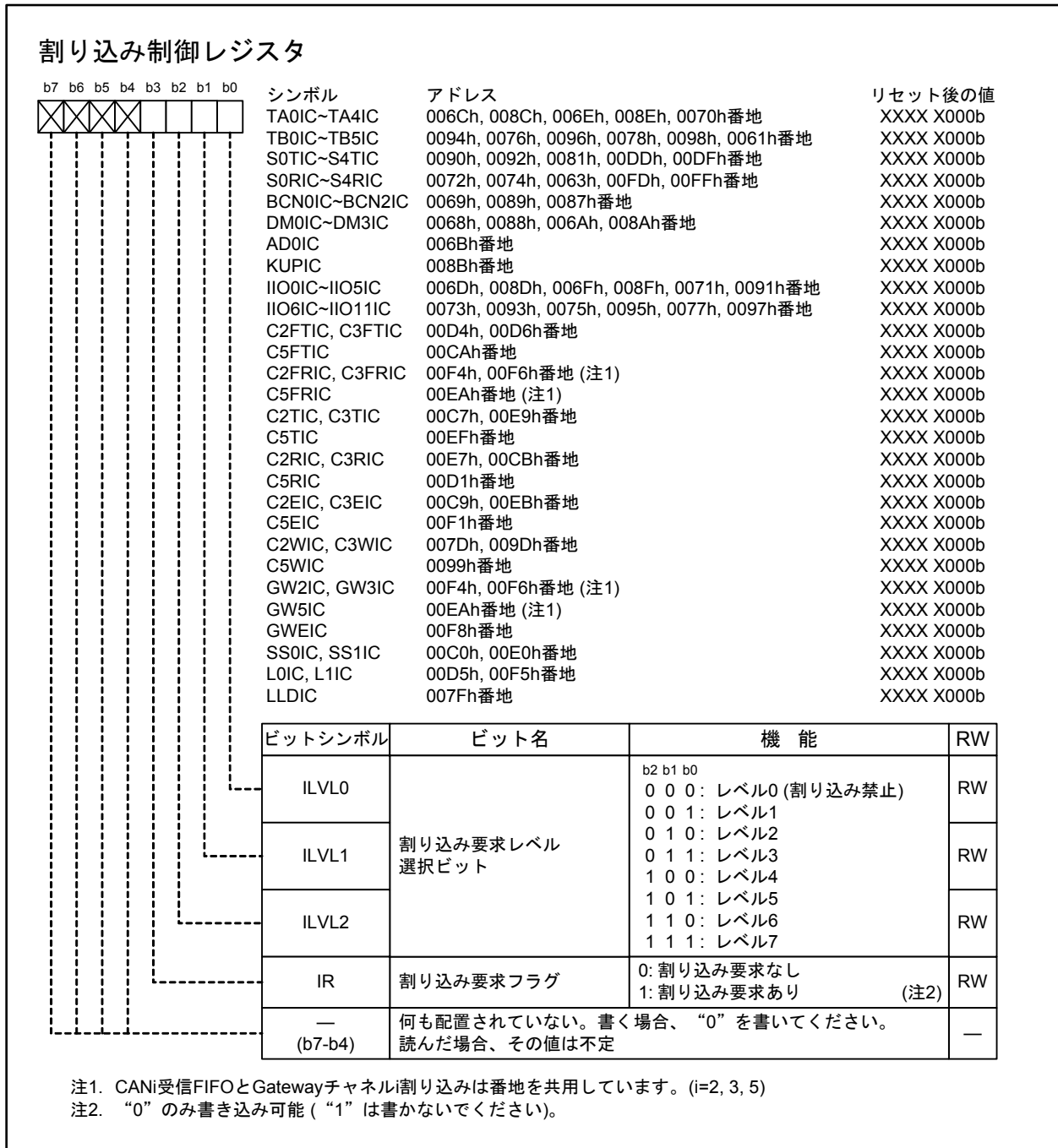


図 10.3 割り込み制御レジスタ (1) (R32C/142グループ)

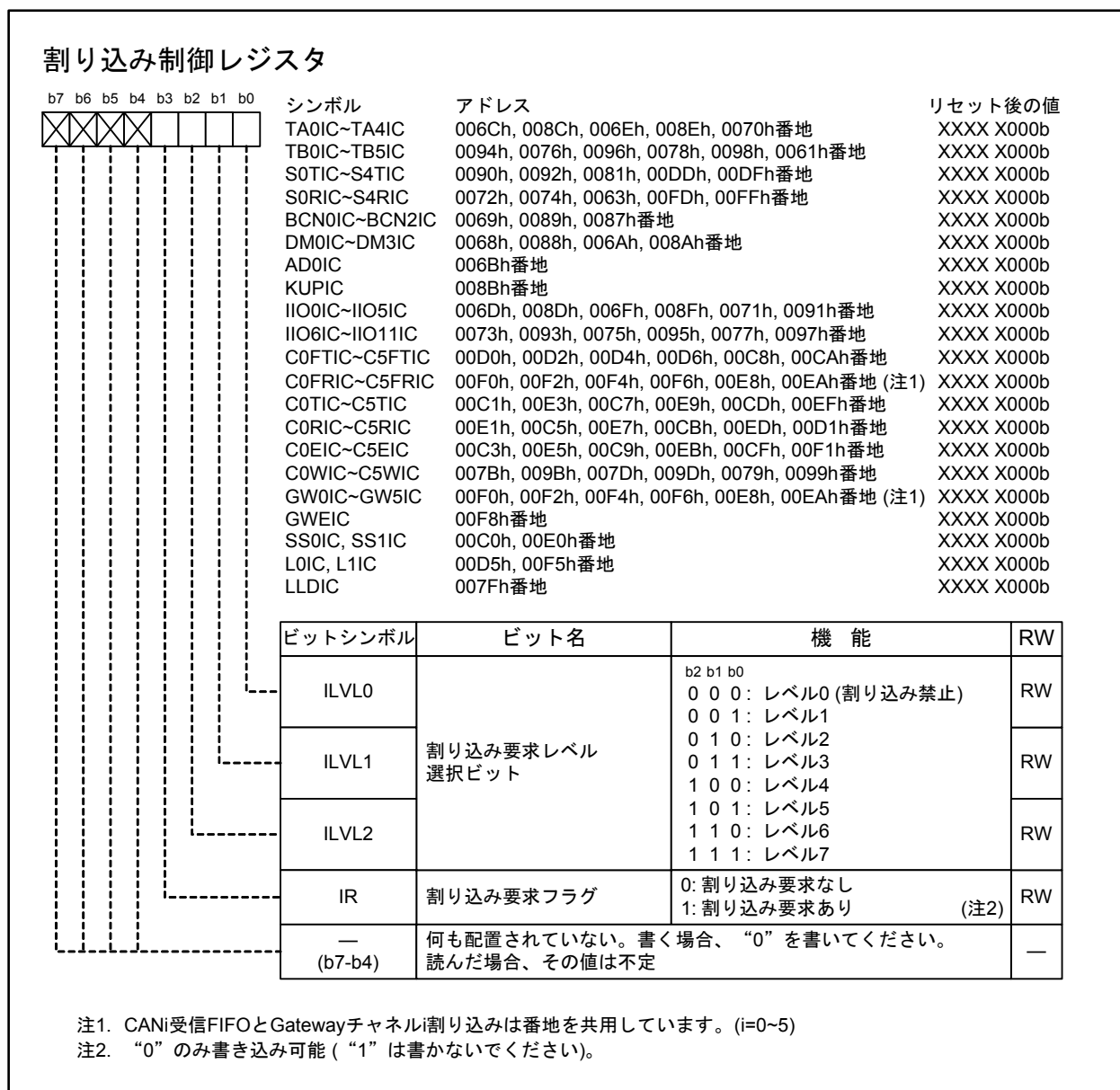


図 10.4 割り込み制御レジスタ (1) (R32C/145グループ)

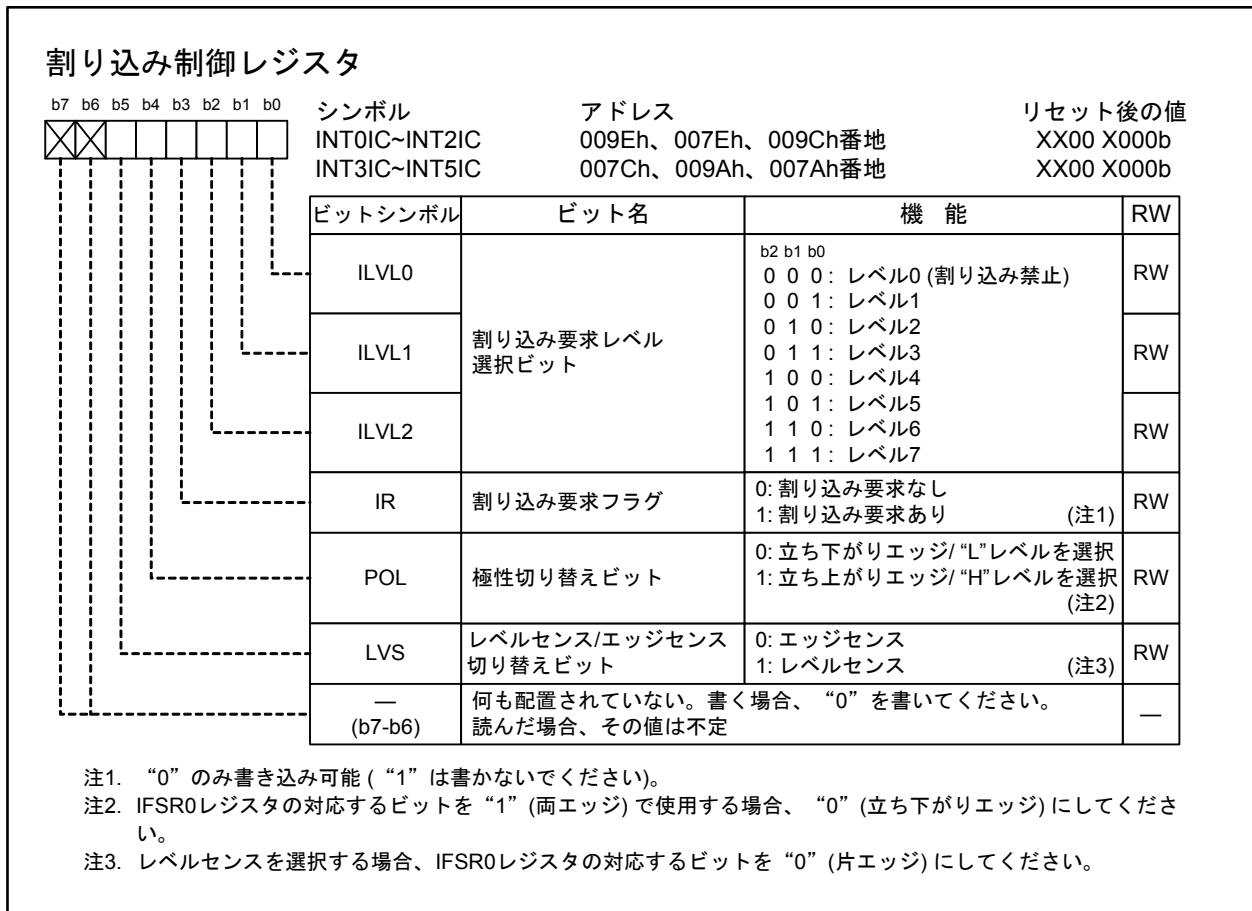


図 10.5 割り込み制御レジスタ (2)

ILVL2~ILVL0ビット

ILVL2~ILVL0ビットで割り込み要求レベルを選択します。割り込み要求レベルの値が大きいほど割り込みの優先順位が高くなります。

割り込み要求発生時、割り込み要求レベルはIPLと比較され、割り込みの要求レベルがIPLより大きい場合だけ、その割り込みが許可されます。したがって、ILVL2~ILVL0ビットに“000b”を設定すれば、その割り込みは禁止されます。

IRビット

IRビットは割り込み要求が発生すると“1”(割り込み要求あり)になり、割り込み要求が受け付けられるまで保持されます。割り込み要求が受け付けられ対応する割り込みベクタに分岐した後、“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます (“1”を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。割り込み要求が発生する可能性がある場合は、割り込みを禁止してから変更してください。

また、割り込み制御レジスタを変更した直後に割り込みを許可するときは、割り込み制御レジスタの書き込みが終了する前に割り込み許可フラグ(Iフラグ)が“1”(割り込み許可)にならないように、2つの命令の間にNOPを挿入する、割り込み制御レジスタをダミーリードするなどの対策を行ってください。

割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によってはIRビットが“1”(割り込み要求あり)にならないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを書き換えるようにしてください。

- AND
- OR
- BCLR
- BSET

IRビットを“0”(割り込み要求なし)にするとき、AND命令やBCLR命令では書き換え中の割り込み要求を保持するために、IRビットが“0”にならないことがあります。このことが問題になる場合は、MOV命令を使用してレジスタを書き換えてください。IRビットのみを“0”にしたい場合は、一旦メモリなどに値を読んだ後、メモリ上でANDやBCLRを実行し、メモリの値をMOV命令で書き戻してください。

10.6.3 復帰用割り込み優先レベル設定レジスタ

復帰用割り込み優先レベル設定レジスタ(RIPL1、RIPL2レジスタ)はウェイトモードやストップモードからの復帰に割り込みを使用するとき、高速割り込みを使用するときを使用します。

ウェイトモードやストップモードからの復帰については「7.7.2 ウェイトモード」、「7.7.3 ストップモード」を参照してください。高速割り込みについては「10.4 高速割り込み」を参照してください。

図 10.6にRIPL1、RIPL2レジスタを示します。

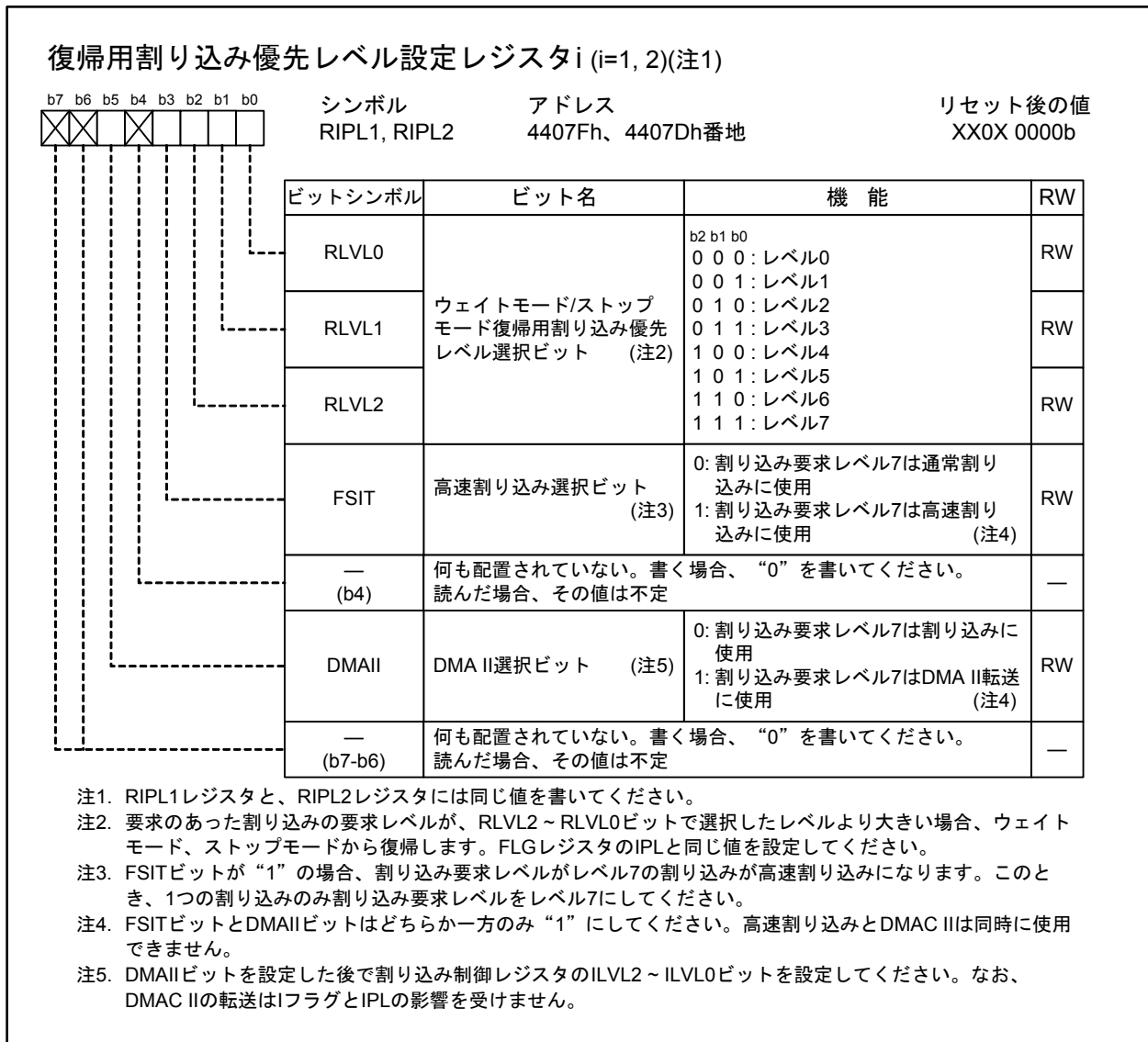


図 10.6 RIPL1、RIPL2レジスタ

10.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込み処理ルーチンが実行されるまでの割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、RMPA、SCMPU、SIN、SMOVB、SMOVF、SMOVU、SOUT、SSTR、SUNTIL、SWHILEの各命令については、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、以下の動作を順次行います。

- (1) CPUは割り込みアクノリッジを返すことで、割り込みコントローラから割り込み情報(割り込み番号、割り込み要求レベル)を取得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタの内容をCPU内部の一時レジスタ(ユーザは使用できません)に退避します。
- (3) FLGレジスタの各ビットは以下のようになります。
 - Iフラグ(割り込み許可フラグ)=0(割り込み禁止)
 - Dフラグ(デバッグフラグ)=0(シングルステップ割り込み禁止)
 - Uフラグ(スタックポインタ指定フラグ)=0(ISPを指定)
- (4) CPU内部の一時レジスタ(ユーザは使用できません)の内容をスタックに退避します。高速割り込みの場合は、SVF(フラグ退避レジスタ)に退避します。
- (5) PC(プログラムカウンタ)の内容をスタック領域に退避します。高速割り込みの場合は、SVP(PC退避レジスタ)に退避します。
- (6) IPL(プロセッサ割り込み優先レベル)に、受け付けた割り込みの割り込み要求レベルを設定します。
- (7) 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。
- (8) 取得した割り込みベクタをPCに設定します。

割り込みシーケンス終了後は、割り込み処理ルーチンの先頭番地から命令を実行します。

10.6.5 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込み処理ルーチン内の最初の命令を実行するまでの時間を示します。図 10.7 に割り込み応答時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。

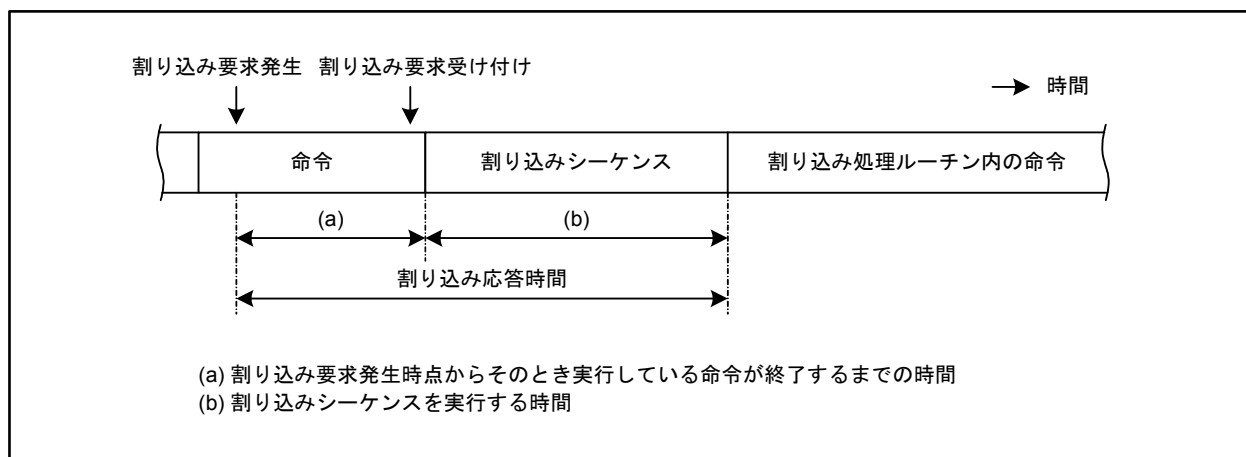


図 10.7 割り込み応答時間

(a) の時間は、実行している命令によって異なります。この時間が最も長くなる命令は、LDCTX、STCTX など、レジスタをスタックに一括退避/復帰する命令です。STCTX 命令の場合、退避するレジスタが10個のときで最短30サイクルで、スタック領域にウェイトがある場合さらに増加します。

(b) の時間は表 10.7 のとおりです。

表 10.7 割り込みシーケンス実行時間(注1)

割り込み	実行時間(CPUクロック換算)
周辺機能	13 + α サイクル(注2)
INT 命令	11 サイクル
NMI	10 サイクル
ウォッチドッグタイマ 発振停止検出	11 サイクル
未定義命令	12 サイクル
オーバフロー	12 サイクル
BRK 命令(可変ベクタテーブル)	16 サイクル
BRK 命令(固定ベクタテーブル)	19 サイクル
BRK2 命令	19 サイクル
高速割り込み	11 サイクル

注1. 割り込みベクタを、内部ROMの4の倍数となる番地に配置したときの値です。ただし高速割り込みは除きます。

注2. α は「SFRのウェイト数-2」です。

10.6.6 割り込み要求受け付け時のIPLの変化

周辺機能割り込み要求が受け付けられると、IPL (プロセッサ割り込み優先レベル)には受け付けた割り込みの割り込み要求レベルが設定されます。

ソフトウェア割り込みと特殊割り込みは、割り込み要求レベルを持ちません。これらの割り込み要求が受け付けられたときは、表 10.8に示す値がIPLに設定されます。

表 10.8 割り込み要求レベルを持たない割り込みとIPLの関係

割り込み要求レベルを持たない割り込み要因	設定されるIPLの値
NMI、ウォッチドッグタイマ、発振停止検出	7
リセット	0
ソフトウェア	変化しない

10.6.7 レジスタ退避

割り込みシーケンスでは、フラグレジスタ (FLG) とプログラムカウンタ (PC) の内容だけがスタック領域に退避されます。スタック領域へ退避する順番は、フラグレジスタ→プログラムカウンタの順です。図 10.8に割り込み要求受け付け前後のスタックの状態を示します。

高速割り込みの割り込みシーケンスでは、フラグレジスタ (FLG) はフラグ退避レジスタ (SVF) に、プログラムカウンタ (PC) はPC退避レジスタ (SVP) に退避されます。

その他の必要なレジスタは、割り込み処理ルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でフレームベースレジスタ (FB) とスタックポインタ (SP) を除くすべてのレジスタを退避することができます。

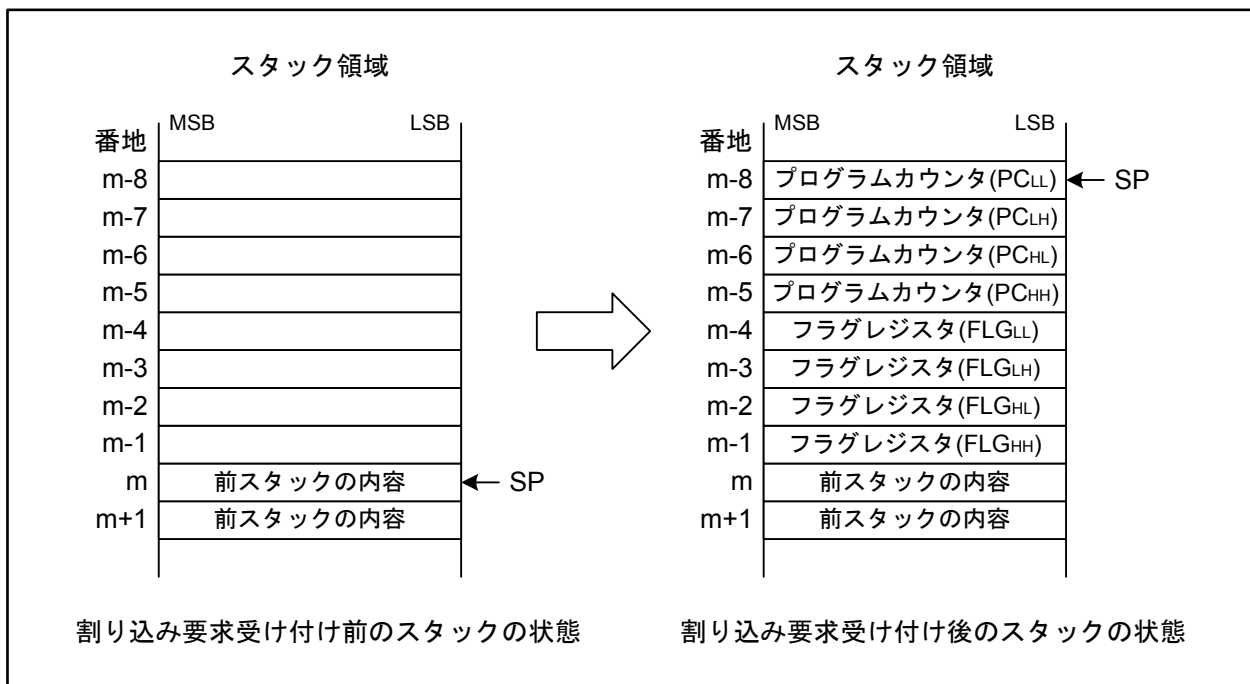


図 10.8 割り込み要求受け付け前後のスタックの状態

10.7 割り込み処理ルーチンからの復帰

割り込み処理ルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。高速割り込みの場合は、割り込み処理ルーチンの最後でFREIT命令を実行すると、退避レジスタに退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されず。その後、割り込み要求受け付け前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込み処理ルーチン内でソフトウェアによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

割り込み処理ルーチン内でレジスタバンクを切り替えた場合、REITまたはFREIT命令を実行すると、自動的に割り込みシーケンス直前のレジスタバンクに戻ります。

10.8 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先順位は、割り込み要求レベル選択ビット(ILVL2~ILVL0ビット)によって任意の優先順位を設定することができます。ただし、割り込み要求レベルが同じ設定の場合は、ハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。以下にハードウェアで設定されている割り込み優先順位を示します。

$$\text{リセット} > \begin{matrix} \text{ウォッチドッグタイマ} \\ \text{発振停止検出} \end{matrix} > \text{NMI} > \text{周辺機能}$$

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込み処理ルーチンへ分岐します。

10.9 割り込み優先順位判定回路

割り込み優先順位判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図 10.9にR32C/142グループ、図 10.10にR32C/145グループの割り込み優先順位判定回路を示します。

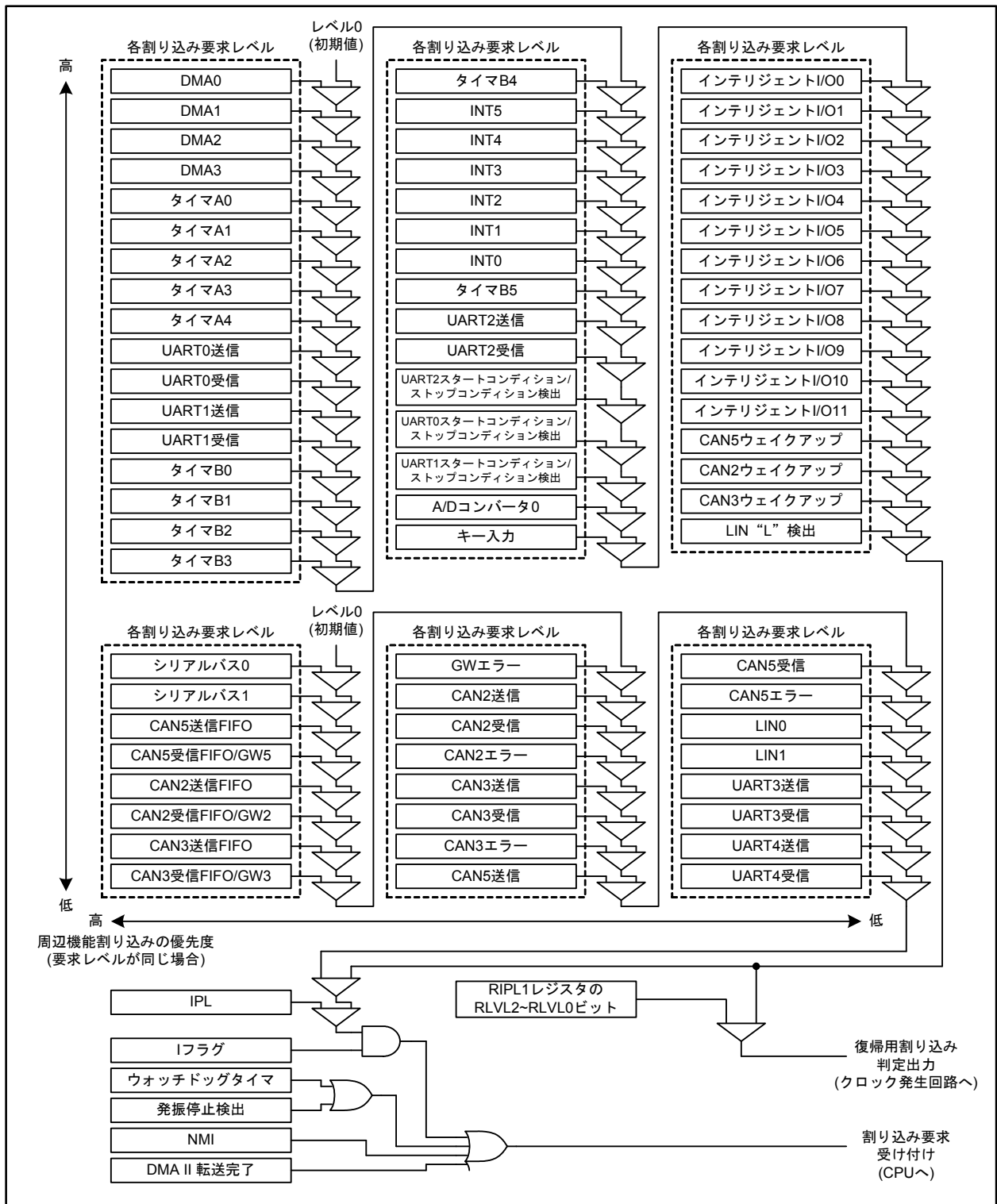


図 10.9 割り込み優先順位判定回路 (R32C/142グループ)

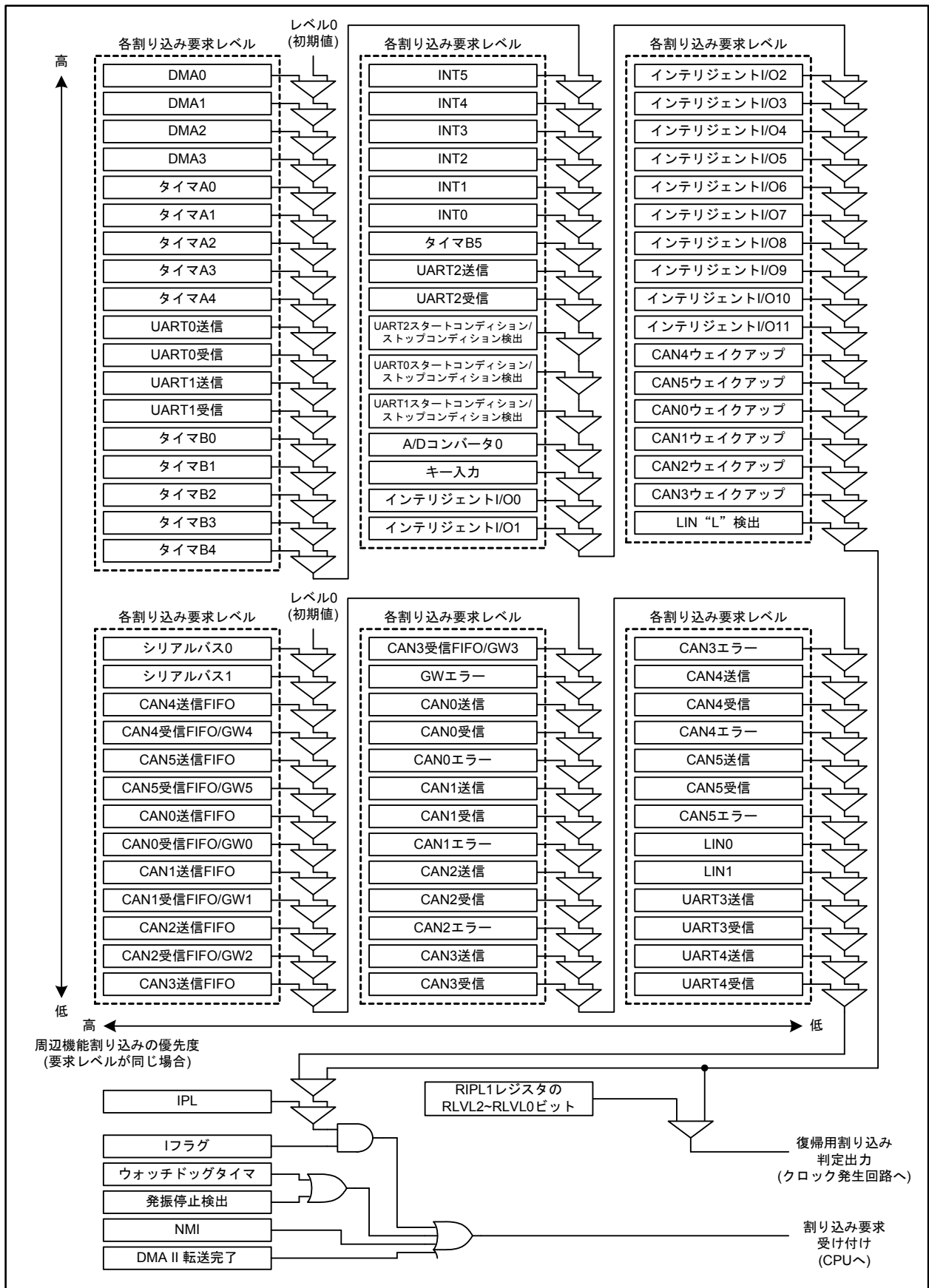


図 10.10 割り込み優先順位判定回路 (R32C/145グループ)

10.10 外部割り込み

外部割り込みは $\overline{\text{INTi}}$ 端子 ($i=0\sim5$)からの外部入力による割り込みです。入力信号のレベルで割り込みをかけるレベルセンスと、エッジで割り込みをかけるエッジセンスを INTiIC レジスタのLVSビットで選択できます。また、入力信号の極性を INTiIC レジスタのPOLビットで選択できます。

エッジセンスを使用する場合は、 IFSR0 レジスタの IFSR0i ビットを“1”(両エッジ)にすると、外部割り込み入力の立ち上がり、立ち下がりの両方のエッジで割り込み要求が発生します。 IFSR0i ビットを“1”にする場合は、対応するPOLビットを“0”(立ち下がりエッジ)にしてください。

レベルセンスを使用する場合は、 IFSR0i ビットを“0”(片エッジ)にしてください。 $\overline{\text{INTi}}$ 端子の入力レベルがPOLビットで選択したレベルのときに、 INTiIC レジスタのIRビットが“1”になります。その後、 $\overline{\text{INTi}}$ 端子が変化してもIRビットは“1”を保持し、 INTi 割り込みを受け付けるか、“0”を書くと“0”になります。

図 10.11に IFSR0 レジスタを示します。

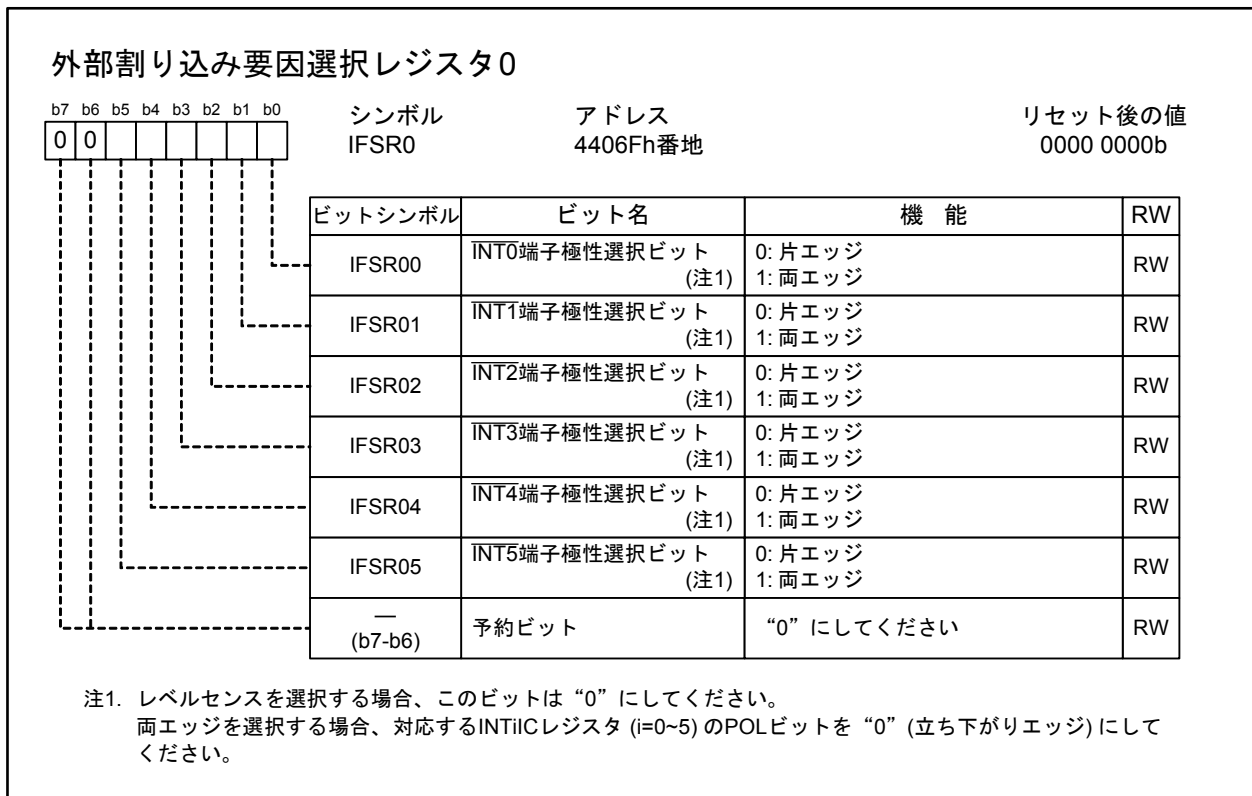


図 10.11 IFSR0 レジスタ

また、外部割り込み信号はノイズ除去のためのデジタルフィルタ機能を選択することができます。デジタルフィルタは、設定されたクロックで入力信号をサンプリングし、3回レベルが一致したパルスのみを通過させます。

図 10.12~図 10.13に外部割り込み入力フィルタ選択レジスタを示します。

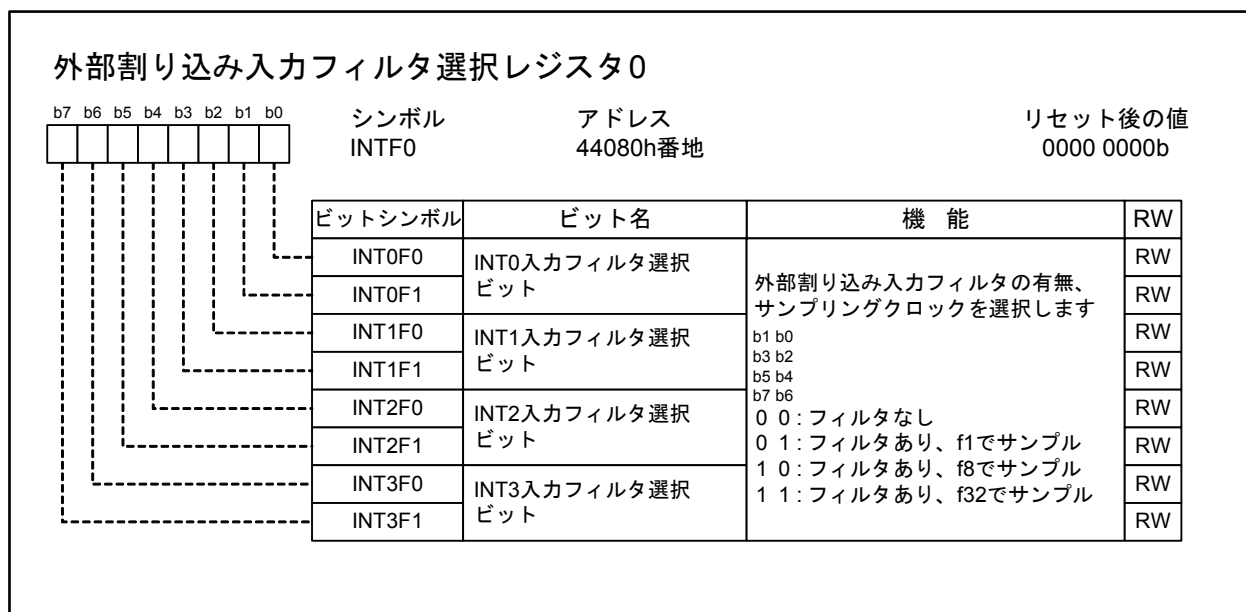


図 10.12 INTF0 レジスタ

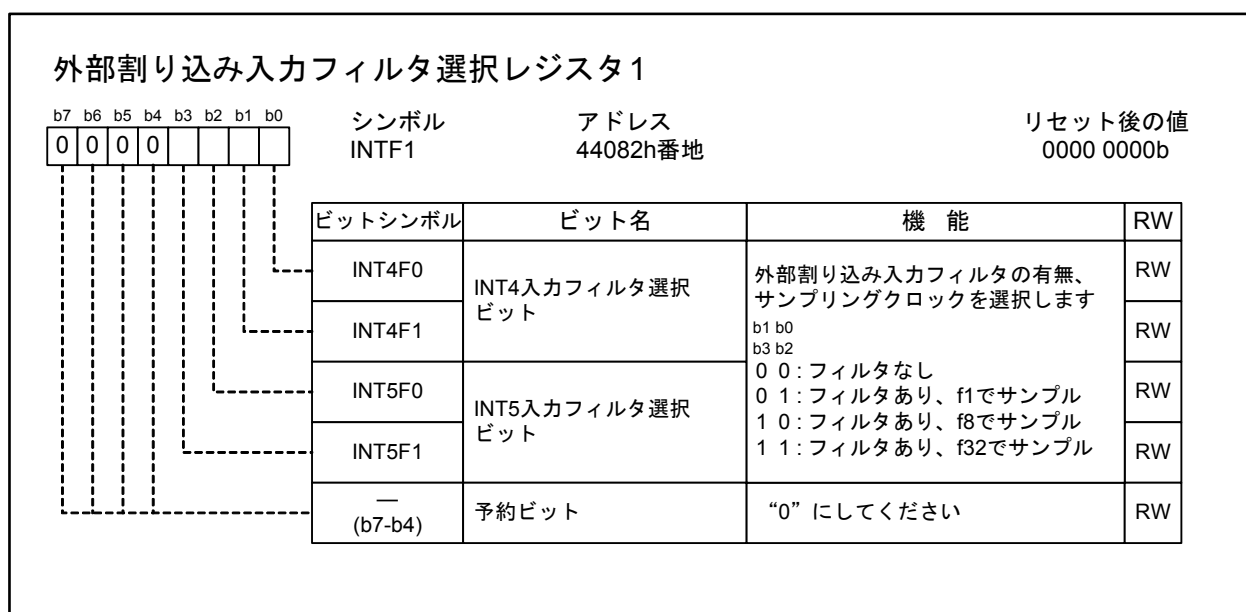


図 10.13 INTF1 レジスタ

10.11 NMI

NMI (Non Maskable Interrupt)は、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したときに発生します。NMIはノンマスカブル割り込みです。リセット後、NMIは禁止の状態になっています。プログラムの先頭で割り込みスタックポインタ(ISP)を設定した後、PM2レジスタのPM24ビットを“1”にしてNMIを許可にしてください。なお、 $\overline{\text{NMI}}$ 端子はポートP8_5と端子を共用していますので、端子の入力レベルをP8レジスタのP8_5ビットで読むことができます。

注1. NMIの機能を使用しない場合は、PM2レジスタのPM24ビットを“0”から変更しないでください。

10.12 キー入力割り込み

P10_4~P10_7をすべて入力ポートとして設定すると、キー入力割り込み機能を使用できます。

P10_4~P10_7のいずれかの端子が“H”から“L”に変化すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。図 10.14にキー入力割り込みのブロック図を示します。なお、いずれかの端子に“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

キー入力割り込み機能を使用する場合、P10_4S~P10_7Sレジスタはすべて“00h”(ポート)に設定してください。また、PD10_4~PD10_7ビットもすべて“0”(入力)にしてください。これ以外の設定では、キー入力割り込み機能は使用できません。

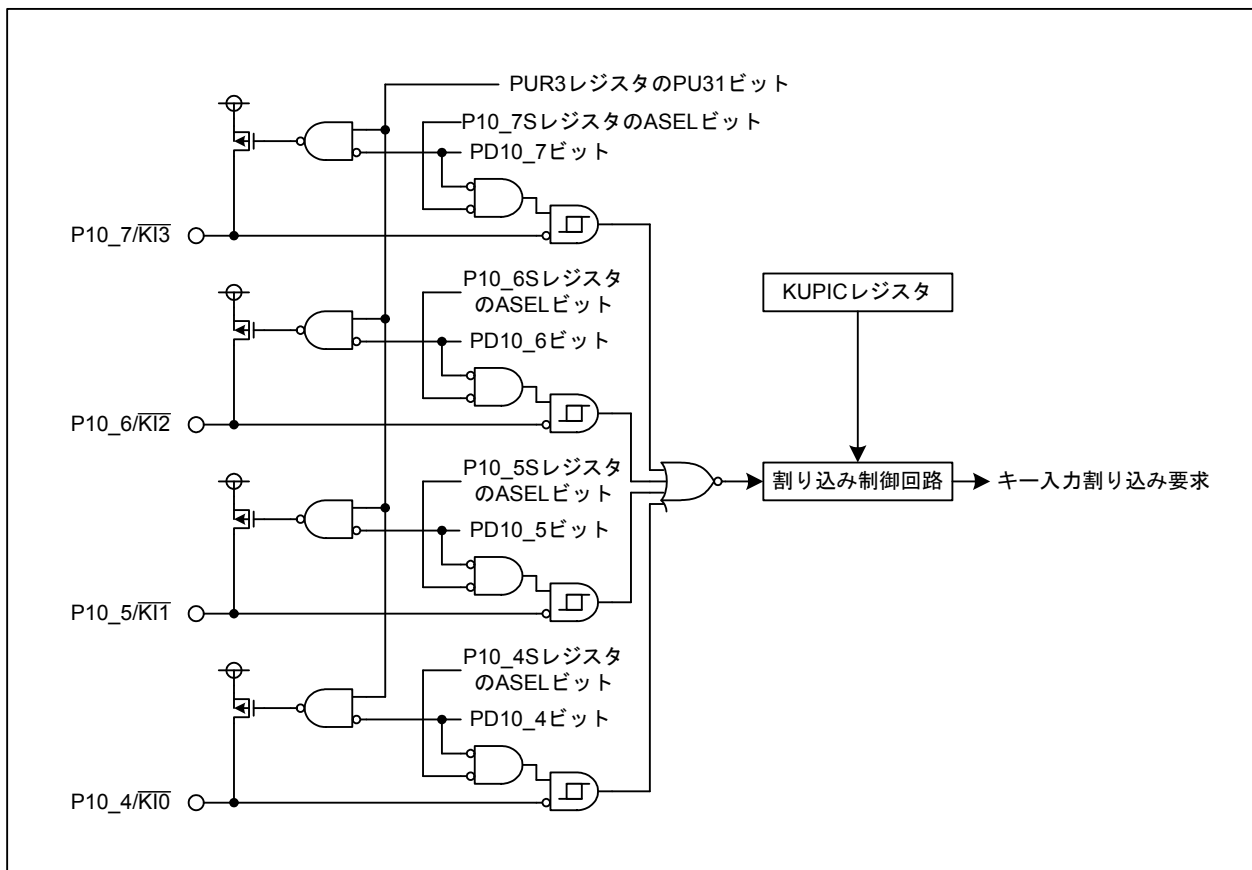


図 10.14 キー入力割り込みのブロック図

10.13 インテリジェントI/O割り込み

インテリジェントI/O割り込みは、ソフトウェア割り込み番号44~55に割り当てられています。

図 10.15 にインテリジェントI/O割り込みのブロック図を、図 10.16 にIIOiR レジスタ (i=0~11) を、図 10.17 にIIOiE レジスタを示します。

インテリジェントI/O割り込みを使用する場合は、IIOiE レジスタのIRLTビットを“1” (割り込み要求を割り込みで使用する)にしてください。

インテリジェントI/O割り込みには、多数の割り込み要因があります。インテリジェントI/Oの各機能で割り込み要求が発生すると、IIOiR レジスタの該当するビットが“1” (割り込み要求あり)になります。このとき、IIOiE レジスタの対応するビットが“1” (割り込み許可)であれば、該当するIIOiC レジスタのIR ビットが“1” (割り込み要求あり)になります。

なお、IR ビットが“0”から“1”になった後、別の割り込み要因によって、IIOiR レジスタのビットが“1”になり、かつ、IIOiE レジスタの該当するビットが“1”だった場合は、IR ビットは“1”のまま変化しません。

また、IIOiR レジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりませんので、プログラムでAND 命令またはBCLR 命令を使用して“0”にしてください。これらのビットを“1”のままにしておくと、それ以降に成立した割り込み要求がすべて無効になります。

インテリジェントI/O割り込みをDMA IIの起動要因として使用する場合、IIOiE レジスタのIRLT ビットを“0” (割り込み要求をDMA、DMA IIで使用)にし、IIOiE レジスタで使用する割り込み要求を許可にしてください。

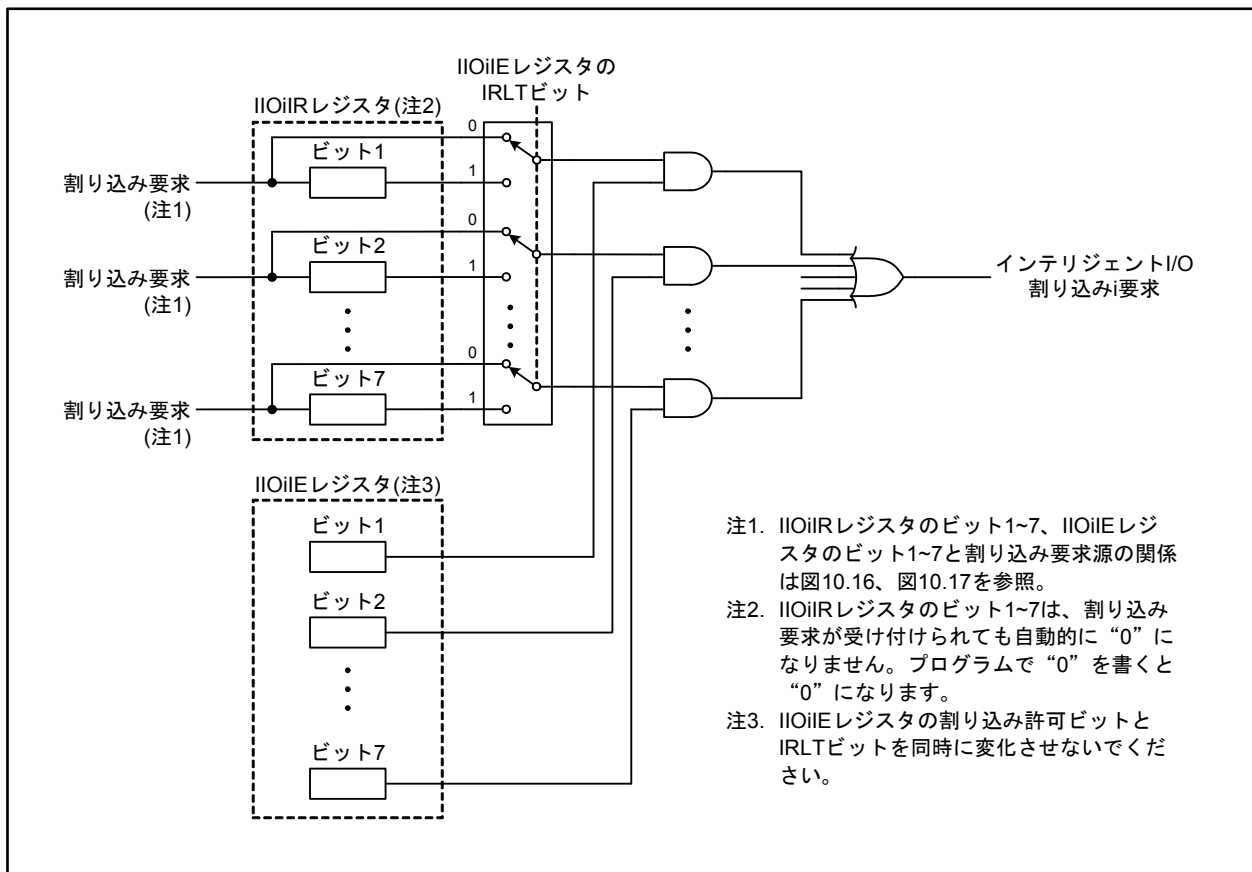


図 10.15 インテリジェントI/O割り込みのブロック図(i=0~11)

インテリジェントI/O割り込み要求レジスタ*i* (*i*=0~11)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル IIO0IR~IIO11IR	アドレス 下表参照	リセット後の値 000? 0??1b (注1)
0	0	0	0	0			X			

ビットシンボル	ビット名	機能	RW
— (b0)		何も配置されていない。読んだ場合、その値は“1”	—
(注2)		0: 割り込み要求なし 1: 割り込み要求あり (注3)	RW
(注2)		0: 割り込み要求なし 1: 割り込み要求あり (注3)	RW
— (b3)	予約ビット	“0” にしてください	RW
(注2)		0: 割り込み要求なし 1: 割り込み要求あり (注3)	RW
— (b7-b5)	予約ビット	“0” にしてください	RW

注1. 当該ビットに機能が割り当てられている場合、リセット後の値は“X” (不定)です。機能が割り当てられていない場合、リセット後の値は“0”です。

注2. ビットシンボルは下表を参照してください。

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合、AND命令またはBCLR命令を使用してください。
機能が割り当てられていない場合(予約ビットの場合)、“0”にしてください。

インテリジェントI/O割り込み要求レジスタのビットシンボルー覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IR	00A0h	—	—	—	—	—	TM13R/PO13R	TM02R/PO02R	—
IIO1IR	00A1h	—	—	—	—	—	TM14R/PO14R	TM00R/PO00R	—
IIO2IR	00A2h	—	—	—	—	—	TM12R/PO12R	—	—
IIO3IR	00A3h	—	—	—	—	—	TM10R/PO10R	TM03R/PO03R	—
IIO4IR	00A4h	—	—	—	BT1R	—	TM17R/PO17R	TM04R/PO04R	—
IIO5IR	00A5h	—	—	—	—	—	—	TM05R/PO05R	—
IIO6IR	00A6h	—	—	—	—	—	—	TM06R/PO06R	—
IIO7IR	00A7h	—	—	—	BT0R	—	—	TM07R/PO07R	—
IIO8IR	00A8h	—	—	—	—	—	—	TM11R/PO11R	—
IIO9IR	00A9h	—	—	—	—	—	—	TM15R/PO15R	—
IIO10IR	00AAh	—	—	—	—	—	—	TM16R/PO16R	—
IIO11IR	00ABh	—	—	—	—	—	—	TM01R/PO01R	—

BTxR: インテリジェントI/Oグループx ベースタイマ割り込み要求 (x=0, 1)

TMxyR: インテリジェントI/Oグループx 時間計測機能 チャネルy 割り込み要求 (x=0, 1, y=0~7)

POxyR: インテリジェントI/Oグループx 波形生成機能 チャネルy 割り込み要求 (x=0, 1, y=0~7)

図 10.16 IIO0IR~IIO11IR レジスタ

インテリジェントI/O割り込み許可レジスタ*i* (*i*=0~11)

ビットシンボル	ビット名	機能	RW
IRLT	割り込み要求選択ビット (注2)	0: 割り込み要求をDMA、DMA IIで使用 1: 割り込み要求を割り込みで使用	RW
(注1)	0: IIOiIRレジスタのビット1の割り込みを禁止 1: IIOiIRレジスタのビット1の割り込みを許可		RW
(注1)	0: IIOiIRレジスタのビット2の割り込みを禁止 1: IIOiIRレジスタのビット2の割り込みを許可		RW
— (b3)	予約ビット	“0” にしてください	RW
(注1)	0: IIOiIRレジスタのビット4の割り込みを禁止 1: IIOiIRレジスタのビット4の割り込みを許可		RW
— (b7-b5)	予約ビット	“0” にしてください	RW

注1. ビットシンボルは下表を参照してください。

注2. 割り込み要求を割り込みで使用する場合、IRLTビットを“1”にした後、ビット1、2、4を“1”にしてください。

インテリジェントI/O割り込み許可レジスタのビットシンボルー覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IE	00B0h	—	—	—	—	—	TM13E/PO13E	TM02E/PO02E	IRLT
IIO1IE	00B1h	—	—	—	—	—	TM14E/PO14E	TM00E/PO00E	IRLT
IIO2IE	00B2h	—	—	—	—	—	TM12E/PO12E	—	IRLT
IIO3IE	00B3h	—	—	—	—	—	TM10E/PO10E	TM03E/PO03E	IRLT
IIO4IE	00B4h	—	—	—	BT1E	—	TM17E/PO17E	TM04E/PO04E	IRLT
IIO5IE	00B5h	—	—	—	—	—	—	TM05E/PO05E	IRLT
IIO6IE	00B6h	—	—	—	—	—	—	TM06E/PO06E	IRLT
IIO7IE	00B7h	—	—	—	BT0E	—	—	TM07E/PO07E	IRLT
IIO8IE	00B8h	—	—	—	—	—	—	TM11E/PO11E	IRLT
IIO9IE	00B9h	—	—	—	—	—	—	TM15E/PO15E	IRLT
IIO10IE	00BAh	—	—	—	—	—	—	TM16E/PO16E	IRLT
IIO11IE	00BBh	—	—	—	—	—	—	TM01E/PO01E	IRLT

BTxE: インテリジェントI/Oグループx ベースタイマ割り込み許可 (x=0, 1)

TMxyE: インテリジェントI/Oグループx 時間計測機能 チャネルy 割り込み許可 (x=0, 1, y=0~7)

POxyE: インテリジェントI/Oグループx 波形生成機能 チャネルy 割り込み許可 (x=0, 1, y=0~7)

図 10.17 IIO0IE~IIO11IE レジスタ

10.14 割り込み使用上の注意

10.14.1 ISPの設定

リセット後、ISP (割り込みスタックポインタ)は“00000000h”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なくなり、割り込みシーケンスの実行速度が速くなります。

特にNMIを使用する場合は割り込みを禁止できませんので、プログラムの先頭でISPを設定した後、PM2レジスタのPM24ビットを“1”(NMI有効)にしてください。

10.14.2 NMI

- NMIは、PM2レジスタのPM24ビットを“1”(NMI有効)にした後は禁止できません。NMIを使用しない場合はPM24ビットを“0”から変更しないでください。
- PM2レジスタのPM24ビットが“1”(NMI有効)の場合、P8レジスタのP8_5ビットは、 $\overline{\text{NMI}}$ 端子の状態を確認する用途にのみ使用できます。汎用ポートとしては使用できません。

10.14.3 外部割り込み

- $\overline{\text{INTi}}$ 端子(i=0~5)に入力する信号には、電気的特性で規定する信号幅が必要です。規定の最小幅を下回った場合、割り込みが受け付けられない場合があります。
- INTiIC レジスタ(i=0~5)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)で $\overline{\text{INTi}}$ 端子の有効エッジや有効レベルを切り替えたとき、対応するIRビットが“1”(割り込み要求あり)になる場合があります。これらのビットは、 INTiIC レジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するIRビットを“0”(割り込み要求なし)にしてからILVL2~ILVL0ビットを設定してください。

11. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知するために使用します。ウォッチドッグタイマは15ビットのカウンタを持ち、周辺バスクロックまたはオンチップオシレータクロックをプリスケアラで分周したクロックによりダウンカウントします。

ウォッチドッグタイマがアンダフローしたときに、割り込み要求を発生させるか、リセットをかけるかをCM0レジスタのCM06ビットで選択できます。一度CM06ビットを“1”(リセット)にすると、プログラムでは“0”(ウォッチドッグタイマ割り込み)にできません。CM06ビットはリセットによってのみ“0”にできます。

ウォッチドッグタイマにはプリスケアラが2つあります。1つはオンチップオシレータクロックを1、2、4、8分周するもの、もう1つは周辺バスクロックを16、128分周するものです。1つ目のプリスケアラの分周比はWDKレジスタのWDK3~WDK2ビット、2つ目のプリスケアラの分周比はWDCレジスタのWDC7ビットで選択できます。

ウォッチドッグタイマのカウントソースはPM2レジスタのPM22ビットで選択できます。カウントソースに周辺バスクロックを選択した場合、MCUがウェイトモードまたはストップモードのとき、 $\overline{\text{HOLD}}$ 信号が“L”のときは、カウントを停止し、これらの状態が解除されると保持していた値からカウントを再開します。カウントソースにオンチップオシレータを選択した場合、ウォッチドッグタイマは停止しません。

ウォッチドッグタイマの周期は以下のように計算できます。ただし、WDTSレジスタに書き込むタイミングによっては、最大でプリスケアラ出力1周期分の誤差が生じます。

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周値(16または128)} \times 32768}{\text{周辺バスクロック周波数}}$$

または

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周値(1, 2, 4, または8)} \times 2048}{\text{オンチップオシレータクロック周波数}}$$

たとえば、カウントソースに周辺バスクロックを選択し、CPUクロック周波数が64MHzで周辺バスクロック周波数がその1/2、プリスケアラの分周値が16の場合、ウォッチドッグタイマの周期は約16.4msとなります。

ウォッチドッグタイマは、WDTSレジスタへ書き込みを行ったとき、またはウォッチドッグタイマ割り込みの割り込み要求が発生したときに初期化されます。プリスケアラのカウント値はリセット後にのみ初期化されます。

あらかじめフラッシュメモリのOFS領域に値を設定しておくことで、リセット後自動的にウォッチドッグタイマを起動させることができます。OFS領域のWDTONビットが“1”の場合、リセット後はウォッチドッグタイマとプリスケアラのカウントは停止しており、WDTSレジスタに値を書くことによりカウントを開始します。WDTONビットが“0”の場合、リセット後からウォッチドッグタイマはカウントを開始しません。

図11.1にウォッチドッグタイマのブロック図、図11.2~図11.5にウォッチドッグタイマ関連のレジスタを示します。

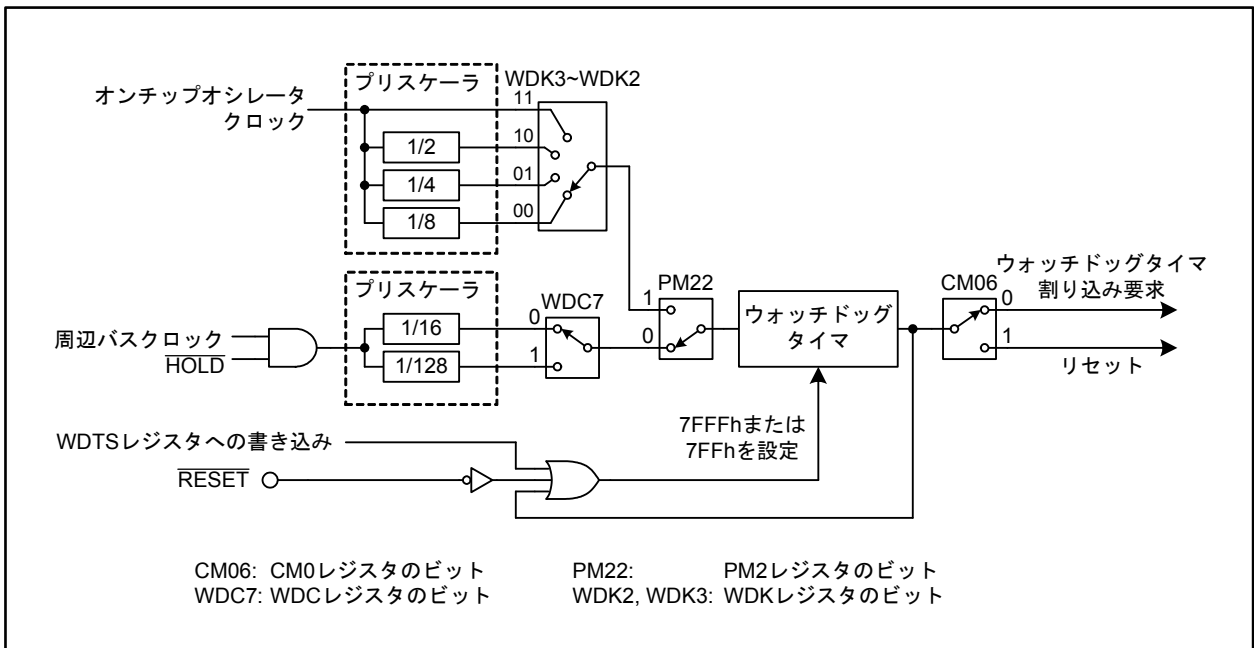


図 11.1 ウォッチドッグタイマのブロック図

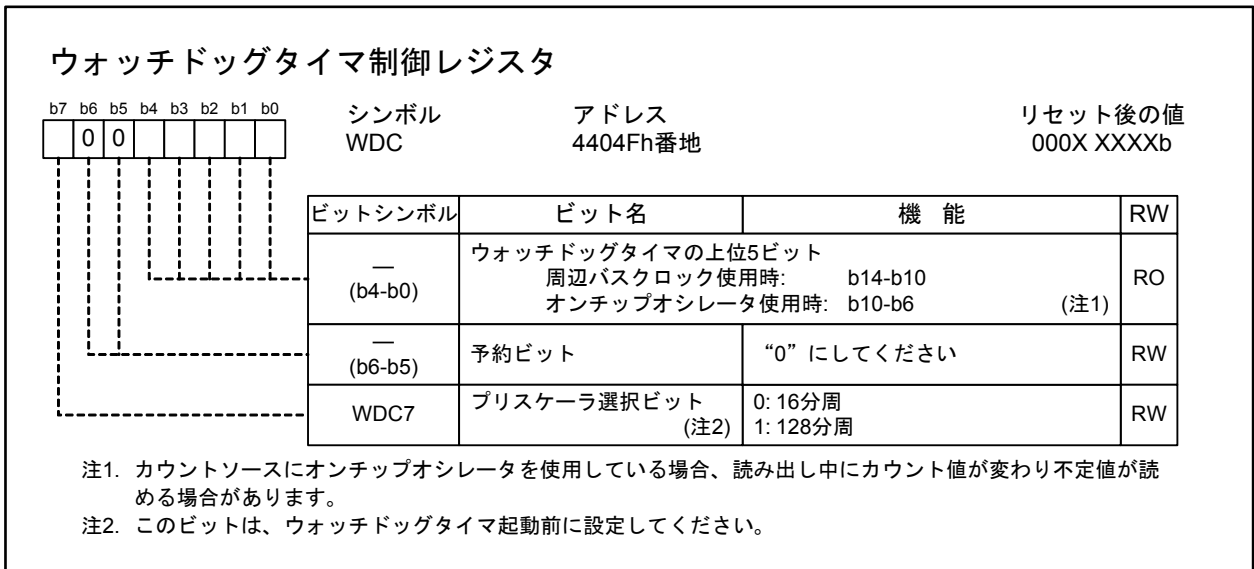


図 11.2 WDCレジスタ

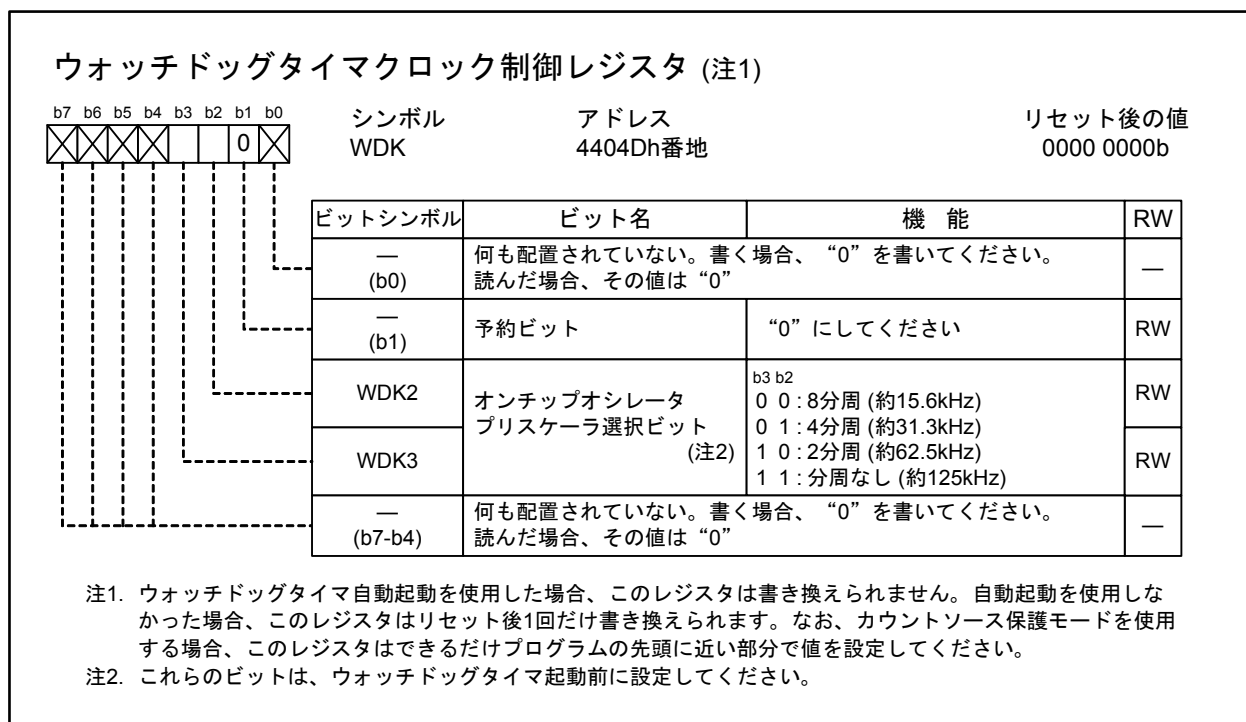


図 11.3 WDKレジスタ

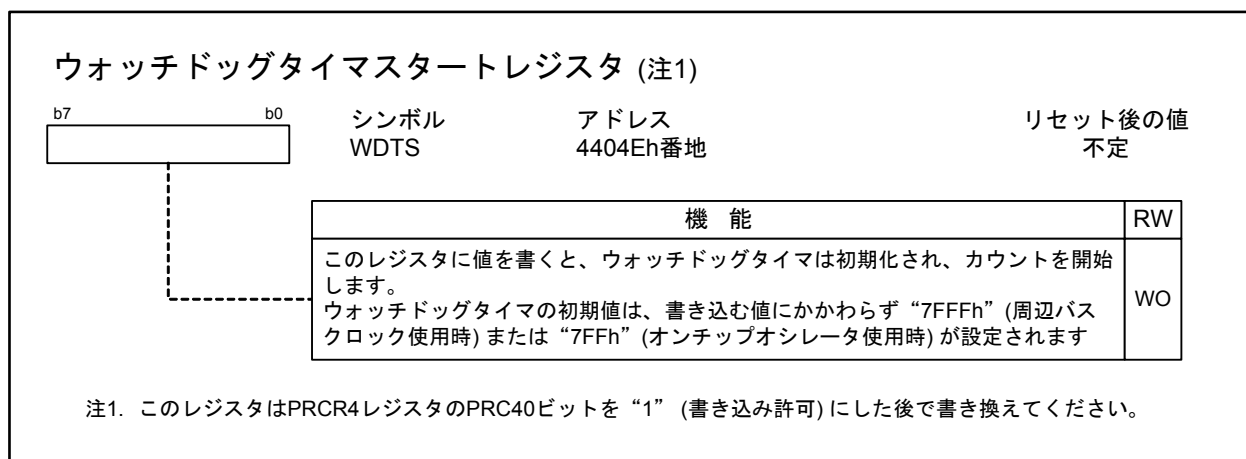


図 11.4 WDTSレジスタ

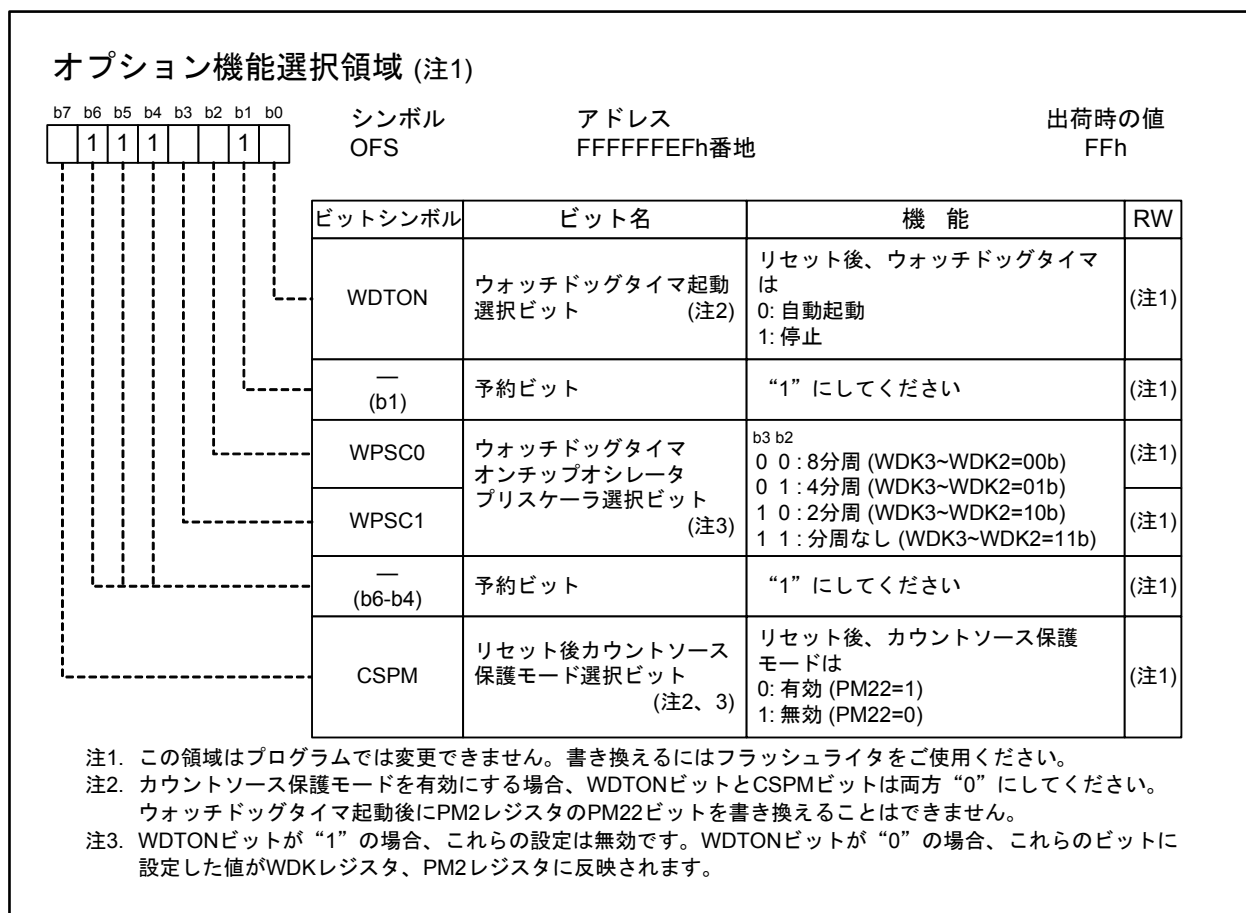


図 11.5 OFS 領域

12. DMAC

DMA (ダイレクト・メモリ・アクセス)とはCPUの命令を使用せずにデータを転送する機能で、DMAを行うコントローラをDMAC (DMAコントローラ)といいます。

R32C/100シリーズではサイクルスチール方式のDMACを4チャンネル搭載しています。

DMACは、転送要求が1回発生するごとに、転送元番地から転送先番地へ8、16、または32ビットのデータを1回だけ転送します。CPUとDMACは同じバスを使用しますが、バスアクセスの優先順位はDMACのほうがCPUよりも高いため、転送要求が発生してから1回のデータ転送を完了するまでの動作を高速に行えます。

図 12.1にCPU内蔵DMAC関連レジスタ一覧、表 12.1にDMACの仕様、図 12.2~図 12.10にDMAC関連レジスタを示します。図 12.1に示すレジスタはCPU内部に配置されているため、アクセスする場合はLDC、STC命令を使用してください。

DMAC関連レジスタ	
DMD0	DMA0モードレジスタ
DMD1	DMA1モードレジスタ
DMD2	DMA2モードレジスタ
DMD3	DMA3モードレジスタ
DCT0	DMA0ターミナルカウントレジスタ
DCT1	DMA1ターミナルカウントレジスタ
DCT2	DMA2ターミナルカウントレジスタ
DCT3	DMA3ターミナルカウントレジスタ
DCR0	DMA0ターミナルカウントリロードレジスタ(注1)
DCR1	DMA1ターミナルカウントリロードレジスタ(注1)
DCR2	DMA2ターミナルカウントリロードレジスタ(注1)
DCR3	DMA3ターミナルカウントリロードレジスタ(注1)
DSA0	DMA0ソースアドレスレジスタ
DSA1	DMA1ソースアドレスレジスタ
DSA2	DMA2ソースアドレスレジスタ
DSA3	DMA3ソースアドレスレジスタ
DSR0	DMA0ソースアドレスリロードレジスタ(注1)
DSR1	DMA1ソースアドレスリロードレジスタ(注1)
DSR2	DMA2ソースアドレスリロードレジスタ(注1)
DSR3	DMA3ソースアドレスリロードレジスタ(注1)
DDA0	DMA0デスティネーションアドレスレジスタ
DDA1	DMA1デスティネーションアドレスレジスタ
DDA2	DMA2デスティネーションアドレスレジスタ
DDA3	DMA3デスティネーションアドレスレジスタ
DDR0	DMA0デスティネーションアドレスリロードレジスタ(注1)
DDR1	DMA1デスティネーションアドレスリロードレジスタ(注1)
DDR2	DMA2デスティネーションアドレスリロードレジスタ(注1)
DDR3	DMA3デスティネーションアドレスリロードレジスタ(注1)

注1. リピート転送で使用するレジスタです。単転送では使用しません。

図 12.1 CPU内蔵DMAC関連レジスタ一覧

表 12.1 DMAC仕様

項目	仕様	
チャンネル数	4チャンネル	
方式	サイクルスチール方式	
転送空間	64Mバイト(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFh)の任意の空間から64Mバイトの任意の空間へデータ転送	
最大転送バイト数	64Mバイト(32ビット転送時)、32Mバイト(16ビット転送時)、16Mバイト(8ビット転送時)	
DMA起動要因(注1)	INT0~INT3端子への入力の立ち下がりエッジまたは両エッジ タイマA0~タイマA4割り込み要求 タイマB0~タイマB5割り込み要求 UART0~UART4送信と受信割り込み要求 A/D変換割り込み要求 インテリジェントI/O割り込み要求 シリアルバスインタフェース割り込み要求 ソフトウェアトリガ	
チャンネル優先順位	DMA0>DMA1>DMA2>DMA3 (DMA0が最優先)	
転送サイズ	8ビット、16ビット、32ビット	
アドレッシング	インクリメント、または固定	
転送モード	単転送	DCTiレジスタ(i=0~3)が“00000000h”になると転送が終了する
	リピート転送	DCTiレジスタが“00000000h”になるとDCRiレジスタの値がDCTiレジスタにリロードされ、DMA転送を継続する
DMA転送完了割り込み要求発生タイミング	DCTiレジスタが“00000001h”から“00000000h”になるとき	
DMA転送開始	単転送	DCTiレジスタに“00000001h”以上の値を設定し、DMDiレジスタのMDi1~MDi0ビットを“01b”(単転送)にした後、DMA転送要求が発生すると開始
	リピート転送	DCTiレジスタに“00000001h”以上の値を設定し、MDi1~MDi0ビットを“11b”(リピート転送)にした後、DMA転送要求が発生すると開始
DMA転送停止	単転送	MDi1~MDi0ビットを“00b”(DMA転送禁止)にする
	リピート転送	MDi1~MDi0ビットを“00b”(DMA転送禁止)にする
DCTiレジスタ、DSAiレジスタ、DDAiレジスタへのリロードのタイミング	リピート転送モードでDCTiレジスタが“00000001h”から“00000000h”になるとき	
DMA転送サイクル数	最小3サイクル	

注1. DMA転送は、各割り込みに影響を与えません。

DMA転送要求には、DMiSL2レジスタ (i=0~3)のDSRビットへの書き込みによるソフトウェアトリガのほか、DMiSLレジスタのDSEL4~DSEL0ビット、DMiSL2レジスタのDSEL24~DSEL20ビットで指定した各機能から出力される割り込み要求を使用しています。ただし、DMA転送要求は割り込み要求とは異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でも受け付けられます。また、DMA転送は割り込みに影響を与えませんので、DMA転送によって割り込み制御レジスタのIRビットが変化することはありません。

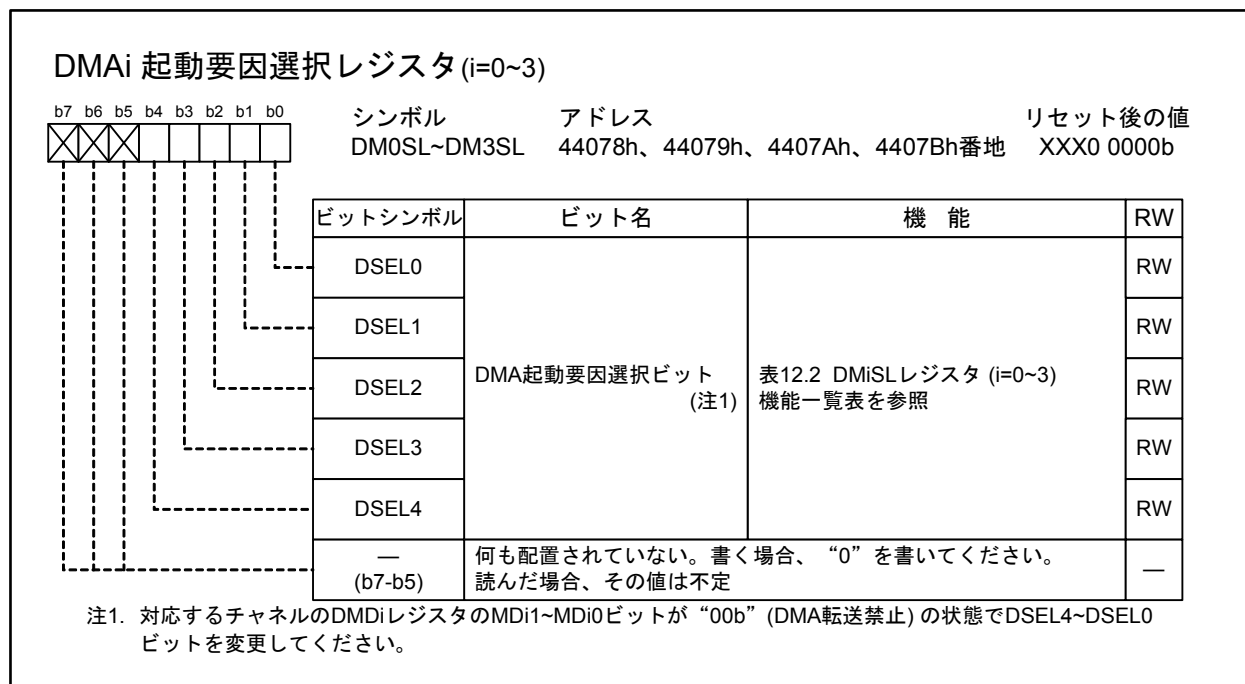


図 12.2 DM0SL~DM3SLレジスタ

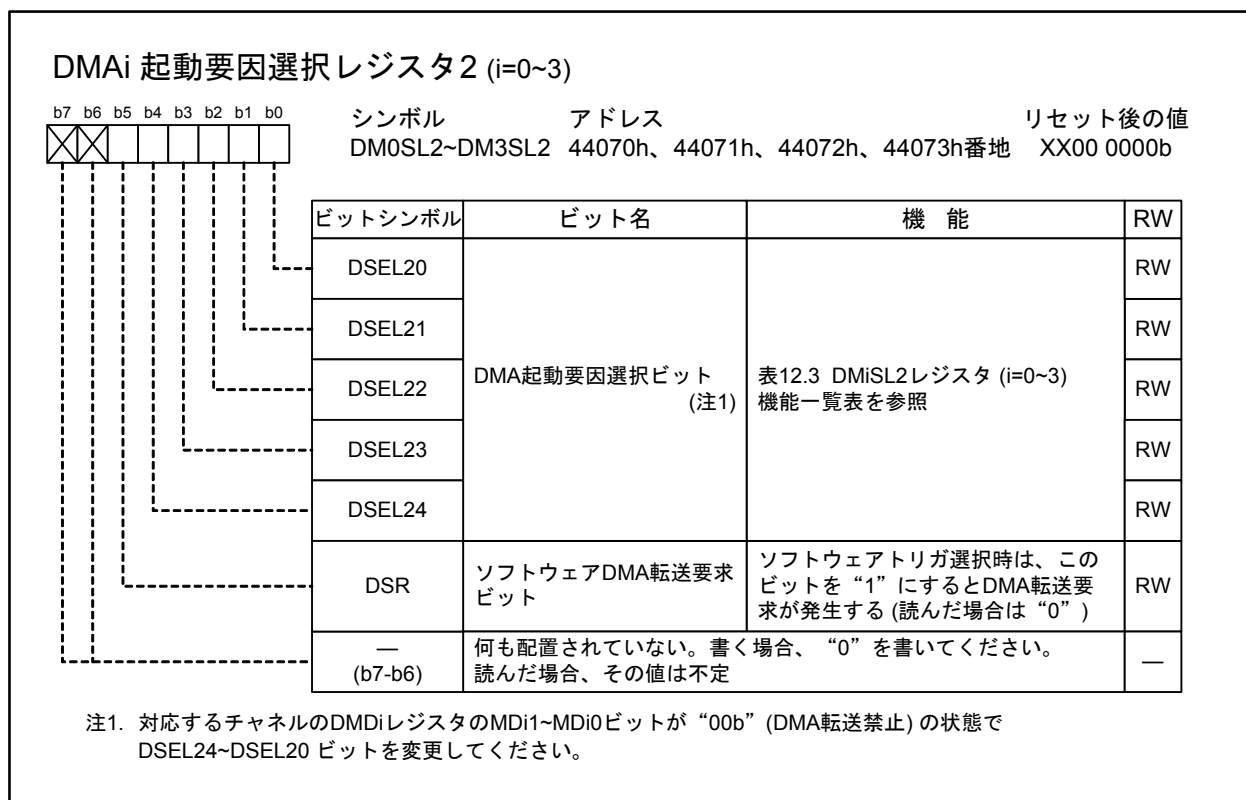


図 12.3 DM0SL2~DM3SL2 レジスタ

表 12.2 DMiSL レジスタ (i=0~3)機能一覧表

設定値 b4 b3 b2 b1 b0	DMA起動要因				
	DMA0	DMA1	DMA2	DMA3	
0 0 0 0 0	起動要因選択レジスタ2から選択				
0 0 0 0 1	INT0立ち下がりエッジ	INT1立ち下がりエッジ	INT2立ち下がりエッジ	INT3立ち下がりエッジ	(注1)
0 0 0 1 0	INT0両エッジ	INT1両エッジ	INT2両エッジ	INT3両エッジ	(注1)
0 0 0 1 1	タイマA0割り込み要求				
0 0 1 0 0	タイマA1割り込み要求				
0 0 1 0 1	タイマA2割り込み要求				
0 0 1 1 0	タイマA3割り込み要求				
0 0 1 1 1	タイマA4割り込み要求				
0 1 0 0 0	タイマB0割り込み要求				
0 1 0 0 1	タイマB1割り込み要求				
0 1 0 1 0	タイマB2割り込み要求				
0 1 0 1 1	タイマB3割り込み要求				
0 1 1 0 0	タイマB4割り込み要求				
0 1 1 0 1	タイマB5割り込み要求				
0 1 1 1 0	UART0送信割り込み要求				
0 1 1 1 1	UART0受信またはACK割り込み要求(注2)				
1 0 0 0 0	UART1送信割り込み要求				
1 0 0 0 1	UART1受信またはACK割り込み要求(注2)				
1 0 0 1 0	UART2送信割り込み要求				
1 0 0 1 1	UART2受信またはACK割り込み要求(注2)				
1 0 1 0 0	予約				
1 0 1 0 1	予約				
1 0 1 1 0	予約				
1 0 1 1 1	予約				
1 1 0 0 0	A/D0割り込み要求				
1 1 0 0 1	インテリジェントI/O 割り込み0要求	インテリジェントI/O 割り込み7要求	インテリジェントI/O 割り込み2要求	インテリジェントI/O 割り込み9要求	
1 1 0 1 0	インテリジェントI/O 割り込み1要求	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求	インテリジェントI/O 割り込み10要求	
1 1 0 1 1	インテリジェントI/O 割り込み2要求	インテリジェントI/O 割り込み9要求	インテリジェントI/O 割り込み4要求	インテリジェントI/O 割り込み11要求	
1 1 1 0 0	インテリジェントI/O 割り込み3要求	インテリジェントI/O 割り込み10要求	インテリジェントI/O 割り込み5要求	インテリジェントI/O 割り込み0要求	
1 1 1 0 1	インテリジェントI/O 割り込み4要求	インテリジェントI/O 割り込み11要求	インテリジェントI/O 割り込み6要求	インテリジェントI/O 割り込み1要求	
1 1 1 1 0	インテリジェントI/O 割り込み5要求	インテリジェントI/O 割り込み0要求	インテリジェントI/O 割り込み7要求	インテリジェントI/O 割り込み2要求	
1 1 1 1 1	インテリジェントI/O 割り込み6要求	インテリジェントI/O 割り込み1要求	インテリジェントI/O 割り込み8要求	インテリジェントI/O 割り込み3要求	

注1. INT_i端子 (i=0~3)への入力の立ち下がりエッジと両エッジがDMA起動要因になります。外部割り込み (INT_iICレジスタのPOLビット、LVSビット、IFSR0レジスタ)の影響を受けません。また、外部割り込みへ影響を与えません。

注2. UART_i受信 (i=0~2)とACKの切り替えは、UiSMRレジスタとUiSMR2レジスタによって行います。

表 12.3 DMiSL2レジスタ (i=0~3)機能一覧表

設定値 b4 b3 b2 b1 b0	DMA起動要因			
	DMA0	DMA1	DMA2	DMA3
0 0 0 0 0	ソフトウェアトリガ			
0 0 0 0 1	予約			
0 0 0 1 0	予約			
0 0 0 1 1	予約			
0 0 1 0 0	シリアルバスインタフェース0割り込み要求			
0 0 1 0 1	シリアルバスインタフェース1割り込み要求			
0 0 1 1 0	予約			
0 0 1 1 1	予約			
0 1 0 0 0	予約			
0 1 0 0 1	予約			
0 1 0 1 0	予約			
0 1 0 1 1	予約			
0 1 1 0 0	予約			
0 1 1 0 1	予約			
0 1 1 1 0	予約			
0 1 1 1 1	予約			
1 0 0 0 0	予約			
1 0 0 0 1	予約			
1 0 0 1 0	予約			
1 0 0 1 1	予約			
1 0 1 0 0	予約			
1 0 1 0 1	予約			
1 0 1 1 0	予約			
1 0 1 1 1	予約			
1 1 0 0 0	UART3送信割り込み要求			
1 1 0 0 1	UART3受信割り込み要求			
1 1 0 1 0	UART4送信割り込み要求			
1 1 0 1 1	UART4受信割り込み要求			
1 1 1 0 0	予約			
1 1 1 0 1	予約			
1 1 1 1 0	予約			
1 1 1 1 1	予約			

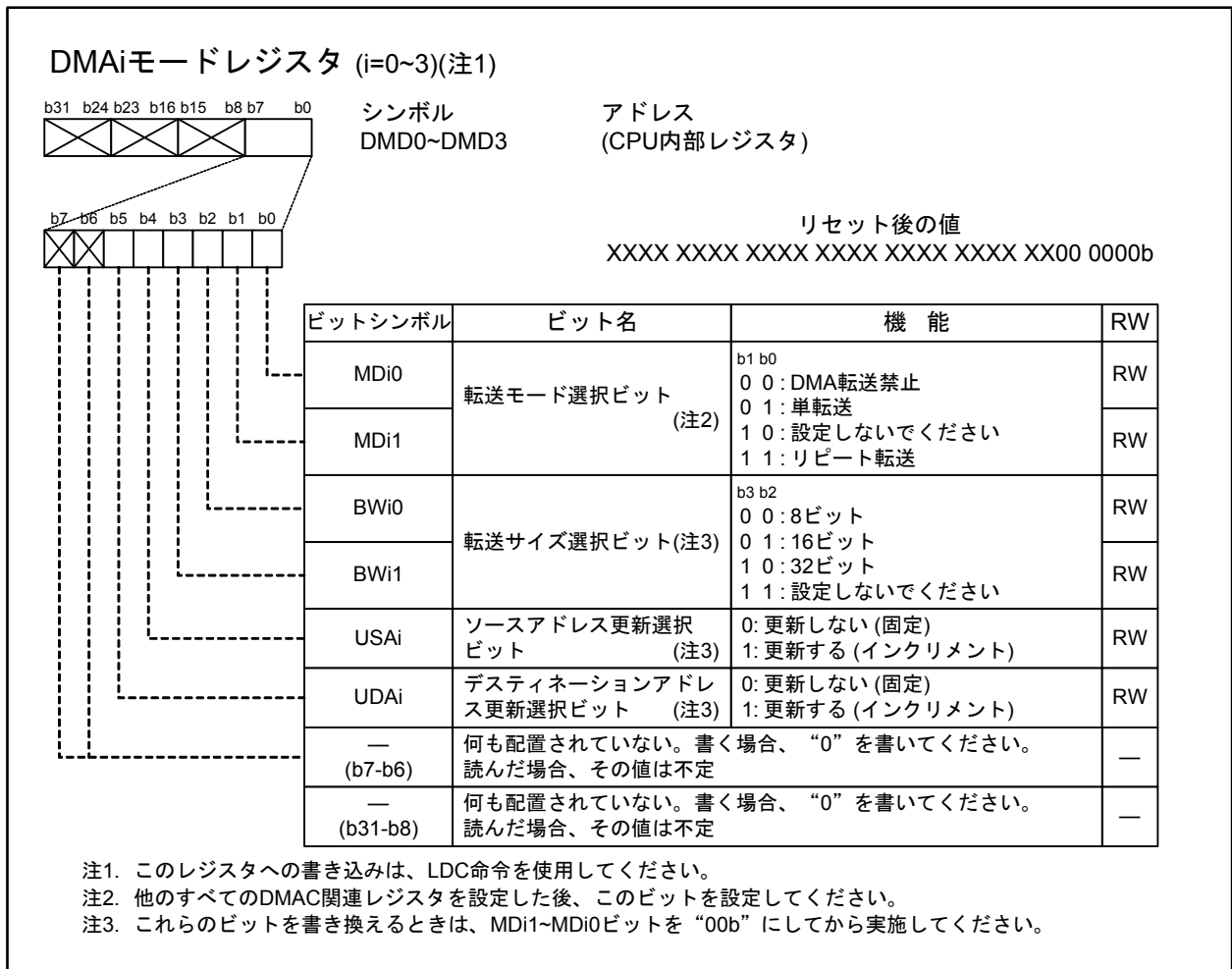


図 12.4 DMD0~DMD3 レジスタ

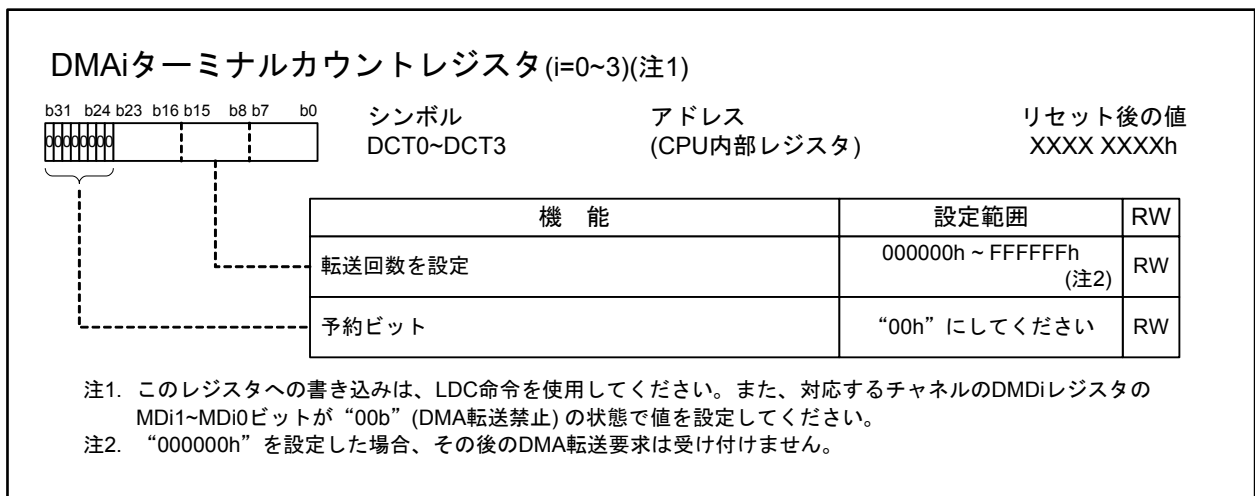


図 12.5 DCT0~DCT3 レジスタ

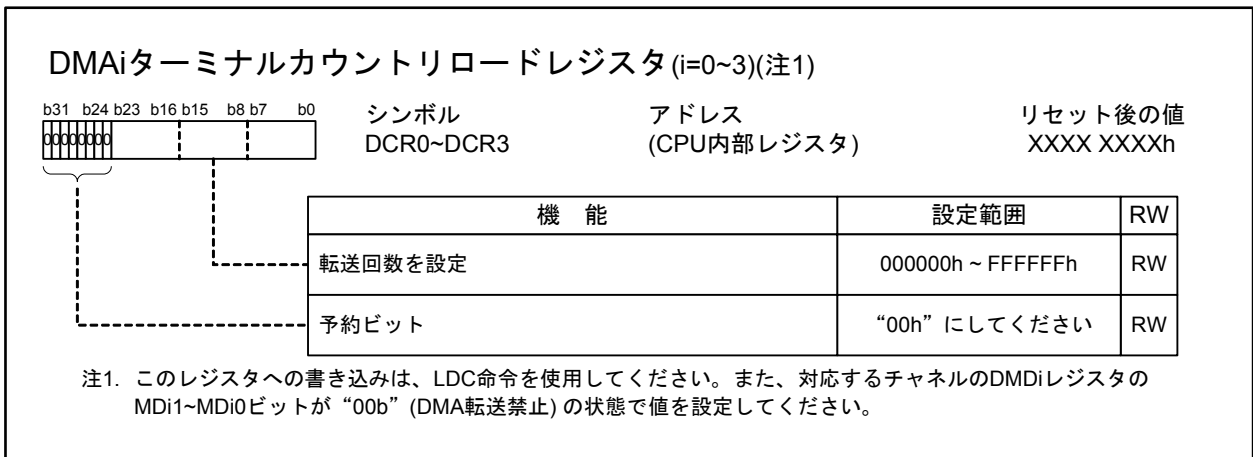


図 12.6 DCR0~DCR3 レジスタ

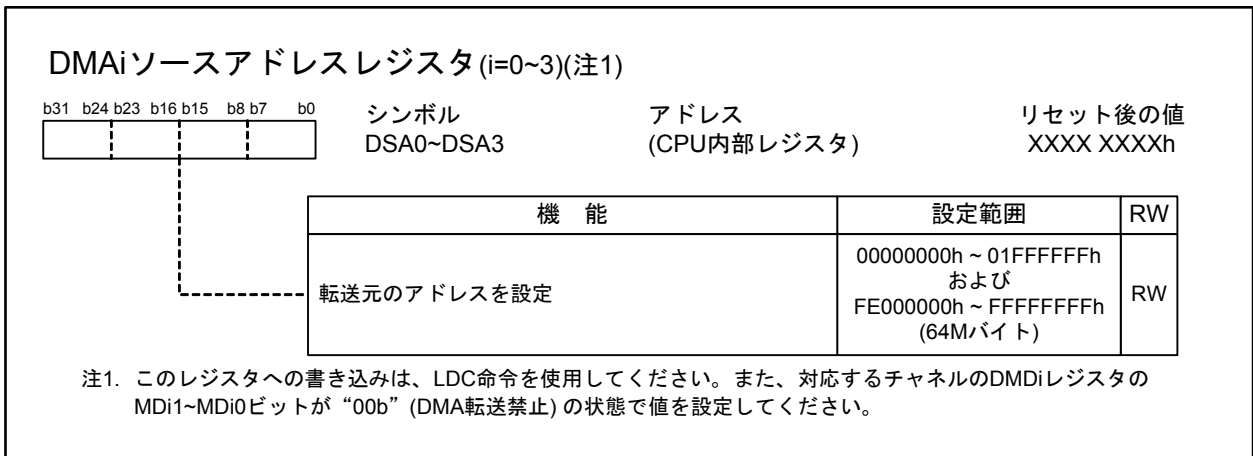


図 12.7 DSA0~DSA3 レジスタ

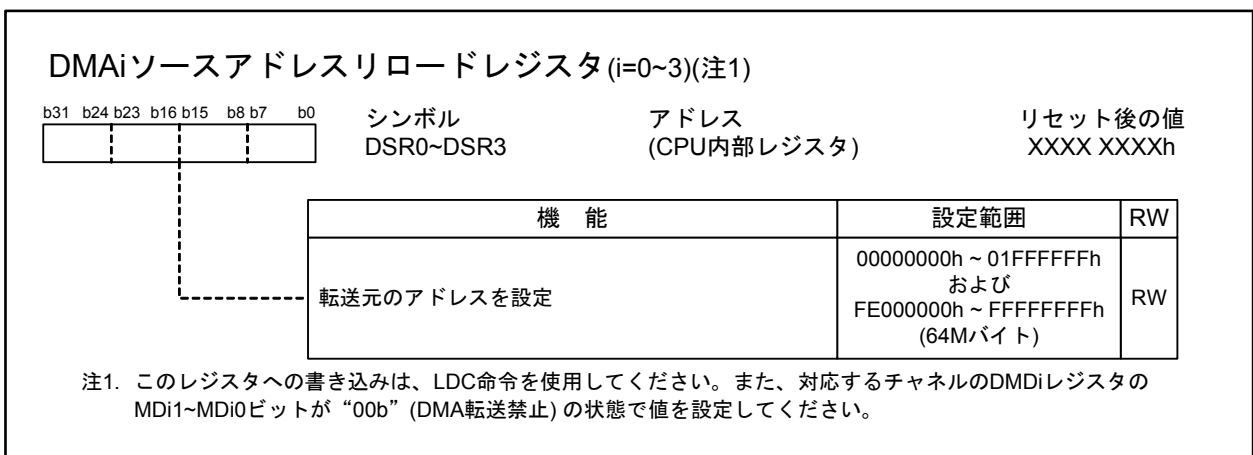


図 12.8 DSR0~DSR3 レジスタ

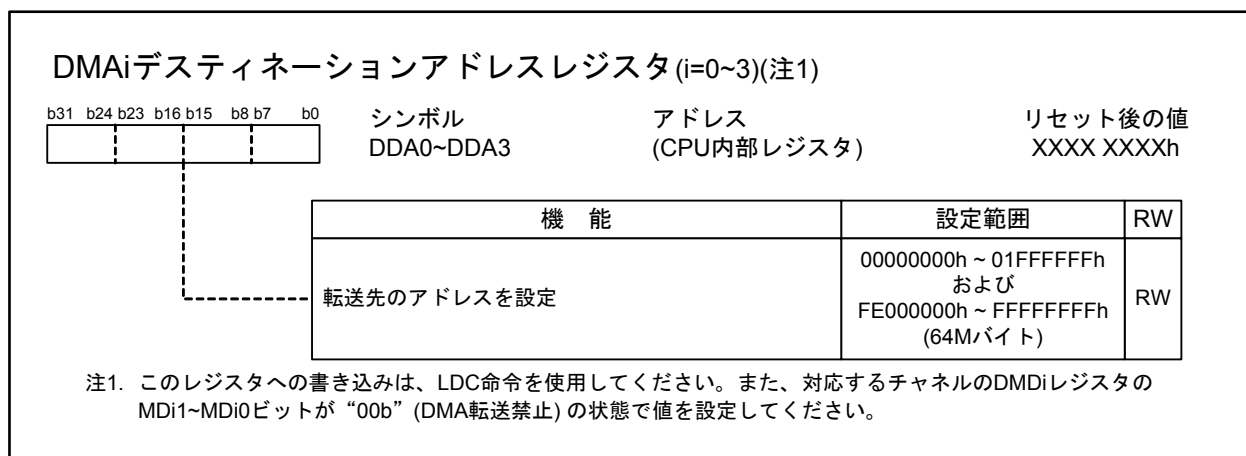


図 12.9 DDA0~DDA3レジスタ

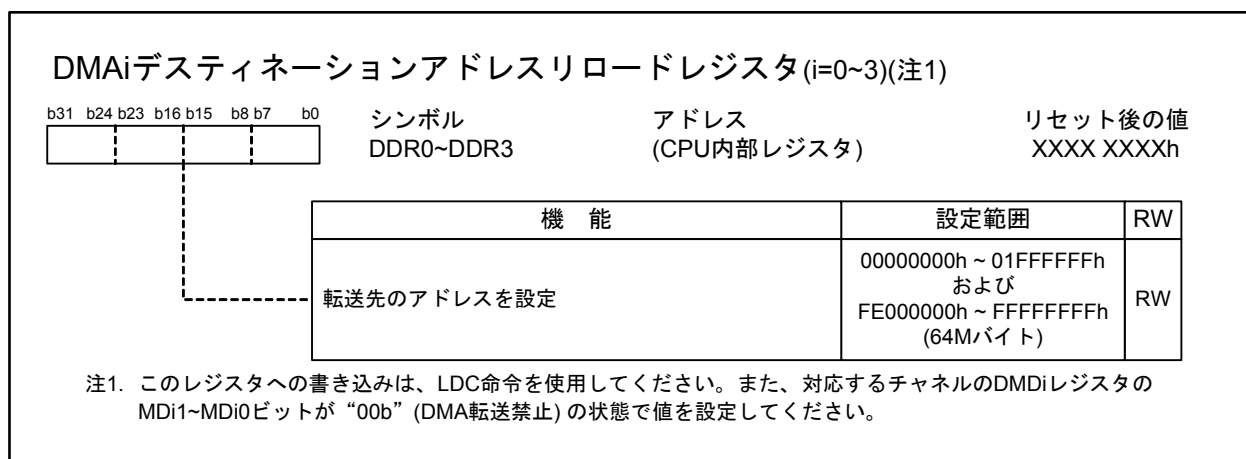


図 12.10 DDR0~DDR3レジスタ

12.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと、書き込み(destinations ライト)のバスサイクルで構成されています。

読み出しと書き込みのバスサイクル数は、DSAiレジスタ(i=0~3)とDDAiレジスタに設定する値や、対象とするデバイスが接続されているバスのデータバス幅、バスタイミングの影響を受けます。

12.1.1 転送番地とデータバス幅の影響

表 12.4 に転送番地のアライメントやデータバス幅によるバスサイクル数の増加を、転送単位別に示します。

表 12.4 転送番地とデータバス幅によるバスサイクル数の増加

転送単位	データバス幅	転送番地	増加するバスサイクル数	発生するバスサイクル	
8ビット	8~64ビット	n番地	0	[n]	
16ビット	8ビット	n番地	+1	[n]-[n+1]	
		16ビット	2n番地	0	[2n]
	32ビット	16ビット	2n+1番地	+1	[2n+1]-[2n+2]
			4n番地	0	[4n]
			4n+1番地	0	[4n+1]
			4n+2番地	0	[4n+2]
	64ビット	16ビット	4n+3番地	+1	[4n+3]-[4n+4]
			8n番地	0	[8n]
			8n+1番地	0	[8n+1]
			8n+2番地	0	[8n+2]
			8n+3番地	0	[8n+3]
			8n+4番地	0	[8n+4]
			8n+5番地	0	[8n+5]
	8n+6番地	0	[8n+6]		
8n+7番地	+1	[8n+7]-[8n+8]			
32ビット	8ビット	n番地	+3	[n]-[n+1]-[n+2]-[n+3]	
		16ビット	4n番地	+1	[4n]-[4n+2]
	32ビット	16ビット	4n+1番地	+2	[4n+1]-[4n+2]-[4n+4]
			4n+2番地	+1	[4n+2]-[4n+4]
			4n+3番地	+2	[4n+3]-[4n+4]-[4n+6]
			4n番地	0	[4n]
	64ビット	32ビット	4n+1番地	+1	[4n+1]-[4n+4]
			4n+2番地	+1	[4n+2]-[4n+4]
			4n+3番地	+1	[4n+3]-[4n+4]
			8n番地	0	[8n]
			8n+1番地	0	[8n+1]
			8n+2番地	0	[8n+2]
			8n+3番地	0	[8n+3]
			8n+4番地	0	[8n+4]
8n+5番地	+1	[8n+5]-[8n+8]			
8n+6番地	+1	[8n+6]-[8n+8]			
8n+7番地	+1	[8n+7]-[8n+8]			

12.1.2 バスタイミングの影響

R32C/100シリーズでは、デバイスごとに接続されるバスを分割し、それぞれバス幅、バスタイミングが異なります。デバイスごとのバス幅、アクセスサイクル数を表 12.5 に示します。

表 12.5 デバイスごとのバス幅およびバスサイクル数

デバイス名称	アドレス(注1)	バス幅	アクセスサイクル数(注2)	基準クロック
フラッシュメモリ	FFE00000h~FFFFFFFFh	64ビット	2 または 3 (注3)	CPUクロック
データフラッシュ	00060000h~00061FFFh	64ビット	5	CPUクロック
RAM	00000400h~0003FFFFh	64ビット	1 または 2 (注4)	CPUクロック
SFR領域	00000000h~0000001Fh	16ビット	3 (注5)	周辺バスクロック
	00000020h~000003FFFh	16ビット	2 (注5)	周辺バスクロック
SFR2領域	00040000h~00041FFFh	16ビット	2 (注5)	周辺バスクロック
	00042000h~00043FFFh	32ビット	2 (注5)	周辺バスクロック
	00044000h~000440DFh	16ビット	2 (注5、6)	周辺バスクロック
	000440E0h~000443FFFh	16ビット	3 (注5、6)	周辺バスクロック
	00044400h~00045FFFh	16ビット	2 (注5、6)	周辺バスクロック
	00046000h~000467FFFh	32ビット	3 (注5、6)	周辺バスクロック
	00046800h~00047FFFh	32ビット	2 (注5、6)	周辺バスクロック
	00048000h~0004FFFFh	64ビット	2	CPUクロック

注1. 予約領域を含みます。

注2. アクセスサイクル数は、それぞれのバスのクロックを基準にしています。

注3. 同一ページ内は2サイクル、ページを外れると3サイクルになります。

注4. ライトサイクルが連続する場合、2回目のライトサイクルは2サイクルになります。また、ライトサイクル直後のリードサイクルも2サイクルになります。

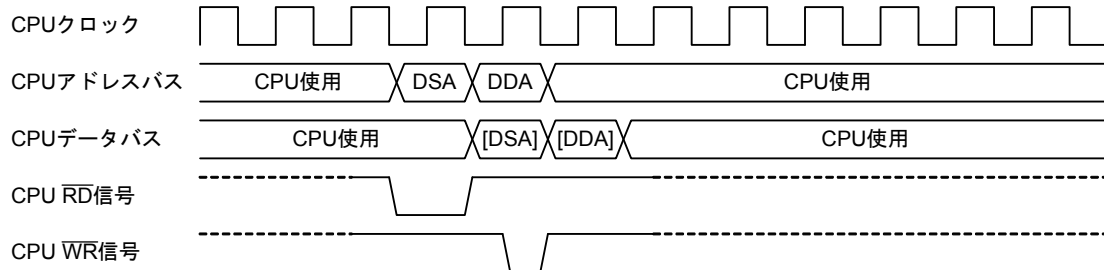
注5. SFRアクセスが連続した場合、2回目以降のアクセスはベースクロック1サイクル分増えます。

注6. 周辺バスクロックの位相によっては、最大1サイクル増える場合があります。

図 12.11 にソースリードについての転送サイクル例を示します。この図では、デスティネーションを内部RAMとし、デスティネーションライトサイクルを1サイクルとして、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にデスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、デスティネーションライトサイクルとソースリードサイクルに各条件を適用してください。たとえば図 12.11 (2) のようにバスサイクルが2回発生する場合は、ソースリードサイクルとデスティネーションライトサイクルは、それぞれにバスサイクルが2回必要となります。

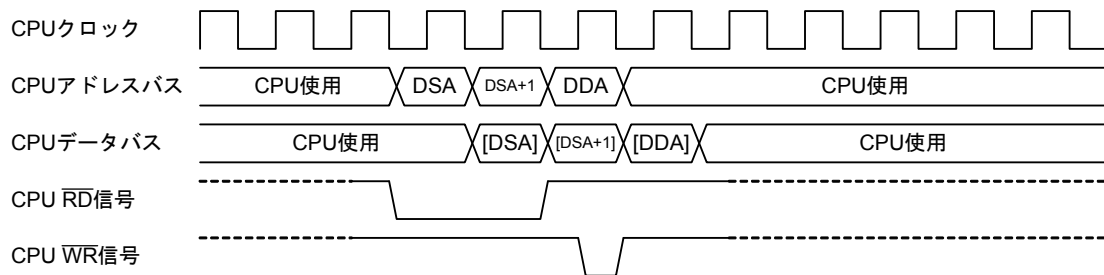
(1) ソースリードが1サイクルで完了する場合

例: RAM上の8n番地から16ビットデータを転送する場合



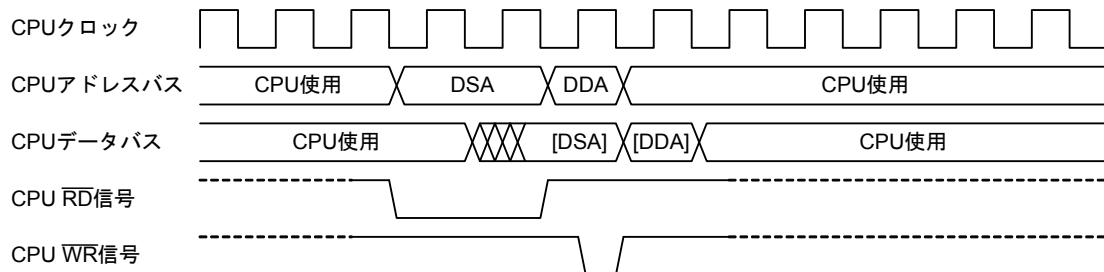
(2) ソースリードのバスサイクルが2回発生する場合

例: RAM上の8n+7番地から16ビットデータを転送する場合



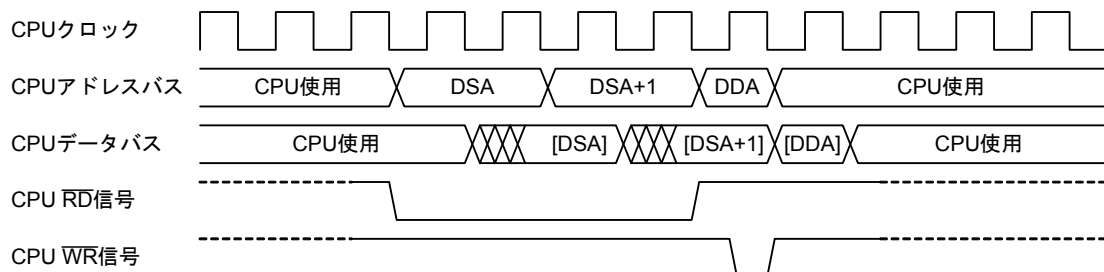
(3) (1) の条件でソースリードに1ウェイトが入ったとき

例: ROM上の16n番地から16ビットデータを転送する場合



(4) (2) の条件でソースリードに1ウェイトが入ったとき

例: ROM上の16n+7番地から16ビットデータを転送する場合



注1. デスティネーションライトサイクルが1サイクルの例です。

デスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図 12.11 ソースリードについての転送サイクル例

12.2 DMA転送サイクル数

DMA転送のサイクル数は以下のとおり計算できます。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k + 1$$

読み出しサイクル数はソースリードに必要なバスサイクル数、書き込みサイクル数はデスティネーションライトに必要なバスサイクル数で、それぞれ最低1サイクル必要です。アドレスによってサイクル数が増加しますので表 12.4からバスサイクル数を求めてください。

j は読み出しに必要なアクセスサイクル数、 k は書き込みに必要なアクセスサイクル数で、表 12.5を参照ください。

最後の+1はDCT i レジスタ($i=0\sim 3$)の減算サイクルです。

たとえば400h番地(RAM)から800h番地(RAM)に32ビットデータのDMA転送を行う場合、転送サイクル数は、

$$\begin{aligned}\text{転送サイクル数} &= 1 \times 1 + 1 \times 1 + 1 \\ &= 3\end{aligned}$$

と計算できます。

また、周辺バスクロックがCPUクロックの1/2の周波数のときに、AD00レジスタ(380h番地)からP1レジスタ(3C1h番地)、P0レジスタ(3C0h番地)に16ビットデータのDMA転送を行う場合、転送サイクル数は、

$$\begin{aligned}\text{転送サイクル数} &= 1 \times 2 \times 2 + 1 \times 2 \times 2 + 1 \\ &= 9\end{aligned}$$

と計算できます。

12.3 チャンネル優先順位とDMA転送タイミング

複数のDMA転送要求が同一サンプリング期間(CPUクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)に入った場合、これらの要求は同時にDMACに入力されます。この場合のチャンネル優先順位は、DMA0>DMA1>DMA2>DMA3です。

以下、DMA0とDMA1への転送要求が同一サンプリング期間に入った場合の動作を、図12.12に示す外部要因によるDMA転送例を例に説明します。

図12.12ではDMA0への転送要求とDMA1への転送要求が同時に発生したので、まずチャンネル優先順位が高いDMA0が転送を開始し、1転送単位終了後CPUにバスを明け渡します。CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバスを明け渡します。

なお、DMA転送要求の回数はカウントできませんので、図12.12のDMA1のようにバスの使用が許可されるまでに複数回 $\overline{\text{INT1}}$ 割り込みが発生した場合も、転送回数は1回です。

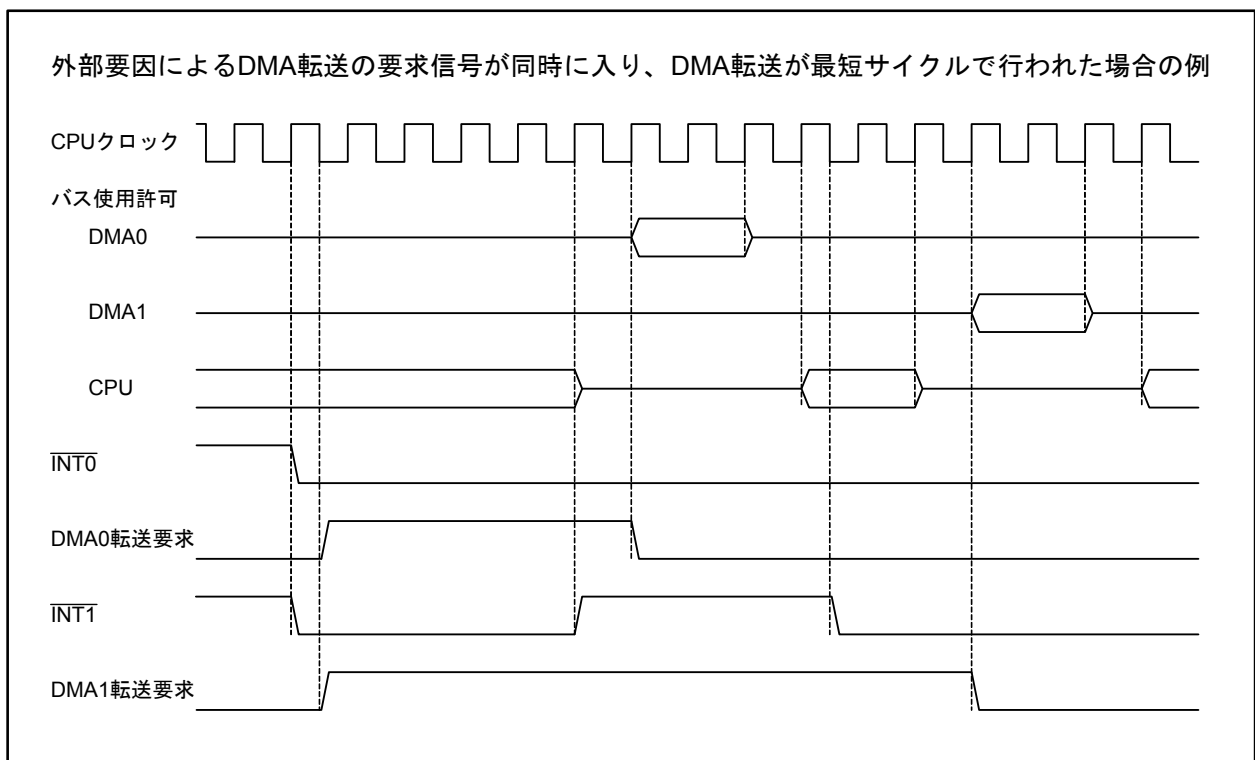


図 12.12 外部要因によるDMA転送例

12.4 DMAコントローラ使用上の注意

12.4.1 DMAC関連レジスタの設定

- DMAC関連レジスタを設定する場合、設定するチャンネルのDMDiレジスタ(i=0~3)のMDi1~MDi0ビットが“00b”(DMA転送禁止)の状態を設定し、最後にMDi1~MDi0ビットを“01b”(単転送)または“11b”(リピート転送)に設定してください。DMDiレジスタのUDAi、USAi、BWi1~BWi0ビットを書き換える場合も、MDi1~MDi0ビットが“00b”(DMA転送禁止)のときに実施してください。
- DMA転送を許可した後でDMAC関連レジスタを書き換える必要が生じた場合、まずDMA転送要求が発生しないようにDMA起動要因となる周辺機能を停止し、次に書き換えたいチャンネルのDMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてから実施してください。
- 一旦DMA転送要求が受け付けられた後は、DMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてもDMA転送を禁止することはできません。この場合、DMA転送が完了するまでMDi1~MDi0ビット以外のDMAC関連レジスタの設定を変更しないでください。
- DMiSL、DMiSL2レジスタを設定した後、周辺バスクロックで6クロック以上待ってから、DMDiレジスタのMDi1~MDi0ビットに“01b”(単転送)または“11b”(リピート転送)を書いてください。

12.4.2 DMAC関連レジスタの読み出し

- DMiSL、DMiSL2レジスタをそれぞれ連続して読み出す場合、以下の順で読み出してください。
DM0SL→DM1SL→DM2SL→DM3SL
DM0SL2→DM1SL2→DM2SL2→DM3SL2

13. DMAC II

周辺機能からの割り込み要求により起動し、CPUの命令を介さずにデータ転送を行います。転送対象にはメモリ、即値、メモリ+メモリ、即値+メモリが選択できます。

表 13.1にDMAC IIの仕様を示します。

表 13.1 DMAC IIの仕様

項目	仕様
DMAC II起動要因	割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求
転送対象	<ul style="list-style-type: none"> •メモリ→メモリ(メモリ間転送) •即値→メモリ(即値転送) •メモリ+メモリ→メモリ(演算転送) •即値+メモリ→メモリ(演算転送)
転送サイズ	8ビット、16ビット
転送空間	64Mバイト(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFh)の任意の空間から64Mバイトの任意の空間へデータ転送(注1)
アドレッシング	転送元と転送先で個別に以下の2つから選択可能 <ul style="list-style-type: none"> •固定: 毎回同じアドレス •インクリメント: データ転送1回ごとにアドレスを1(転送サイズ=8ビット)または2(転送サイズ=16ビット)加算
転送方式	<ul style="list-style-type: none"> •単転送: 一度の転送要求でデータ転送を1回だけ実行 •バースト転送: 一度の転送要求で転送カウンタに設定された回数のデータ転送を連続して実行 •複数転送: 一度の転送要求でそれぞれ異なる転送元/転送先に対する複数回のメモリ間転送を実行
チェーン転送機能	複数のDMAC IIインデックス(転送情報)を順次切り替えてデータ転送を実行
転送完了割り込み要求	転送カウンタが“0000h”になったとき発生

注1. ただし、転送サイズが16ビットで転送先アドレスが“FFFFFFFh”のとき、FFFFFFFh番地と00000000h番地に転送します。転送元アドレスが“FFFFFFFh”のときも同様です。

13.1 DMAC IIの設定

DMAC IIを使用する場合、以下の設定を行ってください。

- RIPL1レジスタ、RIPL2レジスタ
- DMAC IIインデックス
- DMAC IIの起動要因となる周辺機能の割り込み制御レジスタ
- DMAC IIの起動要因となる周辺機能の可変ベクタ
- インテリジェントI/O割り込みを使用する場合、IIOiIEレジスタ (i=0~11)のIRLTビット。IIOiIEレジスタについては「10. 割り込み」を参照してください。

13.1.1 RIPL1、RIPL2レジスタ

RIPL1、RIPL2レジスタ両方のDMAIIビットを“1”(DMA II転送)に、FSITビットを“0”(通常割り込み)にすると、割り込み制御レジスタのILVL2~ILVL0ビットを“111b”(レベル7)にしたすべての周辺機能からの割り込み要求で、DMAC IIが起動します。

図 13.1にRIPL1、RIPL2レジスタを示します。

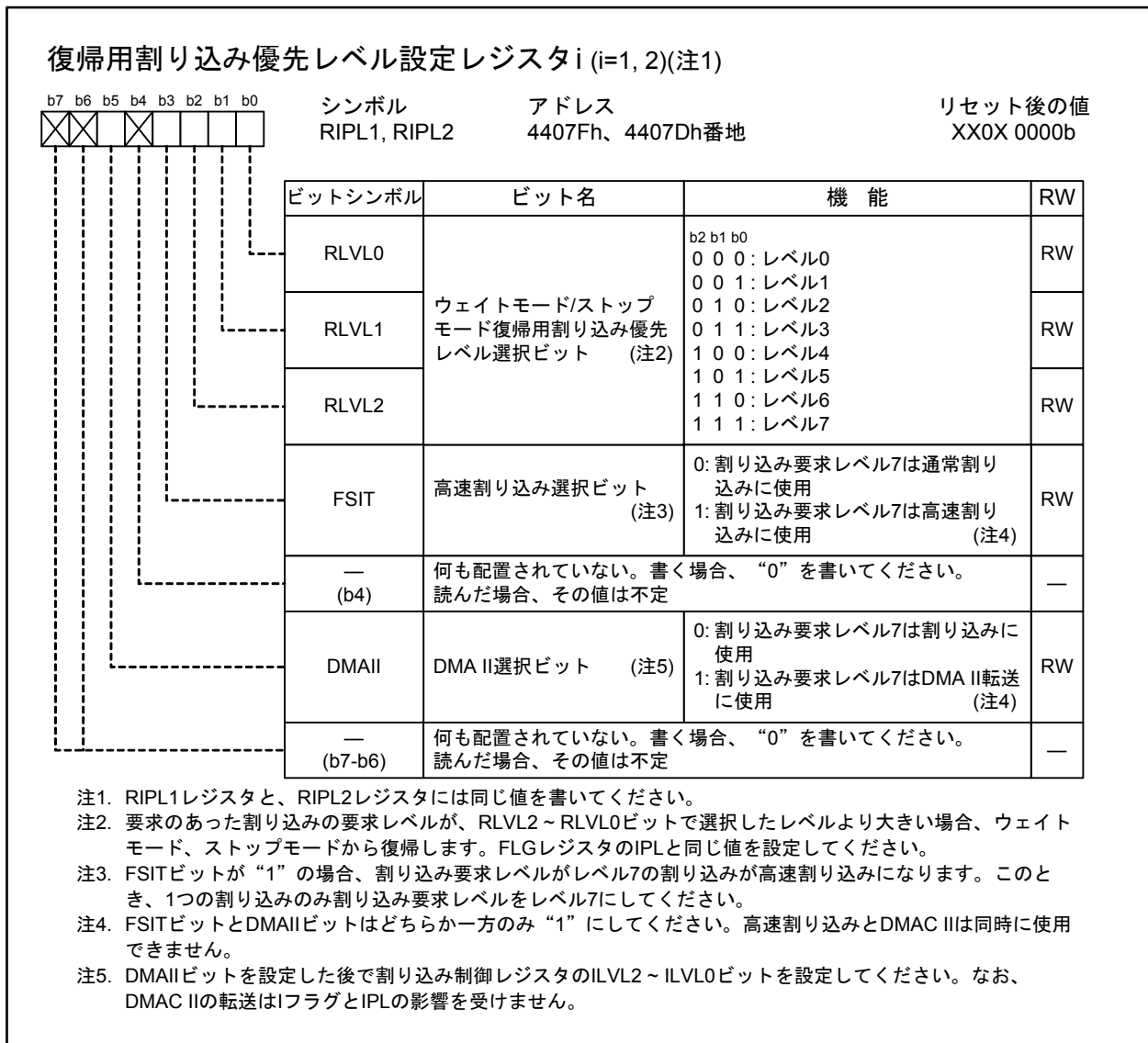


図 13.1 RIPL1、RIPL2レジスタ

13.1.2 DMAC II インデックス

DMAC II インデックスは12~60バイトで構成されるデータテーブルで、転送モード、転送カウンタ、転送元アドレス(または即値データ)、演算対象のアドレス、転送先アドレス、チェーン転送ベースアドレス、転送完了割り込みベクタアドレスのパラメータを格納します。

DMAC II インデックスはRAMに配置してください。

図 13.2にDMAC II インデックスを、表 13.2にDMAC II インデックスの記述例を示します。

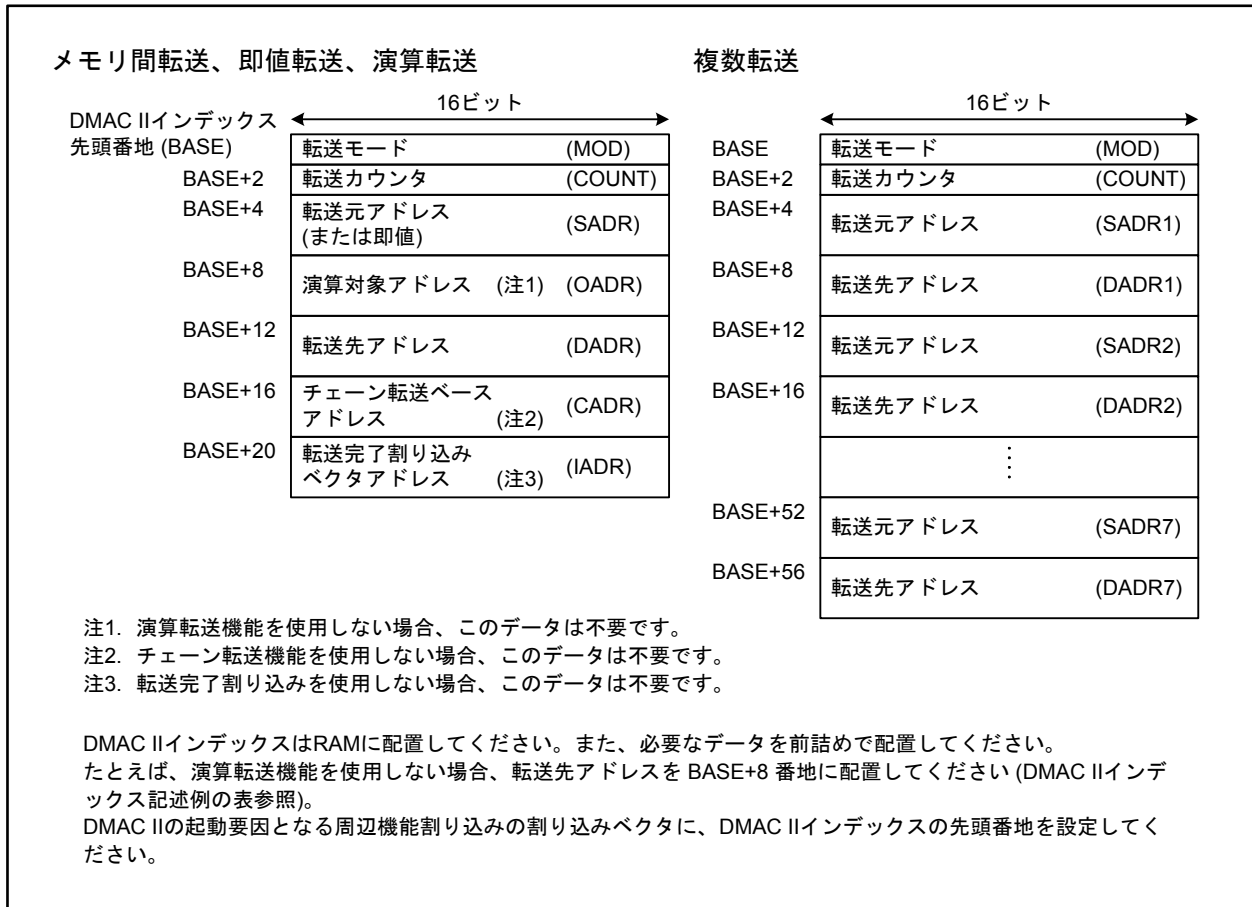


図 13.2 DMAC II インデックス

次に、DMAC II インデックスの内容を説明します。これらのデータは使用するDMAC IIの転送モードに応じて表 13.2に示す順序で配置してください。

- **転送モード (MOD)**
2バイトデータで、転送モードを設定してください。図 13.3に転送モードの設定内容を示します。
- **転送カウンタ (COUNT)**
2バイトデータで、転送回数を設定してください。
- **転送元アドレス (SADR)**
4バイトデータで、転送元メモリのアドレスまたは即値を設定してください。即値の場合、上位2バイトは無視されます。
- **演算対象アドレス (OADR)**
4バイトデータで、演算対象となるメモリのアドレスを設定してください。演算転送機能を使用する場合のみ、このデータを設定してください。

- 転送先アドレス(DADR)
4バイトデータで、転送先メモリのアドレスを設定してください。
- チェーン転送ベースアドレス(CADR)
4バイトデータで、次回に行う転送のDMAC IIインデックス先頭番地(BASE)を設定してください。
チェーン転送機能を使用する場合のみ、このデータを設定してください。
- 転送完了割り込みベクタアドレス(IADR)
4バイトデータで、転送完了割り込み処理の飛び先アドレスを設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

なお、これ以降の説明では各パラメータ名は上記()内の記号を使用します。

表 13.2 DMAC IIインデックス記述例

転送データ	メモリ間転送/即値転送				演算転送				複数転送	
	不使用	使用	不使用	使用	不使用	使用	不使用	使用	使用できません	
チェーン転送	不使用	使用	不使用	使用	不使用	使用	不使用	使用	使用できません	
転送完了割り込み	不使用	不使用	使用	使用	不使用	不使用	使用	使用	使用できません	
DMAC II インデックス	MOD	MOD	MOD	MOD	MOD	MOD	MOD	MOD	MOD	
	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	COUNT	
	SADR	SADR	SADR	SADR	SADR	SADR	SADR	SADR	SADR ₁	
	DADR	DADR	DADR	DADR	OADR	OADR	OADR	OADR	DADR ₁	
	12バイト	CADR	IADR	CADR	IADR	DADR	DADR	DADR	DADR	



図 13.3 MOD

13.1.3 周辺機能の割り込み制御レジスタ

DMAC II の起動要因に使用する周辺機能割り込みの割り込み制御レジスタは、ILVL2~ILVL0 ビットを“111b” (レベル7)にしてください。

13.1.4 周辺機能の可変ベクタテーブル

DMAC II の起動要因となる周辺機能割り込みの割り込みベクタに、DMAC II インデックスの先頭番地を設定してください。

チェーン転送を使用するときは、可変ベクタテーブルをRAMに配置してください。

13.1.5 IIOiE レジスタ (i=0~11)のIRLT ビット

インテリジェントI/O割り込みによりDMAC IIを起動する場合、起動要因となる割り込みのIIOiE レジスタのIRLT ビットを“0” (割り込み要求をDMA、DMA IIで使用)にしてください。

13.2 DMAC IIの動作

RIPL1、RIPL2 レジスタのDMAII ビットを“1” (割り込み要求レベル7はDMA II 転送に使用)にすると、DMA II 転送機能が選択されます。割り込み制御レジスタのILVL2~ILVL0 ビットを“111b” (レベル7)にしたすべての周辺機能割り込み要求が、DMAC II の起動要因になります。これらの周辺機能の割り込み要求は、DMA II 転送要求となりますので、CPUへの割り込み要求としては使用できません。

ILVL2~ILVL0 ビットが“111b”の割り込み要求が発生すると、IフラグとIPLに関係なくDMAC IIが起動します。

なお、DMAC II の起動要因となる周辺機能割り込み要求と、より優先順位の高い割り込み要求(ウォッチドッグタイマ割り込み、発振停止検出割り込み、NMI)が同時に発生した場合、優先順位の高い割り込みがDMA II 転送よりも優先して受け付けられ、その割り込みシーケンス終了後にDMA II 転送が開始されます。

13.3 転送対象

DMAC IIでは、以下の3種類の転送対象に対し8ビットまたは16ビット単位でデータ転送を行います。

- メモリ間転送: 64Mバイト空間(00000000h~01FFFFFFhおよびFE000000h~FFFFFFFh)の任意のメモリから同空間の任意のメモリに転送します。
- 即値転送: 即値データを64Mバイト空間の任意のメモリに転送します。
- 演算転送: 2つのデータを加算し、加算結果を64Mバイト空間の任意のメモリに転送します。

ただし、転送サイズが16ビットでDADRが“FFFFFFFh”のとき、FFFFFFFh番地と00000000h番地に転送します。SADRが“FFFFFFFh”のときも同様です。

13.3.1 メモリ間転送

任意のメモリから任意のメモリへ転送します。転送の種類は、以下のとおりです。

- アドレス固定のメモリからアドレス固定のメモリへの転送
- アドレス固定のメモリから連続するメモリ領域への転送
- 連続するメモリ領域からアドレス固定のメモリへの転送
- 連続するメモリ領域から連続するメモリ領域への転送

アドレッシングに「インクリメント」を選択した場合、転送後、次回の転送のためにSADR、DADRがインクリメントされます。アドレスは、転送サイズが8ビットの場合は1、16ビットの場合は2加算されます。アドレスを加算することでSADRまたはDADRが“FFFFFFFh”を超える場合、アドレスは“00000000h”に戻ります。同様にSADRまたはDADRが“01FFFFFFh”を超える場合、アドレスは“02000000h”となりますが、実際の転送はFE000000h番地に対して実行されます。

13.3.2 即値転送

即値を任意のメモリへ転送します。転送先のアドレッシングには「固定」または「インクリメント」を選択できます。SADRに即値を格納してください。8ビットの即値を転送する場合、SADRの下位1バイトに、16ビットの即値を転送する場合、SADRの下位2バイトにデータを設定してください(それぞれ上位3バイト、上位2バイトは無視されます)。

13.3.3 演算転送

任意のメモリの内容と任意のメモリの内容、または即値と任意のメモリの内容を加算した結果を任意のメモリに転送します。SADRに演算対象データのアドレスまたは即値を設定し、OADRにもう一方の演算対象データのアドレスを設定してください。メモリ+メモリ演算転送の場合、転送元と転送先のアドレッシングに「固定」または「インクリメント」が選択できます。転送元アドレッシングが「インクリメント」の場合には、演算対象のアドレッシングも「インクリメント」となります。即値+メモリ演算転送の場合、転送先のアドレッシングのみ「固定」または「インクリメント」から選択できます。

13.4 転送方式

DMAC IIでは単転送、バースト転送、複数転送が行えます。転送回数はCOUNTで設定します。COUNTが“0000h”の場合、転送は行いません。

13.4.1 単転送

MODのBRSTビットを“0”にすると単転送が選択されます。

一度の転送要求で、データ転送を1回だけ実行します。

転送元または転送先のアドレッシングに「インクリメント」を選択した場合、転送後、次回の転送のためにアドレスをインクリメントします。COUNTは、データ転送が1回実行されるごとにデクリメントされます。MODのINTEビットが“1”(転送完了割り込みを使用する)の場合、COUNTが“0000h”になった時点で、転送完了割り込み要求が発生します。

13.4.2 バースト転送

MODのBRSTビットを“1”にするとバースト転送が選択されます。

一度の転送要求で、COUNTで設定された回数分、連続してデータ転送を実行します。

COUNTはデータ転送が1回実行されるごとにデクリメントされ、“0000h”になったときバースト転送が終了します。INTEビットが“1”(転送完了割り込みを使用する)の場合、バースト転送終了時、転送完了割り込み要求が発生します。

なお、バースト転送中は、すべての割り込みを受け付けません。

13.4.3 複数転送

MODのMULTビットを“1”にすると複数転送が選択されます。

一度の転送要求でそれぞれ異なる転送元/転送先に対する複数回のメモリ間転送を行います。転送数はMODのCNT2~CNT0ビットで“001b”(1回)~“111b”(7回)が選択できます。なお、CNT2~CNT0ビットは“000b”にしないでください。

転送数分のSDAR、DADRをMOD、COUNTに続く番地にそれぞれ交互に配置してください。

複数転送選択時、演算転送、バースト転送、チェーン転送、および転送完了割り込みの各機能は使用できません。

13.5 チェーン転送

MODのCHAINビットを“1”にするとチェーン転送機能が有効になります。

チェーン転送時は以下のように動作します。

- (1) 転送要求が発生すると、その要因の割り込みベクタで示されるDMAC IIインデックスの内容に従ってデータ転送を実行します。BRSTビットが“0”のときは単転送、“1”のときはバースト転送が実行されます。
- (2) COUNTが“0000h”になったとき、(1)の割り込みベクタがCADRの値に書き換わります。INTEビットが“1”の場合は、同時に転送完了割り込み要求が発生します。
- (3) 次にDMA II転送要求が発生すると、(2)で書き換えた割り込みベクタが示すDMAC IIインデックスの内容に従ってデータ転送を実行します。

図13.4にチェーン転送時の可変ベクタとDMAC IIインデックスを示します。

チェーン転送を使用する場合、可変ベクタテーブルはRAMに配置してください。

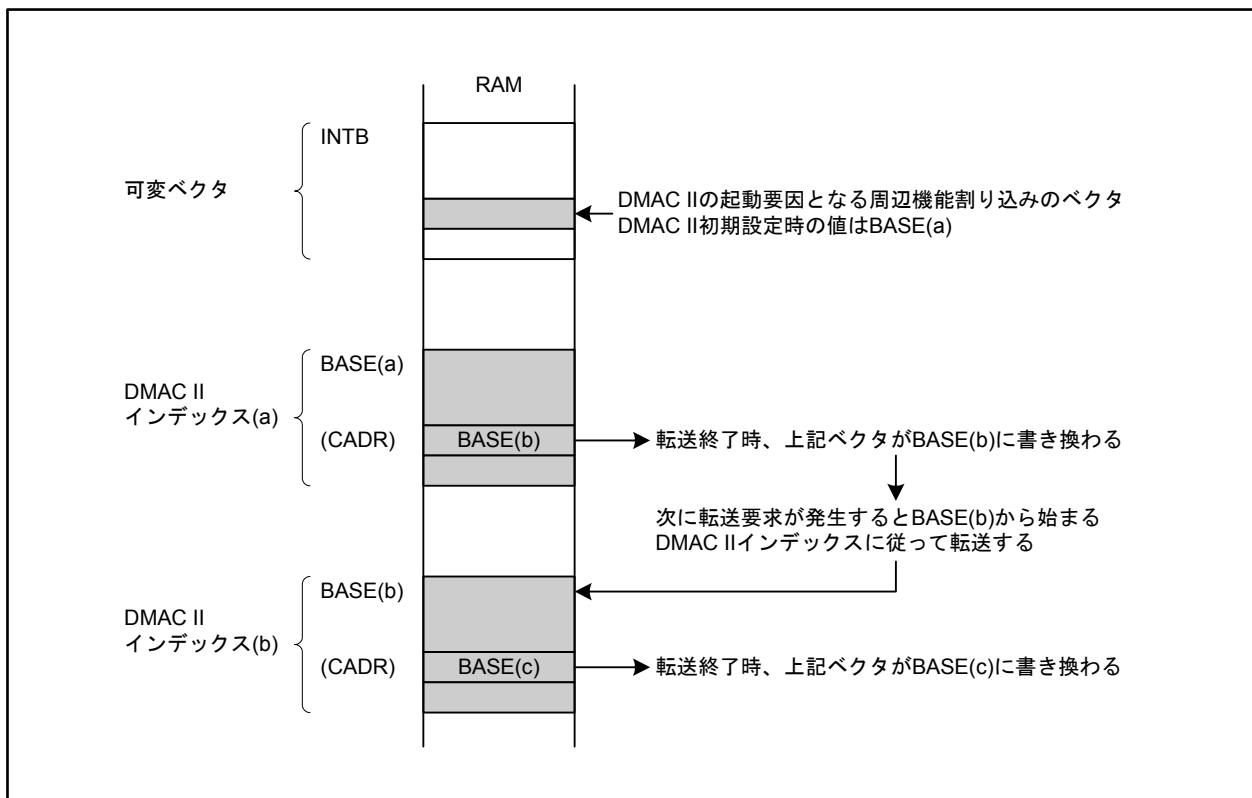


図 13.4 チェーン転送時の可変ベクタとDMAC IIインデックス

13.6 転送完了割り込み

MODのINTEビットを“1”にすると、転送完了割り込み要求を発生させることができます。転送完了割り込み処理ルーチンの先頭番地をIADRに設定してください。転送完了割り込み要求は、COUNTが“0000h”になったとき発生します。

転送完了割り込み処理ルーチンの最初の命令は、DMA II転送が完了した7サイクル後に実行されます。

13.7 実行時間

DMAC IIの実行サイクル数は以下のとおり計算できます。

複数転送以外: $t = 6 + (26 + a + b + c + d) \times m + (4 + e) \times n$ [サイクル]

複数転送: $t = 21 + (11 + b + c) \times k$ [サイクル]

- a: IMM=0 (転送元が即値)の場合 a=0、
IMM=1 (転送元がメモリ)の場合 a=1
- b: UPDS=1 (転送元アドレッシングがインクリメント)の場合 b=0、
UPDS=0 (転送元アドレッシングが固定)の場合 b=1
- c: UPDD=1 (転送先アドレッシングがインクリメント)の場合 c=0、
UPDD=0 (転送先アドレッシングが固定)の場合 c=1
- d: OPER=0 (演算機能なし)の場合 d=0
OPER=1 (演算機能あり)でUPDS=0 (転送元が即値かアドレス固定)の場合 d=7、
OPER=1 (演算機能あり)でUPDS=1 (転送元アドレッシングがインクリメント)の場合 d=8
- e: CHAIN=0 (チェーン転送機能なし)の場合 e=0、
CHAIN=1 (チェーン転送機能あり)の場合 e=4
- m: BRST=0 (単転送)の場合 m=1、
BRST=1 (バースト転送)の場合 m=COUNT
- n: COUNTが“0001h”の場合 n=0、
COUNTが“0002h”以上の場合 n=1
- k: CNT2~CNT0ビットで設定した転送数

上式は概算値であり、CPUの状態、バスウェイトやDMAC IIインデックスの配置によりサイクル数は変化します。

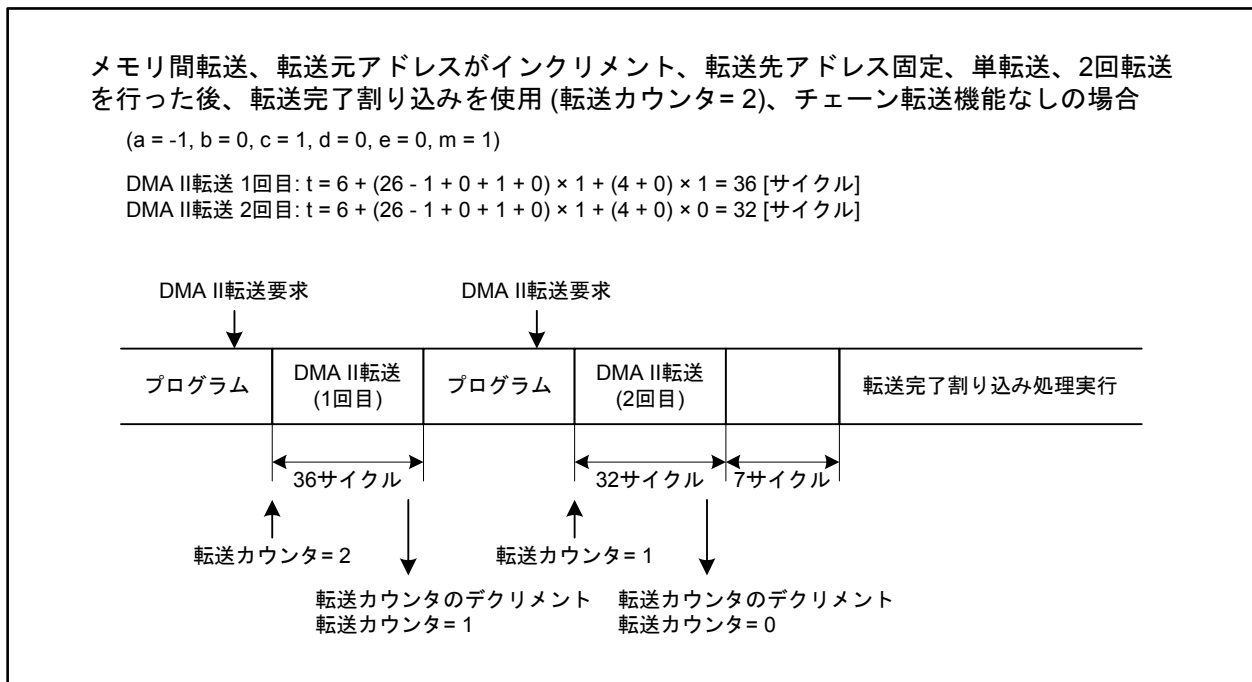


図 13.5 転送時間

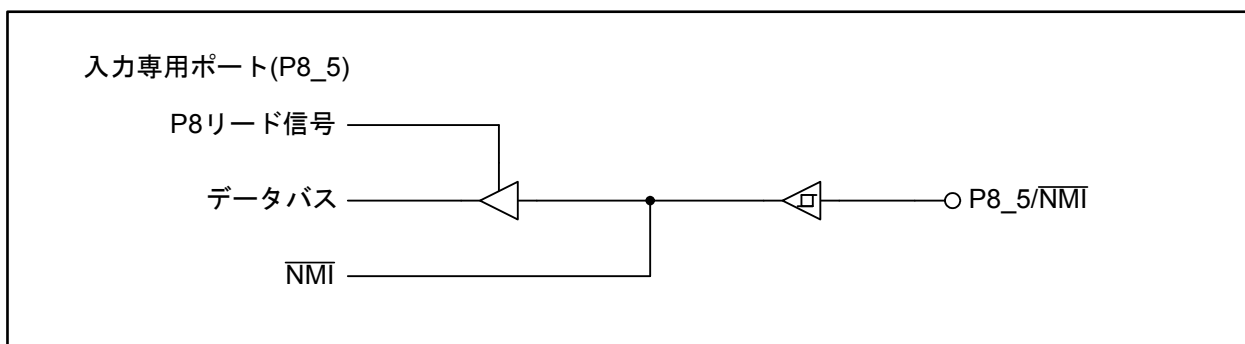


図 14.2 入力専用ポートの構成(1)

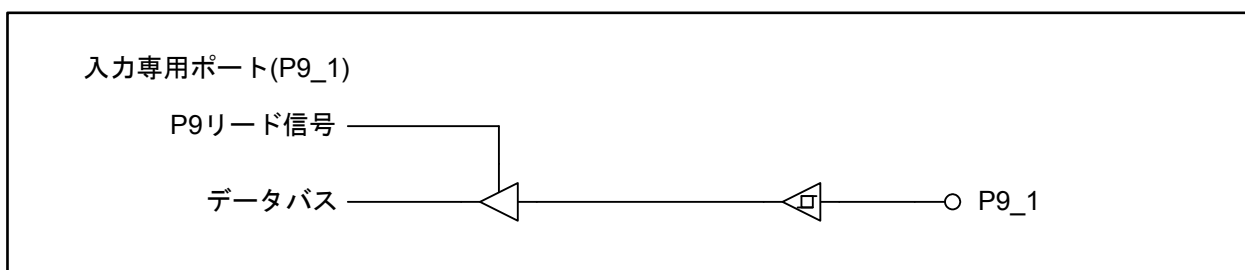


図 14.3 入力専用ポートの構成(2)

14.1 ポートPiレジスタ (Piレジスタ、i=0~10)

外部とのデータ入出力は、Piレジスタへの書き込みと読み出しによって行います。Piレジスタは出力データを保持するポートラッチと端子の状態を読む回路で構成されています。Piレジスタの各ビットは各ポートと一対一に対応しています。

出力機能選択レジスタでプログラマブル入出力ポートを選択した場合、出力のときはポートラッチの値が、入力の場合は端子の状態が読めます。

図 14.4にPiレジスタを示します。

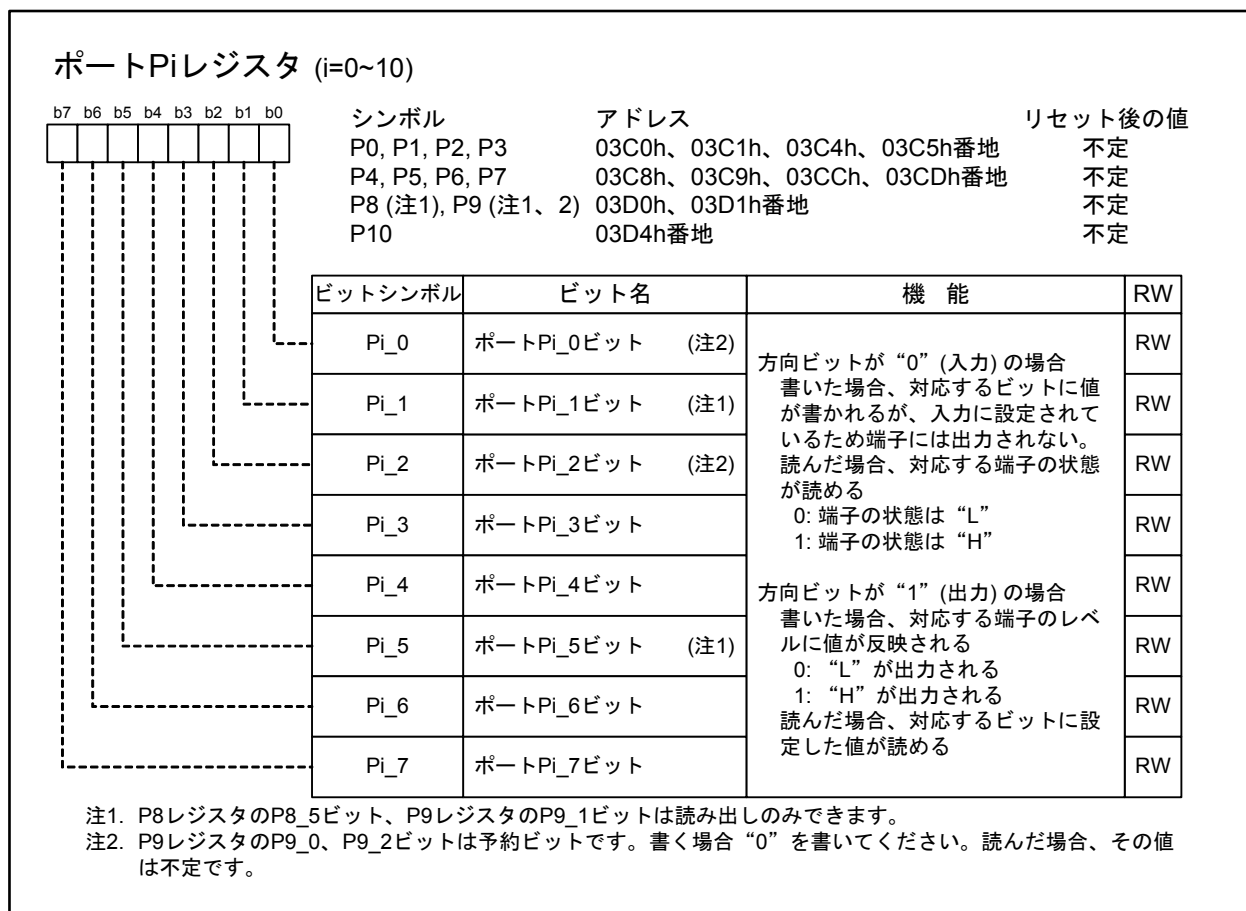


図 14.4 P0~P10レジスタ

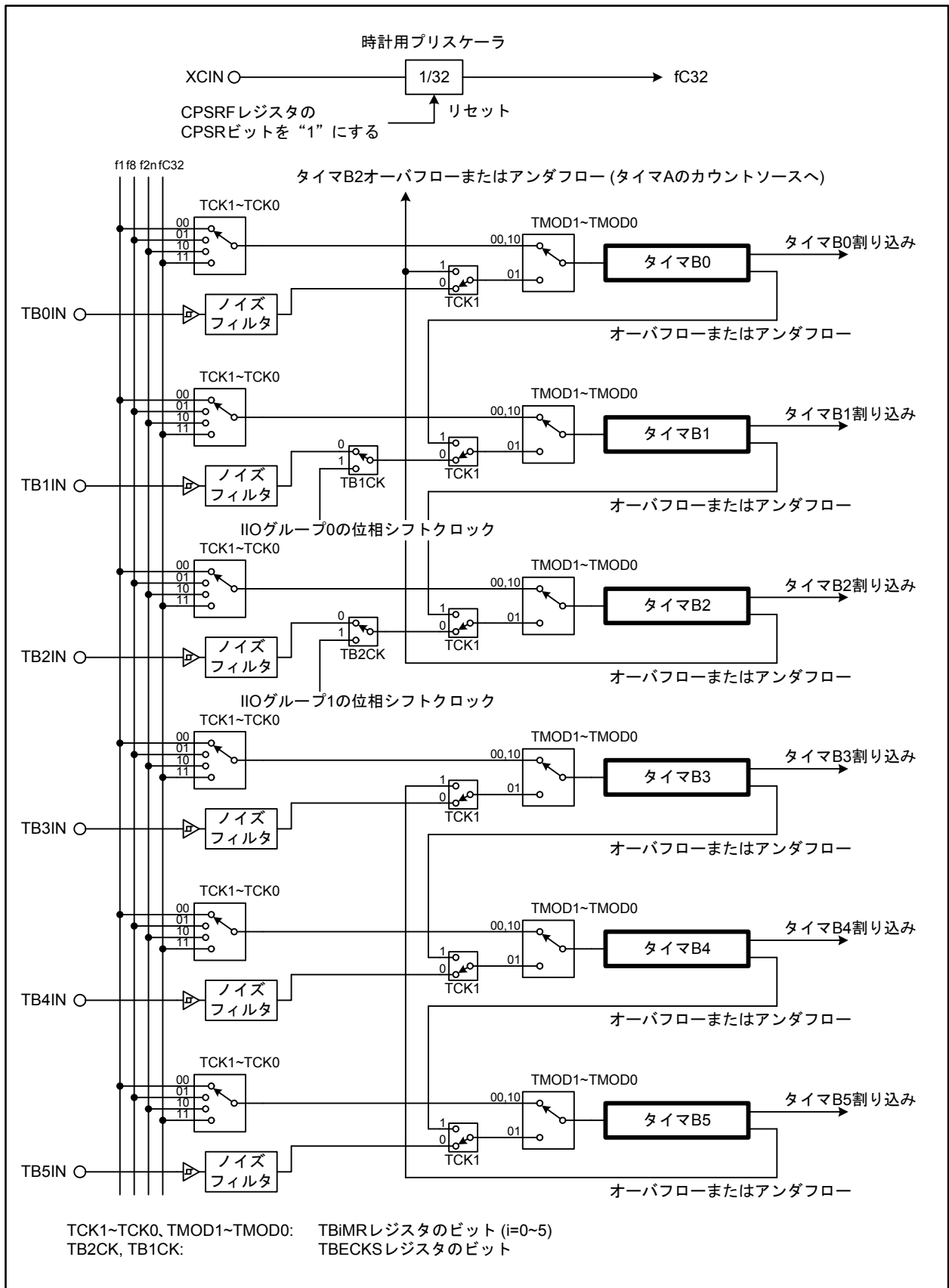


図 15.2 タイマBの構成

15.1 タイマA

図 15.3にタイマAのブロック図を、図 15.4~図 15.10にタイマA関連のレジスタを示します。

タイマAには以下の4種類のモードがあり、イベントカウンタモードを除いてタイマA0~A4は同一の機能を持ちます。各モードはTA0MR~TA4MRレジスタのTMOD1~TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルスまたは他のタイマのオーバフローとアンダフローをカウントするモード
- ワンショットタイマモード カウント値が“0000h”になるまでの間1度だけパルスを出力するモード
- パルス幅変調モード 任意のパルス幅を連続して出力するモード

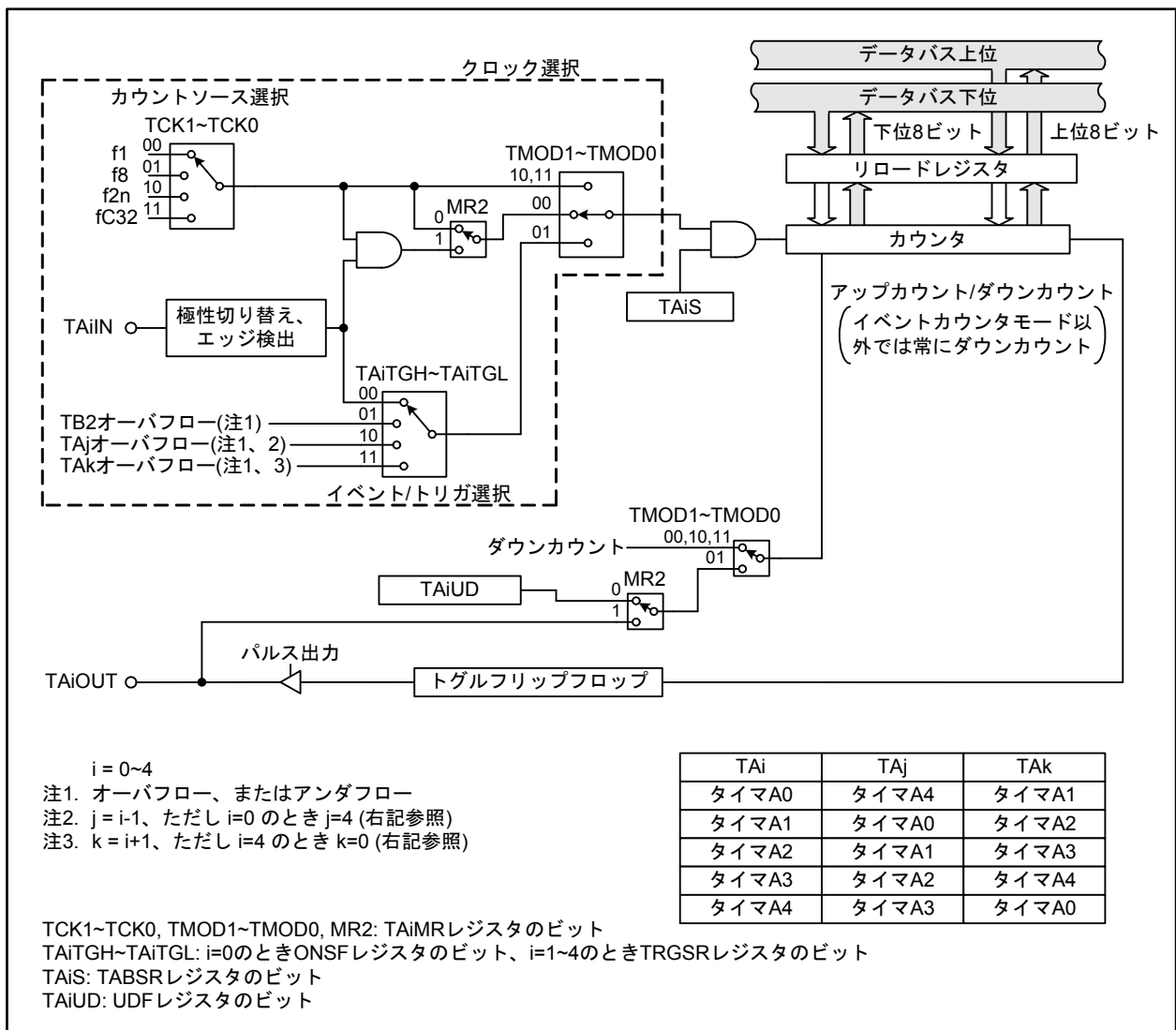


図 15.3 タイマAブロック図

タイマAiレジスタ (i=0~4)(注1)

b15 b8 b7 b0

シンボル	アドレス	リセット後の値
TA0~TA2	0347h-0346h、0349h-0348h、034Bh-034Ah番地	不定
TA3, TA4	034Dh-034Ch、034Fh-034Eh番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをアップカウント時、FFFFh-n+1分周し、ダウンカウント時、n+1分周する (注2)	0000h~FFFFh	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する (注3)	0000h~FFFFh (注4)	WO
パルス幅変調モード (16ビットPWM)	カウントソースの周波数fj、TAiレジスタの設定値をnとすると、PWMの周期: $(2^{16}-1)/fj$ PWMパルスの“H”幅: n/fj (注5)	0000h~FFFEh (注4)	WO
パルス幅変調モード (8ビットPWM)	カウントソースの周波数fj、TAiレジスタの上位アドレスの設定値をn、下位アドレスの設定値をmとすると、PWMの周期: $(2^8-1) \times (m+1)/fj$ PWMパルスの“H”幅: $(m+1)n/fj$ (注5)	00h~FEh (上位アドレス) 00h~FFh (下位アドレス) (注4)	WO

fj: f1, f8, f2n, fC32

注1. 読み出しと書き込みは16ビット単位で実行してください。

注2. 外部入力パルスまたは他のタイマのオーバフローとアンダフローをカウント。

注3. TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。

注4. TAiレジスタへはMOV命令を使用して書いてください。

注5. TAiレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットを“00h”にした場合も同様です。

図 15.4 TA0~TA4 レジスタ

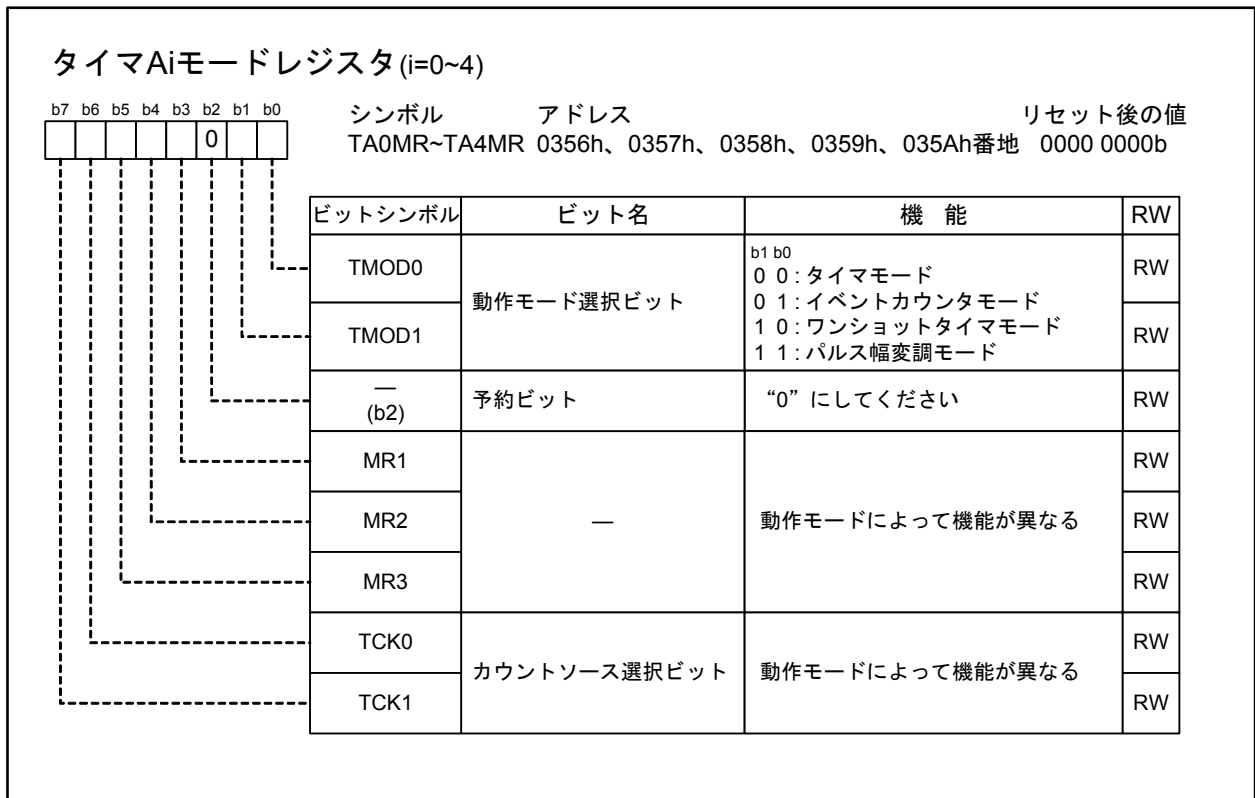


図 15.5 TA0MR~TA4MR レジスタ

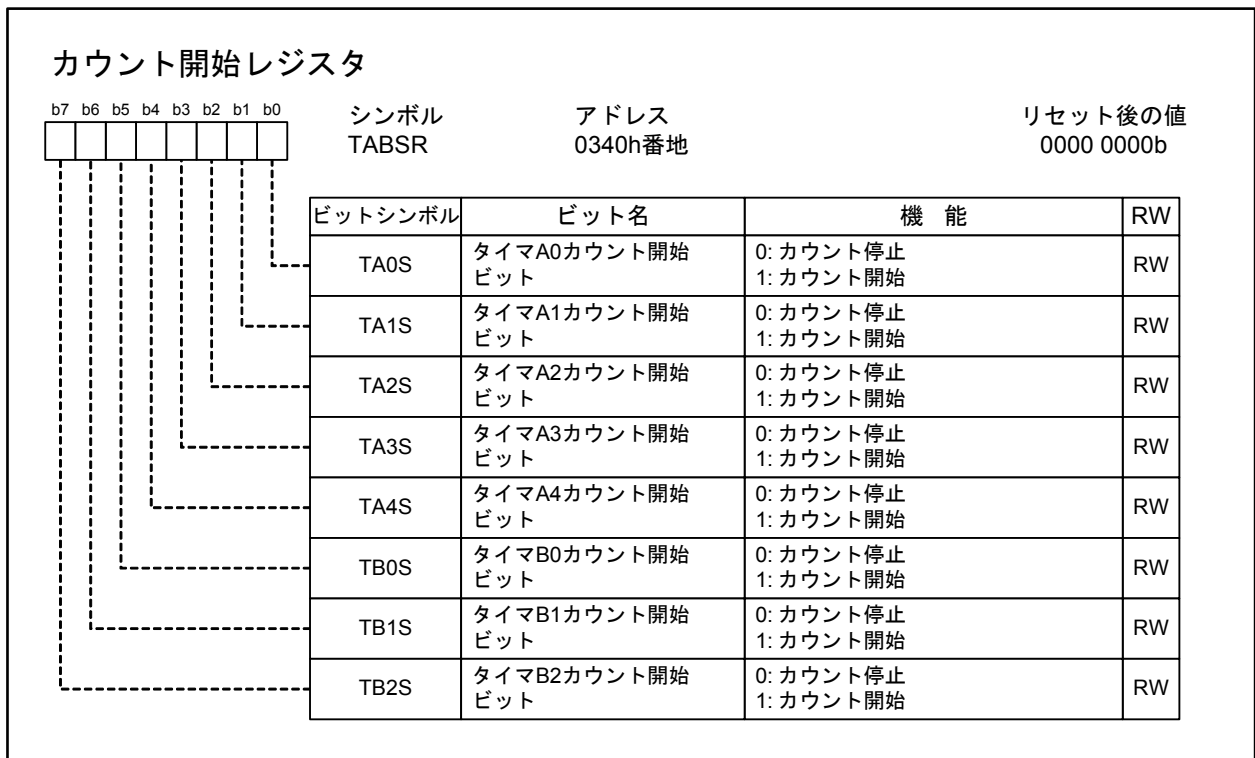


図 15.6 TABSR レジスタ

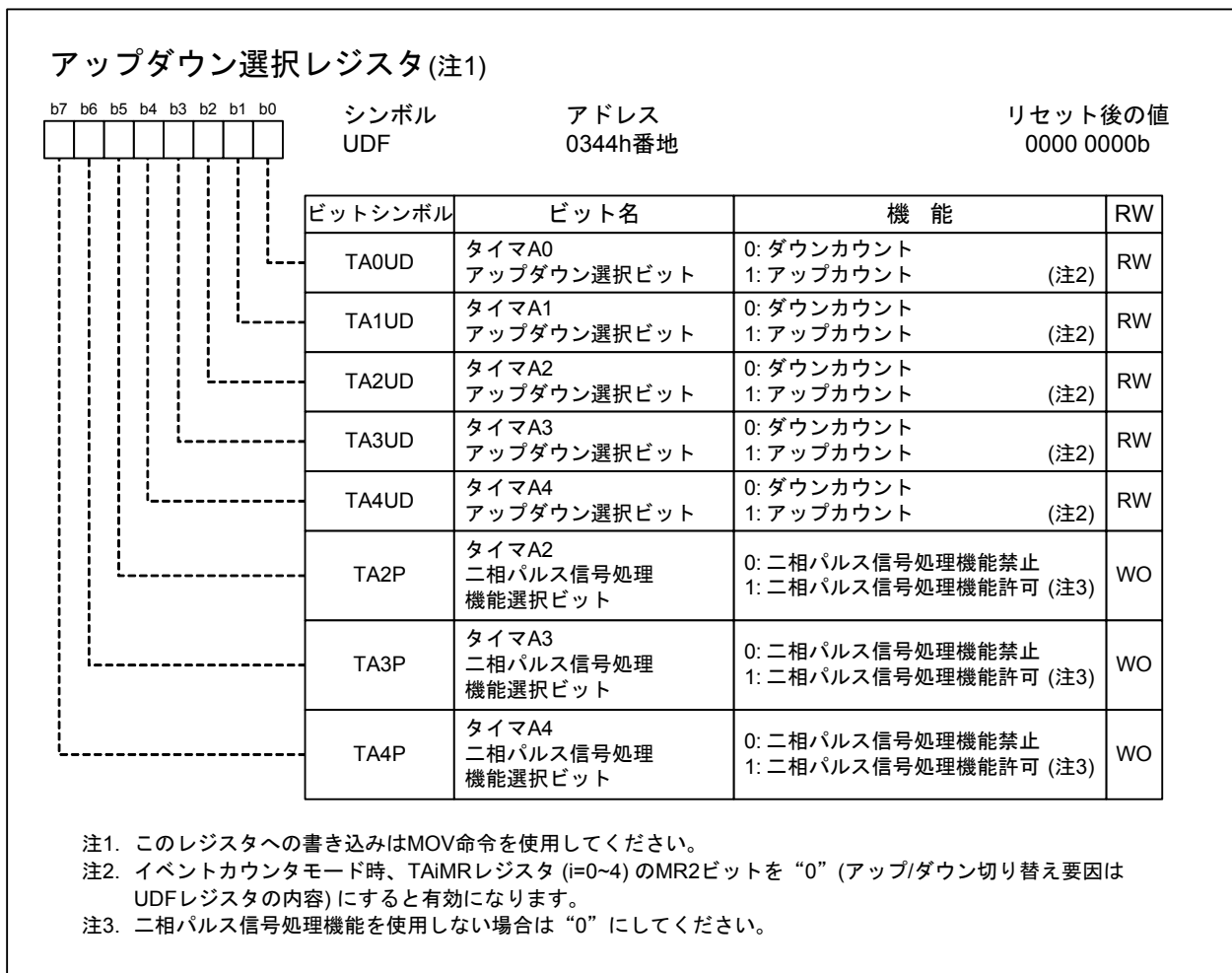


図 15.7 UDFレジスタ

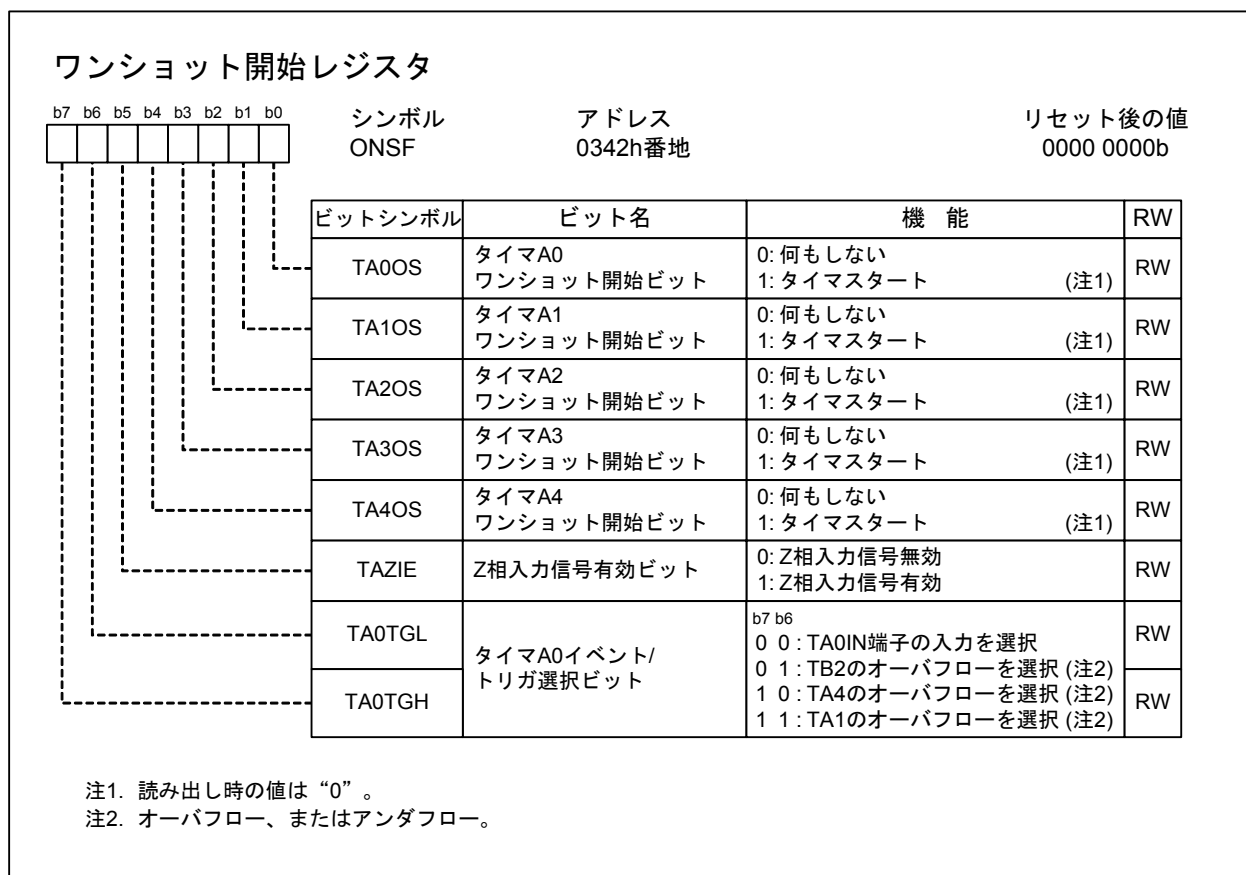


図 15.8 ONSF レジスタ

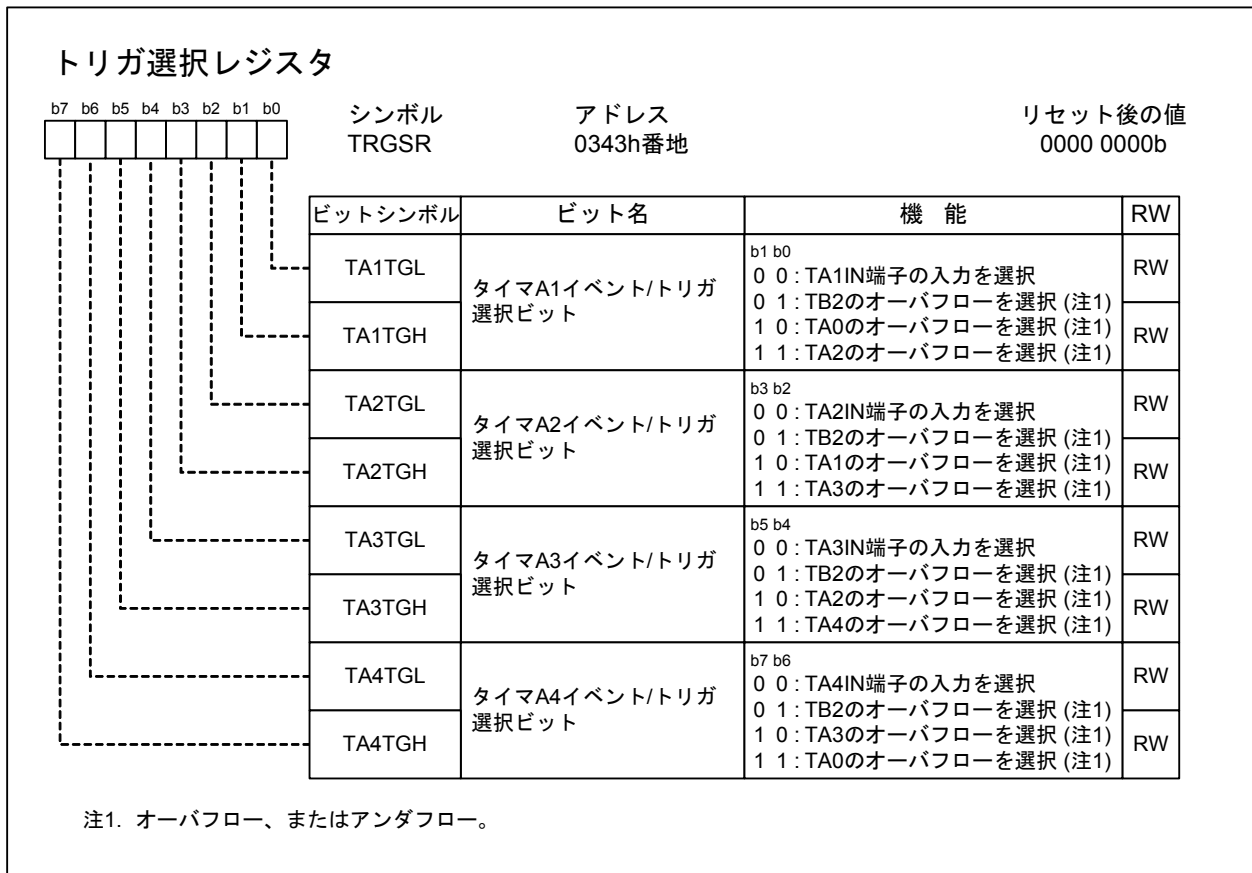


図 15.9 TRGSRレジスタ

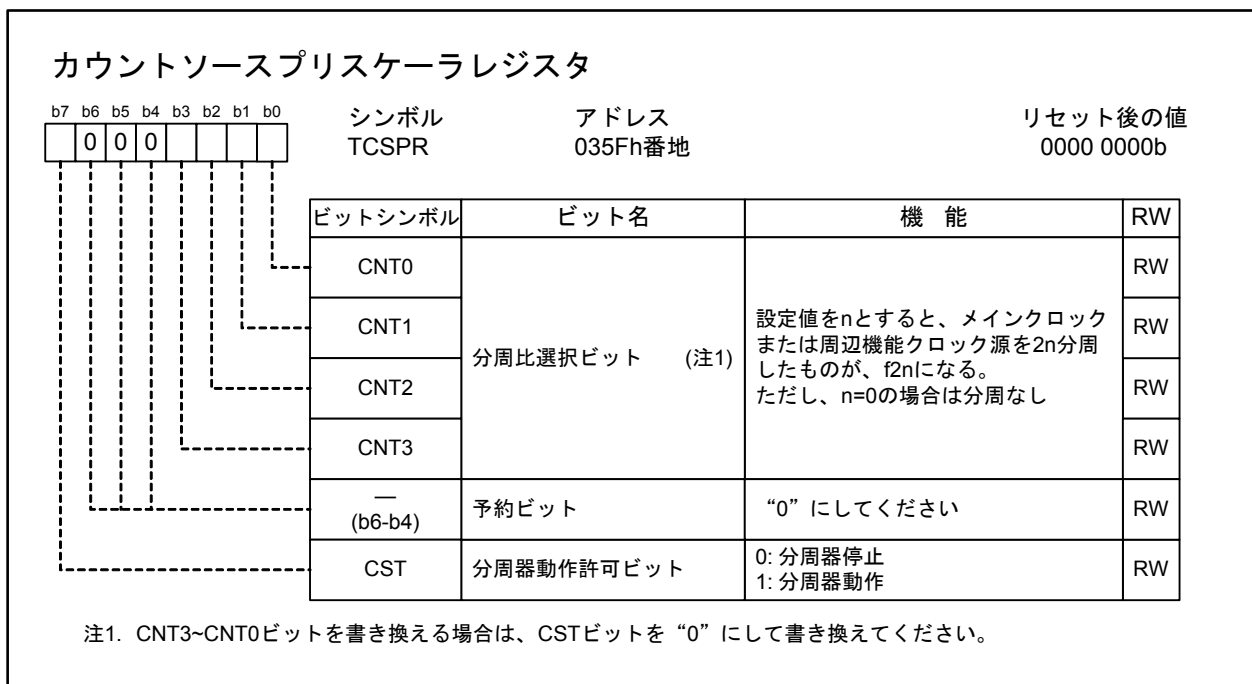


図 15.10 TCSPRレジスタ

15.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 15.1 にタイマモードの仕様を、図 15.11 にタイマモード時のTA0MR~TA4MRレジスタを示します。

表 15.1 タイマモードの仕様(i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TAIレジスタ設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TABSRレジスタのTAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> • ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 • パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転 TAISビットが“0”(カウント停止)の期間は“L”出力

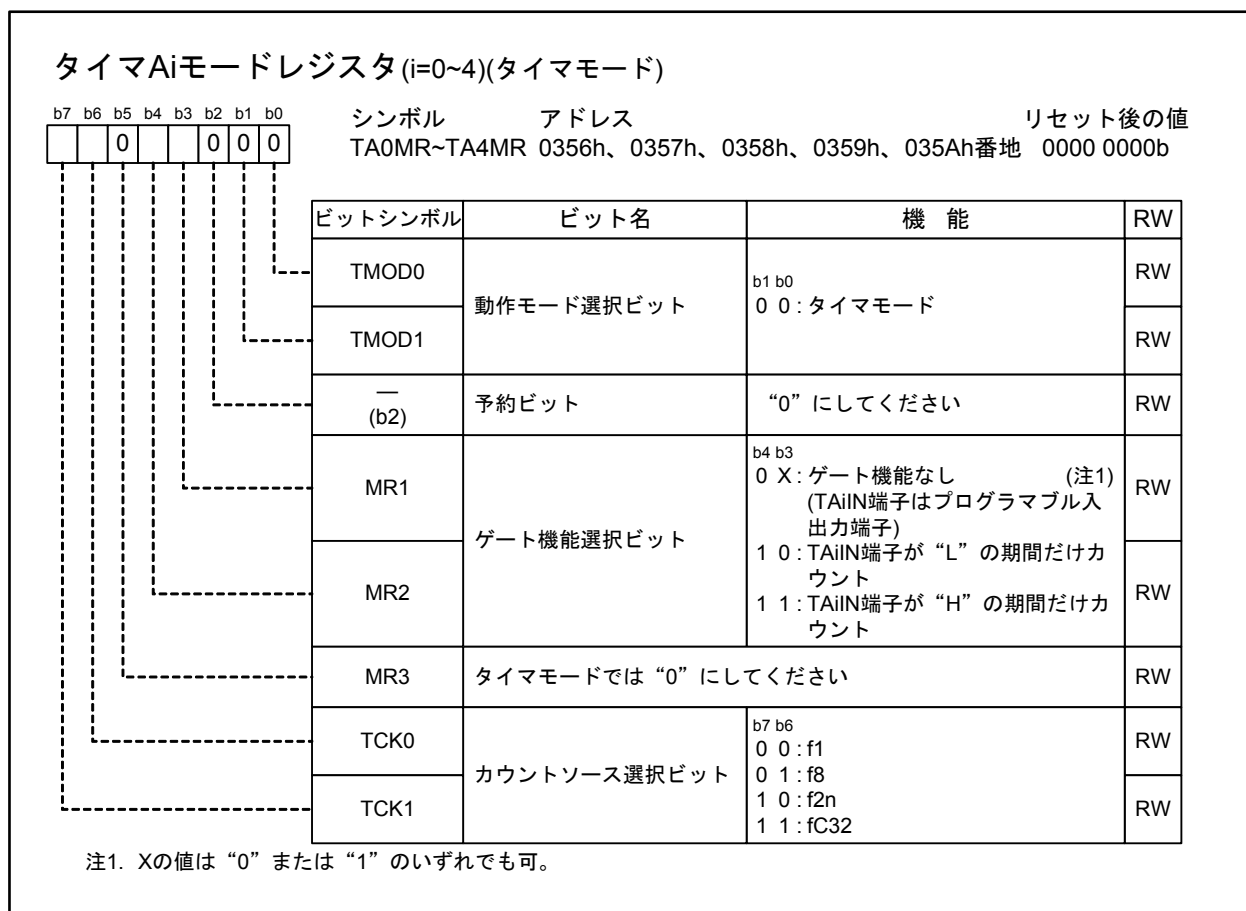


図 15.11 タイマモード時のTA0MR~TA4MRレジスタ

15.1.2 イベントカウンタモード

外部信号または他のタイマのオーバフローとアンダフローをカウントするモードです。タイマA2、A3、A4は、二相の外部信号をカウントできます。表15.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、表15.3にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。図15.12にイベントカウンタモード時のTA0MR~TA4MRレジスタを示します。

表 15.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)(i=0~4)

項目	仕様
カウントソース	<ul style="list-style-type: none"> TAiIN端子に入力された外部信号(プログラムにて有効エッジを選択可能) タイマB2のオーバフローとアンダフロー、タイマAj (j=i-1、ただしi=0のときj=4)のオーバフローとアンダフロー、タイマAk (k=i+1、ただしi=4のときk=0)のオーバフローとアンダフロー
カウント動作	<ul style="list-style-type: none"> アップカウントまたはダウンカウントを、外部信号またはプログラムで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続します。フリーラン機能選択時はリロードせずカウントを継続します
分周比	<ul style="list-style-type: none"> アップカウント時: $\frac{1}{FFFFh - n + 1}$ ダウンカウント時: $\frac{1}{n + 1}$ n: TAIレジスタ設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TABSRレジスタのTAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時とアンダフロー時
TAiIN端子機能	プログラマブル入力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能	<ul style="list-style-type: none"> フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転 TAISビットが“0”(カウント停止)の間は“L”出力

表 15.3 イベントカウンタモードの仕様(タイマA2~A4で二相パルス信号処理を使用する場合)(i=2~4)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子に入力された二相パルス信号
カウント動作	<ul style="list-style-type: none"> • アップカウントまたはダウンカウントを二相パルス信号によって切り替え可 • オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続します。フリーラン機能選択時はリロードせずカウントを継続します
分周比	<ul style="list-style-type: none"> • アップカウント時: $\frac{1}{FFFFh - n + 1}$ • ダウンカウント時: $\frac{1}{n + 1}$ n: TAI設定値 0000h~FFFFh
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TABSRレジスタのTAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時とアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能(注1)	<ul style="list-style-type: none"> • 通常処理動作(タイマA2、タイマA3) TAjOUT端子(j=2, 3)の入力信号が“H”レベルの期間TAjIN端子の立ち上がりや下りをアップカウントし、立ち下りをダウンカウントします  <p style="text-align: center;">アップ アップ アップ ダウン ダウン ダウン カウント カウント カウント カウント カウント カウント</p> • 4 逓倍処理動作(タイマA3、タイマA4) TAKOUT端子(k=3, 4)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下りをアップカウントします。TAKOUT端子の入力信号が“H”の期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下りをダウンカウントします  <p style="text-align: center;">すべてのエッジをアップカウント すべてのエッジをダウンカウント</p> • Z相入力によるカウンタ初期化(タイマA3) Z相入力により、タイマのカウント値を“0”にします

注1. タイマA3だけいずれかを選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

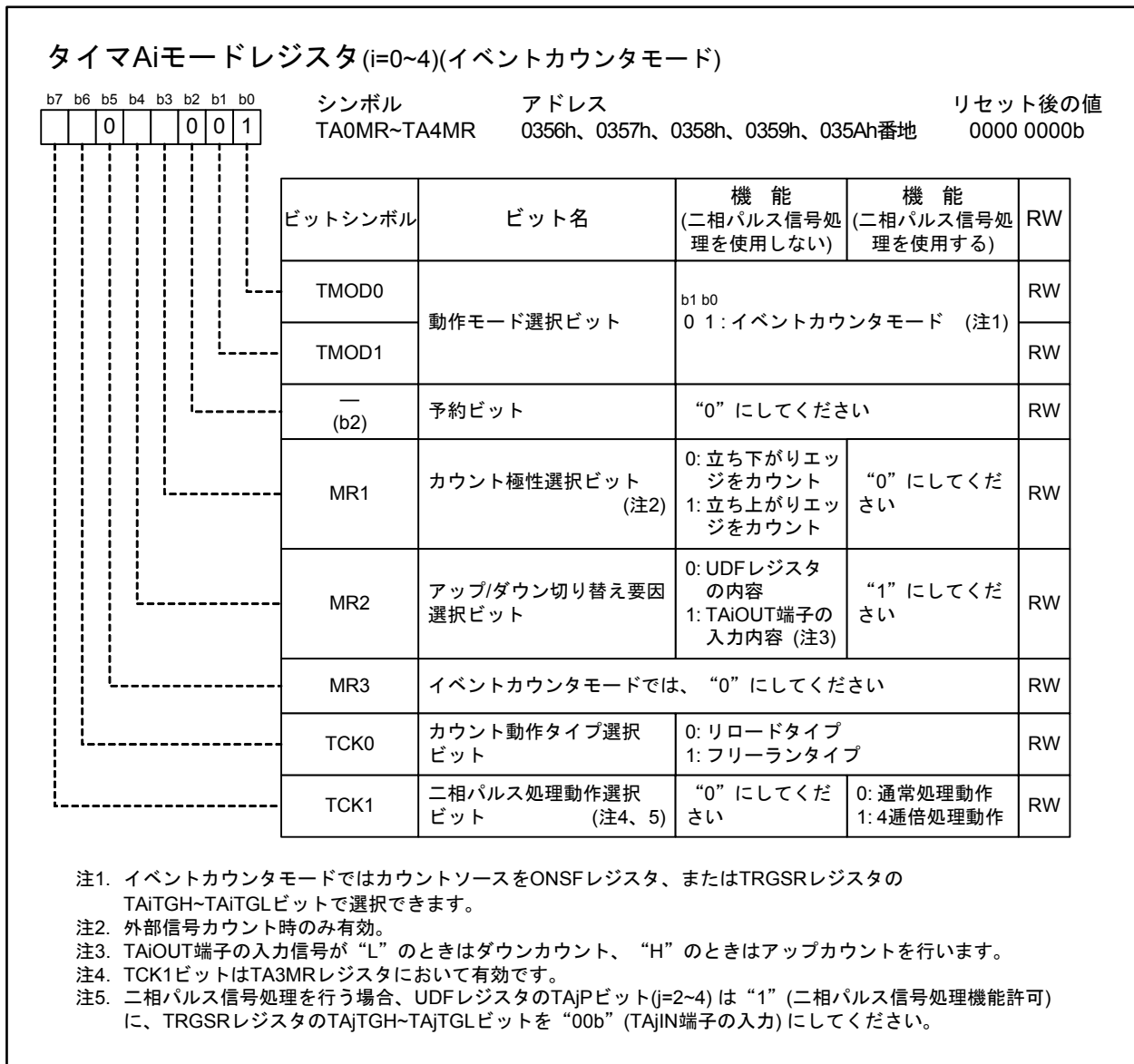


図 15.12 イベントカウンタモード時のTA0MR~TA4MRレジスタ

15.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力信号により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相は $\overline{\text{INT2}}$ 端子から入力します。

ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。また、Z相入力でカウンタを“0”にするためには、TA3レジスタにあらかじめ“0000h”を書いてください。

Z相入力は、 $\overline{\text{INT2}}$ 入力のエッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期分以上になるように入力してください。図15.13に二相パルス(A相、B相)とZ相の関係を示します。

Z相入力でのカウンタが初期化されるタイミングは、Z相入力を受けた次のカウンタソースタイミングになります。図15.14にカウンタ初期化タイミングを示します。

タイマA3のオーバフローとアンダフロータイミングと $\overline{\text{INT2}}$ 入力によるカウンタの初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、本機能使用時はタイマA3の割り込み要求は使用しないでください。

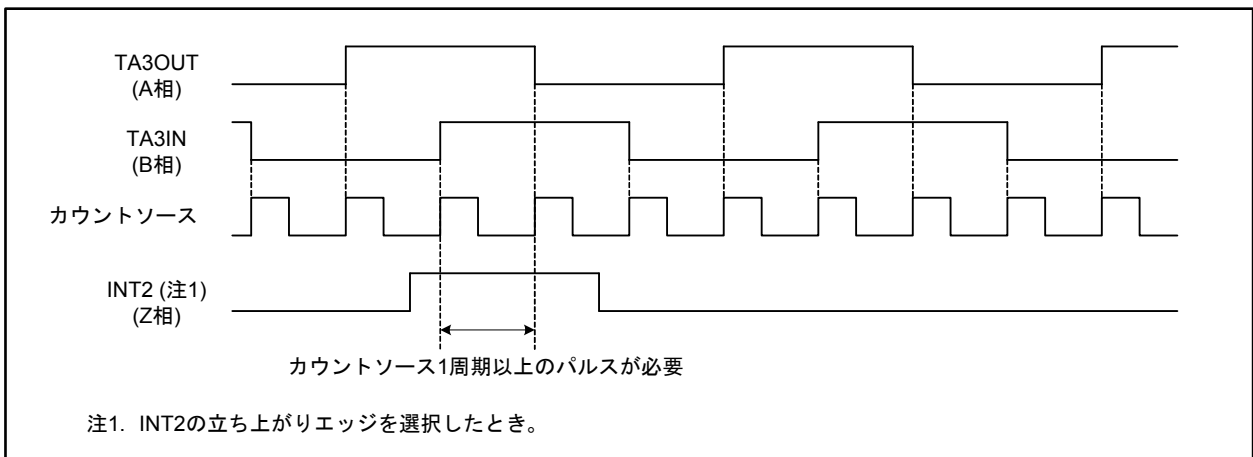


図 15.13 二相パルス(A相、B相)とZ相の関係

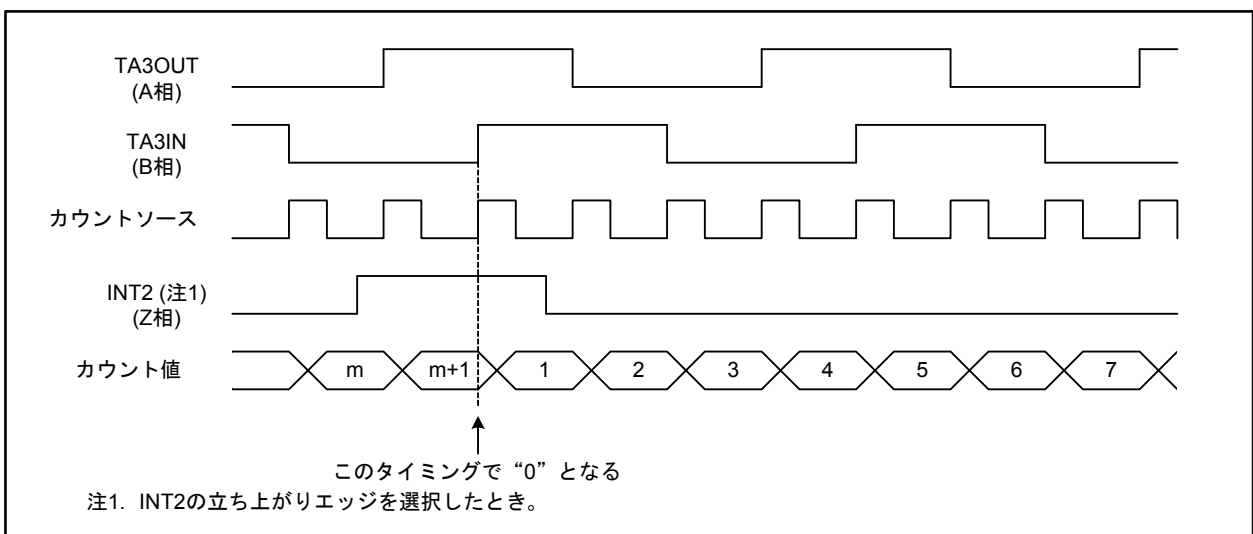


図 15.14 カウンタ初期化タイミング

15.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマが動作するモードです。表 15.4にワンショットタイマモードの仕様を示します。トリガが発生するとその時点から任意の期間、タイマが動作します。図 15.15にワンショットタイマモード時のTA0MR~TA4MRレジスタを示します。

表 15.4 ワンショットタイマモードの仕様(i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • カウントの値が0000hになるタイミングでリロードしてカウントを停止 • カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	$\frac{1}{n}$ n: TAIレジスタ設定値 0000h~FFFFh (ただし、“0000h”の場合、カウンタは動作しない)
カウント開始条件	TABSRレジスタのTAISビットが“1”(カウント開始)で、かつ以下のトリガが発生 <ul style="list-style-type: none"> • TAIiN端子からの外部トリガ入力 • タイマB2のオーバフローまたはアンダフロー、タイマAj (j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk (k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー • ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	<ul style="list-style-type: none"> • カウントの値が“0000h”になり、リロードした後 • TABSRレジスタのTAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウントの値が“0000h”になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読んだ場合、その値は不定
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
その他の機能	<ul style="list-style-type: none"> • パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

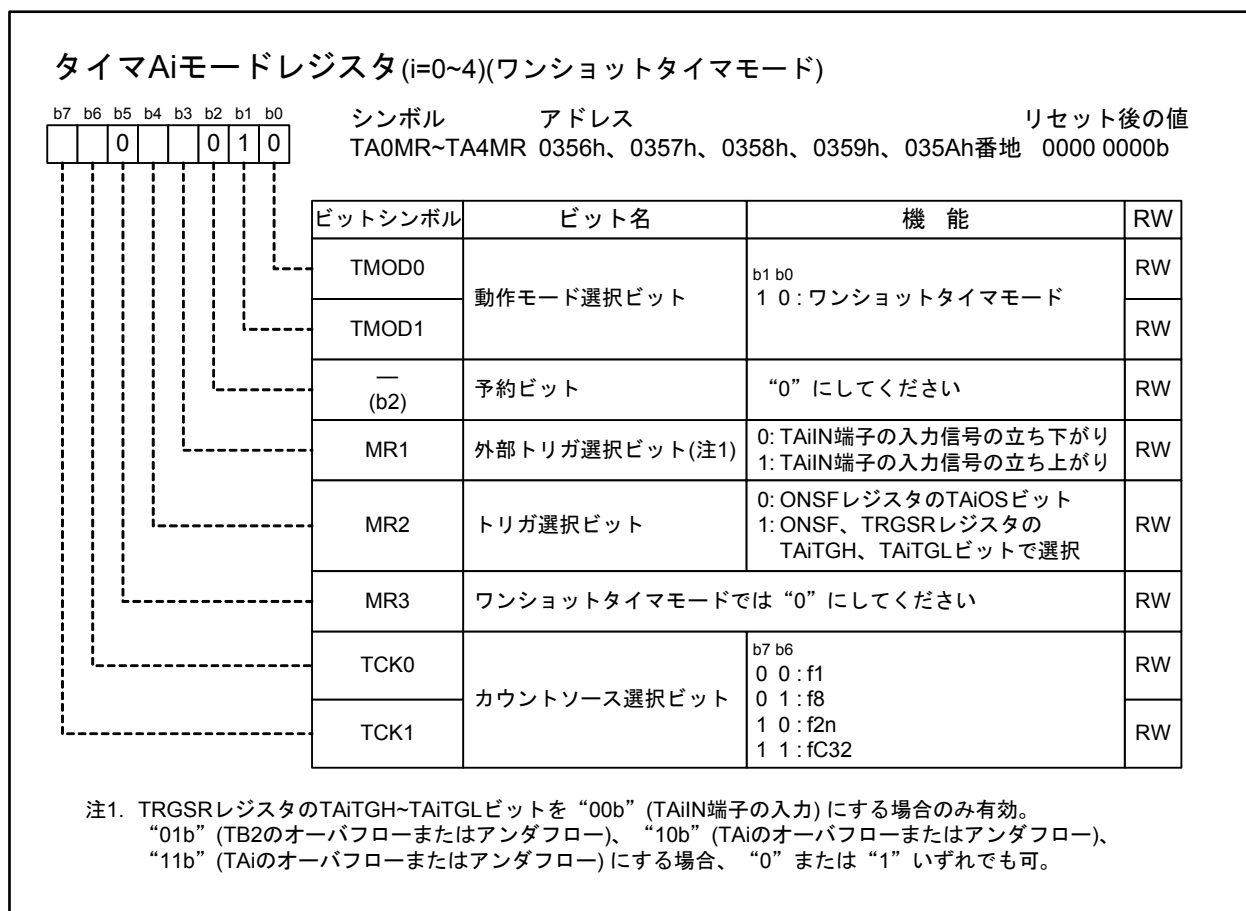


図 15.15 ワンショットタイマモード時のTA0MR~TA4MRレジスタ

15.1.4 パルス幅変調モード

任意の幅のパルスを連続して出力するモードです。表 15.5にパルス幅変調モードの仕様を示します。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図 15.16にパルス幅変調モード時のTA0MR~TA4MRレジスタ、図 15.17に16ビットパルス幅変調器の動作例、図 15.18に8ビットパルス幅変調器の動作例を示します。

表 15.5 パルス幅変調モードの仕様(i=0~4)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) • PWMパルスの立ち上がりでリロードしてカウントを継続 • カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> • “H”幅: $\frac{n}{fj}$ n: TAIレジスタ設定値 0000h~FFFEh fj: カウントソース周波数 • 周期: $\frac{2^{16}-1}{fj}$ 固定
8ビットPWM	<ul style="list-style-type: none"> • “H”幅: $\frac{n \times (m+1)}{fj}$ n: TAIレジスタの上位番地の設定値 00h~FEh • 周期: $\frac{(2^8-1) \times (m+1)}{fj}$ m: TAIレジスタの下位番地の設定値 00h~FFh
カウント開始条件	以下のいずれかを選択可能 <ul style="list-style-type: none"> • TABSRレジスタのTAISビットを“1”(カウント開始)にする • TAISビットが“1”で、かつTAiIN端子からの外部トリガ入力 • TAISビットが“1”で、かつ以下のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj (j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk (k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント停止条件	TABSRレジスタのTAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAIレジスタを読んだ場合、その値は不定
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TAIレジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TAIレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

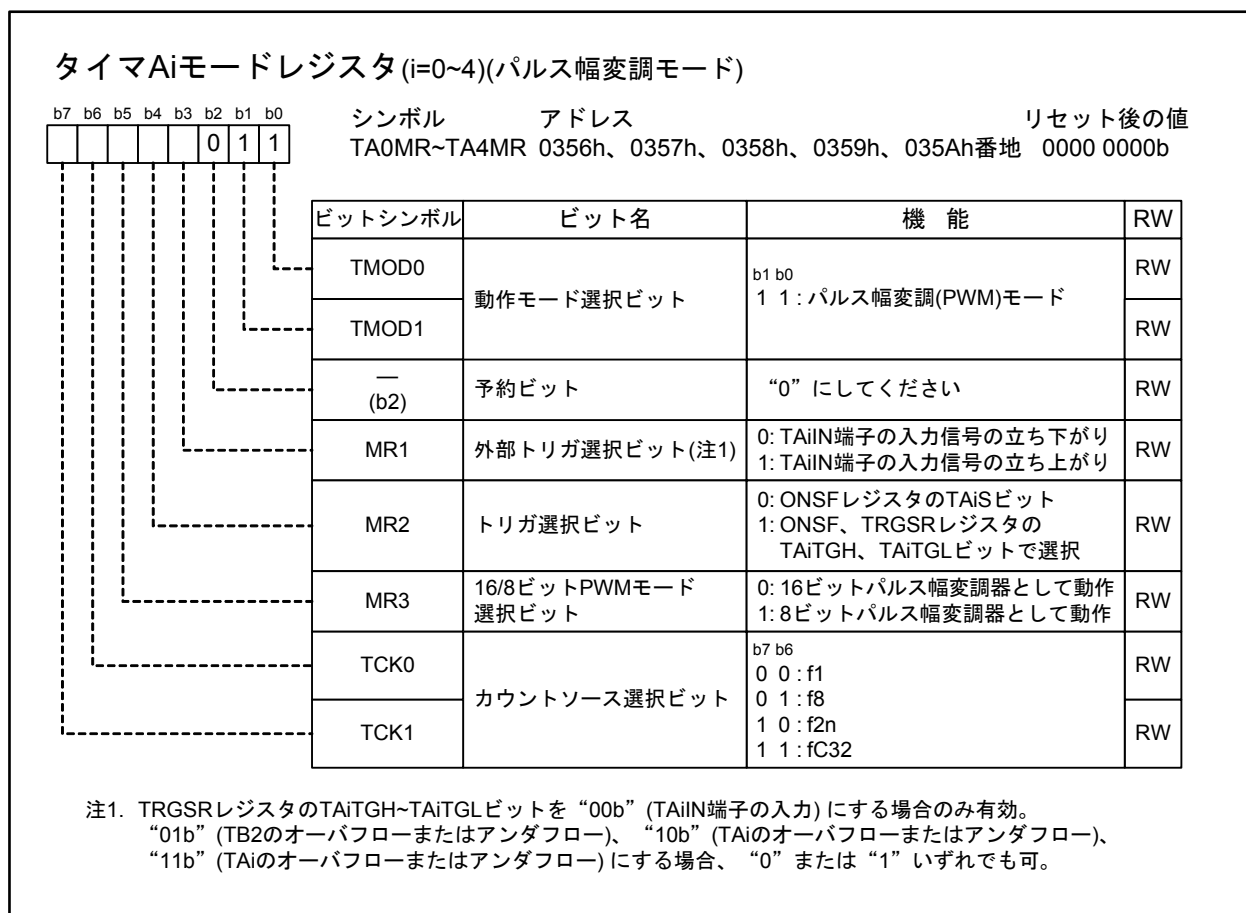


図 15.16 パルス幅変調モード時のTA0MR~TA4MRレジスタ

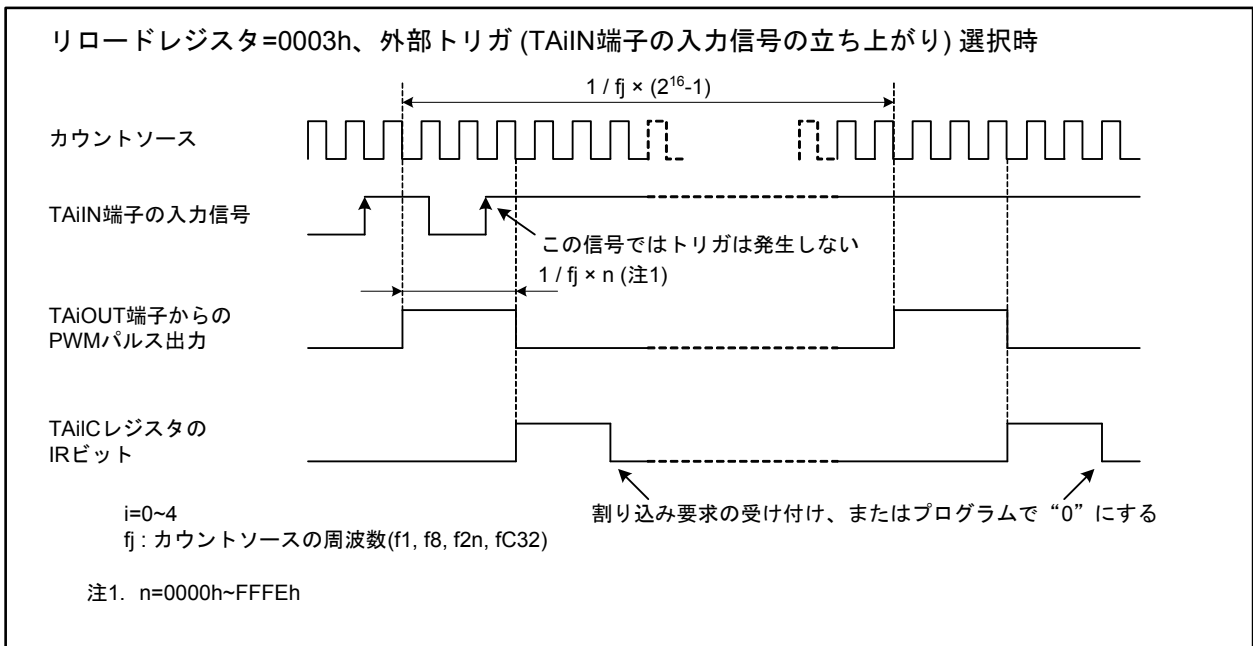


図 15.17 16ビットパルス幅変調器の動作例

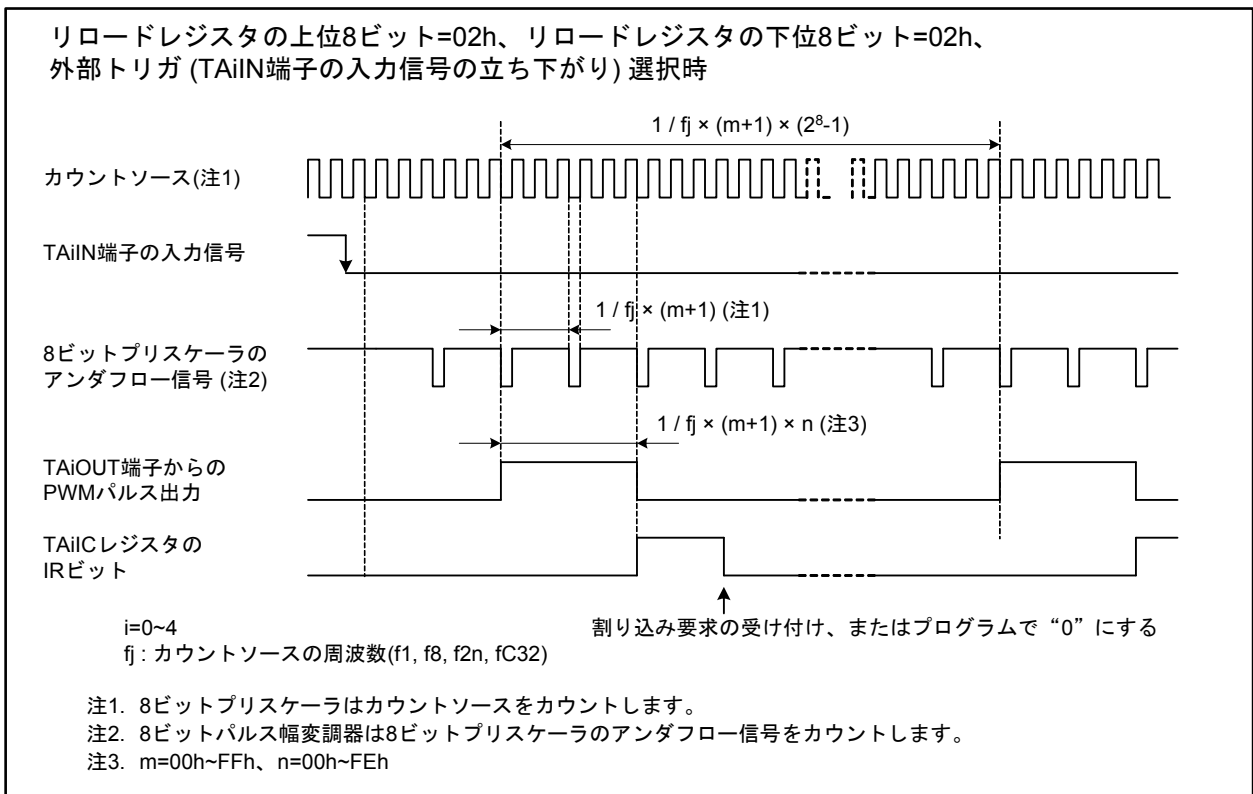


図 15.18 8ビットパルス幅変調器の動作例

15.2 タイマB

図 15.19にタイマBのブロック図を、図 15.20~図 15.23にタイマB関連レジスタを示します。

タイマBは、以下の3種類のモードがあります。各モードは、TB0MR~TB5MRレジスタのTMOD1~TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルスまたは他のタイマのオーバーフローとアンダフローをカウントするモード
- パルス周期測定モード、パルス幅測定モード 外部パルスの周期またはパルス幅を測定するモード

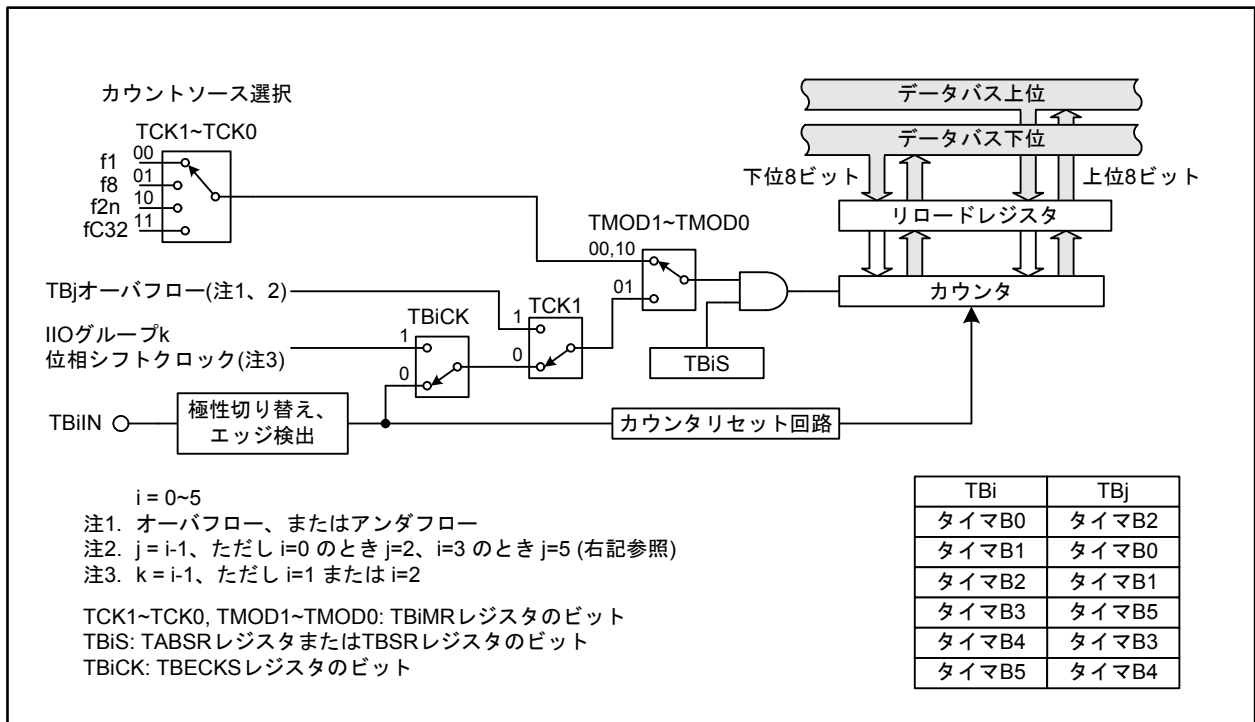
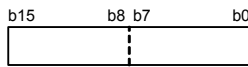


図 15.19 タイマBブロック図

タイマBiレジスタ (i=0~5)(注1)



シンボル	アドレス	リセット後の値
TB0~TB2	0351h-0350h、0353h-0352h、0355h-0354h番地	不定
TB3~TB5	0311h-0310h、0313h-0312h、0315h-0314h番地	不定

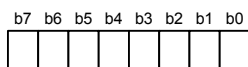
モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する (注2)	0000h~FFFFh	RW
パルス周期測定モード パルス幅測定モード	TBiIN入力パルスの有効エッジから有効エッジまでの期間、カウントソースをアップカウントする	—	RO

注1. 読み出し、または書き込みは16ビット単位で実行してください。

注2. 外部入力パルスまたは他のタイマのオーバフローとアンダフローをカウント。

図 15.20 TB0~TB5レジスタ

タイマBiモードレジスタ (i=0~5)



シンボル	アドレス	リセット後の値
TB0MR~TB2MR	035Bh、035Ch、035Dh番地	00XX 0000b
TB3MR~TB5MR	031Bh、031Ch、031Dh番地	00XX 0000b

ビットシンボル	ビット名	機能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0 : タイマモード 0 1 : イベントカウンタモード 1 0 : パルス周期測定モード、パルス幅測定モード 1 1 : 設定しないでください	RW
TMOD1			RW
MR0	—	動作モードによって機能が異なる (注1、2)	RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース選択ビット	動作モードによって機能が異なる	RW
TCK1			RW

注1. MR2ビットは、TB0MR、TB3MRレジスタにのみ存在します。

注2. TB1MR、TB2MR、TB4MR、TB5MRレジスタでは、MR2ビットには何も配置されていません。

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図 15.21 TB0MR~TB5MRレジスタ

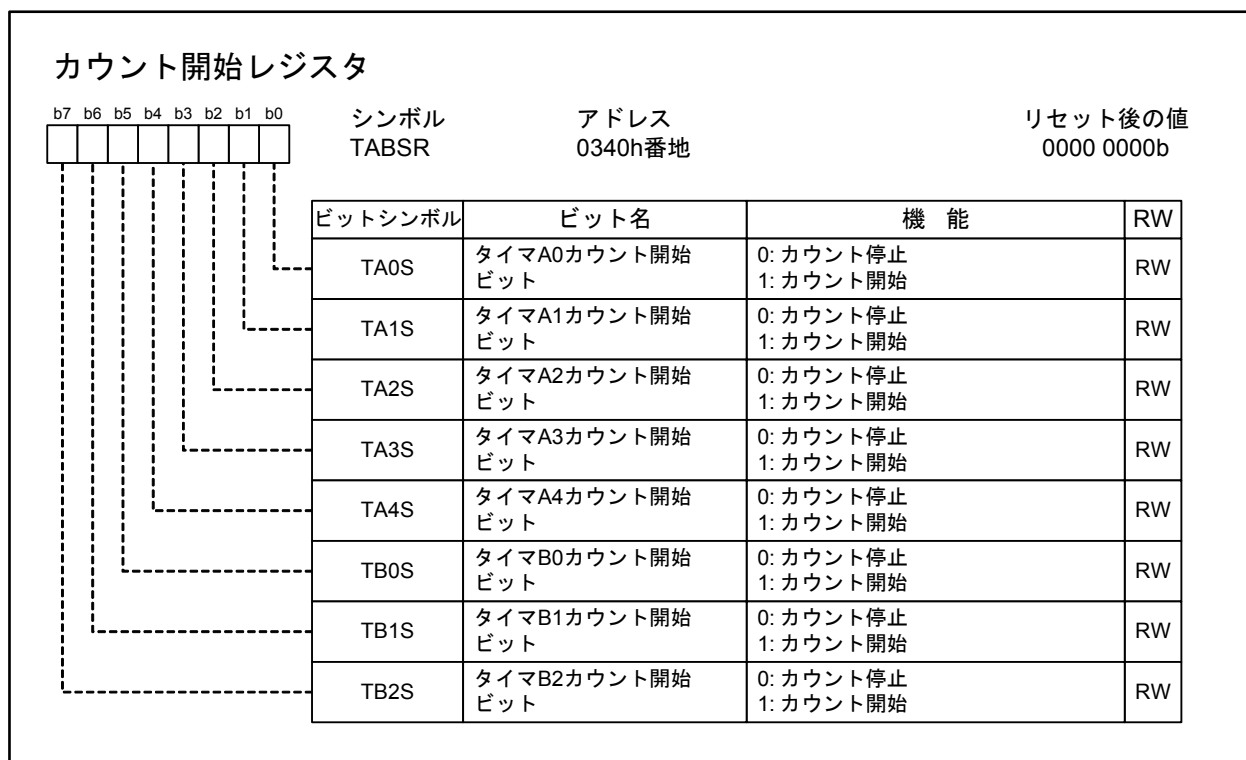


図 15.22 TABSR レジスタ

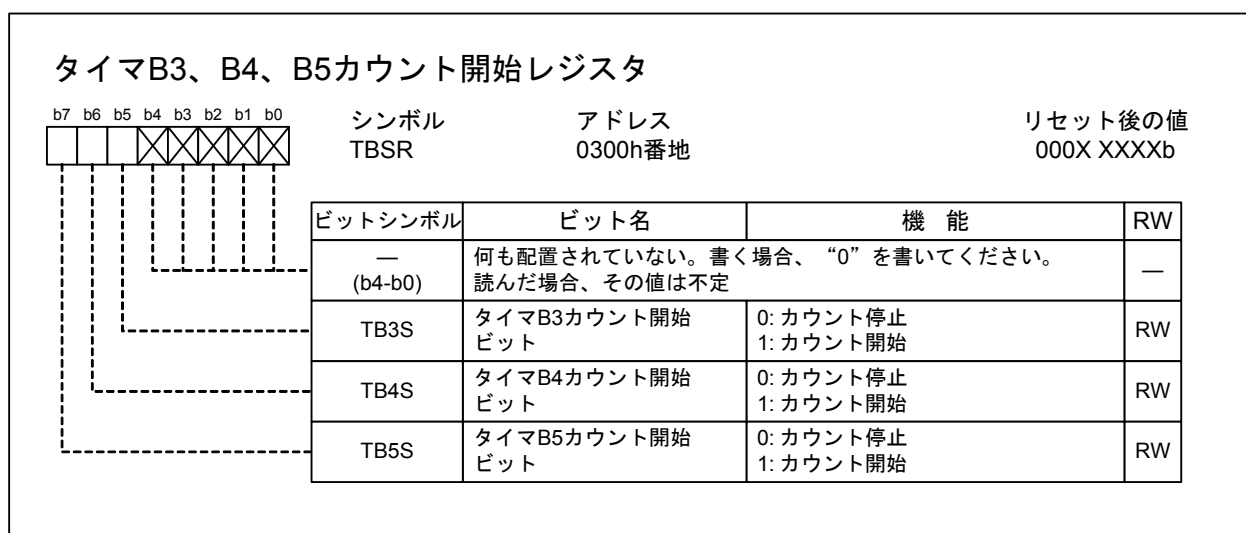


図 15.23 TBSR レジスタ

15.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです。表 15.6 にタイマモードの仕様を、図 15.24 にタイマモード時のTB0MR~TB5MRレジスタを示します。

表 15.6 タイマモードの仕様(i=0~5)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TBiレジスタ設定値 0000h~FFFFh
カウント開始条件	TABSR、TBSRレジスタのTBiSビットを“1”(カウント開始)にする
カウント停止条件	TABSR、TBSRレジスタのTBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TBiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる カウント中 TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

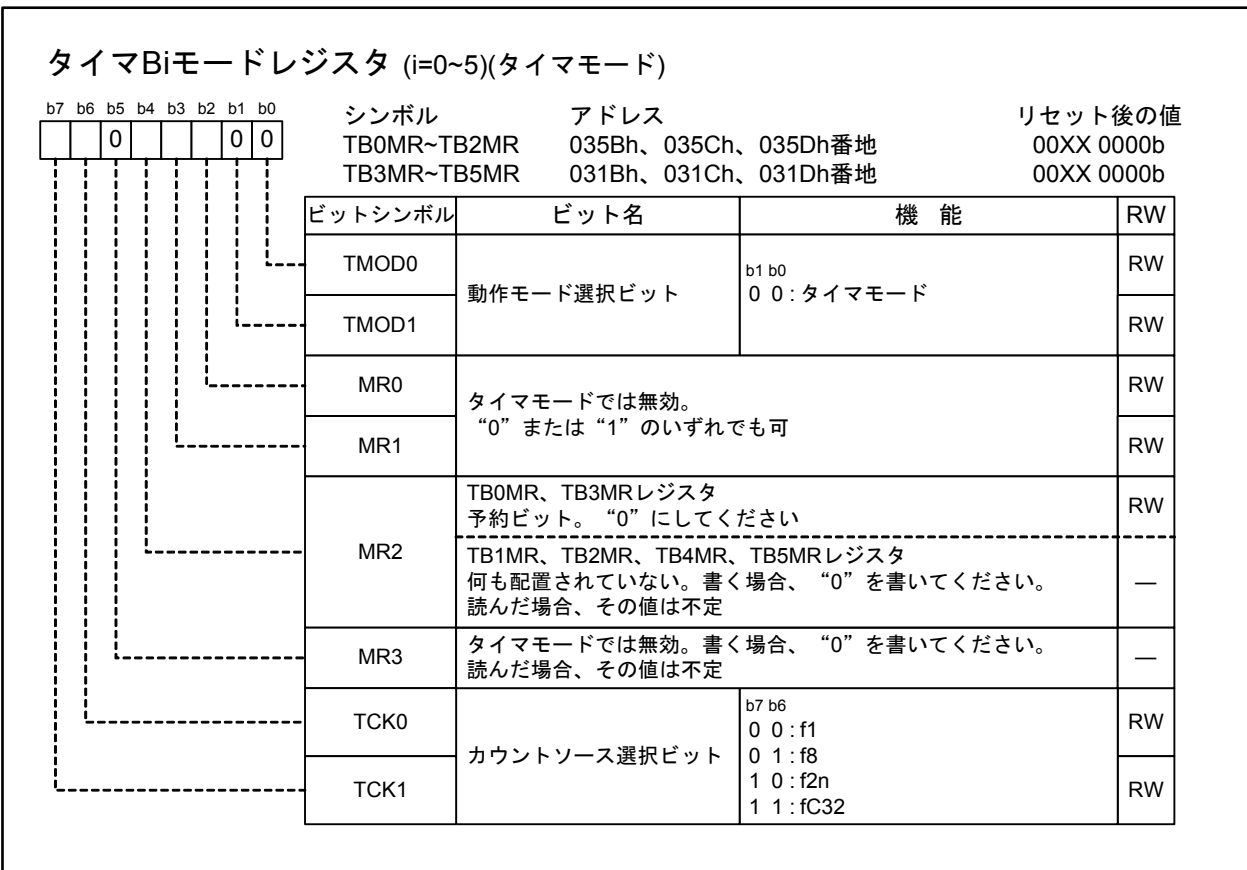


図 15.24 タイマモード時のTB0MR~TB5MRレジスタ

15.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフローまたはアンダフローをカウントするモードです。表 15.7 にイベントカウンタモードの仕様を、図 15.25 にイベントカウンタモード時の TB0MR~TB5MR レジスタを示します。

表 15.7 イベントカウンタモードの仕様(i=0~5)

項目	仕様
カウントソース	<ul style="list-style-type: none"> • TBiIN 端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がり立ち上りをプログラムによって選択可 • TBjのオーバフローとアンダフロー (j=i-1、ただしi=0のときj=2、i=3のときj=5) • インテリジェントI/Oグループkの位相シフトクロック (k=i-1、ただしi=1またはi=2)
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	$\frac{1}{n+1}$ n: TBi レジスタ設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタ、TBSR レジスタの TBiS ビットを“1”(カウント開始)にする
カウント停止条件	TABSR レジスタ、TBSR レジスタの TBiS ビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN 端子機能	プログラマブル入出力ポート、カウントソース入力
タイマの読み出し	TBi レジスタを読むと、カウント値が読める
タイマの書き出し	<ul style="list-style-type: none"> • カウント停止中、カウント開始後1回目のカウントソースが入力されるまで TBi レジスタに書くと、リロードレジスタとカウンタの両方に書かれる • カウント中 TBi レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

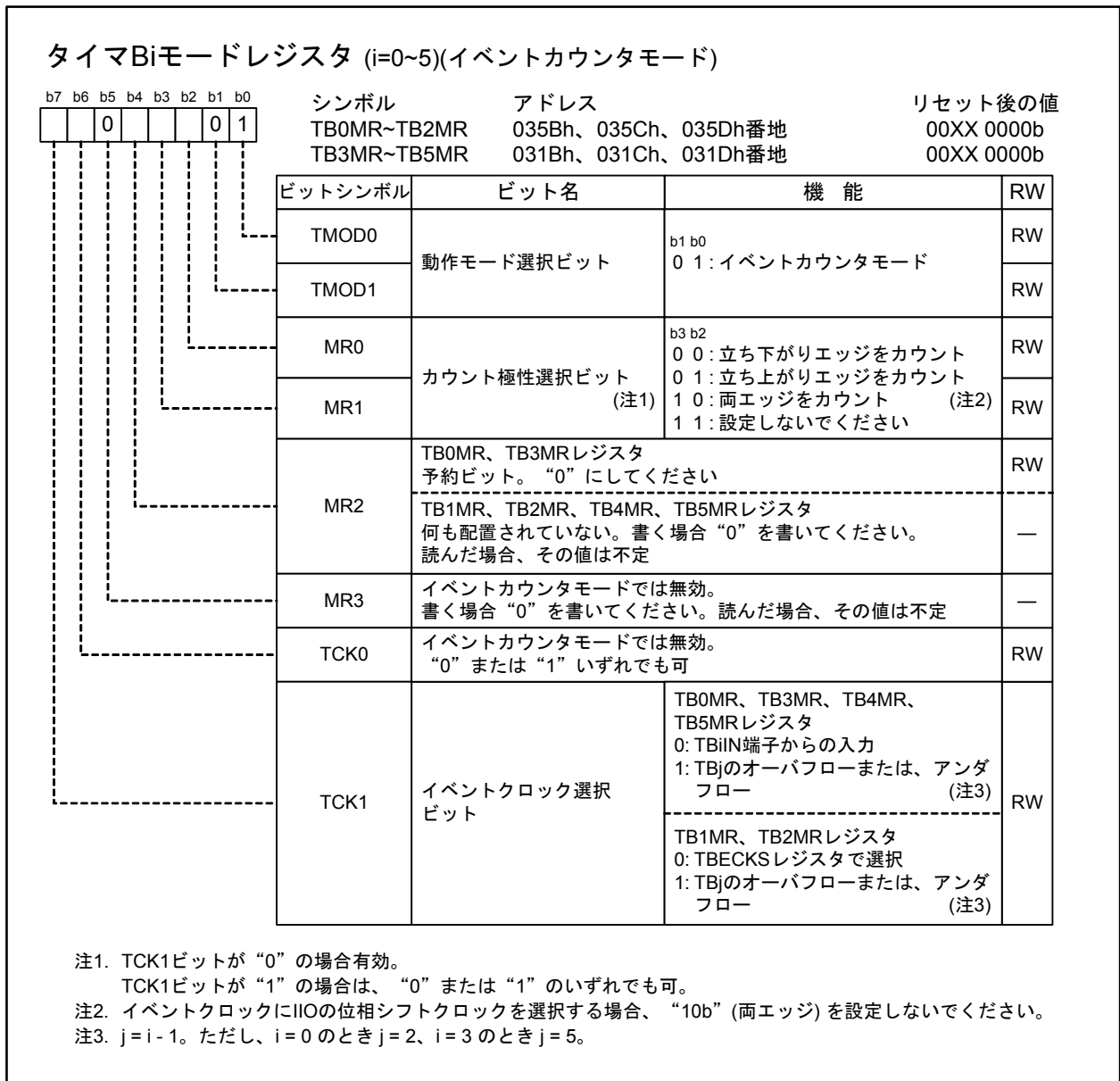


図 15.25 イベントカウンタモード時のTB0MR~TB5MRレジスタ

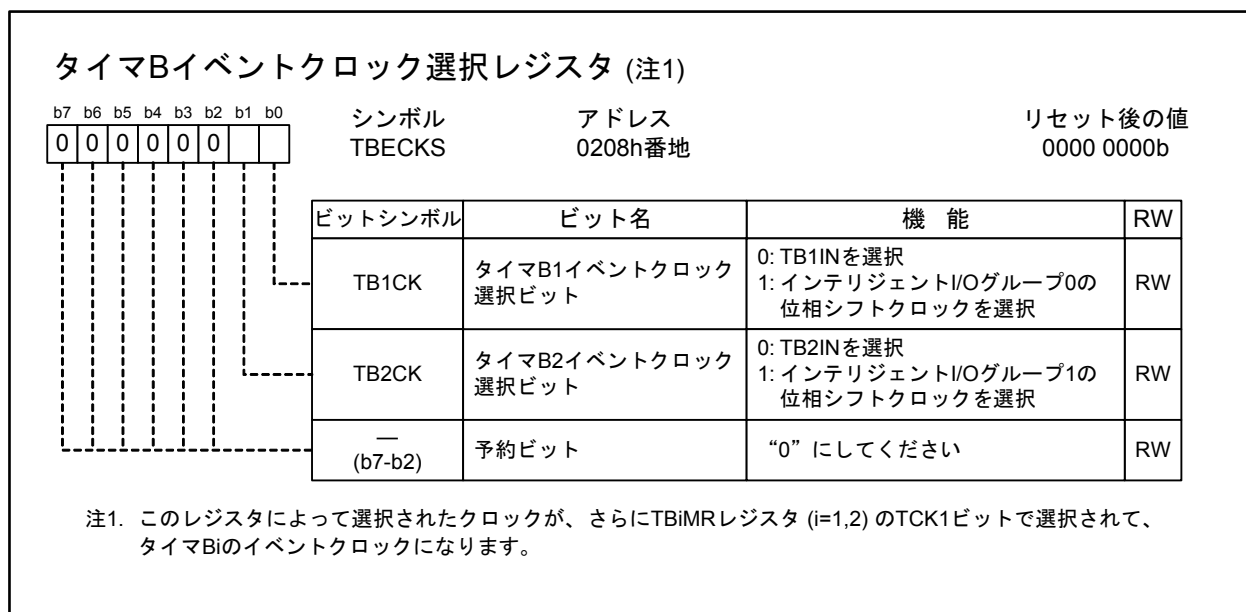


図 15.26 TBECKS レジスタ

15.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです。表 15.8 にパルス周期測定モード、パルス幅測定モードの仕様を、図 15.27 にパルス周期測定モード、パルス幅測定モード時の TB0MR ~ TB5MR レジスタ、図 15.28 にパルス周期測定時の動作例、図 15.29 にパルス幅測定時の動作例を示します。

表 15.8 パルス周期測定モード、パルス幅測定モードの仕様 (i=0~5)

項目	仕様
カウントソース	f1, f8, f2n, fC32
カウント動作	アップカウント 被測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	TABSR レジスタ、TBSR レジスタの TBiS ビットを“1” (カウント開始) にする
カウント停止条件	TABSR レジスタ、TBSR レジスタの TBiS ビットを“0” (カウント停止) にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> • 被測定パルスの有効エッジ入力時 (注1) • オーバフロー時 (同時に TBiMR レジスタの MR3 ビットが“1” (オーバフローあり) になります (注2))
TBiIN 端子機能	被測定パルス入力
タイマの読み出し	TBi レジスタを読むと、リロードレジスタの内容 (測定結果) が読める (注3)
タイマの書き込み	TBi レジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. TBiS ビットが“1” (カウント開始) のとき、MR3 ビットが“1” (オーバフローあり) になってからカウントソース1クロック以上経過した後、TBiMR レジスタに書くと“0” (オーバフローなし) になります。

注3. カウント開始後2回目の有効エッジ入力までは、TBi レジスタからの読み出し値は不定です。

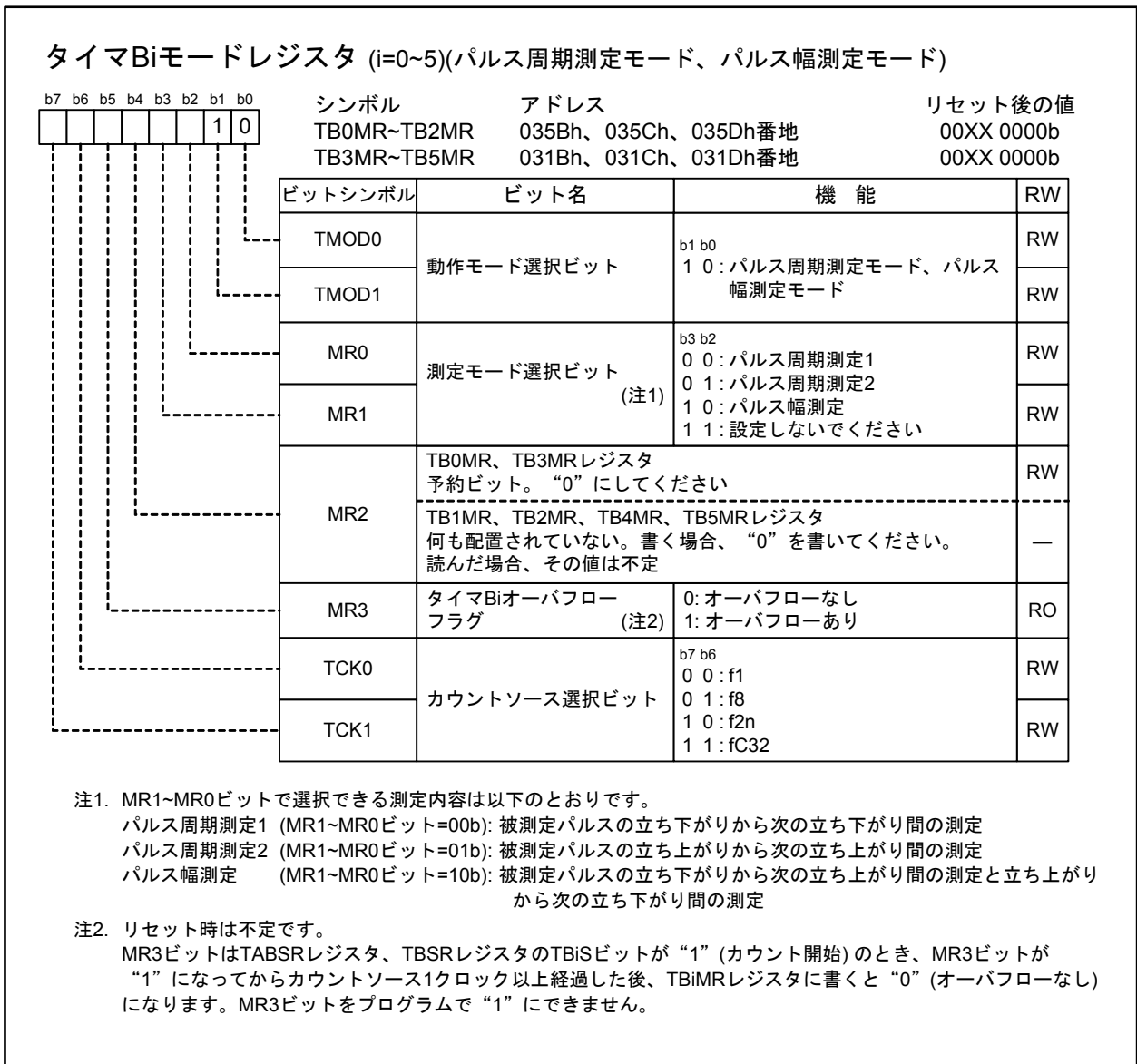


図 15.27 パルス周期測定モード、パルス幅測定モード時のTB0MR~TB5MRレジスタ

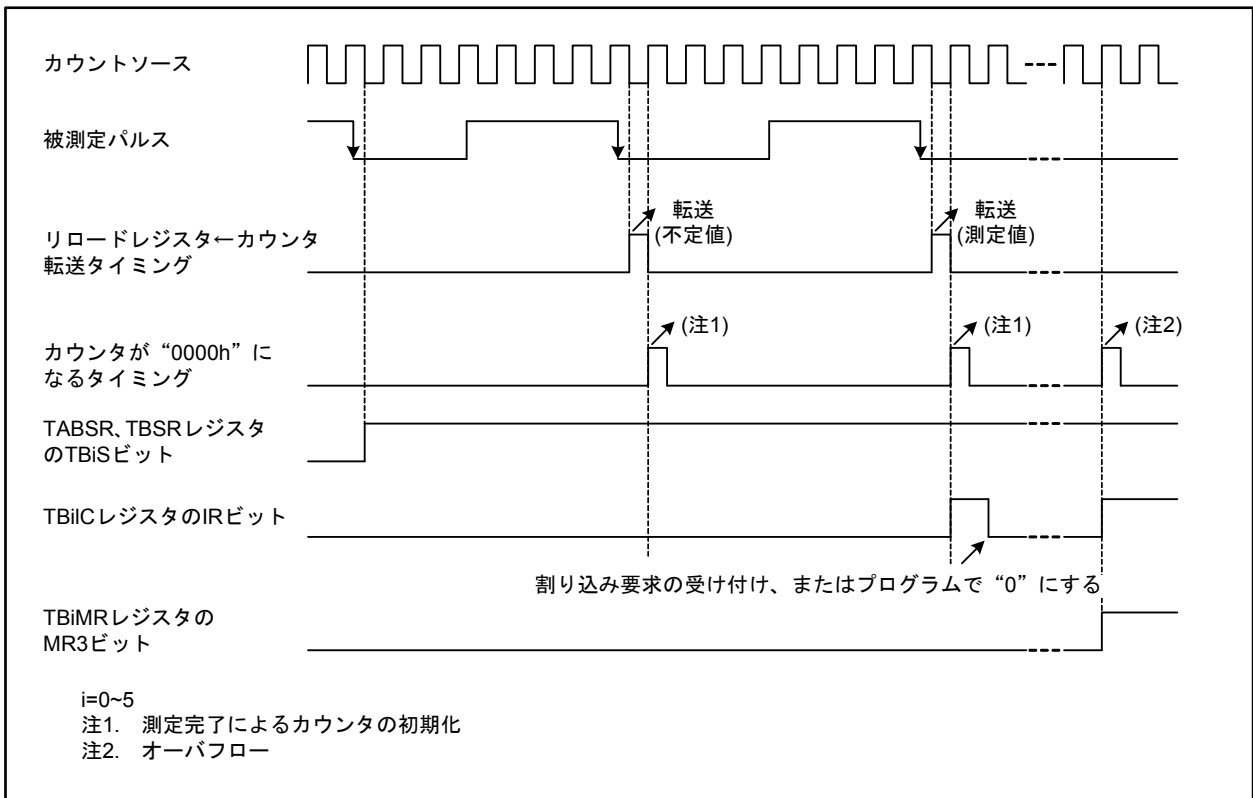


図 15.28 パルス周期測定時の動作図

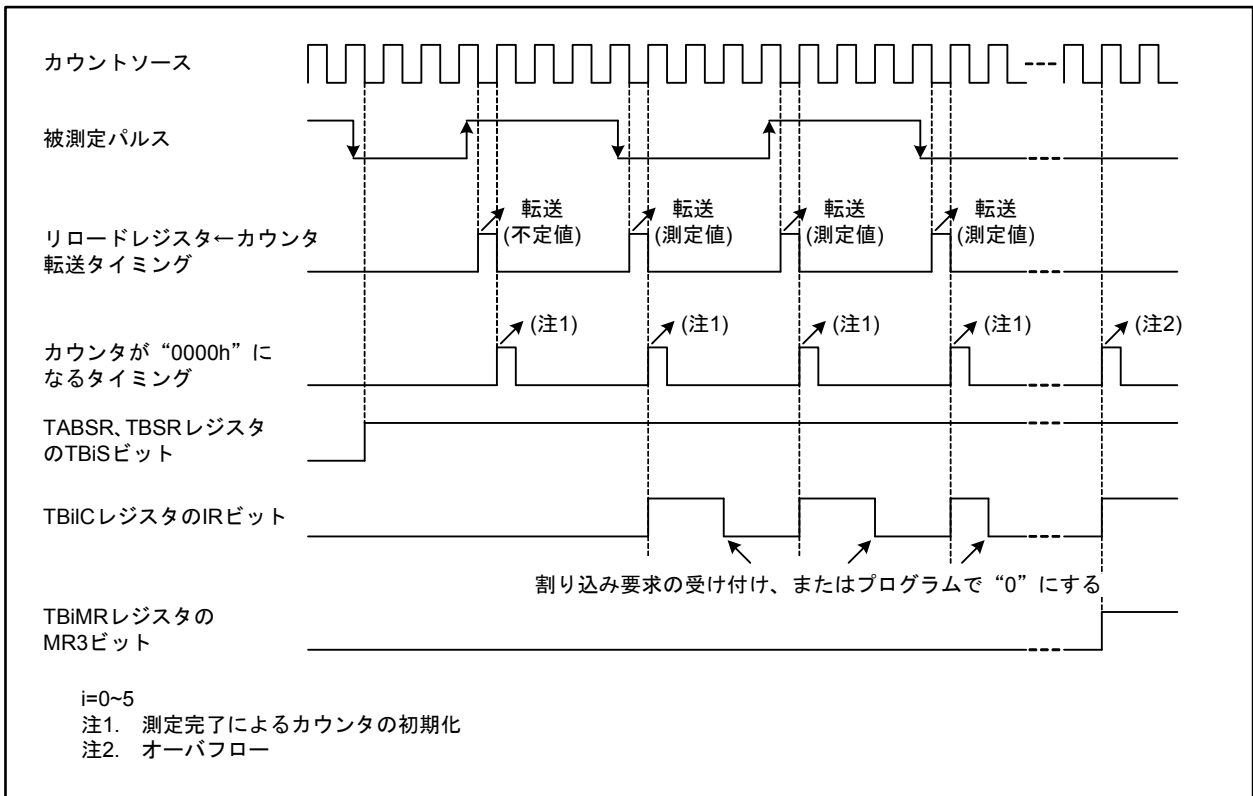


図 15.29 パルス幅測定時の動作図

15.3 タイマ使用上の注意

15.3.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSРレジスタまたはTBSRレジスタの、TAiSビット(i=0~4)またはTBjSビット(j=0~5)を“1”(カウント開始)にしてください。

以下のレジスタ、ビットは、対応するTAiSビットまたはTBjSビットが“0”(カウント停止)の状態に変更してください。

- TAiMRレジスタ、TBjMRレジスタ
- UDFレジスタ
- ONSFレジスタのTAZIEビット、TA0TGLビット、TA0TGHビット
- TRGSРレジスタ

15.3.2 タイマA

15.3.2.1 タイマモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

15.3.2.2 イベントカウンタモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なった場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

15.3.2.3 ワンショットタイマモード時

- カウント中にTABSРレジスタのTAiSビットを“0”(カウント停止)にすると、以下のようになります。
 - カウンタはカウントを停止し、TAiレジスタの設定値をリロードします。
 - TAiOUT端子は“L”を出力します。
 - CPUクロックの1サイクル後、TAiCレジスタのIRビットが“1”(割り込み要求あり)になります。
- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、トリガにTAiIN端子への入力を選択している場合、トリガ入力からワンショットタイマの出力までに、最大でカウントソース1クロック分の遅延が生じます。
- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、下記の設定を行った後、IRビットを“0”にしてください。
 - リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

- カウント中に再トリガが発生した場合は、カウンタは1回ダウンカウントした後、TAiレジスタ(i=0~4)の設定値をリロードしてカウントを続けます。カウント中に再トリガを発生させる場合は、前回のトリガの発生からタイマのカウントソース1クロック以上経過した後に発生させてください。
- カウント開始条件にTAiIN端子へのトリガ入力を選択している場合、タイマAのカウント値が“0000h”になる直前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

15.3.2.4 パルス幅変調モード時

- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、以下の設定を行った後、IRビットを“0”にしてください。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したとき
- PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると以下のようになります。
 - カウンタはカウントを停止します。
 - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

15.3.3 タイマB

15.3.3.1 タイマモード、イベントカウンタモード時

- カウント中のカウンタの値は、TBjレジスタ(j=0~5)を読むことでいつでも知ることができます。ただし、TBjレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTBjレジスタに値を設定して、カウント開始前にTBjレジスタを読んだ場合、設定した値が読めます。

15.3.3.2 パルス周期測定/パルス幅測定モード時

- TBjMRレジスタのMR3ビットを“0”(オーバーフローなし)にするには、TBjSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバーフローあり)になってからカウントソース1クロック以上経過した後に、TBjMRレジスタに書いてください。
- オーバーフローだけの検出にはTBjICレジスタのIRビットを使用してください。MR3ビットは、割り込み処理ルーチンで割り込み要因を判断するときだけに使用してください。
- カウント開始時のカウンタの値は不定です。したがって、カウント開始後最初の有効エッジが入力されるまでにカウンタがオーバーフローし、タイマBj割り込み要求が発生する可能性があります。
- カウント開始後、最初の有効エッジが入力された時は、カウンタの値が不定なので不定値がリロードレジスタに転送されます。なお、このときタイマBj割り込み要求は発生しません。
- カウント開始後にTBjMRレジスタのMR1~MR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。ただし、MR1~MR0ビットに同じ値を上書きした場合は、IRビットは変化しません。
- パルス幅測定モードでは、連続してパルス幅を測定します。測定結果が“H”幅の測定結果であるか“L”幅の測定結果であるかは、プログラムで判断してください。
- パルス周期測定モードでは、カウンタのオーバーフローと同時に有効エッジが入力された場合、割り込み要求が1回しか発生しないため、有効エッジが入力されたことを確認できません。カウンタがオーバーフローしない範囲で使用してください。
- パルス幅測定モードでは、タイマBj割り込みの処理ルーチンでポートのレベルを読んで、カウンタがオーバーフローしたか、有効エッジが入力されたかを判断してください。

16. 三相モータ制御用タイマ機能

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U, \bar{U} , V, \bar{V} , W, \bar{W})の制御に使用します。

表 16.1に三相モータ制御用タイマ機能の仕様を、図 16.1にブロック図を示します。また、図 16.2~図 16.6に関連レジスタを示します。

表 16.1 三相モータ制御用タイマ機能の仕様

項目	仕様
三相PWM波形出力端子	6本(U, \bar{U} , V, \bar{V} , W, \bar{W})
強制遮断入力(注1)	NMI端子に“L”を入力
使用タイマ	タイマA4、A1、A2 (ワンショットタイマモードで使用) タイマA4: U、 \bar{U} 相波形制御 タイマA1: V、 \bar{V} 相波形制御 タイマA2: W、 \bar{W} 相波形制御 タイマB2 (タイマモードで使用) 搬送波周期制御 短絡防止タイマ (8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・上側通電信号と下側通電信号の出力論理を独立して設定可能
搬送波周期	三角波変調: カウントソース $\times (m + 1) \times 2$ 鋸波変調: カウントソース $\times (m + 1)$ m: TB2レジスタ設定値 0000h~FFFFh カウントソース: f1, f8, f2n, fC32
三相PWM出力幅	三角波変調: カウントソース $\times n \times 2$ 鋸波変調: カウントソース $\times n$ n: TA4、TA1、TA2 (INVC1レジスタのINV11ビットが“1”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値 0001h~FFFFh カウントソース: f1, f8, f2n, fC32
短絡防止時間(幅)	カウントソース $\times p$ 、または短絡防止時間なし p: DTTレジスタ設定値 01h~FFh カウントソース: f1、またはf1の2分周
通電出力論理	アクティブ“H”またはアクティブ“L”選択可能
上下同時通電出力禁止機能	上下同時通電出力禁止機能あり、上下同時通電出力検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと~搬送波周期15回ごとと選択

注1. NMI入力による強制遮断は、PM2レジスタのPM24ビットが“1” (NMI有効)、かつIOBCレジスタのSDEビットが“1” (シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1” (三相モータ制御用タイマ機能を使用)、かつINV03ビットが“1” (三相モータ制御用タイマ出力許可)のとき有効です。

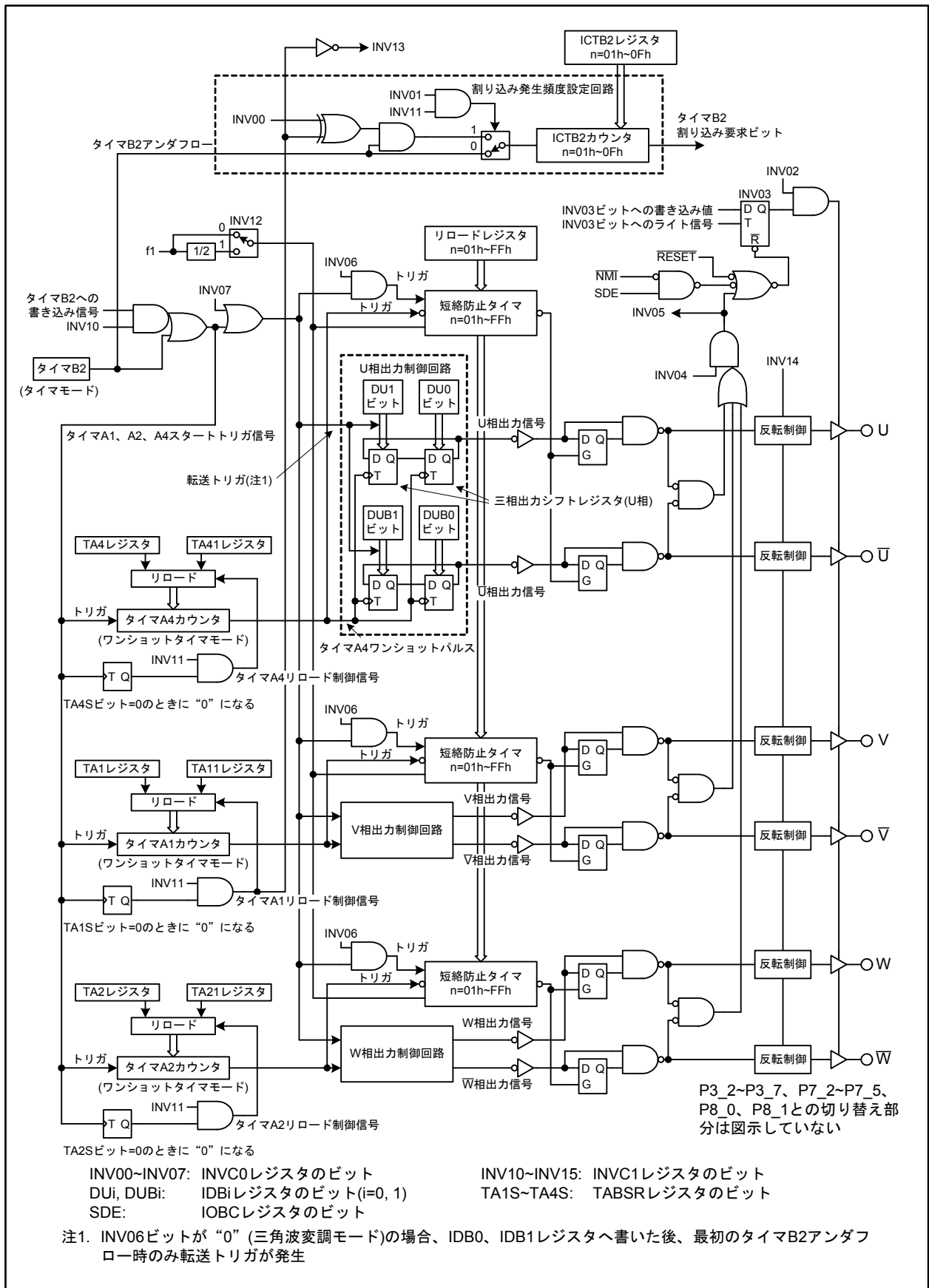


図 16.1 三相モータ制御用タイマ機能のブロック図

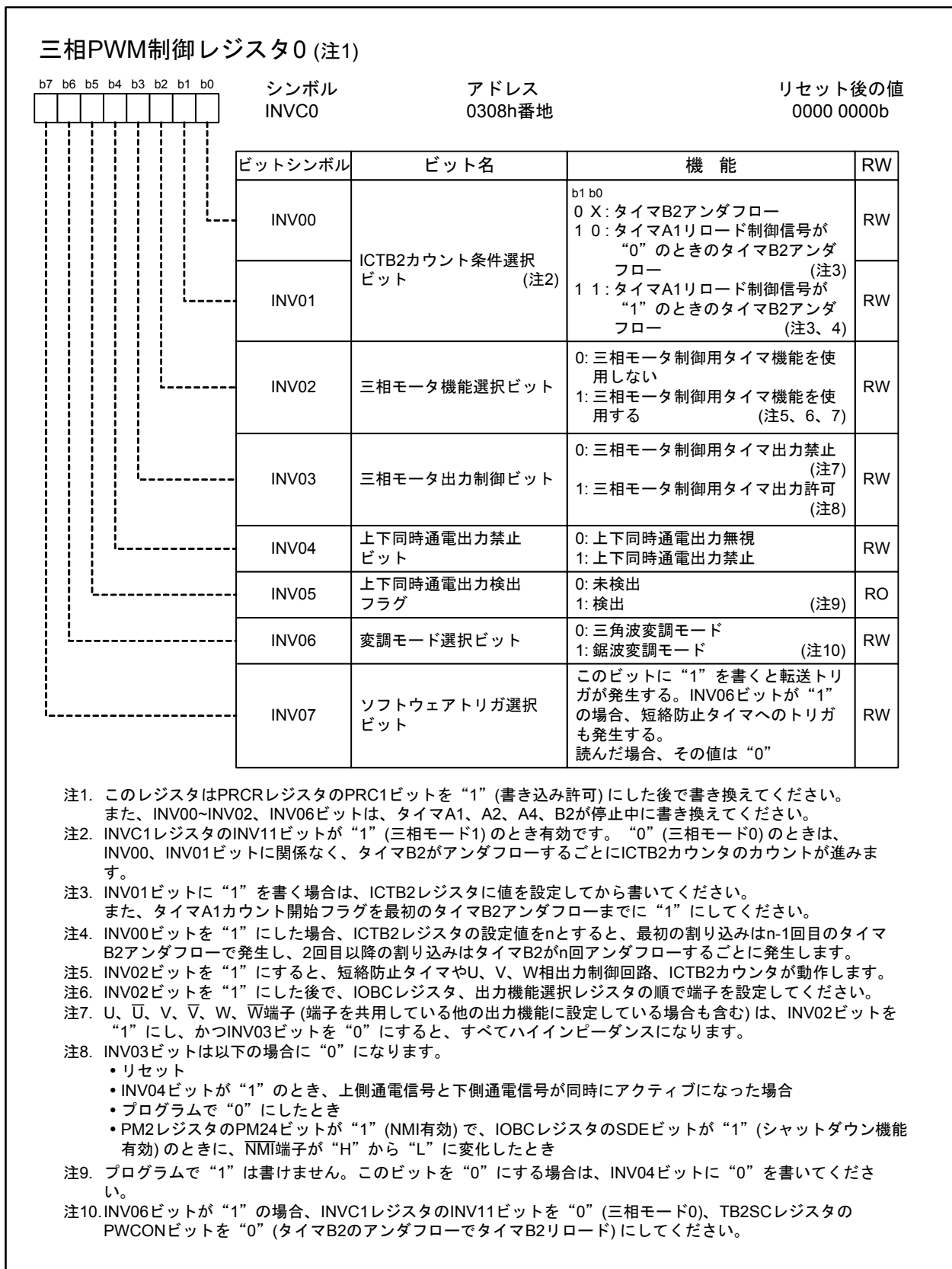


図 16.2 INVC0レジスタ

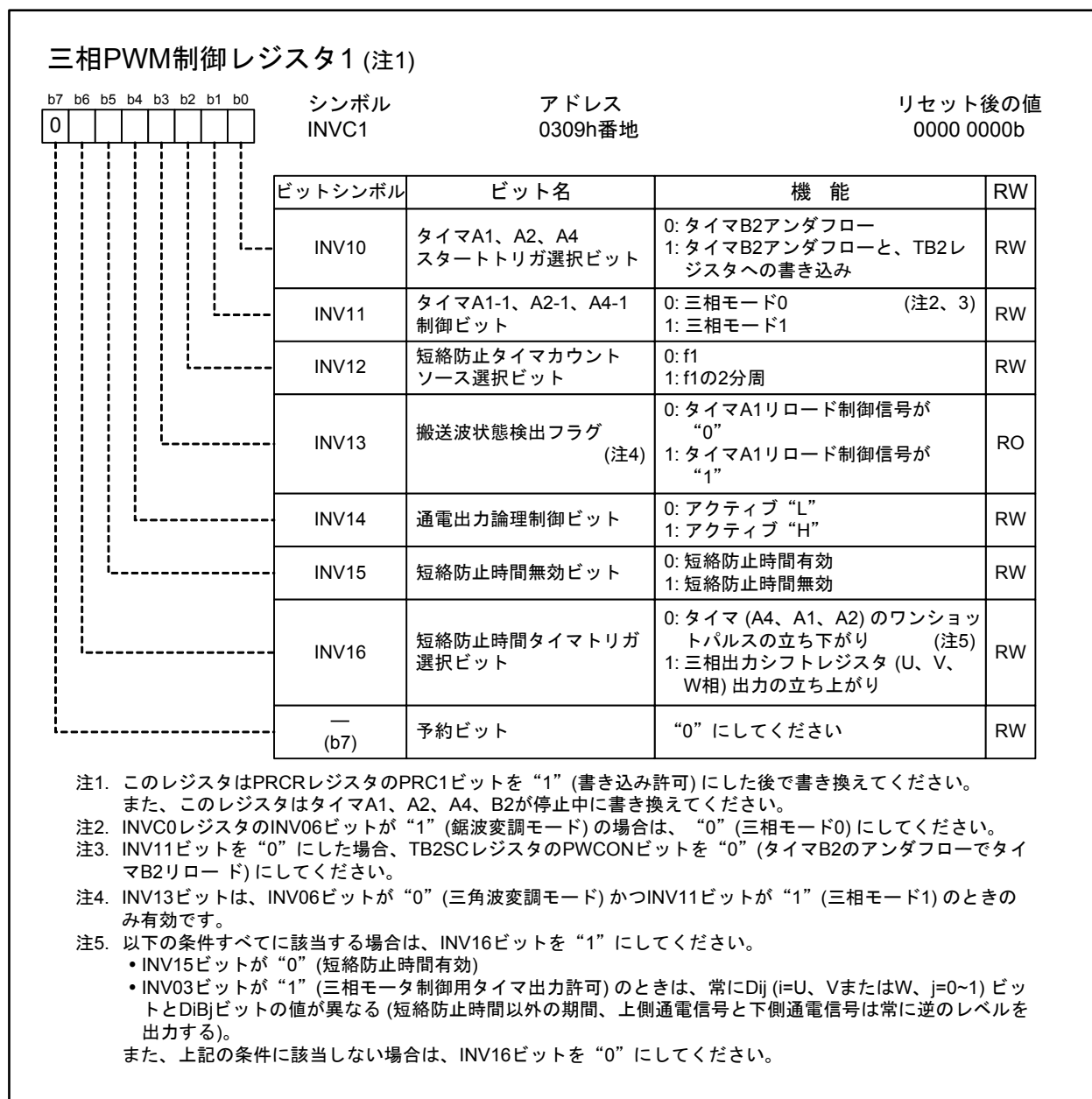


図 16.3 INVC1レジスタ

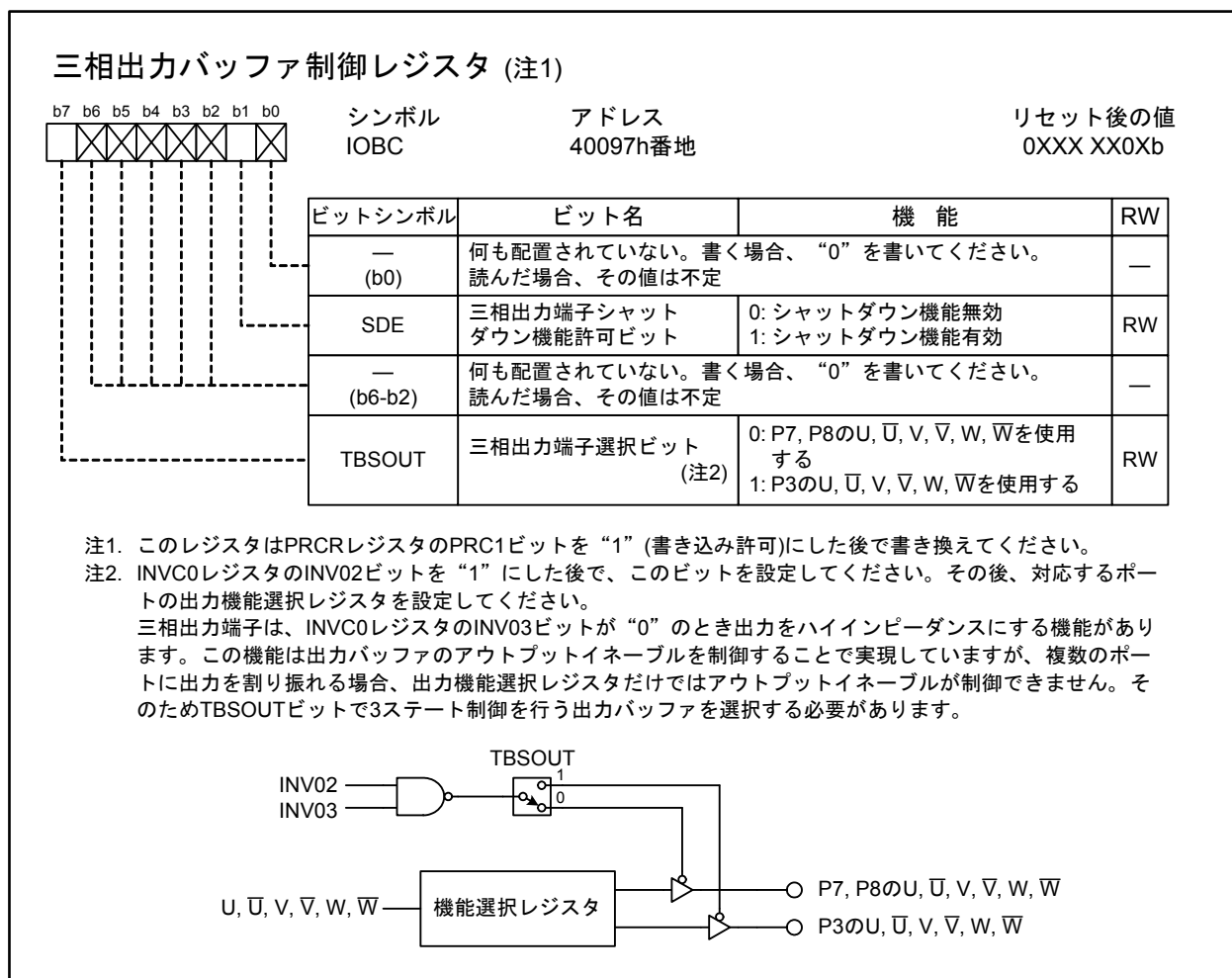


図 16.4 IOBC レジスタ

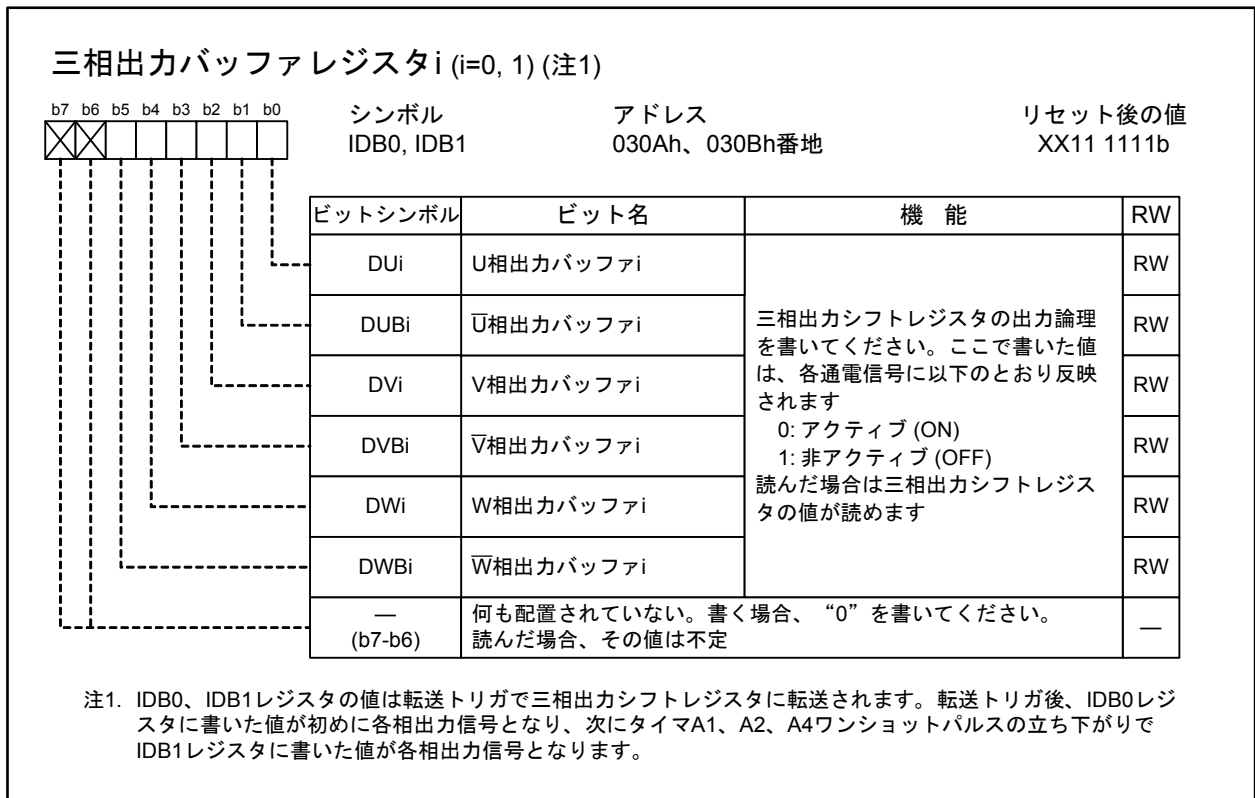


図 16.5 IDB0、IDB1レジスタ

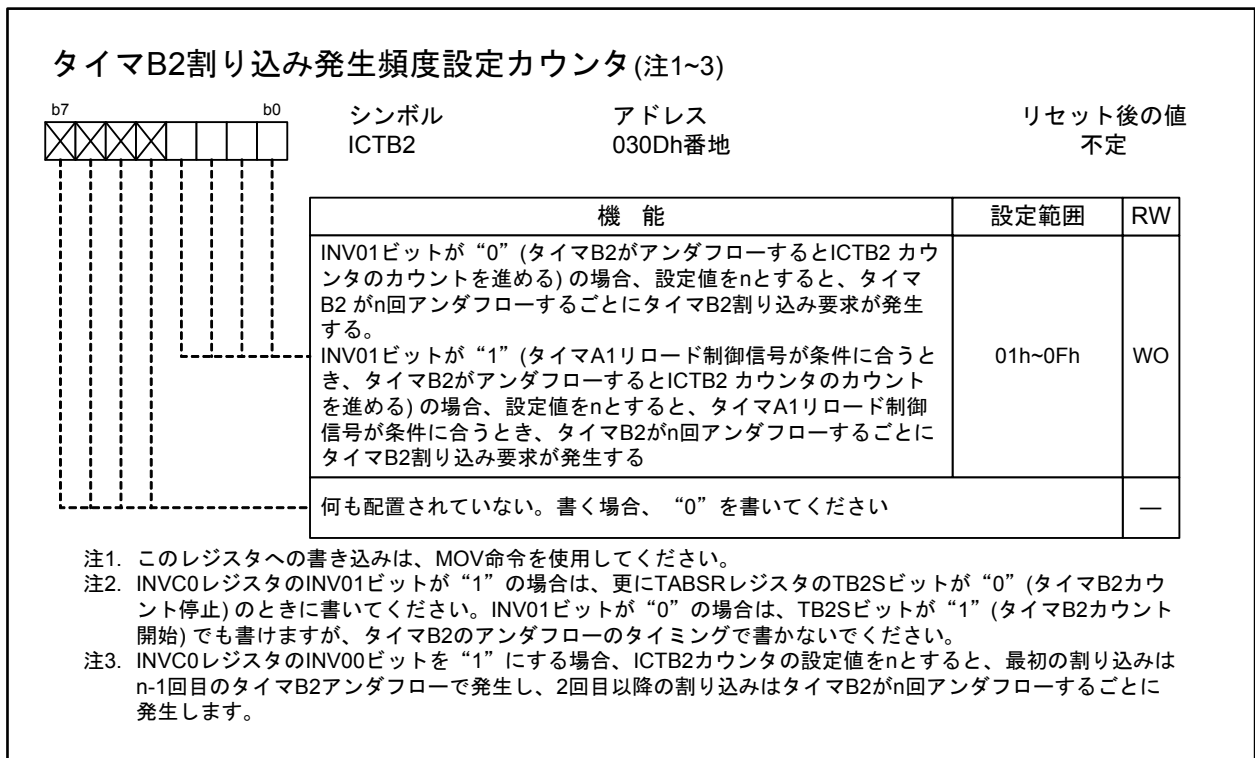


図 16.6 ICTB2レジスタ

16.1 三相モータ制御用タイマのモード

三相モータ制御用タイマには、三角波変調モードと鋸波変調モードがあり、さらに三角波変調モードには三相モード0と三相モード1があります。それぞれの特徴と設定を表 16.2に示します。

表 16.2 モード一覧

項目	三角波変調モード		鋸波変調モード
	三相モード0	三相モード1	(三相モード0)
設定	INV06=0, INV11=0, PWCON=0	INV06=0, INV11=1	INV06=1, INV11=0, PWCON=0
搬送波波形	三角波		鋸波
TA11、TA21、TA41レジスタ	使用しない	使用する	使用しない
IDB0レジスタ、IDB1レジスタから三相出カシフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガ(注1)に同期して1回のみ転送		転送トリガ(注1)ごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期		タイマA1、A2、A4のワンショットパルスの立ち下がりと、転送トリガに同期
INVC0レジスタのINV00ビット、INV01ビット	無効 INV00、INV01ビットの値に関係なくタイマB2がアンダフローするごとにICTB2カウント	有効	無効 INV00、INV01ビットの値に関係なくタイマB2がアンダフローするごとにICTB2カウント
INV13ビット	無効	有効	無効

注1. 転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10ビットが“1”のときのTB2レジスタへの書き込み

16.2 タイマB2

三相モータ制御用タイマ機能を使用する場合、タイマB2は搬送波制御に使用します。

タイマB2はタイマモードに設定します。

図 16.7に三相モータ制御用タイマ機能時のTB2レジスタ、図 16.8に三相モータ制御用タイマ機能時のTB2MRレジスタを示します。また、三相モード1のときに搬送波周期を変更するタイミングを切り替えるTB2SCレジスタを図 16.9に示します。

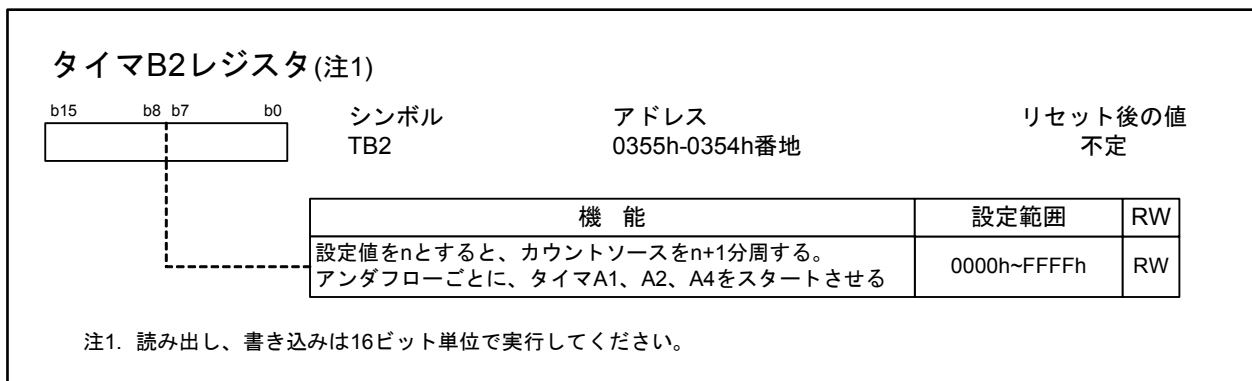


図 16.7 三相モータ制御用タイマ機能時のTB2レジスタ

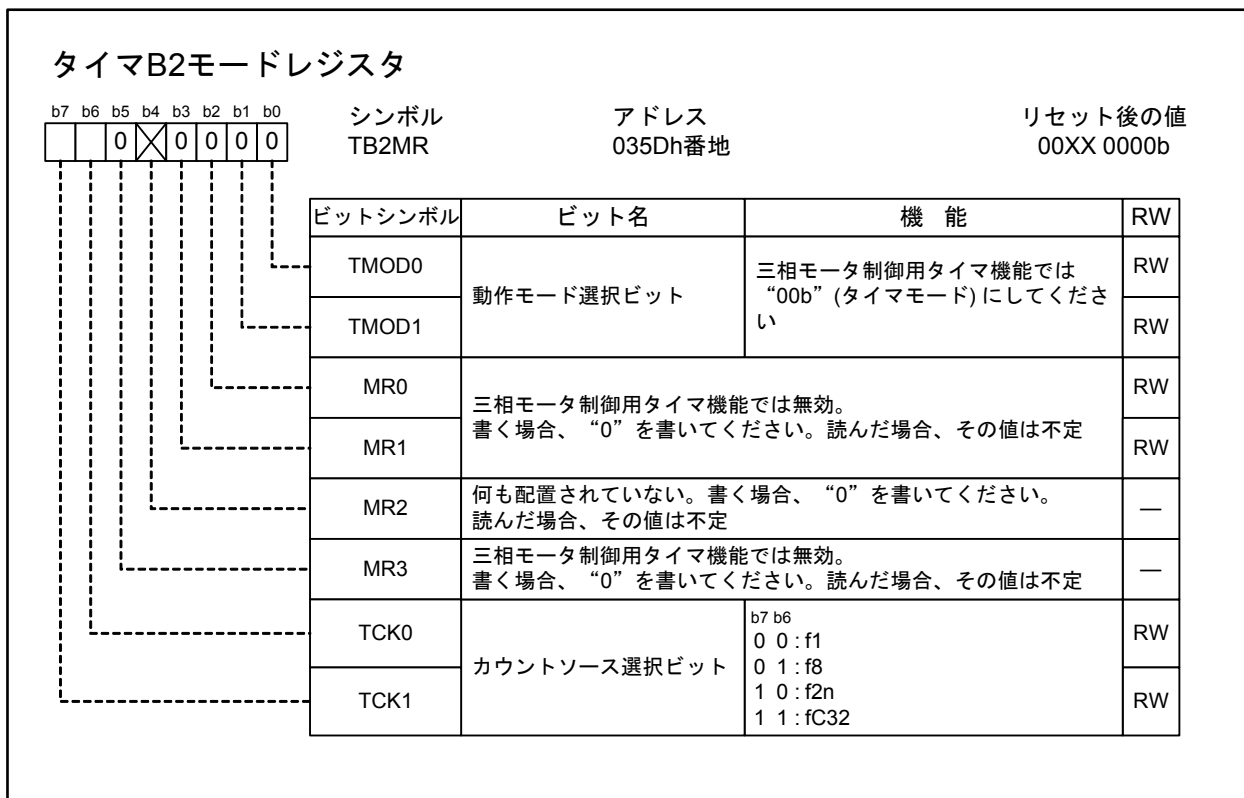


図 16.8 三相モータ制御用タイマ機能時のTB2MRレジスタ

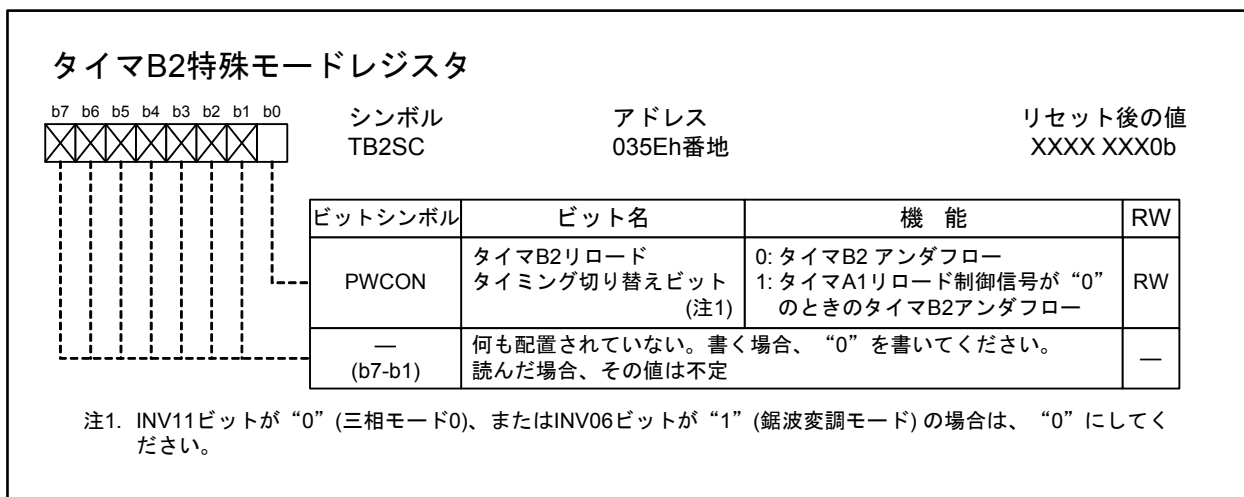


図 16.9 TB2SCレジスタ

16.3 タイマA4、A1、A2

三相モータ制御用タイマ機能を使用する場合、タイマA4、A1、A2は三相PWM出力(U, \bar{U} , V, \bar{V} , W, \bar{W})の制御に使用します。

タイマA4、A1、A2はワンショットタイマモードに設定します。タイマB2がアンダフローするごとにタイマA4、A1、A2にトリガが入力され、ワンショットパルスが生成されます。したがって、タイマB2割り込みが発生するごとにTA4、TA1、TA2レジスタの値を書き換えることでPWM波形のデューティ比を変えることができます。

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTA_i、TA_{i-1} (i=4, 1, 2)と入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

図 16.10に三相モータ制御用タイマ機能時のTA1、TA2、TA4、TA11、TA21、TA41レジスタ、図 16.11にTA1M、TA2M、TA4M、TA11M、TA21M、TA41Mレジスタ、図 16.12に三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ、図 16.13に三相モータ制御用タイマ機能時のTRGSRレジスタ、図 16.14にTABSRレジスタを示します。

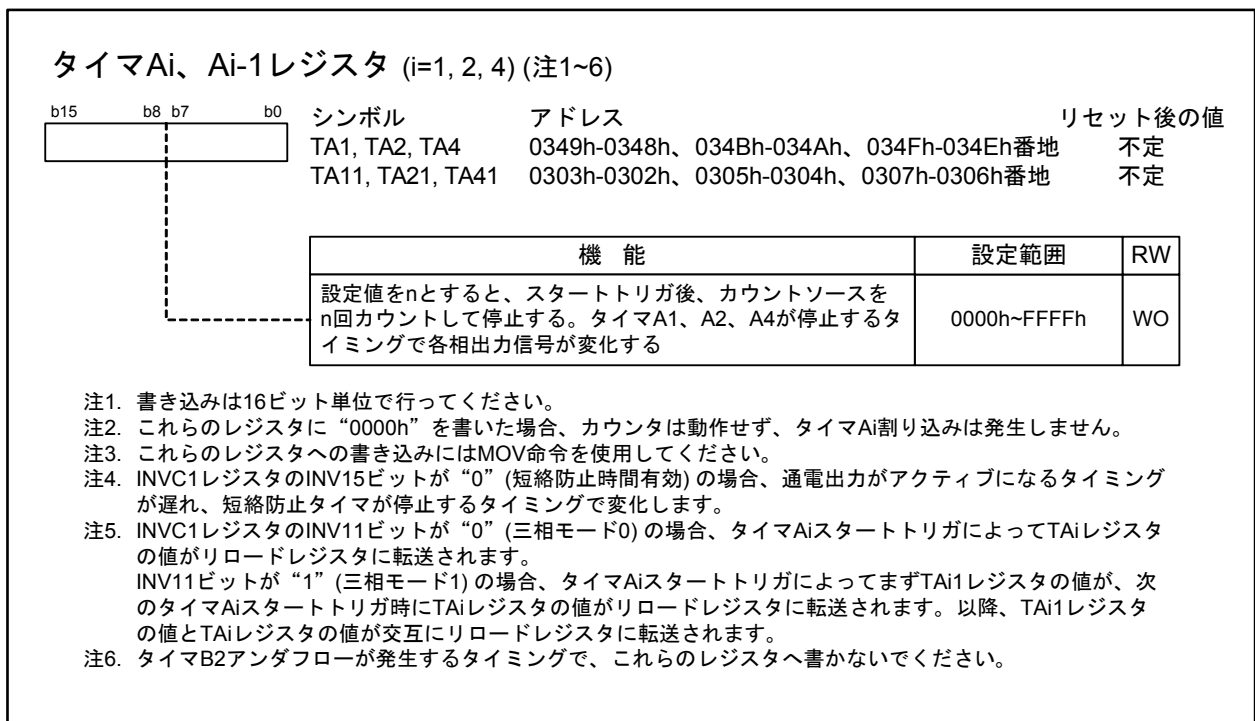


図 16.10 TA1、TA2、TA4、TA11、TA21、TA41レジスタ

タイマAi、Ai-1ミラーレジスタ (i=1, 2, 4) (注1~7)

b15	b8	b7	b0

シンボル	アドレス	リセット後の値
TA1M, TA11M	0221h-0220h、0223h-0222h番地	不定
TA2M, TA21M	0225h-0224h、0227h-0226h番地	不定
TA4M, TA41M	0229h-0228h、022Bh-022Ah番地	不定

機 能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで各相出力信号が変化する	0000h~FFFFh	WO

注1. 書き込みは16ビット単位で行ってください。

注2. これらのレジスタに書いた値はTAi、TAi1レジスタにも反映されます。

注3. これらのレジスタに“0000h”を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。

注4. これらのレジスタへの書き込みにはMOV命令を使用してください。

注5. INVC1レジスタのINV15ビットが“0” (短絡防止時間有効) の場合、通電出力がアクティブになるタイミングが遅れ、短絡防止タイマが停止するタイミングで変化します。

注6. INVC1レジスタのINV11ビットが“0” (三相モード0) の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。
INV11ビットが“1” (三相モード1) の場合、タイマAiスタートトリガによってまずTAi1レジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAi1レジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。

注7. タイマB2アンダフローが発生するタイミングで、これらのレジスタへ書かないでください。

図 16.11 TA1M、TA2M、TA4M、TA11M、TA21M、TA41Mレジスタ

タイマAiモードレジスタ (i=1, 2, 4)

b7	b6	b5	b4	b3	b2	b1	b0
0 1 0 0 1 0							

シンボル	アドレス	リセット後の値
TA1MR, TA2MR, TA4MR	0357h、0358h、035Ah番地	0000 0000b

ビットシンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	三相モータ制御用タイマ機能では“10b” (ワンショットタイマモード) にしてください	RW
TMOD1			RW
MR0	予約ビット	“0” にしてください	RW
MR1	外部トリガ選択ビット	三相モータ制御用タイマ機能では“0” にしてください	RW
MR2	トリガ選択ビット	三相モータ制御用タイマ機能では“1” (TRGSRレジスタで選択) にしてください	RW
MR3	三相モータ制御用タイマ機能では“0” にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0 : f1	RW
TCK1		0 1 : f8 1 0 : f2n 1 1 : fC32	RW

図 16.12 三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ

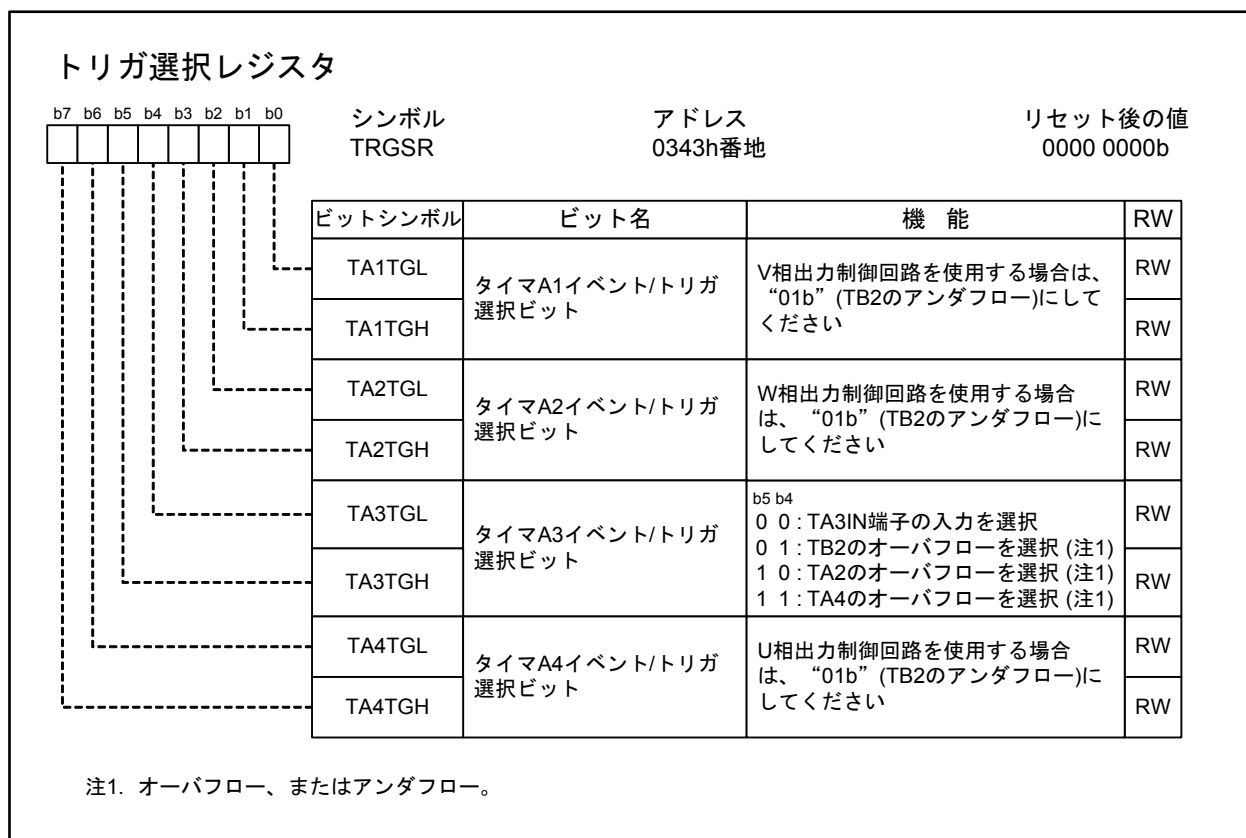


図 16.13 三相モータ制御用タイマ機能時の TRGSR レジスタ

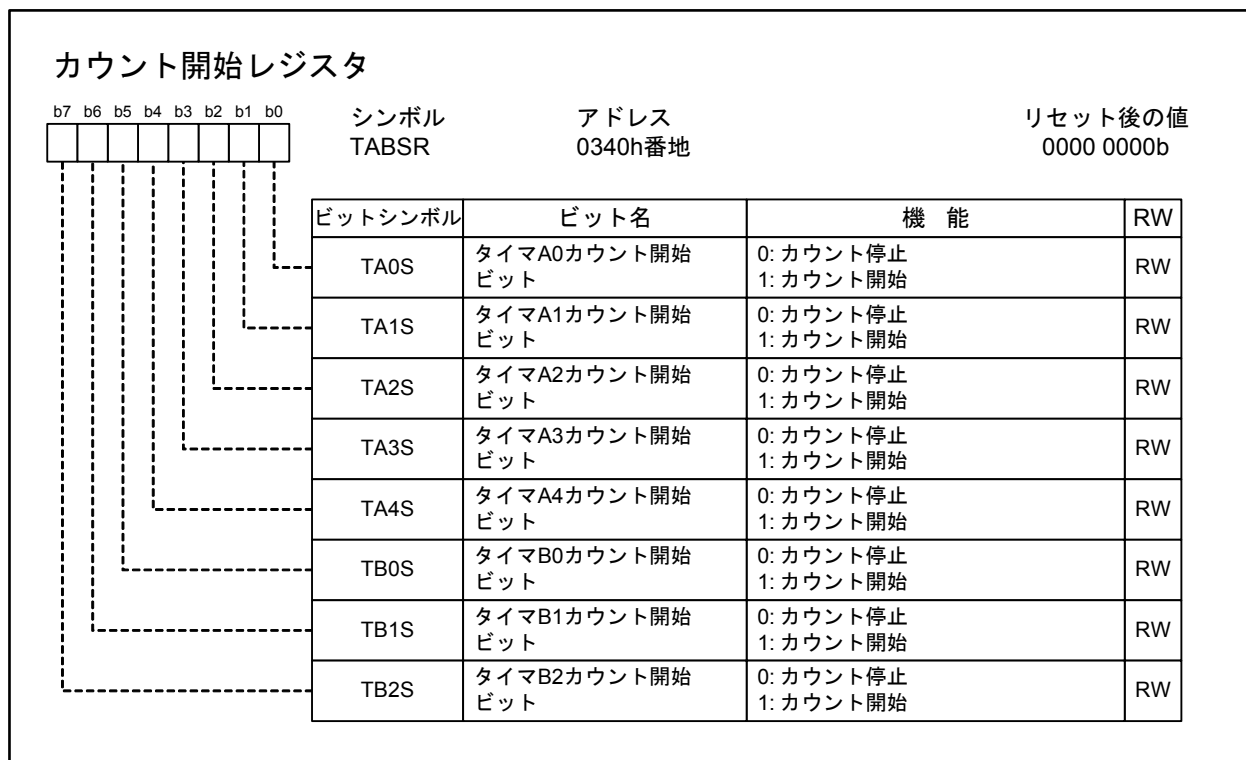


図 16.14 TABSR レジスタ

16.4 上下同時通電出力禁止機能と短絡防止タイマ

三相モータ制御用タイマには、上側トランジスタと下側トランジスタが同時に導通することで発生するアーム短絡を防止する機能があります。1つはプログラムの間違い等によって上下通電出力が同時にアクティブにならないようにする上下同時通電出力禁止機能、もう1つはトランジスタのターンオフ遅れによって上下トランジスタが同時にONにならないようにする短絡防止タイマです。

上下同時通電出力禁止機能はINVC0レジスタのINV04ビットを“1”にすることで設定できます。このとき、U相と \bar{U} 相、V相と \bar{V} 相、あるいはW相と \bar{W} 相が同時にアクティブになると、三相モータ制御出力端子はすべてハイインピーダンスになります。図 16.15 に上下同時通電出力禁止時の出力波形例を示します。

短絡防止タイマはINVC1レジスタのINV15ビットを“0”にすることで有効になります。短絡防止時間はDTTレジスタで設定します。図 16.16にDTTレジスタを、図 16.17に短絡防止タイマ使用時の出力波形例を示します。

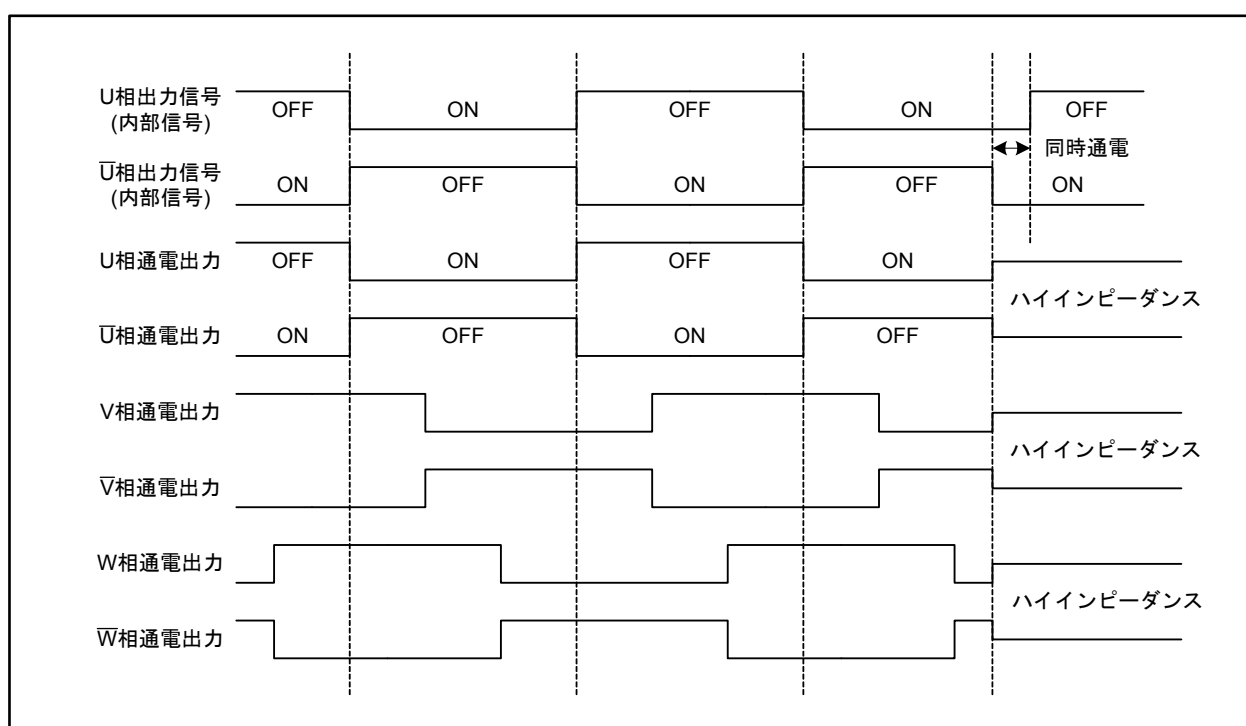


図 16.15 上下同時通電出力禁止時の出力波形例

短絡防止タイマ (注1、2)

b7 b0

シンボル DTT アドレス 030Ch番地 リセット後の値 不定

機 能	設定範囲	RW
上側トランジスタと下側トランジスタが同時に通電しないように、通電信号がアクティブになるタイミングを遅らせるためのワンショットタイマです。設定値をnとすると、トリガが入った後カウントソースをn回カウントして停止します (注3)	01h~FFh	WO

注1. このレジスタへの書き込みはMOV命令を使用してください。
 注2. INVC1レジスタのINV15ビットが“0” (短絡防止時間有効) のとき有効です。INV15ビットが“1” (短絡防止時間無効) のとき短絡防止時間はありません。
 注3. トリガはINVC1レジスタのINV16ビットで、カウントソースはINVC1レジスタのINV12ビットで選択してください。

図 16.16 DTTレジスタ

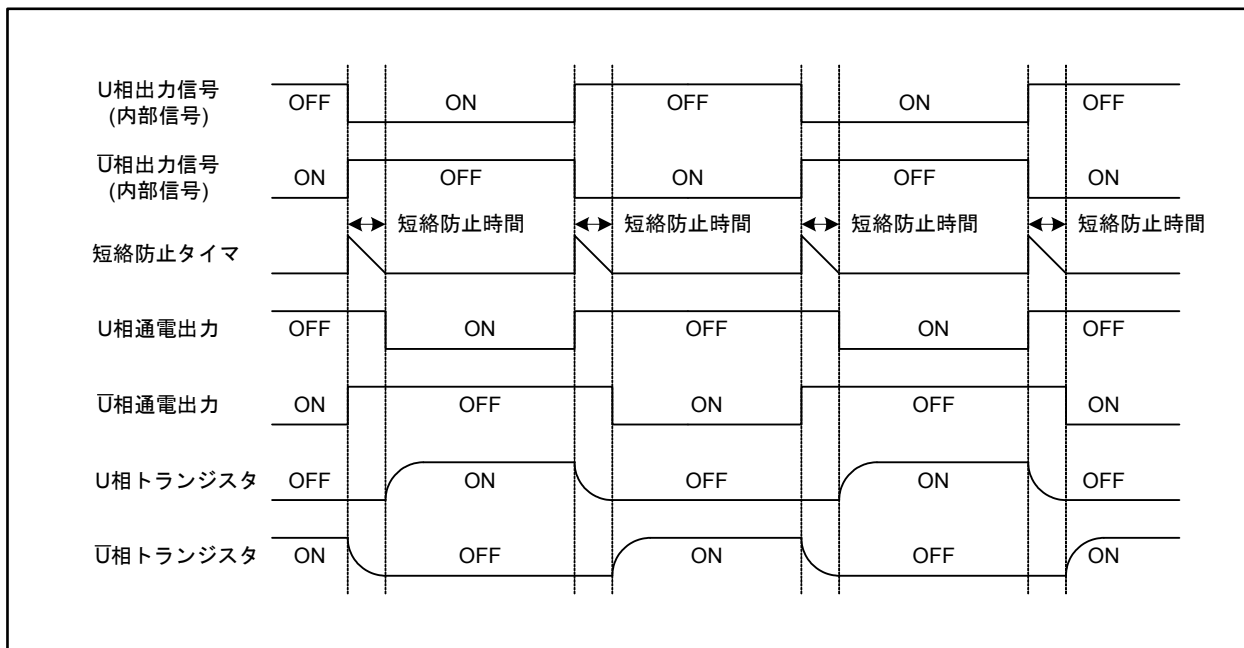


図 16.17 短絡防止タイマ使用時の出力波形例

16.5 三相モータ制御用タイマの動作例

図 16.18に三角波変調波形例を、図 16.19に鋸波変調波形例を示します。

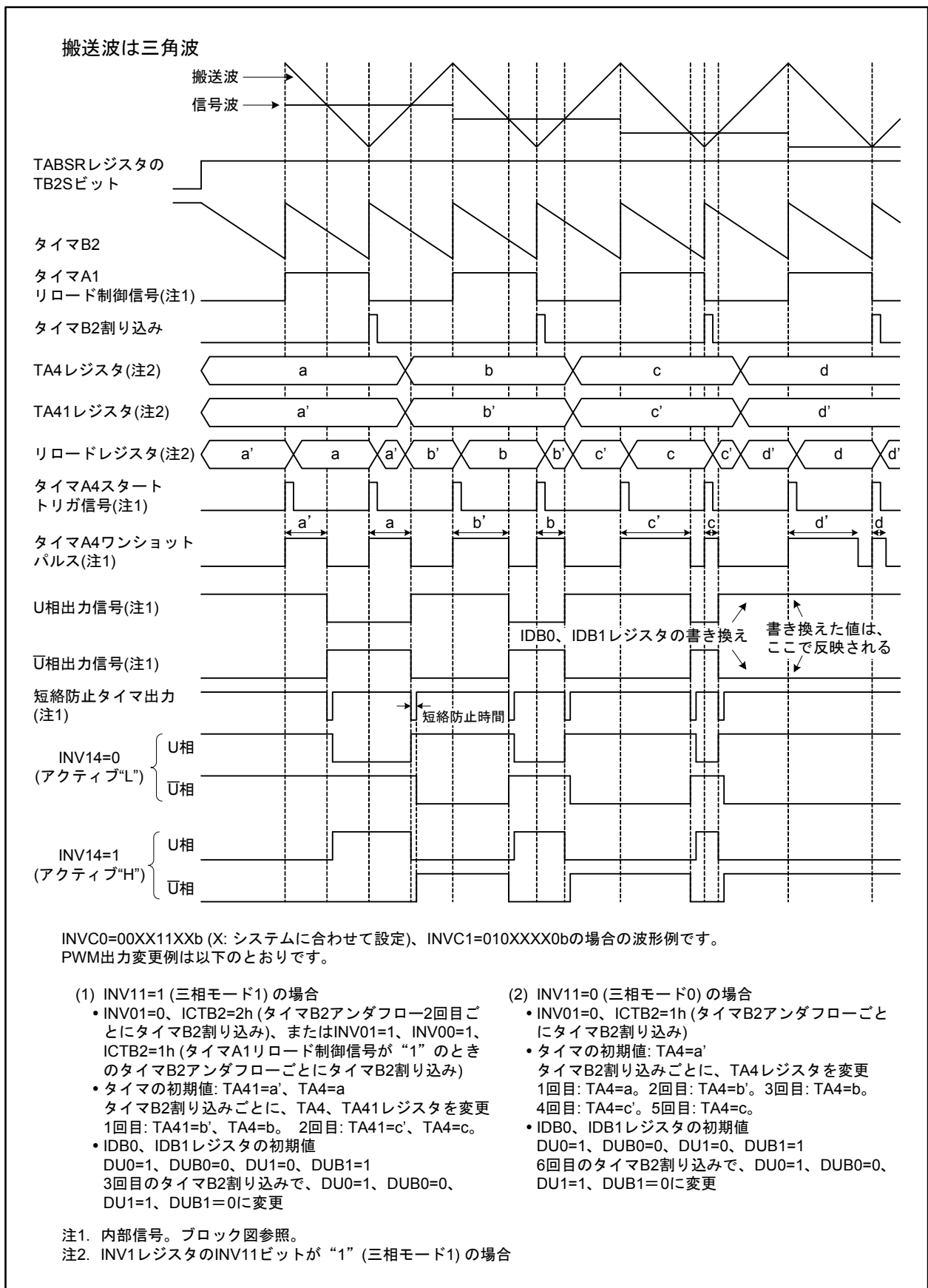


図 16.18 三角波変調動作例

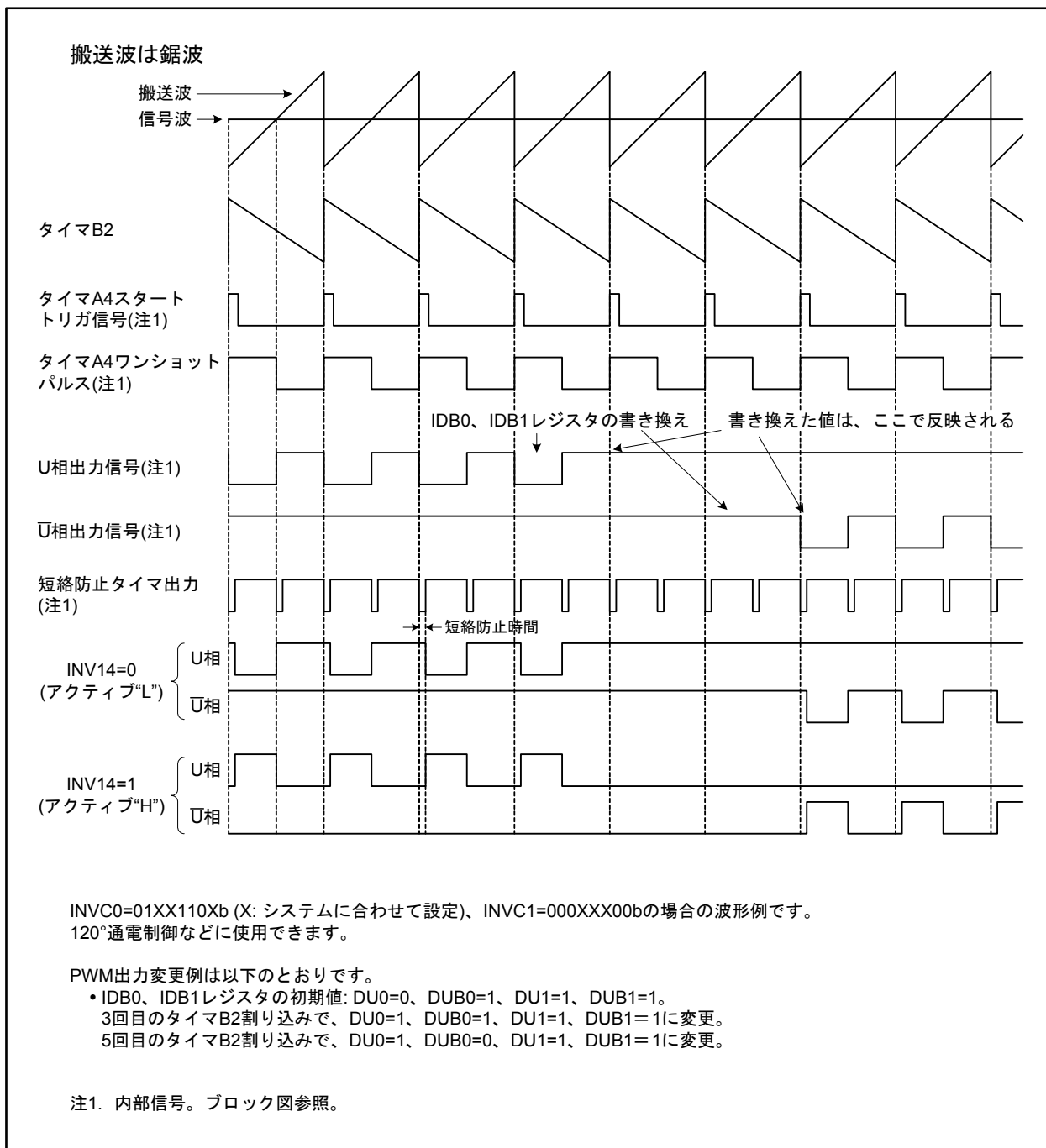


図 16.19 鋸波変調動作例

16.6 三相モータ制御用タイマ機能使用上の注意

16.6.1 シャットダウン機能

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

16.6.2 レジスタ設定

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

17. シリアルインタフェース

シリアルインタフェースは5チャンネル(UART0~UART4)あります。

UARTi (i=0~4)は、それぞれ専用の送受信クロック発生用タイマを持ち、独立して動作します。

図 17.1にUART0~UART2のブロック図を、図 17.2にUART3、UART4のブロック図を示します。

UARTiには、以下のモードがあります。

- クロック同期型シリアルインタフェースモード (UART0 ~ UART4)
- クロック非同期型シリアルインタフェースモード (UARTモード) (UART0 ~ UART4)
- 特殊モード1 (I²Cモード) (UART0 ~ UART2)
- 特殊モード2 (UART0 ~ UART2)

図 17.3~図 17.17に、UARTi関連のレジスタを示します。

レジスタの設定、端子の設定はモードごとの表を参照してください。

表 17.1 UART0~UART4の機能比較

モード/機能	UART0~UART2	UART3, UART4
クロック同期型シリアルインタフェースモード	あり	あり
シリアルデータ論理切り替え選択	可能	選択できません
UARTモード	あり	あり
CTS/RTS機能選択	可能	可能
TXD、RXD入出力極性切り替え選択	可能	選択できません
特殊モード1 (I ² Cモード)	あり	なし
特殊モード2	あり	なし

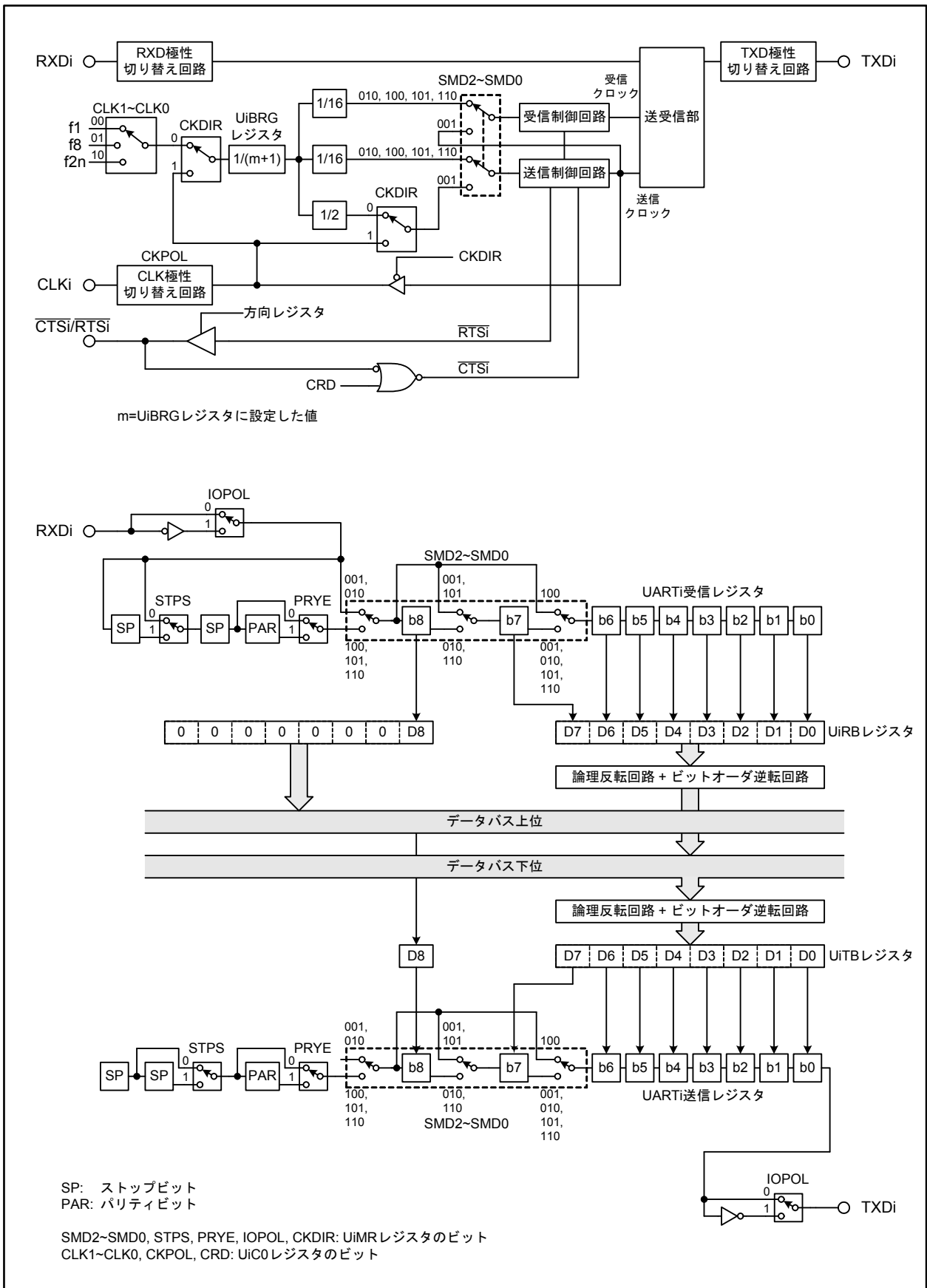


図 17.1 UARTi (i=0~2) ブロック図

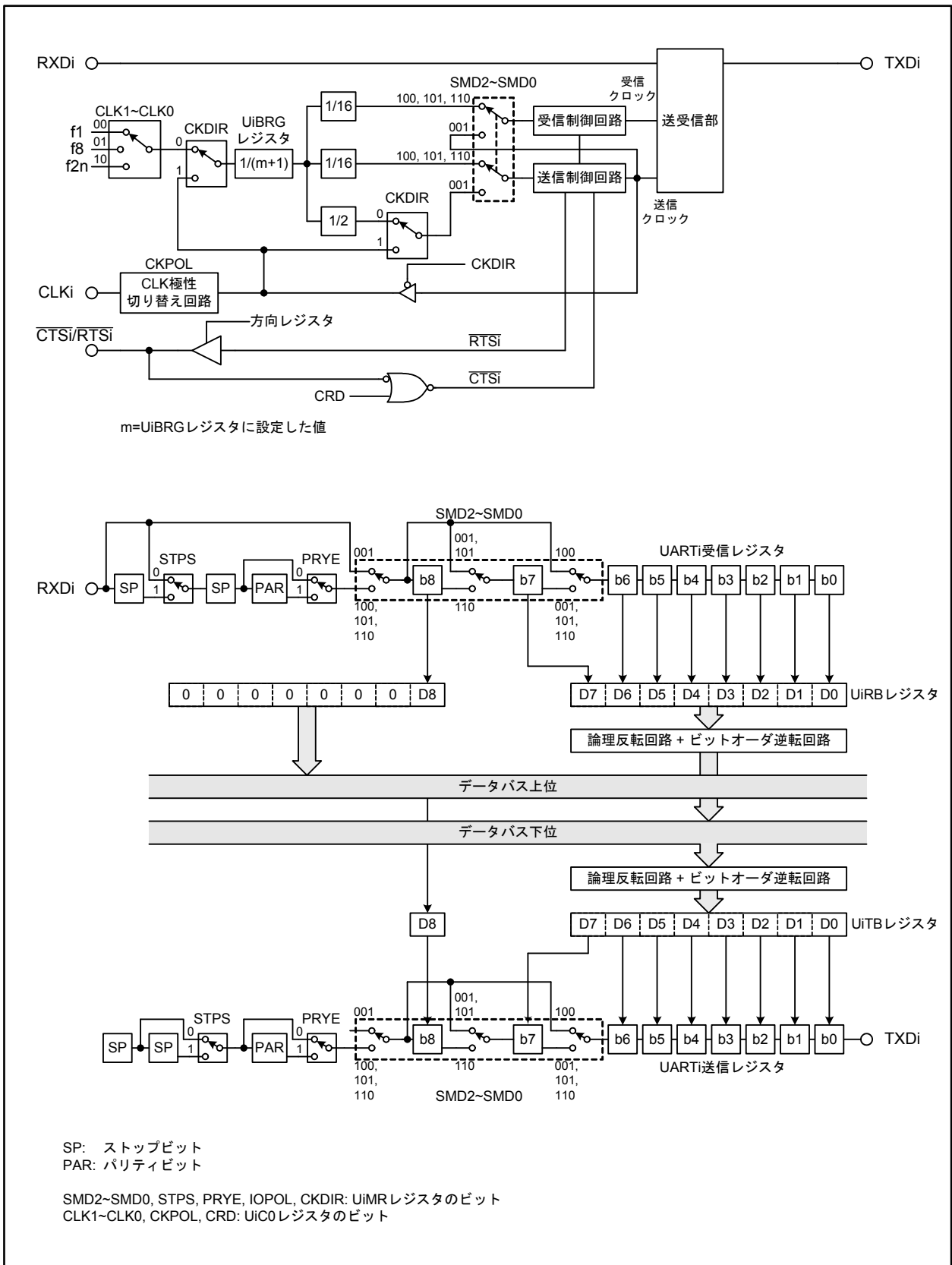


図 17.2 UARTi (i=3, 4) ブロック図

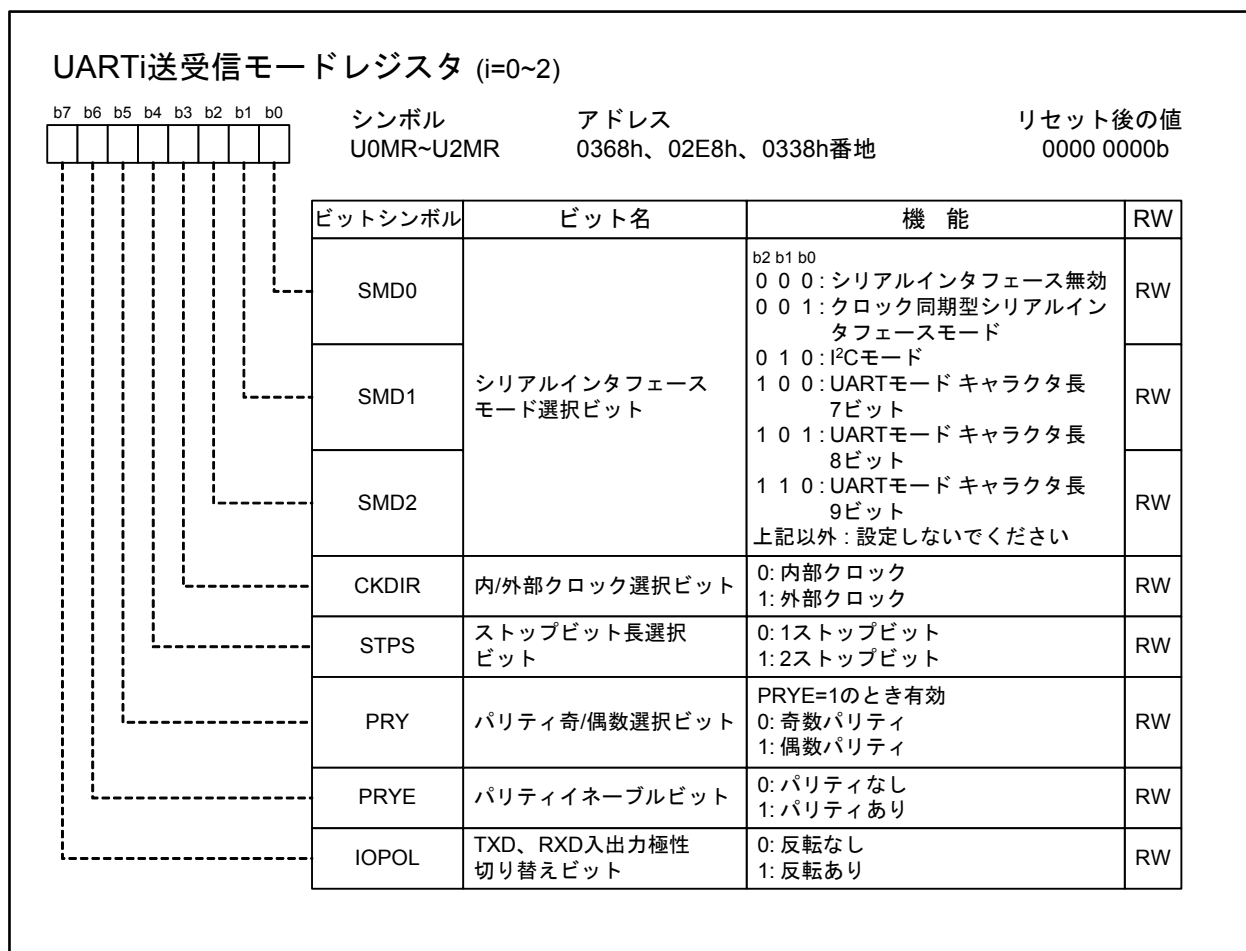


図 17.3 U0MR~U2MR レジスタ

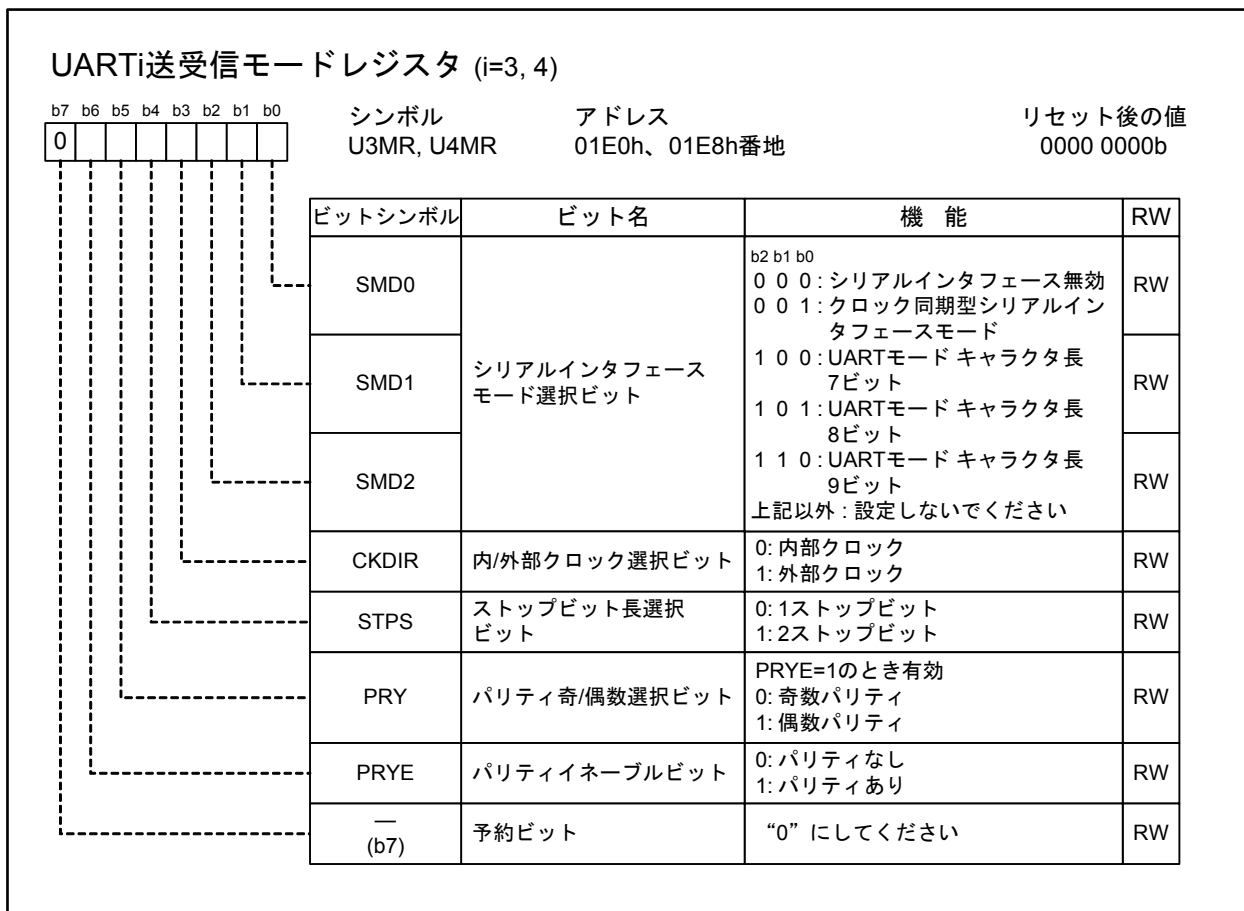


図 17.4 U3MR、U4MR レジスタ

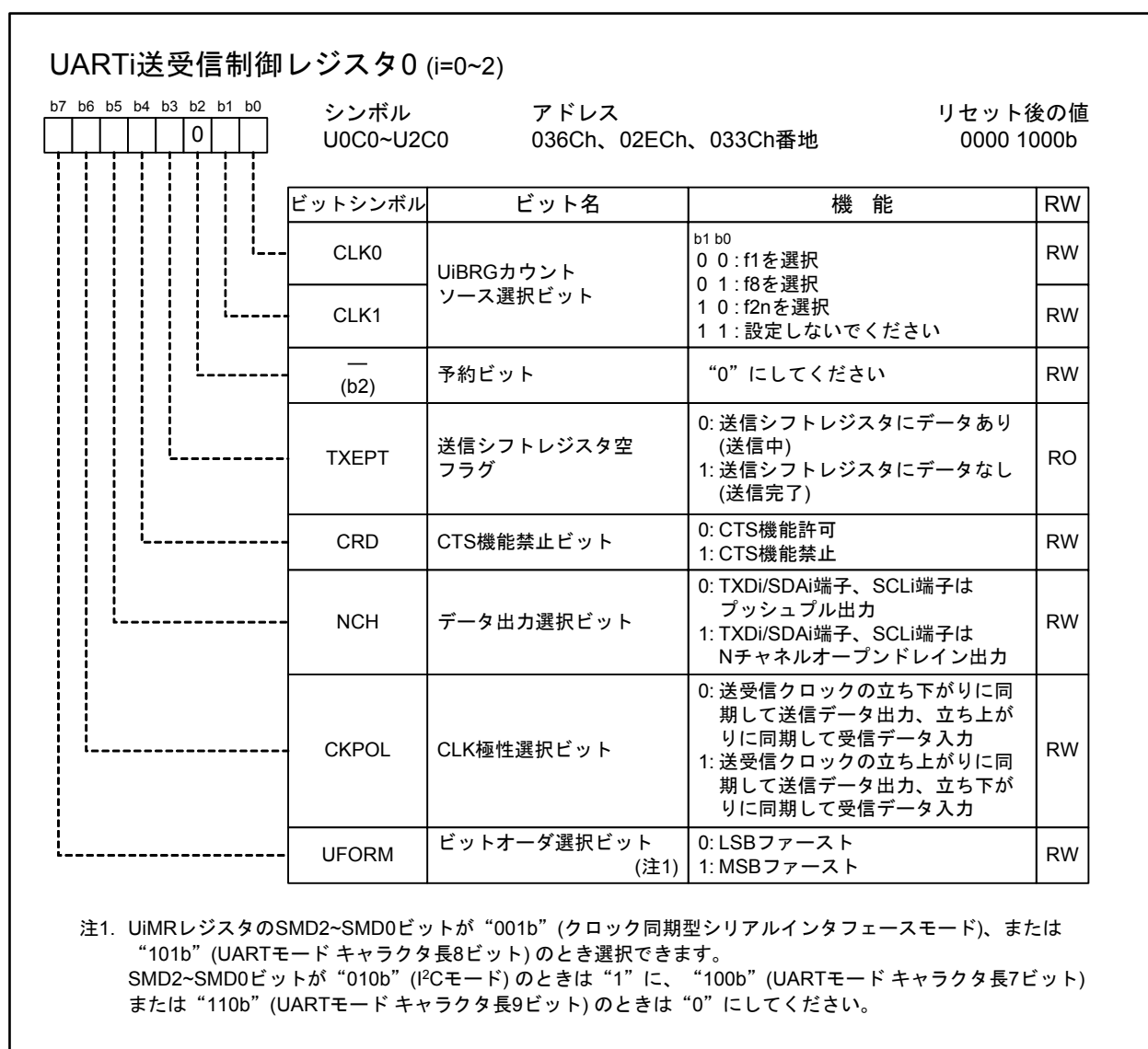


図 17.5 U0C0~U2C0 レジスタ

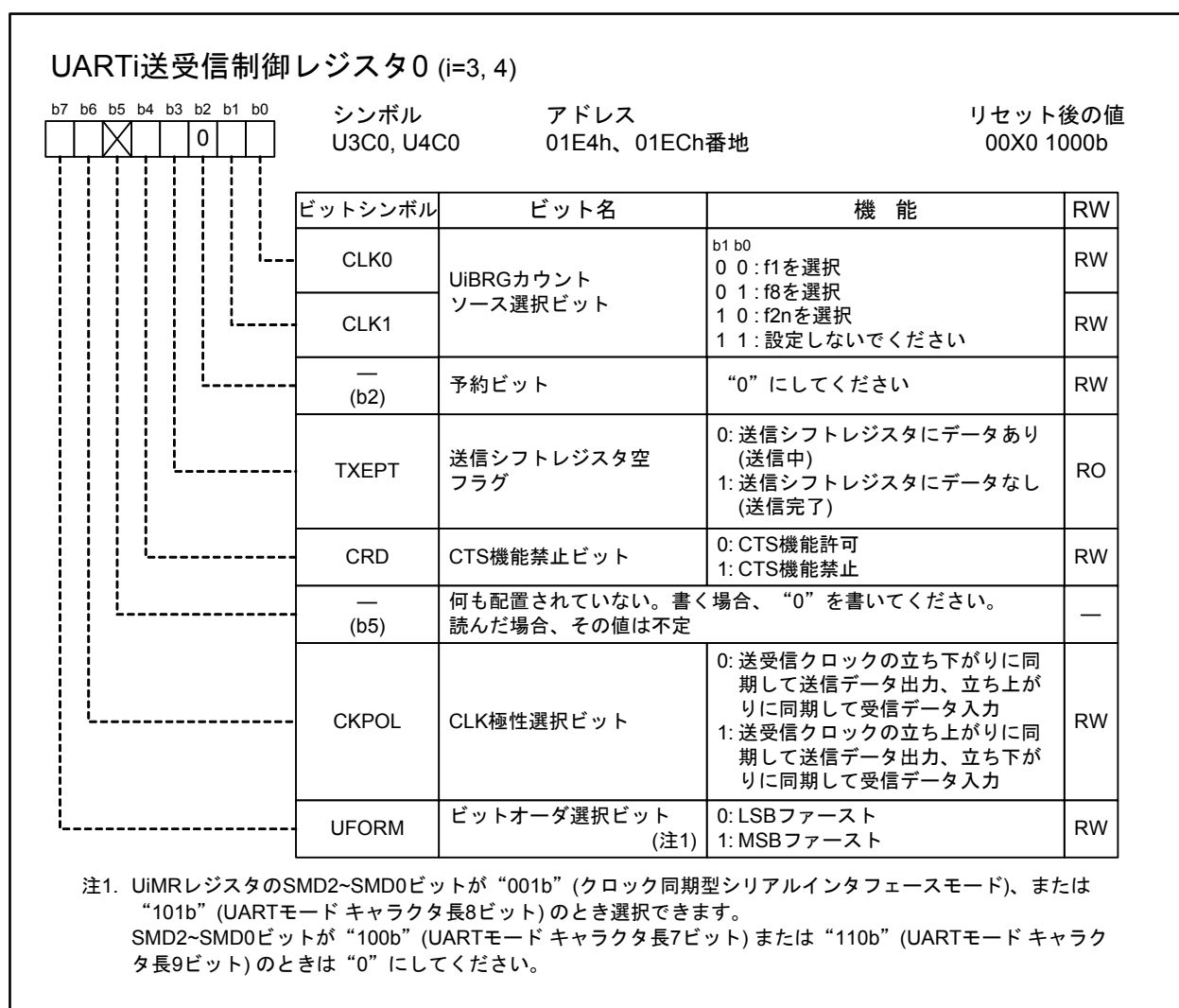


図 17.6 U3C0、U4C0 レジスタ

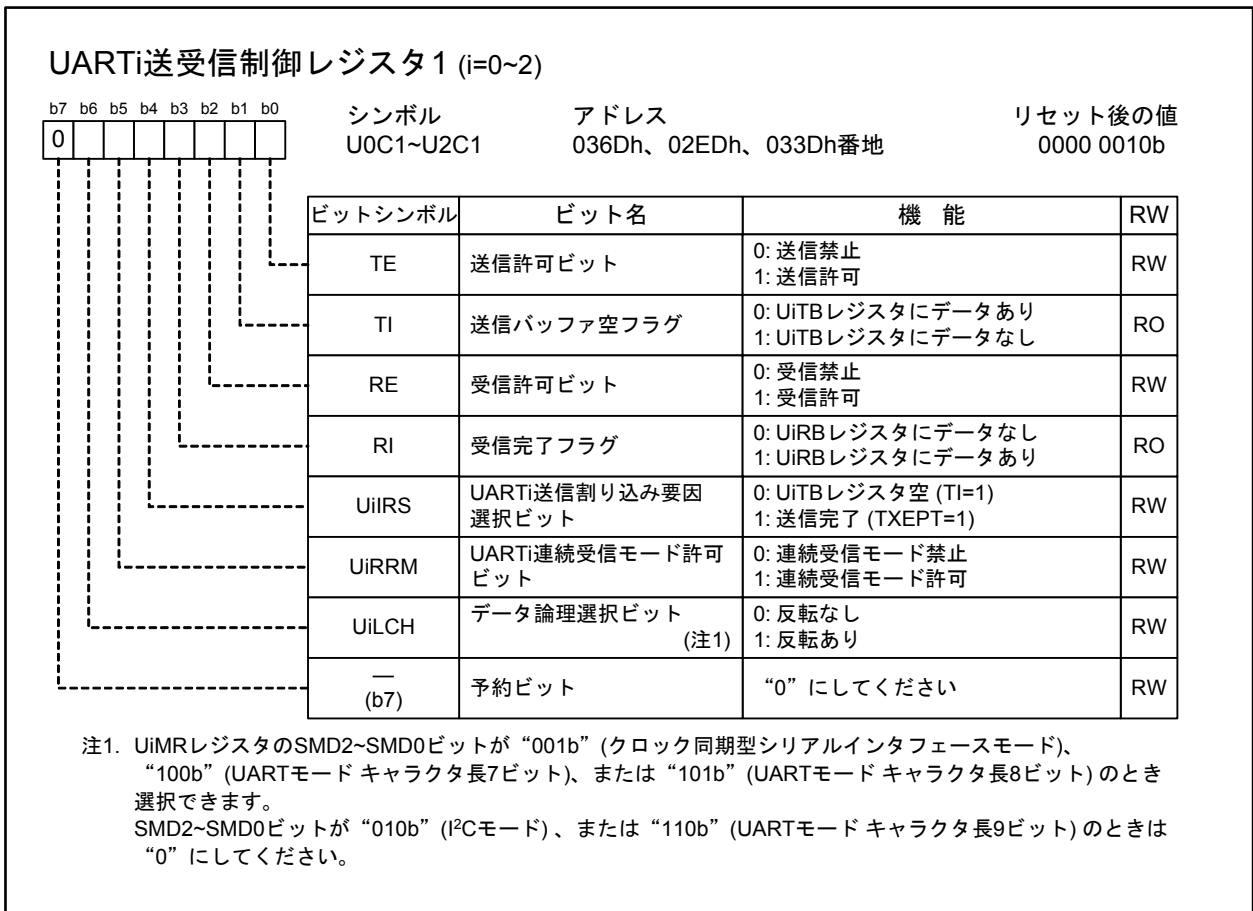


図 17.7 U0C1~U2C1レジスタ

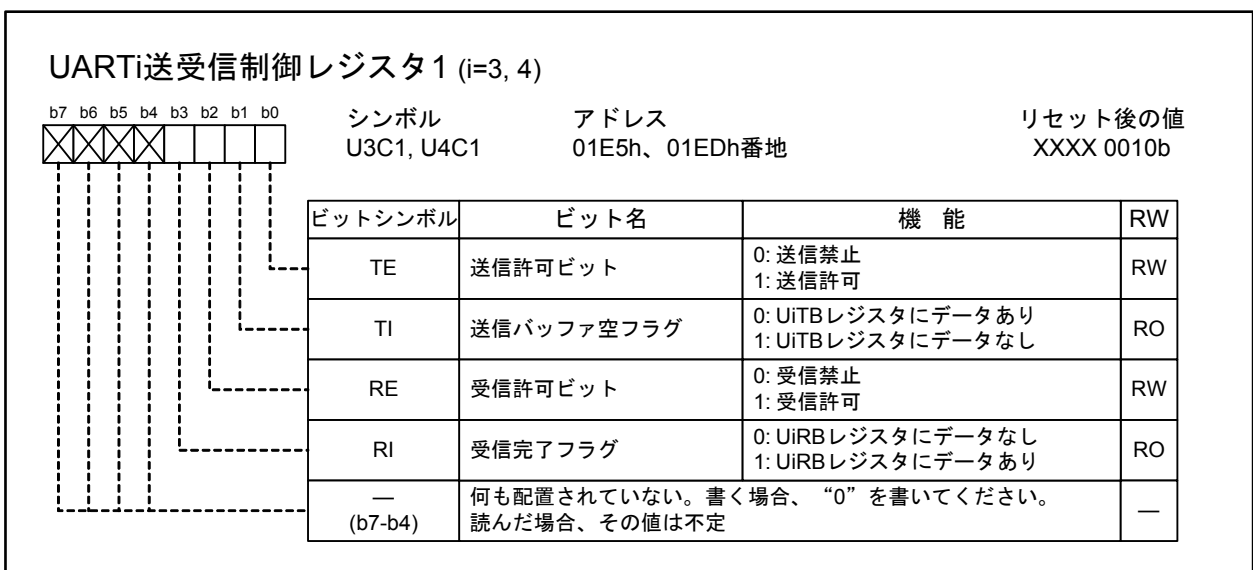


図 17.8 U3C1、U4C1レジスタ

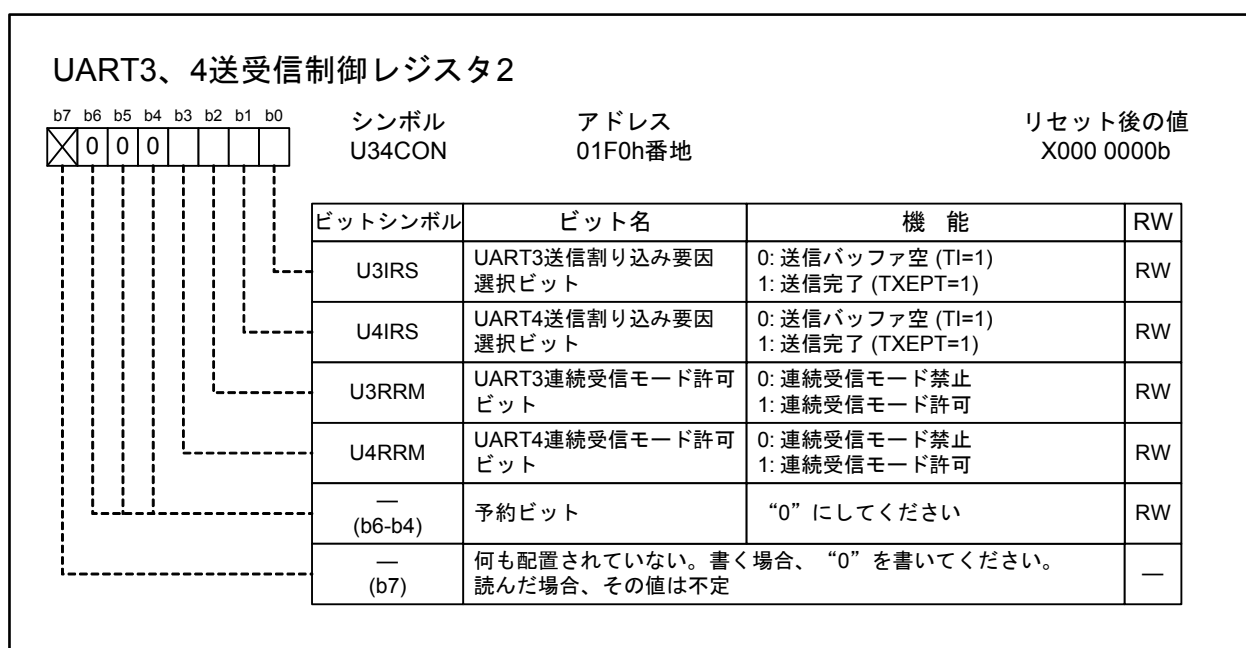


図 17.9 U34CONレジスタ

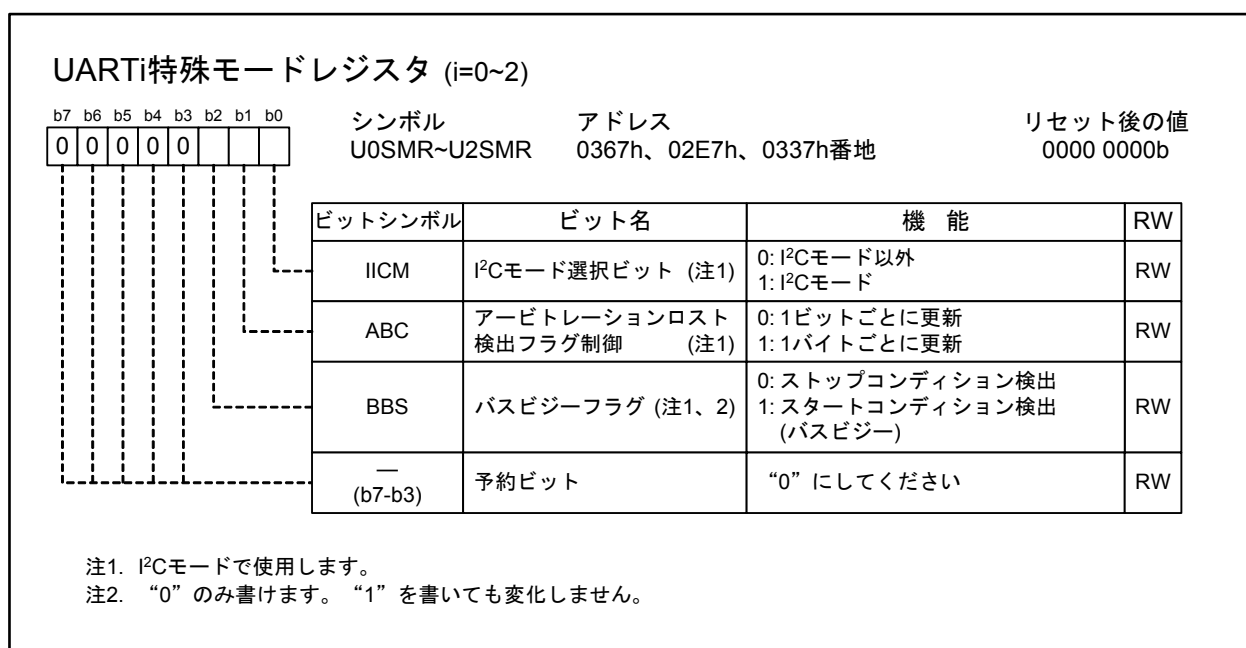


図 17.10 U0SMR~U2SMRレジスタ

UART_i特殊モードレジスタ2 (i=0~2)

シンボル アドレス リセット後の値
 U0SMR2~U2SMR2 0366h、02E6h、0336h番地 0000 0000b

ビットシンボル	ビット名	機能	RW
IICM2	I ² Cモード選択ビット2	0: ACK/NACK割り込みを使用 1: 送受信割り込みを使用	RW
CSC	クロック同期化ビット (注1)	0: クロック同期を実施しない 1: クロック同期を実施する	RW
SWC	SCLウェイト自動挿入 ビット (注2)	0: ウェイトなし/ウェイト解除 1: 8ビット受信後、SCL _i 端子を“L” に固定	RW
ALS	SDA出力自動停止ビット (注1)	アービトレーションロスト検出時、 0: SDA _i 出力を停止しない 1: SDA _i 出力を停止する	RW
STC	UART _i 自動初期化ビット (注2)	スタートコンディション検出時、 0: 回路を初期化しない 1: 回路を初期化する	RW
SWC2	SCLウェイト出力ビット2 (注1)	0: SCL _i 端子に送受信クロックを出力 1: SCL _i 端子を“L”に固定	RW
SDHI	SDA出力停止ビット (注2)	0: データ出力 1: 出力停止 (ハイインピーダンス)	RW
— (b7)	予約ビット	“0” にしてください	RW

注1. I²Cモードでマスタの場合に使用します。
 注2. I²Cモードでスレーブの場合に使用します。

図 17.11 U0SMR2~U2SMR2 レジスタ

UARTi特殊モードレジスタ3 (i=0~2)

シンボル: U0SMR3~U2SMR3 アドレス: 0365h、02E5h、0335h番地 リセット後の値: 0000 0000b

ビットシンボル	ビット名	機能	RW
SSE	SS端子機能許可ビット (注1、2)	0: SS機能禁止 1: SS機能許可	RW
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	RW
DINC	シリアル入力端子設定 ビット (注1)	0: TXDi、RXDiを選択 (マスターモード) 1: STXDi、SRXDiを選択 (スレーブ モード)	RW
NODC	クロック出力選択ビット	0: CLKi 端子はプッシュプル出力 1: CLKi 端子はNチャンネルオープン レイン出力	RW
ERR	モードフォルトフラグ(注1)	0: モードフォルトエラーなし 1: モードフォルトエラーあり (注3)	RW
DL0	SDAiデジタル遅延値 設定ビット (注4、5)	BRGカウントソースを基準にSDAi出 力を以下のサイクル数遅延します b7 b6 b5 0 0 0: 遅延なし 0 0 1: 1~2サイクル 0 1 0: 2~3サイクル 0 1 1: 3~4サイクル 1 0 0: 4~5サイクル 1 0 1: 5~6サイクル 1 1 0: 6~7サイクル 1 1 1: 7~8サイクル	RW
DL1			RW
DL2			RW

注1. 特殊モード2で使用します。
 注2. SS機能を使用する場合、Uic0レジスタのCRDビットを“1” (CTS機能を禁止) にしてください。
 注3. “0”のみ書けます。“1”を書いても変化しません。
 注4. DL2~DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場
 合、“000b” (遅延なし) にしてください。
 注5. 外部クロックを選択した場合、100ns程度遅延が大きくなります。

図 17.12 U0SMR3~U2SMR3 レジスタ

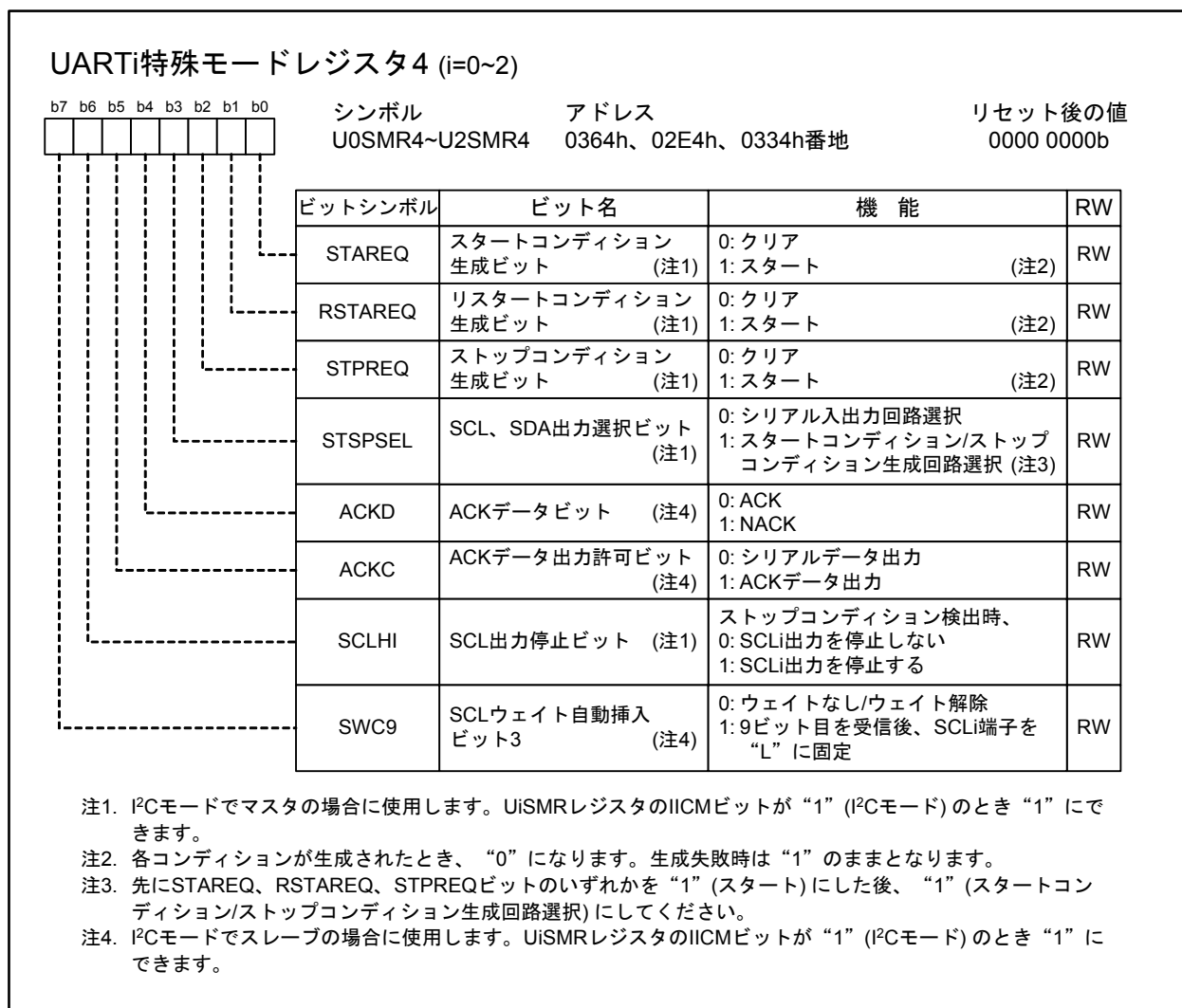


図 17.13 U0SMR4~U2SMR4 レジスタ

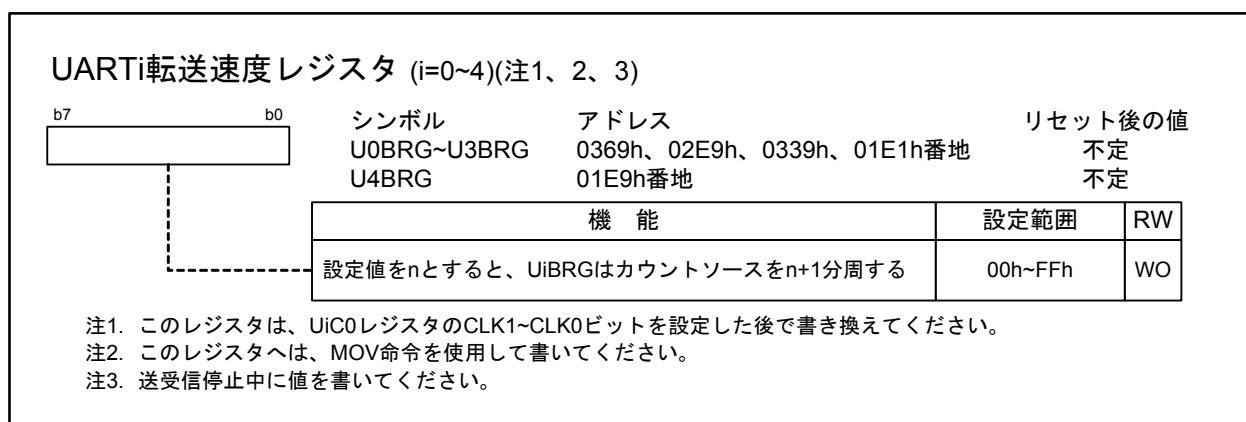
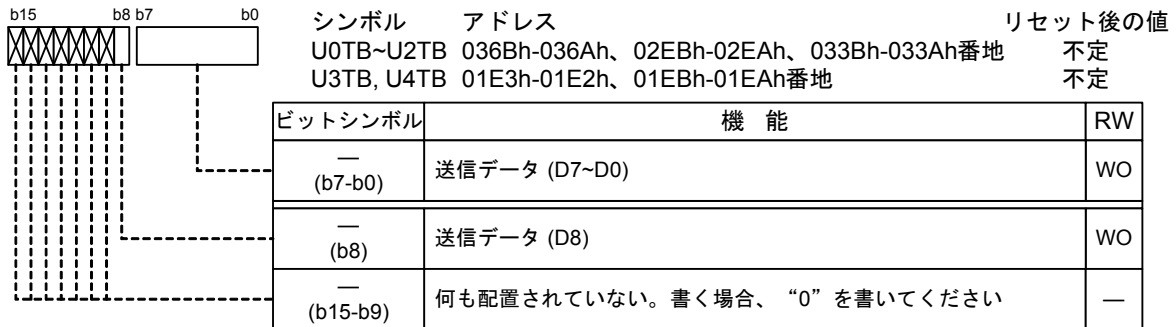


図 17.14 U0BRG~U4BRG レジスタ

UART_i送信バッファレジスタ (i=0~4)(注1)

注1. このレジスタはMOV命令を使用して書いてください。

図 17.15 U0TB~U4TB レジスタ

UART_i受信バッファレジスタ (i=0~2)

注1. ABTビットは“0”のみ書けます。

注2. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、OER、FER、PER、SUMビットは“0”になります。OER、FER、PERビットがすべて“0”になると、SUMビットも“0”になります。また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは“0”になります。

注3. SMD2~SMD0ビットが“001b”(クロック同期型シリアルインタフェースモード)または“010b”(I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

図 17.16 U0RB~U2RB レジスタ

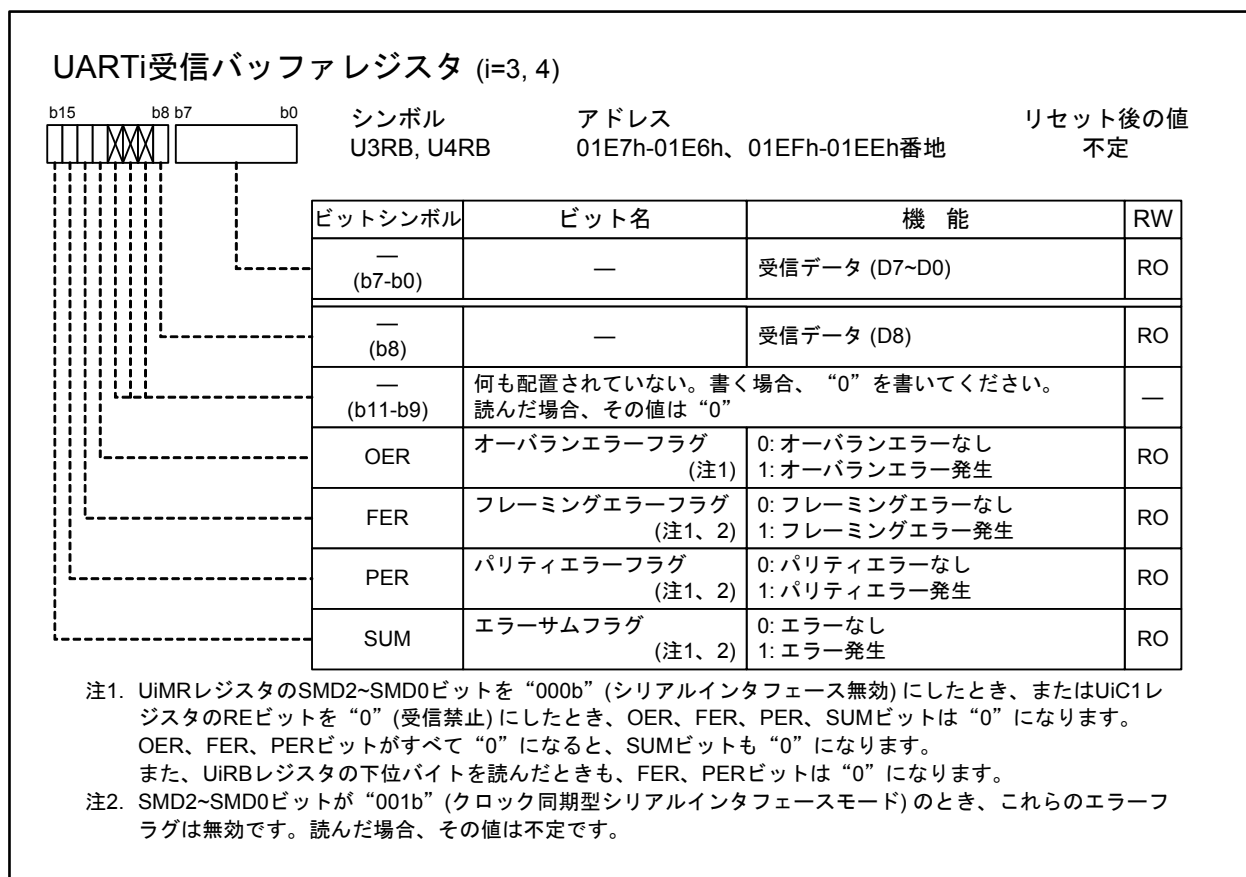


図 17.17 U3RB、U4RB レジスタ

17.1 クロック同期型シリアルインタフェースモード

クロック同期型シリアルインタフェースモードは、送受信クロックに同期してデータの送受信を行うモードです。表 17.2にクロック同期型シリアルインタフェースモードの仕様を示します。

表 17.2 クロック同期型シリアルインタフェースモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • UiMRレジスタ (i=0~4)のCKDIRビットが“0” (内部クロック): $\frac{fx}{2(m+1)} \quad fx = f1, f8, f2n \quad m: \text{UiBRGレジスタ設定値}(00h\sim FFh)$ • CKDIRビットが“1” (外部クロック): CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には、以下の条件が必要です(注1) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1” (送信許可) • UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり) • CTS機能選択時、$\overline{\text{CTS}i}$端子への入力信号が“L”
受信開始条件	受信開始には、以下の条件が必要です(注1) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1” (受信許可) • TEビットが“1” (送信許可) • TIビットが“0” (UiTBレジスタにデータあり) • CTS機能選択時、$\overline{\text{CTS}i}$端子への入力信号が“L”
割り込み要求発生タイミング	送信割り込みは、U0C1~U2C1、U34CONレジスタのUiIRSビットの設定により、以下の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiIRSビットが“0” (UiTBレジスタ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1” (送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
その他選択項目	<ul style="list-style-type: none"> • CLK極性選択 送受信データの出力と入力タイミングが、送受信クロックの立ち上がり同期するか、立ち下がり同期するかを選択できます • ビットオーダー選択 LSBファーストまたはMSBファーストを選択できます • 連続受信モード選択 UiRBレジスタを読むと同時に、受信許可にすることができます • シリアルデータ論理切り替え(UART0~UART2) 送受信データの論理を反転することができます

注1. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)の場合はCLKi端子が“H”の状態、CKPOLビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)の場合はCLKi端子が“L”の状態、これらの条件を満たすようにしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1” (割り込み要求あり)に変化しません。

表 17.3、表 17.4 に使用するレジスタと設定値を示します。なお、UART_i (i=0~4) の動作モード選択後、送信開始までは、TXD_i端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス)。

図 17.18 にクロック同期型シリアルインタフェースモード時の送信動作例を、図 17.19 にクロック同期型シリアルインタフェースモード時の受信動作例を示します。

表 17.3 クロック同期型シリアルインタフェースモードで使用するレジスタと設定値(UART0~UART2)

レジスタ	ビット	機能
UiMR	7~4	“0000b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSBファースト、またはMSBファーストを選択してください
	CKPOL	送受信クロックの極性を選択してください
	NCH	TXD _i 端子の出力形式を選択してください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	7	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UART _i 送信割り込み要因を選択してください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
UiSMR	7~0	“00h”にしてください
UiSMR2	7~0	“00h”にしてください
UiSMR3	7~4	“0000b”にしてください
	NODC	クロック出力形式を選択してください
	2~0	“000b”にしてください
UiSMR4	7~0	“00h”にしてください
UiBRG	7~0	転送速度を設定してください
UiTB	7~0	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	7~0	受信データが読めます

i=0~2

表 17.4 クロック同期型シリアルインタフェースモードで使用するレジスタと設定値(UART3、UART4)

レジスタ	ビット	機能
UiMR	7~4	“0000b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSBファースト、またはMSBファーストを選択してください
	CKPOL	送受信クロックの極性を選択してください
	5	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
U34CON	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
IFS0	IFS04	CLK4、RXD4、 $\overline{\text{CTS4}}$ の入力端子を選択してください
	IFS02	CLK3、RXD3、 $\overline{\text{CTS3}}$ の入力端子を選択してください
UiBRG	7~0	転送速度を設定してください
UiTB	7~0	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	7~0	受信データが読めます

i=3, 4

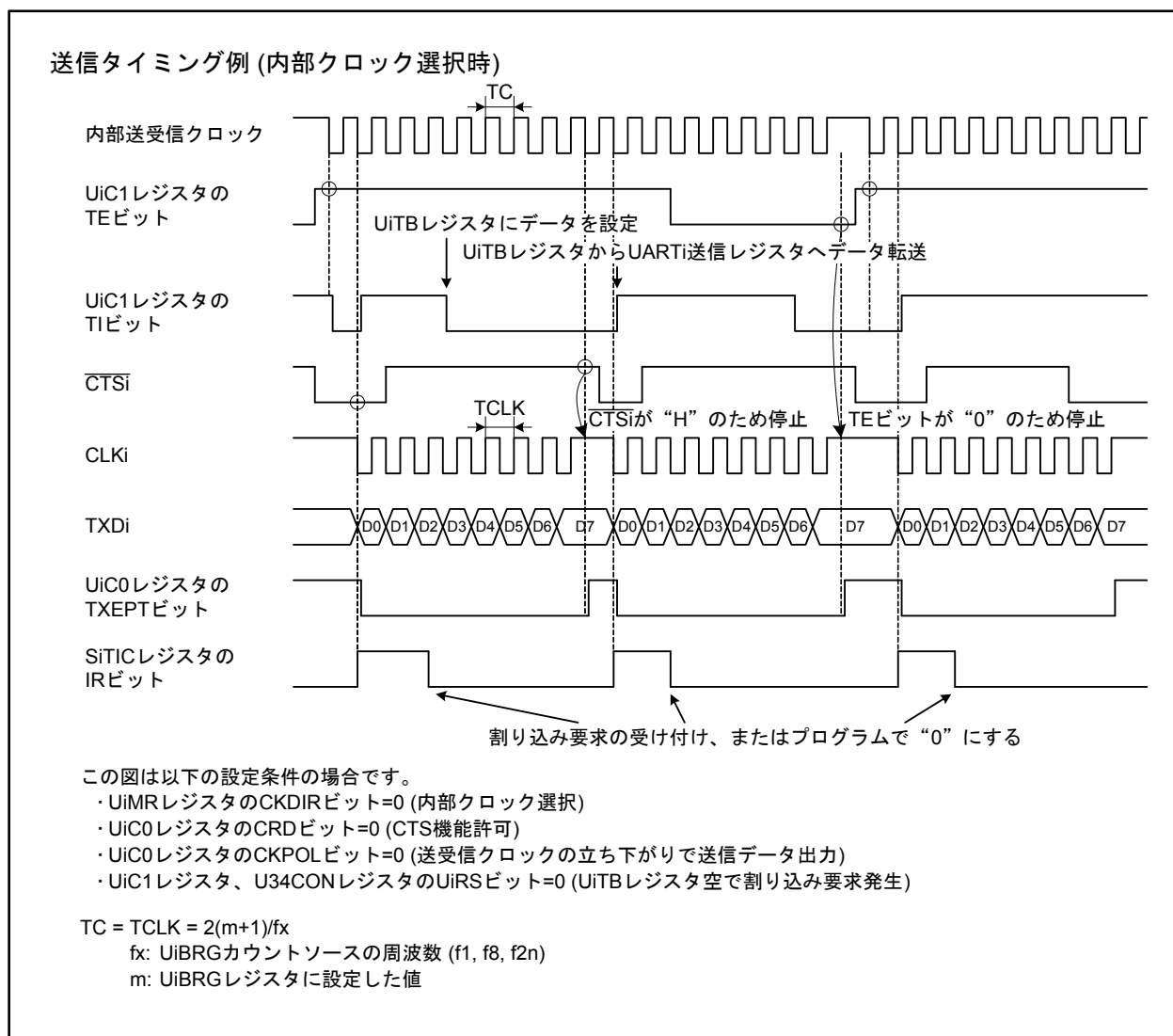


図 17.18 クロック同期型シリアルインタフェースモード時の送信動作例

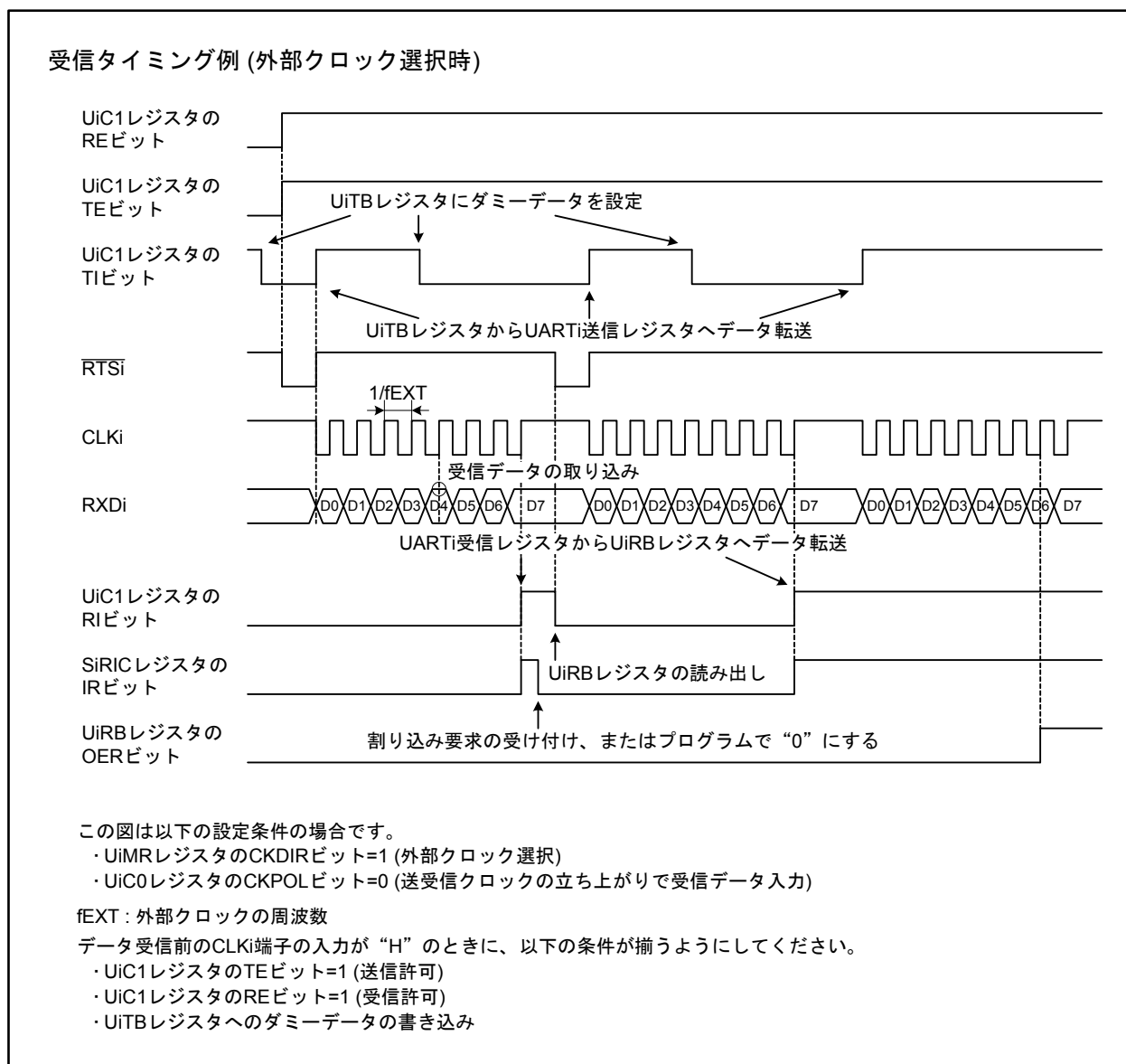


図 17.19 クロック同期型シリアルインタフェースモード時の受信動作例

17.1.1 通信エラー発生時の対処方法

クロック同期型シリアルインタフェースモードで受信または送信時に通信エラーが発生した場合、以下の手順で再設定を行ってください。

A. UiRBレジスタ (i=0~4)の初期化手順

- (1) UiC1レジスタのREビットを“0” (受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b” (クロック同期型シリアルインタフェースモード)にする。
- (4) UiC1レジスタのREビットを“1” (受信許可)にする。

B. UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“001b” (クロック同期型シリアルインタフェースモード)にする。
- (3) UiC1レジスタのTEビットに、その値にかかわらず“1” (送信許可)を書き込む。

17.1.2 CLK極性選択

図 17.20 に示すように UiC0 レジスタ (i=0~4) の CKPOL ビットで送受信クロックの極性を選択できます。

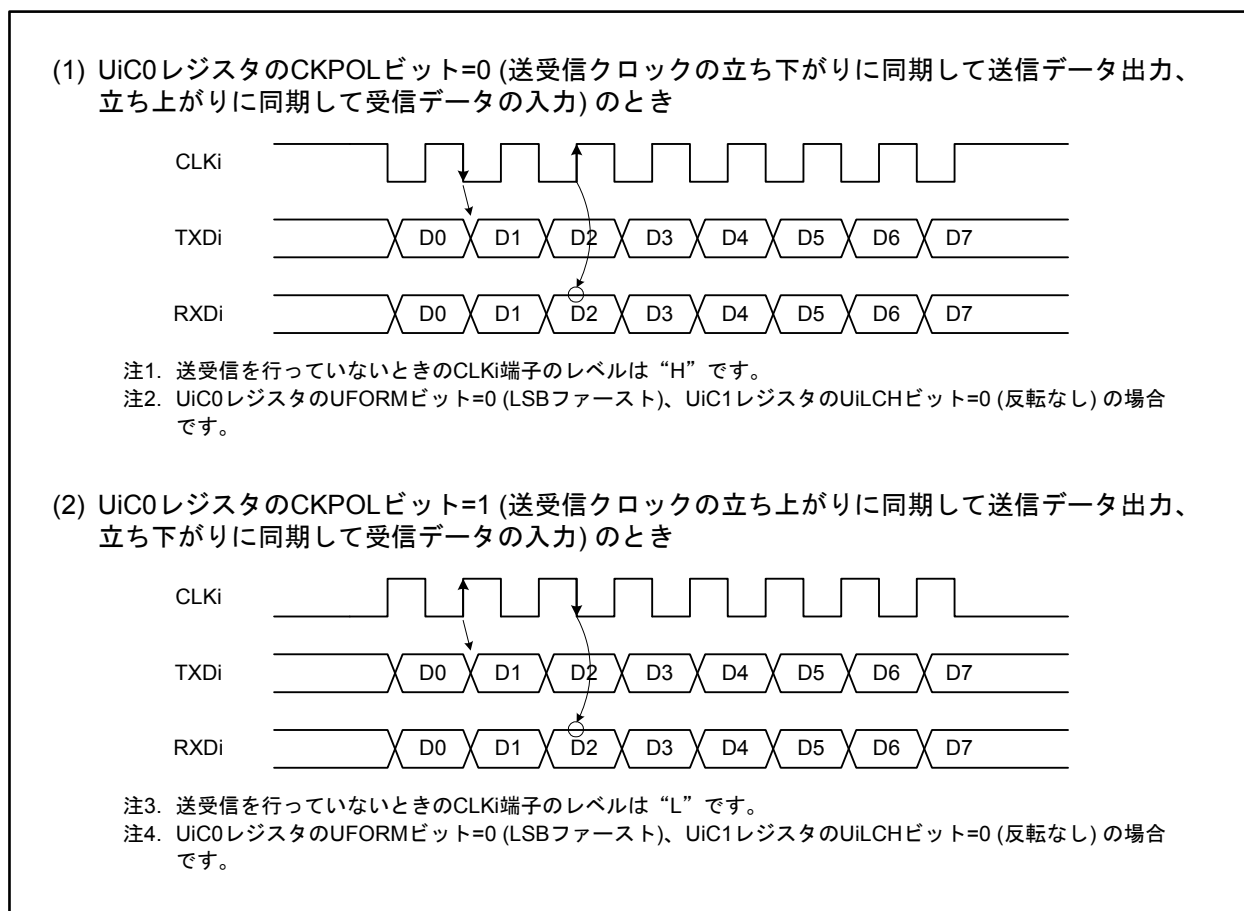


図 17.20 送受信クロックの極性 (i=0~4)

17.1.3 LSBファースト、MSBファースト選択

図 17.21 に示すように、UiC0レジスタ (i=0~4) のUFORMビットでビットオーダを選択できます。

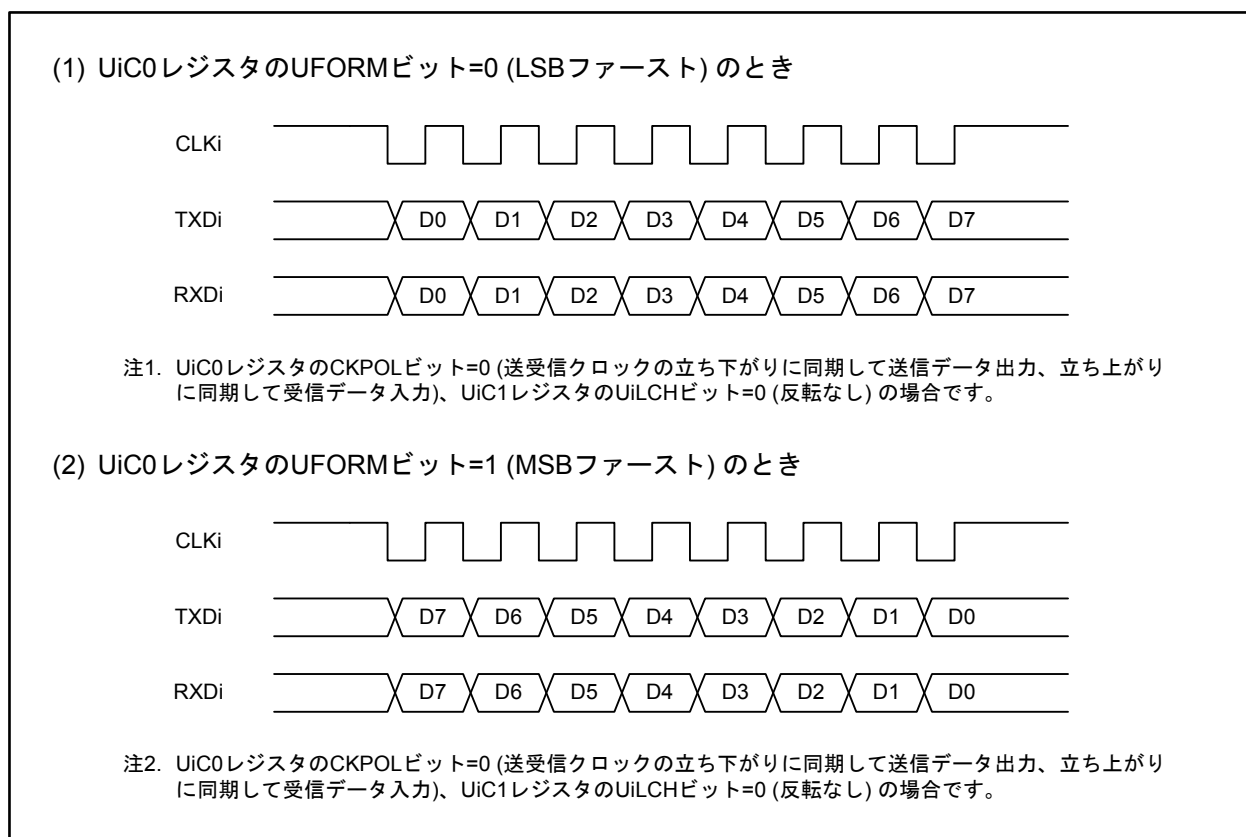


図 17.21 ビットオーダ (i=0~4)

17.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すと自動的に受信許可になるモードです。このモードを選択すれば、受信を許可するために送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U0C1~U2C1、U34CONレジスタのUiRRMビット (i=0~4) を“1” (連続受信モード) にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり) になります。UiRRMビットが“1”の場合、UiTBレジスタにダミーデータを書かないでください。

17.1.5 シリアルデータ論理切り替え

UiC1レジスタ(i=0~2)のUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。また、UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図 17.22にシリアルデータ論理を示します。

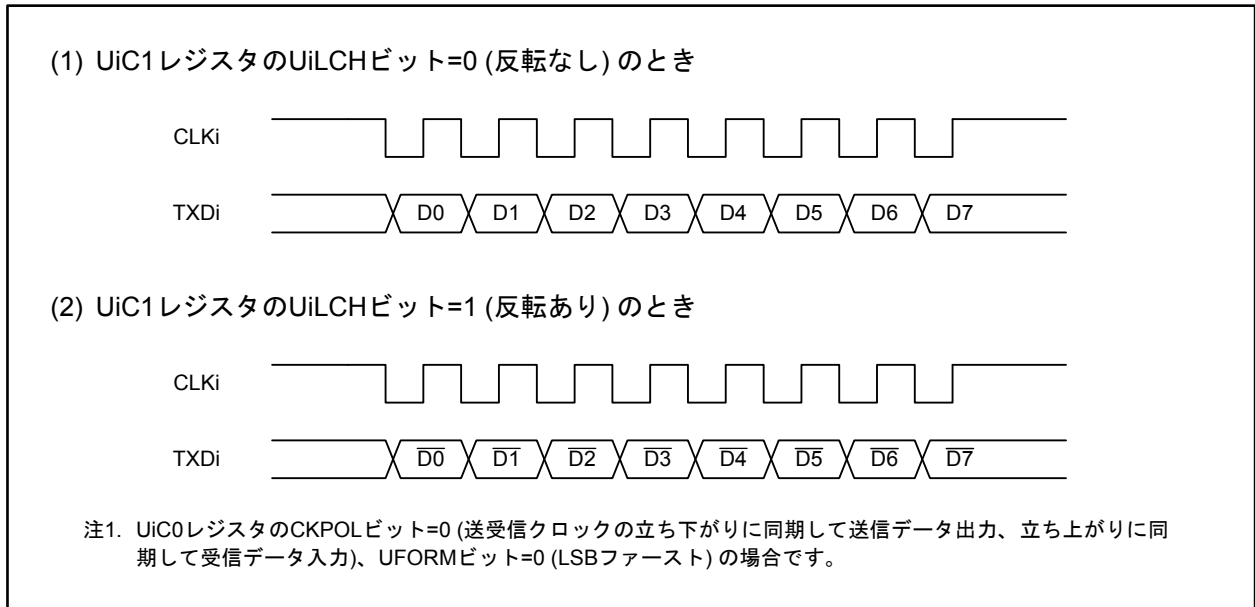


図 17.22 シリアルデータ論理(i=0~2)

17.1.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子(i=0~4)を使用して送信制御を行う機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

クロック同期型シリアルインタフェースモードでは、受信時にも送信回路を動作させる必要がありますので、CTS機能を有効にした場合、受信を開始する場合にも $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルを“L”にする必要があります。

RTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子を使用して受信回路の状態を示す機能です。受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。CLKi端子の最初の立ち下がりで出力レベルが“H”になります。

17.2 クロック非同期型シリアルインタフェースモード(UARTモード)

UARTモードは、スタートビットの立ち下がりトリガとして内部クロックをデータに同期させて送受信を行うモードです。表 17.5にUARTモードの仕様を示します。

表 17.5 UARTモードの仕様

項目	仕様
データフォーマット	<ul style="list-style-type: none"> スタートビット 1ビット データビット(データキャラクタ) 7ビット、8ビット、9ビット選択可 パリティビット 奇数、偶数、なし選択可 ストップビット 1ビット、2ビット選択可
送受信クロック	<ul style="list-style-type: none"> UiMRレジスタ(i=0~4)のCKDIRビットが“0”(内部クロック)の場合 $\frac{f_x}{16(m+1)} \quad f_x = f_1, f_8, f_{2n} \quad m: \text{UiBRGレジスタ設定値}(00h\sim FFh)$ CKDIRビットが“1”(外部クロック)の場合 $\frac{f_{EXT}}{16(m+1)} \quad f_{EXT}: \text{CLKi端子入力クロック}$
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には以下の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) CTS機能選択時、$\overline{\text{CTS}}_i$端子に“L”を入力
受信開始条件	受信開始には、以下の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	送信割り込みは、U0C1~U2C1、U34CONレジスタのUiIRSビットの設定により、以下の条件のいずれかを選択できます <ul style="list-style-type: none"> UiIRSビットが“0”(UiTBレジスタ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注1) UiRBレジスタを読む前に次のデータの最終ストップビットの1つ前のビット(2ストップビット選択時は1ストップビット目)を受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティありの場合に、受信したデータキャラクタとパリティビットに含まれる“1”の個数(奇/偶)が設定した個数(奇/偶)でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
その他選択項目	<ul style="list-style-type: none"> ビットオーダ選択 LSBファーストまたはMSBファーストを選択可能 シリアルデータ論理切り替え 送受信データの論理を反転する機能。スタートビットとストップビットは反転しません TXD、RXD入出力極性切り替え TXD端子からの出力レベルとRXD端子への入力レベルを反転する機能。入出力する信号のレベルがすべて反転します

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表 17.6、表 17.7 に使用するレジスタと設定値を示します。なお、UART_i (i=0~4) の動作モード選択後、送信開始まではTXD_i端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス)。

図 17.23、図 17.24 にUARTモード時の送信動作例を、図 17.25 にUARTモード時の受信動作例を示します。

表 17.6 UARTモードで使用するレジスタと設定値(UART0~UART2)

レジスタ	ビット	機能	
UiMR	IOPOL	TXD端子、RXD端子の入出力極性を選択してください	
	PRY, PRYE	パリティの有無、偶数奇数を選択してください	
	STPS	ストップビット長を選択してください	
	CKDIR	内部クロック、外部クロックを選択してください	
	SMD2~SMD0		キャラクタ長が7ビットの場合、“100b”にしてください
			キャラクタ長が8ビットの場合、“101b”にしてください
		キャラクタ長が9ビットの場合、“110b”にしてください	
UiC0	UFORM	キャラクタ長が8ビットの場合、LSBファースト、MSBファーストを選択できます。キャラクタ長が7ビットまたは9ビットの場合は“0”にしてください	
	CKPOL	“0”にしてください	
	NCH	TXD _i 端子の出力形式を選択してください	
	CRD	CTS機能の許可、または禁止を選択してください	
	TXEPT	送信レジスタ空フラグ	
	2	“0”にしてください	
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください	
UiC1	7	“0”にしてください	
	UiLCH	データ論理反転を使用する場合、“1”にしてください	
	UiRRM	“0”にしてください	
	UiIRS	UART _i 送信割り込み要因を選択してください	
	RI	受信完了フラグ	
	RE	受信を許可する場合、“1”にしてください	
	TI	送信バッファ空フラグ	
	TE	送信を許可する場合、“1”にしてください	
UiSMR	7~0	“00h”にしてください	
UiSMR2	7~0	“00h”にしてください	
UiSMR3	7~0	“00h”にしてください	
UiSMR4	7~0	“00h”にしてください	
UiBRG	7~0	転送速度を設定してください	
UiTB	8~0	送信データを設定してください(注1)	
UiRB	OER, FER, PER, SUM	エラーフラグ	
	8~0	受信データが読めます(注1)	

i=0~2

注1. 使用するビットは以下のとおりです。

- キャラクタ長7ビット: ビット6~0
- キャラクタ長8ビット: ビット7~0
- キャラクタ長9ビット: ビット8~0

表 17.7 UARTモードで使用するレジスタと設定値(UART3、UART4)

レジスタ	ビット	機能
UiMR	PRY, PRYE	パリティの有無、偶数奇数を選択してください
	STPS	ストップビット長を選択してください
	CKDIR	内部クロック、外部クロックを選択してください
	SMD2~SMD0	キャラクタ長が7ビットの場合、“100b”にしてください キャラクタ長が8ビットの場合、“101b”にしてください キャラクタ長が9ビットの場合、“110b”にしてください
UiC0	UFORM	キャラクタ長が8ビットの場合、LSBファースト、MSBファーストを選択できます。キャラクタ長が7ビットまたは9ビットの場合は“0”にしてください
	CKPOL	“0”にしてください
	5	“0”にしてください
	CRD	CTS機能の許可、または禁止を選択してください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送信を許可する場合、“1”にしてください
U34CON	UiRRM	“0”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
UiBRG	7~0	転送速度を設定してください
IFS0	IFS04	CLK4、RXD4、CTS4の入力端子を選択してください
	IFS02	CLK3、RXD3、CTS3の入力端子を選択してください
UiTB	8~0	送信データを設定してください(注1)
UiRB	OER, FER, PER, SUM	エラーフラグ
	8~0	受信データが読めます(注1)

i=3, 4

注1. 使用するビットは以下のとおりです。

キャラクタ長7ビット: ビット6~0

キャラクタ長8ビット: ビット7~0

キャラクタ長9ビット: ビット8~0

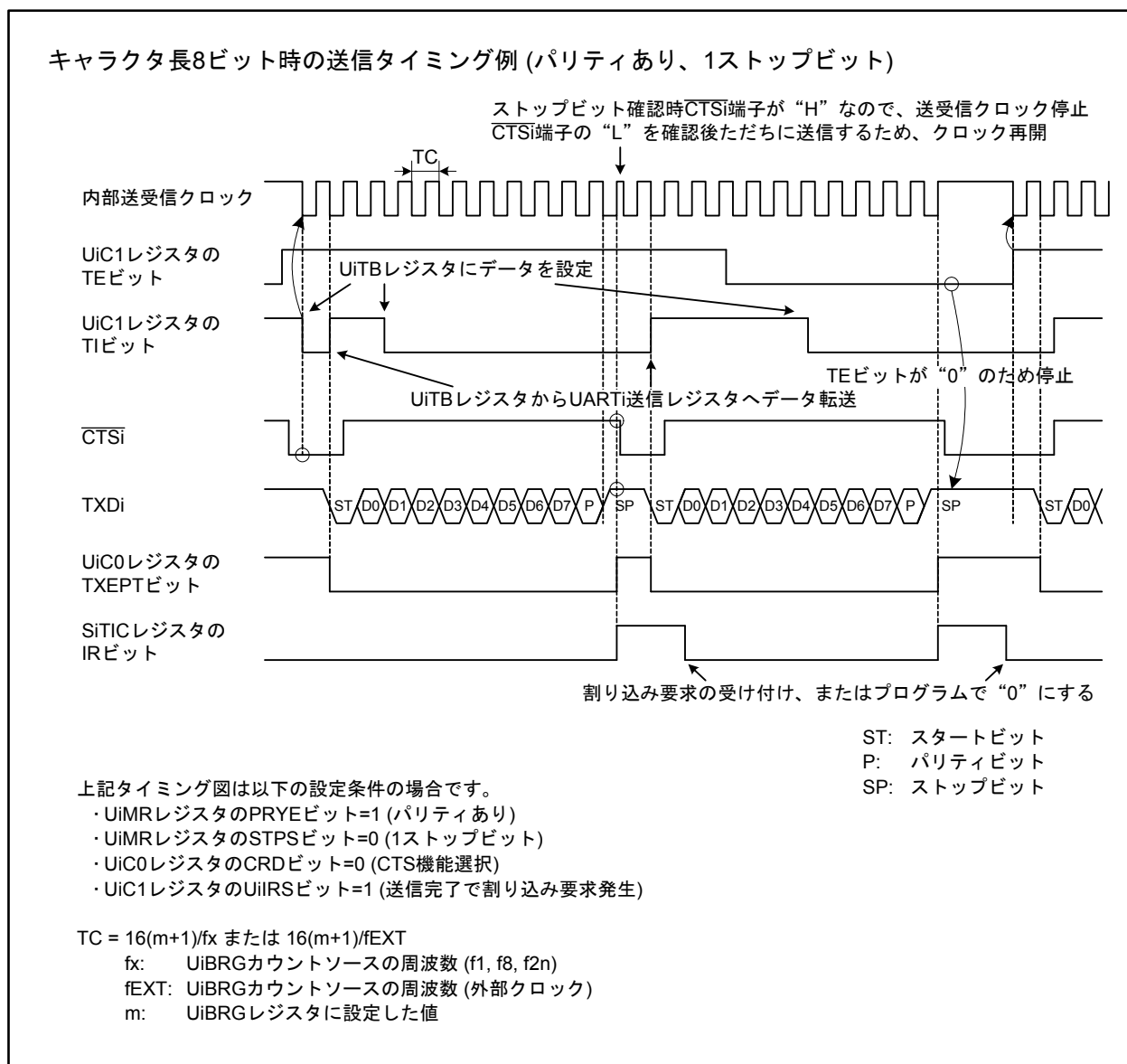


図 17.23 UARTモード時の送信動作例(1) (i=0~4)

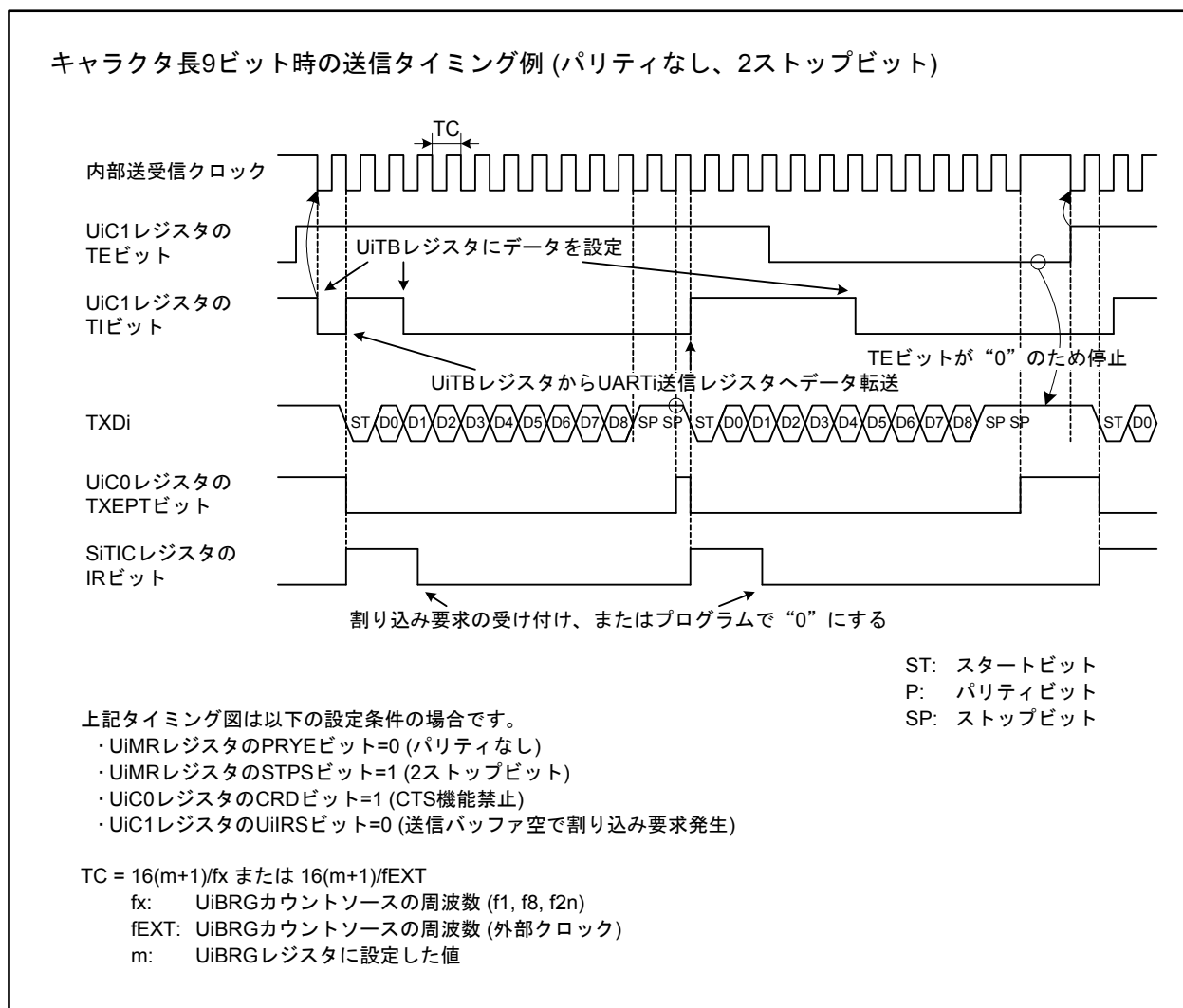


図 17.24 UARTモード時の送信動作例(2) (i=0~4)

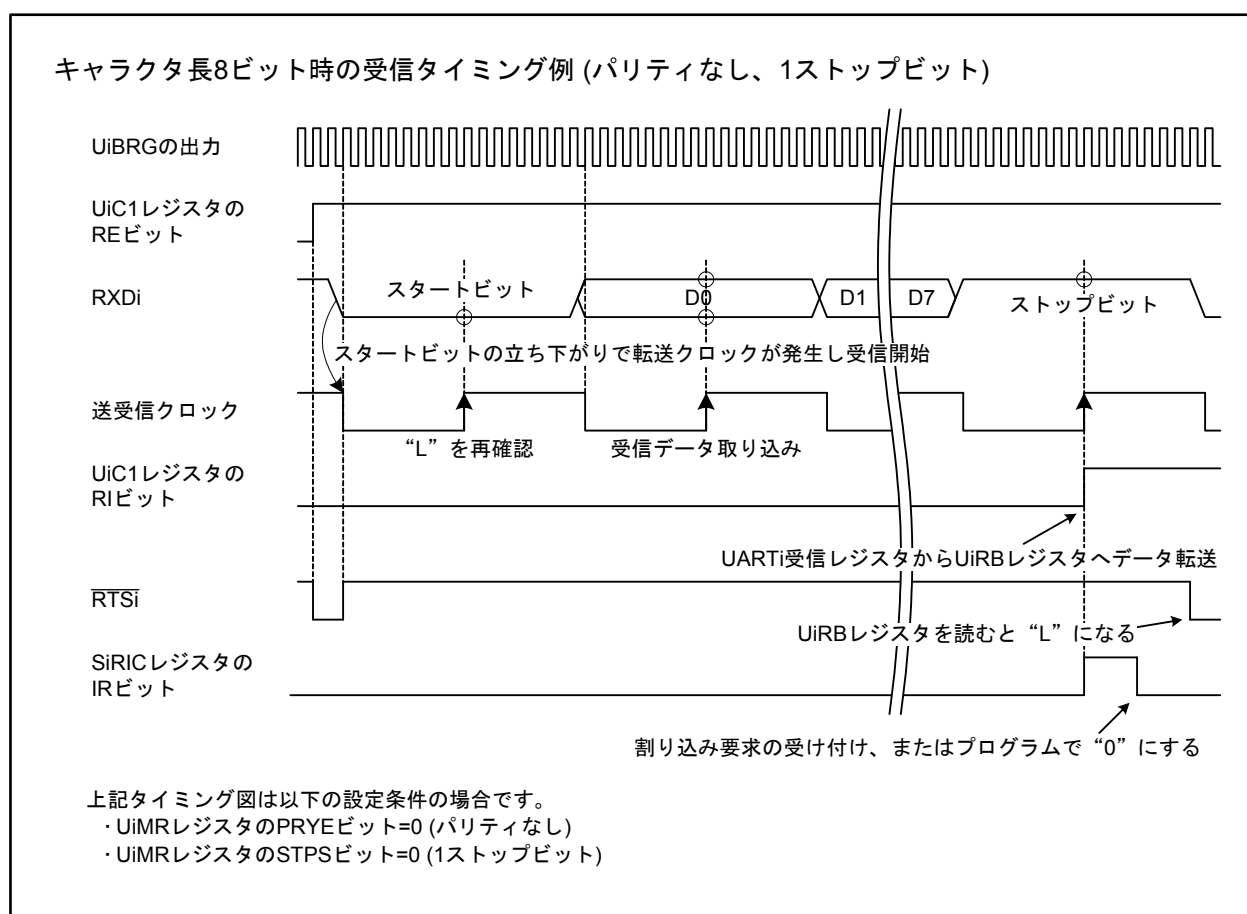


図 17.25 UARTモード時の受信動作例(i=0~4)

17.2.1 ビットレート

UARTモードでは、カウントソースをUiBRGレジスタ(i=0~4)で分周した周波数の16分周がビットレートになります。表 17.8にビットレートの設定例を示します。

表 17.8 ビットレートの設定例

ビットレート (bps)	BRGの カウントソース	周辺機能クロック: 30MHz		周辺機能クロック: 32MHz	
		BRGの設定値: n	実時間 (bps)	BRGの設定値: n	実時間 (bps)
1200	f8	194 (C2h)	1202	207 (CFh)	1202
2400	f8	97 (61h)	2392	103 (67h)	2404
4800	f8	48 (30h)	4783	51 (33h)	4808
9600	f1	194 (C2h)	9615	207 (CFh)	9615
14400	f1	129 (81h)	14423	138 (8Ah)	14388
19200	f1	97 (61h)	19133	103 (67h)	19231
28800	f1	64 (40h)	28846	68 (44h)	28986
31250	f1	59 (3Bh)	31250	63 (3Fh)	31250
38400	f1	48 (30h)	38265	51 (33h)	38462
51200	f1	36 (24h)	50676	38 (26h)	51282

17.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、以下の手順で再設定を行ってください。

A. UiRBレジスタ (i=0~4)の初期化手順

- (1) UiC1レジスタのREビットを“0” (受信禁止)にする。
- (2) UiC1レジスタのREビットを“1” (受信許可)にする。

B. UiTBレジスタの初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b” (シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを再設定 (“001b”、“101b”“110b”)する。
- (3) UiC1レジスタのTEビットに、その値にかかわらず“1” (送信許可)を書き込む。

17.2.3 LSBファースト、MSBファースト選択

図 17.26 に示すように、UiC0レジスタ (i=0~4)のUFORMビットでビットオーダを選択できます。この機能はキャラクタ長8ビットのときに使用できます。

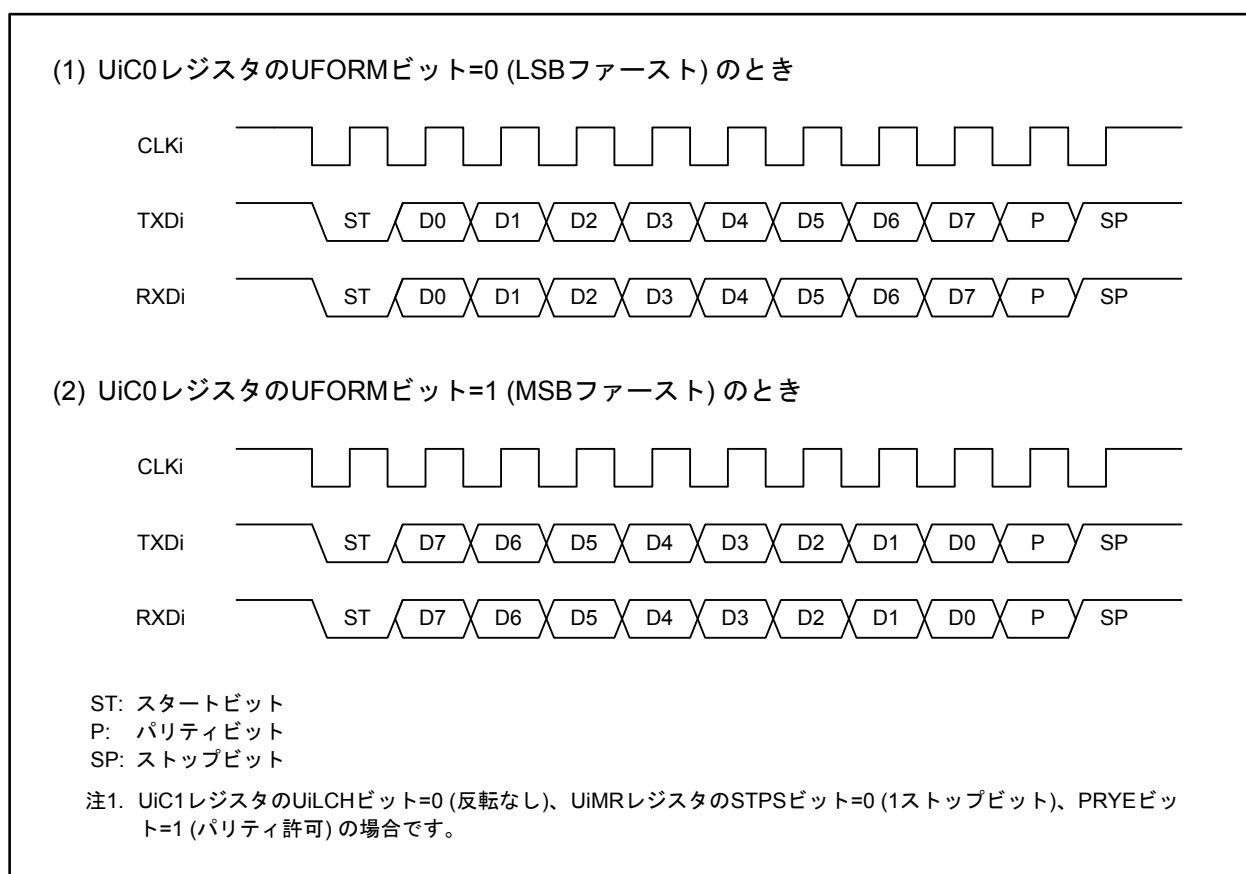


図 17.26 ビットオーダ (i=0~4)

17.2.4 シリアルデータ論理切り替え

UiC1レジスタ(i=0~2)のUiLCHビットを“1”(反転あり)にすると、UiTBレジスタへ書くときと、UiRBレジスタから読むときにデータの論理を反転させます。パリティビットは反転しません。

図 17.27にシリアルデータ論理を示します。

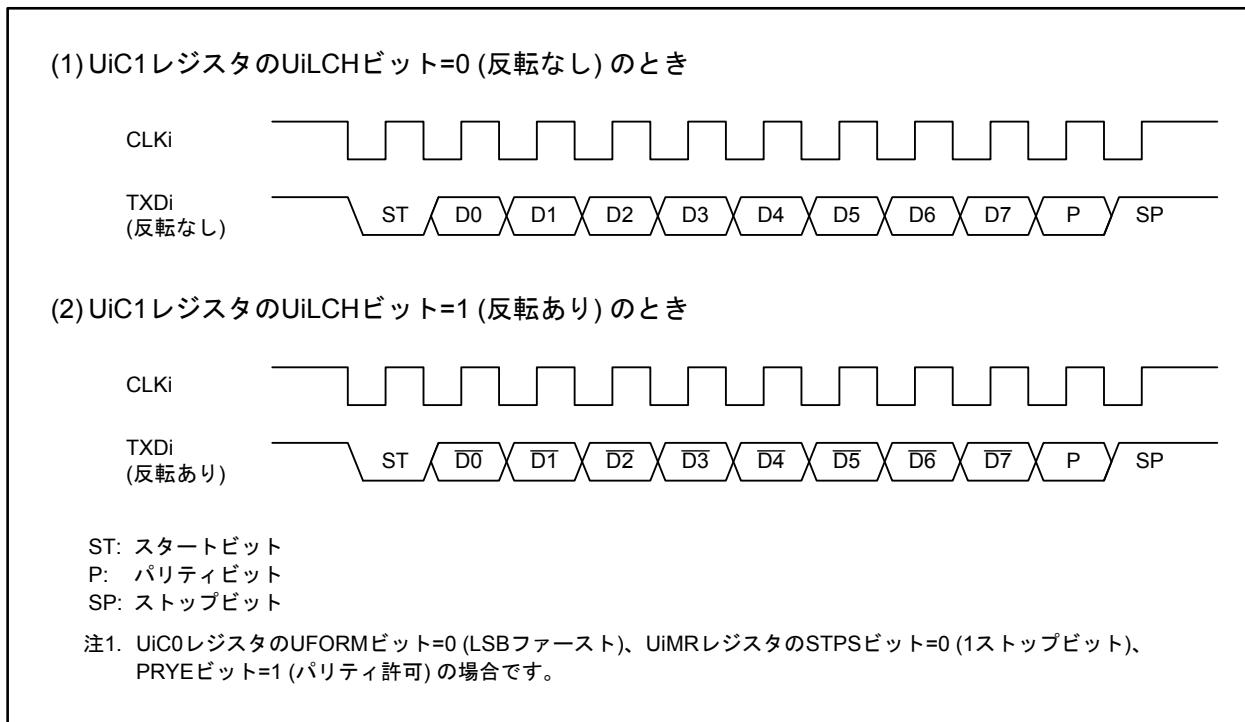


図 17.27 シリアルデータ論理(i=0~2)

17.2.5 TXD、RXD入出力極性切り替え

TXD端子からの出力レベルとRXD端子への入力レベルを反転する機能です。UiMRレジスタ(i=0~2)のIOPOLビットを“1”(反転あり)にすると、入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図17.28にTXD、RXD入出力極性切り替えを示します。

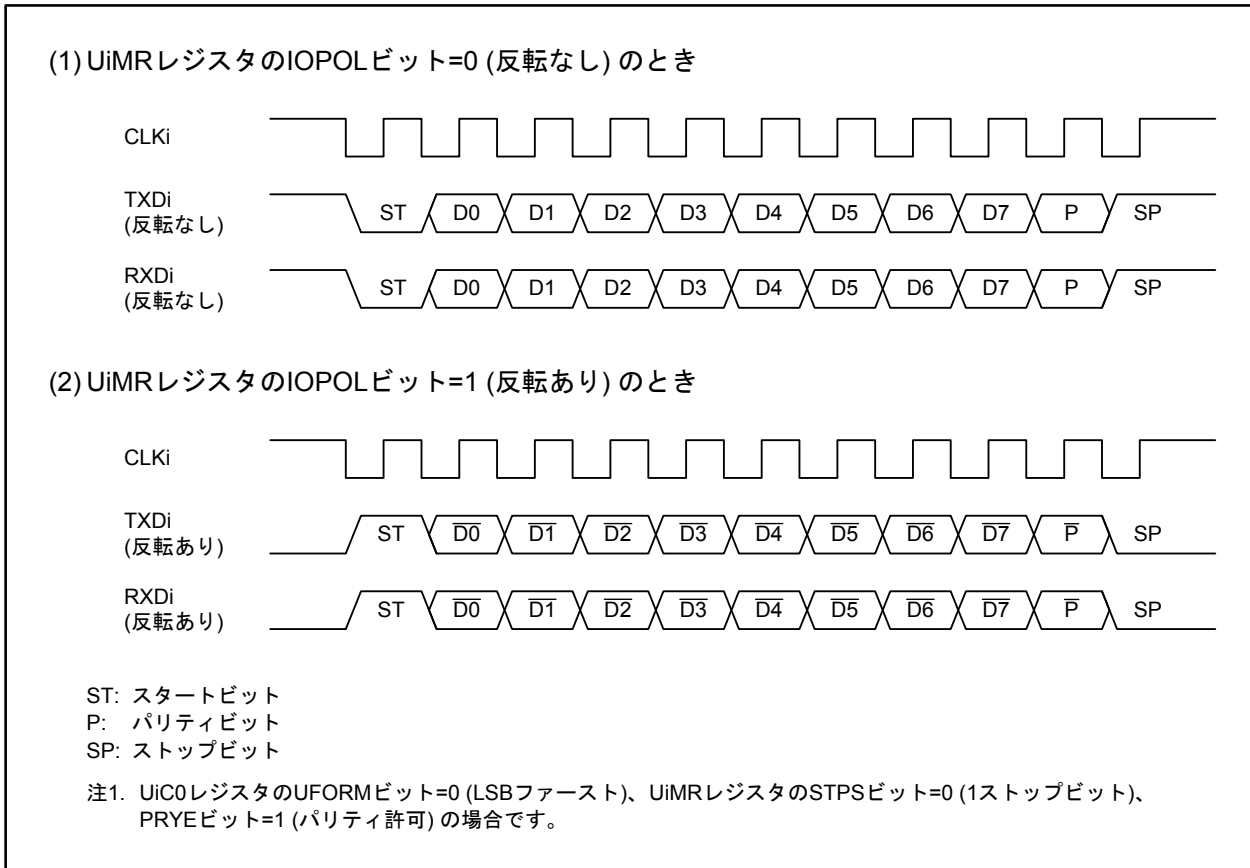


図 17.28 TXD、RXD入出力極性切り替え (i=0~2)

17.2.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子(i=0~4)を使用して送信制御を行う機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子を使用して受信回路の状態を示す機能です。受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。CLKi端子の最初の立ち下がり出力レベルが“H”になります。

17.3 特殊モード1 (I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表 17.9にI²Cモードの仕様を示します。

表 17.9 I²Cモードの仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	マスタ時 • UiMRレジスタ (i=0~2)のCKDIRビットが“0” (内部クロック): $\frac{f_x}{2(m+1)} \quad f_x = f_1, f_8, f_{2n} \quad m: \text{UiBRGレジスタ設定値}(00h\sim FFh)$ スレーブ時 • CKDIRビットが“1” (外部クロック): SCLi端子からの入力
送信開始条件	送信開始には、以下の条件が必要です(注1) • UiC1レジスタのTEビットが“1” (送信許可) • UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です(注1) • UiC1レジスタのREビットが“1” (受信許可) • TEビットが“1” (送信許可) • TIビットが“0” (UiTBレジスタにデータあり)
割り込み要求発生 タイミング	スタートコンディション検出、ストップコンディション検出、ACK (Acknowledge)検出、NACK (Not-Acknowledge)検出
エラー検出	オーバランエラー (注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
その他選択項目	• アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可能 • SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を選択可能 • クロック位相設定 クロック遅れあり、なしを選択可能

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

表 17.10にI²Cモードで使用するレジスタと設定値を、表 17.11にI²Cモード時の各機能を、図 17.29にI²Cモード時のブロック図を、図 17.30にUiRBレジスタ (i=0~2)への転送、割り込みのタイミングを示します。

表 17.11に示すように、UiMRレジスタ (i=0~2)のSMD2~SMD0ビットを“010b”に、UiSMRレジスタのICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

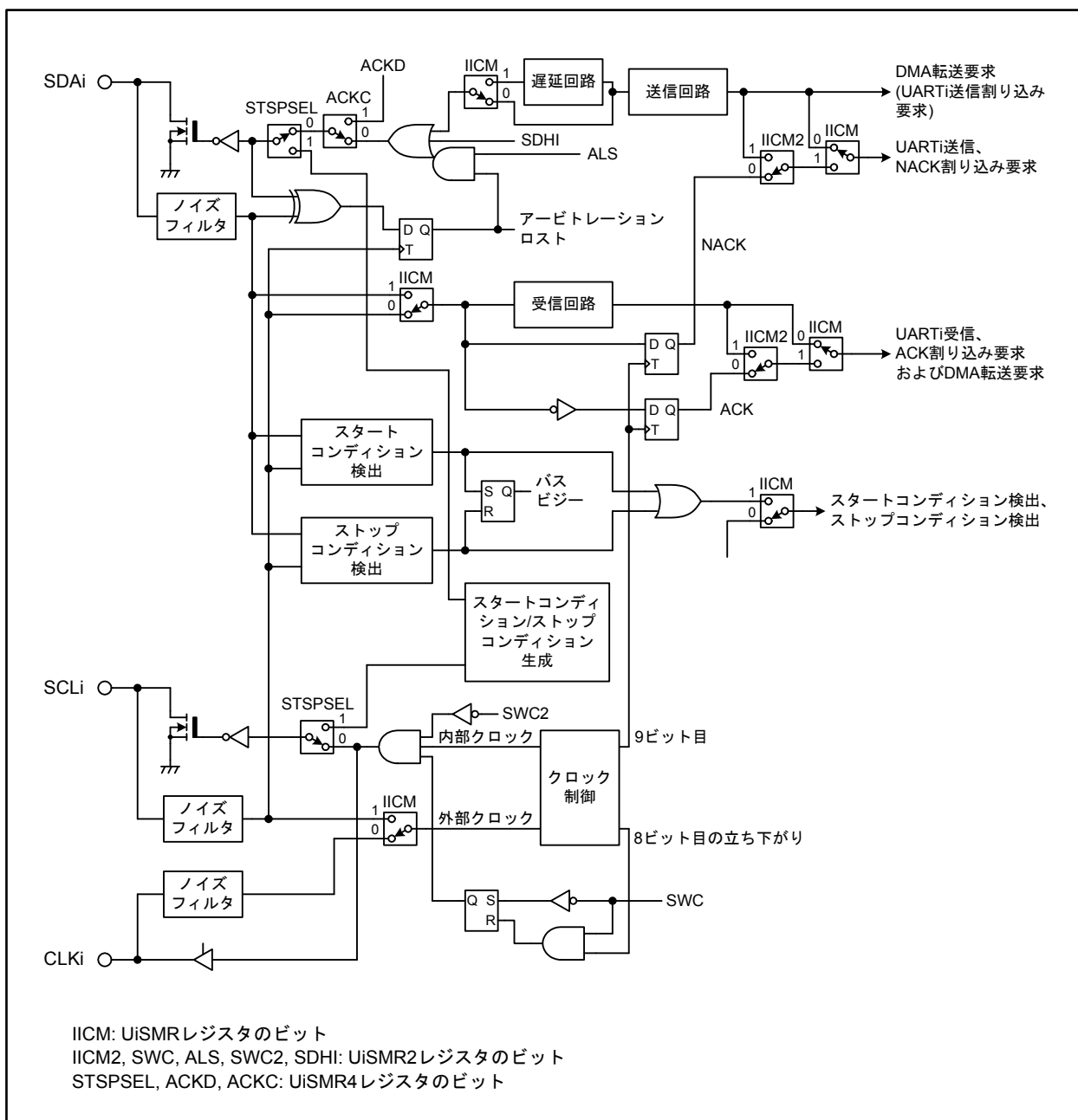


図 17.29 I²Cモードのブロック図(i=0~2)

表 17.10 I²Cモードで使用するレジスタと設定値(i=0~2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiMR	IOPOL	"0"にしてください	
	CKDIR	"0"にしてください	"1"にしてください
	SMD2~SMD0	"010b"にしてください	
UiC0	7~4	"1011b"にしてください	
	TXEPT	送信レジスタ空フラグ	
	2	"0"にしてください	
	CLK1~CLK0	UiBRGのカウントソースを選択してください	無効
UiC1	7~5	"000b"にしてください	
	UiIRS	"1"にしてください	
	RI	受信完了フラグ	
	RE	受信を許可する場合、"1"にしてください	
	TI	送信バッファ空フラグ	
	TE	送受信を許可する場合、"1"にしてください	
UiSMR	7~3	"00000b"にしてください	
	BBS	バスビジーフラグ	
	ABC	アービトラクションロスト検出タイミングを選択してください	無効
	IICM	"1"にしてください	
UiSMR2	7	"0"にしてください	
	SDHI	SDA出力を禁止する場合、"1"にしてください	
	SWC2	SCLの出力を強制的に"L"にする場合、"1"にしてください	
	STC	"0"にしてください	スタートコンディション検出でUARTiを初期化する場合、"1"にしてください
	ALS	アービトラクションロスト検出時にSDAiの出力を停止する場合、"1"にしてください	"0"にしてください
	SWC	8ビット受信後にSCLiを"L"出力固定にする場合、"1"にしてください	
	CSC	クロック同期を実施する場合、"1"にしてください	"0"にしてください
	IICM2	表 17.11参照	
	UiSMR3	DL2~DL0	SDAiのデジタル遅延値を設定してください
4~2		"000b"にしてください	
CKPH		表 17.11参照	
SSE		"0"にしてください	
UiSMR4	SWC9	"0"にしてください	9ビット受信後にSCLiを"L"出力固定にする場合、"1"にしてください
	SCLHI	ストップコンディション検出時にSCL出力停止を許可する場合、"1"にしてください	"0"にしてください
	ACKC	ACKデータを出力する場合、"1"にしてください	
	ACKD	ACK、NACKを選択してください	
	STSPSEL	各コンディション出力時に"1"にしてください	"0"にしてください
	STPREQ	ストップコンディションを生成する場合、"1"にしてください	"0"にしてください
	RSTAREQ	リスタートコンディションを生成する場合、"1"にしてください	"0"にしてください
	STAREQ	スタートコンディションを生成する場合、"1"にしてください	"0"にしてください
UiBRG	7~0	転送速度を設定してください	無効
UiTB	8	送信時は"1"を、受信時はACKビットの値を設定してください	
	7~0	送信時は送信データを、受信時は"FFh"を設定してください	
UiRB	OER	オーバランエラーフラグ	
	ABT	アービトラクションロスト検出フラグ	無効
	8	受信割り込み発生直後はD0が、送信割り込み発生後はACK、NACKが入ります	
	7~0	受信割り込み発生直後はD7~D1が、送信割り込み発生後はD7~D0が読めます	

表 17.11 I²Cモード時の各機能(i=0~2)

機能	クロック同期型シリアルインタフェースモード (SMD2~SMD0=001b, IICM=0)	I ² Cモード(SMD2~SMD0=010b, IICM=1)			
		IICM2=0 (ACK/NACK 割り込み)		IICM2=1 (送受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号39~41の要因(注1)(図 17.30参照)	—	スタートコンディション検出、ストップコンディション検出(表 17.12参照)			
割り込み番号17、19、33の要因(注1)(図 17.30参照)	UARTi送信 送信開始、または送信完了(UiIRSで選択)	NACK検出 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち下がり	UARTi送信 9ビット目のSCLiの立ち下がり
割り込み番号18、20、34の要因(注1)(図 17.30参照)	UARTi受信 8ビット目の受信時 CKPOL=0: 立ち上がり CKPOL=1: 立ち下がり	ACK検出 9ビット目のSCLiの立ち上がり	UARTi受信 8ビット目のSCLiの立ち下がり		
UART受信レジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0: 立ち上がり CKPOL=1: 立ち下がり	9ビット目のSCLiの立ち上がり	8ビット目のSCLiの立ち下がり	8ビット目のSCLiの立ち下がりと、9ビット目の立ち上がり	
UARTi送信出力遅延	遅延なし	遅延あり			
P6_3, P6_7, P7_0端子の機能	TXDi出力	SDAi入出力			
P6_2, P6_6, P7_1端子の機能	RXDi入力	SCLi入出力			
P6_1, P6_5, P7_2端子の機能	CLKi入力または出力	— (I ² Cモードでは使用しない)			
RXDi、SCLi端子レベルの読み込み	対応するポート方向ビットの内容に関係なく可能				
SDAi出力端子の初期値	—	H (機能選択レジスタでポートを選択した場合はポートレジスタの値)			
SCLiの初期値、終了値	—	H	L	H	L
DMA要因(図 17.30参照)	UARTi受信	ACK検出	UARTi受信 8ビット目のSCLiの立ち下がり		
受信データ格納	1~8ビット目をUiRBレジスタのビット0~7に格納	1~8ビット目をUiRBレジスタのビット7~0に格納	1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納	1回目(注2)は左に同じ。 2回目(注3)は1~8ビット目をUiRBレジスタのビット7~0に、9ビット目をUiRBレジスタのビット8に格納	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す		UiRBレジスタのビット6~0はビット7~1として、ビット8はビット0として読み出す	1回目(注2)は左に同じ。 2回目(注3)はUiRBレジスタの状態をそのまま読み出す	

注1. 要因を切り替える場合、以下の手順で行ってください。

- (1) 対応する割り込み番号の割り込みを禁止する
- (2) 要因を切り替える
- (3) 対応する割り込み番号のIRビットを“0”(割り込みなし)にする
- (4) 対応する割り込み番号のILVL2~ILVL0を設定する

注2. 8ビット目のSCLi立ち下がり時に1回目のUiRBレジスタへの転送が行われます。

注3. 9ビット目のSCLi立ち上がり時に2回目のUiRBレジスタへの転送が行われます。

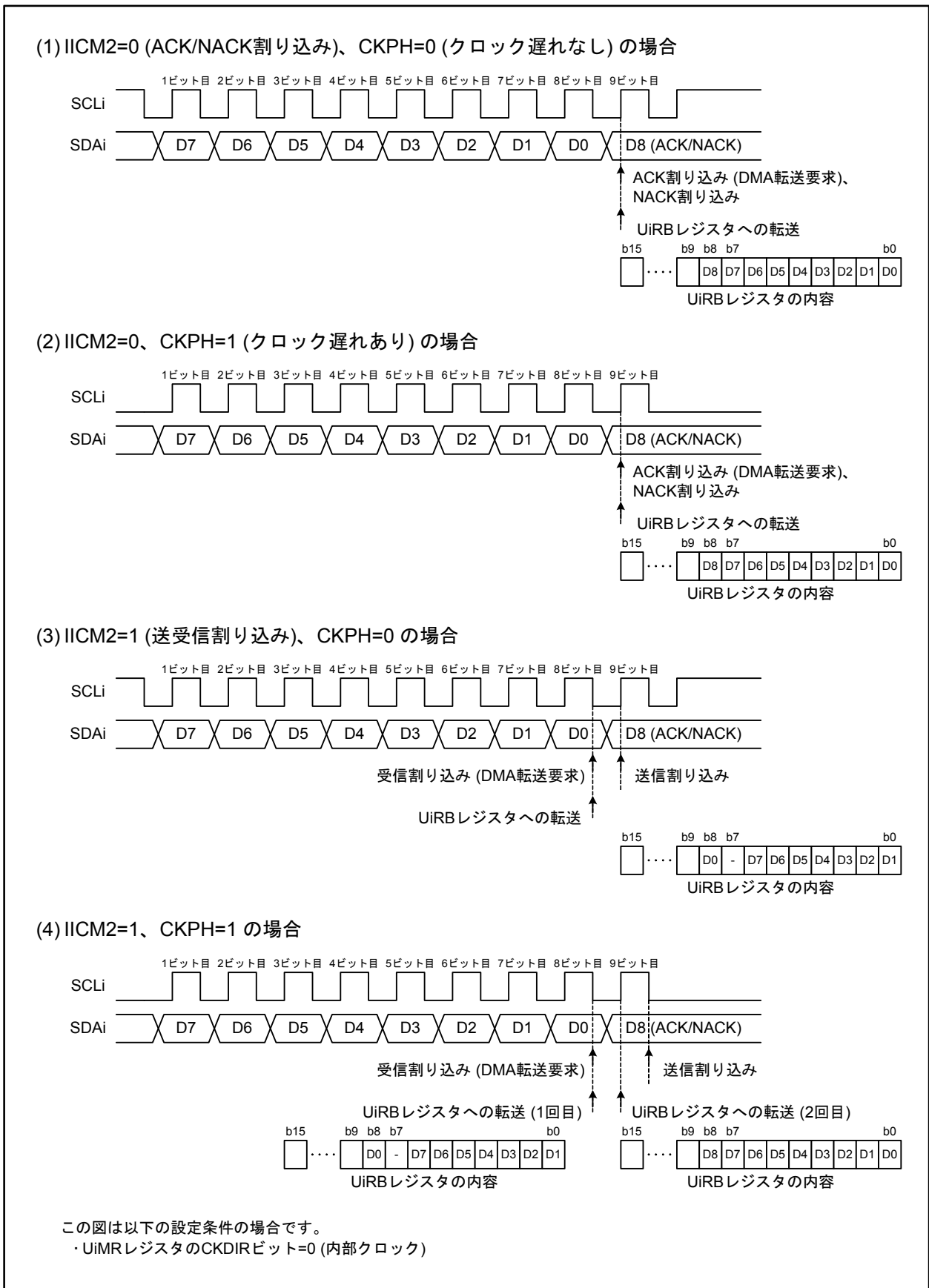


図 17.30 UiRBレジスタへの転送、割り込みのタイミング(i=0~2)

17.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出回路によりスタートコンディションを、ストップコンディション検出回路によりストップコンディションを検出します。

スタートコンディション検出割り込み要求は、SCLi端子(i=0~2)が“H”の状態、SDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態、SDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みとストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共有していますので、どちらの要求による割り込みかはUiSMRレジスタのBBSビットで判定してください。

スタートコンディション、ストップコンディションを検出するには、図 17.31 に示すとおりセットアップ時間、ホールド時間ともに周辺機能クロック(f1)の6サイクル以上必要です。Fast-Modeの仕様を満たすためには、f1は10MHz以上である必要があります。

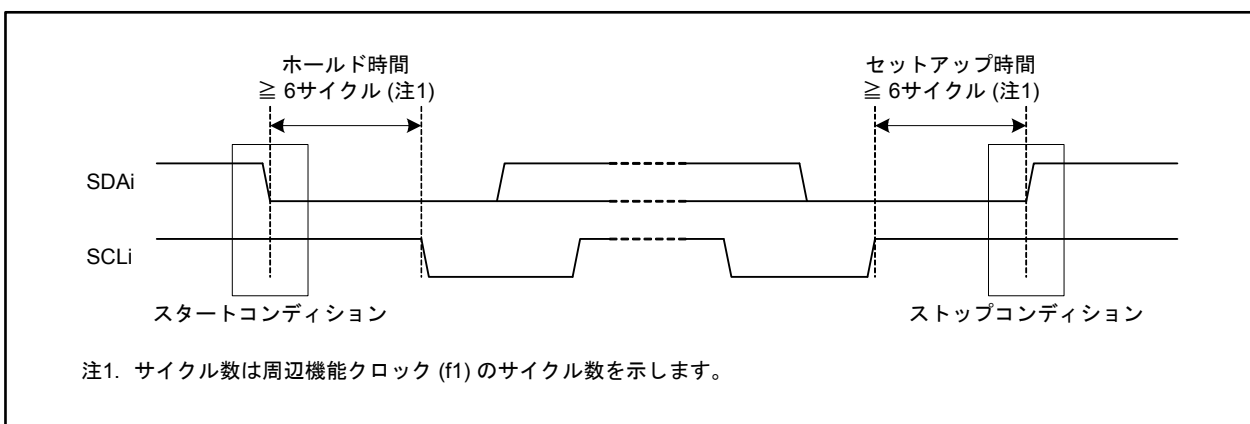


図 17.31 スタートコンディション、ストップコンディションの検出タイミング(i=0~2)

17.3.2 スタートコンディション、ストップコンディションの生成

UiSMR4レジスタ(i=0~2)のSTAREQビット、RSTAREQビット、STPREQビットを使用して、それぞれスタートコンディション、リスタートコンディション、ストップコンディションを生成できます。

STAREQビットを“1”(スタート)にした後、UiSMR4レジスタのSTSPSELビットを“1”(スタートコンディション/ストップコンディション生成回路選択)にするとスタートコンディションを出力します。同様に、RSTAREQビットを“1”(スタート)にした後、STSPSELビットを“1”にするとリスタートコンディション、STPREQビットを“1”(スタート)にした後、STSPSELビットを“1”にするとストップコンディションを出力します。

表 17.12 と図 17.32 に STSPSEL ビットの機能を示します。

表 17.12 STSPSEL ビットの機能

項目	STSPSEL=0の場合	STSPSEL=1の場合
スタートコンディション、ストップコンディションの生成	ソフトウェアでポートを制御して実現(ハードウェアによる自動発生はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出時	スタートコンディション、ストップコンディション生成終了時

UiSMR2レジスタ(i=0~2)のSWCビットは、アクノリッジ生成のためのウェイトを挿入するときに使用します。SWCビットが“1”(8ビット受信後、SCLi端子を“L”に固定)の場合、8ビット目のSCLiの立ち下がりでSCLi端子が“L”固定になります。SWCビットを“0”(ウェイトなし/ウェイト解除)にすると、“L”固定を解除できます。

UiSMR2レジスタのSWC2ビットを“1”(SCLi端子を“L”に固定)にすると、送受信中でもSCLi端子を“L”固定にできます。SWC2ビットを“0”(SCLi端子に送受信クロックを出力)にすると、SCLi端子からの“L”固定は解除され、送受信クロックが出力されます。

UiSMR4レジスタのSWC9ビットは、受信したアクノリッジビットを判定するためのウェイトを挿入するときに使用します。UiSMR3レジスタのCKPHビットが“1”(クロック遅れあり)のとき、SWC9ビットを“1”(9ビット受信後、SCLi端子を“L”に固定)にすると、9ビット目のSCLiの立ち下がりでSCLi端子が“L”固定になります。SWC9ビットを“0”(ウェイトなし/ウェイト解除)にすると“L”固定を解除できます。

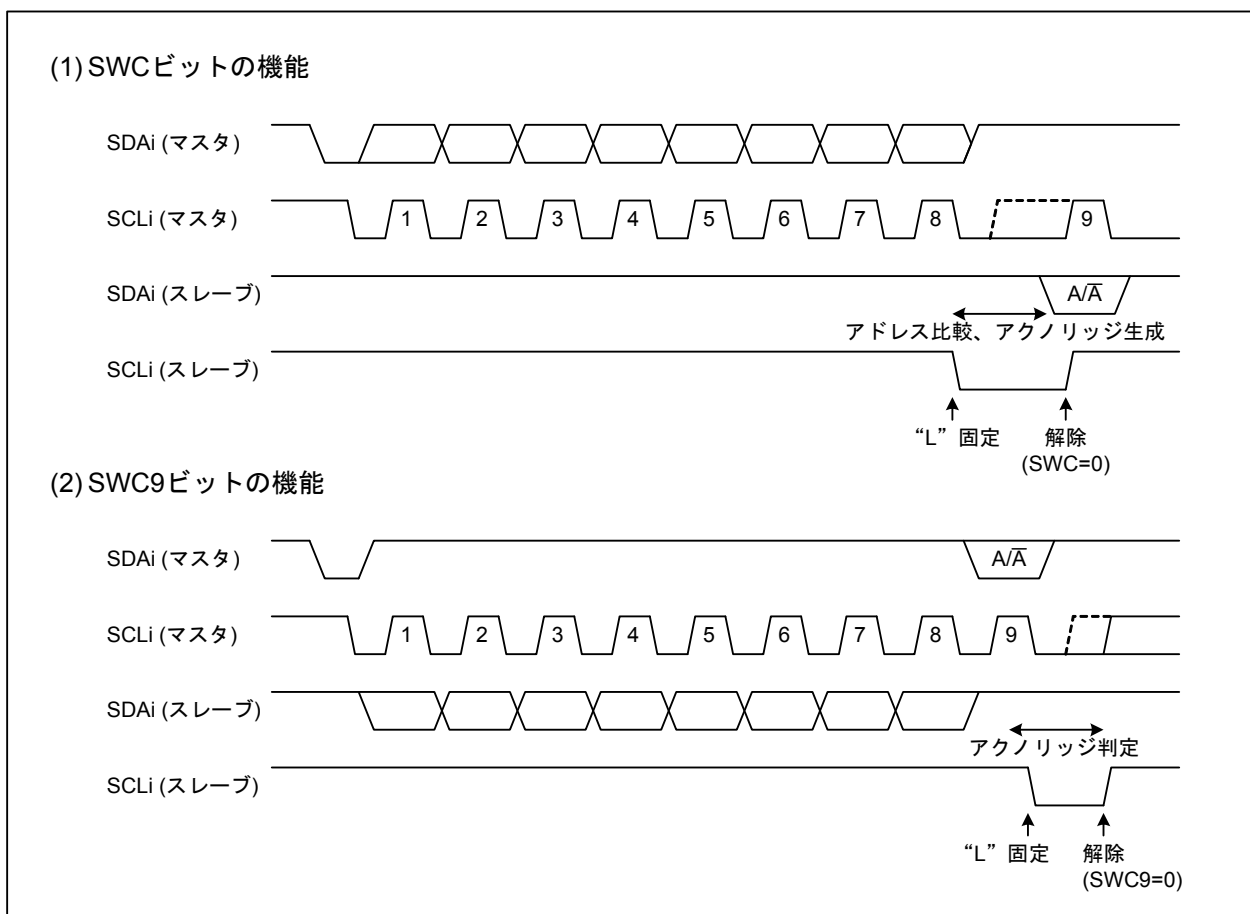


図 17.33 SWCビット、SWC9ビットによるウェイトの挿入(i=0~2)

UiSMR2レジスタのCSCビットは、他のデバイスがウェイトを挿入するなどしたために、自身が出力したクロックとSCLi端子に入力されたクロックが異なったとき、内部で生成するクロックをSCLi端子から入力されるクロックに同期させるためのビットです。CSCビットが“1”(クロック同期を実施する)の場合、内部生成クロックが“H”のときにSCLi端子が“H”から“L”に変化すると、内部生成クロックを“L”にし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部生成クロックが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの送受信クロックは、内部生成クロックとSCLi端子の信号の論理積になります。送受信クロックは、内部生成クロックの1クロック前から9クロック目まで同期化されます。CSCビットはUiMRレジスタのCKDIRビットが“0”(内部クロック)のときのみ“1”にできます。

UiSMR4レジスタのSCLHIビットは、自身がマスタとして送受信を行っているときに他のマスタがストップコンディションを生成した場合に、SCLi端子を開放するために使用します。SCLHIビットを“1”（出力停止）にすると、ストップコンディション検出時にSCLi端子を開放し（ハイインピーダンス）、クロック出力を停止します。

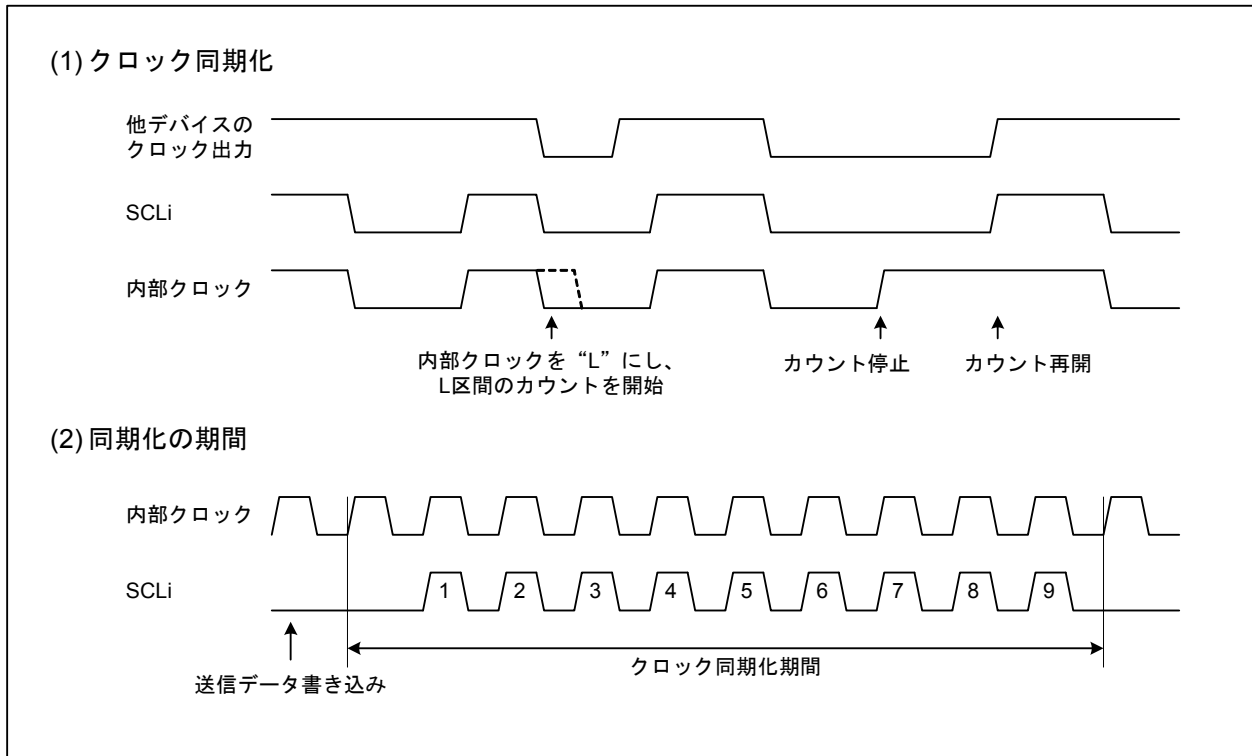


図 17.34 クロック同期化 (i=0~2)

17.3.5 SDA出力

UiTBレジスタ (i=0~2) のビット 8~0 (D8~D0) に書いた値を、D7から順にD0まで、最後にD8の順で出力します。D8はアクノリッジ信号のためのビットですから、送信時はD8には“1”を設定してバスを開放する必要があります。また、受信時はD8にACKもしくはNACKを設定します。

UiSMR3レジスタのDL2~DL0ビットにより、SCLiの立ち下りエッジに対するSDAiの遅延量を設定できます。遅延量はUiBRGカウントソースを基準に、0サイクル(なし)または2~8サイクルの範囲で設定できます。

UiSMR2レジスタのSDHIビットを“1”（出力停止）にすることで、いつでもSDAi端子をハイインピーダンスにできます。I²Cモード設定後に、ポートの機能をSDAiに割り当て、端子を出力に設定すると、SDAi端子からは“L”が出力されます。このときSDHIビットが“1”であれば、SDAi端子はハイインピーダンスになります。

なお、SCLi端子が“H”のときにSDHIビットを書き換えた場合、スタートコンディションやストップコンディションを生成することになります。また、SCLiの立ち上がり直前にSDHIビットを書き換えた場合、アービトレーションロストと誤検出されることがあります。SCLi端子が“L”の時にSDAi端子が変化するように、SDHIビットを書き換えてください。

17.3.6 SDA入力

UiSMR2レジスタ(i=0~2)のIICM2ビットが“0”(ACK/NACK割り込みを使用)の場合、受信したデータの1~8ビット目(D7~D0)をUiRBレジスタのビット7~0に、9ビット目(ACK/NACK)をUiRBレジスタのビット8に格納します。

IICM2ビットが“1”(送受信割り込みを使用)の場合、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”の場合でも、UiSMR3レジスタのCKPHビットが“1”(クロック遅れあり)であれば、9ビット目のSCLiの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”の場合と同様のデータが読み出せます。

17.3.7 アクノリッジ

データを受信することが確定している場合、UiTBレジスタに00FFhをダミーデータとして設定することで、8ビット受信後にACKが出力されます。

また、UiSMR4レジスタ(i=0~2)のSTSPSELビットが“0”(シリアル入出力回路選択)で、UiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、9ビット目のSCLiの立ち上がり時にSDAi端子が“H”であればNACK割り込み要求が、“L”であればACK割り込み要求が発生します。

DMA起動要因に「UARTi受信またはACK割り込み要求」を選択すると、ACK検出によってDMA転送を起動できます。

17.3.8 送受信初期化

UiMRレジスタ(i=0~2)のCKDIRビットが“1”(外部クロック)で、UiSMR2レジスタのSTCビットが“1”(回路を初期化する)の場合、スタートコンディションを検出すると以下のように動作します。

- 送信レジスタが初期化され、UiTBレジスタの内容が送信レジスタに転送されます。次のSCLiの立ち下がりエッジを1ビット目の送信クロックとして送信を開始します。ただし、SCLiの立ち下りからデータが出力されるまでの間、SDAi端子からは初期化前の送信レジスタの値が出力されます。
- 受信レジスタは初期化され、次のSCLiの立ち下がりエッジを1ビット目の受信クロックとして受信を開始します。
- UiSMR2レジスタのSWCビットが“1”(8ビット受信後、SCL端子を“L”に固定)になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。

17.4 特殊モード2

特殊モード2は、1つまたは複数のマスタから複数のスレーブへ、クロックに同期してシリアル通信を行うモードです。 \overline{SSi} 入力端子 ($i=0\sim 2$) を用いて、シリアルバスの通信を制御します。表 17.13 に特殊モード2の仕様を示します。

表 17.13 特殊モード2の仕様

項目	仕様
データフォーマット	キャラクタ長 8ビット
送受信クロック	<ul style="list-style-type: none"> • UiMR レジスタ ($i=0\sim 2$) の CKDIR ビットが“0” (内部クロック): $\frac{f_x}{2(m+1)} \quad f_x = f_1, f_8, f_{2n} \quad m: \text{UiBRG レジスタ設定値 (00h~FFh)}$ • CKDIR ビットが“1” (外部クロック): CLKi 端子からの入力
送信制御、受信制御	SS機能
送信開始条件	送信開始には以下の条件が必要です(注1) <ul style="list-style-type: none"> • UiC1 レジスタの TE ビットが“1” (送信許可) • UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)
受信開始条件	受信開始には、以下の条件が必要です(注1) <ul style="list-style-type: none"> • UiC1 レジスタの RE ビットが“1” (受信許可) • TE ビットが“1” (送信許可) • TI ビットが“0” (UiTB レジスタにデータあり)
割り込み要求発生タイミング	送信割り込みは、U0C1~U2C1 レジスタの UiIRS ビットの設定により、以下の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiIRS ビットが“0” (UiTB レジスタ空): UiTB レジスタから UARTi 送信レジスタへデータ転送時(送信開始時) • UiIRS ビットが“1” (送信完了): UARTi 送信レジスタからデータ送信完了時 受信割り込み <ul style="list-style-type: none"> • UARTi 受信レジスタから UirB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UirB レジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
その他選択項目	<ul style="list-style-type: none"> • CLK 極性選択 送受信データの出力と入力タイミングが、送受信クロックの立ち上がりに同期するか、立ち下がりに同期するかを選択できます • ビットオーダ選択 LSB ファーストまたは MSB ファーストを選択できます • 連続受信モード選択 UirB レジスタを読むと同時に、受信許可にすることができます • シリアルデータ論理切り替え 送受信データの論理を反転することができます • クロック位相選択 送受信クロックの極性と相の組み合わせで4種類のクロックを選択できます • \overline{SSi} 入力端子機能 \overline{SSi} 端子が“H”のとき、出力端子をハイインピーダンスにすることができます

注1. 外部クロック選択時、UiC0 レジスタの CKPOL ビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)の場合は CLKi 端子が“H”の状態、CKPOL ビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)の場合は CLKi 端子が“L”の状態、これらの条件を満たすようにしてください。

注2. オーバランエラーが発生した場合、UirB レジスタは不定になります。SiRIC レジスタの IR ビットは“1” (割り込み要求あり)に変化しません。

表 17.14に特殊モード2で使用するレジスタと設定値を示します。

表 17.14 特殊モード2で使用するレジスタと設定値(i=0~2)

レジスタ	ビット	機能
UiMR	7~4	“0000b”にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	SMD2~SMD0	“001b”にしてください
UiC0	UFORM	LSBファースト、またはMSBファーストを選択してください
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相を設定できます
	NCH	TXDi端子の出力形式を選択してください
	CRD	“1”にしてください
	TXEPT	送信レジスタ空フラグ
	2	“0”にしてください
	CLK1~CLK0	UiBRGレジスタのカウントソースを選択してください
UiC1	7~6	“00b”にしてください
	UiRRM	連続受信モードを使用する場合、“1”にしてください
	UiIRS	UARTi送信割り込み要因を選択してください
	RI	受信完了フラグ
	RE	受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	TE	送受信を許可する場合、“1”にしてください
UiSMR	7~0	“00h”にしてください
UiSMR2	7~0	“00h”にしてください
UiSMR3	7~5	“000b”にしてください
	ERR	モードフォルトフラグ
	NODC	“0”にしてください
	DINC	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相を設定できます
	SSE	“1”にしてください
UiSMR4	7~0	“00h”にしてください
UiBRG	7~0	転送速度を設定してください
UiTB	7~0	送信データを設定してください
UiRB	OER	オーバランエラーフラグ
	7~0	受信データが読めます

17.4.1 \overline{SS}_i 入力端子機能 (i=0~2)

UiSMR3レジスタのSSEビットを“1”(SS機能許可)にするとこのモードが選択され、 $\overline{CTS}_i/\overline{RTS}_i/\overline{SS}_i$ 端子が \overline{SS}_i 入力端子になります。

UiSMR3レジスタのDINCビットでマスタとして使用するか、スレーブとして使用するかを選択できます。複数のデバイスをマスタにした場合(マルチマスタシステム)、 \overline{SS}_i 端子の状態でその時々マスタが決まります。

17.4.1.1 スレーブモードでのSS機能

DINCビットが“1”(スレーブモード)で \overline{SS}_i 端子に“H”が入力されている場合、STXDi端子はハイインピーダンスになり、CLKi端子からのクロック入力は無視されます。 \overline{SS}_i 端子に“L”が入力されている場合、クロックの入力が有効となり、STXDi端子からシリアルデータが出力され、シリアル通信が可能になります。

17.4.1.2 マスタモードでのSS機能

DINCビットが“0”(マスタモード)で \overline{SS}_i 端子に“H”が入力されている場合、他にマスタが存在しないか、他のマスタが通信を行っていないことを示すため、マスタとなって通信を開始できます。マスタはCLKi端子から送受信クロックを出力します。 \overline{SS}_i 端子に“L”が入力されている場合、他にマスタが存在していることを示し、TXDi、CLKiの各端子はハイインピーダンスになります。また、モードフォルトが発生し、UiSMR3レジスタのERRビットが“1”になります。なお、通信中にモードフォルトが発生しても、通信は停止しません。通信を停止したい場合、UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしてください。

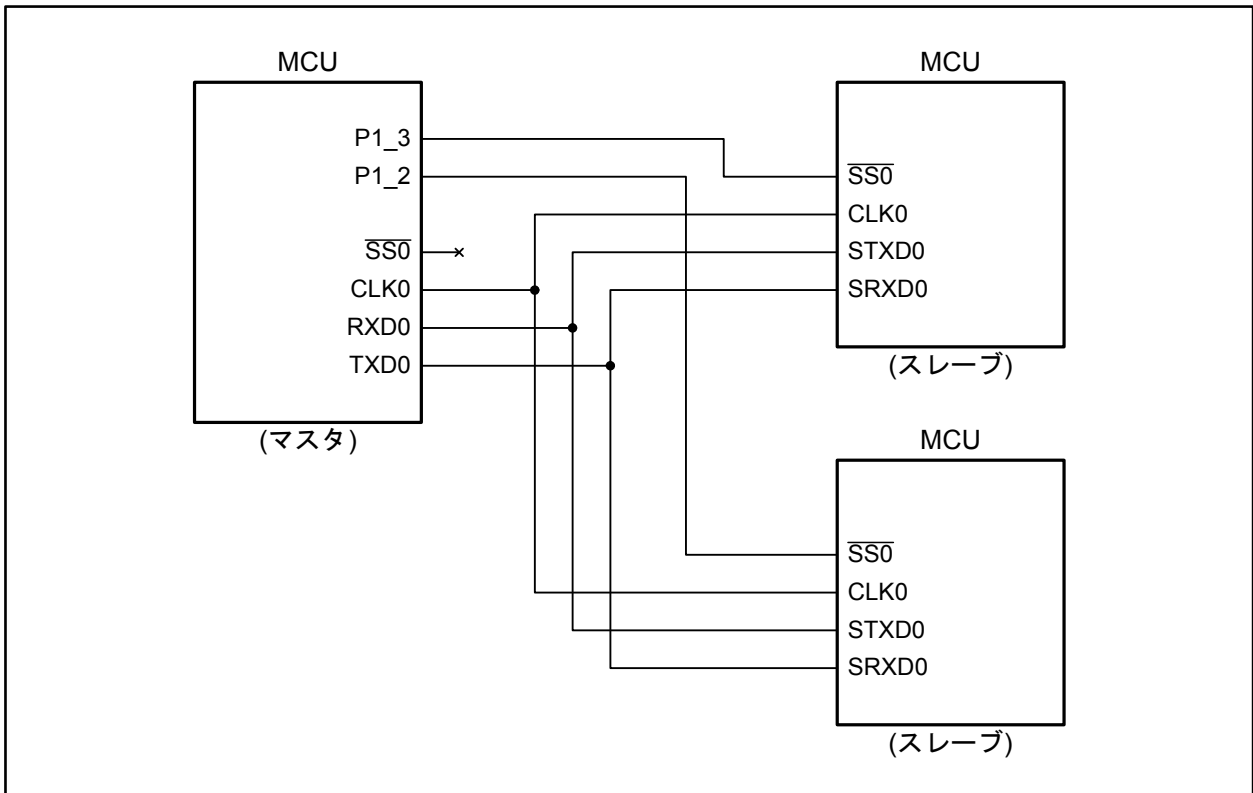


図 17.35 \overline{SS}_i 端子を用いたシリアルバスの通信制御例

17.4.2 クロック位相設定機能

UiC0レジスタのCKPOLビットと、UiSMR3レジスタ(i=0~2)のCKPHビットによって、送受信クロックの極性と位相を変化させることで、4種類のクロックを選択できます。

マスタは、送受信クロックの極性と位相をそのとき通信するスレーブと同じにしてください。

17.4.2.1 マスタモードでの送受信タイミング

DINCビットが“0”(マスタモード)の場合、UiMRレジスタのCKDIRビットを“0”(内部クロック)にして、クロックを生成する必要があります。図 17.36に各クロックの位相ごとの送受信タイミングを示します。

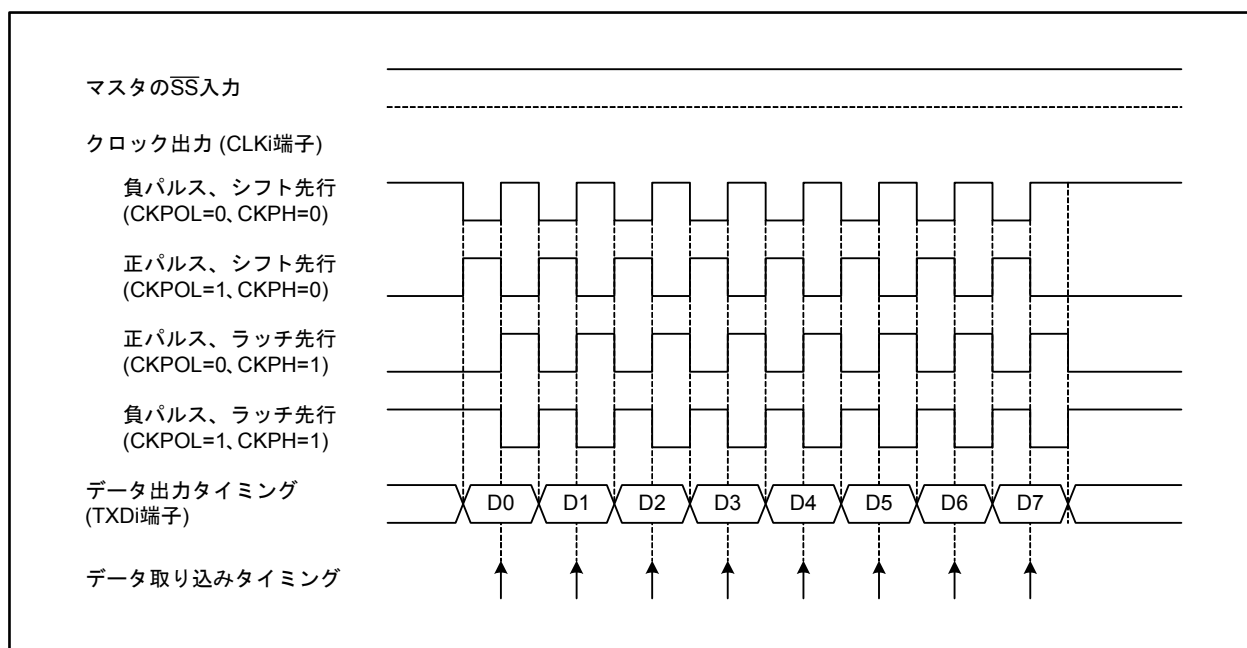


図 17.36 マスタモードでの送受信タイミング

17.4.2.2 スレーブモードでの送受信タイミング

DINCビットが“1”(スレーブモード)の場合、UiMRレジスタのCKDIRビットを“1”(外部クロック)にする必要があります。

CKPHビットが“0”(クロック遅れなし)で \overline{SSi} 端子に“H”が入力されている場合、STXDiはハイインピーダンスです。 \overline{SSi} 端子に“L”が入力されるとデータ送信を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してデータ送信を行います。図 17.37にタイミングを示します。

CKPHビットが“1”(クロック遅れあり)で \overline{SSi} 端子に“H”が入力されている場合、STXDiはハイインピーダンスです。 \overline{SSi} 端子に“L”が入力されると最初のデータが出力されます。その後、クロックに同期してデータ送信を行います。図 17.38にタイミングを示します。

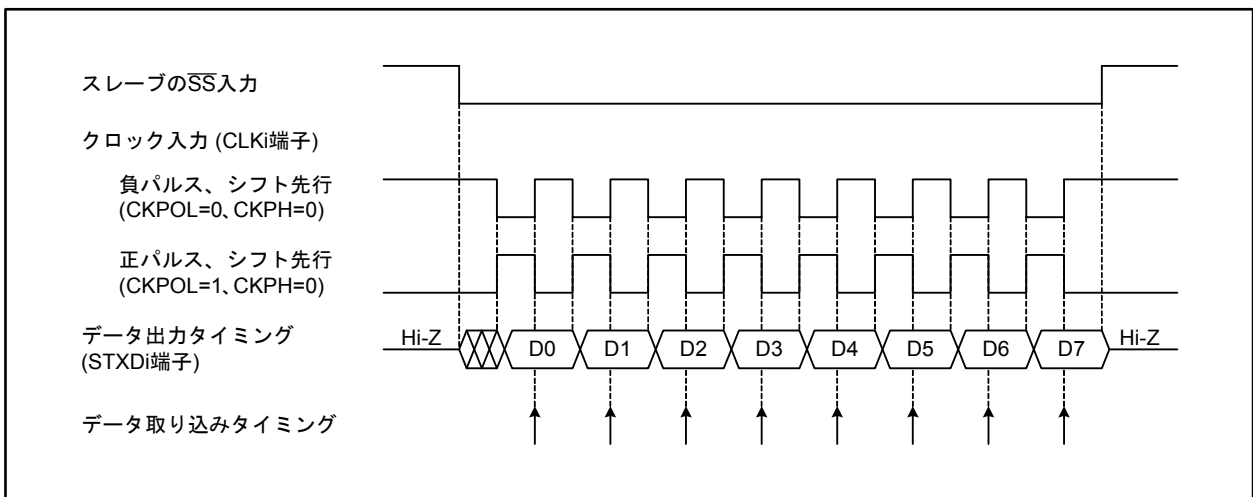


図 17.37 スレーブモードでの送受信タイミング(CKPH=0)

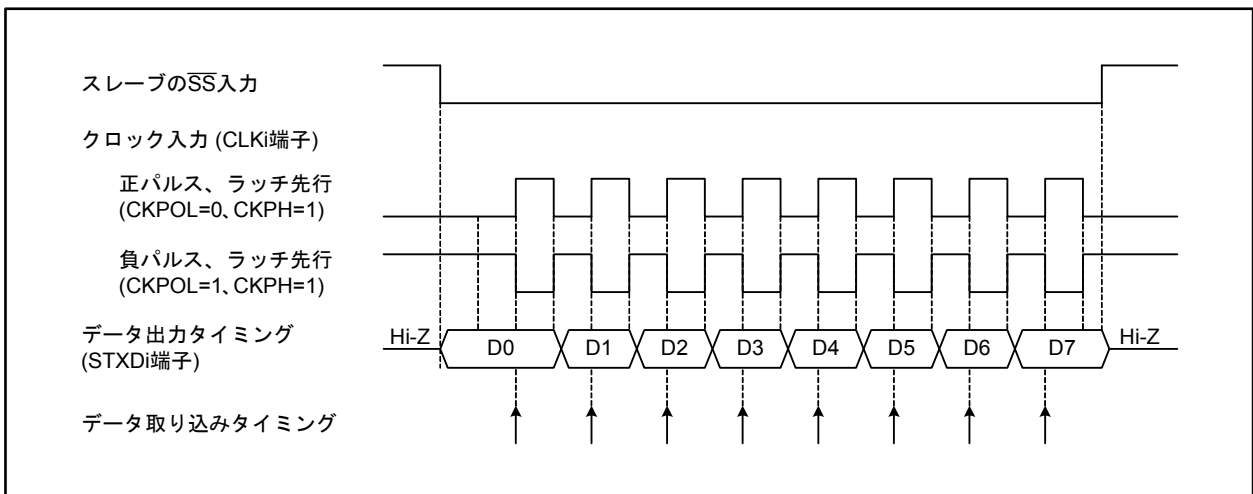


図 17.38 スレーブモードでの送受信タイミング(CKPH=1)

17.5 シリアルインタフェース使用上の注意

17.5.1 UiBRG レジスタ (i=0~4)の変更

- UiBRG レジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。また、CLK1~CLK0ビットを変更した場合は、UiBRGレジスタも設定し直してください。
- UiBRG レジスタに“00h”を書いた場合、直後にカウンタが動作し“FFh”になる場合があります。この場合、設定した“00h”がリロードされるまで256クロック余分に時間がかかります。“00h”がリロードされた後は、設定どおり分周なしになります。

17.5.2 クロック同期モード

17.5.2.1 外部クロック選択

- 外部クロックを選択している場合、UiC0レジスタ (i=0~4)のCKPOLビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)のときは外部クロックが“L”の状態以下の条件を満たしてください。
 - UiC1レジスタのTEビットが“1” (送信許可)
 - UiC1レジスタのREビットが“1” (受信許可)
 - UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)送信のみの場合はREビットの設定は不要

17.5.2.2 受信

- クロック同期モードでは送信制御回路で送受信クロックを制御します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子 (i=0~4)からはダミーデータが外部に出力されます。
- 連続してデータを受信した場合、UiC1レジスタのRIビットが“1” (UiRBレジスタにデータあり)のときに次の受信データの7ビット目を受信するとオーバランエラーが発生し、UiRBレジスタのOERビットが“1” (オーバランエラー発生)になります。この場合、UiRBレジスタは不定になります。オーバランエラーが発生したときはSiRICレジスタのIRビットは“1”に変化しません。

17.5.3 特殊モード1 (I²Cモード)

- スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ (i=0~2)のSTSPSELビットを“0”にした後、送受信クロックの半クロック以上待ってから、各コンディション生成ビット (STAREQビット、RSTAREQビット、STPREQビット)を“0”から“1”にしてください。

17.5.4 通信異常時の対処方法

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

A. クロック同期モードの場合

- (1) UiC1レジスタ(i=0~4)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期型シリアルインタフェースモード)にする。
- (4) 必要に応じてUiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

B. UARTモードの場合

- (1) UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“100b”(UARTモード キャラクタ長7ビット)または、“101b”(UARTモードキャラクタ長8ビット)、“110b”(UARTモードキャラクタ長9ビット)にする。
- (4) 必要に応じてUiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

18. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

A/D変換の結果は、選択した端子に対応したA/Dレジスタに格納されます。ただし、DMAC利用モードが有効の場合はAD00レジスタのみに格納されます。

A/Dコンバータを使用しない場合、AD0CON1レジスタのVCUTビットを“0” (VREF切断)にすると、VREF端子からラダー抵抗へ供給される電流が流れなくなり、消費電力を減らすことができます。

表 18.1にA/Dコンバータの仕様を、図 18.1にA/Dコンバータのブロック図を、図 18.2~図 18.8にA/Dコンバータ関連のレジスタを示します。

表 18.1 A/Dコンバータの仕様

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧 (注1)	0V ~ AVCC (VCC)
動作クロックφAD (注2)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周またはfADの8分周
分解能	8ビット、10ビット
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1、マルチポート単掃引モード、マルチポート繰り返し掃引モード0、自己診断モード
アナログ入力端子 (注3)	26本 AN、AN0、AN2各8本。拡張入力2本(ANEX0, ANEX1)
A/D変換開始条件	ソフトウェアトリガ <ul style="list-style-type: none"> AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にする外部トリガ(再トリガ可能) ADSTビットを“1”にした後、ADTRG端子への入力信号が“H”から“L”に変化したとき ハードウェアトリガ(再トリガ可能) <ul style="list-style-type: none"> ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき
1端子あたりの変換速度	<ul style="list-style-type: none"> サンプル&ホールドなし 分解能8ビットの場合49φADサイクル、分解能10ビットの場合59φADサイクル うち2φADサイクルはサンプリング時間 サンプル&ホールドあり 分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクル うち3φADサイクルはサンプリング時間

注1. サンプル&ホールド機能の有無に依存しません。

注2. φADの周波数は、16MHz以下にしてください。また、サンプル&ホールド機能なしのときφADの周波数は250kHz以上に、サンプル&ホールド機能ありのときφADの周波数は1MHz以上にしてください。

注3. AVCC=VREF=VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

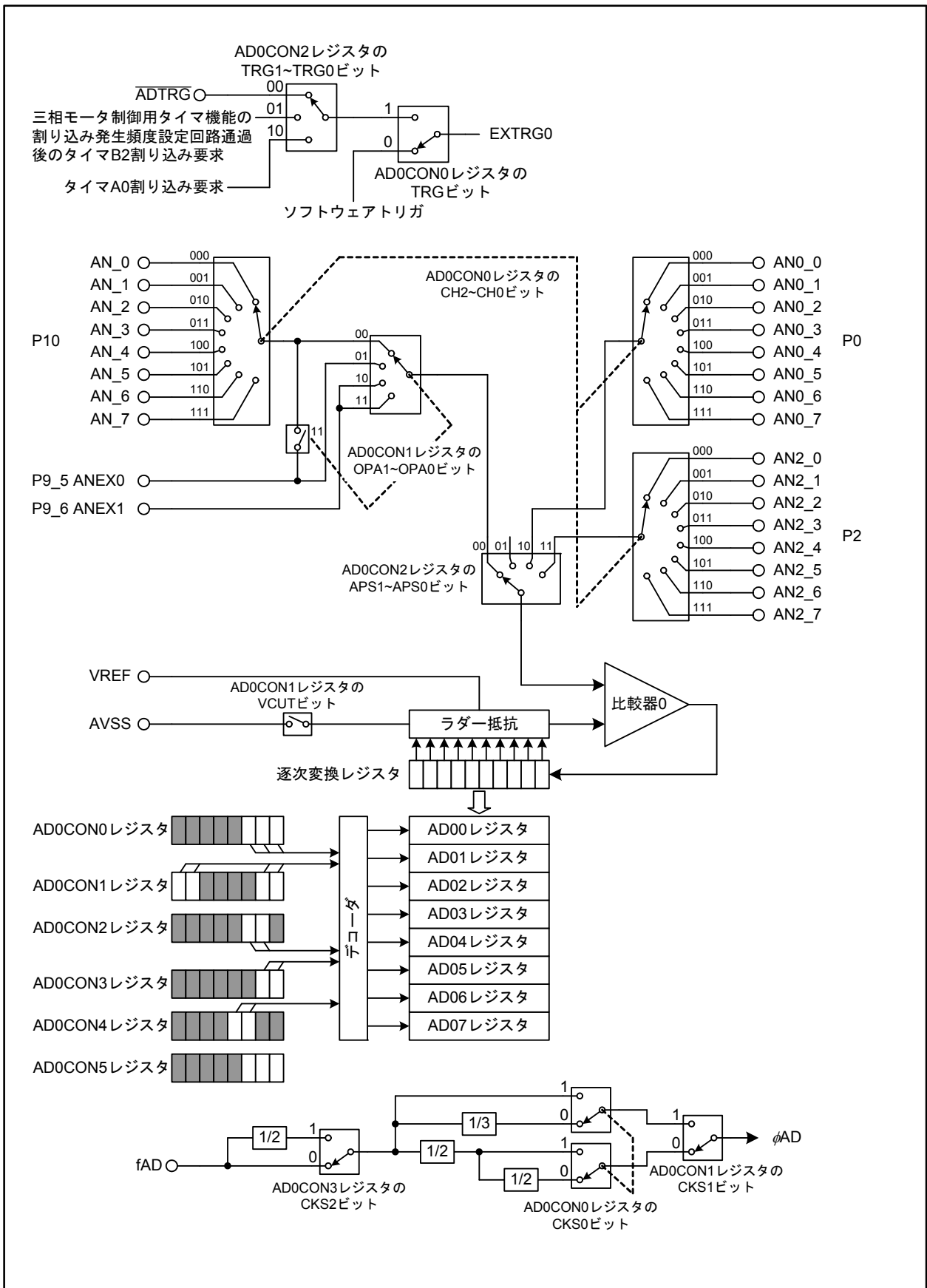


図 18.1 A/Dコンバータのブロック図

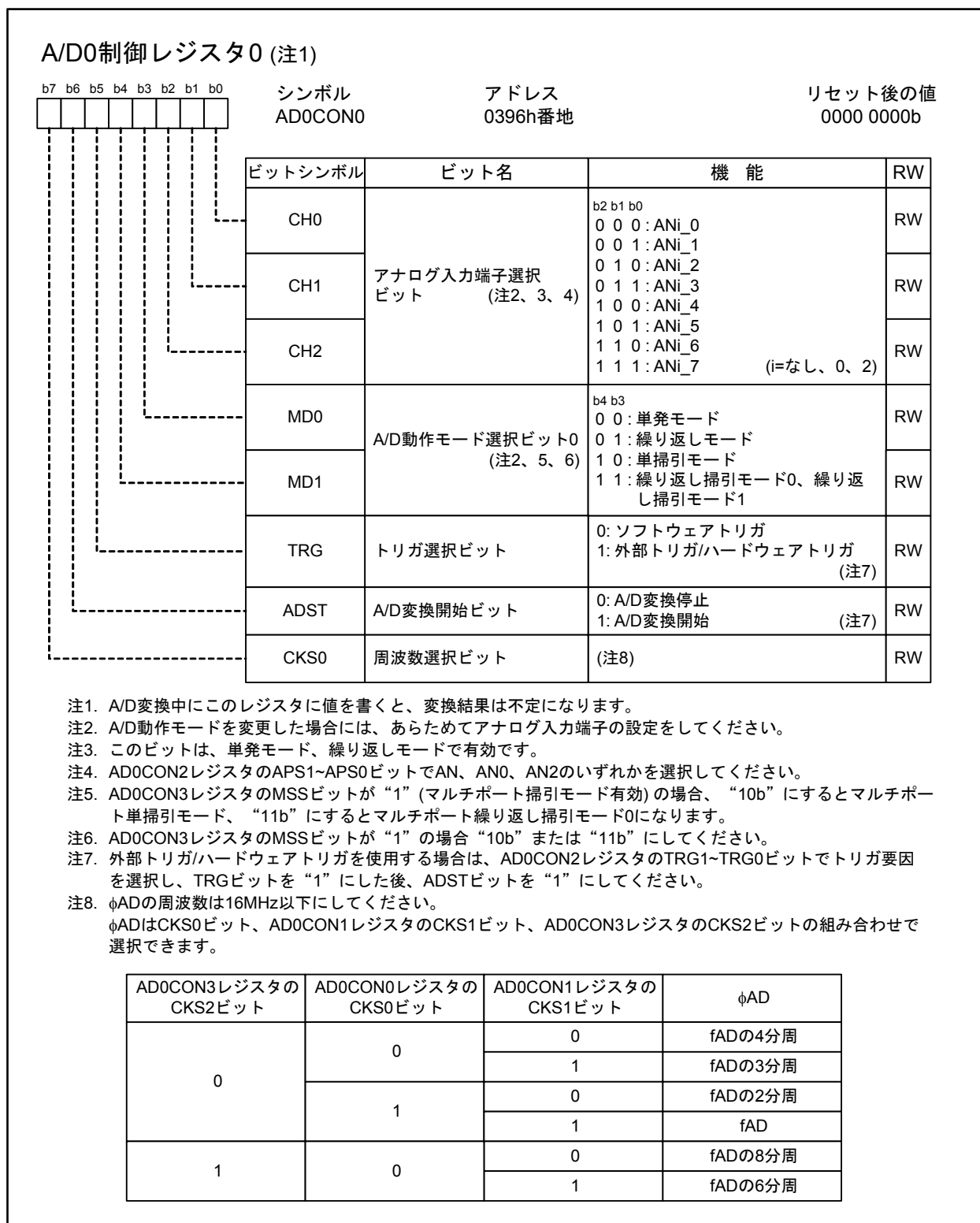


図 18.2 AD0CON0レジスタ

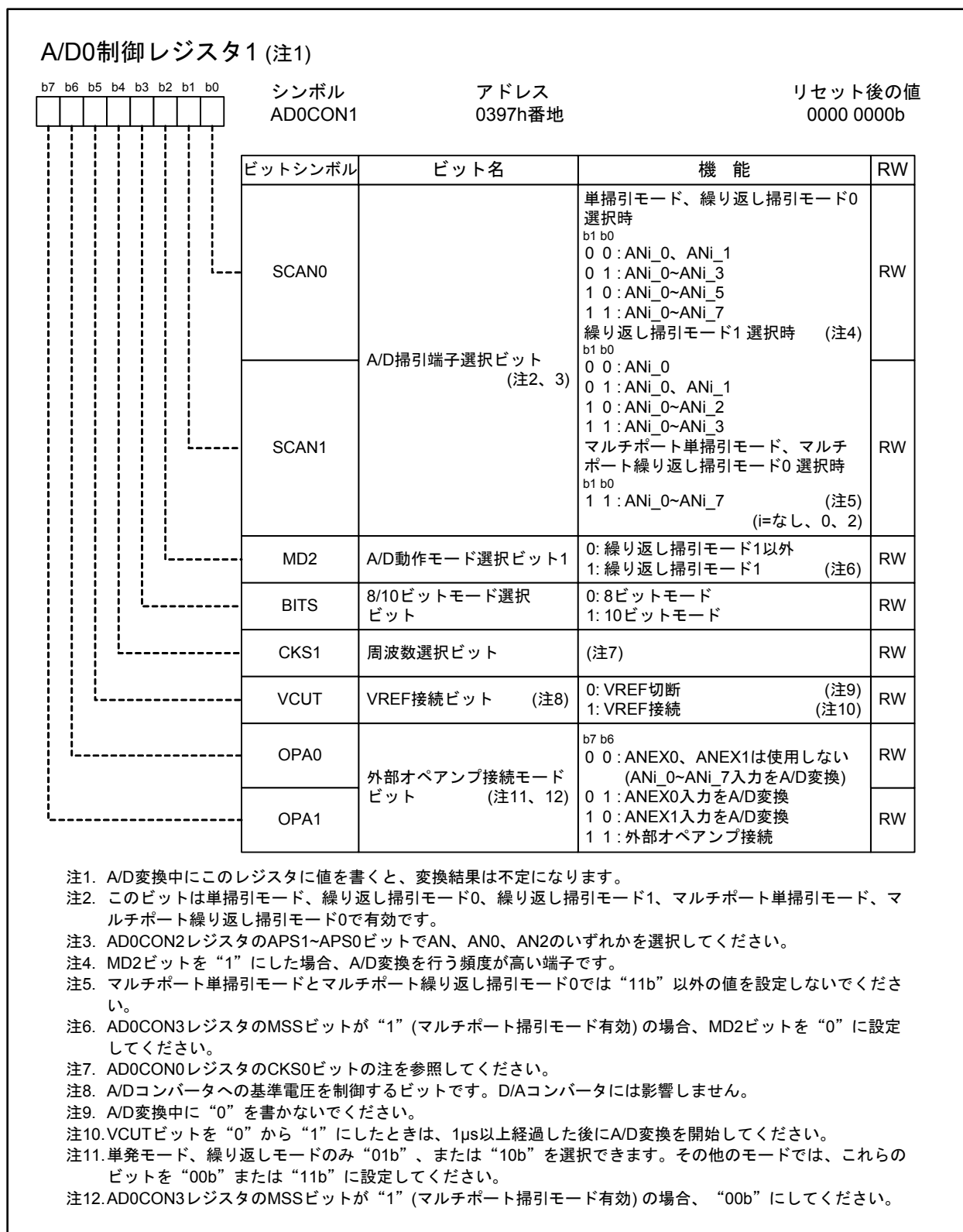


図 18.3 AD0CON1 レジスタ

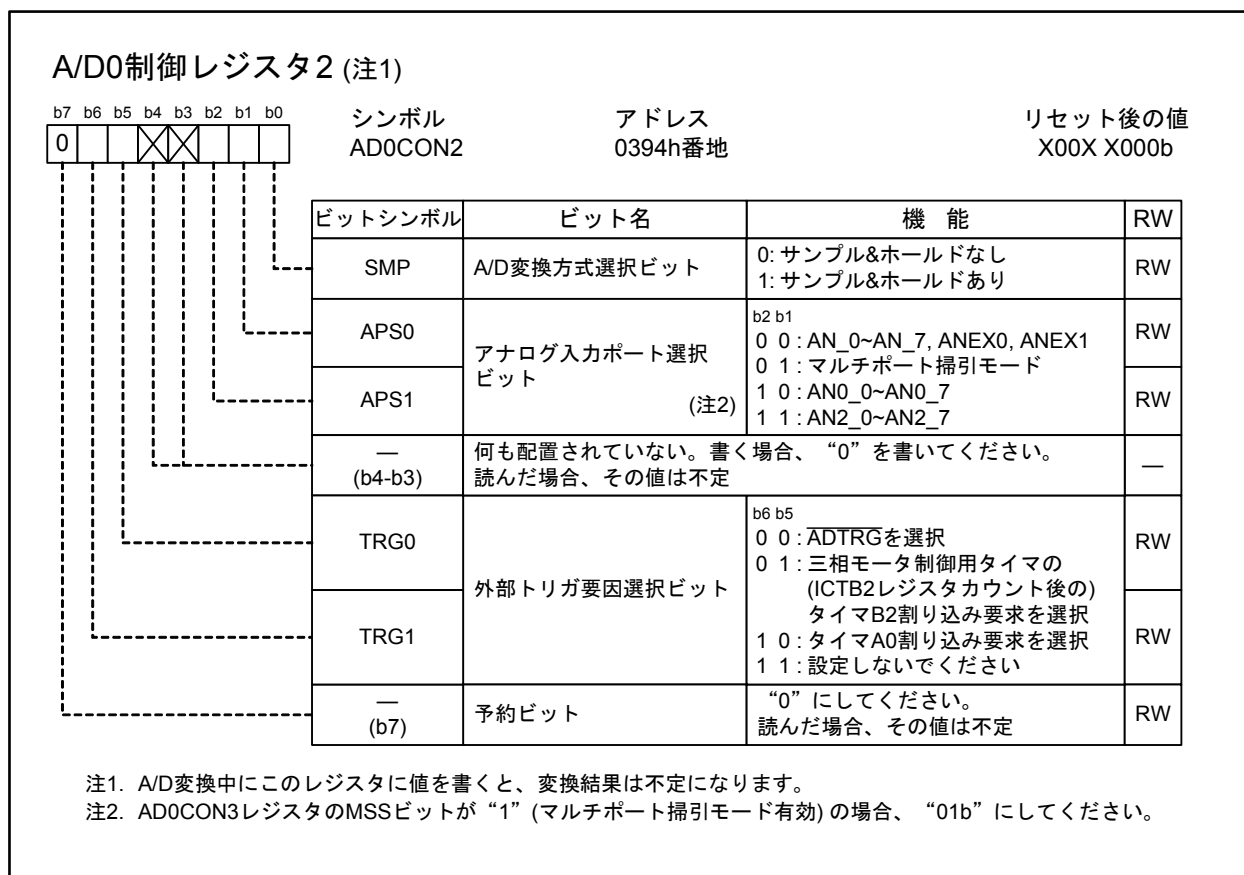


図 18.4 AD0CON2 レジスタ

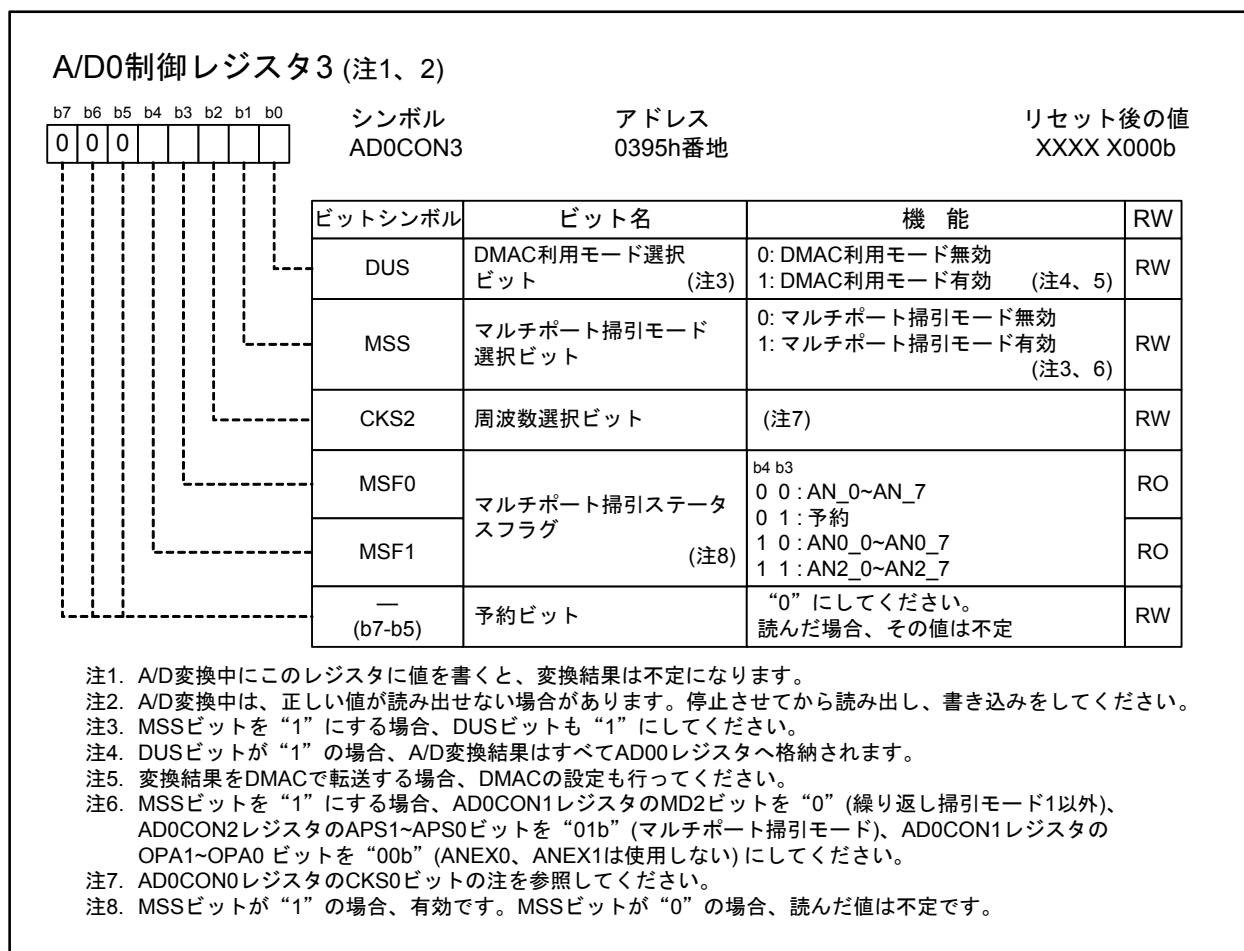


図 18.5 AD0CON3レジスタ

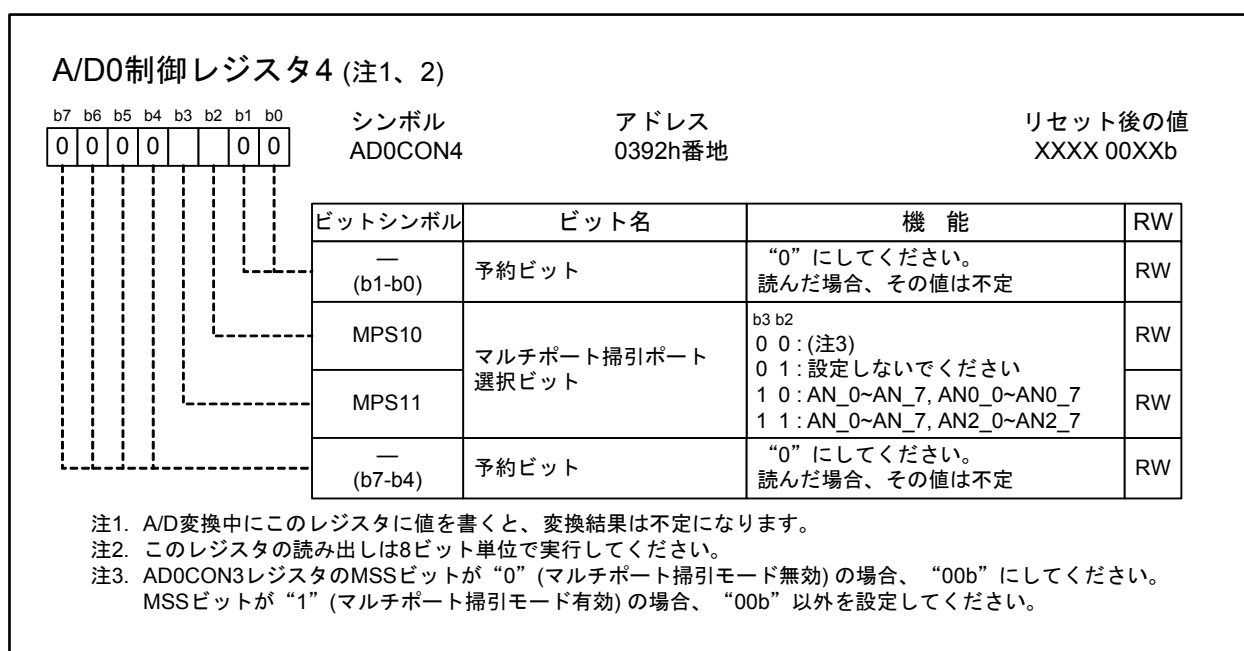


図 18.6 AD0CON4 レジスタ

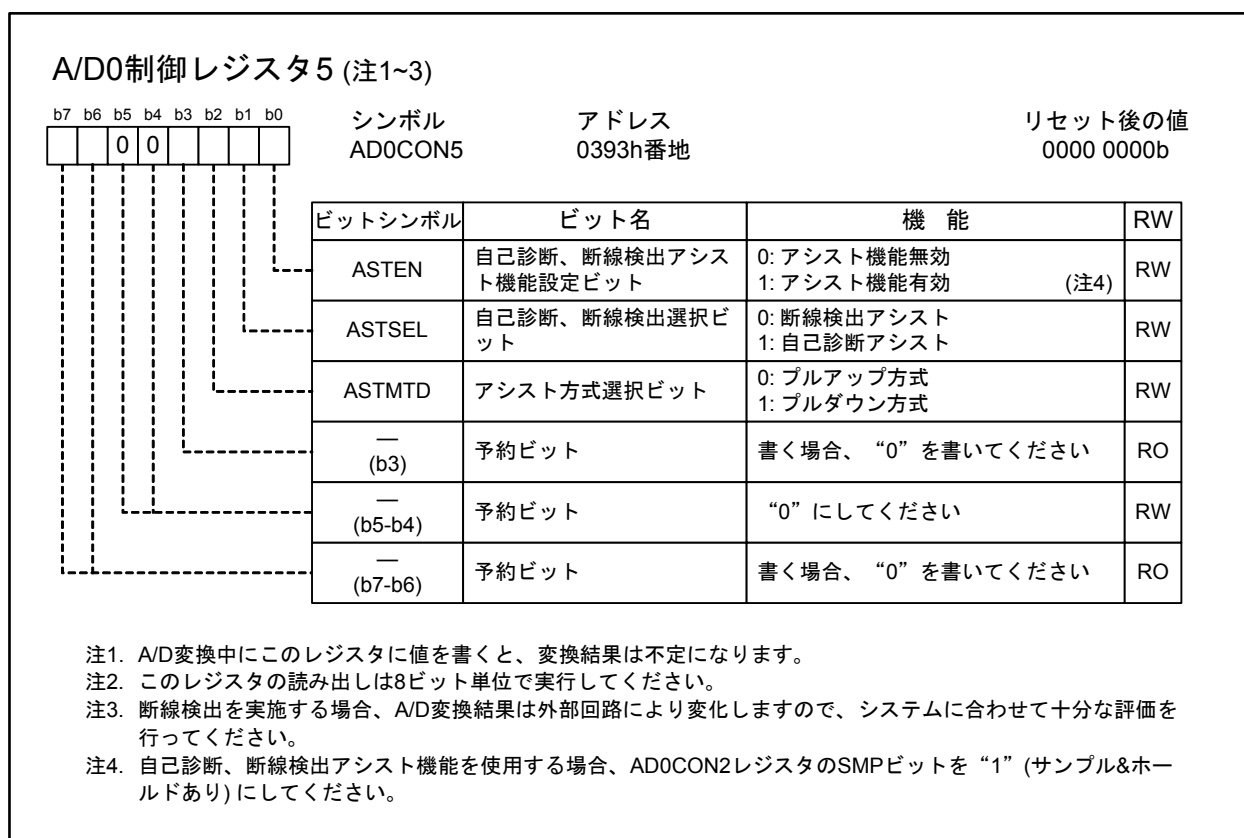


図 18.7 AD0CON5 レジスタ

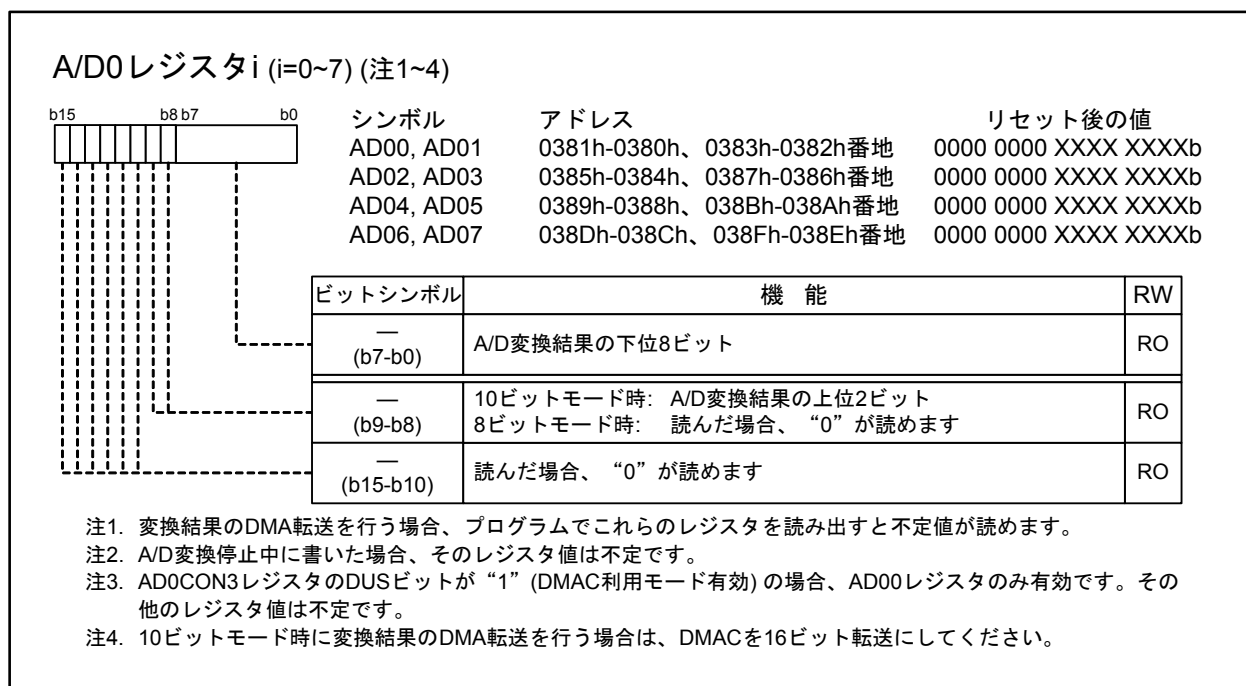


図 18.8 AD00~AD07 レジスタ

18.1 モードの説明

18.1.1 単発モード

選択した1本の端子の入力電圧を1回だけ変換するモードです。表 18.2に単発モードの仕様を示します。

表 18.2 単発モードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2~CH0ビット、AD0CON1レジスタのOPA1~OPA0ビット、AD0CON2レジスタのAPS1~APS0ビットで選択した1本の端子の入力電圧を1回だけ変換する
開始条件	AD0CON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしたとき TRGビットが“1” (外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG1、TRG0ビットで条件を選択 <ul style="list-style-type: none"> •TRG1、TRG0ビットが“00b” ADSTビットを“1”にした後、ADTRG端子への入力信号が“H”から“L”に変化したとき •TRG1、TRG0ビットが“01b” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき •TRG1、TRG0ビットが“10b” ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき
停止条件	<ul style="list-style-type: none"> •A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) •ADSTビットを“0” (A/D変換停止)にしたとき
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0” (DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1” (DMAC利用モード有効)の場合 「12. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

18.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返し変換するモードです。表 18.3に繰り返しモードの仕様を示します。

表 18.3 繰り返しモードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2~CH0ビット、AD0CON1レジスタのOPA1~OPA0ビット、AD0CON2レジスタのAPS1~APS0ビットで選択した1本の端子の入力電圧を繰り返し変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG1、TRG0ビットで条件を選択 <ul style="list-style-type: none"> • TRG1、TRG0ビットが“00b” ADSTビットを“1”にした後、ADTRG端子への入力信号が“H”から“L”に変化したとき • TRG1、TRG0ビットが“01b” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき • TRG1、TRG0ビットが“10b” ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき
停止条件	• ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	• AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない • DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 <ul style="list-style-type: none"> • 変換結果をDMACで転送する場合 「12. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください • 変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

18.1.3 単掃引モード

選択した複数の端子の入力電圧を1回ずつ変換するモードです。表 18.4に単掃引モードの仕様を示します。

表 18.4 単掃引モードの仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した複数の端子の入力電圧を1回ずつ変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG1、TRG0ビットで条件を選択 <ul style="list-style-type: none"> • TRG1、TRG0ビットが“00b” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき • TRG1、TRG0ビットが“01b” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき • TRG1、TRG0ビットが“10b” ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき
停止条件	<ul style="list-style-type: none"> • A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) • ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	<ul style="list-style-type: none"> • AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、掃引終了時に発生 • DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi_0 (i=なし、0、2)とANi_1 (2端子)、ANi_0~ANi_3 (4端子)、ANi_0~ANi_5 (6端子)、またはANi_0~ANi_7 (8端子)から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 「12. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

18.1.4 繰り返し掃引モード0

選択した複数の端子の入力電圧を繰り返し変換するモードです。表 18.5 に繰り返し掃引モード0の仕様を示します。

表 18.5 繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した複数の端子の入力電圧を繰り返し変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG1、TRG0ビットで条件を選択 <ul style="list-style-type: none"> • TRG1、TRG0ビットが“00b” ADSTビットを“1”にした後、ADTRG端子への入力信号が“H”から“L”に変化したとき • TRG1、TRG0ビットが“01b” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき • TRG1、TRG0ビットが“10b” ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき
停止条件	• ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	• AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない • DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi_0 (i=なし、0、2)とANi_1 (2端子)、ANi_0~ANi_3 (4端子)、ANi_0~ANi_5 (6端子)、またはANi_0~ANi_7 (8端子)から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 <ul style="list-style-type: none"> • 変換結果をDMACで転送する場合 「12. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください • 変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

18.1.5 繰り返し掃引モード1

選択した1~4本の端子に重点をおき、8本の端子の入力電圧を繰り返し変換するモードです。表 18.6 に繰り返し掃引モード1の仕様を示します。

表 18.6 繰り返し掃引モード1の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1~SCAN0ビットとAD0CON2レジスタのAPS1~APS0ビットで選択した1~4本の端子に重点をおき、8本の端子の入力電圧を繰り返し変換する 例:AN_0を選択した場合AN_0→AN_1→AN_0→AN_2→AN_0→AN_3...の順にA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にしたとき TRGビットが“1”(外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG1、TRG0ビットで条件を選択 <ul style="list-style-type: none"> • TRG1、TRG0ビットが“00b” ADSTビットを“1”にした後、$\overline{\text{ADTRG}}$端子への入力信号が“H”から“L”に変化したとき(再トリガは無効です) • TRG1、TRG0ビットが“01b” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき • TRG1、TRG0ビットが“10b” ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき
停止条件	• ADSTビットを“0”(A/D変換停止)にしたとき
割り込み要求発生タイミング	• AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない • DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	ANi_0~ANi_7 (8端子) (i=なし、0、2)
重点的にA/D変換を行う端子	ANi_0 (1端子)、ANi_0とANi_1 (2端子)、ANi_0~ANi_2 (3端子)、ANi_0~ANi_3 (4端子) から選択
A/D変換値の読み出し	AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0jレジスタ(j=0~7)を読み出してください DUSビットが“1”(DMAC利用モード有効)の場合 <ul style="list-style-type: none"> • 変換結果をDMACで転送する場合 「12. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください • 変換結果をプログラムで転送する場合 AD0ICレジスタのIRビットが“1”になった後、AD00レジスタを読み出してください。IRビットは“0”にしてください

18.1.6 マルチポート単掃引モード

選択した16本の端子の入力電圧を1回ずつ変換するモードです。

AD0CON3レジスタのDUSビットを“1” (DMAC利用モード有効)にしてください。

表 18.7にマルチポート単掃引モードの仕様を示します。

表 18.7 マルチポート単掃引モードの仕様

項目	仕様
機能	AD0CON4レジスタのMPS11~MPS10ビットで選択した16本の端子の入力電圧を、AN_0~AN_7→AN _i _0~AN _i _7 (i=0, 2)の順に1回ずつ変換する 例:MPS11~MPS10ビットが“10b” (AN_0~AN_7, AN0_0~AN0_7)の場合 AN_0→AN_1→AN_2→AN_3→AN_4→AN_5→AN_6→AN_7→AN0_0 →…→AN0_6→AN0_7の順にA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしたとき TRGビットが“1” (外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG1、TRG0ビットで条件を選択 • TRG1、TRG0ビットが“00b” ADSTビットを“1”にした後、 $\overline{\text{ADTRG}}$ 端子への入力信号が“H”から“L”に変化したとき • TRG1、TRG0ビットが“01b” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき • TRG1、TRG0ビットが“10b” ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき
停止条件	• A/D変換終了時(ソフトウェアトリガ選択時、ADSTビットは“0”になる) • ADSTビットを“0” (A/D変換停止)にしたとき
割り込み要求発生タイミング	各A/D変換終了時に発生(DUSビットを“1”に設定してください)
入力端子	AN_0~AN_7→AN0_0~AN0_7、AN_0~AN_7→AN2_0~AN2_7から選択
A/D変換値の読み出し	DUSビットを“1”に設定してください 「12. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

18.1.7 マルチポート繰り返し掃引モード0

選択した16本の端子の入力電圧を繰り返し変換するモードです。

AD0CON3レジスタのDUSビットを“1” (DMAC利用モード有効)にしてください。

表 18.8にマルチポート繰り返し掃引モード0の仕様を示します。

表 18.8 マルチポート繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON4レジスタのMPS11~MPS10ビットで選択した16本の端子の入力電圧を、AN ₀ ~AN ₇ →AN _i ₀ ~AN _i ₇ (i=0, 2)の順に繰り返し変換する 例:MPS11~MPS10ビットが“10b” (AN ₀ ~AN ₇ , AN0 ₀ ~AN0 ₇)の場合 AN ₀ →AN ₁ →AN ₂ →AN ₃ →AN ₄ →AN ₅ →AN ₆ →AN ₇ →AN0 ₀ →AN0 ₁ →…→AN0 ₆ →AN0 ₇ の順に、繰り返しA/D変換を行う
開始条件	AD0CON0レジスタのTRGビットが“0” (ソフトウェアトリガ)の場合 AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしたとき TRGビットが“1” (外部トリガ/ハードウェアトリガ)の場合 AD0CON2レジスタのTRG1、TRG0ビットで条件を選択 • TRG1、TRG0ビットが“00b” ADSTビットを“1”にした後、ADTRG端子への入力信号が“H”から“L”に変化したとき • TRG1、TRG0ビットが“01b” ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求が発生したとき • TRG1、TRG0ビットが“10b” ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき
停止条件	• ADSTビットを“0” (A/D変換停止)にしたとき
割り込み要求発生タイミング	各A/D変換終了時に発生(DUSビットを“1”に設定してください)
入力端子	AN ₀ ~AN ₇ →AN0 ₀ ~AN0 ₇ 、AN ₀ ~AN ₇ →AN2 ₀ ~AN2 ₇ から選択
A/D変換値の読み出し	DUSビットを“1”に設定してください 「12. DMAC」を参照し、DMACの設定も行ってください A/D変換完了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます プログラムでAD00レジスタを読み出さないでください

18.2 機能

18.2.1 分解能選択機能

AD0CON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度は10ビット)にすると、A/D変換結果がAD0iレジスタ(i=0~7)のビット0~9に格納されます。BITSビットを“0”(変換精度は8ビット)にすると、A/D変換結果がAD0iレジスタのビット0~7に格納されます。

18.2.2 サンプル&ホールド

AD0CON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルになります。サンプル&ホールドは、すべての動作モードで有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

18.2.3 トリガ選択機能

AD0CON0レジスタのTRGビットとAD0CON2レジスタのTRG1~TRG0ビットの組み合わせにより、A/D変換の開始トリガを選択できます。表18.9にトリガ選択機能の設定を示します。

表 18.9 トリガ選択機能設定

ビットと設定値		トリガ
AD0CON0レジスタ	AD0CON2レジスタ	
TRG=0	—	ソフトウェアトリガ AD0CON0レジスタのADSTビットを“1”にすると、A/D変換を開始する
TRG=1 (注1、2)	TRG1=0, TRG0=0	外部トリガ ADTRG入力信号の立ち下がり/A/D変換を開始する
	TRG1=0, TRG0=1	ハードウェアトリガ 三相モータ制御用タイマ機能の(割り込み発生頻度設定回路通過後の)タイマB2割り込み要求でA/D変換を開始する
	TRG1=1, TRG0=0	ハードウェアトリガ タイマA0割り込み要求でA/D変換を開始する

注1. ADSTビットが“1”(A/D変換開始)の状態、トリガが発生するとA/D変換を開始します。

注2. A/D変換中に外部トリガまたはハードウェアトリガが入力されると、それまでに行っていたA/D変換は中断され、再度A/D変換を開始します。

18.2.4 DMAC利用モード

すべてのモードでDMAC利用モードが使用できます。マルチポート単掃引モードとマルチポート繰り返し掃引モード0の場合は、DMAC利用モードを使用してください。AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすると、A/D変換結果はすべてAD00レジスタへ格納されます。DMACを利用することで、1端子のA/D変換が終了するたびに、AD00レジスタから任意のメモリ空間へDMA転送が行われます。分解能が8ビットの場合は8ビット転送を、分解能が10ビットの場合は16ビット転送を設定してください。DMACの使用方法については、「12. DMAC」を参照してください。

18.2.5 拡張アナログ入力端子

単発モードと繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。AD0CON1レジスタのOPA1~OPA0ビットで選択してください(表 18.10参照)。ANEX0入力のA/D変換結果はAD00レジスタへ、ANEX1入力のA/D変換結果はAD01レジスタへ格納されます。ただし、AD0CON3レジスタのDUSビットが“1”(DMAC利用モード有効)の場合、AD00レジスタへ格納されます。

拡張アナログ入力端子を使用する場合は、AD0CON2レジスタのAPS1~APS0ビットを“00b”(アナログ入力ポートはAN_0~AN_7、ANEX0、ANEX1)、AD0CON3レジスタのMSSビットを“0”(マルチポート掃引モード無効)にしてください。

表 18.10 拡張アナログ入力端子の設定

AD0CON1レジスタ		ANEX0の機能	ANEX1の機能
OPA1	OPA0		
0	0	使用しない	使用しない
0	1	アナログ入力	使用しない
1	0	使用しない	アナログ入力
1	1	外部オペアンプへの出力	外部オペアンプからの入力

18.2.6 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

AD0CON1レジスタのOPA1~OPA0ビットが“11b”(外部オペアンプ接続)のとき、AN_0~AN_7の入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。

A/D変換は、ANEX1入力に対して行われ、A/D変換結果は対応するAD0iレジスタ(i=0~7)に格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子を直結しないでください。

外部オペアンプ接続モードを使用する場合は、AD0CON2レジスタのAPS1~APS0ビットは“00b”にしてください。

図 18.9に外部オペアンプ接続モードの接続例を示します。

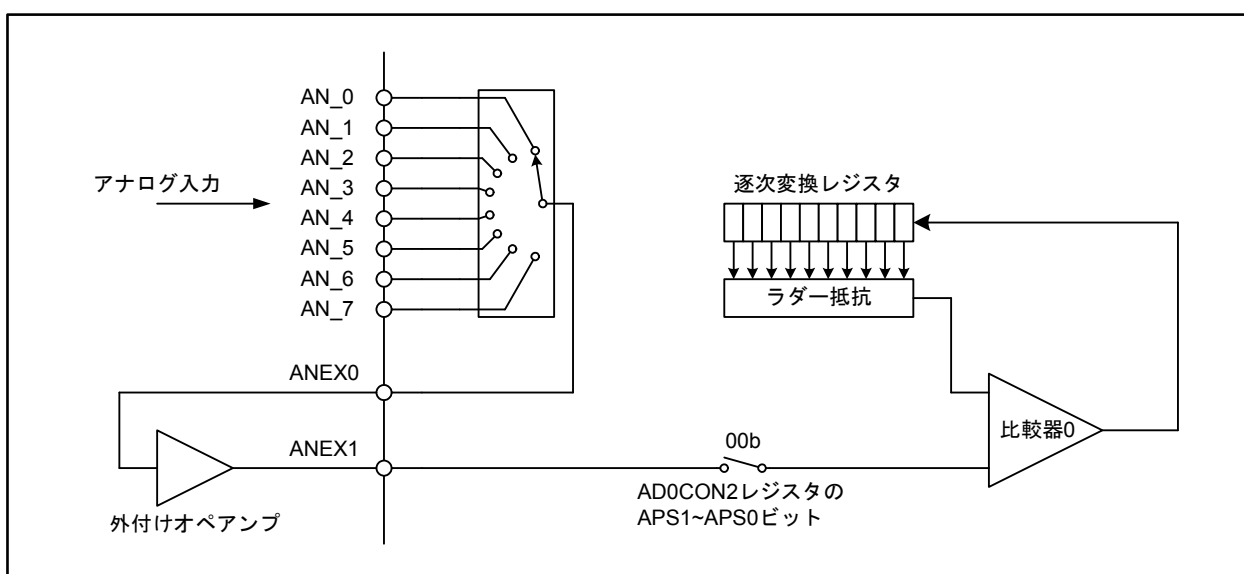


図 18.9 外部オペアンプ接続モードの接続例

18.2.7 自己診断/断線検出アシスト機能

アナログ入力端子での断線を検出できます。また、この機能を用いることで自己診断が行えます。
図 18.10に断線検出アシスト回路のブロック図を示します。

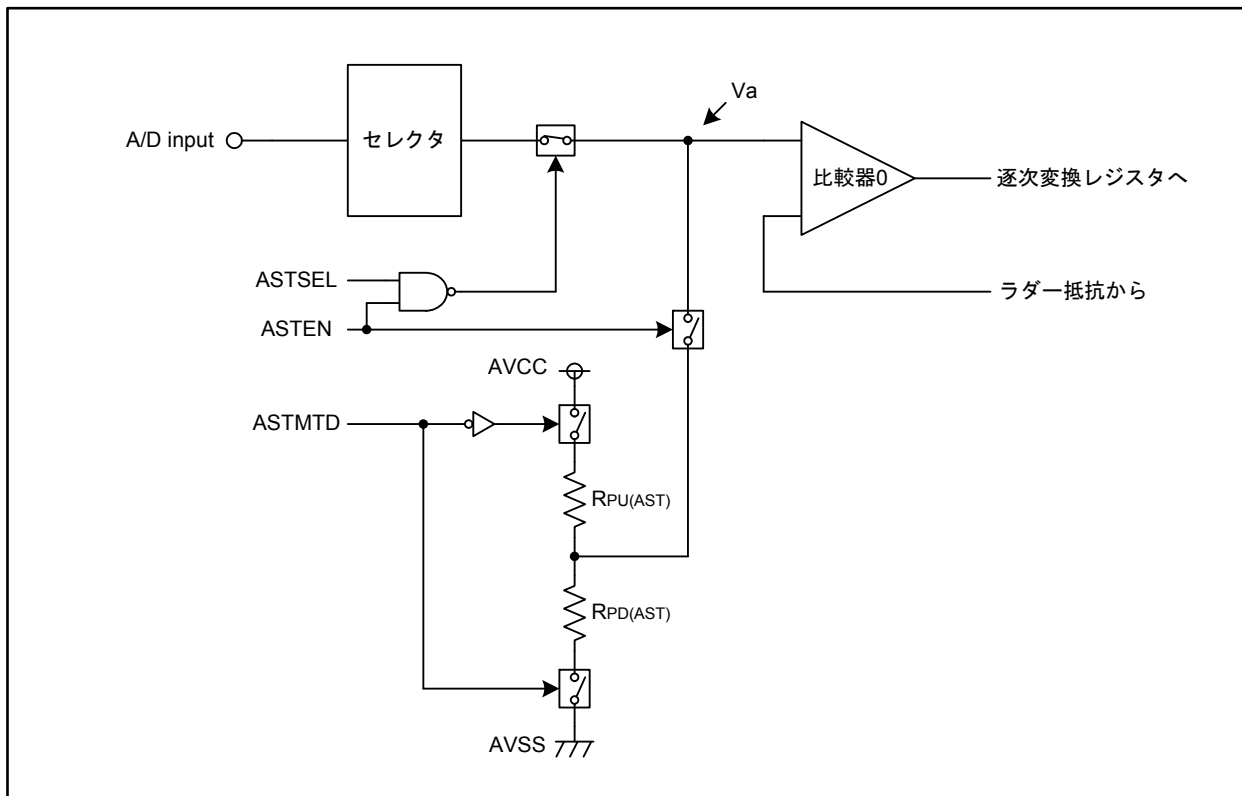


図 18.10 断線検出アシスト回路ブロック図

断線検出機能は、AD0CON5レジスタのASTSELビットを“0”（断線検出アシスト）にして使用します。ASTENビットを“1”（アシスト機能有効）、ASTSELビットを“0”、ASTMTDビットを“0”（プルアップ方式）にすると、図 18.10中のVaがAVCCとA/D入力電圧の間の電圧になります。このときA/D入力信号が断線していれば、VaはAVCC付近の電圧になります。また同様に、ASTENビットを“1”、ASTSELビットを“0”、ASTMTDビットを“1”（プルダウン方式）にすると、図 18.10中のVaがAVSSとA/D入力電圧の間の電圧になります。このときA/D入力信号が断線していれば、VaはAVSS付近の電圧になります。この機能によりA/D変換結果が常に最大値付近、最小値付近であれば、A/D入力が断線していると判断できます。

自己診断機能は、AD0CON5レジスタのASTSELビットを“1”（自己診断アシスト）にして使用します。ASTENビットを“1”（アシスト機能有効）、ASTSELビットを“1”、ASTMTDビットを“0”（プルアップ方式）にすると、図 18.10中のVaがAVCC付近の電圧になります。また、ASTENビットを“1”、ASTSELビットを“1”、ASTMTDビットを“1”（プルダウン方式）にすると、図 18.10中のVaがAVSS付近の電圧となります。それぞれの状態で変換結果が最大値付近、最小値付近になるかどうかで、A/Dコンバータが正常かどうか判断できます。

18.2.8 消費電流低減機能

A/Dコンバータを使用しないとき、AD0CON1レジスタのVCUTビットを“0” (VREF切断)にすることで、A/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ供給される電流が流れなくなり、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1” (VREF接続)にして1 μ s以上経過した後、AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしてください。ADSTビットとVCUTビットに同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”にしないでください。

なお、VCUTビットはD/Aコンバータの供給電源には影響しません(図 18.11 参照)。

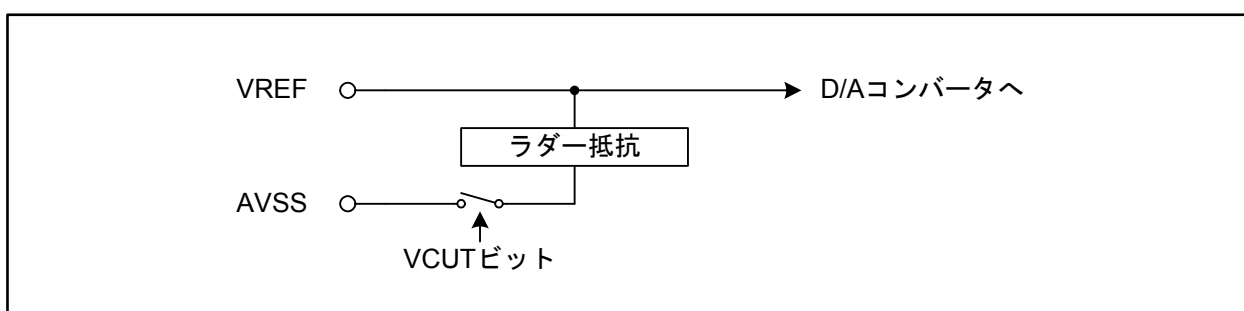


図 18.11 VCUTビットによる電源供給

18.2.9 センサの出カインピーダンス

図 18.12 にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、図 18.12 に示す内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間といい、サンプル&ホールドなしのとき2 ϕ ADサイクル、サンプル&ホールドありのとき3 ϕ ADサイクルです。

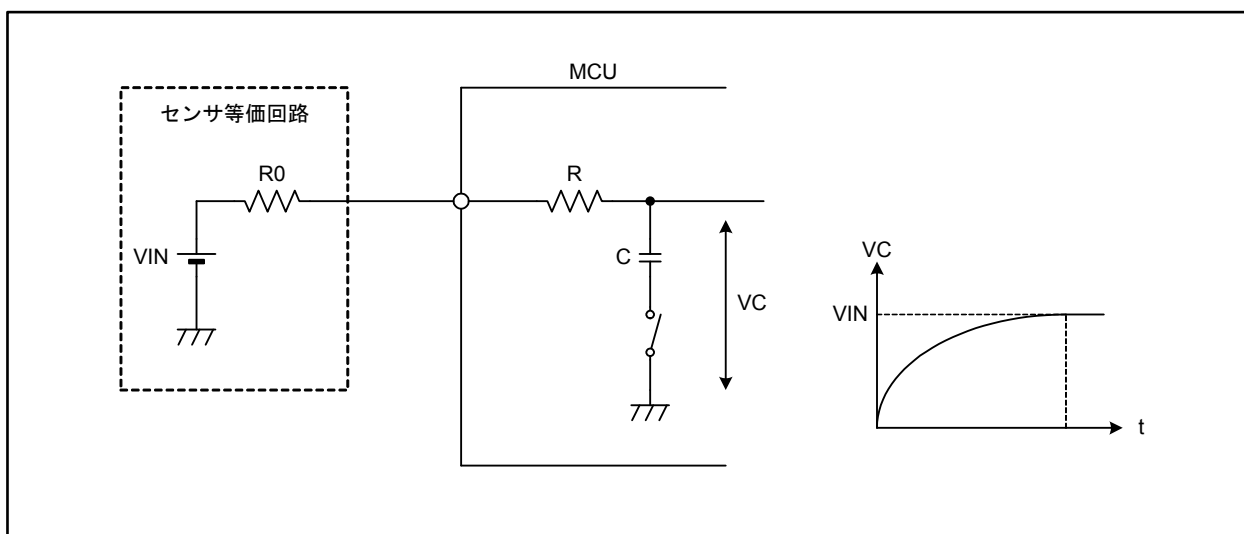


図 18.12 アナログ入力端子と外部センサの等価回路

サンプリング時間を T [s]、センサの出力インピーダンスを $R0$ [Ω]、マイコンの内部抵抗を R [Ω]、A/Dコンバータの精度(誤差)を x [LSB]、分解能を y [階調](10ビットモード時1024、8ビットモード時256)とすると、コンデンサ C の両端の電位差 VC は、

$$VC = VIN \left\{ 1 - e^{-\frac{t}{C(R0+R)}} \right\}$$

で表され、 $t=T$ のとき、変換誤差を x 以下にするには、

$$VC = VIN - \frac{x}{y} VIN = VIN \left(1 - \frac{x}{y} \right)$$

でなければならぬため、

$$e^{-\frac{T}{C(R0+R)}} = \frac{x}{y}$$

$$-\frac{T}{C(R0+R)} = \ln \frac{x}{y}$$

$$R0 = -\frac{T}{C \ln \frac{x}{y}} - R$$

と計算できます。

$\phi_{AD}=10\text{MHz}$ 、サンプル&ホールドあり、10ビットモードのときに、誤差を0.1LSB以下にするセンサの出力インピーダンス $R0$ は、 $T=0.3\mu\text{s}$ 、 $x=0.1$ 、 $y=1024$ 、 $R=2.0\text{k}\Omega$ (参考値)、 $C=6.5\text{pF}$ (参考値)を代入して、

$$R0 = -\frac{0.3 \times 10^{-6}}{6.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 2.0 \times 10^3$$

$$= 2998$$

と計算できます。

以上から、A/Dコンバータの精度(誤差)を0.1LSB以下にするためには、センサの出力インピーダンス $R0$ が約 $3\text{k}\Omega$ 以下でないといけないことがわかります。

なお、実際の誤差は、上記の0.1LSBに絶対精度が加わった値になります。

18.3 A/Dコンバータ使用上の注意

18.3.1 基板設計上の注意点

- ノイズによる誤動作やラッチアップの防止、または変換誤差の低減のため、AVCC端子、VREF端子、アナログ入力端子(AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7)とAVSS端子の間にそれぞれコンデンサを挿入してください。図 18.13に端子の処理例を示します。

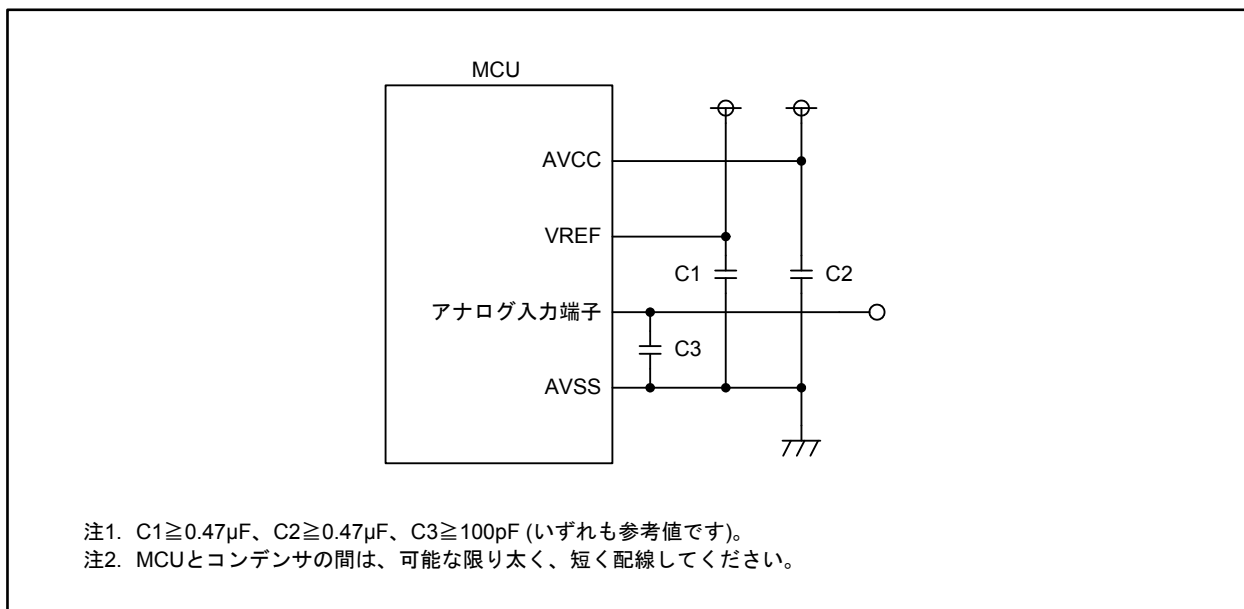


図 18.13 A/D関連端子の処理例

- キー入力割り込みを使用する場合、AN_4~AN_7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧がVIL以下になると、キー入力割り込み要求が発生します)。
- AVCC=VREF=VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

18.3.2 プログラム作成上の注意点

- AD0CON0レジスタ(ADSTビットを除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタ、AD0CON4レジスタ、AD0CON5レジスタは、A/D変換停止時(トリガ発生前)に書いてください。
- AD0CON1レジスタのVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。A/D変換を行わないときは、消費電流を低減させるためにVCUTビットを“1”から“0”にしてください。
- アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力)にしてください。また、対応するポートの機能選択レジスタのASELビットを“1”(A/D入力として使用する)にしてください。
- AD0CON0レジスタのTRGビットが“1”(外部トリガ・ハードウェアトリガ)の場合は、ADTRG端子に対応するポート方向ビット(PD9_7ビット)は“0”(入力)にしてください。

- ϕ ADは、16MHz以下にしてください。サンプル&ホールド機能なしの場合、 ϕ ADの周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、 ϕ ADの周波数は1MHz以上にしてください。
- A/D動作モード(AD0CON0レジスタのMD1~MD0ビット、AD0CON1レジスタのMD2ビット)を変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたは、AD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。
- A/D変換結果がAD0iレジスタ(i=0~7)に格納される時にCPUがAD0iレジスタを読んだ場合、誤った値がAD0iレジスタに格納されることがあります。A/D変換が完了したことを確認してからAD0iレジスタを読んでください。
単発モード、単掃引モードを使用する場合は、AD0ICレジスタのIRビットが“1”(割り込み要求あり)になったことを確認してから対象のAD0iレジスタを読んでください。
繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1を使用する場合は、AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすれば変換完了ごとに割り込み要求を発生させることができます。上と同様、AD0ICレジスタのIRビットが“1”(割り込み要求あり)になったことを確認してからAD00レジスタを読んでください。
- A/D変換中にAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にしてA/D変換を中断した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換を中断した場合は、いずれのAD0iレジスタの値も使用しないでください。
- DMAC利用モードでは、外部トリガは使用できません。また、変換結果のDMA転送を行う場合、AD00レジスタをプログラムで読まないでください。
- 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にしてA/D変換を中断した場合、掃引が終了していないにもかかわらず割り込み要求が発生することがあります。A/D変換を中断する場合は、割り込みを禁止した後、ADSTビットを“0”(A/D変換停止)にしてください。

19. D/Aコンバータ

8ビットのR-2R抵抗ラダー方式によるD/Aコンバータです。独立した2つのD/Aコンバータがあります。

D/A変換は、対応したDA_iレジスタ($i=0, 1$)に値を書くと実行されます。変換結果を出力するかどうかはDACONレジスタのDA_iEビットで選択してください。DA_iEビットを“1”(出力許可)にするとDA_i端子から変換結果が出力されます。なお、このとき対応するポートのプルアップは禁止されます。

出力されるアナログ電圧(V)は、DA_iレジスタに設定した値 n (n は10進数)で決まります。

$$V = \frac{VREF \times n}{256} \quad (n = 0 \sim 255)$$

VREF: 基準電圧

表 19.1にD/Aコンバータの仕様を、図 19.1にD/Aコンバータのブロック図を、図 19.2~図 19.3にD/Aコンバータ関連レジスタを、図 19.4にD/Aコンバータの等価回路を示します。

D/Aコンバータを使用しないときは、DA_iレジスタを“00h”、DA_iEビットを“0”(出力禁止)にしてください。

表 19.1 D/Aコンバータの仕様

項目	仕様
変換方式	R-2R抵抗ラダー方式
分解能	8ビット
アナログ出力端子	2チャンネル

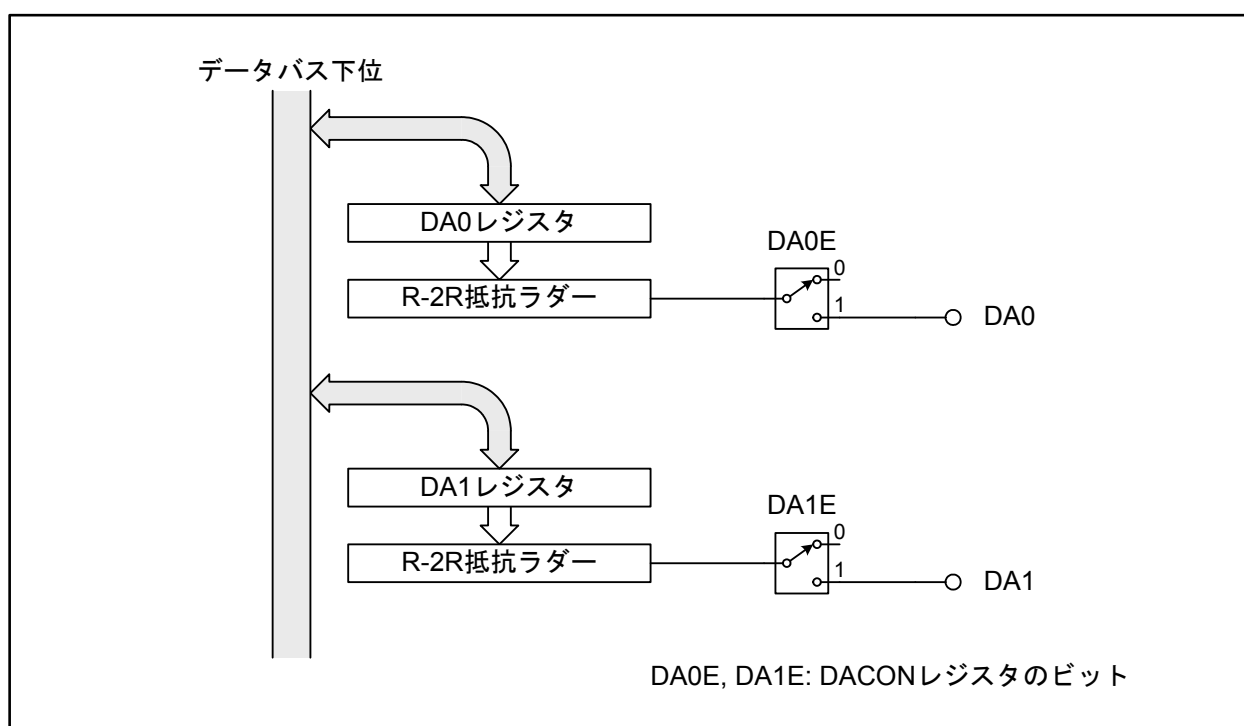


図 19.1 D/Aコンバータのブロック図

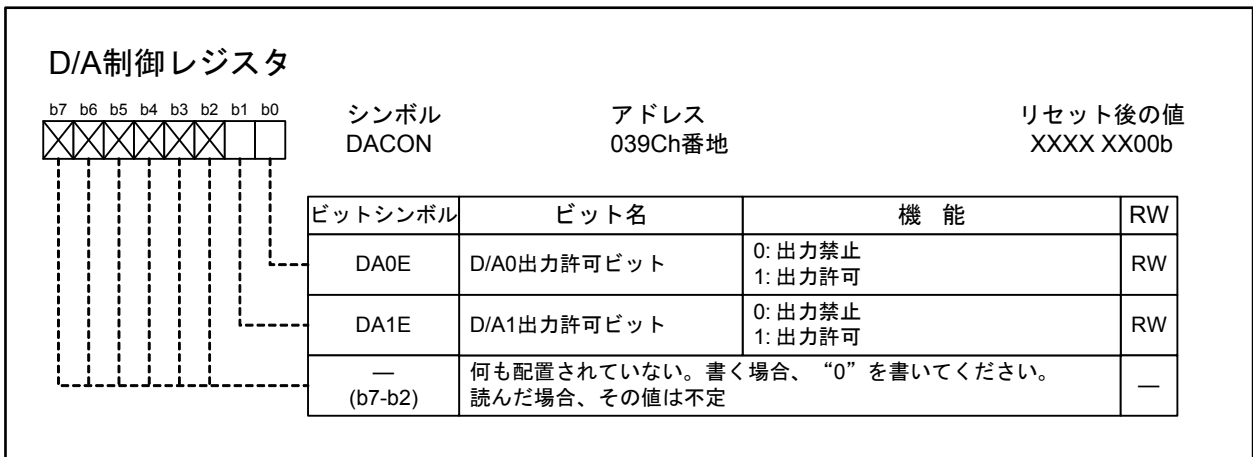


図 19.2 DACONレジスタ

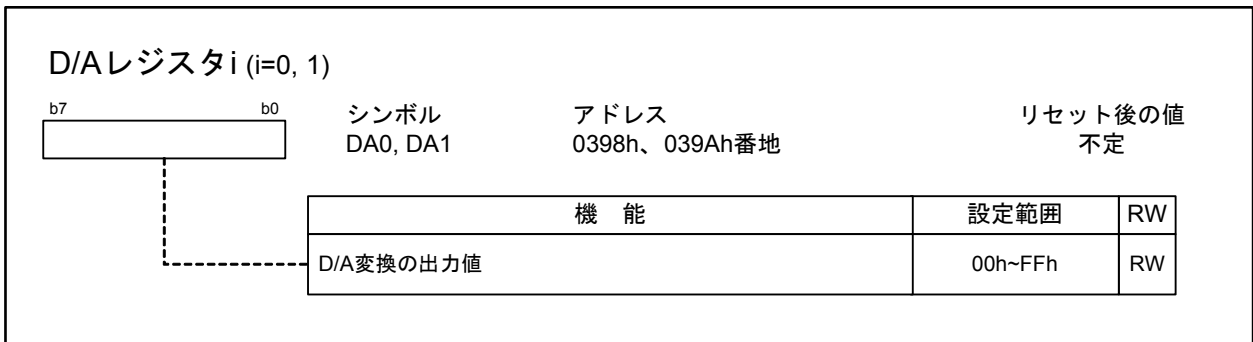


図 19.3 DA0、DA1レジスタ

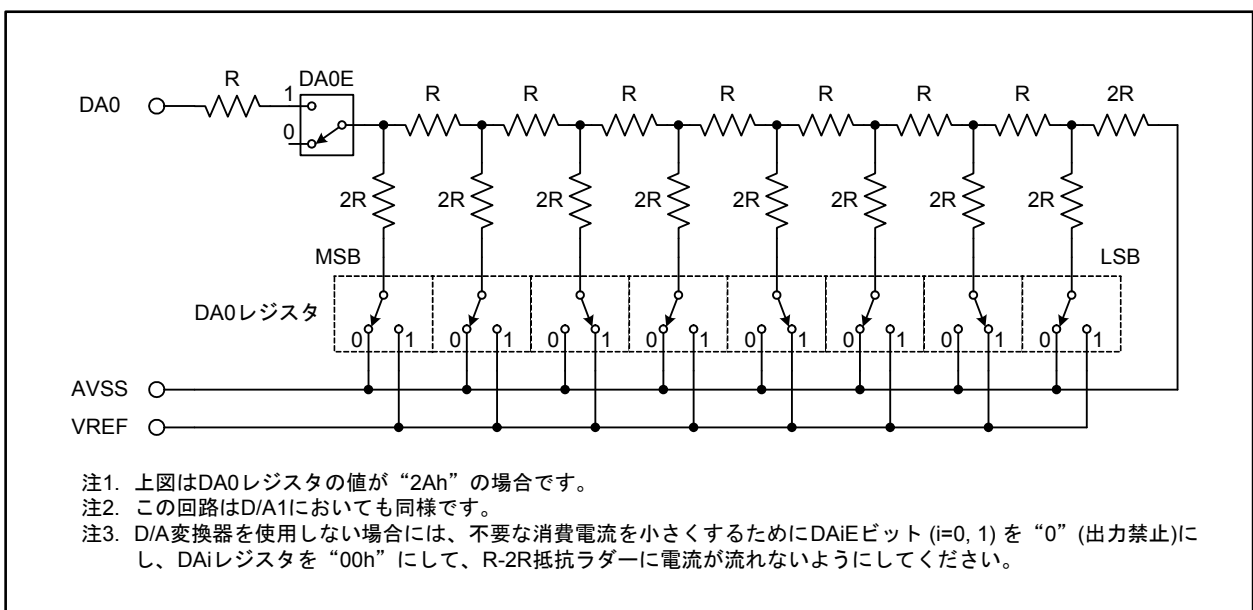


図 19.4 D/Aコンバータの等価回路

20. CRC演算回路

CRC (Cyclic Redundancy Check)演算回路は、データブロックの誤り検出に使用します。CRCコードの生成にはCRC-CCITT ($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意長データブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。

図 20.1にCRC演算回路のブロック図、図 20.2~図 20.3にCRCの関連レジスタを示します。また、図 20.4にCRC演算例を示します。

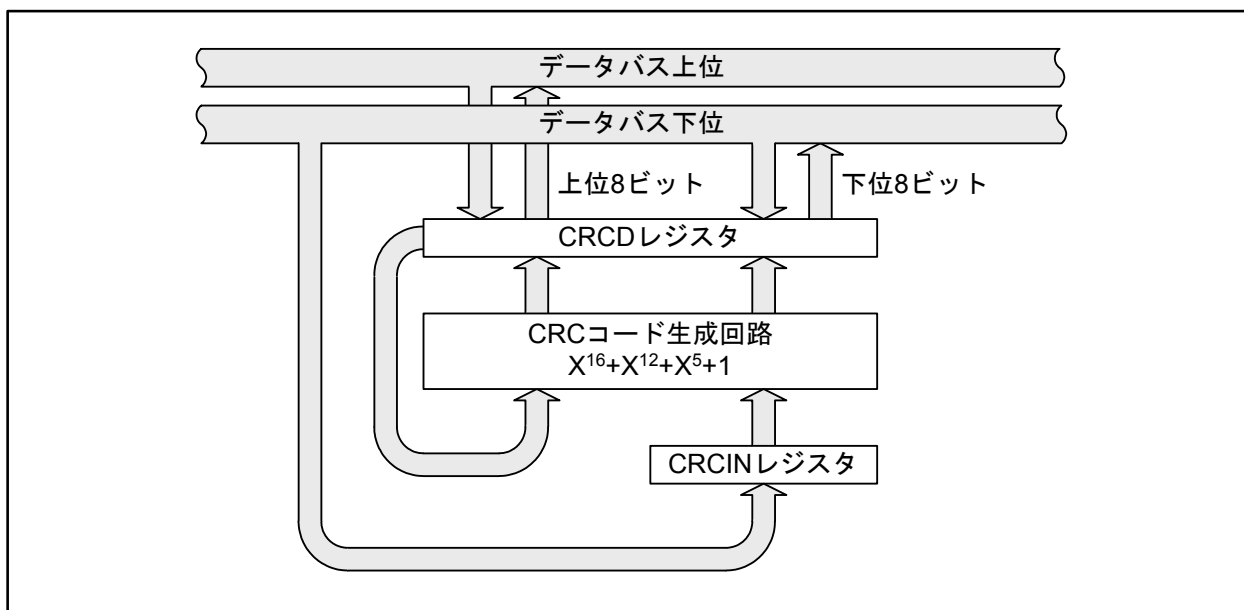


図 20.1 CRC演算回路のブロック図



図 20.2 CRCDレジスタ

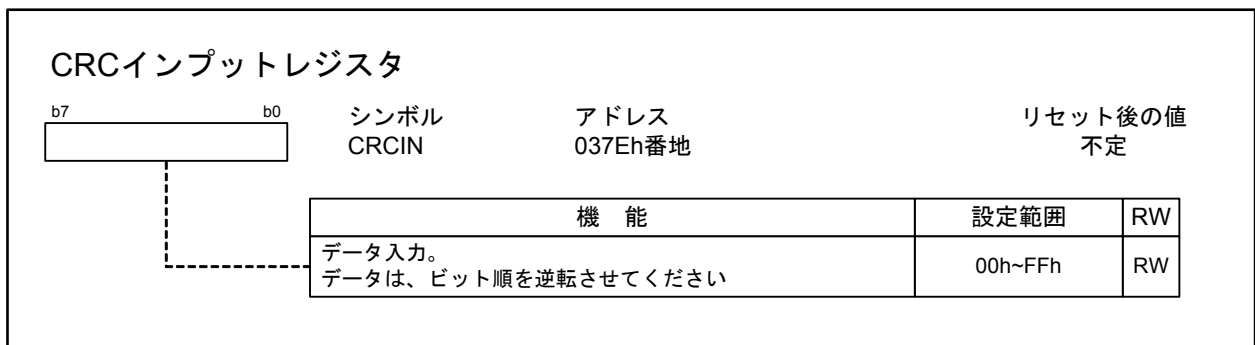


図 20.3 CRCIN レジスタ

“80C4h”のCRCコードを生成する場合の設定手順とCRC演算

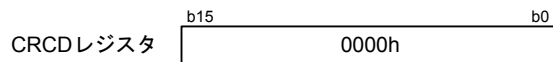
● CRC演算回路の仕様

CRCコード: CRCINレジスタに書いた値のビット順を逆転したものを被除数、生成多項式を除数とする除算の剰余
 生成多項式: $X^{16}+X^{12}+X^5+1$ (1 0001 0000 0010 0001b)

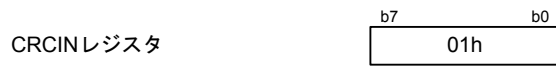
● 設定手順

(1) プログラムで“80C4h”のビット順をバイト単位で逆転させる
 “80h” → “01h”、“C4h” → “23h”

(2) CRCDレジスタに初期値:0000hを書く

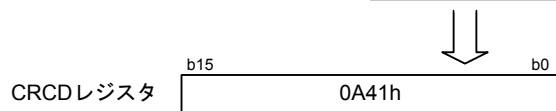


(3) CRCINレジスタに80hのビット逆転値01hを書く



2サイクル後、“80h”のCRCコード (9188h) の、ビット順を逆転した “1189h” がCRCDレジスタに格納される

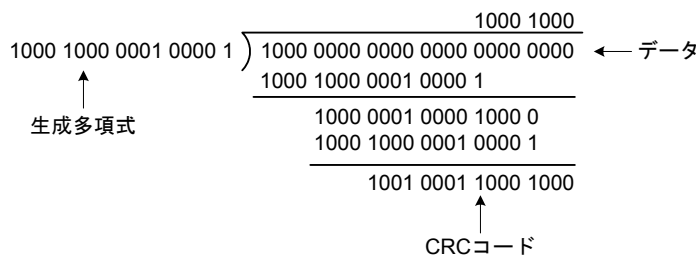
(4) CRCINレジスタにC4hのビット逆転値23hを書く



2サイクル後、“80C4h”のCRCコード (8250h) の、ビット位置を反転した “0A41h” がCRCDレジスタに格納される

● CRC演算詳細

上記(3)の場合、“80h (1000 0000b)”を左へ16ビットシフトした“1000 0000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000h”を左へ8ビットシフトした“0000 0000 0000 0000 0000 0000b”を加算した値のモジュロ2除算を行う。



モジュロ2の演算とは…
 以下の法則に基づいた演算です
 0 + 0 = 0
 0 + 1 = 1
 1 + 0 = 1
 1 + 1 = 0
 -1 = 1

剰余“1001 0001 1000 1000b (9188h)”のビット順を逆転した“0001 0001 1000 1001b (1189h)”がCRCDレジスタから読める。

続けて上記(4)の場合、“C4h (1100 0100b)”を左へ16ビットシフトした“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余を左へ8ビットシフトした“1001 0001 1000 1000 0000 0000b”を加算した値のモジュロ2除算を行う。

剰余“1000 0010 0101 0000b (8250h)”のビット順を逆転した“0000 1010 0100 0001b (0A41h)”がCRCDレジスタから読める。

図 20.4 CRC演算例

21. X-Y変換回路

X-Y変換回路は16×16ビットのマトリクスデータを90度回転させたり、16ビットデータのビット順を逆転させることができます。

X-Y変換回路の動作はXYCレジスタにより設定します。図21.1にXYCレジスタを示します。

また、データの書き込みはXiRレジスタ(i=0~15)から、変換したデータの読み出しはYjRレジスタ(j=0~15)から行います。XiRレジスタとYjRレジスタは同一アドレスに配置されており、XiRレジスタは書き込み専用、YjRレジスタは読み出し専用です。

図21.2にXiRレジスタ、図21.3にYjRレジスタを示します。XiRレジスタとYjRレジスタは偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

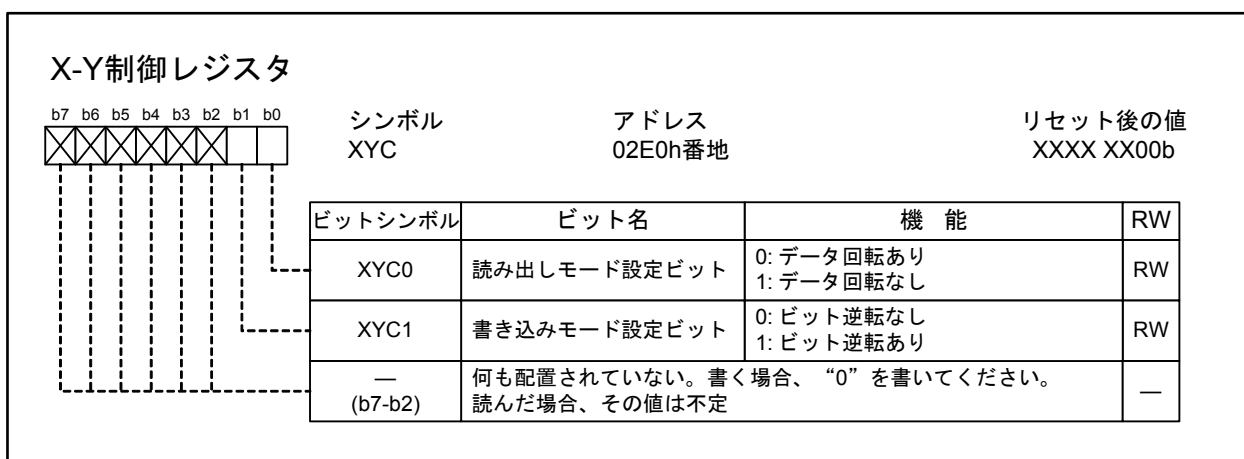


図 21.1 XYCレジスタ

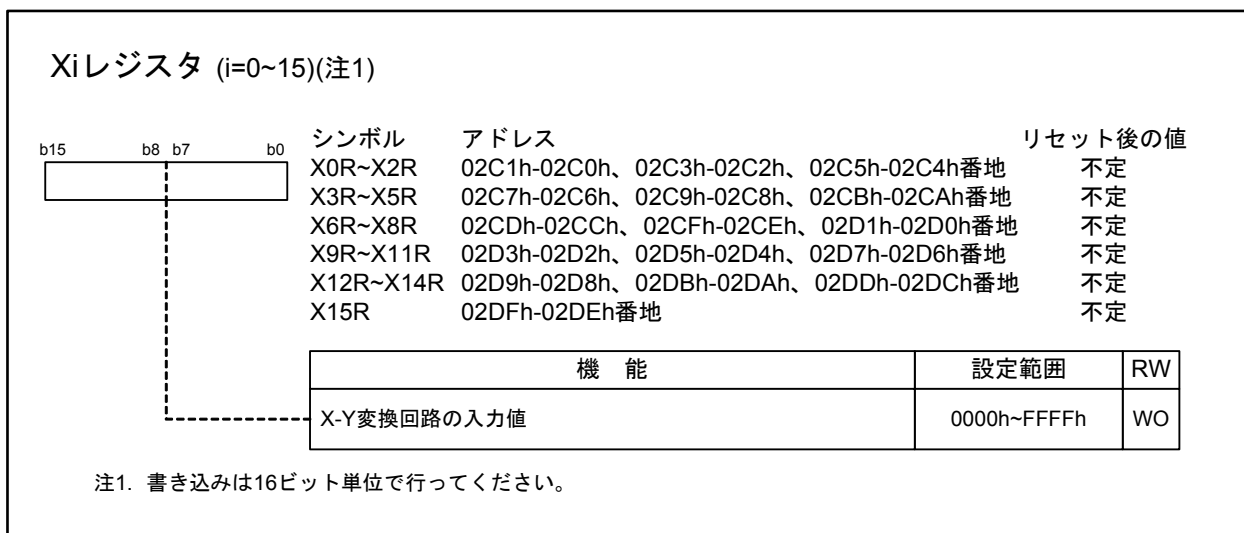


図 21.2 X0R~X15Rレジスタ

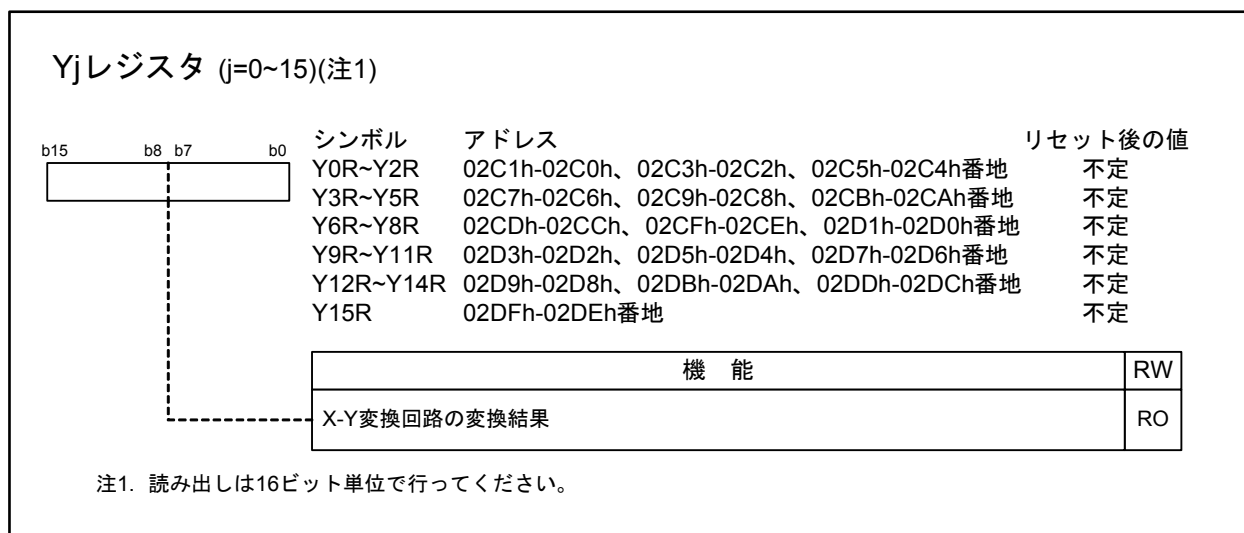


図 21.3 Y0R~Y15Rレジスタ

21.1 読み出し時のデータ変換

YjRレジスタの読み出し方法は、XYCレジスタのXYC0ビットで選択できます。

XYC0ビットが“0”(データ回転あり)でYjRレジスタを読むと、X0R~X15Rレジスタのビットjを同時に読めます。

例えば、Y0Rレジスタを読むと、ビット0でX0Rレジスタのビット0、ビット1でX1Rレジスタのビット0、…、ビット14でX14Rレジスタのビット0、ビット15でX15Rレジスタのビット0が読めます。同様にY15Rレジスタを読むと、ビット0でX0Rレジスタのビット15、ビット1でX1Rレジスタのビット15、…、ビット14でX14Rレジスタのビット15、ビット15でX15Rレジスタのビット15が読めます。

図 21.4にXYC0ビットが“0”の場合の変換テーブルを、図 21.5にX-Y変換例を示します。

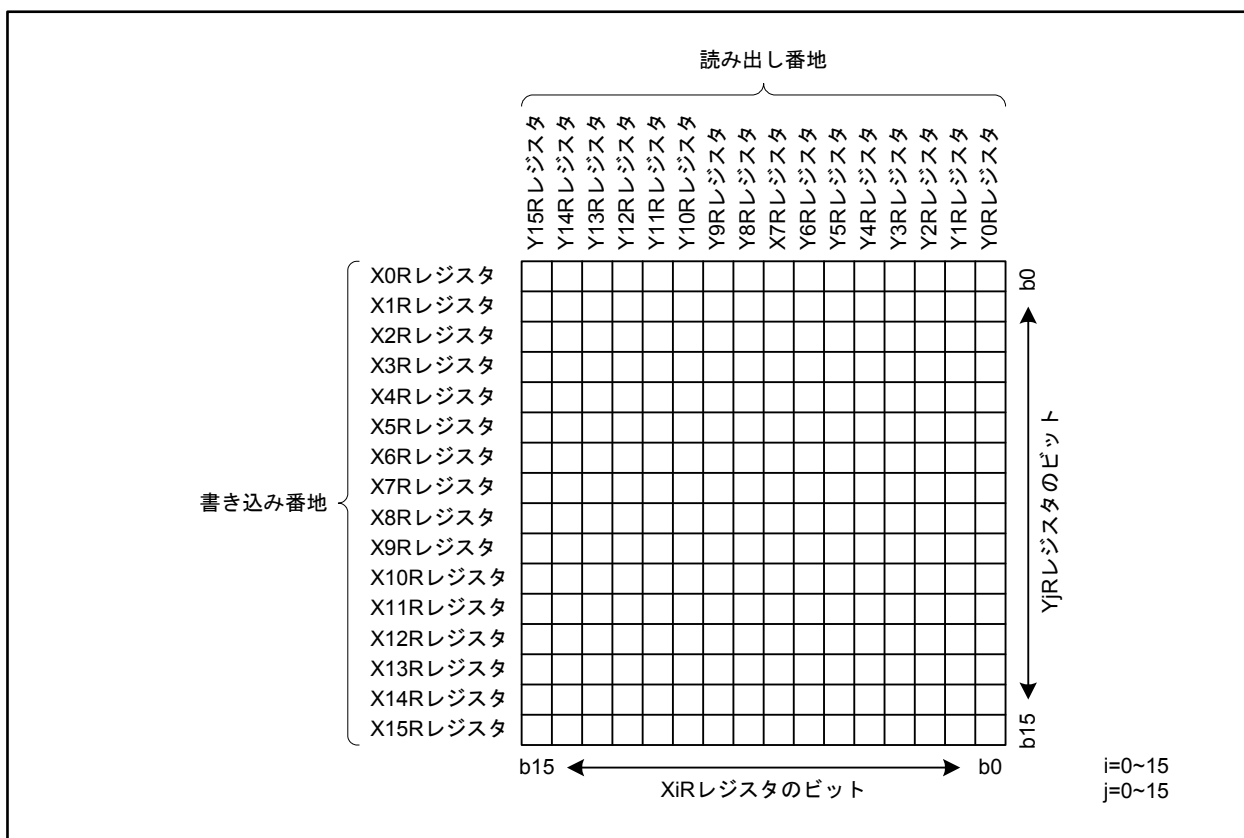


図 21.4 XYC0ビットが“0”の場合の変換テーブル図

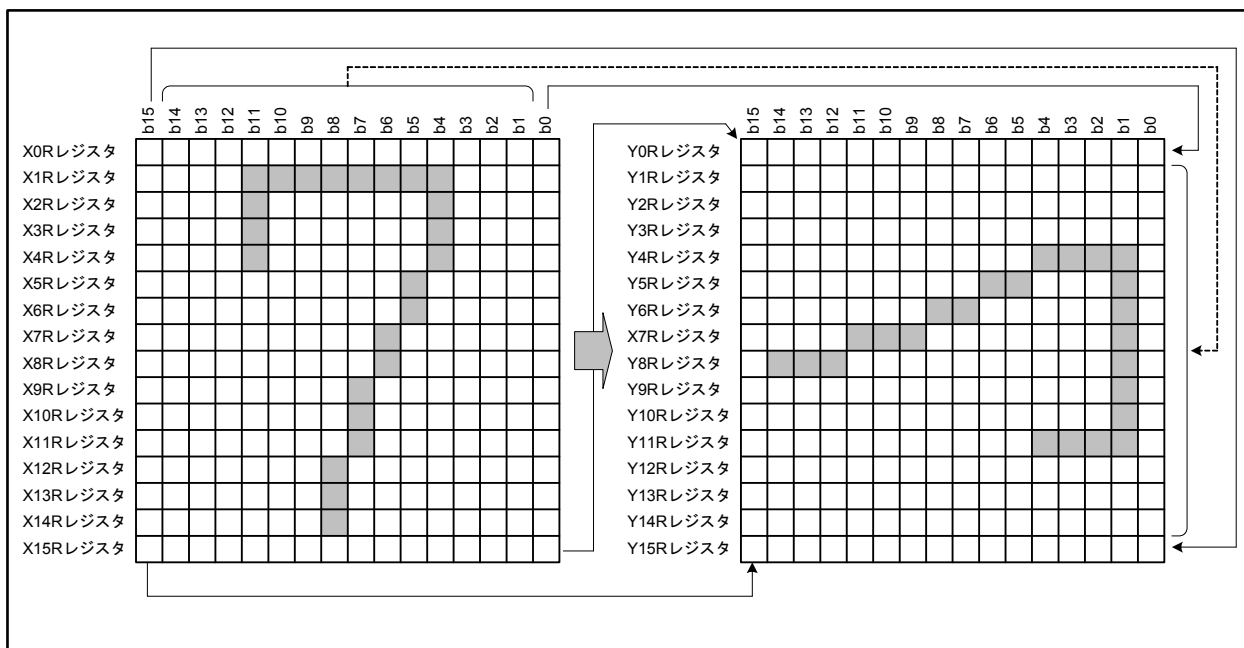


図 21.5 X-Y変換例

XYCレジスタのXYC0ビットを“1”(データ回転なし)にしてYjRレジスタを読むと、XiRレジスタに書かれた値がそのまま読めます。図21.6にXYC0ビットが“1”の場合の変換テーブルを示します。

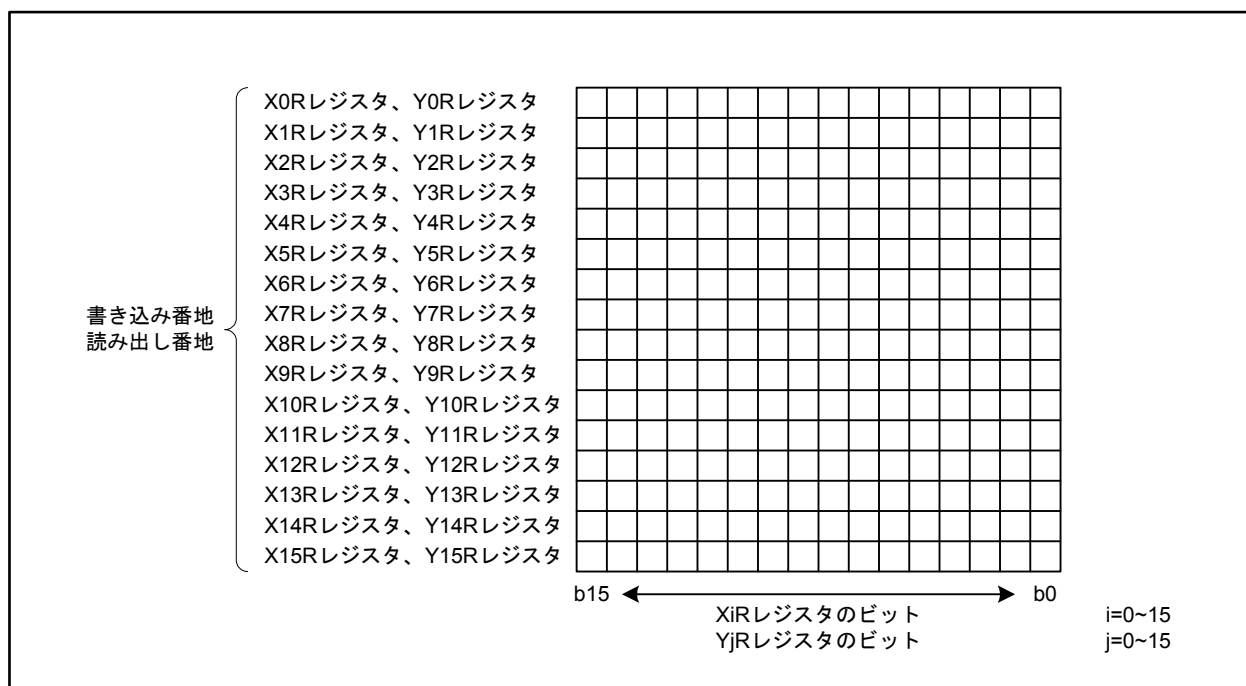


図 21.6 XYC0ビットが“1”の場合の変換テーブル

21.2 書き込み時のデータ変換

XiRレジスタに書く値のビット配置は、XYCレジスタのXYC1ビットで選択できます。

XYC1ビットを“0”(ビット逆転なし)にしてXiRレジスタに書くと、ビット順はそのまま書かれます。

XYC1ビットを“1”(ビット逆転あり)にしてXiRレジスタに書くと、ビット順を逆転して書きます。図21.7にXYC1ビットが“1”の場合の変換を示します。

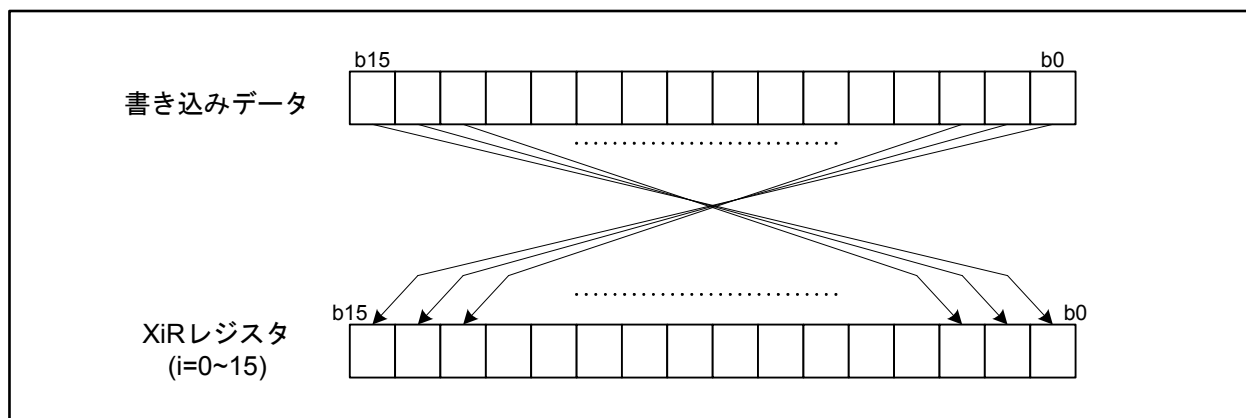


図 21.7 XYC1ビットが“1”の場合の変換

22. インテリジェントI/O

インテリジェントI/Oは、時間計測、波形生成を実現できる高機能入出力ポートです。

インテリジェントI/Oは2つのグループがあり、各グループは、フリーラン動作を行う16ビットベースタイマを1本、時間計測または波形生成用16ビットレジスタを8本備えています。

表 22.1にインテリジェントI/Oの機能とチャンネルを示します。

表 22.1 インテリジェントI/Oの機能とチャンネル

機能		グループ0	グループ1
時間計測(注1)	デジタルフィルタ	8チャンネル	8チャンネル
	トリガ入力プリスケアラ	2チャンネル	2チャンネル
	トリガ入力ゲート	2チャンネル	2チャンネル
	デジタルデバウンス	1チャンネル	1チャンネル
波形生成(注1)	単相波形出力モード	8チャンネル	8チャンネル
	反転波形出力モード	8チャンネル	8チャンネル
	SR波形出力モード	8チャンネル	8チャンネル
	位相シフト波形出力モード	8チャンネル	8チャンネル

注1. 時間計測機能と波形生成機能は端子を共有しています。

時間計測機能と波形生成機能は、チャンネルごとに機能を選択できます。

図 22.1、図 22.2にインテリジェントI/Oのブロック図を示します。

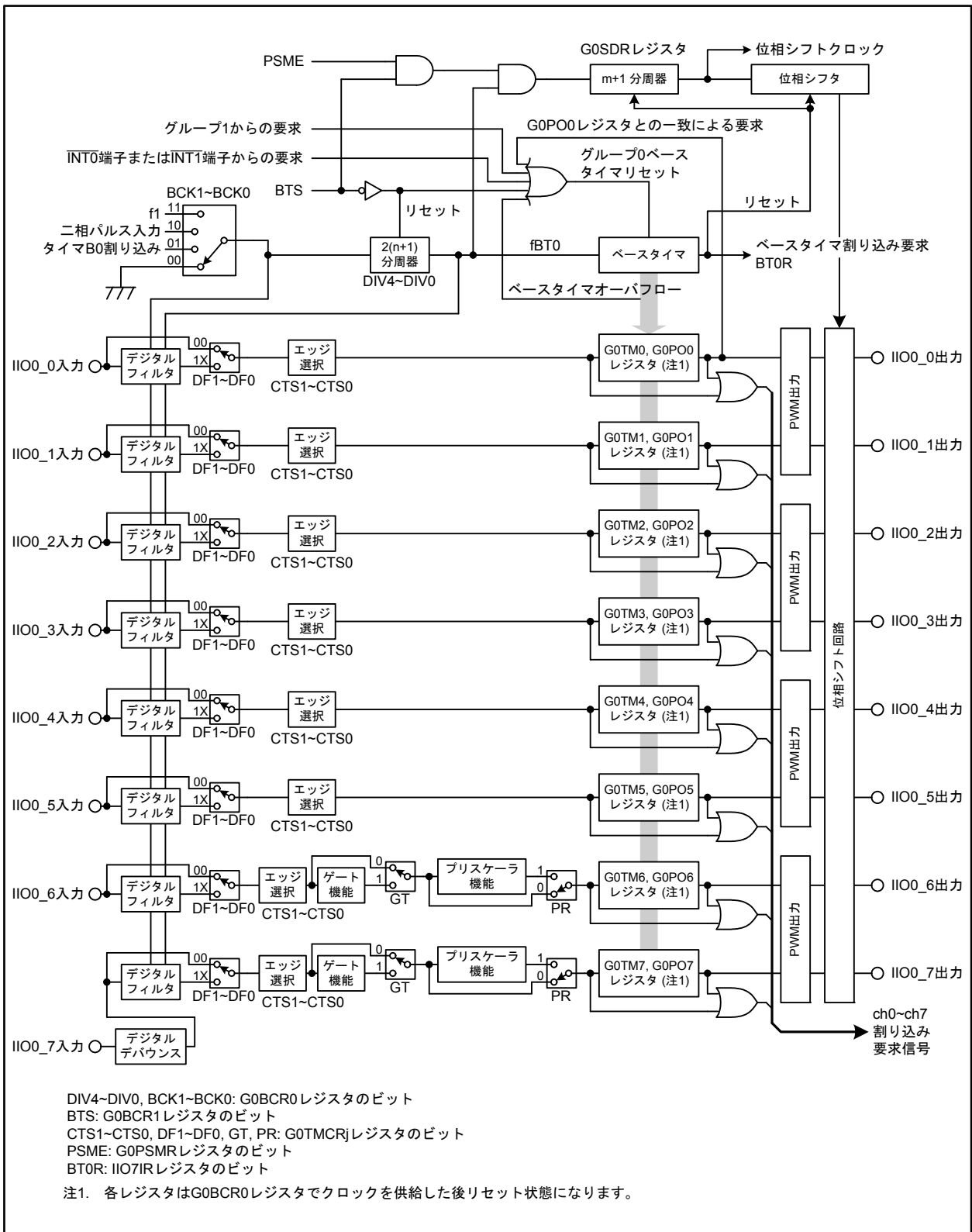


図 22.1 インテリジェントI/Oグループ0ブロック図(j=0~7)

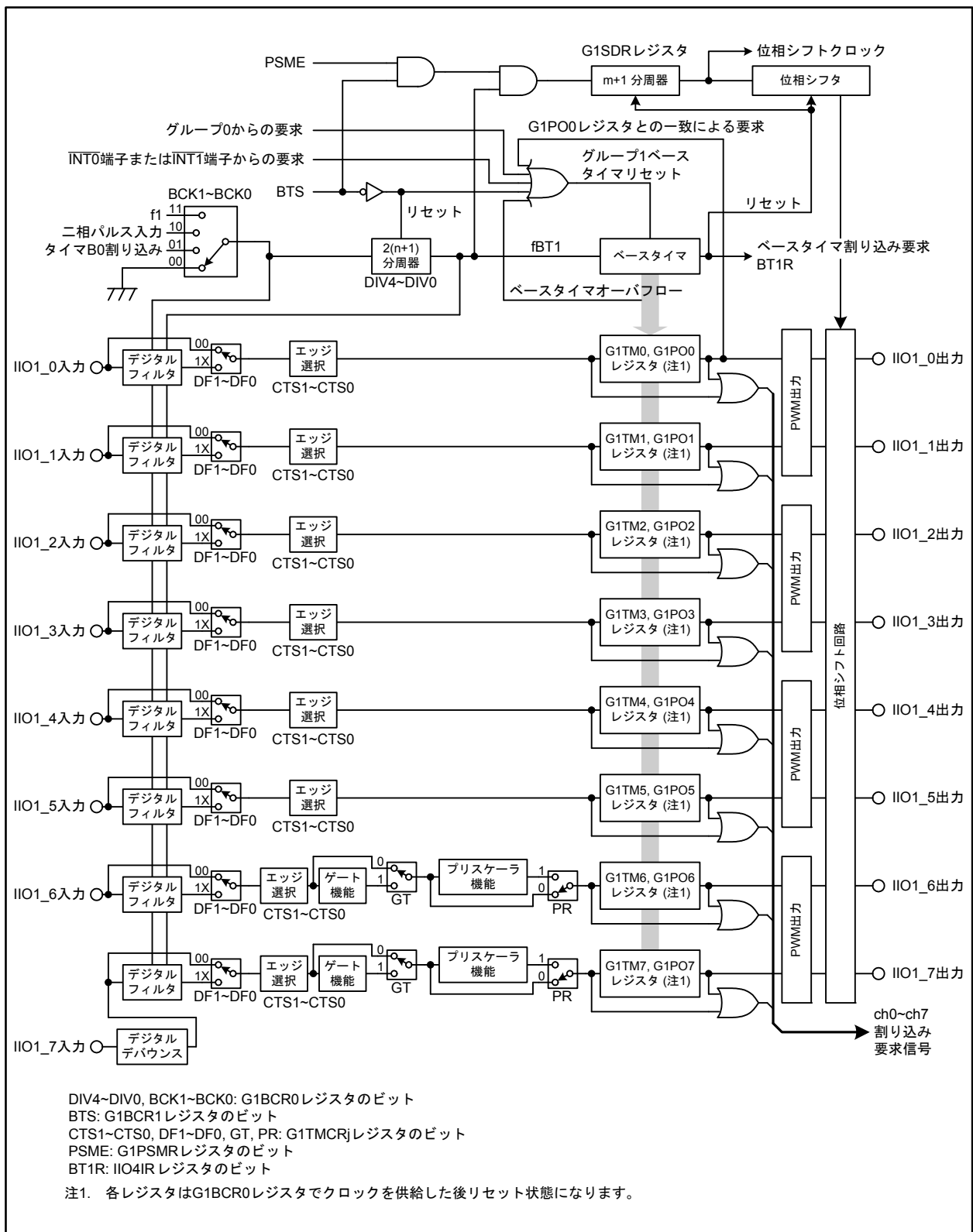


図 22.2 インテリジェントI/Oグループ1ブロック図(j=0~7)

図 22.3~図 22.14にインテリジェントI/Oのベースタイマ、時間計測機能、波形生成機能関連レジスタを示します。

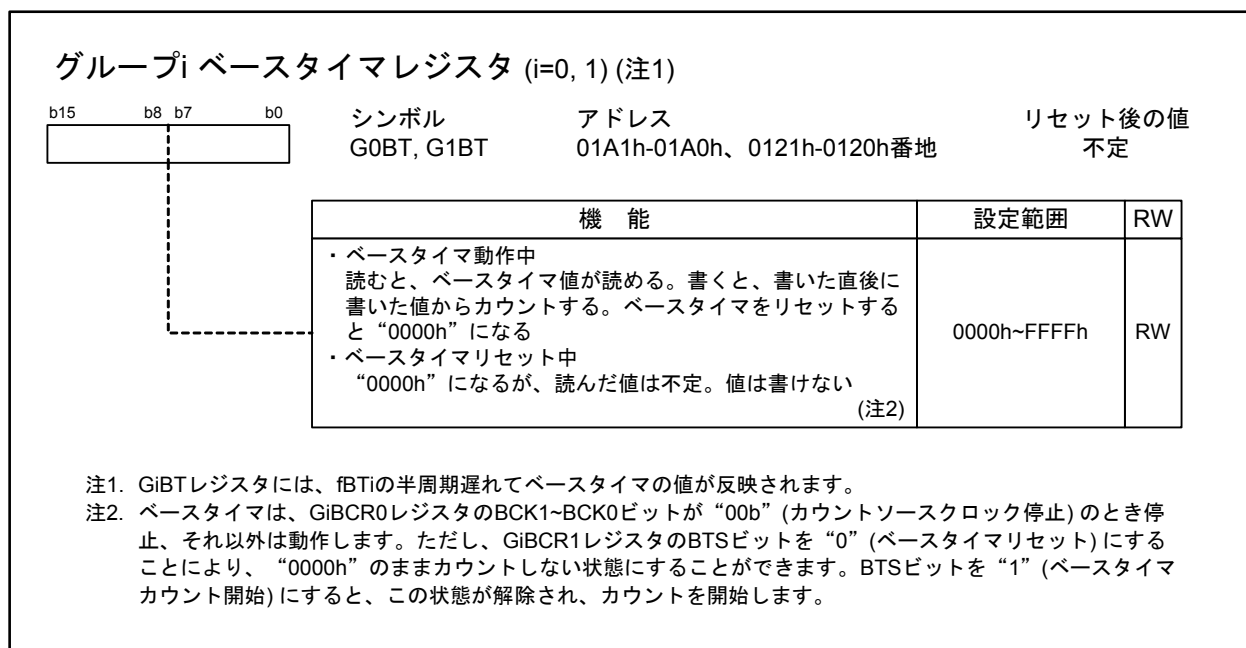


図 22.3 G0BT、G1BTレジスタ

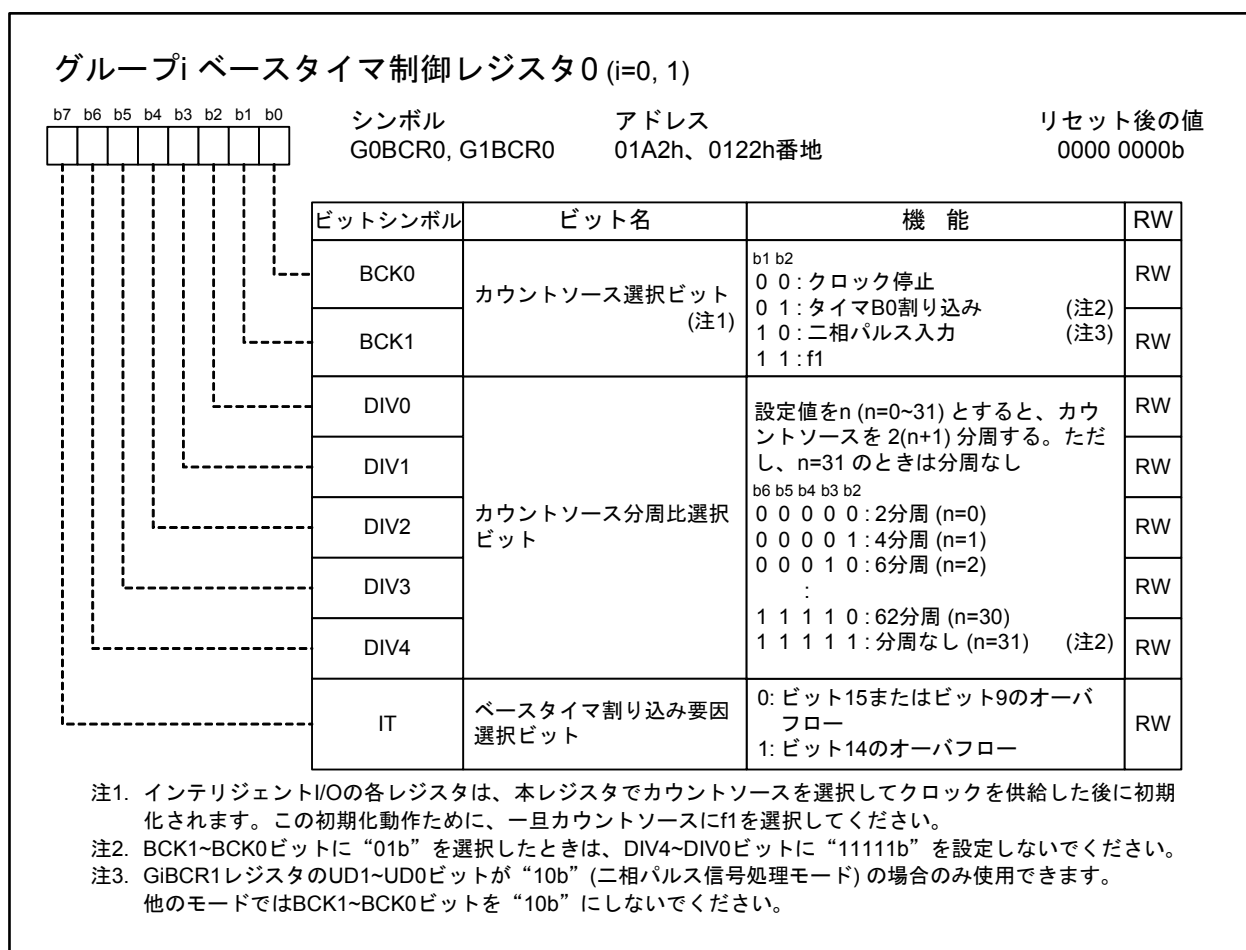


図 22.4 G0BCR0、G1BCR0レジスタ

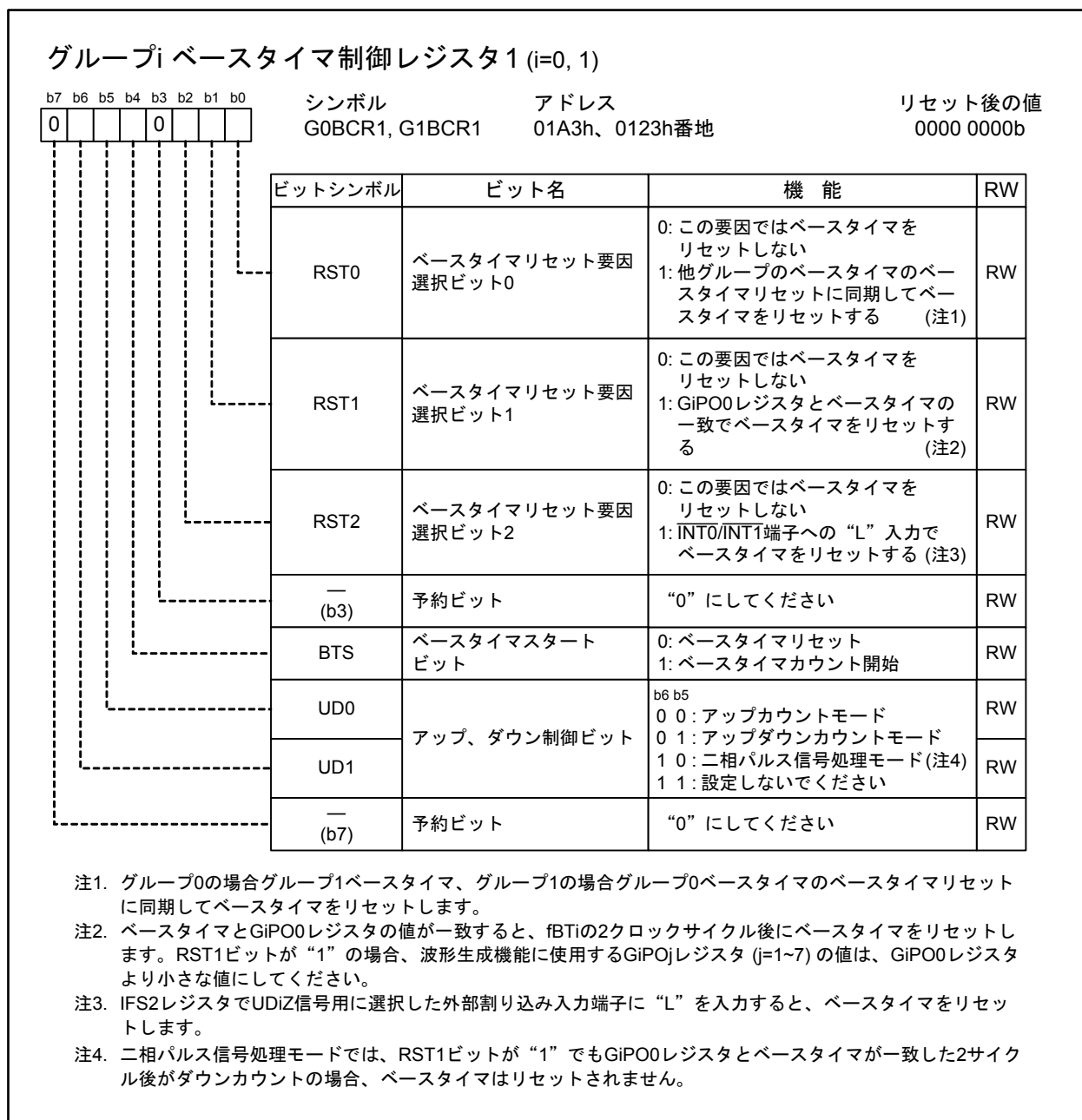
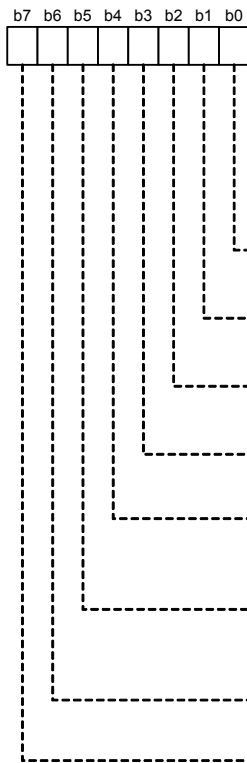


図 22.5 G0BCR1、G1BCR1レジスタ

グループ*i* 時間計測制御レジスタ*j* (*i*=0, 1, *j*=0~7)

シンボル	アドレス	リセット後の値
G0TMCR0~G0TMCR3	0198h, 0199h, 019Ah, 019Bh番地	0000 0000b
G0TMCR4~G0TMCR7	019Ch, 019Dh, 019Eh, 019Fh番地	0000 0000b
G1TMCR0~G1TMCR3	0118h, 0119h, 011Ah, 011Bh番地	0000 0000b
G1TMCR4~G1TMCR7	011Ch, 011Dh, 011Eh, 011Fh番地	0000 0000b



ビットシンボル	ビット名	機能	RW
CTS0	時間計測トリガ選択ビット	b1 b0 0 0: 時間計測しない 0 1: 立ち上がりエッジ 1 0: 立ち下がりエッジ 1 1: 両エッジ	RW
CTS1		RW	
DF0	デジタルフィルタ機能選択ビット	b3 b2 0 0: デジタルフィルタなし 0 1: 設定しないでください 1 0: fBTi 1 1: f1	RW
DF1		RW	
GT	ゲート機能選択ビット (注1)	0: ゲート機能を使用しない 1: ゲート機能を使用する	RW
GOC	ゲート機能解除選択ビット (注1, 2)	0: ゲート機能解除選択しない 1: ベースタイマとGiPOKレジスタ(k=j-2)の一致により、ゲートを解除する	RW
GSC	ゲート機能解除ビット (注1, 2)	このビットに“1”を書くと、ゲートが解除される	RW
PR	プリスケアラ機能選択ビット (注1)	0: 使用しない 1: 使用する	RW

- 注1. これらの機能は、GiTMCR6レジスタとGiTMCR7レジスタにあります。
GiTMCR0~GiTMCR5レジスタのビット4~7は、すべて“0”にしてください。
- 注2. これらのビットは、GTビットが“1”のときのみに有効です。

図 22.6 G0TMCR0~G0TMCR7、G1TMCR0~G1TMCR7 レジスタ

グループ*i* 時間計測プリスケアラレジスタ*j* (*i*=0, 1, *j*=6, 7)

シンボル	アドレス	リセット後の値
G0TPR6, G0TPR7	01A4h, 01A5h番地	00h
G1TPR6, G1TPR7	0124h, 0125h番地	00h



機能	設定範囲	RW
設定値を <i>n</i> とすると、トリガ入力を <i>n</i> +1カウントするごとに時間計測を行う (注1)	00h~FFh	RW

- 注1. GiTMCR*j*レジスタのPRビットを“0” (プリスケアラ機能を使用しない) から“1” (プリスケアラ機能を使用する) にした後の最初のプリスケアラ周期は、*n*+1にならず*n*になることがあります。それ以降の周期では、*n*+1になります。

図 22.7 G0TPR6、G0TPR7、G1TPR6、G1TPR7 レジスタ

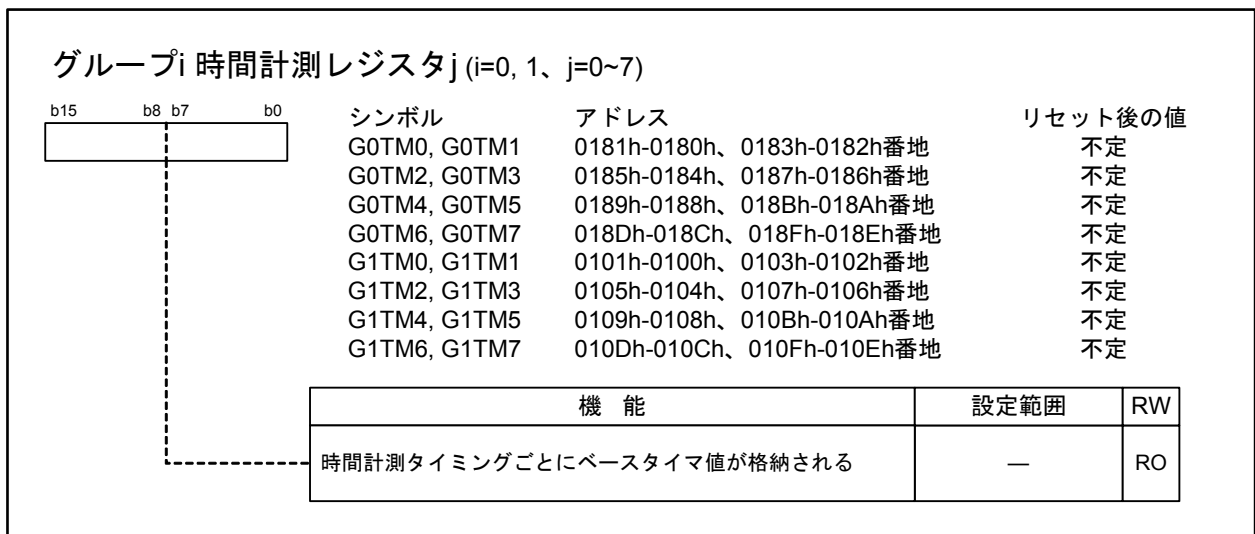


図 22.8 G0TM0~G0TM7、G1TM0~G1TM7 レジスタ

グループi 波形生成制御レジスタj (i=0, 1, j=0~7)

シンボル	アドレス	リセット後の値
G0POCR0	0190h番地	0000 X000b
G0POCR1~G0POCR3	0191h、0192h、0193h番地	0X00 X000b
G0POCR4~G0POCR7	0194h、0195h、0196h、0197h番地	0X00 X000b
G1POCR0	0110h番地	0000 X000b
G1POCR1~G1POCR3	0111h、0112h、0113h番地	0X00 X000b
G1POCR4~G1POCR7	0114h、0115h、0116h、0117h番地	0X00 X000b

ビットシンボル	ビット名	機能	RW
MOD0	動作モード選択ビット	b2 b1 b0 0 0 0: 単相波形出力モード 0 0 1: SR波形出力モード (注1) 0 1 0: 反転波形出力モード 0 1 1: 設定しないでください 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: 設定しないでください 1 1 1: 設定しないでください	RW
MOD1		RW	
MOD2		RW	
— (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定		—
IVL	出力初期値選択ビット (注2)	0: 初期値として“L”を出力 1: 初期値として“H”を出力	RW
RLD	GiPOjレジスタ値リロード タイミング選択ビット	0: 書き込み時にリロード 1: ベースタイマリセット時にリロード	RW
BTRE	ベースタイマリセット許可 ビット (注3)	0: ベースタイマのビット15のオーバー フローでベースタイマをリセット する 1: ベースタイマのビット9のオーバ フローでベースタイマをリセットす る (注4)	RW
INV	反転出力機能選択ビット (注5)	0: 出力を反転しない 1: 出力を反転する	RW

- 注1. この設定は偶数チャンネルのみ有効です。SR波形出力モードが選択された場合、対応する奇数チャンネル (偶数チャンネルの次のチャンネル) に書いた値に意味は持ちません。波形は偶数チャンネルより出力されます。奇数チャンネルからは出力されません。
- 注2. GiFSレジスタのFSCjビットが“0” (波形生成機能を選択) で、GiFEレジスタのIFEjビットが“1” (チャンネルjの機能を許可) のとき、IVLビットに値を書くと設定した値が出力されます。
- 注3. GiPOCR0レジスタのみにあります。GiPOCR1~GiPOCR7レジスタのビット6は“0”にしてください。
- 注4. BTREビットを“1”にする場合、GiBCR0レジスタのBCK1~BCK0ビットを“01b” (タイマB0割り込み) または“11b” (f1)、GiBCR1レジスタのUD1~UD0ビットを“00b” (アップカウントモード) にしてください。
- 注5. 反転出力機能は、波形生成回路の最終段にあります。このため、INVビットを“1” (出力を反転する) にした場合、IVLビットを“0” (初期値として“L”を出力) にすると“H”を、IVLビットを“1” (初期値として“H”を出力) にすると“L”を出力します。

図 22.9 G0POCR0~G0POCR7、G1POCR0~G1POCR7 レジスタ

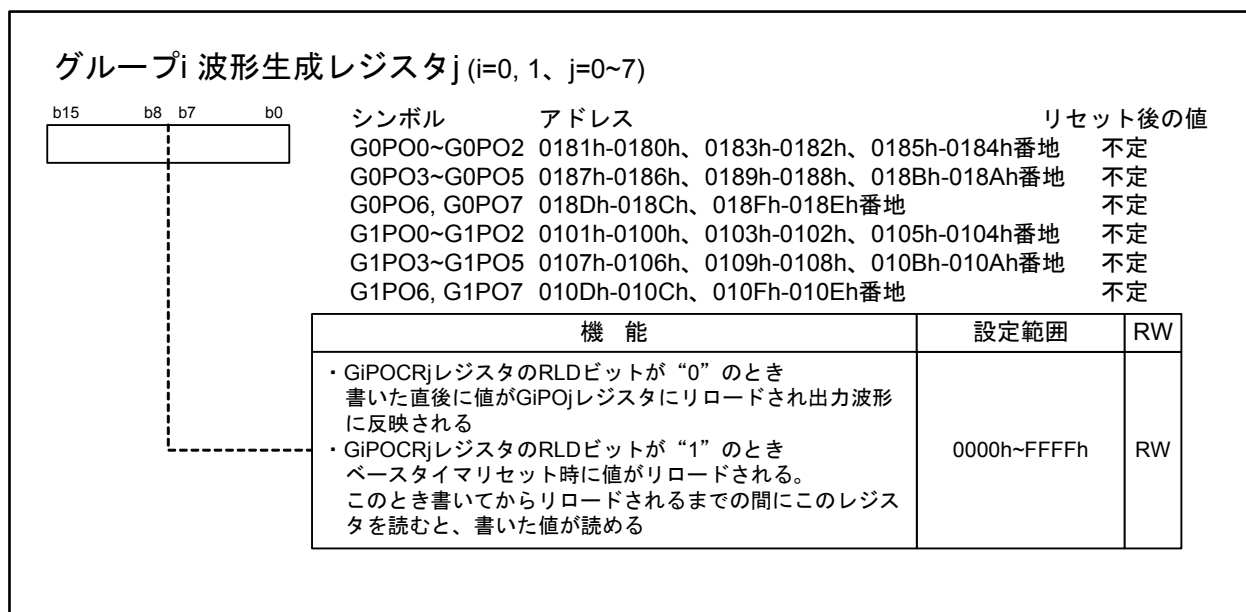


図 22.10 G0PO0~G0PO7、G1PO0~G1PO7レジスタ

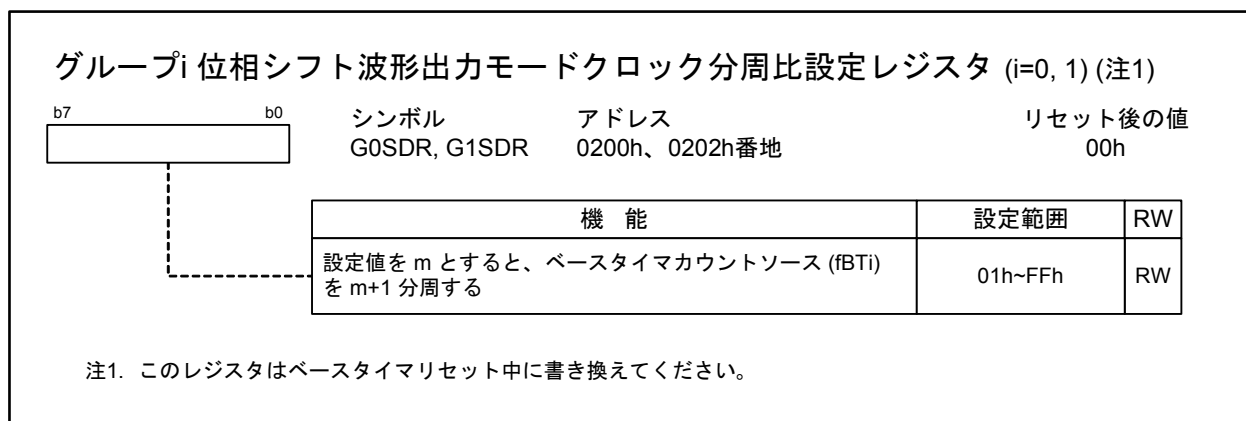


図 22.11 G0SDR、G1SDRレジスタ

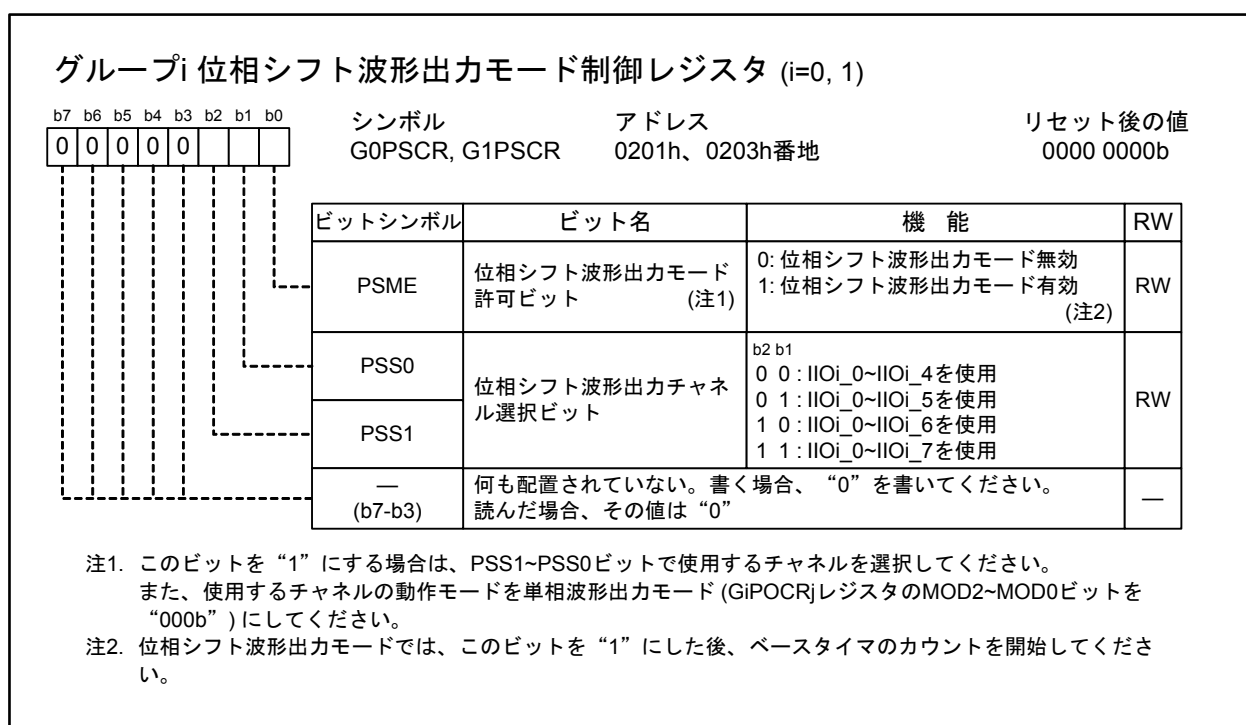


図 22.12 G0PSCR、G1PSCR レジスタ

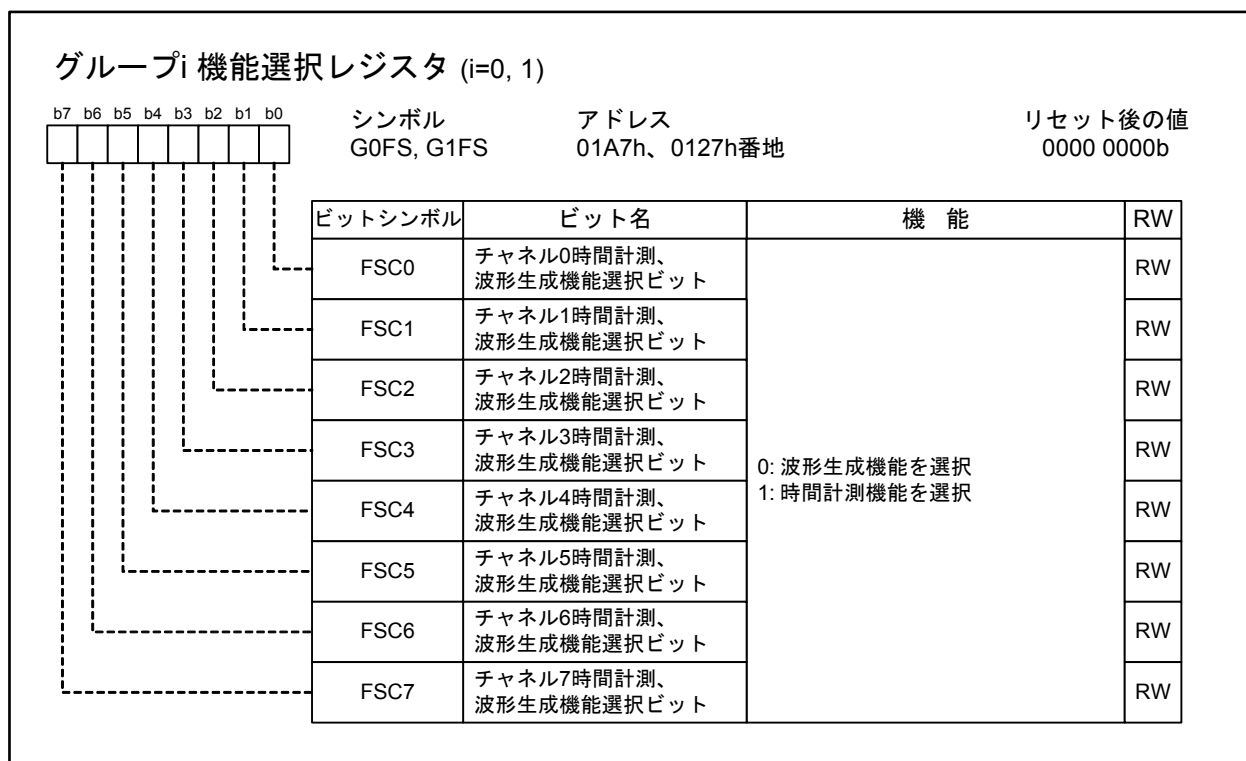


図 22.13 G0FS、G1FS レジスタ

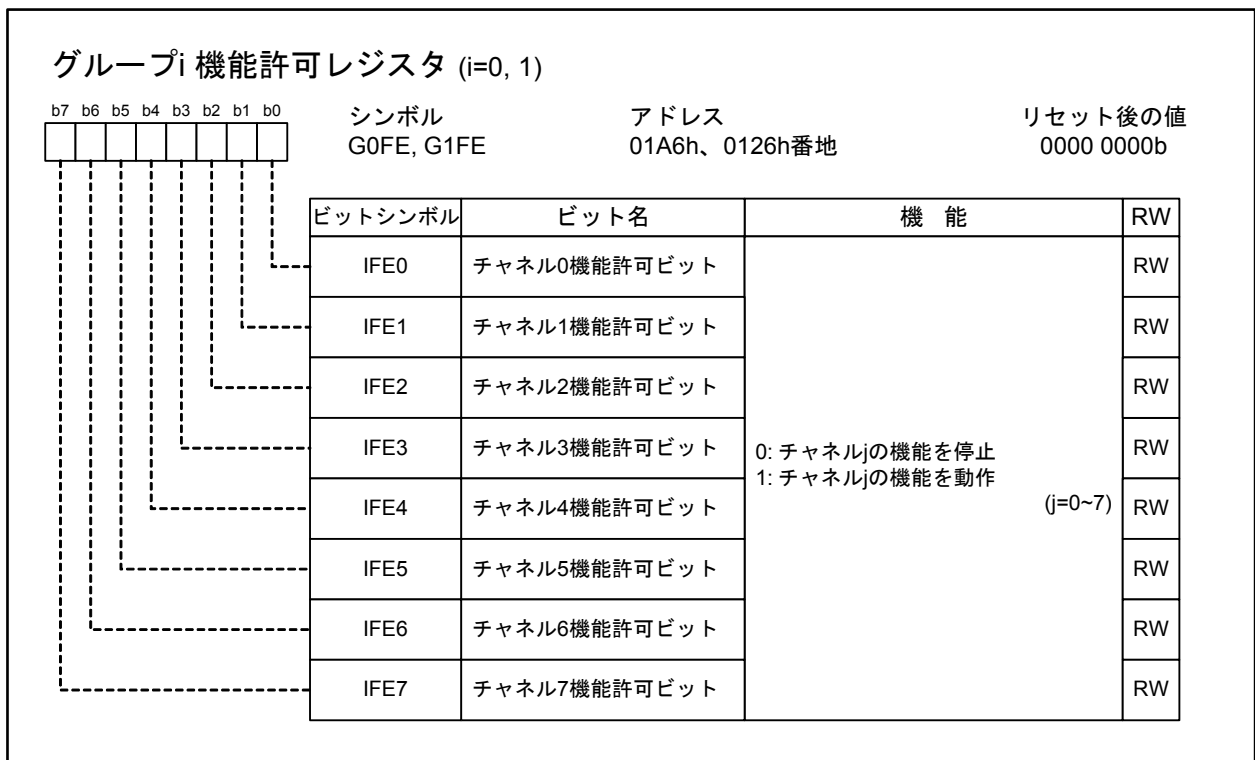
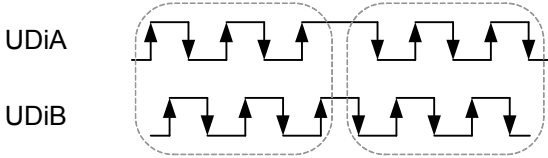


図 22.14 G0FE、G1FE レジスタ

22.1 ベースタイマ

内部で生成されたカウントソースをフリーランカウントします。表 22.2 にベースタイマの仕様を、図 22.3~図 22.14 にベースタイマ関連レジスタを、図 22.15 にベースタイマのブロック図を、図 22.16 にベースタイマアップカウントモードの動作例を、図 22.17 にベースタイマアップダウンカウントモードの動作例を、図 22.18 に二相パルス信号処理モードの動作例を示します。

表 22.2 ベースタイマの仕様 (i=0, 1)

項目	仕様
カウントソース (fBTi)	f1 の 2(n+1) 分周、二相パルス入力 の 2(n+1) 分周 n: GiBCR0 レジスタの DIV4~DIV0 ビットで設定。n=0~31。ただし n=31 の場合、分周しない タイマ B0 割り込みの 2(m+1) 分周 m: GiBCR0 レジスタの DIV4~DIV0 ビットで設定。m=0~30
カウント動作	<ul style="list-style-type: none"> • アップカウント • アップダウンカウント • 二相パルス処理
カウント開始条件	GiBCR1 レジスタの BTS ビットを“1” (ベースタイマカウント開始) にする
カウント停止条件	GiBCR1 レジスタの BTS ビットを“0” (ベースタイマリセット) にする
ベースタイマリセット条件	<ul style="list-style-type: none"> • ベースタイマと GiPO0 レジスタの値が一致 • 外部割り込み端子 ($\overline{\text{INT0}}$ または $\overline{\text{INT1}}$) に“L”を入力 グループ0: IFS2 レジスタの IFS23~IFS22 ビットで選択 グループ1: IFS2 レジスタの IFS27~IFS26 ビットで選択 • ベースタイマビット15のオーバフロー、ベースタイマビット9のオーバフロー時
ベースタイマリセット時の値	“0000h”
割り込み要求	ベースタイマのビット9または、ビット14、ビット15のオーバフロー時に、割り込み要求レジスタの BTIR ビットが“1” (割り込み要求あり) になる (図 10.15 参照)
ベースタイマの読み出し	<ul style="list-style-type: none"> • ベースタイマ動作中に GiBT レジスタを読むとベースタイマ値が読める • ベースタイマのリセット中に GiBT レジスタを読むと不定値になる
ベースタイマへの書き込み	ベースタイマ動作中に値を書いた場合、書いた直後に書いた値からカウントされる。ベースタイマのリセット中は書けない
選択機能	<ul style="list-style-type: none"> • アップダウンカウントモード BTS ビットを“1”にするとベースタイマはカウントを開始し、“FFFFh”になるとダウンカウントする。また、GiBCR1 レジスタの RST1 ビットが“1” (GiPO0 レジスタとの一致でベースタイマをリセットする) の場合、GiPO0 レジスタと一致した2カウント後にダウンカウントする。次に“0000h”になると再びアップカウントする (図 22.17 参照) • 二相パルス処理モード UDiA、UDiB からの二相パルスをカウントする (図 22.18 参照) <div style="text-align: center;">  <p>UDiA</p> <p>UDiB</p> <p>すべてのエッジをアップカウント すべてのエッジをダウンカウント</p> </div>

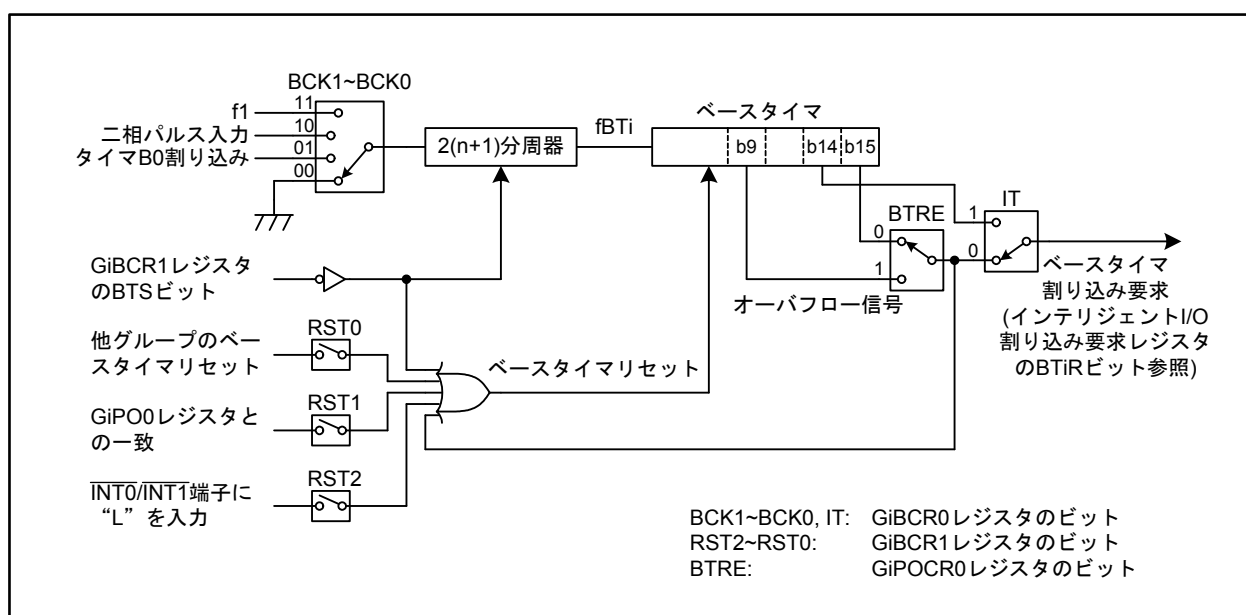


図 22.15 ベースタイマのブロック図 (i=0, 1)

表 22.3 ベースタイマ関連レジスタの設定 (時間計測機能、波形生成機能、通信機能共通) (i=0, 1)

レジスタ	ビット	機能
GiBCR0	BCK1~BCK0	カウントソース選択
	DIV4~DIV0	カウントソース分周比選択
	IT	ベースタイマ割り込み選択
GiBCR1	RST2~RST0	ベースタイマリセットタイミング選択
	BTS	ベースタイマを別々で開始する場合使用
	UD1~UD0	カウント方法選択
GiPOCR0	BTRE	ベースタイマリセット要因選択
GiBT	—	ベースタイマの値を読む、または書く

RST1ビットが“1” (ベースタイマとGiPO0の一致でベースタイマをリセット) の場合以下のレジスタの設定が必要です。

GiPOCR0	MOD2~MOD0	“000b” (単相波形出力モード) にしてください
GiPO0	—	リセット周期を設定してください
GiFS	FSC0	“0” (波形生成機能) にしてください
GiFE	IFE0	“1” (チャンネル0の機能を動作) にしてください

グループによって、ビット構成、機能が違います。

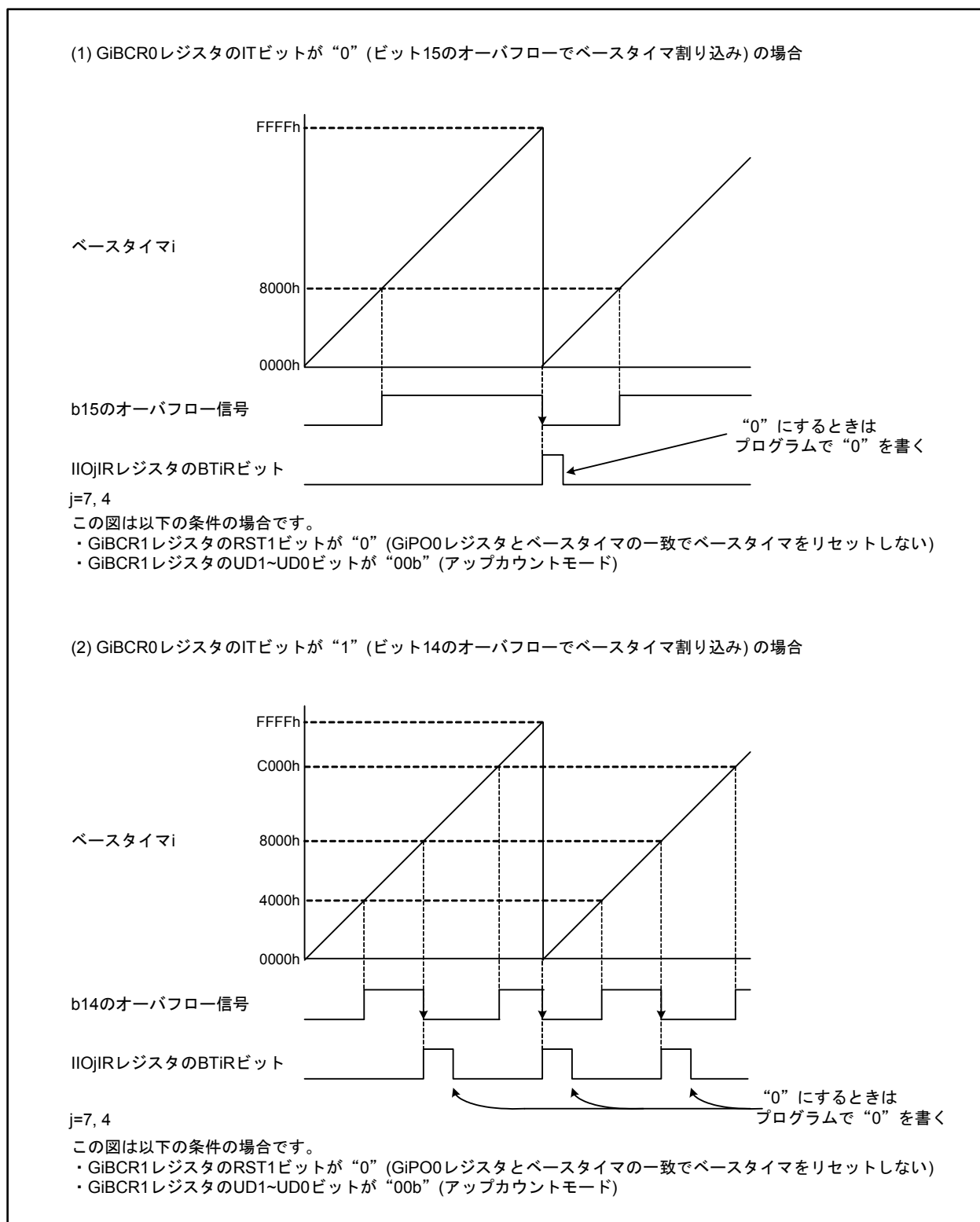
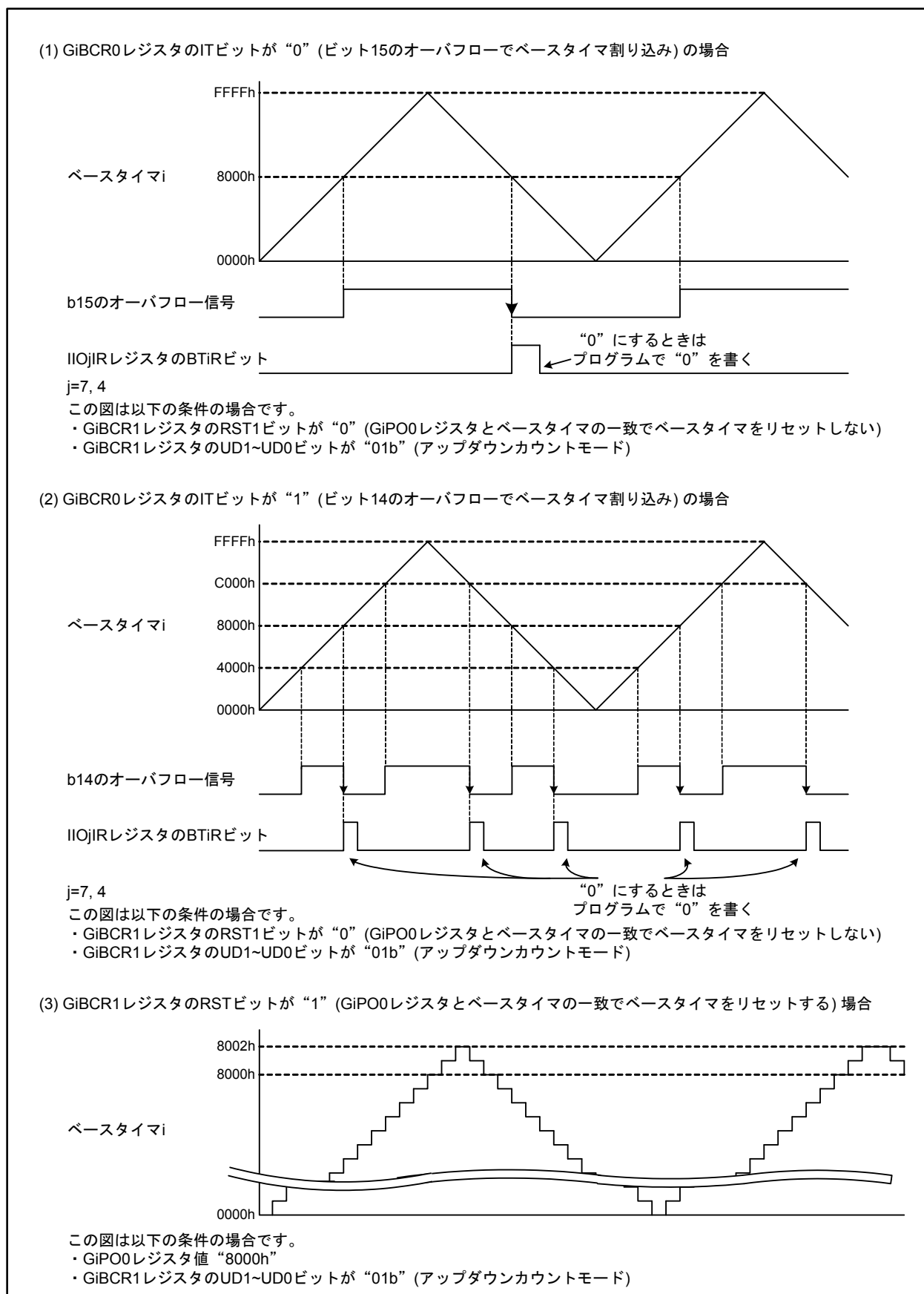


図 22.16 ベースタイマのアップモードの動作例 (i=0, 1)

図 22.17 ベースタイマのアップダウンモードの動作例 ($i=0, 1$)

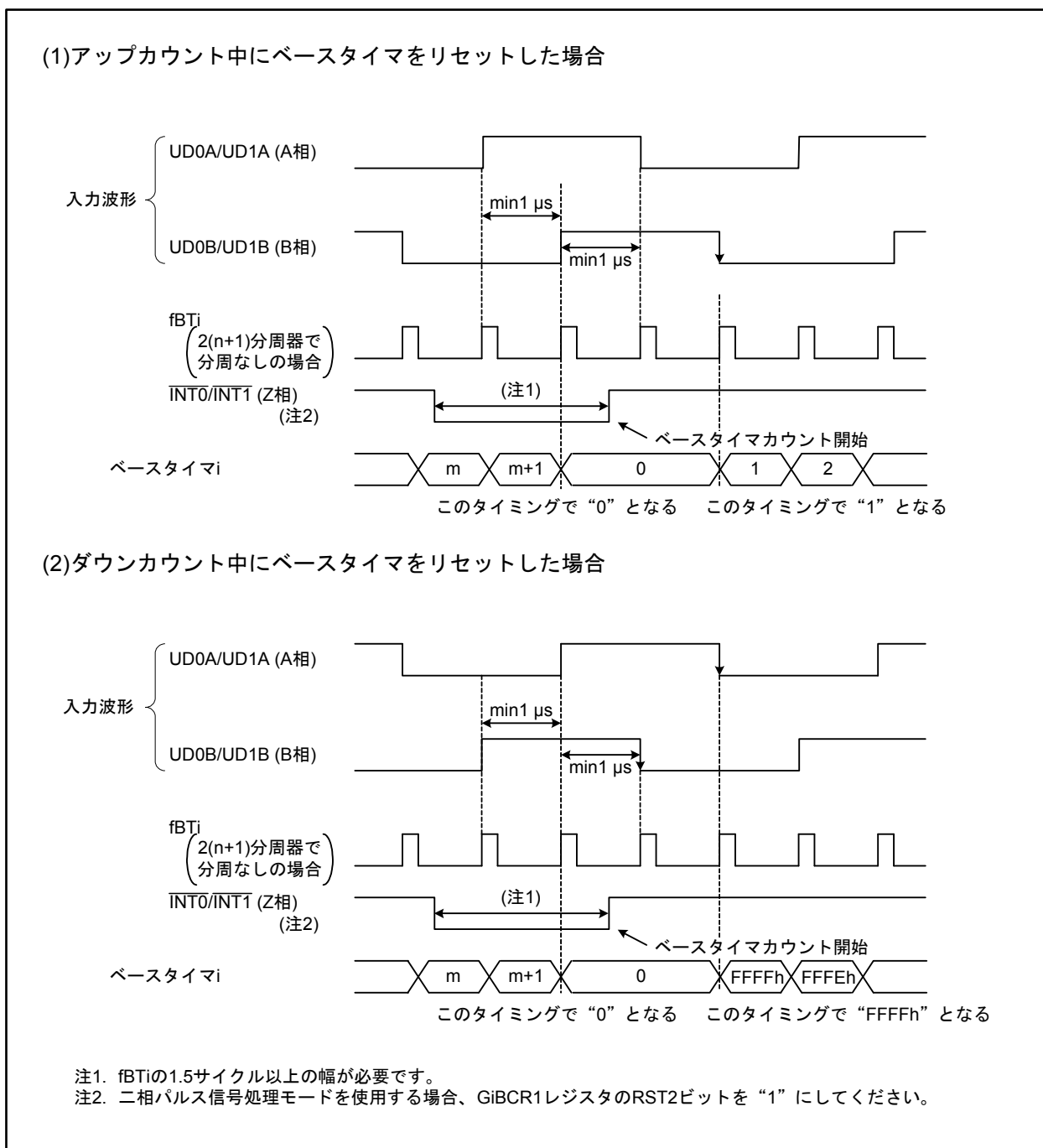


図 22.18 ベースタイマの二相パルス信号処理モードの動作例 (i=0, 1)

22.2 時間計測機能

外部トリガが入力されるごとにベースタイマの値をGiTMjレジスタ (i=0, 1, j=0~7) に格納します。表 22.4に時間計測機能の仕様を、表 22.5に時間計測機能関連レジスタの設定を示します。図 22.19、図 22.20に時間計測機能の動作例を、図 22.21にプリスケアラ機能、ゲート機能使用時の動作例を示します。

表 22.4 時間計測機能の仕様 (i=0, 1, j=0~7)

項目	仕様
計測チャンネル	グループ0: チャンネル0~7 グループ1: チャンネル0~7
トリガ入力極性選択	IIOi_j端子の立ち上がりエッジ、立ち下がりエッジ、または両エッジ
計測開始条件	GiFSレジスタのFSCjビットが“1”(時間計測機能を選択)の状態、GiFEレジスタのIFEjビットを“1”(チャンネルjの機能を動作)にする
計測停止条件	IFEjビットを“0”(チャンネルjの機能を停止)にする
時間計測タイミング	<ul style="list-style-type: none"> プリスケアラ機能なし: トリガ入力ごと プリスケアラ機能あり(チャンネル6、7): GiTPRkレジスタ (k=6, 7)値+1回目のトリガ入力ごと
割り込み要求	時間計測タイミングに、割り込み要求レジスタのTMijRビットが“1”(割り込み要求あり)になる(図 10.15参照)
IIOi_j端子(入力)	トリガ入力
選択機能	<ul style="list-style-type: none"> デジタルフィルタ機能 トリガ入力レベルをf1またはfBTiごとに判定し、3回一致したパルス成分を通過させる プリスケアラ機能(チャンネル6、7) トリガ入力をカウントし、(GiTPRkレジスタ値+1)回目のトリガ入力ごとに時間計測を実行 ゲート機能(チャンネル6、7) 最初のトリガ入力による時間計測以降、トリガ入力の受け付けを禁止する。GiTMCRkレジスタのGOCビットが“1”(GiPOpレジスタ (p=4, 5, k=6のとき p=4, k=7のとき p=5)の一致によりゲートを解除)の状態、ベースタイマとGiPOpレジスタの値が一致、またはGiTMCRkレジスタのGSCビットを“1”にすると、再度トリガ入力の受け付けを許可

表 22.5 時間計測機能関連レジスタの設定 (i=0, 1, j=0~7, k=6, 7)

レジスタ	ビット	機能
GiTMCRj	CTS1~CTS0	時間計測トリガ選択
	DF1~DF0	デジタルフィルタ機能選択
	GT, GOC, GSC	ゲート機能選択
	PR	プリスケアラ機能選択
GiTPRk	—	プリスケアラ値設定
GiFS	FSCj	“1”(時間計測機能)にしてください
GiFE	IFEj	“1”(チャンネルjの機能を動作)にしてください

グループ、チャンネルによって、ビット構成、機能が違います。
ベースタイマ関連レジスタを設定後に、時間計測機能関連レジスタを設定してください。

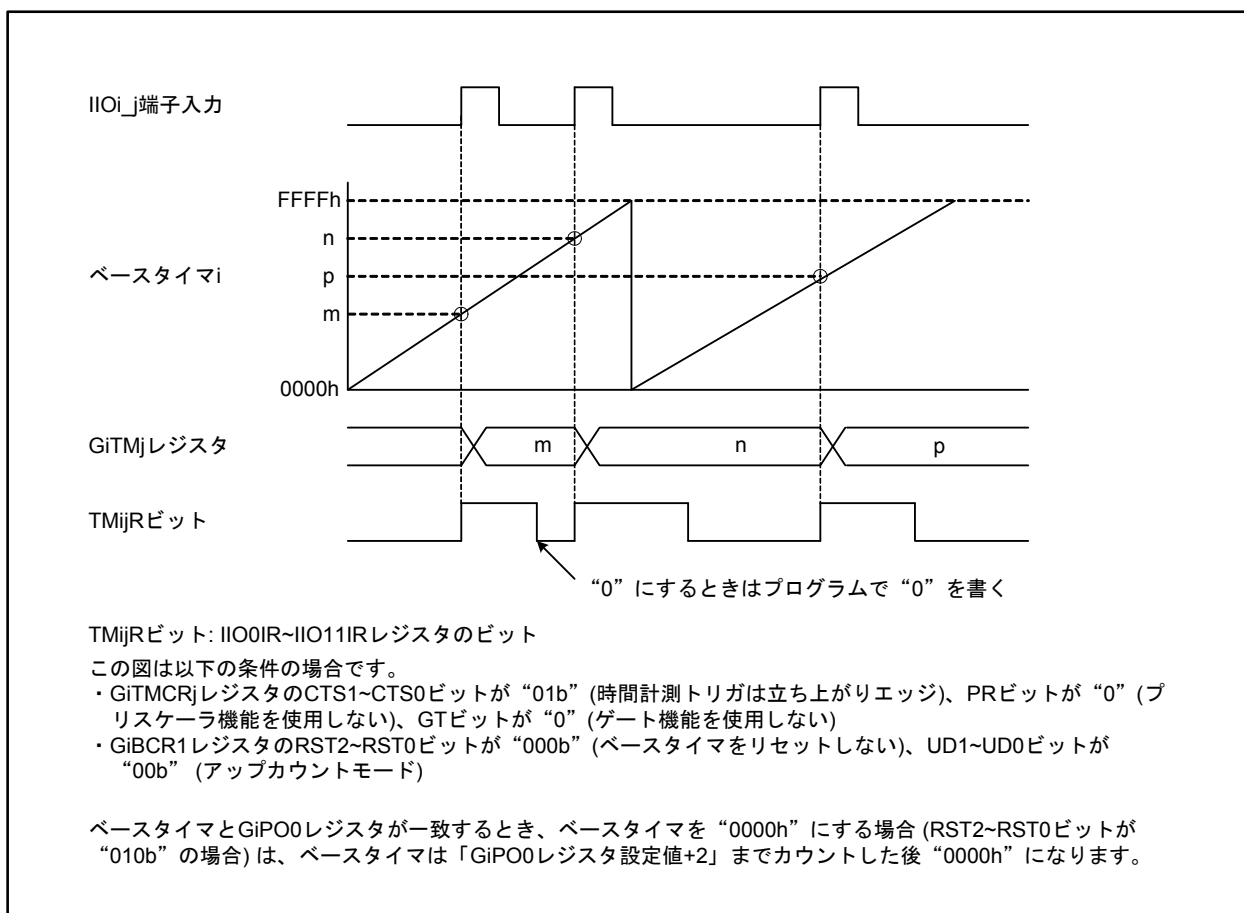
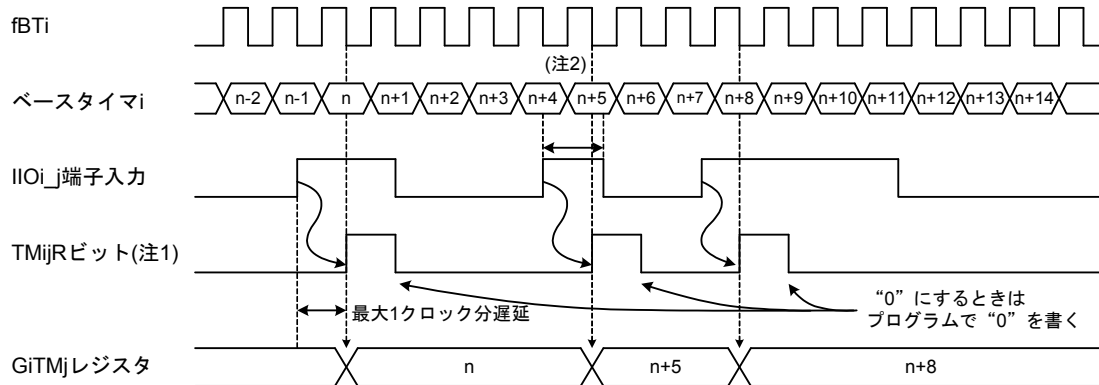


図 22.19 時間計測機能の動作例(1) (i=0, 1、j=0~7)

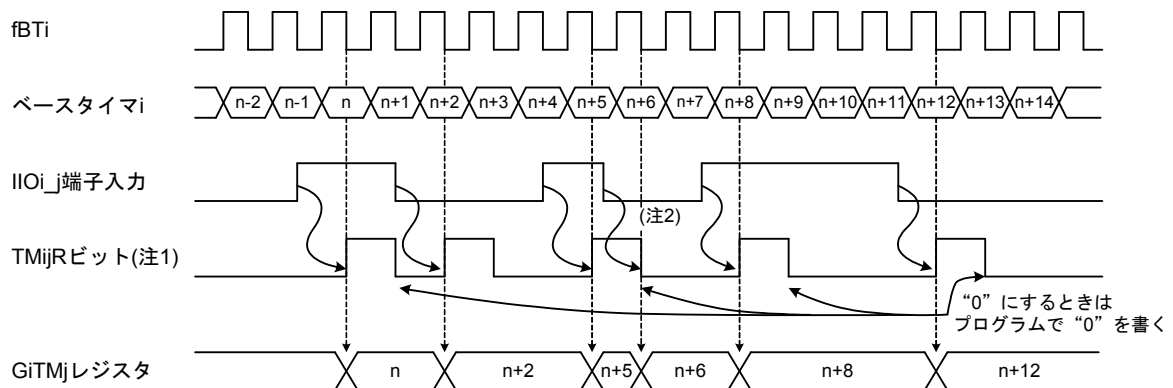
(1) 時間測定トリガに立ち上がりエッジを選択した場合
(GiTMCRjレジスタのCTS1~CTS0ビットが“01b”)



注1. IIO0IR~IIO11IRレジスタのビット。

注2. IIOi_j端子への入力パルスは、fBTiの1.5サイクル以上の幅が必要です。

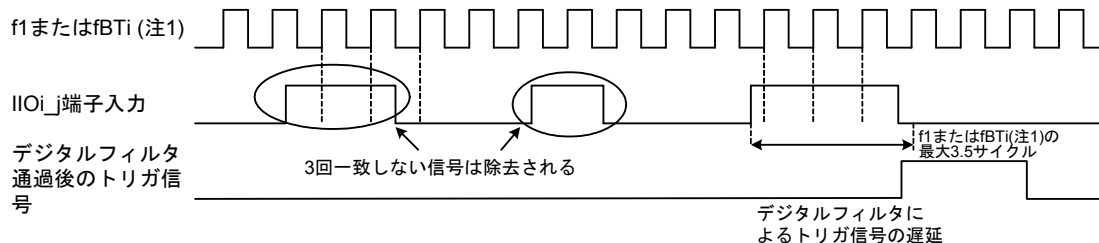
(2) 時間計測トリガに両エッジを選択した場合 (CTS1~CTS0ビットが“11b”)



注1. IIO0IR~IIO11IRレジスタのビット。

注2. TMijRビットが“1”のときにトリガ信号を受信した場合、割り込みは発生しません。
ただし、GiTMjレジスタの値は変化します。

(3) デジタルフィルタを使用した場合のトリガ信号
(GiTMCRjレジスタのDF1~DF0ビットが“10b”または“11b”)

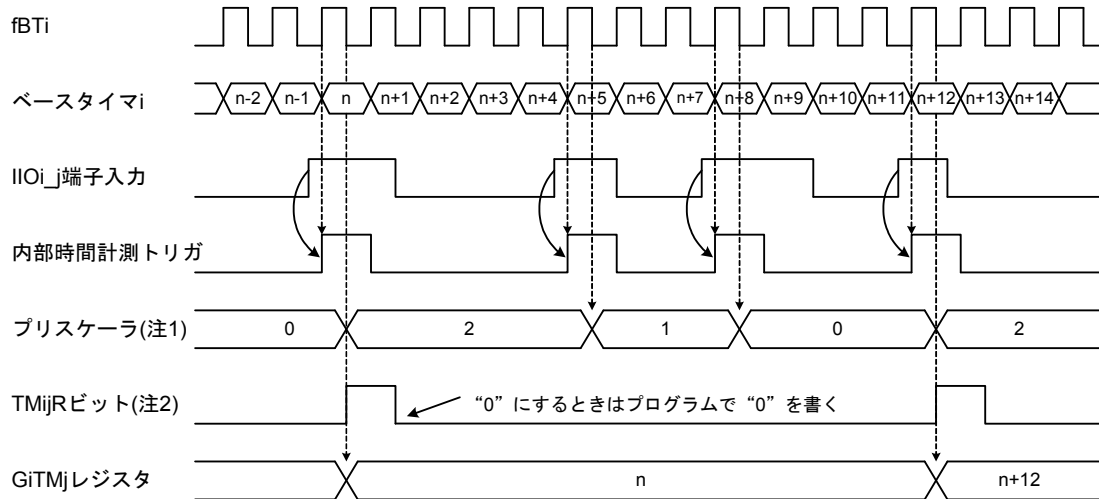


注1. DF1~DF0ビットが“10b”のときfBTi、“11b”のときf1。

図 22.20 時間計測機能の動作例(2) (i=0, 1, j=0~7)

(1) プリスケアラ機能を使用した場合

(GiTPRjレジスタが“02h”、GiTMCRjレジスタのPRビットが“1”)

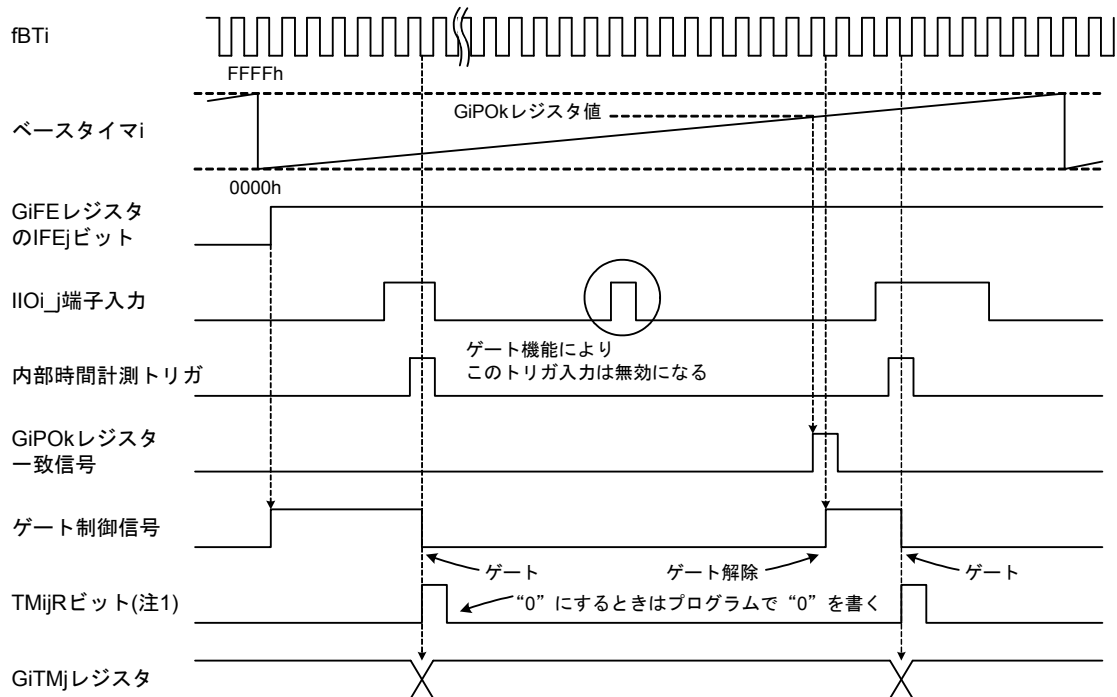


注1. GiTMCRjレジスタのPRビットを“1” (プリスケアラ機能を使用する)にした後の2回目以降のプリスケアラ周期のものです。

注2. IIO0IR~IIO11IRレジスタのビット。

(2) ゲート機能を使用した場合

(GiPOkレジスタの一致によりゲート機能解除、GiTMCRjレジスタのGTビットが“1”、GOCビットが“1”)



k=4, 5

注1. IIO0IR~IIO11IRレジスタのビット。

図 22.21 プリスケアラ機能、ゲート機能使用時の動作例 (i=0, 1、j=6, 7)

22.3 波形生成機能

ベースタイマとGiPOjレジスタ ($i=0, 1, j=0\sim7$)の値の一致により、波形生成を行います。

波形生成機能には、以下の4つのモードがあります。

- 単相波形出力モード
- 反転波形出力モード
- セット-リセット波形出力(SR波形出力)モード
- 位相シフト波形出力モード

表 22.6に波形生成機能関連レジスタの設定を示します。

表 22.6 波形生成機能関連レジスタの設定 ($i=0, 1, j=0\sim7$)

レジスタ	ビット	機能
GiPOCRj	MOD2~MOD0	波形出力モードを選択
	IVL	出力初期値選択
	RLD	GiPOjレジスタ値リロードタイミング選択
	INV	出力反転選択
GiPOj	—	出力波形のレベルを反転させるタイミングを設定
GiFS	FSCj	“0” (波形生成機能)にしてください
GiFE	IFEj	“1” (チャンネルjの機能を動作)にしてください

グループ、チャンネルによって、ビット構成、機能が違います。

ベースタイマ関連レジスタを設定した後に、波形生成機能関連レジスタを設定してください。

22.3.1 単相波形出力モード

ベースタイマと GiPOj レジスタ (i=0, 1, j=0~7) の値が一致すると IIOi_j 端子の出力レベルは“H”になり、ベースタイマが“0000h”になると“L”になります。GiPOCRj レジスタの IVL ビットを“1” (初期値として“H”を出力) にすると、波形出力開始時の出力レベルは“H”になります。INV ビットを“1” (出力を反転する) にすると、出力波形のレベルを反転して出力します。詳細は、図 22.22 を参照してください。

表 22.7 に単相波形出力モードの仕様を示します。

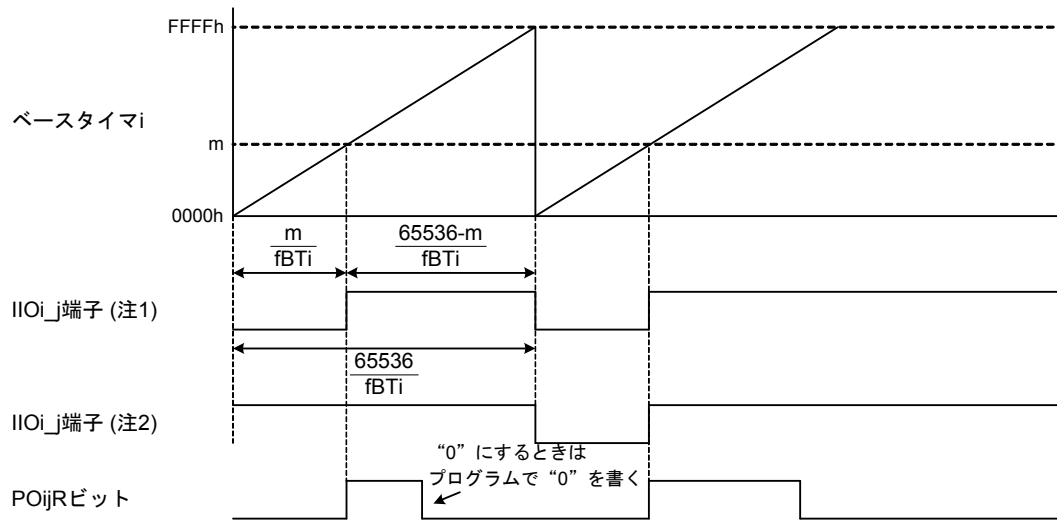
表 22.7 単相波形出力モードの仕様 (i=0, 1)

項目	仕様
出力波形(注1)	<ul style="list-style-type: none"> • フリーラン動作 (GiBCR1 レジスタの RST2~RST0 ビットが“000b”) の場合 <ul style="list-style-type: none"> 周期: $\frac{65536}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ “H”幅: $\frac{65536 - m}{fBTi}$ m: GiPOj レジスタ (j=0~7) の設定値 0000h~FFFFh • ベースタイマと GiPO0 レジスタが一致するとき、ベースタイマを“0000h”にする (GiBCR1 レジスタの RST2~RST0 ビットが“010b”) 場合 <ul style="list-style-type: none"> 周期: $\frac{n + 2}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ “H”幅: $\frac{n + 2 - m}{fBTi}$ m: GiPOj レジスタ (j=1~7) の設定値 0000h~FFFFh n: GiPO0 レジスタの設定値 0001h~FFFDh m ≥ n + 2 の場合、出力レベルは“L”固定
波形出力開始条件(注2)	GiFE レジスタの IFEj ビット (j=0~7) を“1” (チャネルjの機能を動作) にする
波形出力停止条件	IFEj ビットを“0” (チャネルjの機能を停止) にする
割り込み要求	ベースタイマ値と GiPOj レジスタの値が一致したときに、インテリジェントI/O 割り込み要求レジスタの POijR ビットが“1” (割り込み要求あり) になる (図 10.15 参照)
IIOi_j 端子 (出力)	パルス出力
選択機能	<ul style="list-style-type: none"> • 初期値設定機能 波形出力開始時の出力レベルを設定 • 反転出力機能 出力波形のレベルを反転して、IIOi_j 端子から出力

注1. GiPOCRj レジスタの INV ビットが“1” (出力を反転する) の場合、“L”幅と“H”幅は逆になります。

注2. 時間計測機能と波形生成機能が共用されているチャネルを使用する場合、GiFS レジスタの FSCj ビットを“0” (波形生成機能を選択) にしてください。

(1)フリーラン動作の場合 (GiBCRレジスタのRST2~RST0ビットが“000b”)



j=0~7

m: GiPOjレジスタ値 (0000h~FFFFh)

POijRビット: IIO0iR~IIO11iRレジスタのビット

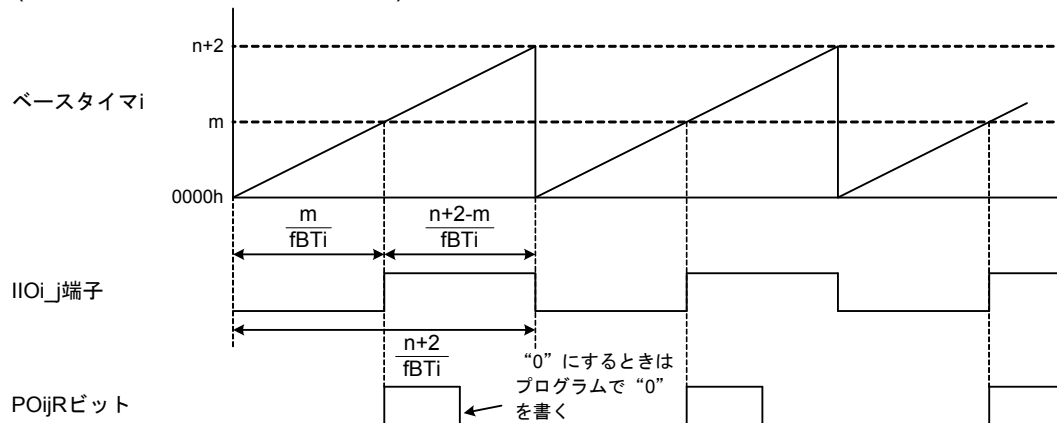
注1. GiPOCRjレジスタのINVビットが“0” (出力を反転しない)、IVLビットが“0” (初期値として“L”を出力)のときの波形です。

注2. INVビットが“0” (出力を反転しない)、IVLビットが“1” (初期値として“H”を出力)のときの波形です。

この図は以下の条件の場合です。

- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)

(2)ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=1~7

m: GiPOjレジスタ値 (0000h~FFFFh)

n: GiPO0レジスタ値 (0001h~FFFDh)

POijRビット: IIO0iR~IIO11iRレジスタのビット

この図は以下の条件の場合です。

- ・ GiPOCRjレジスタのIVLビットが“0” (初期値として“L”を出力)、INVビットが“0” (出力を反転しない)
- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)
- ・ $m < n + 2$

図 22.22 単相波形出力モードの動作例 (i=0, 1)

22.3.2 反転波形出力モード

ベースタイマと GiPOj レジスタ (i=0, 1, j=0~7) の値が一致するごとに IIOi_j 端子の出力レベルを反転します。

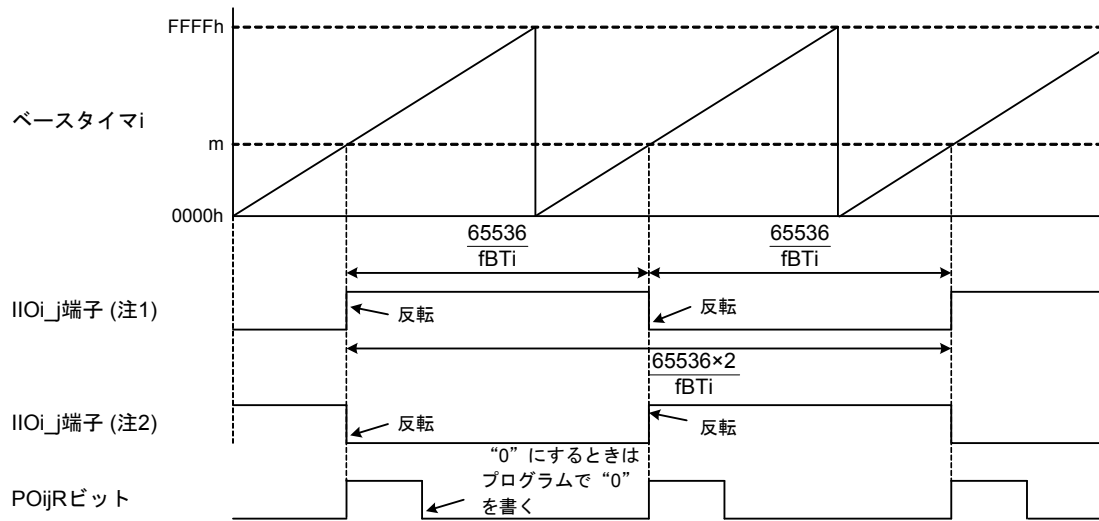
表 22.8 に反転波形出力モードの仕様を、図 22.23 に反転波形出力モードの動作例を示します。

表 22.8 反転波形出力モードの仕様 (i=0, 1)

項目	仕様
出力波形	<ul style="list-style-type: none"> フリーラン動作 (GiBCR1 レジスタの RST2~RST0 ビットが "000b") の場合 周期: $\frac{65536 \times 2}{fBTi}$ "H" 幅、"L" 幅: $\frac{65536}{fBTi}$ GiPOj レジスタ (j=0~7) の設定値 (0000h~FFFFh) ベースタイマと GiPO0 レジスタが一致した時ベースタイマを "0000h" にする (RST2~RST0 ビットが "010b") 場合 周期: $\frac{2(n+2)}{fBTi}$ "H" 幅、"L" 幅: $\frac{n+2}{fBTi}$ n: GiPO0 レジスタの設定値 (0001h~FFFDh) GiPOj レジスタ (j=1~7) の設定値 (0000h~FFFFh) GiPOj レジスタ値 $\geq n+2$ の場合、出力レベルは反転しません
波形出力開始条件 (注1)	GiFE レジスタの IFEj ビット (j=0~7) を "1" (チャネルjの機能を動作) にする
波形出力停止条件	GiFE レジスタの IFEj ビットを "0" (チャネルjの機能を停止) にする
割り込み要求	ベースタイマと GiPOj レジスタの値が一致したとき、インテリジェントI/O 割り込み要求レジスタの POijR ビットが "1" (割り込み要求あり) になる (図 10.15 参照)
IIOi_j 端子 (出力)	パルス出力
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形のレベルを反転して、IIOi_j 端子から出力

注1. 時間計測機能と波形生成機能が共用されているチャネルを使用する場合、GiFS レジスタの FSCj ビットを "0" (波形生成機能を選択) にしてください。

(1)フリーラン動作の場合 (GiBCR1レジスタのRST2~RST0ビットが“000b”)



j=0~7

m: GiPOjレジスタ値 (0000h~FFFFh)

POijRビット: IIO0iR~IIO11iRレジスタのビット

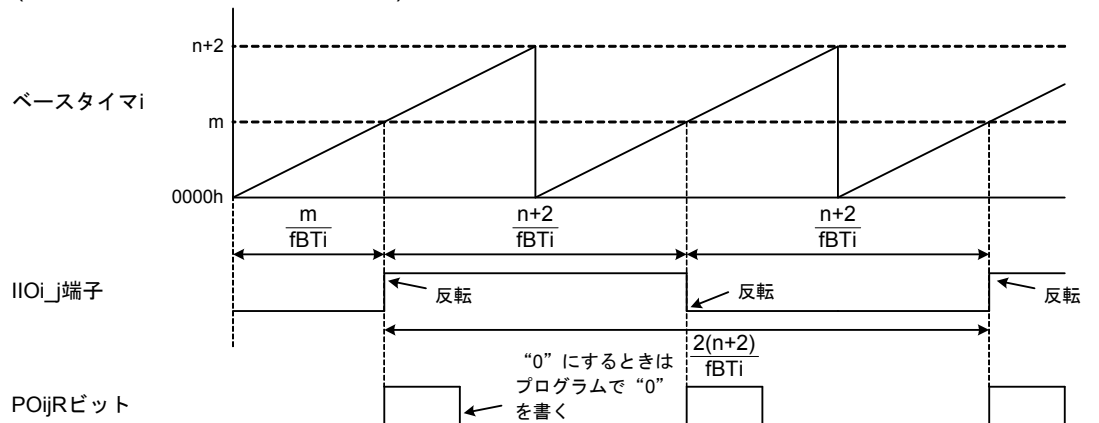
注1. GiPOCRjレジスタのINVビットが“0” (出力を反転しない)、IVLビットが“0” (初期値として“L”を出力)のときの波形です。

注2. INVビットが“0” (出力を反転しない)、IVLビットが“1” (初期値として“H”を出力)のときの波形です。

この図は以下の条件の場合です。

- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)

(2)ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



j=1~7

m: GiPOjレジスタ値 (0000h~FFFFh)

n: GiPO0レジスタ値 (0001h~FFFDh)

POijRビット: IIO0iR~IIO11iRレジスタのビット

この図は以下の条件の場合です。

- ・ GiPOCRjレジスタのIVLビットが“0” (初期値として“L”を出力)、INVビットが“0” (出力を反転しない)
- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)
- ・ $m < n + 2$

図 22.23 反転波形出力モード時の動作例 (i=0, 1)

22.3.3 セット-リセット波形出力(SR波形出力)モード

ベースタイマとGiPOjレジスタ(i=0, 1, j=0, 2, 4, 6)の値が一致するとIIOi_j端子の出力レベルは“H”になり、ベースタイマとGiPOkレジスタ(k=j+1)の値が一致するか、ベースタイマが“0000h”になると“L”になります。GiPOCRjレジスタ(j=0~7)のIVLビットを“1”(初期値として“H”を出力)にすると、波形出力開始時の出力レベルは“H”になります。INVビットを“1”(出力を反転する)にすると、出力波形のレベルを反転して出力します。詳細は、図 22.24を参照してください。表 22.9にSR波形出力モードの仕様を示します。

表 22.9 SR波形出力モードの仕様 (i=0, 1)

項目	仕様
出力波形(注1)	<ul style="list-style-type: none"> フリーラン動作(GiBCR1レジスタのRST2~RST0ビットが“000b”)の場合 <ol style="list-style-type: none"> $m < n$の場合 <ul style="list-style-type: none"> “H”幅: $\frac{n-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ (注2) + $\frac{65536-n}{fBTi}$ (注3) $m \geq n$の場合 <ul style="list-style-type: none"> “H”幅: $\frac{65536-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ <p>m: GiPOjレジスタ (j=0, 2, 4, 6)の設定値 n: GiPOkレジスタ (k=j+1)の設定値 m、nの値は0000h~FFFFh</p> ベースタイムとGiPO0レジスタが一致したとき、ベースタイムを“0000h”にする (RST2~RST0ビットが“010b”)場合(注4) <ol style="list-style-type: none"> $m < n < p + 2$の場合 <ul style="list-style-type: none"> “H”幅: $\frac{n+m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ (注2) + $\frac{p+2-n}{fBTi}$ (注3) $m < p + 2 \leq n$の場合 <ul style="list-style-type: none"> “H”幅: $\frac{p+2-m}{fBTi}$ “L”幅: $\frac{m}{fBTi}$ $m \geq p + 2$の場合、出力レベルは“L”固定 <ul style="list-style-type: none"> p: GiPO0のレジスタ設定値 m: GiPOjレジスタ (j=2, 4, 6)の設定値 n: GiPOkレジスタ (k=j+1)の設定値 pの値は0001h~FFFDh m、nの値は0000h~FFFFh
波形出力開始条件(注5)	GiFEレジスタのIFEqビット(q=0~7)を“1”(チャネルqの機能を動作)にする
波形出力停止条件	GiFEレジスタのIFEqビットを“0”(チャネルqの機能を停止)にする
割り込み要求	ベースタイム値とGiPOjレジスタ値が一致したとき、インテリジェントI/O割り込み要求レジスタのPOijRビットが“1”になり、ベースタイム値とGiPOkレジスタ値の値が一致したとき、POikRビットが“1”(割り込み要求あり)になる(図 10.15参照)
IIOi _j 端子(出力)	パルス出力
選択機能	<ul style="list-style-type: none"> 初期値設定機能 波形出力開始時の出力レベルを設定 反転出力機能 出力波形のレベルを反転して、IIOi_j端子から出力

注1. GiPOCRjレジスタのINVビットが“1”(出力を反転する)の場合、“L”幅と“H”幅は逆になります。

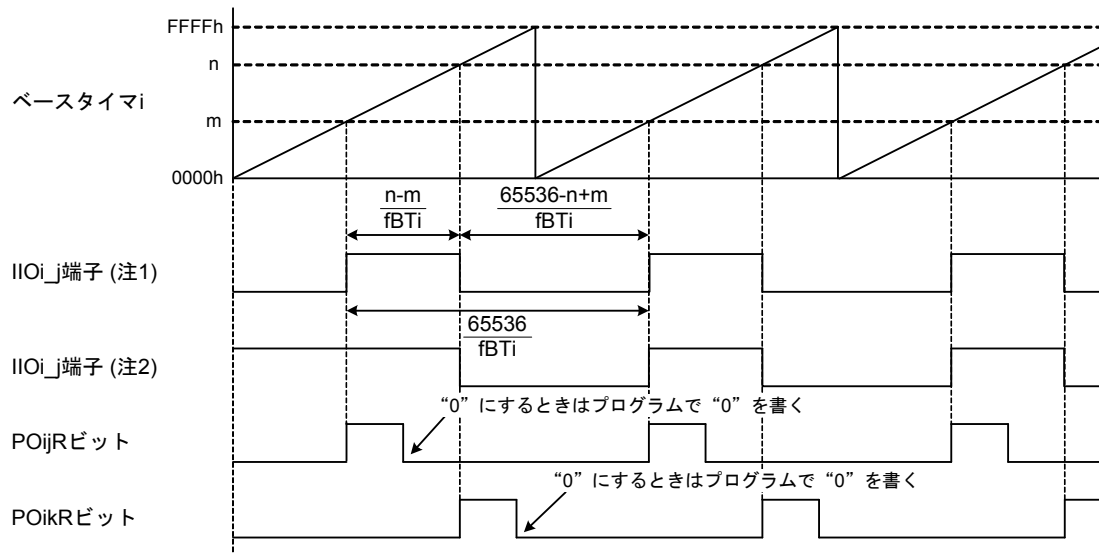
注2. ベースタイムをリセットしてから出力レベルが“H”になるまでの期間

注3. 出力レベルが“L”になってから、ベースタイムをリセットするまでの期間

注4. GiPO0レジスタとベースタイムの一致でベースタイムをリセットする場合、チャネル0、1のSR波形生成機能は使用できません。

注5. 時間計測機能と波形生成機能が共用されているチャネルを使用する場合、GiFSレジスタのFSCjビットを“0”(波形生成機能を選択)にしてください。

(1)フリーラン動作の場合 (GiBCR1レジスタのRST2~RST0ビットが“000b”)



$j=0, 2, 4, 6, k=j+1$

m: GiPOjレジスタ値 (0000h~FFFFh)

n: GiPOkレジスタ値 (0000h~FFFFh)

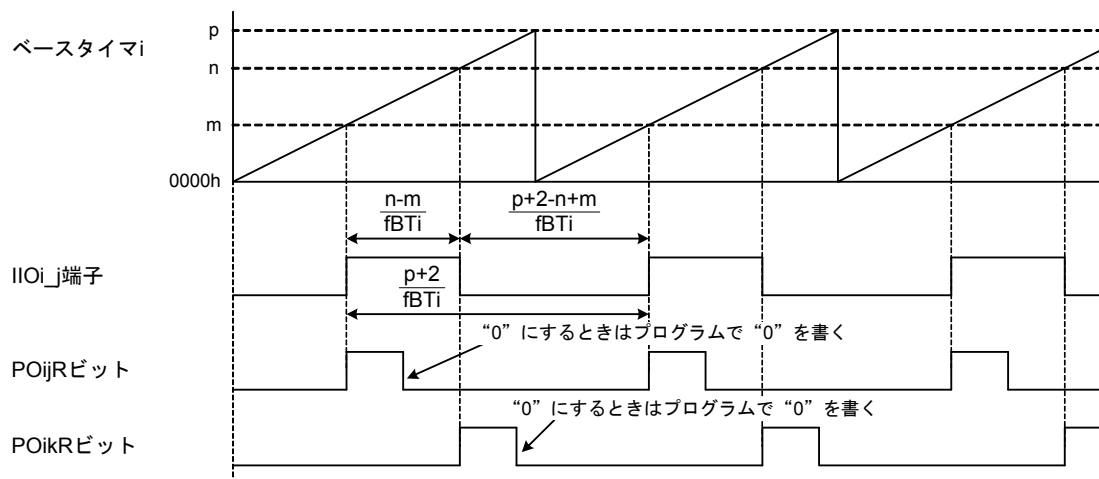
POijRビット、POikRビット: IIO0iR~IIO11iRレジスタのビット

注1. GiPOCRjレジスタのINVビットが“0” (出力を反転しない)、IVLビットが“0” (初期値として“L”を出力)のときの波形です。
注2. INVビットが“0” (出力を反転しない)、IVLビットが“1” (初期値として“H”を出力)のときの波形です。

この図は以下の条件の場合です。

- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)
- ・ $m < n$

(2)ベースタイマとGiPO0レジスタが一致する時、ベースタイマをリセットする場合 (RST2~RST0ビットが“010b”)



$j=2, 4, 6, k=j+1$

m: GiPOjレジスタ値 (0000h~FFFFh)

n: GiPOkレジスタ値 (0000h~FFFFh)

p: GiPO0レジスタ値 (0001h~FFFDh)

POijRビット、POikRビット: IIO0iR~IIO11iRレジスタのビット

この図は以下の条件の場合です。

- ・ GiPOCRkレジスタのIVLビットが“0” (初期値として“L”を出力)、INVビットが“0” (出力を反転しない)
- ・ GiBCR1レジスタのUD1~UD0ビットが“00b” (アップカウントモード)
- ・ $m < n < p + 2$

図 22.24 SR波形出力モードの動作例 ($i=0, 1$)

22.3.4 位相シフト波形出力モード

PWMの出力をチャンネルごとに位相シフトさせて出力するモードです。スイッチングノイズの低減、瞬間消費電流の低減に効果があります。

GiPOCR_jレジスタ(i=0, 1, j=0~7)のMOD2~MOD0ビットを“000b”(単相波形出力モード)、IVLビットを“0”(初期値として“L”を出力)、BTREビットを“1”(ベースタイマのビット9のオーバフローでベースタイマをリセットする)、INVビットを“1”(出力を反転する)に、GiBCR0レジスタのITビットを“0”(ビット15またはビット9のオーバフローで割り込み)に設定して使用します。

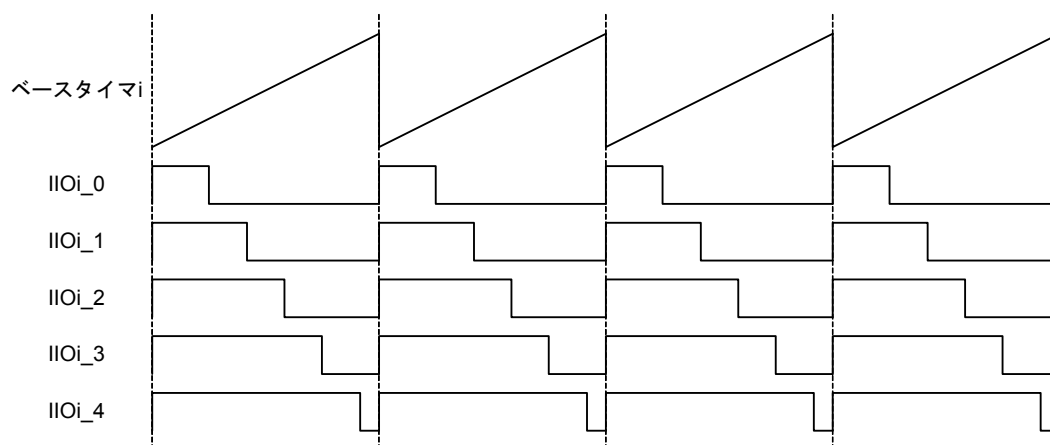
このとき位相シフト波形出力モードが無効の場合、ベースタイマとGiPO_jレジスタの値が一致するとIIO_i_j端子の出力レベルが“L”になり、ベースタイマが“0000h”になると“H”になります(図22.25の(1)参照)。

位相シフト波形出力モードが有効の場合、IIO_i_j端子の出力レベルが“H”になるタイミングを位相シフタによって制御します。位相シフタに入力される位相シフトクロックは、ベースタイマのカウンタソースfBT_iをm+1分周器で分周したクロックになります。位相シフトクロックが入力されるごとにIIO_i_0端子から順に出力レベルが“H”になって行きます(図22.25の(2)参照)。m+1分周器のリロードと位相シフタのリセットは、ベースタイマオーバフロー割り込み信号BTiRによって行われます。

位相シフト波形出力モードにおける特殊な場合の出力波形例を図22.26に示します。また、全チャンネルを位相シフト波形出力モードに設定し、位相シフトクロックを最低速にした場合には、チャンネル7用の位相シフトクロックが生成されないため、IIO_i_7からは常に“L”が出力されます。

位相シフト波形出力モードでは、常時“L”出力はできませんので、出力機能選択レジスタで当該端子をポートに切り替えて代用ください。

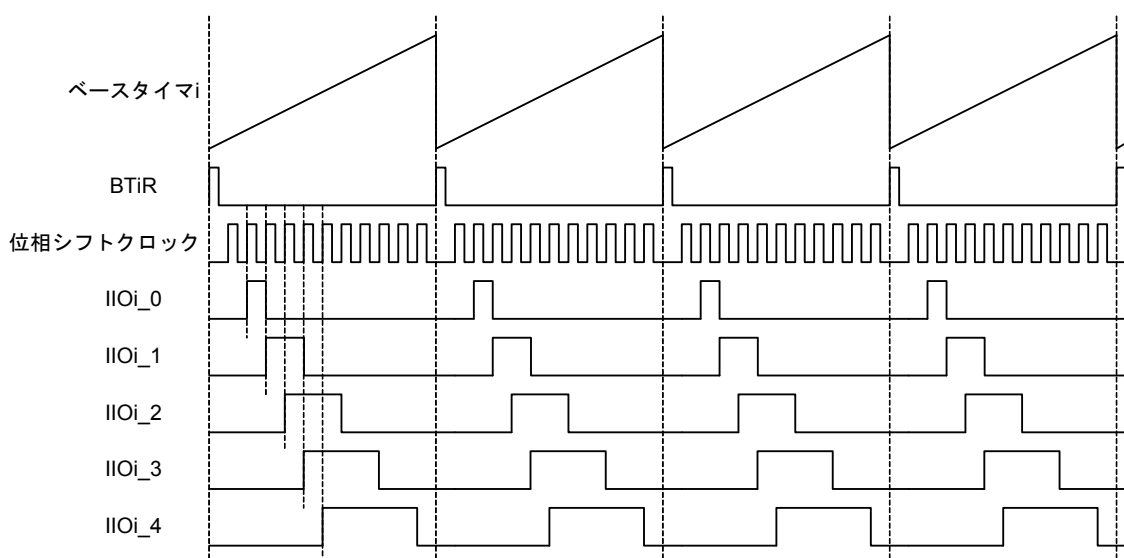
(1) 位相シフト波形出力モード無効のときの出力波形



この図は以下の条件の場合です。

- GiPSCRレジスタのPSMEビットが“0” (位相シフト波形出力モード無効)
- GiPOCRjレジスタ (j=0~4) のMOD2~MOD0ビットが“000b” (単相波形出力モード)、IVLビットが“0” (初期値として“L”を出力)、INVビットが“1” (出力を反転する)
- GiBCR1レジスタのRST2~RST0ビットが“000b” (ベースタイマをリセットしない)、UD1~UD0ビットが“00b” (アップカウントモード)

(2) 位相シフト波形出力モード有効のときの出力波形



この図は以下の条件の場合です。

- GiPSCRレジスタのPSMEビットが“1” (位相シフト波形出力モード有効)、PSS1~PSS0ビットが“00b” (IIOi_0~IIOi_4を使用)
- GiPOCRjレジスタ (j=0~4) のMOD2~MOD0ビットが“000b” (単相波形出力モード)、IVLビットが“0” (初期値として“L”を出力)、BTREビットが“1” (ベースタイマのビット9のオーバーフローでベースタイマをリセットする)、INVビットが“1” (出力を反転する)
- GiBCR0レジスタのITビットが“0” (ビット15またはビット9のオーバーフローで割り込み)
- GiBCR1レジスタのRST2~RST0ビットが“000b” (ベースタイマをリセットしない)、UD1~UD0ビットが“00b” (アップカウントモード)

図 22.25 位相シフト波形出力モードの動作例(1) (i=0, 1)

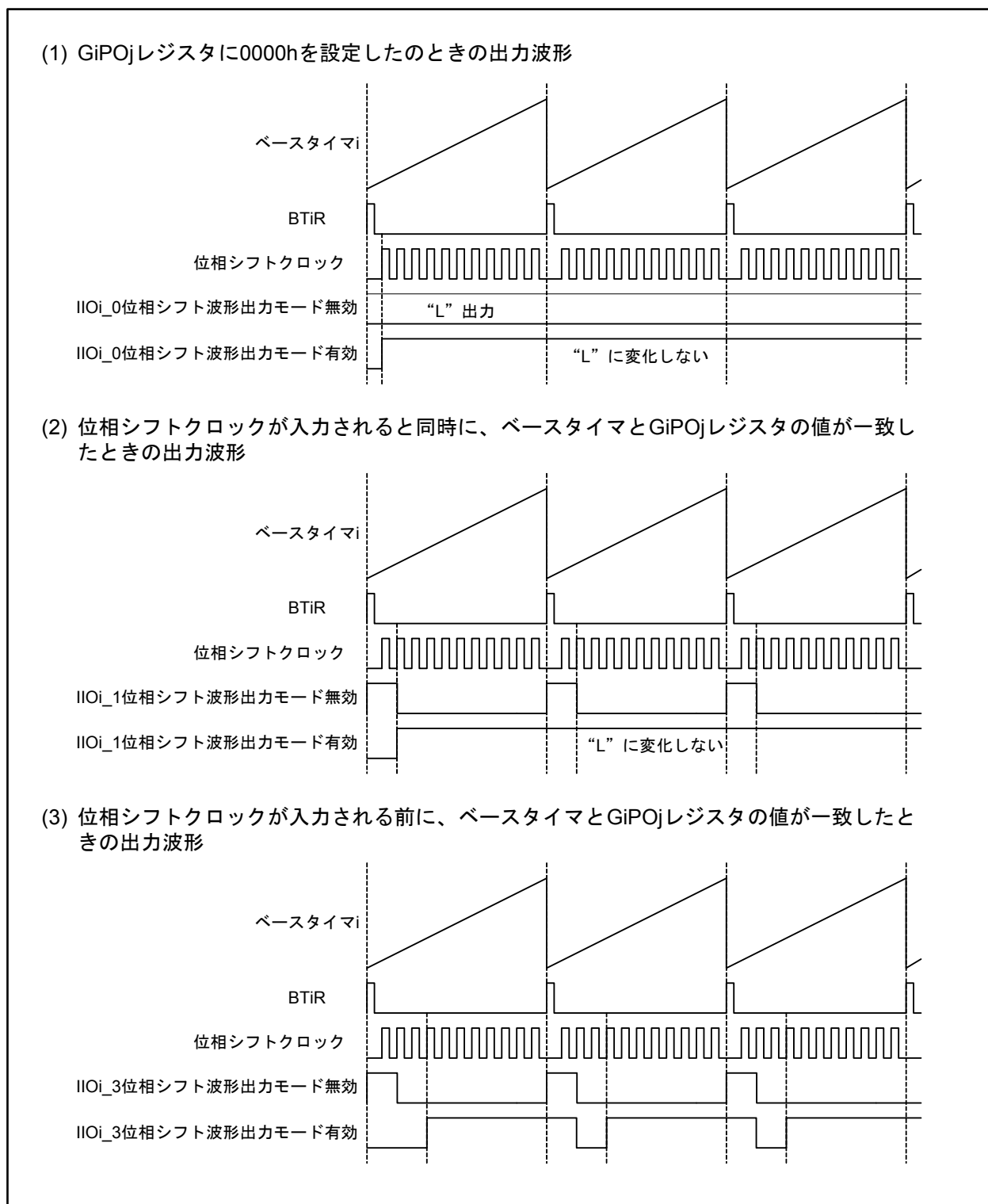


図 22.26 位相シフト波形出力モードの動作例(2) (i=0, 1、j=0~7)

22.3.5 デジタルデバウンス回路

IIO0_7端子、IIO1_7端子からの入力は、ノイズ除去に有効なデジタルデバウンス機能を持ちます。デジタルデバウンス機能は、信号の立ち上がりエッジまたは立ち下がりエッジが入力された後、プログラムで設定したフィルタ幅より長くレベルが保持された時点で、信号レベルが確定されます。

なお、IIO0_7入力信号、IIO1_7入力信号と機能を共有している他の信号には影響を与えません。

図 22.27にIC07DDR、IC17DDRレジスタを示します。

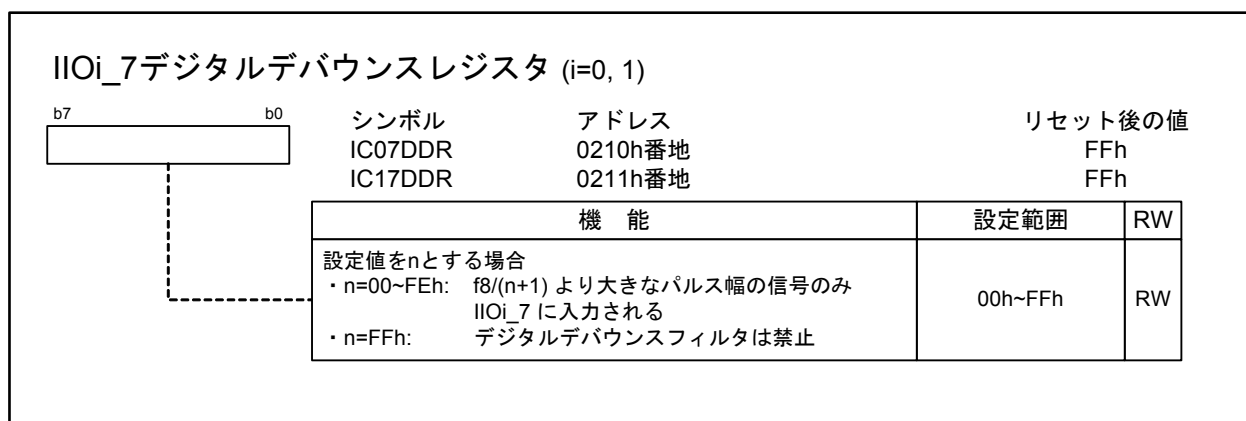


図 22.27 IC07DDR、IC17DDRレジスタ

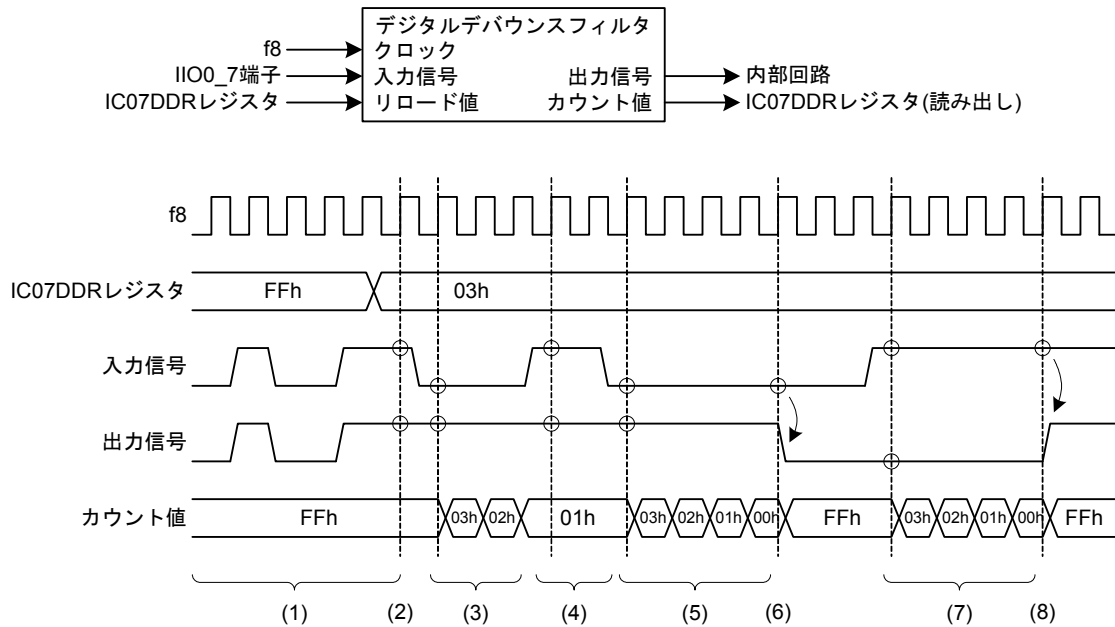
IIO_i_7(i=0, 1)デジタルデバウンス回路内のカウンタは、f8をカウントソースとするダウンカウンタです。IIO_i_7端子のレベルが変化すると、IC_i7DDRレジスタに設定した値がカウンタにリロードされ、カウントが再開されます。IC_i7DDRレジスタを読むと、カウント中の値が読み出せます。

カウンタの値が“00h”になった次のf8の立ち上がりに同期して、IIO_i_7端子への入力信号がデジタルデバウンス回路から出力されます。

デジタルデバウンス機能を使用する場合、IC_i7DDRレジスタに設定可能な値は“00h”~“FEh”です。“FFh”を設定するとデジタルデバウンスフィルタなしとなり、入力信号がそのまま内部に伝達されます。

図 22.28にデジタルデバウンスフィルタの動作例を示します。

IIO0_7信号のデジタルデバウンス機能、IC07DDR=03hのときの例



- (1) リセット後はIC07DDR=FFhですから、フィルタは無効です。入力信号がそのまま出力されます。
- (2) IC07DDRレジスタに“03h”を設定した後、入力と出力のレベルが同じ場合はカウンタは停止しています。
- (3) 入出力信号のレベルの不一致を検出すると、カウンタはIC07DDRレジスタの設定値をリロードし、カウントを開始します。
- (4) カウント中に入出力のレベルが一致すると、カウンタは停止します。入力信号の“L”パルス幅が短い時は、カウンタが“00h”にならないため出力は変化しません。
- (5) 再び入出力信号のレベルの不一致を検出すると、カウンタはIC07DDRレジスタの設定値をリロードし、カウントを開始します。
- (6) カウンタが“00h”になった次のf8の立ち上がりに同期して、入力信号のレベル“L”が伝搬され出力信号が“L”になります。カウンタは停止します。
- (7) 再び入出力信号のレベルの不一致を検出すると、カウンタはIC07DDRレジスタの設定値をリロードし、カウントを開始します。
- (8) カウンタが“00h”になった次のf8の立ち上がりに同期して、入力信号のレベル“H”が伝搬され出力信号が“H”になります。カウンタは停止します。

なお、IC07DDRレジスタに“FFh”を設定すると、f1が1.5~2.5サイクル入った後にカウンタの値が“FFh”になり、カウントが停止します。また、同じタイミングでフィルタが無効になり、入力信号がそのまま出力されます。

図 22.28 デジタルデバウンスフィルタの動作例

23. シリアルバスインタフェース

シリアルバスインタフェースは2チャンネル(SBI0, SBI1)あります。

SBI i ($i=0, 1$)は、それぞれ専用の送受信クロック発生用分周回路を持ち、独立して動作します。

SBI i には、以下のモードがあります。

- クロック同期式シリアル通信モード
- 4線式シリアルバスモード

これらのモードはSSiMR2レジスタのSSUMSビットで選択することができます。

モードの選択によって一部レジスタのビットの機能、名称、シンボルが変化します。

23.1 クロック同期式シリアル通信モードおよび4線式シリアルバスモード

クロック同期式シリアル通信モードと4線式シリアルバスモードは、SSiMR2レジスタ(i=0, 1)のSSUMSビットで切り替えて使用します。

表 23.1、図 23.1 にクロック同期式シリアル通信モードの仕様とブロック図を、表 23.2、図 23.2 に4線式シリアルバスモードの仕様とブロック図を示します。

図 23.3~図 23.11に関連するレジスタを示します。

表 23.1 クロック同期式シリアル通信モードの仕様(i=0, 1)

項目	仕様
データフォーマット	キャラクタ長: 8ビット固定
マスタ/スレーブデバイス	選択可能
入出力端子	SSCKi (入出力): クロック入出力端子 SSli (入力): データ入力端子 SSOi (出力): データ出力端子
送受信クロック	<ul style="list-style-type: none"> SSiCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作): 外部クロック(SSCKi端子から入力) SSiCRHレジスタのMSSビットが“1”(マスタデバイスとして動作): 内部クロック(SSCKi端子から出力) $\frac{f_{(BCLK)}}{n}$ $f_{(BCLK)}: \text{周辺バスクロック周波数}$ $n: 4, 8, 16, 32, 64, 128, 256 \text{ から選択}$
送信開始条件	<ul style="list-style-type: none"> SSiERレジスタのTEビットが“1”(送信許可) SSiSRレジスタのTDREビットが“0”(未送信データあり) SSiSRレジスタのORERビットが“0”(オーバランエラーなし) SSiCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)の場合、SSCKi端子からクロック入力
受信開始条件	<ul style="list-style-type: none"> SSiERレジスタのREビットが“1”(受信許可) SSiSRレジスタのORERビットが“0”(オーバランエラーなし) SSiCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の場合、SSiRDRレジスタをリード、SSiCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)の場合、SSCKi端子からクロック入力
エラー検出	<ul style="list-style-type: none"> オーバランエラー SSiSRレジスタのRDRFビットが“1”(受信データあり)の状態、次のシリアルデータ受信を完了すると発生
割り込み要求	4種類(送信完了、送信データレジスタエンプティ、受信データレジスタフル、オーバランエラー)(注1)
その他選択項目	<ul style="list-style-type: none"> ビットオーダ選択 LSBファーストまたはMSBファーストを選択できます SSCKiクロック極性選択 クロック停止時にSSCKi端子のレベルを“L”にするか“H”にするかを選択できます SSCKiクロック位相選択 データを変化させるエッジおよびデータを取り込むエッジを選択できます

注1. 割り込みベクタテーブルは1チャンネルにつき1つです。

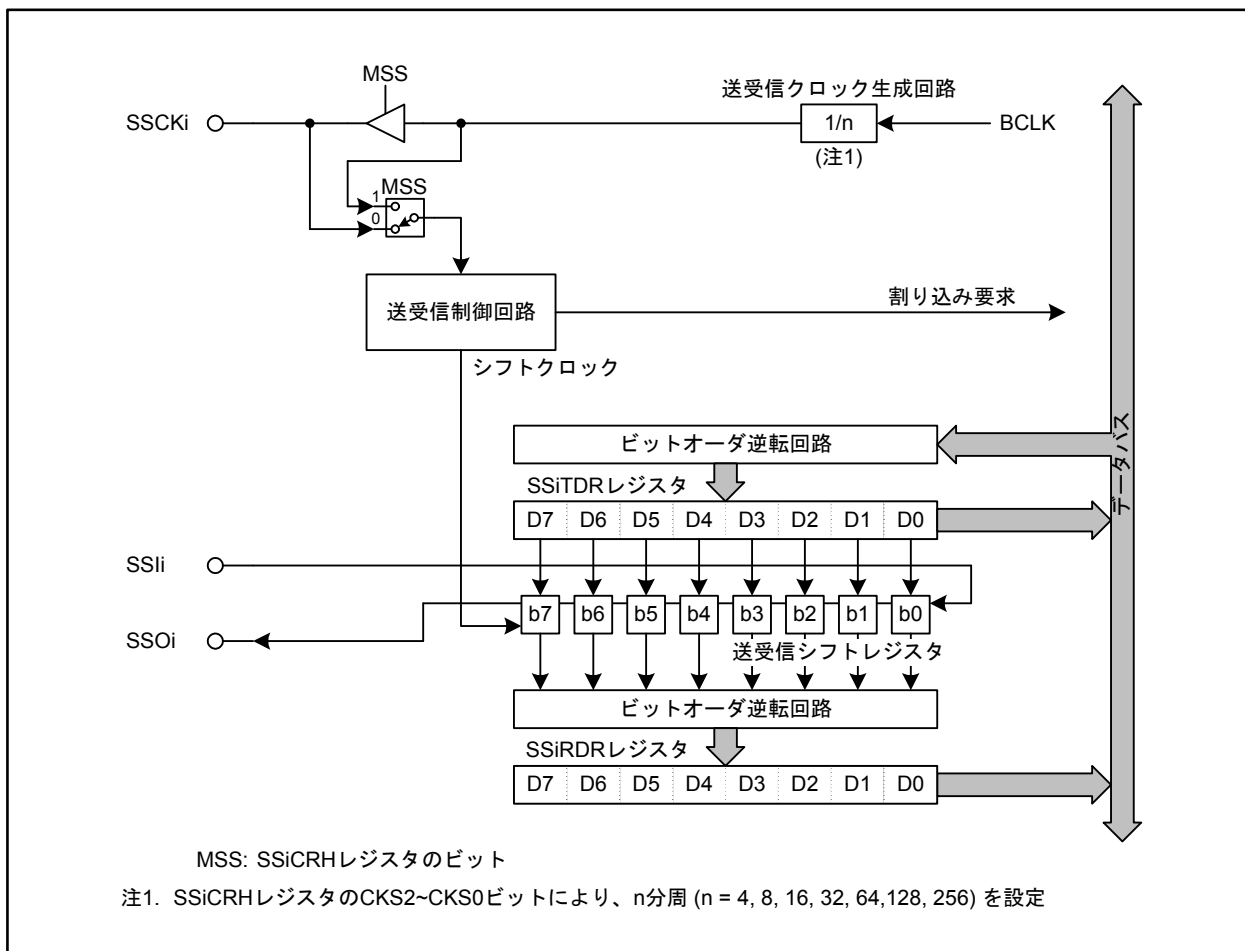


図 23.1 クロック同期式シリアル通信モードのブロック図(i=0, 1)

表 23.2 4線式シリアルバスモードの仕様(i=0, 1)

項目	仕様
データフォーマット	キャラクタ長: 8~16ビット可変
マスタ/スレーブデバイス	選択可能
入出力端子	SSCKi (入出力): クロック入出力端子 SSli (入出力): データ入出力端子 SSOi (入出力): データ入出力端子 SCSi (入出力): チップセレクト入出力端子
送受信クロック	<ul style="list-style-type: none"> SSiCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作): 外部クロック(SSCKi端子から入力) SSiCRHレジスタのMSSビットが“1”(マスタデバイスとして動作): 内部クロック(SSCKi端子から出力) $\frac{f_{(BCLK)}}{n}$ $f_{(BCLK)}: \text{周辺バスクロック周波数}$ $n: 4, 8, 16, 32, 64, 128, 256 \text{ から選択}$
送信開始条件	<ul style="list-style-type: none"> SSiERレジスタのTEビットが“1”(送信許可) SSiSRレジスタのTDREビットが“0”(未送信データあり) SSiSRレジスタのORERビットが“0”(オーバランエラーなし) SSiCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)の場合、SCSi端子が“L”でSSCKi端子からクロック入力
受信開始条件	<ul style="list-style-type: none"> SSiERレジスタのREビットが“1”(受信許可) SSiSRレジスタのORERビットが“0”(オーバランエラーなし) SSiCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の場合、SSiERレジスタのTEビットが“0”(送信禁止)の状態、SSiRDRレジスタをリード、SSiCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)の場合、SSCKi端子からクロック入力
エラー検出	<ul style="list-style-type: none"> オーバランエラー SSiSRレジスタのRDRFビットが“1”(受信データあり)の状態、次のシリアルデータ受信を完了すると発生 コンフリクトエラー <ul style="list-style-type: none"> SSiCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の状態、シリアル通信を開始しようとしたとき、SCSi端子が“L”であると発生 SSiCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)のとき、転送途中にSCSi端子入力が“L”から“H”に変化すると発生
割り込み要求	5種類(送信完了、送信データレジスタエンpty、受信データレジスタフル、オーバランエラー、コンフリクトエラー)(注1)
その他選択項目	<ul style="list-style-type: none"> ビットオーダ選択 LSBファーストまたはMSBファーストを選択できます SSCKiクロック極性選択 クロック停止時にSSCKi端子のレベルを“L”にするか“H”にするかを選択できます SSCKiクロック位相選択 データを変化させるエッジおよびデータを取り込むエッジを選択できます

注1. 割り込みベクタテーブルは1チャンネルにつき1つです。

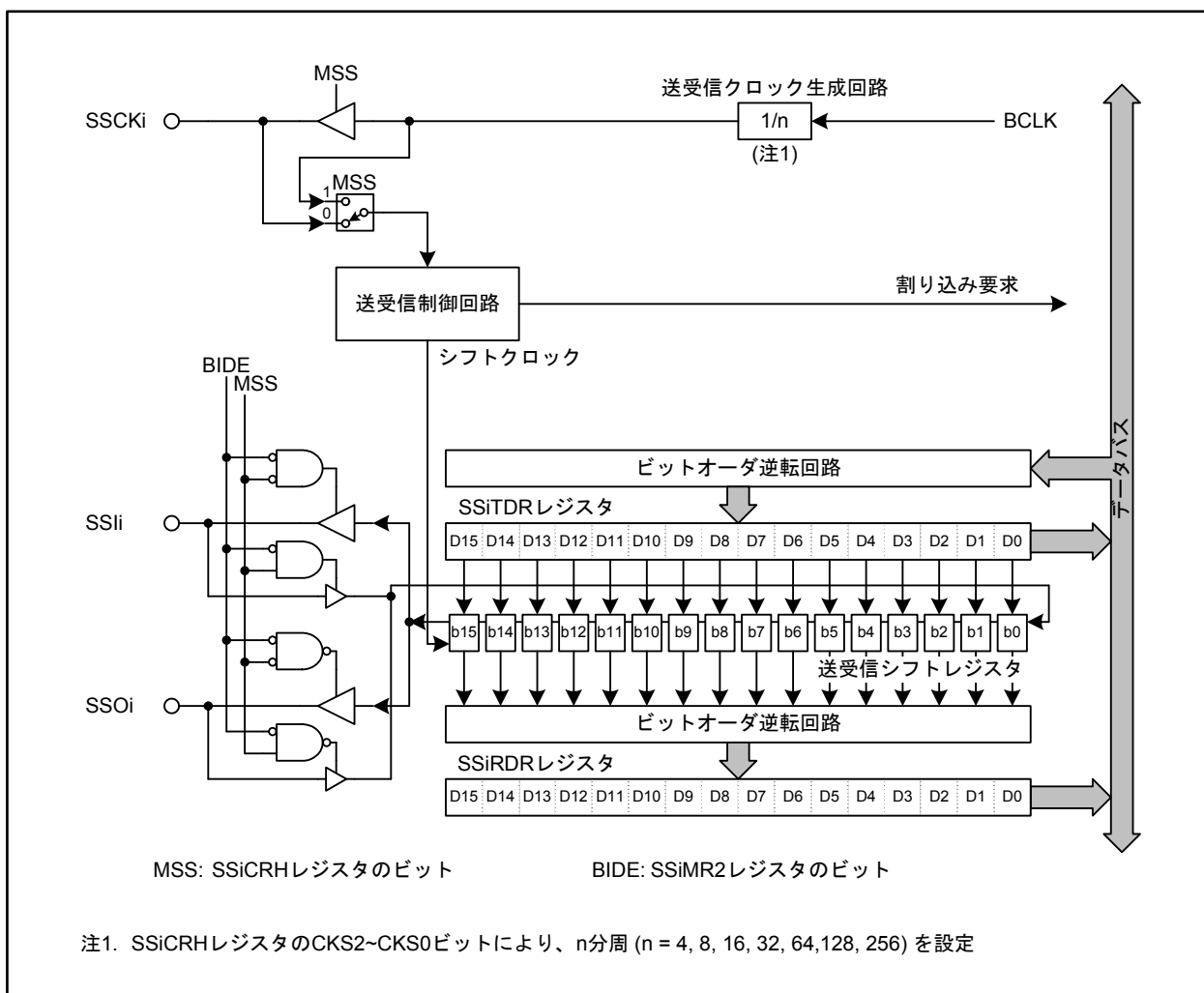


図 23.2 4線式シリアルバスモードのブロック図(i=0, 1)

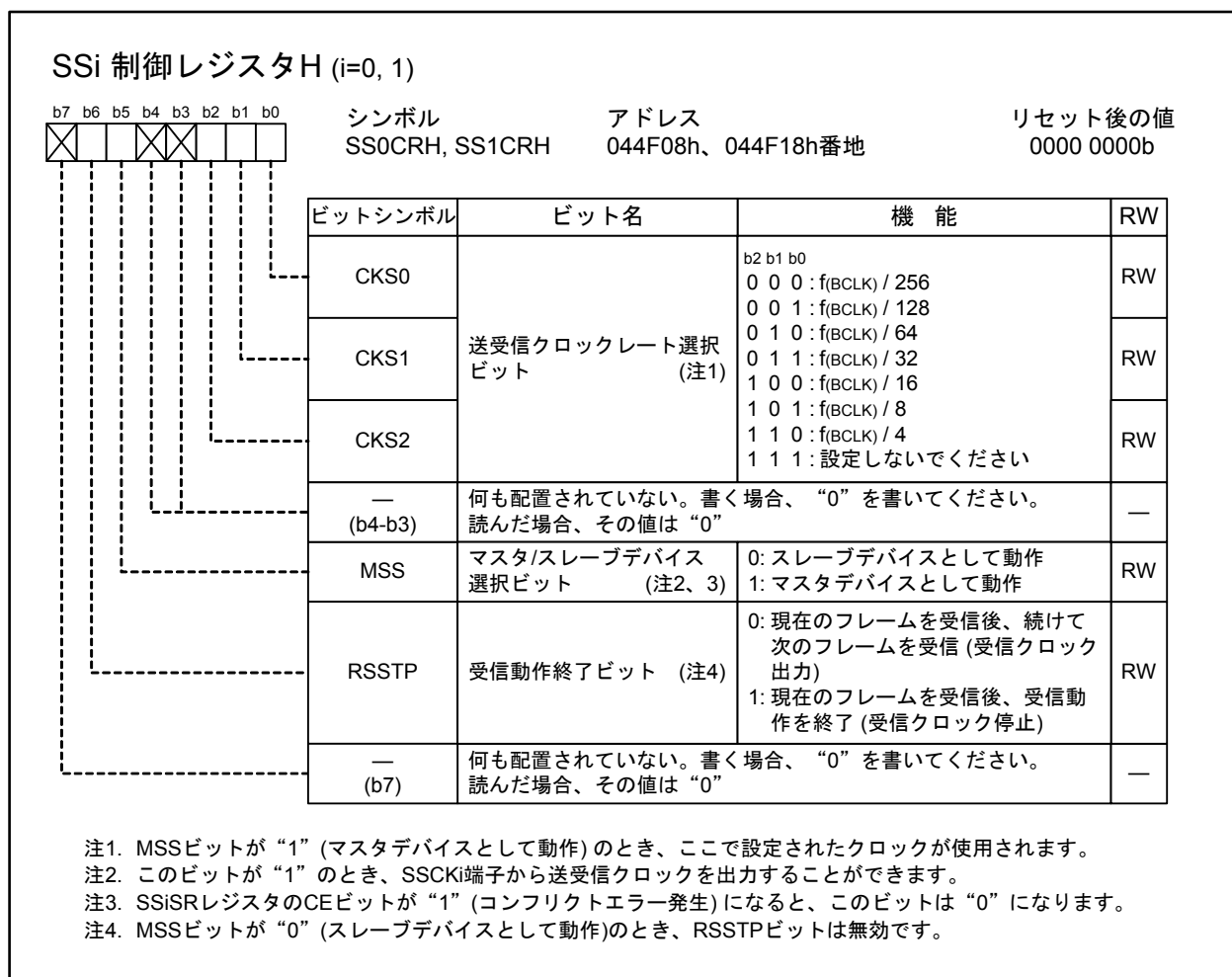


図 23.3 SS0CRH、SS1CRH レジスタ

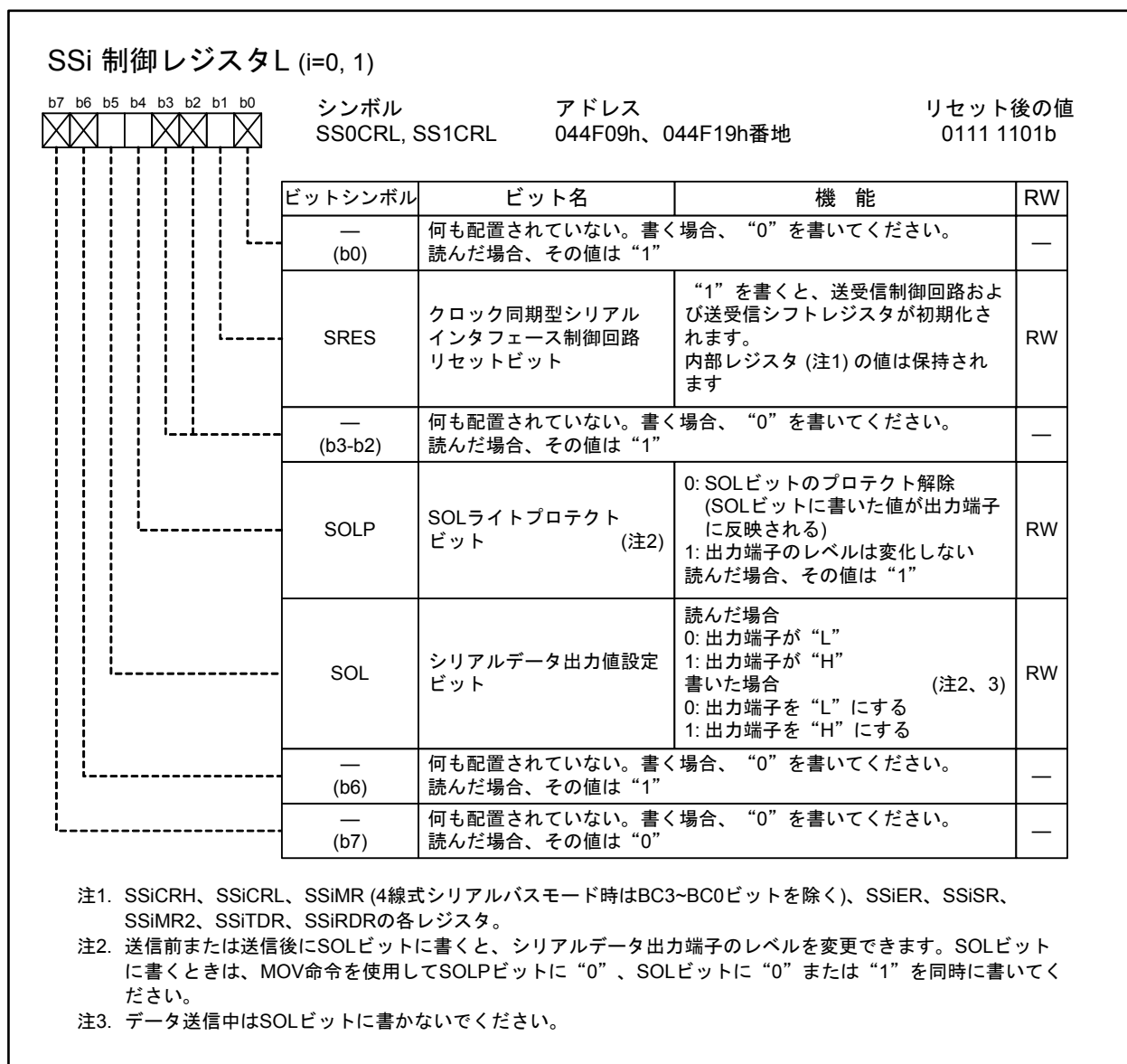


図 23.4 SS0CRL、SS1CRL レジスタ

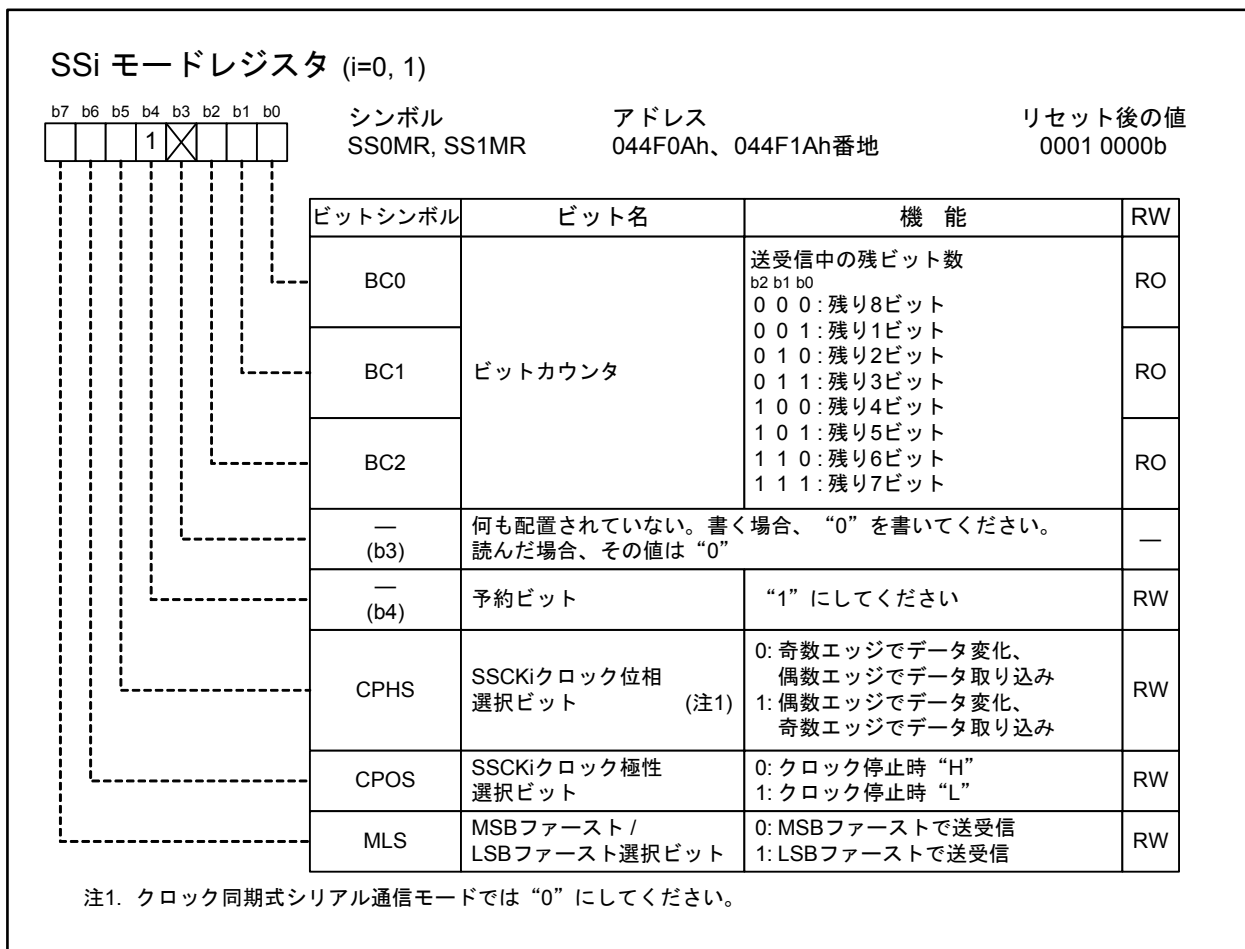


図 23.5 SS0MR、SS1MRレジスタ(クロック同期式シリアル通信モードの場合)

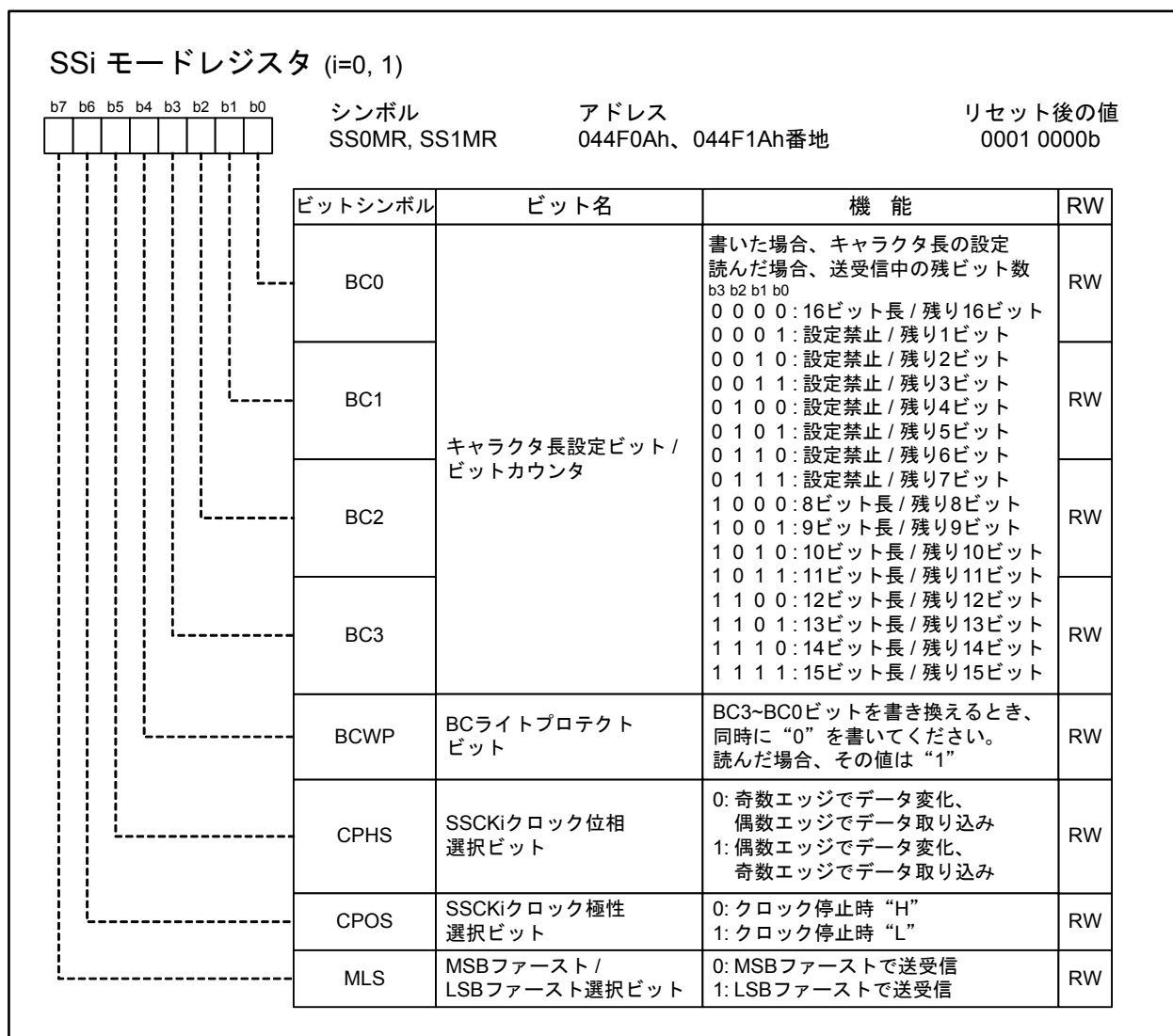


図 23.6 SS0MR、SS1MRレジスタ(4線式シリアルバスモードの場合)

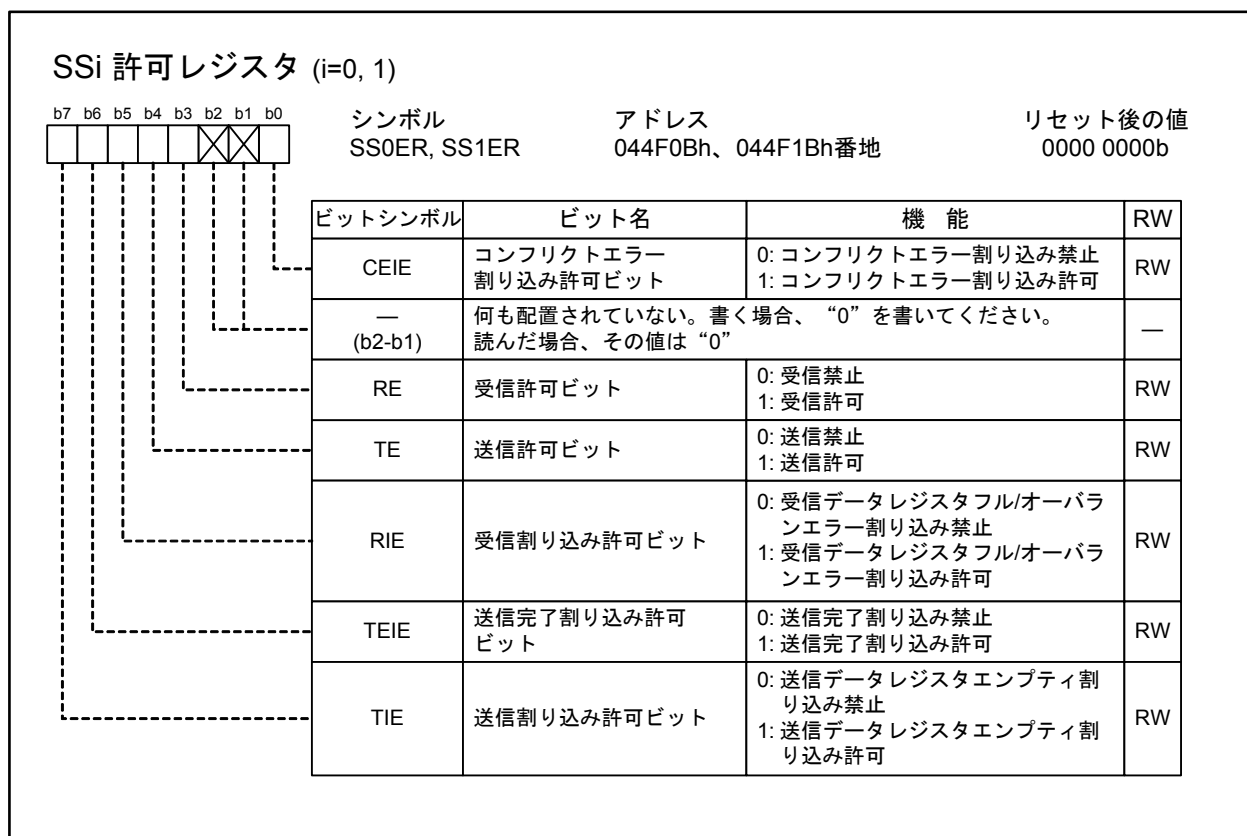


図 23.7 SS0ER、SS1ERレジスタ

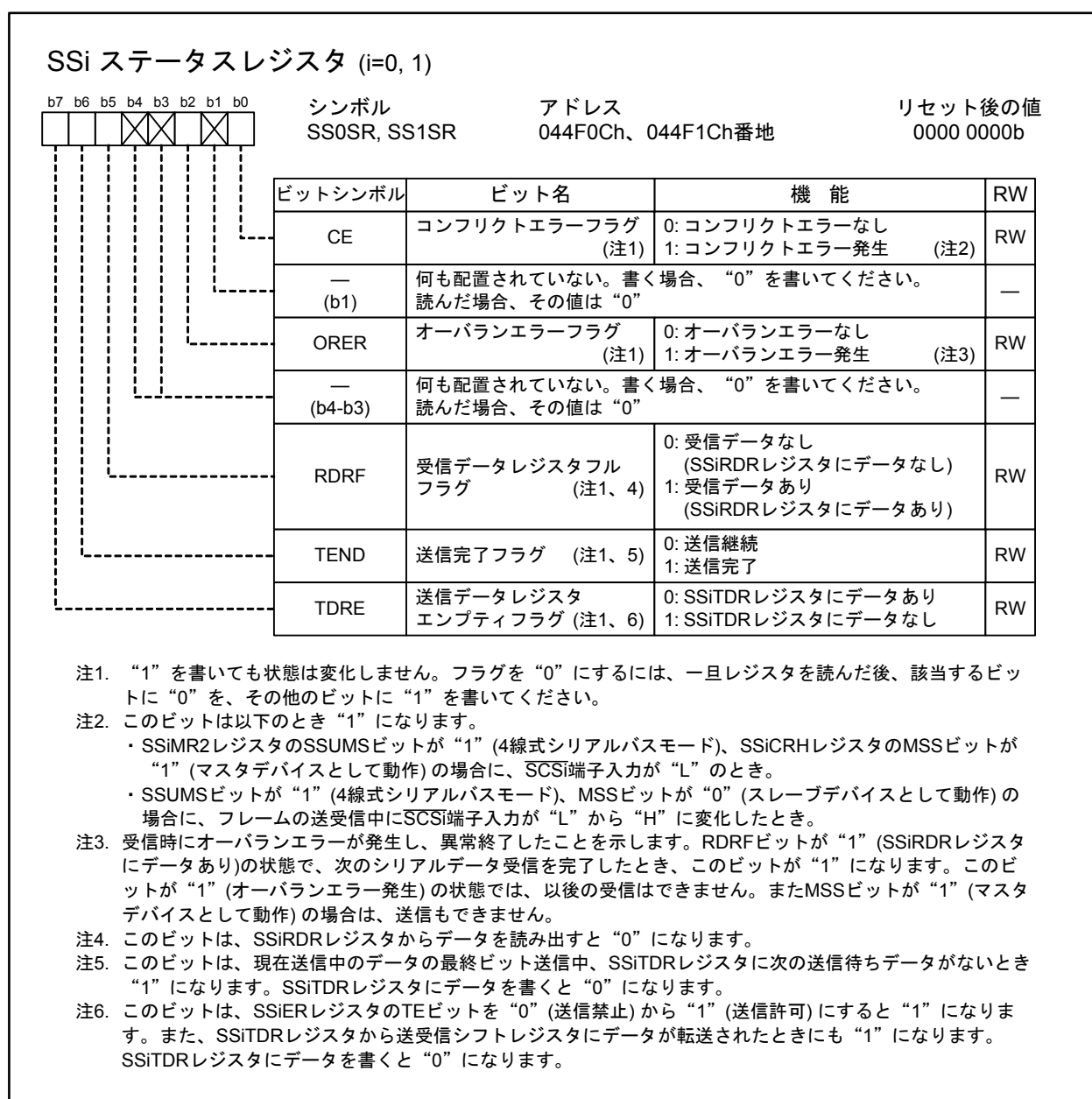


図 23.8 SS0SR、SS1SR レジスタ

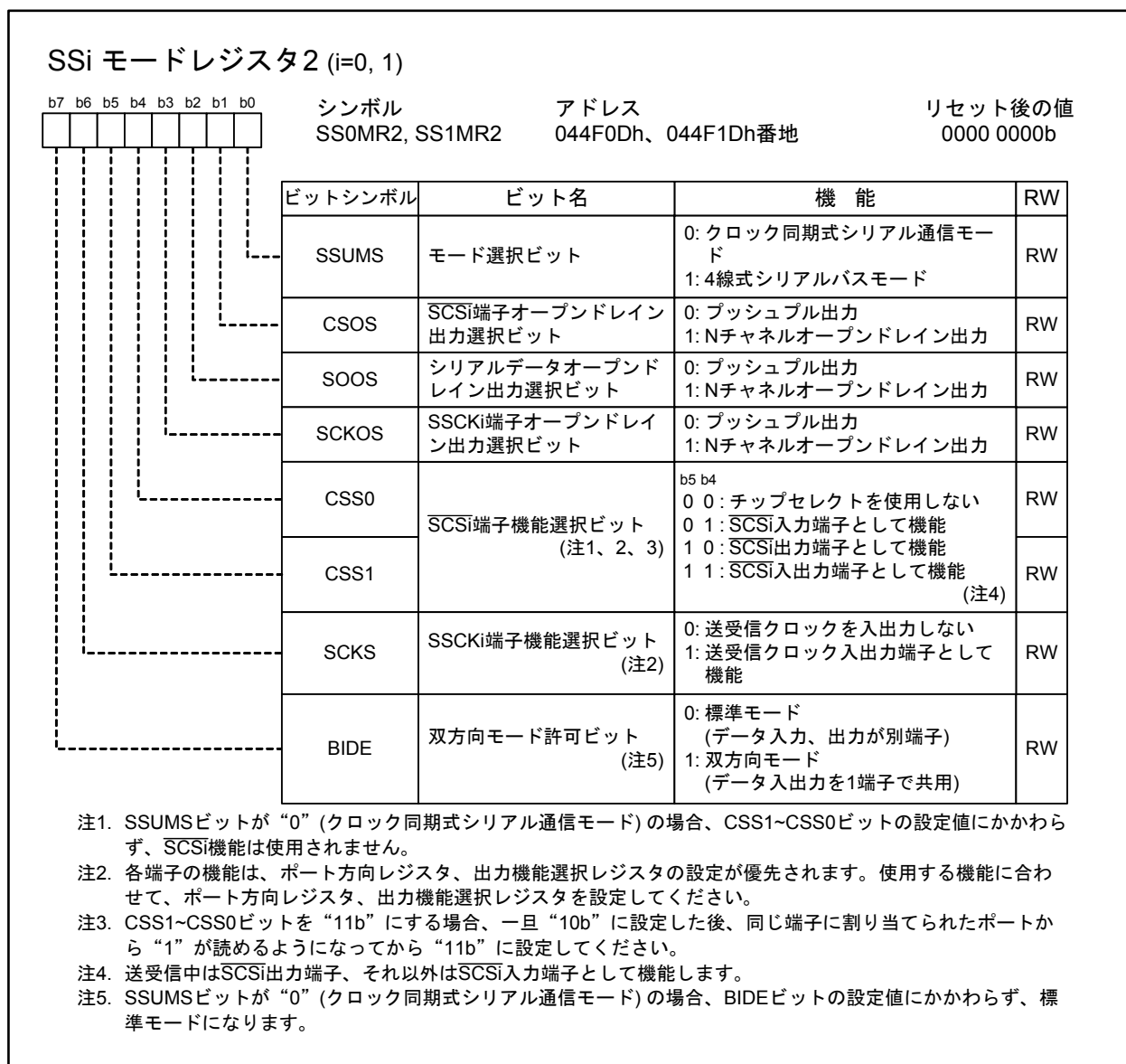


図 23.9 SS0MR2、SS1MR2 レジスタ

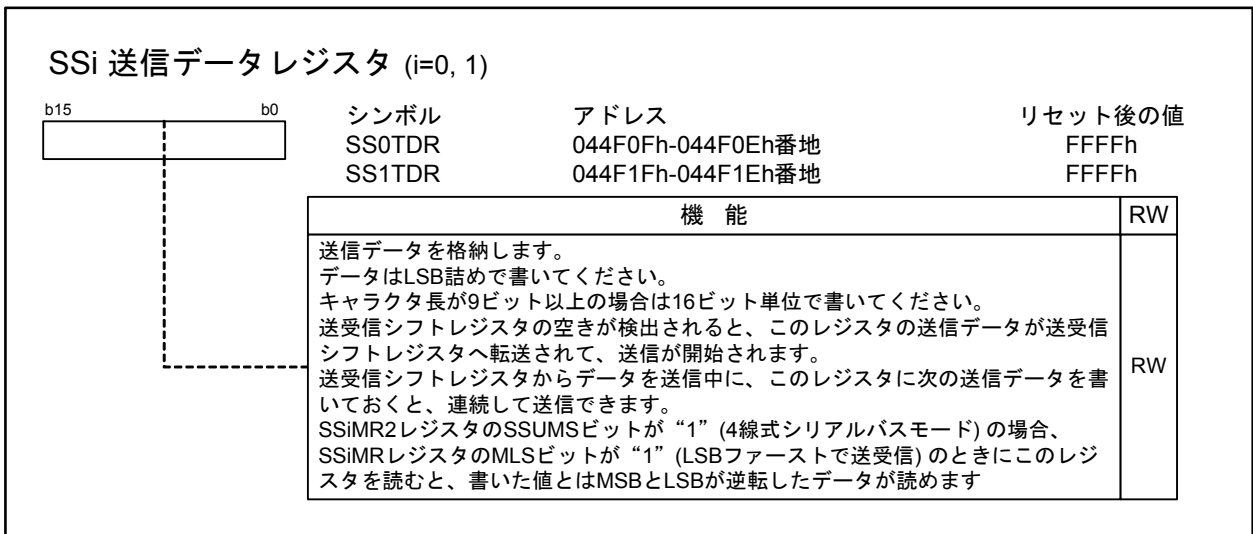


図 23.10 SS0TDR、SS1TDR レジスタ

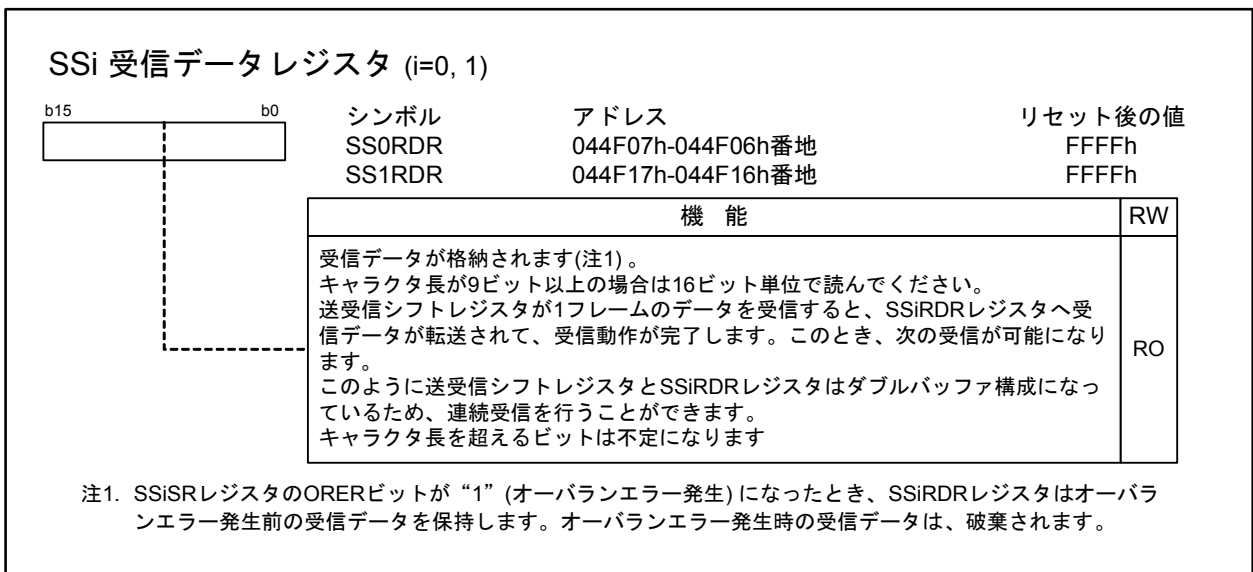


図 23.11 SS0RDR、SS1RDR レジスタ

23.1.1 送受信クロック

クロック同期式シリアル通信モードまたは4線式シリアルバスモードを使用する場合は、SSiMR2レジスタのSCKSビットを“1”にし、SSCKi端子を送受信クロック端子として設定してください。

(1) マスタデバイスとして使用する場合

SSiCRHレジスタのMSSビットが“1”(マスタデバイスとして動作)の場合、SSiCRHレジスタのCKS2~CKS0ビットで、7種類の内部クロック $f(\text{BCLK})/n$ ($n=4, 8, 16, 32, 64, 128, 256$)から送受信クロックを選択します。

また、出力機能選択レジスタで対応する端子の機能をSSCKi出力に設定し、ポート方向レジスタで対応する端子の方向を出力に設定します。

このとき、SSCKi端子はクロック出力端子になり、送受信を開始すると選択された送受信クロックがSSCKi端子から出力されます。

(2) スレーブデバイスとして使用する場合

SSiCRHレジスタのMSSビットが“0”(スレーブデバイスとして動作)の場合、外部クロックが選択されます。

このとき、ポート方向レジスタで対応する端子の方向を入力に設定すると、SSCKi端子はクロック入力端子になります。

23.1.1.1 送受信クロックの極性、位相

SSiMR2レジスタのSSUMSビット、SSiMRレジスタのCPHSビット、CPOSビットの組み合わせで、送受信クロックの極性と、送受信データに対する位相が変わります。図 23.12に送受信クロックの極性とデータに対する位相の関係を示します。

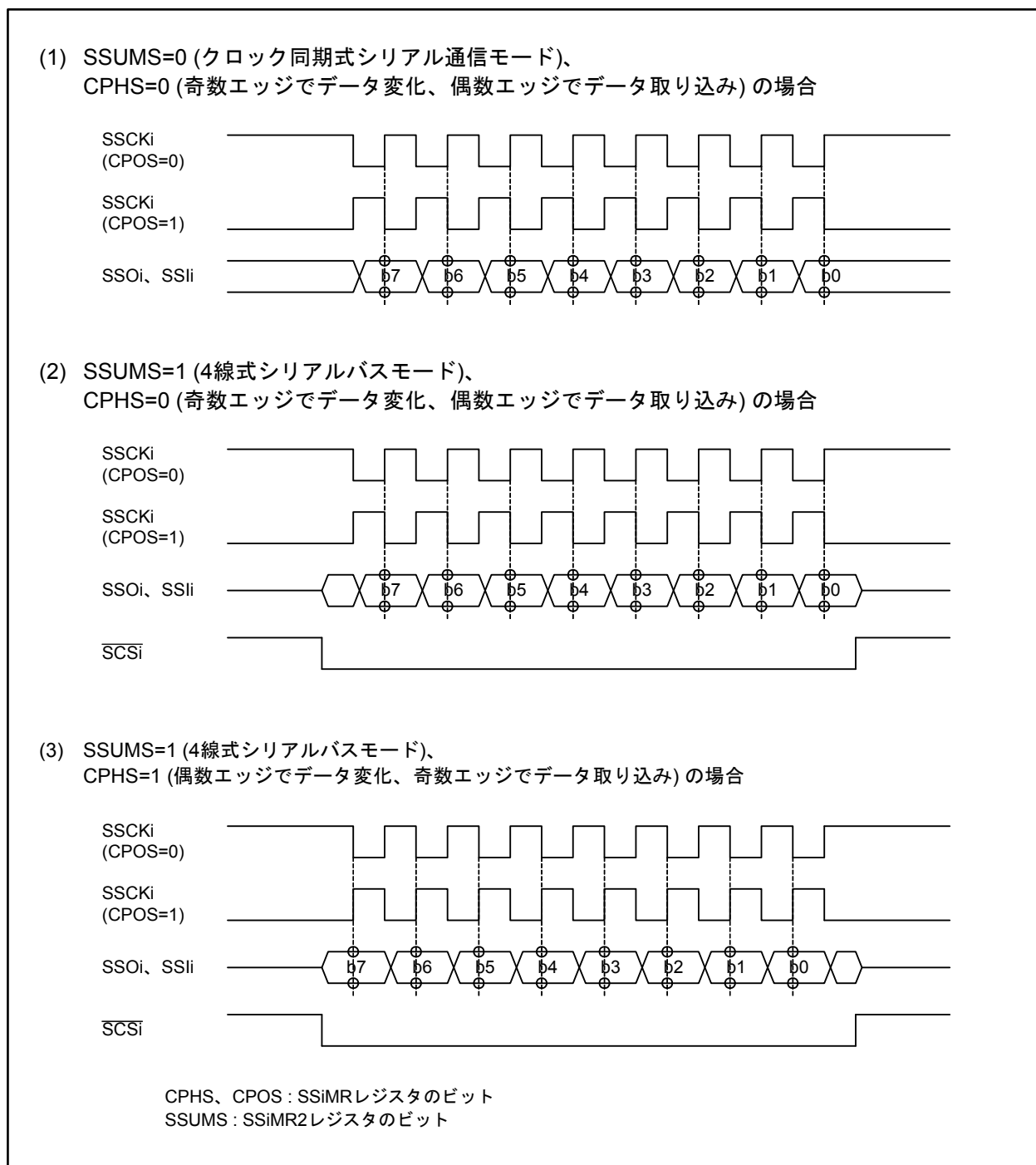


図 23.12 送受信クロックの極性とデータに対する位相の関係 (i=0, 1)

23.1.2 送受信シフトレジスタ

送受信シフトレジスタは、シリアルデータを送受信するためのシフトレジスタです。送受信シフトレジスタに転送されたデータはMSB側からシフトアウトされ、受信データはLSB側からシフトインされます。

図 23.13 に送受信シフトレジスタの動作を示します。

23.1.2.1 ビットオーダー

SSiMR レジスタのMLSビットの設定により、MSBファーストで送受信するかLSBファーストで送受信するかを選択できます。MLSビットが“1”のときは、LSBから始まり最後にMSBの順で送信され、受信時は最初のビットをLSBとして扱います。MLSビットが“0”のときは、MSBから始まり最後にLSBの順で送信され、受信時は最初のビットをMSBとして扱います。

(1) 送信時の動作

MLSビットが“0” (MSBファーストで送受信) の場合、SSiTDR レジスタには書いた値がそのまま反映されます。

MLSビットが“1” (LSBファーストで送受信) の場合、SSiTDR レジスタには、書いた値のビット順が逆転されて反映されます。このため、SSiTDR レジスタを読むと、書いた値とはビット順が逆転された値が読めます。

いずれの場合も送信データは送受信シフトレジスタにそのまま転送されます。

(2) 受信時の動作

MLSビットが“0” (MSBファーストで送受信) の場合、受信されたデータは送受信シフトレジスタからSSiRDR レジスタにそのまま転送されます。

MLSビットが“1” (LSBファーストで送受信) の場合、受信されたデータは送受信シフトレジスタからSSiRDR レジスタにビット順が逆転されて転送されます。

23.1.2.2 可変長データの送受信

送受信キャラクタ長が16ビットに満たない場合、送受信シフトレジスタのシフトイン/シフトアウト位置をずらすことで、ビットの位置を調整します。

この機能により送信データ、受信データともLSB詰めで扱うことができます。

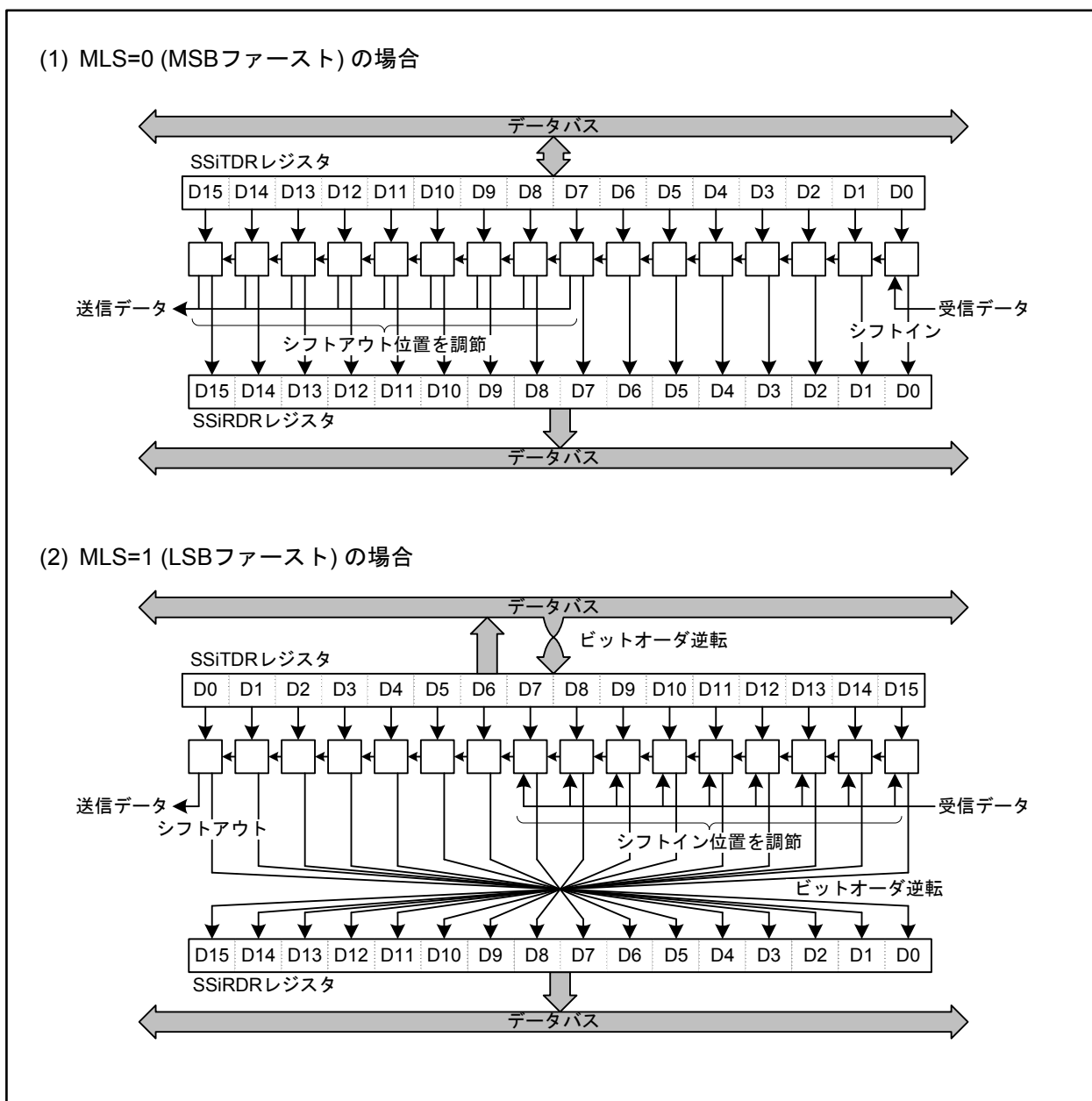


図 23.13 送受信シフトレジスタの動作

23.1.3 データ入出力端子とSSiシフトレジスタの関係

SSiCRHレジスタのMSSビット、SSiMR2レジスタのSSUMSビット及びBIDEビットの組み合わせにより、データ入出力端子と送受信シフトレジスタの接続関係が変わります。図23.14にデータ入出力端子と送受信シフトレジスタの接続関係を示します。

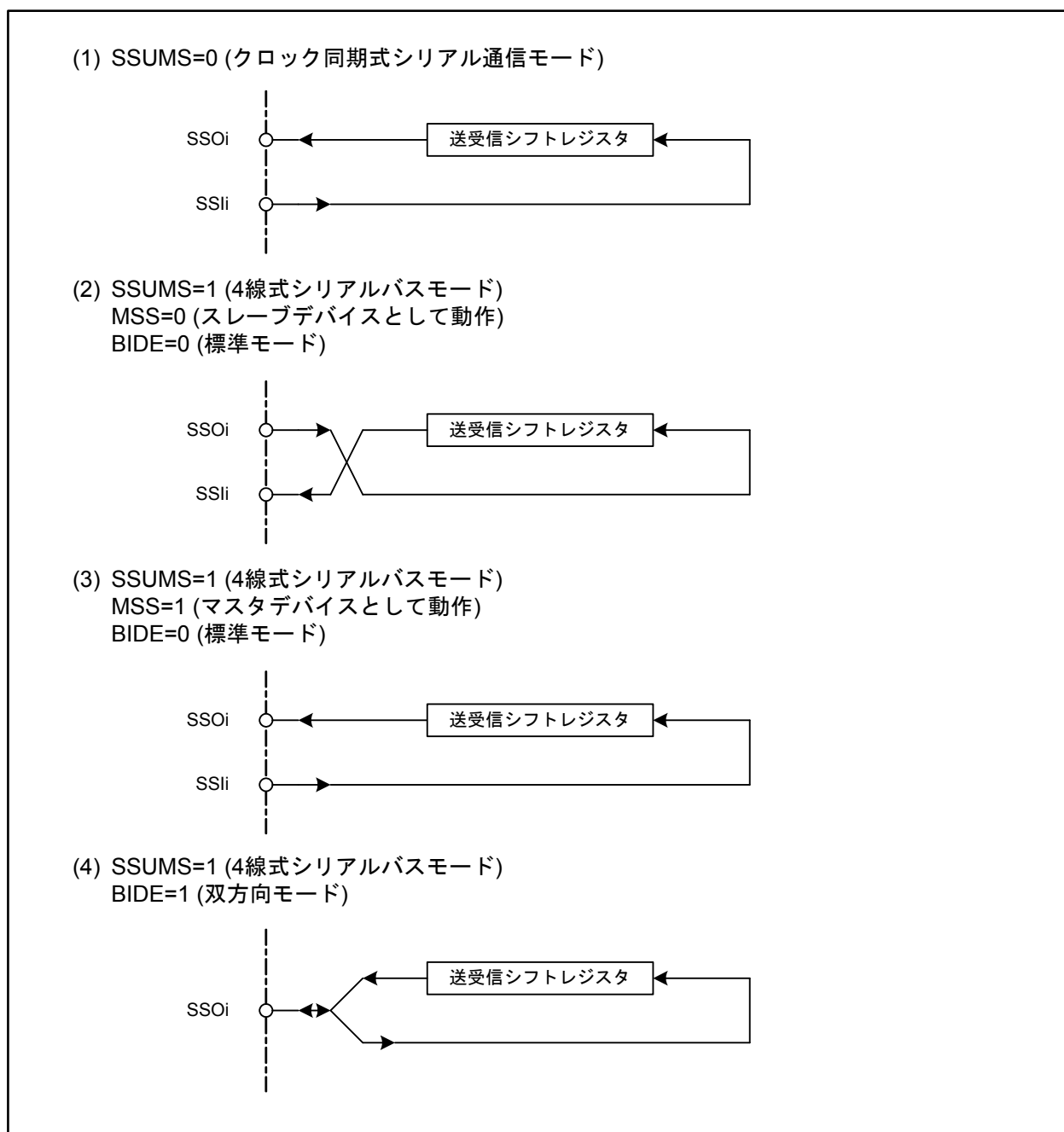


図 23.14 データ入出力端子と送受信シフトレジスタの接続関係 (i=0, 1)

23.1.4 割り込み要求

クロック同期式シリアル通信モードおよび4線式シリアルバスモードの割り込み要求には、送信データレジスタエンプティ、送信完了、受信データレジスタフル、オーバランエラー、コンフリクトエラーの5つの割り込み要求があります。これらの割り込み要求は、まとめて1つの割り込みベクタテーブルに割り付けられているため、割り込み処理ルーチンの中でフラグによる要因の判別が必要です。表 23.3 に割り込み要求と発生条件の一覧を示します。

表 23.3 クロック同期式シリアル通信モードおよび4線式シリアルバスモードの割り込み要求

割り込み要求		発生条件
送信データレジスタエンプティ	TXI	TIE=1 かつ TDRE=1
送信完了	TEI	TEIE=1 かつ TEND=1
受信データレジスタフル	RXI	RIE=1 かつ RDRF=1
オーバランエラー	OEI	RIE=1 かつ ORER=1
コンフリクトエラー	CEI	CEIE=1 かつ CE=1

CEIE、RIE、TEIE、TIE: SSiERレジスタのビット

CE、ORER、RDRF、TEND、TDRE: SSiSRレジスタのビット

表 23.3 の発生条件が満たされたとき、シリアルバスインタフェース割り込み要求が発生します。割り込み処理ルーチン内で、それぞれの割り込み要因を“0”にしてください。

ただし、TDREビット(送信データレジスタエンプティ)およびTENDビット(送信完了)は、SSiTDRレジスタに次の送信データを書くことで自動的に“0”になります。また、RDRFビット(受信データレジスタフル)はSSiRDRレジスタを読むことで自動的に“0”になります。

なお、TDREビットは、SSiTDRレジスタに送信データを書いたとき“0”(SSiTDRレジスタにデータあり)になりますが、送信中でない場合はすぐに送受信シフトレジスタにデータが転送されて“1”(SSiTDRレジスタにデータなし)に戻ります。このときTDREビットに“0”を書くと、余分に1フレーム送信する場合があります。

23.1.5 各通信モードと端子機能

クロック同期式シリアル通信モードまたは4線式シリアルバスモードでは、SSiCRHレジスタのMSSビットと、SSiERレジスタのRE、TEビットの設定により、入出力端子の機能が変わります。SSCKi端子は、マスタデバイスでは出力、スレーブデバイスでは入力になります。SSli端子、SSOi端子、SSCKiの入出力方向に合わせて、ポート方向レジスタ、ポート機能選択レジスタの設定も必要です。表 23.4 に通信モードと入出力端子の関係を示します。

表 23.4 通信モードと入出力端子の関係 (i=0, 1)

通信モード	ビットの設定					端子の状態		
	SSUMS	BIDE	MSS	TE	RE	SSli	SSOi	SSCKi
クロック同期式シリアル通信モード	0	無効	0 (スレーブ)	0	1	データ入力	(注1)	クロック 入力
				1	0	(注1)	データ出力	
				1	1	データ入力	データ出力	
			1 (マスタ)	0	1	データ入力	(注1)	クロック 出力
				1	0	(注1)	データ出力	
				1	1	データ入力	データ出力	
4線式シリアルバスモード (標準モード)	1	0	0 (スレーブ)	0	1	(注1)	データ入力	クロック 入力
				1	0	データ出力	(注1)	
				1	1	データ出力	データ入力	
			1 (マスタ)	0	1	データ入力	(注1)	クロック 出力
				1	0	(注1)	データ出力	
				1	1	データ入力	データ出力	
4線式シリアルバスモード (双方向モード) (注2)	1	1	0 (スレーブ)	0	1	(注1)	データ入力	クロック 入力
				1	0	(注1)	データ出力	
			1 (マスタ)	0	1	(注1)	データ入力	クロック 出力
				1	0	(注1)	データ出力	

注1. プログラマブル入出力ポートとして使用できます。

注2. 4線式シリアルバスモード(双方向)時は、TEビットとREビットを同時に“1”にしないでください。

SSUMS、BIDE: SSiMR2レジスタのビット

MSS: SSiCRHレジスタのビット

TE、RE: SSiERレジスタのビット

23.1.6 クロック同期式シリアル通信モード

23.1.6.1 クロック同期式シリアル通信モードの初期化

図 23.15 にクロック同期式シリアル通信モードの初期化手順を示します。データの送信/受信前に、SSiERレジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にして初期化してください。

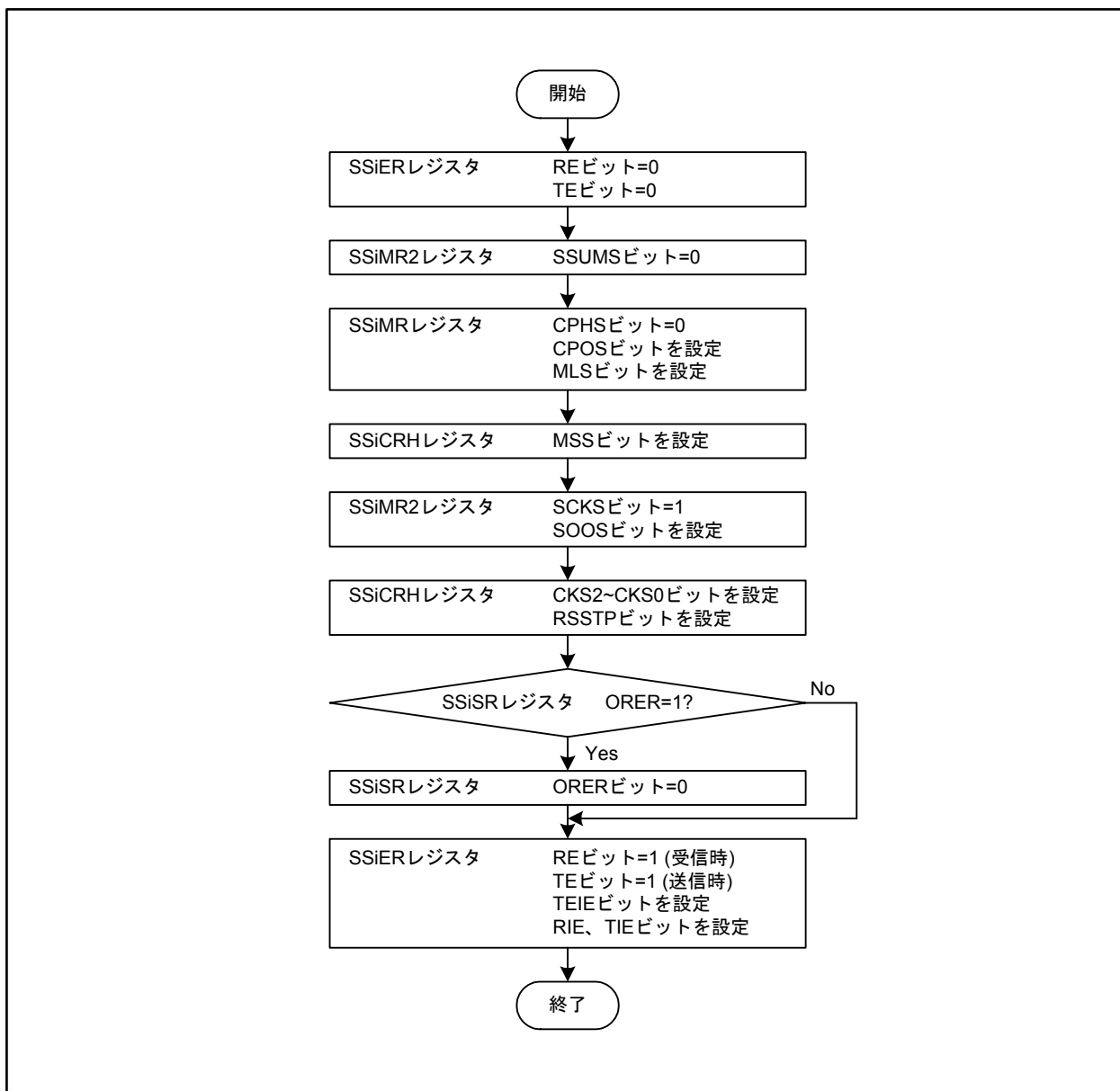


図 23.15 クロック同期式シリアル通信モードの初期化手順 (i=0, 1)

通信モードや、通信データフォーマットなどを変更する場合には、TEビット、REビットを両方とも“0”にしてから変更してください。

なお、REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSiRDRレジスタの内容は保持されます。

23.1.6.2 データ送信

図 23.16にクロック同期式シリアル通信モードにおけるデータ送信時の動作例を示します。データ送信時は以下のように動作します。

マスタデバイスに設定した場合は、内部で生成したクロックを送受信クロックとして使用し、SSCKi端子から出力します。スレーブデバイスに設定した場合は、SSCKi端子から入力されたクロックを送受信クロックとして使用します。いずれの場合も送信データは送受信クロックに同期して出力されます。

SSiERレジスタのTEビットを“1”(送信許可)にした後、SSiTDRレジスタに送信データを書くと、自動的にSSiSRレジスタのTDREビットが“0”(SSiTDRレジスタにデータあり)になり、SSiTDRレジスタから送受信シフトレジスタにデータが転送されます。その後、TDREビットが“1”(SSiTDRレジスタにデータなし)になり、送信を開始します。このとき、SSiERレジスタのTIEビットが“1”(送信データレジスタエンプティ割り込み許可)の場合、送信データエンプティ(TXI)割り込み要求を発生します。

TDREビットが“0”の場合、1フレームの送信が終わると、SSiTDRレジスタから送受信シフトレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の場合、8ビット目が送出されると、SSiSRレジスタのTENDビットが“1”(送信完了)になります。このときSSiERレジスタのTEIEビットが“1”(送信完了割り込み許可)の場合、送信完了(TEI)割り込み要求を発生します。

送信完了後、SSCKi端子はSSiMRレジスタのCPOSビットで設定したレベルに固定されます。

なお、SSiSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

図 23.17に、クロック同期式シリアル通信モードにおけるデータ送信手順の例を示します。

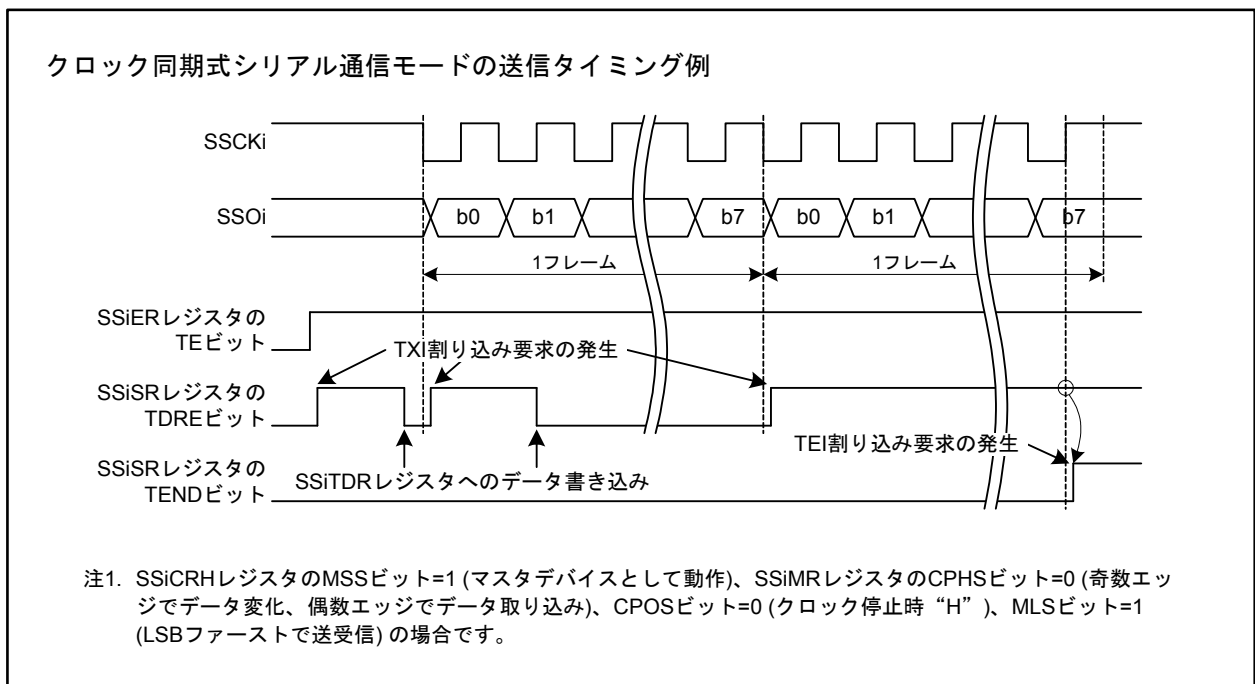


図 23.16 データ送信時の動作例(クロック同期式シリアル通信モード)(i=0, 1)

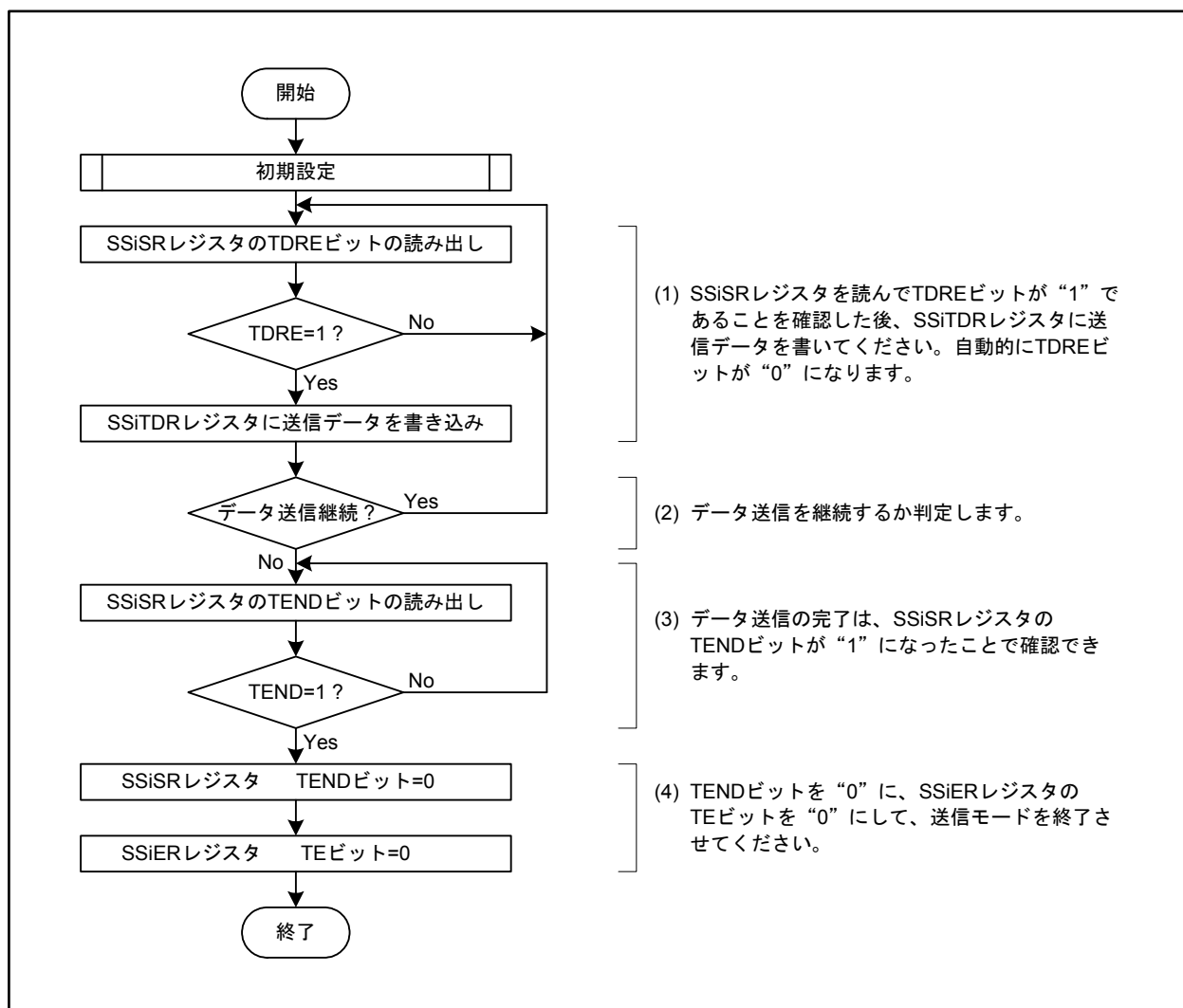


図 23.17 データ送信手順の例(クロック同期式シリアル通信モード) (i=0, 1)

23.1.6.3 データ受信

図 23.18にクロック同期式シリアル通信モードにおけるデータ受信時の動作例を示します。データ受信時は以下のように動作します。

マスタデバイスに設定した場合は、内部で生成したクロックを送受信クロックとして使用し、SSCKi端子から出力します。スレーブデバイスに設定した場合は、SSCKi端子から入力されたクロックを送受信クロックとして使用します。いずれの場合も受信データは送受信クロックに同期して取り込まれます。

マスタデバイスに設定した場合は、最初にSSiRDRレジスタをダミーリードすることで受信クロックが出力され、受信を開始します。

データを8ビット受信すると、SSiSRレジスタのRDRFビットが“1” (SSiRDRレジスタにデータあり) になり、SSiRDRレジスタに受信データが格納されます。このとき、SSiERレジスタのRIEビットが“1” (受信データレジスタフル/オーバーランエラー割り込み許可) の場合、受信データレジスタフル (RXI) 割り込み要求を発生します。SSiRDRレジスタを読むと、自動的にRDRFビットは“0” (SSiRDRレジスタにデータなし) になります。

マスタデバイスに設定した場合に受信を終了するには、最終フレームの1つ前のデータをSSiRDRレジスタから読み出す前に、SSiCRHレジスタのRSSTPビットを“1” (現在のフレーム受信後、受信動作を終了) にしてください。この操作により、最終フレームの受信が完了した後、送受信クロックを停止します。その後、SSiERレジスタのREビットを“0” (受信禁止) に、RSSTPビットを“0” (現在のフレーム受信後、続けて次のフレームを受信) にし、最終フレームのデータを読んでください。REビットが“1” (受信許可) の状態でSSiRDRレジスタを読むと、再度受信クロックが出力されます。

RDRFビットが“1”の時に8ビット目を受信すると、SSiSRレジスタのORERビットが“1” (オーバーランエラー発生) になり、受信動作を停止します。なお、ORERビットが“1”の状態では受信動作は行えませんので、受信動作を再開する前にORERビットが“0”であることを確認してください。

図 23.19に、クロック同期式シリアル通信モードにおけるマスタデバイス時のデータ受信手順の例を示します。

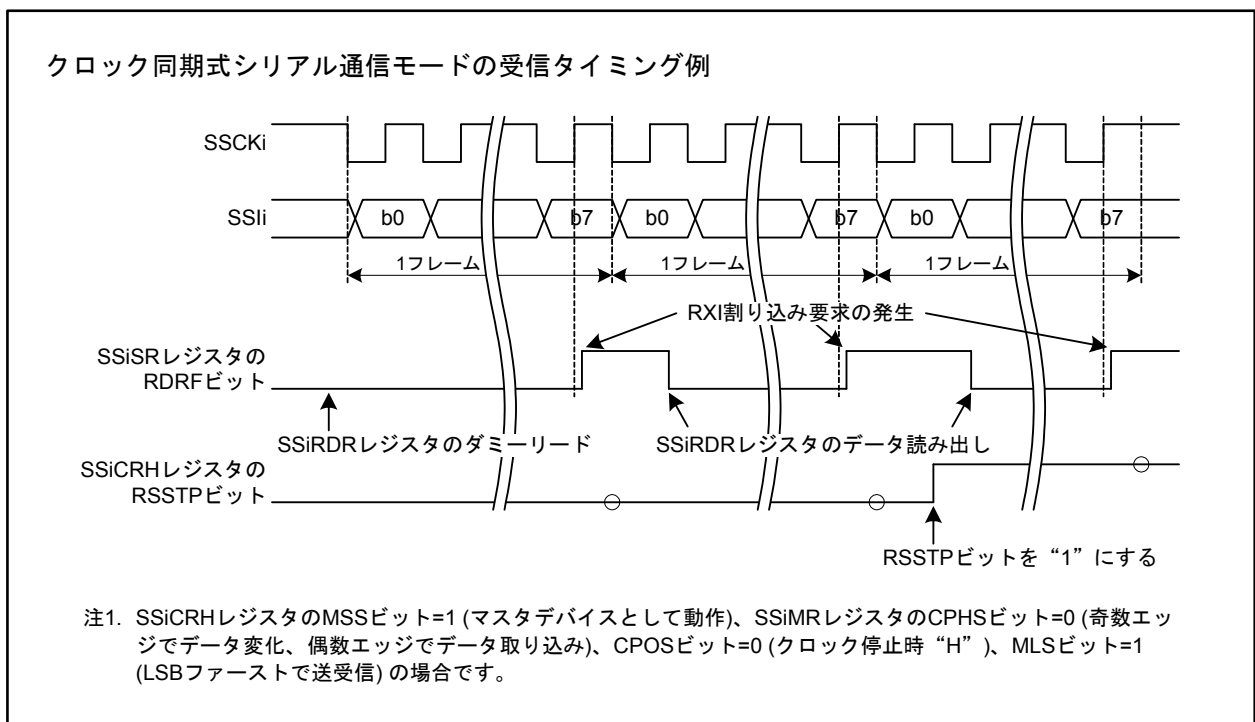


図 23.18 データ受信時の動作例(クロック同期式シリアル通信モード) (i=0, 1)

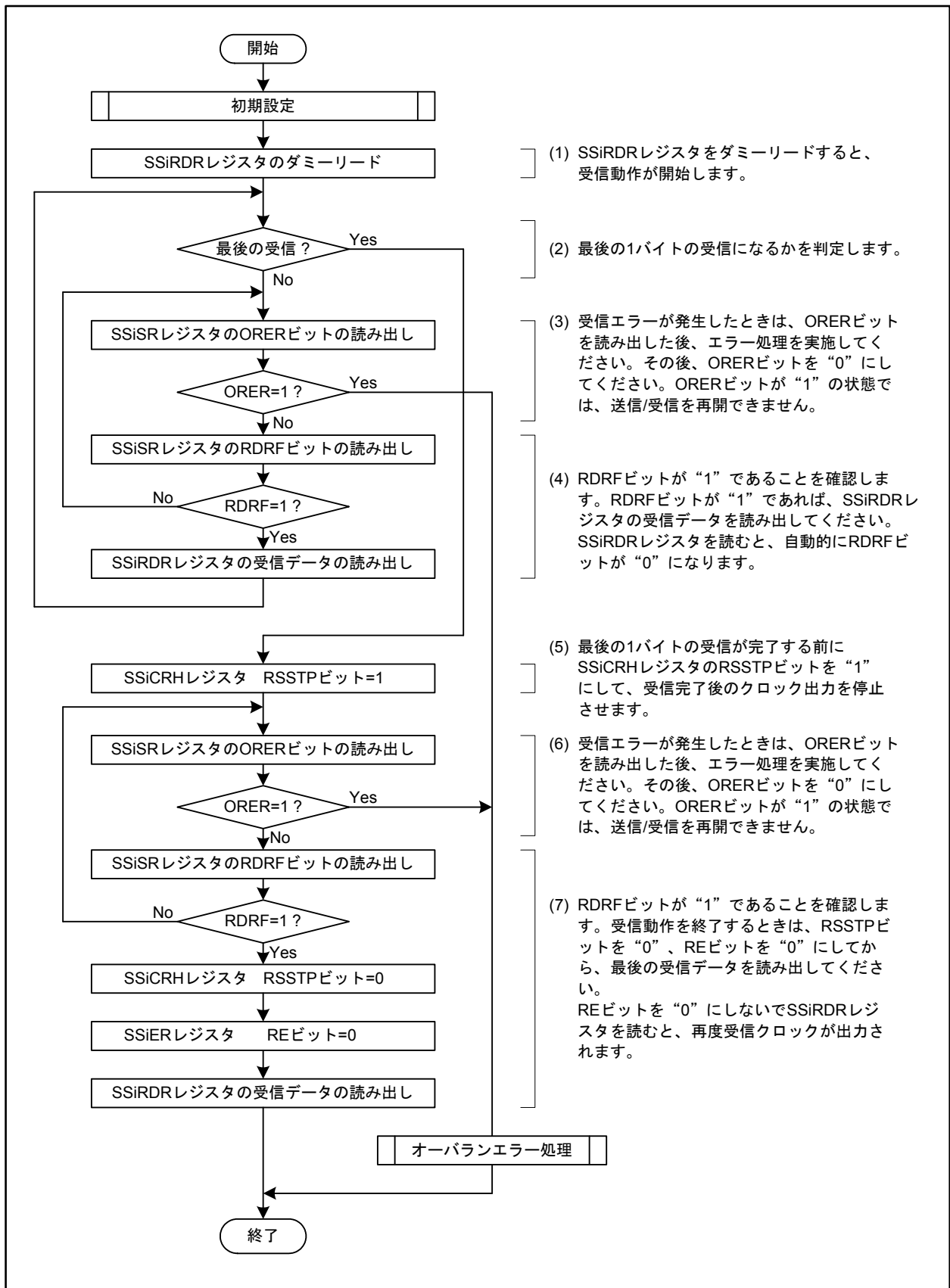


図 23.19 データ受信手順の例(MSS=1)(クロック同期式シリアル通信モード) (i=0, 1)

23.1.6.4 データ送受信

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

送受信は、SSiTDRレジスタにデータを書くことで開始され、TDREビットが“1” (SSiTDRレジスタにデータなし)の状態では8ビット目が送出されると終了します。また、ORERビットが“1” (オーバランエラー発生)になった場合は、エラーとして送受信動作が停止します。

なお、送信モード(TE=1、RE=0)あるいは受信モード(TE=0、RE=1)から、送受信モード(TE=1、RE=1)に切り替える場合は、一度TEビットとREビットの両方を“0”にしてください。その後、TENDビットが“0” (送信継続)、RDRFビットが“0” (SSiRDRレジスタにデータなし)、ORERビットが“0” (オーバランエラーなし)であることを確認した後、TEビットとREビットを同時に“1”にしてください。

図 23.20 に、クロック同期式シリアル通信モードにおけるデータ送受信手順の例を示します。

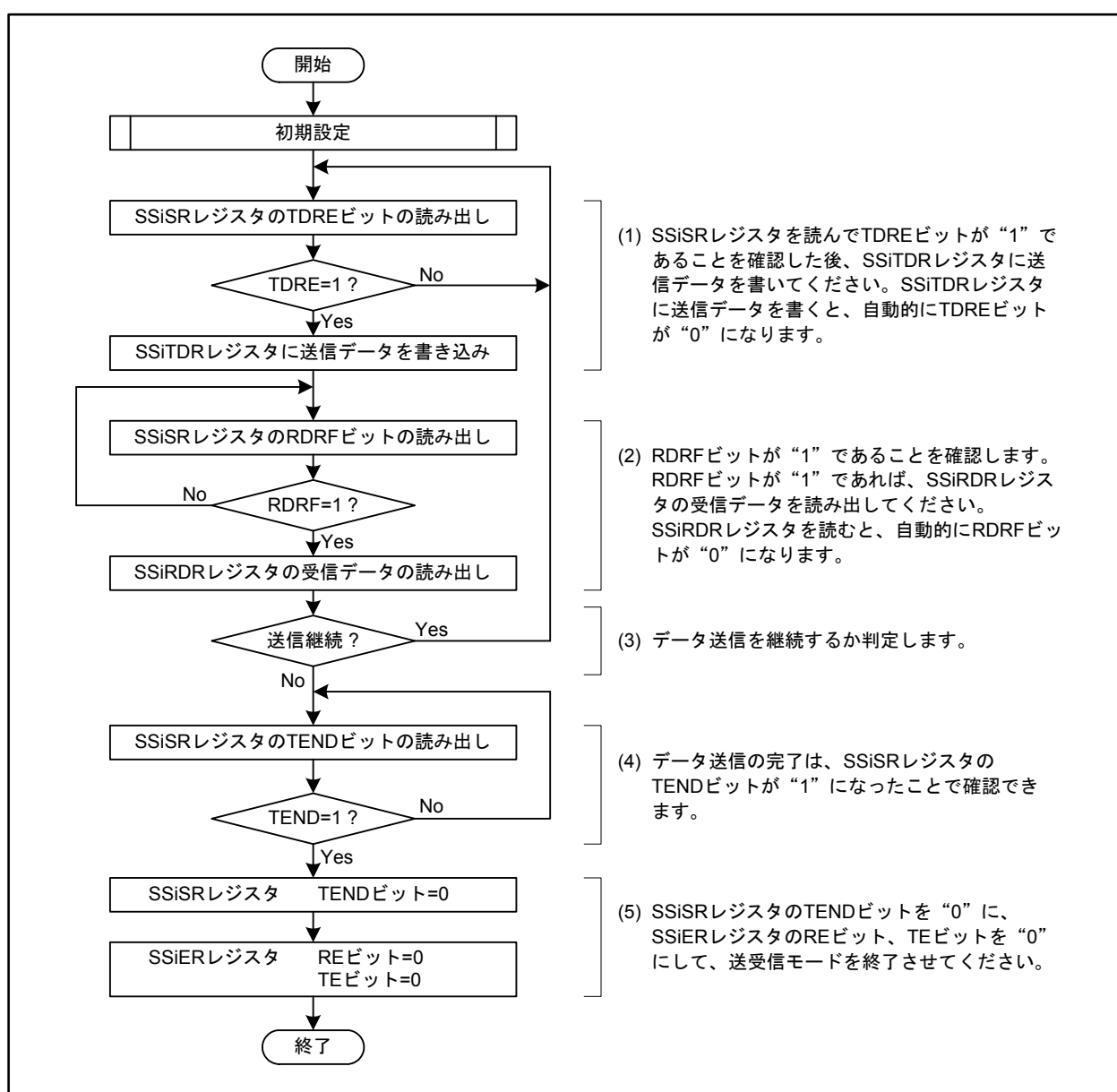


図 23.20 データ送受信手順の例(クロック同期式シリアル通信モード) (i=0, 1)

23.1.7 4線式シリアルバスモード

4線式シリアルバスモードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本の信号線からなるバスを使用してシリアル通信を行うモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SSiCRHレジスタのMSSビットおよびSSiMR2レジスタのBIDEビットの設定により、SSi端子、SSOi端子のいずれが使用されるかが変化します。詳細は「23.1.3 データ入出力端子とSSiシフトレジスタの関係」を参照してください。また、このモードではクロックの極性とデータに対するクロックの位相を、それぞれSSiMRレジスタのCPOSビットとCPHSビットにより設定できます。詳細は「23.1.1.1 送受信クロックの極性、位相」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力端子、スレーブデバイスの場合は入力端子として機能します。マスタデバイスの場合はSSiMR2レジスタのCSS1~CSS0ビットを“10b”にしてSCSi端子を出力端子として自動で制御するか、あるいは汎用ポートをチップセレクト端子として使用することができます。スレーブデバイスの場合はSSiMR2レジスタのCSS1~CSS0ビットを“01b”にしてSCSi端子を入力端子として使用します。

4線式シリアルバスモードでは、標準的にSSiMRレジスタのMLSビットを“0”にして、MSBファーストで通信を行います。

23.1.7.1 4線式シリアルバスモードの初期化

図 23.21 に4線式シリアルバスモードの初期化手順を示します。データの送信/受信前に、SSiERレジスタのTEビットを“0” (送信禁止)、REビットを“0” (受信禁止)にして回路を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、TEビットとREビットの両方を“0”にしてから変更してください。

なお、REビットを“0”にしても、RDRF、ORERの各フラグ、およびSSiRDRレジスタの内容は保持されます。

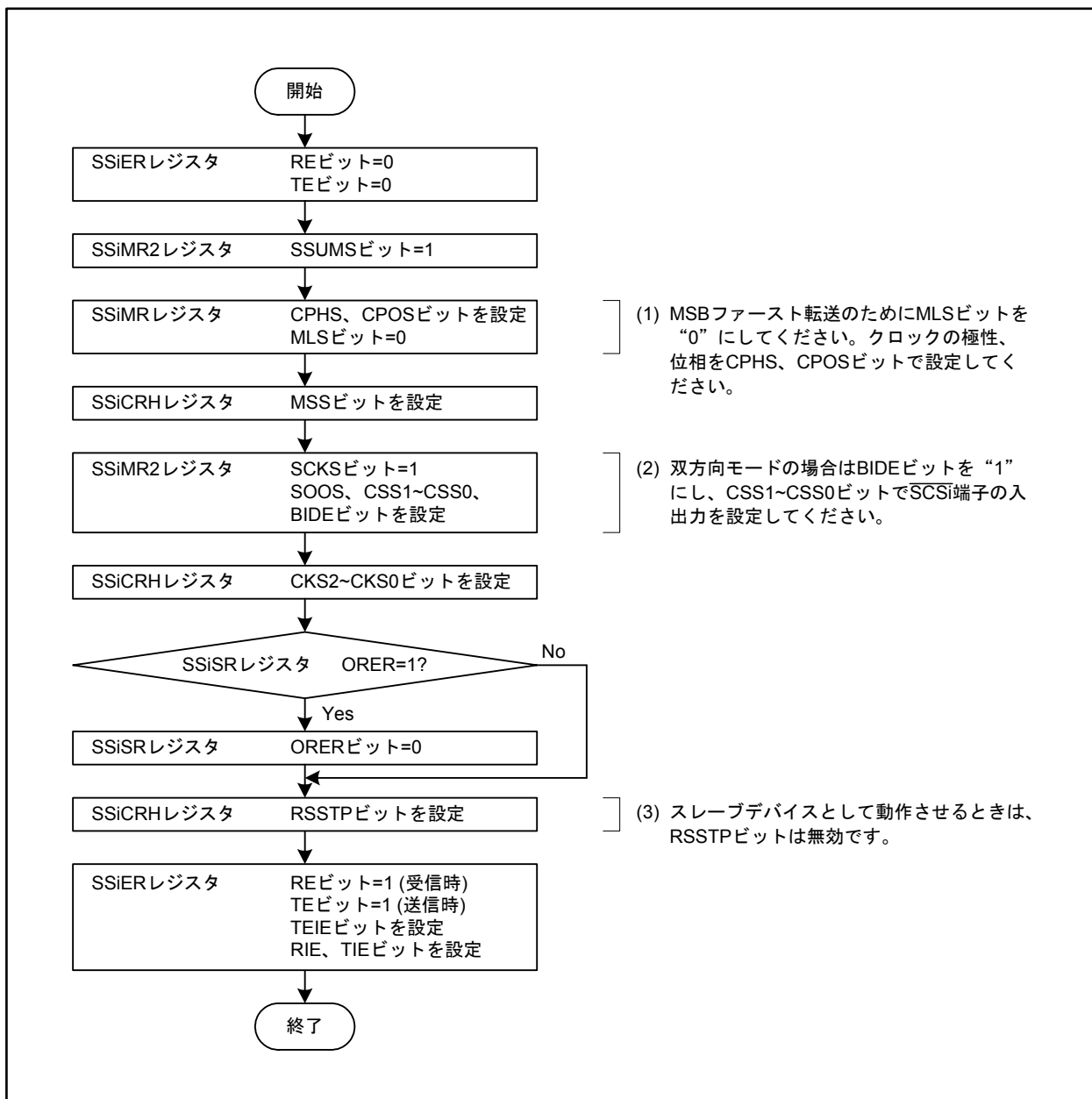


図 23.21 4線式シリアルバスモードの初期化手順 (i=0, 1)

23.1.7.2 データ送信

図 23.22に4線式シリアルバスモードにおけるデータ送信時の動作例を示します。データ送信時は以下のように動作します。

マスタデバイスに設定した場合は、内部で生成したクロックを送受信クロックとして使用し、SSCKi端子から出力します。スレーブデバイスに設定した場合は、 $\overline{\text{SCSi}}$ 端子に“L”が入力されているときにSSCKi端子から入力されたクロックを送受信クロックとして使用します。いずれの場合も送信データは送受信クロックに同期して出力されます。

SSiERレジスタのTEビットを“1”(送信許可)にした後、SSiTDRレジスタに送信データを書くと、自動的にSSiSRレジスタのTDREビットが“0”(SSiTDRレジスタにデータあり)になり、SSiTDRレジスタから送受信シフトレジスタにデータが転送されます。その後、TDREビットが“1”(SSiTDRレジスタにデータなし)になり、送信を開始します。このとき、SSiERレジスタのTIEビットが“1”(送信データレジスタエンpty割り込み許可)の場合、送信データレジスタエンpty (TXI)割り込み要求を発生します。

TDREビットが“0”の場合、1フレームの送信が終わると、SSiTDRレジスタから送受信シフトレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが“1”の場合、最終ビットが送出されると、SSiSRレジスタのTENDビットが“1”(送信完了)になります。このときSSiERレジスタのTEIEビットが“1”(送信完了割り込み要求許可)の場合、送信完了(TEI)割り込み要求を発生します。送信完了後、SSCKi端子は“H”に、 $\overline{\text{SCSi}}$ 端子は“H”になります。 $\overline{\text{SCSi}}$ 端子を“L”にしたまま連続的に送信する場合は、最終ビットが送出される前に次の送信データをSSiTDRレジスタに書いてください。

なお、SSiSRレジスタのORERビットが“1”(オーバランエラー発生)の状態では、送信できません。送信の前には、ORERビットが“0”であることを確認してください。

クロック同期式シリアル通信モードとの違いは、 $\overline{\text{SCSi}}$ 端子を使用するかどうかです。4線式シリアルバスモードでは、マスタデバイスに設定している場合に $\overline{\text{SCSi}}$ 端子が“H”を出力しているときは、SSOi端子がハイインピーダンスとなり、スレーブデバイスに設定している場合に $\overline{\text{SCSi}}$ 端子から“H”が入力されていると、SSiI端子がハイインピーダンスになります。

データ送信手順については図 23.17を参照してください。

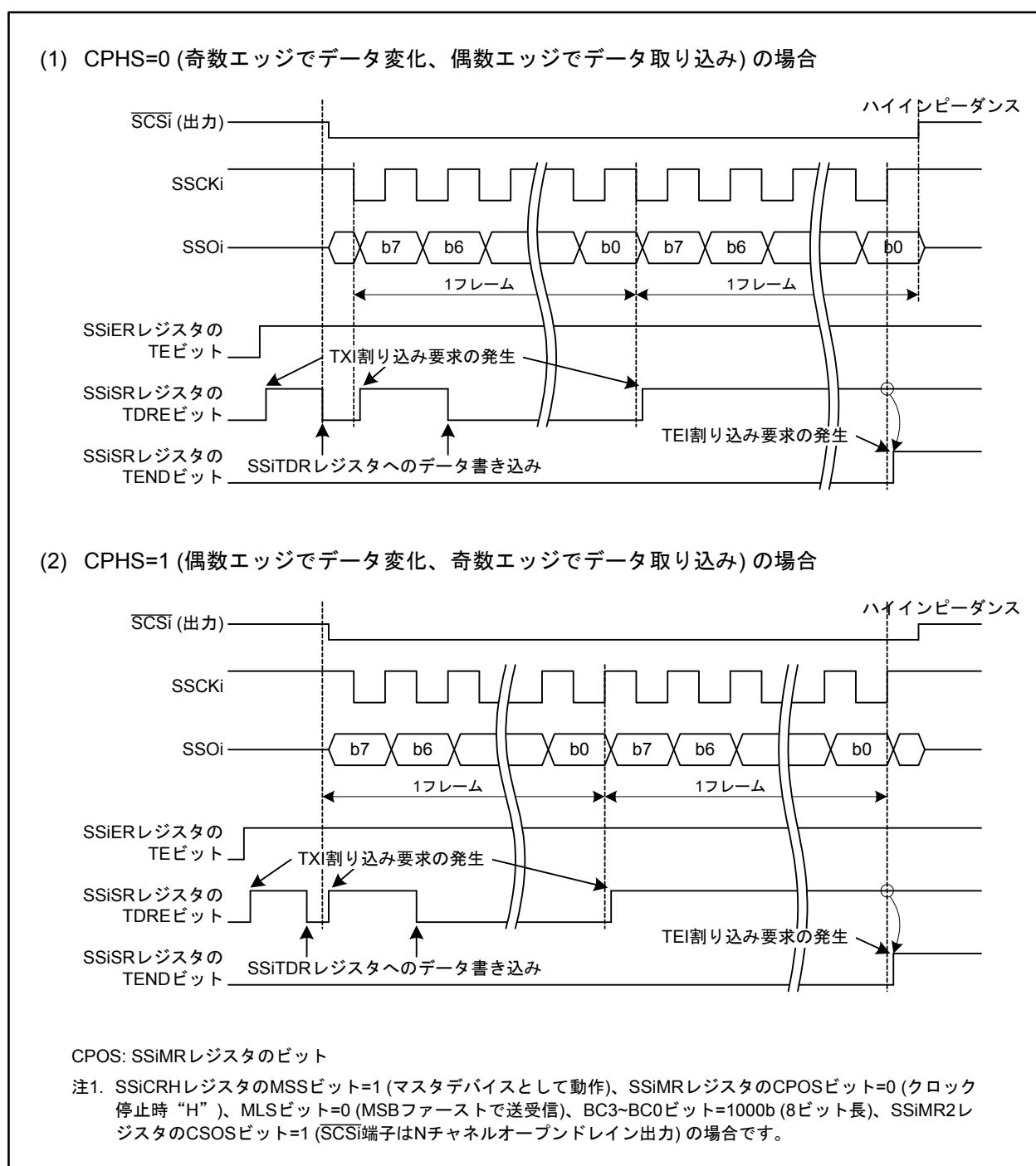


図 23.22 データ送信時の動作例(4線式シリアルバスモード) (i=0, 1)

23.1.7.3 データ受信

図 23.23に4線式シリアルバスモードにおけるデータ受信時の動作例を示します。データ受信時は以下のように動作します。

マスタデバイスに設定した場合は、内部で生成したクロックを送受信クロックとして使用し、SSCKi端子から出力します。スレーブデバイスに設定した場合は、 $\overline{\text{SCSi}}$ 端子が“L”のときにSSCKi端子から入力されたクロックを送受信クロックとして使用します。いずれの場合も受信データは送受信クロックに同期して取り込まれます。

マスタデバイスに設定した場合は、SSiERレジスタのTEビットを“0”にし、送信モードを終了させた後、SSiRDRレジスタをダミーリードすることで受信クロックが出力され、受信を開始します。

設定したビット数のデータを受信すると、SSiSRレジスタのRDRFビットが“1”(SSiRDRレジスタにデータあり)になり、SSiRDRレジスタに受信データが格納されます。このとき、SSiERレジスタのRIEビットが“1”(受信データレジスタフル/オーバランエラー割り込み許可)の場合、受信データレジスタフル(RXI)割り込み要求が発生します。SSiRDRレジスタを読むと、自動的にRDRFビットは“0”(SSiRDRレジスタにデータなし)になります。

マスタデバイスに設定した場合に受信を終了するには、最終フレームの1つ前のデータをSSiRDRレジスタから読み出す前に、SSiCRHレジスタのRSSTPビットを“1”(現在のフレーム受信後、受信動作を終了)にしてください。この操作により、最終フレームの受信が完了した後、送受信クロックを停止します。その後、SSiERレジスタのREビットを“0”(受信禁止)に、RSSTPビットを“0”(現在のフレーム受信後、続けて次のフレームを受信)にし、最終フレームのデータを読んでください。REビットが“1”(受信許可)の状態ではSSiRDRレジスタを読むと、再度受信クロックが出力されます。

RDRFビットが“1”の時に最終ビットを受信すると、SSiSRレジスタのORERビットが“1”(オーバランエラー発生)になり、受信動作を停止します。なお、ORERビットが“1”の状態では受信動作は行えませんので、受信動作を再開する前にORERビットが“0”であることを確認してください。

データ受信手順については図 23.19 を参照してください。

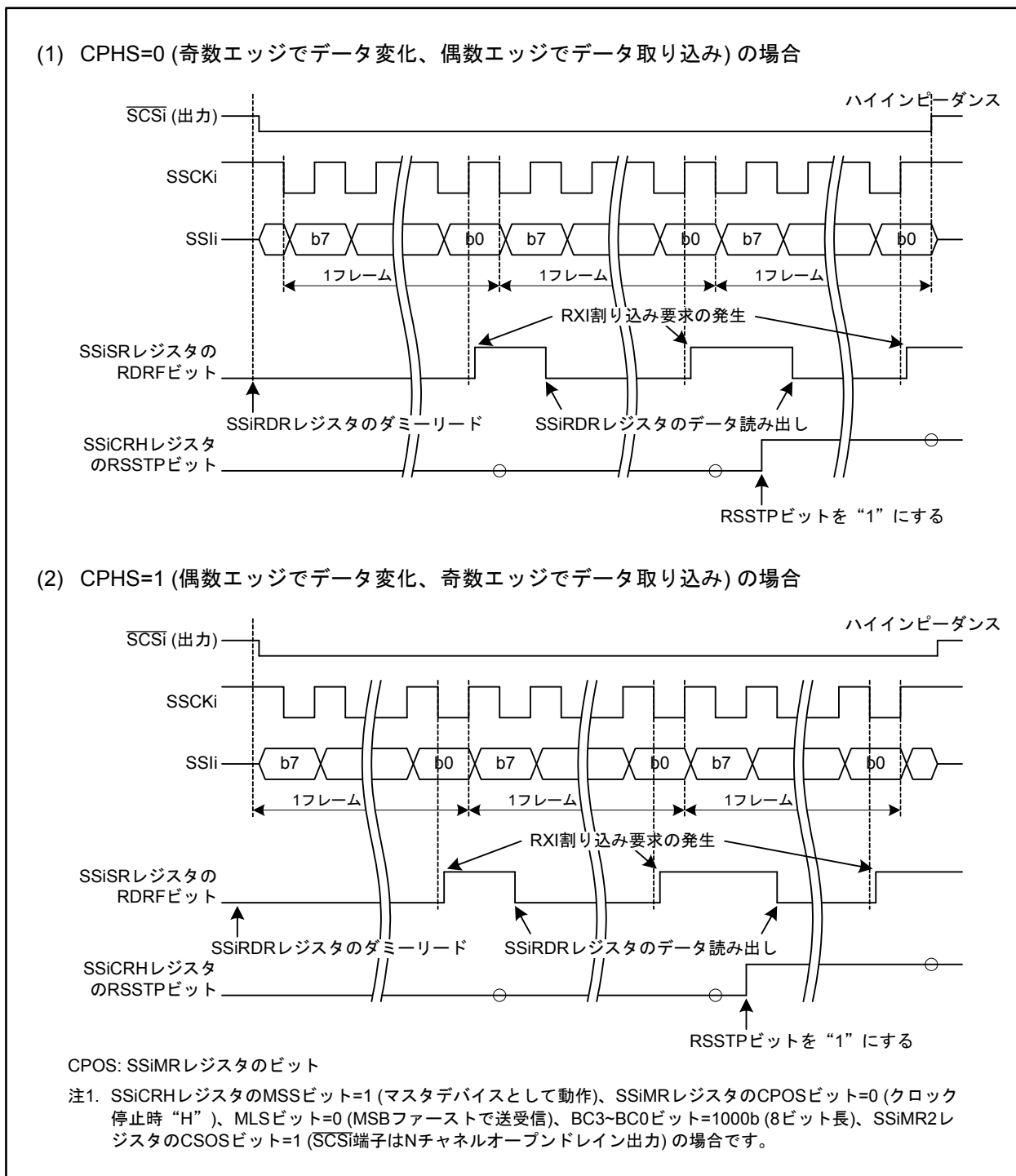


図 23.23 データ受信時の動作例(4線式シリアルバスモード) (i=0, 1)

23.1.7.4 $\overline{\text{SCSi}}$ 端子制御とアービトレーション

4線式シリアルバスモードでは、CSS1~CSS0ビットを“10b”($\overline{\text{SCSi}}$ 出力端子として機能)、SSiCRHレジスタのMSSビットを“1”(マスタデバイスとして動作)にした場合、シリアル送信を開始する前に $\overline{\text{SCSi}}$ 端子の状態を見てバスのアービトレーションを行います。送信前に同期化した内部 $\overline{\text{SCSi}}$ 信号が“L”になったことを検出すると、SSiSRレジスタのCEビットが“1”(コンフリクトエラー発生)になり、自動的にMSSビットが“0”(スレーブデバイスとして動作)になります。

図 23.24にバスのアービトレーションタイミングを示します。

なお、CEビットが“1”の状態では、以後の送信動作ができません。送信を開始する前に、CEビットを“0”(コンフリクトエラーなし)にしてください。CEビットを“0”にするには、CEビットが“1”であることを確認した後“0”を書いてください。

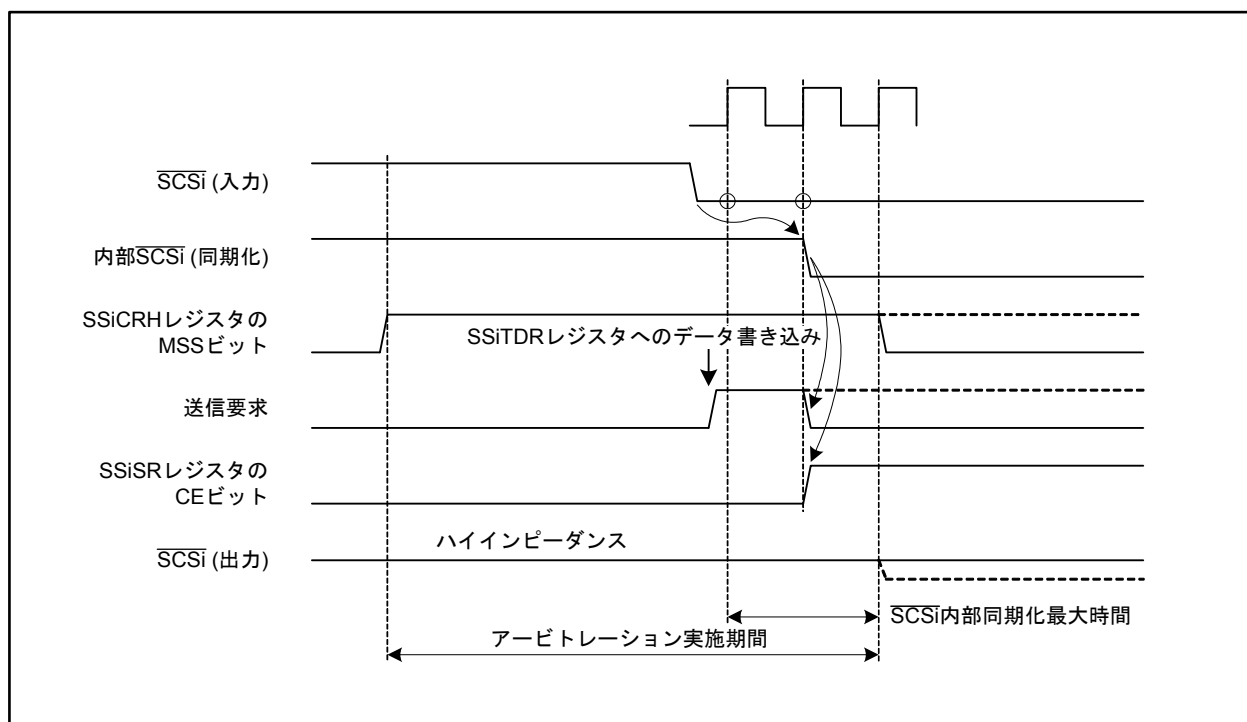


図 23.24 アービトレーションタイミング (i=0, 1)

23.2 シリアルバスインタフェース使用上の注意

23.2.1 クロック同期式シリアル通信モードおよび4線式シリアルバスモード使用上の注意

23.2.1.1 クロック同期式シリアル通信モード、4線式シリアルバスモード関連レジスタのアクセス

クロック同期式シリアル通信モード、4線式シリアルバスモード関連レジスタ (44F06h 番地 ~44F1Fh 番地)の同一レジスタに対して、書いてから「3命令以上経過してから」読んでください。

•3命令以上待たせる例

```
MOV.B #00h, 44F0Bh ; SS0ERレジスタを“00h”にする
NOP
NOP
NOP
MOV.B 44F0Bh, R0L
```


24. LINモジュール

LINモジュールはLINプロトコルのリビジョン1.3、2.0、2.1に対応したハードウェアLIN通信コントローラで、フレーム通信とエラー判定を自動で行います。1つのモジュールには2チャンネルのマスタコントローラが内蔵されています。

表 24.1にLINモジュールの仕様、図 24.1にLINモジュールブロック図を示します。

表 24.1 LINモジュールの仕様

項目	仕様
プロトコル	LIN 1.3、LIN 2.0、LIN 2.1
チャンネル数	2チャンネル(LINマスタ)
フレーム構成可変	<ul style="list-style-type: none"> •送信ブレーク幅: 13~28 Tbit •送信ブレークデリミタ幅: 1~4 Tbit •インタバイトスペース(ヘッダ): 0~7 Tbit (SyncフィールドとIDフィールド間のスペース)(注1) •レスポンススペース: 0~7 Tbit (注1) •インタバイトスペース: 0~3 Tbit (レスポンス領域内のデータバイト間のスペース)
チェックサム	クラシックまたはエンハンス選択可能 (チャンネルごと、フレームごとに変更可能)
レスポンスフィールドデータバイト数	0~8バイト可変
フレーム送信方法	<ul style="list-style-type: none"> •ヘッダとレスポンスを1つの送信開始要求により送信するモード •ヘッダとレスポンスを別々の送信開始要求により送信するモード(フレームセパレートモード)
ウェイクアップ送受信	LINウェイクアップモードで使用可能 <ul style="list-style-type: none"> •ウェイクアップ送信機能(1~16 Tbit) •ウェイクアップ受信 <ul style="list-style-type: none"> •入力信号“L”幅カウンタ機能(0.5~15.5 Tbit) •入力信号“L”検出機能
ステータス	<ul style="list-style-type: none"> •フレーム/ウェイクアップ送信完了 •フレーム/ウェイクアップ受信完了 •データ1受信完了 •入力信号“L”検出 •エラー検出 •動作モード
エラーステータス	<ul style="list-style-type: none"> •ビットエラー •チェックサムエラー •フレームタイムアウトエラー •フィジカルバスエラー •フレーミングエラー •オーバランエラー (チェックサムエラー以外は検出許可/禁止を選択可能)
ボーレート選択	ボーレートジェネレータでLIN仕様のボーレートを生成可能(各チャンネルで個別に選択可能)

注1. 同一レジスタで設定するため、インタバイトスペース(ヘッダ)=レスポンススペースとなります。

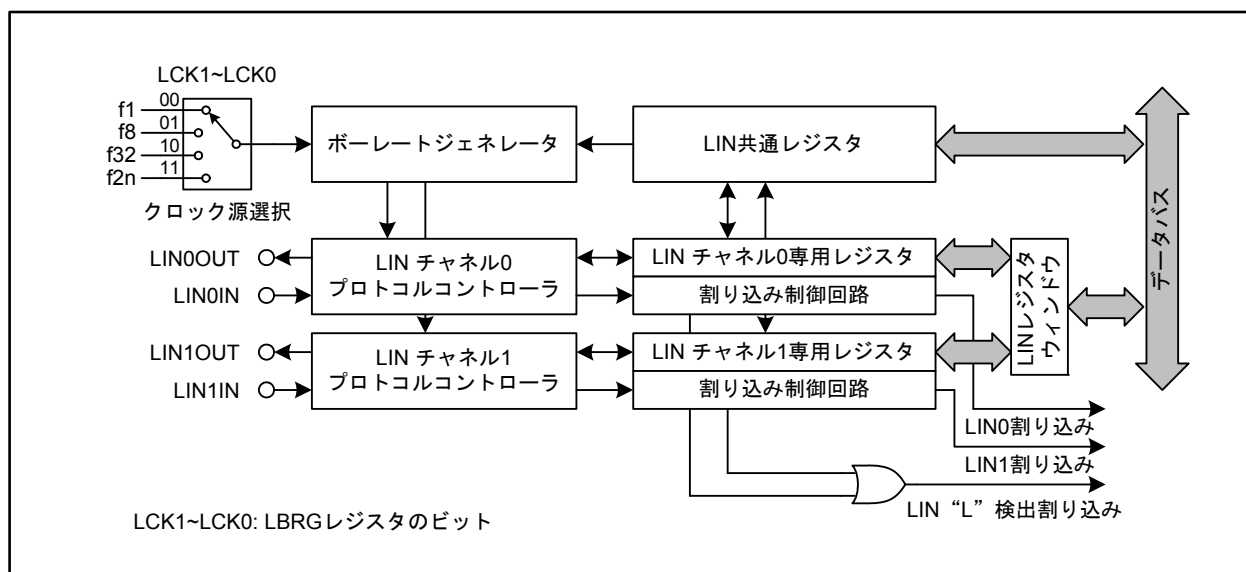


図 24.1 LINモジュールブロック図

- LIN_jOUT、LIN_jIN (j=0, 1): LINの入出力端子です。
- ボーレートジェネレータ: LINの通信クロックを生成します。
- LIN共通レジスタ: LINモジュール共通のレジスタです。
- LINチャンネルj専用レジスタ: チャンネルごとのレジスタです。LCWレジスタによりウィンドウを切り替えて使用します。
- 割り込み制御回路: LINモジュールによって生成される割り込み要求を制御します。LIN_j割り込みとLIN“L”検出割り込みがあります。

24.1 LINモジュール関連レジスタ

LINモジュールには、モジュール共通のレジスタとチャンネルごとの専用レジスタがあります。

チャンネル専用レジスタは、最大4チャンネル分(チャンネル0~チャンネル3)のレジスタバンクがあり、ウィンドウに表示するチャンネルを切り替えて使用します。1つのモジュール内のチャンネル数は、搭載されるLINのチャンネル数によって変わります。

24.1.1 共通レジスタ

- **LINチャンネルウィンドウ選択/入力信号“L”検出ステータスレジスタ(LCWレジスタ)**
チャンネル専用レジスタのウィンドウ切り替えと、各チャンネルの入力信号“L”検出ステータスのモニタを行うレジスタです。
- **LINボーレートジェネレータ制御レジスタ(LBRGレジスタ)**
ボーレートジェネレータのカウントソースとfLnのクロックソースを選択します(「24.4 ボーレートジェネレータ」参照)。
- **LINボーレートプリスケアラk(LBRPkレジスタ)(k=0, 1)**
LBRGレジスタで選択したカウントソースから、送受信クロックを生成するためのプリスケアラの分周値を設定します。

24.1.2 チャンネル専用レジスタ

チャンネル専用レジスタの切り替えは、LCWレジスタのCWS1~CWS0ビットで行います。これらのビットで選択されたチャンネルのレジスタが、下記レジスタにより操作できます。

- **LINモードレジスタ0(LMD0レジスタ)**
モード選択、割り込み許可など、LINモジュールの初期設定を行います。
- **LINモードレジスタ1(LMD1レジスタ)**
システムクロックの設定やエラー検出許可など、LINモジュールの初期設定を行います。
- **LINウェイクアップ設定レジスタ(LWUPレジスタ)**
ウェイクアップ送受信の“L”幅を設定します。
- **LINブレイクフィールド設定レジスタ(LBRKレジスタ)**
ブレイクフィールドの送信ブレイク幅、送信ブレイクデリミタ幅を設定します。
- **LINスペース設定レジスタ(LSPCレジスタ)**
各送信スペース幅を設定します。
- **LINレスポンスフィールド設定レジスタ(LRFCレジスタ)**
通信データバイト数、送受信方向、およびチェックサム方式を設定します。
- **LIN IDバッファレジスタ(LIDBレジスタ)**
送信ID、IDパリティを設定します。
- **LIN状態制御レジスタ(LSCレジスタ)**
LINモジュールの動作モードを切り替えます。
- **LIN送信制御レジスタ(LTCレジスタ)**
フレーム/ウェイクアップ送信開始、レスポンスフィールド送信開始を設定します。
- **LINステータスレジスタ(LSTレジスタ)**
フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、データ1受信完了、入力信号“L”検出、エラー検出、動作モードを確認できます。
- **LINエラーステータスレジスタ(LESTレジスタ)**
エラー(ビット、チェックサム、フィジカルバス、フレームタイムアウト、フレーミング、オーバーラン)ステータスを確認できます。
- **LINデータnバッファレジスタ(n=1~8)(LDBnレジスタ)**
送受信兼用データバッファです。送信データの設定、受信データの読み出しを行います。

24.1.3 レジスタウィンドウとチャンネル切り替え

LINモジュールのチャンネル専用レジスタはCPUのメモリマップ上に直接マッピングされていないため、レジスタウィンドウを通してアクセスします。レジスタウィンドウは44E04h~44E17h番地にマッピングされています。

LCWレジスタのCWS1~CWS0ビットに値を設定すると、対応するチャンネルの専用レジスタが一括してレジスタウィンドウにマッピングされます。

図 24.2にレジスタウィンドウの概念図を示します。

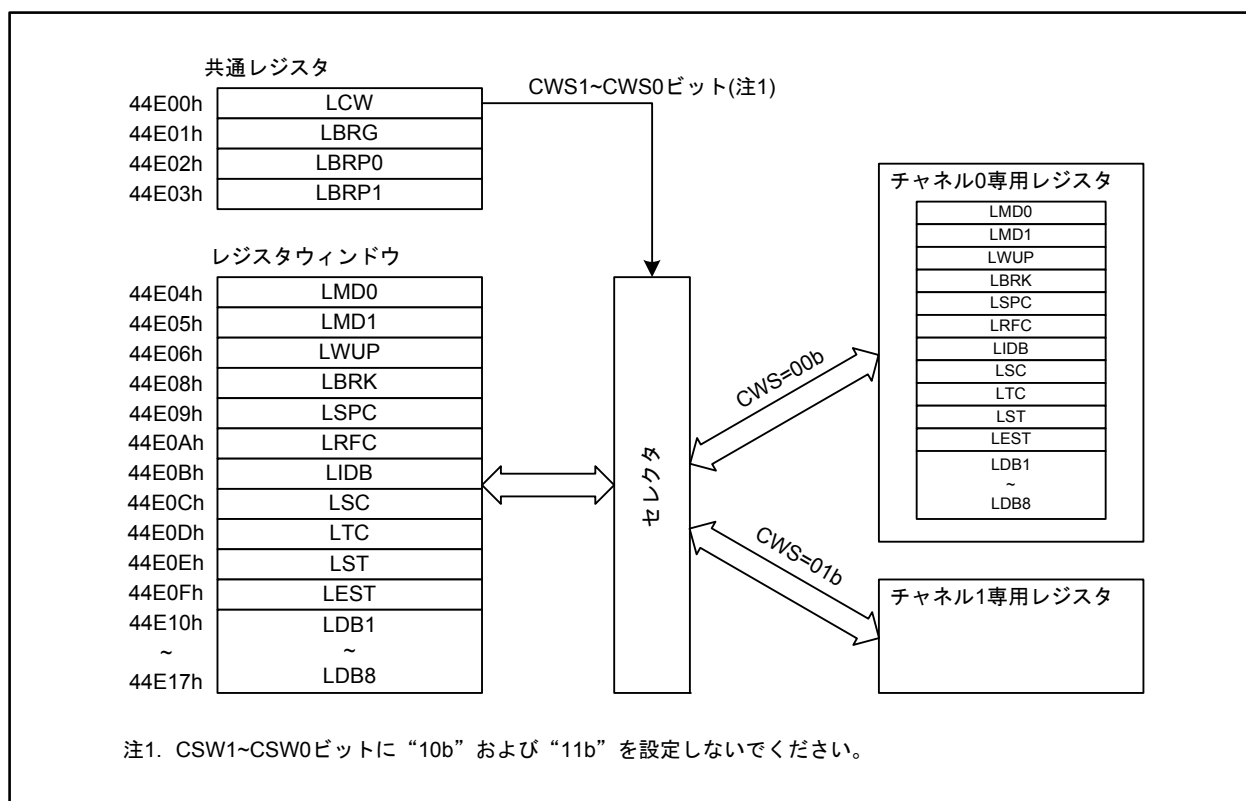


図 24.2 レジスタウィンドウ

図 24.3~図 24.18にLINモジュール関連レジスタを示します。

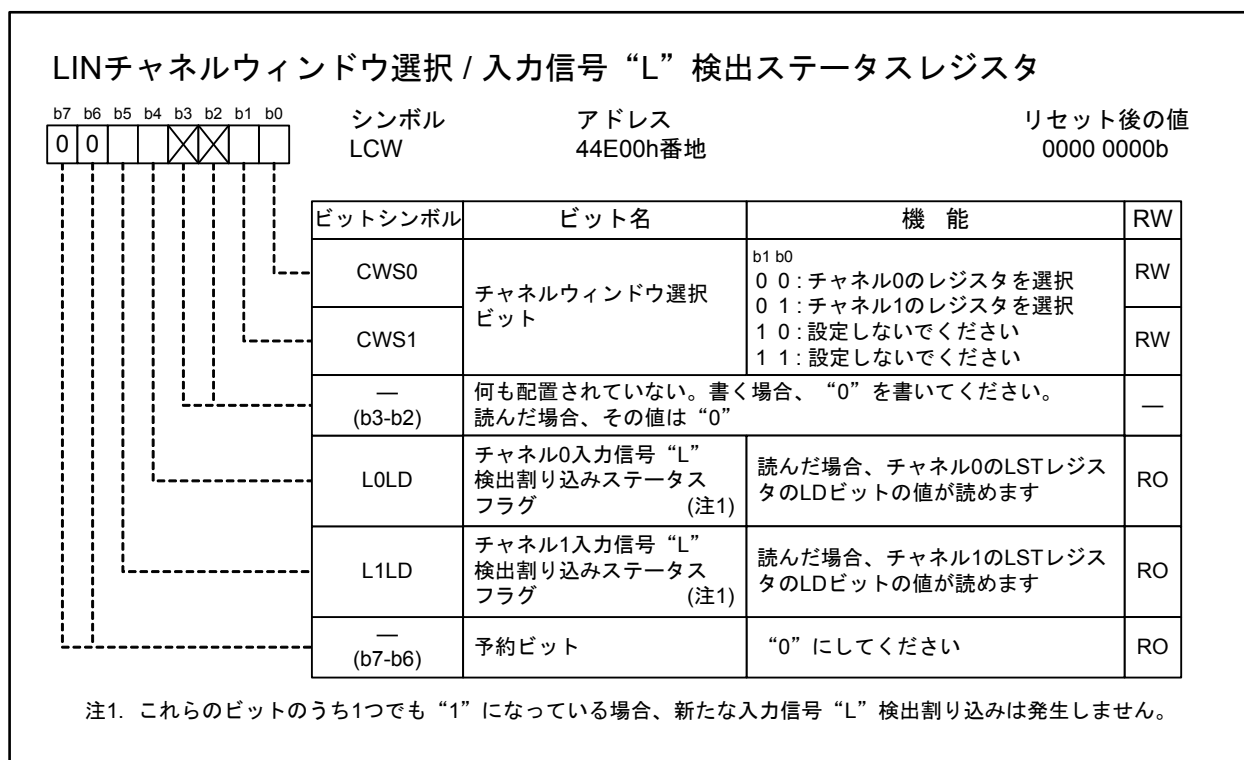


図 24.3 LCWレジスタ

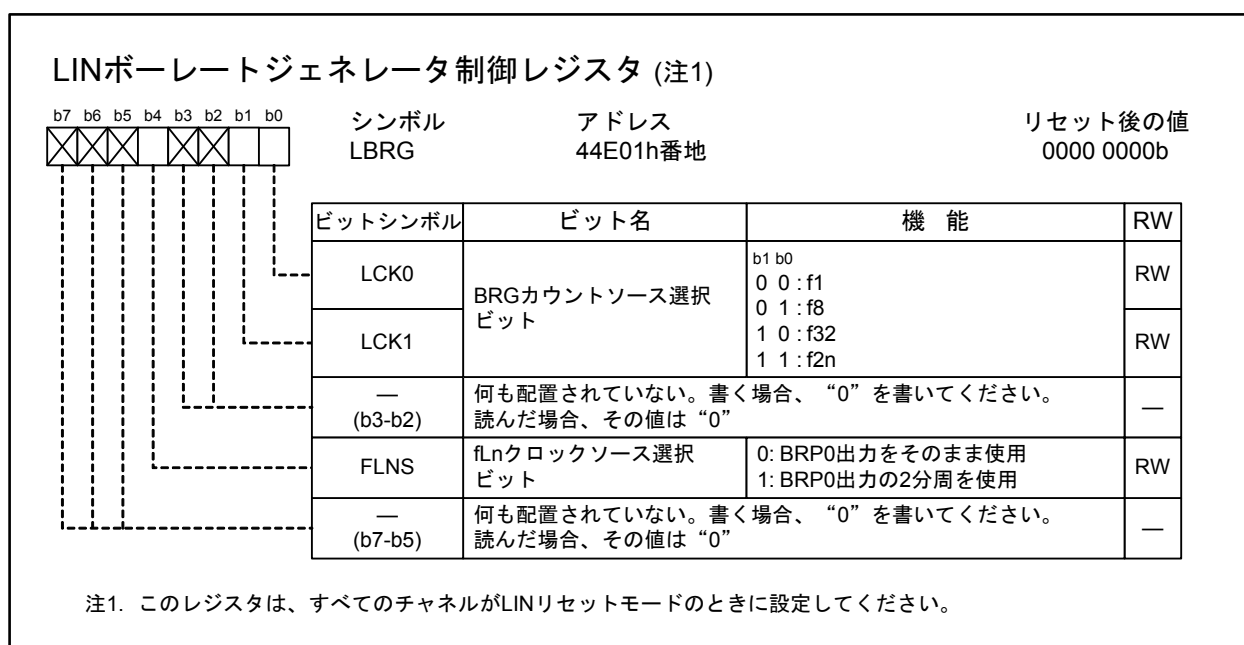


図 24.4 LBRGレジスタ

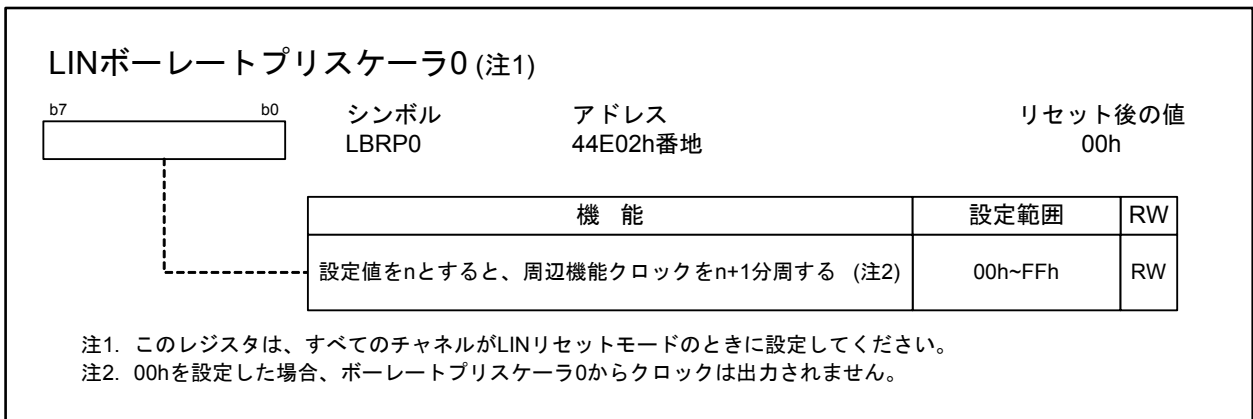


図 24.5 LBRP0レジスタ

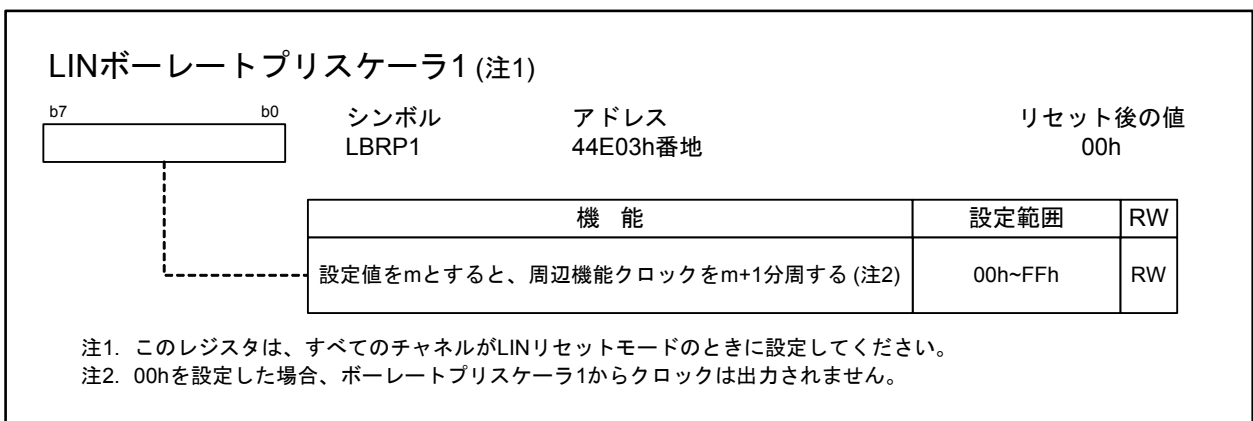


図 24.6 LBRP1レジスタ

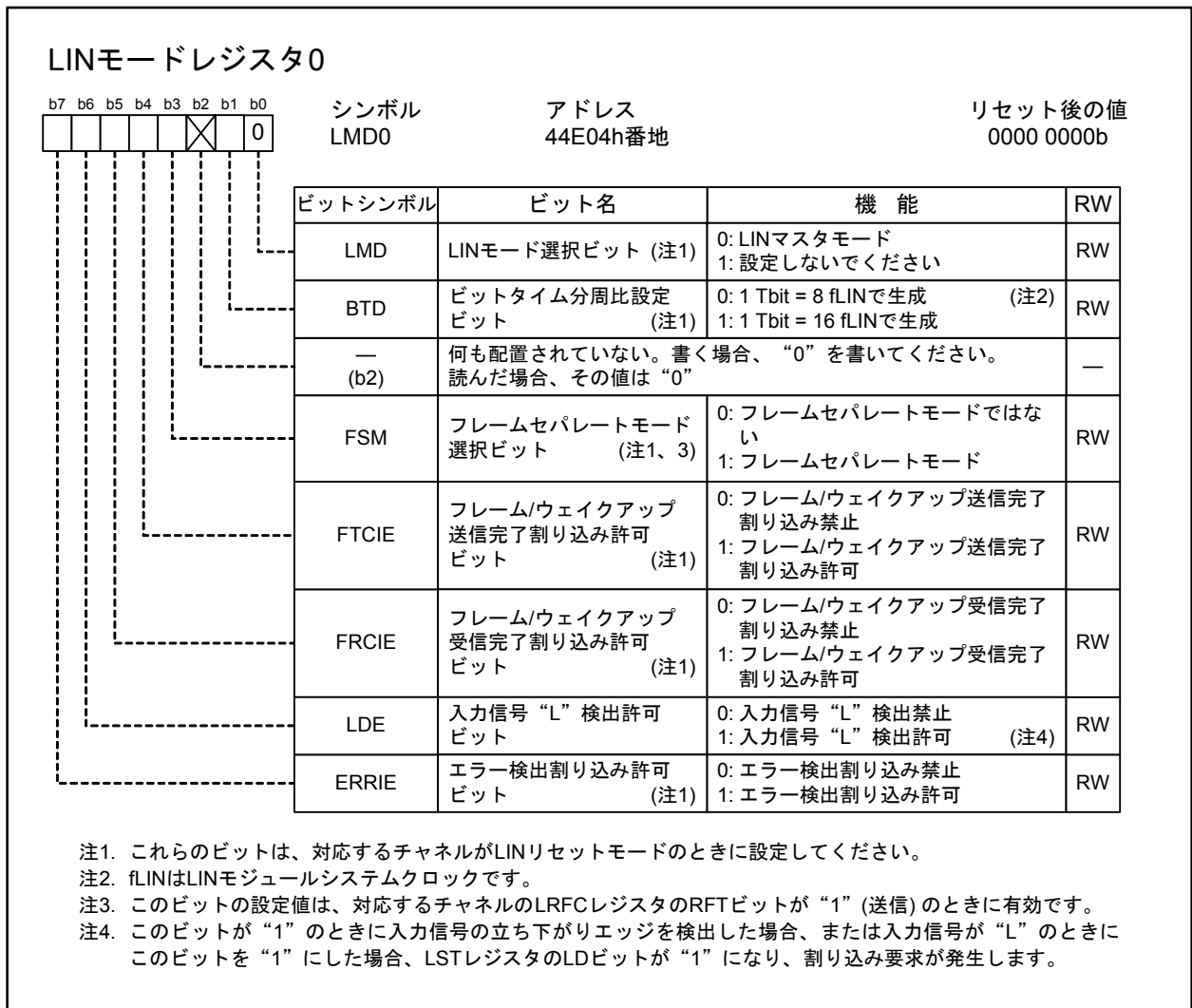


図 24.7 LMD0 レジスタ

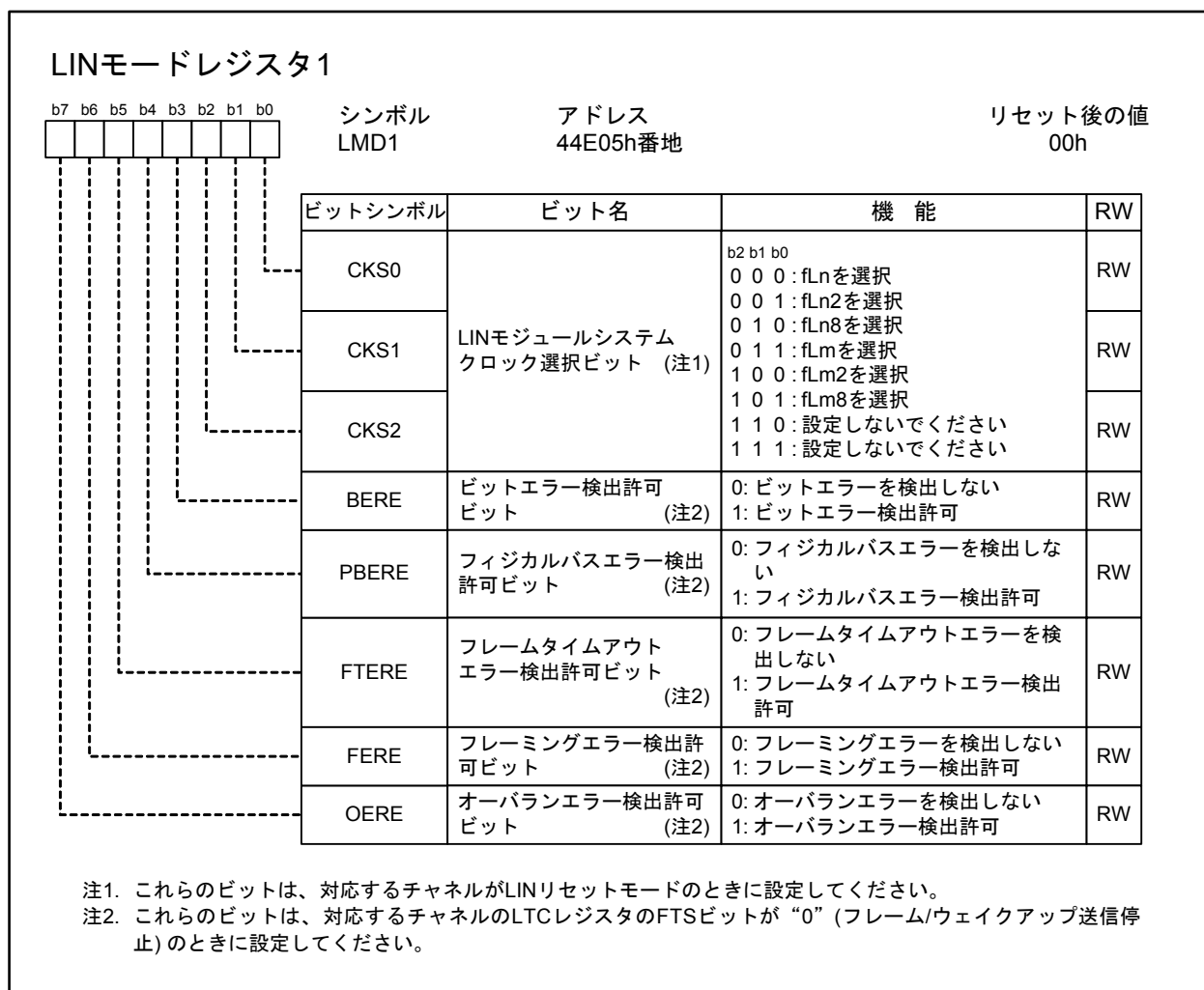


図 24.8 LMD1 レジスタ

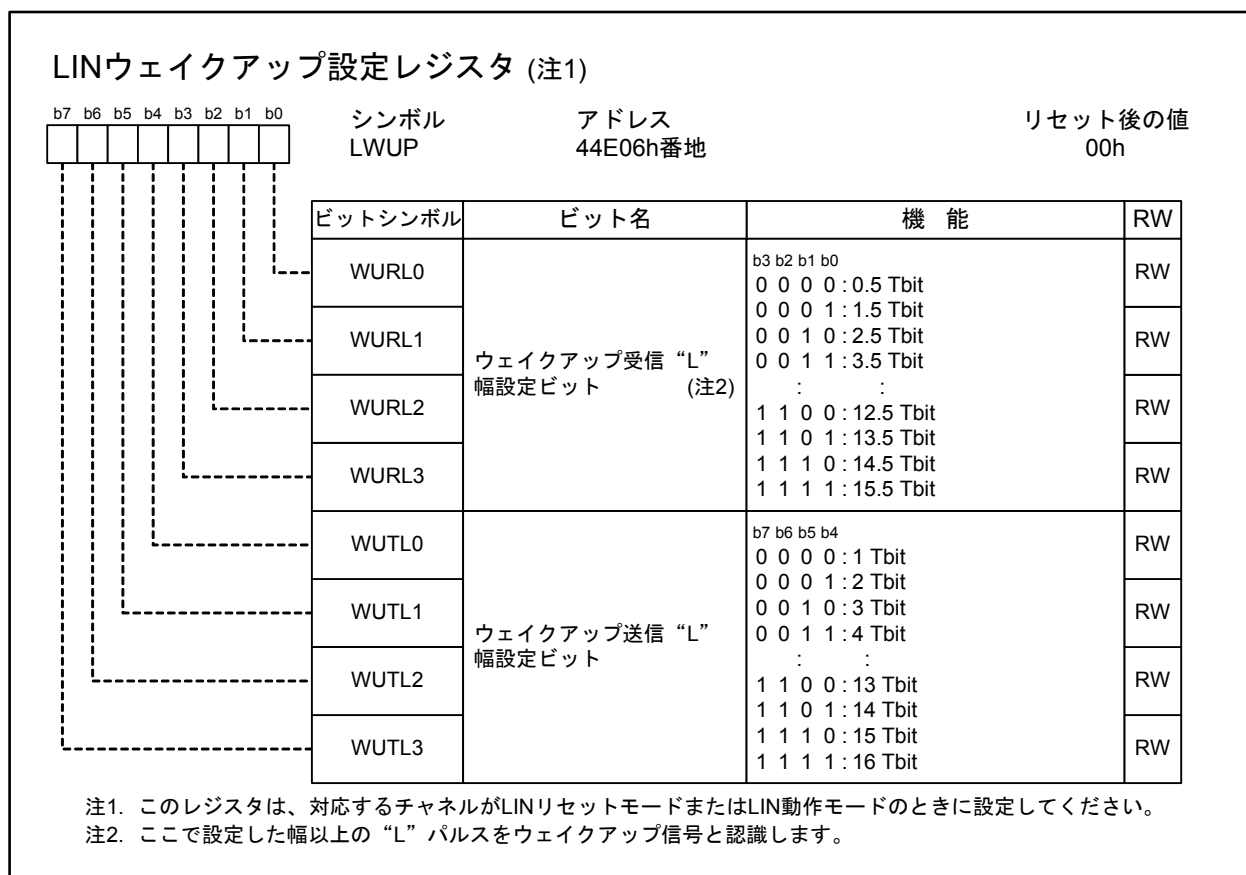


図 24.9 LWUPレジスタ

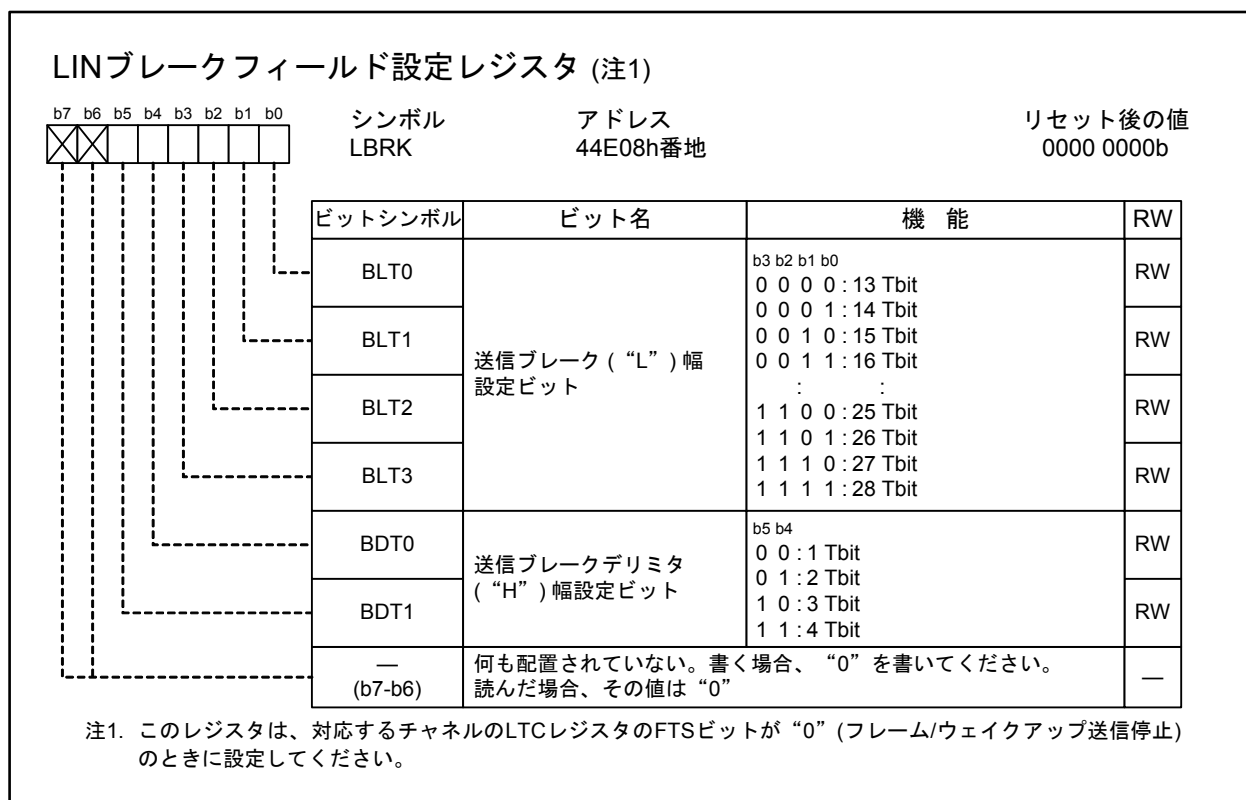


図 24.10 LBRK レジスタ

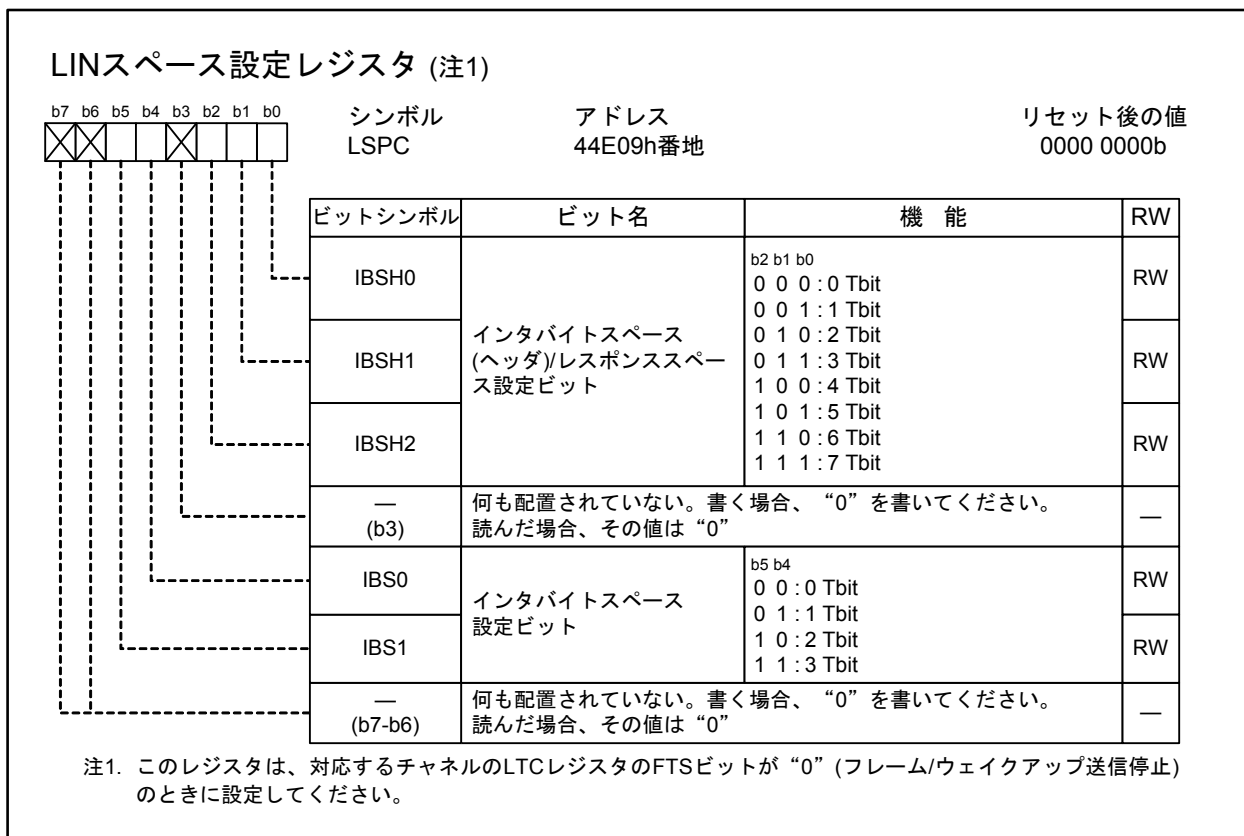


図 24.11 LSPC レジスタ

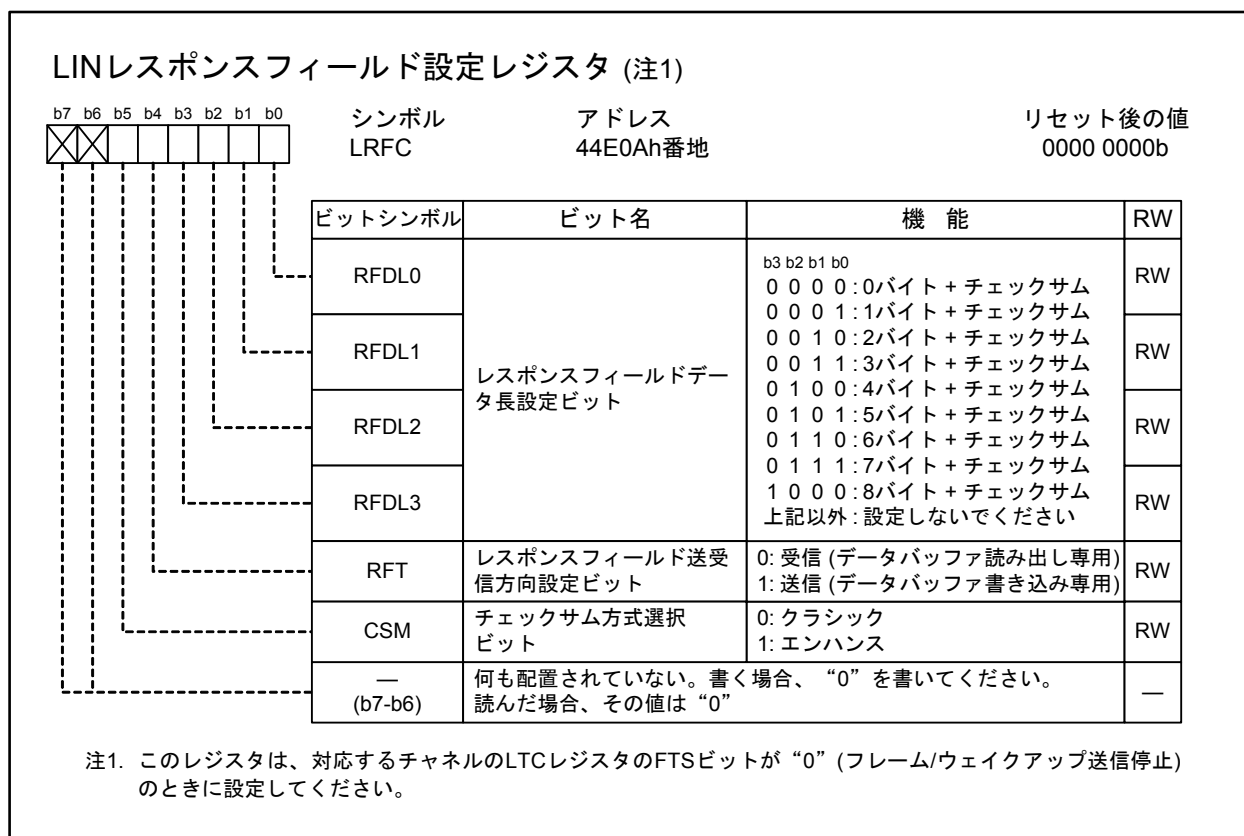


図 24.12 LRFCレジスタ

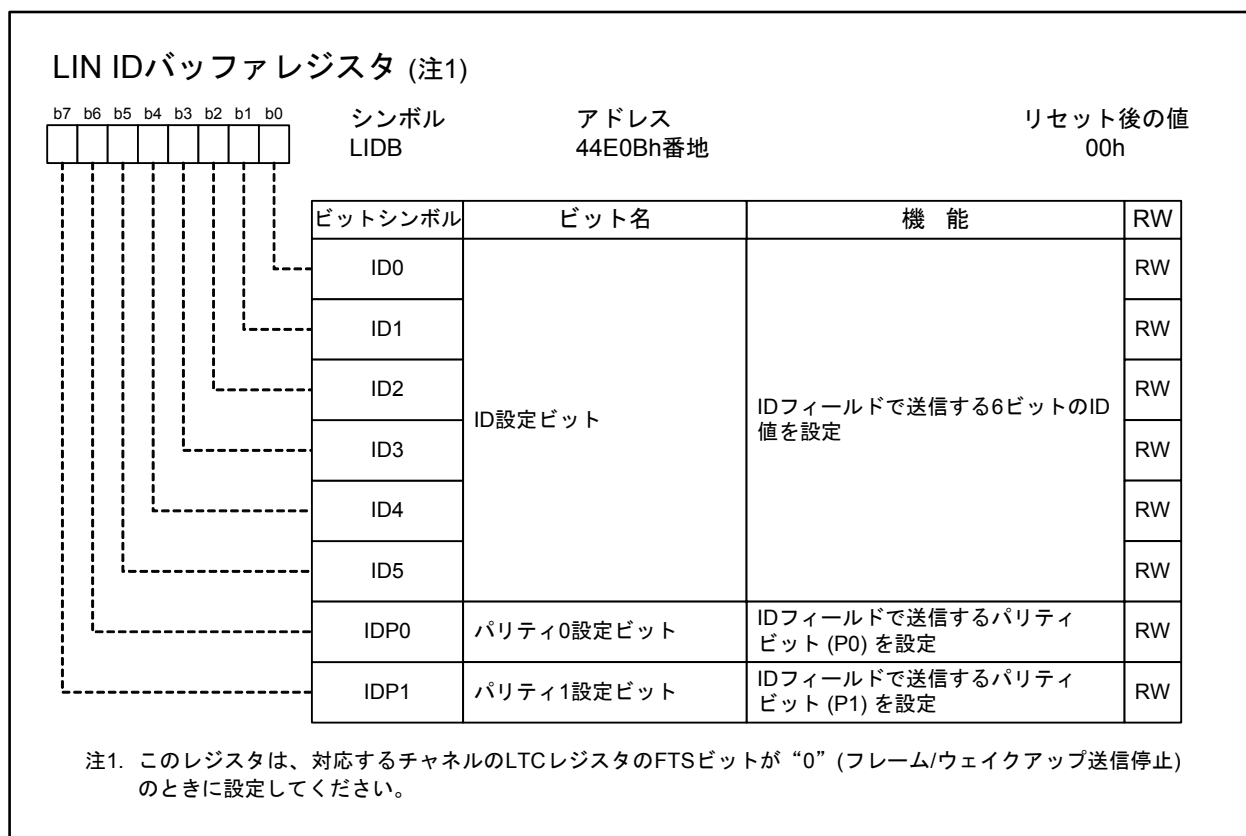


図 24.13 LIDBレジスタ

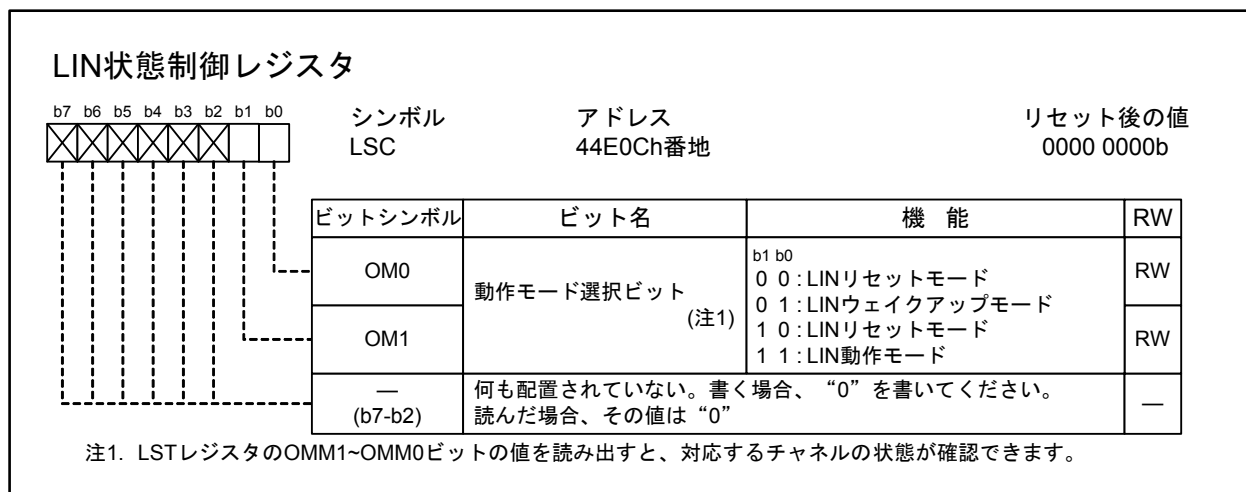


図 24.14 LSCレジスタ

LIN送信制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル LTC	アドレス 44E0Dh番地	リセット後の値 0000 0000b	
	ビットシンボル	ビット名	機能	RW
	FTS	フレーム/ウェイクアップ送信開始ビット (注1、2)	0: フレーム/ウェイクアップ送信停止 1: フレーム/ウェイクアップ送信開始	RW
	RTS	レスポンス送信開始ビット (注1、2、3)	0: レスポンス送信停止 1: レスポンス送信開始	RW
	— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—

- 注1. これらのビットは、“1”のみ書けます。送信が完了すると自動的に“0”になります。
 注2. これらのビットは、LINリセットモード、LINウェイクアップモード遷移時に“0”になります。
 注3. このビットは、対応するチャンネルのLMD0レジスタのFSMビットが“1”（フレームセパレートモード）で、FTSビットが“1”（フレーム/ウェイクアップ送信開始）のときに設定してください。

図 24.15 LTCレジスタ

LINステータスレジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル LST	アドレス 44E0Eh番地	リセット後の値 0000 0000b	
	ビットシンボル	ビット名	機能	RW
	FTC	フレーム/ウェイクアップ送信完了フラグ (注1)	0: 送信未完了 1: フレームまたはウェイクアップ送信完了 (注2)	RW
	FRC	フレーム/ウェイクアップ受信完了フラグ (注1)	0: 受信未完了 1: フレームまたはウェイクアップ受信完了	RW
	LD	入力信号“L”検出割り込みステータスフラグ (注1)	0: 割り込み要求なし 1: 割り込み要求あり (注3)	RW
	ERR	エラー検出フラグ	0: エラー未検出 1: エラー検出	RO
	OMM0	動作モードモニタフラグ	b5 b4 0 0: LINリセットモード (動作停止) 0 1: LINリセットモード (動作停止)	RO
	OMM1		1 0: LINウェイクアップモード 1 1: LIN動作モード	RO
	D1RC	データ1受信完了フラグ (注1)	0: 受信未完了 1: データ1受信完了	RW
	— (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—

- 注1. これらのビットは自動的に“0”になりません。プログラムで“0”にしてください。なお、“1”を書いた場合は、書く前の値を保持します。
 注2. フレームセパレートモードでのヘッダ送信完了時には、“1”になりません。
 注3. このビットが“1”の場合、他チャンネルのLDビットが“1”になっても、あるいは新たに自チャンネルでLDビットが“1”になる条件が整ったとしても、新たな割り込み要求は発生しません。

図 24.16 LSTレジスタ

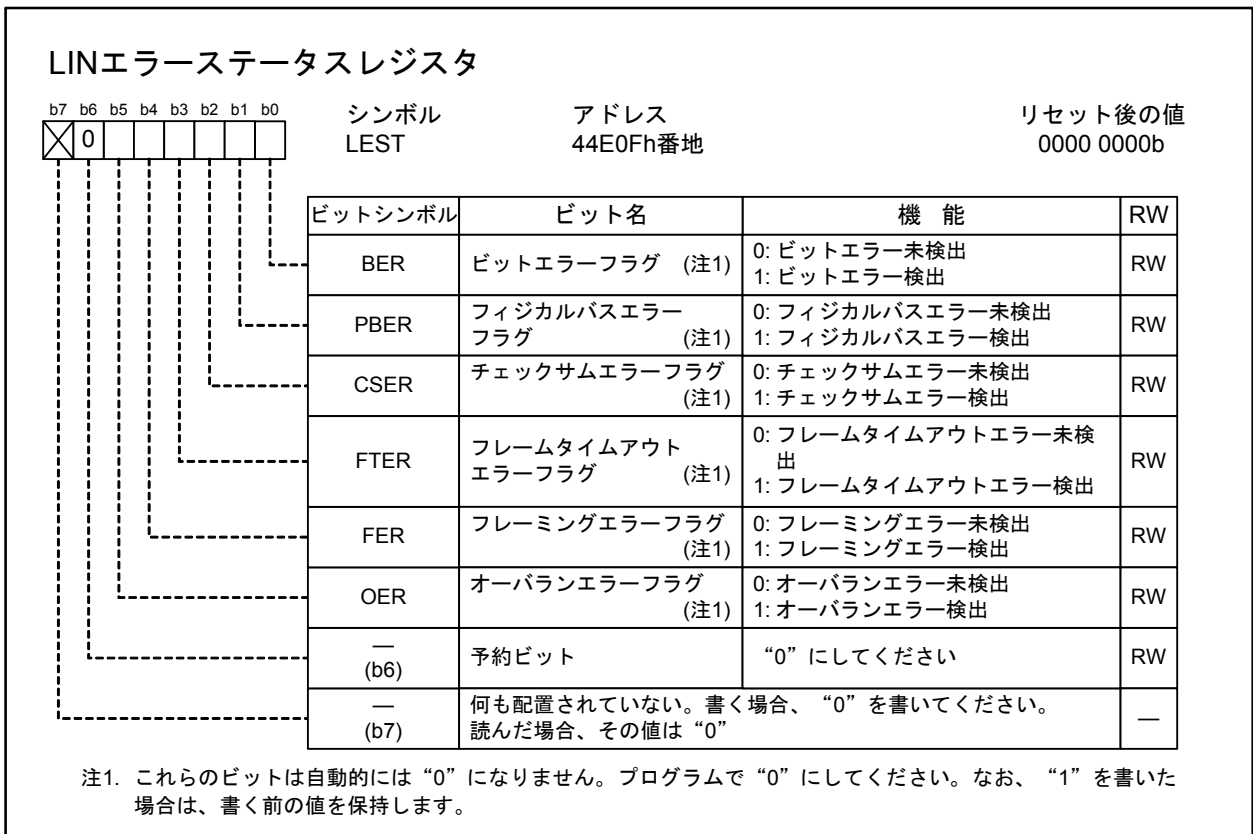


図 24.17 LESTレジスタ

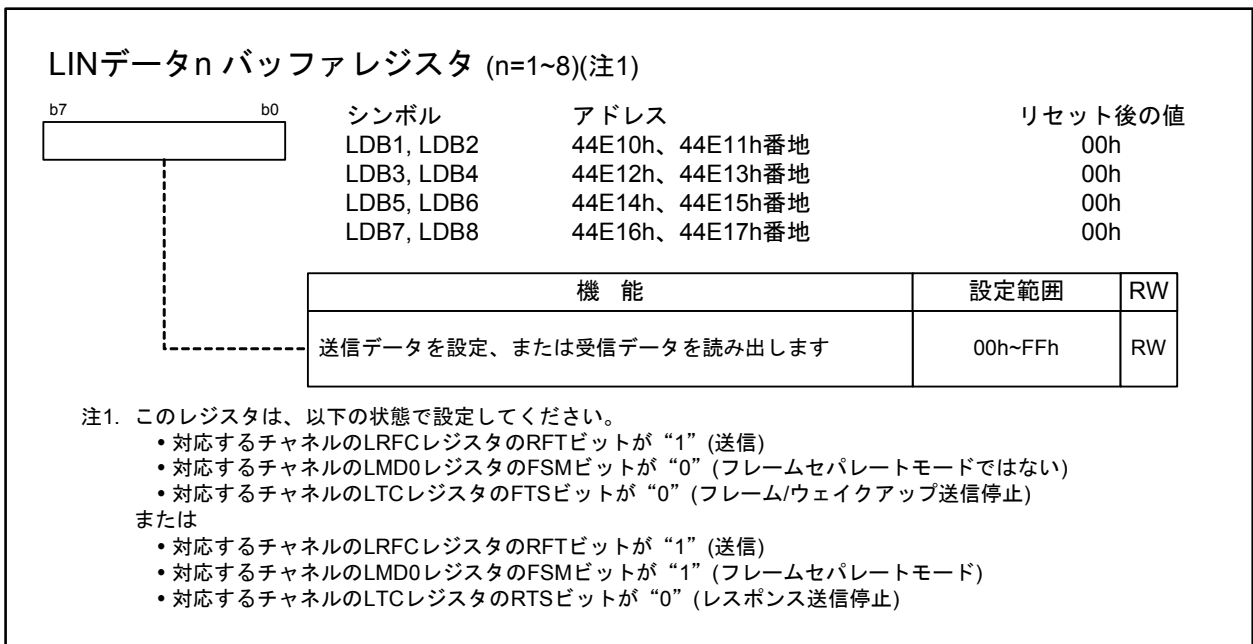


図 24.18 LDB1~LDB8レジスタ

24.2 動作モード

LINモジュールには、以下の3つの動作モードがあります。

- LINリセットモード
- LIN動作モード
- LINウェイクアップモード

各動作モードへの移行は、チャンネルごとに独立して制御します。なお、すべてのチャンネルをLINリセットモードにすると、LINモジュールへのクロック供給が停止されるため、消費電力を低減することができます。

図 24.19に動作モード間の遷移図、表 24.2に各動作モードで可能な動作を示します。

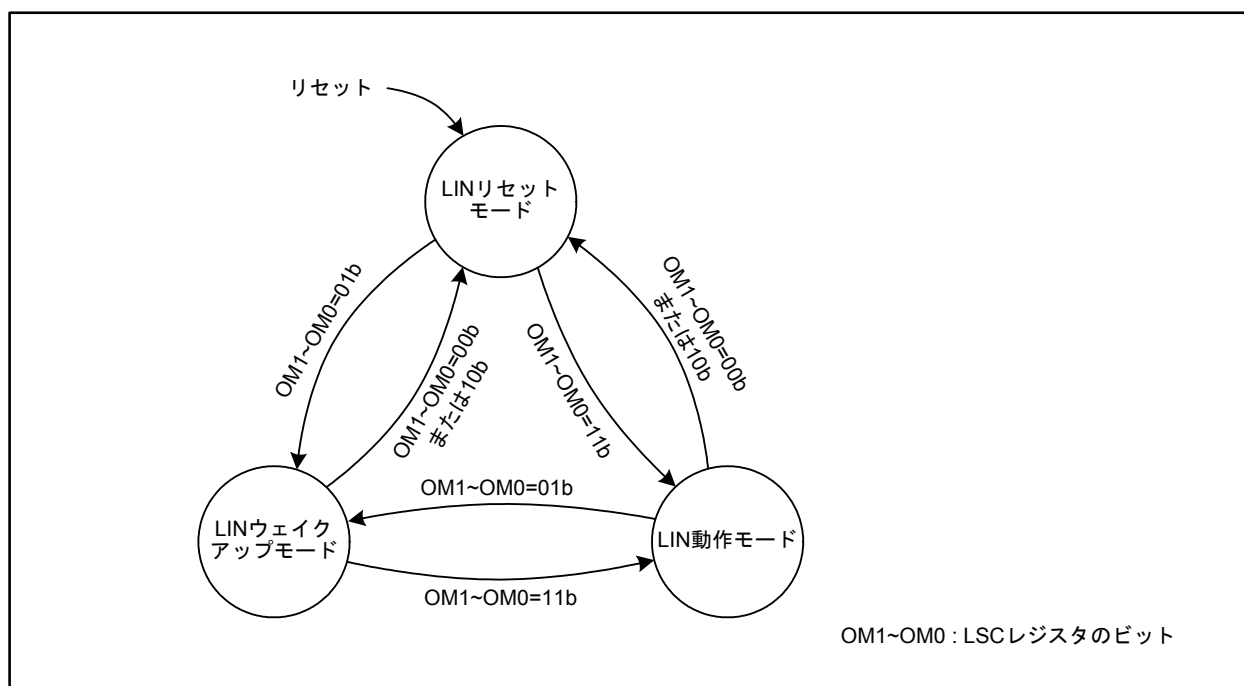


図 24.19 動作モード遷移図

表 24.2 各動作モードで可能な動作

LINリセットモード	LIN動作モード	LINウェイクアップモード
入力信号“L”検出	ヘッダ送信 レスポンス送信 レスポンス受信 エラー検出 入力信号“L”検出	ウェイクアップ送信 ウェイクアップ受信 エラー検出 入力信号“L”検出

LSTレジスタのOMM1~OMM0ビットを読み出すことで、各モードへ移行したことを確認できます。OM1~OM0ビットとOMM1~OMM0ビットでは、各動作モードのビット配置が異なることに注意してください。

24.2.1 LINリセットモード

LSCレジスタのOM1~OM0ビットを“00b”または“10b”にすると、該当するLIN通信チャンネルはLINリセットモードに移行し、LSTレジスタのOMM1~OMM0ビットが“00b”または“01b”になります。このモードのとき、該当するLIN通信チャンネルの機能はすべて停止しており、LINモジュールへのクロック供給(f_{LIN})も停止しています。

24.2.2 LIN動作モード

LSCレジスタのOM1~OM0ビットを“11b”にすると、該当するLIN通信チャンネルはLIN動作モードになり、LSTレジスタのOMM1~OMM0ビットが“11b”になります。

24.2.3 LINウェイクアップモード

LSCレジスタのOM1~OM0ビットを“01b”にすると、該当するLIN通信チャンネルはLINウェイクアップモードになり、LSTレジスタのOMM1~OMM0ビットが“10b”になります。

24.3 動作概要

24.3.1 ヘッダ送信

図 24.20にLINモジュールのヘッダ送信時の動作、表 24.3にヘッダ送信時の処理を示します。

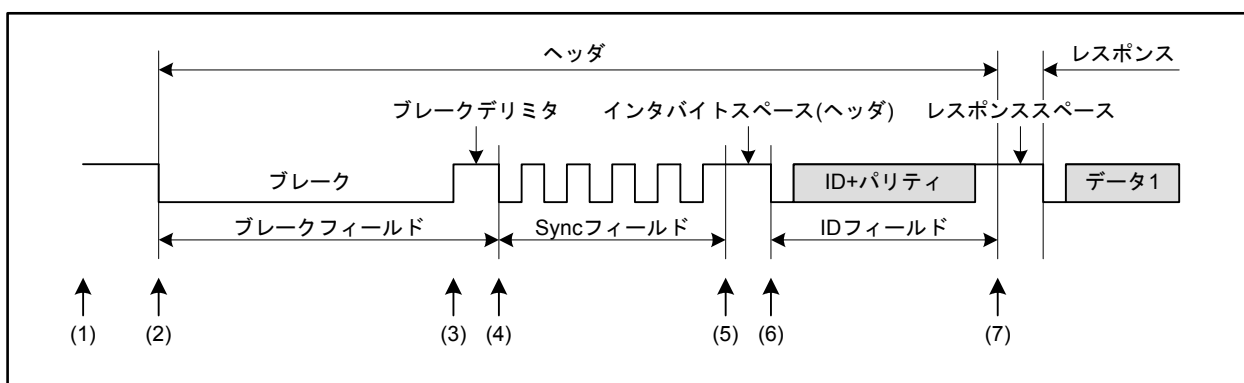


図 24.20 ヘッダ送信時の動作

表 24.3 ヘッダ送信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	<ul style="list-style-type: none"> •ボーレートを設定 •LMD0レジスタのFTCIEビットを“1”(フレーム/ウェイクアップ送信完了割り込み許可)、FRCIEビットを“1”(フレーム/ウェイクアップ受信完了割り込み許可)、ERRIEビットを“1”(エラー検出割り込み許可)に設定 •LIN通信チャネルの動作モードを変更 •LBRKレジスタのBLT3~BLT0ビットでブレーク幅(13~28 Tbit)、BDT1~BDT0ビットでブレークデリミタ幅(1~4 Tbit)を設定 •LSPCレジスタのIBSH2~IBSH0ビットでインタバイトスペース(ヘッダ)/レスポンススペース幅(0~7 Tbit)、IBS1~IBS0ビットでインタバイトスペース幅(0~3 Tbit)を設定 •LIDBレジスタにIDとそのパリティ値を設定 •LRFCレジスタのRFDL3~RFDL0ビットでデータ長、RFTビットでレスポンスの送受信方向、CSMビットでチェックサム方式を設定 •送信データを設定 	ソフトウェアによるフレーム/ウェイクアップ送信開始待ち(アイドル)
(2)	<ul style="list-style-type: none"> •LTCレジスタのFTSビットを“1”(フレーム/ウェイクアップ送信開始)にする 	ブレーク送信
(3)	割り込み要求発生待ち	ブレークデリミタ送信
(4)		Syncフィールド(55h)送信
(5)		インタバイトスペース(ヘッダ)送信
(6)		IDフィールド送信
(7)		レスポンススペース送信

24.3.2 レスポンス送信

図 24.21にLINモジュールのレスポンス送信時の動作、表 24.4にレスポンス送信時の処理を示します。

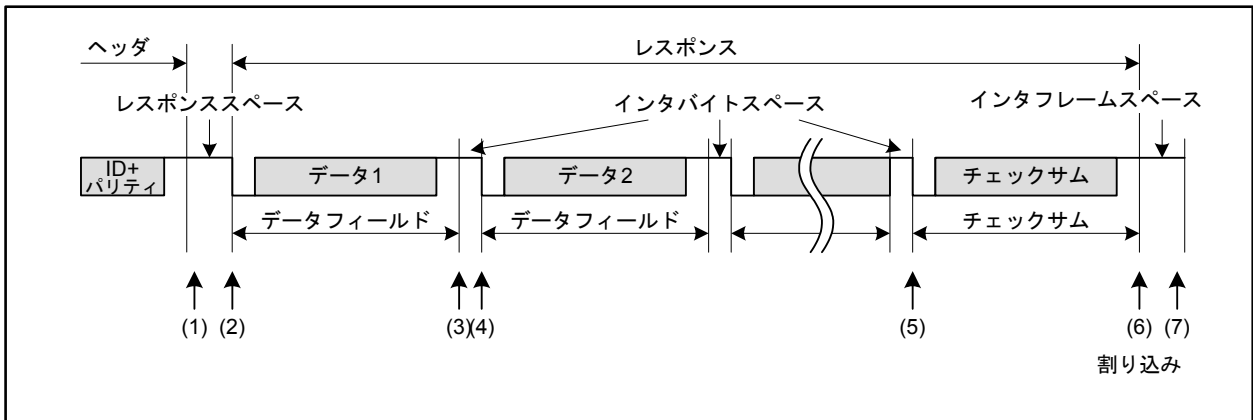


図 24.21 レスポンス送信時の動作

表 24.4 レスポンス送信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	(フレームセパレートモード時) LTCレジスタのRTSビットを“1”(レスポンス送信開始)にする (フレームセパレートモードでないとき) 割り込み要求発生待ち	(フレームセパレートモード時) レスポンス送信開始待ちの間、レスポンススペース送信 (フレームセパレートモードでないとき) レスポンススペース送信完了なら(2)へ
(2)	割り込み要求発生待ち	データ1送信
(3)		インタバイトスペース送信
(4)		データ2送信 インタバイトスペース送信 データ3送信 インタバイトスペース送信 (LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。エラー発生時は(6)へ) : :
(5)		チェックサム送信
(6)		<ul style="list-style-type: none"> フレーム/ウェイクアップ送信完了フラグ設定、またはエラーフラグ設定 LTCレジスタのFTSビットを“0”(フレーム/ウェイクアップ送信停止)、RTSビットを“0”(レスポンス送信停止)にする
(7)	通信後の処理 LSTレジスタのチェック、フラグのクリア	アイドル

24.3.3 レスポンス受信

図 24.22にLINモジュールのレスポンス受信時の動作、表 24.5にレスポンス受信時の処理を示します。

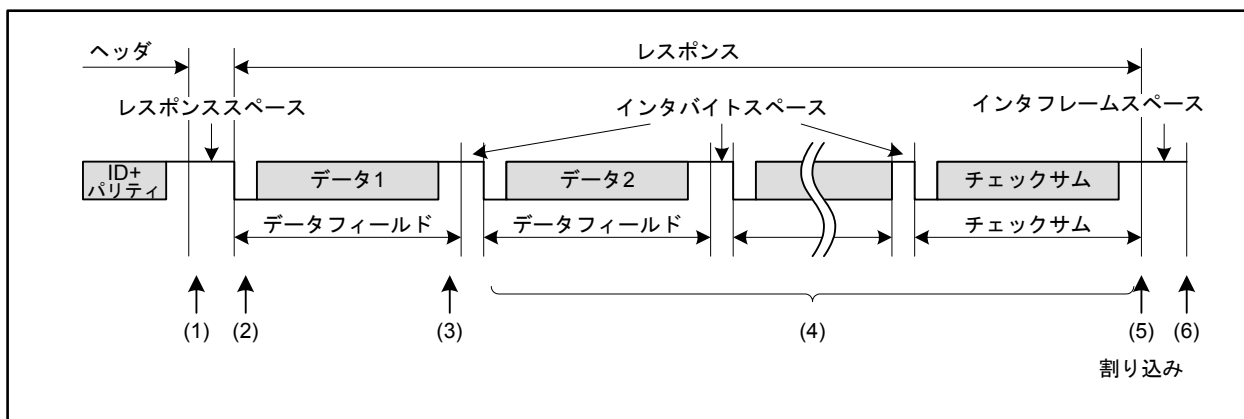


図 24.22 レスポンス受信時の動作

表 24.5 レスポンス受信時の処理

	ソフトウェア処理	LINモジュール処理
(1)	割り込み要求発生待ち(処理はなし)	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ1受信
(3)		<ul style="list-style-type: none"> データ1受信完了フラグ設定
(4)		スタートビット検出によりデータ2受信 スタートビット検出によりデータ3受信 (LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。エラー発生時は受信を中断して(5)へ。ただしその場合は、(5)のチェックサム判定は実施しません) … … スタートビット検出によりチェックサム受信
(5)		<ul style="list-style-type: none"> チェックサム判定 フレーム/ウェイクアップ受信完了フラグ設定、またはエラーフラグ設定 LTCレジスタのFTSビットを“0”(フレーム/ウェイクアップ送信停止)にする
(6)	通信後の処理 受信データの読み出し LSTレジスタのチェック、フラグのクリア	アイドル

24.4 ボーレートジェネレータ

周辺機能クロックをボーレートジェネレータで分周したクロックがLINモジュールシステムクロック (f_{LIN})となり、これを8分周または16分周したクロックがビットレートになります。このビットレートの逆数をビットタイム (Tbit) といいます。

LMD0レジスタのBTDビットが“0” (1 Tbit = 8 f_{LIN} で生成)の場合、 f_{Ln} が153600Hz (=19200×8)となるようにLBRP0レジスタとLBRGレジスタのFLNSビットを設定すれば、 f_{Ln} =19200×8[Hz]、 f_{Ln2} =9600×8[Hz]、 f_{Ln8} =2400×8[Hz]となり、ビットタイミング生成部でさらに8分周するため、19200bps、9600bps、2400bpsが生成できます。また、10417bpsはLBRP1レジスタによって生成します (f_{Lm} ~ f_{Lm8})。

LMD0レジスタのBTDビットが“1” (1 Tbit = 16 f_{LIN} で生成)の場合は、 f_{Ln} が307200Hz (=19200×16)となるように設定します。

図24.23にボーレート生成ブロック図を示します。

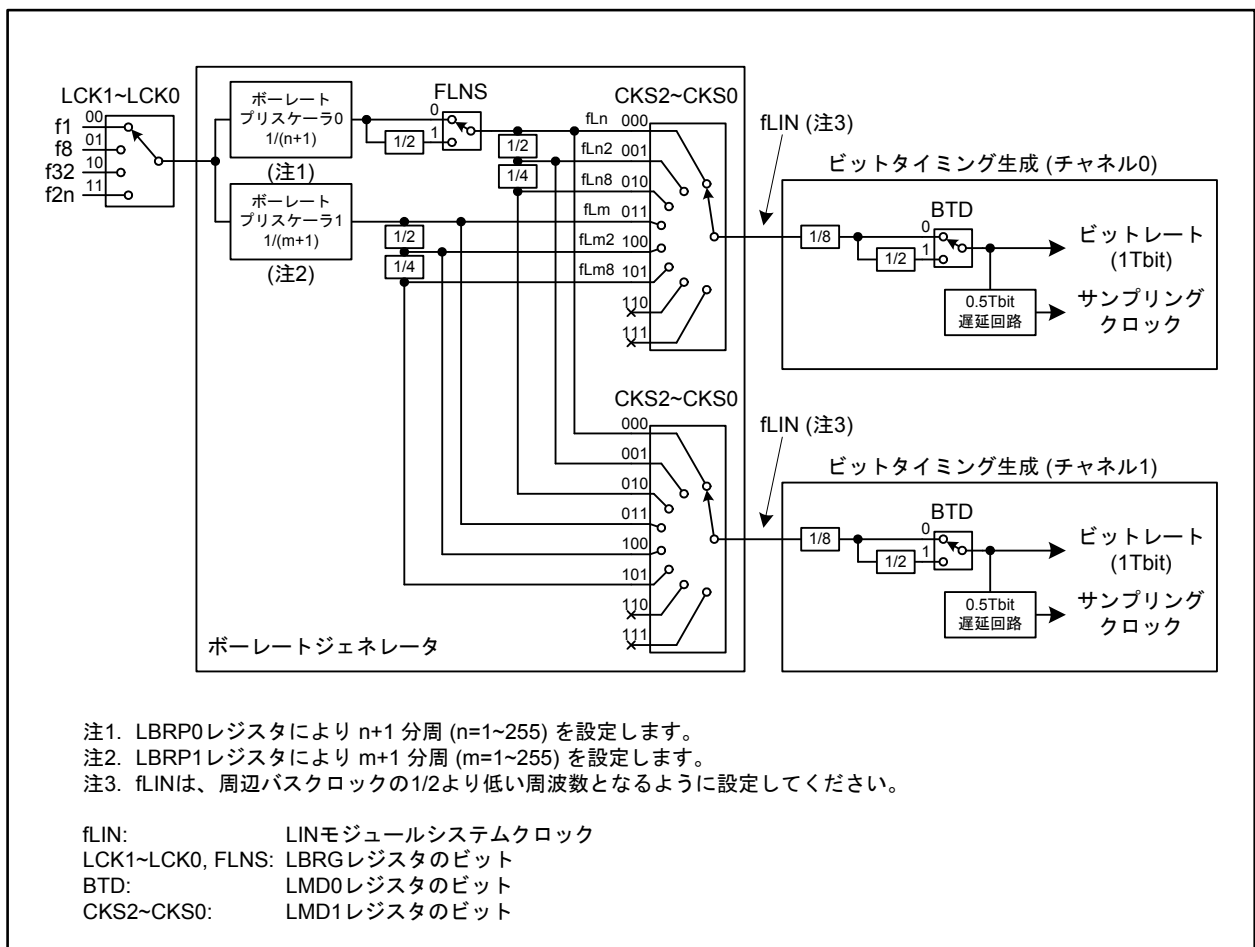


図 24.23 ボーレート生成ブロック図

表 24.6、表 24.7に周辺機能クロック周波数ごとのボーレート(19200、9600、2400、10417bps)生成例とその誤差を示します。

表 24.6 ボーレート生成例(19200bps、9600bps、2400bps)

周辺機能 クロック	n+1分周	BRP0出力	ビットタイム	fLn選択 (19200bps)	fLn2選択 (9600bps)	fLn8選択 (2400bps)	誤差
32MHz	104	分周なし/2分周	16 fLIN / 8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%
30MHz	98	分周なし/2分周	16 fLIN / 8 fLIN	19132.65bps	9566.33bps	2391.58bps	-0.35%
24MHz	78	分周なし/2分周	16 fLIN / 8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%
20MHz	65	分周なし/2分周	16 fLIN / 8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%
16MHz	52	分周なし/2分周	16 fLIN / 8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%
12MHz	39	分周なし/2分周	16 fLIN / 8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%
10MHz	65	分周なし(注1)	8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%
8MHz	26	分周なし/2分周	16 fLIN / 8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%
4MHz	13	分周なし/2分周	16 fLIN / 8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%
2MHz	13	分周なし(注1)	8 fLIN	19230.77bps	9615.38bps	2403.85bps	+0.16%

注1. 2分周の場合、誤差がLINプロトコルの規格(±0.5%)を満たしません。

表 24.7 ボーレート生成例(10417bps)

周辺機能 クロック	m+1分周	ビットタイム	fLIN選択	ボーレート (10417)	誤差
32MHz	48 / 96	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
30MHz	45 / 90	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
24MHz	36 / 72	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
20MHz	30 / 60	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
16MHz	24 / 48	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
12MHz	18 / 36	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
10MHz	15 / 30	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
8MHz	12 / 24	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
4MHz	6 / 12	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%
2MHz	3 / 6	8 fLIN / 16 fLIN	fLm8 / fLm2	10416.67bps	-0.003%

24.5 データ送信/受信

24.5.1 データ送信

データ送信は、1 Tbitに1ビットずつ行われます。

送信したデータは、LINトランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果はLESTレジスタのBERビットに格納されます(24.10 エラーステータス参照)。受信データを比較するタイミングは、LMD0レジスタのBTDビットが“0”(1 Tbit = 8 fLINで生成)の場合は5クロック目、BTDビットが“1”(1 Tbit = 16 fLINで生成)の場合は13クロック目になります。

図 24.24にデータ送信タイミングを示します。

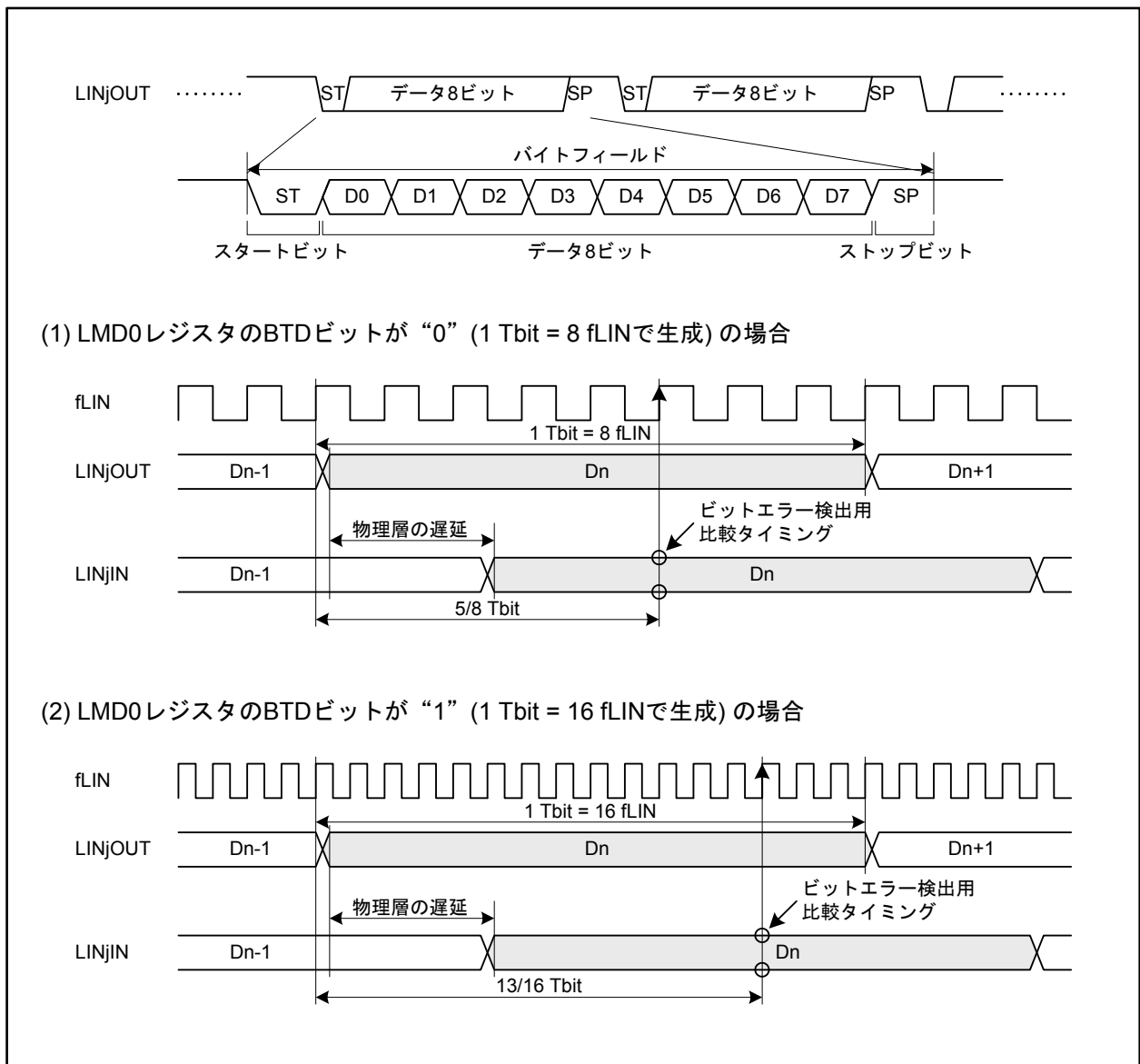


図 24.24 データ送信タイミング (j=0, 1)

24.5.2 データ受信

データ受信は、LINjIN端子(j=0, 1)からの入力をfLINに同期させた同期化LINjIN (内部信号)を使用しています。

この同期化LINjIN信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、0.5 Tbit後に再度サンプリングを行い同期化LINjIN信号が“L”であった場合にスタートビットと認識します。リセット解除後からLINjIN信号がずっと“L”の場合や、再サンプリング時に“H”を検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbitごとにビットのサンプリングを行います。

図 24.25にデータ受信タイミングを示します。

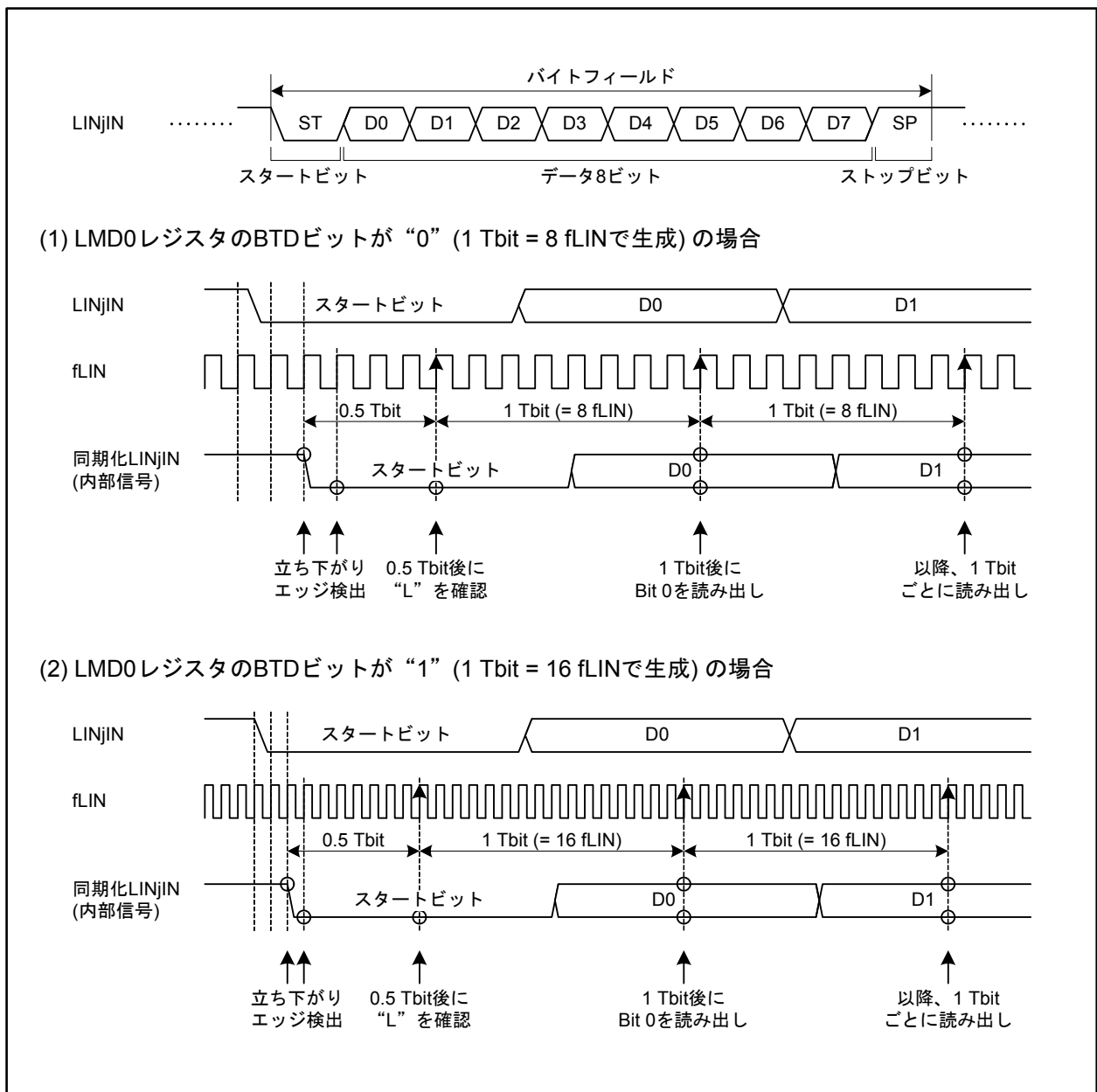


図 24.25 データ受信タイミング (j=0, 1)

24.6 送信/受信データのバッファ処理

LINモジュールの連続データ送受信時のバッファ処理について説明します。

24.6.1 LINフレームの送信

8バイト送信の場合、各チャンネルのLDB1~LDB8レジスタに格納されている内容が、順番にLINフレームのデータ1~8領域に送信されます。4バイト送信の場合は、LDB1~LDB4レジスタに格納されている内容がLINフレームのデータ1~4領域に送信され、LDB5~LDB8レジスタの内容は送信されません。

図 24.26にLIN送信処理とバッファを示します。

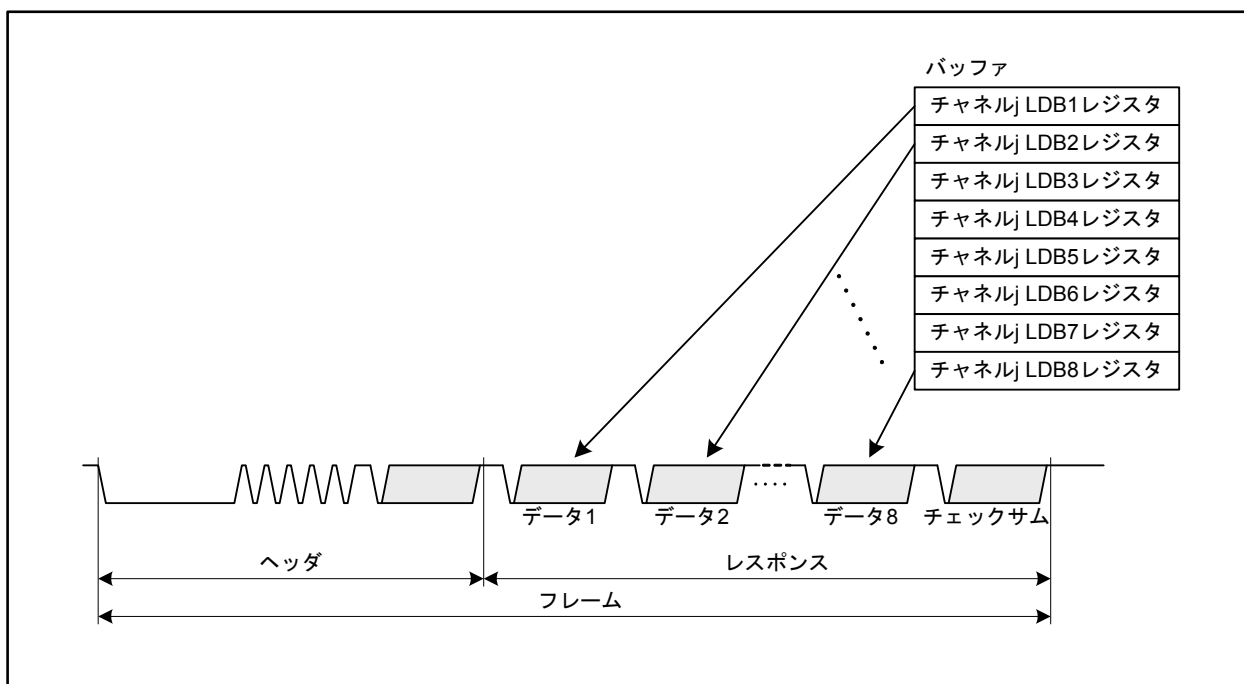


図 24.26 LIN送信処理とバッファ (j=0, 1)

24.6.2 LINフレームの受信

8バイト受信の場合、LINフレームのデータ1~8領域の内容が、ストップビットを受信するごとにそれぞれ各チャンネルのLDB1~LDB8レジスタに格納されます。4バイト受信の場合は、LINフレームのデータ1~4領域の内容が、それぞれLDB1~LDB4レジスタに格納され、LDB5~LDB8レジスタには何も格納されません。

図 24.27にLIN受信処理とバッファを示します。

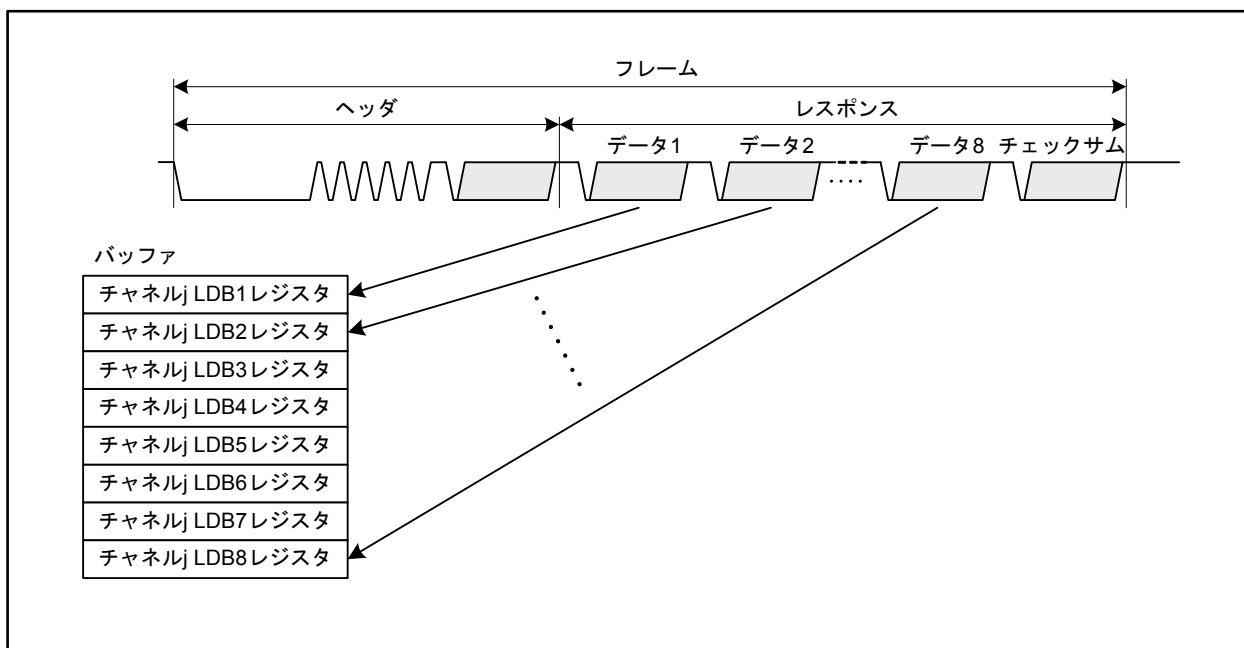


図 24.27 LIN受信処理とバッファ (j=0, 1)

24.7 ウェイクアップ送信/受信

ウェイクアップの送受信はLINウェイクアップモードで使用できます。

24.7.1 ウェイクアップ送信

24.7.1.1 ウェイクアップ送信動作

LINウェイクアップモード時、LTCレジスタのFTSビットを“1”(フレーム/ウェイクアップ送信開始)にすると、対応するチャンネルの出力端子からウェイクアップ信号が出力されます。ウェイクアップ信号の“L”幅はLWUPレジスタのWUTL3~WUTL0ビットで設定します。

ビットエラーなくウェイクアップの“L”が出力された場合、LSTレジスタのFTCビットが“1”(フレームまたはウェイクアップ送信完了)になり、LMD0レジスタのFTCIEビットが“1”(フレーム/ウェイクアップ送信完了割り込み許可)のとき割り込み要求が発生します。

ビットエラーを検出した場合は、ウェイクアップ送信を中断しLESTレジスタのBERビットを“1”(ビットエラー検出)にします。

図 24.28にウェイクアップ送信タイミングを示します。

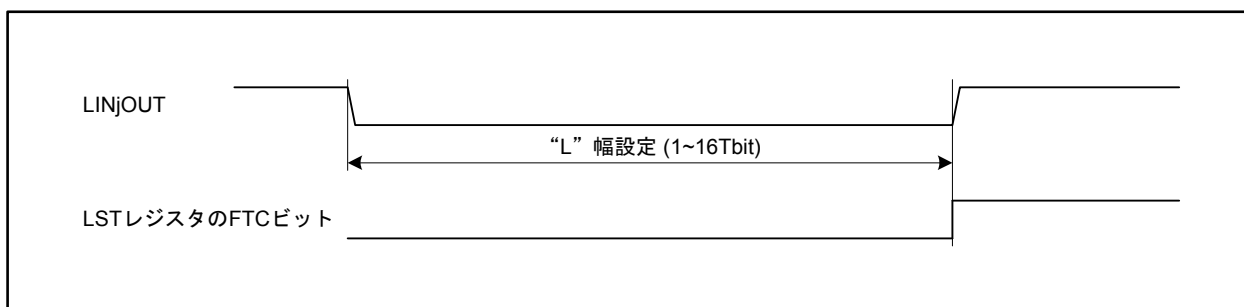


図 24.28 ウェイクアップ送信タイミング(j=0, 1)

24.7.1.2 ウェイクアップ衝突

マスタノードとスレーブノードが同時にウェイクアップ信号を送信した場合、LINバス上で衝突が発生しますが、LINモジュールでは、ウェイクアップ信号の衝突は検知しません。

また、LINバスの“L”固着をウェイクアップ信号と認識しないために、ウェイクアップ信号送信後は一度レセシブ(“H”)を検知しなければ、入力信号“L”幅カウント機能は動作しません。

24.7.2 ウェイクアップ受信

24.7.2.1 ウェイクアップ受信動作

ウェイクアップを検出するには、入力信号“L”幅カウント機能または、入力信号“L”検出機能を使用します。入力信号“L”幅カウント機能はLINウェイクアップモードで、入力信号“L”検出機能はすべての動作モードで使用できます。

入力信号“L”幅カウント機能は、データ受信と同じサンプリングポイントでLINjIN端子(j=0, 1)への入力信号が“L”になっている期間をカウントする機能です。カウント値がLWUPレジスタのWURL3~WURL0ビットで設定した値に達するとLSTレジスタのFRCビットが“1”(フレームまたはウェイクアップ受信完了)になり、LMD0レジスタのFRCIEビットが“1”(フレーム/ウェイクアップ受信完了割り込み許可)の場合、割り込み要求が発生します。

入力信号“L”検出機能は、LINjIN端子への入力信号の立ち下がりエッジを非同期で検出する機能です。LMD0レジスタのLDEビットが“1”(入力信号“L”検出許可)の場合、入力信号の立ち下がりエッジを検出すると、LSTレジスタのLDビットが“1”(入力信号“L”検出)になり、割り込み要求が発生します。

図 24.29 にウェイクアップ検出の例を示します。

ビットレートが19200bps (1 Tbit = 52 μ s)、WURL3~WURL0ビットの設定が“0011b”(3.5 Tbit)の場合、 $52 \mu\text{s} \times 3.5 = 182 \mu\text{s}$ よりも長い“L”パルスをウェイクアップ信号として認識します。

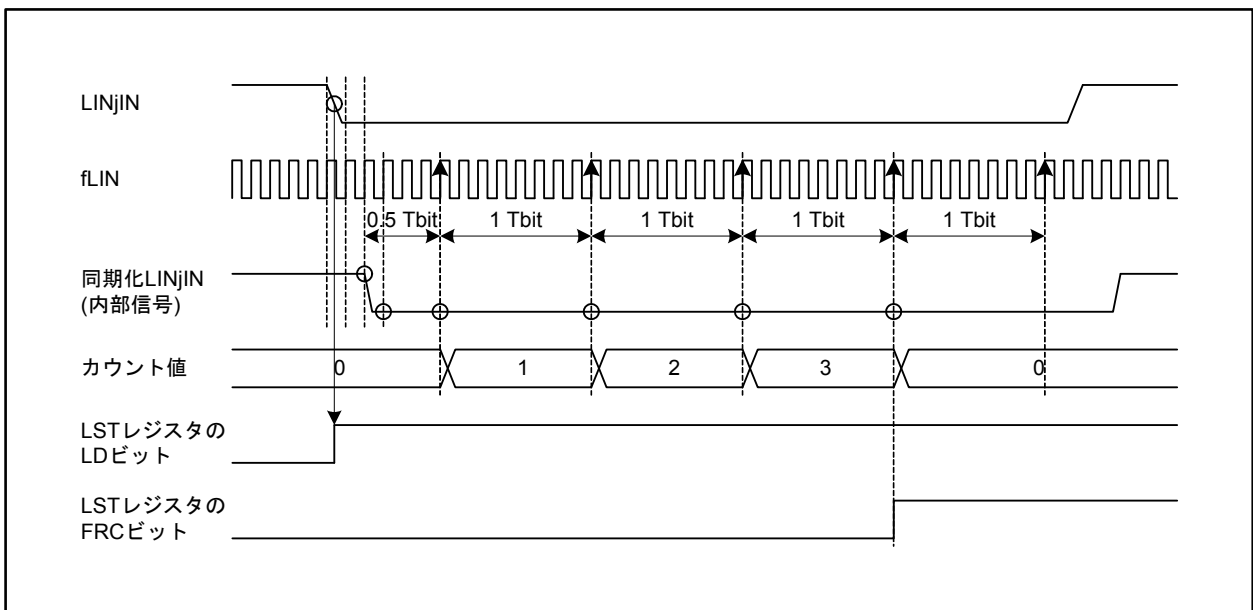


図 24.29 ウェイクアップ検出例 (j=0, 1)

入力信号“L”幅カウント機能は、ウェイクアップ送信中は動作しません(入力信号“L”検出機能はウェイクアップ送信中も動作します)。ウェイクアップ受信カウント中にLTCレジスタのFTSビットを“1”(フレーム/ウェイクアップ送信開始)に設定した場合、受信処理を中断してウェイクアップ送信を行います。

24.8 入力信号“L”検出機能を用いた低消費電力モード制御

入力信号“L”検出機能をウェイトモードやストップモードからの復帰用割り込みとして使用することができます。

図 24.30にウェイトモードへ移行する前の設定例を示します。ウェイトモード、ストップモードへの移行についての詳細は「7.7.2 ウェイトモード」、「7.7.3 ストップモード」を参照してください。

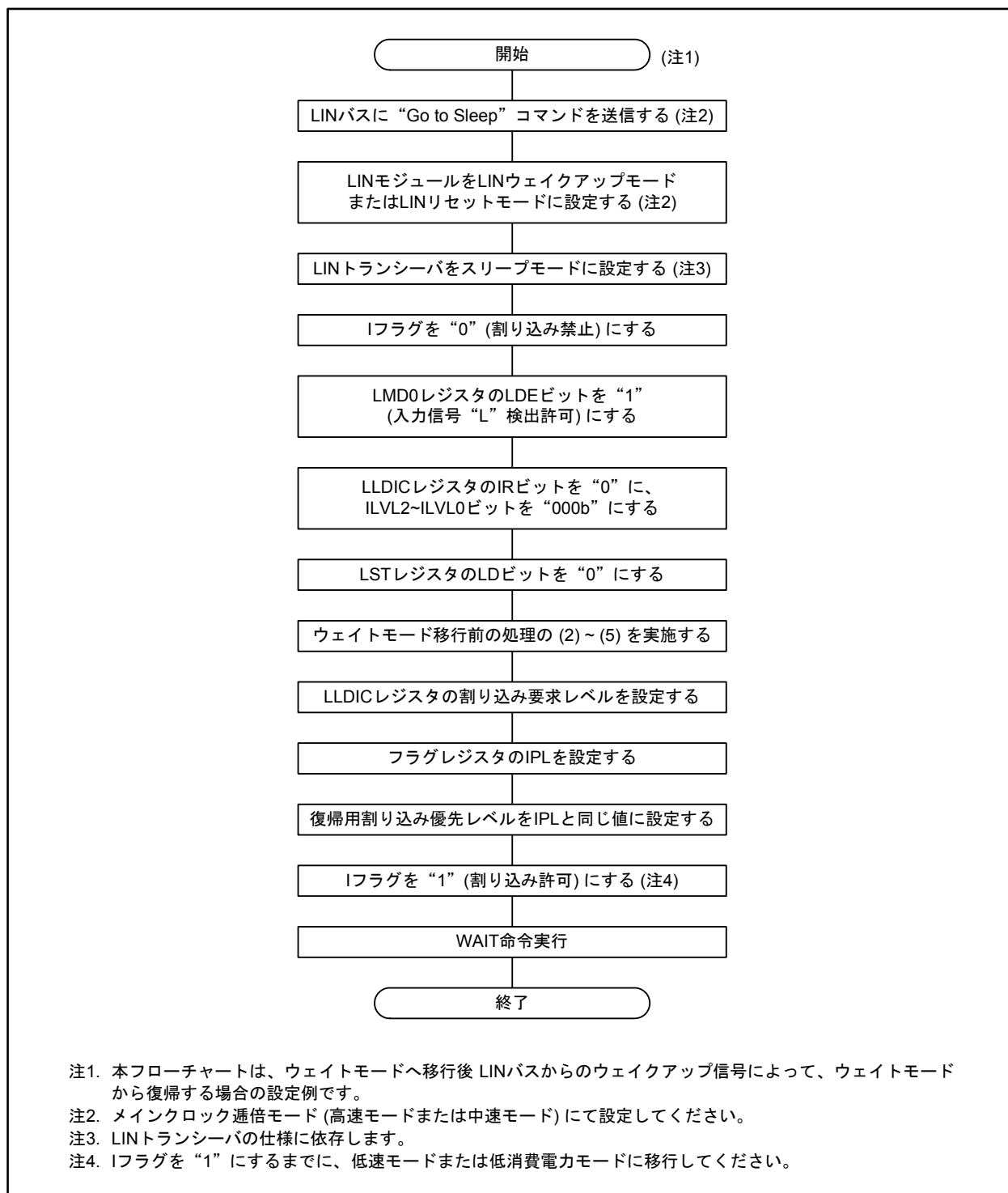


図 24.30 ウェイトモードへ移行する前の設定例

24.9 ステータス

LINモジュールは6種類のステータスを検出します。これらの検出状態はLSTレジスタの各ビットで確認できます。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、入力信号“L”検出、エラー検出の4つのステータスは割り込み要求を発生することができます。

表 24.8にステータスの種類を示します。

表 24.8 ステータスの種類(j=0, 1)

ステータス	ステータス検出条件	ステータスを検出できる動作モード	LSTレジスタの対応ビット
フレーム/ウェイクアップ送信完了	LRFCレジスタのRFTビットが“1”(送信)のとき、レスポンスフレームの送信が正常に完了した	LIN動作モード	FTC
	ウェイクアップ信号の送信が正常に完了した	LINウェイクアップモード	
フレーム/ウェイクアップ受信完了	LRFCレジスタのRFTビットが“0”(受信)のとき、レスポンスフレームの受信が正常に完了した	LIN動作モード	FRC
	入力信号の“L”幅がLWUPレジスタのWURL3～WURL0ビットの設定値に達した	LINウェイクアップモード	
入力信号“L”検出	LMD0レジスタのLDEビットが“1”(入力信号“L”検出許可)のとき、LINjIN端子からの入力信号の立ち下がりエッジを検出した、またはLINjIN端子が“L”のときにLDEビットを“1”にした	すべてのモード	LD
エラー検出	LESTレジスタのビット0～ビット5のいずれかが“1”(エラー検出)になった	LIN動作モード LINウェイクアップモード	ERR
動作モード	LSCレジスタのOM1～OM0ビットを設定後、実際にLINモジュールが設定した動作モードになった	すべてのモード	OMM1～OMM0
データ1受信完了	LRFCレジスタのRFTビットが“0”(受信)のとき、レスポンスフレームの最初の1バイトの受信が完了した(注1)	LIN動作モード	D1RC

注1. LRFCレジスタのRFDL3～RFDL0ビットが“0000b”(0バイト+チェックサム)のときは検出されません。

24.10 エラーステータス

24.10.1 エラーステータスの種類

LINモジュールは6種類のエラーステータスを検出します。これらのエラーの状態はLESTレジスタの各ビットで確認できます。

表 24.9にエラーステータスの種類を示します。

表 24.9 エラーステータスの種類

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可/禁止選択	LESTレジスタの対応ビット
ビットエラー	送信したデータと、受信端子でモニタしているLINバス上のデータが一致しなかった	LIN動作モード LINウェイクアップモード	中断 (注1)	可能	BER
フィジカルバスエラー	ブレークフィールド送信直前にLINバスがすでに“L”であった、またはLINバスの“H”固着を検出した	LIN動作モード LINウェイクアップモード	中断	可能	PBER
チェックサムエラー	レスポンスフレーム受信処理において、チェックサム判定の結果がエラーになった	LIN動作モード	—	不可能	CSER
フレームタイムアウトエラー	フレームの送受信がある一定の時間内に終了しなかった(注2)	LIN動作モード	中断	可能	FTER
フレーミングエラー	レスポンスフレーム受信処理において、各データバイトのストップビットが“L”であった	LIN動作モード	中断	可能	FER
オーバランエラー	レスポンスフレーム受信処理において、LSTレジスタのFRCビットが“1”(フレーム/ウェイクアップ受信完了)のとき、次のレスポンスフレームの最初のデータバイトを受信した	LIN動作モード	中断	可能	OER

注1. ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、その領域の直後に送信を中断します。ウェイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウェイクアップ送信を中断します。

注2. タイムアウト時間は、レスポンスフィールドデータ長(LRFCレジスタのRFDL3~RFDL0ビット)に依存し、下記の式により計算できます。

$$\text{タイムアウト時間} = 50 + (\text{データバイト数} + 1) \times 14 \quad [\text{Tbit}]$$

上記タイムアウト時間は、LIN Specification Package Revision 1.3の $T_{\text{FRAME_MAX}}$ ($\{(10 \times \text{データバイト数} + 44) + 1\} \times 1.4$) を超える時間となります。

24.10.2 LINエラー検出の対象時間領域

図 24.31 にエラーを検出するためにLINモジュールが監視する時間領域を示します。

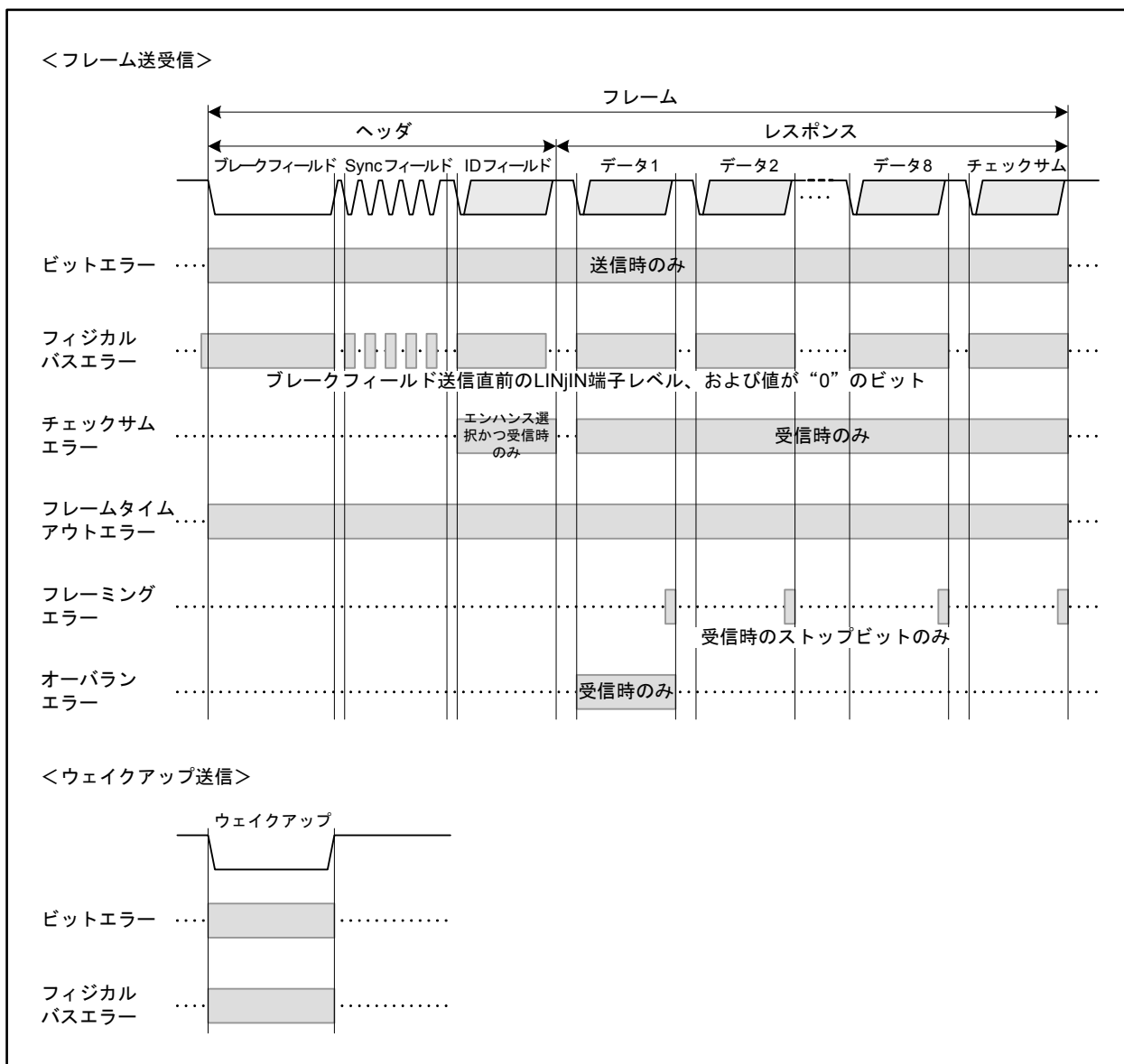


図 24.31 LINエラー検出の対象時間領域 (j=0, 1)

24.11 割り込み

LINモジュールが生成する割り込み要求には、LIN_j割り込み(j=0, 1)とLIN“L”検出割り込みがあります。割り込み要因には、チャンネルごとにフレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出、入力信号“L”検出の4つあります。

フレーム/ウェイクアップ送信完了、フレーム/ウェイクアップ受信完了、エラー検出の3つのステータスによる割り込み要求は、チャンネルごとに論理和をとって1つの割り込み要求「LIN_j割り込み」にまとめられます。入力信号“L”検出ステータスによる割り込み要求は、全チャンネルの論理和をとってLIN“L”検出割り込み要求となります。

それぞれの割り込み要求は、LMD0レジスタの対応するビットが“1”(割り込み許可)のときに、LSTレジスタの対応するフラグが“1”になると出力されます。なお、複数の要因の論理和をとっているため、いずれかの要因が“1”であると他の要因による新たな割り込み要求は発生しません。

図 24.32にLIN_j割り込みブロック図、図 24.33にLIN“L”検出割り込みブロック図を示します。

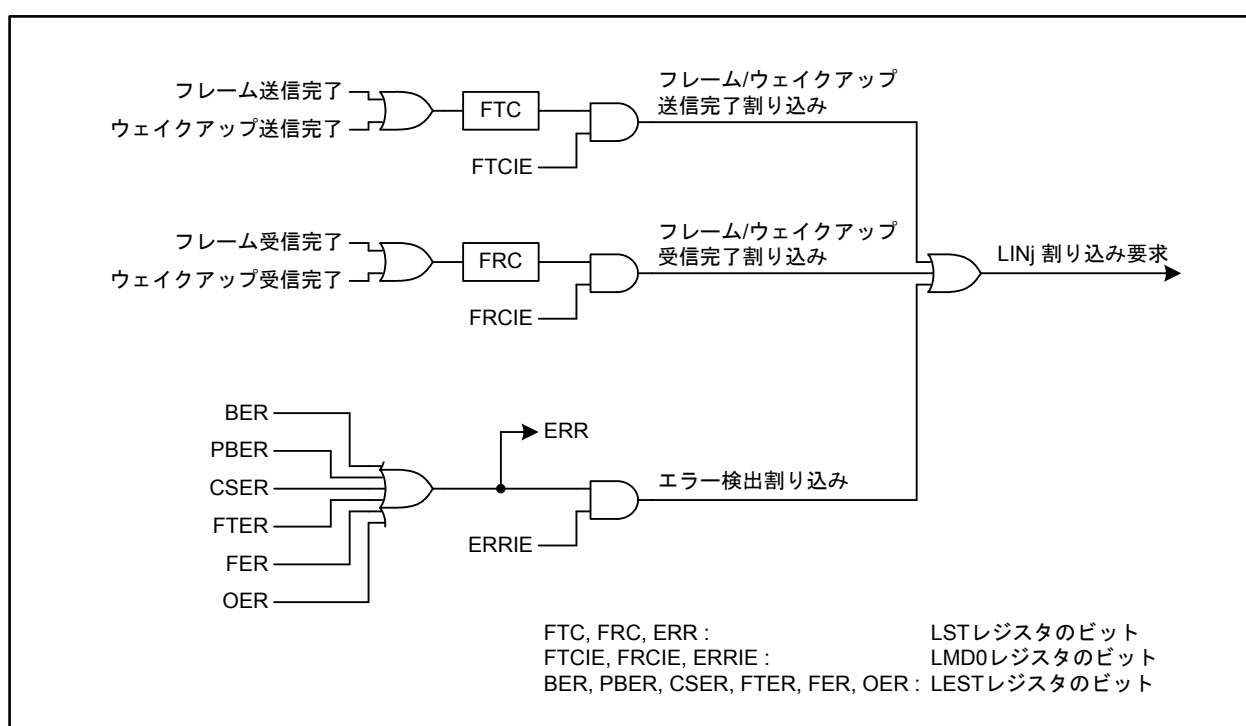


図 24.32 LIN_j割り込みブロック図(j=0, 1)

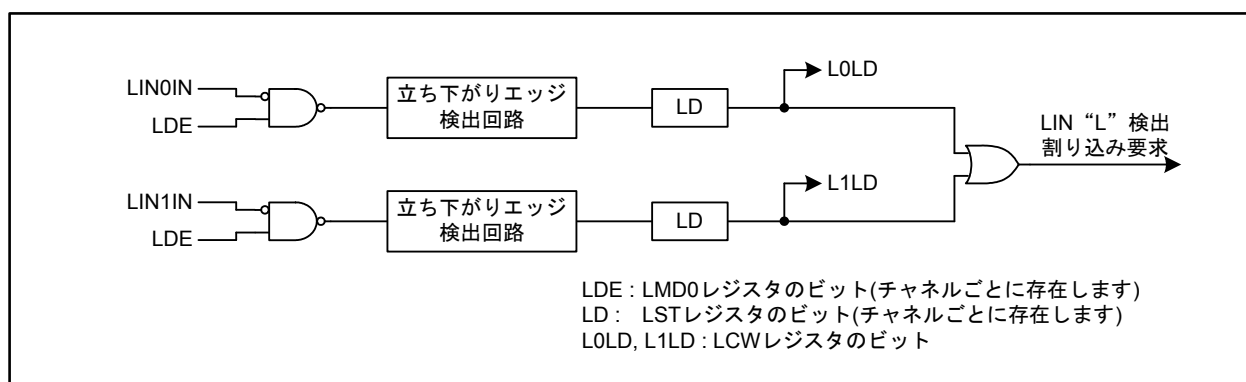


図 24.33 LIN“L”検出割り込みブロック図

25. CANモジュール

ISO11898-1仕様に準拠したCAN (Controller Area Network) モジュールを、R32C/142は3チャンネル(CAN2, CAN3, CAN5)、R32C/145は6チャンネル(CAN0~CAN5)内蔵しています。CANモジュールは標準(11ビット) Identifier (以下、IDと略す)と拡張(29ビット) IDの両フォーマットのメッセージを送受信できます。

本章では全6チャンネル分の仕様を記載しています。R32C/142グループにはCAN0、CAN1、CAN4は存在しません。

表 25.1、表 25.2にCANモジュールの仕様、図 25.1にCANモジュールブロック図を示します。

なお、CANバストランシーバは外付けしてください。

表 25.1 CANモジュールの仕様(1)

項目	仕様
プロトコル	ISO11898-1仕様準拠
ビットレート	最大1Mbps
メッセージボックス	16メールボックス 2種類のメールボックスモードを選択可能 <ul style="list-style-type: none"> • 通常メールボックスモード 16個のメールボックスをすべて送信または受信用に設定可能 • FIFOメールボックスモード 8個のメールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に4段、受信用に4段のFIFOに設定可能
受信	<ul style="list-style-type: none"> • データフレームとリモートフレームを受信可能 • 受信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 • ワンショット受信機能を選択可能 • オーバライトモード(メッセージ上書き)またはオーバランモード(メッセージ破棄)を選択可能 • 受信完了割り込みの許可/禁止をメールボックスごとに設定可能 • ゲートウェイ機能を有効にした場合、特定のメールボックスに受信したフレームを自動的にCANゲートウェイモジュールへ転送
アクセプタンスフィルタ	4つのアクセプタンスマスク(メールボックス4個ごとに個別のマスク) メールボックスごとにマスクの有効/無効を設定可能
送信	<ul style="list-style-type: none"> • データフレームとリモートフレームを送信可能 • 送信するIDフォーマット(標準IDのみ、拡張IDのみ、標準IDと拡張IDの両方)を選択可能 • ワンショット送信機能を選択可能 • ID優先送信モードまたはメールボックス番号優先送信モードを選択可能 • 送信要求をアボート可能(フラグでアボート完了を確認可能) • 送信完了割り込みの許可/禁止をメールボックスごとに設定可能
バスオフ復帰モード遷移	バスオフ状態からの復帰モード遷移を選択可能 <ul style="list-style-type: none"> • ISO11898-1仕様準拠 • バスオフ開始でCAN Haltモードへ自動遷移 • バスオフ終了でCAN Haltモードへ自動遷移 • プログラムによるCAN Haltモードへの遷移 • プログラムによるエラーアクティブ状態への遷移

表 25.2 CANモジュールの仕様(2)

項目	仕様
エラー状態の監視	<ul style="list-style-type: none"> • CANバスエラー(スタッフエラー、フォームエラー、ACKエラー、CRCエラー、ビットエラー、ACKデリミタエラー)を監視可能 • エラー状態の遷移を検出可能(エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) • エラーカウンタを読み出し可能
タイムスタンプ機能	16ビットカウンタによるタイムスタンプ機能 基準クロックは、1、2、4、8ビットタイムから選択可能
割り込み要因	6種類 <ul style="list-style-type: none"> • 受信完了 • 送信完了 • 受信FIFO • 送信FIFO • エラー • ウェイクアップ
CANスリープモード	CANクロックを停止することで消費電流を低減可能
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット <ul style="list-style-type: none"> • アクセプタンスフィルタサポート • メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) • チャネル検索サポート
CANクロックソース	周辺バスクロックかメインクロックを選択可能
テストモード	ユーザ評価用に3つのテストモードを用意 <ul style="list-style-type: none"> • リッスンオンリモード • セルフテストモード0(外部ループバック) • セルフテストモード1(内部ループバック)

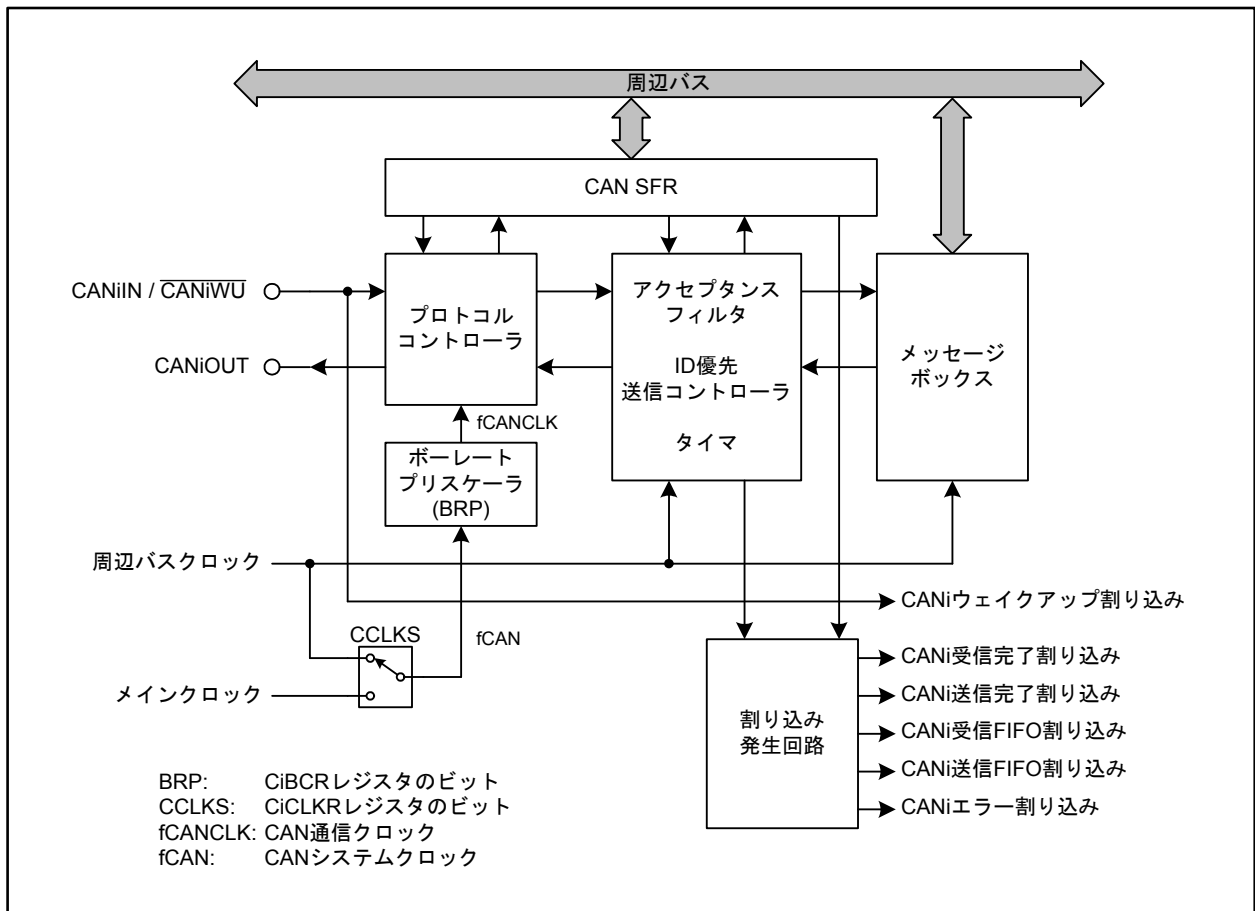


図 25.1 CANモジュールブロック図(i=0~5)

- CANiIN/CANiOUT (i=0~5): CANの入出力端子です。
- プロトコルコントローラ: バスアービトラージョンや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- メッセージボックス: 送信または受信メールボックスとして使用可能な16個のメールボックスで構成されています。各メールボックスには固有のID、データ長コード、8バイトのデータフィールドおよびタイムスタンプがあります。ゲートウェイ機能が有効な場合(GMRレジスタのOMビットが“1”)、各チャンネルにゲートウェイ受信専用メールボックスが設けられます。この場合、自動的に受信フレームをCANゲートウェイモジュールへ転送します。
- アクセプタンスフィルタ: 受信メッセージのフィルタ処理を行います。このフィルタ処理には、CiMKR0~CiMKR3レジスタを使用します。
- タイマ: タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイムスタンプ値として書き込まれます。
- ウェイクアップ: CANバス上にメッセージが検出されると、CANiウェイクアップ割り込み要求を発生します。

- 割り込み発生回路: 以下の5種類の割り込み要求を発生させることができます。
 - CANi受信完了割り込み
 - CANi送信完了割り込み
 - CANi受信FIFO割り込み
 - CANi送信FIFO割り込み
 - CANiエラー割り込み
- CAN SFR: CAN関連のレジスタです。詳細は、「25.1 CAN SFR」を参照してください。

25.1 CAN SFR

図 25.2~図 25.11、図 25.13、図 25.14、図 25.16~図 25.20、図 25.22、図 25.24~図 25.30にCAN関連レジスタを示します。

25.1.1 CANi制御レジスタ (CiCTLRレジスタ) (i=0~5)

CANi制御レジスタ (i=0~5)		シンボル	アドレス	リセット後の値
		C0CTLR	47F41h-47F40h番地	0000 0000 0000 0101b
		C1CTLR	47D41h-47D40h番地	0000 0000 0000 0101b
		C2CTLR	47B41h-47B40h番地	0000 0000 0000 0101b
		C3CTLR	47941h-47940h番地	0000 0000 0000 0101b
		C4CTLR	47741h-47740h番地	0000 0000 0000 0101b
		C5CTLR	47541h-47540h番地	0000 0000 0000 0101b

ビットシンボル	ビット名	機能	RW
CANM	CAN動作モード選択ビット (注1)	b1 b0 0 0 : CANオペレーションモード	RW
		0 1 : CANリセットモード	
		1 0 : CAN Haltモード	
		1 1 : 設定しないでください	
SLPM	CANスリープモードビット (注1、2)	0: CANスリープモードではない 1: CANスリープモード	RW
BOM	バスオフ復帰モード選択 ビット (注3)	b4 b3 0 0 : ノーマルモード(ISO11898-1仕様準拠)	RW
		0 1 : バスオフ開始で自動的に CAN Haltモードへ遷移	
		1 0 : バスオフ終了で自動的に CAN Haltモードへ遷移	
		1 1 : プログラムによる要求でCAN Halt モードへ遷移(バスオフ復帰期間中)	
RBOC	バスオフ強制復帰ビット (注4)	0: 何もしない 1: バスオフからの強制復帰 (注5)	RW
— (b7-b6)	予約ビット	“0” にしてください	RW
MBM	CANメールボックスモード 選択ビット (注3)	0: 通常メールボックスモード 1: FIFOメールボックスモード	RW
IDFM	IDフォーマットモード選択 ビット (注3)	b10b9 0 0 : 標準IDモード 0 1 : 拡張IDモード 1 0 : ミックスIDモード 1 1 : 設定しないでください	RW
MLM	メッセージロストモード 選択ビット (注3、7)	0: オーバライトモード 1: オーバランモード	RW
TPM	送信優先順位モード選択 ビット (注3)	0: ID優先送信モード 1: メールボックス番号優先送信モード	RW
TSRC	タイムスタンプカウンタ リセットビット (注6)	0: リセットしない 1: リセットする (注5)	RW
TSPS	タイムスタンプ プリスケアラ選択ビット (注3)	b15b14 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	RW

注1. CANM、SLPMビットを変更した場合は、CiSTRレジスタでモードが切り替わることを確認してください。モードが切り替わるまで、CANM、SLPMビットは変更しないでください。

注2. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。SLPMビットを書き換える場合は、本ビットのみ“0”または“1”にしてください。

注3. BOM、MBM、IDFM、MLM、TPM、TSPSビットは、CANリセットモード時に変更してください。

注4. RBOCビットはバスオフ状態時に“1”にしてください。

注5. “1”にした後自動的に“0”に戻ります。読んだ場合“0”が読めます。

注6. TSRCビットはCANオペレーションモード時に“1”にしてください。

注7. ゲートウェイ機能を有効にする場合は、MLMビットを“0”(オーバーライトモード)にしてください。

図 25.2 C0CTLR~C5CTLRレジスタ

25.1.1.1 CANMビット

CANモジュールのモード(CANオペレーションモード、CANリセットモード、CAN Haltモード)を選択するビットです。詳細は、「25.2 動作モード」を参照してください。

CANスリープモードはSLPMビットで設定します。

“11b”には設定しないでください。

BOMビットの設定によってCAN Haltモードへ遷移した場合は、CANMビットは自動的に“10b”になります。

25.1.1.2 SLPMビット

“1”にすると、CANスリープモードになります。

“0”にすると、CANスリープモードは解除されます。

詳細は、「25.2 動作モード」を参照してください。

25.1.1.3 BOMビット

CANモジュールのバスオフ復帰モードの選択に使用します。

“00b”の場合、バスオフからの復帰はISO11898-1仕様に準拠します。すなわち、CANモジュールは、11の連続するレセシブビットを128回検出後、再びCAN通信(エラーアクティブ状態)に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

“01b”の場合、CANモジュールがバスオフ状態に達すると、CiCTLRレジスタ(i=0~5)のCANMビットが“10b”(CAN Haltモード)になってから、CAN Haltモードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR、CiRECRレジスタは“00h”になります。

“10b”の場合、CANモジュールがバスオフ状態に達するとCANMビットが“10b”になり、バスオフ状態から復帰した(11の連続するレセシブビットを128回検出)後に、CAN Haltモードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、CiTECR、CiRECRレジスタが“00h”になります。

“11b”の場合、CANモジュールがまだバスオフ状態のときにCANMビットを“10b”にすると、CAN Haltモードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CiTECR、CiRECRレジスタは“00h”になります。しかし、CANMビットを“10b”にする前に、11の連続するレセシブビットを128回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CANモジュールがCAN Haltモードに遷移するのと同様(BOMビットが“01b”のとき:バスオフ開始、またはBOMビットが“10b”のとき:バスオフ終了)に、CPUがCANリセットモードへの遷移を要求した場合は、CPUの要求が優先されます。

25.1.1.4 RBOCビット

バスオフ状態時“1”(バスオフからの強制復帰)にすると、バスオフ状態から強制的に復帰します。このビットは自動的に“0”になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。

“1”にすると、CiRECR、CiTECRレジスタが“00h”になり、CiSTRレジスタのBOSTビットは“0”(CANモジュールはバスオフ状態ではない)になります。他のレジスタは変化しません。バスオフからの復帰によるバスオフ復帰割り込み要求は発生しません。

BOMビットが“00b”(ノーマルモード)のときにのみ使用してください。

25.1.1.5 MBMビット

“0” (通常メールボックスモード) の場合、メールボックス [0]~[15] は送信または受信メールボックスに設定されます。

“1” (FIFOメールボックスモード) の場合、メールボックス [0]~[7] は送信または受信メールボックスに設定され、メールボックス [8]~[11] は送信FIFOに、メールボックス [12]~[15] は受信FIFOに設定されます。

送信データはメールボックス [8] に書き込み(メールボックス [8] は送信FIFOのウィンドウメールボックスです)、受信データはメールボックス [12] から読み出します(メールボックス [12] は受信FIFOのウィンドウメールボックスです)。

表 25.3 にゲートウェイ機能無効時のメールボックスの設定、表 25.4 にゲートウェイ機能有効時のメールボックスの設定を示します。

表 25.3 メールボックスの設定 (1): ゲートウェイ機能無効時

メールボックス	MBM=0 (通常メールボックスモード)	MBM=1(注1) (FIFOメールボックスモード)
メールボックス [0]~[7]	通常メールボックス	通常メールボックス
メールボックス [8]~[11]		送信FIFO
メールボックス [12]~[15]		受信FIFO

注1. MBMビットが“1”のときは、以下の点に注意してください。

- 送信FIFOはCiTFPCRレジスタ (i=0~5) で制御します
メールボックス [8]~[11] のCiMCTLjレジスタ (j=0~15) は無効です
CiMCTL8~CiMCTL11レジスタは使用できません
- 受信FIFOはCiRFCRレジスタで制御します
メールボックス [12]~[15] のCiMCTLjレジスタは無効です
CiMCTL12~CiMCTL15レジスタは使用できません
- FIFO割り込みについてはCiMIERレジスタを参照してください
- CiMKIVLRレジスタのメールボックス [8]~[15] に対応するビットは無効です。これらのビットには“0”を設定してください
- 送信/受信FIFOはデータフレーム/リモートフレームのいずれにも使用可能です

表 25.4 メールボックスの設定(2): ゲートウェイ機能有効時(注1)

メールボックス	MBMビット=0 (通常メールボックスモード)	MBMビット=1 (FIFOメールボックスモード)
メールボックス[0]~[7]	通常メールボックス	通常メールボックス
メールボックス[8]~[11]		送信FIFO
メールボックス[12]~[15]	ゲートウェイ受信メールボックス(注2)	ゲートウェイ受信FIFO(注3)

注1. 通常メールボックスモード、FIFOメールボックスモード共に、ゲートウェイ機能を有効にすることができます。ゲートウェイ機能を有効にした場合、どちらのモードもメールボックス[12]~[15]はゲートウェイ受信専用メールボックスとなります。

注2. MBMビットが“0”でゲートウェイ機能を有効にする場合、以下のとおり設定してください。

- メールボックス[12]~[15]は受信メールボックスに設定してください。
- 各メールボックスの割り込みを許可に設定してください。ただし、受信完了割り込みは発生しません。CANゲートウェイモジュールへ受信完了を通知するために必要な設定です。
- 4種類のフレームをすべて受信したい場合は、それぞれのメールボックスのIDEビットとRTRビットに“00b~11b”を設定してください。
- 対応するCANiマスクレジスタ(CiMKR3)はすべて“0”、マスク無効レジスタ(CiMKIVLR)は“0”(有効)に設定してください。
- メッセージロストモードはオーバーライトモード(MLMビット=0)に設定してください。

注3. MBMビットが“1”でゲートウェイ機能を有効にする場合、以下のとおり設定してください。

- 受信FIFO割り込みを許可にし、1メッセージ受信ごとに割り込みが発生するように設定してください。ただし、受信FIFO割り込みは発生しません。CANゲートウェイモジュールへ受信完了を通知するために必要な設定です。
- 対応するCANiマスクレジスタ(CiMKR3)のEID、SIDビットはすべて“0”に設定し、FIFO受信ID比較レジスタ0(CiFIDCR0)およびFIFO受信ID比較レジスタ1(CiFIDCR1)のIDEビットとRTRビットに受信したいフレームの種類を設定してください。
- メッセージロストモードはオーバーライトモード(MLMビット=0)に設定してください。

25.1.1.6 IDFMビット

IDフォーマットを指定します。

“00b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDのみに対応します。

“01b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、拡張IDのみに対応します。

“10b”の場合、すべてのメールボックス(FIFOメールボックスを含む)は、標準IDと拡張IDの両方に対応します。標準IDと拡張IDの選択は、通常メールボックスモードの場合、対応するメールボックスのIDEビットで指定します。FIFOメールボックスモードの場合、メールボックス[0]~[7]は対応するメールボックスのIDEビット、受信FIFOはCiFIDCR0、CiFIDCR1レジスタのIDEビット、送信FIFOはメールボックス[8]のIDEビットで指定します。

“11b”は、設定しないでください。

25.1.1.7 MLMビット

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス(受信FIFOを含む)は、オーバーライトモードかオーバーランモードのどちらかになります。

“0”の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

“1”の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。

25.1.1.8 TPMビット

メッセージを送信する場合の優先順のモードを指定します。ID優先モードまたはメールボックス番号優先モードを選択できます。

すべてのメールボックスは、ID優先送信またはメールボックス番号優先送信のどちらかになります。

“0”の場合、ID優先送信モードとなり送信優先順位はCANバスアービトレーションルール(ISO11898-1仕様)に準拠します。ID優先送信モードは、通常メールボックスモードのときメールボックス [0]~[15]、FIFO メールボックスモードのときメールボックス [0]~[7] と送信FIFOの送信に設定されたメールボックスのIDを比較します。2つ以上のメールボックスのIDが同じ場合、小さい番号のメールボックスが優先されます。

次に送信FIFOから送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信FIFOのメッセージを送信中の場合、送信FIFO内の次の待機メッセージが送信アービトレーションの対象となります。

“1”の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFOメールボックスモードでは、送信FIFOは通常メールボックス(メールボックス [0]~[7])よりも優先順位が低くなります。

25.1.1.9 TSRCビット

タイムスタンプカウンタをリセットするために使用します。

“1”にするとCiTSRレジスタ(i=0~5)が“0000h”になります。このビットは自動的に“0”になります。

25.1.1.10 TSPSビット

タイムスタンプ用のプリスケアラを選択します。

タイムスタンプの基準クロックは、1、2、4、または8ビットタイムのいずれかを選択できます。

25.1.2 CANiクロック選択レジスタ (CiCLKR レジスタ) (i=0~5)

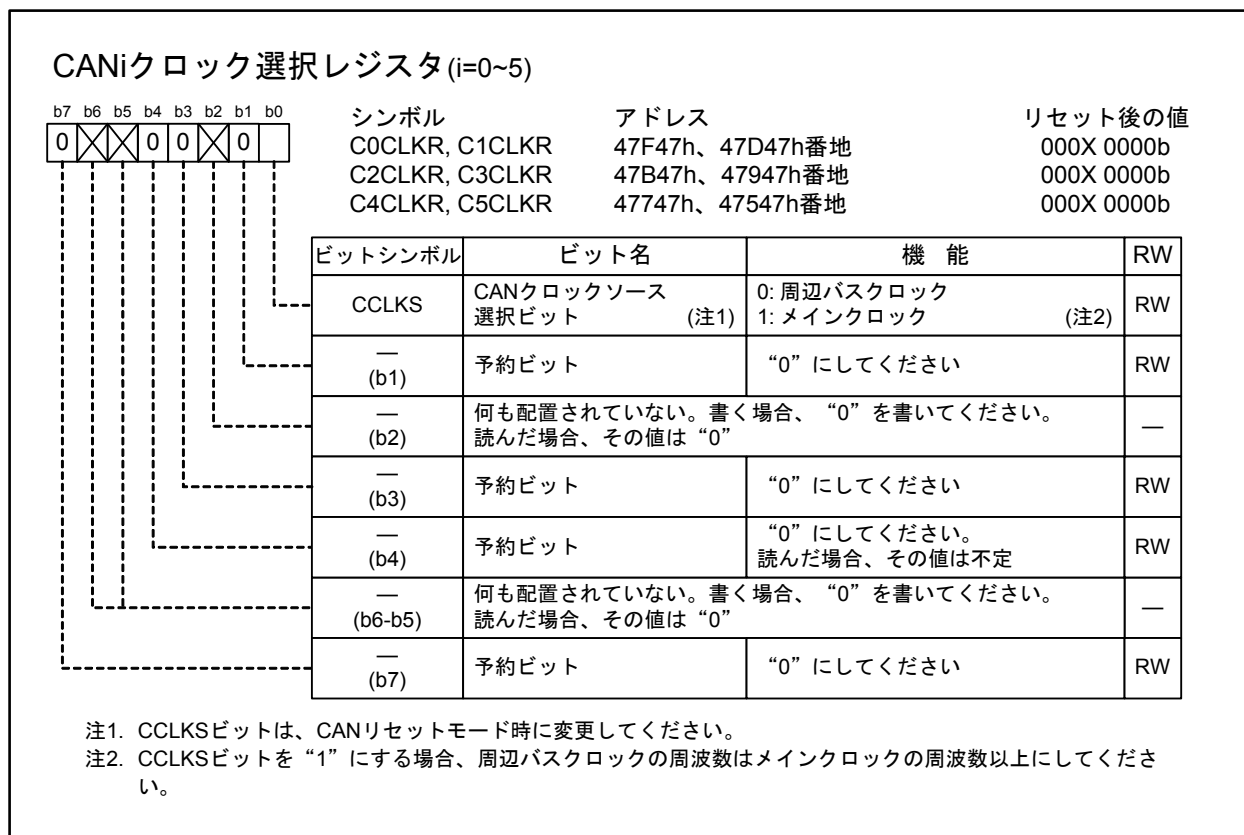


図 25.3 C0CLKR~C5CLKR レジスタ

25.1.2.1 CCLKS ビット

“0”の場合、CANクロックソース (fCAN) にPLL周波数シンセサイザにより生成された周辺バスクロックが使用されます。

“1”の場合、CANクロックソース (fCAN) にPLL周波数シンセサイザを使用せず、外部のXIN端子から入力されたメインクロックが使用されます。

25.1.3 CANiビットコンフィグレーションレジスタ (CiBCR レジスタ) (i=0~5)

CANiビットコンフィグレーションレジスタ (i=0~5) (注1、2)			
シンボル	アドレス	リセット後の値	
C0BCR	47F46h-47F44h番地	00 0000h	
C1BCR	47D46h-47D44h番地	00 0000h	
C2BCR	47B46h-47B44h番地	00 0000h	
C3BCR	47946h-47944h番地	00 0000h	
C4BCR	47746h-47744h番地	00 0000h	
C5BCR	47546h-47544h番地	00 0000h	
ビットシンボル	ビット名	機能	RW
BRP	プリスケアラ分周比 設定ビット (10ビット)	設定値を P (0~1023) とすると、ポ レートプリスケアラは fCAN を P+1 で分周します	RW
— (b10)	予約ビット	“0” にしてください	RW
— (b11)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は “0”		—
TSEG1	タイムセグメント1 制御ビット	b15b14b13b12 0 0 0 0 : } 設定しないでください 0 0 0 1 : 0 0 1 0 : 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	RW
TSEG2	タイムセグメント2 制御ビット	b18b17b16 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	RW
— (b19)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は “0”		—
SJW	再同期ジャンプ幅 制御ビット	b21b20 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	RW
— (b23-b22)	何も配置されていない。書く場合、“0” を書いてください。 読んだ場合、その値は “0”		—

注1. CiBCRレジスタは、CANリセットモードからCAN Haltモード、もしくはCANリセットモードからCANオペレーションモードへ遷移する前に設定してください。一度設定するとCANリセットモード、もしくはCAN Haltモードで変更できません。

注2. CiBCRレジスタは24ビットです。32ビットでアクセスする場合は、CiCLKRレジスタを書き換えないように注意してください。

図 25.4 C0BCR~C5BCR レジスタ

ビットタイミングの設定については、「25.3 CAN通信速度の設定」を参照してください。

25.1.3.1 BRP ビット

CAN通信クロック (fCANCLK)の周波数設定に使用します。
fCANCLKの周期が1 Time Quantum (Tq)となります。

25.1.3.2 TSEG1 ビット

プロパゲーションタイムセグメント (PROP_SEG)とフェーズバッファセグメント1 (PHASE_SEG1)の合計長をTq値で指定します。
4~16Tqの値が設定可能です。

25.1.3.3 TSEG2 ビット

フェーズバッファセグメント2 (PHASE_SEG2)の長さをTq値で指定します。
2~8Tqの値が設定可能です。
TSEG1ビットより小さな値を設定してください。

25.1.3.4 SJW ビット

再同期ジャンプ幅 (Resynchronization Jump Width)をTq値で指定します。
1~4Tqの値が設定可能です。
TSEG2ビット以下の値を設定してください。

25.1.4 CANi マスクレジスタ k (CiMKRk レジスタ) (i=0~5、k=0~3)

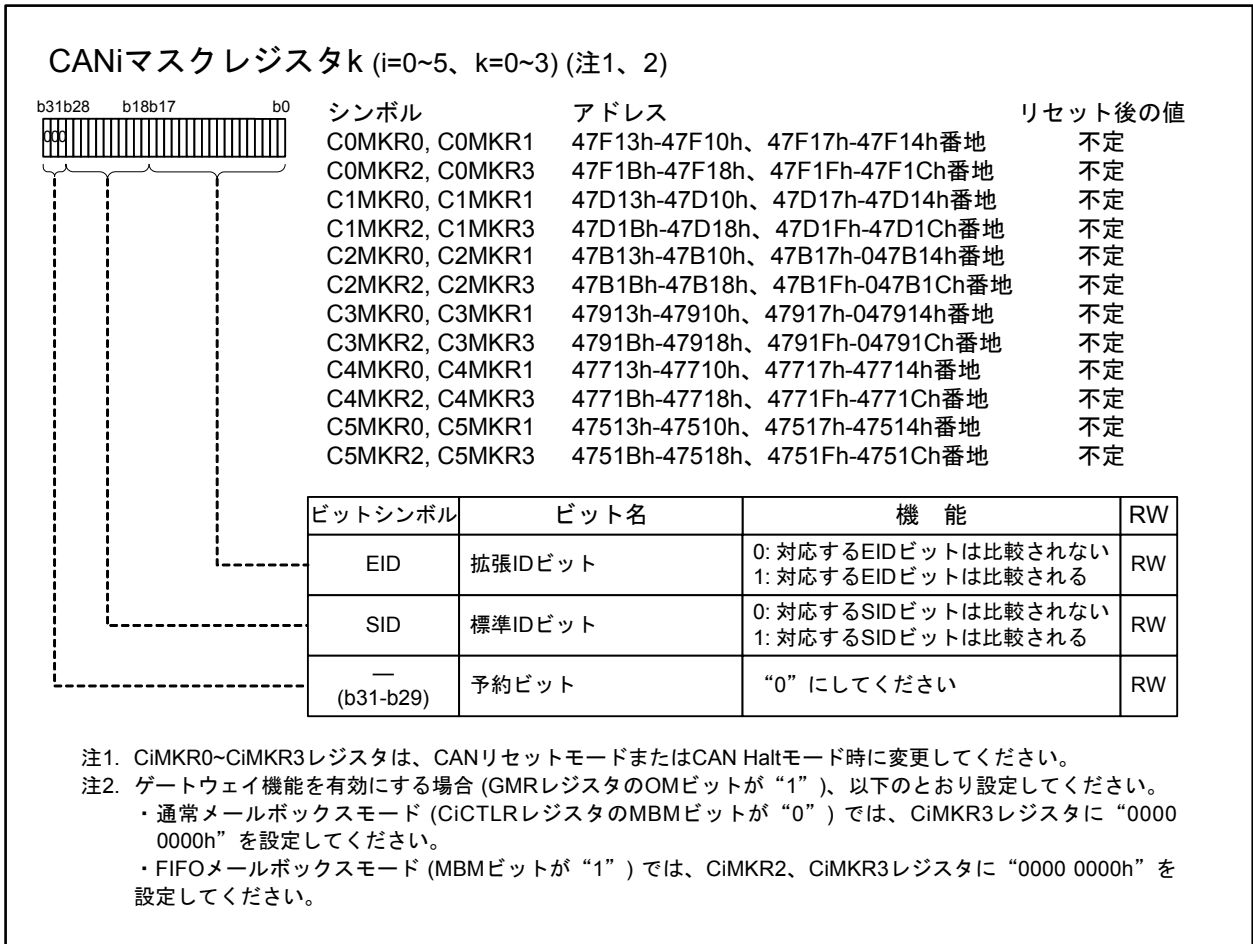


図 25.5 C0MKR0~C5MKR3 レジスタ

FIFOメールボックスモードでのマスク機能については、「25.5 アクセプタンスフィルタ処理とマスク機能」を参照してください。

25.1.4.1 EIDビット

CAN拡張IDビットに対応するフィルタマスクビットです。拡張IDのメッセージを受信する場合に使用します。

“0”の場合、対応するEIDビットは、受信したIDとメールボックスのIDを比較しません。

“1”の場合、対応するEIDビットは、受信したIDとメールボックスのIDを比較します。

25.1.4.2 SIDビット

CAN標準IDビットに対応するフィルタマスクビットです。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

“0”の場合、対応するSIDビットは、受信したIDとメールボックスのIDを比較しません。

“1”の場合、対応するSIDビットは、受信したIDとメールボックスのIDを比較します。

25.1.5 CANi FIFO受信ID比較レジスタ n (CiFIDCR0、CiFIDCR1 レジスタ) (i=0~5、n=0, 1)

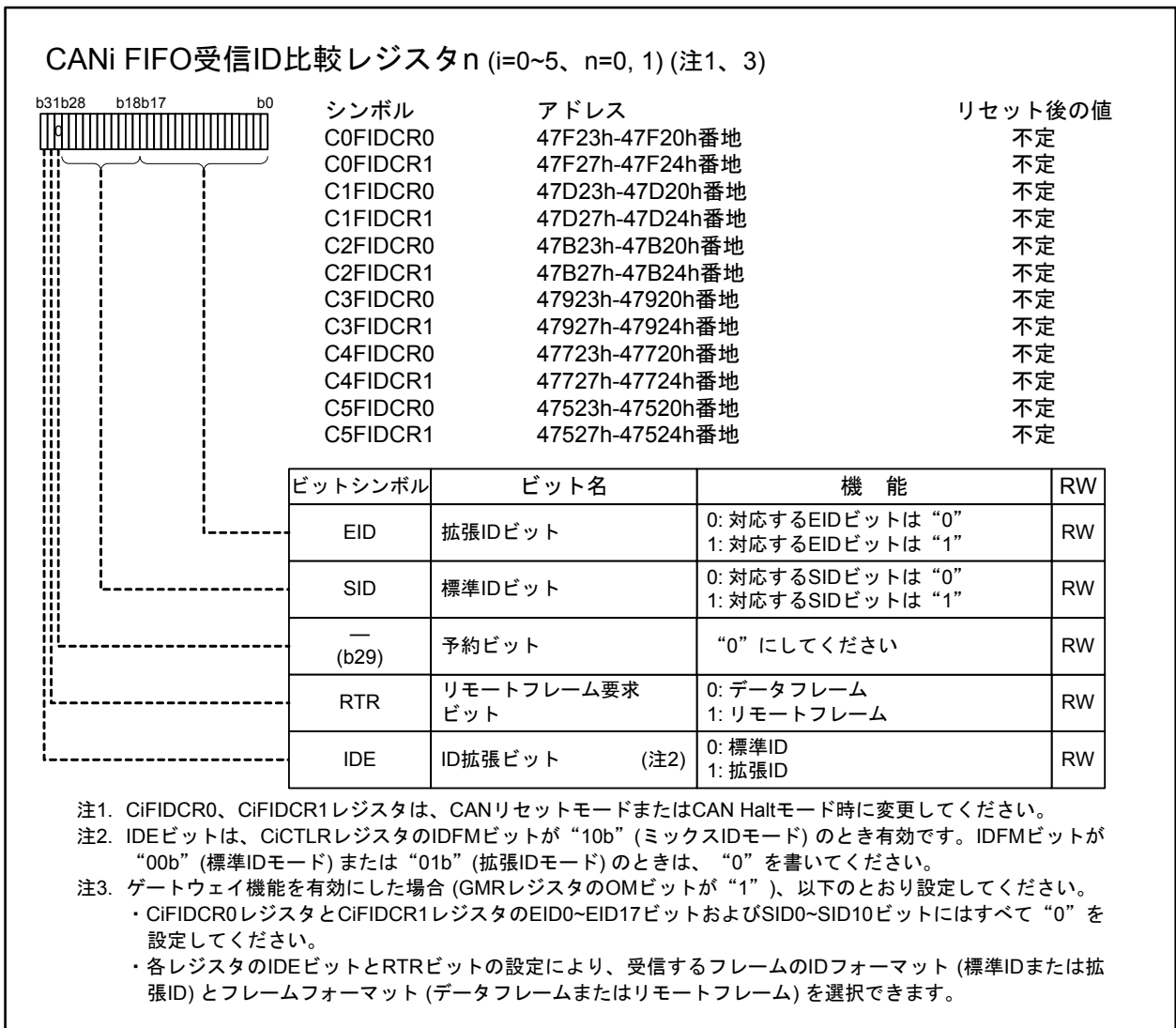


図 25.6 C0FIDCR0~C5FIDCR1 レジスタ

CiCTLRレジスタのMBMビットが“1” (FIFO メールボックスモード) のとき有効です。CiMB12~CiMB15レジスタのEID、SID、RTR、IDEビットは無効です。

使用方法については、「25.5 アクセプタンスフィルタ処理とマスク機能」を参照してください。

25.1.5.1 EIDビット

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを受信する場合に使用します。

25.1.5.2 SIDビット

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

25.1.5.3 RTRビット

データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。
以下の動作を指定します。

- CiFIDCR0、CiFIDCR1 レジスタ (i=0~5)の両方のRTRビットが“0”の場合、データフレームのみ受信できます
- CiFIDCR0、CiFIDCR1 レジスタの両方のRTRビットが“1”の場合、リモートフレームのみ受信できます
- CiFIDCR0、CiFIDCR1 レジスタのRTRビットが“0”と“1”のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます

25.1.5.4 IDEビット

標準IDまたは拡張IDのIDフォーマットを設定します。

CiCTLR レジスタのIDFMビットが“10b” (ミックスIDモード)のとき有効です。

IDFMビットが“10b”のとき、以下の動作を指定します。

- CiFIDCR0、CiFIDCR1 レジスタの両方のIDEビットが“0”の場合、標準IDフレームのみ受信できます
- CiFIDCR0、CiFIDCR1 レジスタの両方のIDEビットが“1”の場合、拡張IDフレームのみ受信できます
- CiFIDCR0、CiFIDCR1 レジスタのIDEビットが“0”と“1”のそれぞれ異なる設定の場合、標準IDと拡張IDのフレームの両方を受信できます

25.1.6 CANiマスク無効レジスタ (CiMKIVLR レジスタ) (i=0~5)

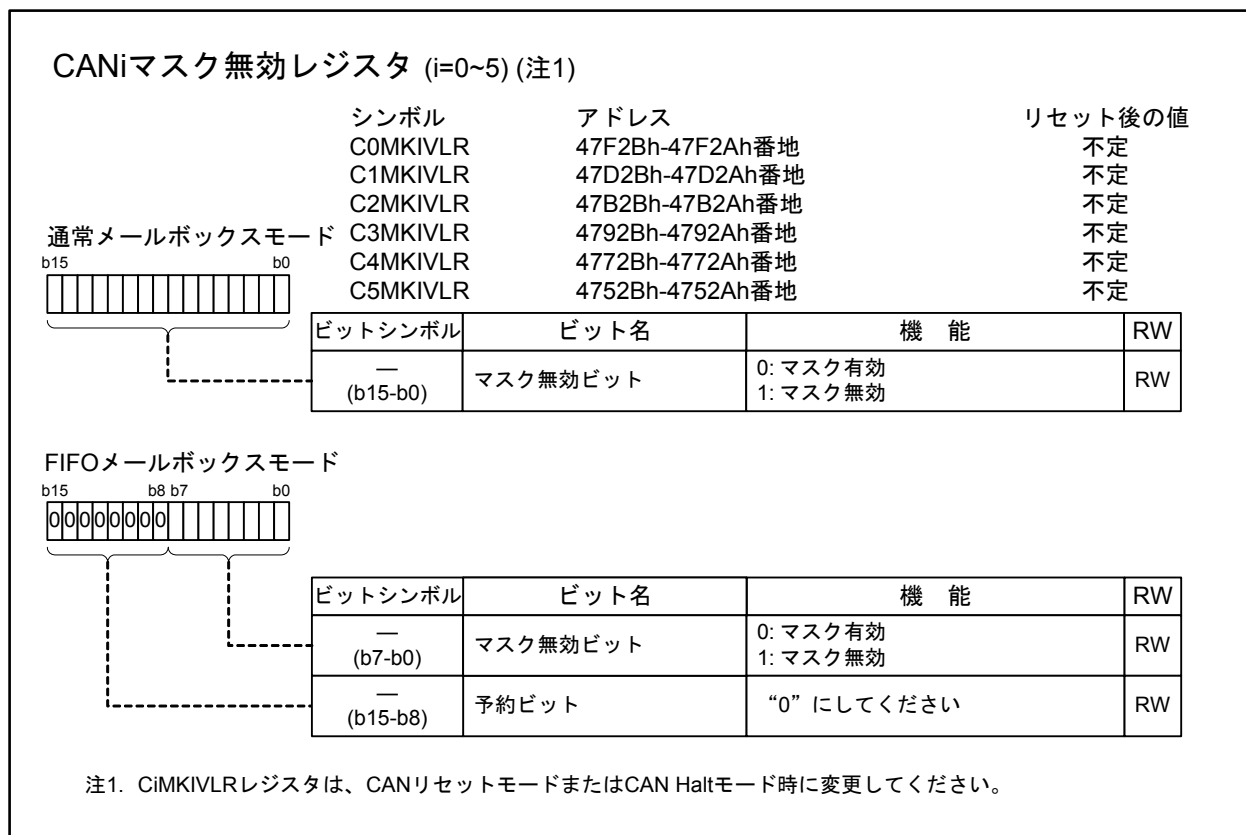


図 25.7 C0MKIVLR~C5MKIVLR レジスタ

各ビットは、同じ番号のメールボックスに対応します。“1”の場合、ビット番号に対応するメールボックスのアクセプタンスマスクは無効となります。この場合、メールボックスは受信メッセージのIDとCiMBjレジスタ(j=0~15)のSID、EIDビットが一致する場合にのみ受信します。

25.1.7 CANi メールボックス (CiMBj レジスタ) (i=0~5、j=0~15)

表 25.5にCANi メールボックスのメモリ配置、表 25.6にCANデータフレームの構成を示します。
CANi メールボックスのリセット後の値は不定です。

表 25.5 CAN0~CAN5メールボックスのメモリ配置

アドレス	メッセージ内容
CAN0~CAN5	メモリ配置
base+j×16+0	EID7~EID0
base+j×16+1	EID15~EID8
base+j×16+2	SID5~SID0、EID17、EID16
base+j×16+3	IDE、RTR、SID10~SID6
base+j×16+4	—
base+j×16+5	データ長コード(DLC)
base+j×16+6	データバイト0
base+j×16+7	データバイト1
⋮	⋮
⋮	⋮
⋮	⋮
base+j×16+13	データバイト7
base+j×16+14	タイムスタンプ下位バイト
base+j×16+15	タイムスタンプ上位バイト

base: CAN0=47E00h、CAN1=47C00h、CAN2=47A00h、CAN3=47800h、CAN4=47600h、CAN5=47400h
j: メールボックス番号(j=0~15)

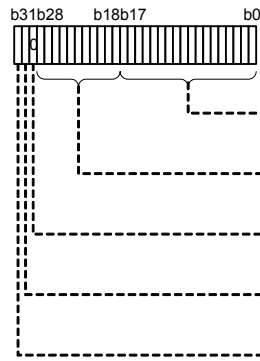
表 25.6 CANデータフレームの構成

SID10~ SID6	SID5~ SID0	EID17~ EID16	EID15~ EID8	EID7~ EID0	DLC3~ DLC0	DATA0	DATA1	⋯⋯⋯	DATA7
----------------	---------------	-----------------	----------------	---------------	---------------	-------	-------	-----	-------

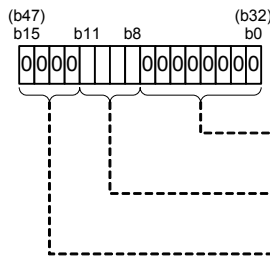
注1. ゲートウェイ機能を有効にした場合の設定については、表 25.4を参照ください。

CANi メールボックスレジスタj (i=0~5、j=0~15) (注1)

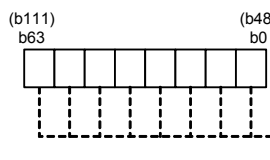
シンボル	アドレス(注2)	リセット後の値
C0MB0~C0MB15	47E00h~47EFh番地	不定
C1MB0~C1MB15	47C00h~47CFFh番地	不定
C2MB0~C2MB15	47A00h~47AFFh番地	不定
C3MB0~C3MB15	47800h~478FFh番地	不定
C4MB0~C4MB15	47600h~476FFh番地	不定
C5MB0~C5MB15	47400h~474FFh番地	不定



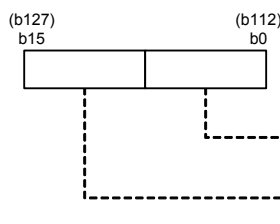
ビットシンボル	ビット名	機能	RW
EID	拡張ID (注3)	0: 対応するEIDビットは“0” 1: 対応するEIDビットは“1”	RW
SID	標準ID	0: 対応するSIDビットは“0” 1: 対応するSIDビットは“1”	RW
— (b29)	予約ビット	“0” にしてください	RW
RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	RW
IDE	ID拡張ビット (注4)	0: 標準ID 1: 拡張ID	RW



ビットシンボル	ビット名	設定範囲	RW
— (b7-b0)	予約ビット	“0” にしてください	RW
DLC	データ長コード (注5)	0h~Fh	RW
— (b15-b12)	予約ビット	“0” にしてください	RW



シンボル	名称	設定範囲	RW
DATA0~ DATA7	データバイト0~7 (注5、6)	00h~FFh	RW



シンボル	名称	設定範囲	RW
TSL	タイムスタンプ下位バイト	00h~FFh	RW
TSH	タイムスタンプ上位バイト	00h~FFh	RW

- 注1. CiMBjレジスタは、関連するCiMCTLjレジスタが“00h”でかつアポート処理中でないときに変更してください。
- 注2. 詳細なアドレスについては、前ページの「メールボックスのメモリ配置」の表を参照してください。
- 注3. メールボックスが標準IDのメッセージを受信した場合、メールボックスのEIDビットは不定になります。
- 注4. IDEビットは、CiCTLRレジスタのIDFMビットが“10b”（ミックスIDモード）のとき有効です。IDFMビットが“00b”（標準IDモード）または“01b”（拡張IDモード）のときは、“0”を書いてください。
- 注5. メールボックスが8バイトより少ないnバイトのメッセージを受信すると、メールボックスのDATA_n~DATA₇の値は不定になります。
- 注6. メールボックスがリモートフレームを受信した場合、メールボックスのDATA₀~DATA₇は以前の値が保持されます。

図 25.8 C0MBj~C5MBj レジスタ

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

25.1.7.1 EIDビット

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを送受信する場合に使用します。

25.1.7.2 SIDビット

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを送受信する場合の両方で使用します。

25.1.7.3 RTRビット

データフレームまたはリモートフレームのフレームフォーマットを設定します。以下の動作を指定します。

- 受信メールボックスは、RTRビットで選択したフレームフォーマットのみ受信する
- 送信メールボックスは、RTRビットで選択したフレームフォーマットで送信を行う
- 受信FIFOメールボックスは、CiFIDCR0、CiFIDCR1レジスタ(i=0~5)のRTRビットで選択したデータフレーム、リモートフレーム、または両方のフレームを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのRTRビットで選択したデータフレームまたはリモートフレームを送信する

25.1.7.4 IDEビット

標準IDまたは拡張IDのIDフォーマットを設定します。

CiCTRLレジスタのIDFMビットが“10b”(ミックスIDモード)のとき有効です。

IDFMビットが“10b”のとき、IDEビットは以下の動作を指定します。

- 受信メールボックスは、IDEビットで選択したIDフォーマットのみ受信する
- 送信メールボックスは、IDEビットで選択したIDフォーマットで送信を行う
- 受信FIFOメールボックスは、CiFIDCR0、CiFIDCR1レジスタのIDEビットで選択した標準ID、拡張ID、または両方のIDメッセージを受信する
- 送信FIFOメールボックスは、関連する送信メッセージのIDEビットで選択した標準IDまたは拡張IDのメッセージを送信する

25.1.7.5 DLC (Data Length Code)

データフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

表 25.7にDLCと対応するデータ長を示します。

表 25.7 DLCと対応するデータ長

DLC [3]	DLC [2]	DLC [1]	DLC [0]	データ長
0	0	0	0	0バイト
0	0	0	1	1バイト
0	0	1	0	2バイト
0	0	1	1	3バイト
0	1	0	0	4バイト
0	1	0	1	5バイト
0	1	1	0	6バイト
0	1	1	1	7バイト
1	X	X	X	8バイト

X: 任意の値

25.1.7.6 DATA0~DATA7

送信または受信したCANメッセージデータを格納します。DATA0から、送信または受信されます。CANバス上のビットオーダは、MSBファーストでビット7から送信または受信されます。

25.1.7.7 TSL, TSH

受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。

25.1.8 CANi メールボックス割り込み許可レジスタ (CiMIER レジスタ) (i=0~5)

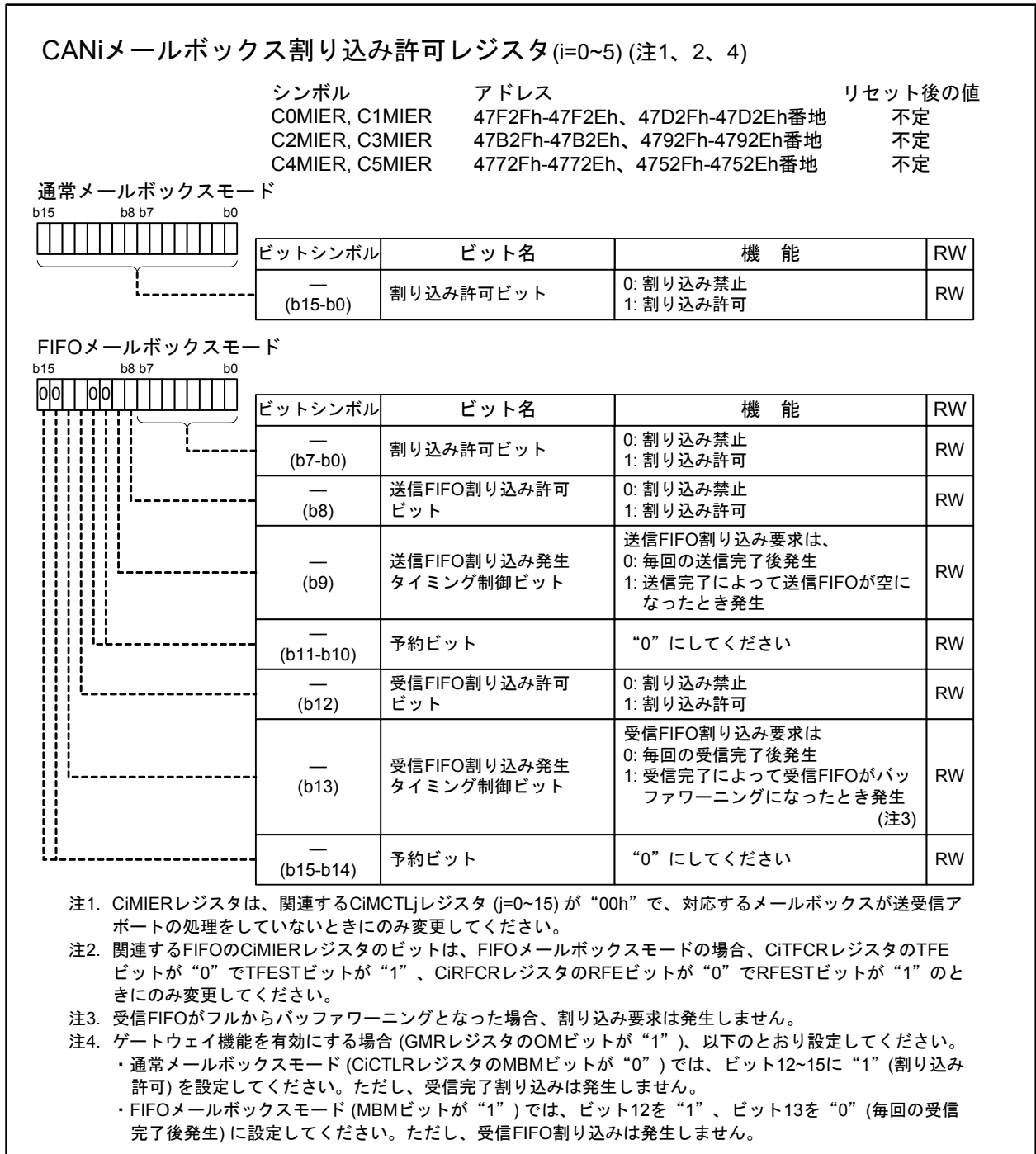


図 25.9 C0MIER~C5MIER レジスタ

メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード(ビット0~15)とFIFOメールボックスモード(ビット0~7)では、それぞれのビットは同じ番号のメールボックスに対応します。これらのビットは、対応するメールボックスの送信完了/受信完了割り込みを許可/禁止します。

FIFOメールボックスモードのビット8、9、12、13は送信/受信FIFO割り込みの許可/禁止と割り込み要求が発生するタイミングを指定します。

バッファワーニングとは、受信FIFOに3つ目のメッセージが格納された状態です。

25.1.9 CANiメッセージ制御レジスタj (CiMCTLjレジスタ) (i=0~5、j=0~15)

CANiメッセージ制御レジスタj (i=0~5、j=0~15) (注1、2)			
		シンボル C0MCTL0~C0MCTL15 C1MCTL0~C1MCTL15 C2MCTL0~C2MCTL15 C3MCTL0~C3MCTL15 C4MCTL0~C4MCTL15 C5MCTL0~C5MCTL15	アドレス 47F30h~47F3Fh番地 47D30h~47D3Fh番地 47B30h~47B3Fh番地 47930h~4793Fh番地 47730h~4773Fh番地 47530h~4753Fh番地
		リセット後の値 00h 00h 00h 00h 00h 00h	
ビットシンボル	ビット名	機能	RW
TRMREQビットが“0”、RECREQビットが“1”の場合			
NEWDATA	受信完了フラグ (注3、4)	0: データが受信されていない、または NEWDATAビットに“0”を書いた場合 1: 新しいメッセージをメールボックスに格納中、または格納された	RW
INVALIDDATA	受信中ステータスフラグ	0: メッセージは有効 1: メッセージ更新中	RO
MSGLOST	メッセージロストフラグ (注3、4)	0: メッセージはオーバライトまたはオーバランされていない 1: メッセージはオーバライトまたはオーバランされた	RW
TRMREQビットが“1”、RECREQビットが“0”の場合			
SENTDATA	送信完了フラグ (注3、4)	0: 送信が終了していない (ペンディングの場合) 1: 送信完了 (成功)	RW
TRMACTIVE	送信中ステータスフラグ	0: 送信待機中、または送信要求なし 1: 送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで	RO
TRMABT	送信アボート完了フラグ (注3、4)	0: 送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1: 送信アボート完了	RW
— (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—
ONESHOT	ワンショット許可ビット (注5、8)	0: ワンショット受信、およびワンショット送信禁止 1: ワンショット受信またはワンショット送信許可	RW
— (b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”		—
RECREQ	受信メールボックス設定ビット (注4、6、7、8)	0: 受信メールボックスに設定しない 1: 受信メールボックスに設定する	RW
TRMREQ	送信メールボックス設定ビット (注4、6、8)	0: 送信メールボックスに設定しない 1: 送信メールボックスに設定する	RW

注1. CiMCTLjレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

注2. FIFO動作モードでは、CiMCTL8~CiMCTL15レジスタは使用しないでください。

注3. “0”のみ書けます (“1”を書いても変化しません)。

注4. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで“0”を書く場合は、MOV命令を使用し、“0”にしたいビットを“0”、そうでないビットを“1”にしてください。

注5. ワンショット受信モードに移行するときは、RECREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット受信モードを解除するときは、RECREQビットに“0”を書いた後、“0”になったことを確認してからONESHOTビットに“0”を書いてください。

注6. ワンショット送信モードに移行するときは、TRMREQビットを“1”にするのと同時に、ONESHOTビットに“1”を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに“0”を書いてください。

注7. RECREQビットとTRMREQビットの両方を“1”にしないでください。

注8. RECREQビットを“0”にするときには、NEWDATA、MSGLOSTビットとRECREQビットは同時に“0”にしてください。

注9. ゲートウェイ機能を有効 (GMRレジスタのOMビットが“1”)にする場合、以下の設定を行ってください。

- ・ONESHOTビットは“0”に設定してください。
- ・通常メールボックスモード (CiCTLRレジスタのMBMビットが“0”)では、ゲートウェイ受信専用メールボックス[12]~[15]のRECREQビットに“1”を設定してください。
- ・ゲートウェイ受信専用メールボックス[12]~[15]のTRMREQビットに“0”を設定してください。

図 25.10 C0MCTLj~C5MCTLjレジスタ

25.1.9.1 NEWDATAビット

メールボックスに新しいメッセージを格納中または格納が完了したときに、“1”になります。“1”になるタイミングは、INVALIDDATAビットと同時です。

プログラムで“0”を書くと“0”になります。

関連するINVALIDDATAビットが“1”の間は、NEWDATAビットはプログラムで“0”を書いても“0”になりません。

25.1.9.2 SENTDATAビット

対応するメールボックスからのデータ送信が完了すると“1”になります。

プログラムで“0”を書くと“0”になります。

“0”にする場合は、TRMREQビットを“0”にしてからSENTDATAビットを“0”にしてください。SENTDATAビットとTRMREQビットは同時に“0”になりません。

メールボックスから新しいメッセージを送信するには、SENTDATAビットを“0”にしてください。

25.1.9.3 INVALIDDATAビット

メッセージの受信完了後、受信したメッセージをメールボックスに更新中に“1”になります。

メッセージの格納完了時点で“0”になります。INVALIDDATAビットが“1”の間にメールボックスを読んだ場合、データは不定値になります。

25.1.9.4 TRMACTIVEビット

CANモジュールから対応するメールボックスのメッセージ送信を開始すると“1”になります。

CANモジュールがCANバスアービトレーションに負けるか、CANバスエラーが起こるか、あるいはデータ送信が完了すると、“0”になります。

25.1.9.5 MSGLOSTビット

NEWDATAビットが“1”の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり破棄された場合、“1”になります。EOFの6番目のビットの終わりで“1”になります。

プログラムで“0”を書くと“0”になります。

オーバーライトモードとオーバーランモードの両方において、EOFの6番目のビットに続くfCAN(CANシステムクロック)の5サイクルの間は、MSGLOSTビットはプログラムで“0”を書いても“0”になりません。

25.1.9.6 TRMABTビット

以下の場合、“1”になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合
- ワンショット送信モード(RECREQビットが“0”、TRMREQビットが“1”、ONESHOTビットが“1”)で、CANモジュールがCANバスアービトレーション負けまたはCANバスエラーを検出した場合

データ送信が完了すると“1”にはなりません。データ送信が完了した場合はSENTDATAビットが“1”になります。

プログラムで“0”を書くと“0”になります。

25.1.9.7 ONESHOTビット

ONESHOTビットは受信モードと送信モードの2つの使い方があります。

(1) ワンショット受信モード

受信モード(RECREQビットが“1”、TRMREQビットが“0”)のときONESHOTビットを“1”にすると、メールボックスはメッセージを1回のみ受信します(メッセージの受信が1回完了した後は、受信メールボックスとして動作しません)。NEWDATA および INVALIDDATA ビットの動作は、通常の実受信モードと同じです。このモードでは、MSGLOSTビットは“1”にはなりません。

ONESHOTビットを“0”にする場合、RECREQビットへ“0”を書いた後、RECREQビットが“0”になったことを確認してから行ってください。

(2) ワンショット送信モード

送信モード(RECREQビットが“0”、TRMREQビットが“1”)のときONESHOTビットを“1”にすると、CANモジュールはメッセージを1回のみ送信します(CANバスエラーまたはCANバスアービトレーション負けの場合でも、メッセージの再送信を行いません)。送信が完了すると、SENTDATAビットが“1”になります。CANバスエラーまたはCANバスアービトレーション負けによって送信が完了できなかったときは、TRMABTビットが“1”になります。

ONESHOTビットを“0”にする場合、SENTDATAビットが“1”、またはTRMABTビットが“1”になってから行ってください。

25.1.9.8 RECREQビット

表 25.12に示す受信モードを選択します。

“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

ハードウェアプロテクトの開始

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

ハードウェアプロテクトの解除

- メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- その他のメールボックスは、アクセプタンスフィルタ処理後
- 受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQビットを“1”にする場合は、TRMREQビットを“1”にしないでください。

メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアポートし、そしてSENTDATAビットとTRMABTビットを“0”にしてください。

25.1.9.9 TRMREQビット

表 25.12に示す送信モードを選択します。

“1”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

“0”にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQビットを“1”から“0”に変更すると、TRMABTビットまたはSENTDATAビットが“1”になります。

TRMREQビットを“1”にする場合は、RECREQビットを“1”にしないでください。

メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアポートし、そしてNEWDATAビットとMSGLOSTビットを“0”にしてください。

25.1.10 CANi受信FIFO制御レジスタ (CiRFCR レジスタ) (i=0~5)

CANi受信FIFO制御レジスタ (i=0~5) (注1)			
ビットシンボル	ビット名	機能	RW
シンボル アドレス リセット後の値 C0RFCR 47F48h番地 1000 0000b C1RFCR 47D48h番地 1000 0000b C2RFCR 47B48h番地 1000 0000b C3RFCR 47948h番地 1000 0000b C4RFCR 47748h番地 1000 0000b C5RFCR 47548h番地 1000 0000b			
RFE	受信FIFO許可ビット (注2)	0: 受信FIFO禁止 1: 受信FIFO許可	RW
RFUST	受信FIFO未読メッセージ数ステータスフラグ	b3 b2 b1 0 0 0: 未読メッセージなし 0 0 1: 未読メッセージ1件あり 0 1 0: 未読メッセージ2件あり 0 1 1: 未読メッセージ3件あり 1 0 0: 未読メッセージ4件あり 1 0 1: } 予約 1 1 0: } 1 1 1: }	RO
RFMLF	受信FIFOメッセージロストフラグ (注3)	0: 受信FIFOメッセージロスト未発生 1: 受信FIFOメッセージロスト発生	RW
RFFST	受信FIFOフルステータスフラグ	0: 受信FIFOはフルではない 1: 受信FIFOはフル (未読メッセージ4件)	RO
RFWST	受信FIFOバッファワーニングステータスフラグ	0: 受信FIFOはバッファワーニングではない 1: 受信FIFOはバッファワーニング (未読メッセージ3件)	RO
RFEST	受信FIFO空ステータスフラグ	0: 受信FIFOに未読メッセージあり 1: 受信FIFOに未読メッセージなし	RO

注1. CiRFCRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。
 注2. RFEビットを“0”にするときは、RFMLFビットも同時に“0”にしてください。
 注3. “0”のみ書けます (“1”を書いても変化しません)。

図 25.11 C0RFCR~C5RFCR レジスタ

25.1.10.1 RFEビット

“1”にすると、受信FIFOが受信許可になります。

“0”にすると、受信FIFOは受信禁止になり、空(RFESTビットが“1”)になります。

通常メールボックスモード(CiCTLRレジスタ(i=0~5)のMBMビットが“0”)では、“1”にしないでください。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで“0”を書いても“0”になりません。

ハードウェアプロテクトの開始

- アクセプタンスフィルタ処理の開始(CRCフィールドの始まり)

ハードウェアプロテクトの解除

- メッセージの受信に受信FIFOが指定された場合は、受信メッセージが受信FIFOに格納された後、またはCANバスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRCフィールドの始まりからEOFの7番目のビットの終わりまで)
- メッセージの受信に受信FIFOが指定されない場合は、アクセプタンスフィルタ処理後

25.1.10.2 RFUSTビット

受信FIFO内の未読メッセージの数を示します。

RFEビットを“0”にすると、“000b”に初期化されます。

25.1.10.3 RFMLFビット

受信FIFOがフルのときに新しいメッセージを受信すると、“1”(受信FIFOメッセージロスト発生)になります。“1”になるタイミングは、EOFの6番目のビットの終わりです。

プログラムで“0”を書くと“0”になります。

オーバランモードとオーバライトモードのどちらも、受信FIFOがフルでメッセージの受信が決定している場合、ハードウェアプロテクトによりEOFの6番目のビットに続くfCAN(CANシステムクロック)の5サイクルの間は、プログラムで“0”(受信FIFOメッセージロスト未発生)になりません。

25.1.10.4 RFFSTビット

受信FIFO内の未読メッセージが4件になると、“1”(受信FIFOはフル)になります。受信FIFO内の未読メッセージが4件未満になると、“0”(受信FIFOはフルではない)になります。RFEビットを“0”にすると、“0”になります。

25.1.10.5 RFWSTビット

受信FIFO内の未読メッセージが3件になると、“1”(受信FIFOはバッファワーニング)になります。受信FIFO内の未読メッセージが3件未満もしくは4件になると“0”(受信FIFOはバッファワーニングではない)になります。RFEビットを“0”にすると、“0”になります。

25.1.10.6 RFESTビット

受信FIFO内の未読メッセージがなくなると、“1”(受信FIFOに未読メッセージなし)になります。RFEビットを“0”にすると、“1”になります。受信FIFO内の未読メッセージが1件以上になると、“0”(受信FIFOに未読メッセージあり)になります。

図 25.12に受信FIFOメールボックスの動作を示します。

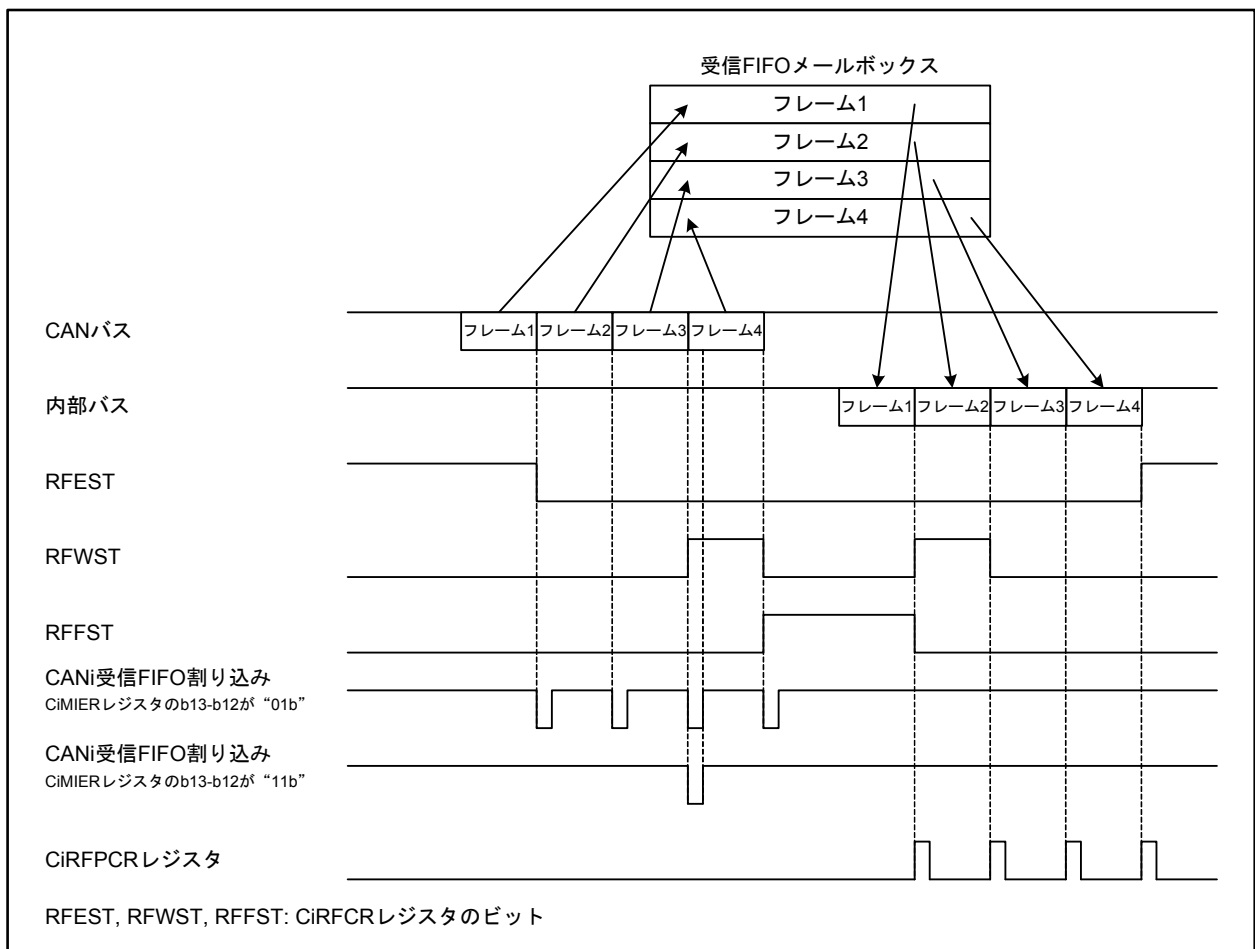


図 25.12 受信FIFOメールボックスの動作(CiMIERレジスタのb13-b12が“01b”または“11b”) (i=0~5)

25.1.11 CANi受信FIFOポインタ制御レジスタ (CiRFPCR レジスタ) (i=0~5)

CANi受信FIFOポインタ制御レジスタ (i=0~5)				
b7	b0	シンボル	アドレス	リセット後の値
		C0RFPCR	47F49h番地	不定
		C1RFPCR	47D49h番地	不定
		C2RFPCR	47B49h番地	不定
		C3RFPCR	47949h番地	不定
		C4RFPCR	47749h番地	不定
		C5RFPCR	47549h番地	不定
		機能	設定値	RW
		FFhを書き込むと、受信FIFOのCPU側ポインタが移動	FFh	WO

図 25.13 C0RFPCR~C5RFPCR レジスタ

受信FIFOにメッセージが存在するとき、受信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムで“FFh”を書いてください。

CiRFPCR レジスタのRFEビットが“0” (受信FIFO禁止)のときは、書かないでください。

受信オーバーライトモードでRFFSTビットが“1” (受信FIFOはフル)のときに新しいメッセージが受信されると、CAN側ポインタとCPU側ポインタの両方が移動します。この状態で、RFMLFビットが“1”のとき、プログラムでCiRFPCRレジスタに書き込んでもCPU側ポインタは移動しません。

25.1.12 CANi送信FIFO制御レジスタ (CiTFCR レジスタ) (i=0~5)

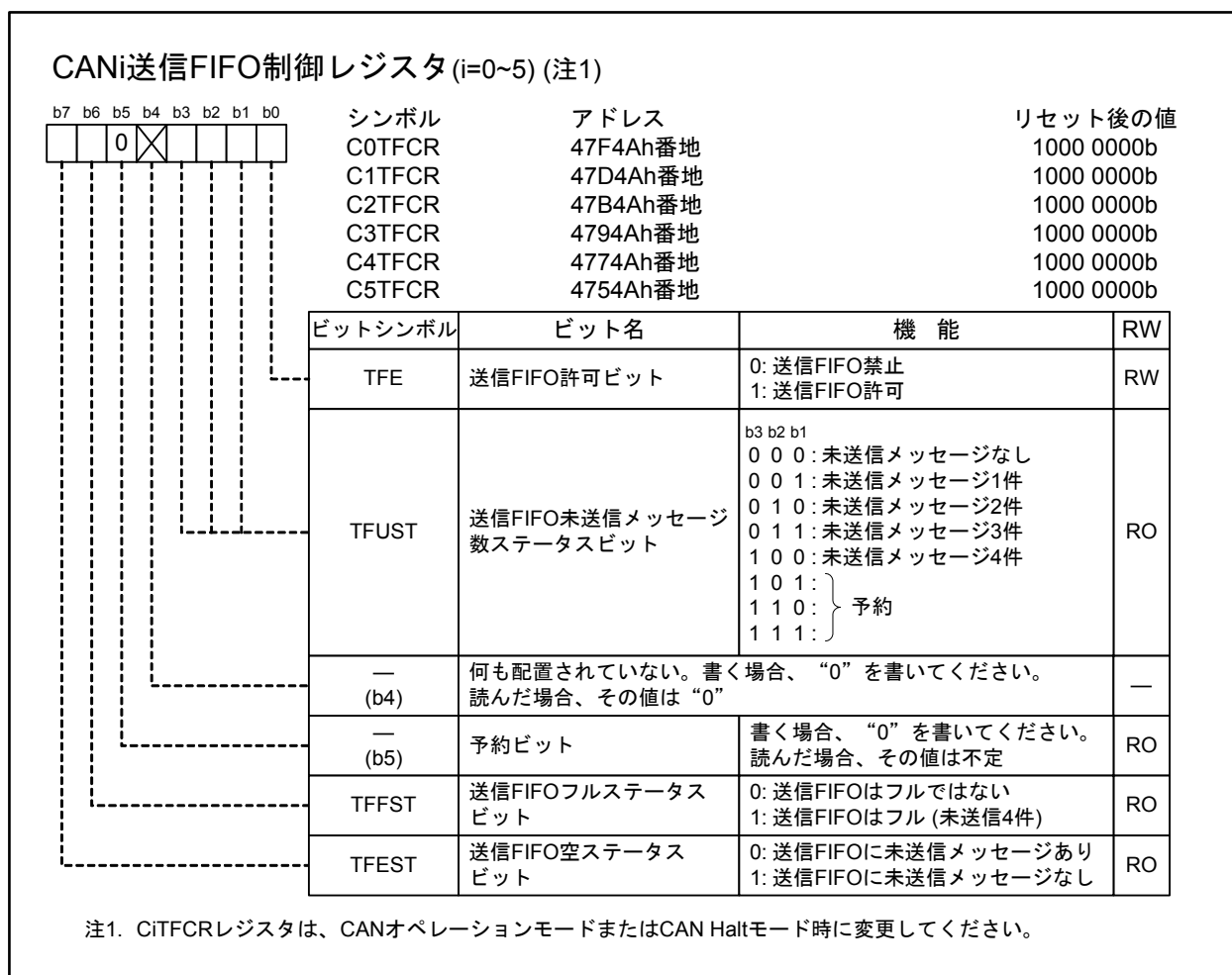


図 25.14 C0TFCR~C5TFCR レジスタ

25.1.12.1 TFE ビット

“1”にすると、送信 FIFO が送信許可になります。

“0”にすると、送信 FIFO は空 (TFEST ビットが“1”) になり、以下のように送信 FIFO からの未送信メッセージが失われます。

- 送信 FIFO からの次の送信予定がなく、また送信中でもないとき、空になります
 - 送信 FIFO からの次の送信予定があるかまたはすでに送信中の場合、送信完了、CAN バスエラー、アービトラージ負け、または CAN Halt モードへの遷移に続いて空になります
- 再度“1”にする前に、TFEST ビットが“1”になっているか確認してください。

“1”にした後、送信データを CiMB8 レジスタに書いてください。

通常メールボックスモード (CiCTLR レジスタの MBM ビットが“0”) では、“1”にしないでください。

25.1.12.2 TFUST ビット

送信 FIFO 内の未送信メッセージの数を示します。

TFE ビットを“0”にした後、送信アポートが完了、または送信が完了すると、“000b”になります。

25.1.12.3 TFFSTビット

送信FIFO内の未送信メッセージが4件になると、“1” (送信FIFOはフル)になります。送信FIFO内の未送信メッセージが4件未満になると、“0” (送信FIFOはフルではない)になります。送信FIFOの送信アポートが完了すると、“0”になります。

25.1.12.4 TFESTビット

送信FIFO内の未送信メッセージがなくなると、“1” (送信FIFOにメッセージなし)になります。送信FIFOの送信アポートが完了すると、“1”になります。

送信FIFO内の未送信メッセージが1件以上になると、“0” (送信FIFOにメッセージあり)になります。

図 25.15に送信FIFO メールボックスの動作を示します。

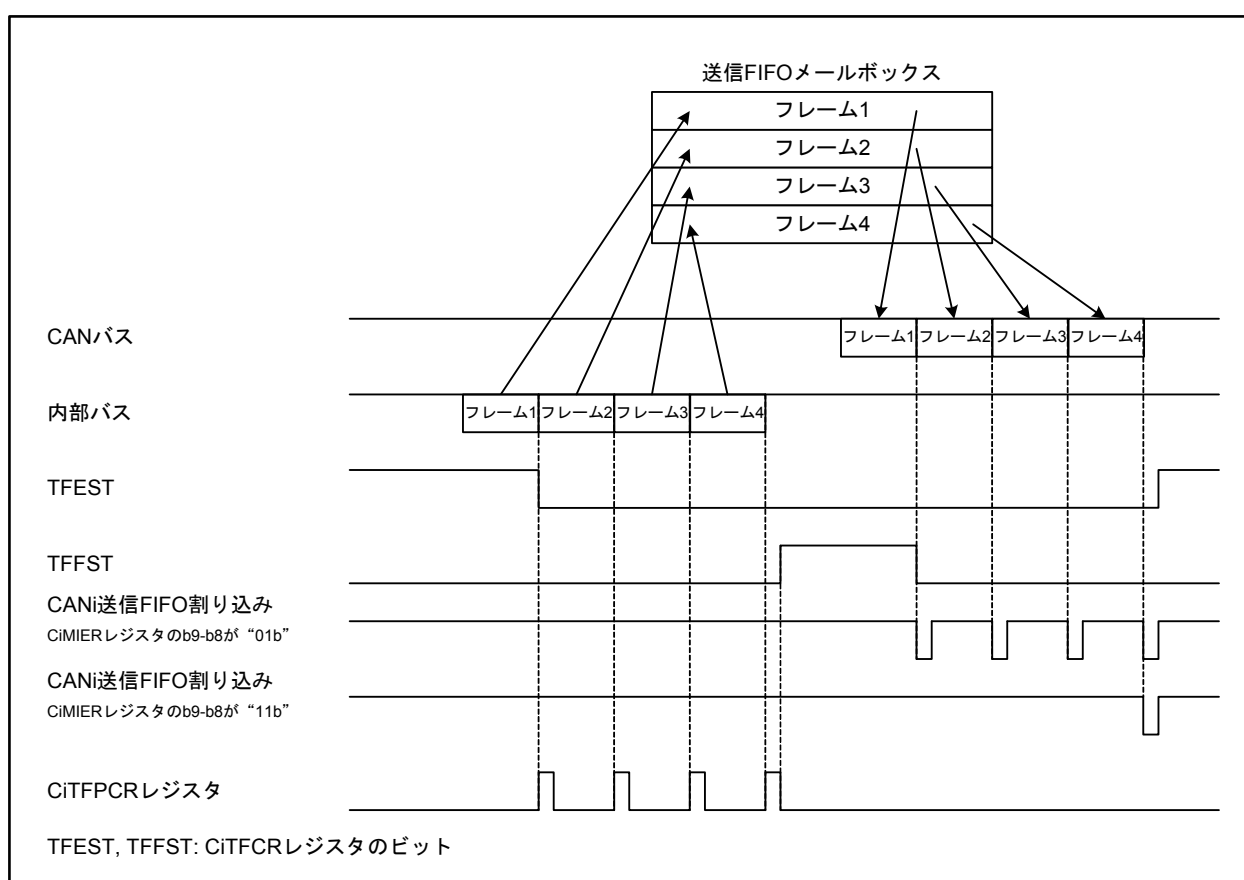


図 25.15 送信FIFO メールボックスの動作(CiMIERレジスタのb9-b8が“01b”または“11b”) (i=0~5)

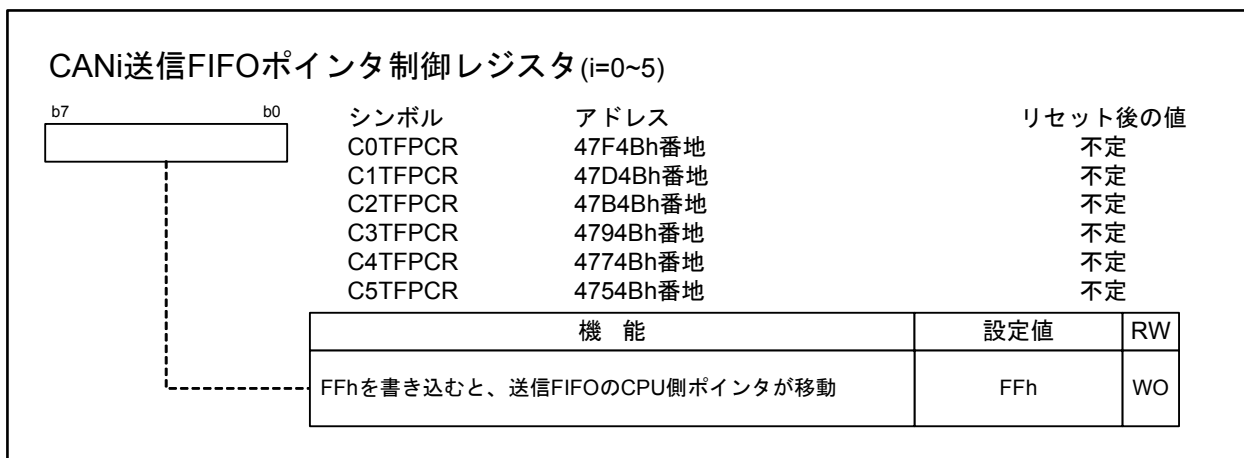
25.1.13 CAN_i送信FIFOポインタ制御レジスタ (CiTFPCR レジスタ) (i=0~5)

図 25.16 C0TFPCR~C5TFPCR レジスタ

送信FIFOがフルでないとき、送信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムで“FFh”を書いてください。

C_iTFPCRレジスタのTFEビットが“0” (送信FIFO禁止)のときは、書かないでください。

25.1.14 CANiステータスレジスタ (CiSTR レジスタ) (i=0~5)

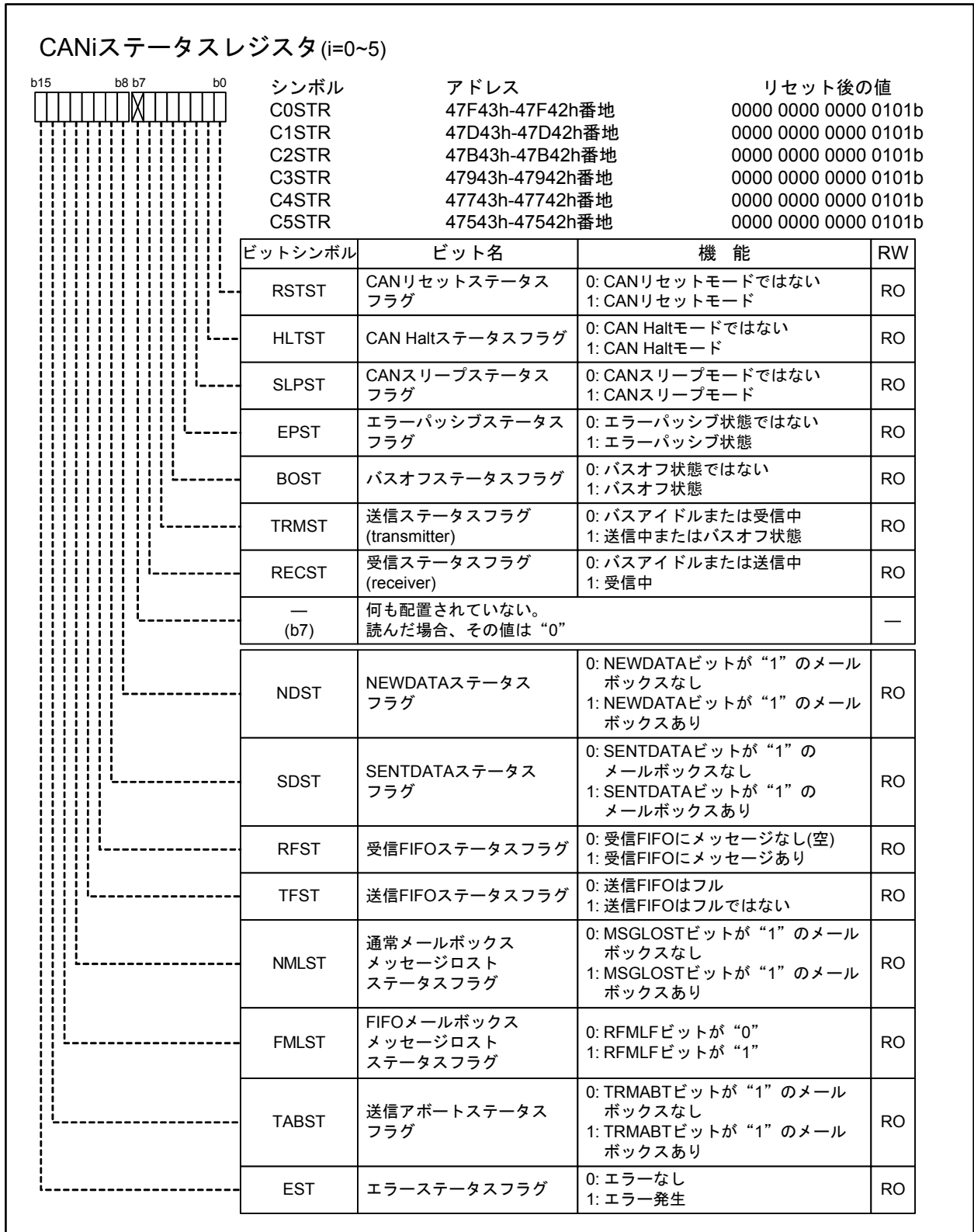


図 25.17 C0STR~C5STRレジスタ

25.1.14.1 RSTSTビット

CANリセットモードになると、“1”になります。
CANリセットモード以外になると、“0”になります。
CANリセットモードからCANスリープモードに遷移しても、“1”のままです。

25.1.14.2 HLTSTビット

CAN Haltモードになると、“1”になります。
CAN Haltモード以外になると、“0”になります。
CAN HaltモードからCANスリープモードに遷移しても、“1”のままです。

25.1.14.3 SLPSTビット

CANスリープモードになると、“1”になります。
CANスリープモード以外になると、“0”になります。

25.1.14.4 EPSTビット

CiTECRまたはCiRECRレジスタ($i=0\sim 5$)の値が127を超えて、CANモジュールがエラーパッシブ状態($128 \leq TEC < 256$ または $128 \leq REC < 256$)になると、“1”になります。エラーパッシブ状態以外になると、“0”になります。

TECは送信エラーカウンタ(CiTECRレジスタ)、RECは受信エラーカウンタ(CiRECRレジスタ)の値です。

25.1.14.5 BOSTビット

CiTECRレジスタの値が255を超えて、CANモジュールがバスオフ状態($TEC \geq 256$)になると、“1”になります。バスオフ状態以外になると、“0”になります。

25.1.14.6 TRMSTビット

CANモジュールが送信ノードかバスオフ状態になると、“1”になります。受信ノードかバスアイドル状態になると、“0”になります。

25.1.14.7 RECSTビット

CANモジュールが受信ノードになると、“1”になります。送信ノードかバスアイドル状態になると、“0”になります。

25.1.14.8 NDSTビット

CiMCTL_jレジスタ($j=0\sim 15$)のNEWDATAビットが1つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

NEWDATAビットがすべて“0”になると、“0”になります。

25.1.14.9 SDSTビット

CiMCTLjレジスタ(i=0~5、j=0~15)のSENTDATAビットが1つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

SENTDATAビットがすべて“0”になると、“0”になります。

25.1.14.10 RFSTビット

受信FIFOにメッセージが存在すると、“1”になります。

受信FIFOが空になると、“0”になります。

通常メールボックスモードになると、“0”になります。

25.1.14.11 TFSTビット

送信FIFOがフルでなくなると、“1”になります。

送信FIFOがフルになると、“0”になります。

通常メールボックスモードになると、“0”になります。

25.1.14.12 NMLSTビット

CiMCTLjレジスタのMSGLOSTビットが1つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

MSGLOSTビットがすべて“0”になると、“0”になります。

25.1.14.13 FMLSTビット

CiRFCRレジスタのRFMLFビットが“1”になると、CiMIERレジスタの値とは無関係に“1”になります。RFMLFビットが“0”になると、“0”になります。

25.1.14.14 TABSTビット

CiMCTLjレジスタのTRMABTビットが1つでも“1”になると、CiMIERレジスタの値とは無関係に“1”になります。

TRMABTビットがすべて“0”になると、“0”になります。

25.1.14.15 ESTビット

CiEIFRレジスタで1つでもエラーが検出されると、CiEIERレジスタの値とは無関係に“1”になります。CiEIFRレジスタで1つでもエラーが検出されないと、“0”になります。

25.1.15 CANi メールボックスサーチモードレジスタ (CiMSMR レジスタ) (i=0~5)

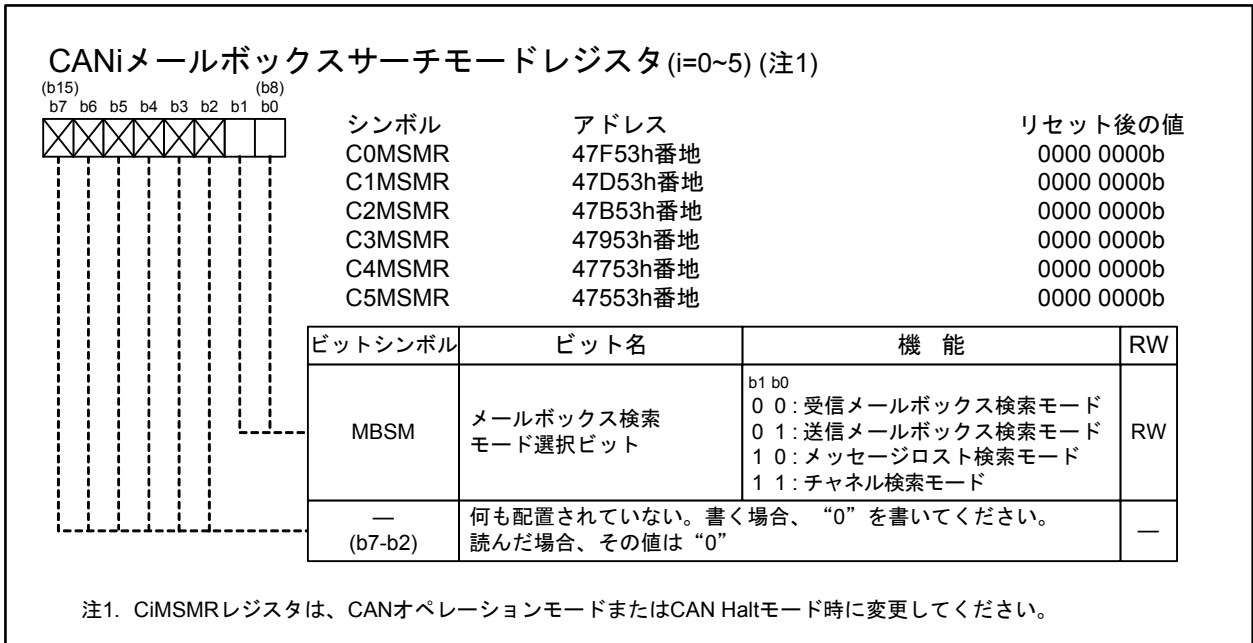


図 25.18 C0MSMR~C5MSMR レジスタ

25.1.15.1 MBSMビット

メールボックス検索機能のための検索モードを選択します。

“00b”の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタ (j=0~15) の通常メールボックスでの NEWDATA ビットと CiRFCR レジスタの RFEST ビットです。

“01b”の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの SENTDATA ビットです。

“10b”の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、CiMCTLj レジスタの通常メールボックスでの MSGLOST ビットと CiRFCR レジスタの RFMLF ビットです。

“11b”の場合、チャンネル検索モードになります。このモードで検索対象となるレジスタは CiCSSR レジスタです。「25.1.17 CANi チャンネルサーチサポートレジスタ (CiCSSR レジスタ) (i=0~5)」を参照してください。

25.1.16 CANi メールボックスサーチステータスレジスタ (CiMSSR レジスタ) (i=0~5)

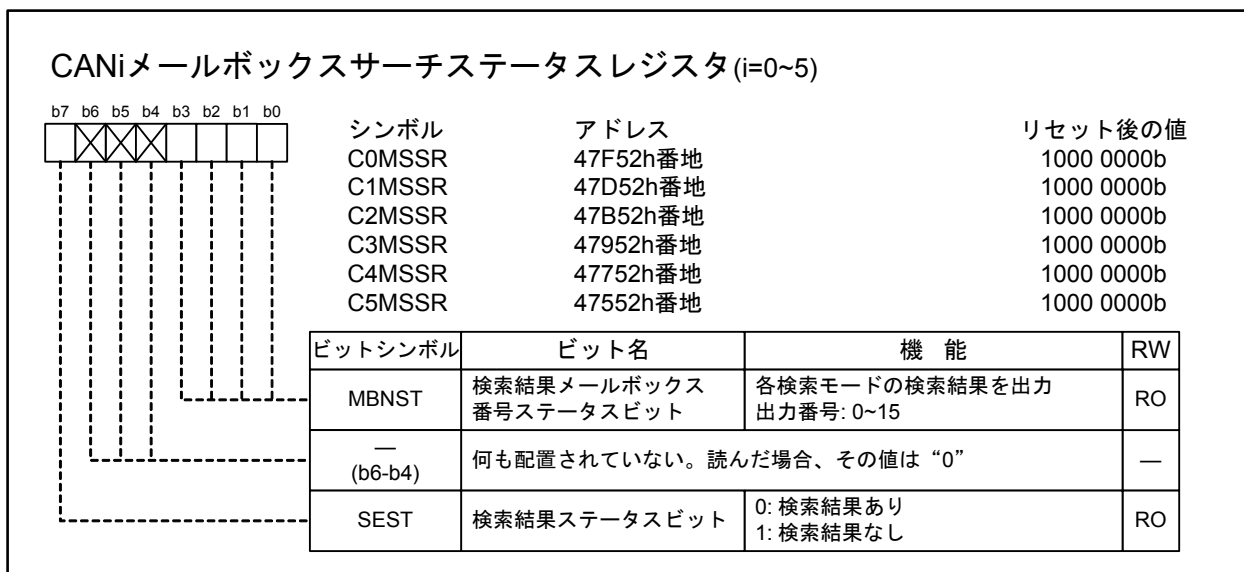


図 25.19 C0MSSR~C5MSSR レジスタ

25.1.16.1 MBNSTビット

CiMSMRレジスタ(i=0~5)の各モードで検索された、最小のメールボックス番号が出力されます。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、以下の場合に更新されます。

- 出力されたメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが“0”になる
- より優先順位の高いメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが“1”になる

受信メールボックス検索モードおよびメッセージロスト検索モードのとき、受信FIFOにメッセージが存在し、すべての通常メールボックス(メールボックス[0]~[7])に未読の受信メッセージもロストメッセージもない場合、受信FIFO(メールボックス[12])が出力されます。

送信メールボックス検索モードのとき、送信FIFO(メールボックス[8])は出力されません。

表 25.8にFIFOメールボックスモードでのMBNSTビットの動作を示します。

表 25.8 FIFOメールボックスモードでのMBNSTビットの動作

MBSMビット	メールボックス[8] (送信 FIFO)	メールボックス[12] (受信 FIFO)
00b	メールボックス[8]は出力されない	通常メールボックスの、どのNEWDATAビットも“1”にならず、また受信FIFOにメッセージが存在する場合は、メールボックス[12]が出力される
01b		メールボックス[12]は出力されない
10b		通常メールボックスの、どのMSGLOSTビットも“1”にならず、受信FIFO内のRFMLFビットが“1”になると、メールボックス[12]が出力される
11b		メールボックス[12]は出力されない

チャンネル検索モードでは、チャンネル番号が出力されます。CiMSSRレジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

25.1.16.2 SESTビット

すべてのメールボックスの検索で該当するメールボックスがない場合、“1”(検索結果なし)になります。

例えば、送信メールボックス検索モードで、SENTDATAビットが“1”のメールボックスが1つもない場合“1”になり、1つでもある場合“0”になります。

SESTビットが“1”の場合、MBNSTビットの値は不定です。

25.1.17 CANiチャンネルサーチサポートレジスタ (CiCSSR レジスタ) (i=0~5)

CANiチャンネルサーチサポートレジスタ (i=0~5) (注1、2)

シンボル	アドレス	リセット後の値
C0CSSR	47F51h番地	不定
C1CSSR	47D51h番地	不定
C2CSSR	47B51h番地	不定
C3CSSR	47951h番地	不定
C4CSSR	47751h番地	不定
C5CSSR	47551h番地	不定

機能	設定値	RW
チャンネル検索の値が入力された場合、チャンネル番号をCiMSSRレジスタに出力	チャンネル値	RW

注1. CiCSSRレジスタは、CiMSMRレジスタのMBSMビットが“11b” (チャンネル検索モード) のときのみ変更してください。

注2. CiCSSRレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

図 25.20 C0CSSR~C5CSSR レジスタ

“1”が設定されたCiCSSRレジスタのビットは、8 to 3プライオリティエンコーダ(LSB側が優先)によってエンコードされ、CiMSSRレジスタのMBNSTビットに出力されます。

CiMSSRレジスタは、読むたびに値が更新されます。

図 25.21にCiCSSR、CiMSSRレジスタの書き込みと読み出しを示します。

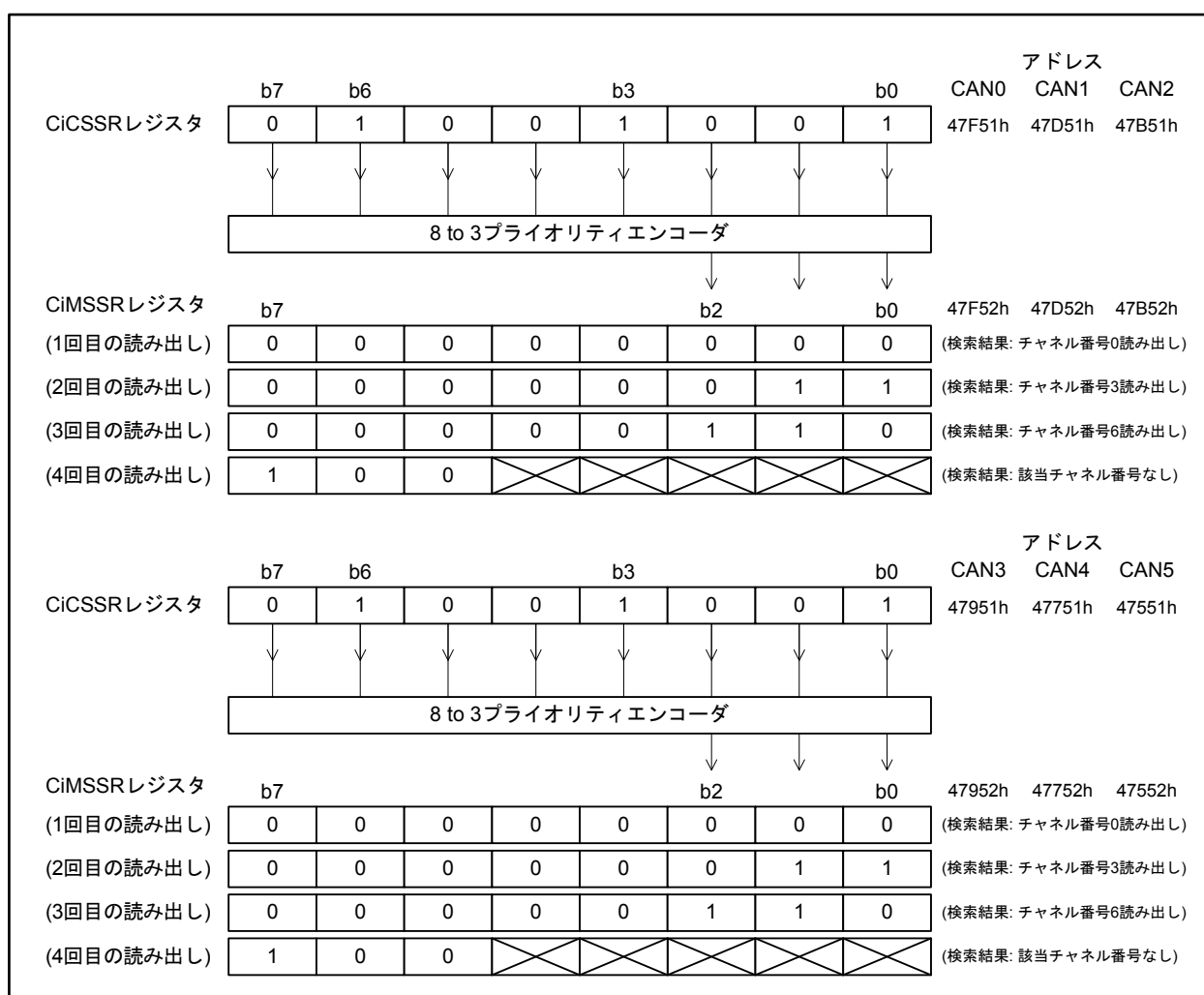


図 25.21 CiCSSR、CiMSSR レジスタの書き込みと読み出し (i=0~5)

CiCSSRレジスタの値もCiMSSRレジスタを読み出す度に更新されます。読んだ場合、8 to 3プライオリティエンコーダ変換前の値が読めます。

25.1.18 CANiアクセプタンスフィルタサポートレジスタ (CiAFSR レジスタ) (i=0~5)

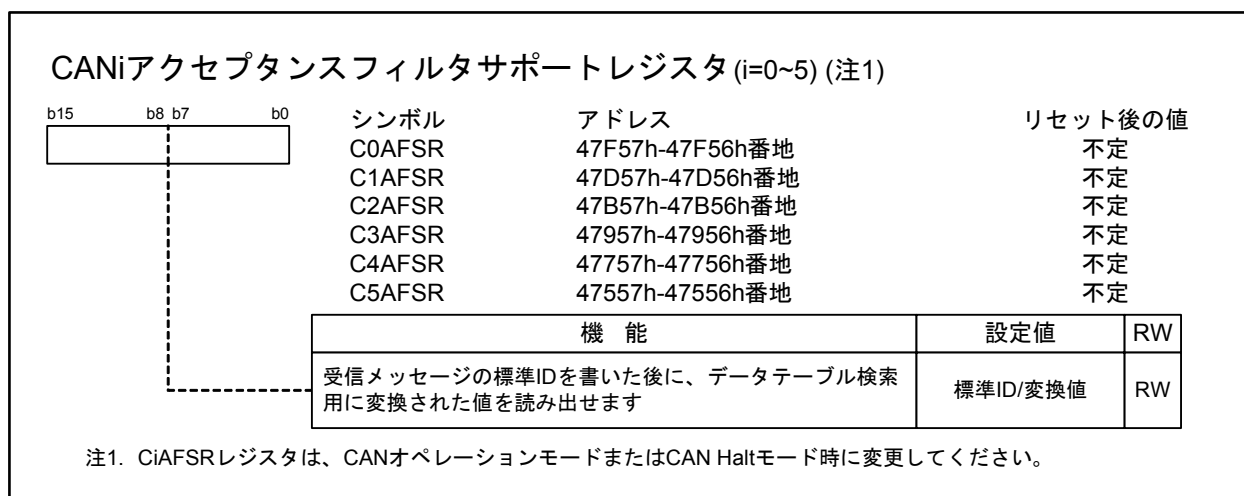


図 25.22 C0AFSR~C5AFSRレジスタ

アクセプタンスフィルタサポートユニット (ASU) は、あらかじめユーザにより作成された全標準IDが有効か無効かを1ビット単位で設定したデータテーブル(8ビット×256)の検索に使用できます。受信した標準IDが格納されたCiMBjレジスタ(j=0~15)のSIDビットを含む16ビット単位のデータをCiAFSRレジスタへ書くと、デコードされたデータテーブル検索用の行(バイトオフセット)位置と列(ビット)位置が読み出せます。ASUは、標準(11ビット)IDのみに使用できます。

ASUは、以下の場合に有効です。

- 受信するIDがアクセプタンスフィルタでマスクできない場合
例)受信するID: 078h、087h、111h
 - 受信するIDが多すぎて、ソフトウェアによるフィルタリングの処理時間を減少させたい場合
- 図 25.23にCiAFSRレジスタの書き込み、読み出しを示します。

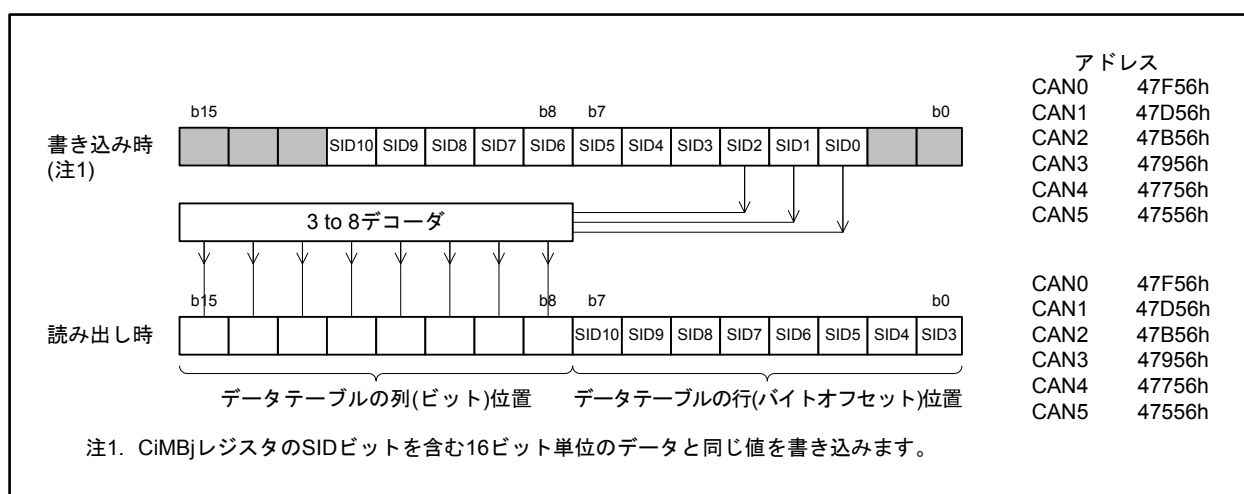


図 25.23 CiAFSRレジスタの書き込み、読み出し (i=0~5、j=0~15)

25.1.19 CANiエラー割り込み許可レジスタ (CiEIER レジスタ) (i=0~5)

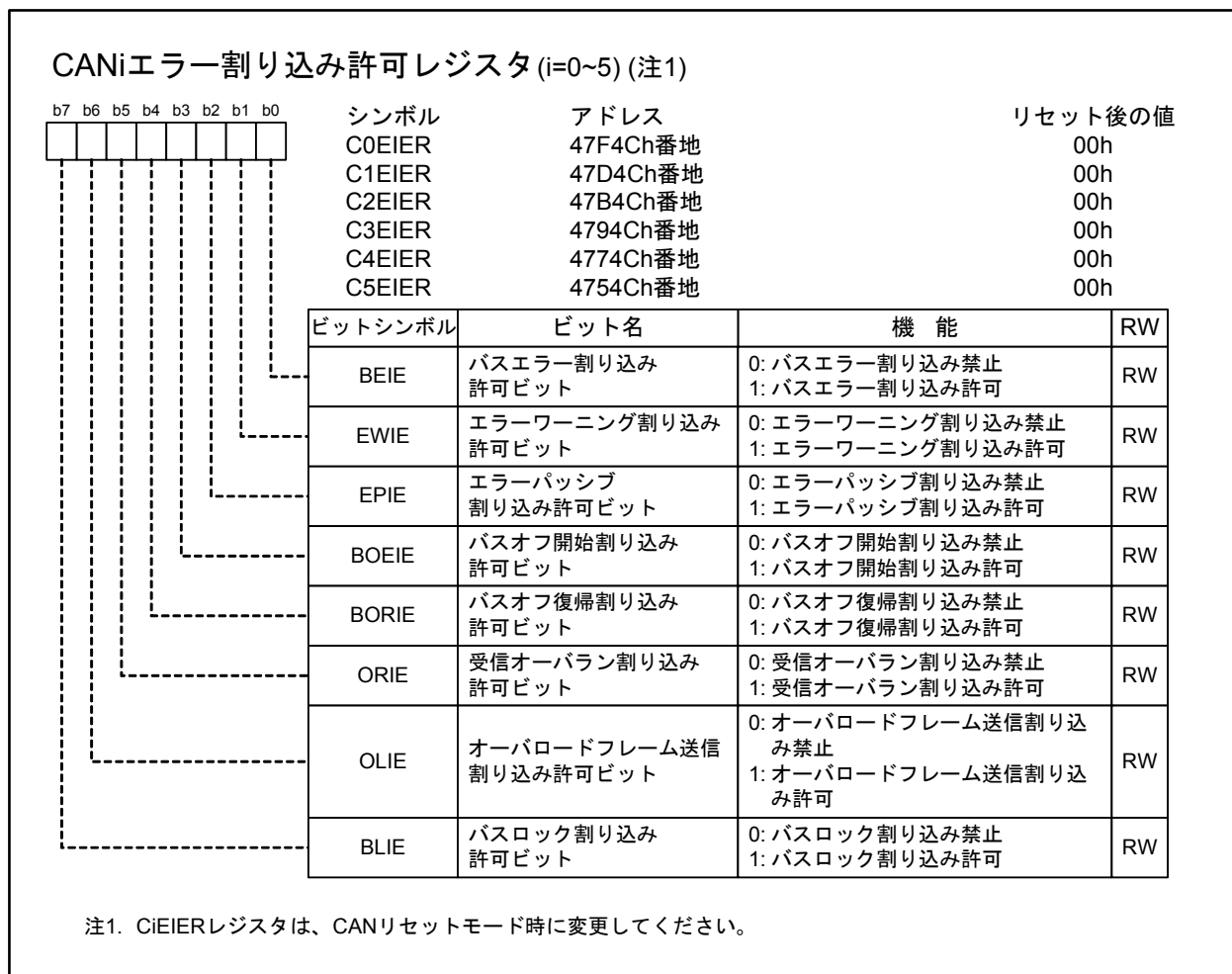


図 25.24 C0EIER~C5EIERレジスタ

CiEIER レジスタは、CiEIFR レジスタのエラー割り込み要因に対して個別にエラー割り込みの許可/禁止を設定できます。

25.1.19.1 BEIE ビット

“0”にすると、CiEIFRレジスタ(i=0~5)のBEIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BEIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.2 EWIE ビット

“0”にすると、CiEIFRレジスタのEWIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、EWIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.3 EPIE ビット

“0”にすると、CiEIFRレジスタのEPIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、EPIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.4 BOEIE ビット

“0”にすると、CiEIFRレジスタのBOEIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BOEIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.5 BORIE ビット

“0”にすると、CiEIFRレジスタのBORIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BORIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.6 ORIE ビット

“0”にすると、CiEIFRレジスタのORIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、ORIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.7 OLIE ビット

“0”にすると、CiEIFRレジスタのOLIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、OLIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.19.8 BLIE ビット

“0”にすると、CiEIFRレジスタのBLIFビットが“1”になっても、エラー割り込み要求は発生しません。

“1”にすると、BLIFビットが“1”になった場合、エラー割り込み要求が発生します。

25.1.20 CANiエラー割り込み要因判定レジスタ (CiEIFR レジスタ) (i=0~5)

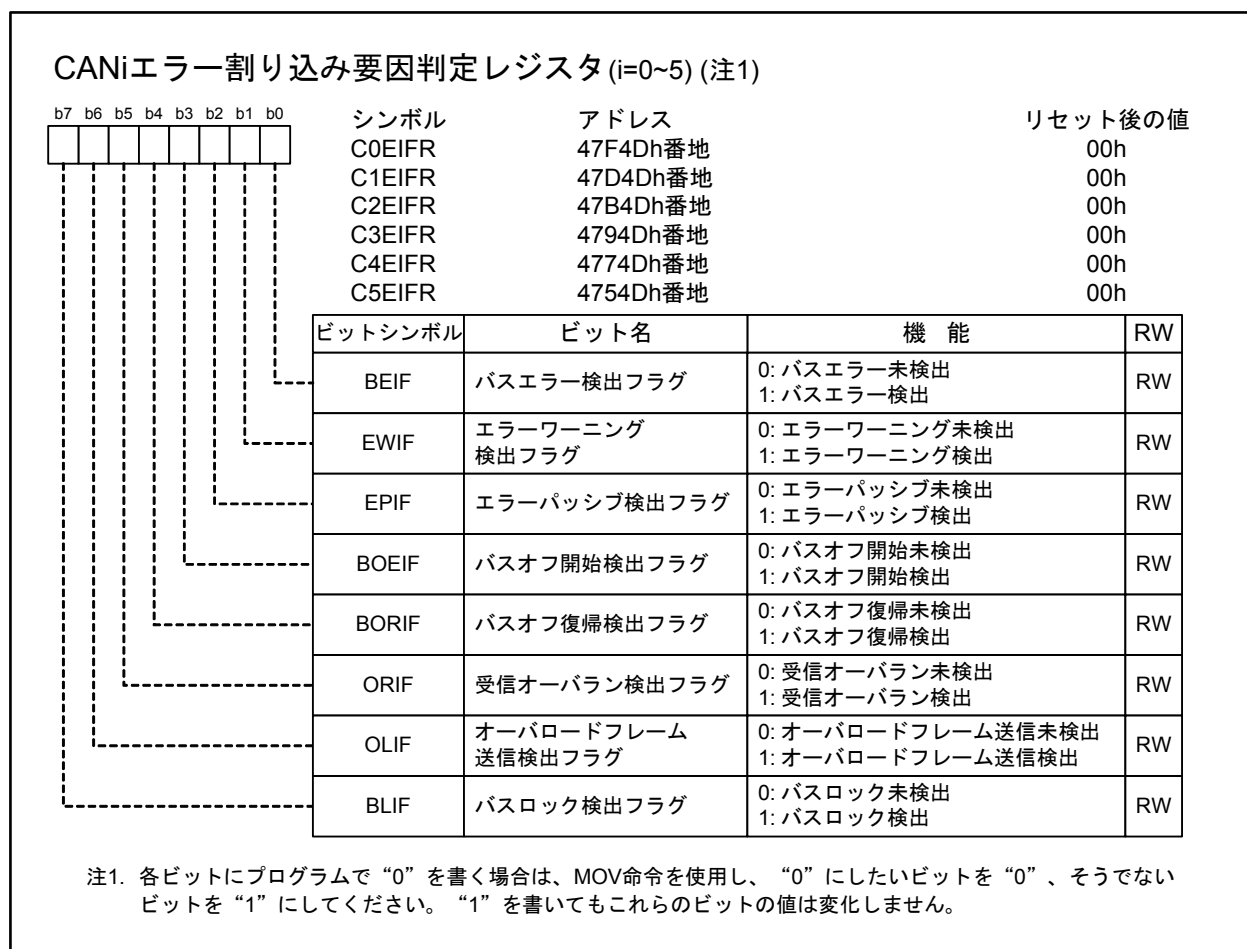


図 25.25 C0EIFR~C5EIFR レジスタ

CiEIFR レジスタは、各ビットに対応する現象が発生すると、CiEIER レジスタの設定にかかわらず対応するビットが“1”になります。

各ビットを“0”にする場合は、プログラムで“0”を書いてください。“1”になるタイミングとプログラムで“0”にするタイミングが同時の場合、そのビットは“1”になります。

25.1.20.1 BEIF ビット

バスエラーが検出されると、“1”になります。

25.1.20.2 EWIF ビット

REC (受信エラーカウンタ) または TEC (送信エラーカウンタ) の値が 95 を超えると、“1”になります。

REC または TEC が最初に 95 を超えたときのみ“1”になります。したがって、REC または TEC が 95 を超えたままで、プログラムで“0”を書いた場合、一度 REC と TEC が 95 以下になり、再び REC または TEC が 95 を超えるまでは“1”にはなりません。

25.1.20.3 EPIF ビット

CAN エラーステートがエラーパッシブ状態(RECまたはTECの値が127を超える)になると、“1”になります。

RECまたはTECが最初に127を超えたときのみ“1”になります。したがって、RECまたはTECが127を超えたままで、プログラムで“0”を書いた場合、一度RECとTECが127以下になり、再びRECまたはTECが127を超えるまでは“1”にはなりません。

25.1.20.4 BOEIF ビット

CANエラーステートがバスオフ状態(TECの値が255を超える)になると、“1”になります。

CiCTLRレジスタ(i=0~5)のBOMビットが“01b”(バスオフ開始で自動的にCAN Haltモードへ遷移)で、CANモジュールがバスオフ状態になった場合も、“1”になります。

25.1.20.5 BORIF ビット

CANモジュールが以下の条件でバスオフ状態から通常復帰(11の連続するレセプティブビットを128回検出)をした場合、“1”になります。

- (1) CiCTLRレジスタのBOMビットが“00b”のとき
- (2) BOMビットが“10b”のとき
- (3) BOMビットが“11b”のとき

なお、CANモジュールが以下の条件でバスオフ状態から復帰した場合、“1”にはなりません。

- (1) CiCTLRレジスタのCANMビットを“01b”(CANリセットモード)にしたとき
- (2) CiCTLRレジスタのRBOCビットを“1”(バスオフからの強制復帰)にしたとき
- (3) BOMビットが“01b”のとき
- (4) BOMビットが“11b”で、通常復帰をする前に、CANMビットを“10b”(CAN Haltモード)にしたとき

表 25.9にBOMビットの設定値によるBOEIF、BORIFビットの動作を示します。

表 25.9 BOMビットの設定値によるBOEIF、BORIFビットの動作

BOMビット	BOEIFビット	BORIFビット
00b	バスオフ状態への遷移時“1” になる	バスオフ状態からの復帰時“1”になる
01b		“1”にはならない
10b		バスオフ状態からの復帰時“1”になる
11b		CANMビットが“10b”(CAN Haltモード)になる前に、バスオフ状態から通常復帰をした場合“1”になる

25.1.20.6 ORIF ビット

受信オーバーランが発生すると、“1”になります。

オーバーライトモードでは“1”にはなりません。オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、“1”にはなりません。

通常メールボックスモードの場合、オーバーランモードで、メールボックス[0]~[15]のいずれかでオーバーランが発生すると、“1”になります。

FIFOメールボックスモードの場合、オーバーランモードで、メールボックス[0]~[7]のいずれかまたは受信FIFOでオーバーランが発生すると、“1”になります。

25.1.20.7 OLIF ビット

CANモジュールが受信または送信を行う場合にオーバーロードフレームの送信条件が検出されると、“1”になります。

25.1.20.8 BLIF ビット

CANモジュールがCANオペレーションモードの間、CANバス上に32の連続するドミナントビットを検出すると、“1”になります。

“1”になった後、以下のどちらかで再検出します。

- このビットを“1”から“0”にした後、レセシブビットを検出
- このビットを“1”から“0”にした後、CANリセットモードもしくはCAN Haltモードに遷移し、再度CANオペレーションモードに遷移

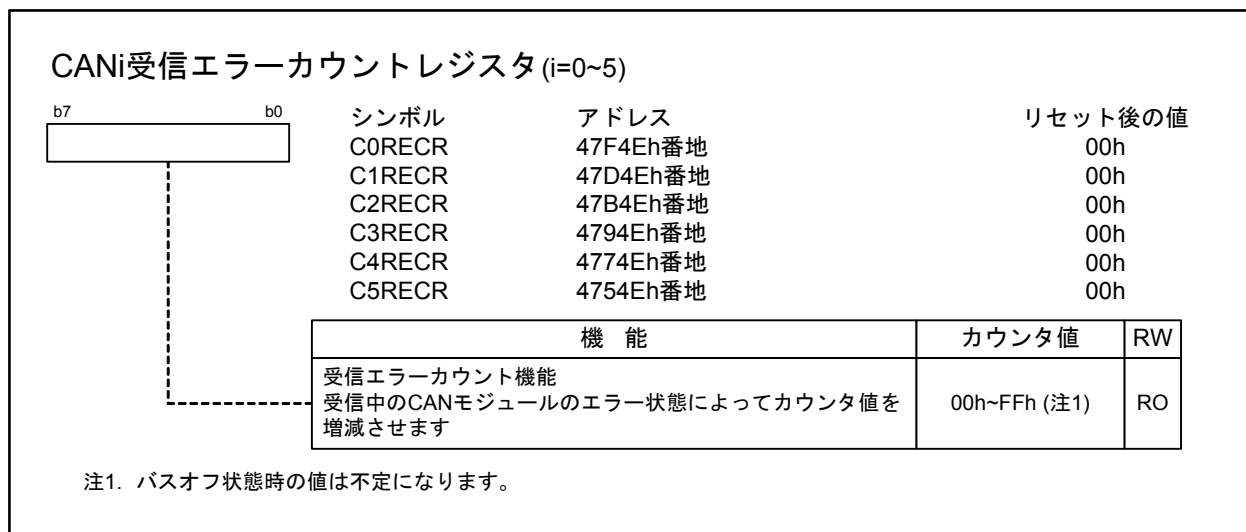
25.1.21 CAN_i受信エラーカウントレジスタ (CiRECR レジスタ) (i=0~5)

図 25.26 C0RECR~C5RECR レジスタ

CiRECR レジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件については、CAN仕様(ISO11898-1)を参照してください。

25.1.22 CANi送信エラーカウントレジスタ (CiTECR レジスタ) (i=0~5)

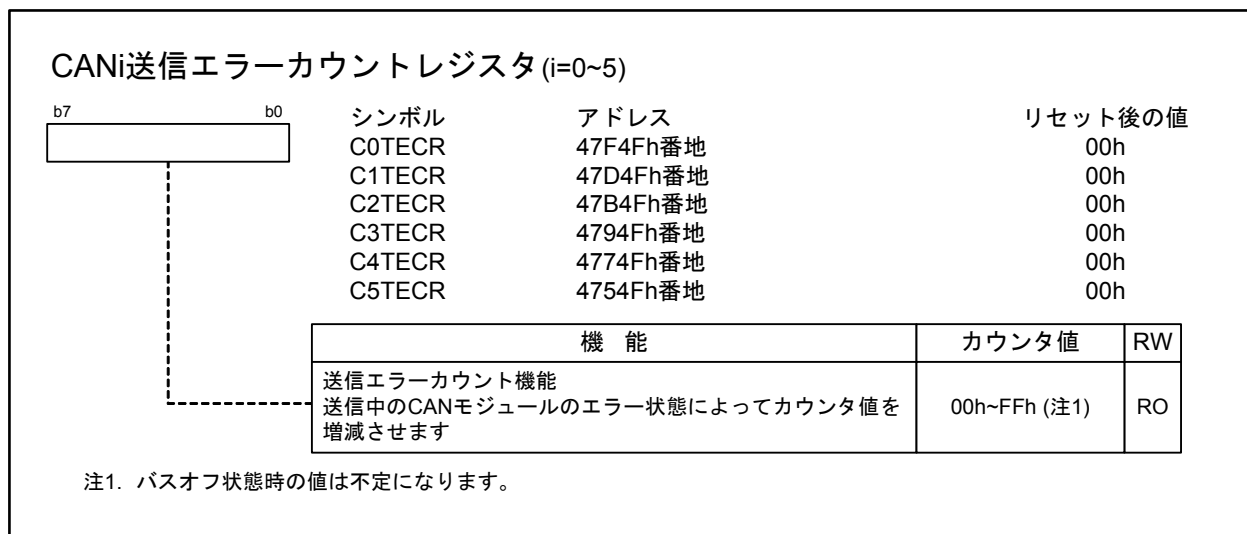


図 25.27 C0TECR~C5TECR レジスタ

CiTECR レジスタは、送信エラーカウンタの値を示します。

送信エラーカウンタの増減条件については、CAN仕様(ISO11898-1)を参照してください。

25.1.23 CANiエラーコード格納レジスタ (CiECSR レジスタ) (i=0~5)

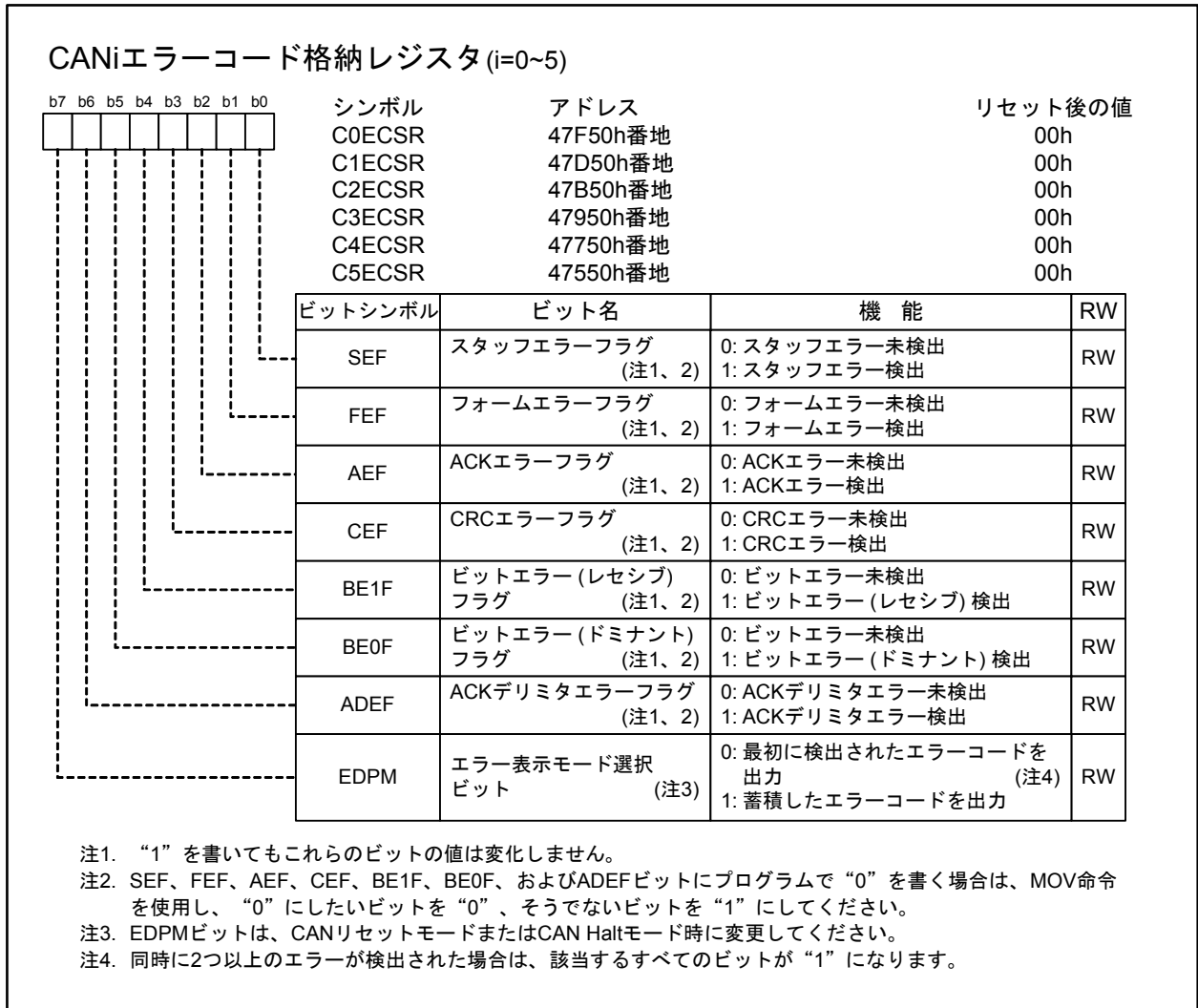


図 25.28 C0ECSR~C5ECSR レジスタ

CiECSR レジスタは、CANバス上のエラーの発生をモニタリングする場合に使用できます。

各エラーの発生条件を確認するには、CAN仕様(ISO11898-1)を参照してください。

EDPM ビット以外の各ビットを“0”にする場合は、プログラムで“0”を書いてください。各ビットが“1”になるタイミングとプログラムで“0”を書くタイミングが同じ場合、そのビットは“1”になります。

25.1.23.1 SEF ビット

スタッフエラーを検出すると“1”になります。

25.1.23.2 FEF ビット

フォームエラーを検出すると“1”になります。

25.1.23.3 AEFビット

ACKエラーを検出すると“1”になります。

25.1.23.4 CEFビット

CRCエラーを検出すると“1”になります。

25.1.23.5 BE1Fビット

レセシブビットエラーを検出すると“1”になります。

25.1.23.6 BE0Fビット

ドミナントビットエラーを検出すると“1”になります。

25.1.23.7 ADEFビット

送信中のACKデリミタでフォームエラーを検出すると“1”になります。

25.1.23.8 EDPMビット

CiECSRレジスタ(i=0~5)の出力モードを選択します。

“0”にすると、CiECSRレジスタは最初のエラーコードを出力します。

“1”にすると、CiECSRレジスタは蓄積したエラーコードを出力します。

25.1.24 CANiタイムスタンプレジスタ (CiTSR レジスタ) (i=0~5)



図 25.29 C0TSR~C5TSRレジスタ

CiTSR レジスタを読むと、その時点のタイムスタンプカウンタ (16 ビットフリーランカウンタ) の値が読み出せます。

タイムスタンプカウンタの基準クロックの値は1ビットタイムを逡倍したもので、CiCTLRレジスタのTSPSビットで設定します。

タイムスタンプカウンタは、CAN スリープモードおよびCAN Halt モードで停止し、CAN リセットモードで初期化されます。

受信メッセージが受信メールボックスに格納されるときタイムスタンプカウンタの値がCiMBj レジスタ (j=0~15) のTSL、TSHへ格納されます。

25.1.25 CANiテスト制御レジスタ (CiTCR レジスタ) (i=0~5)

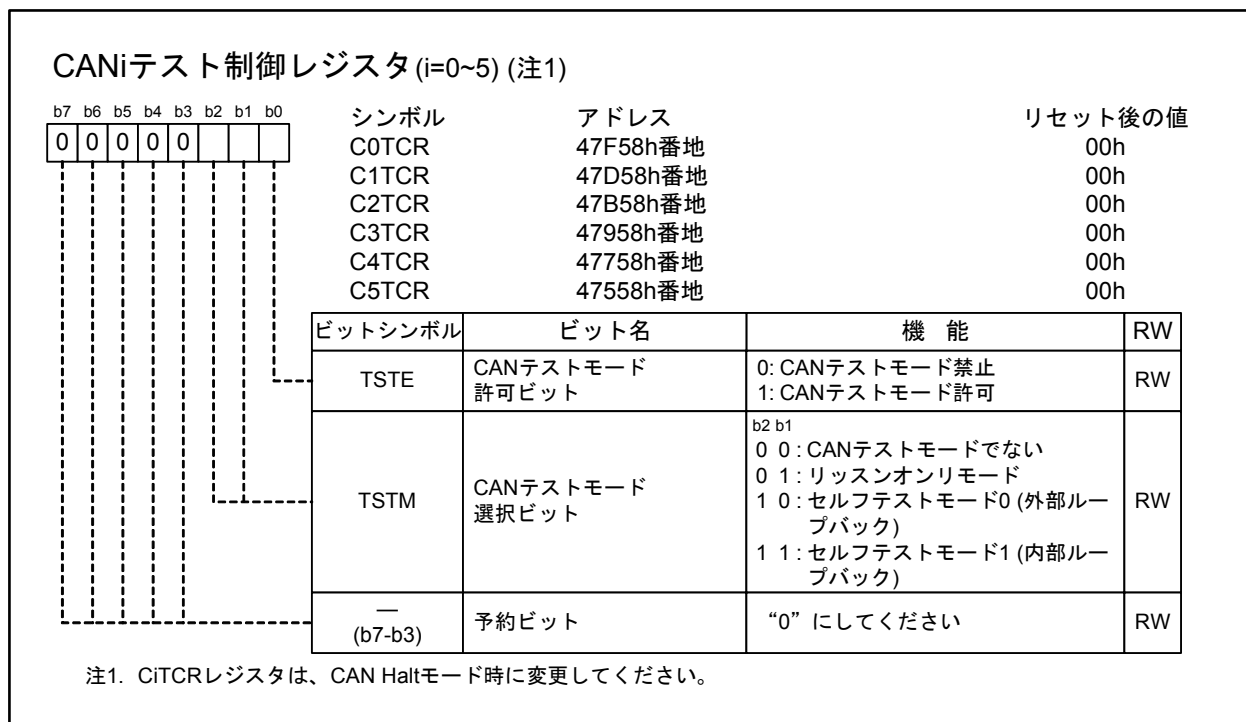


図 25.30 C0TCR~C5TCRレジスタ

25.1.25.1 TSTEビット

“0”にすると、CANテストモードは禁止になります。

“1”にすると、CANテストモードは許可になります。

25.1.25.2 TSTMビット

CANテストモードを選択するビットです。

各CANテストモードの詳細を、以下に説明します。

25.1.25.3 リッスンオンリモード

CAN仕様 (ISO11898-1) では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できます。CANバス上にはレセプビットのみが送信され、ACKビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 25.31 にリッスンオンリモード選択時の接続を示します。

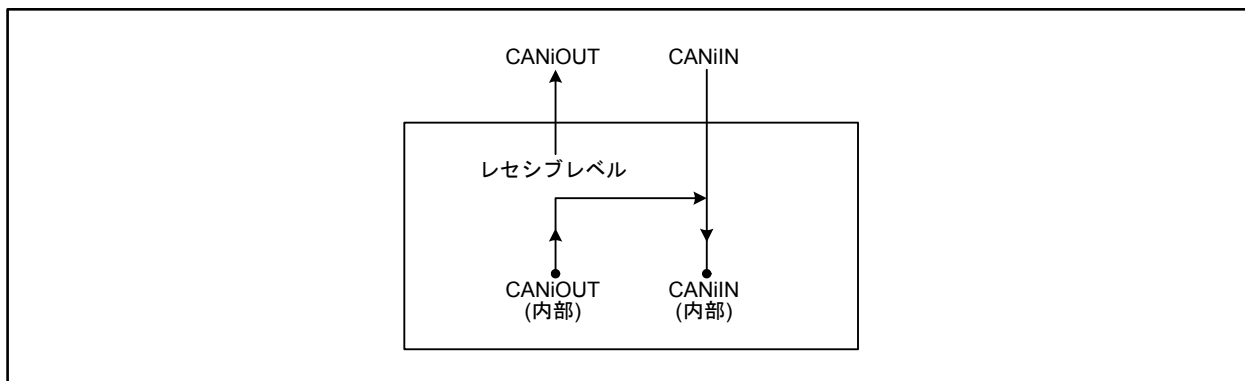


図 25.31 リッスンオンリモード選択時の接続 (i=0~5)

25.1.25.4 セルフテストモード0 (外部ループバック)

セルフテストモード0はCANトランシーバテスト用です。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

CANiOUT/CANiIN端子 (i=0~5) はCANトランシーバに接続してください。

図 25.32 にセルフテストモード0選択時の接続を示します。

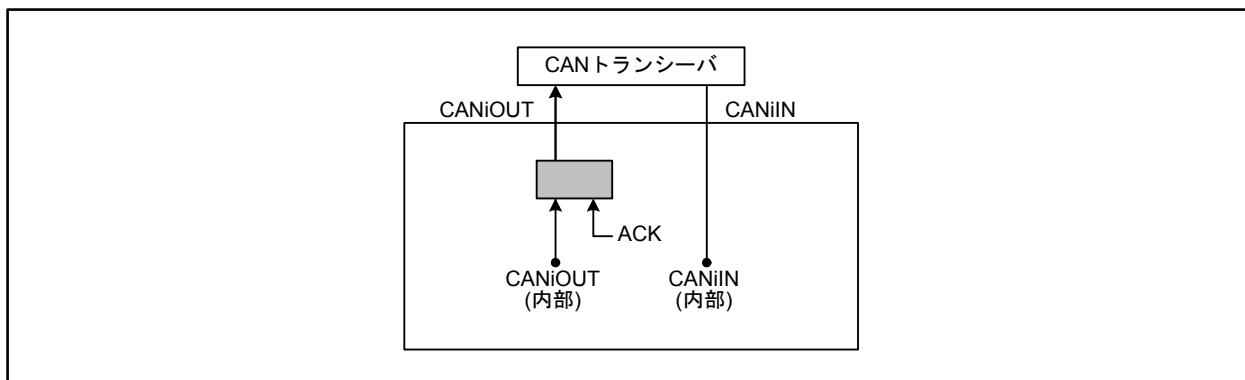


図 25.32 セルフテストモード0選択時の接続 (i=0~5)

25.1.25.5 セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

セルフテストモード1では内部CANiOUT端子(i=0~5)から内部CANiIN端子への内部フィードバックを行います。外部CANiIN端子の入力の値は、無視されます。外部CANiOUT端子はレセシブビットのみ出力します。CANiOUT/CANiIN端子はCANバスや他のどの外部デバイスにも接続する必要がありません。

図 25.33にセルフテストモード1選択時の接続を示します。

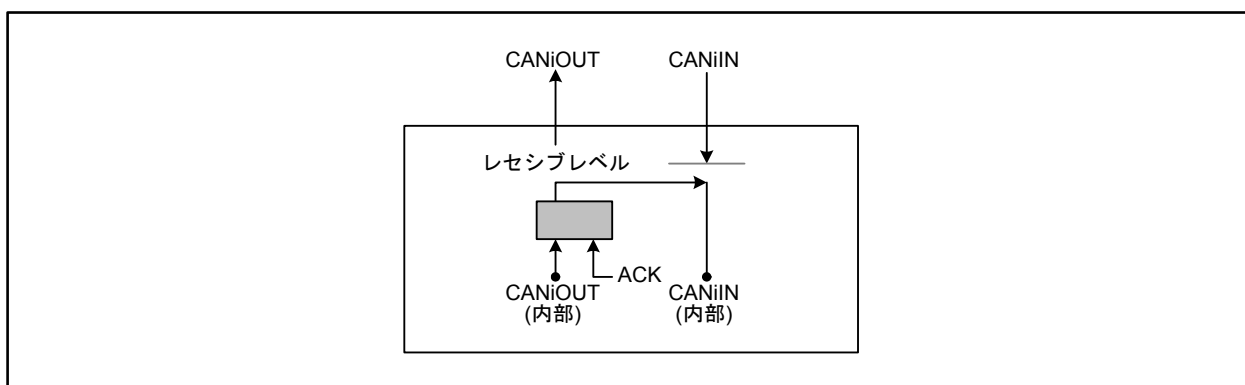


図 25.33 セルフテストモード1選択時の接続(i=0~5)

25.2 動作モード

CANモジュールには、以下の4つの動作モードがあります。

- CANリセットモード
- CAN Haltモード
- CANオペレーションモード
- CANスリープモード

図 25.34にCAN動作モード間の遷移を示します。

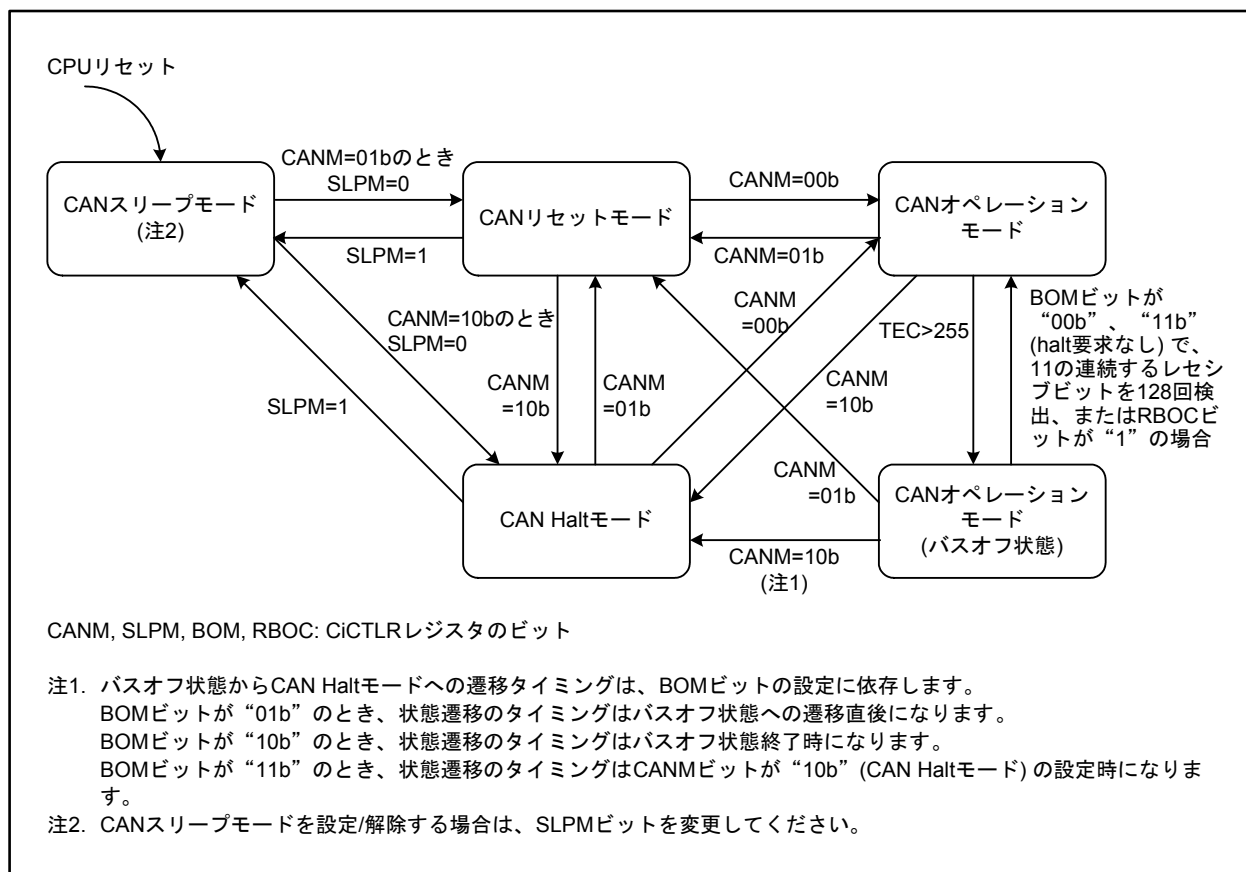


図 25.34 CAN動作モード間の遷移 (i=0~5)

25.2.1 CANリセットモード

CANリセットモードは、CAN通信の設定を行うモードです。

CiCTLRレジスタ(i=0~5)のCANMビットを“01b”にすると、CANリセットモードになります。そのとき、CiSTRレジスタのRSTSTビットが“1”になります。RSTSTビットが“1”になるまで、CANMビットを変更しないでください。

CANリセットモードから他のモードへ遷移する前に、CiBCRレジスタを設定してください。

以下のレジスタは、CANリセットモードに遷移した後、それぞれのリセット後の値に初期化され、CANリセットモード中は初期値を保持します。

- CiMCTLjレジスタ(j=0~15)
- CiSTRレジスタ(SLPSTビットとTFSTビットを除く)
- CiEIFRレジスタ
- CiRECRレジスタ
- CiTECRレジスタ
- CiTSRレジスタ
- CiMSSRレジスタ
- CiMSMRレジスタ
- CiRFCRレジスタ
- CiTFPCRレジスタ
- CiTCRレジスタ
- CiECSRレジスタ(EDPMビットを除く)

以下のレジスタは、CANリセットモードに遷移した後も、以前の値を保持します。

- CiCLKRレジスタ
- CiCTLRレジスタ
- CiSTRレジスタ(SLPSTビットとTFSTビット)
- CiMIERレジスタ
- CiEIERレジスタ
- CiBCRレジスタ
- CiCSSRレジスタ
- CiECSRレジスタ(EDPMビットのみ)
- CiMBjレジスタ
- CiMKR0~CiMKR3レジスタ
- CiFIDCR0、CiFIDCR1レジスタ
- CiMKIVLRレジスタ
- CiAFSRレジスタ
- CiRFPCRレジスタ
- CiTFPCRレジスタ

25.2.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードの設定を行うモードです。

CiCTRLレジスタ(i=0~5)のCANMビットを“10b”にすると、CAN Haltモードになります。そのとき、CiSTRレジスタのHLTSTビットが“1”になります。HLTSTビットが“1”になるまで、CANMビットを変更しないでください。

送信または受信時の状態遷移の条件は、「表 25.10 CANリセットモードとCAN Haltモードでの動作」を参照してください。

CAN Haltモードへの遷移では、CiSTRレジスタのRSTSTビット、HLTSTビットおよびSLPSTビット以外のビットと他のすべてのレジスタは変化しません。

CAN Haltモードでは、CiCLKRレジスタ、CiCTRLレジスタ(CANMビットとSLPMビットを除く)およびCiEIERレジスタは変更しないでください。CANテストモードで、自動ポーレート検出として使用するためにリッスンオンリモードを選択している場合のみ、CAN HaltモードでCiBCRレジスタを変更できます。

表 25.10 CANリセットモードとCAN Haltモードでの動作

モード	受信	送信	バスオフ
CANリセットモード	メッセージ受信の終了を待たずにCANリセットモードに遷移	メッセージ送信の終了を待ってCANリセットモードに遷移(注1、4)	バスオフ復帰の終了を待たずにCANリセットモードに遷移
CAN Haltモード	メッセージ受信の終了を待ってCAN Haltモードに遷移(注2、3)	メッセージ送信の終了を待ってCAN Haltモードに遷移(注1、4)	<p>【BOMビットが“00b”の場合】 バスオフ復帰後のみ、プログラムのHalt要求を受け付ける</p> <p>【BOMビットが“01b”の場合】 バスオフ復帰の終了を待たずに自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“10b”の場合】 バスオフ復帰の終了を待って自動的にCAN Haltモードに遷移(プログラムのHalt要求とは無関係に)</p> <p>【BOMビットが“11b”の場合】 バスオフ中にプログラムによるHalt要求があると、CAN Haltモードに遷移(バスオフ復帰の終了を待たずに)</p>

BOMビット: CiCTRLレジスタのビット(i=0~5)

- 注1. いくつかのメッセージ送信が要求されている場合、最初のメッセージ送信が完了した後にモードを遷移します。サスペンドトランSMISSION中にCANリセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、またはCANモジュールが受信になったときに、モードを遷移します。
- 注2. CANバスがドミナントレベルでロックされた場合、CiEIFRレジスタのBLIFビットをモニタすると、プログラムはバスロック状態を検出できます。
- 注3. CAN Haltモードが要求された後、受信中にCANバスエラーが発生すると、CAN Haltモードに遷移します。
- 注4. CANリセットモードまたはCAN Haltモードが要求された後、送信中にCANバスエラーまたはCANアービトレーションロストが発生すると、要求されたCANモードに遷移します。

25.2.3 CANスリープモード

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

CiCTLRレジスタ(i=0~5)のSLPMビットを“1”にすると、CANスリープモードになります。そのとき、CiSTRレジスタのSLPSTビットが“1”になります。SLPSTビットが“1”になるまで、SLPMビットの値を変更しないでください。CANスリープモードへの遷移時は、他のレジスタは変化しません。

SLPMビットは、CANリセットモードとCAN Haltモードで変更してください。SLPMビットを除く他のレジスタは、CANスリープモード中は変更しないでください。読み出し動作は許可されます。

SLPMビットを“0”にすると、CANスリープモードから解除されます。CANスリープモードからの復帰時、他のレジスタは変化しません。

25.2.4 CANオペレーションモード(バスオフ状態以外)

CANオペレーションモードは、CAN通信をするモードです。

CiCTLRレジスタ(i=0~5)のCANMビットを“00b”にすると、CANオペレーションモードになります。そのとき、CiSTRレジスタのRSTSTビットとHLTSTビットが“0”になります。RSTSTビットとHLTSTビットが“0”になるまで、CANMビットの値を変更しないでください。

CANオペレーションモードに遷移した後、11の連続するレセシブビットを検出すると、CANモジュールは以下の状態になります。

- CANモジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CANメッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CANバスのエラー監視処理が行われる

CANバスの状態によって、CANオペレーションモード中に、以下の3つのいずれかのサブモードになっています。

- アイドルモード: 送受信を行っていない状態です
- 受信モード: 他のノードが送信したCANメッセージを受信しています
- 送信モード: CANメッセージを送信しています。セルフテストモード0 (CiTCRレジスタのTSTMビットが“10b”)またはセルフテストモード1 (TSTMビットが“11b”)が選択されている場合、同時に自ノードが送信したメッセージを受信します

図 25.35にCANオペレーションモードのサブモードを示します。

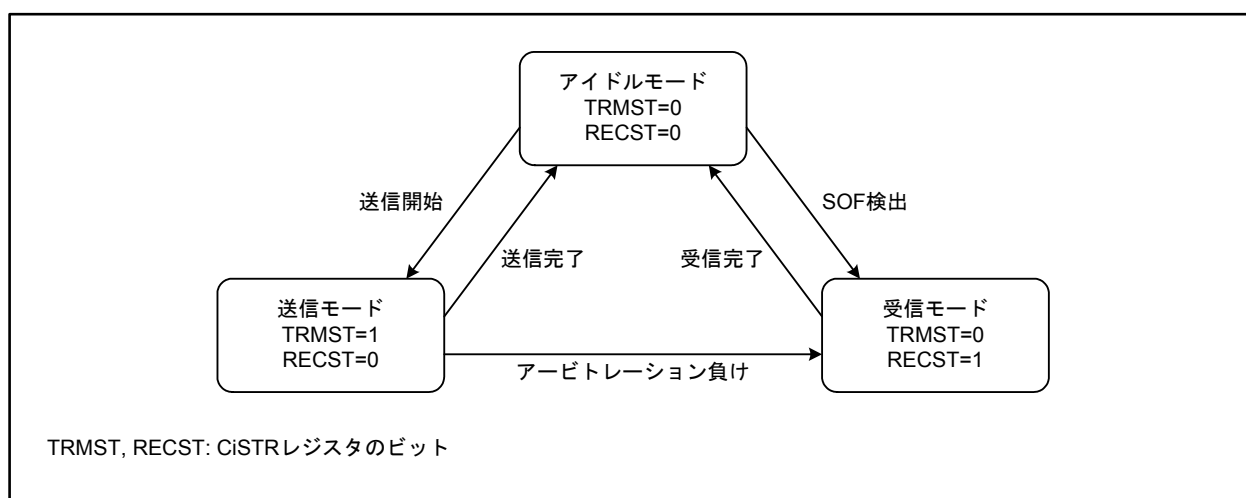


図 25.35 CANオペレーションモードのサブモード(i=0~5)

25.2.5 CANオペレーションモード(バスオフ状態)

CAN仕様の送信、受信エラーカウンタの増減ルールに従って、バスオフ状態に遷移します。バスオフ状態から復帰するには以下の場合があります。なお、バスオフ状態のとき、CiSTR、CiEIFR、CiRECR、CiTECRおよびCiTSRレジスタ(i=0~5)を除く関連レジスタの値は変化しません。

(1) CiCTLRレジスタのBOMビットが“00b”の場合(ノーマルモード)

バスオフ状態からの復帰完了後、エラーアクティブ状態に遷移し、CAN通信ができるようになります。このとき、CiEIFRレジスタのBORIFビットが“1”(バスオフ復帰検出)になります。

(2) CiCTLRレジスタのRBOCビットを“1”にしたとき(バスオフからの強制復帰)

バスオフ状態になり、RBOCビットが“1”になると、エラーアクティブ状態に遷移し、11の連続するレセプティブビットを検出した後、再びCAN通信ができるようになります。このとき、BORIFビットは“1”になりません。

(3) BOMビットが“01b”の場合(バスオフ開始で自動的にCAN Haltモードへ遷移)

バスオフ状態に達するとCAN Haltモードになります。このとき、BORIFビットは“1”になりません。

(4) BOMビットが“10b”の場合(バスオフ終了で自動的にCAN Haltモードへ遷移)

バスオフからの復帰が完了するとCAN Haltモードになります。このとき、BORIFビットは“1”になります。

(5) BOMビットが“11b”の場合(プログラムによりCAN Haltモードへ遷移)にバスオフ状態でCiCTLRレジスタのCANMビットを“10b”にしたとき(CAN Haltモード)

バスオフ状態時にCANMビットが“10b”(CAN Haltモード)に設定されると、CAN Haltモードになります。このとき、BORIFビットは“1”になりません。

バスオフ中にCANMビットが“10b”に設定されないときは、(1)と同じ動作になります。

25.3 CAN通信速度の設定

CAN通信速度の設定について、以下に説明します。

25.3.1 CANクロックの設定

本グループでは、CANクロック選択回路があります。

CANクロックは、CiCLKRレジスタ (i=0~5)のCCLKSビットとCiBCRレジスタのBRPビットで設定できます。

図 25.36にCANクロック発生回路ブロック図を示します。

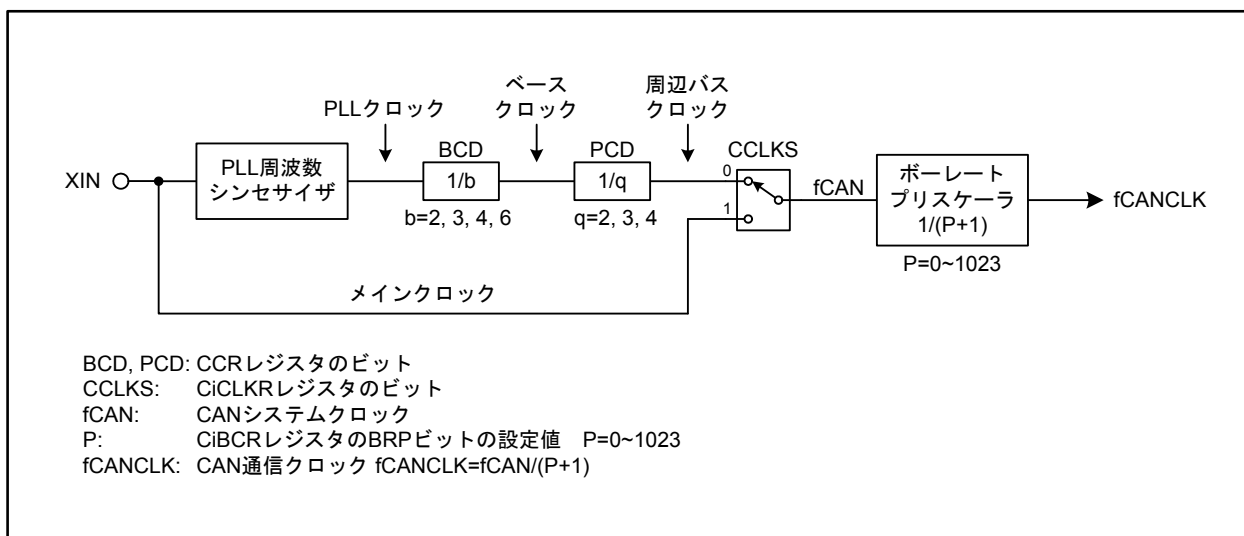


図 25.36 CANクロック発生回路ブロック図 (i=0~5)

25.3.2 ビットタイミングの設定

ビットタイムは、送信または受信するメッセージの1ビットの時間であり、以下の3つのセグメントで構成されます。

図 25.37にビットタイミング図を示します。

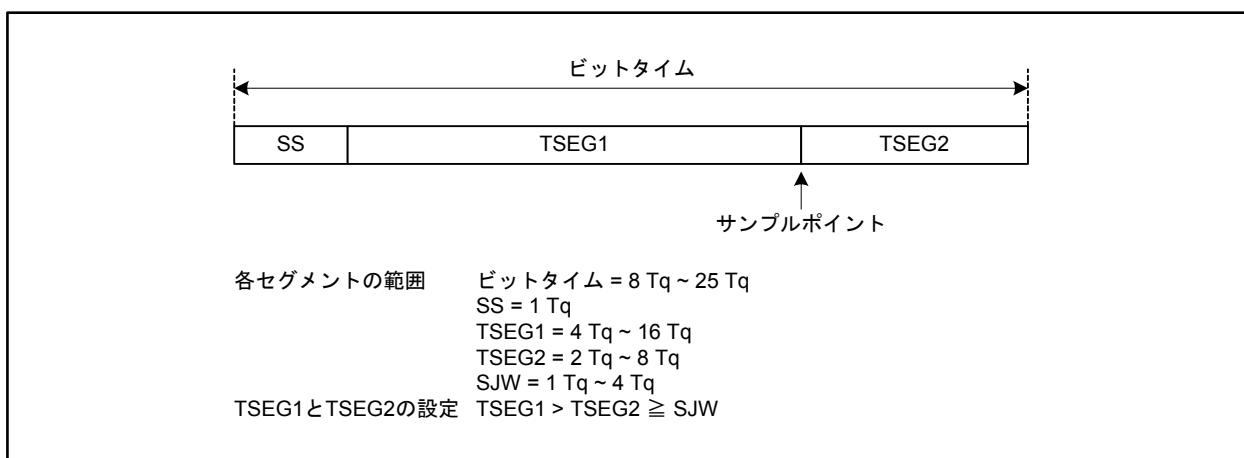


図 25.37 ビットタイミング図

25.3.3 ビットレート

ビットレートは、 f_{CAN} (CANクロック)、ボーレートプリスケアラ分周値、および1ビットタイムの T_q の数に依存します。

$$\text{ビットレート[bps]} = \frac{f_{CAN}}{\text{ボーレートプリスケアラ分周値(注1)} \times 1\text{ビットタイムの}T_q\text{の数}} = \frac{f_{CANCLK}}{1\text{ビットタイムの}T_q\text{数}}$$

注1. ボーレートプリスケアラ分周値= $P+1$ ($P=0\sim 1023$)

P: CiBCRレジスタ ($i=0\sim 5$)のBRPビットの設定値

表 25.11 にビットレートの例を示します。

表 25.11 ビットレートの例

fCAN	32 MHz		24 MHz		20 MHz		16 MHz		8 MHz	
	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1	Tq数	P+1
1 Mbps	8Tq	4	8Tq	3	10Tq	2	8Tq	2	8Tq	1
	16Tq	2			20Tq	1	16Tq	1		
500 kbps	8Tq	8	8Tq	6	10Tq	4	8Tq	4	8Tq	2
	16Tq	4	16Tq	3	20Tq	2	16Tq	2	16Tq	1
250 kbps	8Tq	16	8Tq	12	10Tq	8	8Tq	8	8Tq	4
	16Tq	8	16Tq	6	20Tq	4	16Tq	4	16Tq	2
83.3 kbps	8Tq	48	8Tq	36	8Tq	30	8Tq	24	8Tq	12
	16Tq	24	16Tq	18	10Tq	24	16Tq	12	16Tq	6
					16Tq	15				
					20Tq	12				
33.3 kbps	8Tq	120	8Tq	90	8Tq	75	8Tq	60	8Tq	30
	10Tq	96	10Tq	72	10Tq	60	10Tq	48	10Tq	24
	16Tq	60	16Tq	45	20Tq	30	16Tq	30	16Tq	15
	20Tq	48	20Tq	36			20Tq	24	20Tq	12

25.4 メールボックスとマスクレジスタの構成

同じ構成の16個のメールボックスがあります。

図 25.38にC0MBj~C5MBjレジスタ(j=0~15)の構成を示します。

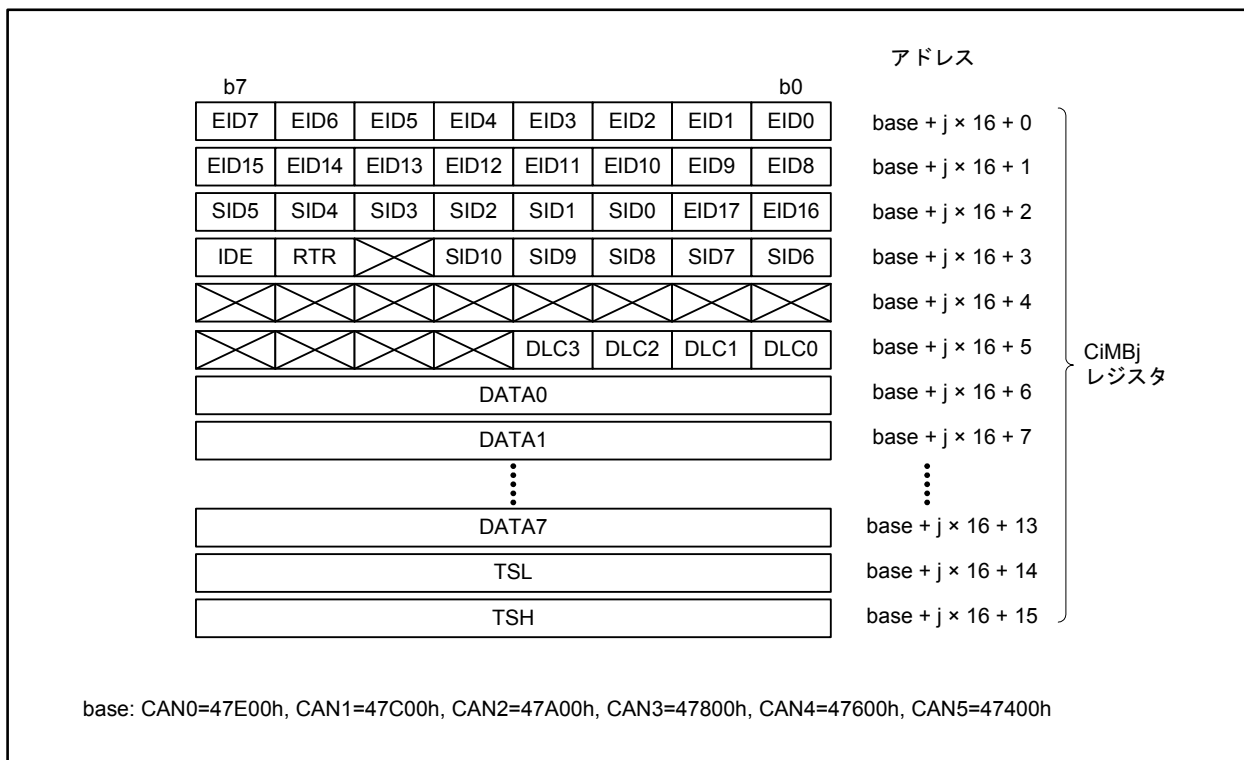


図 25.38 C0MBj~C5MBjレジスタの構成(i=0~5、j=0~15)

同じ構成の4個のマスクレジスタがあります。

図 25.39にC0MKRk~C5MKRkレジスタ(k=0~3)の構成を示します。

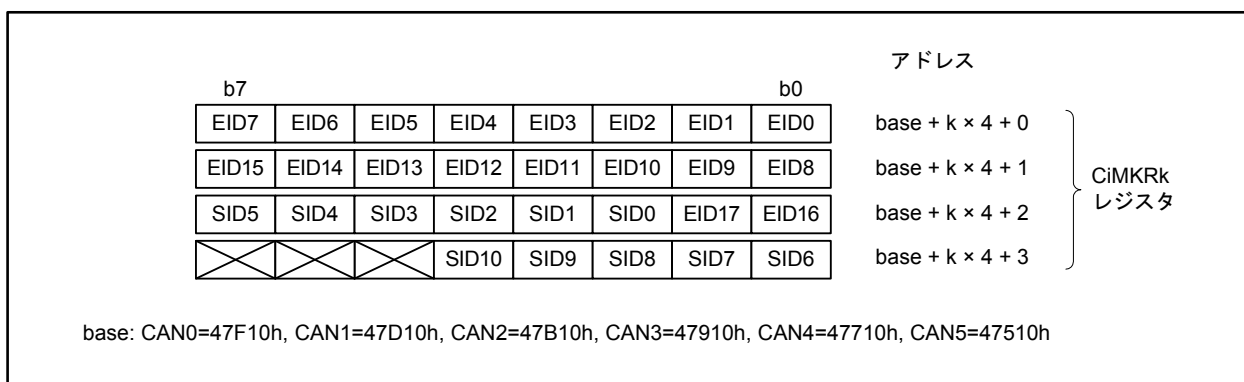


図 25.39 C0MKRk~C5MKRkレジスタの構成(i=0~5、k=0~3)

同じ構成の2個のFIFO受信ID比較レジスタがあります。

図 25.40にC0FIDCRn~C5FIDCRnレジスタ (n=0, 1)の構成を示します。

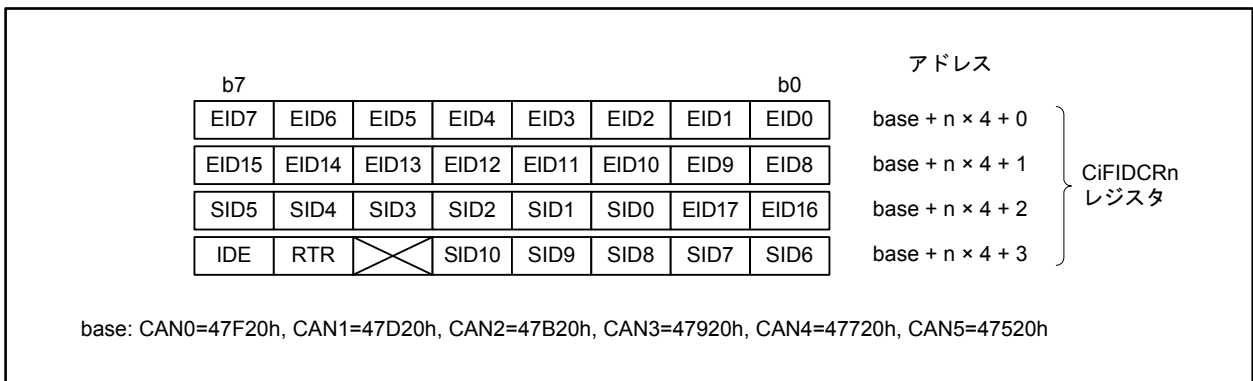


図 25.40 C0FIDCRn~C5FIDCRnレジスタの構成(i=0~5、n=0, 1)

25.5 アクセプタンスフィルタ処理とマスク機能

アクセプタンスフィルタは、メールボックスに対して一定範囲の複数IDのメッセージ受信を許可します。

CiMKR0~CiMKR3レジスタ(i=0~5)は標準IDと29ビットの拡張IDのマスクができます。

- CiMKR0レジスタは、メールボックス [0]~[3]に対応
- CiMKR1レジスタは、メールボックス [4]~[7]に対応
- CiMKR2レジスタは、通常メールボックスモードではメールボックス [8]~[11]に対応。FIFOメールボックスモードの受信FIFOでは[12]~[15]に対応。
- CiMKR3レジスタは、通常メールボックスモードとFIFOメールボックスモードの受信FIFOでメールボックス [12]~[15]に対応

CiMKIVLRレジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

CiMBjレジスタ(j=0~15)のIDEビットは、CiCTLRレジスタのIDFMビットが“10b”(ミックスIDモード)のとき、有効です。

CiMBjレジスタのRTRビットはデータフレームまたはリモートフレームを選択します。

FIFOメールボックスモードでは、通常メールボックス(メールボックス [0]~[7])は、CiMKR0~CiMKR1レジスタの中から対応する1つを使用してアクセプタンスフィルタ処理を行います。受信FIFOメールボックス(メールボックス [12]~[15])は、CiMKR2、CiMKR3レジスタの2つを使用してアクセプタンスフィルタ処理を行います。

また、受信FIFOはCiFIDCR0、CiFIDCR1レジスタの2つを使用して、IDの比較を行います。受信FIFOのCiMB12~CiMB15レジスタのEID、SID、RTR、IDEビットは無効になります。それぞれ2つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信FIFOでは2つの範囲のIDを受信することができます。

CiMKIVLRレジスタは、受信FIFOに対しては無効です。

標準IDと拡張IDの両方がそれぞれCiFIDCR0、CiFIDCR1レジスタのIDEビットに設定された場合、両方のIDフォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれCiFIDCR0、CiFIDCR1レジスタのRTRビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2つの範囲のIDの組み合わせを必要としない場合は、FIFO IDとマスクレジスタの両方に同じマスク値と同じIDを設定してください。

図 25.41 にマスクレジスタとメールボックスの対応、図 25.42 にアクセプタンスフィルタ処理を示します。

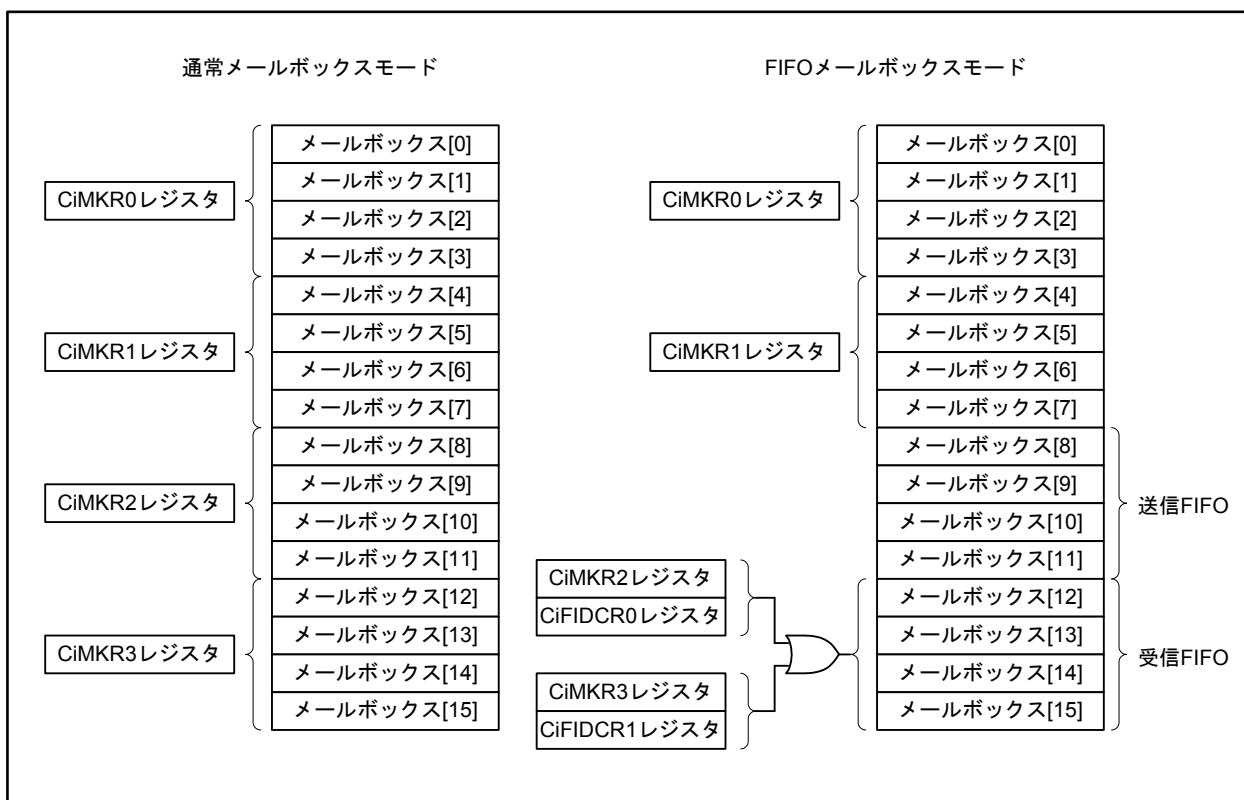


図 25.41 マスクレジスタとメールボックスの対応 (i=0~5)

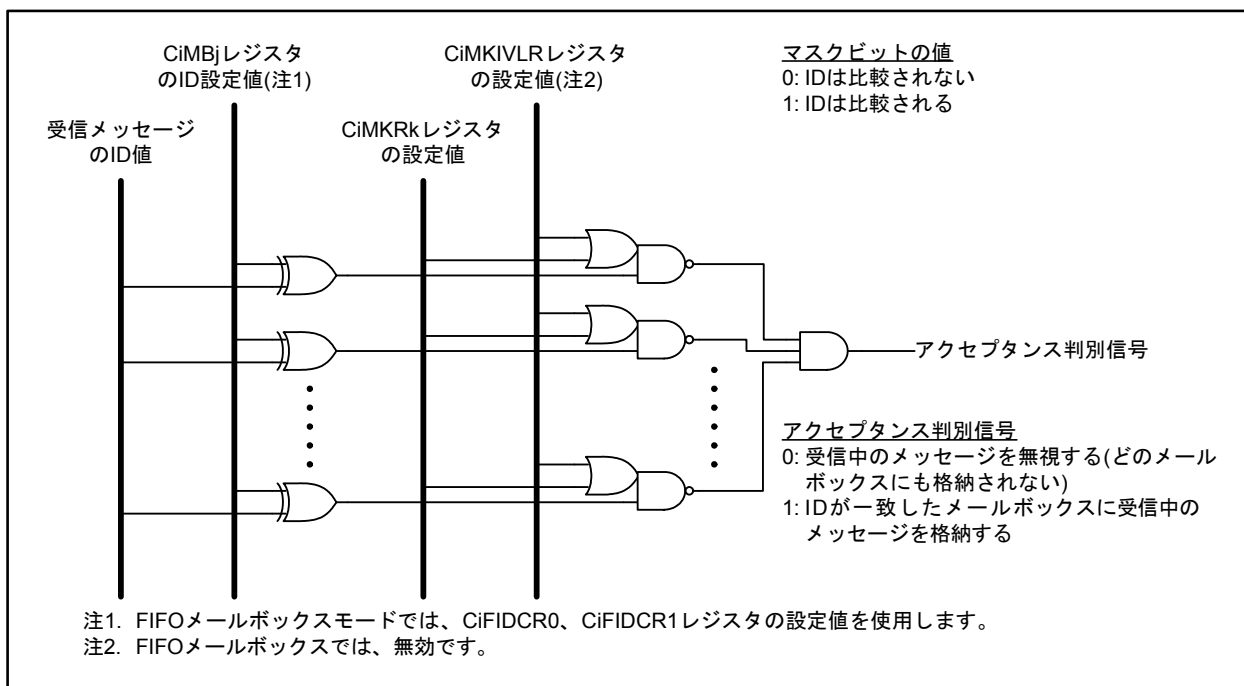


図 25.42 アクセプタンスフィルタ処理 (i=0~5、j=0~15、k=0~3)

25.6 受信、送信

表 25.12にCAN通信モードの設定方法を示します。

表 25.12 CAN受信モードとCAN送信モードの設定方法

TRMREQ	RECREQ	ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アポート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信か受信がアポートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

TRMREQ、RECREQ、ONESHOT: CiMCTLjレジスタのビット (i=0~5、j=0~15)

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、以下の点に注意してください。

- (1) メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、CiMCTLjレジスタ (i=0~5、j=0~15)を“00h”にしてください。
- (2) 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうが優先順位がより高くなります。
- (3) CANオペレーションモードで、受信メッセージに設定したメールボックスのID/マスクセットに一致するメッセージを送信した場合、CANモジュールは送信データを受信しません。しかしセルフテストモードでは、CANモジュールは送信データを受信します。この場合、CANモジュールはACKを返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、以下の点に注意してください。

- (1) メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、CiMCTLjレジスタを“00h”にして、さらに、アポート処理中でないことを確認してください。

25.6.1 受信

図 25.43 にデータフレーム受信時の動作例(オーバーライトモードの場合)を示します。

この例は、CiMCTL0 レジスタ (i=0~5) の受信条件に一致する2つの連続したCANメッセージを受信する際、最初のメッセージを上書きする場合の動作です。

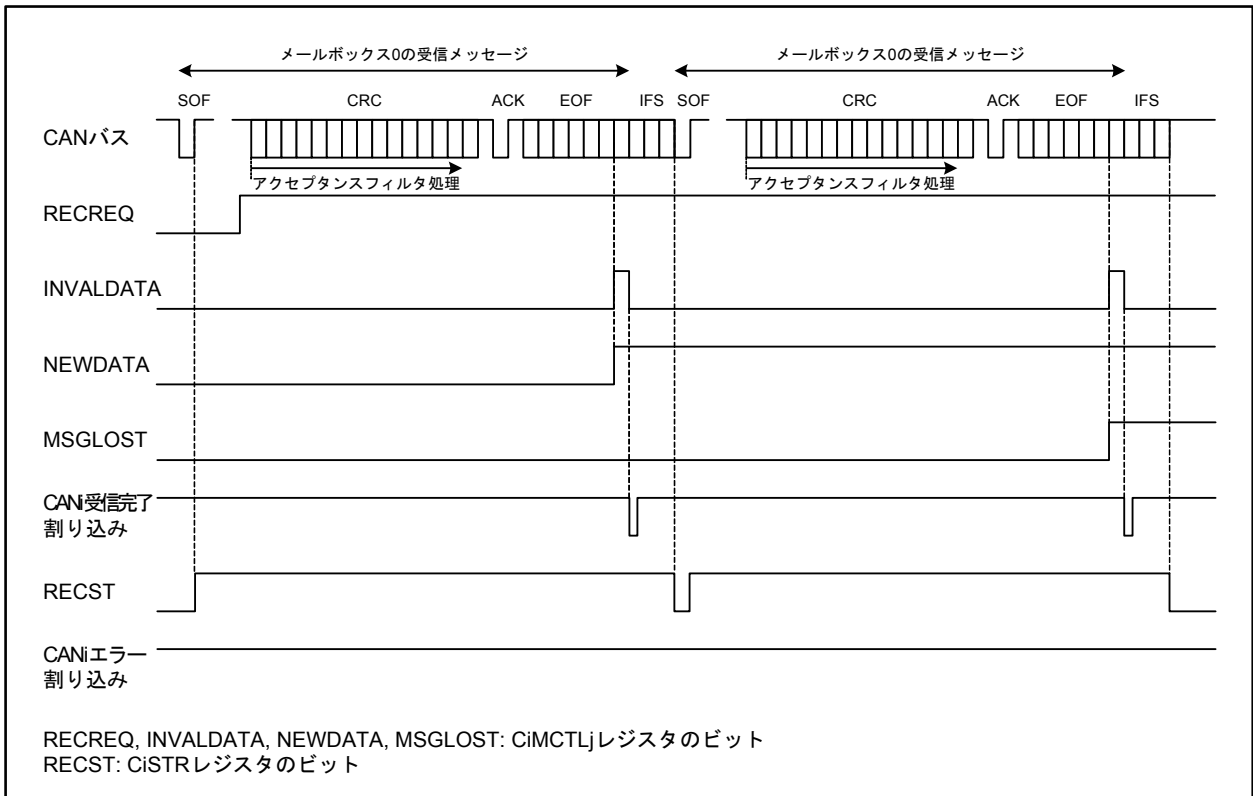


図 25.43 データフレーム受信時の動作例(オーバーライトモードの場合) (i=0~5、j=0~15)

- (1) CAN バス上で SOF を検知すると、CAN モジュールに送信を開始するメッセージがない場合、CiSTR レジスタの RECST ビットが“1” (受信中) になります。
- (2) 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
- (3) メッセージの受信を完了すると、受信メールボックスの CiMCTLj レジスタ (j=0~15) の NEWDATA ビットが“1” (新しいメッセージを更新中、またはメールボックスに格納された) になります。同時に CiMCTLj レジスタの INVALIDDATA ビットが“1” (メッセージを更新中) になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATA ビットは“0” (メッセージは有効) に戻ります。
- (4) 受信メールボックスの CiMIER レジスタの割り込み許可ビットが“1” (割り込み許可) の場合、CANi 受信完了割り込み要求が発生します。INVALIDDATA ビットが“0” になると、この割り込み (CANi 受信完了割り込み) が発生します。
- (5) メールボックスからメッセージを読み出した後、NEWDATA ビットをプログラムで“0” にする必要があります。
- (6) オーバライトモードでは、NEWDATA ビットがまだ“1” に設定されているメールボックスに次の CAN メッセージの受信が完了すると、CiMCTLj レジスタの MSGLOST ビットが“1” (メッセージはオーバーライトされた) になります。新しく受信したメッセージはメールボックスに転送されません。CANi 受信完了割り込み要求は、(4) と同様に発生します。

図 25.44にデータフレーム受信時の動作例(オーバランモードの場合)を示します。
この例は、CiMCTL0レジスタ(i=0~5)の受信条件に一致する2つの連続したCANメッセージを受信する際、2つ目のメッセージを破棄する場合の動作です。

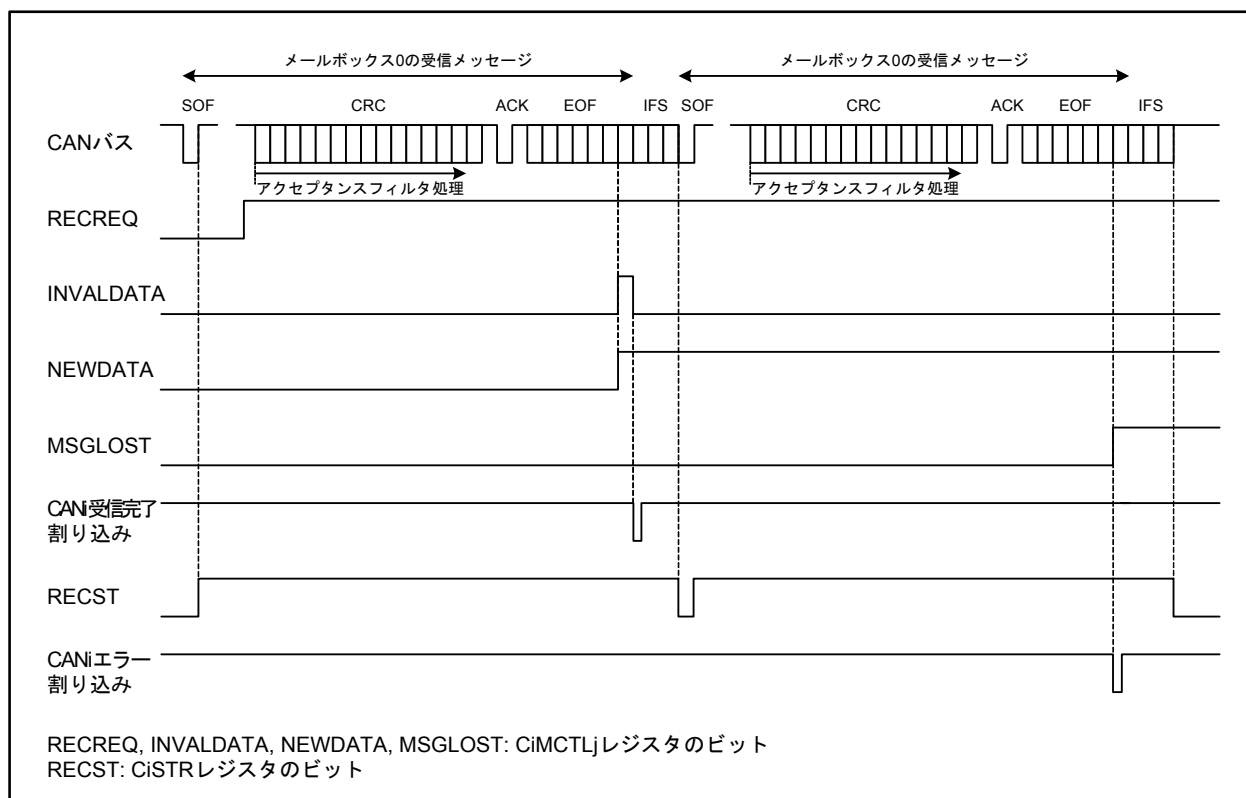


図 25.44 データフレーム受信時の動作例(オーバランモードの場合) (i=0~5、j=0~15)

(1)~(5)はオーバライトモードと同じです。

(6) オーバランモードでは、NEWDATAビットが“0”に設定される前に、次のCANメッセージの受信が完了すると、CiMCTLjレジスタ(j=0~15)のMSGLOSTビットが“1”(メッセージはオーバランされた)になります。新しく受信したメッセージは破棄され、CiEIERレジスタの対応する割り込み許可ビットが“1”(割り込み許可)の場合、CANiエラー割り込み要求が発生します。

25.6.2 送信

図 25.45 にデータフレーム送信時の動作例を示します。

この例は、CiMCTL0、CiMCTL1 レジスタ (i=0~5) へ設定したメッセージを送信する場合の動作です。

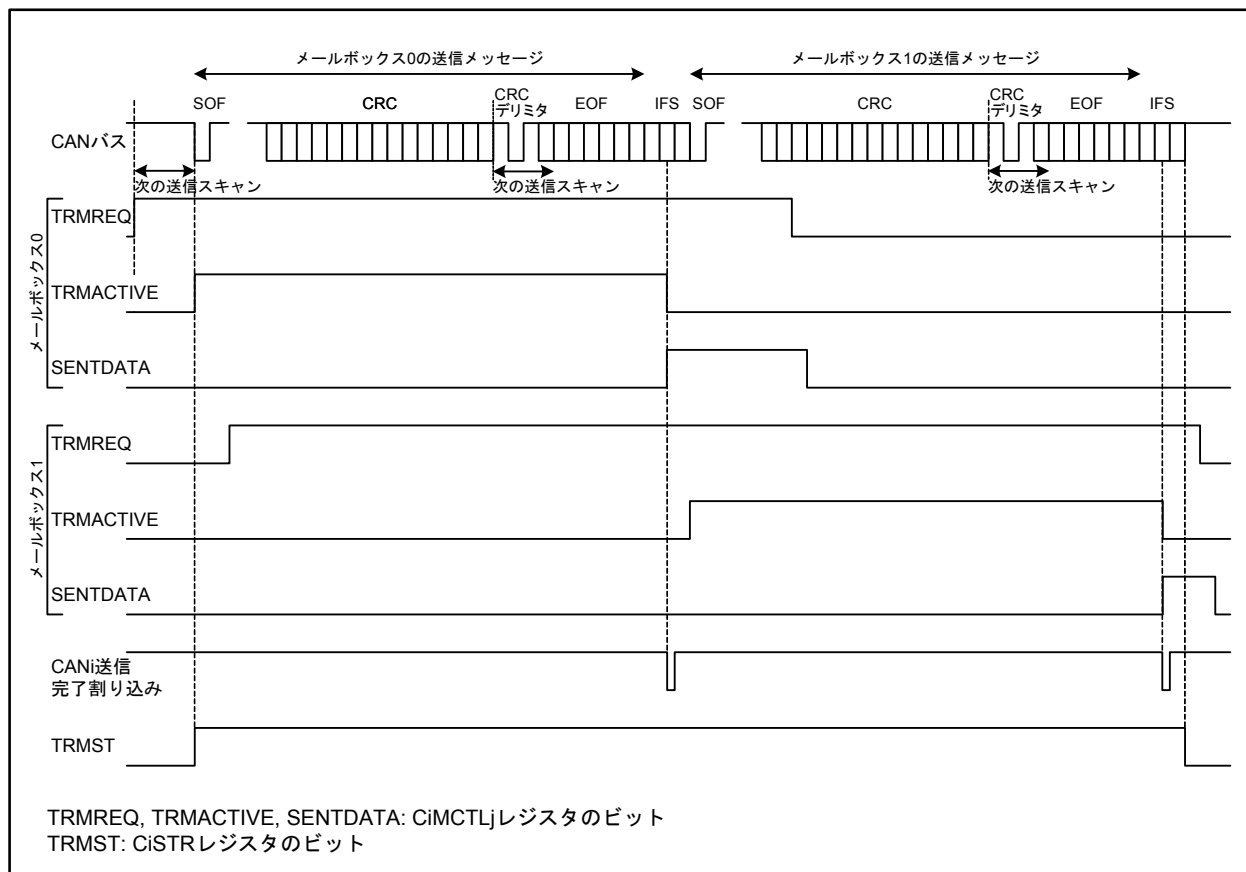


図 25.45 データフレーム送信時の動作例 (i=0~5、j=0~15)

- (1) バスアイドル状態で、CiMCTLj レジスタ (j=0~15) の TRMREQ ビットを“1” (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、CiMCTLj レジスタの TRMACTIVE ビットが“1” (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、CiSTR レジスタの TRMST ビットが“1” (送信中) になり、CANモジュールは送信を開始します (注1)。
- (2) 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
- (3) アービトレーション負けが発生せずに送信が完了すると、CiMCTLj レジスタの SENTDATA ビットが“1” (送信完了) に、TRMACTIVE ビットが“0” (送信待機中、または送信要求なし) になります。そして、CiMIER レジスタの割り込み許可ビットが“1” (割り込み許可) の場合は、CANi 送信完了割り込み要求が発生します。
- (4) 同一のメールボックスから次の送信を要求する場合は、SENTDATA ビットと TRMREQ ビットを“0”にして、SENTDATA ビットと TRMREQ ビットが“0”になるのを確認した後、TRMREQ ビットを“1”にしてください。

注1. CANモジュールが送信を開始した後でアービトレーション負けをした場合、TRMACTIVE ビットは“0”になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーション負けに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

25.7 CAN割り込み

CANモジュールには、以下のCAN割り込みがあります。

- CANi ウェイクアップ割り込み (i=0~5)
- CANi 受信完了割り込み
- CANi 送信完了割り込み
- CANi 受信FIFO割り込み
- CANi 送信FIFO割り込み
- CANi エラー割り込み

CANiエラー割り込みには、8つの要因があります。これらの要因は、CiEIFRレジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック

26. CANゲートウェイモジュール

CANゲートウェイモジュールは各CANモジュール間のフレーム中継を行います。CANにより受信したフレームをルーティングマップでの定義に従い、各CANモジュールに対応した送信FIFOに格納します。

CANモジュールは、R32C/142グループでは3チャンネル(CAN2, CAN3, CAN5)、R32C/145グループでは6チャンネル(CAN0~CAN5)あります。

本章では、iはCANチャンネル番号、jは送信FIFO番号を示し、それぞれ以下に示す範囲の値をとります。

- R32C/142グループの場合、i=2, 3, 5、j=0, 1
- R32C/145グループの場合、i=0~5、j=0, 1

表 26.1にCANゲートウェイモジュールの仕様を、図 26.1、図 26.2にCANゲートウェイモジュール概念図を示します。

表 26.1 CANゲートウェイモジュールの仕様

項目	仕様
対象モジュール	CAN2, CAN3, CAN5 (R32C/142グループ) CAN0~CAN5 (R32C/145グループ)
受信可能CANチャンネル数	1~3チャンネル (R32C/142グループ) 1~6チャンネル (R32C/145グループ)
送信可能宛先CANチャンネル数	1~3チャンネル (R32C/142グループ) 1~6チャンネル (R32C/145グループ)
メッセージID	標準ID、拡張ID
ルーティングマップ	エントリ数(設定数): 384 マスク機能により1エントリで複数のIDをグループ化可能
送信FIFO	各CANチャンネル用にそれぞれ32段×2列
タイムスタンプ機能	専用16ビットフリーランタイマのカウント値をメッセージフレームに追加
異常検出	<ul style="list-style-type: none"> • ルーティングマップSUM演算機能 • 送信FIFOチェック機能 • ルーティングマップパリティチェック機能 • 送信FIFOパリティチェック機能
割り込み要因	<ul style="list-style-type: none"> • 送信FIFOクリティカルレベル割り込み • 送信FIFOオーバフロー割り込み • ルーティングエラー割り込み • ハードウェアエラー割り込み

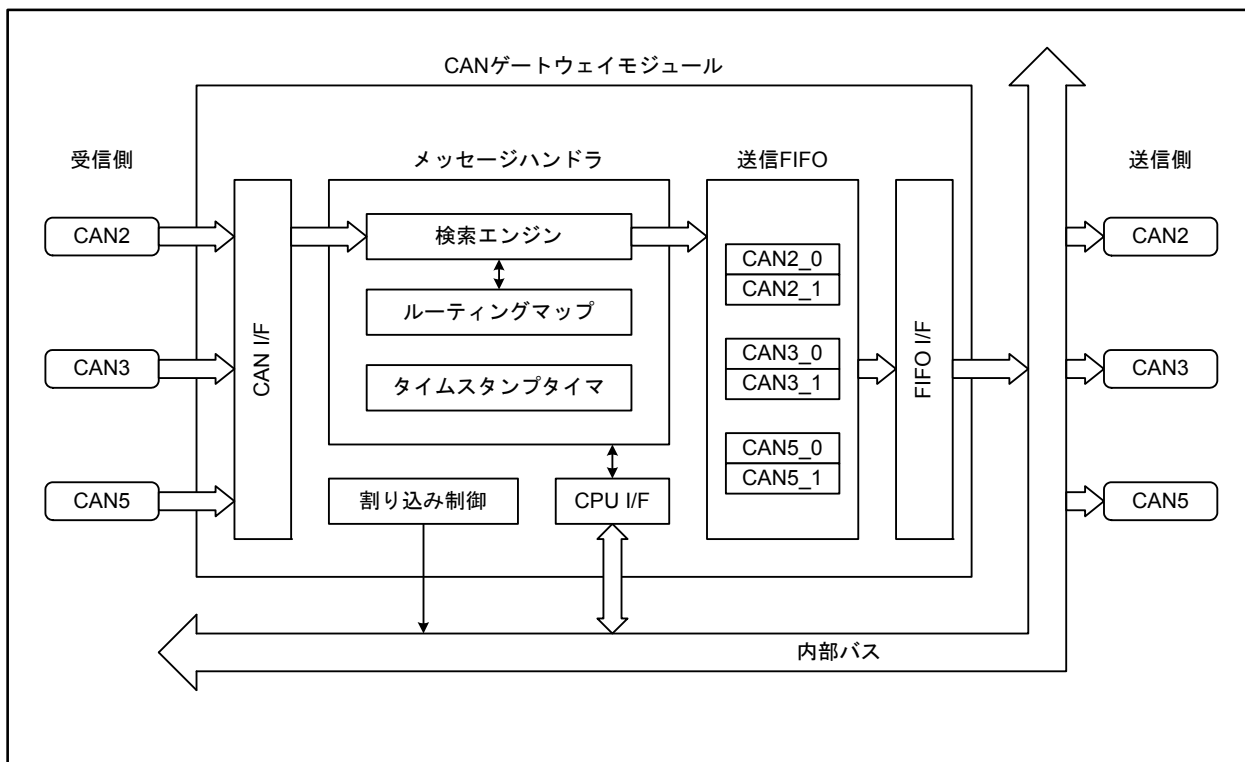


図 26.1 CANゲートウェイモジュール概念図(R32C/142グループ)

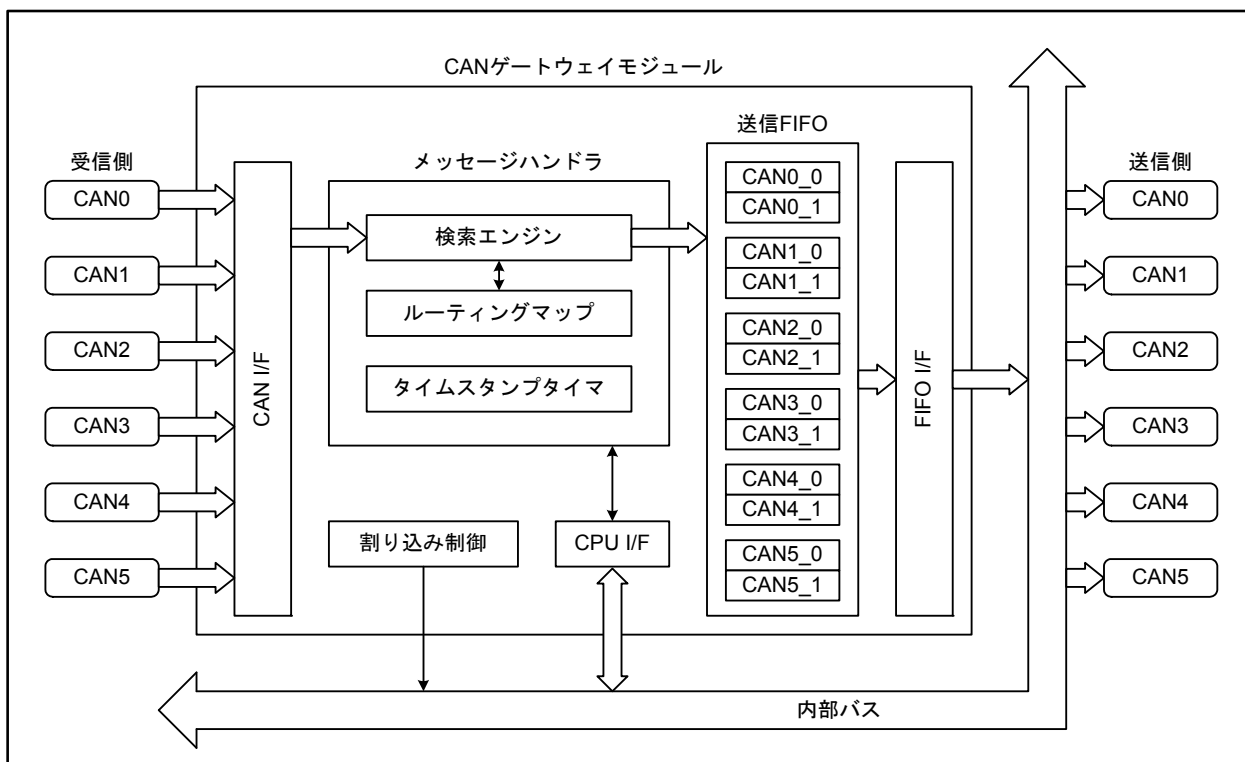


図 26.2 CANゲートウェイモジュール概念図(R32C/145グループ)

26.1 関連レジスタ

26.1.1 Gatewayモードレジスタ (GMRレジスタ)

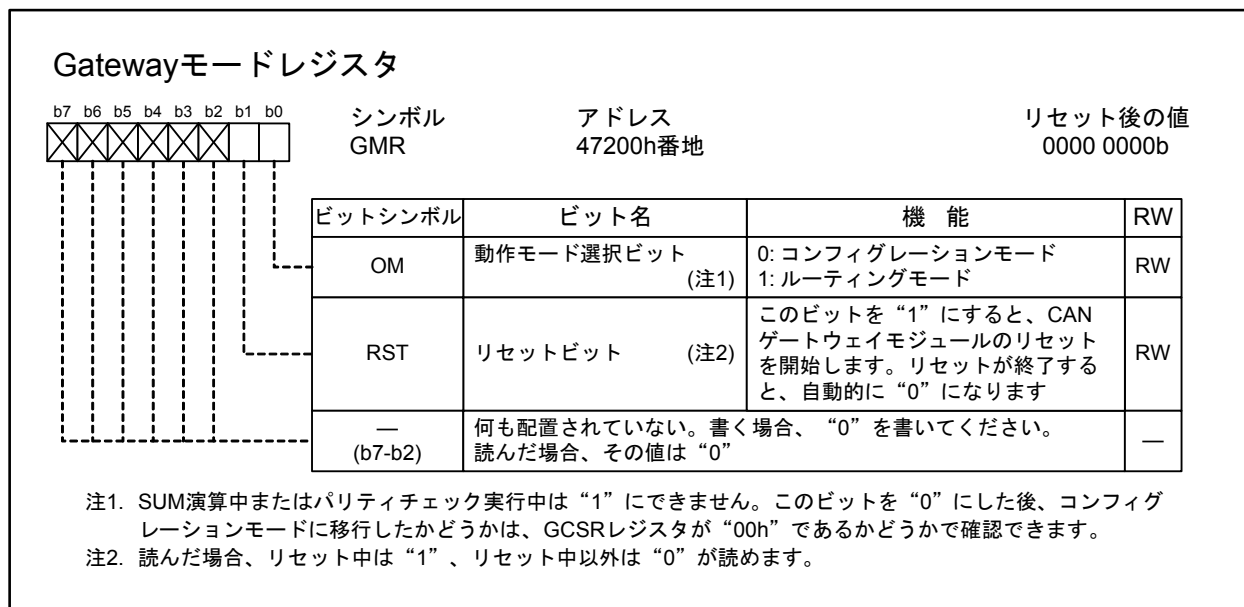


図 26.3 GMRレジスタ

CANゲートウェイモジュールのモード遷移を管理するレジスタです。以下の3つのモードがあります。

- ゲートウェイリセットモード
ゲートウェイレジスタを初期化するモードです。
- コンフィグレーションモード
ゲートウェイの設定をするモードです。
- ルーティングモード
ゲートウェイを動作させるモードです。

表 26.2 各モードでの動作

	ゲートウェイリセットモード	コンフィグレーションモード	ルーティングモード
ルーティングマップSUM演算	実行不可能	実行可能	実行不可能
送信FIFOチェック	実行不可能	実行可能	実行不可能
ルーティングマップのデータ設定	初期化(設定禁止)	設定可能	設定禁止
ルーティング動作	実行不可能	実行不可能	実行可能
ルーティング中のフレーム処理(注1)	フレーム破棄	FIFOまで転送	FIFOまで転送

注1. ルーティング中にルーティングモードからそれぞれのモードへ変更したときの処理。

26.1.2 Gatewayチャネル制御レジスタ (GCCRレジスタ)

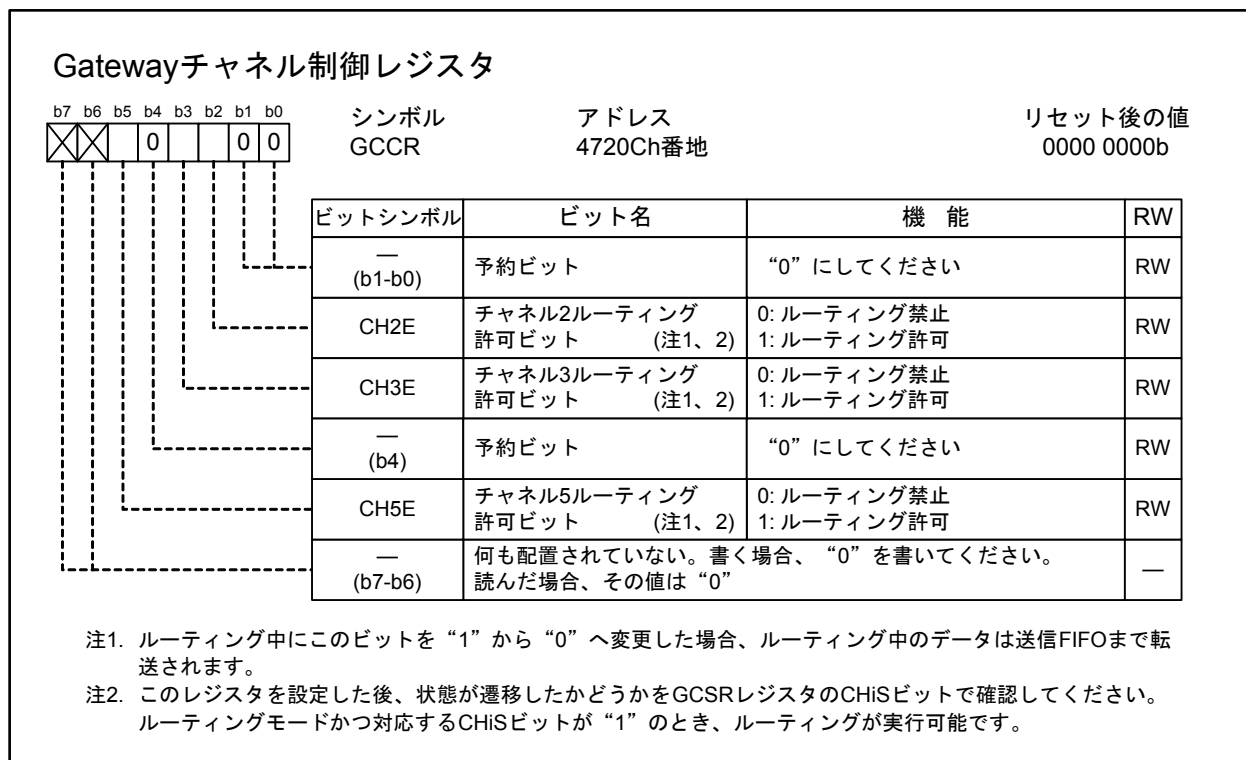


図 26.4 GCCRレジスタ (R32C/142グループ)

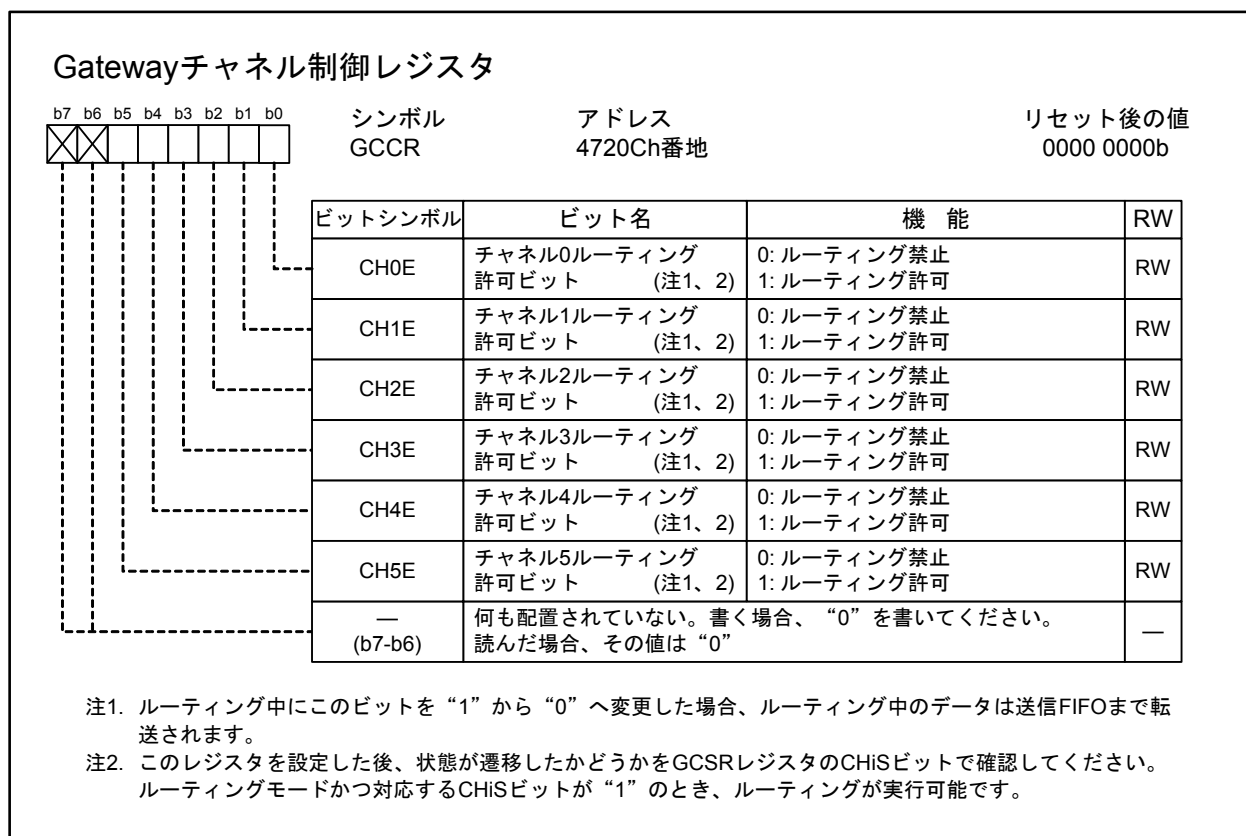


図 26.5 GCCRレジスタ (R32C/145グループ)

メッセージハンドラのルーティング許可/禁止をチャンネルごとに設定するレジスタです。

26.1.3 Gatewayチャンネルステータスレジスタ (GCSRレジスタ)

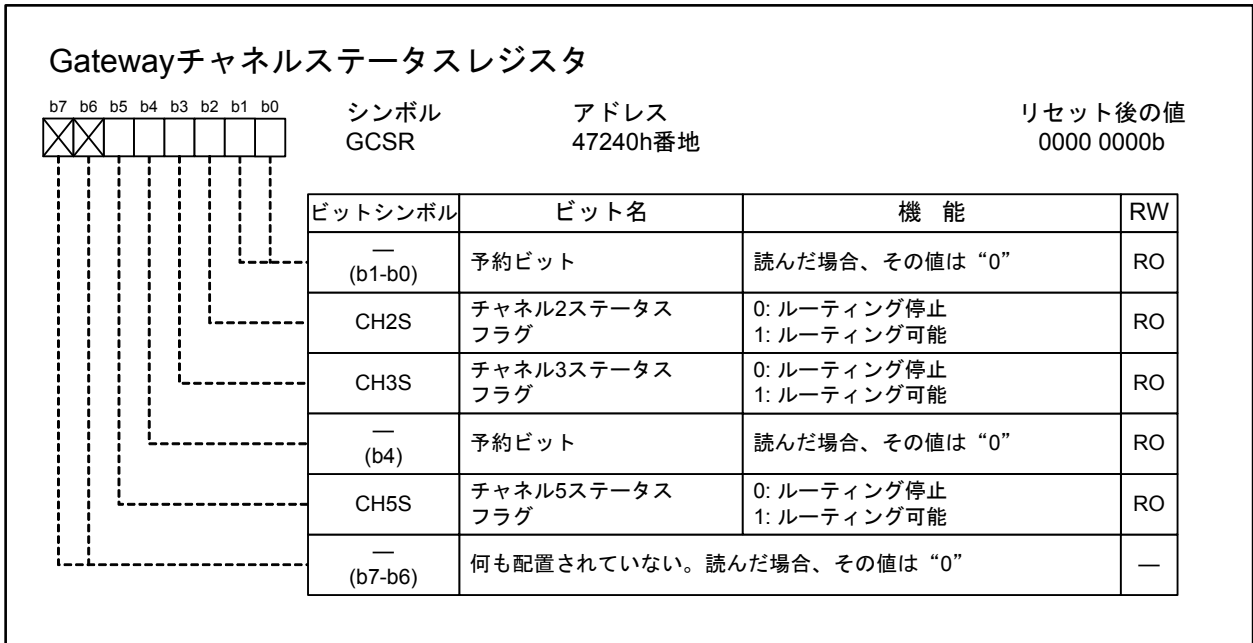


図 26.6 GCSRレジスタ (R32C/142グループ)

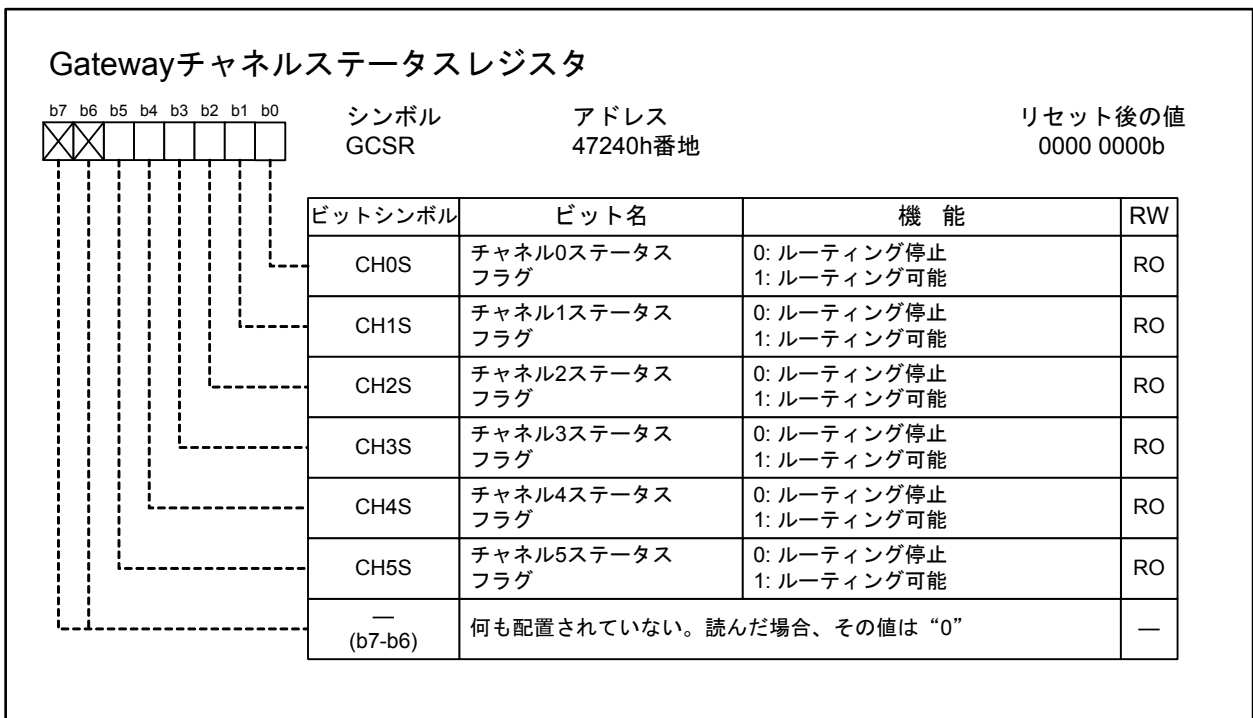


図 26.7 GCSRレジスタ (R32C/145グループ)

CANゲートウェイモジュールの各チャンネルのルーティングが可能か停止中かを示すレジスタです。

26.1.4 GatewayルーティングマップチェックSUM制御レジスタ (GRMCC レジスタ)

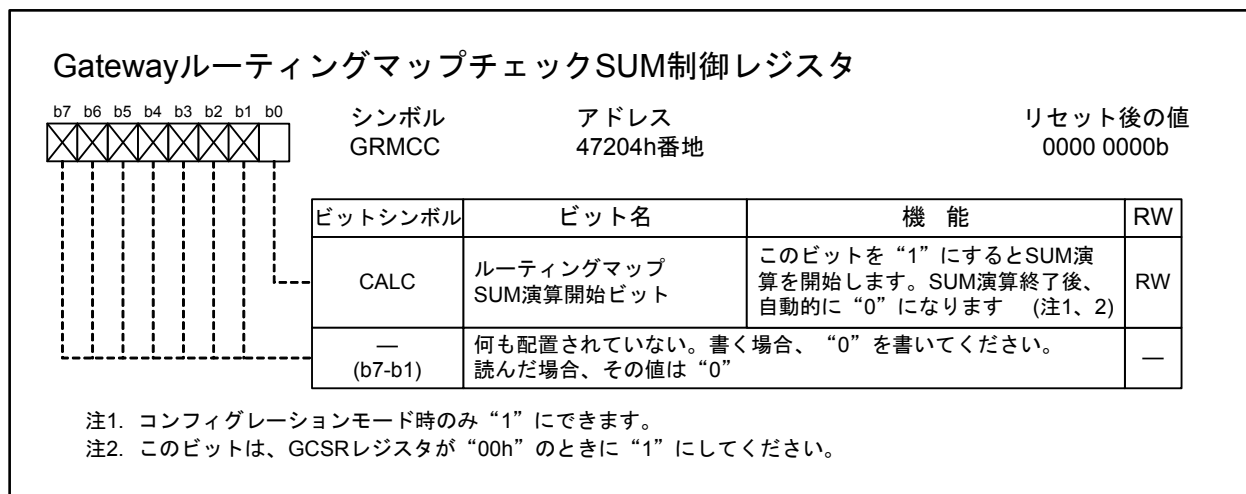


図 26.8 GRMCC レジスタ

ルーティングマップのSUM演算を開始させるレジスタです。

ルーティングマップメモリが故障しているか否かを確認する機能です。CALCビットを“1”にすると演算を開始します。演算が終了したかどうかはGSCFCレジスタのSCS1~SCS0ビットで確認できます。演算結果はGRMSRレジスタに反映されます。

GPCCRレジスタのRMPCEビットが“1”(パリティチェック許可)の場合、ルーティングマップのパリティチェックも同時に行います。パリティチェックの結果はGRESRレジスタのRMPERビットに反映されます。

26.1.5 Gateway送信FIFOチェック制御レジスタ (GTFCCレジスタ)

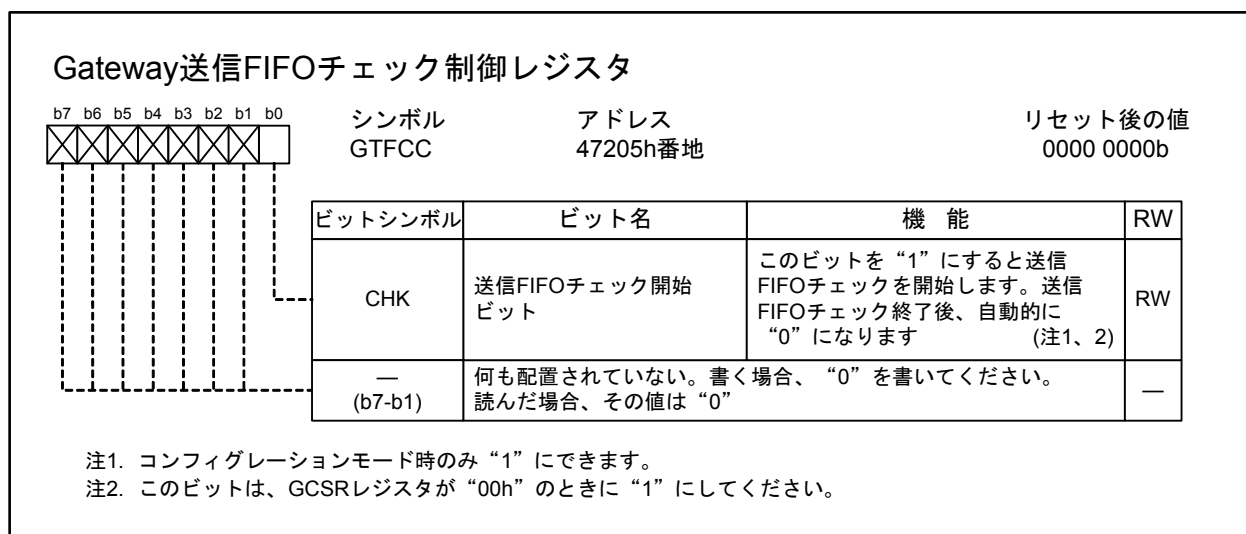


図 26.9 GTFCCレジスタ

送信FIFOのチェックを開始させるためのレジスタです。

送信FIFOチェックは送信FIFOメモリが故障しているか否かを確認する機能です。CHKビットを“1”にするとメモリチェックを実施します。チェックした結果はGSCFCレジスタのFCS1~FCS0ビットに反映されます。

送信FIFOチェックを実行すると送信FIFOのメッセージが削除されます。送信FIFOに残っているメッセージが必要な場合は、送信FIFOチェック実行前に読み出してください。

26.1.6 Gateway SUM演算・FIFOチェックステータスレジスタ (GSCFCレジスタ)

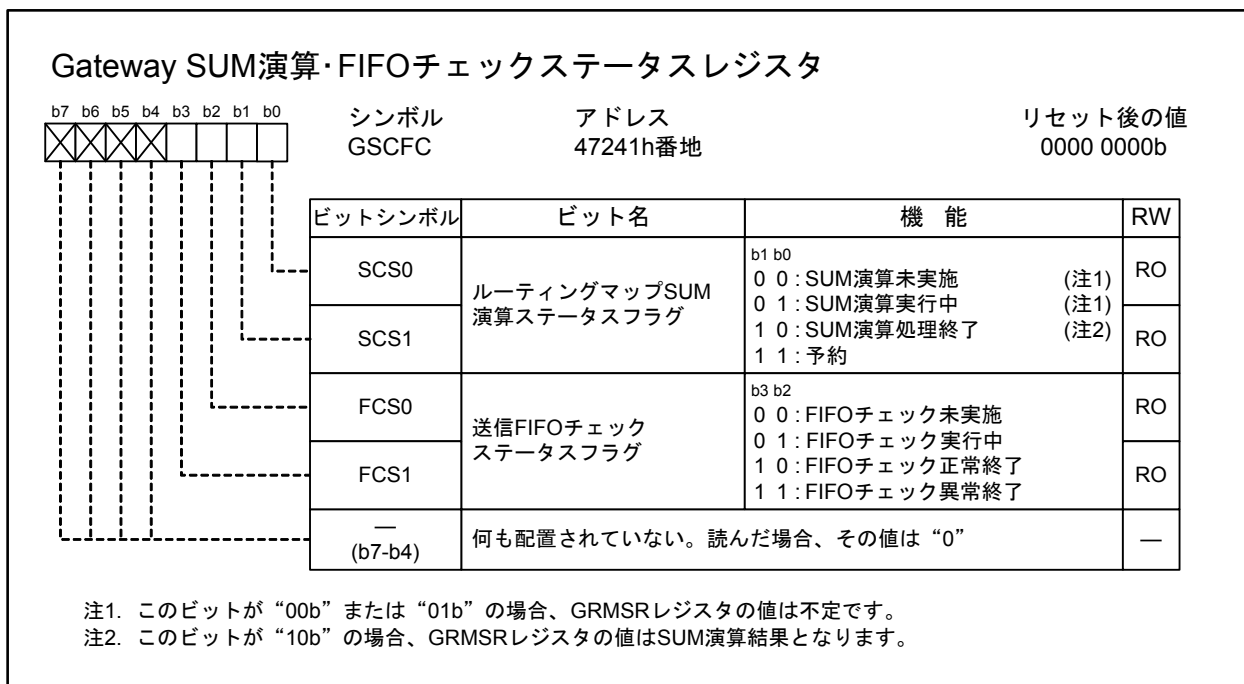


図 26.10 GSCFC レジスタ

ルーティングマップのSUM演算機能と送信FIFOチェック機能の動作状態を示すレジスタです。

26.1.7 GatewayルーティングマップSUMレジスタ (GRMSRレジスタ)

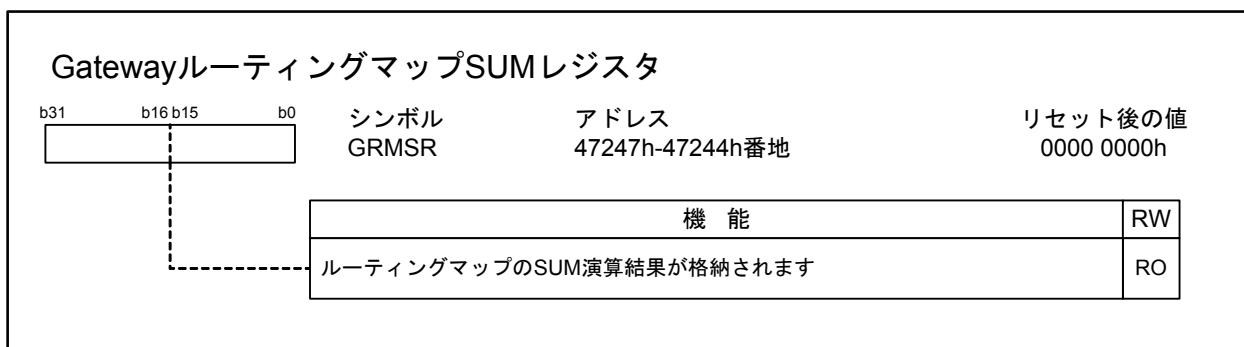


図 26.11 GRMSR レジスタ

ルーティングマップのSUM演算結果の値が格納されるレジスタです。

26.1.8 Gateway送信FIFO読み出し制御レジスタ (GTFRCレジスタ)

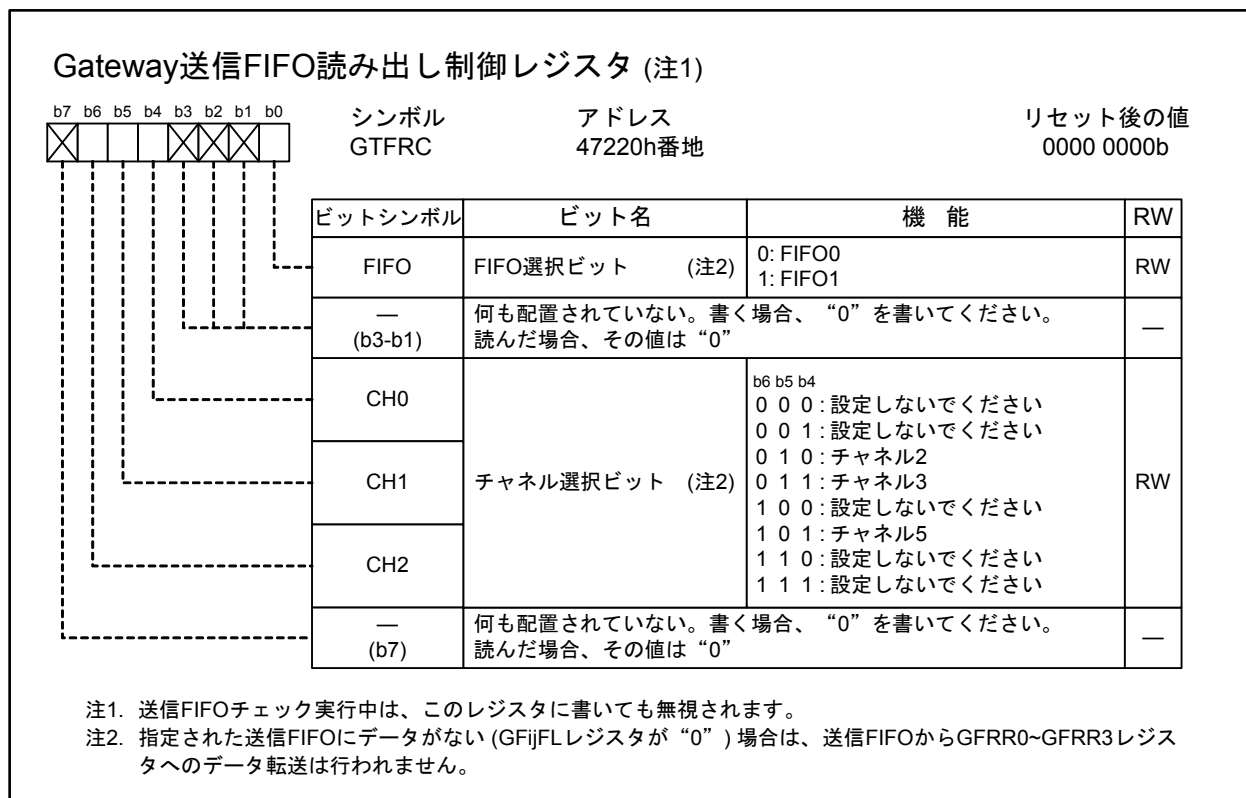


図 26.12 GTFRC レジスタ (R32C/142グループ)

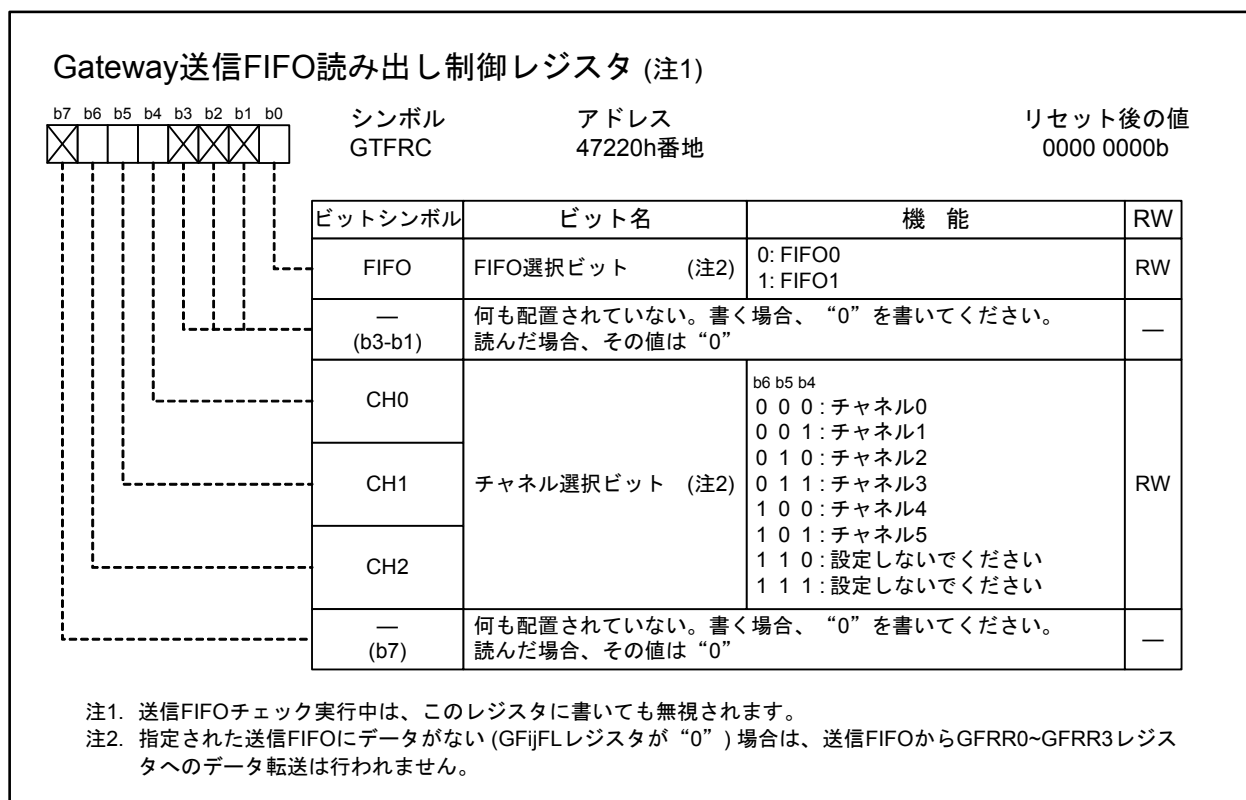


図 26.13 GTFRC レジスタ (R32C/145グループ)

送信FIFOに格納されたフレームをGFRR0~GFRR3レジスタに転送するための転送条件を設定するレジスタです。

チャンネル番号とFIFO番号を設定することで、対応する送信FIFOに格納されている先頭のメッセージフレームがGFRR0~GFRR3レジスタに転送されます。このとき、GFijFLレジスタの値は変化しません。GFijFLレジスタの値はGFRR3レジスタを読み出したときに更新されます。GFRR3レジスタを読み出した後、このレジスタで指定された送信FIFOにデータが存在すれば、続けて先頭のメッセージフレームがGFRR0~GFRR3レジスタに転送されます。

26.1.9 Gateway送信FIFO読み出しステータスレジスタ (GTFRSレジスタ)

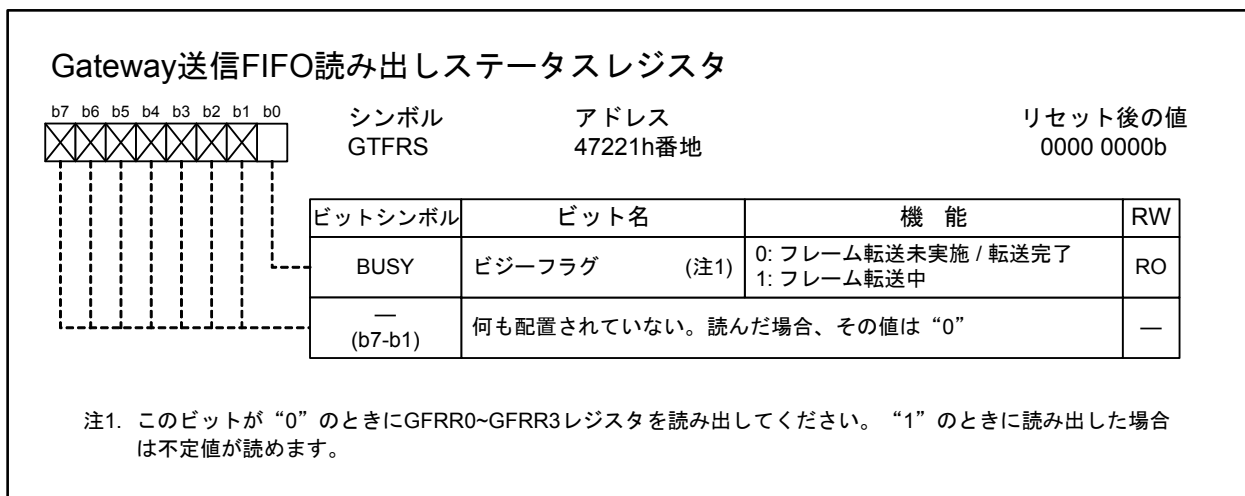


図 26.14 GTFRS レジスタ

送信FIFOからGFRR0~GFRR3レジスタへのフレームの転送状態を示すレジスタです。

26.1.10 Gateway送信FIFO読み出しレジスタk (GFRRk レジスタ) (k=0~3)

送信 FIFO に格納されたメッセージフレームを読み出すレジスタです。読み出す対象の送信 FIFO を GTFRC レジスタで指定すると、該当 FIFO の先頭フレームが GFRR0~GFRR3 レジスタに転送されます。GFRR0~GFRR3 レジスタは、GFRR0、GFRR1、GFRR2、GFRR3 レジスタの順番で読み出してください。GFRR3 レジスタが読み出されたとき、送信 FIFO に次のメッセージフレームが存在すれば、そのフレームが GFRR0~GFRR3 レジスタに転送されます。

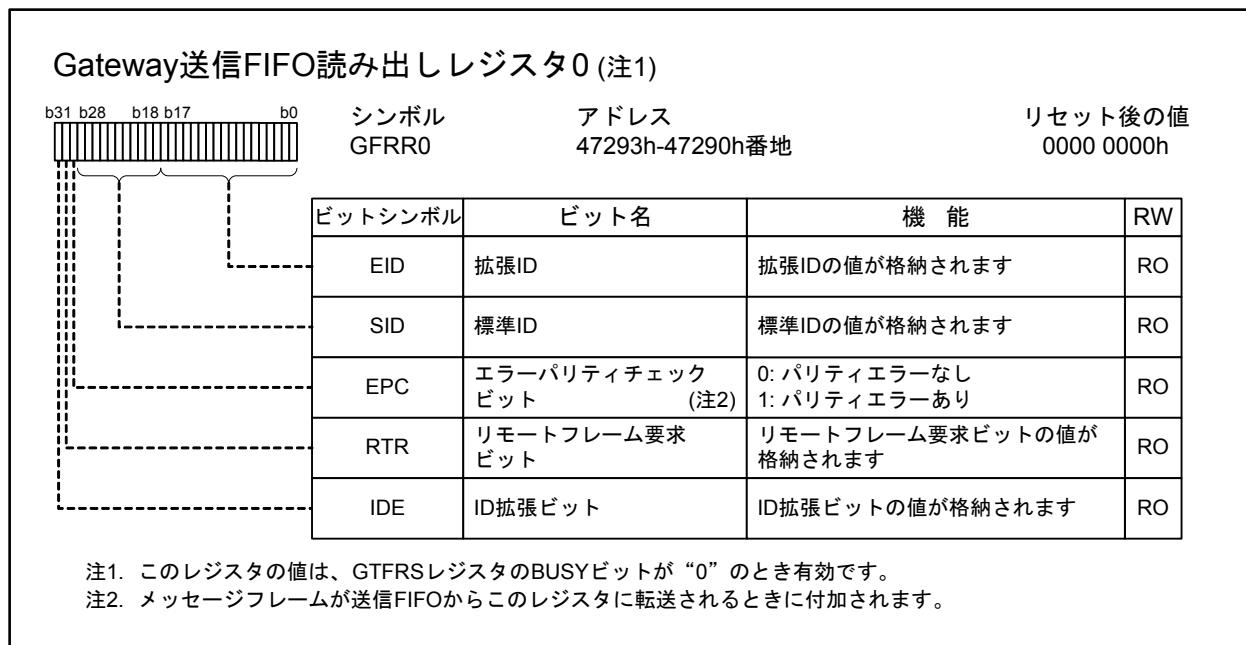


図 26.15 GFRR0 レジスタ

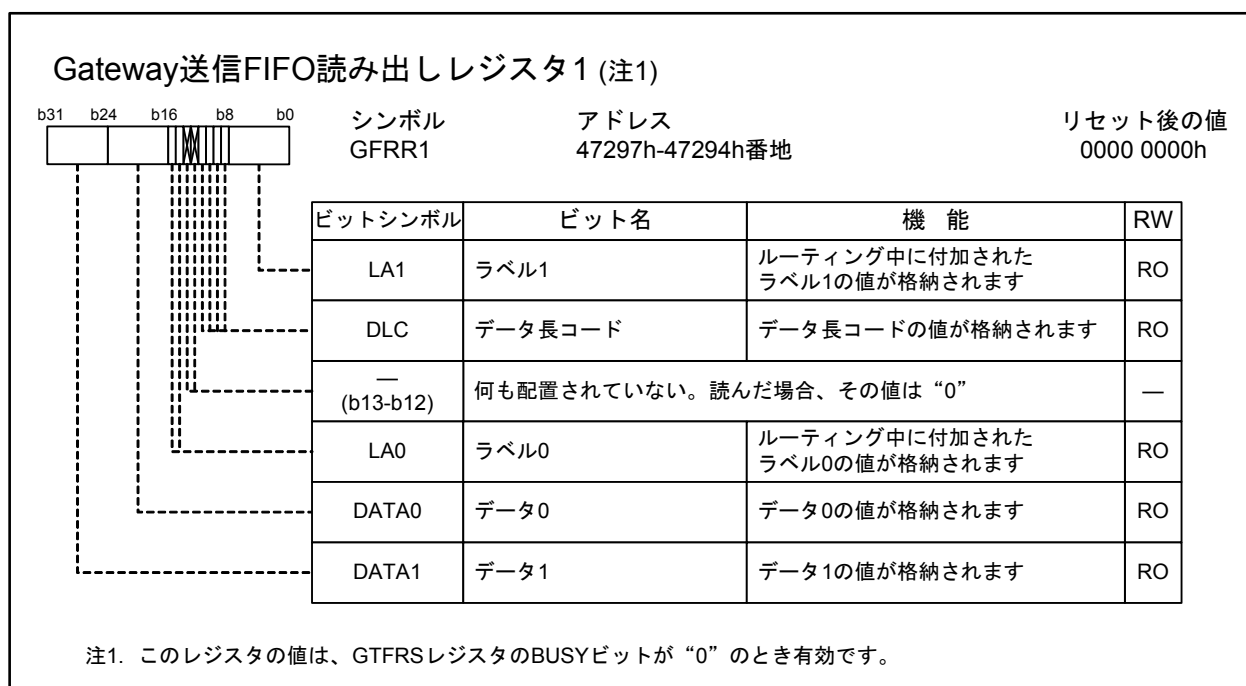


図 26.16 GFRR1 レジスタ

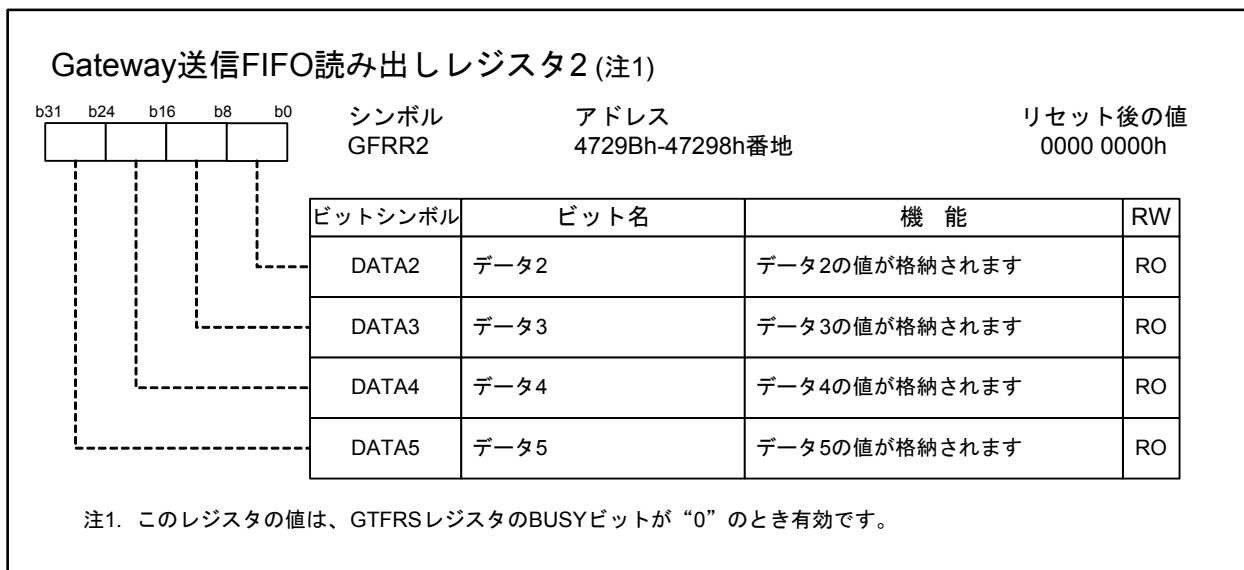


図 26.17 GFRR2 レジスタ

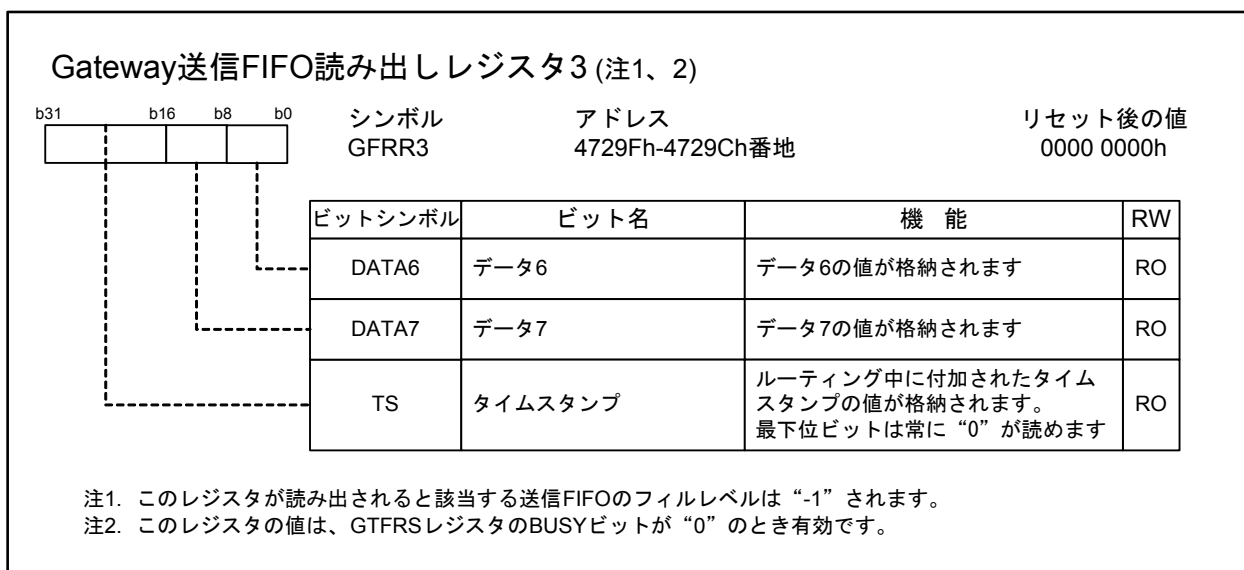


図 26.18 GFRR3 レジスタ

26.1.11 Gatewayパリティチェック制御レジスタ (GPCCR レジスタ)

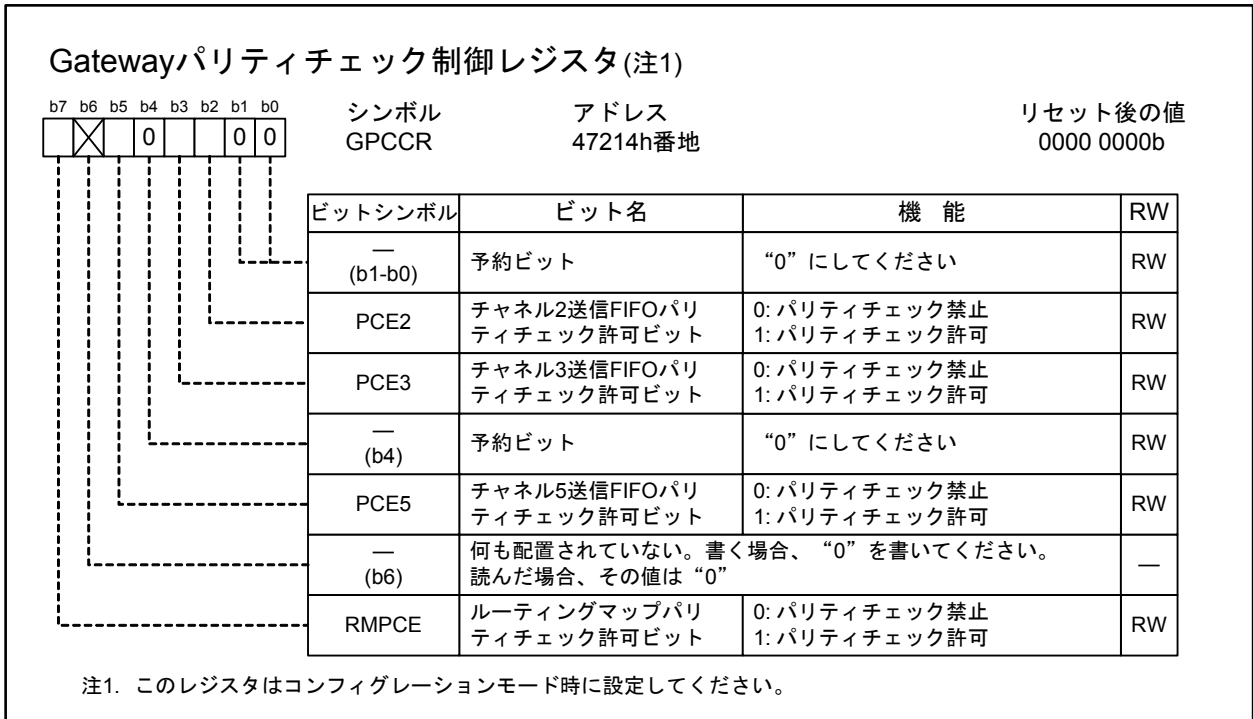


図 26.19 GPCCRレジスタ (R32C/142グループ)

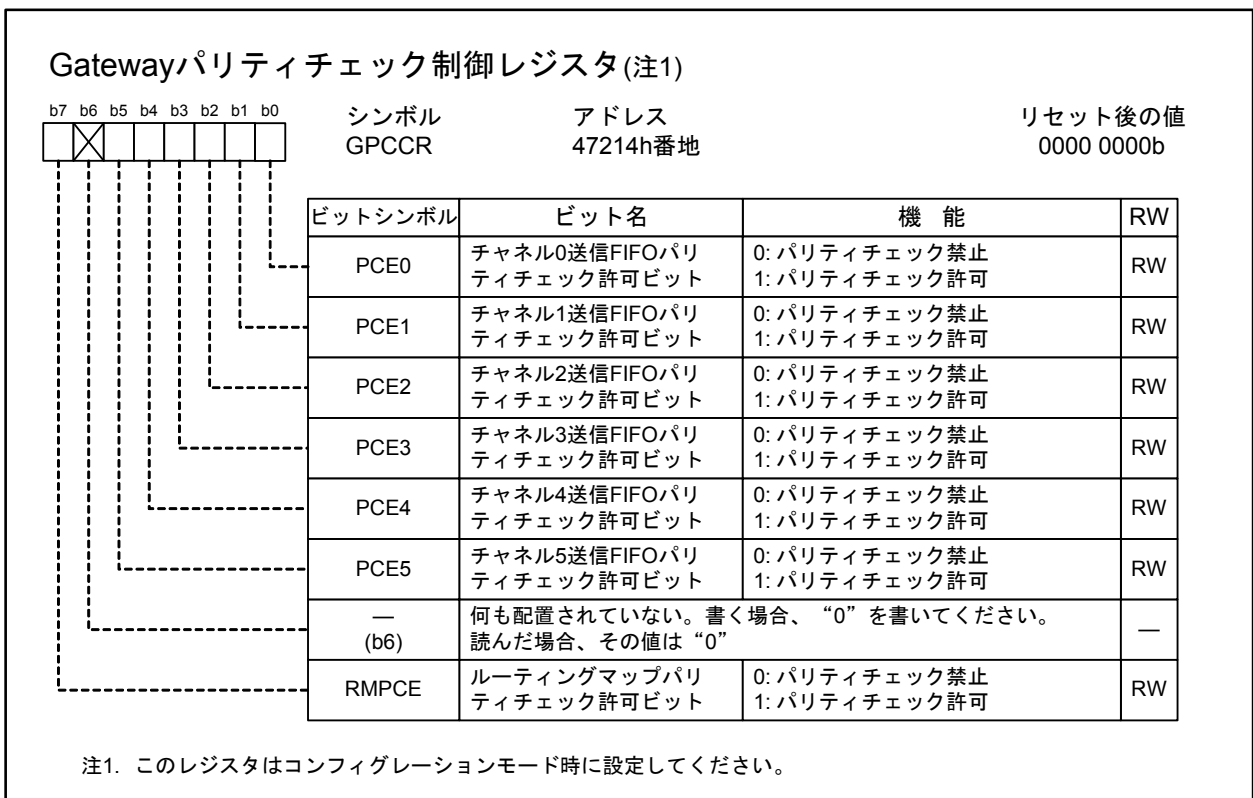


図 26.20 GPCCRレジスタ (R32C/145グループ)

ルーティングマップメモリおよびメッセージフレームに対するパリティチェック機能の許可/禁止を設定するレジスタです。パリティは偶数パリティです。

RMPCEビットが“1”の場合、GRMCCレジスタのCALCビットを“1”にすると、ルーティングマップのSUM演算中にパリティチェックが実行されます。結果はGRESRレジスタのRMPERビットで確認できます。

PCEiビットが“1”の場合、メッセージフレームが送信FIFOに転送される時にパリティが付加されます。送信FIFOからGFRR0~GFRR3レジスタにメッセージフレームが転送される時にパリティチェックが実行されます。結果はGFRR0レジスタのEPCビットに格納されます。

26.1.12 Gatewayタイムスタンプタイマ制御レジスタ (GTSCR レジスタ)

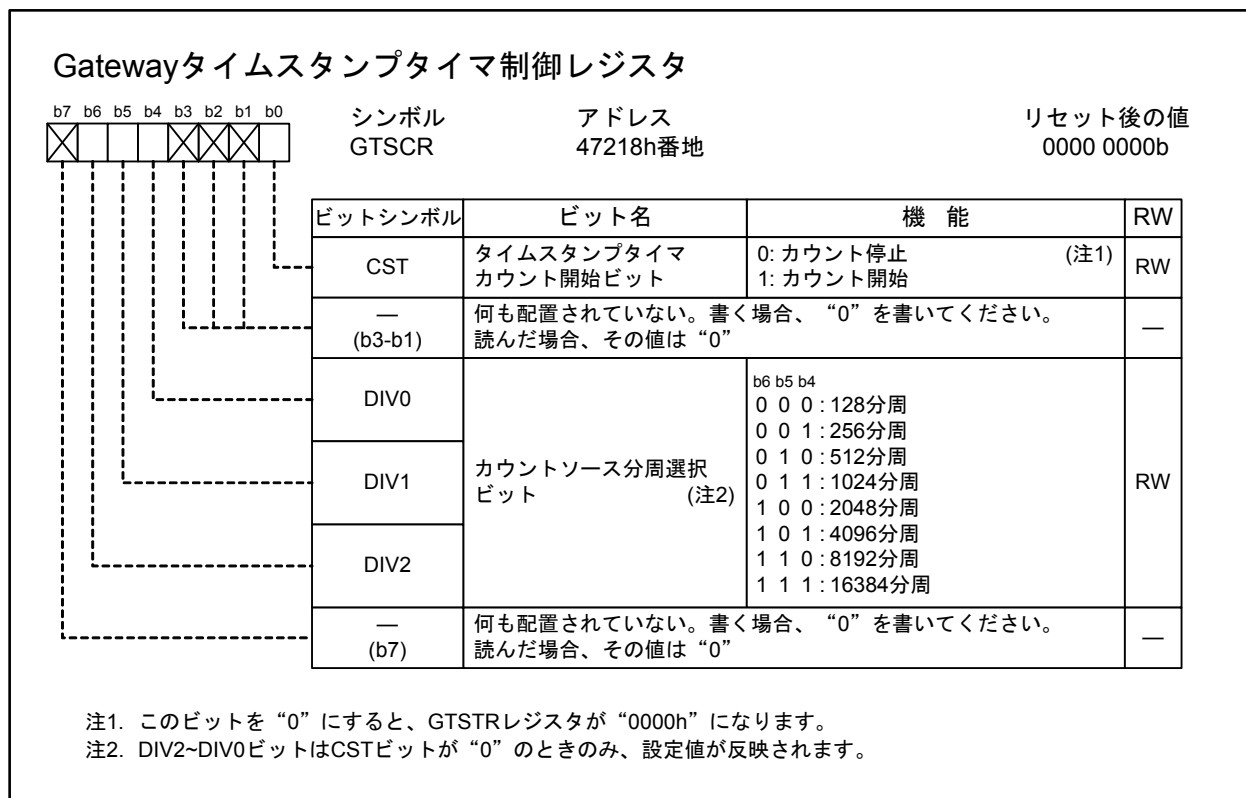


図 26.21 GTSCR レジスタ

タイムスタンプタイマ(16ビットフリーランタイマ)のカウント開始/停止、分周制御を行うレジスタです。

CANゲートウェイモジュールに入力されるCANゲートウェイモジュールの動作クロックは、周辺バスクロックと同じ周波数です。

DIV2~DIV0ビット

CANゲートウェイモジュールの動作クロックを分周し、タイムスタンプタイマのカウントソース周期を決定します。

表 26.3 に動作クロックと分周比による、タイムスタンプタイマのカウントソース周期とオーバーフロー時間を示します。

表 26.3 タイムスタンプタイマのカウントソース周期とオーバーフロー時間

分周比	動作クロック (周辺バスクロック)	カウントソース周期	オーバーフロー時間
1/128	8 MHz	16.0 μ s	約 1.0 s
	16 MHz	8.0 μ s	約 0.5 s
	20 MHz	6.4 μ s	約 0.4 s
	32 MHz	4.0 μ s	約 0.3 s
1/256	8 MHz	32.0 μ s	約 2.1 s
	16 MHz	16.0 μ s	約 1.0 s
	20 MHz	12.8 μ s	約 0.8 s
	32 MHz	8.0 μ s	約 0.5 s
1/512	8 MHz	64.0 μ s	約 4.2 s
	16 MHz	32.0 μ s	約 2.1 s
	20 MHz	25.6 μ s	約 1.7 s
	32 MHz	16.0 μ s	約 1.0 s
1/1024	8 MHz	128.0 μ s	約 8.4 s
	16 MHz	64.0 μ s	約 4.2 s
	20 MHz	51.2 μ s	約 3.4 s
	32 MHz	32.0 μ s	約 2.1 s
1/2048	8 MHz	256.0 μ s	約 16.8 s
	16 MHz	128.0 μ s	約 8.4 s
	20 MHz	102.4 μ s	約 6.7 s
	32 MHz	64.0 μ s	約 4.2 s
1/4096	8 MHz	512.0 μ s	約 33.6 s
	16 MHz	256.0 μ s	約 16.8 s
	20 MHz	204.8 μ s	約 13.4 s
	32 MHz	128.0 μ s	約 8.4 s
1/8192	8 MHz	1024.0 μ s	約 67.1 s
	16 MHz	512.0 μ s	約 33.6 s
	20 MHz	409.6 μ s	約 26.8 s
	32 MHz	256.0 μ s	約 16.8 s
1/16384	8 MHz	2048.0 μ s	約 134.2 s
	16 MHz	1024.0 μ s	約 67.1 s
	20 MHz	819.2 μ s	約 53.7 s
	32 MHz	512.0 μ s	約 33.6 s

26.1.13 Gatewayタイムスタンプタイマレジスタ (GTSTRレジスタ)

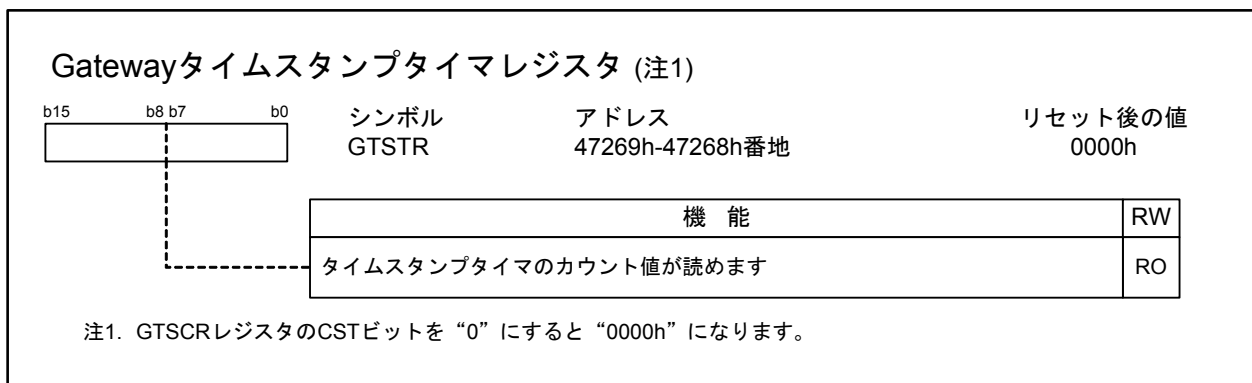


図 26.22 GTSTRレジスタ

このレジスタはタイムスタンプ用16ビットフリーランタイマです。

メッセージフレームを送信FIFOへ転送するときに、このレジスタの上位15ビットが該当メッセージフレームのTSビットに追加されます。フレーム送信時にこのレジスタを確認することで、送信FIFOにフレームが格納されてから送信するまでの滞留時間が計測できます。

26.1.14 Gatewayルーティングマップベースポインタレジスタ (GRMBP レジスタ)

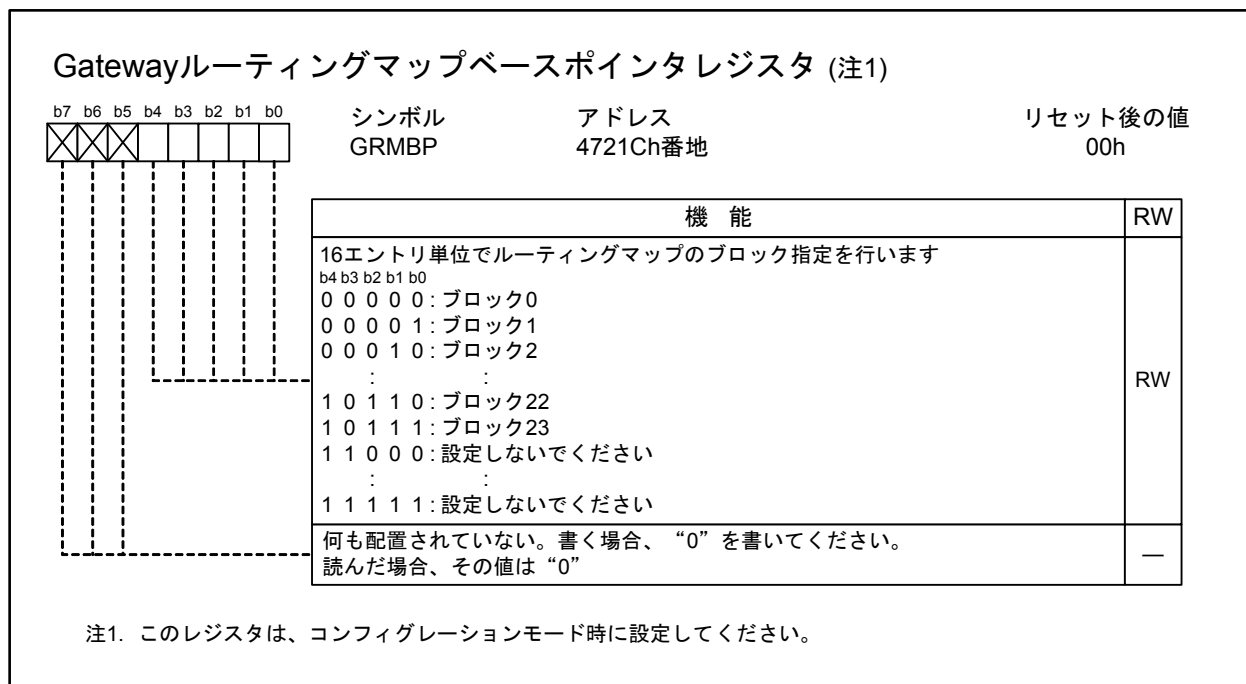


図 26.23 GRMBP レジスタ

ルーティングマップのブロック指定を行うためのレジスタです。
全384エントリのルーティングマップを24ブロックに分割しますので、1ブロックあたり16エントリになります。ルーティングマップの読み出しおよび書き込みは、1ブロック単位で行います。

26.1.15 Gatewayルーティングマップエントリ数設定レジスタ (GMREC レジスタ)

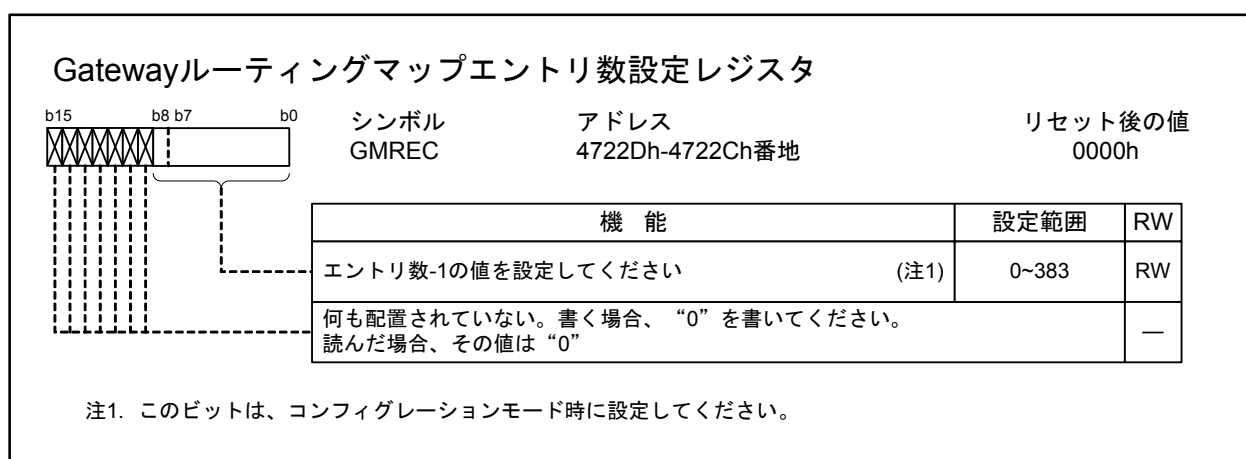


図 26.24 GMREC レジスタ

ルーティングマップのエントリ数を指定するレジスタです。
CANゲートウェイモジュールはこのレジスタの設定値に従いルーティングマップの検索範囲およびSUM演算範囲を決定します。

26.1.16 Gatewayルーティングマップレジスタ mH/L (GRMmH/GRMmL) (m=0~15)

ルーティングマップの1ブロック分(16エントリ)の書き込みおよび読み出しを行うレジスタです。ブロック番号(0~23)の指定はGRMBPレジスタで行ってください。

Gatewayルーティングマップレジスタ mH (m=0~15) (注1~3)

ビットシンボル	ビット名	機能	RW
— (b8)	処理対象チャンネル設定 ビットx (x=2, 3, 5) (注4)	チャンネルxから受信したフレームを 処理するかどうかを設定します 0: 処理しない 1: 処理する b8、b9、b12は予約ビットです。 書く場合、“0”を書いてください	RW
— (b9)			RW
PCH2			RW
PCH3			RW
— (b12)			RW
PCH5		RW	
LA0	ラベル領域0	ルーティング時にフレームに付加されるラベル0の値を設定します	RW
LA1	ラベル領域1	ルーティング時にフレームに付加されるラベル1の値を設定します	RW
— (b24)	宛先チャンネル設定ビット y (y=2, 3, 5) (注4)	フレームをチャンネルyの送信FIFOへ 転送するかどうかを設定します 0: 転送しない 1: 転送する b24、b25、b28は予約ビットです。 書く場合、“0”を書いてください	RW
— (b25)			RW
DCH2			RW
DCH3			RW
— (b28)			RW
DCH5		RW	
FIFO	送信FIFO番号設定ビット (注5)	0: 送信FIFO0 1: 送信FIFO1	RW
PAR	パリティビット (注6)	0: パリティ0 1: パリティ1	RO

- 注1. コンフィグレーションモード時にアクセス可能です。このレジスタへのアクセスは、GCSRレジスタが“00h” (全チャンネルルーティング停止) のときに行ってください。
- 注2. 書き込み、読み出しは32ビット単位で行ってください。
- 注3. SUM演算の対象は、PARビットを除く31ビットです。
- 注4. 複数のチャンネルを“1”にすることが可能です。PCH5、PCH3、PCH2ビットの全ビットが“0”の場合、あるいはDCH5、DCH3、DCH2ビットの全ビットが“0”の場合は、ルーティングエラーになります。
- 注5. 送信FIFO番号は、全チャンネル同じものを使用します。
- 注6. ルーティングマップ設定時は“0”を書いてください。このビットは書き込み時に自動的に計算されて、付加されます。

図 26.25 GRM0H~GRM15Hレジスタ (R32C/142グループ)

GatewayルーティングマップレジスタmH (m=0~15) (注1~3)

シンボル	アドレス	リセット後の値
GRM0H, GRM1H	47307h-47304h、4730Fh-4730Ch番地	不定
GRM2H, GRM3H	47317h-47314h、4731Fh-4731Ch番地	不定
GRM4H, GRM5H	47327h-47324h、4732Fh-4732Ch番地	不定
GRM6H, GRM7H	47337h-47334h、4733Fh-4733Ch番地	不定
GRM8H, GRM9H	47347h-47344h、4734Fh-4734Ch番地	不定
GRM10H, GRM11H	47357h-47354h、4735Fh-4735Ch番地	不定
GRM12H, GRM13H	47367h-47364h、4736Fh-4736Ch番地	不定
GRM14H, GRM15H	47377h-47374h、4737Fh-4737Ch番地	不定

ビットシンボル	ビット名	機能	RW
IDM	メッセージIDマスク	メッセージIDの下位8ビットに対するマスクを設定します 0: マスクしない 1: マスクする	RW
PCH0	処理対象チャンネル設定 ビットx (x=0~5) (注4)	チャンネルxから受信したフレームを 処理するかどうかを設定します 0: 処理しない 1: 処理する	RW
PCH1			RW
PCH2			RW
PCH3			RW
PCH4			RW
PCH5			RW
LA0	ラベル領域0	ルーティング時にフレームに付加さ れるラベル0の値を設定します	RW
LA1	ラベル領域1	ルーティング時にフレームに付加さ れるラベル1の値を設定します	RW
DCH0	宛先チャンネル設定ビット y (y=0~5) (注4)	フレームをチャンネルyの送信FIFOへ 転送するかどうかを設定します 0: 転送しない 1: 転送する	RW
DCH1			RW
DCH2			RW
DCH3			RW
DCH4			RW
DCH5			RW
FIFO	送信FIFO番号設定ビット (注5)	0: 送信FIFO0 1: 送信FIFO1	RW
PAR	パリティビット (注6)	0: パリティ0 1: パリティ1	RO

- 注1. コンフィグレーションモード時にアクセス可能です。このレジスタへのアクセスは、GCSRレジスタが“00h” (全チャンネルルーティング停止) のときに行ってください。
- 注2. 書き込み、読み出しは32ビット単位で行ってください。
- 注3. SUM演算の対象は、PARビットを除く31ビットです。
- 注4. 複数のチャンネルを“1”にすることが可能です。PCH5~PCH0ビットの全ビットが“0”の場合、あるいはDCH5~DCH0ビットの全ビットが“0”の場合は、ルーティングエラーになります。
- 注5. 送信FIFO番号は、全チャンネル同じものを使用します。
- 注6. ルーティングマップ設定時は“0”を書いてください。このビットは書き込み時に自動的に計算されて、付加されます。

図 26.26 GRM0H~GRM15Hレジスタ (R32C/145グループ)

IDMビット (b7-b0)

1エントリで複数のメッセージIDを対象としたルーティングを可能にするビットです。マスク情報はメッセージIDの下位8ビットに対して適用されます。マスクする場合は、メッセージIDマスク (IDM) の該当するビットを“1”にしてください。

表 26.4にマスク情報の設定例を示します。

表 26.4 マスク情報の設定例

	メッセージID (ID) (29ビット)	メッセージIDマスク (IDM) (8ビット)	ルーティング対象となる メッセージID
拡張ID	0F00 0700h	FFh	0F00 0700h~0F00 07FFh
	1FFF 00F0h	07h	1FFF 00F0h~1FFF 00F7h
	1FFF 00F0h	02h	1FFF 00F0h、1FFF 00F2h
標準ID	0000 0700h	FFh	700h~7FFh
	0000 05F0h	03h	5F0h~5F3h
	0000 05F0h	04h	5F0h、5F4h

LA0ビット(b15-b14)

ルーティング処理時、メッセージフレームに付加されます。
この情報は、ルーティング処理では使用しません。ユーザ側で自由に使用できます。

LA1ビット(b23-b16)

ルーティング処理時、メッセージフレームに付加されます。
この情報は、ルーティング処理では使用しません。ユーザ側で自由に使用できます。

GatewayルーティングマップレジスタmL (m=0~15) (注1、2)

シンボル	アドレス	リセット後の値
GRM0L, GRM1L	47303h-47300h, 4730Bh-47308h番地	不定
GRM2L, GRM3L	47313h-47310h, 4731Bh-47318h番地	不定
GRM4L, GRM5L	47323h-47320h, 4732Bh-47328h番地	不定
GRM6L, GRM7L	47333h-47330h, 4733Bh-47338h番地	不定
GRM8L, GRM9L	47343h-47340h, 4734Bh-47348h番地	不定
GRM10L, GRM11L	47353h-47350h, 4735Bh-47358h番地	不定
GRM12L, GRM13L	47363h-47360h, 4736Bh-47368h番地	不定
GRM14L, GRM15L	47373h-47370h, 4737Bh-47378h番地	不定

ビットシンボル	ビット名	機能	RW
ID	メッセージID (注3)	メッセージID	RW
RTR	リモートフレーム要求ビット	0: データフレーム 1: リモートフレーム	RW
IDE	ID拡張ビット	0: 標準ID 1: 拡張ID	RW
PAR	パリティビット (注4)	0: パリティ "0" 1: パリティ "1"	RO

- 注1. コンフィグレーションモード時にアクセス可能です。このレジスタへのアクセスは、GCSRレジスタが“00h” (全チャネルルーティング停止)のときに行ってください。
注2. 書き込み、読み出しは32ビット単位で行ってください。
注3. 標準ID時はLSB詰めで指定してください。
注4. ルーティングマップ設定時は“0”を書いてください。このビットは書き込み時に自動的に計算されて、付加されます。

図 26.27 GRM0L~GRM15L レジスタ

ルーティングマップの設定は各エントリの下位31ビット (IDE+RTR+ ID)が重複しないように、また昇順になるように設定してください。

26.1.17 Gatewayエコーバック制御レジスタ (GEBCR レジスタ)

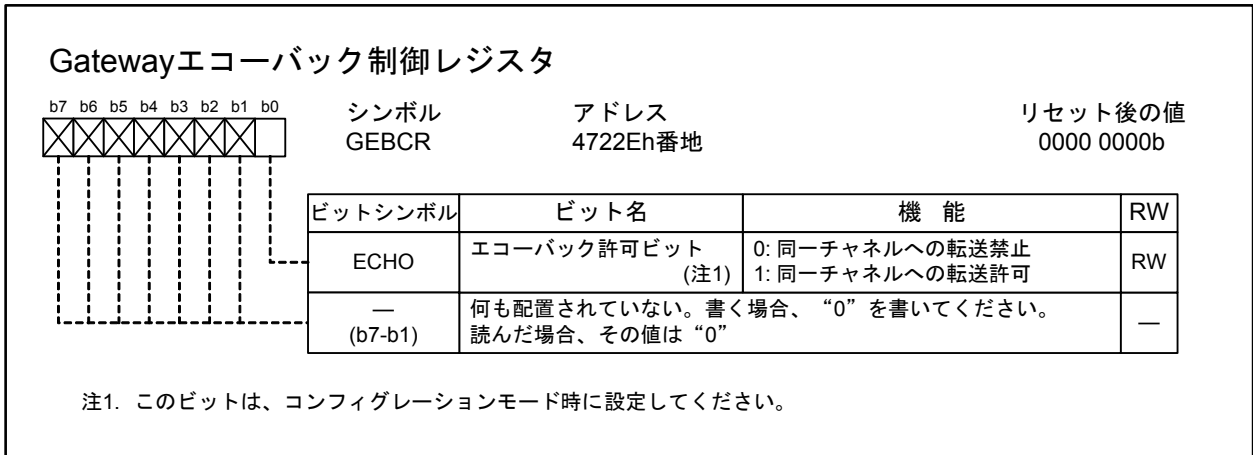


図 26.28 GEBCR レジスタ

受信したルーティング対象フレームを受信したチャネルと同一のチャネルへ転送することを許可/禁止するレジスタです。

ECHO ビット

表 26.5 に ECHO ビット設定とルーティング動作の例を示します。受信フレームがルーティング対象であると判断されたとき、ECHO ビットの設定値に従い動作します。

• 同一チャネル転送許可の場合

エントリデータの DCHi が“1”に設定されているチャネルすべての送信 FIFO へ転送を行います。

• 同一チャネル転送禁止の場合

エントリデータの DCHi が“1”に設定されたチャネルのうち、受信したチャネルと同じチャネルの送信 FIFO への転送は実行されません。他のチャネルへの転送は実行されます。

受信したチャネルと同じチャネル以外に宛先が設定されていない場合、ルーティングエラー(宛先チャネル未指定)となり、メッセージフレームは転送されずに破棄されます。

表 26.5 ECHO ビット設定とルーティング動作の例 (R32C/145グループ)

ルーティングマップ エントリデータ										受信 チャネル	ルーティング動作		
PCH0~PCH5 (処理対象チャネル)					DCH0~DCH5 (宛先チャネル)						ECHO=1 (同一チャネル転送許可)	ECHO=0 (同一チャネル転送禁止)	
0	1	2	3	4	5	0	1	2	3	4	5		
1	0	0	0	0	0	0	1	1	1	1	1	0	チャネル1~5へ転送
0	0	1	0	0	0	0	0	1	0	0	1	2	チャネル2, 5へ転送
0	0	0	0	1	0	0	0	0	0	1	0	4	チャネル4へ転送
													ルーティングエラー(宛先チャネル未指定) フレーム破棄

26.1.18 Gatewayチャネルi FIFOjクリティカルレベル設定レジスタ (GFijCLレジスタ)

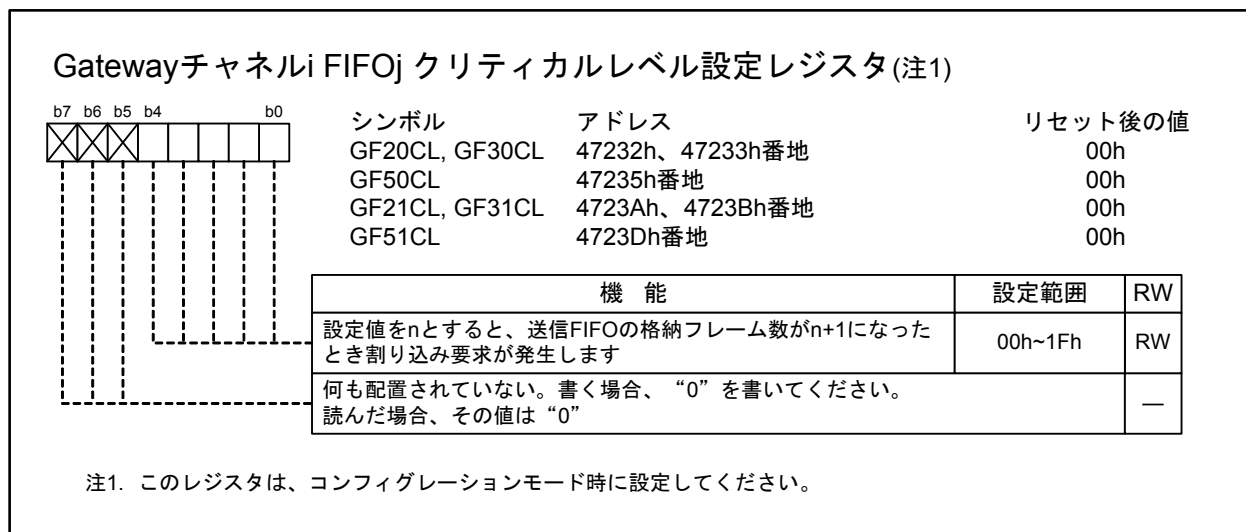


図 26.29 GF20CL、GF30CL、GF50CL、GF21CL、GF31CL、GF51CLレジスタ (R32C/142グループ)

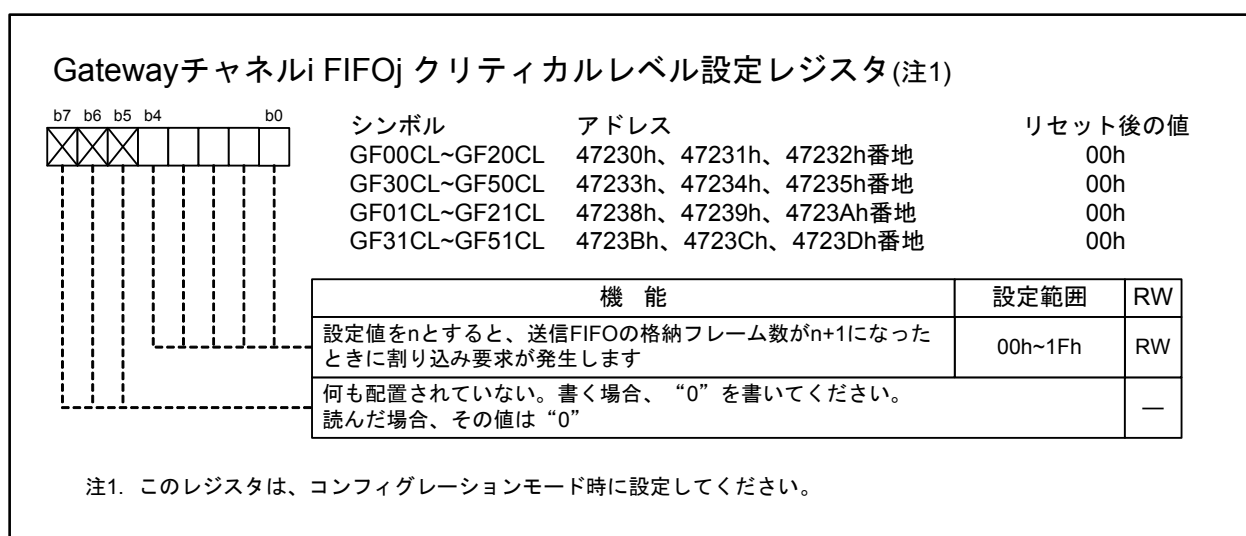


図 26.30 GF00CL~GF51CLレジスタ (R32C/145グループ)

CANiゲートウェイ送信FIFO割り込み要求を発生させるためのクリティカルレベル(送信FIFOの格納フレーム数)を設定するレジスタです。

GFijFLレジスタの値がGFijCLレジスタの値を超えたとき、CANiゲートウェイ送信FIFO割り込み要求が発生します。

GF00CLレジスタは送信FIFO0用、GF01CLレジスタは送信FIFO1用です。

26.1.19 Gateway送信FIFOクリアレジスタ (GTFPCRレジスタ)

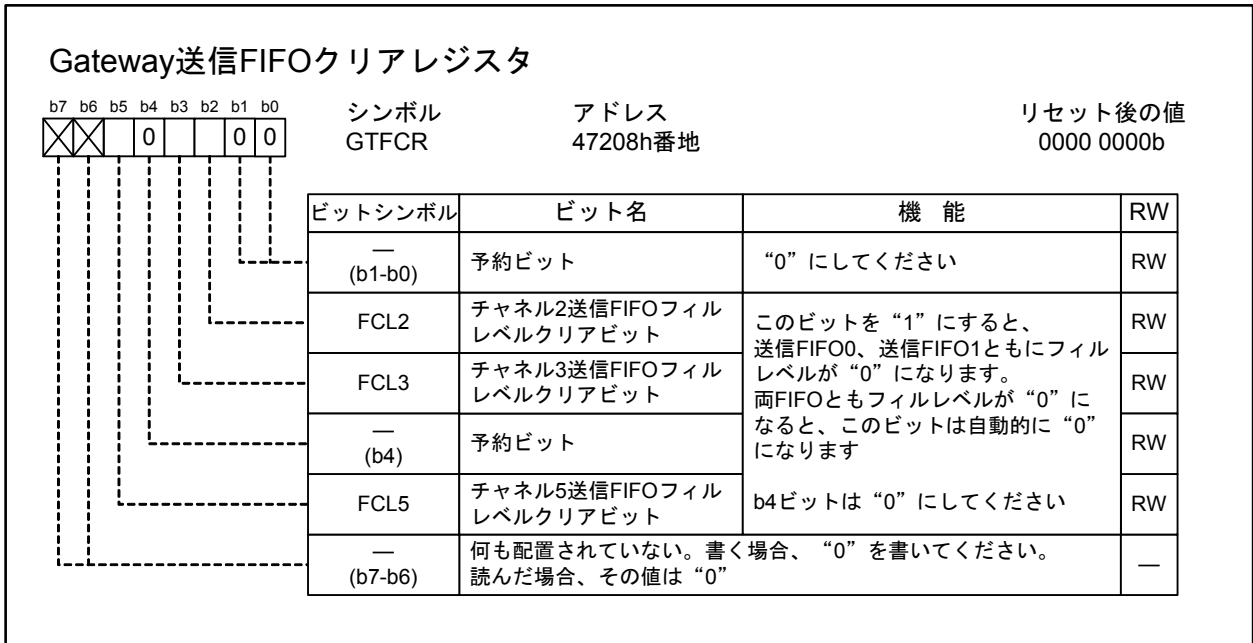


図 26.31 GTFPCRレジスタ (R32C/142グループ)

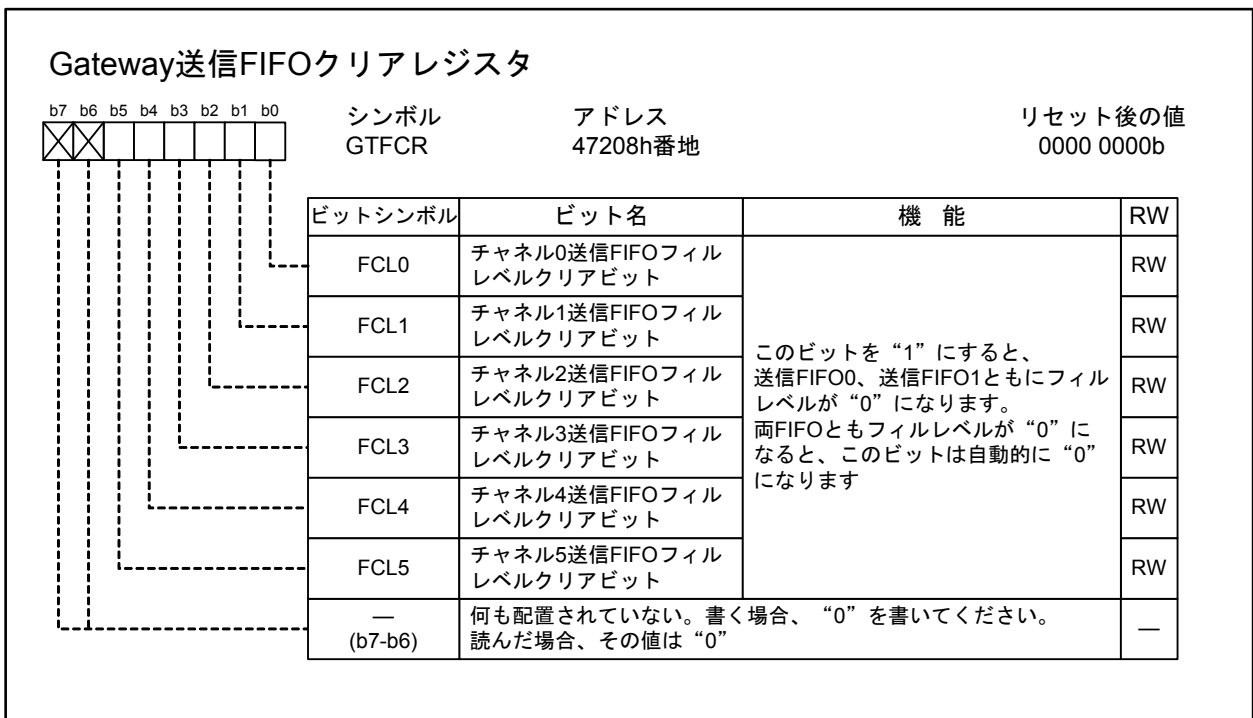


図 26.32 GTFPCRレジスタ (R32C/145グループ)

送信FIFOフィルレベルを“0”にするレジスタです。

送信FIFOフィルレベルが“0”になると、送信FIFO内に残っていたメッセージは、すべて破棄されます。

26.1.20 Gatewayチャネルi FIFOj フィルレベルレジスタ (GFijFL レジスタ)



図 26.33 GF20FL、GF30FL、GF50FL、GF21FL、GF31FL、GF51FL レジスタ (R32C/142グループ)

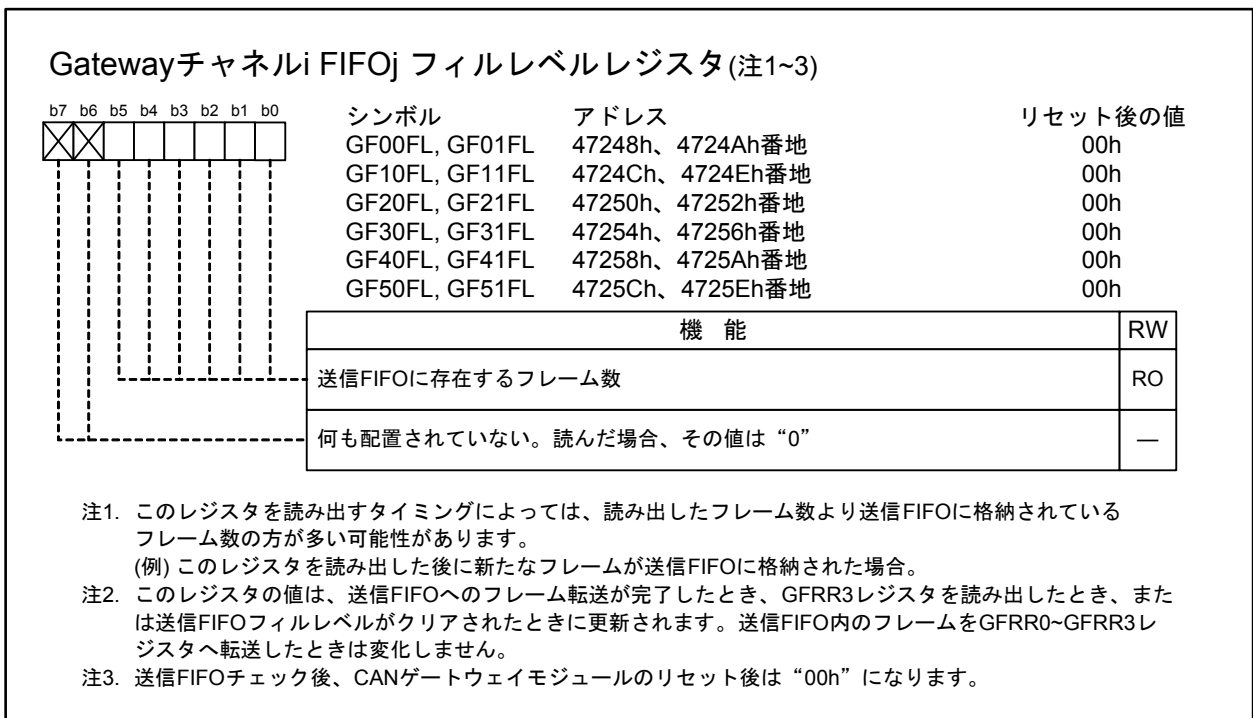


図 26.34 GF00FL~GF51FL レジスタ (R32C/145グループ)

送信FIFOjフィルレベル(送信FIFOj格納フレーム数)を示すレジスタです。このレジスタの値は送信FIFOjから読み出すことが可能なフレーム数を示します。

26.1.21 Gatewayチャネルi送信FIFO割り込み許可レジスタ (GCiIE レジスタ)

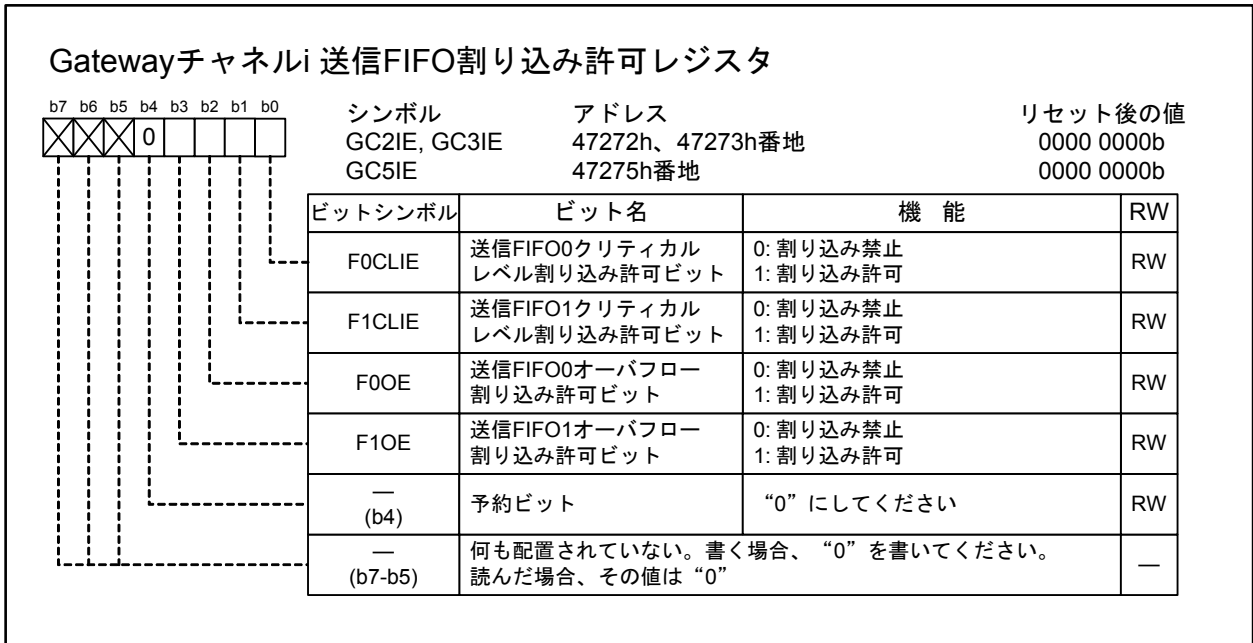


図 26.35 GC2IE、GC3IE、GC5IE レジスタ (R32C/142グループ)

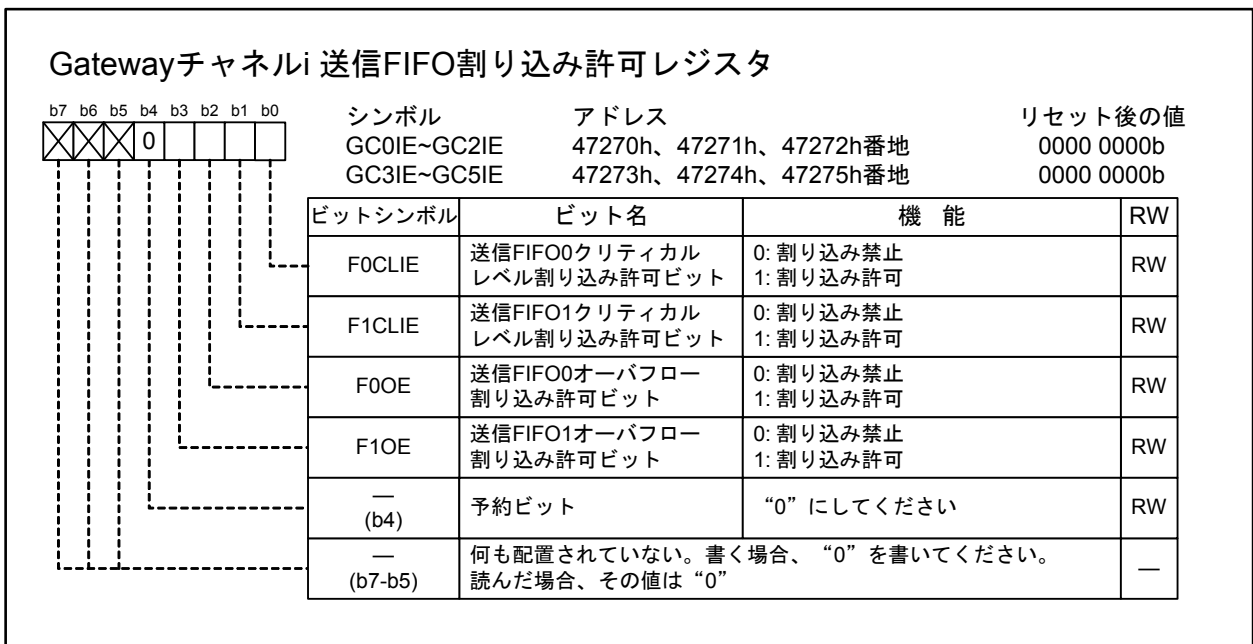


図 26.36 GC0IE~GC5IE レジスタ (R32C/145グループ)

送信FIFOjクリティカルレベル割り込み、送信FIFOjオーバーフロー割り込みの許可/禁止を設定するレジスタです。

26.1.22 Gatewayチャネルi送信FIFOステータスレジスタ (GCiSR レジスタ)

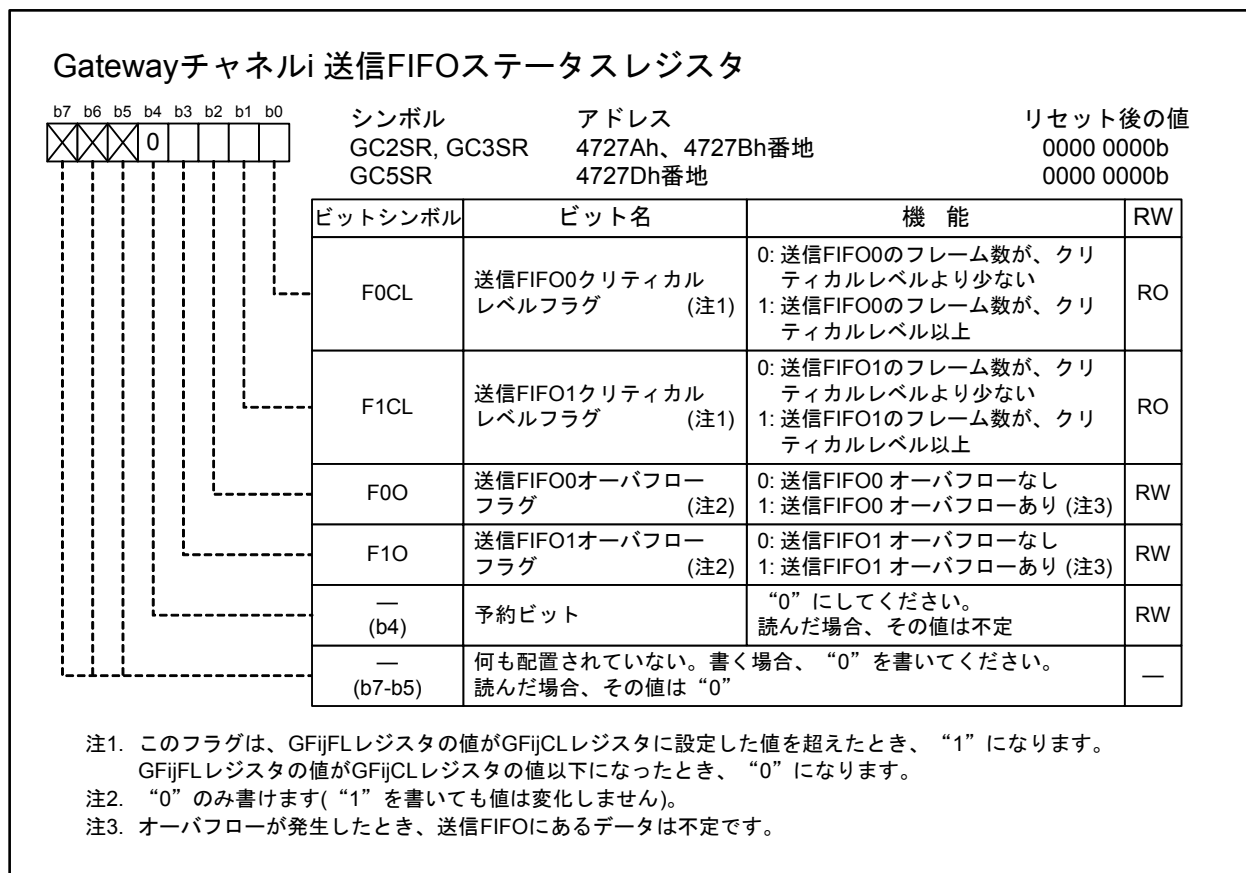


図 26.37 GC2SR、GC3SR、GC5SR レジスタ (R32C/142グループ)

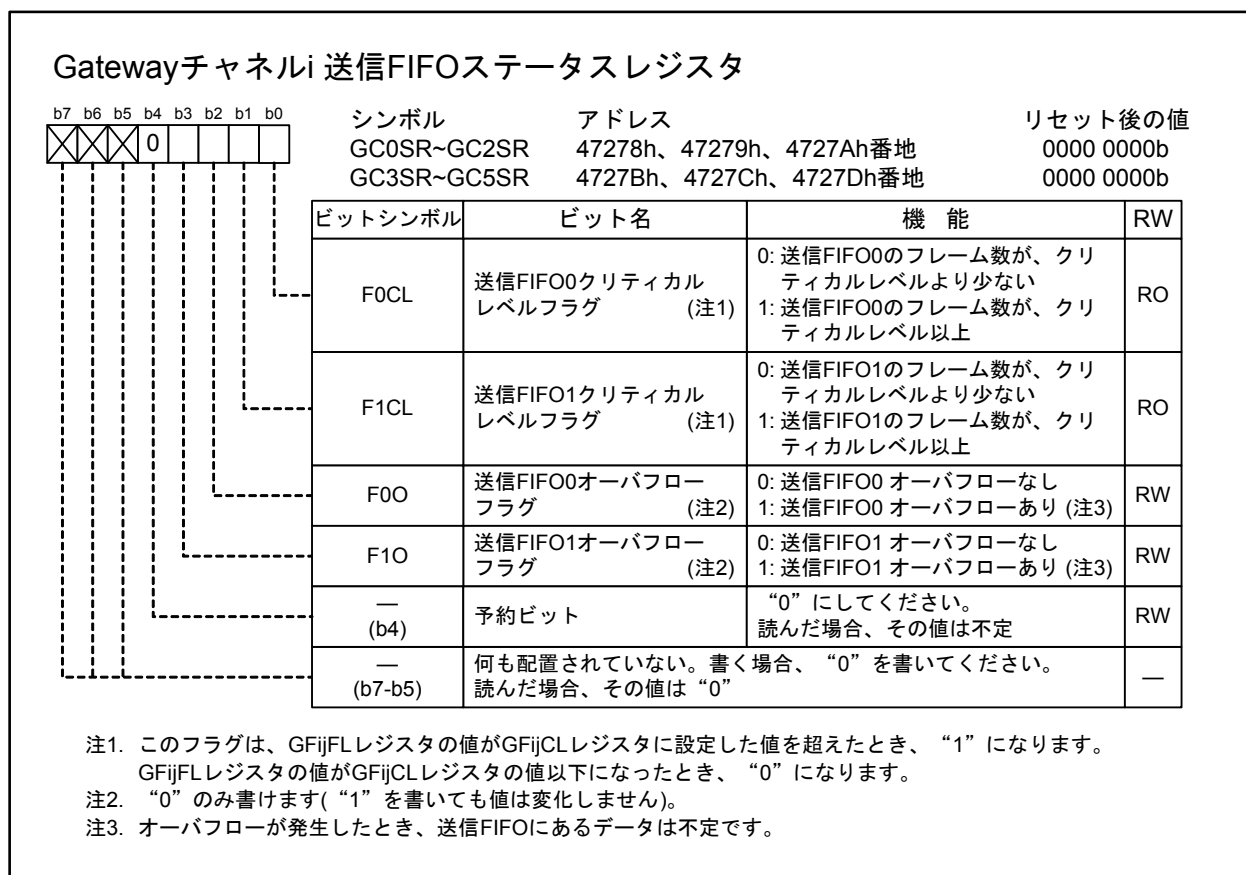


図 26.38 GC0SR~GC5SR レジスタ (R32C/145グループ)

チャネルごとの送信FIFOの状態を示すレジスタです。

このレジスタの1つ以上のフラグが“1”で、対応する割り込みが許可の場合、CANiゲートウェイ送信FIFO割り込みが発生します。

26.1.23 Gatewayエラー割り込み許可レジスタ (GIERレジスタ)

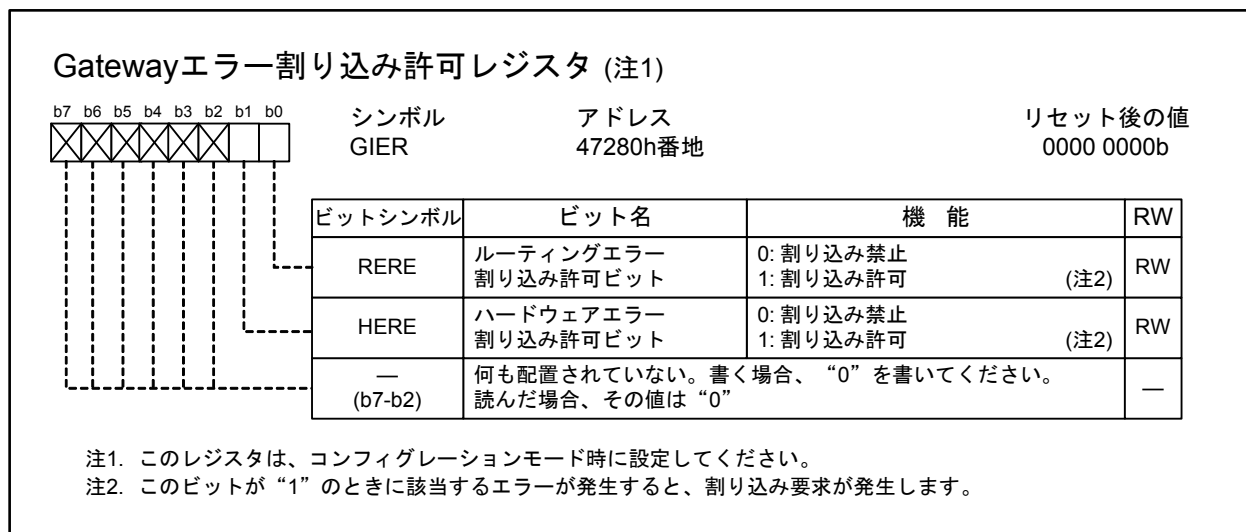


図 26.39 GIERレジスタ

ルーティングエラー割り込みの許可/禁止およびハードウェアエラー割り込みの許可/禁止を設定するレジスタです。

REREビット

ルーティングエラー割り込みを許可/禁止するビットです。

ルーティングエラーはルーティングマップの設定ミスと、ルーティングマップのパリティエラー検出により発生します。ルーティングエラーが発生したとき、処理中のフレームは破棄されます。

ルーティングエラー割り込みを許可すると、以下のいずれかを検出したときに、割り込み要求が発生します。

- 宛先チャンネルが未指定(DCH5~DCH0がすべて“0”)
- 処理対象チャンネルが未指定(PCH5~PCH0がすべて“0”)
- GEBCRレジスタのECHOビットが“0”(同一チャンネルへの転送禁止)かつ、宛先チャンネルが受信チャンネルのみ
- ルーティングマップのパリティエラー

HEREビット

ハードウェアエラー割り込みの許可/禁止を設定するビットです。

ハードウェアエラーが発生したとき、処理中のフレームは破棄されます。

ハードウェアエラー割り込みを許可すると、以下のいずれかを検出したときに、割り込み要求が発生します。

- メッセージハンドラのステート異常
- ルーティング処理中に同一チャンネルから検索要求

26.1.24 Gateway エラーステータスレジスタ (GSR レジスタ)

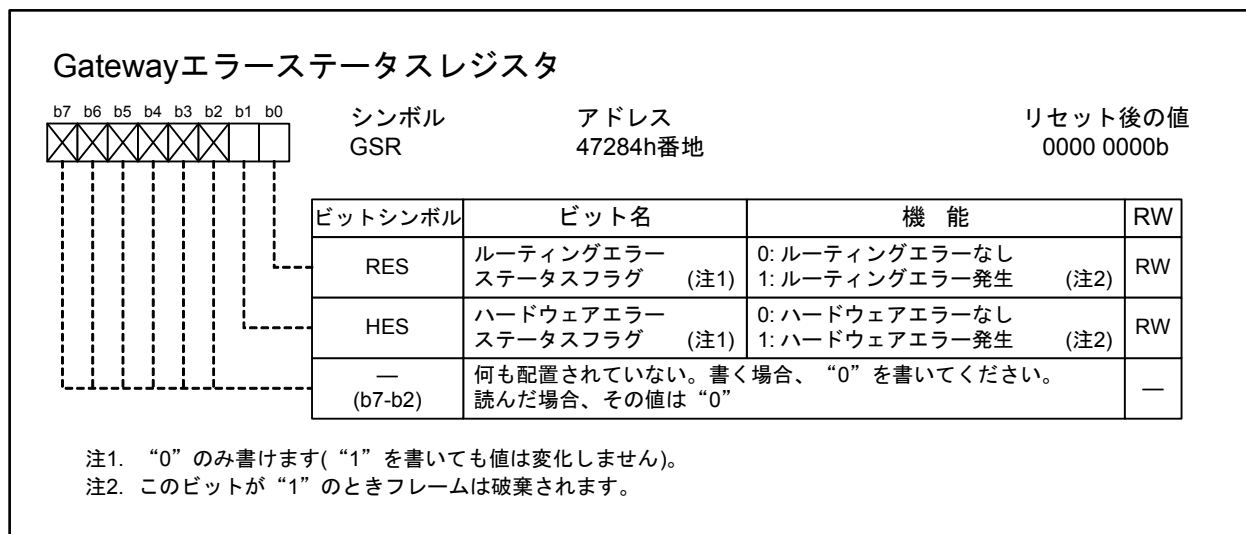


図 26.40 GSR レジスタ

ルーティングエラー、ハードウェアエラー発生の有無を示すレジスタです。GIER レジスタの RERE ビットが“1”かつ RES ビットが“1”、または GIER レジスタの HERE ビットが“1”かつ HES ビットが“1”のとき、CANゲートウェイエラー割り込み要求が発生します。

26.1.25 Gatewayルーティングエラーステータスレジスタ (GRESR レジスタ)

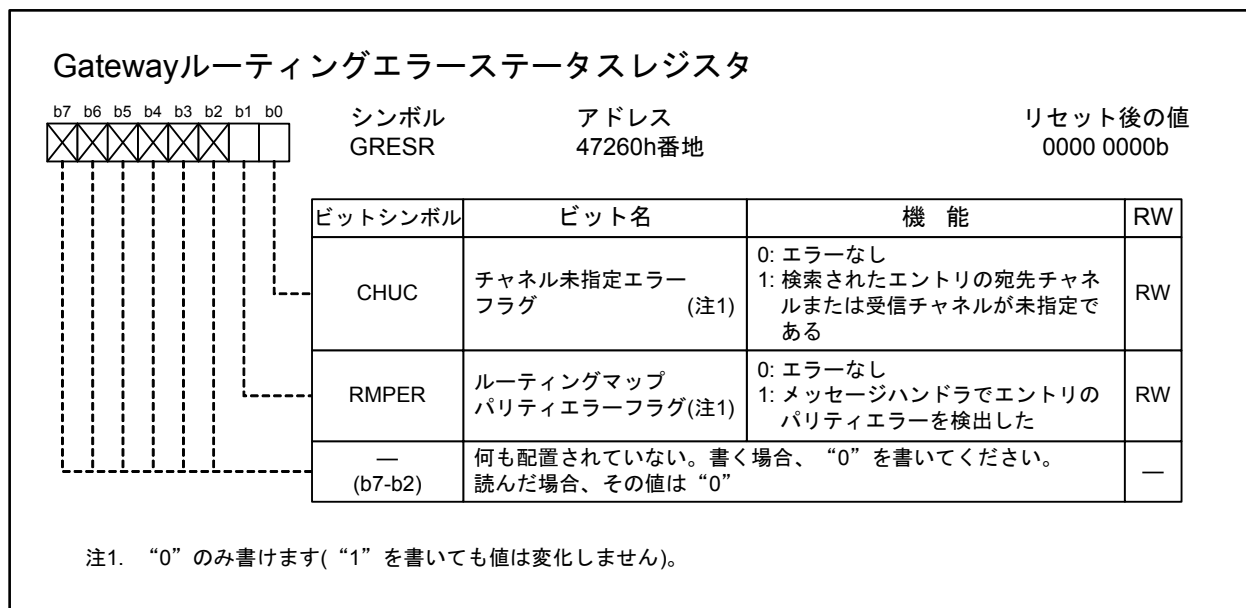


図 26.41 GRESRレジスタ

ルーティングエラーの有無を示すレジスタです。

26.1.26 Gatewayエラー発生エントリ表示レジスタ (GEEIR レジスタ)

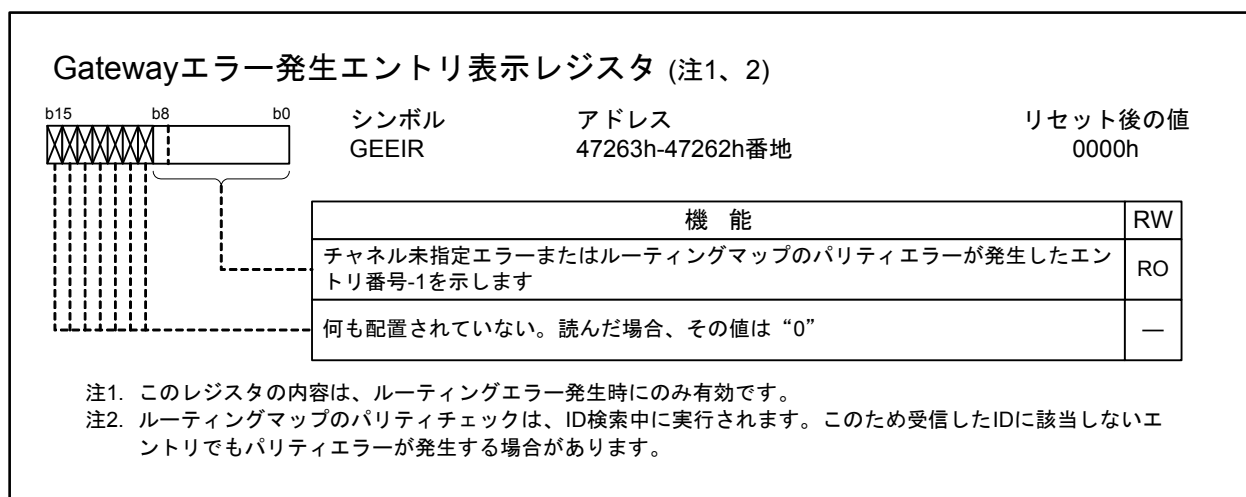


図 26.42 GEEIRレジスタ

チャンネル未指定エラーまたはルーティングマップのパリティエラーが発生したエントリ番号-1の値が格納されるレジスタです。

26.1.27 Gatewayビット検索制御レジスタ n (GBSCn レジスタ) (n=0, 1)

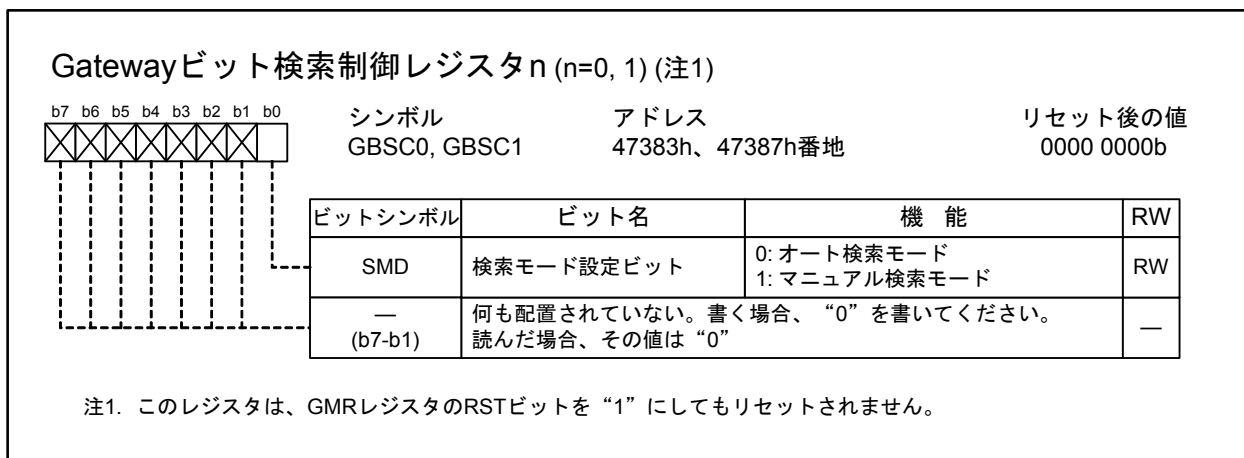


図 26.43 GBSC0、GBSC1 レジスタ

このレジスタはビット検索のモードを選択するレジスタです。

26.1.28 Gatewayビット検索サポートレジスタ n (GBSRn レジスタ) (n=0, 1)

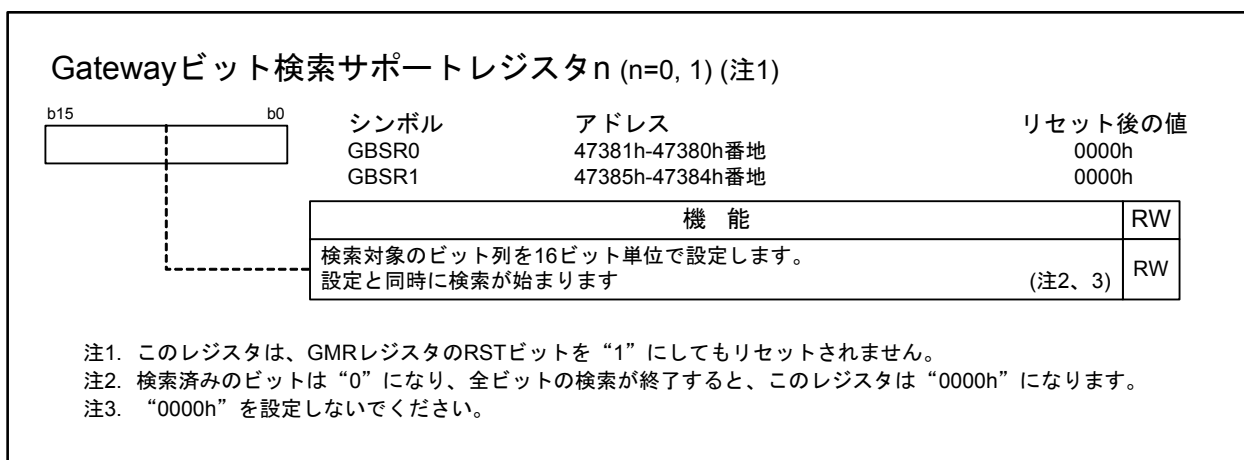


図 26.44 GBSR0、GBSR1 レジスタ

このレジスタは、検索対象のビット列を設定するレジスタです。
GBSR0レジスタとGBSR1レジスタは同じ機能を持ちます。

26.1.29 Gatewayビット検索ステータスレジスタn (GBSSnレジスタ) (n=0, 1)

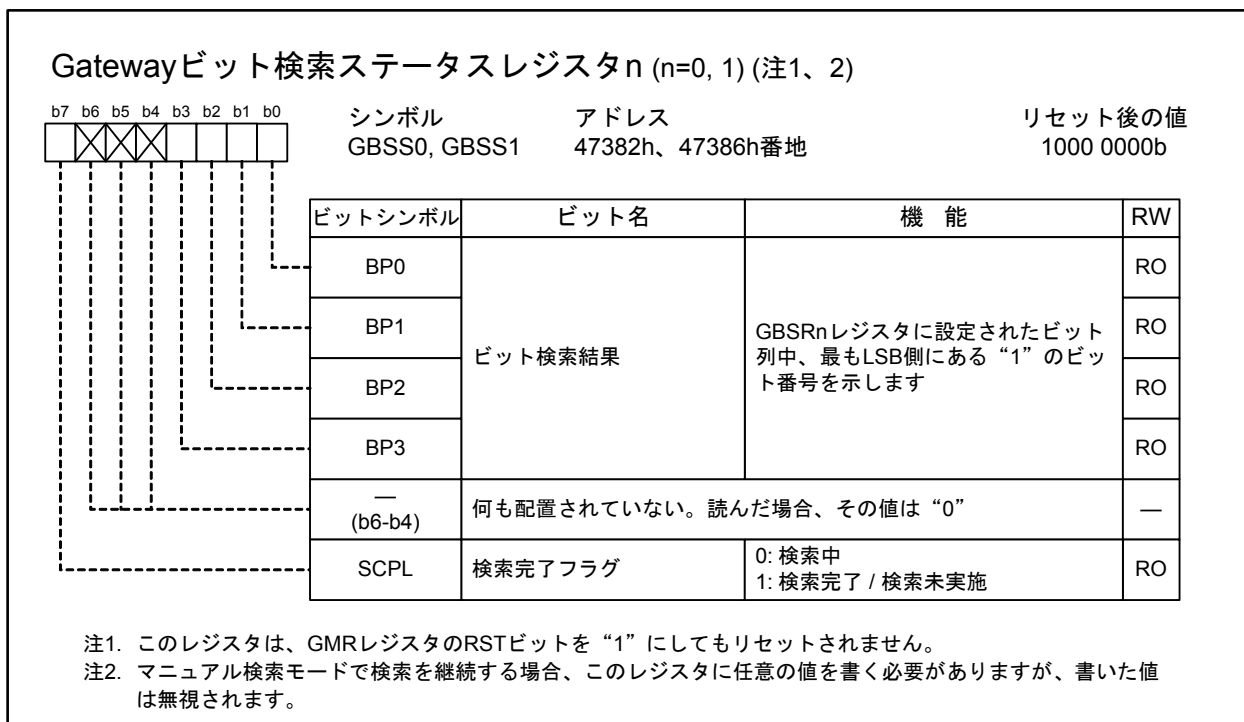


図 26.45 GBSS0、GBSS1レジスタ

このレジスタは、GBSSnレジスタに設定されたビット列の検索結果を示すレジスタです。

26.2 動作モード

CANゲートウェイモジュールには、ゲートウェイリセットモード、コンフィグレーションモード、ルーティングモードの3つの動作モードがあります。

図 26.46にモード遷移のイメージを示します。

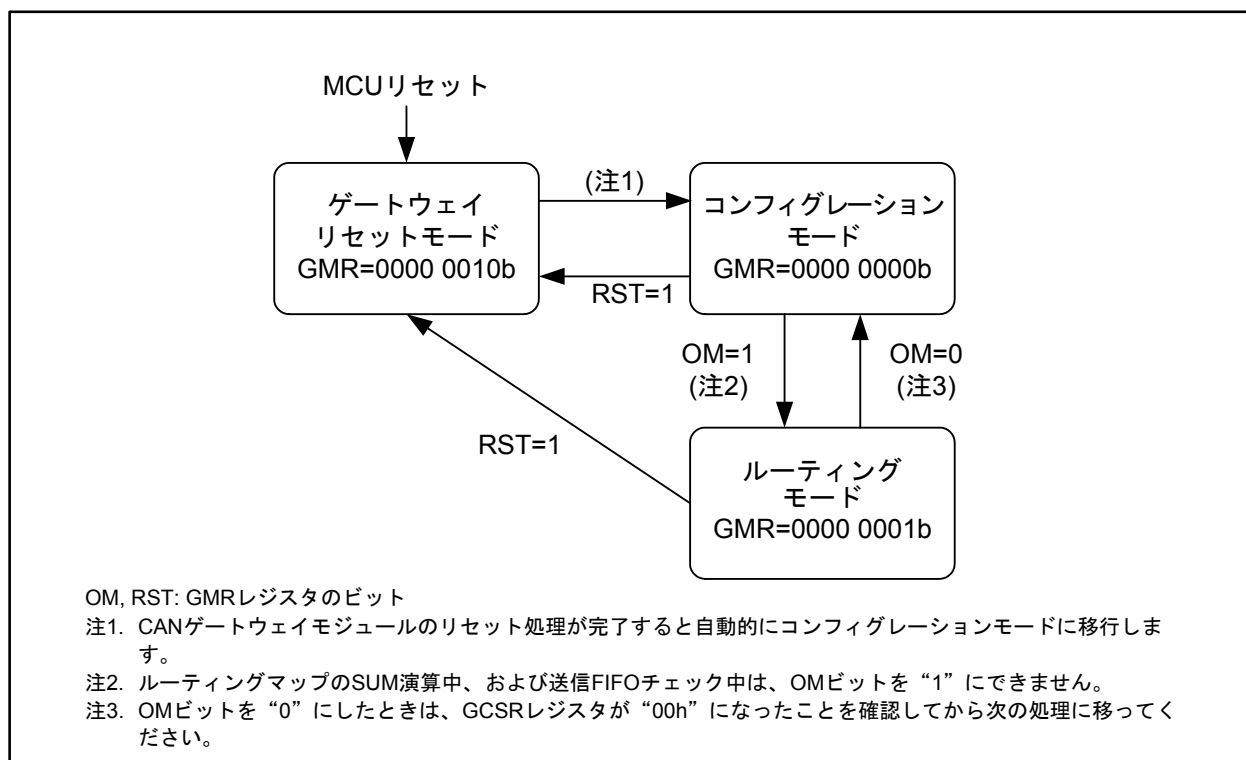


図 26.46 モード遷移のイメージ

(1) ゲートウェイリセットモード

GMRレジスタのRSTビットを“1”にすると、CANゲートウェイモジュールのリセットを開始します。リセット完了後、RSTビットは“0”になり、コンフィグレーションモードに移行します。

(2) コンフィグレーションモード

CANゲートウェイモジュールのリセット完了後自動的に、またはGMRレジスタのOMビットを“0”にすると、コンフィグレーションモードに移行します。

コンフィグレーションモードはCANゲートウェイモジュールの設定を行うモードです。ルーティングマップのSUM演算、送信FIFOチェックは、このモードでのみ実行可能です。ルーティング処理は実行できません。

(3) ルーティングモード

GMRレジスタのOMビットを“1”にすると、ルーティングモードに移行します。

ルーティングモードでは、CANメッセージフレームのルーティング処理を行います。GCCRレジスタにより、チャンネルごとにルーティング処理の許可/禁止を設定できます。ルーティングマップのSUM演算や、送信FIFOチェックは実行できません。

26.3 メッセージハンドラ(ルーティング部)

26.3.1 動作概要

メッセージハンドラは、CANモジュールが受信したメッセージを、ルーティングマップの内容に従って配信します。

メッセージハンドラの処理概要は、以下のとおりです。

- ルーティングマップの中から、受信したメッセージのIDE、RTR、IDと一致するエントリを検索
- 一致したエントリの内容に従って、送信FIFOにメッセージを転送

メッセージハンドラは、以下の手順でルーティング処理を行います。

- (1) 受信したメッセージフレームからIDE、RTR、IDを取得
- (2) GPCCRレジスタのRMPCEビットが“1”の場合、エントリデータのパリティチェックを実施(注1)
- (3) エントリデータからIDE、RTR、ID、IDMを取得
- (4) IDE、RTR、IDが一致するか判定(一致しなければ、検索するエントリを1つ進めて(2)へ)(注2)
- (5) エントリデータから転送先の送信FIFO情報(宛先チャンネルと送信FIFO番号)を取得
- (6) エントリデータから処理対象チャンネル情報を取得し、受信チャンネルが処理対象かを確認(注3)
- (7) 同一チャンネル転送判定
 - 同一チャンネルへの転送が許可されている場合
取得した送信FIFO情報に従い、該当するすべての送信FIFOにメッセージを転送
 - 同一チャンネルへの転送が禁止されている場合
取得した送信FIFO情報の内、受信チャンネル以外の送信FIFOにメッセージを転送(注4)

注1. パリティエラーを検出した場合、処理中のメッセージは破棄されます。

注2. いずれのエントリにも一致しなかった場合、メッセージは破棄されます。

注3. メッセージを受信したチャンネルが処理対象でなかった場合、メッセージは破棄されます。

注4. 宛先チャンネルが受信チャンネル以外にない場合、GSRレジスタのRESビットが“1”(ルーティングエラー)になります。

同時に複数のチャンネルからメッセージを受信した場合は、チャンネル番号の小さいチャンネルから順に処理を行います。

26.3.2 ルーティングマップ

ルーティングマップは、メッセージフレームを転送するための情報を定義するマップです。リセット後、ルーティングマップは不定値になりますので、リセットするたびに設定が必要です。

ルーティングマップの読み書きは、GRMBPレジスタとGRMmH/GRMmLレジスタ(m=0~15)を使用しています。GRMBPレジスタでブロックを指定し、GRMmH/GRMmLレジスタで各エントリにアクセスします。1ブロックあたり16エントリで、24ブロック(384エントリ)あります。

図 26.47にエントリアクセスブロック図を、表 26.6にルーティングマップ設定例を示します。

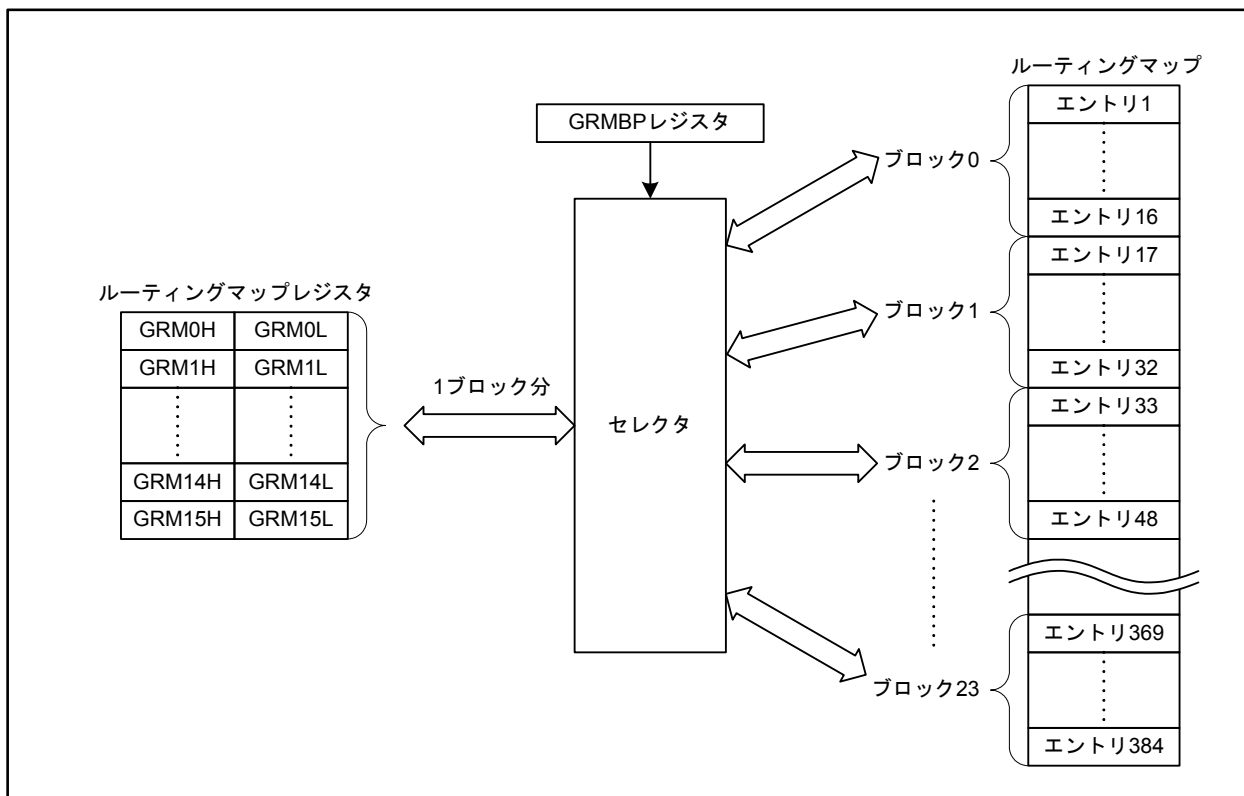


図 26.47 エントリアクセスブロック図

表 26.6 ルーティングマップ設定例(m=0~15) (R32C/145グループの例)

	GRMmHレジスタ							GRMmLレジスタ			
	PAR 1bit (注1)	FIFO 1bit (注2)	DCH5~DCH0 6bit	LA1 8bit	LA0 2bit	PCH5~PCH0 6bit	IDM 8bit (注3)	PAR 1bit (注1)	IDE 1bit (注4)	RTR 1bit (注4)	ID 29bit (注4、5)
エントリ1	0	1	11 1111b	00h	00b	11 1110b	00h	0	0	0	0000 0001h
エントリ2	0	1	00 1111b	01h	00b	11 0000b	00h	0	0	0	0000 0002h
エントリ3	0	1	00 0001b	02h	01b	00 0010b	00h	0	0	0	0000 0010h
エントリ4	0	1	00 0010b	03h	01b	00 0001b	00h	0	0	0	0000 0011h
エントリ5	0	0	00 0011b	04h	01b	00 1000b	00h	0	0	0	0000 0020h
エントリ6	0	1	00 0001b	05h	10b	00 1000b	00h	0	0	0	0000 0150h
エントリ7	0	1	00 0111b	06h	10b	11 1000b	00h	0	0	0	0000 0256h
エントリ8	0	0	00 0100b	07h	01b	00 0011b	00h	0	0	0	0000 0333h
エントリ9	0	1	00 1010b	08h	01b	00 0101b	00h	0	0	0	0000 0366h
エントリ10	0	0	00 0010b	09h	01b	00 0001b	0Fh	0	0	0	0000 0400h
エントリ11	0	1	00 0001b	10h	00b	00 0010b	00h	0	0	0	0000 0621h
エントリ12	0	0	10 1100b	11h	00b	00 0011b	00h	0	0	0	0000 0622h
エントリ13	0	1	01 0010b	12h	10b	00 0100b	00h	0	0	0	0000 0623h
エントリ14	0	1	00 0110b	13h	10b	00 0001b	00h	0	0	0	0000 0651h
エントリ15	0	0	00 0110b	14h	11b	00 1000b	00h	0	0	0	0000 0660h
エントリ16	0	1	00 1010b	15h	11b	01 0000b	00h	0	0	0	0000 0681h
エントリ17	0	1	00 1011b	16h	01b	00 0100b	00h	0	0	0	0000 06F3h
エントリ18	0	1	00 0110b	17h	10b	01 1000b	7Fh	0	0	0	0000 0700h
:	:	:	:	:	:	:	:	:	:	:	:
エントリ379	0	0	01 1111b	23h	10b	10 0000b	00h	0	1	0	10B0 00F6h
エントリ380	0	0	00 0101b	24h	10b	11 1010b	00h	0	1	0	130A 0005h
エントリ381	0	0	10 0000b	25h	11b	01 1111b	00h	0	1	0	1F00 1000h
エントリ382	0	0	00 1110b	26h	00b	11 0001b	00h	0	1	1	12B0 000Fh
エントリ383	0	0	11 0001b	27h	01b	00 0110b	00h	0	1	1	1F00 0030h
エントリ384	0	1	00 0001b	28h	11b	00 0110b	00h	0	1	1	1F00 F000h

注1. PAR (パリティ)は、GRMmH、GRMmLレジスタに値を設定したときに計算されます。

注2. 1つのエントリに対する送信FIFO番号は“0”か“1”のいずれか一方しか指定できません。

注3. マスク情報は、IDの下位8ビットに適用されます。マスク情報により複数のIDを指定する場合は、最も値の小さいID値をIDフィールドに設定してください。

注4. 下位31ビット(IDE+RTR+ID)の値は、エントリ1からエントリ384に向かって昇順になるようにルーティングマップを設定してください。

注5. IDが重複しないように設定してください。

エントリ10は、データフレーム、標準フォーマット、メッセージIDが400h~40Fhの範囲であるメッセージフレームを、チャンネル0で受信したとき、チャンネル1の送信FIFO0へ転送する場合の設定例です。

エントリ18は、データフレーム、標準フォーマット、メッセージIDが700h~77Fhの範囲であるメッセージフレームを、チャンネル3またはチャンネル4で受信したとき、チャンネル1およびチャンネル2の送信FIFO1へ転送する場合の設定例です。

26.3.3 ルーティングマップのSUM値演算

ルーティングマップ設定後、チェックSUMのためのSUM値が算出できます。SUM値の演算はGRMCCレジスタのCALCビットを“1”にすると開始されます。SUM値演算の実行状況はGSCFCレジスタのSCS1~SCS0ビットで、SUM値演算の結果(ルーティングマップのSUM値)はGRMSRレジスタで確認できます。

SUM値演算では以下の処理が実行されます。

- (1) GMRECレジスタに設定したエントリ数分のルーティングマップデータを加算します。1エントリあたり64ビットのデータを32ビット単位に分割して加算します。合計値から“加算値(A)”と“キャリー(B)”を算出します。ただし、PARビットは“0”に置き換えて加算します。
- (2) “加算値(A)”と“キャリー(B)”を加算します。このとき、再び発生するキャリーは無視し、“加算値(C)”を算出します。
- (3) “加算値(C)”の全ビットを反転した値をSUM値とします。

図 26.48にルーティングマップのSUM値算出方法を示します。

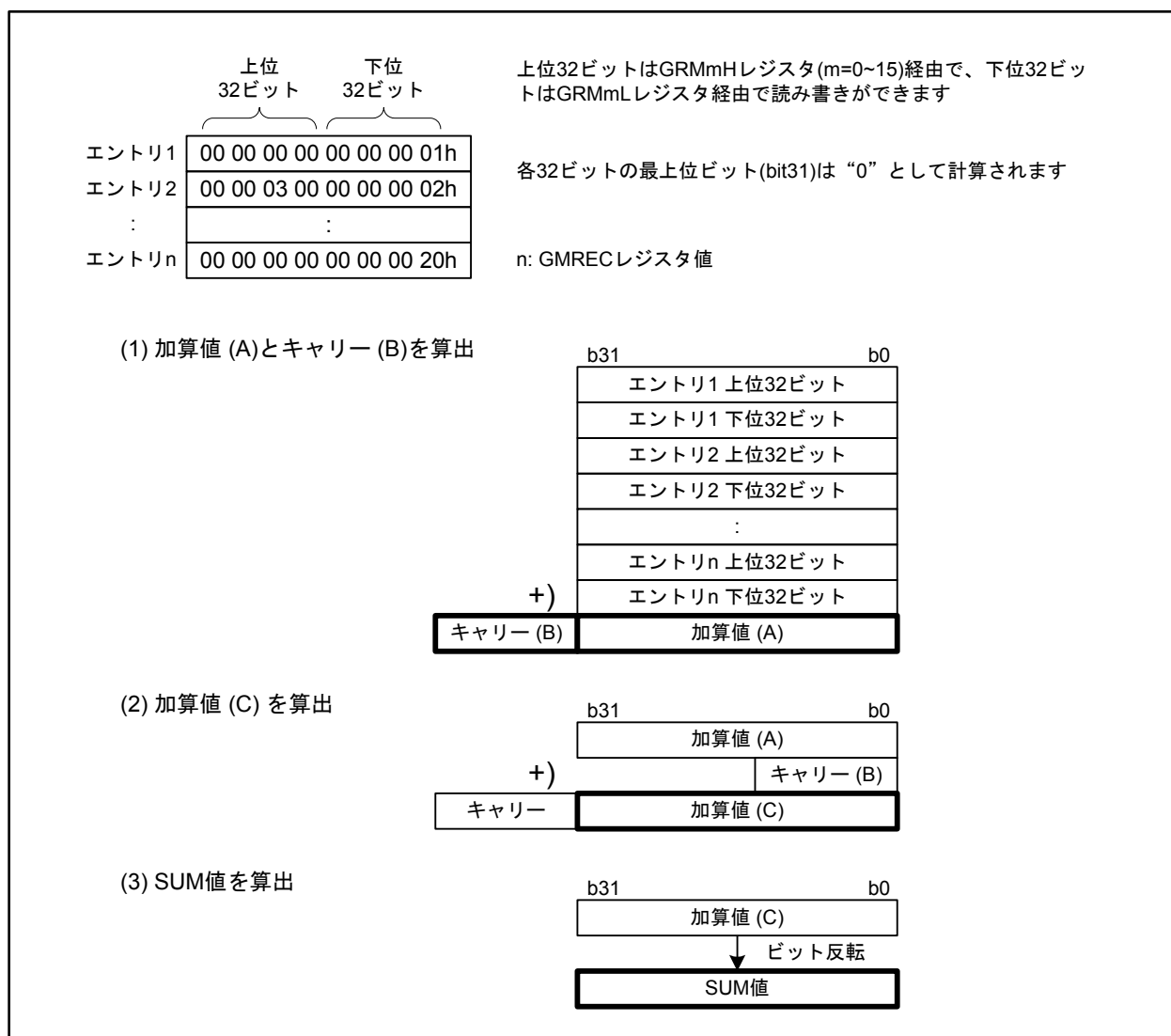


図 26.48 ルーティングマップのSUM値算出方法

26.4 送信FIFO

送信FIFOはCANチャンネルごとに32段×2列(FIFO0、FIFO1)あります。

送信FIFOは一段が16バイト(1フレーム分)で構成されています。

送信FIFOにメッセージが存在する場合、GTFRCレジスタのFIFOビットとCH2~CH0ビットを設定する、もしくはGFRR3レジスタを読み出すことにより、送信FIFOからGFRR0~GFRR3レジスタへ先頭フレームの転送が開始されます。転送中はGTFRSレジスタのBUSYビットが“1”になります。GFRR3レジスタを読み出したとき、送信FIFOにメッセージが存在すれば、次の転送が開始されます。チャンネルiの送信FIFOjに格納されているフレーム数は、GFijFLレジスタで確認できます。

図 26.49に送信FIFO一段の構成を示します。

標準ID	IDE “0”	RTR	EPC	標準ID	“0”	Data	LA0	予約	DLC	LA1	Data	TS	Data
	1bit	1bit	1bit	11bit	18bit	16bit	2bit	2bit	4bit	8bit	32bit	16bit	16bit
拡張ID	IDE “1”	RTR	EPC	拡張ID		Data	LA0	予約	DLC	LA1	Data	TS	Data
	1bit	1bit	1bit	29bit		16bit	2bit	2bit	4bit	8bit	32bit	16bit	16bit

図 26.49 送信FIFO一段の構成

26.4.1 送信FIFOチェック

送信FIFOのリード/ライトチェックを行います。

送信FIFOチェックはコンフィグレーションモードで、かつGCSRレジスタが“00h”のとき、GTFCCレジスタのCHKビットを“1”にすると開始されます。

送信FIFOチェックの結果はGSCFCレジスタのFCSI~FCS0ビットで確認できます。

26.4.2 パリティチェック

メッセージフレームを送信FIFOに転送する際に、パリティ情報が付加されます。パリティチェック機能はGPCCRレジスタで許可/禁止できます。

パリティチェックの結果はGFRR0レジスタのEPCビットで確認できます。

26.4.3 送信FIFO関連の割り込み

26.4.3.1 送信FIFOクリティカルレベル割り込み

送信FIFOクリティカルレベル割り込み要求は、チャンネル*i*の送信FIFO*j*に格納されたフレーム数がGFijCLレジスタで設定したフレーム数を超えると発生します。

図 26.50に送信FIFOクリティカルレベル割り込み要求発生タイミングを示します。

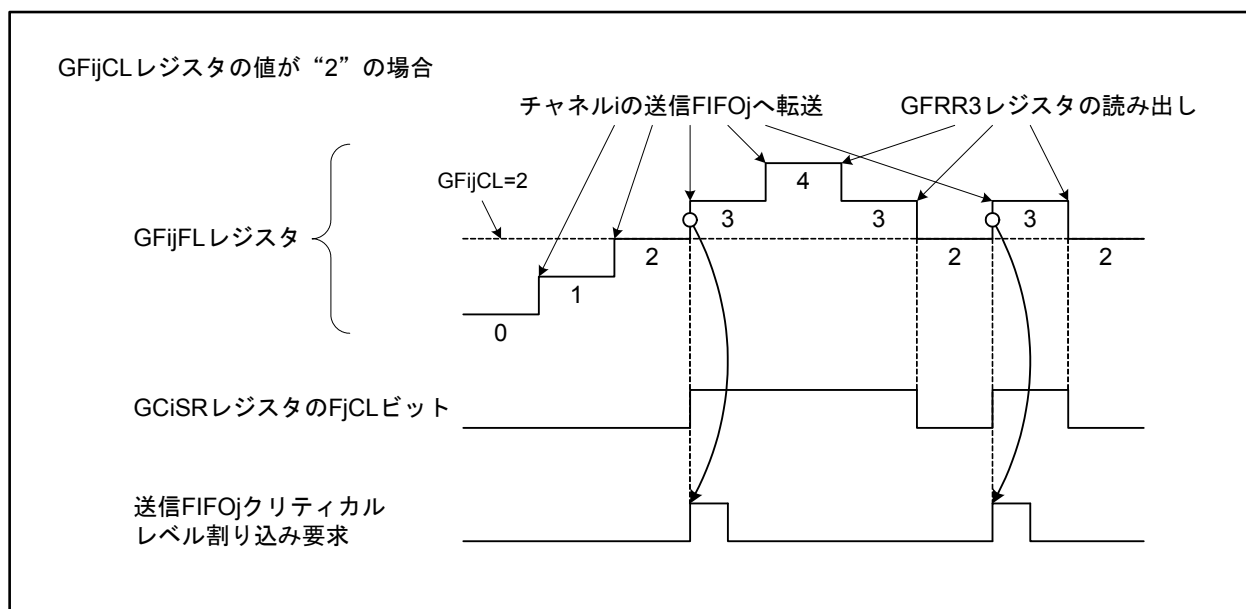


図 26.50 送信FIFOクリティカルレベル割り込み要求発生タイミング

26.4.3.2 送信FIFOオーバフロー割り込み

送信FIFOへメッセージフレームが転送される時、該当するFIFOにすでに32フレームのメッセージが存在する場合、先頭フレームが破棄されて最新フレームが格納されます。そのとき、GCiSRレジスタのFjOビットが“1”(送信FIFO*j*オーバフローあり)になり、割り込み要求が発生します。オーバフローが発生した場合、破棄されたフレームの数を確認することはできません。オーバフローが発生した送信FIFOのデータは保証されません。

26.5 割り込み

CANゲートウェイモジュールには、以下の割り込みがあります。

(1) CANiゲートウェイ送信FIFO割り込み

4つの割り込み要因があります。どの要因による割り込み要求が発生したかは、GCiSRレジスタで確認できます。

- チャンネルi送信FIFO0クリティカルレベル
- チャンネルi送信FIFO1クリティカルレベル
- チャンネルi送信FIFO0オーバフロー
- チャンネルi送信FIFO1オーバフロー

(2) CANゲートウェイエラー割り込み

割り込み要因には以下の2つがあります。どの要因による割り込み要求が発生したかは、GSRレジスタで確認できます。

- ルーティングエラー
- ハードウェアエラー

26.6 設定手順例

26.6.1 CANゲートウェイモジュールの設定

CANゲートウェイモジュールの初期設定手順例を示します。

(1) コンフィグレーションモードへの移行

GMRレジスタが“0000 0001b”(ルーティングモード)である場合は“0000 0000b”を書き、“0000 0000b”になった後、GCSRレジスタが“00h”(全チャンネルルーティング停止)になったことを確認する。

GMRレジスタが“0000 0010b”(ゲートウェイリセットモード)である場合は、“0000 0000b”になるまで待つ。

(2) ルーティングマップの設定

(a) ルーティングマップベースポイントの指定

GRMBPレジスタにブロック番号を設定する。

(b) エントリデータの設定(同一ブロック内)

GRMmL、GRMmHレジスタ(m=0~15)に、同一ブロック内のエントリデータを、必要な数だけ繰り返し設定する。

他のブロックのエントリデータを設定する場合は、(a)から繰り返す。

(c) ルーティングマップのエントリ数の設定

GMRECレジスタに、エントリ数-1の値を設定する。

(3) SUM演算(SUM演算を行う場合)

(a) SUM演算開始

GRMCCレジスタのCALCビットに“1”を書く。

(b) SUM演算完了待ち

GSCFCレジスタのSCS1~SCS0ビットが“10b”になるまで待つ。

(c) SUM演算結果の確認

GRMSRレジスタに格納された計算結果が期待値と同じであることを確認する。

(4) 送信FIFOチェック(送信FIFOチェックを行う場合)

(a) 送信FIFOチェック開始

GTFCCレジスタのCHKビットに“1”を書く。

(b) 送信FIFOチェック完了待ち/確認

GSCFCレジスタのFCS1~FCS0ビットが“10b”または“11b”になるまで待つ。

FCS1~FCS0ビットが“11b”になった場合は、送信FIFOチェックが異常終了しているため、フェイルセーフ処理を実施する。

(5) 送信FIFO割り込みの設定

(a) FIFOクリティカルレベルの設定

GFijCLレジスタに、FIFOクリティカルレベル-1の値を設定する。

(b) 送信FIFO割り込みの許可/禁止設定

GCiIEレジスタのFjCLIEビットで送信FIFOjクリティカルレベル割り込みの許可/禁止を、FjOEビットで送信FIFOjオーバーフロー割り込みの許可/禁止を設定する。

(6) エラー割り込みの許可/禁止設定

GIERレジスタのREREビットでルーティングエラー割り込みの許可/禁止を、HEREビットでハードウェアエラー割り込みの許可/禁止を設定する。

- (7) パリティチェックの許可/禁止設定
GPCCRレジスタのPCEiビットでチャンネルiパリティチェックの許可/禁止を、RMPCEビットでルーティングマップパリティチェックの許可/禁止を設定する。
- (8) ルーティングの許可/禁止設定
GCCRレジスタのCHiEビットで、チャンネルiルーティングの許可/禁止を設定する。
- (9) エコーバックの許可/禁止設定
GEBCRレジスタのECHOビットで、同一チャンネルへの転送許可/禁止を設定する。
- (10) タイムスタンプタイマの設定
 - (a) タイムスタンプタイマのカウントソースの設定
GTSCRレジスタのDIV2~DIV0ビットで、カウントソースの分周比を設定する。
 - (b) タイムスタンプタイマ起動
GTSCRレジスタのCSTビットに“1”(カウント開始)を書く。
- (11) ルーティングモードへの移行
GMRレジスタのOMビットに“1”(ルーティングモード)を書く。
- (12) ルーティング許可チャンネルの状態確認
(8)で設定したルーティング許可チャンネルが有効になっていることを、GCSRレジスタのCHiSビットで確認する。
- (13) CANモジュールの初期設定
使用するチャンネルのCANモジュールの初期設定を実施する。
初期設定完了後、CANモジュールがメッセージを受信することで、CANゲートウェイモジュールはルーティング処理を実施します。

26.6.2 CANモジュールの設定

ゲートウェイ機能を使用するときの、CANモジュールの設定について説明します。

個々のCANモジュールは、GCCRレジスタの対象ビットをルーティング許可に設定することで、メールボックス[12]~[15]に受信したCANフレームを自動的にCANゲートウェイモジュールへ転送します。

以下に、CANゲートウェイモジュールを使用する際に必要なCAN関連レジスタの設定内容を示します。

指定のないCAN関連レジスタについては、任意の設定が可能です。

26.6.2.1 CANi制御レジスタ (CiCTLRレジスタ)の設定

ゲートウェイ機能を使用する場合、CANi制御レジスタには以下の設定を行ってください。

表 26.7 CANi制御レジスタの設定値

レジスタ	ビット	機能
CiCTLR	CANM	“00b” (CANオペレーションモード)を設定してください(注1)
	SLPM	“0” (CANスリープモードではない)を設定してください(注1)
	BOM	バスオフ復帰モードを選択してください
	RBOC	バスオフから強制復帰する場合“1”にしてください
	7~6	“00b”にしてください
	MBM	メールボックスモードを選択してください(注2)
	IDFM	IDフォーマットを選択してください
	MLM	“0” (オーバライトモード)にしてください(注3)
	TPM	送信優先順位モードを選択してください
	TSRC	タイムスタンプカウンタをリセットする場合“1”にしてください
	TSPS	タイムスタンププリスケラを選択してください

注1. CANの動作モードは、いつでも変更できます。ただし、CANオペレーションモード以外では、CANゲートウェイモジュールへの転送が停止します。

注2. MBMビットの設定によって、メッセージ制御レジスタやマスクレジスタなどの設定内容が変わります。

注3. ゲートウェイ転送用メールボックスに連続してメッセージを受信するために必要な設定です。

26.6.2.2 メールボックスの設定

通常メールボックスモード、FIFOメールボックスモードのいずれのモードでも、ゲートウェイ機能を使用することができます。ゲートウェイ機能を使用する場合、どちらのモードでもメールボックス[12]~[15]がゲートウェイ受信専用メールボックスとなります。

表 26.8 メールボックスの設定

メールボックス	MBMビット=0 (通常メールボックスモード)	MBMビット=1 (FIFOメールボックスモード)
メールボックス[0]~[7]	通常メールボックス	通常メールボックス
メールボックス[8]~[11]		送信FIFO
メールボックス[12]~[15]	ゲートウェイ受信メールボックス	ゲートウェイ受信FIFO

26.6.2.3 通常メールボックスモード時(MBM=0)のレジスタ設定

通常メールボックスモード時(MBM=0)は、表 26.9のように各レジスタを設定してください。

表 26.9 通常メールボックスモード時(MBM=0)に使用するレジスタと設定値

レジスタ	ビット	機能
CiMKR3	EID	すべて“0”(対応するEIDビットは比較されない)にしてください
	SID	すべて“0”(対応するSIDビットは比較されない)にしてください
	31~29	“000b”にしてください
CiMKIVLR	11~0	それぞれのメールボックスの用途に合わせて設定してください
	15~12	すべて“0”(マスク有効)にしてください
CiMB12~ CiMB15	EID	受信した拡張IDの下位18ビットが格納されます
	SID	受信した拡張IDの上位11ビット、または受信した標準IDが格納されます
	RTR(注1)	リモートフレームを選択する場合は“1”にしてください
	IDE(注1)	拡張IDを使用する場合は“1”にしてください
CiMIER	11~0	それぞれのメールボックスの用途に合わせて設定してください
	15~12	“1”(受信割り込み許可)にしてください(注2)
CiMCTL12~ CiMCTL15	NEWDATA	受信完了フラグ
	INVALIDDATA	受信中ステータスフラグ
	MSGLOST	メッセージロストフラグ
	3	“0”にしてください
	ONESHOT	“0”(ワンショット受信禁止)にしてください
	5	“0”にしてください
	RECREQ	“1”(受信メールボックスに設定する)にしてください
	TRMREQ	“0”(送信メールボックスに設定しない)にしてください

注1. IDEとRTRの設定により、受信するフレームのIDフォーマット(標準IDまたは拡張ID)とフレームフォーマット(データフレームまたはリモートフレーム)を選択できます。4種類のフレームをすべて受信する場合は、4つのメールボックスにそれぞれ異なる値を設定してください。

注2. 受信完了割り込みは発生しません。CANゲートウェイモジュールへ受信完了を通知するための設定です。

26.6.2.4 FIFOメールボックスモード時(MBM=1)のレジスタ設定

FIFOメールボックスモード時(MBM=1)は、表 26.10のように各レジスタを設定してください。

表 26.10 FIFOメールボックスモード時(MBM=1)に使用するレジスタと設定値

レジスタ	ビット	機能
CiMKR2、 CiMKR3	EID	すべて“0”(対応するEIDビットは比較されない)にしてください
	SID	すべて“0”(対応するSIDビットは比較されない)にしてください
	31~29	“000b”にしてください
CiFIDCR0、 CiFIDCR1	EID	すべて“0”(対応するEIDビットは“0”)にしてください
	SID	すべて“0”(対応するSIDビットは“0”)にしてください
	29	“0”にしてください
	RTR (注1)	リモートフレームを選択する場合は“1”にしてください
	IDE (注1)	拡張IDを使用する場合は“1”にしてください
CiMKIVLR	11~0	それぞれのメールボックスの用途に合わせて設定してください
	15~12	すべて“0”(マスク有効)にしてください
CiMIER	7~0	それぞれのメールボックスの用途に合わせて設定してください
	8	送信FIFO割り込みを許可する場合は“1”にしてください
	9	送信FIFO割り込み発生タイミングを設定してください
	11~10	“00b”にしてください
	12	“1”(受信FIFO割り込み許可)にしてください(注2)
	13	“0”(受信FIFO割り込み要求は毎回の受信完了後発生)にしてください
	15~14	“00b”にしてください
CiRFCR	RFE	“1”(受信FIFO許可)にしてください
	RFUST	受信FIFO未読メッセージ数ステータスフラグ
	RFMLF	受信FIFOメッセージロストフラグ
	RFFST	受信FIFOフルステータスフラグ
	RFWST	受信FIFOバッファワーニングステータスフラグ
	RFEST	受信FIFO空ステータスフラグ

注1. IDEとRTRの設定により、受信するフレームのIDフォーマット(標準IDまたは拡張ID)とフレームフォーマット(データフレームまたはリモートフレーム)を選択できます。4種類の組み合わせのうち、2種類まで選択できます。

注2. 受信完了割り込みは発生しません。CANゲートウェイモジュールへ受信完了を通知するための設定です。

26.7 ビット検索サポート機能

CANゲートウェイモジュールには、ビット列に含まれる“1”のビット位置検索をサポートする機能があります。この機能はCANゲートウェイモジュールの他の機能とは独立していますので、関連するレジスタ(GBSCn、GBSRn、GBSSnレジスタ(n=0, 1))はGMRレジスタのRSTビットを“1”にしてもリセットされません。

26.7.1 ビット検索サポート機能の動作

GBSCnレジスタのSMDビットで検索モードを設定し、GBSRnレジスタに任意の16ビットのビット列を設定すると、GBSSnレジスタのSCPLビットが“0”(検索中)になり、最もLSB側にある“1”のビット番号がGBSSnレジスタのBP3~BP0ビットに格納されます。このとき、GBSRnレジスタの最もLSB側にある“1”は、“0”に書き換えられます。

GBSRnレジスタに“1”が複数あるときは、検索が繰り返されます。GBSCnレジスタのSMDビットが“0”(オート検索モード)のときは、GBSSnレジスタを読んだ時点で次の検索が始まります。SMDビットが“1”(マニュアル検索モード)のときは、GBSSnレジスタを読んだ後、GBSSnレジスタに任意の値を書くと、次の検索が始まります。GBSSnレジスタに書いた値は無視されます。

最後の“1”が検出されると、そのビット番号がGBSSnレジスタのBP3~BP0ビットに格納されるとともに、GBSSnレジスタのSCPLビットが“1”(検索完了)になります。最後の“1”も“0”に書き換えられ、GBSRnレジスタは“0000h”になります。

26.7.2 ビット検索サポート機能の使用例

GBSR0レジスタを使用して“0108h(0000 0001 0000 1000b)”のビット検索をする場合、以下のような動作になります。

- (1) GBSR0レジスタに“0108h”を書くと1回目の検索が始まります。
- (2) 検索はLSB側から順に行われ、“1”が見つかり検索を停止し、検索結果を示すGBSS0レジスタが“03h”(ビット3が“1”、検索中)になります。検索済みのビットは“0”になるので、GBSR0レジスタは“0100h”になります。
- (3) オート検索モードでは、GBSS0レジスタを読み出した時点で次の検索が始まります。マニュアル検索モードではGBSS0レジスタを読み出した後、GBSS0レジスタに任意の値を書くと次の検索が始まります。このとき、GBSS0レジスタに書いた値は無視されます。
- (4) この時点で“1”になっているビットはビット8のみであるため、ビット8で検索が終わります。このときのレジスタ値は、GBSR0レジスタが“0000h”、GBSS0レジスタが“88h”(ビット8が“1”、検索完了)です。

27. 入出力端子

本マイコンの各端子は、プログラマブル入出力ポートまたは内部周辺機能の入出力として機能します。これらの機能は、機能選択レジスタで切り替えて使用することができます。

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は、端子が出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

図 27.1 に代表的な入出力端子のブロック図を示します。

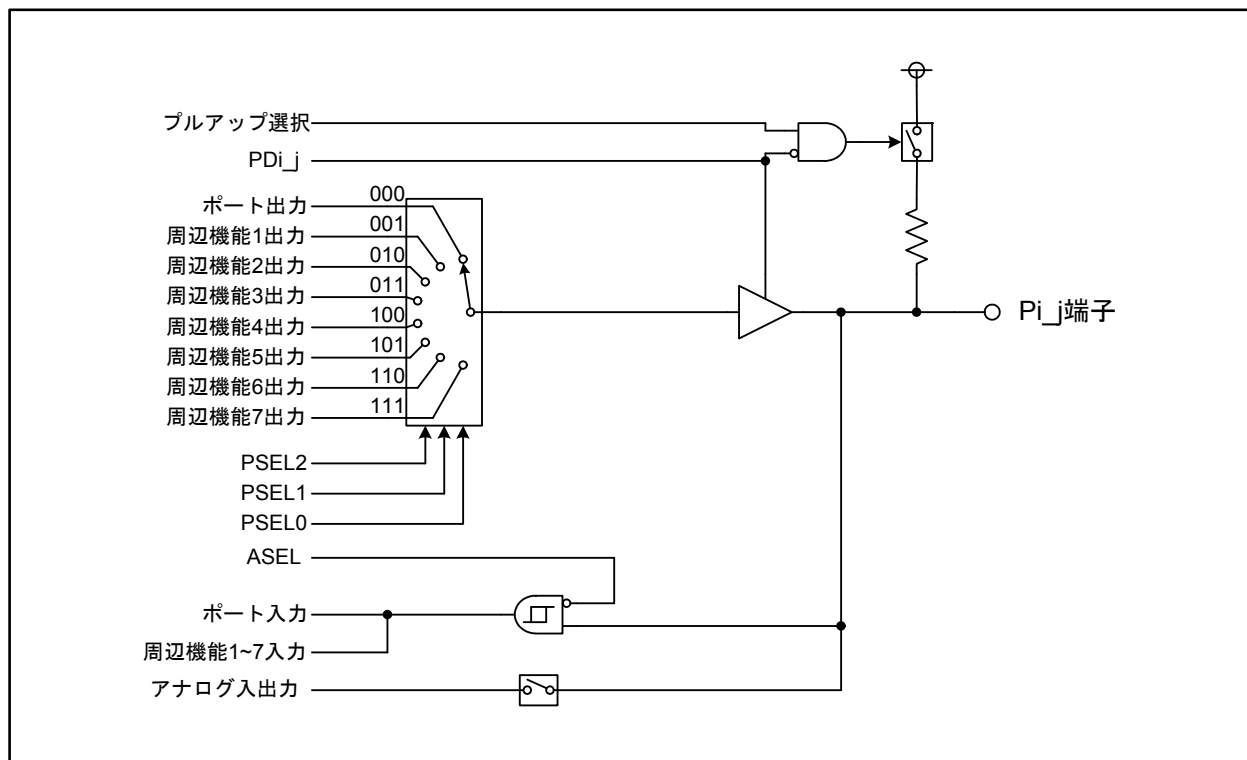


図 27.1 入出力端子ブロック図(代表例) ($i=0\sim 10$ 、 $j=0\sim 7$)

入出力端子には、端子の入出力方向を決定する方向レジスタと、端子の機能を決定する出力機能選択レジスタ、プルアップ抵抗を制御するプルアップ制御レジスタがあります。出力機能選択レジスタには、プログラマブル入出力ポートと周辺機能出力(アナログ出力を除く)のいずれを使用するかを選択するためのビット PSEL2~PSEL0 と、アナログ入出力時に発生する中間電位によって入力バッファの消費電流が増大するのを防ぐためのビット ASEL があります。

アナログ入出力端子として使用する場合は、 PDi_j に“0”(入力)を設定し、PSEL2~PSEL0 に“000b”を、ASEL ビットに“1”を設定してください。

ポート P8_5 は \overline{NMI} と端子を共用する入力専用端子となっており、機能選択レジスタ、方向レジスタのビット 5 とともにありません。また、ポート P9_1 も入力専用端子となっており、機能選択レジスタ、方向レジスタのビット 1 はともに予約領域になっています。

また、ポート P9 は PRCR レジスタの PRC2 ビットにより、ポート P3、ポート P7、ポート P8 は PRCR3 レジスタの PRC30 ビットにより、意図しない書き込みから保護されています(「9. プロテクト」参照)。

27.1 ポートPi方向レジスタ (PDiレジスタ、i=0~10)

端子の入出力方向を選択するためのレジスタです。このレジスタの各ビットは、各端子と一対一に対応しています。

図 27.2にPDiレジスタを示します。

なお、P8_5に対応する方向レジスタのビットはありません。またP9_1に対応する方向レジスタのビットは予約ビットとなっております。

また、PD9レジスタはPRCRレジスタのPRC2ビットにより、PD3、PD7、PD8レジスタはPRCR3レジスタのPRC30ビットにより、意図しない書き込みから保護されています(「9. プロテクト」参照)。

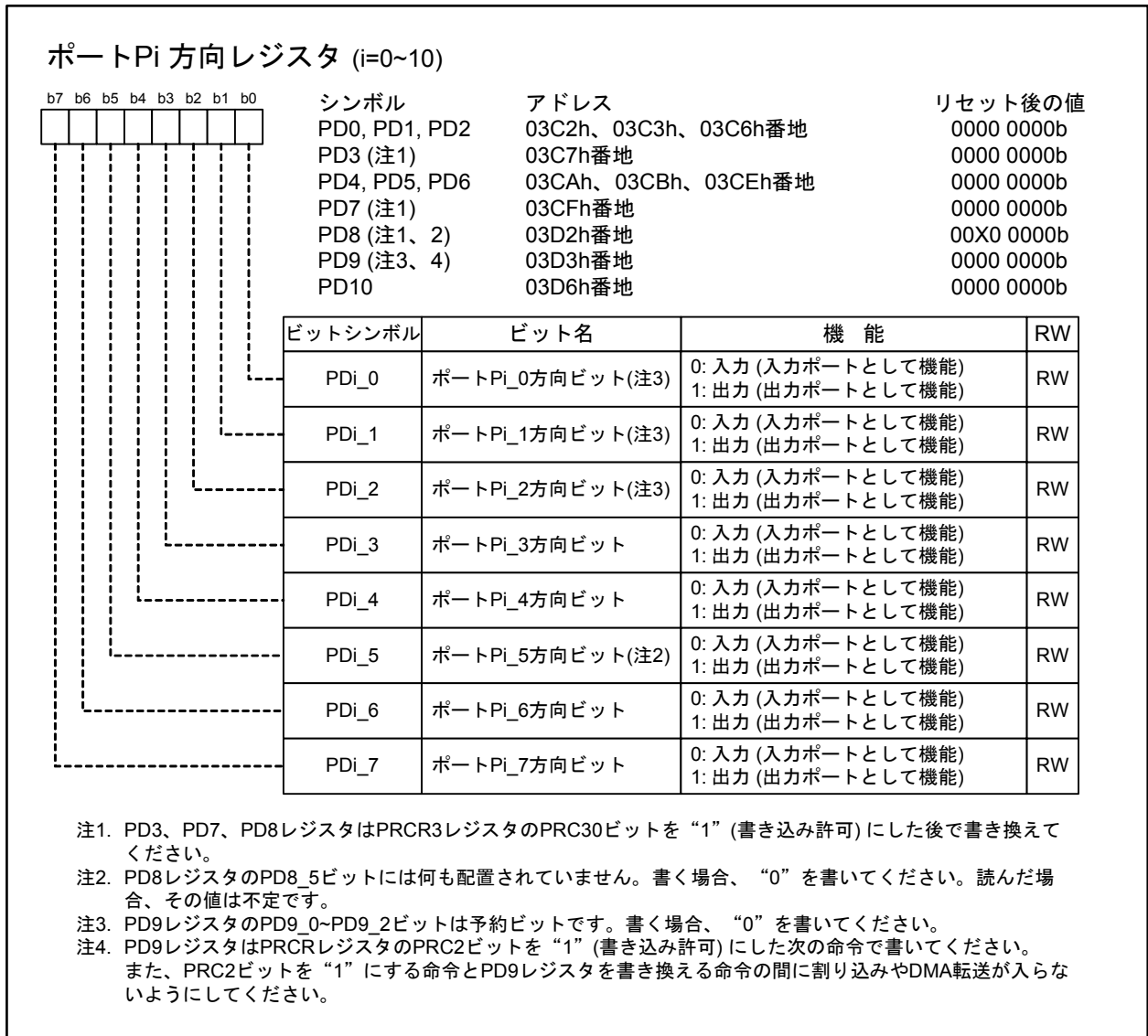


図 27.2 PD0~PD10 レジスタ

27.2 出力機能選択レジスタ

プログラマブル入出力ポートと周辺機能出力が端子を共用している場合、その端子の出力機能を決定するレジスタです。入力に関しては、このレジスタの設定にかかわらず、接続されたすべての周辺機能に入力されます。

出力機能選択レジスタには、プログラマブル入出力ポートと周辺機能出力(アナログ出力を除く)のいずれを使用するかを選択するためのビットPSEL2~PSEL0と、アナログ入出力時に発生する中間電位による消費電流増大を防ぐためのビットASELがあります。

表 27.1にPSEL2~PSEL0の値と周辺機能の相関を、図 27.3~図 27.18に機能選択レジスタを示します。

なお、ポートP8_5、P9_1は入力専用端子ですので、出力機能選択レジスタはありません。

また、P3_iS、P7_iS、P8_iSレジスタはPRCR3レジスタのPRC30ビットにより、またP9_iSレジスタはPRCRレジスタのPRC2ビットにより、意図しない書き込みから保護されています(「9. プロテクト」参照)。

表 27.1 周辺機能の割り当て

PSEL2~PSEL0	周辺機能
001b	タイマ
010b	三相モータ制御機能、シリアルバスインタフェース0, 1
011b	UART
100b	UART特殊機能、CANチャンネル2, 3, 4, 5 (注1)
101b	インテリジェントI/Oグループ0、CANチャンネル0 (注1)、LIN
110b	インテリジェントI/Oグループ1、CANチャンネル1 (注1)
111b	

注1. R32C/142グループには、CANチャンネル0, 1, 4はありません。

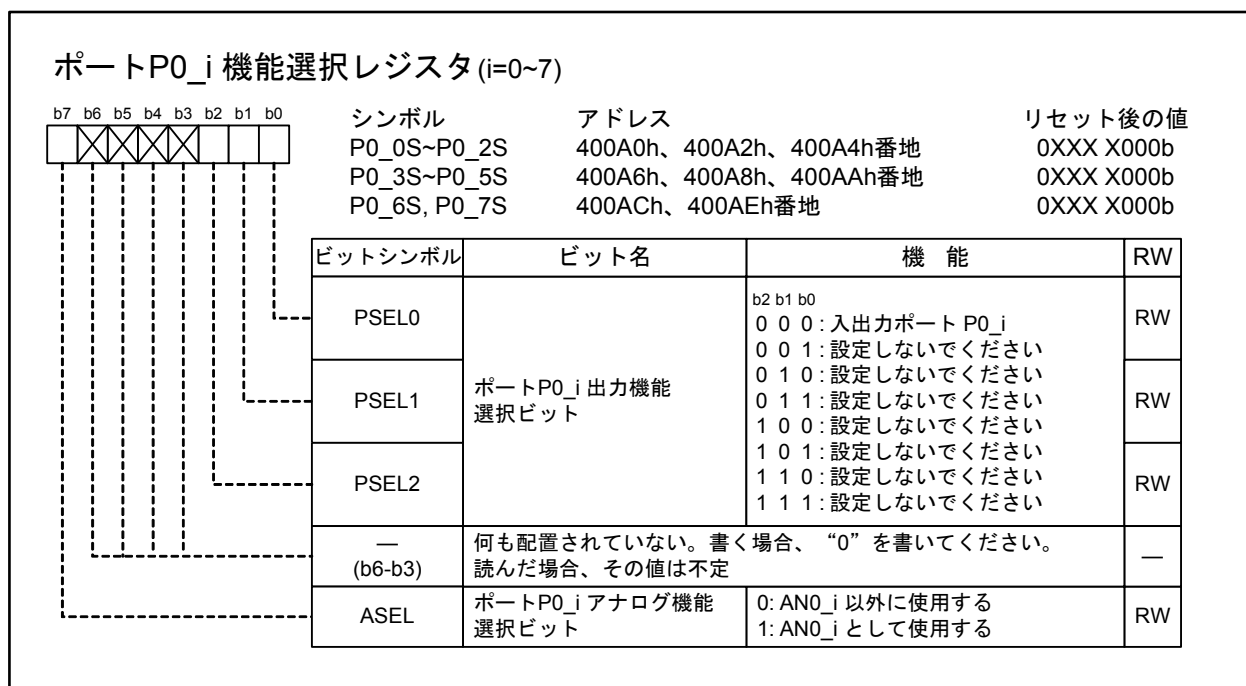


図 27.3 P0_0S~P0_7Sレジスタ

ポートP0_i (i=0~7)はA/Dコンバータ入力AN0_iと端子を共用しています。

プログラマブル入出力ポートとして使用する場合、P0_iSレジスタには“00h”を設定してください。A/Dコンバータ入力として使用する場合は、P0_iSレジスタに“80h”を設定し、PD0_iを“0”(ポートP0_iを入力)に設定してください。

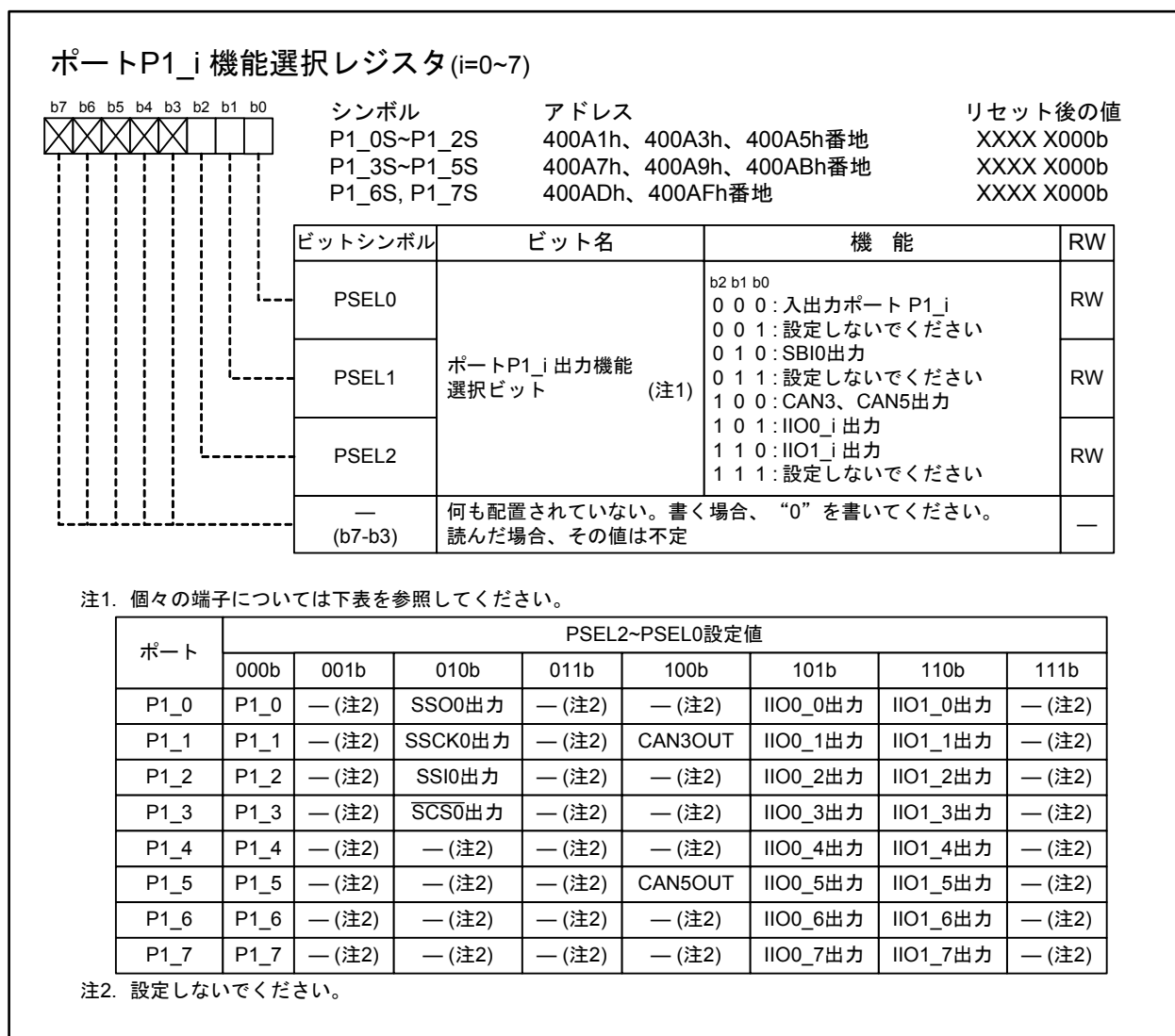


図 27.4 P1_0S~P1_7Sレジスタ(R32C/142グループ)

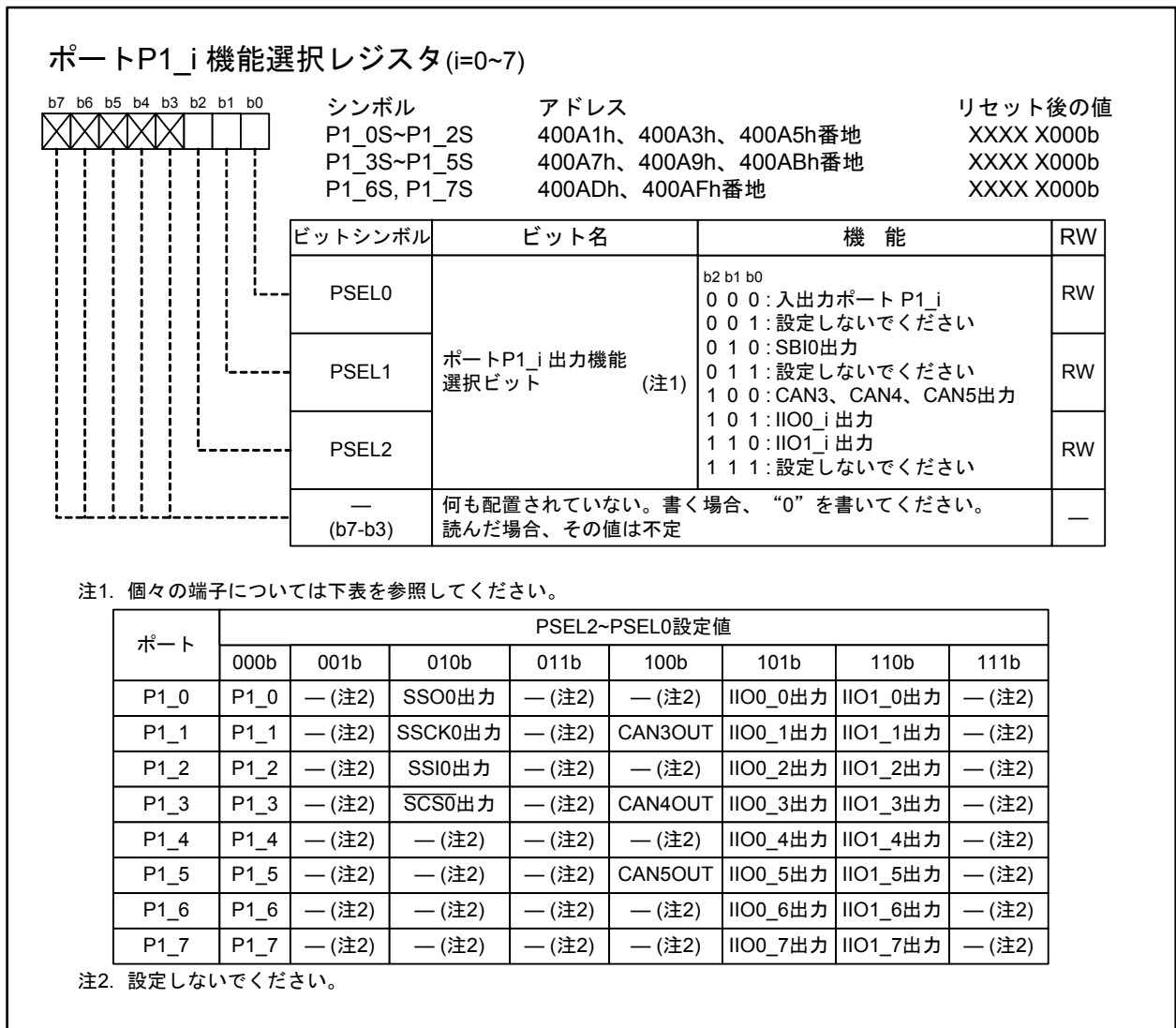


図 27.5 P1_0S~P1_7Sレジスタ(R32C/145グループ)

ポートP1_i(i=0~7)はシリアルバスインタフェース(SBI0)、インテリジェントI/Oグループ0、1(IIO0、IIO1)、CANモジュール、外部割り込み入力と端子を共用しています。

出力端子として使用する場合は、PD1_iを“1”(ポートP1_iを出力)に設定し、図27.4または図27.5にしたがって機能を選択してください。また、入力端子として使用する場合は、PD1_iを“0”(ポートP1_iを入力)に設定してください。

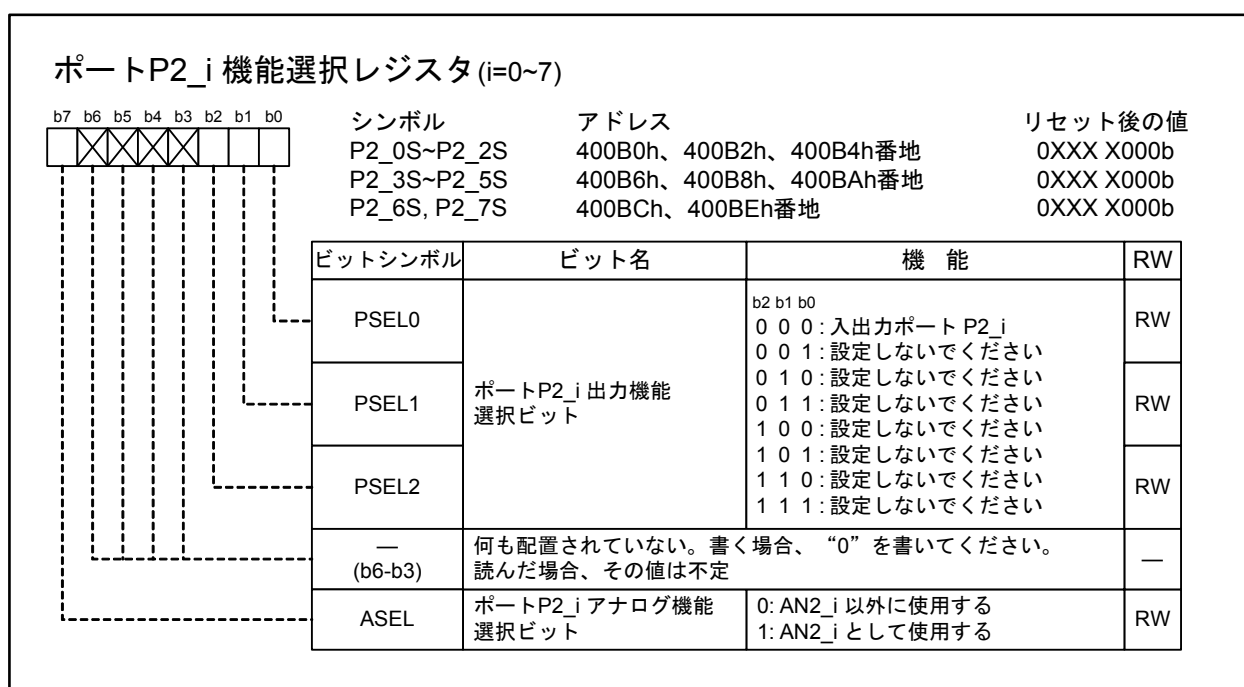


図 27.6 P2_0S~P2_7Sレジスタ

ポートP2_i (i=0~7)はA/Dコンバータ入力AN2_iと端子を共用しています。

プログラマブル入出力ポートとして使用する場合、P2_iSレジスタには“00h”を設定してください。A/Dコンバータ入力として使用する場合は、P2_iSレジスタに“80h”を設定し、PD2_iを“0”(ポートP2_iを入力)に設定してください。

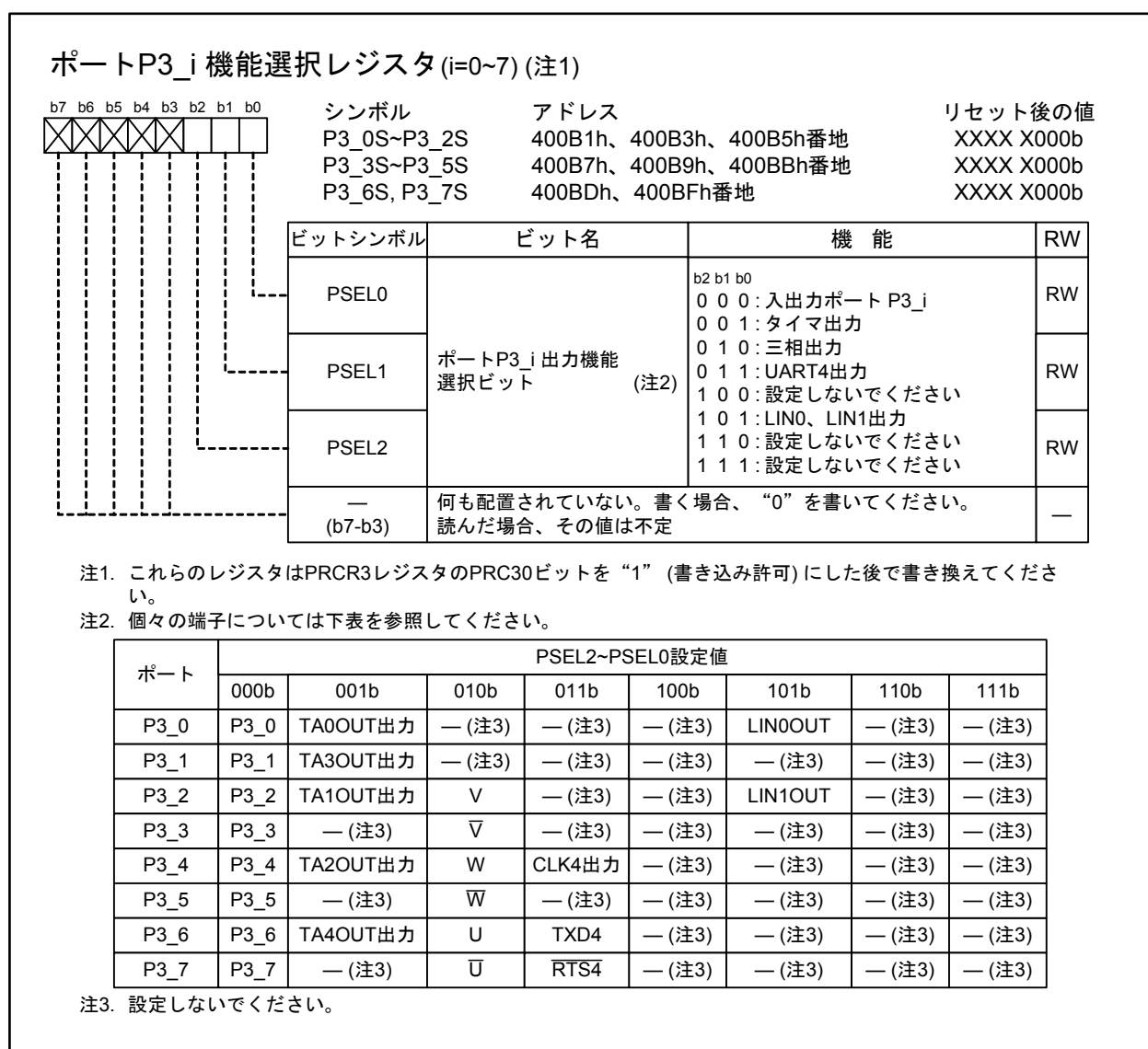


図 27.7 P3_0S~P3_7Sレジスタ

ポート P3_i (i=0~7) はタイマ出力、三相モータ制御出力、シリアルインタフェース (UART4)、LIN モジュールと端子を共有しています。

出力端子として使用する場合は、PD3_iを“1”（ポート P3_iを出力）に設定し、図 27.7にしたがって機能を選択してください。また、入力端子として使用する場合は、PD3_iを“0”（ポート P3_iを入力）に設定してください。



図 27.8 P4_0S~P4_7Sレジスタ

ポート P4_i (i=0~7) はシリアルインタフェース (UART3)、シリアルバスインタフェース (SBI1)、LIN モジュール、インテリジェント I/O グループ 1 (IIO1) と端子を共用しています。

出力端子として使用する場合は、PD4_i を“1” (ポート P4_i を出力) に設定し、図 27.8 にしたがって機能を選択してください。また、入力端子として使用する場合は、PD4_i を“0” (ポート P4_i を入力) に設定してください。

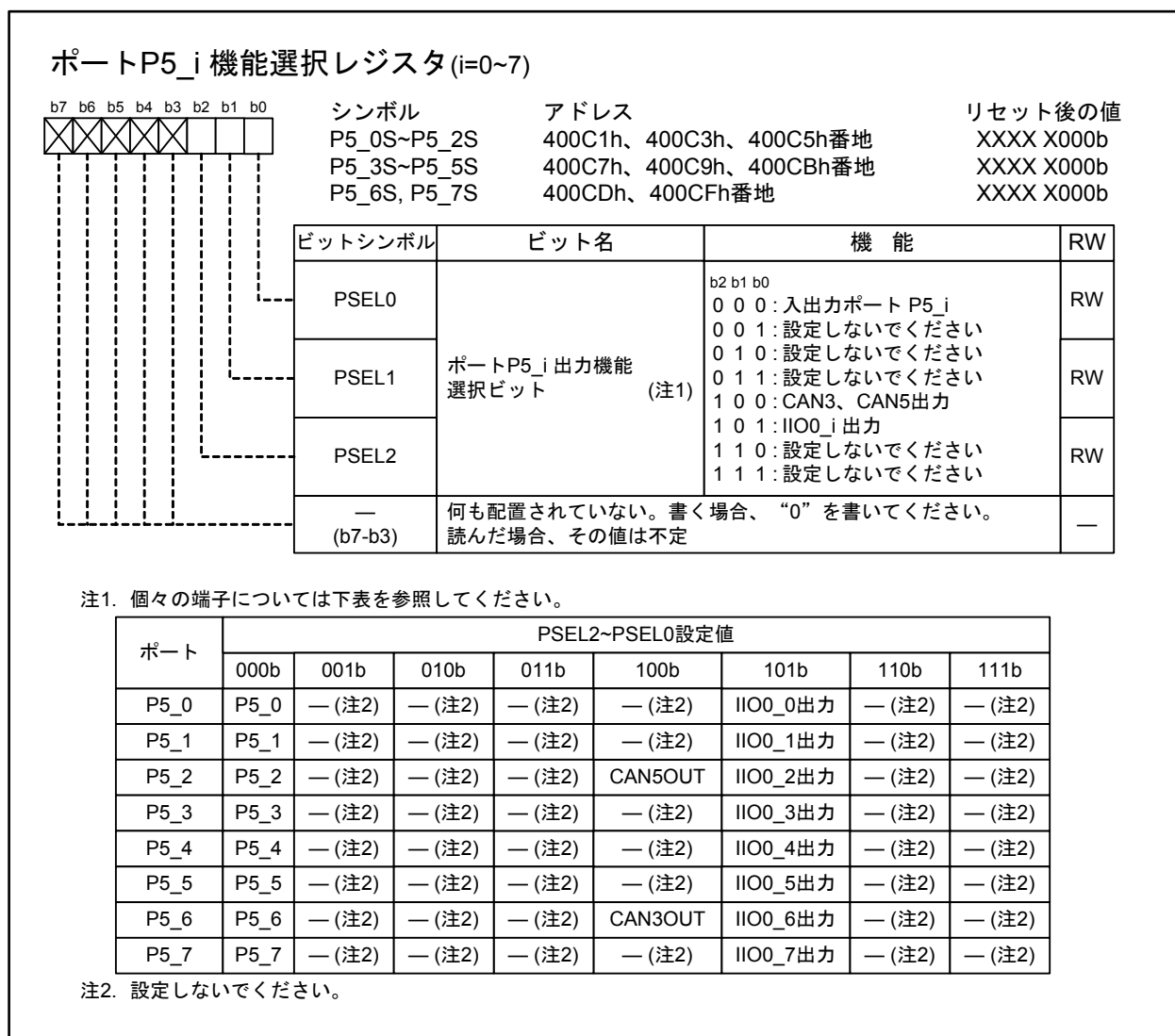


図 27.9 P5_0S~P5_7Sレジスタ(R32C/142グループ)

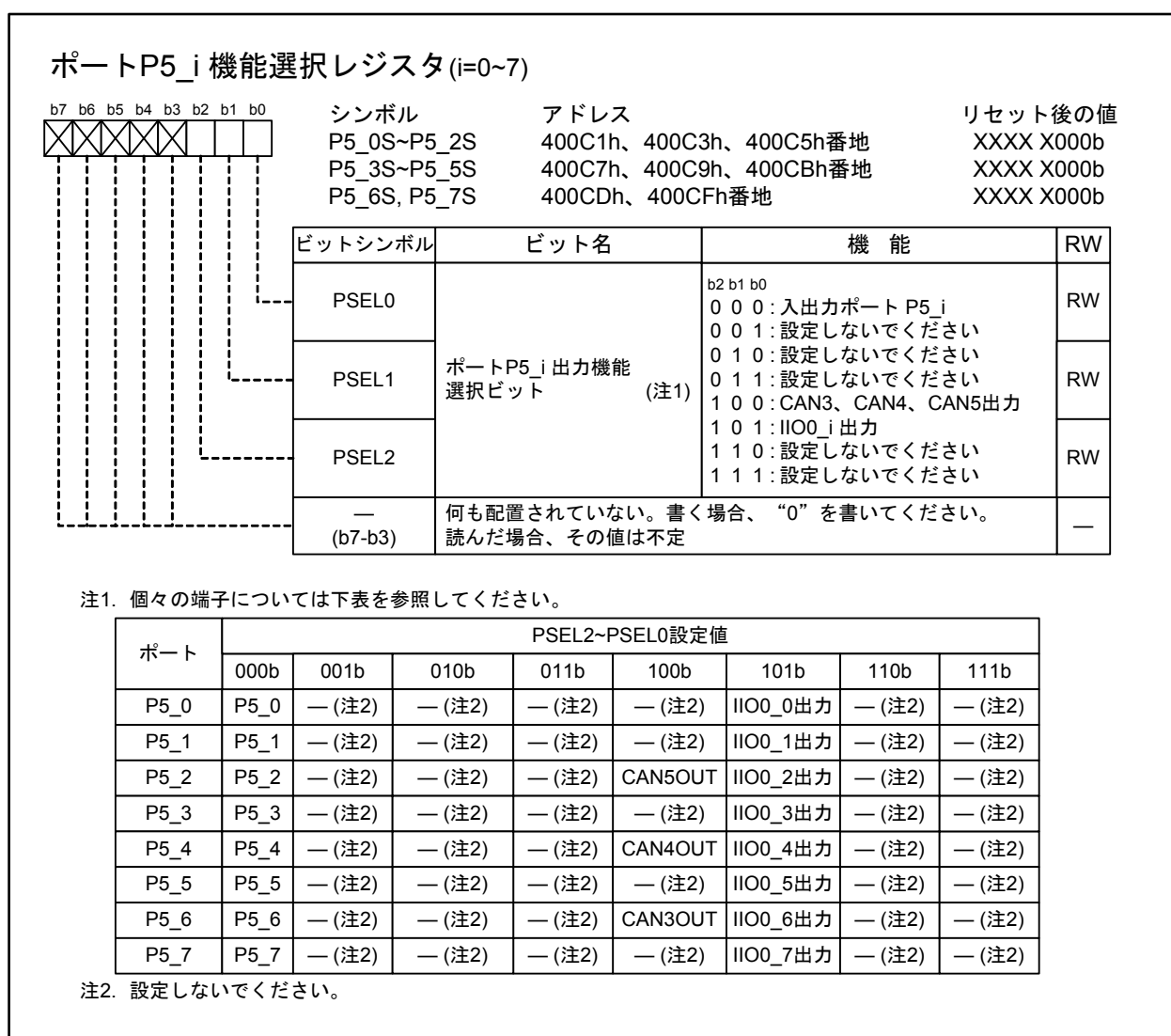


図 27.10 P5_0S~P5_7Sレジスタ(R32C/145グループ)

ポートP5_i(i=0~7)はインテリジェントI/Oグループ0(IIO0)、CANモジュールと端子を共用しています。出力端子として使用する場合は、PD5_iを“1”(ポートP5_iを出力)に設定し、図 27.9または図 27.10にしたがって機能を選択してください。また、入力端子として使用する場合は、PD5_iを“0”(ポートP5_iを入力)に設定してください。

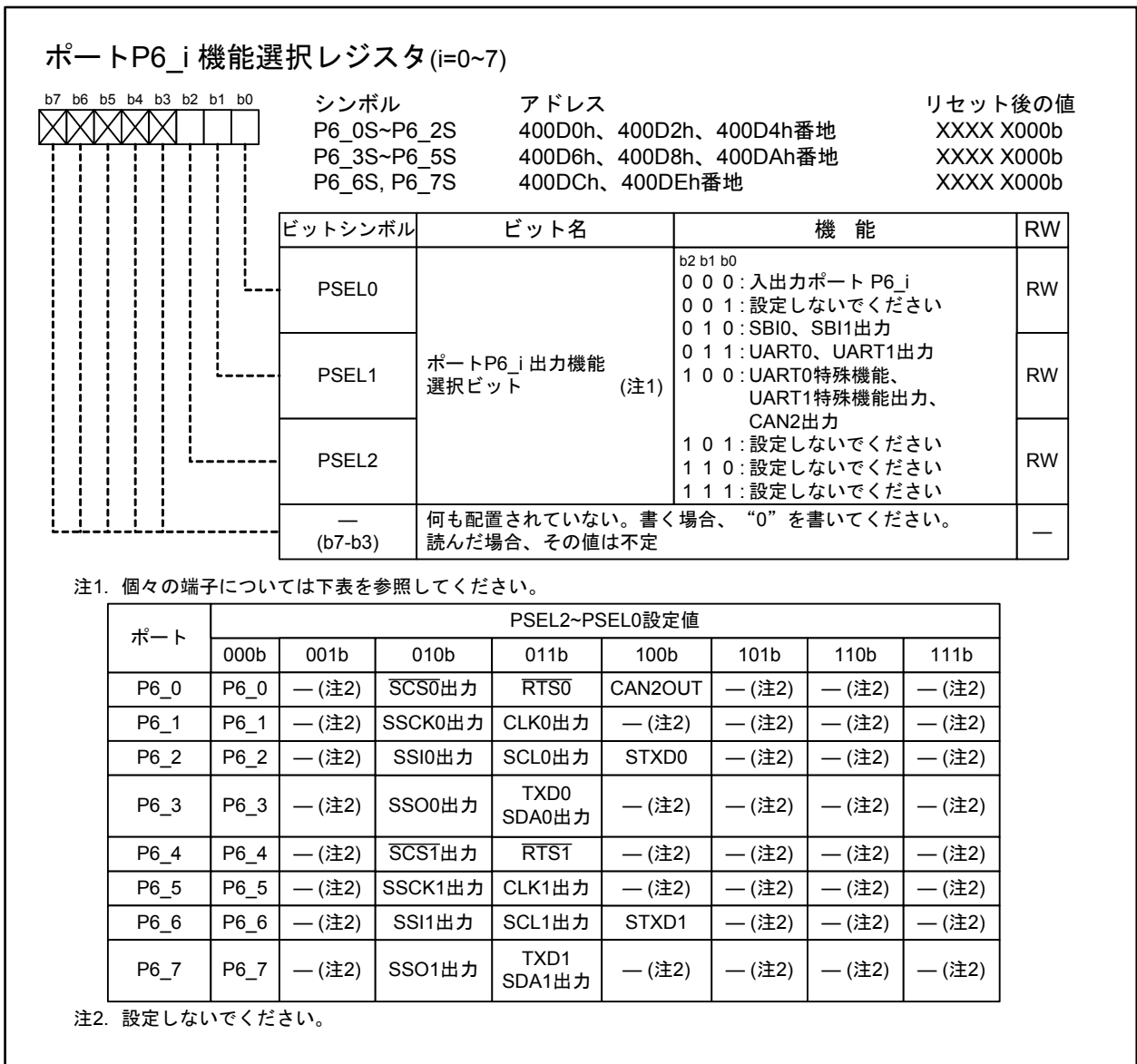


図 27.11 P6_0S~P6_7Sレジスタ

ポートP6_i(i=0~7)はシリアルバスインタフェース(SBI0、SBI1)、シリアルインタフェース(UART0、UART1)、CANモジュール(CAN2)と端子を共有しています。

出力端子として使用する場合は、PD6_iを“1”(ポートP6_iを出力)に設定し、図 27.11にしたがって機能を選択してください。また、入力端子として使用する場合は、PD6_iを“0”(ポートP6_iを入力)に設定してください。

ポートP7_i機能選択レジスタ(i=0~7) (注1)

シンボル	アドレス	リセット後の値
P7_0S~P7_2S	400D1h、400D3h、400D5h番地	XXXX X000b
P7_3S~P7_5S	400D7h、400D9h、400DBh番地	XXXX X000b
P7_6S、P7_7S	400DDh、400DFh番地	XXXX X000b

ビットシンボル	ビット名	機能	RW
PSEL0	ポートP7 _i 出力機能 選択ビット (注2)	b2 b1 b0 0 0 0: 入出力ポート P7 _i 0 0 1: タイマ出力 0 1 0: 三相出力 0 1 1: UART2、UART3出力 1 0 0: UART2特殊機能出力 1 0 1: LIN0出力 1 1 0: IIO1出力 1 1 1: 設定しないでください	RW
PSEL1		RW	
PSEL2		RW	
— (b7-b3)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	—

注1. これらのレジスタはPRCR3レジスタのPRC30ビットを“1”（書き込み許可）にした後で書き換えてください。

注2. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P7_0	P7_0	TA0OUT出力	—(注3)	TXD2 SDA2出力	—(注3)	—(注3)	IIO1_6出力	—(注3)
P7_1	P7_1	—(注3)	—(注3)	SCL2出力	STXD2	—(注3)	IIO1_7出力	—(注3)
P7_2	P7_2	TA1OUT出力	V	CLK2出力	—(注3)	—(注3)	—(注3)	—(注3)
P7_3	P7_3	—(注3)	\bar{V}	RTS2	—(注3)	—(注3)	IIO1_0出力	—(注3)
P7_4	P7_4	TA2OUT出力	W	—(注3)	—(注3)	LIN0OUT	IIO1_1出力	—(注3)
P7_5	P7_5	—(注3)	\bar{W}	—(注3)	—(注3)	—(注3)	IIO1_2出力	—(注3)
P7_6	P7_6	TA3OUT出力	—(注3)	TXD3	—(注3)	—(注3)	IIO1_3出力	—(注3)
P7_7	P7_7	—(注3)	—(注3)	CLK3出力	—(注3)	—(注3)	IIO1_4出力	—(注3)

注3. 設定しないでください。

図 27.12 P7_0S~P7_7S レジスタ (R32C/142グループ)

ポートP7_i機能選択レジスタ(i=0~7) (注1)

シンボル	アドレス	リセット後の値
P7_0S~P7_2S	400D1h、400D3h、400D5h番地	XXXX X000b
P7_3S~P7_5S	400D7h、400D9h、400DBh番地	XXXX X000b
P7_6S、P7_7S	400DDh、400DFh番地	XXXX X000b

ビットシンボル	ビット名	機能	RW
PSEL0	ポートP7 _i 出力機能 選択ビット (注2)	b2 b1 b0 0 0 0: 入力ポート P7 _i	RW
PSEL1		0 0 1: タイマ出力	RW
PSEL2		0 1 0: 三相出力	
		0 1 1: UART2、UART3出力	
— (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	1 0 0: UART2特殊機能出力	—
		1 0 1: LIN0、CAN0出力	
		1 1 0: IIO1出力	
		1 1 1: 設定しないでください	

注1. これらのレジスタはPRCR3レジスタのPRC30ビットを“1”（書き込み許可）にした後で書き換えてください。

注2. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P7_0	P7_0	TA0OUT出力	—(注3)	TXD2 SDA2出力	—(注3)	—(注3)	IIO1_6出力	—(注3)
P7_1	P7_1	—(注3)	—(注3)	SCL2出力	STXD2	—(注3)	IIO1_7出力	—(注3)
P7_2	P7_2	TA1OUT出力	V	CLK2出力	—(注3)	—(注3)	—(注3)	—(注3)
P7_3	P7_3	—(注3)	\bar{V}	RTS2	—(注3)	—(注3)	IIO1_0出力	—(注3)
P7_4	P7_4	TA2OUT出力	W	—(注3)	—(注3)	LIN0OUT	IIO1_1出力	—(注3)
P7_5	P7_5	—(注3)	\bar{W}	—(注3)	—(注3)	—(注3)	IIO1_2出力	—(注3)
P7_6	P7_6	TA3OUT出力	—(注3)	TXD3	—(注3)	CAN0OUT	IIO1_3出力	—(注3)
P7_7	P7_7	—(注3)	—(注3)	CLK3出力	—(注3)	—(注3)	IIO1_4出力	—(注3)

注3. 設定しないでください。

図 27.13 P7_0S~P7_7S レジスタ (R32C/145グループ)

ポート P7_i (i=0~7) はタイマ、三相モータ制御、シリアルインタフェース (UART2、UART3)、インテリジェント I/O グループ 1 (IIO1)、LIN モジュール、CAN モジュールと端子を共用しています。

出力端子として使用する場合は、PD7_iを“1”（ポート P7_iを出力）に設定し、図 27.12 または図 27.13 にしたがって機能を選択してください。また、入力端子として使用する場合は、PD7_iを“0”（ポート P7_iを入力）に設定してください。

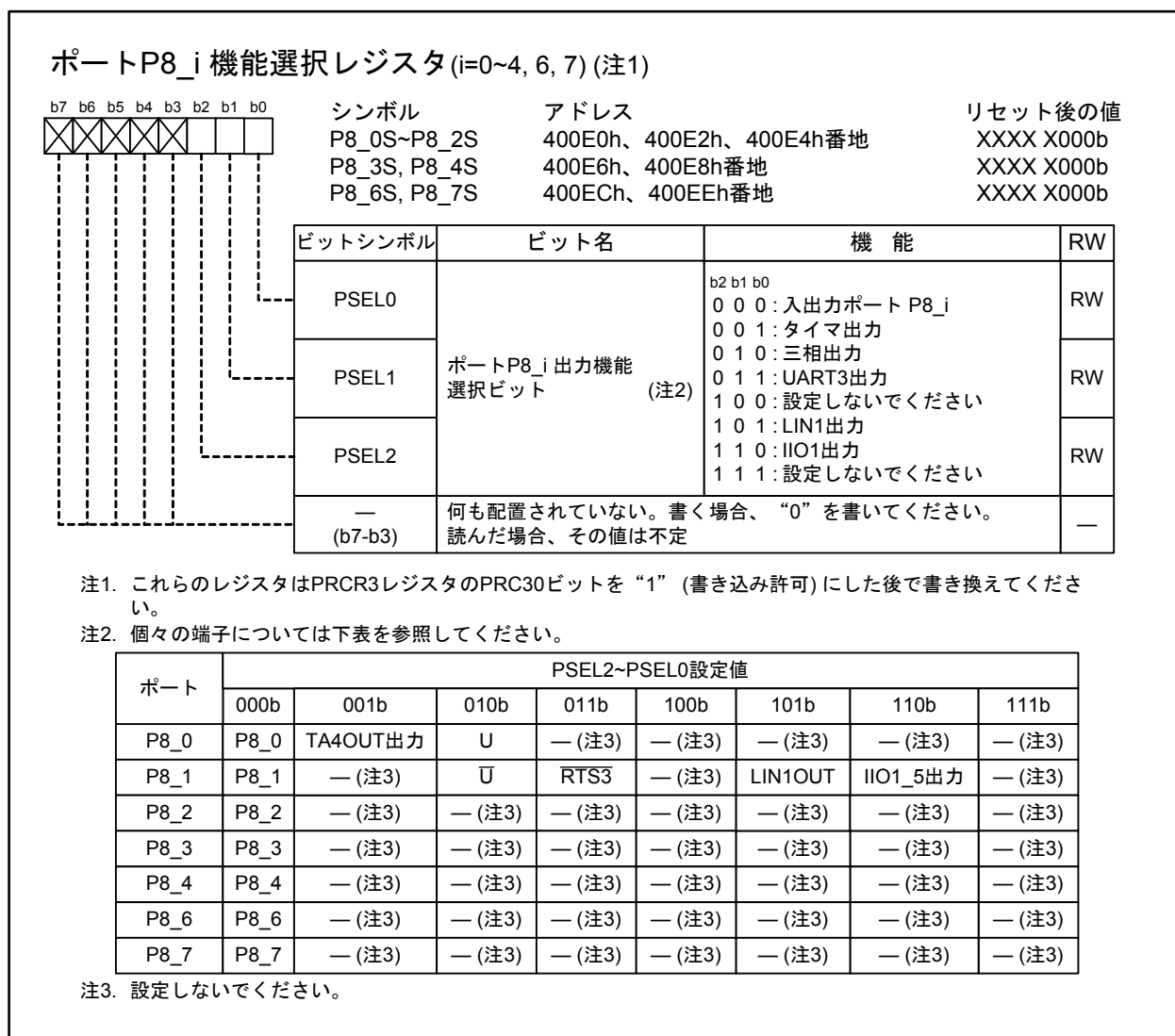


図 27.14 P8_0S~P8_4S、P8_6S、P8_7S レジスタ (R32C/142グループ)

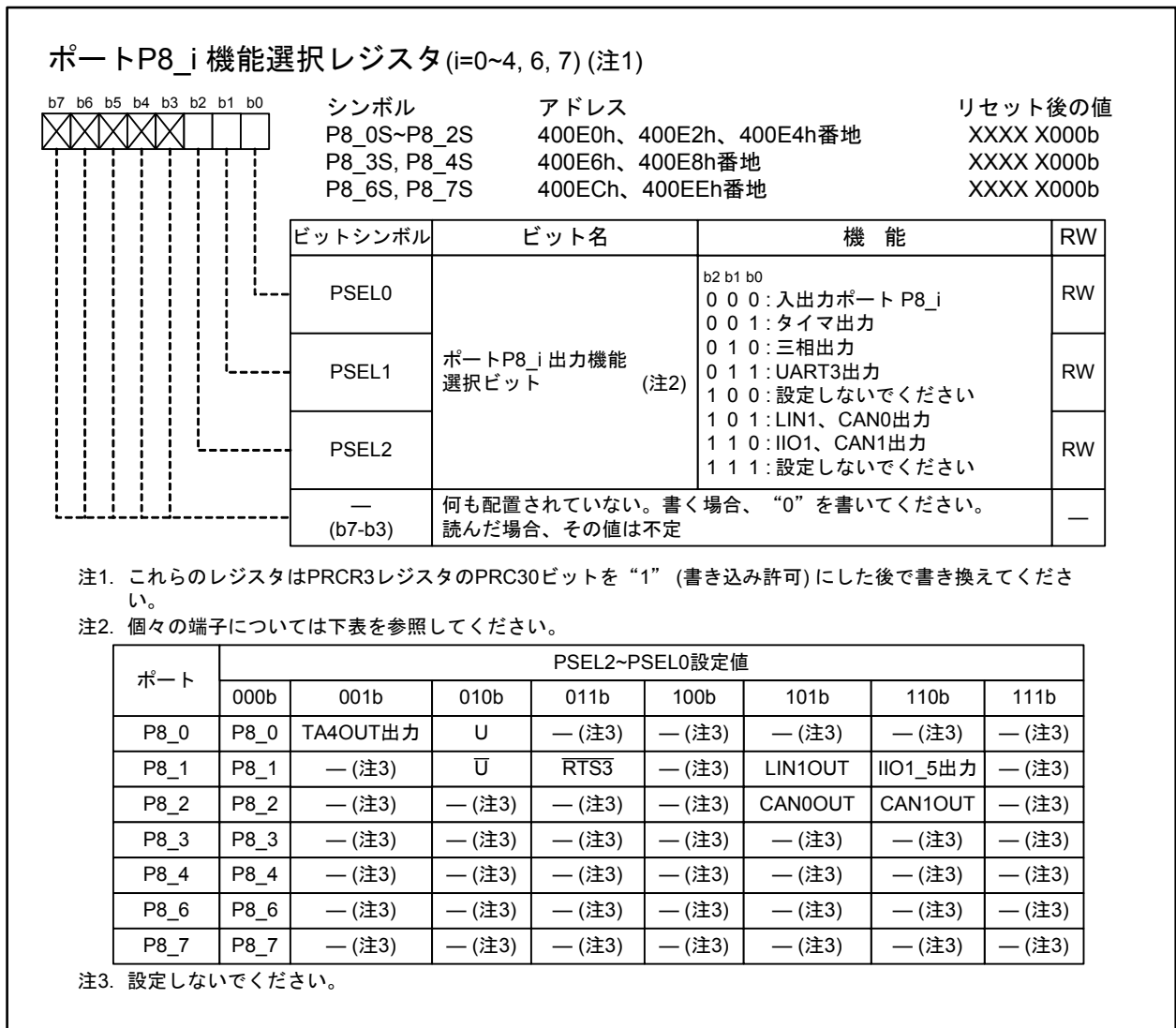
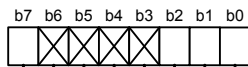


図 27.15 P8_0S~P8_4S、P8_6S、P8_7S レジスタ (R32C/145グループ)

ポートP8_i (i=0~4, 6, 7)はタイマ、三相モータ制御、シリアルインタフェース(UART3)、インテリジェントI/Oグループ1 (IIO1)、LINモジュール、CANモジュール、外部割り込み入力と端子を共用しています。

出力端子として使用する場合は、PD8_iを“1”（ポートP8_iを出力）に設定し、図 27.14または図 27.15にしたがって機能を選択してください。また、入力端子として使用する場合は、PD8_iを“0”（ポートP8_iを入力）に設定してください。

ポートP9_i機能選択レジスタ(i=3~7)(注1)

シンボル	アドレス	リセット後の値
P9_3S~P9_6S	400E7h、400E9h、400EBh、400EDh番地	0XXX X000b
P9_7S	400EFh番地	XXXX X000b

ビットシンボル	ビット名	機能	RW
PSEL0	ポートP9 _i 出力機能 選択ビット (注2)	b2 b1 b0 0 0 0: 入出力ポート P9 _i 0 0 1: 設定しないでください 0 1 0: 設定しないでください 0 1 1: UART4出力 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: 設定しないでください 1 1 1: 設定しないでください	RW
PSEL1		RW	
PSEL2		RW	
— (b6-b3)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	—
ASEL (i=3~6) — (b7) (i=7)	ポートP9 _i (i=3~6) アナログ機能選択ビット 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	0: アナログ端子以外に使用する 1: アナログ端子として使用する	RW —

注1. これらのレジスタはPRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。また、PRC2ビットを“1”にする命令とP9_iSレジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

注2. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P9_3	P9_3	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)
P9_4	P9_4	—(注3)	—(注3)	RTS4	—(注3)	—(注3)	—(注3)	—(注3)
P9_5	P9_5	—(注3)	—(注3)	CLK4出力	—(注3)	—(注3)	—(注3)	—(注3)
P9_6	P9_6	—(注3)	—(注3)	TXD4	—(注3)	—(注3)	—(注3)	—(注3)
P9_7	P9_7	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)

注3. 設定しないでください。

図 27.16 P9_3S~P9_7Sレジスタ(R32C/142グループ)

ポートP9_i機能選択レジスタ(i=3~7)(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								P9_3S~P9_6S	400E7h、400E9h、400EBh、400EDh番地	0XXX X000b
								P9_7S	400EFh番地	XXXX X000b

ビットシンボル	ビット名	機能	RW
PSEL0	ポートP9 _i 出力機能 選択ビット (注2)	b2 b1 b0 0 0 0: 入出力ポート P9 _i 0 0 1: 設定しないでください 0 1 0: 設定しないでください 0 1 1: UART4出力 1 0 0: 設定しないでください 1 0 1: 設定しないでください 1 1 0: CAN1 出力 1 1 1: 設定しないでください	RW
PSEL1		RW	
PSEL2		RW	
— (b6-b3)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	—
ASEL (i=3~6) — (b7) (i=7)	ポートP9 _i (i=3~6) アナログ機能選択ビット 何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定	0: アナログ端子以外に使用する 1: アナログ端子として使用する	RW —

注1. これらのレジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。また、PRC2ビットを“1”にする命令とP9_iSレジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

注2. 個々の端子については下表を参照してください。

ポート	PSEL2~PSEL0設定値							
	000b	001b	010b	011b	100b	101b	110b	111b
P9_3	P9_3	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)
P9_4	P9_4	—(注3)	—(注3)	RTS4	—(注3)	—(注3)	—(注3)	—(注3)
P9_5	P9_5	—(注3)	—(注3)	CLK4出力	—(注3)	—(注3)	—(注3)	—(注3)
P9_6	P9_6	—(注3)	—(注3)	TXD4	—(注3)	—(注3)	CAN1OUT	—(注3)
P9_7	P9_7	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)	—(注3)

注3. 設定しないでください。

図 27.17 P9_3S~P9_7Sレジスタ(R32C/145グループ)

ポートP9_i(i=3~7)はシリアルインタフェース(UART4)、CANモジュールと端子を共用しています。このうち、ポートP9_i(i=3~6)は、A/Dコンバータ入出力(ANEX0, ANEX1)、D/Aコンバータ出力とも端子を共用しています。

A/Dコンバータ、D/Aコンバータ以外の出力端子として使用する場合は、PD9_iを“1”(ポートP9_iを出力)に設定し、図 27.16または図 27.17にしたがって機能を選択してください。また、A/Dコンバータ、D/Aコンバータ以外の入力端子として使用する場合は、PD9_iを“0”(ポートP9_iを入力)に設定してください。A/Dコンバータ、D/Aコンバータとして使用する場合は、P9_iSレジスタに“80h”を設定し、入出力方向にかかわらずPD9_iを“0”(ポートP9_iを入力)に設定してください。

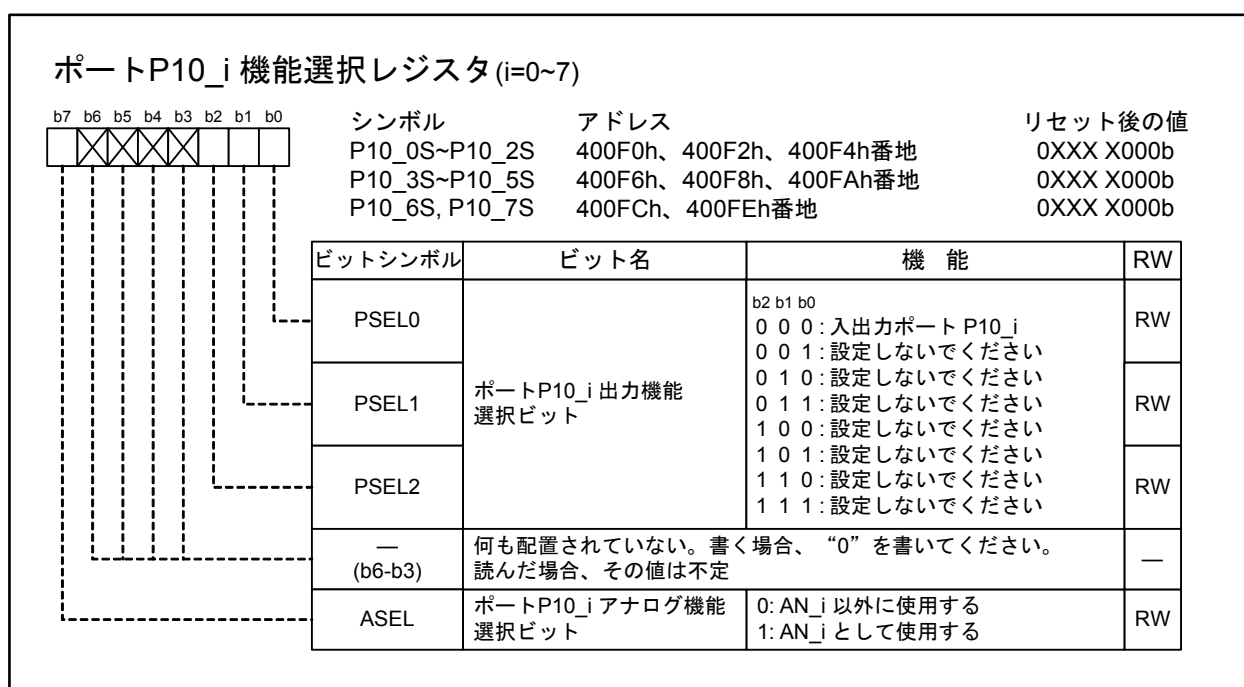


図 27.18 P10_0S~P10_7S レジスタ

ポートP10_i (i=0~7)はA/Dコンバータ入力AN_i、キー入力割り込みと端子を共用しています。

プログラマブル入出力ポートとして使用する場合は、P10_iSレジスタには“00h”を設定してください。A/Dコンバータ以外の入力端子として使用する場合は、PD10_iを“0” (ポートP10_iを入力)に設定してください。A/Dコンバータ入力として使用する場合は、P10_iSレジスタに“80h”を設定し、PD10_iを“0” (ポートP10_iを入力)に設定してください。

27.3 入力機能選択レジスタ

周辺機能の入力が複数の端子に配置されている場合、どの端子の入力を周辺機能に接続するかを決定するレジスタです。

図 27.19~図 27.26に入力機能選択レジスタを示します。

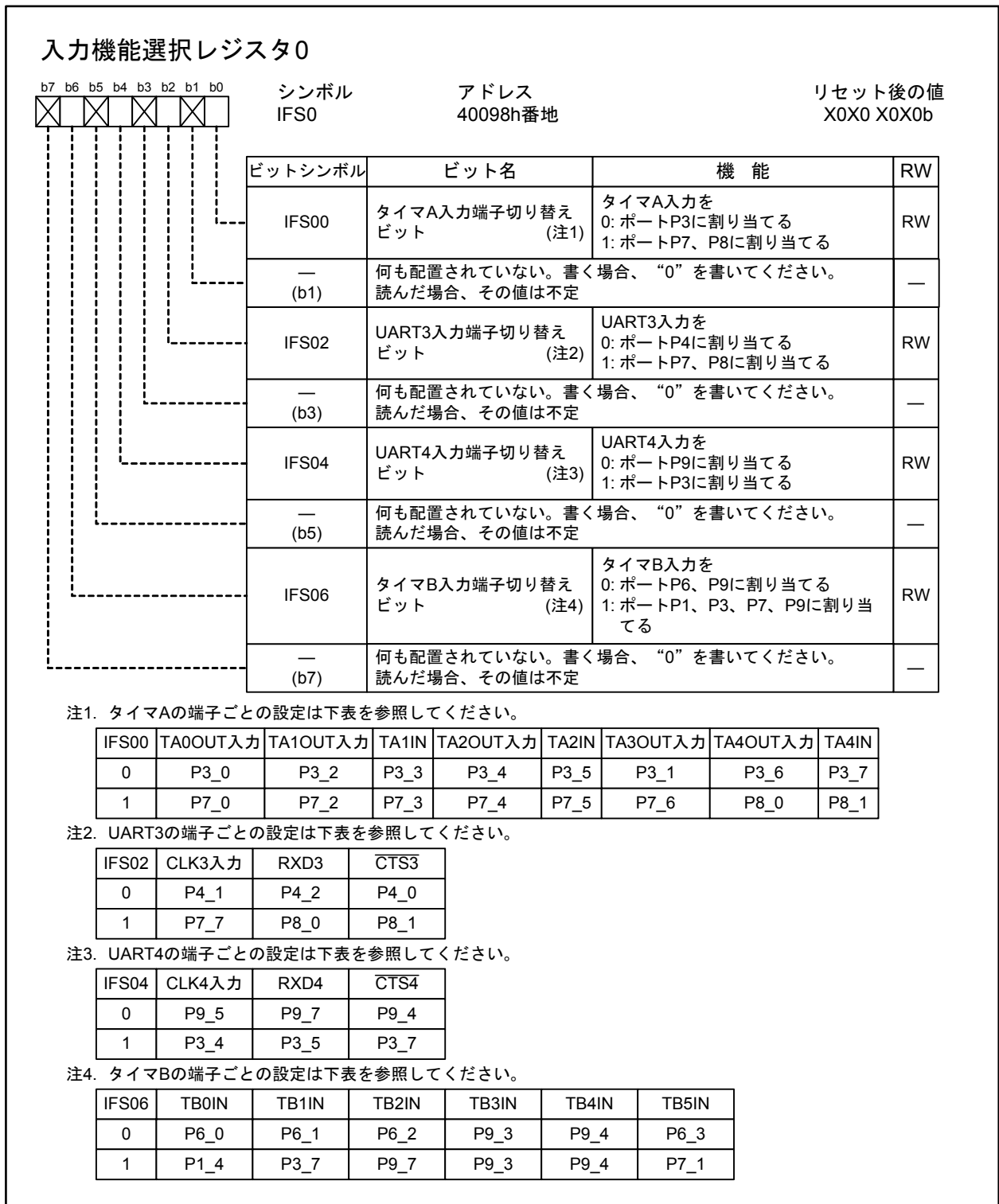


図 27.19 IFS0 レジスタ

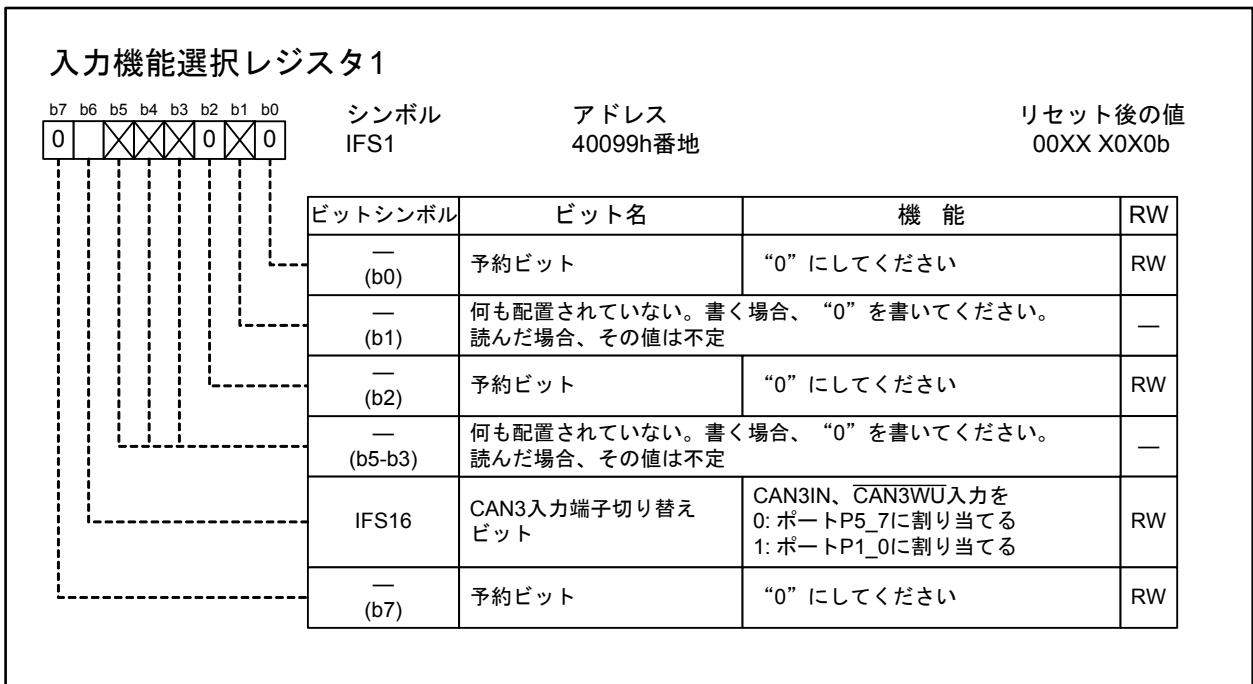


図 27.20 IFS1 レジスタ (R32C/142グループ)

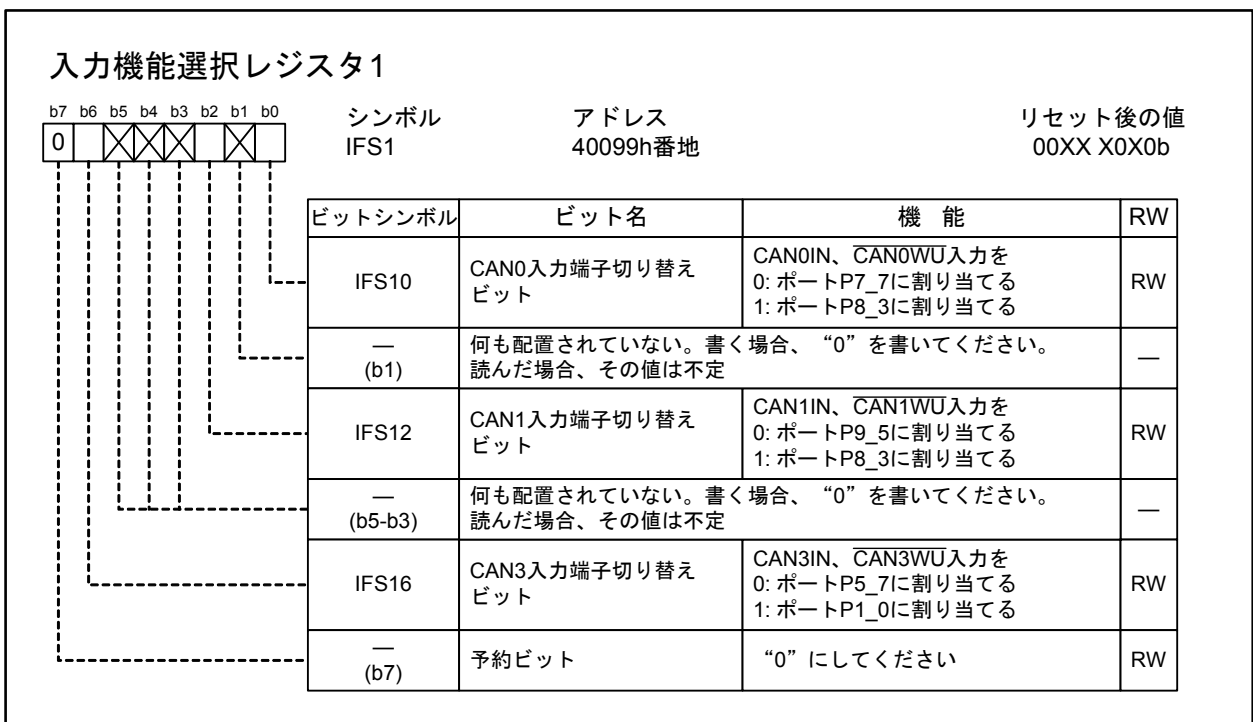


図 27.21 IFS1 レジスタ (R32C/145グループ)

入力機能選択レジスタ2

ビットシンボル	ビット名	機能	RW
IFS20	インテリジェントI/O グループ0入力端子 切り替えビット (注1)	IIO0入力を b1 b0 0 0: 設定しないでください 0 1: ポートP1に割り当てる 1 0: ポートP5に割り当てる 1 1: 設定しないでください	RW
IFS21			RW
IFS22	インテリジェントI/O グループ0二相パルス入力 端子切り替えビット (注2)	グループ0二相パルス入力を b3 b2 0 0: ポートP8とINT1に割り当てる 0 1: ポートP7とINT0に割り当てる 1 0: ポートP3とINT1に割り当てる 1 1: ポートP3とINT0に割り当てる	RW
IFS23			RW
IFS24	インテリジェントI/O グループ1入力端子 切り替えビット (注3)	IIO1入力を b5 b4 0 0: ポートP7、P8に割り当てる 0 1: 設定しないでください 1 0: ポートP1に割り当てる 1 1: ポートP4に割り当てる	RW
IFS25			RW
IFS26	インテリジェントI/O グループ1二相パルス入力 端子切り替えビット (注4)	グループ1二相パルス入力を b7 b6 0 0: ポートP8とINT1に割り当てる 0 1: ポートP7とINT0に割り当てる 1 0: ポートP3とINT1に割り当てる 1 1: ポートP3とINT0に割り当てる	RW
IFS27			RW

注1. インテリジェントI/Oグループ0の端子ごとの設定は下表を参照してください。

IFS21	IFS20	IIO0_0入力	IIO0_1入力	IIO0_2入力	IIO0_3入力	IIO0_4入力	IIO0_5入力	IIO0_6入力	IIO0_7入力
0	1	P1_0	P1_1	P1_2	P1_3	P1_4	P1_5	P1_6	P1_7
1	0	P5_0	P5_1	P5_2	P5_3	P5_4	P5_5	P5_6	P5_7

注2. インテリジェントI/Oグループ0二相パルス入力の端子ごとの設定は下表を参照してください。

IFS23	IFS22	UD0A	UD0B	UD0Z
0	0	P8_0	P8_1	P8_3 (INT1)
0	1	P7_6	P7_7	P8_2 (INT0)
1	0	P3_0	P3_1	P8_3 (INT1)
1	1	P3_0	P3_1	P8_2 (INT0)

注3. インテリジェントI/Oグループ1の端子ごとの設定は下表を参照してください。

IFS25	IFS24	IIO1_0入力	IIO1_1入力	IIO1_2入力	IIO1_3入力	IIO1_4入力	IIO1_5入力	IIO1_6入力	IIO1_7入力
0	0	P7_3	P7_4	P7_5	P7_6	P7_7	P8_1	P7_0	P7_1
1	0	P1_0	P1_1	P1_2	P1_3	P1_4	P1_5	P1_6	P1_7
1	1	P4_0	P4_1	P4_2	P4_3	P4_4	P4_5	P4_6	P4_7

注4. インテリジェントI/Oグループ1二相パルス入力の端子ごとの設定は下表を参照してください。

IFS27	IFS26	UD1A	UD1B	UD1Z
0	0	P8_0	P8_1	P8_3 (INT1)
0	1	P7_6	P7_7	P8_2 (INT0)
1	0	P3_0	P3_1	P8_3 (INT1)
1	1	P3_0	P3_1	P8_2 (INT0)

図 27.22 IFS2 レジスタ

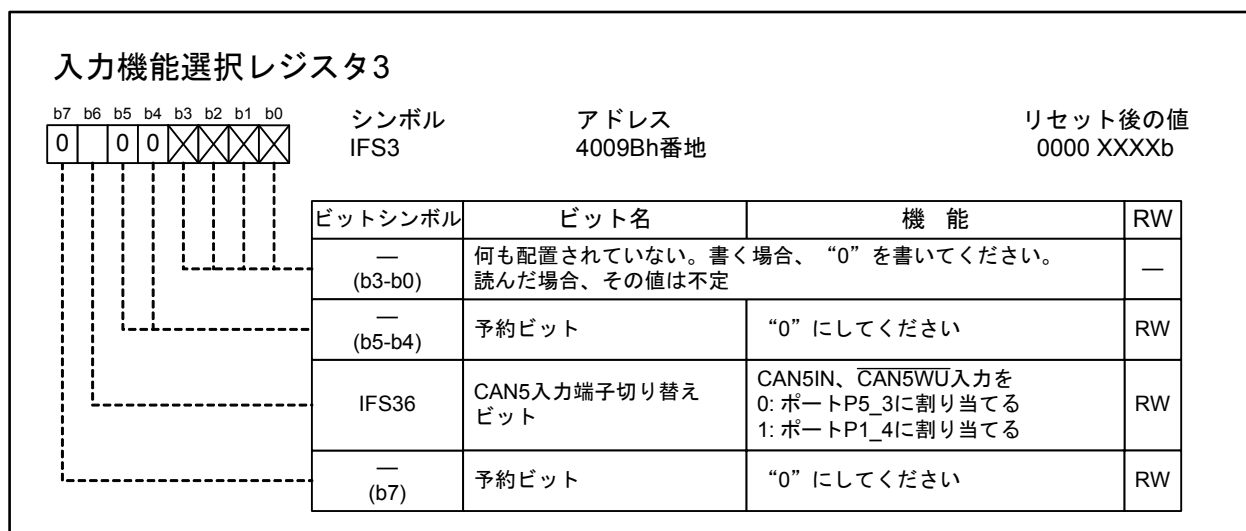


図 27.23 IFS3 レジスタ (R32C/142グループ)

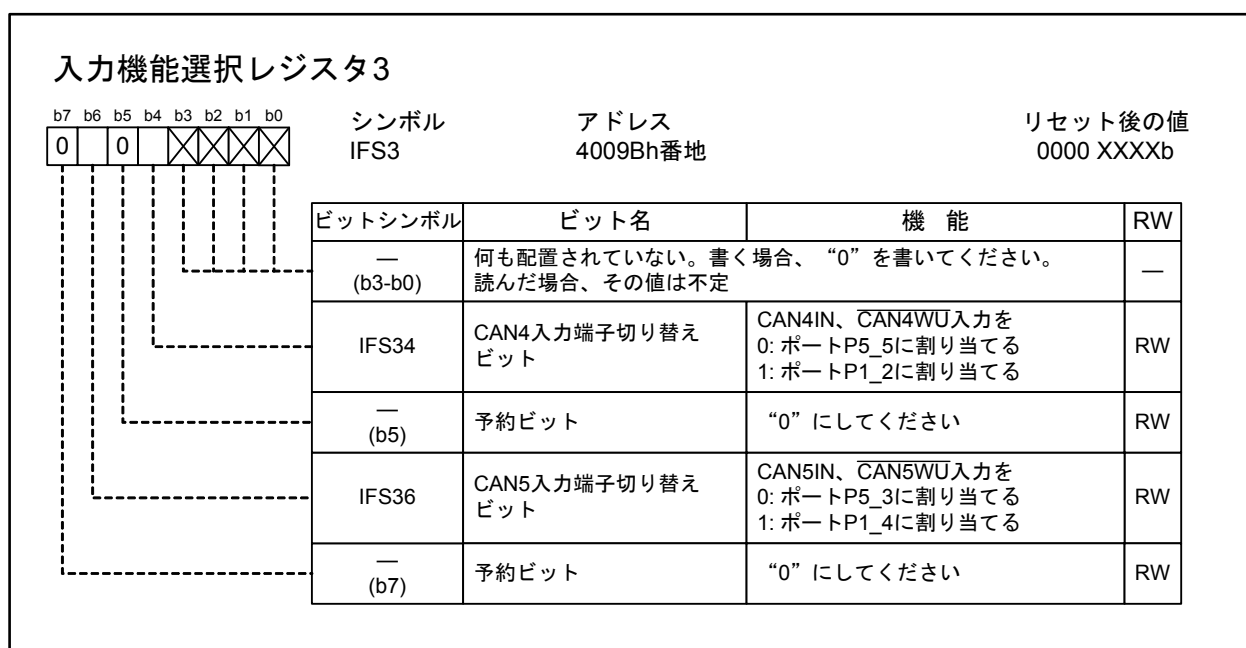


図 27.24 IFS3 レジスタ (R32C/145グループ)

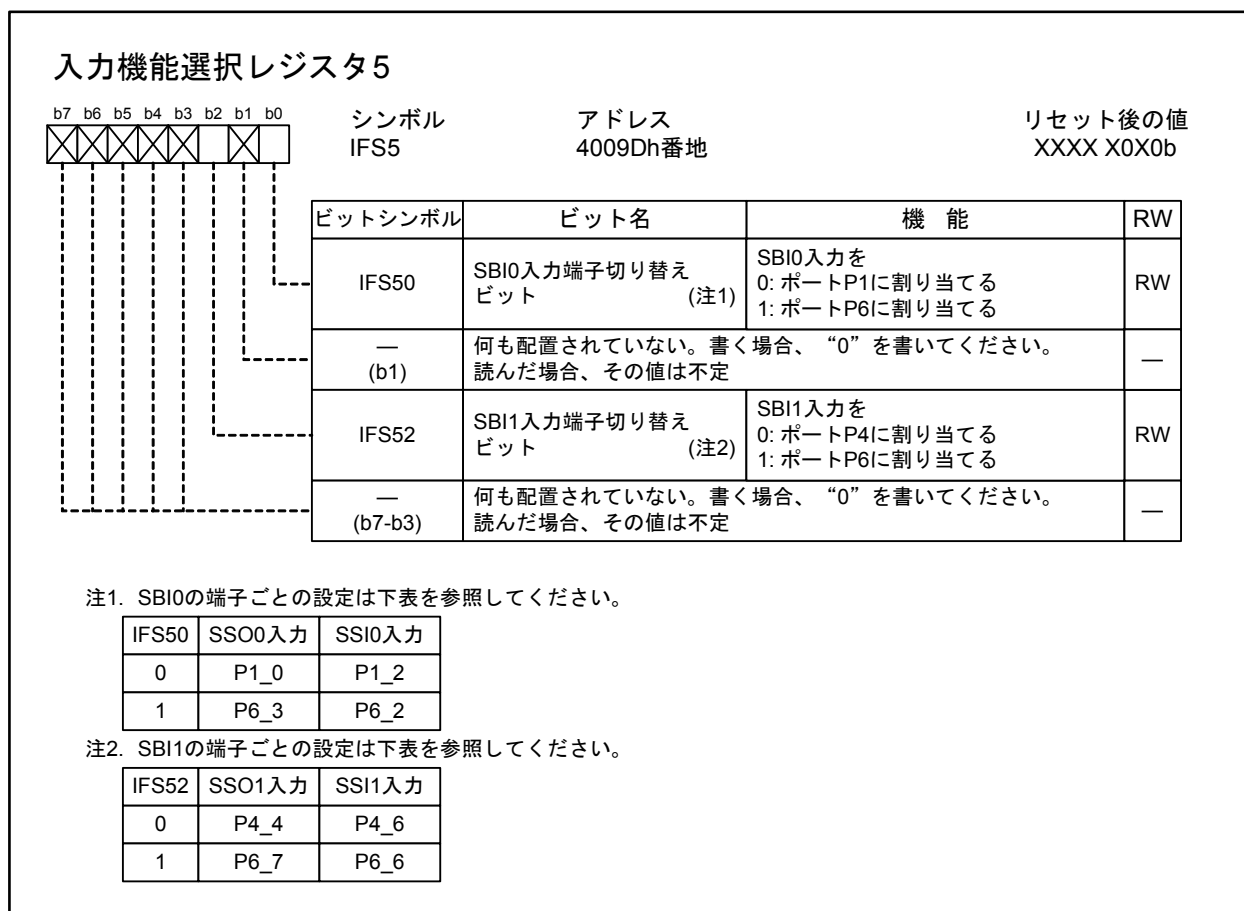


図 27.25 IFS5 レジスタ

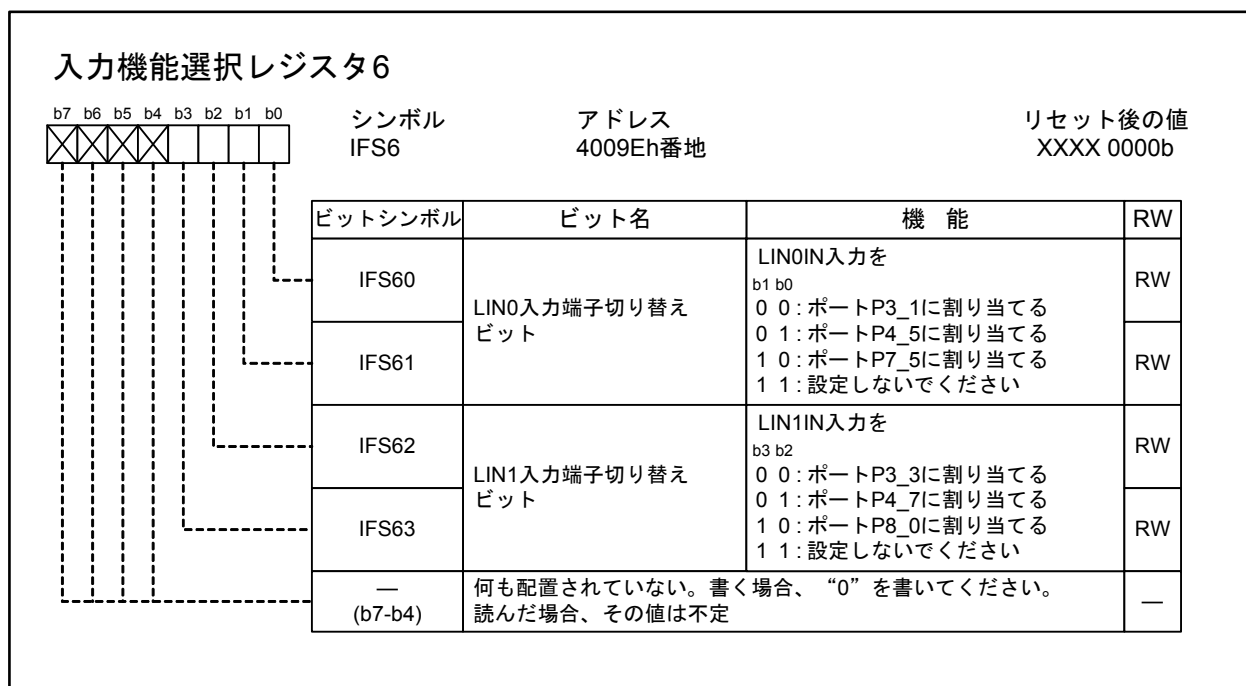


図 27.26 IFS6 レジスタ

27.4 プルアップ制御レジスタ0~3 (PUR0~PUR3 レジスタ)

図 27.27~図 27.30にPUR0~PUR3 レジスタを示します。

PUR0~PUR3 レジスタによって、4 端子ごとにプルアップするかしないかを設定できます。これらのレジスタのビットを“1” (プルアップする)、方向レジスタを“0” (入力モード)に設定したポートはプルアップされます。

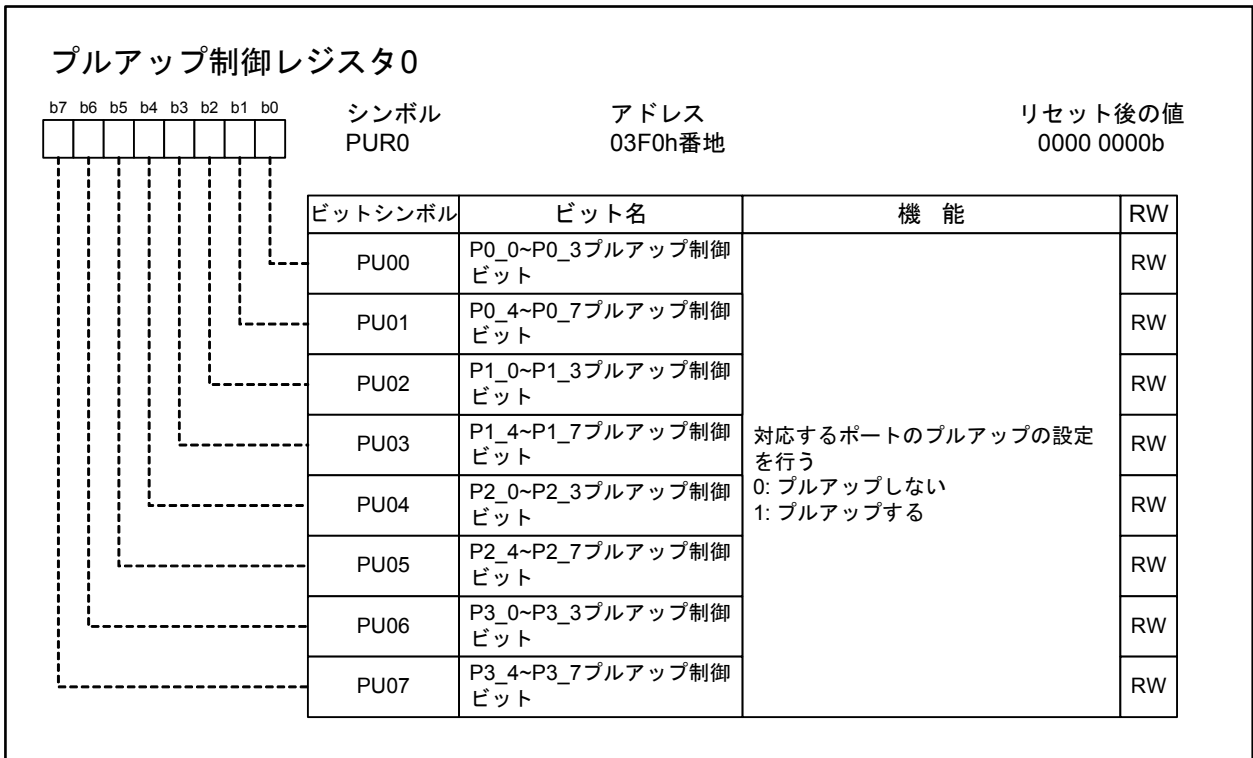


図 27.27 PUR0 レジスタ

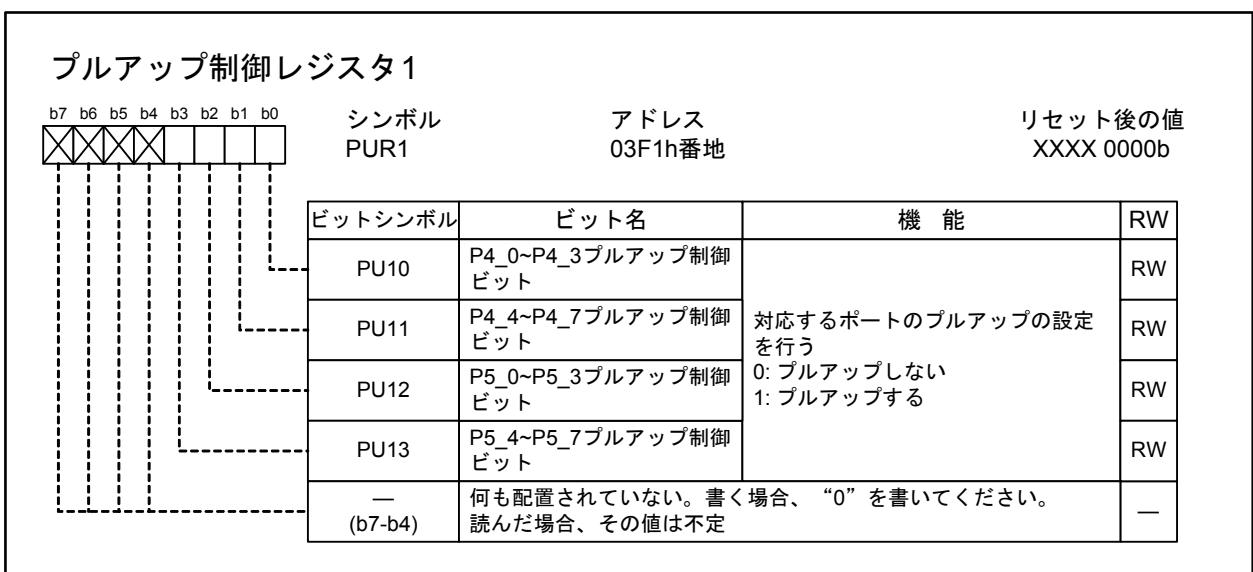


図 27.28 PUR1 レジスタ

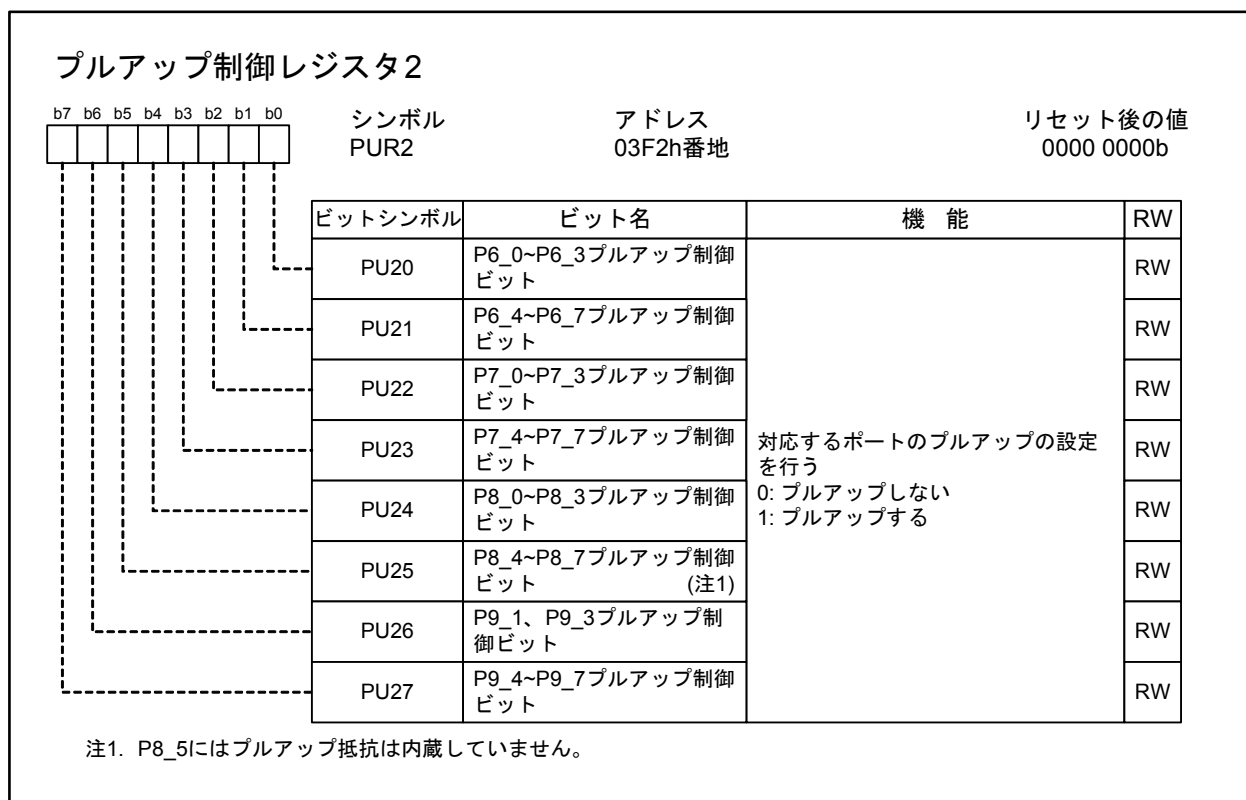


図 27.29 PUR2 レジスタ

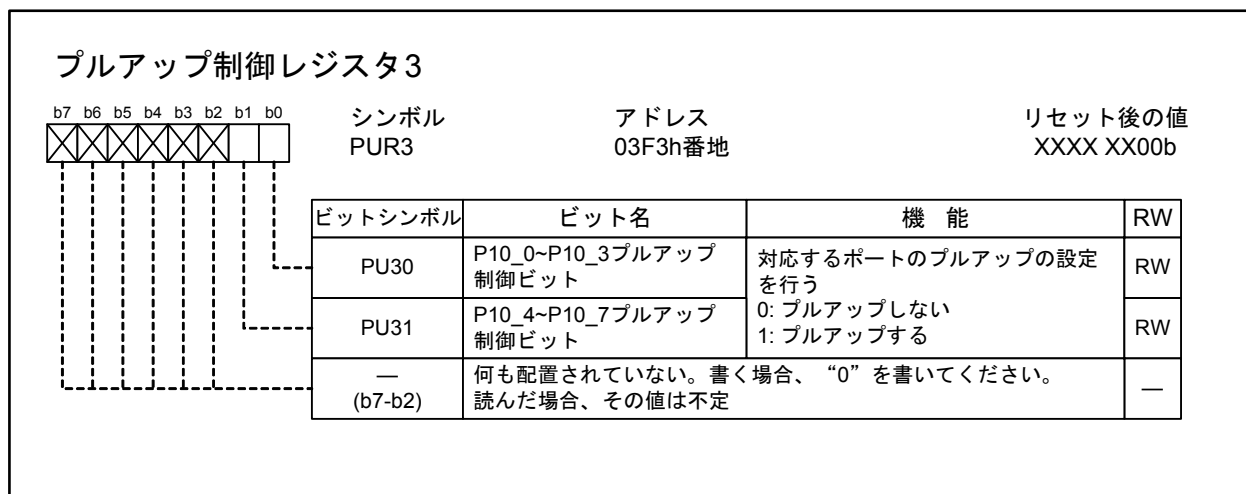


図 27.30 PUR3 レジスタ

27.5 ポート制御レジスタ (PCRレジスタ)

図 27.31にPCRレジスタを示します。

ポートP1の出力形式をプッシュプル出力とするか擬似Nチャンネルオープンドレイン出力とすることを
 選択するレジスタです。PCR0ビットを“1”にした場合、出力バッファのPチャンネルトランジスタを常時OFF
 にします。ただし、寄生ダイオードは残ったままになりますので、ポートP1は完全なオープンドレイン
 にはならず、入力電圧の絶対最大定格は“-0.3V ~ VCC+0.3V”となります(図 27.32参照)。

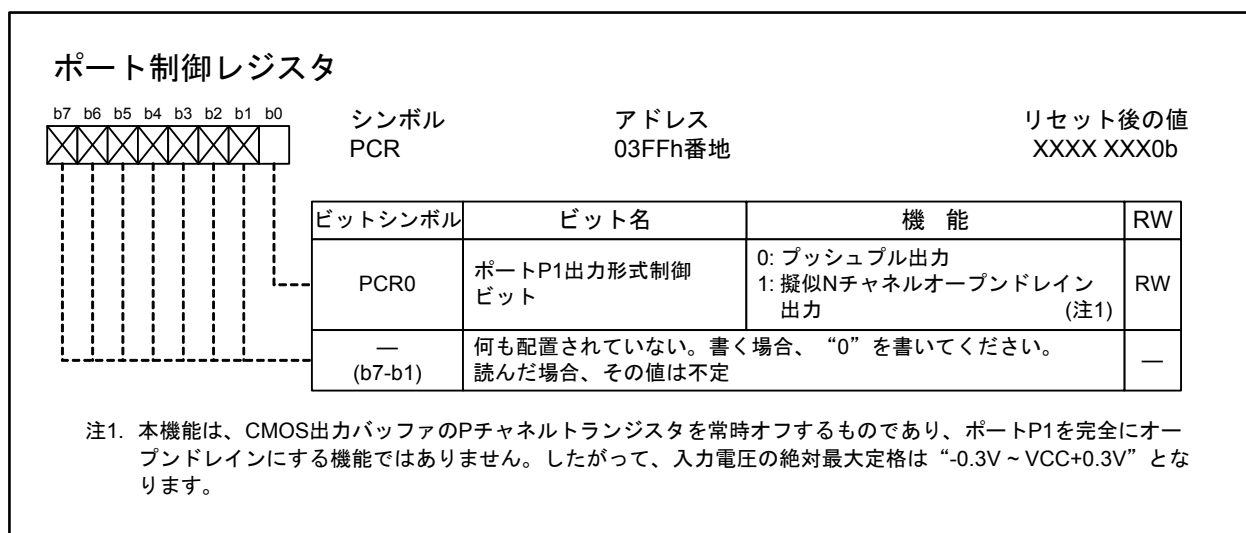


図 27.31 PCRレジスタ

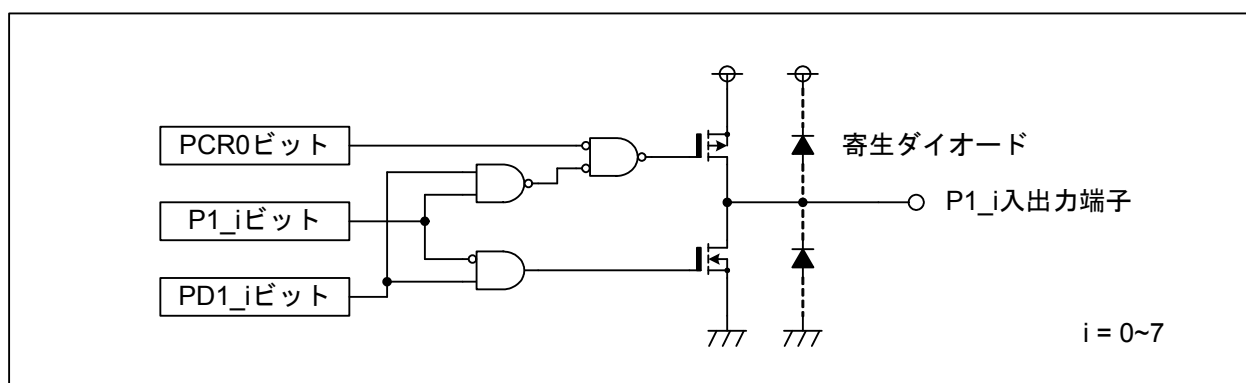


図 27.32 ポートP1出力バッファの構成

27.6 未使用端子の処理

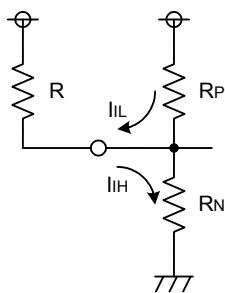
ボード上で使用しない端子の処理例を表 27.2、図 27.34 に示します。

表 27.2 シングルチップモード時の未使用端子の処理例(注1)

端子名	処理内容
ポートP0~P10 (P8_5、P9_1は除く)(注2)	入力に設定し、端子ごとに抵抗(注3)を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放
P9_1	抵抗(注3)を介してVSSに接続(プルダウン)
XOUT(注4)	開放
NMI (P8_5)	抵抗(注3)を介してVCCに接続(プルアップ)
AVCC	VCCに接続
AVSS、VREF	VSSに接続
NSD	1k~4.7kΩの抵抗を介して、VCCに接続(プルアップ)

- 注1. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合は考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。
- 注3. 抵抗値はシステムにあわせて最適な値を選択してください。推奨値は10k~100kΩです。
- 注4. XIN端子に外部クロックを入力しているとき。

プルアップ/プルダウン抵抗の考え方



左に入力端子の等価回路を示します。
入力電流 I_{IL} 、 I_{IH} から等価入力抵抗 R_P 、 R_N を計算します。

(例) $V_{CC} = 5.0V$ 、 $I_{IH} = I_{IL} = 5\mu A$ とすると

$$R_P = R_N = \frac{5.0}{5 \times 10^{-6}} = 1M\Omega$$

"H"と認識される電圧 V_{IH} は $0.7V_{CC}$ 以上なので、

$$R // R_P : R_N = 0.3 : 0.7$$

を満たす R が $V_{IH} = 0.7V_{CC}$ となる抵抗値です。

この式を計算すると、

$$R = \frac{3R_P R_N}{7R_P - 3R_N}$$

となり、プルアップ抵抗 R の最大値が求まります。

(例) $V_{CC} = 5.0V$ 、 $I_{IH} = I_{IL} = 5\mu A$ とすると

$$R = \frac{3 \times 10^6 \times 10^6}{7 \times 10^6 - 3 \times 10^6} = 750000$$

から 750kΩ と計算できます。

ここで計算した抵抗値にマージンを考慮して、実際の抵抗値を決定します。

図 27.33 プルアップ/プルダウン抵抗の考え方

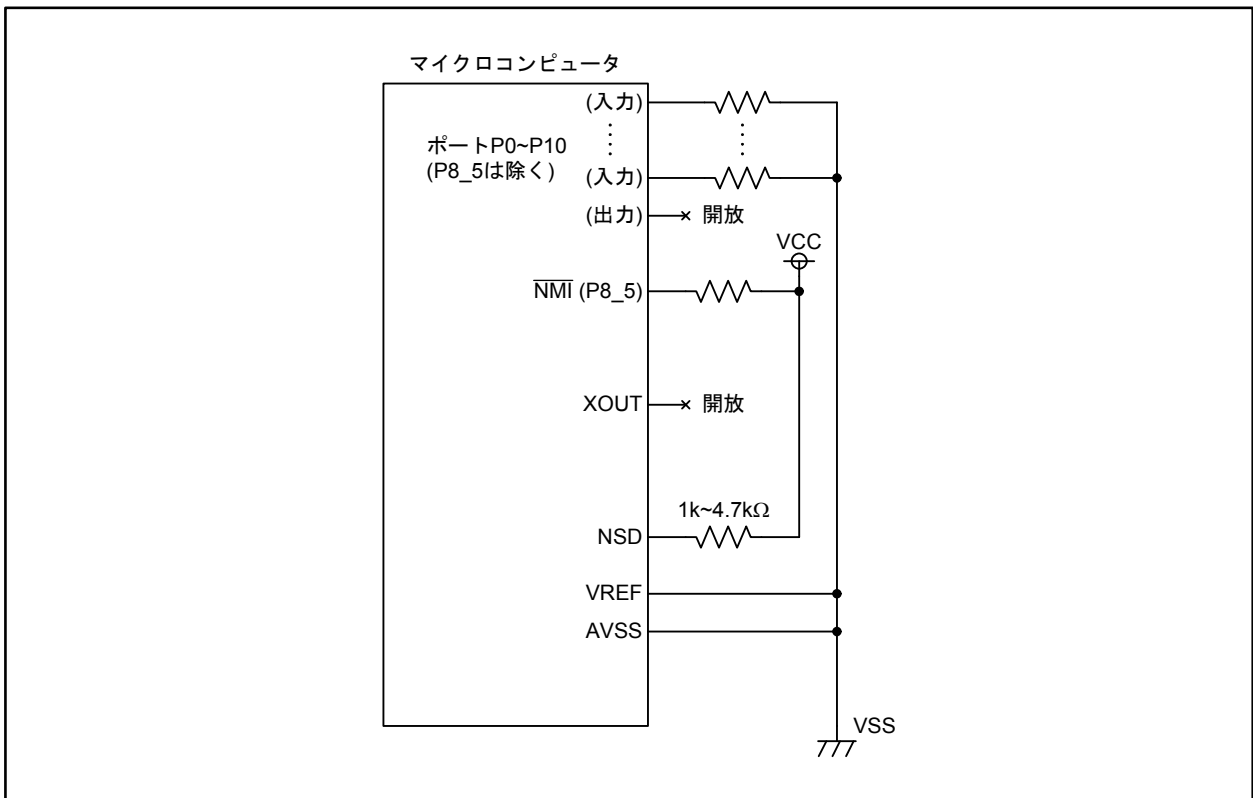


図 27.34 未使用端子の処理例

28. フラッシュメモリ

28.1 概要

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードで書き換えることができます。

表 28.1にフラッシュメモリの仕様を、表 28.2に各書き換えモードの概要を示します。

表 28.1 フラッシュメモリの仕様

項目	仕様
フラッシュメモリ書き換えモード	CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モード
ブロック分割	図 28.1を参照してください
プログラム単位	8バイト単位
イレーズ単位	ブロック単位
プログラム、イレーズ制御方式	ソフトウェアコマンドによる制御
プロテクトの種類	ロックビットプロテクト、ROMコードプロテクト、IDコードプロテクト
ソフトウェアコマンド数	9

表 28.2 フラッシュメモリ書き換えモードの概要

書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
概要	CPUがソフトウェアコマンドを実行することによりフラッシュメモリを書き換える EW0モード: 内蔵フラッシュメモリ以外の領域上のプログラムから書き換え可能 EW1モード: 書き換え対象のブロック以外の領域上のプログラムから書き換え可能	専用シリアルライタを使用してフラッシュメモリを書き換える 標準シリアル入出力モード1: クロック同期型シリアルインタフェースを使用 標準シリアル入出力モード2: クロック非同期型シリアルインタフェースを使用	専用パラレルライタを使用してフラッシュメモリを書き換える
CPU動作モード	シングルチップモード	標準シリアル入出力モード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ
オンボード書き換え	可能	可能	不可能

図 28.1に内蔵フラッシュメモリのブロック図を示します。

内蔵フラッシュメモリにはユーザプログラムを格納するためのブロック0~9(プログラム領域)と、ユーザプログラムが動作した結果得られたデータを格納するためのブロックA、B(データ領域/データフラッシュ)があります。

それぞれのブロックは独立しており、ロックビットを設定することでブロックごとに書き換えや消去を禁止できます。

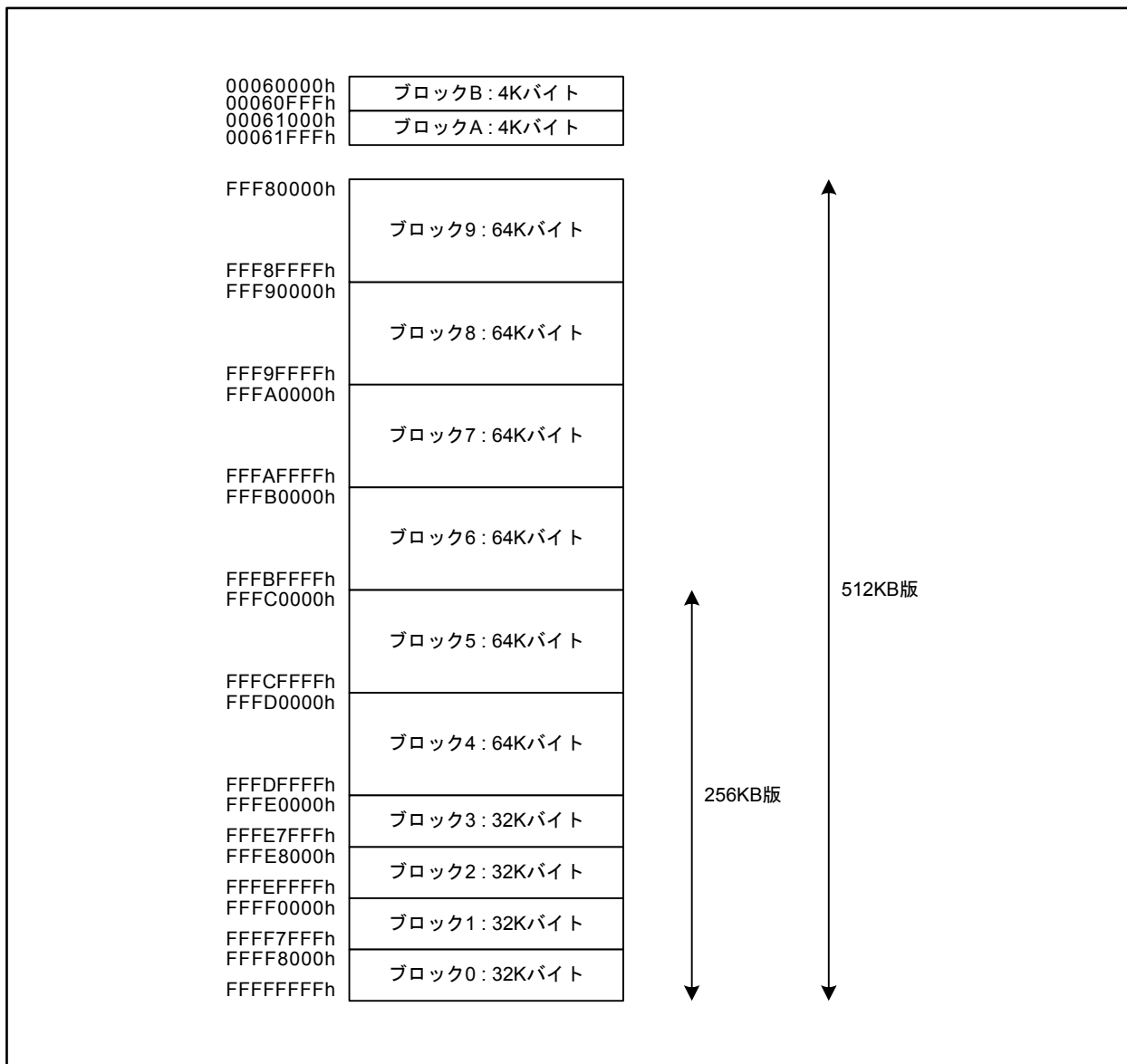


図 28.1 内蔵フラッシュメモリのブロック図

28.2 フラッシュメモリプロテクト

プロテクトの種類には、プログラムの暴走などによる意図しない書き込みや消去から保護するものと、第三者によるフラッシュメモリの読み出し、書き込みから保護するものの2種類があります。前者はロックビットによって実現され、後者はプロテクトビットによるものと、IDコードによるものがあります。それぞれの特長を表 28.3 に示します。

表 28.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、消去、書き込み
対象とする書き換えモード	CPU書き換えモード 標準シリアル入出力モード パラレル入出力モード	パラレル入出力モード	標準シリアル入出力モード
保護範囲	ブロックごと	フラッシュメモリ全領域	フラッシュメモリ全領域
プロテクト方法	ロックビット書き換え	いずれかのブロックのプロテクトビット書き換え	IDコードが設定されたプログラムの書き込み
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

28.2.1 ロックビットプロテクト

すべての書き換えモードに対して有効なプロテクトです。ロックビットプロテクトが有効な場合、ロックビットが“0”(ロック)のブロックに対して書き換え、消去はできません。

ロックビットを“0”にするには、ソフトウェアコマンドのロックビットプログラムコマンドを発行してください。また、FMR1レジスタのLBDビットを“1”(ロックビット無効)にすると、ロックビットプロテクトが無効になり、全ブロックの書き換え、消去ができるようになります。ロックビットを“0”(ロック)にしたブロックを消去すると、そのブロックのロックビットも消去されて“1”(非ロック)になります。

28.2.2 ROMコードプロテクト

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライターでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、プロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

フラッシュメモリの各ブロックには、プロテクトビットが2ビットずつあります。表 28.4 にソフトウェアコマンドで指定するプロテクトビットのアドレスを示します。これらのプロテクトビットのうちいずれか1つでも“0”(プロテクト)にすると、全領域がプロテクトされます。

表 28.4 プロテクトビットのアドレス一覧

ブロック	プロテクトビット0	プロテクトビット1
Block B	00060100h	00060300h
Block A	00061100h	00061300h
Block 9	FFF80100h	FFF80300h
Block 8	FFF90100h	FFF90300h
Block 7	FFFA0100h	FFFA0300h
Block 6	FFFB0100h	FFFB0300h
Block 5	FFFC0100h	FFFC0300h
Block 4	FFFD0100h	FFFD0300h
Block 3	FFFE0100h	FFFE0300h
Block 2	FFFE8100h	FFFE8300h
Block 1	FFFF0100h	FFFF0300h
Block 0	FFF8100h	FFF8300h

28.2.3 IDコードプロテクト

標準シリアル入出力モードに対して有効なプロテクトです。シリアルライターから送られてくる7バイトのIDコードとフラッシュメモリに書かれているIDコードが一致すると、シリアルライターからのコマンドが受け付けられるようになります。ただし、リセットベクタが“FFFFFFFFh”の場合は、フラッシュメモリが消去済みであると判断し、IDコードのチェックは行いません。なお、ROMコードプロテクトが有効で、リセットベクタが“FFFFFFFFh”の場合は、消去コマンドしか受け付けません。

IDコードはシリアルライターからID1、ID2、...、ID7の順で送られてきます。IDコードは図 28.2に示すとおり、ID1から順にそれぞれFFFFFFE8h番地、FFFFFFE9h番地、...、FFFFFFEeh番地に割り当てられています。これらの番地にIDコードを設定したプログラムをフラッシュメモリに書き込むことでプロテクトが有効になります。

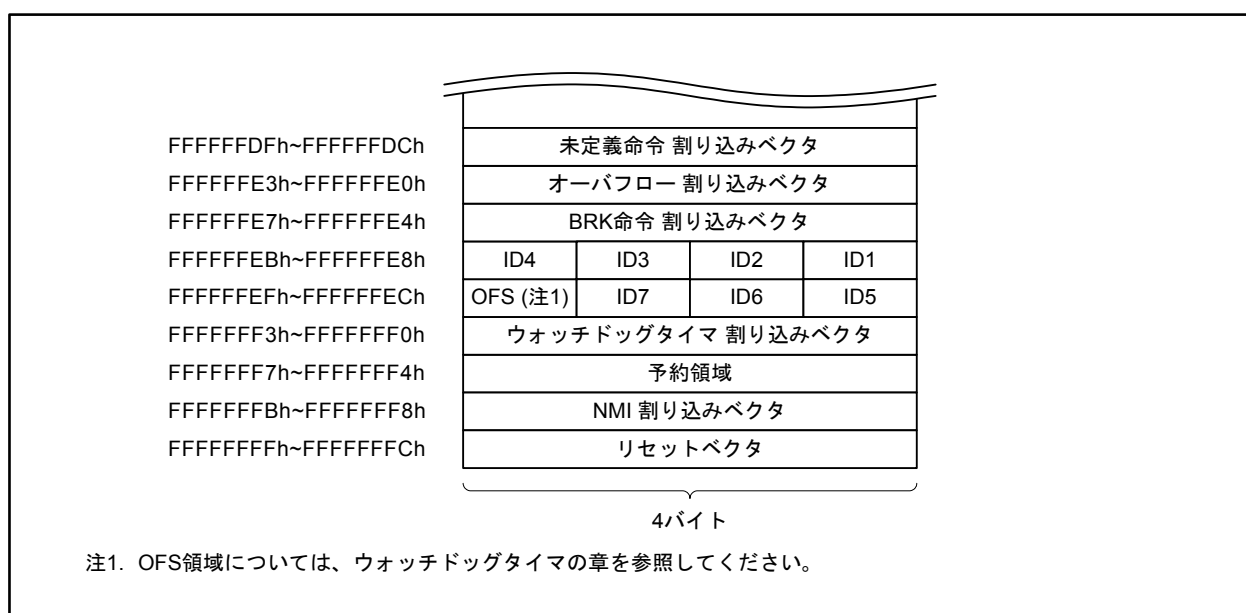


図 28.2 IDコード格納番地

28.3 CPU 書き換えモード

CPU 書き換えモードは、CPU がソフトウェアコマンドを実行することによって、フラッシュメモリを書き換えるモードです。CPU 書き換えモードでは、CPUバスから直接フラッシュメモリをアクセスせず、フラッシュメモリ書き換え専用のバスを經由してフラッシュメモリにアクセスします(図 28.3 参照)。

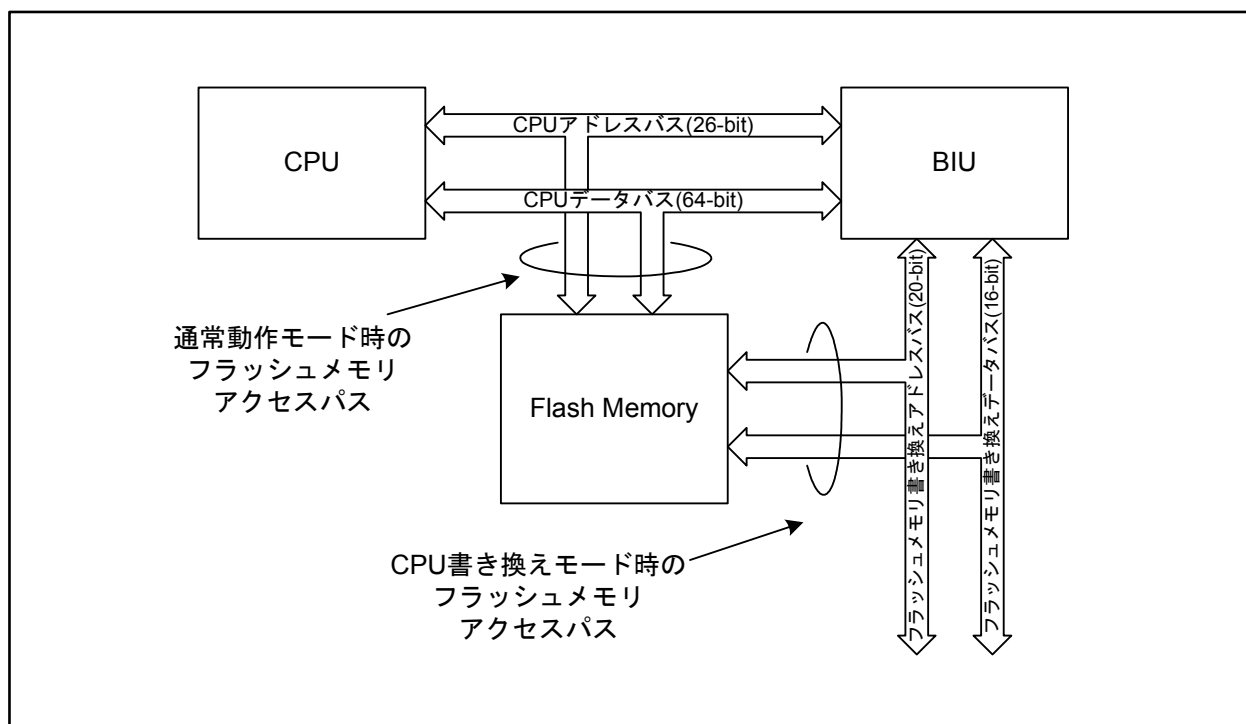


図 28.3 CPU 書き換えモード時のフラッシュメモリアクセスパス

フラッシュメモリ書き換えのためのバス設定は、FEBCレジスタで行います。FEBCレジスタは、「28.3.1 フラッシュメモリ書き換えバスタイミング設定」および「29. 電気的特性」を参照して、書き換え条件を満たすように設定してください。

CPU書き換えモードには、EW0モードとEW1モードがあります。表 28.5にEW0モードとEW1モードの相違点を示します。

表 28.5 EW0モードとEW1モードの相違点

項目	EW0モード	EW1モード
書き換えプログラムを実行できる領域	内蔵フラッシュメモリ以外の領域	書き換え対象のブロック以外の内蔵フラッシュメモリ、内蔵RAM
ソフトウェアコマンドの制限	なし	<ul style="list-style-type: none"> プログラムコマンド/ブロックイレーズコマンド 書き換えプログラムのあるブロックに対して実行禁止 リードステータスレジスタモード移行コマンド 実行禁止 リードロックビットステータスモード移行コマンド RAM上から実行してください リードプロテクトビットステータスモード移行コマンド RAM上から実行してください
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
プログラム、イレーズ中のCPUの状態	動作	ホールド(入出力ポートはコマンド発行前の状態を保持)
フラッシュメモリのステータス検知	<ul style="list-style-type: none"> プログラムでFMSR0レジスタを読む リードステータスレジスタモード移行コマンドを実行し、データを読む 	<ul style="list-style-type: none"> プログラムでFMSR0レジスタを読む
その他制限	なし	<ul style="list-style-type: none"> ウォッチドッグタイマはカウントソース保護モードでは使えません プログラム、イレーズ中は割り込み(NMIを除く)、DMAを禁止にしてください

FMCRレジスタのFEWビットを“1”にすると、CPU書き換えモードになります。その後、FMR0レジスタのEWMビットの設定値によってEW0モードとEW1モードを選択できます。

FMCRレジスタ、FMR0レジスタは、それぞれPRRレジスタ、FPR0レジスタにより保護されています。図 28.4~図 28.11に関連するレジスタを示します。

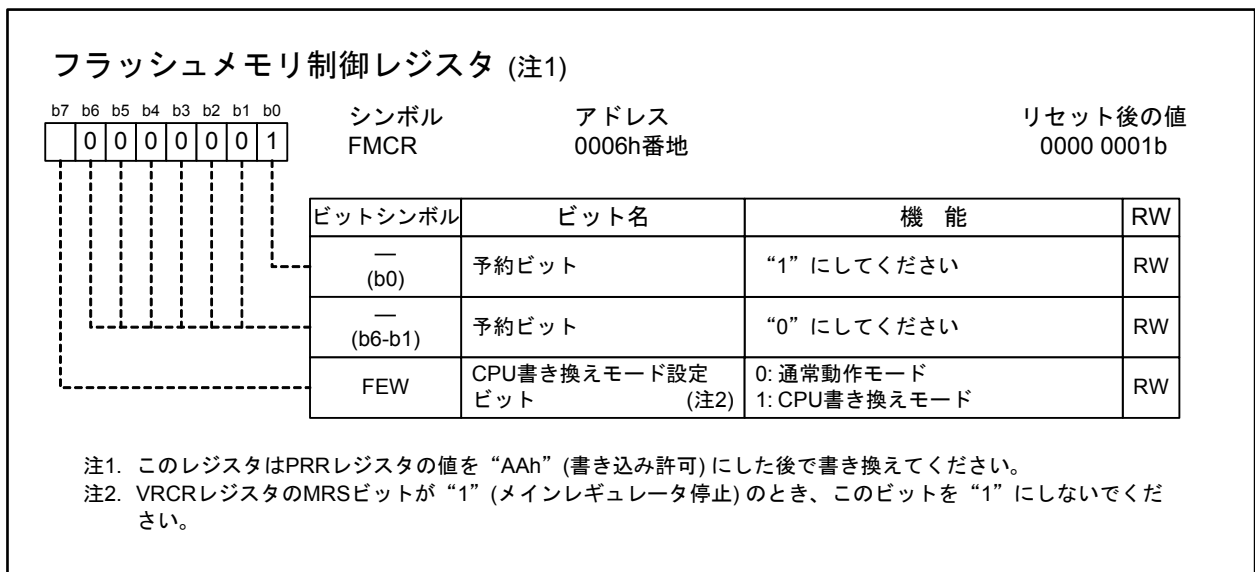


図 28.4 FMCR レジスタ

フラッシュメモリ書き換えバス制御レジスタ (注1)

シンボル
FEBC

アドレス
001Dh-001Ch番地

リセット後の値
0000h

ビットシンボル	ビット名	機能	RW
FWR0	リード信号パルス幅 設定ビット	b3 b2 b1 b0 0 0 0 0 : wr = 1 0 0 0 1 : wr = 2 0 1 0 1 : wr = 3 0 1 1 0 : wr = 4 1 0 1 0 : wr = 5 1 0 1 1 : wr = 6 1 1 1 1 : wr = 7 上記以外 : 設定しないでください	RW
FWR1		RW	
FWR2		RW	
FWR3		RW	
FWR4	リード信号パルス幅 微調整ビット	0: 微調整しない 1: 微調整する	RW
— (b5)	予約ビット	“0” にしてください	RW
MPY0	設定サイクル数通倍ビット	b7 b6 0 0 : 設定しないでください 0 1 : 設定しないでください 1 0 : mpy = 3 1 1 : mpy = 4	RW
MPY1		RW	
FSUW0	ライト前アドレス セットアップ時間 設定ビット	b9 b8 0 0 : suw = 0 0 1 : suw = 1 1 0 : suw = 2 1 1 : suw = 3	RW
FSUW1			
FWW0	ライト信号パルス幅 設定ビット	b11b10 0 0 : ww = 1 0 1 : ww = 2 1 0 : ww = 3 1 1 : ww = 4	RW
FWW1			
— (b12)	予約ビット	“1” にしてください	RW
— (b13)	予約ビット	“0” にしてください	RW
— (b14)	予約ビット	“1” にしてください	RW
— (b15)	予約ビット	“0” にしてください	RW

注1. このレジスタはPRRレジスタの値を“AAh” (書き込み許可) にした後で書き換えてください。

図 28.5 FEBC レジスタ



図 28.6 FPR0 レジスタ

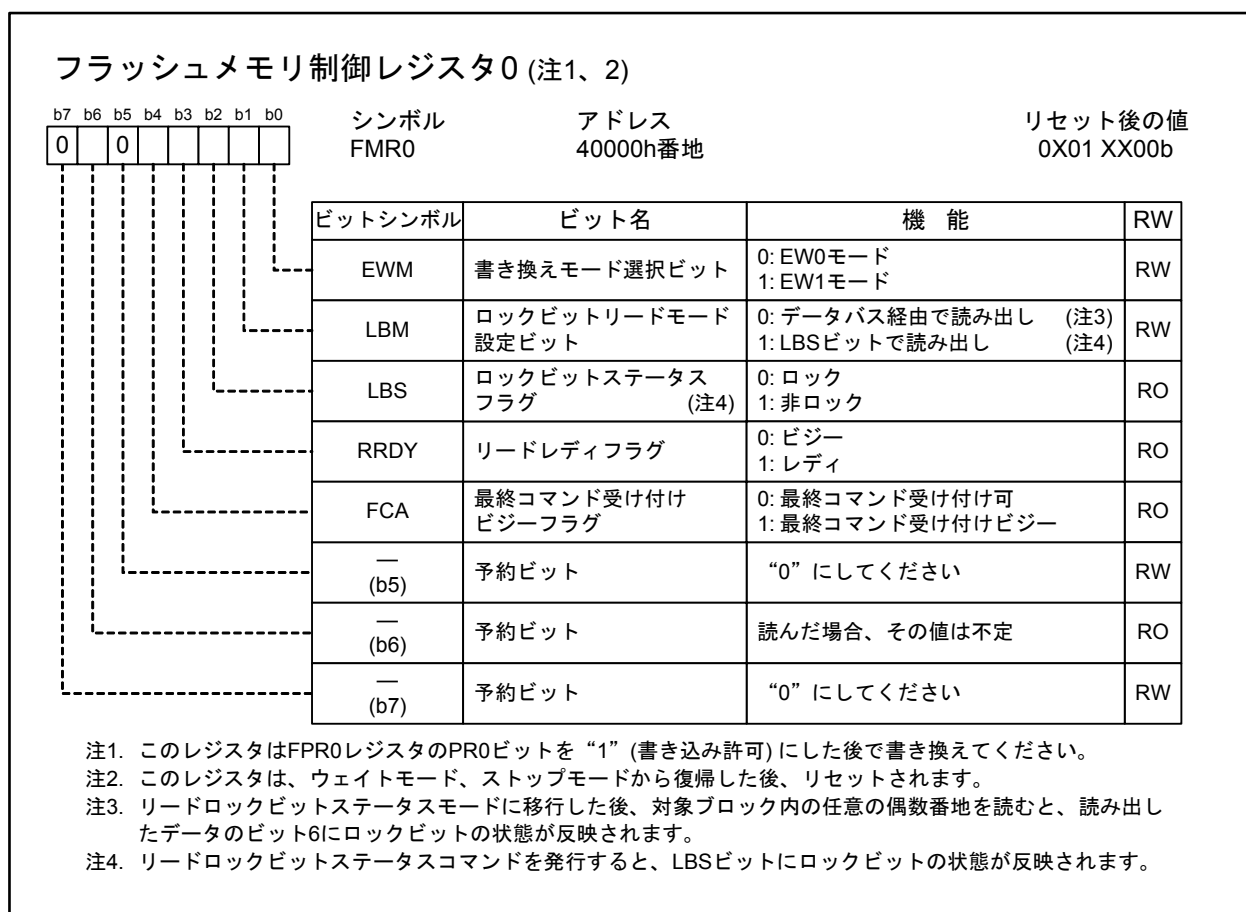


図 28.7 FMR0 レジスタ

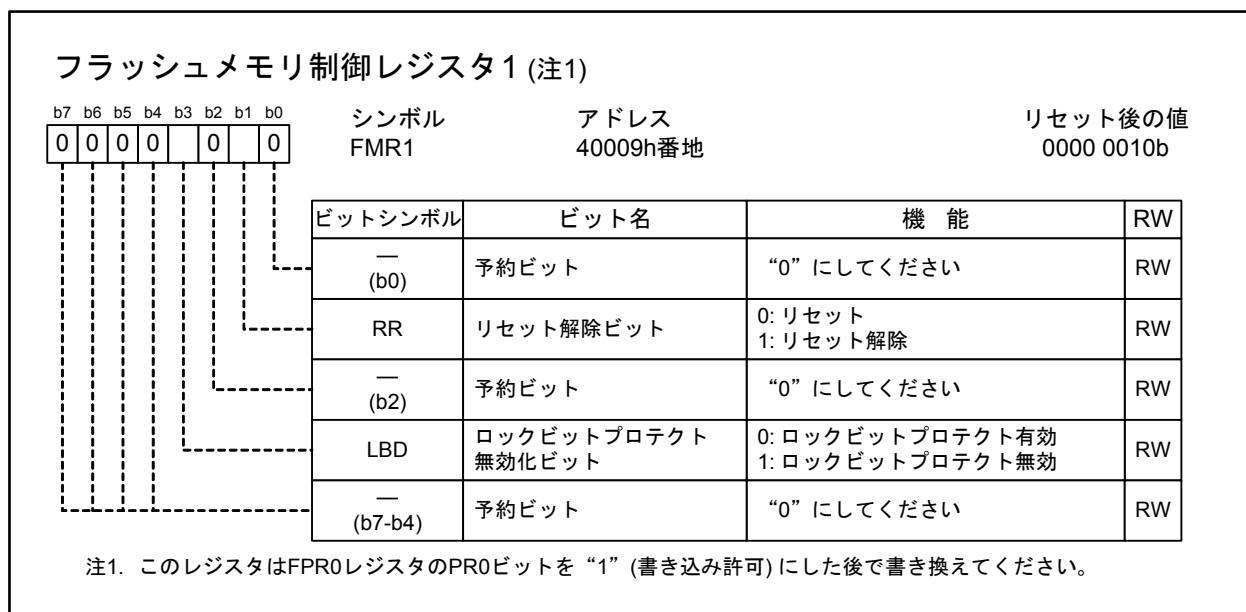


図 28.8 FMR1 レジスタ

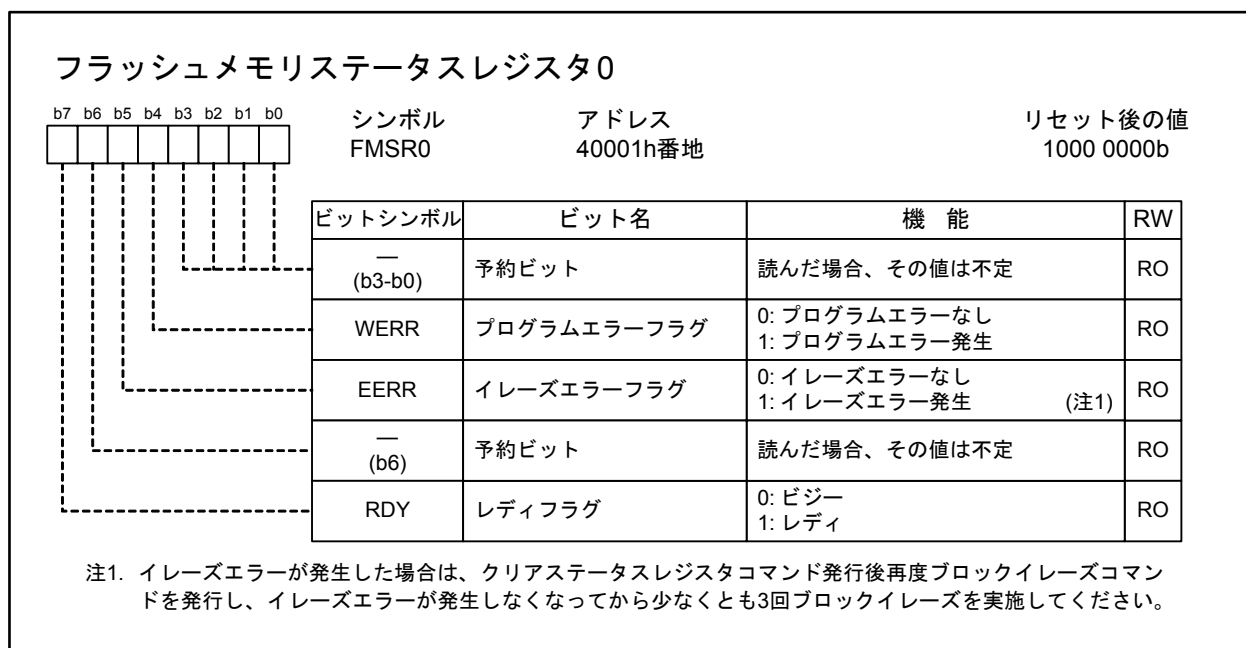


図 28.9 FMSR0 レジスタ

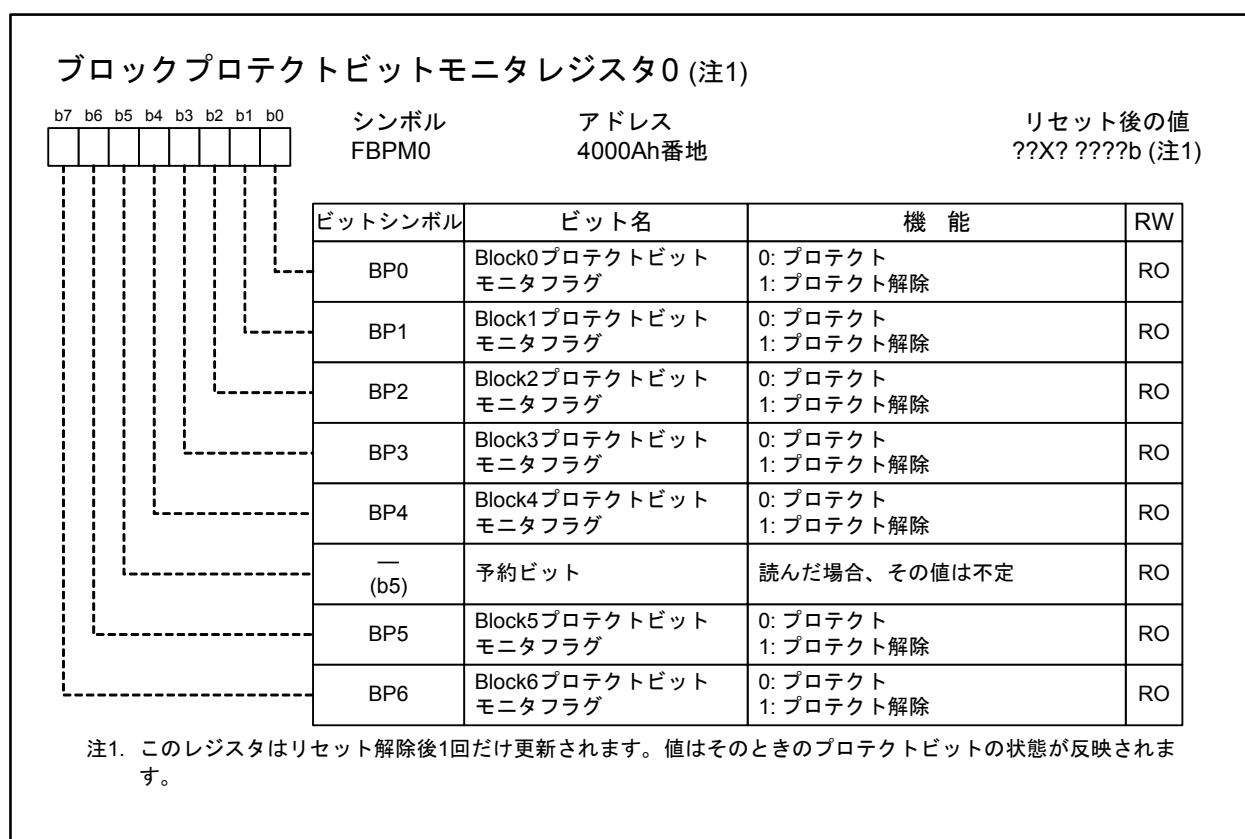


図 28.10 FBPM0 レジスタ

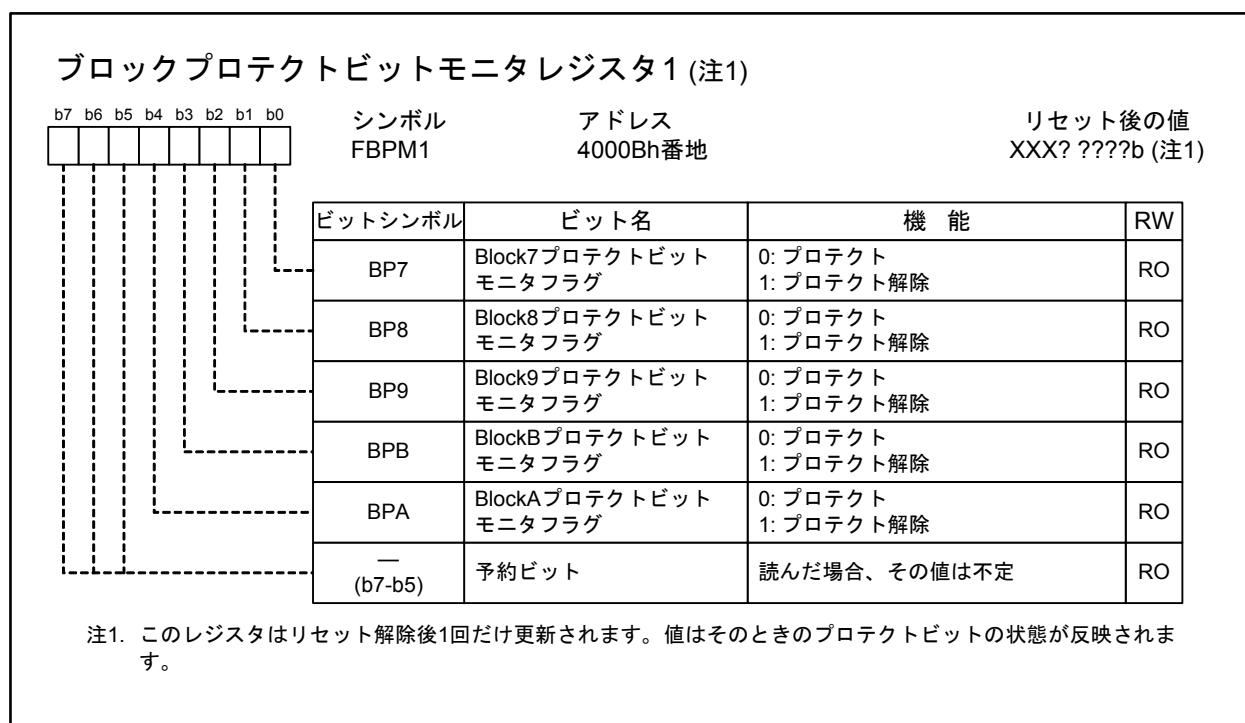


図 28.11 FBPM1 レジスタ

28.3.1 フラッシュメモリ書き換えバスタイミング設定

フラッシュメモリ書き換えのためのバス設定はFEBCレジスタで行います。ここではFEBCレジスタの設定について詳細に説明します。

バスタイミングの基準となるクロックはCCRレジスタのBCD1~BCD0ビットで設定されるベースクロックです。tsu、tw、tc、thなどの時間はベースクロックのサイクル数で規定します。

フラッシュメモリのリードタイミング図を図 28.12に、周辺バスクロック分周値ごとのMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係を表 28.6~表 28.8に、フラッシュメモリのライトタイミング図を図 28.13に、周辺バスクロック分周値ごとのMPY1~MPY0ビット、FSUW1~FSUW0ビット、FWW1~FWW0ビットの設定値とライトサイクルの関係を表 28.9~表 28.11にそれぞれ示します。

電気的特性に示すCPU書き換えモードのタイミング条件を満たすリードサイクル、ライトサイクルのタイミングをこれらの表から選択します。

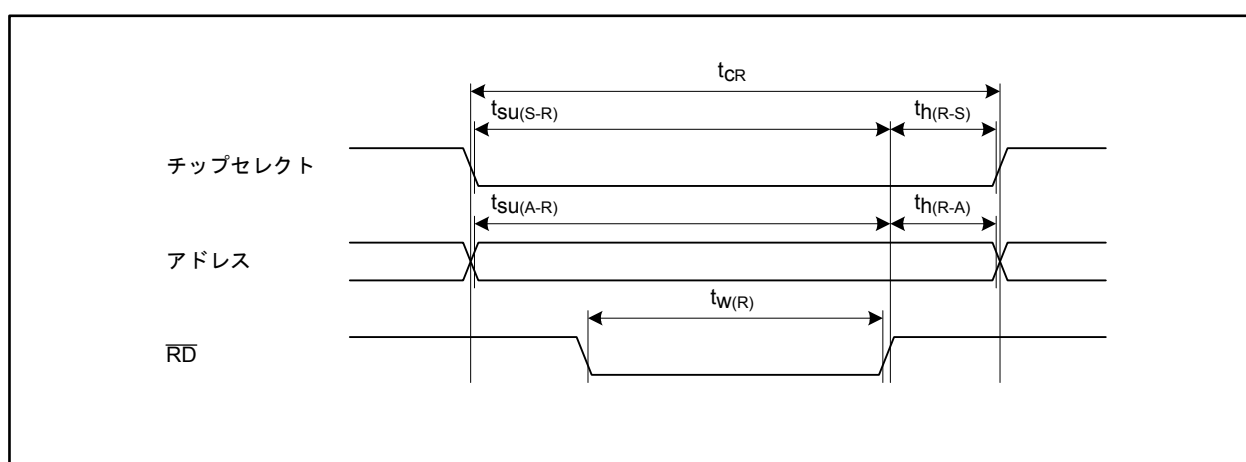


図 28.12 リードタイミング

表 28.6 周辺バスクロック2分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0 ビットの設定値		FWR4 ビットの 設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			mpy=3				mpy=4			
			tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)	tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)
0000b	wr=1	0	4	3	4	0	6	5	6	0
		1	6	5	6	0	6	5	6	0
0001b	wr=2	0	8	7	8	0	10	9	10	0
		1	8	7	8	0	10	9	10	0
0101b	wr=3	0	10	9	10	0	14	13	14	0
		1	12	11	12	0	14	13	14	0
0110b	wr=4	0	14	13	14	0	18	17	18	0
		1	14	13	14	0	18	17	18	0
1010b	wr=5	0	16	15	16	0	22	21	22	0
		1	18	17	18	0	22	21	22	0
1011b	wr=6	0	20	19	20	0	26	25	26	0
		1	20	19	20	0	26	25	26	0
1111b	wr=7	0	22	21	22	0	30	29	30	0
		1	24	23	24	0	30	29	30	0

表 28.7 周辺バスクロック3分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0 ビットの設定値		FWR4 ビットの 設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			<i>mpy=3</i>				<i>mpy=4</i>			
			tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)	tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)
0000b	<i>wr=1</i>	0	6	4.5	6	0	6	4.5	6	0
		1	6	4.5	6	0	6	4.5	6	0
0001b	<i>wr=2</i>	0	9	7.5	9	0	9	7.5	9	0
		1	9	7.5	9	0	12	10.5	12	0
0101b	<i>wr=3</i>	0	12	10.5	12	0	15	13.5	15	0
		1	12	10.5	12	0	15	13.5	15	0
0110b	<i>wr=4</i>	0	15	13.5	15	0	18	16.5	18	0
		1	15	13.5	15	0	18	16.5	18	0
1010b	<i>wr=5</i>	0	18	16.5	18	0	21	19.5	21	0
		1	18	16.5	18	0	24	22.5	24	0
1011b	<i>wr=6</i>	0	21	19.5	21	0	27	25.5	27	0
		1	21	19.5	21	0	27	25.5	27	0
1111b	<i>wr=7</i>	0	24	22.5	24	0	30	28.5	30	0
		1	24	22.5	24	0	30	28.5	30	0

表 28.8 周辺バスクロック4分周時におけるMPY1~MPY0ビット、FWR4~FWR0ビットの設定値とリードサイクルの関係(単位:サイクル)

FWR3~FWR0 ビットの設定値		FWR4 ビットの 設定値	MPY1~MPY0ビットの設定値							
			10b				11b			
			<i>mpy=3</i>				<i>mpy=4</i>			
			tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)	tsu(S-R), tsu(A-R)	tw(R)	tCR	th(R-S), th(R-A)
0000b	<i>wr=1</i>	0	4	2	4	0	8	6	8	0
		1	8	6	8	0	8	6	8	0
0001b	<i>wr=2</i>	0	8	6	8	0	12	10	12	0
		1	8	6	8	0	12	10	12	0
0101b	<i>wr=3</i>	0	12	10	12	0	16	14	16	0
		1	12	10	12	0	16	14	16	0
0110b	<i>wr=4</i>	0	16	14	16	0	20	18	20	0
		1	16	14	16	0	20	18	20	0
1010b	<i>wr=5</i>	0	16	14	16	0	24	22	24	0
		1	20	18	20	0	24	22	24	0
1011b	<i>wr=6</i>	0	20	18	20	0	28	26	28	0
		1	20	18	20	0	28	26	28	0
1111b	<i>wr=7</i>	0	24	22	24	0	32	30	32	0
		1	24	22	24	0	32	30	32	0

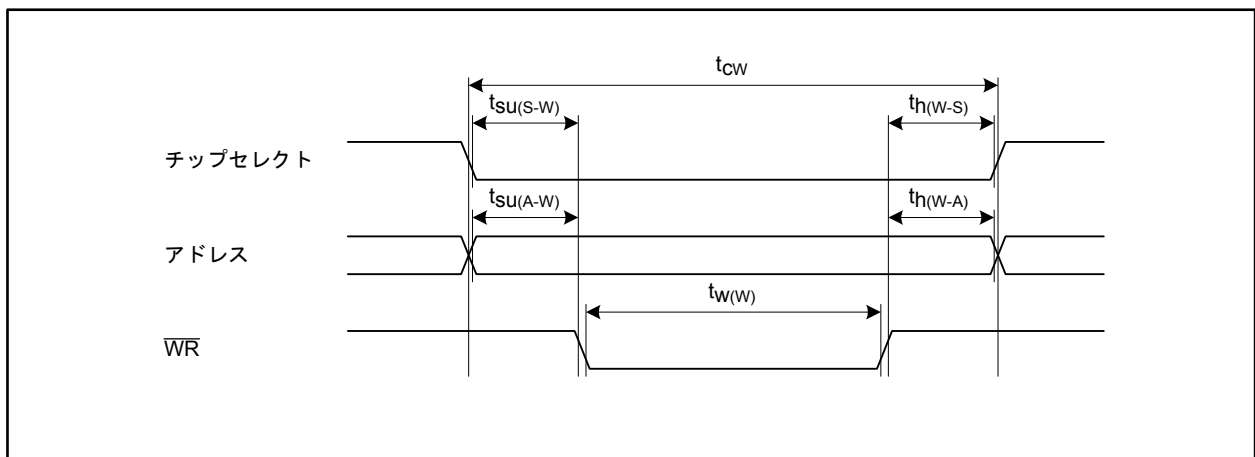


図 28.13 ライトタイミング

表 28.9 周辺バスクロック2分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0 ビットの設定値	FWW1~FWW0 ビットの設定値	MPY1~MPY0ビットの設定値									
		10b					11b				
		$mpy=3$					$mpy=4$				
				$t_{su(S-W)},$ $t_{su(A-W)}$	$t_w(W)$	t_{cw}	$t_{th(W-S)},$ $t_{th(W-A)}$	$t_{su(S-W)},$ $t_{su(A-W)}$	$t_w(W)$	t_{cw}	$t_{th(W-S)},$ $t_{th(W-A)}$
00b	$suw=0$	00b	$ww=1$	1	3	6	2	1	4	6	1
		01b	$ww=2$	1	6	8	1	1	8	10	1
		10b	$ww=3$	1	9	12	2	1	12	14	1
		11b	$ww=4$	1	12	14	1	1	16	18	1
01b	$suw=1$	00b	$ww=1$	4	3	8	1	5	4	10	1
		01b	$ww=2$	4	6	12	2	5	8	14	1
		10b	$ww=3$	4	9	14	1	5	12	18	1
		11b	$ww=4$	4	12	18	2	5	16	22	1
10b	$suw=2$	00b	$ww=1$	7	3	12	2	9	4	14	1
		01b	$ww=2$	7	6	14	1	9	8	18	1
		10b	$ww=3$	7	9	18	2	9	12	22	1
		11b	$ww=4$	7	12	20	1	9	16	26	1
11b	$suw=3$	00b	$ww=1$	10	3	14	1	13	4	18	1
		01b	$ww=2$	10	6	18	2	13	8	22	1
		10b	$ww=3$	10	9	20	1	13	12	26	1
		11b	$ww=4$	10	12	24	2	13	16	30	1

表 28.10 周辺バスクロック3分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0 ビットの設定値		FWW1~FWW0 ビットの設定値		MPY1~MPY0ビットの設定値							
				10b				11b			
				<i>mpy=3</i>				<i>mpy=4</i>			
				tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)	tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)
00b	<i>suw=0</i>	00b	<i>ww=1</i>	1	3	6	2	1	4	6	1
		01b	<i>ww=2</i>	1	6	9	2	1	8	12	3
		10b	<i>ww=3</i>	1	9	12	2	1	12	15	2
		11b	<i>ww=4</i>	1	12	15	2	1	16	18	1
01b	<i>suw=1</i>	00b	<i>ww=1</i>	4	3	9	2	6	3	12	3
		01b	<i>ww=2</i>	4	6	12	2	6	7	15	2
		10b	<i>ww=3</i>	4	9	15	2	6	11	18	1
		11b	<i>ww=4</i>	4	12	18	2	6	15	24	3
10b	<i>suw=2</i>	00b	<i>ww=1</i>	7	3	12	2	9	4	15	2
		01b	<i>ww=2</i>	7	6	15	2	9	8	18	1
		10b	<i>ww=3</i>	7	9	18	2	9	12	24	3
		11b	<i>ww=4</i>	7	12	21	2	9	16	27	2
11b	<i>suw=3</i>	00b	<i>ww=1</i>	10	3	15	2	13	4	18	1
		01b	<i>ww=2</i>	10	6	18	2	13	8	24	3
		10b	<i>ww=3</i>	10	9	21	2	13	12	27	2
		11b	<i>ww=4</i>	10	12	24	2	13	16	30	1

表 28.11 周辺バスクロック4分周時におけるMPY1~MPY0ビット、FSUW1~FSUW0、FWW1~FWW0ビットの設定値とライトサイクルの関係(単位:サイクル)

FSUW1~FSUW0 ビットの設定値		FWW1~FWW0 ビットの設定値		MPY1~MPY0ビットの設定値							
				10b				11b			
				<i>mpy=3</i>				<i>mpy=4</i>			
				tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)	tsu(S-W), tsu(A-W)	tw(W)	tcw	th(W-S), th(W-A)
00b	<i>suw=0</i>	00b	<i>ww=1</i>	1	3	8	4	1	4	8	3
		01b	<i>ww=2</i>	1	6	8	1	1	8	12	3
		10b	<i>ww=3</i>	1	9	12	2	1	12	16	3
		11b	<i>ww=4</i>	1	12	16	3	1	16	20	3
01b	<i>suw=1</i>	00b	<i>ww=1</i>	4	3	8	1	5	4	12	3
		01b	<i>ww=2</i>	4	6	12	2	5	8	16	3
		10b	<i>ww=3</i>	4	9	16	3	5	12	20	3
		11b	<i>ww=4</i>	4	12	20	4	5	16	24	3
10b	<i>suw=2</i>	00b	<i>ww=1</i>	8	2	12	2	9	4	16	3
		01b	<i>ww=2</i>	8	5	16	3	9	8	20	3
		10b	<i>ww=3</i>	8	8	20	4	9	12	24	3
		11b	<i>ww=4</i>	8	11	20	1	9	16	28	3
11b	<i>suw=3</i>	00b	<i>ww=1</i>	10	3	16	3	13	4	20	3
		01b	<i>ww=2</i>	10	6	20	4	13	8	24	3
		10b	<i>ww=3</i>	10	9	20	1	13	12	28	3
		11b	<i>ww=4</i>	10	12	24	2	13	16	32	3

28.3.2 ソフトウェアコマンド

CPU書き換えモードにおいて、フラッシュメモリに対してソフトウェアコマンドを発行すると、フラッシュメモリの書き換えや消去を行うことができます。

コマンドの書き込み、データの読み書きは16ビット単位で行ってください。

表 28.12にソフトウェアコマンドの一覧を示します。

表 28.12 ソフトウェアコマンド一覧

ソフトウェアコマンド	第一コマンド		第二コマンド	
	アドレス	データ	アドレス	データ
リードアレイモード移行	FFFFFF800h	00FFh	—	—
リードステータスレジスタモード移行(注1)	FFFFFF800h	0070h	—	—
クリアステータスレジスタ	FFFFFF800h	0050h	—	—
プログラム(注2)	FFFFFF800h	0043h	WA	WD
ブロックイレーズ	FFFFFF800h	0020h	BA	00D0h
ロックビットプログラム	FFFFFF800h	0077h	BA	00D0h
リードロックビットステータス	FFFFFF800h	0071h	BA	00D0h
リードロックビットステータスモード移行(注3)	FFFFFF800h	0071h	—	—
プロテクトビットプログラム	FFFFFF800h	0067h	PBA	00D0h
リードプロテクトビットステータスモード移行(注3)	FFFFFF800h	0061h	—	—

WA: 書き込みアドレス(偶数)

WD: 書き込みデータ(16ビット)

BA: 対象ブロック内の任意の偶数番地

PBA: プロテクトビットのアドレス(表 28.4参照)

注1. EW1モードでは使用できません。

注2. プログラムは64ビット(4ワード)単位で行います。第二コマンド以降第五コマンドまでが一連のコマンドです。アドレス(WA)の上位29ビットは固定、下位3ビットは、第二コマンドから順に、000b-010b-100b-110b(0h-2h-4h-6hまたは8h-Ah-Ch-Eh)となるように指定してください。

注3. RAM上のプログラムから発行してください。

28.3.3 モード遷移

CPU書き換えモードにおけるフラッシュメモリの動作モードには以下の4つがあります。

- リードアレイモード
- リードステータスレジスタモード
- リードロックビットステータスモード
- リードプロテクトビットステータスモード

これらのモードにあるときにフラッシュメモリを読み出すと、それぞれ、メモリの内容、ステータスレジスタの内容、読み出したブロックのロックビットの状態、プロテクトビットの状態が読み出されます。これらの内容をそれぞれ表 28.13~表 28.15に示します。

表 28.13 ステータスレジスタの内容

ビット	ビットシンボル	ビット名	内容	
			“0”	“1”
b15-b8	—	無効ビット	—	—
b7	SR7	シーケンサ ステータス	ビジー	レディ
b6	—	予約ビット	—	—
b5	SR5	イレーズステータス	正常終了	異常終了
b4	SR4	プログラムステータス	正常終了	異常終了
b3	—	予約ビット	—	—
b2	—	予約ビット	—	—
b1	—	予約ビット	—	—
b0	—	予約ビット	—	—

表 28.14 ロックビットステータスの内容

ビット	ビットシンボル	ビット名	内容	
			“0”	“1”
b15-b7	—	無効ビット	—	—
b6	LBS	ロックビットステータス	ロック	非ロック
b5-b0	—	無効ビット	—	—

表 28.15 プロテクトビットステータスの内容

ビット	ビットシンボル	ビット名	内容	
			“0”	“1”
b15-b7	—	無効ビット	—	—
b6	PBS	プロテクトビットステータス	プロテクト	非プロテクト
b5-b0	—	無効ビット	—	—

これらのモードからソフトウェアコマンドを発行することで、フラッシュメモリの書き込みや消去が実行できます。プログラム、イレーズが終了した後は、自動的にリードアレイモード(EW1モードの場合)またはリードステータスレジスタモード(EW0モードの場合)に戻ります。

28.3.4 コマンド発行手順

ここではソフトウェアコマンドの発行手順について説明します。
コマンドはFMSR0レジスタのRDYビットが“1”(レディ)のときに発行してください。

28.3.4.1 リードアレイモード移行コマンド

リードアレイモードに移行するコマンドです。
FFFFFF800h番地に“00FFh”を書くと、フラッシュメモリはリードアレイモードになり、フラッシュメモリ内の任意の番地の内容を読み出せるようになります。
EW1モードに入るとフラッシュメモリは常にリードアレイモードになっています。

28.3.4.2 リードステータスレジスタモード移行コマンド

リードステータスレジスタモードに移行するコマンドです。
FFFFFF800h番地に“0070h”を書くと、フラッシュメモリのどの番地を読んでも、ステータスレジスタの内容が読めます。
EW1モードではこのコマンドを発行しないでください。

28.3.4.3 クリアステータスレジスタコマンド

フラッシュメモリ内部のステータスレジスタをリセットするコマンドです。
FFFFFF800h番地に“0050h”を書くと、ステータスレジスタのSR5、SR4ビットが“0”(正常終了)になります(表 28.13参照)。その結果、FMSR0レジスタのEERR、WERRビットも“0”になります。

28.3.4.4 プログラムコマンド

4ワード(8バイト)単位でフラッシュメモリにデータを書くコマンドです。

FFFFFF800h番地に“0043h”を書き、続けて8n+0番地~8n+6番地にデータを書くと、自動書き込み(データのプログラムとベリファイ)を開始します。最終コマンド発行前にはFMR0レジスタのFCAビットが“0”になることを確認してください。

自動書き込みの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、自動書き込み中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込みの結果はFMSR0レジスタのWERRビットで確認できます(「28.3.5 ステータスチェック」参照)。

なお、すでにプログラムされた番地に追加書き込みをしないでください。

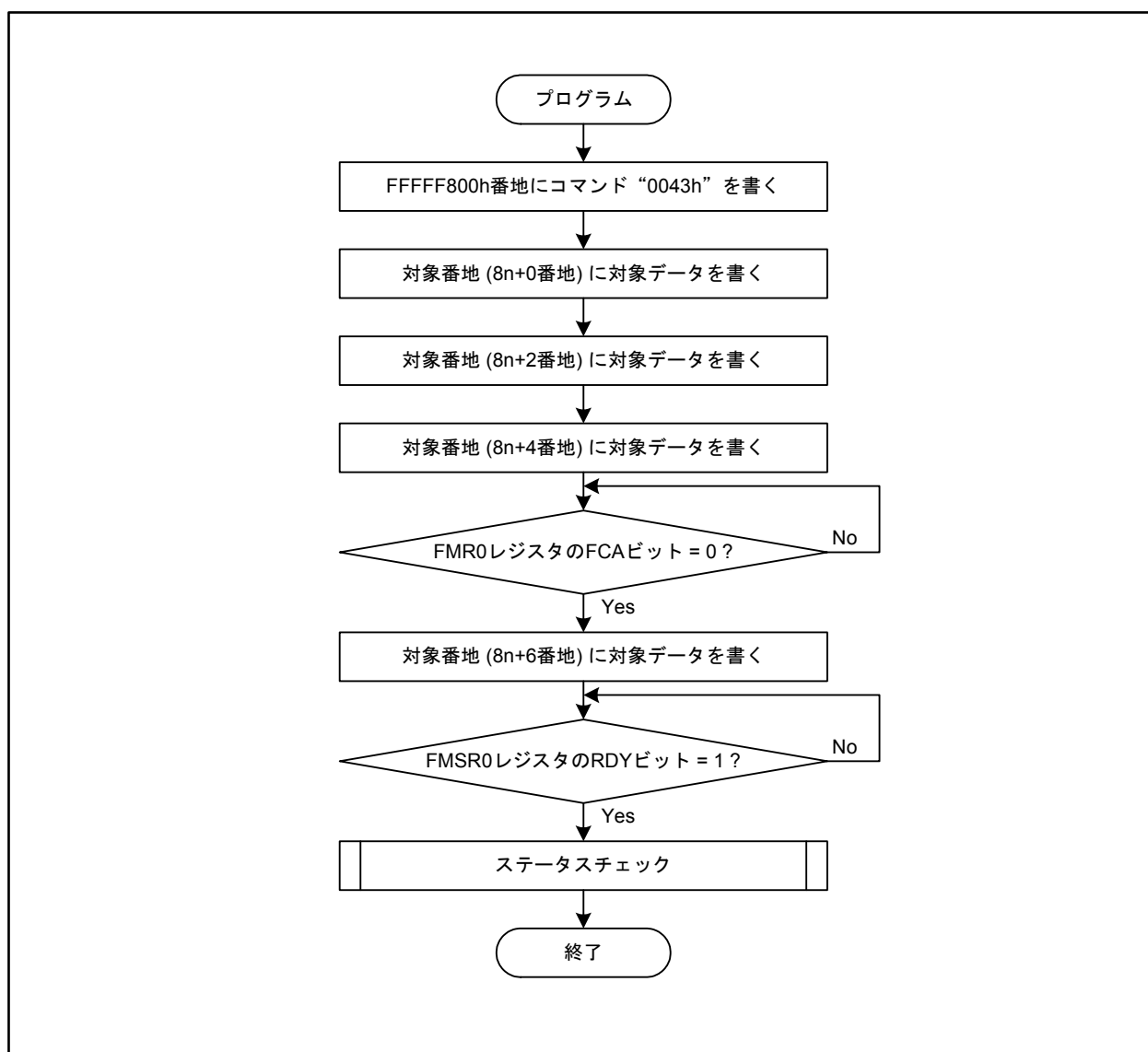


図 28.14 プログラムコマンド発行のフローチャート

28.3.4.5 ブロックイレーズコマンド

フラッシュメモリの指定したブロックを消去するコマンドです。

FFFFFF800h番地に“0020h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックの自動消去(イレーズとベリファイ)を開始します。

自動消去の終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、自動消去中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去の結果はFMSR0レジスタのEERRビットで確認できます(「28.3.5 ステータスチェック」参照)。

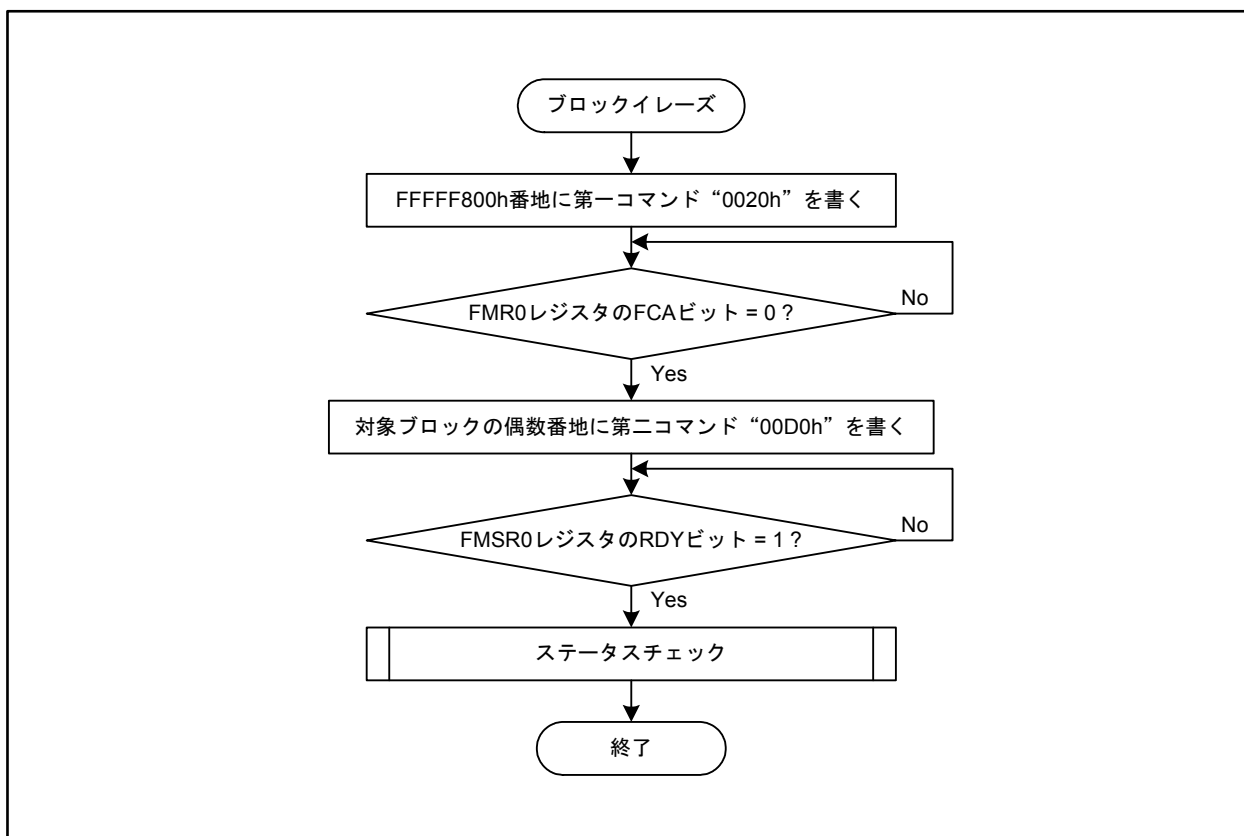


図 28.15 ブロックイレーズコマンド発行のフローチャート

28.3.4.6 ロックビットプログラムコマンド

フラッシュメモリの指定したブロックをロックするコマンドです。

FFFFFF800h 番地に“0077h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックのロックビットに“0”（ロック）が書かれます。

ロックビットプログラムの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、ロックビットプログラム中は“0”（ビジー）、終了後は“1”（レディ）になります。

ロックビットの状態はFMR0レジスタのLBMビットが“1”（LBSビット経由で読み出し）の場合、リードロックビットステータスコマンドで確認できます（「28.3.4.7 リードロックビットステータスコマンド」参照）。LBMビットが“0”（データバス経由で読み出し）の場合は、リードロックビットステータスモードに移行してください（「28.3.4.8 リードロックビットステータスモード移行コマンド」参照）。

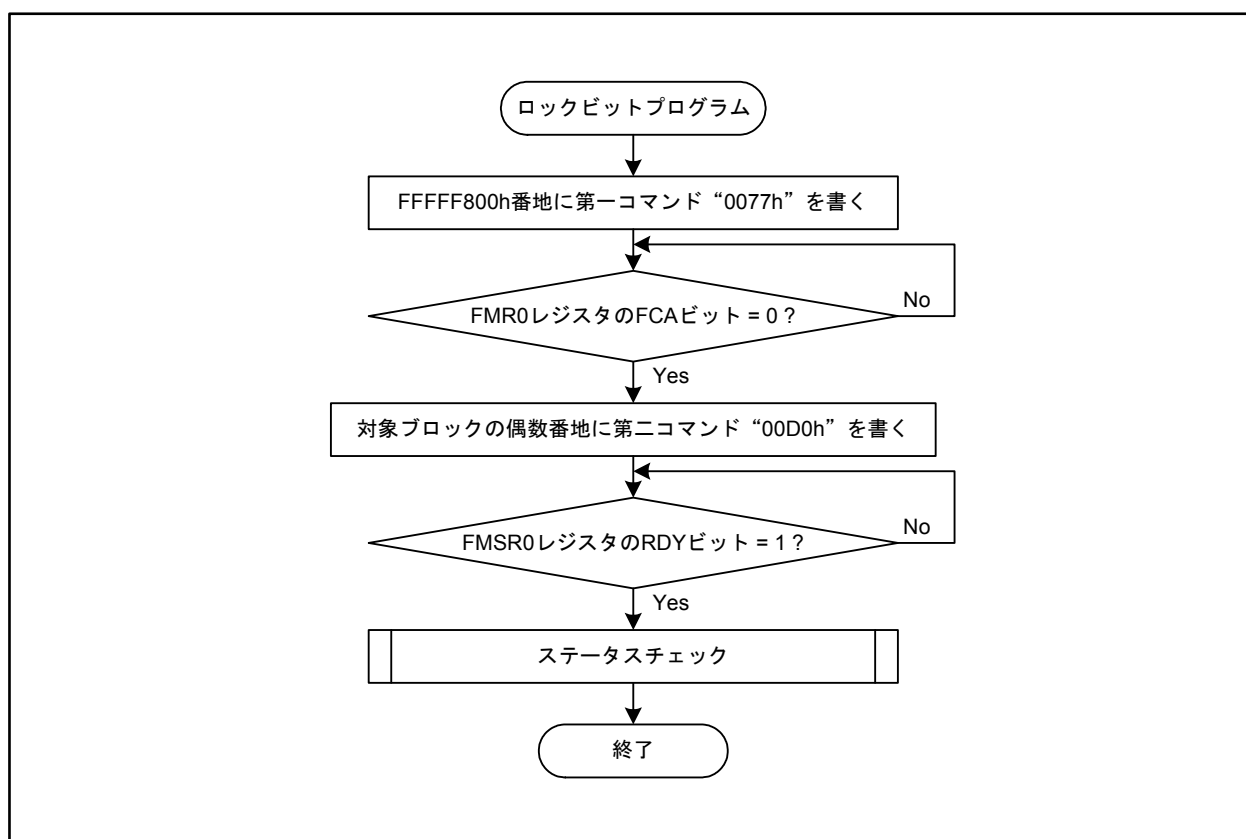


図 28.16 ロックビットプログラムコマンド発行のフローチャート

28.3.4.7 リードロックビットステータスコマンド

フラッシュメモリの指定したブロックのロック状態を確認するコマンドです。FMR0レジスタのLBMビットが“1” (LBSビット経由で読み出し) の場合に使用できます。

FFFFF800h 番地に“0071h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックの任意の偶数番地に“00D0h”を書くと、指定されたブロックのロックビットの状態がFMR0レジスタのLBSビットに反映されます。

FMSR0レジスタのRDYビットが“1” (レディ) になってからLBSビットを読んでください。

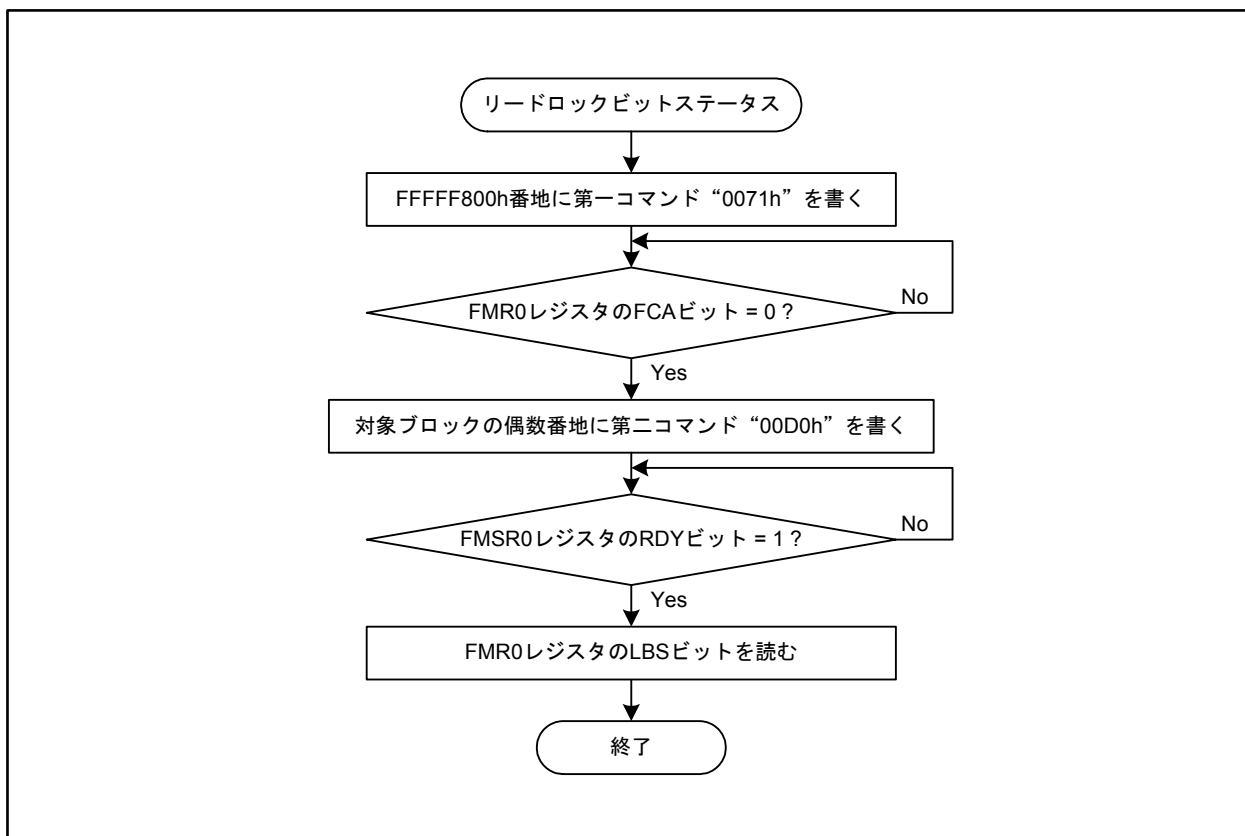


図 28.17 リードロックビットステータスコマンド発行のフローチャート

28.3.4.8 リードロックビットステータスモード移行コマンド

リードロックビットステータスモードに移行するコマンドです。FMR0レジスタのLBMビットが“0” (データバス経由で読み出し) の場合に使用できます。

FFFFF800h 番地に“0071h”を書くと、フラッシュメモリのどの番地を読んでも、読んだブロックのロックビットステータス(表 28.14参照)が読めます。

このコマンドを発行するプログラムはRAM上で実行してください。

28.3.4.9 プロテクトビットプログラムコマンド

フラッシュメモリの指定したブロックをプロテクトするコマンドです。いずれかのブロックのプロテクトビットを“0”にすると、ROMコードプロテクトが有効になります。

FFFFFF800h番地に“0067h”を書き、FMR0レジスタのFCAビットが“0”になることを確認した後、対象とするブロックのプロテクトビット(表 28.4参照)に対して“00D0h”を書くと、指定されたブロックのプロテクトビットに“0”(プロテクト)が書かれます。

プロテクトビットプログラムの終了はFMSR0レジスタのRDYビットで確認できます。RDYビットは、プロテクトビットプログラム中は“0”(ビジー)、終了後は“1”(レディ)になります。

プロテクトビットの状態は、リードプロテクトビットステータスモードに移行して(「28.3.4.10 リードプロテクトビットステータスモード移行コマンド」参照)、フラッシュメモリを読み出すことで確認できます。

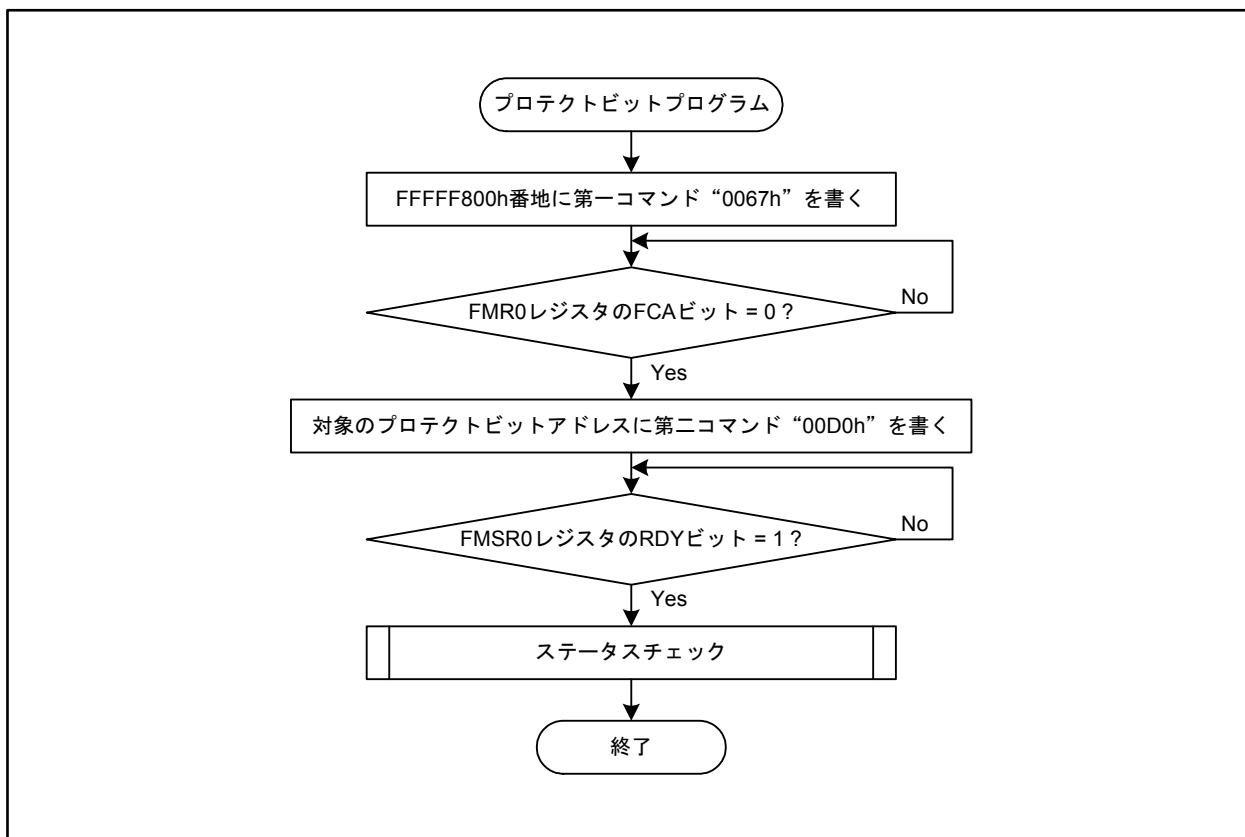


図 28.18 プロテクトビットプログラムコマンド発行のフローチャート

28.3.4.10 リードプロテクトビットステータスモード移行コマンド

リードプロテクトビットステータスモードに移行するコマンドです。

FFFFFF800h番地に“0061h”を書くと、フラッシュメモリのどの番地を読んでも、読んだブロックのプロテクトビットステータス(表 28.15参照)が読めます。

このコマンドを発行するプログラムはRAM上で実行してください。

28.3.5 ステータスチェック

ソフトウェアコマンドが正常に実行できたかどうかは、FMSR0レジスタのEERR、WERRビット、もしくはステータスレジスタのSR5、SR4ビットを読むことで確認できます。

これらのビットの意味を表 28.16に、ステータスチェックのフロー例を図 28.19に示します。

表 28.16 ステータスとエラー内容

FMSR0レジスタ (ステータスレジスタ)		エラー内容	エラー発生原因
EERRビット (SR5ビット)	WERRビット (SR4ビット)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> • 第二コマンドまであるソフトウェアコマンドの最終コマンドで“00D0h”もしくは“00FFh”(コマンドキャンセル)以外の値を書いた • アドレスを指定するコマンドで実在しないアドレスを指定した
1	0	イレーズエラー	<ul style="list-style-type: none"> • ロックされたブロックをイレーズしようとした • 対象のブロックが正しくイレーズできなかった
0	1	プログラムエラー	<ul style="list-style-type: none"> • ロックされたブロックにプログラムしようとした • データが正しくプログラムできなかった • ロックビットが正しくプログラムできなかった • プロテクトビットが正しくプログラムできなかった
0	0	正常終了	

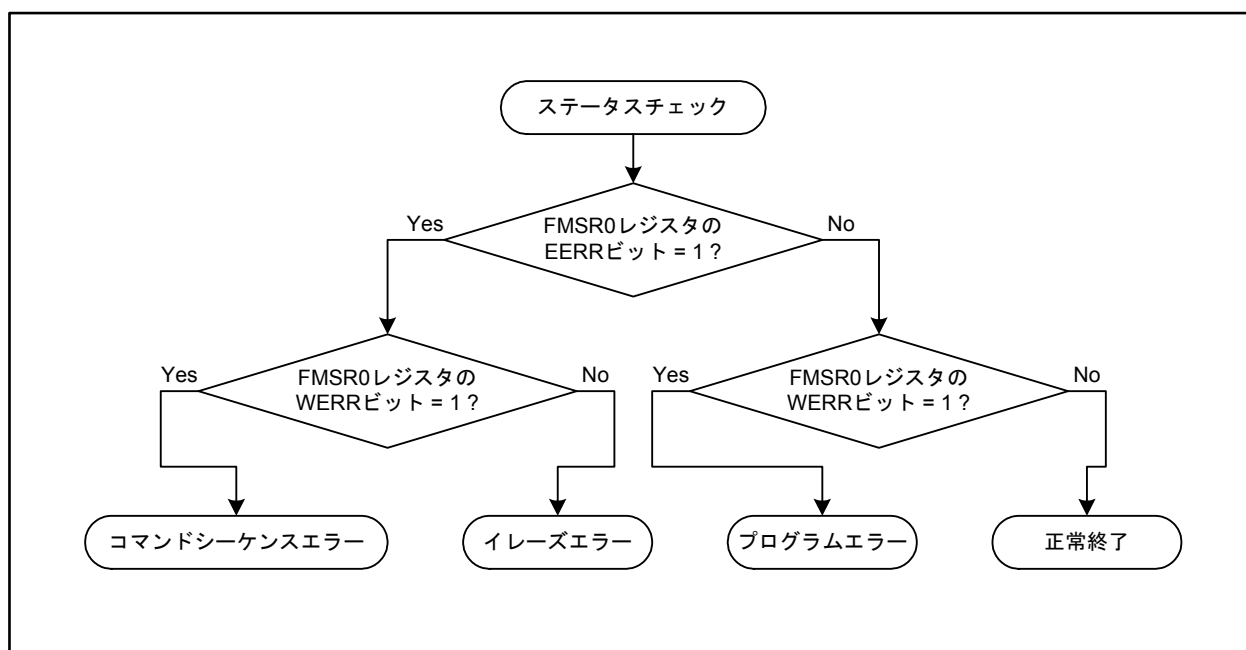


図 28.19 ステータスチェックのフローチャート

エラー発生時は、クリアステータスレジスタコマンドを発行してからエラー処理を行ってください。プログラムが正しいにもかかわらずイレーズエラーやプログラムエラーが頻発する場合、当該ブロックは使用できなくなった可能性があります。

28.4 標準シリアル入出力モード

標準シリアル入出力モードでは、R32C/142、R32C/145グループに対応したシリアルライタを使用して、マイクロコンピュータを基板に実装したままフラッシュメモリの内容を書き換えることができます。

シリアルライタについては各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのマニュアルを参照してください。

標準シリアル入出力モードには、クロック同期型シリアルインタフェースを使用する標準シリアル入出力モード1と、クロック非同期型シリアルインタフェースを使用する標準シリアル入出力モード2の2種類あります。それぞれの特徴を表 28.17に示します。

表 28.17 標準シリアル入出力モードの種類と特徴

項目		標準シリアル入出力モード1	標準シリアル入出力モード2
通信方式		クロック同期型シリアル通信	クロック非同期型シリアル通信
通信速度		高速	低速
使用シリアルインタフェース		UART1	UART1
端子の設定	CNVSS	“H”	“H”
	CE (P5_0)	“H”	“H”
	$\overline{\text{EPM}}$ (P5_5)	“L”	“L”
	SCLK (P6_5)	リセット時:“L”	リセット時:“L”
端子の機能		通信時: 送受信クロック	通信時: 未使用
	BUSY (P6_4)	BUSY信号	プログラム動作チェック用モニタ
	RXD (P6_6)	シリアルデータ入力	シリアルデータ入力
	TXD (P6_7)	シリアルデータ出力	シリアルデータ出力

表 28.18に標準シリアル入出力モードでの端子の機能を示します。また、図 28.20に標準シリアル入出力モード1を使用する場合の端子処理例、図 28.21に標準シリアル入出力モード2を使用する場合の端子処理例を示します。シリアルライタによって制御する端子が異なりますので、詳細はシリアルライタのマニュアルを参照してください。

表 28.18 標準シリアル入出力モードでの端子の機能

端子名	名称	入出力	機能
VCC, VCC0, VSS	電源入力	入力	VCC、VCC0端子にはプログラム、イレーズの保証電圧を、VSS端子には0Vを入力してください
VDC1, VDC0	平滑コンデンサ接続端子	—	VDC1端子とVDC0端子間に内部ロジック電圧安定用の平滑コンデンサを接続してください
CNVSS	CNVSS	入力	VCCにプルアップしてください
RESET	リセット入力	入力	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください
XIN	メインクロック入力	入力	XINとXOUTの間にはセラミック共振子または水晶振動子を接続してください。外部で生成したクロックを入力する場合は、XINから入力しXOUTは開放にしてください
XOUT	メインクロック出力	出力	
NSD	デバッグポート	入出力	1k~4.7kΩの抵抗で、VCCにプルアップしてください
AVCC, AVSS	アナログ電源入力	入力	AVCCはVCCに接続してください。AVSSはVSSに接続してください
VREF	基準電圧入力	入力	A/DコンバータとD/Aコンバータの基準電圧入力です
P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7	入力ポート	入力	“H”を入力、“L”を入力、または開放してください
P5_0	CE入力	入力	“H”を入力してください
P5_1~P5_4	入力ポート	入力	“H”を入力、“L”を入力、または開放してください
P5_5	EPM入力	入力	“L”を入力してください
P5_6, P5_7, P6_0~P6_3	入力ポート	入力	“H”を入力、“L”を入力、または開放してください
P6_4	BUSY出力	出力	標準シリアル入出力モード1: BUSY信号の出力端子です 標準シリアル入出力モード2: プログラム動作チェック用モニタ
P6_5	SCLK入力	入力	標準シリアル入出力モード1: シリアルクロックの入力端子です 標準シリアル入出力モード2: “L”を入力してください
P6_6	データ入力 RXD	入力	シリアルデータの入力端子です
P6_7	データ出力 TXD	出力	シリアルデータの出力端子です
P7_0~P7_7, P8_0~P8_4	入力ポート	入力	“H”を入力、“L”を入力、または開放してください
P8_5	NMI入力	入力	VCCにプルアップしてください
P8_6, P8_7, P9_1, P9_3~P9_7, P10_0~P10_7	入力ポート	入力	“H”を入力、“L”を入力、または開放してください

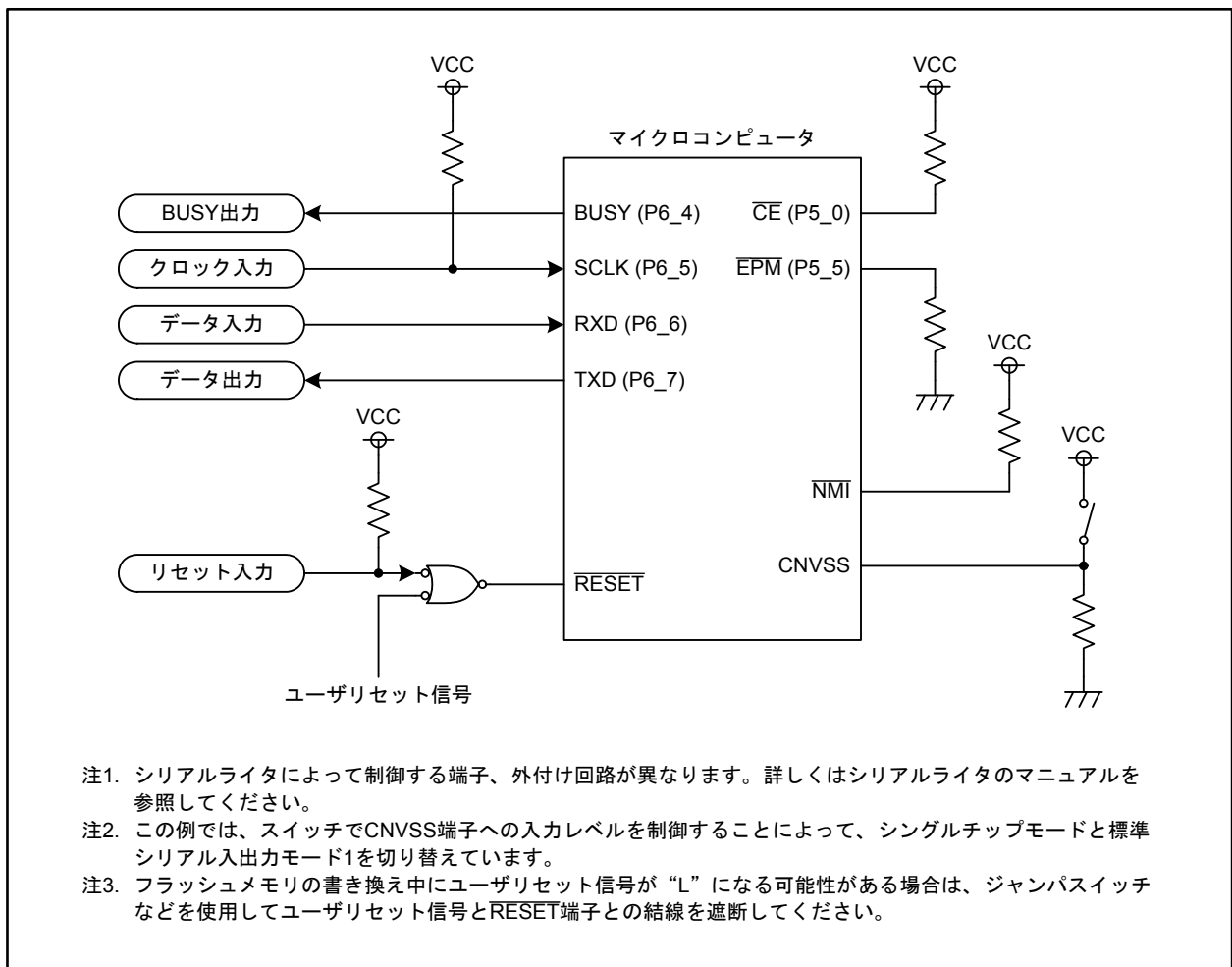


図 28.20 標準シリアル入出力モード1の端子処理例

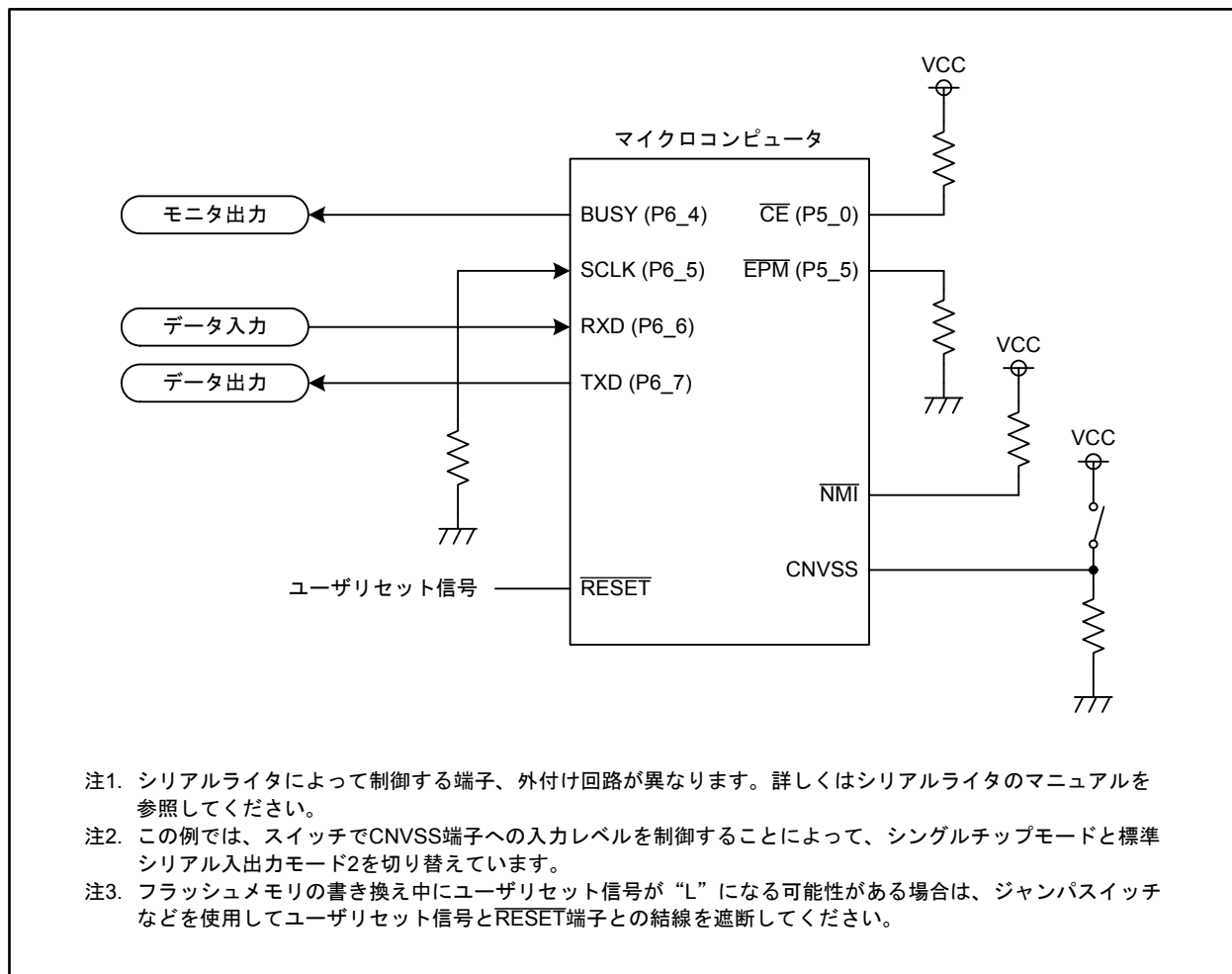


図 28.21 標準シリアル入出力モード2の端子処理例

28.5 パラレル入出力モード

パラレル入出力モードでは、R32C/142、R32C/145グループに対応したパラレルライターを使用して、フラッシュメモリの内容を書き換えることができます。

パラレルライターについては各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのマニュアルを参照してください。

28.6 フラッシュメモリ書き換えに関する注意

28.6.1 電源電圧に関する注意事項

- フラッシュメモリ書き換え中の電源電圧は、電気的特性に定める電圧の範囲で一定の電圧を供給してください。書き換え中に保証値を超える電圧変動があった場合、フラッシュメモリの保証はできません。

28.6.2 ハードウェアリセットに関する注意事項

- フラッシュメモリ書き換え中は、ハードウェアリセットを行わないでください。

28.6.3 フラッシュメモリプロテクトに関する注意点

- IDコードの格納番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み書きができなくなります。

28.6.4 プログラム作成上の注意点

- 低速モード、低消費電力モードでは、FMCRレジスタのFEWビットを“1”(CPU書き換えモード)にしないでください。
- プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラムは、NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込みで中断されます。これらのソフトウェアコマンドが中断された場合、当該ブロックをイレーズした後に再度同じコマンドを実行してください。特にブロックイレーズが中断された場合、ロックビットとプロテクトビットの値は不定になりますので、ロック解除後再度ブロックイレーズを実施してください。

28.6.5 割り込み使用上の注意点

- EW0モード
 - 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
 - NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。
 - BRK命令、INTO命令、UND命令は、フラッシュメモリ上のデータを参照するため使用できません。
- EW1モード
 - プログラム/ブロックイレーズ中に、可変ベクタテーブルにベクタを持つ割り込みが受け付けられないようにしてください。
 - ウォッチドッグタイマは、カウントソース保護モードで使用しないでください。また、ウォッチドッグタイマ割り込みが発生しないようにしてください。
 - NMI、発振停止検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR0レジスタのEWMビットを“1”(EW1モード)、FMR1レジスタのLBDビットを“1”(ロックビットプロテクト無効)にしてから再度書き換えプログラムを実行してください。

28.6.6 書き換え制御プログラムの書き換えに関する注意点

- EW0モード

- 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後のフラッシュメモリ書き換えができなくなることがあります。書き換えできなくなった場合は、シリアルライター、パラレルライターを使用して書き換えてください。

- EW1モード

- 書き換え制御プログラムが格納されているブロックは書き換えないでください。

28.6.7 プログラム、イレーズ回数とソフトウェアコマンド実行時間

- ソフトウェアコマンド(プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラム)の実行時間は、プログラム、イレーズ回数の増加とともに長くなります。特に、プログラム、イレーズ回数が電气的特性に定めるプログラム、イレーズ回数を超えると、ソフトウェアコマンドの実行時間は著しく長くなるため、ソフトウェアコマンドの待ち時間の設定は電气的特性に定める最大時間以上に設定してください。

28.6.8 その他の注意事項

- 電气的特性に定めるプログラム、イレーズ回数は当初の性能を保証できるプログラム、イレーズ回数の最大値です。この回数を超えると直ちにプログラム、イレーズができなくなるわけではありません。
- デバッグでプログラム、イレーズを繰り返したチップは、量産時には使用しないでください。

29. 電気的特性

表 29.1 絶対最大定格(注1)

記号	項目		条件	定格値	単位
V_{CC}	電源電圧		$V_{CC} = AV_{CC}$	-0.3 ~ 6.0	V
V_{CC0}	電源電圧		$V_{CC0} \leq V_{CC}$	-0.3 ~ 6.0	V
AV_{CC}	アナログ電源電圧		$V_{CC} = AV_{CC}$	-0.3 ~ 6.0	V
V_I	入力電圧	XIN, RESET, CNVSS, NSD, V_{REF} , P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_1, P9_3~P9_7, P10_0~P10_7		-0.3 ~ $V_{CC} + 0.3$	V
V_O	出力電圧	XOUT, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7		-0.3 ~ $V_{CC} + 0.3$	V
P_d	消費電力		$T_a = 25^\circ\text{C}$	500	mW
			$T_a \geq 85^\circ\text{C}$	300	mW
—	動作周囲温度			-40 ~ 125	$^\circ\text{C}$
T_{stg}	保存温度			-65 ~ 150	$^\circ\text{C}$

注1. 絶対最大定格は、瞬時たりとも超過してはならない限界値です。この値を超えて使用した場合には、デバイスの信頼性を著しく下げたり破壊することがあります。また、長期にわたって絶対最大定格の条件下に置かれた場合、デバイスの信頼性に影響することがあります。

表 29.2 推奨動作条件(1) (注1)

記号	項目		規格値			単位
			最小	標準	最大	
V _{CC}	電源電圧		4.2	5.0	5.5	V
V _{CC0}	電源電圧		3.0	3.3	V _{CC}	V
AV _{CC}	アナログ電源電圧			V _{CC}		V
V _{REF}	基準電圧		4.2		V _{CC}	V
V _{SS}	電源電圧			0		V
AV _{SS}	アナログ電源電圧			0		V
dV _{CC} /dt	V _{CC} 電源立ち上げ勾配 (V _{CC} < 2.0 V)		0.05		2.5	V/ms
dV _{CC0} /dt	V _{CC0} 電源立ち上げ勾配 (V _{CC0} < 2.0 V)		0.05		2.5	V/ms
V _{IH}	“H” 入力電圧	XIN, RESET, CNVSS, NSD	0.8 × V _{CC}		V _{CC}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7 (注2), P9_1, P9_3~P9_7, P10_0~P10_7	0.7 × V _{CC}		V _{CC}	V
V _{IL}	“L” 入力電圧	XIN, RESET, CNVSS, NSD	0		0.2 × V _{CC}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7 (注2), P9_1, P9_3~P9_7, P10_0~P10_7	0		0.3 × V _{CC}	V
T _{opr}	動作周囲温度	Jバージョン	-40		85	°C
		Lバージョン	-40		105	°C
		Kバージョン	-40		125	°C

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2. P8_7のV_{IH}、V_{IL}はP8_7をプログラマブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

表 29.3 推奨動作条件(2) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)(注1)

記号	項目	規格値(注2)			単位	
		最小	標準	最大		
C_{VDC}	電圧レギュレータ平滑コンデンサ容量	端子間電圧 1.5 V	2.4		10.0	μF

- 注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。
- 注2. 規格値はコンデンサの使用温度、両端子間の直流電圧、経年変化などのあらゆる条件を考慮した上で満たす必要があります。

表 29.4 推奨動作条件(3) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)(注1)

記号	項目	規格値			単位	
		最小	標準	最大		
$I_{OH(peak)}$	“H”尖頭出力電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7			-10.0	mA
$I_{OH(avg)}$	“H”平均出力電流(注3)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7			-5.0	mA
$I_{OL(peak)}$	“L”尖頭出力電流(注2)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7			10.0	mA
$I_{OL(avg)}$	“L”平均出力電流(注3)	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7			5.0	mA

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2. ポートP0, P1, P2, P8_6, P8_7, P9, P10の $I_{OL(peak)}$ の合計は80mA以下、ポートP3, P4, P5, P6, P7, P8_0~P8_4の $I_{OL(peak)}$ の合計は80mA以下、ポートP0, P1, P2の $I_{OH(peak)}$ の合計は-40mA以下、ポートP8_6, P8_7, P9, P10の $I_{OH(peak)}$ の合計は-40mA以下、ポートP3, P4, P5の $I_{OH(peak)}$ の合計は-40mA以下、ポートP6, P7, P8_0~P8_4の $I_{OH(peak)}$ の合計は-40mA以下、全ポートの $I_{OL(peak)}$ の合計は80mA以下、全ポートの $I_{OH(peak)}$ の合計は-80mA以下にしてください。

注3. 平均出力電流は100msの期間内での平均値です。

表 29.5 推奨動作条件(4) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)(注1)

記号	項目	規格値			単位
		最小	標準	最大	
$f_{(XIN)}$	メインクロック入力発振周波数	4		8	MHz
$f_{(XRef)}$	基準クロック周波数	2		4	MHz
$f_{(PLL)}$	PLLクロック発振周波数	96		128	MHz
$f_{(Base)}$	ベースクロック周波数			64	MHz
$t_{c(Base)}$	ベースクロックサイクル時間	15.625			ns
$f_{(CPU)}$	CPU動作周波数			64	MHz
$t_{c(CPU)}$	CPUクロックサイクル時間	15.625			ns
$f_{(BCLK)}$	周辺バスクロック周波数			32	MHz
$t_{c(BCLK)}$	周辺バスクロックサイクル時間	31.25			ns
$f_{(PER)}$	周辺機能クロック源周波数			32	MHz
$f_{(XCIN)}$	サブクロック発振周波数		32.768	50	kHz

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

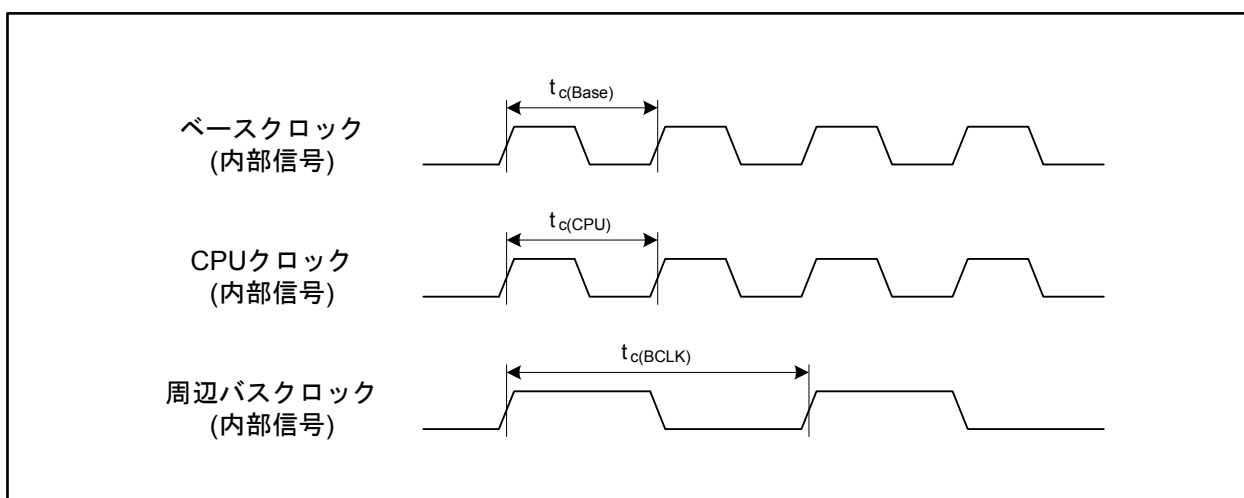


図 29.1 クロックサイクル時間

表 29.6 推奨動作条件(5) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)(注1、2)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$I_{IC(H)}$	“H”入力インジェクション電流 P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_5, P7_7, P8_0~P8_4	$V_I > V_{CC}$			0.2	mA
$I_{IC(L)}$	“L”入力インジェクション電流 P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_5, P7_7, P8_0~P8_4	$V_I < V_{SS}$			-0.2	mA
$\Sigma I_{IC} $	総インジェクション電流				3.2	mA

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

注2. 各ポートが入力のときの規格です。

表 29.7 推奨動作条件(6) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)(注1)

記号	項目		規格値			単位
			最小	標準	最大	
$V_{r(VCC)}$	許容電源リップル電圧	$V_{CC} = 5.0 \text{ V}$			0.5	Vp-p
$V_{r(VCC0)}$	許容電源リップル電圧	$V_{CC0} = 5.0 \text{ V}$			0.5	Vp-p
		$V_{CC0} = 3.3 \text{ V}$			0.3	Vp-p
$dV_{r(VCC)}/dt$	電源リップル立ち上がり/立ち下がり勾配	$V_{CC} = 5.0 \text{ V}$			± 0.3	V/ms
$dV_{r(VCC0)}/dt$	電源リップル立ち上がり/立ち下がり勾配	$V_{CC0} = 5.0 \text{ V}$			± 0.3	V/ms
		$V_{CC0} = 3.3 \text{ V}$			± 0.3	V/ms
$f_{r(VCC)}$	許容電源リップル周波数				10	kHz
$f_{r(VCC0)}$	許容電源リップル周波数				10	kHz

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を超えた場合、最大定格内であっても動作は保証されません。

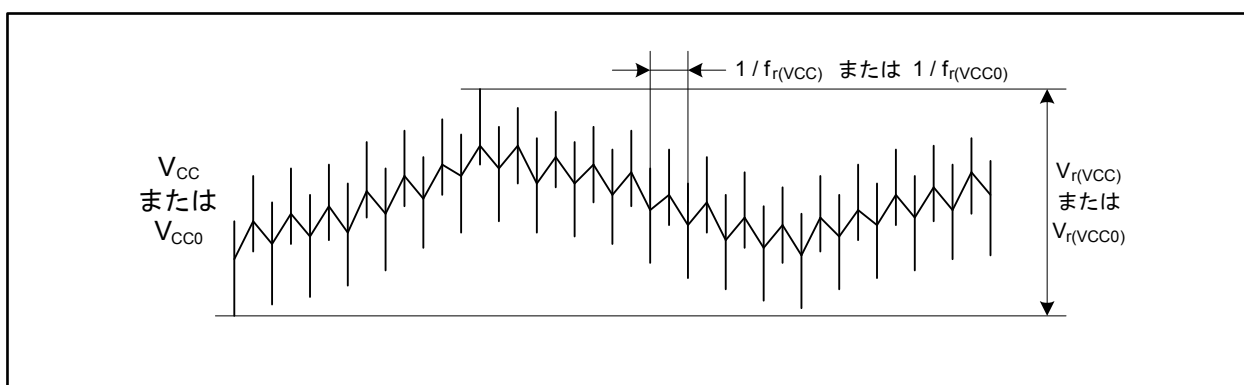


図 29.2 電源リップル波形

表 29.8 フラッシュメモリの電気的特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	規格値			単位	
		最小	標準	最大		
—	プログラム、イレーズ回数(注1)	プログラム領域	100		回	
		データ領域	100		回	
—	4ワードプログラム時間	プログラム領域		150	900	μs
		データ領域		300	1700	μs
—	ロックビットプログラム時間	プログラム領域		70	500	μs
		データ領域		140	1000	μs
—	ブロックイレーズ時間	4Kバイトブロック		0.12	3.0	s
		32Kバイトブロック		0.17	3.0	s
		64Kバイトブロック		0.20	3.0	s
—	データ保持時間(注2)	$T_a = 55^\circ\text{C}$ (注3、4)	20		年	

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。プログラム、イレーズ回数がn回の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

たとえば、4KバイトブロックのブロックAについて、それぞれ異なる番地に4ワード書き込みを512回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。

ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注2. 規格値は、電源電圧が印加されていない時間、クロックが供給されていない時間も含まれます。

注3. $T_a = 125^\circ\text{C}$ の環境下での3000時間、 $T_a = 85^\circ\text{C}$ の環境下での7000時間を含みます。

注4. この条件以外でのデータ保持時間につきましては、弊社営業窓口までお問い合わせください。

表 29.9 電源回路のタイミング特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{d(P-R)}$	電源投入時内部電源安定時間				2	ms

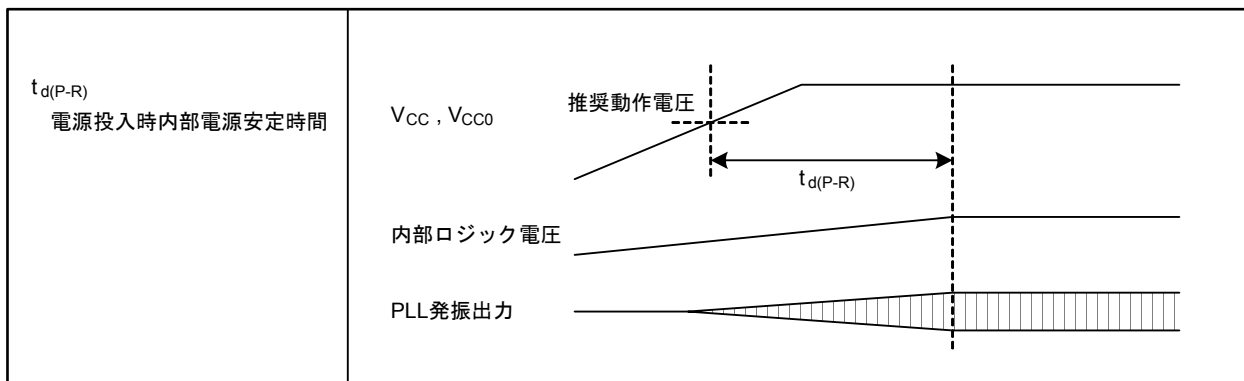


図 29.3 電源回路のタイミング

表 29.10 内部電圧レギュレータの電気的特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{VDC1}	レギュレータ出力電圧			1.5		V

表 29.11 発振回路の電気的特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$f_{SO(PLL)}$	PLLクロック自励発振周波数		35	50	65	MHz
$t_{LOCK(PLL)}$	PLL発振安定時間(注1)				2	ms
$t_{jitter(p-p)}$	PLLジッタ周期(p-p)				2.0	ns
$f_{(OCO)}$	オンチップオシレータ発振周波数		94	125	156	kHz

注1. メインクロックの発振が安定していることが条件となります。

表 29.12 クロック回路の電気的特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$t_{rec(WAIT)}$	ウェイトモード→低消費電力モードリカバリ時間				225	μs
$t_{rec(STOP)}$	ストップモードリカバリ時間(注1)				225	μs

注1. メインクロックの発振安定時間は含みません。発振が安定する前にCPUは動作を開始します。

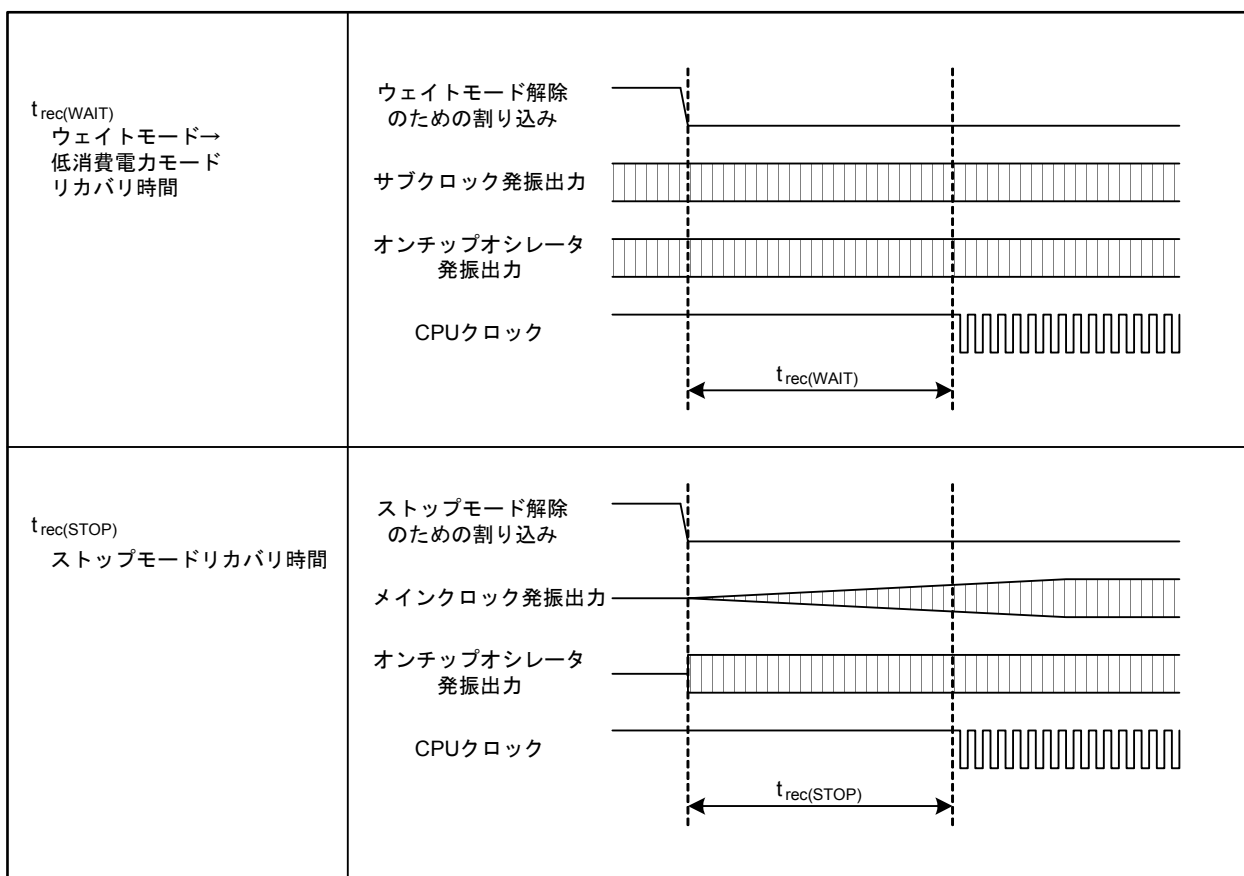


図 29.4 クロック回路のタイミング図

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 29.13 フラッシュメモリCPU書き換えモードタイミング

記号	項目	規格値		単位
		最小	最大	
t_{cR}	リードサイクル時間	200		ns
$t_{su(S-R)}$	リード前チップセレクトセットアップ時間	200		ns
$t_{h(R-S)}$	リード後チップセレクトホールド時間	0		ns
$t_{su(A-R)}$	リード前アドレスセットアップ時間	200		ns
$t_{h(R-A)}$	リード後アドレスホールド時間	0		ns
$t_{w(R)}$	リードパルス幅	100		ns
t_{cW}	ライトサイクル時間	200		ns
$t_{su(S-W)}$	ライト前チップセレクトセットアップ時間	0		ns
$t_{h(W-S)}$	ライト後チップセレクトホールド時間	30		ns
$t_{su(A-W)}$	ライト前アドレスセットアップ時間	0		ns
$t_{h(W-A)}$	ライト後アドレスホールド時間	30		ns
$t_{w(W)}$	ライトパルス幅	50		ns

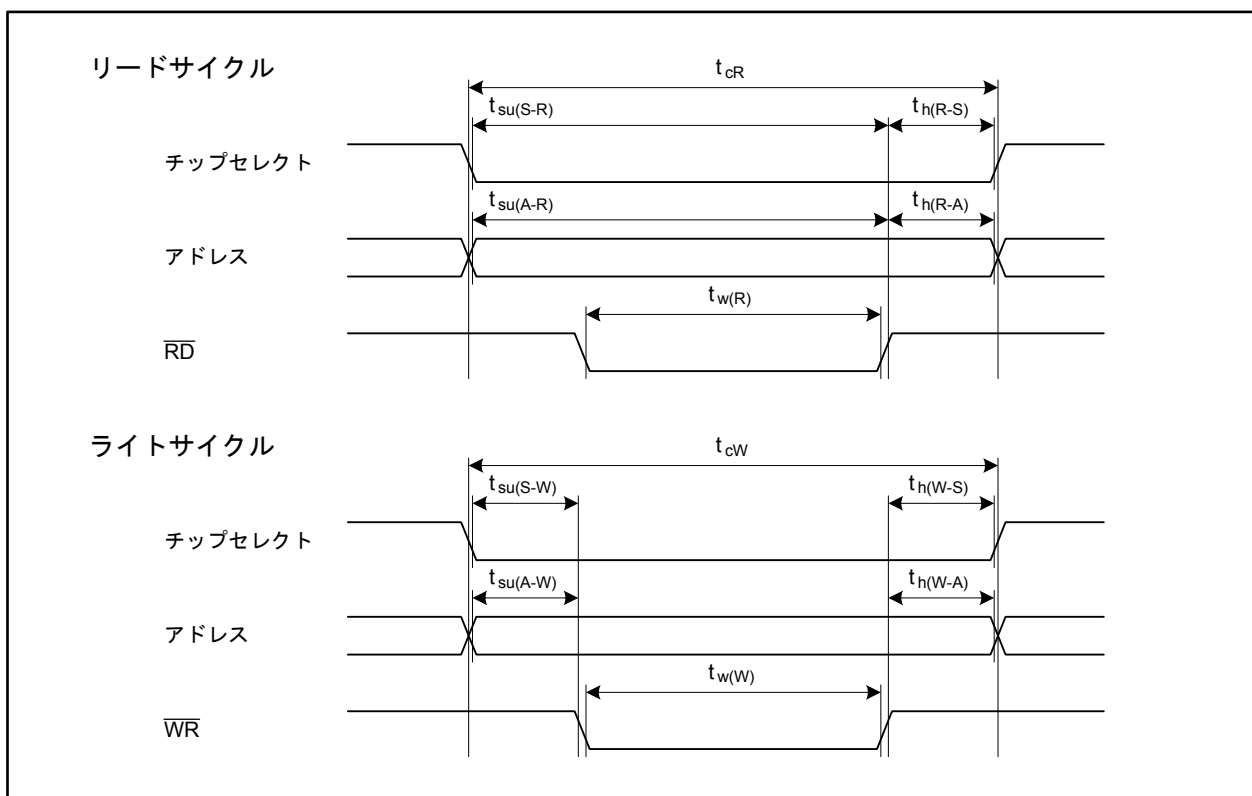


図 29.5 フラッシュメモリCPU書き換えモードタイミング

$$V_{CC} = 5 V$$

表 29.14 電気的特性(1) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{CC0} = 3.0 V \sim V_{CC}$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 64 MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
V _{OH}	"H"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7	I _{OH} = -5 mA	V _{CC} - 2.0		V _{CC}	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7	I _{OH} = -200 μA	V _{CC} - 0.3		V _{CC}	V
V _{OL}	"L"出力電圧	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7	I _{OL} = 5 mA			2.0	V
		P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_3~P9_7, P10_0~P10_7	I _{OL} = 200 μA			0.45	V

$$V_{CC} = 5 V$$

表 29.15 電気的特性(2) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{CC0} = 3.0 V \sim V_{CC}$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$ 、 $f_{(CPU)} = 64 MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
$V_{T+} - V_{T-}$	ヒステリシス	NMI, $\overline{INT0} \sim \overline{INT5}$, $\overline{KI0} \sim \overline{KI3}$, TA0IN~TA4IN, TA0OUT~TA4OUT, TB0IN~TB5IN, $\overline{CTS0} \sim \overline{CTS4}$, CLK0~CLK4, RXD0~RXD4, SCL0~SCL2, SDA0~SDA2, $\overline{SS0} \sim \overline{SS2}$, SRXD0~SRXD2, \overline{ADTRG} , IIO0_0~IIO0_7, IIO1_0~IIO1_7, UD0A, UD0B, UD1A, UD1B, $\overline{SCS0}$, $\overline{SCS1}$, SSCK0, SSCK1, SSIO, SSI1, SSO0, SSO1, LIN0IN, LIN1IN, CAN0IN~CAN5IN, $\overline{CAN0WU} \sim \overline{CAN5WU}$ (注1)	0.2		1.0	V	
							\overline{RESET}
I_{IH}	“H”入力電流	XIN, \overline{RESET} , CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_1, P9_3~P9_7, P10_0~P10_7	$V_I = 5 V$		1.0	μA	
I_{IL}	“L”入力電流	XIN, \overline{RESET} , CNVSS, NSD, P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_7, P9_1, P9_3~P9_7, P10_0~P10_7	$V_I = 0 V$		-1.0	μA	
R_{PULLUP}	プルアップ抵抗	P0_0~P0_7, P1_0~P1_7, P2_0~P2_7, P3_0~P3_7, P4_0~P4_7, P5_0~P5_7, P6_0~P6_7, P7_0~P7_7, P8_0~P8_4, P8_6, P8_7, P9_1, P9_3~P9_7, P10_0~P10_7	$V_I = 0 V$	30	50	170	k Ω
R_{fXIN}	帰還抵抗	XIN			1.5	M Ω	
R_{fXCIN}	帰還抵抗	XCIN			15	M Ω	

注1. R32C/142グループには、 $\overline{CAN0IN}$ 、 $\overline{CAN1IN}$ 、 $\overline{CAN4IN}$ 、 $\overline{CAN0WU}$ 、 $\overline{CAN1WU}$ 、 $\overline{CAN4WU}$ はありません。

$$V_{CC} = 5 V$$

表 29.16 電気的特性(3) (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 V$ 、 $V_{CC0} = 3.0 V \sim V_{CC}$ 、 $V_{SS} = 0 V$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I_{CC0} (注1)	電源電流 (V_{CC0} 端子)	シングルチップモードで出力端子は開放、その他の端子は V_{SS} に接続	$f_{(CPU)} = 64 \text{ MHz}$ 、 $f_{(BCLK)} = 32 \text{ MHz}$ 、 $f_{(XIN)} = 8 \text{ MHz}$ 、PLL発振、XCIN停止、OCO停止		36	60	mA
$I_{CC(V+A)}$ (注1)	電源電流 (V_{CC} 、 AV_{CC} 端子)	XIN-XOUT 駆動能力: High	$f_{(CPU)} = 64 \text{ MHz}$ 、 $f_{(BCLK)} = 32 \text{ MHz}$ 、 $f_{(XIN)} = 8 \text{ MHz}$ 、PLL発振、XCIN停止、OCO停止		10		mA
I_{CC}	電源電流	XCIN-XCOUT 駆動能力: Low	$f_{(CPU)} = f_{SO(PLL)}/24 \text{ MHz}$ 、XIN停止、PLL自励発振、XCIN停止、OCO停止		7		mA
			$f_{(CPU)} = f_{(BCLK)} = f_{(XIN)}/256 \text{ MHz}$ 、 $f_{(XIN)} = 8 \text{ MHz}$ 、PLL停止、XCIN停止、OCO停止		1.2		mA
			$f_{(CPU)} = f_{(BCLK)} = 32.768 \text{ kHz}$ 、XIN停止、PLL停止、XCIN発振、OCO停止、メインレギュレータ停止		220		μA
			$f_{(CPU)} = f_{(BCLK)} = f_{(OCO)}/4 \text{ kHz}$ 、XIN停止、PLL停止、XCIN停止、OCO発振、メインレギュレータ停止		230		μA
			$f_{(CPU)} = f_{(BCLK)} = f_{(XIN)}/256 \text{ MHz}$ 、 $f_{(XIN)} = 8 \text{ MHz}$ 、PLL停止、XCIN停止、OCO停止、ウェイトモード、 $T_a = 25^\circ\text{C}$		1070	2600	μA
			$f_{(CPU)} = f_{(BCLK)} = 32.768 \text{ kHz}$ 、XIN停止、PLL停止、XCIN発振、OCO停止、メインレギュレータ停止、ウェイトモード、 $T_a = 25^\circ\text{C}$		8	140	μA
			$f_{(CPU)} = f_{(BCLK)} = f_{(OCO)}/4 \text{ kHz}$ 、XIN停止、PLL停止、XCIN停止、OCO発振、メインレギュレータ停止、ウェイトモード、 $T_a = 25^\circ\text{C}$		10	150	μA
			クロック停止、メインレギュレータ停止、 $T_a = 25^\circ\text{C}$		5	70	μA
			クロック停止、メインレギュレータ停止、 $T_a = 85^\circ\text{C}$			900	μA
			クロック停止、メインレギュレータ停止、 $T_a = 105^\circ\text{C}$			1800	μA
クロック停止、メインレギュレータ停止、 $T_a = 125^\circ\text{C}$			3500	μA			

注1. $V_{CC0} \times I_{CC0} + V_{CC} \times I_{CC(V+A)} < P_d$ となるようにしてください。

$$V_{CC} = 5V$$

表 29.17 A/D変換特性 (指定のない場合は、 $V_{CC} = AV_{CC} = V_{REF} = 4.2 \sim 5.5V$ 、 $V_{CC0} = 3.0V \sim V_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = T_{opr}$ 、 $f_{(BCLK)} = 32MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
—	分解能	$V_{REF} = V_{CC}$			10	Bits	
—	絶対誤差	$V_{REF} = V_{CC} = 5V$	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, ANEX0, ANEX1			±3	LSB
			外部オペアンプ接続 モード			±7	LSB
INL	積分非直線性誤差	$V_{REF} = V_{CC} = 5V$	AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7, ANEX0, ANEX1			±3	LSB
			外部オペアンプ接続 モード			±7	LSB
DNL	微分非直線性誤差				±1	LSB	
—	オフセット誤差				±3	LSB	
—	ゲイン誤差				±3	LSB	
R _{LADDER}	ラダー抵抗	$V_{REF} = V_{CC}$	4		20	kΩ	
t _{CONV}	変換時間(10bit)	$\phi_{AD} = 16MHz$ 、サンプル&ホールドあり	2.06			μs	
		$\phi_{AD} = 16MHz$ 、サンプル&ホールドなし	3.69			μs	
t _{CONV}	変換時間(8bit)	$\phi_{AD} = 16MHz$ 、サンプル&ホールドあり	1.75			μs	
		$\phi_{AD} = 16MHz$ 、サンプル&ホールドなし	3.06			μs	
t _{SAMP}	サンプリング時間	$\phi_{AD} = 16MHz$	0.188			μs	
V _{IA}	アナログ入力電圧		0		V _{REF}	V	
φ _{AD}	動作クロック周波数	サンプル&ホールドなし	0.25		16	MHz	
		サンプル&ホールドあり	1		16	MHz	
R _{PU(AST)}	断線検出用 プルアップ抵抗		5	10	15	kΩ	
R _{PD(AST)}	断線検出用 プルダウン抵抗		5	10	15	kΩ	

$$V_{CC} = 5\text{ V}$$

表 29.18 D/A変換特性 (指定のない場合は、 $V_{CC} = AV_{CC} = V_{REF} = 4.2 \sim 5.5\text{ V}$ 、 $V_{CC0} = 3.0\text{ V} \sim V_{CC}$ 、 $V_{SS} = AV_{SS} = 0\text{ V}$ 、 $T_a = T_{opr}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				8	Bits
—	絶対精度				1.0	%
t_S	設定時間				3	μs
R_O	出力抵抗		4	10	20	$\text{k}\Omega$
I_{VREF}	基準電源入力電流	(注1)			1.5	mA

注1. D/Aコンバータを1本利用し、使用していないD/AコンバータのDAiレジスタ ($i = 0, 1$)の値が“00h”の場合です。A/Dコンバータのラダー抵抗分は除きます。
AD0CON1レジスタのVCUTビットを“0” (V_{REF} 未接続)にした場合でも、 I_{VREF} は流れます。

$$V_{CC} = 5 \text{ V}$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 29.19 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(X)}$	外部クロック入力サイクル時間	125	250	ns
$t_{w(XH)}$	外部クロック入力“H”パルス幅	50		ns
$t_{w(XL)}$	外部クロック入力“L”パルス幅	50		ns
$t_{r(X)}$	外部クロック入力立ち上がり時間		5	ns
$t_{f(X)}$	外部クロック入力立ち下がり時間		5	ns
t_w / t_c	外部クロック入力デューティ	40	60	%

$$V_{CC} = 5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5V$ 、 $V_{CC0} = 3.0V \sim V_{CC}$ 、 $V_{SS} = 0V$ 、 $T_a = T_{opr}$)

表 29.20 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN入力“H”パルス幅	80		ns
$t_{W(TAL)}$	TAiIN入力“L”パルス幅	80		ns

表 29.21 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{W(TAH)}$	TAiIN入力“H”パルス幅	180		ns
$t_{W(TAL)}$	TAiIN入力“L”パルス幅	180		ns

表 29.22 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{W(TAH)}$	TAiIN入力“H”パルス幅	80		ns
$t_{W(TAL)}$	TAiIN入力“L”パルス幅	80		ns

表 29.23 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{W(TAH)}$	TAiIN入力“H”パルス幅	80		ns
$t_{W(TAL)}$	TAiIN入力“L”パルス幅	80		ns

表 29.24 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{C(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_{W(UPH)}$	TAiOUT入力“H”パルス幅	1000		ns
$t_{W(UPL)}$	TAiOUT入力“L”パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	400		ns
$t_h(TIN-UP)$	TAiOUT入力ホールド時間	400		ns

$$V_{CC} = 5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5V$ 、 $V_{CC0} = 3.0V \sim V_{CC}$ 、 $V_{SS} = 0V$ 、 $T_a = T_{opr}$)

表 29.25 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間(片エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(片エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(片エッジカウント)	80		ns
$t_{c(TB)}$	TBiIN入力サイクル時間(両エッジカウント)	200		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅(両エッジカウント)	80		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅(両エッジカウント)	80		ns

表 29.26 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

表 29.27 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力“H”パルス幅	180		ns
$t_{w(TBL)}$	TBiIN入力“L”パルス幅	180		ns

$$V_{CC} = 5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5V$ 、 $V_{CC0} = 3.0V \sim V_{CC}$ 、 $V_{SS} = 0V$ 、 $T_a = T_{opr}$)

表 29.28 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	80		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	80		ns
$t_{su(D-C)}$	RXD _i 入力セットアップ時間	80		ns
$t_h(C-D)$	RXD _i 入力ホールド時間	90		ns

表 29.29 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(ADH)}$	ADTRG入力“H”パルス幅 ハードウェアトリガ入力“H”パルス幅	$\frac{3}{\phi_{AD}}$		ns
$t_{w(ADL)}$	ADTRG入力“L”パルス幅 ハードウェアトリガ入力“L”パルス幅	125		ns

表 29.30 外部割り込み \overline{INT}_i 入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	\overline{INT}_i 入力“H”パルス幅(注1)	エッジセンス	250	ns
		レベルセンス	$t_{c(CPU)} + 200$	ns
$t_{w(INL)}$	\overline{INT}_i 入力“L”パルス幅(注1)	エッジセンス	250	ns
		レベルセンス	$t_{c(CPU)} + 200$	ns

注1. 外部割り込み入力フィルタなしの場合です。

$$V_{CC} = 5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5V$ 、 $V_{CC0} = 3.0V \sim V_{CC}$ 、 $V_{SS} = 0V$ 、 $T_a = T_{opr}$)

表 29.31 シリアルバスインタフェース

記号	項目	規格値		単位
		最小	最大	
$f_{(SSCK)}$	SSCKi 周波数		4	MHz
$t_{c(SSCK)}$	SSCKi サイクル時間	250		ns
$t_{w(SSCKH)}$	SSCKi 入力 "H" パルス幅	$0.35 \times t_{c(SSCK)}$	$0.6 \times t_{c(SSCK)}$	ns
$t_{w(SSCKL)}$	SSCKi 入力 "L" パルス幅	$0.35 \times t_{c(SSCK)}$	$0.6 \times t_{c(SSCK)}$	ns
$t_{r(SSCK)}$	SSCKi 入力 立ち上がり時間		1	μs
$t_{f(SSCK)}$	SSCKi 入力 立ち下がり時間		1	μs
$t_{su(SCS-SSCK)}$	SCSi 入力セットアップ時間	$t_{c(BCLK)} + 50$		ns
$t_h(SSCK-SCS)$	SCSi 入力ホールド時間	$t_{c(BCLK)} + 50$		ns
$t_{su(SSI-SSCK)}$	SSI 入力セットアップ時間	80		ns
$t_h(SSCK-SSI)$	SSI 入力ホールド時間	10		ns
$t_{su(SSO-SSCK)}$	SSO 入力セットアップ時間	80		ns
$t_h(SSCK-SSO)$	SSO 入力ホールド時間	20		ns

$$V_{CC} = 5 \text{ V}$$

スイッチング特性 (指定のない場合は、 $V_{CC} = 4.2 \sim 5.5 \text{ V}$ 、 $V_{CC0} = 3.0 \text{ V} \sim V_{CC}$ 、 $V_{SS} = 0 \text{ V}$ 、 $T_a = T_{opr}$)

表 29.32 シリアルインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_{d(C-Q)}$	TXDi出力遅延時間	図 29.6 参照		80	ns
$t_h(C-Q)$	TXDi出力ホールド時間		0		ns

表 29.33 シリアルバスインタフェース

記号	項目	測定条件	規格値		単位
			最小	最大	
$t_w(SSCKH)$	SSCKi出力“H”パルス幅	図 29.6 参照	$0.35 \times t_c(SSCK)$	$0.6 \times t_c(SSCK)$	ns
$t_w(SSCKL)$	SSCKi出力“L”パルス幅		$0.35 \times t_c(SSCK)$	$0.6 \times t_c(SSCK)$	ns
$t_r(SSCK)$	SSCKi出力立ち上がり時間			20	ns
$t_f(SSCK)$	SSCKi出力立ち下がり時間			20	ns
$t_d(SCS-SSCK)$	SCSi出力-SSCKi出力遅延時間			$0.5 \times t_c(SSCK) + 20$	ns
$t_d(SSCK-SCS)$	SSCKi出力-SCSi出力遅延時間			$0.5 \times t_c(SSCK) - 20$	ns
$t_{en}(SCS-SSO)$	SSOi出カインエーブル時間			$1.5 \times t_c(BCLK) + 100$	ns
$t_{dis}(SCS-SSO)$	SSOi出力ディセーブル時間			$1.5 \times t_c(BCLK) + 100$	ns
$t_{en}(SCS-SSI)$	SSli出カインエーブル時間			$1.5 \times t_c(BCLK) + 100$	ns
$t_{dis}(SCS-SSI)$	SSli出力ディセーブル時間			$1.5 \times t_c(BCLK) + 100$	ns
$t_d(SSCK-SSO)$	SSCKi出力-SSOi出力遅延時間			30	ns
$t_d(SSCK-SSI)$	SSCKi出力-SSli出力遅延時間			85	ns
$t_{rec}(SCS)$	連続送信時SCSi出力“H”期間			$0.625 \times t_c(SSCK)$	ns

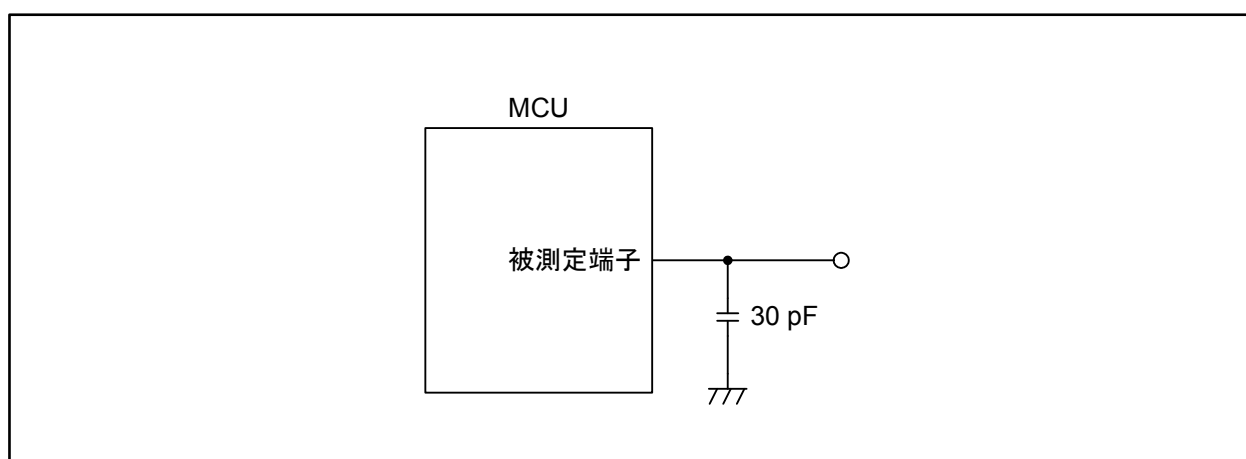


図 29.6 スイッチング特性の測定回路

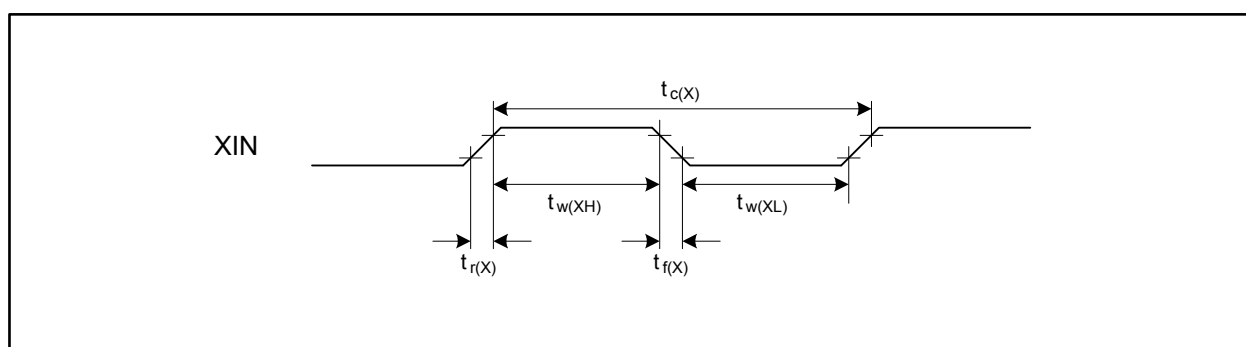


図 29.7 外部クロック入力タイミング図

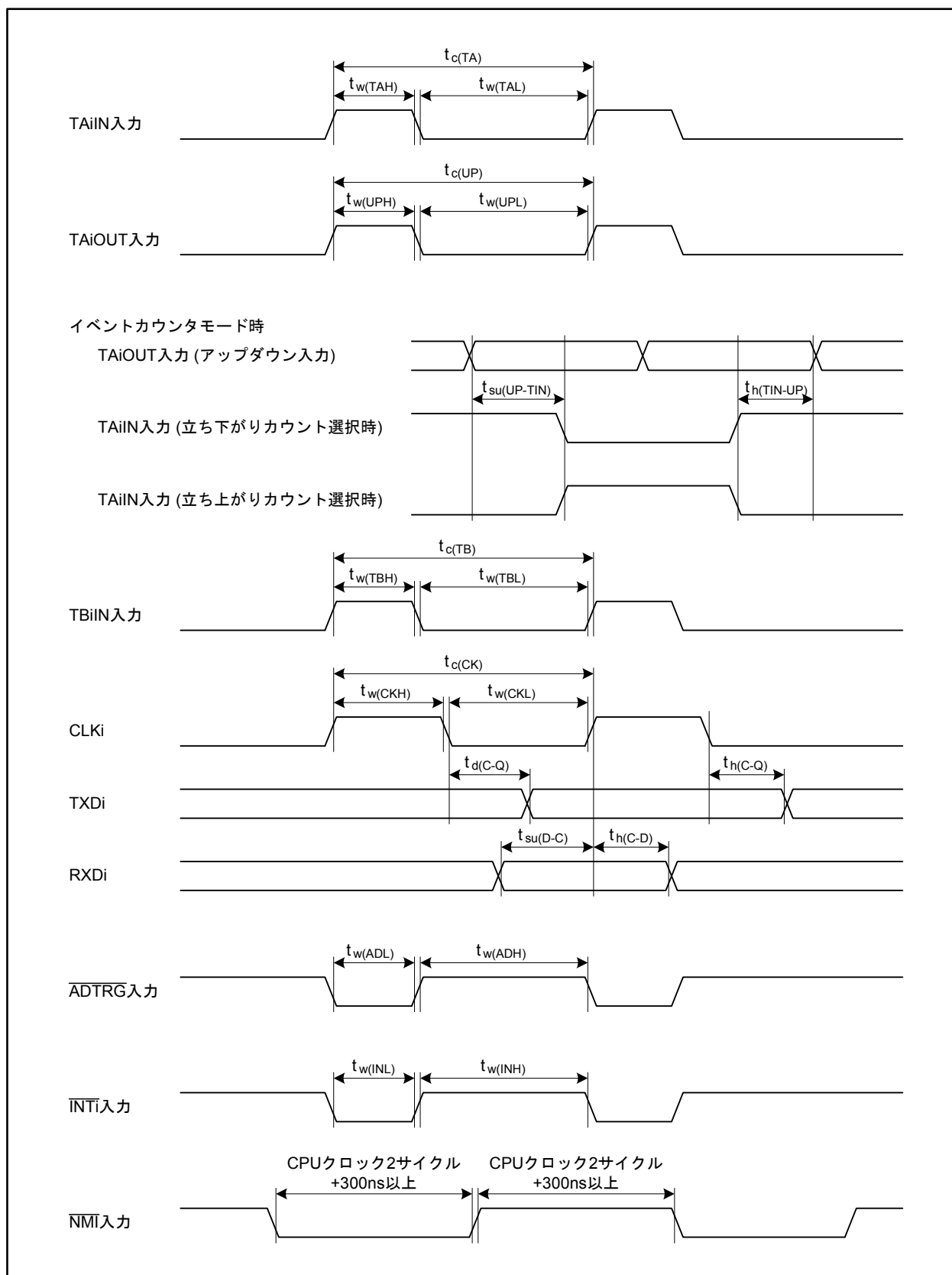


図 29.8 周辺機能タイミング図

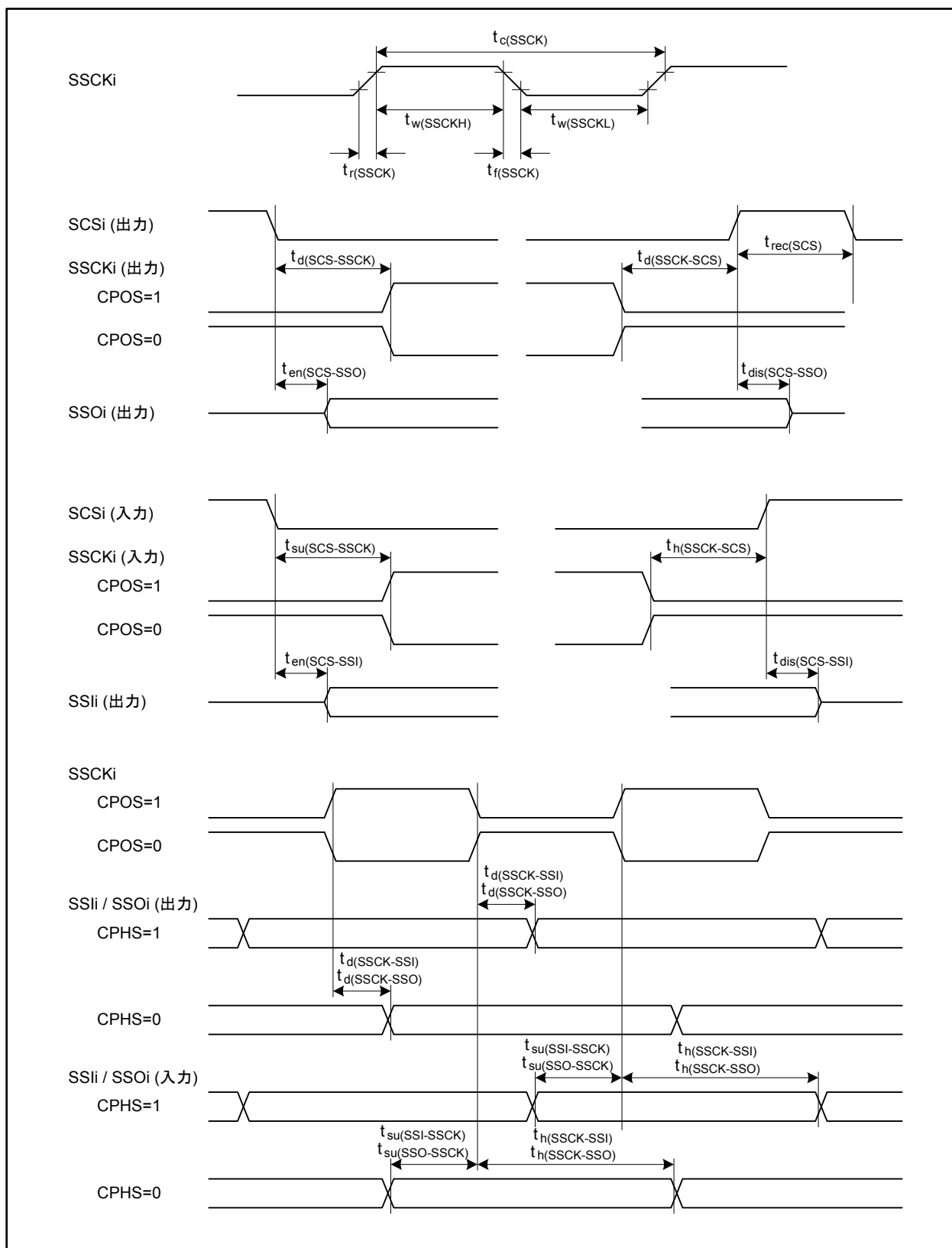


図 29.9 シリアルバスインタフェースタイミング図

30. 使用上の注意事項

30.1 基板設計に関する注意

30.1.1 電源端子

端子名が同じ電源端子には、端子間での電位差が生じないように以下に注意して基板を設計してください。

- 複数あるVSS端子はすべて同じGNDに接続し、端子間で電位差が生じないように各端子への配線はできる限り太いパターンを使用してください。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子の間には周波特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。

30.1.2 電源電圧

電源電圧が電气的特性に定める推奨動作電圧の範囲外になった場合のマイコンの動作は保証できません。

電源電圧が推奨動作電圧以下になる前に $\overline{\text{RESET}}$ 端子を“L”にしてください。

30.2 レジスタ設定時の注意

30.2.1 ライトオンリのビットを含むレジスタ

ライトオンリ (WO) のビットを含むレジスタに値を設定する場合、リードモディファイライト命令は使用できません。リードモディファイライト命令は、対象アドレスの値を読み、その値を変更して書き戻す命令です。表 30.1 にリードモディファイライト命令を、表 30.2 にライトオンリ (WO) のビットを含むレジスタを示します。前回の値を加工して次の値を決める場合は、レジスタに書く値を RAM にも書いておき、次の値は RAM の内容を変更した後、MOV 命令を使用してレジスタに転送してください。

表 30.1 リードモディファイライト命令

機能	ニーモニック
転送	MOV <i>Dir</i>
ビット処理	BCLR、BMC <i>nd</i> 、BNOT、BSET、BTSTC、BTSTS
シフト	ROL <i>C</i> 、ROR <i>C</i> 、ROT、SHA、SHL
算術演算	ABS、ADC、ADCF、ADD、ADSF、DEC、DIV、DIVU、DIVX、EXTS、EXTZ、INC、MUL、MULU、NEG、SBB、SUB
10進演算	DADC、DADD、DSBB、DSUB
浮動小数点演算	ADDF、DIVF、MULF、SUBF
論理演算	AND、NOT、OR、XOR

表 30.2 ライトオンリ (WO) のビットを含むレジスタ一覧

モジュール	レジスタ	シンボル	番地
ウォッチドッグタイマ	ウォッチドッグタイマスタートレジスタ	WDTS	04404Eh
タイマA	タイマA0レジスタ(注1)	TA0	0347h-0346h
	タイマA1レジスタ(注1)	TA1	0349h-0348h
	タイマA2レジスタ(注1)	TA2	034Bh-034Ah
	タイマA3レジスタ(注1)	TA3	034Dh-034Ch
	タイマA4レジスタ(注1)	TA4	034Fh-034Eh
	アップダウン選択レジスタ	UDF	0344h
三相モータ制御用 タイマ機能	タイマB2割り込み発生頻度設定カウンタ	ICTB2	030Dh
	タイマA1-1レジスタ	TA11	0303h-0302h
	タイマA2-1レジスタ	TA21	0305h-0304h
	タイマA4-1レジスタ	TA41	0307h-0306h
	タイマA1ミラーレジスタ	TA1M	0221h-0220h
	タイマA2ミラーレジスタ	TA2M	0225h-0224h
	タイマA4ミラーレジスタ	TA4M	0229h-0228h
	タイマA1-1ミラーレジスタ	TA11M	0223h-0222h
	タイマA2-1ミラーレジスタ	TA21M	0227h-0226h
	タイマA4-1ミラーレジスタ	TA41M	022Bh-022Ah
	短絡防止タイマ	DTT	030Ch
シリアル インタフェース	UART0転送速度レジスタ	U0BRG	0369h
	UART1転送速度レジスタ	U1BRG	02E9h
	UART2転送速度レジスタ	U2BRG	0339h
	UART3転送速度レジスタ	U3BRG	01E1h
	UART4転送速度レジスタ	U4BRG	01E9h
	UART0送信バッファレジスタ	U0TB	036Bh-036Ah
	UART1送信バッファレジスタ	U1TB	02EBh-02EAh
	UART2送信バッファレジスタ	U2TB	033Bh-033Ah
	UART3送信バッファレジスタ	U3TB	01E3h-01E2h
	UART4送信バッファレジスタ	U4TB	01EBh-01EAh
	CANモジュール(注2)	CAN0受信FIFOポインタ制御レジスタ	C0RFPCR
CAN0送信FIFOポインタ制御レジスタ		C0TFPCR	047F4Bh
CAN1受信FIFOポインタ制御レジスタ		C1RFPCR	047D49h
CAN1送信FIFOポインタ制御レジスタ		C1TFPCR	047D4Bh
CAN2受信FIFOポインタ制御レジスタ		C2RFPCR	047B49h
CAN2送信FIFOポインタ制御レジスタ		C2TFPCR	047B4Bh
CAN3受信FIFOポインタ制御レジスタ		C3RFPCR	046949h
CAN3送信FIFOポインタ制御レジスタ		C3TFPCR	04694Bh
CAN4受信FIFOポインタ制御レジスタ		C4RFPCR	047749h
CAN4送信FIFOポインタ制御レジスタ		C4TFPCR	04774Bh
CAN5受信FIFOポインタ制御レジスタ		C5RFPCR	047549h
CAN5送信FIFOポインタ制御レジスタ		C5TFPCR	04754Bh

注1. ワンショットタイマモード時とパルス幅変調モード時のみ

注2. R32C/142には、CAN0、CAN1、CAN4はありません

30.3 クロック発生回路使用上の注意

30.3.1 サブクロック

30.3.1.1 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングは、駆動能力Highと駆動能力Lowの両方とも確認してください。

発振回路定数のマッチングに関しては発振子メーカーにお問い合わせください。

30.3.2 パワーコントロール

ベースクロック源を切り替えるとき、クロック分周比を切り替えるときは、使用するクロックの発振が安定してから切り替えてください。オンチップオシレータはCM3レジスタのCM31ビットを“1”にすると瞬時に発振を開始しますので、発振安定を待つ必要はありません。

ベースクロック源をPLLクロックから低速クロックに切り替える(CCRレジスタのBCSビットを“1”にする)場合は、MOV.L命令またはOR.L命令を使用してください。

- アセンブリ言語の場合の例

```
OR.L    #80h, 0004h
```

- C言語の場合の例

```
asm("OR.L #80h, 0004h");
```

30.3.2.1 ストップモード

- ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。

30.3.2.2 消費電力を低減するためのポイント

システム設計やプログラムを作成するときに参考にしてください。

- 端子処理

入力端子を開放のままにすると、貫通電流が流れることがあります。未使用端子は入力に設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力に設定し、端子を開放してください。

- A/Dコンバータ

A/D変換を行わないときはAD0CON1レジスタのVCUTビットを“0”(VREF未接続)にしてください。なお、A/D変換を行うときは、VCUTビットを“1”(VREF接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

- D/Aコンバータ

D/A変換を行わないときは、DACONレジスタのDAiEビット(i=0, 1)を“0”(出力禁止)にし、DAiレジスタを“00h”にしてください。

- 周辺機能の停止

ウェイトモードへ移行するとき、CM0レジスタのCM02ビットで周辺機能クロック源を停止することにより、消費電力を低減させることができます。ただし、fC32は停止しません。

30.4 割り込み使用上の注意

30.4.1 ISPの設定

リセット後、ISP (割り込みスタックポインタ)は“00000000h”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには4の倍数を設定してください。4の倍数を設定したほうがメモリアクセス回数が少なくなり、割り込みシーケンスの実行速度が速くなります。

特にNMIを使用する場合は割り込みを禁止できませんので、プログラムの先頭でISPを設定した後、PM2レジスタのPM24ビットを“1”(NMI有効)にしてください。

30.4.2 NMI

- NMIは、PM2レジスタのPM24ビットを“1”(NMI有効)にした後は禁止できません。NMIを使用しない場合はPM24ビットを“0”から変更しないでください。
- PM2レジスタのPM24ビットが“1”(NMI有効)の場合、P8レジスタのP8_5ビットは、 $\overline{\text{NMI}}$ 端子の状態を確認する用途にのみ使用できます。汎用ポートとしては使用できません。

30.4.3 外部割り込み

- $\overline{\text{INTi}}$ 端子(i=0~5)に入力する信号には、電気的特性で規定する信号幅が必要です。規定の最小幅を下回った場合、割り込みが受け付けられない場合があります。
- INTiIC レジスタ(i=0~5)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)で $\overline{\text{INTi}}$ 端子の有効エッジや有効レベルを切り替えたとき、対応するIRビットが“1”(割り込み要求あり)になる場合があります。これらのビットは、 INTiIC レジスタのILVL2~ILVL0ビットを“000b”(割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するIRビットを“0”(割り込み要求なし)にしてからILVL2~ILVL0ビットを設定してください。

30.5 DMAコントローラ使用上の注意

30.5.1 DMAC関連レジスタの設定

- DMAC関連レジスタを設定する場合、設定するチャンネルのDMDiレジスタ (i=0~3)のMDi1~MDi0ビットが“00b”(DMA転送禁止)の状態を設定し、最後にMDi1~MDi0ビットを“01b”(単転送)または“11b”(リピート転送)に設定してください。DMDiレジスタのUDAi、USAi、BWi1~BWi0ビットを書き換える場合も、MDi1~MDi0ビットが“00b”(DMA転送禁止)のときに実施してください。
- DMA転送を許可した後でDMAC関連レジスタを書き換える必要が生じた場合、まずDMA転送要求が発生しないようにDMA起動要因となる周辺機能を停止し、次に書き換えたいチャンネルのDMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてから実施してください。
- 一旦DMA転送要求が受け付けられた後は、DMDiレジスタのMDi1~MDi0ビットを“00b”(DMA転送禁止)にしてもDMA転送を禁止することはできません。この場合、DMA転送が完了するまでMDi1~MDi0ビット以外のDMAC関連レジスタの設定を変更しないでください。
- DMiSL、DMiSL2レジスタを設定した後、周辺バスクロックで6クロック以上待ってから、DMDiレジスタのMDi1~MDi0ビットに“01b”(単転送)または“11b”(リピート転送)を書いてください。

30.5.2 DMAC関連レジスタの読み出し

- DMiSL、DMiSL2レジスタをそれぞれ連続して読み出す場合、以下の順で読み出してください。
DM0SL→DM1SL→DM2SL→DM3SL
DM0SL2→DM1SL2→DM2SL2→DM3SL2

30.6 タイマ使用上の注意

30.6.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSРレジスタまたはTBSRレジスタの、TAiSビット(i=0~4)またはTBjSビット(j=0~5)を“1”(カウント開始)にしてください。

以下のレジスタ、ビットは、対応するTAiSビットまたはTBjSビットが“0”(カウント停止)の状態に変更してください。

- TAiMRレジスタ、TBjMRレジスタ
- UDFレジスタ
- ONSFレジスタのTAZIEビット、TA0TGLビット、TA0TGHビット
- TRGSРレジスタ

30.6.2 タイマA

30.6.2.1 タイマモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

30.6.2.2 イベントカウンタモード時

- カウント中のカウンタの値は、TAiレジスタを読むことでいつでも知ることができます。ただし、TAiレジスタのリードがリロードタイミングと重なった場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。また、カウント停止中にTAiレジスタに値を設定して、カウント開始前にTAiレジスタを読んだ場合、設定した値が読めます。

30.6.2.3 ワンショットタイマモード時

- カウント中にTABSРレジスタのTAiSビットを“0”(カウント停止)にすると、以下のようになります。
 - カウンタはカウントを停止し、TAiレジスタの設定値をリロードします。
 - TAiOUT端子は“L”を出力します。
 - CPUクロックの1サイクル後、TAiCレジスタのIRビットが“1”(割り込み要求あり)になります。
- ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、トリガにTAiIN端子への入力を選択している場合、トリガ入力からワンショットタイマの出力までに、最大でカウントソース1クロック分の遅延が生じます。
- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、下記の設定を行った後、IRビットを“0”にしてください。
 - リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

- カウント中に再トリガが発生した場合は、カウンタは1回ダウンカウントした後、TAiレジスタ(i=0~4)の設定値をリロードしてカウントを続けます。カウント中に再トリガが発生させる場合は、前回のトリガの発生からタイマのカウントソース1クロック以上経過した後に発生させてください。
- カウント開始条件にTAiIN端子へのトリガ入力を選択している場合、タイマAのカウント値が“0000h”になる直前の300nsの間に再トリガを入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

30.6.2.4 パルス幅変調モード時

- 下記のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。タイマAi割り込み(IRビット)を使用する場合は、以下の設定を行った後、IRビットを“0”にしてください。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したとき
- PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると以下のようになります。
 - カウンタはカウントを停止します。
 - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

30.6.3 タイマB

30.6.3.1 タイマモード、イベントカウンタモード時

- カウント中のカウンタの値は、TBjレジスタ(j=0~5)を読むことでいつでも知ることができます。ただし、TBjレジスタのリードがリロードタイミングと重なったときは“FFFFh”が読めます。また、カウント停止中にTBjレジスタに値を設定して、カウント開始前にTBjレジスタを読んだ場合、設定した値が読めます。

30.6.3.2 パルス周期測定/パルス幅測定モード時

- TBjMRレジスタのMR3ビットを“0”(オーバーフローなし)にするには、TBjSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバーフローあり)になってからカウントソース1クロック以上経過した後に、TBjMRレジスタに書いてください。
- オーバーフローだけの検出にはTBjICレジスタのIRビットを使用してください。MR3ビットは、割り込み処理ルーチンで割り込み要因を判断するときだけに使用してください。
- カウント開始時のカウンタの値は不定です。したがって、カウント開始後最初の有効エッジが入力されるまでにカウンタがオーバーフローし、タイマBj割り込み要求が発生する可能性があります。
- カウント開始後、最初の有効エッジが入力された時は、カウンタの値が不定なので不定値がリロードレジスタに転送されます。なお、このときタイマBj割り込み要求は発生しません。
- カウント開始後にTBjMRレジスタのMR1~MR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。ただし、MR1~MR0ビットに同じ値を上書きした場合は、IRビットは変化しません。
- パルス幅測定モードでは、連続してパルス幅を測定します。測定結果が“H”幅の測定結果であるか“L”幅の測定結果であるかは、プログラムで判断してください。
- パルス周期測定モードでは、カウンタのオーバーフローと同時に有効エッジが入力された場合、割り込み要求が1回しか発生しないため、有効エッジが入力されたことを確認できません。カウンタがオーバーフローしない範囲で使用してください。
- パルス幅測定モードでは、タイマBj割り込みの処理ルーチンでポートのレベルを読んで、カウンタがオーバーフローしたか、有効エッジが入力されたかを判断してください。

30.7 三相モータ制御用タイマ機能使用上の注意

30.7.1 シャットダウン機能

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

30.7.2 レジスタ設定

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

30.8 シリアルインタフェース使用上の注意

30.8.1 UiBRG レジスタ (i=0~4)の変更

- UiBRG レジスタはUiC0レジスタのCLK1~CLK0ビットを設定した後に書いてください。また、CLK1~CLK0ビットを変更した場合は、UiBRGレジスタも設定し直してください。
- UiBRG レジスタに“00h”を書いた場合、直後にカウンタが動作し“FFh”になる場合があります。この場合、設定した“00h”がリロードされるまで256クロック余分に時間がかかります。“00h”がリロードされた後は、設定どおり分周なしになります。

30.8.2 クロック同期モード

30.8.2.1 外部クロック選択

- 外部クロックを選択している場合、UiC0レジスタ (i=0~4)のCKPOLビットが“0” (送受信クロックの立ち下がりに同期して送信データ出力、立ち上がりに同期して受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1” (送受信クロックの立ち上がりに同期して送信データ出力、立ち下がりに同期して受信データ入力)のときは外部クロックが“L”の状態以下の条件を満たしてください。
 - UiC1レジスタのTEビットが“1” (送信許可)
 - UiC1レジスタのREビットが“1” (受信許可)
 - UiC1レジスタのTIビットが“0” (UiTBレジスタにデータあり)送信のみの場合はREビットの設定は不要

30.8.2.2 受信

- クロック同期モードでは送信制御回路で送受信クロックを制御します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子 (i=0~4)からはダミーデータが外部に出力されます。
- 連続してデータを受信した場合、UiC1レジスタのRIビットが“1” (UiRBレジスタにデータあり)のときに次の受信データの7ビット目を受信するとオーバランエラーが発生し、UiRBレジスタのOERビットが“1” (オーバランエラー発生)になります。この場合、UiRBレジスタは不定になります。オーバランエラーが発生したときはSiRICレジスタのIRビットは“1”に変化しません。

30.8.3 特殊モード1 (I²Cモード)

- スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ (i=0~2)のSTSPSELビットを“0”にした後、送受信クロックの半クロック以上待ってから、各コンディション生成ビット (STAREQビット、RSTAREQビット、STPREQビット)を“0”から“1”にしてください。

30.8.4 通信異常時の対処方法

送受信中に機能選択レジスタを書き換えるなど、通信異常が発生するような操作を行わないでください。万が一通信相手がそのような操作を行った場合、あるいはノイズの影響などによりビットずれが発生した場合など通信異常が発生した場合は、以下の手順で内部回路を初期化してください。

A. クロック同期モードの場合

- (1) UiC1レジスタ(i=0~4)のTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期型シリアルインタフェースモード)にする。
- (4) 必要に応じてUiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

B. UARTモードの場合

- (1) UiC1レジスタのTEビットを“0”(送信禁止)、REビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“100b”(UARTモード キャラクタ長7ビット)または、“101b”(UARTモードキャラクタ長8ビット)、“110b”(UARTモードキャラクタ長9ビット)にする。
- (4) 必要に応じてUiC1レジスタのTEビットを“1”(送信許可)、REビットを“1”(受信許可)にする。

30.9 A/Dコンバータ使用上の注意

30.9.1 基板設計上の注意点

- ノイズによる誤動作やラッチアップの防止、または変換誤差の低減のため、AVCC端子、VREF端子、アナログ入力端子(AN_0~AN_7, AN0_0~AN0_7, AN2_0~AN2_7)とAVSS端子の間にそれぞれコンデンサを挿入してください。図 30.1に端子の処理例を示します。

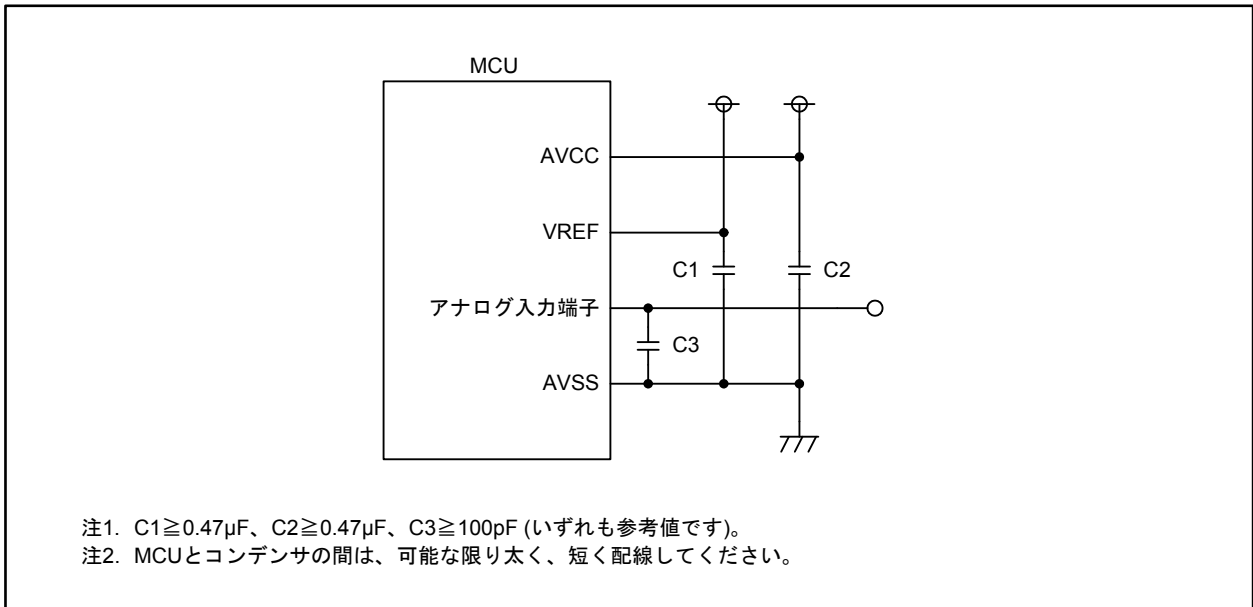


図 30.1 A/D関連端子の処理例

- キー入力割り込みを使用する場合、AN_4~AN_7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧がVIL以下になると、キー入力割り込み要求が発生します)。
- AVCC=VREF=VCCの場合、AN_0~AN_7、AN0_0~AN0_7、AN2_0~AN2_7、ANEX0、ANEX1のA/D入力電圧はVCC以下にしてください。

30.9.2 プログラム作成上の注意点

- AD0CON0レジスタ(ADSTビットを除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタ、AD0CON4レジスタ、AD0CON5レジスタは、A/D変換停止時(トリガ発生前)に書いてください。
- AD0CON1レジスタのVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。A/D変換を行わないときは、消費電流を低減させるためにVCUTビットを“1”から“0”にしてください。
- アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力)にしてください。また、対応するポートの機能選択レジスタのASELビットを“1”(A/D入力として使用する)にしてください。
- AD0CON0レジスタのTRGビットが“1”(外部トリガ・ハードウェアトリガ)の場合は、ADTRG端子に対応するポート方向ビット(PD9_7ビット)は“0”(入力)にしてください。

- ϕ ADは、16MHz以下にしてください。サンプル&ホールド機能なしの場合、 ϕ ADの周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、 ϕ ADの周波数は1MHz以上にしてください。
- A/D動作モード(AD0CON0レジスタのMD1~MD0ビット、AD0CON1レジスタのMD2ビット)を変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたは、AD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。
- A/D変換結果がAD0iレジスタ(i=0~7)に格納される時にCPUがAD0iレジスタを読んだ場合、誤った値がAD0iレジスタに格納されることがあります。A/D変換が完了したことを確認してからAD0iレジスタを読んでください。
単発モード、単掃引モードを使用する場合は、AD0ICレジスタのIRビットが“1”(割り込み要求あり)になったことを確認してから対象のAD0iレジスタを読んでください。
繰り返しモード、繰り返し掃引モード0、繰り返し掃引モード1を使用する場合は、AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすれば変換完了ごとに割り込み要求を発生させることができます。上と同様、AD0ICレジスタのIRビットが“1”(割り込み要求あり)になったことを確認してからAD00レジスタを読んでください。
- A/D変換中にAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にしてA/D変換を中断した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換を中断した場合は、いずれのAD0iレジスタの値も使用しないでください。
- DMAC利用モードでは、外部トリガは使用できません。また、変換結果のDMA転送を行う場合、AD00レジスタをプログラムで読まないでください。
- 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にしてA/D変換を中断した場合、掃引が終了していないにもかかわらず割り込み要求が発生することがあります。A/D変換を中断する場合は、割り込みを禁止した後、ADSTビットを“0”(A/D変換停止)にしてください。

30.10 シリアルバスインタフェース使用上の注意

30.10.1 クロック同期式シリアル通信モードおよび4線式シリアルバスモード使用上の注意

30.10.1.1 クロック同期式シリアル通信モード、4線式シリアルバスモード関連レジスタのアクセス

クロック同期式シリアル通信モード、4線式シリアルバスモード関連レジスタ(44F06h番地~44F1Fh番地)の同一レジスタに対して、書いてから「3命令以上経過してから」読んでください。

•3命令以上待たせる例

```
MOV.B #00h, 44F0Bh ; SS0ERレジスタを“00h”にする
NOP
NOP
NOP
MOV.B 44F0Bh, R0L
```

30.11 フラッシュメモリ書き換えに関する注意

30.11.1 電源電圧に関する注意事項

- フラッシュメモリ書き換え中の電源電圧は、電気的特性に定める電圧の範囲で一定の電圧を供給してください。書き換え中に保証値を超える電圧変動があった場合、フラッシュメモリの保証はできません。

30.11.2 ハードウェアリセットに関する注意事項

- フラッシュメモリ書き換え中は、ハードウェアリセットを行わないでください。

30.11.3 フラッシュメモリプロテクトに関する注意点

- IDコードの格納番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み書きができなくなります。

30.11.4 プログラム作成上の注意点

- 低速モード、低消費電力モードでは、FMCRレジスタのFEWビットを“1” (CPU書き換えモード) にしないでください。
- プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラムは、NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込みで中断されます。これらのソフトウェアコマンドが中断された場合、当該ブロックをイレーズした後に再度同じコマンドを実行してください。特にブロックイレーズが中断された場合、ロックビットとプロテクトビットの値は不定になりますので、ロック解除後再度ブロックイレーズを実施してください。

30.11.5 割り込み使用上の注意点

- EW0モード
 - 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
 - NMI、ウォッチドッグタイマ割り込み、発振停止検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR1レジスタのLBDビットを“1” (ロックビットプロテクト無効) にしてから再度書き換えプログラムを実行してください。
 - BRK命令、INT0命令、UND命令は、フラッシュメモリ上のデータを参照するため使用できません。
- EW1モード
 - プログラム/ブロックイレーズ中に、可変ベクタテーブルにベクタを持つ割り込みが受け付けられないようにしてください。
 - ウォッチドッグタイマは、カウントソース保護モードで使用しないでください。また、ウォッチドッグタイマ割り込みが発生しないようにしてください。
 - NMI、発振停止検出割り込みは、割り込みが発生すると自動的にリードアレイモードになりますので、フラッシュメモリの書き換え中でも使用できます。割り込み発生時はフラッシュメモリの書き換えが中断され、FMR0、FMSR0レジスタがリセットされます。割り込み処理終了後にFMR0レジスタのEWMビットを“1” (EW1モード)、FMR1レジスタのLBDビットを“1” (ロックビットプロテクト無効) にしてから再度書き換えプログラムを実行してください。

30.11.6 書き換え制御プログラムの書き換えに関する注意点

- EW0モード
 - 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後のフラッシュメモリ書き換えができなくなることがあります。書き換えできなくなった場合は、シリアルライター、パラレルライターを使用して書き換えてください。
- EW1モード
 - 書き換え制御プログラムが格納されているブロックは書き換えないでください。

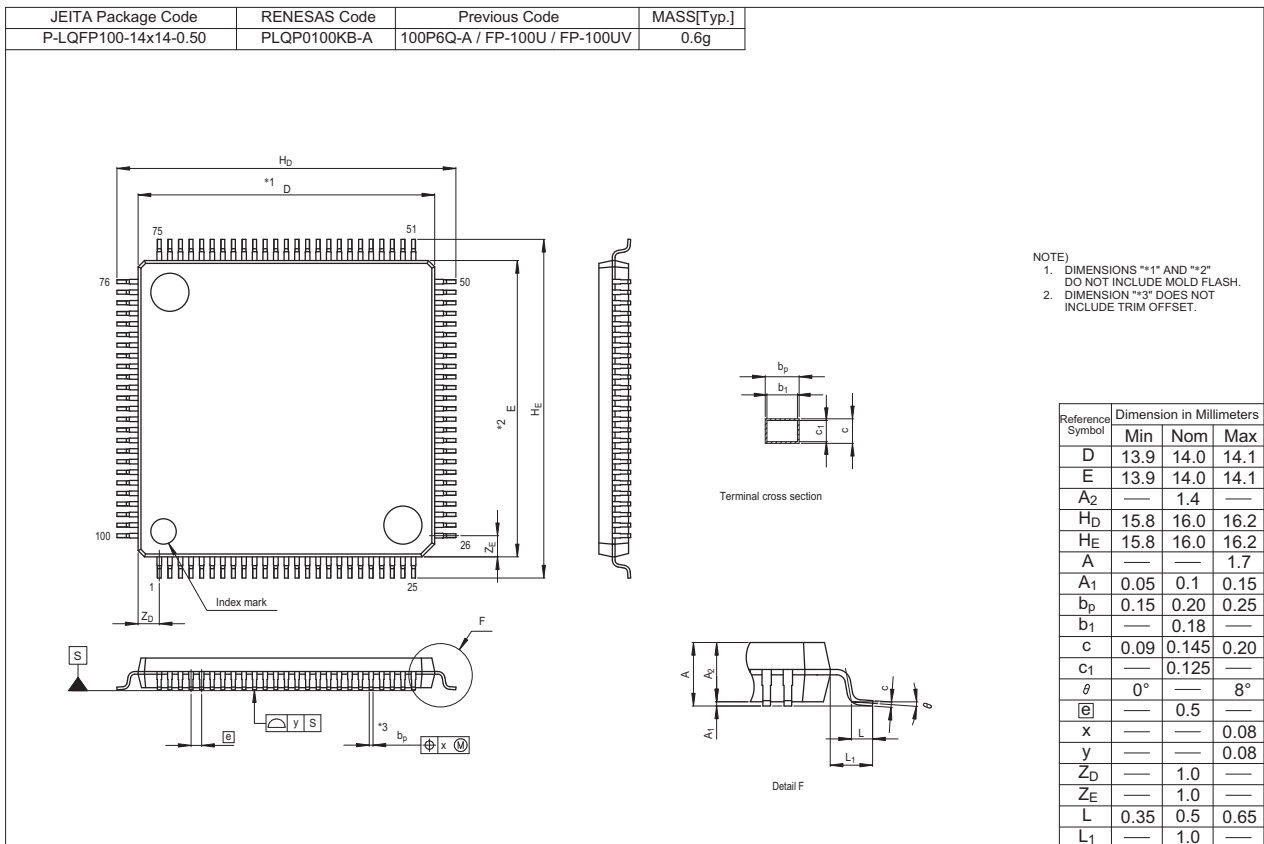
30.11.7 プログラム、イレーズ回数とソフトウェアコマンド実行時間

- ソフトウェアコマンド(プログラム、ブロックイレーズ、ロックビットプログラム、プロテクトビットプログラム)の実行時間は、プログラム、イレーズ回数の増加とともに長くなります。特に、プログラム、イレーズ回数が電气的特性に定めるプログラム、イレーズ回数を超えると、ソフトウェアコマンドの実行時間は著しく長くなるため、ソフトウェアコマンドの待ち時間の設定は電气的特性に定める最大時間以上に設定してください。

30.11.8 その他の注意事項

- 電气的特性に定めるプログラム、イレーズ回数は当初の性能を保証できるプログラム、イレーズ回数の最大値です。この回数を超えると直ちにプログラム、イレーズができなくなるわけではありません。
- デバッグでプログラム、イレーズを繰り返したチップは、量産時には使用しないでください。

付録1.外形寸法図



索引

数字

4線式シリアルバスモード 362, 387

A

A0 20
 A1 20
 A2 20
 A3 20
 AD00~AD07 304
 AD0CON0 299
 AD0CON1 300
 AD0CON2 301
 AD0CON3 302
 AD0CON4 303
 AD0CON5 303
 AD0IC 152

B

BCN0IC~BCN2IC 152
 BRK2命令割り込み 143
 BRK命令割り込み 143
 Bフラグ 21

C

C0AFSR~C5AFSR 469
 C0BCR~C5BCR 439
 C0CLKR~C5CLKR 438
 C0CSSR~C5CSSR 467
 C0CTLR~C5CTLR 433
 C0ECSR~C5ECSR 477
 C0EIC~C5EIC 152
 C0EIER~C5EIER 470
 C0EIFR~C5EIFR 472
 C0FIDCR0~C5FIDCR1 442
 C0FRIC~C5FRIC 152
 C0FTIC~C5FTIC 152
 C0MB0~C5MB15 446
 C0MCTL0~C5MCTL15 450
 C0MIER~C5MIER 449
 C0MKIVLR~C5MKIVLR 444
 C0MKR0~C5MKR3 441
 C0MSMR~C5MSMR 464
 C0MSSR~C5MSSR 465
 C0RECR~C5RECR 475
 C0RFCR~C5RFCR 454
 C0RFPCR~C5RFPCR 457

C0RIC~C5RIC 152
 C0STR~C5STR 461
 C0TCR~C5TCR 480
 C0TECR~C5TECR 476
 C0TFCR~C5TFCR 458
 C0TFPCR~C5TFPCR 460
 C0TIC~C5TIC 152
 C0TSR~C5TSR 479
 C0WIC~C5WIC 152
 C1TSR 519
 CCR 108
 CM0 109
 CM1 110
 CM2 110
 CM3 111
 CPSRF 112
 CRCD 321
 CRCIN 322
 Cフラグ 21

D

DA0, DA1 320
 DACON 320
 DCR0~DCR3 23, 180
 DCT0~DCT3 23, 179
 DDA0~DDA3 23, 181
 DDR0~DDR3 23, 181
 DM0IC~DM3IC 152
 DM0SL~DM3SL 175
 DM0SL2~DM3SL2 176
 DMAソースアドレスリロードレジスタ ... 23
 DMAソースアドレスレジスタ 23
 DMAターミナルカウントリロードレジスタ 23
 DMAターミナルカウントレジスタ 23
 DMAデスティネーションアドレスリロードレジスタ 23
 DMAデスティネーションアドレスレジスタ 23
 DMAモードレジスタ 23
 DMD0~DMD3 23, 179
 DPビット 22
 DSA0~DSA3 23, 180
 DSR0~DSR3 23, 180
 DTT 245
 Dフラグ 21

F

FB 20
 FBPM0 589
 FBPM1 589
 FEBC 586
 FLG 20

FMCR	585
FMR0	587
FMR1	588
FMSR0	588
FO フラグ	21
FPR0	587
FU フラグ	21

G

G0BCR0, G1BCR0	331
G0BCR1, G1BCR1	332
G0BT, G1BT	331
G0FE, G1FE	338
G0FS, G1FS	337
G0PO0~G0PO7	336
G0POCR0~G0POCR7	335
G0PSCR, G1PSCR	337
G0SDR, G1SDR	336
G0TM0~G0TM7	334
G0TMCR0~G0TMCR7	333
G0TPR6, G0TPR7	333
G1PO0~G1PO7	336
G1POCR0~G1POCR7	335
G1TM0~G1TM7	334
G1TMCR0~G1TMCR7	333
G1TPR6, G1TPR7	333
GBSC0, GBSC1	533
GBSR0, GBSR1	533
GBSS0, GBSS1	534
GC0IE~GC5IE	527
GC0SR~GC5SR	528, 529
GCCR	503, 504
GCSR	505
GBCR	523
GEEIR	532
GF00CL~GF51CL	524
GF00FL~GF51FL	526
GFRR0	512
GFRR1	512
GFRR2	513
GFRR3	513
GIER	530
GMR	502
GMREC	519
GPCCR	514
GRESR	532
GRM0H~GRM15H	520, 521
GRM0L~GRM15L	522
GRMBP	519
GRMCC	506
GRMSR	508
GSCFC	508

GSR	531
GTFCC	507
GTFCR	525
GTFRC	509, 510
GTFRS	511
GTSCR	516
GTSTR	518
GW0IC~GW5IC	152
GWEIC	152

I

IC07DDR~IC17DDR	359
ICTB2	238
IDB0, IDB1	238
IFS0	568
IFS1	569
IFS2	570
IFS3	571
IFS5	572
IFS6	573
IFSR0	162
IIO0IC~IIO11IC	152
IIO0IE~IIO11IE	167
IIO0IR~IIO11IR	166
INT0IC~INT5IC	153
INTB	20
INTF0	163
INTF1	163
INT 命令割り込み	143
INVC0	235
INVC1	236
IOBC	237
IPL	22, 150
ISP	20
I フラグ	21

K

KUPIC	152
-------------	-----

L

L0IC, L1IC	152
LBRG	399
LBRK	404
LBRP0	400
LBRP1	400
LCW	399
LDB1~LDB8	409
LEST	409
LIDB	407
LLDIC	152

LMD0	401
LMD1	402
LRFC	406
LSC	407
LSPC	405
LST	408
LTC	408
LWUP	403

N

NMI	144
-----------	-----

O

OFS	172
ONSF	207
Oフラグ	21

P

P0~P10	200
P0_0S~P0_7S	552
P10_0S~P10_7S	567
P1_0S~P1_7S	553, 554
P2_0S~P2_7S	555
P3_0S~P3_7S	556
P4_0S~P4_7S	557
P5_0S~P5_7S	558, 559
P6_0S~P6_7S	560
P7_0S~P7_7S	561, 562
P8_0S~P8_4S, P8_6S, P8_7S	563, 564
P9_3S~P9_7S	565, 566
PBC	138
PC	20
PCR	576
PC 退避レジスタ	22
PD0~PD10	550
PLC0	117
PLC1	118
PM0	102
PM2	113
PM3	114
PRCR	139
PRCR2	140
PRCR3	140
PRCR4	141
PRR	141
PUR0	574
PUR1	574
PUR2	575
PUR3	575

R

R2R0	20
R3R1	20
R6R4	20
R7R5	20
RIPL1, RIPL2	155, 189
RND	22

S

S0RIC~S4RIC	152
S0TIC~S4TIC	152
SB	20
SP	20
SS0CRH~SS1CRH	366
SS0CRL~SS1CRL	367
SS0ER~SS1ER	370
SS0IC~SS1IC	152
SS0MR~SS1MR	368, 369
SS0MR2~SS1MR2	372
SS0RDR~SS1RDR	373
SS0SR~SS1SR	371
SS0TDR~SS1TDR	373
SVF	22
SVP	22
Sフラグ	21

T

TA0~TA4	204
TA0IC~TA4IC	152
TA0MR~TA4MR	205, 210, 213, 216, 218
TA1, TA2, TA4	241
TA11, TA21, TA41	241
TA11M, TA21M, TA41M	242
TA1M, TA2M, TA4M	242
TA1MR, TA2MR, TA4MR	242
TABSR	205, 222, 243
TB0~TB5	221
TB0IC~TB5IC	152
TB0MR~TB5MR	221, 223, 225, 228
TB2	239
TB2MR	240
TB2SC	240
TBECKS	226
TBSR	222
TCSPR	111, 208
TRGSR	208, 243

U

U0BRG~U4BRG	260
-------------------	-----

U0C0~U2C0	254
U0C1~U2C1	256
U0MR~U2MR	252
U0RB~U2RB	261
U0SMR~U2SMR	257
U0SMR2~U2SMR2	258
U0SMR3~U2SMR3	259
U0SMR4~U2SMR4	260
U0TB~U4TB	261
U34CON	257
U3C0, U4C0	255
U3C1, U4C1	256
U3MR, U4MR	253
U3RB, U4RB	262
UDF	206
USP	20
Uフラグ	21

V

VCT	22
VRCR	104

W

WDC	170
WDK	171
WDTS	171

X

X0R~X15R	324
XYC	324

Y

Y0R~Y15R	325
----------------	-----

Z

Zフラグ	21
------------	----

あ

アドレスレジスタ	20
----------------	----

う

ウォッチドッグタイマ割り込み	144
----------------------	-----

お

オーバフローフラグ	21
オーバフロー割り込み	143

き

キャリーフラグ	21
---------------	----

く

クロック同期式シリアル通信モード 362, 381	
---------------------------	--

こ

高速割り込み	144
固定小数点位置指定ビット	22

さ

サインフラグ	21
--------------	----

し

周辺機能割り込み	144
シリアルバスインタフェース	361
シングルステップ割り込み	144

す

スタックポインタ	20
スタックポインタ指定フラグ	21
スタティックベースレジスタ	20

せ

ゼロフラグ	21
-------------	----

そ

ソフトウェア割り込み	143
------------------	-----

て

データレジスタ	20
デバッグフラグ	21

と

特殊割り込み	144
--------------	-----

の	割り込み要求レベル	153
ノンマスカブル割り込み		142
は		
ハードウェア割り込み		144
発振停止検出割り込み		144
ふ		
浮動小数点アンダフローフラグ		21
浮動小数点オーバフローフラグ		21
浮動小数点丸め演算モード		22
フラグ退避レジスタ		22
フラグレジスタ		20
フレームベースレジスタ		20
プログラムカウンタ		20
プロセッサ割り込み優先レベル		22, 150
へ		
ベクタレジスタ		22
ま		
マスカブル割り込み		142
み		
未定義命令割り込み		143
ゆ		
ユーザスタックポインタ		20
れ		
レジスタバンク指定フラグ		21
わ		
割り込み		
分類		142
レジスタ退避		158
割り込み応答時間		157
割り込み許可フラグ		21
割り込みシーケンス		156
割り込みスタックポインタ		20
割り込み制御レジスタ		151
割り込みベクタテーブルベースレジスタ		20

改訂記録	R32C/142、R32C/145グループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2010.04.28	—	初版発行
1.10	2011.08.12	—	第二版発行
		—	•R32C/142グループの仕様を追加
		—	•資料番号を「RJJ09B0621-0100」から「R01UH0218JJ0110」に変更
		—	•VCC0に対する電圧範囲の記載方法を「3.0～5.5V」から「3.0V～VCC」に変更
			「1. 概要」
		1	•1.1 本文 周辺モジュールの記載順を変更
		4	•表1.4 製品ステータスを更新
		12	•図1.5 信号名の記載順を変更
		13	•表1.8 26番ピン UART 端子欄の不要な「/」を削除
			•表1.8 27番ピン タイマ端子名の記載順を変更
		16	•表1.11 クロック出力の「fC」を「低速クロック」に修正
			「4. SFR」
		30, 32	•表4.6、表4.8 GiBCR0レジスタのリセット後の値を二進数に変更
		35	•表4.11 「XY制御レジスタ」を「X-Y制御レジスタ」に修正
		37	•表4.13 TABSR、ONSF、TRGSRレジスタのリセット後の値を二進数に変更
		44	•表4.20 IFS0レジスタのリセット後の値を「X0X0 X0X0b」に修正
		54	•表4.30 余分な0472B0h番地の行を削除
		63, 70, 77, 84, 91, 98	•表4.39、表4.46、表4.53、表4.60、表4.67、表4.74 「CANiアクセプタンスマスクレジスタk」を「CANiマスクレジスタk」に修正
		64, 71, 78, 85, 92, 99	•表4.40、表4.47、表4.54、表4.61、表4.68、表4.75 CiMSMRレジスタの初期値を「0000 0000b」に修正
			「5. リセット」
		100	•5.1 B (2) 「条件を満たすレベル」を「条件を満たす電圧」に変更
		102	•5.2、5.3 本文 一部見直し
			「7. クロック発生回路」
		106	•7.1 本文、表7.1 一部表現を見直し
		107	•図7.1 PLL 発振停止条件にBCSビットを追加
		109	•図7.3 注7 追記
		110	•図7.4 注2 一部変更
		113	•図7.9 注3 各ビットの括弧内の記述を修正
		118	•図7.15 SEOビット「~モード」を「~動作」に変更
		121	•7.2.1 本文 発振停止検出後の処置としてCM0レジスタのCM05ビットを“1”にする方法を追加
		123	•7.6 本文、表7.3 「fC」を「低速クロック」に修正
		124	•7.7 本文 見直し
		125	•7.7.1 (1)~(3)、(5) 本文 見直し
		126	•7.7.1 本文 追加
		127-129	•図7.17~図7.19を7.7.1項へ移動し、メインクロック停止(故障)の遷移図を追加、遷移フローと条件を一部追加

改訂記録	R32C/142、R32C/145グループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
		127	• 図7.17 注4 削除
		128, 129	• 図7.18、図7.19 注3 削除
		131, 134	• 表7.4、表7.6 「fC」を「低速クロック」に修正
		131	• 7.7.2.4 本文 見直し
		134	• 7.7.3.3 本文 一部見直し
		166	「10. 割り込み」 • 図10.16 (b0) 「書く場合、“0”を書いてください」を削除、注3 「“1”を書いて変化しません」を「“1”は書かないでください」に修正
		236	「16. 三相モータ制御用タイマ機能」 • 図16.3 INV13ビット機能欄「タイマA」を「タイマA1」に修正
		240	• 図16.9 機能欄を見直し
		241	• 16.3 本文 一部削除
		246	• 図16.18 (1) 1項目目「タイマA」を「タイマA1」に修正、一部見直し
		248	• 16.6.1 本文 TAIOUT端子がハイインピーダンスになる条件を追加 • 16.6.2 本文 「オーバフロー」を「アンダフロー」に修正
		266	「17. シリアルインタフェース」 • 図17.18 「TXEPTフラグ」を「TXEPTビット」に修正
		296	• 17.5.4 「通信異常時の対処方法」項を追加
		305-309	「18. A/Dコンバータ」 • 18.1.1~18.1.5 本文、表18.2~表18.6 機能欄 一部表現を見直し
		309	• 表18.6 見出し「重点的に行う端子」を「重点的にA/D変換を行う端子」に変更
		321	「20. CRC演算回路」 • 図20.1 データの流れを示す矢印を追加
		331	「22. インテリジェントI/O」 • 図22.3 注2 一部表現を変更
		333	• 図22.6 注3 削除
		341, 342	• 図22.16、図22.17 「(i=0, 1)」を図タイトルへ移動
		360	• 図22.28 (3)、(5)、(7) 「IC07DDR」を「IC07DDRレジスタ」に修正
		365	「23. シリアルバスインタフェース」 • 図23.2 ビット一覧からMLSビットを削除
		366	• 図23.3 「b6, b5, b4」を「b2, b1, b0」に修正
		399	「24. LINモジュール」 • 図24.3 注1 追加、機能欄を見直し
		401	• 図24.7 注4 割り込み発生要因を追加し、説明文を一部削除
		408	• 図24.16 注1 説明文を見直し、注3 追加
		409	• 図24.17 注1 説明文を見直し
		412	• 表24.3 「BFTL3~BFTL0ビット」を「BLT3~BLT0ビット」に、 「BFTD1~BFTD0ビット」を「BDT1~BDT0ビット」に修正
		413, 414	• 表24.4、表24.5 LINモジュール処理(4)の説明文を一部変更
		423	• 図24.30 LDEビットを“1”にする場所を変更
		424	• 表24.8 ステータス検出条件欄の表現を見直し、入力信号“L”検出の条件を追加

改訂記録	R32C/142、R32C/145グループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
		425	•表 24.9 エラー検出条件欄の表現を見直し
		427	•24.11 本文 説明文を追加 •図24.32 FTC、FRCビットの位置を修正、ビット名をビットシンボルに変更 •図24.33 LDビットの位置を修正、ビット名をビットシンボルに変更
		—	「25. CANモジュール」 •用語「8/3エンコーダ」を「8 to 3プライオリティエンコーダ」に、「3/8デコーダ」を「3 to 8デコーダ」に変更
		—	•用語「ゲートウェイモジュール」を「CANゲートウェイモジュール」に統一
		428	•25 本文 「表25.1に..」を「表25.1、表25.2に..」に修正
		433	•図25.2 注7 「メッセージロストタイプ」を「MLMビット」に変更
		436	•表25.4 注2 「“00~11b”」を「“00b~11b”」に修正、「メッセージロストタイプ」を「メッセージロストモード」に変更 •表25.4 注3 「FIFO受信割り込み」を「受信FIFO割り込み」に修正、「ID部」を「EID、SIDビット」に変更、「メッセージロストタイプ」を「メッセージロストモード」に変更、
		442	•図25.6 注2 一部表現を変更
		445	•表25.5 「i」を「base」に変更
		446	•図25.8 見出し「設定値」を「設定範囲」に修正、注4 一部表現を変更
		454	•図25.11 注2 文章を修正
		465	•図25.19 (b6-b4) 「書く場合、“0”を書いてください」を削除
		467	•25.1.17 本文 「(最小ビット位置がより高い優先順位)」を「(LSB側が優先)」に変更、2段落目の冗長部を削除
		469	•図25.23 注1の「(j=0~15)」を図タイトルへ移動
		477	•図25.28 「(注4)」をビット名欄から機能欄へ移動、注4 本文修正
		486	•25.2.3 本文 「ハードウェアリセットまたはソフトウェアリセット実行後」を「リセット後」に修正
		489	•図25.36 PCDビット部 「q=1, 2, 3, 4」を「q=2, 3, 4」に修正
		491, 492	•図25.38~図25.40 「i」を「base」に変更 •図25.38 変数jの範囲説明を図タイトルへ移動
		492	•図25.39 「k: 0=3」を削除、「COMKRk」を「CiMKRk」に修正
		492	•図25.40 「n: 0, 1」を削除
		494	•図25.42 「(j=0~15)」と「(k=0~3)」を図タイトルへ移動
		496-498	•図25.43~図25.45 「(j=0~15)」を図タイトルへ移動
		—	「26. CANゲートウェイモジュール」 •全面改訂
		502	•表26.2 「モジュール内レジスタ操作」の行を削除
		507	•図26.9 注1 削除
		515	•26.1.11 本文 文章を一部修正、追記
		516	•図26.21 DIV2~DIV0ビット 機能欄「1/n分周」を「n分周」に修正、注2 一部修正
		518	•26.1.13 本文 「レジスタの値」を「レジスタの上位15ビット」に修正

改訂記録	R32C/142、R32C/145グループ ユーザーズマニュアル ハードウェア編
------	--

Rev.	発行日	改訂内容	
		ページ	ポイント
		527, 529	• 図26.36、図26.38 (b4)を予約ビットに修正
		531	• 26.1.24 本文 「ゲートウェイエラー」を「ルーティングエラー、ハードウェアエラー」に修正、「割り込み」を「割り込み要求」に修正
		522	• 図26.27 注3 追加
		533	• 26.1.28 項タイトル、図26.44 レジスタ名を修正
		538	• 表26.6 注1 追加
		540	• 図26.49 「TSL」を「TS」に修正
			「27. 入出力端子」
		549	• 27 本文、図27.1 プルアップ抵抗が切り離される要因からASELを除外
		577	• 図27.33 VIHを0.7VCCに修正
			「28. フラッシュメモリ」
		584	• 表28.5 「プログラム、イレーズコマンド」を「プログラムコマンド/ブロックイレーズコマンド」に、「リードステータスレジスタコマンド」を「リードステータスレジスタモード移行コマンド」に修正
		605, 606	• 図28.20、図28.21 注3 「フラッシュ」を「フラッシュメモリ」に修正
			「29. 電気的特性」
		610	• 表29.2 VCC0の最大値をVCCに変更、dVCC0/dtの規格値(最大)を記載
			「30. 使用上の注意事項」
		642	• 30.7.1 本文 TAIOUT 端子がハイインピーダンスになる条件を追加
			• 30.7.2 「オーバフロー」を「アンダフロー」に修正
		644	• 30.8.4 「通信異常時の対処方法」項を追加

R32C/142、R32C/145グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2010年4月28日 Rev.1.00
2011年8月12日 Rev.1.10

発行 ルネサスエレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口 : <http://japan.renesas.com/inquiry>

R32C/142、R32C/145グループ



ルネサスエレクトロニクス株式会社

R01UH0218JJ0110
(旧番号: RJJ09B0621-0100)