

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル（暫定

NU85E

32 ビット・マイクロプロセッサ・コア

ハードウェア編

NU85E

NU85EA

資料番号 A14874JJ3V0UM00（第3版）

発行年月 December 2001 NS CP(N)

© NEC Corporation 2000

[メモ]

目次要約

| | | |
|--------|--------------------|---------|
| 第 1 章 | 概 説 | ... 20 |
| 第 2 章 | 端子機能 | ... 28 |
| 第 3 章 | CPU | ... 55 |
| 第 4 章 | BCU | ... 79 |
| 第 5 章 | BBR | ... 123 |
| 第 6 章 | STBC | ... 140 |
| 第 7 章 | DMAC | ... 154 |
| 第 8 章 | INTC | ... 210 |
| 第 9 章 | テスト機能 | ... 235 |
| 第 10 章 | NB85E901 | ... 240 |
| 付録 A | ROM/RAM アクセス・タイミング | ... 252 |
| 付録 B | 総合索引 | ... 254 |
| 付録 C | 改版履歴 | ... 260 |

CMOSデバイスの一般的注意事項

静電気対策（MOS全般）

注意 MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

未使用入力の処理（CMOS特有）

注意 CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

初期化以前の状態（MOS全般）

注意 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
 - 文書による当社の承諾なしに本資料の転載複製を禁じます。
 - 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
 - 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
 - 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
 - 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等
- 当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

本版で改訂された主な箇所

| 箇 所 | 内 容 |
|------------|---|
| p.33 | 2. 2. 2 (3) VAPREQ 記述を追加 |
| p.36 | 2. 2. 2 (17) VMLAST, VSLAST 記述を追加 |
| p.36 | 2. 2. 2 (18) VMAHLD, VSAHLD 記述を追加 |
| p.37 | 2. 2. 2 (20) VBDC 記述を追加 |
| p.37 | 2. 2. 2 (21) VBDV 記述を追加 |
| p.37, 38 | 2. 2. 3 (1) DCRESZ 記述を追加, 図 2 - 2 を追加 |
| p.50, 51 | 2. 3 未使用端子の処理 注を追加 |
| p.54 | 表 2 - 10 各動作モードでの端子状態 DBO12-DBO5 のリセット時の状態を修正 |
| p.139 | 5. 5 注意事項 追加 |
| p.143, 144 | 6. 2. 1 パワー・セーブ・コントロール・レジスタ (PSC) 備考 4, 5 を追加 |
| p.147 | 表 6 - 3 割り込み処理ルーチン内でソフトウェア STOP モードに設定したあとの動作 備考を追加 |
| p.150 | 6. 6 (1) (b) ソフトウェア STOP モード解除時 <4>と備考を追加 |
| p.152 | 6. 6 (2) (b) ハードウェア STOP モード解除時 備考を追加 |
| p.162 | 図 7 - 6 DMA アドレッシング・コントロール・レジスタ 0-3 (DADC0-DADC3) 注意を追加 |
| p.164 | 図 7 - 7 DMA チャンネル・コントロール・レジスタ 0-3 (DCHC0-DCHC3) 注意, 記述を追加 |
| p.177 | 7. 8. 5 DMARQn 信号によるシングル転送時の 1 回転送 記述を追加 |
| p.178 | 図 7 - 24 2 サイクル転送例 追加 |
| p.179 | 7. 9. 2 フライバイ転送 記述を追加 |
| p.179 | 図 7 - 25 フライバイ転送例 (メモリ I/O) 追加 |
| p.181 | 図 7 - 27 ターミナル・カウント信号 (DMTCO3-DMTCO0) の出力例 追加 |
| p.183 | 図 7 - 29 DMA 転送の強制終了例 備考を修正 |
| p.208 | 7. 15 (3) DMA 転送に関する各種時間 記述を修正, 追加 |
| p.209 | 7. 15 (4) DMA 転送中の CPU アクセス 記述を追加 |
| p.209 | 7. 15 (6) DMARQn 信号の保持, (7) VMLOCK 信号 追加 |
| p.214 | 8. 2 ノンマスカブル割り込み (NMI) 注意 1 を修正, 注意 2 を追加 |
| p.237 | 図 9 - 1 周辺マクロ接続例 修正 |
| p.238 | 9. 4 (2) テスト・モード用端子 NPB 周辺が接続されている場合を削除, 修正 |
| p.260, 261 | 付録 C 改版履歴 追加 |

本文欄外の 印は、本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

はじめに

- 対象者** このマニュアルは CBIC の CPU コアである NU85E, NU85EA のハードウェア機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示す NU85E, NU85EA の持つハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** このマニュアルは、NU85E, NU85EA のハードウェア機能について記述しています。アーキテクチャ、命令機能などの詳細については「V850E1 ユーザーズ・マニュアル アーキテクチャ編」を参照してください。
各マニュアルは、大きく分けて次の内容で構成されています。

**NU85E ユーザーズ・マニュアル
ハードウェア編 (このマニュアル)**

- 概 説
- CPU 機能
- 周辺 I/O 機能
- テスト機能

**V850E1 ユーザーズ・マニュアル
アーキテクチャ編**

- レジスタ・セット
- 命令形式と命令セット
- 割り込みと例外
- パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータに関する一般知識を必要とします。

一通り NU85E, NU85EA のハードウェア機能を理解しようとするとき
→目次に従ってお読みください。

機能名などが分かっている、その詳細を確認するとき
→**付録 B 総合索引**を参照してください。

命令機能の詳細を知りたいとき
→別冊の **V850E1 ユーザーズ・マニュアル アーキテクチャ編 (U14559J)** を参照してください。

なお、このマニュアルでは NU85E を代表として説明しています。NU85EA を使用する場合は、「NU85E」を「NU85EA」に読み替えてお使いください。

| | | |
|-----|--------------------------------|--|
| 凡 例 | データ表記の重み | : 左が上位桁, 右が下位桁 |
| | アクティブ・ロウの表記 | : xxxZ (端子, 信号名称のあとに Z) |
| | 注 | : 本文中につけた注の説明 |
| | 注意 | : 気をつけて読んでいただきたい内容 |
| | 備考 | : 本文の補足説明 |
| | 数の表記 | : 2 進数 ... xxxx または xxxxB 10 進数 ... xxxx 16 進数 ... xxxxH |
| | 2 のべき数を示す接頭語 (アドレス空間, メモリ容量) : | |
| | | K (キロ) ... $2^{10} = 1024$ |
| | | M (メガ) ... $2^{20} = 1024^2$ |
| | | G (ギガ) ... $2^{30} = 1024^3$ |
| | データ・タイプ | : ワード ... 32 ビット ハーフワード ... 16 ビット バイト ... 8 ビット |

関連資料 関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- V850E1 ユーザーズ・マニュアル アーキテクチャ編 (U14559J)
- メモリ・コントローラ ユーザーズ・マニュアル NU85E, NU85ET 編 (A15019J)
- 命令キャッシュ, データ・キャッシュ ユーザーズ・マニュアル NU85E, NU85ET 編 (A15241J)
- CB-10 ファミリ VX タイプ 設計マニュアル NU85E, NU85ET 編 (A15401J)
- CB-10 ファミリ VX タイプ コア・ライブラリ 設計マニュアル CPU コア, ペリフェラル編 (A15133J)

なお, 上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

目 次

第 1 章 概 説 ... 20

- 1.1 概 要 ... 20
- 1.2 応用システム例 ... 21
- 1.3 特 徴 ... 22
- 1.4 シンボル図 ... 24
- 1.5 機能ブロック構成 ... 25
 - 1.5.1 内部ブロック図 ... 25
 - 1.5.2 内部ユニット ... 26
- 1.6 NU85E と NB85E の機能上の主な違い ... 27

第 2 章 端子機能 ... 28

- 2.1 端子機能一覧 ... 28
- 2.2 端子機能の説明 ... 32
 - 2.2.1 NPB 用端子 ... 32
 - 2.2.2 VSB 用端子 ... 33
 - 2.2.3 システム制御用端子 ... 37
 - 2.2.4 DMAC 用端子 ... 39
 - 2.2.5 INTC 用端子 ... 40
 - 2.2.6 VFB 用端子 ... 40
 - 2.2.7 VDB 用端子 ... 40
 - 2.2.8 命令キャッシュ用端子 ... 41
 - 2.2.9 データ・キャッシュ用端子 ... 43
 - 2.2.10 RCU 用端子 ... 44
 - 2.2.11 周辺エバチップ・モード用端子 ... 45
 - 2.2.12 動作モード設定用端子 ... 46
 - 2.2.13 テスト・モード用端子 ... 48
- 2.3 未使用端子の処理 ... 50
- 2.4 端子状態 ... 52

第 3 章 CPU ... 55

- 3.1 特 徴 ... 55
- 3.2 レジスタ ... 56
 - 3.2.1 プログラム・レジスタ ... 57

- 3.2.2 システム・レジスタ ... 59
- 3.3 アドレス空間 ... 62**
 - 3.3.1 プログラム領域 ... 63
 - 3.3.2 データ領域 ... 64
- 3.4 領 域 ... 66**
 - 3.4.1 ROM 領域 ... 66
 - 3.4.2 RAM 領域 ... 68
 - 3.4.3 周辺 I/O 領域 ... 70
 - 3.4.4 外部メモリ領域 ... 71
- 3.5 周辺 I/O レジスタ ... 71**
 - 3.5.1 NU85E 制御用レジスタ ... 72
 - 3.5.2 メモリ・コントローラ (MEMC) 制御用レジスタ ... 76
 - 3.5.3 命令キャッシュ制御用レジスタ ... 77
 - 3.5.4 データ・キャッシュ制御用レジスタ ... 77
- 3.6 RCU インタフェース ... 78**
 - 3.6.1 概 要 ... 78
 - 3.6.2 オンチップ・ディバグ ... 78

第 4 章 BCU ... 79

- 4.1 特 徴 ... 79**
- 4.2 メモリ・バンク ... 79**
- 4.3 プログラマブル・チップ・セレクト機能 ... 82**
- 4.4 プログラマブル周辺 I/O 領域選択機能 ... 88**
- 4.5 バス・サイズ設定機能 ... 91**
- 4.6 エンディアン設定機能 ... 92**
 - 4.6.1 エンディアン・コンフィギュレーション・レジスタ (BEC) ... 92
 - 4.6.2 NEC 製開発ツールにおけるビッグ・エンディアン形式の使用制限 ... 93
- 4.7 キャッシュ・コンフィギュレーション ... 95**
- 4.8 BCU 関連レジスタ設定例 ... 96**
- 4.9 VSB によるデータ転送 ... 99**
 - 4.9.1 データ転送例 ... 99
 - 4.9.2 バス・マスタが出力する制御信号 ... 100
 - 4.9.3 リード/ライト・タイミング ... 103
 - 4.9.4 VSB リード/ライト・タイミング例 ... 116
 - 4.9.5 リセット・タイミング ... 118
 - 4.9.6 バス・マスタ移行タイミング ... 119
 - 4.9.7 ミス・アライン・アクセス・タイミング ... 121

第 5 章 BBR ... 123

- 5.1 プログラマブル周辺 I/O 領域 ... 125
- 5.2 ウェイト挿入機能 ... 128
- 5.3 リトライ機能 ... 130
- 5.4 NPB リード/ライト・タイミング ... 130
- 5.5 注意事項 ... 139

第 6 章 STBC ... 140

- 6.1 パワー・セーブ機能 ... 140
- 6.2 制御レジスタ ... 141
 - 6.2.1 パワー・セーブ・コントロール・レジスタ (PSC) ... 141
 - 6.2.2 コマンド・レジスタ (PRCMD) ... 144
- 6.3 HALT モード ... 145
- 6.4 ソフトウェア STOP モード ... 146
- 6.5 ハードウェア STOP モード ... 148
- 6.6 ソフトウェア/ハードウェア STOP モードでのクロック制御 ... 149

第 7 章 DMAC ... 154

- 7.1 特 徴 ... 154
- 7.2 構 成 ... 155
- 7.3 転送対象 ... 156
- 7.4 DMA チャンネルの優先順位 ... 156
- 7.5 制御レジスタ ... 157
 - 7.5.1 DMA ソース・アドレス・レジスタ 0-3 (DSA0-DSA3) ... 157
 - 7.5.2 DMA デスティネーション・アドレス・レジスタ 0-3 (DDA0-DDA3) ... 159
 - 7.5.3 DMA 転送カウント・レジスタ 0-3 (DBC0-DBC3) ... 161
 - 7.5.4 DMA アドレッシング・コントロール・レジスタ 0-3 (DADC0-DADC3) ... 162
 - 7.5.5 DMA チャンネル・コントロール・レジスタ 0-3 (DCHC0-DCHC3) ... 164
 - 7.5.6 DMA ディスエーブル・ステータス・レジスタ (DDIS) ... 165
 - 7.5.7 DMA リスタート・レジスタ (DRST) ... 166
- 7.6 ネクスト・アドレス設定機能 ... 167
- 7.7 DMA バス・ステート ... 168
 - 7.7.1 バス・ステートの種類 ... 168
 - 7.7.2 DMAC バス・サイクルの状態遷移 ... 170
- 7.8 転送モード ... 171
 - 7.8.1 シングル転送モード ... 171
 - 7.8.2 シングルステップ転送モード ... 173
 - 7.8.3 ライン転送モード ... 174
 - 7.8.4 ブロック転送モード ... 176
 - 7.8.5 DMARQn 信号によるシングル転送時の 1 回転送 ... 177

- 7.9 転送タイプ ... 178
 - 7.9.1 2 サイクル転送 ... 178
 - 7.9.2 フライバイ転送 ... 179
- 7.10 DMA 転送起動要因 ... 180
- 7.11 DMA 転送完了時のターミナル・カウント出力 ... 181
- 7.12 強制中断 ... 182
- 7.13 強制終了 ... 183
- 7.14 DMA 転送タイミング例 ... 184
- 7.15 注意事項 ... 208

第 8 章 INTC ... 210

- 8.1 特 徴 ... 211
- 8.2 ノンマスクابل割り込み (NMI) ... 214
 - 8.2.1 動 作 ... 217
 - 8.2.2 復 帰 ... 218
- 8.3 マスクابل割り込み ... 219
 - 8.3.1 動 作 ... 219
 - 8.3.2 復 帰 ... 221
 - 8.3.3 マスクابل割り込みの優先順位 ... 222
 - 8.3.4 制御レジスタ ... 226
 - 8.3.5 マスクابل割り込みステータス・フラグ (ID) ... 229
- 8.4 ソフトウェア例外 ... 230
 - 8.4.1 動 作 ... 230
 - 8.4.2 復 帰 ... 231
- 8.5 例外トラップ ... 232
 - 8.5.1 不正命令コード ... 232
 - 8.5.2 動 作 ... 233
 - 8.5.3 復 帰 ... 233
- 8.6 割り込み応答時間 ... 234
- 8.7 割り込みが受け付けられない期間 ... 234

第 9 章 テスト機能 ... 235

- 9.1 テスト用端子 ... 235
 - 9.1.1 テスト・バス端子 (TBI39-TBI0, TBO34-TBO0) ... 235
 - 9.1.2 BUNRI, TEST 端子 ... 235
 - 9.1.3 BUNRIOUT 端子 ... 236
- 9.2 テスト・インタフェース信号一覧 ... 236
- 9.3 テスト・モード時の周辺マクロ接続例 ... 237
- 9.4 テスト・モード時の各端子の処理 ... 238

第 10 章 NB85E901 ... 240

10.1 シンボル図 ... 240

10.2 端子機能 ... 241

10.2.1 端子機能一覧 ... 241

10.2.2 端子機能の説明 ... 242

10.2.3 未使用端子の処理 ... 244

10.2.4 端子状態 ... 245

10.3 ディバグ機能 ... 247

10.4 NU85E 接続例 ... 248

10.5 N-Wire 型 IE の接続 ... 249

10.5.1 IE 接続コネクタ (ターゲット・システム側) ... 249

10.5.2 NU85E に NB85E901 を接続した場合の推奨回路例 ... 251

付録 A ROM/RAM アクセス・タイミング ... 252

付録 B 総合索引 ... 254

B.1 50 音で始まる語句の索引 ... 254

B.2 アルファベットで始まる語句の索引 ... 256

付録 C 改版履歴 ... 260

図の目次 (1/4)

| 図番号 | タイトル, ページ |
|--------|--|
| 2 - 1 | DCRESZ 信号の受け付け ... 38 |
| 2 - 2 | システム・リセットにより VBCLK の発振を停止させる場合 ... 38 |
| 3 - 1 | CPU レジスタ一覧 ... 56 |
| 3 - 2 | プログラム・カウンタ (PC) ... 58 |
| 3 - 3 | 割り込み要因レジスタ (ECR) ... 60 |
| 3 - 4 | プログラム・ステータス・ワード (PSW) ... 61 |
| 3 - 5 | アドレス空間 ... 62 |
| 3 - 6 | プログラム領域 ... 63 |
| 3 - 7 | データ領域 (64M バイト・モード時) ... 64 |
| 3 - 8 | データ領域 (256M バイト・モード時) ... 65 |
| 3 - 9 | ROM 領域 ... 66 |
| 3 - 10 | RAM 領域 ... 68 |
| 3 - 11 | 周辺 I/O 領域 ... 70 |
| 3 - 12 | RCU を介した NU85E と N-Wire 型インサーキット・エミュレータの接続概略図 ... 78 |
| 4 - 1 | チップ領域セレクト制御レジスタ 0 (CSC0) ... 82 |
| 4 - 2 | チップ領域セレクト制御レジスタ 1 (CSC1) ... 83 |
| 4 - 3 | CSC0, CSC1 レジスタ設定例 (64M バイト・モード時) ... 84 |
| 4 - 4 | CSC0, CSC1 レジスタ設定例 (256M バイト・モード時) ... 87 |
| 4 - 5 | 周辺 I/O 領域とプログラマブル周辺 I/O 領域 ... 89 |
| 4 - 6 | 周辺 I/O 領域セレクト制御レジスタ (BPC) ... 90 |
| 4 - 7 | バス・サイズ・コンフィギュレーション・レジスタ (BSC) ... 91 |
| 4 - 8 | エンディアン・コンフィギュレーション・レジスタ (BEC) ... 92 |
| 4 - 9 | ワード・データのリトル・エンディアン形式例 ... 93 |
| 4 - 10 | ワード・データのビッグ・エンディアン形式例 ... 93 |
| 4 - 11 | キャッシュ・コンフィギュレーション・レジスタ (BHC) ... 95 |
| 4 - 12 | BPC, BSC, BEC, BHC レジスタ設定例 ... 96 |
| 4 - 13 | VSB によるデータ転送例 ... 99 |
| 4 - 14 | VSB に接続されたバス・スレーブとのリード/ライト・タイミング ... 104 |
| 4 - 15 | VSB タイミング例 ... 116 |
| 4 - 16 | リセット・タイミング ... 118 |
| 4 - 17 | バス・マスタ移行タイミング ... 120 |
| 4 - 18 | ミス・アライン・アクセス・タイミング ... 121 |
| 5 - 1 | NPB 接続の概略図 ... 123 |
| 5 - 2 | NU85E と周辺マクロの接続例 ... 124 |
| 5 - 3 | 周辺 I/O 領域とプログラマブル周辺 I/O 領域 ... 125 |
| 5 - 4 | 周辺 I/O 領域セレクト制御レジスタ (BPC) ... 126 |

図の目次 (2/4)

| 図番号 | タイトル, ページ |
|--------|---|
| 5 - 5 | BPC レジスタ設定例 ... 127 |
| 5 - 6 | NPB ストロープ・ウエイト・コントロール・レジスタ (VSWC) ... 128 |
| 5 - 7 | リトライ機能 ... 130 |
| 5 - 8 | ハーフワード・アクセス・タイミング ... 131 |
| 5 - 9 | 奇数アドレスに対するバイト・アクセス・タイミング ... 131 |
| 5 - 10 | 偶数アドレスに対するバイト・アクセス・タイミング ... 132 |
| 5 - 11 | リード・モディファイ・ライト・タイミング ... 132 |
| 5 - 12 | リトライ・タイミング (ライト) ... 133 |
| 5 - 13 | リトライ・タイミング (リード) ... 133 |
| 5 - 14 | NPB に接続されたバス・スレーブとのリード/ライト・タイミング ... 134 |
| 5 - 15 | NPB ライト・タイミング (CSC0, CSC1 レジスタへのデータ・ライト・タイミング例) ... 138 |
| | |
| 6 - 1 | パワー・セーブ機能状態遷移図 ... 140 |
| 6 - 2 | パワー・セーブ・コントロール・レジスタ (PSC) ... 142 |
| 6 - 3 | コマンド・レジスタ (PRCMD) ... 144 |
| 6 - 4 | NU85E とクロック制御回路の接続 ... 149 |
| 6 - 5 | ソフトウェア STOP モード設定 / 解除タイミング例 ... 151 |
| 6 - 6 | ハードウェア STOP モード設定 / 解除タイミング例 ... 153 |
| | |
| 7 - 1 | DMA ソース・アドレス・レジスタ 0H-3H (DSA0H-DSA3H) ... 157 |
| 7 - 2 | DMA ソース・アドレス・レジスタ 0L-3L (DSA0L-DSA3L) ... 158 |
| 7 - 3 | DMA デスティネーション・アドレス・レジスタ 0H-3H (DDA0H-DDA3H) ... 159 |
| 7 - 4 | DMA デスティネーション・アドレス・レジスタ 0L-3L (DDA0L-DDA3L) ... 160 |
| 7 - 5 | DMA 転送カウンタ・レジスタ 0-3 (DBC0-DBC3) ... 161 |
| 7 - 6 | DMA アドレッシング・コントロール・レジスタ 0-3 (DADC0-DADC3) ... 162 |
| 7 - 7 | DMA チャンネル・コントロール・レジスタ 0-3 (DCHC0-DCHC3) ... 164 |
| 7 - 8 | DMA ディスエーブル・ステータス・レジスタ (DDIS) ... 165 |
| 7 - 9 | DMA リスタート・レジスタ (DRST) ... 166 |
| 7 - 10 | バッファ・レジスタの構成 ... 167 |
| 7 - 11 | DMAC バス・サイクルの状態遷移図 ... 170 |
| 7 - 12 | シングル転送例 1 ... 171 |
| 7 - 13 | シングル転送例 2 ... 171 |
| 7 - 14 | シングル転送例 3 ... 172 |
| 7 - 15 | シングル転送例 4 ... 172 |
| 7 - 16 | シングルステップ転送例 1 ... 173 |
| 7 - 17 | シングルステップ転送例 2 ... 173 |
| 7 - 18 | ライン転送例 1 ... 174 |
| 7 - 19 | ライン転送例 2 ... 174 |
| 7 - 20 | ライン転送例 3 ... 175 |

図の目次 (3/4)

| 図番号 | タイトル, ページ |
|--------|--|
| 7 - 21 | ライン転送例 4 ... 175 |
| 7 - 22 | ブロック転送例 ... 176 |
| 7 - 23 | DMARQn 信号によるシングル転送時の 1 回転送 ... 177 |
| 7 - 24 | 2 サイクル転送例 ... 178 |
| 7 - 25 | フライバイ転送例 (メモリ I/O) ... 179 |
| 7 - 26 | ターミナル・カウント信号 (DMTCO3-DMTCO0) タイミング例 ... 181 |
| 7 - 27 | ターミナル・カウント信号 (DMTCO3-DMTCO0) の出力例 ... 181 |
| 7 - 28 | DMA 転送の強制中断例 ... 182 |
| 7 - 29 | DMA 転送の強制終了例 ... 183 |
| 7 - 30 | 2 サイクル・シングル転送タイミング例 (NT85E500 に接続した外部 SRAM↔外部 SRAM) ... 185 |
| 7 - 31 | 2 サイクル・シングルステップ転送タイミング例 (NT85E500 に接続した外部 SRAM↔外部 SRAM) ... 187 |
| 7 - 32 | 2 サイクル・ライン転送タイミング例 (NT85E500 に接続した外部 SRAM↔外部 SRAM) ... 189 |
| 7 - 33 | 2 サイクル・ブロック転送タイミング例 (NT85E500 に接続した外部 SRAM↔外部 SRAM) ... 191 |
| 7 - 34 | 2 サイクル・シングル転送タイミング例 (VDB に接続した RAM→NT85E502 に接続した SDRAM) ... 193 |
| 7 - 35 | 2 サイクル・シングル転送タイミング例 (NT85E502 に接続した SDRAM→VDB に接続した RAM) ... 195 |
| 7 - 36 | フライバイ・シングル転送タイミング例 (NT85E500 に接続した外部 SRAM→外部 I/O) ... 197 |
| 7 - 37 | フライバイ・シングルステップ転送タイミング例 (NT85E500 に接続した外部 SRAM→外部 I/O) ... 199 |
| 7 - 38 | フライバイ・シングルステップ転送タイミング例 (NT85E500 に接続した外部 I/O→外部 SRAM) ... 201 |
| 7 - 39 | フライバイ・ライン転送タイミング例 (NT85E500 に接続した外部 SRAM→外部 I/O) ... 203 |
| 7 - 40 | フライバイ・ブロック転送タイミング例 (NT85E500 に接続した外部 SRAM→外部 I/O) ... 205 |
| 7 - 41 | フライバイ・ブロック転送タイミング例 (NT85E500 に接続した外部 I/O→外部 SRAM) ... 207 |
| 8 - 1 | ノンマスカブル割り込み要求の受け付け動作 ... 215 |
| 8 - 2 | ノンマスカブル割り込みの処理形態 ... 217 |
| 8 - 3 | RETI 命令の処理形態 ... 218 |
| 8 - 4 | マスカブル割り込みの処理形態 ... 220 |
| 8 - 5 | RETI 命令の処理形態 ... 221 |
| 8 - 6 | 割り込み処理中にほかの割り込み要求が発生した場合の処理例 ... 223 |

図の目次 (4/4)

| 図番号 | タイトル, ページ |
|--------|--|
| 8 - 7 | 同時発生した割り込み要求の処理例 ... 225 |
| 8 - 8 | 割り込み制御レジスタ 0-63 (PIC0-PIC63) ... 226 |
| 8 - 9 | 割り込みマスク・レジスタ 0-3 (IMR0-IMR3) ... 227 |
| 8 - 10 | インサースビス・プライオリティ・レジスタ (ISPR) ... 228 |
| 8 - 11 | プログラム・ステータス・ワード (PSW) ... 229 |
| 8 - 12 | ソフトウェア例外の処理形態 ... 230 |
| 8 - 13 | RETI 命令の処理形態 ... 231 |
| 8 - 14 | 不正命令コード ... 232 |
| 8 - 15 | 例外トラップの処理形態 ... 233 |
| 8 - 16 | 割り込み要求受け付け時のパイプライン動作例 (概略) ... 234 |
| 9 - 1 | 周辺マクロ接続例 ... 237 |
| 10 - 1 | NB85E901 と NU85E の接続例 ... 248 |
| 10 - 2 | N-Wire 型 IE の接続 ... 249 |
| 10 - 3 | IE 接続コネクタ (ターゲット・システム側) のピン配置図 ... 249 |
| 10 - 4 | IE 接続推奨回路例 (NU85E + NB85E901) ... 251 |
| A - 1 | ROM アクセス・タイミング ... 252 |
| A - 2 | RAM アクセス・タイミング ... 253 |

表の目次 (1/2)

| 表番号 | タイトル, ページ |
|--------|---|
| 2 - 1 | VMTTYP1, VMTTYP0 信号 ... 33 |
| 2 - 2 | VMBENZ3-VMBENZ0, VSBENZ1 信号 ... 34 |
| 2 - 3 | VMSIZE1, VMSIZE0 信号 ... 34 |
| 2 - 4 | VMCTYP2-VMCTYP0 信号 ... 35 |
| 2 - 5 | VMSEQ2-VMSEQ0 信号 ... 35 |
| 2 - 6 | IRAMWR3-IRAMWR0 信号 ... 41 |
| 2 - 7 | IDDRRQ, IDWRQ, IDSEQ4, IDSEQ2 信号 ... 43 |
| 2 - 8 | IFIRA64, IFIRA32, IFIRA16 信号 ... 46 |
| 2 - 9 | IFINSZ1, IFINSZ0 信号 ... 47 |
| 2 - 10 | 各動作モードでの端子状態 ... 52 |
| 3 - 1 | プログラム・レジスタ一覧 ... 57 |
| 3 - 2 | システム・レジスタ一覧 ... 59 |
| 3 - 3 | 割り込み / 例外テーブル ... 67 |
| 3 - 4 | RAM 領域サイズの設定 ... 68 |
| 4 - 1 | VMTTYP1, VMTTYP0 信号 ... 100 |
| 4 - 2 | VMCTYP2-VMCTYP0 信号 ... 100 |
| 4 - 3 | VMBENZ3-VMBENZ0 信号 ... 101 |
| 4 - 4 | VMSIZE1, VMSIZE0 信号 ... 101 |
| 4 - 5 | VMSEQ2-VMSEQ0 信号 ... 101 |
| 4 - 6 | VMWAIT, VMAHLD, VMLAST 信号 ... 102 |
| 4 - 7 | VBDC, VBDV 信号 ... 102 |
| 5 - 1 | 各動作周波数におけるセットアップ・ウェイト幅, VPSTB ウェイト幅の設定値 ... 129 |
| 6 - 1 | 割り込み要求による HALT モード解除後の動作 ... 145 |
| 6 - 2 | 割り込み要求によるソフトウェア STOP モード解除後の動作 ... 146 |
| 6 - 3 | 割り込み処理ルーチン内でソフトウェア STOP モードに設定したあとの動作 ... 147 |
| 6 - 4 | ハードウェア STOP モード解除後の状態 ... 148 |
| 7 - 1 | 転送の種類と転送対象の関係 ... 156 |
| 7 - 2 | ウェイト機能と転送対象の関係 ... 156 |
| 8 - 1 | 割り込み / 例外一覧 ... 211 |
| 9 - 1 | テスト・モードの設定一覧 ... 235 |

表の目次 (2/2)

| 表番号 | タイトル, ページ |
|--------|--------------------------------------|
| 10 - 1 | 各動作モードでの端子状態 ... 245 |
| 10 - 2 | IE 接続コネクタ (ターゲット・システム側) ピン機能 ... 250 |

第 1 章 概 説

NU85E ファミリは、32/16 ビット RISC タイプの CPU「V850E1」と周辺 I/O を内蔵し、ASIC への組み込みを目的とした CPU コア群です。V850E1 は、RISC アーキテクチャをベースとし、5 段パイプラインの制御によりほとんどの命令を 1 クロックで実行します。また、NU85E ファミリは、高速な周辺 I/O と低速な周辺 I/O への接続を目的とした 2 種類の外部バス・インタフェースと ROM, RAM, 命令キャッシュ, データ・キャッシュとのインタフェース機能を内蔵しています。本製品「NU85E」は、DMA コントローラ、割り込みコントローラなどの周辺 I/O を内蔵した CPU コアです。

1.1 概 要

(1) 「V850E1」CPU

5 段パイプライン方式を採用した RISC 型 CPU「V850E1」を搭載しています。2 バイト長の基本命令、高級言語対応命令などにより、C コンパイラでのオブジェクト・コード効率を高めており、プログラム・サイズのコンパクト化を実現します。

また、乗算処理の高速化のために、32 ビット×32 ビット演算が可能な高速ハードウェア乗算器を内蔵しています。

(2) バス・インタフェース

周辺マクロ、ユーザ・ロジックなどの接続を目的とした次の 2 種類のバス・インタフェースを備えています。

- V850E システム・バス (VSB)
- NEC 周辺 I/O バス (NPB)

VSB は、バス・マスタとして動作するマクロ (DMAC, DSP など) やメモリ・コントローラ (MEMC) などのシステム・クロックに同期して動作する高速なマクロへの接続を目的としたバスです。

NPB は、タイマやアシンクロナス・シリアル・インタフェース (UART) などのシステム・クロックに非同期で動作する比較的低速な周辺マクロへの接続を目的としたバスです。

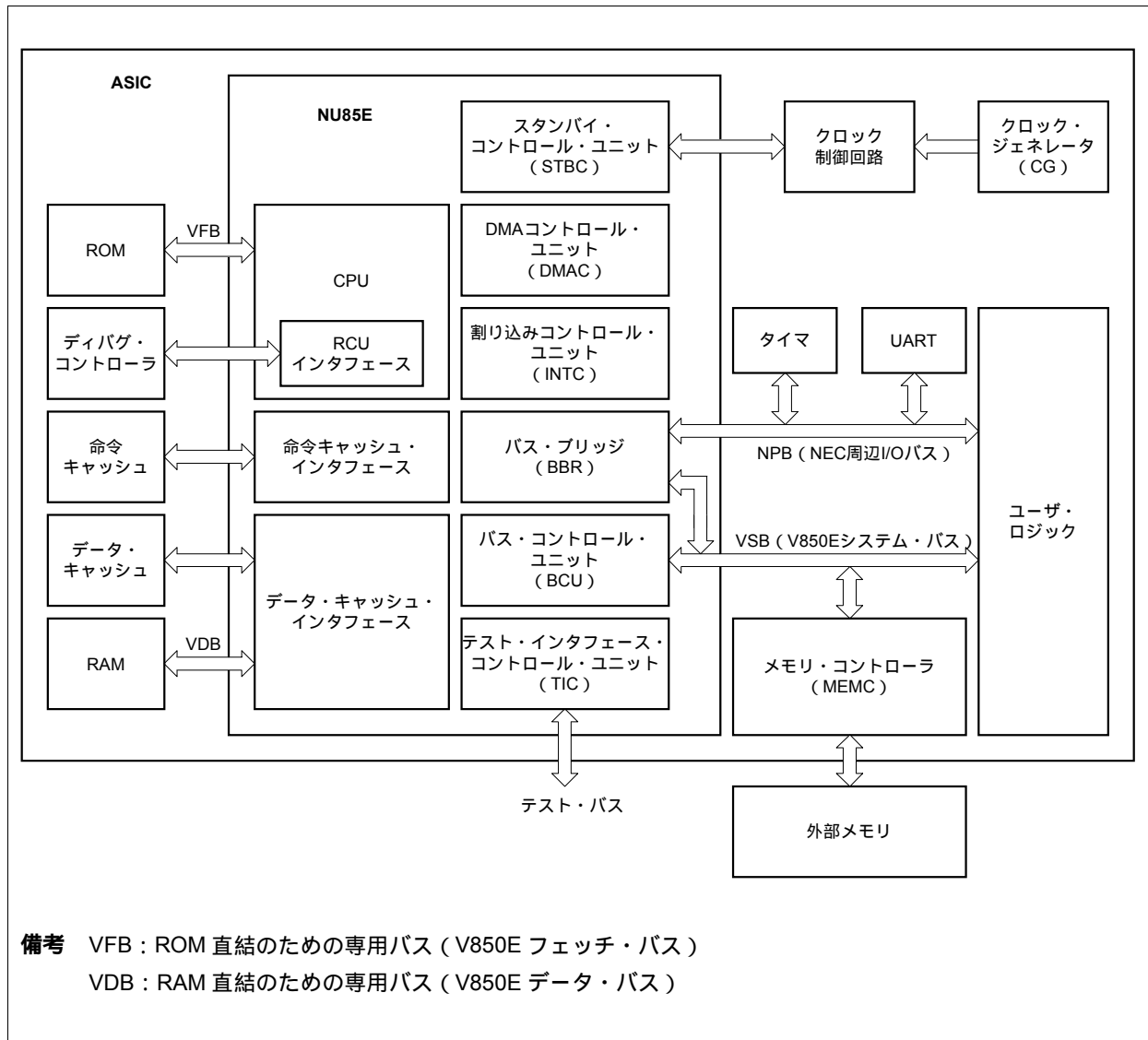
また、ROM の直結が可能な V850E フェッチ・バス (VFB) と RAM の直結が可能な V850E データ・バス (VDB) も備えています。

さらに、命令キャッシュ、データ・キャッシュ、RCU (ラン・コントロール・ユニット) に対しては、専用のインタフェースを内蔵しているため、各マクロの直結が可能です。

(3) 内蔵周辺 I/O

DMA 転送を制御する DMA コントロール・ユニット (DMAC)、割り込み要求を制御する割り込みコントロール・ユニット (INTC)、パワー・セーブ機能を制御するスタンバイ・コントロール・ユニット (STBC) を内蔵しています。

1.2 応用システム例



注意 このユーザーズ・マニュアルでは、NU85E に接続するメモリに関して次のように表記を統一しています。

- RAM : NU85E 直結の RAM (VDB に接続)
- ROM : NU85E 直結の ROM (VFB に接続)
- 外部メモリ : メモリ・コントローラ (MEMC) を介して接続される RAM/ROM (VSB 経由で接続)

1.3 特 徴

- 命令数 83
- 汎用レジスタ 32 ビット×32 本
- 命令セット
 - V850 CPU 上位互換
 - 符号付き乗算 (32 ビット×32 ビット→64 ビット)
 - 飽和演算命令 (オーバフロー / アンダフロー検出機能付き)
 - 32 ビット・シフト命令 : 1 クロック
 - ビット操作命令
 - ロング / ショート形式を持つロード / ストア命令
 - 符号付きロード命令
- メモリ空間
 - プログラム領域 : 64M バイト・リニア
 - データ領域 : 4G バイト・リニア
 - メモリ・バンク分割機能 : 2M, 4M, 8M バイト / バンク
- 外部バス・インタフェース
 - VSB (V850E システム・バス)
 - ・アドレス / データ分離バス (28 ビット・アドレス^注 / 32 ビット・データ・バス)
 - ・データ入出力分離バス
 - ・32/16/8 ビット・バス・サイジング機能
 - ・バス・ホールド機能
 - ・外部ウエイト機能
 - ・エンディアン切り替え機能
 - NPB (NEC 周辺 I/O バス)
 - ・アドレス / データ分離バス (14 ビット・アドレス / 16 ビット・データ・バス)
 - ・データ入出力分離バス
 - ・プログラマブル・ウエイト機能
 - ・リトライ機能

注 バス・スレーブとして機能する場合は 14 ビット・アドレス・バス
- 割り込み / 例外制御機能
 - ノンマスカブル割り込み : 3 要因
 - マスカブル割り込み : 64 要因
 - 例外 : 1 要因
 - 8 レベルの優先順位指定可能 (マスカブル割り込み)

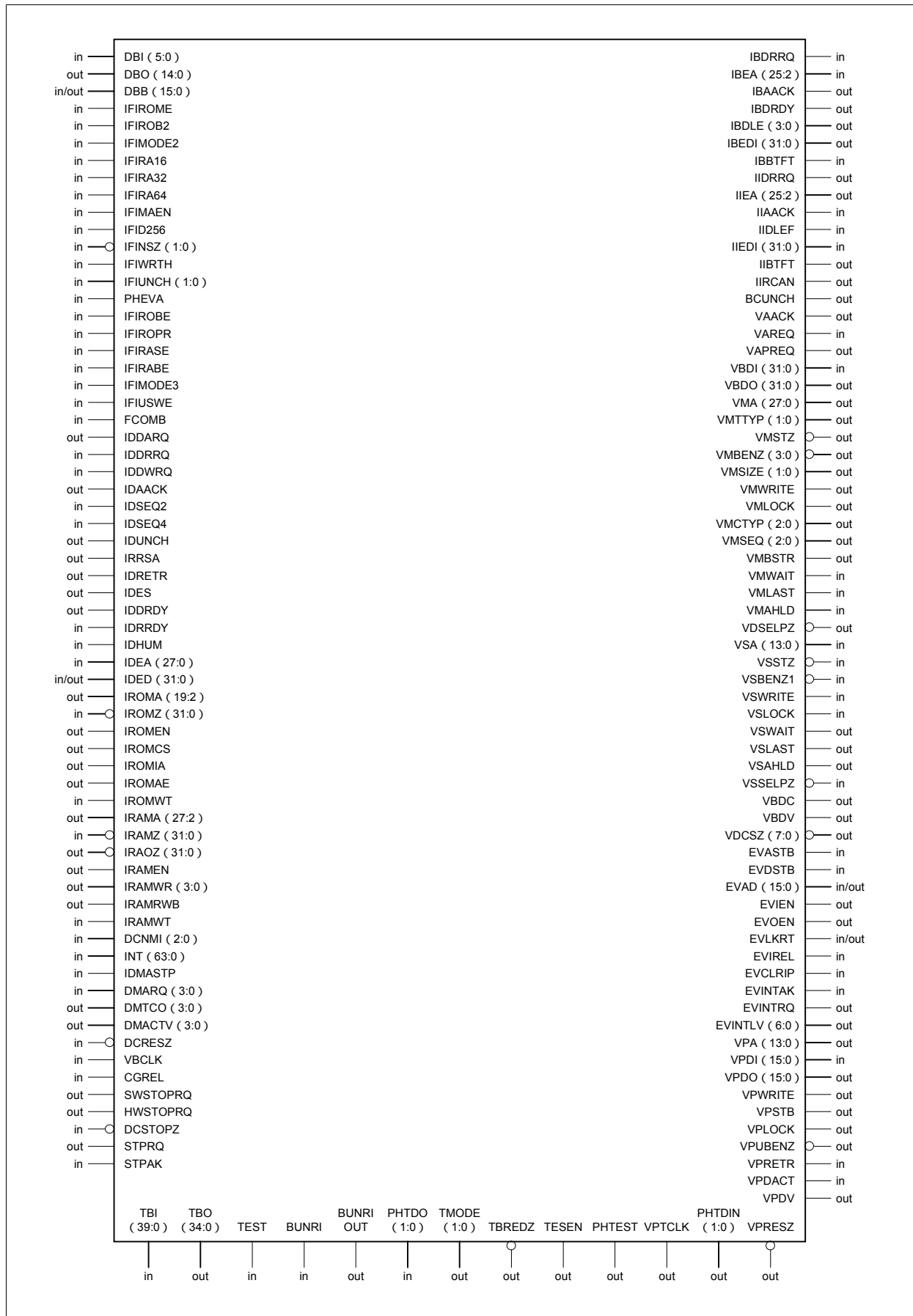
- DMA 制御機能 4 チャンネル構成
 転送単位：8 ビット，16 ビット，32 ビット
 最大転送回数：65536 (2¹⁶) 回
 転送タイプ：フライパイ (1 サイクル) 転送，2 サイクル転送
 転送モード：シングル転送，シングルステップ転送，ライン転送，ブロック転送
 ターミナル・カウント出力信号 (DMTCO3-DMTCO0)

- パワー・セーブ機能 HALT モード
 ソフトウェア STOP モード
 ハードウェア STOP モード

- RCU^注 インタフェース機能

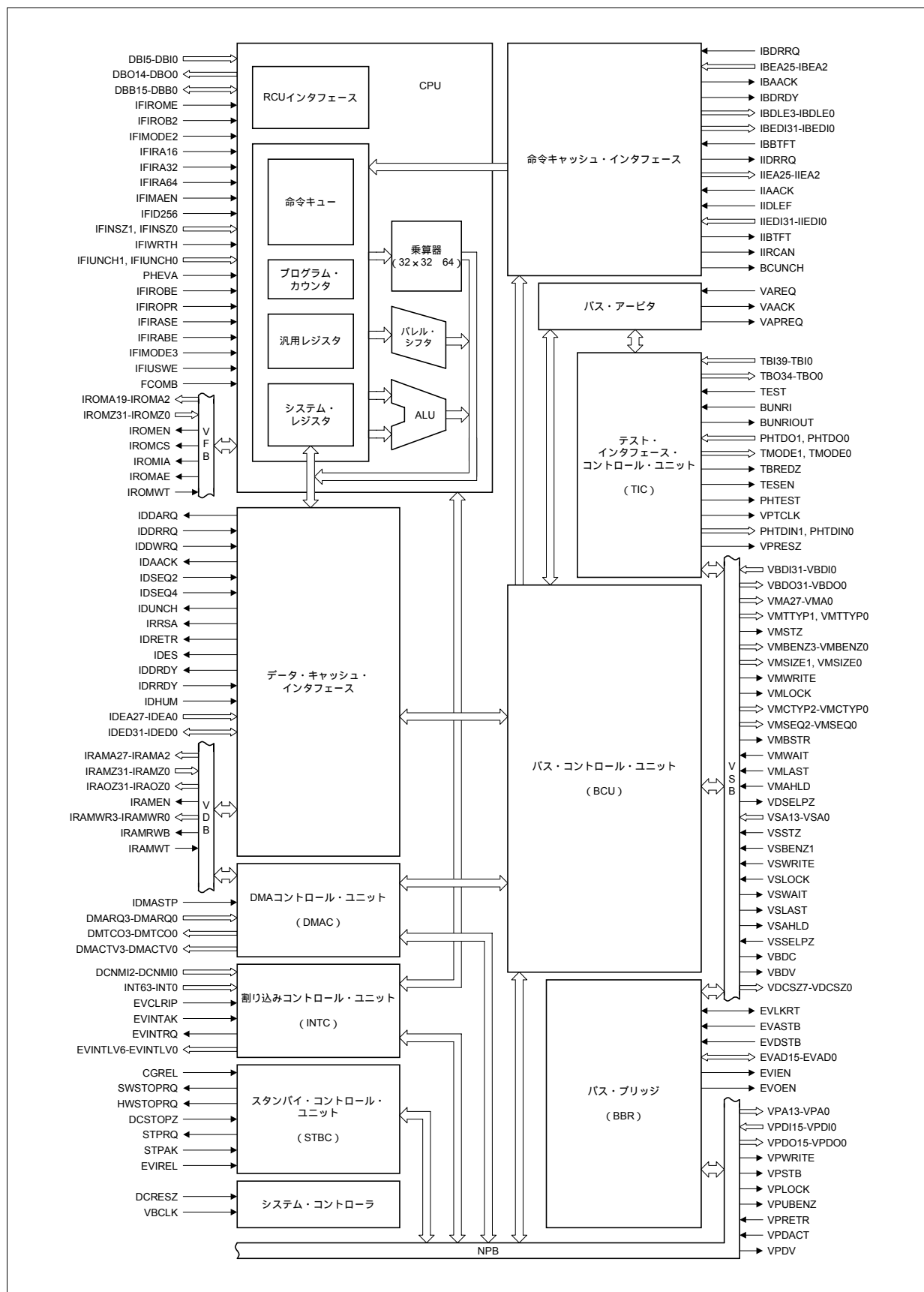
注 RCU (Run Control Unit)：JTAG での通信やデバッグ処理の実行を行う制御ユニット

1.4 シンボル図



1.5 機能ブロック構成

1.5.1 内部ブロック図



1.5.2 内部ユニット

(1) CPU

アドレス計算，算術論理演算，データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行します。

32ビット×32ビット乗算の高速処理が可能なハードウェア乗算器，バレル・シフタなどの専用ハードウェアを内蔵し，複雑な命令処理の高速化を図っています。

また，RCUとの接続を行うためのRCUインタフェースを内蔵しています（第3章 CPU 参照）。

(2) BCU

VSB上のバス・マスタとして動作し，内蔵のバス・ブリッジ（BBR），テスト・インタフェース・コントロール・ユニット（TIC）や，VSBに接続されたメモリ・コントローラ（MEMC）などの周辺マクロ（バス・スレーブ）を制御するバス・コントロール・ユニットです（第4章 BCU 参照）。

(3) BBR

VSB用の信号をNPB用の信号に変換するバス・ブリッジです。

NPBに接続された周辺マクロに対して，ウエイト挿入機能，リトライ機能の設定を行います（第5章 BBR 参照）。

(4) STBC

パワー・セーブ機能（HALTモード，ソフトウェアSTOPモード，ハードウェアSTOPモード）実行時に外部クロック・ジェネレータ（CG）を制御するスタンバイ・コントロール・ユニットです（第6章 STBC 参照）。

(5) DMAC

DMARQ3-DMARQ0端子，またはソフトウェア・トリガによるDMA転送要求に基づいて，メモリ↔周辺マクロ間またはメモリ↔メモリ間でのデータ転送を制御する4チャンネルのDMAコントロール・ユニットです（第7章 DMAC 参照）。

(6) INTC

各種割り込み要求を処理する割り込みコントロール・ユニットです（第8章 INTC 参照）。

(7) TIC

テスト機能制御に使用するテスト・インタフェース・コントロール・ユニットです。テスト・モードに設定されると，テスト用制御信号が有効になります（第9章 テスト機能参照）。

(8) バス・アービタ

複数のバス・マスタからのバス制御要求を受けて，バス使用权の調停を行います。

1.6 NU85E と NB85E の機能上の主な違い

| 項 目 | | NU85E | NB85E |
|--------------------------|--|--|--|
| VSB 用データ・バス (n = 31-0) | | VBDIn (入力), VBDO _n (出力) | VBD _n (入出力) |
| VSB 用マスタ/スレーブ制御端子 | | VMA27-VMA0 (出力) | VBA27-VBA0 (入出力) |
| | | VSA13-VSA0 (入力) | |
| | | VMTTYP1, VMTTYP0 (出力) | VBTTYP1, VBTTYP0 (入出力) |
| | | VMSTZ (出力) | VBSTZ (入出力) |
| | | VSSTZ (入力) | |
| | | VMBENZ3-VMBENZ0 (出力) | VBBENZ3-VBBENZ0 (入出力) |
| | | VSBENZ1 (入力) | |
| | | VMSIZE1, VMSIZE0 (出力) | VBSIZE1, VBSIZE0 (入出力) |
| | | VMWRITE (出力) | VBWRITE (入出力) |
| | | VSWRITE (入力) | |
| | | VMLOCK (出力) | VBLOCK (入出力) |
| | | VSLOCK (入力) | |
| | | VMCTYP2-VMCTYP0 (出力) | VBCTYP2-VBCTYP0 (入出力) |
| | | VMSEQ2-VMSEQ0 (出力) | VBSEQ2-VBSEQ0 (入出力) |
| | | VMBSTR (出力) | VBBSTR (入出力) |
| | | VMWAIT (入力) | VBWAIT (入出力) |
| | | VSWAIT (出力) | |
| | | VMLAST (入力) | VBLAST (入出力) |
| | | VSLAST (出力) | |
| | | VMAHLD (入力) | VBAHLD (入出力) |
| VSAHLD (出力) | | | |
| VDSELPZ (出力) | VDSELPZ (入出力) | | |
| VSSELPZ (入力) | | | |
| VDCSZ7-VDCSZ0 (出力) | VDCSZ7-VDCSZ0 (入出力) | | |
| NPB 用データ・バス (n = 15-0) | | VPDIn (入力), VPDO _n (出力) | VPD _n (入出力) |
| NPB 用データ出力バス制御出力端子 | | VPDV | (なし) |
| VSB 用データ出力バス制御出力端子 | | VBDV | (なし) |
| バス使用权要求出力端子 | | VAPREQ | (なし) |
| テスト・モード・ステータス出力端子 | | BUNRIOUT | (なし) |
| 入出力 タイミング | VBD _n (n = 31-0) | VBDIn, VBDO _n | VBD _n |
| | VxTTYP _n (n = 1, 0) | VMTTYP _n | VBTTYP _n |
| | VxWAIT, VxLAST, VxAHLD | VMWAIT, VMLAST, VMAHLD, VSWAIT, VSLAST, VSAHLD | VBWAIT, VBLAST, VBAHLD |
| リセット時, アイドル時の 端子状態 | VxA27-VxA0, VxSIZE1, VxSIZE0, VxSEQ2- VxSEQ0, VBD31-VBD0 | ロウ・レベル出力 (VMA27-VMA0, VMSIZE1, VMSIZE0, VMSEQ2-VMSEQ0, VBDO31-VBDO0) | 不定 (VBA27-VBA0, VBSIZE1, VBSIZE0, VBSEQ2-VBSEQ0, VBD31-VBD0) |

第2章 端子機能

2.1 端子機能一覧

(1/4)

| 端子名 | 入出力 | 機能 | |
|---------|---------------------------|----|-----------------------------------|
| NPB 用端子 | VPA13-VPA0 | 出力 | NPB に接続された周辺マクロへのアドレス出力 |
| | VPDI15-VPDI0 ^注 | 入力 | NPB に接続された周辺マクロからのデータ入力 |
| | VPDO15-VPDO0 | 出力 | NPB に接続された周辺マクロへのデータ出力 |
| | VPWRITE | 出力 | ライト・アクセス・ストロブ出力 |
| | VPSTB | 出力 | データ・ストロブ出力 |
| | VPLOCK | 出力 | バス・ロック出力 |
| | VPUBENZ | 出力 | 上位バイト・イネーブル出力 |
| | VPRETR ^注 | 入力 | NPB に接続された周辺マクロからのリトライ要求入力 |
| | VPDACT | 入力 | 外部アドレス・デコーダからのアクティブ・レベル入力 |
| | VPDV | 出力 | データ出力 (VPDO15-VPDO0) 制御出力 |
| VSB 用端子 | VAREQ | 入力 | 外部バス・マスタからのバス使用権要求入力 |
| | VAACK | 出力 | バス使用権アクノリッジ出力 |
| | VAPREQ | 出力 | 内部バス・マスタ (CPU, DMAC) からのバス使用権要求出力 |
| | VBDI31-VBDI0 | 入力 | VSB に接続されたマクロからのデータ入力 |
| | VBDO31-VBDO0 | 出力 | VSB に接続されたマクロへのデータ出力 |
| | VMA27-VMA0 | 出力 | VSB に接続されたマクロへのアドレス出力 |
| | VMTTYP1, VMTTYP0 | 出力 | バス転送タイプ出力 |
| | VMSTZ | 出力 | 転送スタート出力 |
| | VMBENZ3-VMBENZ0 | 出力 | バイト・イネーブル出力 |
| | VMSIZE1, VMSIZE0 | 出力 | 転送サイズ出力 |
| | VMWRITE | 出力 | リード/ライト・ステータス出力 |
| | VMLOCK | 出力 | バス・ロック出力 |
| | VMCTYP2-VMCTYP0 | 出力 | バス・サイクル・ステータス出力 |
| | VMSEQ2-VMSEQ0 | 出力 | シーケンシャル・ステータス出力 |
| | VMBSTR | 出力 | バースト・リード・ステータス出力 |
| | VMWAIT | 入力 | ウェイト・レスポンス入力 |
| | VMLAST | 入力 | ラスト・レスポンス入力 |
| | VMAHLD | 入力 | アドレス・ホールド・レスポンス入力 |
| | VDSELPZ | 出力 | 周辺 I/O 領域アクセス・ステータス出力 |
| | VSA13-VSA0 | 入力 | VSB に接続されたマクロからのアドレス入力 |
| | VSSTZ | 入力 | 転送スタート入力 |
| | VSBENZ1 | 入力 | バイト・イネーブル入力 |
| | VSWRITE | 入力 | リード/ライト・ステータス入力 |

注 内部にバス・ホルダが接続されています。

| 端子名 | | 入出力 | 機能 |
|----------------|-----------------|-----|-----------------------------------|
| VSB 用端子 | VSLOCK | 入力 | バス・ロック入力 |
| | VSWAIT | 出力 | ウエイト・レスポンス出力 |
| | VSLAST | 出力 | ラスト・レスポンス出力 |
| | VSAHLD | 出力 | アドレス・ホールド・レスポンス出力 |
| | VSSELPZ | 入力 | 周辺 I/O 領域アクセス・ステータス入力 |
| | VBDC | 出力 | データ入力 (VBDI31-VBDI0) 制御出力 |
| | VBDV | 出力 | データ出力 (VBDO31-VBDO0) 制御出力 |
| | VDCSZ7-VDCSZ0 | 出力 | チップ・セレクト出力 |
| システム 制御用端子 | DCRESZ | 入力 | システム・リセット入力 |
| | VBCLK | 入力 | 内部システム・クロック入力 |
| | CGREL | 入力 | クロック・ジェネレータ・リリース入力 |
| | SWSTOPRQ | 出力 | クロック・ジェネレータへのソフトウェア STOP モード要求出力 |
| | HWSTOPRQ | 出力 | クロック・ジェネレータへのハードウェア STOP モード要求出力 |
| | DCSTOPZ | 入力 | ハードウェア STOP モード要求入力 |
| | STPRQ | 出力 | MEMC へのハードウェア/ソフトウェア STOP モード要求出力 |
| | STPAK | 入力 | MEMC の STPRQ 入力に対するアクノリッジ入力 |
| DMAC 用端子 | IDMASTP | 入力 | DMA 転送終了入力 |
| | DMARQ3-DMARQ0 | 入力 | DMA 転送要求入力 |
| | DMTCO3-DMTCO0 | 出力 | ターミナル・カウント (DMA 転送完了) 出力 |
| | DMACTV3-DMACTV0 | 出力 | DMA アクノリッジ出力 |
| INTC 用端子 | DCNMI2-DCNMI0 | 入力 | ノンマスクابل割り込み要求 (NMI) 入力 |
| | INT63-INT0 | 入力 | マスクابل割り込み要求入力 |
| VFB 用端子 | IROMA19-IROMA2 | 出力 | ROM 用アドレス出力 |
| | IROMZ31-IROMZ0 | 入力 | ROM 用データ入力 |
| | IROMEN | 出力 | ROM 用アクセス・イネーブル出力 |
| | IROMWT | 入力 | ROM 用ウエイト入力 |
| | IROMCS | 出力 | NEC の予約端子 (オープンにしてください) |
| | IROMIA | 出力 | |
| | IROMAE | 出力 | |
| VDB 用端子 | IRAMA27-IRAMA2 | 出力 | RAM 用アドレス出力 |
| | IRAMZ31-IRAMZ0 | 入力 | RAM 用データ入力 |
| | IRAOZ31-IRAOZ0 | 出力 | RAM 用データ出力 |
| | IRAMEN | 出力 | RAM 用アクセス・イネーブル出力 |
| | IRAMWR3-IRAMWR0 | 出力 | RAM 用ライト・イネーブル出力 |
| | IRAMRWB | 出力 | RAM 用リード/ライト・ステータス出力 |
| | IRAMWT | 入力 | RAM 用ウエイト入力 |
| 命令キャッシュ用 端子 | IBDRRQ | 入力 | 命令キャッシュからのフェッチ要求入力 |
| | IBEA25-IBEA2 | 入力 | 命令キャッシュからのフェッチ・アドレス入力 |
| | IBAACK | 出力 | 命令キャッシュへのアドレス・アクノリッジ出力 |
| | IBDRDY | 出力 | 命令キャッシュへのデータ・レディ出力 |

| 端子名 | 入出力 | 機能 | |
|--------------------|----------------------------|-----|----------------------------------|
| 命令キャッシュ用 端子 | IBDLE3-IBDLE0 | 出力 | 命令キャッシュへのデータ・ラッチ・イネーブル出力 |
| | IBEDI31-IBEDI0 | 出力 | 命令キャッシュへのデータ出力 |
| | IIDRRQ | 出力 | 命令キャッシュへのフェッチ要求出力 |
| | IIEA25-IIEA2 | 出力 | 命令キャッシュへのフェッチ・アドレス出力 |
| | IIAACK | 入力 | 命令キャッシュからのアドレス・アクノリッジ入力 |
| | IIDLEF | 入力 | 命令キャッシュからのデータ・ラッチ・イネーブル入力 |
| | IIEDI31-IIEDI0 | 入力 | 命令キャッシュからのデータ入力 |
| | IIBTFT | 出力 | 命令キャッシュへのブランチ・ターゲット・フェッチ・ステータス出力 |
| | IIRCAN | 出力 | 命令キャッシュへのコード・キャンセル・ステータス出力 |
| | BCUNCH | 出力 | 命令キャッシュへのアンキャッシュ・ステータス出力 |
| | IBBTFT | 入力 | NECの予約端子(ロウ・レベルを入力してください) |
| データ・ キャッシュ用端子 | IDDARQ | 出力 | データ・キャッシュへのリード/ライト・アクセス要求出力 |
| | IDAACK | 出力 | アクノリッジ出力 |
| | IDRRQ | 入力 | BCUへのVSBリード・オペレーション要求入力 |
| | IDDWRQ | 入力 | BCUへのVSBライト・オペレーション要求入力 |
| | IDSEQ4 | 入力 | リード/ライト動作タイプ設定入力 |
| | IDSEQ2 | 入力 | リード/ライト動作タイプ設定入力 |
| | IRRSA | 出力 | VDBホールド・ステータス出力 |
| | IDRETR | 出力 | リード・リトライ要求出力 |
| | IDUNCH | 出力 | アンキャッシュ・ステータス出力 |
| | IDDRDY | 出力 | リード・データ・レディ出力 |
| | IDRRDY | 入力 | データ・キャッシュからのリード・データ・レディ入力 |
| | IDHUM | 入力 | ヒット・アンダ・ミスヒット・リード入力 |
| | IDEA27-IDEA0 | 入力 | アドレス入力 |
| | IDED31-IDED0 ^{注1} | 入出力 | データ入出力 |
| | IDES | 出力 | NECの予約端子 ^{注2} |
| RCU用端子 | DBI5-DBI0 | 入力 | ディバグ制御入力 |
| | DBO14-DBO0 | 出力 | ディバグ制御出力 |
| | DBB15-DBB0 ^{注1} | 入出力 | ディバグ制御入出力 |
| 周辺エパチップ・ モード用端子 | EVASTB | 入力 | アドレス・ストロープ入力 |
| | EVDSTB | 入力 | データ・ストロープ入力 |
| | EVAD15-EVAD0 ^{注1} | 入出力 | アドレス/データ入出力 |
| | EVIEN | 出力 | EVADn入力イネーブル出力(n=15-0) |
| | EVOEN | 出力 | EVADn出力イネーブル出力(n=15-0) |
| | EVLKRT ^{注1} | 入出力 | ロック/リトライ入出力 |
| | EVIREL | 入力 | スタンバイ・リリース入力 |

注1. 内部にバス・ホルダが接続されています。

2. データ・キャッシュを使用するときは、必ずデータ・キャッシュの IDES 端子に接続してください。未使用時はオープンにしてください。

| 端子名 | 入出力 | 機能 |
|----------------|-----------------------------|--------------------------------------|
| 周辺エバチップ・モード用端子 | EVCLRIP | 入力 ISPR クリア入力 |
| | EVINTAK | 入力 割り込みアクノリッジ入力 |
| | EVINTRQ | 出力 割り込み要求出力 |
| | EVINTLV6-EVINTLV0 | 出力 割り込みベクタ出力 |
| 動作モード設定用端子 | IFIROME | 入力 ROM マッピング・イネーブル入力 |
| | IFIROB2 | 入力 ROM 領域の配置設定入力 |
| | IFIRA64 | 入力 RAM 領域サイズ選択入力 |
| | IFIRA32 | 入力 RAM 領域サイズ選択入力 |
| | IFIRA16 | 入力 RAM 領域サイズ選択入力 |
| | IFIMAEN | 入力 ミス・アライン・アクセス設定入力 |
| | IFID256 | 入力 データ領域設定入力 |
| | IFINSZ1, IFINSZ0 | 入力 VSB データ・バス・サイズ(初期値)選択入力 |
| | IFIWRTH | 入力 データ・キャッシュのライト・バック/ライト・スルー・モード選択入力 |
| | IFIUNCH1 | 入力 データ・キャッシュ設定入力 |
| | IFIUNCH0 | 入力 命令キャッシュ設定入力 |
| | PHEVA | 入力 周辺エバチップ・モード設定入力 |
| | IFIROBE | 入力 NEC の予約端子(ロウ・レベルを入力してください) |
| | IFIROPR | 入力 |
| | IFIRASE | 入力 |
| | IFIRABE | 入力 |
| | IFIMODE3 | 入力 |
| | IFIMODE2 | 入力 |
| | IFIUSWE | 入力 |
| FCOMB | 入力 | |
| テスト・モード用端子 | TBI39-TBI0 | 入力 入力テスト・バス |
| | TBO34-TBO0 | 出力 出力テスト・バス |
| | TEST | 入力 テスト・バス・コントロール入力 |
| | BUNRI | 入力 ノーマル/テスト・モード選択入力 |
| | BUNRIOUT | 出力 テスト・モード・ステータス出力 |
| | PHTDO1, PHTDO0 ^注 | 入力 周辺マクロ・テスト入力 |
| | TESEN | 出力 周辺マクロ・テスト・イネーブル出力 |
| | VPTCLK | 出力 周辺マクロ・テスト用クロック出力 |
| | PHTDIN1, PHTDIN0 | 出力 周辺マクロ・テスト出力 |
| | VPRESZ | 出力 周辺マクロ・リセット出力 |
| | PHTEST | 出力 周辺テスト・モード・ステータス出力 |
| | TMODE1 | 出力 テスト・モード選択出力 |
| | TMODE0 | 出力 NEC の予約端子(オープンにしてください) |
| | TBREDZ | 出力 |

注 内部にバス・ホルダが接続されています。

2.2 端子機能の説明

2.2.1 NPB 用端子

(1) VPA13-VPA0 (出力)

NPB に接続された周辺マクロへのアドレス出力端子です。下位 14 ビットを指定します。

(2) VPD15-VPDI0 (入力)

NPB に接続された周辺マクロからのデータ入力バスです。

(3) VPDO15-VPDO0 (出力)

NPB に接続された周辺マクロへのデータ出力バスです。

(4) VPWRITE (出力)

VPDO15-VPDO0 信号のライト・アクセス・ストロープ出力端子です。

ライト時にハイ・レベルを出力します。

(5) VPSTB (出力)

データ・ストロープ出力端子です。

(6) VPLOCK (出力)

バス・ロック出力端子です。割り込み制御レジスタ (PICn) へのリード・モディファイ・ライト・アクセス実行の途中で割り込み要求が発生した場合に、この割り込み要求が消失してしまうのを防ぐために出力します。

リード・モディファイ・ライト・アクセス時にハイ・レベルを出力します。

この信号がハイ・レベルを出力している間は、割り込み要求が発生しても、PICn レジスタの PIFn フラグへの転送は行いません (n = 0-63)。

(7) VPUBENZ (出力)

上位バイト・イネーブル出力端子です。ハーフワード・データ・アクセス時、または奇数アドレスへのバイト・データ・アクセス時にロウ・レベルを出力します。

偶数アドレスへのバイト・アクセス時は、ハイ・レベルを出力します。

(8) VPRETR (入力)

NPB に接続された周辺マクロからのリトライ要求入力端子です。VPSTB 信号の立ち下がり時に、この端子と VPDACT 端子にハイ・レベルが入力されているとリード/ライト動作を再び行います。

(9) VPDACT (入力)

外部アドレス・デコーダからの入力端子で、リトライ機能を有効にするための端子です。

ハイ・レベルを入力するとリトライ機能が有効となります。

ロウ・レベルが入力されていると、VPRETR 入力によるリトライ要求があっても無視されます。

(10) VPDV (出力)

データ出力 (VPDO15-VPDO0) 制御信号の出力端子です。ライト時にハイ・レベルを出力します。双方向データ・バスを構成する場合に、データ・バスに接続された3ステート・バッファのイネーブル端子に接続してデータの出力制御を行います。

2.2.2 VSB 用端子**(1) VAREQ (入力)**

外部バス・マスタからのバスの使用権要求を入力する端子です。

(2) VAACK (出力)

外部バス・マスタからのバス使用権要求信号 (VAREQ) を受け付けたことを示す出力端子です。

(3) VAPREQ (出力)

内部バス・マスタ (CPU, DMAC) から外部バス・マスタへのバス使用権要求を出力する端子です。

外部にバス・マスタおよびバス・アービタが存在する場合に使用し、外部のバス・アービタに対して出力します。バス使用権要求が発生すればアクティブ (1) になり、その要求に応じたバス・サイクルが発生した時点でインアクティブ (0) になります。CPU サイクル中にアクティブ (1) になれば DMA からの要求があることを示し、DMA サイクル中にアクティブ (1) になれば CPU からの要求があることを示します。

(4) VBDI31-VBDI0 (入力)

VSB に接続されたマクロ用のデータ入力バスです。

(5) VBDO31-VBDO0 (出力)

VSB に接続されたマクロ用のデータ出力バスです。

(6) VMA27-VMA0 (出力), VSA13-VSA0 (入力)

VSB に接続されたマクロ用のアドレス・バスです。

NU85E がバス使用権を持つ場合は VMA27-VMA0 端子を、バス・スレーブとして動作する場合は VSA13-VSA0 端子を使用します。

(7) VMTTYP1, VMTTYP0 (出力)

NU85E がバス使用権を持つ場合に、バス転送タイプを出力する端子です。

表2-1 VMTTYP1, VMTTYP0信号

| VMTTYP1 | VMTTYP0 | 転送タイプ |
|---------|---------|--|
| 0 | 0 | アドレス・オンリー転送 (データ処理を行わない転送) |
| 1 | 0 | ノンシーケンシャル転送 (シングル転送, またはバースト転送) |
| 1 | 1 | シーケンシャル転送 (現在転送されているアドレスが前回転送時のアドレスに関係する転送) |
| 0 | 1 | (将来の機能拡張のための予約) |

備考 0: ロウ・レベル 1: ハイ・レベル

(8) VMSTZ (出力), VSSTZ (入力)

転送開始を示すロウ・レベル・アクティブの端子です。

NU85E がバス使用权を持つ場合は VMSTZ 端子を, バス・スレーブとして動作する場合は VSSTZ 端子を使用します。

(9) VMBENZ3-VMBENZ0 (出力), VSBENZ1 (入力)

データ・バス (VBDI31-VBDI0, VBDO31-VBDO0) を 4 分割したうちの有効となるバイト・データを示すロウ・レベル・アクティブの端子です。

NU85E がバス使用权を持つ場合は VMBENZ3-VMBENZ0 端子を, バス・スレーブとして動作する場合はバス・ブリッジ (BBR) が VPUBENZ 信号を生成するために VSBENZ1 端子を使用します。

表2-2 VMBENZ3-VMBENZ0, VSBENZ1信号

| アクティブ(ロウ・レベル)となる信号 | 有効バイト・データ |
|--------------------|------------------------------|
| VMBENZ3 | VBDI31-VBDI24, VBDO31-VBDO24 |
| VMBENZ2 | VBDI23-VBDI16, VBDO23-VBDO16 |
| VMBENZ1, VSBENZ1 | VBDI15-VBDI8, VBDO15-VBDO8 |
| VMBENZ0 | VBDI7-VBDI0, VBDO7-VBDO0 |

(10) VMSIZE1, VMSIZE0 (出力)

NU85E がバス使用权を持つ場合に, データ転送サイズを出力する端子です。

表2-3 VMSIZE1, VMSIZE0信号

| VMSIZE1 | VMSIZE0 | データ転送サイズ |
|---------|---------|-----------------|
| 0 | 0 | バイト(8ビット) |
| 0 | 1 | ハーフワード(16ビット) |
| 1 | 0 | ワード(32ビット) |
| 1 | 1 | (将来の機能拡張のための予約) |

備考 0:ロウ・レベル 1:ハイ・レベル

(11) VMWRITE (出力), VSWRITE (入力)

データ転送方向(リード/ライト・ステータス)を示す端子です。ライト・アクセス時にハイ・レベルになります。

NU85E がバス使用权を持つ場合は VMWRITE 端子を, バス・スレーブとして動作する場合は VSWRITE 端子を使用します。

(12) VMLOCK (出力), VSLOCK (入力)

バス使用权を保持するための端子です。現在の転送と次の転送の間に, ほかのバス・マスタからのアクセスによる中断を禁止するために使用します。

NU85E がバス使用权を持つ場合は VMLOCK 端子を, バス・スレーブとして動作する場合は VSLOCK 端子を使用します。

(13) VMCTYP2-VMCTYP0 (出力)

NU85E がバス使用权を持つ場合に、現在のバス・サイクルの状態を出力する端子です。

表2 - 4 VMCTYP2-VMCTYP0信号

| VMCTYP2 | VMCTYP1 | VMCTYP0 | バス・サイクルの状態 |
|---------|---------|---------|---------------------------|
| 0 | 0 | 0 | オペコード・フェッチ |
| 0 | 0 | 1 | データ・アクセス |
| 0 | 1 | 0 | ミス・アライン・アクセス [※] |
| 0 | 1 | 1 | リード・モディファイ・ライト・アクセス |
| 1 | 0 | 0 | 分岐命令による飛び先アドレスのオペコード・フェッチ |
| 1 | 1 | 0 | DMA の 2 サイクル転送 |
| 1 | 1 | 1 | DMA のフライバイ転送 |
| 1 | 0 | 1 | (将来の機能拡張のための予約) |

注 IFIMAEN 端子にハイ・レベルが入力されている (ミス・アライン・アクセス許可) ときだけ出力されます。

備考 0 : ロウ・レベル 1 : ハイ・レベル

(14) VMSEQ2-VMSEQ0 (出力)

NU85E がバス使用权を持つ場合に、バースト転送時の転送サイズを示すシーケンシャル・ステータスを出力する端子です。

バースト転送の開始時には「バースト転送の長さ」を、バースト転送時には「連続」を、バースト転送の最後には「シングル転送」を示します。

次のような場合には、VSB はバースト転送となり、シーケンシャル・ステータスは「連続」を示します。

- VSB が 8 ビット・バス幅で、16/32 ビット・データ転送をしたとき
- VSB が 16 ビット・バス幅で、32 ビット・データ転送をしたとき
- 命令 / データ・キャッシュからのリフィル
- NPB (16 ビット・データ・バス幅) に接続した周辺マクロへの 32 ビット・データ転送

表2 - 5 VMSEQ2-VMSEQ0信号

| VMSEQ2 | VMSEQ1 | VMSEQ0 | シーケンシャル・ステータス |
|--------|--------|--------|--|
| 0 | 0 | 0 | シングル転送 |
| 0 | 0 | 1 | 連続 (次回の転送アドレスは現在の転送アドレスに関することを示す) [※] |
| 0 | 1 | 0 | 連続 4 回 (バースト転送の長さ : 4) |
| 0 | 1 | 1 | 連続 8 回 (" : 8) |
| 1 | 0 | 0 | 連続 16 回 (" : 16) |
| 1 | 0 | 1 | 連続 32 回 (" : 32) |
| 1 | 1 | 0 | 連続 64 回 (" : 64) |
| 1 | 1 | 1 | 連続 128 回 (" : 128) |

注 連続 2 回、または連続 4, 8, 16, 32, 64, 128 回転送の途中で出力されます。

備考 0 : ロウ・レベル 1 : ハイ・レベル

(15) VMBSTR (出力)

NU85E がバス使用権を持ち、外部メモリとして接続された ROM (VSB 経由でアクセス) を使用する場合に、現在の転送が外部 ROM からのオペコード・フェッチであることを示すバースト・リード・ステータスを出力する端子です。アドレス・バスと同じタイミングで動作します。

(16) VMWAIT (入力), VSWAIT (出力)

ウェイト・レスポンス端子です。

選択されたバス・スレーブがデータ出力の準備を完了していないため、さらにバス・サイクルを要求する場合にバス・マスタに対して出力します。この信号がハイ・レベルになると、バス・サイクルはウェイト状態に移行します。

NU85E がバス使用権を持つ場合は VMWAIT 端子を、バス・スレーブとして動作する場合は VSWAIT 端子を使用します。

なお、NU85E にメモリ・コントローラ (MEMC) を接続している場合は、必ず 2 クロック以上のアクセス・サイクルになるため、VSB サイクルが発生している間、MEMC から NU85E の VMWAIT 端子に対してハイ・レベルが出力されます。

(17) VMLAST (入力), VSLAST (出力)

ラスト・レスポンス端子です。バス・デコーダが、デコード・サイクルを必要とする場合に使用します。

外部に複数のスレーブ・デバイスが接続され、スレーブ選択のためのバス・デコーダを追加しているシステムの場合、通常、バス・スレーブ選択のためのデコードはノンシーケンシャル転送の間に行います。そのため、バースト転送などのシーケンシャル転送の間にスレーブ・デバイスを変更しようとしても、スレーブ選択のためのデコード・サイクルは発行できません。

このような場合、スレーブ・デバイスはラスト・レスポンスを出力し、スレーブ選択信号が変化することをバス・マスタに伝えます。バス・マスタは、スレーブ・デバイスからのラスト・レスポンスがあると次のバス・サイクルをノンシーケンシャル転送にして、デコード・サイクルの発行を可能にします。

NU85E がバス・マスタとして動作する場合は VMLAST 端子を、バス・スレーブとして動作する場合は VSLAST 端子を使用します。ただし、VSLAST 端子はロウ・レベル固定出力で、アクティブになることはありません。

(18) VMAHLD (入力), VSAHLD (出力)

アドレス・ホールド・レスポンス端子です。

選択されたバス・スレーブがデータ出力の準備を完了している状態で、さらにバス・サイクルを要求する場合にバス・マスタに対して出力します。この信号と VxWAIT 信号がハイ・レベルになると、バス・サイクルはアドレス・ホールド状態に移行します。

アドレス・ホールド状態では、データのリード/ライト・サイクルの途中でも、そのデータに対するアドレスが変化しないため、アドレスをラッチする必要がなく、回路を簡素化することができます。

NU85E がバス使用権を持つ場合は VMAHLD 端子を、バス・スレーブとして動作する場合は VSAHLD 端子を使用します。ただし、VSAHLD 端子はロウ・レベル固定出力で、アクティブになることはありません。

また、NU85E にメモリ・コントローラ (MEMC) を接続している場合、アイドル・ステート挿入時に MEMC から NU85E に対してハイ・レベルが出力されます。

(19) VDSELPZ (出力), VSSELPZ (入力)

バス・マスタが、周辺 I/O 領域、プログラマブル周辺 I/O 領域をアクセスしているときに、バス・スレーブに対してロウ・レベルを出力する端子です。

NU85E がバス使用权を持つ場合は VDSELPZ 端子を、バス・スレーブとして動作する場合は VSSELPZ 端子を使用します。

(20) VBDC (出力)

データ入力 (VBDI31-VBDI0) 制御信号の出力端子です。リード・サイクル時、および外部メモリから I/O への DMA フライバイ転送時にハイ・レベルを出力します。I/O 分離データ・バスと双方向データ・バスを持つバス・スレーブを接続する場合に、データ・バスに接続された 3 ステート・バッファのイネーブル端子に接続し、データの入力制御を行います。

(21) VBDV (出力)

データ出力 (VBDO31-VBDO0) 制御信号の出力端子です。ライト・サイクル時、および I/O から外部メモリへの DMA フライバイ転送時にハイ・レベルを出力します。双方向データ・バスを構成する場合に、データ・バスに接続された 3 ステート・バッファのイネーブル端子に接続し、データの出力制御を行います。

(22) VDCSZ7-VDCSZ0 (出力)

ロウ・レベル・アクティブのチップ・セレクト出力端子です。詳細については、**4.3 プログラマブル・チップ・セレクト機能**を参照してください。

2.2.3 システム制御用端子**(1) DCRESZ (入力)**

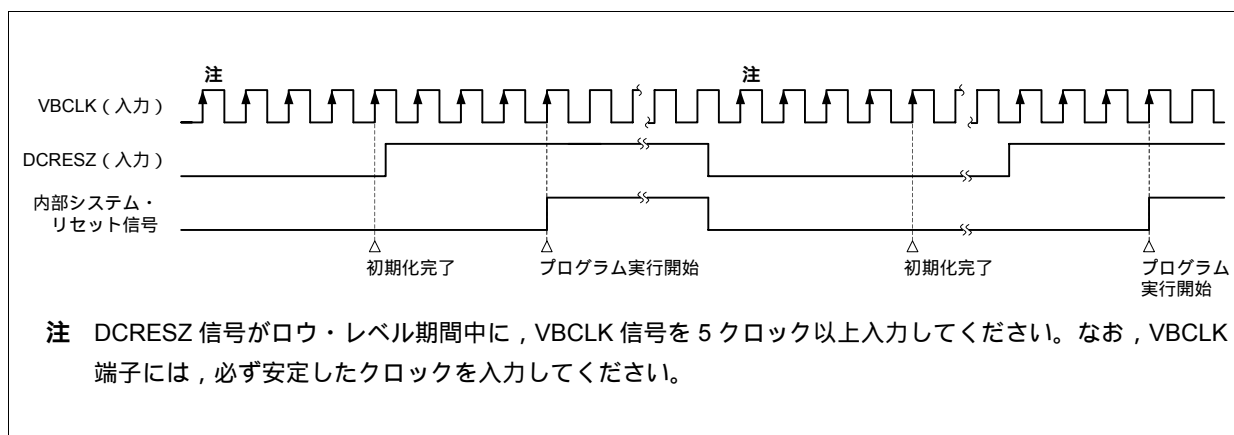
クロック同期式のシステム・リセット入力端子です。

この端子にロウ・レベルが入力されてから安定した入力クロックの立ち上がりエッジを 5 回検出すると、端子状態と内部信号は完全に初期化されます (内部信号および各端子の状態が確定するまでに、最も時間がかかる端子で 5 クロックになります。ノイズ除去は行っていません)。また、ロウ・レベルからハイ・レベルに立ち上がったあと、入力クロックの立ち上がりエッジを 4 回検出するとパイプラインがクリアされ、メモリの 0 番地からプログラム実行を開始します。

通常のイニシャライズ/スタートのほかに、パワー・セーブ機能の解除にも使用されます。

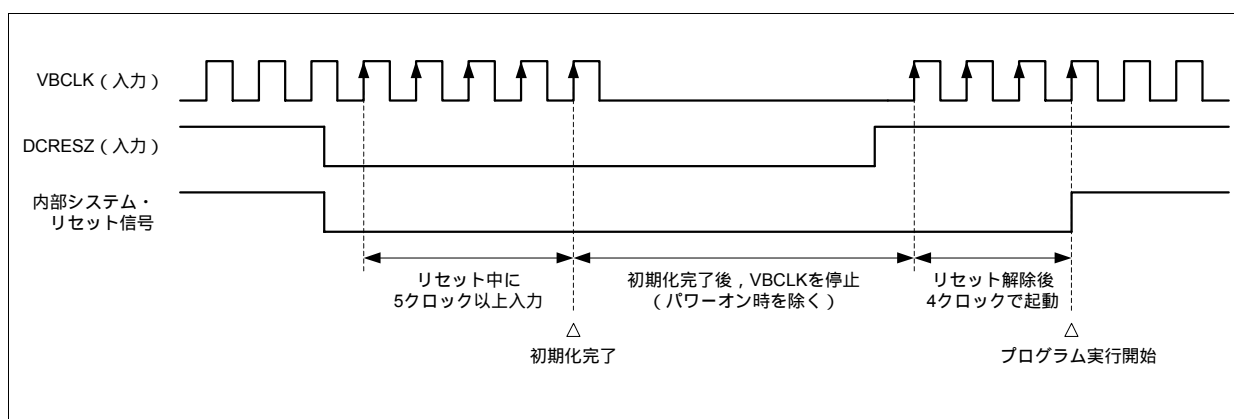
注意 DCRESZ 信号は、VBCLK 信号に対するセットアップ/ホールド時間を満たすように入力してください。

図2 - 1 DCRESZ信号の受け付け



NB85E901 を接続して、システム・リセットにより VBCLK の発振を停止させる場合、システム・リセットがロウ・レベルになってから VBCLK を 5 クロック以上入力して、CPU 関係の端子状態と内部信号を完全に初期化してから VBCLK の発振を停止してください。この制限事項を守らない場合は、デバッグが正常に起動しない可能性があります。

図2 - 2 システム・リセットによりVBCLKの発振を停止させる場合



(2) VBCLK (入力)

内部システム・クロック用の外部クロック入力端子です。外部クロック制御回路から 50%デューティの安定したクロックを入力します。

(3) CGREL (入力)

外部クロック・ジェネレータ (CG) 用のリリース入力端子です。STOP モード解除後、発振安定時間を確保したあと、VBCLK 入力開始時にアクティブ・レベル (ハイ・レベル) を 1 クロック以上入力します (CGREL 入力は、VBCLK 入力と同時に必要はありません)。

(4) SWSTOPRQ (出力)

外部クロック・ジェネレータ (CG) へのソフトウェア STOP モード要求出力端子です。ソフトウェア STOP モードが設定されるとハイ・レベルを出力します。

この信号を使用して CG からの VBCLK 入力を停止します。ソフトウェア STOP モードが解除されると

ロウ・レベルを出力します。

(5) HWSTOPRQ (出力)

外部クロック・ジェネレータ (CG) へのハードウェア STOP モード要求出力端子です。DCSTOPZ 入力によりハードウェア STOP モードが設定されるとハイ・レベルを出力します。

この信号を使用して CG からの VBCLK 入力を停止します。ハードウェア STOP モードが解除されるとロウ・レベルを出力します。

(6) DCSTOPZ (入力)

ハードウェア STOP モード要求入力端子です。ロウ・レベルを入力すると、ハードウェア STOP モードに設定されます。

(7) STPRQ (出力)

メモリ・コントローラ (MEMC) へのハードウェア/ソフトウェア STOP モード要求出力端子です。

(8) STPAK (入力)

STPRQ 信号を受け付けたメモリ・コントローラ (MEMC) からのアクノリッジ信号入力端子です。

2.2.4 DMAC 用端子

(1) IDMASTP (入力)

DMA 転送強制中断入力端子です。VBCLK 信号の立ち上がり同期して2クロック分のアクティブ・レベル (ハイ・レベル) を入力してください。

転送を再開させる場合は、この端子にロウ・レベルを入力してから DRST レジスタの EN ビットをセット (1) します。

(2) DMARQ3-DMARQ0 (入力)

DMA 転送要求入力端子です。VBCLK 信号の立ち上がり同期してアクティブ・レベル (ハイ・レベル) を入力し、対応する DMACTVn 信号がハイ・レベルになるまで入力し続けてください (n = 3-0)。

(3) DMTCO3-DMTCO0 (出力)

ターミナル・カウント (DMA 転送完了) 出力端子です。最終 DMA 転送時に1クロックのハイ・レベルを出力します。VBCLK 信号の立ち上がり同期して出力されます。

(4) DMACTV3-DMACTV0 (出力)

DMA アクノリッジ出力端子です。2 サイクル転送の VSB リード・サイクル, VSB ライト・サイクル中, およびフライバイ転送中にアクティブ (ハイ・レベル出力) になります。

2.2.5 INTC 用端子

(1) DCNMI2-DCNMI0 (入力)

ノンマスクブル割り込み要求 (NMI) 入力端子です。立ち上がりエッジが入力されるとノンマスクブル割り込みが発生します。

(2) INT63-INT0 (入力)

マスクブル割り込み要求入力端子です。立ち上がりエッジが入力されるとマスクブル割り込みが発生します。

2.2.6 VFB 用端子

(1) IROMA19-IROMA2 (出力)

ROM へのアドレス出力バスです。

(2) IROMZ31-IROMZ0 (入力)

ROM からのデータ入力バスです。

(3) IROMEN (出力)

ROM へのアクセス・イネーブル出力端子です。VBCLK 信号の立ち下がりに同期して変化します。

(4) IROMWT (入力)

ROM からのウエイト入力端子です。ウエイト期間中はハイ・レベルを入力します。

(5) IROMCS, IROMIA, IROMAE (出力)

NEC の予約端子です。オープンにしてください。

2.2.7 VDB 用端子

(1) IRAMA27-IRAMA2 (出力)

RAM へのアドレス出力バスです。IRAMA27-IRAMA16 信号は、データ・キャッシュ用に出力されています。したがって、RAM を接続する際にデコードする必要はありません。

(2) IRAMZ31-IRAMZ0 (入力)

RAM からのデータ入力バスです。

(3) IRAOZ31-IRAOZ0 (出力)

RAM へのデータ出力バスです。

(4) IRAMEN (出力)

RAM へのアクセス・イネーブル出力端子です。VBCLK 信号の立ち下がりに同期して変化します。

(5) IRAMWR3-IRAMWR0 (出力)

RAM へのライト・イネーブル出力端子です。出力データ・バス (IRAOZ31-IRAOZ0) のうち、有効となるバイト・データを示すハイ・レベル・アクティブの端子です。

表2 - 6 IRAMWR3-IRAMWR0信号

| アクティブ (ハイ・レベル出力) となる信号 | 有効バイト・データ |
|------------------------|-----------------|
| IRAMWR0 | IRAOZ7-IRAOZ0 |
| IRAMWR1 | IRAOZ15-IRAOZ8 |
| IRAMWR2 | IRAOZ23-IRAOZ16 |
| IRAMWR3 | IRAOZ31-IRAOZ24 |

(6) IRAMRWB (出力)

RAM へのリード/ライト・ステータス出力端子です。リード時にハイ・レベル、ライト時にロウ・レベルを出力します。

(7) IRAMWT (入力)

データ・キャッシュからのウエイト入力端子です。ウエイト期間中はハイ・レベルを入力します。

2.2.8 命令キャッシュ用端子**(1) IBDRRQ (入力)**

命令キャッシュからのフェッチ要求入力端子です。

NU85E に対し外部メモリからのフェッチを行う要求信号が入力されます。

(2) IBEA25-IBEA2 (入力)

命令キャッシュからのフェッチ・アドレス入力バスです。

ミスヒット時に命令キャッシュからリードすべきアドレスが入力されます。

(3) IBAACK (出力)

命令キャッシュへのアドレス・アクノリッジ出力端子です。

命令キャッシュから入力された IBEA25-IBEA2 信号を NU85E が認識すると、この信号を出力します。

(4) IBDRDY (出力)

命令キャッシュへのデータ・レディ出力端子です。

命令キャッシュのミスヒット時に NU85E が外部メモリからリードすべきデータを取り終えると、命令キャッシュに対してリフィルの準備ができたことを示すために出力します。

(5) IBDL3-IBDL0 (出力)

命令キャッシュへのデータ・ラッチ・イネーブル出力端子です。

(6) IBEDI31-IBEDI0 (出力)

命令キャッシュへのデータ出力バスです。

命令キャッシュのミスヒット時に命令キャッシュへリフィルすべきデータを出力します。

(7) IIDRRQ (出力)

命令キャッシュへのフェッチ要求出力端子です。

(8) IIEA25-IIEA2 (出力)

命令キャッシュへのフェッチ・アドレス出力バスです。

フェッチ要求 (IIDRRQ) と同時に、外部メモリからフェッチすべきアドレスを出力します。

(9) IIAACK (入力)

命令キャッシュからのアドレス・アクノリッジ入力端子です。

NU85E から入力されたフェッチ・アドレス (IIEA25-IIEA2) を命令キャッシュが認識すると、NU85E に対してこの信号が入力されます。

(10) IIDLEF (入力)

命令キャッシュからのデータ・ラッチ・イネーブル入力端子です。

(11) IIEDI31-IIEDI0 (入力)

命令キャッシュからのデータ入力バスです。

命令キャッシュからリードすべきデータが入力されます。

(12) IIBTFT (出力)

命令キャッシュへのブランチ・ターゲット・フェッチ・ステータス出力端子です。

分岐命令による飛び先アドレスのフェッチ時にハイ・レベルを出力します。

(13) IIRCAN (出力)

命令キャッシュへのコード・キャンセル・ステータス出力端子です。

NU85E がフェッチ要求を命令キャッシュに出力したあと、分岐や割り込みでデータが不要になった場合に、以前の要求をキャンセルするための信号です。

(14) BCUNCH (出力)

命令キャッシュへのアンキャッシュ・ステータス出力端子です。

キャッシュ・コンフィギュレーション・レジスタ (BHC) で命令キャッシュの設定をキャッシュ可能に設定した領域をアクセスしたときに、ロウ・レベルを出力します。

(15) IBBTFT (入力)

NEC の予約端子です。常にロウ・レベルを入力してください。なお、命令キャッシュを使用するときは、命令キャッシュの IBBTFT 端子はオープンにしてください。

2.2.9 データ・キャッシュ用端子

(1) IDDRARQ (出力)

データ・キャッシュへのリード/ライト・アクセス要求出力端子です。

(2) IDAACK (出力)

データ・キャッシュへのアクノリッジ出力端子です。

データ・キャッシュから入力された IDEA27-IDEA0 信号を NU85E が認識すると、この信号が出力されます。

(3) IDDRRQ, IDDWRQ, IDSEQ4, IDSEQ2 (入力)

データ・キャッシュからの動作タイプ設定入力端子です。

表2 - 7 IDDRRQ, IDDWRQ, IDSEQ4, IDSEQ2信号

| IDDRRQ | IDDWRQ | IDSEQ4 | IDSEQ2 | 動作タイプ |
|--------|--------|--------|--------|------------------|
| 1 | 0 | 1 | 0 | 4ワード・シーケンシャル・リード |
| 1 | 0 | 0 | 1 | 2ワード・シーケンシャル・リード |
| 1 | 0 | 0 | 0 | 1ワード・リード |
| 0 | 1 | 1 | 0 | 4ワード・シーケンシャル・ライト |
| 0 | 1 | 0 | 1 | 2ワード・シーケンシャル・ライト |
| 0 | 1 | 0 | 0 | 1ワード・ライト |
| 1 | 1 | 1 | 1 | 1ワード・ライト |
| 1 | 1 | 1 | 0 | 1ハーフワード・ライト |
| 1 | 1 | 0 | 0 | 1バイト・ライト |
| 上記以外 | | | | 設定禁止 |

備考 0:ロウ・レベル入力 1:ハイ・レベル入力

(a) IDDRRQ (入力)

データ・キャッシュからの VSB リード・オペレーション要求入力端子です。

(b) IDDWRQ (入力)

データ・キャッシュからの VSB ライト・オペレーション要求入力端子です。

(c) IDSEQ4, IDSEQ2 (入力)

データ・キャッシュからのリード/ライト動作タイプ設定入力端子です。

(4) IRRSA (出力)

データ・キャッシュへの VDB ホールド・ステータス出力端子です。

VDB が RAM アクセス、またはホールド状態のときにアクティブ・レベル(ハイ・レベル)を出力します。

(5) IDRETR (出力)

データ・キャッシュへのリード・リトライ要求出力端子です。

(6) IDUNCH (出力)

データ・キャッシュへのアンキャッシュ・ステータス出力端子です。

キャッシュ・コンフィギュレーション・レジスタ (BHC) でデータ・キャッシュの設定をキャッシュ可能に設定した領域をアクセスしたときにロウ・レベルを出力します。

(7) IDDRDY (出力)

データ・キャッシュへのリード・データ・レディ出力端子です。

データ・キャッシュのミスヒット時に NU85E が外部メモリからリードすべきデータを取り終えると、データ・キャッシュに対してリフィルの準備ができたことを示すために出力します。

(8) IDRRDY (入力)

データ・キャッシュからのリード・データ・レディ入力端子です。

(9) IDHUM (入力)

データ・キャッシュからのヒット・アング・ミスヒット・リード入力端子です。

リード時のミスヒット発生による外部メモリへのアクセス中に、データ・キャッシュに対する次のアクセスが行われ、そのアクセス時にヒットしたデータが外部メモリからのデータに先行して NU85E に入力される場合 (ヒット・アング・ミスヒット) に、ハイ・レベルが入力されます。

(10) IDEA27-IDEA0 (入力)

データ・キャッシュからのアドレス入力バスです。

データ・キャッシュのミスヒット時に NU85E に対しアクセスすべきアドレスが入力されます。

(11) IDED31-IDED0 (入出力)

データ・キャッシュとのデータ入出力バスです。

データ・キャッシュにリフィルするデータやライト・バック・モード時に外部メモリに書き込むデータのやり取りをします。

(12) IDES (出力)

NEC の予約端子です。

データ・キャッシュを使用するときは、必ずデータ・キャッシュの IDES 端子に接続してください。未使用時はオープンにしてください。

2.2.10 RCU 用端子**(1) DBI5-DBI0 (入力)**

ディバグ制御入力端子です。RCU の DBI5-DBI0 端子に接続します。

(2) DBO14-DBO0 (出力)

ディバグ制御出力端子です。RCU の DBO14-DBO0 端子に接続します。

(3) DBB15-DBB0 (入出力)

ディバグ制御入出力端子です。RCUのDBB15-DBB0端子に接続します。

2.2.11 周辺エバチップ・モード用端子

PHEVA端子にハイ・レベルを入力するとNU85Eは周辺エバチップ・モードに設定されます。

周辺エバチップ・モードは、インサーキット・エミュレータを用いてディバグを行う際にNU85Eを内蔵したASICを周辺エミュレーション用のチップとして使用するためのモードです。

周辺エバチップ・モード用端子は、インサーキット・エミュレータ内のエバチップとのインタフェース用端子で、これらの端子を通じて、エバチップの各信号をNPB用の信号に変換します。

(1) EVASTB (入力)

アドレス・ストロープ入力端子です。エバチップのEPHASTB端子に接続します。

(2) EVDSTB (入力)

データ・ストロープ入力端子です。エバチップのEPHDSTB端子に接続します。

(3) EVAD15-EVAD0 (入出力)

アドレス/データ・バスです。エバチップのEPHAD n 端子に接続します($n = 15-0$)。

(4) EVIEN (出力)

EVAD n バス上のI/Oバッファの方向制御を行う入力イネーブル信号です($n = 15-0$)。

(5) EVOEN (出力)

EVAD n バス上のI/Oバッファの方向制御を行う出力イネーブル信号です($n = 15-0$)。

(6) EVLKRT (入出力)

ロック/リトライ入出力端子です。エバチップのEPHLKRT端子に接続します。

(7) EVIREL (入力)

スタンバイ・リリース入力端子です。

(8) EVCLRIP (入力)

ISPRクリア入力端子です。エバチップのECLRIP端子に接続します。

(9) EVINTAK (入力)

割り込みアクノリッジ入力端子です。エバチップのEINTAK端子に接続します。

(10) EVINTRQ (出力)

割り込み要求出力端子です。エバチップのEINTRQ端子に接続します。

(11) EVINTLV6-EVINTLV0 (出力)

割り込みベクタ出力端子です。エバチップのEINTLV6-EINTLV0端子に接続します。

2.2.12 動作モード設定用端子

NU85Eの動作モードは、次の各端子により指定します。

これらの端子への入力レベルは、NU85E 動作中は固定とし、動作中に変更しないでください。

(1) IFIROME (入力)

ROM 領域設定入力端子です。この端子への入力レベルにより、使用する ROM が次のように設定されます。

- ロウ・レベル：外部メモリとして接続された ROM を使用 (VSB 経由)
- ハイ・レベル：VFB に接続された ROM を使用

この端子にロウ・レベルが入力されている場合、システム・リセット解除後に外部メモリのリセット・エントリ・アドレスに分岐して命令処理を開始します。VFB に接続された ROM への命令フェッチ、データ・アクセスはできません。

ハイ・レベルを入力すると、IFIROB2 端子にロウ・レベルが入力されている場合は、システム・リセット解除後に VFB に接続された ROM のリセット・エントリ・アドレスに分岐し、命令処理を開始します。IFIROB2 端子にハイ・レベルが入力されている場合は、システム・リセット解除後に外部メモリのリセット・エントリ・アドレスに分岐して命令処理を開始しますが、100000H 番地以降に配置された VFB に接続された ROM へのアクセスが可能です。

(2) IFIROB2 (入力)

ROM 領域リロケーション設定入力端子です。ROM 領域を配置する範囲を指定します。

この端子への入力レベルにより、ROM 領域の範囲が次のように設定されます。

- ロウ・レベル：000000H-0FFFFFFH 番地
- ハイ・レベル：100000H-1FFFFFFH 番地

詳細は、3.4.1 (1) ROM リロケーション機能を参照してください。

(3) IFIRA64, IFIRA32, IFIRA16 (入力)

RAM 領域サイズ選択入力端子です。

これらの端子への入力レベルにより、次のように RAM 領域サイズが設定されます。

詳細については、3.4.2 RAM 領域を参照してください。

表2 - 8 IFIRA64, IFIRA32, IFIRA16信号

| IFIRA64 | IFIRA32 | IFIRA16 | RAM 領域サイズ |
|---------|---------|---------|-----------|
| 0 | 0 | 0 | 4K バイト |
| 0 | 0 | 1 | 12K バイト |
| 0 | 1 | 任意 | 28K バイト |
| 1 | 任意 | 任意 | 60K バイト |

備考 0：ロウ・レベル入力 1：ハイ・レベル入力

(4) IFIMAEN (入力)

ミス・アライン・アクセス設定入力端子です。

この端子への入力レベルにより、ミス・アライン・アクセスの許可 / 禁止が次のように設定されます。

- ロウ・レベル：ミス・アライン・アクセス禁止
- ハイ・レベル：ミス・アライン・アクセス許可

(5) IFID256 (入力)

データ領域設定入力端子です。データ領域のサイズを設定します。

この端子への入力レベルにより、次のように各モードが設定されます。

詳細については、**3.3.2 データ領域**を参照してください。

- ロウ・レベル：64M バイト・モード
- ハイ・レベル：256M バイト・モード

(6) IFINSZ1, IFINSZ0 (入力)

VSB データ・バス・サイズ (初期値) 選択入力端子です。

これらの端子への入力レベルにより、次のように VSB のデータ・バス・サイズが設定されます。

表2 - 9 IFINSZ1, IFINSZ0信号

| IFINSZ1 | IFINSZ0 | VSB データ・バス・サイズ |
|---------|---------|----------------|
| 0 | 0 | 32 ビット |
| 0 | 1 | 16 ビット |
| 1 | 0 | 8 ビット |
| 1 | 1 | 設定禁止 |

備考 0：ロウ・レベル入力 1：ハイ・レベル入力

なお、リセット後にバス・サイズ・コンフィギュレーション・レジスタ (BSC) により、VSB データ・バス・サイズを変更した場合は、これらの端子への入力レベルにかかわらず、BSC レジスタの設定が有効となります。

(7) IFIWRTH (入力)

データ・キャッシュのライト・バック / ライト・スルー・モード選択入力端子です。

データ・キャッシュを使用する場合、データ・キャッシュの IFIWRTH 端子と接続します。

この端子への入力レベルにより、次のように各モードが設定されます。

- ロウ・レベル：ライト・バック・モード
- ハイ・レベル：ライト・スルー・モード

(8) IFIUNCH1 (入力)

データ・キャッシュ設定入力端子です。

データ・キャッシュを使用する場合、データ・キャッシュの IFIUNCH1 端子と接続します。

この端子への入力レベルにより、データ・キャッシュの許可/禁止が次のように設定されます。

- ロウ・レベル：データ・キャッシュ許可
- ハイ・レベル：データ・キャッシュ禁止

(9) IFIUNCH0 (入力)

命令キャッシュ設定入力端子です。

この端子への入力レベルにより、命令キャッシュの許可/禁止が次のように設定されます。

- ロウ・レベル：命令キャッシュ許可
- ハイ・レベル：命令キャッシュ禁止

(10) PHEVA (入力)

周辺エバチップ・モード設定入力端子です。NU85E を内蔵した ASIC を周辺エバチップとして使用する場合に、ハイ・レベルを入力します。

(11) IFIROBE, IFIROPR, IFIRASE, IFIRABE, IFIMODE3, IFIMODE2, IFIUSWE, FCOMB (入力)

NEC の予約端子です。常にロウ・レベルを入力してください。

2.2.13 テスト・モード用端子

(1) TBI39-TBI0 (入力)

入力テスト・バスです。

(2) TBO34-TBO0 (出力)

出力テスト・バスです。

(3) TEST (入力)

テスト・バス・コントロール入力端子です。

(4) BUNRI (入力)

ノーマル/テスト・モードを選択する入力端子です。

(5) BUNRIOUT (出力)

テスト・モード状態であることを示すステータス出力端子です。

BUNRI 端子 (入力) のレベルがそのまま出力されます。

(6) PHTDO1, PHTDO0 (入力)

周辺マクロ・テスト入力端子です。

(7) TESEN (出力)

周辺マクロをテスト・モードに設定するためのイネーブル出力端子です。

(8) VPTCLK (出力)

周辺マクロ・テスト用クロック出力端子です。

(9) PHTDIN1, PHTDIN0 (出力)

周辺マクロ・テスト出力端子です。

(10) VPRESZ (出力)

周辺マクロに対するリセット出力端子です。

注意 VPRESZ 信号は、テスト・モード時だけでなく、通常動作モード時も周辺マクロに対するリセット信号となります。

(11) PHTEST (出力)

周辺テスト・モード状態であることを示すステータス出力端子です。

(12) TMODE1 (出力)

テスト・モード選択出力端子です。RCU を使用するとき、RCU の TMODE1, TEST 端子に接続します。

(13) TMODE0, TBREDZ (出力)

NEC の予約端子です。オープンにしてください。

2.3 未使用端子の処理

(1/2)

| 端子名 | | 入出力 | 推奨接続方法 |
|------------------|---|-----|------------------|
| NPB 用端子 | VPA13-VPA0, VPDO15-VPDO0, VPWRITE, VPSTB, VPLOCK, VPUBENZ, VPDV | 出力 | オープンにしてください。 |
| | VPDI15-VPDI0 ^注 , VPRETR ^注 | 入力 | ロウ・レベルを入力してください。 |
| | VPDACT | 入力 | ハイ・レベルを入力してください。 |
| VSB 用端子 | VAREQ | 入力 | ロウ・レベルを入力してください。 |
| | VAAACK, VAPREQ, VBDO31-VBDO0, VMA27-VMA0, VMTTYP1, VMTTYP0, VMSTZ, VMBENZ3-VMBENZ0, VMSIZE1, VMSIZE0, VMWRITE, VMLOCK, VMCTYP2-VMCTYP0, VMSEQ2-VMSEQ0, VMBSTR, VDSELPZ, VSWAIT, VSLAST, VSAHLD, VBDC, VBDV, VDCSZ7-VDCSZ0 | 出力 | オープンにしてください。 |
| | VBDI31-VBDI0, VMWAIT, VMLAST, VMAHLD, VSA13-VSA0, VSWRITE, VSLOCK | 入力 | ロウ・レベルを入力してください。 |
| | VSSTZ, VSBENZ1, VSSELPZ | 入力 | ハイ・レベルを入力してください。 |
| システム 制御用端子 | DCRESZ, VBCLK | 入力 | - |
| | CGREL | 入力 | ロウ・レベルを入力してください。 |
| | SWSTOPRQ, HWSTOPRQ, STPRQ | 出力 | オープンにしてください。 |
| | DCSTOPZ, STPAK | 入力 | ハイ・レベルを入力してください。 |
| DMAC 用端子 | IDMASTP, DMARQ3-DMARQ0 | 入力 | ロウ・レベルを入力してください。 |
| | DMTCO3-DMTCO0, DMACTV3-DMACTV0 | 出力 | オープンにしてください。 |
| INTC 用端子 | DCNMI2-DCNMI0, INT63-INT0 | 入力 | ロウ・レベルを入力してください。 |
| VFB 用端子 | IROMA19-IROMA2, IROMEN, IROMCS, IROMIA, IROMAE | 出力 | オープンにしてください。 |
| | IROMZ31-IROMZ0 | 入力 | ハイ・レベルを入力してください。 |
| | IROMWT | 入力 | ロウ・レベルを入力してください。 |
| VDB 用端子 | IRAMA27-IRAMA2, IRAOZ31-IRAOZ0, IRAMEN, IRAMWR3-IRAMWR0, IRAMRWB | 出力 | オープンにしてください。 |
| | IRAMZ31-IRAMZ0 | 入力 | ハイ・レベルを入力してください。 |
| | IRAMWT | 入力 | ロウ・レベルを入力してください。 |
| 命令キャッシュ用 端子 | IBDRRQ, IBEA25-IBEA2, IIAACK, IIDLEF, IIEDI31-IIEDI0, IIBTFT | 入力 | ロウ・レベルを入力してください。 |
| | IBAACK, IBDRDY, IBdle3-IBdle0, IBEDI31-IBEDI0, IIDRRQ, IIEA25-IIEA2, IIBTFT, IIRCAN, BCUNCH | 出力 | オープンにしてください。 |
| データ・ キャッシュ用端子 | IDDARQ, IDAACK, IRRSA, IDRETR, IDUNCH, IDDRDY, IDES | 出力 | オープンにしてください。 |
| | IDDRRQ, IDWRQ, IDSEQ4, IDSEQ2, IDRRDY, IDHUM, IDEA27-IDEA0 | 入力 | ロウ・レベルを入力してください。 |
| | IDED31-IDED0 | 入出力 | オープンにしてください。 |

注 一度バッファを介してからロウ・クランプしてください。

| 端子名 | | 入出力 | 推奨接続方法 |
|---------------|---|-----|--------------------------------------|
| RCU 用端子 | DBI5, DBI1 | 入力 | ハイ・レベルを入力してください。 |
| | DBI4-DBI2, DBI0 | 入力 | ロウ・レベルを入力してください。 |
| | DBO14-DBO0 | 出力 | オープンにしてください。 |
| | DBB15-DBB0 | 入出力 | オープンにしてください。 |
| 周辺エパッチ・モード用端子 | EVASTB, EVDSTB, EVIREL, EVCLRIP, EVINTAK | 入力 | ロウ・レベルを入力してください。 |
| | EVAD15-EVAD0, EVLKRT | 入出力 | オープンにしてください。 |
| | EVIEN, EVOEN, EVINTRQ, EVINTLV6-EVINTLV0 | 出力 | オープンにしてください。 |
| 動作モード設定用端子 | IFIROME, IFIRA64, IFIRA32, IFIRA16, IFIMAEN, IFID256, IFINSZ1, IFINSZ0 | 入力 | - |
| | IFIROB2, IFIWRTH, IFIUNCH0 | 入力 | ロウ・レベル, またはハイ・レベルを入力してください。 |
| | PHEVA, IFIROBE, IFIROPR, IFIRASE, IFIRABE, IFIMODE3, IFIMODE2, IFIUSWE, FCOMB | 入力 | ロウ・レベルを入力してください。 |
| | IFIUNCH1 | 入力 | ハイ・レベルを入力してください。 |
| テスト・モード用端子 | TBI39-TBI0 | 入力 | 各セルベース IC ファミリのユーザーズ・マニュアルを参照してください。 |
| | TBO34-TBO0 | 出力 | |
| | TEST, BUNRI | 入力 | - |
| | PHTDO1 [※] , PHTDO0 [※] | 入力 | ロウ・レベルを入力してください。 |
| | BUNRIOUT, TESEN, VPTCLK, PHTDIN1, PHTDIN0, VPRESZ, PHTEST, TMODE1, TMODE0, TBREDZ | 出力 | オープンにしてください。 |

注 一度バッファを介してからロウ・クランプしてください。

2.4 端子状態

出力機能を持つ端子の各動作モードでの状態を次に示します。

表2 - 10 各動作モードでの端子状態 (1/3)

| 端子名 | | 端子状態 | | | | | |
|---------|---------------------|-------------------|--------------------|--------------------|----------|-------------------|---------------|
| | | リセット ^注 | ソフトウェア STOP モード | ハードウェア STOP モード | HALT モード | スタンバイ・ テスト・モード | 単体テスト・ モード |
| NPB 用端子 | VPA13-VPA0 | 不定 | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VPDO15- VPDO0 | 不定 | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VPWRITE | 不定 | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VPSTB | L | L | L | 動作 | 不定 | 動作 |
| | VPLOCK | 不定 | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VPUBENZ | 不定 | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VPDV | 不定 | 保持 | 保持 | 動作 | 不定 | 動作 |
| VSB 用端子 | VAACK | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VAPREQ | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VBDO31- VBDO0 | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMA27- VMA0 | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMTTYP1, VMTTYP0 | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMSTZ | H | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMBENZ3- VMBENZ0 | H | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMSIZE1, VMSIZE0 | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMWRITE | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMLOCK | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMCTYP2- VMCTYP0 | 不定 | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMSEQ2- VMSEQ0 | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VMBSTR | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VDELPZ | H | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VSWAIT | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| VSLAST | L | 保持 | 保持 | 動作 | 不定 | 動作 | |

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 L：ロウ・レベル出力 H：ハイ・レベル出力 保持：直前の状態を保持

表2-10 各動作モードでの端子状態(2/3)

| 端子名 | | 端子状態 | | | | | |
|--------------------|---------------------|-------------------|--------------------|--------------------|----------|-------------------|---------------|
| | | リセット ^注 | ソフトウェア STOP モード | ハードウェア STOP モード | HALT モード | スタンバイ・ テスト・モード | 単体テスト・ モード |
| VSB 用端子 | VSAHLD | L | 保持 | 保持 | 動作 | 不定 | 動作 |
| | VBDC | L | L | L | 動作 | 不定 | 動作 |
| | VBDV | L | L | L | 動作 | 不定 | 動作 |
| | VDCSZ7- VDCSZ0 | H | 保持 | 保持 | 動作 | 不定 | 動作 |
| システム 制御用端子 | SWSTOPRQ | L | H | L | L | 不定 | 不定 |
| | HWSTOPRQ | L | L | H | L | 不定 | 不定 |
| | STPRQ | L | H | H | L | 不定 | 不定 |
| DMAC 用端子 | DMTCO3- DMTCO0 | L | L | L | 動作 | 不定 | 不定 |
| | DMACTV3- DMACTV0 | L | L | L | 動作 | 不定 | 不定 |
| VFB 用端子 | IROMA19- IROMA2 | 不定 | 保持 | 保持 | 保持 | 不定 | 動作 |
| | IROMEN | L | L | L | L | 不定 | 動作 |
| | IROMCS | L | L | L | L | 不定 | 動作 |
| | IROMIA | H | 不定 | 不定 | 不定 | 不定 | 動作 |
| | IROMAE | 不定 | 不定 | 不定 | 不定 | 不定 | 動作 |
| VDB 用端子 | IRAMA27- IRAMA2 | 不定 | 不定 | 不定 | 動作 | 不定 | 動作 |
| | IRAOZ31- IRAOZ0 | 不定 | 不定 | 不定 | 動作 | 不定 | 動作 |
| | IRAMEN | L | L | L | 動作 | 不定 | 動作 |
| | IRAMWR3- IRAMWR0 | L | L | L | 動作 | 不定 | 動作 |
| | IRAMRWB | 不定 | 不定 | 不定 | 動作 | 不定 | 動作 |
| 命令 キャッシュ用 端子 | IBAACK | L | L | L | L | 不定 | 動作 |
| | IBDRDY | L | L | L | L | 不定 | 動作 |
| | IBDLE3- IBDLE0 | L | L | L | L | 不定 | 動作 |
| | IBEDI31- IBEDI0 | 不定 | 不定 | 不定 | 不定 | 不定 | 動作 |
| | IIDRRQ | L | L | L | L | 不定 | 動作 |
| | IIEA25-IIEA2 | 不定 | 不定 | 不定 | 不定 | 不定 | 動作 |
| | IIBTFT | 不定 | 不定 | 不定 | 不定 | 不定 | 動作 |
| | IIRCAN | 不定 | 不定 | 不定 | 不定 | 不定 | 動作 |
| BCUNCH | L | L | L | L | 不定 | 動作 | |

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 L：ロウ・レベル出力 H：ハイ・レベル出力 保持：直前の状態を保持

表2-10 各動作モードでの端子状態 (3/3)

| 端子名 | | 端子状態 | | | | | |
|------------------------|-----------------------|-------------------|--------------------|--------------------|----------|-------------------|---------------|
| | | リセット ^注 | ソフトウェア STOP モード | ハードウェア STOP モード | HALT モード | スタンバイ・ テスト・モード | 単体テスト・ モード |
| データ・ キャッシュ用 端子 | IDDARQ | L | L | L | L | 不定 | 動作 |
| | IDAACK | L | L | L | L | 不定 | 動作 |
| | IRRSA | L | 不定 | 不定 | 不定 | 不定 | 動作 |
| | IDRETR | L | L | L | L | 不定 | 動作 |
| | IDUNCH | 不定 | 不定 | 不定 | 不定 | 不定 | 動作 |
| | IDDRDY | L | L | L | L | 不定 | 動作 |
| | IDED31-IDED0 | 不定 | 不定 | 不定 | 不定 | 不定 | 動作 |
| | IDES | 不定 | 不定 | 不定 | 不定 | 不定 | 動作 |
| RCU 用端子 | DBO14 | H | L | L | L | 不定 | 不定 |
| | DBO13 | L | L | L | L | 不定 | 不定 |
| | DBO12-DBO5 | 不定 | 保持 | 保持 | 保持 | 不定 | 不定 |
| | DBO4 | L | L | L | H | 不定 | 不定 |
| | DBO3-DBO1 | L | L | L | L | 不定 | 不定 |
| | DBO0 | L | 保持 | 保持 | 保持 | 不定 | 不定 |
| | DBB15-DBB0 | 不定 | 保持 | 保持 | 保持 | 不定 | 不定 |
| 周辺 エバチップ・ モード用端子 | EVIEN | 不定 | L | L | L | 不定 | 不定 |
| | EVOEN | 不定 | L | L | L | 不定 | 不定 |
| | EVINTRQ | L | 保持 | 保持 | 動作 | 不定 | 不定 |
| | EVINTLV6- EVINTLV0 | 不定 | 保持 | 保持 | 動作 | 不定 | 不定 |
| | EVAD15- EVAD0 | 不定 | 保持 | 保持 | 不定 | 不定 | 不定 |
| | EVLKRT | 不定 | 保持 | 保持 | 不定 | 不定 | 不定 |
| テスト・ モード用端子 | TBO34-TBO0 | Hi-Z | Hi-Z | Hi-Z | Hi-Z | Hi-Z | 動作 |
| | BUNRIOUT | L | L | L | L | H | H |
| | TESEN | L | L | L | L | L | 動作 |
| | VPTCLK | L | L | L | L | L | 動作 |
| | PHTDIN1, PHTDIN0 | L | L | L | L | L | 動作 |
| | VPRESZ | L | H | H | H | 不定 | 不定 |
| | PHTEST | L | L | L | L | L | 動作 |
| | TMODE1, TMODE0 | L | L | L | L | L | 動作 |
| TBREDZ | H | H | H | H | H | 動作 | |

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 L：ロウ・レベル出力 H：ハイ・レベル出力 保持：直前の状態を保持 Hi-Z：ハイ・インピーダンス

第3章 CPU

NU85E の CPU は、RISC アーキテクチャをベースとし、5 段パイプラインの制御によりほとんどの命令を 1 クロックで実行します。

3.1 特 徴

- 組み込み制御用高性能 32 ビット・アーキテクチャ
 - 命令数：83
 - 32 ビット汎用レジスタ：32 本
 - ロング/ショート・フォーマットを持つロード/ストア命令
 - 3 オペランド命令
 - 1 クロック・ピッチの 5 段パイプライン構造
 - レジスタ/フラグ・ハザードのインタロックをハードウェアで対処
 - メモリ空間
 - プログラム領域：64 M バイト・リニア
 - データ領域：4 G バイト・リニア
- 各種応用分野に適した命令セット
 - 飽和演算命令
 - ビット操作命令（セット、クリア、ノット、テスト）
 - 内蔵のハードウェア乗算器により、1-2 クロックで乗算が可能
 - 16 ビット×16 ビット→32 ビット
 - 32 ビット×32 ビット→32 ビット、または 64 ビット
- RCU インタフェース機能

3.2 レジスタ

CPU のレジスタは一般のプログラム用として使用するプログラム・レジスタと、実行環境の制御をするシステム・レジスタの2つに分類できます。すべて 32 ビット・レジスタです。

図3 - 1 CPUレジスタ一覧

| (a) プログラム・レジスタ | | (b) システム・レジスタ | |
|-----------------------|---|--------------------------|---|
| 31 | 0 | 31 | 0 |
| r0 (ゼロ・レジスタ) | | EIPC (割り込み時状態退避レジスタ) | |
| r1 (アセンブラ予約レジスタ) | | EIPSW (割り込み時状態退避レジスタ) | |
| r2 | | FEPC (NMI時状態退避レジスタ) | |
| r3 (スタック・ポインタ (SP)) | | FEPSW (NMI時状態退避レジスタ) | |
| r4 (グローバル・ポインタ (GP)) | | ECR (割り込み要因レジスタ) | |
| r5 (テキスト・ポインタ (TP)) | | PSW (プログラム・ステータス・ワード) | |
| r6 | | CTPC (CALLT実行時状態退避レジスタ) | |
| r7 | | CTPSW (CALLT実行時状態退避レジスタ) | |
| r8 | | DBPC (例外トラップ時状態退避レジスタ) | |
| r9 | | DBPSW (例外トラップ時状態退避レジスタ) | |
| r10 | | CTBP (CALLTベース・ポインタ) | |
| r11 | | | |
| r12 | | | |
| r13 | | | |
| r14 | | | |
| r15 | | | |
| r16 | | | |
| r17 | | | |
| r18 | | | |
| r19 | | | |
| r20 | | | |
| r21 | | | |
| r22 | | | |
| r23 | | | |
| r24 | | | |
| r25 | | | |
| r26 | | | |
| r27 | | | |
| r28 | | | |
| r29 | | | |
| r30 (エレメント・ポインタ (EP)) | | | |
| r31 (リンク・ポインタ (LP)) | | | |
| PC (プログラム・カウンタ) | | | |

3.2.1 プログラム・レジスタ

プログラム・レジスタには、汎用レジスタ（r0-r31）とプログラム・カウンタ（PC）があります。

表3-1 プログラム・レジスタ一覧

| プログラム・レジスタ | 名称 | 機能 |
|------------|--------|--|
| 汎用レジスタ | r0 | ゼロ・レジスタ（常に0を保持） |
| | r1 | アセンブラ予約レジスタ（アドレス生成用のワーキング・レジスタとして使用） |
| | r2 | アドレス/データ変数用レジスタ（使用するリアルタイム OS がこのレジスタを使用していない場合） |
| | r3 | スタック・ポインタ（関数コール時のスタック・フレーム生成時に使用） |
| | r4 | グローバル・ポインタ（データ領域のグローバル変数をアクセスするときに使用） |
| | r5 | テキスト・ポインタ（テキスト領域（プログラム・コードを配置する領域）の先頭を示すレジスタとして使用） |
| | r6-r29 | アドレス/データ変数用レジスタ |
| | r30 | エレメント・ポインタ（メモリをアクセスするときのアドレス生成用ベース・ポインタとして使用） |
| | r31 | リンク・ポインタ（コンパイラが関数コールをするときに使用） |
| プログラム・カウンタ | PC | プログラム実行中の命令アドレスを保持 |

備考 アセンブラやCコンパイラで使用される r1, r3-r5, r31 の詳細な説明は、Cコンパイラ・パッケージ（CA850）のユーザズ・マニュアルを参照してください。

(1) 汎用レジスタ

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、すべてデータ変数用またはアドレス変数用として利用できます。

ただし、r0-r5, r30, r31を使用する場合は次のような注意が必要です。

(a) r0, r30

命令により暗黙的に使用されます。

r0は常に0を保持しているレジスタであり、0を使用する演算やオフセット0のアドレッシングで使用されます。

r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。

(b) r1, r3-r5, r31

アセンブラとCコンパイラにより暗黙的に使用されます。

これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。

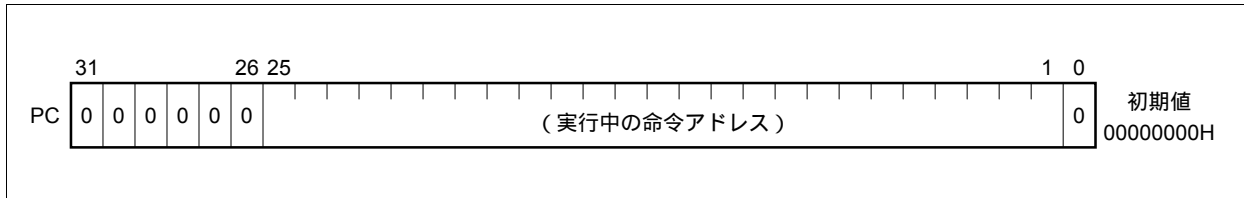
(c) r2

リアルタイム OS が使用する場合があります。

使用するリアルタイム OS が r2 を使用していない場合は、アドレス変数用またはデータ変数用レジスタとして利用できます。

(2) プログラム・カウンタ

プログラム実行中の命令アドレスを保持しています。下位の26ビットが有効でビット31-26は、将来の機能拡張のために予約されています(0に固定)。ビット25からビット26へのキャリーがあっても無視します。また、ビット0は0に固定されており、奇数番地への分岐はできません。

図3 - 2 プログラム・カウンタ(PC)

3.2.2 システム・レジスタ

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR 命令) で示すシステム・レジスタ番号 (表3-2 参照) を指定することで行います。

表3-2 システム・レジスタ一覧

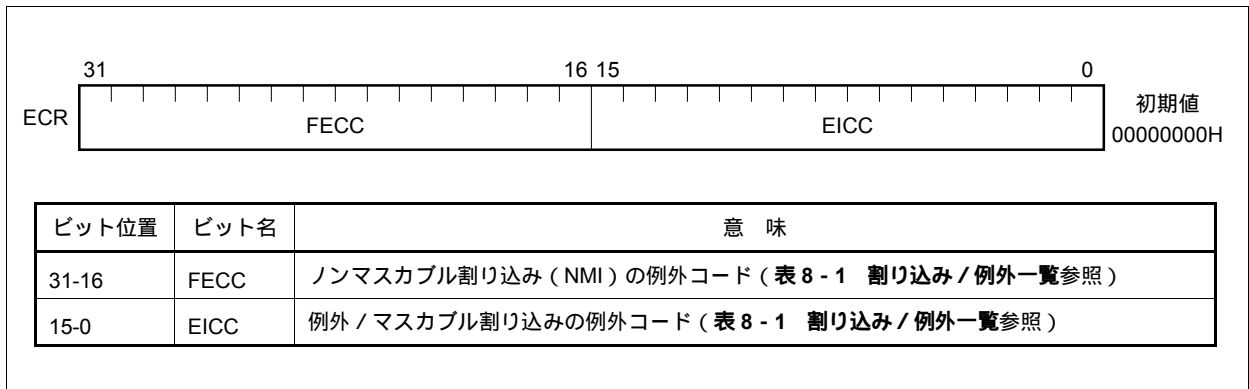
| レジスタ 番号 | 名 称 | | 動 作 | オペランド指定の可否 | |
|----------------|--------------------------------------|--------------------------------|---|------------|---------|
| | | | | LDSR 命令 | STSR 命令 |
| 0 | EIPC | 割り込み時状態 退避レジスタ ^注 | ソフトウェア例外または割り込みが発生した場合に、 PCの値を退避するレジスタです。 | | |
| 1 | EIPSW | | ソフトウェア例外または割り込みが発生した場合に、 PSWの値を退避するレジスタです。 | | |
| 2 | FEPC | NMI時状態 退避レジスタ | ノンマスカブル割り込み (NMI) が発生した場合に、 PCの値を退避するレジスタです。 | | |
| 3 | FEPSW | | ノンマスカブル割り込み (NMI) が発生した場合に、 PSWの値を退避するレジスタです。 | | |
| 4 | ECR | 割り込み要因 レジスタ | 例外 / 割り込みが発生した場合に、その要因を保持する レジスタです。 このレジスタの上位 16 ビット (FECC) には、ノンマ スカブル割り込み (NMI) の例外コードがセットされま す。下位 16 ビット (EICC) には、例外 / マスカブル割 り込みの例外コードがセットされます (図3-3 参照)。 | × | |
| 5 | PSW | プログラム・ステー タス・ワード | プログラムの状態 (命令実行結果) や CPU の状態を示 すフラグの集合です (図3-4 参照)。 | | |
| 16 | CTPC | CALLT 実行時 状態退避レジスタ | CALLT 命令を実行した場合に、PC の値を退避するレジ スタです。 | | |
| 17 | CTPSW | | CALLT 命令を実行した場合に、PSW の値を退避するレ ジスタです。 | | |
| 18 | DBPC | 例外トラップ時状態 退避レジスタ | 不正命令コードの検出により例外トラップが発生した場 合に、PC の値を退避するレジスタです。 | × | |
| 19 | DBPSW | | 不正命令コードの検出により例外トラップが発生した場 合に、PSW の値を退避するレジスタです。 | × | |
| 20 | CTBP | CALLT ベース・ポ インタ | テーブル・アドレスの指定、ターゲット・アドレスの生 成に使用します。 | | |
| 6-15, 21-31 | 将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません) | | | × | × |

備考 : アクセス可能 × : アクセス禁止

注 このレジスタは、1 組しかないため多重割り込みを許す場合は、プログラムでこのレジスタを退避する必要があります。

注意 LDSR 命令により EIPC か FEPC, または CTPC のビット 0 をセット (1) したあと、割り込み処理を行い、
RETI 命令で復帰するときにビット 0 は無視されます (PC のビット 0 を 0 に固定してあるため)。EIPC,
FEPC, CTPC に値を設定する場合は、特別な理由のないかぎり偶数値 (ビット 0 = 0) を設定してください。

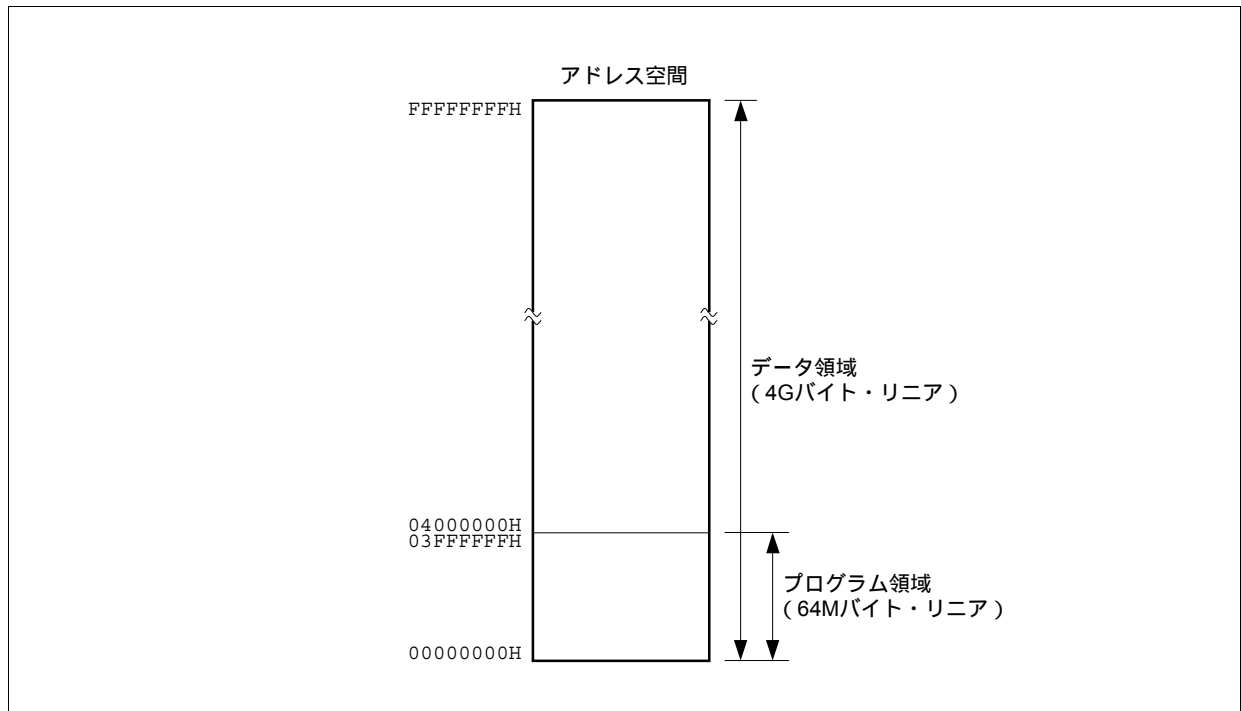
図3-3 割り込み要因レジスタ (ECR)



3.3 アドレス空間

最大 4G バイトのリニア・アドレス空間をサポートします。メモリと I/O は、このアドレス空間に配置されます (メモリ・マップト I/O 方式)。

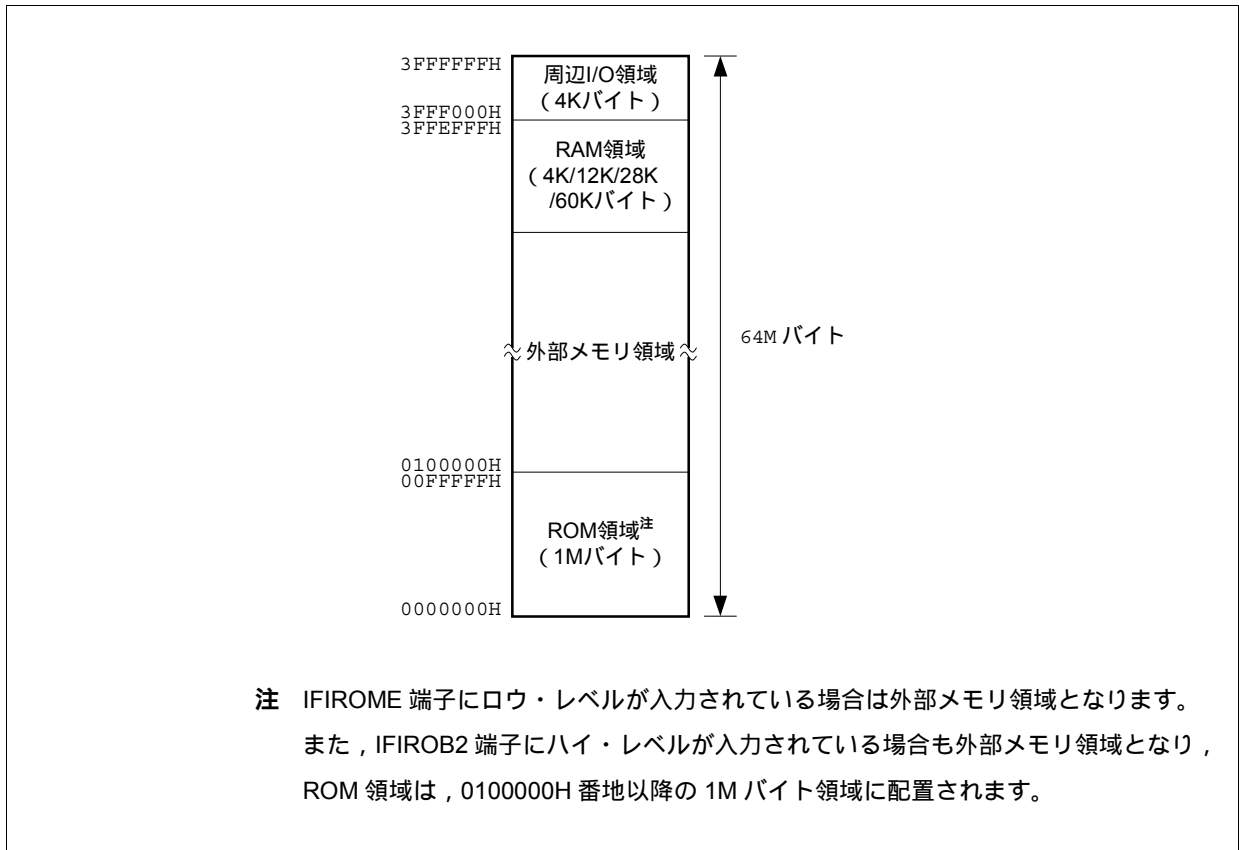
図3-5 アドレス空間



3.3.1 プログラム領域

命令アドレスのアドレッシングにおいては、最大 64M バイトのリニア・アドレス空間（プログラム領域）をサポートしています。

図3-6 プログラム領域



3.3.2 データ領域

オペランド・アドレッシング（データ・アクセス）においては、最大 4G バイトのリニア・アドレス空間（データ領域）をサポートしています。

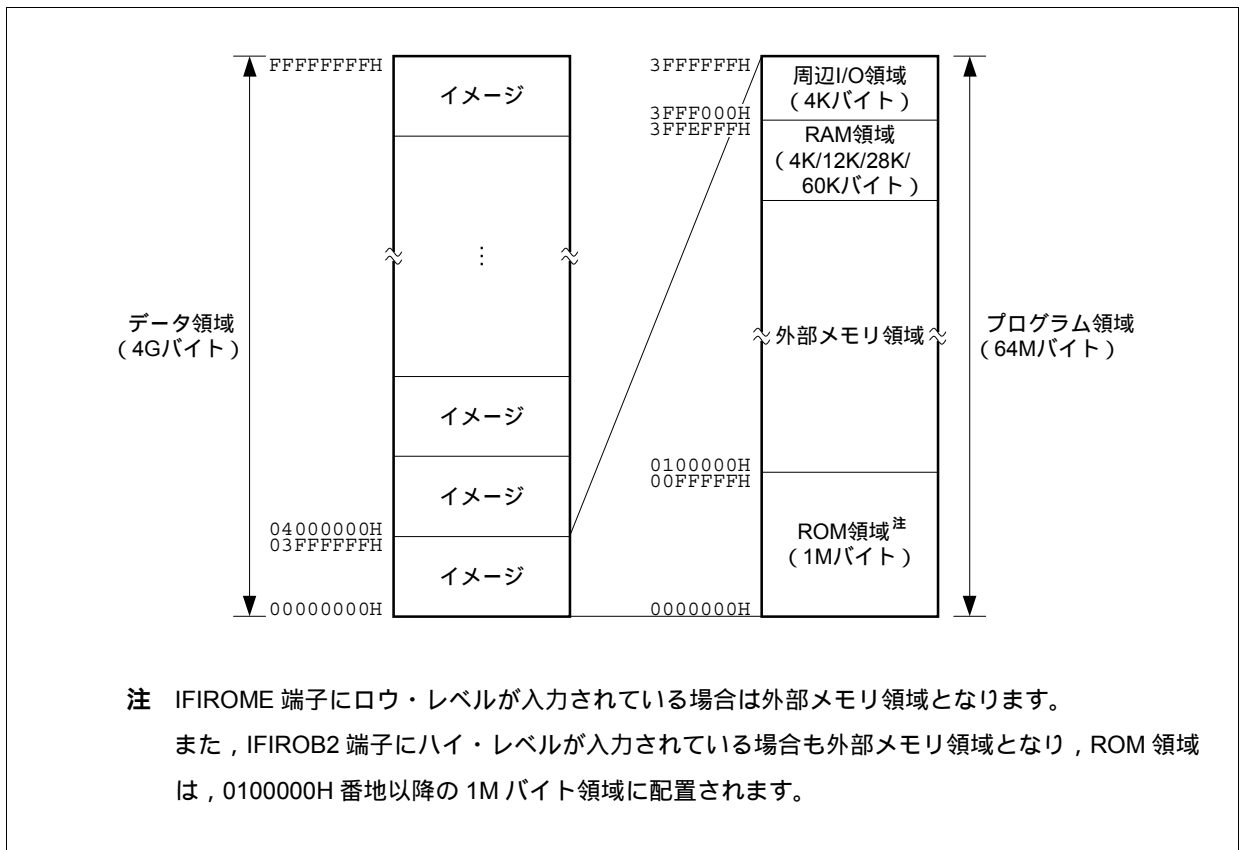
ROM, RAM, 周辺 I/O 領域は、それぞれ、64M バイトまたは 256M バイトのアドレス空間に配置されます。設定は、IFID256 端子への入力レベルにより選択します。

(1) 64M バイト・モード時

IFID256 端子にロウ・レベルを入力すると 64M バイト・モードに設定されます。

このモードでは、4G バイトのアドレス空間に 64M バイトの物理アドレス空間が 64 個のイメージとして見えます。つまり、CPU アドレスのビット 31-ビット 26 がどのような値でも、同じ 64M バイトの物理アドレス空間をアクセスします。

図3-7 データ領域（64Mバイト・モード時）



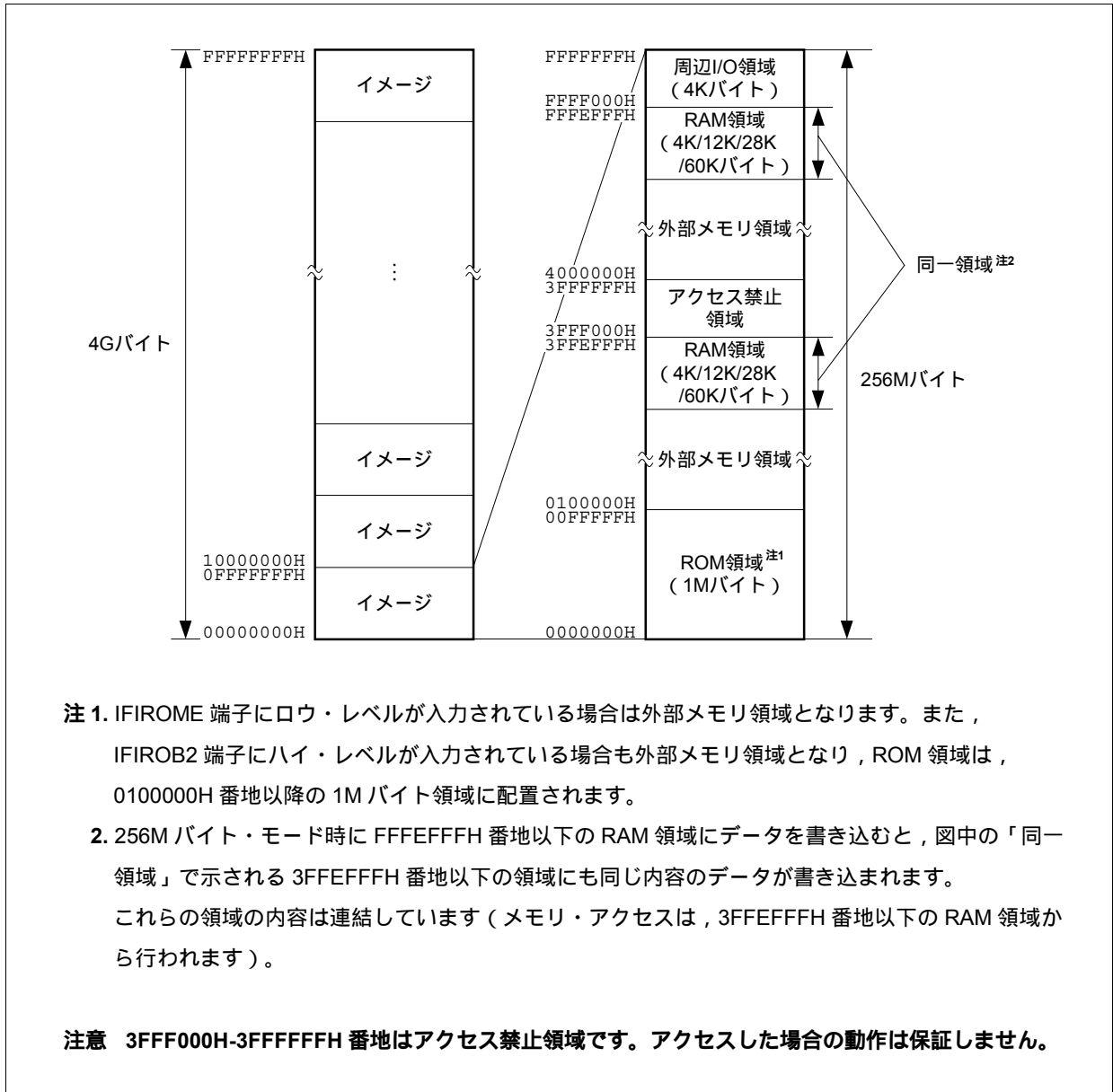
注 IFIROME 端子にロウ・レベルが入力されている場合は外部メモリ領域となります。
 また、IFIROB2 端子にハイ・レベルが入力されている場合も外部メモリ領域となり、ROM 領域は、0100000H 番地以降の 1M バイト領域に配置されます。

(2) 256M バイト・モード時

IFID256 端子にハイ・レベルを入力すると 256M バイト・モードに設定されます。

このモードでは、4G バイトのアドレス空間に 256M バイトの物理アドレス空間が 16 個のイメージとして見えます。つまり、CPU アドレスのビット 31-ビット 28 がどのような値でも、同じ 256M バイトの物理アドレス空間をアクセスします。

図3-8 データ領域 (256Mバイト・モード時)



注 1. IFIROME 端子にロウ・レベルが入力されている場合は外部メモリ領域となります。また、IFIROB2 端子にハイ・レベルが入力されている場合も外部メモリ領域となり、ROM 領域は、0100000H 番地以降の 1M バイト領域に配置されます。

2. 256M バイト・モード時に FFFEFFFFH 番地以下の RAM 領域にデータを書き込むと、図中の「同一領域」で示される 3FFEFFFFH 番地以下の領域にも同じ内容のデータが書き込まれます。これらの領域の内容は連結しています (メモリ・アクセスは、3FFEFFFFH 番地以下の RAM 領域から行われます)。

注意 3FFF000H-3FFFFFFFH 番地はアクセス禁止領域です。アクセスした場合の動作は保証しません。

3.4 領域

3.4.1 ROM領域

IFIROME 端子にハイ・レベルが入力されていると、VFB に接続された ROM へのアクセスを行うための ROM 領域が設定されます。

(1) ROM リロケーション機能

ROM 領域として、00000000H-000FFFFFFH 番地、または 00100000H-001FFFFFFH 番地の 1M バイトが予約されています。

配置する領域は、IFIROB2 端子への入力レベルにより選択します。

(2) 割り込み / 例外テーブル

NU85E では、割り込み / 例外に対応した飛び先アドレスを固定することにより、割り込み応答性を高速化しています。

この飛び先アドレスの集合を割り込み / 例外テーブルと呼び、00000000H 番地以降に配置されます。割り込み / 例外要求が受け付けられると、飛び先アドレスにジャンプし、そのメモリに書かれているプログラムを実行します。

備考 00000000H 番地が外部メモリ領域に設定されている場合、リセット・ルーチンへの飛び先アドレスを外部メモリの 00000000H 番地に用意してください。

図3 - 9 ROM領域

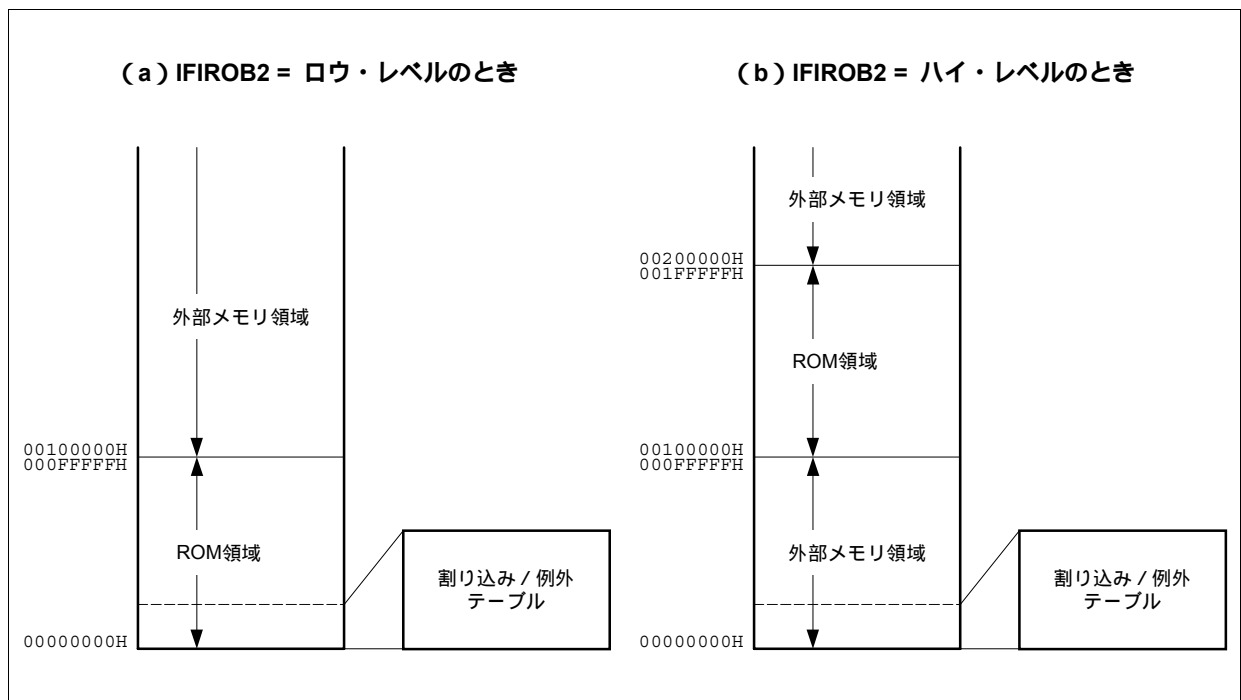


表3-3 割り込み/例外テーブル

| 先頭アドレス | 割り込み/例外要因 | 先頭アドレス | 割り込み/例外要因 | 先頭アドレス | 割り込み/例外要因 |
|-----------|---------------------|-----------|-----------|-----------|-----------|
| 00000000H | RESET | 00000190H | INT17 | 00000310H | INT41 |
| 00000010H | NMI0 | 000001A0H | INT18 | 00000320H | INT42 |
| 00000020H | NMI1 | 000001B0H | INT19 | 00000330H | INT43 |
| 00000030H | NMI2 | 000001C0H | INT20 | 00000340H | INT44 |
| 00000040H | TRAP0n (n = 0-FH) | 000001D0H | INT21 | 00000350H | INT45 |
| 00000050H | TRAP1n (n = 0-FH) | 000001E0H | INT22 | 00000360H | INT46 |
| 00000060H | ILGOP | 000001F0H | INT23 | 00000370H | INT47 |
| 00000080H | INT0 | 00000200H | INT24 | 00000380H | INT48 |
| 00000090H | INT1 | 00000210H | INT25 | 00000390H | INT49 |
| 000000A0H | INT2 | 00000220H | INT26 | 000003A0H | INT50 |
| 000000B0H | INT3 | 00000230H | INT27 | 000003B0H | INT51 |
| 000000C0H | INT4 | 00000240H | INT28 | 000003C0H | INT52 |
| 000000D0H | INT5 | 00000250H | INT29 | 000003D0H | INT53 |
| 000000E0H | INT6 | 00000260H | INT30 | 000003E0H | INT54 |
| 000000F0H | INT7 | 00000270H | INT31 | 000003F0H | INT55 |
| 00000100H | INT8 | 00000280H | INT32 | 00000400H | INT56 |
| 00000110H | INT9 | 00000290H | INT33 | 00000410H | INT57 |
| 00000120H | INT10 | 000002A0H | INT34 | 00000420H | INT58 |
| 00000130H | INT11 | 000002B0H | INT35 | 00000430H | INT59 |
| 00000140H | INT12 | 000002C0H | INT36 | 00000440H | INT60 |
| 00000150H | INT13 | 000002D0H | INT37 | 00000450H | INT61 |
| 00000160H | INT14 | 000002E0H | INT38 | 00000460H | INT62 |
| 00000170H | INT15 | 000002F0H | INT39 | 00000470H | INT63 |
| 00000180H | INT16 | 00000300H | INT40 | - | - |

備考 割り込み/例外要因については、表8-1 割り込み/例外一覧を参照してください。

3.4.2 RAM 領域

VDB に接続される RAM の領域として、64M バイト・モード時は、3FFEFFFH 番地以下の領域が、256M バイト・モード時は、FFFEFFFH 番地以下の領域が予約されています。

RAM のサイズは、4K バイト、12K バイト、28K バイト、60K バイトから選択可能で、IFRA64, IFRA32, IFRA16 端子への入力レベルにより設定します。

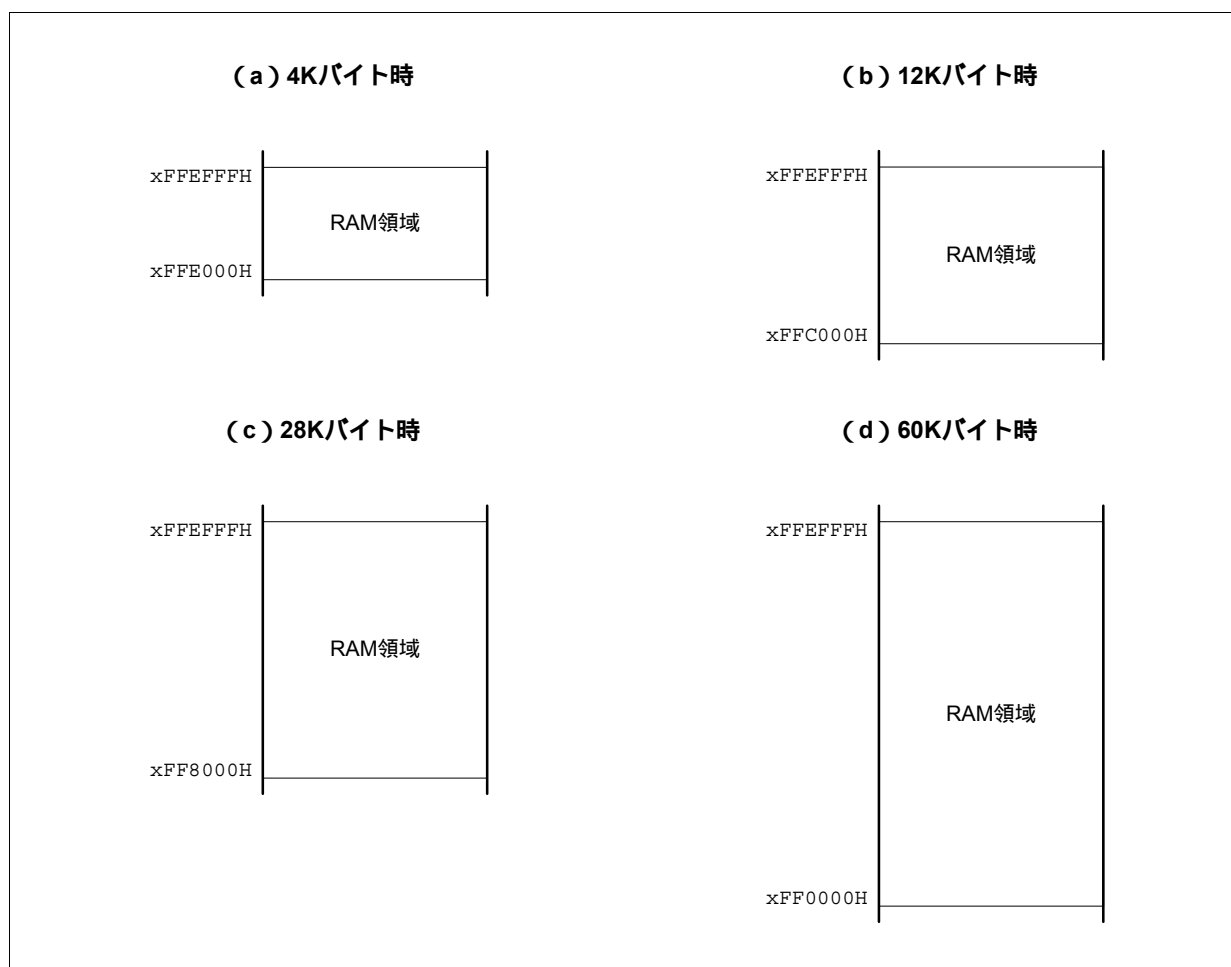
表3 - 4 RAM領域サイズの設定

| IFIRA64 | IFIRA32 | IFIRA16 | RAM 領域サイズ |
|---------|---------|---------|-----------|
| 0 | 0 | 0 | 4K バイト |
| 0 | 0 | 1 | 12K バイト |
| 0 | 1 | 任意 | 28K バイト |
| 1 | 任意 | 任意 | 60K バイト |

備考 0：ロウ・レベル入力

1：ハイ・レベル入力

図3 - 10 RAM領域



なお、RAM 領域サイズを、4K, 12K, 28K, 60K バイト以外で使用する場合は、次のように設定してください。

(a) 「RAM 領域サイズ = 0K バイト (RAM レス)」の場合

RAM 領域サイズを 4K バイトに設定し、VDB 用端子は 2.3 未使用端子の処理に示される内容で処理してください。

(b) 「0K バイト < RAM 領域サイズ < 4K バイト」の場合

RAM 領域サイズを 4K バイトに設定し、下位側のアドレスから RAM 領域として使用してください。

(c) 「4K バイト < RAM 領域サイズ < 12K バイト」の場合

RAM 領域サイズを 12K バイトに設定し、下位側のアドレスから RAM 領域として使用してください。

(d) 「12K バイト < RAM 領域サイズ < 28K バイト」の場合

RAM 領域サイズを 28K バイトに設定し、下位側のアドレスから RAM 領域として使用してください。

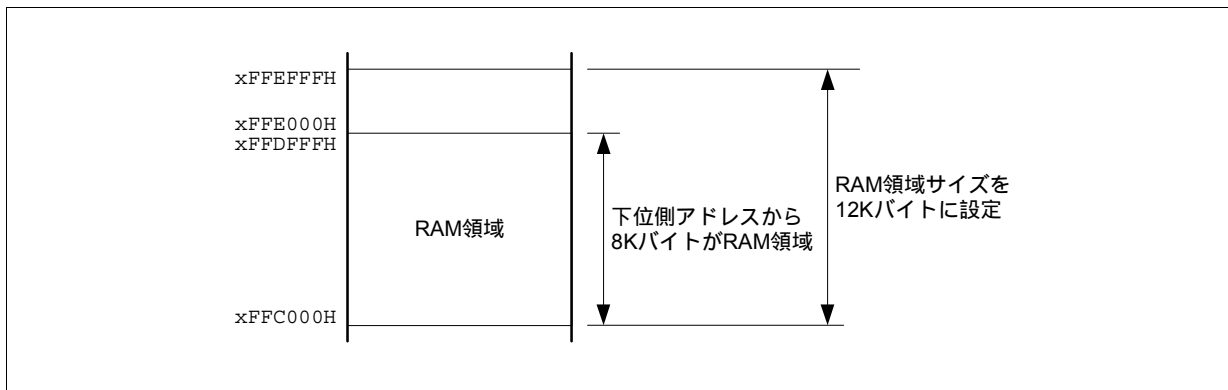
(e) 「28K バイト < RAM 領域サイズ < 60K バイト」の場合

RAM 領域サイズを 60K バイトに設定し、下位側のアドレスから RAM 領域として使用してください。

(f) 「60K バイト < RAM 領域サイズ」の場合

60K バイトを越える RAM 領域の設定はできません。

例 8K バイトの RAM を使用する場合のメモリ・マッピング



3.4.3 周辺 I/O 領域

周辺 I/O 領域として、64M バイト・モード時は 3FFFFFFH 番地以下の領域が、256M バイト・モード時は FFFFFFFH 番地以下の領域が予約されています。

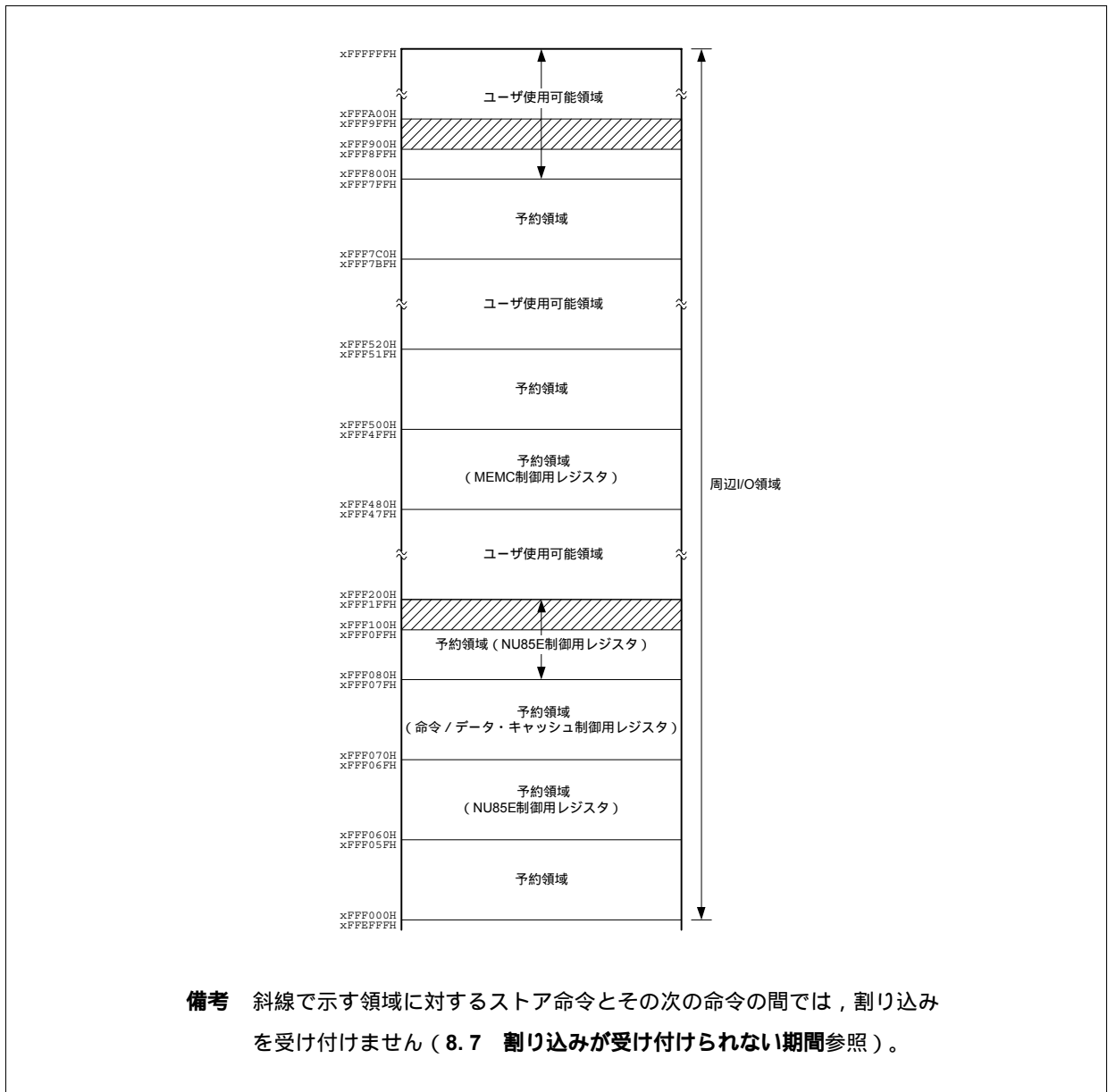
この領域には、NU85E、メモリ・コントローラ (MEMC)、命令 / データ・キャッシュの動作モード指定や状態のモニタリングなどの機能を割り付けた周辺 I/O レジスタが配置されています。

割り付けられているレジスタについては、3.5 周辺 I/O レジスタを参照してください。

注意 ユーザが定義するアドレスの割り付けは次の領域 (ユーザ使用可能) で行ってください。それ以外のアドレスは予約されているため使用しないでください。

- xFFF200H-xFFF47FH
- xFFF520H-xFFF7BFH
- xFFF800H-xFFFFFFH

図3 - 11 周辺 I/O 領域



備考 斜線で示す領域に対するストア命令とその次の命令の間では、割り込みを受け付けません (8.7 割り込みが受け付けられない期間参照)。

3.4.4 外部メモリ領域

外部メモリ領域へのアクセスは、各バンクごとに割り当てられた VDCSZ7-VDCSZ0 信号を使用します（4.

2 メモリ・バンク参照）。

また、この領域には周辺 I/O 領域とは独立して、「プログラマブル周辺 I/O 領域」を割り付けられます（4.4 プログラマブル周辺 I/O 領域選択機能参照）。

注意 ROM, RAM, 周辺 I/O の各領域に対しては、外部メモリ領域としてアクセスできません。

3.5 周辺 I/O レジスタ

- (1) ハードウェア的には、レジスタ・アドレスのデコードには、32 ビット・アドレスの下位 12 ビットだけを使用し、xxxxx000H-xxxxxFFFH の 4K バイトの領域を割り付けに使用しています。
- (2) アドレスの最下位ビットは、デコードしていません。したがって、奇数アドレス ($2n+1$ 番地) のレジスタにバイト・アクセスした場合は、ハードウェア上、偶数アドレス ($2n$) のレジスタへのアクセスが行われます。
- (3) NU85E では、ワード・アクセス可能なレジスタは存在しませんが、レジスタにワード・アクセスを行うと、アドレスの下位 2 ビットを無視したワード領域に対し下位、上位の順序でハーフワード・アクセスを 2 回行います。
- (4) バイト・アクセス可能なレジスタに対して、ハーフワード・アクセスした場合は、リード時は上位 8 ビットが不定となり、ライト時は下位 8 ビット・データがレジスタに書き込まれます。
- (5) NU85E 制御用レジスタ以外のレジスタの実体は、各マクロ (MEMC, 命令/データ・キャッシュ) に内蔵されています。

3.5.1 NU85E 制御用レジスタ

(1/4)

| アドレス | レジスタ名称 | 略号 | R/W | 操作可能ビット | | | 初期値 |
|-----------|----------------------------|-------|-----|---------|------|-------|---------------------------|
| | | | | 1ビット | 8ビット | 16ビット | |
| FFFFF060H | チップ領域セレクト制御レジスタ 0 | CSC0 | R/W | | | | 2C11H |
| FFFFF062H | チップ領域セレクト制御レジスタ 1 | CSC1 | R/W | | | | 2C11H |
| FFFFF064H | 周辺 I/O 領域セレクト制御レジスタ | BPC | R/W | | | | 0000H |
| FFFFF066H | バス・サイズ・コンフィギュレーション・レジスタ | BSC | R/W | | | | 0000H/ 5555H/ AAAAH |
| FFFFF068H | エンディアン・コンフィギュレーション・レジスタ | BEC | R/W | | | | 0000H |
| FFFFF06AH | キャッシュ・コンフィギュレーション・レジスタ | BHC | R/W | | | | 0000H |
| FFFFF06EH | NPB ストローブ・ウエイト・コントロール・レジスタ | VSWC | R/W | | | | 77H |
| FFFFF080H | DMA ソース・アドレス・レジスタ 0L | DSA0L | R/W | | | | 不定 |
| FFFFF082H | DMA ソース・アドレス・レジスタ 0H | DSA0H | R/W | | | | 不定 |
| FFFFF084H | DMA デスティネーション・アドレス・レジスタ 0L | DDA0L | R/W | | | | 不定 |
| FFFFF086H | DMA デスティネーション・アドレス・レジスタ 0H | DDA0H | R/W | | | | 不定 |
| FFFFF088H | DMA ソース・アドレス・レジスタ 1L | DSA1L | R/W | | | | 不定 |
| FFFFF08AH | DMA ソース・アドレス・レジスタ 1H | DSA1H | R/W | | | | 不定 |
| FFFFF08CH | DMA デスティネーション・アドレス・レジスタ 1L | DDA1L | R/W | | | | 不定 |
| FFFFF08EH | DMA デスティネーション・アドレス・レジスタ 1H | DDA1H | R/W | | | | 不定 |
| FFFFF090H | DMA ソース・アドレス・レジスタ 2L | DSA2L | R/W | | | | 不定 |
| FFFFF092H | DMA ソース・アドレス・レジスタ 2H | DSA2H | R/W | | | | 不定 |
| FFFFF094H | DMA デスティネーション・アドレス・レジスタ 2L | DDA2L | R/W | | | | 不定 |
| FFFFF096H | DMA デスティネーション・アドレス・レジスタ 2H | DDA2H | R/W | | | | 不定 |
| FFFFF098H | DMA ソース・アドレス・レジスタ 3L | DSA3L | R/W | | | | 不定 |
| FFFFF09AH | DMA ソース・アドレス・レジスタ 3H | DSA3H | R/W | | | | 不定 |
| FFFFF09CH | DMA デスティネーション・アドレス・レジスタ 3L | DDA3L | R/W | | | | 不定 |
| FFFFF09EH | DMA デスティネーション・アドレス・レジスタ 3H | DDA3H | R/W | | | | 不定 |
| FFFFF0C0H | DMA 転送カウント・レジスタ 0 | DBC0 | R/W | | | | 不定 |
| FFFFF0C2H | DMA 転送カウント・レジスタ 1 | DBC1 | R/W | | | | 不定 |
| FFFFF0C4H | DMA 転送カウント・レジスタ 2 | DBC2 | R/W | | | | 不定 |
| FFFFF0C6H | DMA 転送カウント・レジスタ 3 | DBC3 | R/W | | | | 不定 |
| FFFFF0D0H | DMA アドレッシング・コントロール・レジスタ 0 | DADC0 | R/W | | | | 0000H |
| FFFFF0D2H | DMA アドレッシング・コントロール・レジスタ 1 | DADC1 | R/W | | | | 0000H |
| FFFFF0D4H | DMA アドレッシング・コントロール・レジスタ 2 | DADC2 | R/W | | | | 0000H |
| FFFFF0D6H | DMA アドレッシング・コントロール・レジスタ 3 | DADC3 | R/W | | | | 0000H |
| FFFFF0E0H | DMA チャネル・コントロール・レジスタ 0 | DCHC0 | R/W | | | | 00H |
| FFFFF0E2H | DMA チャネル・コントロール・レジスタ 1 | DCHC1 | R/W | | | | 00H |
| FFFFF0E4H | DMA チャネル・コントロール・レジスタ 2 | DCHC2 | R/W | | | | 00H |

| アドレス | レジスタ名称 | 略号 | R/W | 操作可能ビット | | | 初期値 |
|-----------|-------------------------|-------|-----|---------|------|-------|-------|
| | | | | 1ビット | 8ビット | 16ビット | |
| FFFFF0E6H | DMA チャンネル・コントロール・レジスタ 3 | DCHC3 | R/W | | | | 00H |
| FFFFF0F0H | DMA ディスエーブル・ステータス・レジスタ | DDIS | R | | | | 00H |
| FFFFF0F2H | DMA リスタート・レジスタ | DRST | R/W | | | | 00H |
| FFFFF100H | 割り込みマスク・レジスタ 0 | IMR0 | R/W | | | | FFFFH |
| FFFFF100H | 割り込みマスク・レジスタ 0L | IMR0L | R/W | | | | FFH |
| FFFFF101H | 割り込みマスク・レジスタ 0H | IMR0H | R/W | | | | FFH |
| FFFFF102H | 割り込みマスク・レジスタ 1 | IMR1 | R/W | | | | FFFFH |
| FFFFF102H | 割り込みマスク・レジスタ 1L | IMR1L | R/W | | | | FFH |
| FFFFF103H | 割り込みマスク・レジスタ 1H | IMR1H | R/W | | | | FFH |
| FFFFF104H | 割り込みマスク・レジスタ 2 | IMR2 | R/W | | | | FFFFH |
| FFFFF104H | 割り込みマスク・レジスタ 2L | IMR2L | R/W | | | | FFH |
| FFFFF105H | 割り込みマスク・レジスタ 2H | IMR2H | R/W | | | | FFH |
| FFFFF106H | 割り込みマスク・レジスタ 3 | IMR3 | R/W | | | | FFFFH |
| FFFFF106H | 割り込みマスク・レジスタ 3L | IMR3L | R/W | | | | FFH |
| FFFFF107H | 割り込みマスク・レジスタ 3H | IMR3H | R/W | | | | FFH |
| FFFFF110H | 割り込み制御レジスタ 0 | PIC0 | R/W | | | | 47H |
| FFFFF112H | 割り込み制御レジスタ 1 | PIC1 | R/W | | | | 47H |
| FFFFF114H | 割り込み制御レジスタ 2 | PIC2 | R/W | | | | 47H |
| FFFFF116H | 割り込み制御レジスタ 3 | PIC3 | R/W | | | | 47H |
| FFFFF118H | 割り込み制御レジスタ 4 | PIC4 | R/W | | | | 47H |
| FFFFF11AH | 割り込み制御レジスタ 5 | PIC5 | R/W | | | | 47H |
| FFFFF11CH | 割り込み制御レジスタ 6 | PIC6 | R/W | | | | 47H |
| FFFFF11EH | 割り込み制御レジスタ 7 | PIC7 | R/W | | | | 47H |
| FFFFF120H | 割り込み制御レジスタ 8 | PIC8 | R/W | | | | 47H |
| FFFFF122H | 割り込み制御レジスタ 9 | PIC9 | R/W | | | | 47H |
| FFFFF124H | 割り込み制御レジスタ 10 | PIC10 | R/W | | | | 47H |
| FFFFF126H | 割り込み制御レジスタ 11 | PIC11 | R/W | | | | 47H |
| FFFFF128H | 割り込み制御レジスタ 12 | PIC12 | R/W | | | | 47H |
| FFFFF12AH | 割り込み制御レジスタ 13 | PIC13 | R/W | | | | 47H |
| FFFFF12CH | 割り込み制御レジスタ 14 | PIC14 | R/W | | | | 47H |
| FFFFF12EH | 割り込み制御レジスタ 15 | PIC15 | R/W | | | | 47H |
| FFFFF130H | 割り込み制御レジスタ 16 | PIC16 | R/W | | | | 47H |
| FFFFF132H | 割り込み制御レジスタ 17 | PIC17 | R/W | | | | 47H |
| FFFFF134H | 割り込み制御レジスタ 18 | PIC18 | R/W | | | | 47H |
| FFFFF136H | 割り込み制御レジスタ 19 | PIC19 | R/W | | | | 47H |
| FFFFF138H | 割り込み制御レジスタ 20 | PIC20 | R/W | | | | 47H |
| FFFFF13AH | 割り込み制御レジスタ 21 | PIC21 | R/W | | | | 47H |
| FFFFF13CH | 割り込み制御レジスタ 22 | PIC22 | R/W | | | | 47H |

| アドレス | レジスタ名称 | 略号 | R/W | 操作可能ビット | | | 初期値 |
|----------|---------------|-------|-----|---------|------|-------|-----|
| | | | | 1ビット | 8ビット | 16ビット | |
| FFFF13EH | 割り込み制御レジスタ 23 | PIC23 | R/W | | | | 47H |
| FFFF140H | 割り込み制御レジスタ 24 | PIC24 | R/W | | | | 47H |
| FFFF142H | 割り込み制御レジスタ 25 | PIC25 | R/W | | | | 47H |
| FFFF144H | 割り込み制御レジスタ 26 | PIC26 | R/W | | | | 47H |
| FFFF146H | 割り込み制御レジスタ 27 | PIC27 | R/W | | | | 47H |
| FFFF148H | 割り込み制御レジスタ 28 | PIC28 | R/W | | | | 47H |
| FFFF14AH | 割り込み制御レジスタ 29 | PIC29 | R/W | | | | 47H |
| FFFF14CH | 割り込み制御レジスタ 30 | PIC30 | R/W | | | | 47H |
| FFFF14EH | 割り込み制御レジスタ 31 | PIC31 | R/W | | | | 47H |
| FFFF150H | 割り込み制御レジスタ 32 | PIC32 | R/W | | | | 47H |
| FFFF152H | 割り込み制御レジスタ 33 | PIC33 | R/W | | | | 47H |
| FFFF154H | 割り込み制御レジスタ 34 | PIC34 | R/W | | | | 47H |
| FFFF156H | 割り込み制御レジスタ 35 | PIC35 | R/W | | | | 47H |
| FFFF158H | 割り込み制御レジスタ 36 | PIC36 | R/W | | | | 47H |
| FFFF15AH | 割り込み制御レジスタ 37 | PIC37 | R/W | | | | 47H |
| FFFF15CH | 割り込み制御レジスタ 38 | PIC38 | R/W | | | | 47H |
| FFFF15EH | 割り込み制御レジスタ 39 | PIC39 | R/W | | | | 47H |
| FFFF160H | 割り込み制御レジスタ 40 | PIC40 | R/W | | | | 47H |
| FFFF162H | 割り込み制御レジスタ 41 | PIC41 | R/W | | | | 47H |
| FFFF164H | 割り込み制御レジスタ 42 | PIC42 | R/W | | | | 47H |
| FFFF166H | 割り込み制御レジスタ 43 | PIC43 | R/W | | | | 47H |
| FFFF168H | 割り込み制御レジスタ 44 | PIC44 | R/W | | | | 47H |
| FFFF16AH | 割り込み制御レジスタ 45 | PIC45 | R/W | | | | 47H |
| FFFF16CH | 割り込み制御レジスタ 46 | PIC46 | R/W | | | | 47H |
| FFFF16EH | 割り込み制御レジスタ 47 | PIC47 | R/W | | | | 47H |
| FFFF170H | 割り込み制御レジスタ 48 | PIC48 | R/W | | | | 47H |
| FFFF172H | 割り込み制御レジスタ 49 | PIC49 | R/W | | | | 47H |
| FFFF174H | 割り込み制御レジスタ 50 | PIC50 | R/W | | | | 47H |
| FFFF176H | 割り込み制御レジスタ 51 | PIC51 | R/W | | | | 47H |
| FFFF178H | 割り込み制御レジスタ 52 | PIC52 | R/W | | | | 47H |
| FFFF17AH | 割り込み制御レジスタ 53 | PIC53 | R/W | | | | 47H |
| FFFF17CH | 割り込み制御レジスタ 54 | PIC54 | R/W | | | | 47H |
| FFFF17EH | 割り込み制御レジスタ 55 | PIC55 | R/W | | | | 47H |
| FFFF180H | 割り込み制御レジスタ 56 | PIC56 | R/W | | | | 47H |
| FFFF182H | 割り込み制御レジスタ 57 | PIC57 | R/W | | | | 47H |
| FFFF184H | 割り込み制御レジスタ 58 | PIC58 | R/W | | | | 47H |
| FFFF186H | 割り込み制御レジスタ 59 | PIC59 | R/W | | | | 47H |
| FFFF188H | 割り込み制御レジスタ 60 | PIC60 | R/W | | | | 47H |

(4/4)

| アドレス | レジスタ名称 | 略号 | R/W | 操作可能ビット | | | 初期値 |
|----------|---------------------|-------|-----|---------|------|-------|-----|
| | | | | 1ビット | 8ビット | 16ビット | |
| FFFF18AH | 割り込み制御レジスタ 61 | PIC61 | R/W | | | | 47H |
| FFFF18CH | 割り込み制御レジスタ 62 | PIC62 | R/W | | | | 47H |
| FFFF18EH | 割り込み制御レジスタ 63 | PIC63 | R/W | | | | 47H |
| FFFF1FAH | インサース・プライオリティ・レジスタ | ISPR | R | | | | 00H |
| FFFF1FCH | コマンド・レジスタ | PRCMD | W | | | | 不定 |
| FFFF1FEH | パワー・セーブ・コントロール・レジスタ | PSC | R/W | | | | 00H |

3.5.2 メモリ・コントローラ (MEMC) 制御用レジスタ

| アドレス | レジスタ名称 | 略号 | R/W | 操作可能ビット | | | 初期値 |
|-----------|-------------------------------|------|-----|---------|------|-------|-----------------|
| | | | | 1ビット | 8ビット | 16ビット | |
| FFFFF480H | バス・サイクル・タイプ・コンフィギュレーション・レジスタ0 | BCT0 | R/W | | | | 8888H/ 0000H |
| FFFFF482H | バス・サイクル・タイプ・コンフィギュレーション・レジスタ1 | BCT1 | R/W | | | | 8888H/ 0000H |
| FFFFF484H | データ・ウエイト制御レジスタ0 | DWC0 | R/W | | | | 7777H |
| FFFFF486H | データ・ウエイト制御レジスタ1 | DWC1 | R/W | | | | 7777H |
| FFFFF488H | バス・サイクル制御レジスタ | BCC | R/W | | | | FFFFH |
| FFFFF48AH | アドレス設定ウエイト制御レジスタ | ASC | R/W | | | | FFFFH |
| FFFFF48CH | バス・サイクル周期制御レジスタ | BCP | R/W | | | | 80H/00H |
| FFFFF49AH | ページROMコンフィギュレーション・レジスタ | PRC | R/W | | | | 7000H |
| FFFFF4A0H | SDRAMコンフィギュレーション・レジスタ0 | SCR0 | R/W | | | | 0000H |
| FFFFF4A2H | SDRAMリフレッシュ・コントロール・レジスタ0 | RFS0 | R/W | | | | 0000H |
| FFFFF4A4H | SDRAMコンフィギュレーション・レジスタ1 | SCR1 | R/W | | | | 0000H |
| FFFFF4A6H | SDRAMリフレッシュ・コントロール・レジスタ1 | RFS1 | R/W | | | | 0000H |
| FFFFF4A8H | SDRAMコンフィギュレーション・レジスタ2 | SCR2 | R/W | | | | 0000H |
| FFFFF4AAH | SDRAMリフレッシュ・コントロール・レジスタ2 | RFS2 | R/W | | | | 0000H |
| FFFFF4ACH | SDRAMコンフィギュレーション・レジスタ3 | SCR3 | R/W | | | | 0000H |
| FFFFF4AEH | SDRAMリフレッシュ・コントロール・レジスタ3 | RFS3 | R/W | | | | 0000H |
| FFFFF4B0H | SDRAMコンフィギュレーション・レジスタ4 | SCR4 | R/W | | | | 0000H |
| FFFFF4B2H | SDRAMリフレッシュ・コントロール・レジスタ4 | RFS4 | R/W | | | | 0000H |
| FFFFF4B4H | SDRAMコンフィギュレーション・レジスタ5 | SCR5 | R/W | | | | 0000H |
| FFFFF4B6H | SDRAMリフレッシュ・コントロール・レジスタ5 | RFS5 | R/W | | | | 0000H |
| FFFFF4B8H | SDRAMコンフィギュレーション・レジスタ6 | SCR6 | R/W | | | | 0000H |
| FFFFF4BAH | SDRAMリフレッシュ・コントロール・レジスタ6 | RFS6 | R/W | | | | 0000H |
| FFFFF4BCH | SDRAMコンフィギュレーション・レジスタ7 | SCR7 | R/W | | | | 0000H |
| FFFFF4BEH | SDRAMリフレッシュ・コントロール・レジスタ7 | RFS7 | R/W | | | | 0000H |

3.5.3 命令キャッシュ制御用レジスタ

| アドレス | レジスタ名称 | 略号 | R/W | 操作可能ビット | | | 初期値 |
|------------|------------------------------|------|-----|---------|------|-------|---------------------|
| | | | | 1ビット | 8ビット | 16ビット | |
| FFFFFF070H | 命令キャッシュ・コントロール・レジスタ | ICC | R/W | | | | 0003H ^{注1} |
| FFFFFF070H | 命令キャッシュ・コントロール・レジスタL | ICCL | R/W | | | | 03H ^{注2} |
| FFFFFF071H | 命令キャッシュ・コントロール・レジスタH | ICCH | R/W | | | | 00H |
| FFFFFF074H | 命令キャッシュ・データ・コンフィギュレーション・レジスタ | ICD | R/W | | | | 不定 |

注1. リセット・アクティブ時は 0003H になり、自動的にタグの初期化を開始します。タグの初期化が完了すると 0000H になります。

2. リセット・アクティブ時は 03H になり、自動的にタグの初期化を開始します。タグの初期化が完了すると 00H になります。

3.5.4 データ・キャッシュ制御用レジスタ

| アドレス | レジスタ名称 | 略号 | R/W | 操作可能ビット | | | 初期値 |
|------------|--------------------------------|-----|-----|---------|------|-------|--------------------|
| | | | | 1ビット | 8ビット | 16ビット | |
| FFFFFF078H | データ・キャッシュ・コントロール・レジスタ | DCC | R/W | | | | 0003H ^注 |
| FFFFFF07CH | データ・キャッシュ・データ・コンフィギュレーション・レジスタ | DCD | R/W | | | | 不定 |

注 リセット・アクティブ時は 0003H になり、自動的にタグの初期化を開始します。タグの初期化が完了すると 0000H になります。

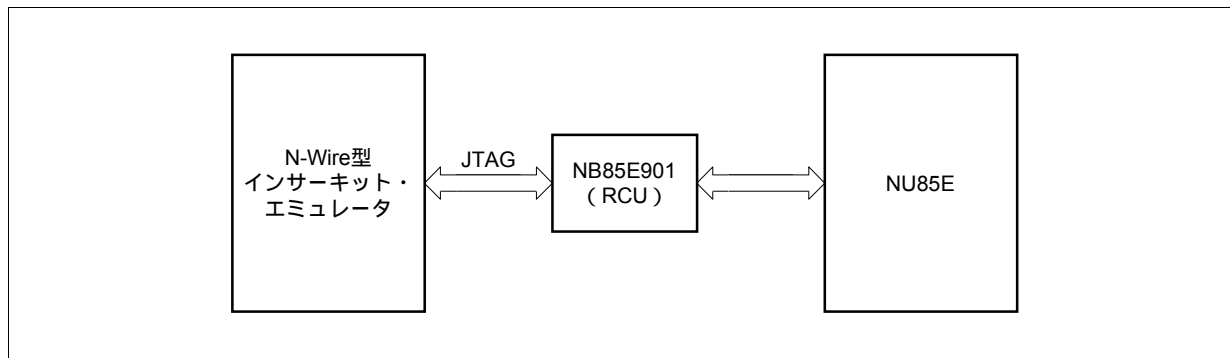
3.6 RCU インタフェース

3.6.1 概要

RCU インタフェースは、NB85E901 (RCU: ラン・コントロール・ユニット) との接続を行うためのバス・インタフェースです。

RCU は N-Wire 型インサーキット・エミュレータとの JTAG による通信やディバグ処理の実行を制御します。

図3 - 12 RCUを介したNU85EとN-Wire型インサーキット・エミュレータの接続概略図



3.6.2 オンチップ・ディバグ

RCU を NU85E に接続することにより、オンチップ・ディバグ（オンボードでのディバグ機能）が実現可能です。NU85E の CPU は、実行アドレス、アクセス・アドレス、アクセス・データ、範囲（アドレス・マスク）、2 段シーケンシャル実行による検出が可能なブレークポイント機能や外部ポート入力によるブレーク割り込み機能を搭載しています。RCU を NU85E に接続することにより、これらの機能を使ってディバグが行えるうえ、バックグラウンド・モニタ方式の JTAG を使用した ROM エミュレータや N-Wire 型インサーキット・エミュレータが使用可能です。

第4章 BCU

BCU (バス・コントロール・ユニット) は、VSB 上のバス・マスタとして動作し、内蔵のバス・ブリッジ (BBR)、テスト・インタフェース・コントロール・ユニット (TIC) や、VSB に接続された外部メモリ・コントローラ (MEMC) などの周辺マクロ (バス・スレーブ) を制御します。

4.1 特 徴

- 32 ビット独立入出力セパレート・データ・バス
- クロックの立ち上がりから次の立ち下がりの間の 1 バス・クロック転送
- バス・サイジング機能による 32 ビット・バス上での 8/16/32 ビット単位のデータ転送
- マルチマスタ・システム用のバス・アービトレーション
- プログラマブル・チップ・セレクト機能
- プログラマブル周辺 I/O 領域セレクト機能
- エンディアン設定機能

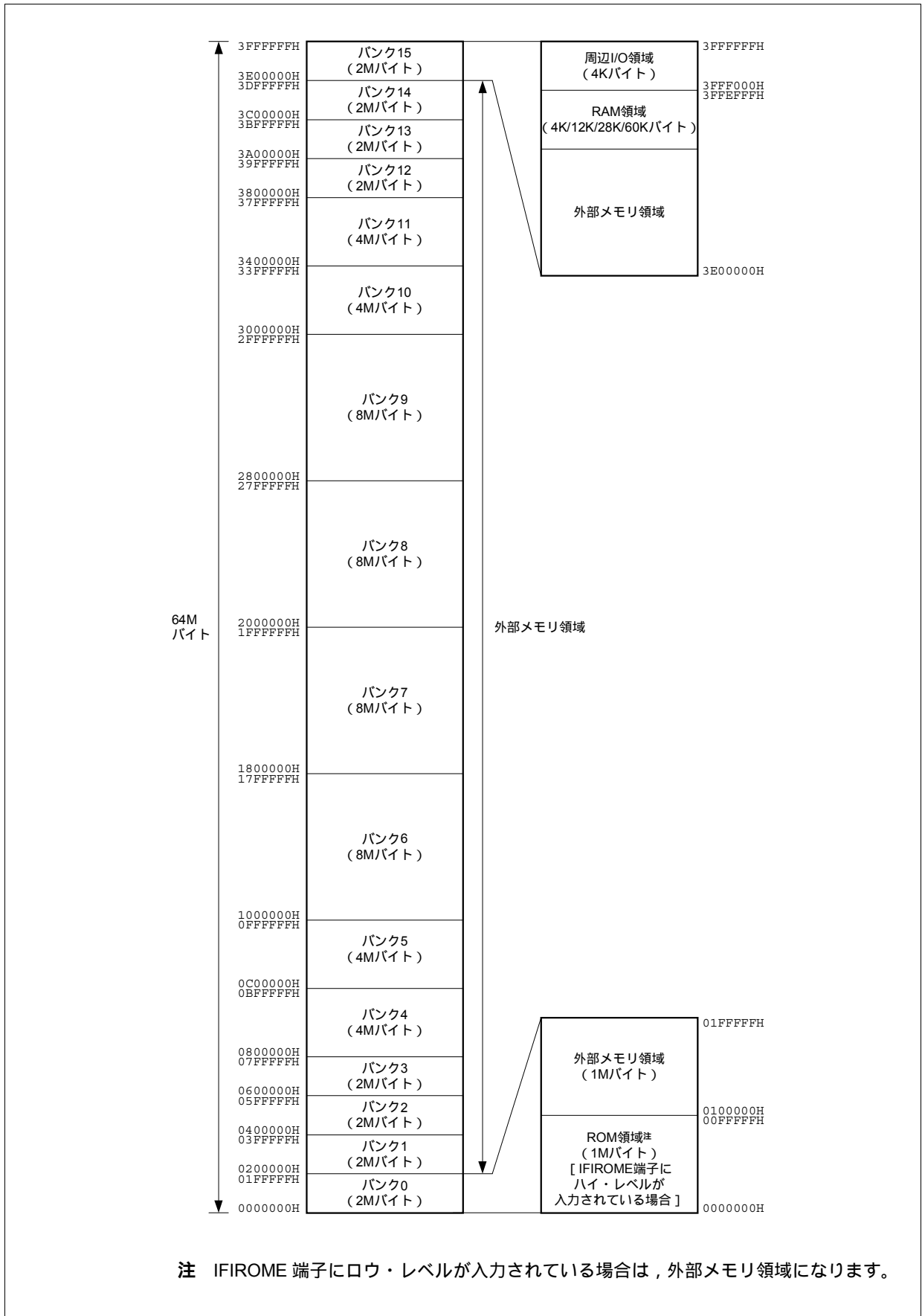
4.2 メモリ・バンク

データ領域は、複数の単位 (バンク) に分割されます。

BCU は、各バンクを任意で組み合わせた「CSn 領域」単位でバス・サイズ設定、エンディアン設定、キャッシュ設定を行います。CSn 領域の設定は、各バンクに対応する VDCSZn 信号に基づいて行います (n = 7-0)。

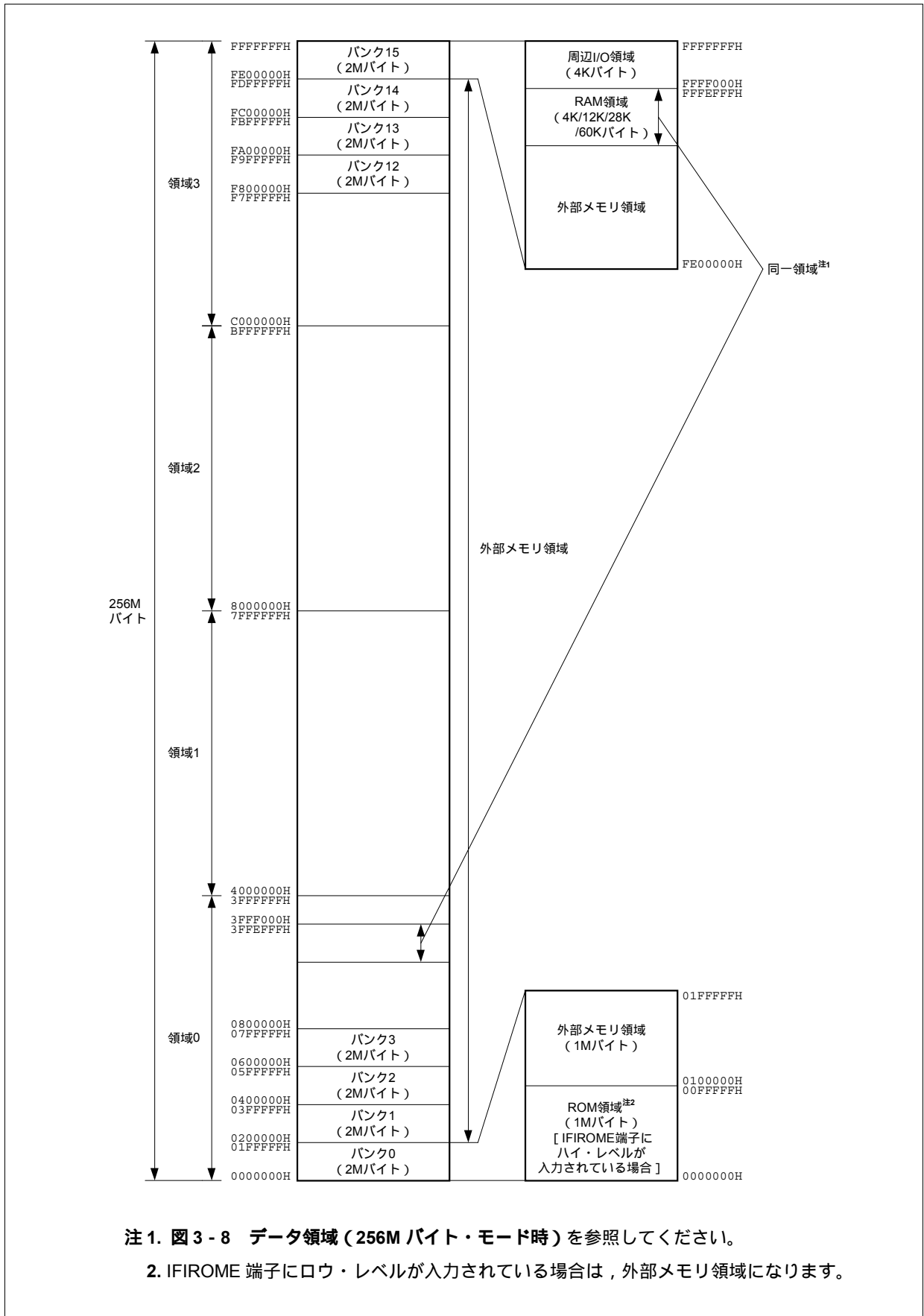
(1) 64M バイト・モード時のメモリ・バンク

64M バイトのデータ領域は、2M, 4M, 8M バイト単位のメモリ・バンクに分割されます。



(2) 256M バイト・モード時のメモリ・バンク

256M バイトのデータ領域は、2M バイト単位のメモリ・バンクを含む領域 0-領域 3 に分割されます。



4.3 プログラマブル・チップ・セレクト機能

チップ領域セレクト制御レジスタ 0, 1 (CSC0, CSC1) により, メモリの各バンクに対応する VDCSZn 信号を設定し, データ領域を複数の CSn 領域に分割します (n = 7-0)。CSC0, CSC1 レジスタは, 16 ビット単位でリード/ライト可能です。なお, CSC0, CSC1 レジスタ設定により同一バンクに対する VDCSZn 信号が重複する場合, 各信号の優先順位は次のようになります。

- VDCSZ0 > VDCSZ2 > VDCSZ1 > VDCSZ3
- VDCSZ7 > VDCSZ5 > VDCSZ6 > VDCSZ4

図4-1 チップ領域セレクト制御レジスタ0 (CSC0)

| | | | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|-------|
| CSC0 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | 初期値 |
| | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | FFFFF060H | 2C11H |
| | 33 | 32 | 31 | 30 | 23 | 22 | 21 | 20 | 13 | 12 | 11 | 10 | 03 | 02 | 01 | 00 | | |

| ビット位置 | ビット名 | 意味 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------|----------------------------|--|------|--------------------|--|--|--------------|---------------|------|----------------------|--|------|----------------------|--|------|----------------------|--|------|----------------------|--|------|------------------------|--|------|------------------------|------|----------------------|------|----------------------|------|----------------------|--|------|----------------------|--|------|----------------------|--|------|----------------------|--|------|----------------------------|--|------|------------------------|------|----------------------|------|----------------------|
| 15-0 | CSn3- CSn0 | <p>各ビットをセット (1) すると, カッコ内の条件で VDCSZn 信号がアクティブとなります。</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット名</th> <th colspan="2" style="text-align: center;">アクティブとなる VDCSZn 信号</th> </tr> <tr> <td></td> <th style="width: 50%;">64M バイト・モード時</th> <th style="width: 40%;">256M バイト・モード時</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">CS00</td> <td colspan="2">VDCSZ0 (バンク 0 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS01</td> <td colspan="2">VDCSZ0 (バンク 1 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS02</td> <td colspan="2">VDCSZ0 (バンク 2 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS03</td> <td colspan="2">VDCSZ0 (バンク 3 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS10</td> <td>VDCSZ1 (バンク 0/1 アクセス時)</td> <td rowspan="4" style="text-align: center;">VDCSZ1 (領域 0 アクセス時) (各ビットのクリア (0) 時と同じ)</td> </tr> <tr> <td style="text-align: center;">CS11</td> <td>VDCSZ1 (バンク 2/3 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS12</td> <td>VDCSZ1 (バンク 4 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS13</td> <td>VDCSZ1 (バンク 5 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS20</td> <td colspan="2">VDCSZ2 (バンク 0 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS21</td> <td colspan="2">VDCSZ2 (バンク 1 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS22</td> <td colspan="2">VDCSZ2 (バンク 2 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS23</td> <td colspan="2">VDCSZ2 (バンク 3 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS30</td> <td>VDCSZ3 (バンク 0/1/2/3 アクセス時)</td> <td rowspan="4" style="text-align: center;">VDCSZ3 (領域 1 アクセス時) (各ビットのクリア (0) 時と同じ)</td> </tr> <tr> <td style="text-align: center;">CS31</td> <td>VDCSZ3 (バンク 4/5 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS32</td> <td>VDCSZ3 (バンク 6 アクセス時)</td> </tr> <tr> <td style="text-align: center;">CS33</td> <td>VDCSZ3 (バンク 7 アクセス時)</td> </tr> </tbody> </table> | ビット名 | アクティブとなる VDCSZn 信号 | | | 64M バイト・モード時 | 256M バイト・モード時 | CS00 | VDCSZ0 (バンク 0 アクセス時) | | CS01 | VDCSZ0 (バンク 1 アクセス時) | | CS02 | VDCSZ0 (バンク 2 アクセス時) | | CS03 | VDCSZ0 (バンク 3 アクセス時) | | CS10 | VDCSZ1 (バンク 0/1 アクセス時) | VDCSZ1 (領域 0 アクセス時) (各ビットのクリア (0) 時と同じ) | CS11 | VDCSZ1 (バンク 2/3 アクセス時) | CS12 | VDCSZ1 (バンク 4 アクセス時) | CS13 | VDCSZ1 (バンク 5 アクセス時) | CS20 | VDCSZ2 (バンク 0 アクセス時) | | CS21 | VDCSZ2 (バンク 1 アクセス時) | | CS22 | VDCSZ2 (バンク 2 アクセス時) | | CS23 | VDCSZ2 (バンク 3 アクセス時) | | CS30 | VDCSZ3 (バンク 0/1/2/3 アクセス時) | VDCSZ3 (領域 1 アクセス時) (各ビットのクリア (0) 時と同じ) | CS31 | VDCSZ3 (バンク 4/5 アクセス時) | CS32 | VDCSZ3 (バンク 6 アクセス時) | CS33 | VDCSZ3 (バンク 7 アクセス時) |
| ビット名 | アクティブとなる VDCSZn 信号 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | 64M バイト・モード時 | 256M バイト・モード時 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS00 | VDCSZ0 (バンク 0 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS01 | VDCSZ0 (バンク 1 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS02 | VDCSZ0 (バンク 2 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS03 | VDCSZ0 (バンク 3 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS10 | VDCSZ1 (バンク 0/1 アクセス時) | VDCSZ1 (領域 0 アクセス時) (各ビットのクリア (0) 時と同じ) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS11 | VDCSZ1 (バンク 2/3 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS12 | VDCSZ1 (バンク 4 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS13 | VDCSZ1 (バンク 5 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS20 | VDCSZ2 (バンク 0 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS21 | VDCSZ2 (バンク 1 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS22 | VDCSZ2 (バンク 2 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS23 | VDCSZ2 (バンク 3 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS30 | VDCSZ3 (バンク 0/1/2/3 アクセス時) | VDCSZ3 (領域 1 アクセス時) (各ビットのクリア (0) 時と同じ) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS31 | VDCSZ3 (バンク 4/5 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS32 | VDCSZ3 (バンク 6 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS33 | VDCSZ3 (バンク 7 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

備考 n = 3-0

図4-2 チップ領域セレクト制御レジスタ1 (CSC1)

| | | | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|-------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | 初期値 |
| CSC1 | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | CS | FFFFF062H | 2C11H |
| | 43 | 42 | 41 | 40 | 53 | 52 | 51 | 50 | 63 | 62 | 61 | 60 | 73 | 72 | 71 | 70 | | |

| ビット位置 | ビット名 | 意味 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------|-----------------------------------|--|------|--------------------|--|--------------|---------------|------|-----------------------------------|--|------|--------------------------|------|----------------------|------|----------------------|------|-----------------------|--|------|-----------------------|--|------|-----------------------|--|------|-----------------------|--|------|--------------------------|--|------|--------------------------|------|-----------------------|------|-----------------------|------|-----------------------|--|------|-----------------------|--|------|-----------------------|--|------|-----------------------|--|
| 15-0 | CSn3- CSn0 | 各ビットをセット(1)すると、カッコ内の条件で VDCSZn 信号がアクティブとなります。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th rowspan="2">ビット名</th> <th colspan="2">アクティブとなる VDCSZn 信号</th> </tr> <tr> <th>64M バイト・モード時</th> <th>256M バイト・モード時</th> </tr> </thead> <tbody> <tr> <td>CS40</td> <td>VDCSZ4 (バンク 12/13/14/15 アクセス時)</td> <td rowspan="4">VDCSZ4 (領域 2 アクセス時) (各ビットのクリア(0)時も同じ)</td> </tr> <tr> <td>CS41</td> <td>VDCSZ4 (バンク 10/11 アクセス時)</td> </tr> <tr> <td>CS42</td> <td>VDCSZ4 (バンク 9 アクセス時)</td> </tr> <tr> <td>CS43</td> <td>VDCSZ4 (バンク 8 アクセス時)</td> </tr> <tr> <td>CS50</td> <td colspan="2">VDCSZ5 (バンク 15 アクセス時)</td> </tr> <tr> <td>CS51</td> <td colspan="2">VDCSZ5 (バンク 14 アクセス時)</td> </tr> <tr> <td>CS52</td> <td colspan="2">VDCSZ5 (バンク 13 アクセス時)</td> </tr> <tr> <td>CS53</td> <td colspan="2">VDCSZ5 (バンク 12 アクセス時)</td> </tr> <tr> <td>CS60</td> <td>VDCSZ6 (バンク 14/15 アクセス時)</td> <td rowspan="4">VDCSZ6 (領域 3 アクセス時) (各ビットのクリア(0)時も同じ)</td> </tr> <tr> <td>CS61</td> <td>VDCSZ6 (バンク 12/13 アクセス時)</td> </tr> <tr> <td>CS62</td> <td>VDCSZ6 (バンク 11 アクセス時)</td> </tr> <tr> <td>CS63</td> <td>VDCSZ6 (バンク 10 アクセス時)</td> </tr> <tr> <td>CS70</td> <td colspan="2">VDCSZ7 (バンク 15 アクセス時)</td> </tr> <tr> <td>CS71</td> <td colspan="2">VDCSZ7 (バンク 14 アクセス時)</td> </tr> <tr> <td>CS72</td> <td colspan="2">VDCSZ7 (バンク 13 アクセス時)</td> </tr> <tr> <td>CS73</td> <td colspan="2">VDCSZ7 (バンク 12 アクセス時)</td> </tr> </tbody> </table> | ビット名 | アクティブとなる VDCSZn 信号 | | 64M バイト・モード時 | 256M バイト・モード時 | CS40 | VDCSZ4 (バンク 12/13/14/15 アクセス時) | VDCSZ4 (領域 2 アクセス時) (各ビットのクリア(0)時も同じ) | CS41 | VDCSZ4 (バンク 10/11 アクセス時) | CS42 | VDCSZ4 (バンク 9 アクセス時) | CS43 | VDCSZ4 (バンク 8 アクセス時) | CS50 | VDCSZ5 (バンク 15 アクセス時) | | CS51 | VDCSZ5 (バンク 14 アクセス時) | | CS52 | VDCSZ5 (バンク 13 アクセス時) | | CS53 | VDCSZ5 (バンク 12 アクセス時) | | CS60 | VDCSZ6 (バンク 14/15 アクセス時) | VDCSZ6 (領域 3 アクセス時) (各ビットのクリア(0)時も同じ) | CS61 | VDCSZ6 (バンク 12/13 アクセス時) | CS62 | VDCSZ6 (バンク 11 アクセス時) | CS63 | VDCSZ6 (バンク 10 アクセス時) | CS70 | VDCSZ7 (バンク 15 アクセス時) | | CS71 | VDCSZ7 (バンク 14 アクセス時) | | CS72 | VDCSZ7 (バンク 13 アクセス時) | | CS73 | VDCSZ7 (バンク 12 アクセス時) | |
| ビット名 | アクティブとなる VDCSZn 信号 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | 64M バイト・モード時 | 256M バイト・モード時 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS40 | VDCSZ4 (バンク 12/13/14/15 アクセス時) | VDCSZ4 (領域 2 アクセス時) (各ビットのクリア(0)時も同じ) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS41 | VDCSZ4 (バンク 10/11 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS42 | VDCSZ4 (バンク 9 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS43 | VDCSZ4 (バンク 8 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS50 | VDCSZ5 (バンク 15 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS51 | VDCSZ5 (バンク 14 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS52 | VDCSZ5 (バンク 13 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS53 | VDCSZ5 (バンク 12 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS60 | VDCSZ6 (バンク 14/15 アクセス時) | VDCSZ6 (領域 3 アクセス時) (各ビットのクリア(0)時も同じ) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS61 | VDCSZ6 (バンク 12/13 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS62 | VDCSZ6 (バンク 11 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS63 | VDCSZ6 (バンク 10 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS70 | VDCSZ7 (バンク 15 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS71 | VDCSZ7 (バンク 14 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS72 | VDCSZ7 (バンク 13 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| CS73 | VDCSZ7 (バンク 12 アクセス時) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

備考 n = 4-7

例 1. 64M バイト・モード時の CSC0, CSC1 レジスタの設定例と設定後のメモリ・マップを次に示します。

図4 - 3 CSC0, CSC1レジスタ設定例 (64Mバイト・モード時) (1/3)

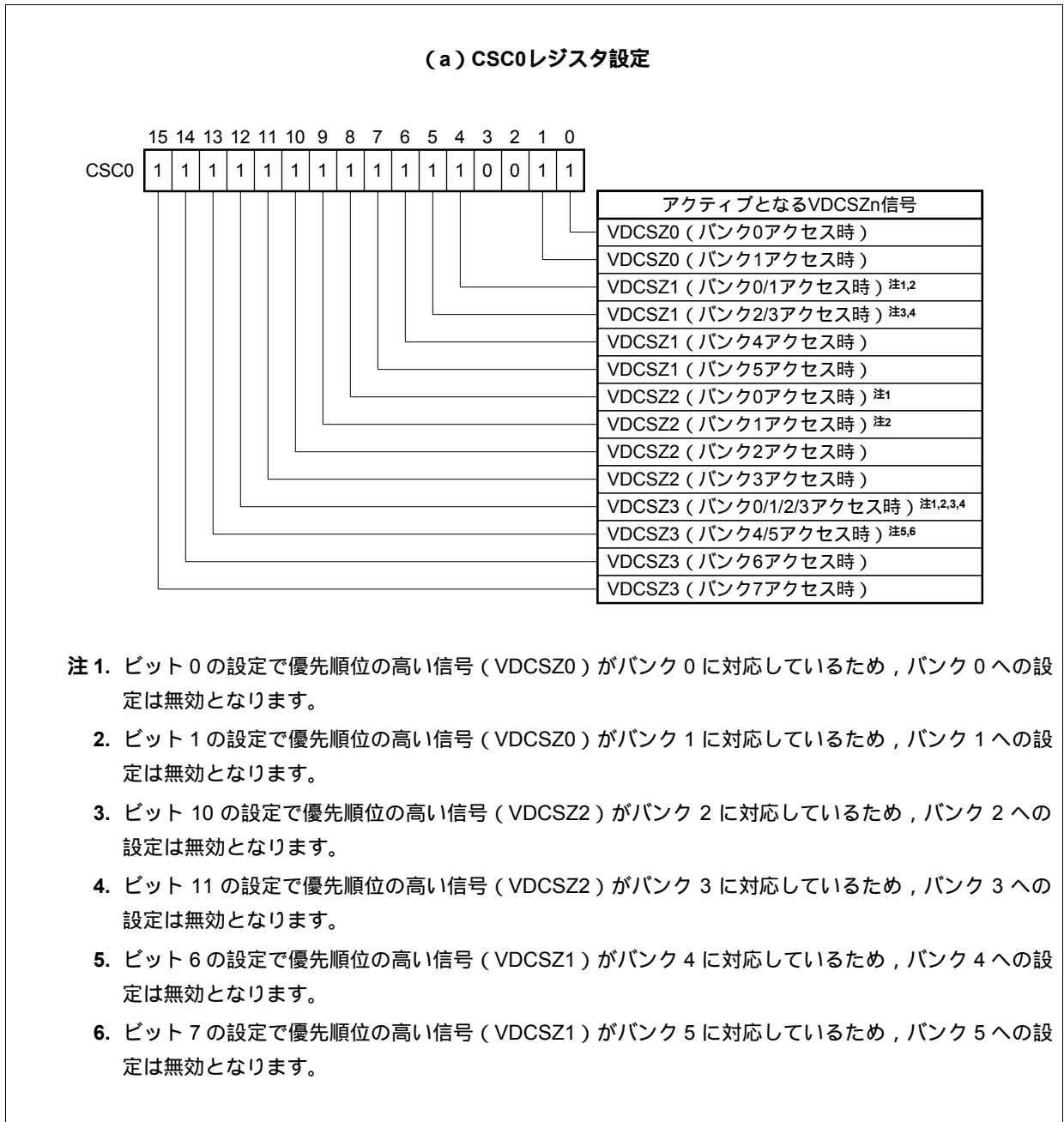


図4 - 3 CSC0, CSC1レジスタ設定例 (64Mバイト・モード時) (2/3)

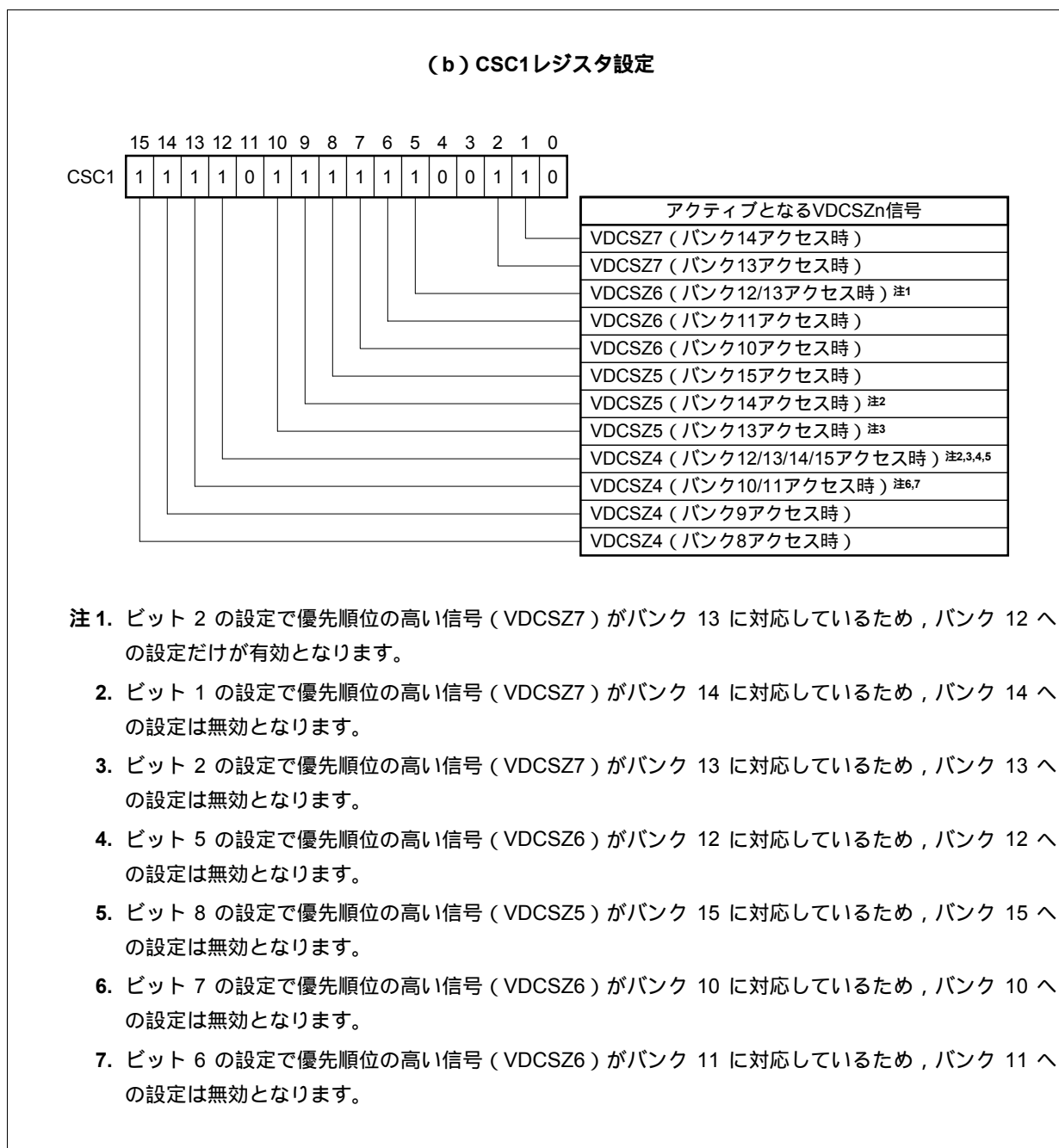
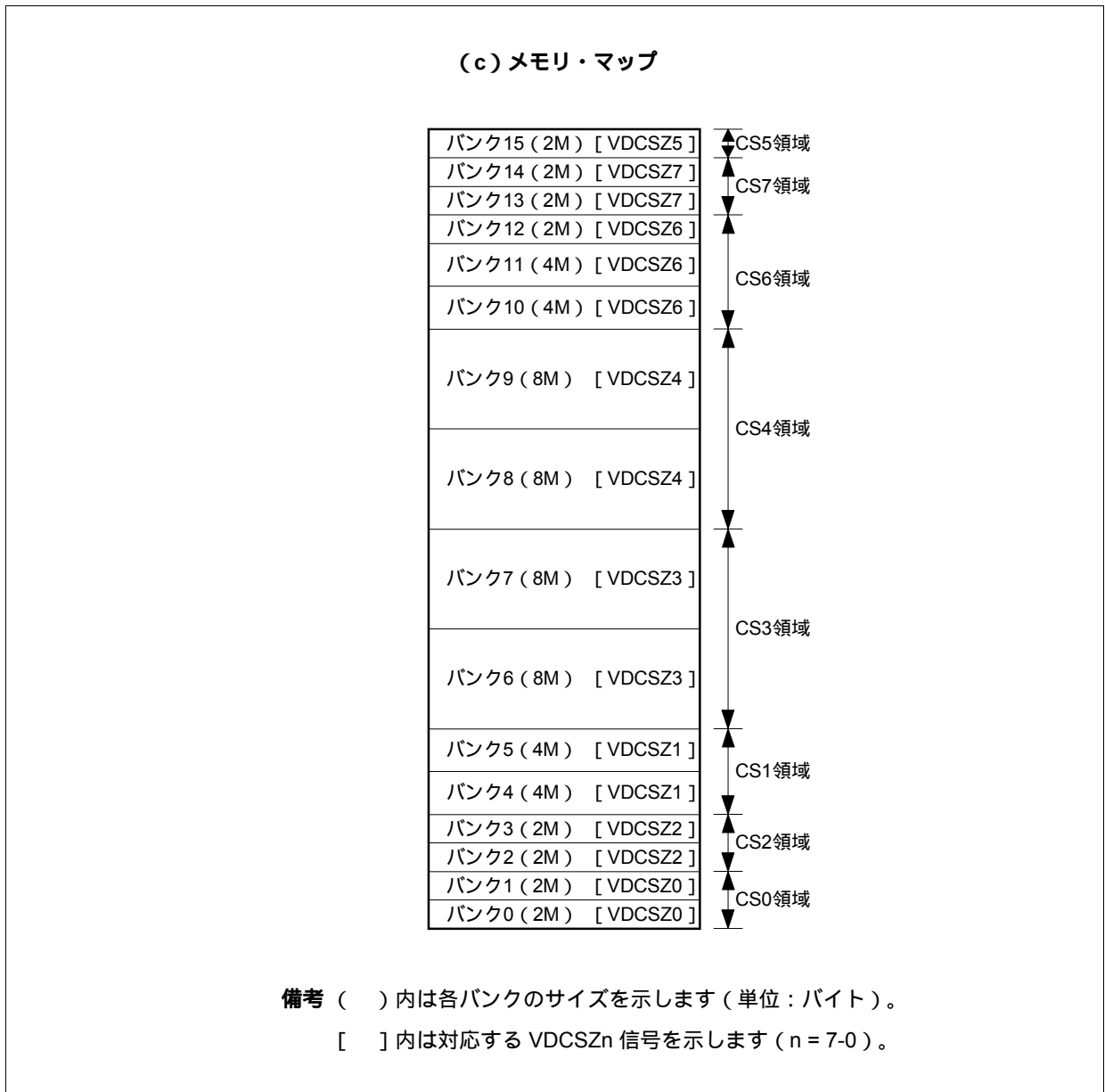


図4 - 3 CSC0, CSC1レジスタ設定例 (64Mバイト・モード時) (3/3)



例 2. 256M バイト・モード時の CSC0, CSC1 レジスタの設定例と設定後のメモリ・マップを次に示します。

図4 - 4 CSC0, CSC1レジスタ設定例 (256Mバイト・モード時) (1/2)

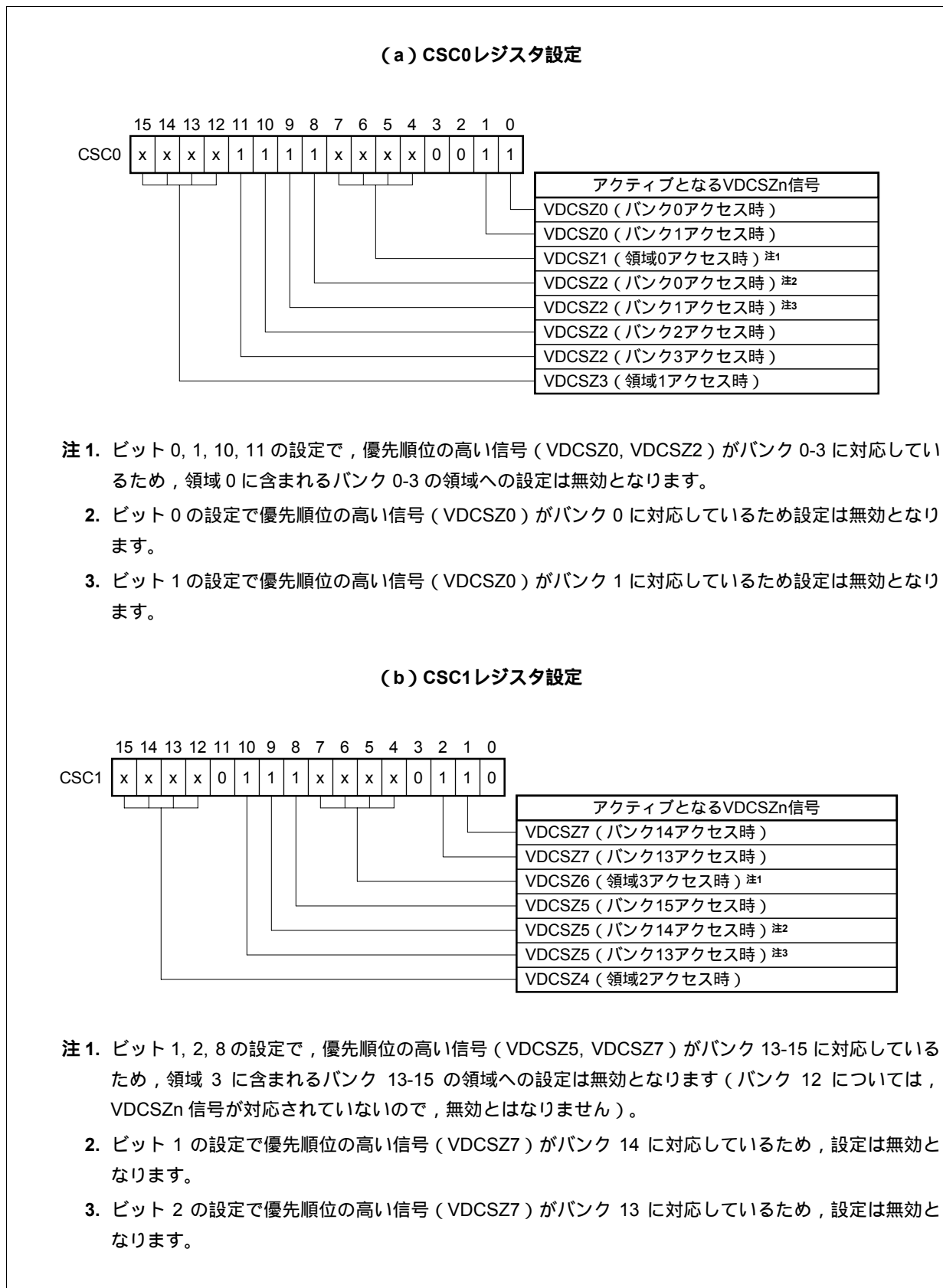
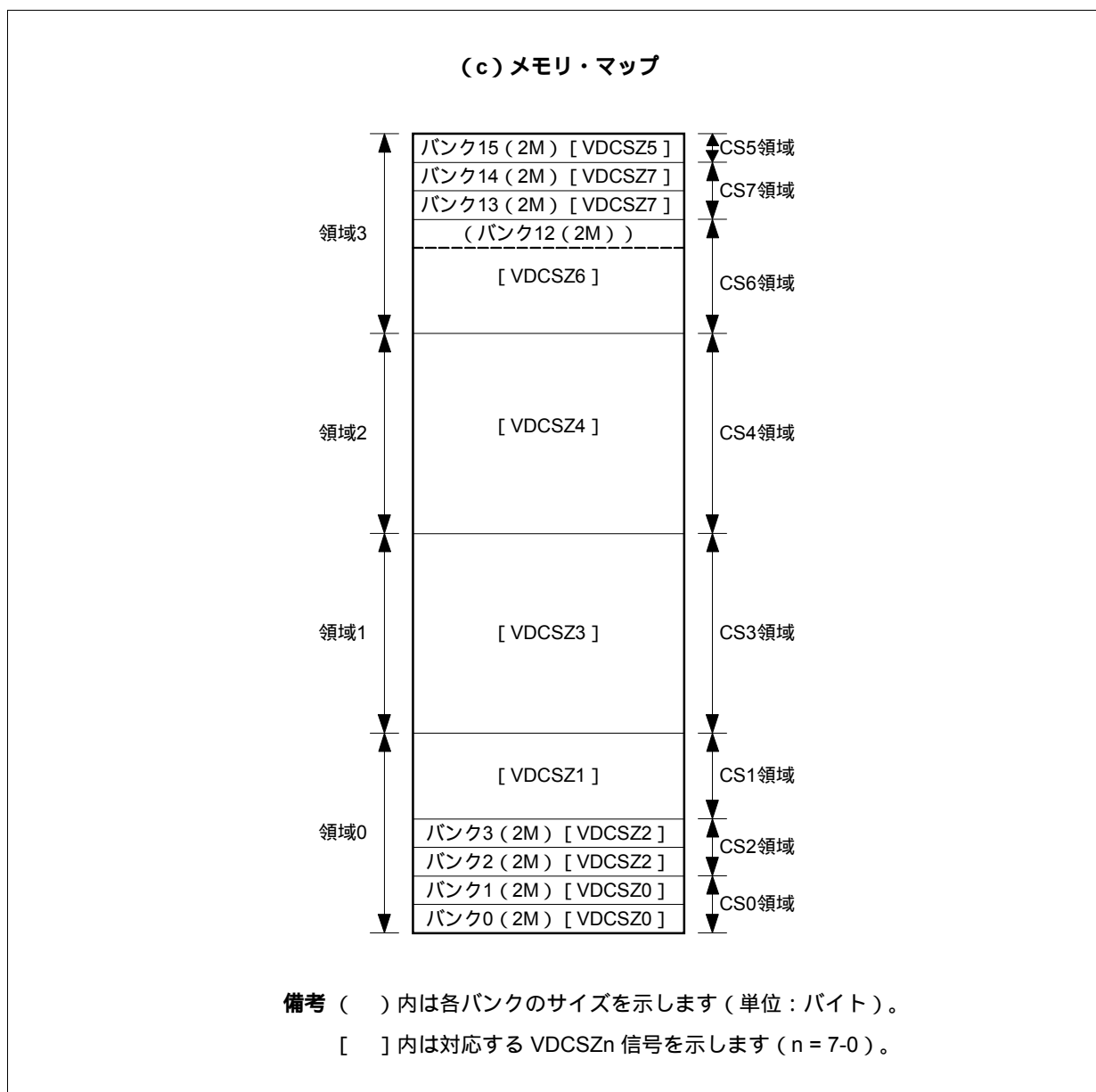


図4 - 4 CSC0, CSC1レジスタ設定例 (256Mバイト・モード時) (2/2)



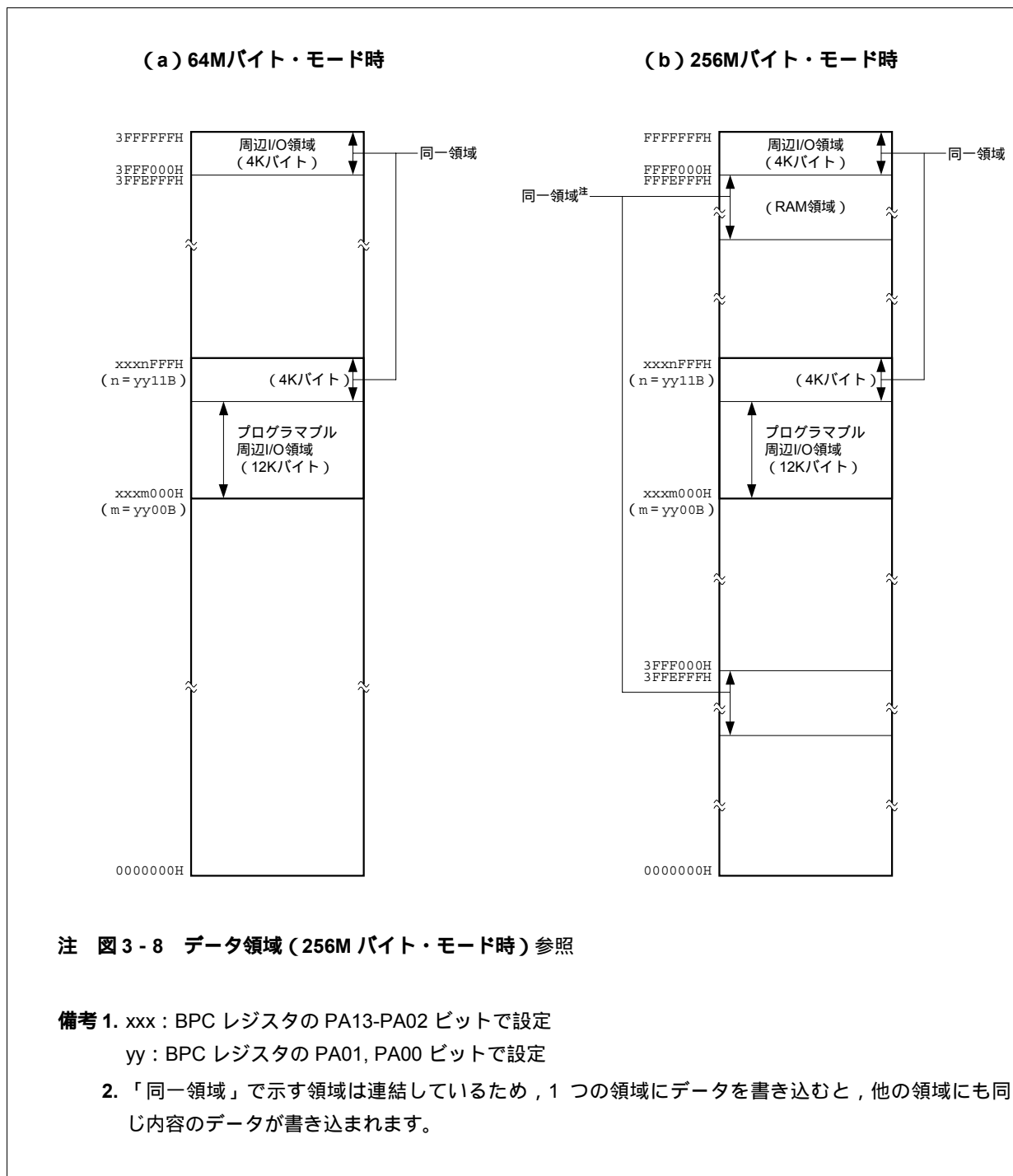
4.4 プログラマブル周辺 I/O 領域選択機能

NU85E には、アドレス空間上にあらかじめ割り付けられた 4K バイトの「周辺 I/O 領域」と、レジスタ設定により任意の番地に割り付けることのできる 12K バイトの「プログラマブル周辺 I/O 領域」があります。

NPB に接続する周辺マクロやユーザ・ロジックのレジスタは、プログラマブル周辺 I/O 領域上に自由に配置できます。

注意 プログラマブル周辺 I/O 領域は、リトル・エンディアンかつ命令 / データ・キャッシュ不可の設定を行った CSn 領域に割り付けてください (n = 7-0)。

図4-5 周辺I/O領域とプログラマブル周辺I/O領域



プログラマブル周辺I/O領域は、周辺I/O領域セレクト制御レジスタ(BPC)のPA00-PA13ビットに先頭アドレスの上位14ビット(ビット27-ビット14)を指定し、PA15ビットをセット(1)することにより使用可能となります。BPCレジスタは、16ビット単位でリード/ライト可能です。

なお、VDCSZn信号で選択される各CSn領域とプログラマブル周辺I/O領域の優先順位は次のようになります。

プログラマブル周辺I/O領域 > VDCSZn信号で選択される各CSn領域

注意 1. 64M バイト・モード時，プログラマブル周辺 I/O 領域が次の各領域と重なった場合，プログラマブル周辺 I/O 領域は無効となります。

- 周辺 I/O 領域
- ROM 領域
- RAM 領域

2. 256M バイト・モード時，プログラマブル周辺 I/O 領域が次の各領域と重なった場合，プログラマブル周辺 I/O 領域は無効となります。

- 周辺 I/O 領域
- ROM 領域
- RAM 領域
- 3FFEFFFH 番地以下の RAM 領域との同一領域
(図 3 - 8 データ領域 (256M バイト・モード時) 参照)

3. NPB に接続する周辺マクロやユーザ・ロジックがない場合，プログラマブル周辺 I/O 領域の設定を行う必要はありません (BPC レジスタは初期値の状態にしてください)。
4. プログラマブル周辺 I/O 領域に対するアクセスでは，VDCSZn 信号はすべてインアクティブ (ハイ・レベル) が出力されます。
5. プログラマブル周辺 I/O 領域のアドレス設定は，1 回だけ設定可能です。プログラムの途中でアドレスを変更しないでください。

図 4 - 6 周辺I/O領域セレクト制御レジスタ (BPC)

| | | | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|-------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| BPC | PA | 0 | PA | PA | PA | PA | PA | PA | PA | PA | PA | PA | PA | PA | PA | PA | アドレス | 初期値 |
| | 15 | | 13 | 12 | 11 | 10 | 09 | 08 | 07 | 06 | 05 | 04 | 03 | 02 | 01 | 00 | FFFFF064H | 0000H |

| ビット位置 | ビット名 | 意味 |
|-------|-----------|--|
| 15 | PA15 | プログラマブル周辺 I/O 領域へのアクセスを設定します。 0 : アクセス不可 1 : アクセス可能 |
| 13-0 | PA13-PA00 | プログラマブル周辺 I/O 領域の先頭アドレスのビット 27-ビット 14 を指定します (他のビットは 0 に固定)。 |

注意 ビット 14 には，必ず 0 を設定してください。1 を設定した場合の動作は保証しません。

4.5 バス・サイズ設定機能

チップ・セレクト信号 (VDCSZn) で選択される CSn 領域 (図 4-3, 図 4-4 参照) ごとに, VSB のデータ・バス・サイズをバス・サイズ・コンフィギュレーション・レジスタ (BSC) で設定します (n = 7-0)。

BSC レジスタは, 16 ビット単位でリード/ライト可能です。

図4-7 バス・サイズ・コンフィギュレーション・レジスタ (BSC)

| | | | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|-----------|-----|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | 初期値 |
| BS | BS | BS | BS | BS | BS | BS | BS | BS | BS | BS | BS | BS | BS | BS | BS | FFFFF066H | 注 |
| 71 | 70 | 61 | 60 | 51 | 50 | 41 | 40 | 31 | 30 | 21 | 20 | 11 | 10 | 01 | 00 | | |

| ビット位置 | ビット名 | 意味 | | | | | | | | | | | | | | | |
|-------|---------------|---|------|------|----------------|---|---|-------|---|---|--------|---|---|--------|---|---|------|
| 15-0 | BSn1, BSn0 | CSn 領域に配置された VSB 上の周辺マクロとのデータ・バス・サイズを指定します。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">BSn1</th><th style="width: 10%;">BSn0</th><th style="width: 80%;">VSB データ・バス・サイズ</th></tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>8 ビット</td></tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">1</td><td>16 ビット</td></tr> <tr> <td style="text-align: center;">1</td><td style="text-align: center;">0</td><td>32 ビット</td></tr> <tr> <td style="text-align: center;">1</td><td style="text-align: center;">1</td><td>設定禁止</td></tr> </tbody> </table> | BSn1 | BSn0 | VSB データ・バス・サイズ | 0 | 0 | 8 ビット | 0 | 1 | 16 ビット | 1 | 0 | 32 ビット | 1 | 1 | 設定禁止 |
| BSn1 | BSn0 | VSB データ・バス・サイズ | | | | | | | | | | | | | | | |
| 0 | 0 | 8 ビット | | | | | | | | | | | | | | | |
| 0 | 1 | 16 ビット | | | | | | | | | | | | | | | |
| 1 | 0 | 32 ビット | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 | | | | | | | | | | | | | | | |

備考 n = 7-0

注 IFINSZ1, IFINSZ0 端子への入力レベルによって, 初期値は次のように異なります。

| IFINSZ1 | IFINSZ0 | VSB データ・バス・サイズ | 初期値 |
|---------|---------|----------------|-------|
| ロウ・レベル | ロウ・レベル | 32 ビット | AAAAH |
| ロウ・レベル | ハイ・レベル | 16 ビット | 5555H |
| ハイ・レベル | ロウ・レベル | 8 ビット | 0000H |

例 同一 CSn 領域において, ブート ROM が 16 ビット幅で, そのほかの領域のメモリが 32 ビット幅の場合, 初期状態は 16 ビット幅で起動し (IFINSZ1 端子にロウ・レベル, IFINSZ0 端子にハイ・レベルを入力), その後, BSC レジスタで 32 ビット幅に切り替えて使用します。

4.6 エンディアン設定機能

4.6.1 エンディアン・コンフィギュレーション・レジスタ (BEC)

チップ・セレクト信号 (VDCSZn) で選択される CSn 領域 (図 4-3, 図 4-4 参照) ごとに, メモリ内のワード・データのエンディアン形式をエンディアン・コンフィギュレーション・レジスタ (BEC) により設定します (n = 7-0)。

BEC レジスタは, 16 ビット単位でリード/ライト可能です。

注意 1. プログラマブル周辺 I/O 領域が設定された CSn 領域に対しては, 必ずリトル・エンディアン形式の設定を行ってください。

2. 次の各領域は, リトル・エンディアン形式固定です。BEC レジスタによるビッグ・エンディアン設定は無効となります。

- 周辺 I/O 領域
- ROM 領域
- RAM 領域
- 3FFEFFFH 番地以下の RAM 領域との同一領域 (256M バイト・モード時)
(図 3-8 データ領域 (256M バイト・モード時) 参照)
- 外部メモリのフェッチ領域 (VMBSTR 信号がアクティブのとき)

図4-8 エンディアン・コンフィギュレーション・レジスタ (BEC)

| | | | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|----|---|----|---|----|---|----|---|----|-----------|-------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | 初期値 |
| BEC | 0 | BE | 0 | BE | 0 | BE | 0 | BE | 0 | BE | 0 | BE | 0 | BE | 0 | BE | FFFFF068H | 0000H |
| | | | | | | | | | | | | | | | | | | |

| ビット位置 | ビット名 | 意味 | | | | | | |
|---------------------------|--------------------------|--|------|----------|---|-------------------------|---|--------------------------|
| 14, 12, 10, 8, 6, 4, 2, 0 | BEn0 | CSn 領域のワード・データのエンディアン形式を設定します。 <table border="1" style="margin: 5px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">BEn0</th> <th style="width: 90%;">エンディアン形式</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td>リトル・エンディアン形式 (図 4-9 参照)</td> </tr> <tr> <td style="text-align: center;">1</td> <td>ビッグ・エンディアン形式 (図 4-10 参照)</td> </tr> </tbody> </table> | BEn0 | エンディアン形式 | 0 | リトル・エンディアン形式 (図 4-9 参照) | 1 | ビッグ・エンディアン形式 (図 4-10 参照) |
| BEn0 | エンディアン形式 | | | | | | | |
| 0 | リトル・エンディアン形式 (図 4-9 参照) | | | | | | | |
| 1 | ビッグ・エンディアン形式 (図 4-10 参照) | | | | | | | |

備考 n = 7-0

注意 ビット 15, 13, 11, 9, 7, 5, 3, 1 には, 必ず 0 を設定してください。
1 を設定した場合の動作は保証しません。

図4 - 9 ワード・データのリトル・エンディアン形式例

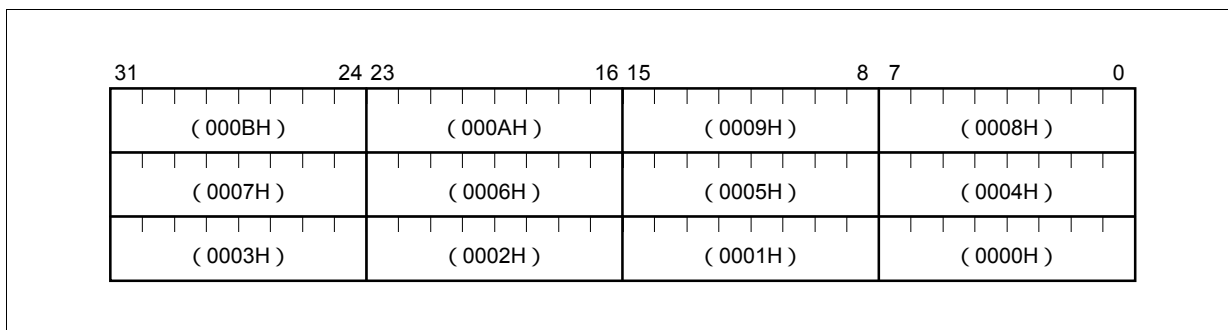
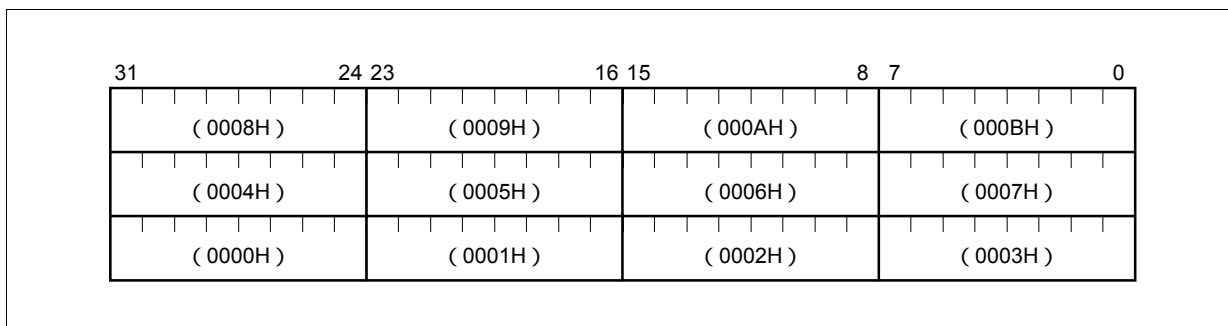


図4 - 10 ワード・データのビッグ・エンディアン形式例



4. 6. 2 NEC 製開発ツールにおけるビッグ・エンディアン形式の使用制限

(1) デバッガ (ID850) 使用時

メモリ・ウィンドウの表示だけビッグ・エンディアン形式に対応します。

(2) コンパイラ (CA850) 使用時

(a) C 言語上の制限

(i) ビッグ・エンディアン空間に配置する (される) 変数に次の制限が付きます。

- <1> union が使えない。
- <2> bitfield が使えない。
- <3> キャストによる (アクセス・サイズを変えた) アクセスが使えない。
- <4> 初期値あり変数が使えない。

(ii) 最適化によりアクセス・サイズの変更が起こる可能性があるため、次に示す最適化抑止オプションを指定する必要があります。

- 広域最適化部 (opt850) 用 -Wo, -XTb
- 機種依存最適化部 (impr850) 用 -Wi, +arg_reg_opt=OFF, +std_trans_opt=OFF

ただし、キャストしてアクセスまたはマスク/シフトしてアクセスという使い方をしていない場合は、上記の最適化抑止オプションの指定は不要です。

注 次に示す最適化が起こるようなパターンの使い方がないことが条件となります。ただし、おのおの（特に機種依存最適化部）のパターンが組み合わさった状態など、ユーザ側での完璧なチェックは非常に困難です。したがって、上記の最適化抑止オプションの指定を推奨します。

<1> 広域最適化部関連

- bit or を使用した 1 ビット・セット

```
int i;
i ^= 1;
```
- bit and を使用した 1 ビット・クリア

```
i &= ~1;
```
- bit xor を使用した 1 ビット・ノット

```
i ^= 1;
```
- bit and を使用した 1 ビット・テスト

```
if(i & 1);
```

<2> 機種依存最適化部関連

同一の変数を異なるサイズでアクセスするような使い方

- キャスト
- マスク
- シフト

例

```
int i, *ip;
char c;
:
:
c=*((char*)ip);
:
:
c = 0xff & i;
:
:
i = (i << 24) >> 24;
```

(b) アセンブリ言語上の制限

ビッグ・エンディアン空間に配置する変数にはバイト・サイズ以外の領域確保疑似命令（.hword, .word, .float, .shword）が使えません。

4.7 キャッシュ・コンフィギュレーション

チップ・セレクト信号 (VDCSZn) で選択される CSn 領域 (図 4 - 3, 図 4 - 4 参照) ごとに, キャッシュ・メモリの構成をキャッシュ・コンフィギュレーション・レジスタ (BHC) により設定します (n = 7-0)。

BHC レジスタは, 16 ビット単位でリード/ライト可能です。

注意 1. ビッグ・エンディアン形式の CSn 領域, または次の領域が設定された CSn 領域は, 必ず, キャッシュ不可の設定を行ってください (n = 7-0)。

- ROM 領域
 - RAM 領域
 - 周辺 I/O 領域
 - プログラマブル周辺 I/O 領域
2. 命令/データ・キャッシュ可能の設定 (BHn0/BHn1 ビットのセット (1)) は, IFIUNCH0 端子または IFIUNCH1 端子にロウ・レベルが入力されている (キャッシュ許可に設定されている) 場合だけ有効です。それ以外の場合は, BHn0/BHn1 ビットをセット (1) しても無効となります。
 3. データ・キャッシュを使用する場合は, データ・キャッシュのデータ・キャッシュ・コントロール・レジスタ (DCC) を設定してから, このレジスタを設定してください。

図4 - 11 キャッシュ・コンフィギュレーション・レジスタ (BHC)

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|----------|---|-----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|---|---|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|------|-----|
| BHC | <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center;">15</td><td style="text-align: center;">14</td><td style="text-align: center;">13</td><td style="text-align: center;">12</td><td style="text-align: center;">11</td><td style="text-align: center;">10</td><td style="text-align: center;">9</td><td style="text-align: center;">8</td><td style="text-align: center;">7</td><td style="text-align: center;">6</td><td style="text-align: center;">5</td><td style="text-align: center;">4</td><td style="text-align: center;">3</td><td style="text-align: center;">2</td><td style="text-align: center;">1</td><td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">BH 71</td><td style="text-align: center;">BH 70</td><td style="text-align: center;">BH 61</td><td style="text-align: center;">BH 60</td><td style="text-align: center;">BH 51</td><td style="text-align: center;">BH 50</td><td style="text-align: center;">BH 41</td><td style="text-align: center;">BH 40</td><td style="text-align: center;">BH 31</td><td style="text-align: center;">BH 30</td><td style="text-align: center;">BH 21</td><td style="text-align: center;">BH 20</td><td style="text-align: center;">BH 11</td><td style="text-align: center;">BH 10</td><td style="text-align: center;">BH 01</td><td style="text-align: center;">BH 00</td> </tr> </table> | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | BH 71 | BH 70 | BH 61 | BH 60 | BH 51 | BH 50 | BH 41 | BH 40 | BH 31 | BH 30 | BH 21 | BH 20 | BH 11 | BH 10 | BH 01 | BH 00 | アドレス | 初期値 |
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | | | | | | | | | | | | | | | |
| BH 71 | BH 70 | BH 61 | BH 60 | BH 51 | BH 50 | BH 41 | BH 40 | BH 31 | BH 30 | BH 21 | BH 20 | BH 11 | BH 10 | BH 01 | BH 00 | | | | | | | | | | | | | | | | | | | | |
| | | FFFFF06AH | 0000H | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

| ビット位置 | ビット名 | 意味 | | | | | | |
|------------------------------|-------------|--|------|-------------|---|---------|---|---------|
| 15, 13, 11, 9, 7, 5, 3, 1 | BHn1 | CSn 領域に配置されたデータ・キャッシュの設定を行います。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr> <td style="text-align: center;">BHn1</td> <td style="text-align: center;">データ・キャッシュ設定</td> </tr> <tr> <td style="text-align: center;">0</td> <td>キャッシュ不可</td> </tr> <tr> <td style="text-align: center;">1</td> <td>キャッシュ可能</td> </tr> </table> | BHn1 | データ・キャッシュ設定 | 0 | キャッシュ不可 | 1 | キャッシュ可能 |
| BHn1 | データ・キャッシュ設定 | | | | | | | |
| 0 | キャッシュ不可 | | | | | | | |
| 1 | キャッシュ可能 | | | | | | | |
| 14, 12, 10, 8, 6, 4, 2, 0 | BHn0 | CSn 領域に配置された命令キャッシュの設定を行います。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <tr> <td style="text-align: center;">BHn0</td> <td style="text-align: center;">命令キャッシュ設定</td> </tr> <tr> <td style="text-align: center;">0</td> <td>キャッシュ不可</td> </tr> <tr> <td style="text-align: center;">1</td> <td>キャッシュ可能</td> </tr> </table> | BHn0 | 命令キャッシュ設定 | 0 | キャッシュ不可 | 1 | キャッシュ可能 |
| BHn0 | 命令キャッシュ設定 | | | | | | | |
| 0 | キャッシュ不可 | | | | | | | |
| 1 | キャッシュ可能 | | | | | | | |

備考 n = 7-0

4.8 BCU 関連レジスタ設定例

図4-3 CSC0, CSC1 レジスタ設定例 (64M バイト・モード時) の内容でデータ領域が設定されている場合の, BPC, BSC, BEC, BHC レジスタの設定例と各 CSn 領域ごとの設定内容, およびメモリ・マップを図4-12 に示します (n = 7-0)。

図4-12 BPC, BSC, BEC, BHCレジスタ設定例 (1/3)

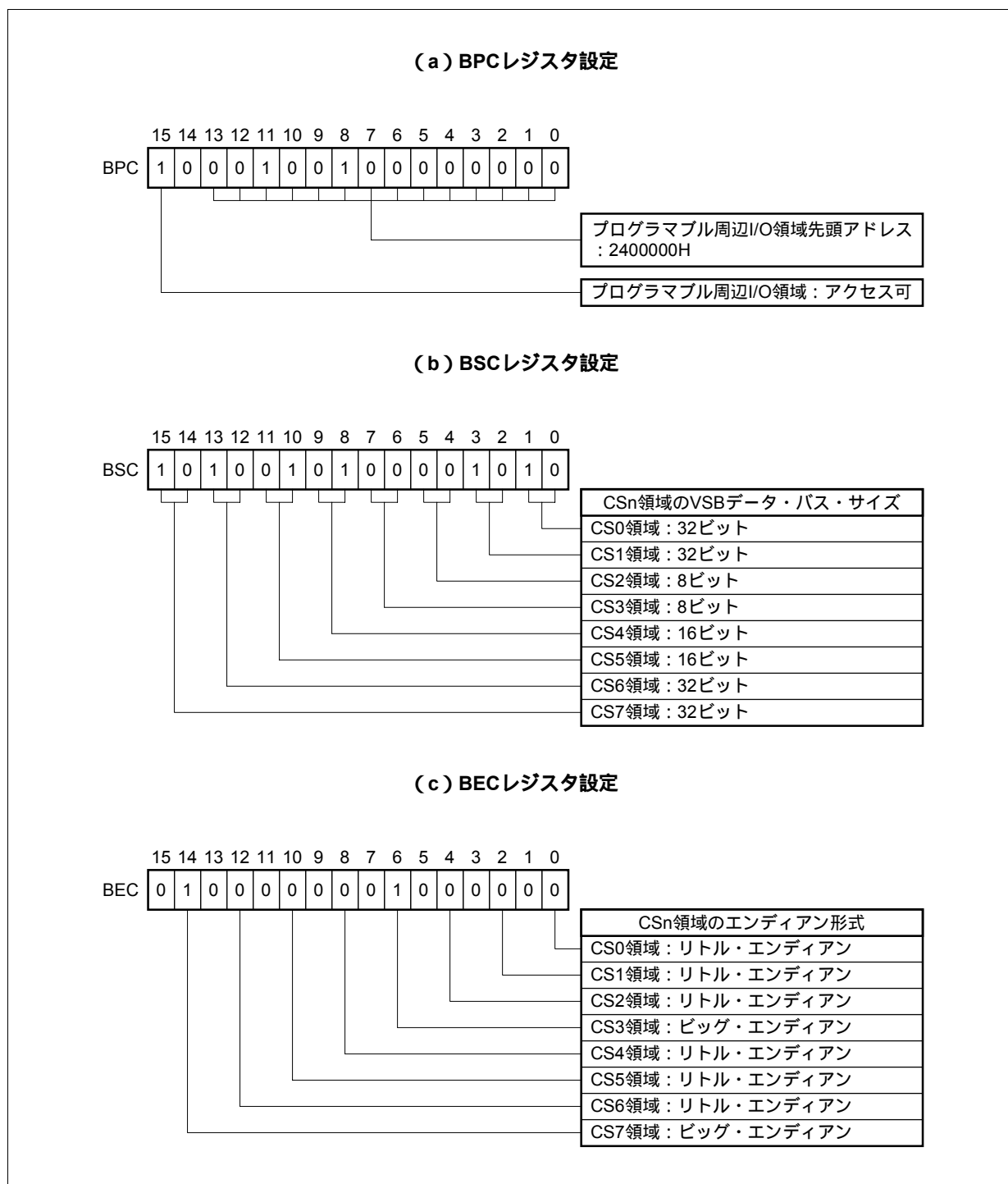
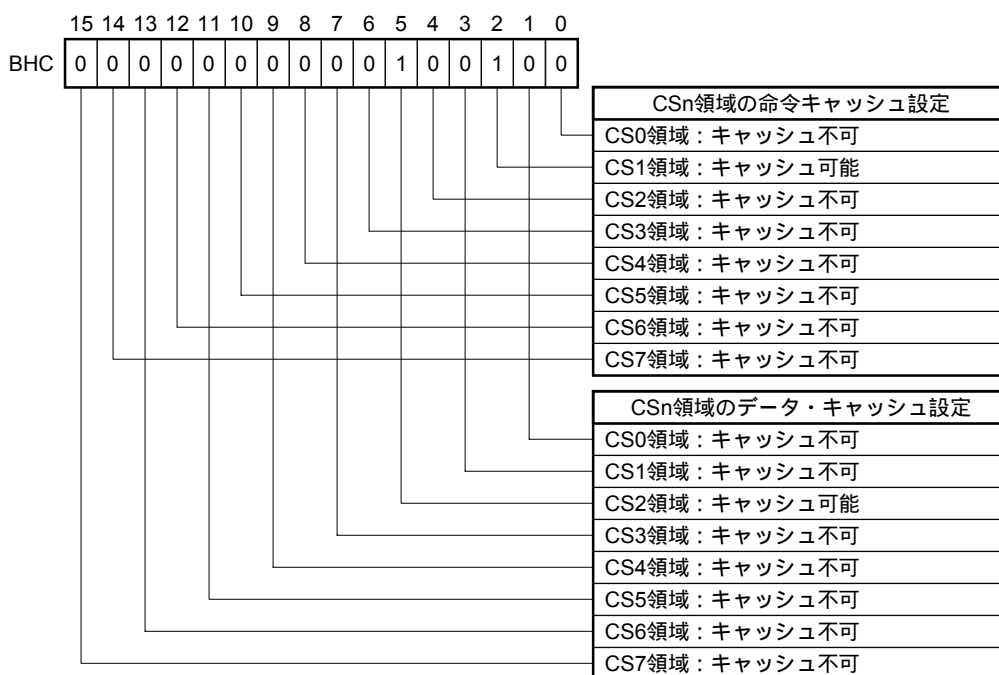


図4 - 12 BPC, BSC, BEC, BHCレジスタ設定例 (2/3)

(d) BHCレジスタ設定

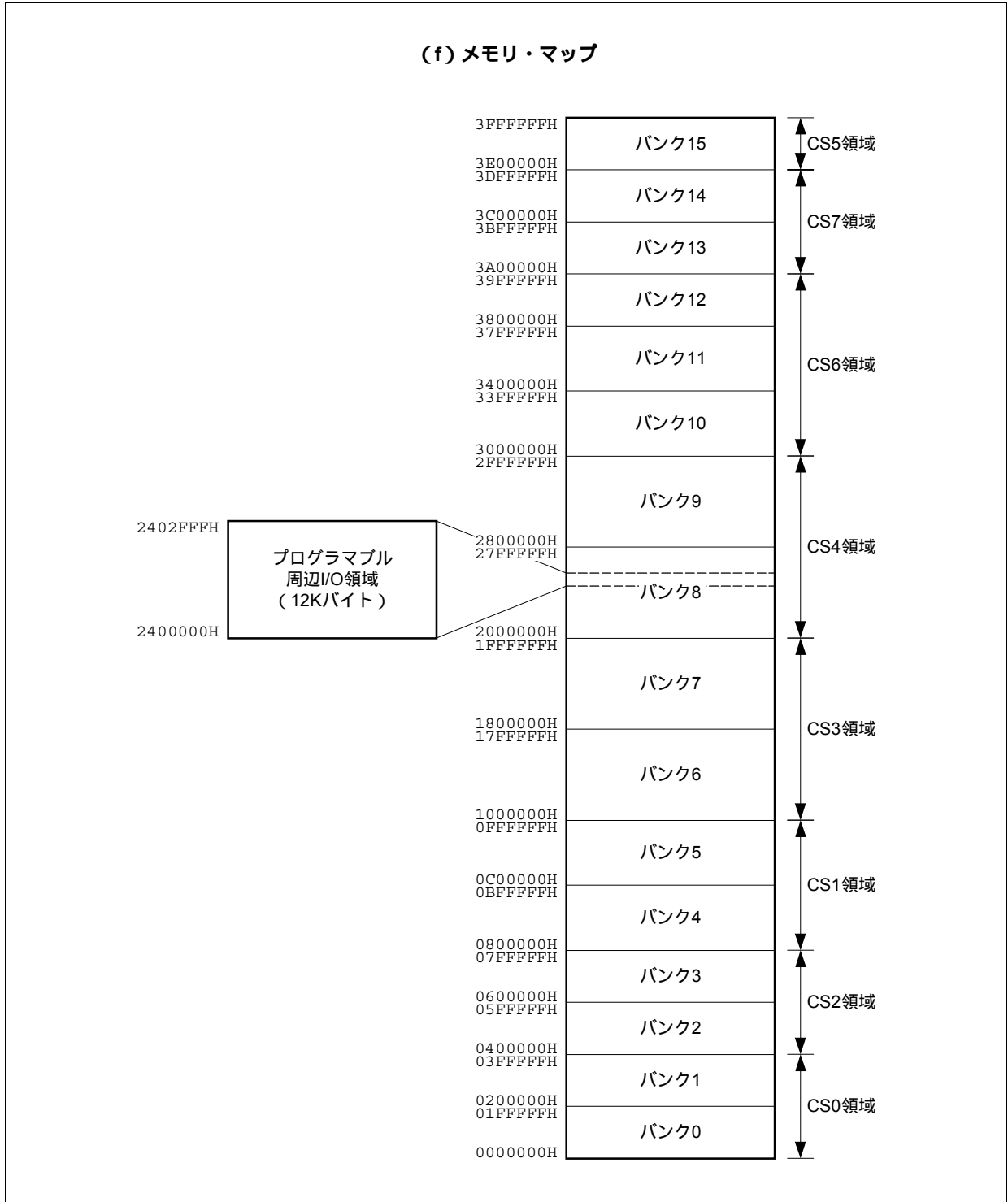


(e) 各CSn領域の設定内容

| CSn 領域 | アドレス | バンク | VDCSZ n 信号 | VSB データ・バス ・サイズ (ビット) | エンディアン形式 | キャッシュ設定 | |
|--------|---------------------|--------|------------|--------------------------|------------|---------|-----|
| | | | | | | 命令 | データ |
| 0 | 0000000H-03FFFFFFH | 0, 1 | VDCSZ0 | 32 | リトル・エンディアン | × | × |
| 1 | 0800000H-0FFFFFFFH | 4, 5 | VDCSZ1 | 32 | リトル・エンディアン | | × |
| 2 | 0400000H-07FFFFFFH | 2, 3 | VDCSZ2 | 8 | リトル・エンディアン | × | |
| 3 | 1000000H-1FFFFFFFH | 6, 7 | VDCSZ3 | 8 | ビッグ・エンディアン | × | × |
| 4 | 2000000H-2FFFFFFFH | 8, 9 | VDCSZ4 | 16 | リトル・エンディアン | × | × |
| 5 | 3E00000H-3FFFFFFFH | 15 | VDCSZ5 | 16 | リトル・エンディアン | × | × |
| 6 | 3000000H-39FFFFFFFH | 10-12 | VDCSZ6 | 32 | リトル・エンディアン | × | × |
| 7 | 3A00000H-3DFFFFFFFH | 13, 14 | VDCSZ7 | 32 | ビッグ・エンディアン | × | × |

備考 : キャッシュ設定可能
 x : キャッシュ設定不可

図4 - 12 BPC, BSC, BEC, BHCレジスタ設定例 (3/3)

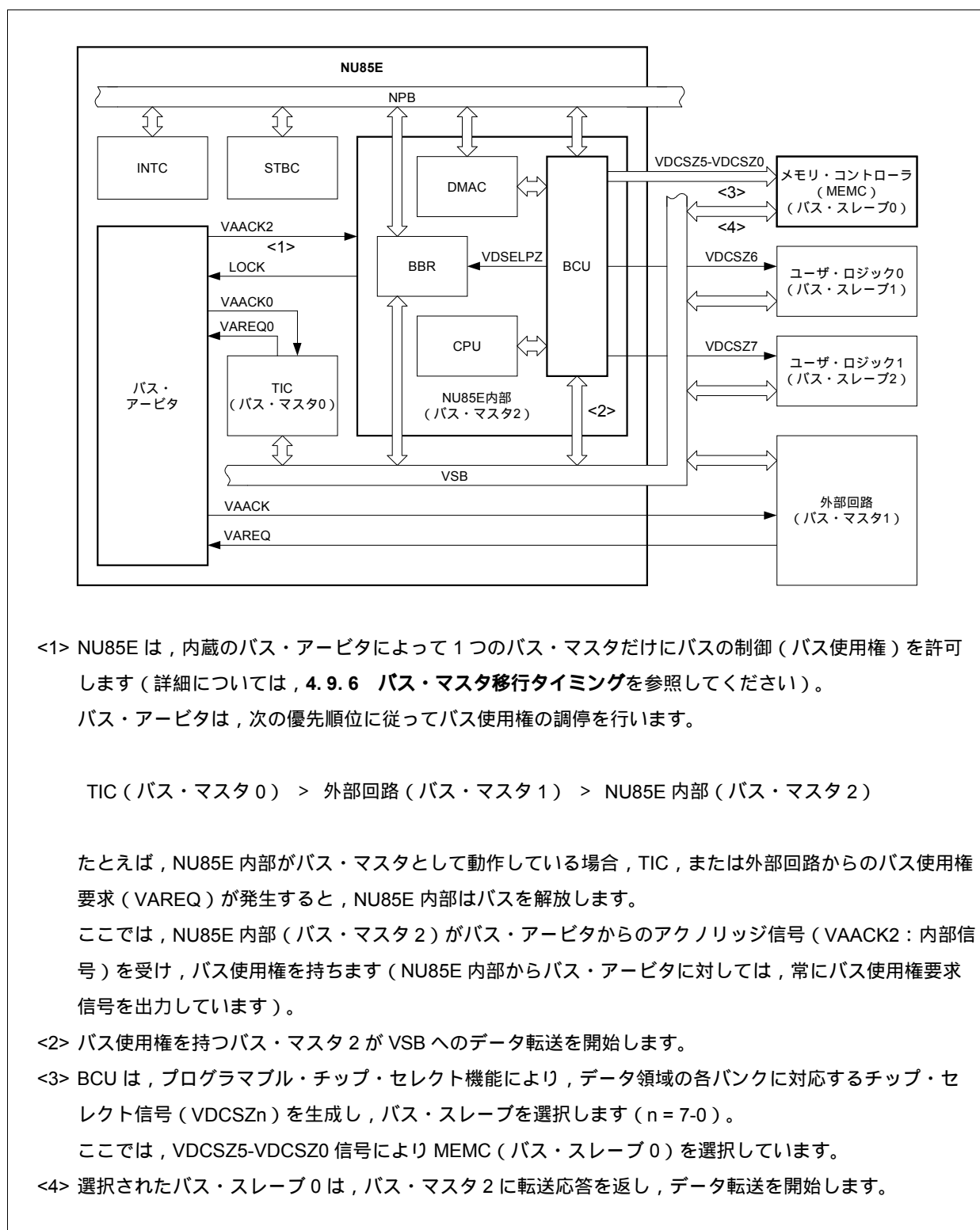


4.9 VSB によるデータ転送

4.9.1 データ転送例

この項では、VSB に接続しているバス・マスタとバス・スレーブ間のデータ転送手順を図4-13 に示す回路を例として説明します。

図4-13 VSBによるデータ転送例



4.9.2 バス・マスタが出力する制御信号

NU85E がバス・マスタとして動作する場合、次に示す各種制御信号を出力することによって、現在実行されている転送の内容を示します（NU85E がバス・スレーブとして動作する場合は、外部バス・マスタが出力し、VSxxxx 信号として NU85E に入力されます）。

ただし、VxWAIT, VxAHLD, VxLAST 信号は、バス・スレーブが出力し、バス・マスタが入力します（バス・マスタ側の信号名は VMWAIT, VMAHLD, VMLAST, バス・スレーブ側の信号名は VSWAIT, VSAHLD, VSLAST となります）。

(1) 転送タイプ

転送の開始時に、VMTTYP1, VMTTYP0 信号を出力して転送タイプを示します。

表4 - 1 VMTTYP1, VMTTYP0信号

| VMTTYP1 | VMTTYP0 | 転送タイプ |
|---------|---------|---|
| 0 | 0 | アドレス・オンリー転送（データ処理を行わない転送） |
| 1 | 0 | ノンシーケンシャル転送（シングル転送、またはバースト転送） |
| 1 | 1 | シーケンシャル転送 （現在転送されているアドレスが前回転送時のアドレスに関する転送） |
| 0 | 1 | （将来の機能拡張のための予約） |

備考 0：ロウ・レベル 1：ハイ・レベル

(2) バス・サイクル・タイプ

VMCTYP2-VMCTYP0 信号により、現在のバス・サイクルの状態を示します。

表4 - 2 VMCTYP2-VMCTYP0信号

| VMCTYP2 | VMCTYP1 | VMCTYP0 | バス・サイクルの状態 |
|---------|---------|---------|---------------------------|
| 0 | 0 | 0 | オペコード・フェッチ |
| 0 | 0 | 1 | データ・アクセス |
| 0 | 1 | 0 | ミス・アライン・アクセス ^注 |
| 0 | 1 | 1 | リード・モディファイ・ライト・アクセス |
| 1 | 0 | 0 | 分岐命令による飛び先アドレスのオペコード・フェッチ |
| 1 | 1 | 0 | DMA の 2 サイクル転送 |
| 1 | 1 | 1 | DMA のフライバイ転送 |
| 1 | 0 | 1 | （将来の機能拡張のための予約） |

注 IFIMAEN 端子にハイ・レベルが入力されている（ミス・アライン・アクセス許可）ときだけ出力されます。

備考 0：ロウ・レベル 1：ハイ・レベル

(3) バイト・イネーブル

VMBENZ3-VMBENZ0 信号により、データ・バス (VBDI31-VBDI0, VBDO31-VBDO0) をバイト単位に4分割したバイト・データを示します。

表4 - 3 VMBENZ3-VMBENZ0信号

| アクティブ (ロウ・レベル出力) となる信号 | 有効バイト・データ |
|------------------------|------------------------------|
| VMBENZ0 | VBDI7-VBDI0, VBDO7-VBDO0 |
| VMBENZ1 | VBDI15-VBDI8, VBDO15-VBDO8 |
| VMBENZ2 | VBDI23-VBDI16, VBDO23-VBDO16 |
| VMBENZ3 | VBDI31-VBDI24, VBDO31-VBDO24 |

(4) 転送サイズ

VMSIZE1, VMSIZE0 信号により転送サイズを示します。

表4 - 4 VMSIZE1, VMSIZE0信号

| VMSIZE1 | VMSIZE0 | 説明 |
|---------|---------|-----------------|
| 0 | 0 | バイト (8 ビット) |
| 0 | 1 | ハーフワード (16 ビット) |
| 1 | 0 | ワード (32 ビット) |
| 1 | 1 | (将来の機能拡張のための予約) |

備考 0: ロウ・レベル 1: ハイ・レベル

(5) シーケンシャル・ステータス

VMSEQ2-VMSEQ0 信号により、バースト転送の開始時には、「バースト転送の長さ」を、バースト転送時には「連続」を、バースト転送の最後には、「シングル転送」を示します。

表4 - 5 VMSEQ2-VMSEQ0信号

| VMSEQ2 | VMSEQ1 | VMSEQ0 | シーケンシャル・ステータス |
|--------|--------|--------|---|
| 0 | 0 | 0 | シングル転送 |
| 0 | 0 | 1 | 連続 (次回の転送アドレスは現在の転送アドレスに関係することを示す) ^注 |
| 0 | 1 | 0 | 連続 4 回 (バースト転送の長さ: 4) |
| 0 | 1 | 1 | 連続 8 回 (" : 8) |
| 1 | 0 | 0 | 連続 16 回 (" : 16) |
| 1 | 0 | 1 | 連続 32 回 (" : 32) |
| 1 | 1 | 0 | 連続 64 回 (" : 64) |
| 1 | 1 | 1 | 連続 128 回 (" : 128) |

注 連続 2 回, または連続 4, 8, 16, 32, 64, 128 回転送の途中で出力されます。

備考 0: ロウ・レベル 1: ハイ・レベル

(6) 転送レスポンス

バス・スレーブから出力される VMWAIT, VMAHLD, VMLAST 信号により転送レスポンスが示されます (バス・スレーブ側の信号名は VSWAIT, VSAHLD, VSLAST となります)。

これらの信号は, VBCLK 信号がロウ・レベルの間だけ有効になります。

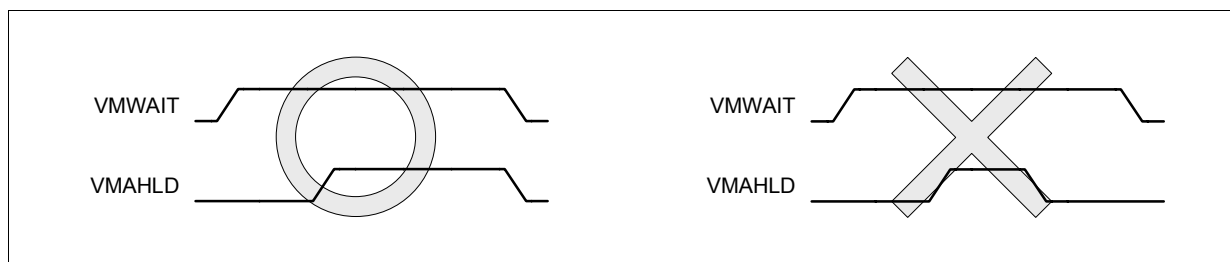
表4 - 6 VMWAIT, VMAHLD, VMLAST信号

| VMWAIT | VMAHLD | VMLAST | 説明 |
|--------|--------|--------|----------------------------|
| 0 | 0 | 0 | 現在の転送が完了となる状態 (レディ状態) |
| 0 | 0 | 1 | ラスト応答 (バースト転送の最終応答状態) |
| 1 | 0 | 0 | ウエイト応答 (ウエイト状態) |
| 1 | 1 | 0 | アドレスと制御信号を保持 (アドレス・ホールド状態) |
| 上記以外 | | | (将来の機能拡張のための予約) |

備考 0 : ロウ・レベル 1 : ハイ・レベル

注意 VMAHLD 信号は, 一度アクティブ・レベル (1) にしたら, VMWAIT 信号がインアクティブ・レベル (0) になるまで, アクティブ・レベル (1) を保持してください。

バス・サイクルの途中で, アドレス・ホールド状態からウエイト状態に戻すことはできません。



(7) 転送方向

VMWRITE 信号により転送方向を示します。ライト・アクセス時にハイ・レベルを出力します。

(8) データ・バス方向制御

VBDC 信号は, データ入力 (VBDI31-VBDI0) 制御信号の出力端子です。リード・アクセス時にハイ・レベルを出力します。

VBDV 信号は, データ出力 (VBDO31-VBDO0) 制御信号の出力端子です。ライト・アクセス時にハイ・レベルを出力します。

表4 - 7 VBDC, VBDV信号

| VBDC | VBDV | 説明 |
|------|------|----------|
| 1 | 0 | リード・アクセス |
| 0 | 1 | ライト・アクセス |

備考 0 : ロウ・レベル 1 : ハイ・レベル

4.9.3 リード/ライト・タイミング

(1) リード・タイミング

リード・データは、バス・スレーブへのアドレス出力終了直後に、VBCLK 信号の立ち上がりに同期してバス・スレーブ側から出力され、直後の VBCLK 信号の最初の立ち下がりに同期してバス・マスタが取り込み（サンプリング）を行います。

ただし、VMAHLD 信号のアクティブ・レベル（ハイ・レベル）が入力された場合は、VMAHLD 信号のアクティブ・レベル入力直後に VBCLK 信号の立ち上がりに同期してバス・スレーブからデータ出力が行われ、直後の VBCLK 信号の最初の立ち下がりに同期してバス・マスタがデータの取り込み（サンプリング）を行います。

(2) ライト・タイミング

ライト・データは、バス・スレーブへのアドレス出力の半クロック後に、VBCLK 信号の立ち下がりに同期して NU85E から出力されます。

次ページ以降に VSB に接続されたバス・マスタとバス・スレーブのリード/ライト・タイミングを示します。各図は、NU85E がバス使用权を持つ場合の NU85E 側から見たタイミングを示しています。

備考 印：サンプリング・タイミング

A.x：VMA27-VMA0 端子から出力される任意のアドレス

D.x：アドレス「A.x」に対する入出力データ

XXX：任意のレベル（入力の場合）、または不定の状態（出力の場合）

図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (1/12)

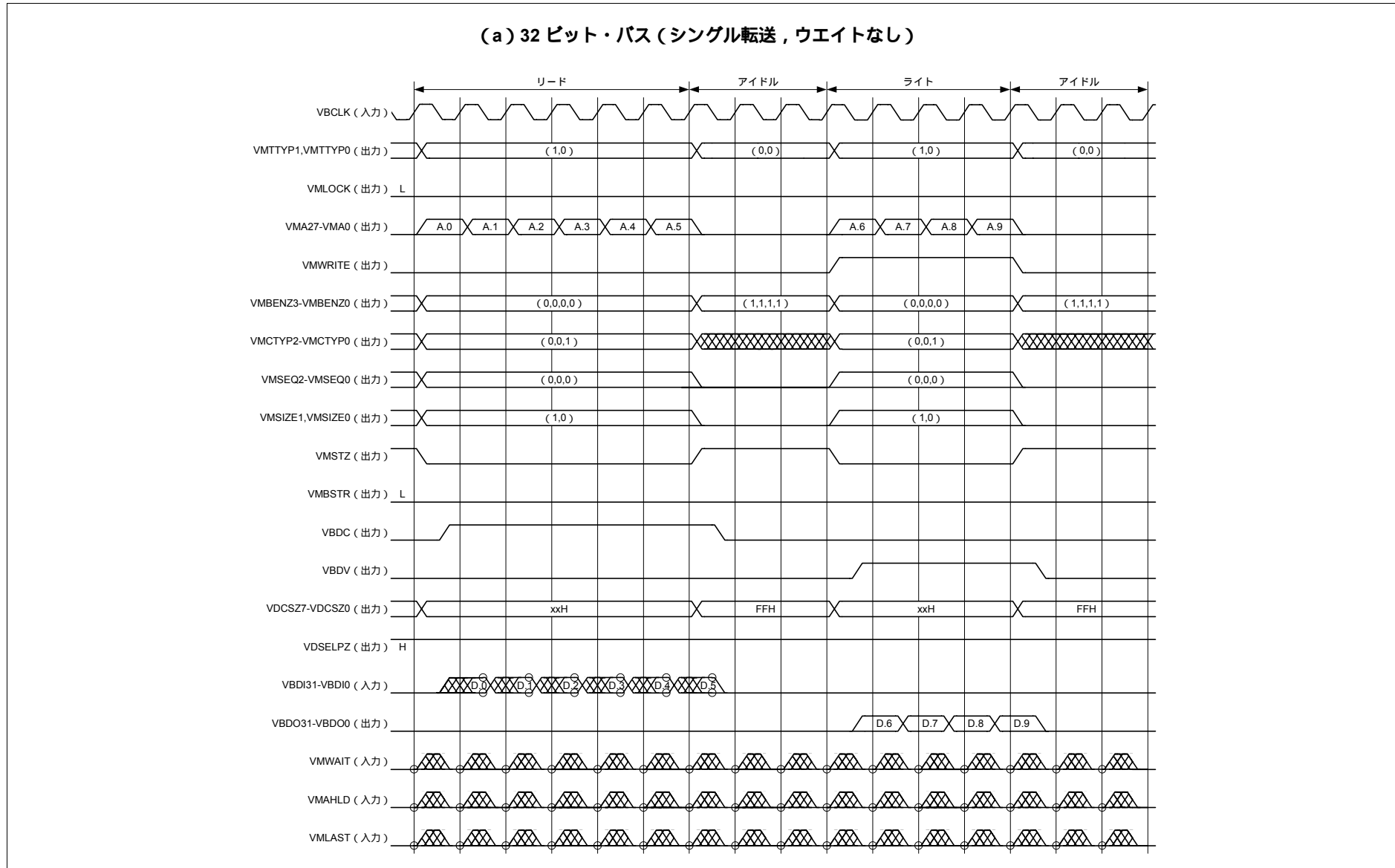


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (2/12)

(b) 32 ビット・バス (シングル転送, 1 ウェイト挿入)

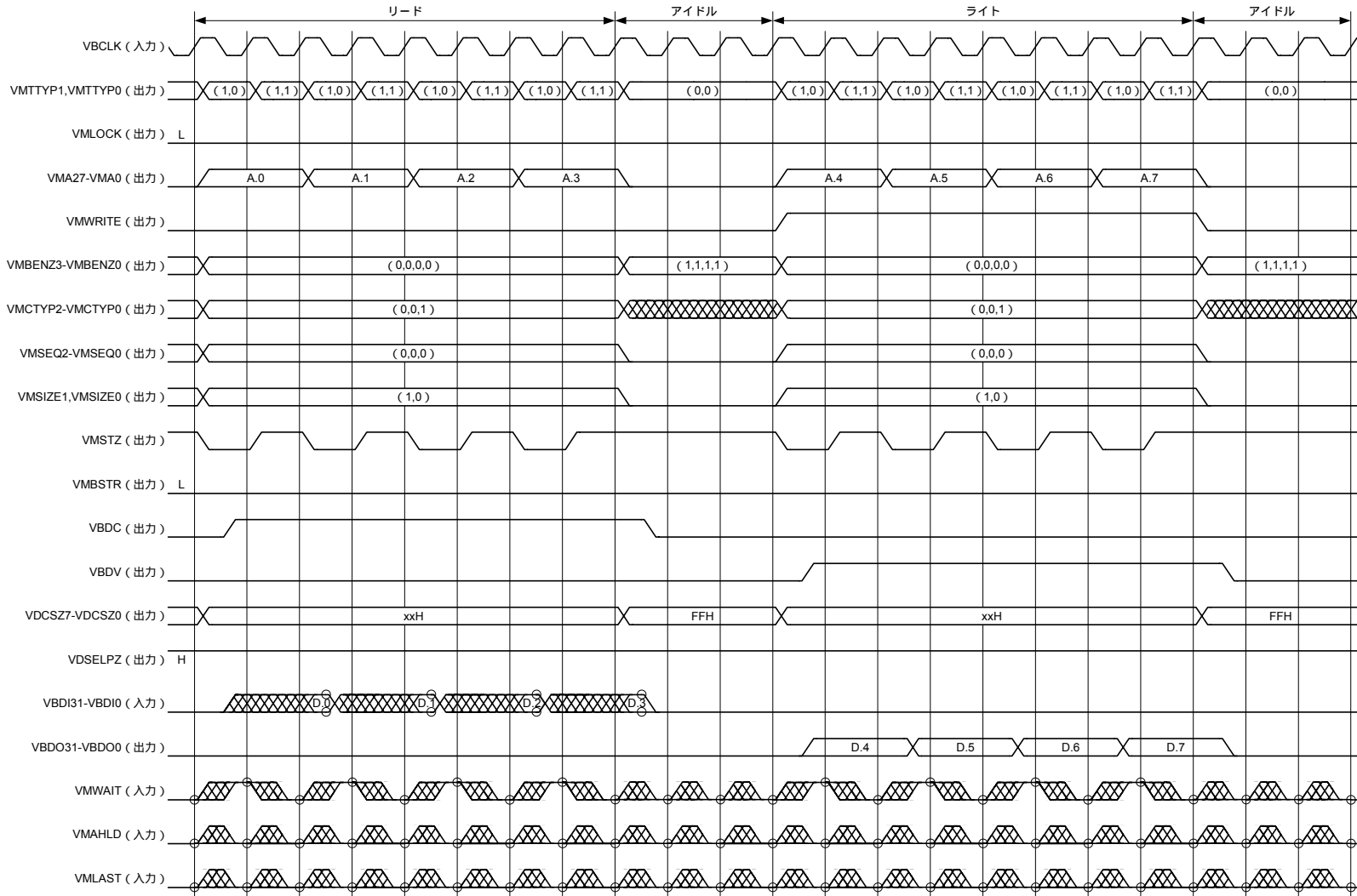


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (3/12)

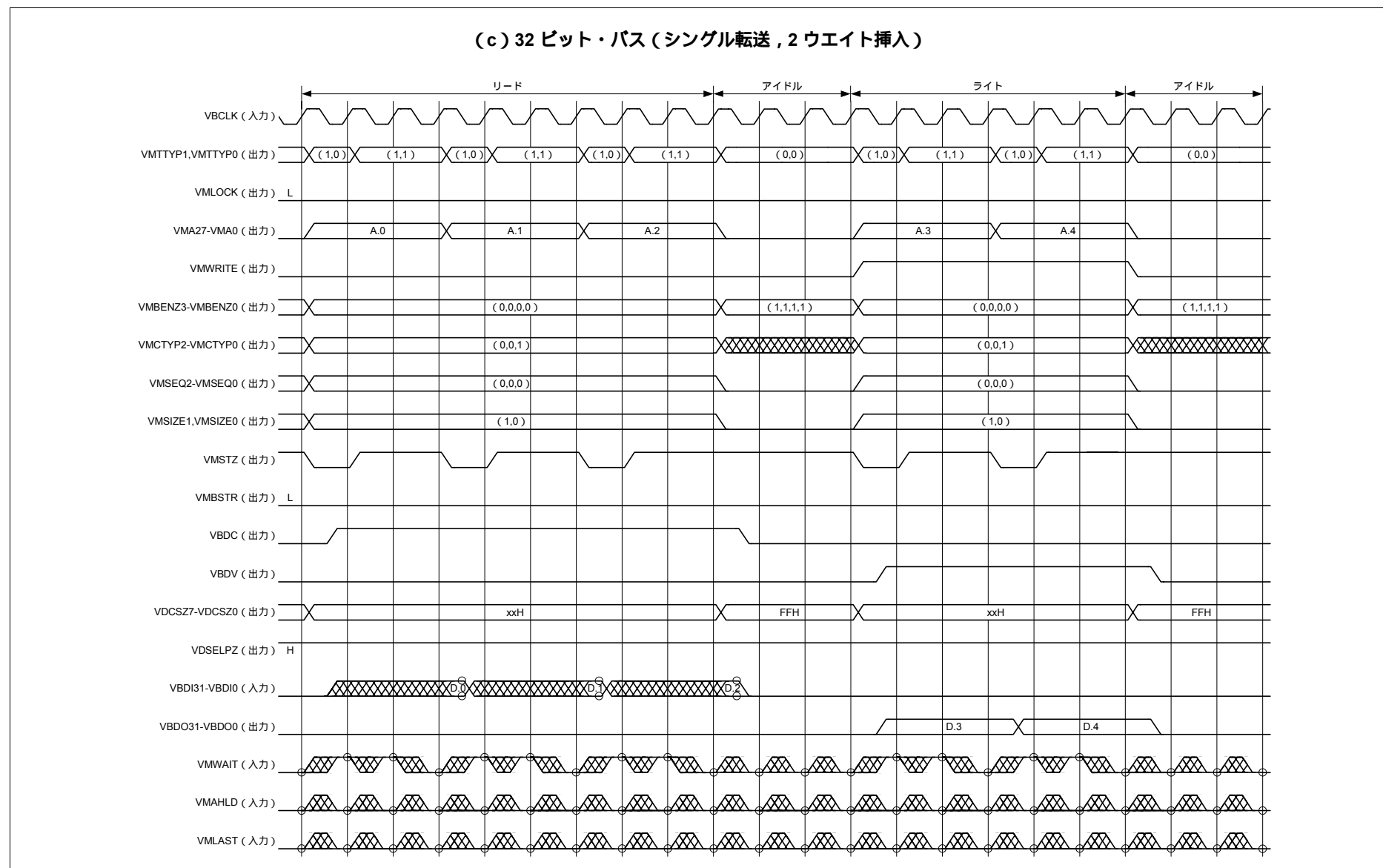


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (4/12)

(d) 32 ビット・バス (シングル転送, 2 ウェイト挿入, アドレス・ホールド挿入)

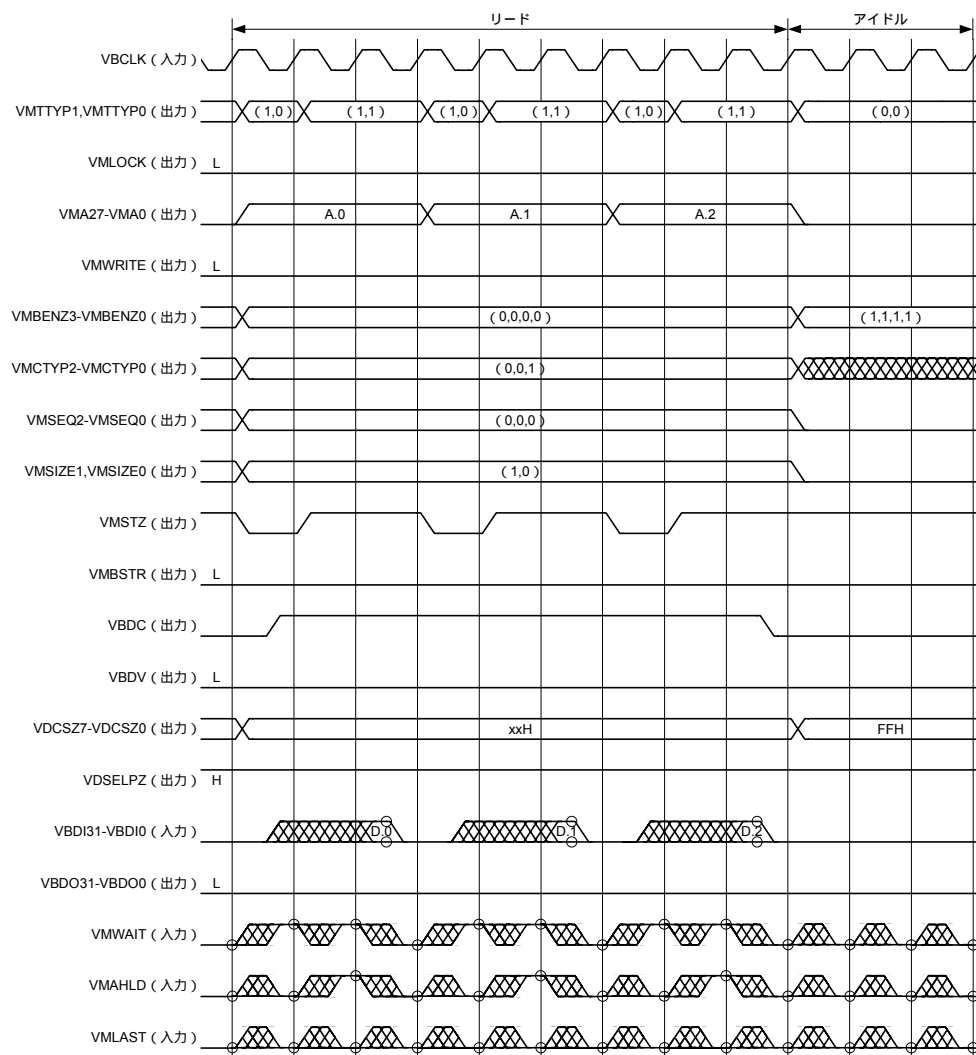


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (5/12)

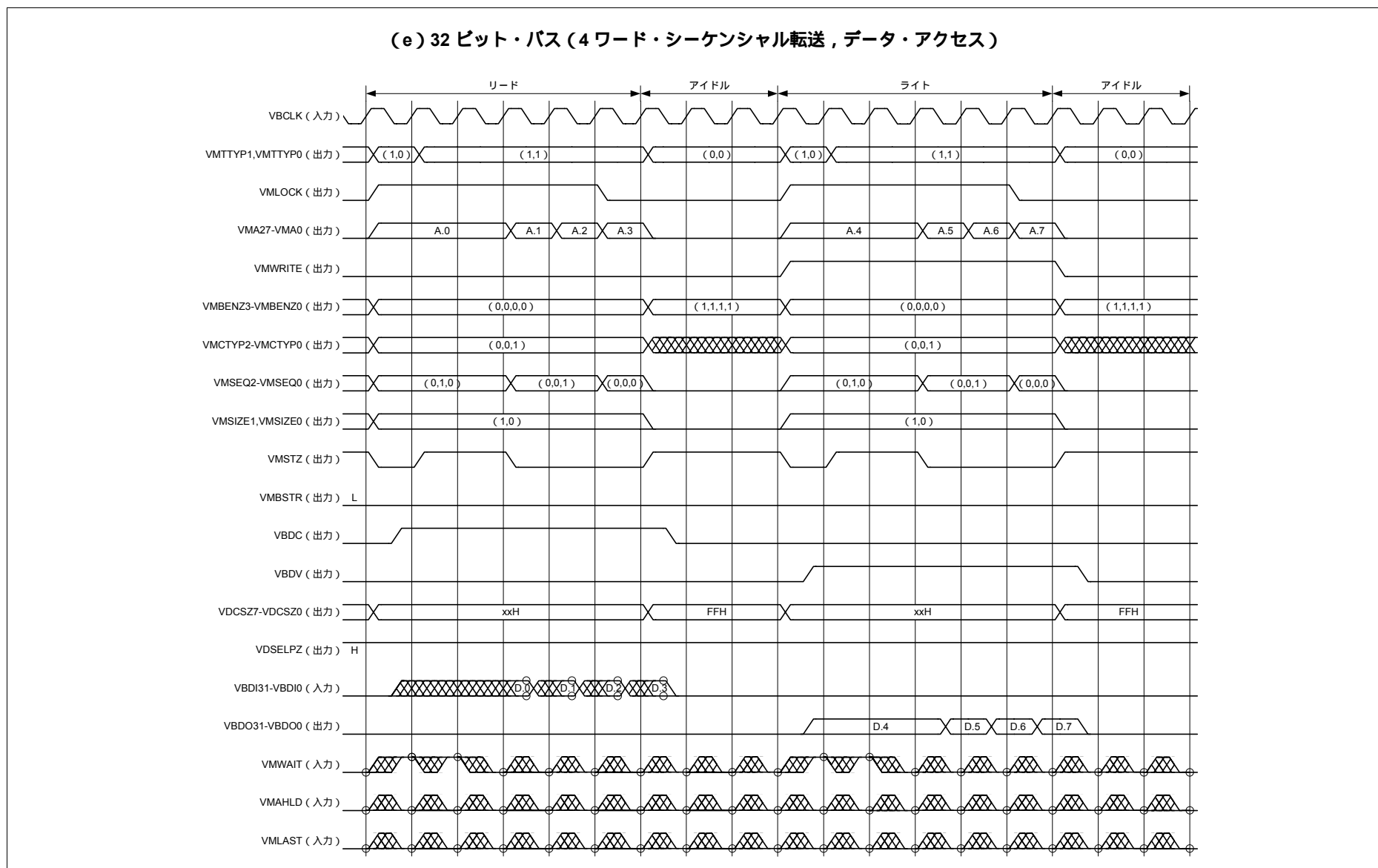


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (6/12)

(f) 16 ビット・バス (4 ワード・シーケンシャル転送, データ・アクセス)

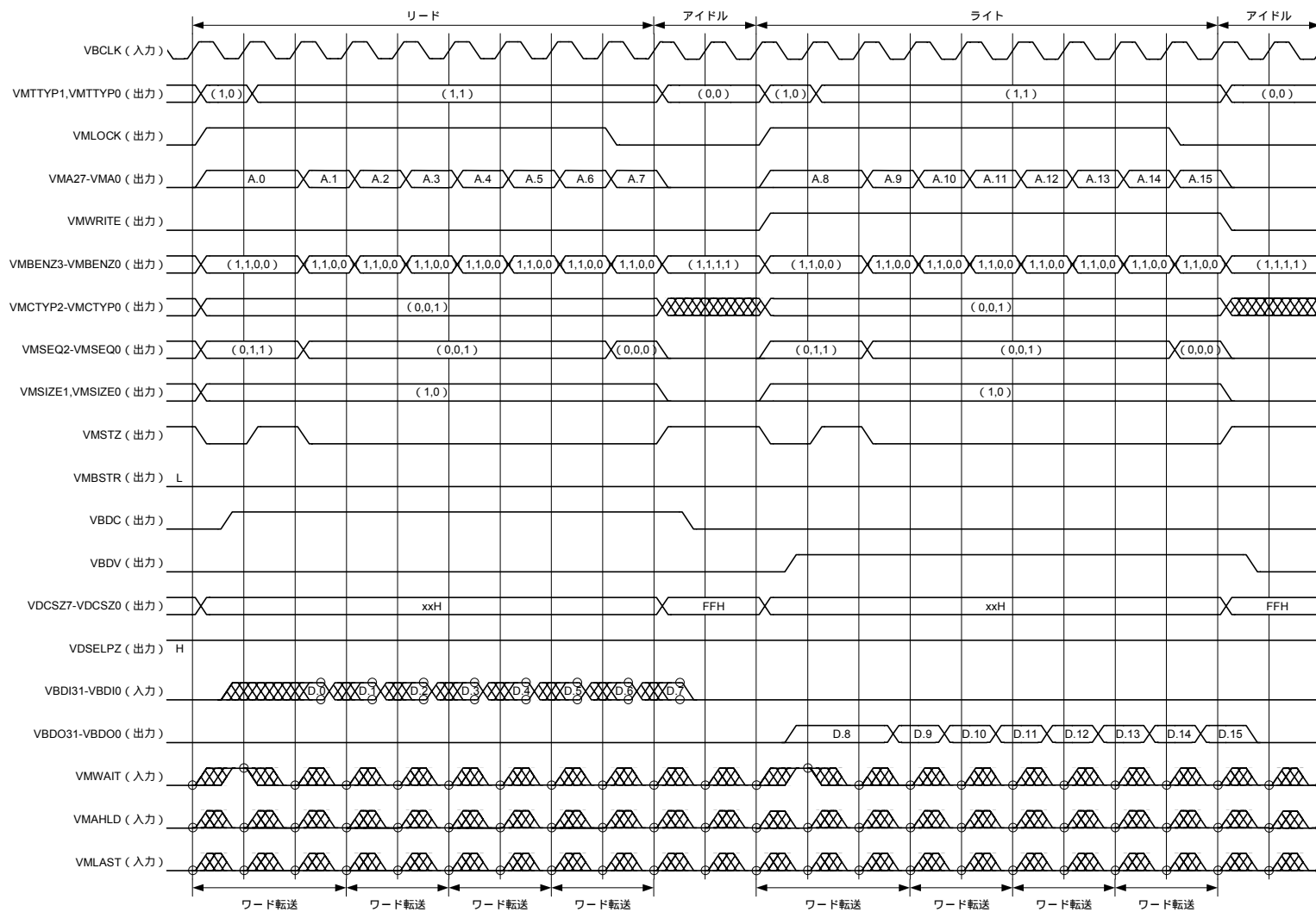


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (7/12)

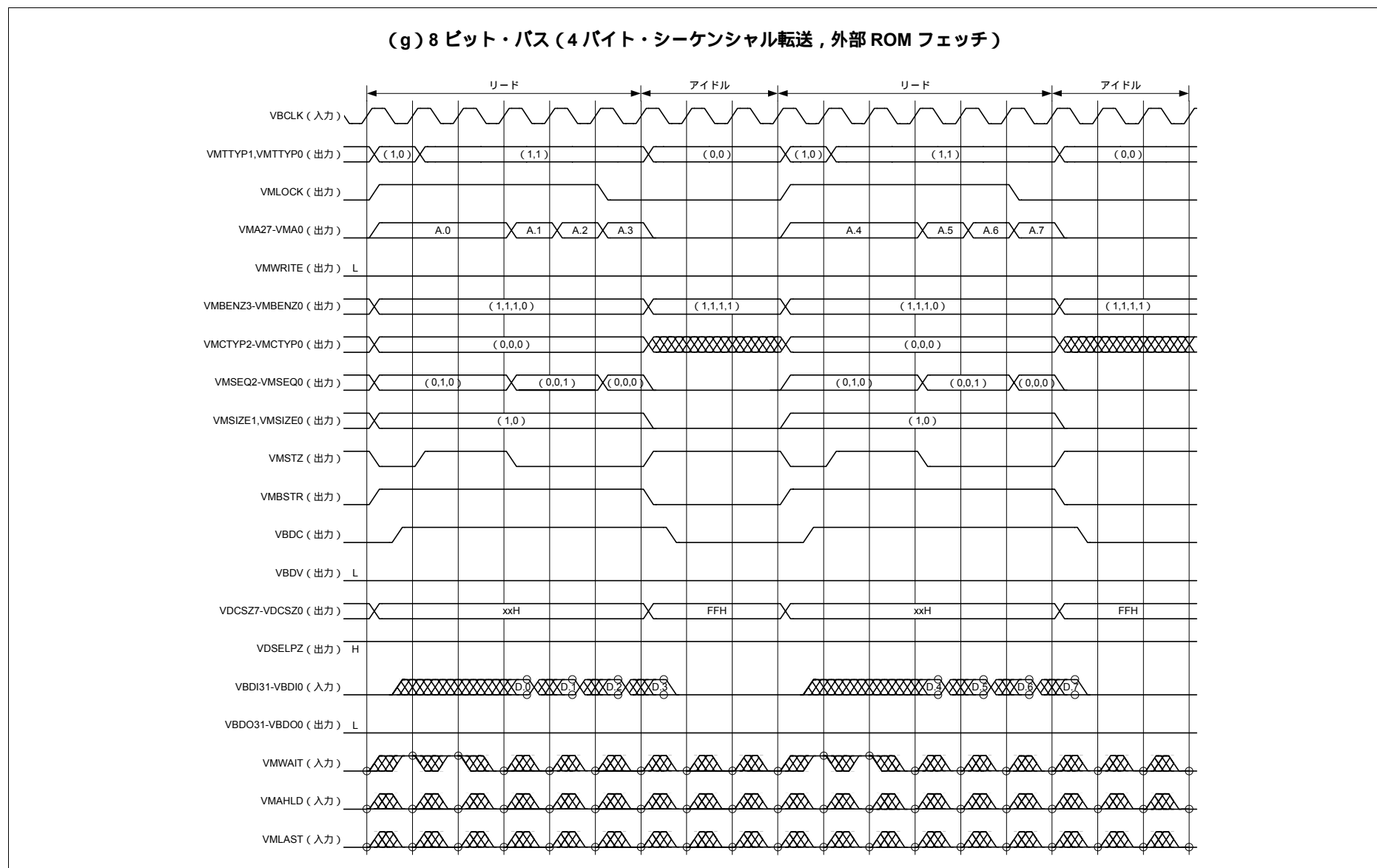


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (8/12)

(h) 32 ビット・バス (リトル・エンディアン, ワード/ハーフワード/バイト転送)

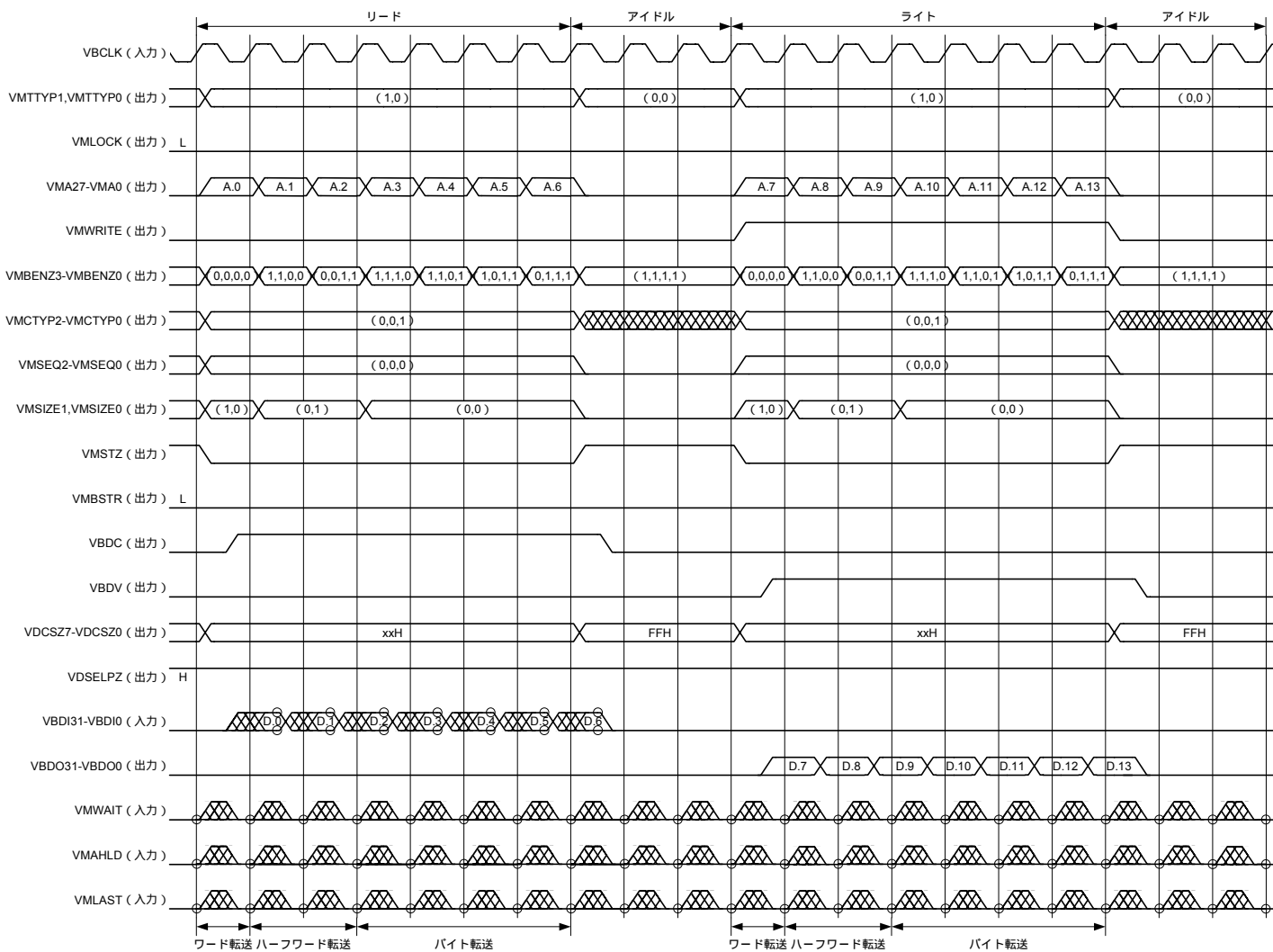


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (9/12)

(i) 32 ビット・バス (ビッグ・エンディアン, ワード/ハーフワード/バイト転送)

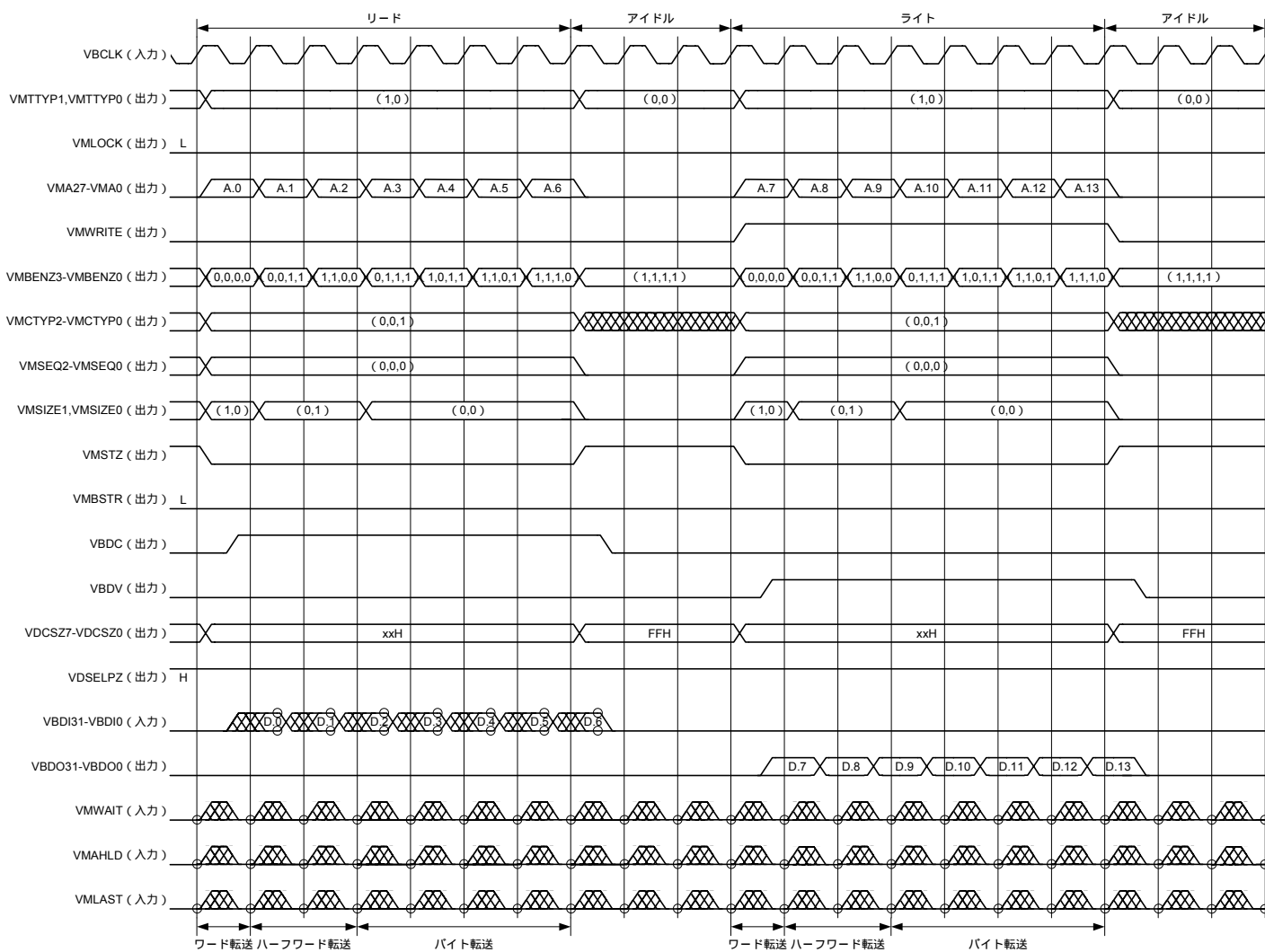


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (10/12)

(j) 16ビット・バス (リトル・エンディアン, ワード/ハーフワード/バイト転送)

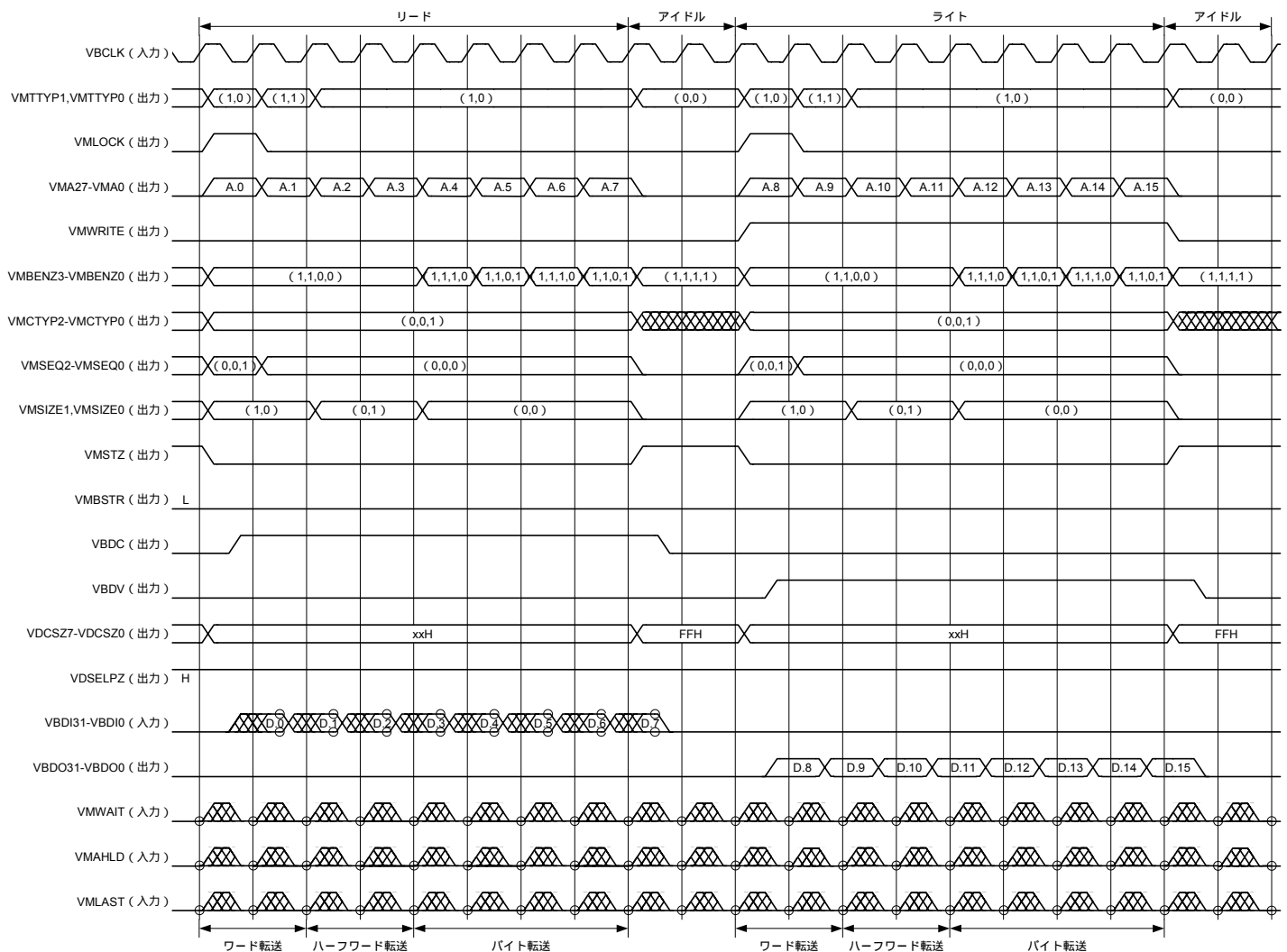


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (11/12)

(k) 16 ビット・バス (ビッグ・エンディアン, ワード/ハーフワード/バイト転送)

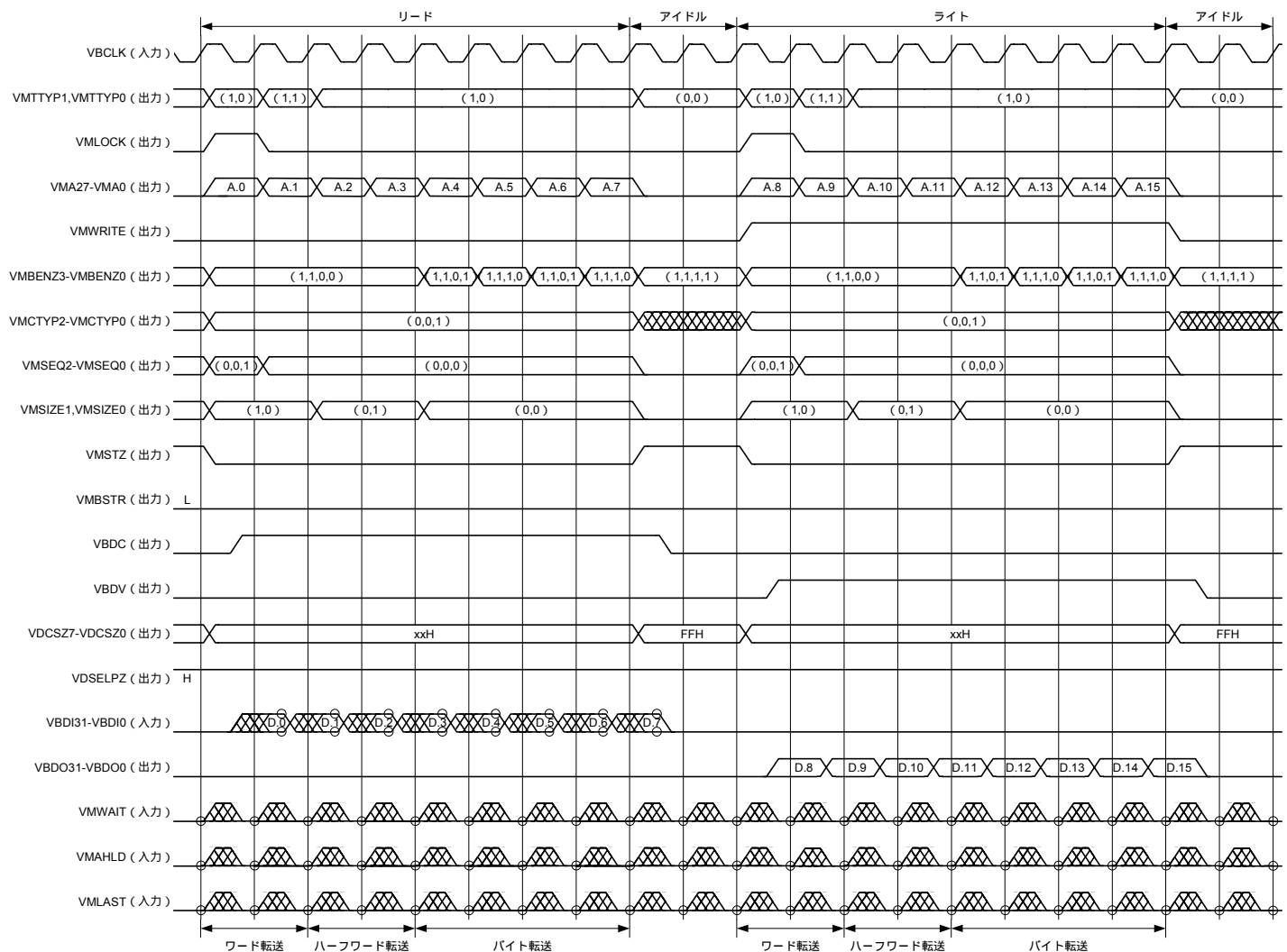
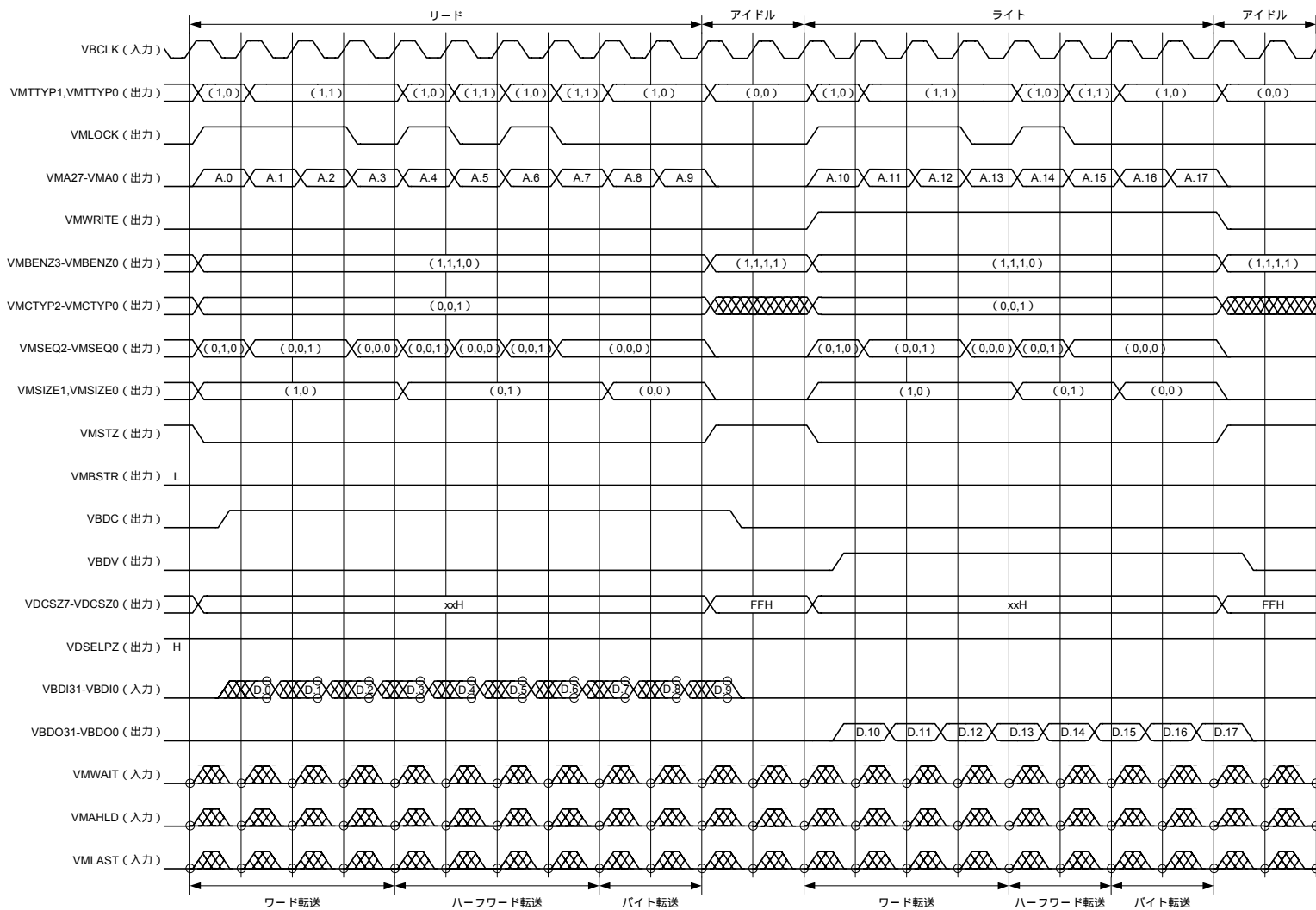


図4 - 14 VSBに接続されたバス・スレーブとのリード/ライト・タイミング (12/12)

(1) 8 ビット・バス (リトル/ビッグ・エンディアン, ワード/ハーフワード/バイト転送)



4.9.4 VSB リード/ライト・タイミング例

NT85E500 に接続した SRAM のリード/ライト・タイミング例を次に示します。

図4 - 15 VSB タイミング例 (1/2)

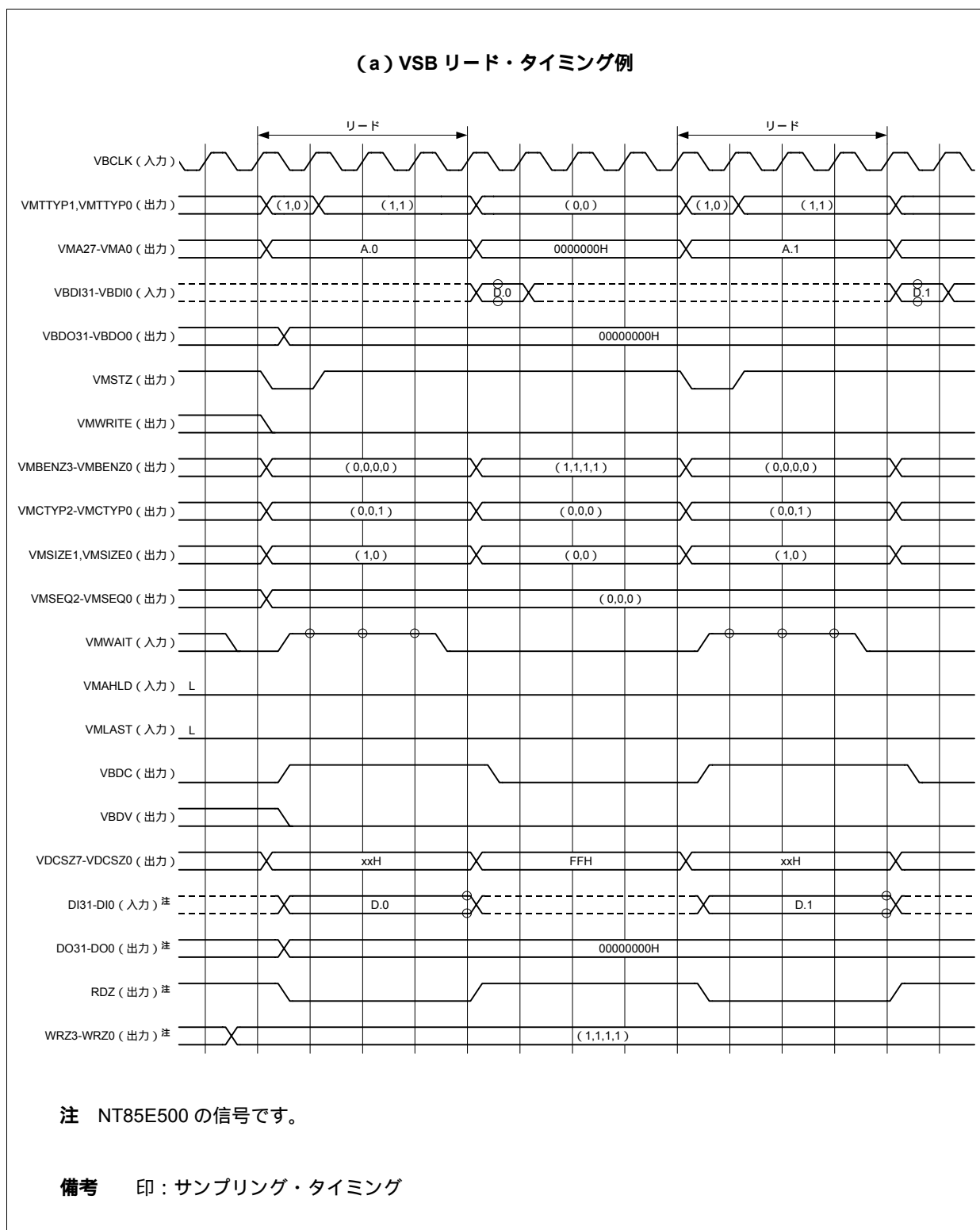
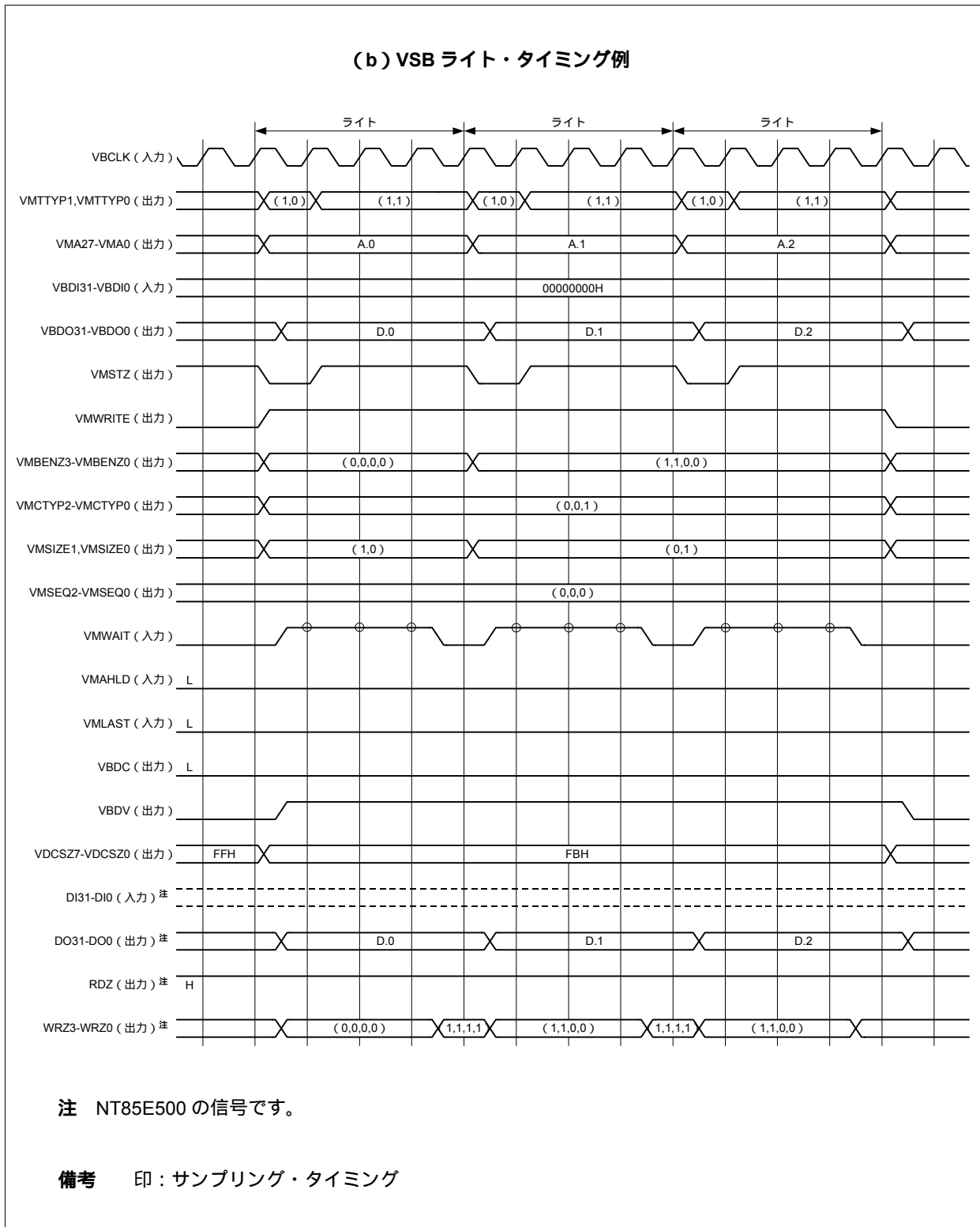


図4 - 15 VSBタイミング例 (2/2)

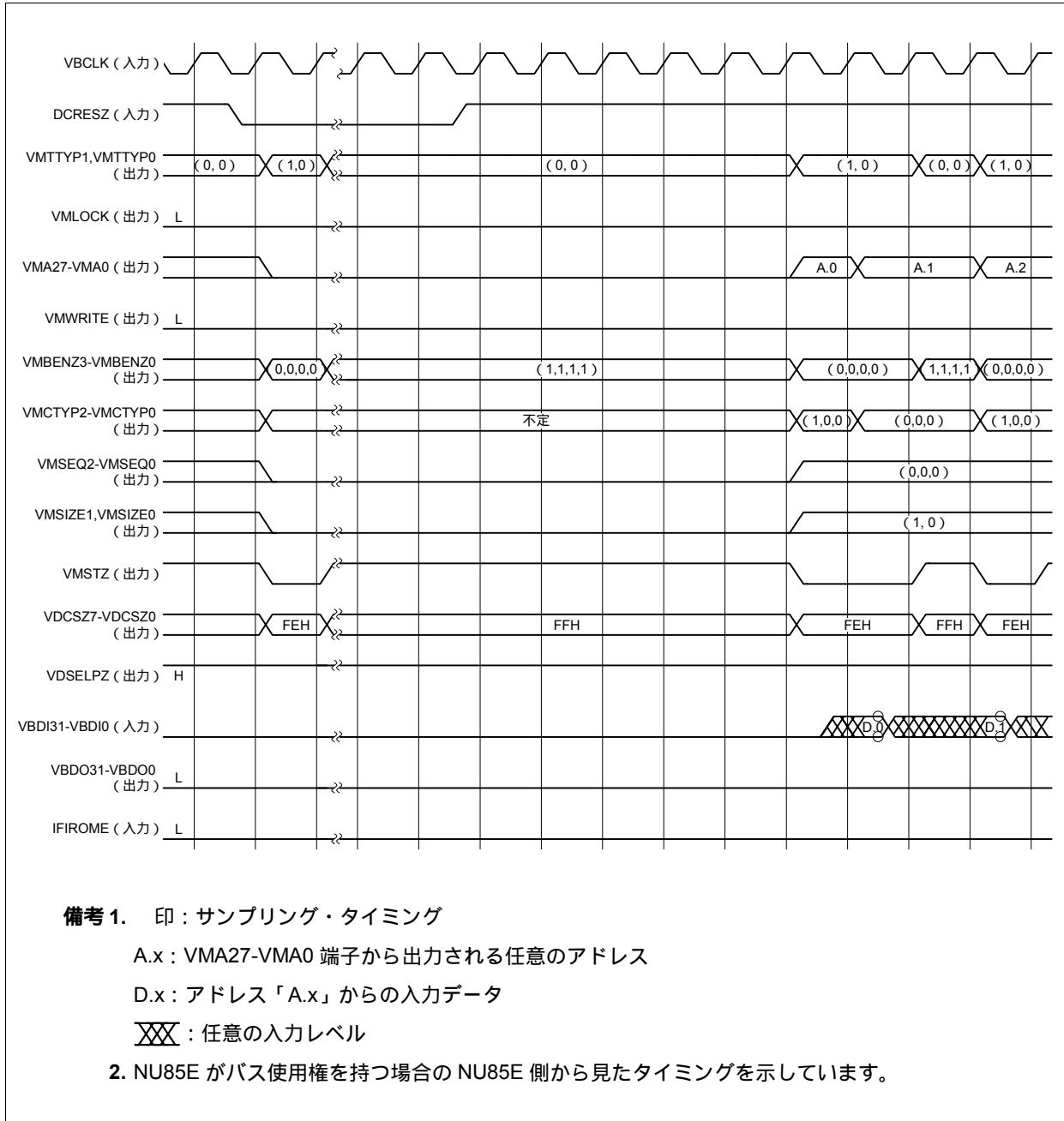


4.9.5 リセット・タイミング

IFIROME 端子にロウ・レベルが入力されている場合（外部メモリとして接続された ROM を使用（VSB 経由））のリセット・タイミングを次に示します。

注意 リセット期間中（DCRESZ がロウ・レベルの期間）は，常に VBCLK 信号を入力し続けてください。

図4 - 16 リセット・タイミング



4.9.6 バス・マスタ移行タイミング

外部バス・サイクルには、次に示す5つの外部バス・サイクルがあります。優先順位はバス・ホールドが最も高く、リフレッシュ・サイクル、DMA サイクル、オペランド・データ・アクセス、命令フェッチの順で優先順位が低くなります。

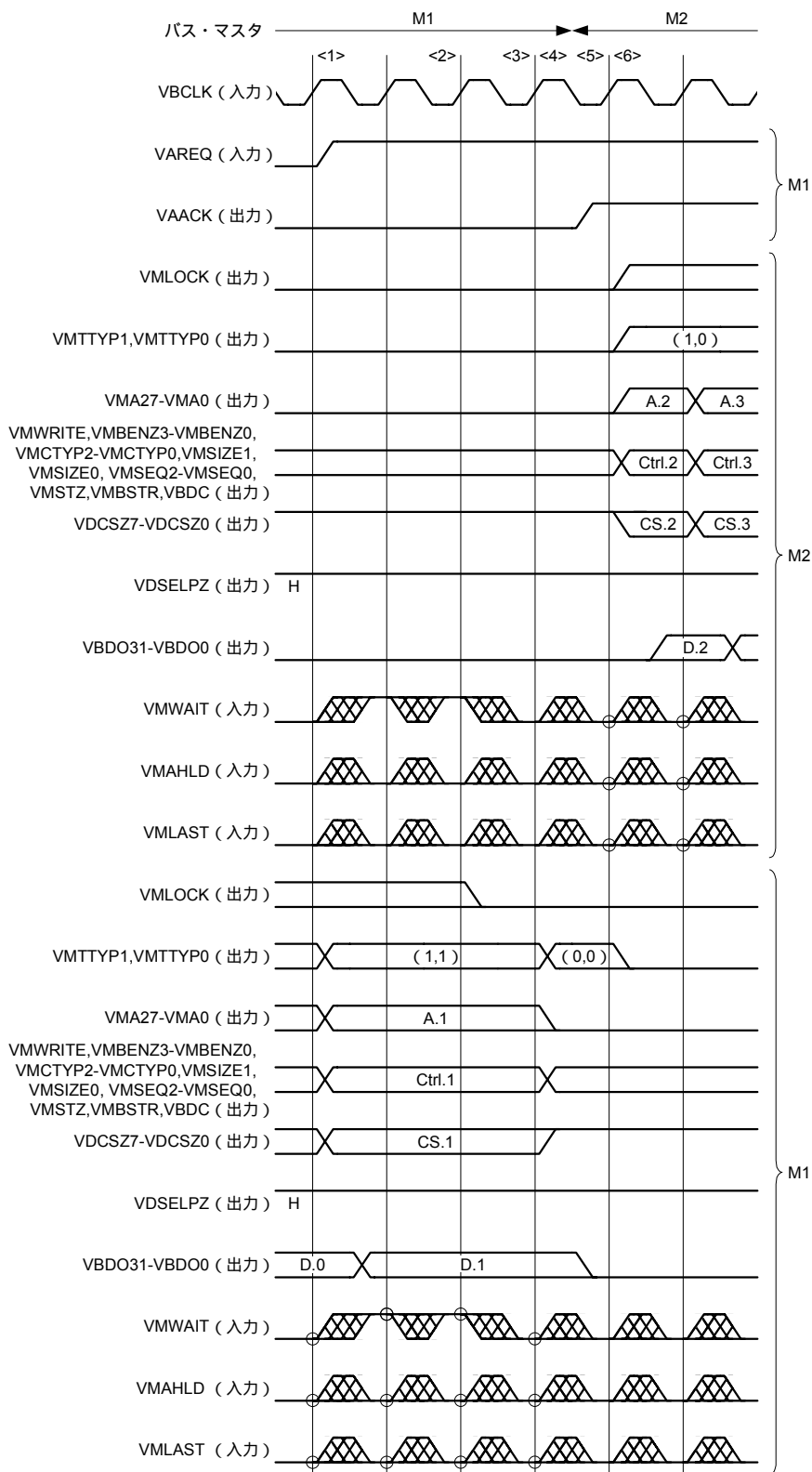
| 優先順位 | 外部バス・サイクル | バス・マスタ |
|------|----------------|--------------|
| 高 | バス・ホールド | 外部デバイス |
| | リフレッシュ・サイクル | SDRAM コントローラ |
| | DMA サイクル | DMA コントローラ |
| | オペランド・データ・アクセス | CPU |
| 低 | 命令フェッチ | CPU |

バス・マスタとして動作しているマスタ・デバイス (M1) から他のマスタ・デバイス (M2) へのバス・マスタ移行手順は次のようになります。

- <1> バス・マスタとして動作している「M1」が他のマスタ・デバイス「M2」からの VSB 使用権要求信号 (VAREQ) を入力します。
- <2> M1 内部のバス・アービタがバス・スレーブからのレディ・レスポンス待ち状態になります。
- <3> 現在の転送が完了すると、バス・スレーブがレディ・レスポンスを返します。
- <4> M1 の VMTTYP1, VMTTYP0 信号はアドレス・オンリー転送を示し、VMLOCK, VDCSZ7-VDCSZ0, VDSELPZ 信号はすべて無視されます。
- <5> M1 は VAREQ 信号に対するアックノリッジ信号 (VAACK) とレディ・レスポンスを M2 に返します。
- <6> M2 がバス・マスタとなり、VSB 上でのデータ転送を開始します。

備考 レディ・レスポンスとは、VMWAIT, VMAHLD, VMLAST 信号がすべてロウ・レベルの状態です。

図4-17 バス・マスタ移行タイミング



備考 印：サンプリング・タイミング

XXX：任意の入カレベル

4.9.7 ミス・アライン・アクセス・タイミング

ミス・アライン・アクセス許可時（IFIMAEN 端子にハイ・レベル入力時）の VSB アクセス・タイミング例を次に示します。

図4-18 ミス・アライン・アクセス・タイミング (1/2)

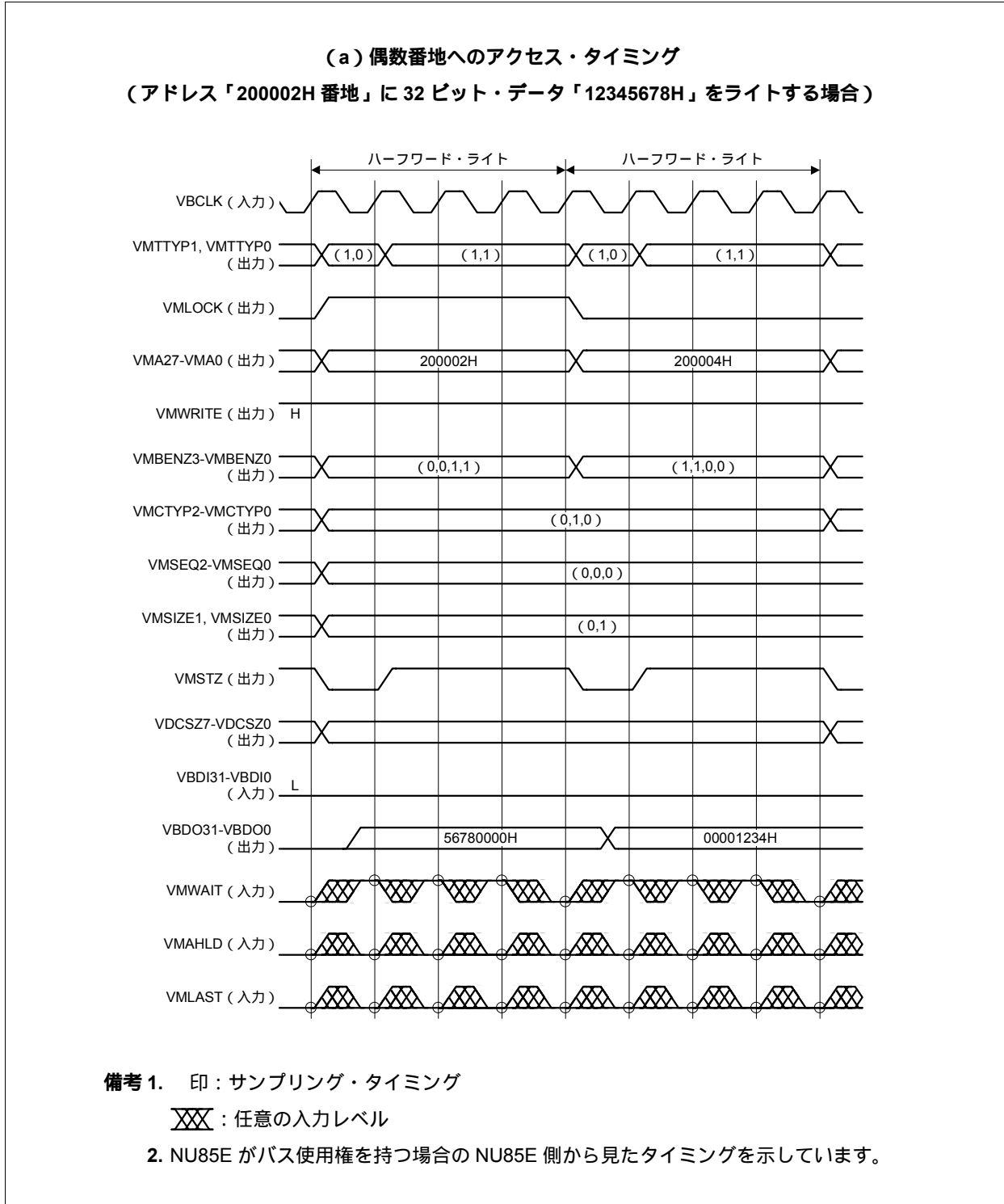
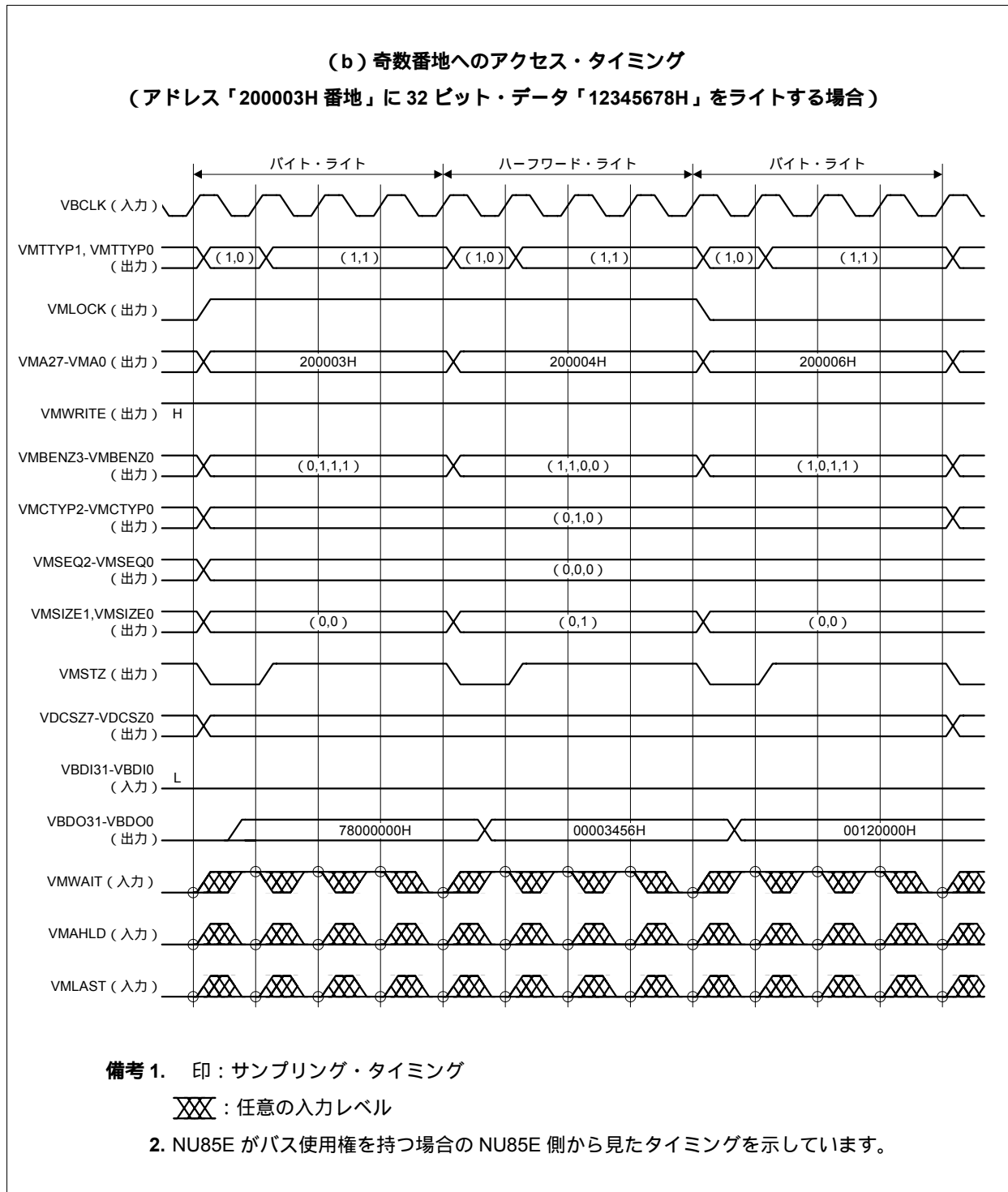


図4 - 18 ミス・アライン・アクセス・タイミング (2/2)



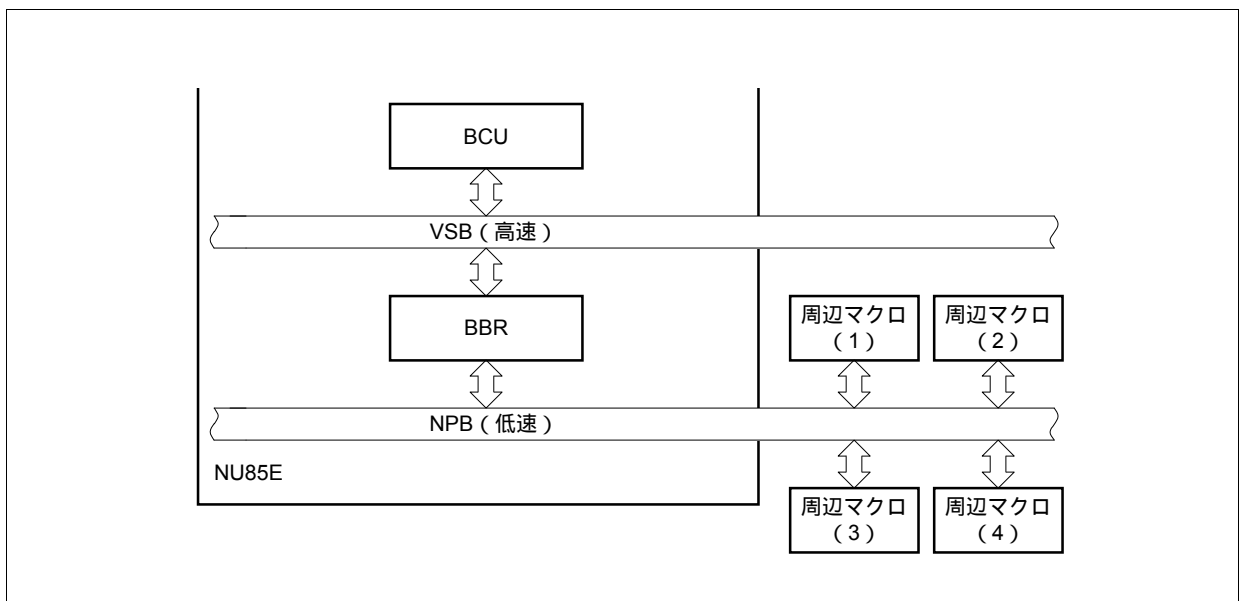
第5章 BBR

BBR (バス・ブリッジ) は、VSB-NPB 間の信号変換を行います。

BBR は、NPB 上に接続された周辺マクロに対し、次の機能の設定を行います。

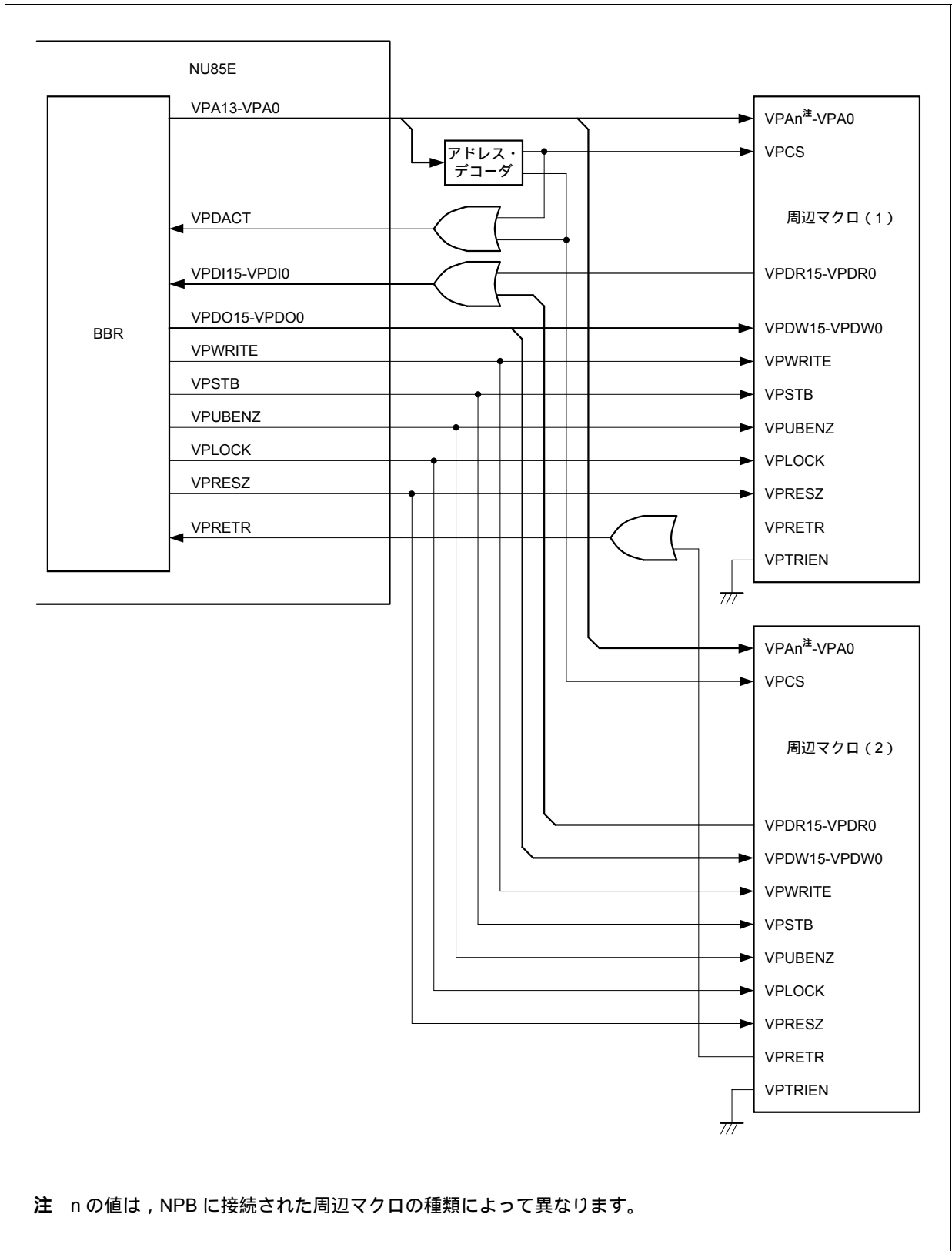
- ウェイト挿入機能
- リトライ機能

図5 - 1 NPB接続の概略図



NU85E と NPB に接続された周辺マクロの接続例を次に示します。

図5 - 2 NU85Eと周辺マクロの接続例



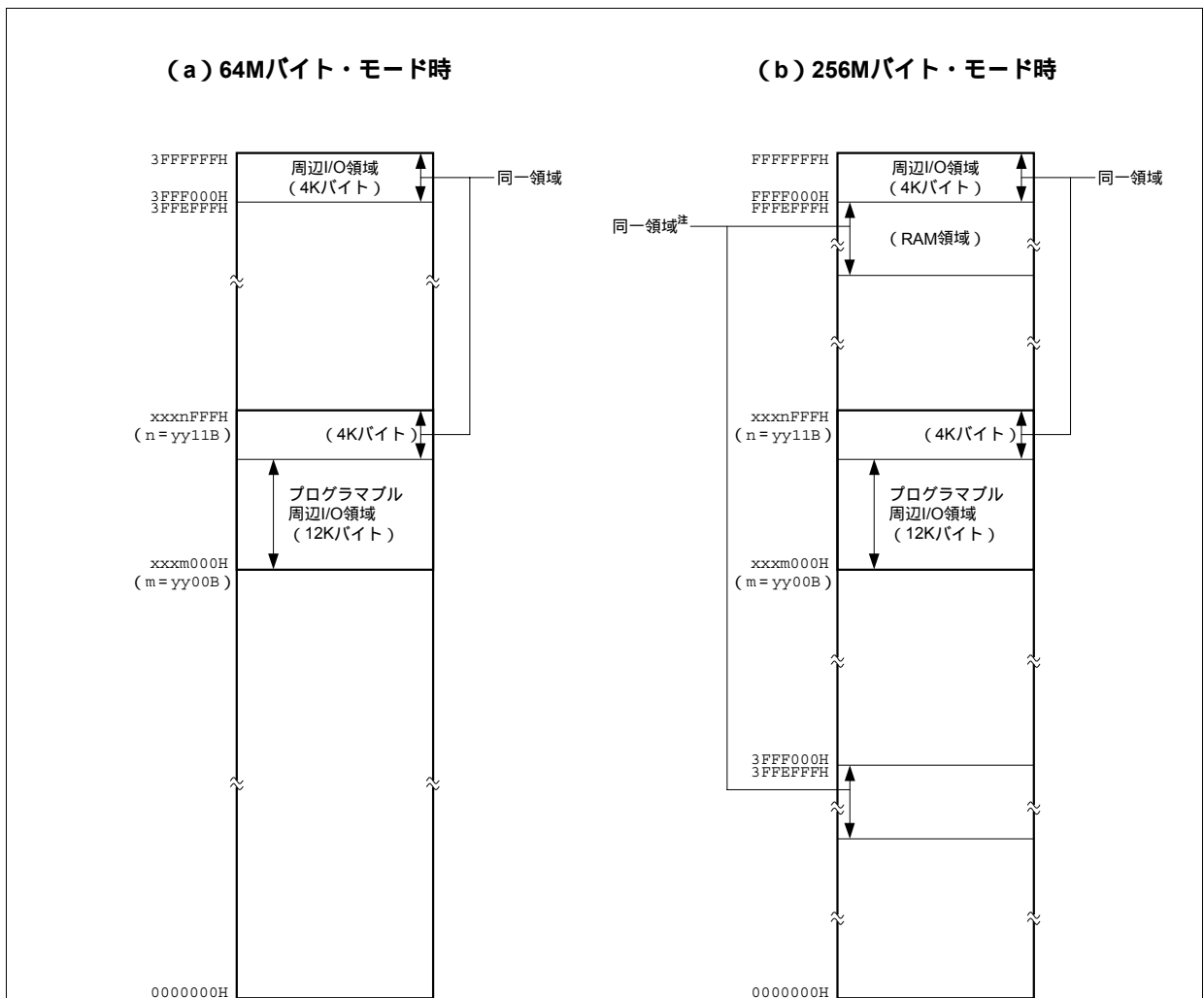
5.1 プログラマブル周辺 I/O 領域

NU85E には、アドレス空間上にあらかじめ割り付けられた 4K バイトの「周辺 I/O 領域」と、レジスタ設定により任意の番地に割り付けることのできる 12K バイトの「プログラマブル周辺 I/O 領域」があります（4.4 プログラマブル周辺 I/O 領域選択機能参照）。

図 5-3 のメモリ・マップで、周辺 I/O 領域、またはプログラマブル周辺 I/O 領域がアクセスされると、NPB はアクティブになります。

プログラマブル周辺 I/O 領域は、周辺 I/O 領域セレクト制御レジスタ（BPC）で設定します。

図5-3 周辺I/O領域とプログラマブル周辺I/O領域



注 図 3-8 データ領域 (256M バイト・モード時) 参照

備考 1.xxx : BPC レジスタの PA13-PA02 ビットで設定

yy : BPC レジスタの PA01, PA00 ビットで設定

2. 「同一領域」で示す領域は連結しているため、1 つの領域にデータを書き込むと、他の領域にも同じ内容のデータが書き込まれます。

図5 - 4 周辺I/O領域セレクト制御レジスタ (BPC)

| | | | | | | | | | | | | | | | | | | |
|-----|----------|----|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|------------|-------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| BPC | PA 15 | 0 | PA 13 | PA 12 | PA 11 | PA 10 | PA 09 | PA 08 | PA 07 | PA 06 | PA 05 | PA 04 | PA 03 | PA 02 | PA 01 | PA 00 | アドレス | 初期値 |
| | | | | | | | | | | | | | | | | | FFFFFF064H | 0000H |

| ビット位置 | ビット名 | 意味 |
|-------|---------------|--|
| 15 | PA15 | プログラマブル周辺 I/O 領域へのアクセスを設定します。 0 : アクセス不可 1 : アクセス可能 |
| 13-0 | PA13- PA00 | プログラマブル周辺 I/O 領域の先頭アドレスのビット 27-ビット 14 を指定します (他のビットは 0 に固定)。 |

注意 ビット 14 には、必ず 0 を設定してください。1 を設定した場合の動作は保証しません。

注意 1. 64M バイト・モード時、プログラマブル周辺 I/O 領域が次の各領域と重なった場合、プログラマブル周辺 I/O 領域は無効となります。

- 周辺 I/O 領域
- ROM 領域
- RAM 領域

2. 256M バイト・モード時、プログラマブル周辺 I/O 領域が次の各領域と重なった場合、プログラマブル周辺 I/O 領域は無効となります。

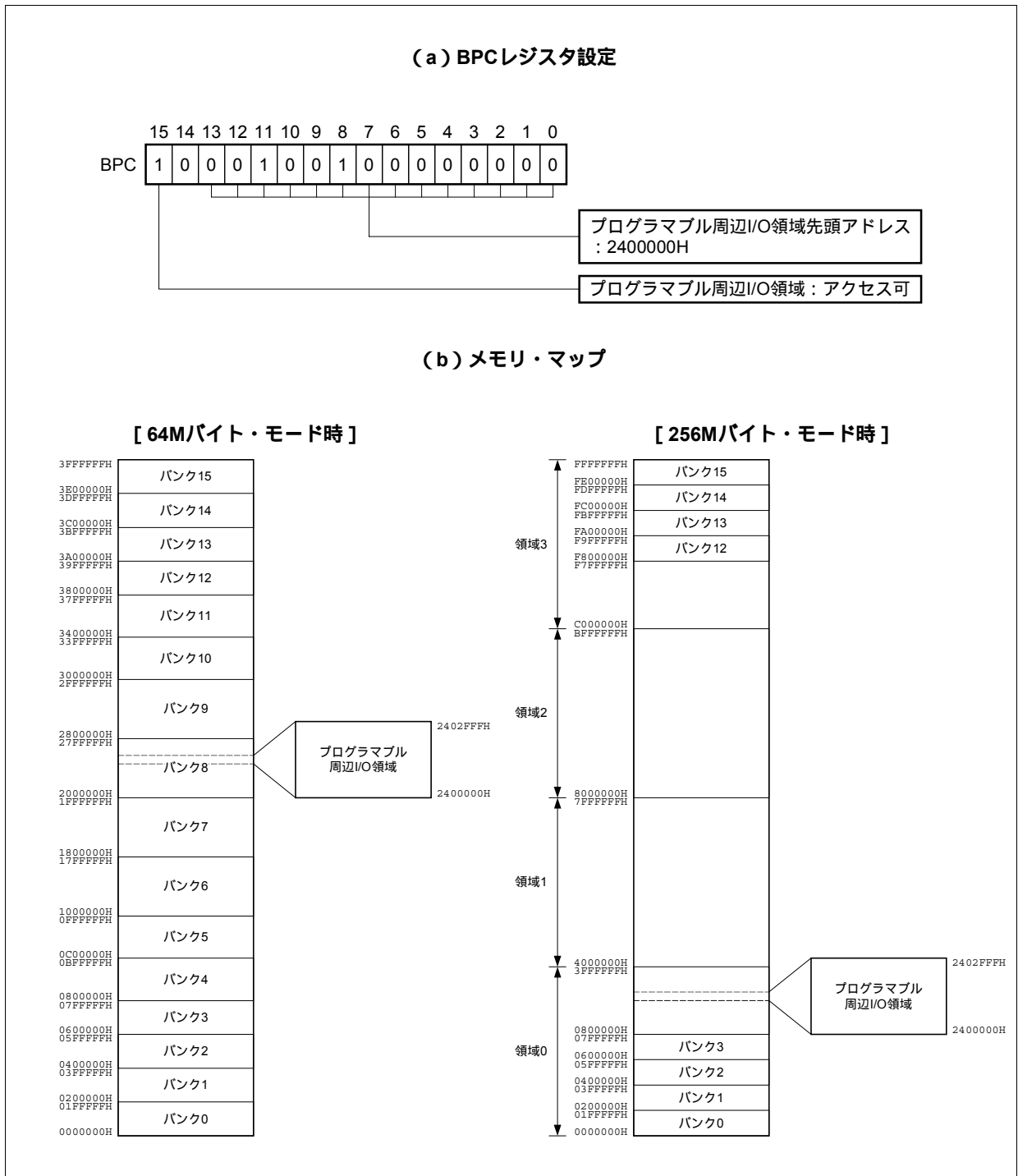
- 周辺 I/O 領域
- ROM 領域
- RAM 領域
- 3FFEFFFH 番地以下の RAM 領域との同一領域
(図 3 - 8 データ領域 (256M バイト・モード時) 参照)

3. NPB に接続する周辺マクロがない場合、プログラマブル周辺 I/O 領域の設定を行う必要はありません (BPC レジスタは初期値の状態にしてください)。

4. プログラマブル周辺 I/O 領域のアドレス設定は、1 回だけ設定可能です。プログラムの途中でアドレスを変更しないでください。

図 5 - 5 に、BPC レジスタの設定例と設定後のメモリ・マップを示します。

図5 - 5 BPCレジスタ設定例



5.2 ウェイト挿入機能

BBR は、NPB に接続された低速な周辺マクロとの接続用にウェイト挿入機能を備えています。この機能の設定は、NPB ストローブ・ウェイト・コントロール・レジスタ (VSWC) によって行います。

VSWC レジスタでは、セットアップ・ウェイト幅と VPSTB ウェイト幅の設定を行います。ウェイト数は、内部システム・クロック (VBCLK) を基本として、0 から 7 クロックまでの範囲で設定できます。

VSWC レジスタは、8/1 ビット単位でリード/ライト可能です。

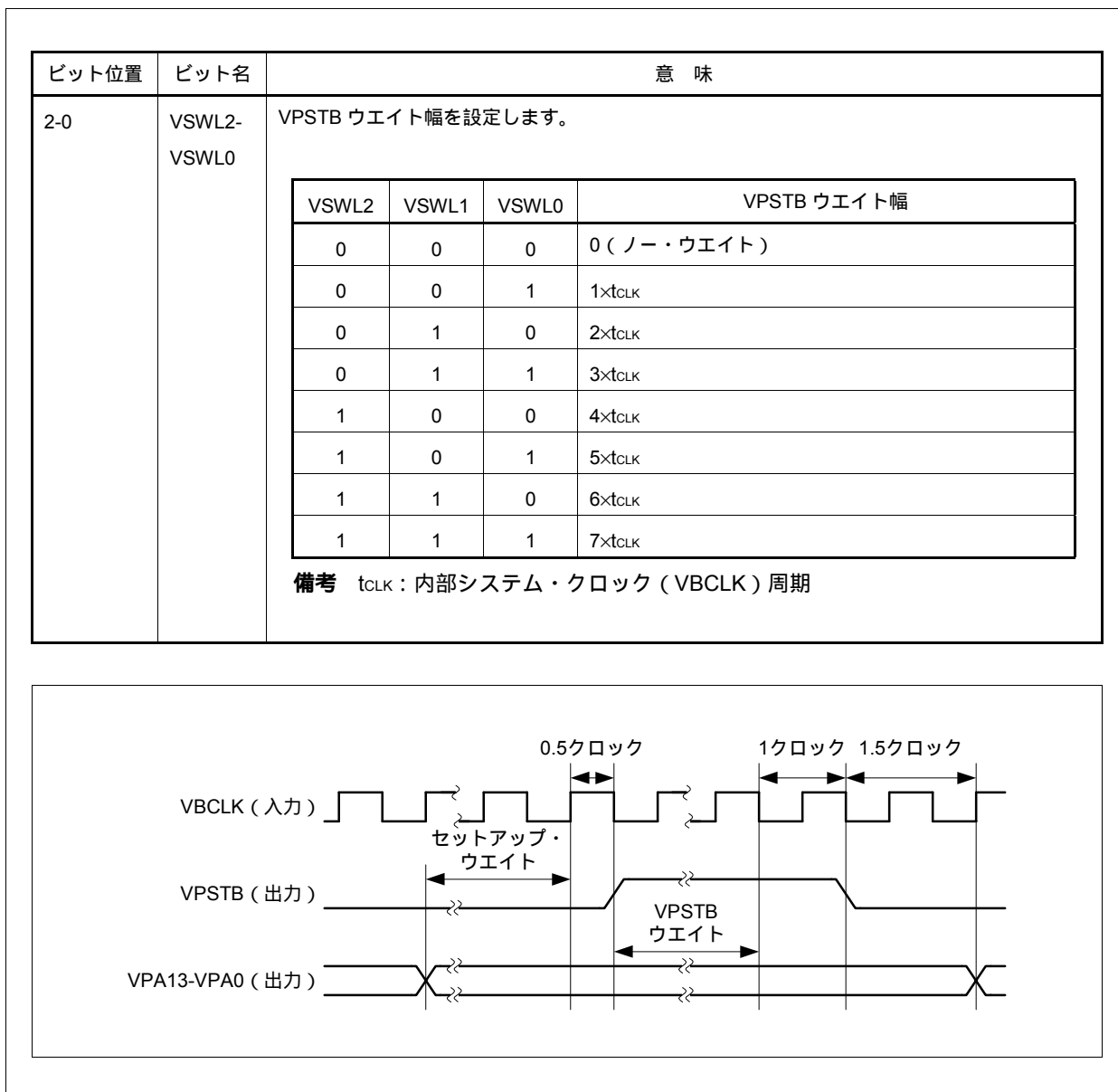
図5-6 NPBストローブ・ウェイト・コントロール・レジスタ (VSWC) (1/2)

| | | | | | | | | | | |
|------|---|-------|-------|-------|---|-------|-------|-------|------------|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| VSWC | 0 | SUWL2 | SUWL1 | SUWL0 | 0 | VSWL2 | VSWL1 | VSWL0 | アドレス | 初期値 |
| | | | | | | | | | FFFFFF06EH | 77H |

| ビット位置 | ビット名 | 意味 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------|-----------------|---|--------------|-------|-------|--------------|---|---|---|-------------|---|---|---|--------|---|---|---|--------|---|---|---|--------|---|---|---|--------|---|---|---|--------|---|---|---|--------|---|---|---|--------|
| 6-4 | SUWL2- SUWL0 | セットアップ・ウェイト幅を設定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">SUWL2</th> <th style="width: 10%;">SUWL1</th> <th style="width: 10%;">SUWL0</th> <th style="width: 70%;">セットアップ・ウェイト幅</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>0 (ノー・ウェイト)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>1×tCLK</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>2×tCLK</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>3×tCLK</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>4×tCLK</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>5×tCLK</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>6×tCLK</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>7×tCLK</td> </tr> </tbody> </table> <p style="margin-top: 10px;">備考 tCLK : 内部システム・クロック (VBCLK) 周期</p> | SUWL2 | SUWL1 | SUWL0 | セットアップ・ウェイト幅 | 0 | 0 | 0 | 0 (ノー・ウェイト) | 0 | 0 | 1 | 1×tCLK | 0 | 1 | 0 | 2×tCLK | 0 | 1 | 1 | 3×tCLK | 1 | 0 | 0 | 4×tCLK | 1 | 0 | 1 | 5×tCLK | 1 | 1 | 0 | 6×tCLK | 1 | 1 | 1 | 7×tCLK |
| SUWL2 | SUWL1 | SUWL0 | セットアップ・ウェイト幅 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | 0 (ノー・ウェイト) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | 1×tCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | 2×tCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | 3×tCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | 4×tCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | 5×tCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | 6×tCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | 7×tCLK | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

注意 VSWC レジスタのビット 7, 3 には、必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

図5-6 NPBストローブ・ウェイト・コントロール・レジスタ (VSWC) (2/2)



各動作周波数において、セッテアッ・ウェイト幅、VPSTB ウェイト幅は表 5 - 1 に示すウェイト数以上の値を設定してください。

表5-1 各動作周波数におけるセッテアッ・ウェイト幅、VPSTBウェイト幅の設定値

| ウェイト幅 | 動作周波数 | | | | |
|-------------------------------------|---------|---------|---------|---------|----------|
| | ~ 25MHz | ~ 33MHz | ~ 50MHz | ~ 81MHz | ~ 100MHz |
| セッテアッ・ウェイト幅 (SUWL2-SUWL0 ビットで設定) | 1 | 1 | 1 | 2 | 2 |
| VPSTB ウェイト幅 (VSWL2-VSWL0 ビットで設定) | 1 | 2 | 4 | 5 | 6 |

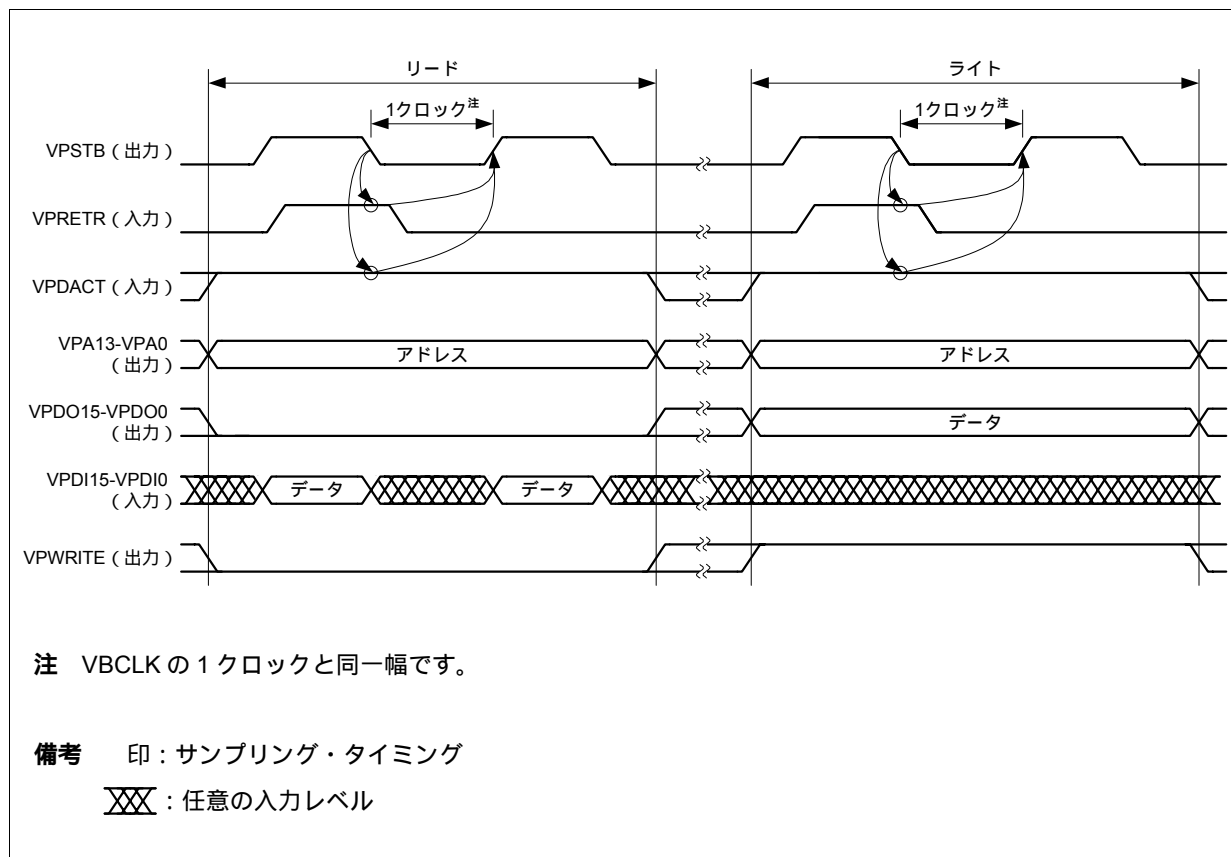
注意 この設定値は保証値ではありませんので、動作検証を行ったうえでシステムに合ったウェイト数を設定してください。

5.3 リトライ機能

リトライ機能とは、NPB 上の周辺マクロからのリトライ要求信号 (VPRETR) に従って、リード/ライト処理を繰り返す機能で、データのセットアップ時間が不足するときなどに使用します。

VPSTB 信号の立ち下がり時に VPRETR 端子、VPDACT 端子にハイ・レベルが入力されていると、VPSTB 信号は再び立ち上がり、リード/ライト動作を繰り返します。

図5-7 リトライ機能



5.4 NPB リード/ライト・タイミング

図 5 - 8 から図 5 - 13 に NPB の基本リード/ライト・タイミングを、図 5 - 14 に NU85E と NPB に接続されたバス・スレーブのリード/ライト・タイミング例を、図 5 - 15 に周辺 I/O レジスタへのライト・タイミング例を示します。各図は、NU85E がバス使用权を持つ場合の NU85E 側から見たタイミングを示しています。

備考 印：サンプリング・タイミング

A.x：VPA13-VPA0 端子から出力される任意のアドレス

D.x：アドレス「A.x」に対する入出力データ

XXX：信号が未確定の状態（出力信号の場合）、または任意のレベル（入力信号の場合）

図5-8 ハーフワード・アクセス・タイミング

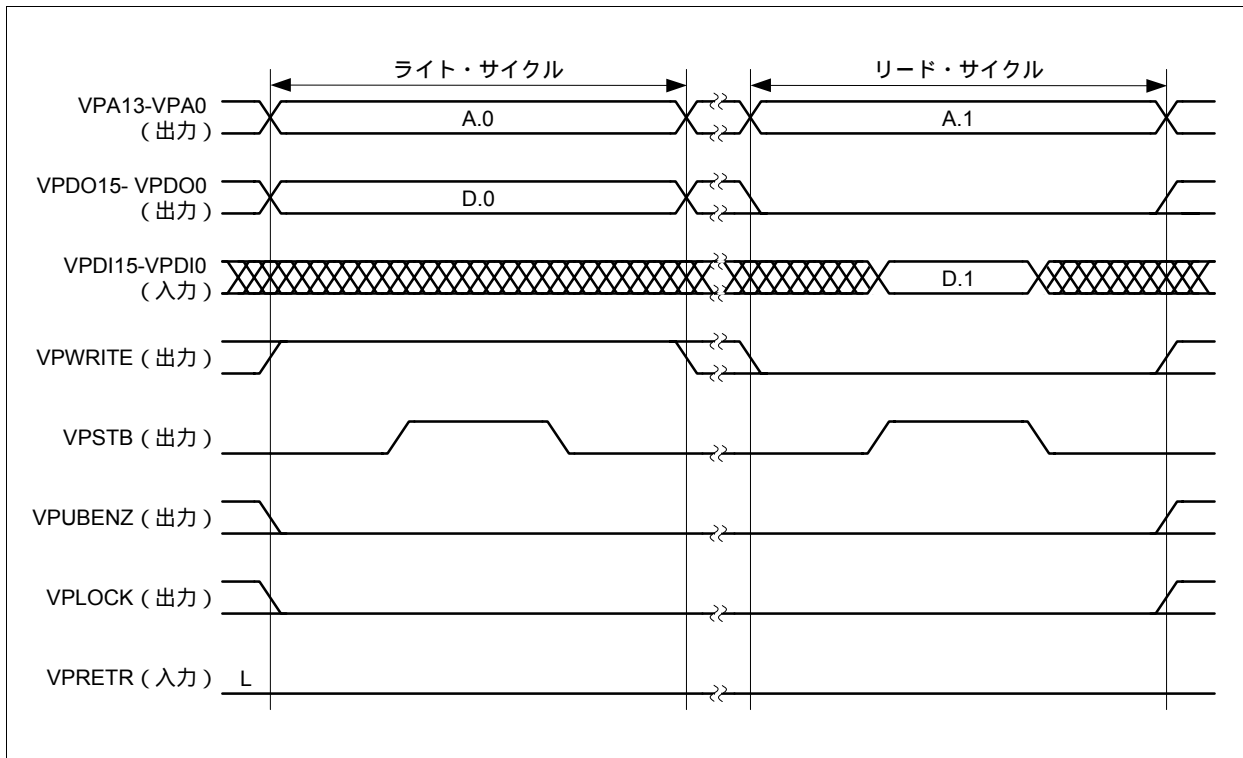


図5-9 奇数アドレスに対するバイト・アクセス・タイミング

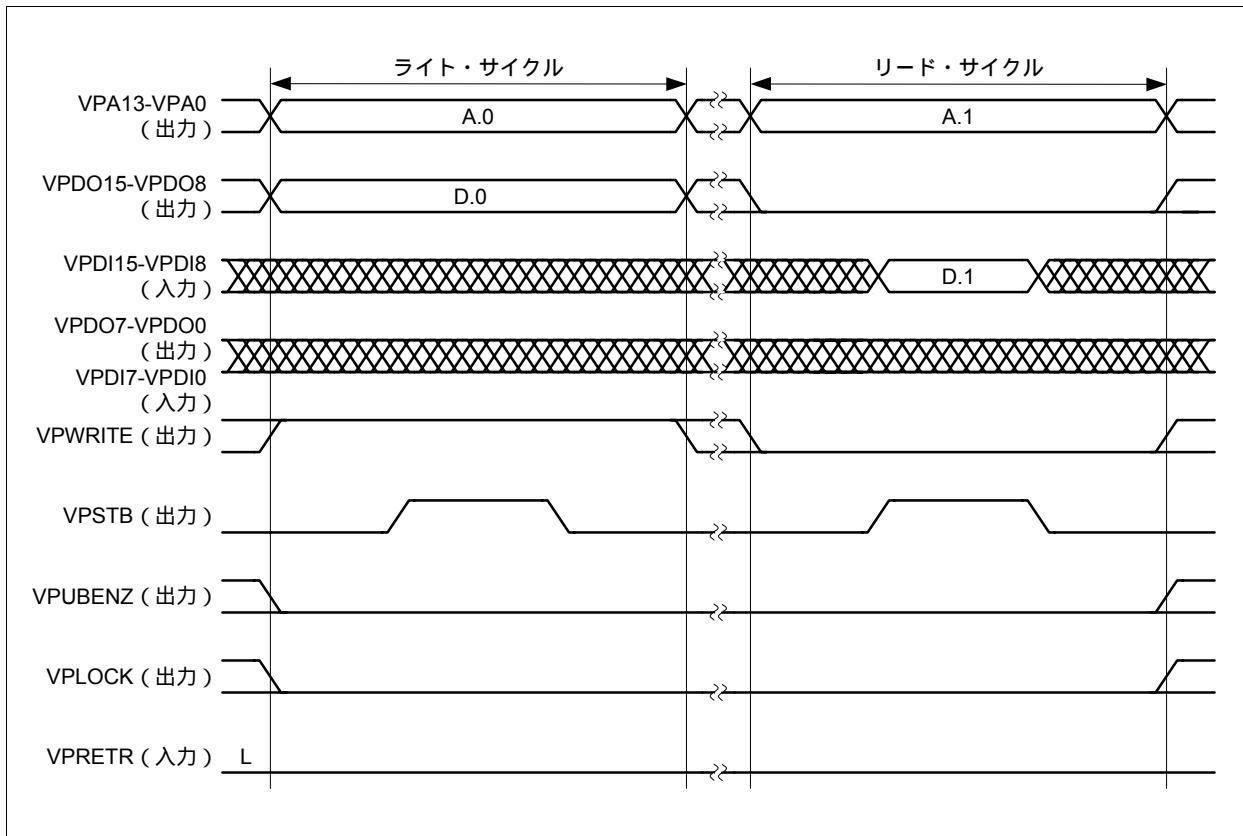


図5 - 10 偶数アドレスに対するバイト・アクセス・タイミング

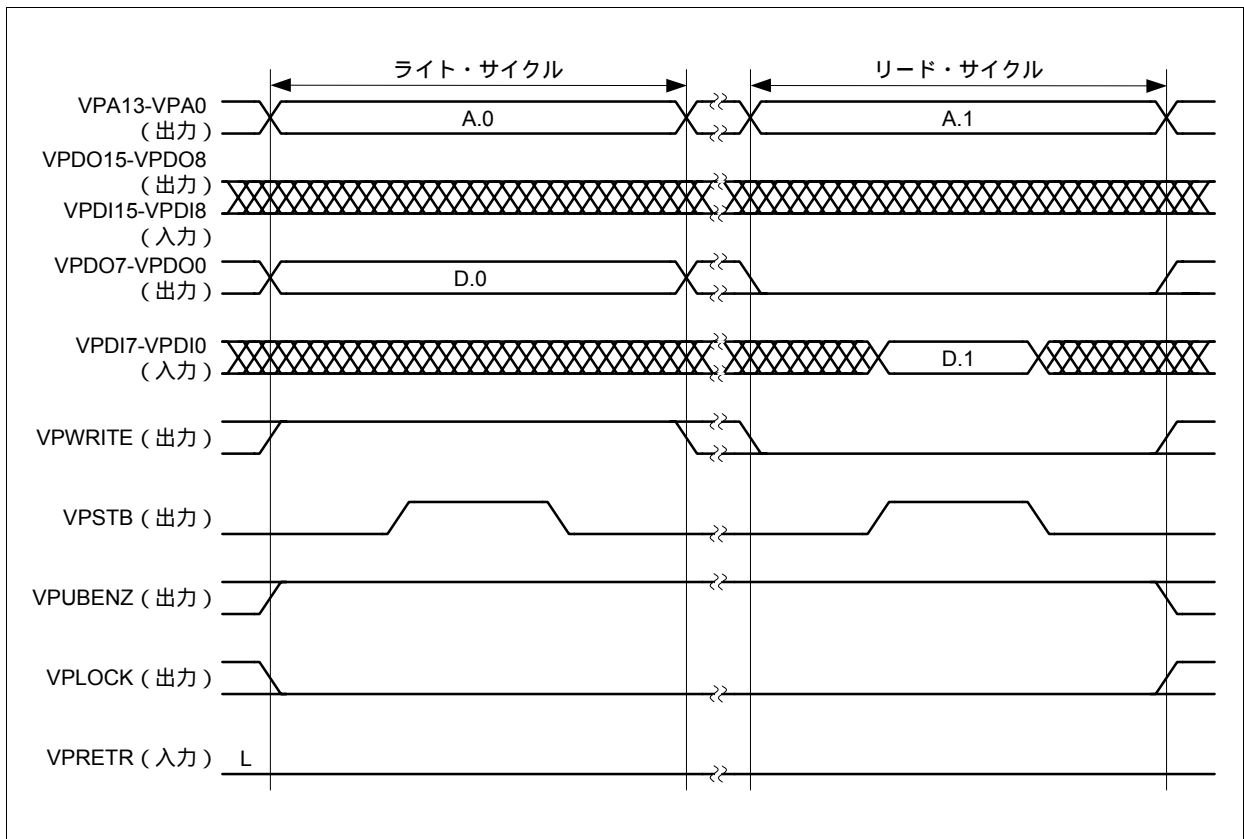
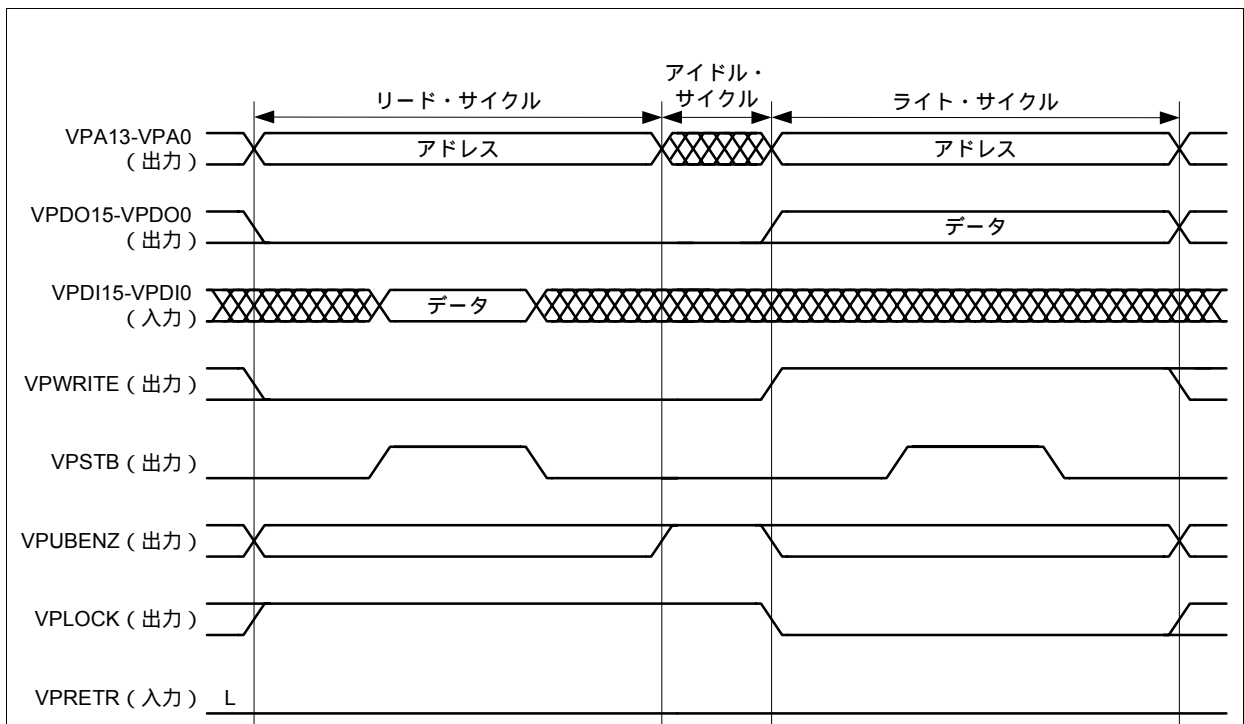


図5 - 11 リード・モディファイ・ライト・タイミング



備考 VPLOCK 信号はリード時にアクティブになります。

図5 - 12 リトライ・タイミング(ライト)

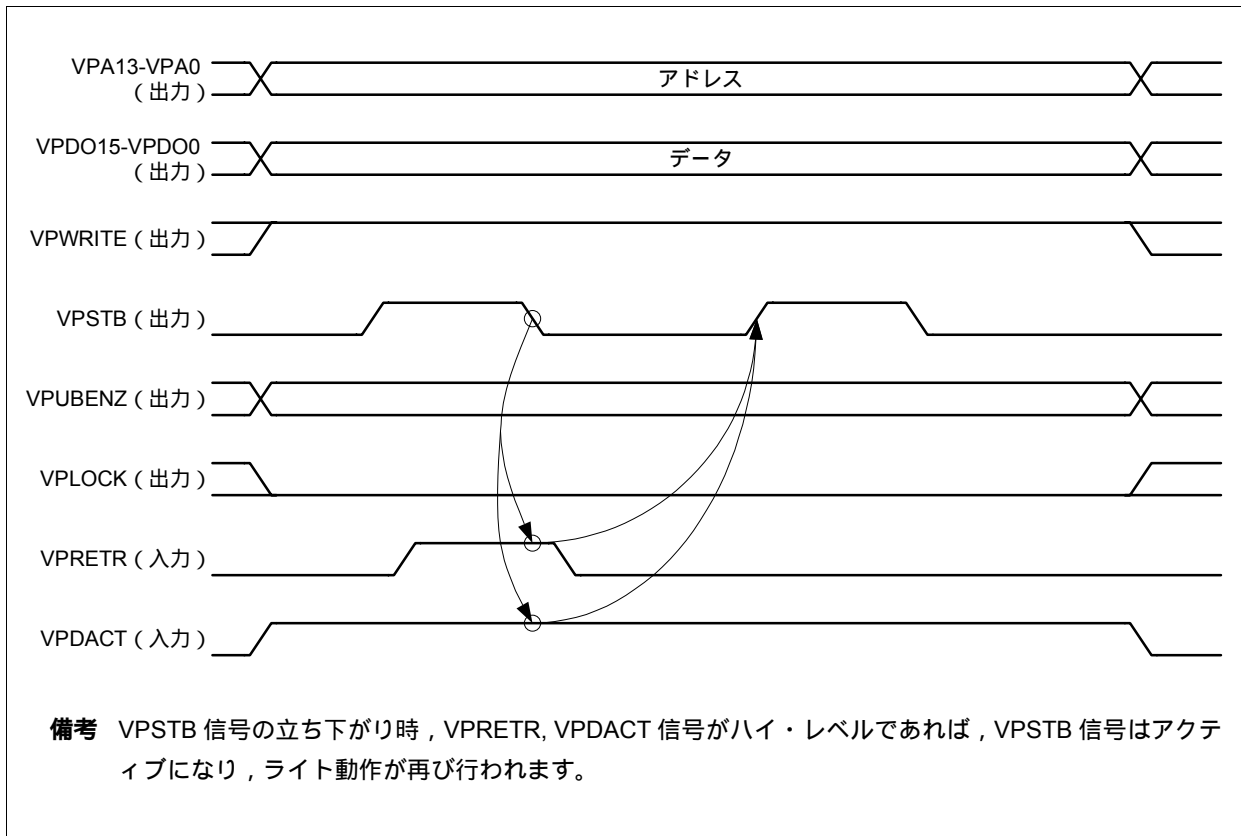


図5 - 13 リトライ・タイミング(リード)

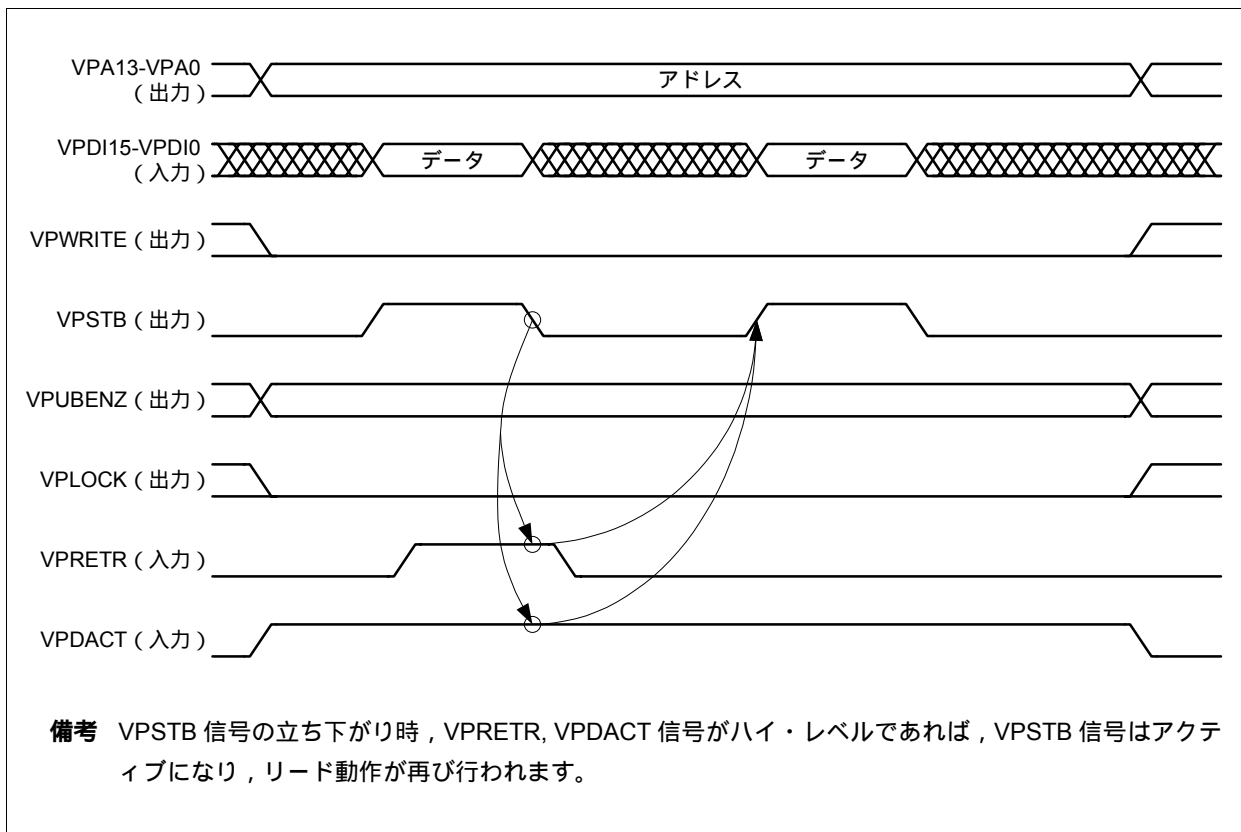


図5 - 14 NPBに接続されたバス・スレーブとのリード/ライト・タイミング (1/4)

(a) NPB 周辺マクロ (プログラマブル周辺 I/O 領域) へのワード・データ・ライト・タイミング例

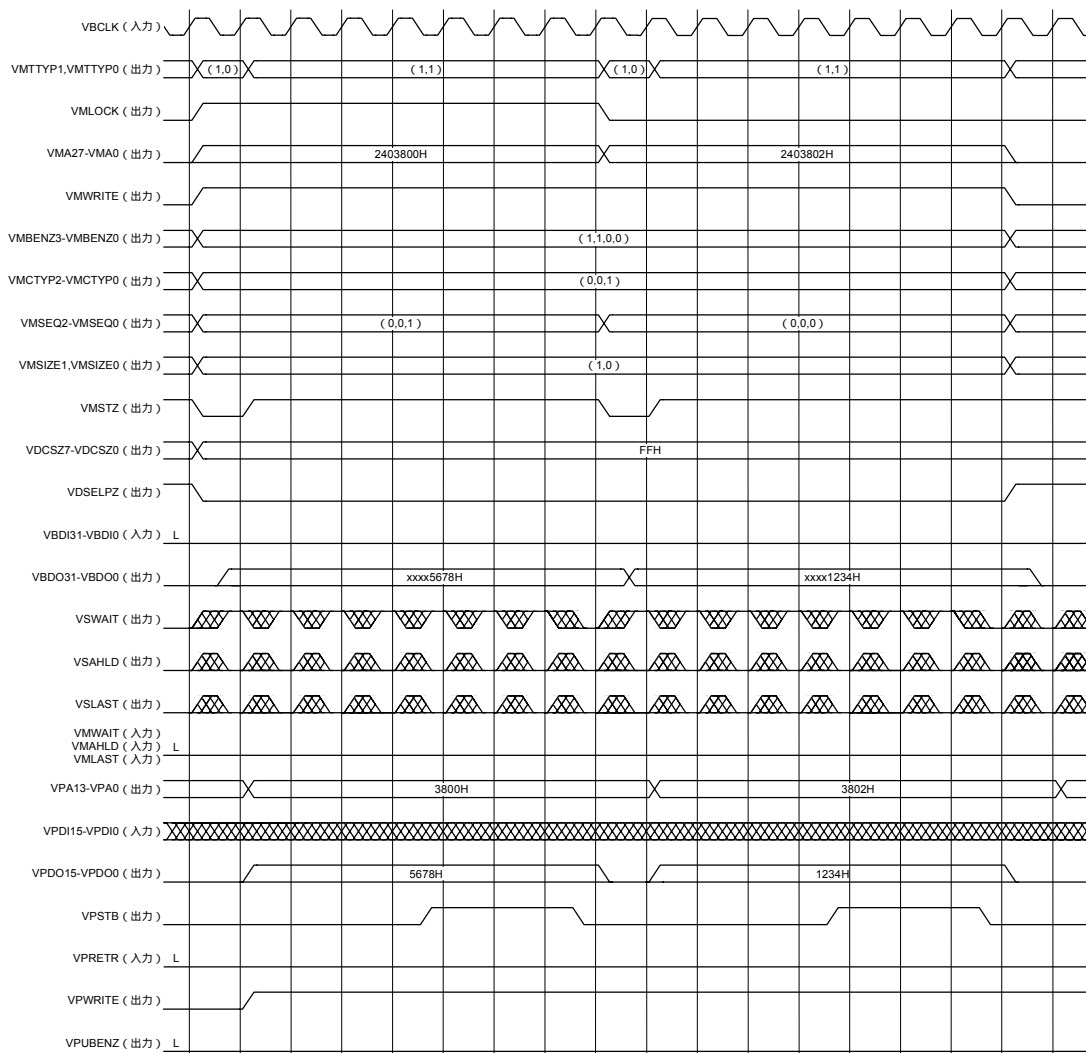


図5 - 14 NPBに接続されたバス・スレーブとのリード/ライト・タイミング (2/4)

(b) NPB 周辺マクロ (プログラマブル周辺 I/O 領域) へのハーフワード・データ・ライト・タイミング例

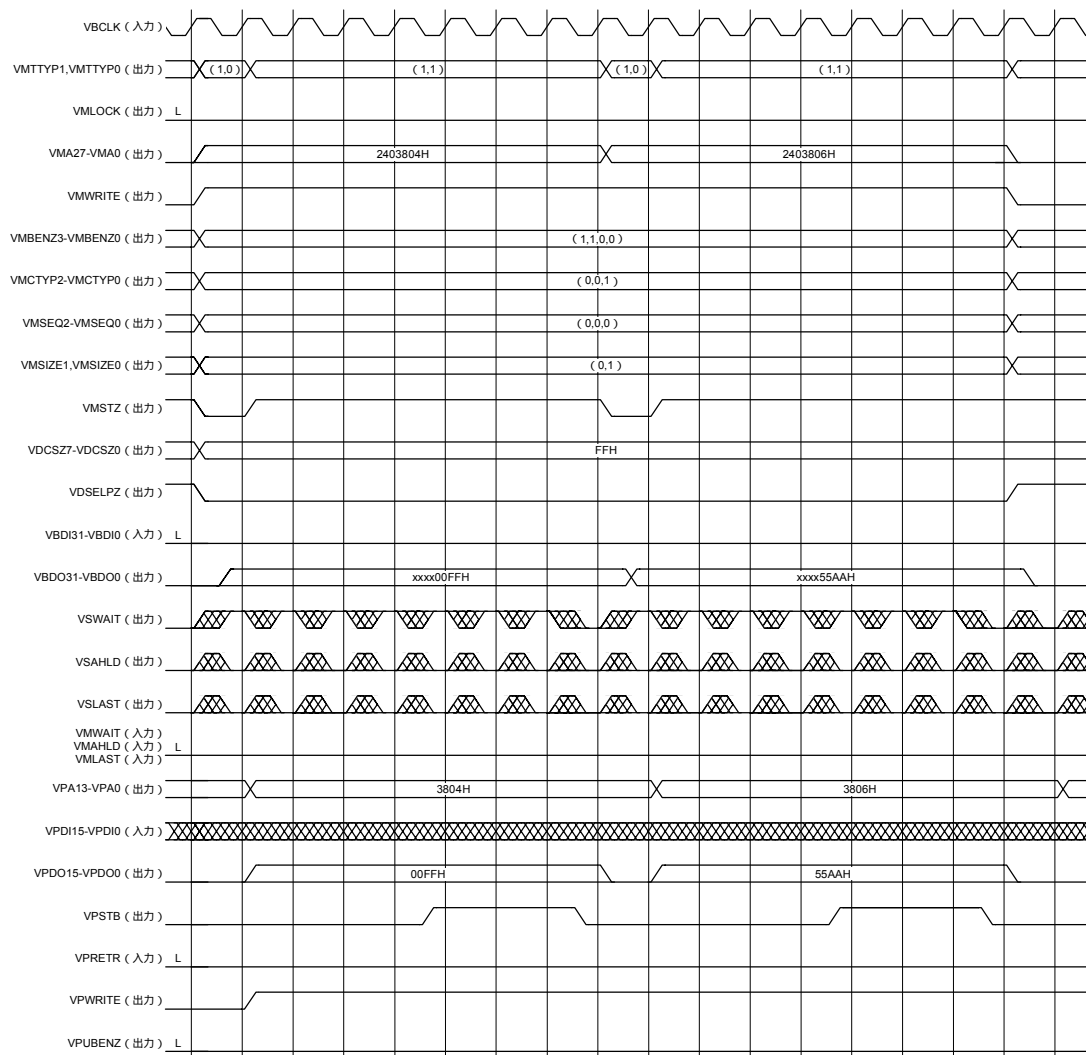


図5 - 14 NPBに接続されたバス・スレーブとのリード/ライト・タイミング (3/4)

(c) NPB 周辺マクロ (プログラマブル周辺 I/O 領域) からのワード・データ・リード・タイミング例

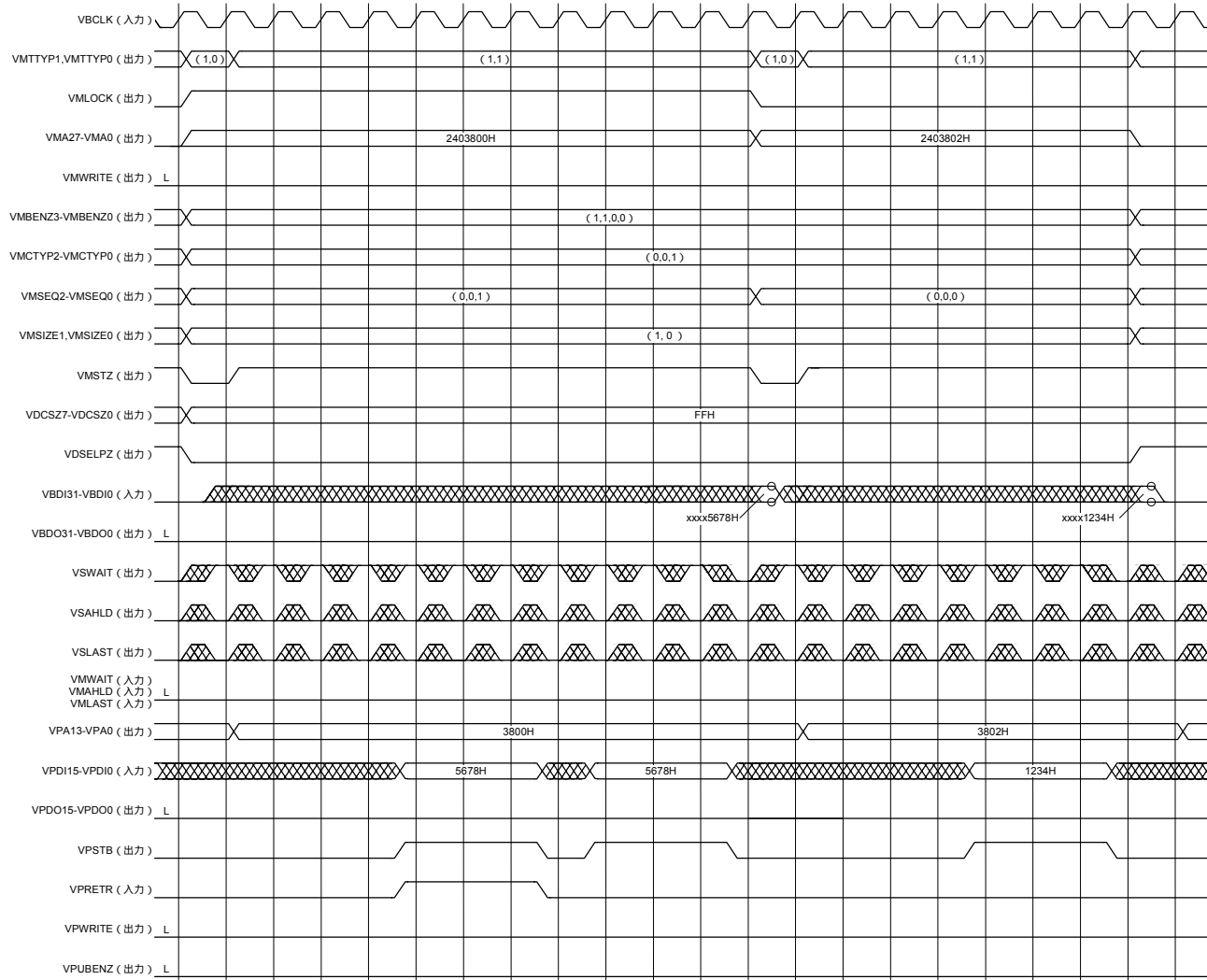


図5 - 14 NPBに接続されたバス・スレーブとのリード/ライト・タイミング (4/4)

(d) NPB 周辺マクロ (プログラマブル周辺 I/O 領域) からのハーフワード・データ・リード・タイミング例

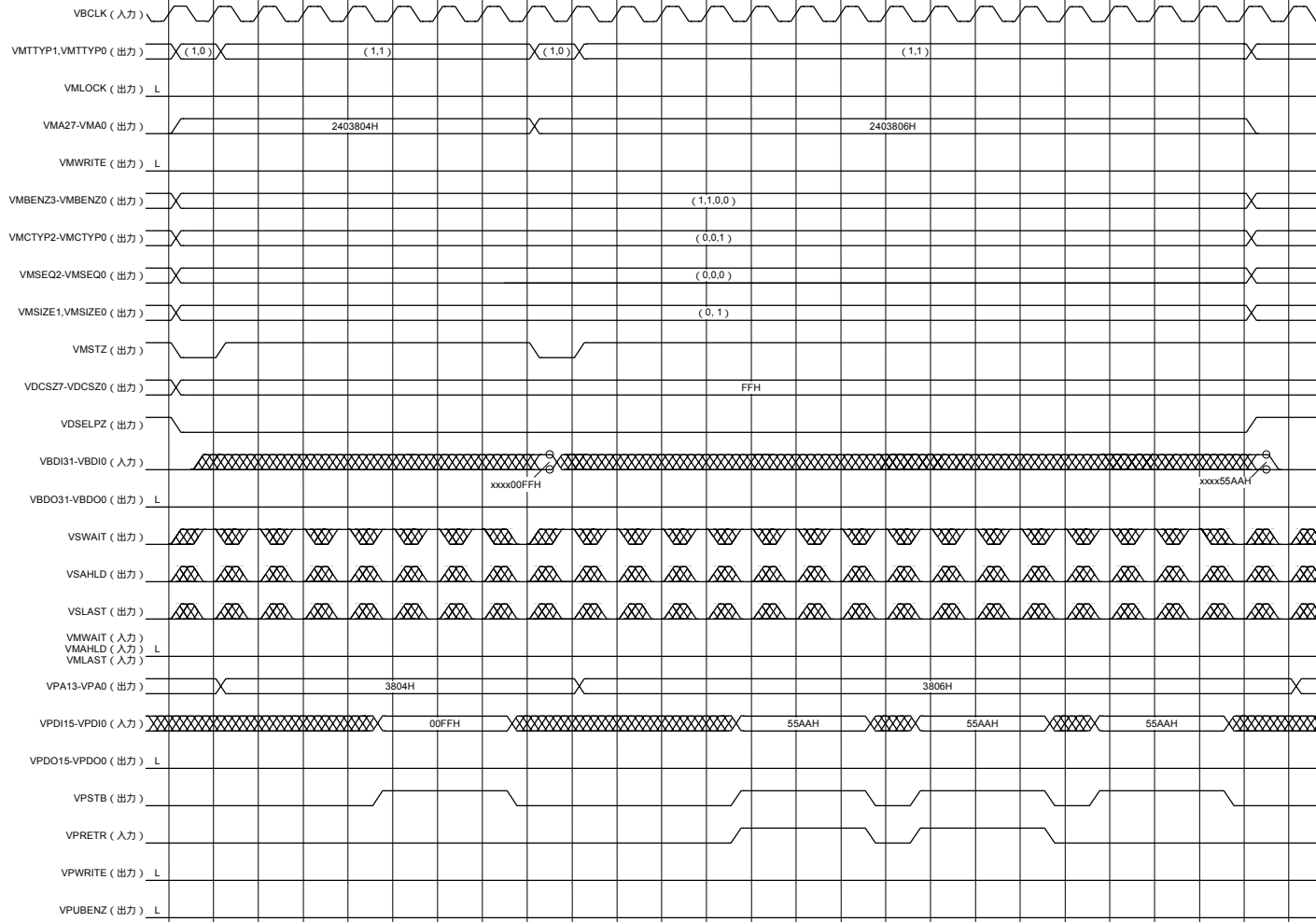
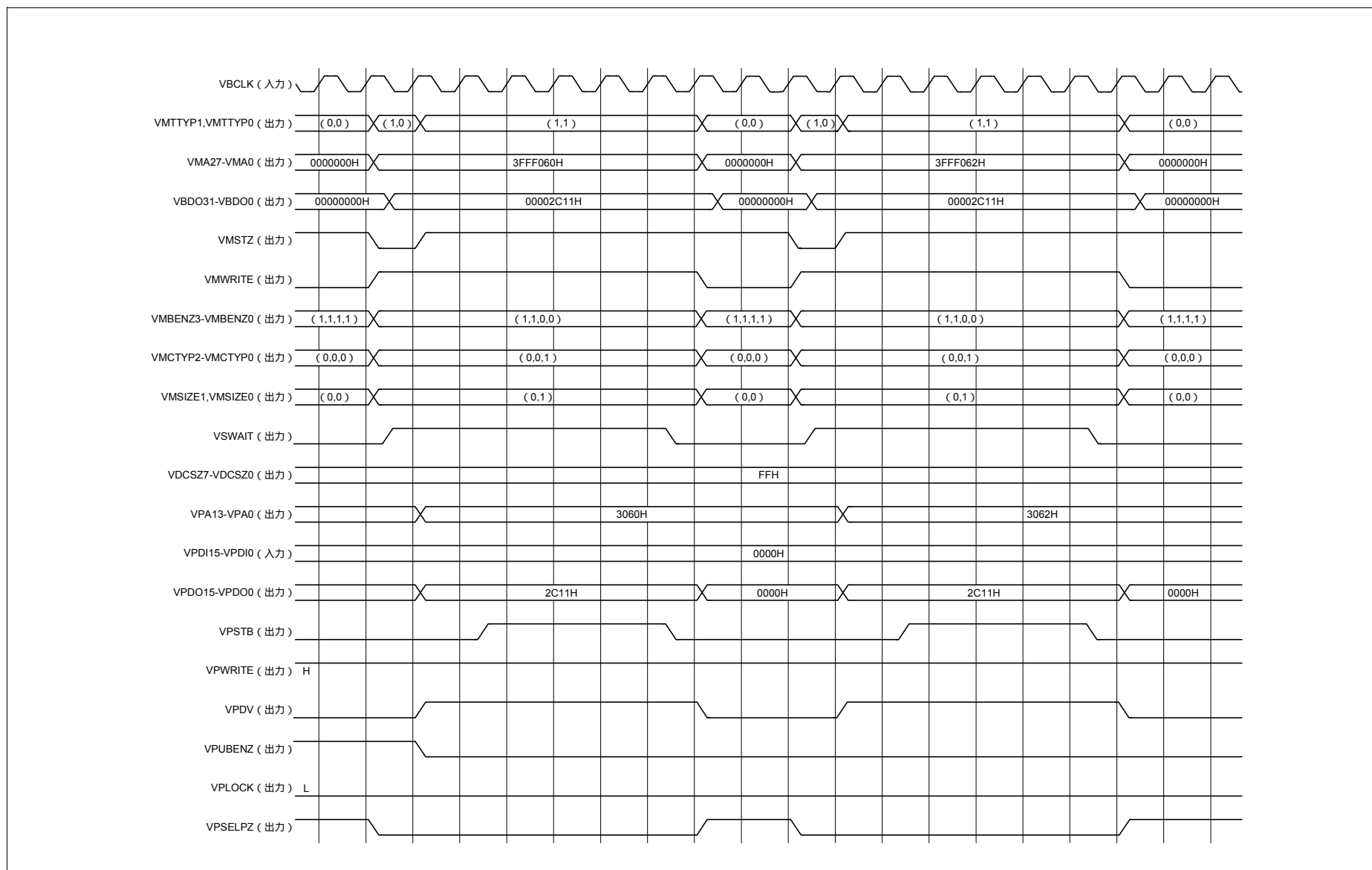


図5 - 15 NPBライト・タイミング (CSC0, CSC1レジスタへのデータ・ライト・タイミング例)



5.5 注意事項

- 外部マスタから NU85E への NPB アクセス

BBR にはバス・サイジング機能がありません。したがって、VSB の外部バス・マスタから NU85E をスレーブとする NPB アクセスは、VSB のバス・サイズを 16 ビットで行ってください。

第6章 STBC

STBC (スタンバイ・コントロール・ユニット) は、外部クロック・ジェネレータ (CG) を制御し、NU85E の各種パワー・セーブ機能を実現します。

6.1 パワー・セーブ機能

パワー・セーブ機能には、次のものがあります。

(1) HALT モード

専用命令 (HALT 命令) の実行により、CPU へのクロック供給だけが停止するモードです。CPU 以外へのクロック供給は継続され、CPU の命令処理に依存しない NU85E 内部の周辺 I/O は動作を継続します。通常動作モードとの組み合わせによる間欠動作により、システム全体の消費電力を低減できます。

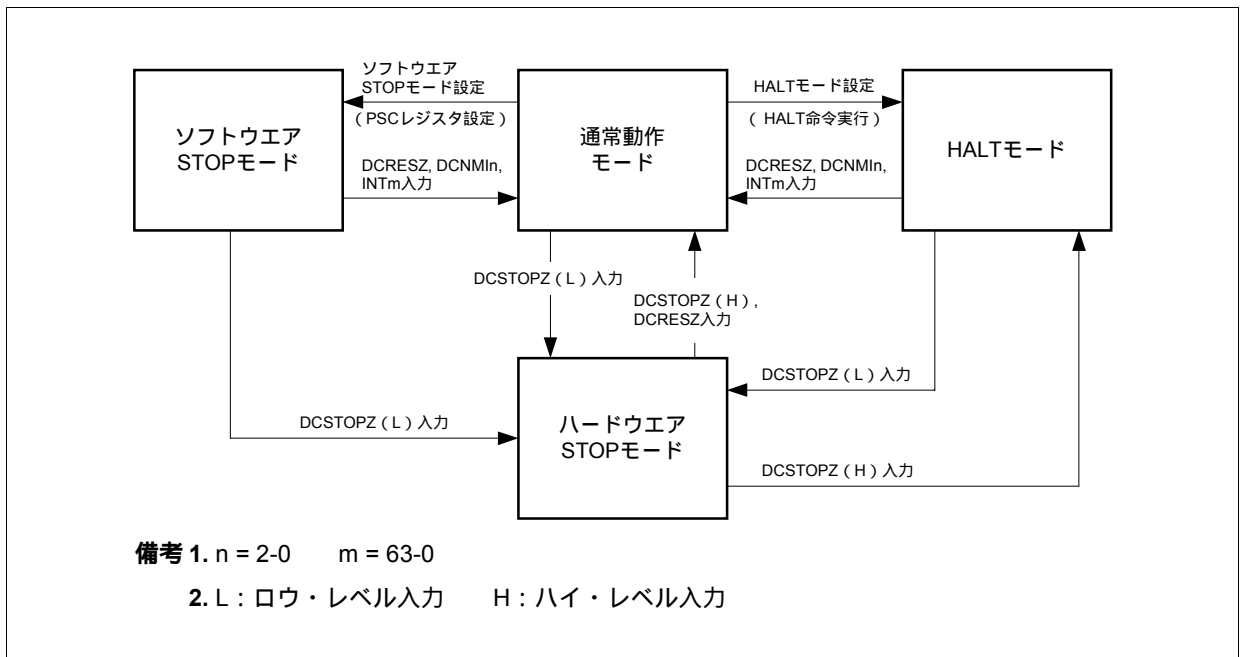
(2) ソフトウェア STOP モード

PSC レジスタの設定により、外部クロック・ジェネレータを停止させ、システム全体を停止するモードです。リーク電流だけの超低消費電力状態になります。

(3) ハードウェア STOP モード

DCSTOPZ 入力により、外部クロック・ジェネレータを停止させ、システム全体を停止するモードです。リーク電流だけの超低消費電力状態になります。

図6-1 パワー・セーブ機能状態遷移図



6.2 制御レジスタ

6.2.1 パワー・セーブ・コントロール・レジスタ (PSC)

パワー・セーブ機能を制御する8ビット・レジスタです。

NMI2M-NMI0M, INTM ビットの設定により割り込み許可状態になっていれば、割り込み要求によるソフトウェア STOP モードの解除が行えます (割り込みマスク・レジスタ (IMR0-IMR3) により、割り込み処理を禁止している場合を除く)。

また、STP ビットの設定によりソフトウェア STOP モードを指定します。

このレジスタは、プログラムの暴走などにより誤って設定内容を書き換えられないように、特定の手順によってだけ書き込みが可能です。

8/1 ビット単位でリード/ライト可能です。

注意 DMAC によるデータ転送によって、PSC レジスタの設定は行わないでください。

レジスタの設定には、必ず、ストア命令 (ST/SST)、またはビット操作命令 (SET1/CLR1/NOT1 命令) を使用してください。

図6-2 パワー・セーブ・コントロール・レジスタ (PSC)

| | | | | | | | | | | |
|-----|-------|-------|-------|------|---|---|-----|---|------------|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | 初期値 |
| PSC | NMI2M | NMI1M | NMI0M | INTM | 0 | 0 | STP | 0 | FFFFFF1FEH | 00H |

| ビット位置 | ビット名 | 意味 |
|-------|-------|---|
| 7 | NMI2M | DCNMI2 端子からのノンマスクابل割り込み要求 (NMI2) をマスクします。 ^注 0 : NMI2 要求許可 1 : NMI2 要求禁止 |
| 6 | NMI1M | DCNMI1 端子からのノンマスクابل割り込み要求 (NMI1) をマスクします。 ^注 0 : NMI1 要求許可 1 : NMI1 要求禁止 |
| 5 | NMI0M | DCNMI0 端子からのノンマスクابل割り込み要求 (NMI0) をマスクします。 ^注 0 : NMI0 要求許可 1 : NMI0 要求禁止 |
| 4 | INTM | INT63-INT0 端子からのマスクابل割り込み要求 (INT63-INT0) をマスクします。 ^注 0 : INT63-INT0 要求許可 1 : INT63-INT0 要求禁止 |
| 1 | STP | ソフトウェア STOP モードを指定します。 このビットをセット (1) するとソフトウェア STOP モードに設定されます。 ソフトウェア STOP モードが解除されると自動的にクリア (0) されます。 |

注 設定はソフトウェア STOP モード時だけ有効です。

- 注意 1.** NMI2M-NMI0M, INTM ビットと, STP ビットを同時にセット (1) した場合, NMI2M-NMI0M, INTM ビットの設定は無効になります。したがって, ソフトウェア STOP モードに移行する際にマスクされていない保留中の割り込み要求がある場合は, その割り込み要求に対するビット (NMI2M-NMI0M, INTM) をセット (1) したあとに STP ビットをセット (1) してください。
- 2.** NMI2M-NMI0M, INTM ビットがセット (1) された割り込み要求は無効となるため (保留もされません), ソフトウェア STOP モードは解除されません。

PSC レジスタへのデータ設定は、次に示す手順で行います。

- <1> 任意の汎用レジスタ (3.2.1 プログラム・レジスタ参照) に PSC レジスタへ設定するためのデータを書き込む。
- <2> <1>で用意した汎用レジスタの内容を、ストア命令 (ST/SST 命令) によりコマンド・レジスタ (PRCMD) に書き込む。
- <3> <1>で用意した汎用レジスタの内容を、次の命令により PSC レジスタに書き込む (PRCMD レジスタへの書き込みを行った直後に行います)。
 - ストア命令 (ST/SST 命令)
 - ビット操作命令 (SET1/CLR1/NOT1 命令)
- <4> ソフトウェア STOP モードに移行する場合は、NOP 命令を挿入する (5 命令以上)。

例 1. <1> mov 0x02, r11

```
movea base_address, r0, r20 ; base_address = FFFF000H
```

```
<2> st.b r11, PRCMD[r20] ; PRCMD = 01FCH
```

```
<3> st.b r11, PSC[r20] ; PSC = 01FEH
```

```
<4> nop
```

```
nop
```

```
nop
```

```
nop
```

```
nop
```

2. <1> mov 0x02, r11

```
movea 0xF1FCH, r0, r20
```

```
movea 0xF1FEH, r0, r21
```

```
<2> st.b r11, 0x0[r20] ; r20 = FFFFF1FCH (= PRCMD)
```

```
<3> st.b r11, 0x0[r21] ; r21 = FFFFF1FEH (= PSC)
```

```
<4> nop
```

```
nop
```

```
nop
```

```
nop
```

```
nop
```

なお、PSC レジスタの内容を読み出す場合は、特別な手順は必要ありません。

備考 1. PRCMD レジスタに対するストア命令では割り込み受け付けを行いません。

2. 上記<2>, <3>は連続して行うことを前提としています。<2>, <3>間にほかの命令が置かれていると、その命令で割り込みを受け付けた際に、設定が成立しなくなる場合があります、誤動作の要因になります。
3. PRCMD レジスタへ書き込むデータはダミー・データですが、特定レジスタへの設定 (上記例の<3>) で使用する汎用レジスタと同じ値 (データ) を、PRCMD レジスタ書き込み (上記例の<2>) でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。
4. ソフトウェア STOP モードに入ると同時に割り込みを許可したい場合は、<1>mov 命令と<2>st.b 命令の間に EI 命令を挿入してください。

備考 5. NOP 命令実行中にノンマスクブル割り込み，またはマスクブル割り込みが入った場合の動作を次に示します。

- ・ SWSTOPRQ がアクティブになる前にノンマスクブル割り込み，またはマスクブル割り込みが入った場合，すぐに割り込み処理を行います。
- ・ SWSTOPRQ がアクティブになったあとにノンマスクブル割り込み，またはマスクブル割り込みが入った場合，通常の割り込みによる解除と同じで，一度 STOP モードに入ったあとにこの割り込みにより STOP モードが解除されます。

6.2.2 コマンド・レジスタ (PRCMD)

コマンド・レジスタ (PRCMD) は，プログラムの暴走などにより応用システムが不用意に停止しないように，PSC レジスタへの書き込み動作に対してプロテクションを設定するために使用します。

PRCMD レジスタに対して，レジストレーション・コード (任意の 8 ビット・データ) を書き込んだ直後の最初の PSC レジスタへの書き込みだけが有効になります。定められた手順によってだけレジスタ値の書き換えを行うため，PSC レジスタへの不正な書き込み動作は排除されます。

8 ビット単位でライトだけ可能です。リード時は不定値になります。

注意 DMAC によるデータ転送によって，PRCMD レジスタの設定は行わないでください。

レジスタの設定には，必ず，ストア命令 (ST/SST) を使用してください。

図6-3 コマンド・レジスタ (PRCMD)



6.3 HALT モード

CPU の動作クロックが停止するモードです。CPU 以外へのクロック供給は継続され、動作を継続します。CPU の空き時間に HALT モードに設定することにより、システム全体の消費電力を低減できます。

(1) 設定と動作状態

HALT 命令により HALT モードに移行します。

HALT モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタや RAM の内容は保持されます。また、CPU の命令処理に依存しない NU85E 内部の周辺 I/O は動作を継続します。

注意 HALT 命令のあとには、NOP 命令を 5 命令以上挿入してください。

(2) HALT モードの解除

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、または DCRESZ 入力により解除されます。

(a) 割り込み要求による解除

ノンマスクابل割り込み要求、またはマスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。解除後の動作は次のようになります。

表6-1 割り込み要求によるHALTモード解除後の動作

| 解除要因 | 割り込み許可 (EI) 状態 | 割り込み禁止 (DI) 状態 |
|----------------|-----------------------------|----------------|
| ノンマスクابل割り込み要求 | ハンドラ・アドレスに分岐 | |
| マスクابل割り込み要求 | ハンドラ・アドレスに分岐、または 次の命令を実行 | 次の命令を実行 |

なお、割り込み処理ルーチン内で HALT モードに設定した場合は、次のように動作が異なります。

<1> 優先順位の低い割り込み要求が発生した場合

HALT モードの解除だけを行い、割り込み要求は受け付けません (保留します)。

<2> 優先順位が高い割り込み要求 (ノンマスクابل割り込み要求を含む) が発生した場合

HALT モードの解除とともに、割り込み要求を受け付けます。

(b) DCRESZ 入力による解除

通常のリセット動作と同じです。

注意 DCRESZ 信号は、VBCLK 信号に対するセットアップ/ホールド時間を満たすように入力してください。

6.4 ソフトウェア STOP モード

CPU の動作クロックとともにクロック・ジェネレータを停止させるモードです。システム全体を停止させ、リーク電流だけの超低消費電力を実現します。

(1) 設定と動作状態

ストア命令 (ST/SST 命令) またはビット操作命令 (SET1/CLR1/NOT1 命令) による PSC レジスタ設定でソフトウェア STOP モードに移行します。

ソフトウェア STOP モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタや RAM の内容は保持されます。NU85E 内部の周辺 I/O も動作を停止します。

(2) ソフトウェア STOP モードの解除

ノンマスクابل割り込み要求、マスクされていないマスクابل割り込み要求、または DCRESZ 入力により解除されます。

(a) 割り込み要求による解除

PSC レジスタによりマスクされていないノンマスクابل割り込み要求、またはマスクされていないマスクابل割り込み要求により、優先順位とは無関係に解除されます。解除後の動作は、次のようになります。

注意 パワー・セーブ・コントロール・レジスタ (PSC) の NMI2M-NMI0M, INTM ビットがセット (割り込みを禁止) されている割り込み要求は無効になります (ソフトウェア STOP モードは解除されません)。

表6-2 割り込み要求によるソフトウェアSTOPモード解除後の動作

| 解除要因 | 割り込み許可 (EI) 状態 | 割り込み禁止 (DI) 状態 |
|----------------|-----------------------------|----------------|
| ノンマスクابل割り込み要求 | ハンドラ・アドレスに分岐 | |
| マスクابل割り込み要求 | ハンドラ・アドレスに分岐、または 次の命令を実行 | 次の命令を実行 |

なお、割り込み処理ルーチン内でソフトウェア STOP モードに設定した場合は、表 6-3 に示す動作になります。

表6-3 割り込み処理ルーチン内でソフトウェアSTOPモードに設定したあとの動作

| ソフトウェア STOP モード設定時の割り込み処理ルーチンの種類 | 解除要因 | | 動作 |
|----------------------------------|--------------------------|---------------------------------------|--|
| | | 優先順位 ^{注1} | |
| マスカブル割り込み | マスカブル割り込み要求 | 低 | ソフトウェア STOP モードの解除だけを行い、割り込み要求は受け付けません（保留します）。 |
| | | 同一 | |
| | | 高 (ID = 1) ^{注2} | |
| | 高 (ID = 0) ^{注3} | ソフトウェア STOP モードの解除とともに、割り込み要求を受け付けます。 | |
| | ノンマスカブル割り込み要求 | - | ソフトウェア STOP モードの解除とともに、割り込み要求を受け付けます。 |
| ノンマスカブル割り込み | マスカブル割り込み要求 | - | ソフトウェア STOP モードの解除だけを行い、割り込み要求は受け付けません（保留します）。 |
| | ノンマスカブル割り込み要求 | 低 | ソフトウェア STOP モードの解除だけを行い、割り込み要求は受け付けません（保留します）。 |
| | | 同一 | |
| | | 高 | ソフトウェア STOP モードの解除とともに、割り込み要求を受け付けます。 |

注1. ソフトウェア STOP モード設定時の割り込み（処理中だった割り込み）に対する優先順位です。

2. PSW の ID ビットが 1（割り込み受け付け不可）の場合
3. PSW の ID ビットが 0（割り込み受け付け可）の場合

備考 NMI によるソフトウェア STOP モードの解除は PSW の NP ビットの値に関係なく行われます。

(b) DCRESZ 入力による解除

通常のリセット動作と同じです。

注意 DCRESZ 信号は、VBCLK 信号に対するセットアップ/ホールド時間を満たすように入力してください。

6.5 ハードウェア STOP モード

CPU の動作クロックとともにクロック・ジェネレータを停止させるモードです。システム全体を停止させ、リーク電流だけの超低消費電力を実現します。

(1) 設定と動作状態

DCSTOPZ 端子にロウ・レベルを入力するとハードウェア STOP モードに移行します。HALT モード、またはソフトウェア STOP モードの状態でも DCSTOPZ 端子にロウ・レベルを入力してもハードウェア STOP モードに移行します。

ハードウェア STOP モードでは、プログラムの実行は停止しますが、その直前のすべてのレジスタや RAM の内容は保持されます。NU85E 内部の周辺 I/O も動作を停止します。

備考 リード・モディファイ・ライトやミス・アライン・アクセスなど VMLOCK 信号がロック中に DCSTOPZ 入力アクティブ（ロウ・レベル）になる場合、正常にハードウェア STOP モードに移行しないことがあります。バス・ロック中に DCSTOPZ 入力ロウ・レベルになると NU85E 内部の CPU は停止しますが、ロックされたバスに接続しているスレーブ・デバイスはクロック供給を必要とする場合があるため、外部クロック・ジェネレータ制御信号である HWSTOPRQ 信号がアクティブにならず、結果としてクロックが停止されずにハードウェア STOP モードに移りません。

DCSTOPZ 入力をロウ・レベルにしたときに、確実にハードウェア STOP モードに移行する必要があるシステムの場合、DCSTOPZ 入力を VMLOCK 信号でマスクし、バス・ロック中のハードウェア STOP モードへの移行を回避してください。

(2) ハードウェア STOP モードの解除

DCSTOPZ 入力、または DCRESZ 入力により解除されます。

(a) DCSTOPZ 入力による解除

DCSTOPZ 端子への入力がロウ・レベルからハイ・レベルになると解除されます。

解除後に移行するモードは、ハードウェア STOP モード設定前の状態により次のように異なります。

表6-4 ハードウェアSTOPモード解除後の状態

| ハードウェア STOP モード設定前 | ハードウェア STOP モード解除後 |
|--------------------|--------------------|
| 通常動作モード | 通常動作モード |
| ソフトウェア STOP モード | 通常動作モード |
| HALT モード | HALT モード |

(b) DCRESZ 入力による解除

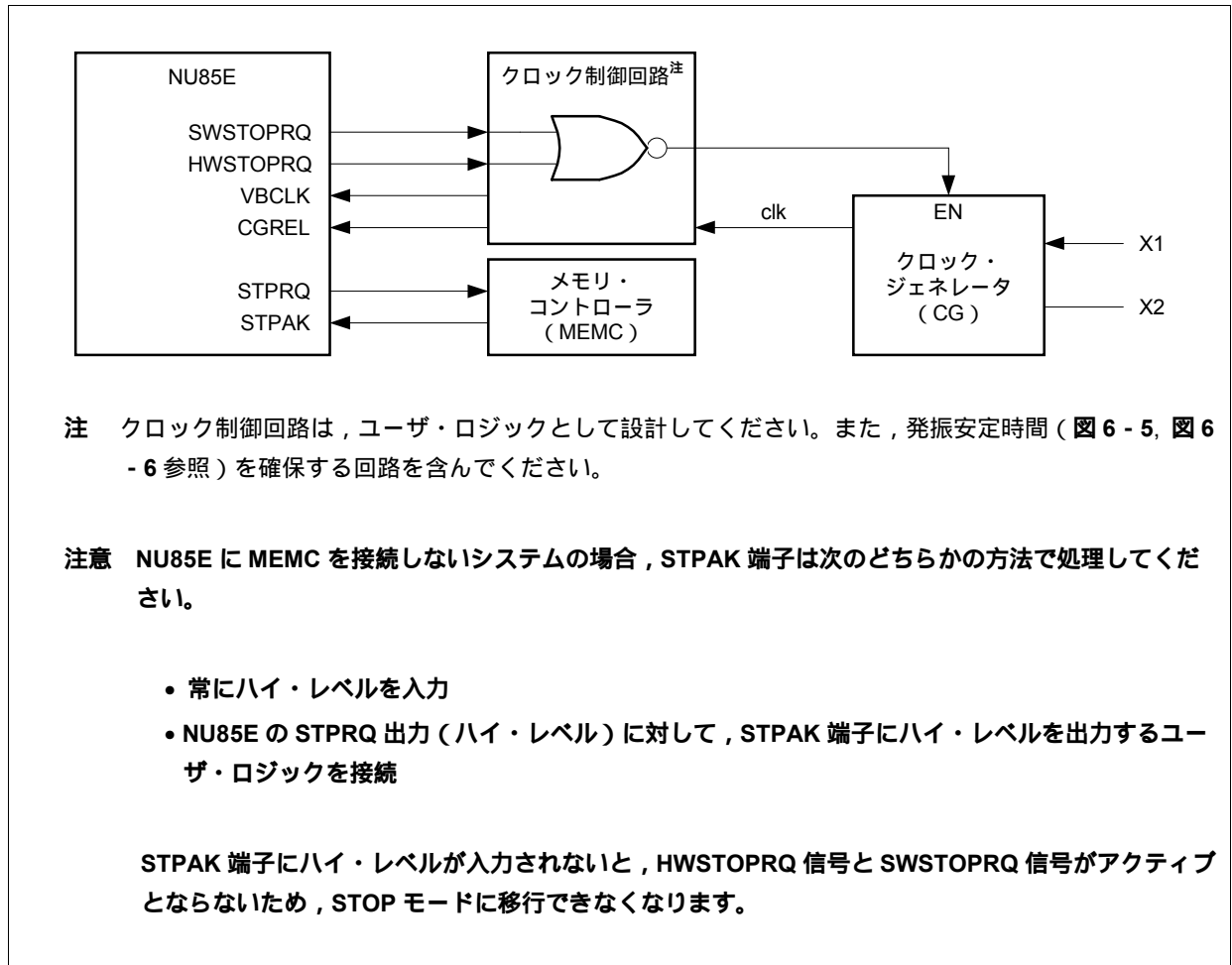
通常のリセット動作と同じです。

注意 DCRESZ 信号は、VBCLK 信号に対するセットアップ/ホールド時間を満たすように入力してください。

6.6 ソフトウェア/ハードウェア STOP モードでのクロック制御

NU85E とクロック制御回路の接続を図 6 - 4 に示します。

図6 - 4 NU85Eとクロック制御回路の接続



(1) ソフトウェア STOP モードの設定 / 解除時のクロック制御

(a) ソフトウェア STOP モード設定時 (PSC レジスタの STP ビット設定によるソフトウェア STOP モード設定後)

- <1> STOP モード要求信号 (STPRQ) をアクティブ (ハイ・レベル) にしてメモリ・コントローラに出力。
- <2> STPRQ 信号を受けたメモリ・コントローラからのアクノリッジ信号 (STPAK) のアクティブ・レベル (ハイ・レベル) を入力。
- <3> ソフトウェア STOP モード要求信号 (SWSTOPRQ) をアクティブ (ハイ・レベル) にしてクロック制御回路に出力 (この SWSTOPRQ 信号を使用してクロック制御回路からの VBCLK 出力を停止してください)。

(b) ソフトウェア STOP モード解除時

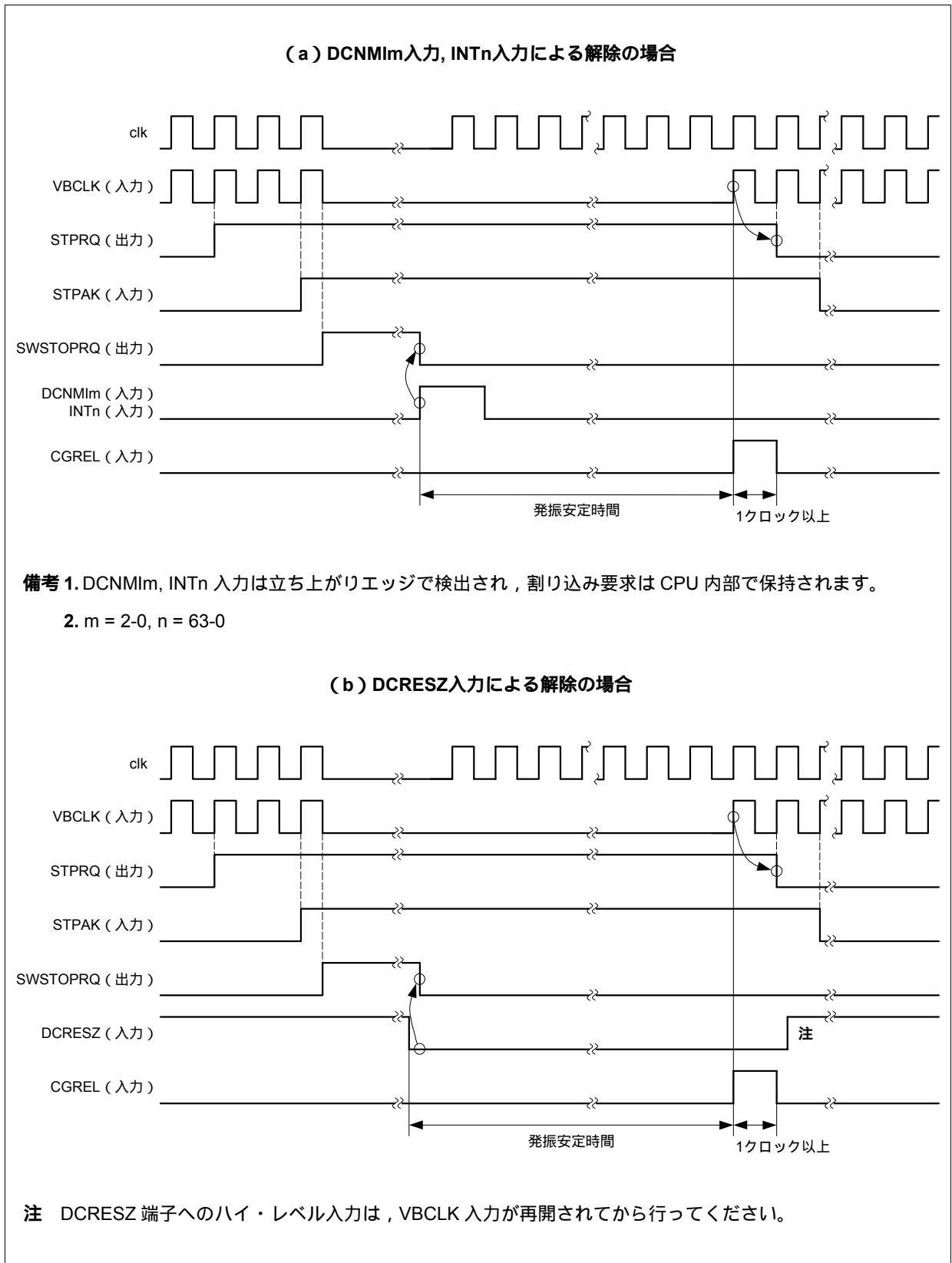
- <1> ノンマスクابل割り込み要求 (NMI_m) , マスクされていないマスクابل割り込み要求 (INT_n) , または DCRESZ 信号を入力 (m = 2-0, n = 63-0)。
- <2> ソフトウェア STOP モード要求信号 (SWSTOPRQ) をインアクティブ (ロウ・レベル) にしてクロック制御回路に出力 (クロック・ジェネレータが動作を開始する)。
- <3> 発振安定時間後, クロック制御回路から VBCLK 信号と CGREL 信号のアクティブ・レベル (ハイ・レベル) を入力 (この VBCLK 信号の入力により, STPRQ, STPAK 出力がロウ・レベルに戻ります)。
- <4> VBCLK 信号を入力したあと, DCRESZ 信号にハイ・レベルを入力。

注意 CGREL 端子には1クロック以上のアクティブ・レベル (ハイ・レベル) を入力してください。

また, 再度, ソフトウェア STOP モードを設定する場合は, 必ず設定前に CGREL 端子にインアクティブ・レベル (ロウ・レベル) を入力してください。

備考 DCRESZ 信号はレベル・ラッチを使用しているので, VBCLK 非同期で入力できます。

図6-5 ソフトウェアSTOPモード設定/解除タイミング例



(2) ハードウェア STOP モードの設定 / 解除時のクロック制御

(a) ハードウェア STOP モード設定時

- <1> DCSTOPZ 信号のアクティブ・レベル (ロウ・レベル) を入力。
- <2> STOP モード要求信号 (STPRQ) をアクティブ (ハイ・レベル) にしてメモリ・コントローラに出力。
- <3> STPRQ 信号を受けたメモリ・コントローラからのアクノリッジ信号 (STPAK) のアクティブ・レベル (ハイ・レベル) を入力。
- <4> ハードウェア STOP モード要求信号 (HWSTOPRQ) をアクティブ (ハイ・レベル) にしてクロック制御回路に出力 (この HWSTOPRQ 信号を使用してクロック制御回路からの VBCLK 出力を停止してください)。

(b) ハードウェア STOP モード解除時

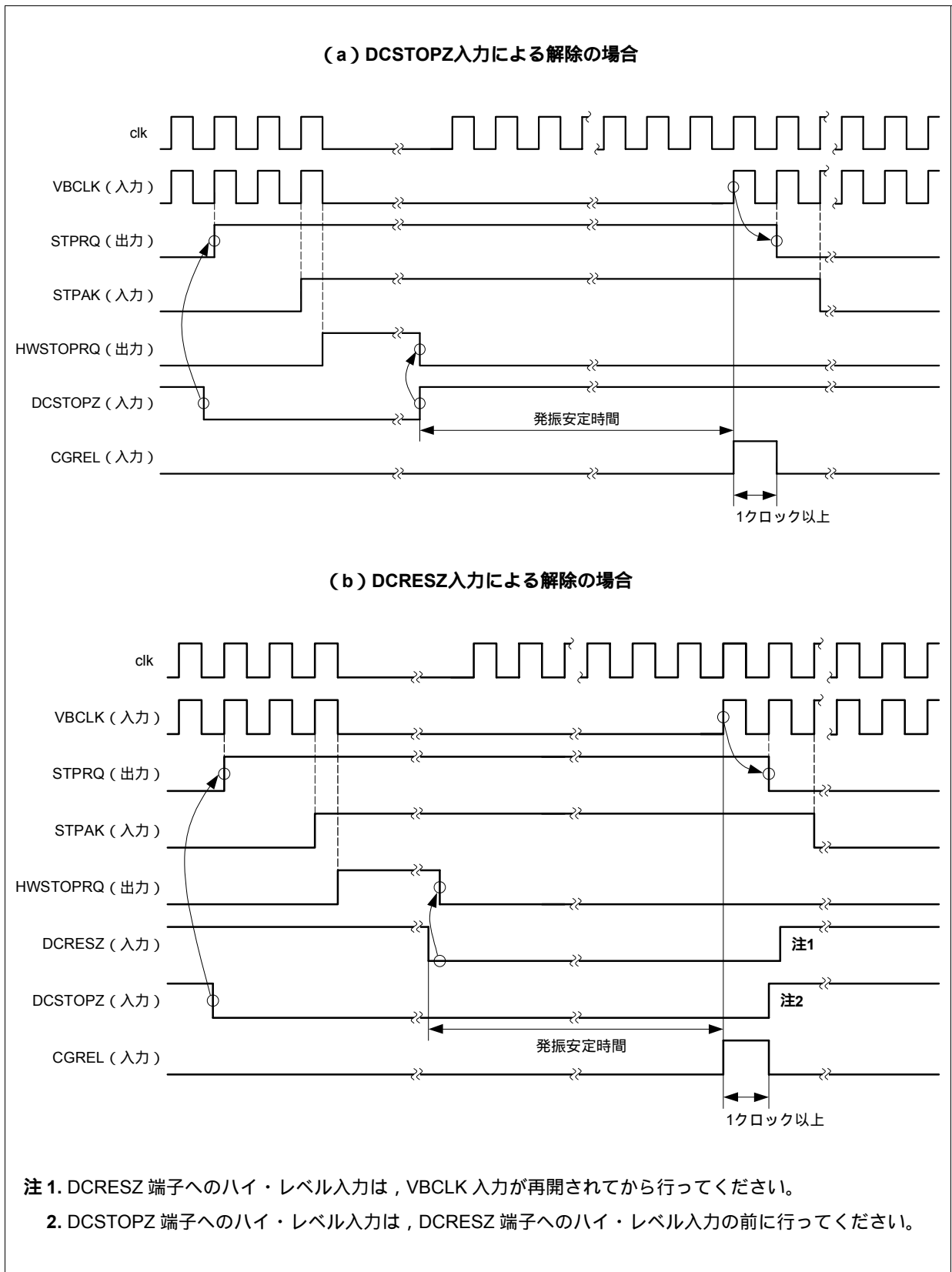
- <1> DCSTOPZ 信号のインアクティブ・レベル (ハイ・レベル) , または DCRESZ 信号を入力。
- <2> ハードウェア STOP モード要求信号 (HWSTOPRQ) をインアクティブ (ロウ・レベル) にしてクロック制御回路に出力 (クロック・ジェネレータが動作を開始する)。
- <3> 発振安定時間後, クロック制御回路から VBCLK 信号と CGREL 信号のアクティブ・レベル (ハイ・レベル) を入力 (この VBCLK 信号の入力により, STPRQ, STPAK 出力がロウ・レベルに戻ります)。

注意 CGREL 端子には1クロック以上のアクティブ・レベル (ハイ・レベル) を入力してください。

また, 再度, ハードウェア STOP モードを設定する場合は, 必ず設定前に CGREL 端子にインアクティブ・レベル (ロウ・レベル) を入力してください。

備考 DCRESZ 信号はレベル・ラッチを使用しているため, VBCLK 非同期で入力できます。

図6-6 ハードウェアSTOPモード設定/解除タイミング例



第7章 DMAC

DMAC (DMA コントロール・ユニット) は, DMARQ3-DMARQ0 端子, またはソフトウェア・トリガによる DMA 転送要求に基づいて, メモリ↔周辺マクロ間またはメモリ↔メモリ間でのデータ転送を制御します (メモリは RAM, または外部メモリを意味します)。

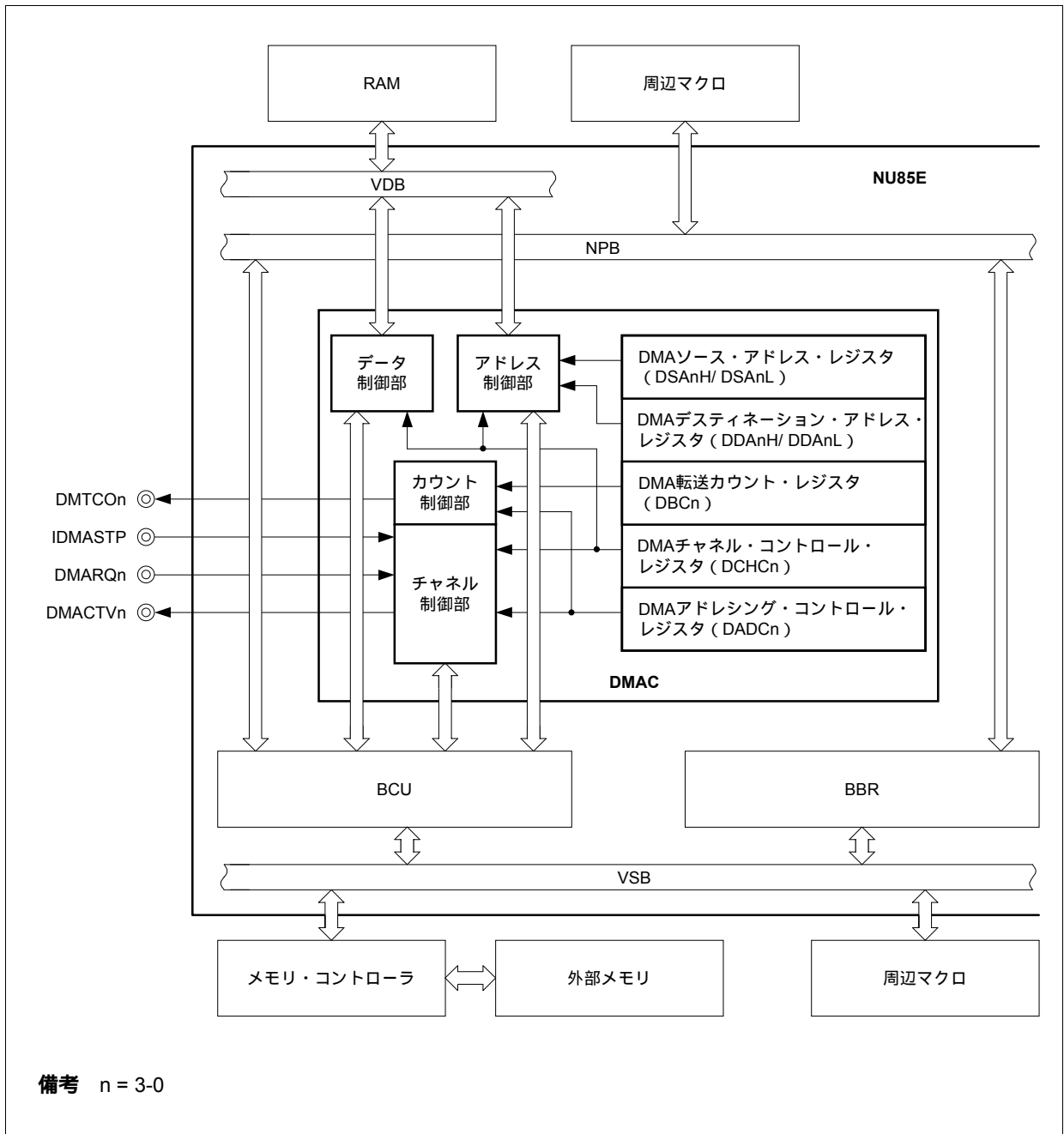
7.1 特 徴

- 4 つの独立な DMA チャンネル
- 転送単位: 8 ビット / 16 ビット / 32 ビット
- 最大転送回数: 65536 (2^{16}) 回
- 2 種類の転送タイプ
 - フライバイ (1 サイクル) 転送
 - 2 サイクル転送
- 4 種類の転送モード
 - シングル転送モード
 - シングルステップ転送モード
 - ライン転送モード (4 バス・サイクル転送モード)
(2 サイクル転送では, リード→ライト動作を 4 回繰り返します)
 - ブロック転送モード
- 転送要求
 - DMARQ3-DMARQ0 端子入力による要求
 - ソフトウェアによる要求
- 転送対象
 - RAM^注↔周辺マクロ
 - RAM^注↔外部メモリ
 - RAM^注↔RAM^注
 - 外部メモリ↔周辺マクロ
 - 外部メモリ↔外部メモリ (リトル・エンディアン領域↔ビッグ・エンディアン領域の転送も可能)

注 VDB に直接接続された RAM (7.2 構成参照)

- ターミナル・カウント出力信号 (DMTCO3-DMTCO0)
- ネクスト・アドレス設定機能

7.2 構成



7.3 転送対象

(1) 転送タイプ

転送の種類と転送対象の関係を表7-1に示します。

注意 表7-1に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証しません。

表7-1 転送の種類と転送対象の関係

| | | 転送先 | | | | | |
|-----|-----|------------|-----|-----|------------|-----|-----|
| | | 2サイクル転送の場合 | | | フライバイ転送の場合 | | |
| | | VSB | NPB | RAM | VSB | NPB | RAM |
| 転送元 | VSB | | | | 注 | × | × |
| | NPB | | | | × | × | × |
| | RAM | | | | × | × | × |

注 フライバイ転送に対応した MEMC (NT85E500) を使用した場合だけ転送可。

備考 : 転送可

× : 転送不可

VSB : 外部メモリ, または VSB 上の周辺マクロ

NPB : NPB 上の周辺マクロ

RAM : VDB に直接接続された RAM

(2) ウェイト機能

ウェイト機能と転送対象の関係を表7-2に示します。

表7-2 ウェイト機能と転送対象の関係

| 転送対象 | ウェイト機能 |
|------|-------------------------------|
| VSB | MEMC (NT85E500, NT85E502) で設定 |
| NPB | VSWC レジスタで設定 |
| RAM | ノー・ウェイト |

7.4 DMA チャンネルの優先順位

DMA チャンネルの優先順位は固定で, 次のようになります。

DMA チャンネル0 > DMA チャンネル1 > DMA チャンネル2 > DMA チャンネル3

この優先順位が有効となるのは, TI ステートのときだけです。ブロック転送中は転送するチャンネルが入れ替わることはありません。

シングルステップ転送中でバスを解放している期間 (TI) 中に, ほかの優先順位が高い DMA 転送要求が発生した場合は, 優先順位が高い DMA 転送を行います。

7.5 制御レジスタ

7.5.1 DMA ソース・アドレス・レジスタ 0-3 (DSA0-DSA3)

DMA チャンネル n の DMA 転送元アドレス (28 ビット) を設定します ($n = 0-3$)。このレジスタは、 $DSAnH$ 、 $DSAnL$ の 2 つの 16 ビット・レジスタに分かれます。

2 段 FIFO 構成のバッファ・レジスタなので、DMA 転送中に新たな DMA 転送の転送元アドレスが設定できます (7.6 ネットワーク・アドレス設定機能参照)。

DMA アドレッシング・コントロール・レジスタ n ($DADCn$) の TTYP ビットでフライバイ転送に設定した場合、外部メモリのアドレスは $DSAn$ レジスタで設定します。このとき、DMA デスティネーション・アドレス・レジスタ n ($DDAn$) の設定は無視されます。

(1) DMA ソース・アドレス・レジスタ 0H-3H (DSA0H-DSA3H)

16 ビット単位でリード/ライト可能です。

図7-1 DMAソース・アドレス・レジスタ0H-3H (DSA0H-DSA3H)

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|-----|
| DSA0H | IR | 0 | 0 | 0 | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | アドレス | 初期値 |
| | | | | | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | FFFFFF082H | 不定 |
| DSA1H | IR | 0 | 0 | 0 | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | アドレス | 初期値 |
| | | | | | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | FFFFFF08AH | 不定 |
| DSA2H | IR | 0 | 0 | 0 | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | アドレス | 初期値 |
| | | | | | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | FFFFFF092H | 不定 |
| DSA3H | IR | 0 | 0 | 0 | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | アドレス | 初期値 |
| | | | | | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | FFFFFF09AH | 不定 |

| ビット位置 | ビット名 | 意味 |
|-------|---------------|---|
| 15 | IR | DMA 転送元を指定します。 0 : 外部メモリ, 周辺マクロ 1 : RAM |
| 11-0 | SA27- SA16 | DMA 転送元のアドレス (A27-A16) を設定します。DMA 転送中は、次の DMA 転送元アドレスを保持します。フライバイ転送時は、外部メモリのアドレスを保持します。 |

注意 DSA0H-DSA3H レジスタのビット 14-12 には、必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

(2) DMA ソース・アドレス・レジスタ 0L-3L (DSA0L-DSA3L)

16 ビット単位でリード/ライト可能です。

図7-2 DMAソース・アドレス・レジスタ0L-3L (DSA0L-DSA3L)

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------|------------|
| DSA0L | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | アドレス | 初期値 |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | FFFFFF080H |
| DSA1L | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | アドレス | 初期値 |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | FFFFFF088H |
| DSA2L | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | アドレス | 初期値 |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | FFFFFF090H |
| DSA3L | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | SA | アドレス | 初期値 |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | FFFFFF098H |

| ビット位置 | ビット名 | 意味 |
|-------|----------|--|
| 15-0 | SA15-SA0 | DMA 転送元のアドレス (A15-A0) を設定します。DMA 転送中は、次の DMA 転送元アドレスを保持します。フライバイ転送時は、外部メモリのアドレスを保持します。 |

7.5.2 DMA デスティネーション・アドレス・レジスタ 0-3 (DDA0-DDA3)

DMA チャンネル n の DMA 転送先アドレス (28 ビット) を設定します (n = 0-3)。このレジスタは、DDAnH, DDAnL の 2 つの 16 ビット・レジスタに分かれます。

2 段 FIFO 構成のバッファ・レジスタなので、DMA 転送中に新たな DMA 転送の転送先アドレスが設定できます (7.6 ネクスト・アドレス設定機能参照)。

DMA アドレッシング・コントロール・レジスタ n (DADCn) の TTYP ビットでフライバイ転送に設定した場合、このレジスタの設定は無視されます。

(1) DMA デスティネーション・アドレス・レジスタ 0H-3H (DDA0H-DDA3H)

16 ビット単位でリード/ライト可能です。

図7-3 DMAデスティネーション・アドレス・レジスタ0H-3H (DDA0H-DDA3H)

| | | | | | | | | | | | | | | | | | | |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|-----|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| DDA0H | IR | 0 | 0 | 0 | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | アドレス | 初期値 |
| | | | | | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | FFFFFF086H | 不定 |
| DDA1H | IR | 0 | 0 | 0 | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | アドレス | 初期値 |
| | | | | | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | FFFFFF08EH | 不定 |
| DDA2H | IR | 0 | 0 | 0 | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | アドレス | 初期値 |
| | | | | | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | FFFFFF096H | 不定 |
| DDA3H | IR | 0 | 0 | 0 | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | アドレス | 初期値 |
| | | | | | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | FFFFFF09EH | 不定 |

| ビット位置 | ビット名 | 意味 |
|-------|-----------|--|
| 15 | IR | DMA 転送先を指定します。 0 : 外部メモリ, 周辺マクロ 1 : RAM |
| 11-0 | DA27-DA16 | DMA 転送先のアドレス (A27-A16) を設定します。DMA 転送中は、次の DMA 転送先アドレスを保持します。フライバイ転送時は無視されます。 |

注意 DDA0H-DDA3H レジスタのビット 14-12 には、必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

(2) DMA デスティネーション・アドレス・レジスタ 0L-3L (DDA0L-DDA3L)

16 ビット単位でリード/ライト可能です。

図7-4 DMAデスティネーション・アドレス・レジスタ0L-3L (DDA0L-DDA3L)

| | | | | | | | | | | | | | | | | | | |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|------------|-----|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| DDA0L | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | アドレス | 初期値 |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | FFFFFF084H | 不定 |
| DDA1L | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | アドレス | 初期値 |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | FFFFFF08CH | 不定 |
| DDA2L | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | アドレス | 初期値 |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | FFFFFF094H | 不定 |
| DDA3L | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | DA | アドレス | 初期値 |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | FFFFFF09CH | 不定 |

| ビット位置 | ビット名 | 意味 |
|-------|----------|---|
| 15-0 | DA15-DA0 | DMA 転送先のアドレス (A15-A0) を設定します。DMA 転送中は、次の DMA 転送先アドレスを保持します。フライバイ転送時は無視されます。 |

7.5.3 DMA 転送カウント・レジスタ 0-3 (DBC0-DBC3)

DMA チャンネル n の転送数を設定する 16 ビット・レジスタです (n = 0-3)。DMA 転送中は、残り転送回数を保持します。

2 段 FIFO 構成のバッファ・レジスタなので、DMA 転送中に新たな DMA 転送の転送数が設定できます (7.

6 ネクスト・アドレス設定機能参照)。

1 回の転送につき 1 ずつデクリメントされ、ポローが発生すると転送を終了します。

16 ビット単位でリード/ライト可能です。

なお、ライン転送の場合は DBCn レジスタ = 0003H (4 回の転送) で 1 つのライン転送になります。4 で割り切れない転送回数を設定した場合には、最初に可能なだけのライン転送を行い、最後に残った割り切れない分をシングル転送として行います。

図7-5 DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

| | | | | | | | | | | | | | | | | | | |
|------|----------|----------|----------|----------|----------|----------|---------|---------|---------|---------|---------|---------|---------|---------|---------|---------|--------------------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| DBC0 | BC 15 | BC 14 | BC 13 | BC 12 | BC 11 | BC 10 | BC 9 | BC 8 | BC 7 | BC 6 | BC 5 | BC 4 | BC 3 | BC 2 | BC 1 | BC 0 | アドレス FFFFFF0C0H | 初期値 不定 |
| DBC1 | BC 15 | BC 14 | BC 13 | BC 12 | BC 11 | BC 10 | BC 9 | BC 8 | BC 7 | BC 6 | BC 5 | BC 4 | BC 3 | BC 2 | BC 1 | BC 0 | アドレス FFFFFF0C2H | 初期値 不定 |
| DBC2 | BC 15 | BC 14 | BC 13 | BC 12 | BC 11 | BC 10 | BC 9 | BC 8 | BC 7 | BC 6 | BC 5 | BC 4 | BC 3 | BC 2 | BC 1 | BC 0 | アドレス FFFFFF0C4H | 初期値 不定 |
| DBC3 | BC 15 | BC 14 | BC 13 | BC 12 | BC 11 | BC 10 | BC 9 | BC 8 | BC 7 | BC 6 | BC 5 | BC 4 | BC 3 | BC 2 | BC 1 | BC 0 | アドレス FFFFFF0C6H | 初期値 不定 |

| ビット位置 | ビット名 | 意味 | | | | | | | | | | |
|-------|---|--|------|----|-------|------------------|-------|------------------|---|---|-------|---|
| 15-0 | BC15-BC0 | 転送数を設定します。DMA 転送中は残り転送数を保持します。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>DBCn</th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>0000H</td> <td>1 回の転送, または残り転送数</td> </tr> <tr> <td>0001H</td> <td>2 回の転送, または残り転送数</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>FFFFH</td> <td>65536 (2¹⁶) 回の転送, または残り転送数</td> </tr> </tbody> </table> | DBCn | 状態 | 0000H | 1 回の転送, または残り転送数 | 0001H | 2 回の転送, または残り転送数 | ⋮ | ⋮ | FFFFH | 65536 (2 ¹⁶) 回の転送, または残り転送数 |
| DBCn | 状態 | | | | | | | | | | | |
| 0000H | 1 回の転送, または残り転送数 | | | | | | | | | | | |
| 0001H | 2 回の転送, または残り転送数 | | | | | | | | | | | |
| ⋮ | ⋮ | | | | | | | | | | | |
| FFFFH | 65536 (2 ¹⁶) 回の転送, または残り転送数 | | | | | | | | | | | |

備考 n = 0-3

7.5.4 DMA アドレッシング・コントロール・レジスタ 0-3 (DADC0-DADC3)

DMA チャンネル n の DMA 転送動作モードを制御する 16 ビット・レジスタです (n=0-3)。

16 ビット単位でリード/ライト可能です。

注意 DMA 転送中は、アクセスできません。

図7 - 6 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) (1/2)

| | | | | | | | | | | | | | | | | | | |
|-------|---------|---------|----|----|----|----|---|---|----------|----------|----------|----------|-----|-----|-----|------|------------|-------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| DADC0 | DS 1 | DS 0 | 0 | 0 | 0 | 0 | 0 | 0 | SAD 1 | SAD 0 | DAD 1 | DAD 0 | TM1 | TM0 | TTY | TDIR | アドレス | 初期値 |
| | | | | | | | | | | | | | | | | | FFFFFF0D0H | 0000H |
| DADC1 | DS 1 | DS 0 | 0 | 0 | 0 | 0 | 0 | 0 | SAD 1 | SAD 0 | DAD 1 | DAD 0 | TM1 | TM0 | TTY | TDIR | アドレス | 初期値 |
| | | | | | | | | | | | | | | | | | FFFFFF0D2H | 0000H |
| DADC2 | DS 1 | DS 0 | 0 | 0 | 0 | 0 | 0 | 0 | SAD 1 | SAD 0 | DAD 1 | DAD 0 | TM1 | TM0 | TTY | TDIR | アドレス | 初期値 |
| | | | | | | | | | | | | | | | | | FFFFFF0D4H | 0000H |
| DADC3 | DS 1 | DS 0 | 0 | 0 | 0 | 0 | 0 | 0 | SAD 1 | SAD 0 | DAD 1 | DAD 0 | TM1 | TM0 | TTY | TDIR | アドレス | 初期値 |
| | | | | | | | | | | | | | | | | | FFFFFF0D6H | 0000H |

| ビット位置 | ビット名 | 意味 | | | | | | | | | | | | | | | |
|--------|-------------|---|-----|-----|-----------|---|---|-------|---|---|--------|---|---|--------|---|---|------|
| 15, 14 | DS1, DS0 | DMA 転送での転送データ・サイズを設定します。 <table border="1" style="margin: auto; border-collapse: collapse; text-align: left;"> <thead> <tr> <th style="width: 10%;">DS1</th> <th style="width: 10%;">DS0</th> <th style="width: 80%;">転送データ・サイズ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>8 ビット</td> </tr> <tr> <td>0</td> <td>1</td> <td>16 ビット</td> </tr> <tr> <td>1</td> <td>0</td> <td>32 ビット</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> | DS1 | DS0 | 転送データ・サイズ | 0 | 0 | 8 ビット | 0 | 1 | 16 ビット | 1 | 0 | 32 ビット | 1 | 1 | 設定禁止 |
| DS1 | DS0 | 転送データ・サイズ | | | | | | | | | | | | | | | |
| 0 | 0 | 8 ビット | | | | | | | | | | | | | | | |
| 0 | 1 | 16 ビット | | | | | | | | | | | | | | | |
| 1 | 0 | 32 ビット | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 | | | | | | | | | | | | | | | |

注意 1. DS1, DS0 ビットは何ビットのデータを転送するかを設定するレジスタです。どのデータ・バス・ラインを使用するかは、VMBENZ3-VMBENZ0 信号により決定されるため、8 ビット・データ (DS1, DS0 = 0, 0) を設定した場合でも、必ずしも下位データ・バス (DATA7-DATA0) を使用するわけではありません。

また、転送データ・サイズを 16 ビットに設定した場合は下位アドレスの 1 ビットを “0” に、32 ビットに設定した場合は下位アドレスの 2 ビットを “0” にアラインしたアドレスから必ず転送を開始します。この場合は奇数アドレスから始まる転送はできません。

2. DADC0-DADC3 レジスタのビット 13-8 には、必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

図7 - 6 DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) (2/2)

| ビット位置 | ビット名 | 意味 | | | | | | | | | | | | | | | |
|-------|---------------|---|------|------|--------|---|---|-----------|---|---|---------------|---|---|----------|---|---|-----------|
| 7, 6 | SAD1, SAD0 | <p>DMA チャンネル n の転送元アドレスのカウンタ方向を設定します (n = 0-3)。</p> <table border="1"> <thead> <tr> <th>SAD1</th> <th>SAD0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> | SAD1 | SAD0 | カウンタ方向 | 0 | 0 | インクリメント | 0 | 1 | デクリメント | 1 | 0 | 固定 | 1 | 1 | 設定禁止 |
| SAD1 | SAD0 | カウンタ方向 | | | | | | | | | | | | | | | |
| 0 | 0 | インクリメント | | | | | | | | | | | | | | | |
| 0 | 1 | デクリメント | | | | | | | | | | | | | | | |
| 1 | 0 | 固定 | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 | | | | | | | | | | | | | | | |
| 5, 4 | DAD1, DAD0 | <p>DMA チャンネル n の転送先アドレスのカウンタ方向を設定します。</p> <table border="1"> <thead> <tr> <th>DAD1</th> <th>DAD0</th> <th>カウンタ方向</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>インクリメント</td> </tr> <tr> <td>0</td> <td>1</td> <td>デクリメント</td> </tr> <tr> <td>1</td> <td>0</td> <td>固定</td> </tr> <tr> <td>1</td> <td>1</td> <td>設定禁止</td> </tr> </tbody> </table> | DAD1 | DAD0 | カウンタ方向 | 0 | 0 | インクリメント | 0 | 1 | デクリメント | 1 | 0 | 固定 | 1 | 1 | 設定禁止 |
| DAD1 | DAD0 | カウンタ方向 | | | | | | | | | | | | | | | |
| 0 | 0 | インクリメント | | | | | | | | | | | | | | | |
| 0 | 1 | デクリメント | | | | | | | | | | | | | | | |
| 1 | 0 | 固定 | | | | | | | | | | | | | | | |
| 1 | 1 | 設定禁止 | | | | | | | | | | | | | | | |
| 3, 2 | TM1, TM0 | <p>DMA 転送時の転送モードを設定します。</p> <table border="1"> <thead> <tr> <th>TM1</th> <th>TM0</th> <th>転送モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>シングル転送モード</td> </tr> <tr> <td>0</td> <td>1</td> <td>シングルステップ転送モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>ライン転送モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>ブロック転送モード</td> </tr> </tbody> </table> | TM1 | TM0 | 転送モード | 0 | 0 | シングル転送モード | 0 | 1 | シングルステップ転送モード | 1 | 0 | ライン転送モード | 1 | 1 | ブロック転送モード |
| TM1 | TM0 | 転送モード | | | | | | | | | | | | | | | |
| 0 | 0 | シングル転送モード | | | | | | | | | | | | | | | |
| 0 | 1 | シングルステップ転送モード | | | | | | | | | | | | | | | |
| 1 | 0 | ライン転送モード | | | | | | | | | | | | | | | |
| 1 | 1 | ブロック転送モード | | | | | | | | | | | | | | | |
| 1 | TTYP | <p>DMA 転送タイプを設定します。</p> <p>0 : 2 サイクル転送 1 : フライバイ転送^注</p> | | | | | | | | | | | | | | | |
| 0 | TDIR | <p>周辺マクロ↔外部メモリ転送時の転送方向を設定します。設定はフライバイ転送時だけ有効で、2 サイクル転送時は無視されます。</p> <p>0 : 外部メモリ→周辺マクロ (リード) 1 : 周辺マクロ→外部メモリ (ライト)</p> | | | | | | | | | | | | | | | |

注 フライバイ転送に対応した MEMC を使用した場合だけ有効。

備考 n = 0-3

7.5.5 DMA チャンネル・コントロール・レジスタ 0-3 (DCHC0-DCHC3)

DMA チャンネル n の DMA 転送動作モードを制御する 8 ビット・レジスタです (n = 0-3)。

8/1 ビット単位でリード/ライト可能です (ただしビット 7 はリードだけ、ビット 2, ビット 1 はライトだけ可能です。ビット 2, ビット 1 をリードした場合は 0 が読み出されます)。

図7-7 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) (1/2)

| | | | | | | | | | | |
|-------|-----|---|---|---|------|-------|------|-----|------------|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| DCHC0 | TC0 | 0 | 0 | 0 | MLE0 | INIT0 | STG0 | EN0 | アドレス | 初期値 |
| | | | | | | | | | FFFFFF0E0H | 00H |
| DCHC1 | TC1 | 0 | 0 | 0 | MLE1 | INIT1 | STG1 | EN1 | アドレス | 初期値 |
| | | | | | | | | | FFFFFF0E2H | 00H |
| DCHC2 | TC2 | 0 | 0 | 0 | MLE2 | INIT2 | STG2 | EN2 | アドレス | 初期値 |
| | | | | | | | | | FFFFFF0E4H | 00H |
| DCHC3 | TC3 | 0 | 0 | 0 | MLE3 | INIT3 | STG3 | EN3 | アドレス | 初期値 |
| | | | | | | | | | FFFFFF0E6H | 00H |

| ビット位置 | ビット名 | 意味 |
|-------|-------|---|
| 7 | TCn | DMA チャンネル n の DMA 転送の終了 / 未終了を示すステータス・ビットです。 読み出しだけができます。DMA 転送の最後の転送のリード・サイクル時にセット (1) され、読み出しによりクリア (0) されます。 0 : DMA 転送未終了 1 : DMA 転送終了 |
| 3 | MLEn | ターミナル・カウント出力時に、このビットがセット (1) されていると、ENn ビットはクリア (0) されず、DMA 転送許可状態のままになります。また、TCn ビットを読み出さなくても、次の DMARQn による DMA 転送要求は受け付けられます。STGn ビットによる DMA 転送要求の場合は、MLEn ビットをセット (1) していても TCn ビットを読み出してクリア (0) する必要があります。 ターミナル・カウント出力時に、このビットがクリア (0) されていると、ENn ビットはクリア (0) され、DMA 転送禁止状態になります。次の DMA 転送要求時は、TCn ビットの読み出しと ENn ビットのセット (1) が必要です。 |
| 2 | INITn | このビットをセット (1) すると、DMA 転送を強制終了します。 |
| 1 | STGn | DMA 転送が許可の状態 (TCn ビット = 0, ENn ビット = 1) で、このビットをセット (1) すると DMA 転送を開始します。 |

注意 1. MLEn ビットのセット (1) が有効となるのは、DMARQn 端子入力による要求で起動する DMA 転送 (ハードウェア DMA) の場合だけです (n = 0-3)。STGn ビットのセット (1) により起動する DMA 転送 (ソフトウェア DMA) の場合には TCn ビットを読み出し、セット (1) されていることを確認してから、STGn ビットをセット (1) して DMA を起動してください。

2. DCHC0-DCHC3 レジスタのビット 6-4 には、必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

備考 n = 0-3

図7-7 DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) (2/2)

| ビット位置 | ビット名 | 意味 |
|-------|------|---|
| 0 | ENn | DMA チャンネル n の DMA 転送の許可 / 禁止を設定します。DMA 転送が完了するとクリア (0) されます。また、IDMASTP 信号入力時や、INITn ビットのセット (1) による強制終了時にもクリア (0) されます。 0 : DMA 転送の禁止 1 : DMA 転送の許可 |

備考 n = 0-3

7.5.6 DMA ディスエーブル・ステータス・レジスタ (DDIS)

IDMASTP 信号入力時に DCHCn レジスタの ENn ビットを保持するレジスタです (n = 0-3)。

8/1 ビット単位でリードだけ可能です。

図7-8 DMA ディスエーブル・ステータス・レジスタ (DDIS)

| | | | | | | | | | | |
|------|---|---|---|---|-----|-----|-----|-----|-----------|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| DDIS | 0 | 0 | 0 | 0 | CH3 | CH2 | CH1 | CH0 | アドレス | 初期値 |
| | | | | | | | | | FFFFFF0FH | 00H |

| ビット位置 | ビット名 | 意味 |
|-------|---------|---|
| 3-0 | CH3-CH0 | IDMASTP 信号入力時に DCHCn レジスタの ENn ビットの内容が反映されます。このレジスタの内容は、次の IDMASTP 信号入力時、またはシステム・リセット時まで保持されます。 |

注意 DDIS レジスタのビット 7-4 には、必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

備考 n = 0-3

7.5.7 DMA リスタート・レジスタ (DRST)

IDMASTP 信号入力によって強制中断された DMA 転送を再開させるためのレジスタです。このレジスタの ENn ビットは、DCHCn レジスタの ENn ビットとそれぞれ連結しています (n=0-3)。IDMASTP 信号入力による強制中断終了後、中断されている DMA チャンネルを DDIS レジスタの内容から確認し、対応する DMA チャンネルの ENn ビットをセット (1) することにより DMA 転送を再開できます。

8/1 ビット単位でリード/ライト可能です。

図7-9 DMAリスタート・レジスタ (DRST)

| | | | | | | | | | | |
|------|---|---|---|---|-----|-----|-----|-----|------------|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| DRST | 0 | 0 | 0 | 0 | EN3 | EN2 | EN1 | EN0 | アドレス | 初期値 |
| | | | | | | | | | FFFFFF0F2H | 00H |

| ビット位置 | ビット名 | 意味 |
|-------|---------|---|
| 3-0 | EN3-EN0 | DMA チャンネル n の DMA 転送の許可 / 禁止を設定します。ターミナル・カウント出力により DMA 転送が終了するとクリア (0) されます。 また、IDMASTP 信号入力時や DCHCn レジスタの INITn ビットのセット (1) による DMA の強制終了時にもクリア (0) されます。 0 : DMA 転送の禁止 1 : DMA 転送の許可 |

注意 DRST レジスタのビット 7-4 には、必ず 0 を設定してください。1 を設定した場合の動作は保証できません。

備考 n = 0-3

7.6 ネクスト・アドレス設定機能

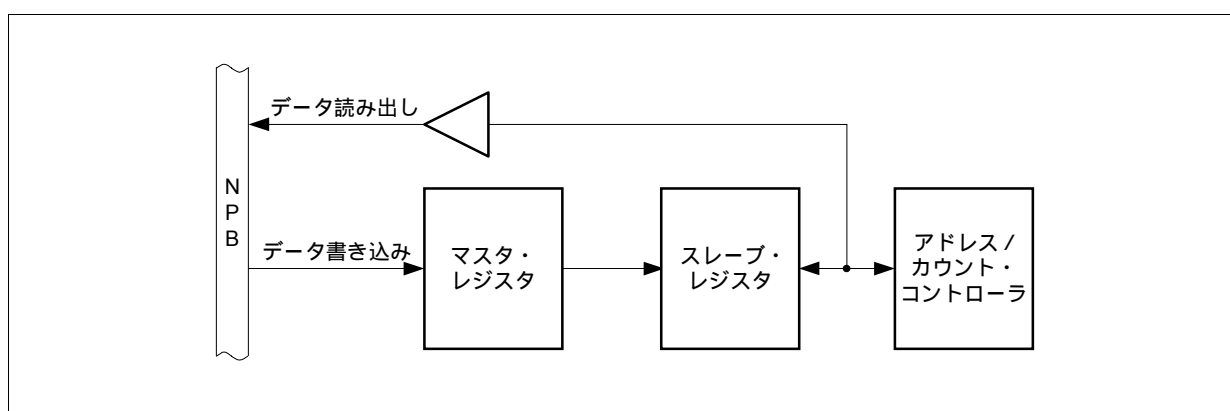
DMA ソース・アドレス・レジスタ (DSAnH, DSAnL), DMA デスティネーション・アドレス・レジスタ (DDAnH, DDAnL), DMA 転送カウント・レジスタ (DBCn) は 2 段 FIFO 構成のバッファ・レジスタです ($n = 0-3$)。

ターミナル・カウント信号 (DMTCOn) が出力されると、これらのレジスタは直前に設定された値に自動的に書き換えられます。

したがって、DMA 転送中に、これらのレジスタに対して新たな DMA 転送の設定を行えば、DCHCn レジスタの ENn ビットをセット (1) するだけで転送が開始できます。

図 7 - 10 にバッファ・レジスタの構成を示します。

図7 - 10 バッファ・レジスタの構成



7.7 DMA バス・ステート

7.7.1 バス・ステートの種類

DMAC のバス・サイクルは、次に示す 13 個のステートで構成されます。

(1) T1 ステート

アクセス要求がないアイドル状態のステートです。

VBCLK 信号の立ち上がりで DMARQ3-DMARQ0 信号をサンプリングします。

(2) T0 ステート

DMA 転送準備状態 (DMA 転送要求があり、最初の DMA 転送のためにバス使用权を獲得している状態) のステートです。

(3) T1R ステート

2 サイクル転送のリードの最初に移行するステートです。

アドレスの駆動を開始します。T1R ステートのあとは T2R ステートに必ず遷移します。

(4) T1RI ステート

外部メモリのリード要求に対するアクノリッジ信号を待っているステートです。

最後の T1RI ステートのあとは T2R ステートに必ず遷移します。

(5) T2R ステート

2 サイクル転送のリードの最後またはウェイト状態のステートです。

最後の T2R ステートでリード・データをサンプリングします。そのあとは必ず T1W ステートに遷移します。

(6) T2RI ステート

RAM への DMA 転送準備状態 (RAM への DMA 転送のために、バスの使用权を獲得している状態) のステートです。

最後の T2RI ステートのあとは T1W ステートに必ず遷移します。

(7) T1W ステート

2 サイクル転送のライトの最初に移行するステートです。

アドレスの駆動を開始します。T1W ステートのあとは T2W ステートに必ず遷移します。

(8) T1WI ステート

外部メモリのライト要求に対するアクノリッジ信号を待っているステートです。

最後の T1WI ステートのあとは T2W ステートに必ず遷移します。

(9) T2W ステート

2 サイクル転送のライトの最後またはウェイト状態のステートです。

最後の T2W ステートでライト・ストロブ信号をインアクティブにします。

(10) T1FH ステート

フライバイ転送の基本のステートで、その転送の実行サイクルです。
T1FH ステートのあとは T2FH ステートに遷移します。

(11) T1FHI ステート

フライバイ転送の最後の状態で、転送の終了を待ちます。
T1FHI ステートのあとはバスを解放し、TE ステートに遷移します。

(12) T2FH ステート

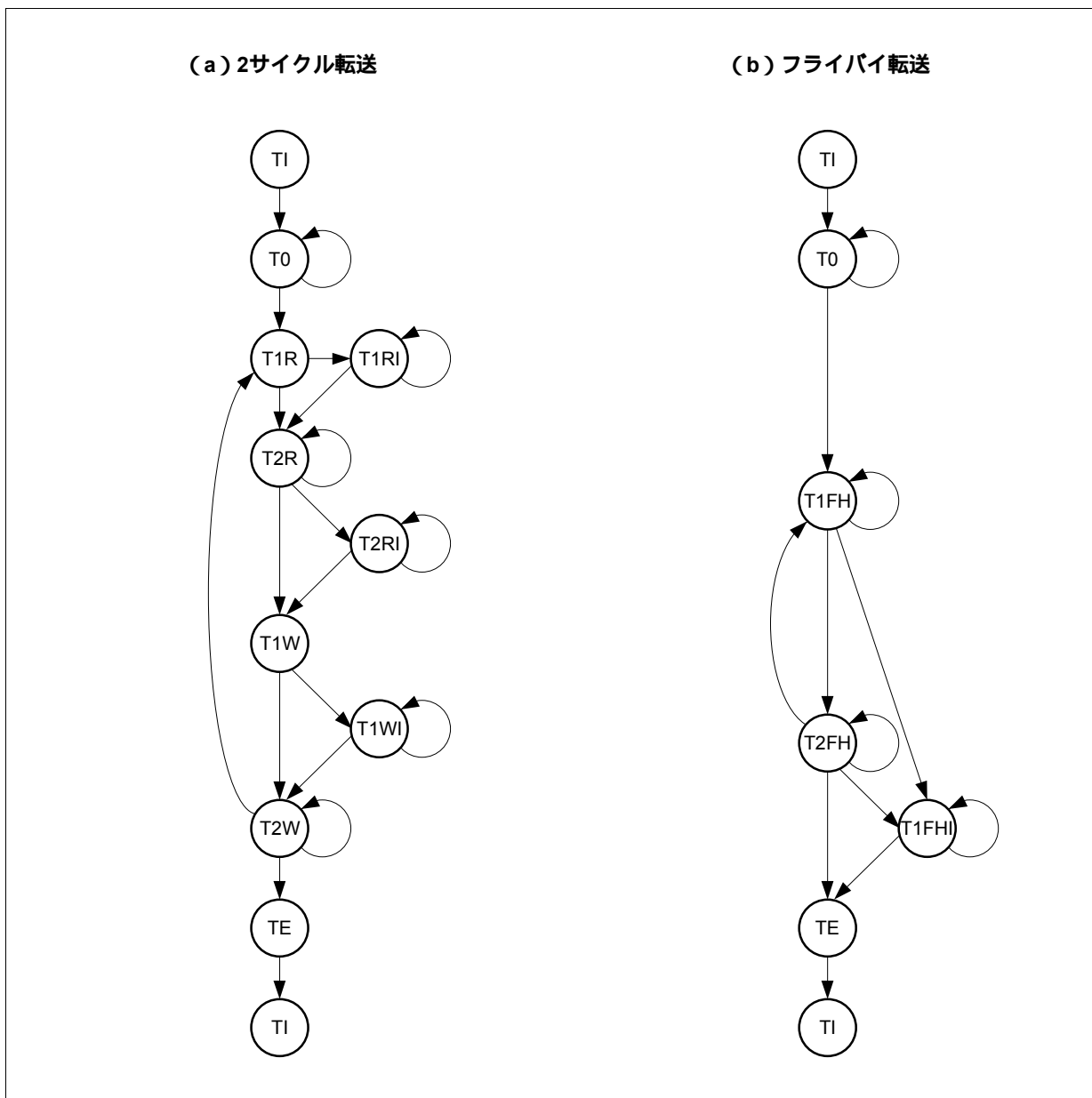
フライバイ転送が続くかどうかを判断するステートです。
次の転送をブロック転送で行う場合、T2FH ステートのあと、T1FH ステートに移行します。
その他の状態で、かつウェイトが発行されている場合は T1FHI ステートに遷移します。ウェイトが発行
されていなければバスを解放し、TE ステートに遷移します。

(13) TE ステート

DMA 転送完了のステートです。DMAC はターミナル・カウント信号 (DMTCOn) を生成し、ほかの各
種内部信号を初期化します (n = 3-0)。TE ステートのあとは TI ステートに必ず遷移します。

7.7.2 DMAC バス・サイクルの状態遷移

図7-11 DMACバス・サイクルの状態遷移図



7.8 転送モード

7.8.1 シングル転送モード

シングル転送では、DMAC は1回のバイト/ハーフワード/ワード転送ごとにバスを解放します。その後、DMA 転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMAC がバスを解放している間にほかの優先順位が高い DMA 転送要求が発生した場合、常に優先順位が高い DMA 転送要求を優先させます。ただし、シングル転送が終了した1クロック後までにほかの優先順位が低い DMA 転送要求が発生した場合は、前回の優先順位が高い DMA 転送要求信号がアクティブのままでもこの要求は優先されず、CPU にバスを解放した次の転送は新たに要求のあった優先順位の低い方の DMA 転送となります。図7-12 から図7-15 にシングル転送の例を示します。

図7-12 シングル転送例1

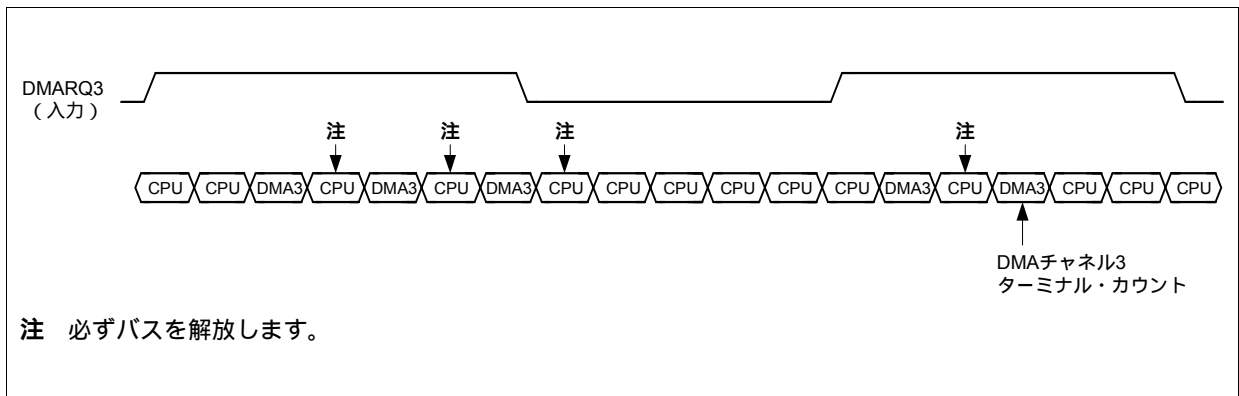


図7-13 は、優先順位の高い DMA 転送要求が発生した場合のシングル転送の例で、DMA チャンネル0-2 はブロック転送、チャンネル3はシングル転送です。

図7-13 シングル転送例2

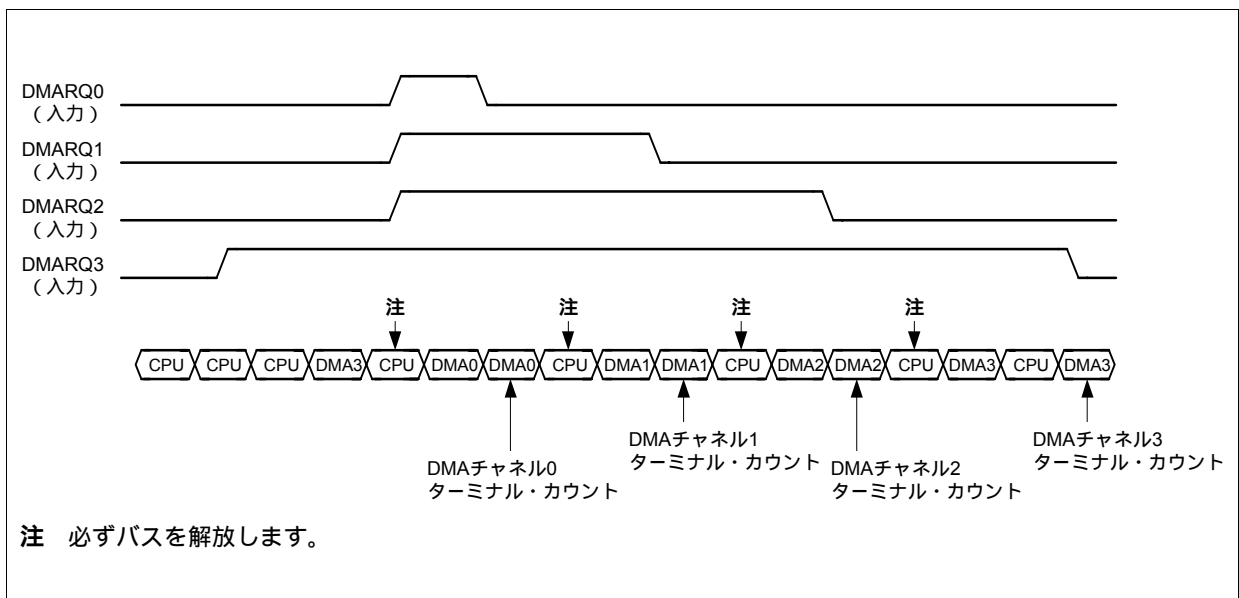


図7-14は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のシングル転送の例で、DMAチャンネル0,3はシングル転送です。2つのDMA転送要求信号が同時にアクティブになっているときは、2つのDMA転送を交互に行います。

図7-14 シングル転送例3

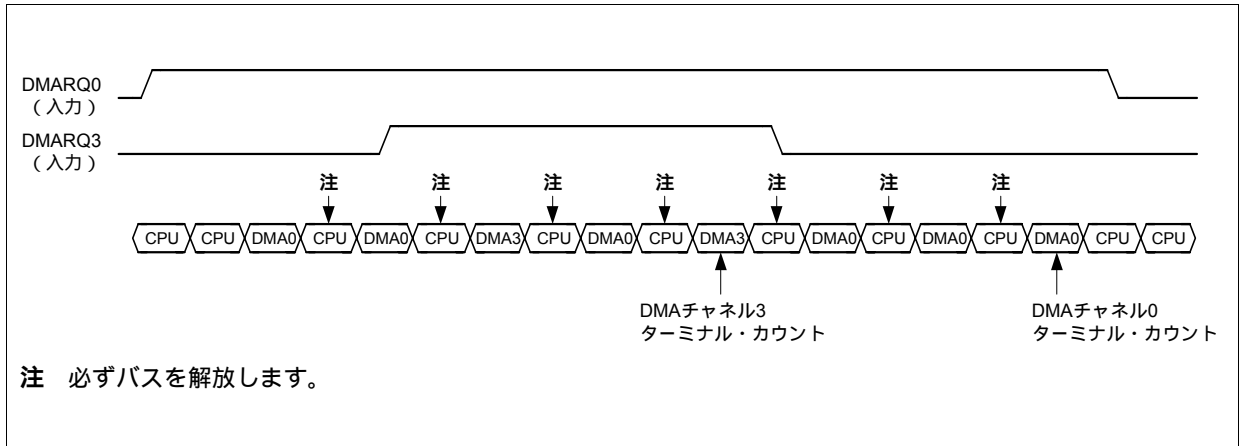
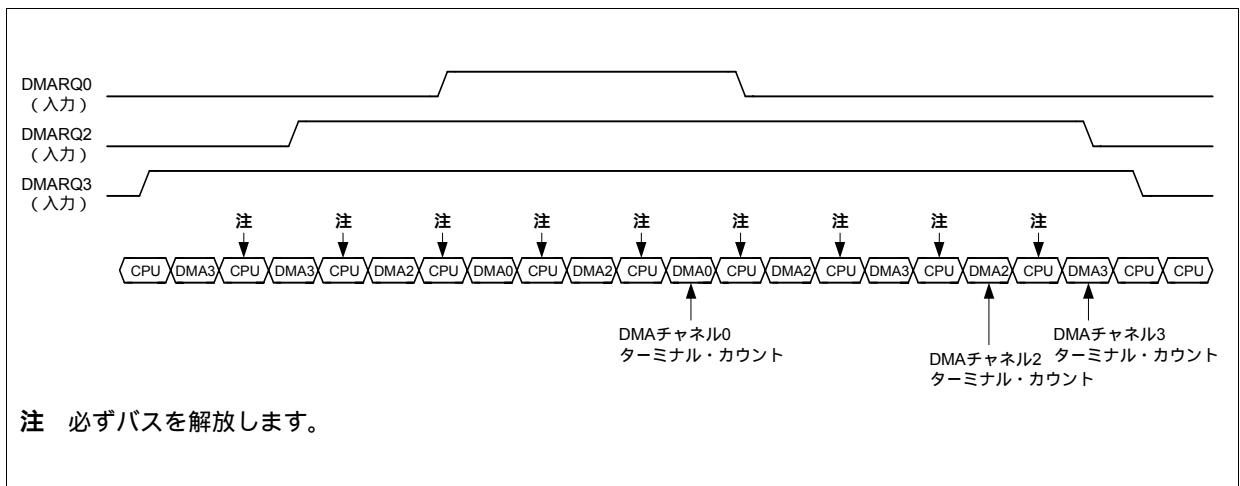


図7-15は、シングル転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求の発生が複数あった場合のシングル転送の例で、DMAチャンネル0,2,3はシングル転送です。3つ以上のDMA転送要求信号が同時にアクティブになっているときは、常に優先順位が高い順から2つのDMA転送を交互に行います。

図7-15 シングル転送例4



7.8.2 シングルステップ転送モード

シングルステップ転送では、DMAC は1回のバイト/ハーフワード/ワード転送ごとにバスを解放します。一度、DMA 転送要求信号 (DMARQ3-DMARQ0) を受けると、ターミナル・カウントが発生するまで続けます。

DMAC がバスを解放している間にほかの優先順位が高いDMA 転送要求が発生した場合、常に優先順位が高いDMA 転送要求を優先させます。

図7-16、図7-17にシングルステップ転送の例を示します。

図7-16 シングルステップ転送例1

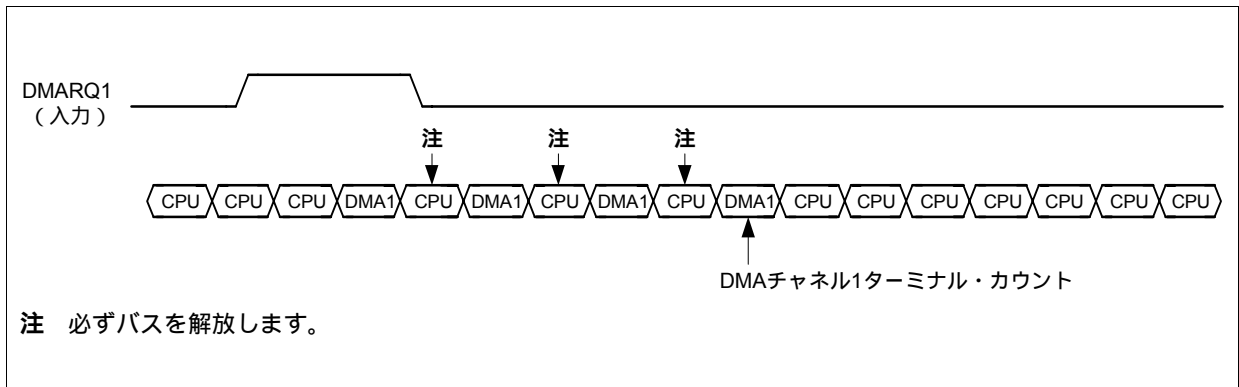
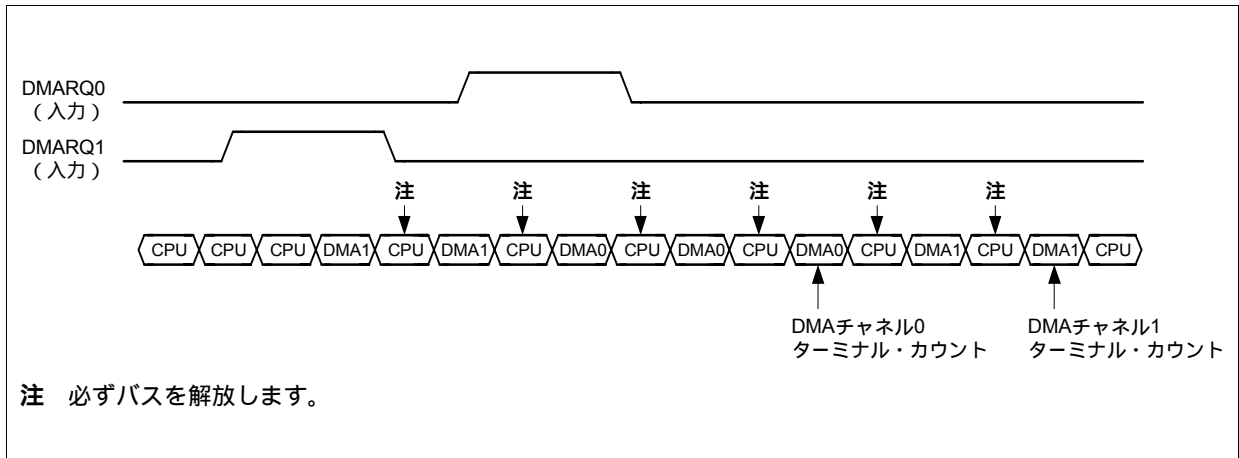


図7-17 シングルステップ転送例2



7.8.3 ライン転送モード

ライン転送では、DMACは4回のバイト/ハーフワード/ワード転送ごとにバスを解放します。その後、DMA転送要求があると再度4回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。2サイクル転送では、リードライト動作を4回繰り返します。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA転送要求を優先させます。ただし、ライン転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合は、前回の優先順位が高いDMA転送要求信号がアクティブのままでもこの要求は優先されず、CPUにバスを解放した次の転送は新たに要求のあった優先順位の低い方のDMA転送となります。

図7-18から図7-21にライン転送の例を示します。

図7-18 ライン転送例1

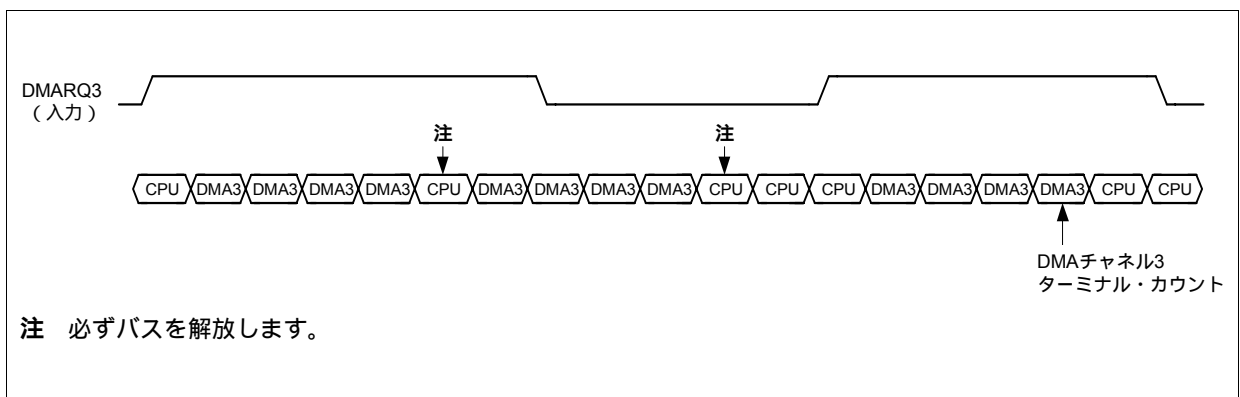


図7-19は、優先順位の高いDMA転送要求が発生した場合のライン転送の例で、DMAチャンネル0-2はブロック転送、チャンネル3はライン転送です。

図7-19 ライン転送例2

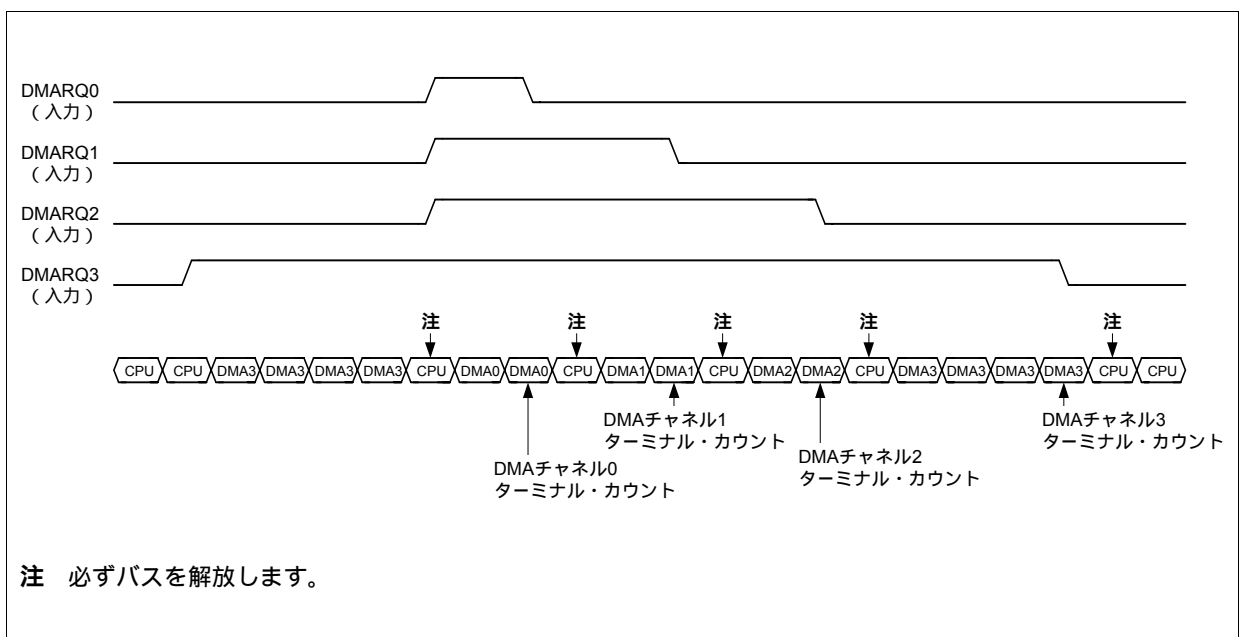


図7-20, 図7-21は, ライン転送が終了した1クロック後までにほかの優先順位が低いDMA転送要求が発生した場合のライン転送の例です。2つのDMA転送要求信号が同時にアクティブになっているときは, 2つのDMA転送を交互に行います。

図7-20のDMAチャンネル0, 3はライン転送です。

図7-20 ライン転送例3

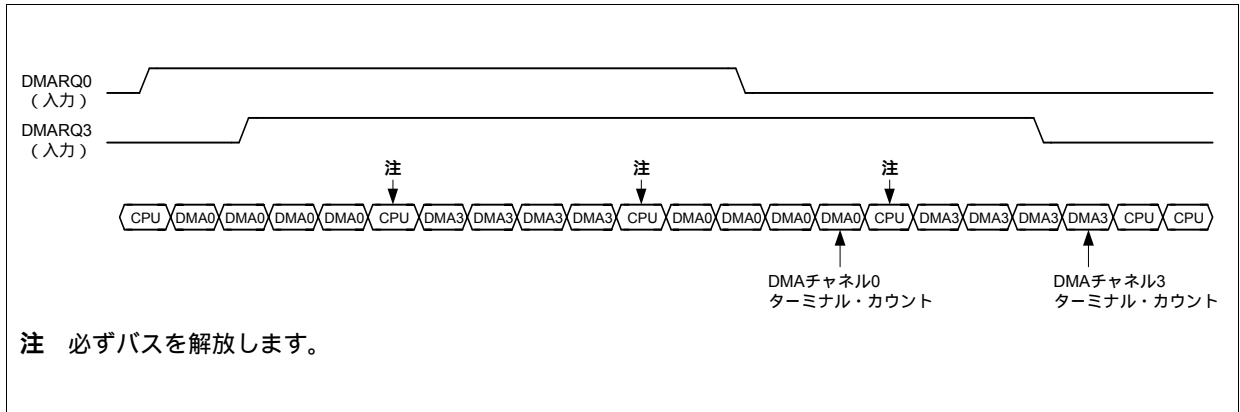
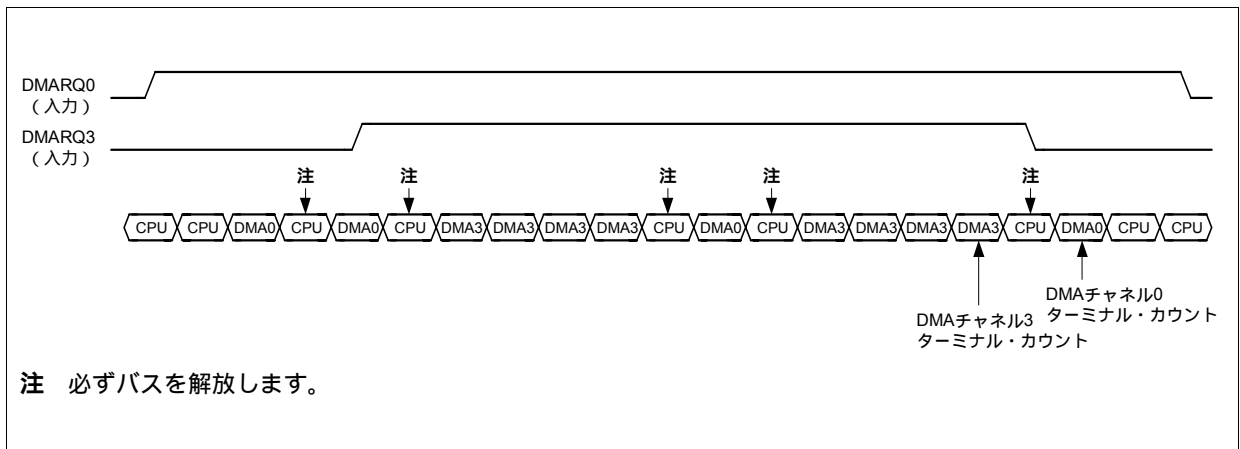


図7-21のDMAチャンネル0はシングル転送, チャンネル3はライン転送です。

図7-21 ライン転送例4



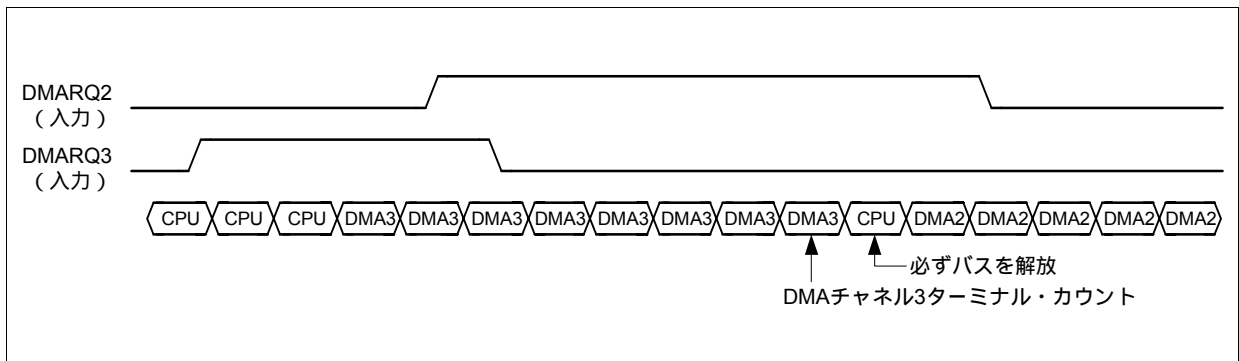
7.8.4 ブロック転送モード

ブロック転送では、転送が開始されるとターミナル・カウントが発生するまでバスを解放せず転送を続けます。ブロック転送中は、ほかの DMA 転送要求は受け付けません。

ブロック転送が終了し DMAC がバスを解放したあとに、ほかの DMA 転送を受け付けます。なお、ブロック転送中は CPU のバス・サイクルが挿入されることは禁止されていますが、外部バス・マスタの要求 (SDRAM のリフレッシュを含む) に対しては、ブロック転送中でもバス使用权を渡すことができます。

図 7-22 にブロック転送の例を示します。優先順位の高い DMA 転送要求が発生した場合のブロック転送の例で、DMA チャンネル 2, 3 はブロック転送です。

図7-22 ブロック転送例



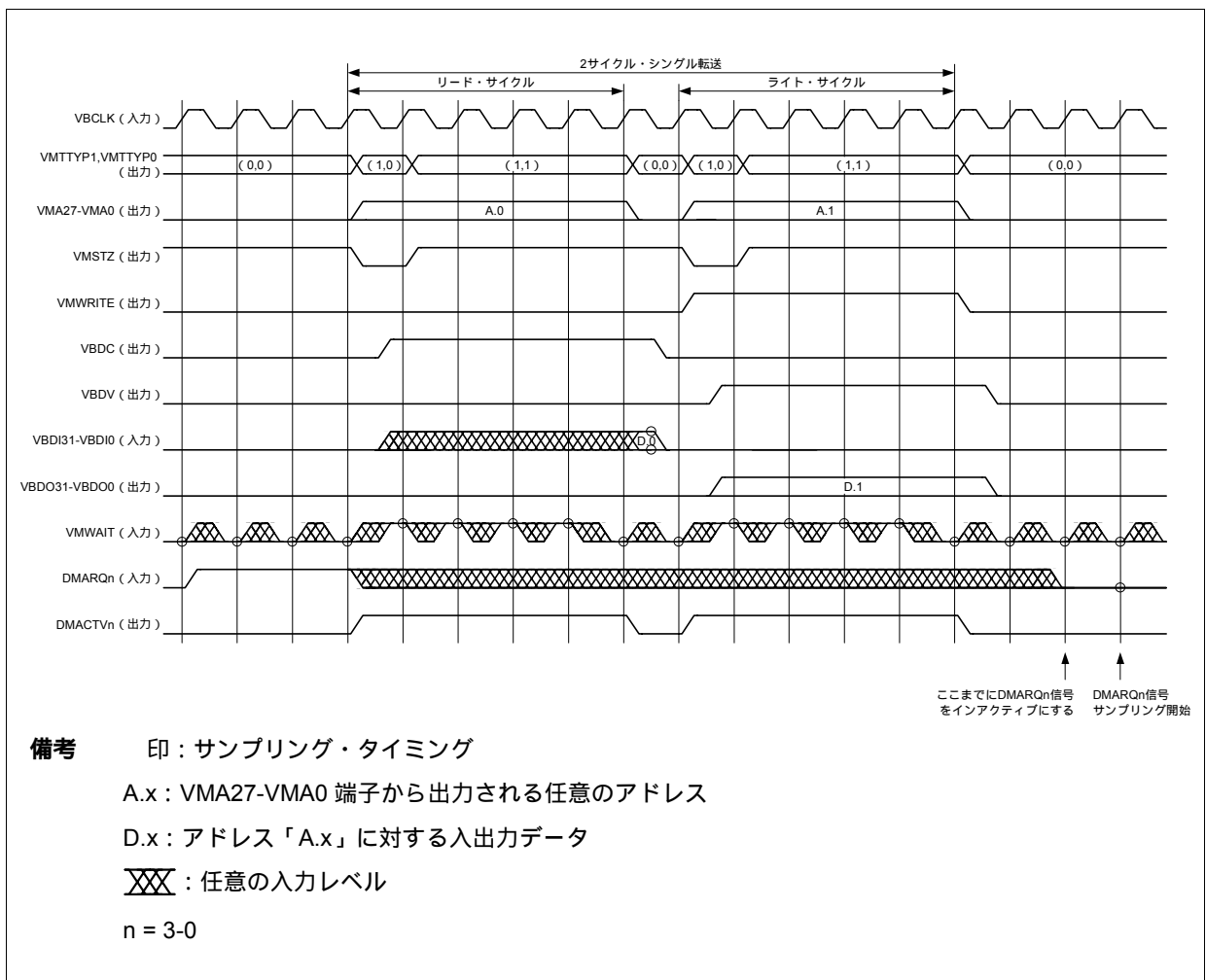
7.8.5 DMARQn 信号によるシングル転送時の1回転送

(1) 2 サイクル転送の場合

DMARQn 信号入力により外部メモリに対してシングル転送を実行した場合、次の DMARQn 信号は、現在の 2 サイクル転送のライト・サイクルが終了してから 3 クロック後の VBCLK の立ち上がりでサンプリングが開始され受け付けられます。実際には 2.5 クロック後の VBCLK の立ち上がりから規定された DMARQn 設定時間を満足すると、次の DMARQn 信号要求は受け付けられます。したがって、1 回だけ転送を行うためには、2 サイクル・シングル転送のライト・サイクルが終了してから 2 クロック以内に DMARQn 信号をインアクティブにすることを推奨します (n = 3-0)。

VDB に接続された RAM を対象とする DMA 転送では、RAM への転送時に DMACTVn 信号がアクティブにならないため、転送先 (ライト・サイクル) が RAM の場合はライト・サイクルが終了するタイミングがわかりません (n = 3-0)。1 回転送を行う場合にはメモリ RAM, RAM メモリのどちらの場合でもメモリ転送時に DMACTVn 信号がアクティブになるので、DMACTVn 信号がインアクティブになってから 2 クロック以内に DMARQn 信号をインアクティブにすることを推奨します。

図7-23 DMARQn信号によるシングル転送時の1回転送



(2) フライバイ転送の場合

2 サイクル転送と同様に、次の DMARQn 信号は、フライバイ転送が終了してから 3 クロック後の VBCLK の立ち上がりでサンプリングが開始され受け付けられます。実際には 2.5 クロック後の VBCLK の立ち下がりから規定された DMARQn 設定時間を満足すると、次の DMARQn 信号要求は受け付けられません。したがって、1 回だけ転送を行うためには、フライバイ転送が終了してから 2 クロック以内に DMARQn 信号をインアクティブにすることを推奨します (n = 3-0)。

7.9 転送タイプ

7.9.1 2 サイクル転送

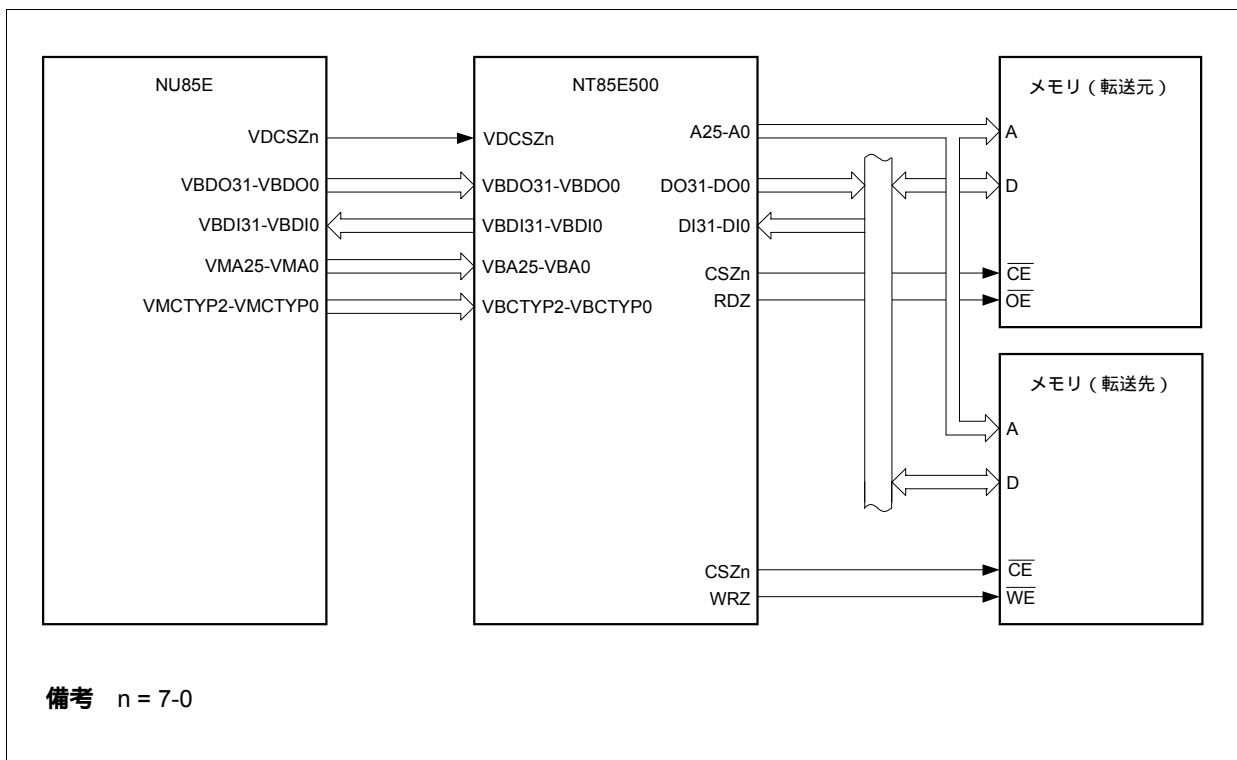
2 サイクル転送は、リード・サイクル (転送元→DMAC)、ライト・サイクル (DMAC→転送先) と 2 回のサイクルでデータを転送します。

1 回目のサイクルでは、転送元のアドレスを出力し転送元から DMAC へのリードを行い、2 回目のサイクルでは、転送先のアドレスを出力し DMAC から転送先への書き込みを行います。

また、VMCTYP2-VMCTYP0 端子から DMA の 2 サイクル転送を示す信号 (1, 1, 0) が出力されます。

注意 リード・サイクルとライト・サイクルの間に、必ず 1 クロック分のアイドル・サイクルが挿入されます。

図7 - 24 2サイクル転送例



7.9.2 フライバイ転送

MEMC がフライバイ転送をサポートしている場合だけ実行可能です。

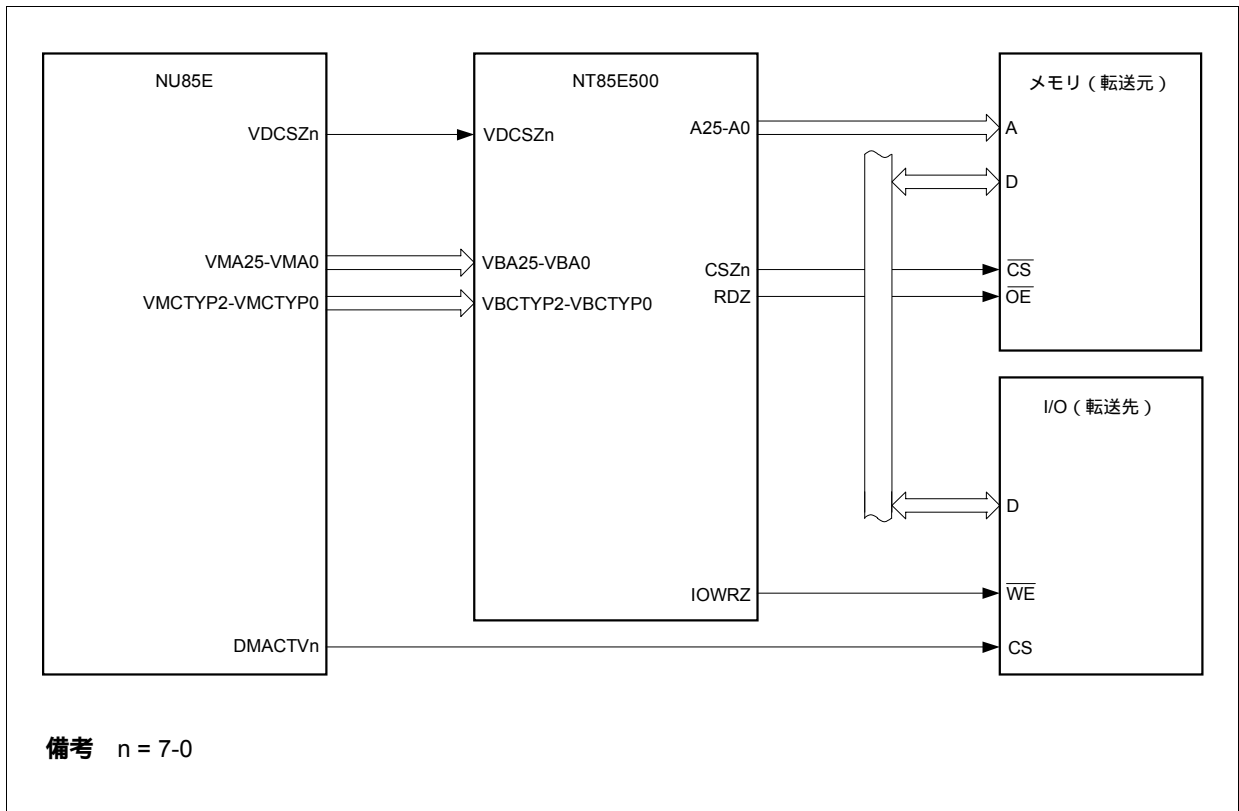
フライバイ転送は1サイクルでメモリ I/O, または I/O メモリの転送を行います。NU85E はメモリ I/O, I/O メモリのどちらの転送でも常に DSA_nH, DSA_nL レジスタに設定したメモリ側のアドレスを出力します (n = 3-0)。

メモリ, 外部 I/O へのストロープ信号は, メモリ I/O 転送の場合は RDZ/IOWRZ 信号, I/O メモリ転送の場合は WRZ/IORDZ 信号を同時にアクティブにします。また, VMCTYP2-VMCTYP0 端子から DMA フライバイ転送を示す信号 (1, 1, 1) を出力します。データはメモリ・コントローラのメモリ側のデータ・バスだけを使用するため, VSB のデータである VBDI31-VBDI0, VBDO31-VBDO0 信号 は使用しません。

外部 I/O は DMACTV3-DMACTV0 信号で選択します。

注意 メモリ・コントローラとして NA85E535 を使用した場合, SDRAM とのフライバイ転送が可能ですが, NT85E500 に SDRAM コントローラ (NT85E502) を接続したシステムでは, SDRAM とのフライバイ転送はできません。

図7 - 25 フライバイ転送例 (メモリ I/O)



7.10 DMA 転送起動要因

DMA 転送の起動要因には、次の2種類があります。

(1) 外部端子 (DMARQn) による要求

DCHCn レジスタの ENn ビット = 1, TCn ビット = 0 の状態に設定すると、TI ステートでの DMARQn 信号が有効となります (n = 3-0)。TI ステートで DMARQn 信号がアクティブになると、T0 ステートに移行して DMA 転送を開始します。

(2) ソフトウェアによる要求

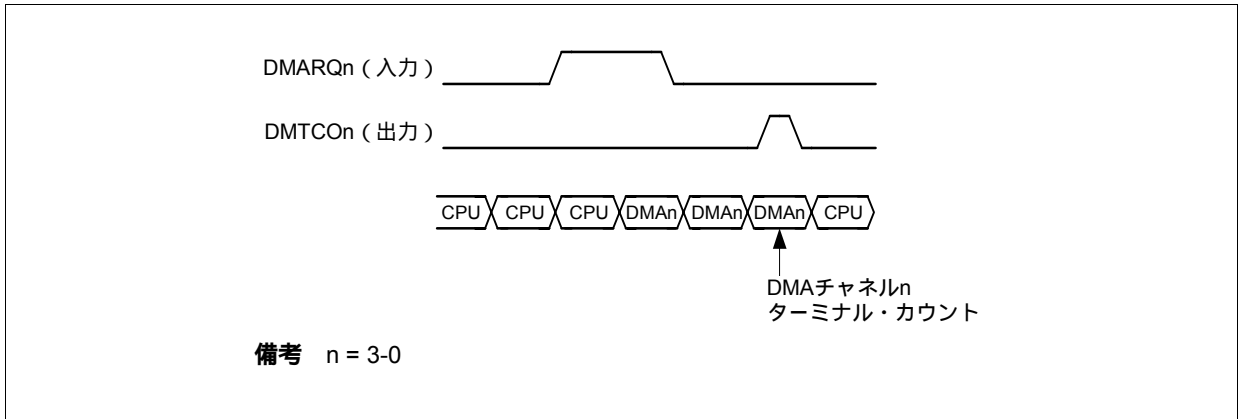
DCHCn レジスタの STGn, ENn, TCn ビットが次のように設定されると、DMA 転送を開始します (n = 3-0)。

- STGn ビット = 1
- ENn ビット = 1
- TCn ビット = 0

7.11 DMA 転送完了時のターミナル・カウント出力

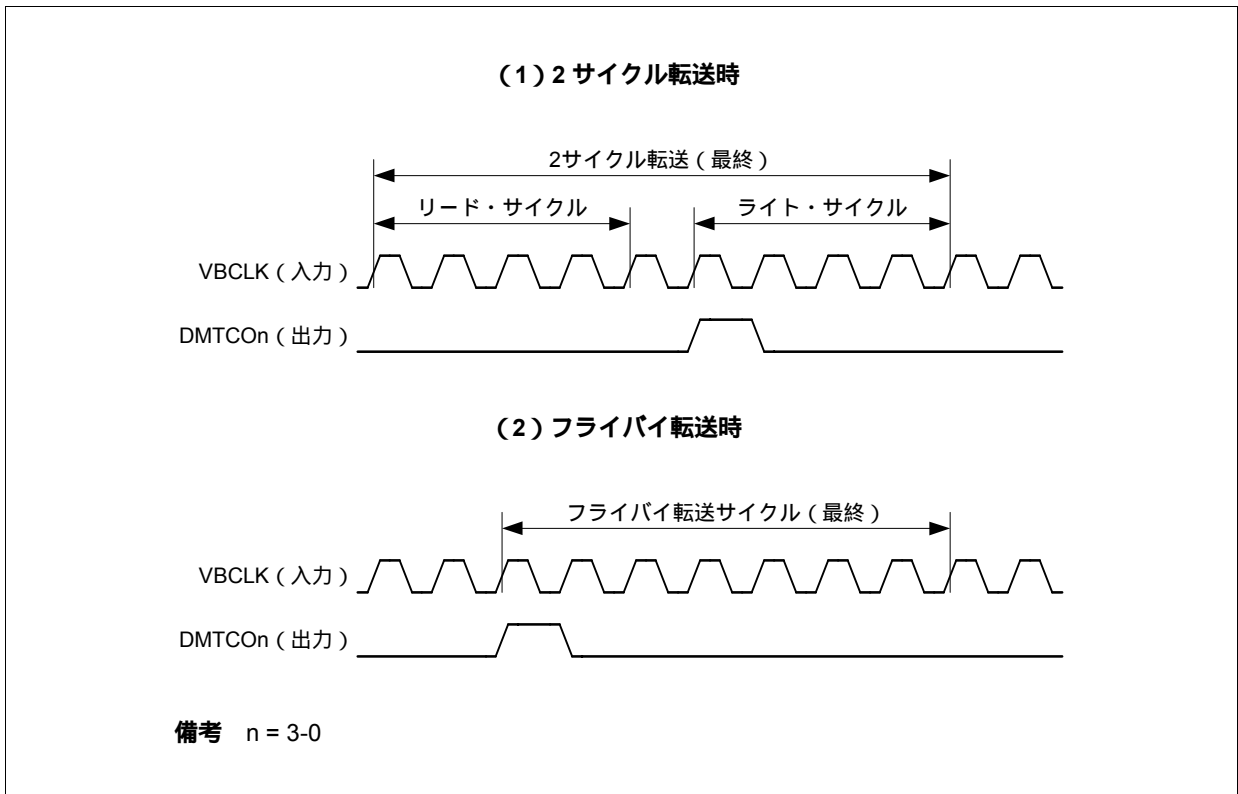
最終 DMA 転送サイクル中，ターミナル・カウント信号 (DMTCOn) が 1 クロック分だけアクティブになります (n = 3-0)。

図7 - 26 ターミナル・カウント信号 (DMTCO3-DMTCO0) タイミング例



2 サイクル転送の場合は，最終のライト・サイクルの先頭で 1 クロック分アクティブになります。
 フライバイ転送の場合は，最終転送サイクルの先頭で 1 クロック分アクティブになります。

図7 - 27 ターミナル・カウント信号 (DMTCO3-DMTCO0) の出力例



7.12 強制中断

DMA 転送中の IDMASTP 入力により、DMA 転送を強制的に中断できます。

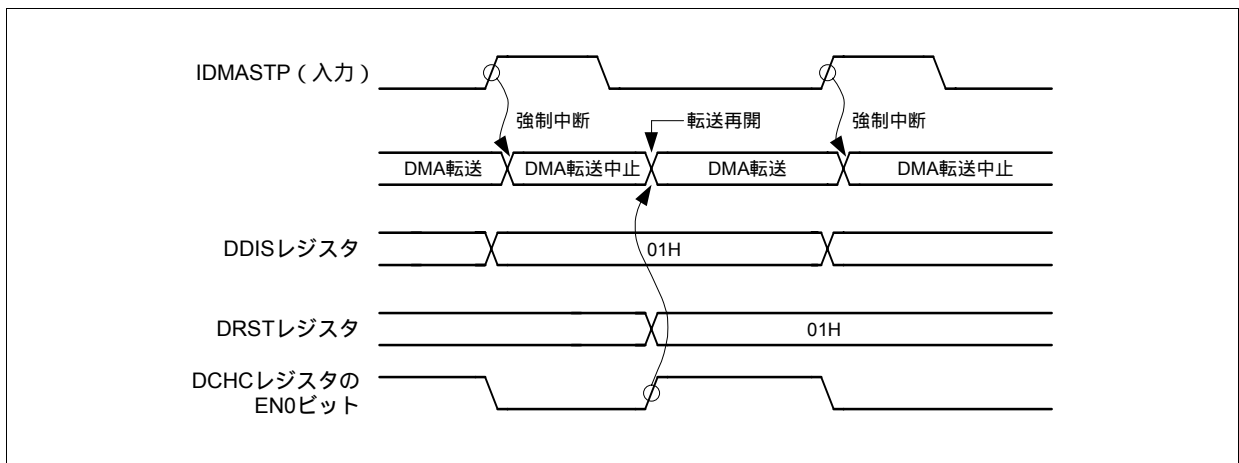
このとき DMAC は、すべてのチャンネルの DCHCn レジスタの ENn ビットをクリア (0) して、DMA 転送禁止状態にし、IDMASTP 入力時に実行していた DMA 転送が終了したあと、CPU ヘバスを解放します (n = 0-3)。

シングルステップ転送モード時、ブロック転送モード時、ライン転送モード時は、DMA 転送要求が DMAC に保持されます。ENn ビットをセット (1) すると DMA 転送を中断した時点から DMA 転送を再開します。

シングル転送モード時は、ENn ビットをセット (1) すると次の DMA 転送要求を受け付けて、DMA 転送を開始します。

注意 次の転送をすることなく強制中断をさせたい場合は、必ず現在実行中の DMA 転送が終了するまでに IDMASTP 信号をアクティブにしてください。また、中断後の転送再開は可能ですが、新規設定 (新しい条件) での DMA 転送はできません。新規設定で DMA 転送を行うときは、現在実行中の転送が終了したあとか、DCHCn レジスタの INITn ビット設定による強制終了後に行ってください (n = 0-3)。

図7 - 28 DMA転送の強制中断例

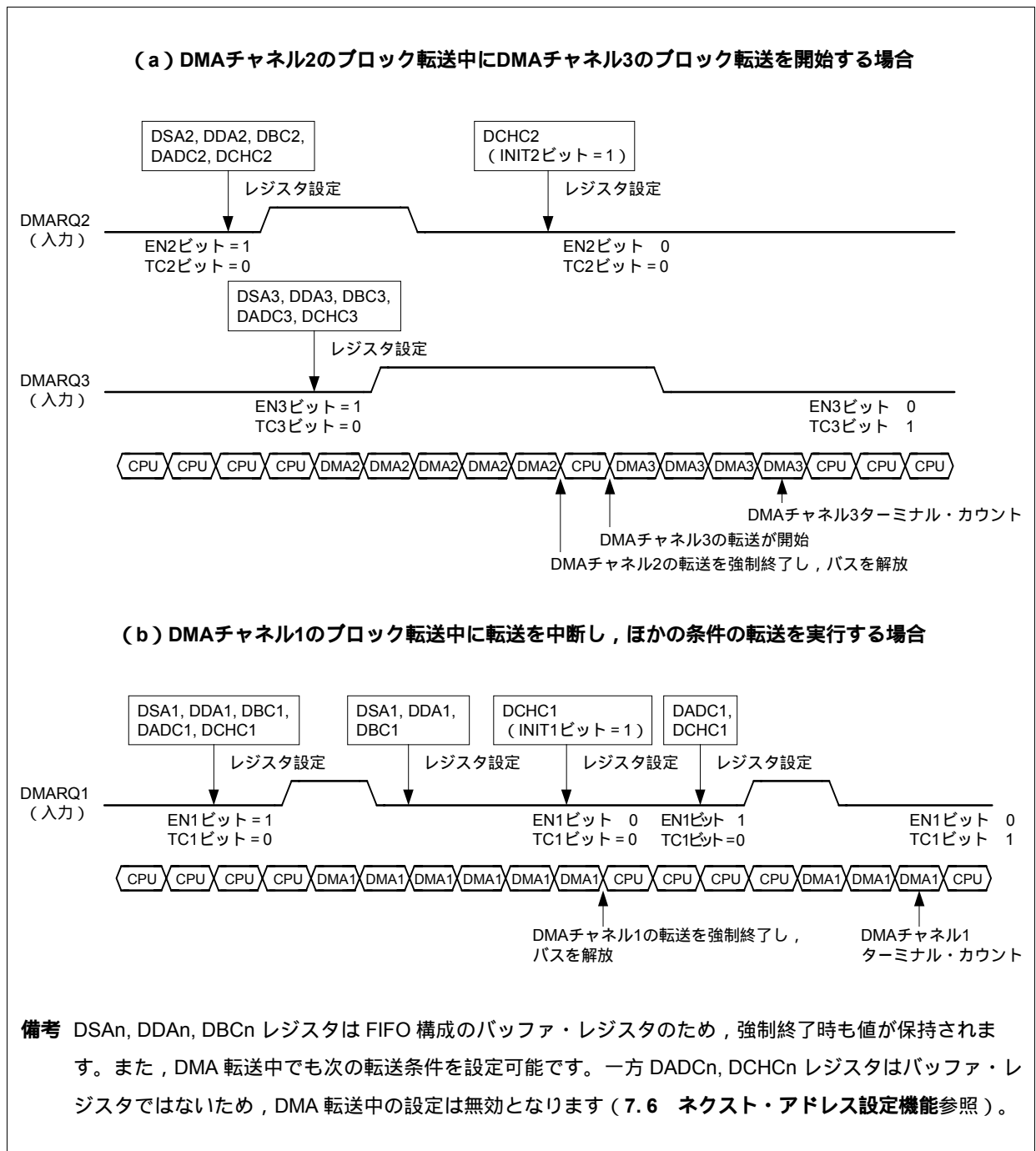


7.13 強制終了

DMA 転送中に DCHCn レジスタの INITn ビットをセット (1) することにより、実行中の DMA 転送を強制的に終了させることができます。強制終了動作の例を次に示します (n = 0-3)。

注意 INITn ビットのセット (1) は、VSB を CPU に解放したときに行われます。したがって、VSB を使用したブロック転送では DMA 転送が完全に終了するまで VSB がロックされるため、途中で強制終了させることはできません。

図7-29 DMA転送の強制終了例



7.14 DMA 転送タイミング例

次に各転送モードにおける DMA 転送のタイミング例を示します。

なお、NU85E 用の MEMC には NT85E500, NT85E502 があります。ここでは NT85E500, NT85E502 を使用した場合の例を示します。

(1) 2 サイクル転送

図 7 - 30 から図 7 - 33 に MEMC (NT85E500) に接続した外部 SRAM↔外部 SRAM 間の 2 サイクル転送のタイミング例を示します。図 7 - 34, 図 7 - 35 に VDB に接続した RAM↔MEMC (NT85E502) に接続した SDRAM 間の 2 サイクル転送のタイミング例を示します。

- 備考 1.** VMCTYP2-VMCTYP0, VMSEQ2-VMSEQ0, VMSIZE1, VMSIZE0, DI31-DI0 信号の点線部分のレベルは不定状態を示します。
2. 印はサンプリング・タイミングを示します。
 3. $n = 3-0$

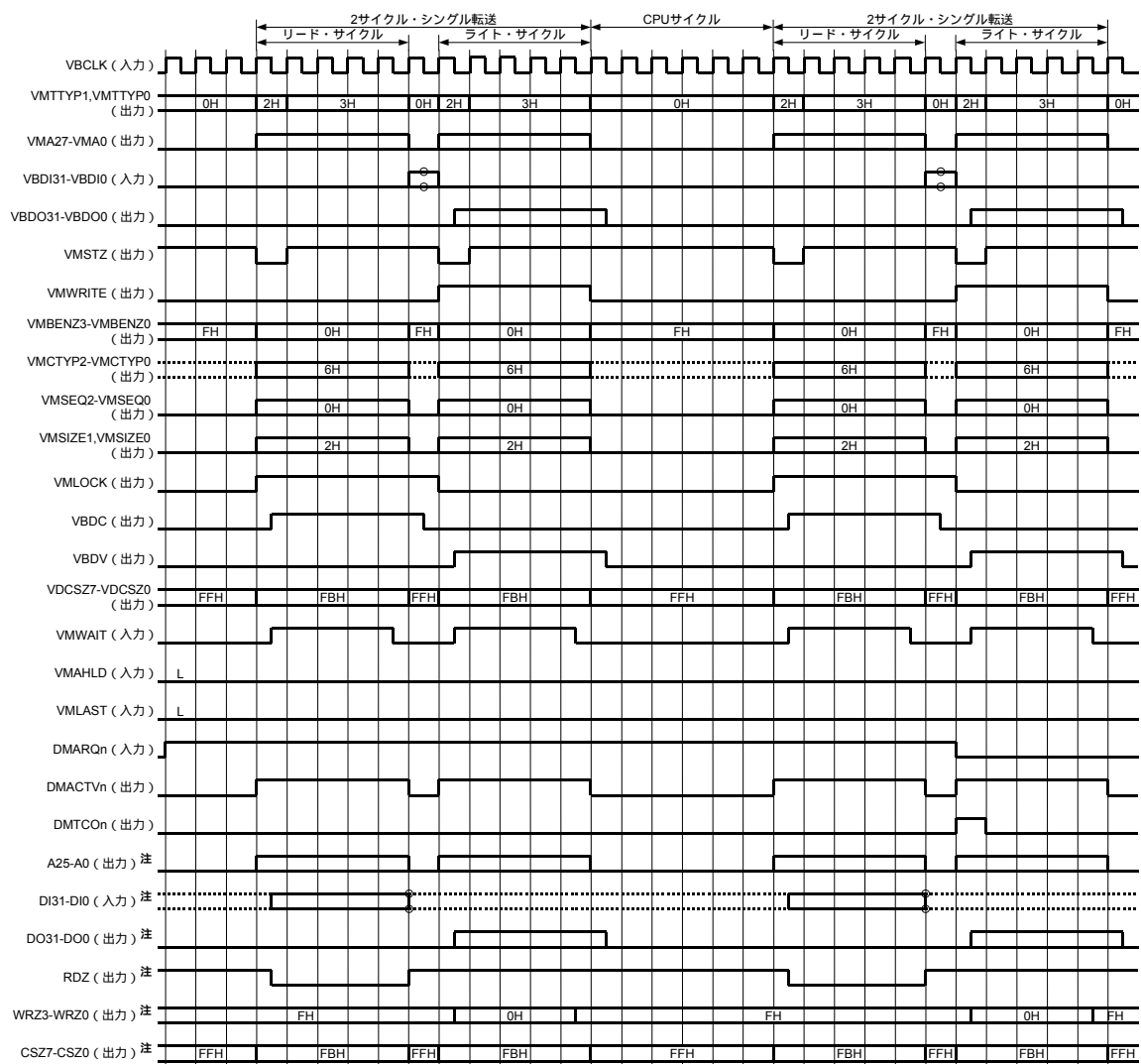
図 7 - 30 に 2 サイクル・シングル転送のタイミング例 (NT85E500 に接続した外部 SRAM↔外部 SRAM) を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2 回の転送)
- ASC レジスタ[※] = 0000H (アドレス設定ウエイト・ステートなし)
- BCC レジスタ[※] = 0000H (アイドル・ステートなし)
- DWC0 レジスタ[※] = 7377H (CS2 のウエイト・ステート数 = 3)

注 NT85E500 のレジスタです。

図7-30 2サイクル・シングル転送タイミング例 (NT85E500に接続した外部SRAM↔外部SRAM)



注 NT85E500 の信号です。

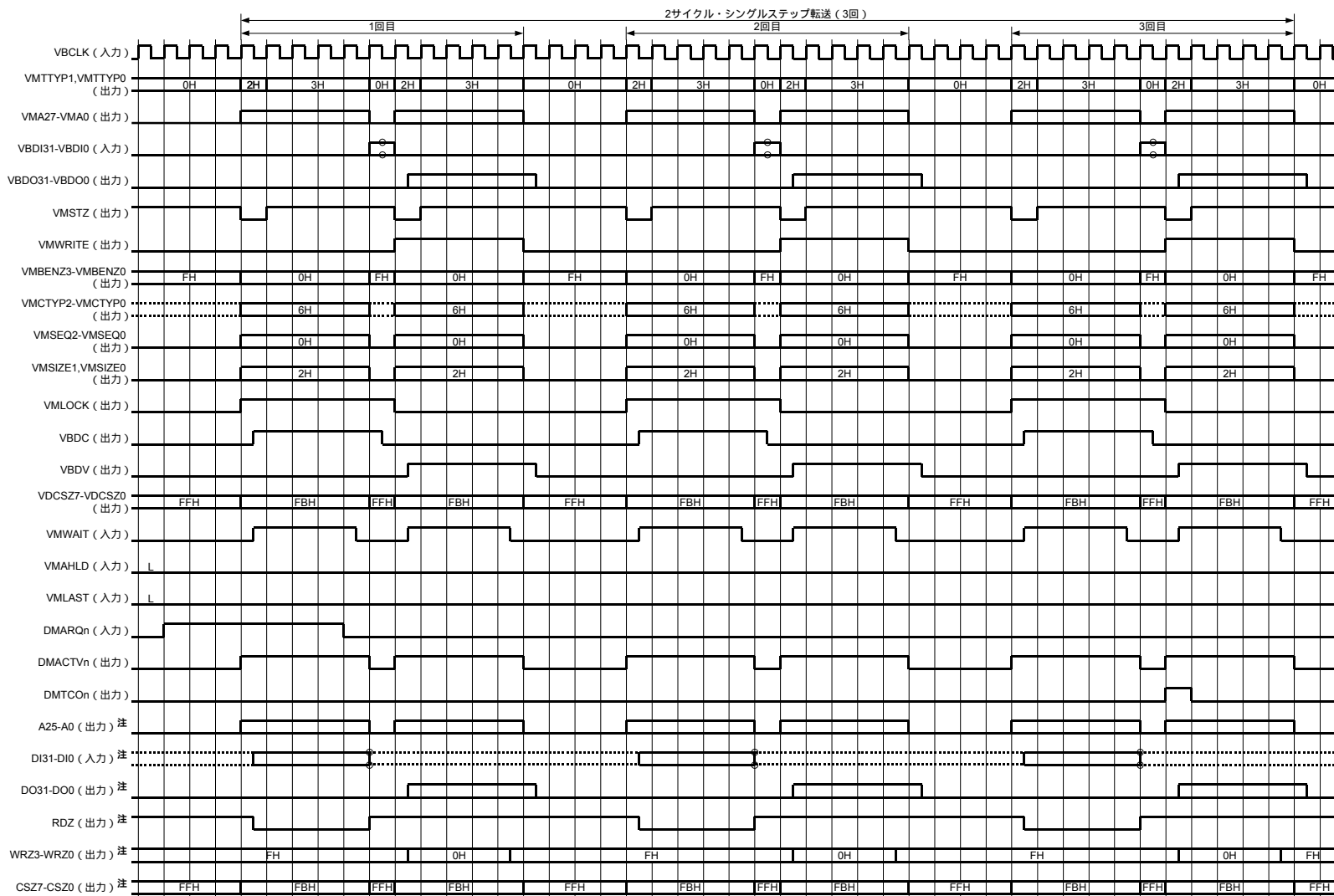
図7-31に2サイクル・シングルステップ転送のタイミング例（NT85E500に接続した外部SRAM↔外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0002H (3回の転送)
- ASC レジスタ^注 = 0000H (アドレス設定ウエイト・ステートなし)
- BCC レジスタ^注 = 0000H (アイドル・ステートなし)
- DWC0 レジスタ^注 = 7377H (CS2のウエイト・ステート数 = 3)

注 NT85E500のレジスタです。

図7-31 2サイクル・シングルステップ転送タイミング例 (NT85E500に接続した外部SRAM↔外部SRAM)



注 NT85E500 の信号です。

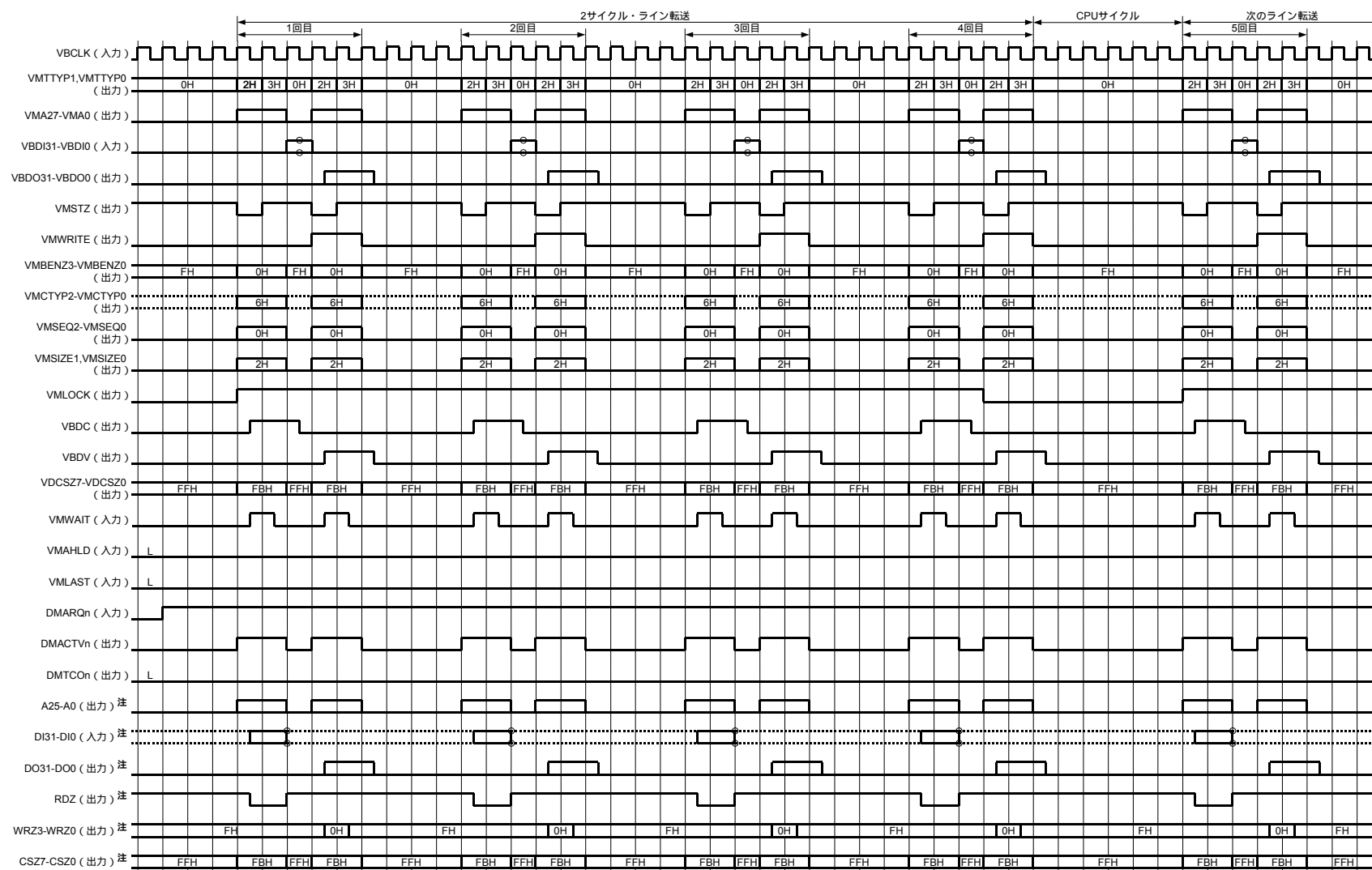
図7-32に2サイクル・ライン転送のタイミング例（NT85E500に接続した外部SRAM↔外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0007H (8回の転送)
- ASC レジスタ^注 = 0000H (アドレス設定ウエイト・ステートなし)
- BCC レジスタ^注 = 0000H (アイドル・ステートなし)
- DWC0 レジスタ^注 = 7077H (CS2のウエイト・ステートなし)

注 NT85E500のレジスタです。

図7-32 2サイクル・ライン転送タイミング例 (NT85E500に接続した外部SRAM↔外部SRAM)



注 NT85E500 の信号です。

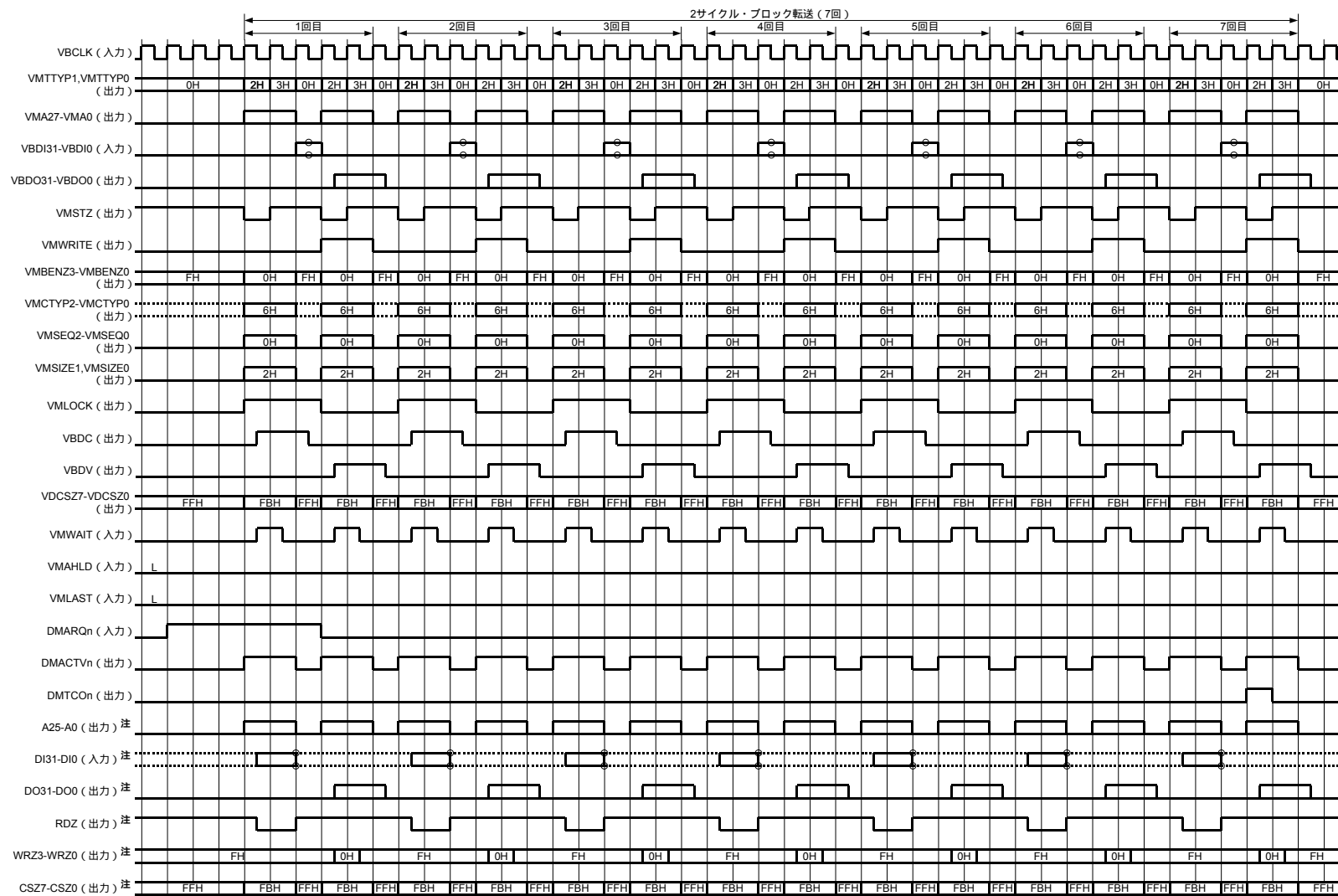
図7-33に2サイクル・ブロック転送のタイミング例（NT85E500に接続した外部SRAM↔外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0006H (7回の転送)
- ASC レジスタ^注 = 0000H (アドレス設定ウエイト・ステートなし)
- BCC レジスタ^注 = 0000H (アイドル・ステートなし)
- DWC0 レジスタ^注 = 7077H (CS2のウエイト・ステートなし)

注 NT85E500のレジスタです。

図7 - 33 2サイクル・ブロック転送タイミング例 (NT85E500に接続した外部SRAM↔外部SRAM)



注 NT85E500 の信号です。

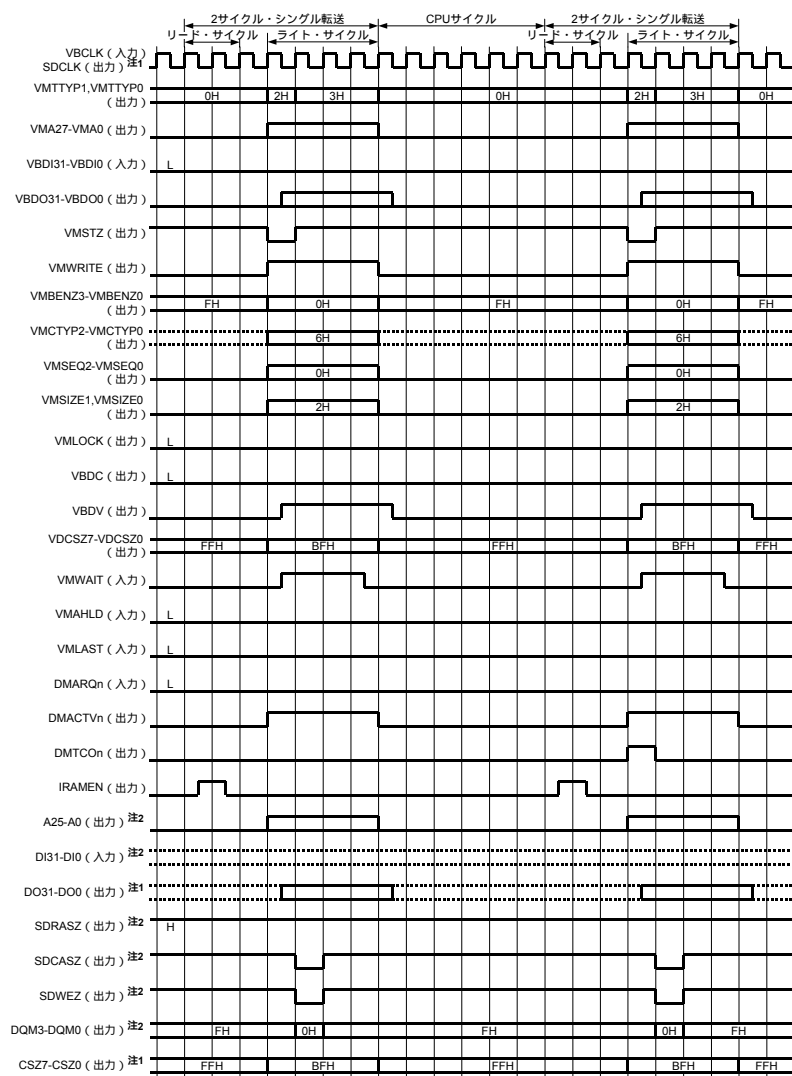
図7-34に2サイクル・シングル転送（VDBに接続したRAM→NT85E502に接続したSDRAM）のタイミング例を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2回の転送)
- SCRn レジスタ[※] = 2062H (CAS レイテンシ = 2,
ウエイト・ステート数 = 1,
アドレス・シフト幅 = 2ビット (データ・バス幅 32ビット),
ロウ・アドレス幅 = 11ビット,
アドレス・マルチプレクス幅 = 10ビット)

注 NT85E502のレジスタです。

図7 - 34 2サイクル・シングル転送タイミング例 (VDBに接続したRAM→NT85E502に接続したSDRAM)



注1. NT85E500 の信号です。

注2. NT85E502 の信号です。

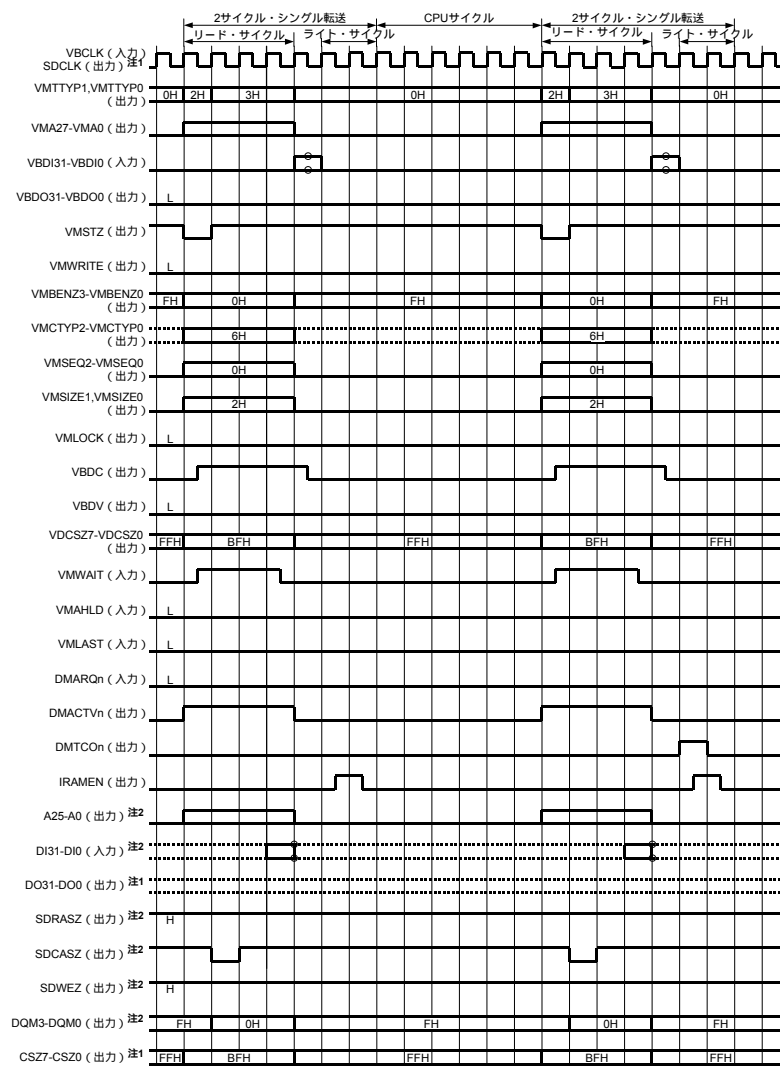
図7-35に2サイクル・シングル転送（NT85E502に接続したSDRAM→VDBに接続したRAM）のタイミング例を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2回の転送)
- SCRn レジスタ[※] = 2062H (CAS レイテンシ = 2 ,
ウエイト・ステート数 = 1 ,
アドレス・シフト幅 = 2ビット (データ・バス幅 32ビット) ,
ロウ・アドレス幅 = 11ビット ,
アドレス・マルチプレクス幅 = 10ビット)

注 NT85E502のレジスタです。

図7 - 35 2サイクル・シングル転送タイミング例 (NT85E502に接続したSDRAM→VDBに接続したRAM)



注1. NT85E500の信号です。

注2. NT85E502の信号です。

(2) フライバイ転送

図7-36から図7-41にMEMC (NT85E500)に接続した外部SRAM↔外部I/O間のフライバイ転送のタイミング例を示します。フライバイ転送は次に示すステートで構成されます。

- T1,T2 ステート : NT85E500 がアクセスする基本ステートです。
- T3 ステート : フライバイ転送時に追加される基本ステートです。
- TA ステート : NT85E500 の ASC レジスタの設定により挿入されるアドレス設定ウエイト・ステートです。
- TI ステート : NT85E500 の BCC レジスタの設定により挿入されるアイドル・ステートです。
- TW ステート : NT85E500 の DWC0 レジスタの設定により挿入されるウエイト・ステートです。

備考 1. VMCTYP2-VMCTYP0, VMSEQ2-VMSEQ0, VMSIZE1, VMSIZE0, DI31-DI0 信号の点線部分のレベルは不定状態を示します。

2. $n = 3-0$

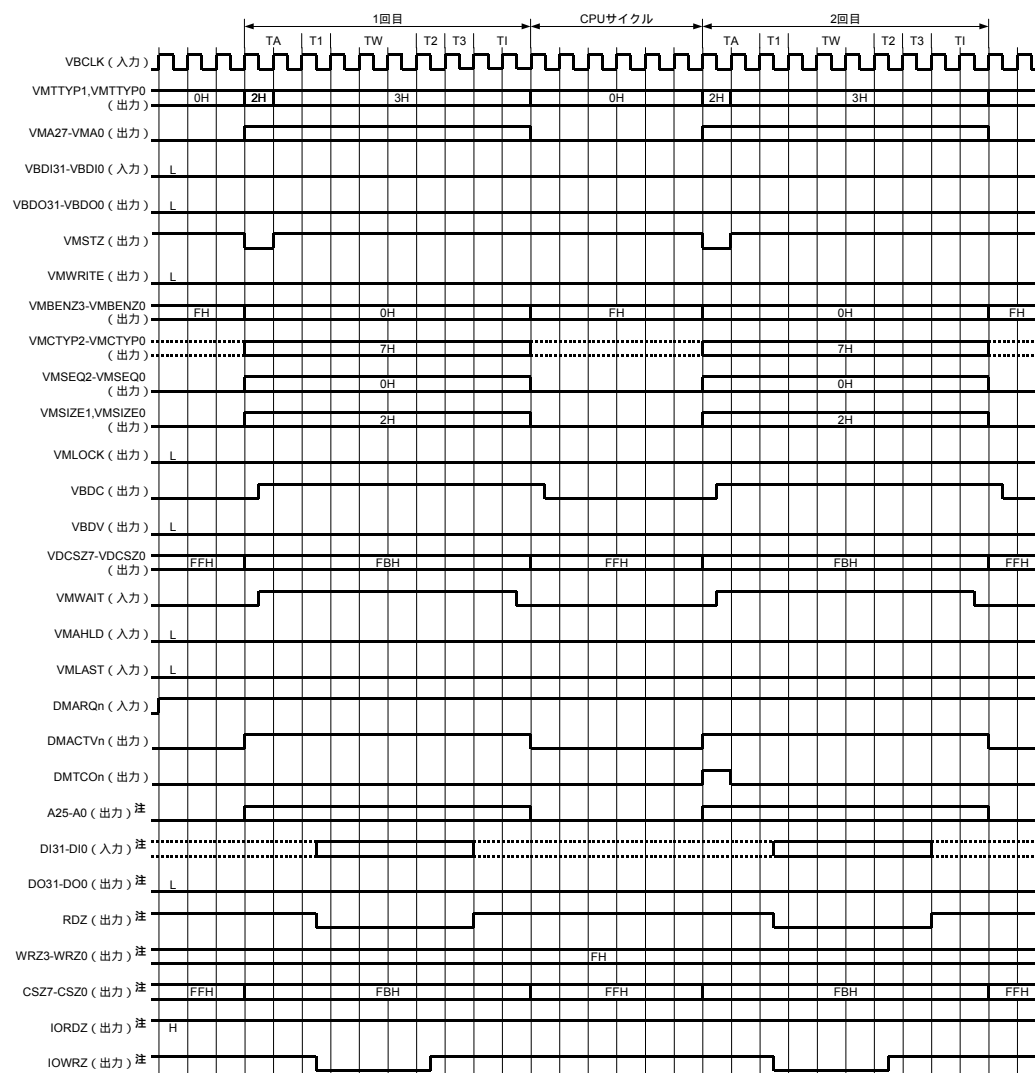
図7-36にフライバイ・シングル転送のタイミング例 (NT85E500 に接続した外部SRAM→外部I/O)を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2回の転送)
- ASC レジスタ^注 = FFEFH (CS2のアドレス設定ウエイト・ステート数 = 2)
- BCC レジスタ^注 = FFEFH (CS2のアイドル・ステート数 = 2)
- DWC0 レジスタ^注 = 7377H (CS2のウエイト・ステート数 = 3)

注 NT85E500のレジスタです。

図7-36 フライバイ・シングル転送タイミング例 (NT85E500に接続した外部SRAM→外部I/O)



注 NT85E500の信号です。

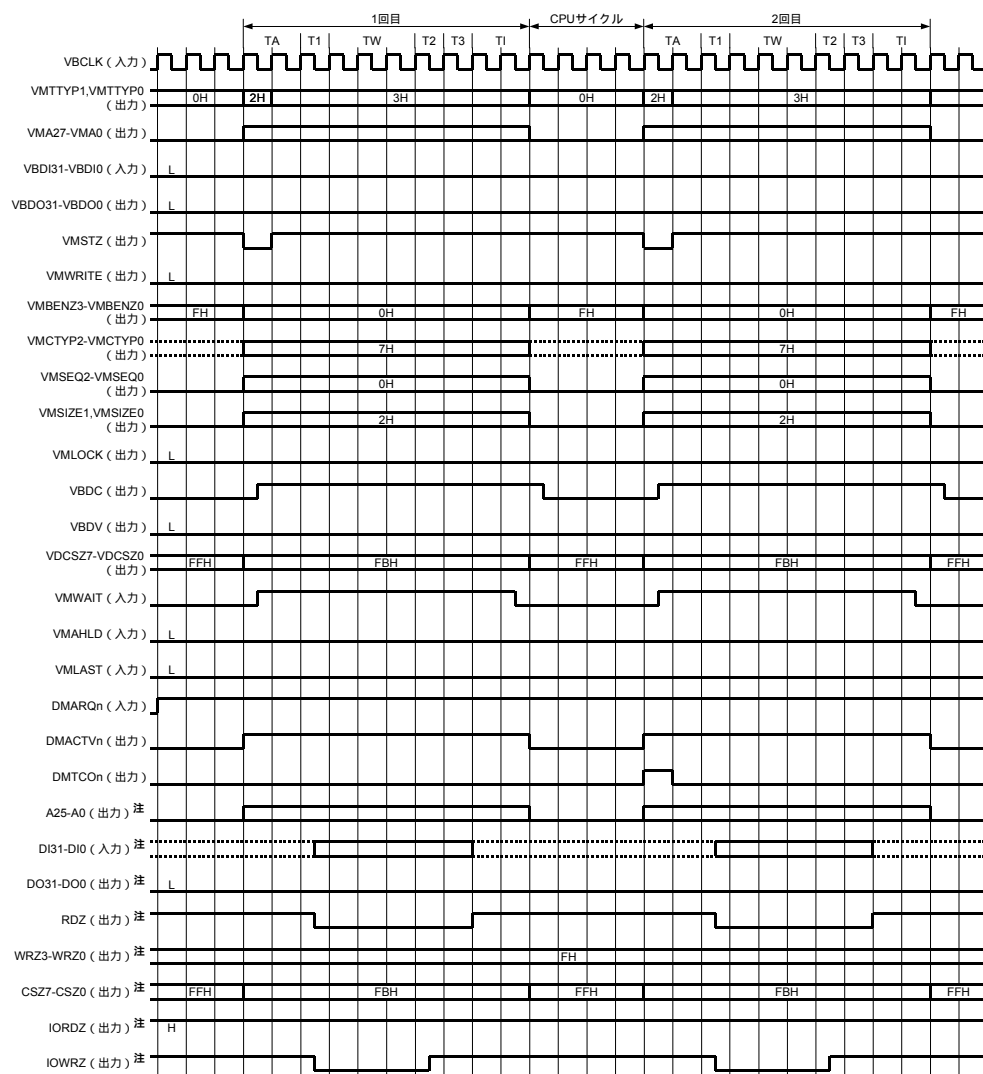
図7-37にフライバイ・シングルステップ転送のタイミング例（NT85E500に接続した外部SRAM→外部I/O）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2回の転送)
- ASC レジスタ^注 = FFEFH (CS2のアドレス設定ウエイト・ステート数 = 2)
- BCC レジスタ^注 = FFEFH (CS2のアイドル・ステート数 = 2)
- DWC0 レジスタ^注 = 7377H (CS2のウエイト・ステート数 = 3)

注 NT85E500のレジスタです。

図7 - 37 フライバイ・シングルステップ転送タイミング例 (NT85E500に接続した外部SRAM→外部I/O)



注 NT85E500 の信号です。

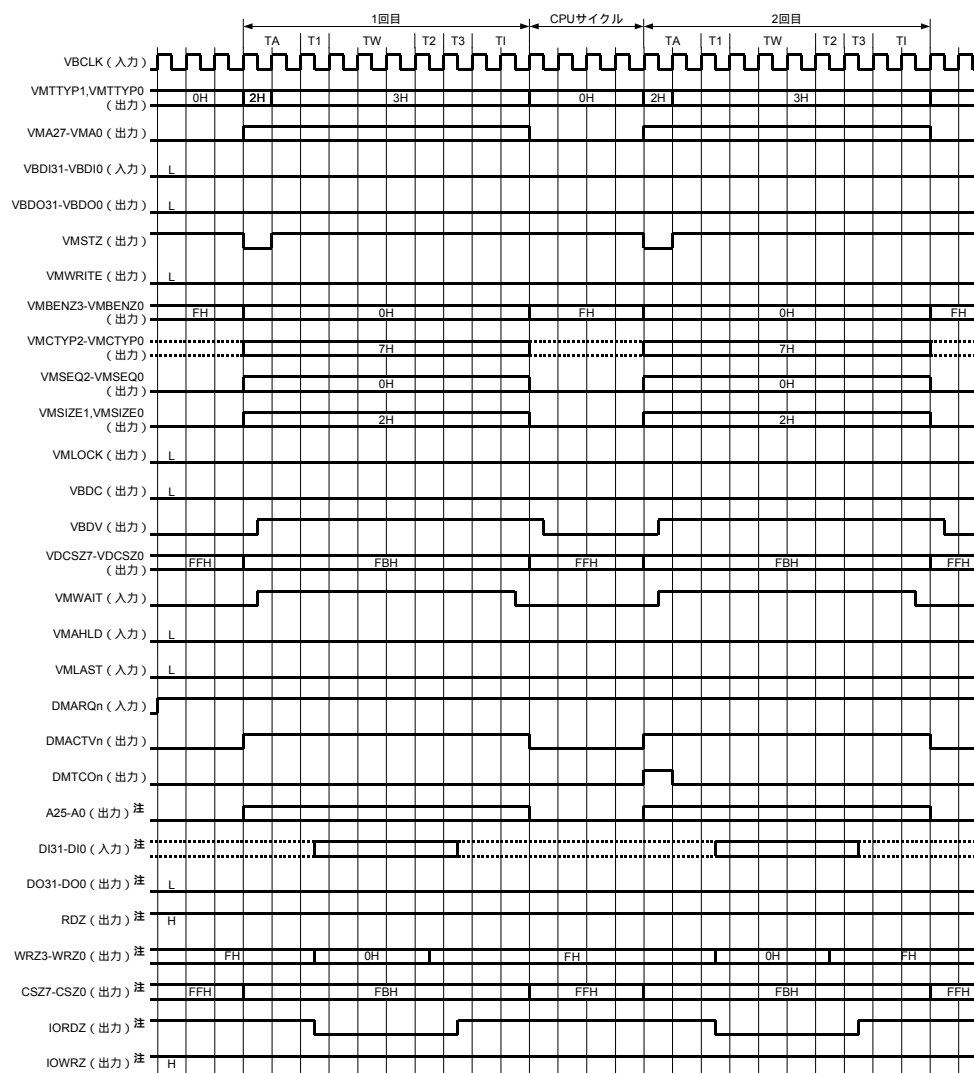
図7-38にフライバイ・シングルステップ転送のタイミング例（NT85E500に接続した外部I/O→外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0001H (2回の転送)
- ASC レジスタ^注 = FFEFH (CS2のアドレス設定ウエイト・ステート数 = 2)
- BCC レジスタ^注 = FFEFH (CS2のアイドル・ステート数 = 2)
- DWC0 レジスタ^注 = 7377H (CS2のウエイト・ステート数 = 3)

注 NT85E500のレジスタです。

図7 - 38 フライバイ・シングルステップ転送タイミング例 (NT85E500に接続した外部I/O→外部SRAM)



注 NT85E500 の信号です。

図7-39にフライバイ・ライン転送のタイミング例（NT85E500に接続した外部SRAM→外部I/O）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0007H（8回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウエイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 0000H（ウエイト・ステートなし）

注 NT85E500のレジスタです。

図7 - 39 フライバイ・ライン転送タイミング例 (NT85E500に接続した外部SRAM→外部I/O)

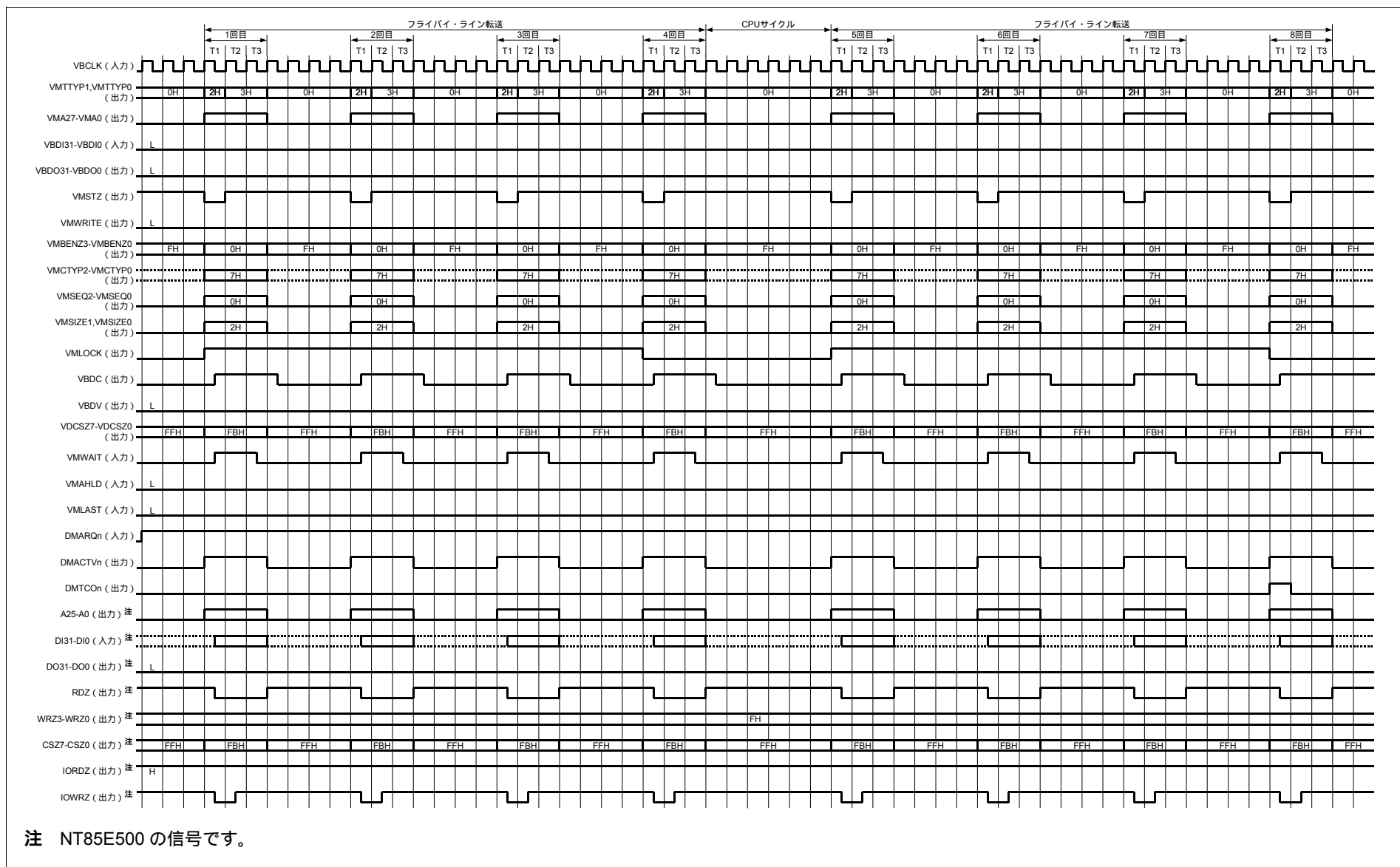


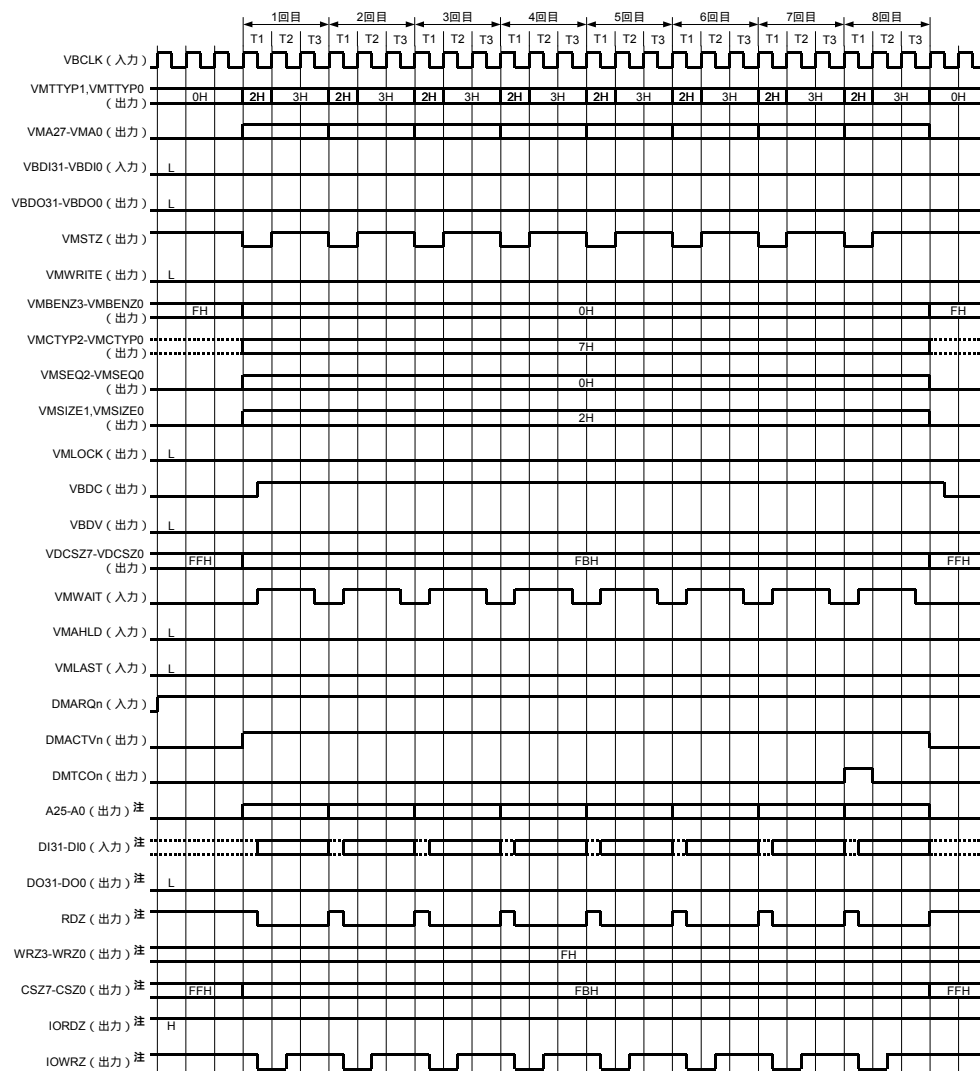
図7-40にフライバイ・ブロック転送のタイミング例（NT85E500に接続した外部SRAM→外部I/O）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0007H（8回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウエイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 0000H（ウエイト・ステートなし）

注 NT85E500のレジスタです。

図7-40 フライバイ・ブロック転送タイミング例 (NT85E500に接続した外部SRAM→外部I/O)



注 NT85E500 の信号です。

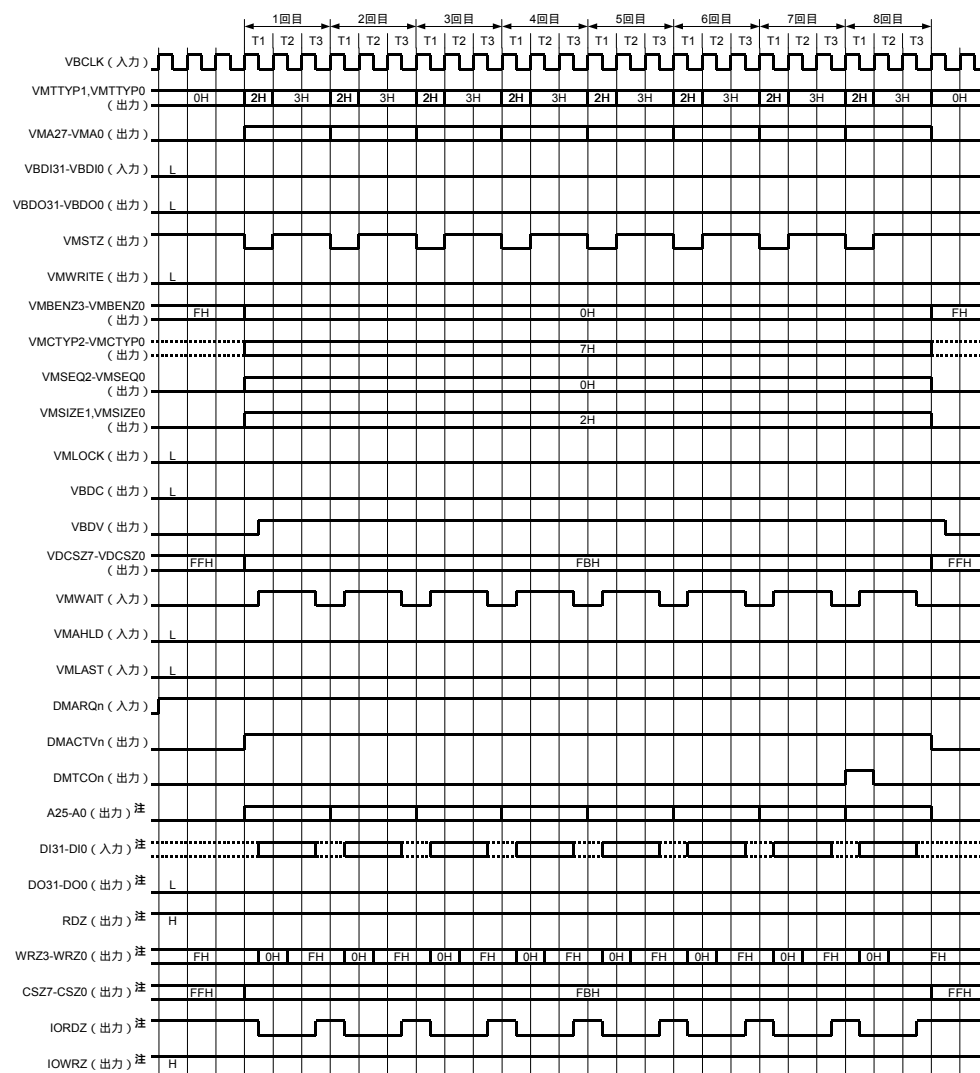
図7-41にフライバイ・ブロック転送のタイミング例（NT85E500に接続した外部I/O→外部SRAM）を示します。この図における各レジスタの設定は次のとおりです。

[レジスタ設定内容]

- DBCn レジスタ = 0007H（8回の転送）
- ASC レジスタ^注 = 0000H（アドレス設定ウエイト・ステートなし）
- BCC レジスタ^注 = 0000H（アイドル・ステートなし）
- DWC0 レジスタ^注 = 0000H（ウエイト・ステートなし）

注 NT85E500のレジスタです。

図7-41 フライバイ・ブロック転送タイミング例 (NT85E500に接続した外部I/O→外部SRAM)



注 NT85E500 の信号です。

7.15 注意事項

(1) メモリ境界

DMA 転送中に、転送元、または転送先のアドレスが DMA 対象（外部メモリ、RAM、周辺マクロ）の領域を越えた場合の動作は保証しません。

(2) ミス・アライン・データの転送

32/16 ビット・バス幅のミス・アライン・データの DMA 転送はサポートしていません。

(3) DMA 転送に関する各種時間

DMA 転送前のオーバーヘッド部分、DMA 転送にかかる最小クロック数は次のとおりです。

- DMARQn 信号を受け付けてから DMACTVn 信号が立ち上がるまで (n = 3-0) : 3 クロック
- RAM から VSB へ転送する場合で、DMARQn 信号を受け付けてから IRAMEN 信号が立ち上がるまで (n = 3-0) : 3.5 クロック
- VDB に接続された RAM へのアクセス : 1 クロック

なお、外部メモリ・アクセスの場合は、接続する MEMC や外部メモリに依存します。次に例を示します。

例 MEMC (NT85E500) を使用した SRAM アクセスの場合

| 転送タイプ | 条 件 | 転送モード | 最小クロック数 | | | | | | | | | | | | | | | |
|----------------|--|--------|---------|-------|-----|---|-----|-----|---|-----|-----|---|-----|-----|---|-----|------|--------|
| 2 サイクル | <ul style="list-style-type: none"> • リード・サイクル開始からライト・サイクル終了までの時間 • シングル転送、シングルステップ転送は 1 回分、ライン転送は 4 回分の転送時間です。 • 転送元と転送先の組み合わせは次のとおりです。 <table style="margin-left: 20px;"> <tr> <td style="text-align: center;"><転送元></td> <td style="text-align: center;">→</td> <td style="text-align: center;"><転送先></td> </tr> <tr> <td style="text-align: center;">VSB</td> <td style="text-align: center;">→</td> <td style="text-align: center;">VSB</td> </tr> <tr> <td style="text-align: center;">VSB</td> <td style="text-align: center;">→</td> <td style="text-align: center;">RAM</td> </tr> <tr> <td style="text-align: center;">RAM</td> <td style="text-align: center;">→</td> <td style="text-align: center;">VSB</td> </tr> <tr> <td style="text-align: center;">RAM</td> <td style="text-align: center;">→</td> <td style="text-align: center;">RAM</td> </tr> </table> | <転送元> | → | <転送先> | VSB | → | VSB | VSB | → | RAM | RAM | → | VSB | RAM | → | RAM | シングル | 5 クロック |
| | | <転送元> | → | <転送先> | | | | | | | | | | | | | | |
| | | VSB | → | VSB | | | | | | | | | | | | | | |
| | VSB | → | RAM | | | | | | | | | | | | | | | |
| | RAM | → | VSB | | | | | | | | | | | | | | | |
| | RAM | → | RAM | | | | | | | | | | | | | | | |
| シングルステップ | 5 クロック | | | | | | | | | | | | | | | | | |
| ライン | 32 クロック | | | | | | | | | | | | | | | | | |
| CPU ヘバスを解放する時間 | シングル | 6 クロック | | | | | | | | | | | | | | | | |
| | シングルステップ | 4 クロック | | | | | | | | | | | | | | | | |
| | ライン | 6 クロック | | | | | | | | | | | | | | | | |
| フライバイ | SRAM→I/O, I/O→SRAM の 1 回分の転送時間 | - | 3 クロック | | | | | | | | | | | | | | | |

(4) DMA 転送中の CPU アクセス

CPU は、DMA 転送を行っていない外部メモリ、周辺マクロ、RAM とのアクセスが可能です。

VSB のバス使用権の優先順位は CPU より DMAC が高いため、DMA 転送中に発生した CPU からの VSB を対象としたアクセスは、DMA 転送が終了し、CPU にバスが解放されるまで待たされます。ただし、外部メモリ、周辺マクロとの間で DMA 転送が行われているときは、CPU は RAM にアクセスできます。また、VDB に直接接続された RAM-RAM 間で DMA 転送が行われているときは、CPU は VSB を使用して外部メモリ、周辺マクロにアクセスできます。

(5) DMA 転送終了割り込み

DMA 転送完了時には、DMA 転送終了割り込みは発生しません。転送完了と同時に割り込みを発生させたい場合は、DMATCON 信号を INT_m 端子に入力し、マスクブル割り込み処理を行ってください (n = 3-0, m = 63-0)。

(6) DMARQn 信号の保持

DMARQn 信号は、DMACTVn 信号がアクティブになるまで必ずリクエストを保持してください。

DMACTVn 信号がアクティブになる前に DMARQn 信号をインアクティブにした場合、DMA 転送が行われないことがあります (n = 3-0)。

(7) VMLOCK 信号

VDB に接続された RAM を対象とする DMA 転送の場合は、どの転送モード (シングル転送など) であっても VMLOCK 信号はアクティブになりません (VMLOCK 信号がアクティブになるのは、2 サイクル転送で複数の VSB サイクルが発生するときだけ VMLOCK 信号はアクティブになります)。

また、VSB を対象とする DMA 転送の場合は 2 サイクル転送、フライバイ転送ともに、ライン転送モードでは 4 回目の DMA 転送を行うまで VMLOCK 信号はアクティブ・レベルを保持し続けます。したがって、VSB を対象とする DMA ライン転送の場合は、1 回分のライン転送が終了するまで VSB がロックされバスが保持されます。一方、2 サイクル転送のシングル転送、シングルステップ転送、ブロック転送の場合は、1 回の DMA 転送ごとに VMLOCK 信号がインアクティブになるため、SDRAM のリフレッシュなどの優先順位が高いほかの VSB リクエスト (VAREQ) を受け付け、バスを解放できます。ブロック転送の場合は、途中で VSB のバス使用権を渡し、バス使用権が戻ってきたあとに続きの転送を行います。

第 8 章 INTC

INTC (割り込みコントロール・ユニット) は、合計 67 要因の割り込み要求の処理が可能で、外部からの各種割り込み要求を処理します。さらに、TRAP 命令によるソフトウェア例外、例外事象の発生 (不正命令コードのフェッチ) による例外トラップが可能です。

なお、割り込みをプログラムの実行とは独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。一般に、例外は割り込みより優先的に処理されます。

8.1 特 徴

- 割り込み

ノンマスクابل割り込み：3 要因

マスクابل割り込み：64 要因

8 レベルのプログラマブル優先順位制御（マスクابل割り込み）

優先順位に従った割り込み多重処理制御

個々のマスクابل割り込み要求に対するマスク指定

- 例外

ソフトウェア例外：32 要因

例外トラップ：1 要因（不正命令コード例外）

これらの割り込み / 例外要因を表 8 - 1 に示します。

表8 - 1 割り込み / 例外一覧 (1/3)

| 種 類 | 分 類 | 割り込み / 例外要因 | | | デフォルト・ プライオリティ | 例外 コード | ハンドラ・ アドレス | 復帰 PC |
|--------------|-------|---------------------|----------|-----------|-------------------|-----------|---------------|--------|
| | | 名 称 | 制御レジスタ | 発生要因 | | | | |
| リセット | 割り込み | RESET | - | DCRESZ 入力 | - | 0000H | 00000000H | 不定 |
| ノンマスクابل | 割り込み | NMI0 | - | DCNMI0 入力 | - | 0010H | 00000010H | nextPC |
| | 割り込み | NMI1 | - | DCNMI1 入力 | - | 0020H | 00000020H | nextPC |
| | 割り込み | NMI2 | - | DCNMI2 入力 | - | 0030H | 00000030H | nextPC |
| ソフトウェア 例外 | 例外 | TRAP0n ^注 | - | TRAP 命令 | - | 004nH | 00000040H | nextPC |
| | 例外 | TRAP1n ^注 | - | TRAP 命令 | - | 005nH | 00000050H | nextPC |
| 例外トラップ | 例外 | ILGOP | - | 不正命令コード | - | 0060H | 00000060H | nextPC |
| マスクابل | 割り込み | INT0 | PIC0 | INT0 入力 | 0 | 0080H | 00000080H | nextPC |
| | 割り込み | INT1 | PIC1 | INT1 入力 | 1 | 0090H | 00000090H | nextPC |
| | 割り込み | INT2 | PIC2 | INT2 入力 | 2 | 00A0H | 000000A0H | nextPC |
| | 割り込み | INT3 | PIC3 | INT3 入力 | 3 | 00B0H | 000000B0H | nextPC |
| | 割り込み | INT4 | PIC4 | INT4 入力 | 4 | 00C0H | 000000C0H | nextPC |
| | 割り込み | INT5 | PIC5 | INT5 入力 | 5 | 00D0H | 000000D0H | nextPC |
| | 割り込み | INT6 | PIC6 | INT6 入力 | 6 | 00E0H | 000000E0H | nextPC |
| | 割り込み | INT7 | PIC7 | INT7 入力 | 7 | 00F0H | 000000F0H | nextPC |
| | 割り込み | INT8 | PIC8 | INT8 入力 | 8 | 0100H | 00000100H | nextPC |
| | 割り込み | INT9 | PIC9 | INT9 入力 | 9 | 0110H | 00000110H | nextPC |
| | 割り込み | INT10 | PIC10 | INT10 入力 | 10 | 0120H | 00000120H | nextPC |
| | 割り込み | INT11 | PIC11 | INT11 入力 | 11 | 0130H | 00000130H | nextPC |
| | 割り込み | INT12 | PIC12 | INT12 入力 | 12 | 0140H | 00000140H | nextPC |
| | 割り込み | INT13 | PIC13 | INT13 入力 | 13 | 0150H | 00000150H | nextPC |
| | 割り込み | INT14 | PIC14 | INT14 入力 | 14 | 0160H | 00000160H | nextPC |
| | 割り込み | INT15 | PIC15 | INT15 入力 | 15 | 0170H | 00000170H | nextPC |
| 割り込み | INT16 | PIC16 | INT16 入力 | 16 | 0180H | 00000180H | nextPC | |

注 n は 0-FH の値

表8-1 割り込み/例外一覧(2/3)

| 種類 | 分類 | 割り込み/例外要因 | | | デフォルト・ プライオリティ | 例外 コード | ハンドラ・ アドレス | 復帰 PC |
|-------|-------|-----------|----------|----------|-------------------|-----------|---------------|--------|
| | | 名称 | 制御レジスタ | 発生要因 | | | | |
| マスカブル | 割り込み | INT17 | PIC17 | INT17 入力 | 17 | 0190H | 00000190H | nextPC |
| | 割り込み | INT18 | PIC18 | INT18 入力 | 18 | 01A0H | 000001A0H | nextPC |
| | 割り込み | INT19 | PIC19 | INT19 入力 | 19 | 01B0H | 000001B0H | nextPC |
| | 割り込み | INT20 | PIC20 | INT20 入力 | 20 | 01C0H | 000001C0H | nextPC |
| | 割り込み | INT21 | PIC21 | INT21 入力 | 21 | 01D0H | 000001D0H | nextPC |
| | 割り込み | INT22 | PIC22 | INT22 入力 | 22 | 01E0H | 000001E0H | nextPC |
| | 割り込み | INT23 | PIC23 | INT23 入力 | 23 | 01F0H | 000001F0H | nextPC |
| | 割り込み | INT24 | PIC24 | INT24 入力 | 24 | 0200H | 00000200H | nextPC |
| | 割り込み | INT25 | PIC25 | INT25 入力 | 25 | 0210H | 00000210H | nextPC |
| | 割り込み | INT26 | PIC26 | INT26 入力 | 26 | 0220H | 00000220H | nextPC |
| | 割り込み | INT27 | PIC27 | INT27 入力 | 27 | 0230H | 00000230H | nextPC |
| | 割り込み | INT28 | PIC28 | INT28 入力 | 28 | 0240H | 00000240H | nextPC |
| | 割り込み | INT29 | PIC29 | INT29 入力 | 29 | 0250H | 00000250H | nextPC |
| | 割り込み | INT30 | PIC30 | INT30 入力 | 30 | 0260H | 00000260H | nextPC |
| | 割り込み | INT31 | PIC31 | INT31 入力 | 31 | 0270H | 00000270H | nextPC |
| | 割り込み | INT32 | PIC32 | INT32 入力 | 32 | 0280H | 00000280H | nextPC |
| | 割り込み | INT33 | PIC33 | INT33 入力 | 33 | 0290H | 00000290H | nextPC |
| | 割り込み | INT34 | PIC34 | INT34 入力 | 34 | 02A0H | 000002A0H | nextPC |
| | 割り込み | INT35 | PIC35 | INT35 入力 | 35 | 02B0H | 000002B0H | nextPC |
| | 割り込み | INT36 | PIC36 | INT36 入力 | 36 | 02C0H | 000002C0H | nextPC |
| | 割り込み | INT37 | PIC37 | INT37 入力 | 37 | 02D0H | 000002D0H | nextPC |
| | 割り込み | INT38 | PIC38 | INT38 入力 | 38 | 02E0H | 000002E0H | nextPC |
| | 割り込み | INT39 | PIC39 | INT39 入力 | 39 | 02F0H | 000002F0H | nextPC |
| | 割り込み | INT40 | PIC40 | INT40 入力 | 40 | 0300H | 00000300H | nextPC |
| | 割り込み | INT41 | PIC41 | INT41 入力 | 41 | 0310H | 00000310H | nextPC |
| | 割り込み | INT42 | PIC42 | INT42 入力 | 42 | 0320H | 00000320H | nextPC |
| | 割り込み | INT43 | PIC43 | INT43 入力 | 43 | 0330H | 00000330H | nextPC |
| | 割り込み | INT44 | PIC44 | INT44 入力 | 44 | 0340H | 00000340H | nextPC |
| | 割り込み | INT45 | PIC45 | INT45 入力 | 45 | 0350H | 00000350H | nextPC |
| | 割り込み | INT46 | PIC46 | INT46 入力 | 46 | 0360H | 00000360H | nextPC |
| | 割り込み | INT47 | PIC47 | INT47 入力 | 47 | 0370H | 00000370H | nextPC |
| | 割り込み | INT48 | PIC48 | INT48 入力 | 48 | 0380H | 00000380H | nextPC |
| 割り込み | INT49 | PIC49 | INT49 入力 | 49 | 0390H | 00000390H | nextPC | |
| 割り込み | INT50 | PIC50 | INT50 入力 | 50 | 03A0H | 000003A0H | nextPC | |
| 割り込み | INT51 | PIC51 | INT51 入力 | 51 | 03B0H | 000003B0H | nextPC | |
| 割り込み | INT52 | PIC52 | INT52 入力 | 52 | 03C0H | 000003C0H | nextPC | |
| 割り込み | INT53 | PIC53 | INT53 入力 | 53 | 03D0H | 000003D0H | nextPC | |
| 割り込み | INT54 | PIC54 | INT54 入力 | 54 | 03E0H | 000003E0H | nextPC | |

表8 - 1 割り込み / 例外一覧 (3/3)

| 種類 | 分類 | 割り込み / 例外要因 | | | デフォルト・ プライオリティ | 例外 コード | ハンドラ・ アドレス | 復帰 PC |
|-------|------|-------------|--------|----------|-------------------|-----------|---------------|--------|
| | | 名称 | 制御レジスタ | 発生要因 | | | | |
| マスカブル | 割り込み | INT55 | PIC55 | INT55 入力 | 55 | 03F0H | 000003F0H | nextPC |
| | 割り込み | INT56 | PIC56 | INT56 入力 | 56 | 0400H | 00000400H | nextPC |
| | 割り込み | INT57 | PIC57 | INT57 入力 | 57 | 0410H | 00000410H | nextPC |
| | 割り込み | INT58 | PIC58 | INT58 入力 | 58 | 0420H | 00000420H | nextPC |
| | 割り込み | INT59 | PIC59 | INT59 入力 | 59 | 0430H | 00000430H | nextPC |
| | 割り込み | INT60 | PIC60 | INT60 入力 | 60 | 0440H | 00000440H | nextPC |
| | 割り込み | INT61 | PIC61 | INT61 入力 | 61 | 0450H | 00000450H | nextPC |
| | 割り込み | INT62 | PIC62 | INT62 入力 | 62 | 0460H | 00000460H | nextPC |
| | 割り込み | INT63 | PIC63 | INT63 入力 | 63 | 0470H | 00000470H | nextPC |

備考 1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。0 が最高優先順位です。

復帰 PC：割り込み / 例外処理起動時に EIPC または FEPC にセーブされる PC 値のことです。

なお、次の命令実行中にノンマスカブル / マスカブル割り込みを受け付けた場合の復帰 PC は nextPC とはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- 除算命令 (DIV, DIVH, DIVU, DIVHU)
- PREPARE, DISPOSE 命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC：割り込み / 例外処理後に処理を開始する PC 値のことです。

2. 不正命令コード例外時の不正命令の実行アドレスは「復帰 PC - 4」で求められます。

8.2 ノンマスクابل割り込み (NMI)

ノンマスクابل割り込み要求 (NMI) は、割り込み禁止 (DI) 状態であっても無条件に受け付けられます。

ノンマスクابل割り込み要求は DCNMIn 端子入力によって行います (n = 2-0)。DCNMIn 端子に立ち上がりエッジが入力されるとノンマスクابل割り込み (NMIn) が発生します。

複数のノンマスクابل割り込み要求が重なって発生した場合は、次の優先順位に従い、優先順位の高い処理が実行されます (優先順位の低い割り込みは無視されます)。

NMI2 > NMI1 > NMIO

なお、NMIO 処理中に、新たに NMIO, NMI1, NMI2 要求が発生した場合は次のような処理を行います。

(1) NMIO 処理中に、新たに NMIO 要求が発生した場合

PSW の NP ビットの値によらず、新たな NMIO 要求は保留されます。保留された NMIO 要求は、現在実行中の NMIO 処理終了後 (RETI 命令実行後) に受け付けられます。

(2) NMIO 処理中に、新たに NMI1 要求が発生した場合

NMIO 処理中に PSW の NP ビットがセット (1) されたままであれば、新たな NMI1 要求は保留されます。保留された NMI1 要求は、現在実行中の NMIO 処理終了後 (RETI 命令実行後) に受け付けられます。

NMIO 処理中に PSW の NP ビットをクリア (0) すれば、新たに発生した NMI1 要求が実行されます (NMIO 処理は中断されます)。

(3) NMIO 処理中に、新たに NMI2 要求が発生した場合

PSW の NP ビットの値によらず、新たに発生した NMI2 要求が実行されます (NMIO 処理は中断されません)。

注意 1. ノンマスクابل割り込み要求 (NMI) が発生した場合、PC, PSW の値は NMI 時状態退避レジスタ (FEPC, FEPSW) に退避されますが、このとき RETI 命令によって正常に復帰できるのは NMIO だけです。NMI1, NMI2 はもともとウォッチドッグなどの緊急の用途を想定しているため、RETI 命令によって復帰したとしても INTC はその後の割り込みの優先順位の判定を正しく行うことができません。このため、NMI1, NMI2 とほかのマスクابل割り込みが微妙なタイミングの差で入力されると、NMI1, NMI2 以外のマスクابل割り込み要求が消失してしまう場合があります。

また、NMIO 処理中に NMI1, NMI2 が発生した場合、FEPC が上書きされてしまうため、NMI1, NMI2 処理から NMIO 処理に復帰したあとに NMIO 処理からメイン・ルーチンへは正常に復帰できず、無限ループになります。特に NMI2 は PSW の NP ビットの値に関係なく、新たに発生した NMI2 要求が実行されてしまいます。

このような理由により NMI1, NMI2 は復帰不可となっています。

2. NMI1, NMI2 による割り込み処理において、RETI 命令を行わずにそのまま処理を続けた場合、ハングアップすることなどはありませんが、多重割り込みが禁止されるため、以後の割り込み要求が一切受け付けられなくなります。

図8 - 1 ノンマスクブル割り込み要求の受け付け動作 (1/2)

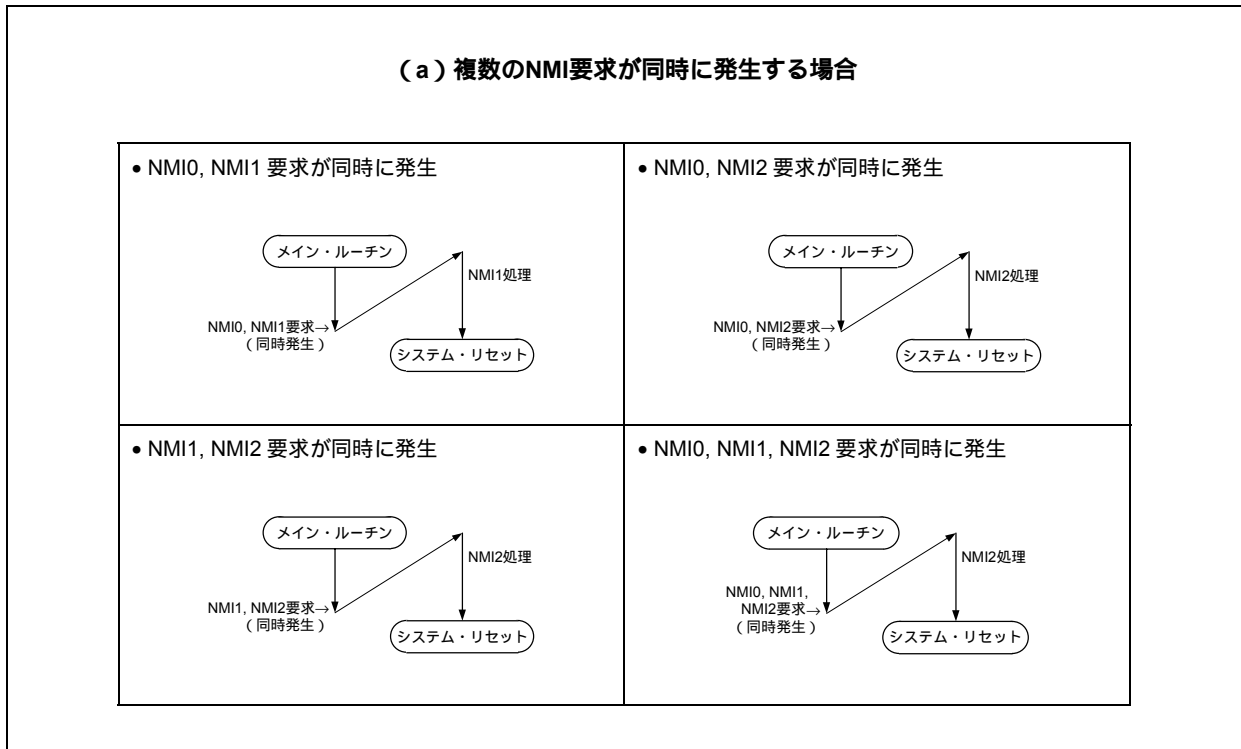


図8 - 1 ノンマスクブル割り込み要求の受け付け動作 (2/2)

| | | (b) NMI処理中に新たにNMI要求が発生する場合 | | |
|-------------|-------------------------------|--|-------------------------------|--|
| 処理中の NMI | NMI 処理中に新たに発生する NMI 要求 | | | |
| | NMIO | NMI1 | NMI2 | |
| NMIO | <p>• NMIO 処理中に NMIO 要求が発生</p> | <p>• NMIO 処理中に NMI1 要求が発生 (NMI1 要求前に NP=1 のまま)</p> <p>• NMIO 処理中に NMI1 要求が発生 (NMI1 要求前に NP=0 にする)</p> <p>• NMIO 処理中に NMI1 要求が発生 (NMI1 要求後に NP=0 にする)</p> | <p>• NMIO 処理中に NMI2 要求が発生</p> | |
| NMI1 | <p>• NMI1 処理中に NMIO 要求が発生</p> | <p>• NMI1 処理中に NMI1 要求が発生</p> | <p>• NMI1 処理中に NMI2 要求が発生</p> | |
| NMI2 | <p>• NMI2 処理中に NMIO 要求が発生</p> | <p>• NMI2 処理中に NMI1 要求が発生</p> | <p>• NMI2 処理中に NMI2 要求が発生</p> | |

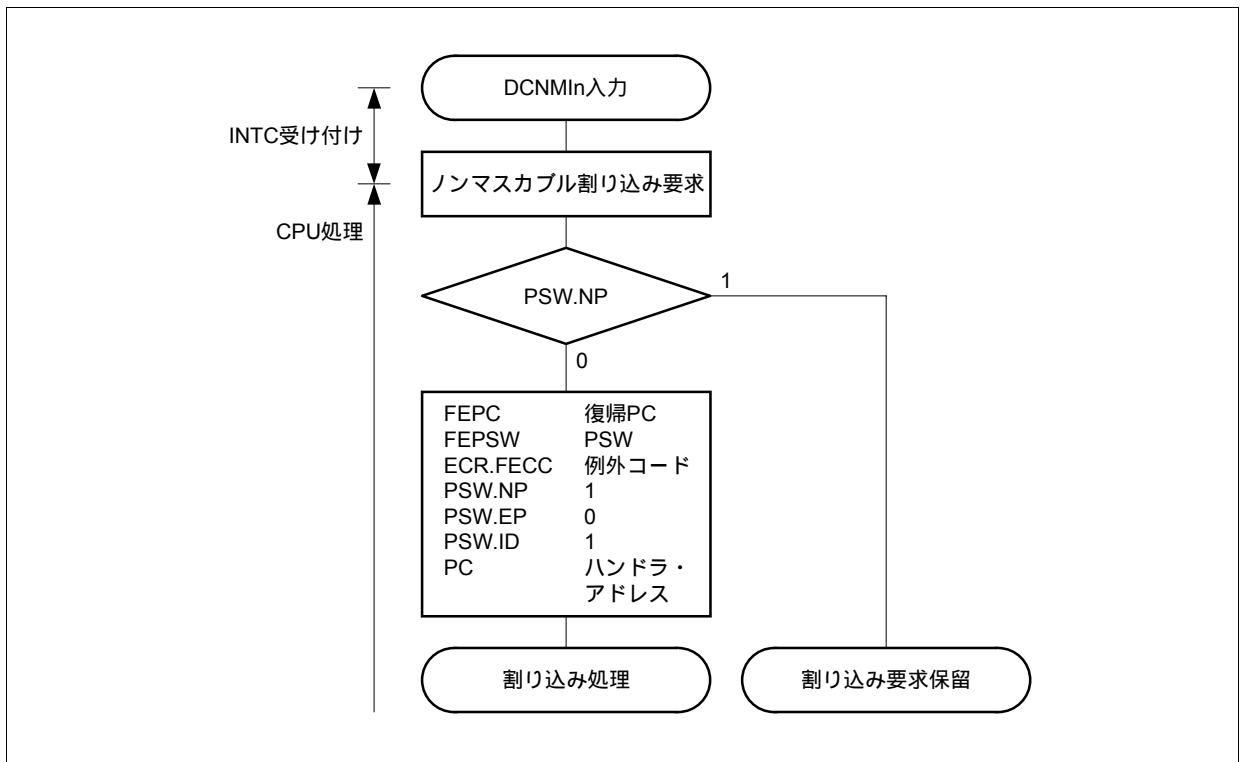
8.2.1 動作

DCNMIn 入力によりノンマスクابل割り込みが発生した場合、CPU は次の処理を行い、ハンドラ・ルーチンへ制御を移します (n = 2-0)。

- <1> 復帰 PC を FEPC に退避します。
- <2> 現在の PSW を FEPSW へ退避します。
- <3> ECR の上位ハーフワード (FECC) に例外コードを書き込みます。
- <4> PSW の NP, ID ビットをセットし, EP ビットをクリアします。
- <5> PC にノンマスクابل割り込みに対するハンドラ・アドレスをセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を図 8 - 2 に示します。

図8 - 2 ノンマスクابل割り込みの処理形態



8.2.2 復 帰

(1) NMI0 の場合

NMI0 処理からの復帰は、RETI 命令により行います。

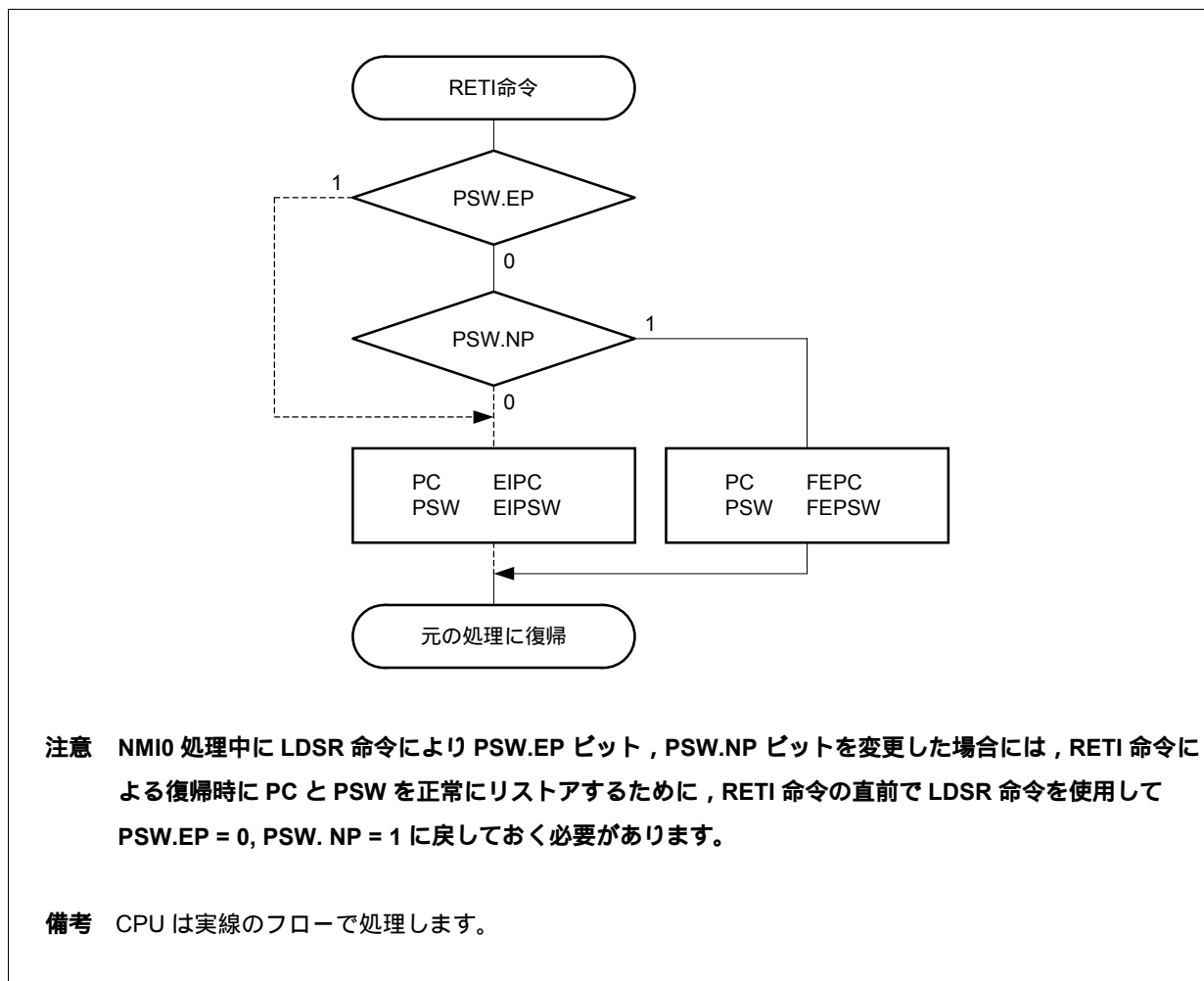
RETI 命令の実行により CPU は次の処理を行い、復帰 PC のアドレスへ制御を移します。

<1> PSW の EP ビットが 0 かつ PSW の NP ビットが 1 なので、FEPC, FEPSW から復帰 PC, PSW を取り出します。

<2> 取り出した復帰 PC のアドレス、PSW の状態に制御を移します。

RETI 命令の処理形態を図 8 - 3 に示します。

図8 - 3 RETI命令の処理形態



(2) NMI1, NMI2 の場合

RETI 命令による復帰はできません。割り込み処理後に DCRESZ 入力により、システム・リセットを行ってください。

8.3 マスカブル割り込み

マスカブル割り込み要求は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求で、64種類の割り込み要因があります。

マスカブル割り込み要求は INTn 端子入力によって行います (n = 63-0)。INTn 端子に立ち上がりエッジが入力されるとマスカブル割り込み (INTn) が発生します。

複数のマスカブル割り込み要求が同時に発生した場合は、デフォルト優先順位によりその優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます (プログラマブル優先順位制御)。

割り込み要求が受け付けられると割り込み禁止 (DI) 状態になり、以後のマスカブル割り込み要求の受け付けを禁止します。

割り込み処理ルーチン内で EI 命令を実行すると割り込み許可 (EI) 状態となり、受け付け中の割り込み要求の優先順位レベル (割り込み制御レジスタで指定) よりも高い優先順位の割り込み要求の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを行う場合、次の処理が必要です。

<1> EI 命令を実行する前に EIPC, EIPSW をメモリか汎用レジスタに退避

<2> RETI 命令を実行する前に DI 命令を実行し、続いて<1>で退避させた値を EIPC, EIPSW に復帰

8.3.1 動作

INTn 入力によりマスカブル割り込みが発生した場合、CPU は次の処理を行い、ハンドラ・ルーチンへ制御を移します。

<1> 復帰 PC を EIPC に退避します。

<2> 現在の PSW を EIPSW へ退避します。

<3> ECR の下位ハーフワード (EICC) に例外コードを書き込みます。

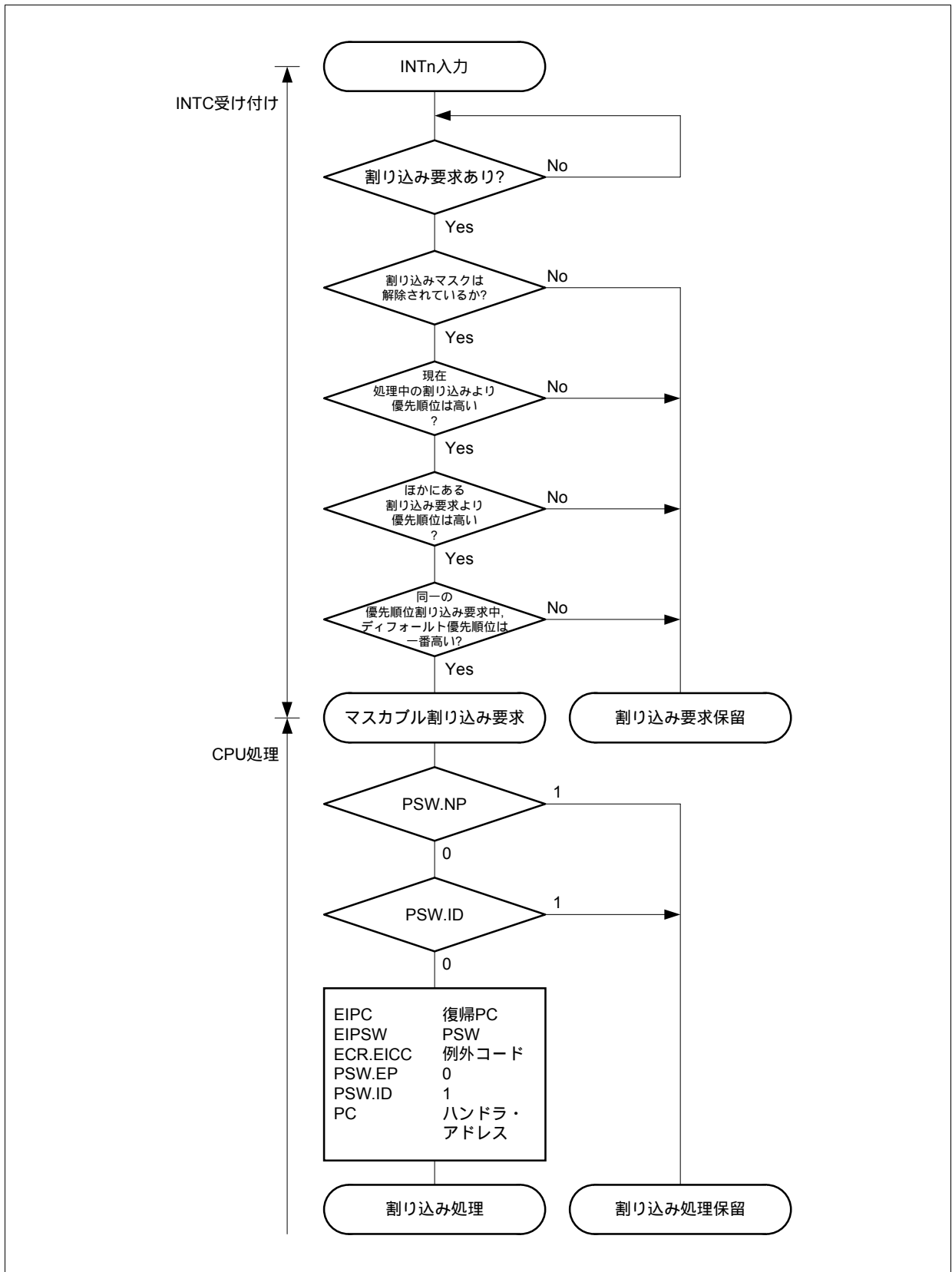
<4> PSW の ID ビットをセットし、EP ビットをクリアします。

<5> PC に各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

INTC でマスクされている INTn 入力と、ほかの割り込み処理中 (PSW.NP = 1 または PSW.ID = 1) に発生した INTn 入力は、INTC の内部で保留されます。この場合マスクを解除するか、または RETI 命令、LDSR 命令を使用して、PSW.NP = 0 かつ PSW.ID = 0 にすると、保留していた INTn 入力により新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を図 8-4 に示します。

図8-4 マスカブル割り込みの処理形態



8.3.2 復 帰

マスク割込み処理からの復帰は、RETI 命令により行います。

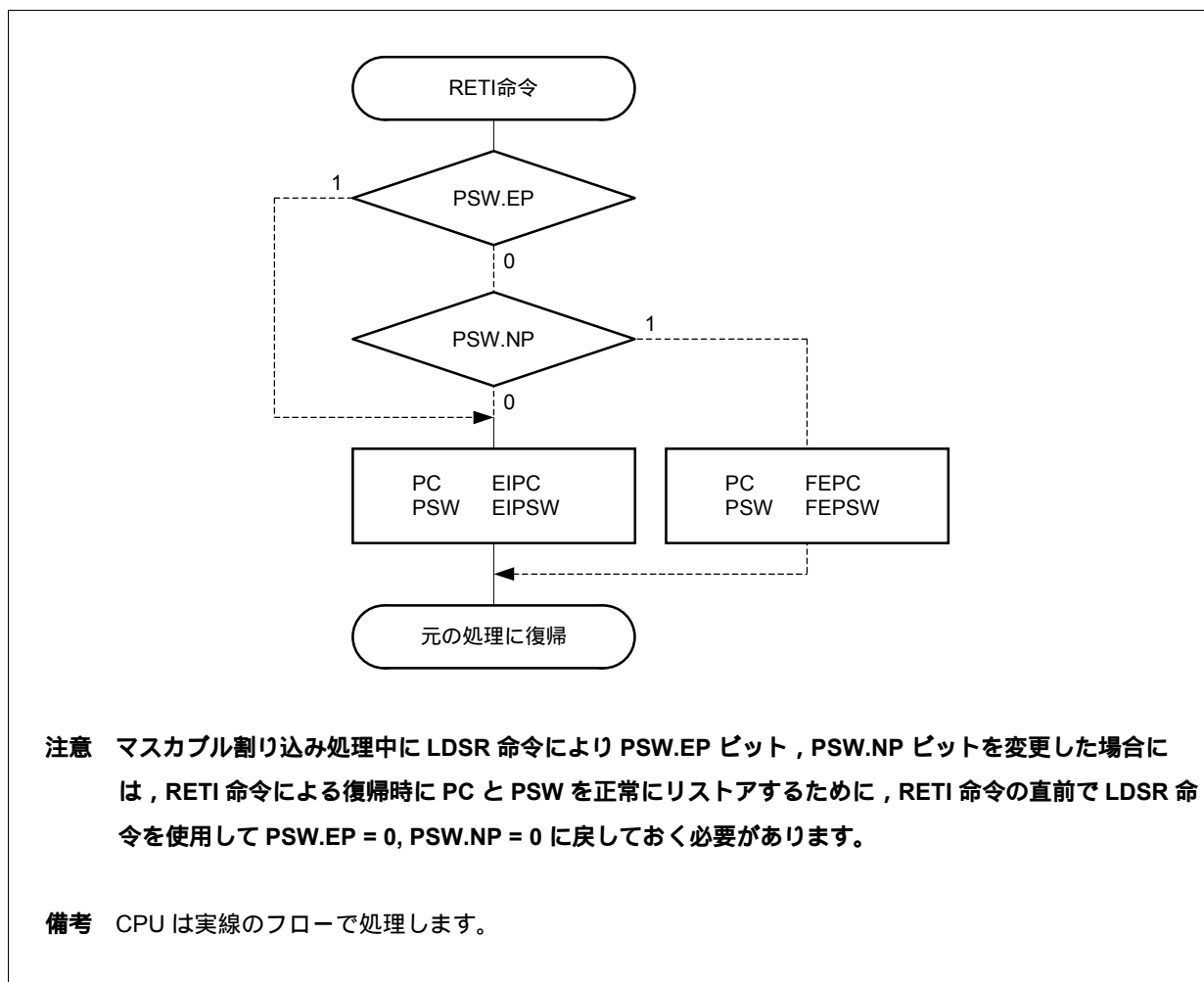
RETI 命令の実行により CPU は次の処理を行い、復帰 PC のアドレスへ制御を移します。

<1> PSW の EP ビットが 0 かつ PSW の NP ビットが 0 なので、EIPC, EIPSW から復帰 PC, PSW を取り出します。

<2> 取り出した復帰 PC のアドレス、PSW の状態に制御を移します。

RETI 命令の処理形態を図 8 - 5 に示します。

図8 - 5 RETI命令の処理形態



8.3.3 マスカブル割り込みの優先順位

INTC は、割り込み処理中にさらに別の割り込みを受け付ける多重割り込み処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (PICn) によるプログラム優先順位制御があります。デフォルト優先順位による優先順位制御は、PICn レジスタによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込み処理を行います (表 8-1 割り込み/例外一覧参照)。プログラマブル優先順位制御は、各割り込み要求を PICn レジスタの設定によって 8 レベルに分けます。

なお、割り込みを受け付けると PSW の ID フラグが自動的にセット (1) されるので、多重割り込みを行う場合は、割り込み処理プログラム中で EI 命令を実行するなどして ID フラグをクリア (0) し、割り込み許可状態に設定してください。

図8 - 6 割り込み処理中にほかの割り込み要求が発生した場合の処理例 (2/2)

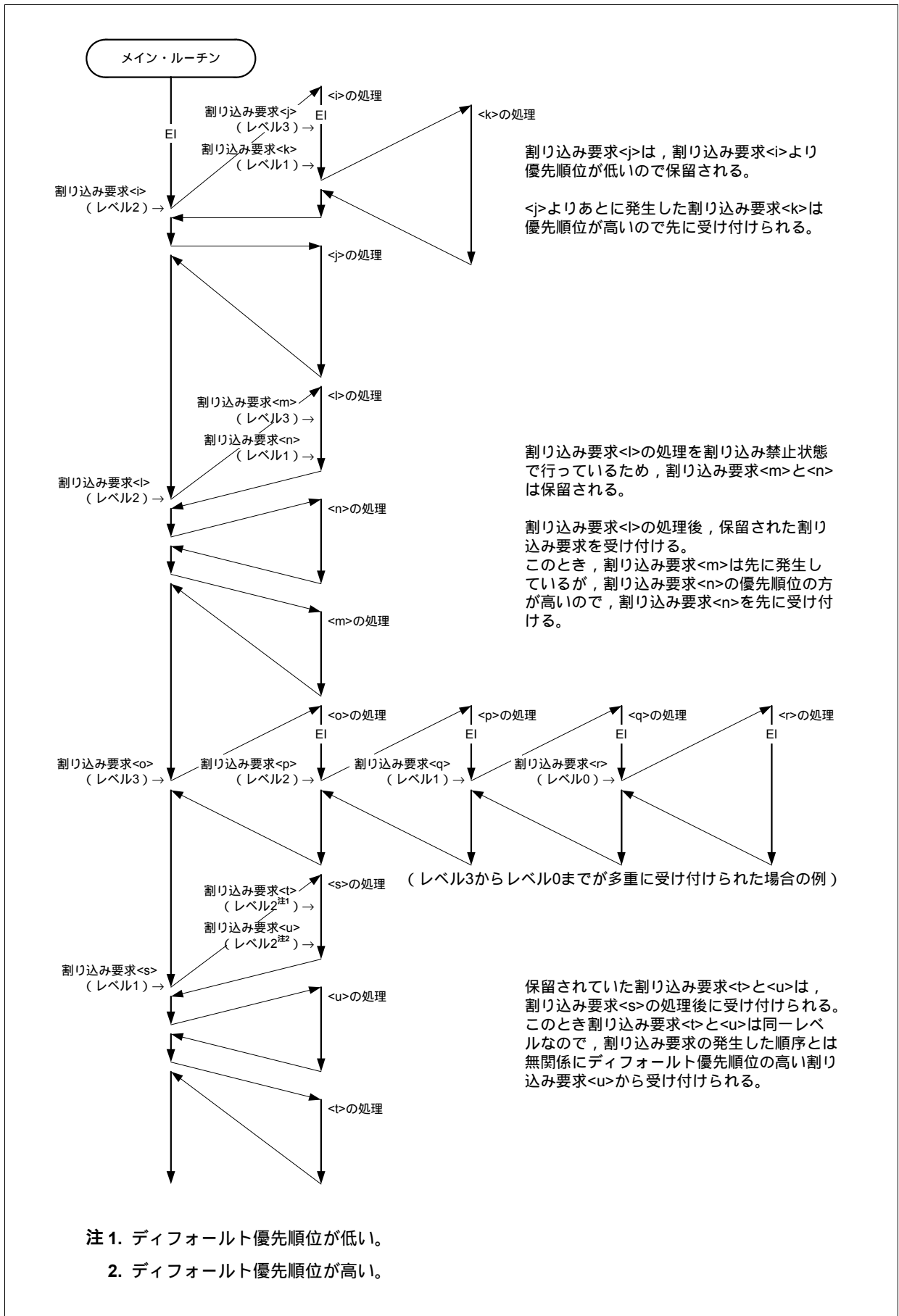
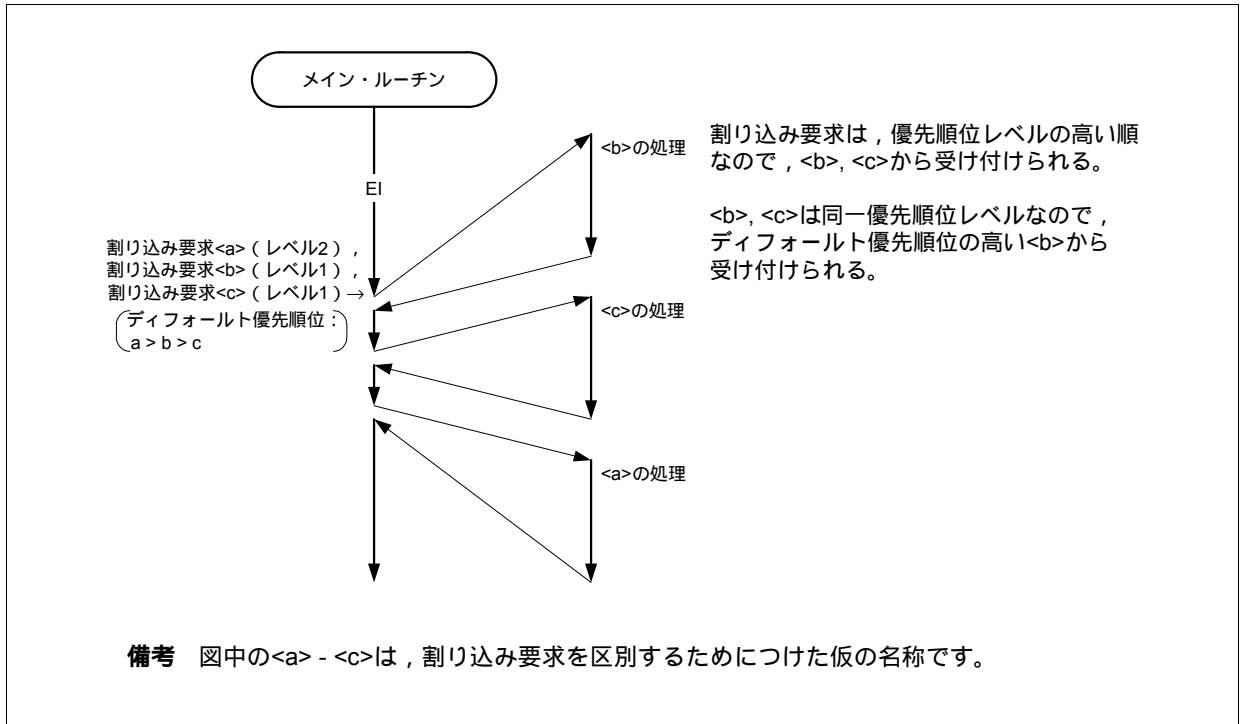


図8 - 7 同時発生した割り込み要求の処理例



8.3.4 制御レジスタ

(1) 割り込み制御レジスタ 0-63 (PIC0-PIC63)

割り込み要求 (マスカブル割り込み) ごとに割り当てられ, 各割り込みに対する制御条件を設定します。
8/1 ビット単位でリード/ライト可能です。

図8 - 8 割り込み制御レジスタ0-63 (PIC0-PIC63)

| | | | | | | | | | | |
|------|------|------|---|---|---|-------|-------|-------|-------------|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| PICn | PIFn | PMKn | 0 | 0 | 0 | PPRn2 | PPRn1 | PPRn0 | アドレス | 初期値 |
| | | | | | | | | | FFFFFF110H- | 47H |
| | | | | | | | | | FFFFFF18EH | |

| ビット位置 | ビット名 | 意味 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|-------|-----------------|--|-----------------|-------|-------|----------|---|---|---|-----------------|---|---|---|-----------|---|---|---|-----------|---|---|---|-----------|---|---|---|-----------|---|---|---|-----------|---|---|---|-----------|---|---|---|-----------------|
| 7 | PIFn | 割り込み要求フラグです。 0 : 割り込み要求なし 1 : 割り込み要求あり 割り込み要求が受け付けられると自動的にクリア (0) されます。 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 6 | PMKn | 割り込みマスク・フラグです。 0 : 割り込み処理を許可 1 : 割り込み処理を禁止 (保留) | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 2-0 | PPRn2- PPRn0 | 各割り込みごとに 8 レベルの優先順位を指定します。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">PPRn2</th> <th style="width: 10%;">PPRn1</th> <th style="width: 10%;">PPRn0</th> <th style="width: 70%;">割り込み優先順位</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>レベル 0 (最高位) を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>レベル 1 を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>レベル 2 を指定</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>レベル 3 を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>レベル 4 を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>レベル 5 を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>レベル 6 を指定</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>レベル 7 (最低位) を指定</td> </tr> </tbody> </table> | PPRn2 | PPRn1 | PPRn0 | 割り込み優先順位 | 0 | 0 | 0 | レベル 0 (最高位) を指定 | 0 | 0 | 1 | レベル 1 を指定 | 0 | 1 | 0 | レベル 2 を指定 | 0 | 1 | 1 | レベル 3 を指定 | 1 | 0 | 0 | レベル 4 を指定 | 1 | 0 | 1 | レベル 5 を指定 | 1 | 1 | 0 | レベル 6 を指定 | 1 | 1 | 1 | レベル 7 (最低位) を指定 |
| PPRn2 | PPRn1 | PPRn0 | 割り込み優先順位 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 0 | レベル 0 (最高位) を指定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 0 | 1 | レベル 1 を指定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 0 | レベル 2 を指定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0 | 1 | 1 | レベル 3 を指定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | レベル 4 を指定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 1 | レベル 5 を指定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 0 | レベル 6 を指定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 1 | 1 | 1 | レベル 7 (最低位) を指定 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

備考 n = 0-63

(2) 割り込みマスク・レジスタ 0-3 (IMR0-IMR3)

各マスカブル割り込みのマスク状態を保持します。

このレジスタの PMKn ビットと PICn レジスタの PMKn ビットは、それぞれ連結しています (n = 0-63)。

IMRm レジスタは、16 ビット単位でリード/ライト可能です (m = 0-3)。

IMRm レジスタの上位 8 ビットを IMRmH レジスタ、下位 8 ビットを IMRmL レジスタとして使用した場合は、8/1 ビット単位でリード/ライト可能です。

図8 - 9 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | アドレス | 初期値 |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----------|-------|
| IMR0 | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | FFFFF100H | FFFFH |
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| IMR1 | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | FFFFF102H | FFFFH |
| | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | | |
| IMR2 | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | FFFFF104H | FFFFH |
| | 47 | 46 | 45 | 44 | 43 | 42 | 41 | 40 | 39 | 38 | 37 | 36 | 35 | 34 | 33 | 32 | | |
| IMR3 | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | PMK | FFFFF106H | FFFFH |
| | 63 | 62 | 61 | 60 | 59 | 58 | 57 | 56 | 55 | 54 | 53 | 52 | 51 | 50 | 49 | 48 | | |

(3) インサーブ・プライオリティ・レジスタ (ISPR)

受け付け中のマスクブル割り込みの優先順位レベルを保持します。割り込み要求が受け付けられると、その割り込み要求の優先順位レベルに対応するビットがセット (1) され、割り込み処理中、保持されま

す。
 RETI 命令の実行の際、ISPR レジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求に対応するビットが自動的にクリア (0) されます。ただし、ノンマスクブル割り込み処理や例外処理からの復帰の場合はクリア (0) されません。

8/1 ビット単位でリードだけ可能です。

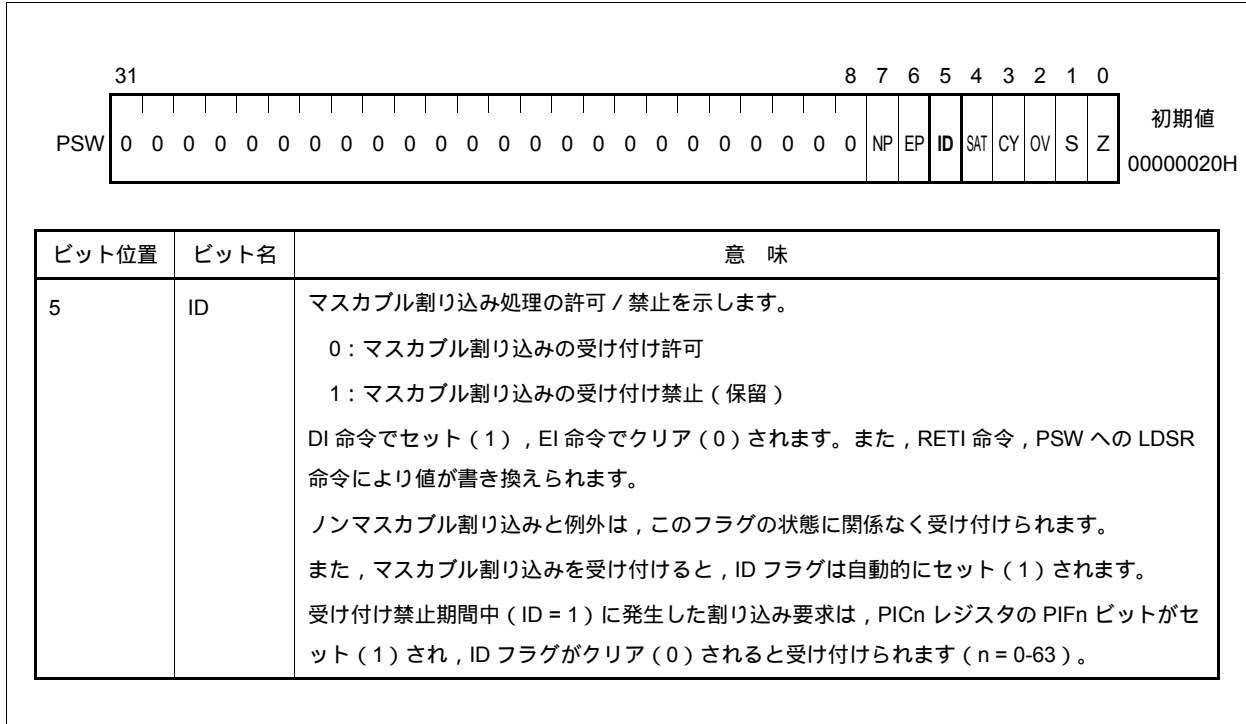
図8 - 10 インサーブ・プライオリティ・レジスタ (ISPR)

| | | | | | | | | | | |
|------------------------------|-----------------|---|-------|-------|-------|-------|-------|-------|-----------|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| ISPR | ISPR7 | ISPR6 | ISPR5 | ISPR4 | ISPR3 | ISPR2 | ISPR1 | ISPR0 | アドレス | 初期値 |
| | | | | | | | | | FFFFF1FAH | 00H |
| | | | | | | | | | | |
| ビット位置 | ビット名 | 意味 | | | | | | | | |
| 7-0 | ISPR7- ISPR0 | 受け付け中の割り込み優先順位を示します。 0 : 優先順位 n の割り込み要求を受け付けていない 1 : 優先順位 n の割り込み要求を受け付け中 | | | | | | | | |
| 備考 n = 7-0 (優先順位のレベル) | | | | | | | | | | |

8.3.5 マスカブル割り込みステータス・フラグ (ID)

マスカブル割り込みの動作状態を制御し、割り込み要求受け付けの許可 / 禁止情報を記憶します。
プログラム・ステータス・ワード (PSW) のビット 5 に割り付けられています。

図8-11 プログラム・ステータス・ワード (PSW)



8.4 ソフトウェア例外

ソフトウェア例外は、CPU の TRAP 命令の実行により発生する例外で、常に受け付けが可能です。

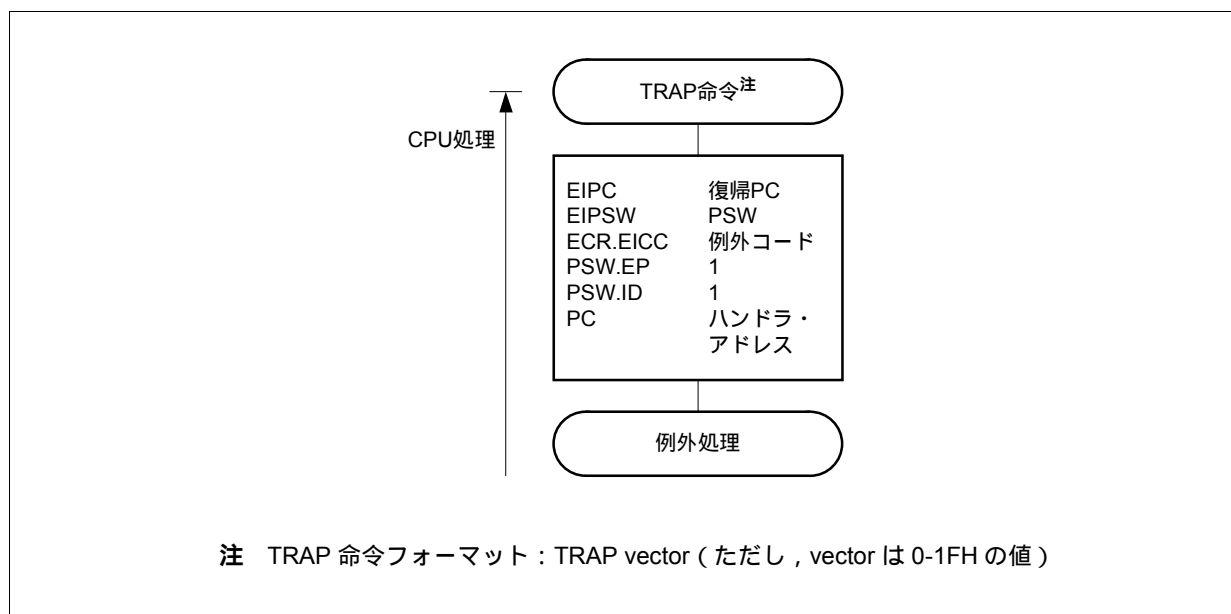
8.4.1 動作

ソフトウェア例外が発生した場合、CPU は次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- <1> 復帰 PC を EIPC に退避します。
- <2> 現在の PSW を EIPSW へ退避します。
- <3> ECR (割り込み要因) の下位 16 ビット (EICC) に例外コードを書き込みます。
- <4> PSW の EP, ID ビットをセットします。
- <5> PC にソフトウェア例外に対するハンドラ・アドレス (00000040H または 00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を図 8 - 12 に示します。

図8 - 12 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP 命令のオペランド (vector) によって決まります。vector が 0-0FH の場合は 00000040H となり、10H-1FH の場合は 00000050H となります。

8.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI 命令により行います。

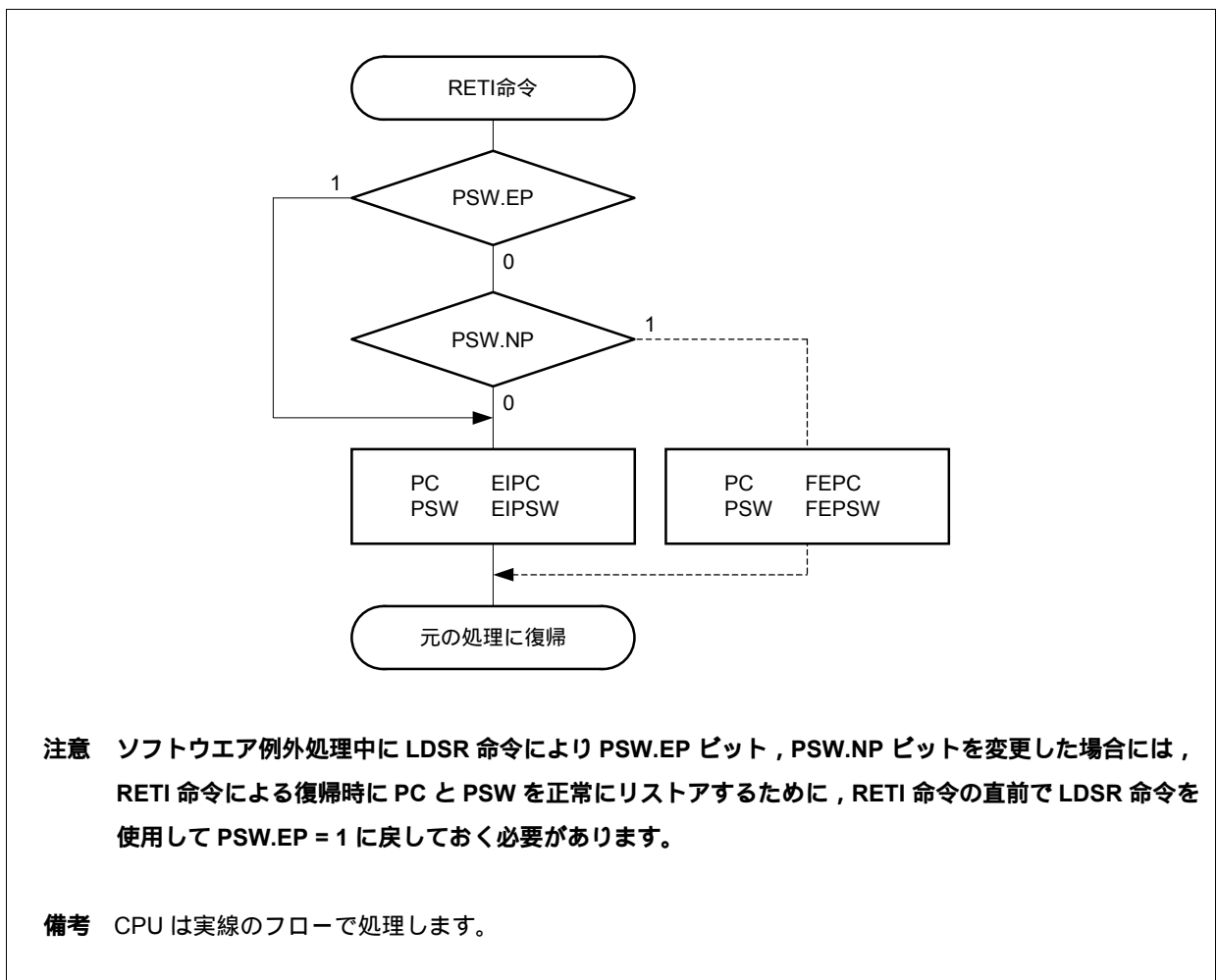
RETI 命令の実行により CPU は次の処理を行い、復帰 PC のアドレスへ制御を移します。

<1> PSW の EP ビットは 1 なので、EIPC, EIPSW から復帰 PC, PSW を取り出します。

<2> 取り出した復帰 PC のアドレス, PSW の状態に制御を移します。

RETI 命令の処理形態を図 8 - 13 に示します。

図8 - 13 RETI命令の処理形態



8.5 例外トラップ

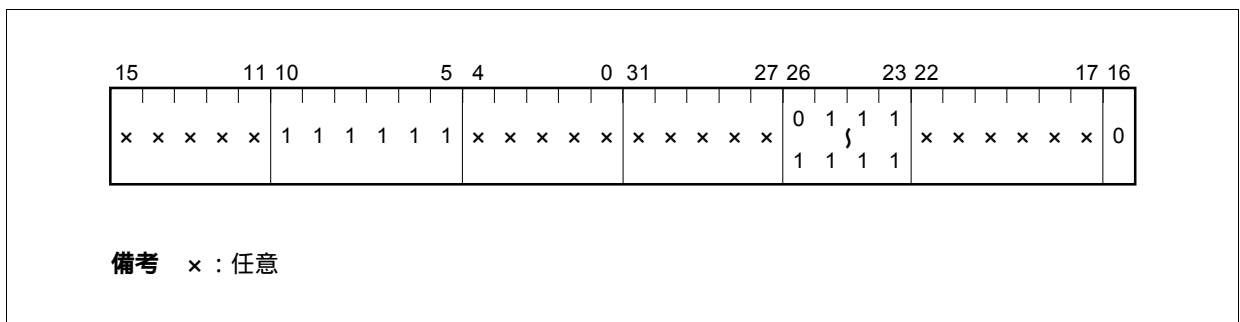
例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。NU85E では、不正命令コード例外（ILGOP：Illegal opcode trap）が例外トラップに当たります。

不正命令コード例外は、次に実行しようとする命令のサブオペコードが不正命令コードの場合に発生します。

8.5.1 不正命令コード

不正命令コードは、32ビット長命令形式で、ビット10-ビット5が111111Bであり、かつビット26-ビット23が0111B、ビット16が0Bになる任意の命令コードとして定義します。

図8 - 14 不正命令コード



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

8.5.2 動作

例外トラップが発生した場合，CPU は次の処理を行い，ハンドラ・ルーチンへ制御を移します。

<1> 復帰 PC を DBPC に退避します。

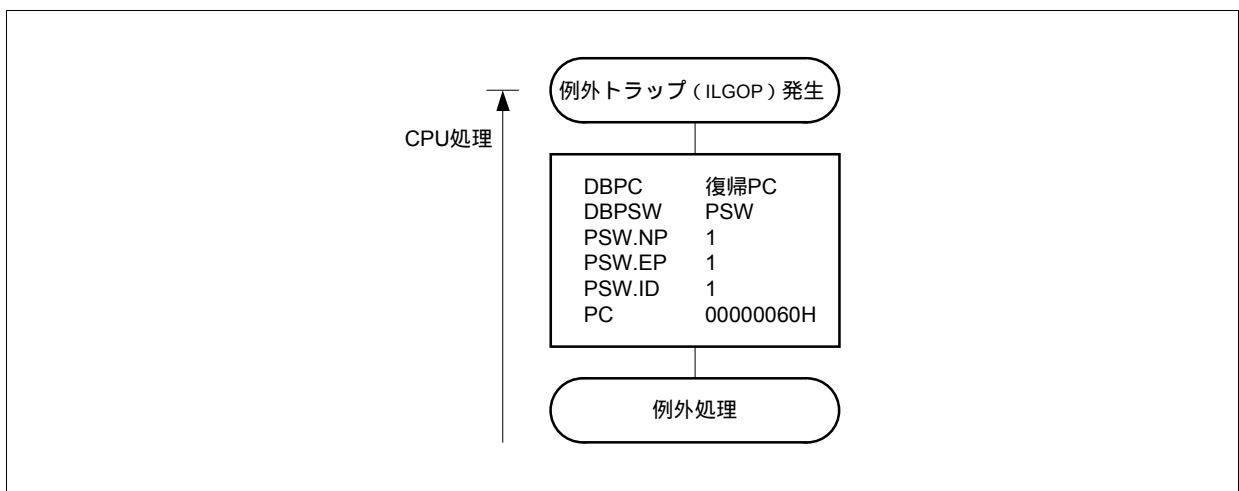
<2> 現在の PSW を DBPSW へ退避します。

<3> PSW の NP, EP, ID ビットをセットします。

<4> PC に例外トラップに対するハンドラ・アドレス (00000060H) をセットし，制御を移します。

例外トラップの処理形態を図 8 - 15 に示します。

図8 - 15 例外トラップの処理形態



8.5.3 復帰

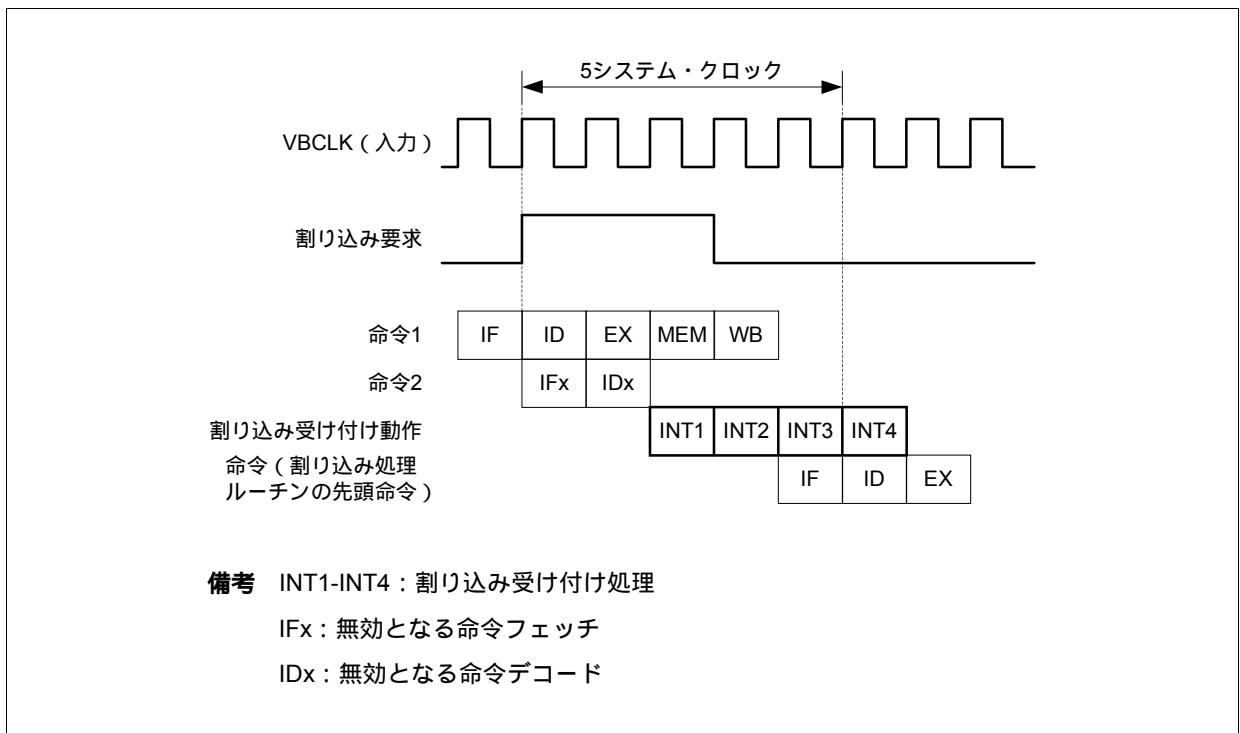
例外トラップからの復帰はできません。DCRESZ 入力により，システム・リセットを行ってください。

8.6 割り込み応答時間

次の場合を除き、割り込み応答時間は、最小5クロックとなります。連続して割り込み要求を入力する場合には、最低でも5クロック以上間をあけて次の割り込み要求を入力してください。

- ソフトウェア/ハードウェア STOP モード時
- 外部バス・アクセス時
- 割り込み要求非サンプル命令（8.7 割り込みが受け付けられない期間参照）が連続しているとき
- 割り込み制御レジスタへのアクセス時

図8-16 割り込み要求受け付け時のパイプライン動作例（概略）



8.7 割り込みが受け付けられない期間

割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- EI 命令
- DI 命令
- LDSR reg2, 0x5 命令（対 PSW）
- 特定領域（xFFF100H-xFFF1FFH[※]、xFFF900H-xFFF9FFH）に対するストア命令

注 一部の領域に IMR0-IMR3, PIC0-PIC63, ISPR, PRCMD, PSC レジスタが割り付けられています。

第9章 テスト機能

NU85E は、テスト・バス (TBI39-TBI0, TBO34-TBO0) を介して、NU85E 自身や接続されている周辺マクロをテストするためのテスト・インタフェース・コントロール・ユニット (TIC) を内蔵しています。テスト・バスは、TEST, BUNRI 信号がアクティブのとき有効となります。

9.1 テスト用端子

9.1.1 テスト・バス端子 (TBI39-TBI0, TBO34-TBO0)

テスト・バス端子は単体テスト・モード時に、ノーマル端子の代わりに使用します。必ず端子として ASIC 外部に出してください (ノーマル端子との兼用可)。詳細は各セルベース IC ファミリの設計マニュアルを参照してください。

9.1.2 BUNRI, TEST 端子

ノーマル/単体テスト/スタンバイ・テスト・モードの選択に使用します。

表9-1 テスト・モードの設定一覧

| BUNRI 端子入力レベル | TEST 端子入力レベル | モード |
|---------------|--------------|---------------|
| ロウ・レベル | 任意 | ノーマル・モード |
| ハイ・レベル | ロウ・レベル | スタンバイ・テスト・モード |
| ハイ・レベル | ハイ・レベル | 単体テスト・モード |

(1) ノーマル・モード

ユーザが通常、使用するモードです。

BUNRI 端子にロウ・レベルが入力されている場合、テスト用端子以外の端子が有効になり、ノーマル・モードになります。このとき、TBI39-TBI0 端子への入力は無視され、TBO34-TBO0 端子はハイ・インピーダンスになります。

(2) 単体テスト・モードとスタンバイ・テスト・モード

BUNRI 端子にハイ・レベルが入力されているとテスト・モードになります。テスト・モードには単体テスト・モードとスタンバイ・テスト・モードの2つがあります。

単体テスト・モード、スタンバイ・テスト・モード中に、バス構成の端子 (テスト用端子を除く) がフローティングやバス・ファイトを起こさないような回路設計を行ってください (各モードでの端子状態については、2.4 端子状態を参照してください)。

(a) 単体テスト・モード

BUNRI 端子と TEST 端子にハイ・レベルが入力されていると単体テスト・モードになり、TBI39-TBI0 端子からの入力が有効となります。また、TBO34-TBO0 端子からテスト結果が出力されます。

なお、次の端子からの入出力信号は、テスト・モード時でも有効であり、ノーマル・モードと同様の動作をします。したがって、テスト・モード時は、必ず **9.4 テスト・モード時の各端子の処理** で示す内容で端子処理を行ってください。

- VSB 用端子
- NPB 用端子
- VFB 用端子
- VDB 用端子
- 命令キャッシュ用端子
- データ・キャッシュ用端子
- RCU 用端子

注意 単体テスト・モードは、NEC 側でテストを行うためのモードです。テスト・パターンは NEC 側で用意します。

(b) スタンバイ・テスト・モード

BUNRI 端子にハイ・レベルが入力され、TEST 端子にロウ・レベルが入力されている場合、スタンバイ・テスト・モードになります。

TBI39-TBI0 端子への入力は無視され、TBO34-TBO0 端子はハイ・インピーダンスになります。

9.1.3 BUNRIOUT 端子

BUNRIOUT 端子からは BUNRI 端子に入力されたレベルがそのまま出力されます。テスト・バス自動結線ツールに対応するため、コアのテスト時のユーザ回路分離、およびキャッシュなどのテスト・バス自動結線対象外の箇所で BUNRI 信号の論理が必要になる場合には、BUNRI 端子ではなく、BUNRIOUT 端子からの出力を使用してください。

9.2 テスト・インタフェース信号一覧

| 信号名 | 入出力 | 機能 |
|------------------|-----|--------------------------------|
| PHTDIN1, PHTDIN0 | 出力 | 各周辺マクロへの専用テスト信号出力 |
| PHTDO1, PHTDO0 | 入力 | 各周辺マクロからの専用テスト信号入力 |
| TESEN | 出力 | 周辺マクロをテスト・モードに設定するためのイネーブル信号出力 |
| VPTCLK | 出力 | 周辺マクロ・テスト用クロック出力 |
| PHTEST | 出力 | 周辺テスト・モード状態であることを示すステータス信号出力 |
| TMODE1 | 出力 | テスト・モード選択出力 |
| TMODE0 | 出力 | NEC の予約端子です。オープンにしてください。 |
| TBREDZ | 出力 | |

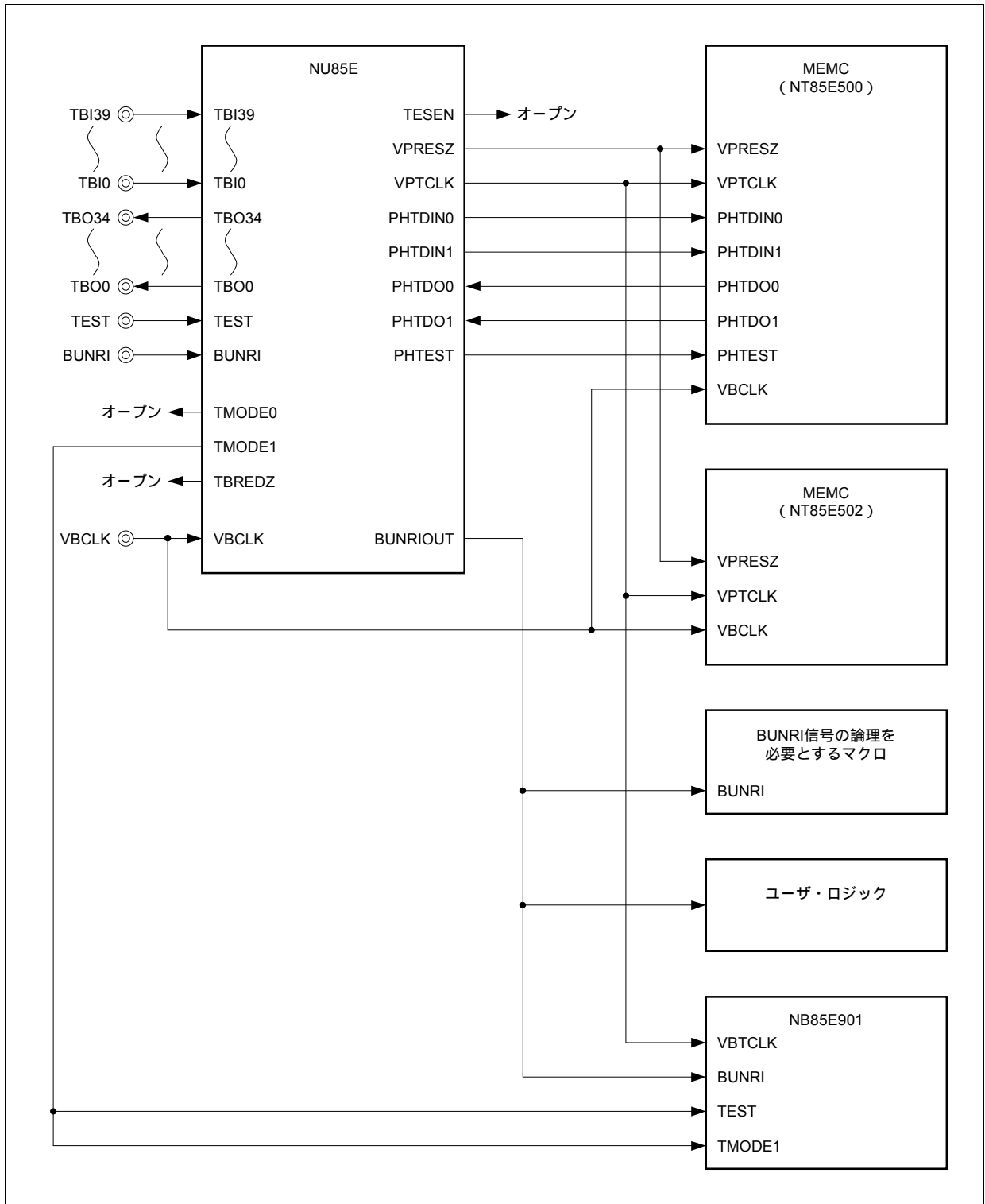
注意 上記の信号は、NEC 側でのテストの際にだけ必要となる信号です。

9.3 テスト・モード時の周辺マクロ接続例

NEC がサポートする NB85E901 や MEMC (NT85E500, NT85E502) , 命令キャッシュ , データ・キャッシュ については , NU85E を介してテストします。

次に NU85E と NB85E901 , および MEMC の接続例を示します。

図9 - 1 周辺マクロ接続例



9.4 テスト・モード時の各端子の処理

(1) テスト・モード用端子以外

(a) 入力端子

VAREQ 端子にはロウ・レベルを入力してください。VAREQ 以外の端子は、特に処理をする必要はありません（ノーマル・モードと同様にしてください）。

(b) 出力端子

特に処理をする必要はありません（ノーマル・モードと同様にしてください）。

(2) テスト・モード用端子（TBI39-TBI0, TBO34-TBO0, BUNRI, TEST, BUNRIOUT を除く）

テスト・モード用端子は、次の内容で端子処理をしてください。

| 端子名 | 入出力 | 端子処理 | | |
|-------------------|-----|---|-------------------------|----------------------------|
| | | MEMC が 接続されている場合 | キャッシュが 接続されている場合 | MEMC, キャッシュが 接続されていない場合 |
| PHTDOn | 入力 | NT85E500 の PHTDOn 端子に 接続してください。 | - | ロウ・レベルを入力してくださ い。 |
| PHTDInn | 出力 | NT85E500 の PHTDInn 端子に 接続してください。 | - | オープンにしてください。 |
| VPRESZ | 出力 | NT85E500, NT85E502 の VPRESZ 端子に接続してくださ い。 | VPRESZ 端子に接続してくださ い。 | |
| VPTCLK | 出力 | NT85E500, NT85E502 の VPTCLK 端子に接続してくださ い。 | VPTCLK 端子に接続してくださ い。 | |
| TESEN | 出力 | - | - | |
| PHTEST | 出力 | NT85E500 の PHTEST 端子に 接続してください。 | - | |
| TMODEn, TBREDZ | 出力 | オープンにしてください。 | | |

備考 n = 1, 0

(3) NB85E901 を接続している場合の注意事項

NU85E に NB85E901 (RCU) を接続している場合、次に示す端子は、単体テスト・モード時に使用します。これらの端子はすべて外部端子として、チップの外に出してください。

- TBI39-TBI0 ^{注1}
- TBO34-TBO0 ^{注1}
- TEST ^{注1}
- BUNRI
- DCK ^{注2}
- DRSTZ ^{注2}
- DMS ^{注2}
- DDI ^{注2}
- DDO ^{注2}
- DBINT ^{注1,2}

注1. ノーマル・モードで使用する端子と兼用可能です。

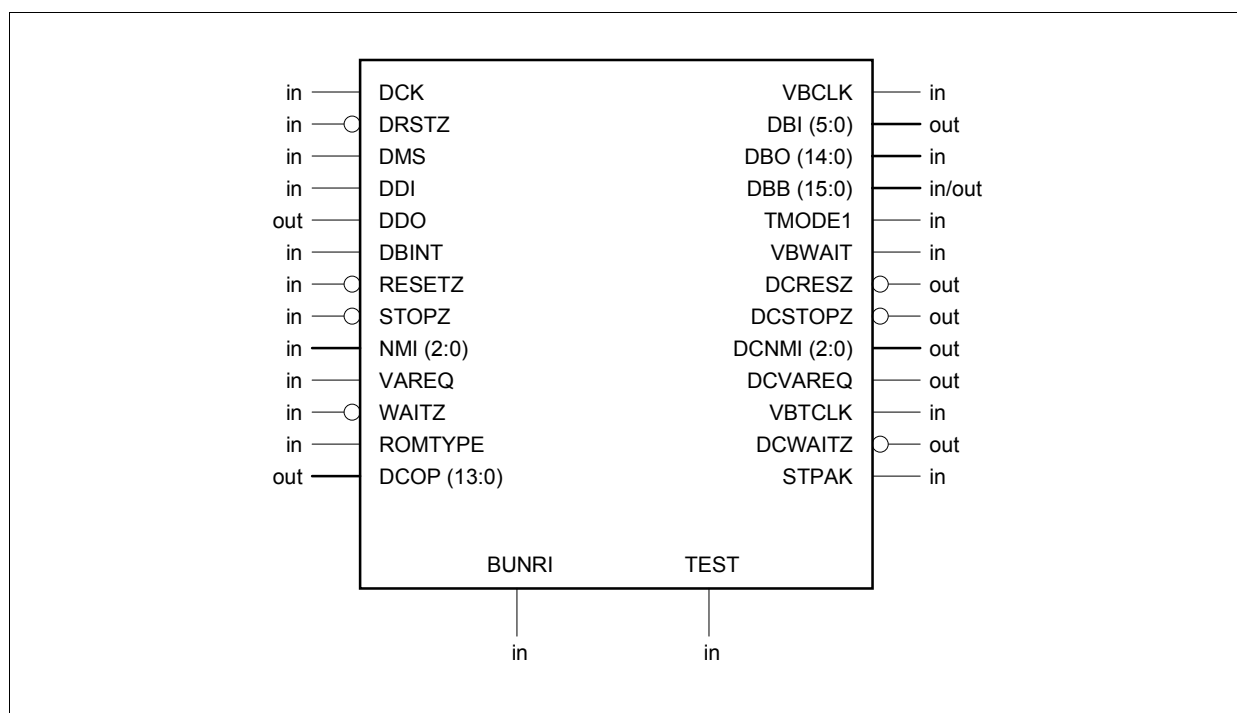
2. NB85E901 の端子です (詳細については、**第10章 NB85E901** を参照してください)。

第 10 章 NB85E901

(開発中)

NB85E901 (RCU : ラン・コントロール・ユニット) は, JTAG での通信やデバッグ処理の実行を実現する実行制御ユニットです。N-Wire 型インサーキット・エミュレータ (N-Wire 型 IE) と接続することにより, NU85E のオンチップ・デバッグを実現します。

10.1 シンボル図



10.2 端子機能

10.2.1 端子機能一覧

| 端子名 | | 入出力 | 機能 |
|-----------------------|---------------|-----|-----------------------------|
| N-Wire 型 IE 接続 用端子 | DCK | 入力 | RCU 用クロック入力 |
| | DRSTZ | 入力 | RCU 用リセット入力 |
| | DMS | 入力 | ディバグ・モード選択入力 |
| | DDI | 入力 | ディバグ・データ入力 |
| | DDO | 出力 | ディバグ・データ出力 |
| | DBINT | 入力 | 外部ディバグ割り込み入力 |
| システム 制御用端子 | RESETZ | 入力 | システム・リセット入力 |
| | STOPZ | 入力 | ハードウェア STOP モード要求入力 |
| | NMI2-NMI0 | 入力 | ノンマスクابل割り込み入力 |
| | VAREQ | 入力 | バス使用権要求入力 |
| | WAITZ | 入力 | ウェイト要求入力 |
| | ROMTYPE | 入力 | NEC の予約端子 (ロウ・レベルを入力してください) |
| | DCOP13-DCOP0 | 出力 | NEC の予約端子 (オープンにしてください) |
| NU85E 接続用 端子 | VBCLK | 入力 | システム・クロック入力 |
| | DBI5-DBI0 | 出力 | ディバグ制御出力 |
| | DBO14-DBO0 | 入力 | ディバグ制御入力 |
| | DBB15-DBB0 | 入出力 | ディバグ制御入出力 |
| | TMODE1 | 入力 | テスト・モード選択入力 |
| | VBWAIT | 入力 | ウェイト・レスポンス入力 |
| | DCRESZ | 出力 | リセット出力 |
| | DCSTOPZ | 出力 | ハードウェア STOP モード要求出力 |
| | DCNMI2-DCNMI0 | 出力 | ノンマスクابل割り込み出力 |
| | DCVAREQ | 出力 | バス使用権要求出力 |
| | VBCLK | 入力 | テスト用クロック入力 |
| 周辺接続用端子 | DCWAITZ | 出力 | ウェイト要求出力 |
| | STPAK | 入力 | STOP モード要求アクノリッジ入力 |
| テスト・モード用 端子 | BUNRI | 入力 | ノーマル/テスト・モード選択入力 |
| | TEST | 入力 | テスト・モード選択入力 |

10.2.2 端子機能の説明

(1) N-Wire 型 IE 接続用端子

注意 N-Wire 型 IE 接続用端子 (DCK, DRSTZ, DMS, DDI, DDO, DBINT) は NB85E901 の単体テスト・モード時に使用するため、外部端子として必ずチップの外に出してください。これらの端子は兼用端子にはしないでください (ただし、DBINT 端子は、TBI39-TBI0, TBO34-TBO0, TEST, BUNRI, DCK, DRSTZ, DMS, DDI, DDO 端子以外と兼用可能です)。

(a) DCK (入力)

N-Wire 型 IE からの RCU 用クロック入力端子です。

(b) DRSTZ (入力)

RCU 用リセット入力端子です。ロウ・レベルを入力すると RCU を非同期でリセットします。

(c) DMS (入力)

N-Wire 型 IE からのディバグ・モード選択入力端子です。

(d) DDI (入力)

N-Wire 型 IE からのディバグ・データ入力端子です。

(e) DDO (出力)

N-Wire 型 IE へのディバグ・データ出力端子です。

(f) DBINT (入力)

外部ディバグ割り込み入力端子です。外部からディバグ・モードに移行するときにアクティブ・レベル (ハイ・レベル) を入力します。

(2) システム制御用端子

(a) RESETZ (入力)

システム・リセット入力端子です。

(b) STOPZ (入力)

ハードウェア STOP モード要求入力端子です。

(c) NMI2-NMI0 (入力)

ノンマスカブル割り込み入力端子です。

(d) VAREQ (入力)

バス使用権要求入力端子です。

(e) WAITZ (入力)

外部ウエイト要求入力端子です。

(f) ROMTYPE (入力)

NEC の予約端子です。常にロウ・レベルを入力してください。

(g) DCOP13-DCOP0 (出力)

NEC の予約端子です。オープンにしてください。

(3) NU85E 接続用端子**(a) VBCLK (入力)**

システム・クロック入力端子です。

(b) DBI5-DBI0 (出力)

ディバグ制御出力端子です。NU85E の DBI5-DBI0 端子に接続します。

(c) DBO14-DBO0 (入力)

ディバグ制御入力端子です。NU85E の DBO14-DBO0 端子に接続します。

(d) DBB15-DBB0 (入出力)

ディバグ制御入出力端子です。NU85E の DBB15-DBB0 端子に接続します。

(e) TMODE1 (入力)

テスト・モード選択入力端子です。NU85E の TMODE1 端子に接続します。

(f) VBWAIT (入力)

ウエイト・レスポンス入力端子です。

(g) DCRESZ (出力)

リセット出力端子です。NU85E の DCRESZ 端子に接続します。

(h) DCSTOPZ (出力)

ハードウェア STOP モード要求出力端子です。NU85E の DCSTOPZ 端子に接続します。

(i) DCNMI2-DCNMI0 (出力)

ノンマスクブル割り込み出力端子です。NU85E の DCNMI2-DCNMI0 端子に接続します。

(j) DCVAREQ (出力)

バス使用権要求出力端子です。NU85E の VAREQ 端子に接続します。

(k) VBTCLK (入力)

テスト用クロック入力端子です。NU85E の VPTCLK 端子に接続します。

(4) 周辺接続用端子

(a) DCWAITZ (出力)

外部ウエイト要求出力端子です。

(b) STPAK (入力)

STOP モード要求アクノリッジ入力端子です。メモリ・コントローラからの STPAK 信号を入力します。

(5) テスト・モード用端子

(a) BUNRI (入力)

ノーマル/テスト・モードを選択する入力端子です。

(b) TEST (入力)

テスト・モード選択入力端子です。NU85E の TMODE1 端子に接続します。

10.2.3 未使用端子の処理

| 端子名 | | 入出力 | 推奨接続方法 |
|-------------------|---|-----|----------------------------|
| N-Wire 型 IE 接続用端子 | DCK, DRSTZ, DMS, DDI | 入力 | - |
| | DDO | 出力 | - |
| | DBINT | 入力 | ロウ・レベルを入力してください。 |
| システム制御用端子 | RESETZ | 入力 | - |
| | STOPZ, WAITZ | 入力 | ハイ・レベルを入力してください。 |
| | NMI2-NMI0, VAREQ, ROMTYPE | 入力 | ロウ・レベルを入力してください。 |
| | DCOP13-DCOP0 | 出力 | オープンにしてください。 |
| NU85E 接続用端子 | VBCLK, DBO14-DBO0, TMODE1, VBTCLK | 入力 | - |
| | DBI5-DBI0 | 出力 | - |
| | DBB15-DBB0 | 入出力 | - |
| | VBWAIT | 入力 | ロウ・レベルを入力してください。 |
| | DCRESZ, DCSTOPZ, DCNMI2-DCNMI0, DCVAREQ | 出力 | オープンにしてください。 |
| 周辺接続用端子 | DCWAITZ | 出力 | オープンにしてください。 |
| | STPAK | 入力 | NU85E の STPRQ 信号を入力してください。 |
| テスト・モード用端子 | BUNRI, TEST | 入力 | - |

10.2.4 端子状態

出力機能を持つ端子の各動作モードでの状態を次に示します。

表10 - 1 各動作モードでの端子状態

| 端子名 | 端子状態 | | | | | |
|---------------|-------------------|--------------------|--------------------|-----------|-------------------|---------------|
| | リセット ^注 | ソフトウェア STOP モード | ハードウェア STOP モード | HALT モード | スタンバイ・ テスト・モード | 単体テスト・ モード |
| DDO | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 |
| DCOP13-DCOP10 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 |
| DCOP9 | L / L | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 |
| DCOP8-DCOP3 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 |
| DCOP2 | H / 動作 | H / 動作 | H / 動作 | H / 動作 | H / 動作 | H / 動作 |
| DCOP1, DCOP0 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 |
| DBI5 | H / 動作 | H / 動作 | H / 動作 | H / 動作 | H / 動作 | H / 動作 |
| DBI4-DBI2 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 | L / 動作 |
| DBI1 | H / 動作 | H / 動作 | H / 動作 | H / 動作 | H / 動作 | H / 動作 |
| DBI0 | L / H | L / H | L / H | L / H | L / H | L / H |
| DBB15-DBB0 | 保持 / 保持 | 保持 / 保持 | 保持 / 保持 | 保持 / 保持 | 保持 / 保持 | 保持 / 動作 |
| DCRESZ | RESETZ | RESETZ | RESETZ | RESETZ | RESETZ | 不定 |
| DCSTOPZ | STOPZ | STOPZ | STOPZ | STOPZ | STOPZ | 不定 |
| DCNMI2-DCNMI0 | NMI2-NMI0 | NMI2-NMI0 | NMI2-NMI0 | NMI2-NMI0 | NMI2-NMI0 | 不定 |
| DCVAREQ | VAREQ | VAREQ | VAREQ | VAREQ | VAREQ | 不定 |
| DCWAITZ | WAITZ | WAITZ | WAITZ | WAITZ | WAITZ | 不定 |

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 1.L : ロウ・レベル出力

H : ハイ・レベル出力

保持 : 直前の状態を保持

2. / (スラッシュ) の左側は「DRSTZ 端子にロウ・レベルが入力されているとき」、右側は「DRSTZ 端子にハイ・レベルが入力されているとき」の端子状態を示します。

3. DCRESZ, DCSTOPZ, DCNMI2-DCNMI0, DCVAREQ, DCWAITZ 端子の端子状態は、「DRSTZ 端子にロウ・レベルが入力されているとき」または「DRSTZ 端子にハイ・レベルが入力されていて、かつ外部入力信号 (RESETZ, STOPZ, NMI2-NMI0, VAREQ, WAITZ) がマスク設定されていないとき」を示します。

注意 次の入力端子は、必ず各動作モード時に下表のとおり設定してください。

| 端子名 | 端子状態 | | | | | |
|---------|-------------------|--------------------|--------------------|----------|-------------------|---------------|
| | リセット ^注 | ソフトウェア STOP モード | ハードウェア STOP モード | HALT モード | スタンバイ・ テスト・モード | 単体テスト・ モード |
| DRSTZ | L/H | L/H | L/H | L/H | L/H | L/H |
| DDI | H/動作 | H/動作 | H/動作 | H/動作 | H/動作 | H/動作 |
| DBINT | L/動作 | L/動作 | L/動作 | L/動作 | L/動作 | L/動作 |
| ROMTYPE | L | L | L | L | L | L |

注 DCRESZ 端子にロウ・レベルが入力され、かつ VBCLK 端子に外部クロックが入力されているとき。

備考 1.L：ロウ・レベル出力

H：ハイ・レベル出力

保持：直前の状態を保持

2./（スラッシュ）の左側は「DRSTZ 端子にロウ・レベルが入力されているとき」、右側は「DRSTZ 端子にハイ・レベルが入力されているとき」の端子状態を示します。

10.3 ディバグ機能

(1) ディバグ・インタフェース

DCK, DRSTZ, DMS, DDI, DDO 信号により N-Wire 型 IE を介して、ホスト・マシンとの通信を行います。インタフェースには JTAG の通信仕様を利用しています。バウンダリ・スキャン機能はサポートしていません。

(2) オンチップ・ディバグ

N-Wire 型 IE と接続することにより、NU85E のオンチップ・ディバグが可能です。
N-Wire 型 IE 接続の詳細については、**10.5 N-Wire 型 IE の接続**を参照してください。

(3) 強制リセット機能

NB85E901 全体を強制的にリセットできます。

(4) ブレーク・リセット機能

CPU のリセット解除直後から CPU をディバグ・モードで起動できます。

(5) 強制ブレーク機能

ユーザ・プログラムの実行を強制的に中断できます。ただし、不正命令コード例外のハンドラ（先頭アドレス：00000060H）は使用できません。

(6) ディバグ割り込みインタフェース

DBINT 端子にハイ・レベルを入力することにより強制ブレーク機能を実行できます。

備考 DBINT 入力により HALT モード、ソフトウェア STOP モード、ハードウェア STOP モードの解除も可能です。

(7) ブレークポイント機能

ユーザ・プログラムの実行を任意のアドレスで中断できます。また、任意のアドレスへのデータ・アクセスでも中断できます。ただし、不正命令コード例外のハンドラ（先頭アドレス：00000060H）は使用できません。

命令系 / アクセス系兼用ブレークポイントとして実行前ブレークとアクセス実行後ブレークの 2 種類があります。

(8) ディバグ・モニタ機能

ディバグ中はユーザのメモリ空間とは異なるディバグ用のメモリ空間を使用します（バックグラウンド・モニタ形式）。ユーザ・プログラムを任意のアドレスから実行開始可能です。

また、ユーザ・プログラム中断中のユーザ・リソース（メモリ、I/O など）のリード/ライトやユーザ・プログラムのダウンロードが可能です。

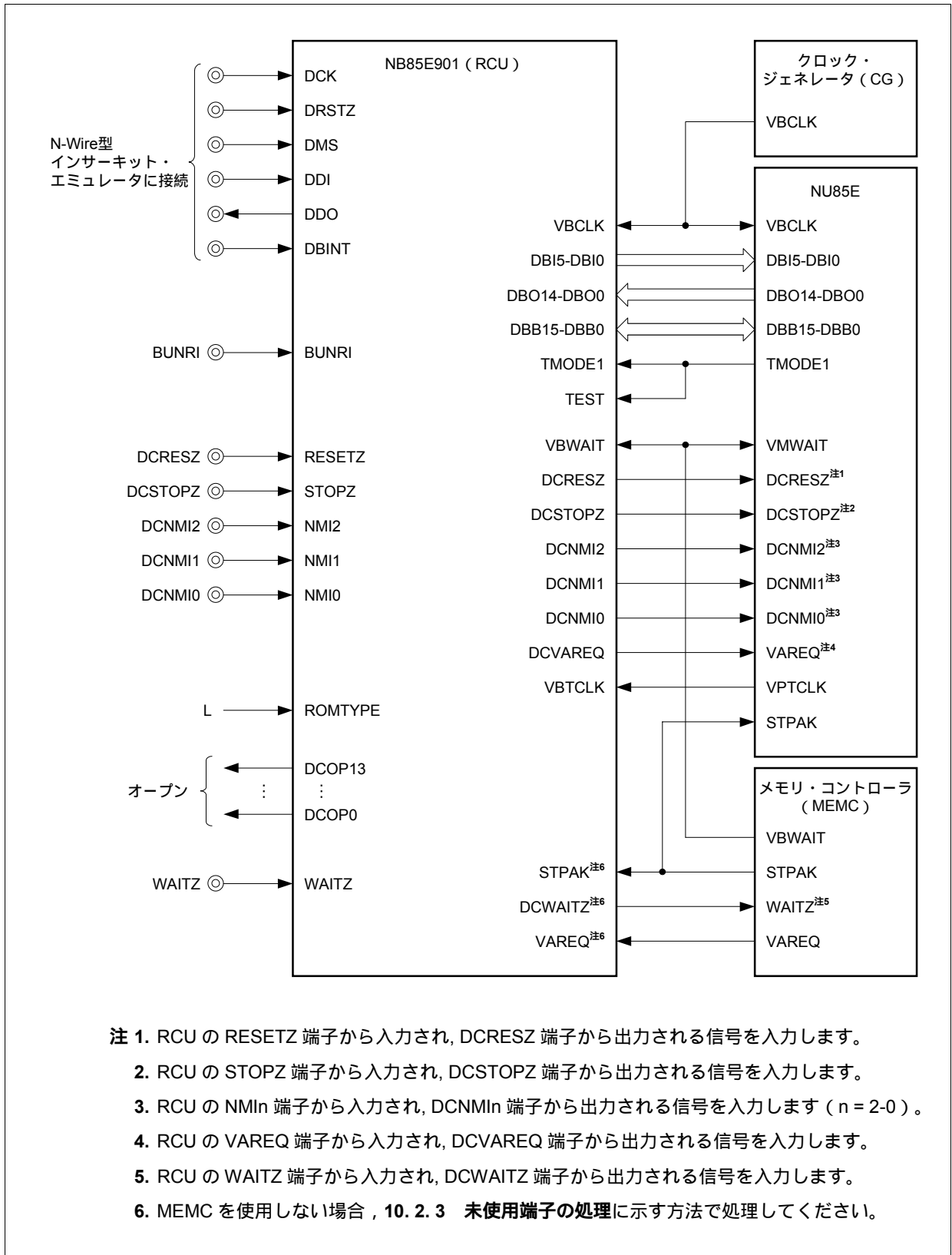
(9) マスク機能

外部入力信号（RESETZ, STOPZ, NMI2-NMI0, VAREQ, WAITZ）のマスクが可能です。

10.4 NU85E 接続例

図 10 - 1 に NB85E901 と NU85E の接続例を示します。

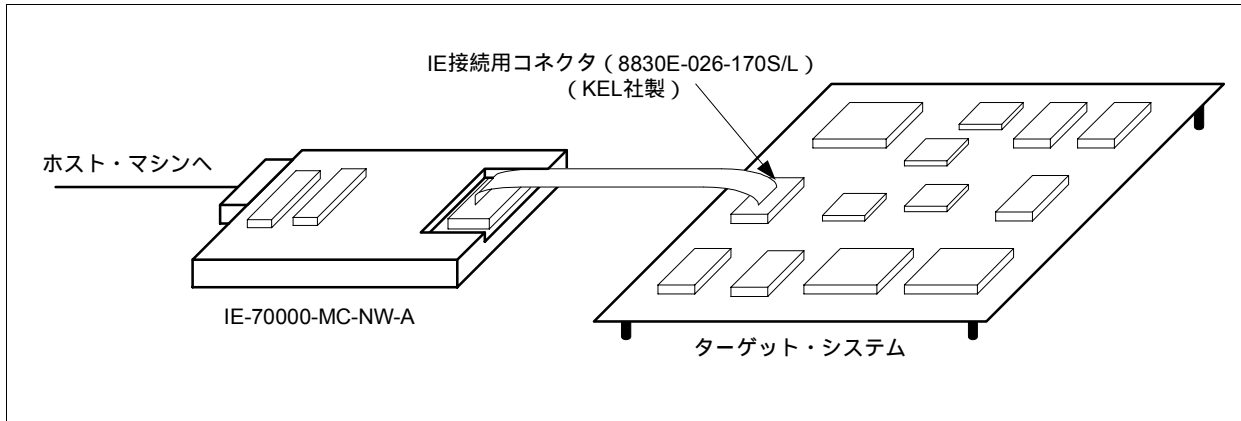
図10 - 1 NB85E901とNU85Eの接続例



10.5 N-Wire 型 IE の接続

N-Wire 型 IE (IE-70000-MC-NW-A) を接続するためには、ターゲット・システム上に IE 接続用コネクタと接続回路を実装する必要があります。

図10 - 2 N-Wire型IEの接続



10.5.1 IE 接続コネクタ (ターゲット・システム側)

図 10 - 3 に IE 接続コネクタ (ターゲット・システム側) のピン配置図を、表 10 - 2 にピン機能を示します。

備考 推奨コネクタは次のとおりです。

- 8830E-026-170S (KEL 社製) : 26 ピン・ストレート・タイプ
- 8830E-026-170L (KEL 社製) : 26 ピン・ライト・アングル・タイプ

図10 - 3 IE接続コネクタ (ターゲット・システム側) のピン配置図

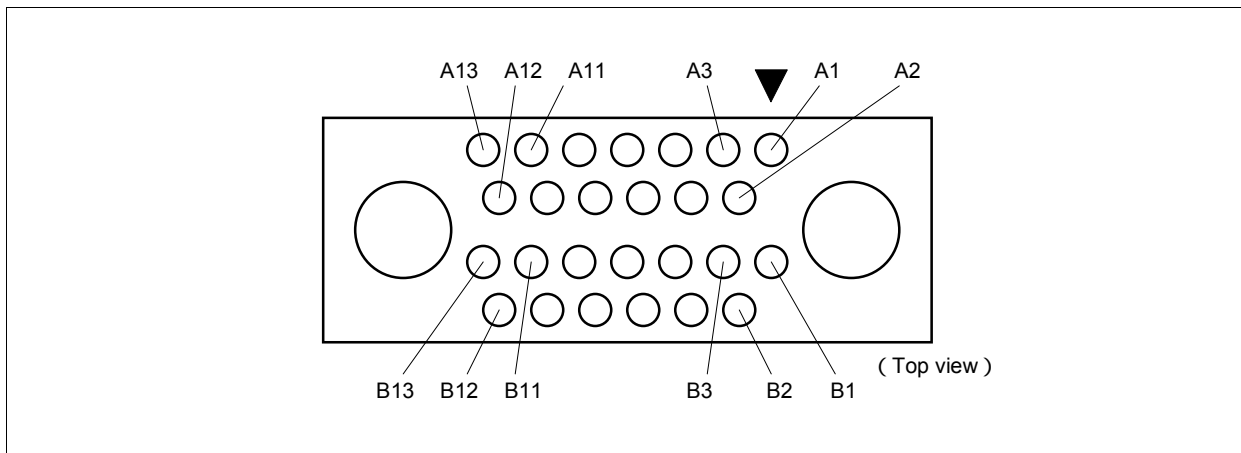


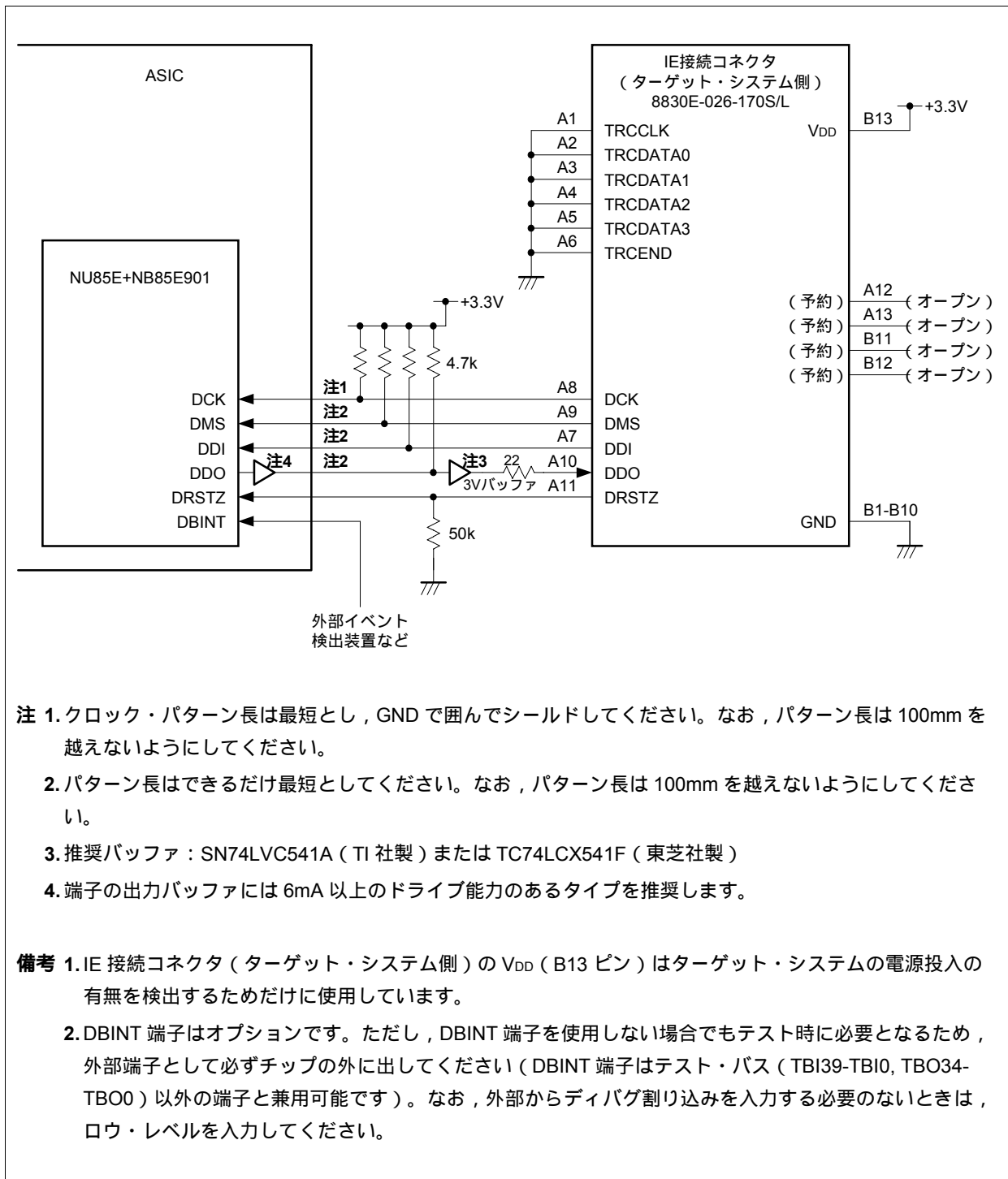
表10 - 2 IE接続コネクタ (ターゲット・システム側) ピン機能

| ピン番号 | 端子名 | 入出力 | 端子機能 |
|------|----------|-----|-----------------------------|
| A1 | TRCCLK | 入力 | トレース・クロック入力 |
| A2 | TRCDATA0 | 入力 | トレース・データ 0 入力 |
| A3 | TRCDATA1 | 入力 | トレース・データ 1 入力 |
| A4 | TRCDATA2 | 入力 | トレース・データ 2 入力 |
| A5 | TRCDATA3 | 入力 | トレース・データ 3 入力 |
| A6 | TRCEND | 入力 | トレース・データ・エンド入力 |
| A7 | DDI | 出力 | ディバグ・シリアル・インタフェース用データ出力 |
| A8 | DCK | 出力 | ディバグ・シリアル・インタフェース用クロック出力 |
| A9 | DMS | 出力 | ディバグ・シリアル・インタフェース用転送モード選択出力 |
| A10 | DDO | 入力 | ディバグ・シリアル・インタフェース用データ入力 |
| A11 | DRSTZ | 出力 | DCU リセット出力 |
| A12 | (予約) | - | (オープンにしてください) |
| A13 | (予約) | - | (オープンにしてください) |
| B1 | GND | - | - |
| B2 | GND | - | - |
| B3 | GND | - | - |
| B4 | GND | - | - |
| B5 | GND | - | - |
| B6 | GND | - | - |
| B7 | GND | - | - |
| B8 | GND | - | - |
| B9 | GND | - | - |
| B10 | GND | - | - |
| B11 | (予約) | - | (オープンにしてください) |
| B12 | (予約) | - | (オープンにしてください) |
| B13 | VDD | - | +3.3V 入力 (ターゲット電源投入監視用) |

10.5.2 NU85E に NB85E901 を接続した場合の推奨回路例

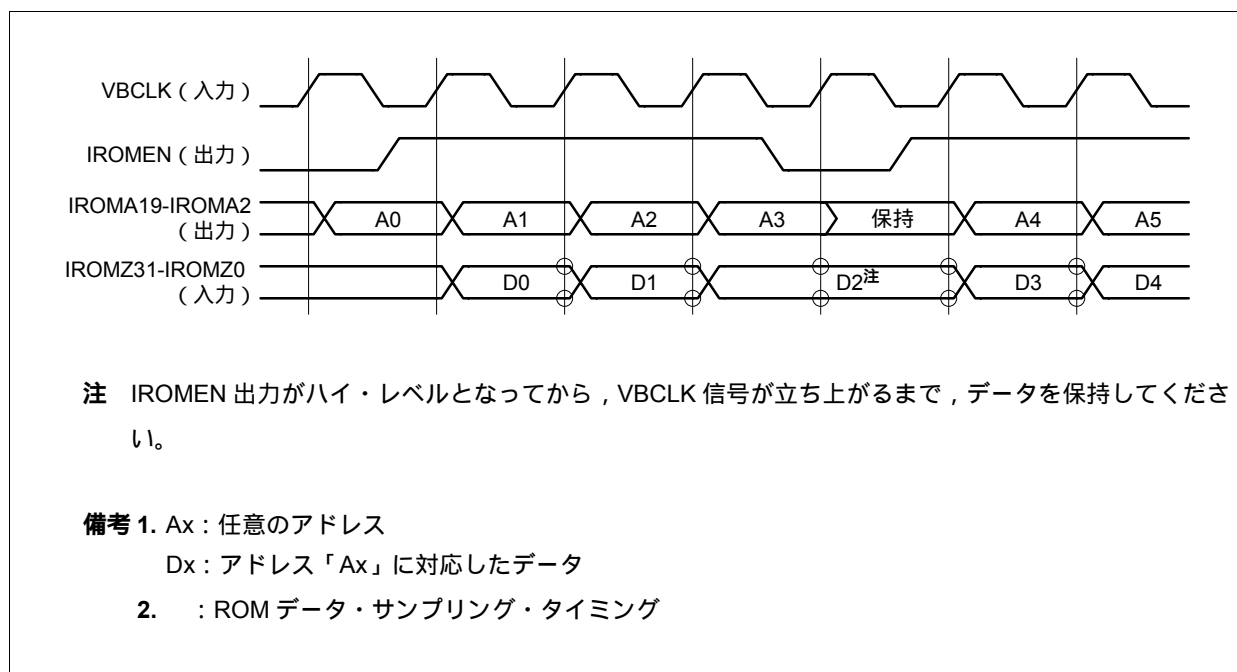
図 10 - 4 に IE 接続コネクタ部（ターゲット・システム側）の推奨回路例を示します。

図10 - 4 IE接続推奨回路例（NU85E + NB85E901）



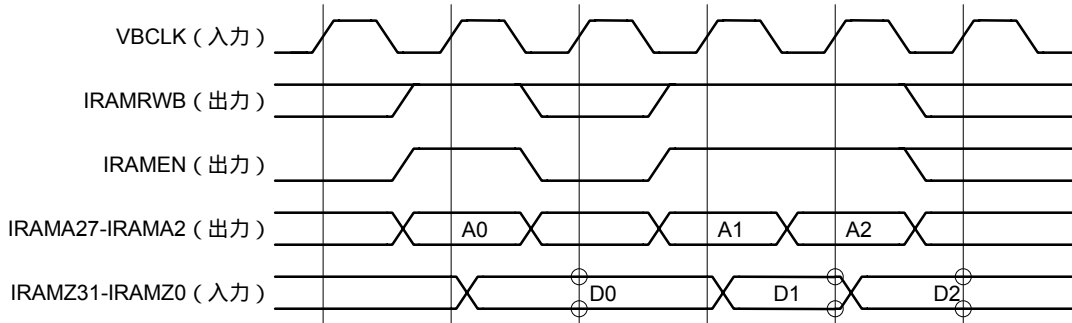
付録 A ROM/RAM アクセス・タイミング

図A - 1 ROMアクセス・タイミング



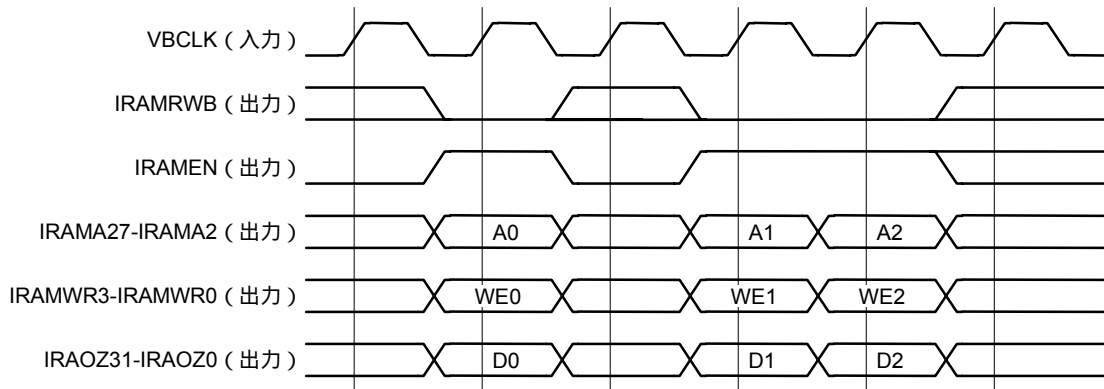
図A-2 RAMアクセス・タイミング

(a) リード・タイミング



- 備考 1. Ax : 任意のアドレス
 Dx : アドレス「Ax」に対応したデータ
2. : RAM データ・サンプリング・タイミング

(b) ライト・タイミング



- 備考 Ax : 任意のアドレス
 Dx : アドレス「Ax」に対応したデータ

付録 B 総合索引

B.1 50音で始まる語句の索引

【 あ 】

アドレス空間 ... 62

【 い 】

インサースビス・プライオリティ・レジスタ ... 228

【 う 】

ウエイト挿入機能 ... 128

【 え 】

エンディアン・コンフィギュレーション・レジスタ ... 92

エンディアン設定機能 ... 92

【 お 】

応用システム例 ... 21

オンチップ・デバッグ ... 78

【 か 】

外部メモリ ... 21

外部メモリ領域 ... 71

【 き 】

キャッシュ・コンフィギュレーション ... 95

キャッシュ・コンフィギュレーション・レジスタ ... 95

【 く 】

クロック制御 ... 149

【 こ 】

コマンド・レジスタ ... 144

【 し 】

システム・レジスタ ... 59

周辺 I/O 領域 ... 70

周辺 I/O 領域セレクト制御レジスタ ... 90, 126

周辺 I/O レジスタ ... 71

シングルステップ転送モード ... 173

シングル転送モード ... 171

シンボル図 ... 24

【 す 】

スタンバイ・テスト・モード ... 236

【 そ 】

ソフトウェア STOP モード ... 146

ソフトウェア例外 ... 230

【 た 】

端子機能 ... 28

端子状態 ... 52

単体テスト・モード ... 236

【 ち 】

チップ領域セレクト制御レジスタ 0 ... 82

チップ領域セレクト制御レジスタ 1 ... 83

- 【 て 】
- ディバグ機能 ... 247
 - データ領域 ... 64
 - テスト機能 ... 235
 - テスト・モード時の各端子の処理 ... 238
 - テスト・モード時の周辺マクロ接続例 ... 237
 - 転送対象 ... 156
- 【 な 】
- 内部ブロック図 ... 25
 - 内部ユニット ... 26
- 【 ね 】
- ネクスト・アドレス設定機能 ... 167
- 【 の 】
- ノーマル・モード ... 235
 - ノンマスカブル割り込み ... 214
- 【 は 】
- ハードウェア STOP モード ... 148
 - バス・サイズ・コンフィギュレーション・レジスタ ... 91
 - バス・サイズ設定機能 ... 91
 - パワー・セーブ機能 ... 140
 - パワー・セーブ・コントロール・レジスタ ... 141
 - 汎用レジスタ ... 57
- 【 ぶ 】
- 不正命令コード ... 232
 - フライバイ転送 ... 179
 - プログラマブル周辺 I/O 領域 ... 125
 - プログラマブル周辺 I/O 領域選択機能 ... 88
 - プログラマブル・チップ・セレクト機能 ... 82
 - プログラム・カウンタ ... 58
 - プログラム・ステータス・ワード ... 61
 - プログラム領域 ... 63
 - プログラム・レジスタ ... 57
- 【 ま 】
- マスカブル割り込み ... 219
 - マスカブル割り込みの優先順位 ... 222
- 【 み 】
- 未使用端子の処理 ... 50
- 【 め 】
- メモリ・バンク ... 79
- 【 ら 】
- ライン転送モード ... 174
- 【 り 】
- リトライ機能 ... 130
- 【 れ 】
- 例外トラップ ... 232
- 【 わ 】
- 割り込み応答時間 ... 234
 - 割り込みが受け付けられない期間 ... 234
 - 割り込み制御レジスタ 0-63 ... 226
 - 割り込みマスク・レジスタ 0-3 ... 227
 - 割り込み要因レジスタ ... 60
 - 割り込み / 例外一覧 ... 211
 - 割り込み / 例外テーブル ... 66
- ブロック転送モード ... 176

B.2 アルファベットで始まる語句の索引

【 B 】

BBR ... 123
 BC15-BC0 ... 161
 BCU ... 79
 BCUNCH ... 42
 BCU 関連レジスタ設定例 ... 96
 BEC ... 92
 BEn0 ... 92
 BHC ... 95
 BHn0 ... 95
 BHn1 ... 95
 BPC ... 90, 126
 BSC ... 91
 BSn1, BSn0 ... 91
 BUNRI ... 48
 BUNRIOUT ... 48

【 C 】

CGREL ... 38
 CH3-CH0 ... 165
 CPU ... 55
 CSC0 ... 82
 CSC1 ... 83
 CSn3-CSn0 ... 82, 83
 CTBP ... 59
 CTPC ... 59
 CTPSW ... 59
 CY ... 61

【 D 】

DA15-DA0 ... 160
 DA27-DA16 ... 159
 DAD1, DAD0 ... 163
 DADC0-DADC3 ... 162
 DBB15-DBB0 ... 45
 DBC0-DBC3 ... 161
 DBI5-DBI0 ... 44
 DBO14-DBO0 ... 44

DBPC ... 59
 DBPSW ... 59
 DCHC0-DCHC3 ... 164
 DCNMI2-DCNMI0 ... 40
 DCRESZ ... 37
 DCSTOPZ ... 39
 DDA0-DDA3 ... 159
 DDIS ... 165
 DMAC ... 154
 DMACTV3-DMACTV0 ... 39
 DMAC パス・サイクルの状態遷移 ... 170
 DMARQ3-DMARQ0 ... 39
 DMA アドレッシング・コントロール・レジスタ 0-3 ... 162
 DMA ソース・アドレス・レジスタ 0-3 ... 157
 DMA チャンネル・コントロール・レジスタ 0-3 ... 164
 DMA チャンネルの優先順位 ... 156
 DMA ディスエーブル・ステータス・レジスタ ... 165
 DMA デスティネーション・アドレス・レジスタ 0-3 ... 159
 DMA 転送カウント・レジスタ 0-3 ... 161
 DMA 転送完了時のターミナル・カウント出力 ... 181
 DMA 転送起動要因 ... 180
 DMA 転送タイミング例 ... 184
 DMA パス・ステート ... 168
 DMA リスタート・レジスタ ... 166
 DMTCO3-DMTCO0 ... 39
 DRST ... 166
 DS1, DS0 ... 162
 DSA0-DSA3 ... 157

【 E 】

ECR ... 59, 60
 EICC ... 60
 EIPC ... 59
 EIPSW ... 59
 EN3-EN0 ... 166
 ENn ... 165
 EP ... 61
 EVAD15-EVAD0 ... 45
 EVASTB ... 45
 EVCLRIP ... 45

- IROMWT ... 40
 IROMZ31-IROMZ0 ... 40
 IRRSA ... 43
 ISPR ... 228
 ISPR7-ISPR0 ... 228
- 【 M 】
- MLEn ... 164
- 【 N 】
- NB85E901 ... 240
 NB85E901 と NU85E の接続例 ... 248
 NMI ... 214
 NMI0M ... 142
 NMI1M ... 142
 NMI2M ... 142
 NP ... 61
 NPB ... 20
 NPB ストローブ・ウェイト・コントロール・レジスタ ... 128
 N-Wire 型 IE の接続 ... 249
- 【 O 】
- OV ... 61
- 【 P 】
- PA13-PA00 ... 90, 126
 PA15 ... 90, 126
 PC ... 57, 58
 PHEVA ... 48
 PHTDIN1, PHTDIN0 ... 49
 PHTDO1, PHTDO0 ... 48
 PHTEST ... 49
 PIC0-PIC63 ... 226
 PIFn ... 226
 PMKn ... 226, 227
 PPRn2-PPRn0 ... 226
 PRCMD ... 144
 PSC ... 141
 PSW ... 59, 61
- 【 R 】
- r0-r31 ... 57
 RAM ... 21
 RAM 領域 ... 68
 RCU インタフェース ... 78
 REG7-REG0 ... 144
 ROM ... 21
 ROM/RAM アクセス・タイミング ... 252
 ROM 領域 ... 66
 ROM リロケーション機能 ... 66
- 【 S 】
- S ... 61
 SA15-SA0 ... 158
 SA27-SA16 ... 157
 SAD1, SAD0 ... 163
 SAT ... 61
 STBC ... 140
 STGn ... 164
 STP ... 142
 STPAK ... 39
 STPRQ ... 39
 SUWL2-SUWL0 ... 128
 SWSTOPRQ ... 38
- 【 T 】
- T0 ステート ... 168
 T1FHI ステート ... 169
 T1FH ステート ... 169
 T1RI ステート ... 168
 T1R ステート ... 168
 T1WI ステート ... 168
 T1W ステート ... 168
 T2FH ステート ... 169
 T2RI ステート ... 168
 T2R ステート ... 168
 T2W ステート ... 168
 TBI39-TBI0 ... 48
 TBO34-TBO0 ... 48
 TBREDZ ... 49

TCn ... 164
 TDIR ... 163
 TESEN ... 48
 TEST ... 48
 TE ステート ... 169
 TI ステート ... 168
 TM1, TM0 ... 163
 TMODE0 ... 49
 TMODE1 ... 49
 TTYP ... 163

【 V 】

VAACK ... 33
 VAPREQ ... 33
 VAREQ ... 33
 VBCLK ... 38
 VBDC ... 37
 VBDI31-VBDI0 ... 33
 VBDO31-VBDO0 ... 33
 VBDV ... 37
 VDB ... 21
 VDCSZ7-VDCSZ0 ... 37
 VDSELPZ ... 37
 VFB ... 21
 VMA27-VMA0 ... 33
 VMAHLD ... 36
 VMBENZ3-VMBENZ0 ... 34
 VMBSTR ... 36
 VMCTYP2-VMCTYP0 ... 35
 VMLAST ... 36
 VMLOCK ... 34
 VMSEQ2-VMSEQ0 ... 35
 VMSIZE1, VMSIZE0 ... 34
 VMSTZ ... 34
 VMTTYP1, VMTTYP0 ... 33
 VMWAIT ... 36
 VMWRITE ... 34
 VPA13-VPA0 ... 32
 VPDACT ... 32
 VPDI15-VPDI0 ... 32
 VPDO15-VPDO0 ... 32
 VPDV ... 33

VPLOCK ... 32
 VPRESZ ... 49
 VPRETR ... 32
 VPSTB ... 32
 VPTCLK ... 49
 VPUBENZ ... 32
 VPWRITE ... 32
 VSA13-VSA0 ... 33
 VSAHLD ... 36
 VSB ... 20
 VSBENZ1 ... 34
 VSB によるデータ転送 ... 99
 VSLAST ... 36
 VSLOCK ... 34
 VSSELPZ ... 37
 VSSTZ ... 34
 VSWAIT ... 36
 VSWC ... 128
 VSWL2-VSWL0 ... 129
 VSWRITE ... 34

【 Z 】

Z ... 61

【 その他 】

2 サイクル転送 ... 178

付録 C 改版履歴

前版（第 2 版）で改訂された主な箇所を次に示します。なお、「箇所」欄に示すページは、前版でのページを示しています。

(1) 第 1 版 第 2 版

(1/2)

| 箇所 | 内容 |
|---|--|
| p.32 | 2. 2. 1 (4) VPWRITE 修正 |
| p.33 | 2. 2. 1 (10) VPDV 修正 |
| p.38 | 2. 2. 4 (1) IDMASTP 修正 |
| p.39 | 2. 2. 7 (1) IRAMA27-IRAMA2 修正 |
| p.48 | 2. 2. 13 (12) TMODE1 修正 |
| p.50 | 2. 3 未使用端子の処理 修正 |
| p.69 | 図 3 - 11 周辺 I/O 領域 修正 |
| p.100 | 表 4 - 3 VMBENZ3-VMBENZ0 信号 修正 |
| p.108 | 図 4 - 14 (f) 16 ビット・バス (4 ワード・シーケンシャル転送, データ・アクセス) 修正 |
| p.118 | 4. 9. 6 バス・マスタ移行タイミング バスの優先順位を追加 |
| p.128 | 表 5 - 1 各動作周波数におけるセットアップ・ウエイト幅, VPSTB ウエイト幅の設定値 修正 |
| p.134 | 図 5 - 14 (b) NPB 周辺マクロ (プログラマブル周辺 I/O 領域) へのハーフワード・データ・ライト・タイミング例 修正 |
| p.137 | 図 5 - 15 NPB ライト・タイミング (CSC0, CSC1 レジスタへのデータ・ライト・タイミング例) 修正 |
| p.140 | 6. 2. 1 パワー・セーブ・コントロール・レジスタ (PSC) 注意 2 を追加 |
| p.144 | 6. 4 (2) (a) 割り込み要求による解除 修正 |
| p.146 | 6. 5 (1) 設定と動作状態 備考を追加 |
| p.151 | 図 6 - 6 ハードウェア STOP モード設定 / 解除タイミング例 修正 |
| p.173 | 7. 8. 4 ブロック転送モード 修正 |
| p.175 | 7. 9. 2 フライバイ転送 修正 |
| p.180,182, 184, 186, 188, 190, 192, 194, 196, 198, 200, 202 | 図 7 - 27 ~ 図 7 - 38 VMSEQ2-VMSEQ0, VMSIZE1, VMSIZE0 のタイミングを修正 |
| p.229 | 8. 7 割り込みが受け付けられない期間 修正 |
| p.231 | 9. 1. 2 (2) (a) 単体テスト・モード 注意を追加 |
| p.231 | 9. 1. 3 BUNRIOUT 端子 修正 |

| 箇所 | 内容 |
|-------|-----------------------------------|
| p.232 | 図 9 - 1 周辺マクロ接続例 修正 |
| p.233 | 9.4(2) テスト・モード用端子 修正 |
| p.239 | 10.2.2(5)(b) TEST 修正 |
| p.243 | 図 10 - 1 NB85E901 と NU85E の接続例 修正 |

— お問い合わせ先 —

【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494
FAX : 044-435-9608
E-mail : info@lsi.nec.co.jp

【営業関係お問い合わせ先】

第一販売事業部

東京 (03)3798-6106, 6107,
6108
大阪 (06)6945-3178, 3200,
3208, 3212
広島 (082)242-5504
仙台 (022)267-8740
郡山 (024)923-5591
千葉 (043)238-8116

第二販売事業部

東京 (03)3798-6110, 6111,
6112
立川 (042)526-5981, 6167
松本 (0263)35-1662
静岡 (054)254-4794
金沢 (076)232-7303
松山 (089)945-4149

第三販売事業部

東京 (03)3798-6151, 6155, 6586,
1622, 1623, 6156
水戸 (029)226-1702
前橋 (027)243-6060
鳥取 (0857)27-5313
太田 (0276)46-4014
名古屋 (052)222-2170, 2190
福岡 (092)261-2806

【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] NU85E ユーザーズ・マニュアル(暫定) ハードウェア編
(A14874JJ3V0UM00 (第3版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ()
ご住所 ()
お電話番号 ()
お仕事の内容 ()
お名前 ()

1. ご評価(各欄に をご記入ください)

| 項 目 | 大変良い | 良 い | 普 通 | 悪 い | 大変悪い |
|---------------|------|-----|-----|-----|------|
| 全体の構成 | | | | | |
| 説明内容 | | | | | |
| 用語解説 | | | | | |
| 調べやすさ | | | | | |
| デザイン, 字の大きさなど | | | | | |
| その他() | | | | | |
| () | | | | | |

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他)

理由 []

4. ご意見, ご要望

5. このドキュメントをお届けしたのは

NEC販売員, 特約店販売員,
その他()

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しく下さい。

日本電気(株) NECエレクトロニクス
半導体テクニカルホットライン

FAX : (044) 435-9608

2000.6