

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M32C/80グループ

ハードウェアマニュアル

ルネサス16/32ビットシングルチップマイクロコンピュータ
M16Cファミリ / M32C/80シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりましては、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

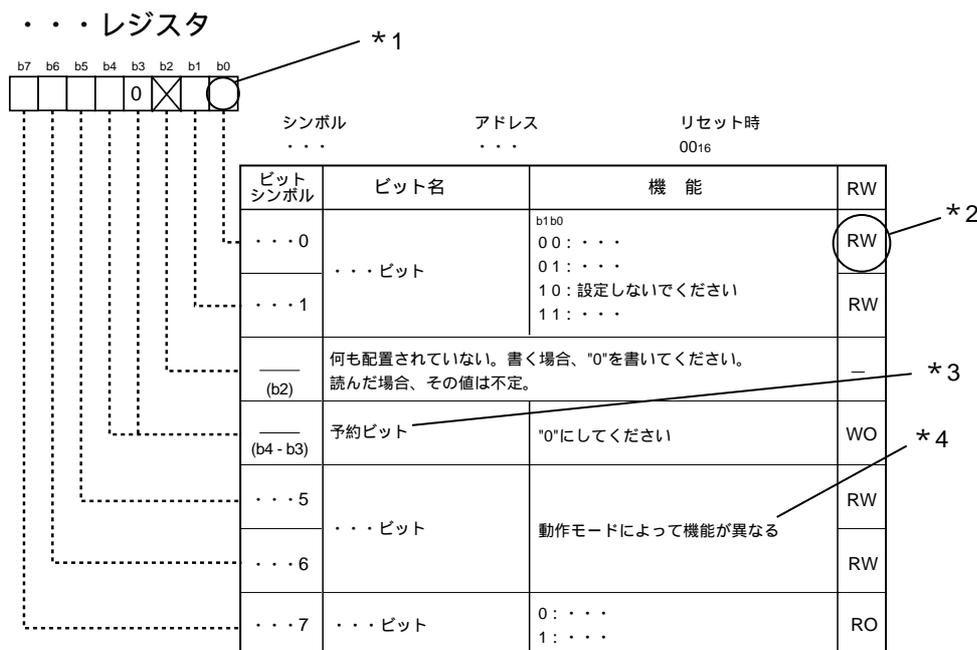
1. 対象

このマニュアルはM32C/80グループのハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2. レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



*1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- x : 何も配置されていないビットです。

*2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

*3

・予約ビット

予約ビットです。指定された値にしてください。

*4

・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

・設定しないでください

設定した場合の動作は保証されません。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。(注1)

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令(アセンブリ言語)の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

目次

番地別ページ早見表	B - 1
1. 概要	1
2. 中央演算処理装置	12
3. メモリ	15
4. SFR	16
5. リセット	30
5.1 ハードウェアリセット1	30
5.1.1 電源安定時	30
5.1.2 電源投入時	30
5.2 ソフトウェアリセット	33
5.3 ウォッチドッグタイマリセット	33
5.4 内部領域の状態	33
6. プロセッサモード	34
6.1 プロセッサモードの種類	34
6.2 プロセッサモードの設定	35
7. バス	39
7.1 バス設定	39
7.1.1 外部アドレスバスの選択	40
7.1.2 外部データバスの選択	40
7.1.3 セパレートバス、マルチプレクスバスの選択	40
7.2 バス制御	42
7.2.1 アドレスバス、データバス	42
7.2.2 チップセレクト信号	42
7.2.3 リード、ライト信号	44
7.2.4 バスタイミング	45
7.2.5 ALE信号	53
7.2.6 RDY信号	53
7.2.7 HOLD信号	54
7.2.8 内部領域をアクセスしたときの外部バスの状態	55
7.2.9 BCLK出力	55

8. クロック発生回路	56
8.1 クロック発生回路の種類	56
8.1.1 メインクロック	64
8.1.2 サブクロック	65
8.1.3 オンチップオシレータクロック	66
8.1.4 PLLクロック	67
8.2 CPUクロックとBCLK	69
8.3 周辺機能クロック	69
8.3.1 f1、f8、f32、f2n	69
8.3.2 fAD	70
8.3.3 fC32	70
8.4 クロック出力機能	70
8.5 パワーコントロール	71
8.5.1 通常動作モード	71
8.5.2 ウェイトモード	72
8.5.3 ストップモード	74
8.6 システムクロック保護機能	78
9. プロテクト	79
10. 割り込み	80
10.1 割り込みの分類	80
10.2 ソフトウェア割り込み	80
10.2.1 未定義命令割り込み	80
10.2.2 オーバフロー割り込み	80
10.2.3 BRK割り込み	80
10.2.4 BRK2割り込み	81
10.2.5 INT命令割り込み	81
10.3 ハードウェア割り込み	81
10.3.1 特殊割り込み	81
10.3.2 周辺機能割り込み	82
10.4 高速割り込み	82
10.5 割り込みと割り込みベクタ	82
10.5.1 固定ベクタテーブル	83
10.5.2 可変ベクタテーブル	83
10.6 割り込み要求の受け付け	86

10.6.1	IフラグとIPL	86
10.6.2	割り込み制御レジスタとRLVLレジスタ	86
10.6.3	割り込みシーケンス	90
10.6.4	割り込み応答時間	90
10.6.5	割り込み要求受け付け時のIPLの変化	91
10.6.6	レジスタ退避	92
10.6.7	割り込みルーチンからの復帰	92
10.6.8	割り込み優先順位	93
10.6.9	割り込み優先レベル判定回路	93
10.7	$\overline{\text{INT}}$ 割り込み	95
10.8	$\overline{\text{NMI}}$ 割り込み	96
10.9	キー入力割り込み	96
10.10	アドレス一致割り込み	97
10.11	インテリジェントI/O割り込み	98
11.	ウォッチドッグタイマ	101
11.1	カウントソース保護モード	104
12.	DMAC	105
12.1	転送サイクル	112
12.1.1	転送元番地と転送先番地の影響	112
12.1.2	DSレジスタの影響	112
12.1.3	ソフトウェアウエイトの影響	112
12.1.4	$\overline{\text{RDY}}$ 信号の影響	112
12.2	DMACの転送サイクル数	114
12.3	チャンネル優先順位とDMA転送タイミング	114
13.	DMAC II	116
13.1	DMAC II の設定	116
13.1.1	RLVLレジスタ	116
13.1.2	DMAC II インデックス	118
13.1.3	周辺機能の割り込み制御レジスタ	120
13.1.4	周辺機能の変ベクタテーブル	120
13.1.5	IIOiEレジスタ(i=0~4)のIRLTビット	120
13.2	DMAC II の動作	120

13.3	転送データ	120
13.3.1	メモリ間転送	120
13.3.2	即値転送	121
13.3.3	演算転送	121
13.4	転送方式	121
13.4.1	単転送	121
13.4.2	バースト転送	121
13.5	複数転送	121
13.6	チェーン転送	122
13.7	転送完了割り込み	122
13.8	実行時間	123
14.	タイマ	124
14.1	タイマA	126
14.1.1	タイマモード	132
14.1.2	イベントカウンタモード	134
14.1.3	ワンショットタイマモード	138
14.1.4	パルス幅変調モード	140
14.2	タイマB	143
14.2.1	タイマモード	146
14.2.2	イベントカウンタモード	147
14.2.3	パルス周期測定モード、パルス幅測定モード	149
15.	三相モータ制御用タイマ機能	152
16.	シリアルI/O	162
16.1	クロック同期形シリアルI/Oモード	172
16.1.1	CLK極性選択	176
16.1.2	LSBファースト、MSBファースト選択	176
16.1.3	連続受信モード	177
16.1.4	シリアルデータ論理切り替え	177
16.2	クロック非同期形シリアルI/O(UART)モード	178
16.2.1	転送速度	182
16.2.2	LSBファースト、MSBファースト選択	183
16.2.3	シリアルデータ論理切り替え	183
16.2.4	TXD、RXD入出力極性切り替え	184
16.3	特殊モード1(I ² Cモード)	185

16.3.1	スタートコンディション、ストップコンディションの検出	190
16.3.2	スタートコンディション、ストップコンディションの出力	191
16.3.3	アービトレーション	192
16.3.4	転送クロック	192
16.3.5	SDA出力	192
16.3.6	SDA入力	193
16.3.7	ACK、NACK	193
16.3.8	送受信初期化	193
16.4	特殊モード2	194
16.4.1	$\overline{\text{SSi}}$ 入力端子機能(i=0~4)	197
16.4.2	クロック位相設定機能	198
16.5	特殊モード3(GCIモード)	200
16.6	特殊モード4(IEモード)	204
16.7	特殊モード5(SIMモード)	208
16.7.1	パリティエラー信号	212
16.7.2	フォーマット	213
17.	A/Dコンバータ	214
17.1	モードの説明	222
17.1.1	単発モード	222
17.1.2	繰り返しモード	223
17.1.3	単掃引モード	223
17.1.4	繰り返し掃引モード0	224
17.1.5	繰り返し掃引モード1	224
17.2	機能	225
17.2.1	分解能選択機能	225
17.2.2	サンプル&ホールド	225
17.2.3	トリガ選択機能	225
17.2.4	DMAC利用モード	225
17.2.5	拡張アナログ入力端子	225
17.2.6	外部オペアンプ接続モード	226
17.2.7	消費電流低減機能	226
17.2.8	A/D変換時のセンサーの出力インピーダンス	227
18.	D/Aコンバータ	228
19.	CRC演算	231

20.	X/Y変換	233
21.	インテリジェントI/O	236
21.1	通信部0、1通信機能	238
21.1.1	クロック同期形シリアルI/Oモード(通信部0,1)	248
21.1.2	HDLCデータ処理モード(通信部0、1)	252
22.	プログラマブル入出力ポート	255
22.1	ポートPi方向レジスタ(PDiレジスタ、i = 0 ~ 10)	255
22.2	ポートPiレジスタ(Piレジスタ、i = 0 ~ 10)	255
22.3	機能選択レジスタAj (PSjレジスタ、j = 0 ~ 3)	255
22.4	機能選択レジスタB0 ~ B3 (PSL0 ~ PSL3レジスタ)	256
22.5	機能選択レジスタC(PSC、PSC3レジスタ)	256
22.6	機能選択レジスタD(PSD1レジスタ)	256
22.7	プルアップ制御レジスタ0 ~ 3(PUR0 ~ PUR3レジスタ)	256
22.8	ポート制御レジスタ(PCRレジスタ)	256
22.9	アナログ入力と他の周辺機能入力	257
23.	電気的特性	276
24.	使用上の注意事項	302
24.1	リセット	302
24.2	バス	303
24.2.1	HOLD信号	303
24.3	SFR	304
24.3.1	レジスタ設定時の注意事項	304
24.4	クロック発生回路	305
24.4.1	CPUクロック	305
24.4.2	サブクロック	305
24.4.3	PLL周波数シンセサイザ	306
24.4.4	外部クロック	306
24.4.5	クロック分周比	306
24.4.6	パワーコントロール	306
24.5	プロテクト	309
24.6	割り込み	310
24.6.1	ISPの設定	310

24.6.2	$\overline{\text{NMI}}$ 割り込み	310
24.6.3	$\overline{\text{INT}}$ 割り込み	310
24.6.4	ウォッチドッグタイマ割り込み	311
24.6.5	割り込み制御レジスタの変更	311
24.6.6	IIOiIRレジスタの変更 (i=0 ~ 4)	311
24.6.7	RLVLレジスタの変更	311
24.7	DMAC	312
24.8	タイマ	313
24.8.1	タイマA、タイマB共通	313
24.8.2	タイマA	313
24.8.3	タイマB	315
24.9	シリアルI/O	316
24.9.1	クロック同期形シリアルI/Oモード	316
24.9.2	UARTモード	317
24.9.3	特殊モード1(I ² Cモード)	317
24.10	A/Dコンバータ	318
24.11	インテリジェントI/O	320
24.11.1	レジスタの設定	320
24.12	プログラマブル入出力ポート	321
24.13	ノイズに関する注意事項	322
付録1．外形寸法図		323
レジスタ索引		324

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ
0000 ₁₆			0030 ₁₆		
0001 ₁₆			0031 ₁₆		
0002 ₁₆			0032 ₁₆		
0003 ₁₆			0033 ₁₆		
0004 ₁₆	プロセッサモードレジスタ0 (PM0)	36	0034 ₁₆		
0005 ₁₆	プロセッサモードレジスタ1 (PM1)	37	0035 ₁₆		
0006 ₁₆	システムクロック制御レジスタ0 (CM0)	58	0036 ₁₆		
0007 ₁₆	システムクロック制御レジスタ1 (CM1)	59	0037 ₁₆		
0008 ₁₆			0038 ₁₆		
0009 ₁₆	アドレス一致割り込み許可レジスタ (AIER)	97	0039 ₁₆	アドレス一致割り込みレジスタ6 (RMAD6)	97
000A ₁₆	プロテクトレジスタ (PRCR)	79	003A ₁₆		
000B ₁₆	外部データバス幅制御レジスタ (DS)	39	003B ₁₆		
000C ₁₆	メインクロック分周レジスタ (MCD)	59	003C ₁₆		
000D ₁₆	発振停止検出レジスタ (CM2)	60	003D ₁₆	アドレス一致割り込みレジスタ7 (RMAD7)	97
000E ₁₆	ウォッチドッグタイマスタートレジスタ (WDTS)	102	003E ₁₆		
000F ₁₆	ウォッチドッグタイマ制御レジスタ (WDC)		003F ₁₆		
0010 ₁₆			0040 ₁₆		
0011 ₁₆	アドレス一致割り込みレジスタ0 (RMAD0)	97	0041 ₁₆		
0012 ₁₆			0042 ₁₆		
0013 ₁₆	プロセッサモードレジスタ2 (PM2)	63	0043 ₁₆		
0014 ₁₆			0044 ₁₆		
0015 ₁₆	アドレス一致割り込みレジスタ1 (RMAD1)	97	0045 ₁₆		
0016 ₁₆			0046 ₁₆		
0017 ₁₆			0047 ₁₆		
0018 ₁₆			0048 ₁₆	外部領域ウェイト制御レジスタ0 (EWCR0)	45
0019 ₁₆	アドレス一致割り込みレジスタ2 (RMAD2)	97	0049 ₁₆	外部領域ウェイト制御レジスタ1 (EWCR1)	
001A ₁₆			004A ₁₆	外部領域ウェイト制御レジスタ2 (EWCR2)	
001B ₁₆			004B ₁₆	外部領域ウェイト制御レジスタ3 (EWCR3)	
001C ₁₆			004C ₁₆		
001D ₁₆	アドレス一致割り込みレジスタ3 (RMAD3)	97	004D ₁₆		
001E ₁₆			004E ₁₆		
001F ₁₆			004F ₁₆		
0020 ₁₆			0050 ₁₆		
0021 ₁₆			0051 ₁₆		
0022 ₁₆			0052 ₁₆		
0023 ₁₆			0053 ₁₆		
0024 ₁₆			0054 ₁₆		
0025 ₁₆			0055 ₁₆		
0026 ₁₆	PLL制御レジスタ0 (PLC0)	62	0056 ₁₆		
0027 ₁₆	PLL制御レジスタ1 (PLC1)	62	0057 ₁₆		
0028 ₁₆			0058 ₁₆		
0029 ₁₆	アドレス一致割り込みレジスタ4 (RMAD4)	97	0059 ₁₆		
002A ₁₆			005A ₁₆		
002B ₁₆			005B ₁₆		
002C ₁₆			005C ₁₆		
002D ₁₆	アドレス一致割り込みレジスタ5 (RMAD5)	97	005D ₁₆		
002E ₁₆			005E ₁₆		
002F ₁₆			005F ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	番地	レジスタ	掲載ページ	
0060 ₁₆			0090 ₁₆	UART0送信/NACK割り込み制御レジスタ (S0TIC)	87	
0061 ₁₆			0091 ₁₆	UART1バス衝突検出割り込み制御レジスタ (BCN11C)/ UART4バス衝突検出割り込み制御レジスタ (BCN41C)		
0062 ₁₆			0092 ₁₆	UART1送信/NACK割り込み制御レジスタ (S1TIC)		
0063 ₁₆			0093 ₁₆	キー入力割り込み制御レジスタ (KUPIC)		
0064 ₁₆			0094 ₁₆	タイマB0割り込み制御レジスタ (TB0IC)		
0065 ₁₆			0095 ₁₆	インテリジェントI/O割り込み制御レジスタ1 (IIO11C)		
0066 ₁₆			0096 ₁₆	タイマB2割り込み制御レジスタ (TB2IC)		
0067 ₁₆			0097 ₁₆	インテリジェントI/O割り込み制御レジスタ3 (IIO31C)		
0068 ₁₆	DMA0割り込み制御レジスタ (DM0IC)	87	0098 ₁₆	タイマB4割り込み制御レジスタ (TB4IC)	88	
0069 ₁₆	タイマB5割り込み制御レジスタ (TB5IC)		0099 ₁₆			
006A ₁₆	DMA2割り込み制御レジスタ (DM2IC)		009A ₁₆	INT4割り込み制御レジスタ (INT4IC)		
006B ₁₆	UART2受信/ACK割り込み制御レジスタ (S2RIC)		009B ₁₆			
006C ₁₆	タイマA0割り込み制御レジスタ (TA0IC)		009C ₁₆	INT2割り込み制御レジスタ (INT2IC)		
006D ₁₆	UART3受信/ACK割り込み制御レジスタ (S3RIC)		009D ₁₆			
006E ₁₆	タイマA2割り込み制御レジスタ (TA2IC)		009E ₁₆	INT0割り込み制御レジスタ (INT0IC)		
006F ₁₆	UART4受信/ACK割り込み制御レジスタ (S4RIC)		009F ₁₆	復帰用優先順位レジスタ (RLVL)		
0070 ₁₆	タイマA4割り込み制御レジスタ (TA4IC)		00A0 ₁₆	割り込み要求レジスタ0 (IIO01R)		99
0071 ₁₆	UART0バス衝突検出割り込み制御レジスタ (BCN01C)/ UART3バス衝突検出割り込み制御レジスタ (BCN31C)		00A1 ₁₆	割り込み要求レジスタ1 (IIO11R)		
0072 ₁₆	UART0受信/ACK割り込み制御レジスタ (S0RIC)		00A2 ₁₆	割り込み要求レジスタ2 (IIO21R)		
0073 ₁₆	A/D0変換割り込み制御レジスタ (AD0IC)		00A3 ₁₆	割り込み要求レジスタ3 (IIO31R)		
0074 ₁₆	UART1受信/ACK割り込み制御レジスタ (S1RIC)		00A4 ₁₆	割り込み要求レジスタ4 (IIO41R)		
0075 ₁₆	インテリジェントI/O割り込み制御レジスタ0 (IIO01C)		00A5 ₁₆			100
0076 ₁₆	タイマB1割り込み制御レジスタ (TB11C)		00A6 ₁₆			
0077 ₁₆	インテリジェントI/O割り込み制御レジスタ2 (IIO21C)	00A7 ₁₆				
0078 ₁₆	タイマB3割り込み制御レジスタ (TB31C)	00A8 ₁₆				
0079 ₁₆	インテリジェントI/O割り込み制御レジスタ4 (IIO41C)	00A9 ₁₆				
007A ₁₆	INT5割り込み制御レジスタ (INT51C)	00AA ₁₆				
007B ₁₆		00AB ₁₆				
007C ₁₆	INT3割り込み制御レジスタ (INT31C)	00AC ₁₆				
007D ₁₆		00AD ₁₆				
007E ₁₆	INT1割り込み制御レジスタ (INT11C)	00AE ₁₆				
007F ₁₆		00AF ₁₆				
0080 ₁₆		00B0 ₁₆	割り込み許可レジスタ0 (IIO01E)			
0081 ₁₆		00B1 ₁₆	割り込み許可レジスタ1 (IIO11E)			
0082 ₁₆		00B2 ₁₆	割り込み許可レジスタ2 (IIO21E)			
0083 ₁₆		00B3 ₁₆	割り込み許可レジスタ3 (IIO31E)			
0084 ₁₆		00B4 ₁₆	割り込み許可レジスタ4 (IIO41E)			
0085 ₁₆		00B5 ₁₆				
0086 ₁₆		00B6 ₁₆				
0087 ₁₆		00B7 ₁₆				
0088 ₁₆	DMA1割り込み制御レジスタ (DM11C)	00B8 ₁₆				
0089 ₁₆	UART2送信/NACK割り込み制御レジスタ (S2TIC)	00B9 ₁₆				
008A ₁₆	DMA3割り込み制御レジスタ (DM31C)	00BA ₁₆				
008B ₁₆	UART3送信/NACK割り込み制御レジスタ (S3TIC)	00BB ₁₆				
008C ₁₆	タイマA1割り込み制御レジスタ (TA11C)	00BC ₁₆				
008D ₁₆	UART4送信/NACK割り込み制御レジスタ (S4TIC)	00BD ₁₆				
008E ₁₆	タイマA3割り込み制御レジスタ (TA31C)	00BE ₁₆				
008F ₁₆	UART2バス衝突検出割り込み制御レジスタ (BCN21C)	00BF ₁₆				

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
00C016			00F016	データ比較レジスタ00 (G0CMP0)	246
00C116			00F116	データ比較レジスタ01 (G0CMP1)	
00C216			00F216	データ比較レジスタ02 (G0CMP2)	
00C316			00F316	データ比較レジスタ03 (G0CMP3)	
00C416			00F416	データマスクレジスタ00 (G0MSK0)	
00C516			00F516	データマスクレジスタ01 (G0MSK1)	
00C616			00F616	通信クロック選択レジスタ (CCS)	
00C716			00F716		
00C816			00F816	受信CRCコードレジスタ0 (G0RCRC)	246
00C916			00F916		
00CA16			00FA16	送信CRCコードレジスタ0 (G0TCRC)	241
00CB16			00FB16		
00CC16			00FC16	SI/O拡張モードレジスタ0 (G0EMR)	243
00CD16			00FD16	SI/O拡張受信制御レジスタ0 (G0ERC)	244
00CE16			00FE16	SI/O特殊通信割り込み判別レジスタ0 (G0IRF)	242
00CF16			00FF16	SI/O拡張送信制御レジスタ0 (G0ETC)	
00D016			010016		
00D116			010116		
00D216			010216		
00D316			010316		
00D416			010416		
00D516			010516		
00D616			010616		
00D716			010716		
00D816			010816		
00D916			010916		
00DA16			010A16		
00DB16			010B16		
00DC16			010C16		
00DD16			010D16		
00DE16			010E16		
00DF16			010F16		
00E016			011016		
00E116			011116		
00E216			011216		
00E316			011316		
00E416			011416		
00E516			011516		
00E616			011616		
00E716			011716		
00E816	SI/O受信バッファレジスタ0 (G0RB)	239	011816		
00E916					
00EA16	送信バッファ/受信データレジスタ0 (G0TB/G0DR)	245	011916		
00EB16			011A16		
00EC16	受信入力レジスタ0 (G0RI)	238	011B16		
00ED16	SI/O通信モードレジスタ0 (G0MR)	240	011C16		
00EE16	送信出力レジスタ0 (G0TO)	238	011D16		
00EF16	SI/O通信制御レジスタ0 (G0CR)	239	011E16		
			011F16		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
012016			015016		
012116			015116		
012216			015216		
012316			015316		
012416			015416		
012516			015516		
012616			015616		
012716			015716		
012816			015816		
012916	SI/O受信バッファレジスタ1 (G1RB)	239	015916		
012A16	送信バッファ/受信データレジスタ1 (G1TB/G1DR)	245	015A16		
012B16			015B16		
012C16	受信入力レジスタ1 (G1RI)	238	015C16		
012D16	SI/O通信モードレジスタ1 (G1MR)	240	015D16		
012E16	送信出力レジスタ1 (G1TO)	238	015E16		
012F16	SI/O通信制御レジスタ1 (G1CR)	239	015F16		
013016	データ比較レジスタ10 (G1CMP0)		016016		
013116	データ比較レジスタ11 (G1CMP1)		016116		
013216	データ比較レジスタ12 (G1CMP2)		016216		
013316	データ比較レジスタ13 (G1CMP3)	246	016316		
013416	データマスクレジスタ10 (G1MSK0)		016416		
013516	データマスクレジスタ11 (G1MSK1)		016516		
013616			016616		
013716			016716		
013816			016816		
013916	受信CRCコードレジスタ1 (G1RCRC)	246	016916		
013A16			016A16		
013B16	送信CRCコードレジスタ1 (G1TCRC)		016B16		
013C16	SI/O拡張モードレジスタ1 (G1EMR)	241	016C16		
013D16	SI/O拡張受信制御レジスタ1 (G1ERC)	243	016D16		
013E16	SI/O特殊通信割り込み判別レジスタ1 (G1IRF)	245	016E16		
013F16	SI/O拡張送信制御レジスタ1 (G1ETC)	242	016F16		
014016			017016		
014116			017116		
014216			017216		
014316			017316		
014416			017416		
014516			017516		
014616			017616		
014716			017716		
014816			017816		
014916			017916		
014A16			017A16		
014B16			017B16		
014C16			017C16		
014D16			017D16		
014E16			}		
014F16			028F16		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
0290 ₁₆			02B8 ₁₆		234
0291 ₁₆			02B9 ₁₆		
0292 ₁₆			02BA ₁₆		
0293 ₁₆			02BB ₁₆		
0294 ₁₆			02BC ₁₆		
0295 ₁₆			02BD ₁₆		
0296 ₁₆			02BE ₁₆		
0297 ₁₆			02BF ₁₆		
0298 ₁₆			02C0 ₁₆	X0レジスタ Y0レジスタ (X0R,Y0R)	
0299 ₁₆			02C1 ₁₆		
029A ₁₆			02C2 ₁₆	X1レジスタ Y1レジスタ (X1R,Y1R)	
029B ₁₆			02C3 ₁₆		
029C ₁₆			02C4 ₁₆	X2レジスタ Y2レジスタ (X2R,Y2R)	
029D ₁₆			02C5 ₁₆		
029E ₁₆			02C6 ₁₆	X3レジスタ Y3レジスタ (X3R,Y3R)	
029F ₁₆			02C7 ₁₆		
02A0 ₁₆			02C8 ₁₆	X4レジスタ Y4レジスタ (X4R,Y4R)	
02A1 ₁₆			02C9 ₁₆		
02A2 ₁₆			02CA ₁₆	X5レジスタ Y5レジスタ (X5R,Y5R)	
02A3 ₁₆			02CB ₁₆		
02A4 ₁₆			02CC ₁₆	X6レジスタ Y6レジスタ (X6R,Y6R)	
02A5 ₁₆			02CD ₁₆		
02A6 ₁₆			02CE ₁₆	X7レジスタ Y7レジスタ (X7R,Y7R)	
02A7 ₁₆			02CF ₁₆		
02A8 ₁₆			02D0 ₁₆	X8レジスタ Y8レジスタ (X8R,Y8R)	
02A9 ₁₆			02D1 ₁₆		
02AA ₁₆			02D2 ₁₆	X9レジスタ Y9レジスタ (X9R,Y9R)	
02AB ₁₆			02D3 ₁₆		
02AC ₁₆			02D4 ₁₆	X10レジスタ Y10レジスタ (X10R,Y10R)	
02AD ₁₆			02D5 ₁₆		
02AE ₁₆			02D6 ₁₆	X11レジスタ Y11レジスタ (X11R,Y11R)	
02AF ₁₆			02D7 ₁₆		
02B0 ₁₆			02D8 ₁₆	X12レジスタ Y12レジスタ (X12R,Y12R)	
02B1 ₁₆			02D9 ₁₆		
02B2 ₁₆			02DA ₁₆	X13レジスタ Y13レジスタ (X13R,Y13R)	
02B3 ₁₆			02DB ₁₆		
02B4 ₁₆			02DC ₁₆	X14レジスタ Y14レジスタ (X14R,Y14R)	
02B5 ₁₆			02DD ₁₆		
02B6 ₁₆			02DE ₁₆	X15レジスタ Y15レジスタ (X15R,Y15R)	
02B7 ₁₆			02DF ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ
02E0 ₁₆	XY制御レジスタ (XYC)	233
02E1 ₁₆		
02E2 ₁₆		
02E3 ₁₆		
02E4 ₁₆	UART1特殊モードレジスタ4 (U1SMR4)	170
02E5 ₁₆	UART1特殊モードレジスタ3 (U1SMR3)	169
02E6 ₁₆	UART1特殊モードレジスタ2 (U1SMR2)	168
02E7 ₁₆	UART1特殊モードレジスタ (U1SMR)	167
02E8 ₁₆	UART1送受信モードレジスタ (U1MR)	
02E9 ₁₆	UART1転送速度レジスタ (U1BRG)	165
02EA ₁₆	UART1送信バッファレジスタ (U1TB)	164
02EB ₁₆		
02EC ₁₆	UART1送受信制御レジスタ0 (U1C0)	166
02ED ₁₆	UART1送受信制御レジスタ1 (U1C1)	167
02EE ₁₆	UART1受信バッファレジスタ (U1RB)	164
02EF ₁₆		
02F0 ₁₆		
02F1 ₁₆		
02F2 ₁₆		
02F3 ₁₆		
02F4 ₁₆	UART4特殊モードレジスタ4 (U4SMR4)	170
02F5 ₁₆	UART4特殊モードレジスタ3 (U4SMR3)	169
02F6 ₁₆	UART4特殊モードレジスタ2 (U4SMR2)	168
02F7 ₁₆	UART4特殊モードレジスタ (U4SMR)	167
02F8 ₁₆	UART4送受信モードレジスタ (U4MR)	
02F9 ₁₆	UART4転送速度レジスタ (U4BRG)	165
02FA ₁₆	UART4送信バッファレジスタ (U4TB)	164
02FB ₁₆		
02FC ₁₆	UART4送受信制御レジスタ0 (U4C0)	166
02FD ₁₆	UART4送受信制御レジスタ1 (U4C1)	167
02FE ₁₆	UART4受信バッファレジスタ (U4RB)	164
02FF ₁₆		
0300 ₁₆	タイマB3,4,5カウント開始フラグ (TBSR)	145
0301 ₁₆		
0302 ₁₆	タイマA1-1レジスタ (TA11)	157
0303 ₁₆		
0304 ₁₆	タイマA2-1レジスタ (TA21)	157
0305 ₁₆		
0306 ₁₆	タイマA4-1レジスタ (TA41)	157
0307 ₁₆		
0308 ₁₆	三相PWM制御レジスタ0 (INVC0)	154
0309 ₁₆	三相PWM制御レジスタ1 (INVC1)	155
030A ₁₆	三相出力バッファレジスタ0 (IDB0)	156
030B ₁₆	三相出力バッファレジスタ1 (IDB1)	
030C ₁₆	短絡防止タイマ (DTT)	156
030D ₁₆	タイマB2割り込み発生頻度設定カウンタ (ICTB2)	157
030E ₁₆		
030F ₁₆		

番地	レジスタ	掲載ページ
0310 ₁₆	タイマB3レジスタ (TB3)	143
0311 ₁₆		
0312 ₁₆	タイマB4レジスタ (TB4)	143
0313 ₁₆		
0314 ₁₆	タイマB5レジスタ (TB5)	143
0315 ₁₆		
0316 ₁₆		
0317 ₁₆		
0318 ₁₆		
0319 ₁₆		
031A ₁₆		
031B ₁₆	タイマB3モードレジスタ (TB3MR)	144
031C ₁₆	タイマB4モードレジスタ (TB4MR)	
031D ₁₆	タイマB5モードレジスタ (TB5MR)	
031E ₁₆		
031F ₁₆	外部割り込み要因選択レジスタ (IFSR)	95
0320 ₁₆		
0321 ₁₆		
0322 ₁₆		
0323 ₁₆		
0324 ₁₆	UART3特殊モードレジスタ4 (U3SMR4)	170
0325 ₁₆	UART3特殊モードレジスタ3 (U3SMR3)	169
0326 ₁₆	UART3特殊モードレジスタ2 (U3SMR2)	168
0327 ₁₆	UART3特殊モードレジスタ (U3SMR)	167
0328 ₁₆	UART3送受信モードレジスタ (U3MR)	
0329 ₁₆	UART3転送速度レジスタ (U3BRG)	165
032A ₁₆	UART3送信バッファレジスタ (U3TB)	164
032B ₁₆		
032C ₁₆	UART3送受信制御レジスタ0 (U3C0)	166
032D ₁₆	UART3送受信制御レジスタ1 (U3C1)	167
032E ₁₆	UART3受信バッファレジスタ (U3RB)	164
032F ₁₆		
0330 ₁₆		
0331 ₁₆		
0332 ₁₆		
0333 ₁₆		
0334 ₁₆	UART2特殊モードレジスタ4 (U2SMR4)	170
0335 ₁₆	UART2特殊モードレジスタ3 (U2SMR3)	169
0336 ₁₆	UART2特殊モードレジスタ2 (U2SMR2)	168
0337 ₁₆	UART2特殊モードレジスタ (U2SMR)	167
0338 ₁₆	UART2送受信モードレジスタ (U2MR)	
0339 ₁₆	UART2転送速度レジスタ (U2BRG)	165
033A ₁₆	UART2送信バッファレジスタ (U2TB)	164
033B ₁₆		
033C ₁₆	UART2送受信制御レジスタ0 (U2C0)	166
033D ₁₆	UART2送受信制御レジスタ1 (U2C1)	167
033E ₁₆	UART2受信バッファレジスタ (U2RB)	164
033F ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載ページ	
0340 ₁₆	カウント開始フラグ (TABSR)	128	
0341 ₁₆	時計用プリスケアラリセットフラグ (CPSRF)	61	
0342 ₁₆	ワンショット開始フラグ (ONSF)	129	
0343 ₁₆	トリガ選択レジスタ (TRGSR)	130	
0344 ₁₆	アップダウンフラグ (UDF)	129	
0345 ₁₆			
0346 ₁₆ 0347 ₁₆	タイマA0レジスタ (TA0)	127	
0348 ₁₆ 0349 ₁₆	タイマA1レジスタ (TA1)		
034A ₁₆ 034B ₁₆	タイマA2レジスタ (TA2)		
034C ₁₆ 034D ₁₆	タイマA3レジスタ (TA3)		
034E ₁₆ 034F ₁₆	タイマA4レジスタ (TA4)		
0350 ₁₆ 0351 ₁₆	タイマB0レジスタ (TB0)		143
0352 ₁₆ 0353 ₁₆	タイマB1レジスタ (TB1)		
0354 ₁₆ 0355 ₁₆	タイマB2レジスタ (TB2)		
0356 ₁₆ 0357 ₁₆	タイマA0モードレジスタ (TA0MR)		128
0358 ₁₆ 0359 ₁₆	タイマA1モードレジスタ (TA1MR)		
035A ₁₆ 035B ₁₆	タイマA2モードレジスタ (TA2MR)		
035C ₁₆ 035D ₁₆	タイマA3モードレジスタ (TA3MR)		
035E ₁₆ 035F ₁₆	タイマA4モードレジスタ (TA4MR)		
0356 ₁₆ 0357 ₁₆	タイマB0モードレジスタ (TB0MR)	144	
0358 ₁₆ 0359 ₁₆	タイマB1モードレジスタ (TB1MR)		
035A ₁₆ 035B ₁₆	タイマB2モードレジスタ (TB2MR)		
035C ₁₆ 035D ₁₆	タイマB2特殊モードレジスタ (TB2SC)	157	
035E ₁₆ 035F ₁₆	カウントソースプリスケアラレジスタ (TCSPR)	61	
0360 ₁₆			
0361 ₁₆			
0362 ₁₆			
0363 ₁₆			
0364 ₁₆	UART0特殊モードレジスタ4 (U0SMR4)	170	
0365 ₁₆	UART0特殊モードレジスタ3 (U0SMR3)	169	
0366 ₁₆	UART0特殊モードレジスタ2 (U0SMR2)	168	
0367 ₁₆	UART0特殊モードレジスタ (U0SMR)	167	
0368 ₁₆	UART0送受信モードレジスタ (U0MR)	165	
0369 ₁₆	UART0転送速度レジスタ (U0BRG)		
036A ₁₆ 036B ₁₆	UART0送信バッファレジスタ (U0TB)	164	
036C ₁₆	UART0送受信制御レジスタ0 (U0C0)	166	
036D ₁₆	UART0送受信制御レジスタ1 (U0C1)	167	
036E ₁₆ 036F ₁₆	UART0受信バッファレジスタ (U0RB)	164	

番地	レジスタ	掲載ページ
0370 ₁₆		
0371 ₁₆		
0372 ₁₆		
0373 ₁₆		
0374 ₁₆		
0375 ₁₆		
0376 ₁₆		
0377 ₁₆		
0378 ₁₆	DMA0要因選択レジスタ (DM0SL)	107
0379 ₁₆	DMA1要因選択レジスタ (DM1SL)	
037A ₁₆	DMA2要因選択レジスタ (DM2SL)	
037B ₁₆	DMA3要因選択レジスタ (DM3SL)	
037C ₁₆ 037D ₁₆	CRCデータレジスタ (CRCD)	231
037E ₁₆	CRCインプットレジスタ (CRCIN)	
037F ₁₆		
0380 ₁₆ 0381 ₁₆	A/D0レジスタ0 (AD00)	221
0382 ₁₆ 0383 ₁₆	A/D0レジスタ1 (AD01)	
0384 ₁₆ 0385 ₁₆	A/D0レジスタ2 (AD02)	
0386 ₁₆ 0387 ₁₆	A/D0レジスタ3 (AD03)	
0388 ₁₆ 0389 ₁₆	A/D0レジスタ4 (AD04)	
038A ₁₆ 038B ₁₆	A/D0レジスタ5 (AD05)	
038C ₁₆ 038D ₁₆	A/D0レジスタ6 (AD06)	
038E ₁₆ 038F ₁₆	A/D0レジスタ7 (AD07)	
0390 ₁₆		
0391 ₁₆		
0392 ₁₆		
0393 ₁₆		
0394 ₁₆	A/D0制御レジスタ2 (AD0CON2)	219
0395 ₁₆	A/D0制御レジスタ3 (AD0CON3)	220
0396 ₁₆	A/D0制御レジスタ0 (AD0CON0)	217
0397 ₁₆	A/D0制御レジスタ1 (AD0CON1)	218
0398 ₁₆	D/Aレジスタ0 (DA0)	230
0399 ₁₆		
039A ₁₆ 039B ₁₆	D/Aレジスタ1 (DA1)	230
039C ₁₆	D/A制御レジスタ (DACON)	230
039D ₁₆		
039E ₁₆		
039F ₁₆		

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	掲載 ページ	番地	レジスタ	掲載 ページ
03A0 ₁₆			03D0 ₁₆		
03A1 ₁₆			03D1 ₁₆		
03A2 ₁₆			03D2 ₁₆		
03A3 ₁₆			03D3 ₁₆		
03A4 ₁₆			03D4 ₁₆		
03A5 ₁₆			03D5 ₁₆		
03A6 ₁₆			03D6 ₁₆		
03A7 ₁₆	機能選択レジスタD1 (PSD1)	268	03D7 ₁₆		
03A8 ₁₆			03D8 ₁₆		
03A9 ₁₆			03D9 ₁₆		
03AA ₁₆			03DA ₁₆	ブルアップ制御レジスタ2 (PUR2)	269
03AB ₁₆			03DB ₁₆	ブルアップ制御レジスタ3 (PUR3)	270
03AC ₁₆			03DC ₁₆		
03AD ₁₆	機能選択レジスタC3 (PSC3)	268	03DD ₁₆		
03AE ₁₆			03DE ₁₆		
03AF ₁₆	機能選択レジスタC (PSC)	267	03DF ₁₆		
03B0 ₁₆	機能選択レジスタA0 (PS0)	263	03E0 ₁₆	ポートP0レジスタ (P0)	262
03B1 ₁₆	機能選択レジスタA1 (PS1)	265	03E1 ₁₆	ポートP1レジスタ (P1)	261
03B2 ₁₆	機能選択レジスタB0 (PSL0)	264	03E2 ₁₆	ポートP0方向レジスタ (PD0)	262
03B3 ₁₆	機能選択レジスタB1 (PSL1)	266	03E3 ₁₆	ポートP1方向レジスタ (PD1)	261
03B4 ₁₆	機能選択レジスタA2 (PS2)		03E4 ₁₆	ポートP2レジスタ (P2)	262
03B5 ₁₆	機能選択レジスタA3 (PS3)		03E5 ₁₆	ポートP3レジスタ (P3)	261
03B6 ₁₆	機能選択レジスタB2 (PSL2)		03E6 ₁₆	ポートP2方向レジスタ (PD2)	262
03B7 ₁₆	機能選択レジスタB3 (PSL3)		03E7 ₁₆	ポートP3方向レジスタ (PD3)	261
03B8 ₁₆			03E8 ₁₆	ポートP4レジスタ (P4)	262
03B9 ₁₆			03E9 ₁₆	ポートP5レジスタ (P5)	261
03BA ₁₆			03EA ₁₆	ポートP4方向レジスタ (PD4)	261
03BB ₁₆			03EB ₁₆	ポートP5方向レジスタ (PD5)	269
03BC ₁₆			03EC ₁₆		
03BD ₁₆			03ED ₁₆		
03BE ₁₆			03EE ₁₆		
03BF ₁₆			03EF ₁₆		
03C0 ₁₆	ポートP6レジスタ (P6)	262	03F0 ₁₆	ブルアップ制御レジスタ0 (PUR0)	269
03C1 ₁₆	ポートP7レジスタ (P7)	261	03F1 ₁₆	ブルアップ制御レジスタ1 (PUR1)	271
03C2 ₁₆	ポートP6方向レジスタ (PD6)	262	03F2 ₁₆		
03C3 ₁₆	ポートP7方向レジスタ (PD7)	261	03F3 ₁₆		
03C4 ₁₆	ポートP8レジスタ (P8)	262	03F4 ₁₆		
03C5 ₁₆	ポートP9レジスタ (P9)	261	03F5 ₁₆		
03C6 ₁₆	ポートP8方向レジスタ (PD8)	262	03F6 ₁₆		
03C7 ₁₆	ポートP9方向レジスタ (PD9)	261	03F7 ₁₆		
03C8 ₁₆	ポートP10レジスタ (P10)	262	03F8 ₁₆		
03C9 ₁₆			03F9 ₁₆		
03CA ₁₆	ポートP10方向レジスタ (PD10)	261	03FA ₁₆		
03CB ₁₆			03FB ₁₆		
03CC ₁₆			03FC ₁₆		
03CD ₁₆			03FD ₁₆		
03CE ₁₆			03FE ₁₆		
03CF ₁₆			03FF ₁₆	ポート制御レジスタ (PCR)	271

空欄はすべて予約領域です。使用できません。

M32C/80グループ

SINGLE-CHIP 16/32-BIT CMOS MICROCOMPUTER

1. 概要

M32C/80グループは高性能シリコンゲートCMOSプロセスを採用し、M32C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータで、100ピンプラスチックモールドLQFP/QFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACがあるため、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

M32C/80グループはROMレス版です。

リセット後、マイクロプロセッサモードで使用してください。

1.1 応用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.2 性能概要

表1.1にM32C/80グループの性能概要を示します。

表1.1 M32C/80グループの性能概要

項目		性能
CPU	基本命令数	108命令
	最小命令実行時間	31.3ns (f(BCLK)=32MHz時、V _{CC1} =4.2~5.5V) 41.7ns (f(BCLK)=24MHz時、V _{CC1} =3.0~5.5V)
	動作モード	シングルチップ、メモリ拡張、マイクロプロセッサ
	アドレス空間	16Mバイト
	メモリ容量	表1.2を参照してください
周辺機能	入出力ポート	入出力：47本(16ビットバス使用時)、入力：1本
	多機能タイマ	タイマA：16ビット×5チャンネル、タイマB：16ビット×6チャンネル 三相モータ制御回路
	インテリジェントI/O通信機能	2チャンネル
	シリアルI/O	5チャンネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O、 I ² C bus ^(注1) 、IEBus ^(注2)
	A/Dコンバータ	10ビット A/Dコンバータ：1回路、10チャンネル
	D/Aコンバータ	8ビット×2チャンネル
	DMAC	4チャンネル
	DMAC II	すべての周辺機能割り込み要因で起動 即値転送機能、演算転送機能、チェーン転送機能
	CRC演算回路	CRC-CCITT方式
	X/Y変換回路	16ビット×16ビット
	ウォッチドッグタイマ	15ビット×1チャンネル(プリスケアラ付)
	割り込み	内部：34要因、外部：8要因、ソフトウェア：5要因 割り込み優先レベル：7レベル
	クロック発生回路	4回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 オンチップオシレータ、PLL周波数シンセサイザ (*発振回路には帰還抵抗内蔵)
	発振停止検出機能	メインクロック発振停止検出機能
電気的特性	電源電圧	V _{CC1} =4.2V~5.5V、V _{CC2} =3.0V~V _{CC1} (f(BCLK)=32MHz) V _{CC1} =3.0V~5.5V、V _{CC2} =3.0V~V _{CC1} (f(BCLK)=24MHz)
	消費電流	22mA (V _{CC1} =V _{CC2} =5V、f(BCLK)=32MHz) 17mA (V _{CC1} =V _{CC2} =3.3V、f(BCLK)=24MHz) 10μA (V _{CC1} =V _{CC2} =3.3V、f(BCLK)=32kHz、ウエイトモード)
動作周囲温度	-20 ~ 85、-40 ~ 85 (オプション)	
パッケージ	100ピンプラスチックモールドLQFP/QFP	

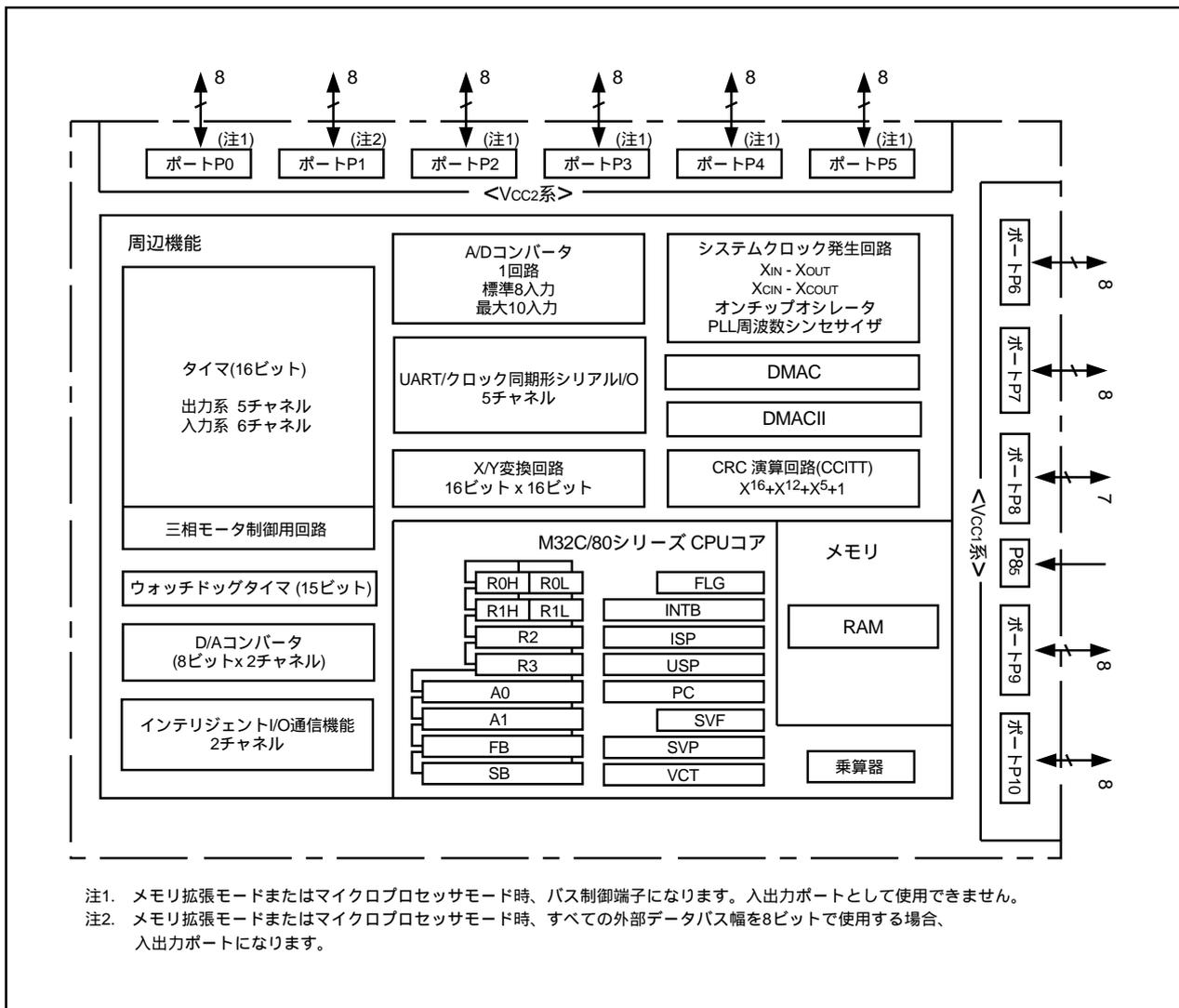
注1. I²C busはオランダPHILIPS社の登録商標です。

注2. IEBusはNECエレクトロニクス株式会社の商標です。

オプション機能をご使用になる場合は、その旨ご指定ください。

1.3 ブロック図

図1.1にM32C/80グループのブロック図を示します。



注1. メモリ拡張モードまたはマイクロプロセッサモード時、バス制御端子になります。入出力ポートとして使用できません。
 注2. メモリ拡張モードまたはマイクロプロセッサモード時、すべての外部データバス幅を8ビットで使用する場合、入出力ポートになります。

図1.1 M32C/80グループのブロック図

1.4 製品一覧

表1.2に製品一覧表、図1.2に型名とメモリサイズ・パッケージを示します。

表1.2 製品一覧表

2005年9月現在

型名	パッケージ	ROM容量	RAM容量	備考
M30800SAGP	PLQP0100KB-A (100P6Q-A)	---	8K	ROMレス版
M30800SAFP	PRQP0100JB-A (100P6S-A)			
M30800SAGP-BL	PLQP0100KB-A (100P6Q-A)			ブートローダ内蔵
M30800SAFP-BL	PRQP0100JB-A (100P6S-A)			ROMレス版

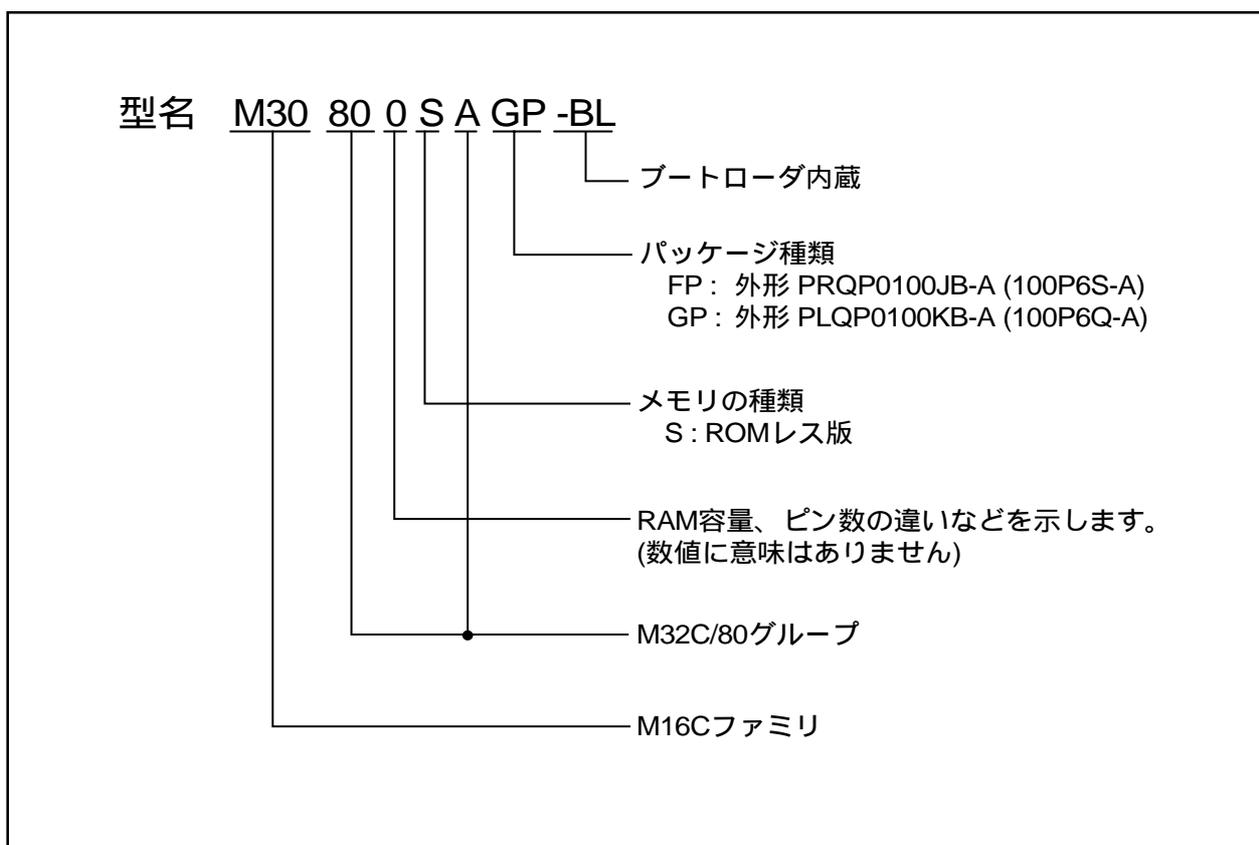


図1.2 型名とメモリサイズ・パッケージ

1.5 ピン接続図

図1.3、図1.4にピン接続図(上面図)を表1.3、表1.4にピン端子名一覧を示します。

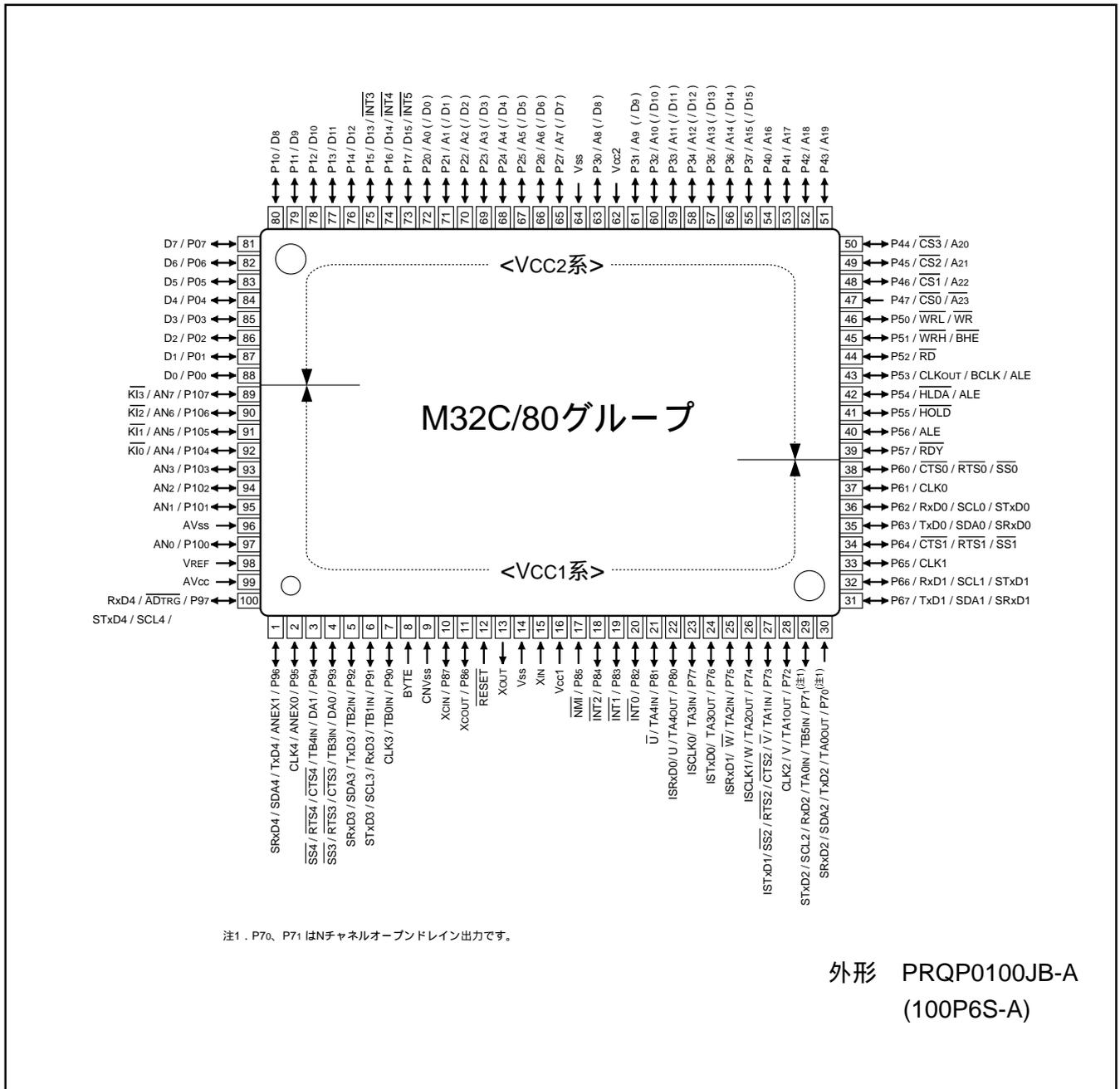
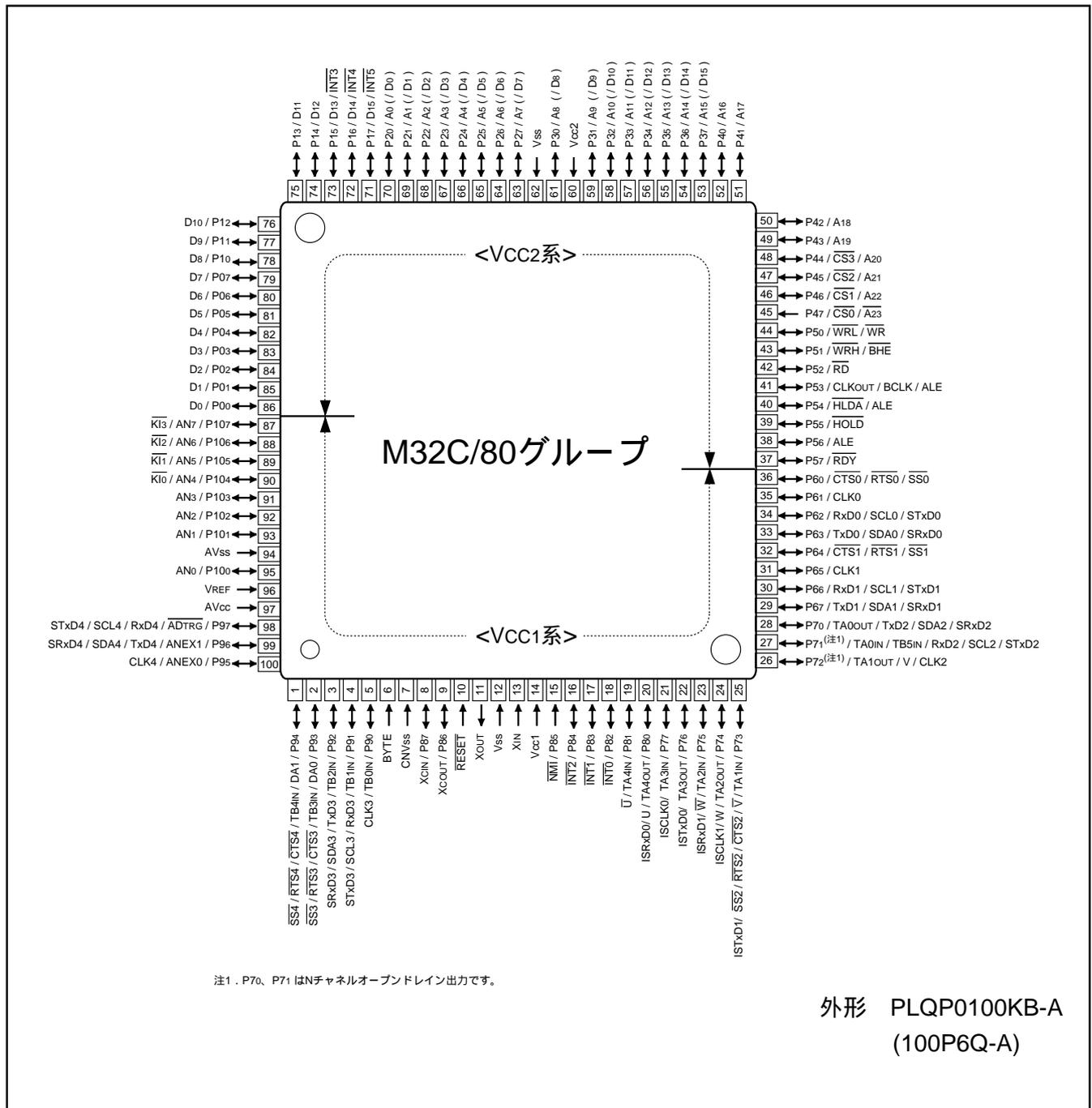


図1.3 100ピン版ピン接続図(上面図)



注1. P70、P71はNチャネルオープンドレイン出力です。

外形 PLQP0100KB-A
(100P6Q-A)

図1.4 100ピン版ピン接続図(上面図)

表1.3 100ピン版ピン端子名一覧表(1)

パッケージ ピン番号		制御端子	ポート	割り込み 端子	タイマ端子	UART端子	アナログ 端子	バス制御端子	インテリジェント I/O端子
FP	GP								
1	99		P96			TxD4/SDA4/SRxD4	ANEX1		
2	100		P95			CLK4	ANEX0		
3	1		P94		TB4IN	CTS4/RTS4/SS4	DA1		
4	2		P93		TB3IN	CTS3/RTS3/SS3	DA0		
5	3		P92		TB2IN	TxD3/SDA3/SRxD3			
6	4		P91		TB1IN	RxD3/SCL3/STxD3			
7	5		P90		TB0IN	CLK3			
8	6	BYTE							
9	7	CNVss							
10	8	XCIN	P87						
11	9	XCOUT	P86						
12	10	RESET							
13	11	XOUT							
14	12	Vss							
15	13	XIN							
16	14	Vcc1							
17	15		P85	NMI					
18	16		P84	INT2					
19	17		P83	INT1					
20	18		P82	INT0					
21	19		P81		TA4IN \bar{U}				
22	20		P80		TA4OUT/U				ISRxD0
23	21		P77		TA3IN				ISCLK0
24	22		P76		TA3OUT				ISTxD0
25	23		P75		TA2IN \bar{W}				ISRxD1
26	24		P74		TA2OUT/W				ISCLK1
27	25		P73		TA1IN \bar{V}	CTS2/RTS2/SS2			ISTxD1
28	26		P72		TA1OUT/V	CLK2			
29	27		P71		TB5IN/TA0IN	RxD2/SCL2/STxD2			
30	28		P70		TA0OUT	TxD2/SDA2/SRxD2			
31	29		P67			TxD1/SDA1/SRxD1			
32	30		P66			RxD1/SCL1/STxD1			
33	31		P65			CLK1			
34	32		P64			CTS1/RTS1/SS1			
35	33		P63			TxD0/SDA0/SRxD0			
36	34		P62			RxD0/SCL0/STxD0			
37	35		P61			CLK0			
38	36		P60			CTS0/RTS0/SS0			
39	37		P57					RDY	
40	38		P56					ALE	
41	39		P55					HOLD	
42	40		P54					HLDA/ALE	
43	41		P53					CLKout/BCLK/ALE	
44	42		P52					\bar{RD}	
45	43		P51					WRH/BHE	
46	44		P50					WRL/WR	
47	45		P47					CS0/A23	
48	46		P46					CS1/A22	
49	47		P45					CS2/A21	
50	48		P44					CS3/A20	

表1.4 100ピン版ピン端子名一覧表(2)

パッケージ ピン番号		制御端子	ポート	割り込み 端子	タイマ端子	UART端子	アナログ 端子	バス制御端子	インテリジェント I/O端子
FP	GP								
51	49		P43					A19	
52	50		P42					A18	
53	51		P41					A17	
54	52		P40					A16	
55	53		P37					A15(/D15)	
56	54		P36					A14(/D14)	
57	55		P35					A13(/D13)	
58	56		P34					A12(/D12)	
59	57		P33					A11(/D11)	
60	58		P32					A10(/D10)	
61	59		P31					A9(/D9)	
62	60	VCC2							
63	61		P30					A8(/D8)	
64	62	Vss							
65	63		P27					A7(/D7)	
66	64		P26					A6(/D6)	
67	65		P25					A5(/D5)	
68	66		P24					A4(/D4)	
69	67		P23					A3(/D3)	
70	68		P22					A2(/D2)	
71	69		P21					A1(/D1)	
72	70		P20					A0(/D0)	
73	71		P17	$\overline{\text{INT5}}$				D15	
74	72		P16	$\overline{\text{INT4}}$				D14	
75	73		P15	$\overline{\text{INT3}}$				D13	
76	74		P14					D12	
77	75		P13					D11	
78	76		P12					D10	
79	77		P11					D9	
80	78		P10					D8	
81	79		P07					D7	
82	80		P06					D6	
83	81		P05					D5	
84	82		P04					D4	
85	83		P03					D3	
86	84		P02					D2	
87	85		P01					D1	
88	86		P00					D0	
89	87		P107	$\overline{\text{KI3}}$			AN7		
90	88		P106	$\overline{\text{KI2}}$			AN6		
91	89		P105	$\overline{\text{KI1}}$			AN5		
92	90		P104	$\overline{\text{KI0}}$			AN4		
93	91		P103				AN3		
94	92		P102				AN2		
95	93		P101				AN1		
96	94	AVss							
97	95		P100				AN0		
98	96						VREF		
99	97	AVcc							
100	98		P97			RxD4/SCL4/STxD4	$\overline{\text{ADTRG}}$		

1.6 端子機能の説明

表1.5 端子の機能説明(1)

分類	端子名	入出力	電源系統	機能
電源入力	Vcc1、Vcc2 Vss	入力	-	Vcc1、Vcc2端子には、3.0V～5.5Vを入力してください。Vccの入力条件はVcc2 Vcc1です。Vssには、0Vを入力してください。(注1)
アナログ電源入力	AVcc AVss	入力	-	A/Dコンバータの電源入力です。AVccはVcc1に接続してください。 AVssはVssに接続してください。
リセット入力	RESET	入力	Vcc1	この端子に“L”を入力すると、マイクロコンピュータはリセット状態にな ります。
CNVss	CNVss	入力	Vcc1	Vcc1に接続してください。
外部データバス幅 切り替え入力	BYTE	入力	Vcc1	外部領域3のデータバスを切り替えるための端子です。この端子が“L”の場合16 ビット、“H”の場合8ビットになります。どちらかに固定してください。
バス制御端子	D0～D7	入出力	Vcc2	セバレートバスを選択している領域をアクセスしたときデータ(D0～D7)の入出力 を行います。
	D8～D15	入出力	Vcc2	外部データバスが16ビットでセバレートバスを選択している領域をアクセスした ときデータ(D8～D15)の入出力を行います。
	A0～A22	出力	Vcc2	アドレスA0～A22を出力します。
	A23	出力	Vcc2	アドレスA23を反転して出力します。
	A0/D0～ A7/D7	入出力	Vcc2	マルチプレクスバスを選択している領域をアクセスしたときデータ(D0～D7)の入 出力と、アドレスの下位8ビット(A0～A7)の出力を時分割で行います。
	A8/D8～ A15/D15	入出力	Vcc2	外部データバスが16ビットでマルチプレクスバスを選択している領域をアクセス したときデータ(D8～D15)の入出力と、アドレス(A8～A15)の出力を時分割で行い ます。
	CS0～CS3	出力	Vcc2	チップセレクト信号でアクセス空間の指定に使用します。
	WRL/WR WRH/BHE RD	出力	Vcc2	WRL、WRH、(WR、BHE)、RD信号を出力します。プログラムでWRL、WRHま たは、BHE、WRを切り替えられます。 WRL、WRH、RD選択時 外部データバスが16ビットの場合、WRL信号が“L”のときは偶数番地に、 WRH信号が“L”のときは奇数番地に書きます。RD信号が“L”のとき読み出 します。 WR、BHE、RD選択時 WR信号が“L”のとき書き込みます。RD信号が“L”のとき読み出します。 BHE信号が“L”のとき奇数番地をアクセスします。外部データバスが8ビット のときはこのモードを使用してください。
	ALE	出力	Vcc2	アドレスをラッチするための信号です。
	HOLD	入力	Vcc2	入力が“L”の期間、マイクロコンピュータはホールド状態になります。
HLDA	出力	Vcc2	ホールド状態の期間、“L”を出力します。	
RDY	入力	Vcc2	入力が“L”の期間、マイクロコンピュータのバスはウェイト状態になります。	

注1. この説明以降、特に指定のない限り、文中にVccと記述されている場合はVcc1を示します。

表1.5 端子の機能説明(2)

分類	端子名	入出力	電源系統	機能
メインクロック入力	XIN	入力	VCC1	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	VCC1	
サブクロック入力	XCIN	入力	VCC1	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	VCC1	
BCLK出力	BCLK	出力	VCC2	BCLK信号を出力します。
クロック出力	CLKOUT	出力	VCC2	fc、f8、またはf32と同じ周期のクロックを出力します。
INT割り込み入力	INT0 ~ INT2	入力	VCC1	INT割り込みの入力です。
	INT3 ~ INT5	入力	VCC2	
NMI割り込み入力	NMI	入力	VCC1	NMI割り込みの入力です。
キー入力割り込み	KI0 ~ KI3	入力	VCC1	キー入力割り込みです。
タイマA	TA0OUT ~ TA4OUT	入出力	VCC1	タイマA0 ~ A4の入出力です。 (ただし、TA0OUTの出力はNチャンネルオープンドレイン)
	TA0IN ~ TA4IN	入力	VCC1	タイマA0 ~ A4の入力です。
タイマB	TB0IN ~ TB5IN	入力	VCC1	タイマB0 ~ B5の入力です。
三相モータ制御用タイマ出力	U, \bar{U} , V, \bar{V} , W, \bar{W}	出力	VCC1	三相モータ制御用タイマの出力です。
シリアルI/O	CTS0 ~ CTS4	入力	VCC1	送信制御用入力です。
	RTS0 ~ RTS4	出力	VCC1	受信制御用出力です。
	CLK0 ~ CLK4	入出力	VCC1	転送クロック入出力です。
	RxD0 ~ RxD4	入力	VCC1	シリアルデータ入力です。
	TxD0 ~ TxD4	出力	VCC1	シリアルデータ出力です(ただし、TxD2の出力はNチャンネルオープンドレイン)。
I ² Cモード	SDA0 ~ SDA4	入出力	VCC1	シリアルデータ入出力です(ただし、SDA2の出力はNチャンネルオープンドレイン)。
	SCL0 ~ SCL4	入出力	VCC1	転送クロック入出力です(ただし、SCL2の出力はNチャンネルオープンドレイン)。
シリアルインターフェース	STxD0 ~ STxD4	出力	VCC1	スリープモードを選択したときのシリアルデータ出力です(ただし、STxD2の出力はNチャンネルオープンドレイン)。
特殊機能	SRxD0 ~ SRxD4	入力	VCC1	スリープモードを選択したときのシリアルデータ入力です。
	SS0 ~ SS4	入力	VCC1	シリアルインターフェース特殊機能の制御用入力です。

表1.5 端子の機能説明(3)

分類	端子名	入出力	電源系統	機能
基準電圧入力	VREF	入力	-	A/DコンバータとD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN7	入力	VCC1	A/Dコンバータのアナログ入力です。
	ADTRG	入力	VCC1	A/D外部トリガ入力です。
	ANEX0	入出力	VCC1	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	VCC1	A/Dコンバータの拡張アナログ入力です。
D/Aコンバータ	DA0, DA1	出力	VCC1	D/Aコンバータの出力です。
インテリジェント I/O通信機能	ISCLK0, ISCLK1	入出力	VCC1	インテリジェントI/O通信機能の転送クロック入出力です。
	ISTxD0, ISTxD1	出力	VCC1	インテリジェントI/O通信機能のデータ出力です。
	ISRxD0, ISRxD1	入力	VCC1	インテリジェントI/O通信機能のデータ入力です。
入出力ポート	P00 ~ P07 ^(注1) P10 ~ P17 ^(注2) P20 ~ P27 ^(注1) P30 ~ P37 ^(注1) P40 ~ P47 ^(注1) P50 ~ P57 ^(注1)	入出力	VCC2	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムで4ビット単位でプルアップ抵抗の有無を選択できます。
	P60 ~ P67 P70 ~ P77 P90 ~ P97 P100 ~ P107	入出力	VCC1	P0と同等の機能を持つ8ビット入出力ポートです(ただし、P70とP71はNチャネルオープンドレイン出力)。
	P80 ~ P84, P86, P87	入出力	VCC1	P0と同等の機能を持つ入出力ポートです。
	P85	入力	VCC1	NMIと端子を共用しています。NMIの入力レベルを確認するための入力専用ポートです。

注1. メモリ拡張モードまたはマイクロプロセッサモード時、バス制御端子になります。入出力ポートとして使用できません。

注2. メモリ拡張モードまたはマイクロプロセッサモード時、すべての外部データバス幅を8ビットで使用する場合、入出力ポートになります。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには28個のレジスタがあります。

これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個はレジスタバンクを構成しています。レジスタバンクは2セットあります。

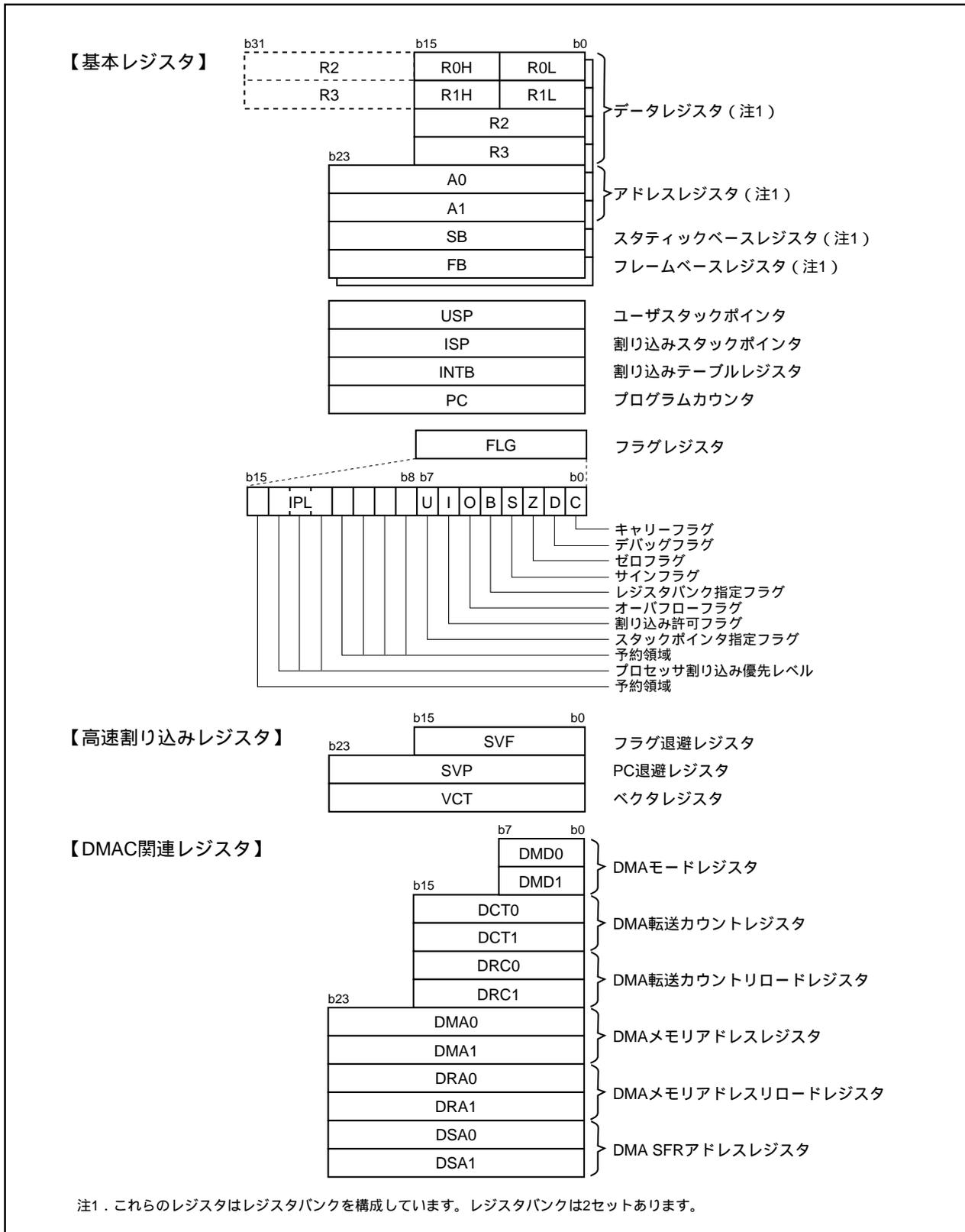


図2.1 CPUのレジスタ

2.1 基本レジスタ

2.1.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用します。R1はR0と同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用します。R3R1はR2R0と同様です。

2.1.2 アドレスレジスタ(A0、A1)

A0は24ビットで構成されており、アドレスレジスタ間接アドレッシングやアドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。

A1はA0と同様です。

2.1.3 スタティックベースレジスタ(SB)

SBは24ビットで構成されており、SB相対アドレッシングに使用します。

2.1.4 フレームベースレジスタ(FB)

FBは24ビットで構成されており、FB相対アドレッシングに使用します。

2.1.5 プログラムカウンタ(PC)

PCは24ビットで構成されており、次に実行する命令の番地を示します。

2.1.6 割り込みテーブルレジスタ(INTB)

INTBは24ビットで構成されており、可変ベクタテーブルの先頭番地を示します。

2.1.7 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)はUSPとISPの2種類あり、共に24ビットで構成されています。

USPとISPはUフラグで切り替えられます。Uフラグは「2.1.8 フラグレジスタ(FLG)」を参照してください。

USPとISPは偶数番地に設定してください。偶数番地を設定した方が割り込みシーケンスの実行速度が速くなります。

2.1.8 フラグレジスタ(FLG)

FLGは16ビットで構成されており、CPUの状態を示します。

2.1.8.1 キャリーフラグ(C)

命令実行後のキャリーやボローの有無を示します。

2.1.8.2 デバッグフラグ(D)

Dフラグはデバッグ専用です。“0”にしてください。

2.1.8.3 ゼロフラグ(Z)

演算の結果が0のとき“1”になり、それ以外るとき“0”になります。

2.1.8.4 サインフラグ(S)

演算の結果が負のとき“1”になり、それ以外るとき“0”になります。

2.1.8.5 レジスタバンク指定フラグ(B)

Bフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

2.1.8.6 オーバフローフラグ(O)

演算の結果がオーバフローしたとき“1”になります。それ以外では“0”になります。

2.1.8.7 割り込み許可フラグ(I)

マスクابل割り込みを許可するビットです。Iフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。割り込みを受け付けると、このビットは“0”になります。

2.1.8.8 スタックポインタ指定フラグ(U)

Uフラグが“0”のときISPが指定され、“1”のときUSPが指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、Uフラグは“0”になります。

2.1.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0~7まで8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルがIPLより大きいとき、その割り込みは許可されます。

2.1.8.10 予約領域

書くときは“0”を書いてください。読んだとき、その値は不定です。

2.2 高速割り込みレジスタ

高速割り込みに関するレジスタは次のとおりです。詳細は、「10.4 . 高速割り込み」を参照してください。

- ・フラグ退避レジスタ(SVF)
- ・PC退避レジスタ(SVP)
- ・ベクタレジスタ(VCT)

2.3 DMAC関連レジスタ

DMACに関するレジスタは次のとおりです。詳細は、「12 . DMAC」を参照してください。

- ・DMAモードレジスタ(DMD0、DMD1)
- ・DMA転送カウンタレジスタ(DCT0、DCT1)
- ・DMA転送カウントリロードレジスタ(DRC0、DRC1)
- ・DMAメモリアドレスレジスタ(DMA0、DMA1)
- ・DMA SFRアドレスレジスタ(DSA0、DSA1)
- ・DMAメモリアドレスリロードレジスタ(DRA0、DRA1)

3. メモリ

図3.1にメモリ配置図を示します。

アドレス空間は000000₁₆番地からFFFFFF₁₆番地までの16Mバイトあります。

固定割り込みベクタはFFFFDC₁₆番地からFFFFFF₁₆番地に配置されています。ここに各割り込みルーチンの先頭番地を格納します。詳細は、「10. 割り込み」を参照してください。

内部RAMは000400₁₆番地から上位方向に配置されています。例えば8Kバイトの内部RAMは、000400₁₆番地から0023FF₁₆番地に配置されています。内部RAMはデータ格納以外に、サブルーチン呼び出しや割り込み時のスタックとしても使用します。

SFRは000000₁₆番地から0003FF₁₆番地に配置されています。ここには入出力ポート、A/Dコンバータ、シリアルI/O、タイマなどの周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない番地はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタはFFFE00₁₆番地からFFFFDB₁₆番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M32C/80シリーズ ソフトウェアマニュアル」を参照してください。

マイクロプロセッサモード時、一部の領域は予約領域となり使用できません。

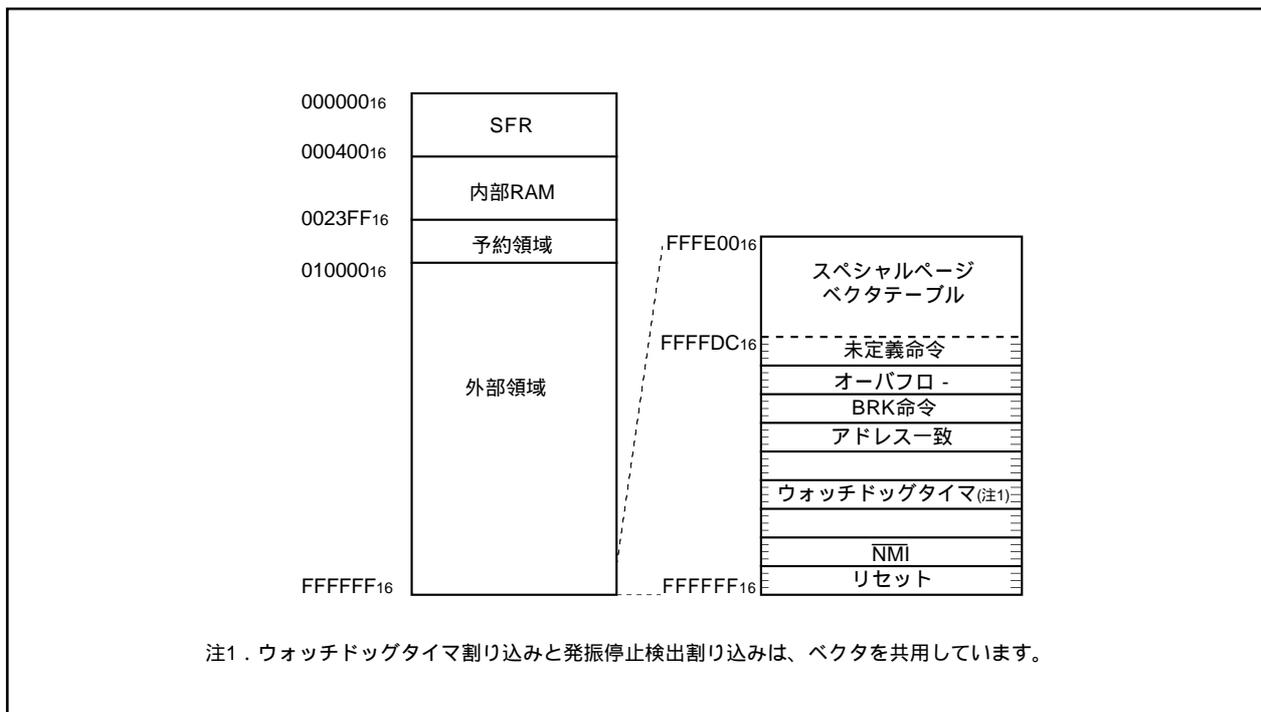


図3.1 メモリ配置図

4. SFR

番地	レジスタ	シンボル	リセット後の値
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0 ^(注1)	PM0	0000 0011 ₂ (CNVss端子が"H")
0005 ₁₆	プロセッサモードレジスタ1	PM1	00 ₁₆
0006 ₁₆	システムクロック制御レジスタ0	CM0	0000 1000 ₂
0007 ₁₆	システムクロック制御レジスタ1	CM1	0010 0000 ₂
0008 ₁₆			
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	00 ₁₆
000A ₁₆	プロテクトレジスタ	PRCR	XXXX 0000 ₂
000B ₁₆	外部データバス幅制御レジスタ	DS	XXXX 1000 ₂ (BYTE端子が"L") XXXX 0000 ₂ (BYTE端子が"H")
000C ₁₆	メインクロック分周レジスタ	MCD	XXX0 1000 ₂
000D ₁₆	発振停止検出レジスタ	CM2	00 ₁₆
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	XX ₁₆
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	000X XXXX ₂
0010 ₁₆			
0011 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	000000 ₁₆
0012 ₁₆			
0013 ₁₆	プロセッサモードレジスタ2	PM2	00 ₁₆
0014 ₁₆			
0015 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	000000 ₁₆
0016 ₁₆			
0017 ₁₆			
0018 ₁₆			
0019 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	000000 ₁₆
001A ₁₆			
001B ₁₆			
001C ₁₆			
001D ₁₆	アドレス一致割り込みレジスタ3	RMAD3	000000 ₁₆
001E ₁₆			
001F ₁₆			
0020 ₁₆			
0021 ₁₆			
0022 ₁₆			
0023 ₁₆			
0024 ₁₆			
0025 ₁₆			
0026 ₁₆	PLL制御レジスタ0	PLC0	0001 X010 ₂
0027 ₁₆	PLL制御レジスタ1	PLC1	000X 0000 ₂
0028 ₁₆			
0029 ₁₆	アドレス一致割り込みレジスタ4	RMAD4	000000 ₁₆
002A ₁₆			
002B ₁₆			
002C ₁₆			
002D ₁₆	アドレス一致割り込みレジスタ5	RMAD5	000000 ₁₆
002E ₁₆			
002F ₁₆			

X：不定

空欄はすべて予約領域です。アクセスしないでください。

注1. PM0レジスタのPM00、PM01ビットはソフトウェアリセット、ウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

番地	レジスタ	シンボル	リセット後の値
0030 ₁₆			
0031 ₁₆			
0032 ₁₆			
0033 ₁₆			
0034 ₁₆			
0035 ₁₆			
0036 ₁₆			
0037 ₁₆			
0038 ₁₆ 0039 ₁₆ 003A ₁₆	アドレス一致割り込みレジスタ6	RMAD6	000000 ₁₆
003B ₁₆			
003C ₁₆ 003D ₁₆ 003E ₁₆ 003F ₁₆	アドレス一致割り込みレジスタ7	RMAD7	000000 ₁₆
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆			
0045 ₁₆			
0046 ₁₆			
0047 ₁₆			
0048 ₁₆ 0049 ₁₆ 004A ₁₆ 004B ₁₆	外部領域ウェイト制御レジスタ0 外部領域ウェイト制御レジスタ1 外部領域ウェイト制御レジスタ2 外部領域ウェイト制御レジスタ3	EWCR0 EWCR1 EWCR2 EWCR3	X0X0 0011 ₂ X0X0 0011 ₂ X0X0 0011 ₂ X0X0 0011 ₂
004C ₁₆			
004D ₁₆			
004E ₁₆			
004F ₁₆			
0050 ₁₆			
0051 ₁₆			
0052 ₁₆			
0053 ₁₆			
0054 ₁₆			
0055 ₁₆			
0056 ₁₆			
0057 ₁₆			
0058 ₁₆			
0059 ₁₆			
005A ₁₆			
005B ₁₆			
005C ₁₆			
005D ₁₆			
005E ₁₆			
005F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
006016			
006116			
006216			
006316			
006416			
006516			
006616			
006716			
006816	DMA0割り込み制御レジスタ	DM0IC	XXXX X0002
006916	タイマB5割り込み制御レジスタ	TB5IC	XXXX X0002
006A16	DMA2割り込み制御レジスタ	DM2IC	XXXX X0002
006B16	UART2受信/ACK割り込み制御レジスタ	S2RIC	XXXX X0002
006C16	タイマA0割り込み制御レジスタ	TA0IC	XXXX X0002
006D16	UART3受信/ACK割り込み制御レジスタ	S3RIC	XXXX X0002
006E16	タイマA2割り込み制御レジスタ	TA2IC	XXXX X0002
006F16	UART4受信/ACK割り込み制御レジスタ	S4RIC	XXXX X0002
007016	タイマA4割り込み制御レジスタ	TA4IC	XXXX X0002
007116	UART0/UART3/バス衝突検出割り込み制御レジスタ	BCN0IC/BCN3IC	XXXX X0002
007216	UART0受信/ACK割り込み制御レジスタ	S0RIC	XXXX X0002
007316	A/D0変換割り込み制御レジスタ	AD0IC	XXXX X0002
007416	UART1受信/ACK割り込み制御レジスタ	S1RIC	XXXX X0002
007516	インテリジェントI/O割り込み制御レジスタ0	IIO0IC	XXXX X0002
007616	タイマB1割り込み制御レジスタ	TB1IC	XXXX X0002
007716	インテリジェントI/O割り込み制御レジスタ2	IIO2IC	XXXX X0002
007816	タイマB3割り込み制御レジスタ	TB3IC	XXXX X0002
007916	インテリジェントI/O割り込み制御レジスタ4	IIO4IC	XXXX X0002
007A16	INT5割り込み制御レジスタ	INT5IC	XX00 X0002
007B16			
007C16	INT3割り込み制御レジスタ	INT3IC	XX00 X0002
007D16			
007E16	INT1割り込み制御レジスタ	INT1IC	XX00 X0002
007F16			
008016			
008116			
008216			
008316			
008416			
008516			
008616			
008716			
008816	DMA1割り込み制御レジスタ	DM1IC	XXXX X0002
008916	UART2送信/NACK割り込み制御レジスタ	S2TIC	XXXX X0002
008A16	DMA3割り込み制御レジスタ	DM3IC	XXXX X0002
008B16	UART3送信/NACK割り込み制御レジスタ	S3TIC	XXXX X0002
008C16	タイマA1割り込み制御レジスタ	TA1IC	XXXX X0002
008D16	UART4送信/NACK割り込み制御レジスタ	S4TIC	XXXX X0002
008E16	タイマA3割り込み制御レジスタ	TA3IC	XXXX X0002
008F16	UART2バス衝突検出割り込み制御レジスタ	BCN2IC	XXXX X0002

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0090 ₁₆	UART0送信/NACK割り込み制御レジスタ	S0TIC	XXXX X000 ₂
0091 ₁₆	UART1/UART4バス衝突検出割り込み制御レジスタ	BCN1IC/BCN4IC	XXXX X000 ₂
0092 ₁₆	UART1送信/NACK割り込み制御レジスタ	S1TIC	XXXX X000 ₂
0093 ₁₆	キー入力割り込み制御レジスタ	KUPIC	XXXX X000 ₂
0094 ₁₆	タイマB0割り込み制御レジスタ	TB0IC	XXXX X000 ₂
0095 ₁₆	インテリジェントI/O割り込み制御レジスタ1	IIO1IC	XXXX X000 ₂
0096 ₁₆	タイマB2割り込み制御レジスタ	TB2IC	XXXX X000 ₂
0097 ₁₆	インテリジェントI/O割り込み制御レジスタ3	IIO3IC	XXXX X000 ₂
0098 ₁₆	タイマB4割り込み制御レジスタ	TB4IC	XXXX X000 ₂
0099 ₁₆			
009A ₁₆	INT4割り込み制御レジスタ	INT4IC	XX00 X000 ₂
009B ₁₆			
009C ₁₆	INT2割り込み制御レジスタ	INT2IC	XX00 X000 ₂
009D ₁₆			
009E ₁₆	INT0割り込み制御レジスタ	INT0IC	XX00 X000 ₂
009F ₁₆	復帰用優先順位レジスタ	RLVL	XXXX 0000 ₂
00A0 ₁₆	割り込み要求レジスタ0	IIO0IR	0000 000X ₂
00A1 ₁₆	割り込み要求レジスタ1	IIO1IR	0000 000X ₂
00A2 ₁₆	割り込み要求レジスタ2	IIO2IR	0000 000X ₂
00A3 ₁₆	割り込み要求レジスタ3	IIO3IR	0000 000X ₂
00A4 ₁₆	割り込み要求レジスタ4	IIO4IR	0000 000X ₂
00A5 ₁₆			
00A6 ₁₆			
00A7 ₁₆			
00A8 ₁₆			
00A9 ₁₆			
00AA ₁₆			
00AB ₁₆			
00AC ₁₆			
00AD ₁₆			
00AE ₁₆			
00AF ₁₆			
00B0 ₁₆	割り込み許可レジスタ0	IIO0IE	00 ₁₆
00B1 ₁₆	割り込み許可レジスタ1	IIO1IE	00 ₁₆
00B2 ₁₆	割り込み許可レジスタ2	IIO2IE	00 ₁₆
00B3 ₁₆	割り込み許可レジスタ3	IIO3IE	00 ₁₆
00B4 ₁₆	割り込み許可レジスタ4	IIO4IE	00 ₁₆
00B5 ₁₆			
00B6 ₁₆			
00B7 ₁₆			
00B8 ₁₆			
00B9 ₁₆			
00BA ₁₆			
00BB ₁₆			
00BC ₁₆			
00BD ₁₆			
00BE ₁₆			
00BF ₁₆			

X: 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00C0 ₁₆			
00C1 ₁₆			
00C2 ₁₆			
00C3 ₁₆			
00C4 ₁₆			
00C5 ₁₆			
00C6 ₁₆			
00C7 ₁₆			
00C8 ₁₆			
00C9 ₁₆			
00CA ₁₆			
00CB ₁₆			
00CC ₁₆			
00CD ₁₆			
00CE ₁₆			
00CF ₁₆			
00D0 ₁₆			
00D1 ₁₆			
00D2 ₁₆			
00D3 ₁₆			
00D4 ₁₆			
00D5 ₁₆			
00D6 ₁₆			
00D7 ₁₆			
00D8 ₁₆			
00D9 ₁₆			
00DA ₁₆			
00DB ₁₆			
00DC ₁₆			
00DD ₁₆			
00DE ₁₆			
00DF ₁₆			
00E0 ₁₆			
00E1 ₁₆			
00E2 ₁₆			
00E3 ₁₆			
00E4 ₁₆			
00E5 ₁₆			
00E6 ₁₆			
00E7 ₁₆			
00E8 ₁₆ 00E9 ₁₆	SI/O受信バッファレジスタ0	G0RB	XXXX XXXX ₂ XXX0 XXXX ₂
00EA ₁₆ 00EB ₁₆	送信バッファ/受信データレジスタ0	G0TB/G0DR	XX ₁₆
00EC ₁₆	受信入力レジスタ0	G0RI	XX ₁₆
00ED ₁₆	SI/O通信モードレジスタ0	G0MR	00 ₁₆
00EE ₁₆	送信出力レジスタ0	G0TO	XX ₁₆
00EF ₁₆	SI/O通信制御レジスタ0	G0CR	0000 X01 ₁₂

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
00F0 ₁₆	データ比較レジスタ00	G0CMP0	XX ₁₆
00F1 ₁₆	データ比較レジスタ01	G0CMP1	XX ₁₆
00F2 ₁₆	データ比較レジスタ02	G0CMP2	XX ₁₆
00F3 ₁₆	データ比較レジスタ03	G0CMP3	XX ₁₆
00F4 ₁₆	データマスクレジスタ00	G0MSK0	XX ₁₆
00F5 ₁₆	データマスクレジスタ01	G0MSK1	XX ₁₆
00F6 ₁₆	通信クロック選択レジスタ	CCS	XXXX 0000 ₂
00F7 ₁₆			
00F8 ₁₆	受信CRCコードレジスタ0	G0RCRC	XX ₁₆
00F9 ₁₆			XX ₁₆
00FA ₁₆	送信CRCコードレジスタ0	G0TCRC	00 ₁₆
00FB ₁₆			00 ₁₆
00FC ₁₆	SI/O拡張モードレジスタ0	G0EMR	00 ₁₆
00FD ₁₆	SI/O拡張受信制御レジスタ0	G0ERC	00 ₁₆
00FE ₁₆	SI/O特殊通信割り込み判別レジスタ0	G0IRF	00 ₁₆
00FF ₁₆	SI/O拡張送信制御レジスタ0	G0ETC	0000 0XXX ₂
0100 ₁₆			
0101 ₁₆			
0102 ₁₆			
0103 ₁₆			
0104 ₁₆			
0105 ₁₆			
0106 ₁₆			
0107 ₁₆			
0108 ₁₆			
0109 ₁₆			
010A ₁₆			
010B ₁₆			
010C ₁₆			
010D ₁₆			
010E ₁₆			
010F ₁₆			
0110 ₁₆			
0111 ₁₆			
0112 ₁₆			
0113 ₁₆			
0114 ₁₆			
0115 ₁₆			
0116 ₁₆			
0117 ₁₆			
0118 ₁₆			
0119 ₁₆			
011A ₁₆			
011B ₁₆			
011C ₁₆			
011D ₁₆			
011E ₁₆			
011F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0120 ₁₆			
0121 ₁₆			
0122 ₁₆			
0123 ₁₆			
0124 ₁₆			
0125 ₁₆			
0126 ₁₆			
0127 ₁₆			
0128 ₁₆ 0129 ₁₆	SI/O受信バッファレジスタ1	G1RB	XXXX XXXX ₂ XXX0 XXXX ₂
012A ₁₆ 012B ₁₆	送信バッファ/受信データレジスタ1	G1TB/G1DR	XX ₁₆
012C ₁₆	受信入力レジスタ1	G1RI	XX ₁₆
012D ₁₆	SI/O通信モードレジスタ1	G1MR	00 ₁₆
012E ₁₆	送信出力レジスタ1	G1TO	XX ₁₆
012F ₁₆	SI/O通信制御レジスタ1	G1CR	0000 X011 ₂
0130 ₁₆	データ比較レジスタ10	G1CMP0	XX ₁₆
0131 ₁₆	データ比較レジスタ11	G1CMP1	XX ₁₆
0132 ₁₆	データ比較レジスタ12	G1CMP2	XX ₁₆
0133 ₁₆	データ比較レジスタ13	G1CMP3	XX ₁₆
0134 ₁₆	データマスクレジスタ10	G1MSK0	XX ₁₆
0135 ₁₆	データマスクレジスタ11	G1MSK1	XX ₁₆
0136 ₁₆			
0137 ₁₆			
0138 ₁₆ 0139 ₁₆	受信CRCコードレジスタ1	G1RCRC	XX ₁₆ XX ₁₆
013A ₁₆ 013B ₁₆	送信CRCコードレジスタ1	G1TCRC	00 ₁₆ 00 ₁₆
013C ₁₆	SI/O拡張モードレジスタ1	G1EMR	00 ₁₆
013D ₁₆	SI/O拡張受信制御レジスタ1	G1ERC	00 ₁₆
013E ₁₆	SI/O特殊通信割り込み判別レジスタ1	G1IRF	00 ₁₆
013F ₁₆ 0140 ₁₆ 0141 ₁₆ 0142 ₁₆ 0143 ₁₆ 0144 ₁₆ 0145 ₁₆ 0146 ₁₆ 0147 ₁₆ 0148 ₁₆ 0149 ₁₆ 014A ₁₆ 014B ₁₆ 014C ₁₆ 014D ₁₆ }	SI/O拡張送信制御レジスタ1	G1ETC	0000 0XXX ₂
02B8 ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
02B9 ₁₆			
02BA ₁₆			
02BB ₁₆			
02BC ₁₆			
02BD ₁₆			
02BE ₁₆			
02BF ₁₆			
02C0 ₁₆ 02C1 ₁₆	X0レジスタ Y0レジスタ	X0R,Y0R	XX ₁₆ XX ₁₆
02C2 ₁₆ 02C3 ₁₆	X1レジスタ Y1レジスタ	X1R,Y1R	XX ₁₆ XX ₁₆
02C4 ₁₆ 02C5 ₁₆	X2レジスタ Y2レジスタ	X2R,Y2R	XX ₁₆ XX ₁₆
02C6 ₁₆ 02C7 ₁₆	X3レジスタ Y3レジスタ	X3R,Y3R	XX ₁₆ XX ₁₆
02C8 ₁₆ 02C9 ₁₆	X4レジスタ Y4レジスタ	X4R,Y4R	XX ₁₆ XX ₁₆
02CA ₁₆ 02CB ₁₆	X5レジスタ Y5レジスタ	X5R,Y5R	XX ₁₆ XX ₁₆
02CC ₁₆ 02CD ₁₆	X6レジスタ Y6レジスタ	X6R,Y6R	XX ₁₆ XX ₁₆
02CE ₁₆ 02CF ₁₆	X7レジスタ Y7レジスタ	X7R,Y7R	XX ₁₆ XX ₁₆
02D0 ₁₆ 02D1 ₁₆	X8レジスタ Y8レジスタ	X8R,Y8R	XX ₁₆ XX ₁₆
02D2 ₁₆ 02D3 ₁₆	X9レジスタ Y9レジスタ	X9R,Y9R	XX ₁₆ XX ₁₆
02D4 ₁₆ 02D5 ₁₆	X10レジスタ Y10レジスタ	X10R,Y10R	XX ₁₆ XX ₁₆
02D6 ₁₆ 02D7 ₁₆	X11レジスタ Y11レジスタ	X11R,Y11R	XX ₁₆ XX ₁₆
02D8 ₁₆ 02D9 ₁₆	X12レジスタ Y12レジスタ	X12R,Y12R	XX ₁₆ XX ₁₆
02DA ₁₆ 02DB ₁₆	X13レジスタ Y13レジスタ	X13R,Y13R	XX ₁₆ XX ₁₆
02DC ₁₆ 02DD ₁₆	X14レジスタ Y14レジスタ	X14R,Y14R	XX ₁₆ XX ₁₆
02DE ₁₆ 02DF ₁₆	X15レジスタ Y15レジスタ	X15R,Y15R	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
02E0 ₁₆	X/Y制御レジスタ	XYC	XXXX XX00 ₂
02E1 ₁₆			
02E2 ₁₆			
02E3 ₁₆			
02E4 ₁₆	UART1特殊モードレジスタ4	U1SMR4	00 ₁₆
02E5 ₁₆	UART1特殊モードレジスタ3	U1SMR3	00 ₁₆
02E6 ₁₆	UART1特殊モードレジスタ2	U1SMR2	00 ₁₆
02E7 ₁₆	UART1特殊モードレジスタ	U1SMR	00 ₁₆
02E8 ₁₆	UART1送受信モードレジスタ	U1MR	00 ₁₆
02E9 ₁₆	UART1転送速度レジスタ	U1BRG	XX ₁₆
02EA ₁₆	UART1送信バッファレジスタ	U1TB	XX ₁₆
02EB ₁₆			XX ₁₆
02EC ₁₆	UART1送受信制御レジスタ0	U1C0	0000 1000 ₂
02ED ₁₆	UART1送受信制御レジスタ1	U1C1	0000 0010 ₂
02EE ₁₆	UART1受信バッファレジスタ	U1RB	XX ₁₆
02EF ₁₆			XX ₁₆
02F0 ₁₆			
02F1 ₁₆			
02F2 ₁₆			
02F3 ₁₆			
02F4 ₁₆	UART4特殊モードレジスタ4	U4SMR4	00 ₁₆
02F5 ₁₆	UART4特殊モードレジスタ3	U4SMR3	00 ₁₆
02F6 ₁₆	UART4特殊モードレジスタ2	U4SMR2	00 ₁₆
02F7 ₁₆	UART4特殊モードレジスタ	U4SMR	00 ₁₆
02F8 ₁₆	UART4送受信モードレジスタ	U4MR	00 ₁₆
02F9 ₁₆	UART4転送速度レジスタ	U4BRG	XX ₁₆
02FA ₁₆	UART4送信バッファレジスタ	U4TB	XX ₁₆
02FB ₁₆			XX ₁₆
02FC ₁₆	UART4送受信制御レジスタ0	U4C0	0000 1000 ₂
02FD ₁₆	UART4送受信制御レジスタ1	U4C1	0000 0010 ₂
02FE ₁₆	UART4受信バッファレジスタ	U4RB	XX ₁₆
02FF ₁₆			XX ₁₆
0300 ₁₆	タイマB3,B4,B5カウント開始フラグ	TBSR	000X XXXX ₂
0301 ₁₆			
0302 ₁₆	タイマA1-1レジスタ	TA11	XX ₁₆
0303 ₁₆			XX ₁₆
0304 ₁₆	タイマA2-1レジスタ	TA21	XX ₁₆
0305 ₁₆			XX ₁₆
0306 ₁₆	タイマA4-1レジスタ	TA41	XX ₁₆
0307 ₁₆			XX ₁₆
0308 ₁₆	三相PWM制御レジスタ0	INVC0	00 ₁₆
0309 ₁₆	三相PWM制御レジスタ1	INVC1	00 ₁₆
030A ₁₆	三相出力バッファレジスタ0	IDB0	XX ₁₁ 1111 ₂
030B ₁₆	三相出力バッファレジスタ1	IDB1	XX ₁₁ 1111 ₂
030C ₁₆	短絡防止タイマ	DTT	XX ₁₆
030D ₁₆	タイマB2割り込み発生頻度設定カウンタ	ICTB2	XX ₁₆
030E ₁₆			
030F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0310 ₁₆ 0311 ₁₆	タイマB3レジスタ	TB3	XX ₁₆ XX ₁₆
0312 ₁₆ 0313 ₁₆	タイマB4レジスタ	TB4	XX ₁₆ XX ₁₆
0314 ₁₆ 0315 ₁₆	タイマB5レジスタ	TB5	XX ₁₆ XX ₁₆
0316 ₁₆			
0317 ₁₆			
0318 ₁₆			
0319 ₁₆			
031A ₁₆			
031B ₁₆	タイマB3モードレジスタ	TB3MR	00XX 0000 ₂
031C ₁₆	タイマB4モードレジスタ	TB4MR	00XX 0000 ₂
031D ₁₆	タイマB5モードレジスタ	TB5MR	00XX 0000 ₂
031E ₁₆			
031F ₁₆	外部割り込み要因選択レジスタ	IFSR	00 ₁₆
0320 ₁₆			
0321 ₁₆			
0322 ₁₆			
0323 ₁₆			
0324 ₁₆	UART3特殊モードレジスタ4	U3SMR4	00 ₁₆
0325 ₁₆	UART3特殊モードレジスタ3	U3SMR3	00 ₁₆
0326 ₁₆	UART3特殊モードレジスタ2	U3SMR2	00 ₁₆
0327 ₁₆	UART3特殊モードレジスタ	U3SMR	00 ₁₆
0328 ₁₆	UART3送受信モードレジスタ	U3MR	00 ₁₆
0329 ₁₆	UART3転送速度レジスタ	U3BRG	XX ₁₆
032A ₁₆ 032B ₁₆	UART3送信バッファレジスタ	U3TB	XX ₁₆ XX ₁₆
032C ₁₆	UART3送受信制御レジスタ0	U3C0	0000 1000 ₂
032D ₁₆	UART3送受信制御レジスタ1	U3C1	0000 0010 ₂
032E ₁₆ 032F ₁₆	UART3受信バッファレジスタ	U3RB	XX ₁₆ XX ₁₆
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆	UART2特殊モードレジスタ4	U2SMR4	00 ₁₆
0335 ₁₆	UART2特殊モードレジスタ3	U2SMR3	00 ₁₆
0336 ₁₆	UART2特殊モードレジスタ2	U2SMR2	00 ₁₆
0337 ₁₆	UART2特殊モードレジスタ	U2SMR	00 ₁₆
0338 ₁₆	UART2送受信モードレジスタ	U2MR	00 ₁₆
0339 ₁₆	UART2転送速度レジスタ	U2BRG	XX ₁₆
033A ₁₆ 033B ₁₆	UART2送信バッファレジスタ	U2TB	XX ₁₆ XX ₁₆
033C ₁₆	UART2送受信制御レジスタ0	U2C0	0000 1000 ₂
033D ₁₆	UART2送受信制御レジスタ1	U2C1	0000 0010 ₂
033E ₁₆ 033F ₁₆	UART2受信バッファレジスタ	U2RB	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
0340 ₁₆	カウント開始フラグ	TABSR	00 ₁₆
0341 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	0XXX XXXX ₂
0342 ₁₆	ワンショット開始フラグ	ONSF	00 ₁₆
0343 ₁₆	トリガ選択レジスタ	TRGSR	00 ₁₆
0344 ₁₆	アップダウンフラグ	UDF	00 ₁₆
0345 ₁₆			
0346 ₁₆ 0347 ₁₆	タイマA0レジスタ	TA0	XX ₁₆ XX ₁₆
0348 ₁₆ 0349 ₁₆	タイマA1レジスタ	TA1	XX ₁₆ XX ₁₆
034A ₁₆ 034B ₁₆	タイマA2レジスタ	TA2	XX ₁₆ XX ₁₆
034C ₁₆ 034D ₁₆	タイマA3レジスタ	TA3	XX ₁₆ XX ₁₆
034E ₁₆ 034F ₁₆	タイマA4レジスタ	TA4	XX ₁₆ XX ₁₆
0350 ₁₆ 0351 ₁₆	タイマB0レジスタ	TB0	XX ₁₆ XX ₁₆
0352 ₁₆ 0353 ₁₆	タイマB1レジスタ	TB1	XX ₁₆ XX ₁₆
0354 ₁₆ 0355 ₁₆	タイマB2レジスタ	TB2	XX ₁₆ XX ₁₆
0356 ₁₆	タイマA0モードレジスタ	TA0MR	00 ₁₆
0357 ₁₆	タイマA1モードレジスタ	TA1MR	00 ₁₆
0358 ₁₆	タイマA2モードレジスタ	TA2MR	00 ₁₆
0359 ₁₆	タイマA3モードレジスタ	TA3MR	00 ₁₆
035A ₁₆	タイマA4モードレジスタ	TA4MR	00 ₁₆
035B ₁₆	タイマB0モードレジスタ	TB0MR	00XX 0000 ₂
035C ₁₆	タイマB1モードレジスタ	TB1MR	00XX 0000 ₂
035D ₁₆	タイマB2モードレジスタ	TB2MR	00XX 0000 ₂
035E ₁₆	タイマB2特殊モードレジスタ	TB2SC	XXXX XXX0 ₂
035F ₁₆	カウントソースプリスケアラレジスタ(注1)	TCSPR	0XXX 0000 ₂
0360 ₁₆			
0361 ₁₆			
0362 ₁₆			
0363 ₁₆			
0364 ₁₆	UART0特殊モードレジスタ4	U0SMR4	00 ₁₆
0365 ₁₆	UART0特殊モードレジスタ3	U0SMR3	00 ₁₆
0366 ₁₆	UART0特殊モードレジスタ2	U0SMR2	00 ₁₆
0367 ₁₆	UART0特殊モードレジスタ	U0SMR	00 ₁₆
0368 ₁₆	UART0送受信モードレジスタ	U0MR	00 ₁₆
0369 ₁₆	UART0転送速度レジスタ	U0BRG	XX ₁₆
036A ₁₆ 036B ₁₆	UART0送信バッファレジスタ	U0TB	XX ₁₆ XX ₁₆
036C ₁₆	UART0送受信制御レジスタ0	U0C0	0000 1000 ₂
036D ₁₆	UART0送受信制御レジスタ1	U0C1	0000 0010 ₂
036E ₁₆ 036F ₁₆	UART0受信バッファレジスタ	U0RB	XX ₁₆ XX ₁₆

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. TCSPRレジスタはソフトウェアリセット、ウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

番地	レジスタ	シンボル	リセット後の値
0370 ₁₆			
0371 ₁₆			
0372 ₁₆			
0373 ₁₆			
0374 ₁₆			
0375 ₁₆			
0376 ₁₆			
0377 ₁₆			
0378 ₁₆	DMA0要因選択レジスタ	DM0SL	0X00 0000 ₂
0379 ₁₆	DMA1要因選択レジスタ	DM1SL	0X00 0000 ₂
037A ₁₆	DMA2要因選択レジスタ	DM2SL	0X00 0000 ₂
037B ₁₆	DMA3要因選択レジスタ	DM3SL	0X00 0000 ₂
037C ₁₆	CRCデータレジスタ	CRCD	XX ₁₆
037D ₁₆			XX ₁₆
037E ₁₆	CRCインプットレジスタ	CRCIN	XX ₁₆
037F ₁₆			
0380 ₁₆	A/D0レジスタ0	AD00	XXXX XXXX ₂
0381 ₁₆			0000 0000 ₂
0382 ₁₆	A/D0レジスタ1	AD01	XX ₁₆
0383 ₁₆			XX ₁₆
0384 ₁₆	A/D0レジスタ2	AD02	XX ₁₆
0385 ₁₆			XX ₁₆
0386 ₁₆	A/D0レジスタ3	AD03	XX ₁₆
0387 ₁₆			XX ₁₆
0388 ₁₆	A/D0レジスタ4	AD04	XX ₁₆
0389 ₁₆			XX ₁₆
038A ₁₆	A/D0レジスタ5	AD05	XX ₁₆
038B ₁₆			XX ₁₆
038C ₁₆	A/D0レジスタ6	AD06	XX ₁₆
038D ₁₆			XX ₁₆
038E ₁₆	A/D0レジスタ7	AD07	XX ₁₆
038F ₁₆			XX ₁₆
0390 ₁₆			
0391 ₁₆			
0392 ₁₆			
0393 ₁₆			
0394 ₁₆	A/D0制御レジスタ2	AD0CON2	XX0X XXX0 ₂
0395 ₁₆	A/D0制御レジスタ3	AD0CON3	XXXX X000 ₂
0396 ₁₆	A/D0制御レジスタ0	AD0CON0	00 ₁₆
0397 ₁₆	A/D0制御レジスタ1	AD0CON1	00 ₁₆
0398 ₁₆	D/Aレジスタ0	DA0	XX ₁₆
0399 ₁₆			
039A ₁₆	D/Aレジスタ1	DA1	XX ₁₆
039B ₁₆			
039C ₁₆	D/A制御レジスタ	DACON	XXXX XX00 ₂
039D ₁₆			
039E ₁₆			
039F ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
03A0 ₁₆			
03A1 ₁₆			
03A2 ₁₆			
03A3 ₁₆			
03A4 ₁₆			
03A5 ₁₆			
03A6 ₁₆			
03A7 ₁₆	機能選択レジスタD1	PSD1	X0XX XX00 ₂
03A8 ₁₆			
03A9 ₁₆			
03AA ₁₆			
03AB ₁₆			
03AC ₁₆			
03AD ₁₆	機能選択レジスタC3	PSC3	X0XX XXXX ₂
03AE ₁₆			
03AF ₁₆	機能選択レジスタC	PSC	00X0 0000 ₂
03B0 ₁₆	機能選択レジスタA0	PS0	00 ₁₆
03B1 ₁₆	機能選択レジスタA1	PS1	00 ₁₆
03B2 ₁₆	機能選択レジスタB0	PSL0	00 ₁₆
03B3 ₁₆	機能選択レジスタB1	PSL1	00 ₁₆
03B4 ₁₆	機能選択レジスタA2	PS2	00X0 0000 ₂
03B5 ₁₆	機能選択レジスタA3	PS3	00 ₁₆
03B6 ₁₆	機能選択レジスタB2	PSL2	00X0 0000 ₂
03B7 ₁₆	機能選択レジスタB3	PSL3	00 ₁₆
03B8 ₁₆			
03B9 ₁₆			
03BA ₁₆			
03BB ₁₆			
03BC ₁₆			
03BD ₁₆			
03BE ₁₆			
03BF ₁₆			
03C0 ₁₆	ポートP6レジスタ	P6	XX ₁₆
03C1 ₁₆	ポートP7レジスタ	P7	XX ₁₆
03C2 ₁₆	ポートP6方向レジスタ	PD6	00 ₁₆
03C3 ₁₆	ポートP7方向レジスタ	PD7	00 ₁₆
03C4 ₁₆	ポートP8レジスタ	P8	XX ₁₆
03C5 ₁₆	ポートP9レジスタ	P9	XX ₁₆
03C6 ₁₆	ポートP8方向レジスタ	PD8	00X0 0000 ₂
03C7 ₁₆	ポートP9方向レジスタ	PD9	00 ₁₆
03C8 ₁₆	ポートP10レジスタ	P10	XX ₁₆
03C9 ₁₆			
03CA ₁₆	ポートP10方向レジスタ	PD10	00 ₁₆
03CB ₁₆			
03CC ₁₆			
03CD ₁₆			
03CE ₁₆			
03CF ₁₆			

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	リセット後の値
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆			
03D3 ₁₆			
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆	プルアップ制御レジスタ2	PUR2	00 ₁₆
03DB ₁₆	プルアップ制御レジスタ3	PUR3	00 ₁₆
03DC ₁₆			
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0レジスタ ^(注1)	P0	XX ₁₆
03E1 ₁₆	ポートP1レジスタ ^(注1)	P1	XX ₁₆
03E2 ₁₆	ポートP0方向レジスタ ^(注1)	PD0	00 ₁₆
03E3 ₁₆	ポートP1方向レジスタ ^(注1)	PD1	00 ₁₆
03E4 ₁₆	ポートP2レジスタ ^(注1)	P2	XX ₁₆
03E5 ₁₆	ポートP3レジスタ ^(注1)	P3	XX ₁₆
03E6 ₁₆	ポートP2方向レジスタ ^(注1)	PD2	00 ₁₆
03E7 ₁₆	ポートP3方向レジスタ ^(注1)	PD3	00 ₁₆
03E8 ₁₆	ポートP4レジスタ ^(注1)	P4	XX ₁₆
03E9 ₁₆	ポートP5レジスタ ^(注1)	P5	XX ₁₆
03EA ₁₆	ポートP4方向レジスタ ^(注1)	PD4	00 ₁₆
03EB ₁₆	ポートP5方向レジスタ ^(注1)	PD5	00 ₁₆
03EC ₁₆			
03ED ₁₆			
03EE ₁₆			
03EF ₁₆			
03F0 ₁₆	プルアップ制御レジスタ0	PUR0	00 ₁₆
03F1 ₁₆	プルアップ制御レジスタ1	PUR1	XXXX 0000 ₂
03F2 ₁₆			
03F3 ₁₆			
03F4 ₁₆			
03F5 ₁₆			
03F6 ₁₆			
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆			
03FD ₁₆			
03FE ₁₆			
03FF ₁₆	ポート制御レジスタ	PCR	XXXX XXX0 ₂

X : 不定

空欄はすべて予約領域です。アクセスしないでください。

注1. バス制御端子として使用する端子は、入出力ポートとして使用できません。

5. リセット

リセットには、ハードウェアリセット1、ソフトウェアリセット、ウォッチドッグタイマリセットがあります。

5.1 ハードウェアリセット1

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子は初期化されます(表5.1を参照)。また、発振回路が初期化され、メインクロックの発振が始まります。RESET端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子への入力が“L”になると、書いた値は不定となります。

図5.1にリセット回路の一例を、図5.2にリセットシーケンスを、表5.1にRESET端子のレベルが“L”の期間の端子の状態を示します。

5.1.1 電源安定時

- (1)RESET端子に“L”を入力する
- (2)XIN端子に20サイクル以上のクロックを入力する
- (3)RESET端子に“H”を入力する

5.1.2 電源投入時

- (1)RESET端子に“L”を入力する
- (2)電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3)内部電源が安定するまで $t_d(P-R)$ 待つ
- (4)XIN端子に20サイクル以上のクロックを入力する
- (5)RESET端子に“H”を入力する

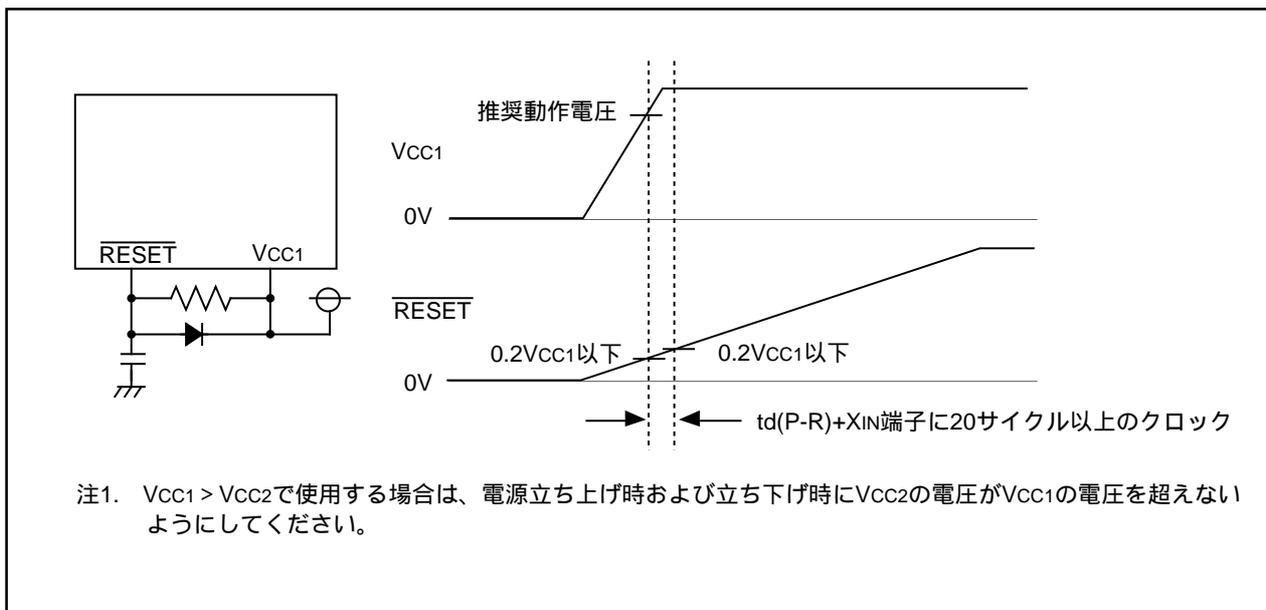


図5.1 リセット回路の一例

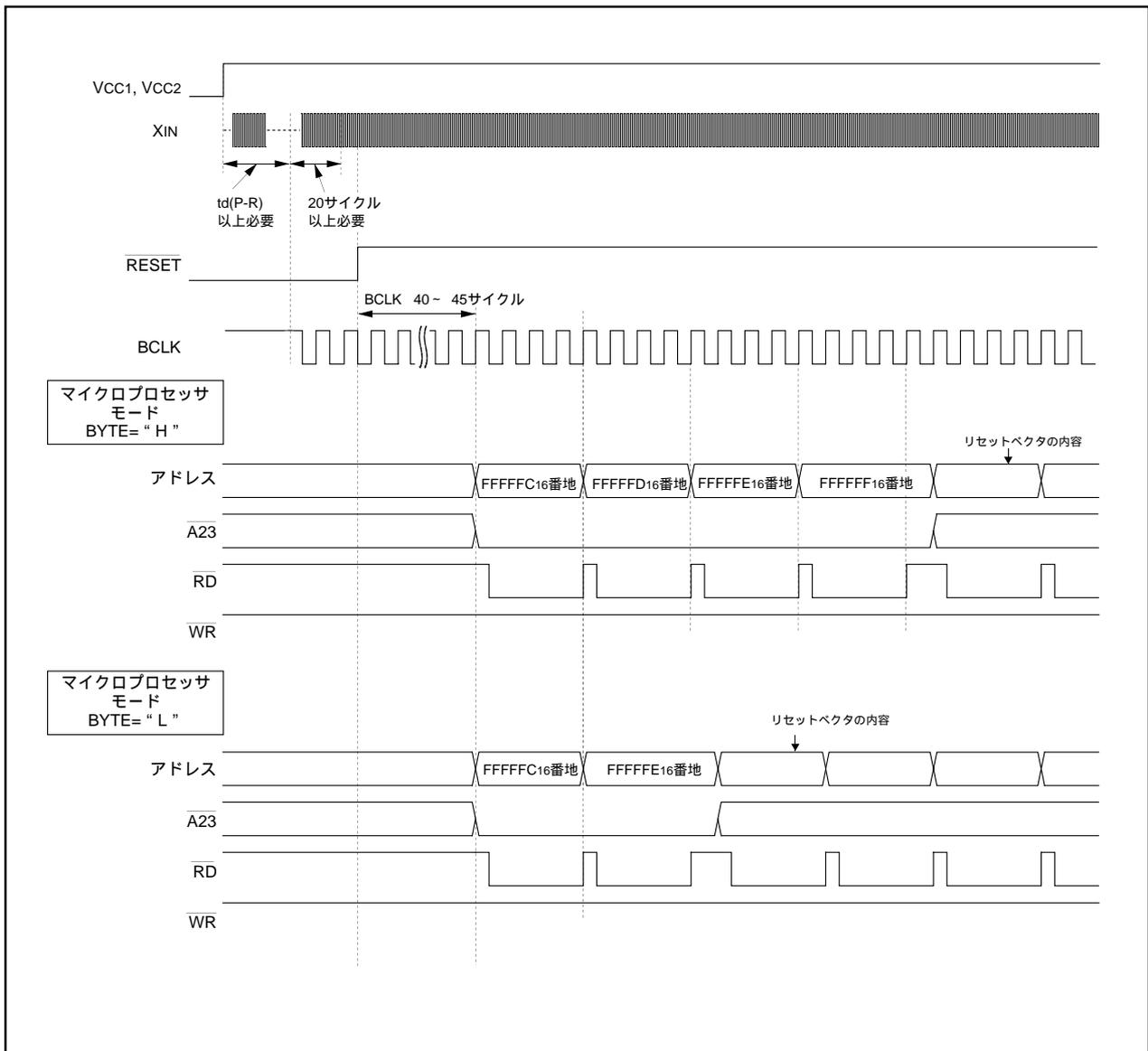


図5.2 リセットシーケンス

表5.1 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態 ^(注1)		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	
P1	入力ポート(ハイインピーダンス)	データ入力(ハイインピーダンス)	入力ポート(ハイインピーダンス)
P2, P3, P4	入力ポート(ハイインピーダンス)	アドレス出力(不定)	
P50	入力ポート(ハイインピーダンス)	WR出力(“H”を出力) ^(注2)	
P51	入力ポート(ハイインピーダンス)	BHE出力(不定)	
P52	入力ポート(ハイインピーダンス)	RD出力(“H”を出力) ^(注2)	
P53	入力ポート(ハイインピーダンス)	BCLK出力 ^(注2)	
P54	入力ポート(ハイインピーダンス)	HLDA出力(出力値は $\overline{\text{HOLD}}$ 端子の入力に依存) ^(注2)	
P55	入力ポート(ハイインピーダンス)	$\overline{\text{HOLD}}$ 入力(ハイインピーダンス)	
P56	入力ポート(ハイインピーダンス)	“H”を出力 ^(注2)	
P57	入力ポート(ハイインピーダンス)	$\overline{\text{RDY}}$ 入力(ハイインピーダンス)	
P6 ~ P10	入力ポート(ハイインピーダンス)	入力ポート(ハイインピーダンス)	

注1．内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。

注2．電源投入後、内部電源電圧が安定してからの状態です。内部電圧が安定するまで不定です。

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にすると、端子、CPU、SFRは初期化されます。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットも初期化されないため、プロセッサモードは変化しません。

5.3 ウォッチドッグタイマリセット

CM0レジスタのCM06ビットが“1”(リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

ウォッチドッグタイマリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットも初期化されないため、プロセッサモードは変化しません。

5.4 内部領域の状態

図5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は、「4. SFR」を参照してください。

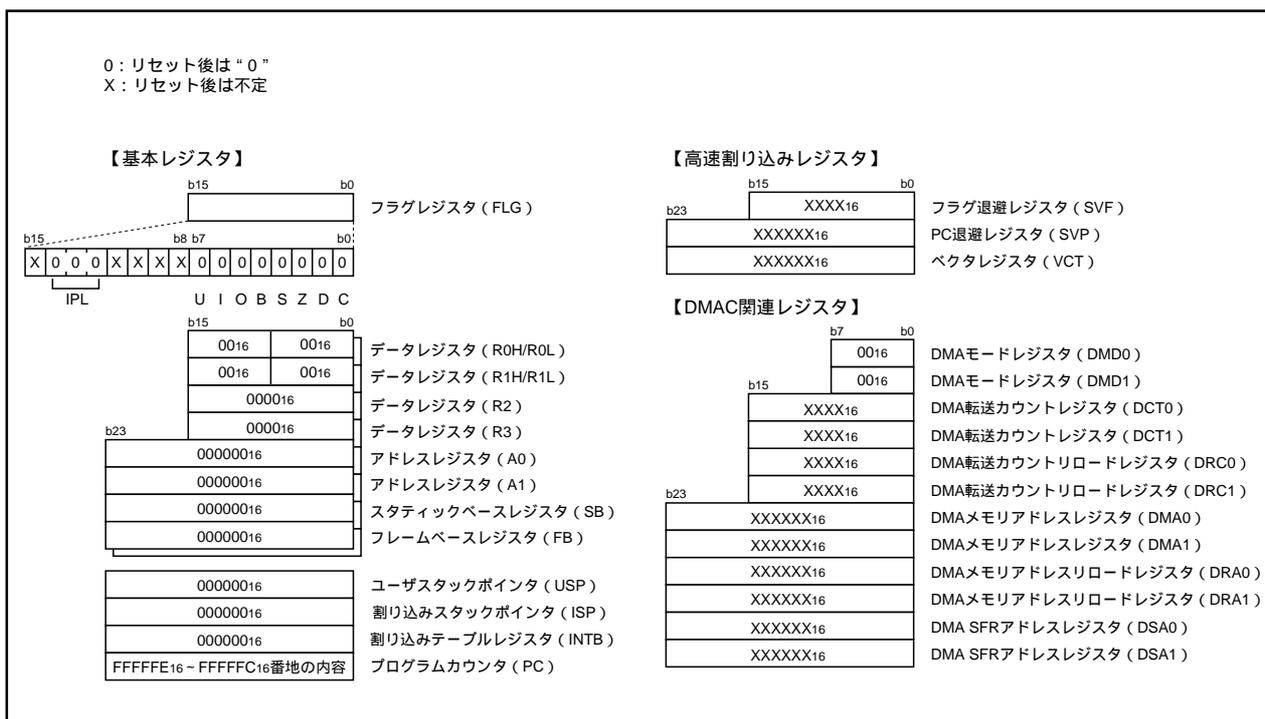


図5.3 リセット後のCPUレジスタの状態

6. プロセッサモード

注意

M32C/80グループはROMレス版です。CNVss端子をVcc1に接続してください。
リセット後はマイクロプロセッサモードで使用してください。

6.1 プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、またはマイクロプロセッサモードを選択できます。表6.1にプロセッサモードの特長を示します。

表6.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM	全端子が入出力ポートまたは周辺機能入出力端子
メモリ拡張モード	SFR、内部RAM、外部領域 ^(注1)	一部の端子がバス制御端子 ^(注)
マイクロプロセッサモード	SFR、内部RAM、外部領域 ^(注)	一部の端子がバス制御端子 ^(注)

注1. 詳細は、「7. バス」を参照してください。

6.2 プロセッサモードの設定

プロセッサモードの設定は、CNVss端子、PM0レジスタのPM01～PM00ビットで行います。表6.2にハードウェアリセット後のプロセッサモード、表6.3にPM01～PM00ビットの設定値に対するプロセッサモードを示します。

表6.2 ハードウェアリセット後のプロセッサモード

CNVss端子の入力レベル	プロセッサモード
VCC1(注1)	マイクロプロセッサモード

注1．マルチプレクスバスをCSの全空間に割り当てることはできません。

表6.3 PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
002	シングルチップモード
012	メモリ拡張モード
102	設定しないでください
112	マイクロプロセッサモード

PM01～PM00ビットを書き換えると、CNVss端子の入力レベルにかかわらず、PM01～PM00ビットに対応するモードになります。PM01～PM00ビットを“012”（メモリ拡張モード）または“112”（マイクロプロセッサモード）に書き換える場合、PM07～PM02ビットと同時に書き換えしないでください。

図6.1～図6.2にプロセッサモード関連レジスタ、図6.3に各プロセッサモードのメモリ配置を示します。

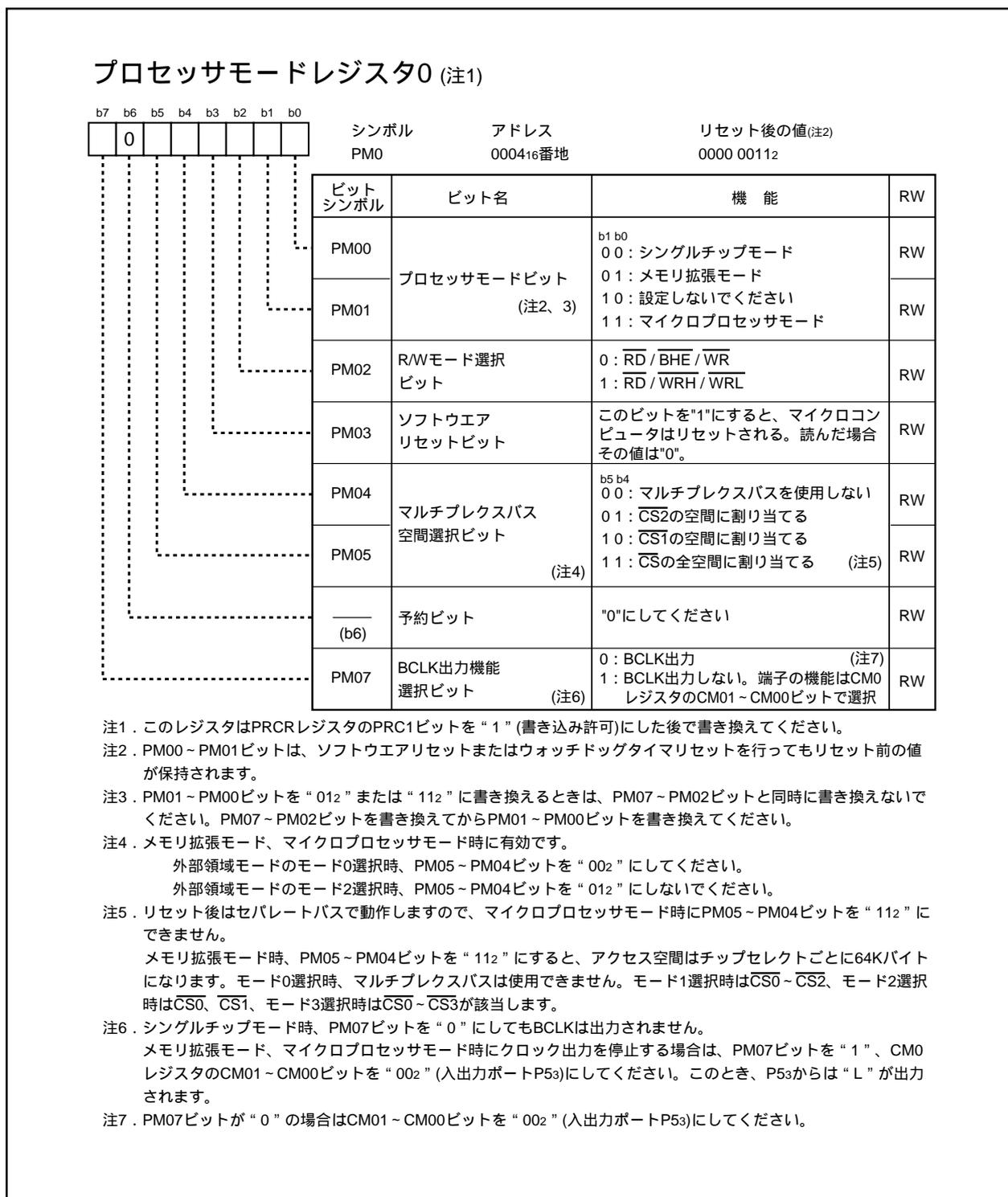


図6.1 PM0レジスタ

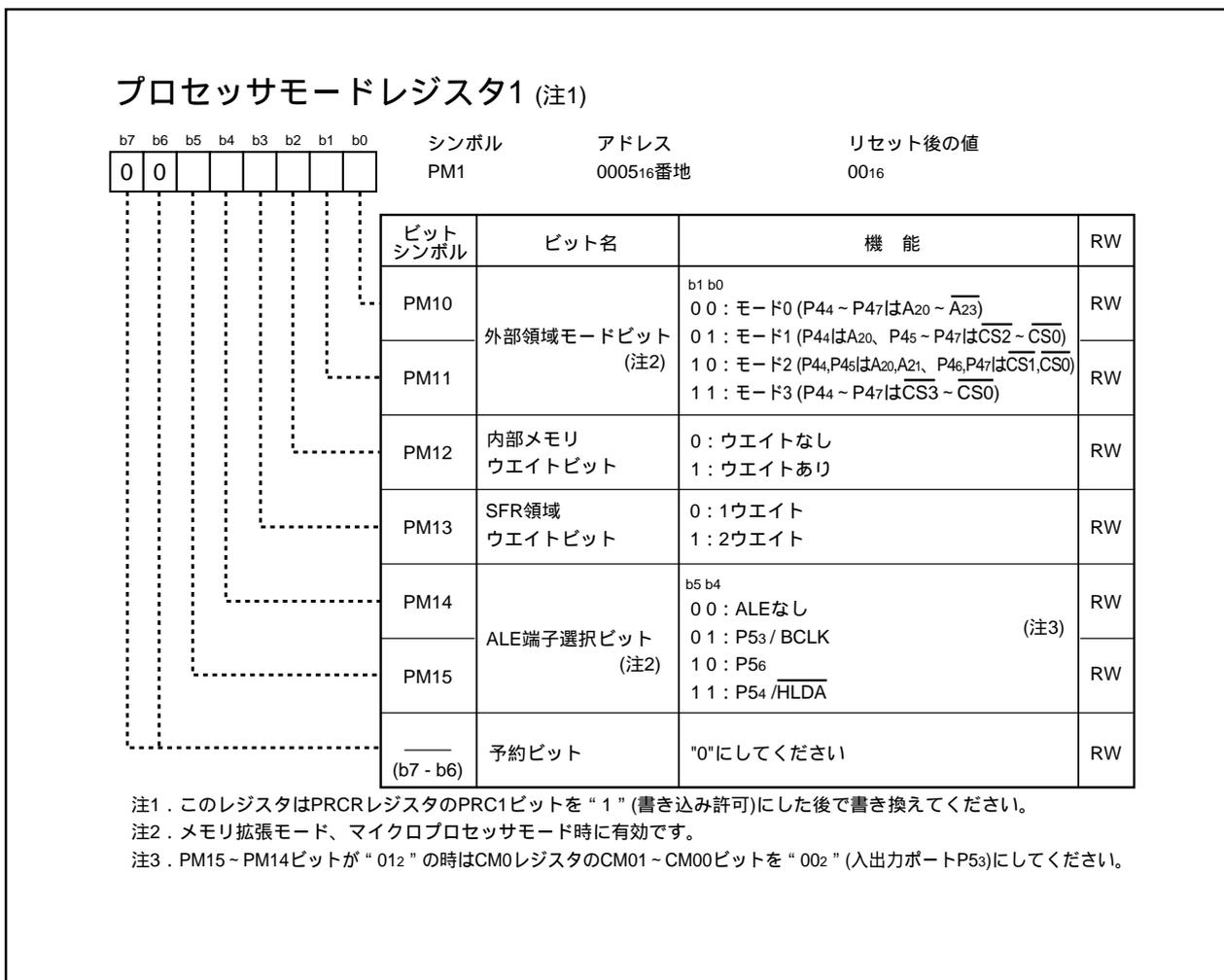


図6.2 PM1レジスタ

シングルチップモード		メモリ拡張モード			マイクロプロセッサモード		
モード0	モード1	モード2	モード3	モード0	モード1	モード2	モード3
000000 ¹⁶	SFR	SFR	SFR	SFR	SFR	SFR	SFR
000400 ¹⁶	内部RAM	内部RAM	内部RAM	内部RAM	内部RAM	内部RAM	内部RAM
00F000 ¹⁶	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域
010000 ¹⁶	ブロックA(注3)	ブロックA(注3)	ブロックA(注3)	ブロックA(注3)	ブロックA(注3)	ブロックA(注3)	ブロックA(注3)
100000 ¹⁶	外部領域0	CS1 2Mバイト (注1) 外部領域0	CS1 4Mバイト (注2) 外部領域0	外部領域0	CS1 2Mバイト (注1) 外部領域0	CS1 4Mバイト (注2) 外部領域0	CS1 1Mバイト 外部領域0
200000 ¹⁶	外部領域1	CS2 2Mバイト 外部領域1	CS2 1Mバイト 外部領域1	外部領域1	CS2 2Mバイト 外部領域1	CS2 1Mバイト 外部領域1	CS2 1Mバイト 外部領域1
300000 ¹⁶	外部領域2	外部領域2	外部領域2	外部領域2	外部領域2	外部領域2	外部領域2
400000 ¹⁶	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3	外部領域3
C00000 ¹⁶	使用不可	CS0 2Mバイト 外部領域3	CS0 3Mバイト 外部領域3	外部領域3	使用不可	CS0 4Mバイト 外部領域3	CS3 1Mバイト 外部領域2
D00000 ¹⁶	使用不可	使用不可	使用不可	外部領域3	使用不可	CS0 4Mバイト 外部領域3	使用不可
E00000 ¹⁶	予約領域	予約領域	予約領域	予約領域	CS0 2Mバイト 外部領域3	CS0 2Mバイト 外部領域3	CS0 1Mバイト 外部領域3
F00000 ¹⁶	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域
FFFFFF ¹⁶	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域	予約領域

注1. 200000¹⁶ - 010000¹⁶ = 1984Kバイト 2Mバイトに対して64K少ない
 注2. 400000¹⁶ - 010000¹⁶ = 4032Kバイト 4Mバイトに対して64K少ない

CS0 ~ CS3は各々EWCRiレジスタ(i=0 ~ 3)でウエイイト制御できます。

図6.3 各プロセッサモード時のメモリ配置

7. バス

メモリ拡張モード、またはマイクロプロセッサモードでは、一部の端子がアドレスバス、データバスを制御するバス制御端子となります。バス制御端子にはA0～A22、A23、D0～D15、CS0～CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE、HLDA/ALE、HOLD、ALE、RDYがあります。

7.1 バス設定

バスの設定はBYTE端子、DSレジスタ、PM0レジスタのPM05～PM04ビット、PM1レジスタのPM11～PM10ビットで切り替えられます。

表7.1にバスの設定と切り替え要因を、図7.1にDSレジスタを示します。

表7.1 バスの設定と切り替え要因

バスの設定	切り替え要因
外部データバス幅切り替え	DSレジスタ
リセット後のバス幅設定	BYTE端子(外部領域3のみ)
セパレートバス、マルチプレクスバス切り替え	PM0レジスタのPM05～PM04ビット
チップセレクトの数	PM1レジスタのPM11～PM10ビット

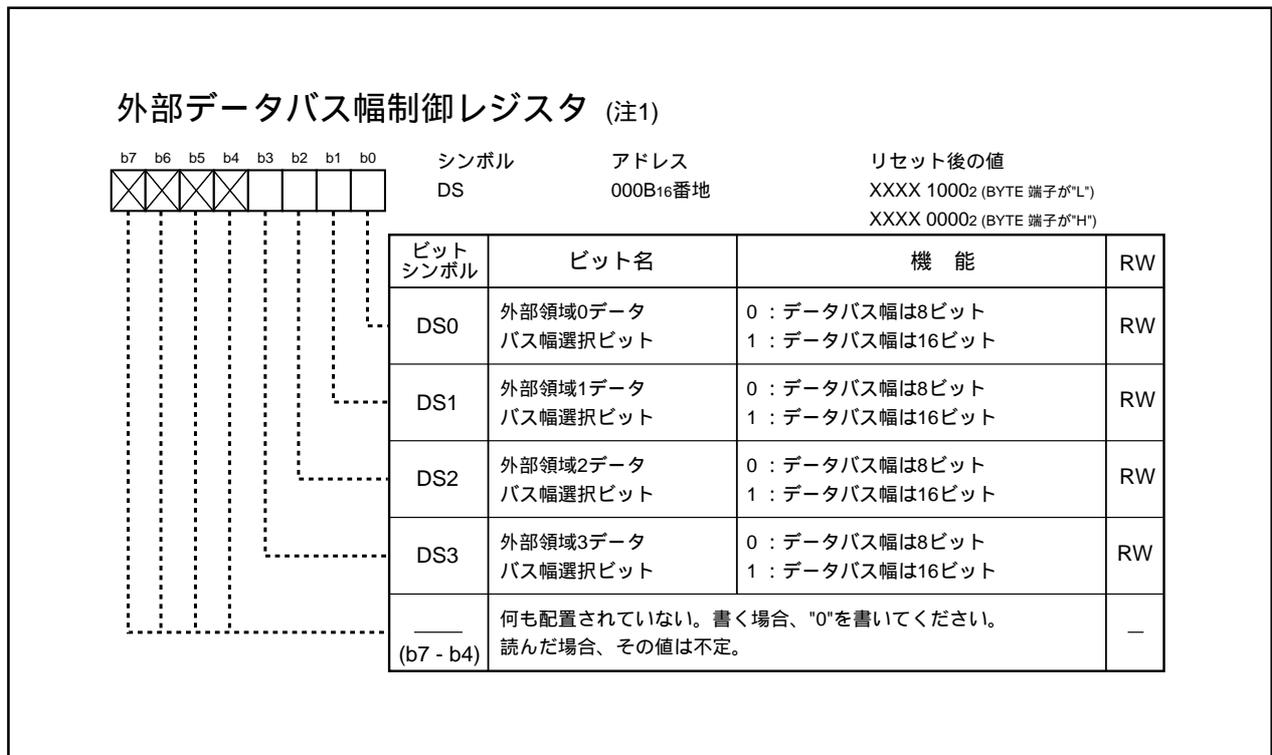


図7.1 DSレジスタ

7.1.1 外部アドレスバスの選択

外部に出力するアドレスバスの本数、チップセレクトの本数、チップセレクトの領域は外部領域モードごとに異なります。外部領域モードはPM11～PM10ビットで選択できます。

7.1.2 外部データバスの選択

外部データバスは外部領域ごとにDSレジスタで8ビットまたは16ビットを選択できます。リセット後の外部領域3のデータバスは、BYTE端子の入力が“L”のときは16ビット、“H”のときは8ビットです。動作中は、BYTE端子入力レベルを変更しないでください。内部バスは常に16ビットです。

7.1.3 セパレートバス、マルチプレクスバスの選択

バスの形式は、PM0レジスタのPM05～PM04ビットでマルチプレクスバスまたはセパレートバスを選択できます。

7.1.3.1 セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、DSレジスタにより8ビットまたは16ビットを選択できます。DSレジスタのDSiビット(i=0～3)がすべて“0”(8ビットデータバス)のときは、ポートP0はデータバス、ポートP1はプログラマブル入出力ポートとなります。

DSiビットのいずれかが“1”(16ビットデータバス)のときはポートP0、P1はデータバスとなります。ただし、DSiビットが“0”の領域にアクセスしたとき、ポートP1は不定です。

セパレートバスでアクセスする場合、EWCRiレジスタ(i=0～3)でソフトウェアウエイト数を選択できます。

7.1.3.2 マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。DSiビットで8ビットを選択した領域では、D0～D7がA0～A7とマルチプレクスされます。DSiビットで16ビットを選択した領域では、D0～D15がA0～A15とマルチプレクスされます。マルチプレクスバスの領域では、EWCRiレジスタでソフトウェアウエイトの数が選択できます。詳細は、「7.2.4 バスタイミング」を参照してください。

リセット後セパレートバスで動作しますので、マルチプレクスバスはCS1の領域、CS2の領域またはすべてのCS領域に割り当てることができますが、マイクロプロセッサモードではすべてのCS領域にマルチプレクスバスを割り当てることができません。PM0レジスタのPM05～PM04ビットを“112”(CSの全空間に割り当てる)にすると、アドレスはA0～A15までの16ビットが出力されます。詳細は、表7.2を参照してください。

表7.2 プロセッサモードと端子の機能

プロセッサモード	シングルチップモード	メモリ拡張モード/マイクロプロセッサモード				メモリ拡張モード	
PM0レジスタのPM05～PM04ビット		“012”、“102” (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		“002” (セパレートバス)		“112”(注1) (全空間マルチプレクスバス)	
アクセス領域のデータバス幅		全ての外部領域が8ビット	いずれかの外部領域が16ビット	全ての外部領域が8ビット	いずれかの外部領域が16ビット	全ての外部領域が8ビット	いずれかの外部領域が16ビット
P00～P07	入出力ポート	データバス D0～D7	データバス D0～D7	データバス D0～D7	データバス D0～D7	入出力ポート	入出力ポート
P10～P17	入出力ポート	入出力ポート	データバス D8～D15	入出力ポート	データバス D8～D15	入出力ポート	入出力ポート
P20～P27	入出力ポート	アドレスバス/データバス(注2) A0/D0～A7/D7	アドレスバス/データバス(注2) A0/D0～A7/D7	アドレスバス A0～A7	アドレスバス A0～A7	アドレスバス/データバス A0/D0～A7/D7	アドレスバス/データバス A0/D0～A7/D7
P30～P37	入出力ポート	アドレスバス A8～A15	アドレスバス/データバス(注2) A8/D8～A15/D15	アドレスバス A8～A15	アドレスバス A8～A15	アドレスバス A8～A15	アドレスバス/データバス A8/D8～A15/D15
P40～P43	入出力ポート	アドレスバス A16～A19	アドレスバス A16～A19	アドレスバス A16～A19	アドレスバス A16～A19	入出力ポート	入出力ポート
P44～P46	入出力ポート	CS(チップセレクト)またはアドレスバス(A20～A22) (詳細は「7.2 バス制御」を参照)(注4)					
P47	入出力ポート	CS(チップセレクト)またはアドレスバス(A23) (詳細は「7.2 バス制御」を参照)(注4)					
P50～P53	入出力ポート	RD、WRL、WRH、BCLKまたはRD、BHE、WR、BCLK出力 (詳細は「7.2 バス制御」を参照)(注3)					
P54	入出力ポート	HLD \bar{A} (注3)	HLD \bar{A} (注3)	HLD \bar{A} (注3)	HLD \bar{A} (注3)	HLD \bar{A} (注3)	HLD \bar{A} (注3)
P55	入出力ポート	HOLD	HOLD	HOLD	HOLD	HOLD	HOLD
P56	入出力ポート	ALE (注3)	ALE (注3)	ALE (注3)	ALE (注3)	ALE (注3)	ALE (注3)
P57	入出力ポート	RD \bar{Y}	RD \bar{Y}	RD \bar{Y}	RD \bar{Y}	RD \bar{Y}	RD \bar{Y}

注1. リセット後、セパレートバスで動作しますので、マイクロプロセッサモード時、PM05～PM04ビットを“112”(CS全空間マルチプレクスバス)にしないでください。メモリ拡張モード時、“112”を選択した場合、アドレスバスはチップセレクトごとに64Kバイトの範囲です。

注2. セパレートバスではアドレスバスになります。

注3. ALE出力端子はPM1レジスタのPM15～PM14ビットで選択してください。WRL、WRHかBHE、WRかはPM0レジスタのPM02ビットで選択してください。

PM15～14ビットを“002”(ALEなし)にした場合、不定値が出力されます。入出力ポートとして使用できません。

注4. CS信号とアドレスバスの選択は、PM1レジスタのPM11～PM10ビットで選択してください。

7.2 バス制御

外部デバイスのアクセスに必要な信号およびソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードがメモリ拡張モード、マイクロプロセッサモードのとき有効です。

7.2.1 アドレスバス、データバス

アドレスバスは、16Mバイトの空間をアクセスするための信号で、A₀ ~ A₂₂、 \overline{A}_{23} の24本あります。 \overline{A}_{23} はアドレス最上位ビットの反転出力です。

データバスは、データの入出力信号です。DSレジスタで外部領域ごとにD₀ ~ D₇の8ビットデータバスと、D₀ ~ D₁₅の16ビットデータバスを選択できます。リセット後、BYTE端子に“H”が入力されている場合、外部領域3のデータバスは8ビットになります。同様にBYTE端子に“L”が入力されている場合、16ビットになります。

また、シングルチップモードからメモリ拡張モードに変更したとき、アドレスバスは外部領域をアクセスするまで不定です。

7.2.2 チップセレクト信号

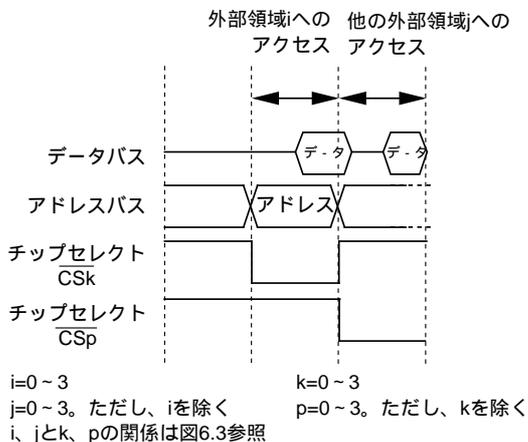
チップセレクト信号はA₂₀ ~ A₂₂、 \overline{A}_{23} と共用です。PM1レジスタのPM11 ~ PM10ビットでチップセレクトの領域とチップセレクトの出力本数を選択できます。チップセレクト信号は最大4本出力できます。

マイクロプロセッサモードの場合、リセット後、チップセレクト信号は出力されません。ただし、 \overline{A}_{23} をチップセレクト信号として使用できます。

\overline{CS}_i (i=0~3)外部領域 i をアクセス中は“L”を出力します。別の外部領域をアクセスすると“H”を出力します。図7.2にアドレスバスとチップセレクト信号の出力例を示します。

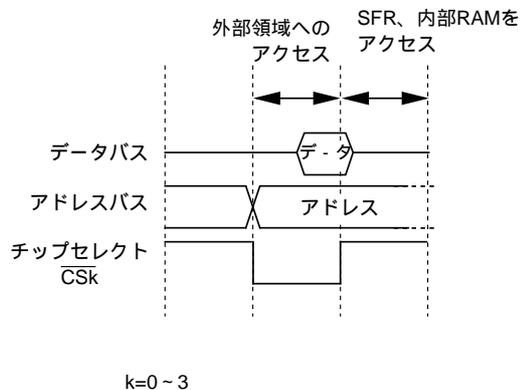
- (1) 外部領域をアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化

外部領域をアクセス後、次のサイクルで他のチップセレクト信号が示す外部領域をアクセスする場合、アドレスバス、チップセレクト信号が共に変化します。



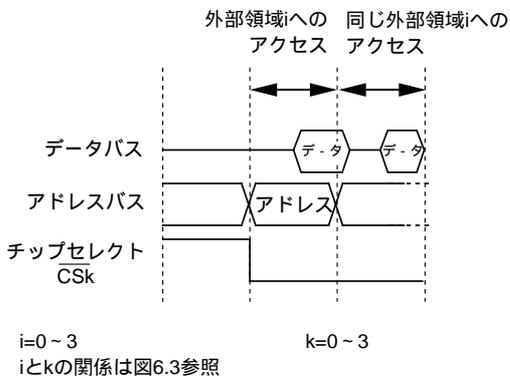
- (2) 外部領域をアクセス後、次のサイクルでチップセレクト信号のみ変化(アドレスバスは変化しない)

外部領域をアクセス後、次のサイクルでSFR、内部RAMをアクセスする場合、チップセレクト信号は変化しますが、アドレスバスは変化しません。



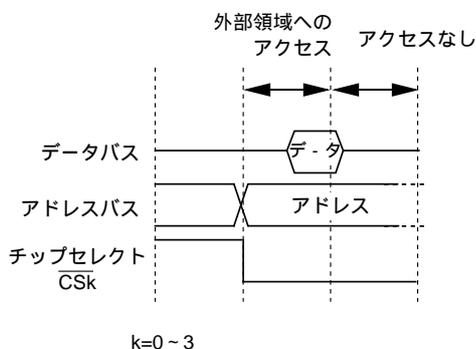
- (3) 外部領域をアクセス後、次のサイクルでアドレスバスのみ変化(チップセレクト信号は変化しない)

外部領域をアクセス後、次のサイクルで同じチップセレクト信号が示す領域をアクセスする場合、アドレスバスは変化しますがチップセレクト信号は変化しません。



- (4) 外部領域をアクセス後、次のサイクルでアドレスバス、チップセレクト信号が共に変化しない

外部領域をアクセス後、次のサイクルでいずれの領域にもアクセスしない(命令のプリフェッチも発生しない)場合、アドレスバス、チップセレクト信号は共に変化しません。



注1. これらの例は、連続する2つのサイクルのアドレスバスとチップセレクト信号を示しています。これらの例の組み合わせにより、チップセレクトは2バスサイクル以上伸びる場合があります。

図7.2 アドレスバスとチップセレクト信号の出力例(セパレートバス)

7.2.3 リード、ライト信号

データバスが16ビットのとき、リード、ライト信号はPM0レジスタのPM02ビットで、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択できます。DSレジスタのDS3～DS0ビットが“0”（外部領域はすべて8ビットデータバス）のとき、PM02ビットを“0”（ \overline{RD} 、 \overline{WR} 、 \overline{BHE} ）にしてください。DS3～DS0ビットのいずれかが“1”（16ビットデータバス）で、8ビットの領域をアクセスするとき、PM02ビットの値にかかわらず、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせとなります。表7.3、表7.4に各信号の動作を示します。

リセット後、リード、ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替えるときは、PM02ビットを切り替えてから外部のメモリに書いてください。

表7.3 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット	L	H	H	データを読む
	H	L	H	偶数番地に1バイトデータを書く
	H	H	L	奇数番地に1バイトデータを書く
	H	L	L	偶数番地、奇数番地両方にデータを書く
8ビット	H	L(注1)	使用しない	1バイトのデータを書く
	L	H(注1)	使用しない	1バイトのデータを読む

注1. \overline{WR} 信号となります。

表7.4 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット	H	L	L	H	奇数番地に1バイトデータを書く
	L	H	L	H	奇数番地から1バイトデータを読む
	H	L	H	L	偶数番地に1バイトデータを書く
	L	H	H	L	偶数番地から1バイトデータを読む
	H	L	L	L	偶数番地、奇数番地両方にデータを書く
	L	H	L	L	偶数番地、奇数番地両方からデータを読む
8ビット	H	L	使用しない	H/L	1バイトのデータを書く
	L	H	使用しない	H/L	1バイトのデータを読む

7.2.4 バスタイミング

内部メモリの基本のバスサイクルは、BCLKの1サイクルです。PM1レジスタのPM12ビットを“1”(ウエイトあり)にした場合、バスサイクルはBCLKの2サイクルになります。

SFRの基本のバスサイクルは、BCLKの2サイクルです。PM13ビットを“1”(2ウエイト)にした場合、バスサイクルはBCLKの3サイクルになります。

外部領域の基本のバスサイクルは、リード、ライト共に2 (1 +1)です。外部領域はEWCRiレジスタ(i=0~3)により、セパレートバス12種類、マルチプレクスバス7種類のウエイトを挿入できます。例えば、EWCRi04~EWCRi00を“000112”(1 +3)にした場合、バスサイクルはBCLKの4サイクルになります。

図7.3にEWCRiレジスタを、図7.4~図7.8に外部領域のバスタイミングを示します。

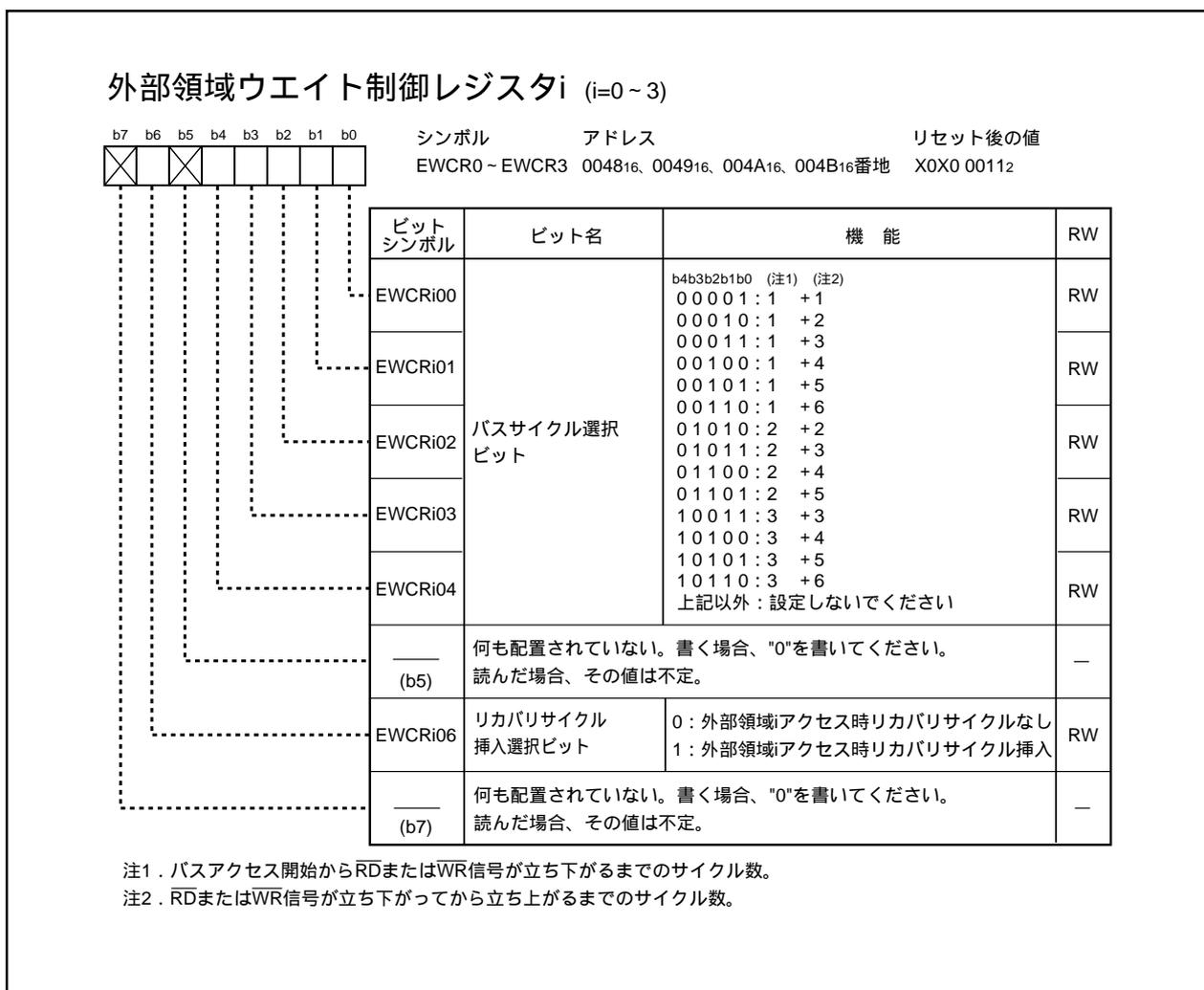


図7.3 EWCR0~EWCR3レジスタ

表7.5 ソフトウェアウエイトとバスサイクル

領域	外部バス形式	PM1レジスタ		EWCRi(i=0~3)レジスタ	バスサイクル
		PM13ビット	PM12ビット	EWCRi00~EWCRi04ビット	
SFR		0	-	-	BCLKの2サイクル
		1			BCLKの3サイクル
内部RAM		-	0	-	BCLKの1サイクル
			1		BCLKの2サイクル
外部メモリ	セパレートバス	-	-	000012	BCLKの2サイクル
				000102	BCLKの3サイクル
				000112	BCLKの4サイクル
				001002	BCLKの5サイクル
				001012	BCLKの6サイクル
				001102	BCLKの7サイクル
				010102	BCLKの4サイクル
				010112	BCLKの5サイクル
				011002	BCLKの6サイクル
				100112	BCLKの6サイクル
	マルチプレクスバス	-	-	010102	BCLKの4サイクル
				010112	BCLKの5サイクル
				011012	BCLKの7サイクル
				100112	BCLKの6サイクル
				101002	BCLKの7サイクル
				101012	BCLKの8サイクル
				101102	BCLKの9サイクル
				101102	BCLKの9サイクル
				101102	BCLKの9サイクル
				101102	BCLKの9サイクル

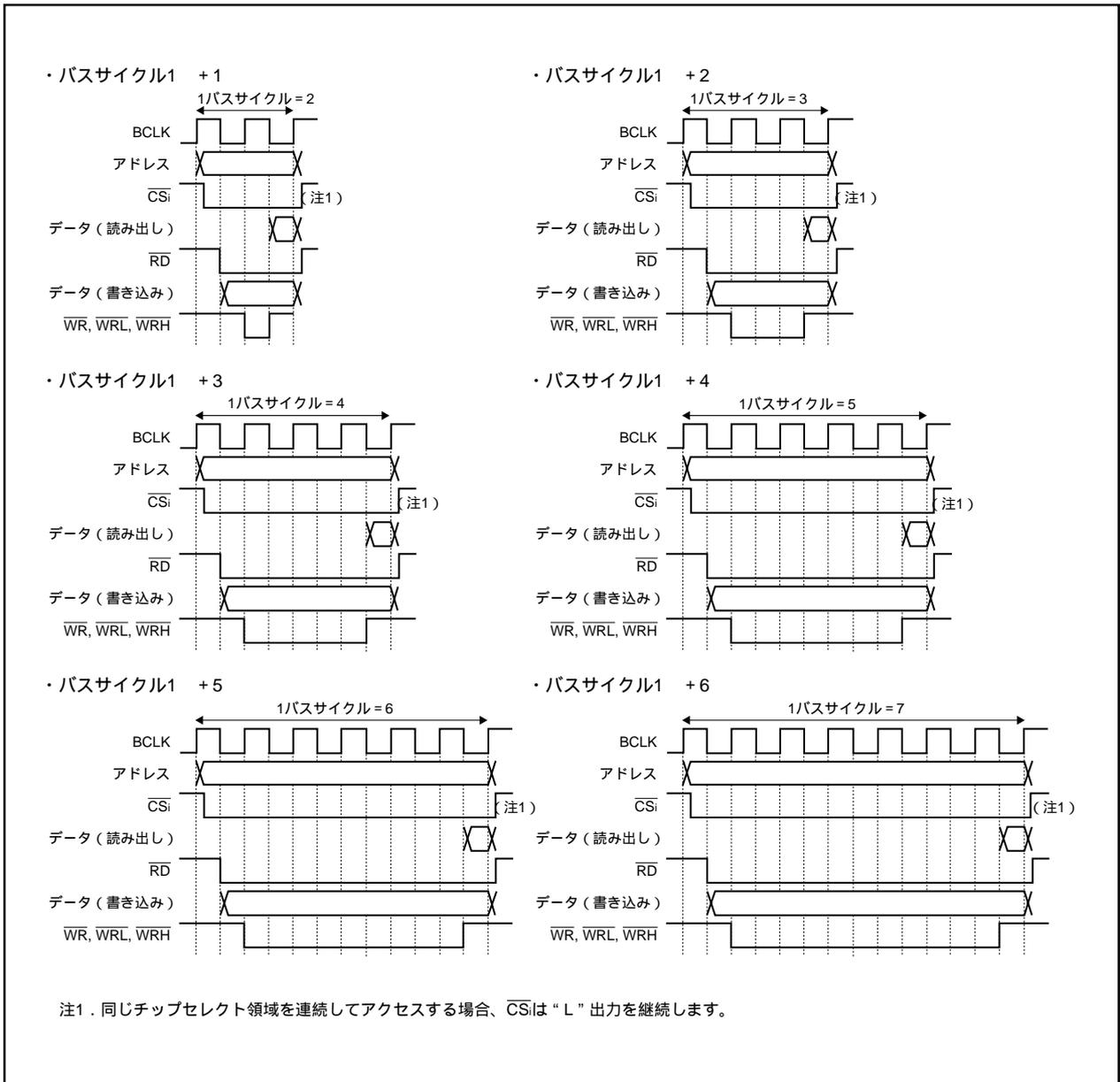


図7.4 セパレートバス選択時のバスサイクル(1)

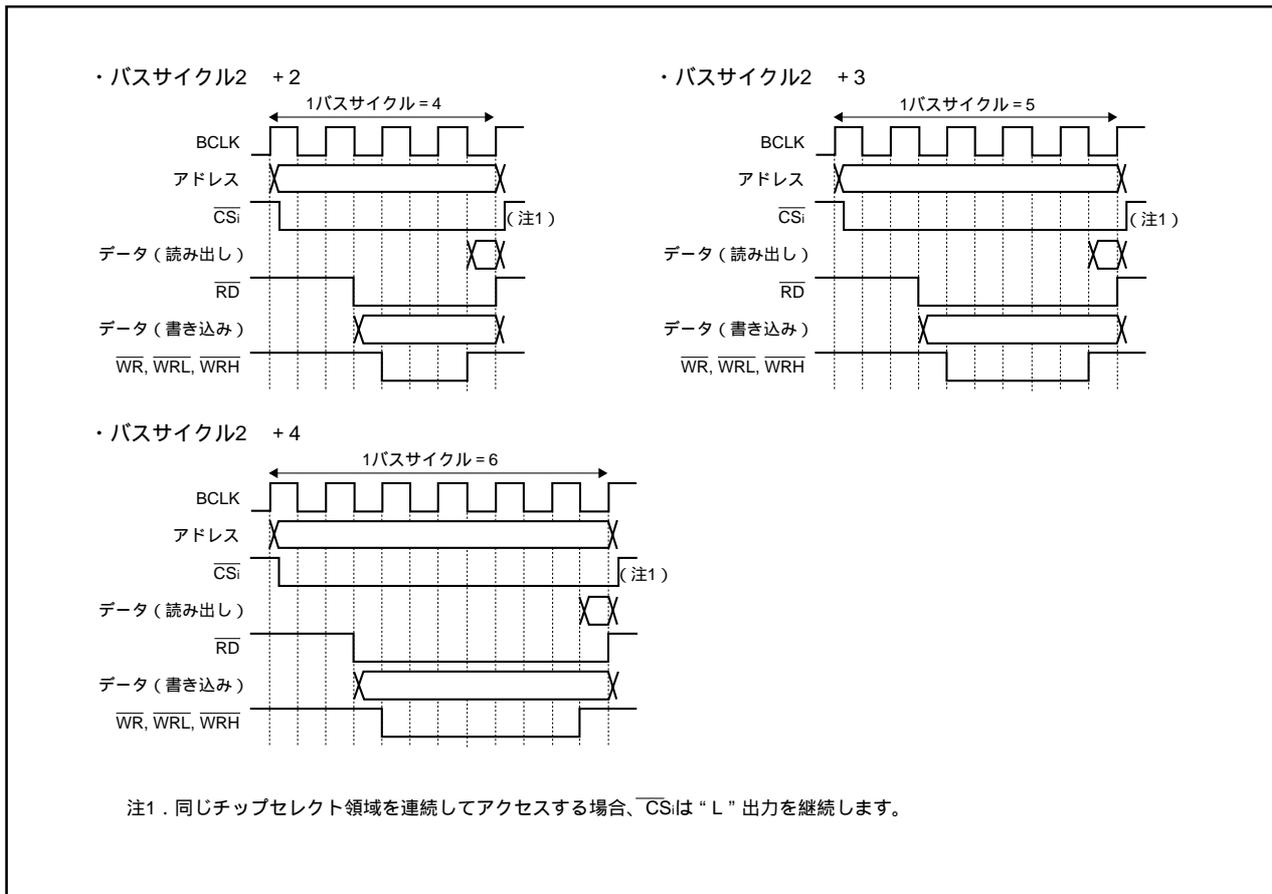


図7.5 セパレートバス選択時のバスサイクル(2)

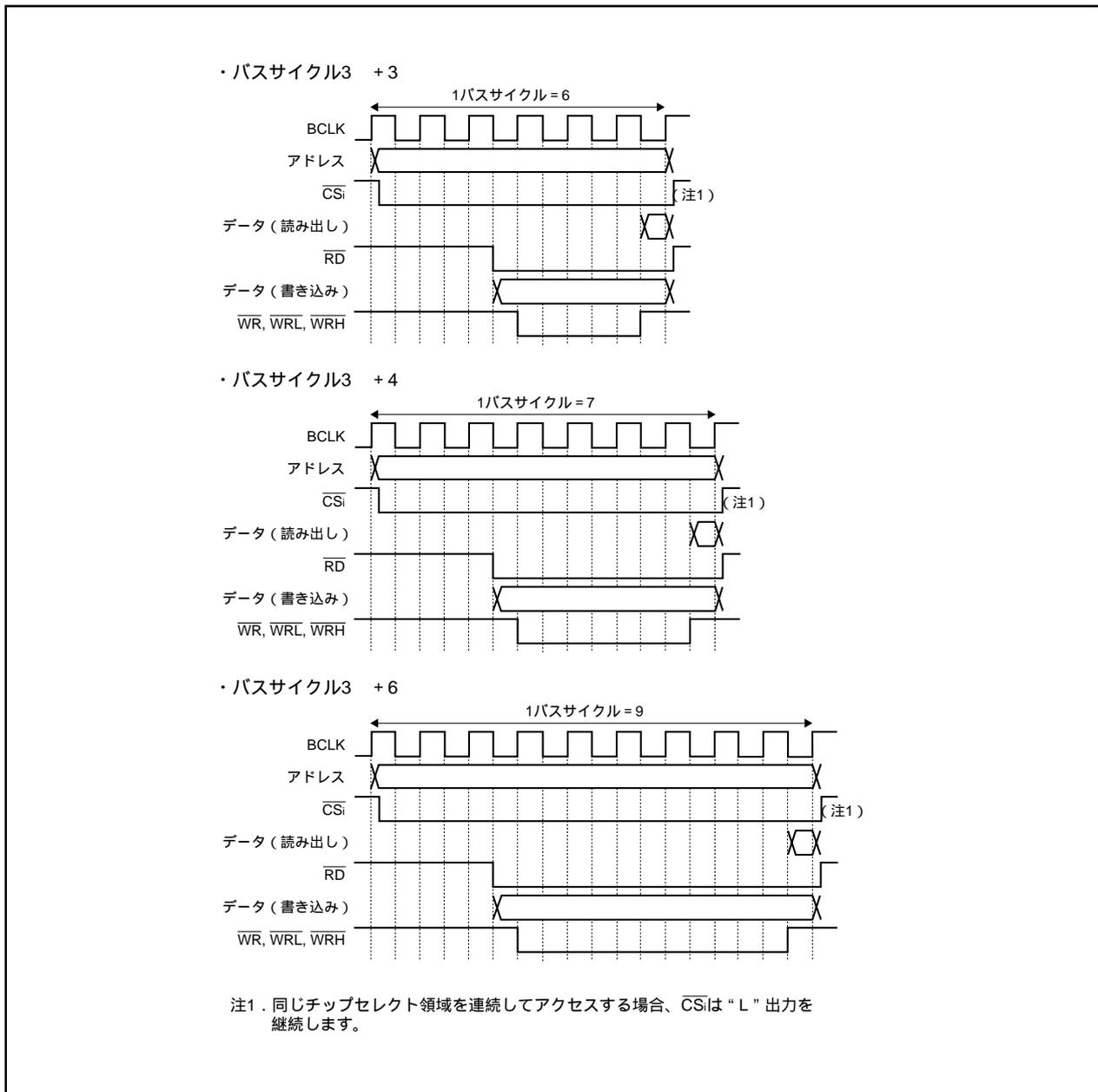


図7.6 セパレートバス選択時のバスサイクル(3)

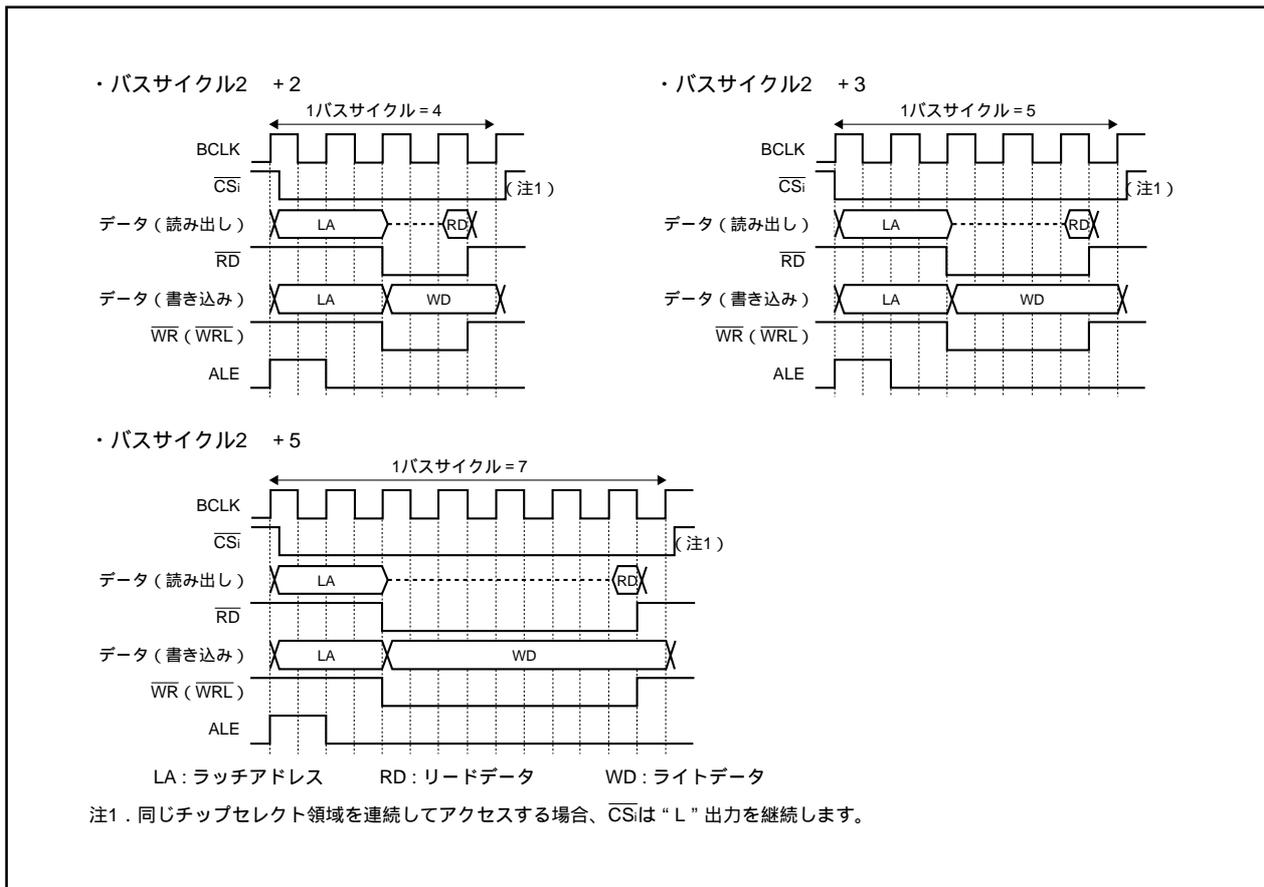


図7.7 マルチプレクスバス選択時のバスサイクル(1)

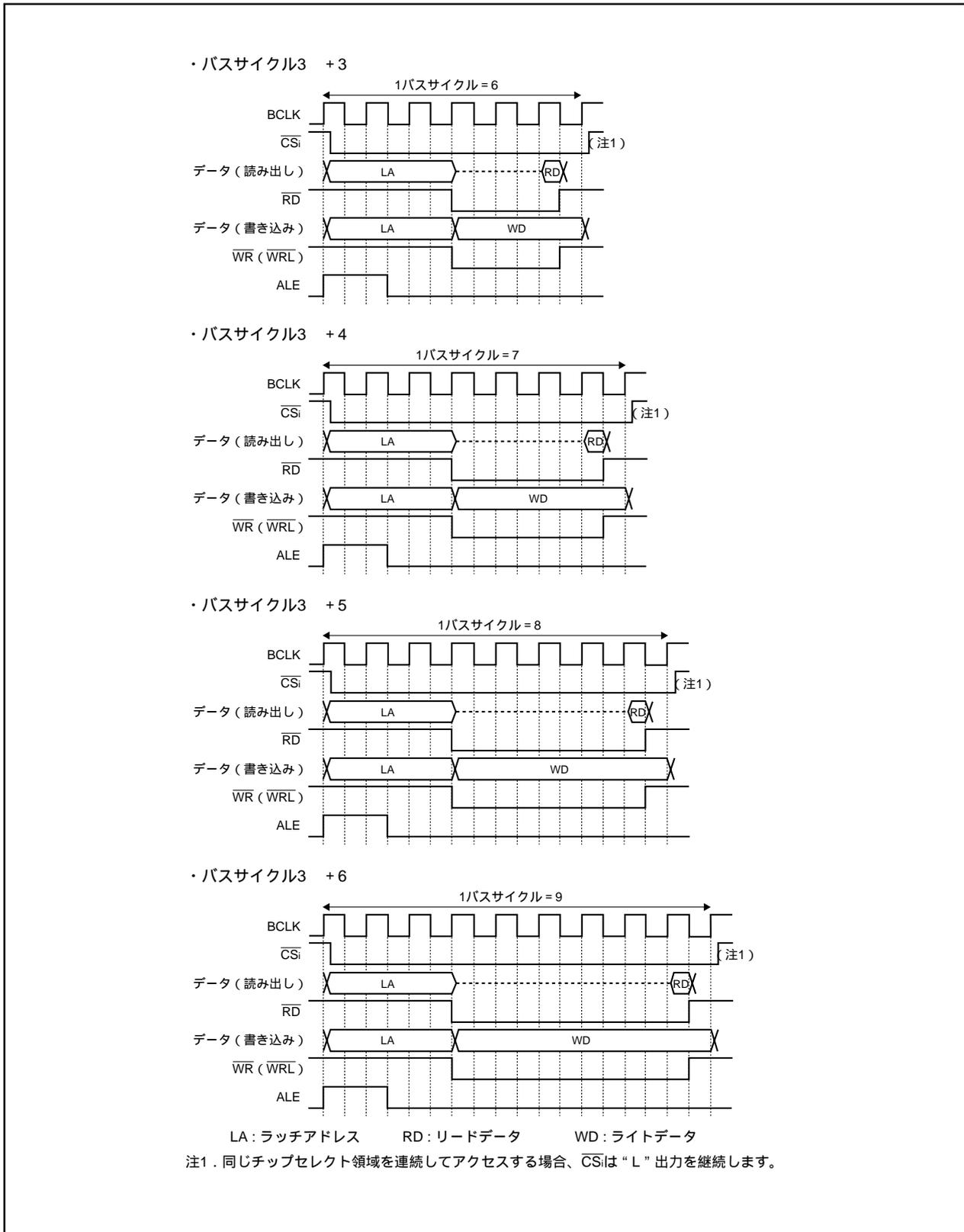


図7.8 マルチプレクスバス選択時のバスサイクル(2)

7.2.4.1 リカバリサイクル挿入時のバスサイクル

リカバリサイクルは、EWCRiレジスタのEWCRi06ビット(i=0~3)で選択できます。

リカバリサイクルの間、アドレス出力は保持されますので（セパレートバス時のみ）、アドレスホールド時間を長く要求するデバイスも接続できます。また、リカバリサイクルの間、書き込みデータ出力も保持されますので、書き込み時のデータホールド時間を長く要求するデバイスも接続できます。

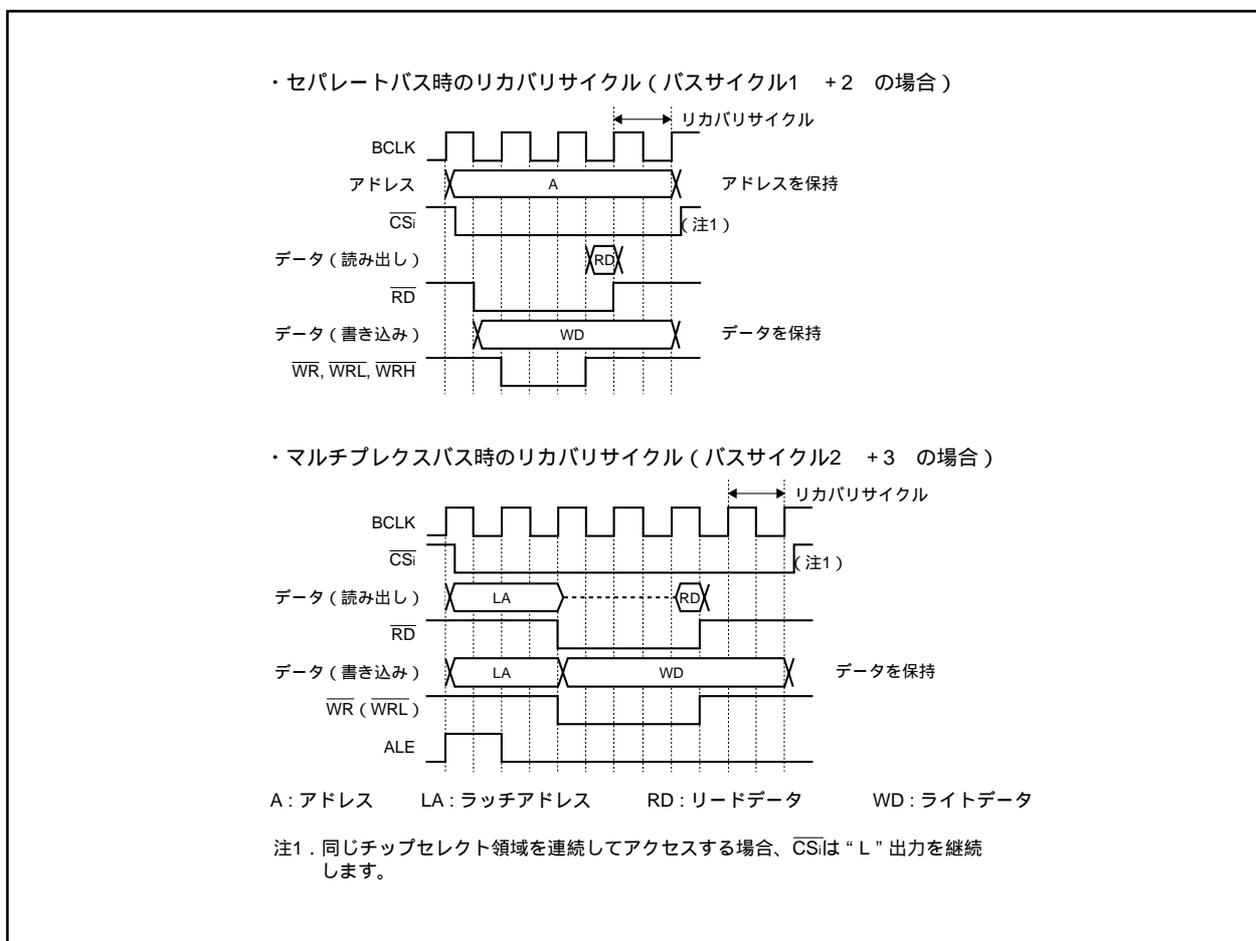


図7.9 リカバリサイクル

7.2.5 ALE信号

マルチプレクスバスのアドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。ALE信号の出力端子はPM1レジスタのPM15～PM14ビットで選択できます。

ALE信号は内部領域、外部領域にかかわらず出力します。

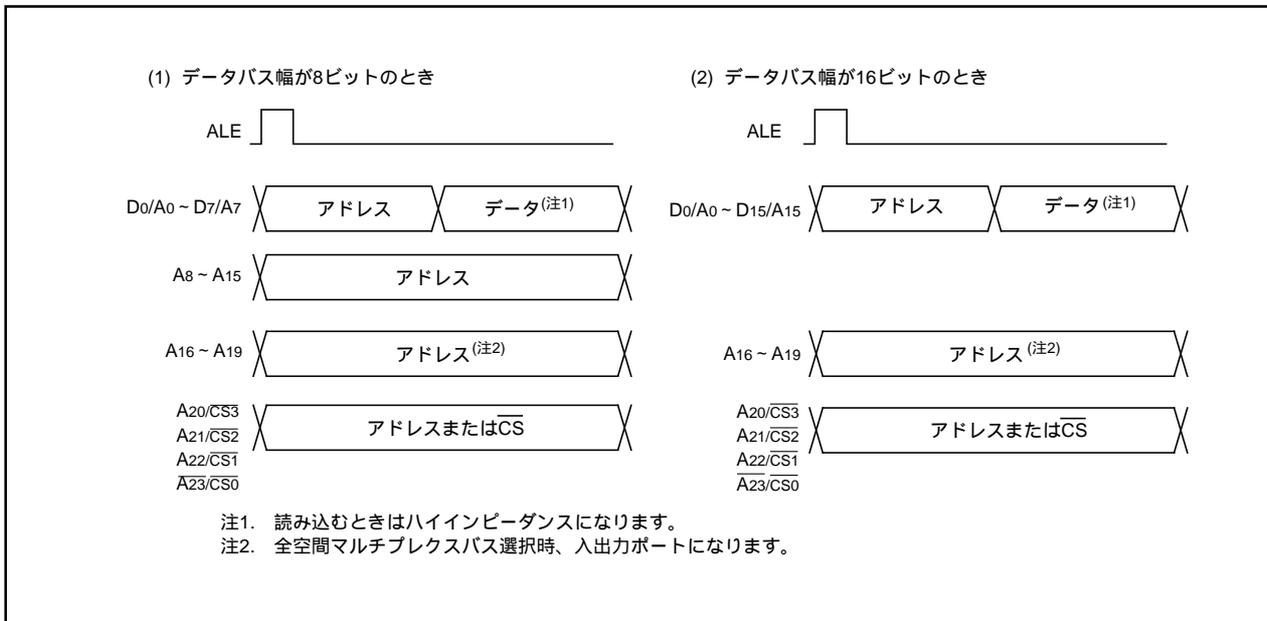


図7.10 ALE信号とアドレスバス、データバス

7.2.6 RDY信号

アクセス速度が遅い外部デバイスをアクセスするための信号です。バスサイクルの最後のBCLKの立ち下がりでRDY端子に“L”が入力されているとき、バスサイクルにウエイトが挿入されます。その後、BCLKの立ち下がりでRDY端子に“H”が入力されると、残りのバスサイクルを実行します。表7.6にRDY信号によりバスサイクルにウエイトが挿入されたときのマイクロコンピュータの状態、図7.11にRD信号がRDY信号によつてのびた例を示します。

表7.6 RDY信号によるウエイト中のマイクロコンピュータの状態(注1)

項目	状態
発振	動作
RD信号、WR信号、アドレスバス、データバス、CS信号 ALE信号、HLDA信号 プログラブル入出力ポート	RDY信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウエイトによるウエイトの直前にはRDY信号は受け付けられません。

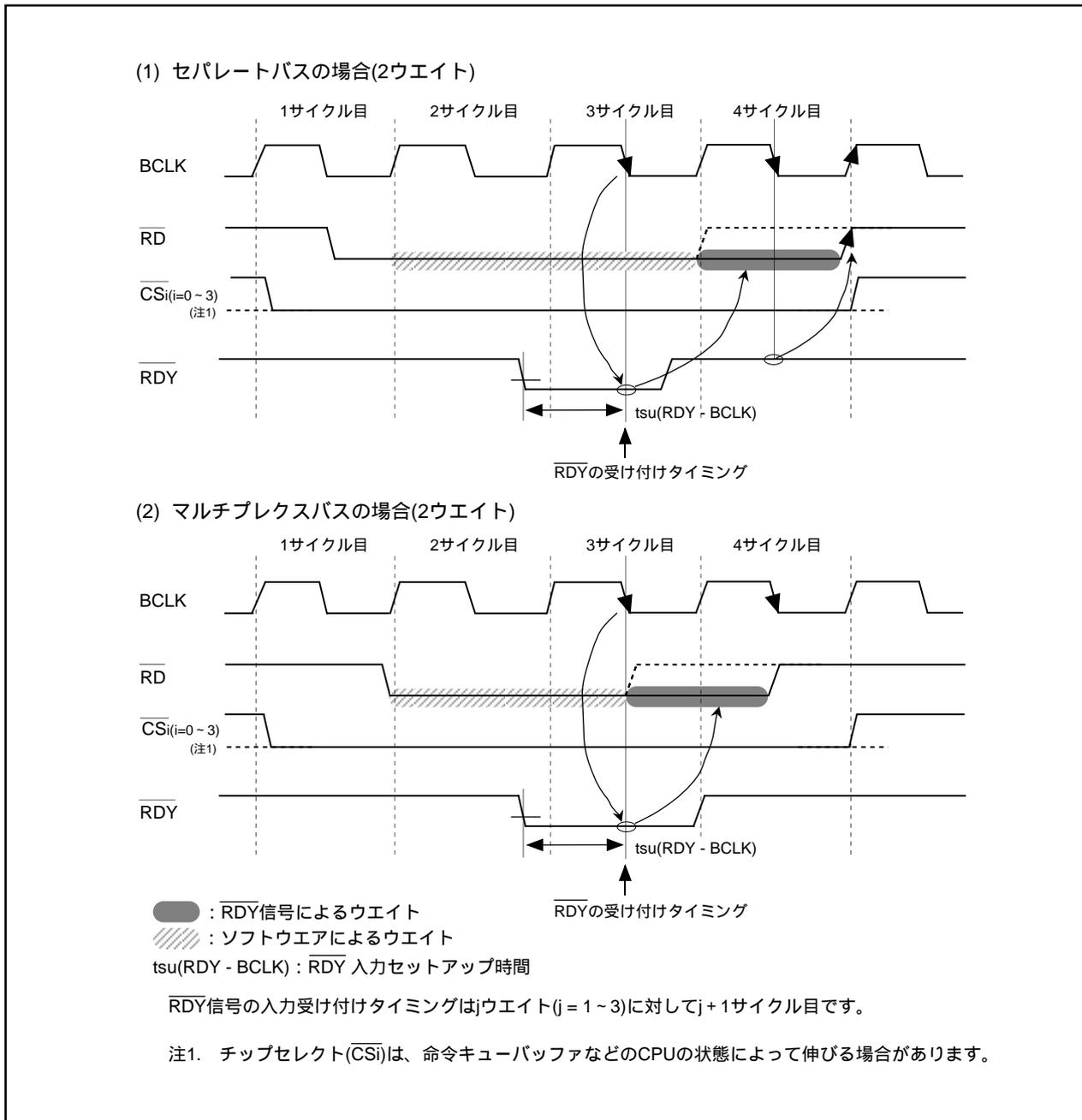


図7.11 RD信号がRDY信号によってのびた例

7.2.7 \overline{HOLD} 信号

バスの使用权をCPUから外部回路へ移行するための信号です。 \overline{HOLD} 端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になります。 \overline{HOLD} 端子が“L”の間ホールド状態を保持し、 \overline{HLDA} 端子から“L”を出力します。表7.7にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、 \overline{HOLD} 、DMAC、CPUとなります。

$\overline{HOLD} > DMAC > CPU$

図7.12 バス使用優先順位

表7.7 ホールド状態におけるマイクロコンピュータの状態

項目	状態
発振	動作
RD信号、WR信号、アドレスバス、データバス、CS、BHE	ハイインピーダンス
プログラマブル入出力ポート	HOLD信号を受け付けたときの状態を保持
HLDA	“L”を出力
内蔵周辺回路	動作(ただしウォッチドッグタイマは停止)
ALE信号	“L”を出力

7.2.8 内部領域をアクセスしたときの外部バスの状態

表7.8に内部領域をアクセスしたときの外部バスの状態を示します。

表7.8 内部領域をアクセスしたときの外部バスの状態

項目	SFR、内部RAMをアクセスしたときの状態	
アドレスバス	直前にアクセスされた外部領域のアドレスを保持	
データバス	リード時	ハイインピーダンス
	ライト時	ハイインピーダンス
RD、WR、WRL、WRH	“H”を出力	
BHE	直前にアクセスされた外部領域の状態を保持	
CS	“H”を出力	
ALE	ALE出力	

7.2.9 BCLK出力

CPUクロックはCPU動作クロックです。CPUクロック信号はPM0レジスタのPM07ビットを“0”(BCLK)、CM0レジスタのCM01～CM00ビットを“002”(入出力ポートP53)の組み合わせにすると、BCLKとしてP53より出力されます。ただし、シングルチップモード時BCLKは出力されません。詳細は、「8. クロック発生回路」を参照してください。

8. クロック発生回路

8.1 クロック発生回路の種類

クロック発生回路として、4つの回路を内蔵します。

- ・ メインクロック発振回路
- ・ サブクロック発振回路
- ・ オンチップオシレータ
- ・ PLL周波数シンセサイザ

表8.1にクロック発生回路の概略仕様を示します。また、図8.1にクロック発生回路のブロック図を、図8.2～図8.7にクロック制御関連レジスタを示します。

表8.1 クロック発生回路の概略仕様

項目	メインクロック 発振回路	サブクロック 発振回路	オンチップオシレータ	PLL周波数シンセサイザ
用途	・ CPUクロック源 ・ 周辺機能クロック源	・ CPUクロック源 ・ タイマA、Bの クロック源	・ CPUクロック源 ・ 周辺機能クロック源	・ CPUクロック源 ・ 周辺機能クロック源
クロック周波数	～32MHz	32.768kHz	約1MHz	～32MHz (表8.3参照)
接続できる発振子 または付加回路	・ セラミック共振子 ・ 水晶発振子	水晶発振子	-	-
発振子または付加 回路の接続端子	XIN、XOUT	XCN、XCOUT	-	-
発振停止、発振再 開機能	あり	あり	あり	あり
リセット後の状態	発振	停止	停止	停止
その他	外部で生成されたクロ ックを入力可能	外部で生成されたク ロックを入力可能。	メインクロック発振停止 時、自動で発振を開始 し、CPUと周辺機能のク ロック源になる機能あり	-

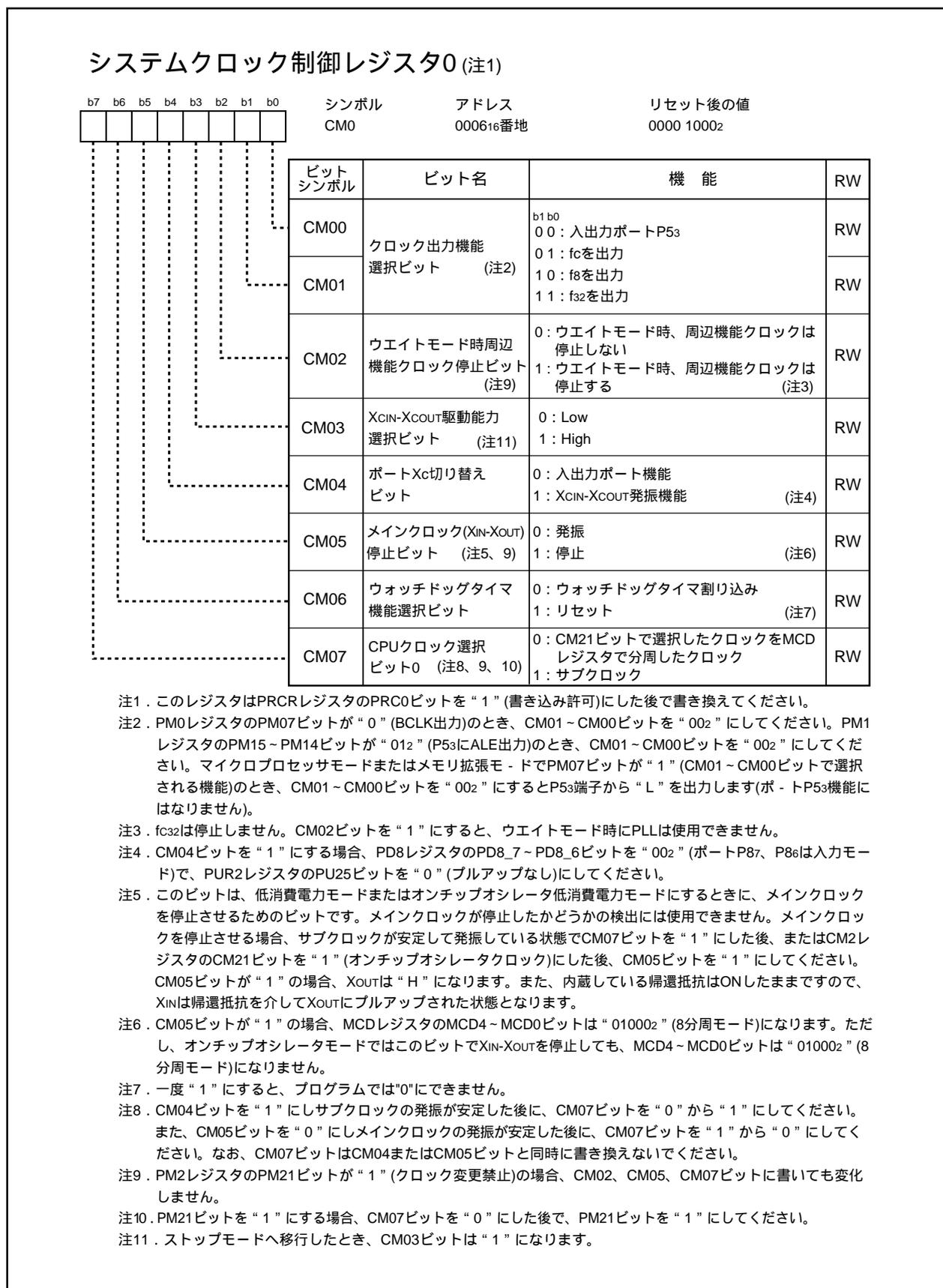


図8.2 CM0レジスタ

システムクロック制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	1	0	0	0	0	0	0	CM1	000716番地	0010 0000 ₂

ビットシンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注2、5)	0 : クロック発振 (注3) 1 : 全クロック停止(ストップモード)	RW
— (b4 - b1)	予約ビット	"0"にしてください。	RW
— (b5)	予約ビット	"1"にしてください。	RW
— (b6)	予約ビット	"0"にしてください。	RW
CM17	CPUクロック選択ビット1 (注4、5)	0 : メインクロック 1 : PLLクロック	RW

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. CM10ビットが“1”の場合、Xoutは“H”になり、内蔵している帰還抵抗は切り離されます。Xin、XCIN、XcOutはハイインピーダンスになります。
- 注3. CM10ビットを“1”にすると、MCDレジスタのMCD4～MCD0ビットは“01000₂”(8分周モード)になります。CM2レジスタのCM20ビットが“1”(発振停止検出機能有効)またはCM21ビットが“1”(オンチップオシレータクロック選択)のときは、CM10ビットを“1”にしないでください。
- 注4. CM17ビットはCM2レジスタのCM21ビットが“0”のとき有効です。CM17ビットを“1”にする場合は、図8.11の手順に従ってください。
- 注5. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM10、CM17ビットに書いても変化しません。PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、CM10ビットを書いても変化しません。

メインクロック分周レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
×	×	×	×	×	×	×	×	MCD	000C16番地	XXX0 1000 ₂

ビットシンボル	ビット名	機能	RW
MCD0	メインクロック分周選択ビット (注2)	b4 b3 b2 b1 b0 1 0 0 1 0 : 1分周(分周なし)モード 0 0 0 1 0 : 2分周モード 0 0 0 1 1 : 3分周モード 0 0 1 0 0 : 4分周モード 0 0 1 1 0 : 6分周モード 0 1 0 0 0 : 8分周モード 0 1 0 1 0 : 10分周モード 0 1 1 0 0 : 12分周モード 0 1 1 1 0 : 14分周モード 0 0 0 0 0 : 16分周モード	RW
MCD1			RW
MCD2			RW
MCD3			RW
MCD4			RW
— (b7 - b5)			予約ビット

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. 低消費電力モードやストップモードへの移行時、MCD4～MCD0ビットは“01000₂”になります。ただし、オンチップオシレータモードではCM0レジスタのCM05ビットを“1”(Xin-Xoutを停止)にしても、MCD4～MCD0ビットは“01000₂”になりません。
- 注3. 記載の組み合わせ以外の設定をしないでください。

図8.3 CM1レジスタ、MCDレジスタ

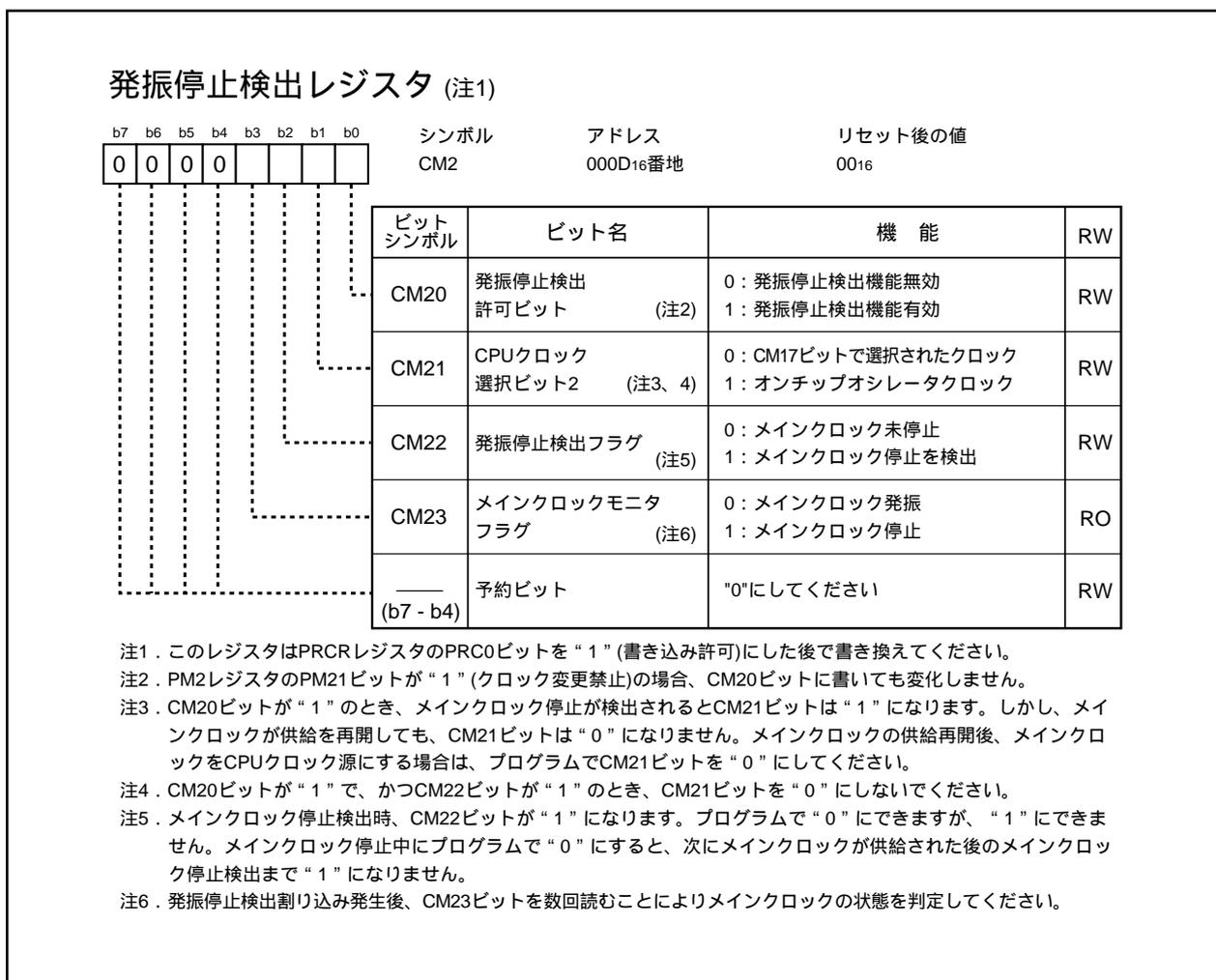


図8.4 CM2レジスタ

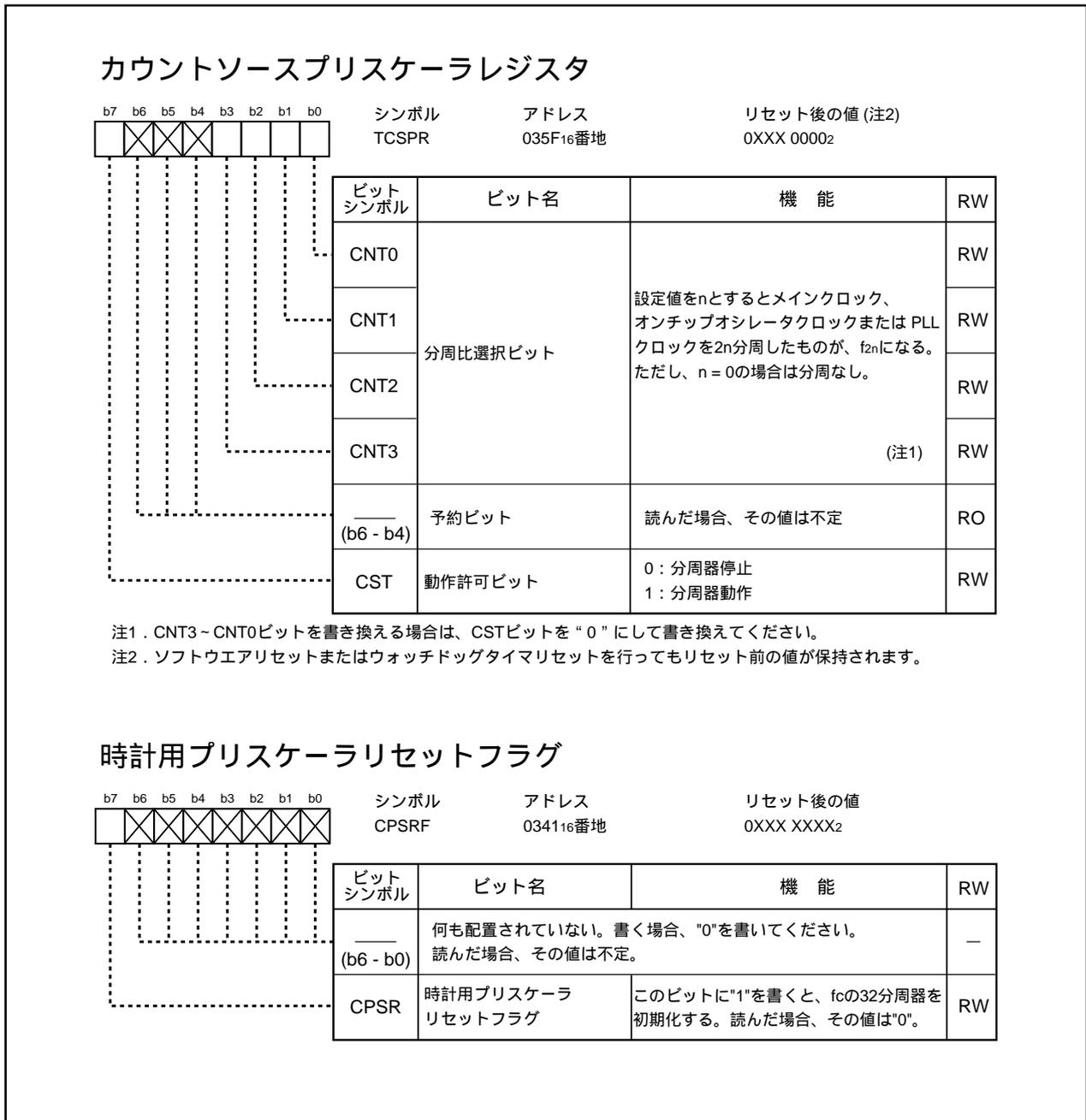


図8.5 TCSPRレジスタ、CPSRFレジスタ

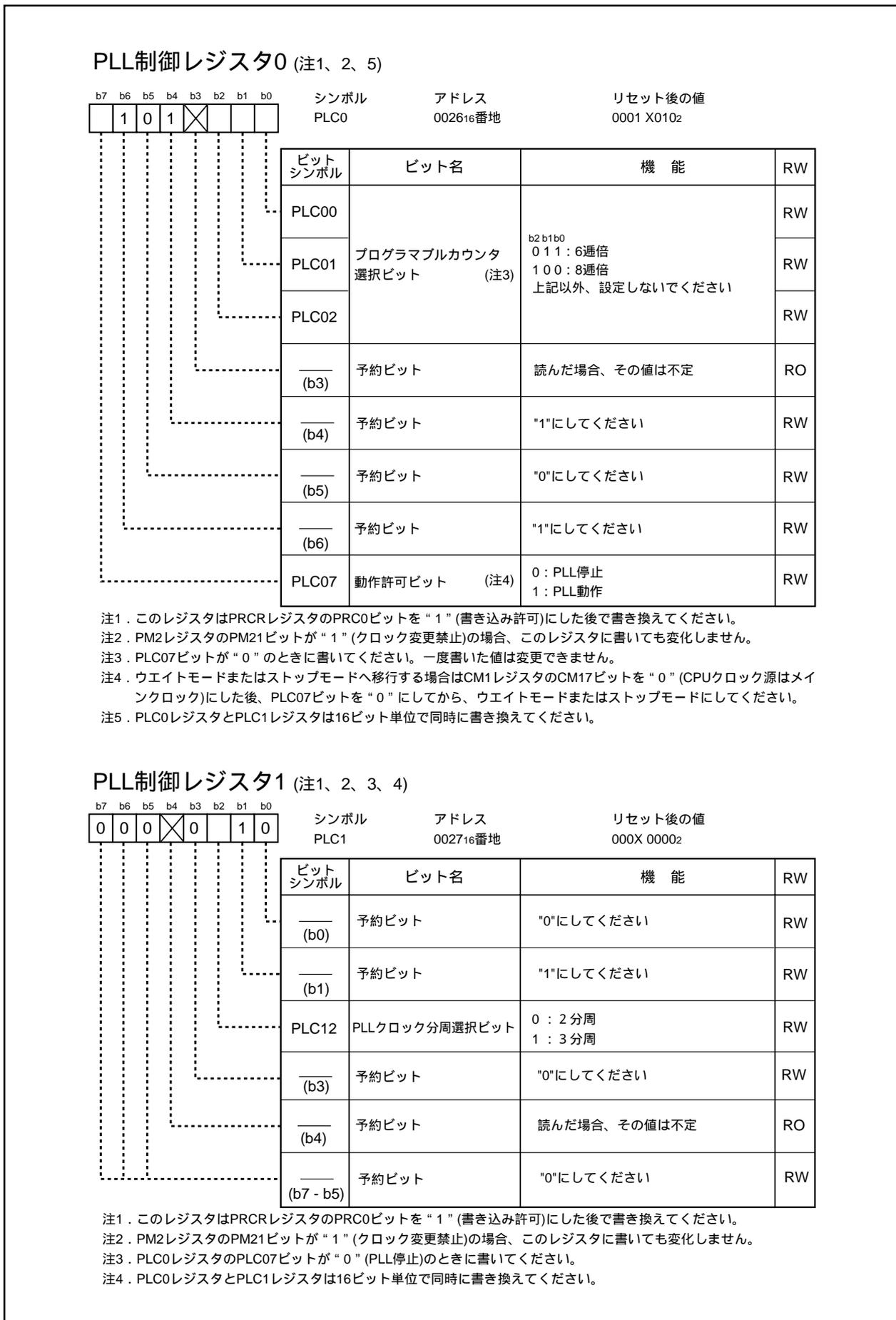


図8.6 PLC0レジスタ、PLC1レジスタ

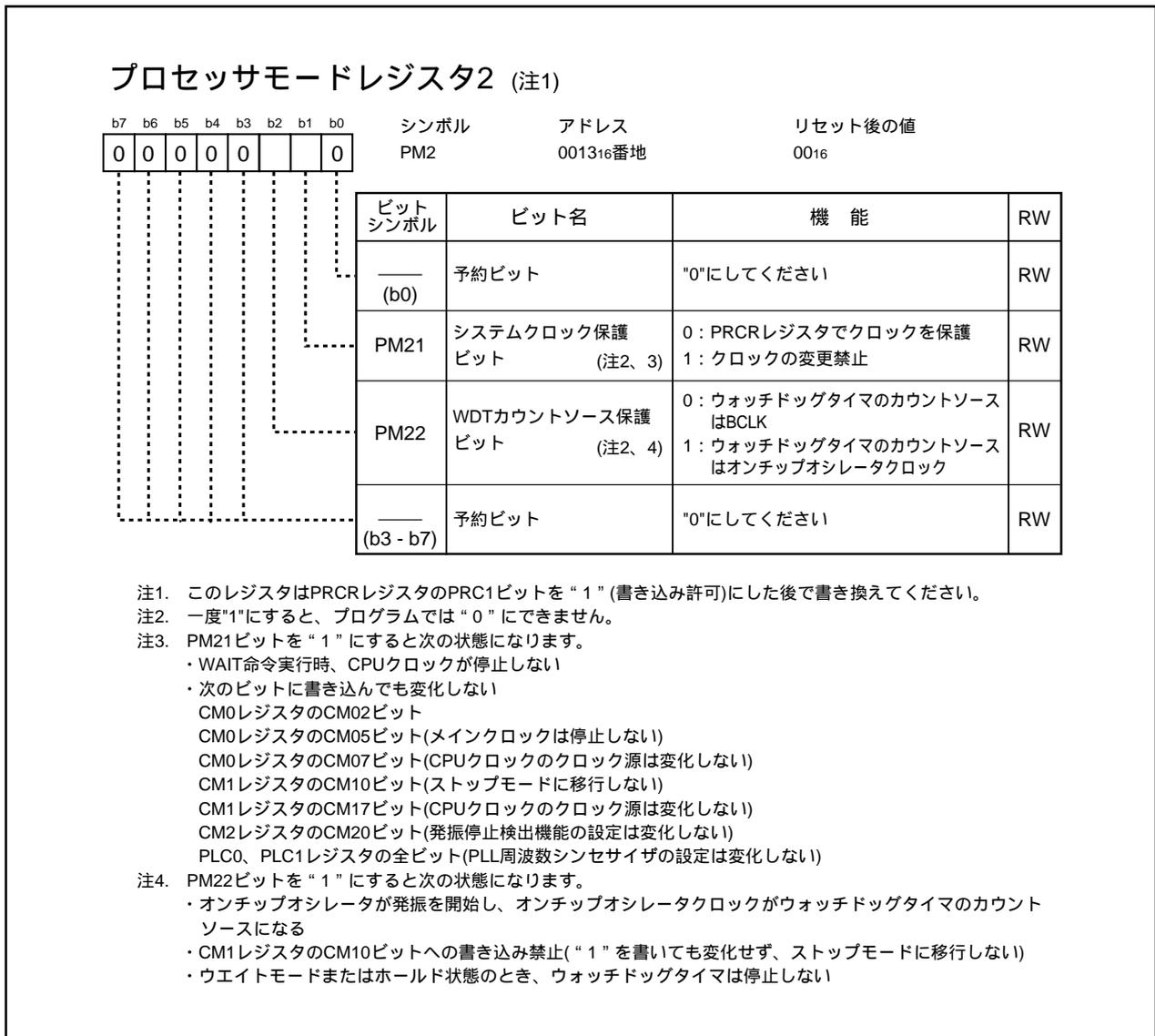


図8.7 PM2レジスタ

クロック発生回路で生成するクロックを説明します。

8.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックや周辺機能クロックのクロック源になります。

メインクロック発振回路は、XIN-XOUT端子間に発振子を接続して発振回路を構成します。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路では、外部で生成されたクロックをXIN端子へ入力することもできます。図8.8にメインクロックの接続回路例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、メインクロックの8分周がCPUクロックになります。

CPUクロック源をサブクロックまたはオンチップオシレータクロックに切り替えた後、CM0レジスタのCM05ビットを“1”（メインクロック発振回路の発振停止）にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05ビットを“1”にしないでください

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「8.5 パワーコントロール」を参照してください。

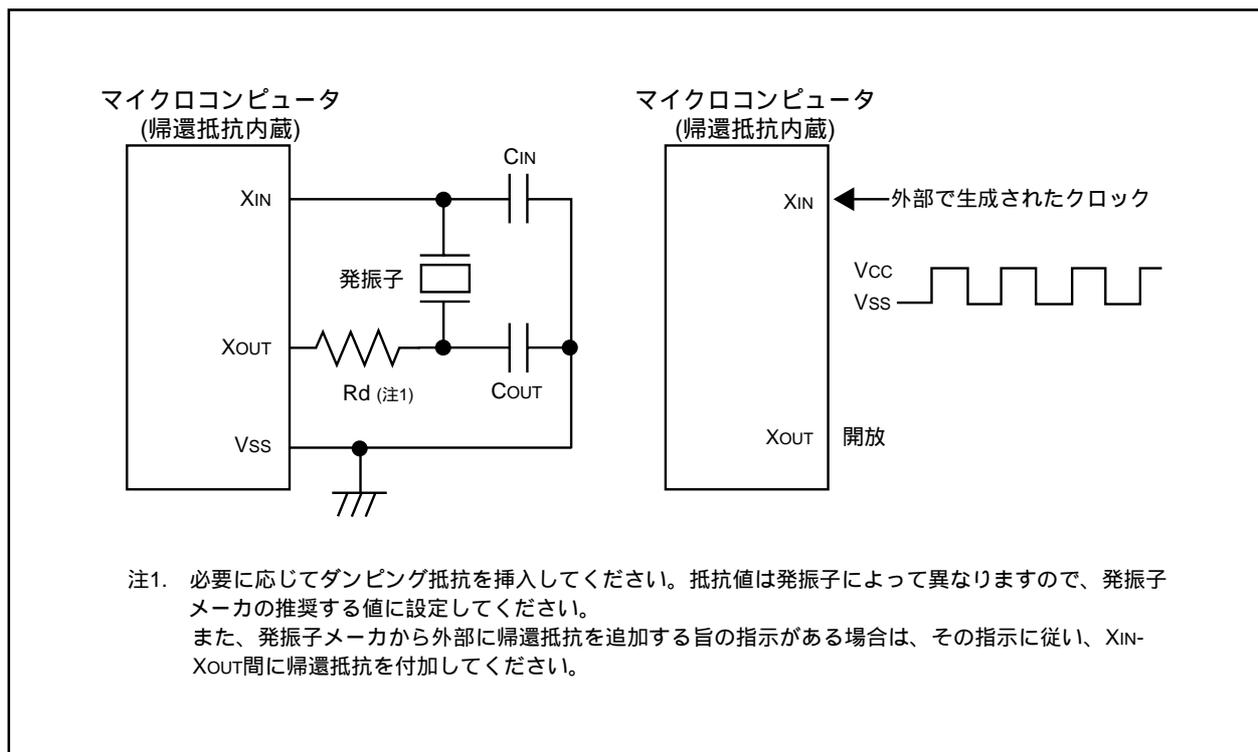


図8.8 メインクロックの接続回路例

8.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックとタイマA、タイマBのカウントソースのクロック源になります。また、サブクロックと同一周波数の f_c をCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続して発振回路を構成します。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路では、外部で生成されたクロックをXCIN端子へ入力することもできます。図8.9にサブクロックの回路接続例を示します。回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

リセット後、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。PD8レジスタのPD8_6、PD8_7ビットの両方を“0”（入力モード）にし、PUR2レジスタのPU25ビットを“0”（プルアップしない）にした後、CM0レジスタのCM04ビットを“1”（XCIN-XCOUT発振機能）にすると、サブクロック発振回路が発振を始めます。外部で生成したクロックをXCIN端子へ入力する場合は、PD8_7ビットを“0”にし、PU25ビットを“0”にした後、CM04ビットを“1”にすると、XCIN端子へ入力されたクロックがサブクロック源になります。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”（サブクロック）にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「8.5 パワーコントロール」を参照してください。

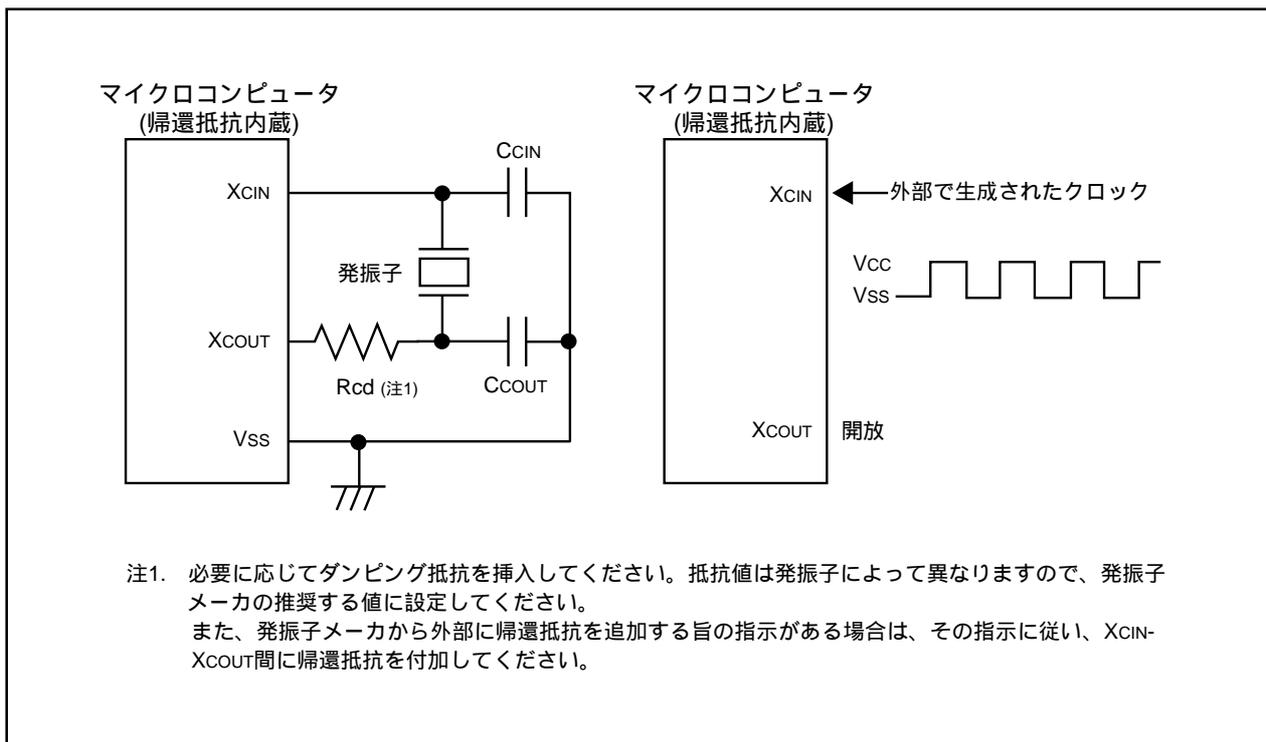


図8.9 サブクロックの接続回路例

8.1.3 オンチップオシレータクロック

オンチップオシレータが供給する約1MHzのクロックです。CPUクロックや周辺機能クロックのクロック源になります。

リセット後、オンチップオシレータクロックは停止しています。CM2レジスタのCM21ビットを“1” (オンチップオシレータクロック)にすると発振を始め、オンチップオシレータクロックがメインクロックに代わり、CPUクロックや周辺機能クロックのクロック源になります。

表8.2にオンチップオシレータの発振開始条件を示します。

表8.2 オンチップオシレータの発振開始条件

CM2レジスタ	PM2レジスタ	用途
CM21ビット	PM22ビット	
1	0	CPUクロック、周辺機能クロックのクロック源
0	1	ウォッチドッグタイマの動作クロック源 ストップモードに移行しても停止しない

8.1.3.1 発振停止検出機能

外部の要因でメインクロックが停止した場合に、自動的にオンチップオシレータが動作を開始し、クロックを供給する機能です。

CM2レジスタのCM20ビットが“1” (発振停止検出機能有効)の場合、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始し、オンチップオシレータクロックがメインクロックに代わってCPUクロックや周辺機能のクロック源になります。このとき、CM2レジスタの関連するビットが次のようになります。

- ・CM21ビットが“1” (オンチップオシレータクロックがCPUクロックのクロック源)
- ・CM22ビットが“1” (メインクロック停止を検出)
- ・CM23ビットが“1” (メインクロック停止)(図8.13状態遷移図参照)

8.1.3.2 発振停止検出機能使用方法

- ・発振停止検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みを同時に使用する場合、割り込み処理プログラムでCM22ビットを読み出し、発振停止検出割り込み要求が発生したことを確認してください。
- ・発振停止検出後メインクロックの発振が再開した場合は、プログラムでメインクロックをCPUクロックや周辺機能クロックのクロック源に戻してください。図8.10にオンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- ・低速モード時、CM20ビットが“1” (発振停止検出機能有効)で、メインクロックが停止すると、発振停止検出割り込み要求が発生します。同時にオンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックのクロック源はオンチップオシレータクロックになります。
- ・周辺機能クロック停止時、発振停止検出機能は停止します。したがって、この機能を使用中にウエイトモードへ移行する場合は、CM0レジスタのCM02ビットを“0” (ウエイトモード時周辺機能クロックを停止しない)にしてください。
- ・この機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止させる場合、すなわち、ストップモードにする、またはCM05ビットを“1” (メインクロック発振停止)にする場合は、CM20ビットを“0” (発振停止検出機能無効)にしてください。
- ・メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

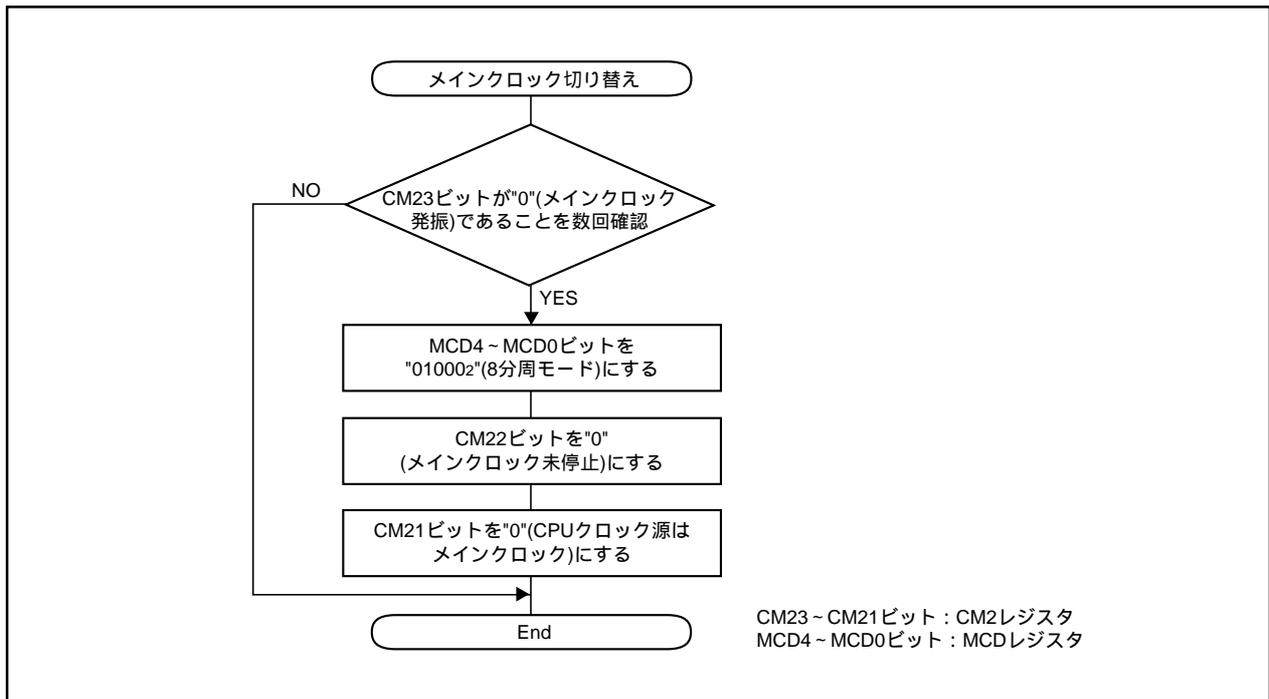


図8.10 オンチップオシレータクロックからメインクロックへの切り替え手順

8.1.4 PLLクロック

PLLクロックは、PLL周波数シンセサイザがメインクロックを元に生成するクロックです。CPUクロックや、周辺機能クロックのクロック源にも使用できます。

リセット後、PLL周波数シンセサイザは停止しています。PLC0レジスタのPLC07ビットを“1” (PLL動作)にするとPLL周波数シンセサイザが動作します。PLLクロックが安定するまで、tsu(PLL)待ち時間が必要です。

PLLクロックは、電圧制御発振器(VCO)から出力されるクロックの2分周または3分周が選択できます。CPUクロックや周辺機能クロックのクロック源として使用する場合、表8.3に示すように各ビットを設定してください。また、図8.11にPLLクロックをCPUクロック源にする手順を示します。

ウエイトモードまたはストップモードへ移行する場合は、CM1レジスタのCM17ビットを“0” (CPUクロック源はメインクロック)にした後、PLC07ビットを“0” (PLL停止)にしてから、ウエイトモードまたはストップモードにしてください。

表8.3 PLLクロックをCPUクロック源に使用する場合の設定例

f(XIN)	PLC0レジスタ			PLC1レジスタ	PLLクロック
	PLC02ビット	PLC01ビット	PLC00ビット	PLC12ビット	
10MHz	0	1	1	0	30MHz
				1	20MHz
8MHz	1	0	0	0	32MHz
				1	21.3MHz

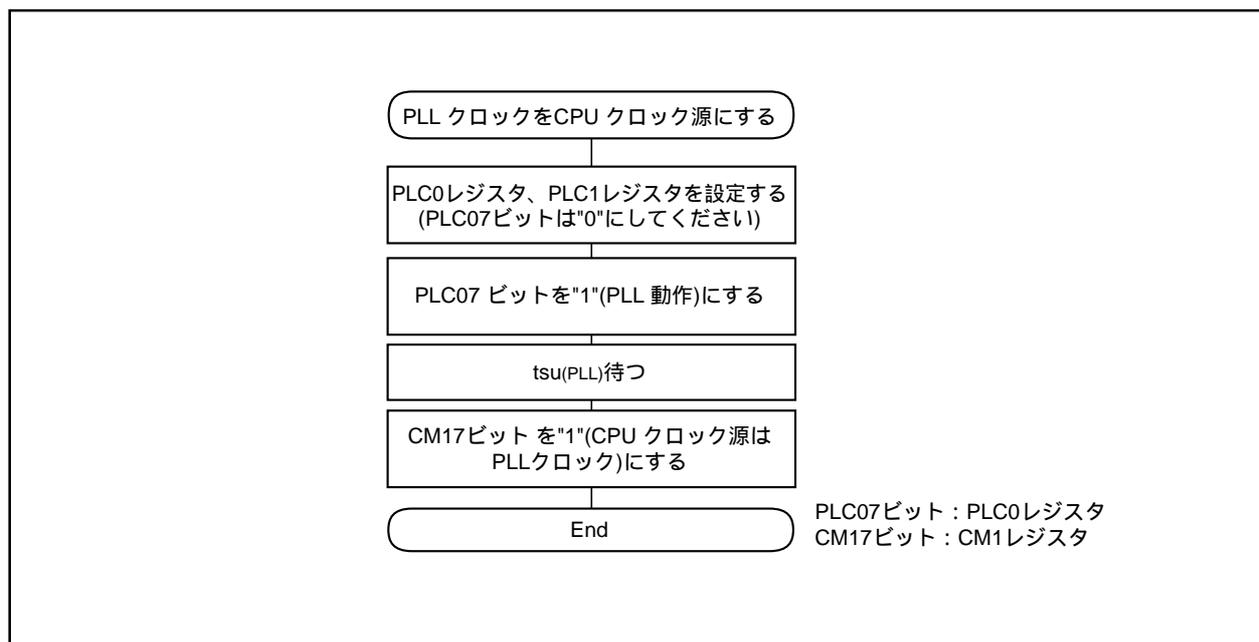


図8.11 PLLクロックをCPUクロック源にする手順

8.2 CPUクロックとBCLK

CPUクロックはCPU動作クロックであり、ウォッチドッグタイマのカウントソースです。リセット後、CPUクロックはメインクロックの8分周です。メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをBCLKとして、BCLK端子から出力できます。詳細は「8.4 クロック出力機能」を参照してください。

CPUクロックのクロック源として、メインクロック、サブクロック、オンチップオシレータクロック、またはPLLクロックが選択できます。表8.4にCPUクロック源と設定ビットを示します。

CPUクロックのクロック源としてメインクロック、オンチップオシレータクロック、PLLクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、3、4、6、8、10、12、14、16分周したものがCPUクロックになります。分周はMCDレジスタで選択できます。なお、ストップモード、または低消費電力モード(ただし、CPUクロックがオンチップオシレータクロックの場合を除く)に移行すると、MCDレジスタのMCD4～MCD0ビットは“010002”(8分周モード)になりますので、次にメインクロックを動作させるときは中速(8分周)モードになります。

表8.4 CPUクロック源と設定ビット

CPUクロック源	CM0レジスタ	CM1レジスタ	CM2レジスタ
	CM07ビット	CM17ビット	CM21ビット
メインクロック	0	0	0
サブクロック	1	0	0
オンチップオシレータクロック	0	0	1
PLLクロック	0	1	0

8.3 周辺機能クロック

ウォッチドッグタイマを除く周辺機能の動作クロックまたはカウントソースです。

8.3.1 f₁、f₈、f₃₂、f_{2n}

f₁、f₈、f₃₂は周辺機能クロック(CM21ビットで選択されたクロック)を1、8、32分周したクロックです。f_{2n}はTCSPRレジスタのCNT3～CNT0ビットにより、分周を設定できます(n=0～15、n=0のときは分周なし)。

CM0レジスタのCM02ビットを“1”(ウエイトモード時、周辺機能クロックを停止する)にしてウエイトモードに移行した場合、または低消費電力モード時、f₁、f₈、f₃₂、f_{2n}は停止します。

f₁、f₈、f_{2n}は、タイマA、タイマBのカウントソース、シリアルI/Oの動作クロックに使用します。f₁はインテリジェントI/Oの動作クロックにも使用します。

f₈とf₃₂はCLKOUT端子から出力できます。詳細は「8.4 クロック出力機能」を参照してください。

8.3.2 fAD

A/Dコンバータの動作クロックです。メインクロック(注1)またはオンチップオシレータクロック(いずれが選択されるかはCM2レジスタのCM21ビットの状態が決まる)と同一周波数です。

CM0レジスタのCM02ビットを“1”(ウエイトモード時、周辺機能クロックを停止する)にしてウエイトモードに移行した場合、または低消費電力モード時、fADは停止します。

注1. CM1レジスタのCM17ビットが“1”(CPUクロック源はPLLクロック)の場合、PLLクロック。

8.3.3 fc32

サブクロックの32分周で、タイマA、タイマBのカウントソースに使用します。サブクロックが供給されているとき使用できます。

8.4 クロック出力機能

fc、f8、またはf32をCLKOUT端子から出力できます。

また、メモリ拡張モードまたはマイクロプロセッサモード時、CPUクロックと同一周波数のクロックをBCLKとしてBCLK端子から出力できます。

表8.5にシングルチップモードでのCLKOUT端子の機能を、表8.6にメモリ拡張モードまたはマイクロプロセッサモードでのCLKOUT端子の機能を示します。

表8.5 シングルチップモードでのCLKOUT端子の機能

PM0レジスタ(注1)	CM0レジスタ(注2)		CLKOUT 端子の機能
	PM07ビット	CM01ビット	
-	0	0	入出力ポートP53
1	0	1	fcを出力
1	1	0	f8を出力
1	1	1	f32を出力

- : 0でも1でもよい

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

表8.6 メモリ拡張モードとマイクロプロセッサモードでのCLKOUT端子の機能

PM1レジスタ(注1)		PM0レジスタ(注1)	CM0レジスタ(注2)		CLKOUT端子の機能
PM15ビット	PM14ビット	PM07ビット	CM01ビット	CM00ビット	
002、102、112		0	0(注3)	0(注3)	BCLKを出力
		1	0	0	“L”を出力(P53になりません)
		1	0	1	fcを出力
		1	1	0	f8を出力
		1	1	1	f32を出力
0	1	-	0(注3)	0(注3)	ALEを出力

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注3. PM07ビットが“0”(CM01～CM00ビットで選択)の場合、またはPM15～PM14ビットが“012”(P53/BCLK)の場合、CM01～CM00ビットは“002”(入出力ポートP53)にしてください。

8.5 パワーコントロール

パワーコントロールには、3つのモードがあります。

なお、便宜上、この項ではウエイトモード、ストップモード以外の状態を、通常動作モードと呼びます。

図8.12にストップモード、ウエイトモードの状態遷移図を、図8.13に状態遷移図を示します。

8.5.1 通常動作モード

通常動作モードは、さらに6つのモードに分けられます。

通常動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPUクロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

8.5.1.1 高速モード

メインクロック^(注1)がCPUクロックになります。また、メインクロック^(注1)が周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfc32がタイマA、タイマBのカウントソースに使用できます。

8.5.1.2 中速モード

メインクロック^(注1)の2、3、4、6、8、10、12、14、16分周がCPUクロックになります。また、メインクロック^(注1)が周辺機能クロックのクロック源になります。サブクロックが供給されている場合、fc32がタイマA、タイマBのカウントソースに使用できます。

8.5.1.3 低速モード

サブクロックがCPUクロックになります。メインクロック^(注1)が周辺機能クロックのクロック源になります。fc32がタイマA、タイマBのカウントソースに使用できます。

8.5.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックがCPUクロックになります。fc32がタイマA、タイマBのカウントソースに使用できます。周辺機能クロックはfc32のみです。

このモードにすると同時にMCDレジスタのMCD4～MCD0ビットは“010002”(8分周モード)になりますので、次にメインクロックを動作させるときは中速(8分周)モードになります。

8.5.1.5 オンチップオシレータモード

オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合、fc32がタイマA、タイマBのカウントソースに使用できます。

8.5.1.6 オンチップオシレータ低消費電力モード

オンチップオシレータモードにした後、メインクロックを停止させた状態です。オンチップオシレータクロックの1分周(分周なし)、2、3、4、6、8、10、12、14、16分周がCPUクロックになります。オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合、fc32がタイマA、タイマBのカウントソースに使用できます。

注1．CM1レジスタのCM17ビットが“1”(CPUクロック源はPLLクロック)の場合、PLLクロック。

CPUクロックを切り替える場合は、切り替え先のクロックが安定してから切り替えてください。特にサブクロックは発振が安定するまで時間^(注1)を要しますので、電源投入直後やストップモードからの復帰後、プログラムで待ち時間をとってから移行してください。

また、オンチップオシレータクロックからメインクロックに切り替える場合は、オンチップオシレータモードで8分周(MCDレジスタのMCD4～MCD0ビットを“010002”にする)にした後、中速モード(8分周)に切り替えてください。

なお、低速モードまたは低消費電力モードから、オンチップオシレータモードまたはオンチップオシレータ低消費電力モードへ切り替えしないでください。同様にオンチップオシレータモードまたはオンチップオシレータ低消費電力モードから、低速モードまたは低消費電力モードへ切り替えしないでください。

注1. 発振安定時間は各発振子メーカーへお問い合わせください。

8.5.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、PM2レジスタのPM22ビットが“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

8.5.2.1 周辺機能クロック停止機能

CM0レジスタのCM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時に f_1 、 f_8 、 f_{32} 、カウントソースに周辺機能クロックを選択した f_{2n} 、 f_{AD} が停止しますので、消費電力が低減できます。 f_{c32} とカウントソースにXINクロックまたはオンチップオシレータクロックを選択した f_{2n} は停止しません。

8.5.2.2 ウェイトモードへの移行

CM0レジスタのCM02ビットを“1”にして、ウェイトモードへ移行する場合、メインクロックの分周後のCPUクロック周波数が10MHz以下になるように、MCDレジスタのMCD4～MCD0ビットを設定してください。

ウェイトモードを使用する場合、次の設定を行った後、ウェイトモードへ移行してください。

- ・初期設定での処理
復帰用優先レベル(RLVLレジスタのRLVL2～RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。
- ・ウェイトモード移行前の処理
 - (1)Iフラグを“0”にする
 - (2)ウェイトモードからの復帰に使用する割り込みの割り込み優先レベルを設定する
 - (3)ウェイトモードからの復帰に使用しない割り込みの割り込み優先レベルを“0”に設定する
 - (4)フラグレジスタのIPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する
復帰に使用する割り込みの割り込み優先レベル > IPL = 復帰用優先レベル
 - (5)PRCRレジスタのPRC0ビットを“1”(書き込み許可)にする
 - (6)CPUクロックがPLLクロックの場合、CM1レジスタのCM17ビットを“0”(メインクロック)にし、PLC0レジスタのPLC07ビットを“0”(PLL停止)にする
 - (7)Iフラグを“1”にする
 - (8)WAIT命令を実行する
- ・ウェイトモード復帰後の処理
ウェイトモード復帰後、すぐに復帰用優先レベルを“7”にする

8.5.2.3 ウェイトモード時の端子の状態

表8.7にウェイトモード時の端子状態を示します。

表8.7 ウェイトモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{CS0} \sim \overline{CS3}$, \overline{BHE}		ウェイトモードに入る直前の状態を保持	/
\overline{RD} , \overline{WR} , \overline{WRL} , \overline{WRH}		“ H ”	
\overline{HLDA} , \overline{BCLK}		“ H ”	
ALE		“ L ”	
ポート		ウェイトモードに入る直前の状態を保持	
CLKOUT	fc選択時	クロック出力	
	f8、f32選択時	CM0レジスタのCM02ビットが“ 0 ” (ウェイトモード時、周辺機能クロックは停止しない)のときは、クロック出力。 CM02ビットが“ 1 ” (ウェイトモード時、周辺機能クロックは停止する)のときは、ウェイトモードに入る直前の状態を保持。	

8.5.2.4 ウェイトモードからの復帰

ハードウェアリセット、 \overline{NMI} 割り込みまたは周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みを使用せず、ハードウェアリセットまたは \overline{NMI} 割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“ 0002 ” (割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM0レジスタのCM02ビットが“ 0 ” (ウェイトモード時、周辺機能クロックを停止しない)の場合、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“ 1 ” (ウェイトモード時、周辺機能クロックを停止する)の場合、周辺機能クロックを使用する周辺機能は停止し、ウェイトモードから復帰に使用できません。ただし、fc32、外部クロック、カウントソースにXINクロックまたはオンチップオシレータクロックを選択したf2nによって動作する周辺機能の割り込みは、ウェイトモードからの復帰に使用できます。

周辺機能割り込みまたは \overline{NMI} 割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

表8.8にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表8.8 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02ビットが“0”の場合	CM02ビットが“1”の場合
NMI割り込み	使用可	使用可
シリアルI/O割り込み	内部クロックでも外部クロックでも使用可	外部クロックまたは f_{2n} (XINクロックまたはオンチップオシレータクロックを選択)使用時は使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モード、または単掃引モードで使用可	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモード、またはカウントソースが f_{c32} 、 f_{2n} (XINクロックまたはオンチップオシレータクロックを選択)のとき使用可
INT割り込み	使用可	使用可
インテリジェントI/O割り込み	使用可	使用しないでください

8.5.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能も停止します。消費電力がもっとも少ないモードです。なお、VCC1端子とVCC2端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

VCC1端子とVCC2端子に印加する電圧が2.7V以下にする場合、VCC1 VCC2 VRAM^(注1)にしてください。

ストップモードからの復帰に使用できる割り込みは次のとおりです。

- ・NMI割り込み
- ・キー入力割り込み
- ・INT割り込み
- ・タイマA、タイマBの割り込み(イベントカウンタモードで周波数100Hz以下の外部パルスのカウント時)

8.5.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1” (全クロック停止)にすると、ストップモードになります。同時にMCDレジスタのMCD4～MCD0ビットは“010002” (8分周モード)になります。

ストップモードを使用する場合、次の設定を行った後、ストップモードへ移行してください。

- ・初期設定での処理

復帰用優先レベル(RLVLレジスタのRLVL2～RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。

- ・ストップモード移行前の処理

(1)IFラグを“0”にする

(2)ストップモードからの復帰に使用する割り込みの割り込み優先レベルを設定する

(3)ストップモードからの復帰に使用しない割り込みの割り込み優先レベルを“0”に設定する

(4)フラグレジスタのIPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する

復帰に使用する割り込みの割り込み優先レベル > IPL = 復帰用優先レベル

(5)PRCRレジスタのPRC0ビットを“1” (書き込み許可)にする

(6)CPUクロックをメインクロックにする

- ・CPUクロックがサブクロックの場合

CM0レジスタのCM05ビットを“0” (メインクロック発振)にし、CM0レジスタのCM07ビットを“0” (CM21ビットで選択したクロックをMCDレジスタで分周したクロック)にする

- ・CPUクロックがPLLクロックの場合

CM1レジスタのCM17ビットを“0” (メインクロック)にし、PLC0レジスタのPLC07ビットを“0” (PLL停止)にする

- ・CPUクロックがオンチップオシレータの場合

(a) MCD4～MCD0ビットを“010002” (8分周モード)にする

(b) CM05ビットを“0” (メインクロック発振)にする

(c) CM2レジスタのCM21ビットを“0” (CM17ビットで選択されたクロック)にする

(7)発振停止検出機能を使用している場合、CM2レジスタのCM20ビットを“0” (発振停止検出機能無効)にする

(8)IFラグを“1”にする

(9)CM10ビットを“1” (全クロック停止)にする

- ・ストップモード復帰後の処理

ストップモード復帰後、すぐに復帰用優先レベルを“7”にする

8.5.3.2 ストップモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または周辺機能割り込み(キー入力割り込み、 $\overline{\text{INT}}$ 割り込み)により、ストップモードから復帰します。

周辺機能割り込みを使用しないで、ハードウェアリセットまたは $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットをすべて“0002” (割り込み禁止)にした後、CM1レジスタのCM10ビットを“1” (全クロック停止)にしてください。

8.5.3.3 ストップモード時の端子の状態

表8.9にストップモード時の端子状態を示します。

表8.9 ストップモード時の端子の状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3, BHE		ストップモードに入る直前の状態を保持	/
RD, WR, WRL, WRH		“ H ”	
HLDA, BCLK		“ H ”	
ALE		“ H ”	
ポート		ストップモードに入る直前の状態を保持	
CLKOUT	f _c 選択時	“ H ”	
	f ₈ , f ₃₂ 選択時	ストップモードに入る直前の状態を保持	
XIN		ハイインピーダンス	
XOUT		“ H ”	
XCIN, XCOUT		ハイインピーダンス	

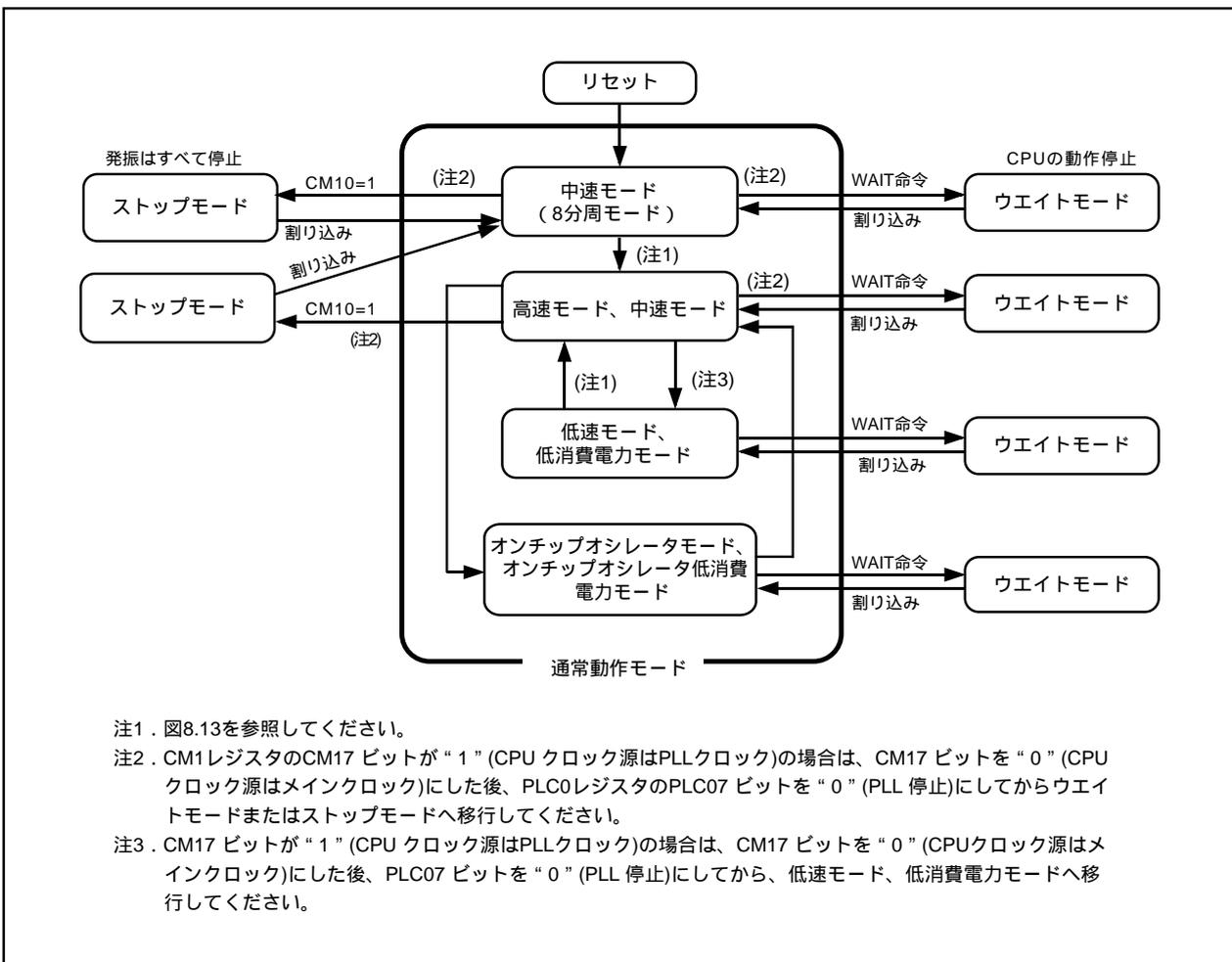


図8.12 ストップモード、ウェイトモードの状態遷移図

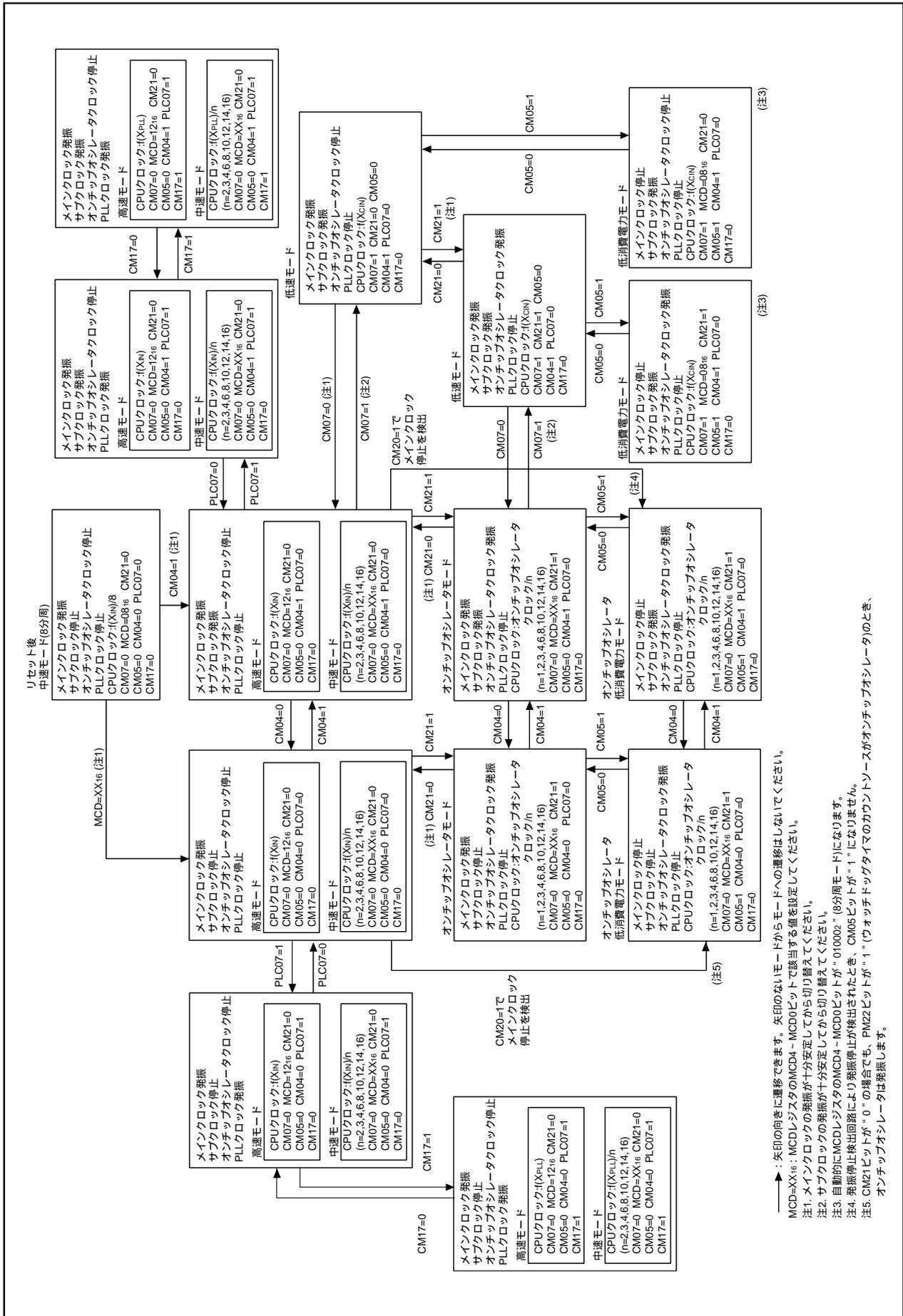


図8.13 状態遷移図

→: 矢印の向きに遷移できます。矢印のないモードからモードへの遷移はしないでください。
MCD=XX₁₆: MCDレジスタのMCD4-MCD0ビットで該当する値を設定してください。
注1. メインクロックの発振が十分安定してから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. 自動的にMCDレジスタのMCD4-MCD0ビットが"01000₈"(8分周モード)になります。
注4. 発振停止検出回路により発振停止が検出されたとき、CM05ビットが"1"になります。
注5. CM21ビットが"0"の場合でも、PM22ビットが"1" (ウォッチドッグタイマのカウントソースがオンチップオシレータ)のとき、オンチップオシレータは発振します。

8.6 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、プログラムの暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1” (クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- ・ CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- ・ CM1レジスタのCM10ビット、CM17ビット
- ・ CM2レジスタのCM20ビット
- ・ PLC0、PLC1レジスタの全ビット

また、WAIT命令実行時、CPUクロックは停止しません。

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0” (メインクロック発振)、CM07ビットが“0” (CPUクロックのクロック源はメインクロック)の状態での処理をしてください。

(1)PRCRレジスタのPRC1ビットを“1” (PM2レジスタ書き込み許可)にする

(2)PM2レジスタのPM21ビットを“1” (クロック変更禁止)にする

(3)PRCRレジスタのPRC1ビットを“0” (PM2レジスタ書き込み禁止)にする

PM21ビットが“1” のとき、WAIT命令を実行しないでください。

9. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタを簡単に書き換えられないように保護する機能です。図9.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- ・ PRC0ビットで保護されるレジスタ : CM0レジスタ、CM1レジスタ、CM2レジスタ、MCDレジスタ、PLC0レジスタ、PLC1レジスタ
- ・ PRC1ビットで保護されるレジスタ : PM0レジスタ、PM1レジスタ、PM2レジスタ、INVC0レジスタ、INVC1レジスタ
- ・ PRC2ビットで保護されるレジスタ : PD9レジスタ、PS3レジスタ

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地書き込みを実行すると“0”(書き込み禁止状態)になります。PD9レジスタとPS3レジスタは、PRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。PRC0、PRC1ビットは任意の番地書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

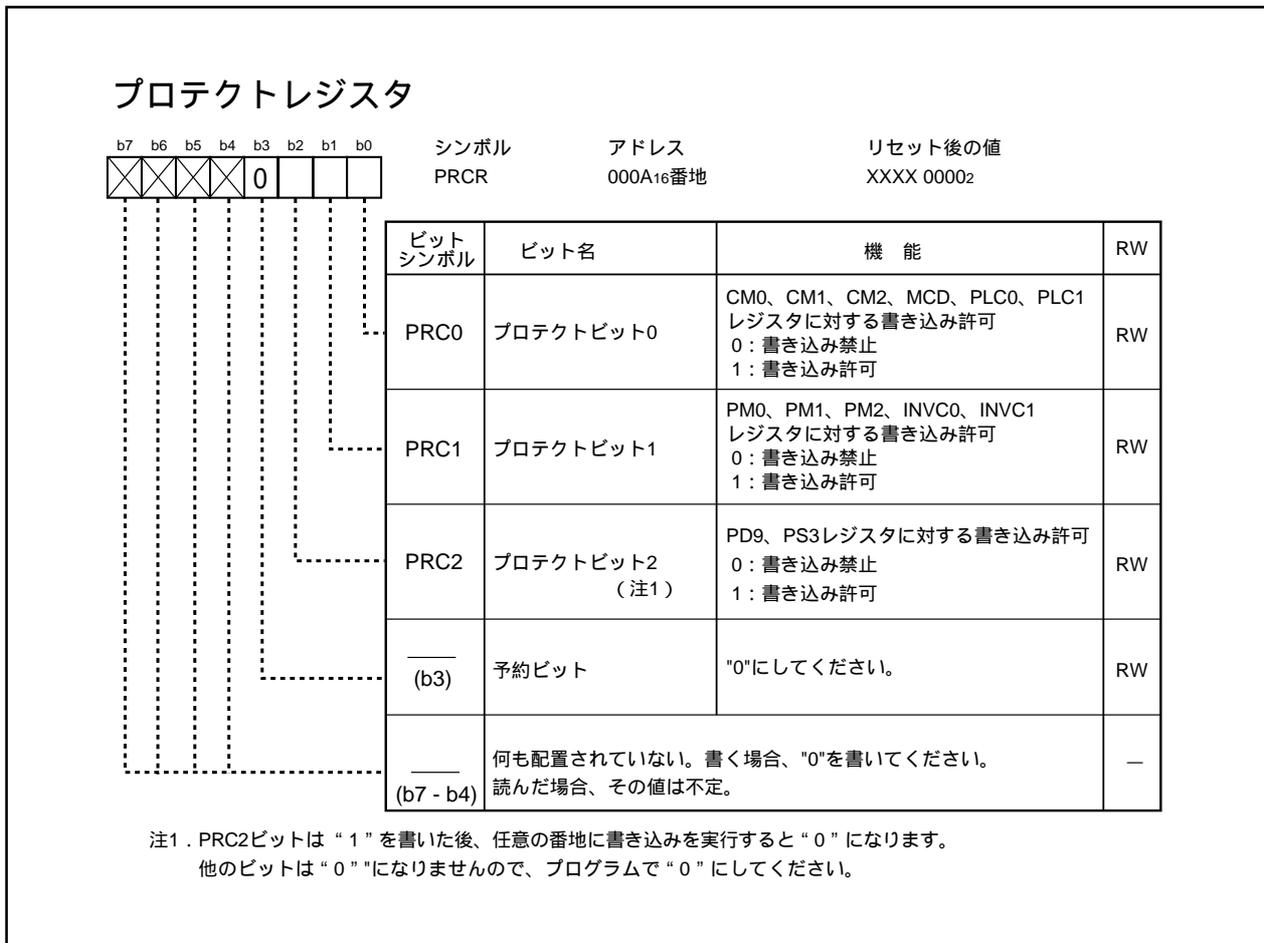


図9.1 PRCRレジスタ

10. 割り込み

10.1 割り込みの分類

図10.1に割り込みの分類を示します。

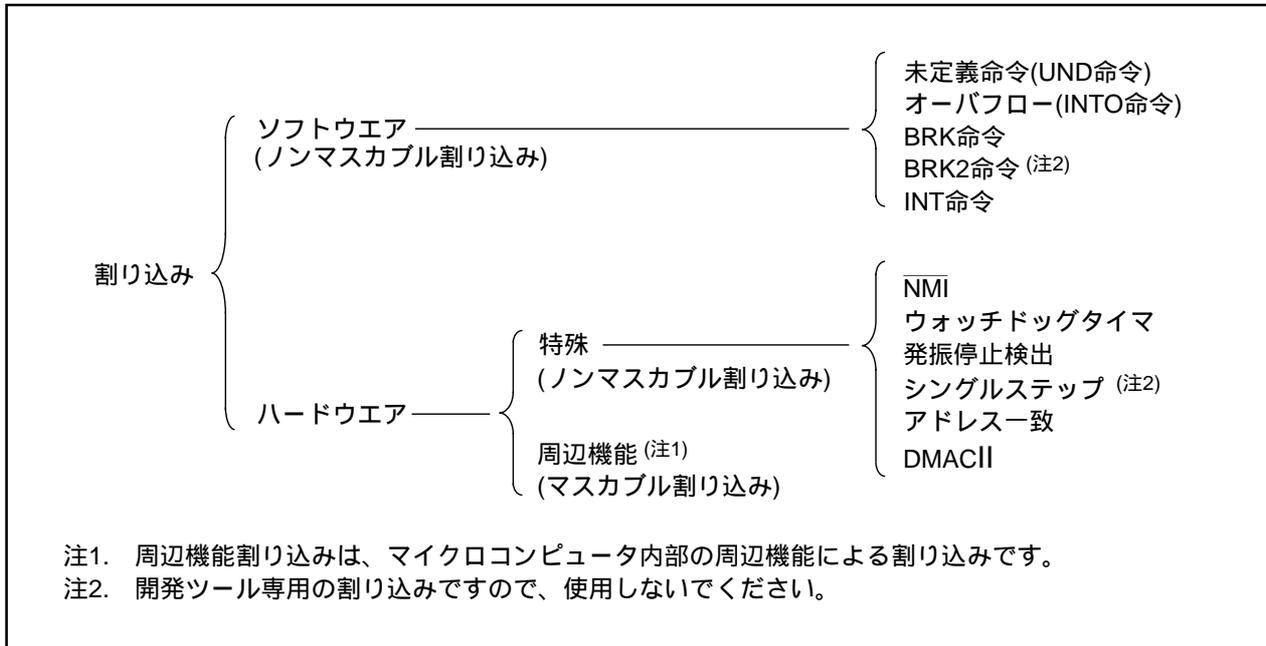


図10.1 割り込みの分類

- ・ マスカブル割り込み
Iフラグによる割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ・ ノンマスカブル割り込み
Iフラグによる割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

10.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

10.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

10.2.2 オーバフロー割り込み

オーバーフロー割り込みはFLGレジスタのOフラグが“1”(演算の結果がオーバーフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、ADDX、CMP、CMPX、DIV、DIVU、DIVX、NEG、RMPA、SBB、SCMPU、SHA、SUB、SUBX

10.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

10.2.4 BRK2割り込み

BRK2割り込みはBRK2命令を実行すると発生します。
開発ツール専用の割り込みです。使用しないでください。

10.2.5 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号8～48は周辺機能割り込みに割り当てられていますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

INT命令を実行すると、FLGレジスタ、PCをスタックに退避し、指定したソフトウェア割り込み番号の可変ベクタをPCに格納します。

退避先のスタックはソフトウェア割り込み番号により異なります。

ソフトウェア割り込み番号0～31ではISP(Uフラグが“0”)に、ソフトウェア割り込み番号32～63ではINT命令実行前に選択されているSP(Uフラグは変化しない)になります。

ただし、周辺機能割り込みでは、割り込み要求受け付け時にFLGレジスタを退避し、Uフラグが“0”(ISPを選択)になります。そのため、ソフトウェア割り込み番号32～48では割り込み要因が周辺機能割り込みかINT命令かで使用するSPが異なります。

10.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

10.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

10.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は、「10.8 $\overline{\text{NMI}}$ 割り込み」を参照してください。

10.3.1.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「11. ウォッチドッグタイマ」を参照してください。

10.3.1.3 発振停止検出割り込み

発振停止検出機能により、メインクロックの発振停止を検出すると発生する割り込みです。発振停止検出の詳細は、「8. クロック発生回路」を参照してください。

10.3.1.4 シングルステップ割り込み

開発ツール専用の割り込みです。使用しないでください。

10.3.1.5 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIERiビット(i=0～7)が“1”(アドレス一致割り込み許可)の場合、RMADiレジスタで示される番地の命令を実行する直前に発生します。

RMADiレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。アドレス一致割り込みの詳細は、「10.10 アドレス一致割り込み」を参照してください。

10.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号8～48と同一です。周辺機能割り込みは、マスクパル割り込みです。

周辺機能割り込みの割り込み要因は、表10.2を参照してください。また、周辺機能の詳細は、各機能の説明を参照してください。

10.4 高速割り込み

高速割り込みは、割り込みシーケンスを5サイクルで、復帰を3サイクルで実行できる割り込みです。

RLVLレジスタのFSITビットを“1”(割り込み優先レベル7は高速割り込みに使用)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にした割り込みが高速割り込みとなります。

高速割り込みに設定できる割り込みは1つだけです。高速割り込みを使用する場合は、複数の割り込みをレベル7にしないでください。また、高速割り込みを使用する場合は、RLVLレジスタのDMAIIビットを“0”(割り込み優先レベル7は割り込みに使用)にしてください。

高速割り込みルーチンの先頭番地は、VCTレジスタに設定してください。

高速割り込みでは割り込みを受け付けると、FLGレジスタをSVFレジスタ、PCをSVPLレジスタへ退避し、VCTレジスタで示される番地からプログラムを実行します。

復帰する場合はFREIT命令を実行してください。FREIT命令を実行すると、SVFレジスタ、SVPLレジスタに退避していた値がFLGレジスタ、PCに復帰します。

高速割り込みはDMA2とDMA3で使用するレジスタを共有しています。そのため、高速割り込みを使用する場合、DMA2とDMA3は使用できません。(DMA0とDMA1は使用できます。)

10.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図10.2に割り込みベクタを示します。

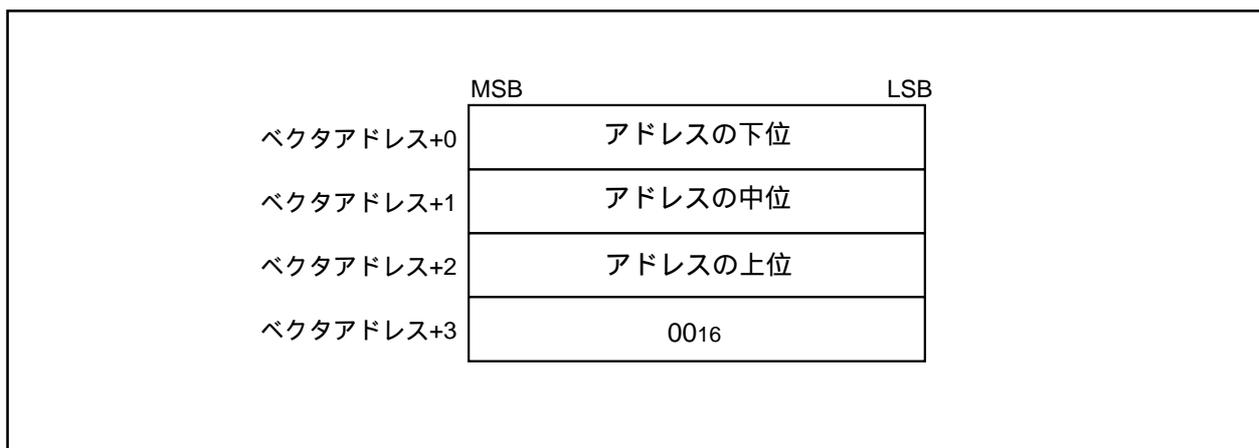


図10.2 割り込みベクタ

10.5.1 固定ベクタテーブル

固定ベクタテーブルはFFFFDC₁₆番地からFFFFFF₁₆番地に配置されています。表10.1に固定ベクタテーブルを示します。

表10.1 固定ベクタテーブル

割り込み要因	ベクタ番地 (番地(L) ~ 番地(H))	備考	参照先
未定義命令	FFFFDC ₁₆ ~ FFFFDF ₁₆		M32C/80シリーズ ソフトウェアマニュアル
オーバフロー	FFFFE0 ₁₆ ~ FFFFFE3 ₁₆		
BRK命令	FFFFE4 ₁₆ ~ FFFFFE7 ₁₆	FFFFE7 ₁₆ 番地の内容がFF ₁₆ の場合は可変ベクタテーブル内のソフトウェア割り込み番号0に格納された番地へ分岐	
アドレス一致	FFFFE8 ₁₆ ~ FFFFEB ₁₆		
-	FFFFEC ₁₆ ~ FFFFFEF ₁₆	予約領域	
ウォッチドッグタイマ	FFFFFF0 ₁₆ ~ FFFFF3 ₁₆	ウォッチドッグタイマ割り込みと発振停止検出割り込みで共用	リセット、クロック発生回路、ウォッチドッグタイマ
-	FFFFFF4 ₁₆ ~ FFFFF7 ₁₆	予約領域	
NMI	FFFFFF8 ₁₆ ~ FFFFFB ₁₆		
リセット	FFFFFC ₁₆ ~ FFFFFF ₁₆		リセット

10.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表10.2に可変ベクタテーブルを示します。

INTBレジスタに設定するベクタの先頭番地は偶数番地にしてください。偶数番地を指定した方が割り込みシーケンスの実行速度が速くなります。

表10.2 可変ベクタテーブル(1/2)

割り込み要因	ベクタテーブル番地 番地(L) ~ 番地(H) ^(注1)	ソフトウェア 割り込み番号	参照先
BRK 命令 ^(注2)	+0 ~ +3 (0000 ₁₆ ~ 0003 ₁₆)	0	M32C/80シリーズ
予約領域	+4 ~ +31 (0004 ₁₆ ~ 001F ₁₆)	1 ~ 7	ソフトウェアマニュアル
DMA0	+32 ~ +35 (0020 ₁₆ ~ 0023 ₁₆)	8	DMAC
DMA1	+36 ~ +39 (0024 ₁₆ ~ 0027 ₁₆)	9	
DMA2	+40 ~ +43 (0028 ₁₆ ~ 002B ₁₆)	10	
DMA3	+44 ~ +47 (002C ₁₆ ~ 002F ₁₆)	11	
タイマA0	+48 ~ +51 (0030 ₁₆ ~ 0033 ₁₆)	12	タイマA
タイマA1	+52 ~ +55 (0034 ₁₆ ~ 0037 ₁₆)	13	
タイマA2	+56 ~ +59 (0038 ₁₆ ~ 003B ₁₆)	14	
タイマA3	+60 ~ +63 (003C ₁₆ ~ 003F ₁₆)	15	
タイマA4	+64 ~ +67 (0040 ₁₆ ~ 0043 ₁₆)	16	
UART0送信、NACK ^(注3)	+68 ~ +71 (0044 ₁₆ ~ 0047 ₁₆)	17	シリアルI/O
UART0受信、ACK ^(注3)	+72 ~ +75 (0048 ₁₆ ~ 004B ₁₆)	18	
UART1送信、NACK ^(注3)	+76 ~ +79 (004C ₁₆ ~ 004F ₁₆)	19	
UART1受信、ACK ^(注3)	+80 ~ +83 (0050 ₁₆ ~ 0053 ₁₆)	20	
タイマB0	+84 ~ +87 (0054 ₁₆ ~ 0057 ₁₆)	21	タイマB
タイマB1	+88 ~ +91 (0058 ₁₆ ~ 005B ₁₆)	22	
タイマB2	+92 ~ +95 (005C ₁₆ ~ 005F ₁₆)	23	
タイマB3	+96 ~ +99 (0060 ₁₆ ~ 0063 ₁₆)	24	
タイマB4	+100 ~ +103 (0064 ₁₆ ~ 0067 ₁₆)	25	
$\overline{\text{INT}}_5$	+104 ~ +107 (0068 ₁₆ ~ 006B ₁₆)	26	割り込み
$\overline{\text{INT}}_4$	+108 ~ +111 (006C ₁₆ ~ 006F ₁₆)	27	
$\overline{\text{INT}}_3$	+112 ~ +115 (0070 ₁₆ ~ 0073 ₁₆)	28	
$\overline{\text{INT}}_2$	+116 ~ +119 (0074 ₁₆ ~ 0077 ₁₆)	29	
$\overline{\text{INT}}_1$	+120 ~ +123 (0078 ₁₆ ~ 007B ₁₆)	30	
$\overline{\text{INT}}_0$	+124 ~ +127 (007C ₁₆ ~ 007F ₁₆)	31	
タイマB5	+128 ~ +131 (0080 ₁₆ ~ 0083 ₁₆)	32	タイマB
UART2送信、NACK ^(注3)	+132 ~ +135 (0084 ₁₆ ~ 0087 ₁₆)	33	シリアルI/O
UART2受信、ACK ^(注3)	+136 ~ +139 (0088 ₁₆ ~ 008B ₁₆)	34	
UART3送信、NACK ^(注3)	+140 ~ +143 (008C ₁₆ ~ 008F ₁₆)	35	
UART3受信、ACK ^(注3)	+144 ~ +147 (0090 ₁₆ ~ 0093 ₁₆)	36	
UART4送信、NACK ^(注3)	+148 ~ +151 (0094 ₁₆ ~ 0097 ₁₆)	37	
UART4受信、ACK ^(注3)	+152 ~ +155 (0098 ₁₆ ~ 009B ₁₆)	38	

表10.2 可変ベクタテーブル(2/2)

割り込み要因	ベクタテーブル番地 番地(L) ~ 番地(H) ^(注1)	ソフトウェア 割り込み番号	参照先
バス衝突検出、スタ - トコンディション 検出またはストップコンディション検出 (UART2) ^(注3)	+156 ~ +159 (009C ₁₆ ~ 009F ₁₆)	39	シリアルI/O
バス衝突検出、スタ - トコンディション 検出またはストップコンディション検出 (UART3またはUART0) ^(注4)	+160 ~ +163 (00A0 ₁₆ ~ 00A3 ₁₆)	40	
バス衝突検出、スタ - トコンディション 検出またはストップコンディション検出 (UART4またはUART1) ^(注4)	+164 ~ +167 (00A4 ₁₆ ~ 00A7 ₁₆)	41	
A/D0	+168 ~ +171 (00A8 ₁₆ ~ 00AB ₁₆)	42	A/Dコンバータ
キー入力	+172 ~ +175 (00AC ₁₆ ~ 00AF ₁₆)	43	割り込み
インテリジェントI/O割り込み0	+176 ~ +179 (00B0 ₁₆ ~ 00B3 ₁₆)	44	インテリジェントI/O
インテリジェントI/O割り込み1	+180 ~ +183 (00B4 ₁₆ ~ 00B7 ₁₆)	45	
インテリジェントI/O割り込み2	+184 ~ +187 (00B8 ₁₆ ~ 00BB ₁₆)	46	
インテリジェントI/O割り込み3	+188 ~ +191 (00BC ₁₆ ~ 00BF ₁₆)	47	
インテリジェントI/O割り込み4	+192 ~ +195 (00C0 ₁₆ ~ 00C3 ₁₆)	48	
INT命令 ^(注2)	+0 ~ +3 (0000 ₁₆ ~ 0003 ₁₆) ~ +252 ~ +255 (00FC ₁₆ ~ 00FF ₁₆)	0 ~ 63	割り込み

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグで割り込み禁止にはできません。

注3. I²Cモード時、NACK、ACK、スタ - ト/ストップコンディション検出が割り込み要因になります。

注4. UART0、UART3のどちらの割り込みに使用するかは、IFSRレジスタのIFSR6ビットで、UART1、UART4のどちらの割り込みに使用するかは、IFSR7ビットで選択してください。

10.6 割り込み要求の受け付け

ソフトウェア割り込みと特殊割り込みは、割り込み要因が成立すると割り込みが発生します。周辺機能割り込みは次の3つの条件がすべて成立したとき受け付けられます。

- ・Iフラグ = “1”
- ・IRビット = “1”
- ・ILVL2~ILVL0ビット > IPL

Iフラグ、IPL、IRビット、ILVL2~ILVL0ビットはそれぞれ独立しており、互いに影響を与えることはありません。IフラグとIPLはFLGレジスタにあります。IRビットとILVL2~ILVL0ビットは割り込み制御レジスタにあります。

これらのフラグ、ビットについて次に説明します。

10.6.1 IフラグとIPL

Iフラグは、マスカブル割り込みを禁止または許可します。Iフラグを“1”(許可)にすると、すべてのマスカブル割り込みは許可され、“0”(禁止)にすると禁止されます。Iフラグはリセット後“0”になります。

IPLは3ビットで構成されており、レベル0~7までの8段階のプロセッサ割り込み優先レベルを示します。要求があった割り込みの優先レベルがIPLより大きい場合、その割り込みは許可されます。

表10.3にIPLの内容による割り込み許可レベルを示します。

表10.3 IPLの内容による割り込み許可レベル

IPL2	IPL1	IPL0	許可される割り込み優先レベル
0	0	0	レベル1以上を許可
0	0	1	レベル2以上を許可
0	1	0	レベル3以上を許可
0	1	1	レベル4以上を許可
1	0	0	レベル5以上を許可
1	0	1	レベル6以上を許可
1	1	0	レベル7以上を許可
1	1	1	すべてのマスカブル割り込みを禁止

10.6.2 割り込み制御レジスタとRLVLレジスタ

周辺機能割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。図10.3、図10.4に割り込み制御レジスタを、図10.5にRLVLレジスタを示します。

割り込み制御レジスタ

シンボル	アドレス	リセット後の値
TA0IC ~ TA4IC	006C ₁₆ , 008C ₁₆ , 006E ₁₆ , 008E ₁₆ , 0070 ₁₆ 番地	XXXX X0002
TB0IC ~ TB5IC	0094 ₁₆ , 0076 ₁₆ , 0096 ₁₆ , 0078 ₁₆ , 0098 ₁₆ , 0069 ₁₆ 番地	XXXX X0002
S0TIC ~ S4TIC	0090 ₁₆ , 0092 ₁₆ , 0089 ₁₆ , 008B ₁₆ , 008D ₁₆ 番地	XXXX X0002
S0RIC ~ S4RIC	0072 ₁₆ , 0074 ₁₆ , 006B ₁₆ , 006D ₁₆ , 006F ₁₆ 番地	XXXX X0002
BCN0IC ~ BCN4IC	0071 ₁₆ , 0091 ₁₆ , 008F ₁₆ , 0071 ₁₆ (注1), 0091 ₁₆ (注2)番地	XXXX X0002
DM0IC ~ DM3IC	0068 ₁₆ , 0088 ₁₆ , 006A ₁₆ , 008A ₁₆ 番地	XXXX X0002
AD0IC	0073 ₁₆ 番地	XXXX X0002
KUPIC	0093 ₁₆ 番地	XXXX X0002
IIO0IC ~ IIO4IC	0075 ₁₆ , 0095 ₁₆ , 0077 ₁₆ , 0097 ₁₆ , 0079 ₁₆ 番地	XXXX X0002

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル 選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止) 0 0 1 : レベル1 0 1 0 : レベル2 0 1 1 : レベル3 1 0 0 : レベル4 1 0 1 : レベル5 1 1 0 : レベル6 1 1 1 : レベル7	RW
ILVL1		RW	
ILVL2		RW	
IR		割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり (注3)
(b7 - b4)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。		—

注1 . BCN0ICレジスタとBCN3ICレジスタは番地を共用しています。

注2 . BCN1ICレジスタとBCN4ICレジスタは番地を共用しています。

注3 . "0"のみ書き込み可。("1"は書かないでください。)

図10.3 割り込み制御レジスタ(1)

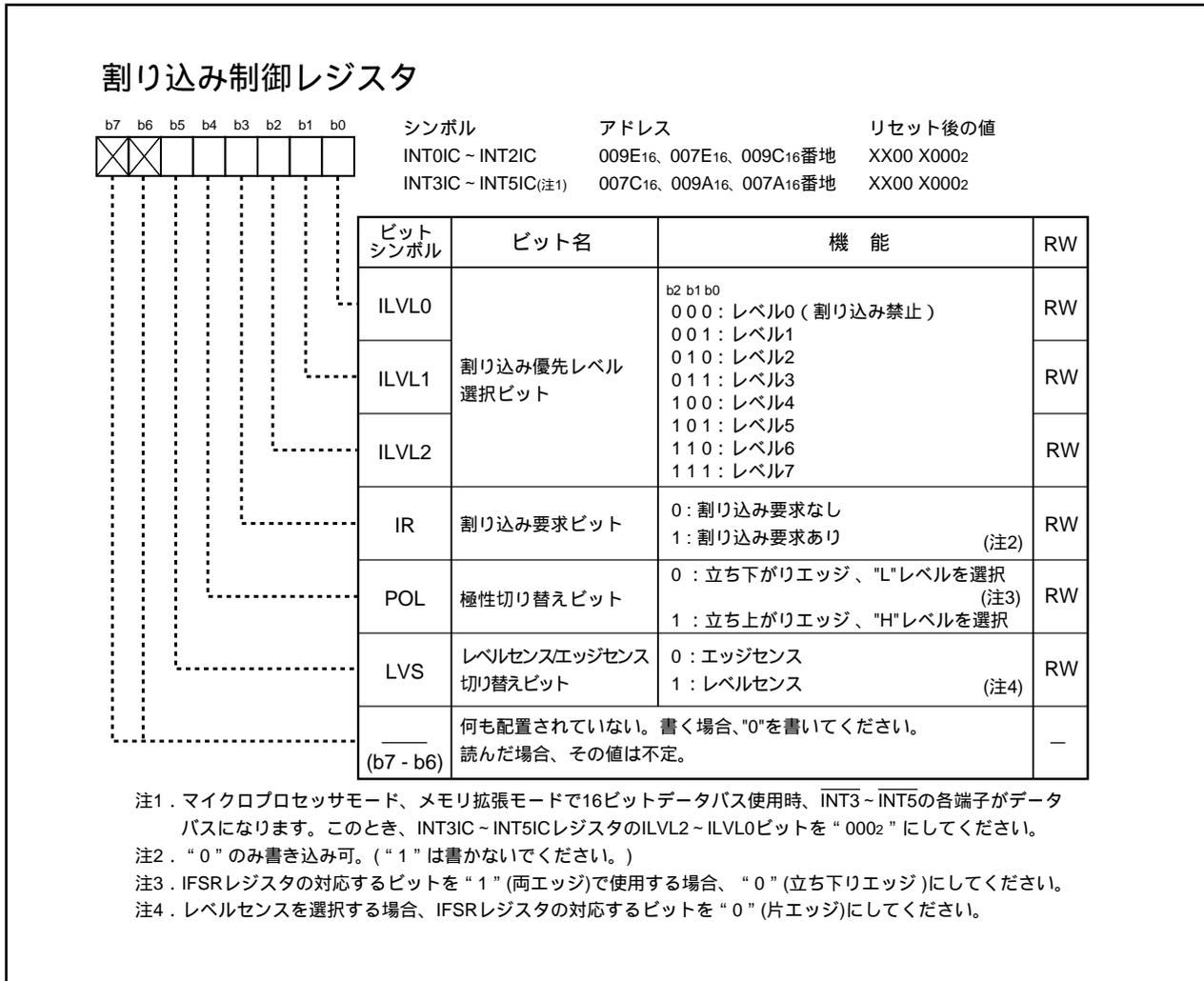


図10.4 割り込み制御レジスタ(2)

10.6.2.1 ILVL2 ~ ILVL0ビット

ILVL2 ~ ILVL0ビットで割り込み優先レベルを選択します。割り込み優先レベルの値が大きいくほど割り込みの優先順位が高くなります。

割り込み要求発生時、割り込み優先レベルはIPLと比較され、割り込みの優先レベルがIPLより大きい場合だけ、その割り込みは許可されます。ILVL2 ~ ILVL0ビットを“000₂”(レベル0)にすると、その割り込みは禁止されます。

10.6.2.2 IRビット

IRビットは割り込み要求が発生すると、ハードウェアによって“1”(割り込み要求あり)になります。割り込み要求が受け付けられ対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます(“1”を書かないでください)。

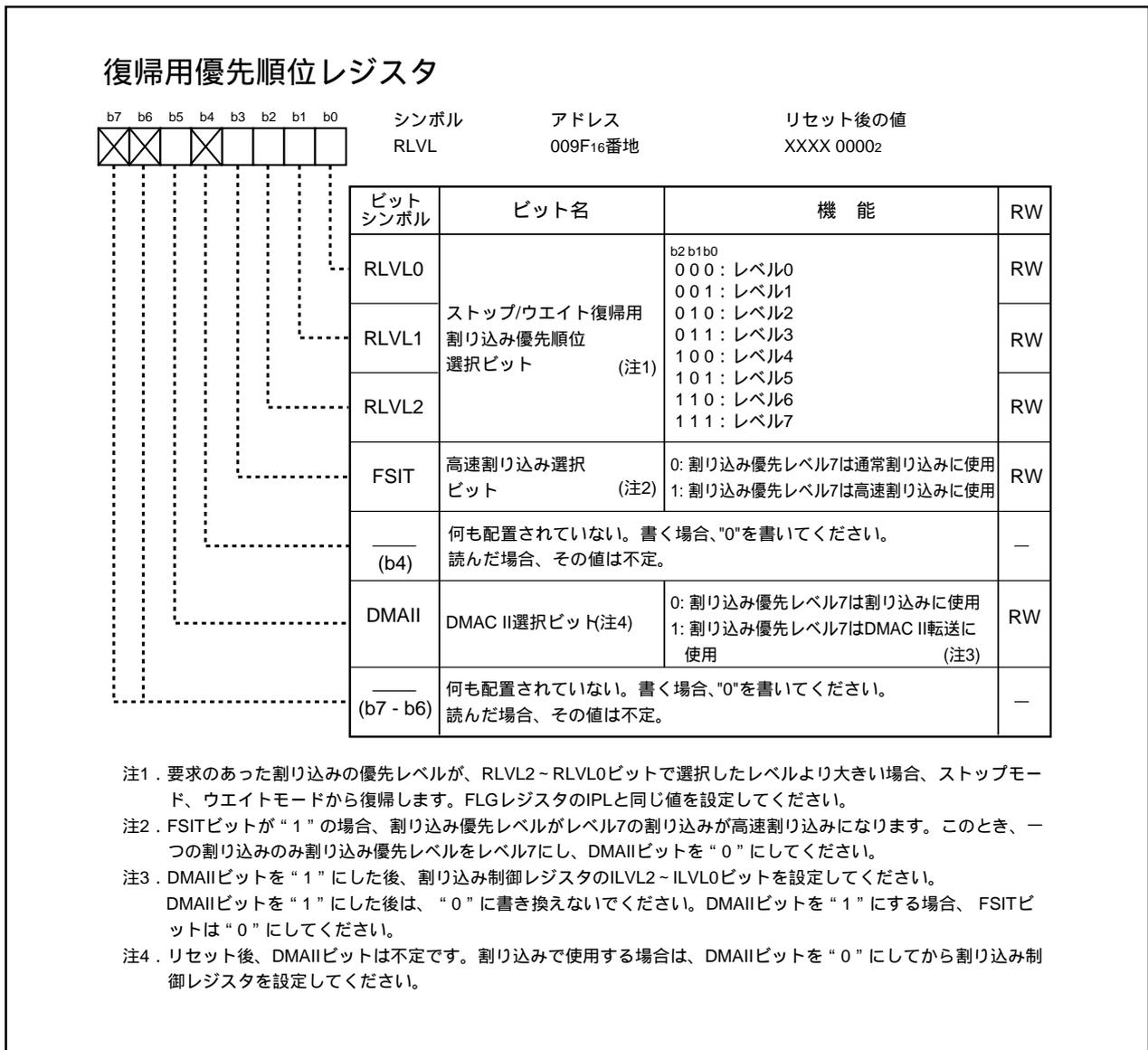


図10.5 RLVLレジスタ

10.6.2.3 RLVL2～RLVL0ビット

ストップモードやウェイトモードの解除に割り込みを使用する場合は、「8.5.2 ウェイトモード」、
「8.5.3 ストップモード」を参照してください。

10.6.3 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、CPUはその命令の実行終了後に優先順位を判定し、次のサイクルから割り込みシーケンスに移ります。ただし、SCMPU、SIN、SMOVB、SMOVF、SMOVU、SSTR、SOUT、RMPAの各命令では、命令実行中に割り込み要求が発生すると、CPUは命令の実行を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

- (1) 00000016番地(高速割り込みの場合、00000216番地)を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ^(注1)に退避します。
- (3) FLGレジスタの各ビットは次のようになります。
 - Iフラグが“0”(割り込み禁止)
 - Dフラグが“0”(シングルステップ割り込み禁止)
 - Uフラグが“0”(ISPを指定)
- (4) CPU内部の一時レジスタをスタックに退避します。高速割り込みの場合は、SVFレジスタに退避します。
- (5) PCをスタックに退避します。高速割り込みの場合は、SVPレジスタに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 受け付けた割り込みに対応する可変ベクタをPCに格納します。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

10.6.4 割り込み応答時間

図10.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図10.6の(a))と割り込みシーケンスを実行する時間(図10.6(b))で構成されます。

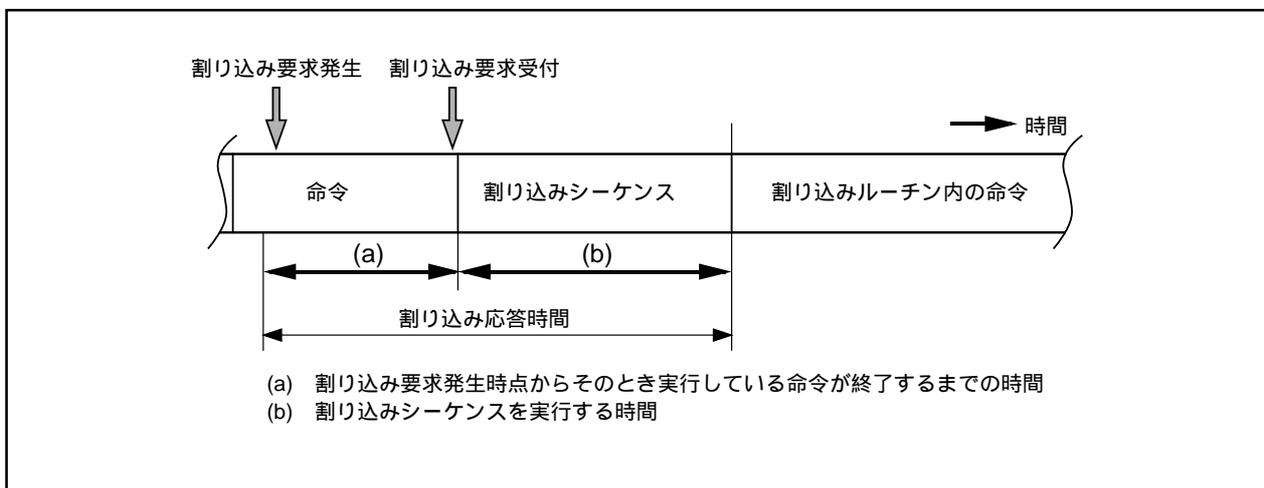


図10.6 割り込み応答時間

(a)の時間は、実行している命令によって異なります。この時間が最も長くなる命令はDIV命令、DIVX命令、DIVU命令で最長42サイクルです。

除数がメモリのときは、次の値が加算されます。

- ・通常アドレッシング $2 + X$
- ・インデクスアドレッシング $3 + X$
- ・間接アドレッシング $5 + X + 2Y$
- ・間接インデクスアドレッシング $6 + X + 2Y$

Xは除数の領域のウェイト数です。Yは間接アドレスが格納されている領域のウェイト数です。これが奇数番地か8ビットバス領域にある場合、その値を2倍してください。

(b)の時間は表10.4のとおりです。

表10.4 割り込みシーケンス実行時間

割り込み	割り込みベクタの番地	16ビットバス	8ビットバス
周辺機能	偶数 奇数(注1)	14サイクル 16サイクル	16サイクル 16サイクル
INT命令	偶数 奇数(注1)	12サイクル 14サイクル	14サイクル 14サイクル
$\overline{\text{NMI}}$ ウォッチドッグタイマ 未定義命令 アドレス一致	偶数(注2)	13サイクル	15サイクル
オーバフロー	偶数(注2)	14サイクル	16サイクル
BRK命令(可変ベクタ)	偶数 奇数(注1)	17サイクル 19サイクル	19サイクル 19サイクル
BRK命令(固定ベクタ)	偶数(注2)	19サイクル	21サイクル
高速割り込み	ベクタテーブルは内部レジスタ	5サイクル	

注1. 割り込みベクタは、なるべく偶数番地に配置してください。

注2. ベクタの番地は偶数固定です。

10.6.5 割り込み要求受け付け時のIPLの変化

周辺機能割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込みは、割り込み優先レベルをもちません。これらの割り込み要求が受け付けられたときは、表10.5に示す値がIPLに設定されます。

表10.5 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 $\overline{\text{NMI}}$ 、発振停止検出	7
リセット	0
ソフトウェア、アドレス一致	変化しない

10.6.6 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへは、FLGレジスタ、次にPCを32ビットに拡張した上位16ビットと下位16ビットの順番で退避します。図10.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を1命令で退避できます。

高速割り込みは「10.4 高速割り込み」を参照してください。

注1 . R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

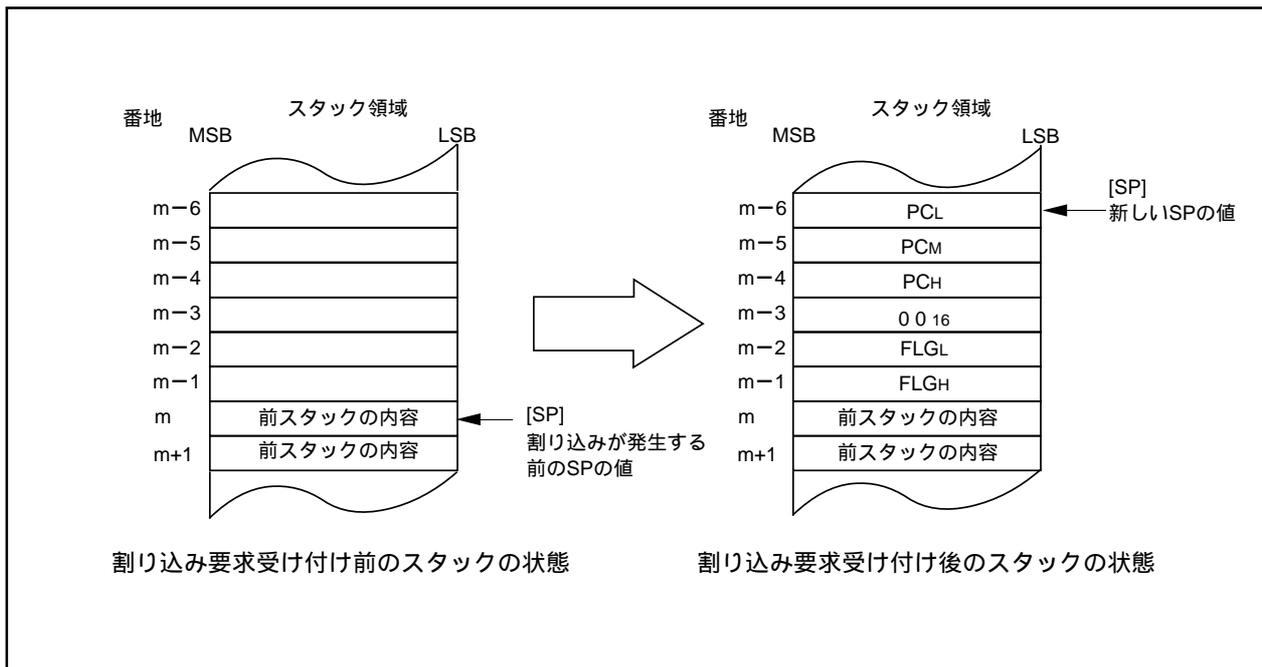


図10.7 割り込み要求受け付け前と後のスタックの状態

10.6.7 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻り、中断していた処理を続けます。高速割り込みは「10.4 高速割り込み」を参照してください。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REITまたはFREIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

10.6.8 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先順位は、ILVL2~ILVL0ビットによって任意の優先順位を選択できます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図10.8にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンへ分岐します。

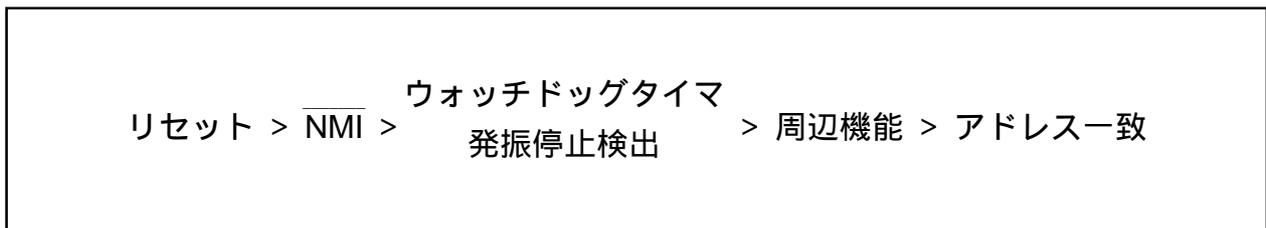


図10.8 ハードウェア割り込みの割り込み優先順位

10.6.9 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図10.9に割り込み優先レベルの判定回路を示します。

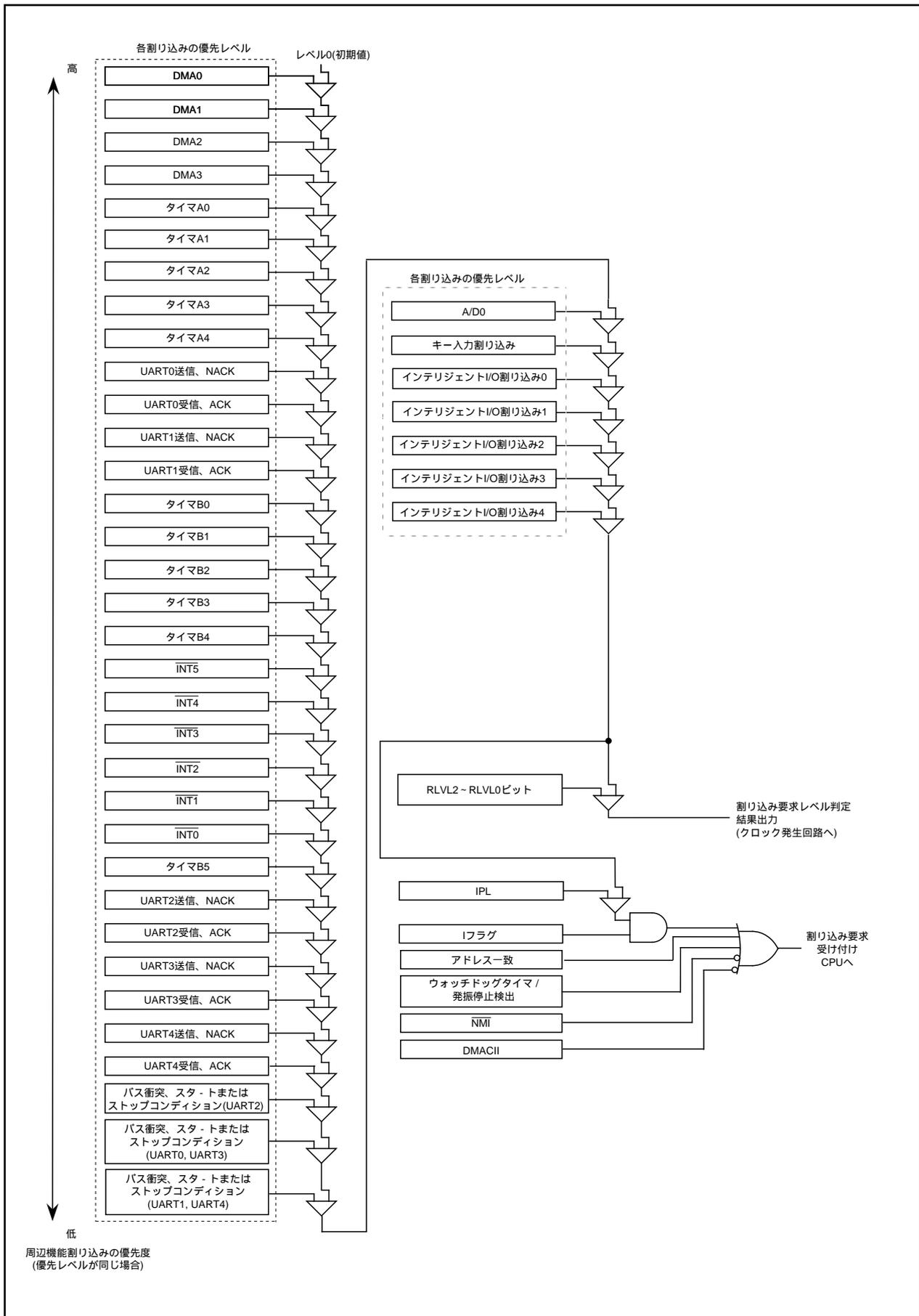


図10.9 割り込み優先レベル判定回路

10.7 INT割り込み

INT_i(i=0~5)割り込みは外部入力による割り込みです。入力信号のレベルで割り込みをかけるレベルセンスと、エッジで割り込みをかけるエッジセンスをINT_iICレジスタのLV_Sビットで選択できます。また、極性をINT_iICレジスタのPOLビットで選択できます。

エッジセンスでは、IFSRレジスタのIFSR_iビットを“1”(両エッジ)にすると、外部割り込み入力の立ち上がり、立ち下りの両方のエッジで割り込み要求が発生します。IFSR_iビットを“1”にする場合は、対応するPOLビットを“0”(立ち下りエッジ)にしてください。

レベルセンスでは、IFSR_iビットは“0”(片エッジ)にしてください。また、INT_i端子の入力レベルがPOLビットで選択したレベルのときに、INT_iICレジスタのIRビットが“1”(割り込み要求あり)になります。その後、INT_i端子が変化してもIRビットは“1”を保持し、INT_i割り込みを受け付けるか、プログラムで“0”を書くとも“0”になります。

図10.10にIFSRレジスタを示します。

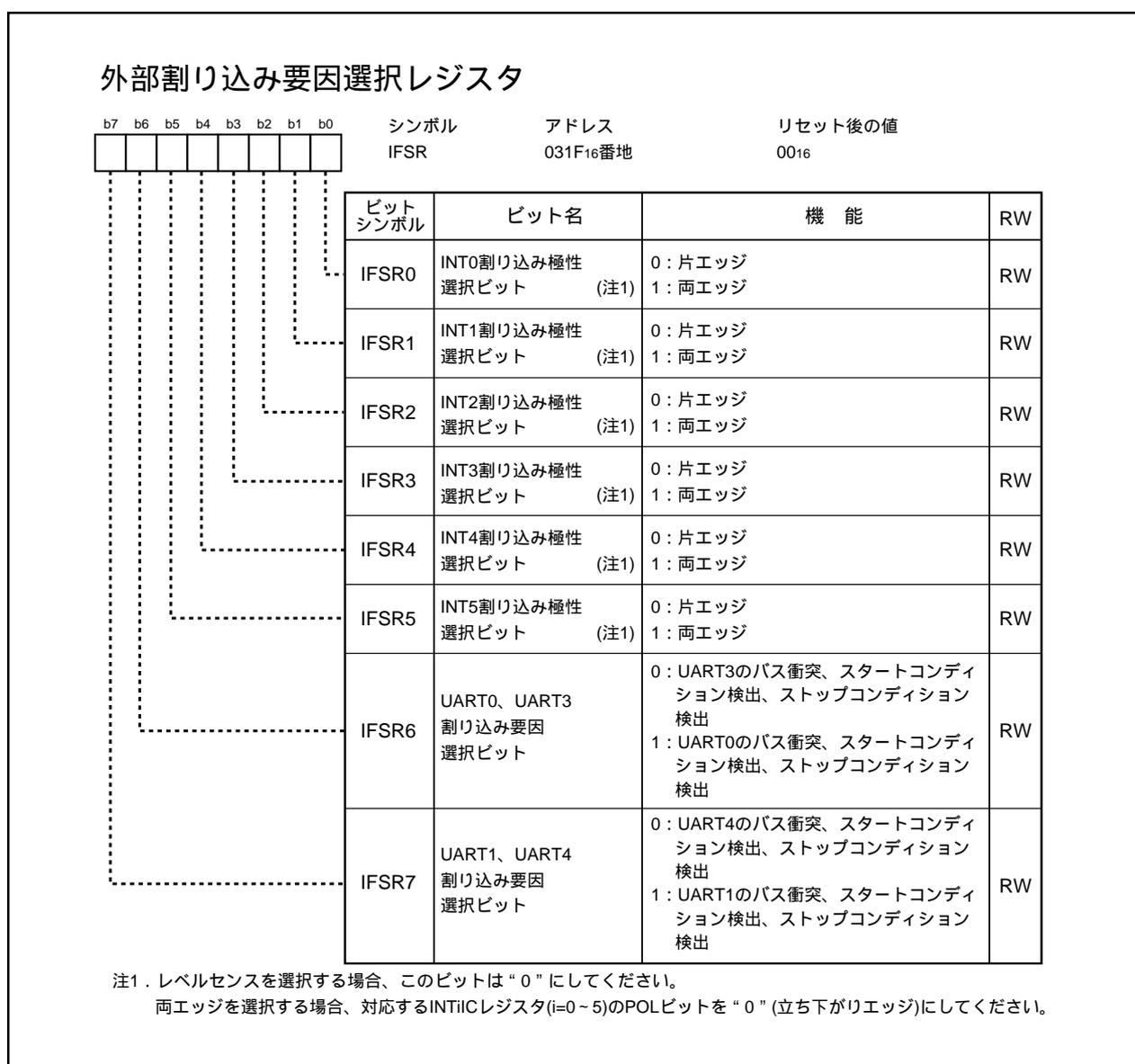


図10.10 IFSRレジスタ

10.8 $\overline{\text{NMI}}$ 割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。また、この端子は $\overline{\text{NMI}}$ 割り込み入力端子ですが、端子の入力レベルをP8レジスタのP8_5ビットで読めます。

<注意事項>

$\overline{\text{NMI}}$ 機能を使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVCC1に接続(プルアップ)してください。 $\overline{\text{NMI}}$ 割り込みはノンマスクابلであり、無効にできませんので端子処理が必要です。

10.9 キー入力割り込み

P104～P107のうち、方向レジスタを入力モードにしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。ウェイトモードやストップモードを解除する機能としても使用できます。ただし、キー入力割り込みを使用する場合、P104～P107をA/D入力として使用しないでください。図10.11にキー入力割り込みのブロック図を示します。なお、方向レジスタを入力にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

PSCレジスタのPSC_7ビット(注1)を“1”(キー入力割り込み禁止)にすると、割り込み制御レジスタの設定にかかわらず、キー入力割り込みは発生しません。また、PSC_7ビットが“1”の場合、方向レジスタが入力に選択されていてもポート端子から入力できません。

注1．PSCレジスタは「22. プログラマブル入出力ポート」を参照してください。

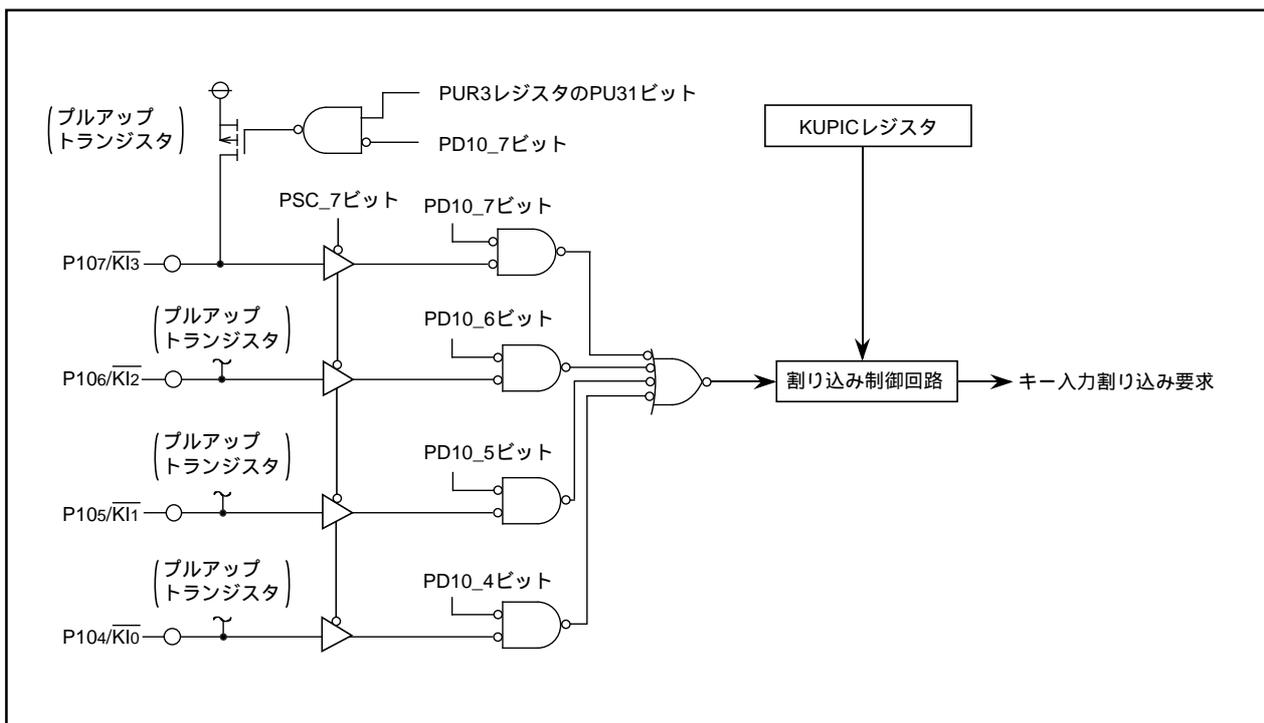


図10.11 キー入力割り込みのブロック図

10.10 アドレス一致割り込み

RMADiレジスタ(i=0~7)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは8カ所に設定でき、割り込みの禁止または許可はAIERレジスタのAIERiビットで選択できます。アドレス一致割り込みは、IフラグとIPLの影響を受けません。

図10.12にアドレス一致割り込み関連レジスタを示します。

RMADiレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

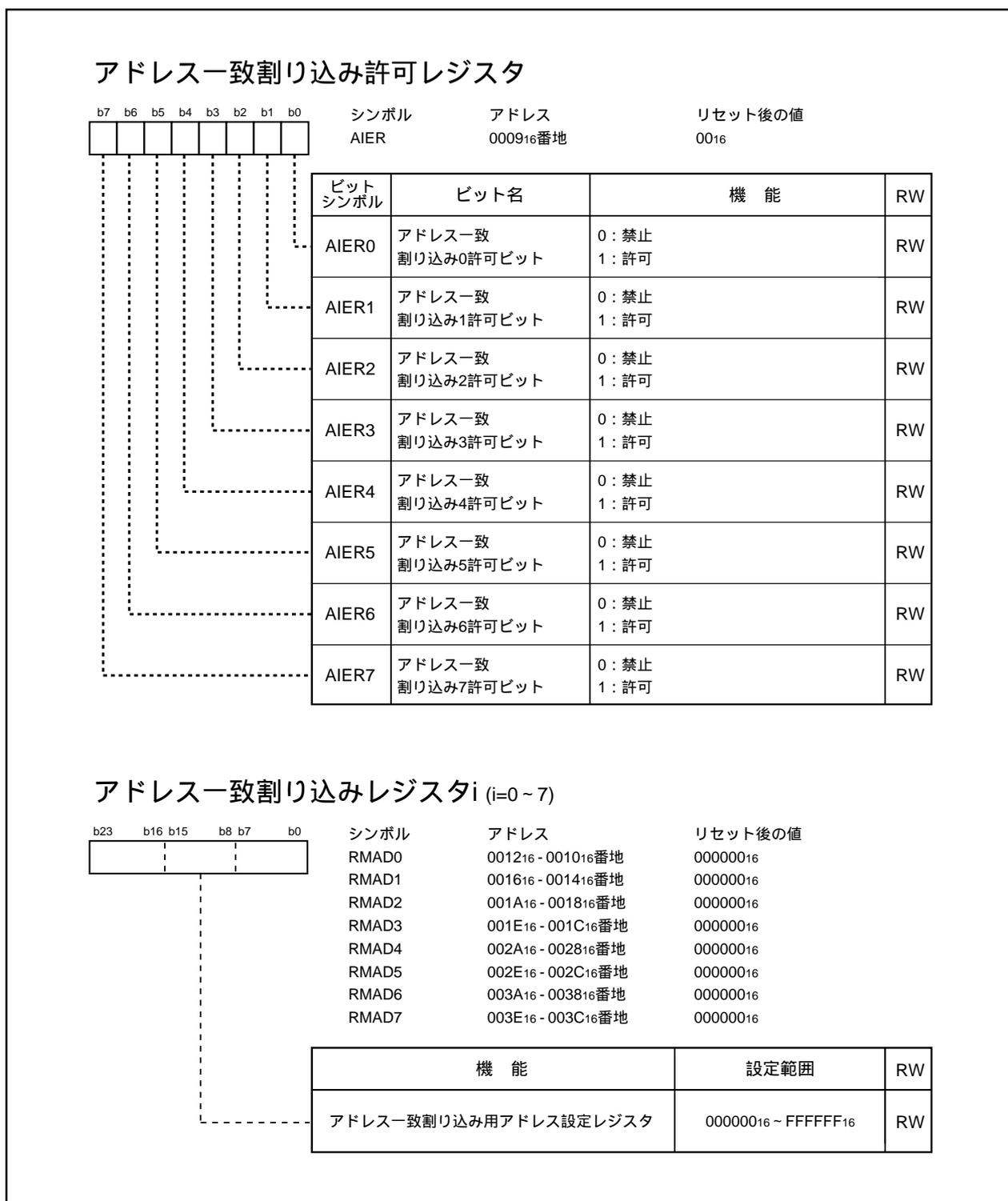


図10.12 AIERレジスタ、RMAD0~RMAD7レジスタ

10.11 インテリジェントI/O割り込み

インテリジェントI/O割り込みは、ソフトウェア割り込み番号44～48に割り当てられています。

図10.13にインテリジェントI/O割り込みのブロック図を、図10.14にIIOiIRレジスタ(i=0～4)を、図10.15にIIOiIEレジスタを示します。

インテリジェントI/O割り込みを使用する場合は、IIOiIEレジスタのIRLTビットを“1”(割り込み要求を割り込みで使用する)にしてください。

インテリジェントI/O割り込みには、多数の要求要因があります。インテリジェントI/Oの各機能で割り込み要求が発生すると、IIOiIRレジスタの対応するビットが“1”(割り込み要求あり)になります。このとき、IIOiIEレジスタの対応するビットが“1”(割り込み許可)であれば、対応するIIOiICレジスタのIRビットが“1”(割り込み要求あり)になります。

なお、IRビットが“0”から“1”になった後、別の割り込み要因によってIIOiIRレジスタのビットが“1”になり、かつ、IIOiIEレジスタの該当するビットが“1”だった場合、IRビットは“1”のまま変化しません。

また、IIOiIRレジスタの各ビットは、割り込みが受け付けられても自動的に“0”になりません。プログラムで“0”にしてください。これらのビットを“1”のままにしておくと、それ以降に成立した割り込み要因がすべて無効になります。

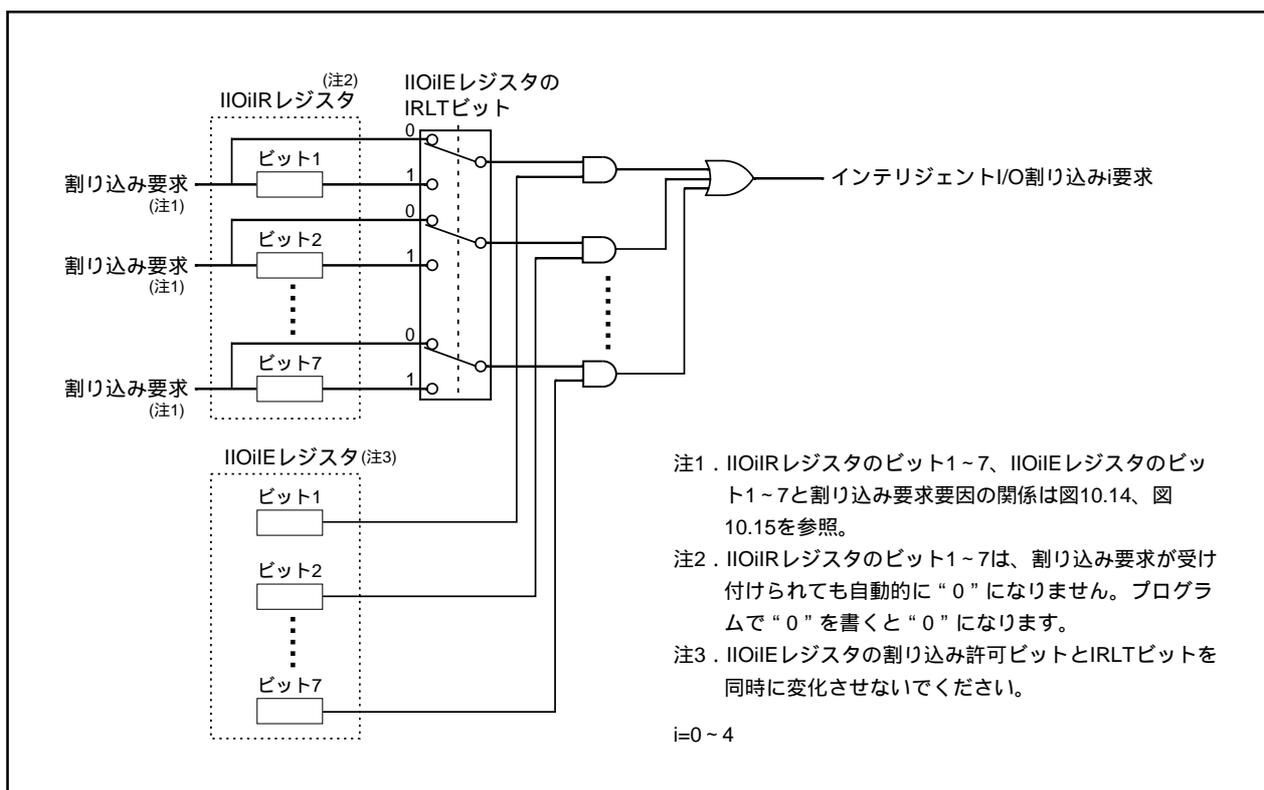


図10.13 インテリジェントI/O割り込みのブロック図

インテリジェントI/O割り込みをDMAC IIの起動要因として使用する場合、IIOiIEレジスタのIRLTビットを“0”(割り込み要求をDMAC、DMAC IIで使用)にし、IIOiIEレジスタで使用する割り込み要求要因を許可にしてください。

割り込み要求レジスタ

ビット シンボル	機能	RW
(b0)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。	—
(b3 - b1)	予約ビットです。"0"にしてください。 読んだ場合、その値は不定。	RW
(注1)	0: 割り込み要求なし 1: 割り込み要求あり (注2)	RW
(注1)	0: 割り込み要求なし 1: 割り込み要求あり (注2)	RW
(注1)	0: 割り込み要求なし 1: 割り込み要求あり (注2)	RW
(注1)	0: 割り込み要求なし 1: 割り込み要求あり (注2)	RW

注1. ビットシンボルは下表を参照してください。
注2. "0"のみ書き込み可。("1"を書いても変化しません。)

割り込み要求レジスタのビットシンボル一覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IR	00A0 ₁₆	-	-	SIO0RR	G0RIR	-	-	-	-
IIO1IR	00A1 ₁₆	-	-	SIO0TR	G0TOR	-	-	-	-
IIO2IR	00A2 ₁₆	-	-	SIO1RR	G1RIR	-	-	-	-
IIO3IR	00A3 ₁₆	-	-	SIO1TR	G1TOR	-	-	-	-
IIO4IR	00A4 ₁₆	SRT0R	SRT1R	-	-	-	-	-	-

SIOiRR : インテリジェントI/O通信部 i 受信割り込み要求
SIOiTR : インテリジェントI/O通信部 i 送信割り込み要求
GiTOR : インテリジェントI/O通信部 i HDLCデータ処理機能割り込み要求 (TO:送信出力)
GiRIR : インテリジェントI/O通信部 i HDLCデータ処理機能割り込み要求 (RI:受信入力)
SRTiR : インテリジェントI/O特殊通信機能割り込み要求
- : 予約ビット("0"にしてください。)

i=0,1

図10.14 IIO0IR ~ IIO4IRレジスタ

割り込み許可レジスタ

ビットシンボル	ビット名	機能	RW
IRLT	割り込み要求 選択ビット (注2)	0 : 割り込み要求をDMAC、DMAC IIで使用 1 : 割り込み要求を割り込みで使用	RW
— (b3 - b1)	予約ビット	"0"にしてください。	RW
(注1)	—	0 : IIOiIRレジスタのビット4の割り込みを禁止 1 : IIOiIRレジスタのビット4の割り込みを許可	RW
(注1)	—	0 : IIOiIRレジスタのビット5の割り込みを禁止 1 : IIOiIRレジスタのビット5の割り込みを許可	RW
(注1)	—	0 : IIOiIRレジスタのビット6の割り込みを禁止 1 : IIOiIRレジスタのビット6の割り込みを許可	RW
(注1)	—	0 : IIOiIRレジスタのビット7の割り込みを禁止 1 : IIOiIRレジスタのビット7の割り込みを許可	RW

注1 . ビットシンボルは下表を参照してください。

注2 . 割り込み要求を割り込みで使用する場合、IRLTビットを"1"にした後、ビット1、2、4~7を"1"にしてください。

割り込み許可レジスタのビットシンボル一覧

シンボル	アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IIO0IE	00B0 ₁₆	-	-	SIO0RE	G0RIE	-	-	-	IRLT
IIO1IE	00B1 ₁₆	-	-	SIO0TE	G0TOE	-	-	-	IRLT
IIO2IE	00B2 ₁₆	-	-	SIO1RE	G1RIE	-	-	-	IRLT
IIO3IE	00B3 ₁₆	-	-	SIO1TE	G1TOE	-	-	-	IRLT
IIO4IE	00B4 ₁₆	SRT0E	SRT1E	-	-	-	-	-	IRLT

SIOiRE : インテリジェントI/O通信部 i 受信割り込み許可
 SIOiTE : インテリジェントI/O通信部 i 送信割り込み許可
 GITO E : インテリジェントI/O通信部 i HDLCデータ処理機能割り込み許可 (TO:送信出力)
 GIRIE : インテリジェントI/O通信部 i HDLCデータ処理機能割り込み許可 (RI:受信入力)
 SRTiE : インテリジェントI/O特殊通信機能割り込み許可
 - : 予約ビット ("0" にしてください。)

i=0,1

図10.15 IIO0IE ~ IIO4IEレジスタ

11. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知するために使用します。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケアラで分周したクロックによりダウンカウントします。ウォッチドッグタイマがアンダフローしたときの処理として、ウォッチドッグタイマ割り込み要求を発生させるか、リセットをかけるかをCM0レジスタのCM06ビットで選択できます。CM06ビットには“1”(リセット)のみ書けます。一度CM06ビットを“1”にするとプログラムでは“0”(ウォッチドッグタイマ割り込み)にできません。CM06ビットはリセット後だけ“0”になります。

CPUクロックにメインクロック、オンチップオシレータクロックまたはPLLクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケアラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケアラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

CPUクロックにメインクロック、PLLクロック、オンチップオシレータクロックを選択している場合

ウォッチドッグタイマの周期 =

$$\frac{\text{プリスケアラの分周}(16\text{または}128) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケアラの分周}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{CPUクロック}}$$

例えば、CPUクロックが30MHzでプリスケアラが16分周する場合、ウォッチドッグタイマの周期は約17.5msとなります。

ウォッチドッグタイマは、WDTSレジスタへ書いた時とウォッチドッグタイマ割り込み要求発生時に初期化されます。プリスケアラはリセット後だけ初期化されます。なお、リセット後はウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード、ウエイトモード、ホールド状態時、ウォッチドッグタイマとプリスケアラは停止し、解除すると保持された値からカウントします。

図11.1にウォッチドッグタイマのブロック図、図11.2にウォッチドッグタイマ関連レジスタを示します。

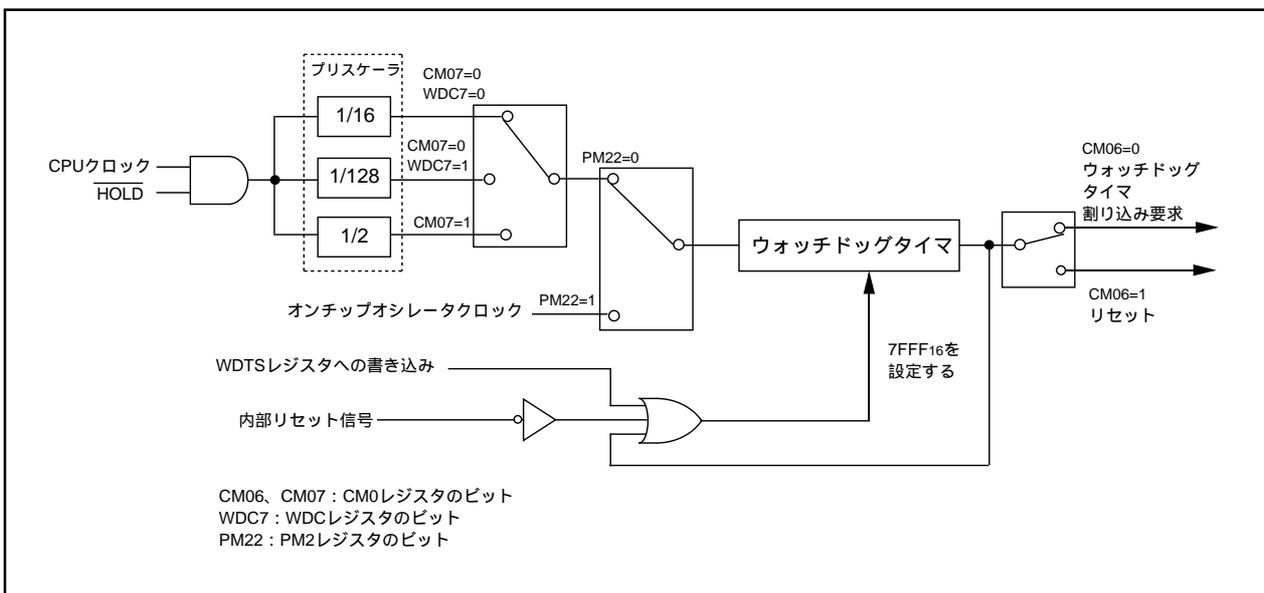


図11.1 ウォッチドッグタイマのブロック図

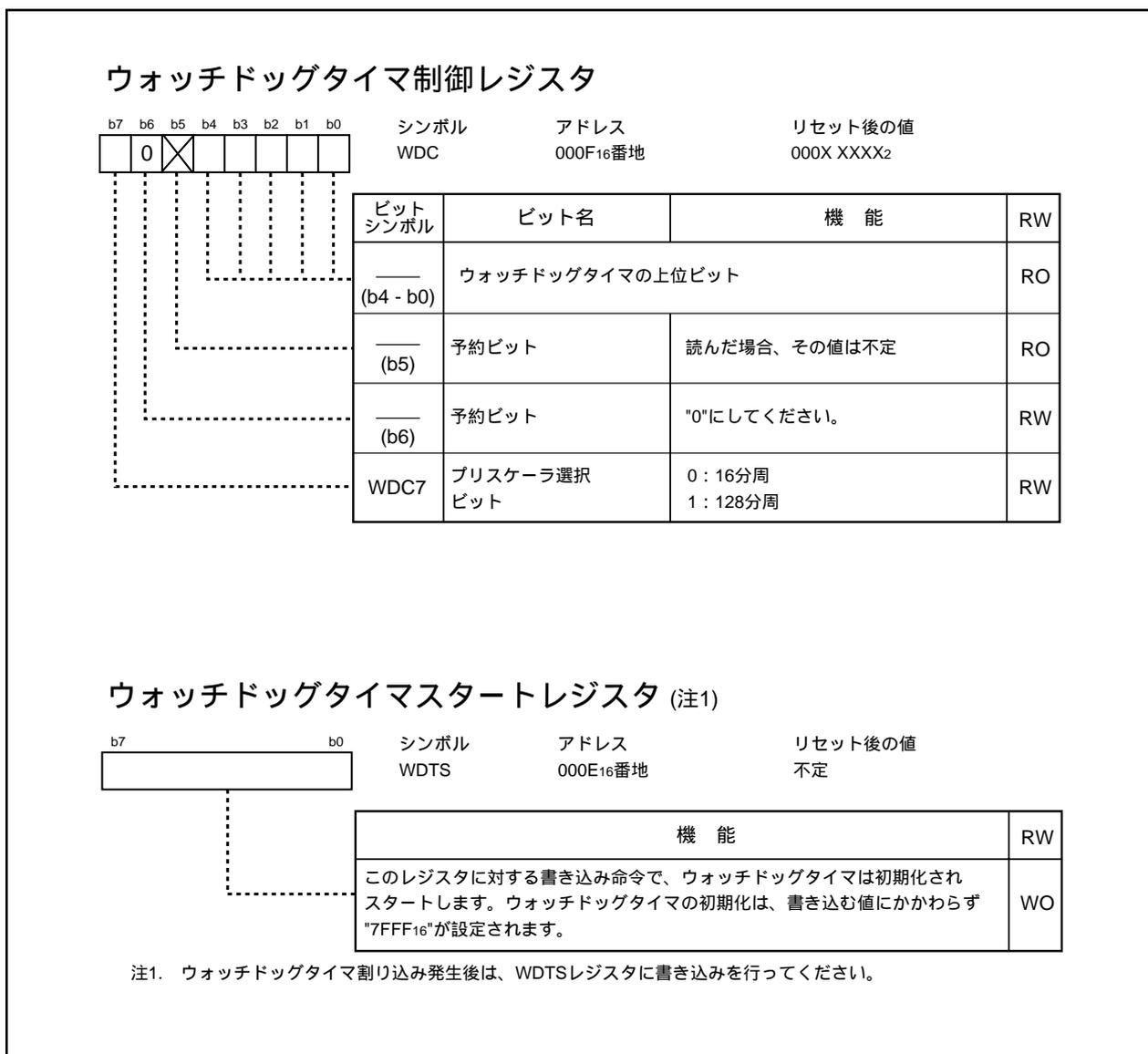


図11.2 WDCレジスタ、WDTSレジスタ

システムクロック制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
----	----	----	----	----	----	----	----

シンボル
CM0

アドレス
0006₁₆番地

リセット後の値
0000 1000₂

ビットシンボル	ビット名	機能	RW
CM00	クロック出力機能 選択ビット (注2)	b1 b0 0 0 : 入出力ポートP5 ₃ 0 1 : fcを出力 1 0 : f8を出力 1 1 : f32を出力	RW
CM01			RW
CM02	ウエイトモード時周辺 機能クロック停止ビット (注9)	0 : ウエイトモード時、周辺機能クロックは 停止しない 1 : ウエイトモード時、周辺機能クロックは 停止する (注3)	RW
CM03	X _{CIN} -X _{COU} T駆動能力 選択ビット (注11)	0 : Low 1 : High	RW
CM04	ポートX _c 切り替え ビット	0 : 入出力ポート機能 1 : X _{CIN} -X _{COU} T発振機能 (注4)	RW
CM05	メインクロック(X _{IN} -X _{OU} T) 停止ビット (注5、9)	0 : 発振 1 : 停止 (注6)	RW
CM06	ウォッチドッグタイマ 機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット (注7)	RW
CM07	CPUクロック選択 ビット0 (注8、9、10)	0 : CM21ビットで選択したクロックをMCD レジスタで分周したクロック 1 : サブクロック	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. PM0レジスタのPM07ビットが“0”(BCLK出力)のとき、CM01～CM00ビットを“00₂”にしてください。PM1レジスタのPM15～PM14ビットが“01₂”(P5₃にALE出力)のとき、CM01～CM00ビットを“00₂”にしてください。マイクロプロセッサモードまたはメモリ拡張モードでPM07ビットが“1”(CM01～CM00ビットで選択される機能)のとき、CM01～CM00ビットを“00₂”にするとP5₃端子から“L”を出力します(ポートP5₃機能にはなりません)。

注3. fc32は停止しません。CM02ビットを“1”にすると、ウエイトモード時にPLLは使用できません。

注4. CM04ビットを“1”にする場合、PD8レジスタのPD8_7～PD8_6ビットを“00₂”(ポートP8₇、P8₆は入力モード)で、PUR2レジスタのPU25ビットを“0”(プルアップなし)にしてください。

注5. このビットは、低消費電力モードまたはオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、サブクロックが安定して発振している状態でCM07ビットを“1”にした後、またはCM2レジスタのCM21ビットを“1”(オンチップオシレータクロック)にした後、CM05ビットを“1”にしてください。CM05ビットが“1”の場合、X_{OU}Tは“H”になります。また、内蔵している帰還抵抗はONしたままですので、X_{IN}は帰還抵抗を介してX_{OU}Tにプルアップされた状態となります。

注6. CM05ビットが“1”の場合、MCDレジスタのMCD4～MCD0ビットは“01000₂”(8分周モード)になります。ただし、オンチップオシレータモードではこのビットでX_{IN}-X_{OU}Tを停止しても、MCD4～MCD0ビットは“01000₂”(8分周モード)になりません。

注7. 一度“1”にすると、プログラムでは“0”にできません。

注8. CM04ビットを“1”にしサブクロックの発振が安定した後に、CM07ビットを“0”から“1”にしてください。また、CM05ビットを“0”にしメインクロックの発振が安定した後に、CM07ビットを“1”から“0”にしてください。なお、CM07ビットはCM04またはCM05ビットと同時に書き換えないでください。

注9. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。

注10. PM21ビットを“1”にする場合、CM07ビットを“0”にした後で、PM21ビットを“1”にしてください。

注11. ストップモードへ移行したとき、CM03ビットは“1”になります。

図11.3 CM0レジスタ

11.1 カウントソース保護モード

ウォッチドッグタイマのカウントソースとして、オンチップオシレータクロックを使用するモードです。暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

このモードを使用する場合、次の処理をしてください。

- (1)PRCRレジスタのPRC0ビットを“1”(CM0レジスタ書き込み許可)にする
- (2)PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
- (3)CM0レジスタのCM06ビットを“1”(ウォッチドッグタイマオーバフロー時リセット)にする
- (4)PM2レジスタのPM22ビットを“1”(ウォッチドッグタイマのカウントソースはオンチップオシレータクロック)にする
- (5)PRC0ビットを“0”(CM0レジスタ書き込み禁止)にする
- (6)PRC1ビットを“0”(PM2レジスタ書き込み禁止)にする
- (7)WDTSレジスタへの書き込み(ウォッチドッグタイマのカウント開始)

PM22ビットを“1”にすると次の状態になります。

- ・オンチップオシレータが発振を開始し、オンチップオシレータクロックが、ウォッチドッグタイマのカウントソースになる

$$\text{ウォッチドッグタイマの周期} = \frac{\text{ウォッチドッグタイマのカウント値(32768)}}{\text{オンチップオシレータクロック}}$$

- ・CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない)
- ・ウエイトモードまたはホールド状態のとき、ウォッチドッグタイマは停止しない。ただし、ウエイトモードからの復帰にウォッチドッグタイマ割り込みは使用できません。

12. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACは転送要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地へデータ転送します。DMACを使用するときは、DMA0とDMA1を優先して使用してください。DMA2とDMA3は高速割り込みと使用するレジスタを共用しています。そのため、DMACを3チャンネル以上使用する場合、高速割り込みは使用できません。

CPUとDMACは同じデータバスを使用しますが、DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、転送要求が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図12.1にDMACで使用するレジスタ配置、表12.1にDMACの仕様、図12.2～図12.5にDMAC関連レジスタを示します。

図12.1に示すレジスタはCPU内部に配置されているため、書く場合はLDC命令を使用してください。ただし、DCT2、DCT3、DRC2、DRC3、DMA2、DMA3レジスタはBフラグを“1”(レジスタバンク1)にしてMOV命令を使用し、R0～R3、A0、A1レジスタに設定してください。DSA2、DSA3レジスタはBフラグを“1”にしてLDC命令を使用し、SB、FBレジスタに設定してください。DRA2、DRA3レジスタはLDC命令を使用し、SVP、VCTレジスタに設定してください。

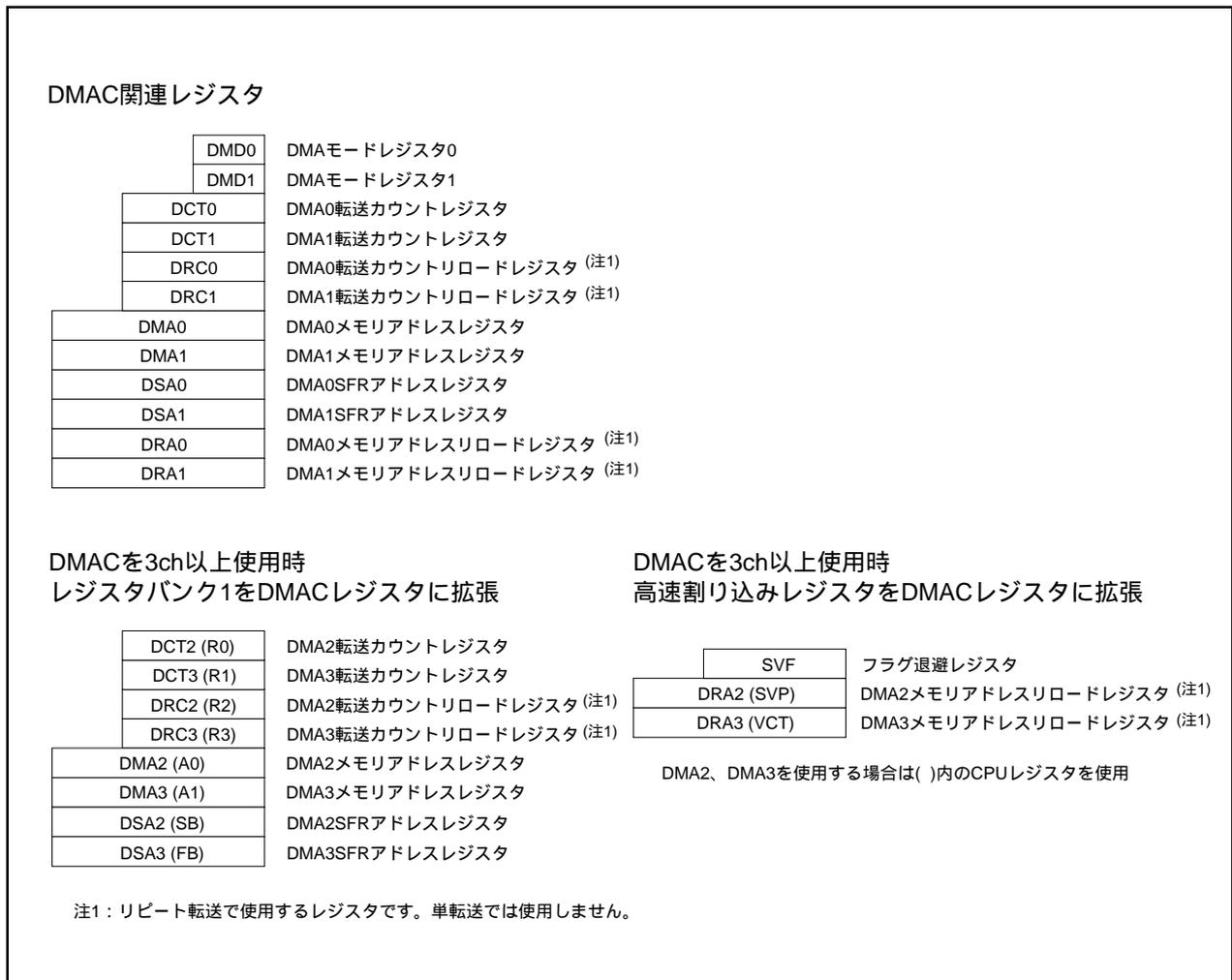


図12.1 DMACで使用するレジスタ配置

DMACの転送開始は、DMiSLレジスタ(i=0~3)のDSRビットへの書き込みの他、DMiSLレジスタのDSEL4~DSEL0ビットで指定した各機能から出力される割り込み要求をDMA要求として使用しています。ただし、DMAは割り込み要求動作とは異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDMA要求を受け付けることができます。また、DMA要求を受け付けても、割り込み制御レジスタのIRビットは変化しません。

表12.1 DMAC仕様

項目		仕様
チャンネル数		4チャンネル(サイクルスチール方式)
転送空間		16Mバイトの任意の空間から固定番地(16Mバイト空間) 固定番地(16Mバイト空間)から16Mバイトの任意の空間
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因 ^(注1)		INT0~INT3端子への入力の立ち下がりエッジまたは両エッジ タイマA0~タイマA4割り込み要求 タイマB0~タイマB5割り込み要求 UART0~UART4送信と受信割り込み要求 A/D0割り込み要求 インテリジェントI/O割り込み要求 ソフトウェアトリガ
チャンネル優先順位		DMA0>DMA1>DMA2>DMA3(DMA0が最優先)
転送単位		8ビット、16ビット
転送番地方向		順方向、固定(転送元と転送先を同時に順方向または固定の指定はできません)
転送モード	単転送	DCTiレジスタ(i=0~3)が“0000 ₁₆ ”になると転送が終了する
	リピート転送	DCTiレジスタが“0000 ₁₆ ”になるとDRCiレジスタの値がDCTiレジスタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DCTiレジスタが“0001 ₁₆ ”から“0000 ₁₆ ”になるとき
DMA開始	単転送	DCTiレジスタが“0001 ₁₆ ”以上の設定で、DMDjレジスタ(j=0,1)のMDi1~MDi0ビットを“01 ₂ ”(単転送)にした後、DMA要求が発生すると開始
	リピート転送	DCTiレジスタが“0001 ₁₆ ”以上の設定で、MDi1~MDi0ビットを“11 ₂ ”(リピート転送)にした後、DMA要求が発生すると開始
DMA停止	単転送	MDi1~MDi0ビットが“00 ₂ ”(DMA禁止)のとき。DMA転送または書き込みによりDCTiレジスタが“0000 ₁₆ ”(DMA転送回数0)になったとき
	リピート転送	MDi1~MDi0ビットが“00 ₂ ”(DMA禁止)のとき。DMA転送または書き込みによりDCTiレジスタが“0000 ₁₆ ”(DMA転送回数0)になりかつDRCiレジスタが“0000 ₁₆ ”のとき
DCTiレジスタとDMAiレジスタへのリロードのタイミング		リピート転送モードでDCTiレジスタが“0001 ₁₆ ”から“0000 ₁₆ ”になるとき
DMA転送サイクル数		SFR、内蔵RAM間：最短3サイクル

注1. DMA要求を受け付けても、割り込み制御レジスタのIRビットは変化しません。

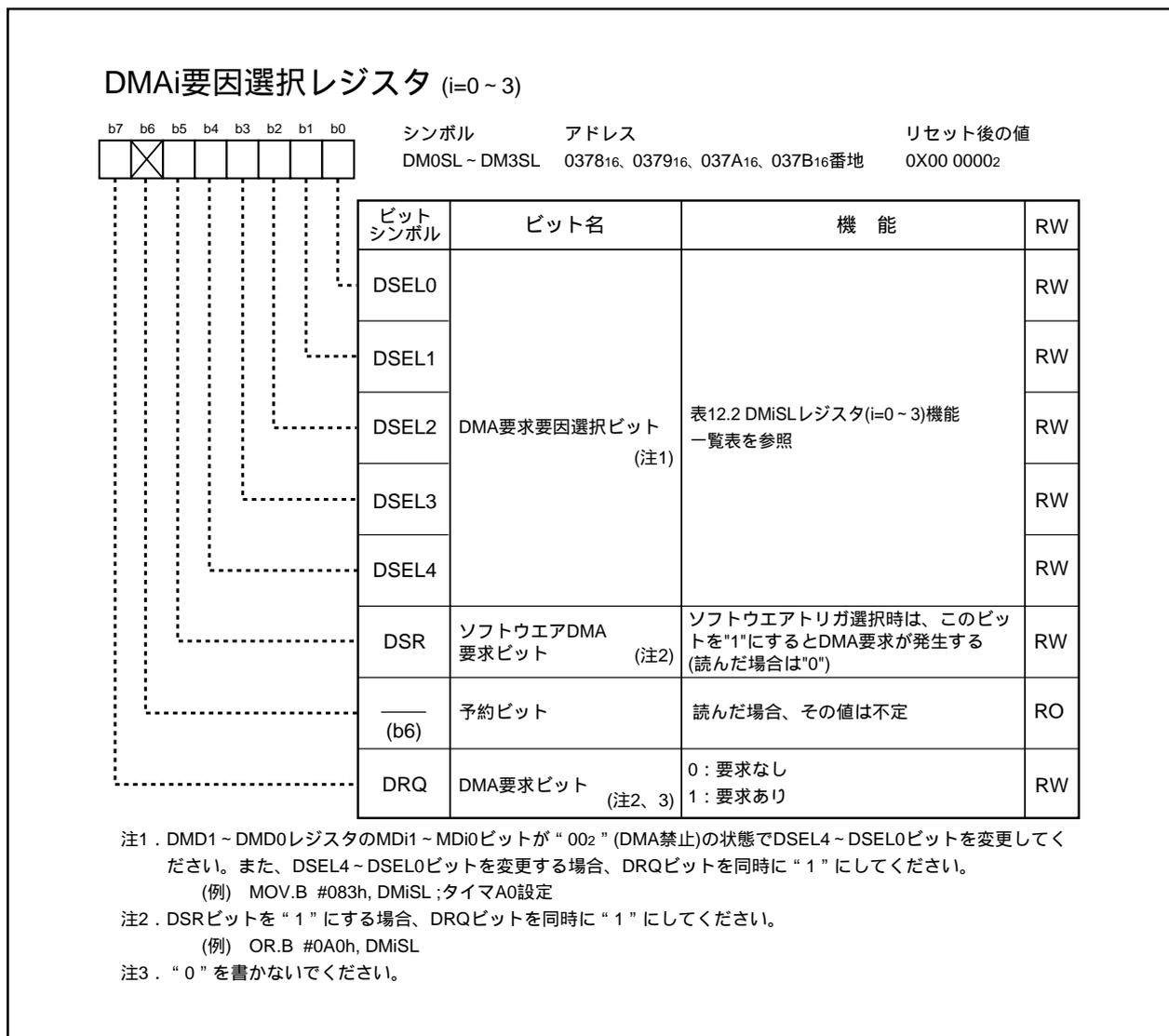


図12.2 DM0SL ~ DM3SLレジスタ

表12.2 DMiSLレジスタ(i=0~3)機能一覧表

設定値 b4 b3 b2 b1 b0	DMA要求要因			
	DMA0	DMA1	DMA2	DMA3
0 0 0 0 0	ソフトウェアトリガ			
0 0 0 0 1	INT0立ち下がりエッジ	INT1立ち下がりエッジ	INT2立ち下がりエッジ	INT3立ち下がりエッジ (注1)
0 0 0 1 0	INT0両エッジ	INT1両エッジ	INT2両エッジ	INT3両エッジ (注1)
0 0 0 1 1	タイマA0割り込み要求			
0 0 1 0 0	タイマA1割り込み要求			
0 0 1 0 1	タイマA2割り込み要求			
0 0 1 1 0	タイマA3割り込み要求			
0 0 1 1 1	タイマA4割り込み要求			
0 1 0 0 0	タイマB0割り込み要求			
0 1 0 0 1	タイマB1割り込み要求			
0 1 0 1 0	タイマB2割り込み要求			
0 1 0 1 1	タイマB3割り込み要求			
0 1 1 0 0	タイマB4割り込み要求			
0 1 1 0 1	タイマB5割り込み要求			
0 1 1 1 0	UART0送信割り込み要求			
0 1 1 1 1	UART0受信またはACK割り込み要求 (注3)			
1 0 0 0 0	UART1送信割り込み要求			
1 0 0 0 1	UART1受信またはACK割り込み要求 (注3)			
1 0 0 1 0	UART2送信割り込み要求			
1 0 0 1 1	UART2受信またはACK割り込み要求 (注3)			
1 0 1 0 0	UART3送信割り込み要求			
1 0 1 0 1	UART3受信またはACK割り込み要求 (注3)			
1 0 1 1 0	UART4送信割り込み要求			
1 0 1 1 1	UART4受信またはACK割り込み要求 (注3)			
1 1 0 0 0	A/D0割り込み要求			
1 1 0 0 1	インテリジェントI/O 割り込み0要求	_____	インテリジェントI/O 割り込み2要求	_____
1 1 0 1 0	インテリジェントI/O 割り込み1要求	_____	インテリジェントI/O 割り込み3要求	_____
1 1 0 1 1	インテリジェントI/O 割り込み2要求	_____	インテリジェントI/O 割り込み4要求	_____
1 1 1 0 0	インテリジェントI/O 割り込み3要求	_____	_____	インテリジェントI/O 割り込み0要求
1 1 1 0 1	インテリジェントI/O 割り込み4要求	_____	_____	インテリジェントI/O 割り込み1要求
1 1 1 1 0	_____	インテリジェントI/O 割り込み0要求	_____	インテリジェントI/O 割り込み2要求
1 1 1 1 1	_____	インテリジェントI/O 割り込み1要求	_____	インテリジェントI/O 割り込み3要求

注1. メモリ拡張モード、マイクロプロセッサモードでINT3端子がデータバスとなる場合、DMA3の要求要因にINT3端子入力を使用できません。

注2. INTj端子(j=0~3)への入力の立ち下がりエッジと両エッジがDMA要求要因になります。INT割り込み(INTjICレジスタのPOLビット、LVSビット、IFSRレジスタ)の影響を受けません。また、INT割り込みへ影響を与えません。

注3. UARTk受信とACKの切り替えは、UKSMRレジスタ(k=0~4)とUKSMR2レジスタによって行います。

ACK割り込みを使用する場合、UKSMRレジスタのIICMビットを“1”、UKSMR2レジスタのIICM2ビットを“0”にしてください。

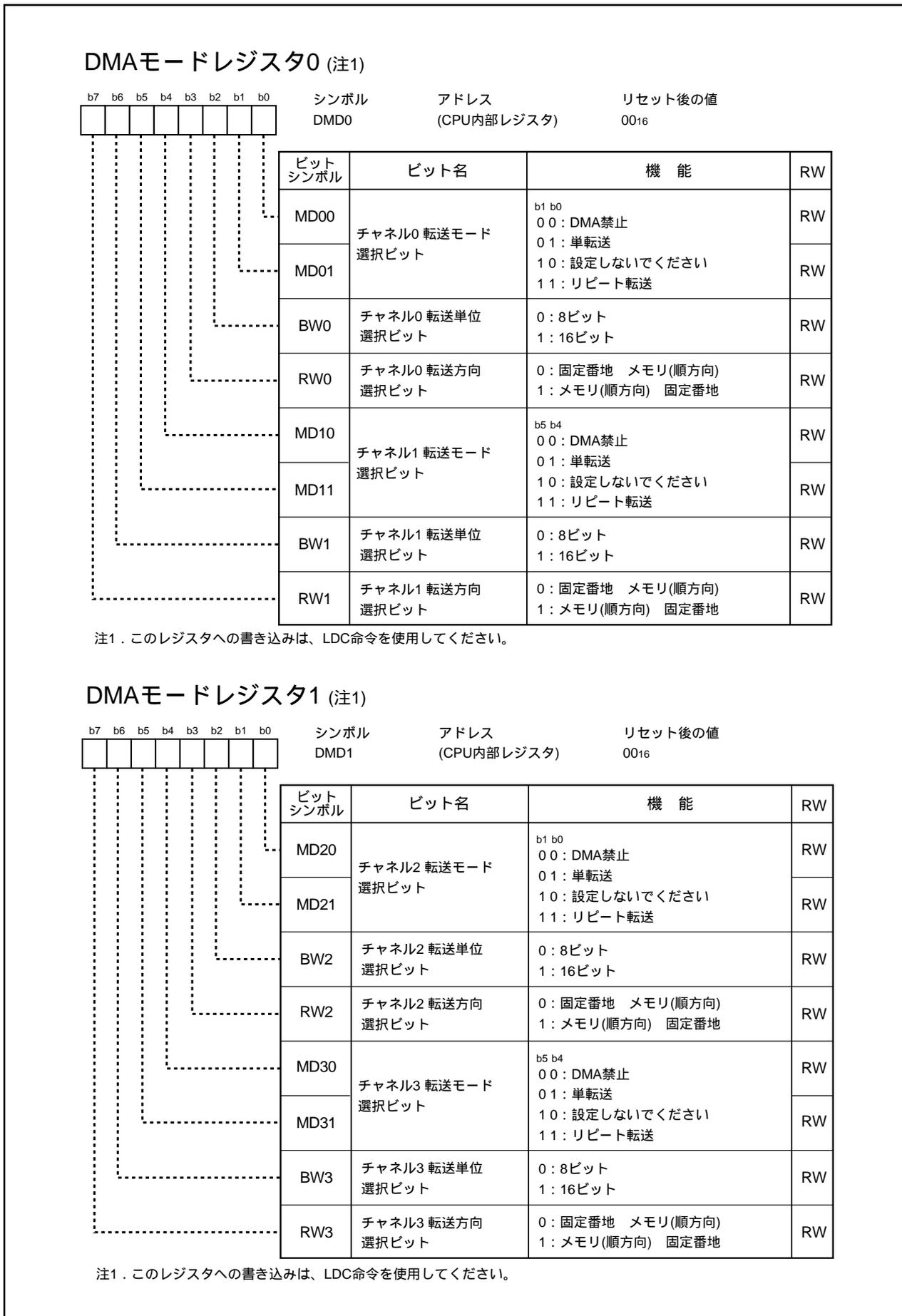


図12.3 DMD0レジスタ、DMD1レジスタ

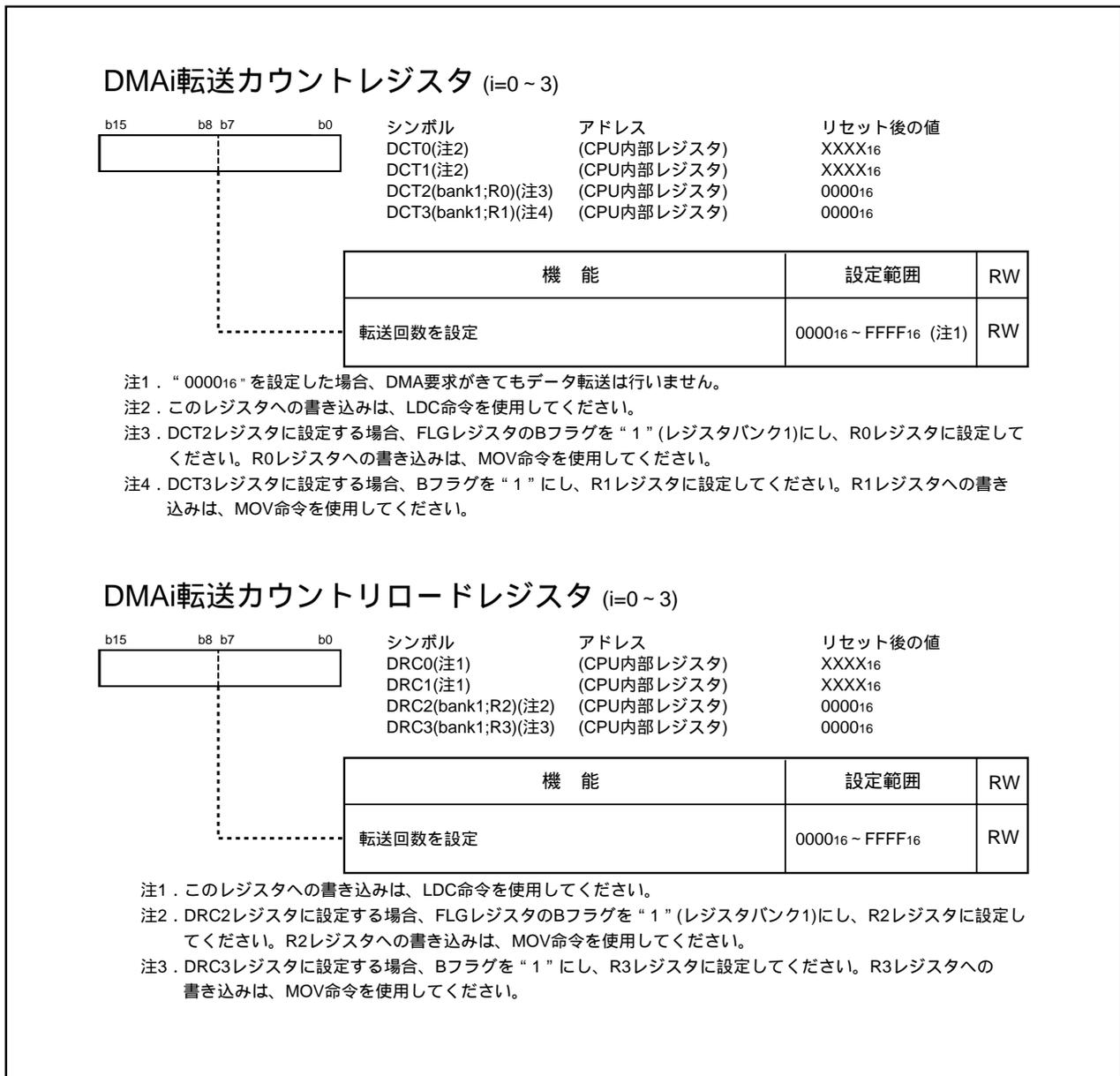
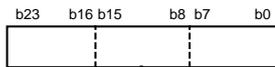


図12.4 DCT0~DCT3レジスタ、DRC0~DRC3レジスタ

DMAiメモリアドレスレジスタ (i=0~3)

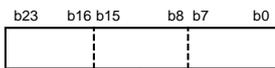


シンボル	アドレス	リセット後の値
DMA0(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DMA1(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DMA2(bank1;A0)(注3)	(CPU内部レジスタ)	000000 ₁₆
DMA3(bank1;A1)(注4)	(CPU内部レジスタ)	000000 ₁₆

機能	設定範囲	RW
転送元あるいは転送先のメモリ番地を指定 (注1)	000000 ₁₆ ~ FFFFFFFF ₁₆ (16Mバイト)	RW

- 注1. DMDjレジスタ(j=0, 1)のRWkビット(k=0~3)を“0”(固定番地 メモリ)とした場合、転送先の番地になります。RWkビットを“1”(メモリ 固定番地)とした場合、転送元の番地になります。
- 注2. このレジスタへの書き込みは、LDC命令を使用してください。
- 注3. DMA2レジスタを設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、A0レジスタに設定してください。A0レジスタへの書き込みは、MOV命令を使用してください。
- 注4. DMA3レジスタを設定する場合、Bフラグを“1”にし、A1レジスタに設定してください。A1レジスタへの書き込みは、MOV命令を使用してください。

DMAiSFRアドレスレジスタ (i=0~3)



シンボル	アドレス	リセット後の値
DSA0(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DSA1(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DSA2(bank1;SB)(注3)	(CPU内部レジスタ)	000000 ₁₆
DSA3(bank1;FB)(注4)	(CPU内部レジスタ)	000000 ₁₆

機能	設定範囲	RW
転送元あるいは転送先の固定番地を指定 (注1)	000000 ₁₆ ~ FFFFFFFF ₁₆ (16Mバイト)	RW

- 注1. DMDjレジスタ(j=0, 1)のRWkビット(k=0~3)を“0”(固定番地 メモリ)とした場合、転送元の番地になります。RWkビットを“1”(メモリ 固定番地)とした場合、転送先の番地になります。
- 注2. このレジスタへの書き込みは、LDC命令を使用してください。
- 注3. DSA2レジスタを設定する場合、FLGレジスタのBフラグを“1”(レジスタバンク1)にし、SBレジスタに設定してください。SBレジスタへの書き込みは、LDC命令を使用してください。
- 注4. DSA3レジスタを設定する場合、Bフラグを“1”にし、FBレジスタに設定してください。FBレジスタへの書き込みは、LDC命令を使用してください。

DMAiメモリアドレスリロードレジスタ (i=0~3)(注1)



シンボル	アドレス	リセット後の値
DRA0	(CPU内部レジスタ)	XXXXXX ₁₆
DRA1	(CPU内部レジスタ)	XXXXXX ₁₆
DRA2(SVP)(注2)	(CPU内部レジスタ)	XXXXXX ₁₆
DRA3(VCT)(注3)	(CPU内部レジスタ)	XXXXXX ₁₆

機能	設定範囲	RW
転送元あるいは転送先のメモリ番地を指定	000000 ₁₆ ~ FFFFFFFF ₁₆ (16Mバイト)	RW

- 注1. このレジスタへの書き込みは、LDC命令を使用してください。
- 注2. DRA2レジスタを設定する場合、SVPレジスタに設定してください。
- 注3. DRA3レジスタを設定する場合、VCTレジスタに設定してください。

図12.5 DMA0~DMA3レジスタ、DSA0~DSA3レジスタ、DRA0~DRA3レジスタ

12.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと、書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出しと書き込みのバスサイクル回数は、転送元番地または転送先番地の影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、DSレジスタの影響も受けます。さらに、ソフトウェアウエイトやRDY信号の影響により、バスサイクル自体が長くなります。

12.1.1 転送元番地と転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

12.1.2 DSレジスタの影響

メモリ拡張モードとマイクロプロセッサモード時の外部領域では、転送元と転送先のデータバスにより転送サイクルは変わります。DSレジスタの詳細は、図8.1を参照してください。

- ・転送元、転送先のデータバスが8ビット(DSiビット($i=0\sim 3$)は“0”)で16ビットのデータを転送する場合、8ビットのデータを2回転送します。そのため、バスサイクルはデータを読むのに2バスサイクル、書くのに2バスサイクル必要とします。
- ・転送元のデータバスが8ビット(DSiビットは“0”)、転送先のデータバスが16ビット(DSiビットは“1”)で16ビットのデータを転送する場合、8ビットのデータを2回読み、16ビットのデータとして書きます。そのため、バスサイクルはデータを読むのに2バスサイクル、書くのに1バスサイクル必要とします。
- ・転送元のデータバスが16ビット(DSiビットは“1”)、転送先のデータバスが8ビット(DSiビットは“0”)で16ビットのデータを転送する場合、16ビットのデータを読み、8ビットのデータを2回書きます。そのため、バスサイクルは、データを読むのに1バスサイクル、書くのに2バスサイクル必要とします。

12.1.3 ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリやSFRをアクセスする場合、ソフトウェアウエイトの分だけサイクル数が増えます。

図12.6にソースリードについての転送サイクル例を示します。この図では、ディスティネーションを外部領域とし、ディスティネーションライトサイクルを2サイクル(1バスサイクル)として、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルとソースリードサイクルに各条件を適用してください。例えば(2)の転送単位が16ビットで転送元、転送先が8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

12.1.4 RDY信号の影響

メモリ拡張モードとマイクロプロセッサモード時、外部領域ではRDY信号の影響を受けます。詳細は「7.2.6 RDY信号」を参照してください。

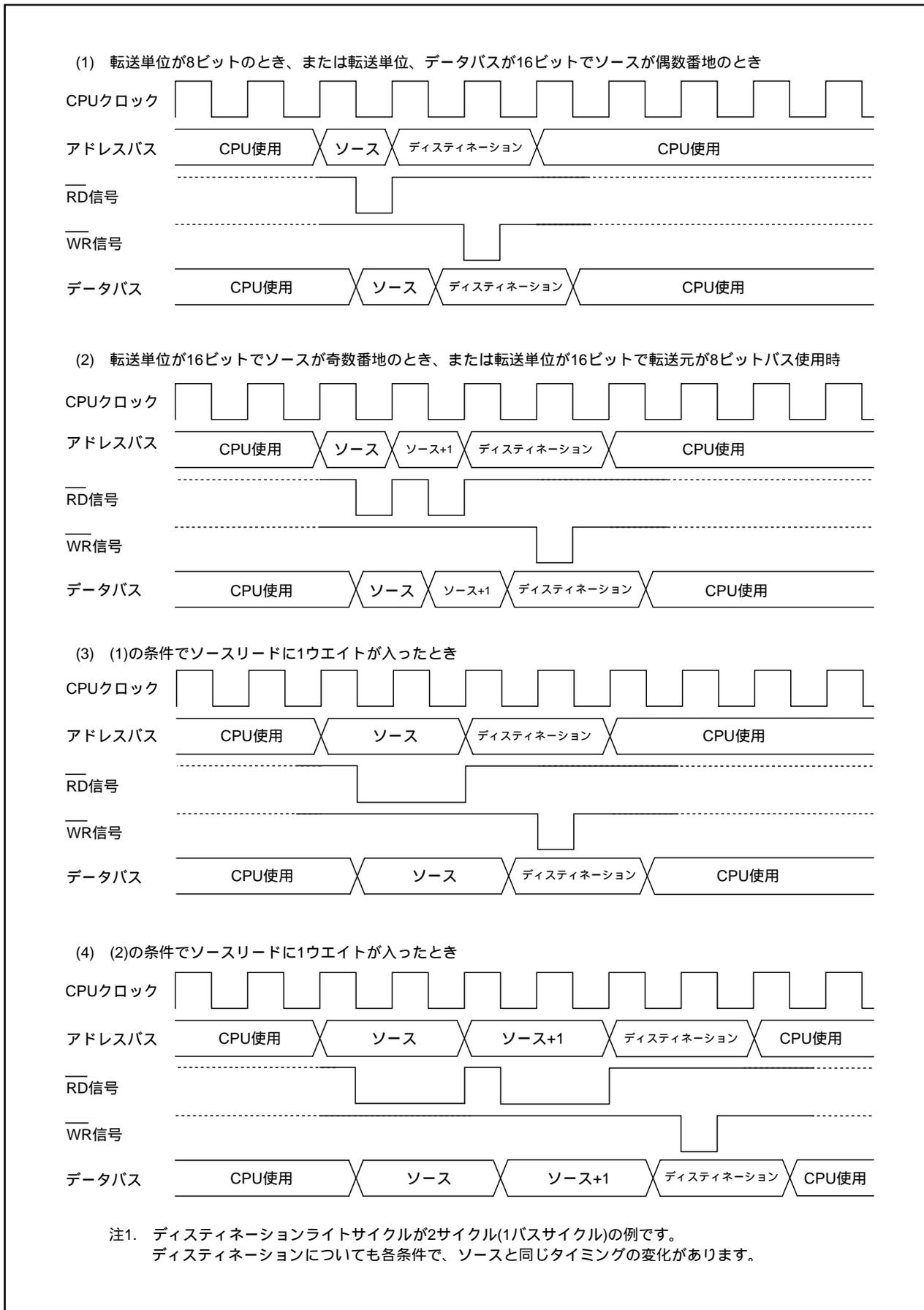


図12.6 ソースリードについての転送サイクル例

12.2 DMACの転送サイクル数

DMACの転送サイクル数は次のとおり計算できます。

転送の読み出し番地、書き込み番地は偶数、奇数のいずれの組み合わせも可能です。表12.3にDMAC転送サイクル数を、表12.4に係数j、kを示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表12.3 DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード マイクロプロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (DMDpレジスタ のBWiビット=0)	16ビット	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット	偶数	-	-	1	1
		奇数	-	-	1	1
16ビット転送 (BWiビット=1)	16ビット	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット	偶数	-	-	2	2
		奇数	-	-	2	2

i=0~3、p=0,1

表12.4 係数j、k

内部領域			外部領域
内部RAM	内部RAM	SFR領域	表7.5で示されるBCLKのj, k サイクル (j, k = 2~9) リカバリサイクル挿入時は、+1サイクルしてください
ウェイトなし j = 1 k = 1	ウェイトあり j = 2 k = 2	j = 2 k = 2	

12.3 チャンネル優先順位とDMA転送タイミング

複数のDMAの要求が同一サンプリング期間(CPUクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)に入った場合、DMiSLレジスタ(i=0~3)のDRQビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0>DMA1>DMA2>DMA3です。

次に、DMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図12.7に外部要因によるDMA転送例で示します。

図12.7ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス権を返します。

なお、DRQビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図12.7のDMA1のようにバス権を得るまでに複数回DMA要求が発生した場合も、バス権を得るとDRQビットを“0”にして、1転送単位終了後CPUにバス権を返します。

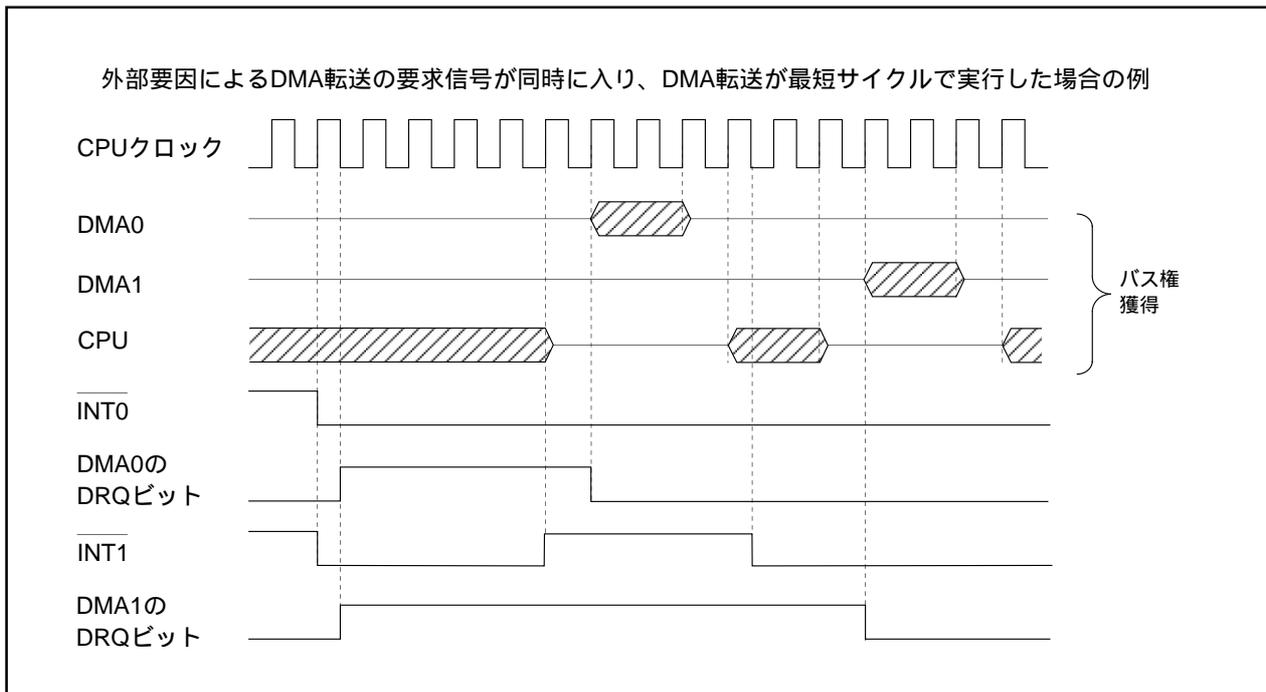


図12.7 外部要因によるDMA転送例

13. DMAC II

周辺機能からの割り込み要求により、メモリ間転送、即値転送、2つのデータの加算結果を転送する演算転送を行います。

表13.1にDMAC IIの仕様を示します。

表13.1 DMAC IIの仕様

項目	仕様
DMAC II 要求要因	割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にしたすべての周辺機能からの割り込み要求
転送データ	・メモリ　メモリ(メモリ間転送) ・即値　メモリ(即値転送) ・メモリ(または即値)+メモリ　メモリ(演算転送)
転送単位	8ビット、16ビット
転送空間	00000 ₁₆ ～0FFFF ₁₆ 番地の64Kバイト空間(注1、2)
転送方向	固定番地、順方向番地 転送元と転送先で個別に選択可能
転送方式	単転送、バースト転送
チェーン転送機能	転送カウンタが“0”になったタイミングで、パラメータ(転送数、転送番地等の情報)を切り替える
転送完了割り込み	転送カウンタが“0”になったタイミングで、割り込み発生
複数転送機能	一度のDMAC II 要求要因で複数データの転送

注1．ただし、転送単位が16ビットで転送先番地が0FFFF₁₆番地のとき、0FFFF₁₆番地と10000₁₆番地に転送します。転送元番地が0FFFF₁₆番地のときも同様です。

注2．実際の転送可能空間は、内部RAMの容量による制限を受けます。

13.1 DMAC IIの設定

DMAC IIを使用するための設定は次のとおりです。

- ・RLVLレジスタ
- ・DMAC II インデックス
- ・DMAC IIの要求要因となる周辺機能の割り込み制御レジスタ
- ・DMAC IIの要求要因となる周辺機能の変ベクタテーブル
- ・インテリジェントI/Oを使用する場合、IIOiIEレジスタ(i=0～4)のIRLTビット。
IIOiIEレジスタは「10. 割り込み」を参照してください。

13.1.1 RLVLレジスタ

DMACIIビットを“1”(DMAC II転送)に、FSITビットを“0”(通常割り込み)にすると、割り込み制御レジスタのILVL2～ILVL0ビットを“1112”(レベル7)にしたすべての周辺機能からの割り込み要求で、DMAC IIが起動します。

図13.1にRLVLレジスタを示します。

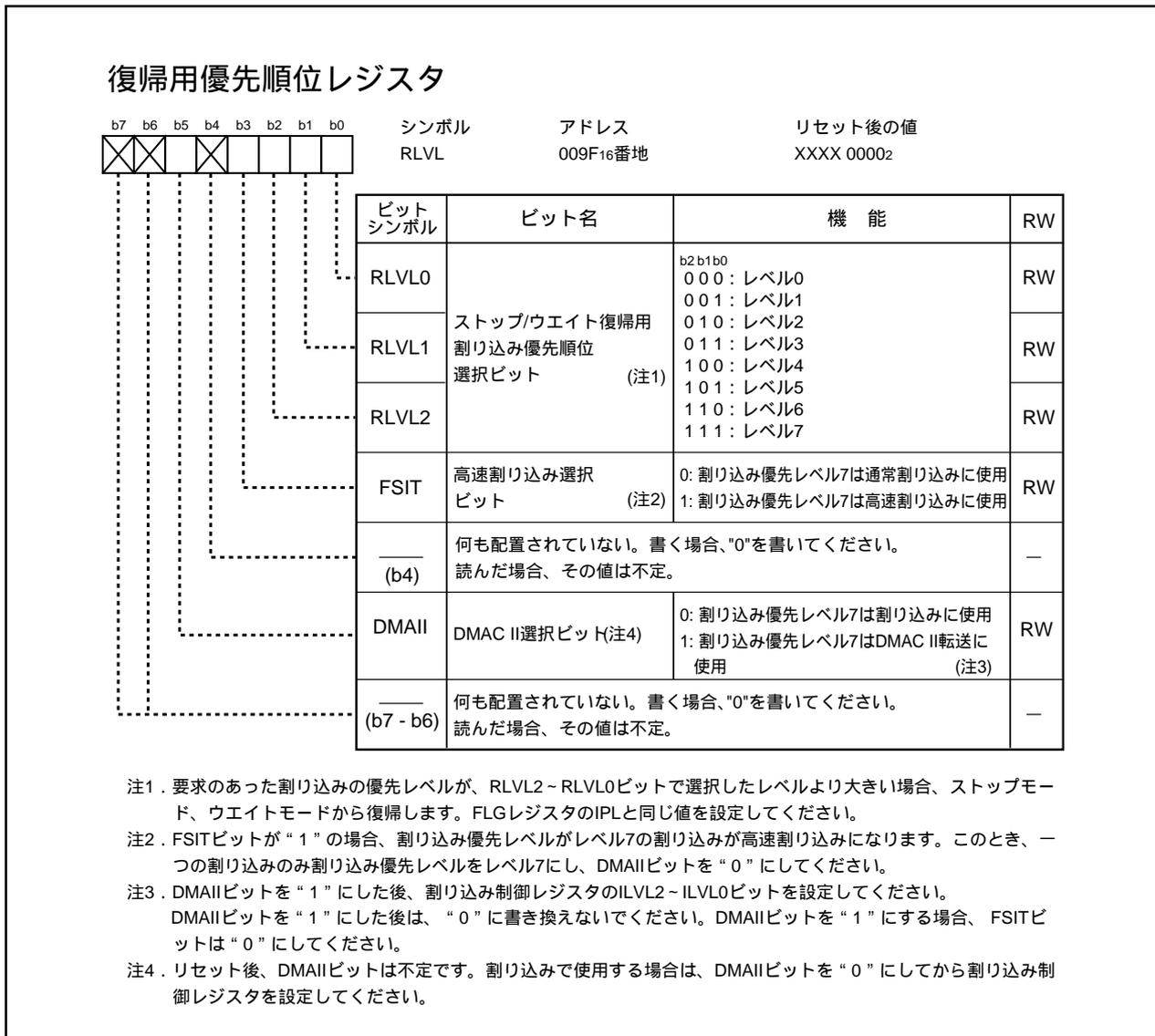


図13.1 RLVLレジスタ

13.1.2 DMAC II インデックス

DMAC II インデックスは8～18バイト(複数転送機能選択時は最大32バイト)で構成されるデータテーブルで、転送モード、転送カウンタ、転送元番地(または即値データ)、演算対象番地、転送先番地、チェーン転送番地、転送完了割り込み番地のパラメータを格納します。

DMAC II インデックスはRAMに配置してください。

図13.2にDMAC II インデックスを、表13.2にDMAC II インデックスの記述例を示します。

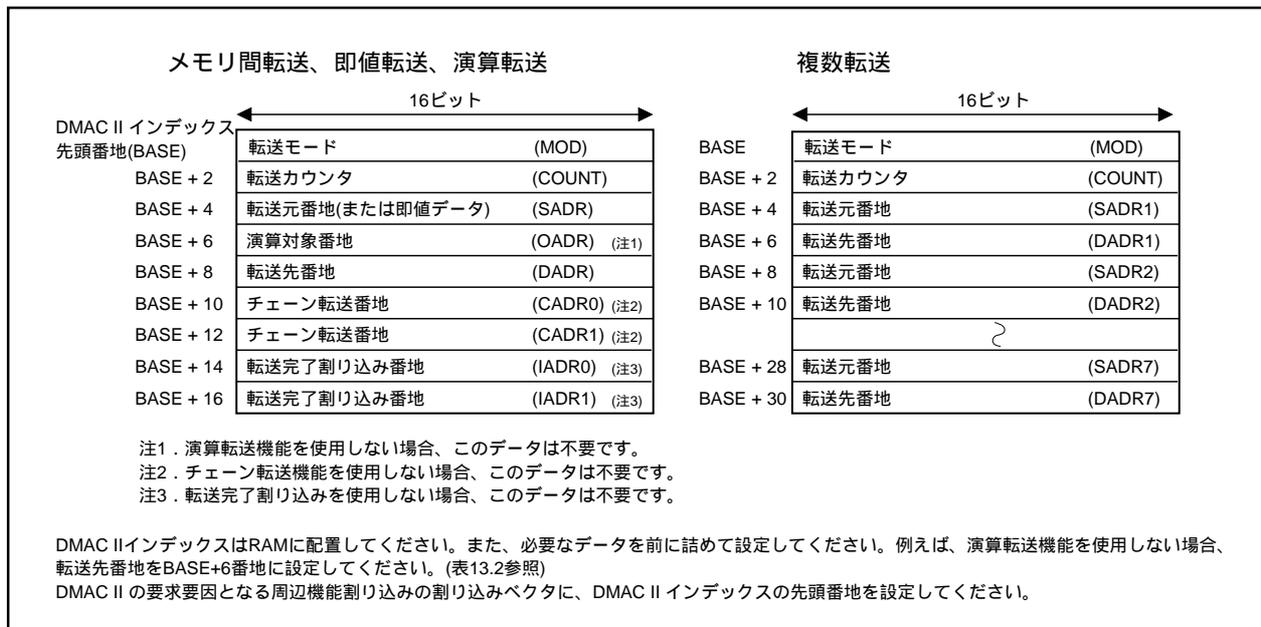


図13.2 DMAC II インデックス

次に、DMAC IIインデックスの内容を説明します。これらのデータは使用するDMAC IIの転送モードに応じて表13.2に示す順序で設定してください。

- ・転送モード(MOD)
2バイトデータで、転送モードを設定してください。図13.3に転送モードを示します。
- ・転送カウンタ(COUNT)
2バイトデータで、転送回数を設定してください。
- ・転送元番地(SADR)
2バイトデータで、転送元メモリの番地または即値を設定してください。
- ・演算対象番地(OADR)
2バイトデータで、演算対象となるメモリの番地を設定してください。演算転送機能を使用する場合のみ、このデータを設定してください。
- ・転送先番地(DADR)
2バイトデータで、転送先メモリの番地を設定してください。
- ・チェーン転送番地(CADR)
4バイトデータで、次回に行う転送のDMAC II インデックス先頭番地を設定してください。チェーン転送機能を使用する場合のみ、このデータを設定してください。
- ・転送完了割り込み番地(IADR)
4バイトデータで、転送完了割り込み処理の飛び先番地を設定してください。転送完了割り込みを使用する場合のみ、このデータを設定してください。

なお、これ以降の説明では各パラメータ名は上記()内の略称を使用します。

表13.2 DMAC II インデックス記述例

転送データ	メモリ間転送/即値転送				演算転送				複数転送
	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	
チェーン転送	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	不 使 用	使 用	使用できません
転送完了 割り込み	不 使 用	不 使 用	使 用	使 用	不 使 用	不 使 用	使 用	使 用	使用できません
DMAC II インデックス	MOD COUNT SADR DADR 8バイト	MOD COUNT SADR DADR CADR0 CADR1 12バイト	MOD COUNT SADR DADR IADR0 IADR1 12バイト	MOD COUNT SADR DADR CADR0 CADR1 IADR0 IADR1 16バイト	MOD COUNT SADR OADR DADR 10バイト	MOD COUNT SADR OADR DADR CADR0 CADR1 14バイト	MOD COUNT SADR OADR DADR IADR0 IADR1 14バイト	MOD COUNT SADR OADR DADR CADR0 CADR1 IADR0 IADR1 18バイト	MOD COUNT SADR1 DADR1 SAD Ri DADR i i=1~7 最大32バイト (i=7のとき)

転送モード(MOD) (注1)

ビット シンボル	ビット名	機 能 (MULT=0)	機 能 (MULT=1)	RW
SIZE	転送単位選択 ビット	0: 8ビット 1: 16ビット		RW
IMM	転送データ選択 ビット	0: 即値データ 1: メモリ	"1"にしてください	RW
UPDS	転送元方向選択 ビット	0: 固定番地 1: 順方向番地		RW
UPDD	転送先方向選択 ビット	0: 固定番地 1: 順方向番地		RW
OPER /CNT0	(注2) 演算転送機能 選択ビット	0: 演算機能なし 1: 演算機能あり	b6 b5 b4 0 0 0: 設定しない でください	RW
BRST /CNT1	(注2) バースト転送 選択ビット	0: 単転送 1: バースト転送	0 0 1: 1回 0 1 0: 2回 : :	RW
INTE /CNT2	(注2) 転送完了割り込み 選択ビット	0: 割り込みを使用しない 1: 割り込みを使用する	1 1 0: 6回 1 1 1: 7回	RW
CHAIN	チェーン転送 選択ビット	0: チェーン転送しない 1: チェーン転送する	"0"にしてください	RW
(b14 - b8)	何も配置されていない。書く場合、"0"を書いてください。 読んだ場合、その値は不定。			-
MULT	複数転送選択 ビット	0: 複数転送しない 1: 複数転送する		RW

注1. RAMに配置してください。
注2. ビット4~6のビットシンボルはMULTビットが"0"のとき、OPER、BRST、INTEビットに、MULTビットが"1"のとき、CNT0~CNT2ビットになります。

図13.3 MOD

13.1.3 周辺機能の割り込み制御レジスタ

DMAC II の要求要因に使用する周辺機能割り込みは、ILVL2～ILVL0ビットを“1112” (レベル7)にしてください。

13.1.4 周辺機能の可変ベクタテーブル

DMAC II の要求要因となる周辺機能割り込みの割り込みベクタに、DMAC II インデックスの先頭番地を設定してください。

チェーン転送を使用するときは可変ベクタテーブルをRAMに設定してください。

13.1.5 IIOiIEレジスタ(i=0～4)のIRLTビット

インテリジェントI/O割り込みによりDMAC II を起動する場合、要求要因となる割り込みのIIOiIEレジスタのIRLTビットを“0”にしてください。

13.2 DMAC II の動作

DMACIIビットを“1” (DMAC II転送)にすると、DMAC II 機能が選択されます。ILVL2～ILVL0ビットを“1112” (レベル7)にしたすべての周辺機能割り込み要求がDMAC II 要求要因になります。これらの周辺機能割り込み要求はDMAC II転送要求となり、周辺機能割り込みは使用できません。

ILVL2～ILVL0ビットが“1112”の割り込み要求が発生すると、IフラグとIPLに関係なくDMAC II が起動します。

13.3 転送データ

DMAC II では、次のように8ビットまたは16ビット単位でデータを転送します。

- ・メモリ間転送 : 64Kバイト空間(00000₁₆～0FFFF₁₆番地)の任意のメモリから同空間の任意のメモリに転送します。
- ・即値転送 : 即値データを64Kバイト空間の任意のメモリに転送します。
- ・演算転送 : 2つのデータを加算し、加算結果を64Kバイト空間の任意のメモリに転送します。

ただし、転送単位が16ビットで転送先番地が0FFFF₁₆番地のとき、0FFFF₁₆番地と10000₁₆番地に転送します。転送元番地が0FFFF₁₆番地のときも同様です。また、実際の転送可能空間は、内部RAMの容量による制限を受けます。

13.3.1 メモリ間転送

任意のメモリから任意のメモリの転送は、次のとおりです。

- ・固定番地から固定番地への転送
- ・固定番地から可変番地への転送
- ・可変番地から固定番地への転送
- ・可変番地から可変番地への転送

可変番地を選択した場合、転送後次回の転送のために番地を加算します。転送単位が8ビットの場合、番地は1加算されます。転送単位が16ビットの場合、番地は2加算されます。番地を加算することで転送元または転送先番地が0FFFF₁₆番地を超えた場合、転送元または転送先番地は00000₁₆番地に戻って加算されますので、転送元または転送番地が0FFFF₁₆番地を超えないよう注意してください。

13.3.2 即値転送

即値データを任意のメモリに転送します。転送先番地として固定または可変番地を選択できます。SADRに即値データを格納してください。8ビット即値を転送する場合、SADRの下位1バイトにデータを設定してください(上位バイトは無視されます)。

13.3.3 演算転送

任意のメモリと任意のメモリ、または即値データと任意のメモリを加算した後、任意のメモリに転送します。SADRに演算対象メモリの番地または即値データを設定し、OADRにもう一方の演算対象メモリの番地を設定してください。メモリ+メモリ演算転送の場合、転送元と転送先番地として、固定または可変番地を選択できます。転送元番地が可変の場合には、演算対象番地も可変となります。即値+メモリ演算転送の場合、転送先番地として固定または可変番地を選択できます。

13.4 転送方式

DMAC II では単転送とバースト転送が行えます。MODのBRSTビットで、単転送またはバースト転送を選択します。転送回数はCOUNTで設定します。COUNTを“0000₁₆”にしている場合、転送は行いません。

13.4.1 単転送

一度の要求要因に対して、1転送単位(8ビットまたは16ビット)のデータを1回転送します。転送元番地または転送先番地として可変番地を選択した場合、転送後、次回の転送のために番地を加算します。

COUNTは、転送ごとにダウンカウントされます。転送完了割り込みを使用する場合、COUNTが“0”になった時点で、転送完了割り込みが発生します。

13.4.2 バースト転送

一度の要求要因に対して、COUNTで設定された回数分、連続してデータ転送が行われます。COUNTは1転送単位を転送するごとにダウンカウントし、COUNTが“0”になったときバースト転送が終了します。転送完了割り込みを使用する場合、バースト転送終了時、転送完了割り込みが発生します。なお、バースト転送中は、すべての割り込みを受け付けません。

13.5 複数転送

MODのMULTビットで複数転送が選択できます。複数転送ではメモリ間転送が行えます。

一度の要求要因に対して複数の転送を行います。転送数はMODのCNT2~CNT0ビットで“001₂”(1回)~“111₂”(7回)が選択できます。なお、CNT2~CNT0ビットは“000₂”にしないでください。

転送数分の転送元番地、転送先番地をMOD、COUNTに続く番地にそれぞれ交互に配置してください。複数転送選択時、演算転送、バースト転送、転送完了割り込み、チェーン転送の各機能は使用できません。

13.6 チェーン転送

MODのCHAINビットでチェーン転送が選択できます。

チェーン転送時は次のように動作します。

- (1) 要求要因により、その要因のベクタで示される番地にあるDMAC II インデックスの内容に従って転送します。一度の要求要因に対して、MODのBRSTビットの内容に従って単転送またはバースト転送を行います。
- (2) COUNTが“0”になったとき、DMACII要求要因となる周辺機能割り込みのベクタがCADR1～CADR0の値に替わります。MODのINTEビットが“1”の場合は、同時に転送完了割り込みが発生します。
- (3) 次にDMAC II 要求要因が発生すると、(2)で書き換えた周辺機能割り込みのベクタが示すDMAC II インデックスに基づいて転送を行います。

図13.4にチェーン転送時の可変ベクタとDMACIIインデックスを示します。

チェーン転送を使用する場合、可変ベクタテーブルはRAMに配置してください。

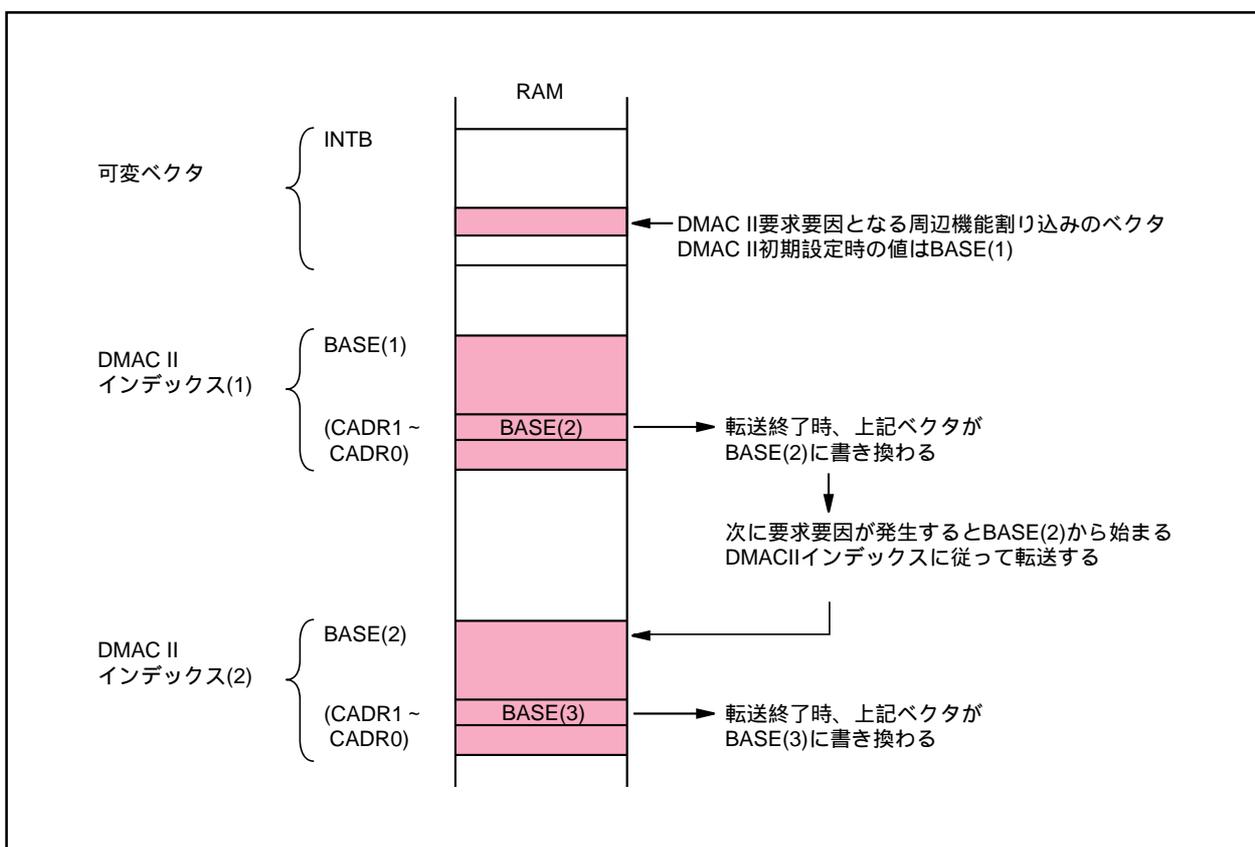


図13.4 チェーン転送時の可変ベクタとDMACIIインデックス

13.7 転送完了割り込み

MODのINTEビットで、転送完了割り込みが選択できます。転送完了割り込みルーチンの先頭番地をIADR1～IADR0に設定してください。転送完了割り込みは、COUNTが“0”になったとき発生します。

13.8 実行時間

DMAC IIの実行サイクル数は次のとおりです。

複数転送以外 : $t = 6 + (26+a+b+c+d) \times m + (4+e) \times n$ (サイクル)

複数転送 : $t = 21 + (11+b+c) \times k$ (サイクル)

a : IMM=0(転送元が即値)の場合a=0、IMM=1(転送元がメモリ)の場合a=-1

b : UPDS=1(転送元番地が可変番地)の場合b=0、UPDS=0(転送元番地が固定番地)の場合b=1

c : UPDD=1(転送先番地が可変番地)の場合c=0、UPDD=0(転送先番地が固定番地)の場合c=1

d : OPER=0(演算機能なし)の場合d=0、OPER=1(演算機能あり)でUPDS=0(転送元が即値か固定番地のメモリ)の場合d=7、OPER=1(演算機能あり)でUPDS=1(転送元が可変番地のメモリ)の場合d=8

e : CHAIN=0(チェーン転送機能なし)の場合e=0、CHAIN=1(チェーン転送機能あり)の場合e=4

m : BRST=0(単転送)の場合m=1、BRST=1(バースト転送)の場合m=転送カウンタで設定された値

n : COUNTが“1”の場合n=0、COUNTが“2”以上の場合n=1

k : CNT2~CNT0ビットで設定した転送数

上記は概算値であり、CPUの状態、バスウエイトやDMACIIインデックスの配置によりサイクル数は異なります。

また、転送完了割り込みルーチンの最初の命令は、DMAC II実行完了の7サイクル後に行われます。

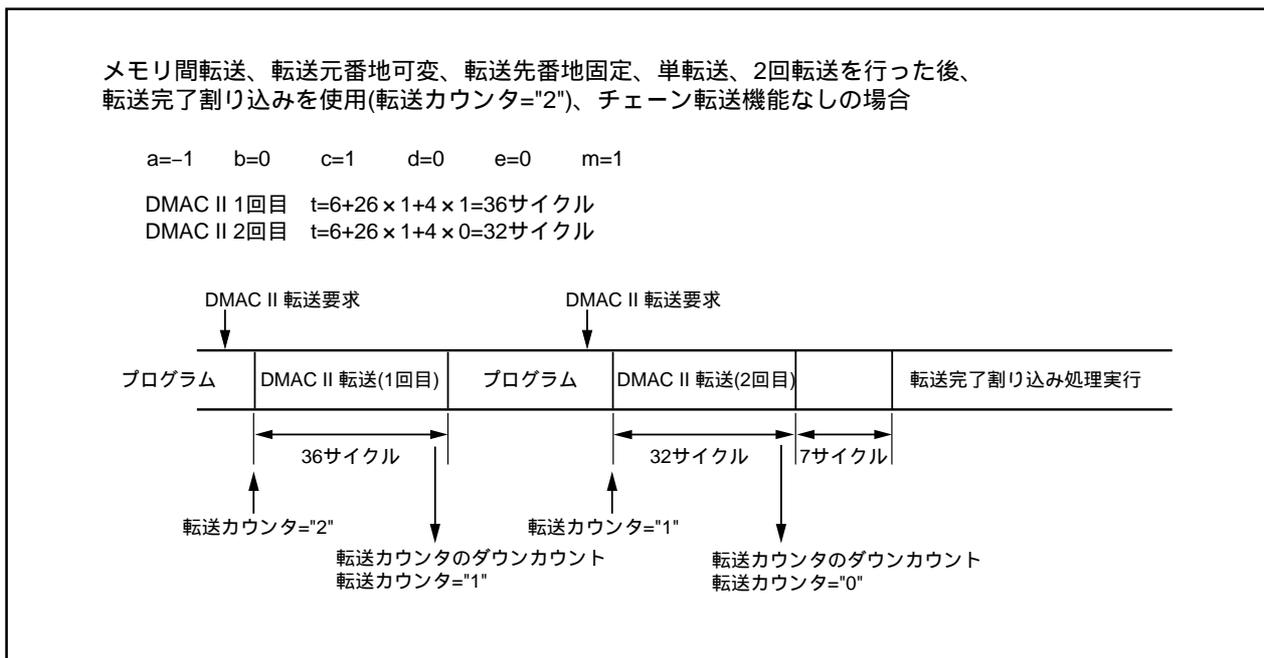


図13.5 転送時間

なお、DMAC II要求要因になる割り込み要求が発生したとき、より優先順位の高い割り込み要求(NMI、ウォッチドッグタイマ)が発生した場合、優先順位の高い割り込みがDMAC II転送よりも優先して受け付けられ、その割り込みシーケンス終了後にDMAC II転送が開始されます。

14. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマはそれぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図14.1にタイマA、図14.2にタイマBの構成を示します。

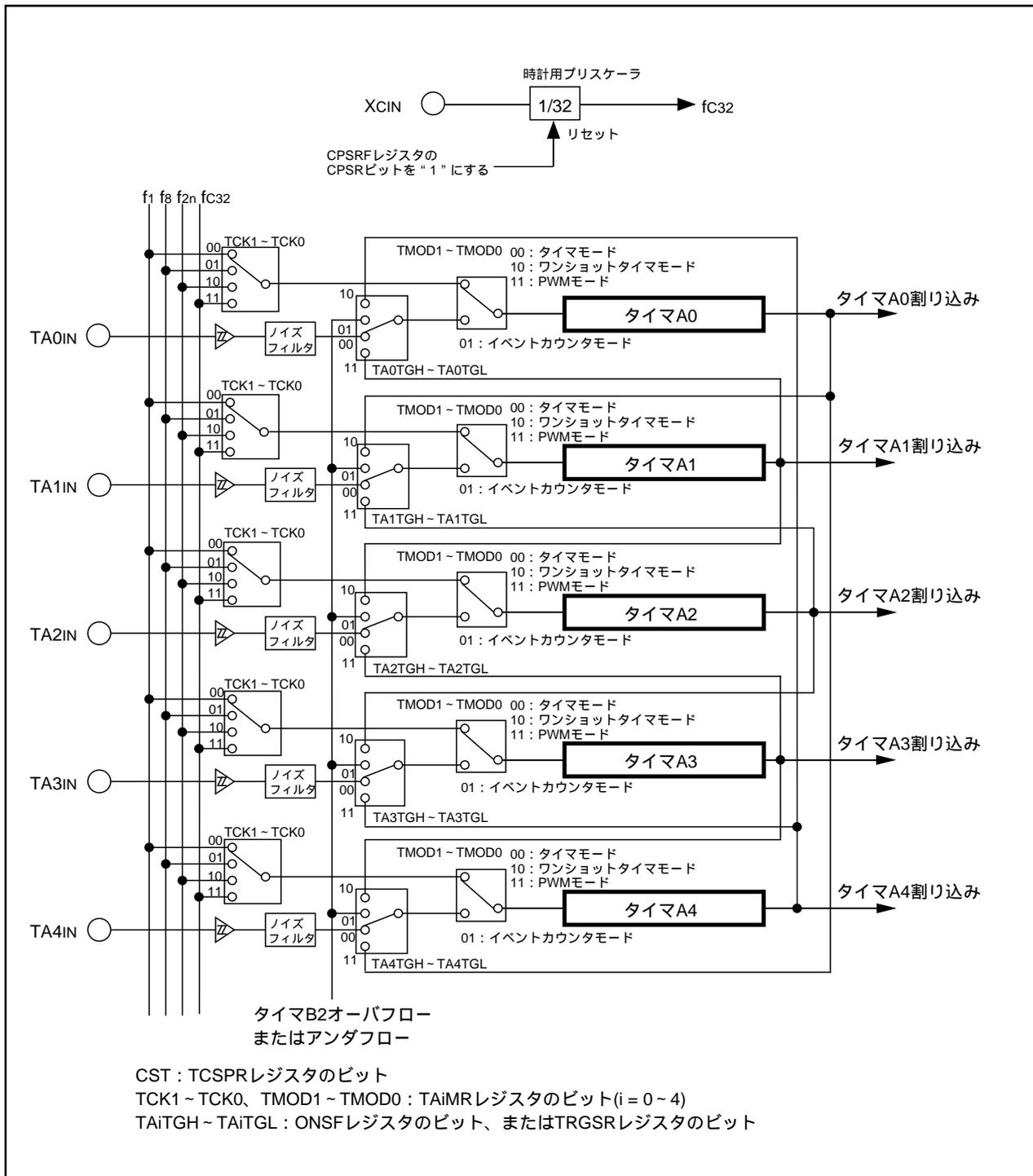


図14.1 タイマAの構成

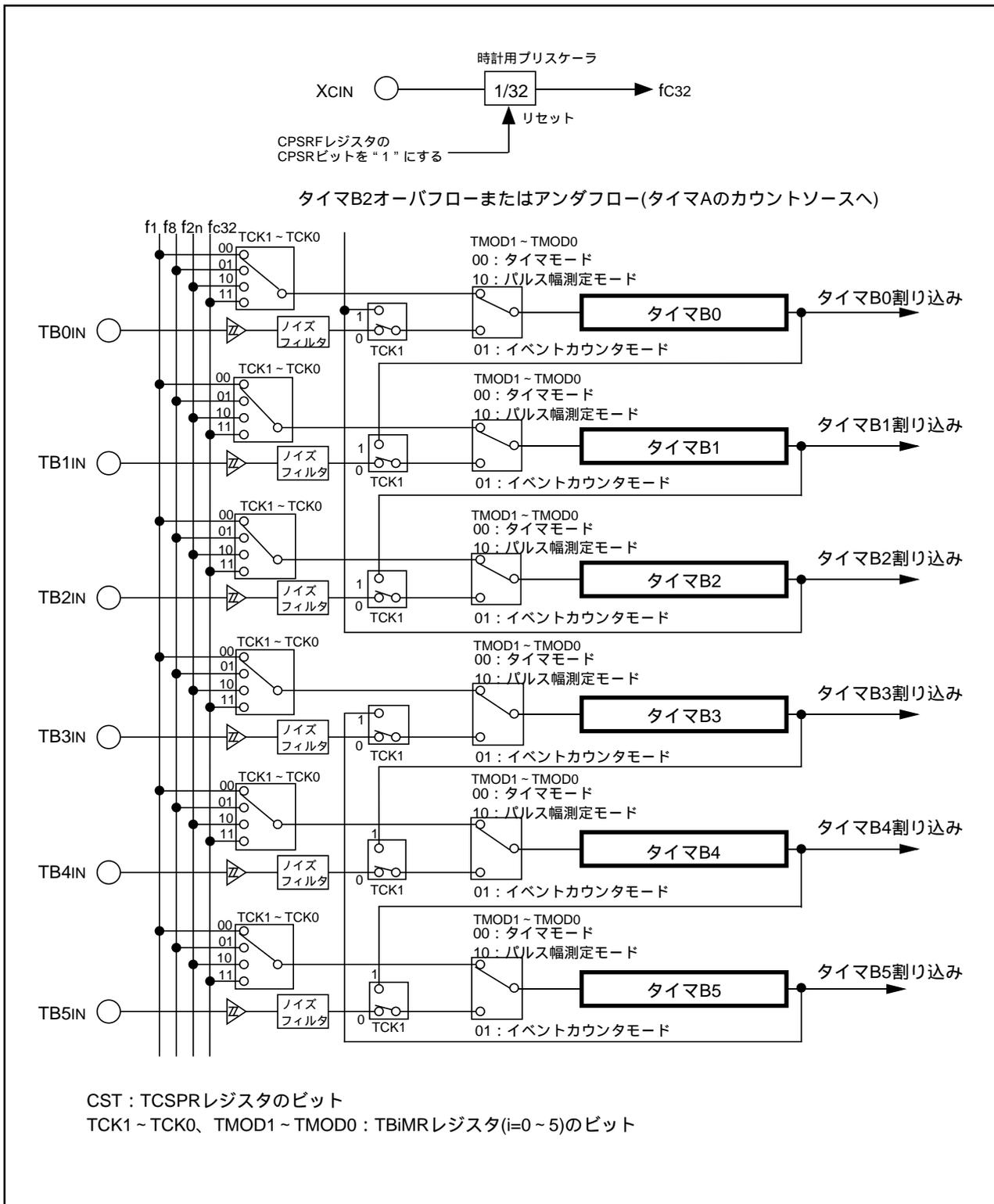


図14.2 タイマBの構成

14.1 タイマA

図14.3にタイマAのブロック図を、図14.4～図14.7にタイマA関連のレジスタを示します。

タイマAは次の4種類のモードがあり、イベントカウンタモードを除いてタイマA0～A4は同一の機能を持ちます。各モードはTAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたは他のタイマのオーバフローとアンダフローをカウントするモード
- ・ワンショットタイマモード カウント値が“0000₁₆”になるまでの間1度だけパルスを出力するモード
- ・パルス幅変調モード 任意のパルス幅を連続して出力するモード

表14.1にTAiOUT端子を出力機能で使用する場合の設定、表14.2にTAiIN端子、TAiOUT端子を入力機能で使用する場合の設定を示します。

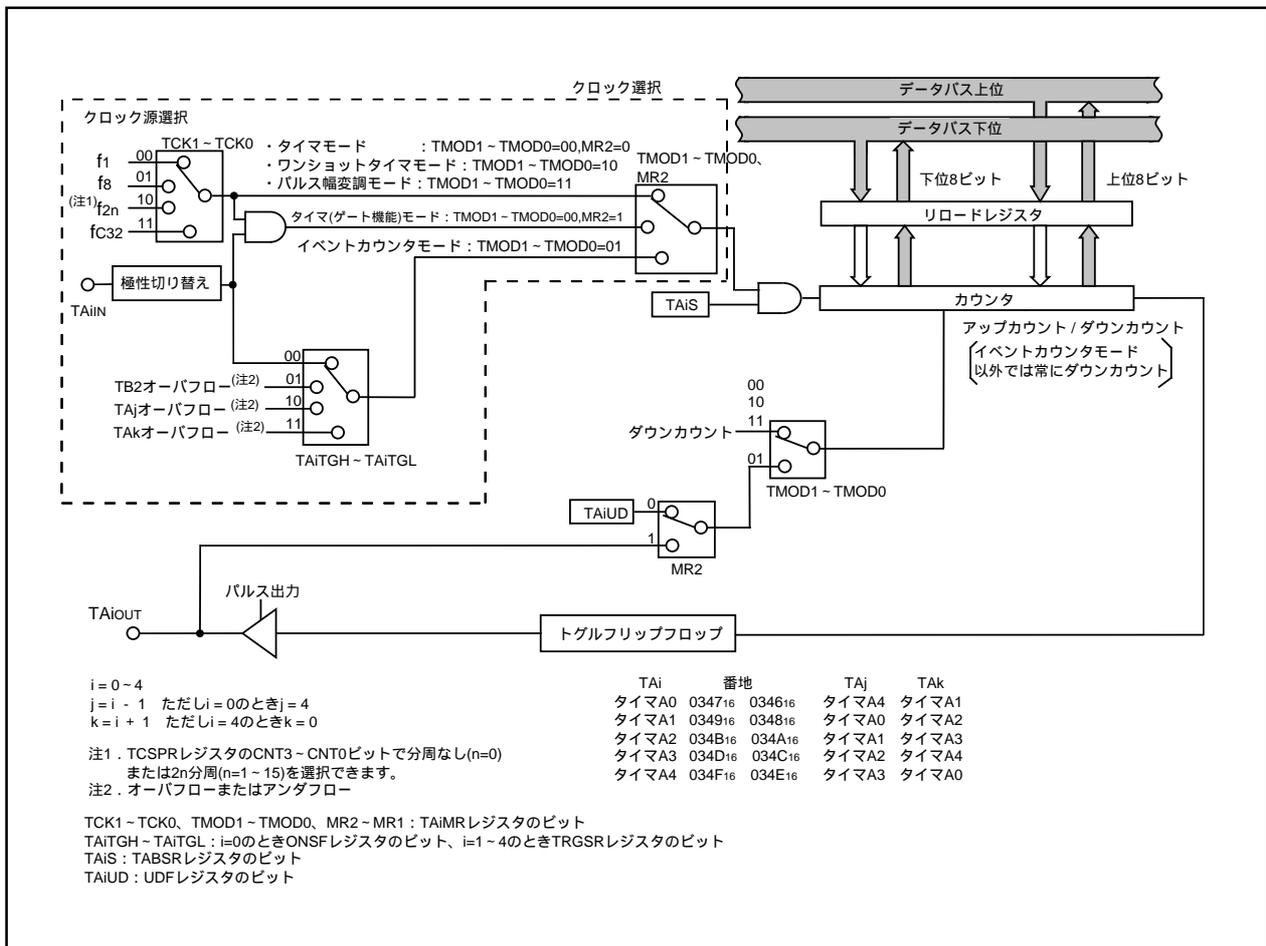


図14.3 タイマAブロック図

タイマAiレジスタ (i=0~4)(注1)

b15	b8 b7	b0	シンボル	アドレス	リセット後の値
			TA0~TA2	0347 ₁₆ - 0346 ₁₆ , 0349 ₁₆ - 0348 ₁₆ , 034B ₁₆ - 034A ₁₆ 番地	不定
			TA3,TA4	034D ₁₆ - 034C ₁₆ , 034F ₁₆ - 034E ₁₆ 番地	不定

モード	機能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000 ₁₆ ~ FFFF ₁₆	RW
イベントカウンタモード	設定値をnとすると、カウントソースをアップカウント時、FFFF ₁₆ - n+1分周する ダウンカウント時、n+1分周する (注2)	0000 ₁₆ ~ FFFF ₁₆	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する (注4)	0000 ₁₆ ~ FFFF ₁₆ (注3)	WO
パルス幅変調モード (16ビットPWM)	カウントソースの周波数f _j 、TAiレジスタの設定値をnとすると PWMの周期: $(2^{16}-1) / f_j$ PWMパルスの"H"幅: n / f_j (注5)	0000 ₁₆ ~ FFFE ₁₆ (注3)	WO
パルス幅変調モード (8ビットPWM)	カウントソースの周波数f _j 、TAiレジスタの上位アドレスの設定値をn、下位アドレスの設定値をmとすると、 PWMの周期: $(2^8-1) \times (m+1) / f_j$ PWMパルスの"H"幅: $(m+1)n / f_j$ (注5)	00 ₁₆ ~ FE ₁₆ (上位アドレス) 00 ₁₆ ~ FF ₁₆ (下位アドレス) (注3)	WO

f_j: f₁, f₈, f_{2n}, f_{C32}

注1. 読み出しと書き込みは16ビット単位で実行してください。

注2. 外部入力パルスまたは他のタイマのオーバーフローとアンダフローをカウント。

注3. TAiレジスタへはMOV命令を使用して書いてください。

注4. TAiレジスタを“0000₁₆”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。注5. TAiレジスタを“0000₁₆”にした場合、パルス幅変調器は動作せず、TAiout端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットを“00₁₆”にした場合も同様です。

図14.4 TA0~TA4レジスタ

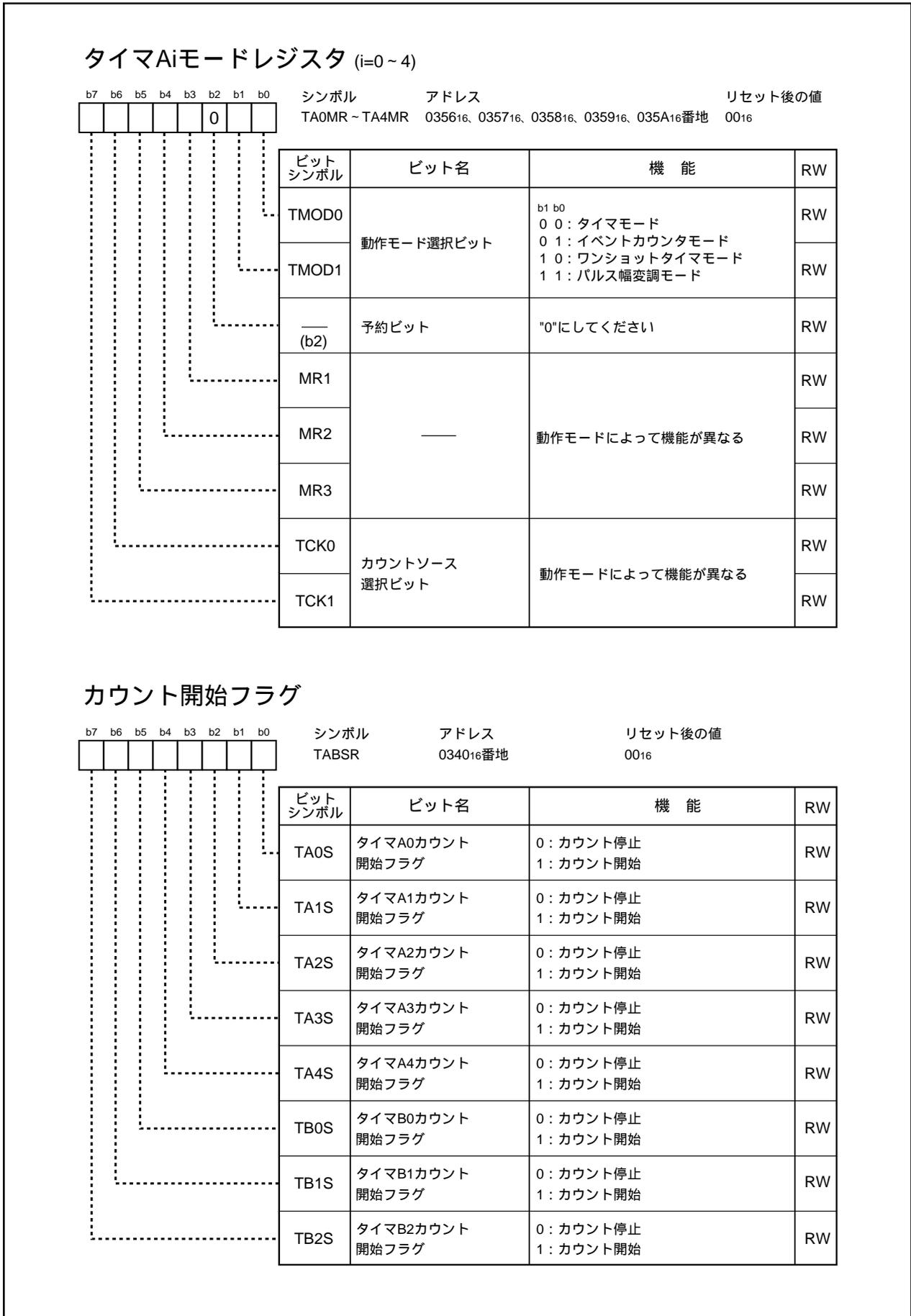


図14.5 TA0MR ~ TA4MRレジスタ、TABSRレジスタ

アップダウンフラグ(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								UDF	0344 ₁₆ 番地	00 ₁₆
ビットシンボル	ビット名	機能	RW							
TA0UD	タイマA0アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW							
TA1UD	タイマA1アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW							
TA2UD	タイマA2アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW							
TA3UD	タイマA3アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW							
TA4UD	タイマA4アップ ダウンフラグ	0: ダウンカウント 1: アップカウント (注2)	RW							
TA2P	タイマA2 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO							
TA3P	タイマA3 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO							
TA4P	タイマA4 二相パルス信号処理 機能選択ビット	0: 二相パルス信号処理機能禁止 1: 二相パルス信号処理機能許可 (注3)	WO							

- 注1. このレジスタへの書き込みはMOV命令を使用してください。
- 注2. イベントカウンタモード時、TAiMRレジスタ(i = 0 ~ 4)のMR2ビットを“0” (アップカウント/ダウンカウント切替要因はUDFレジスタの内容)にすると有効になります。
- 注3. 二相パルス信号処理機能を使用しない場合は“0”にしてください。

ワンショット開始フラグ

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
								ONSF	0342 ₁₆ 番地	00 ₁₆
ビットシンボル	ビット名	機能	RW							
TA0OS	タイマA0ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW							
TA1OS	タイマA1ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW							
TA2OS	タイマA2ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW							
TA3OS	タイマA3ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW							
TA4OS	タイマA4ワンショット 開始フラグ	0: 何もしない 1: タイマスタート (注1)	RW							
TAZIE	Z相入力有効ビット	0: Z相入力無効 1: Z相入力有効	RW							
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 00: TA0in端子の入力を選択 (注2)	RW							
TA0TGH		01: TB2のオーバーフローを選択 (注2) 10: TA4のオーバーフローを選択 (注2) 11: TA1のオーバーフローを選択 (注2)	RW							

- 注1. 読み出し時の値は“0”。
- 注2. オーバーフローまたはアンダフロー。

図14.6 UDFレジスタ、ONSFレジスタ

トリガ選択レジスタ

シンボル
TRGSR

アドレス
034316番地

リセット後の値
0016

ビット シンボル	ビット名	機 能	RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA0のオーバーフローを選択 (注1) 1 1 : TA2のオーバーフローを選択 (注1)	RW
			RW
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA1のオーバーフローを選択 (注1) 1 1 : TA3のオーバーフローを選択 (注1)	RW
			RW
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA2のオーバーフローを選択 (注1) 1 1 : TA4のオーバーフローを選択 (注1)	RW
			RW
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 0 0 : TA4IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA3のオーバーフローを選択 (注1) 1 1 : TA0のオーバーフローを選択 (注1)	RW
			RW

注1 . オーバフローまたはアンダフロー。

カウントソースプリスケアラレジスタ

シンボル
TCSPR

アドレス
035F16番地

リセット後の値(注2)
0XXX 00002

ビット シンボル	ビット名	機 能	RW
CNT0	分周比選択ビット	設定値をnとするとメインクロック、 オンチップオシレータクロックまたは PLL クロックを2n分周したものが、f2nになる。 ただし、n = 0の場合は分周なし。	RW
CNT1			RW
CNT2			RW
CNT3			RW (注1)
— (b6 - b4)	予約ビット	読んだ場合、その値は不定	RO
CST	動作許可ビット	0 : 分周器停止 1 : 分周器動作	RW

注1 . CNT3~CNT0ビットを書き換える場合は、CSTビットを“0”にして書き換えてください。
注2 . ソフトウェアリセットまたはウォッチドッグタイマリセットを行ってもリセット前の値が保持されます。

図14.7 TRGSRレジスタ、TCSPRレジスタ

表14.1 TAIOUT端子を出力機能で使用する場合の設定 (i=0 ~ 4)

端子	ビットと設定値		
	PS1、PS2レジスタ	PSL1、PSL2レジスタ	PSCレジスタ
P70/TA0OUT (注1)	PS1_0= 1	PSL1_0=1	PSC_0=0
P72/TA1OUT	PS1_2= 1	PSL1_2=1	PSC_2=0
P74/TA2OUT	PS1_4= 1	PSL1_4=0	PSC_4= 0
P76/TA3OUT	PS1_6= 1	PSL1_6=1	PSC_6=0
P80/TA4OUT	PS2_0= 1	PSL2_0=0	-

注1 . Nチャンネルオープンドレイン

表14.2 TAIIN端子、TAIOUT端子を入力機能で使用する場合の設定 (i=0 ~ 4)

端子	ビットと設定値	
	PS1、PS2レジスタ	PD7、PD8レジスタ
P70/TA0OUT	PS1_0= 0	PD7_0=0
P71/TA0IN	PS1_1= 0	PD7_1=0
P72/TA1OUT	PS1_2= 0	PD7_2=0
P73/TA1IN	PS1_3= 0	PD7_3=0
P74/TA2OUT	PS1_4= 0	PD7_4=0
P75/TA2IN	PS1_5= 0	PD7_5=0
P76/TA3OUT	PS1_6= 0	PD7_6=0
P77/TA3IN	PS1_7= 0	PD7_7=0
P80/TA4OUT	PS2_0= 0	PD8_0=0
P81/TA4IN	PS2_1= 0	PD8_1=0

14.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.3)。図14.8にタイマモード時のTAiMRレジスタ(i=0~4)を示します。

表14.3 タイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n ^(注1) 、fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TAiレジスタ設定値 (i=0~4) 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> ・ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとにTAiOUT端子の極性が反転

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

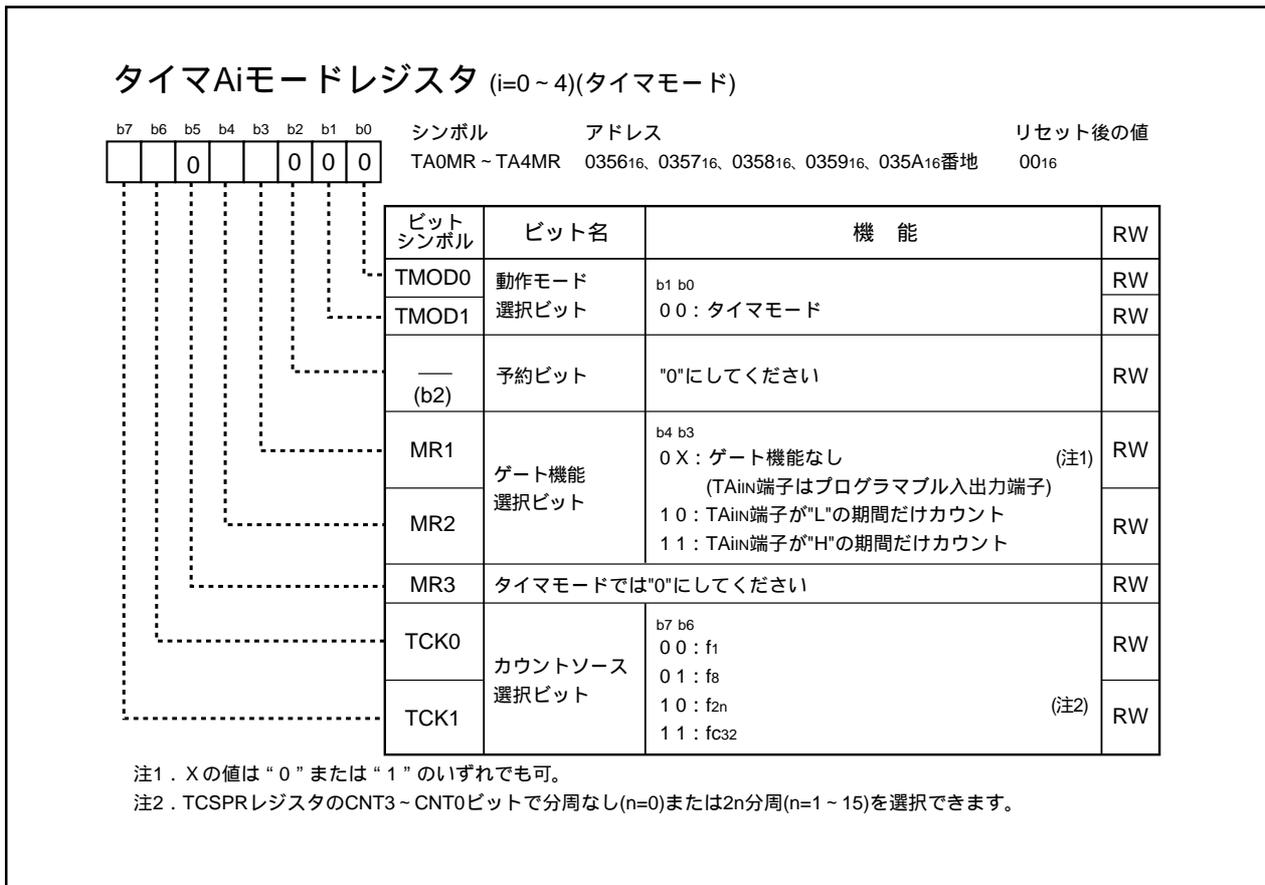


図14.8 タイマモード時のTA0MR ~ TA4MRレジスタ

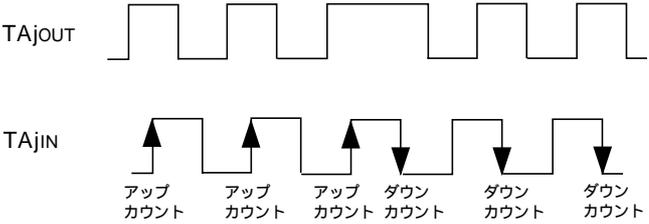
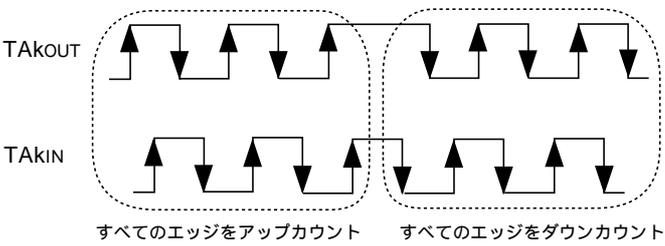
14.1.2 イベントカウンタモード

外部信号または他のタイマのオーバーフローとアンダフローをカウントするモードです。タイマA2、A3、A4は、二相の外部信号をカウントできます。表14.4にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、表14.5にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。図14.9にイベントカウンタモード時のTAiMRレジスタ(i=0~4)を示します。

表14.4 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	<ul style="list-style-type: none"> ・TAiIN端子(i=0~4)に入力された外部信号(プログラムにて有効エッジを選択可能) ・タイマB2のオーバーフローとアンダフロー、タイマAj(j=i-1、ただしi=0のときj=4)のオーバーフローとアンダフロー、タイマAk(k=i+1、ただしi=4のときk=0)のオーバーフローとアンダフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはプログラムで選択可能 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続。フリーラン機能選択時はリロードせずカウントを継続
分周比	<ul style="list-style-type: none"> ・アップカウント時 $1/(FFFF_{16} - n + 1)$ ・ダウンカウント時 $1/(n + 1)$ n:TAiレジスタの設定値 0000₁₆ ~ FFFF₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時とアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	<ul style="list-style-type: none"> ・フリーランカウント機能 オーバーフローまたはアンダフローが発生してもリロードレジスタからリロードしない ・パルス出力機能 オーバーフローまたはアンダフローするごとにTAiOUT端子の極性が反転

表14.5 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子(i= 2~4)に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバーフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続。フリーラン機能選択時はリロードせずカウントを継続
分周比	・アップカウント時 $1/(FFFF_{16} - n + 1)$ ・ダウンカウント時 $1/(n + 1)$ n:TAi設定値 0000 ₁₆ ~ FFFF ₁₆
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバーフロー時とアンダフロー時
TAiIN端子機能	二相パルス入力
TAiOUT端子機能	二相パルス入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TAiレジスタに書くとリロードレジスタに書かれる(次のリロード時に転送)
選択機能 ^(注1)	<ul style="list-style-type: none"> 通常処理動作(タイマA2、タイマA3) TAjOUT端子(j = 2,3)の入力信号が“H”レベルの期間TAjIN端子の立ち上がり をアップカウントし立ち下がり をダウンカウント  <ul style="list-style-type: none"> 4逓倍処理動作(タイマA3、タイマA4) TAKOUT端子(k = 3,4)の入力信号が“H”の期間にTAKIN端子が立ち上がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がり をアップカウント。TAKOUT端子の入力信号が“H”の期間にTAKIN端子が立ち下がる位相関係の場合、TAKOUT、TAKIN端子の立ち上がり、立ち下がり をダウンカウント 

注1. タイマA3だけ選択できます。タイマA2は通常処理動作に、タイマA4は4逓倍処理動作に固定です。

タイマAiモードレジスタ (i=0~4)(イベントカウンタモード)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル	アドレス	リセット後の値
0	0	0	0	0	0	0	1	TA0MR ~ TA4MR	035616, 035716, 035816, 035916, 035A16番地	0016

ビット シンボル	ビット名	機 能 (二相パルス信号処理を使用しない)	機 能 (二相パルス信号処理を使用する)	RW
TMOD0	動作モード 選択ビット	b1 b0 0 1 : イベントカウンタモード (注1)		RW
TMOD1				RW
— (b2)	予約ビット	"0"にしてください		RW
MR1	カウント極性 選択ビット (注2)	0 : 外部信号の立ち 下がりカウント 1 : 外部信号の立ち 上がりカウント	"0"にしてください	RW
MR2	アップ/ダウン切替 要因選択ビット	0 : アップダウン フラグの内容 1 : TAiOUT端子の 入力信号 (注3)	"1"にしてください	RW
MR3	イベントカウンタモードでは、"0"にしてください			RW
TCK0	カウント動作タイプ 選択ビット	0 : リロードタイプ 1 : フリーランタイプ		RW
TCK1	二相パルス処理動作 選択ビット (注4、5)	"0"にしてください	0 : 通常処理動作 1 : 4通倍処理動作	RW

注1 . イベントカウンタモードではカウントソースをONSFレジスタまたはTRGSRレジスタのTAiTGH ~ TAiTGLビットで選択できます。

注2 . 外部信号カウント時のみ有効。

注3 . TAiOUT端子の入力信号が " L " のときはダウンカウント、 " H " のときはアップカウントを行います。

注4 . TCK1ビットはTA3MRレジスタにおいて有効です。

注5 . 二相パルス信号処理を行う場合、UDFレジスタのTAjPビット(j=2~4)は " 1 " (二相パルス信号処理機能許可)に、TRGSRレジスタのTAjTGH ~ TAjTGLビットを " 002 " (TAjIN端子の入力)にしてください。

図14.9 イベントカウンタモード時のTA0MR ~ TA4MRレジスタ

14.1.2.1 二相パルス信号処理でのカウンタ初期化

二相パルス信号処理時にZ相(カウンタ初期化)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4倍処理でのみ使用でき、Z相入力はINT2端子入力となります。

ONSFレジスタのTAZIEビットを“1”(Z相入力有効)にすると、Z相入力によるカウンタの初期化が有効になります。また、Z相入力でカウンタを“0”にするためには、TA3レジスタにあらかじめ“0000₁₆”を書いてください。

Z相入力は、INT2入力のエッジを検出して行います。エッジの極性はINT2ICレジスタのPOLビットで選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期分以上になるように入力してください。図14.10に二相パルス(A相、B相)とZ相の関係を示します。

Z相入力によりカウンタが初期化されるタイミングは、Z相入力を受けた次のカウンタソースタイミングになります。図14.11にカウンタ初期化タイミングを示します。

タイマA3のオーバフローまたはアンダフロータイミングとINT2入力によるカウンタの初期化のタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので、本機能使用時はタイマA3の割り込み要求は使用しないでください。

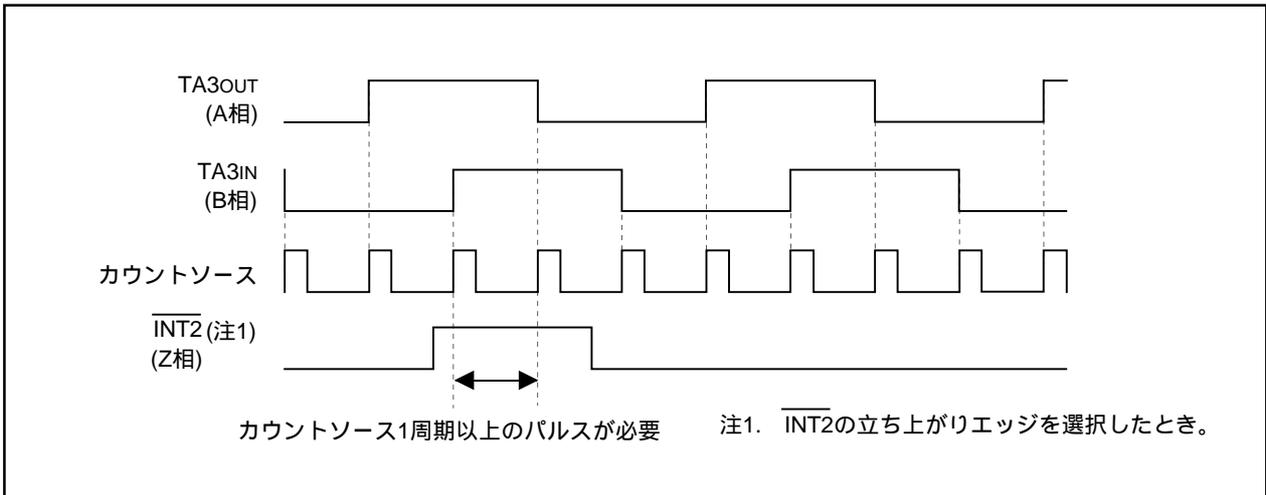


図14.10 二相パルス(A相、B相)とZ相の関係

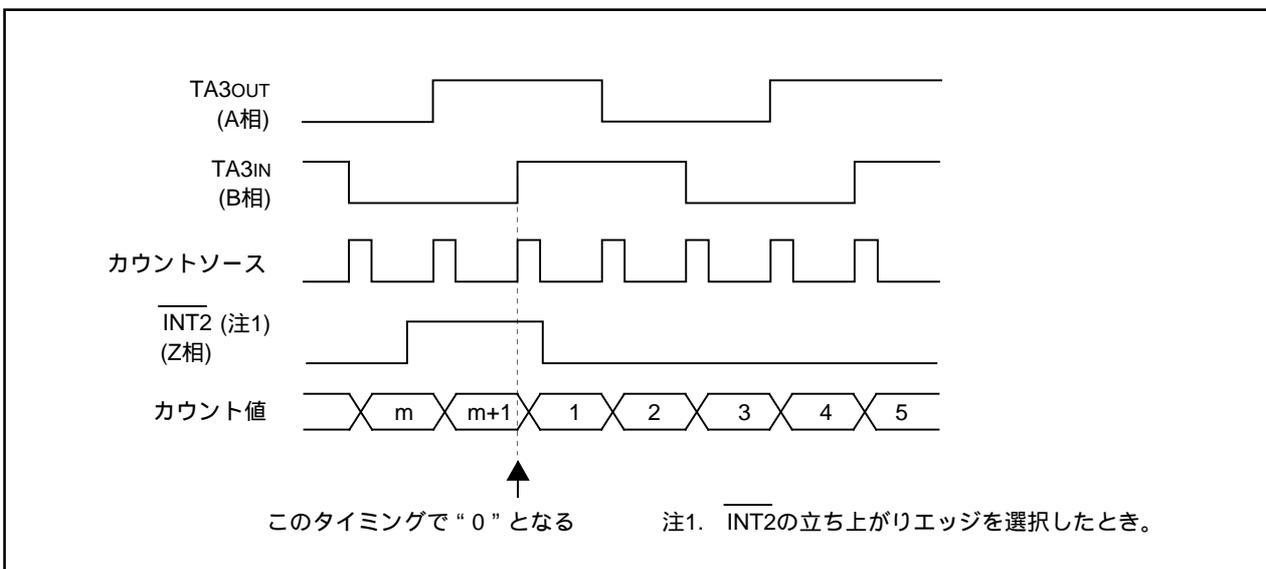


図14.11 カウンタ初期化タイミング

14.1.3 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表14.6)。トリガが発生するとその時点から任意の期間、タイマが動作します。図14.12にワンショットタイマモード時のTAiMRレジスタ(i=0~4)を示します。

表14.6 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1、f8、f2n ^(注1) 、fC32
カウント動作	ダウンカウント カウントの値が“0000 ₁₆ ”になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0~4)設定値 0000 ₁₆ ~FFFF ₁₆ (ただし“0000 ₁₆ ”の場合はカウンタは動作しない)
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、次のトリガが発生したとき ・外部トリガ入力 ・タイマのオーバフローとアンダフロー ・ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	・カウントの値が“0000 ₁₆ ”になりリロードした後 ・TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウントの値が“0000 ₁₆ ”になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	・カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

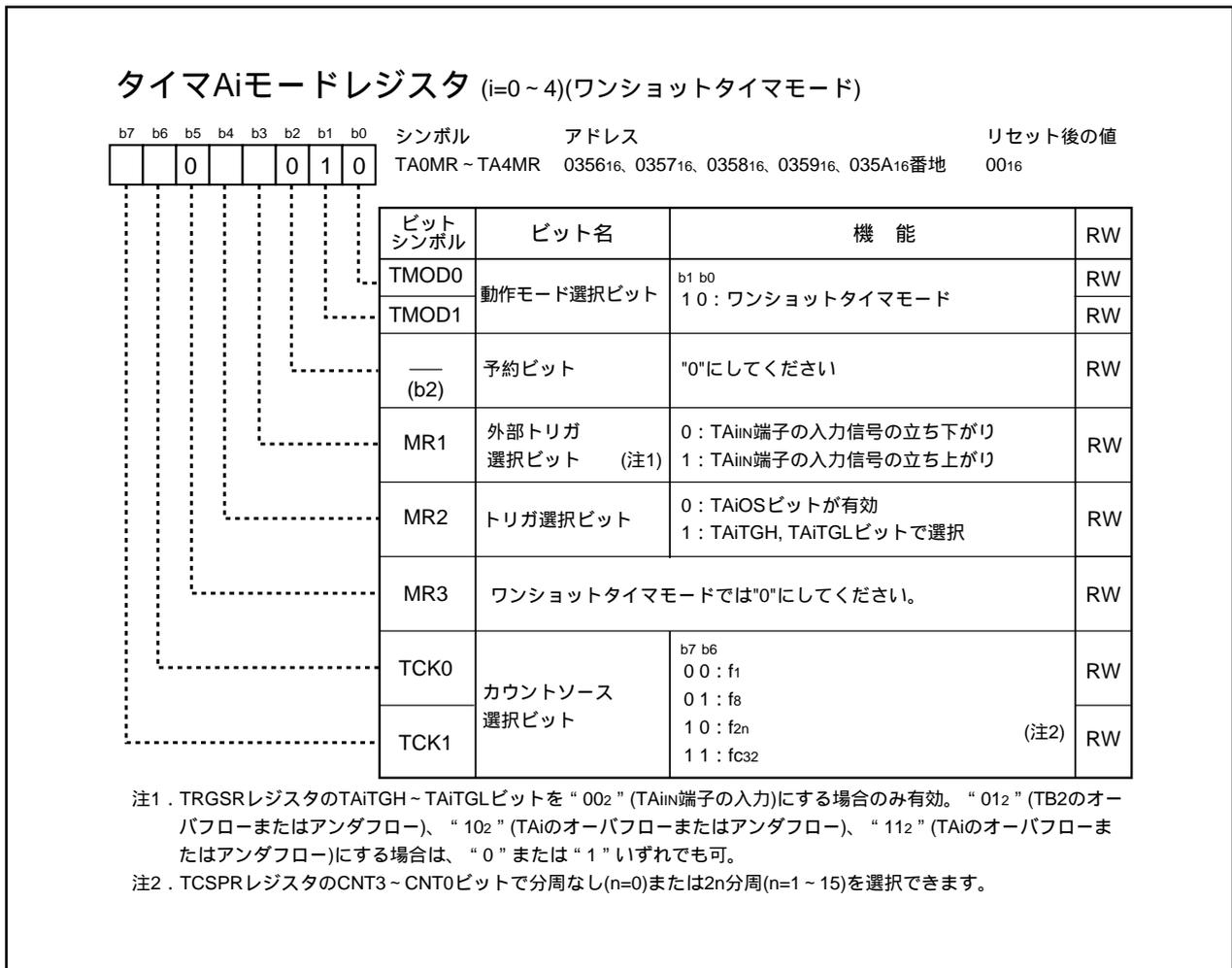


図14.12 ワンショットタイマモード時のTA0MR ~ TA4MRレジスタ

14.1.4 パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表14.7)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図14.13にパルス幅変調モード時のTAiMRレジスタ(i=0~4)、図14.14、図14.15に16ビットと8ビットパルス幅変調器の動作例を示します。

表14.7 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注1)、fc32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	<ul style="list-style-type: none"> ・ “H” 幅 n / f_j n:TAiレジスタ(i=0~4)設定値 000016 ~ FFFE16 fj:カウントソース周波数 ・ 周期 $(2^{16} - 1) / f_j$ 固定
8ビットPWM	<ul style="list-style-type: none"> ・ “H” 幅 $n \times (m+1) / f_j$ n:TAiレジスタの上位番地の設定値 0016 ~ FE16 ・ 周期 $(2^8 - 1) \times (m+1) / f_j$ m:TAiレジスタの下位番地の設定値 0016 ~ FF16
カウント開始条件	<ul style="list-style-type: none"> ・ 外部トリガ入力 ・ タイマのオーバフローとアンダフロー ・ TABSRレジスタのTAiSビットを “1” (カウント開始)にする
カウント停止条件	TAiSビットを “0” (カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・ カウント停止中 TAiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中 TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

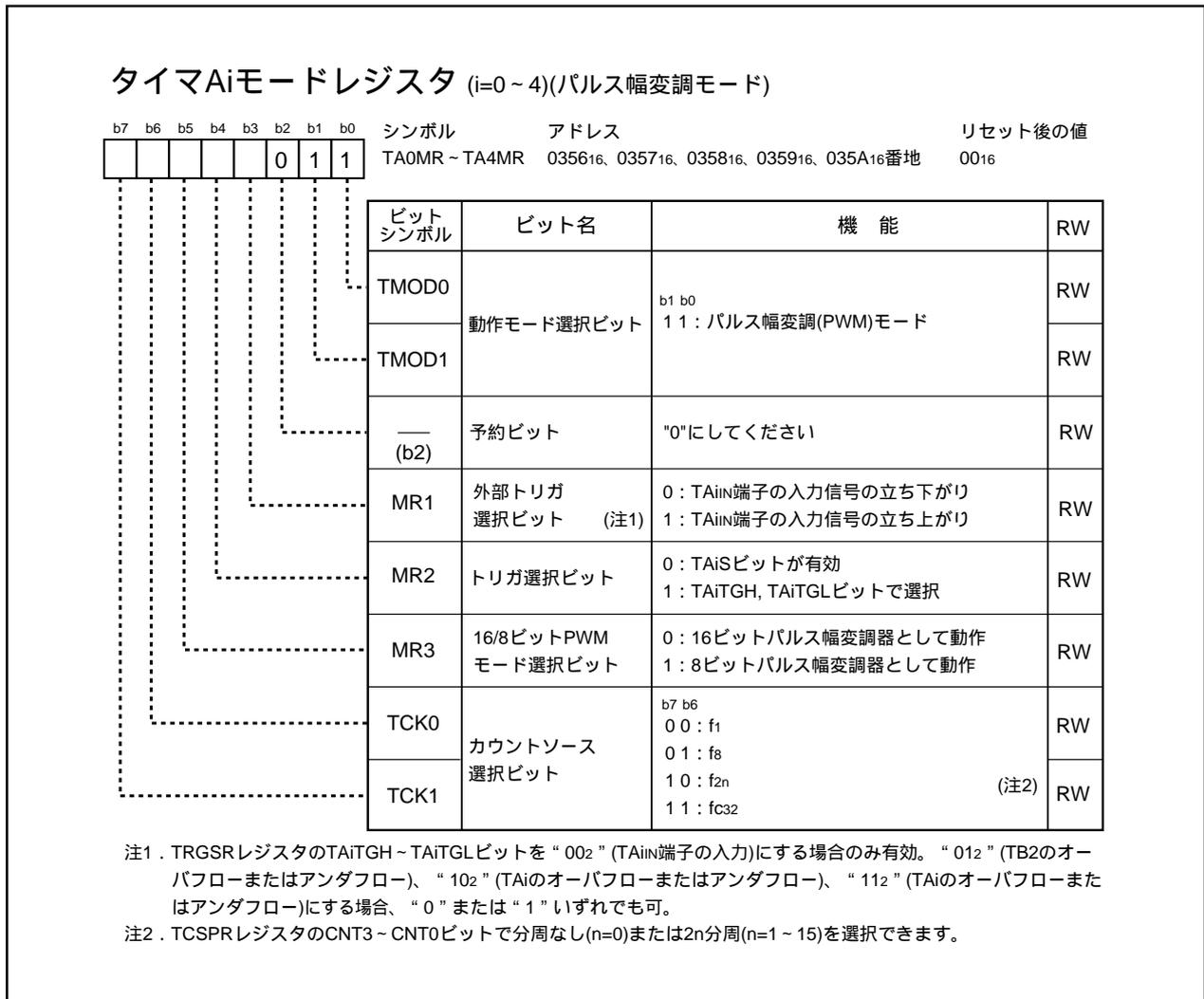


図14.13 パルス幅変調モード時のTA0MR ~ TA4MRレジスタ

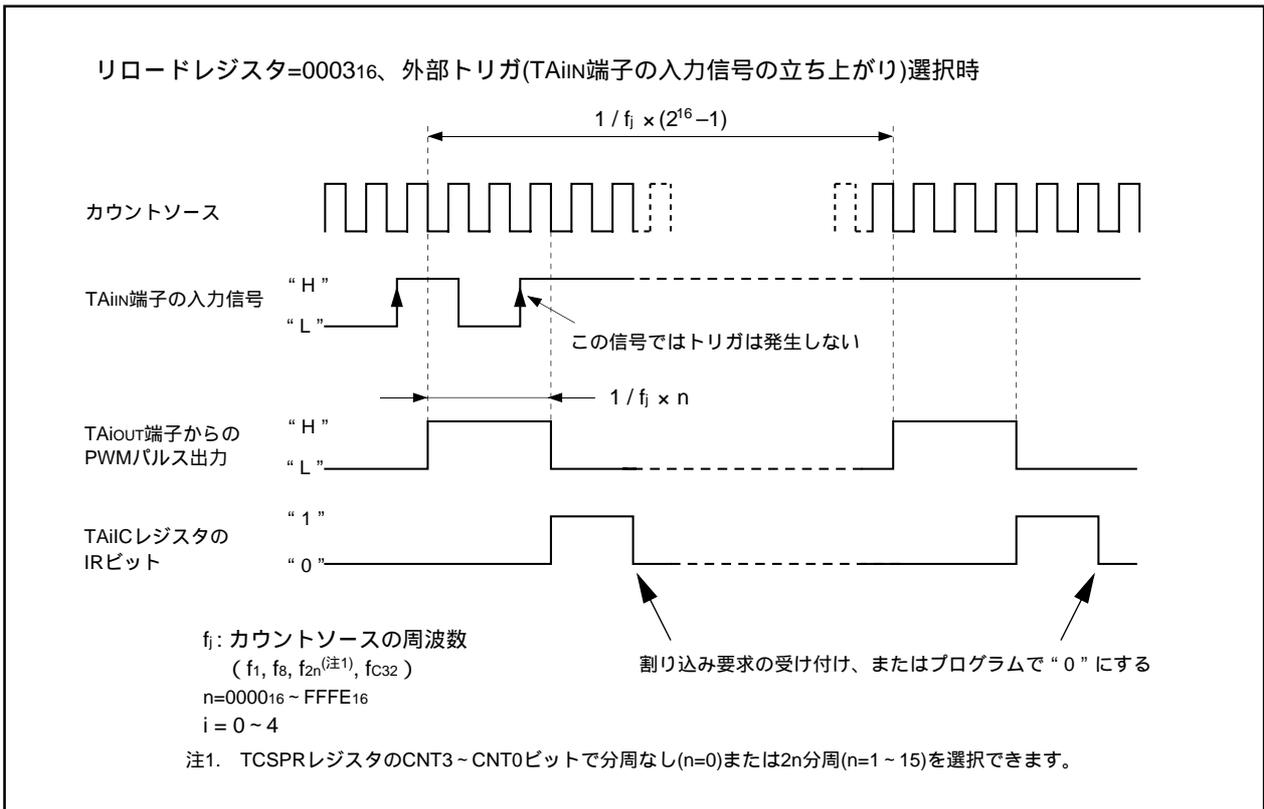


図14.14 16ビットパルス幅変調器の動作例

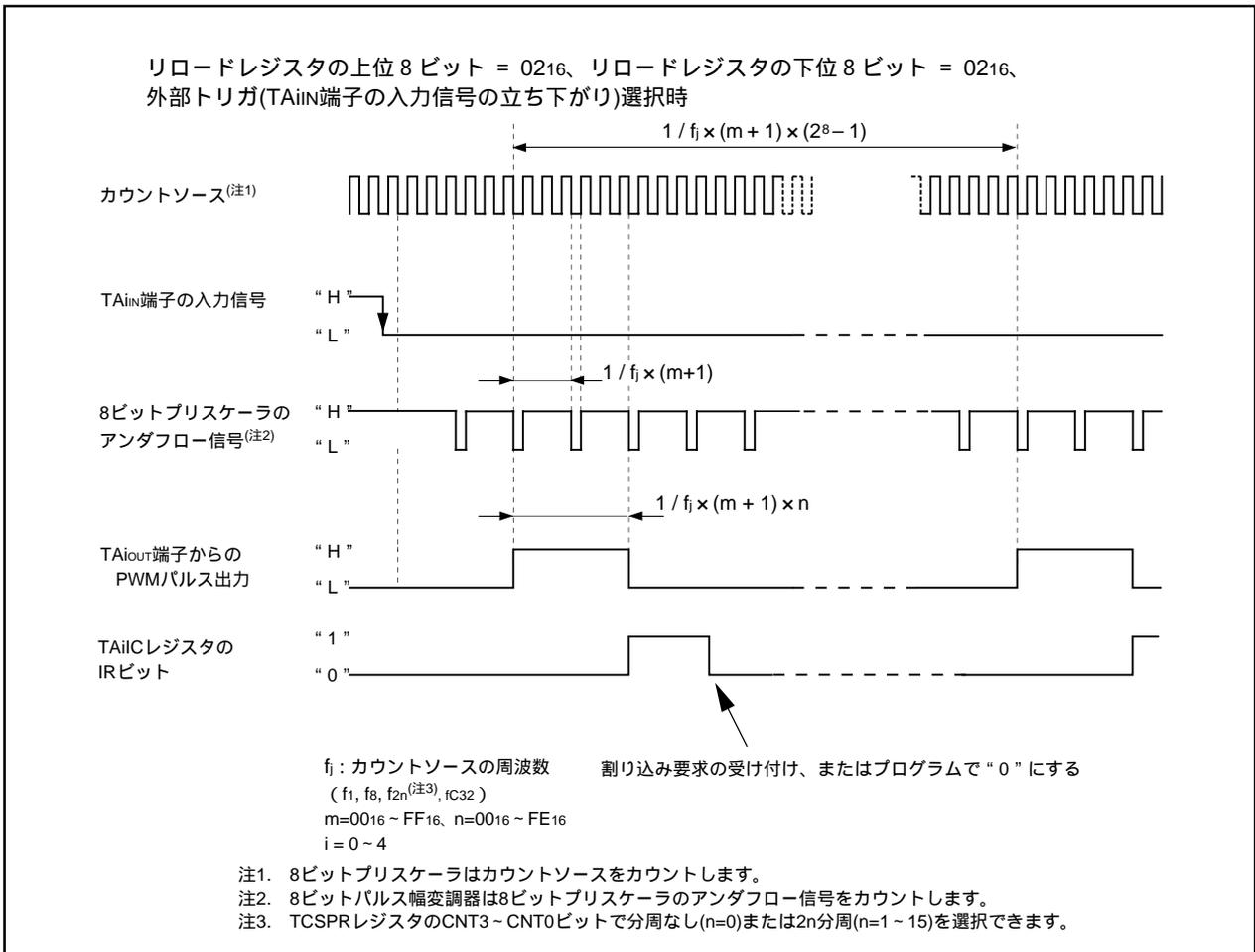


図14.15 8ビットパルス幅変調器の動作例

14.2 タイマB

図14.16にタイマBのブロック図を、図14.17～図14.19にタイマB関連レジスタを示します。

タイマBは、次の3種類のモードがあります。各モードは、TBiMRレジスタ(i=0～5)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 外部からのパルスまたは他のタイマのオーバフローとアンダフローをカウントするモード
- ・パルス周期測定モード、パルス幅測定モード 外部パルスの周期またはパルス幅を測定するモード

表14.8にTBiIN端子を使用する場合の設定を示します。

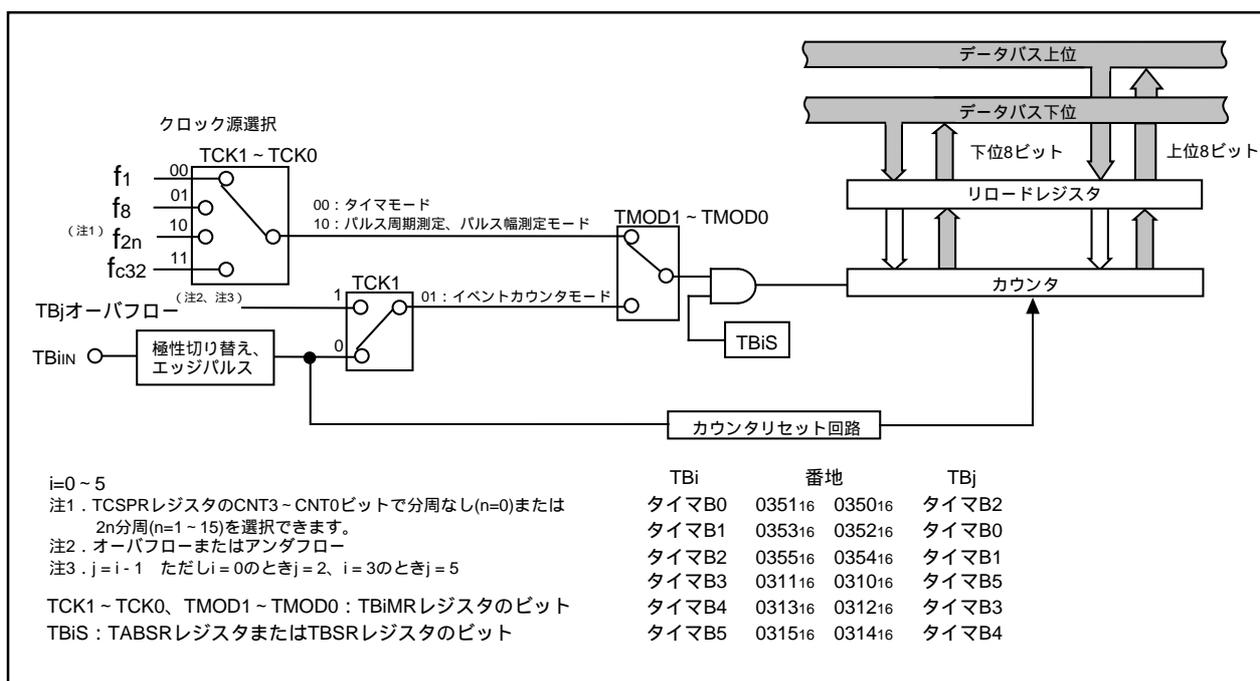


図14.16 タイマBブロック図

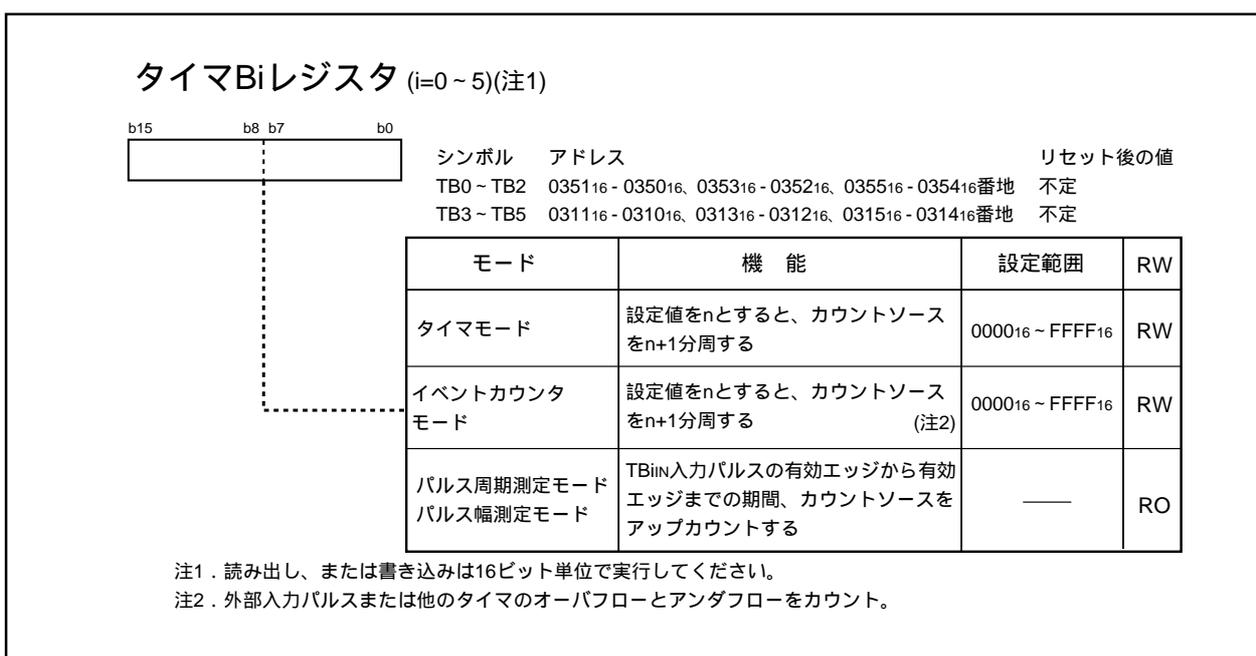


図14.17 TB0～TB5レジスタ

タイマBiモードレジスタ (i=0~5)

ビットシンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
シンボル アドレス リセット後の値 TB0MR ~ TB5MR 035B ₁₆ , 035C ₁₆ , 035D ₁₆ , 031B ₁₆ , 031C ₁₆ , 031D ₁₆ 番地 00XX 0000 ₂			
TMOD0	動作モード選択ビット	b1 b0 00: タイマモード 01: イベントカウンタモード 10: パルス周期測定モード、パルス幅測定モード 11: 設定しないでください	RW
TMOD1		RW	
MR0	—	動作モードによって機能が異なる (注1、2)	RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース 選択ビット	動作モードによって機能が異なる	RW
TCK1			RW

注1. MR2ビットは、TB0MR、TB3MRレジスタにおいて有効。

注2. TB1MR、TB2MR、TB4MR、TB5MRレジスタでは、MR2ビットには何も配置されていません。

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

カウント開始フラグ

ビットシンボル	ビット名	機能	RW
b7			
b6			
b5			
b4			
b3			
b2			
b1			
b0			
シンボル アドレス リセット後の値 TABSR 0340 ₁₆ 番地 00 ₁₆			
TA0S	タイマA0カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TA2S	タイマA2カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TA3S	タイマA3カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TA4S	タイマA4カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TB0S	タイマB0カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TB1S	タイマB1カウント 開始フラグ	0: カウント停止 1: カウント開始	RW
TB2S	タイマB2カウント 開始フラグ	0: カウント停止 1: カウント開始	RW

図14.18 TB0MR ~ TB5MRレジスタ、TABSRレジスタ

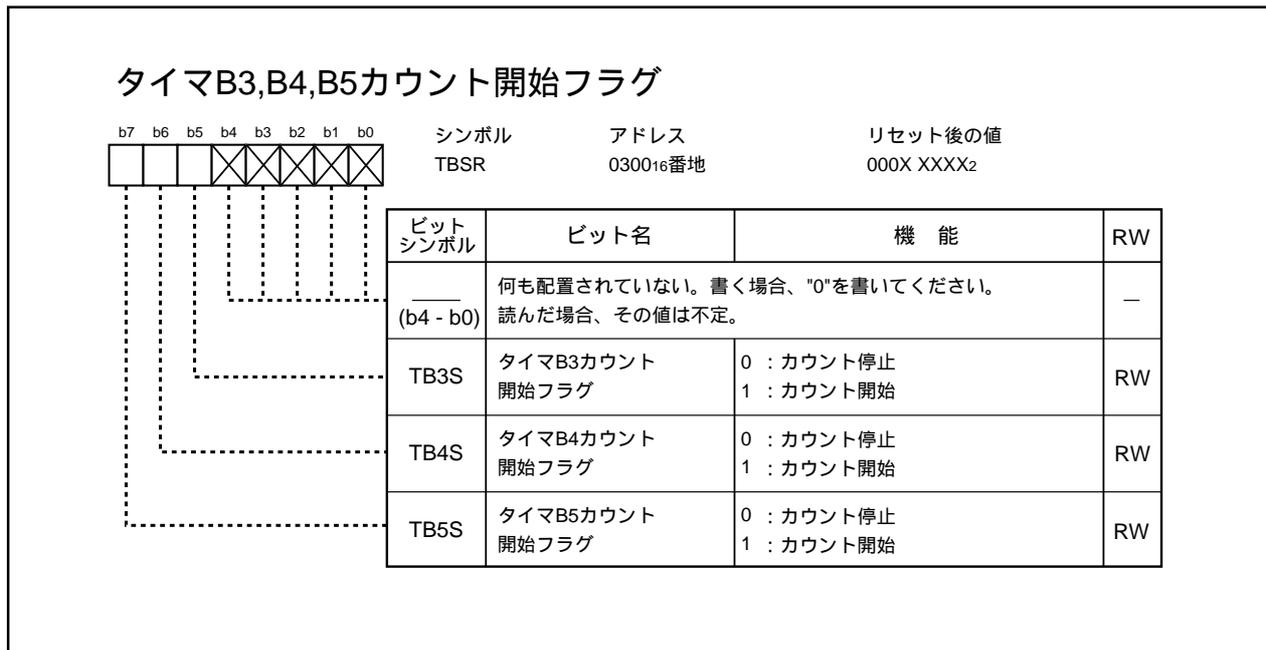


図14.19 TBSRレジスタ

表14.8 TB_iIN端子(i=0~5)を使用する場合の設定

ポート名	機能	ビットと設定値	
		PS1、PS3 ^(注1) レジスタ	PD7、PD9 ^(注1) レジスタ
P9 ₀	TB0IN	PS3_0=0	PD9_0=0
P9 ₁	TB1IN	PS3_1=0	PD9_1=0
P9 ₂	TB2IN	PS3_2=0	PD9_2=0
P9 ₃	TB3IN	PS3_3=0	PD9_3=0
P9 ₄	TB4IN	PS3_4=0	PD9_4=0
P7 ₁	TB5IN	PS1_1=0	PD7_1=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

14.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.9)。図14.20にタイマモード時のT*Bi*MRレジスタ(*i*=0~5)を示します。

表14.9 タイマモードの仕様

項目	仕様
カウントソース	f ₁ 、f ₈ 、f _{2n} (注1)、f _{C32}
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(<i>n</i> +1) <i>n</i> :T <i>Bi</i> レジスタ(<i>i</i> =0~5)設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSR、TBSRレジスタのT <i>Bi</i> Sビットを“1”(カウント開始)にする
カウント停止条件	T <i>Bi</i> Sビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
T <i>Bi</i> I端子機能	プログラマブル入出力ポート
タイマの読み出し	T <i>Bi</i> レジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中 T <i>Bi</i> レジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・カウント中 T <i>Bi</i> レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(*n*=0)または2*n*分周(*n*=1~15)を選択できます。

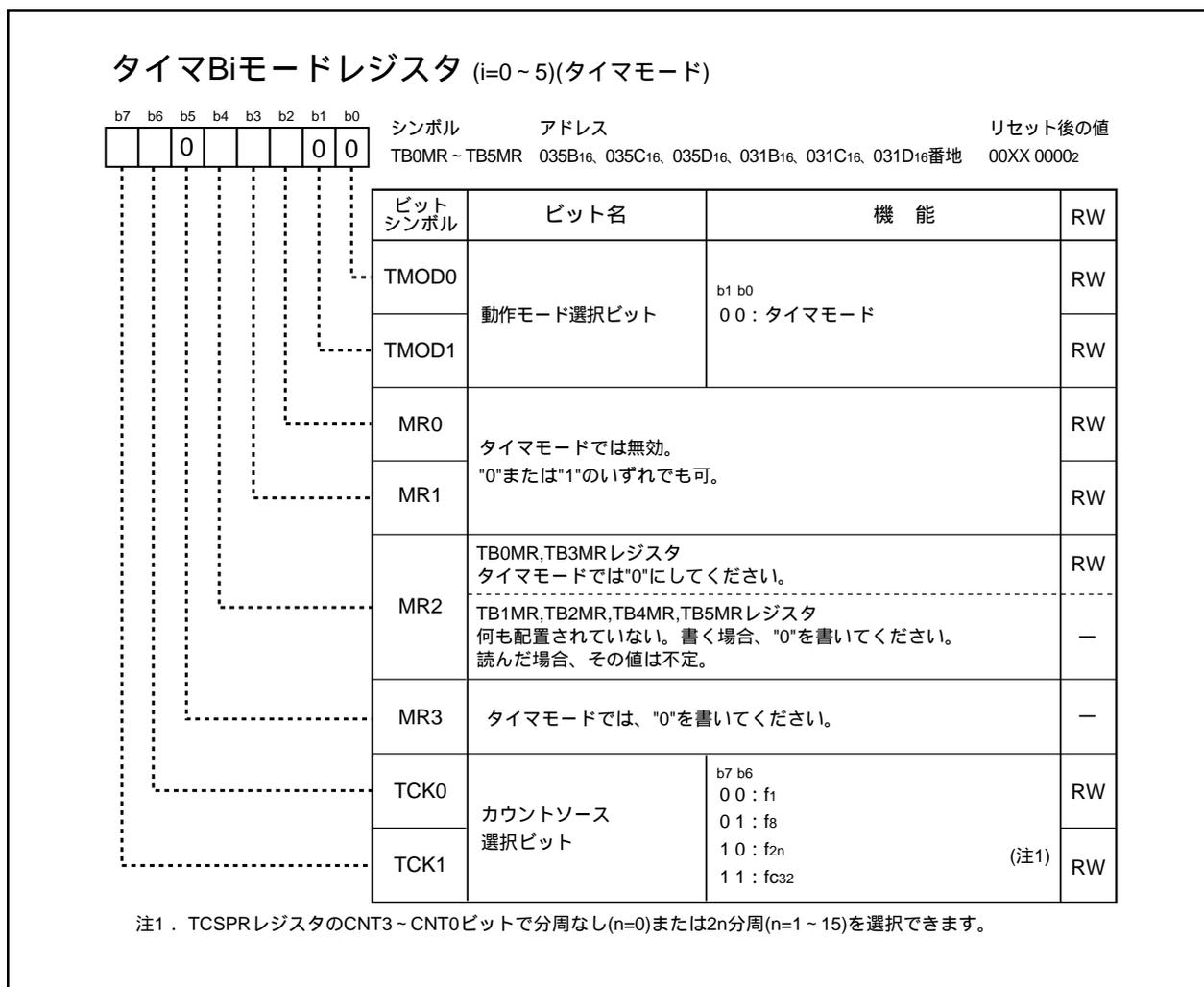


図14.20 タイマモード時のTB0MR~TB5MRレジスタ

14.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフローまたはアンダフローをカウントするモードです(表14.10)。図14.21にイベントカウンタモード時のTBiMRレジスタ(i=0~5)を示します。

表14.10 イベントカウンタモードの仕様

項目	仕様
カウントソース	<ul style="list-style-type: none"> ・ TBiIN端子(i=0~5)に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可 ・ TBjのオーバフローとアンダフロー (j=i-1 ただしi=0のときj=2、i=3のときj=5)
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:TBiレジスタ設定値 0000 ₁₆ ~FFFF ₁₆
カウント開始条件	TABSRレジスタ、TBSRレジスタのTBiSビットを“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート、カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	<ul style="list-style-type: none"> ・ カウント停止中 TBiレジスタに書くと、リロードレジスタとカウンタの両方に書かれる ・ カウント中 TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

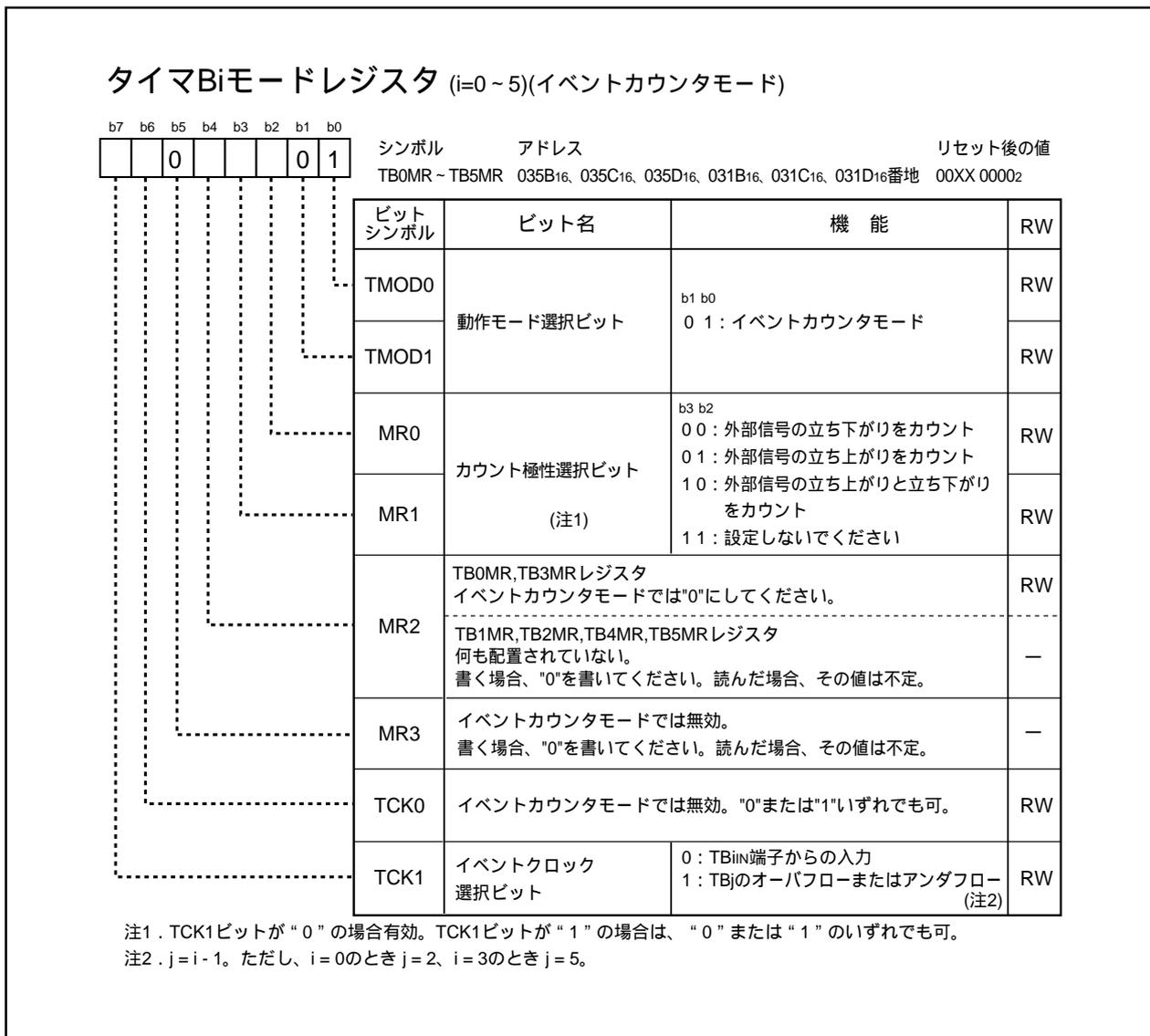


図14.21 イベントカウンタモード時のTB0MR ~ TB5MRレジスタ

14.2.3 パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表14.11)。図14.22にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ($i=0 \sim 5$)、図14.23にパルス周期測定時の動作例、図14.24にパルス幅測定時の動作例を示します。

表14.11 パルス周期測定モード、パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f8、f2n(注3)、fc32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	TABSRレジスタ、TBSRレジスタのTBiSビット($i=0 \sim 5$)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	・測定パルスの有効エッジ入力時(注1) ・オーバーフロー時(同時にTBiMRレジスタのMR3ビットが“1”(オーバーフローあり)になる。TBiSビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバーフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書くと“0”(オーバーフローなし)になる。)
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注2)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1. カウント開始後 1 回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後 2 回目の有効エッジ入力までは、TBiレジスタからの読み出し値は不定です。

注3. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または2n分周($n=1 \sim 15$)を選択できます。

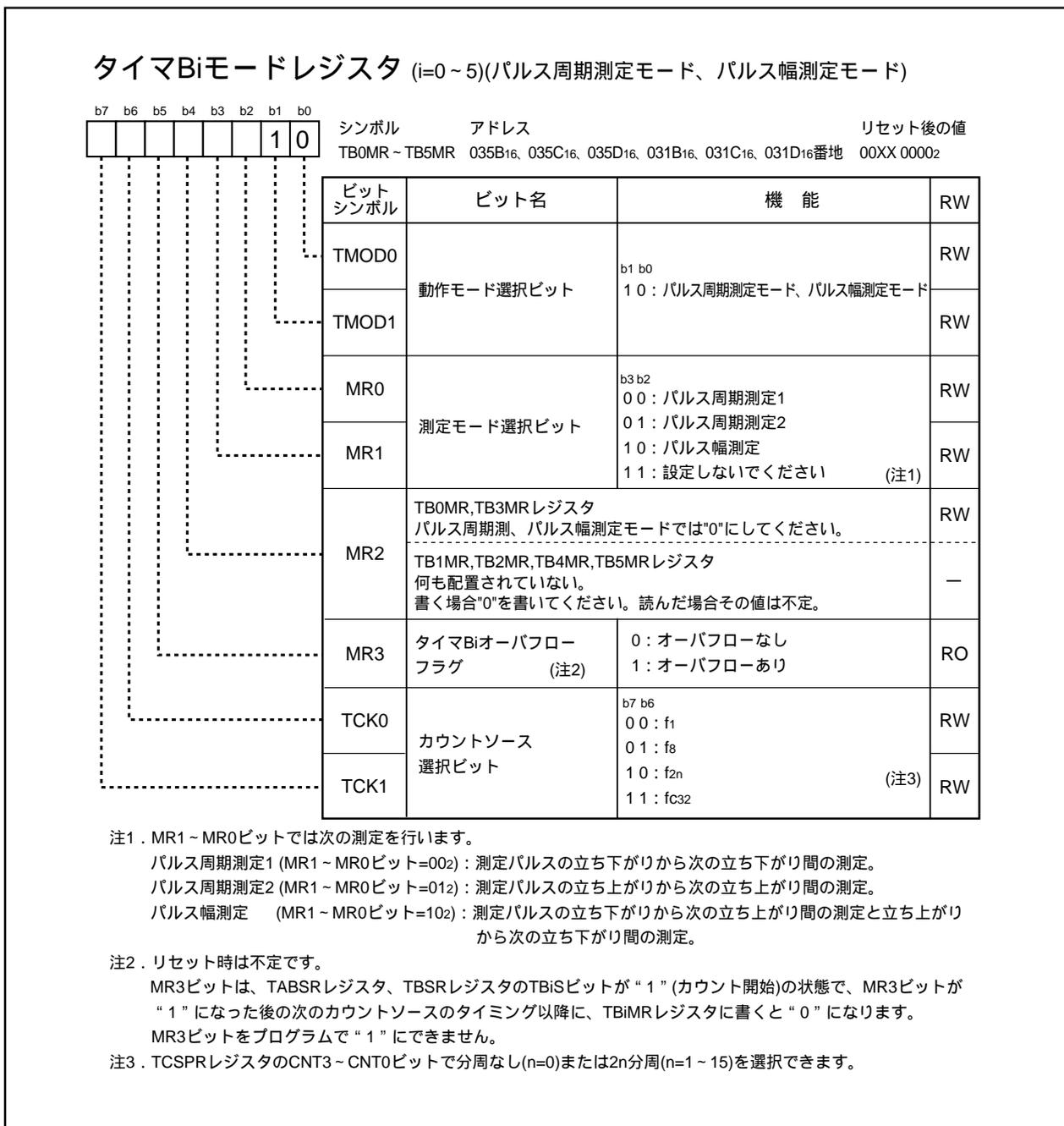


図14.22 パルス周期測定モード、パルス幅測定モード時のTB0MR ~ TB5MRレジスタ

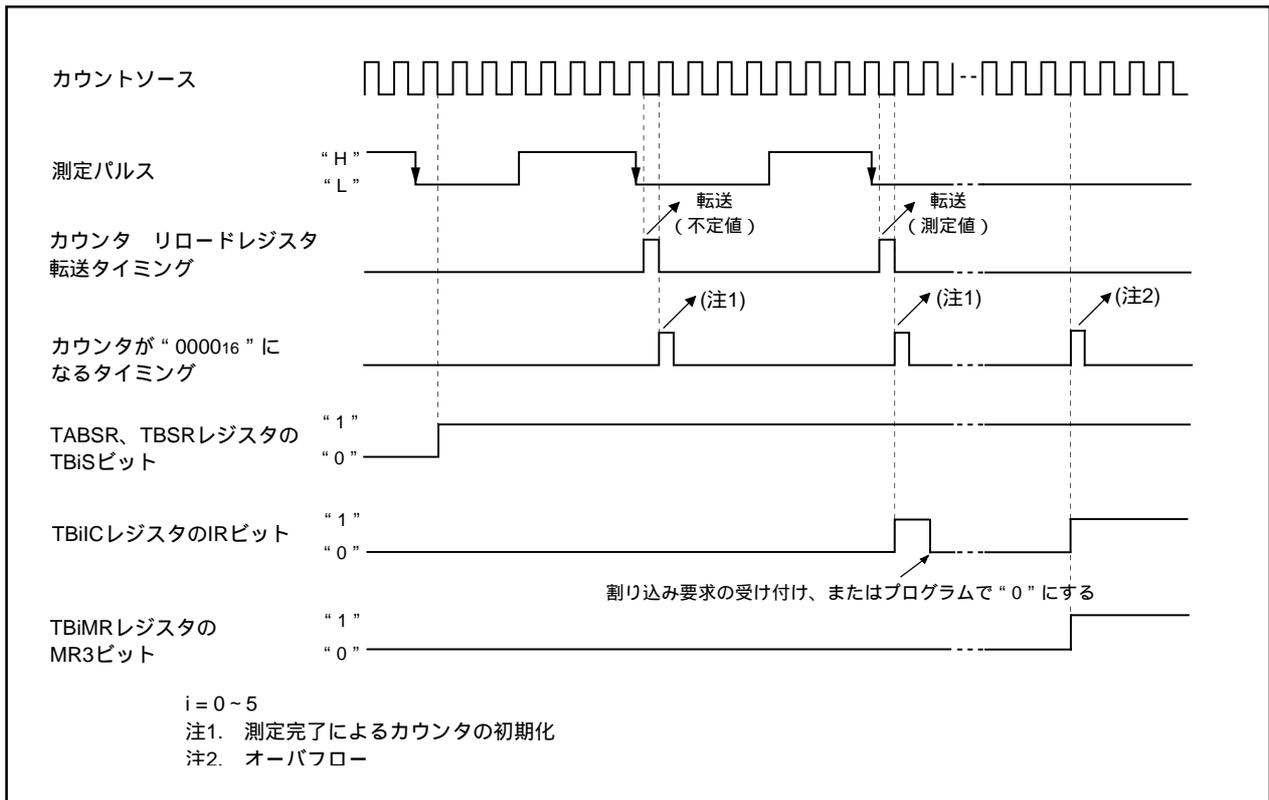


図14.23 パルス周期測定時の動作図

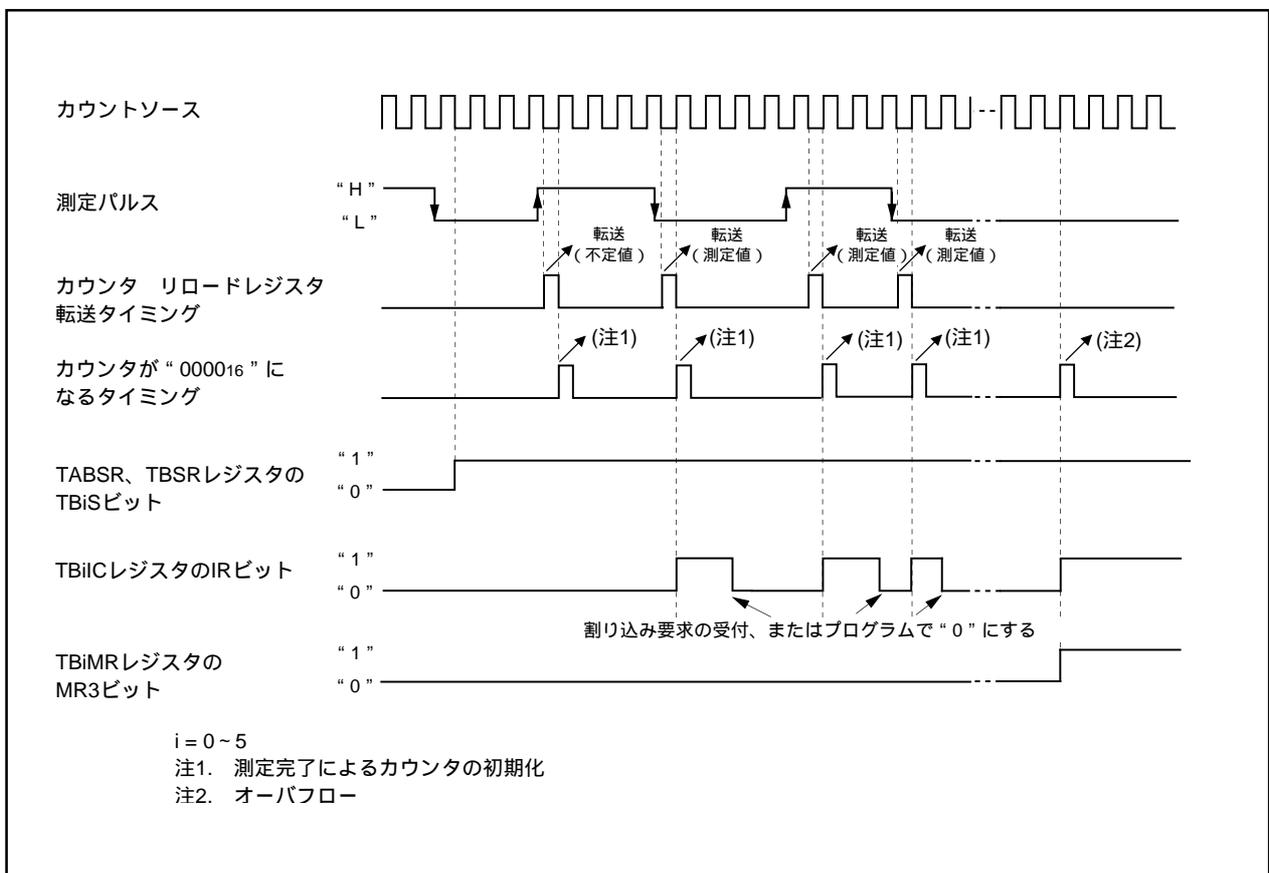


図14.24 パルス幅測定時の動作図

15. 三相モータ制御用タイマ機能

タイマA1、A2、A4、B2を使用して三相モータ駆動波形を出力できます。表15.1に三相モータ制御用タイマ機能の仕様を、表15.2に端子の設定を、図15.1にブロック図を示します。また、図15.2～図15.7に関連レジスタを示します。

表15.1 三相モータ制御用タイマ機能の仕様

項目	仕様
三相波形出力端子	6本(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})
強制遮断入力(注1)	NMI端子に“L”を入力
使用タイマ	タイマA4、A1、A2(ワンショットタイマモードで使用) タイマA4：U、 \bar{U} 相波形制御 タイマA1：V、 \bar{V} 相波形制御 タイマA2：W、 \bar{W} 相波形制御 タイマB2(タイマモードで使用) 搬送波周期制御 短絡防止タイマ(8ビットタイマ3本、リロードレジスタ共用) 短絡防止時間制御
出力波形	三角波変調、鋸波変調 ・1周期すべて“H”または“L”出力可能 ・正相レベルと逆相レベルを独立設定可能
搬送波周期	三角波変調：カウントソース $\times (m+1) \times 2$ 鋸波変調：カウントソース $\times (m+1)$ m：TB2レジスタ設定値。000016～FFFF16 カウントソース：f1、f8、f2n(注2)、fc32
三相PWM出力幅	三角波変調：カウントソース $\times n \times 2$ 鋸波変調：カウントソース $\times n$ n：TA4、TA1、TA2(INVC1レジスタのINV11ビットが“1”のときはTA4、TA41、TA1、TA11、TA2、TA21)レジスタ設定値 000116～FFFF16 カウントソース：f1、f8、f2n(注2)、fc32
短絡防止時間(幅)	カウントソース $\times p$ 、または短絡防止時間なし p：DTTレジスタ設定値 0116～FF16 カウントソース：f1、またはf1の2分周
アクティブレベル	“H”または“L”選択可能
正逆同時アクティブ禁止機能	正逆同時アクティブ禁止機能あり、正逆同時アクティブ検出機能あり
割り込み頻度	タイマB2割り込みは、搬送波周期ごと～搬送波周期15回ごと選択

注1．NMI入力による強制遮断はINVC0レジスタのINV02ビットが“1”（三相モータ制御用タイマ機能）、かつINV03ビットが“1”（三相モータ制御用タイマ出力許可）のとき有効です。

注2．TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

表15.2 三相モータ制御用タイマ機能を使用する場合の端子の設定

端子	ビットと設定値		
	PS1、PS2レジスタ(注1)	PSL1、PSL2レジスタ	PSCレジスタ
P72/V	PS1_2= 1	PSL1_2= 0	PSC_2= 1
P73/ \bar{V}	PS1_3= 1	PSL1_3= 1	PSC_3= 0
P74/W	PS1_4= 1	PSL1_4= 1	PSC_4= 0
P75/ \bar{W}	PS1_5= 1	PSL1_5= 0	-
P80/U	PS2_0= 1	PSL2_0= 1	-
P81/ \bar{U}	PS2_1= 1	PSL2_1= 0	-

注1．INV02ビットを“1”にした後で、PS1、PS2レジスタのPS1_2～PS1_5、PS2_0～PS2_1ビットを“1”にしてください。

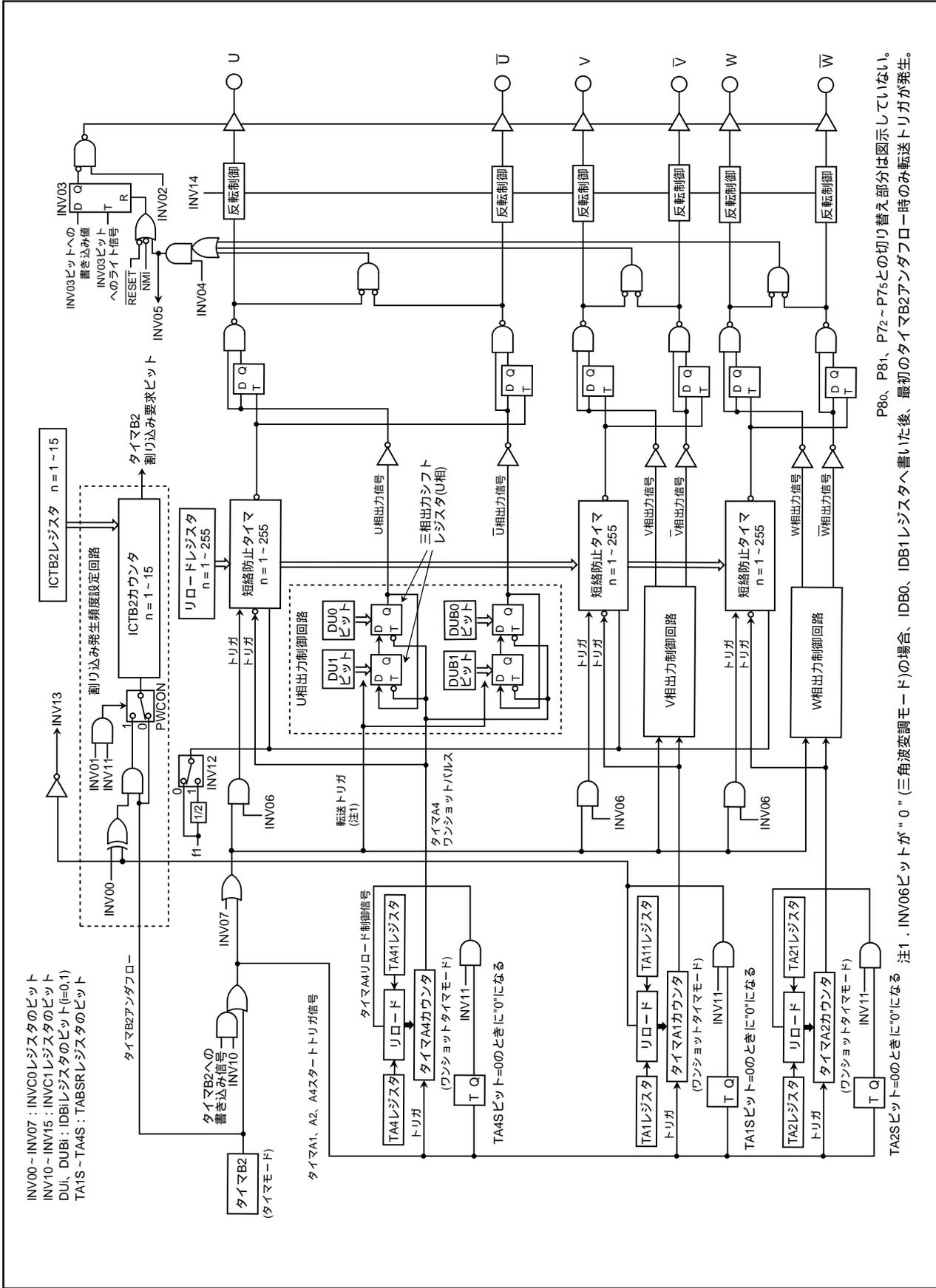


図15.1 三相モータ制御用タイマ機能のブロック図

三相PWM制御レジスタ0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

シンボル
INVC0

アドレス
0308₁₆番地

リセット後の値
00₁₆

ビット シンボル	ビット名	機 能	RW
INV00	割り込み有効出力 極性選択ビット	0: タイマA1リロード制御信号の立ち上がり でICTB2カウンタのカウンタを1進める 1: タイマA1リロード制御信号の立ち下がり でICTB2カウンタのカウンタを1進める (注3)	RW
INV01	割り込み有効出力 指定ビット (注2)	0: タイマB2アンダフローでICTB2カウンタ のカウンタを1進める (注3) 1: INV00ビットで選択	RW
INV02	モード選択ビット (注4、5)	0: 三相モータ制御用タイマ機能を使用しない 1: 三相モータ制御用タイマ機能を使用する (注6)	RW
INV03	出力制御ビット	0: 三相モータ制御用タイマ出力禁止 (注6) 1: 三相モータ制御用タイマ出力許可 (注7)	RW
INV04	正逆相同時アクティブ 出力禁止機能許可ビット	0: 同時アクティブ出力許可 1: 同時アクティブ出力禁止	RW
INV05	正逆相同時アクティブ 出力検出フラグ	0: 未検出 1: 検出 (注8)	RW
INV06	変調モード選択ビット (注9)	0: 三角波変調モード 1: 鋸波変調モード (注10)	RW
INV07	ソフトウェアトリガ 選択ビット	このビットに"1"を書くと転送トリガが 発生する。INV06ビットが"1"の場合、短絡 防止タイマへのトリガも発生する。 読んだ場合、その値は"0"。	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを"1" (書き込み許可)にした後で書き換えてください。また、INV00～INV02ビット、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。

注2. このビットに"1"を書く場合は、ICTB2レジスタに値を設定してから書いてください。

注3. INVC1レジスタのINV11ビットが"1" (三相モード1)のとき有効です。"0" (三相モード0)のときは、INV00、INV01ビットに関係なく、タイマB2アンダフローごとにICTB2カウンタのカウンタを1進めます。INV01ビットを"1"にする場合、タイマA1カウント開始フラグを最初のタイマB2アンダフローまでに"1"にしてください。INV00ビットを"1"にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

注4. INV02ビットを"1"にすると、短絡防止タイマやU、V、W相出力制御回路、ICTB2カウンタが動作します。

注5. INV02ビットを"1"にした後で端子を設定してください。端子の設定は「表15.2」を参照してください。

注6. U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W} 端子(端子を共用している他の出力機能に設定している場合も含む)は、INV02ビットを"1"にし、かつINV03ビットを"0"にすると、すべてハイインピーダンスになります。

注7. INV03ビットは次のとき"0"になります。

- ・リセット
- ・INV04ビットが"1"のとき、同時アクティブになった場合
- ・プログラムで"0"にしたとき
- ・NMI端子入力が"H"から"L"に変化したとき

注8. プログラムで"1"は書けません。このビットを"0"にする場合は、INV04ビットに"0"を書いてください。

注9. INV06ビットの影響は下表のとおりです。

項 目	INV06 = 0の場合	INV06 = 1の場合
モード	三角波変調モード	鋸波変調モード
IDB0レジスタ、IDB1レジスタから三相出力シフトレジスタへの転送タイミング	IDB0レジスタ、IDB1レジスタに書いた後、転送トリガに同期して1回のみ転送	転送トリガごとに転送
INV16=0の場合の短絡防止タイマトリガタイミング	タイマA1、A2、A4のワンショットパルスの立ち下がりに同期	タイマA1、A2、A4のワンショットパルスの立ち下がり、転送トリガに同期
INV13ビット	INV11 = 1かつINV06 = 0のとき有効	無効

転送トリガ: タイマB2アンダフローとINV07ビットへの書き込み、またはINV10ビットが"1"のときのTB2レジスタへの書き込み

注10. INV06ビットが"1"の場合、INVC1レジスタのINV11ビットを"0" (三相モード0)、TB2SCレジスタのPWCONビットを"0" (タイマB2のアンダフローでタイマB2リロード)にしてください。

図15.2 INVC0レジスタ

三相PWM制御レジスタ1 (注1)

シンボル
INVC1

アドレス
0309₁₆番地

リセット後の値
00₁₆

ビットシンボル	ビット名	機能	RW
INV10	タイマA1、A2、A4スタートトリガ選択ビット	0: タイマB2アンダフロー 1: タイマB2アンダフローと、TB2レジスタへの書き込み	RW
INV11	タイマA1-1、A2-1、A4-1制御ビット (注2)	0: 三相モード0 (注3) 1: 三相モード1	RW
INV12	短絡防止タイマカウンソース選択ビット	0: f ₁ 1: f ₁ の2分周	RW
INV13	搬送状態検出フラグ (注4)	0: タイマA1リロード制御信号が"0" 1: タイマA1リロード制御信号が"1"	RO
INV14	出力極性制御ビット	0: 出力波形"L"アクティブ 1: 出力波形"H"アクティブ	RW
INV15	短絡防止時間無効ビット	0: 短絡防止時間有効 1: 短絡防止時間無効	RW
INV16	短絡防止時間タイマトリガ選択ビット	0: タイマ(A4、A1、A2)のワンショットパルスの立ち下がり (注5) 1: 三相出力シフトレジスタ(U、V、W相)出力の立ち上がり	RW
— (b7)	予約ビット	"0"にしてください	RW

注1. このレジスタはPRCRレジスタのPRC1ビットを"1" (書き込み許可)にした後で書き換えてください。また、このレジスタはタイマA1、A2、A4、B2が停止中に書き換えてください。

注2. INV11ビットの影響は下表のとおりです。

項 目	INV11ビットが"0"の場合	INV11ビットが"1"の場合
モード	三相モード0	三相モード1
TA11、TA21、TA41レジスタ	使用しない	使用する
INVC0レジスタのINV00ビット、INV01ビット	無効。INV00、INV01ビットの値に関係なく、	有効
INV13ビット	無効	INV11 = 1かつINV06 = 0のとき有効

注3. INVC0レジスタのINV06ビットが"1" (鋸波変調モード)の場合は、"0" (三相モード0)にしてください。また、INV11ビットが"0"の場合、TB2SCレジスタのPWCONビットを"0" (タイマB2のアンダフローでタイマB2リロード)にしてください。

注4. INV13ビットはINV06ビットが"0" (三角波変調モード)かつINV11ビットが"1"のときのみ有効です。

注5. 次の条件がすべて当てはまる場合は、INV16ビットを"1"にしてください。

- ・ INV15ビットが"0"
- ・ INVC0レジスタのINV03ビットが"1" (三相モータ制御用タイマ出力許可)のときは、常にDij(i=U、VまたはW、j=0~1)ビットとDiBjビットの値が異なる(短絡防止時間以外の期間、正相と逆相は常に逆のレベルを出力する) また、上の条件のいずれもあてはまらない場合は、INV16ビットを"0"にしてください。

図15.3 INVC1レジスタ

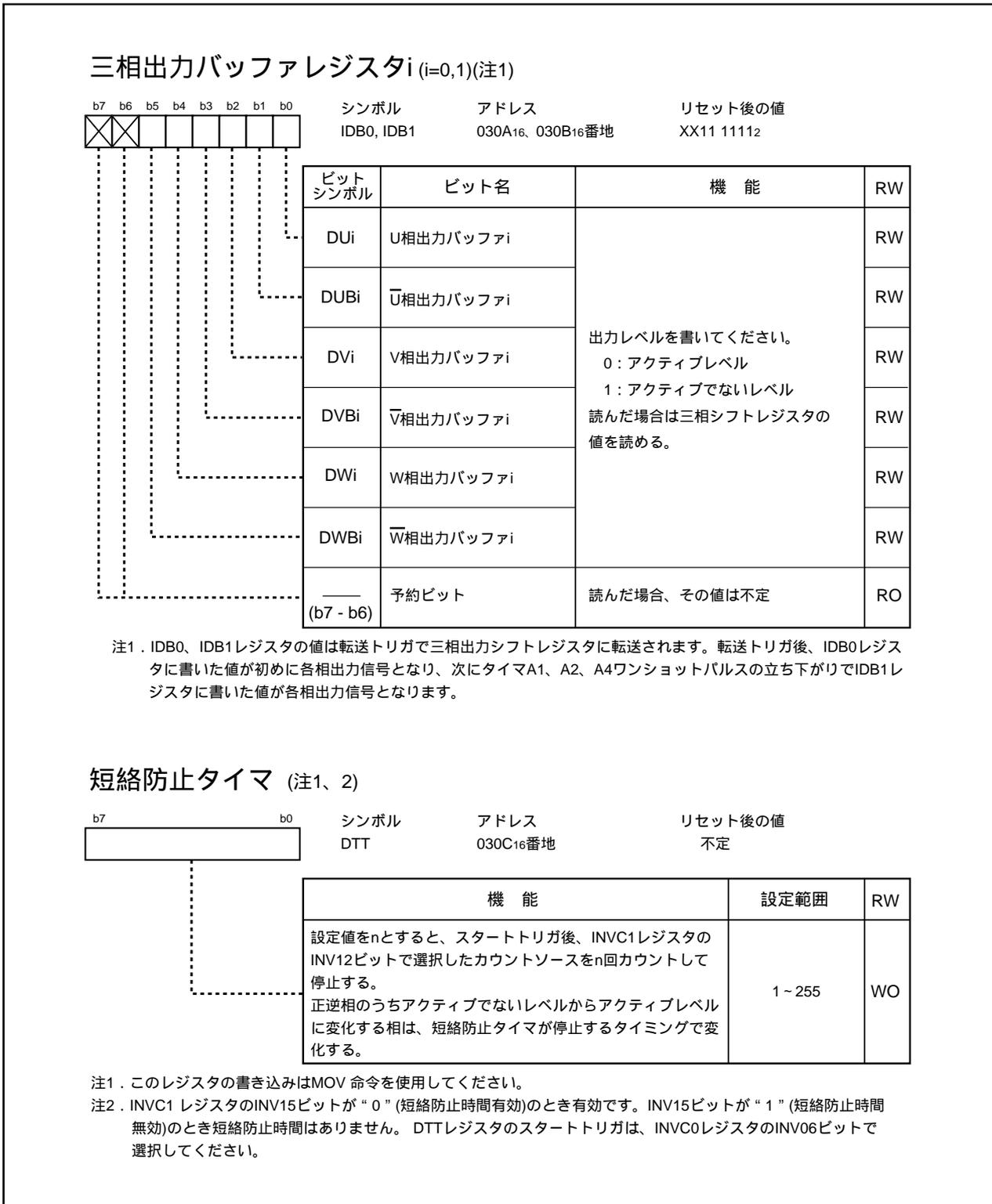


図15.4 IDB0、IDB1レジスタ、DTTレジスタ

タイマB2割り込み発生頻度設定カウンタ (注1、2、3)

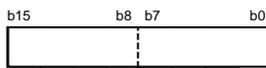


シンボル	アドレス	リセット後の値
ICTB2	030D ₁₆ 番地	不定

機能	設定範囲	RW
INV01ビットが"0"(タイマB2アンダフローでICTB2カウンタのカウンタを1進める)の場合、設定値をnとすると、n回目のタイマB2アンダフローごとにタイマB2割り込み要求が発生する。 INV01ビットが"1"(ICTB2カウンタカウントタイミングはINV00ビットで選択)の場合、設定値をnとすると、INV00ビットで選択した条件に合うタイマB2アンダフローがn回発生することにタイマB2割り込み要求が発生する。	1 ~ 15	WO
何も配置されていない。書く場合、"0"を書いてください。	—	—

- 注1. ICTB2レジスタへは、MOV命令を使用して書いてください。
- 注2. INVC0レジスタのINV01ビットが"1"の場合は、TABSRSレジスタのTB2Sビットが"0"(タイマB2カウント停止)のときに書いてください。INV01ビットが"0"の場合は、TB2Sビットが"1"(タイマB2カウント開始)でも書けますが、タイマB2のアンダフローのタイミングで書かないでください。
- 注3. INVC0レジスタのINV00ビットを"1"にする場合、ICTB2カウンタの設定値をnとすると、最初の割り込みはn-1回目のタイマB2アンダフローで発生し、2回目以降の割り込みはn回目のタイマB2アンダフローごとに発生します。

タイマAi,Ai-1レジスタ (i=1, 2, 4) (注1、2、3、4、5、6)

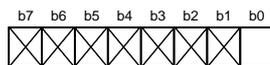


シンボル	アドレス	リセット後の値
TA1, TA2, TA4	0349 ₁₆ - 0348 ₁₆ , 034B ₁₆ - 034A ₁₆ , 034F ₁₆ - 034E ₁₆ 番地	不定
TA11, TA21, TA41	0303 ₁₆ - 0302 ₁₆ , 0305 ₁₆ - 0304 ₁₆ , 0307 ₁₆ - 0306 ₁₆ 番地	不定

機能	設定範囲	RW
設定値をnとすると、スタートトリガ後、カウントソースをn回カウントして停止する。タイマA1、A2、A4が停止するタイミングで正逆相が変化する。	0000 ₁₆ ~ FFFF ₁₆	WO

- 注1. 読み出し、書き込みは16ビット単位で行ってください。
- 注2. これらのレジスタに"0000₁₆"を書いた場合、カウンタは動作せず、タイマAi割り込みは発生しません。
- 注3. これらのレジスタへの書き込みにはMOV命令を使用してください。
- 注4. INVC1レジスタのINV15ビットが"0"(短絡防止時間有効)の場合、正逆相のうちアクティブでないレベルからアクティブレベルに変化する相は、短絡防止タイマが停止するタイミングで変化します。
- 注5. INVC1レジスタのINV11ビットが"0"(三相モード0)の場合、タイマAiスタートトリガによってTAiレジスタの値がリロードレジスタに転送されます。
INV11ビットが"1"(三相モード1)の場合、タイマAiスタートトリガによってまずTAi1レジスタの値が、次のタイマAiスタートトリガ時にTAiレジスタの値がリロードレジスタに転送されます。以降、TAi1レジスタの値とTAiレジスタの値が交互にリロードレジスタに転送されます。
- 注6. タイマB2アンダフローのタイミングで、これらのレジスタへ書かないでください。

タイマB2特殊モードレジスタ



シンボル	アドレス	リセット後の値
TB2SC	035E ₁₆ 番地	XXXX XXX0 ₂

ビットシンボル	ビット名	機能	RW
PWCON	タイマB2リロードタイミング切替ビット (注1)	0: タイマB2アンダフロー 1: 奇数回目のタイマA出力	RW
— (b7 - b1)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。		—

- 注1. INV11ビットが"0"(三相モード0)、またはINV06ビットが"1"(鋸波変調モード)の場合は、"0"にしてください。

図15.5 ICTB2レジスタ、TA1、TA2、TA4、TA11、TA21、TA41レジスタ、TB2SCレジスタ

タイマB2レジスタ (注1)

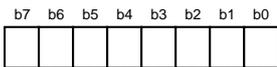


シンボル アドレス リセット後の値
 TB2 0355₁₆ - 0354₁₆番地 不定

機 能	設定範囲	RW
設定値をnとすると、カウントソースをn+1分周する。 アンダフローごとに、タイマA1、A2、A4をスタートさせる。	0000 ₁₆ ~ FFFF ₁₆	RW

注1. 読み出し、書き込みは16ビット単位で実行してください。

トリガ選択レジスタ

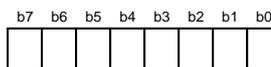


シンボル アドレス リセット後の値
 TRGSR 0343₁₆番地 00₁₆

ビット シンボル	ビット名	機 能	RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	V相出力制御回路を使用する場合は、"012" (TB2のアンダフロー)にしてください。	RW
TA1TGH			RW
TA2TGL	タイマA2イベント/ トリガ選択ビット	W相出力制御回路を使用する場合は、"012" (TB2のアンダフロー)にしてください。	RW
TA2TGH			RW
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0 : TA3IN端子の入力を選択 0 1 : TB2のオーバーフローを選択 (注1) 1 0 : TA2のオーバーフローを選択 (注1) 1 1 : TA4のオーバーフローを選択 (注1)	RW
TA3TGH			RW
TA4TGL			タイマA4イベント/ トリガ選択ビット
TA4TGH	RW		

注1. オーバフローまたはアンダフロー

カウント開始フラグ



シンボル アドレス リセット後の値
 TABSR 0340₁₆番地 00₁₆

ビット シンボル	ビット名	機 能	RW
TA0S	タイマA0カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA1S	タイマA1カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA2S	タイマA2カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA3S	タイマA3カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TA4S	タイマA4カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB0S	タイマB0カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB1S	タイマB1カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW
TB2S	タイマB2カウント 開始フラグ	0 : カウント停止 1 : カウント開始	RW

図15.6 三相モータ制御用タイマ機能時のTB2、TRGSR、TABSRレジスタ

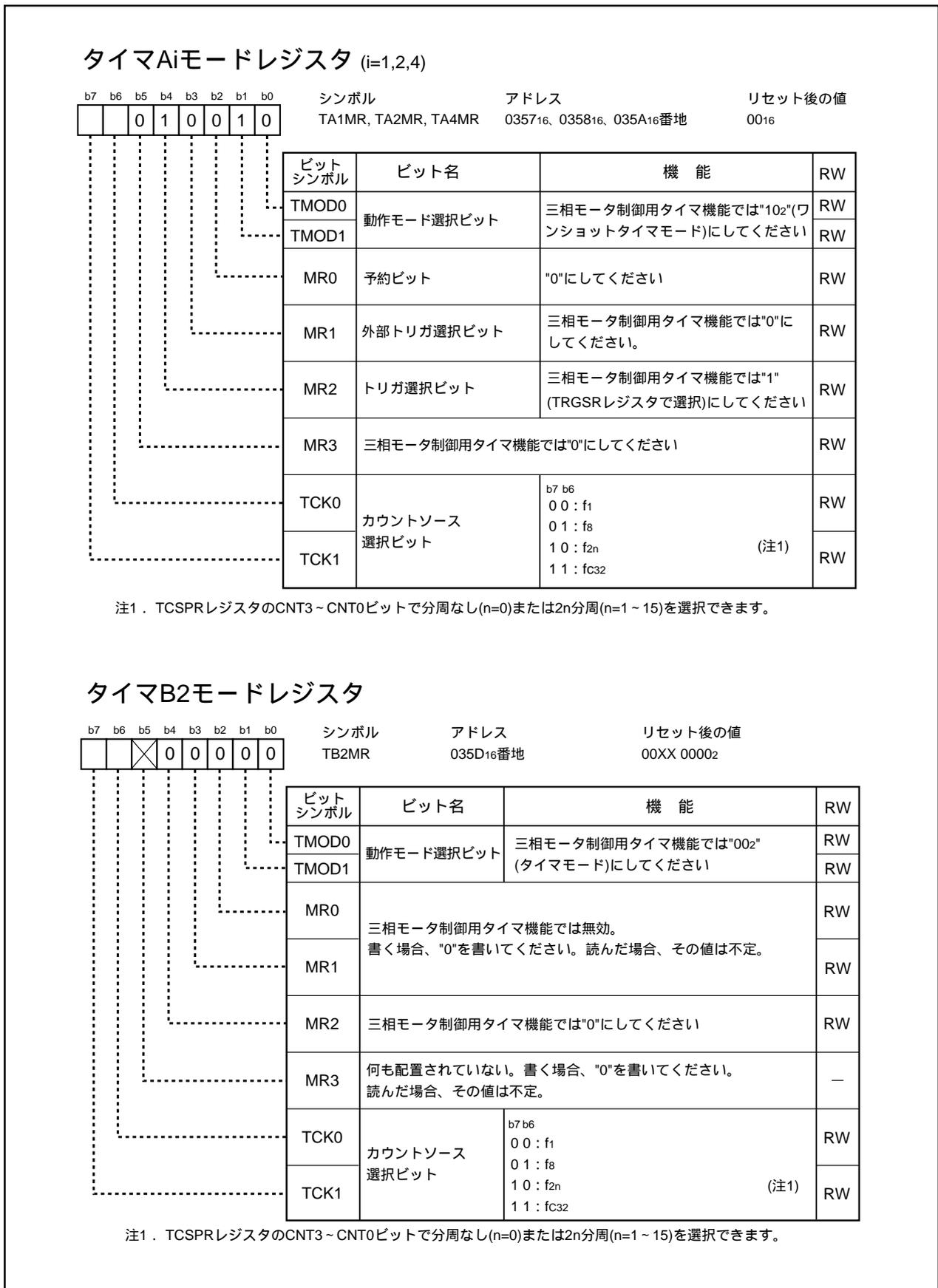


図15.7 三相モータ制御用タイマ機能時のTA1MR、TA2MR、TA4MRレジスタ、TB2MRレジスタ

INVC0レジスタのINV02ビットを“1”にすると、三相モータ制御用タイマ機能になります。この機能では、タイマB2を搬送波制御に、タイマA4、A1、A2を三相PWM出力(U、 \bar{U} 、V、 \bar{V} 、W、 \bar{W})の制御に使用します。短絡防止時間は短絡防止タイマで制御します。

図15.8に三角波変調波形例を、図15.9に鋸波変調波形例を示します。

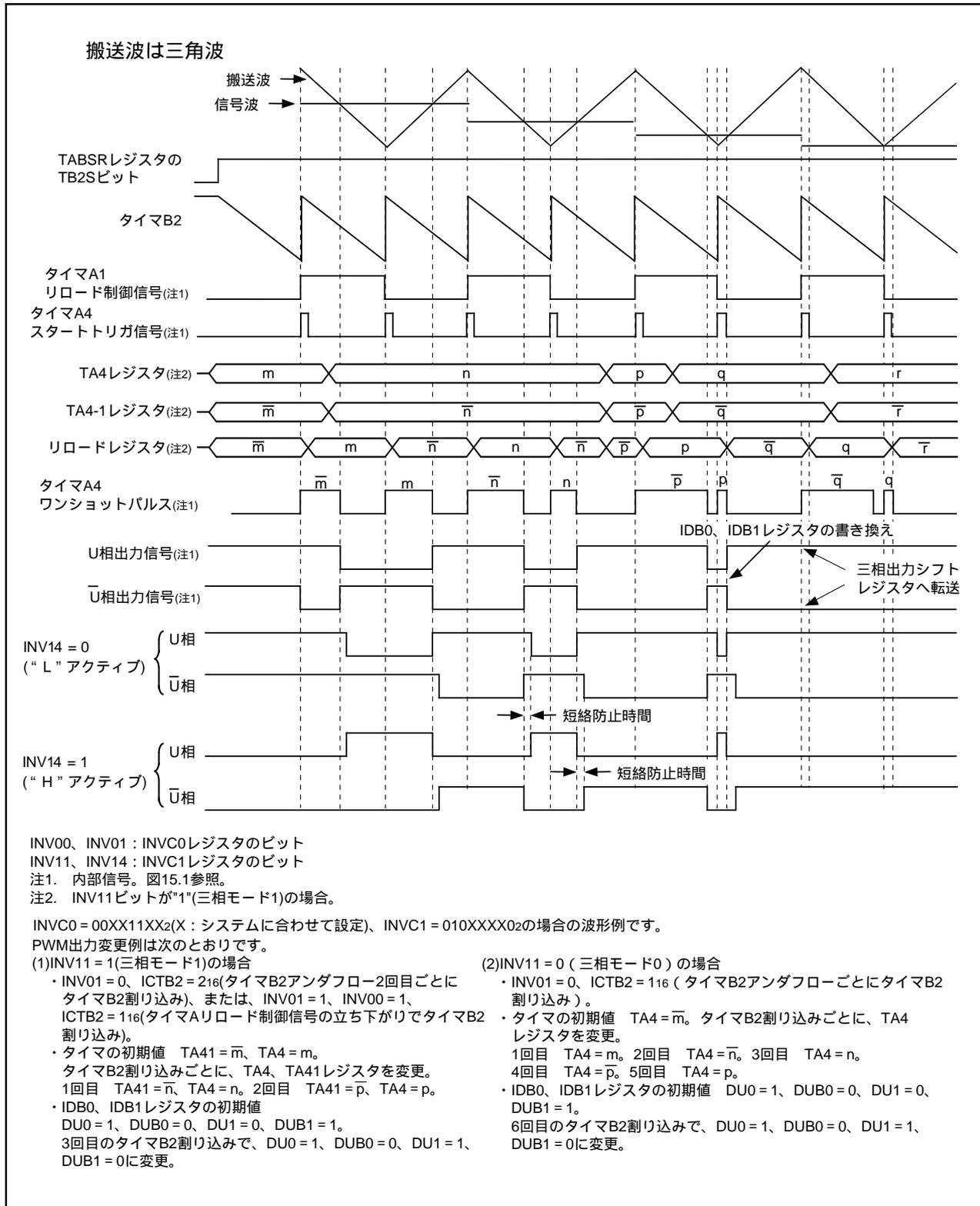


図15.8 三角波変調動作例

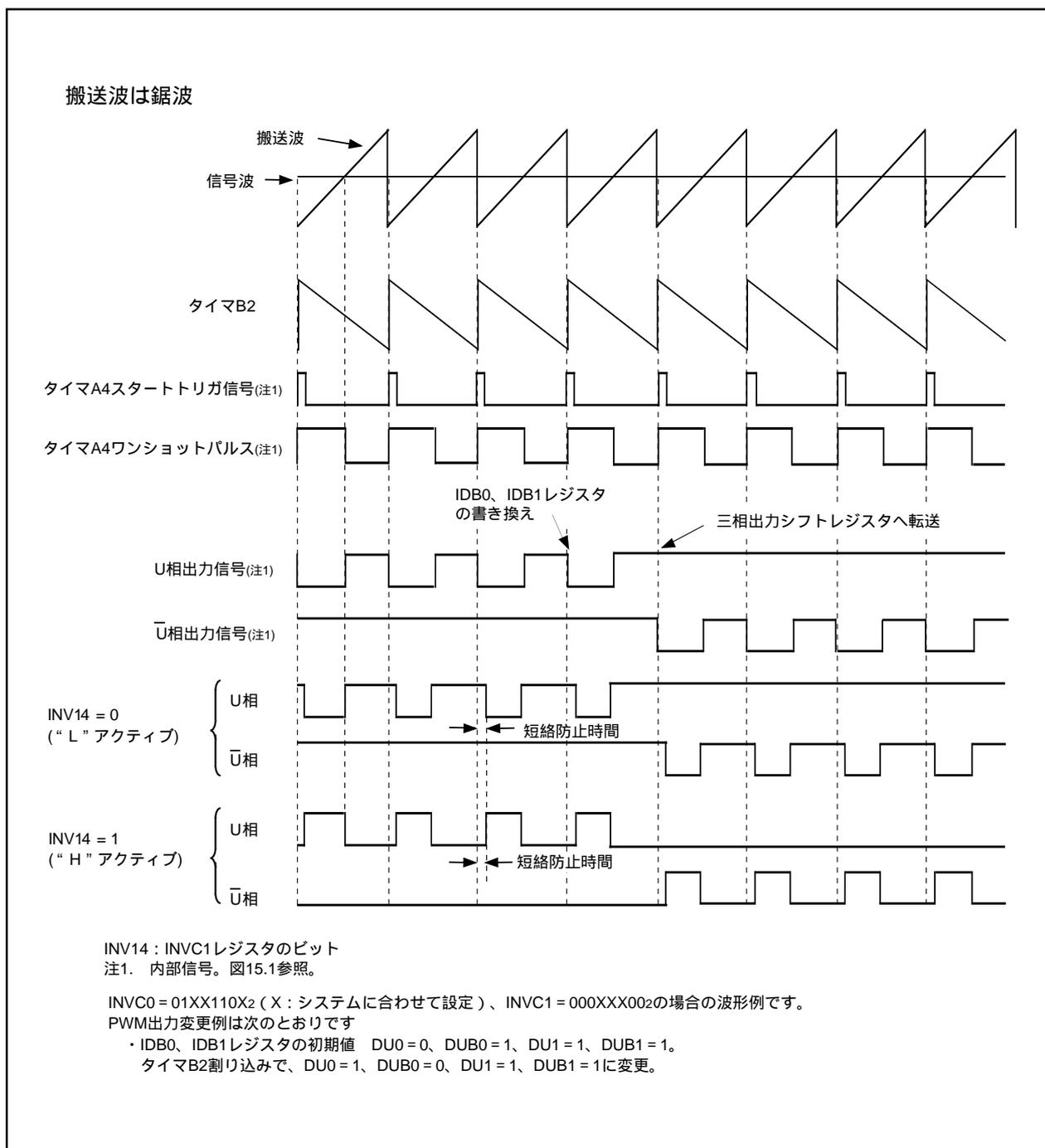


図15.9 鋸波変調動作例

16. シリアルI/O

シリアルI/Oは5チャンネル(UART0~UART4)あります。

UARTi(i=0~4)はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図16.1にUARTiのブロック図を示します。

UARTiには、次のモードがあります。

- ・クロック同期形シリアルI/Oモード
- ・クロック非同期形シリアルI/Oモード (UARTモード)
- ・特殊モード1(I²Cモード)
- ・特殊モード2
- ・特殊モード3(クロック分周同期化機能、GCIモード)
- ・特殊モード4(バス衝突検出機能、IEモード)
- ・特殊モード5(SIMモード)

図16.2~図16.9に、UARTi関連のレジスタを示します。

レジスタの設定、端子の設定はモードごとの表を参照してください。

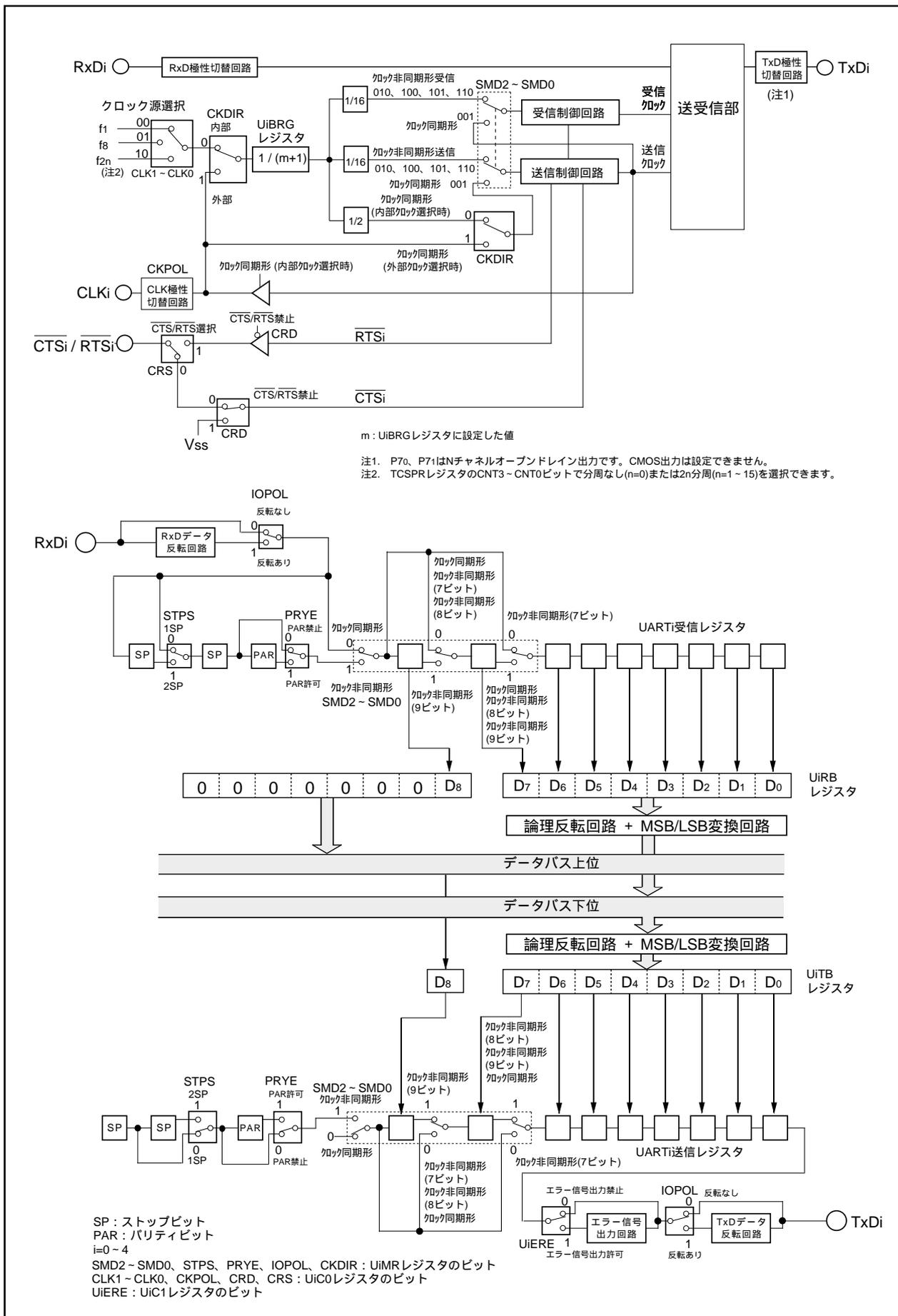


図16.1 UARTiブロック図

UART_i送信バッファレジスタ (i=0~4) (注1)

シンボル	アドレス	リセット後の値
U0TB ~ U2TB	036B ₁₆ - 036A ₁₆ , 02EB ₁₆ - 02EA ₁₆ , 033B ₁₆ - 033A ₁₆ 番地	不定
U3TB, U4TB	032B ₁₆ - 032A ₁₆ , 02FB ₁₆ - 02FA ₁₆ 番地	不定

ビットシンボル	機能	RW
(b7 - b0)	送信データ(D7 ~ D0)	WO
(b8)	送信データ(D8)	WO
(b15 - b9)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。	—

注1. このレジスタはMOV命令を使用して書いてください。

UART_i受信バッファレジスタ (i=0~4)

シンボル	アドレス	リセット後の値
U0RB ~ U2RB	036F ₁₆ - 036E ₁₆ , 02EF ₁₆ - 02EE ₁₆ , 033F ₁₆ - 033E ₁₆ 番地	不定
U3RB, U4RB	032F ₁₆ - 032E ₁₆ , 02FF ₁₆ - 02FE ₁₆ 番地	不定

ビットシンボル	ビット名	機能	RW
(b7 - b0)	—	受信データ(D7 ~ D0)	RO
(b8)	—	受信データ(D8)	RO
(b10 - b9)	—	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は"0"。	—
ABT	アービトレーション ロスト検出フラグ (注1)	0: 未検出(勝) 1: 検出(負)	RW
OER	オーバランエラー フラグ (注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラー フラグ (注2、3)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラー フラグ (注2、3)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ (注2、3)	0: エラーなし 1: エラー発生	RO

注1. ABTビットには"0"のみ書けます。

注2. UiMRレジスタのSMD2~SMD0ビットを"0002"(シリアルI/Oは無効)にしたとき、またはUiC1レジスタのREビットを"0"(受信禁止)にしたとき、OER、FER、PER、SUMビットは"0"になります。

OER、FER、PERビットがすべて"0"になると、SUMビットも"0"になります。

また、UiRBレジスタの下位バイトを読んだときも、FER、PERビットは"0"になります。

注3. SMD2~SMD0ビットが"0012"(クロック同期形シリアルI/Oモード)または"0102"(I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定。

図16.2 U0TB ~ U4TBレジスタ、U0RB ~ U4RBレジスタ

UART_i転送速度レジスタ (i=0~4) (注1、2、3)

b7 ┌───────────┐ │ │ └───────────┘ └───┘ b0	シンボル U0BRG ~ U4BRG	アドレス 0369 ₁₆ , 02E9 ₁₆ , 0339 ₁₆ , 0329 ₁₆ , 02F9 ₁₆ 番地	リセット後の値 不定
	機 能	設定範囲	RW
	設定値をmとすると、UiBRGはカウントソースをm + 1分周する	00 ₁₆ ~ FF ₁₆	WO

注1. このレジスタの書き込みはMOV命令を使用してください。

注2. 送受信停止中に値を書いてください。

注3. このレジスタはUiC0レジスタのCLK1 ~ CLK0ビットを設定した後に書いてください。

UART_i送受信モードレジスタ (i=0~4)

b7 ┌───┐ │ │ └───┘ b6 ┌───┐ │ │ └───┘ b5 ┌───┐ │ │ └───┘ b4 ┌───┐ │ │ └───┘ b3 ┌───┐ │ │ └───┘ b2 ┌───┐ │ │ └───┘ b1 ┌───┐ │ │ └───┘ b0	シンボル U0MR ~ U4MR	アドレス 0368 ₁₆ , 02E8 ₁₆ , 0338 ₁₆ , 0328 ₁₆ , 02F8 ₁₆ 番地	リセット後の値 00 ₁₆	
	ビット シンボル	ビット名	機 能	RW
	SMD0		b2 b1 b0 0 0 0: シリアルI/Oは無効 0 0 1: クロック同期形シリアルI/Oモード 0 1 0: I ² Cモード	RW
	SMD1	シリアルI/Oモード 選択ビット	1 0 0: UARTモード転送データ長7ビット 1 0 1: UARTモード転送データ長8ビット 1 1 0: UARTモード転送データ長9ビット 上記以外: 設定しないでください	RW
	SMD2			RW
	CKDIR	内/外部クロック 選択ビット	0: 内部クロック 1: 外部クロック	RW
	STPS	ストップビット長 選択ビット	0: 1ストップビット 1: 2ストップビット	RW
	PRY	パリティ奇/偶数選択ビット	PRYE=1のとき有効 0: 奇数パリティ 1: 偶数パリティ	RW
	PRYE	パリティ許可ビット	0: パリティ禁止 1: パリティ許可	RW
	IOPOL	TxD,RxD入出力極性 切り替えビット	0: 反転なし 1: 反転あり	RW

図16.3 U0BRG ~ U4BRGレジスタ、U0MR ~ U4MRレジスタ

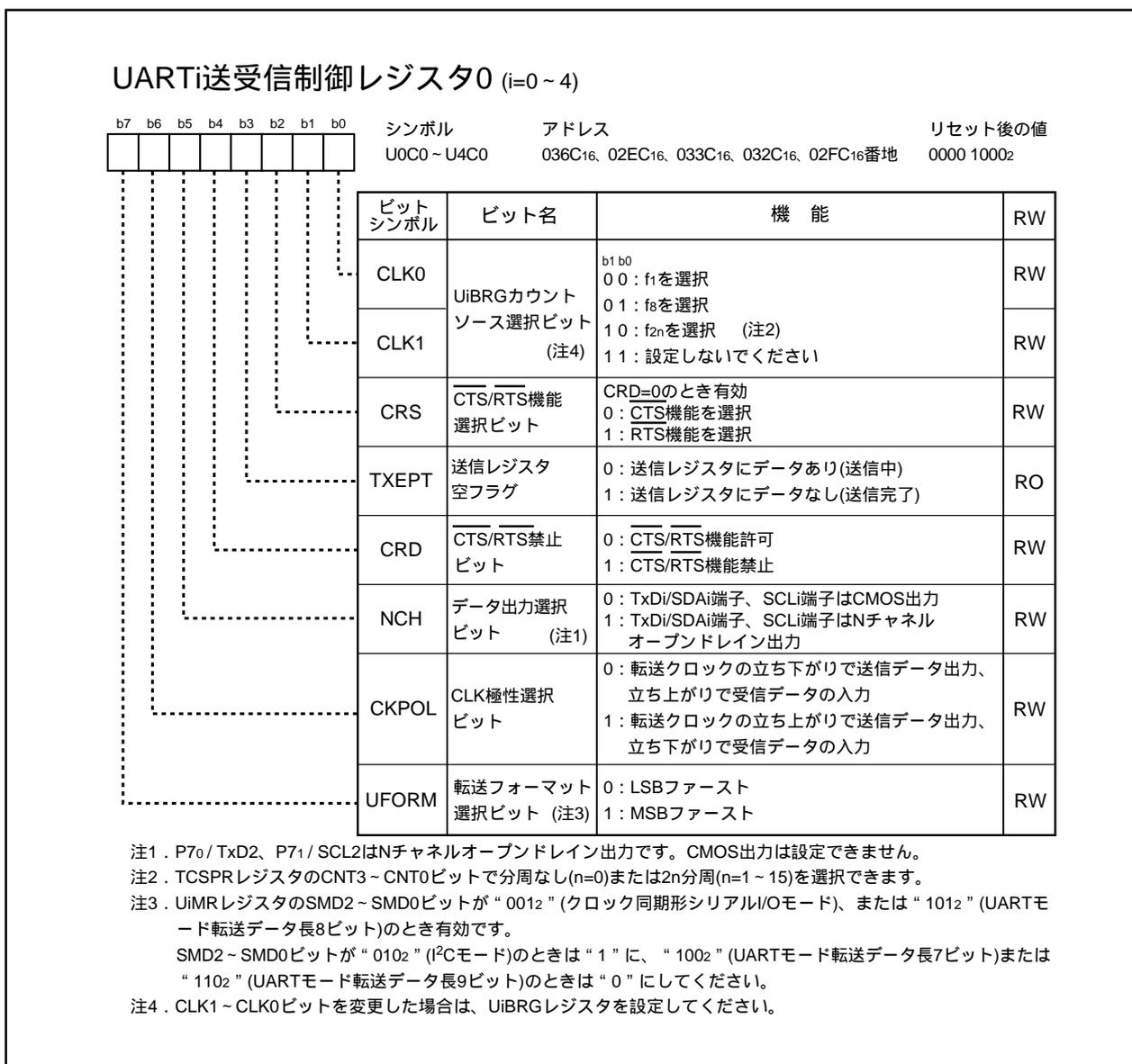


図16.4 U0C0 ~ U4C0レジスタ

UART_i送受信制御レジスタ1 (i=0~4)

ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
UiIRS	UART _i 送信割り込み要因選択ビット	0: UiTBレジスタ空(TI=1) 1: 送信完了(TXEPT=1)	RW
UiRRM	UART _i 連続受信モード許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
UiLCH	データ論理選択ビット (注2)	0: 反転なし 1: 反転あり	RW
SCLKSTPB, UiERE	クロック分周同期化停止ビット エラー信号出力許可ビット (注1)	クロック分周同期化停止ビット(特殊モード3) 0: 同期化停止 1: 同期化開始 エラー信号出力許可ビット(特殊モード5) 0: 出力しない 1: 出力する	RW

注1 . UiMRレジスタのSMD2~SMD0ビットを設定した後、SCLKSTPB(UiERE)ビットを設定してください。

注2 . UiMRレジスタのSMD2~SMD0ビットが“001₂”(クロック同期形シリアルI/Oモード)、“100₂”(UARTモード転送データ長7ビット)、または“101₂”(UARTモード転送データ長8ビット)のとき有効です。

SMD2~SMD0ビットが“010₂”(I²Cモード)または“110₂”(UARTモード転送データ長9ビット)のときは“0”にしてください。

UART_i特殊モードレジスタ (i=0~4)

ビットシンボル	ビット名	機能	RW
IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトレーションロスト検出フラグ制御	0: ビットごとに更新 1: バイトごとに更新	RW
BBS	バスビジーフラグ	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	RW (注1)
LSYN	SCLL同期出力許可ビット	0: 禁止 1: 許可	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0: 転送クロックの立ち上がり 1: タイマA _j のアンダフロー (j=0~4)(注2)	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0: RxDiと無関係 1: RxDiに同期	RW
SCLKDIV	クロック分周同期化ビット	(注3)	RW

注1 . BBSビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。

注2 . UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号、UART3ではタイマA3のアンダフロー信号、UART4ではタイマA4のアンダフロー信号。

注3 . UiSMR2レジスタのSU1HIMビットの注を参照してください。

図16.5 U0C1~U4C1レジスタ、U0SMR~U4SMRレジスタ

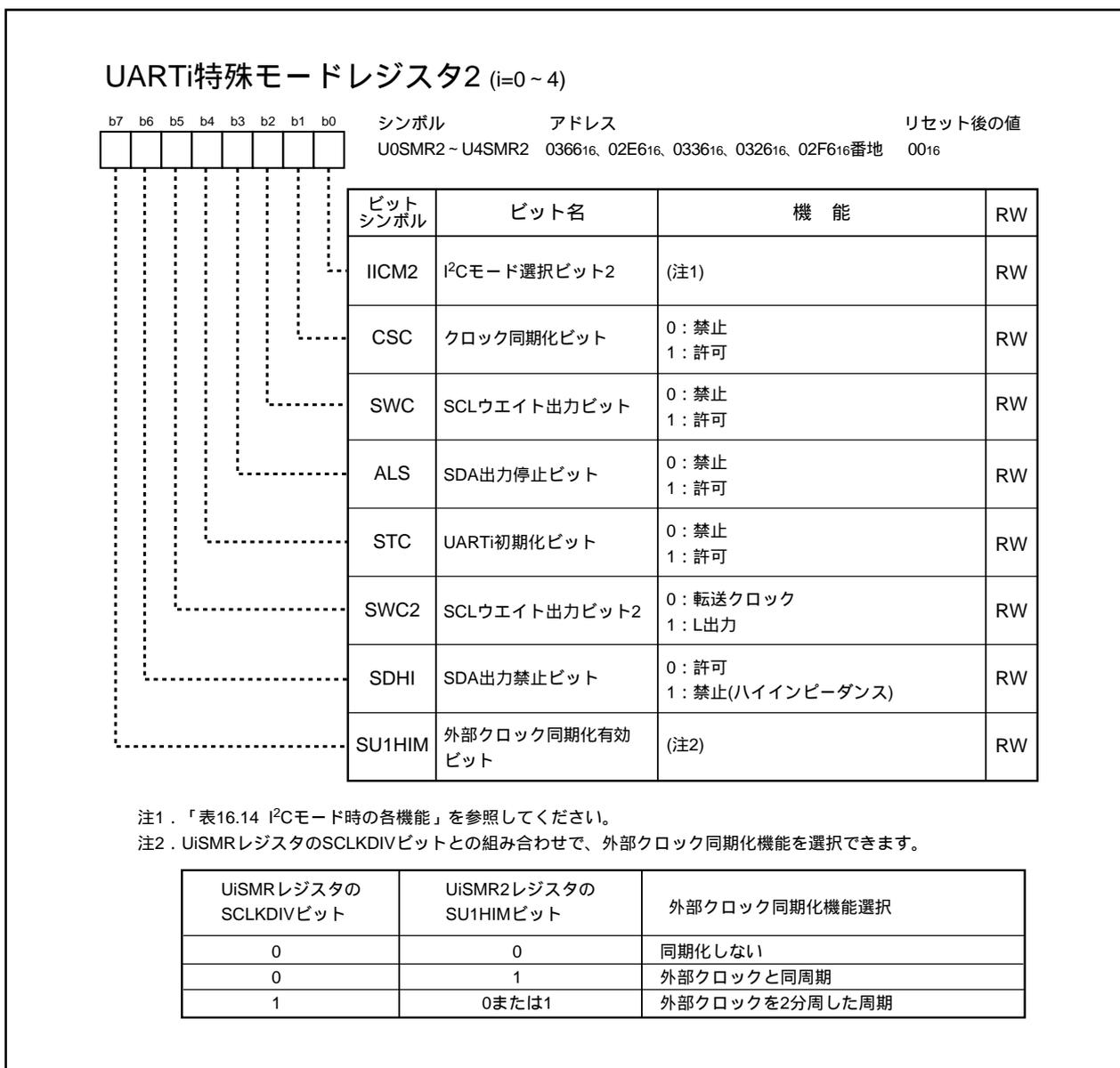


図16.6 U0SMR2 ~ U4SMR2レジスタ

UART_i特殊モードレジスタ3 (i=0~4)

b7	b6	b5	b4	b3	b2	b1	b0
----	----	----	----	----	----	----	----

シンボル アドレス リセット後の値
 U0SMR3~U4SMR3 0365₁₆, 02E5₁₆, 0335₁₆, 0325₁₆, 02F5₁₆番地 00₁₆

ビット シンボル	ビット名	機 能	RW
SSE	SS端子機能 許可ビット (注1)	0 : SS機能禁止 1 : SS機能許可	RW
CKPH	クロック位相 設定ビット	0 : クロック遅れなし 1 : クロック遅れあり	RW
DINC	シリアル入力端子 設定ビット	0 : TxDi,RxDiを選択(マスタモード) 1 : STxDi,SRxDiを選択(スレーブモード)	RW
NODC	クロック出力選択ビット	0 : CLKiはCMOS出力 1 : CLKiはNチャンネルオープンドレイン出力	RW
ERR	障害エラーフラグ	0 : 障害エラーなし 1 : 障害エラーあり (注2)	RW
DL0	SDAi デジタル 遅延値設定ビット (注3、4)	b7 b6 b5 0 0 0 : 遅延なし 0 0 1 : BRGカウントソースの1~2サイクル 0 1 0 : BRGカウントソースの2~3サイクル 0 1 1 : BRGカウントソースの3~4サイクル 1 0 0 : BRGカウントソースの4~5サイクル 1 0 1 : BRGカウントソースの5~6サイクル 1 1 0 : BRGカウントソースの6~7サイクル 1 1 1 : BRGカウントソースの7~8サイクル	RW
DL1		RW	
DL2		RW	

注1. SSを設定する場合、U_iC0レジスタのCRDビットを“1”(CTS/RTS機能を禁止)にしてください。

注2. ERRビットはプログラムで“0”を書くと“0”になります。“1”を書いても変化しません。

注3. DL2~DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000₂”(遅延なし)にしてください。

注4. 外部クロックを選択した場合、+100ns程度遅延が大きくなります。

図16.7 U0SMR3 ~ U4SMR3レジスタ

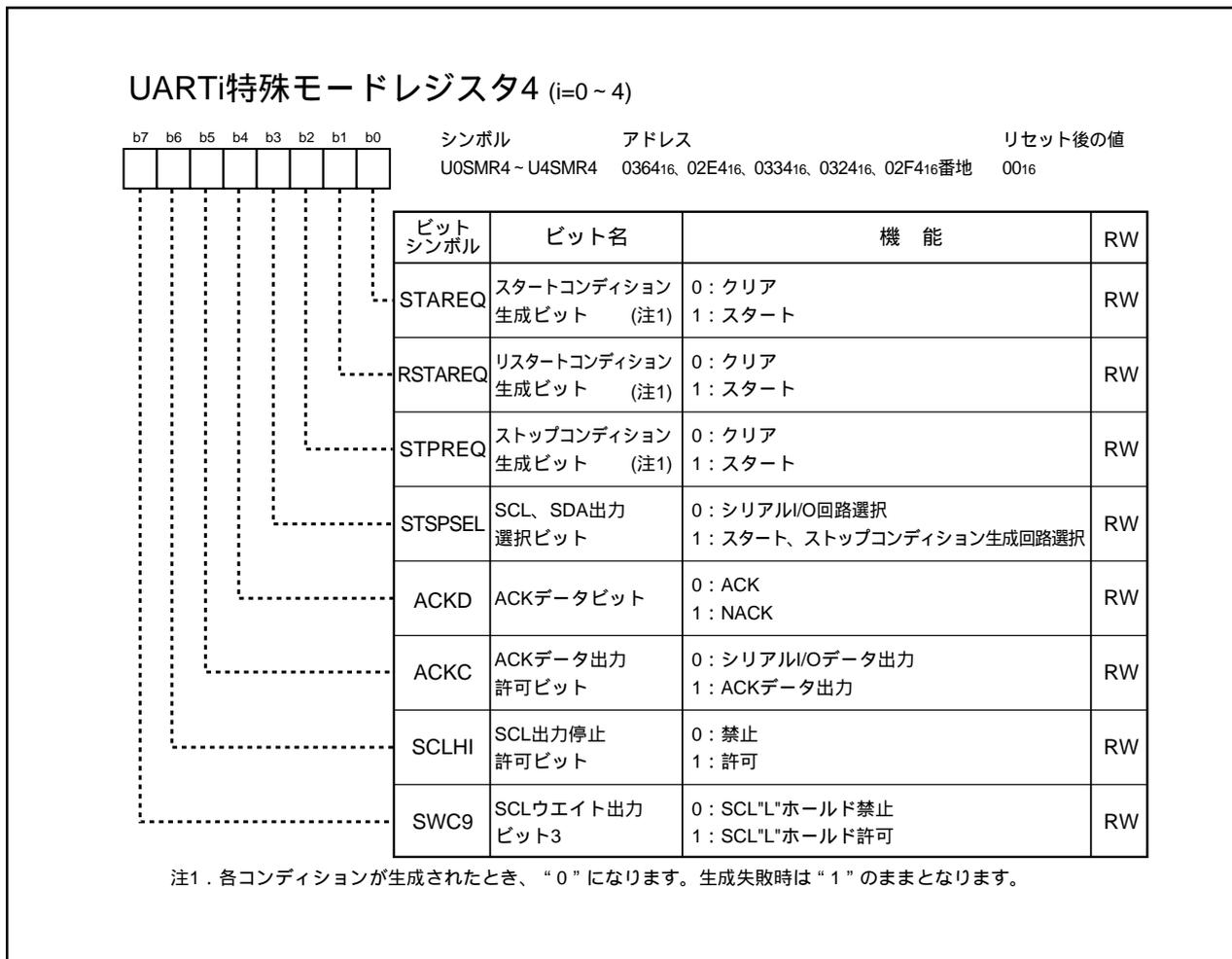


図16.8 U0SMR4 ~ U4SMR4レジスタ

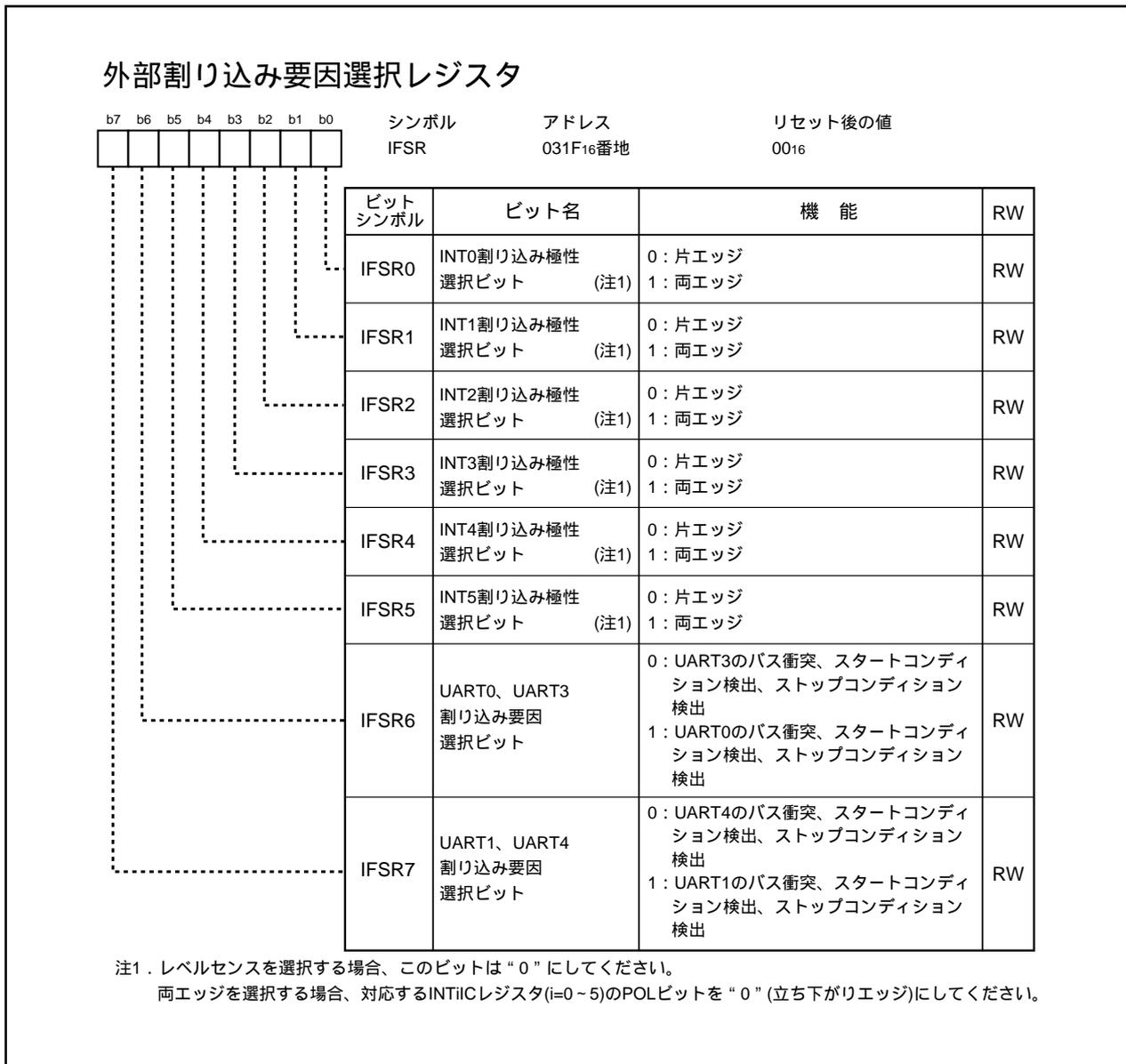


図16.9 IFSRレジスタ

16.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表16.1にクロック同期形シリアルI/Oモードの仕様を、表16.2に使用レジスタと設定値を、表16.3～表16.5に端子の設定を示します。なお、UARTi(i=0～4)の動作モード選択後、転送開始までは、TxDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図16.10にクロック同期形シリアルI/Oモード時の送信、受信タイミングを示します。

表16.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> • UiMRレジスタ(i=0～4)のCKDIRビットが“0”(内部クロック選択)：$\frac{f_j}{2(m+1)}$ fj=f1, f8, f2n(注1) m: UiBRGレジスタ設定値 0016～FF16 • CKDIRビットが“1”(外部クロック選択)：CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能選択時、CTSi端子入力が“L”
受信開始条件	受信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • TEビットが“1”(送信許可) • TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiC1レジスタのUiIRSビットが“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 受信時 • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注3) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 転送データの出力と入力のタイミングは、転送クロックの立ち上がりまたは立ち下がりを選択可 • LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読む動作により、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの理論値を反転する機能

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし(n=0)または2n分周(n=1～15)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データの入力)の場合はCLKi端子が“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データの入力)の場合はCLKi端子が“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表16.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めず
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	SCLKSTPB	“0” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	0~2	“0002” にしてください
	NODC	クロック出力形式を選択してください
	4~7	“00002” にしてください
UiSMR4	0~7	“0016” にしてください

i = 0 ~ 4

表16.3 クロック同期形シリアルI/Oモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	CTS0入力	PS0_0=0	-	PD6_0=0
	RTS0出力	PS0_0=1	-	-
P61	CLK0入力	PS0_1=0	-	PD6_1=0
	CLK0出力	PS0_1=1	-	-
P62	RxD0入力	PS0_2=0	-	PD6_2=0
P63	TxD0出力	PS0_3=1	-	-
P64	CTS1入力	PS0_4=0	-	PD6_4=0
	RTS1出力	PS0_4=1	PSL0_4=0	-
P65	CLK1入力	PS0_5=0	-	PD6_5=0
	CLK1出力	PS0_5=1	-	-
P66	RxD1入力	PS0_6=0	-	PD6_6=0
P67	TxD1出力	PS0_7=1	-	-

表16.4 クロック同期形シリアルI/Oモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
	CLK2出力	PS1_2=1	PSL1_2=0	PSC_2=0	-
P73	CTS2入力	PS1_3=0	-	-	PD7_3=0
	RTS2出力	PS1_3=1	PSL1_3=0	PSC_3=0	-

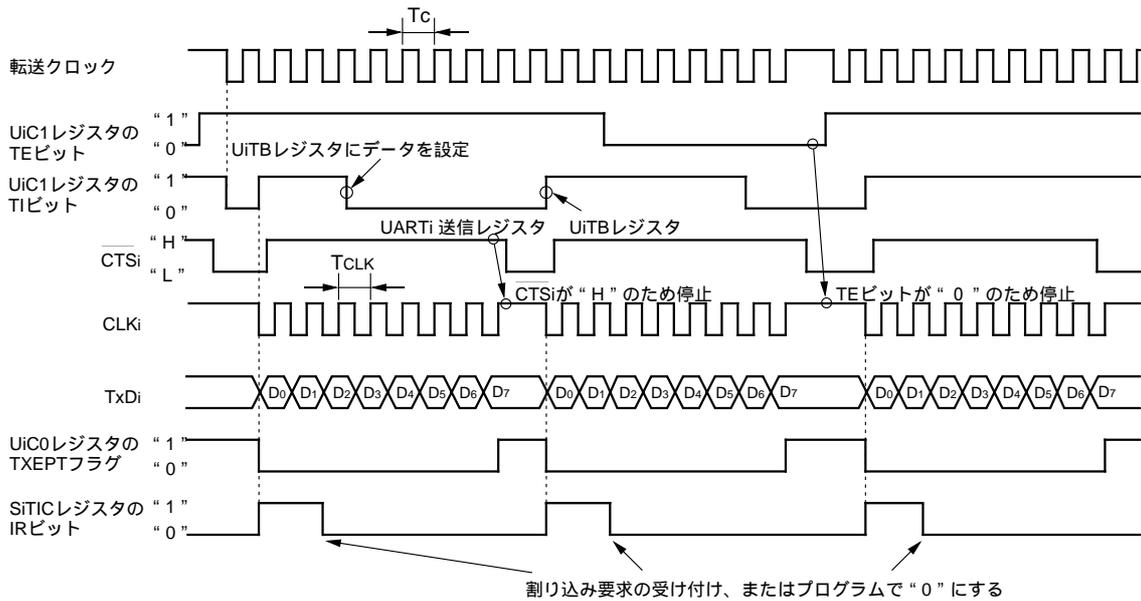
注1.出力はNチャンネルオープンドレイン出力

表16.5 クロック同期形シリアルI/Oモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	-	PD9_0=0
	CLK3出力	PS3_0=1	-	-	-
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P93	CTS3入力	PS3_3=0	PSL3_3=0	-	PD9_3=0
	RTS3出力	PS3_3=1	-	-	-
P94	CTS4入力	PS3_4=0	PSL3_4=0	-	PD9_4=0
	RTS4出力	PS3_4=1	-	-	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	-	PD9_5=0
	CLK4出力	PS3_5=1	-	-	-
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

(1) 送信タイミング例(内部クロック選択時)



この図は次の設定条件の場合です。

- ・ UIMRレジスタのCKDIRビット = 0(内部クロック選択)
- ・ UIC0レジスタのCRDビット = 0(RTS/CTS機能許可)、CRSビット = 0(CTS機能選択)
- ・ UIC0レジスタのCKPOLビット = 0(転送クロックの立ち下がりでの送信データ出力)
- ・ UIC1レジスタのUiIRSビット = 0(UiTBレジスタ空で割り込み要求発生)

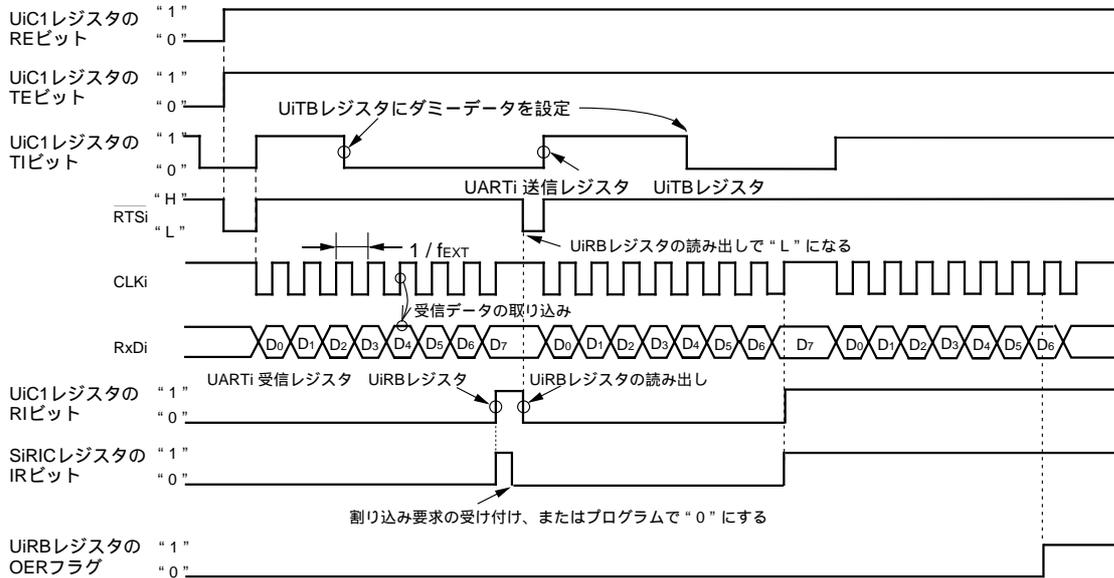
$$Tc = TCLK = 2(m+1) / fj$$

fj : UiBRGカウンタソースの周波数
(f1, f8, f2n^(注1))

m : UiBRGレジスタに設定した値
i = 0 ~ 4

注1. TCSPRレジスタのCNT3 ~ CNT0ビットで分周なし(n=0)または2n分周(n=1 ~ 15)を選択できます。

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。

- ・ UIMRレジスタのCKDIRビット = 1(外部クロック選択)
- ・ UIC0レジスタのCRDビット = 0(RTS/CTS機能許可)、CRSビット = 1(RTS機能選択)
- ・ UIC0レジスタのCKPOLビット = 0(転送クロックの立ち上がりでの受信データ入力)

fEXT : 外部クロックの周波数

i = 0 ~ 4

データ受信前のCLKi端子の入力が“H”のときに、次の条件が揃うようにしてください。

- ・ UIC1レジスタのTEビット = 1(送信許可)
- ・ UIC1レジスタのREビット = 1(受信許可)
- ・ UiTBレジスタへのダミーデータの書き込み

図16.10 クロック同期形シリアルI/Oモード時の送信、受信動作例

16.1.1 CLK極性選択

図16.11に示すように、UiC0レジスタ($i=0\sim 4$)のCKPOLビットで転送クロックの極性を選択できます。

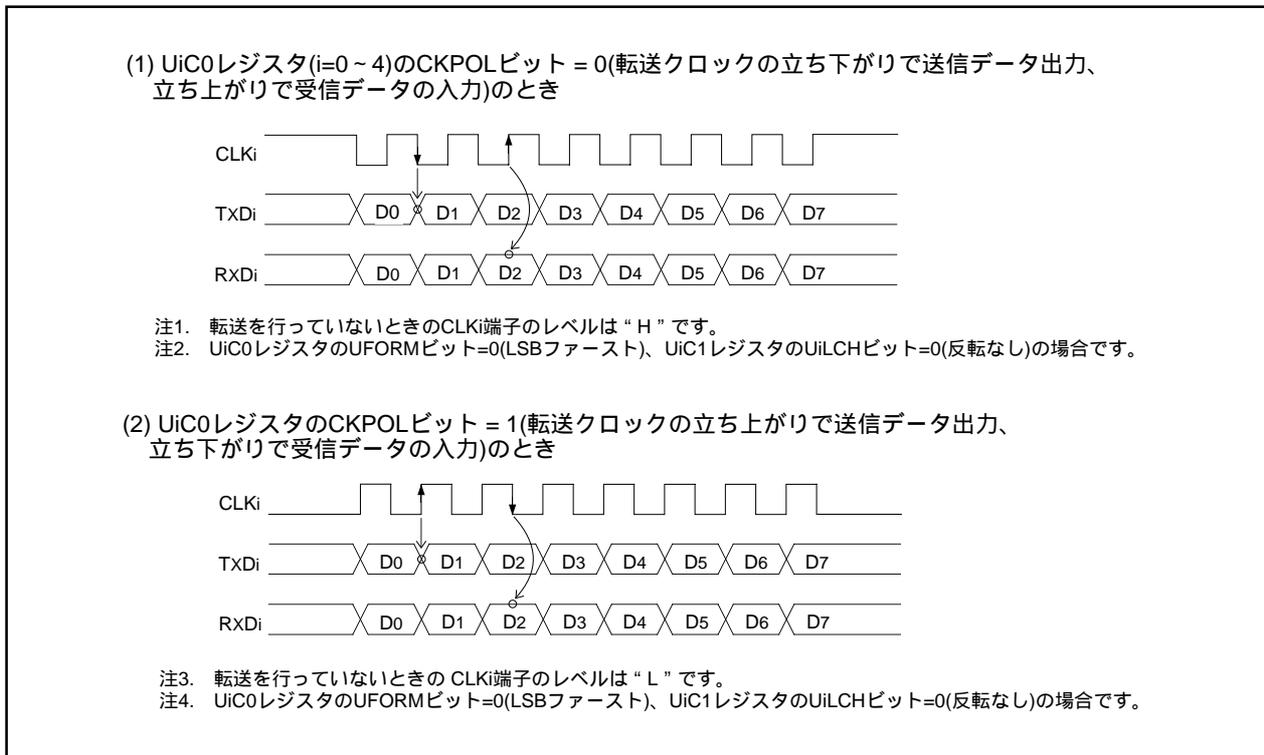


図16.11 転送クロックの極性

16.1.2 LSBファースト、MSBファースト選択

図16.12に示すように、UiC0レジスタ($i=0\sim 4$)のUFORMビットで転送フォーマットを選択できます。

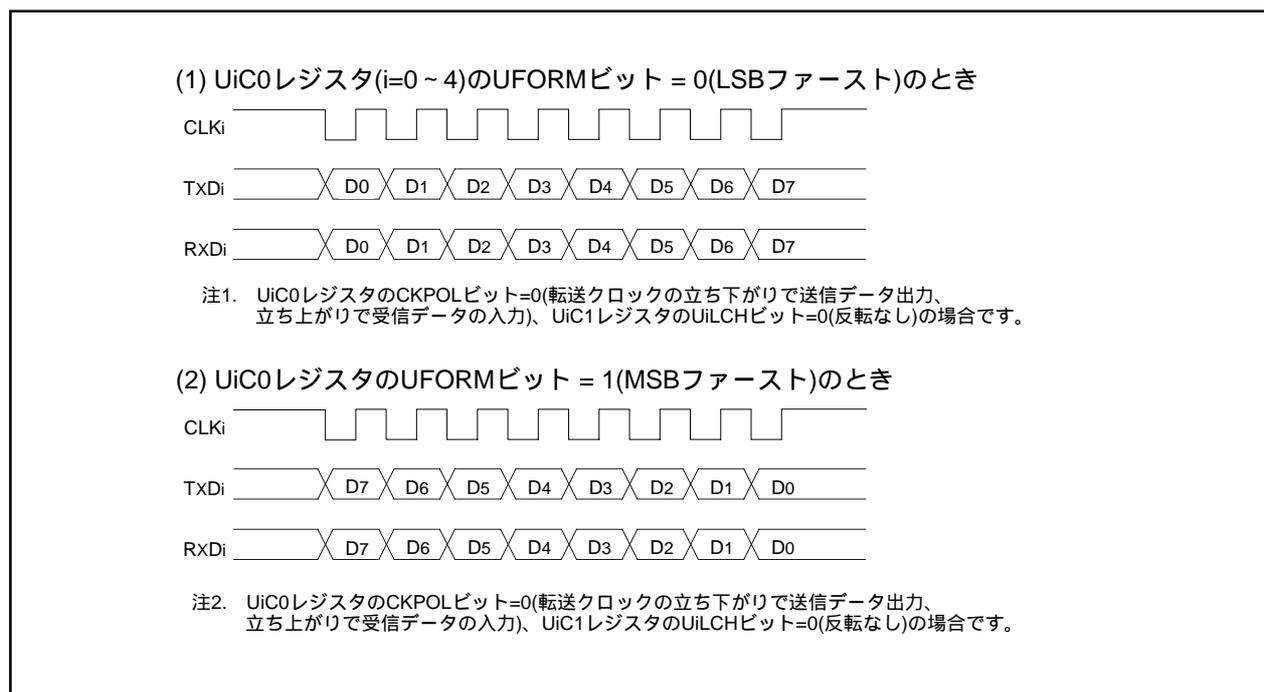


図16.12 転送フォーマット

16.1.3 連続受信モード

UiC1レジスタ(i=0~4)のUiRRMビットを“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTiビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”のときは、プログラムでUiTBレジスタにダミーデータを設定しないでください。

16.1.4 シリアルデータ論理切り替え

UiC1レジスタのUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図16.13にシリアルデータ論理切り替えの動作例を示します。

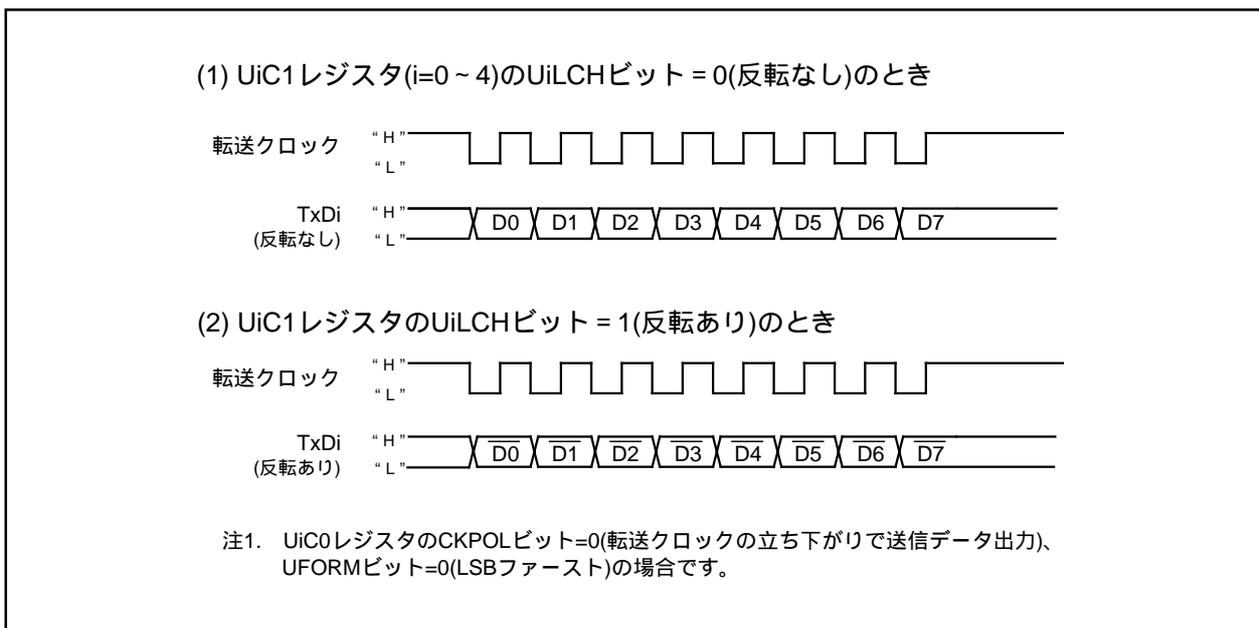


図16.13 シリアルデータ論理切り替えの動作例

16.2 クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表16.6にUARTモードの仕様を示します。

表16.6 UARTモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、なし 選択可 ・ストップビット 1ビット、2ビット 選択可
転送クロック	<ul style="list-style-type: none"> ・UiMRレジスタ(i=0~4)のCKDIRビットが“0”(内部クロック選択)の場合 fj/16(m+1) fj=f1、f8、f2n^(注1) m: UiBRGレジスタ設定値 0016~FF16 ・CKDIRビットが“1”(外部クロック選択)の場合 fEXT/16(m+1) fEXT: CLKi端子入力クロック
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能無効を選択
送信開始条件	送信開始には次の条件が必要です <ul style="list-style-type: none"> ・UiC1レジスタのTEビットは“1”(送信許可) ・UiC1レジスタのTIビットは“0”(UiTBレジスタにデータあり) ・CTS機能選択時、CTS端子に“L”を入力
受信開始条件	受信開始には次の条件が必要です <ul style="list-style-type: none"> ・UiC1レジスタのREビットは“1”(受信許可) ・スタートビットの検出
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> ・UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信時 ・UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー^(注2) UiRBレジスタを読む前に次のデータの最終ストップビットの1つ前のビットを受信すると発生 (2ストップビット選択時は1ストップビット目) ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合SUMビットが“1”になる
選択機能	<ul style="list-style-type: none"> ・LSBファースト、MSBファースト 選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 ・シリアルデータ論理切り替え 送受信データの論理値を反転する機能。スタートビットとストップビットは反転しない ・TxD、RxD入出力極性切り替え TxD端子出力とRxD端子入力のレベルを反転する機能。入出力するデータのレベルがすべて反転

注1. TCSPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

注2. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表16.7に、使用レジスタと設定値を、表16.8～表16.10にUARTモード時の端子の設定を示します。なお、UARTi(i=0～4)の動作モード選択後、転送開始まではTxDi端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

図16.14にUARTモード時の送信動作例を、図16.15にUARTモード時の受信動作例を示します。

表16.7 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～8	送信データを設定してください(注1)
UiRB	0～8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	転送データが7ビットの場合、“1002”にしてください
		転送データが8ビットの場合、“1012”にしてください
		転送データが9ビットの場合、“1102”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TxD、RxD入出力極性を選択してください
Uic0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS / RTS機能の許可または禁止を選択してください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。転送データ長7ビットまたは9ビット時は“0”にしてください
Uic1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	“0”にしてください
	UiLCH	転送データ長7ビットまたは8ビット時、データ論理反転をする、しないを選択できます。転送データ長9ビット時は“0”にしてください
	UiERE	“0”または“1”を選択してください
UiSMR	0～7	“00 ₁₆ ”にしてください
UiSMR2	0～7	“00 ₁₆ ”にしてください
UiSMR3	0～7	“00 ₁₆ ”にしてください
UiSMR4	0～7	“00 ₁₆ ”にしてください

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

表16.8 UARTモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	CTS0入力	PS0_0=0	-	PD6_0=0
	RTS0出力	PS0_0=1	-	-
P61	CLK0入力	PS0_1=0	-	PD6_1=0
P62	RxD0入力	PS0_2=0	-	PD6_2=0
P63	TxD0出力	PS0_3=1	-	-
P64	CTS1入力	PS0_4=0	-	PD6_4=0
	RTS1出力	PS0_4=1	PSL0_4=0	-
P65	CLK1入力	PS0_5=0	-	PD6_5=0
P66	RxD1入力	PS0_6=0	-	PD6_6=0
P67	TxD1出力	PS0_7=1	-	-

表16.9 UARTモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 (注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71 (注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
P73	CTS2入力	PS1_3=0	-	-	PD7_3=0
	RTS2出力	PS1_3=1	PSL1_3=0	PSC_3=0	-

注1.出力はNチャンネルオープンドレイン出力

表16.10 UARTモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	-	PD9_0=0
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P93	CTS3入力	PS3_3=0	PSL3_3=0	-	PD9_3=0
	RTS3出力	PS3_3=1	-	-	-
P94	CTS4入力	PS3_4=0	PSL3_4=0	-	PD9_4=0
	RTS4出力	PS3_4=1	-	-	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	-	PD9_5=0
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

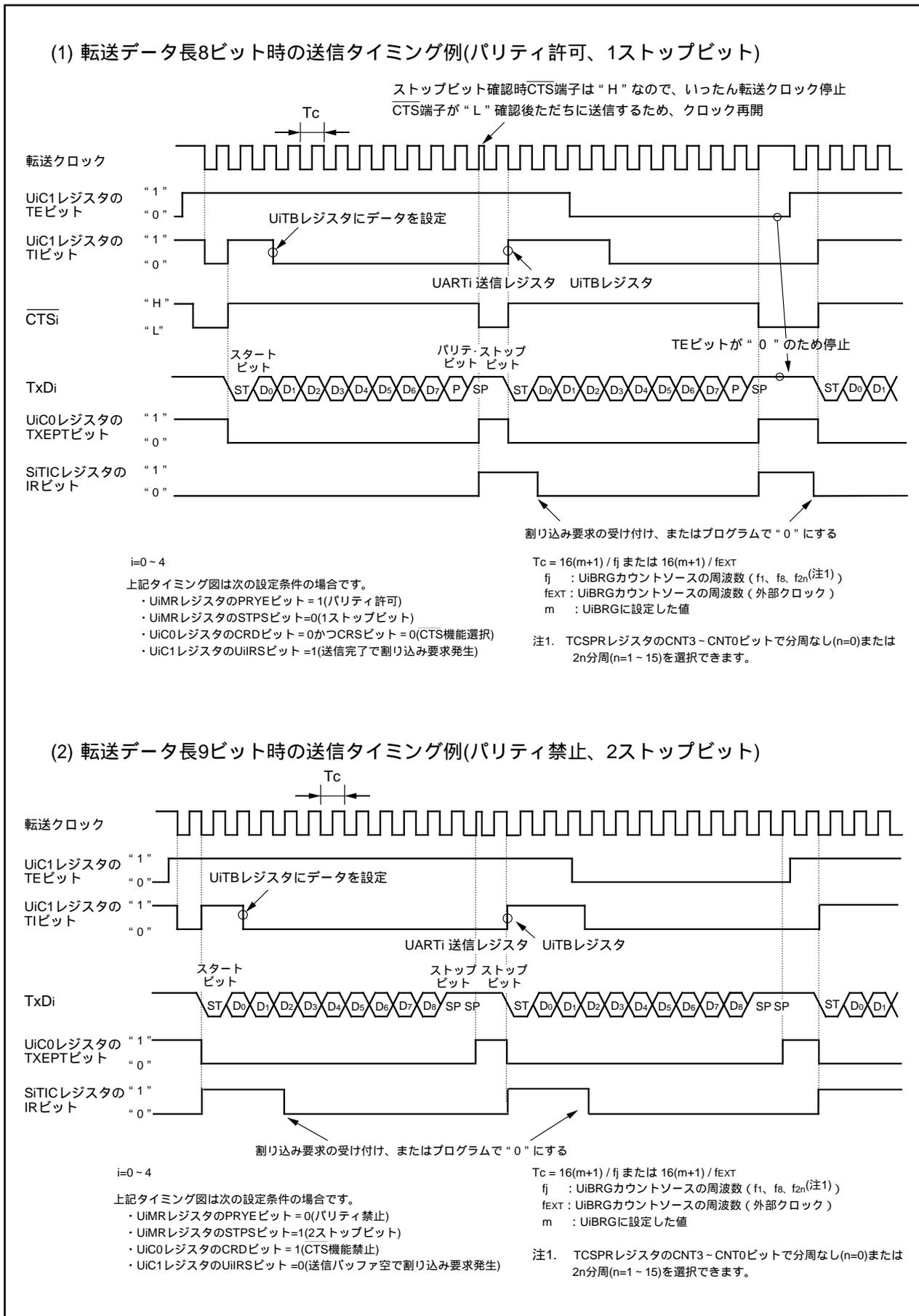


図16.14 UARTモード時の送信動作例

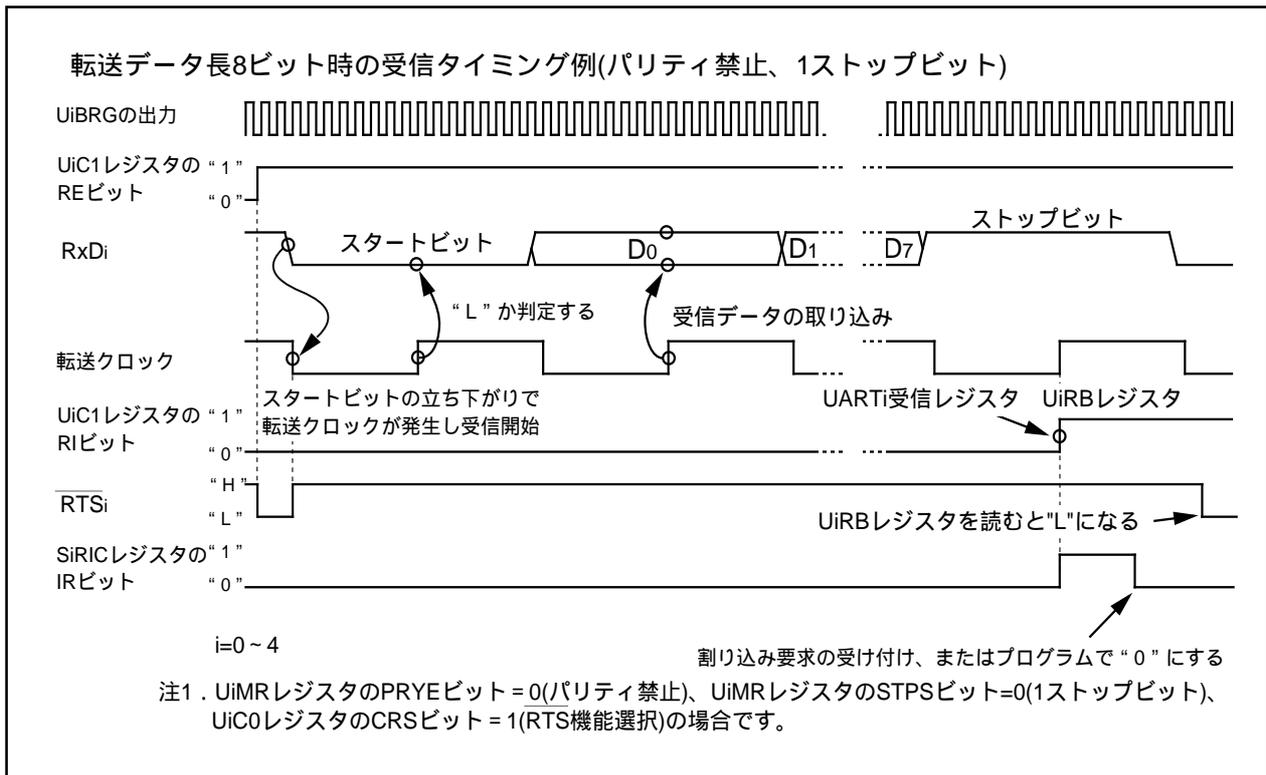


図16.15 UARTモード時の受信動作例

16.2.1 転送速度

UARTモードは、UiBRGレジスタ(i=0~4)で分周した周波数の16分周が転送速度になります。表16.11に転送速度の設定例を示します。

表16.11 転送速度

ビットレート (bps)	UiBRGのカウンソース	周辺機能クロック : 16MHz		周辺機能クロック : 24MHz		周辺機能クロック : 32MHz	
		UiBRGの設定値 : n	実ビットレート (bps)	UiBRGの設定値 : n	実ビットレート (bps)	UiBRGの設定値 : n	実ビットレート (bps)
1200	f8	103 (67h)	1202	155 (96h)	1202	207 (CFh)	1202
2400	f8	51 (33h)	2404	77 (46h)	2404	103 (67h)	2404
4800	f8	25 (19h)	4808	38 (26h)	4808	51 (33h)	4808
9600	f1	103 (67h)	9615	155 (96h)	9615	207 (CFh)	9615
14400	f1	68 (44h)	14493	103 (67h)	14423	138 (8Ah)	14388
19200	f1	51 (33h)	19231	77 (46h)	19231	103 (67h)	19231
28800	f1	34 (22h)	28571	51 (33h)	28846	68 (44h)	28986
31250	f1	31 (1Fh)	31250	47 (2Fh)	31250	63 (3Fh)	31250
38400	f1	25 (19h)	38462	38 (26h)	38462	51 (33h)	38462
51200	f1	19 (13h)	50000	28 (1Ch)	51724	38 (26h)	51282

16.2.2 LSBファースト、MSBファースト選択

図16.16 に示すように、UiC0レジスタ(i=0~4)のUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

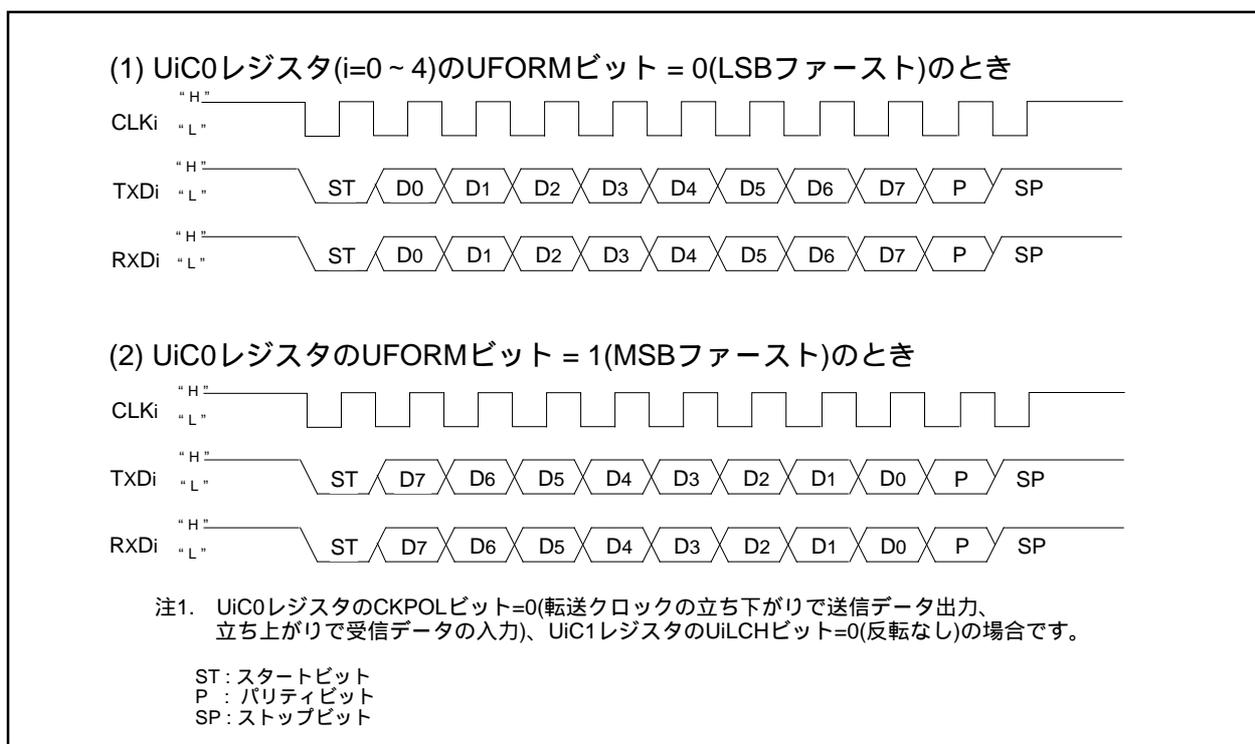


図16.16 転送フォーマット

16.2.3 シリアルデータ論理切り替え

UiC1レジスタ(i=0~4)のUiLCHビットが“1”(反転あり)の場合、送信時にUiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図16.17 にシリアルデータ論理切り替えの動作例を示します。

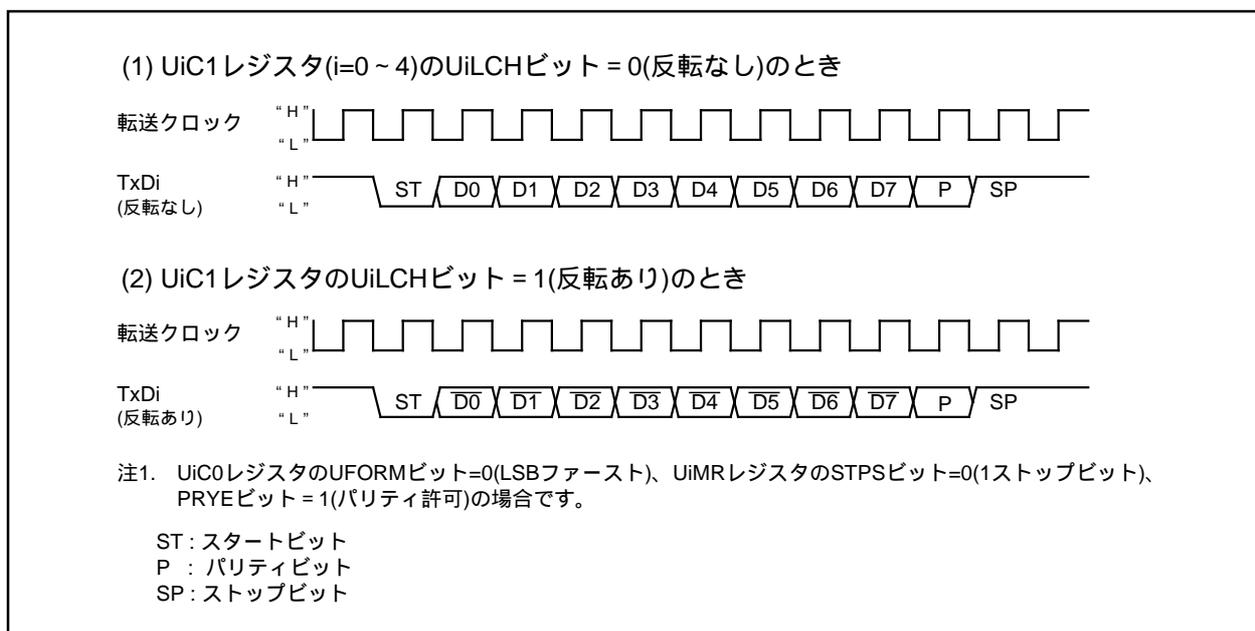


図16.17 シリアルデータ論理切り替え

16.2.4 TxD、RxD入出力極性切り替え

TxD端子出力とRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図16.18 にTxD、RxD入出力極性切り替えを示します。

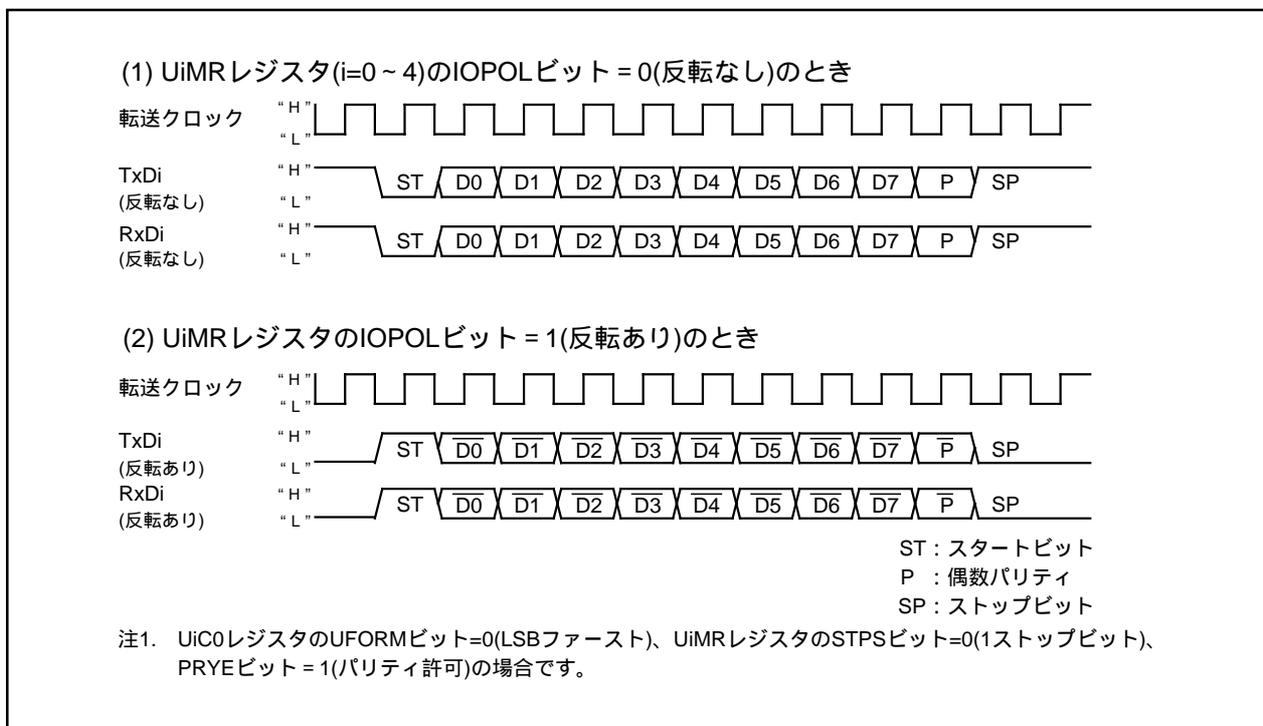


図16.18 TxD、RxD入出力極性切り替え

16.3 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表16.12にI²Cモードの仕様を、表16.13にI²Cモード時の使用レジスタと設定値を、表16.14にI²Cモード時の各機能を、図16.19にI²Cモード時のブロック図を、図16.20にUiRBレジスタ(i=0~4)への転送、割り込みのタイミングを、表16.15~表16.17にI²Cモード時の端子の設定を示します。

表16.12に示すように、UiMRレジスタのSMD2~SMD0ビットを“010₂”に、UiSMRレジスタのIICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表16.12 I²Cモードの仕様

項目	仕様
割り込み	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
選択機能	<ul style="list-style-type: none"> ・アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択。「16.3.3 アービトレーション」参照 ・SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を選択可。「16.3.5 SDA出力」参照 ・クロック位相設定 クロック遅れあり、なしを選択可。「16.3.4 転送クロック」参照

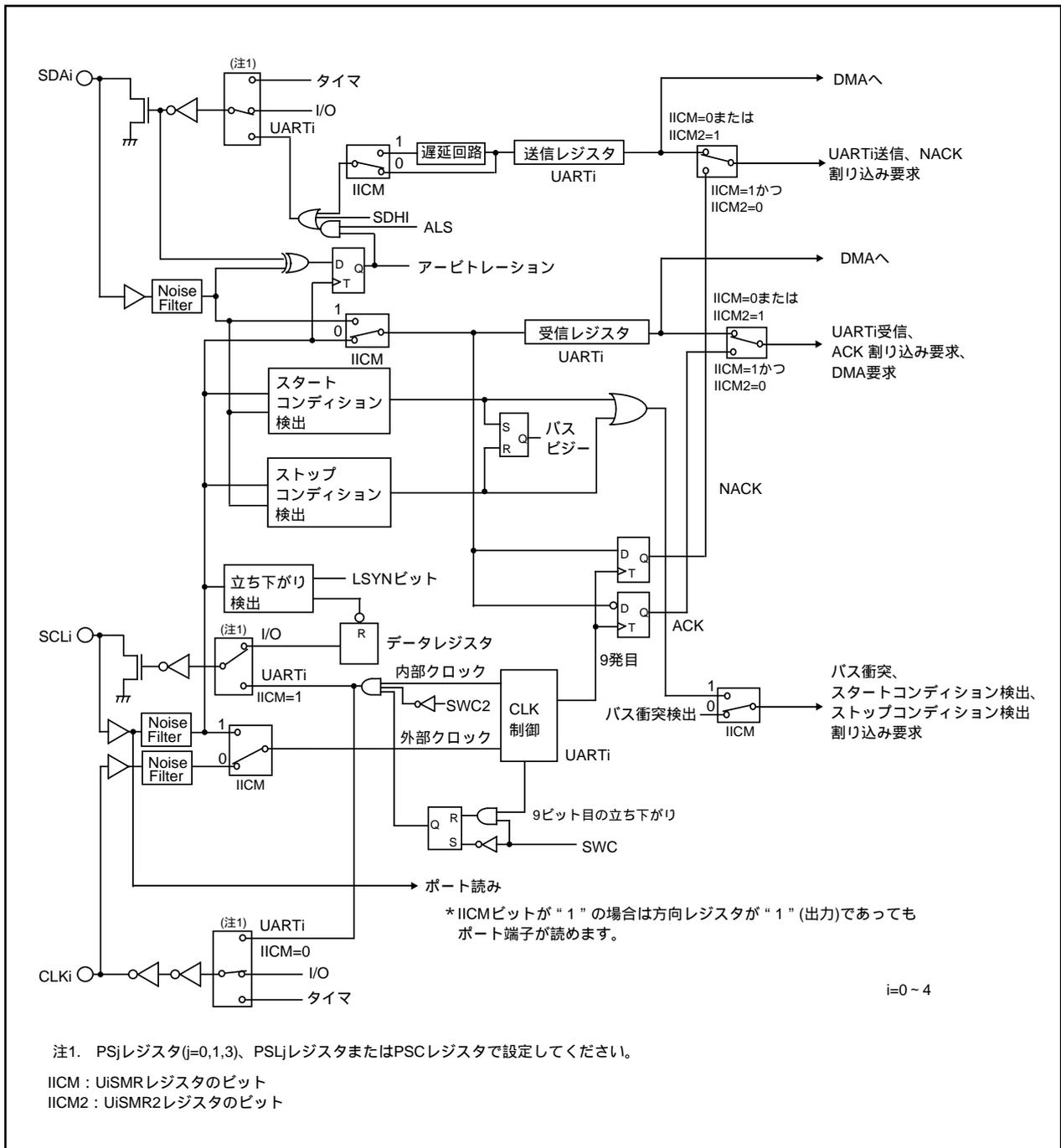


図16.19 I²Cモードのブロック図

表16.13 I²Cモード時の使用レジスタと設定値

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiTB	0~7	送信データを設定してください	
UiRB	0~7	受信データが読めます	
	8	ACK、NACKが入ります	
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	
UiBRG	0~7	転送速度を設定してください	無効
UiMR	SMD2~SMD0	"0102" にしてください	
	CKDIR	"0" にしてください	"1" にしてください
	IOPOL	"0" にしてください	
UiC0	CLK1~CLK0	UiBRGのカウンツソースを選択してください	無効
	CRS	CRD=1なので無効	
	TXEPT	送信レジスタ空フラグ	
	CRD、NCH	"1" にしてください	
	CKPOL	"0" にしてください	
	UFORM	"1" にしてください	
	UiC1	TE	送信を許可する場合、"1" にしてください
TI		送信バッファ空フラグ	
RE		受信を許可する場合、"1" にしてください	
RI		受信完了フラグ	
UiRRM、UiLCH、UiERE		"0" にしてください	
UiSMR	IICM	"1" にしてください	
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	
	3~7	"000002" にしてください	
UiSMR2	IICM2	表16.14参照	
	CSC	クロック同期化を許可する場合、"1" にしてください	"0" にしてください
	SWC	クロックの9ビット目の立ち下がり でSCLiを"L"出力固定にする場合、"1" にしてください	
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合、"1" にしてください	使用しません。"0" にしてください
	STC	使用しません。"0" にしてください	スタートコンディション検出でUARTiを初期化する場合、"1" にしてください
	SWC2	SCLの出力を強制的に"L"にする場合、"1" にしてください	
	SDHI	SDA出力を禁止をする場合、"1" にしてください	
	SU1HIM	"0" にしてください	
UiSMR3	SSE	"0" にしてください	
	CKPH	表16.14参照	
	DINC、NODC、ERR	"0" にしてください	
	DL2~DL0	SDAiのデジタル遅延値を設定してください	
UiSMR4	STAREQ	スタートコンディションを生成する場合、"1" にしてください	使用しません。"0" にしてください
	RSTAREQ	リスタートコンディションを生成する場合、"1" にしてください	
	STPREQ	ストップコンディションを生成する場合、"1" にしてください	
	STSPSEL	各コンディション出力時に"1" にしてください	
	ACKD	ACK、NACKを選択してください	
	ACKC	ACKデータを出力する場合、"1" にしてください	
	SCLHI	ストップコンディション検出時にSCL出力停止を許可する場合、"1" にしてください	使用しません。"0" にしてください
	SWC9	使用しません。"0" にしてください	クロックの9ビット目の立ち下がり でSCLiを"L"出力固定にする場合、"1" にしてください
IFSR	IFSR6、IFSR7	"1" にしてください	

i=0~4

表16.14 I²Cモード時の各機能

機能	クロック同期シリアルI/Oモード (SMD2~SMD0=0012, IICM=0)	I ² Cモード(SMD2~SMD0=0102,IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号39~41の要因(注1)(図16.20参照)	-	スタートコンディション検出、ストップコンディション検出(表17.18参照)			
割り込み番号17,19,33,35,37の要因(注1)(図16.20参照)	UARTi送信 送信開始、または送信完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目の次のSCLiの立ち下がり	
割り込み番号18,20,34,36,38の要因(注1)(図16.20参照)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり	UARTi受信 9ビット目のSCLiの立ち下がり		
UART受信シフトレジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり	9ビット目のSCLiの立ち下がり	9ビット目のSCLiの立ち下がりと、立ち上がり	
UARTi送信出力遅延	遅延なし	遅延あり			
P63, P67, P70, P92, P96 端子の機能	TxDi出力	SDAi入出力			
P62, P66, P71, P91, P97 端子の機能	RxDi入力	SCLi入出力			
P61, P65, P72, P90, P95 端子の機能	CLKi入力または出力選択	-(I ² Cモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RxDi, SCLi端子レベルの読み込み	対応するポート方向ビットが“0”の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TxDi, SDAi出力の初期値	CKPOL=0(H) CKPOL=1(L)	I ² Cモード設定前に、ポートレジスタに設定した値(注2)			
SCLiの初期値、終了値	-	H	L	H	L
DMA要因(図16.20参照)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信 9ビット目のSCLiの立ち下がり	
受信データ格納	1~8ビット目をUiRBレジスタのビット7~0に格納	1~8ビット目をUiRBレジスタのビット7~0に格納		1~7ビット目をUiRBレジスタのビット6~0に、8ビット目をUiRBレジスタのビット8に格納 1~8ビット目をUiRBレジスタのビット7~0に格納(注3)	
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す	UiRBレジスタのビット6~0はビット7~1として、ビット8はビット0として読み出す(注4)			

i=0~4

注1. 要因を切り替える場合、次の手順で行ってください。

1. 対応する割り込み番号の割り込みを禁止する
2. 要因を切り替える
3. 対応する割り込み番号のIRビットを“0”(割り込み要求なし)にする
4. 対応する割り込み番号のILVL2~ILVL0を設定する

注2. SDAi出力の初期値は、UiMRレジスタのSMD2~SMD0ビットが“0002”(シリアルI/Oは無効)の状態を設定してください。

注3. UiRBレジスタへのデータ転送2回目(9ビット目のSCLi立ち上がり時)

注4. UiRBレジスタへのデータ転送1回目(9ビット目のSCLi立ち下がり時)

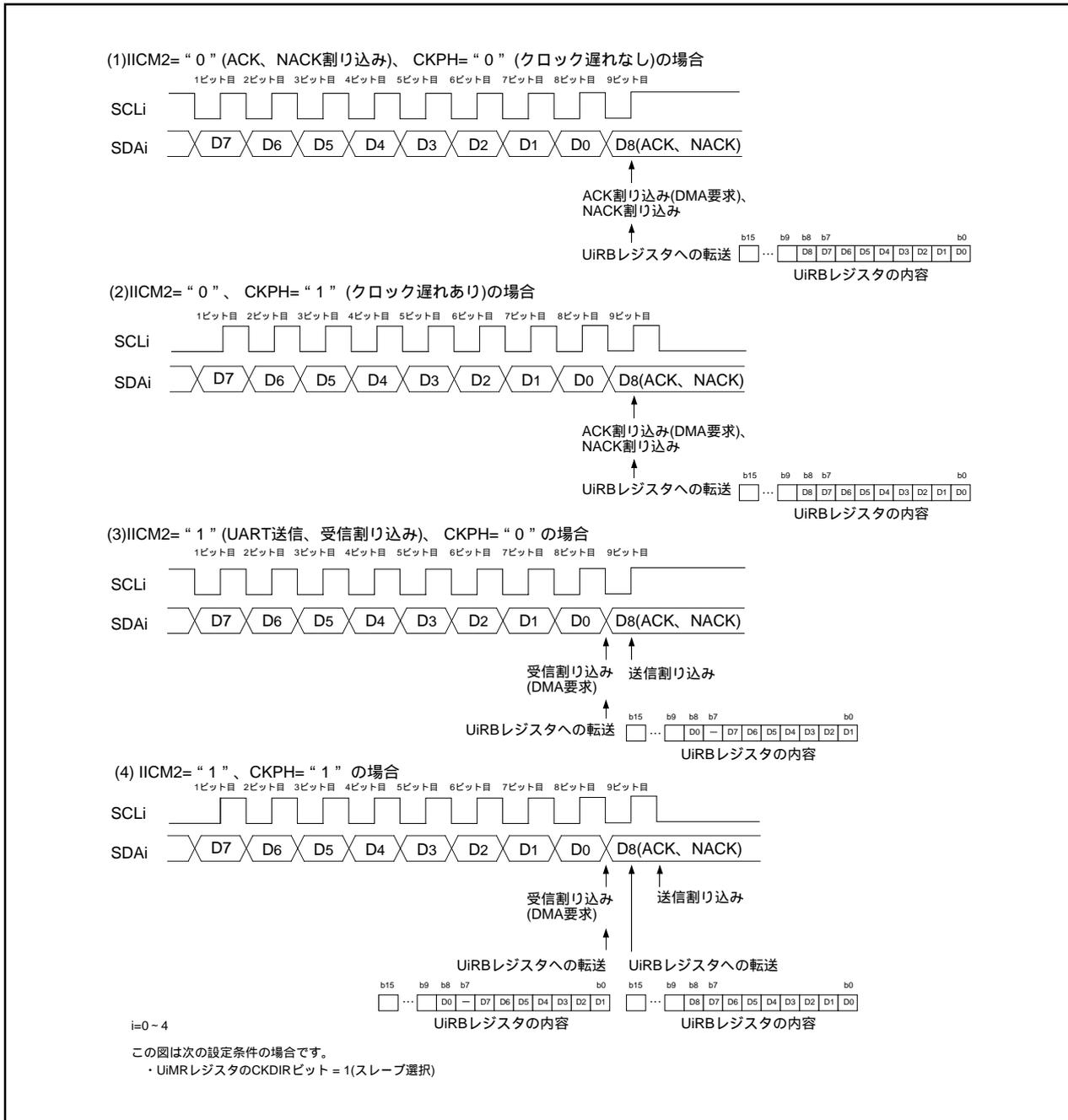


図16.20 UiRBレジスタへの転送、割り込みのタイミング

表16.15 I²Cモード時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P62	SCL0出力	PS0_2=1	PSL0_2=0	-
	SCL0入力	PS0_2=0	-	PD6_2=0
P63	SDA0出力	PS0_3=1	-	-
	SDA0入力	PS0_3=0	-	PD6_3=0
P66	SCL1出力	PS0_6=1	PSL0_6=0	-
	SCL1入力	PS0_6=0	-	PD6_6=0
P67	SDA1出力	PS0_7=1	-	-
	SDA1入力	PS0_7=0	-	PD6_7=0

表16.16 I²Cモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 ^(注1)	SDA2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
	SDA2入力	PS1_0=0	-	-	PD7_0=0
P71 ^(注1)	SCL2出力	PS1_1=1	PSL1_1=0	PSC_1=0	-
	SCL2入力	PS1_1=0	-	-	PD7_1=0

注1. 出力はNチャンネルオープンドレイン出力

表16.17 I²Cモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ ^(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ ^(注1)
P91	SCL3出力	PS3_1=1	PSL3_1=0	-	-
	SCL3入力	PS3_1=0	-	-	PD9_1=0
P92	SDA3出力	PS3_2=1	PSL3_2=0	-	-
	SDA3入力	PS3_2=0	-	-	PD9_2=0
P96	SDA4出力	PS3_6=1	-	PSC3_6=0	-
	SDA4入力	PS3_6=0	-	-	PD9_6=0
P97	SCL4出力	PS3_7=1	PSL3_7=0	-	-
	SCL4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

16.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL_i端子(i=0~4)が“H”の状態でもSDA_i端子が“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL_i端子が“H”の状態でもSDA_i端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用しています。どちらの要求による割り込みかはUiSMRレジスタのBBSビットで判定してください。

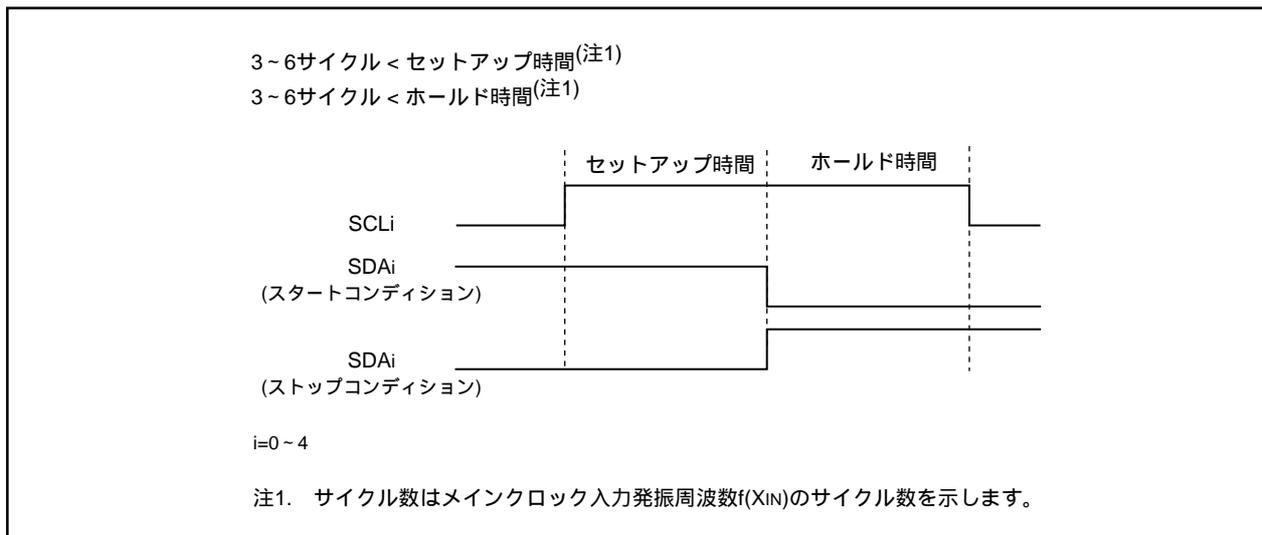


図16.21 スタートコンディション、ストップコンディションの検出

16.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタの(i=0~4)STAREQビットを“1”(スタート)にするとスタートコンディションを生成します。UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

STAREQビットを“1”にしてUiSMR4レジスタのSTSPSELビットを“1”(スタート、ストップコンディション生成回路選択)にするとスタートコンディションを出力します。同様に、RSTAREQビットを“1”にしてSTSPSELビットを“1”にするとリスタートコンディション、STPREQビットを“1”にしてSTSPSELビットを“1”にするとストップコンディションを出力します。

スタートコンディション、ストップコンディション、リスタートコンディションを出力する場合は、STAREQビット、STPREQビットまたはRSTAREQビットを“1”にする命令と、STSPSELビットを“1”にする命令の間に割り込みが発生しないようにしてください。

また、スタートコンディションを出力する場合は、STAREQビットを“1”にした後、STSPSELビットを“1”にしてください。

表16.18と図16.22にSTSPSELビットの機能を示します。

表16.18 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
スタートコンディション、ストップコンディションの出力	ポートを使ったプログラムで実現(ハードウェアによる自動発生はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

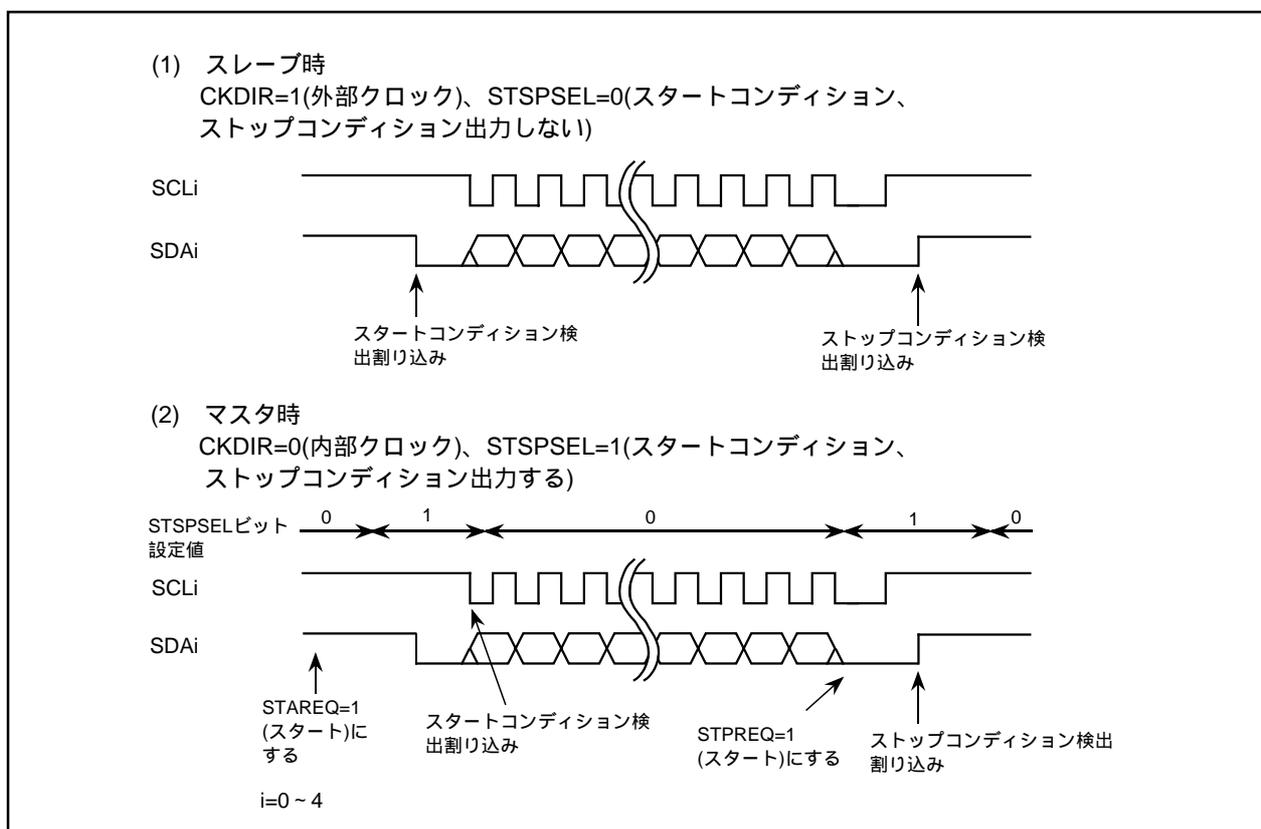


図16.22 STSPSELビットの機能

16.3.3 アービトレーション

UiSMRレジスタ(i=0~4)のABCビットでUiRBレジスタ(i=0~4)のABTビットの更新タイミングを選択します。SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”(バイトごとに更新)にすると、判定時に一度でも不一致が検出された場合、転送クロックの9サイクル目の立ち下がりでABTビットが“1”(検出(負))になります。バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”(未検出(勝))にし、次の1バイトの転送を開始してください。

UiSMR2レジスタのALSビットを“1”(SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”になると、同時にSDAi端子がハイインピーダンス状態になります。

16.3.4 転送クロック

図16.20に示すような転送クロックで送受信を行います。

UiSMR2レジスタ(i=0~4)のCSCビットは、内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがってUARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。転送クロックは、内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまで、同期化されます。CSCビットが“1”の間、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットにより、転送クロックの9サイクル目の立ち下がりでSCLi端子が“L”出力固定になるか、“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”(クロックの遅れあり)のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

16.3.5 SDA出力

UiTBレジスタ(i=0~4)のビット7~0(D7~D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICMビットが“1”(I²Cモード)、UiMRレジスタのSMD2~SMD0が“0002”(シリアルI/Oは無効)の状態を設定してください。

UiSMR3レジスタのDL2~DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2~8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。UiRBレジスタのABTビットが“1”(検出)になる場合があります。

16.3.6 SDA入力

UiSMR2レジスタ(i=0~4)のIICM2ビットが“0”の場合、受信したデータの1~8ビット目をUiRBレジスタのビット7~0(D7~D0)に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”の場合、受信したデータの1~7ビット目(D7~D1)をUiRBレジスタのビット6~0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”の場合でも、UiSMR3レジスタのCKPHビットが“1”であれば、9ビット目の転送クロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”の場合と同様のデータが読み出せます。

16.3.7 ACK、NACK

UiSMR4レジスタ(i=0~4)のSTSPSELビットが“0”(シリアルI/O回路選択)の状態、UiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は転送クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は転送クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA要求要因にACKを選択すると、アクノリッジ検出によってDMA転送を起動できます。

16.3.8 送受信初期化

UiSMR2レジスタ(i=0~4)のSTCビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力された転送クロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値が保持されます。
- 受信シフトレジスタは初期化され、次に入力された転送クロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウエイト出力許可)になります。これにより、転送クロックの9ビット目の立ち下がりSCLi端子が“L”になります。

この機能を使用しUARTiの送受信を開始した場合、Uic1レジスタのTIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

16.4 特殊モード2

1つまたは複数のマスタから、複数のスレーブへシリアル通信できます。 $\overline{SSi}(i=0\sim 4)$ 入力端子を用いて、シリアルバスの通信を制御します。表16.19に特殊モード2の仕様を、表16.20に特殊モード2時の使用レジスタと設定値を、表16.21～表16.23に特殊モード2時の端子の設定を示します。

表16.19 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	<ul style="list-style-type: none"> • UiMRレジスタ($i=0\sim 4$)のCKDIRビットが“0”(内部クロック選択) : $f_j/2(m+1)$ $f_j=f_1, f_8, f_{2n}$(注1) m : UiBRGレジスタ設定値 0016～FF16 • CKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
送信制御、受信制御	SS機能
送信開始条件	送信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には次の条件が必要です(注2) <ul style="list-style-type: none"> • UiC1レジスタのREビットが“1”(受信許可) • TEビットが“1”(送信許可) • TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> • UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 受信時 • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> • オーバランエラー(注3) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生 <ul style="list-style-type: none"> • 障害エラー マスタモード時、 \overline{SSi} 端子に“L”が入力されたときに発生
選択機能	<ul style="list-style-type: none"> • CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 • LSBファースト、MSBファースト 選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読む動作により、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの理論値を反転する機能 • TxD、RxD入出力極性切り替え TxD端子出力とRxD端子入力のレベルを反転する機能。入出力するデータのレベルがすべて反転する • クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可 • \overline{SSi}入力端子機能 マスタが他のマスタやスレーブとデータが衝突しないように出力端子をハイインピーダンス状態にする

注1. TCSPRレジスタのCNT3～CNT0ビットで分周なし($n=0$)または $2n$ 分周($n=1\sim 15$)を選択できます。

注2. 外部クロック選択時、UiC0レジスタのCKPOLビットが“0”の場合は外部クロックが“H”の状態、CKPOLビットが“1”の場合は外部クロックが“L”の状態、これらの条件を満たすようにしてください。

注3. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表16.20 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=1 なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できません
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを許可する場合、“1” にしてください
	UiLCH、SCLKSTPB	“0” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	SSE	“1” にしてください
	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できません
	DINC	マスタモードの場合“0”に、スレーブモードの場合“1” にしてください
	NODC	“0” にしてください
	ERR	障害エラーフラグ
	5~7	“0002” にしてください
UiSMR4	0~7	“0016” にしてください

i=0~4

表16.21 特殊モード2時の端子の設定(1)

ポート名	機能	ビットと設定値		
		PS0レジスタ	PSL0レジスタ	PD6レジスタ
P60	SS0入力	PS0_0=0	-	PD6_0=0
P61	CLK0入力(スレーブ)	PS0_1=0	-	PD6_1=0
	CLK0出力(マスタ)	PS0_1=1	-	-
P62	RxD0入力(マスタ)	PS0_2=0	-	PD6_2=0
	STxD0出力(スレーブ)	PS0_2=1	PSL0_2=1	-
P63	TxD0出力(マスタ)	PS0_3=1	-	-
	SRxD0入力(スレーブ)	PS0_3=0	-	PD6_3=0
P64	SS1入力	PS0_4=0	-	PD6_4=0
P65	CLK1入力(スレーブ)	PS0_5=0	-	PD6_5=0
	CLK1出力(マスタ)	PS0_5=1	-	-
P66	RxD1入力(マスタ)	PS0_6=0	-	PD6_6=0
	STxD1出力(スレーブ)	PS0_6=1	PSL0_6=1	-
P67	TxD1出力(マスタ)	PS0_7=1	-	-
	SRxD1入力(スレーブ)	PS0_7=0	-	PD6_7=0

表16.22 特殊モード2時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 ^(注1)	TxD2出力(マスタ)	PS1_0=1	PSL1_0=0	PSC_0=0	-
	SRxD2入力(スレーブ)	PS1_0=0	-	-	PD7_0=0
P71 ^(注1)	RxD2入力(マスタ)	PS1_1=0	-	-	PD7_1=0
	STxD2出力(スレーブ)	PS1_1=1	PSL1_1=1	PSC_1=0	-
P72	CLK2入力(スレーブ)	PS1_2=0	-	-	PD7_2=0
	CLK2出力(マスタ)	PS1_2=1	PSL1_2=0	PSC_2=0	-
P73	SS2入力	PS1_3=0	-	-	PD7_3=0

注1. 出力はNチャンネルオープンドレイン出力

表16.23 特殊モード2時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ ^(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ ^(注1)
P90	CLK3入力(スレーブ)	PS3_0=0	-	-	PD9_0=0
	CLK3出力(マスタ)	PS3_0=1	-	-	-
P91	RxD3入力(マスタ)	PS3_1=0	-	-	PD9_1=0
	STxD3出力(スレーブ)	PS3_1=1	PSL3_1=1	-	-
P92	TxD3出力(マスタ)	PS3_2=1	PSL3_2=0	-	-
	SRxD3入力(スレーブ)	PS3_2=0	-	-	PD9_2=0
P93	SS3入力	PS3_3=0	PSL3_3=0	-	PD9_3=0
P94	SS4入力	PS3_4=0	PSL3_4=0	-	PD9_4=0
P95	CLK4入力(スレーブ)	PS3_5=0	PSL3_5=0	-	PD9_5=0
	CLK4出力(マスタ)	PS3_5=1	-	-	-
P96	TxD4出力(マスタ)	PS3_6=1	-	PSC3_6=0	-
	SRxD4入力(スレーブ)	PS3_6=0	PSL3_6=0	-	PD9_6=0
P97	RxD4入力(マスタ)	PS3_7=0	-	-	PD9_7=0
	STxD4出力(スレーブ)	PS3_7=1	PSL3_7=1	-	-

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

16.4.1 $\overline{\text{SSi}}$ 入力端子機能(i=0~4)

UiSMR3レジスタのSSEビットを“1”($\overline{\text{SS}}$ 機能許可)にすると特殊モード2が選択され、端子機能が許可されます。

UiSMR3レジスタのDINCビットでマスタか、スレーブかを選択できます。複数のマイクロコンピュータをマスタにした場合(マルチマスタシステム)、 $\overline{\text{SSi}}$ 端子の状態でその時々のマスタが決まります。

16.4.1.1 DINCビットが“1”(スレーブモード)の場合

$\overline{\text{SSi}}$ 端子の入力信号が“H”の場合、STxDi端子とSRxDi端子はハイインピーダンスになり、クロックの入力は無視されます。 $\overline{\text{SSi}}$ 端子の入力信号が“L”の場合、クロックの入力が有効となり、シリアル通信が可能になります。

16.4.1.2 DINCビットが“0”(マスタモード)の場合

マスタモードで $\overline{\text{SSi}}$ 端子機能を使用する場合、UiC1レジスタのUiIRSビットを“1”(送信完了)にしてください。

$\overline{\text{SSi}}$ 端子の入力信号が“H”の場合、送信権がありますのでシリアル通信ができます。マスタは転送クロックを出力します。 $\overline{\text{SSi}}$ 端子の入力信号が“L”の場合、別にマスタが存在していることを示します。TxDi端子とCLKi端子はハイインピーダンスになり、UiSMR3レジスタのERRビットが“1”(障害エラーあり)になります。通信完了割り込みルーチン内でERRビットを判定してください。

障害エラー発生後、シリアル通信を再開する場合、 $\overline{\text{SSi}}$ 端子の入力信号が“H”の状態ERRビットに“0”を書いてください。TxDi端子とCLKi端子は出力状態になります。

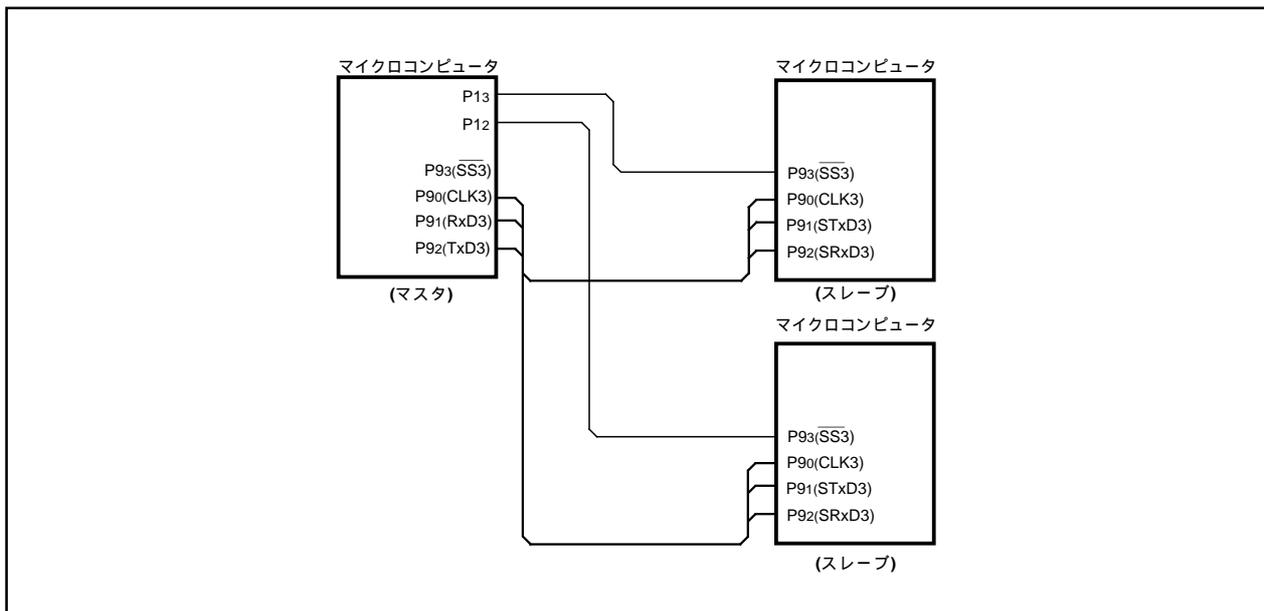


図16.23 $\overline{\text{SS}}$ 端子を用いたシリアルバスの通信制御例

16.4.2 クロック位相設定機能

UiSMR3レジスタ(i=0~4)のCKPHビットと、Uic0レジスタのCKPOLビットによって転送クロックの極性と相の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

16.4.2.1 DINCビットが“0”(マスタ(内部クロック))の場合

図16.24に送受信のタイミングを示します。

16.4.2.2 DINCビットが“1”(スレーブ(外部クロック))の場合

CKPHビットが“0”(クロック遅れなし)で \overline{SSi} 入力端子が“H”の場合、STxDiはハイインピーダンスです。 \overline{SSi} 入力端子が“L”になるとシリアル転送を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してシリアル転送を行います。図16.25にタイミングを示します。

CKPHビットが“1”(クロック遅れあり)で \overline{SSi} 入力端子が“H”の場合、STxDiはハイインピーダンスです。 \overline{SSi} 端子が“L”になると最初のデータが出力します。その後、クロックに同期してシリアル転送を行います。図16.26にタイミングを示します。

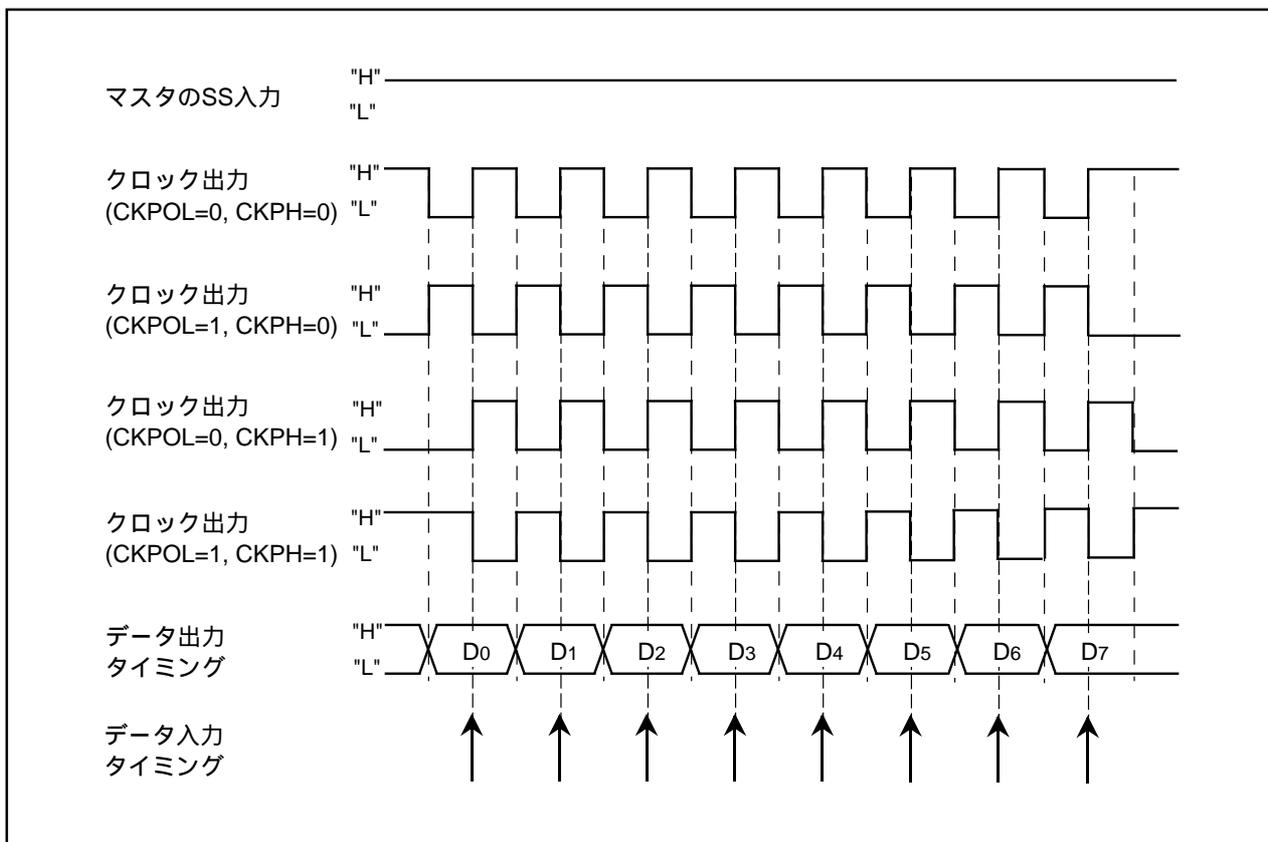


図16.24 マスタ(内部クロック)の場合の送受信のタイミング

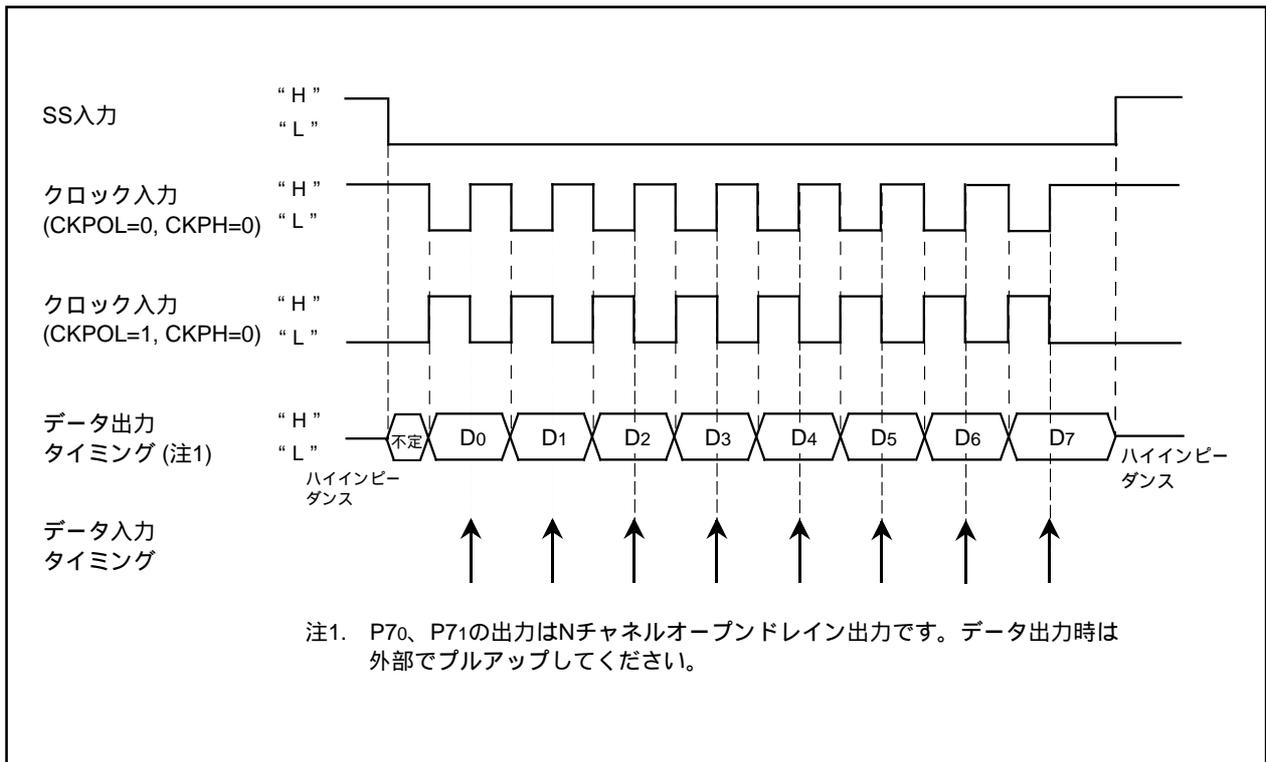


図16.25 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

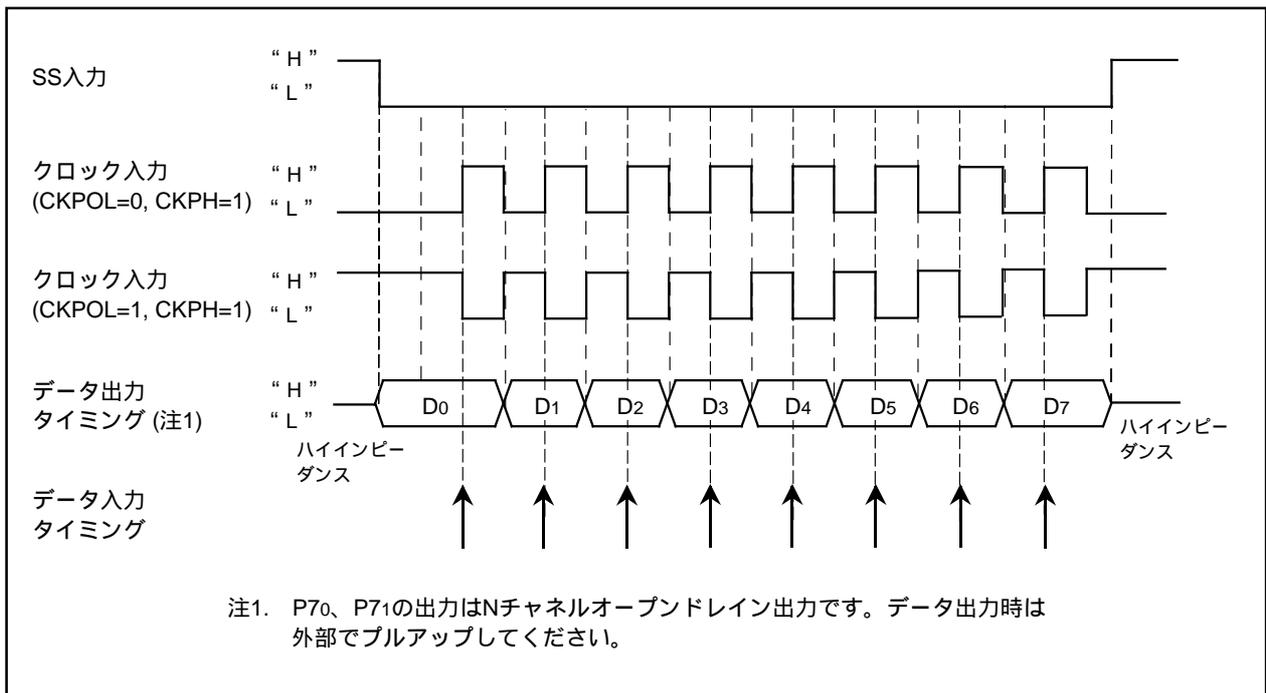


図16.26 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

16.5 特殊モード3(GCIモード)

クロック同期形シリアルI/Oの転送クロックを、外部クロックに同期化します。

表16.24にGCIモードの仕様を、表16.25にGCIモード時の使用レジスタと設定値を、表16.26～表16.28にGCIモード時の端子の設定を示します。

表16.24 GCIモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	UiMRレジスタ(i=0~4)のCKDIRビットが“1”(外部クロック選択) : CLKi端子からの入力
クロック同期化機能	CTSi端子からトリガ信号入力
送受信開始条件	次の条件を満たした後、CTSi端子にトリガが入力されると送受信を開始します <ul style="list-style-type: none"> ・ UiC1レジスタのTEビットが“1”(送信許可) ・ UiC1レジスタのREビットが“1”(受信許可) ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択できます <ul style="list-style-type: none"> ・ UiC1レジスタのUiIRSビットが“0”(UiTBレジスタ空)の場合、UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・ UiIRSビットが“1”(送信完了)の場合、UARTi送信レジスタからデータ送信完了時受信時 ・ UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー ^(注1) UiRBレジスタを読む前に次のデータ受信を開始し、7ビット目のデータを受信すると発生

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

表16.25 GCIモード時(クロック分周同期化機能使用時)の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データ
	OER	オーバランエラーフラグ
UiBRG	0~7	“0016” にしてください
UiMR	SMD2~SMD0	“0012” にしてください
	CKDIR	“1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK1~CLK0	“002” にしてください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM、UiLCH	“0” にしてください
	SCLKSTPB	“0” にしてください
UiSMR	0~6	“00000002” にしてください
	SCLKDIV	表16.29参照
UiSMR2	0~6	“00000002” にしてください
	SU1HIM	表16.29参照
UiSMR3	0~2	“0002” にしてください
	NODC	“0” にしてください
	4~7	“00002” にしてください
UiSMR4	0~7	“0016” にしてください

i=0~4

表16.26 GCIモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P60	CTS0入力 ^(注1)	PS0_0=0	PD6_0=0
P61	CLK0入力	PS0_1=0	PD6_1=0
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P64	CTS1入力 ^(注1)	PS0_4=0	PD6_4=0
P65	CLK1入力	PS0_5=0	PD6_5=0
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

注1. CTS入力は、トリガ入力に使用。

表16.27 GCIモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70 ^(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71 ^(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
P73	CTS2入力 ^(注2)	PS1_3=0	-	-	PD7_3=0

注1. 出力はNチャンネルオープンドレイン出力

注2. CTS入力は、トリガ入力に使用。

表16.28 GCIモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ ^(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ ^(注1)
P90	CLK3入力	PS3_0=0	-	-	PD9_0=0
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P93	CTS3入力 ^(注2)	PS3_3=0	PSL3_3=0	-	PD9_3=0
P94	CTS4入力 ^(注2)	PS3_4=0	PSL3_4=0	-	PD9_4=0
P95	CLK4入力	PS3_5=0	PSL3_5=0	-	PD9_5=0
P96	TxD4出力	PS3_6=1	PSL3_6=0	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

注2. CTS入力は、トリガ入力に使用。

UiSMR2レジスタ(i=0~4)のSU1HIMビットと、UiSMRレジスタのSCLKDIVビットに表16.29に示す値を設定し、CTSi端子にトリガ信号を入力すると、外部クロックに同期した内部クロックが生成されます。転送クロックは、外部クロックと同周期にするか、外部クロックを2分周した周期にするか選択できます。また、UiC1レジスタのSCLKSTPBビットで、外部クロック動作中に転送クロックを停止または開始することができます。図16.27にクロック分周同期化機能の使用例を示します。

表16.29 クロック分周同期化機能選択

UiSMRレジスタ(i=0~4)のSCLKDIVビット	UiSMR2レジスタのSU1HIMビット	クロック同期化機能選択	波形例
0	0	同期化しない	-
0	1	外部クロックと同周期	図16.27のA
1	0または1	外部クロックを2分周した周期	図16.27のB

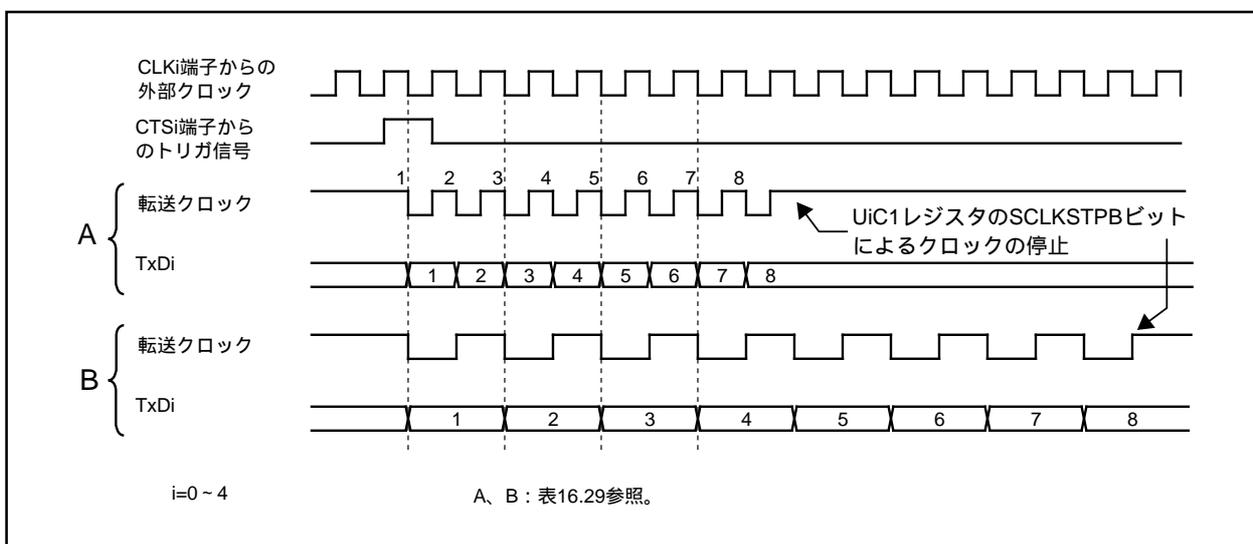


図16.27 クロック分周同期化機能の使用例

16.6 特殊モード4(IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表16.30にIEモード時の使用レジスタと設定値を、表16.31～表16.33にIEモード時の端子の設定を示します。

表16.30 IEモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～8	送信データを設定してください
UiRB	0～8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	“1102” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0” にしてください
	PRY	PRYE=0なので無効
	PRYE	“0” にしてください
	IOPOL	TxD、RxD入出力極性を選択してください
UiC0	CLK1～CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TxDi端子の出力形式を選択してください
	CKPOL	“0” にしてください
	UFORM	“0” にしてください
UiC1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM、UiLCH、SCLKSTPB	“0” にしてください
UiSMR	0～3	“00002” にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1” にしてください
	SSS	送信開始条件を選択してください
	SCLKDIV	“0” にしてください
UiSMR2	0～7	“0016” にしてください
UiSMR3	0～7	“0016” にしてください
UiSMR4	0～7	“0016” にしてください
IFSR	IFSR6、IFSR7	バス衝突割り込みの要因を選択してください

i=0～4

表16.31 IEモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P61	CLK0入力	PS0_1=0	PD6_1=0
	CLK0出力	PS0_1=1	-
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P65	CLK1入力	PS0_5=0	PD6_5=0
	CLK1出力	PS0_5=1	-
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

表16.32 IEモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0
P72	CLK2入力	PS1_2=0	-	-	PD7_2=0
	CLK2出力	PS1_2=1	PSL1_2=0	PSC_2=0	-

注1. 出力はNチャンネルオープンドレイン出力

表16.33 IEモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P90	CLK3入力	PS3_0=0	-	-	PD9_0=0
	CLK3出力	PS3_0=1	-	-	-
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P95	CLK4入力	PS3_5=0	PSL3_5=0	-	PD9_5=0
	CLK4出力	PS3_5=1	-	-	-
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”（書き込み許可）にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

TxDi端子(i=0~4)の出力レベルとRxDi端子の入力レベルが異なる場合、割り込み要求が発生します。

UART0とUART3はソフトウェア割り込み番号40に、UART1とUART4は41に割り当てられています。UART0またはUART3、UART1またはUART4のバス衝突検出機能を使用する場合は、IFSRレジスタのIFSR6ビットとIFSR7ビットで選択してください。

UiSMRレジスタのABSCSビットが“0”(転送クロックの立ち上がり)の場合、転送クロックの立ち上がりに同期してTxD出力レベルとRxD入力レベルの不一致を検出します。ABSCSビットが“1”(タイマAj(j=0~4)のアンダフロー)の場合、タイマAj(UART0ではタイマA3、UART1ではタイマA4、UART2ではタイマA0、UART3ではタイマA3、UART4ではタイマA4)のアンダフローのタイミングで検出します。タイマAjはワンショットタイマモードで使用してください。

UiSMRレジスタのACSEビットを“1”(バス衝突発生時自動クリア)にすると、BCNiICレジスタのIRビットが“1”(不一致検出)のとき、UiC1レジスタのTEビットを“0”(送信禁止)にします。

UiSMRレジスタのSSSビットを“1”(RxDiに同期)にすると、RxDi端子の立ち下がりに同期して、TxDi送信を開始します。図16.28にバス衝突検出機能関連ビットの機能を示します。

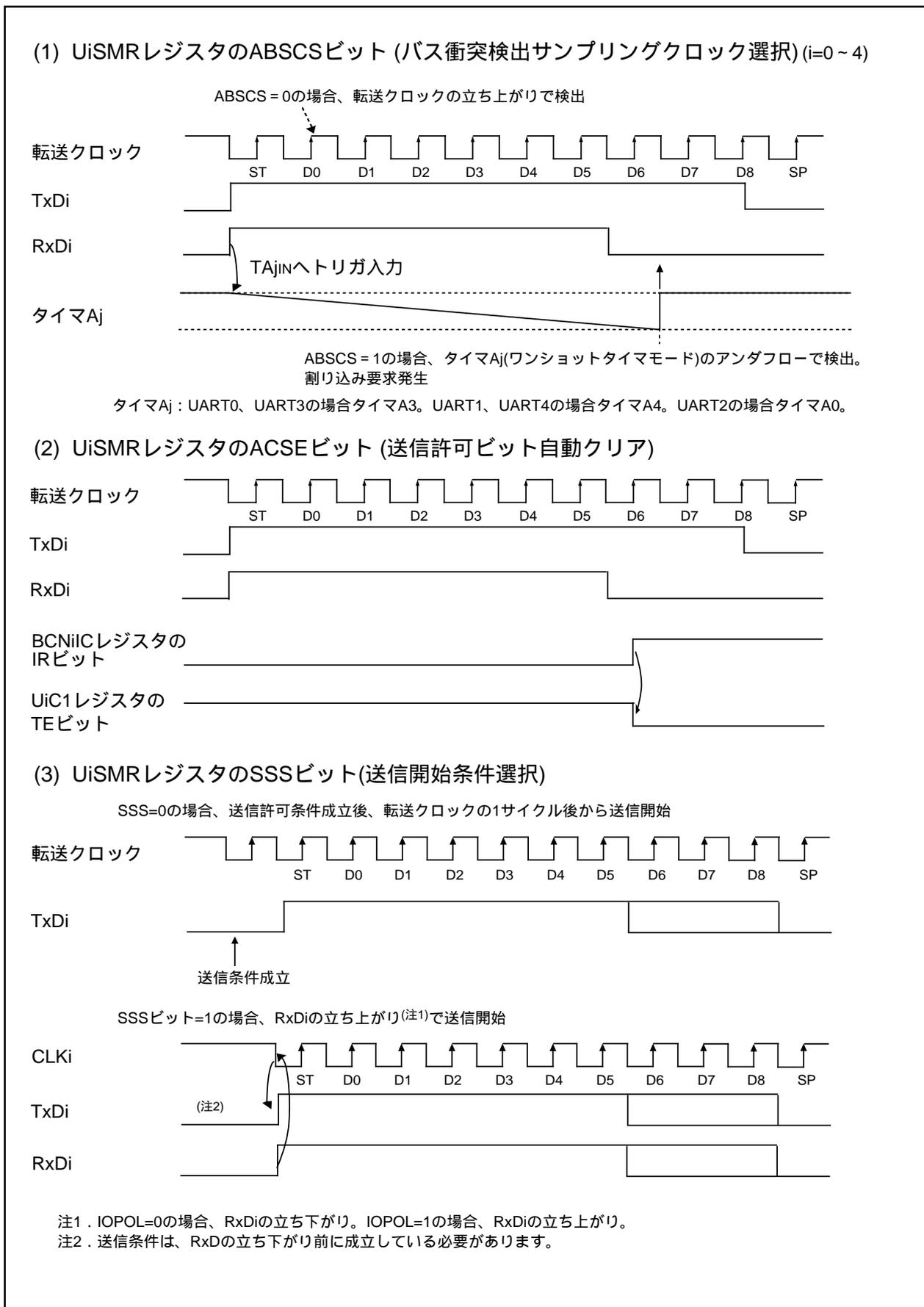


図16.28 バス衝突検出機能関連ビットの機能

16.7 特殊モード5(SIMモード)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTxDi端子(i=0~4)から“L”を出力できます。

表16.34にSIMモードの仕様を、表16.35にSIMモード時の使用レジスタと設定値を、表16.36~表16.38にSIMモード時の端子の設定を示します。

表16.34 SIMモードの仕様

項目	仕様												
転送データフォーマット	<ul style="list-style-type: none"> 転送データ 8ビットUARTモード 1ストップビット ダイレクトフォーマットの場合 <table border="0"> <tr> <td>パリティ</td> <td>偶数</td> </tr> <tr> <td>データ論理</td> <td>ダイレクト</td> </tr> <tr> <td>転送フォーマット</td> <td>LSBファースト</td> </tr> </table> インバースフォーマットの場合 <table border="0"> <tr> <td>パリティ</td> <td>奇数</td> </tr> <tr> <td>データ論理</td> <td>インバース</td> </tr> <tr> <td>転送フォーマット</td> <td>MSBファースト</td> </tr> </table> 	パリティ	偶数	データ論理	ダイレクト	転送フォーマット	LSBファースト	パリティ	奇数	データ論理	インバース	転送フォーマット	MSBファースト
パリティ	偶数												
データ論理	ダイレクト												
転送フォーマット	LSBファースト												
パリティ	奇数												
データ論理	インバース												
転送フォーマット	MSBファースト												
転送クロック	<ul style="list-style-type: none"> UiMRレジスタ(i=0~4)のCKDIRビットが“0”(内部クロック選択)の場合 $f_j/16(m+1)$ $f_j=f_1, f_8, f_{2n}$(注2) m: UiBRGレジスタ設定値 0016~FF16 CKDIRビットを“1”(外部クロック選択を設定)にしないでください 												
送信制御、受信制御	UiC0レジスタのCRDビットは“1”(CTS, RTS機能禁止)												
その他設定項目	UiC1レジスタのUiIRSビットは“1”(送信割り込み要因は送信完了)												
送信開始条件	送信開始には次の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのTEビットは“1”(送信許可) UiC1レジスタのTIビットは“0”(UiTBレジスタにデータあり) 												
受信開始条件	受信開始には次の条件が必要です <ul style="list-style-type: none"> UiC1レジスタのREビットは“1”(受信許可) スタートビットの検出 												
割り込み要求発生タイミング	送信時 UiIRSビットは“1”(送信完了): UARTi送信レジスタからデータ送信完了時 受信時 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)												
エラー検出	<ul style="list-style-type: none"> オーバランエラー(注1) UiRBレジスタを読む前に次のデータの8ビット目を受信すると発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合、SUMビットが“1”になる 												

注1. オーバランエラーが発生した場合、UiRBレジスタは不定になります。SiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

注2. TCSPPRレジスタのCNT3~CNT0ビットで分周なし(n=0)または2n分周(n=1~15)を選択できます。

表16.35 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0~7	送信データを設定してください
UiRB	0~7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UiMR	SMD2~SMD0	“1012” にしてください
	CKDIR	“0” にしてください
	STPS	“0” にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合 “0” にしてください
	PRYE	“1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK0,CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	“1” にしてください
	CKPOL	“0” にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合 “1” にしてください
UiC1	TE	送信を許可する場合“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1” にしてください
	RI	受信完了フラグ
	UiIRS	“1” にしてください
	UiRRM	“0” にしてください
	UiLCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合 “1” にしてください
	UiERE	“1” にしてください
UiSMR	0~7	“0016” にしてください
UiSMR2	0~7	“0016” にしてください
UiSMR3	0~7	“0016” にしてください
UiSMR4	0~7	“0016” にしてください

i=0~4

表16.36 SIMモード時の端子の設定(1)

ポート名	機能	ビットと設定値	
		PS0レジスタ	PD6レジスタ
P62	RxD0入力	PS0_2=0	PD6_2=0
P63	TxD0出力	PS0_3=1	-
P66	RxD1入力	PS0_6=0	PD6_6=0
P67	TxD1出力	PS0_7=1	-

表16.37 SIMモード時の端子の設定(2)

ポート名	機能	ビットと設定値			
		PS1レジスタ	PSL1レジスタ	PSCレジスタ	PD7レジスタ
P70(注1)	TxD2出力	PS1_0=1	PSL1_0=0	PSC_0=0	-
P71(注1)	RxD2入力	PS1_1=0	-	-	PD7_1=0

注1. 出力はNチャンネルオープンドレイン出力

表16.38 SIMモード時の端子の設定(3)

ポート名	機能	ビットと設定値			
		PS3レジスタ(注1)	PSL3レジスタ	PSC3レジスタ	PD9レジスタ(注1)
P91	RxD3入力	PS3_1=0	-	-	PD9_1=0
P92	TxD3出力	PS3_2=1	PSL3_2=0	-	-
P96	TxD4出力	PS3_6=1	-	PSC3_6=0	-
P97	RxD4入力	PS3_7=0	-	-	PD9_7=0

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に、割り込みやDMA転送が入らないようにしてください。

図16.29にSIMインタフェースの動作例を、図16.30にSIMインタフェースの接続例を示します。TxDiとRxDiを接続してプルアップしてください。

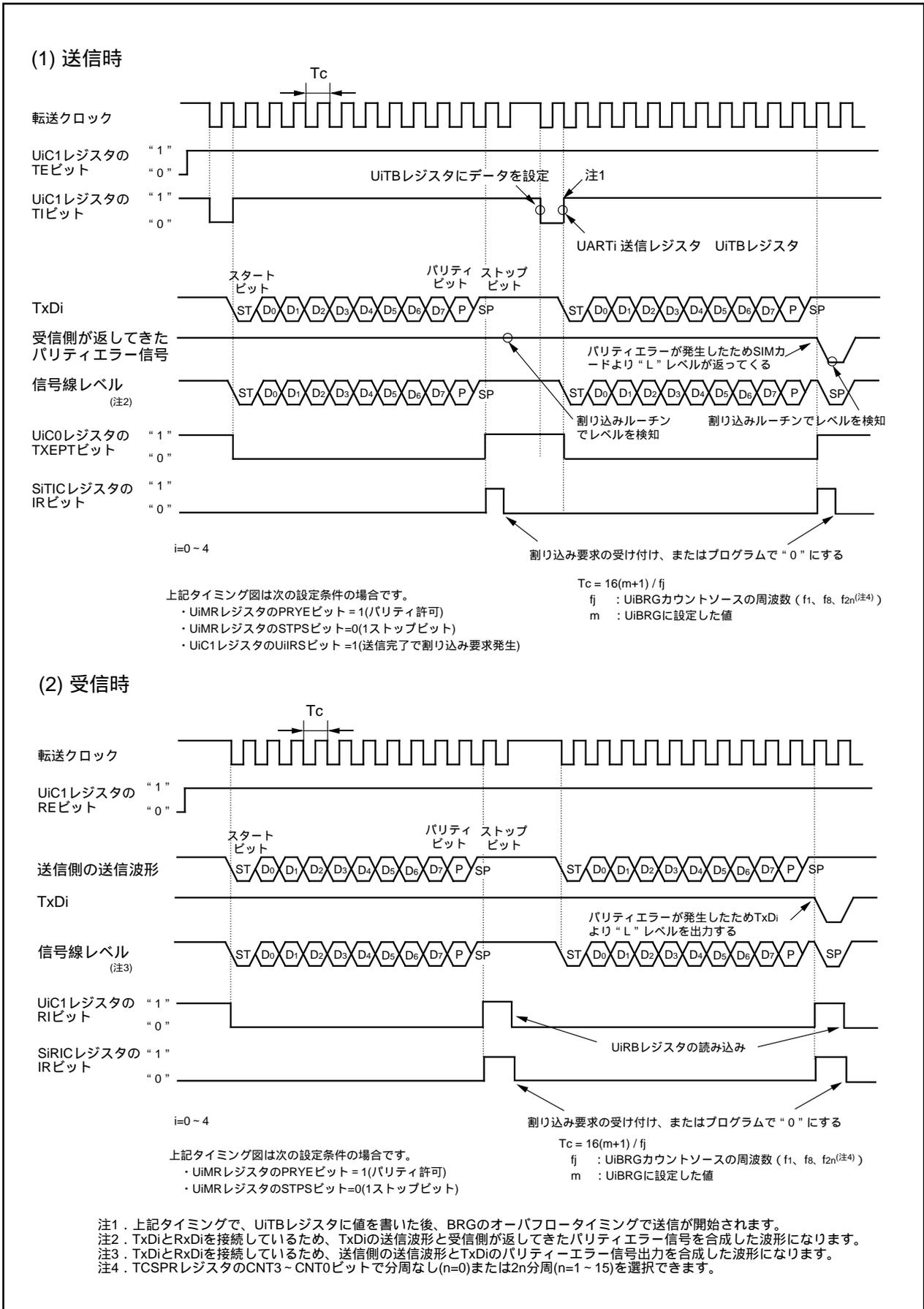


図16.29 SIMインタフェース 動作例

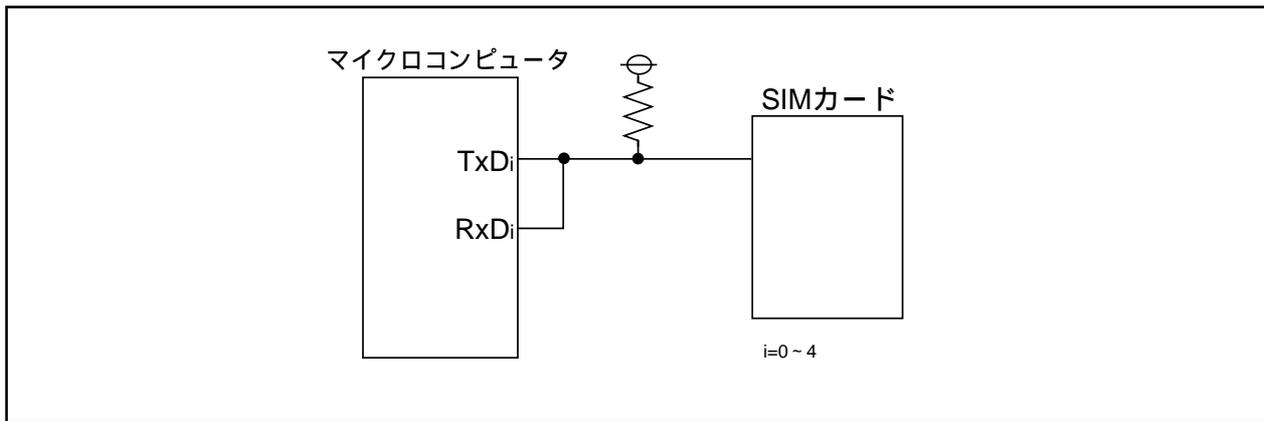


図16.30 SIMインタフェース接続例

16.7.1 パリティエラー信号

16.7.1.1 パリティエラー信号出力機能

UiC1レジスタ(i=0~4)のUiEREビットを“1”(出力する)にすると、パリティエラー信号を出力できます。パリティエラー信号は、受信時にパリティエラーを検出した場合に出力される信号で、図16.31に示すタイミングでTxDi出力が“L”になります。ただし、パリティエラー信号出力中にUiRBレジスタを読むと、UiRBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTxDi出力も“H”に戻ります。

16.7.1.2 パリティエラー信号

送信時、送信完了割り込みルーチンで、RxDiと端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

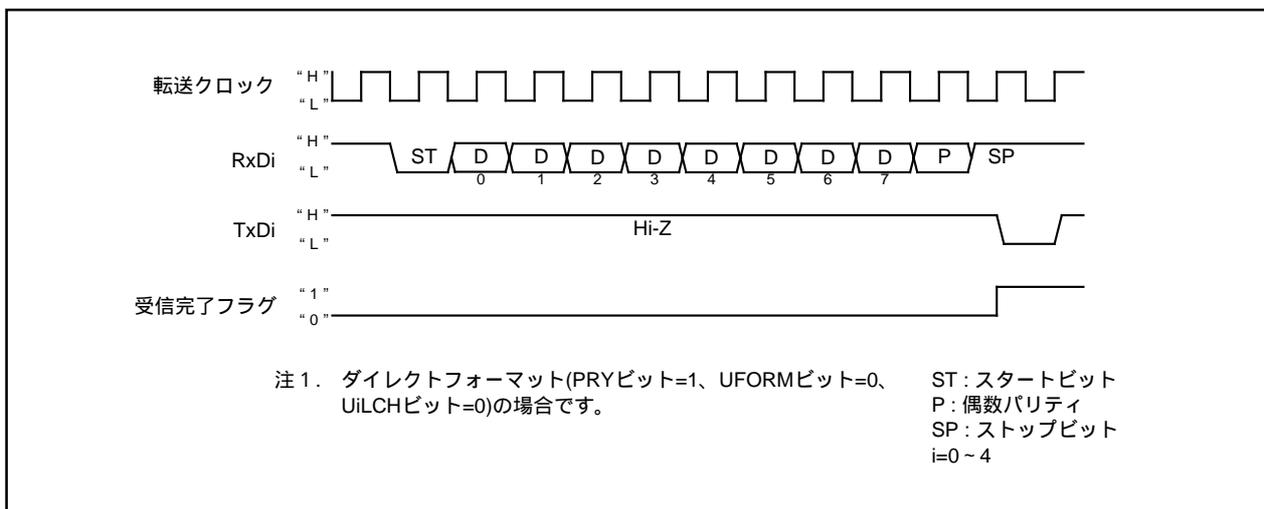


図16.31 パリティエラー信号出力タイミング(LSBファースト)

16.7.2 フォーマット

16.7.2.1 ダイレクトフォーマット

UiMRレジスタ(i=0~4)のPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、UiC0レジスタのUFORMビットを“0”(LSBファースト)、UiC1レジスタのUiLCHビットを“0”(反転なし)にしてください。送信時、UiTBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にUiRBレジスタに格納します。偶数パリティでパリティエラーを判定します。

16.7.2.2 インバースフォーマット

PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、UiLCHビットを“1”(反転あり)にしてください。送信時、UiTBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にUiRBレジスタに格納します。奇数パリティでパリティエラーを判定します。

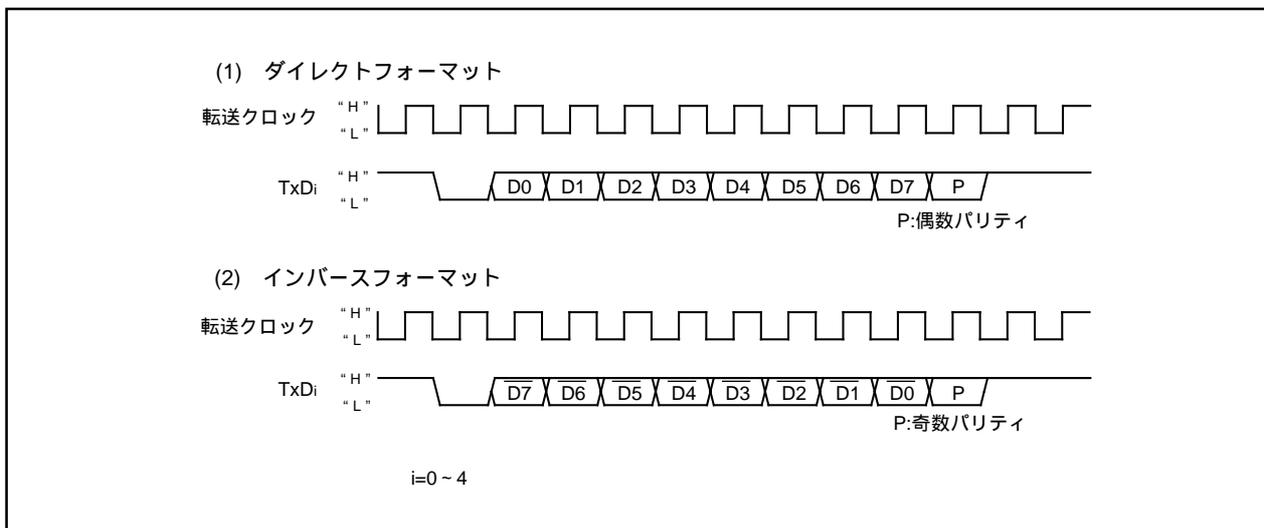


図16.32 SIMインタフェースフォーマット

17. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。

A/D変換した結果は、選択した端子に対応したA/D0iレジスタ($i=0\sim7$)に格納されます。ただし、DMAC利用モードが有効の場合はAD00レジスタのみへ格納されます。

表17.1にA/Dコンバータの仕様を、図17.1にA/Dコンバータのブロック図を、図17.2～図17.6にA/Dコンバータ関連のレジスタを示します。

表17.1 A/Dコンバータの仕様

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧 ^(注1)	0V ~ AV _{CC} (V _{CC1})
動作クロック AD ^(注2)	f _{AD} 、f _{AD} の2分周、f _{AD} の3分周、f _{AD} の4分周、f _{AD} の6分周またはf _{AD} の8分周
分解能	8ビット、10ビット
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子 ^(注3)	10本 8本(AN ₀ ~ AN ₇)。拡張入力2本(ANEX0、ANEX1)
A/D変換開始条件	<ul style="list-style-type: none"> ・ソフトウェアトリガ AD0CON0レジスタのADSTビットを“1”(A/D変換開始)にする ・外部トリガ(再トリガ可能) ADSTビットを“1”にした後、ADTRG端子へ立ち下がりエッジを入力したとき ・ハードウェアトリガ(再トリガ可能) ADSTビットを“1”にした後、三相モータ制御用タイマ機能の(ICTB2レジスタカウント後の)タイマB2割り込み要求が発生したとき
1端子あたりの変換速度	<ul style="list-style-type: none"> ・サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル、分解能10ビットの場合59 ADサイクル ・サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクル

注1．サンプル&ホールドの有無に影響されません。

注2．V_{CC1}=5Vのとき、ADの周波数を16MHz以下にしてください。

V_{CC1}=3.3Vのとき、ADの周波数を10MHz以下にしてください。

サンプル&ホールドなしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールドありのとき ADの周波数は1MHz以上にしてください。

注3．AV_{CC}=V_{REF}=V_{CC1}、AD入力(AN₀ ~ AN₇、ANEX0、ANEX1) V_{CC1}としてください。

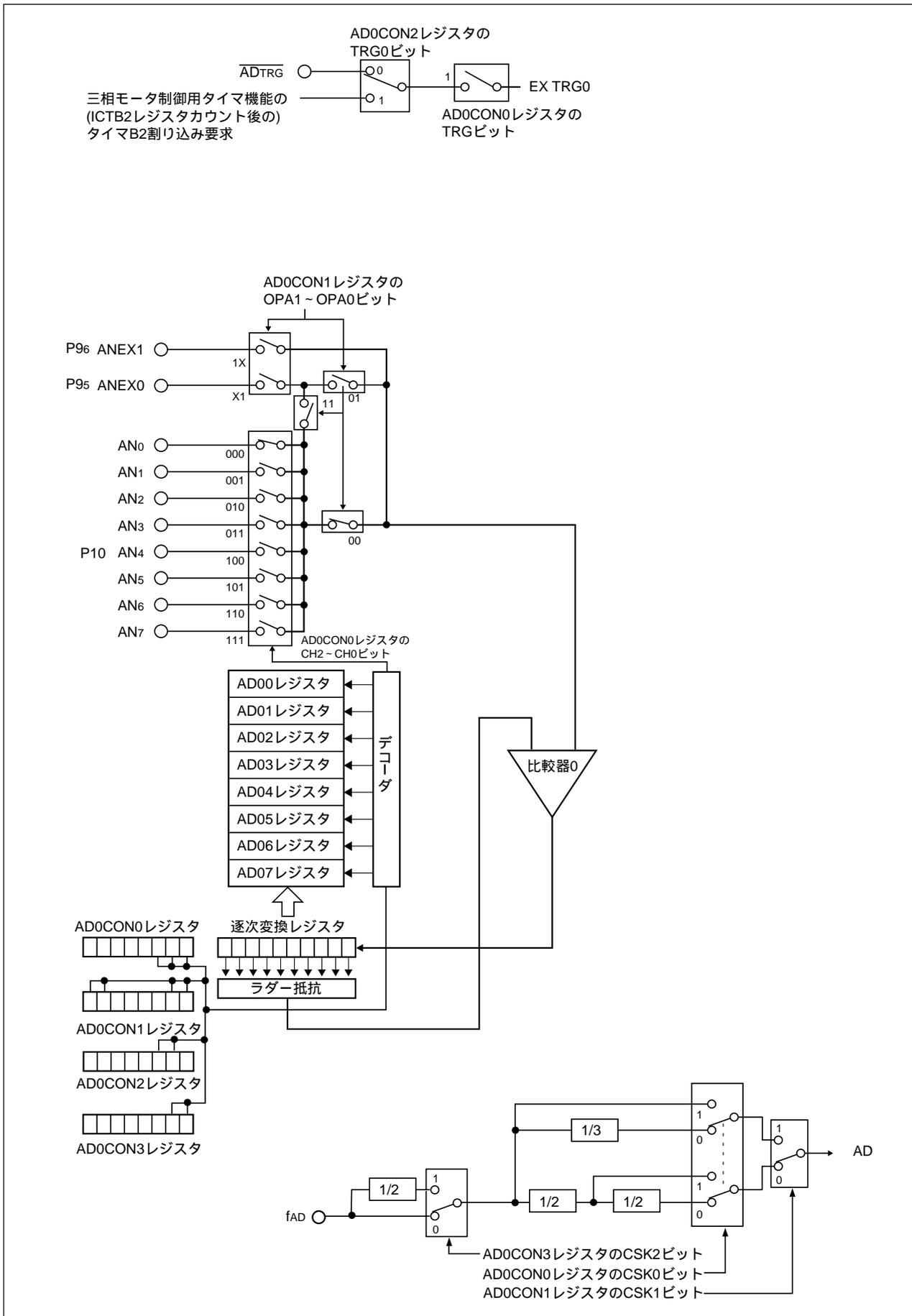


図17.1 A/Dコンバータのブロック図

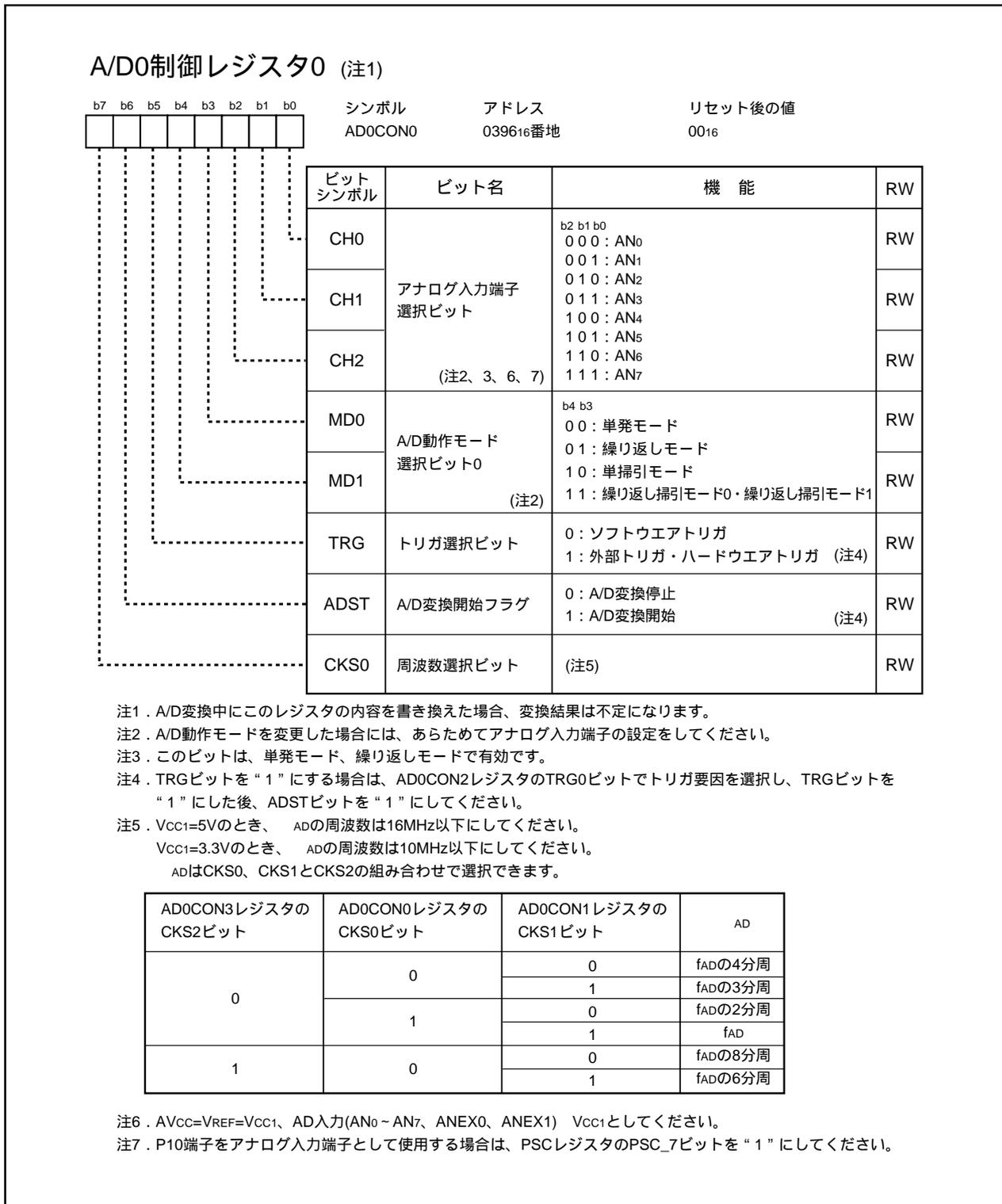


図17.2 AD0CON0レジスタ

A/D0制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル AD0CON1	アドレス 0397 ₁₆ 番地	リセット後の値 00 ₁₆
b7	b6	b5	b4	b3	b2	b1	b0			

ビット シンボル	ビット名	機 能	RW
SCAN0	A/D掃引端子選択ビット (注2、7)	単掃引モード、繰り返し掃引モード0選択時 b1 b0 0 0 : AN ₀ , AN ₁ 0 1 : AN ₀ ~ AN ₃ 1 0 : AN ₀ ~ AN ₅ 1 1 : AN ₀ ~ AN ₇	RW
SCAN1		繰り返し掃引モード1選択時 (注3) b1 b0 0 0 : AN ₀ 0 1 : AN ₀ , AN ₁ 1 0 : AN ₀ ~ AN ₂ 1 1 : AN ₀ ~ AN ₃	RW
MD2	A/D動作モード 選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	RW
BITS	8/10ビットモード 選択ビット	0 : 8ビットモード 1 : 10ビットモード	RW
CKS1	周波数選択ビット	(注4)	RW
VCUT	V _{REF} 接続ビット	0 : V _{REF} 未接続 (注8) 1 : V _{REF} 接続	RW
OPA0	外部オペアンプ接続 モードビット (注5)	b7 b6 0 0 : ANEX ₀ , ANEX ₁ は使用しない (注6) 0 1 : ANEX ₀ 入力をA/D変換 1 0 : ANEX ₁ 入力をA/D変換	RW
OPA1		1 1 : 外部オペアンプ接続	RW

注1. A/D変換中にこのレジスタの内容を書き換えた場合、変換結果は不定になります。

注2. このビットは、単掃引モード、繰り返し掃引モード0で有効です。

注3. MD2ビットを“1”にした場合、A/D変換する頻度が高い端子です。

注4. AD0CON0レジスタのCKS0ビットの注を参照してください。

注5. 単発モード、繰り返しモードでのみ“01₂”または“10₂”を選択できます。その他のモードでは、これらのビットを“01₂”または“10₂”に設定しないでください。

注6. OPA1 ~ OPA0ビットを“00₂”にする場合は、PSL3レジスタのPSL3_5ビットを“0” (ANEX0使用以外)、PSL3_6ビットを“0” (ANEX1使用以外)にしてください。

注7. V_{CC}=V_{REF}=V_{CC1}、AD入力(AN₀ ~ AN₇、ANEX₀、ANEX₁) V_{CC1}としてください。

注8. AD変換中に“0”を書かないでください。
AD0専用の基準電圧です。D/Aとは無関係です。

図17.3 AD0CON1レジスタ

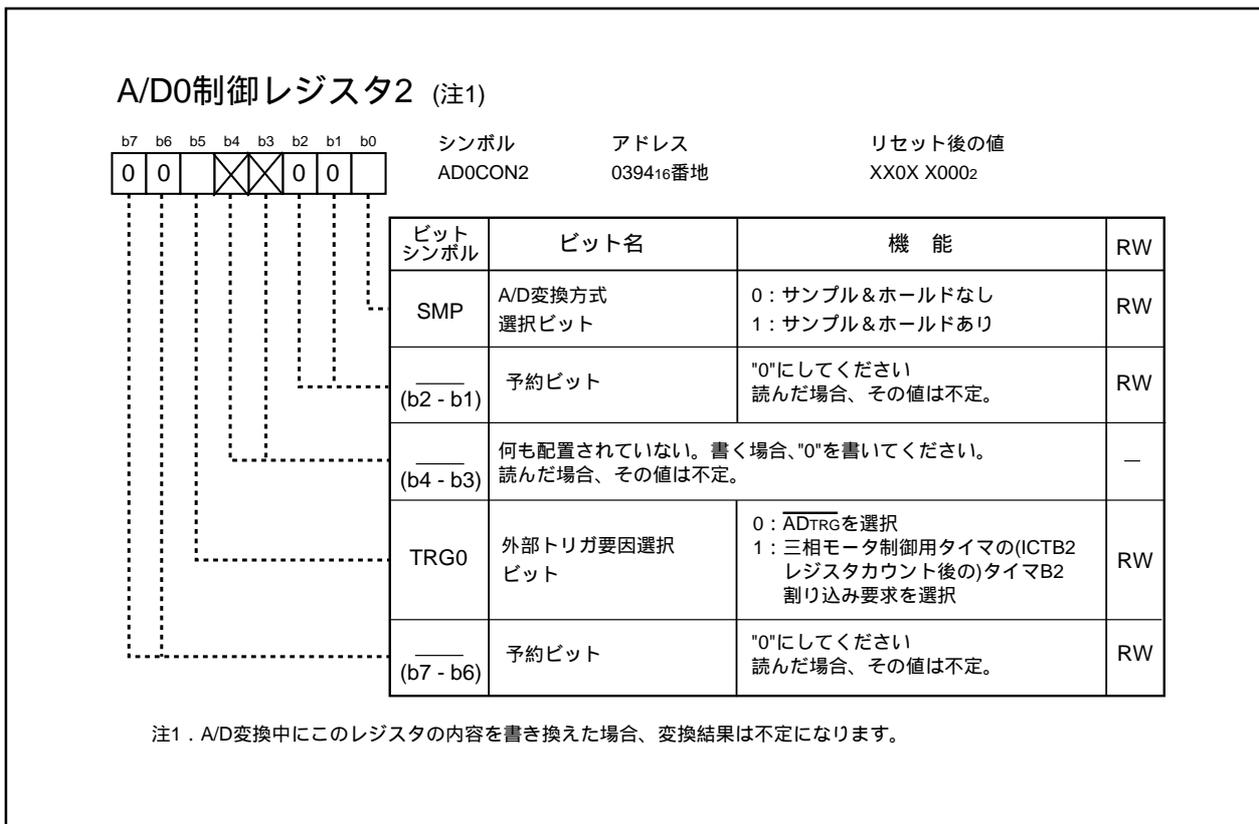


図17.4 AD0CON2レジスタ

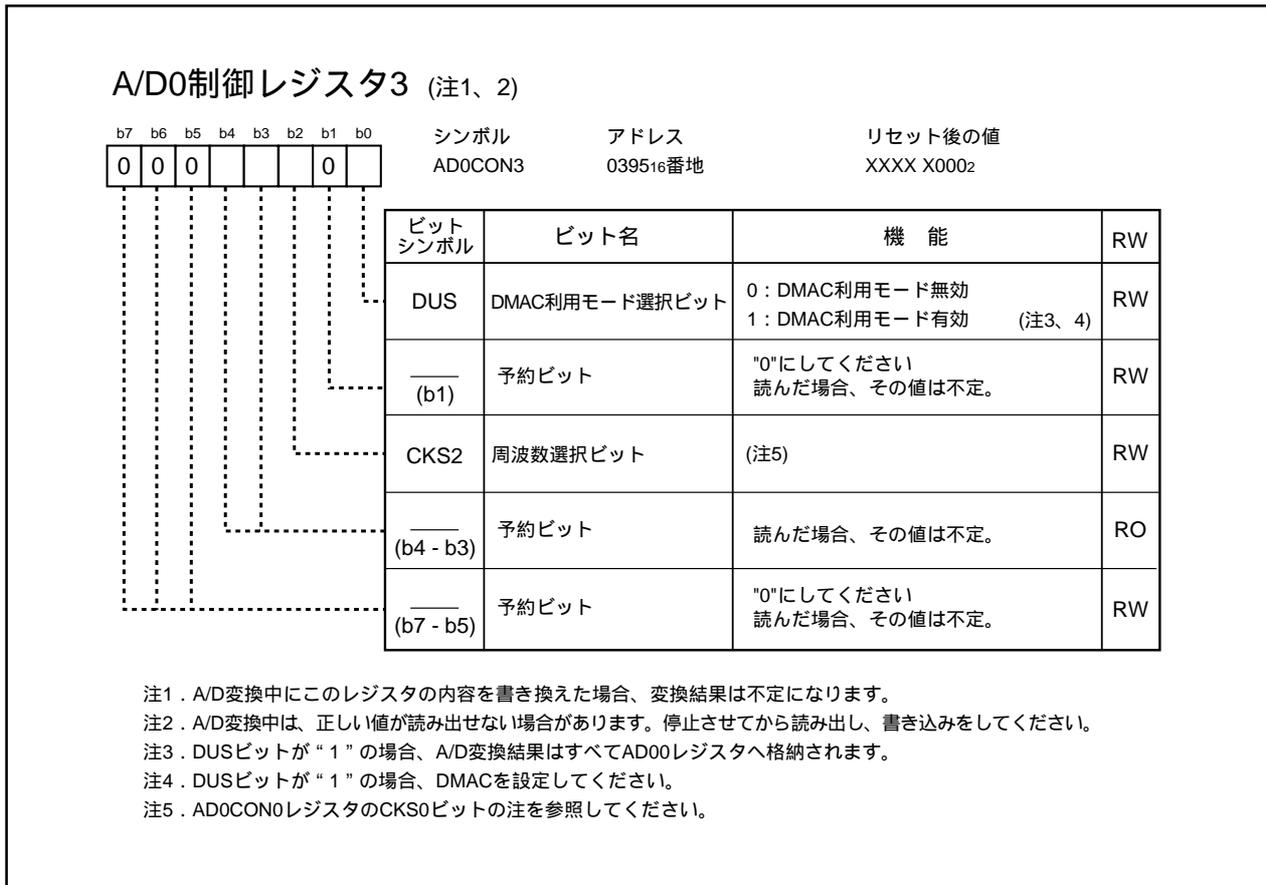


図17.5 AD0CON3レジスタ

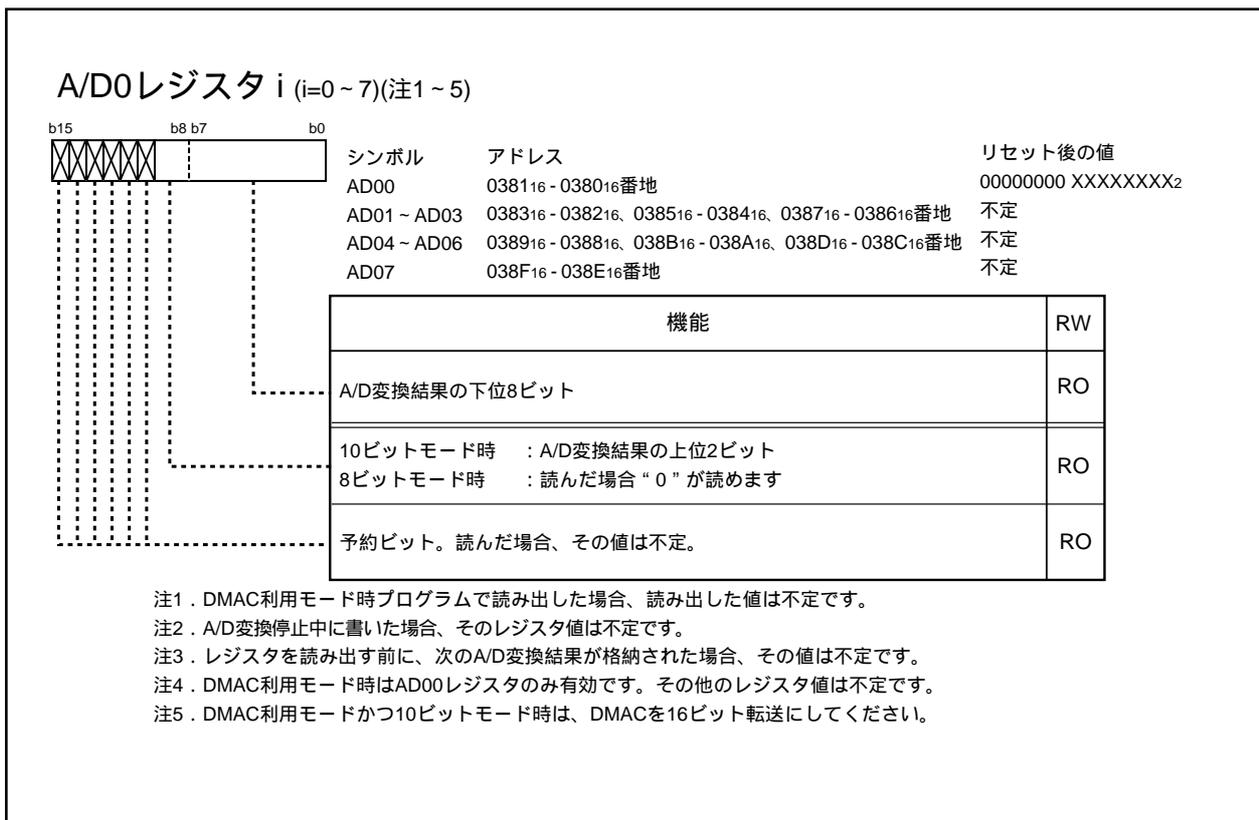


図17.6 AD00 ~ AD07レジスタ

17.1 モードの説明

17.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表17.2に単発モードの仕様を示します。

表17.2 単発モードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2～CH0ビットとAD0CON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を1回A/D変換する
開始条件	AD0CON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 <ul style="list-style-type: none"> ・AD0CON0レジスタのADSTビットをプログラムで“1”(A/D変換開始)にする TRGビットが“1”(外部トリガ、ハードウェアトリガ)の場合 <ul style="list-style-type: none"> ・ADSTビットをプログラムで“1”にした後、ADTRG端子へ立ち下がりエッジを入力する ・ADSTビットをプログラムで“1”にした後、三相モータ制御用タイマ機能(ICTB2レジスタカウント後)のタイマB2割り込み要求が発生する
停止条件	<ul style="list-style-type: none"> ・A/D変換終了(ソフトウェアトリガ選択時ADSTビットは“0”になる) ・ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	A/D変換終了時に発生
入力端子	AN0～AN7、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	<ul style="list-style-type: none"> ・AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合 選択した端子に対応したAD0j(j = 0～7)レジスタを読み出す ・DUSビットが“1”(DMAC利用モード有効)の場合 AD00レジスタを読み出さないでください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「12. DMAC」を参照し、DMACを設定してください

17.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表17.3に繰り返しモードの仕様を示します。

表17.3 繰り返しモードの仕様

項目	仕様
機能	AD0CON0レジスタのCH2～CH0ビットとAD0CON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
開始条件	単発モードと同じ
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	AN0～AN7、ANEX0、ANEX1から1端子を選択
A/D変換値の読み出し	<ul style="list-style-type: none"> DUSビットが“0”の場合 選択した端子に対応したAD0j(j = 0～7)レジスタを読み出す DUSビットが“1”の場合 AD00レジスタを読み出さないください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「12. DMAC」を参照し、DMACを設定してください

17.1.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表17.4に単掃引モードの仕様を示します。

表17.4 単掃引モードの仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1～SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
開始条件	単発モードと同じ
停止条件	単発モードと同じ
割り込み要求発生タイミング	<ul style="list-style-type: none"> AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、掃引終了時に発生 DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、またはAN0～AN7(8端子)から選択
A/D変換値の読み出し	<ul style="list-style-type: none"> DUSビットが“0”の場合 選択した端子に対応したAD0j(j = 0～7)レジスタを読み出す DUSビットが“1”の場合 AD00レジスタを読み出さないください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「12. DMAC」を参照し、DMACを設定してください

17.1.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表17.5に繰り返し掃引モード0の仕様を示します。

表17.5 繰り返し掃引モード0の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1～SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
開始条件	単発モードと同じ
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない ・DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	AN0、AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択
A/D変換値の読み出し	<ul style="list-style-type: none"> ・DUSビットが“0”の場合 選択した端子に対応したAD0j(j=0～7)レジスタを読み出す ・DUSビットが“1”の場合 AD00レジスタを読み出さないでください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「12. DMAC」を参照し、DMACを設定してください

17.1.5 繰り返し掃引モード1

選択した端子に重点をおいて8本の入力電圧を繰り返しA/D変換するモードです。表17.6に繰り返し掃引モード1の仕様を示します。

表17.6 繰り返し掃引モード1の仕様

項目	仕様
機能	AD0CON1レジスタのSCAN1～SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する 例：AN0を選択した場合、AN0 AN1 AN0 AN2 AN0 AN3...の順にA/D変換する
開始条件	単発モードと同じ(外部トリガの再トリガは無効)
停止条件	ADSTビットをプログラムで“0”(A/D変換停止)にする
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・AD0CON3レジスタのDUSビットが“0”(DMAC利用モード無効)の場合、発生しない ・DUSビットが“1”(DMAC利用モード有効)の場合、各A/D変換終了時に発生
入力端子	AN0～AN7(8端子)
重点的に行う端子	AN0(1端子)、AN0,AN1(2端子)、AN0～AN2(3端子)、AN0～AN3(4端子)
A/D変換値の読み出し	<ul style="list-style-type: none"> ・DUSビットが“0”の場合 選択した端子に対応したAD0j(j=0～7)レジスタを読み出す ・DUSビットが“1”の場合 AD00レジスタを読み出さないでください。 A/D変換終了後、A/D変換結果はAD00レジスタへ格納され、DMACによってAD00レジスタから任意のメモリ空間へ転送されます。「12. DMAC」を参照し、DMACを設定してください。

17.2 機能

17.2.1 分解能選択機能

AD0CON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度を10ビット)にすると、A/D変換結果がAD0jレジスタ(j=0~7)のビット0~9に格納されます。BITSビットを“0”(変換精度を8ビット)にすると、A/D変換結果がAD0jレジスタのビット0~7に格納されます。

17.2.2 サンプル&ホールド

AD0CON2レジスタのSMPビットを“1”(サンプル&ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合²⁸ ADサイクル、分解能10ビットの場合³³ ADサイクルになります。サンプル&ホールドは、すべての動作モードで有効です。サンプル&ホールドの有無を選択してからA/D変換を開始してください。

17.2.3 トリガ選択機能

AD0CON0レジスタのTRGビットとAD0CON2レジスタのTRG0ビットの組み合わせにより、A/D変換の開始トリガを選択できます。表17.9にトリガ選択機能設定を示します。

表17.9 トリガ選択機能設定

ビットと設定値		トリガ
AD0CON0レジスタ	AD0CON2レジスタ	
TRG=0	-	ソフトウェアトリガ AD0CON0レジスタのADSTビットをプログラムで“1”にすると、A/D変換を開始する
TRG=1(注1)	TRG0=0	外部トリガ(注2) ADTRG入力信号の立ち下がり
	TRG0=1	ハードウェアトリガ(注2) 三相モータ制御用タイマ機能の(ICTB2レジスタカウント後の)タイマB2割り込み要求

注1．ADSTビットが“1”(A/D変換開始)の状態、トリガが発生するとA/D変換を開始します。

注2．A/D変換中に外部トリガまたはハードウェアトリガが入力されると、再度A/D変換を開始します。(それまで行っていたA/D変換は中断されます。)

17.2.4 DMAC利用モード

全てのモードでDMAC利用モードが使用できます。AD0CON3レジスタのDUSビットを“1”(DMAC利用モード有効)にすると、A/D変換結果は全てAD00レジスタへ格納されます。DMACを利用することで、AD00レジスタから任意のメモリ空間へ1端子のA/D変換終了ごとにDMA転送が行われます。分解能が8ビットの場合は8ビット転送を、分解能が10ビットの場合は16ビット転送を設定してください。DMACの使用方法については、「12．DMAC」を参照してください。

17.2.5 拡張アナログ入力端子

単発モードと繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。AD0CON1レジスタのOPA1~OPA0ビットで選択してください。ANEX0入力のA/D変換結果はAD00レジスタへ、ANEX1入力のA/D変換結果はAD01レジスタへ格納されます。ただし、AD0CON3レジスタのDUSビットが“1”(DMAC利用モード有効)の場合、AD00レジスタへ格納されます。

17.2.6 外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて複数のアナログ入力を1個の外部オペアンプで増幅できます。

AD0CON1レジスタのOPA1～OPA0ビットが“112” (外部オペアンプ接続)のとき、AN0～AN7の入力をANEX0端子から出力します。この出力を外部オペアンプで増幅し、ANEX1端子へ入力してください。

A/D変換は、ANEX1入力に対して行われ、A/D変換結果は対応するAD0jレジスタ(j=0～7)に格納されます。A/D変換速度は外部オペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子を直結しないでください。

図17.7に外部オペアンプ接続モードの接続例を示します。

表17.10 拡張アナログの入力端子設定

AD0CON1レジスタ		ANEX0の機能	ANEX1の機能
OPA1	OPA0		
0	0	使用しない	使用しない
0	1	P9 ₅ /アナログ入力	使用しない
1	0	使用しない	P9 ₆ /アナログ入力
1	1	外部オペアンプへの出力	外部オペアンプからの入力

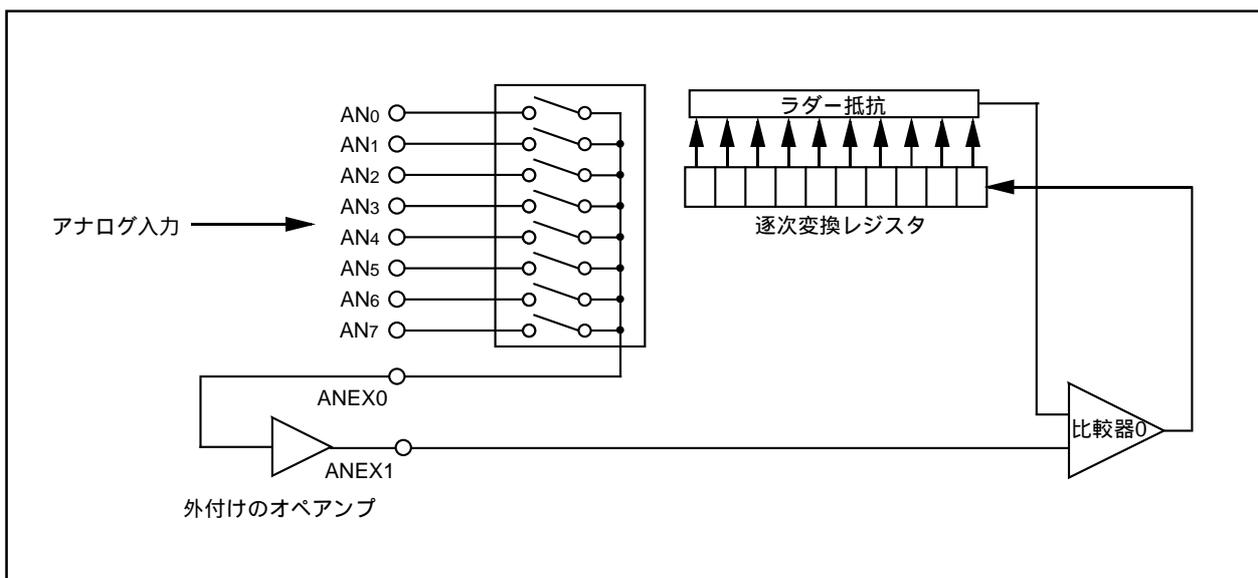


図17.7 外部オペアンプ接続モードの接続例

17.2.7 消費電流低減機能

A/Dコンバータを使用しないとき、AD0CON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1” (VREF接続)にした後で、AD0CON0レジスタのADSTビットを“1” (A/D変換開始)にしてください。ADSTビットとVCUTビットに、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0” (VREF未接続)にしないでください。

なお、D/AコンバータのVREFには影響しません(無関係です)。

17.2.8 A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図17.8の内部コンデンサCへの充電を所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$V_C \text{は一般に } V_C = V_{IN} \left\{ 1 - e^{-\frac{1}{C(R_0+R)} t} \right\}$$

$$t=T \text{ のとき、 } V_C = V_{IN} - \frac{X}{Y} \cdot V_{IN} = V_{IN} \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R_0+R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0+R)} T = \ln \frac{X}{Y}$$

$$\text{よって、 } R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図17.8にアナログ入力端子と外部センサーの等価回路例を示します。VINとVcの差が0.1LSBとなる時、時間TでコンデンサCの端子間電圧Vcが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

ADが10MHzの時、サンプル&ホールド付きA/D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.3μs、R=7.8k、C=1.5pF、X=0.1、Y=1024だから、

$$R_0 = -\frac{0.3 \times 10^{-6}}{1.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 13.9 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大13.9k になります。

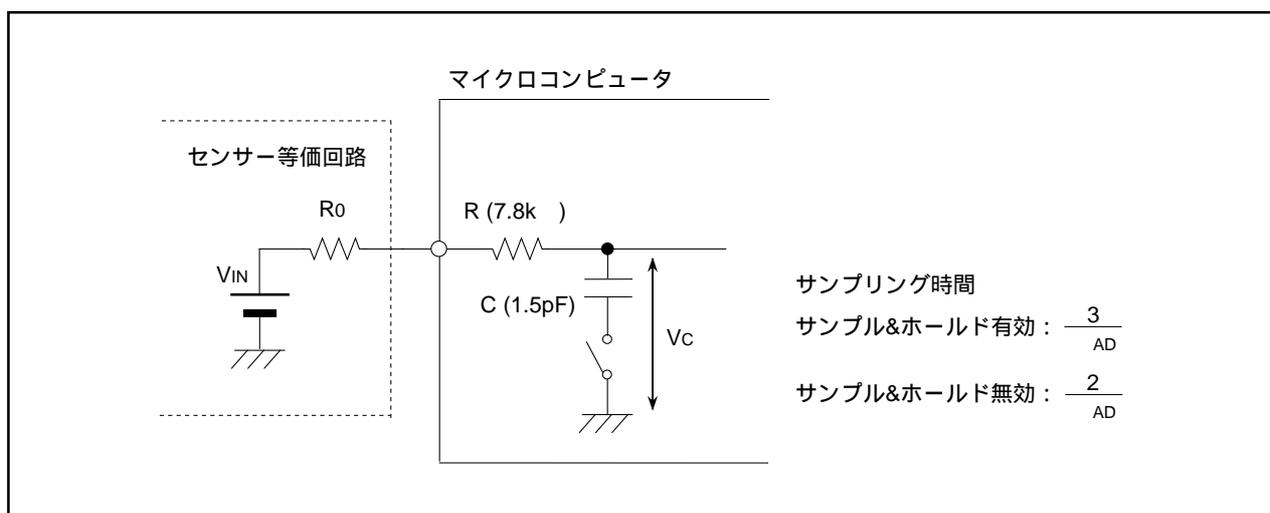


図17.8 アナログ入力端子と外部センサーの等価回路例

18. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータがあります。

D/A変換は、対応したDAiレジスタ(i = 0,1)に値を書くことで行われます。変換結果を出力するかどうかはDACONレジスタのDAiEビットで選択してください。DAiEビットを“1”(出力許可)にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧(V)は、DAiレジスタに設定した値n(nは10進数)で決まります。

$$V = \frac{V_{REF} \times n}{256} \quad (n=0 \sim 255)$$

VREF :基準電圧(AD0CON1レジスタのVCUTビットとは無関係です。)

表18.1にD/Aコンバータの仕様を、表18.2にDA0、DA1端子を使用する場合の設定を、図18.1にD/Aコンバータのブロック図を、図18.2にD/Aコンバータ関連レジスタを、図18.3にD/Aコンバータの等価回路を示します。

D/Aコンバータを使用しないときは、DAiレジスタを“0016”、DAiEビットを“0”(出力禁止)にしてください。

表18.1 D/Aコンバータの仕様

項目	仕様
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

表18.2 DA0、DA1端子を使用する場合の設定

ポート名	機能	ビットと設定値		
		PD9レジスタ(注1)	PS3レジスタ(注1)	PSL3レジスタ
P93	DA0出力	PD9_3 = 0	PS3_3 = 0	PSL3_3 = 1
P94	DA1出力	PD9_4 = 0	PS3_4 = 0	PSL3_4 = 1

注1. PD9、PS3レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書き換えてください。PRC2ビットを“1”にする命令とPD9、PS3レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

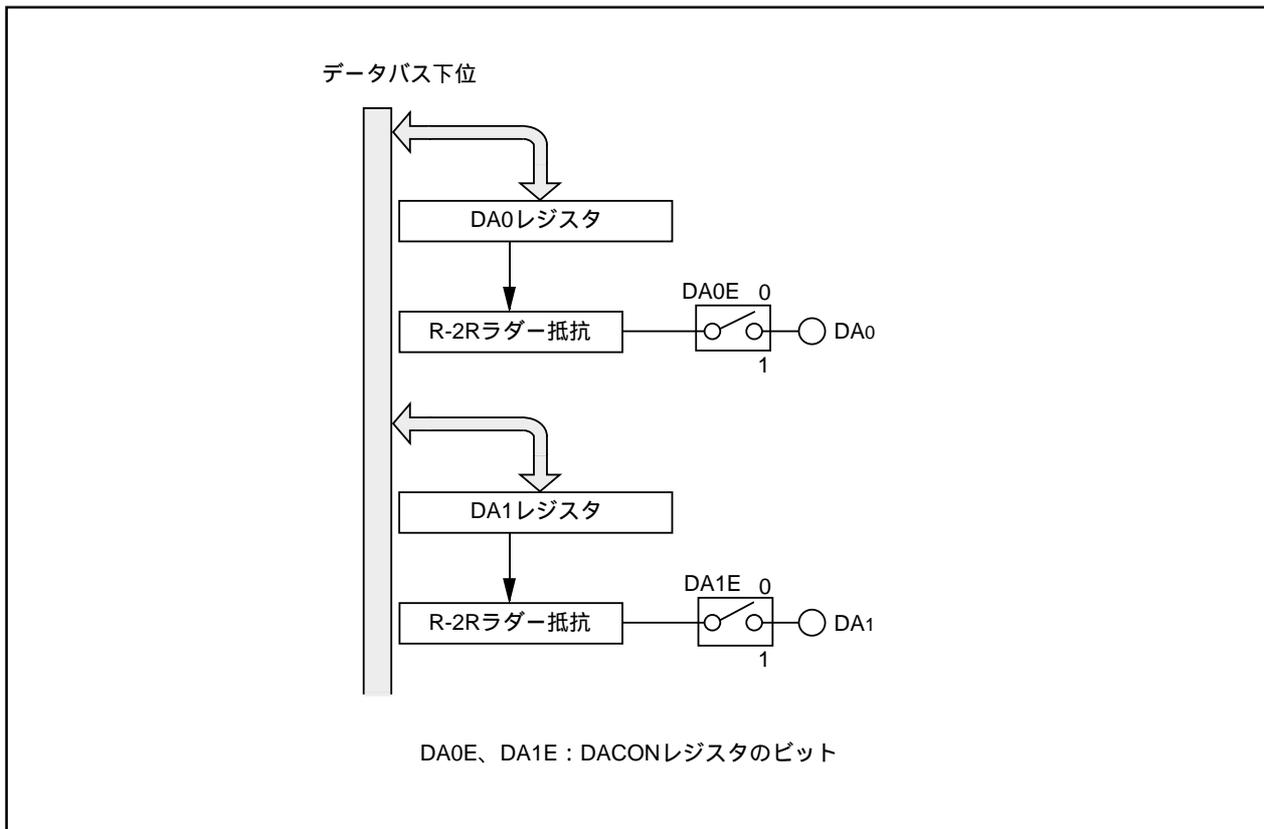


図18.1 D/Aコンバータのブロック図

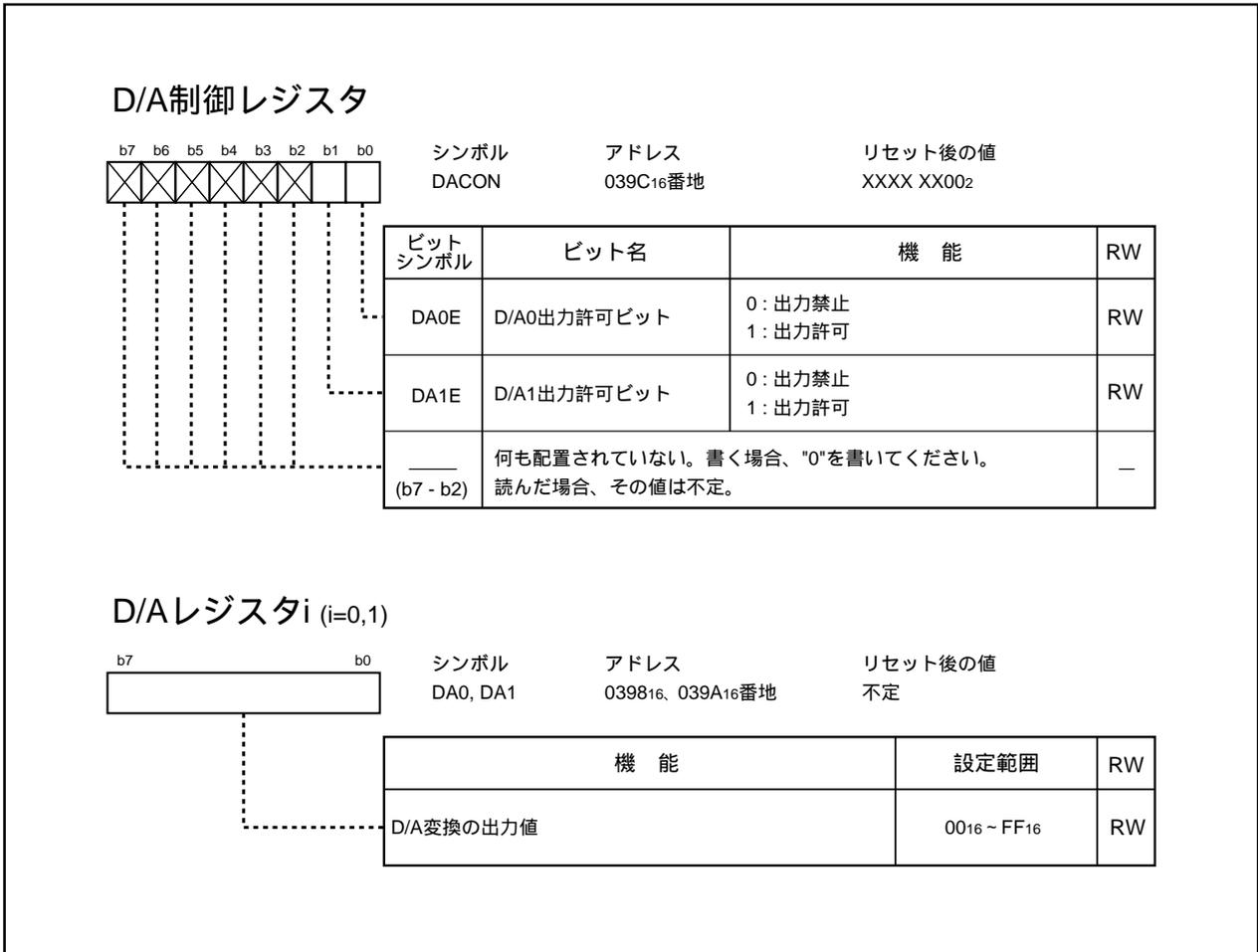


図18.2 DACONレジスタ、DA0、DA1レジスタ

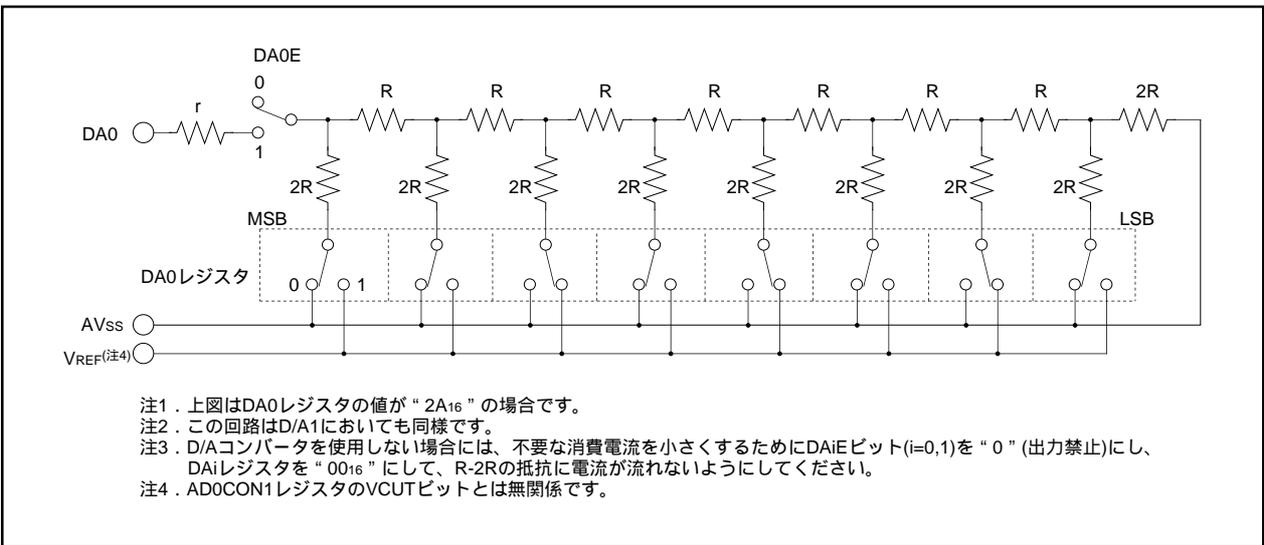


図18.3 D/Aコンバータの等価回路

19. CRC演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図19.1にCRCのブロック図、図19.2にCRCの関連レジスタを示します。また、図19.3にCRC演算例を示します。

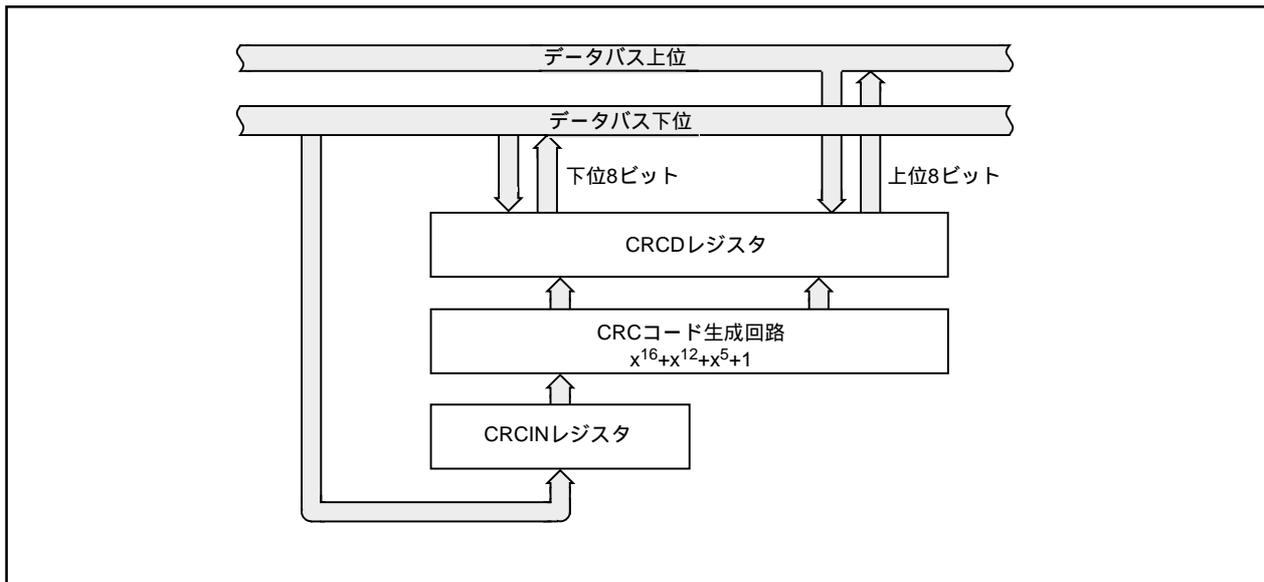


図19.1 CRCブロック図

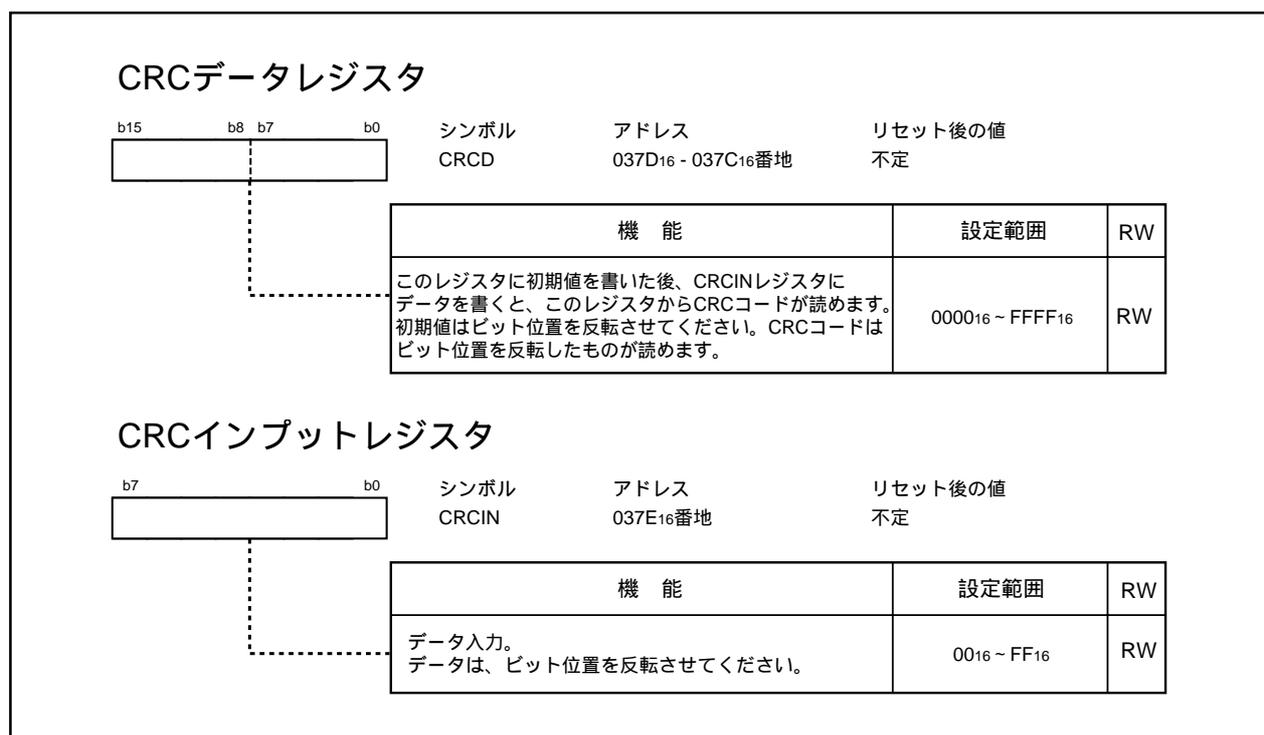


図19.2 CRCDレジスタ、CRCINレジスタ

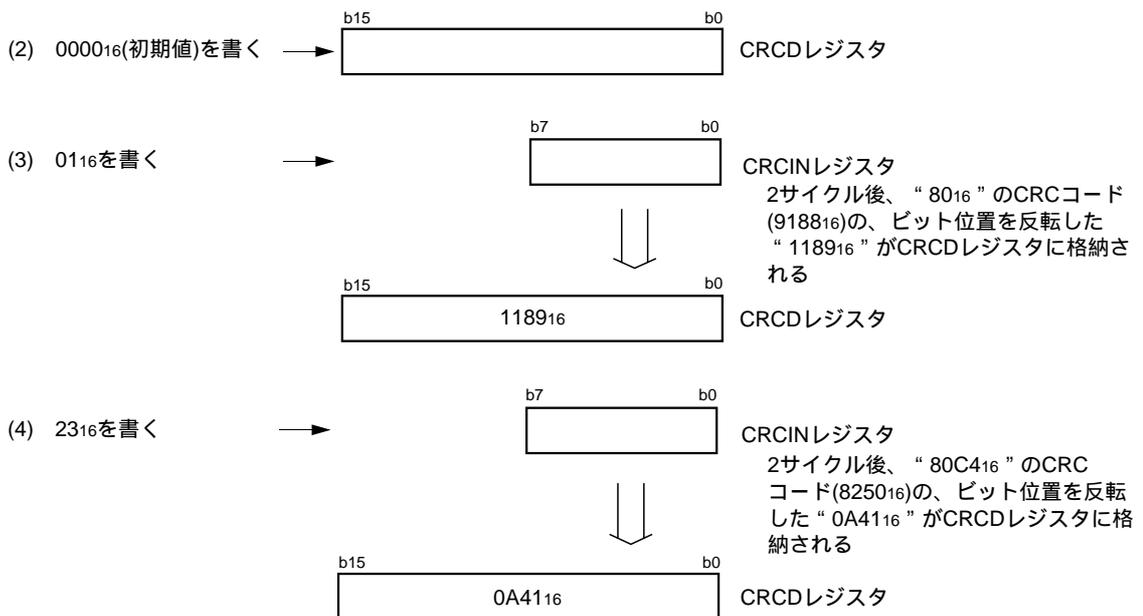
“ 80C416 ” のCRCコードを生成する場合の設定手順とCRC演算

M32CのCRC演算

CRCコード : CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余
 生成多項式 : $X^{16} + X^{12} + X^5 + 1(1\ 0001\ 0000\ 0010\ 0001_2)$

設定手順

- (1) プログラムで “ 80C416 ” のビット位置をバイト単位で反転させる
 “ 8016 ” “ 0116 ”、“ C416 ” “ 2316 ”



CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値 “ 0116(00000001₂) ” はビット位置を反転され “ 10000000₂ ” になる。これに16桁追加した “ 1000 0000 0000 0000 0000 0000₂ ” と、CRCDレジスタの初期値 “ 0000₁₆ ” を加算した値をモジュロ2除算する。

	1000 1000		
	1 0001 0000 0010 0001	1000 0000 0000 0000 0000 0000	← データ
生成多項式		1000 1000 0001 0000 1	
		1000 0001 0000 1000 0	
		1000 1000 0001 0000 1	
		1001 0001 1000 1000	←
			CRCコード

モジュロ2の演算とは...
 次の法則に基づいた演算です。

0 + 0 = 0
0 + 1 = 1
1 + 0 = 1
1 + 1 = 0
-1 = 1

剰余 “ 1001 0001 1000 1000₂(9188₁₆) ” のビット位置を反転した “ 0001 0001 1000 1001₂(1189₁₆) ” がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値 “ 2316(00100011₂) ” はビット位置を反転され “ 11000100₂ ” になる。これに16桁追加した “ 1100 0100 0000 0000 0000 0000₂ ” と、CRCDレジスタに残っている(3)の剰余 “ 1001 0001 1000 1000₂ ” を加算した値をモジュロ2除算する。
 剰余のビット位置を反転した “ 0000 1010 0100 0001₂(0A41₁₆) ” がCRCDレジスタから読める。

図19.3 CRC演算例

20. X/Y変換

X/Y変換は16×16ビットのマトリクスデータの90度回転を行います。また、16ビットデータのビット配置の上位と下位を反転させることができます。図20.1にXYCレジスタを示します。

XiRレジスタ(i = 0 ~ 15)とYjRレジスタ(j = 0 ~ 15)は16ビットレジスタです。

XiRレジスタとYjRレジスタは同一アドレスに配置されており、XiRレジスタは書き込み専用、YjRレジスタは読み出し専用です。XiRレジスタとYjRレジスタは偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。

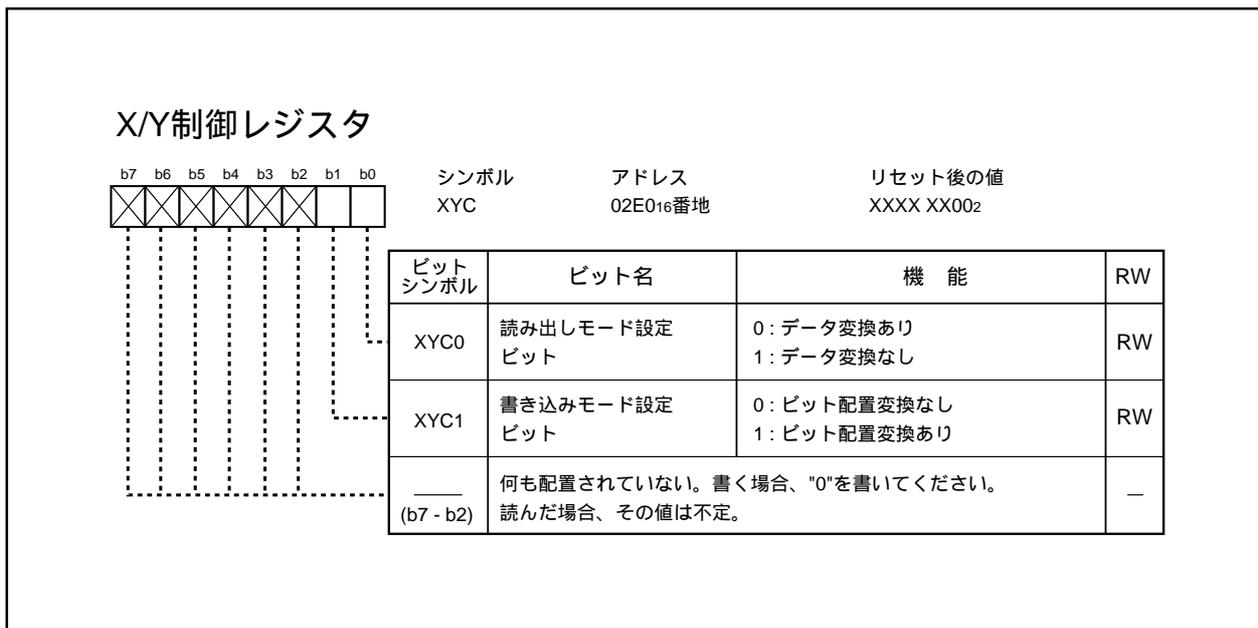


図20.1 XYCレジスタ

YjRレジスタの読み出し方法は、XYCレジスタのXYC0ビットで選択できます。

XYC0ビットが“0” (データ交換あり)でYjRレジスタを読むと、X0R ~ X15Rレジスタのビットjを同時に読めます。

例えば、Y0Rレジスタを読むと、ビット0でX0Rレジスタのビット0、ビット1でX1Rレジスタのビット0、・・・、ビット14でX14Rレジスタのビット0、ビット15でX15Rレジスタのビット0が読めます。同様にY15Rレジスタを読むと、ビット0でX0Rレジスタのビット15、ビット1でX1Rレジスタのビット15、・・・、ビット14でX14Rレジスタのビット15、ビット15でX15Rレジスタのビット15が読めます。

図20.2にXYC0ビットが“0”の場合の変換テーブルを、図20.3にX/Y変換例を示します。

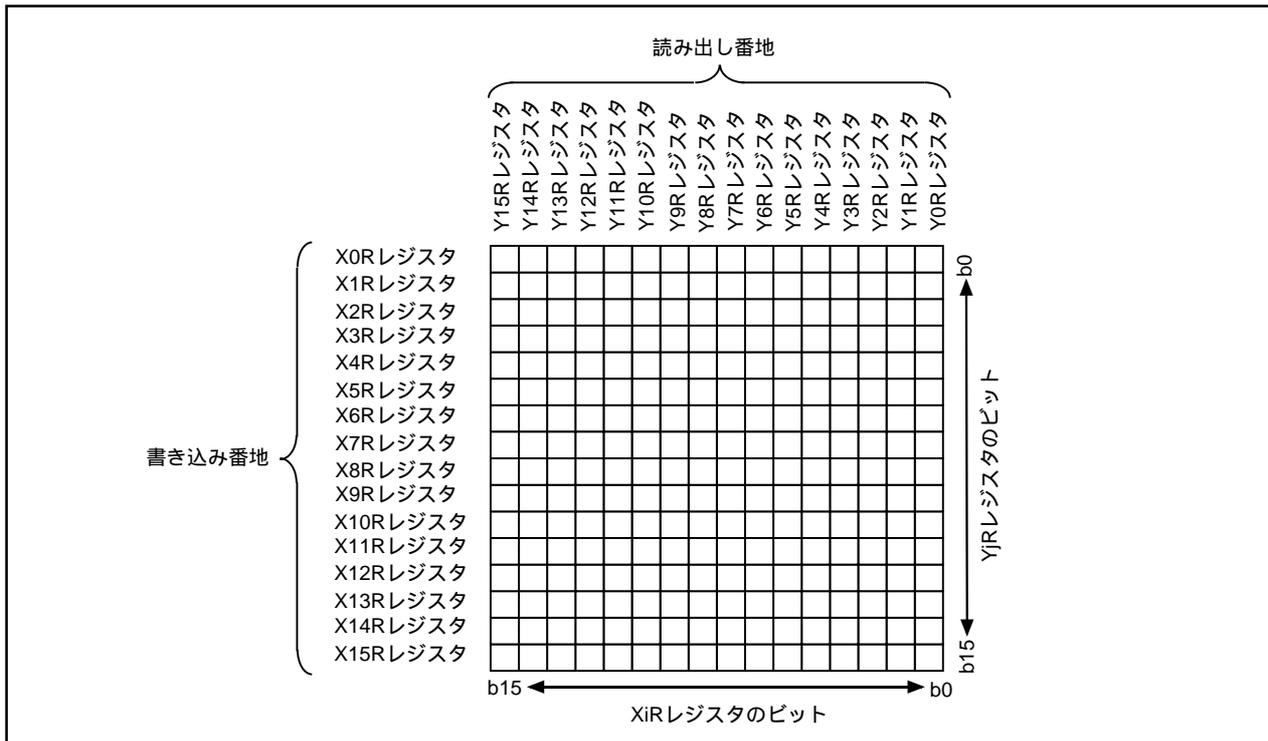


図20.2 XYC0ビットが“0”の場合の変換テーブル図

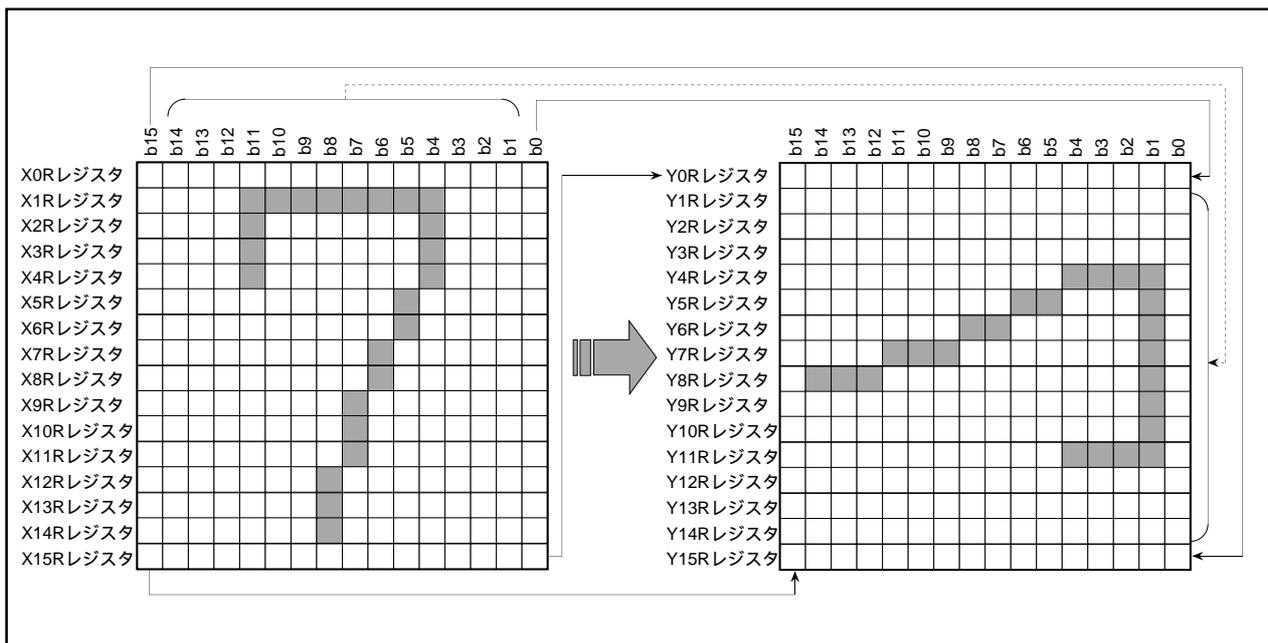


図20.3 X/Y変換例

XYCレジスタのXYC0ビットを“1”(データ変換なし)にしてYjRレジスタを読むと、XiRレジスタに書かれた値をそのまま読めます。図20.4にXYC0ビットが“1”の場合の変換テーブルを示します。

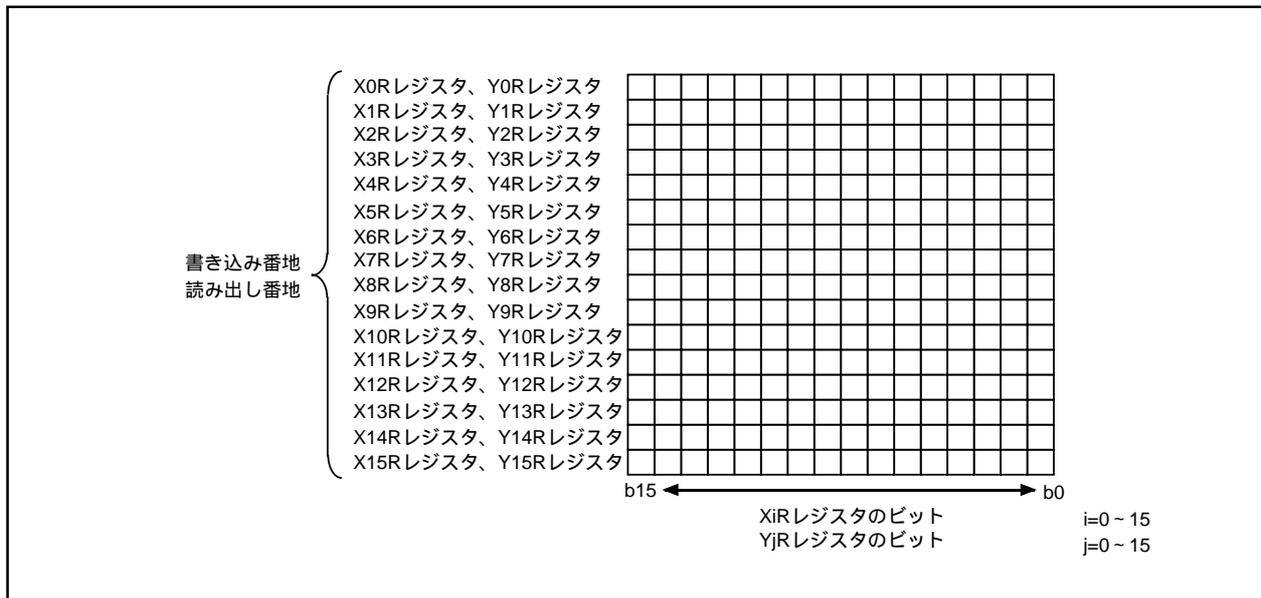


図20.4 XYC0ビットが“1”の場合の変換テーブル

XiRレジスタに書く値のビット配置は、XYCレジスタのXYC1ビットで選択できます。

XYC1ビットを“0”(ビット配置交換なし)にしてXiRレジスタに書くと、ビット配列はそのまま書かれます。

XYC1ビットを“1”(ビット配置交換あり)にしてXiRレジスタに書くと、ビット配列の各ビット位置を反転して書きます。図20.5にXYC1ビットが“1”の場合の変換例を示します。

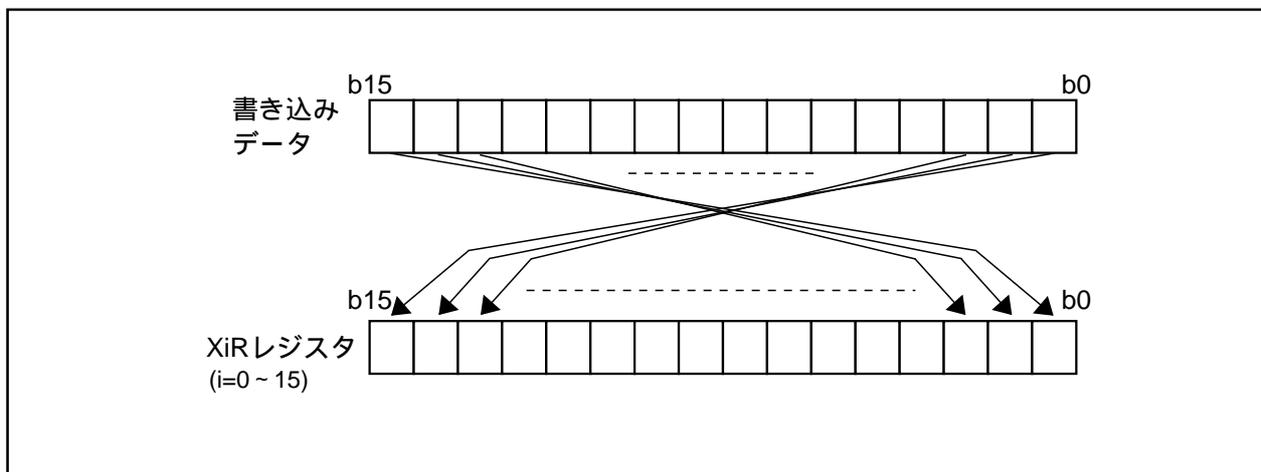


図20.5 XYC1ビットが“1”の場合の変換

21. インテリジェントI/O

インテリジェントI/Oは、クロック同期形シリアルI/O、HDLCデータ処理を実現できる高機能入出力ポートです。

インテリジェントI/Oは、通信用8ビットシフトレジスタを2本を2組備えています。表21.1にインテリジェントI/Oの機能とチャンネルを示します。

表21.1 インテリジェントI/Oの機能とチャンネル

機能		性能	
通 信		通信部0	通信部1
	クロック同期形シリアルI/Oモード	あり	
HDLCデータ処理モード			

インテリジェントI/O通信部のブロック図を図21.1に示します。

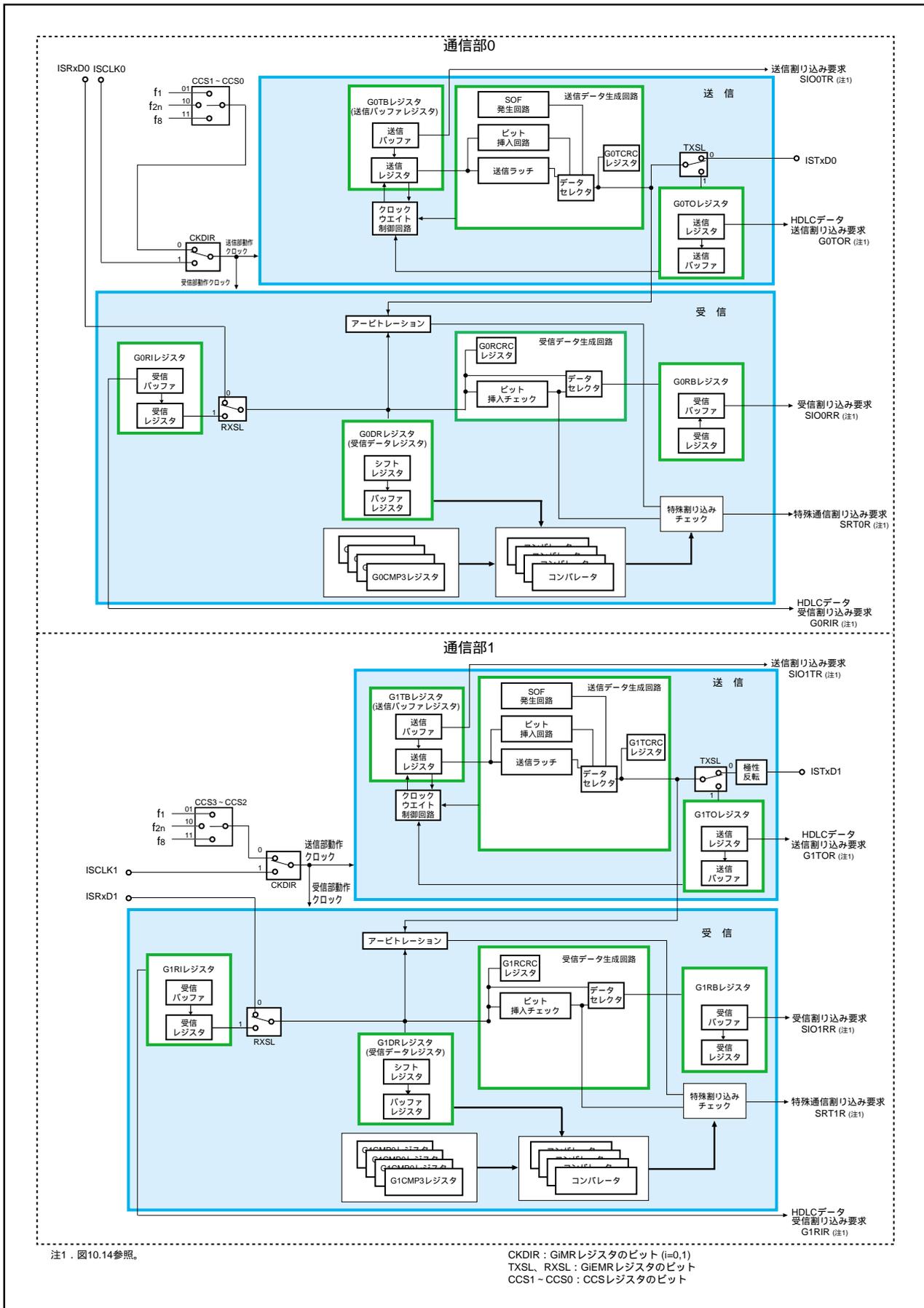


図21.1 インテリジェントI/O通信部のブロック図

21.1 通信部0、1通信機能

インテリジェントI/O通信部では、8ビットクロック同期形シリアルI/OまたはHDLCデータ処理を行います。

図21.2～21.11に関連するレジスタを示します。

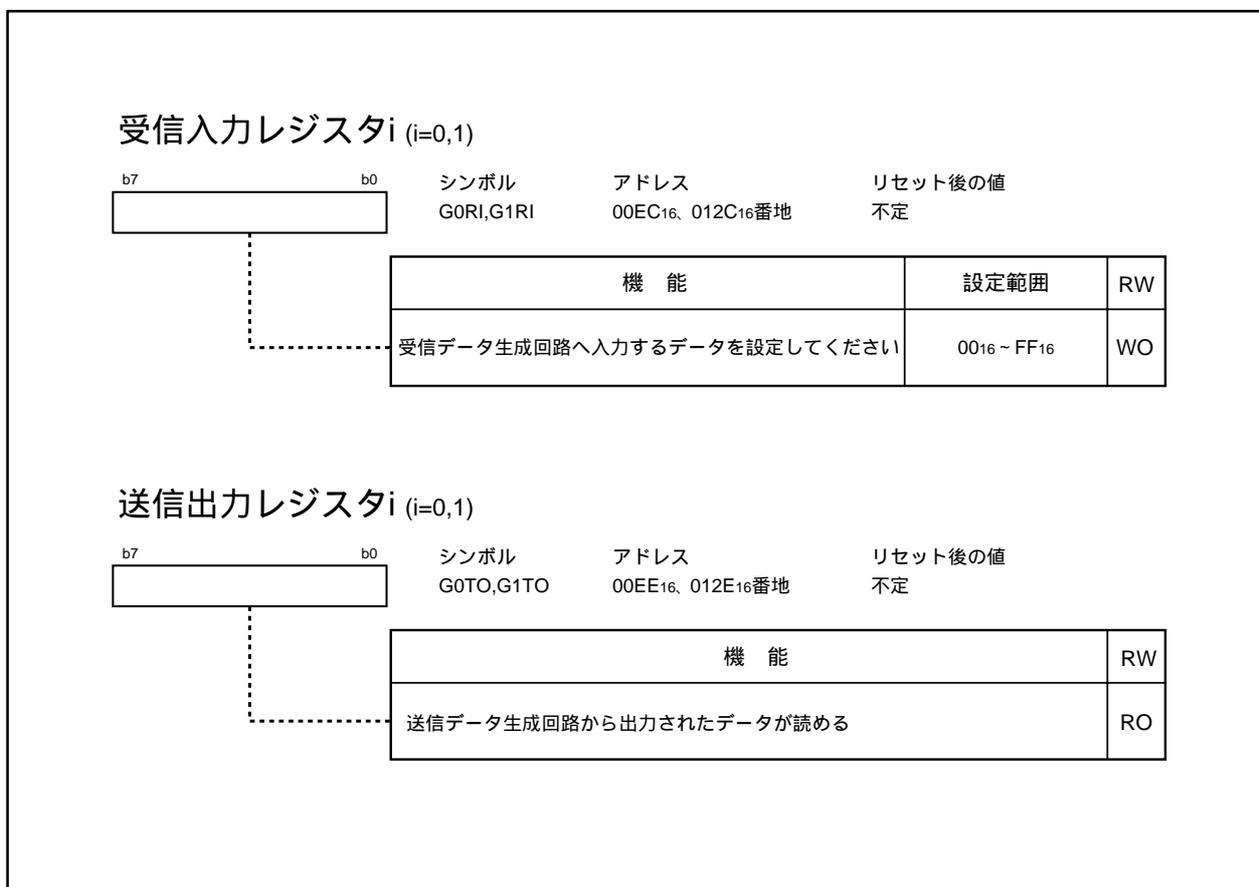


図21.2 G0RI～G1RIレジスタ、G0TO～G1TOレジスタ

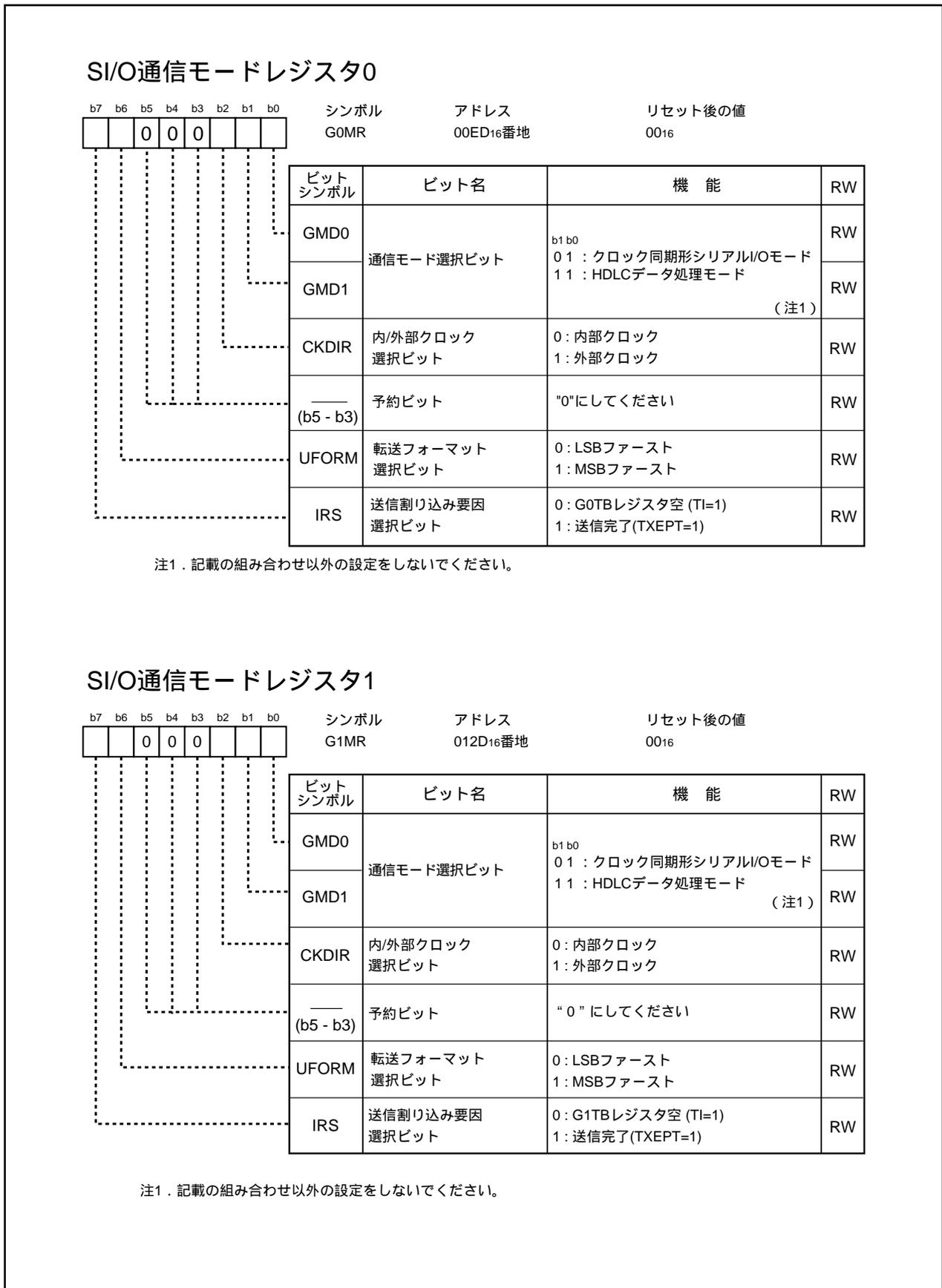


図21.4 G0MR ~ G1MRレジスタ

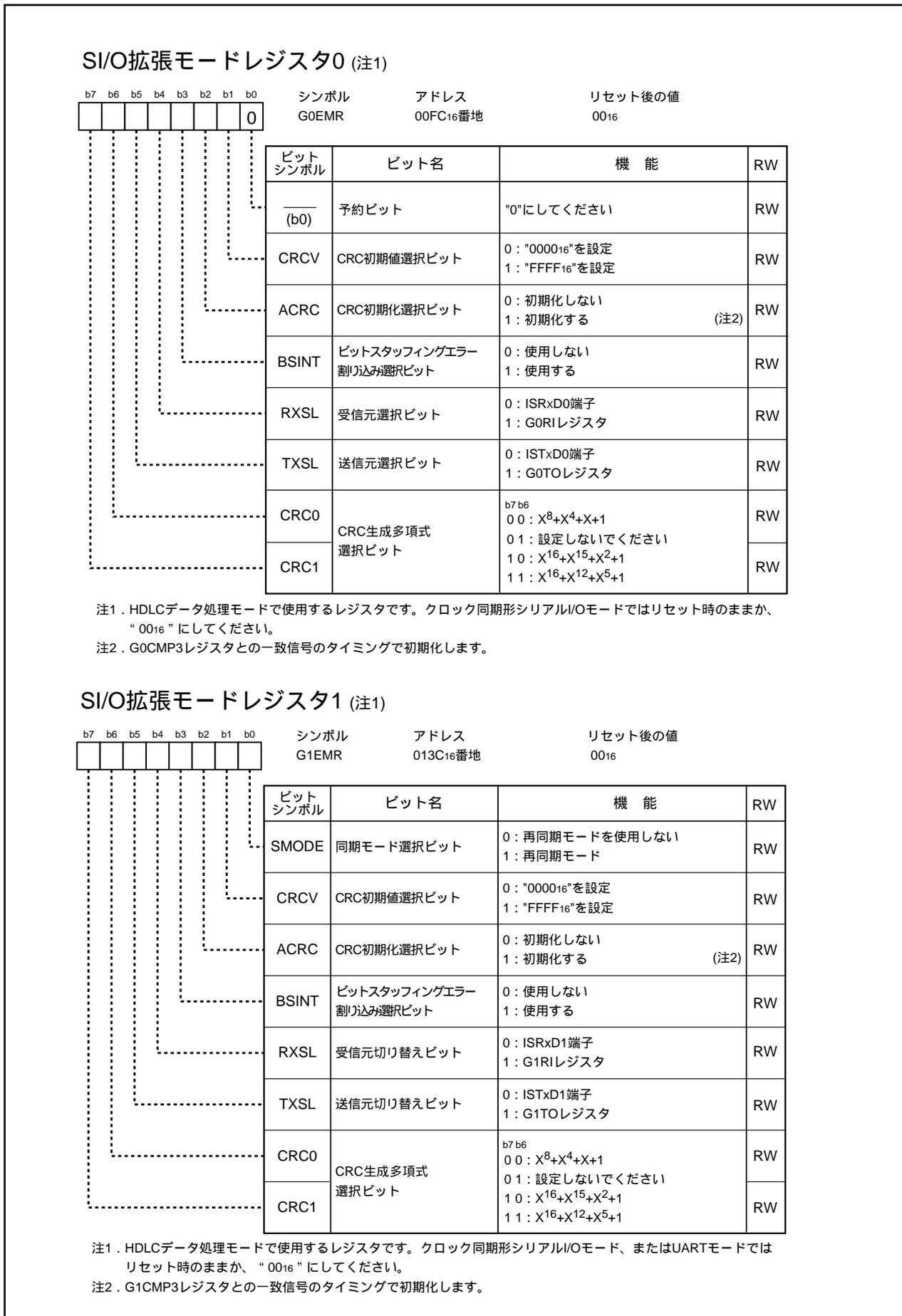


図21.5 GOEMR ~ G1EMRレジスタ

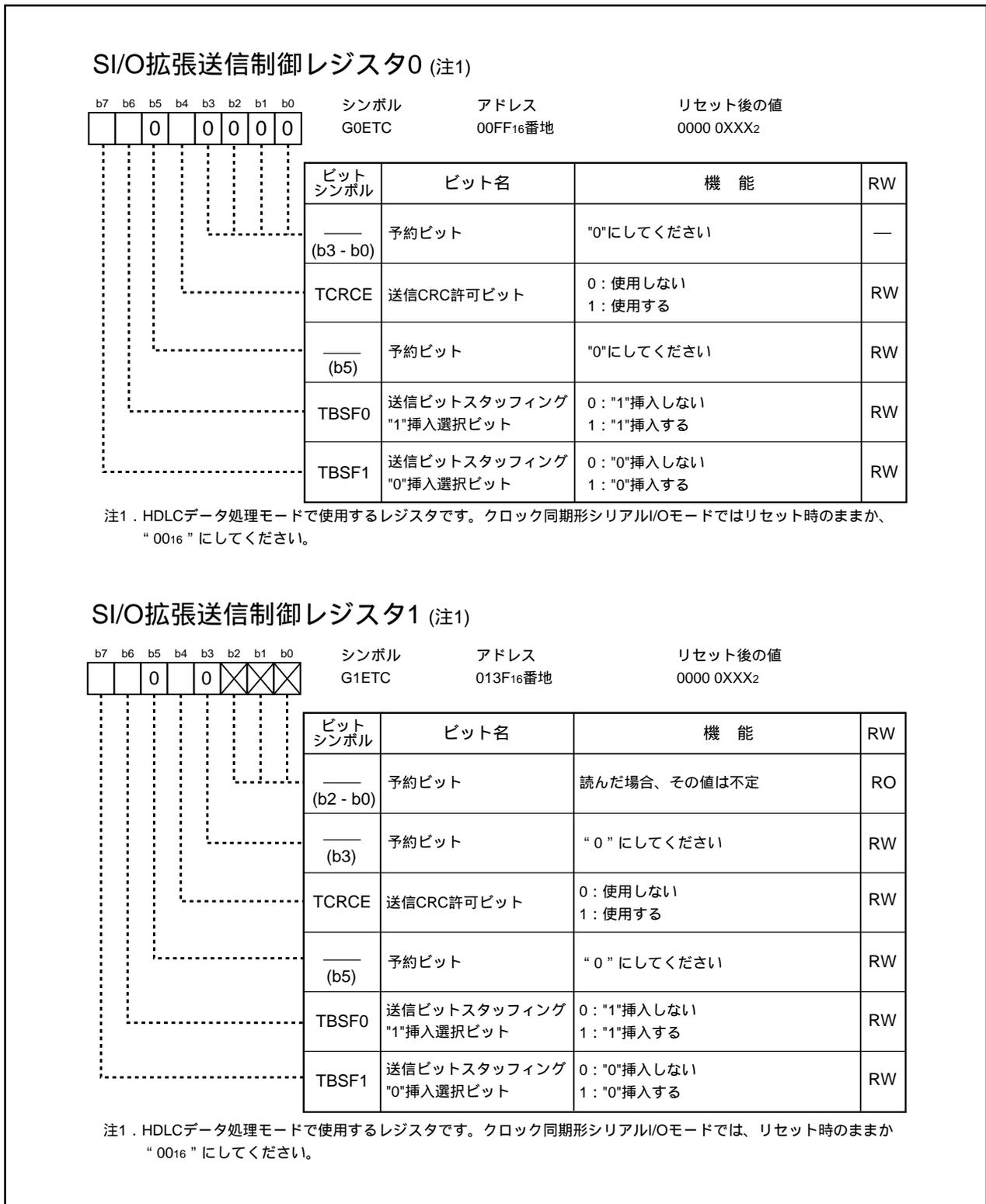


図21.6 G0ETC ~ G1ETCレジスタ

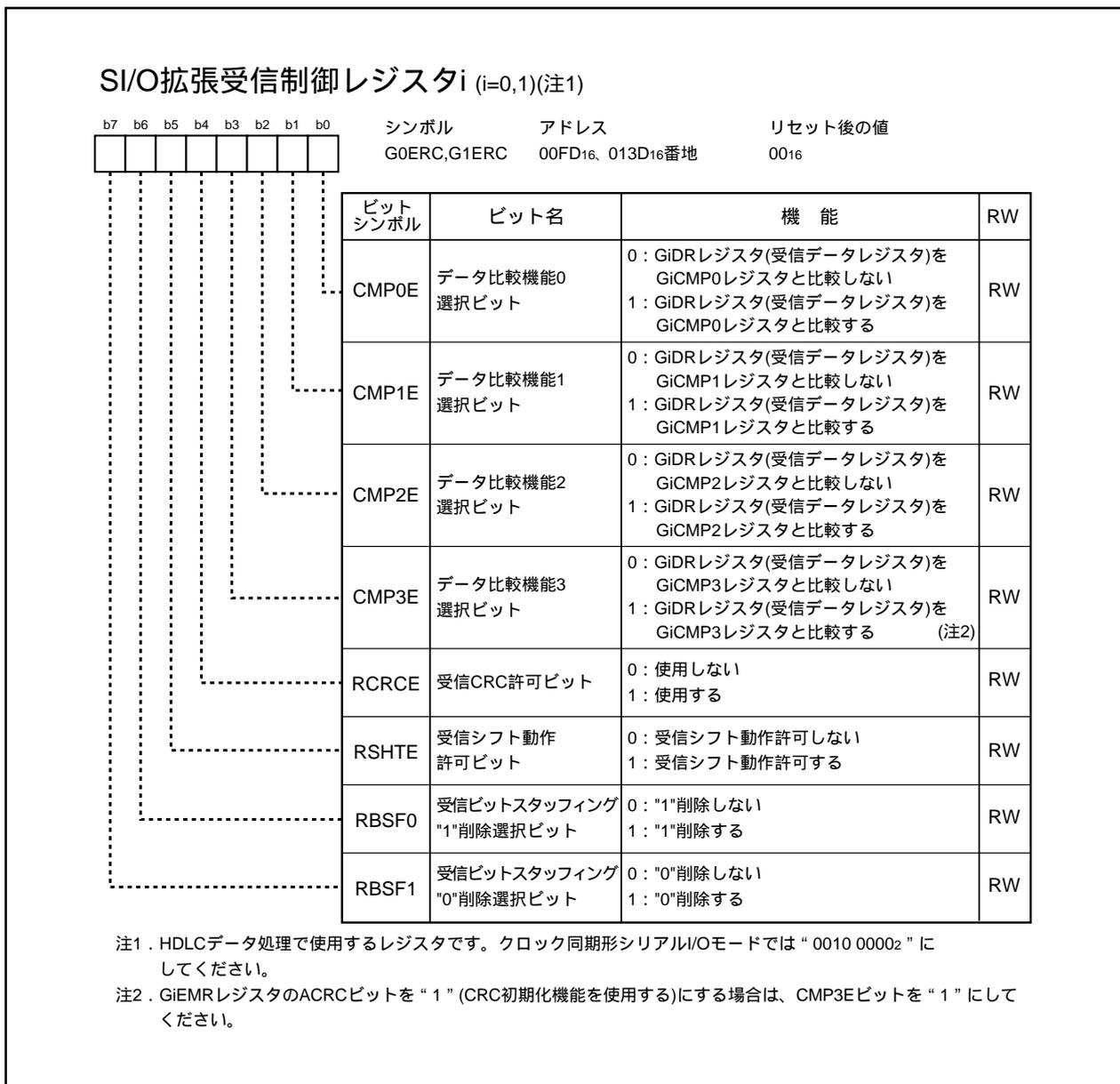


図21.7 G0ERC ~ G1ERCレジスタ

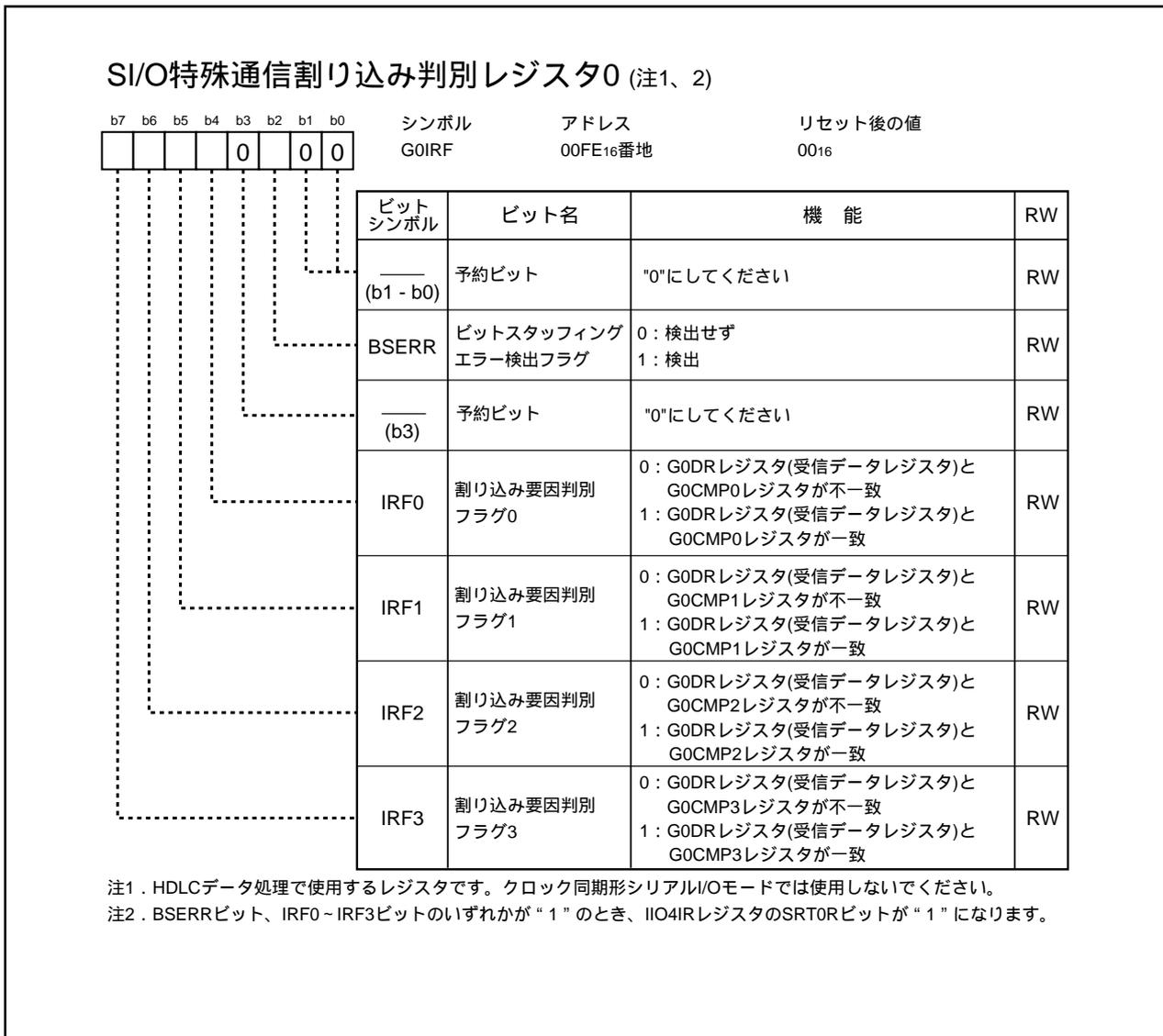


図21.8 G0IRFレジスタ

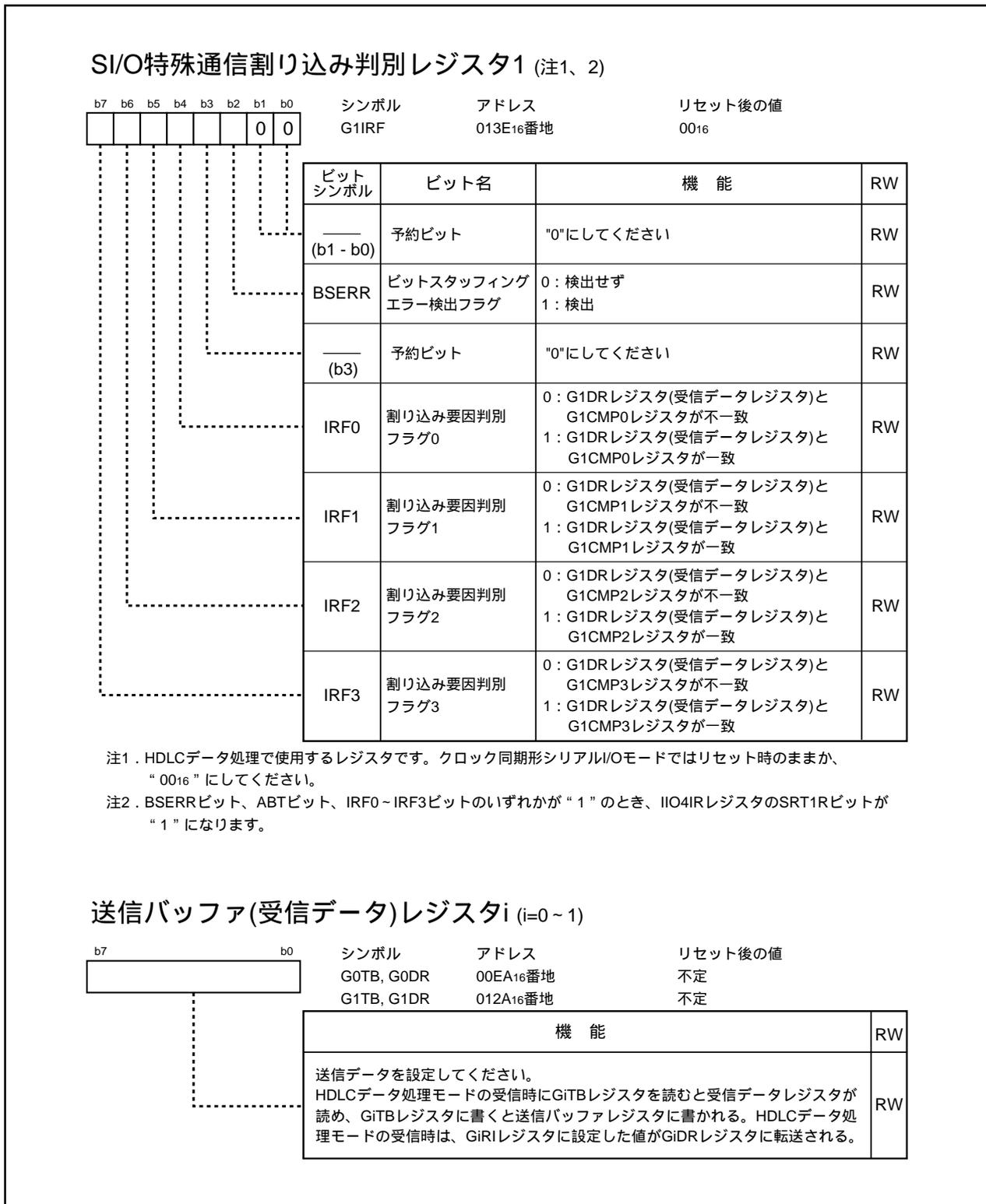


図21.9 G1IRFレジスタ、G0TB ~ G1TB(G0DR ~ G1DR)レジスタ

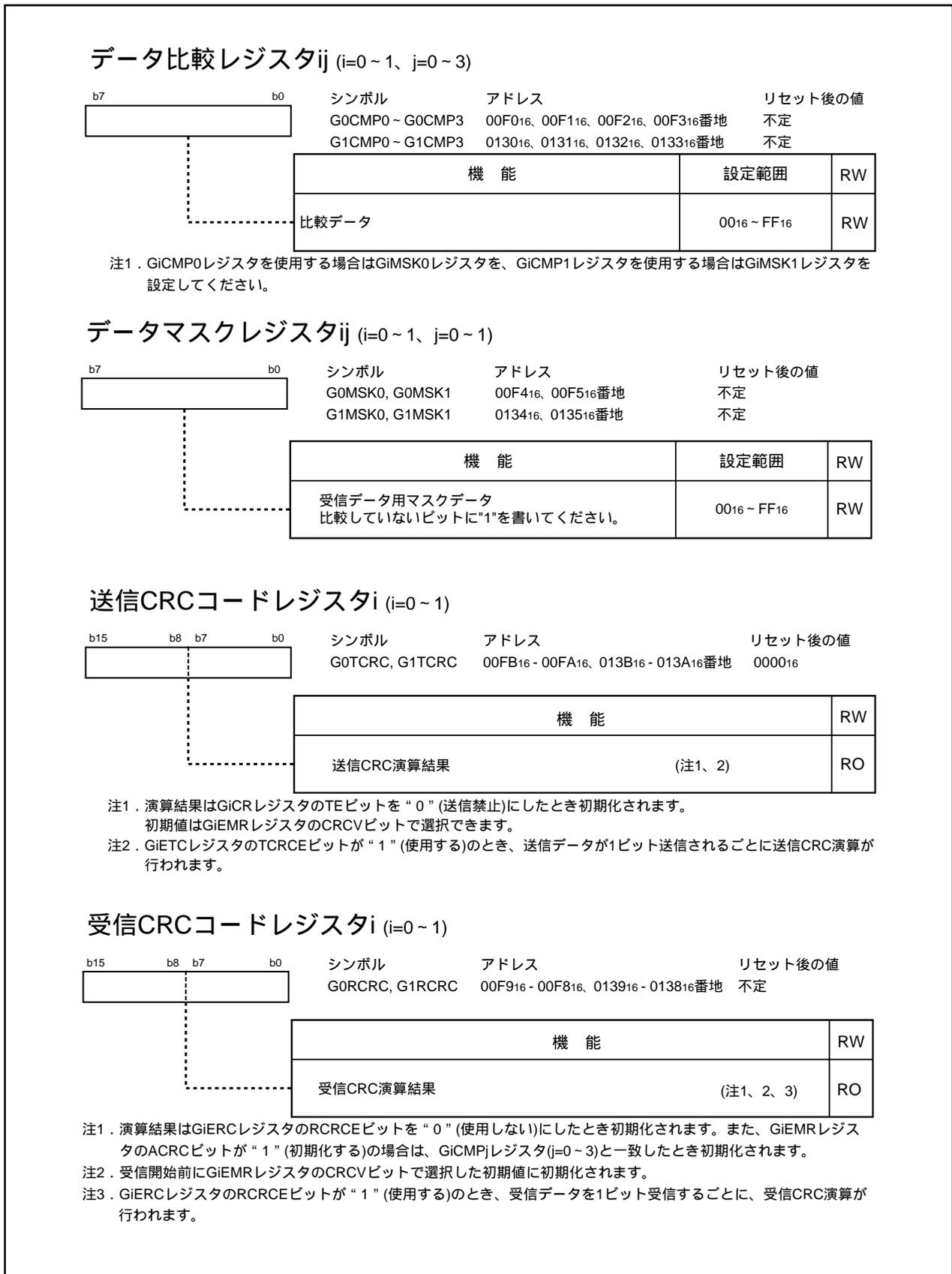


図21.10 G0CMP0 ~ G0CMP3レジスタ、G1CMP0 ~ G1CMP3レジスタ、G0MSK0 ~ G0MSK1レジスタ、G1MSK0 ~ G1MSK1レジスタ、G0TCRC ~ G1TCRCレジスタ、G0RCRC ~ G1RCRCレジスタ

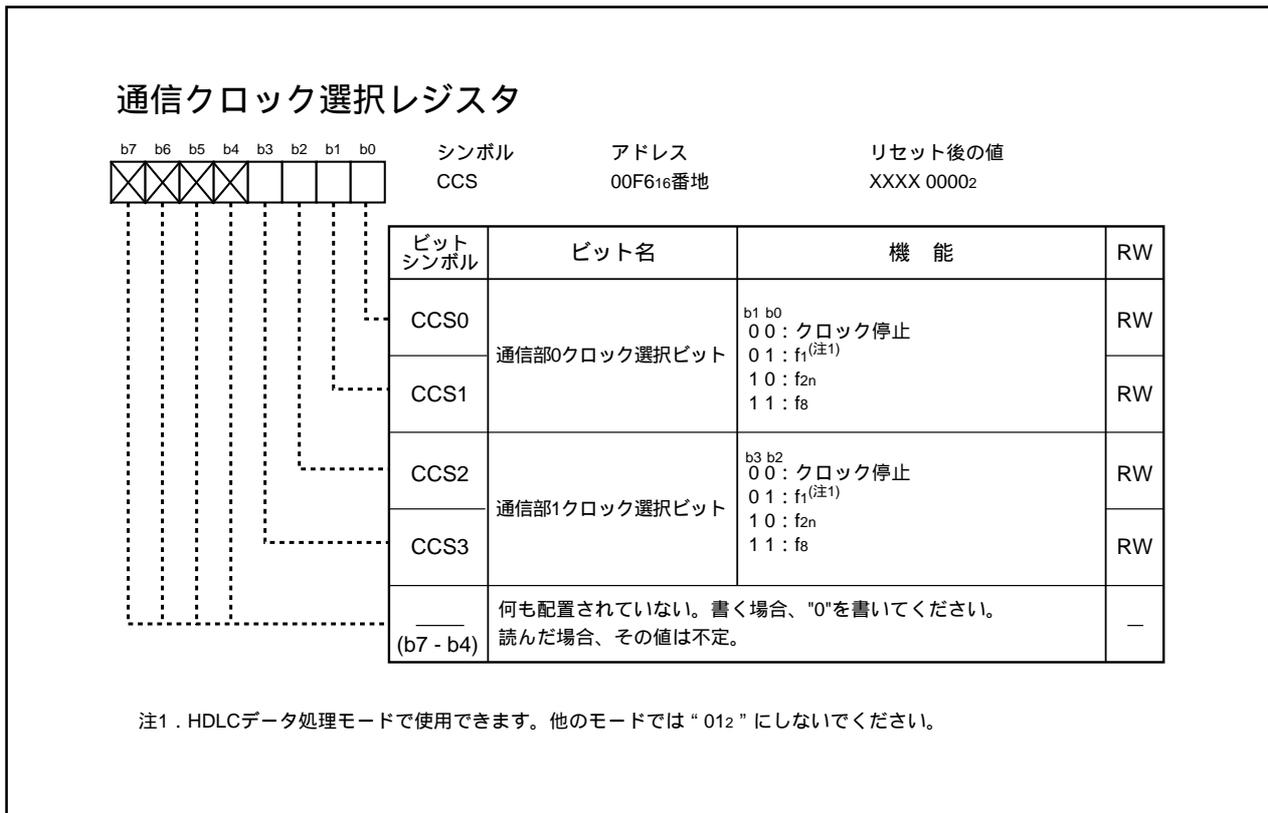


図21.11 CCSレジスタ

21.1.1 クロック同期形シリアルI/Oモード(通信部0,1)

転送クロックを用いて送受信を行うモードです。転送クロックには、 f_8 、 f_{2n} が選択できます。

表21.2に通信部0,1のクロック同期形シリアルI/Oモードの仕様を、表21.3～表21.4にクロック設定を、表21.5に使用レジスタと設定値を、表21.6～表21.7に端子の設定を、図21.12に送信、受信動作例を示します。

表21.2 通信部0,1のクロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック ^(注1)	表21.3～表21.4参照
送信開始条件	GiMRレジスタ($i=0, 1$)、GiERCレジスタを設定し、その後、転送クロックの1サイクル以上後で以下の条件に沿うようにしてください <ul style="list-style-type: none"> ・ GiCRレジスタのTEビットが“1”(送信許可) ・ GiCRレジスタのTIビットが“0”(GiTBレジスタにデータあり)
受信開始条件	GiMRレジスタ、GiERCレジスタを設定し、その後、転送クロックの1サイクル以上後で以下の条件に沿うようにしてください <ul style="list-style-type: none"> ・ GiCRレジスタのREビットが“1”(受信許可) ・ TEビットが“1”(送信許可) ・ TIビットが“0”(GiTBレジスタにデータあり)
割り込み要求	送信時、次の条件のいずれかを選択できます。条件が成立するとSIOiTRビットが“1”(割り込み要求あり)になります。(図10.14参照) <ul style="list-style-type: none"> ・ GiMRレジスタのIRSビットが“0”(GiTBレジスタ空)の場合は、GiTBレジスタから送信レジスタへデータ転送時(送信開始時) ・ IRSビットが“1”(送信完了)の場合は、送信レジスタからデータ送信完了時受信時 受信レジスタからGiRBレジスタへデータ転送時(受信完了時)、SIOiRRビットが“1”(割り込み要求あり)になる(図10.14参照)
エラー検出	オーバランエラー ^(注2) GiRBレジスタを読む前に次のデータ受信を開始し、8ビット目を受信すると発生
選択機能	・ LSBファースト、MSBファースト 選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可

注1. クロック同期形シリアルI/Oモード時はGiERCレジスタのRSHTTEビットを“1”(受信シフト動作許可)にしてください。

注2. オーバランエラーが発生した場合、GiRBレジスタは不定になります。

なお、動作モード選択後から転送開始までのISTxDi端子の出力レベルは、“H”です。

表21.3 通信部0のクロック設定

転送クロック	G0MRレジスタ	CCSレジスタ	
	CKDIRビット	CCS0ビット	CCS1ビット
f_8	0	1	1
f_{2n} ^(注1)	0	0	1
ISCLK0からの入力	1	-	-

注1. TCSPRレジスタのCNT3～CNT0ビットにより分周なし($n=0$)または2 n 分周($n=1\sim 15$)を設定

表21.4 通信部1のクロック設定

転送クロック	G1MRレジスタ	CCSレジスタ	
	CKDIRビット	CCS2ビット	CCS3ビット
f8	0	1	1
f2n ^(注1)	0	0	1
ISCLK1からの入力	1	-	-

注1. TCSPRレジスタのCNT3～CNT0ビットにより分周なし(n=0)または2n分周(n=1～15)を設定

表21.5 通信部0,1のクロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能	
		通信部1	通信部0
CCS	CCS1～CCS0	通信部1のみを使用する場合、設定は不要です	転送クロックを選択してください
	CCS3～CCS2	転送クロックを選択してください	通信部0のみを使用する場合、設定は不要です
GiERC	-	“001000002” にしてください	
GiMR	GMD1～GMD0	“012” にしてください	
	CKDIR	内部クロック、外部クロックを選択してください	
	UFORM	LSBファースト、またはMSBファーストを選択してください	
	IRS	送信割り込み要因を選択してください	
GiCR	TI	送信バッファ空フラグ	
	TXEPT	送信レジスタ空フラグ	
	RI	受信完了フラグ	
	TE	送受信を許可する場合、“1” にしてください	
	RE	受信を許可する場合、“1” にしてください	
GiTB	-	送信データを書いてください	
GiRB	-	受信データとエラーフラグが格納されます	

i=0, 1

表21.6 通信部0,1のクロック同期形シリアルI/Oモード時の端子の設定(1)

ポート名	機能	ビットと設定値				
		PS1 レジスタ	PSL1 レジスタ	PSC レジスタ	PSD1 レジスタ	PD7 レジスタ
P73	ISTxD1出力	PS1_3=1	PSL1_3=0	PSC_3=1	-	-
P74	ISCLK1入力	PS1_4=0	-	-	-	PD7_4=0
	ISCLK1出力	PS1_4=1	PSL1_4=0	PSC_4=1	-	-
P75	ISRxD1入力	PS1_5=0	-	-	-	PD7_5=0
P76	ISTxD0出力	PS1_6=1	PSL1_6=0	PSC_6=0	PSD1_6=0	-
P77	ISCLK0入力	PS1_7=0	-	-	-	PD7_7=0
	ISCLK0出力	PS1_7=1	PSL1_7=0	-	-	-

表21.7 通信部0,1のクロック同期形シリアルI/Oモード時の端子の設定(2)

ポート名	機能	ビットと設定値	
		PS2レジスタ	PD8レジスタ
P80	ISRxD0入力	PS2_0=0	PD8_0=0

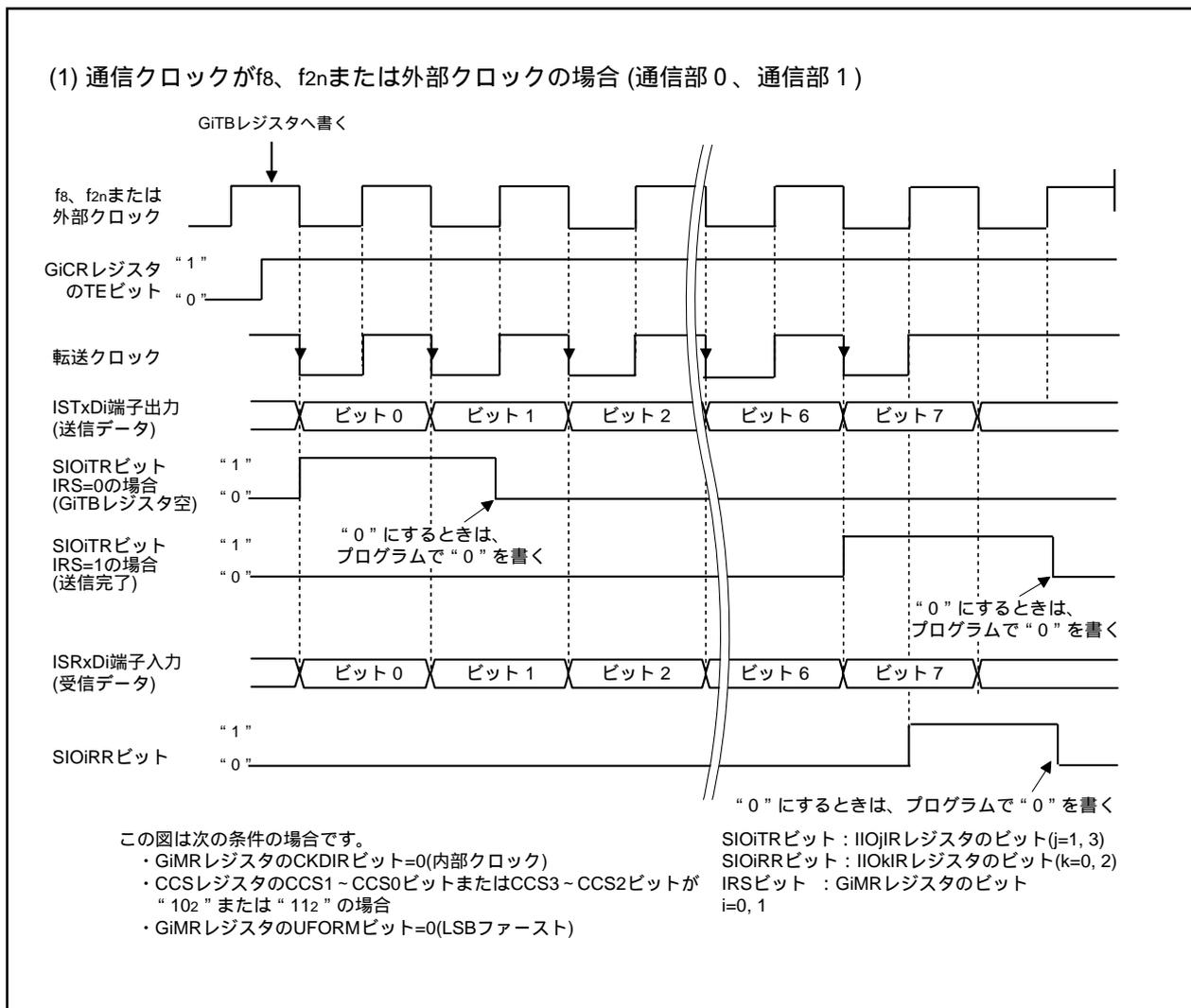


図21.12 通信部0,1のクロック同期形シリアルI/Oモード時の送信、受信動作例

21.1.2 HDLCデータ処理モード(通信部0、1)

HDLC制御に必要なビットスタッフィング、フラグ検出、アボート検出、CRC処理を行うモードです。転送クロックには、f1、f8、f2nが選択できます。端子は使用しません。

送信データ変換はGiTBレジスタ(i=0、1)にデータを書き込み、変換処理後データ出力変換結果が格納されます。GiTOレジスタに変換後データがある場合、変換は停止します。GiTOレジスタにデータがない場合、送信出力バッファにデータがなくても、ビットスタッフィング処理が実行されます。CRC値は1ビット変換することに演算されます。受信データ変換は、GiRIレジスタにデータがないと変換は停止します。

表21.8にHDLCデータ処理モードの仕様を、表21.9～表21.10にクロック設定を、表21.11に使用レジスタと設定値を示します。

表21.8 HDLCデータ処理モードの仕様 (1/2)

項目	仕様
入力データフォーマット	8ビット固定、ビットアライメントは任意
出力データフォーマット	8ビット固定
転送クロック	表21.9、表21.10参照
入出力方法	送信データ処理時 GiTBレジスタ(i=0、1)(送信データレジスタ)に設定した値にHDLCデータ処理して、GiTOレジスタへ転送 受信データ処理時 GiRIレジスタに設定した値にHDLCデータ処理して、GiRBレジスタへ転送 GiRIレジスタに設定した値はGiTBレジスタ(受信データレジスタ)へも転送される
ビットスタッフィング	送信データ処理時：5つの連続する“1”の後、“0”を挿入する 受信データ処理時：5つの連続する“1”の後、“0”を削除する
フラグ検出	特殊通信割り込み(IIO4IRレジスタのSRTiRビット)を使用するため次の条件が必要です ・GiCMPjレジスタ(j=0～3)にフラグデータ“7E16”を設定する
アボート検出	GiMSKjレジスタにマスクデータ“0116”を設定する
CRC	CRC1～CRC0ビット＝“112”(X ¹⁶ +X ¹² +X ⁵ +1) CRCVビット＝“1”(FFFF16を設定) ・送信データ処理時：GiTCRCレジスタにCRC演算結果が格納される GiETCレジスタのTCRCEビットが“1”(送信CRC使用する) 初期化：GiCRレジスタのTEビットを“0”(送信禁止)にすると初期化される。 ・受信データ処理時：GiRCRCレジスタにCRC演算結果が格納される GiERCレジスタのRCRCEビットが“1”(受信CRC使用する) 初期化：フラグデータ“7E16”比較時、GiCMP3レジスタとの一致信号で初期化される。(GiEMRレジスタのACRCビット=1(CRC初期化する))
データ処理開始条件	送信データ処理の開始に必要な条件は次のとおりです ・GiCRレジスタのTEビットが“1”(送信許可) ・GiTBレジスタへのデータの書き込み 受信データ処理の開始に必要な条件は次のとおりです ・GiCRレジスタのREビットが“1”(受信許可) ・GiRIレジスタへのデータ書き込み

表21.8 HDLCデータ処理モードの仕様(2/2)

割り込み要求 ^(注1)	<p>送信データ処理時</p> <ul style="list-style-type: none"> ・ 次の条件のいずれかを選択できます。条件が成立するとGiTORビットが“1”(割り込み要求あり)になります(図10.14参照) <ul style="list-style-type: none"> - GiMRレジスタのIRSビットが“0”(GiTBレジスタ空)の場合 GiTBレジスタから送信レジスタへデータ転送時(送信開始) - IRSビットが“1”(送信完了)の場合 送信レジスタからGiTOレジスタへデータ送信完了時 ・ HDLCデータ処理された送信データが、GiTOレジスタの送信レジスタから送信バッファへ転送されたとき、GiTORビットが“1”になります <p>受信データ処理時</p> <ul style="list-style-type: none"> ・ GiRIレジスタからGiRBレジスタへデータ転送時(受信完了時)にGiRIRビットが“1”(割り込み要求あり)になります ・ 受信データが、GiRIレジスタの受信バッファから受信レジスタへ転送されたとき、GiRIRビットが“1”になります ・ GiTBレジスタとGiCMPjレジスタ(j=0~3)の比較時、SRTiRビットが“1”(割り込み要求あり)になります
------------------------	---

注1. GiTORビット、GiRIRビット、SRTiRビットは、図10.14参照

表21.9 通信部0のクロック設定

転送クロック ^(注1)	CCSレジスタ	
	CCS0ビット	CCS1ビット
f1	1	0
f8	1	1
f2n ^(注2)	0	1

注1. 受信側はG0ERCレジスタのRSHTTEビットが“1”(受信シフト動作許可)のとき転送クロック発生

注2. TCSPRレジスタのCNT3~CNT0ビットにより分周なし(n=0)または2n分周(n=1~15)を設定

表21.10 通信部1のクロック設定

転送クロック ^(注1)	CCSレジスタ	
	CCS2ビット	CCS3ビット
f1	1	0
f8	1	1
f2n ^(注2)	0	1

注1. 受信側はG1ERCレジスタのRSHTTEビットが“1”(受信シフト動作許可)のとき転送クロック発生

注2. TCSPRレジスタのCNT3~CNT0ビットにより分周なし(n=0)または2n分周(n=1~15)を設定

表21.11 HDLCデータ処理モード時の使用レジスタと設定値

レジスタ	ビット	機能
GiMR	GMD1~GMD0	“112” にしてください
	CKDIR	“0” にしてください
	UFORM	“0” にしてください
	IRS	送信割り込み要因を選択してください
GiEMR	7~0	“1111 0110 ₂ ” にしてください
GiCR	TI	送信バッファ空フラグ
	TXEPT	送信レジスタ空フラグ
	RI	受信完了フラグ
	TE	送信許可ビット
	RE	受信許可ビット
GiETC	TCRCE	送信CRC使用する、しない選択
	TBSF0,TBSF1	送信ビットスタフティング
GiERC	CMP2E~CMP0E	受信データ比較する、しないを選択してください
	CMP3E	“1” にしてください
	RCRCE	受信CRC使用する、しない選択
	RSHTE	受信側使用時“1” にしてください
	RBSF0,RBSF1	受信ビットスタフティング選択
GiIRF	BSERR	“0” にしてください
	IRF0~IRF3	割り込み要因を選択してください
GiCMP0, GiCMP1	7~0	アポートに使用する場合は“FE ₁₆ ” を書いてください
GiCMP2	7~0	比較データ
GiCMP3	7~0	“7E ₁₆ ” を書いてください
GiMSK0, GiMSK1	7~0	アポートに使用する場合は“01 ₁₆ ” を書いてください
GiTCRC	15~0	送信CRC演算結果が読める
GiRCRC	15~0	受信CRC演算結果が読める
GiTO	7~0	送信データ生成回路から出力されたデータが読める
GiRI	7~0	受信データ生成回路へ入力するデータを設定してください
GiRB	7~0	受信データが格納されず
GiTB	7~0	送信側 送信データを書いてください。 受信側 データ比較用の受信データが格納される
CCS	CCS1~CCS0	HDLC処理クロックを選択してください
	CCS3~CCS2	HDLC処理クロックを選択してください

i = 0 ~ 1

22. プログラマブル入出力ポート

プログラマブル入出力ポートは、P0～P10(P85は除く)の87本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとにプルアップするか、しないかを設定できます。P85は入力専用でプルアップできません。P85はNMIと端子を共用していますので、NMI入力レベルをP8レジスタのP8_5ビットから読めます。

図22.1～図22.4にプログラマブル入出力ポートの構成を示します。

各端子は、プログラマブル入出力ポート、内部周辺機能の入出力、またはバス制御端子として機能します。内部周辺機能の入出力端子として使用する場合は設定方法は各機能説明を参照してください。バス制御端子として使用する場合は「7. バス」を参照してください。

次にプログラマブル入出力ポート関連レジスタを示します。

22.1 ポートPi方向レジスタ(PDiレジスタ、i = 0～10)

図22.5にPDiレジスタを示します。

プログラマブル入出力ポートを入力に使用するか、出力に使用するかを選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、 $\overline{A23}$ 、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 $\overline{WRL/WR}$ 、 $\overline{WRH/BHE}$ 、 \overline{RD} 、 $\overline{BCLK/ALE/CLKOUT}$ 、 $\overline{HLDA/ALE}$ 、 \overline{HOLD} 、ALE、 \overline{RDY})になっている端子のPDiレジスタは変更できません。

なお、P85に対応する方向レジスタのビットはありません。

22.2 ポートPiレジスタ(Piレジスタ、i = 0～10)

図22.6にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの書き込みと読み出しによって行います。Piレジスタは出力データを保持するポートラッチと端子の状態を読む回路で構成されています。Piレジスタの各ビットはポート1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0～A22、 $\overline{A23}$ 、D0～D15、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 $\overline{WRL/WR}$ 、 $\overline{WRH/BHE}$ 、 \overline{RD} 、 $\overline{BCLK/ALE/CLKOUT}$ 、 $\overline{HLDA/ALE}$ 、 \overline{HOLD} 、ALE、 \overline{RDY})になっている端子のPiレジスタは変更できません。

22.3 機能選択レジスタAj(PSjレジスタ、j = 0～3)

図22.7～図22.8にPSjレジスタを示します。

入出力ポートと周辺機能出力が端子を共用している場合、入出力ポートと周辺機能出力のどちらを使用するかを選択するためのレジスタです(ただしDA0、DA1を除く)。

1本の端子に周辺機能出力が複数割り付けられている場合は、PSL0～PSL3レジスタ、PSC、PSC3、PSD1でどの機能を使用するか選択してください。表22.3～表22.10に各端子の周辺機能出力制御の設定を示します。

22.4 機能選択レジスタB0～B3 (PSL0～PSL3レジスタ)

図22.9～図22.10にPSL0～PSL3レジスタを示します。

PSL0～PSL3レジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

PSL3レジスタのPSL3_3～PSL3_6ビットは、「22.10 アナログ入力と他の周辺機能入力」を参照してください。

22.5 機能選択レジスタC(PSC、PSC3レジスタ)

図22.11、図22.12にPSC、PSC3レジスタを示します。

PSCレジスタ、PSC3レジスタは端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

PSC_7ビットは、「22.10 アナログ入力と他の周辺機能入力」を参照してください。

22.6 機能選択レジスタD(PSD1レジスタ)

図22.12にPSD1レジスタを示します。

PSD1レジスタは、端子に周辺機能出力が複数割り付けられている場合、どの周辺機能出力を使用するかを選択するためのレジスタです。

22.7 プルアップ制御レジスタ0～3(PUR0～PUR3レジスタ)

図22.13、図22.14にPUR0～PUR3レジスタを示します。

PUR0～PUR3レジスタで、4端子ごとにプルアップするかしないかを設定できます。これらのレジスタのビットを“1”(プルアップする)、方向レジスタを“0”(入力モード)に設定したポートはプルアップされません。

メモリ拡張モード、マイクロプロセッサモード時、バスとして動作しているP0～P5のPUR0～PUR1レジスタのビットは“0”(プルアップしない)にしてください。なお、メモリ拡張モード、マイクロプロセッサモード時、P0、P1、P40～P43を入力ポートとして使用する場合、これらのポートはプルアップできます。

22.8 ポート制御レジスタ(PCRレジスタ)

図22.15にPCRレジスタを示します。

ポートP1の出力形式をCMOSとするかNチャネルオープンドレインとするかを選択するレジスタです。PCR0ビットを“1”(Nチャネルオープンドレイン出力)にした場合、CMOSポートのPチャネルが常時OFFになるのでNチャネルオープンドレインになります。ただし、ポートP1は完全なオープンドレインにはなりません。したがって、入力電圧の絶対最大定格は“ $-0.3V \sim V_{CC2} + 0.3V$ ”となります。

マイクロプロセッサモードやメモリ拡張モードでポートP1をデータバスに使用する場合は、PCR0ビットを“0”(CMOS出力)にしてください。マイクロプロセッサモードやメモリ拡張モードでポートP1をポートとして使用する場合は、PCR0ビットで出力形式を選択できます。

22.9 アナログ入力と他の周辺機能入力

PSL3レジスタのPSL3_3～PSL3_6ビット、PSCレジスタのPSC_7ビットは、アナログ入出力を他の周辺機能から切り離すためのビットです。アナログ入出力(DA0、DA1、ANEX0、ANEX1、AN4～AN7)を使用する場合に対応するビットを“1”(アナログ入出力)にすると、他の周辺機能に中間電位が印加されるのを防げます。中間電位が印加されると電源電流が増加する場合があります。

アナログ入出力を使用しない場合は対応するビットを“0”(アナログ入出力以外)にしてください。アナログ入出力以外の周辺機能(ポートを含む)の入力は、このビットが“0”のとき有効で、“1”のときは不定になります。また、PSC_7ビットが“1”のとき、KI0～KI3端子の入力レベルが変化しても、キー入力割込要求は変化しません。

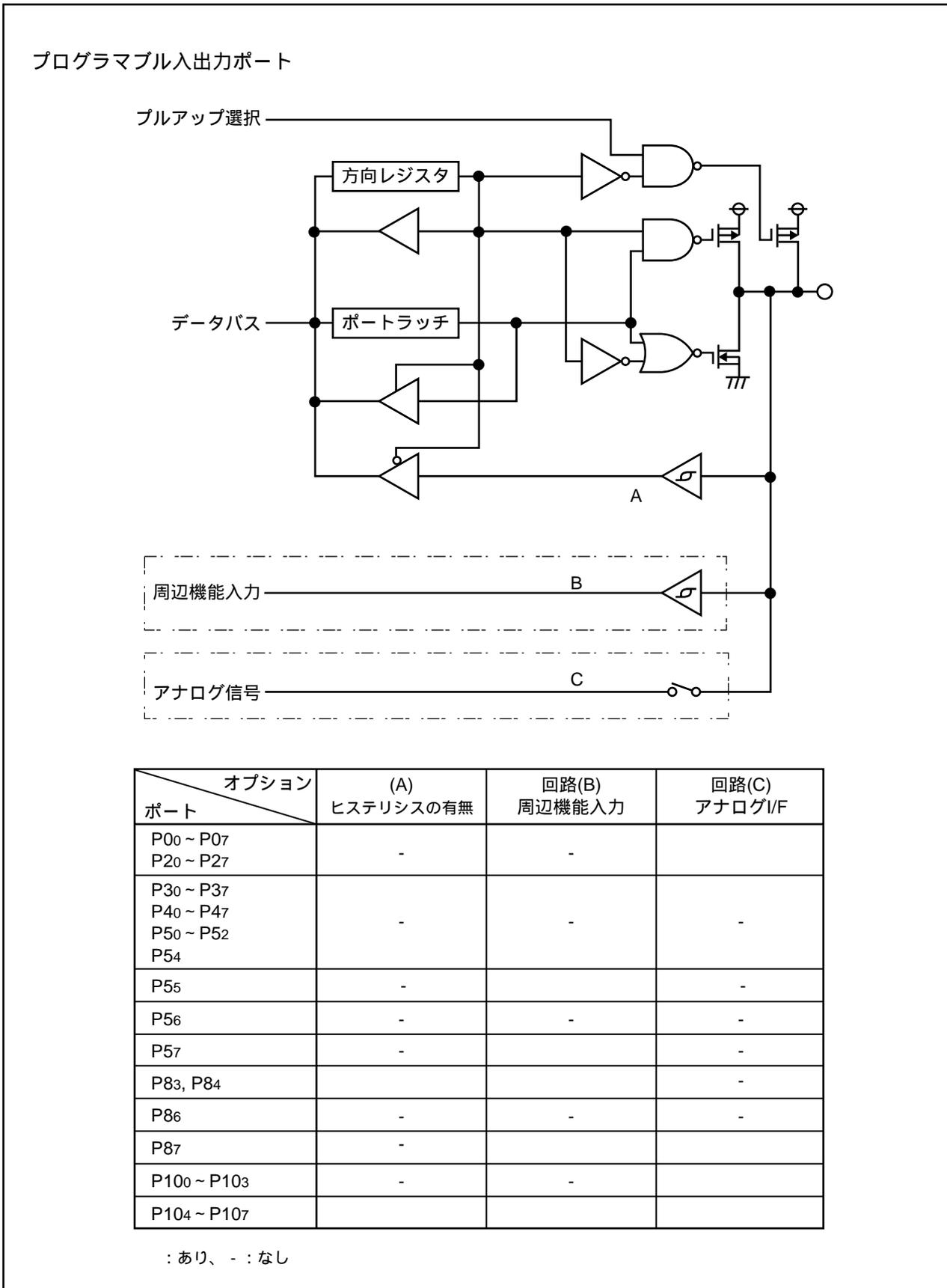


図22.1 プログラマブル入出力ポートの構成(1)

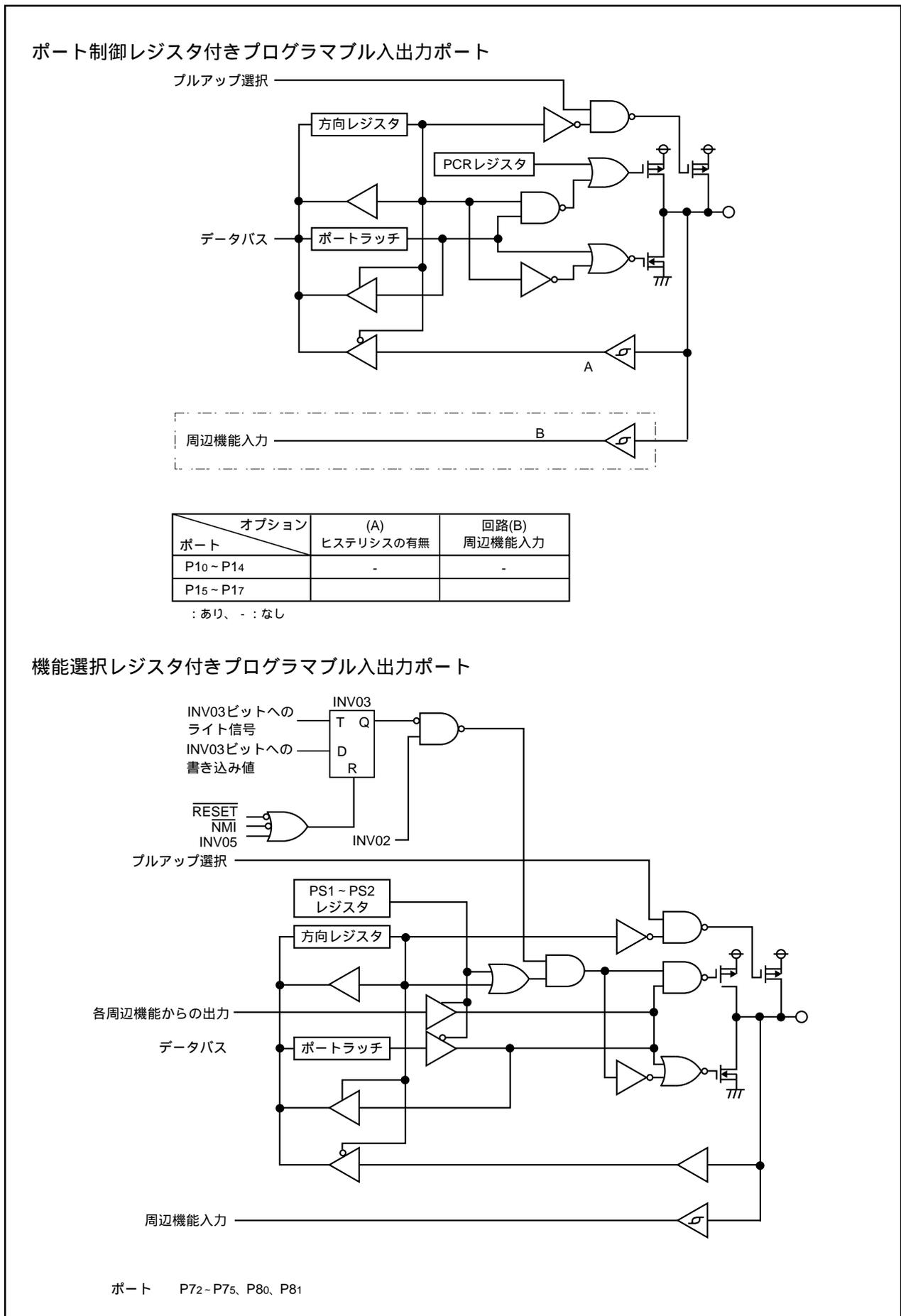


図22.2 プログラマブル入出力ポートの構成(2)

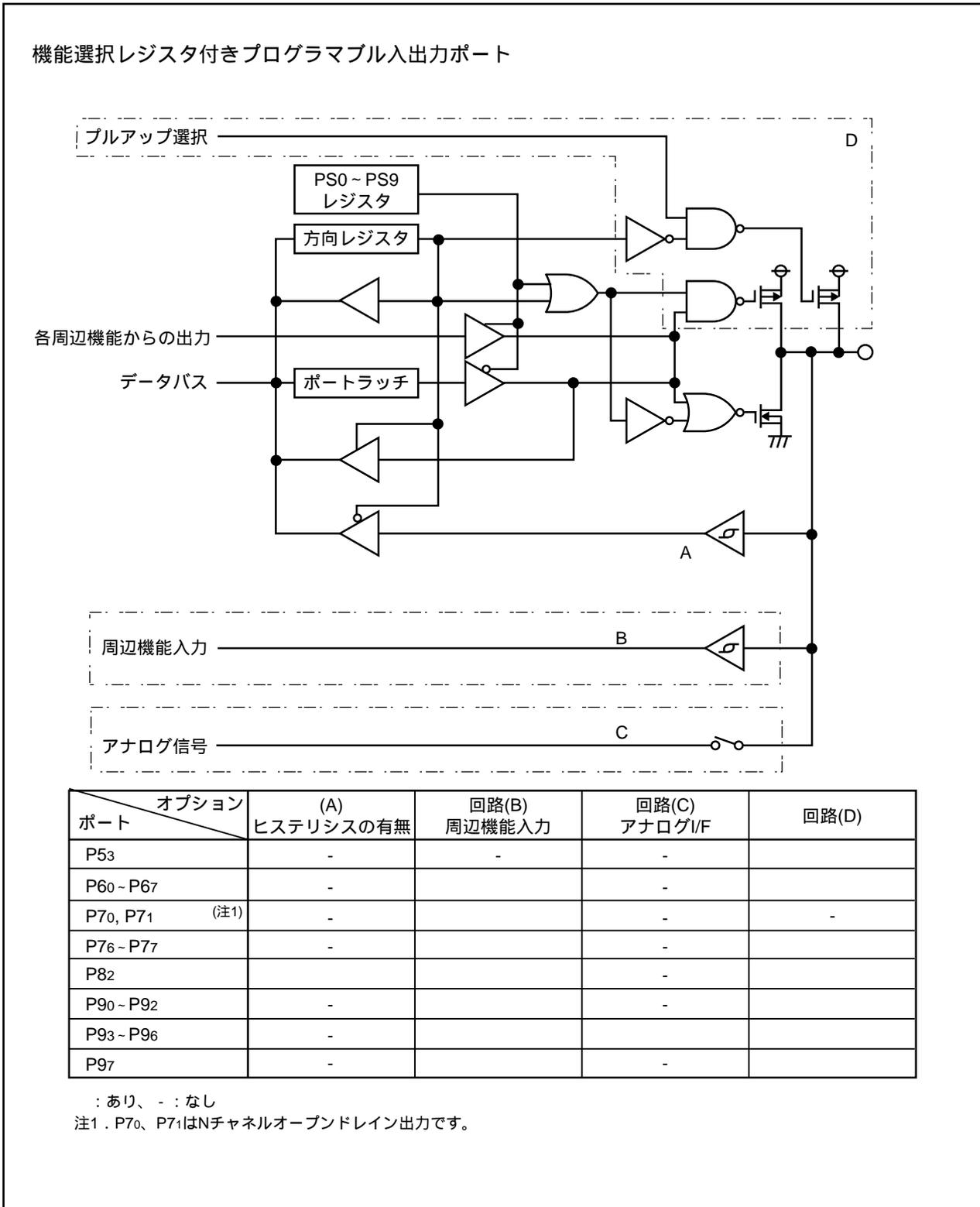


図22.3 プログラマブル入出力ポートの構成(3)

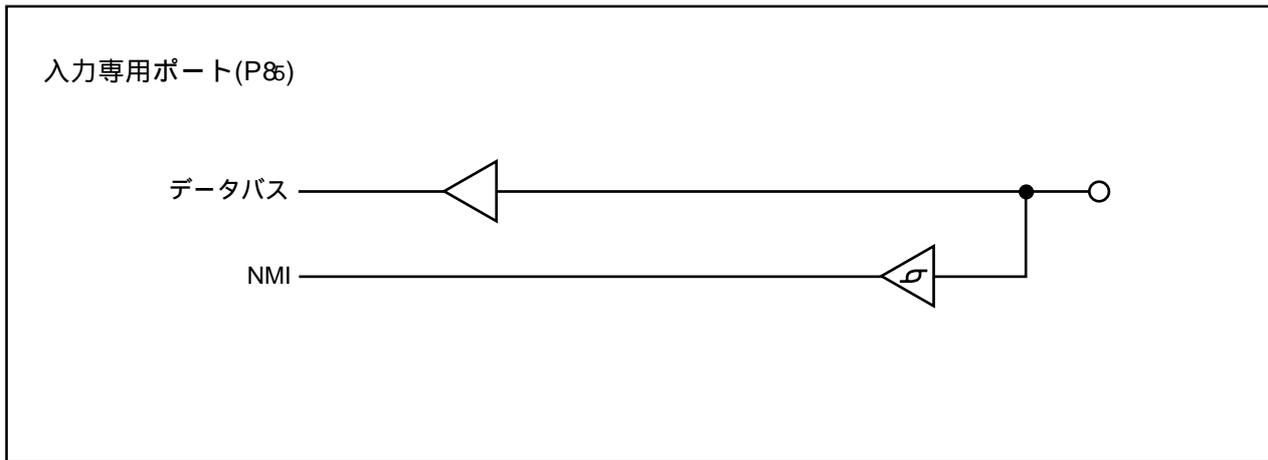


図22.4 プログラマブル入出力ポートの構成(4)

ポートPi方向レジスタ (i=0~10) (注2)

シンボル	アドレス	リセット後の値
PD0 ~ PD3	03E2 ₁₆ , 03E3 ₁₆ , 03E6 ₁₆ , 03E7 ₁₆ 番地	00 ₁₆
PD4 ~ PD7	03EA ₁₆ , 03EB ₁₆ , 03C2 ₁₆ , 03C3 ₁₆ 番地	00 ₁₆
PD8	03C6 ₁₆ 番地(注3)	00X0 0000 ₂
PD9 ~ PD10	03C7 ₁₆ (注1), 03CA ₁₆ 番地	00 ₁₆

ビットシンボル	ビット名	機能	RW
PDi_0	ポートPi0方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_1	ポートPi1方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_2	ポートPi2方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_3	ポートPi3方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_4	ポートPi4方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_5	ポートPi5方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_6	ポートPi6方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW
PDi_7	ポートPi7方向ビット	0: 入力モード(入力ポートとして機能) 1: 出力モード(出力ポートとして機能)	RW

注1. PD9レジスタはPRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。PRC2ビットを“1”にする命令とPD9レジスタを書き換える命令の間に割り込みやDMA転送が入らないようにしてください。

注2. メモリ拡張モードまたはマイクロプロセッサモードでは、バス制御端子(A0~A22、A23、D0~D15、CS0~CS3、WRL/WR、WRH/BHE、RD、BCLK/ALE/CLKout、HLDA/ALE、HOLD、ALE、RDY)になっている端子の方向レジスタは変更できません。

注3. PD8レジスタのPD8_5ビットには何も配置されていません。書く場合、“0”を書いてください。読んだ場合、その値は不定です。

図22.5 PD0 ~ PD10レジスタ

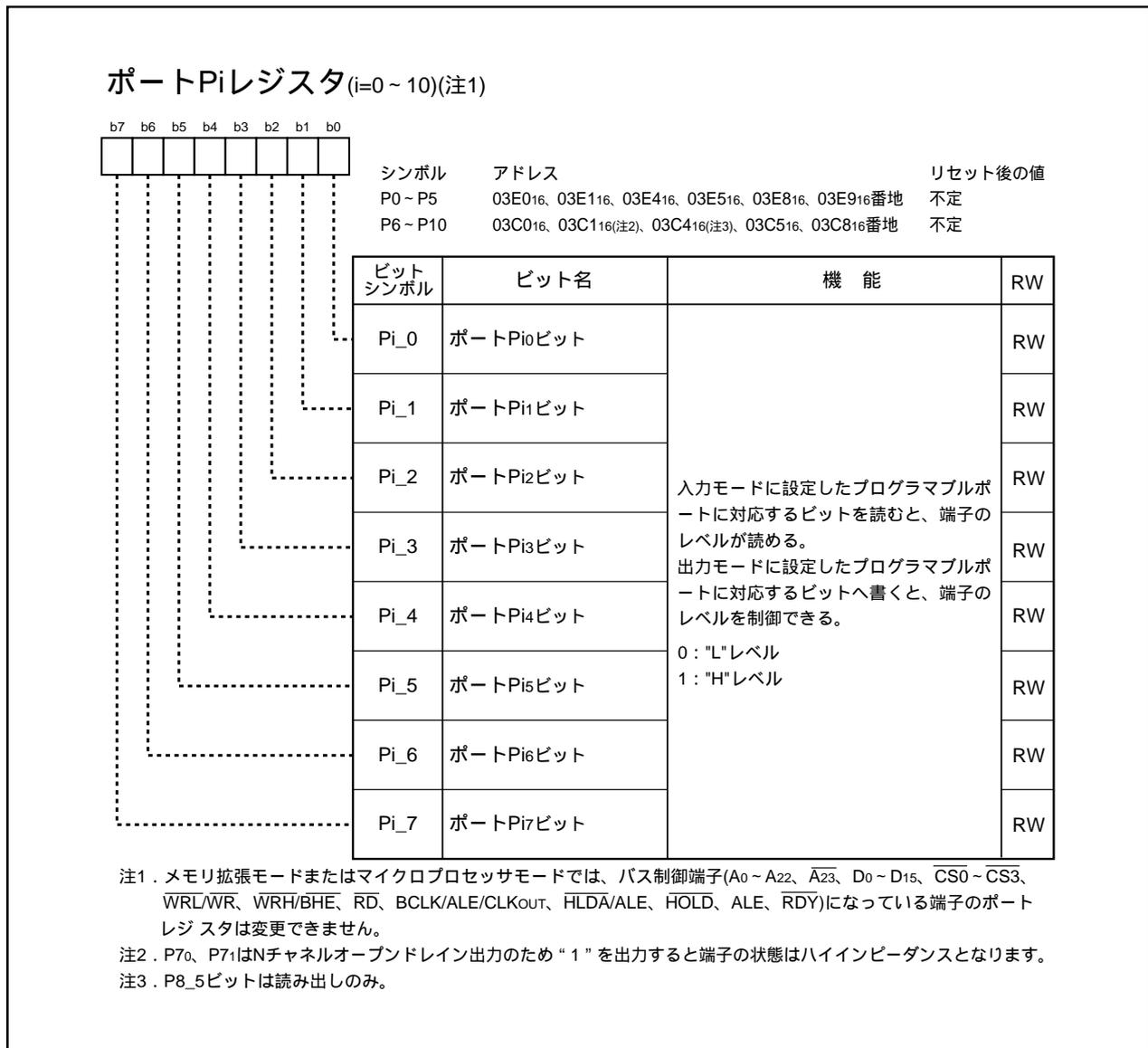


図22.6 P0~P10レジスタ

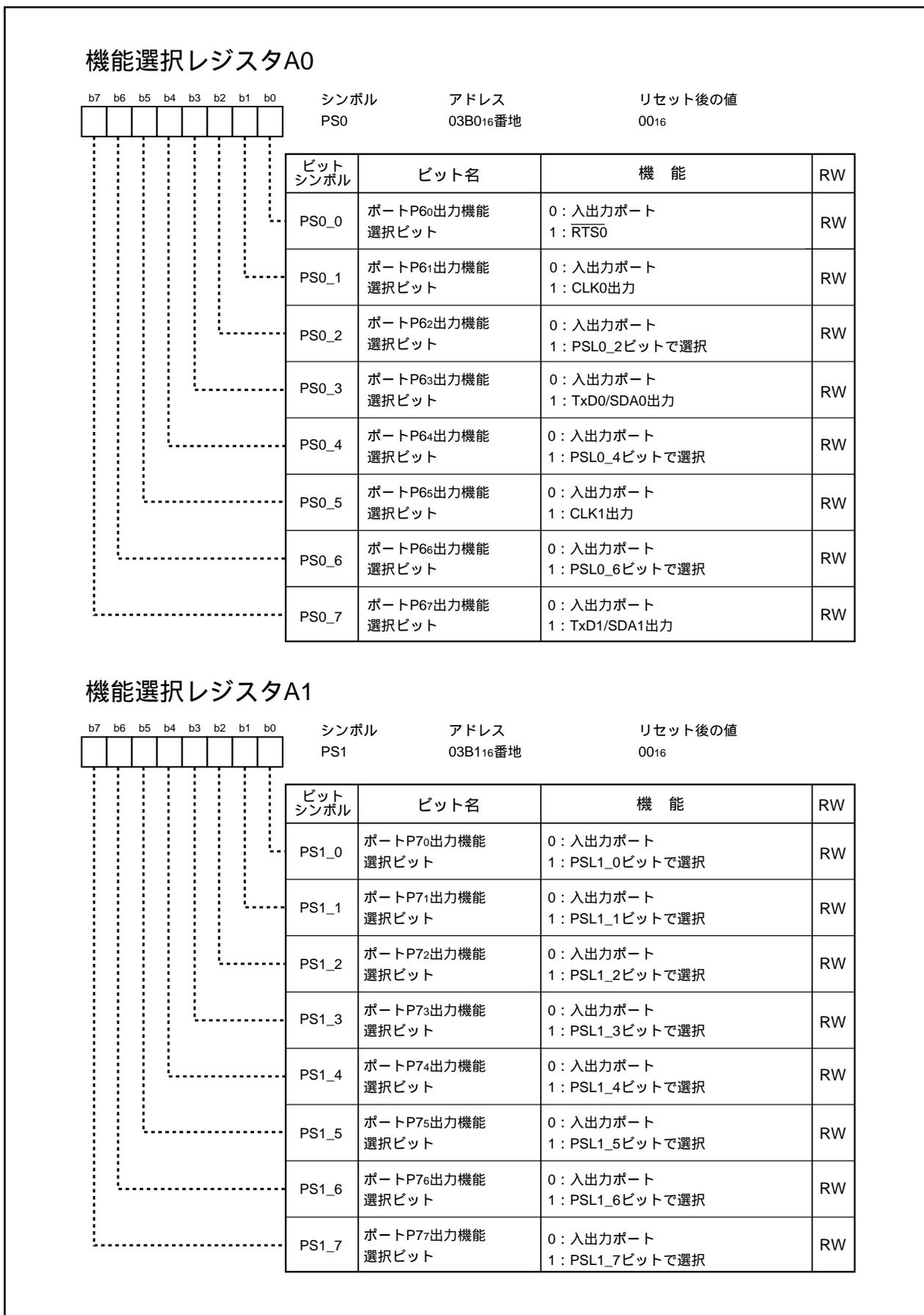


図22.7 PS0レジスタ、PS1レジスタ

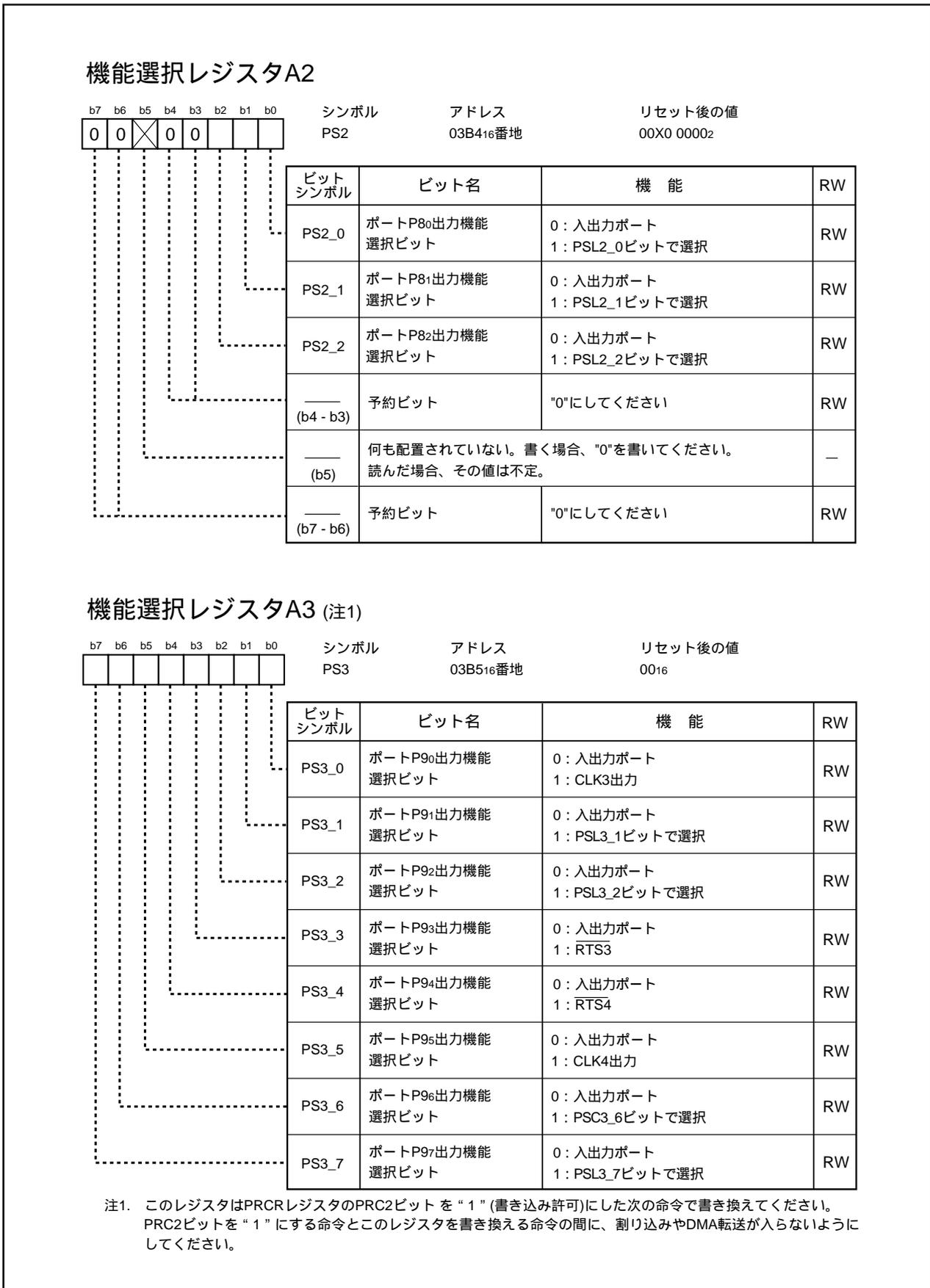


図22.8 PS2レジスタ、PS3レジスタ

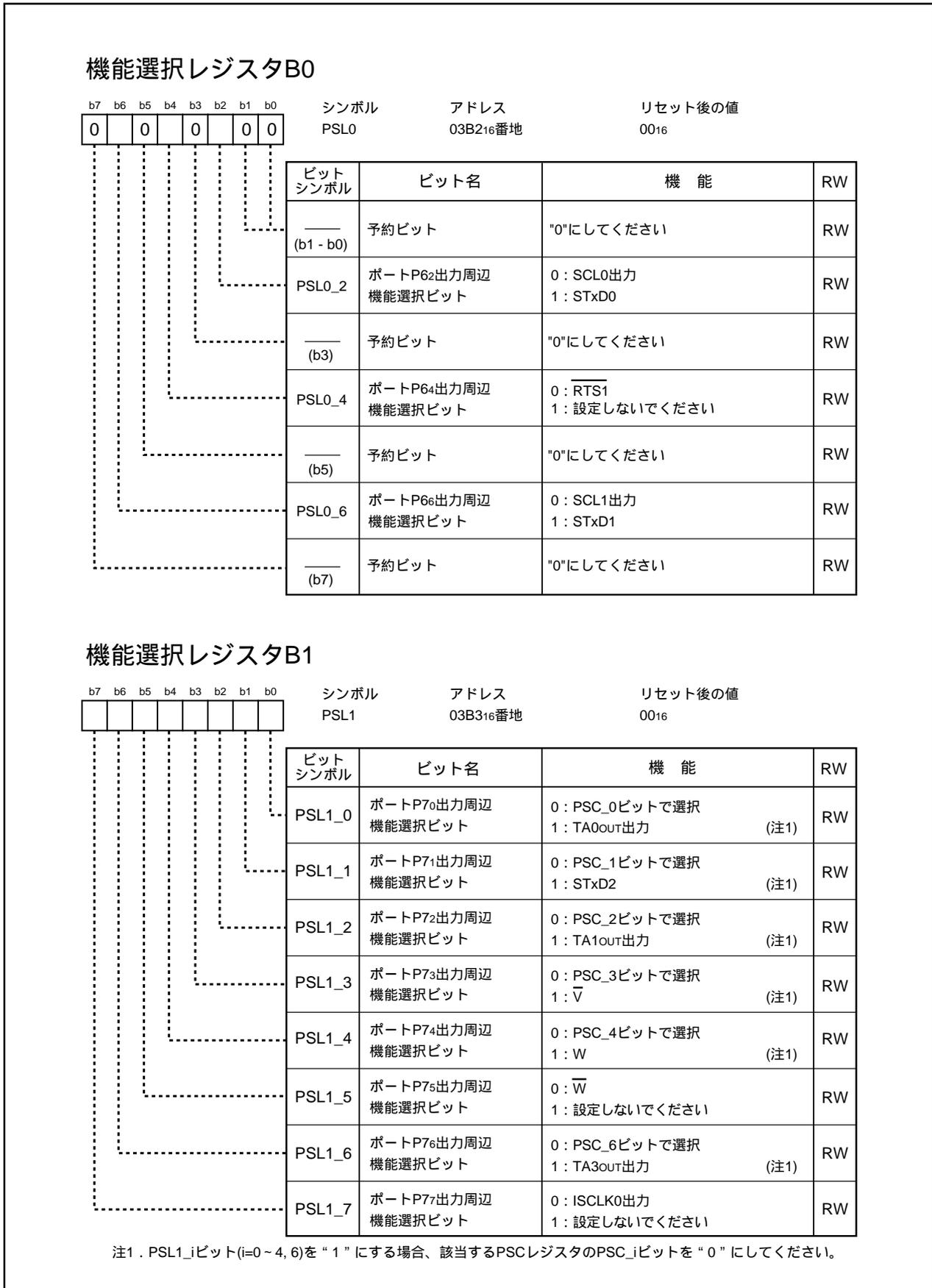


図22.9 PSL0レジスタ、PSL1レジスタ



図22.10 PSL2レジスタ、PSL3レジスタ

機能選択レジスタC

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
PSC

アドレス
03AF16番地

リセット後の値
00X0 00002

ビットシンボル	ビット名	機能	RW
PSC_0	ポートP7 ₀ 出力周辺機能選択ビット	0 : TxD2/SDA2出力 1 : 設定しないでください	RW
PSC_1	ポートP7 ₁ 出力周辺機能選択ビット	0 : SCL2出力 1 : 設定しないでください	RW
PSC_2	ポートP7 ₂ 出力周辺機能選択ビット	0 : CLK2出力 1 : V	RW
PSC_3	ポートP7 ₃ 出力周辺機能選択ビット	0 : $\overline{\text{RTS}}_2$ 1 : ISTxD1	RW
PSC_4	ポートP7 ₄ 出力周辺機能選択ビット	0 : TA2 _{out} 出力 1 : ISCLK1	RW
(b5)	何も配置されていない。書く場合、"0"を書いてください。読んだ場合、その値は不定。		—
PSC_6	ポートP7 ₆ 出力周辺機能選択ビット	0 : PSD1_6ビットで選択 1 : 設定しないでください	RW
PSC_7	キー入力割込禁止選択ビット	0 : P10 ₄ ~ P10 ₇ または $\overline{\text{KI}}_0$ ~ $\overline{\text{KI}}_3$ 1 : AN ₄ ~ AN ₇ (注1)	RW

注1. PSC_7ビットを変更する際は、KUPICレジスタのILVL2 ~ ILVL0ビットを " 0002 " (割り込み禁止)にしてください。このビットを " 0 " にしてもAN₄ ~ AN₇は使用できますが、電源電流が増加する場合があります。

図22.11 PSCレジスタ

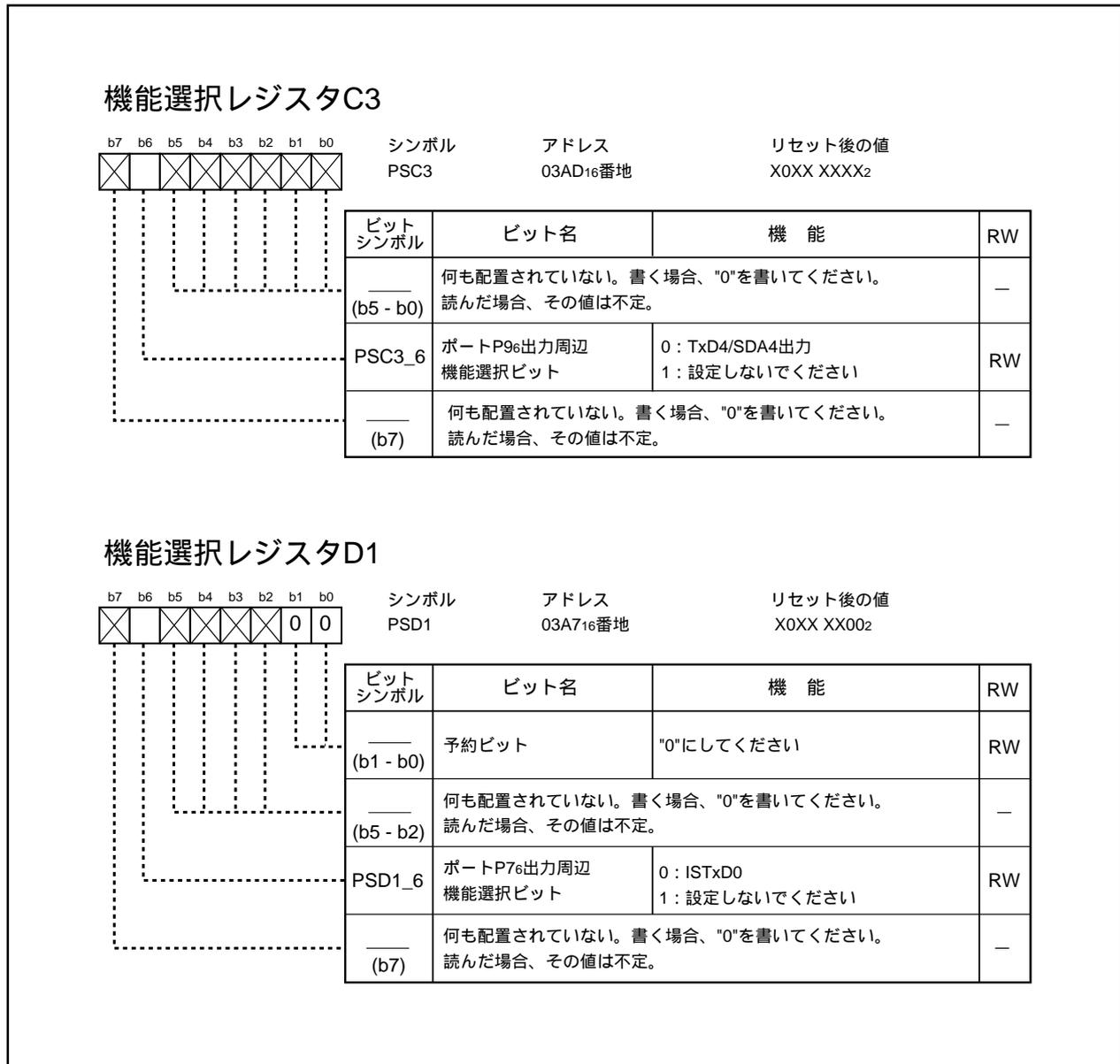


図22.12 PSC3レジスタ、PSD1レジスタ

プルアップ制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR0	アドレス 03F0 ₁₆ 番地	リセット後の値 00 ₁₆
ビット シンボル	ビット名		機 能	RW						
PU00	P0 ₀ ~ P0 ₃ のプルアップ		対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW						
PU01	P0 ₄ ~ P0 ₇ のプルアップ			RW						
PU02	P1 ₀ ~ P1 ₃ のプルアップ			RW						
PU03	P1 ₄ ~ P1 ₇ のプルアップ			RW						
PU04	P2 ₀ ~ P2 ₃ のプルアップ			RW						
PU05	P2 ₄ ~ P2 ₇ のプルアップ			RW						
PU06	P3 ₀ ~ P3 ₃ のプルアップ			RW						
PU07	P3 ₄ ~ P3 ₇ のプルアップ		RW							

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0～P5はバス制御端子として動作しますので、PUR0レジスタの各ビットは“0”にしてください。ただし入出力ポートとしてする場合は、プルアップするかしないかを選択できます。

プルアップ制御レジスタ1 (注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR1	アドレス 03F1 ₁₆ 番地	リセット後の値 XXXX 0000 ₂
ビット シンボル	ビット名		機 能	RW						
PU10	P4 ₀ ~ P4 ₃ のプルアップ		対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW						
PU11	P4 ₄ ~ P4 ₇ のプルアップ			RW						
PU12	P5 ₀ ~ P5 ₃ のプルアップ			RW						
PU13	P5 ₄ ~ P5 ₇ のプルアップ			RW						
— (b7 - b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—						

注1. メモリ拡張モードとマイクロプロセッサモードでは、ポートP0～P5はバス制御端子として動作しますので、PUR1レジスタの各ビットは“0”にしてください。ただし入出力ポートとしてする場合は、プルアップするかしないかを選択できます。

プルアップ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0	シンボル PUR2	アドレス 03DA ₁₆ 番地	リセット後の値 00 ₁₆
ビット シンボル	ビット名		機 能	RW						
PU20	P6 ₀ ~ P6 ₃ のプルアップ		対応するポートのプルアップの設定を行う 0 : プルアップしない 1 : プルアップする	RW						
PU21	P6 ₄ ~ P6 ₇ のプルアップ			RW						
PU22	P7 ₂ ~ P7 ₃ のプルアップ (注1)			RW						
PU23	P7 ₄ ~ P7 ₇ のプルアップ			RW						
PU24	P8 ₀ ~ P8 ₃ のプルアップ			RW						
PU25	P8 ₄ ~ P8 ₇ のプルアップ (注2)			RW						
PU26	P9 ₀ ~ P9 ₃ のプルアップ			RW						
PU27	P9 ₄ ~ P9 ₇ のプルアップ		RW							

注1. P7₀、P7₁はプルアップできません。

注2. P8₅はプルアップできません。

図22.13 PUR0レジスタ、PUR1レジスタ、PUR2レジスタ

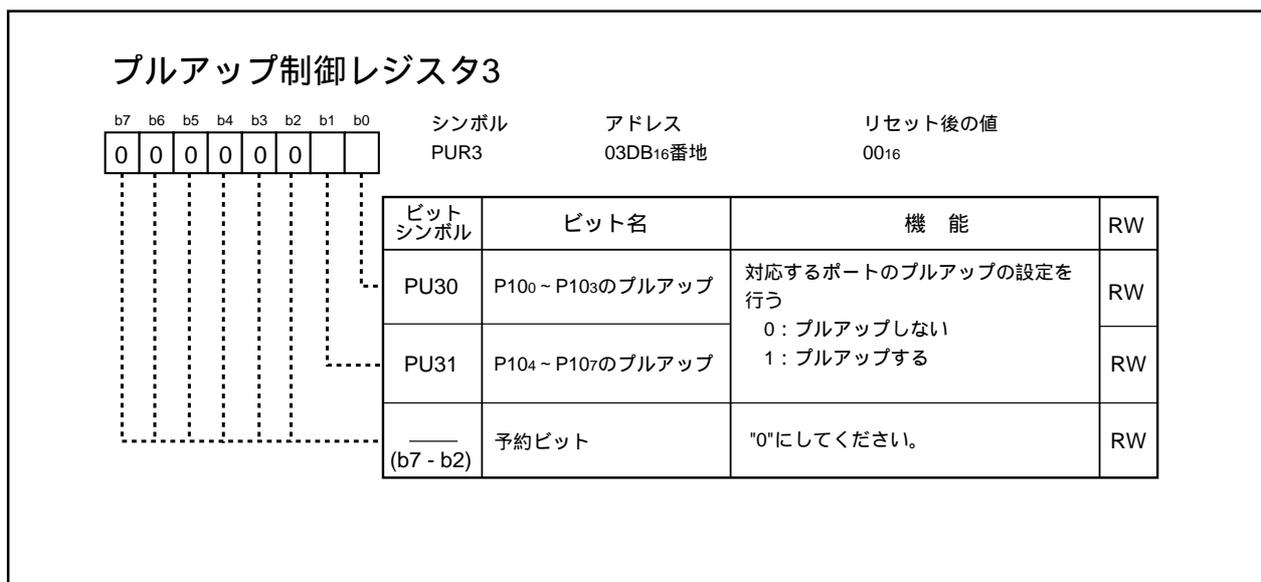


図22.14 PUR3レジスタ

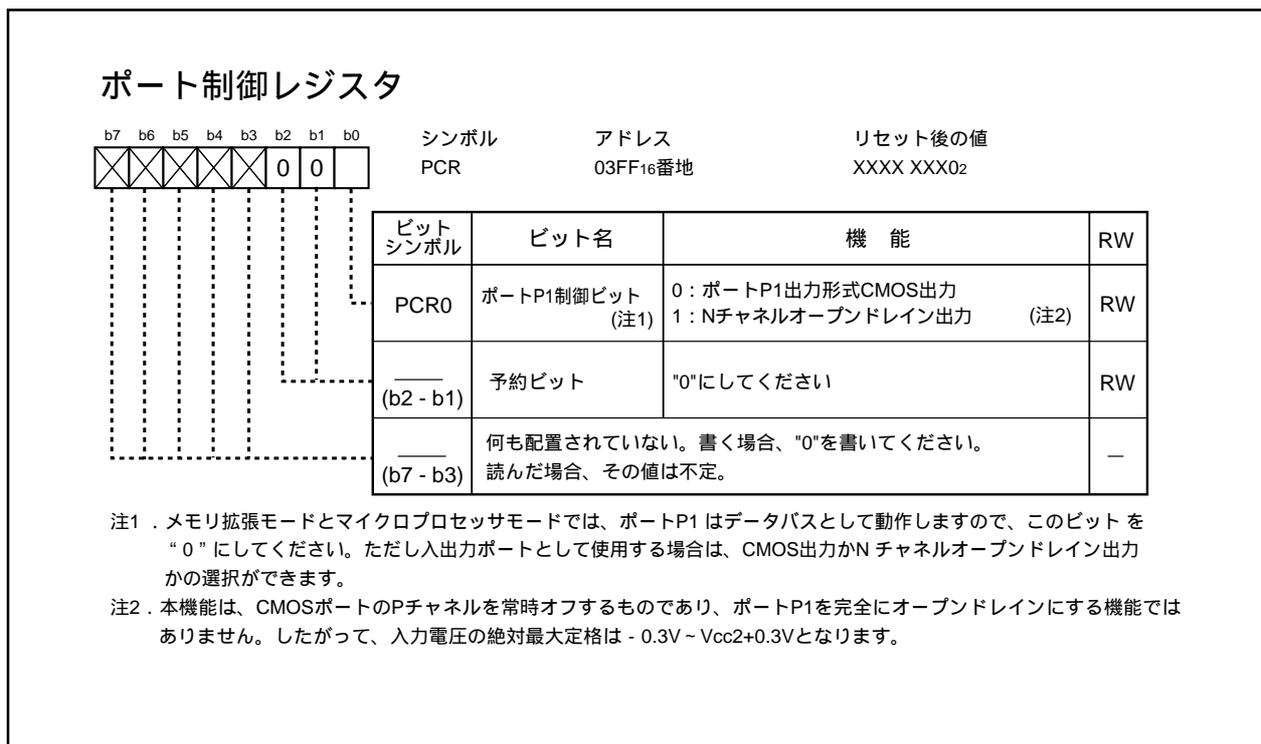


図22.15 PCRレジスタ

表22.1 シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0～P10(P8sは除く) ^(注1、2、3)	入力モードに設定し、端子ごとに抵抗を介してV _{SS} に接続(プルダウン)するか、または出力モードに設定し、端子を開放
X _{OUT} ^(注4)	開放
NMI (P8s)	抵抗を介してV _{CC1} に接続(プルアップ)
AV _{CC}	V _{CC1} に接続
AV _{SS} , V _{REF} , BYTE	V _{SS} に接続

注1. 出力モードに設定し開放する場合、リセットからプログラムでポートを出力モードに切り替えるまで、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。

注2. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. ポートP7₀、P7₁を出力モードに設定する場合、“L”を出力してください。

ポートP7₀、P7₁はNチャンネルオープンドレイン出力です。

注4. X_{IN}端子に外部クロックを入力している場合。

表22.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6～P10(P8sは除く) ^(注1、2、3)	入力モードに設定し、端子ごとに抵抗を介してV _{SS} に接続(プルダウン)するか、または出力モードに設定し、端子を開放
BHE, ALE, HLD _A , X _{OUT} ^(注4) , BCLK	開放
HOLD, RDY	抵抗を介してV _{CC2} に接続(プルアップ)
NMI (P8s)	抵抗を介してV _{CC1} に接続(プルアップ)
AV _{CC}	V _{CC1} に接続
AV _{SS} , V _{REF}	V _{SS} に接続

注1. 出力モードに設定し開放する場合、リセットからプログラムでポートを出力モードに切り替えるまで、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などにより方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定することでプログラムの信頼性が高くなります。

注2. 未使用端子は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. ポートP7₀、P7₁を出力モードに設定する場合、“L”を出力してください。

ポートP7₀、P7₁はNチャンネルオープンドレイン出力です。

注4. X_{IN}端子に外部クロックを入力している場合。

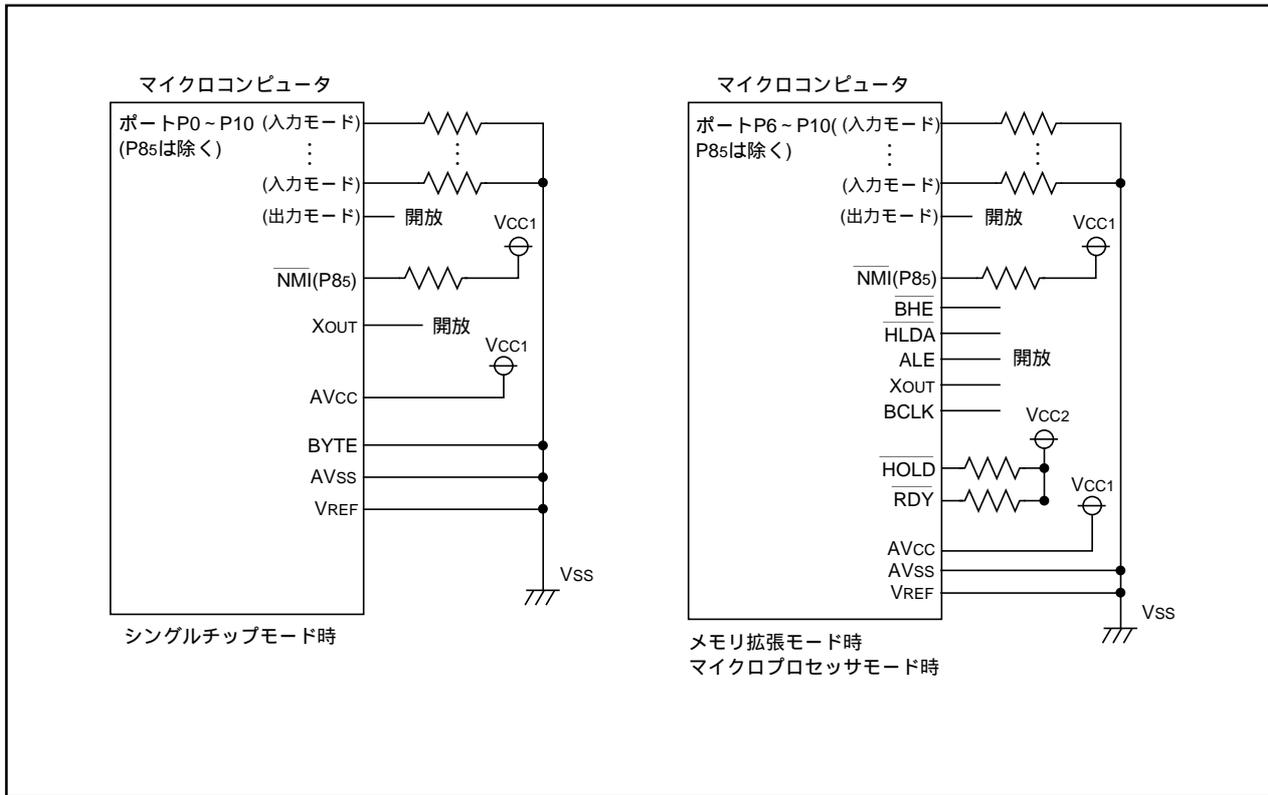


図22.16 未使用端子の処理例

表22.3 ポートP6周辺機能出力制御

	PS0レジスタ	PSL0レジスタ
ビット0	0: P60/CTS0/SS0 1: RTS0	“0” にしてください
ビット1	0: P61/CLK0入力 1: CLK0出力	“0” にしてください
ビット2	0: P62/RxD0/SCL0入力 1: PSL0レジスタで選択	0: SCL0出力 1: STxD0
ビット3	0: P63/SRxD0/SDA0入力 1: TxD0/SDA0出力	“0” にしてください
ビット4	0: P64/CTS1/SS1 1: PSL0レジスタで選択	0: RTS1 1: 設定しないでください
ビット5	0: P65/CLK1入力 1: CLK1出力	“0” にしてください
ビット6	0: P66/RxD1/SCL1入力 1: PSL0レジスタで選択	0: SCL1出力 1: STxD1
ビット7	0: P67/SRxD1/SDA1入力 1: TxD1/SDA1出力	“0” にしてください

表22.4 ポートP7周辺機能出力制御

	PS1レジスタ	PSL1レジスタ	PSCレジスタ(注1)	PSD1レジスタ
ビット0	0: P70/TA0OUT入力/SRxD2/ SDA2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA0OUT出力	0: TxD2/SDA2出力 1: 設定しないでください	“0” にしてください
ビット1	0: P71/TB5IN/TA0IN/RxD2/ SCL2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: STxD2	0: SCL2出力 1: 設定しないでください	“0” にしてください
ビット2	0: P72/TA1OUT入力/CLK2入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA1OUT出力	0: CLK2出力 1: V	“0” にしてください
ビット3	0: P73/TA1IN/CTS2/SS2 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: V	0: RTS2 1: ISTxD1	“0” にしてください
ビット4	0: P74/TA2OUT入力/ ISCLK1入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: W	0: TA2OUT出力 1: ISCLK1出力	“0” にしてください
ビット5	0: P75/TA2IN/ISRxD1 1: PSL1レジスタで選択	0: W 1: 設定しないでください	“0” にしてください	“0” にしてください
ビット6	0: P76/TA3OUT入力 1: PSL1レジスタで選択	0: PSCレジスタで選択 1: TA3OUT出力	0: PSD1レジスタで選択 1: 設定しないでください	0: ISTxD0 1: 設定しないでください
ビット7	0: P77/TA3IN/ISCLK0入力 1: PSL1レジスタで選択	0: ISCLK0出力 1: 設定しないでください	0: P104～P107またはKI0～ KI3 1: AN4～AN7 (P77とは無関係)	“0” にしてください

注1. PSL1_iビット(i=0～4, 6)を“1”にする場合、該当するPSC_iビットを“0”にしてください。

表22.5 ポートP8周辺機能出力制御

	PS2レジスタ	PSL2レジスタ
ビット0	0: P80/ISRxD0/TA4oUT入力 1: PSL2レジスタで選択	0: TA4oUT出力 1: U
ビット1	0: P81/TA4iN 1: PSL2レジスタで選択	0: U 1: 設定しないでください
ビット2	0: P82/INT0 1: PSL2レジスタで選択	“0” にしてください
ビット3~7	“000002” にしてください	

表22.6 ポートP9周辺機能出力制御

	PS3レジスタ	PSL3レジスタ	PSC3レジスタ
ビット0	0: P90/TB0iN/CLK3入力 1: CLK3出力	“0” にしてください	“0” にしてください
ビット1	0: P91/TB1iN/RxD3/SCL3入力 1: PSL3レジスタで選択	0: SCL3出力 1: STxD3	“0” にしてください
ビット2	0: P92/TB2iN/SRxD3/SDA3入力 1: PSL3レジスタで選択	0: TxD3/SDA3出力 1: 設定しないでください	“0” にしてください
ビット3	0: P93/TB3iN/CTS3/SS3/DA0出力 1: RTS3	0: DA0以外 1: DA0	“0” にしてください
ビット4	0: P94/TB4iN/CTS4/SS4/DA1出力 1: RTS4	0: DA1以外 1: DA1	“0” にしてください
ビット5	0: P95/ANEX0/CLK4入力 1: CLK4出力	0: ANEX0以外 1: ANEX0	“0” にしてください
ビット6	0: P96/SRxD4/ANEX1/SDA4入力 1: PSC3レジスタで選択	0: ANEX1以外 1: ANEX1	0: TxD4/SDA4出力 1: 設定しないでください
ビット7	0: P97/RxD4/ADTRG/SCL4入力 1: PSL3レジスタで選択	0: SCL4出力 1: STxD4	“0” にしてください

表22.7 ポートP10周辺機能出力制御

	PSCレジスタ
ビット7	0: P104 ~ P107またはKI0 ~ KI3 1: AN4 ~ AN7

23. 電気的特性

表23.1 絶対最大定格

記号	項目	条件	定格値	単位
V _{CC1} , V _{CC2}	電源電圧	V _{CC1} =AV _{CC}	-0.3 ~ 6.0	V
V _{CC2}	電源電圧	-	-0.3 ~ V _{CC1}	V
AV _{CC}	アナログ電源電圧	V _{CC1} =AV _{CC}	-0.3 ~ 6.0	V
V _I	入力電圧	RESET, CNV _{SS} , BYTE, P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , V _{REF} , X _{IN}	-0.3 ~ V _{CC1} +0.3	V
		P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇	-0.3 ~ V _{CC2} +0.3	V
		P7 ₀ , P7 ₁	-0.3 ~ 6.0	V
V _O	出力電圧	P6 ₀ ~ P6 ₇ , P7 ₂ ~ P7 ₇ , P8 ₀ ~ P8 ₄ , P8 ₆ , P8 ₇ , P9 ₀ ~ P9 ₇ , P10 ₀ ~ P10 ₇ , X _{OUT}	-0.3 ~ V _{CC1} +0.3	V
		P0 ₀ ~ P0 ₇ , P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₇ , P5 ₀ ~ P5 ₇	-0.3 ~ V _{CC2} +0.3	V
		P7 ₀ , P7 ₁	-0.3 ~ 6.0	V
P _d	消費電力	T _{opr} =25	500	mW
T _{opr}	動作周囲温度		-20 ~ 85/ -40 ~ 85 ^(注1)	
T _{stg}	保存温度		-65 ~ 150	

注1 . -40 ~ 85 をご使用になる場合は、その旨をご指定ください。

表23.2 推奨動作条件 (1) (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0V \sim 5.5V$, $T_{opr}= -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
V_{CC1}, V_{CC2}	電源電圧(V_{CC1} V_{CC2})	3.0	5.0	5.5	V
AV_{CC}	アナログ電源電圧		V_{CC1}		V
V_{SS}	電源電圧		0		V
AV_{SS}	アナログ電源電圧		0		V
V_{IH}	“H” 入力電圧	$P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57$	$0.8V_{CC2}$	V_{CC2}	V
		$P60 \sim P67, P72 \sim P77, P80 \sim P87$ (注3), $P90 \sim P97, P100 \sim P107$, $X_{IN}, RESET, CNV_{SS}, BYTE$	$0.8V_{CC1}$	V_{CC1}	
		$P70, P71$	$0.8V_{CC1}$	6.0	
		$P00 \sim P07, P10 \sim P17$ (シングルチップモード時)	$0.8V_{CC2}$	V_{CC2}	V
		$P00 \sim P07, P10 \sim P17$ (メモリ拡張、マイクロプロセッサモード時)	$0.5V_{CC2}$	V_{CC2}	V
V_{IL}	“L” 入力電圧	$P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57$	0	$0.2V_{CC2}$	V
		$P60 \sim P67, P70 \sim P77, P80 \sim P87$ (注3), $P90 \sim P97, P100 \sim P107$, $X_{IN}, RESET, CNV_{SS}, BYTE$	0	$0.2V_{CC1}$	
		$P00 \sim P07, P10 \sim P17$ (シングルチップモード時)	0	$0.2V_{CC2}$	V
		$P00 \sim P07, P10 \sim P17$ (メモリ拡張、マイクロプロセッサモード時)	0	$0.16V_{CC2}$	V
$I_{OH(peak)}$	“H” 尖頭出力電流(注2)	$P00 \sim P07, P10 \sim P17, P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57, P60 \sim P67, P72 \sim P77, P80 \sim P84, P86, P87, P90 \sim P97, P100 \sim P107$		-10.0	mA
$I_{OH(avg)}$	“H” 平均出力電流(注1)	$P00 \sim P07, P10 \sim P17, P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57, P60 \sim P67, P72 \sim P77, P80 \sim P84, P86, P87, P90 \sim P97, P100 \sim P107$		-5.0	mA
$I_{OL(peak)}$	“L” 尖頭出力電流(注2)	$P00 \sim P07, P10 \sim P17, P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57, P60 \sim P67, P70 \sim P77, P80 \sim P84, P86, P87, P90 \sim P97, P100 \sim P107$		10.0	mA
$I_{OL(avg)}$	“L” 平均出力電流(注1)	$P00 \sim P07, P10 \sim P17, P20 \sim P27, P30 \sim P37, P40 \sim P47, P50 \sim P57, P60 \sim P67, P70 \sim P77, P80 \sim P84, P86, P87, P90 \sim P97, P100 \sim P107$		5.0	mA

注1．平均出力電流は100msの期間内の平均値です。

注2．ポートP0, P1, P2, P86, P87, P9, P10の $I_{OL(peak)}$ の合計は80mA以下、ポートP3, P4, P5, P6, P7, P80~ P84の $I_{OL(peak)}$ の合計は80mA以下、ポートP0, P1, P2の $I_{OH(peak)}$ の合計は-40mA以下、ポートP86~P87, P9, P10の $I_{OH(peak)}$ の合計は-40mA以下、ポートP3, P4, P5の $I_{OH(peak)}$ の合計は-40mA以下、ポートP6, P7, P80~P84の $I_{OH(peak)}$ の合計は-40mA以下にして下さい。

注3．P87の V_{IH} 、 V_{IL} はP87をプログラマブル入力ポートとして使用する場合の規格であり、 X_{CIN} として使用する場合の規格ではありません。

表23.2 推奨動作条件 (2) (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0V \sim 5.5V$, $T_{opr}= -20 \sim 85$)

記号	項目	規格値			単位	
		最小	標準	最大		
f(BCLK)	CPU動作周波数	$V_{CC1}=4.2 \sim 5.5V$	0		32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	0		24	
f(XIN)	メインクロック入力発振周波数	$V_{CC1}=4.2 \sim 5.5V$	0		32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	0		24	
f(XCIN)	サブクロック発振周波数		32.768		50	KHz
f(Ring)	オンチップオシレータ発振周波数 ($T_{opr}=25$)		0.5	1	2	MHz
f(PLL)	PLLクロック発振周波数	$V_{CC1}=4.2 \sim 5.5V$	10		32	MHz
		$V_{CC1}=3.0 \sim 5.5V$	10		24	
t _{SU} (PLL)	PLL周波数シンセサイザ安定待ち時間	$V_{CC1}=5.0V$			5	ms
		$V_{CC1}=3.3V$			10	ms

$$V_{CC1}=V_{CC2}=5V$$

表23.3 電気的特性(指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$, $f(BCLK)=32MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57	IOH=-5mA	VCC2-2.0		VCC2	V
		P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	IOH=-5mA	VCC1-2.0		VCC1	
	“H”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57	IOH=-200μA	VCC2-0.3		VCC2	V
		P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	IOH=-200μA	VCC1-0.3		VCC1	
	XOUT	IOH=-1mA	3.0		VCC1	V	
	XCOUT	HIGHPOWER	無負荷時		2.5		V
LOWPOWER		無負荷時		1.6		V	
VOL	“L”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	IOL=5mA			2.0	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	IOL=200μA			0.45	V
	XOUT	IOL=1mA			2.0	V	
	XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		V
	VT+-VT-	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, ADTRG, CTS0 ~ CTS4, CLK0 ~ CLK4, TA0OUT ~ TA4OUT, NMI, K10 ~ K13, RxD0 ~ RxD4, SCL0 ~ SCL4, SDA0 ~ SDA4		0.2		1.0
RESET				0.2		1.8	V
IiH	“H”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE	Vi=5V			5.0	μA
IiL	“L”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE	Vi=0V			-5.0	μA
RPULLUP	プルアップ抵抗	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	Vi=0V	20	40	167	kΩ
RfXIN	帰還抵抗	XIN			1.5		MΩ
RfXCIN	帰還抵抗	XCIN			15		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V
Icc	電源電流	測定条件 シングルチップモードで 出力端子は開放、その他 の端子はVssに接続	f(BCLK)=32MHz、方形波、分周なし		22	60	mA
			f(BCLK)=32kHz、ウェイトモード時、 Topr=25		10		μA
			クロック停止時、Topr=25		0.8	5	μA
			クロック停止時、Topr=85			20	μA

$$V_{CC1}=V_{CC2}=5V$$

表23.4 A/D変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=AV_{CC}=V_{REF}=4.2 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$,
 $T_{opr} = -20 \sim 85$, $f(BCLK)=32MHz$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
-	分解能	$V_{REF}=V_{CC1}$				10	Bits
INL	積分非直線性誤差	$V_{REF}=V_{CC1}=V_{CC2}=5V$	$AN_0 - AN_7$ $ANEX_0, ANEX_1$			± 3	LSB
			外部オペアンプ 接続モード			± 7	LSB
DNL	微分非直線性誤差					± 1	LSB
-	オフセット誤差					± 3	LSB
-	ゲイン誤差					± 3	LSB
RLADDER	ラダー抵抗	$V_{REF}=V_{CC1}$		8		40	k Ω
tCONV	変換時間(10bit) ^(注1, 2)			2.06			μs
tCONV	変換時間(8bit) ^(注1, 2)			1.75			μs
tsAMP	サンプリング時間 ^(注1)			0.188			μs
VREF	基準電圧			2		V_{CC1}	V
VIA	アナログ入力電圧			0		V_{REF}	V

注1 . ADが16MHzのときの値です。f(XIN)が16MHzを超える時は分周し、ADを16MHz以下にしてください。

注2 . サンプル&ホールド機能あり。

表23.5 D/A変換特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=V_{REF}=4.2 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_{opr} = -20 \sim 85$,
 $f(BCLK)=32MHz$)

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
-	分解能					8	Bits
-	絶対精度					1.0	%
tsu	設定時間					3	μs
Ro	出力抵抗			4	10	20	k Ω
IvREF	基準電源入力電流	(注1)				1.5	mA

注1 . D/Aコンバータを1本使用し、使用していないD/AコンバータのDAiレジスタ(i=0,1)の値が“00₁₆”の場合です。A/Dコンバータのラダー抵抗分は除きます。

AD0CON1レジスタのVCUTビットを“0”(V_{REF} 未接続)にした場合でも、IvREFは流れます。

$$VCC1=VCC2=5V$$

タイミング必要条件 (指定のない場合は、 $VCC1=VCC2=4.2 \sim 5.5V$, $VSS=0V$, $Topr= -20 \sim 85$)

表23.6 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	31.25		ns
tw(H)	外部クロック入力“H”パルス時間	13.75		ns
tw(L)	外部クロック入力“L”パルス時間	13.75		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表23.7 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	26		ns
tsu(RDY-BCLK)	\overline{RDY} 入力セットアップ時間	26		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	30		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	\overline{RDY} 入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1 . BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウエイトを入れるか、動作周波数 $f(BCLK)$ をさらに低くしてください。

$$t_{ac1}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、 } m = (bx2)+1)$$

$$t_{ac1}(AD - DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、 } n = a+b)$$

$$t_{ac2}(RD - DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、 } m = (bx2)-1)$$

$$t_{ac2}(AD - DB) = \frac{10^9 \times p}{f(BCLK) \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル } a + b \text{ の場合、 } p = \{(a+b-1) \times 2\} + 1)$$

$$VCC1=VCC2=5V$$

タイミング必要条件 (指定のない場合は、 $VCC1=VCC2=4.2 \sim 5.5V$, $VSS=0V$, $T_{opr} = -20 \sim 85$)

表23.8 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiN入力サイクル時間	100		ns
tw(TAH)	TAiN入力“H”パルス幅	40		ns
tw(TAL)	TAiN入力“L”パルス幅	40		ns

表23.9 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiN入力サイクル時間	400		ns
tw(TAH)	TAiN入力“H”パルス幅	200		ns
tw(TAL)	TAiN入力“L”パルス幅	200		ns

表23.10 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiN入力サイクル時間	200		ns
tw(TAH)	TAiN入力“H”パルス幅	100		ns
tw(TAL)	TAiN入力“L”パルス幅	100		ns

表23.11 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiN入力“H”パルス幅	100		ns
tw(TAL)	TAiN入力“L”パルス幅	100		ns

表23.12 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT入力サイクル時間	2000		ns
tw(UPH)	TAiOUT入力“H”パルス幅	1000		ns
tw(UPL)	TAiOUT入力“L”パルス幅	1000		ns
tsu(UP-TIN)	TAiOUT 入力セットアップ時間	400		ns
th(TIN-UP)	TAiOUT入力ホールド時間	400		ns

$$V_{CC1}=V_{CC2}=5V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$)

表23.13 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBin入力サイクル時間 (片エッジカウント)	100		ns
$t_{w(TBH)}$	TBin入力 “H” パルス幅 (片エッジカウント)	40		ns
$t_{w(TBL)}$	TBin入力 “L” パルス幅 (片エッジカウント)	40		ns
$t_{c(TB)}$	TBin入力サイクル時間 (両エッジカウント)	200		ns
$t_{w(TBH)}$	TBin入力 “H” パルス幅 (両エッジカウント)	80		ns
$t_{w(TBL)}$	TBin入力 “L” パルス幅 (両エッジカウント)	80		ns

表23.14 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBin入力サイクル時間	400		ns
$t_{w(TBH)}$	TBin入力 “H” パルス幅	200		ns
$t_{w(TBL)}$	TBin入力 “L” パルス幅	200		ns

表23.15 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBin入力サイクル時間	400		ns
$t_{w(TBH)}$	TBin入力 “H” パルス幅	200		ns
$t_{w(TBL)}$	TBin入力 “L” パルス幅	200		ns

表23.16 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	ADTRG入力サイクル時間 (トリガ可能最小)	1000		ns
$t_{w(ADL)}$	ADTRG入力 “L” パルス幅	125		ns

表23.17 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 “H” パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 “L” パルス幅	100		ns
$t_{d(C-Q)}$	TxDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TxDiホールド時間	0		ns
$t_{su(D-C)}$	RxDi入力セットアップ時間	30		ns
$t_{h(C-Q)}$	RxDi入力ホールド時間	90		ns

表23.18 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力 “H” パルス幅	250		ns
$t_{w(INL)}$	INTi入力 “L” パルス幅	250		ns

$$VCC1=VCC2=5V$$

スイッチング特性(指定のない場合は、 $VCC1=VCC2=4.2 \sim 5.5V$, $VSS=0V$, $T_{opr}= -20 \sim 85$)

表23.19 メモリ拡張およびマイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図23.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-5		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } n = (bx2)-1)$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } m = b)$$

$$V_{CC1}=V_{CC2}=5V$$

スイッチング特性(指定のない場合は、 $V_{CC}=4.2 \sim 5.5V$, $V_{SS}=0V$, $T_{opr}= -20 \sim 85$)

表23.20 メモリ拡張およびマイクロプロセッサモード
(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図23.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			18	ns
th(BCLK-RD)	RD信号出力保持時間		-5		ns
td(BCLK-WR)	WR信号出力遅延時間			18	ns
th(BCLK-WR)	WR信号出力保持時間		-5		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間 (BCLK基準)		-5		ns
td(AD-ALE)	ALE信号出力遅延時間 (アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間 (アドレス基準)		(注4)		ns
tdz(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } m=(bx2)-1)$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$td(AD - ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } n=a)$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算で算出されます。

$$th(ALE - AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } n=a)$$

VCC1=VCC2=5V

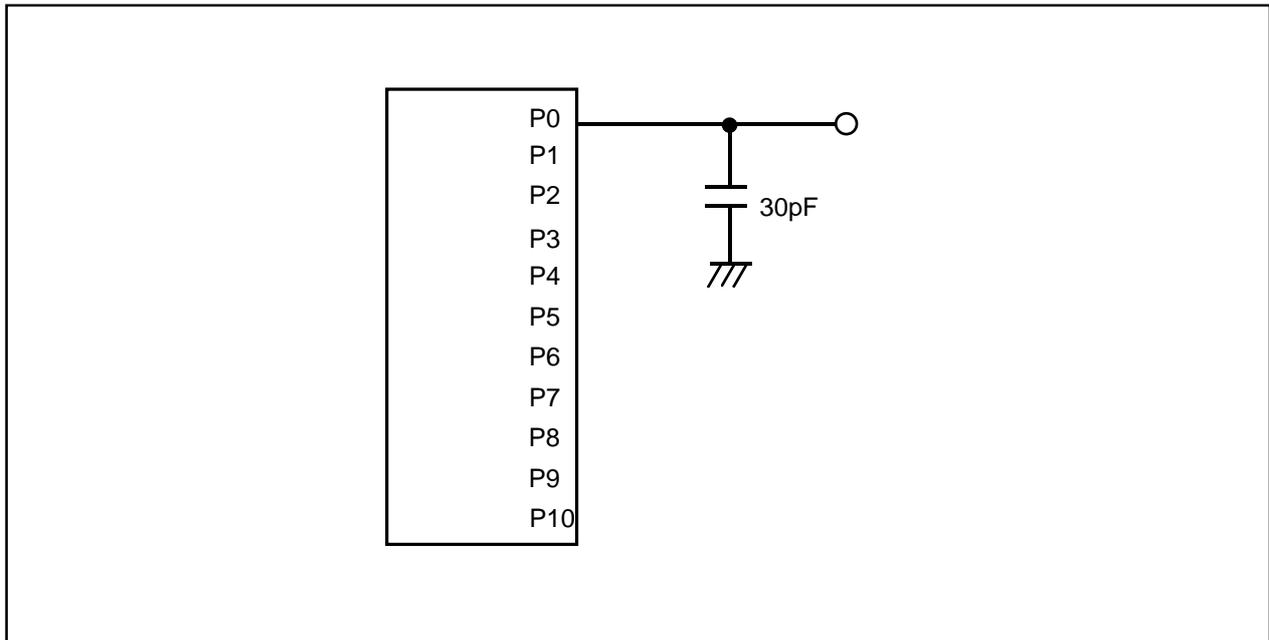


図23.1 ポートP0～P10の測定回路

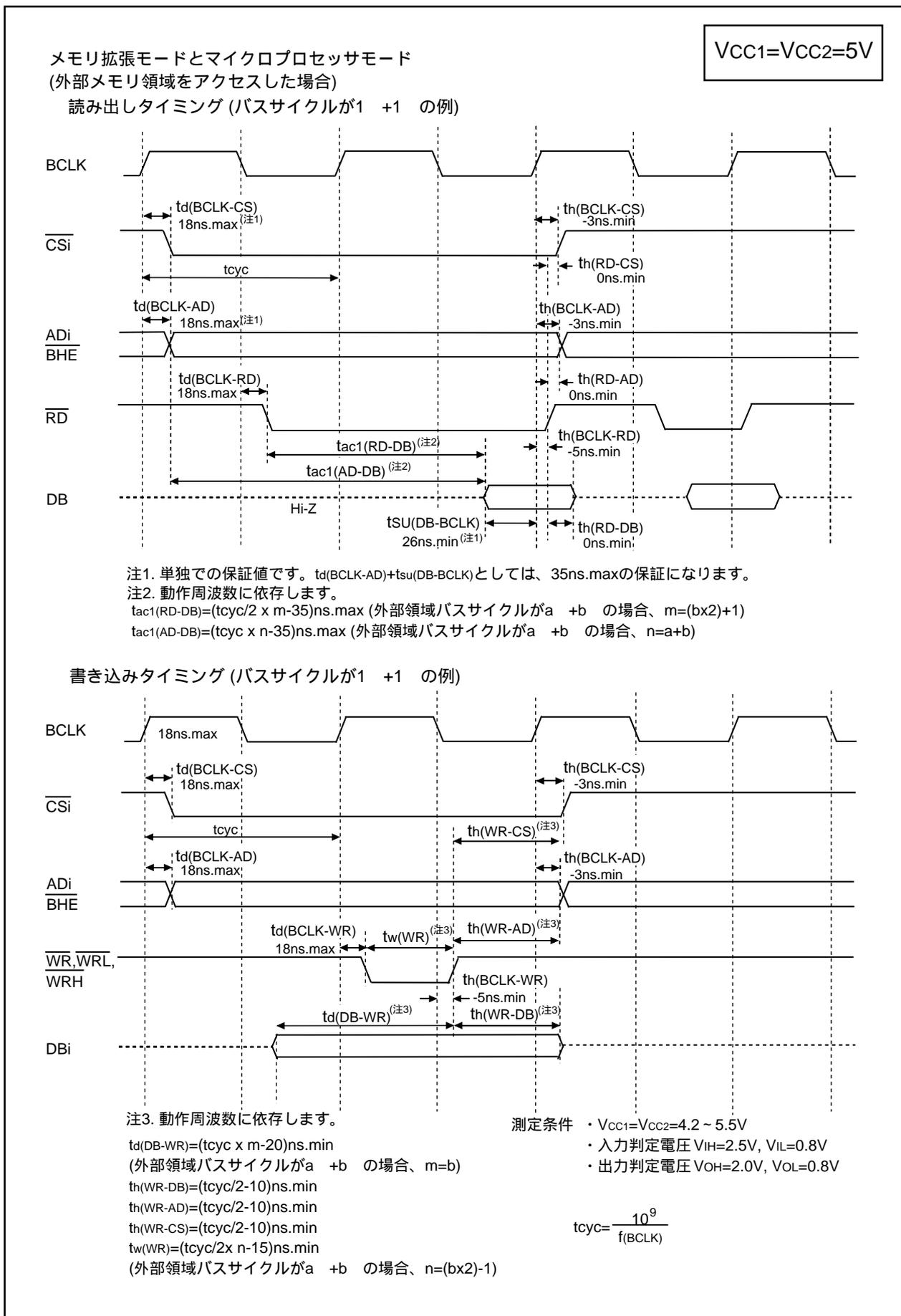


図23.2 Vcc1=Vcc2=5V時のタイミング図(1)

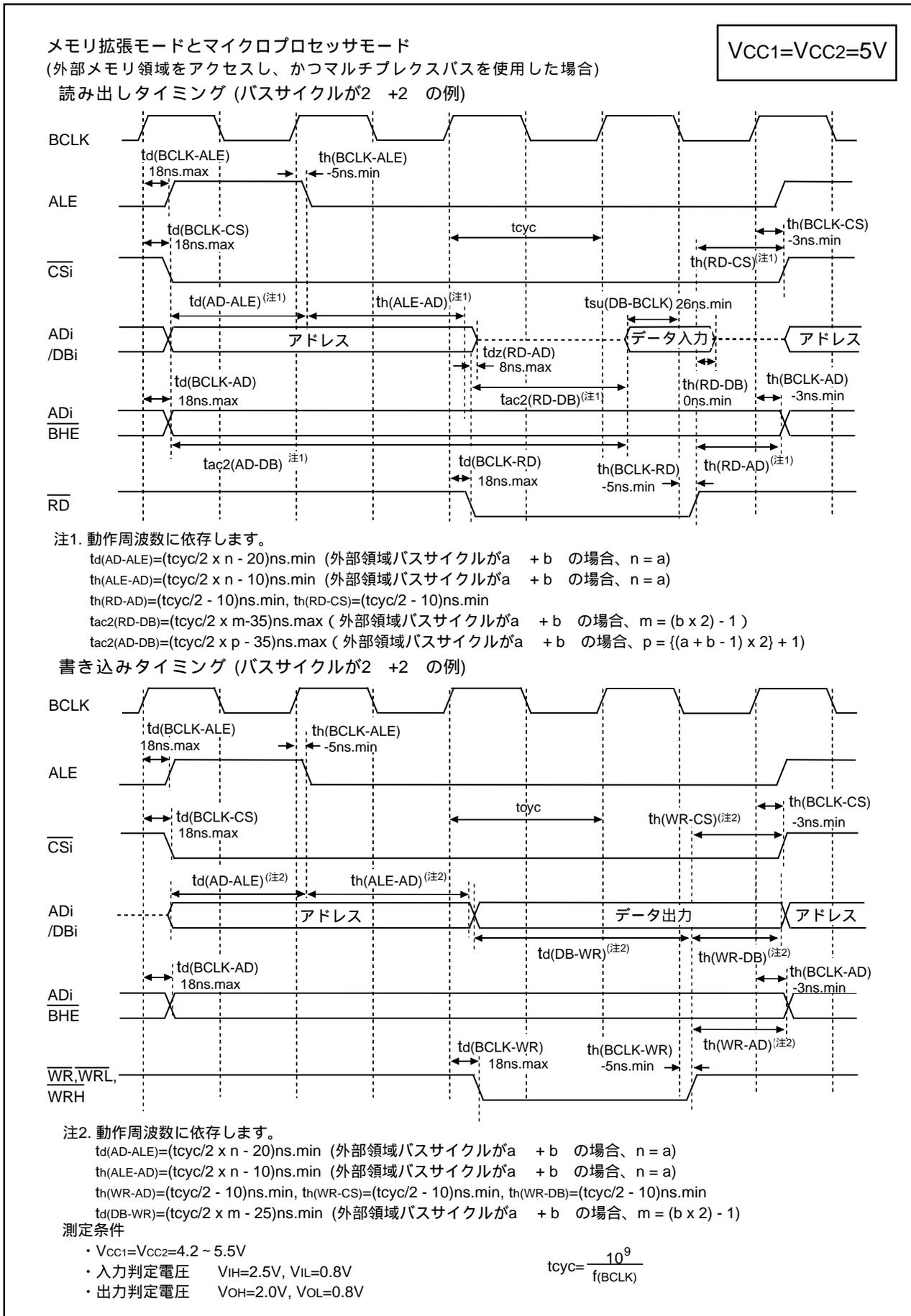


図23.3 Vcc1=Vcc2=5V時のタイミング図(2)

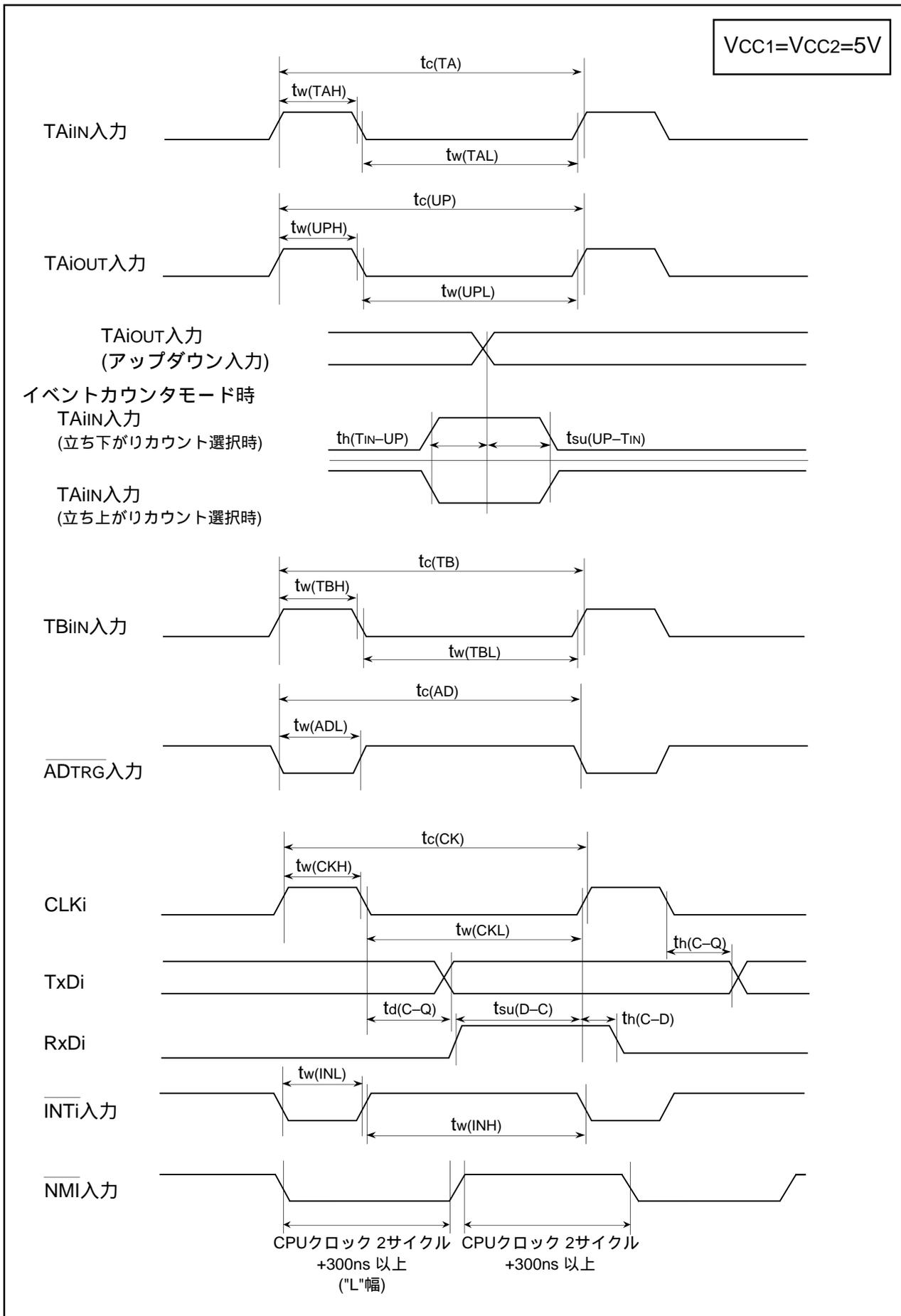


図23.4 Vcc1=Vcc2=5V時のタイミング図(3)

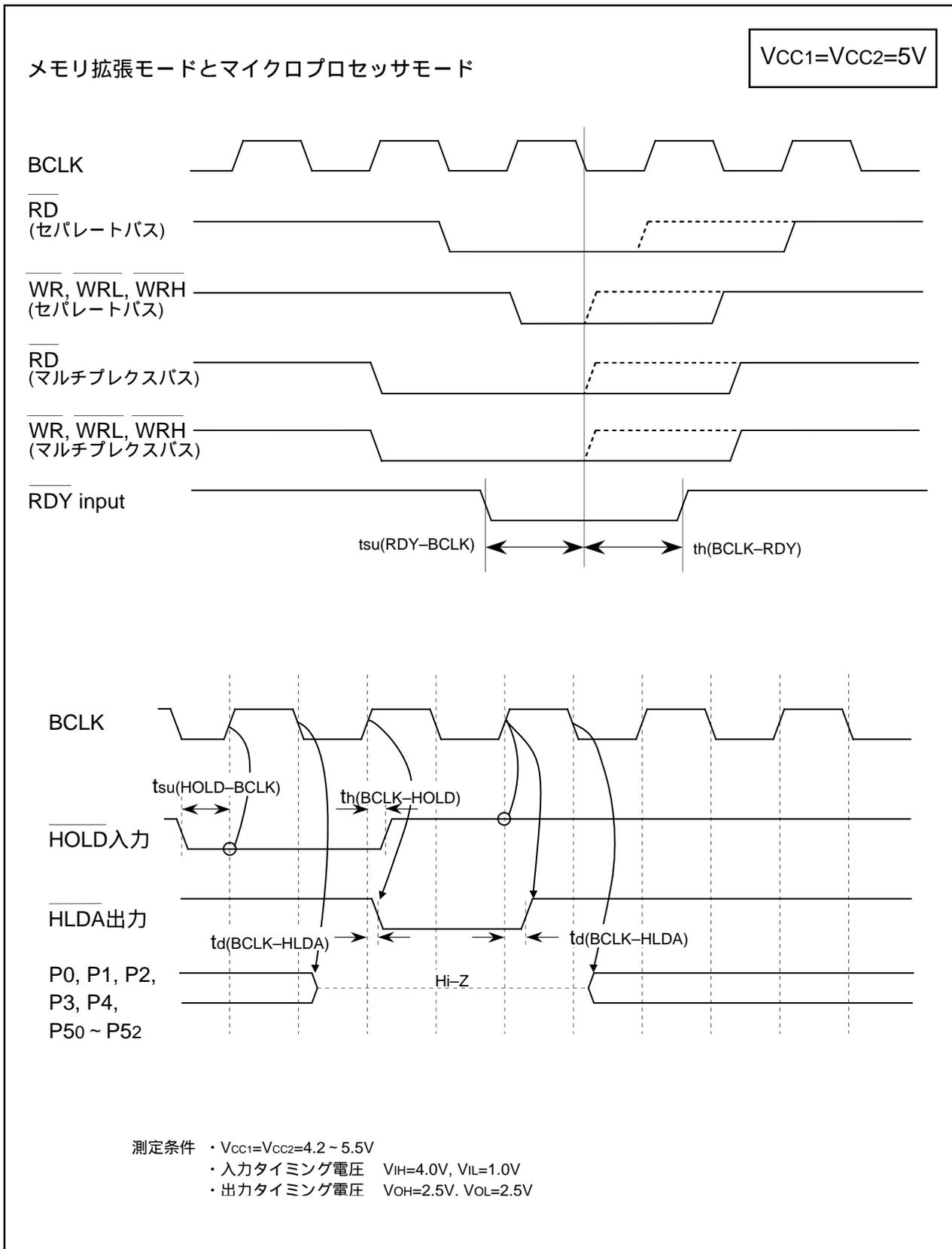


図23.5 Vcc1=Vcc2=5V時のタイミング図(4)

$$V_{CC1}=V_{CC2}=3.3V$$

表23.21 電気的特性 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr} = -20 \sim 85$,
 $f(BCLK)=24MHz$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	“H”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57	IOH=-1mA	VCC2-0.6		VCC2	V
		P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	IOH=-1mA	VCC1-0.6		VCC1	V
	XOUT	IOH=-0.1mA	2.7		VCC1	V	
	XCOUT	HIGHPOWER	無負荷時		2.5		V
LOWPOWER		無負荷時		1.6		V	
VOL	“L”出力電圧	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	IOL=1mA			0.5	V
		XOUT	IOL=0.1mA			0.5	V
	XCOUT	HIGHPOWER	無負荷時		0		V
		LOWPOWER	無負荷時		0		V
VT+-VT-	ヒステリシス	HOLD, RDY, TA0IN ~ TA4IN, TB0IN ~ TB5IN, INT0 ~ INT5, ADTRG, CTS0 ~ CTS4, CLK0 ~ CLK4, TA0OUT ~ TA4OUT, NMI, KI0 ~ KI3, RxD0 ~ RxD4, SCL0 ~ SCL4, SDA0 ~ SDA4		0.2		1.0	V
		RESET		0.2		1.8	V
IiH	“H”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE	Vi=3V			4.0	μA
IiL	“L”入力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, XIN, RESET, CNVSS, BYTE	Vi=0V			-4.0	μA
RPULLUP	プルアップ抵抗	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107	Vi=0V	40	70	500	kΩ
RfXIN	帰還抵抗	XIN			3.0		MΩ
RfXCIN	帰還抵抗	XCIN			30.0		MΩ
VRAM	RAM保持電圧	ストップモード時		2.0			V
ICC	電源電流	測定条件 シングルチップモードで 出力端子は開放、その他 の端子はVSSに接続	f(BCLK)=24MHz、方形波、分周なし		17	35	mA
			f(BCLK)=32kHz、ウェイトモード時、Topr=25		10		μA
			クロック停止時、Topr=25		0.8	5	μA
			クロック停止時、Topr=85			50	μA

VCC1=VCC2=3.3V

表23.22 A/D変換特性 (指定のない場合は、VCC1=VCC2=AVCC=VREF=3.3 ~ 3.6V, VSS=AVSS=0V, Topr= -20 ~ 85 , f(BCLK)=24MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能		VREF=VCC1			10	Bits
INL	積分非直線性誤差	S & H機能なし (8bit)	VCC1=VCC2=VREF=3.3V			±2	LSB
DNL	微分非直線性誤差	S & H機能なし (8bit)				±1	LSB
-	オフセット誤差		S & H機能なし (8bit)			±2	LSB
-	ゲイン誤差		S & H機能なし (8bit)			±2	LSB
RLADDER	ラダー抵抗		VREF=VCC1	8.0		40	kΩ
tCONV	変換時間(8bit) ^(注1, 2)			6.1			μs
VREF	基準電圧			3.3		VCC1	V
VIA	アナログ入力電圧			0.0		VREF	V

S&H: サンプル&ホールド

注1 . ADが10MHzのときの値です。f(XIN)が10MHzを超える時は分周し、ADを10MHz以下としてください。

注2 . S & H機能なし。

表23.23 D/A変換特性 (指定のない場合は、VCC1=VCC2=VREF=3.0 ~ 3.6V, VSS=AVSS=0V, Topr= -20 ~ 85 , f(BCLK)=24MHz)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
-	分解能					8	Bits
-	絶対精度					1.0	%
tsu	設定時間					3	μs
Ro	出力抵抗			4	10	20	kΩ
IvREF	基準電源入力電流		(注1)			1.0	mA

注1 . D/Aコンバータを1本使用し、使用していないD/AコンバータのDAiレジスタ(i=0,1)の値が“00₁₆”の場合です。A/Dコンバータのラダー抵抗分は除きます。

ADOCON1レジスタのVCUTビットを“0”(VREF未接続)にした場合でも、IvREFは流れます。

$$V_{CC1}=V_{CC2}=3.3V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表23.24 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
tc	外部クロック入力サイクル時間	41		ns
tw(H)	外部クロック入力“H”パルス時間	18		ns
tw(L)	外部クロック入力“L”パルス時間	18		ns
tr	外部クロック立ち上がり時間		5	ns
tf	外部クロック立ち下がり時間		5	ns

表23.25 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
tac1(RD-DB)	データ入力アクセス時間 (RD基準)		(注1)	ns
tac1(AD-DB)	データ入力アクセス時間 (AD基準、CS基準)		(注1)	ns
tac2(RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tac2(AD-DB)	データ入力アクセス時間 (AD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
tsu(DB-BCLK)	データ入力セットアップ時間	30		ns
tsu(RDY-BCLK)	RDY入力セットアップ時間	40		ns
tsu(HOLD-BCLK)	HOLD入力セットアップ時間	60		ns
th(RD-DB)	データ入力ホールド時間	0		ns
th(BCLK-RDY)	RDY入力ホールド時間	0		ns
th(BCLK-HOLD)	HOLD入力ホールド時間	0		ns
td(BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、ウエイト入れるか、動作周波数 $f_{(BCLK)}$ をさらに低くしてください。

$$t_{ac1}(RD-DB) = \frac{10^9 \times m}{f_{(BCLK)} \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル} a + b \text{ の場合、} m=(b \times 2)+1)$$

$$t_{ac1}(AD-DB) = \frac{10^9 \times n}{f_{(BCLK)}} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル} a + b \text{ の場合、} n= a+b)$$

$$t_{ac2}(RD-DB) = \frac{10^9 \times m}{f_{(BCLK)} \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル} a + b \text{ の場合、} m=(b \times 2)-1)$$

$$t_{ac2}(AD-DB) = \frac{10^9 \times p}{f_{(BCLK)} \times 2} - 35 \text{ [ns]} \quad (\text{外部領域バスサイクル} a + b \text{ の場合、} p= \{(a+b-1) \times 2\}+1)$$

$$V_{CC1}=V_{CC2}=3.3V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表23.26 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAin入力サイクル時間	100		ns
$t_{w(TAH)}$	TAin入力“H”パルス幅	40		ns
$t_{w(TAL)}$	TAin入力“L”パルス幅	40		ns

表23.27 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAin入力サイクル時間	400		ns
$t_{w(TAH)}$	TAin入力“H”パルス幅	200		ns
$t_{w(TAL)}$	TAin入力“L”パルス幅	200		ns

表23.28 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAin入力サイクル時間	200		ns
$t_{w(TAH)}$	TAin入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAin入力“L”パルス幅	100		ns

表23.29 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAin入力“H”パルス幅	100		ns
$t_{w(TAL)}$	TAin入力“L”パルス幅	100		ns

表23.30 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiout入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiout入力“H”パルス幅	1000		ns
$t_{w(UPL)}$	TAiout入力“L”パルス幅	1000		ns
$t_{SU(UP-TIN)}$	TAiout入力セットアップ時間	400		ns
$t_{H(TIN-UP)}$	TAiout入力ホールド時間	400		ns

$$V_{CC1}=V_{CC2}=3.3V$$

タイミング必要条件 (指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表23.31 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間 (片エッジカウント)	100		ns
t _{w(TBH)}	TB _{in} 入力 “H” パルス幅 (片エッジカウント)	40		ns
t _{w(TBL)}	TB _{in} 入力 “L” パルス幅 (片エッジカウント)	40		ns
t _{C(TB)}	TB _{in} 入力サイクル時間 (両エッジカウント)	200		ns
t _{w(TBH)}	TB _{in} 入力 “H” パルス幅 (両エッジカウント)	80		ns
t _{w(TBL)}	TB _{in} 入力 “L” パルス幅 (両エッジカウント)	80		ns

表23.32 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間	400		ns
t _{w(TBH)}	TB _{in} 入力 “H” パルス幅	200		ns
t _{w(TBL)}	TB _{in} 入力 “L” パルス幅	200		ns

表23.33 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _{C(TB)}	TB _{in} 入力サイクル時間	400		ns
t _{w(TBH)}	TB _{in} 入力 “H” パルス幅	200		ns
t _{w(TBL)}	TB _{in} 入力 “L” パルス幅	200		ns

表23.34 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _{C(AD)}	AD _{TRG} 入力サイクル時間 (トリガ可能最小)	1000		ns
t _{w(ADL)}	AD _{TRG} 入力 “L” パルス幅	125		ns

表23.35 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
t _{C(CLK)}	CLK _i 入力サイクル時間	200		ns
t _{w(CLKH)}	CLK _i 入力 “H” パルス幅	100		ns
t _{w(CLKL)}	CLK _i 入力 “L” パルス幅	100		ns
t _{d(C-Q)}	TxD _i 出力遅延時間		80	ns
t _{h(C-Q)}	TxD _i ホールド時間	0		ns
t _{su(D-C)}	RxD _i 入力セットアップ時間	30		ns
t _{h(C-Q)}	RxD _i 入力ホールド時間	90		ns

表23.36 外部割り込みINT_i入力

記号	項目	規格値		単位
		最小	最大	
t _{w(INH)}	INT _i 入力 “H” パルス幅	250		ns
t _{w(INL)}	INT _i 入力 “L” パルス幅	250		ns

$$V_{CC1}=V_{CC2}=3.3V$$

スイッチング特性(指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}= -20 \sim 85$)

表23.37 メモリ拡張およびマイクロプロセッサモード (外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図23.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD出力遅延時間			18	ns
th(BCLK-RD)	RD出力保持時間		-3		ns
td(BCLK-WR)	WR出力遅延時間			18	ns
th(BCLK-WR)	WR出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
tw(WR)	WR出力幅		(注2)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \quad [ns]$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \quad [ns]$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$tw(WR) = \frac{10^9 \times n}{f(BCLK) \times 2} - 15 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } n = (b \times 2) - 1)$$

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK)} - 20 \quad [ns] \quad (\text{外部領域バスサイクルが } a + b \text{ の場合、 } m = b)$$

$$V_{CC1}=V_{CC2}=3.3V$$

スイッチング特性(指定のない場合は、 $V_{CC1}=V_{CC2}=3.0 \sim 3.6V$, $V_{SS}=0V$, $T_{opr}=-20 \sim 85$)

表23.38 メモリ拡張およびマイクロプロセッサモード

(外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-AD)	アドレス出力遅延時間	図23.1参照		18	ns
th(BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
th(RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
th(WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
td(BCLK-CS)	チップセレクト出力遅延時間			18	ns
th(BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
th(RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
th(WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
td(BCLK-RD)	RD信号出力遅延時間			18	ns
th(BCLK-AD)	RD信号出力保持時間		-3		ns
td(BCLK-WR)	WR信号出力遅延時間			18	ns
th(BCLK-WR)	WR信号出力保持時間		0		ns
td(DB-WR)	データ出力遅延時間 (WR基準)		(注2)		ns
th(WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
td(BCLK-ALE)	ALE信号出力遅延時間 (BCLK基準)			18	ns
th(BCLK-ALE)	ALE信号出力保持時間 (BCLK基準)		-2		ns
td(AD-ALE)	ALE信号出力遅延時間 (アドレス基準)		(注3)		ns
th(ALE-AD)	ALE信号出力保持時間 (アドレス基準)		(注4)		ns
tdZ(RD-AD)	アドレス出力フローティング開始時間			8	ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RD - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - AD) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(RD - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - CS) = \frac{10^9}{f(BCLK) \times 2} - 10 \text{ [ns]}$$

$$th(WR - DB) = \frac{10^9}{f(BCLK) \times 2} - 20 \text{ [ns]}$$

注2. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(DB - WR) = \frac{10^9 \times m}{f(BCLK) \times 2} - 25 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } m=(b+2)-1 \text{)}$$

注3. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$td(AD - ALE) = \frac{10^9 \times n}{f(BCLK) \times 2} - 20 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n= a \text{)}$$

注4. BCLKの周波数および外部領域バスサイクルに応じて次の計算式で算出されます。

$$th(ALE - AD) = \frac{10^9 \times n}{f(BCLK) \times 2} - 10 \text{ [ns]} \text{ (外部領域バスサイクルが } a + b \text{ の場合、 } n= a \text{)}$$

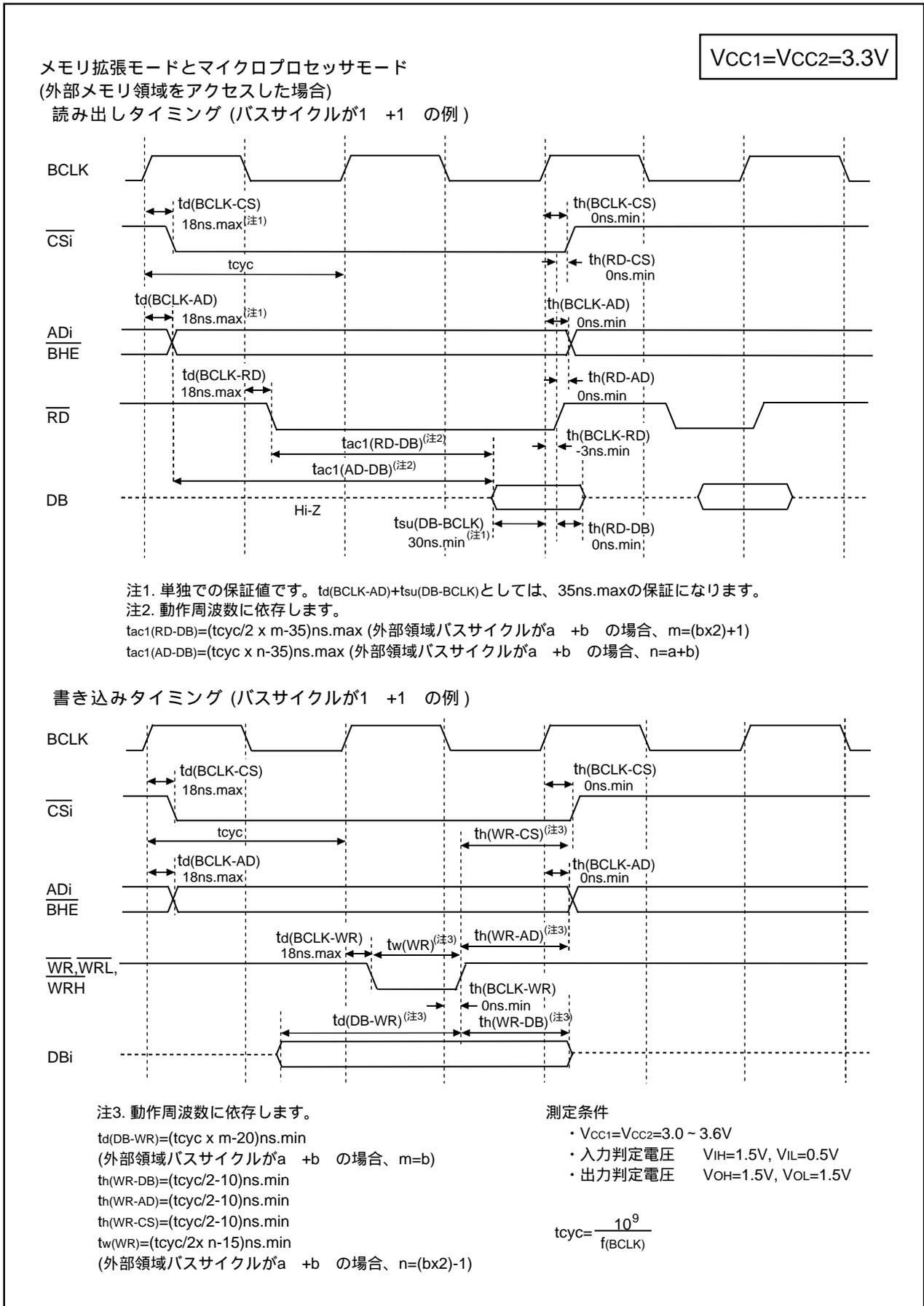


図23.6 VCC1=VCC2=3.3V時のタイミング図(1)

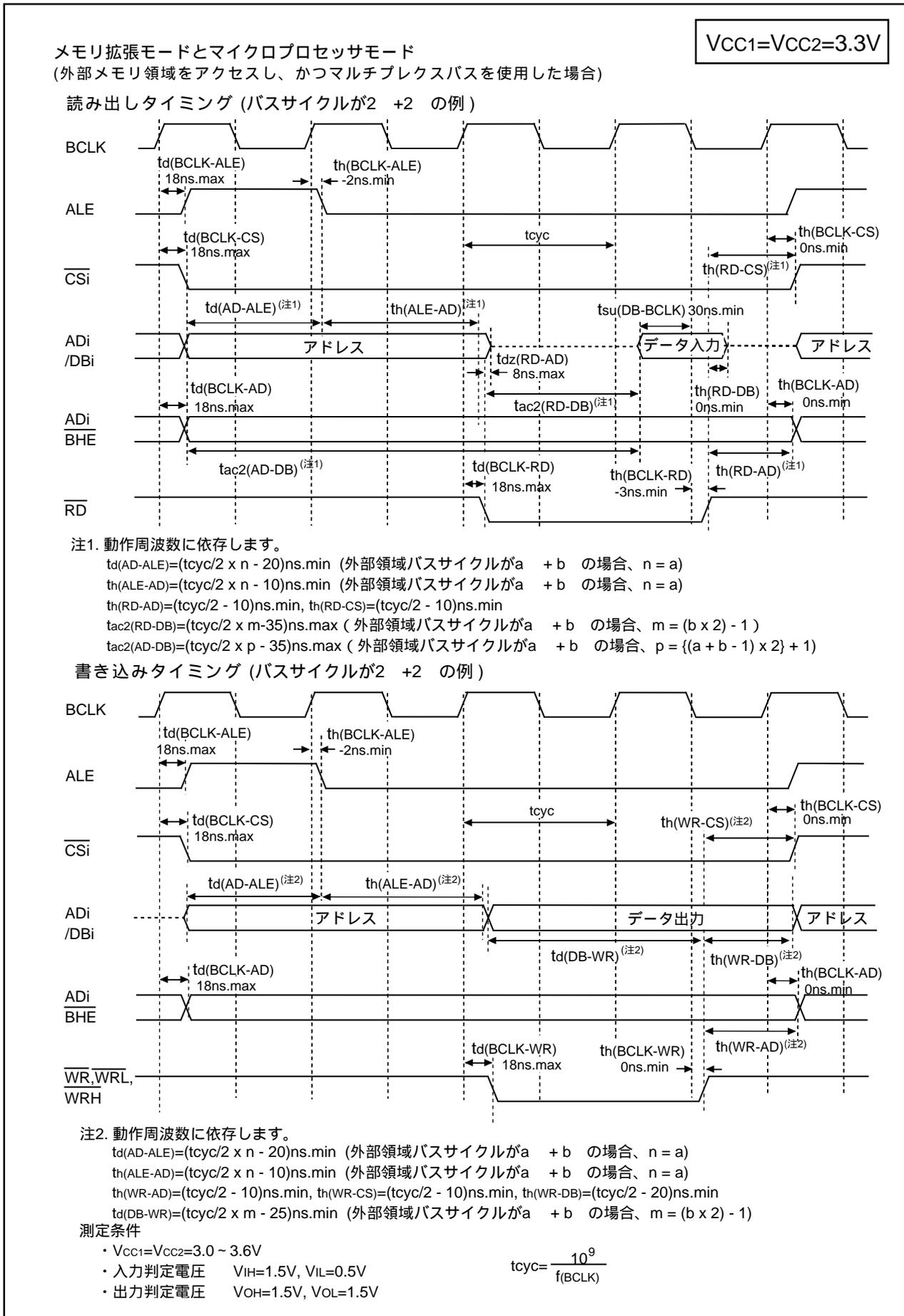


図23.7 VCC1=VCC2=3.3V時のタイミング図(2)

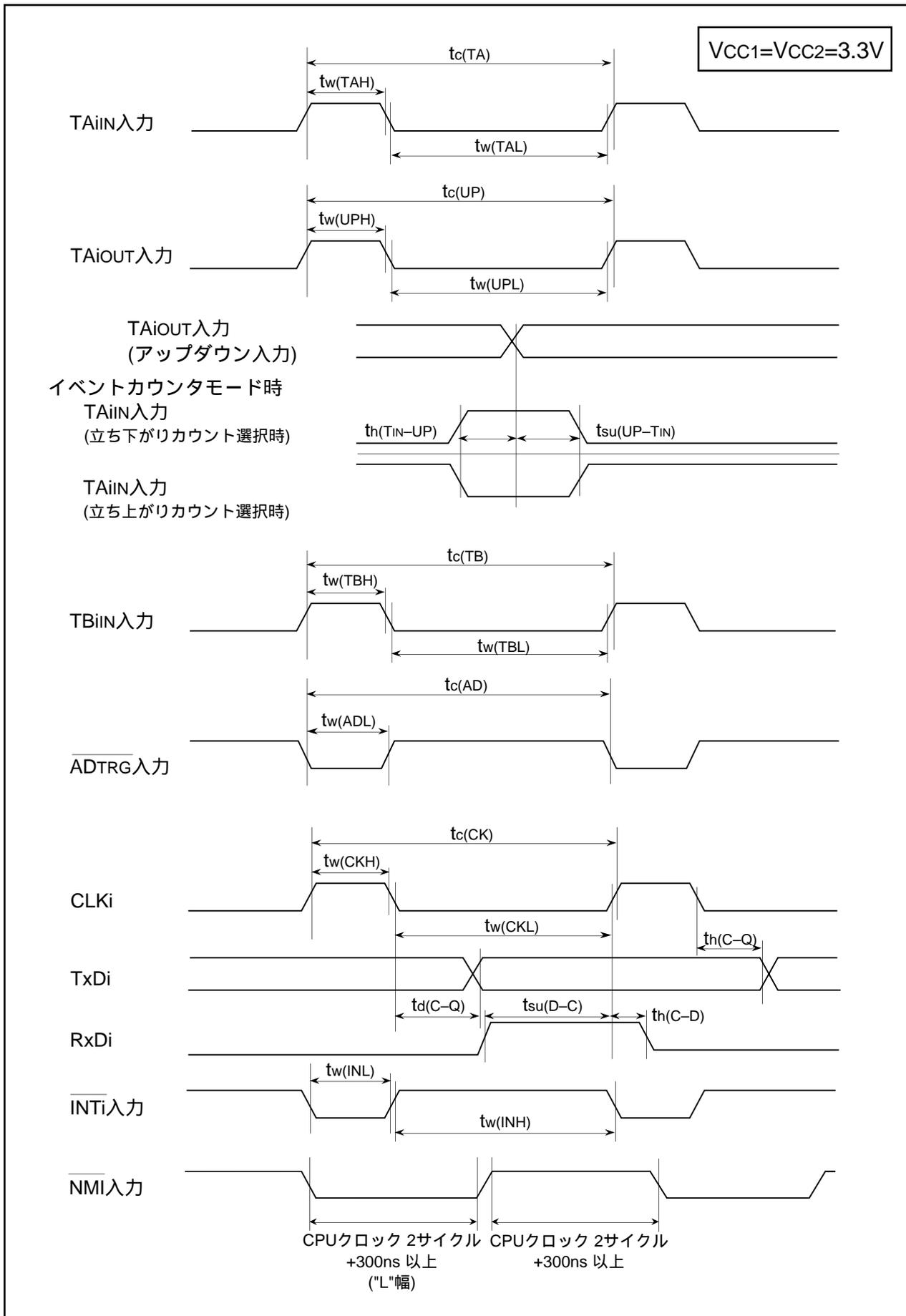


図23.8 VCC1=VCC2=3.3V時のタイミング図(3)

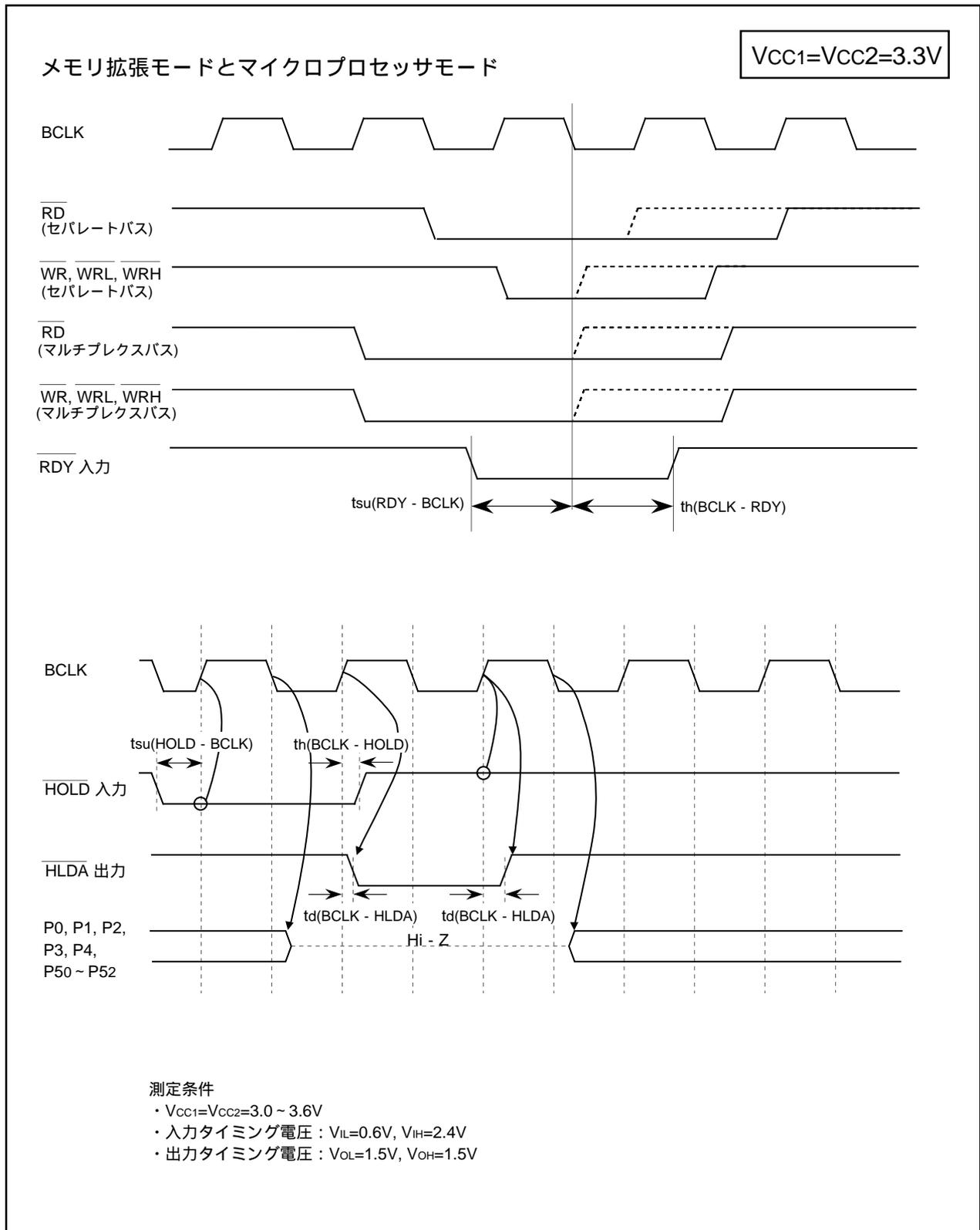


図23.9 VCC1=VCC2=3.3V時のタイミング図(4)

24. 使用上の注意事項

24.1 リセット

電源投入時、V_{CC1}端子に入力される電圧がSV_{CC}の規格を満たすようにしてください。

表24.1 電源立ち上がり勾配

記号	項目	規格値			単位
		最小	標準	最大	
SV _{CC}	電源立ち上がり勾配 (V _{CC1})	0.05			V/ms

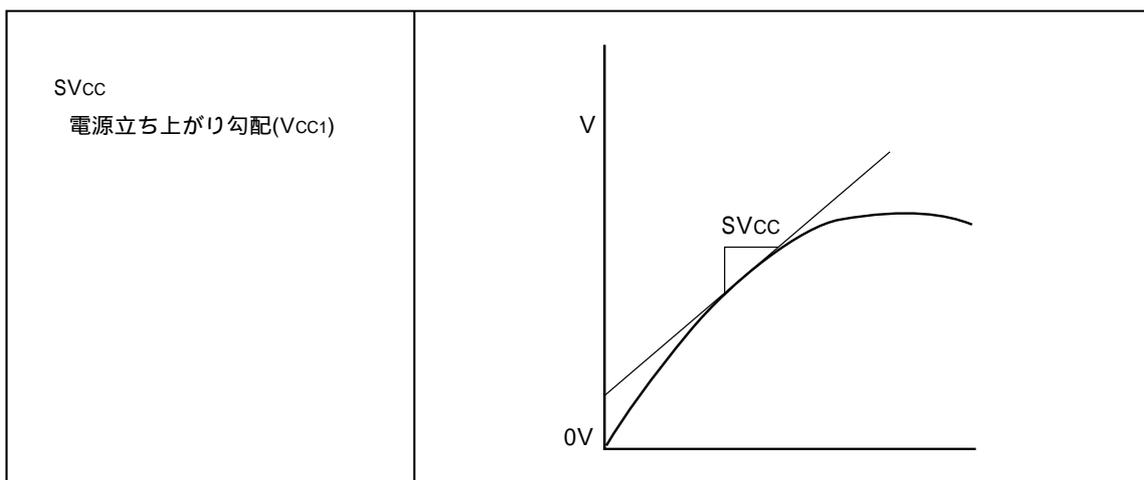


図24.1 SV_{CC}のタイミング図

24.2 バス

24.2.1 $\overline{\text{HOLD}}$ 信号

シングルチップモードからマイクロプロセッサモードまたはメモリ拡張モードに変更し、かつ $\overline{\text{HOLD}}$ 入力を使用する場合、PD4レジスタのPD4_0～PD4_7ビットとPD5レジスタのPD5_0～PD5_2ビットをすべて“0”(入力モード)にした後、PM01～PM00ビットを“112”(マイクロプロセッサモード)、または“012”(メモリ拡張モード)にしてください。

シングルチップモード時にPD4レジスタのPD4_0～PD4_7ビットとPD5レジスタのPD5_0～PD5_2ビットをすべて“1”(出力モード)にした後、PM01～PM00ビットを“112”(マイクロプロセッサモード)、または“012”(メモリ拡張モード)にした場合、 $\overline{\text{HOLD}}$ 端子に“L”を入力してもP40～P47(A16～A22、 $\overline{\text{A23}}$ 、 $\overline{\text{CS0}}$ ～ $\overline{\text{CS3}}$ 、MA8～MA12)、P50～P52($\overline{\text{RD}}/\overline{\text{WR}}/\overline{\text{BHE}}$ 、 $\overline{\text{RD}}/\overline{\text{WRL}}/\overline{\text{WRH}}$)はハイインピーダンスになりません。

24.3 SFR

24.3.1 レジスタ設定時の注意事項

表24.2に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表24.2 書き込みのみ可能なビットを含むレジスタ

レジスタ名	番地	レジスタ名	番地
WDTSレジスタ	000E ₁₆	U2BRGレジスタ	0339 ₁₆
G0RIレジスタ	00EC ₁₆	U2TBレジスタ	033B ₁₆ - 033A ₁₆
G1RIレジスタ	012C ₁₆	UDFレジスタ	0344 ₁₆
U4BRGレジスタ	02F9 ₁₆	TA0レジスタ(注1)	0347 ₁₆ - 0346 ₁₆
U4TBレジスタ	02FB ₁₆ - 02FA ₁₆	TA1レジスタ(注1)	0349 ₁₆ - 0348 ₁₆
TA11レジスタ	0303 ₁₆ - 0302 ₁₆	TA2レジスタ(注1)	034B ₁₆ - 034A ₁₆
TA21レジスタ	0305 ₁₆ - 0304 ₁₆	TA3レジスタ(注1)	034D ₁₆ - 034C ₁₆
TA41レジスタ	0307 ₁₆ - 0306 ₁₆	TA4レジスタ(注1)	034F ₁₆ - 034E ₁₆
DTTレジスタ	030C ₁₆	U0BRGレジスタ	0369 ₁₆
ICTB2レジスタ	030D ₁₆	U0TBレジスタ	036B ₁₆ - 036A ₁₆
U3BRGレジスタ	0329 ₁₆	U1BRGレジスタ	02E9 ₁₆
U3TBレジスタ	032B ₁₆ - 032A ₁₆	U1TBレジスタ	02EB ₁₆ - 02EA ₁₆

注1.ワンショットタイマモード時とパルス幅変調モード時のみ。

24.4 クロック発生回路

24.4.1 CPUクロック

- ・CPUを24MHz以上の周波数で動作させる場合、XIN-XOUT端子間に接続する発振子(またはXIN端子に入力する外部クロック)は24MHz以下にし、PLL周波数シンセサイザで逡倍してください。24MHz以上の発振子(外部クロック)を使用するより、EMC(電磁環境適合性)が向上します。

24.4.2 サブクロック

サブクロック(XCIN-XCOUT)をCPUクロック、またはタイマA、タイマBのカウントソース(fc32)に使用する場合、CM0レジスタのCM03ビットを“0”(XCIN-XCOUT駆動能力Low)にしてください。

24.4.2.1 サブクロック発振時

サブクロックを発振させる場合、CM0レジスタのCM07ビットを“0”(サブクロック以外のクロック)、かつCM03ビットを“1”(XCIN-XCOUT駆動能力High)にした後、CM0レジスタのCM04ビットを“1”(サブクロック発振)にしてください。サブクロックの発振が安定した後、CM03ビットを“0”(XCIN-XCOUT駆動能力Low)にしてください。

上記の設定を行った後、CPUクロック、またはタイマA、タイマBのカウントソースにサブクロックを設定してください。

24.4.2.2 ストップモードを使用する場合

ストップモードへ移行すると、自動的にCM03ビットは“1”(XCIN-XCOUT駆動能力High)になります。ストップモードへ移行する場合、以下の手順でCPUクロックをメインクロックにしてください。

- (1) CM1レジスタのCM17ビットを“0”(CPUクロックはメインクロック)にする
- (2) CM2レジスタのCM21ビットを“0”(CM17ビットで選択されたクロック)にする
- (3) CM0レジスタのCM07ビットを“0”(CM21ビットで選択したクロックをMCDレジスタで分周したクロック)にする

ストップモードから復帰後はサブクロックが安定した後、CM03ビットを“0”(XCIN-XCOUT駆動能力High)にし、CM07ビットを“1”(サブクロック)にしてください。

24.4.2.3 発振回路定数のマッチングの確認

サブクロック発振回路の発振回路定数のマッチングを駆動能力Highでのみ確認している場合、駆動能力Lowのマッチングも確認してください。

発振回路定数のマッチングに関しては発振子メーカーにお問い合わせください。

24.4.3 PLL周波数シンセサイザ

PLL周波数シンセサイザをご使用になる場合は、電源リップルの規格を満たすように電源電圧を安定させてください。

表24.3 電源リップル

記号	項目	規格値			単位
		最小	標準	最大	
$f_{(ripple)}$	電源リップル許容周波数 (V_{CC1})			10	kHz
$V_{p-p(ripple)}$	電源リップル許容振幅電圧	($V_{CC1}=5V$ 時)		0.5	V
		($V_{CC1}=3.3V$ 時)		0.3	V
$V_{CC1} (V/\tau)$	電源リップル立ち上がり/立ち下がり勾配	($V_{CC1}=5V$ 時)		1	V/ms
		($V_{CC1}=3.3V$ 時)		0.3	V/ms

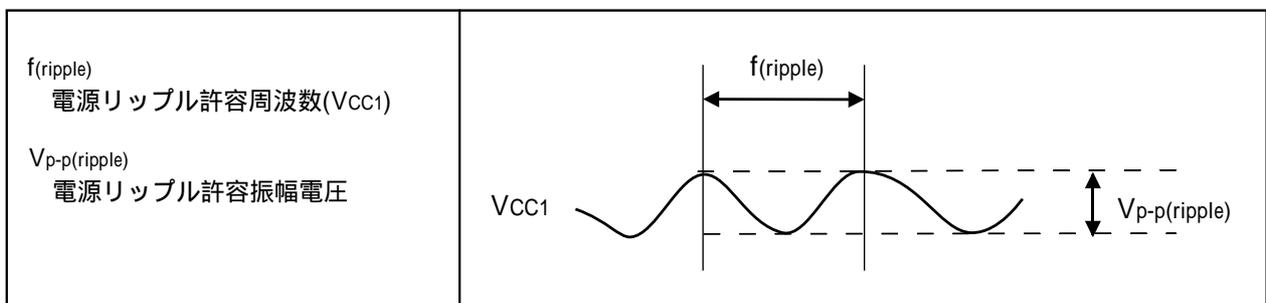


図24.2 電源変動のタイミング図

24.4.4 外部クロック

X_{IN} 端子に外部で生成したクロックを入力して、CPUクロックにメインクロックを選択している場合、外部で生成したクロックを停止させないでください。

CPUのクロックに外部クロック入力を使用している場合、CM0レジスタのCM05ビットを“1”(停止)にしないでください。

24.4.5 クロック分周比

MCDレジスタのMCD4～MCD0ビットを変更する場合、PM1レジスタのPM12ビットを“0”(ウエイトなし)にしてください。

24.4.6 パワーコントロール

CPUクロックのクロック源をメインクロックまたはサブクロック、PLLクロックに切り替えるときは、各クロックの発振が安定してから切り替えてください。

24.4.6.1 ウェイトモード

CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にしてウェイトモードへ移行する場合、CPUクロックが10MHz以下になるようにMCDレジスタのMCD4～MCD0ビットを設定してください。

ウェイトモードに移行する場合、命令キューにWAIT命令より後の命令が取り込まれて、プログラムが停止します。WAIT命令の後にはNOPを最低4つ入れてください。

24.4.6.2 ストップモード

- ・ストップモードへ移行する場合、以下の手順でCPUクロックをメインクロックにしてください。
 - (1) CM1レジスタのCM17ビットを“0”(CPUクロックはメインクロック)にする
 - (2) CM2レジスタのCM21ビットを“0”(CM17ビットで選択されたクロック)にする
 - (3) CM0レジスタのCM07ビットを“0”(CM21ビットで選択したクロックをMCDレジスタで分周したクロック)にする

ただし、CPUクロック源にPLLクロックが選択されている場合、CM17ビットを“0”(CPUクロック源はメインクロック)にした後、PLC0レジスタのPLC07ビットを“0”(PLL停止)にしてからストップモードへ移行してください。

- ・ $\overline{\text{NMI}}$ 端子に“L”が入力されてる場合、ストップモードへ移行しません。“H”を入力してください。
- ・ストップモードからリセットによって復帰する場合、メインクロックの発振が十分に安定するまで $\overline{\text{RESET}}$ 端子に“L”を入力してください。
- ・ストップモードからの復帰に $\overline{\text{NMI}}$ 割り込みを使用する場合、以下の手順でCM1レジスタのCM10ビットを“1”(全クロック停止)にしてください。
 - (1) $\overline{\text{NMI}}$ 割り込みでストップモードから復帰する
 - (2) ダミー割り込みを発生させる
 - (3) CM10ビットを“1”にする

```
例) int #63 ;ダミー割り込み
     bset CM1 ;全クロック停止
```

```
/* ダミー割り込み処理 */
dummy
reit
```

- ・ストップモードに移行する場合、命令キューにCM1レジスタのCM10ビットを“1”(全クロック停止)にする命令より後の命令が取り込まれてから、プログラムが停止します。ストップモードから復帰したとき、命令キューに取り込まれている命令を実行してから復帰用割り込みルーチンが実行されます。

CM10ビットを“1”にする命令の後には次のようにJMP.B命令を入れてください。

```

bset 0, prcr ;プロテクト解除
bset 0, cm1 ;全クロック停止(ストップモード)
jmp.b LABEL_001 ;jmp.b命令実行(jmp.bとラベルの間には命令を
LABEL_001: ;入れないですぐ次の命令にジャンプする)
nop ;nop(1)
nop ;nop(2)
nop ;nop(3)
nop ;nop(4)
mov.b #0,prcr ;プロテクト設定
.
.
.
```

24.4.6.3 消費電力を小さくするためのポイント

システム設計やプログラムを作成するときに参考にしてください。

ポート：

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

A/Dコンバータ：

A/D変換を行わない場合、AD0CON1レジスタのVCUTビットを“0” (VREF未接続)にしてください。A/D変換を行う場合、VCUTビットを“1” (VREF接続)にしてから1 μ s以上経過した後、A/D変換を開始させてください。

D/Aコンバータ：

D/A変換を行わない場合、DACONレジスタのDAiビット(i = 0~1)を“0” (出力禁止)にし、DAIレジスタを“0016” にしてください。

周辺機能の停止：

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。ただし、サブクロックから生成している周辺機能クロック(fc32)は停止しませんので、消費電力の削減にはなりません。低速モードと低消費電力モード時にはCM02ビットを“1” (ウェイトモード時、周辺機能クロック停止する)にしてウェイトモードに移行しないでください。

24.5 プロテクト

PRCRレジスタのPRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

24.6 割り込み

24.6.1 ISPの設定

リセット後、ISPは“000000₁₆”に初期化されています。そのため、ISPに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、ISPに値を設定してください。ISPには偶数番地を設定してください。偶数を設定した方が割り込みシーケンスの実行速度が速くなります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でISPを設定してください。 $\overline{\text{NMI}}$ 割り込みは、リセット後、1命令を実行した直後から受け付けられます。

24.6.2 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。
- $\overline{\text{NMI}}$ 端子は、P8レジスタのP8_5ビットを読むことで端子の値を読めます。P8_5ビットは、 $\overline{\text{NMI}}$ 割り込みが発生した後、端子のレベルを判定する場合のみ読んでください。
- $\overline{\text{NMI}}$ 端子に入力する信号の“L”幅、“H”幅を、いずれもCPUクロックの2サイクル+300ns以上にしてください。
- $\overline{\text{NMI}}$ 割り込み要求と他の割り込み要求が同時に発生した場合、 $\overline{\text{NMI}}$ 割り込み要求が受け付けられないことがあります。

24.6.3 $\overline{\text{INT}}$ 割り込み

- エッジセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロックに関係なく250ns以上の“L”幅、または“H”幅が必要です。
- レベルセンスの場合、 $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子に入力する信号には、CPUクロック1周期+200ns以上の“L”幅、または“H”幅が必要です。(例：XIN = 30MHz、分周無しの場合は234ns以上必要です。)
- $\overline{\text{INT0}} \sim \overline{\text{INT5}}$ 端子の極性を切り替えるときにIRビットが“1”(割り込み要求あり)になることがあります。切り替えた後、IRビットを“0”(割り込み要求なし)にしてください。図24.3に $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を示します。

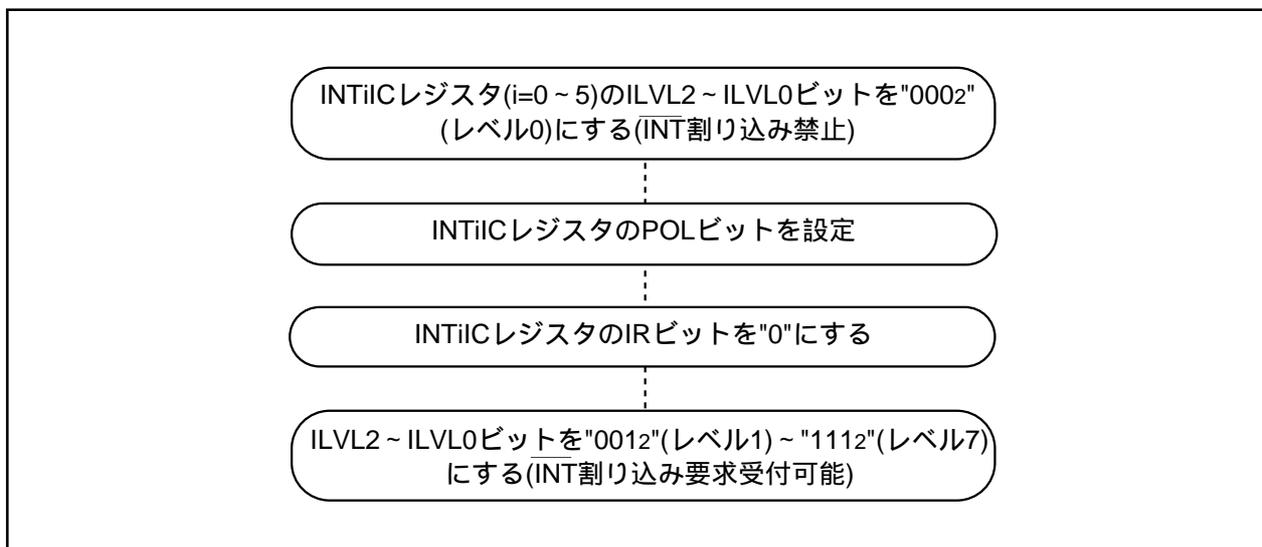


図24.3 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例

24.6.4 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

24.6.5 割り込み制御レジスタの変更

割り込みが禁止状態で割り込み制御レジスタを変更するときには、次のようにしてください。

IRビットの変更：IRビットを“0” (割り込み要求なし)にすると、使用する命令によってはIRビットが“0”にならないことがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

MOV

IRビット以外のビット変更：命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1” (割り込み要求あり)にならずに割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

AND、OR、BCLR、BSET

24.6.6 IIOiIRレジスタの変更 (i=0～4)

IIOiIRレジスタのビット1～7に“0” (割り込み要求なし)を書く場合は次の命令を使用してください。

AND、BCLR

24.6.7 RLVLレジスタの変更

リセット後、DMAIIビットは不定です。割り込みで使用する場合は、DMAIIビットを“0” (割り込み優先レベル7は割り込みに使用)にしてから割り込み制御レジスタを設定してください。

24.7 DMAC

- DMAC関連レジスタを設定する場合は、設定するチャンネルのMDi1 ~ MDi0ビット(i=0 ~ 3)が“002” (DMA禁止)の状態を設定し、最後にMDi1 ~ MDi0ビットで“012” (単転送)または“112” (リピート転送)を選択してください。これによって、そのチャンネルのDMA要求が受付可能となります。
- DMiSLレジスタのDRQビットに“0” (要求なし)を書かないでください。
M32C/80シリーズでは、DMA要求が発生した場合、そのチャンネルが受け付けられない状態^(注1)であればDMA転送は実行せず、そのDRQビットは“0”になります。

注1. MDi1 ~ MDi0ビットが“002”、またはDCTiレジスタが“000016” (転送回数0)

- ソフトウェアトリガでDMA転送を行う場合、DMiSLレジスタのDSRビットとDRQビットを、同時に“1”にしてください。
例) OR.B #0A0h,DMiSL ;DSRビットとDRQビットを同時に“1”にする
- チャンネルiのDCTiレジスタが“1” (転送回数1)の場合、チャンネルiに対応するDMDjレジスタ(j=0,1)のMDi1 ~ MDi0ビットに“012” (単転送)または“112” (リピート転送)を書くタイミングで、チャンネルiのDMA要求が発生しないようにしてください。
- DMA関連レジスタ設定後に、DMA要求要因となる周辺機能を設定してください。
DMA要求要因にINT割り込みを選択した場合、DCTiレジスタに“1”を書かないでください。
- DMiSLレジスタ(i=0 ~ 3)を設定してから、プログラムでBCLKの6サイクル以上待ってからDMAを許可^(注2)してください。

注2. DMA許可とは、DMDjレジスタ(j=0, 1)のMDi1 ~ MDi0ビットを“002” (DMA禁止)から、“012” (単転送)、または“112” (リピート転送)に設定することを表します。

24.8 タイマ

24.8.1 タイマA、タイマB共通

リセット後、タイマは停止しています。モードやカウントソース、カウンタの値を設定した後、TABSRレジスタまたはTBSRレジスタの、TAiS(i=0~4)ビットまたはTBjS(j=0~5)ビットを“1”(カウント開始)にしてください。

次のレジスタ、ビットは、TAiSビットまたはTBjSビットが“0”(カウント停止)の状態、変更してください。

- ・TAiMR、TBjMRレジスタ
- ・TAi、TBjレジスタ
- ・UDFレジスタ
- ・ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット
- ・TRGSRレジスタ

24.8.2 タイマA

INVC0レジスタのINV03~INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

24.8.2.1 タイマA(タイマモード)

- ・リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- ・カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF₁₆”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

24.8.2.2 タイマA(イベントカウンタモード)

- ・リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- ・カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFF₁₆”が、オーバフロー時は“0000₁₆”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

24.8.2.3 タイマA(ワンショットタイマモード)

- ・リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0”(カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1”(カウント開始)にしてください。
- ・カウント中にTABSRレジスタを“0”(カウント停止)にすると次のようになります。
 - カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
 - TAiOUT端子は“L”を出力します。
 - CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。
- ・ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

- ・ 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
 - リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したときしたがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。
- ・ カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。
- ・ タイマAワンショットタイマモードでカウント開始条件に外部トリガ入力を選択している場合、タイマAのカウント値が“0000₁₆”になる前の300nsの間に外部トリガを再入力しないでください。ワンショットタイマがカウントを継続しないで停止する場合があります。

24.8.2.4 タイマA (パルス幅変調モード)

- ・ リセット後、TABSRレジスタのTAiSビット(i=0~4)は“0” (カウント停止)です。動作モードを選択し、TAiレジスタに値を設定した後、TAiSビットを“1” (カウント開始)にしてください。
- ・ 次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。
 - リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したときしたがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。
- ・ PWMパルスを出力中にTAiSビットを“0” (カウント停止)にすると次のようになります。
 - カウンタはカウントを停止します。
 - TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
 - TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

24.8.3 タイマB

24.8.3.1 タイマB (タイマモード、イベントカウンタモード)

- ・リセット後、TBiSビット(i=0~5)は“0”(カウント停止)です。動作モードを選択し、TBiレジスタに値を設定した後、TBiSビットを“1”(カウント開始)にしてください。
TB0S~TB2SビットはTABSRレジスタのビット5~7、TB3S~TB5SビットはTBSRレジスタのビット5~7です。
- ・カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFF₁₆”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

24.8.3.2 タイマB (パルス周期測定 / パルス幅測定モード)

- ・TBiICレジスタ(i=0~5)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバーフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。
- ・測定パルス入力があるタイマのオーバーフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバーフローの回数を別のタイマでカウントしてください。
- ・MR3ビットを“0”(オーバーフローなし)にするには、TBiSビットが“1”(カウント開始)の状態、MR3ビットが“1”(オーバーフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書いてください。
- ・オーバーフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込みルーチン内で割り込み要因を判断するときだけ使用してください。
- ・カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。
- ・カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。
- ・カウント開始後にTBiMRレジスタのMR1~MR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。MR1~MR0ビットに以前と同じ値を書き込んだ場合は、IRビットは変化しません。
- ・パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかはプログラムで判断してください。

24.9 シリアルI/O

24.9.1 クロック同期形シリアルI/Oモード

INVC0レジスタのINV03 ~ INV02ビットが“112”(NMI端子入力による三相出力強制遮断許可)のとき、NMI端子に“L”を入力すると、RTS₂端子とCLK₂端子はハイインピーダンスになります。

24.9.1.1 送受信

外部クロック選択時、RTS機能を選択した場合は、受信可能状態になるとRTS_i端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されるとRTS_i端子の出力レベルは“H”になります。このため、RTS_i端子を送信側のCTS_i端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時はRTS機能は無効です。

24.9.1.2 送信

外部クロックを選択している場合、UiC0(i=0~4)レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1レジスタのTEビットが“1”(送信許可)
- ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- ・ CTS機能を選択している場合、CTS_i端子の入力が“L”

24.9.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TxDi端子からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLK_i端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのREビットが“1”(UiRBレジスタにデータあり)でUART_i受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトヘダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- ・ UiC1レジスタのREビットが“1”(受信許可)
- ・ UiC1レジスタのTEビットが“1”(送信許可)
- ・ UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

24.9.2 UARTモード

UiC1レジスタ(i=0~4)のUIEREビットは、UiMRレジスタを設定した後で書いてください。

24.9.3 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4レジスタ(i=0~4)のSTSPSELビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQビット、RSTAREQビット、STPREQビット)を“0”から“1”にしてください。

24.10 A/Dコンバータ

- AD0CON0レジスタ(ビット6を除く)、AD0CON1レジスタ、AD0CON2レジスタ、AD0CON3レジスタは、A/D変換停止時(トリガ発生前)に書いてください。
- AD0CON1レジスタのVCUTビットを“0”(VREF未接続)から“1”(VREF接続)にしたときは、1 μ s以上経過した後にA/D変換を開始させてください。
A/D変換停止後、VCUTビットを“1”から“0”にしてください。
- ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(AN_i (i=0~7))とAVSS端子の間に、それぞれコンデンサを挿入してください。同様にVcc端子とVss端子の間にもコンデンサを挿入してください。図24.4に各端子の処理例を示します。

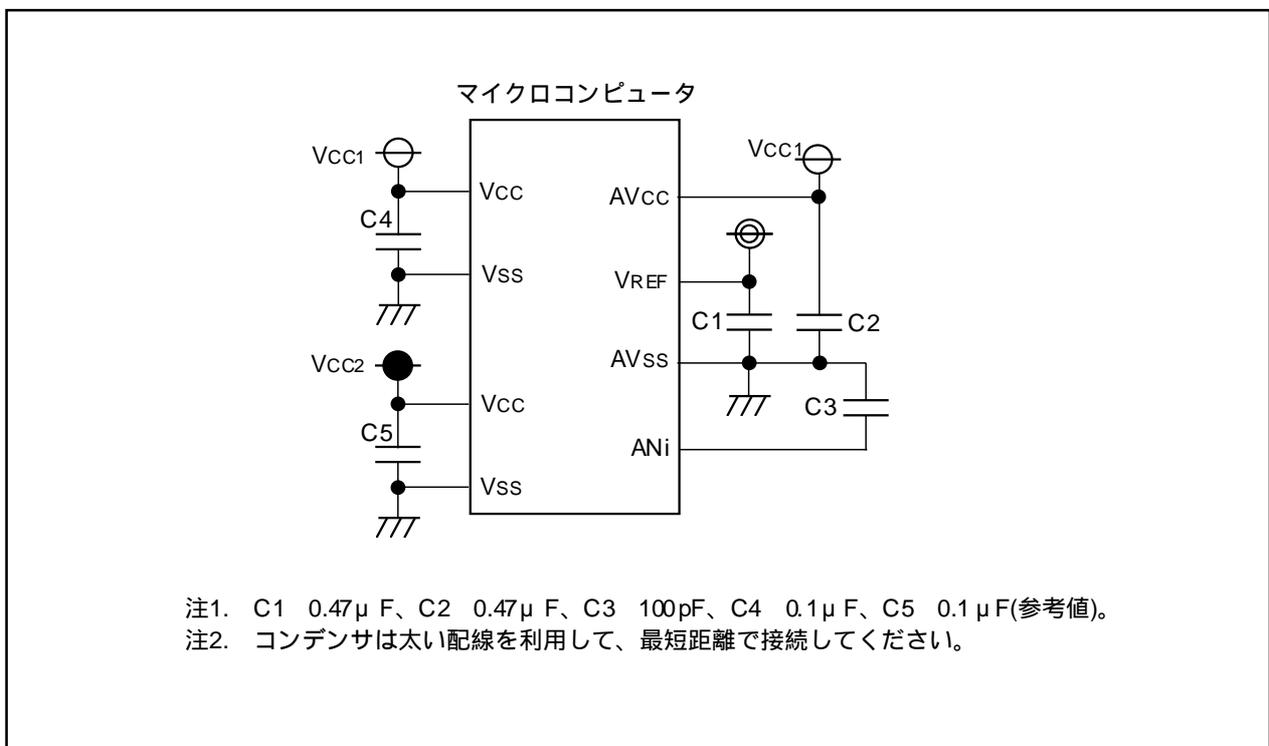


図24.4 各端子の処理例

- アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。また、AD0CON0レジスタのTRGビットが“1”(外部トリガ)の場合は、 \overline{ADTRG} 端子に対応するポート方向ビットは“0”(入力モード)にしてください。
- キー入力割り込みを使用する場合、AN₄~AN₇は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。
- ADの周波数を16MHz以下にしてください。サンプル&ホールドなしの場合、ADの周波数は250kHz以上にしてください。サンプル&ホールドありの場合、ADの周波数は1MHz以上にしてください。
- A/D動作モードを変更した場合は、AD0CON0レジスタのCH2~CH0ビットまたはAD0CON1レジスタのSCAN1~SCAN0ビットでアナログ入力端子を再選択してください。

- ・ AVCC=VREF=VCC1、AD入力(AN0～AN7、ANEX0、ANEX1) Vcc1としてください。
- ・ A/D変換が完了し、その結果をAD0iレジスタ(i=0～7)に格納するタイミングでCPUがAD0iレジスタを読んだ場合、誤った値がAD0iレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。
単発モードまたは単掃引モードで使用する場合、A/D変換が完了したことを確認してから、対象となるAD0iレジスタを読んでください(A/D変換の完了はAD0ICレジスタのIRビットで判定できます)。
繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合、CPUクロックは、メインクロックを分周せずに使用してください。
- ・ A/D変換中に、プログラムでAD0CON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないAD0iレジスタも不定になる場合があります。A/D変換中に、プログラムでADSTビットを“0”にした場合は、すべてのAD0iレジスタの値を使用しないでください。
- ・ DMAC利用モードでは、外部トリガは使用できません。また、AD00レジスタは命令で読まないでください。
- ・ ウェイトモード中、A/D変換は行わないでください。
- ・ サンプル&ホールドありの場合、MCDレジスタのMCD4～MCD0ビットは“100102”(分周なし)にしてください。
- ・ 単掃引モードでA/D変換中にAD0CON0レジスタのADSTビットを“0”にしてA/D変換を中止する場合、ADSTビットを“0”にする前に割り込みを禁止にしてください。

24.11 インテリジェントI/O

24.11.1 レジスタの設定

G0RI ~ G1RI、G0TO ~ G1TO、G0CR ~ G1CR、G0RB ~ G1RB、G0MR ~ G1MR、G0EMR ~ G1EMR、G0ETC ~ G1ETC、G0ERC ~ G1ERC、G0IRF、G1IRF、G0TB ~ G1TB、G0CMP0 ~ G0CMP3、G1CMP0 ~ G1CMP3、G0MSK0 ~ G0MSK1、G1MSK0 ~ G1MSK1、G0TCRC ~ G1TCRC、G0RCRC ~ G1RCRCの各レジスタに書いた値は、転送クロックに同期して反映されます。これらのレジスタの設定は、転送クロックを設定した後で行ってください。

24.12 プログラマブル入出力ポート

- ・P7₂～P7₅、P8₀、P8₁端子には三相PWM出力の強制遮断機能があるため、これらの端子を出力機能(ポート出力、タイマ出力、三相PWM出力、シリアルI/O出力、インテリジェントI/O出力)に設定している場合、三相モータ制御用タイマ機能やNMI端子の影響を受けます。表24.4にINVC0レジスタの設定値、NMI端子入力レベルと、出力端子の状態の関係を示します。

表24.4 INVC0レジスタの設定値、NMI端子入力レベルと、出力端子の状態の関係

INVC0レジスタの設定値		NMI端子入力レベル	P7 ₂ ～P7 ₅ 、P8 ₀ 、P8 ₁ 端子の状態 (出力に設定している場合)
INV02ビット	INV03ビット		
0 (三相モータ制御用タイマ機能を使用しない)	-	-	PS1、PSL1、PSC、PS2、PSL2レジスタで選択した機能の出力
1 (三相モータ制御用タイマ機能を使用)	0 (三相モータ制御用タイマ出力禁止)	-	ハイインピーダンス
	1 (三相モータ制御用タイマ出力許可) ^(注1)	H	PS1、PSL1、PSC、PS2、PSL2レジスタで選択した機能の出力
		L (強制遮断)	ハイインピーダンス

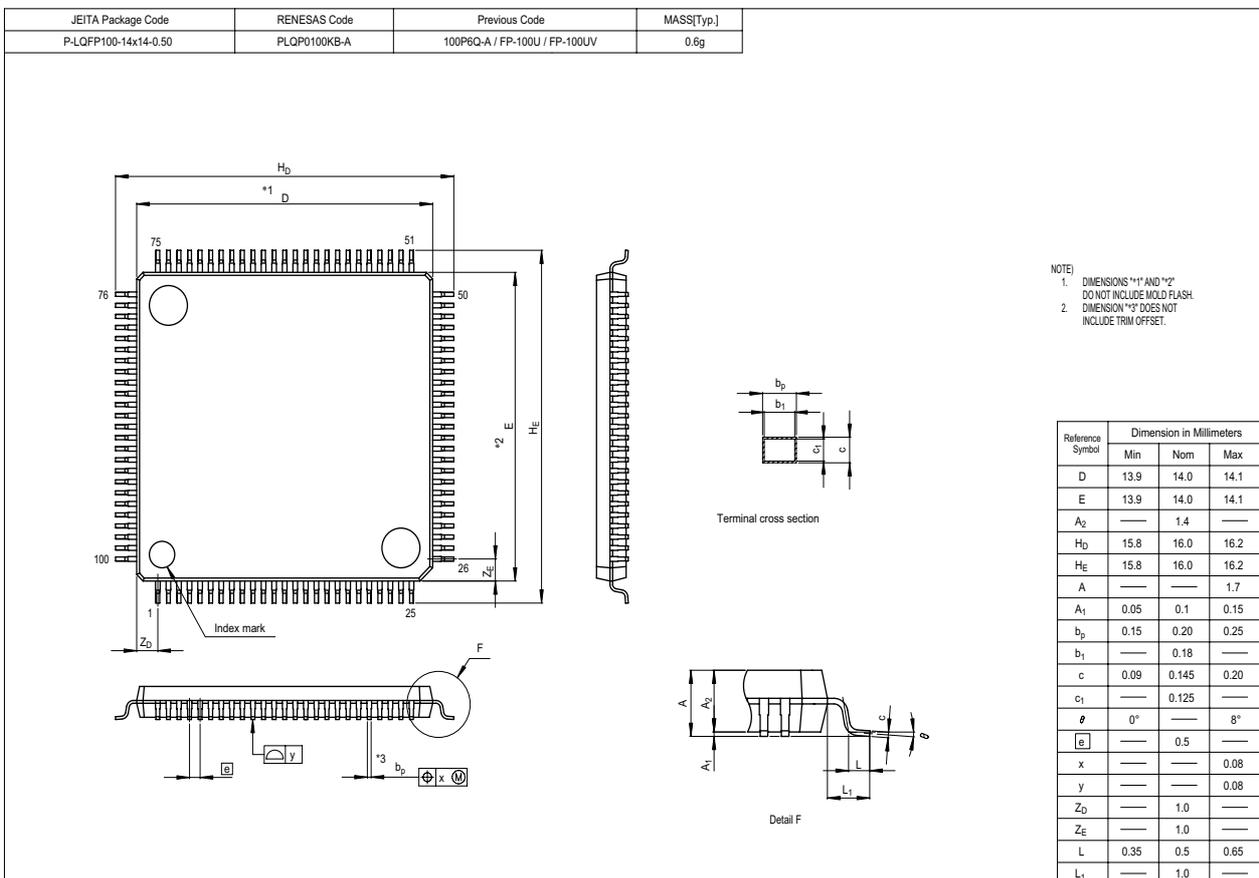
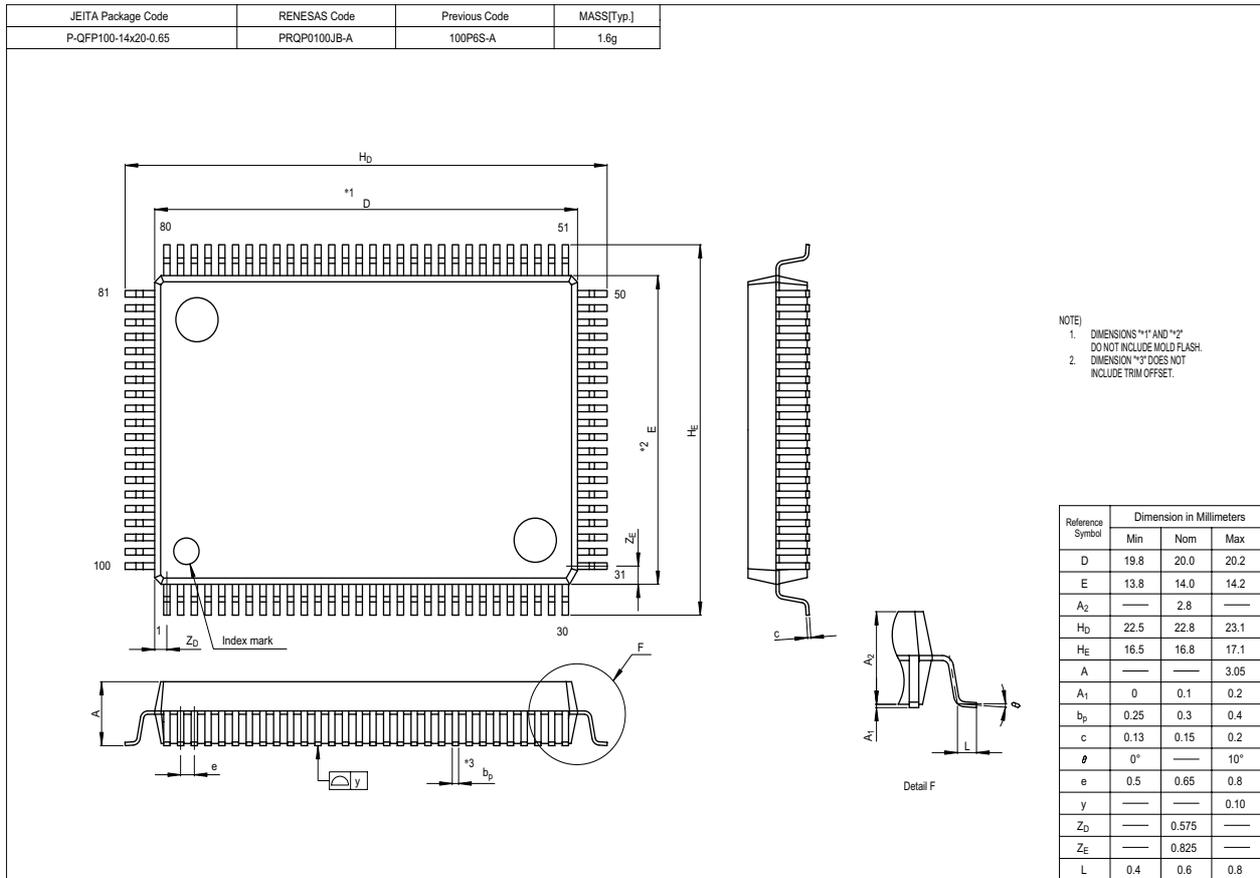
注1. NMI端子に“L”入力後、“0”になります。

- ・RESET端子のレベルが“L”の間、内部電源電圧が安定するまでは、プルアップ抵抗の有無は不定となります。
- ・プログラマブル入出力ポートと周辺機能では、入力閾値電圧が異なります。したがって、プログラマブル入出力ポートと周辺機能が端子を共用しているとき、この端子の入力レベルが推奨動作条件のV_{IH}、V_{IL}の範囲外(“H”でも“L”でもないレベル)の場合、プログラマブル入出力ポートと周辺機能でレベルの判定結果が異なることがあります。

24.13 ノイズに関する注意事項

ノイズ対策として、Vcc端子とVss端子間にバイパスコンデンサ(0.1 μ F以上)を最短距離でかつ、比較的に太い配線を使って接続してください。

付録1．外形寸法図



レジスタ索引

A

AD00 ~ AD07 **221**
AD0CON0 **217**
AD0CON1 **218**
AD0CON2 **219**
AD0CON3 **220**
AIER **97**

C

CCS **247**
CM0 **58, 103**
CM1 **59**
CM2 **60**
CPSRF **61**
CRCD **231**
CRCIN **231**

D

DA0 ~ DA1 **230**
DACON **230**
DCT0 ~ DCT3 **110**
DM0SL ~ DM3SL **107**
DMA0 ~ DMA3 **111**
DMD0 ~ DMD1 **109**
DRA0 ~ DRA3 **111**
DRC0 ~ DRC3 **110**
DS **39**
DSA0 ~ DSA3 **111**
DTT **156**

E

EWCR0 ~ EWCR3 **45**

G

G0CMP0 ~ G0CMP3 **246**
G0CR ~ G1CR **239**
G0DR ~ G1DR **245**
G0EMR ~ G1EMR **241**
G0ERC ~ G1ERC **243**
G0ETC ~ G1ETC **242**
G0IRF **244**
G0MR ~ G1MR **240**
G0MSK0 ~ G0MSK1 **246**
G0RB ~ G1RB **239**
G0RCRC ~ G1RCRC **246**

G0RI ~ G1RI **238**
G0TB ~ G1TB **245**
G0TCRC ~ G1TCRC **246**
G0TO ~ G1TO **238**
G1CMP0 ~ G1CMP3 **246**
G1IRF **245**
G1MSK0 ~ G1MSK1 **246**

I

ICTB2 **157**
IDB0 ~ IDB1 **156**
IFSR **95, 171**
IIO0IE ~ IIO4IE **100**
IIO0IR ~ IIO4IR **99**
INVC0 **154**
INVC1 **155**

M

MCD **59**

O

ONSF **129**

P

P0 ~ P10 **262**
PCR **271**
PD0 ~ PD10 **261**
PLC0 **62**
PLC1 **62**
PM0 **36**
PM1 **37**
PM2 **63**
PRCR **79**
PS0 **263**
PS1 **263**
PS2 **264**
PS3 **264**
PSC **267**
PSC3 **268**
PSD1 **268**
PSL0 **265**
PSL1 **265**
PSL2 **266**
PSL3 **266**
PUR0 **269**

PUR1 269
PUR2 269
PUR3 270

R

RLVL 89, 117
RMAD0 ~ RMAD7 97

T

TA0 ~ TA4 127
TA0MR ~ TA4MR 128, 133, 136, 139, 141
TA1、TA2、TA4、TA11、TA21、TA41 157
TA1MR、TA2MR、TA4MR 159
TABS 128, 144, 158
TB0 ~ TB5 143
TB0MR ~ TB5MR 144, 146, 148, 150
TB2 158
TB2MR 159
TB2SC 157
TBSR 145
TCSPR 61, 130
TRGSR 130, 158

U

U0BRG ~ U4BRG 165
U0C0 ~ U4C0 166
U0C1 ~ U4C1 167
U0MR ~ U4MR 165
U0RB ~ U4RB 164
U0SMR ~ U4SMR 167
U0SMR2 ~ U4SMR2 168
U0SMR3 ~ U4SMR3 169
U0SMR4 ~ U4SMR4 170
U0TB ~ U4TB 164
UDF 129

W

WDC 102
WDTS 102

X

X0R ~ X15R 234
XYC 233

Y

Y0R ~ Y15R 234

ワ

割り込み制御レジスタ 87, 88

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	2004-8		初版発行
1.00	2005-9	全ページ	章番号などを追加、表番号、図番号を変更、「ROM 外付け版」を「ROM レス版」に変更 パッケージ型名の変更
		B-7	番地別ページ早見表 ・ A/D0 制御レジスタ 4 を削除
		1	概要 ・ 文章の一部を変更
		2	・ 表 1.1 M32C/80 グループの性能概要を変更
		3	・ 図 1.1 M32C/80 グループのブロック図を変更
		4	・ 表 1.2 製品一覧表の変更
		9	・ 表 1.5 端子の機能説明を変更
		15	メモリ ・ 文章の変更 ・ 図 3.1 メモリ配置図の一部修正
		19,22,24, 26,27 27	SFR ・ RLVL、G1RB、IDB0、IDB1、TCSPR、DM0SL ~ DM3SL レジスタのリセット後の値を変更 ・ AD0CON4 レジスタを削除
		34	プロセッサモード ・ 注意の枠内の文章を変更 ・ 表 6.1 プロセッサモードの特長を一部修正
		35	・ 文章の一部削除
		38	・ 図 6.3 各プロセッサモード時のメモリ配置を一部修正
		43 46 55	バス ・ 図 7.2 アドレスバスとチップセレクト信号の出力例(セパレートバス)の一部修正 ・ 表 7.5 ソフトウェアウェイトとバスサイクルの一部修正 ・ 表 7.8 内部領域をアクセスしたときの外部バスの状態の一部修正
		64 65 70 72 74 76 77	クロック発生回路 ・ 図 8.8 メインクロックの接続回路例を修正 ・ 図 8.9 サブクロックの接続回路例を修正 ・ 8.3.5 fAD の文章を一部修正 ・ 8.5.2 ウェイトモード 文章の構成を変更 ・ 8.5.3 ストップモード 文章の構成を変更 ・ 図 8.12 ストップモード、ウェイトモードの状態遷移図を一部修正 ・ 図 8.13 状態遷移図 注 5 の一部削除
		80 85 89 90 91 95	割り込み ・ 図 10.1 割り込みの分類を一部変更 ・ 表 10.2 可変ベクタテーブル(2/2)を修正 ・ 図 10.2 RLVL レジスタの注 3 を変更、注 4 を追加 ・ 10.6.3 割り込みシーケンス (6)の文章を一部変更 ・ 10.6.4 割り込み応答時間の文章を一部修正 ・ 図 10.10 IFSR レジスタの IFSR6、IFSR7 ビットを修正
102 106 114	ウォッチドッグタイマ ・ 図 11.2 WDC レジスタの 5 ビット(WDC5)を予約ビットに変更 ・ 表 12.1 DMAC 仕様の一部修正 ・ 表 12.4 係数 j、k を一部修正		
132 134 135	タイマ ・ 表 14.3 タイマモードの仕様 タイマの書き込みの仕様を一部修正 ・ 表 14.4 イベントカウンタモードの仕様 タイマの書き込みの仕様を一部修正 ・ 表 14.5 イベントカウンタモードの仕様 タイマの書き込みの仕様を一部修正		

Rev.	発行日	改訂内容	
		ページ	ポイント
		138	・表 14.6 ワンショットタイマモードの仕様 タイマの書き込みの仕様を一部修正
		140	・表 14.7 パルス幅変調モードの仕様 タイマの書き込みの仕様を一部修正
		146	・表 14.9 タイマモードの仕様 タイマの書き込みの仕様を一部修正
		147	・表 14.10 イベントカウンタモードの仕様 タイマの書き込みの仕様を一部修正
			シリアル
		163	・図 16.1 UARTi ブロック図を一部修正
		165	・図 16.3 U0BRG ~ U4BRG レジスタの注 3 を追加
		166	・図 16.4 U0C0 ~ U4C0 レジスタの注 4 を追加
		167	・図 16.5 U0C1 ~ U4C1 レジスタの注 2 を変更
		171	・IFSR レジスタの IFSR6、IFSR7 ビットの一部修正
		174	・表 16.5 クロック同期形シリアル I/O モード時の端子の設定(3) PSC3 レジスタを追加
		180	・表 16.10 UART モード時の端子の設定(3) PSC3 レジスタを追加
		181	・図 16.14 UART モード時の送信動作例を修正
		182	・16.2.1 転送速度を追加
		193	・16.3.6 SDA 入力の記事の一部修正
		194	・表 16.19 特殊モード 2 の仕様を修正
		196	・表 16.23 特殊モード 2 時の端子の設定(3) PSC3 レジスタを追加
		197	・16.4.1.2 DINC ビットが “0”(マスタモード)の場合の記事の一部修正
		202	・表 16.28 GCI モード時の端子の設定(3) PSC3 レジスタを追加
		205	・表 16.33 IE モード時の端子の設定(3) PSC3 レジスタを追加
		210	・表 16.38 SIM モード時の端子の設定(3) PSC3 レジスタを追加
		211	・図 16.29 SIM インタフェース動作例の図を修正
		212	・図 16.31 パリティエラー信号出力タイミング(LSB ファースト) 転送クロックを追加
			A/D コンバータ
		215	・表 17.1 A/D コンバータの仕様に注 3 を追加
		216	・図 17.1 A/D コンバータのブロック図の AD0CON4 レジスタを削除
		217	・図 17.2 AD0CON0 レジスタ 注 6 を追加
		221	・図 17.6 AD0CON4 レジスタを削除
		225	・17.2.4 DMAC 利用モードの記事の一部削除
		227	・17.2.8 A/D 変換時のセンサーの出力インピーダンスを追加 ・図 17.8 アナログ入力端子と外部センサーの等価回路例 fAD を AD に修正
			インテリジェント I/O
		242	・図 21.6 GOETC レジスタ b2 ~ b0 ビットを修正
		252	・表 21.8 HDLC データ処理モードの仕様(1/2)にフラグ検出を追加
		272	・表 22.1 シングルチップモード時の未使用端子の処置例に注記を追加 ・表 22.2 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例に注記を追加
			電気的特性
		276	・新規追加
			使用上の注意事項
		302	・プロセッサモードを削除、リセットを追加
		303	・外部バスを削除
		305	・クロック発生回路の構成を変更
		313	・タイマの構成を変更
		316	・シリアル I/O の構成を変更
		318	・A/D コンバータの記事の一部修正
			外形寸法図
		323	・図の変更

ルネサス16/32ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
M32C/80グループ

発行年月日 2005年9月20日 Rev. 1.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

M32C/80 グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0028-0100