

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

M16C/80グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16Cファミリ / M16C/80シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- 1.弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- 1.本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 2.本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
- 3.本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりましては、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
- 4.本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
- 5.本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
- 6.本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
- 7.本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
- 8.本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

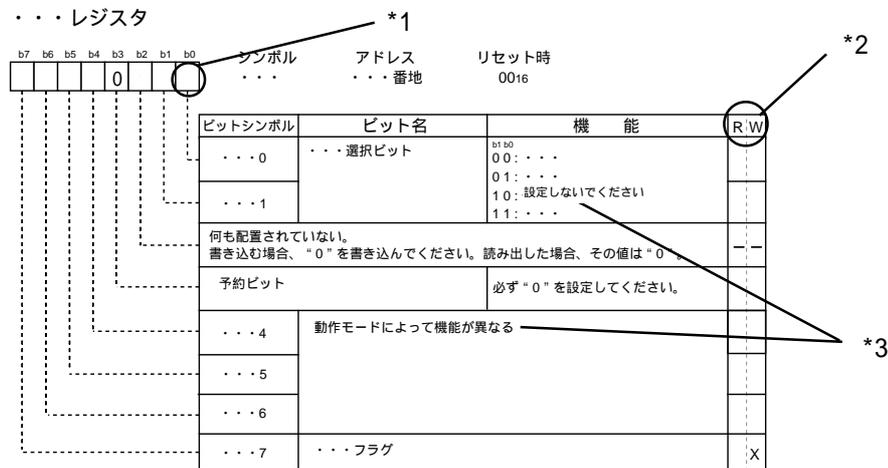
1. 対象

このマニュアルはM16C/80グループのハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2. レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



*1 空白 : 用途に応じて“0”または“1”にしてください。

0 : “0”にしてください。

1 : “1”にしてください。

x : 何も配置されていないビットです。

*2

R : Read

...読み出すとビットの状態が読み出せます。

x...ビットの状態は読み出せません。

...何も配置されていないビットです。

W : Write

...書き込んだ値は有効データになります。

x...書き込んだ値は無効になります。

書き込む値は“0”または“1”いずれでもよいです。

...何も配置されていないビットです。

*3

ここで使用する用語を以下に示します。

・何も配置されていない

当該ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書き込む場合は“0”を書き込んでください。

・設定しないでください

選択しないでください。選択した場合の動作は保証されません。

・予約ビット

予約ビットです。指定された値を設定してください。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。

・Aモードでは必ず“0”に固定

Aモードでは、当該ビットを“0”にしてください。

・Aモードでは無効

Aモードでは、当該ビットは機能を持ちません。指定された値を設定してください。

・ビットAが“0”のとき有効

ビットAが“1”のとき、当該ビットは機能を持ちません。ビットAが“0”のとき、当該ビットは機能を持ちます。

3. M16Cファミリ関連ドキュメント

M16Cファミリでは次のドキュメントを用意しています。(注1)

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様(ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令(アセンブリ言語)の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16Cファミリ入門用基本機能説明 アセンブリ言語、C言語によるプログラムの作成方法
テクニカルアップデート	製品の仕様、ドキュメント等に関する速報

注1. 最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています

目次

番地別ページ早見表	B - 1
-----------	-------

1. 概要	1
1.1 特長	1
1.2 応用	1
1.3 ピン接続図	2
1.4 ブロック図	5
1.5 性能概要	6
1.6 端子の機能説明	9
2. メモリ	12
3. 中央演算処理装置	13
4. リセット	18
5. SFR	22
6. プロセッサモード	26
7. バス	30
7.1 バス設定	30
7.2 バス制御	33
8. クロック発生回路	43
8.1 発振回路例	43
8.2 クロックの制御	44
8.3 クロック出力	47
8.4 ストップモード	48
8.5 ウェイトモード	50
8.6 BCLKの状態遷移	51
8.7 パワーコントロール	53
8.8 プロテクト	55
9. 割り込み	56
9.1 割り込みの分類	56
9.2 ソフトウェア割り込み	57
9.3 ハードウェア割り込み	58
9.4 高速割り込み	59
9.5 割り込みと割り込みベクタテーブル	59

9.6	割り込み制御レジスタ	62
9.7	割り込み許可フラグ(Iフラグ)	64
9.8	割り込み要求ビット	64
9.9	割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)	64
9.10	割り込み制御レジスタの変更	65
9.11	割り込みシーケンス	66
9.12	割り込み応答時間	66
9.13	割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化	68
9.14	レジスタ退避	68
9.15	割り込みルーチンからの復帰	69
9.16	割り込み優先順位	69
9.17	割り込み優先レベル判定回路	69
9.18	$\overline{\text{INT}}$ 割り込み	71
9.19	$\overline{\text{NMI}}$ 割り込み	72
9.20	キー入力割り込み	72
9.21	アドレス一致割り込み	73
9.22	割り込みの注意事項	74
10.	ウォッチドッグタイマ _____	78
11.	DMAC _____	80
12.	タイマ _____	92
13.	タイマA _____	94
14.	タイマB _____	106
15.	三相モータ制御用タイマ機能 _____	112
16.	シリアルI/O _____	124
17.	クロック同期形シリアルI/Oモード _____	137
18.	クロック非同期形シリアルI/O(UART)モード _____	144
19.	クロック非同期形シリアルI/Oモード(SIMインタフェース対応) _____	151
20.	UART i 特殊モードレジスタ($i = 2 \sim 4$) _____	155
21.	A/Dコンバータ _____	166
22.	D/Aコンバータ _____	176
23.	CRC演算回路 _____	178
24.	XY変換 _____	180
25.	DRAMコントローラ _____	183
26.	プログラマブル入出力ポート _____	190

27. 使用上の注意事項	208
28. 電気的特性	225
29. フラッシュメモリ版	271
30. CPU書き換えモード(フラッシュメモリ版)	274
31. パラレル入出力モード(フラッシュメモリ版)	290
32. 標準シリアル入出力モード(フラッシュメモリ版)	295
32.1 標準シリアル入出力モード1(クロック同期形)	296
32.2 標準シリアル入出力モード2(クロック非同期形)	311
33. ブートローダ内蔵ROM外付け版	324
付録1. 外形寸法図	326
レジスタ索引	328
改訂履歴	C - 1

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	プロセッサモードレジスタ0	PM0	27
0005 ₁₆	プロセッサモードレジスタ1	PM1	28
0006 ₁₆	システムクロック制御レジスタ0	CM0	46
0007 ₁₆	システムクロック制御レジスタ1	CM1	
0008 ₁₆	ウェイト制御レジスタ	WCR	39
0009 ₁₆	アドレス一致割り込み許可レジスタ	AIER	73
000A ₁₆	プロテクトレジスタ	PRCR	55
000B ₁₆	外部デ - タバス幅制御レジスタ	DS	31
000C ₁₆	メインクロック分周レジスタ	MCD	47
000D ₁₆			
000E ₁₆	ウォッチドッグタイマスタートレジスタ	WDTS	79
000F ₁₆	ウォッチドッグタイマ制御レジスタ	WDC	
0010 ₁₆			
0011 ₁₆	アドレス一致割り込みレジスタ0	RMAD0	73
0012 ₁₆			
0013 ₁₆			
0014 ₁₆			
0015 ₁₆	アドレス一致割り込みレジスタ1	RMAD1	73
0016 ₁₆			
0017 ₁₆			
0018 ₁₆			
0019 ₁₆	アドレス一致割り込みレジスタ2	RMAD2	73
001A ₁₆			
001B ₁₆			
001C ₁₆			
001D ₁₆	アドレス一致割り込みレジスタ3	RMAD3	73
001E ₁₆			
001F ₁₆			
0020 ₁₆	エミュレ - タ専用割り込み		
0021 ₁₆	ベクタテ - ブルレジスタ	EIAD	
0022 ₁₆			
0023 ₁₆	エミュレ - タ割り込み識別レジスタ	EITD	
0024 ₁₆	エミュレ - タ用プロテクトレジスタ	EPRR	
0025 ₁₆			
0026 ₁₆			
0027 ₁₆			
0028 ₁₆			
0029 ₁₆			
002A ₁₆			
002B ₁₆			
002C ₁₆			
002D ₁₆			
002E ₁₆			
002F ₁₆			
0030 ₁₆	ROM領域設定レジスタ	ROA	
0031 ₁₆	デバッグモニタ領域設定レジスタ	DBA	
0032 ₁₆	拡張領域設定レジスタ0	EXA0	
0033 ₁₆	拡張領域設定レジスタ1	EXA1	
0034 ₁₆	拡張領域設定レジスタ2	EXA2	
0035 ₁₆	拡張領域設定レジスタ3	EXA3	
0036 ₁₆			
0037 ₁₆			
0038 ₁₆			
0039 ₁₆			
003A ₁₆			
003B ₁₆			
003C ₁₆			
003D ₁₆			
003E ₁₆			
003F ₁₆			
0040 ₁₆	DRAM制御レジスタ	DRAMCONT	183
0041 ₁₆	DRAMリフレッシュ間隔設定レジスタ	REFCNT	185
0042 ₁₆			
0043 ₁₆			
0044 ₁₆			

空欄はすべて予約領域です。使用できません。

番地	レジスタ	シンボル	掲載ページ
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆	DMA0割り込み制御レジスタ	DM0IC	63
0069 ₁₆	タイマB5割り込み制御レジスタ	TB5IC	
006A ₁₆	DMA2割り込み制御レジスタ	DM2IC	
006B ₁₆	UART2受信/ACK割り込み制御レジスタ	S2RIC	
006C ₁₆	タイマA0割り込み制御レジスタ	TA0IC	
006D ₁₆	UART3受信/ACK割り込み制御レジスタ	S3RIC	
006E ₁₆	タイマA2割り込み制御レジスタ	TA2IC	
006F ₁₆	UART4受信/ACK割り込み制御レジスタ	S4RIC	
0070 ₁₆	タイマA4割り込み制御レジスタ	TA4IC	
0071 ₁₆	バス衝突検出(UART3)割り込み制御レジスタ	BCN3IC	
0072 ₁₆	UART0受信割り込み制御レジスタ	S0RIC	
0073 ₁₆	A/D変換割り込み制御レジスタ	ADIC	
0074 ₁₆	UART1受信割り込み制御レジスタ	S1RIC	
0075 ₁₆			
0076 ₁₆	タイマB1割り込み制御レジスタ	TB1IC	63
0077 ₁₆			
0078 ₁₆	タイマB3割り込み制御レジスタ	TB3IC	63
0079 ₁₆			
007A ₁₆	INT5割り込み制御レジスタ	INT5IC	63
007B ₁₆			
007C ₁₆	INT3割り込み制御レジスタ	INT3IC	63
007D ₁₆			
007E ₁₆	INT1割り込み制御レジスタ	INT1IC	63
007F ₁₆			
0080 ₁₆			
0081 ₁₆			
0082 ₁₆			
0083 ₁₆			
0084 ₁₆			
0085 ₁₆			
0086 ₁₆			
0087 ₁₆			
0088 ₁₆	DMA1割り込み制御レジスタ	DM1IC	63
0089 ₁₆	UART2送信/NACK割り込み制御レジスタ	S2TIC	
008A ₁₆	DMA3割り込み制御レジスタ	DM3IC	
008B ₁₆	UART3送信/NACK割り込み制御レジスタ	S3TIC	
008C ₁₆	タイマA1割り込み制御レジスタ	TA1IC	
008D ₁₆	UART4送信/NACK割り込み制御レジスタ	S4TIC	
008E ₁₆	タイマA3割り込み制御レジスタ	TA3IC	
008F ₁₆	バス衝突検出(UART2)割り込み制御レジスタ	BCN2IC	
0090 ₁₆	UART0送信割り込み制御レジスタ	S0TIC	
0091 ₁₆	バス衝突検出(UART4)割り込み制御レジスタ	BCN4IC	
0092 ₁₆	UART1送信割り込み制御レジスタ	S1TIC	
0093 ₁₆	キ - 入力割り込み制御レジスタ	KUPIC	
0094 ₁₆	タイマB0割り込み制御レジスタ	TB0IC	
0095 ₁₆			
0096 ₁₆	タイマB2割り込み制御レジスタ	TB2IC	63
0097 ₁₆			
0098 ₁₆	タイマB4割り込み制御レジスタ	TB4IC	63
0099 ₁₆			
009A ₁₆	INT4割り込み制御レジスタ	INT4IC	63
009B ₁₆			
009C ₁₆	INT2割り込み制御レジスタ	INT2IC	63
009D ₁₆			
009E ₁₆	INT0割り込み制御レジスタ	INT0IC	63
009F ₁₆	復帰用優先順位レジスタ	RLVL	49
00A0 ₁₆			
00A1 ₁₆			
00A2 ₁₆			
00A3 ₁₆			
00A4 ₁₆			

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
02C0 ₁₆ 02C1 ₁₆	X0レジスタ Y0レジスタ	X0R,Y0R	181
02C2 ₁₆ 02C3 ₁₆	X1レジスタ Y0レジスタ	X1R,Y1R	
02C4 ₁₆ 02C5 ₁₆	X2レジスタ Y2レジスタ	X2R,Y2R	
02C6 ₁₆ 02C7 ₁₆	X3レジスタ Y3レジスタ	X3R,Y3R	
02C8 ₁₆ 02C9 ₁₆	X4レジスタ Y4レジスタ	X4R,Y4R	
02CA ₁₆ 02CB ₁₆	X5レジスタ Y5レジスタ	X5R,Y5R	
02CC ₁₆ 02CD ₁₆	X6レジスタ Y6レジスタ	X6R,Y6R	
02CE ₁₆ 02CF ₁₆	X7レジスタ Y7レジスタ	X7R,Y7R	
02D0 ₁₆ 02D1 ₁₆	X8レジスタ Y8レジスタ	X8R,Y8R	
02D2 ₁₆ 02D3 ₁₆	X9レジスタ Y9レジスタ	X9R,Y9R	
02D4 ₁₆ 02D5 ₁₆	X10レジスタ Y10レジスタ	X10R,Y10R	
02D6 ₁₆ 02D7 ₁₆	X11レジスタ Y11レジスタ	X11R,Y11R	
02D8 ₁₆ 02D9 ₁₆	X12レジスタ Y12レジスタ	X12R,Y12R	
02DA ₁₆ 02DB ₁₆	X13レジスタ Y13レジスタ	X13R,Y13R	
02DC ₁₆ 02DD ₁₆	X14レジスタ Y14レジスタ	X14R,Y14R	
02DE ₁₆ 02DF ₁₆	X15レジスタ Y15レジスタ	X15R,Y15R	
02E0 ₁₆	XY制御レジスタ	XYC	180
02E1 ₁₆			
02E2 ₁₆			
02E3 ₁₆			
02E4 ₁₆			
02E5 ₁₆			
02E6 ₁₆			
02E7 ₁₆			
02E8 ₁₆			
02E9 ₁₆			
02EA ₁₆			
02EB ₁₆			
02EC ₁₆			
02ED ₁₆			
02EE ₁₆			
02EF ₁₆			
02F0 ₁₆			
02F1 ₁₆			
02F2 ₁₆			
02F3 ₁₆			
02F4 ₁₆			
02F5 ₁₆	UART4特殊モードレジスタ3	U4SMR3	136
02F6 ₁₆	UART4特殊モードレジスタ2	U4SMR2	135
02F7 ₁₆	UART4特殊モードレジスタ	U4SMR	134
02F8 ₁₆	UART4送受信モードレジスタ	U4MR	130
02F9 ₁₆	UART4転送速度レジスタ	U4BRG	129
02FA ₁₆	UART4送信バッファレジスタ	U4TB	
02FB ₁₆			
02FC ₁₆	UART4送受信制御レジスタ0	U4C0	132
02FD ₁₆	UART4送受信制御レジスタ1	U4C1	133
02FE ₁₆	UART4受信バッファレジスタ	U4RB	129
02FF ₁₆			

番地	レジスタ	シンボル	掲載ページ
0300 ₁₆ 0301 ₁₆	タイマB3,4,5カウント開始フラグ	TBSR	107
0302 ₁₆ 0303 ₁₆	タイマA1-1レジスタ	TA11	114
0304 ₁₆ 0305 ₁₆	タイマA2-1レジスタ	TA21	
0306 ₁₆ 0307 ₁₆	タイマA4-1レジスタ	TA41	
0308 ₁₆ 0309 ₁₆	三相PWM制御レジスタ0	INVC0	
030A ₁₆ 030B ₁₆	三相出力バッファレジスタ0	IDB0	113
030C ₁₆	三相出力バッファレジスタ1	IDB1	
030D ₁₆	短絡防止タイマ	DTT	
030E ₁₆ 030F ₁₆	タイマB2割り込み発生頻度設定カウンタ	ICTB2	
0310 ₁₆ 0311 ₁₆	タイマB3レジスタ	TB3	107
0312 ₁₆ 0313 ₁₆	タイマB4レジスタ	TB4	
0314 ₁₆ 0315 ₁₆	タイマB5レジスタ	TB5	
0316 ₁₆			
0317 ₁₆			
0318 ₁₆			
0319 ₁₆			
031A ₁₆			
031B ₁₆ 031C ₁₆	タイマB3モードレジスタ	TB3MR	106
031D ₁₆	タイマB4モードレジスタ	TB4MR	
031E ₁₆	タイマB5モードレジスタ	TB5MR	
031F ₁₆	割り込み要因選択レジスタ	IFSR	71
0320 ₁₆			
0321 ₁₆			
0322 ₁₆			
0323 ₁₆			
0324 ₁₆			
0325 ₁₆	UART3特殊モードレジスタ3	U3SMR3	136
0326 ₁₆	UART3特殊モードレジスタ2	U3SMR2	135
0327 ₁₆	UART3特殊モードレジスタ	U3SMR	134
0328 ₁₆	UART3送受信モードレジスタ	U3MR	130
0329 ₁₆	UART3転送速度レジスタ	U3BRG	129
032A ₁₆	UART3送信バッファレジスタ	U3TB	129
032B ₁₆			
032C ₁₆	UART3送受信制御レジスタ0	U3C0	132
032D ₁₆	UART3送受信制御レジスタ1	U3C1	133
032E ₁₆ 032F ₁₆	UART3受信バッファレジスタ	U3RB	129
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆			
0335 ₁₆	UART2特殊モードレジスタ3	U2SMR3	136
0336 ₁₆	UART2特殊モードレジスタ2	U2SMR2	135
0337 ₁₆	UART2特殊モードレジスタ	U2SMR	134
0338 ₁₆	UART2送受信モードレジスタ	U2MR	130
0339 ₁₆	UART2転送速度レジスタ	U2BRG	129
033A ₁₆	UART2送信バッファレジスタ	U2TB	
033B ₁₆			
033C ₁₆	UART2送受信制御レジスタ0	U2C0	131
033D ₁₆	UART2送受信制御レジスタ1	U2C1	133
033E ₁₆ 033F ₁₆	UART2受信バッファレジスタ	U2RB	129

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

番地	レジスタ	シンボル	掲載 ページ
0340 ₁₆	カウント開始フラグ	TABSR	95
0341 ₁₆	時計用プリスケアラリセットフラグ	CPSRF	96
0342 ₁₆	ワンショット開始フラグ	ONSF	
0343 ₁₆	トリガ選択レジスタ	TRGSR	
0344 ₁₆	アップダウンフラグ	UDF	95
0345 ₁₆			
0346 ₁₆	タイマA0レジスタ	TA0	95
0347 ₁₆			
0348 ₁₆	タイマA1レジスタ	TA1	
0349 ₁₆			
034A ₁₆	タイマA2レジスタ	TA2	
034B ₁₆			
034C ₁₆	タイマA3レジスタ	TA3	
034D ₁₆			
034E ₁₆	タイマA4レジスタ	TA4	
034F ₁₆			
0350 ₁₆	タイマB0レジスタ	TB0	107
0351 ₁₆			
0352 ₁₆	タイマB1レジスタ	TB1	
0353 ₁₆			
0354 ₁₆	タイマB2レジスタ	TB2	
0355 ₁₆			
0356 ₁₆	タイマA0モ - ドレジスタ	TA0MR	94
0357 ₁₆	タイマA1モ - ドレジスタ	TA1MR	
0358 ₁₆	タイマA2モ - ドレジスタ	TA2MR	
0359 ₁₆	タイマA3モ - ドレジスタ	TA3MR	
035A ₁₆	タイマA4モ - ドレジスタ	TA4MR	
035B ₁₆	タイマB0モ - ドレジスタ	TB0MR	106
035C ₁₆	タイマB1モ - ドレジスタ	TB1MR	
035D ₁₆	タイマB2モ - ドレジスタ	TB2MR	
035E ₁₆			
035F ₁₆			
0360 ₁₆	UART0送受信モ - ドレジスタ	U0MR	130
0361 ₁₆	UART0転送速度レジスタ	U0BRG	129
0362 ₁₆	UART0送信バッファレジスタ	U0TB	
0363 ₁₆			
0364 ₁₆	UART0送受信制御レジスタ0	U0C0	131
0365 ₁₆	UART0送受信制御レジスタ1	U0C1	133
0366 ₁₆	UART0受信バッファレジスタ	U0RB	129
0367 ₁₆			
0368 ₁₆	UART1送受信モ - ドレジスタ	U1MR	130
0369 ₁₆	UART1転送速度レジスタ	U1BRG	129
036A ₁₆	UART1送信バッファレジスタ	U1TB	
036B ₁₆			
036C ₁₆	UART1送受信制御レジスタ0	U1C0	131
036D ₁₆	UART1送受信制御レジスタ1	U1C1	133
036E ₁₆	UART1受信バッファレジスタ	U1RB	129
036F ₁₆			
0370 ₁₆	UART送受信制御レジスタ2	UCON	134
0371 ₁₆			
0372 ₁₆			
0373 ₁₆			
0374 ₁₆			
0375 ₁₆			
0376 ₁₆	フラッシュメモリ制御レジスタ1	FMR1	275
0377 ₁₆	フラッシュメモリ制御レジスタ0	FMR0	
0378 ₁₆	DMA0要因選択レジスタ	DM0SL	82
0379 ₁₆	DMA1要因選択レジスタ	DM1SL	82
037A ₁₆	DMA2要因選択レジスタ	DM2SL	
037B ₁₆	DMA3要因選択レジスタ	DM3SL	
037C ₁₆	CRCデータレジスタ	CRC D	178
037D ₁₆			
037E ₁₆	CRCインプットレジスタ	CRCIN	
037F ₁₆			

番地	レジスタ	シンボル	掲載 ページ
0380 ₁₆	A/Dレジスタ0	AD0	169
0381 ₁₆			
0382 ₁₆	A/Dレジスタ1	AD1	
0383 ₁₆			
0384 ₁₆	A/Dレジスタ2	AD2	
0385 ₁₆			
0386 ₁₆	A/Dレジスタ3	AD3	
0387 ₁₆			
0388 ₁₆	A/Dレジスタ4	AD4	
0389 ₁₆			
038A ₁₆	A/Dレジスタ5	AD5	
038B ₁₆			
038C ₁₆	A/Dレジスタ6	AD6	
038D ₁₆			
038E ₁₆	A/Dレジスタ7	AD7	
038F ₁₆			
0390 ₁₆			
0391 ₁₆			
0392 ₁₆			
0393 ₁₆			
0394 ₁₆	A/D制御レジスタ2	ADCON2	169
0395 ₁₆			
0396 ₁₆	A/D制御レジスタ0	ADCON0	168
0397 ₁₆	A/D制御レジスタ1	ADCON1	
0398 ₁₆	D/Aレジスタ0	DA0	177
0399 ₁₆			
039A ₁₆	D/Aレジスタ1	DA1	177
039B ₁₆			
039C ₁₆	D/A制御レジスタ	DA CON	177
039D ₁₆			
039E ₁₆			
039F ₁₆			
03A0 ₁₆			
03A1 ₁₆			
03A2 ₁₆			
03A3 ₁₆			
03A4 ₁₆			
03A5 ₁₆			
03A6 ₁₆			
03A7 ₁₆			
03A8 ₁₆			
03A9 ₁₆			
03AA ₁₆			
03AB ₁₆			
03AC ₁₆			
03AD ₁₆			
03AE ₁₆			
03AF ₁₆	機能選択レジスタC	PSC	203
03B0 ₁₆	機能選択レジスタA0	PS0	200
03B1 ₁₆	機能選択レジスタA1	PS1	
03B2 ₁₆	機能選択レジスタB0	PSL0	202
03B3 ₁₆	機能選択レジスタB1	PSL1	
03B4 ₁₆	機能選択レジスタA2	PS2	201
03B5 ₁₆	機能選択レジスタA3	PS3	
03B6 ₁₆	機能選択レジスタB2	PSL2	202
03B7 ₁₆	機能選択レジスタB3	PSL3	203
03B8 ₁₆			
03B9 ₁₆			
03BA ₁₆			
03BB ₁₆			
03BC ₁₆			
03BD ₁₆			
03BE ₁₆			
03BF ₁₆			

空欄はすべて予約領域です。使用できません。

番地別ページ早見表

< 100ピン版 >

番地	レジスタ	シンボル	掲載ページ
03C0 ₁₆	ポートP6(P6)	P6	197
03C1 ₁₆	ポートP7(P7)	P7	
03C2 ₁₆	ポートP6方向レジスタ(PD6)	PD6	195
03C3 ₁₆	ポートP7方向レジスタ(PD7)	PD7	
03C4 ₁₆	ポートP8(P8)	P8	197
03C5 ₁₆	ポートP9(P9)	P9	
03C6 ₁₆	ポートP8方向レジスタ(PD8)	PD8	195
03C7 ₁₆	ポートP9方向レジスタ(PD9)	PD9	
03C8 ₁₆	ポートP10(P10)	P10	197
03C9 ₁₆			
03CA ₁₆	ポートP10方向レジスタ(PD10)	PD10	195
03CB ₁₆			
03CC ₁₆			
03CD ₁₆			
03CE ₁₆			
03CF ₁₆			
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆			
03D3 ₁₆			
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆	プルアップ制御レジスタ 2 (PUR2)	PUR2	204
03DB ₁₆	プルアップ制御レジスタ 3 (PUR3)	PUR3	205
03DC ₁₆			
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0(P0)	P0	197
03E1 ₁₆	ポートP1(P1)	P1	
03E2 ₁₆	ポートP0方向レジスタ(PD0)	PD0	195
03E3 ₁₆	ポートP1方向レジスタ(PD1)	PD1	
03E4 ₁₆	ポートP2(P2)	P2	197
03E5 ₁₆	ポートP3(P3)	P3	
03E6 ₁₆	ポートP2方向レジスタ(PD2)	PD2	195
03E7 ₁₆	ポートP3方向レジスタ(PD3)	PD3	
03E8 ₁₆	ポートP4(P4)	P4	197
03E9 ₁₆	ポートP5(P5)	P5	
03EA ₁₆	ポートP4方向レジスタ(PD4)	PD4	195
03EB ₁₆	ポートP5方向レジスタ(PD5)	PD5	
03EC ₁₆			
03ED ₁₆			
03EE ₁₆			
03EF ₁₆			
03F0 ₁₆	プルアップ制御レジスタ0(PUR0)	PUR0	204
03F1 ₁₆	プルアップ制御レジスタ1(PUR1)	PUR1	
03F2 ₁₆			
03F3 ₁₆			
03FC ₁₆			
03FD ₁₆			
03FE ₁₆			
03FF ₁₆	ポート制御レジスタ(PCR)	PCR	206

< 144ピン版 >

番地	レジスタ	シンボル	掲載ページ
03C0 ₁₆	ポートP6(P6)	P6	197
03C1 ₁₆	ポートP7(P7)	P7	
03C2 ₁₆	ポートP6方向レジスタ(PD6)	PD6	195
03C3 ₁₆	ポートP7方向レジスタ(PD7)	PD7	
03C4 ₁₆	ポートP8(P8)	P8	197
03C5 ₁₆	ポートP9(P9)	P9	
03C6 ₁₆	ポートP8方向レジスタ(PD8)	PD8	195
03C7 ₁₆	ポートP9方向レジスタ(PD9)	PD9	
03C8 ₁₆	ポートP10(P10)	P10	197
03C9 ₁₆	ポートP11(P11)	P11	
03CA ₁₆	ポートP10方向レジスタ(PD10)	PD10	195
03CB ₁₆	ポートP11方向レジスタ(PD11)	PD11	196
03CC ₁₆	ポートP12(P12)	P12	197
03CD ₁₆	ポートP13(P13)	P13	
03CE ₁₆	ポートP12方向レジスタ(PD12)	PD12	195
03CF ₁₆	ポートP13方向レジスタ(PD13)	PD13	
03D0 ₁₆	ポートP14(P14)	P14	198
03D1 ₁₆	ポートP15(P15)	P15	
03D2 ₁₆	ポートP14方向レジスタ(PD14)	PD14	196
03D3 ₁₆	ポートP15方向レジスタ(PD15)	PD15	
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆	プルアップ制御レジスタ2(PUR2)	PUR2	204
03DB ₁₆	プルアップ制御レジスタ3(PUR3)	PUR3	205
03DC ₁₆	プルアップ制御レジスタ4(PUR4)	PUR4	
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			
03E0 ₁₆	ポートP0(P0)	P0	197
03E1 ₁₆	ポートP1(P1)	P1	
03E2 ₁₆	ポートP0方向レジスタ(PD0)	PD0	195
03E3 ₁₆	ポートP1方向レジスタ(PD1)	PD1	
03E4 ₁₆	ポートP2(P2)	P2	197
03E5 ₁₆	ポートP3(P3)	P3	
03E6 ₁₆	ポートP2方向レジスタ(PD2)	PD2	195
03E7 ₁₆	ポートP3方向レジスタ(PD3)	PD3	
03E8 ₁₆	ポートP4(P4)	P4	197
03E9 ₁₆	ポートP5(P5)	P5	
03EA ₁₆	ポートP4方向レジスタ(PD4)	PD4	195
03EB ₁₆	ポートP5方向レジスタ(PD5)	PD5	
03EC ₁₆			
03ED ₁₆			
03EE ₁₆			
03EF ₁₆			
03F0 ₁₆	プルアップ制御レジスタ0(PUR0)	PUR0	204
03F1 ₁₆	プルアップ制御レジスタ1(PUR1)	PUR1	
03F2 ₁₆			
03F3 ₁₆			
03FC ₁₆			
03FD ₁₆			
03FE ₁₆			
03FF ₁₆	ポート制御レジスタ(PCR)	PCR	206

空欄はすべて予約領域です。使用できません。

1. 概要

M16C/80グループは高性能シリコンゲートCMOSプロセスを採用し、M16C/80シリーズCPUコアを搭載したシングルチップマイクロコンピュータです。M16C/80グループには100ピン版、144ピン版があり、ピン数の違いを除いて周辺機能は共通です。100ピン版は100ピンプラスチックモールドQFP、144ピン版は144ピンプラスチックモールドQFPに収められています。このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、16Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器やDMACを内蔵しており、高速な演算処理が必要なOA、通信機器、産業機器の制御に適したマイクロコンピュータです。

1.1 特長

メモリ容量	ROM ROM展開の図を参照してください。 RAM 10K ~ 24Kバイト
最短命令実行時間	50ns(f(XIN)=20MHz時)
電源電圧	4.2V ~ 5.5V(f(XIN)=20MHz時 :マスクROM版、ROM外付け版、フラッシュメモリ版) 2.7V ~ 5.5V(f(XIN)=10MHz時 :マスクROM版、ROM外付け版、フラッシュメモリ版)
低消費電流	45mA(M30800MC-XXXFP) 測定条件: 5V、f(XIN)=20MHz時、ウエイトなし
割り込み	内部29要因、外部8要因、ソフトウェア5要因、7レベル (キー入力割り込みを含む)
多機能16ビットタイマ	出力系5本 + 入力系6本
シリアルI/O	UART/クロック 同期5本
DMAC	4チャンネル(スタート条件:31要因)
DRAMC	EDO、FP対応、CASビフォアRASリフレッシュ、セルフリフレッシュ
A/D コンバータ	10ビット×8チャンネル(最大10チャンネルまで拡張可)
D/A コンバータ	8ビット×2チャンネル
CRC 演算回路	1回路
XY変換回路	1回路
ウォッチドッグタイマ	1本
プログラマブル入出力	87本(100ピン版)、123本(144ピン版)
入力ポート	1本(P85、 $\overline{\text{NMI}}$ 端子と兼用)
メモリ拡張	可能(16Mバイト)
チップセレクト出力	4本
クロック発生回路	2回路内蔵(帰還抵抗内蔵、セラミック共振子、または水晶発振子外付け)

1.2 応用

オーディオ、カメラ、事務機器、通信機器、携帯機器、他

1.3 ピン接続図

図1.1 図1.2に100ピン版のピン接続図(上面図)を、図1.3に144ピン版のピン接続図(上面図)を示します。

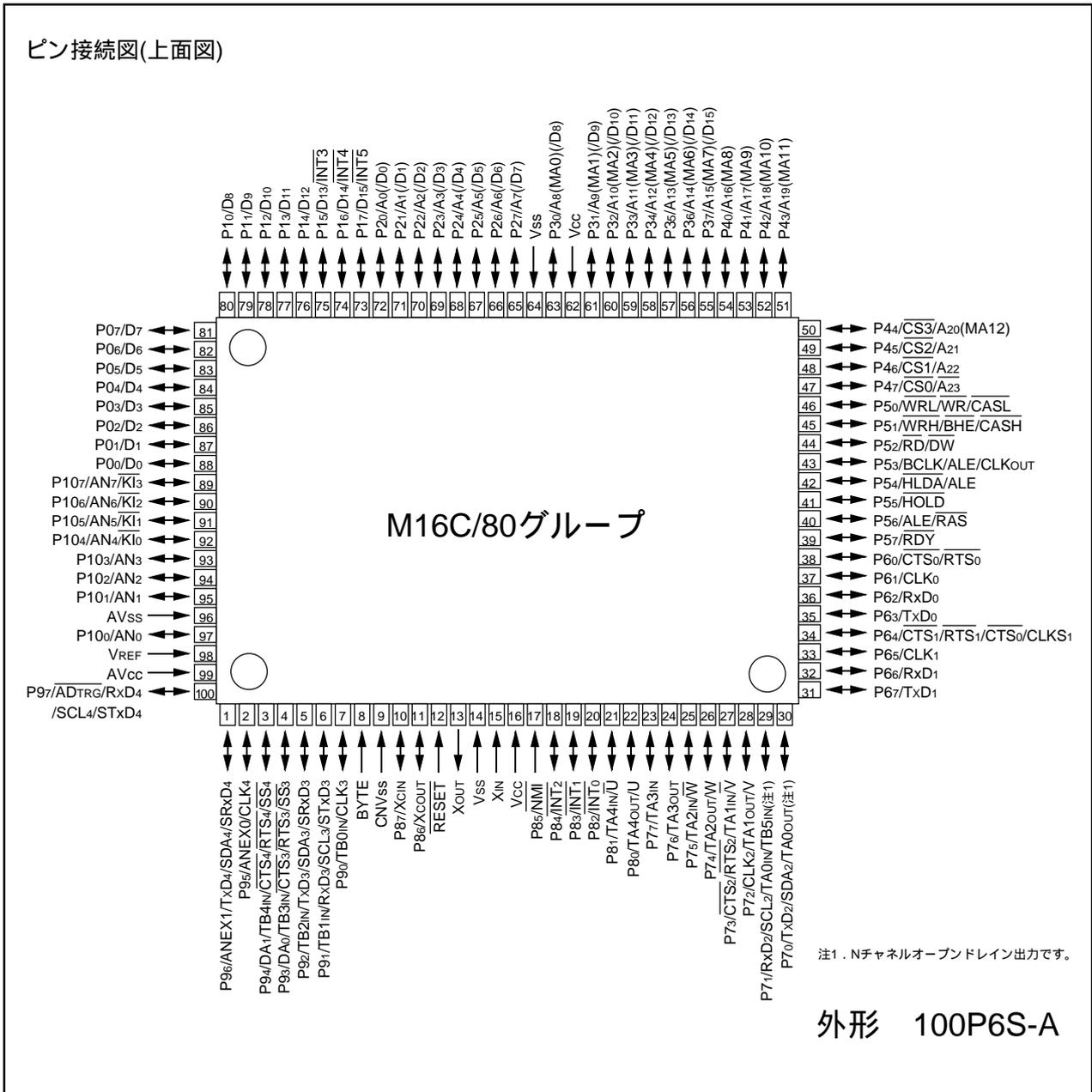


図1.1 100ピンの版ピン接続図(上面図)(1)

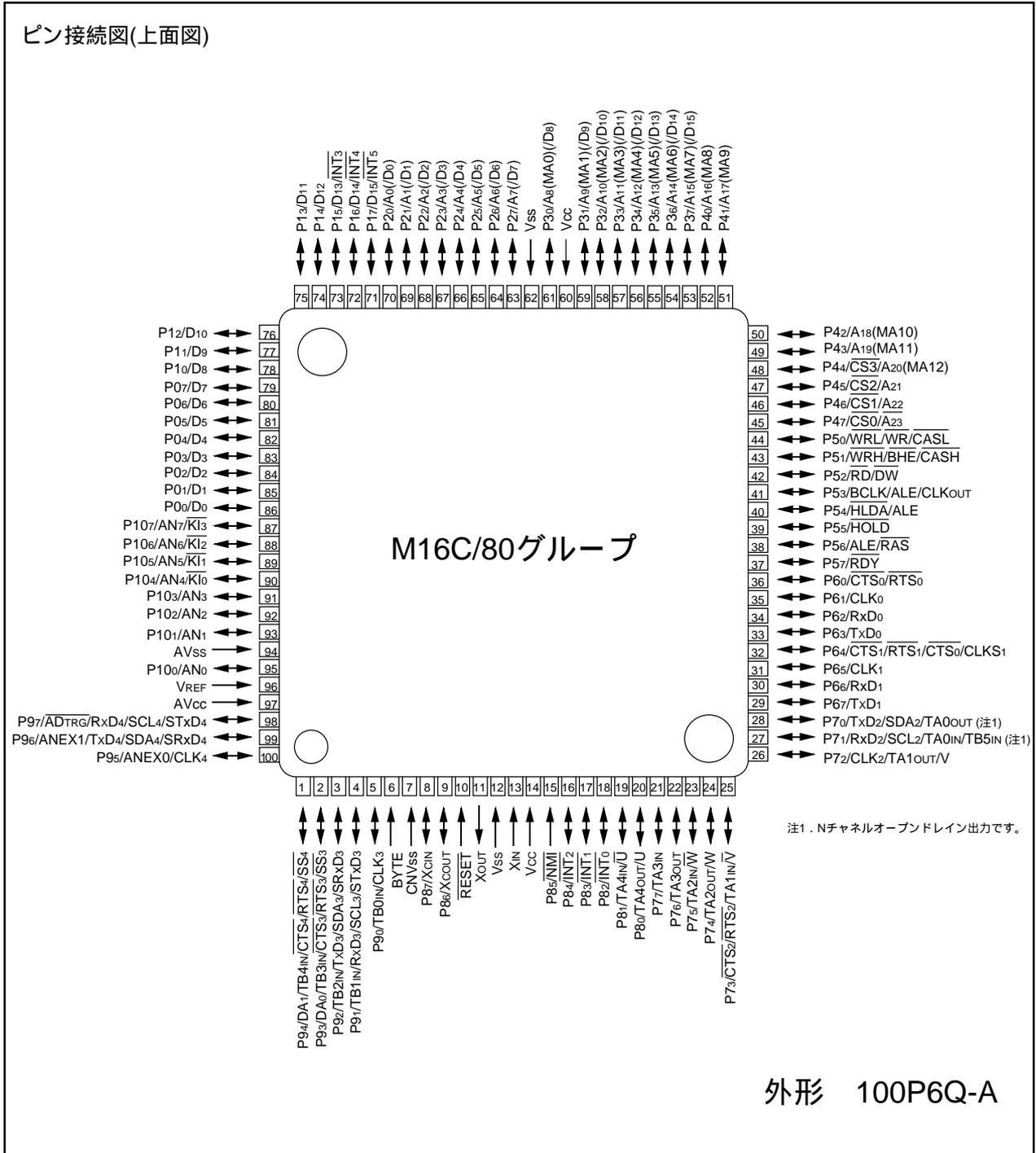


図1.2 100ピンの版ピン接続図(上面図)(2)

1.4 ブロック図

図1.4にM16C/80グループのブロック図を示します。

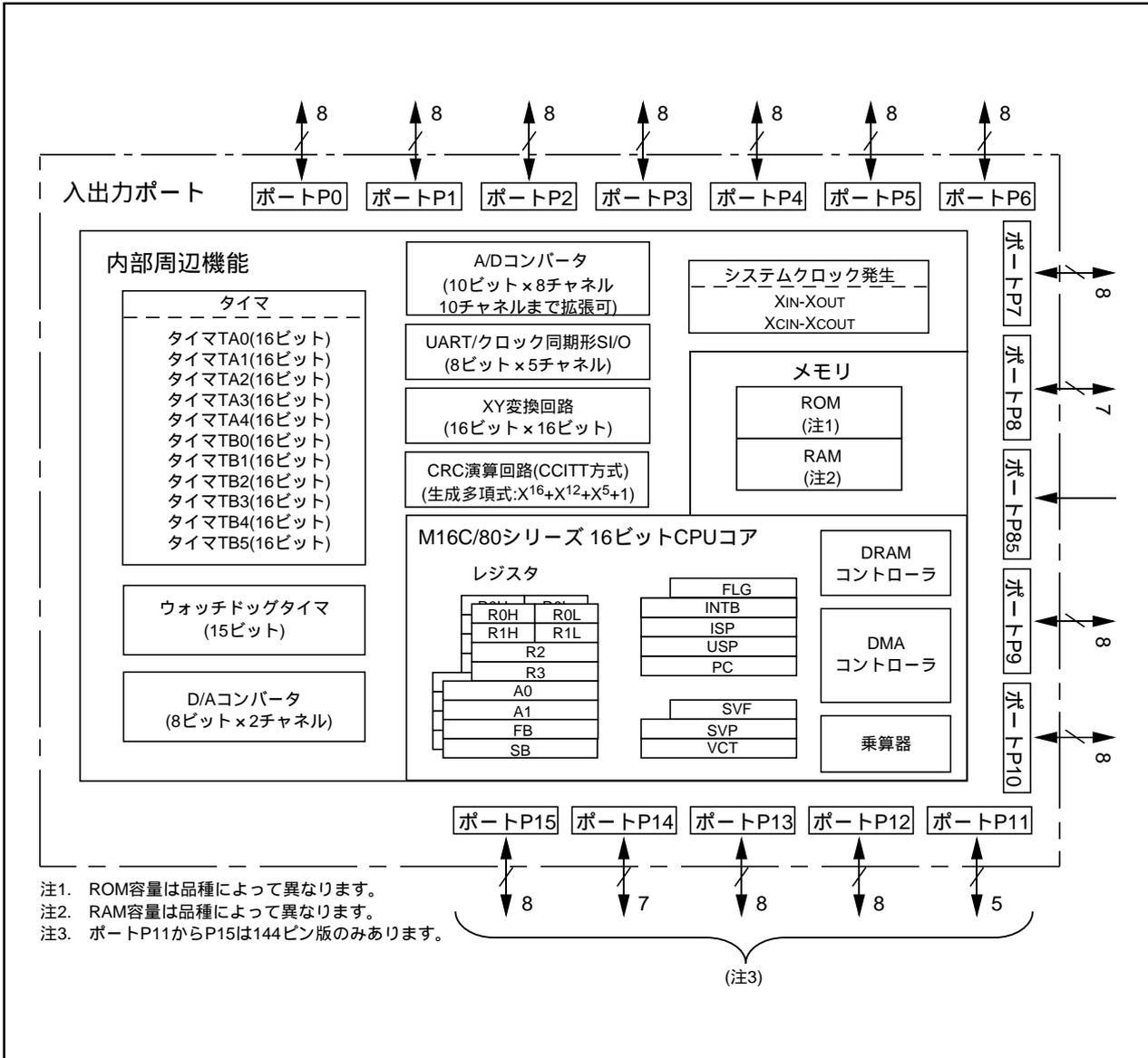


図1.4 M16C/80グループのブロック図

1.5 性能概要

表1.1にM16C/80グループの性能概要を示します。

表1.1 M16C/80グループの性能概要

項 目		性 能
基本命令数		106命令
最短命令実行時間		50ns($f(XIN)=20MHz$ 時)
メモリ容量	ROM	ROMの展開図を参照してください
	RAM	10Kバイト～24Kバイト
入出力ポート	100ピン版	P0～P10(ただしP85は除く) 8ビット×10、7ビット×1
	144ピン版	P0～P15(ただしP85は除く) 8ビット×13、7ビット×2、5ビット×1
入力ポート	P85	1ビット×1
多機能タイマ	TA0,TA1,TA2,TA3,TA4	16ビット×5
	TB0,TB1,TB2,TB3,TB4,TB5	16ビット×6
シリアルI/O	UART0,UART1,UART2 UART3,UART4	(UARTまたはクロック同期形)×5
A/Dコンバータ		10ビット×(8+2)チャンネル
D/Aコンバータ		8ビット×2
DMAC		4チャンネル
DRAMコントローラ		CASビフォアRASリフレッシュ、セルフリフレッシュ、EDO、FP対応
CRC演算回路		CRC-CCITT方式
XY変換回路		16ビット×16ビット
ウォッチドッグタイマ		15ビット×1(プリスケラ付)
割り込み		内部29要因、外部8要因、ソフトウェア5要因、7レベル
クロック発生回路		2回路内蔵 (帰還抵抗内蔵、セラミック共振子、または水晶共振子外付け)
電源電圧		4.2V～5.5V($f(XIN)=20MHz$ 時:マスクROM版、ROM外付け版、フラッシュメモリ版) 2.7V～5.5V($f(XIN)=10MHz$ 時:マスクROM版、ROM外付け版、フラッシュメモリ版)
消費電流		45mA(5V、 $f(XIN)=20MHz$ 、ノーウエイト時:マスクROM128KB版)
入出力特性	入出力耐電圧	5V
	出力電流	5mA
メモリ拡張		可能(16Mバイト)
動作周囲温度		-40～85
素子構造		CMOS高性能シリコンゲート
パッケージ		100ピンプラスチックモールドQFP(100ピン版) 144ピンプラスチックモールドQFP(144ピン版)

M16C/80グループでは次のような展開を計画しています。

(1)マスクROM版、ROM外付け版、フラッシュメモリ版のサポート

(2)ROM容量

(3)パッケージ

100P6S-A プラスチックモールドQFP(100ピンマスクROM版、フラッシュメモリ版)

100P6Q-A プラスチックモールドQFP(100ピンマスクROM版、フラッシュメモリ版)

144P6Q-A プラスチックモールドQFP(144ピンマスクROM版、フラッシュメモリ版)

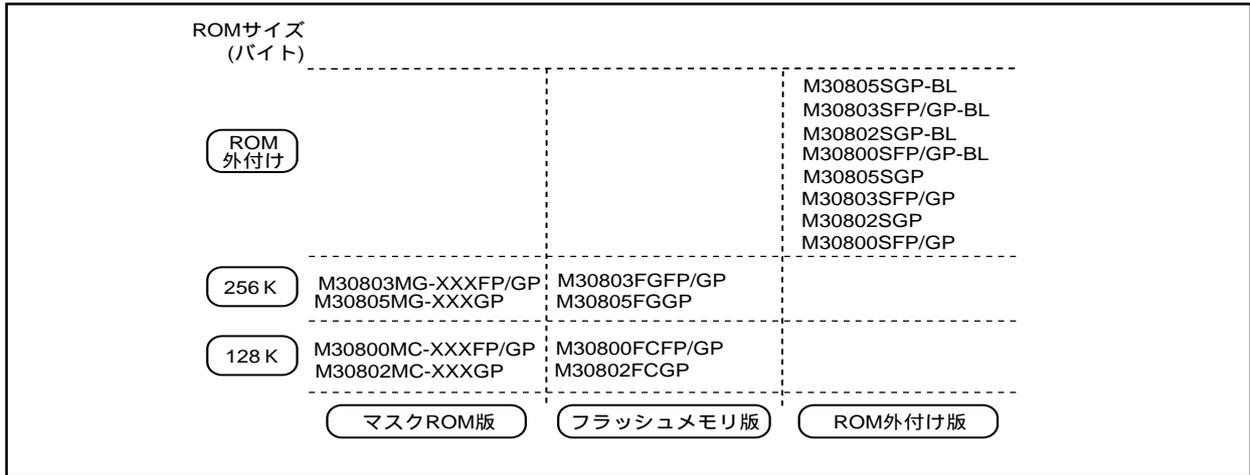


図1.5 ROM展開

サポートを行う予定の製品を以下に示します。

表1.2 製品一覧表

形名	ROM容量	RAM容量	パッケージ	備考
M30800MC-XXXFP	128Kバイト	10Kバイト	100P6S-A	マスクROM版
M30800MC-XXXGP			100P6Q-A	
M30802MC-XXXGP			144P6Q-A	
M30803MG-XXXFP	256Kバイト	20Kバイト	100P6S-A	
M30803MG-XXXGP			100P6Q-A	
M30805MG-XXXGP			144P6Q-A	
M30800FCFP	128Kバイト	10Kバイト	100P6S-A	フラッシュメモリ版
M30800FCGP			100P6Q-A	
M30802FCGP			144P6Q-A	
M30803FGFP	256Kバイト	20Kバイト	100P6S-A	
M30803FGGP			100P6Q-A	
M30805FGGP			144P6Q-A	
M30800SFP	—	10Kバイト	100P6S-A	ROM外付け版
M30800SGP			100P6Q-A	
M30802SGP			144P6Q-A	
M30803SFP	—	24Kバイト	100P6S-A	
M30803SGP			100P6Q-A	
M30805SGP			144P6Q-A	
M30800SFP-BL	—	10Kバイト	100P6S-A	ブートローダ内蔵ROM外付け版
M30800SGP-BL			100P6Q-A	
M30802SGP-BL			144P6Q-A	
M30803SFP-BL	—	24Kバイト	100P6S-A	
M30803SGP-BL			100P6Q-A	
M30805SGP-BL			144P6Q-A	

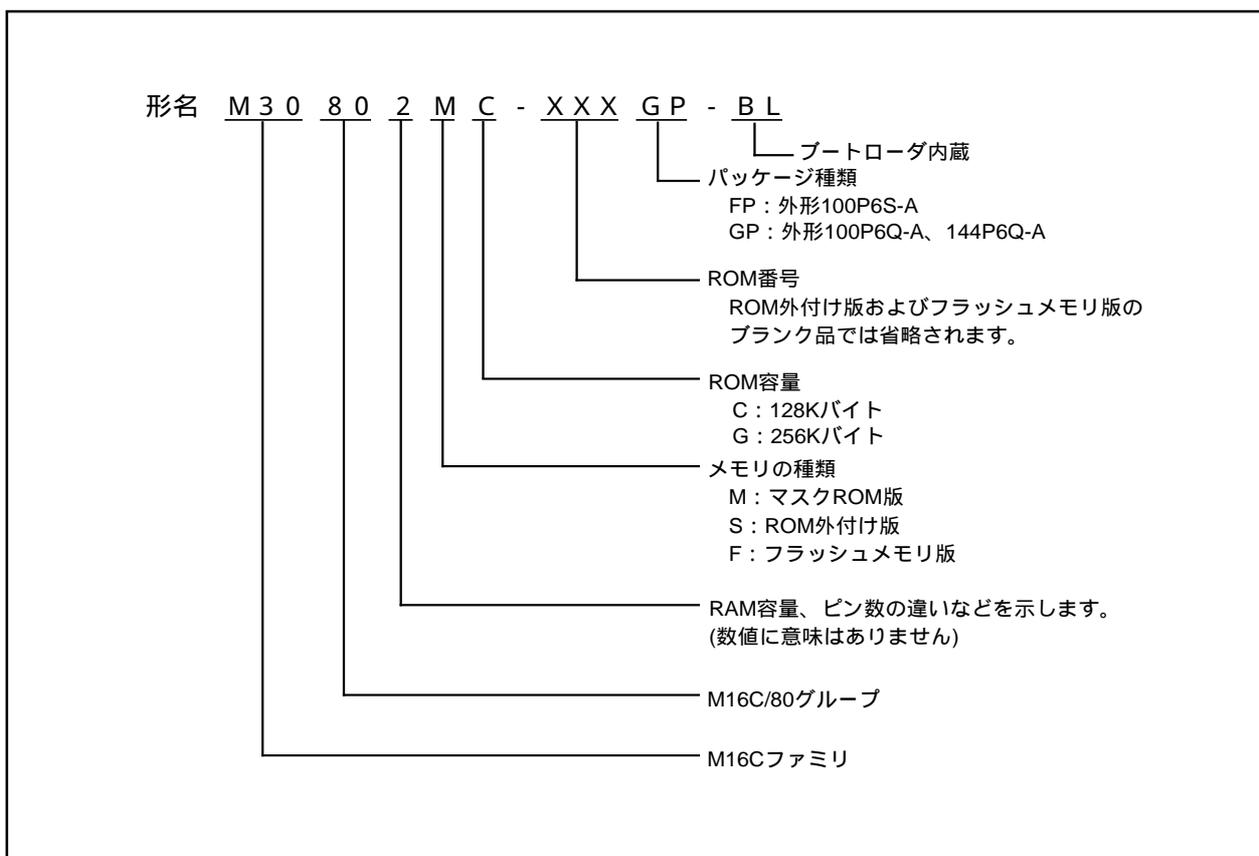


図1.6 形名とメモリサイズ・パッケージ

1.6 端子の機能説明

端子名	名称	入出力	機能
VCC, VSS	電源入力		VCC端子には、4.2(2.7)V ~ 5.5Vを印加してください。VSS端子には、0Vを印加してください。
CNVSS	CNVSS	入力	プロセッサモードを切り替えるための端子です。リセット解除後、シングルチップモード(メモリ拡張モード)で動作を開始する場合VSSに、マイクロプロセッサモードで動作を開始する場合VCCに接続してください。
RESET	リセット入力	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
XIN XOUT	クロック入力 クロック出力	入力 出力	メインクロック発振回路の入出力端子です。XIN端子とXOUT端子の間にはセラミック共振子、または水晶共振子を接続してください。外部で生成したクロックを入力する場合は、XIN端子からクロックを入力し、XOUTは開放にしてください。
BYTE	外部データバス幅 切り替え入力	入力	外部領域3のデータバス幅を切り替えるための端子です。この端子のレベルが“L”のとき16ビット幅、“H”のとき8ビット幅になります。どちらかのレベルに固定してください。外部バスを使用しない場合は、VSSに接続してください。
AVCC	アナログ電源入力		A/Dコンバータの電源入力端子です。VCCに接続してください。
AVSS	アナログ電源入力		A/Dコンバータの電源入力端子です。VSSに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧入力端子です。
P00 ~ P07	入出力ポートP0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力、または出力ポートに設定できます。シングルチップモード時の入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を設定できます。メモリ拡張モード、マイクロプロセッサモードでは内蔵プルアップ抵抗は選択できません。ただし、設定により入出力ポートとして使用できるポートは、プルアップ抵抗有無の設定ができます。
D0 ~ D7		入出力	セバレートバス設定時データ(D0 ~ D7)の入出力を行います。
P10 ~ P17	入出力ポートP1	入出力	P0と同等の機能を持つ8ビット入出力ポートです。P15 ~ P17はソフトウェアで選択することによって、外部割り込み端子として機能します。
D8 ~ D15		入出力	セバレートバス設定時データ(D8 ~ D15)の入出力を行います。
P20 ~ P27	入出力ポートP2	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A0 ~ A7		出力	アドレスの下位8ビット(A0 ~ A7)の出力を行います。
A0/D0 ~ A7/D7		入出力	マルチプレクスバス設定時、データ(D0 ~ D7)の入出力と、アドレスの下位8ビット(A0 ~ A7)の出力を時分割で行います。
P30 ~ P37	入出力ポートP3	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A8 ~ A15		出力	アドレスの中位8ビット(A8 ~ A15)の出力を行います。
A8/D8 ~ A15/D15		入出力	外部データバス幅が16ビットでマルチプレクスバス設定時、データ(D8 ~ D15)の入出力と、アドレスの中位8ビット(A8 ~ A15)の出力を時分割で行います。
MA0 ~ MA7		出力	DRAM領域へのアクセス時、行アドレスと列アドレスの出力を時分割で行います。

端子の機能説明

端子名	名称	入出力	機能
P40 ~ P47	入出力ポート P4	入出力	P0と同等の機能を持つ8ビット入出力ポートです。
A16 ~ A22、 A23		出力	アドレスの上位8ビット(A16 ~ A22、A23)を出力します。 アドレスの最上位ビット(A23)は反転して出力します。
CS0 ~ CS3		出力	CS0 ~ CS3信号を出力します。CS0 ~ CS3はチップセレクト信号でアクセス空間の指定に使用します。
MA8 ~ MA12		出力	DRAM領域へのアクセス時、行アドレスと列アドレスの出力を時分割で行います。
P50 ~ P57	入出力ポート P5	入出力	P0と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、P53からXINの8分周、32分周または、XCINと同じ周期をもつクロックを出力します。
WRL/WR、 WRH/BHE、 RD、 BCLK、 HLDA、 HOLD、 ALE、 RDY		出力 出力 出力 出力 入力 出力 入力	WRL、WRH、(WR、BHE)、RD、BCLK、HLDA、ALE信号を出力します。なお、ソフトウェアによってWRL、WRHまたは、BHE、WRを切り替えることができます。 WRL、WRH、RD選択時 外部データバス幅が16ビットの場合、WRL信号が“L”レベルのとき偶数番地に、WRH信号が“L”レベルのときは奇数番地に書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。 WR、BHE、RD選択時 WR信号が“L”レベルのとき書き込みを行います。RD信号が“L”レベルのとき読み出しを行います。BHE信号が“L”レベルのとき奇数番地をアクセスします。外部データバス幅が8ビットのときは、このモードを使用してください。 HOLD端子の入力レベルが“L”の期間、マイクロコンピュータはホールド状態になります。ホールド状態の期間、HLDAは“L”レベルを出力します。ALEはアドレスをラッチするための信号です。RDY端子の入力レベルが“L”の期間、マイクロコンピュータのバスはウエイト状態になります。
DW		出力	DRAM領域へのアクセス時、DW信号が“L”レベルのときDRAMへ書き込みを行います。
CASL		出力	CASL、CASH信号は列アドレスをラッチするタイミングを示す出力です。CASLは偶数番地、CASHは奇数番地アクセス時に“L”になります。
CASH		出力	CASLは偶数番地、CASHは奇数番地アクセス時に“L”になります。
RAS	出力	RAS信号は行アドレスをラッチするタイミングを示す出力です。	
P60 ~ P67	入出力ポート P6	入出力	P0と同等の機能を持つ8ビット入出力ポートです。シングルチップモード、マイクロプロセッサモード、メモリ拡張モードの入力ポートでは、ソフトウェアにて4ビット単位でプルアップ抵抗の有無を選択できます。ソフトウェアで選択することによって、UART0、UART1の入出力端子として機能します。
P70 ~ P77	入出力ポート P7	入出力	P6と同等の機能を持つ8ビット入出力ポートです(ただし、P70およびP71はNチャンネルオープンドレイン出力)。ソフトウェアで選択することによって、タイマA0 ~ A3、タイマB5またはUART2の入出力端子として機能します。
P80 ~ P84、 P86、 P87、 P85	入出力ポート P8 入力ポート P85	入出力 入出力 入出力 入力	P80 ~ P84、P86、P87はP6と同等の機能を持つ入出力ポートです。ソフトウェアで選択することによって、タイマA4の入出力端子、外部割り込みの入力端子として機能します。P86、P87はソフトウェアで選択することによってサブクロック発振回路の入出力端子として機能します。この場合、P86(XCOUT端子)とP87(XCIN端子)の間には水晶発振子を接続してください。P85はNMIと兼用の入力専用のポートです。この端子の入力が“H”レベルから“L”レベルに変化したときNMI割り込みが発生します。NMIの機能はソフトウェアで解除することはできません。この端子には、プルアップ抵抗は設定できません。

端子の機能説明

端子名	名称	入出力	機能
P90～P97	入出力ポート P9	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによって、UART3, 4の入出力端子、タイマB0～B4の入力端子、D/Aコンバータの出力端子、およびA/Dコンバータの拡張入力端子、A/Dトリガ入力端子として機能します。
P100～P107	入出力ポート P10	入出力	P6と同等の機能を持つ8ビット入出力ポートです。ソフトウェアで選択することによってA/Dコンバータの入力端子として機能します。また、P104～P107はキー入力割り込み機能の入力端子としても機能します。
P110～P114 (注1)	入出力ポートP11	入出力	P6と同等の機能を持つ5ビット入出力ポートです。
P120～P127 (注1)	入出力ポートP12	入出力	P6と同等の機能を持つ8ビット入出力ポートです。
P130～P137 (注1)	入出力ポートP13	入出力	P6と同等の機能を持つ8ビット入出力ポートです。
P140～P146 (注1)	入出力ポートP14	入出力	P6と同等の機能を持つ7ビット入出力ポートです。
P150～P157 (注1)	入出力ポートP15	入出力	P6と同等の機能を持つ8ビット入出力ポートです。

注1．P11～P15は144ピン版のみあります。

機能ブロック動作説明

M16C/80グループは、次のような装置をシングルチップ内に収めています。命令またはデータを記憶するためのメモリであるROMとRAM、演算を実行するための中央演算処理装置、そして、タイマ、シリアルI/O、D/Aコンバータ、DMAC、CRC演算回路、A/Dコンバータ、DRAMコントローラ、入出力ポートなどの周辺装置です。

次に各装置について説明します。

2. メモリ

メモリ配置図を図2.1に示します。アドレス空間は000000₁₆番地からFFFFFF₁₆番地までの16Mバイトあります。

FFFFFF₁₆番地から番地の小さい方向にROMが配置されています。例えばM30802MC-XXXGPでは、FE0000₁₆番地からFFFFFF₁₆番地まで128Kバイトの内部ROMが配置されています。

FFFDC₁₆番地からFFFFFF₁₆番地はリセットおよびNMIなどの固定割り込みベクタテーブルの番地で、ここに割り込みルーチンの先頭アドレスを格納します。また、タイマ割り込みなどのベクタテーブルの番地は、内部レジスタ(INTB)により任意に設定することができます。詳細は割り込みの項を参照してください。

000400₁₆番地から番地の大きい方向にRAMが配置されています。例えばM30802MC-XXXGPでは、000400₁₆番地から002BFF₁₆番地まで10Kバイトの内部RAMが配置されています。RAMはデータ格納以外にサブルーチン呼び出しや、割り込み時のスタックとしても使用します。

000000₁₆番地から0003FF₁₆番地は入出力ポート、A/Dコンバータ、シリアルI/O、タイマなどの周辺装置の制御レジスタが割り付けられているSFR領域です。図5.1～図5.4に周辺装置制御レジスタの配置を示します。SFR領域のうち何も配置されていない領域はすべて予約領域となっており、使用することができません。

FFFE00₁₆番地からFFFDFB₁₆番地はスペシャルページベクタテーブルで、ここにサブルーチンの先頭番地またはジャンプ先の番地を格納すれば、サブルーチンコール命令やジャンプ命令を2バイトで使用でき、プログラムステップ数の節減に役立ちます。

メモリ拡張モード時またはマイクロプロセッサモード時、一部の領域は内部予約領域となっており使用できません。例えばM30802MC-XXXGPでは、次の領域は使用できません。

- ・ 002C00₁₆番地から008000₁₆番地(メモリ拡張モード時およびマイクロプロセッサモード時)
- ・ F00000₁₆番地からFDFFFF₁₆番地(メモリ拡張モード時)

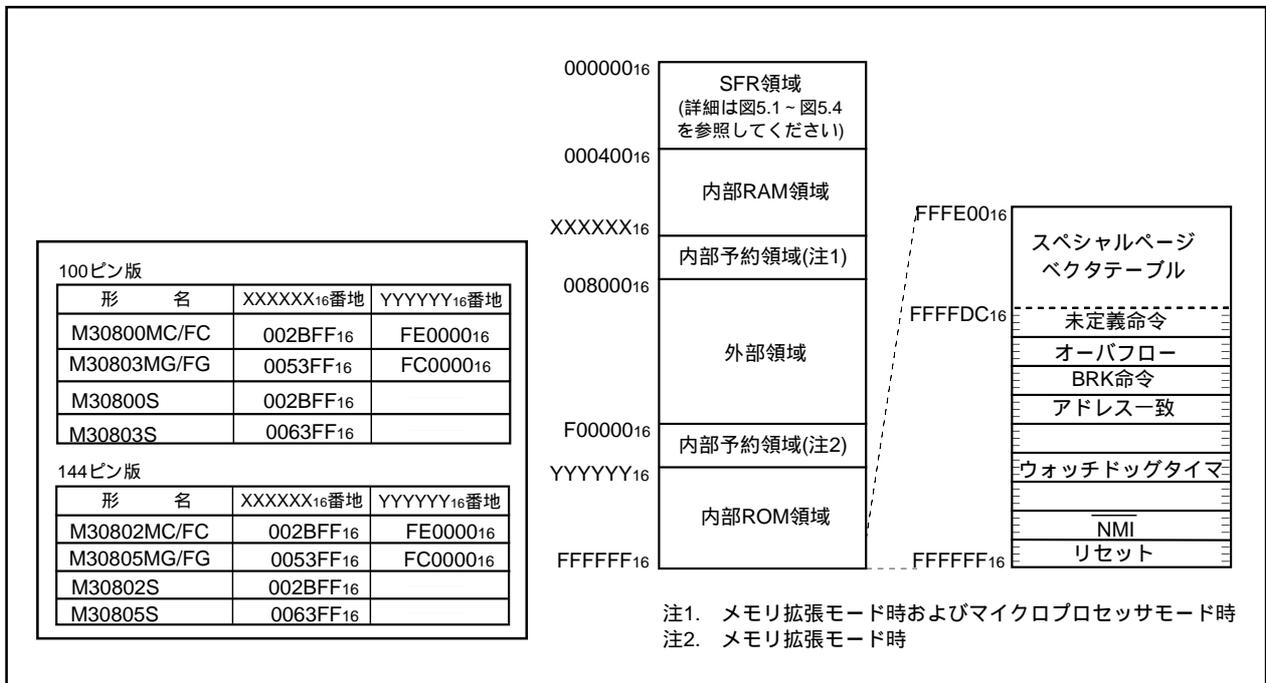


図2.1 メモリ配置図

3. 中央演算処理装置

中央演算処理装置には図3.1に示す28個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、SB、FBの8個は2セットあり、2つのレジスタバンクを構成しています。

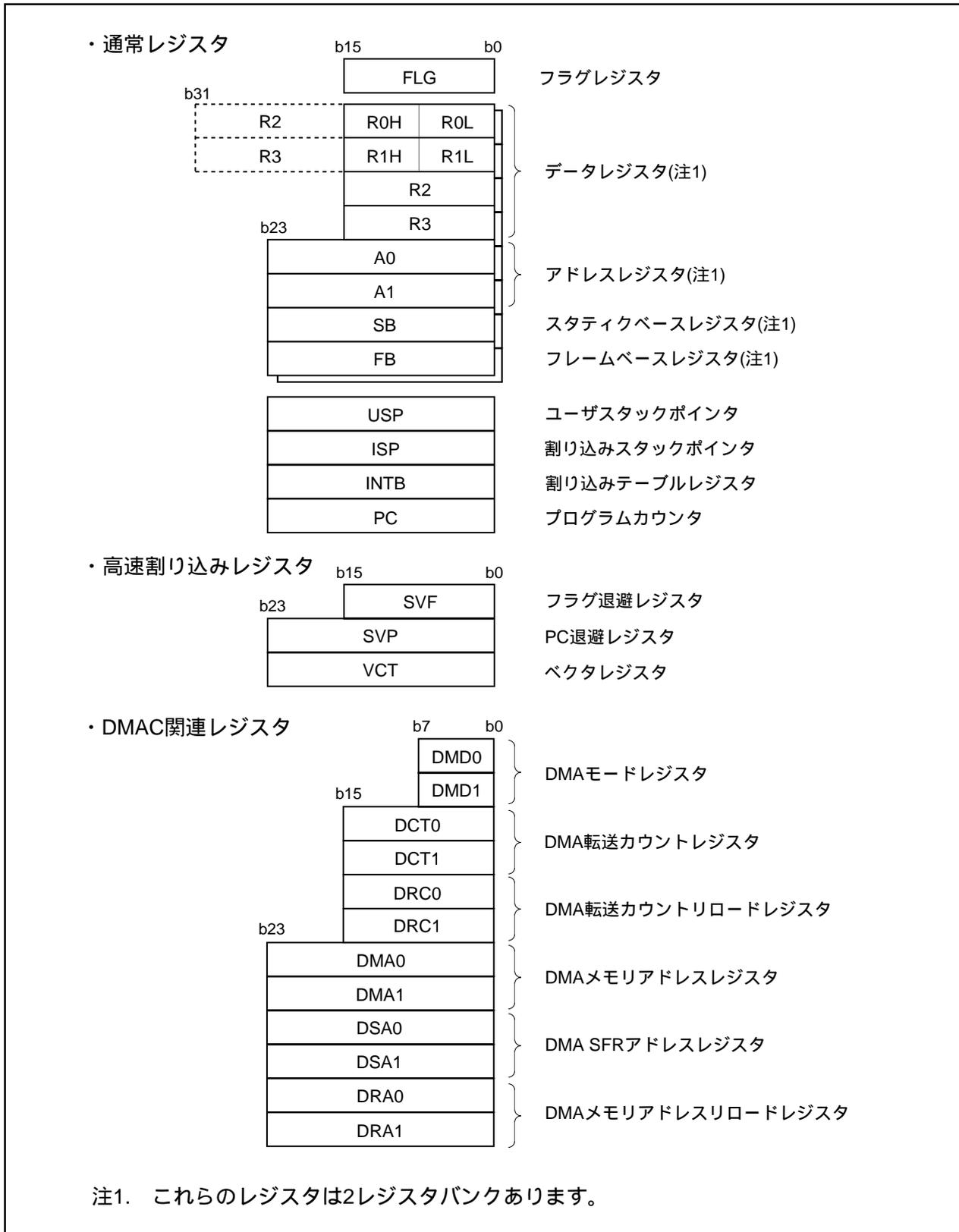


図3.1 中央演算処理装置のレジスタ構成

(1) データレジスタ(R0/R0H/R0L/R1/R1H/R1L/R2/R3/R2R0/R3R1)

データレジスタ(R0/R1/R2/R3)は16ビットで構成されており、主に転送や算術、論理演算に使用します。R0/R1は、上位(R0H/R1H)と下位(R0L/R1L)を別々に8ビットのデータレジスタとして使用できます。また、R2とR0、R3とR1を組合せて32ビットのデータレジスタ(R2R0/R3R1)としても使用できます。

(2) アドレスレジスタ(A0/A1)

アドレスレジスタ(A0/A1)は24ビットで構成されており、データレジスタと同等の機能を持ちます。また、アドレスレジスタ間接アドレッシングおよびアドレスレジスタ相対アドレッシングに使用します。

(3) スタティックベースレジスタ(SB)

スタティックベースレジスタ(SB)は24ビットで構成されており、SB相対アドレッシングに使用します。

(4) フレームベースレジスタ(FB)

フレームベースレジスタ(FB)は24ビットで構成されており、FB相対アドレッシングに使用します。

(5) プログラムカウンタ(PC)

プログラムカウンタ(PC)は24ビットで構成されており、次に実行する命令の番地を示します。

(6) 割り込みテーブルレジスタ(INTB)

割り込みテーブルレジスタ(INTB)は24ビットで構成されており、割り込みベクタテーブルの先頭番地を示します。

(7) ユーザスタックポインタ(USP)/割り込みスタックポインタ(ISP)

スタックポインタは、ユーザスタックポインタ(USP)と割り込みスタックポインタ(ISP)の2種類があり、共に24ビットで構成されています。

使用するスタックポインタ(USP/ISP)は、スタックポインタ指定フラグ(Uフラグ)によって切り替えられます。

スタックポインタ指定フラグ(Uフラグ)は、フラグレジスタ(FLG)のビット7です。

USP、ISPには偶数を設定してください。偶数を設定した方が実行効率が良くなります。

(8) フラグ退避レジスタ(SVF)

フラグ退避レジスタ(SVF)は16ビットで構成されており、高速割り込み発生時フラグレジスタを退避させるのに使用します。

(9) PC退避レジスタ(SVP)

PC退避レジスタ(SVP)は24ビットで構成されており、高速割り込み発生時プログラムカウンタを退避させるのに使用します。

(10) ベクタレジスタ(VCT)

ベクタレジスタ(VCT)は24ビットで構成されており、高速割り込み発生時飛び先番地を示します。

(11) DMAモードレジスタ(DMD0/DMD1)

DMAモードレジスタ(DMD0/DMD1)は8ビットで構成されており、DMAの転送モードなどを設定するレジスタです。

(12) DMA転送カウントレジスタ(DCT0/DCT1)

DMA転送カウントレジスタ(DCT0/DCT1)は16ビットで構成されており、DMAの転送回数を設定するレジスタです。

(13) DMA転送カウントリロードレジスタ(DRC0/DRC1)

DMA転送カウントリロードレジスタ(DRC0/DRC1)は16ビットで構成されており、DMA転送カウントレジスタのリロードレジスタです。

(14) DMAメモリアドレスレジスタ(DMA0/DMA1)

DMAメモリアドレスレジスタ(DMA0/DMA1)は24ビットで構成されており、DMAの転送元あるいは転送先のメモリアドレスを設定するレジスタです。

(15) DMA SFRアドレスレジスタ(DSA0/DSA1)

DMA SFRアドレスレジスタ(DSA0/DSA1)は24ビットで構成されており、DMA転送の転送元あるいは転送先の固定アドレスを設定するレジスタです。

(16) DMAメモリアドレスリロードレジスタ(DRA0/DRA1)

DMAメモリアドレスリロードレジスタ(DRA0/DRA1)は24ビットで構成されており、DMAメモリアドレスレジスタのリロードレジスタです。

(17) フラグレジスタ(FLG)

フラグレジスタ(FLG)は11ビットで構成されており、1ビット単位でフラグとして使用します。フラグレジスタ(FLG)の構成を図3.2に示します。また、各フラグの機能を以下に示します。

ビット0: キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ポロー、シフトアウトしたビット等を保持します。

ビット1: デバッグフラグ(Dフラグ)

シングルステップ割り込みを許可するフラグです。

このフラグが“1”のとき、命令実行後シングルステップ割り込みが発生します。割り込みを受け付けるとこのフラグは、“0”になります。

ビット2: ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

ビット3: サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

ビット4: レジスタバンク指定フラグ(Bフラグ)

レジスタバンクの選択を行います。このフラグが“0”のときレジスタバンク0が指定され、“1”のときレジスタバンク1が指定されます。

ビット5: オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。

ビット6: 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

このフラグが“0”のとき割り込みは禁止され、“1”のとき許可されます。

割り込みを受け付けると、このフラグは“0”になります。

ビット7: スタックポインタ指定フラグ(Uフラグ)

このフラグが“0”のとき割り込みスタックポインタ(ISP)が指定され、“1”のときユーザースタックポインタ(USP)が指定されます。

ハードウェア割り込みを受け付けたとき、またはソフトウェア割り込み番号0~31のINT命令を実行したとき、このフラグは“0”になります。

ビット8~ビット11: 予約領域

ビット12～ビット14: プロセッサ割り込み優先レベル(IPL)

プロセッサ割り込み優先レベル(IPL)は3ビットで構成されており、レベル0～レベル7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベル(IPL)より大きい場合、その割り込みは許可されます。

ビット15: 予約領域

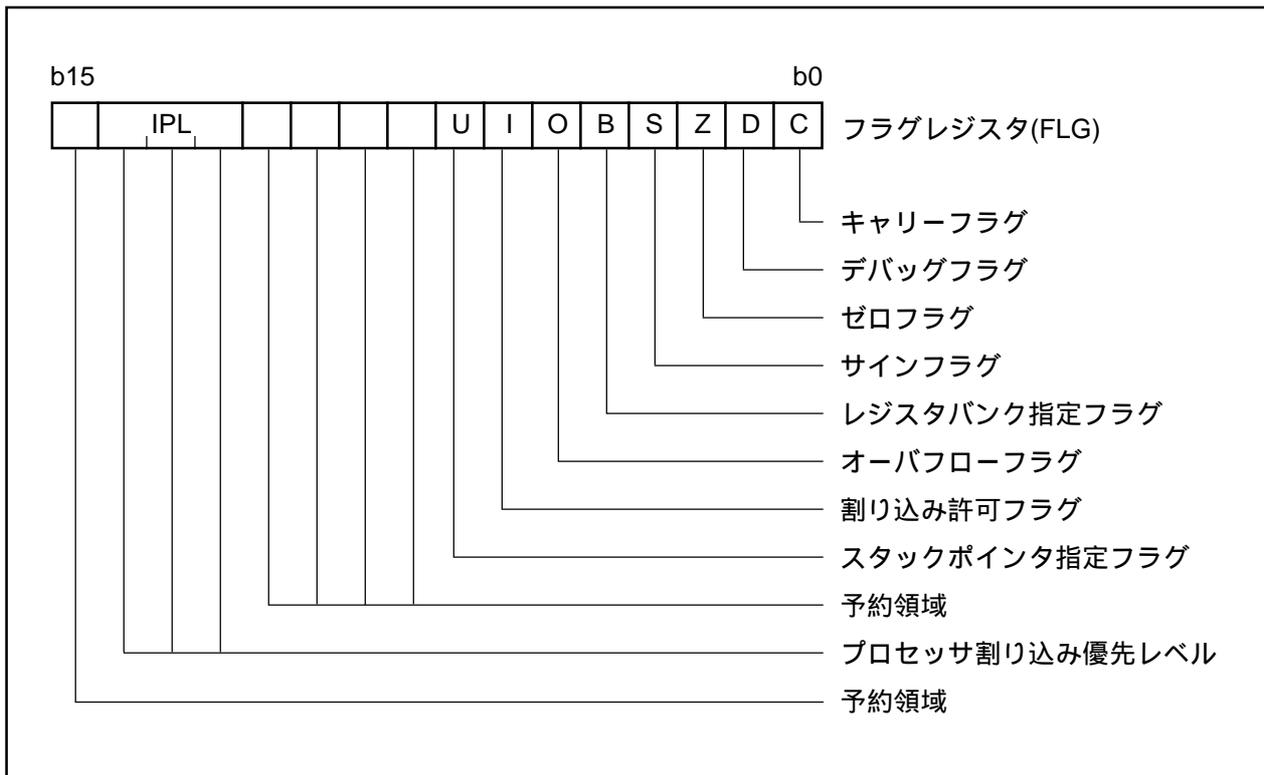


図3.2 フラグレジスタ(FLG)の構成

4. リセット

リセットは、ハードウェアによるリセットとソフトウェアによるリセットの2種類あります。ソフトウェアリセット、ハードウェアリセットともリセット解除後の動作は同じです(ソフトウェアリセットの詳細は「ソフトウェアリセット」を参照)。この項では、ハードウェアリセットを中心に説明します。

電源電圧が動作保証電圧であるとき、リセット端子を20サイクル以上“L”レベル(0.2V_{CC}以下)に保つとリセット状態になります。その後、メインクロックが十分に安定しているときにリセット端子を“H”レベルに戻すとリセットが解除され、リセットベクタテーブルで示される番地からプログラムを実行します。

リセット回路の一例を図4.1、リセットシーケンスを図4.2に示します。

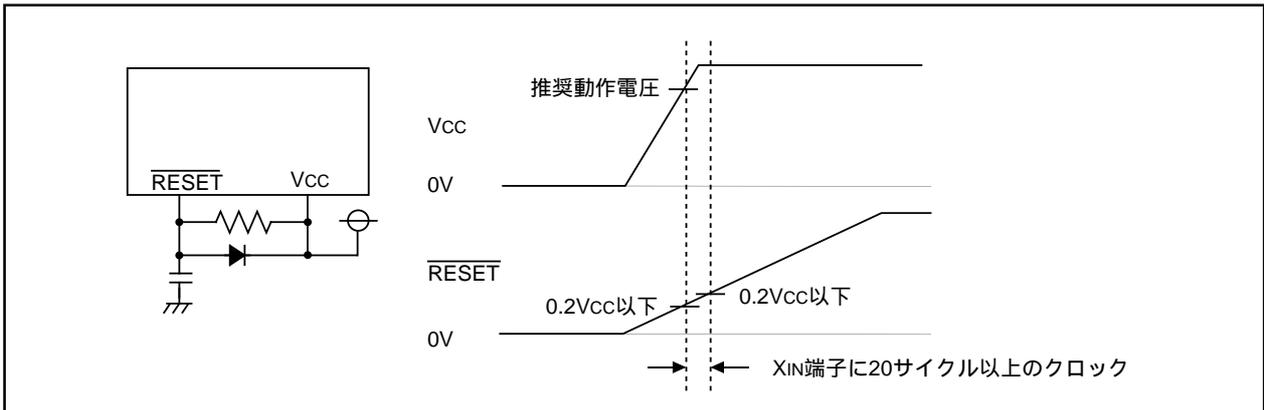


図4.1 リセット回路の一例

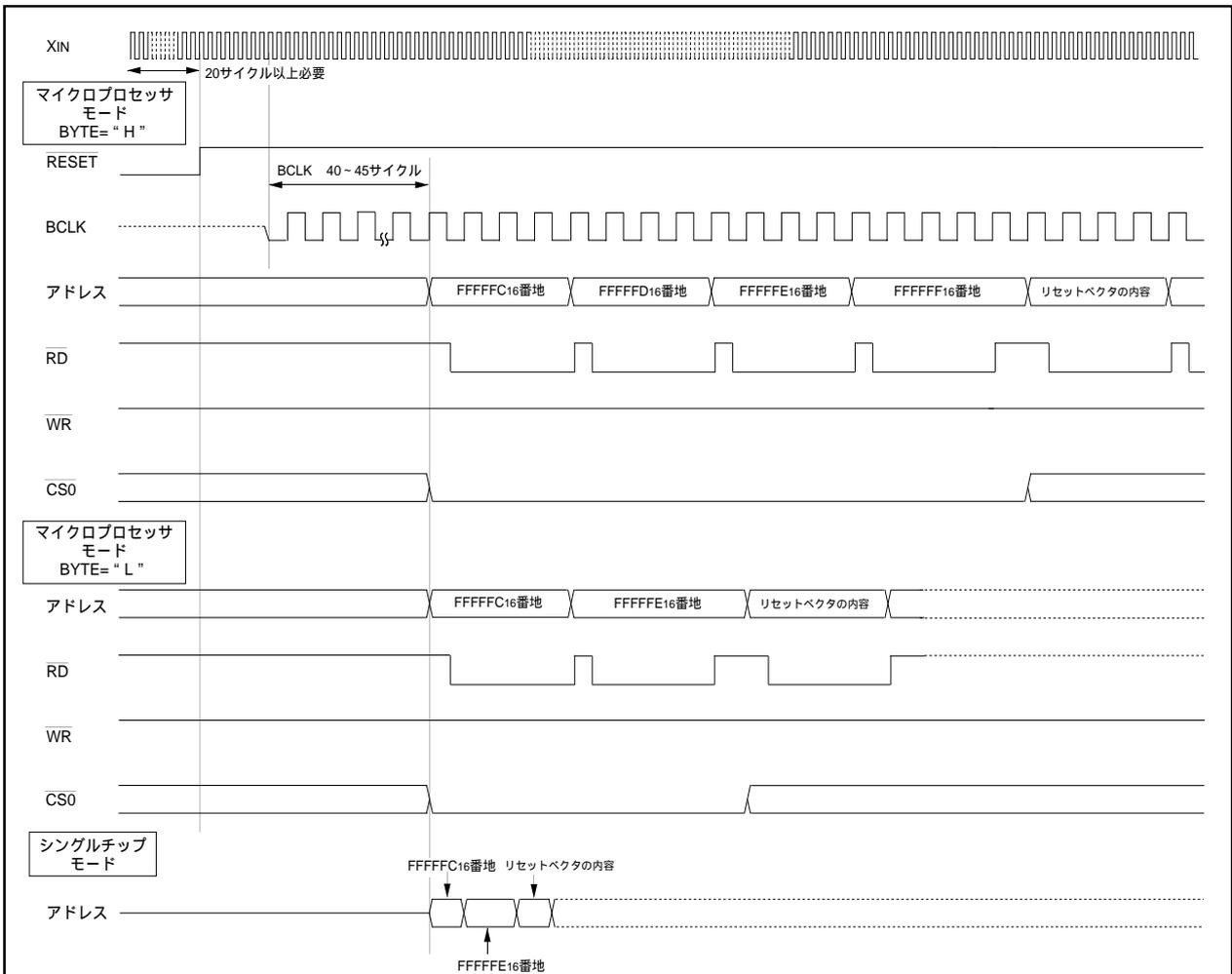


図4.2 リセットシーケンス

$\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を表4.1、リセット解除直後のマイクロコンピュータの内部状態を図4.3、図4.4に示します。

表4.1 $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態

端子名	端子の状態		
	CNVss = Vss	CNVss = Vcc	
		BYTE = Vss	BYTE = Vcc
P0	入力ポート(フローティング)	データ入力(フローティング)	データ入力(フローティング)
P1	入力ポート(フローティング)	データ入力(フローティング)	入力ポート(フローティング)
P2, P3, P4	入力ポート(フローティング)	アドレス出力(不定)	アドレス出力(不定)
P50	入力ポート(フローティング)	WR出力(“H”レベルを出力)	WR出力(“H”レベルを出力)
P51	入力ポート(フローティング)	BHE出力(不定)	BHE出力(不定)
P52	入力ポート(フローティング)	RD出力(“H”レベルを出力)	RD出力(“H”レベルを出力)
P53	入力ポート(フローティング)	BCLK出力	BCLK出力
P54	入力ポート(フローティング)	HLDA出力(出力値はHOLD端子の入力に依存)	HLDA出力(出力値はHOLD端子の入力に依存)
P55	入力ポート(フローティング)	HOLD入力(フローティング)	HOLD入力(フローティング)
P56	入力ポート(フローティング)	RAS出力	RAS出力
P57	入力ポート(フローティング)	RDY入力(フローティング)	RDY入力(フローティング)
P6, P7, P80 ~ P84, P86, P87, P9, P10	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)
P11, P12, P13, P14, P15 (注1)	入力ポート(フローティング)	入力ポート(フローティング)	入力ポート(フローティング)

注1. ポートP11~P15は144ピン版のみ存在します。

(1) プロセッサモードレジスタ0(注1)	(000416)...	8016	(33) INT1割り込み制御レジスタ	(007E16)...	XXXXXXXX00?000
(2) プロセッサモードレジスタ1	(000516)...	0016	(34) DMA1割り込み制御レジスタ	(008816)...	XXXXXXXX?000
(3) システムクロック制御レジスタ0	(000616)...	0816	(35) UART2送信/NACK割り込み制御レジスタ	(008916)...	XXXXXXXX?000
(4) システムクロック制御レジスタ1	(000716)...	2016	(36) DMA3割り込み制御レジスタ	(008A16)...	XXXXXXXX?000
(5) ウェイト制御レジスタ	(000816)...	FF16	(37) UART3送信/NACK割り込み制御レジスタ	(008B16)...	XXXXXXXX?000
(6) アドレス一致割り込み許可レジスタ	(000916)...	XXXXXXXX0000	(38) タイマA1割り込み制御レジスタ	(008C16)...	XXXXXXXX?000
(7) プロテクトレジスタ	(000A16)...	XXXXXXXX0000	(39) UART4送信/NACK割り込み制御レジスタ	(008D16)...	XXXXXXXX?000
(8) 外部データバス幅制御レジスタ(注2)	(000B16)...	XXXXXXXX?000	(40) タイマA3割り込み制御レジスタ	(008E16)...	XXXXXXXX?000
(9) メインクロック分周レジスタ	(000C16)...	XXXXXXXX010000	(41) バス衝突検出(UART2)割り込み制御レジスタ	(008F16)...	XXXXXXXX?000
(10) ウォッチドッグタイマ制御レジスタ	(000F16)...	0000?00000	(42) UART0送信割り込み制御レジスタ	(009016)...	XXXXXXXX?000
(11) アドレス一致割り込みレジスタ0	(001016)...	0016	(43) バス衝突検出(UART4)割り込み制御レジスタ	(009116)...	XXXXXXXX?000
	(001116)...	0016	(44) UART1送信割り込み制御レジスタ	(009216)...	XXXXXXXX?000
	(001216)...	0016	(45) キー入力割り込み制御レジスタ	(009316)...	XXXXXXXX?000
(12) アドレス一致割り込みレジスタ1	(001416)...	0016	(46) タイマB0割り込み制御レジスタ	(009416)...	XXXXXXXX?000
	(001516)...	0016	(47) タイマB2割り込み制御レジスタ	(009616)...	XXXXXXXX?000
	(001616)...	0016	(48) タイマB4割り込み制御レジスタ	(009816)...	XXXXXXXX?000
(13) アドレス一致割り込みレジスタ2	(001816)...	0016	(49) INT4割り込み制御レジスタ	(009A16)...	XXXX00?00000
	(001916)...	0016	(50) INT2割り込み制御レジスタ	(009C16)...	XXXX00?00000
	(001A16)...	0016	(51) INTO割り込み制御レジスタ	(009E16)...	XXXX00?00000
(14) アドレス一致割り込みレジスタ3	(001C16)...	0016	(52) 復帰用優先順位レジスタ	(009F16)...	XXXXXXXX0000
	(001D16)...	0016	(53) XY制御レジスタ	(02E016)...	XXXXXXXXXX00
	(001E16)...	0016	(54) UART4特殊モードレジスタ3	(02F516)...	0016
(15) DRAM制御レジスタ	(004016)...	?XXXXXXXX???	(55) UART4特殊モードレジスタ2	(02F616)...	0016
(16) DMA0割り込み制御レジスタ	(006816)...	XXXXXXXX?000	(56) UART4特殊モードレジスタ	(02F716)...	0016
(17) タイマB5割り込み制御レジスタ	(006916)...	XXXXXXXX?000	(57) UART4送受信モードレジスタ	(02F816)...	0016
(18) DMA2割り込み制御レジスタ	(006A16)...	XXXXXXXX?000	(58) UART4送受信制御レジスタ0	(02FC16)...	0816
(19) UART2受信/ACK割り込み制御レジスタ	(006B16)...	XXXXXXXX?000	(59) UART4送受信制御レジスタ1	(02FD16)...	0216
(20) タイマA0割り込み制御レジスタ	(006C16)...	XXXXXXXX?000	(60) タイマB3, 4, 5カウント開始フラグ	(030016)...	0000XXXXXX
(21) UART3受信/ACK割り込み制御レジスタ	(006D16)...	XXXXXXXX?000	(61) 三相PWM制御レジスタ0	(030816)...	0016
(22) タイマA2割り込み制御レジスタ	(006E16)...	XXXXXXXX?000	(62) 三相PWM制御レジスタ1	(030916)...	000000?00000
(23) UART4受信/ACK割り込み制御レジスタ	(006F16)...	XXXXXXXX?000	(63) 三相出力バッファレジスタ0	(030A16)...	3F16
(24) タイマA4割り込み制御レジスタ	(007016)...	XXXXXXXX?000	(64) 三相出力バッファレジスタ1	(030B16)...	3F16
(25) バス衝突検出(UART3)割り込み制御レジスタ	(007116)...	XXXXXXXX?000	(65) タイマB3モードレジスタ	(031B16)...	00?0?00000
(26) UART0受信割り込み制御レジスタ	(007216)...	XXXXXXXX?000	(66) タイマB4モードレジスタ	(031C16)...	00?0000000
(27) A/Dコンバータ変換割り込み制御レジスタ	(007316)...	XXXXXXXX?000	(67) タイマB5モードレジスタ	(031D16)...	00?0000000
(28) UART1受信割り込み制御レジスタ	(007416)...	XXXXXXXX?000	(68) 割り込み要因選択レジスタ	(031F16)...	XXXX00000000
(29) タイマB1割り込み制御レジスタ	(007616)...	XXXXXXXX?000	(69) UART3特殊モードレジスタ3	(032516)...	0016
(30) タイマB3割り込み制御レジスタ	(007816)...	XXXXXXXX?000	(70) UART3特殊モードレジスタ2	(032616)...	0016
(31) INT5割り込み制御レジスタ	(007A16)...	XXXX00?00000	(71) UART3特殊モードレジスタ	(032716)...	0016
(32) INT3割り込み制御レジスタ	(007C16)...	XXXX00?00000	(72) UART3送受信モードレジスタ	(032816)...	0016
			(73) UART3送受信制御レジスタ0	(032C16)...	0816

× : このビットは何も配置されていません。
 ? : 不定です。

これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。

注1. CNVss端子にVccレベルを印加しているときは、リセット時0316になります。
 注2. 第3ビットはBYTE端子が“L”のとき“1”、“H”のとき“0”となります。

図4.3 リセット解除後のマイクロコンピュータの内部状態(1)

(74) UART3送受信制御レジスタ1	(032D16)...	0216	(115) 機能選択レジスタB1	(03B316)...	XXXXXXXX0000
(75) UART2特殊モードレジスタ3	(033516)...	0000XXXXXX	(116) 機能選択レジスタA2	(03B416)...	XXXXXXXXXX00
(76) UART2特殊モードレジスタ2	(033616)...	0016	(117) 機能選択レジスタA3	(03B516)...	0016
(77) UART2特殊モードレジスタ	(033716)...	0016	(118) 機能選択レジスタB2	(03B616)...	XXXXXXXXXX0
(78) UART2送受信モードレジスタ	(033816)...	0016	(119) 機能選択レジスタB3	(03B716)...	000000XX0X
(79) UART2送受信制御レジスタ0	(033C16)...	00X010000	(120) ポートP6方向レジスタ	(03C216)...	0016
(80) UART2送受信制御レジスタ1	(033D16)...	0216	(121) ポートP7方向レジスタ	(03C316)...	0016
(81) カウント開始フラグ	(034016)...	0016	(122) ポートP8方向レジスタ	(03C616)...	00X000000
(82) 時計用プリスケラリセットフラグ	(034116)...	0XXXXXXX	(123) ポートP9方向レジスタ	(03C716)...	0016
(83) ワンショット開始フラグ	(034216)...	0016	(124) ポートP10方向レジスタ	(03CA16)...	0016
(84) トリガ選択レジスタ	(034316)...	0016	(125) ポートP11方向レジスタ (注2)	(03CB16)...	XXXX000000
(85) アップダウンフラグ	(034416)...	0016	(126) ポートP12方向レジスタ (注2)	(03CE16)...	0016
(86) タイマA0モードレジスタ	(035616)...	000000?00	(127) ポートP13方向レジスタ (注2)	(03CF16)...	0016
(87) タイマA1モードレジスタ	(035716)...	000000?00	(128) ポートP14方向レジスタ (注2)	(03D216)...	X0000000
(88) タイマA2モードレジスタ	(035816)...	000000?00	(129) ポートP15方向レジスタ (注2)	(03D316)...	0016
(89) タイマA3モードレジスタ	(035916)...	000000?00	(130) ブルアップ制御レジスタ2	(03DA16)...	0016
(90) タイマA4モードレジスタ	(035A16)...	000000?00	(131) ブルアップ制御レジスタ3 (注2)	(03DB16)...	0016
(91) タイマB0モードレジスタ	(035B16)...	00??00000	(132) ブルアップ制御レジスタ4 (注2)	(03DC16)...	X016
(92) タイマB1モードレジスタ	(035C16)...	00?X00000	(133) ポートP0方向レジスタ	(03E216)...	0016
(93) タイマB2モードレジスタ	(035D16)...	00?X00000	(134) ポートP1方向レジスタ	(03E316)...	0016
(94) UART0送受信モードレジスタ	(036016)...	0016	(135) ポートP2方向レジスタ	(03E616)...	0016
(95) UART0送受信制御レジスタ0	(036416)...	0816	(136) ポートP3方向レジスタ	(03E716)...	0016
(96) UART0送受信制御レジスタ1	(036516)...	0216	(137) ポートP4方向レジスタ	(03EA16)...	0016
(97) UART1送受信モードレジスタ	(036816)...	0016	(138) ポートP5方向レジスタ	(03EB16)...	0016
(98) UART1送受信制御レジスタ0	(036C16)...	0816	(139) ブルアップ制御レジスタ0	(03F016)...	0016
(99) UART1送受信制御レジスタ1	(036D16)...	0216	(140) ブルアップ制御レジスタ1	(03F116)...	X016
(100) UART送受信制御レジスタ2	(037016)...	XXXX00000	(141) ポート制御レジスタ	(03FF16)...	XXXXXXXXXX0
(101) フラッシュメモリ制御レジスタ1(注1)	(037616)...	???0???	(142) データレジスタ(R0/R1/R2/R3)		000016
(102) フラッシュメモリ制御レジスタ0(注1)	(037716)...	XXXX000001	(143) アドレスレジスタ(A0/A1)		00000016
(103) DMA0要因選択レジスタ	(037816)...	0X0000000	(144) スタティックベースレジスタ(SB)		00000016
(104) DMA1要因選択レジスタ	(037916)...	0X0000000	(145) フレームベースレジスタ(FB)		00000016
(105) DMA2要因選択レジスタ	(037A16)...	0X0000000	(146) 割り込みテーブルレジスタ(INTB)		00000016
(106) DMA3要因選択レジスタ	(037B16)...	0X0000000	(147) ユーザスタックポインタ(USP)		00000016
(107) A/D制御レジスタ2	(039416)...	0000XXXX0	(148) 割り込みスタックポインタ(ISP)		00000016
(108) A/D制御レジスタ0	(039616)...	000000???	(149) フラグレジスタ(FLG)		000016
(109) A/D制御レジスタ1	(039716)...	0016	(150) DMAモードレジスタ(DMD0/DMD1)		0016
(110) D/A制御レジスタ	(039C16)...	0016	(151) DMA転送カウントレジスタ(DCT0/DCT1)		??
(111) 機能選択レジスタC	(03AF16)...	0XXXXXXX0	(152) DMA転送カウントリロードレジスタ(DRC0/DRC1)		??
(112) 機能選択レジスタA0	(03B016)...	0X0000000	(153) DMAメモリアドレスレジスタ(DMA0/DMA1)		??
(113) 機能選択レジスタA1	(03B116)...	0X0000000	(154) DMA SFRアドレスレジスタ(DSA0/DSA1)		??
(114) 機能選択レジスタB0	(03B216)...	XXXX0XXXX	(155) DMAメモリアドレスリロードレジスタ(DRA0/DRA1)		??

× : このビットは何も配置されていません。
 ? : 不定です。
 これ以外のレジスタおよびRAMの内容はリセット時には不定ですので、初期値をセットしてください。
 注1 . このレジスタはフラッシュメモリ版にのみ存在します。
 注2 . このレジスタは144ピン版にのみ存在します。

図4.4 リセット解除後のマイクロコンピュータの内部状態(2)

5. SFR

0000 ₁₆		0060 ₁₆	
0001 ₁₆		0061 ₁₆	
0002 ₁₆		0062 ₁₆	
0003 ₁₆		0063 ₁₆	
0004 ₁₆	プロセッサモードレジスタ0(PM0)	0064 ₁₆	
0005 ₁₆	プロセッサモードレジスタ1(PM1)	0065 ₁₆	
0006 ₁₆	システムクロック制御レジスタ0(CM0)	0066 ₁₆	
0007 ₁₆	システムクロック制御レジスタ1(CM1)	0067 ₁₆	
0008 ₁₆	ウェイト制御レジスタ(WCR)	0068 ₁₆	DMA0割り込み制御レジスタ (DM0IC)
0009 ₁₆	アドレス一致割り込み許可レジスタ(AIER)	0069 ₁₆	タイマB5割り込み制御レジスタ(TB5IC)
000A ₁₆	プロテクトレジスタ(PCR)	006A ₁₆	DMA2割り込み制御レジスタ (DM2IC)
000B ₁₆	外部デ - タバス幅制御レジスタ(DS)	006B ₁₆	UART2受信/ACK割り込み制御レジスタ(S2RIC)
000C ₁₆	メインクロック分周レジスタ(MCD)	006C ₁₆	タイマA0割り込み制御レジスタ(TA0IC)
000D ₁₆		006D ₁₆	UART3受信/ACK割り込み制御レジスタ(S3RIC)
000E ₁₆	ウォッチドッグタイマスタートレジスタ(WDTS)	006E ₁₆	タイマA2割り込み制御レジスタ(TA2IC)
000F ₁₆	ウォッチドッグタイマ制御レジスタ(WDC)	006F ₁₆	UART4受信/ACK割り込み制御レジスタ(S4RIC)
0010 ₁₆		0070 ₁₆	タイマA4割り込み制御レジスタ(TA4IC)
0011 ₁₆	アドレス一致割り込みレジスタ0(RMAD0)	0071 ₁₆	バス衝突検出(UART3)割り込み制御レジスタ (BCN3IC)
0012 ₁₆		0072 ₁₆	UART0受信割り込み制御レジスタ(S0RIC)
0013 ₁₆		0073 ₁₆	A/D変換割り込み制御レジスタ(ADIC)
0014 ₁₆		0074 ₁₆	UART1受信割り込み制御レジスタ(S1RIC)
0015 ₁₆	アドレス一致割り込みレジスタ1(RMAD1)	0075 ₁₆	
0016 ₁₆		0076 ₁₆	タイマB1割り込み制御レジスタ(TB1IC)
0017 ₁₆		0077 ₁₆	
0018 ₁₆		0078 ₁₆	タイマB3割り込み制御レジスタ(TB3IC)
0019 ₁₆	アドレス一致割り込みレジスタ2(RMAD2)	0079 ₁₆	
001A ₁₆		007A ₁₆	INT5割り込み制御レジスタ(INT5IC)
001B ₁₆		007B ₁₆	
001C ₁₆		007C ₁₆	INT3割り込み制御レジスタ(INT3IC)
001D ₁₆	アドレス一致割り込みレジスタ3(RMAD3)	007D ₁₆	
001E ₁₆		007E ₁₆	INT1割り込み制御レジスタ(INT1IC)
001F ₁₆		007F ₁₆	
0020 ₁₆	エミュレ - タ専用割り込みベクタテ - プル	0080 ₁₆	
0021 ₁₆	レジスタ(EIAD) *	0081 ₁₆	
0022 ₁₆		0082 ₁₆	
0023 ₁₆	エミュレ - タ割り込み識別レジスタ(EITD) *	0083 ₁₆	
0024 ₁₆	エミュレ - タ用プロテクトレジスタ(EPRR) *	0084 ₁₆	
0025 ₁₆		0085 ₁₆	
0026 ₁₆		0086 ₁₆	
0027 ₁₆		0087 ₁₆	
0028 ₁₆		0088 ₁₆	DMA1割り込み制御レジスタ(DM1IC)
0029 ₁₆		0089 ₁₆	UART2送信/NACK割り込み制御レジスタ(S2TIC)
002A ₁₆		008A ₁₆	DMA3割り込み制御レジスタ (DM3IC)
002B ₁₆		008B ₁₆	UART3送信/NACK割り込み制御レジスタ(S3TIC)
002C ₁₆		008C ₁₆	タイマA1割り込み制御レジスタ(TA1IC)
002D ₁₆		008D ₁₆	UART4送信/NACK割り込み制御レジスタ(S4TIC)
002E ₁₆		008E ₁₆	タイマA3割り込み制御レジスタ(TA3IC)
002F ₁₆		008F ₁₆	バス衝突検出(UART2)割り込み制御レジスタ (BCN2IC)
0030 ₁₆	ROM領域設定レジスタ(ROA) *	0090 ₁₆	UART0送信割り込み制御レジスタ(S0TIC)
0031 ₁₆	デバッグモニタ領域設定レジスタ(DBA) *	0091 ₁₆	バス衝突検出(UART4)割り込み制御レジスタ (BCN4IC)
0032 ₁₆	拡張領域設定レジスタ0(EXA0) *	0092 ₁₆	UART1送信割り込み制御レジスタ(S1TIC)
0033 ₁₆	拡張領域設定レジスタ1(EXA1) *	0093 ₁₆	キ - 入力割り込み制御レジスタ(KUPIC)
0034 ₁₆	拡張領域設定レジスタ2(EXA2) *	0094 ₁₆	タイマB0割り込み制御レジスタ(TB0IC)
0035 ₁₆	拡張領域設定レジスタ3(EXA3) *	0095 ₁₆	
0036 ₁₆		0096 ₁₆	タイマB2割り込み制御レジスタ(TB2IC)
0037 ₁₆		0097 ₁₆	
0038 ₁₆		0098 ₁₆	タイマB4割り込み制御レジスタ(TB4IC)
0039 ₁₆		0099 ₁₆	
003A ₁₆		009A ₁₆	INT4割り込み制御レジスタ(INT4IC)
003B ₁₆		009B ₁₆	
003C ₁₆		009C ₁₆	INT2割り込み制御レジスタ(INT2IC)
003D ₁₆		009D ₁₆	
003E ₁₆		009E ₁₆	INT0割り込み制御レジスタ(INT0IC)
003F ₁₆		009F ₁₆	復帰優先順位レジスタ (RLVL)
0040 ₁₆	DRAM制御レジスタ(DRAMCONT)	00A0 ₁₆	
0041 ₁₆	DRAMリフレッシュ間隔設定レジスタ(REFCNT)	00A1 ₁₆	
0042 ₁₆		00A2 ₁₆	
0043 ₁₆		00A3 ₁₆	
0044 ₁₆		00A4 ₁₆	

(何も配置されていない領域は全て予約領域です。使用できません。)
 * エミュレータ専用のレジスタですので、ユーザーは使用できません。アクセスしないでください。

図5.1 周辺装置制御レジスタの配置(1)

02C0 ₁₆	X0レジスタ(X0R) Y0レジスタ(Y0R)	0300 ₁₆	タイマB3,4,5カウント開始フラグ(TBSR)
02C1 ₁₆		0301 ₁₆	
02C2 ₁₆	X1レジスタ(X1R) Y0レジスタ(Y1R)	0302 ₁₆	タイマA1-1レジスタ(TA11)
02C3 ₁₆		0303 ₁₆	
02C4 ₁₆	X2レジスタ(X2R) Y2レジスタ(Y2R)	0304 ₁₆	タイマA2-1レジスタ(TA21)
02C5 ₁₆		0305 ₁₆	
02C6 ₁₆	X3レジスタ(X3R) Y3レジスタ(Y3R)	0306 ₁₆	タイマA4-1レジスタ(TA41)
02C7 ₁₆		0307 ₁₆	
02C8 ₁₆	X4レジスタ(X4R) Y4レジスタ(Y4R)	0308 ₁₆	三相PWM制御レジスタ0(INVC0)
02C9 ₁₆		0309 ₁₆	三相PWM制御レジスタ1(INVC1)
02CA ₁₆	X5レジスタ(X5R) Y5レジスタ(Y5R)	030A ₁₆	三相出力バッファレジスタ0(IDB0)
02CB ₁₆		030B ₁₆	三相出力バッファレジスタ1(IDB1)
02CC ₁₆	X6レジスタ(X6R) Y6レジスタ(Y6R)	030C ₁₆	短絡防止タイマ(DTT)
02CD ₁₆		030D ₁₆	タイマB2割り込み発生頻度設定カウンタ(ICTB2)
02CE ₁₆	X7レジスタ(X7R) Y7レジスタ(Y7R)	030E ₁₆	
02CF ₁₆		030F ₁₆	
02D0 ₁₆	X8レジスタ(X8R) Y8レジスタ(Y8R)	0310 ₁₆	タイマB3レジスタ(TB3)
02D1 ₁₆		0311 ₁₆	
02D2 ₁₆	X9レジスタ(X9R) Y9レジスタ(Y9R)	0312 ₁₆	タイマB4レジスタ(TB4)
02D3 ₁₆		0313 ₁₆	
02D4 ₁₆	X10レジスタ(X10R) Y10レジスタ(Y10R)	0314 ₁₆	タイマB5レジスタ(TB5)
02D5 ₁₆		0315 ₁₆	
02D6 ₁₆	X11レジスタ(X11R) Y11レジスタ(Y11R)	0316 ₁₆	
02D7 ₁₆		0317 ₁₆	
02D8 ₁₆	X12レジスタ(X12R) Y12レジスタ(Y12R)	0318 ₁₆	
02D9 ₁₆		0319 ₁₆	
02DA ₁₆	X13レジスタ(X13R) Y13レジスタ(Y13R)	031A ₁₆	タイマB3モードレジスタ(TB3MR)
02DB ₁₆		031B ₁₆	タイマB4モードレジスタ(TB4MR)
02DC ₁₆	X14レジスタ(X14R) Y14レジスタ(Y14R)	031C ₁₆	タイマB5モードレジスタ(TB5MR)
02DD ₁₆		031D ₁₆	
02DE ₁₆	X15レジスタ(X15R) Y15レジスタ(Y15R)	031E ₁₆	
02DF ₁₆		031F ₁₆	割り込み要因選択レジスタ(IFSR)
02E0 ₁₆	XY制御レジスタ(XYC)	0320 ₁₆	
02E1 ₁₆		0321 ₁₆	
02E2 ₁₆		0322 ₁₆	
02E3 ₁₆		0323 ₁₆	
02E4 ₁₆		0324 ₁₆	
02E5 ₁₆		0325 ₁₆	UART3特殊モードレジスタ3(U3SMR3)
02E6 ₁₆		0326 ₁₆	UART3特殊モードレジスタ2(U3SMR2)
02E7 ₁₆		0327 ₁₆	UART3特殊モードレジスタ(U3SMR)
02E8 ₁₆		0328 ₁₆	UART3送受信モードレジスタ(U3MR)
02E9 ₁₆		0329 ₁₆	UART3転送速度レジスタ(U3BRG)
02EA ₁₆		032A ₁₆	UART3送信バッファレジスタ(U3TB)
02EB ₁₆		032B ₁₆	
02EC ₁₆		032C ₁₆	UART3送受信制御レジスタ0(U3C0)
02ED ₁₆		032D ₁₆	UART3送受信制御レジスタ1(U3C1)
02EE ₁₆		032E ₁₆	UART3受信バッファレジスタ(U3RB)
02EF ₁₆		032F ₁₆	
02F0 ₁₆		0330 ₁₆	
02F1 ₁₆		0331 ₁₆	
02F2 ₁₆		0332 ₁₆	
02F3 ₁₆		0333 ₁₆	
02F4 ₁₆		0334 ₁₆	
02F5 ₁₆	UART4特殊モードレジスタ3(U4SMR3)	0335 ₁₆	UART2特殊モードレジスタ3(U2SMR3)
02F6 ₁₆	UART4特殊モードレジスタ2(U4SMR2)	0336 ₁₆	UART2特殊モードレジスタ2(U2SMR2)
02F7 ₁₆	UART4特殊モードレジスタ(U4SMR)	0337 ₁₆	UART2特殊モードレジスタ(U2SMR)
02F8 ₁₆	UART4送受信モードレジスタ(U4MR)	0338 ₁₆	UART2送受信モードレジスタ(U2MR)
02F9 ₁₆	UART4転送速度レジスタ(U4BRG)	0339 ₁₆	UART2転送速度レジスタ(U2BRG)
02FA ₁₆	UART4送信バッファレジスタ(U4TB)	033A ₁₆	UART2送信バッファレジスタ(U2TB)
02FB ₁₆		033B ₁₆	
02FC ₁₆	UART4送受信制御レジスタ0(U4C0)	033C ₁₆	UART2送受信制御レジスタ0(U2C0)
02FD ₁₆	UART4送受信制御レジスタ1(U4C1)	033D ₁₆	UART2送受信制御レジスタ1(U2C1)
02FE ₁₆	UART4受信バッファレジスタ(U4RB)	033E ₁₆	UART2受信バッファレジスタ(U2RB)
02FF ₁₆		033F ₁₆	

(何も配置されていない領域は全て予約領域です。使用できません。)

図5.2 周辺装置制御レジスタの配置(2)

0340 ₁₆	カウント開始フラグ(TABSR)	0380 ₁₆	A/Dレジスタ0(AD0)
0341 ₁₆	時計用プリスケールリセットフラグ(CPSRF)	0381 ₁₆	
0342 ₁₆	ワンショット開始フラグ(ONSF)	0382 ₁₆	A/Dレジスタ1(AD1)
0343 ₁₆	トリガ選択レジスタ(TRGSR)	0383 ₁₆	
0344 ₁₆	アップダウンフラグ(UDF)	0384 ₁₆	A/Dレジスタ2(AD2)
0345 ₁₆		0385 ₁₆	
0346 ₁₆	タイマA0レジスタ(TA0)	0386 ₁₆	A/Dレジスタ3(AD3)
0347 ₁₆		0387 ₁₆	
0348 ₁₆	タイマA1レジスタ(TA1)	0388 ₁₆	A/Dレジスタ4(AD4)
0349 ₁₆		0389 ₁₆	
034A ₁₆	タイマA2レジスタ(TA2)	038A ₁₆	A/Dレジスタ5(AD5)
034B ₁₆		038B ₁₆	
034C ₁₆	タイマA3レジスタ(TA3)	038C ₁₆	A/Dレジスタ6(AD6)
034D ₁₆		038D ₁₆	
034E ₁₆	タイマA4レジスタ(TA4)	038E ₁₆	A/Dレジスタ7(AD7)
034F ₁₆		038F ₁₆	
0350 ₁₆	タイマB0レジスタ(TB0)	0390 ₁₆	
0351 ₁₆		0391 ₁₆	
0352 ₁₆	タイマB1レジスタ(TB1)	0392 ₁₆	
0353 ₁₆		0393 ₁₆	
0354 ₁₆	タイマB2レジスタ(TB2)	0394 ₁₆	A/D制御レジスタ2(ADCON2)
0355 ₁₆		0395 ₁₆	
0356 ₁₆	タイマA0モ - ドレジスタ(TA0MR)	0396 ₁₆	A/D制御レジスタ0(ADCON0)
0357 ₁₆	タイマA1モ - ドレジスタ(TA1MR)	0397 ₁₆	A/D制御レジスタ1(ADCON1)
0358 ₁₆	タイマA2モ - ドレジスタ(TA2MR)	0398 ₁₆	D/Aレジスタ0(DA0)
0359 ₁₆	タイマA3モ - ドレジスタ(TA3MR)	0399 ₁₆	
035A ₁₆	タイマA4モ - ドレジスタ(TA4MR)	039A ₁₆	D/Aレジスタ1(DA1)
035B ₁₆	タイマB0モ - ドレジスタ(TB0MR)	039B ₁₆	
035C ₁₆	タイマB1モ - ドレジスタ(TB1MR)	039C ₁₆	D/A制御レジスタ(DACON)
035D ₁₆	タイマB2モ - ドレジスタ(TB2MR)	039D ₁₆	
035E ₁₆		039E ₁₆	
035F ₁₆		039F ₁₆	
0360 ₁₆	UART0送受信モ - ドレジスタ(U0MR)	03A0 ₁₆	
0361 ₁₆	UART0転送速度レジスタ(U0BRG)	03A1 ₁₆	
0362 ₁₆	UART0送信バッファレジスタ(U0TB)	03A2 ₁₆	
0363 ₁₆		03A3 ₁₆	
0364 ₁₆	UART0送受信制御レジスタ0(U0C0)	03A4 ₁₆	
0365 ₁₆	UART0送受信制御レジスタ1(U0C1)	03A5 ₁₆	
0366 ₁₆	UART0受信バッファレジスタ(U0RB)	03A6 ₁₆	
0367 ₁₆		03A7 ₁₆	
0368 ₁₆	UART1送受信モ - ドレジスタ(U1MR)	03A8 ₁₆	
0369 ₁₆	UART1転送速度レジスタ(U1BRG)	03A9 ₁₆	
036A ₁₆	UART1送信バッファレジスタ(U1TB)	03AA ₁₆	
036B ₁₆		03AB ₁₆	
036C ₁₆	UART1送受信制御レジスタ0(U1C0)	03AC ₁₆	
036D ₁₆	UART1送受信制御レジスタ1(U1C1)	03AD ₁₆	
036E ₁₆	UART1受信バッファレジスタ(U1RB)	03AE ₁₆	
036F ₁₆		03AF ₁₆	機能選択レジスタC(PSC)
0370 ₁₆	UART送受信制御レジスタ2(UCON)	03B0 ₁₆	機能選択レジスタA0(PS0)
0371 ₁₆		03B1 ₁₆	機能選択レジスタA1(PS1)
0372 ₁₆		03B2 ₁₆	機能選択レジスタB0(PSL0)
0373 ₁₆		03B3 ₁₆	機能選択レジスタB1(PSL1)
0374 ₁₆		03B4 ₁₆	機能選択レジスタA2(PS2)
0375 ₁₆		03B5 ₁₆	機能選択レジスタA3(PS3)
0376 ₁₆	フラッシュメモリ制御レジスタ1(FMR1)(注1)	03B6 ₁₆	機能選択レジスタB2(PSL2)
0377 ₁₆	フラッシュメモリ制御レジスタ0(FMR0)(注1)	03B7 ₁₆	機能選択レジスタB3(PSL3)
0378 ₁₆	DMA0要因選択レジスタ(DM0SL)	03B8 ₁₆	
0379 ₁₆	DMA1要因選択レジスタ(DM1SL)	03B9 ₁₆	
037A ₁₆	DMA2要因選択レジスタ(DM2SL)	03BA ₁₆	
037B ₁₆	DMA3要因選択レジスタ(DM3SL)	03BB ₁₆	
037C ₁₆		03BC ₁₆	
037D ₁₆	CRCデータレジスタ(CRCD)	03BD ₁₆	
037E ₁₆	CRCインプットレジスタ(CRCIN)	03BE ₁₆	
037F ₁₆		03BF ₁₆	

注1. このレジスタはフラッシュメモリ版にのみ存在します。
(何も配置されていない領域は全て予約領域です。使用できません。)

図5.3 周辺装置制御レジスタの配置(3)

< 100ピン版 >		< 144ピン版 >	
03C0 ₁₆	ポートP6(P6)	03C0 ₁₆	ポートP6(P6)
03C1 ₁₆	ポートP7(P7)	03C1 ₁₆	ポートP7(P7)
03C2 ₁₆	ポートP6方向レジスタ(PD6)	03C2 ₁₆	ポートP6方向レジスタ(PD6)
03C3 ₁₆	ポートP7方向レジスタ(PD7)	03C3 ₁₆	ポートP7方向レジスタ(PD7)
03C4 ₁₆	ポートP8(P8)	03C4 ₁₆	ポートP8(P8)
03C5 ₁₆	ポートP9(P9)	03C5 ₁₆	ポートP9(P9)
03C6 ₁₆	ポートP8方向レジスタ(PD8)	03C6 ₁₆	ポートP8方向レジスタ(PD8)
03C7 ₁₆	ポートP9方向レジスタ(PD9)	03C7 ₁₆	ポートP9方向レジスタ(PD9)
03C8 ₁₆	ポートP10(P10)	03C8 ₁₆	ポートP10(P10)
03C9 ₁₆		03C9 ₁₆	ポートP11(P11)
03CA ₁₆	ポートP10方向レジスタ(PD10)	03CA ₁₆	ポートP10方向レジスタ(PD10)
03CB ₁₆		03CB ₁₆	ポートP11方向レジスタ(PD11)
03CC ₁₆		03CC ₁₆	ポートP12(P12)
03CD ₁₆		03CD ₁₆	ポートP13(P13)
03CE ₁₆		03CE ₁₆	ポートP12方向レジスタ(PD12)
03CF ₁₆		03CF ₁₆	ポートP13方向レジスタ(PD13)
03D0 ₁₆		03D0 ₁₆	ポートP14(P14)
03D1 ₁₆		03D1 ₁₆	ポートP15(P15)
03D2 ₁₆		03D2 ₁₆	ポートP14方向レジスタ(PD14)
03D3 ₁₆		03D3 ₁₆	ポートP15方向レジスタ(PD15)
03D4 ₁₆		03D4 ₁₆	
03D5 ₁₆		03D5 ₁₆	
03D6 ₁₆		03D6 ₁₆	
03D7 ₁₆		03D7 ₁₆	
03D8 ₁₆		03D8 ₁₆	
03D9 ₁₆		03D9 ₁₆	
03DA ₁₆	ブルアップ制御レジスタ 2 (PUR2)	03DA ₁₆	ブルアップ制御レジスタ2(PUR2)
03DB ₁₆	ブルアップ制御レジスタ 3 (PUR3)	03DB ₁₆	ブルアップ制御レジスタ3(PUR3)
03DC ₁₆		03DC ₁₆	ブルアップ制御レジスタ4(PUR4)
03DD ₁₆		03DD ₁₆	
03DE ₁₆		03DE ₁₆	
03DF ₁₆		03DF ₁₆	
03E0 ₁₆	ポートP0(P0)	03E0 ₁₆	ポートP0(P0)
03E1 ₁₆	ポートP1(P1)	03E1 ₁₆	ポートP1(P1)
03E2 ₁₆	ポートP0方向レジスタ(PD0)	03E2 ₁₆	ポートP0方向レジスタ(PD0)
03E3 ₁₆	ポートP1方向レジスタ(PD1)	03E3 ₁₆	ポートP1方向レジスタ(PD1)
03E4 ₁₆	ポートP2(P2)	03E4 ₁₆	ポートP2(P2)
03E5 ₁₆	ポートP3(P3)	03E5 ₁₆	ポートP3(P3)
03E6 ₁₆	ポートP2方向レジスタ(PD2)	03E6 ₁₆	ポートP2方向レジスタ(PD2)
03E7 ₁₆	ポートP3方向レジスタ(PD3)	03E7 ₁₆	ポートP3方向レジスタ(PD3)
03E8 ₁₆	ポートP4(P4)	03E8 ₁₆	ポートP4(P4)
03E9 ₁₆	ポートP5(P5)	03E9 ₁₆	ポートP5(P5)
03EA ₁₆	ポートP4方向レジスタ(PD4)	03EA ₁₆	ポートP4方向レジスタ(PD4)
03EB ₁₆	ポートP5方向レジスタ(PD5)	03EB ₁₆	ポートP5方向レジスタ(PD5)
03EC ₁₆		03EC ₁₆	
03ED ₁₆		03ED ₁₆	
03EE ₁₆		03EE ₁₆	
03EF ₁₆		03EF ₁₆	
03F0 ₁₆	ブルアップ制御レジスタ0(PUR0)	03F0 ₁₆	ブルアップ制御レジスタ0(PUR0)
03F1 ₁₆	ブルアップ制御レジスタ1(PUR1)	03F1 ₁₆	ブルアップ制御レジスタ1(PUR1)
03F2 ₁₆		03F2 ₁₆	
03F3 ₁₆		03F3 ₁₆	
03FC ₁₆		03FC ₁₆	
03FD ₁₆		03FD ₁₆	
03FE ₁₆		03FE ₁₆	
03FF ₁₆	ポート制御レジスタ(PCR)	03FF ₁₆	ポート制御レジスタ(PCR)

(何も配置されてない領域は全て予約領域です。使用できません。)

注1. ■■■ 03C9₁₆, 03CB₁₆ ~ 03D3₁₆番地の領域は将来展開予定の製品のために用意しているものです。
03CB₁₆, 03CE₁₆, 03CF₁₆, 03D2₁₆, 03D3₁₆番地には必ず“FF₁₆”を初期設定してください。

注2. //// 03DC₁₆番地の領域は将来展開予定の製品のために用意しているものです。必ず“00₁₆”を初期設定してください。

図5.4 周辺装置制御レジスタの配置(4)

ソフトウェアリセット

プロセッサモードレジスタ0(0004₁₆番地)のビット3に“1”を書き込むことでマイクロコンピュータにリセットをかけることができます(ソフトウェアリセット)。

ソフトウェアリセットは、マイコンのハードウェアリセットと同様の動作を行います。ただし、内部RAM領域の内容は保持します。

ソフトウェアリセットはメインクロックの発振が十分安定している状態で実施してください。

6. プロセッサモード

(1) プロセッサモードの種類

プロセッサモードは、シングルチップモード、メモリ拡張モード、およびマイクロプロセッサモードの3つのモードから選択することができます。プロセッサモードによって、一部の端子機能、メモリ配置、およびアクセス空間が異なります。

シングルチップモード

シングルチップモードは、内部領域(SFR、内部RAM、内部ROM)だけのアクセスが可能なモードです。

ただし、リセット解除後、CNVSS端子を“H”の状態でもマイクロプロセッサモードから動作を開始した場合は、その後シングルチップモードに移行しても内部ROMのアクセスはできません。

このモードでは、P0～P15(ポートP11からP15は144ピン版のみ存在します)をプログラマブル入出力ポートまたは内蔵周辺機能の入出力ポートとして使用することができます。

メモリ拡張モード

メモリ拡張モードは、内部領域(SFR、内部RAM、内部ROM)および外部領域のアクセスが可能なモードです。ただし、リセット解除後、CNVSS端子を“H”の状態でもマイクロプロセッサモードから動作を開始した場合は、その後メモリ拡張モードに移行しても内部ROMのアクセスはできません。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バスやレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

マイクロプロセッサモード

マイクロプロセッサモードは、SFRおよび内部RAM領域と外部領域のアクセスが可能なモードです(内部ROM領域はアクセスできません)。

このモードでは、一部の端子がアドレスバス、データバス、および制御信号用の端子となります。その本数は、バス幅やレジスタの設定によって異なります(詳細は、「バス設定」を参照してください)。

(2) 各モードの設定

各モードの設定は、CNVSS端子およびプロセッサモードビット(0004₁₆番地のビット1、ビット0)によって行います。プロセッサモードビットを“10₂”にしないでください。

CNVSS端子のレベルにかかわらず、プロセッサモードビットの内容を書き替えると、対応するモードになります。したがって、プロセッサモードビット以外のビットの内容を書き替えるとき、プロセッサモードビットが変化しないように注意してください。プロセッサモードビットを“01₂”または“11₂”に書き替えるときは他のビットと同時にプロセッサモードビットを書き替えないでください。他のビットを書き替えてからプロセッサモードビットを書き替えてください。また、内部ROM領域でのマイクロプロセッサモードへの移行、およびマイクロプロセッサモードからの移行は行わないでください。

CNVSS端子にVssを印加

リセット後シングルチップモードで動作を開始します。動作開始後、プロセッサモードビットを“01₂”にするとメモリ拡張モードへ切り替えることができます。

CNVSS端子にVccを印加

リセット後マイクロプロセッサモードで動作を開始します。

図6.1、図6.2にプロセッサモードレジスタ0、プロセッサモードレジスタ1の構成を示します。

図6.3に各プロセッサモードのメモリ配置図を示します。

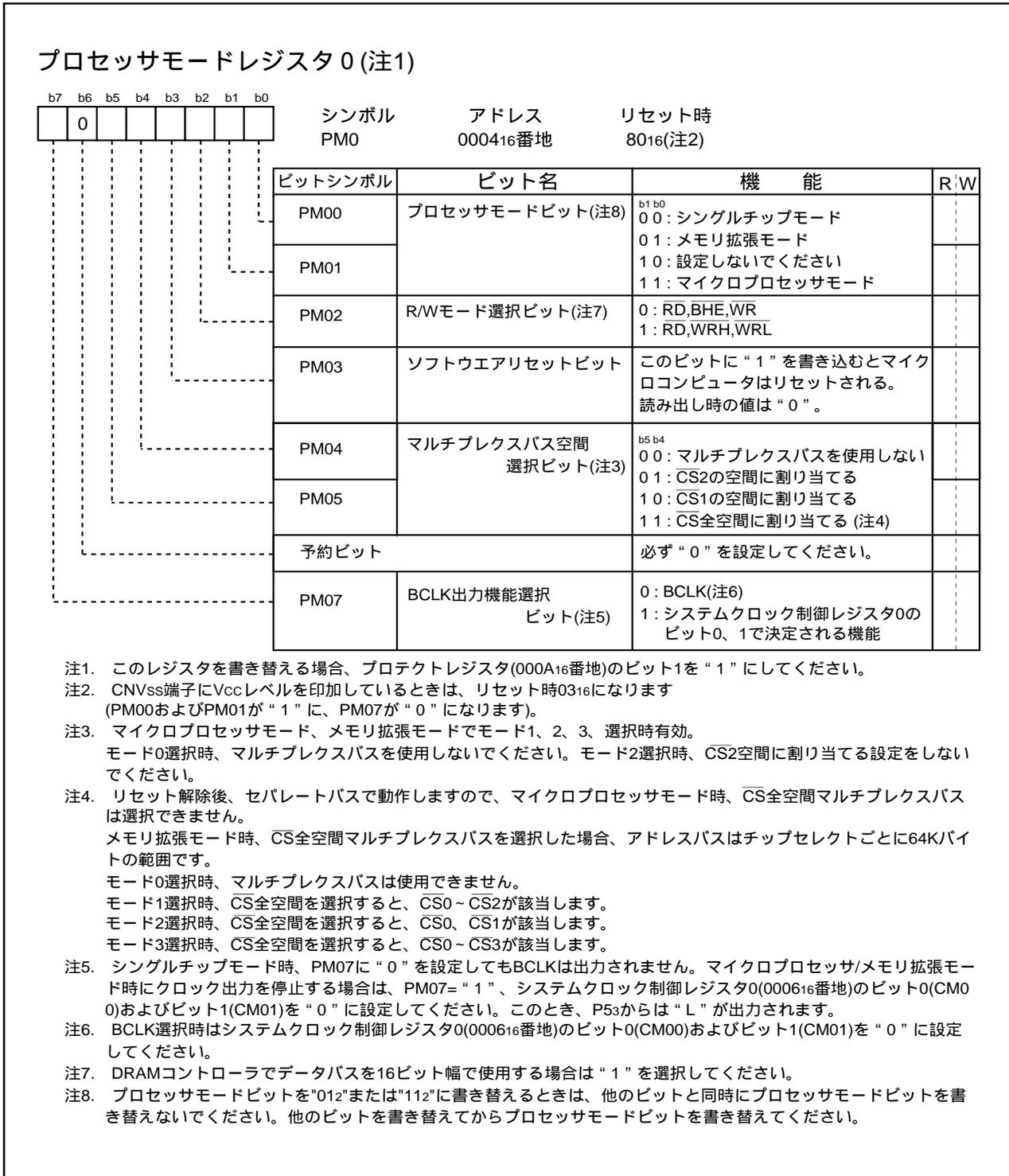


図6.1 プロセッサモードレジスタ0の構成

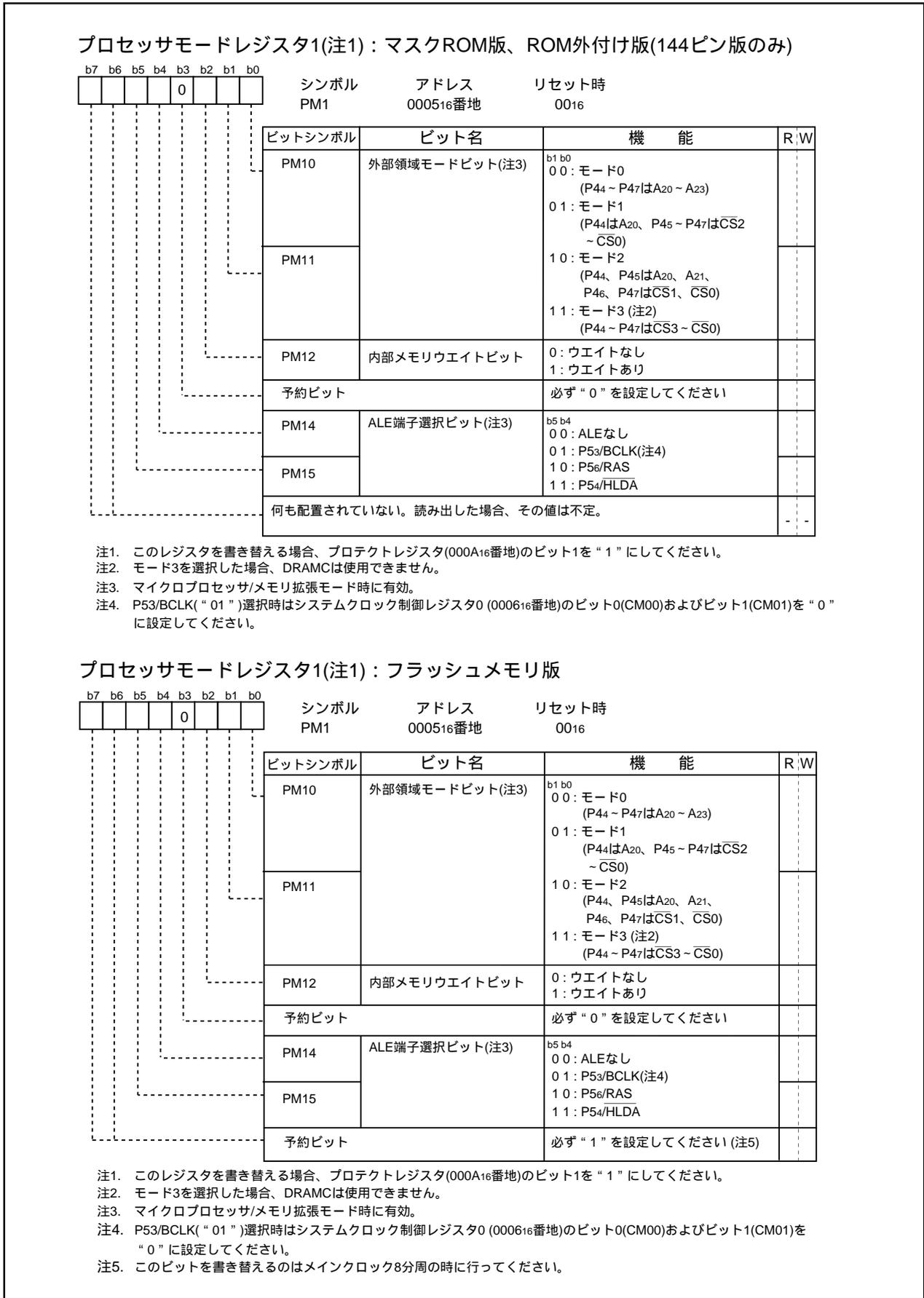


図6.2 プロセッサモードレジスタ1の構成

		メモリ拡張モード						マイクロプロセッサモード									
		モード0		モード1		モード2		モード3		モード0		モード1		モード2		モード3	
アドレス	SFR領域	SFR領域															
	内部RAM領域 内部予約領域																
00000016																	
00040016																	
00800016																	
10000016																	
20000016																	
30000016																	
40000016																	
C0000016																	
D0000016																	
E0000016																	
F0000016																	
FFFFFF16																	

注1. 20000016 - 00800016 = 2016K/バイト・2M/バイトに対して32K少ない。
 注2. 40000016 - 00800016 = 4064K/バイト・4M/バイトに対して32K少ない。

CS0 ~ CS3は各々0 ~ 3ウエイต์設定可能。

図6.3 各プロセッサモード時のメモリ配置

7. バス

7.1 バス設定

バスの設定はBYTE端子と外部データバス幅制御レジスタ(000B₁₆番地)のビット0～ビット3とプロセッサモードレジスタ0(0004₁₆番地)のビット4、ビット5、プロセッサモードレジスタ1(0005₁₆番地)のビット0、ビット1で切り替えることができます。

表7.1に各バスの設定と切り替え要因を、図7.1に外部データバス幅制御レジスタの構成を、表7.2に外部領域0～3の対応を示します。

表7.1. バスの設定と切り替え要因

バスの設定	切り替え要因
外部データバス幅切り替え	外部データバス幅制御レジスタ
リセット解除後のバス幅設定	BYTE端子(外部領域3のみ)
セパレートバス/マルチプレクスバス切り替え	プロセッサモードレジスタ0のビット4、ビット5

(1) 外部アドレスバス幅の選択

16Mバイトのアドレス空間のうち外部に出力されるアドレスバス幅/チップセレクト信号数およびチップセレクト信号のアドレスエリアを選択することができます。(ただし、「CS全空間マルチプレクスバス」を選択する場合は、アドレスはA₀～A₁₅までが出力されます。)プロセッサモードレジスタ1のビット0とビット1の組み合わせにより外部領域モードを設定することが可能です。

DRAMコントローラを使用する場合、DRAM領域では行アドレスと列アドレスが時分割でマルチプレクスして出力されます。

(2) 外部データバス幅の選択

外部データバス幅は各外部領域0、1、2、3ごとに8ビットと16ビットを選択することができます。外部データバス幅制御レジスタのデータバス幅ビットが“0”のときはデータバス幅は8ビット、“1”のときはデータバス幅は16ビットとなり外部領域ごとに設定することができます。また外部領域3についてはリセット解除時のBYTE端子が“L”のときは16ビットに、“H”のときは8ビットが初期のバス幅として設定されます。バス幅の選択は、外部バスだけで有効になります(内部バス幅は常に16ビットです)。

動作時は、BYTE端子を“H”または“L”に固定してください。

(3) セパレートバス/マルチプレクスバスの選択

バスの形式は、マルチプレクスバスとセパレートバスを選択することができます。マルチプレクスバスまたはセパレートバスはプロセッサモードレジスタ0のビット4、ビット5で選択します。

セパレートバス

データとアドレスを分離して入出力するバスの形式です。データバスは、外部データバス幅制御レジスタにより8ビットまたは16ビットを選択できます。選択可能なすべての外部領域について外部データバスが8ビットのときはP₀がデータバス、P₁がプログラマブル入出力ポートとなります。外部領域のいずれかの領域で外部データバスが16ビット幅を選択した場合はP₀およびP₁(ただし、8ビットバス領域についてはP₁は不定)がデータバスとなります。

セパレートバスでアクセスする場合、ウエイト制御レジスタによりソフトウェアウエイトの有無を選択できます。

マルチプレクスバス

データとアドレスを時分割で入出力するバスの形式です。このとき外部データバス幅制御レジスタにより8ビットが選択された領域ではD₀～D₇の8ビットがA₀～A₇とマルチプレクスされます。外部データバス幅制御レジスタにより16ビットが選択された領域ではD₀～D₁₅の16ビットがA₀～A₁₅とマルチプレクスされます。マルチプレクスバスでアクセスする場合、ウエイト制御レジスタの相当するウエイトビットで、「ウエイトなし」または「1ウエイトあり」を選択しても2ウエイトアクセスとなります。

リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、CS全空間マルチプレクスバスは選択できません。「CS全空間マルチプレクスバス」を選択した場合、アドレスはA₀～A₁₅までの16ビットが出力されます。

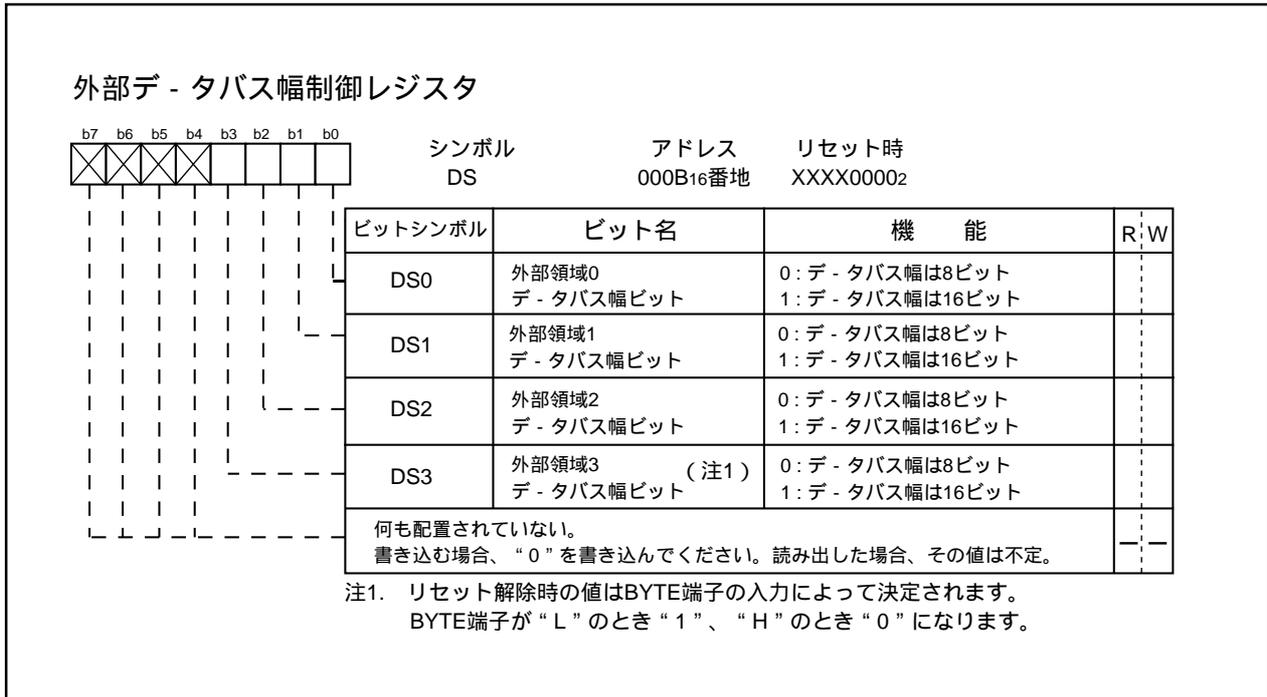


図7.1 外部データバス幅制御レジスタの構成

表7.2 外部領域0~3対応表

外部領域 モード(注2)		モ - ド0	モ - ド1	モ - ド2	モ - ド3
外部 領域 0	メモリ拡張モード時 マイクロプロセッサモード時	008000 ₁₆ 番地 ~ 1FFFFFF ₁₆ 番地	<CS1領域> 008000 ₁₆ 番地 ~ 1FFFFFF ₁₆ 番地	<CS1領域> 008000 ₁₆ 番地 ~ 3FFFFFF ₁₆ 番地	<CS1領域> 100000 ₁₆ 番地 ~ 1FFFFFF ₁₆ 番地
外部 領域 1	メモリ拡張モード時 マイクロプロセッサモード時	200000 ₁₆ 番地 ~ 3FFFFFF ₁₆ 番地	<CS2領域> 200000 ₁₆ 番地 ~ 3FFFFFF ₁₆ 番地	対応する領域なし	<CS2領域> 200000 ₁₆ 番地 ~ 2FFFFFF ₁₆ 番地
外部 領域 2	メモリ拡張モード時 マイクロプロセッサモード時	400000 ₁₆ 番地 ~ BFFFFFF ₁₆ 番地 (注1)	<DRAMCの領域> 400000 ₁₆ 番地 ~ BFFFFFF ₁₆ 番地	<DRAMCの領域> 400000 ₁₆ 番地 ~ BFFFFFF ₁₆ 番地	<CS3領域> C00000 ₁₆ 番地 ~ CFFFFFF ₁₆ 番地
外部 領域 3	メモリ拡張モード時	C00000 ₁₆ 番地 ~ EFFFFFF ₁₆ 番地	<CS0領域> C00000 ₁₆ 番地 ~ DFFFFFF ₁₆ 番地	<CS0領域> C00000 ₁₆ 番地 ~ EFFFFFF ₁₆ 番地	<CS0領域> E00000 ₁₆ 番地 ~ EFFFFFF ₁₆ 番地
	マイクロプロセッサモード時	C00000 ₁₆ 番地 ~ FFFFFFF ₁₆ 番地	<CS0領域> E00000 ₁₆ 番地 ~ FFFFFFF ₁₆ 番地	<CS0領域> C00000 ₁₆ 番地 ~ FFFFFFF ₁₆ 番地	<CS0領域> F00000 ₁₆ 番地 ~ FFFFFFF ₁₆ 番地

注1. DRAMCを使用する時はDRAMCの領域。

注2. 外部領域モード(モード0~モード3)はプロセッサモードレジスタ1(0005₁₆番地)のビット0、ビット1で設定。

表7.3 各プロセッサモードと端子の機能表

プロセッサモード	シングルチップモード	メモリ拡張モード/マイクロプロセッサモード				メモリ拡張モード	
マルチプレクスバス 空間選択ビット		"01"、"10" (CS1またはCS2はマルチプレクスバスで、それ以外はセパレートバス)		"00" (セパレートバス)		"11" (注1) (全空間マルチプレクスバス)	
アクセス領域の データバス幅		全ての外部 領域が8ビット	いずれかの外部 領域が16ビット	全ての外部 領域が8ビット	いずれかの外部 領域が16ビット	全ての外部 領域が8ビット	いずれかの外部 領域が16ビット
P00～P07	入出力ポート	データバス	データバス	データバス	データバス	入出力ポート	入出力ポート
P10～P17	入出力ポート	入出力ポート	データバス	入出力ポート	データバス	入出力ポート	入出力ポート
P20～P27	入出力ポート	アドレスバス/ データバス(注2)	アドレスバス/ データバス(注2)	アドレスバス	アドレスバス	アドレスバス/ データバス	アドレスバス/ データバス
P30～P37	入出力ポート	アドレスバス	アドレスバス/ データバス(注2)	アドレスバス	アドレスバス	アドレスバス	アドレスバス/ データバス
P40～P43	入出力ポート	アドレスバス	アドレスバス	アドレスバス	アドレスバス	入出力ポート	入出力ポート
P44～P46	入出力ポート	\overline{CS} (チップセレクト)またはアドレスバス(A20～A22)の選択 (詳細は「バス制御」を参照) (注5)					
P47	入出力ポート	\overline{CS} (チップセレクト)またはアドレスバス(A23)の選択 (詳細は「バス制御」を参照) (注5)					
P50～P53	入出力ポート	RD、WRL、WRH、BCLK出力またはRD、BHE、WR、BCLK出力 (詳細は「バス制御」を参照) (注3) (注4)					
P54	入出力ポート	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)	\overline{HLDA} (注3)
P55	入出力ポート	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}	\overline{HOLD}
P56	入出力ポート	\overline{RAS} (注3)	\overline{RAS} (注3)	\overline{RAS} (注3)	\overline{RAS} (注3)	\overline{RAS} (注3)	\overline{RAS} (注3)
P57	入出力ポート	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}	\overline{RDY}

注1. リセット解除後、セパレートバスで動作しますので、マイクロプロセッサモード時、“ \overline{CS} 全空間マルチプレクスバス”は選択できません。メモリ拡張モード時、“ \overline{CS} 全空間マルチプレクスバス”を選択した場合、アドレスバスはチップセレクトごとに64Kバイトの範囲です。

注2. セパレートバスではアドレスバスになります。

注3. ALE出力端子はプロセッサモードレジスタ1のビット4、ビット5で選択します。

注4. DRAMコントローラの使用を選択し、DRAM領域をアクセスした場合CASL、CASH、DW、BCLK出力となります。

注5. \overline{CS} 信号とアドレスバスの選択は、外部領域モードで設定されます。

7.2 バス制御

外部デバイスのアクセスに必要な信号、およびソフトウェアウエイトについて説明します。外部デバイスのアクセスに必要な信号は、プロセッサモードが、メモリ拡張モードおよびマイクロプロセッサモードのとき有効です。

(1) アドレスバス/データバス

アドレスバスは、16Mバイトの空間をアクセスするための端子で、A0～A22、 $\overline{A23}$ の24本あります。 $\overline{A23}$ はアドレス最上位ビットの反転出力となります。

データバスは、データの入出力を行う端子です。外部データバス幅制御レジスタ(000B₁₆番地)により外部領域ごとにD0～D7の8ビットデータバスと、D0～D15の16ビットデータバスを選択することができます。リセット解除時の外部領域3についてはBYTE端子が“H”のときは8ビットデータバス、BYTE端子が“L”のときは16ビットデータバスとなります。

また、シングルチップモードからメモリ拡張モードに変更したとき、外部領域をアクセスするまでアドレスバスの値は不定です。

DRAMコントローラを使用しDRAM領域をアクセスした際には、A8～A20に行アドレスと列アドレスがマルチプレクスされた信号が出力されます。

(2) チップセレクト信号

チップセレクト信号はA20～A22、 $\overline{A23}$ と兼用で、プロセッサモードレジスタ1(0005₁₆番地)のビット0、ビット1によって外部領域モードを設定し、チップセレクト領域とアドレス出力本数を選択できます。

マイクロプロセッサモードの場合、リセット解除のとき外部領域モードはモード0が選択されます。チップセレクト信号によって外部領域を最大4つに分割することができます。チップセレクト信号によって指定する外部領域を表7.4に示します。

表7.4 チップセレクト信号によって指定する外部領域

外部領域モード	プロセッサモード	チップセレクト信号				
		CS0	CS1	CS2	CS3	
指定する アドレス 範囲	モード0	(A23)	(A22)	(A21)	(A20)	
	モード1	メモリ拡張モード	C0000 ₁₆ ～ DFFFF ₁₆ (2Mバイト)	008000 ₁₆ ～ 1FFFF ₁₆ (2016Kバイト)	200000 ₁₆ ～ 3FFFF ₁₆ (2Mバイト)	(A20)
		マイクロプロセッサモード	E0000 ₁₆ ～ FFFFF ₁₆ (2Mバイト)			
	モード2	メモリ拡張モード	C0000 ₁₆ ～ EFFFF ₁₆ (3Mバイト)	008000 ₁₆ ～ 3FFFF ₁₆ (4064Kバイト)	(A21)	(A20)
		マイクロプロセッサモード	C0000 ₁₆ ～ FFFFF ₁₆ (4Mバイト)			
	モード3	メモリ拡張モード	E0000 ₁₆ ～ EFFFF ₁₆ (1Mバイト)	100000 ₁₆ ～ 1FFFF ₁₆ (1Mバイト)	200000 ₁₆ ～ 2FFFF ₁₆ (1Mバイト)	C0000 ₁₆ ～ CFFFF ₁₆ (1Mバイト)
		マイクロプロセッサモード	F0000 ₁₆ ～ FFFFF ₁₆ (1Mバイト)			

チップセレクト信号が“L” (アクティブ)になるタイミングは、アドレスバスに同期します。しかし、チップセレクトが“H”になるタイミングは、次のサイクルでアクセスされる領域に依存します。アドレスバスとチップセレクト信号の出力例を図7.2に示します。

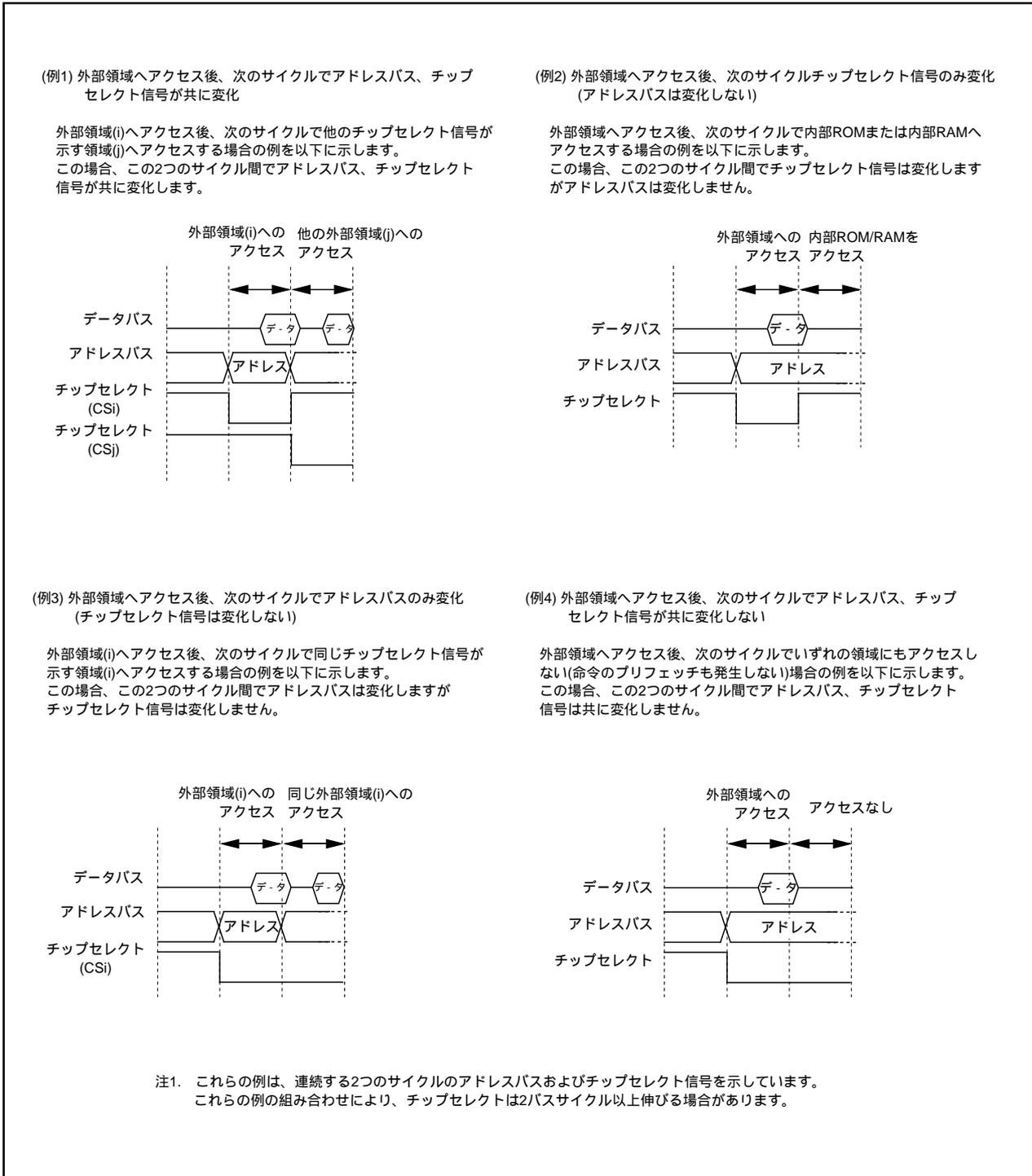


図7.2 アドレスバスとチップセレクト信号の出力例(セパレートバス)

(3) リード/ライト信号

データバスが16ビットのとき、リード/ライト信号はプロセッサモードレジスタ0(0004₁₆番地)のビット2によって、 \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせ、または \overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせを選択することができます。全領域データバスが8ビットのとき、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせを使用してください(プロセッサモードレジスタ0(0004₁₆番地)のビット2を“0”にしてください)。データバス幅を8ビットと16ビット両方を使用する際、データバス幅8ビット領域をアクセスした場合、プロセッサモードレジスタ0(0004₁₆番地)のビット2の値にかかわらず、 $\overline{RD}/\overline{WR}/\overline{BHE}$ の組み合わせとなります。各信号の動作を表7.5、表7.6に示します。

リセット解除後、リード/ライト信号は \overline{RD} 、 \overline{WR} 、 \overline{BHE} の組み合わせです。

\overline{RD} 、 \overline{WRL} 、 \overline{WRH} の組み合わせに切り替える場合、プロセッサモードレジスタ0(0004₁₆番地)(注1)のビット2を切り替えるまで、外部のメモリに対しての書き込み動作を行わないでください。

- 注1. プロセッサモードレジスタ0を書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット1を“1”にしてください。
- 注2. DRAMコントローラでデータバスを16ビット幅で使用する場合、 $\overline{RD}/\overline{WRL}/\overline{WRH}$ を選択してください。

表7.5 \overline{RD} 、 \overline{WRL} 、 \overline{WRH} 信号の動作

データバス幅	\overline{RD}	\overline{WRL}	\overline{WRH}	外部データバスの状態
16ビット	L	H	H	データを読み出す
	H	L	H	偶数番地に1バイトデータを書き込む
	H	H	L	奇数番地に1バイトデータを書き込む
	H	L	L	偶数番地、奇数番地ともにデータを書き込む
8ビット	H	L(注1)	使用しない	1バイトのデータを書き込む
	L	H(注1)	使用しない	1バイトのデータを読み出す

注1. \overline{WR} 信号となります。

表7.6 \overline{RD} 、 \overline{WR} 、 \overline{BHE} 信号の動作

データバス幅	\overline{RD}	\overline{WR}	\overline{BHE}	A0	外部データバスの状態
16ビット	H	L	L	H	奇数番地に1バイトデータを書き込む
	L	H	L	H	奇数番地に1バイトデータを読み出す
	H	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	H	L	偶数番地に1バイトデータを読み出す
	H	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	H	L	L	偶数番地、奇数番地ともにデータを読み出す
8ビット	H	L	使用しない	H/L	1バイトのデータを書き込む
	L	H	使用しない	H/L	1バイトのデータを読み出す

(4) ALE信号

マルチプレクスバスの空間をアクセスするとき、アドレスをラッチするための信号です。ALE信号の立ち下がりでアドレスをラッチしてください。ALE信号の出力はプロセッサモードレジスタ1(0005₁₆番地)のビット4、ビット5で出力端子を選択することが可能です。

ALE信号は内部領域/外部領域にかかわらず発生します。

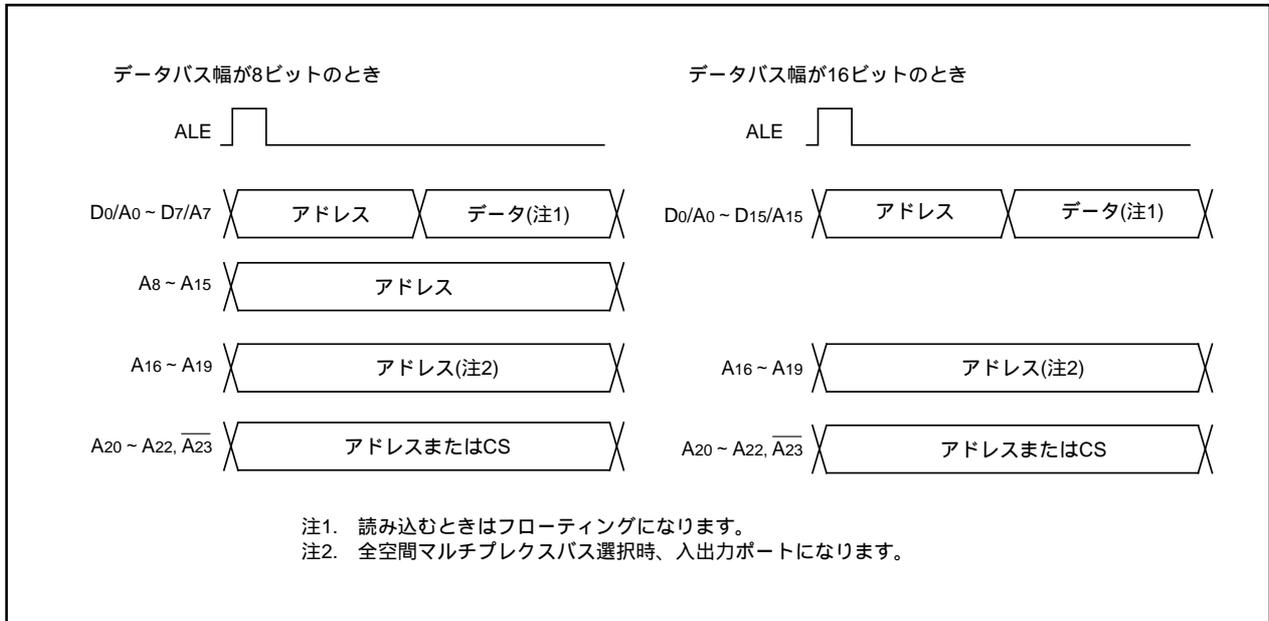


図7.3 ALE信号とアドレスバス/データバス

(5) RDY信号

RDYは、アクセス時間が長い外部デバイスへのアクセスを容易にするための信号です。BCLKの立ち下がりでRDY端子に“L”が入力されているとき、バスはウェイト状態になります。BCLKの立ち下がりでRDY端子に“H”が入力されているとき、バスはウェイト状態を解除します。表7.7にバスのウェイト状態におけるマイクロコンピュータの状態、図7.4にRD信号がRDY信号によってのびた例を示します。

RDY信号は、ソフトウェアウエイトが動作しているバスサイクルで、外部領域をアクセスするとき有効です。ソフトウェアウエイトが動作していない(ウェイトなしに設定)場合でも、RDY信号は有効となります。

表7.7 バスのウェイト状態におけるマイクロコンピュータの状態(注1)

項目	状態
発振	動作
RD信号、WR信号、アドレスバス、データバス、CS ALE信号、HLDA プログラブル入出力ポート	RDY信号を受け付けたときの状態を保持
内蔵周辺回路	動作

注1. ソフトウェアウエイトによるウェイトの直前にはRDY信号は受け付けられません。

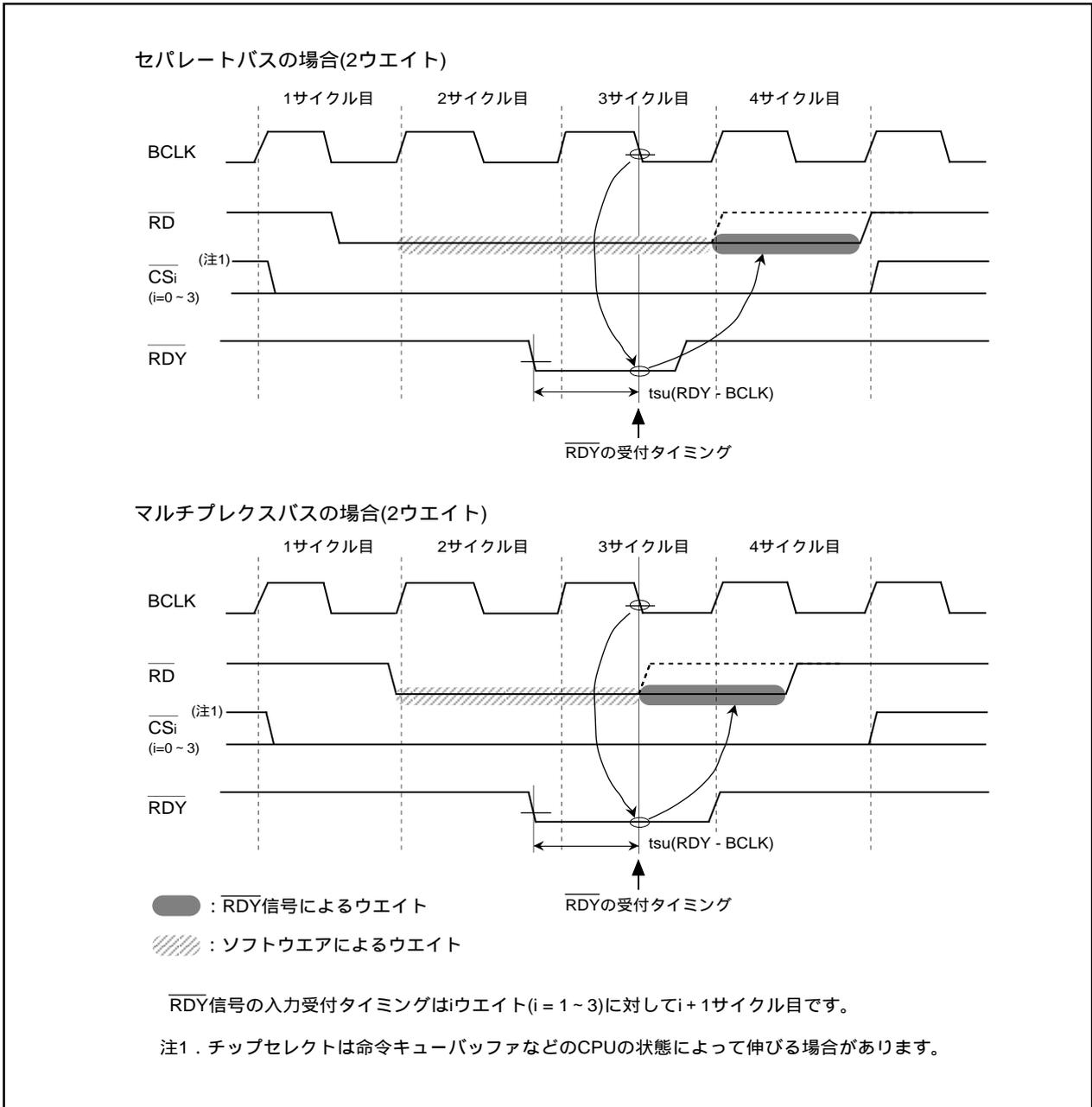


図7.4 RD信号がRDY信号によつてのびた例

(6) ホールド信号

ホールドは、バスの使用权をCPUから外部回路へ移行するための信号です。HOLD端子に“L”を入力するとその時点のバスアクセスを終了した後、マイクロコンピュータはホールド状態になり、HOLD端子が“L”の期間その状態を保持します。また、その間HLDA端子から“L”を出力します。表7.8にホールド状態におけるマイクロコンピュータの状態を示します。

なお、バスの使用優先順位は高い方から順に、HOLD、DMAC、CPUとなっています。



図7.5 バス使用優先順位

表7.8 ホールド状態におけるマイクロコンピュータの状態

項目		状態
発振		動作
RD信号、WR信号、アドレスバス、データバス、CS、BHE		フローティング
プログラマブル入出力ポート	P0, P1, P2, P3, P4, P5 P6, P7, P8, P9, P10 P11, P12, P13, P14, P15 (注1)	ホールド信号を受け付けた状態を保持
HLDA		“L”を出力
内蔵周辺回路		動作(ただしウォッチドッグタイムは停止)
ALE信号		“L”を出力

注1. P11～P15は、144ピン版にのみ存在します。

(7) 内部領域をアクセスしたときの外部バスの状態

内部領域をアクセスしたときの外部バスの状態を表7.9に示します。

表7.9 内部領域をアクセスしたときの外部バスの状態

項目	SFRをアクセスしたときの状態	内部ROM/RAMをアクセスしたときの状態
アドレスバス	直前にアクセスされた外部領域のアドレスを保持	直前にアクセスされた外部領域のアドレスを保持
データバス	リード時 ライト時	フローティング フローティング
RD, WR, WRL, WRH	“H”を出力	“H”を出力
BHE	直前にアクセスされた外部領域の状態を保持	直前にアクセスされた外部領域の状態を保持
CS	“H”を出力	“H”を出力
ALE	ALE出力	ALE出力

(8) BCLK出力

BCLKの出力をプロセッサモードレジスタ0(0004₁₆番地)のビット7(PM07)とシステムクロック制御レジスタ0(0006₁₆番地)のビット0、ビット1(CM00、CM01)によって選択できます。PM07に“0”を選択し、CM00、CM01に“00”を選択した場合は、P5₃よりBCLK信号として出力されます。ただし、シングルチップモード時は、BCLK信号は出力されません。PM07に“1”を選択した場合は、CM00、CM01で設定された機能となります。

(9) DRAMコントローラ信号(RAS、CASL、CASH、DW)

DRAM制御レジスタ(0040₁₆番地)のビット1～ビット3でDRAM空間を選択してDRAMコントローラを有効とし、DRAM領域をアクセスした際に出力されます。各信号の動作を表7.10に示します。

表7.10 RAS、CASL、CASH、DW信号の動作

データバス幅	RAS	CASL	CASH	DW	データバスの状態
16ビット	L	L	L	H	偶数番地、奇数番地ともにデータを読み出す
	L	L	H	H	偶数番地から1バイトデータを読み出す
	L	H	L	H	奇数番地から1バイトデータを読み出す
	L	L	L	L	偶数番地、奇数番地ともにデータを書き込む
	L	L	H	L	偶数番地に1バイトデータを書き込む
	L	H	L	L	奇数番地に1バイトデータを書き込む
8ビット	L	L	使用しない	H	1バイトデータを読み出す
	L	L	使用しない	L	1バイトデータを書き込む

(10) ソフトウェアウエイト

外部メモリ領域では、ウエイト制御レジスタ(0008₁₆番地)によって、各外部領域ごとにソフトウェアウエイトを挿入することができます。図7.6にウエイト制御レジスタの構成を示します。

外部メモリ領域では、ウエイト制御レジスタの外部領域*i*ウエイトビット(*i*=0~3)により“ウエイトなし”から“3ウエイトあり”の設定が行えます。“ウエイトなし”を設定した場合、リードサイクルはBCLK1サイクルで実行されますが、ライトサイクルはBCLK2サイクル(1ウエイトあり)で実行されます。マルチプレクスバスでアクセスをする場合、ウエイト制御レジスタの相当する外部領域*i*ウエイトビットで“ウエイトなし”または“1ウエイトあり”を選択しても2ウエイトアクセスとなります。

内部メモリ(内部RAM、内部ROM)でのソフトウェアウエイトは、プロセッサモードレジスタ1(0005₁₆番地)の内部メモリウエイトビットで設定できます。内部メモリウエイトビット=“0”でウエイトなし、内部メモリウエイトビット=“1”でウエイトありとなります。

SFR領域は、内部メモリウエイトビットの影響を受けず、常にBCLK2サイクルでアクセスされます。

表7.11にソフトウェアウエイトとバスサイクル、図7.7、図7.8にソフトウェアウエイトを使用した場合のバスタイミング例を示します。

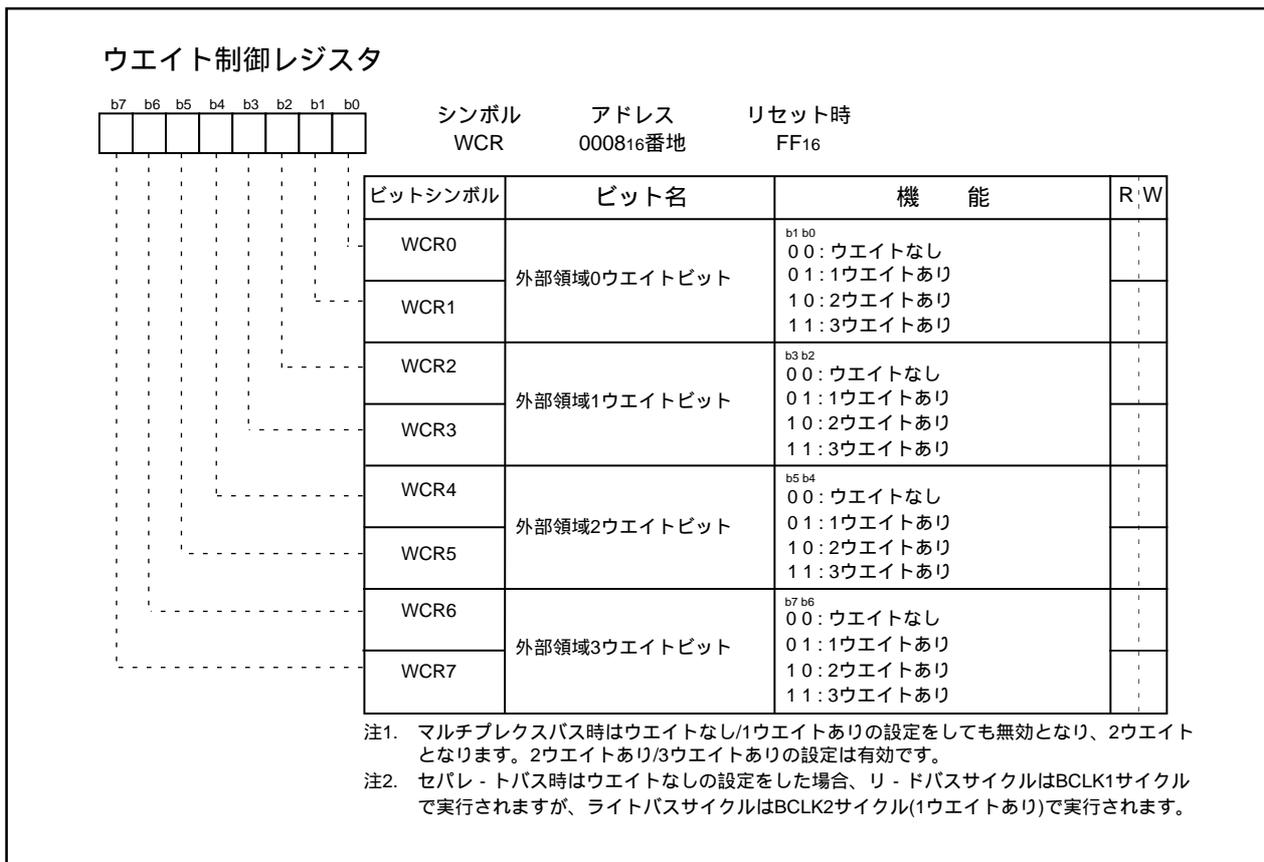


図7.6 ウエイト制御レジスタの構成

表7.11 ソフトウェアウエイトとバスサイクル

領域	バス形状	内部メモリ ウエイトビット	外部領域 ウエイトビット	バスサイクル
SFR	———	———	———	BCLKの2サイクル
内部 ROM/RAM	———	0	———	BCLKの1サイクル
	———	1	———	BCLKの2サイクル
外部 メモリ領域	セパレートバス	———	002	リードサイクル BCLKの1サイクル ライトサイクル BCLKの2サイクル
			012	BCLKの2サイクル
			102	BCLKの3サイクル
			112	BCLKの4サイクル
	マルチプレクスバス		002	BCLKの3サイクル
			012	BCLKの3サイクル
			102	BCLKの3サイクル
			112	BCLKの4サイクル

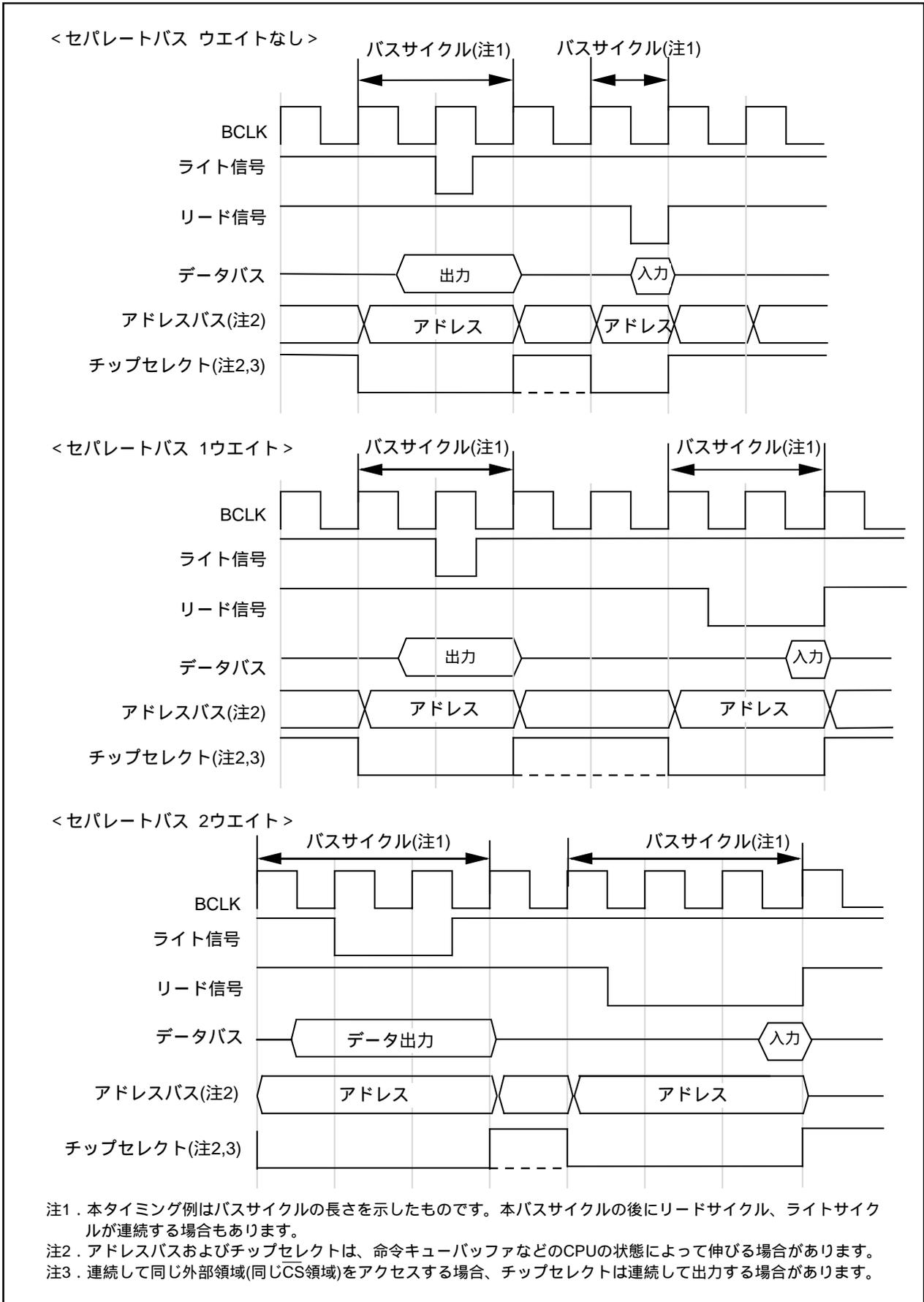


図7.7 ソフトウェアウェイトを使用した場合のバスタイミング例(1)

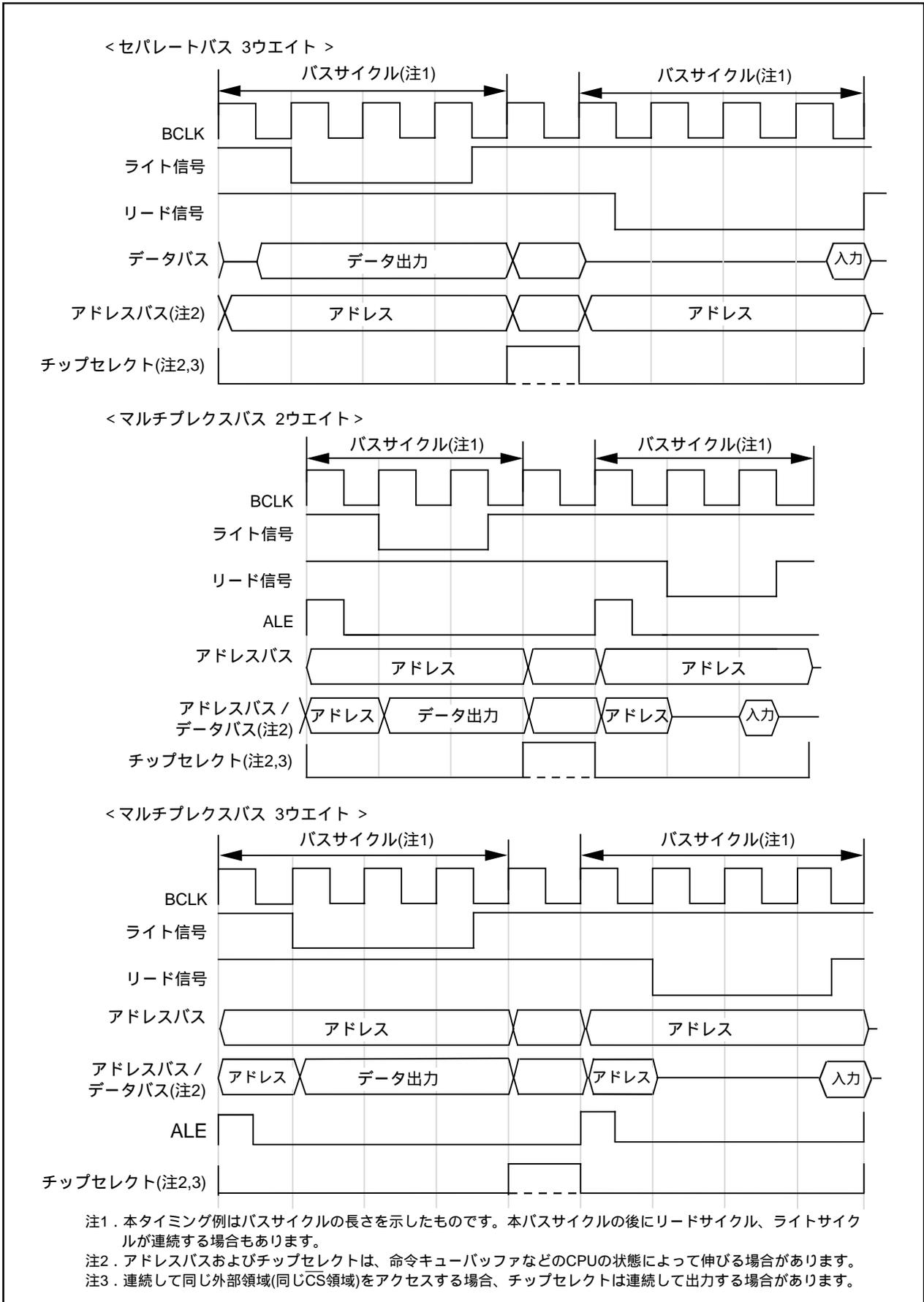


図7.8 ソフトウェアウエイトを使用した場合のバスタイミング例(2)

8. クロック発生回路

クロック発生回路は、CPU、内蔵周辺装置などの動作クロック源を供給する発振回路を2回路内蔵しています。

表8.1 メインクロック発振回路、サブクロック発振回路

	メインクロック発振回路	サブクロック発振回路
クロックの用途	CPUの動作クロック源 内蔵周辺装置の動作クロック源	CPUの動作クロック源 タイマA、タイマBのカウントクロック源
接続できる発振子	セラミック発振子、水晶発振子	水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振の停止/再開機能	あり	あり
リセット直後の発振子の状態	発振	停止
その他	外部で生成されたクロックを入力することが可能	

8.1 発振回路例

図8.1にメインクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図8.2にサブクロックに発振子を接続した場合および外部で生成されたクロックを入力した場合の回路例を示します。図8.1中および図8.2中の回路定数は発振子によって異なりますので、発振子メーカーの推奨する値に設定してください。

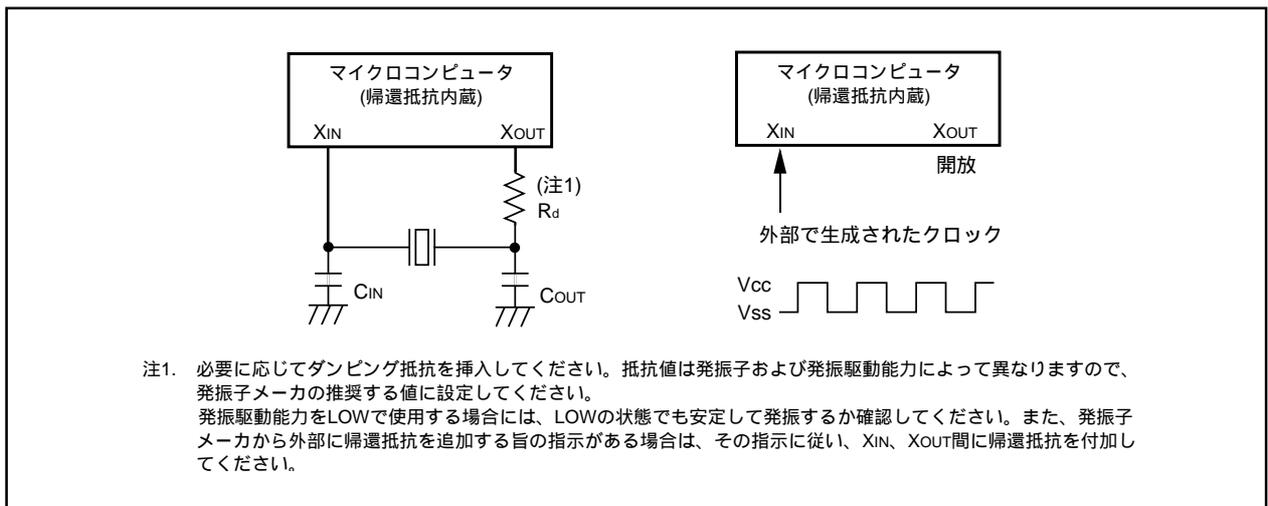


図8.1 メインクロックの接続例

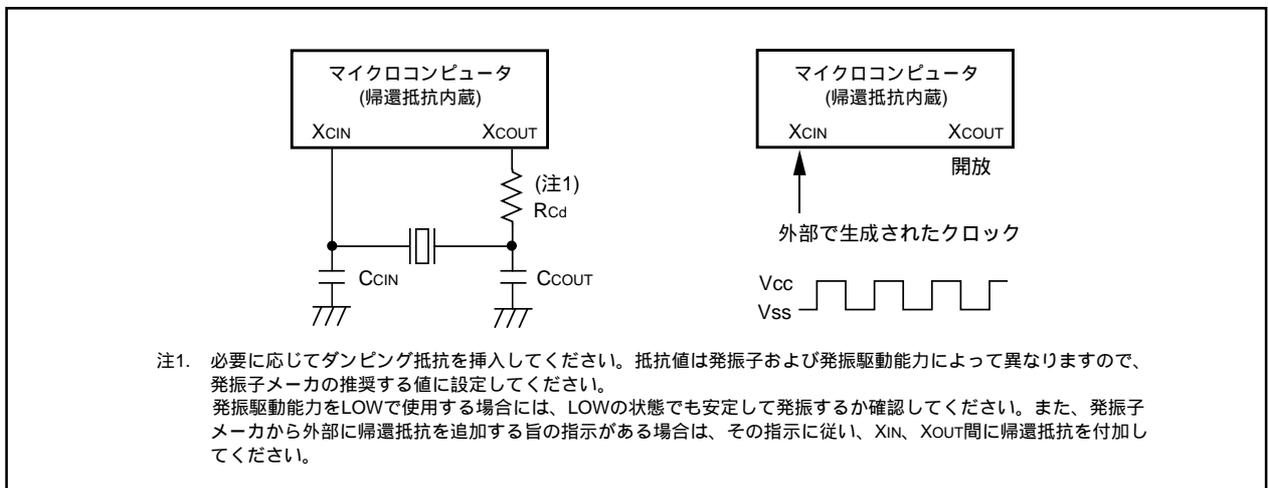


図8.2 サブクロックの接続例

8.2 クロックの制御

図8.3にクロック発生回路のブロック図を示します。

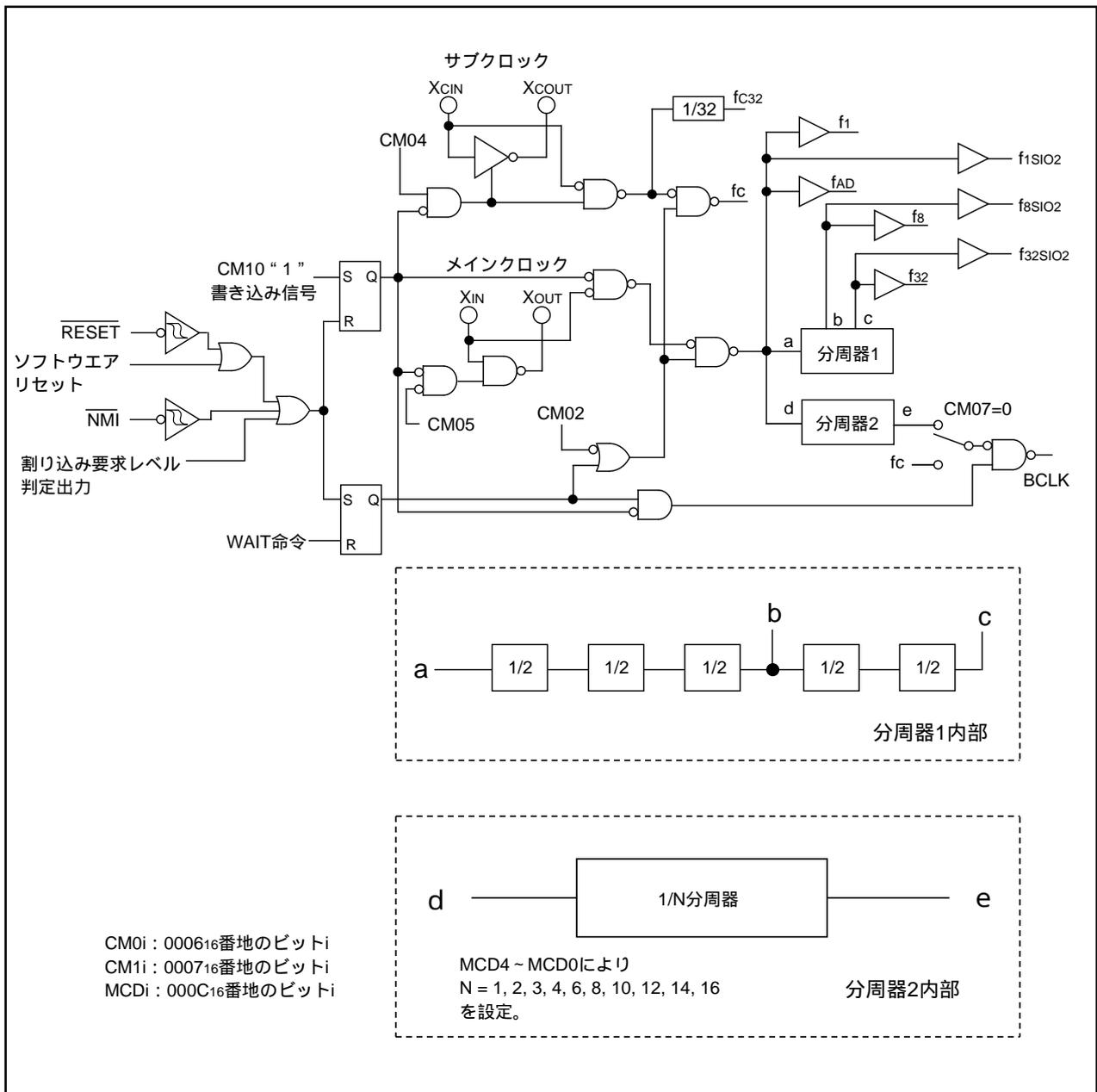


図8.3 クロック発生回路

クロック発生回路で発生するクロックを順に説明します。

(1) メインクロック

メインクロック発振回路が供給するクロックです。リセット直後は、このクロックの8分周がBCLKになります。メインクロック停止ビット(0006₁₆番地のビット5)によってこのクロックの供給を停止できません。CPU動作クロック源をサブクロックに切り替えた後、このクロックの供給を停止すると消費電力は低減します。

メインクロック停止時(0006₁₆番地のビット5="1")、およびストップモード移行時(0007₁₆番地のビット0="1")メインクロック分周レジスタ(000C₁₆番地)は8分周モード("08₁₆")になります。

メインクロック発振回路の発振が安定した後は、XIN-XOUT駆動能力選択ビット(0007₁₆番地のビット5)によってメインクロック発振回路の駆動能力を弱めることができます。メインクロック発振回路の駆動能力を弱めると消費電力は低減します。高速モード、中速モードからストップモードへの移行時およびリセット時、このビットは"1"になります。低速モード、低消費電力モードでは保持されます。

(2) サブクロック

サブクロック発振回路が供給するクロックです。リセット直後は、このクロックは供給されていません。ポートXc切り替えビット(0006₁₆番地のビット4)で発振を開始した後、システムクロック選択ビット(0006₁₆番地のビット7)によって、サブクロックをBCLKにすることができます。ただし、サブクロックの発振が十分に安定してから切り替えるようにしてください。

サブクロック発振回路の発振が安定した後は、XCIN-XCOUT駆動能力選択ビット(0006₁₆番地のビット3)によってサブクロック発振回路の駆動能力を弱めることができます。サブクロック発振回路の駆動能力を弱めると消費電力はさらに低減します。このビットは、ストップモードへの移行時およびリセット時、"1"になります。

サブクロックを使用する場合、ポートP86、P87は入力ポートでプルアップなしを設定してください。

(3) BCLK

メインクロックの1、2、3、4、6、8、10、12、14、16分周、またはfcをクロック源とするCPUの動作クロックです。リセット直後、メインクロックの8分周がBCLKになります。メモリ拡張モード時およびマイクロプロセッサモード時、BCLK出力機能選択ビット(0004₁₆番地のビット7)とクロック出力機能選択ビット(0006₁₆番地のビット0、ビット1)によってBCLK端子からこの信号を出力できます。

メインクロック停止時およびストップモードへの移行時、メインクロック分周レジスタ(000C₁₆番地)は8分周モード("08₁₆")になります。

(4) 周辺機能クロック

f1、f8、f32、f1SIO2、f8SIO2、f32SIO2

それぞれメインクロックを、分周なし(1分周)、8分周、32分周した内蔵周辺装置の動作クロックです。このクロックは、メインクロックを停止させるか、またはWAIT時周辺機能クロック停止ビット(0006₁₆番地のビット2)を"1"にした後、WAIT命令を実行すると供給が停止します。

fAD

メインクロックと同一周波数のクロックでA/D変換に使用します。

(5) fc32

サブクロックを32分周したクロックです。タイマAとタイマBのカウントに使用します。

(6) fc

サブクロックと同一周波数のクロックです。BCLKやウォッチドッグタイマに使用します。

図8.4にシステムクロック制御レジスタ0、システムクロック制御レジスタ1、図8.5にメインクロック分周レジスタの構成を示します。

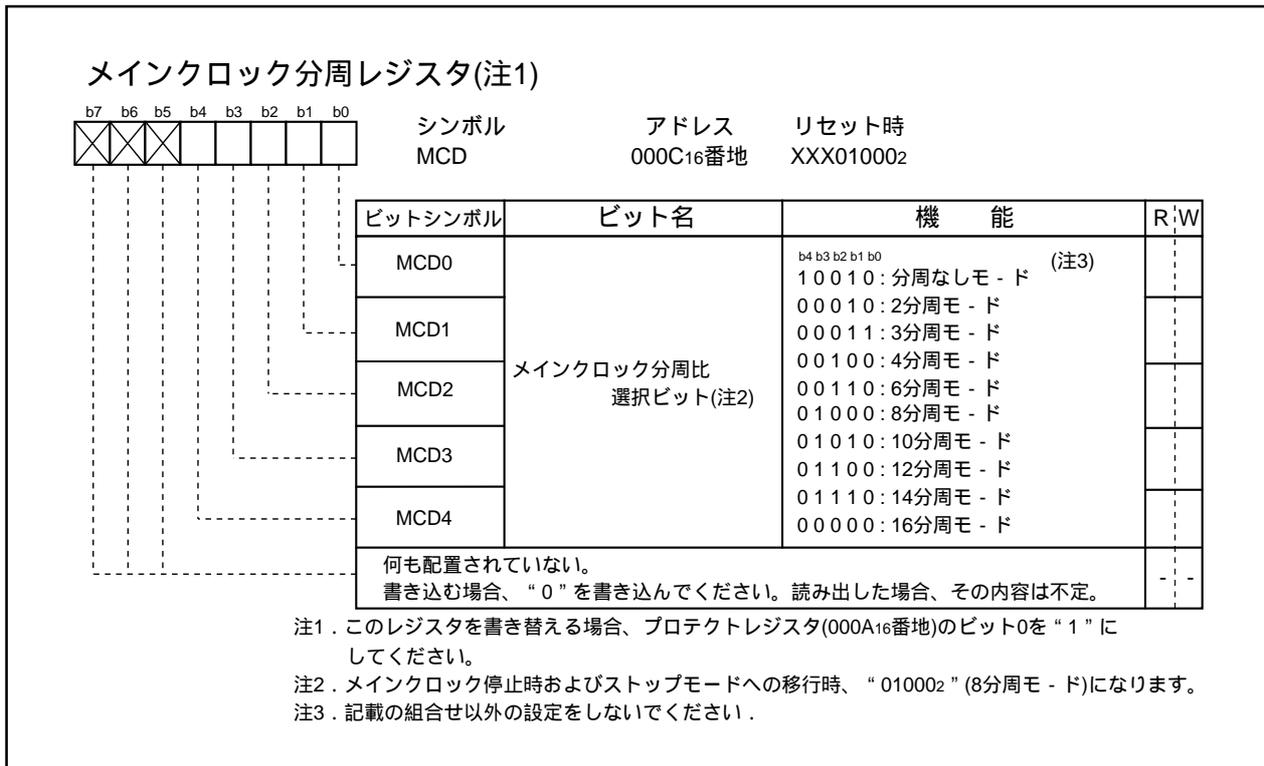


図8.5 メインクロック分周レジスタの構成

8.3 クロック出力

シングルチップモード時、BCLK出力機能選択ビット(000416番地のビット7：PM07)が“1”に設定されている場合、クロック出力機能選択ビット(000616番地のビット1、ビット0：CM01、CM00)によって、P53/BCLK/ALE/CLKOUT端子からf8、f32またはfcを出力することができます。(注1)

シングルチップモード時にPM07を“0”、CM01、CM00を“002”に設定してもBCLKは出力されません。

メモリ拡張モード時またはマイクロプロセッサモード時、ALE端子選択ビット(000516番地のビット5、ビット4：PM15、PM14)が“012(P53/BCLK)”以外でPM07が“1”に設定されている場合、CM01、CM00によって、P53/BCLK/ALE/CLKOUT端子からf8、f32またはfcを出力することができます。

メモリ拡張モード時またはマイクロプロセッサモード時、PM15、PM14が“012(P53/BCLK)”以外でPM07が“0”、CM01、CM00を“002”に設定されている場合、P53/BCLK/ALE/CLKOUT端子からBCLKが出力されません。

メモリ拡張モード時またはマイクロプロセッサモード時にクロック出力を停止する場合は、PM07を“1”、CM01、CM00を“002”(入出力ポートP53)に設定してください。P53機能にはなりません。PM15、PM14が“012(P53/BCLK)”、CM01、CM00を“002”に設定している場合は、PM07は無効となり、P53端子はALE出力となります。

WAIT時周辺機能クロック停止ビット(000616番地のビット2)を“1”に設定している場合、WAIT命令を実行するとf8、f32のクロック出力は停止します。

表8.2にクロック設定の一覧(シングルチップモード時)、表8.3にクロック設定の一覧(メモリ拡張、マイクロプロセッサモード時)を示します。

注1. シングルチップモード時、P53/BCLK/ALE/CLKOUT端子からf8、f32またはfcを出力する場合、P57/RDY端子は必ず入力端子として使用してください。

表8.2 クロック設定の一覧(シングルチップモード時)

BCLK出力機能選択ビット	クロック出力機能選択ビット		ALE端子選択ビット		P53/BCLK/ALE/CLKOUT 端子の機能
	PM07	CM01	CM00	PM15	
0/1	0	0	無効	無効	P53入出力ポート
1	0	1	無効	無効	fcを出力(注1)
1	1	0	無効	無効	f8を出力(注1)
1	1	1	無効	無効	f32を出力(注1)

注1．P57は必ず入力端子として使用してください。

表8.3 クロック設定の一覧(メモリ拡張、マイクロプロセッサモード時)

BCLK出力機能選択ビット	クロック出力機能選択ビット		ALE端子選択ビット		P53/BCLK/ALE/CLKOUT 端子の機能
	PM07	CM01	CM00	PM15	
0	0	0	0	0	BCLKを出力
1	0	0			"L"を出力(P53になりません)
1	0	1	1	0	fcを出力
1	1	0	1	1	f8を出力
1	1	1			f32を出力
無効	0	0	0	1	ALEを出力

8.4 ストップモード

全クロック停止制御ビット(0007₁₆番地のビット0)に“1”を書き込むと、発振がすべて停止し、マイクロコンピュータはストップモードに入ります。ストップモード時、Vccが2V以上であれば内部RAMの内容を保持することができます。

ストップモードでは、発振、BCLK、f₁～f₃₂、f_{1SIO2}～f_{32SIO2}、fc、fc₃₂、fADは停止しますのでA/Dコンバータ、ウォッチドッグタイマ等の内蔵周辺機能は動作しません。ただし、タイマA、タイマBは外部パルスのカウントするイベントカウンタモードだけ、UART_i(i=0～4)は、外部クロック選択時だけ動作します。ストップモード時のポートの状態を表8.2に示します。

ストップモードはハードウェアリセットまたは割り込みによって解除されます。ストップモードの解除に割り込みを使用する場合、対象となる割り込みは、あらかじめ割り込み許可状態にし、割り込みの割り込み優先レベルをストップ/ウェイト復帰用割り込み優先順位設定ビット(009F₁₆番地のビット2～ビット0)で指定したレベルより高いレベルに設定する必要があります。ストップ/ウェイト復帰用割り込み優先順位設定ビットはフラグレジスタ(FLG)のプロセッサ割り込みレベル(IPL)と同じ値を設定してください。図8.6に復帰用優先順位レジスタの構成を示します。ストップ解除時に使用しない割り込みの優先レベルを0にしてからストップモードに移行してください。

割り込みで復帰した場合、対象となる割り込みルーチンを実行します。

ストップモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込みの優先レベルを0にしてからストップモードに移行してください。

ストップモードへの移行時およびリセット時、メインクロック分周レジスタ(000C₁₆番地)が“0816”になります。

表8.4 ストップモード時のポートの状態

端子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, CS0 ~ CS3, BHE		ストップモードに入る直前の状態を保持	/
RD, WR, WRL, WRH, DW, CASL, CASH		“H” (注1)	
RAS		“H” (注1)	
HLDA, BCLK		“H”	
ALE		“H”	
ポート		ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持
CLKOUT	f _c 選択時	“H”	“H”
	f ₈ , f ₃₂ 選択時	ストップモードに入る直前の状態を保持	ストップモードに入る直前の状態を保持

注1. DRAMコントローラでセルフリフレッシュ動作時、CAS、RASは“L”となります。

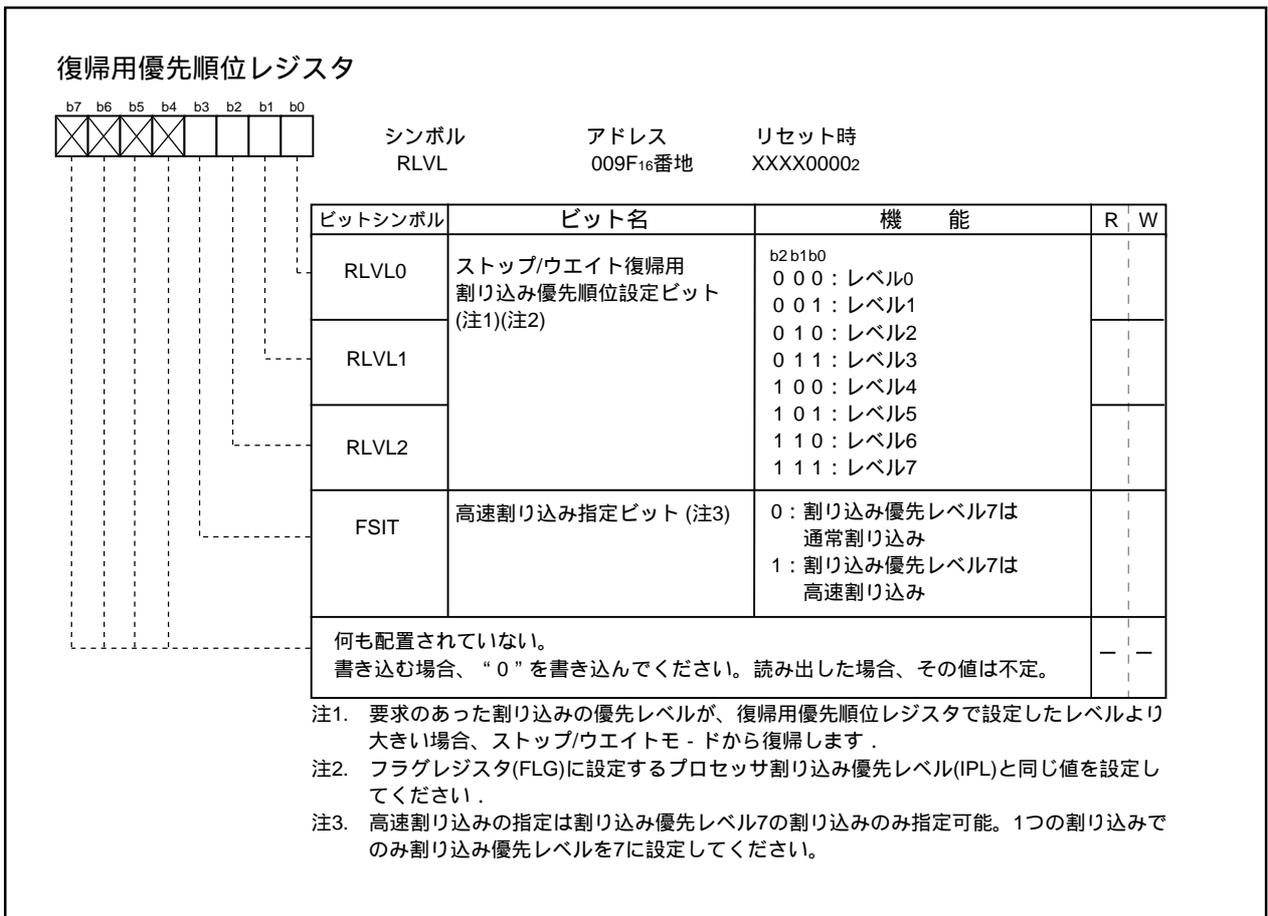


図8.6 復帰用優先順位レジスタの構成

8.5 ウェイトモード

WAIT命令を実行するとBCLKが停止し、マイクロコンピュータはウェイトモードに入ります。ウェイトモードでは、発振は停止しませんが、BCLKおよびウォッチドッグタイマは停止します。WAIT時周辺機能クロック停止ビットに“1”を書いて、WAIT命令を実行すると、内蔵周辺機能へ供給しているクロックが停止し、消費電力を低減することができます。ウェイトモード時のポートの状態を表8.5に示します。

ウェイトモードはハードウェアリセットまたは割り込みによって解除されます。ウェイトモードの解除に割り込みを使用した場合、対象となる割り込みは、あらかじめ割り込み許可状態にし、割り込みの優先レベルをストップ/ウェイト復帰用割り込み優先順位設定ビット(009F₁₆番地のビット2～ビット0)で指定したレベルより高いレベルに設定する必要があります。ストップ/ウェイト復帰用割り込み優先順位設定ビットはフラグレジスタ(FLG)のプロセッサ割り込みレベル(IPL)と同じ値を設定してください。ウェイトモード解除に使用しない割り込みの優先レベルを0にしてからウェイトモードに移行してください。

また、割り込みによりウェイトモードを解除した場合、マイクロコンピュータはWAIT命令を実行したときのクロックをBCLKとし、割り込みルーチンから動作を再開します。

ウェイトモードの解除にハードウェアリセットおよびNMI割り込みのみを使用する場合、すべての割り込みの優先レベルを0にしてからウェイトモードに移行してください。

表8.5 ウェイトモード時のポートの状態

端 子		メモリ拡張モード マイクロプロセッサモード	シングルチップモード
アドレスバス, データバス, $\overline{CS0} \sim \overline{CS3}$, \overline{BHE}		ウェイトモードに入る直前の 状態を保持	/
RD, WR, WRL, WRH, DW, CASL, CASH		“H” (注1)	
RAS		“H” (注1)	
HLDA, BCLK		“H”	
ALE		“L”	
ポート		ウェイトモードに入る直前の状態を保持	
CLKOUT	fc選択時	停止しません	停止しません
	f8、f32選択時	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウェイトモードに入る直前の状態を保持	WAIT時周辺機能クロック停止ビットが“0”のとき停止しません WAIT時周辺機能クロック停止ビットが“1”のときウェイトモードに入る直前の状態を保持

注1. DRAMコントローラでセルフリフレッシュ動作時、CAS、RASは“L”となります。

8.6 BCLKの状態遷移

BCLKのカウントソースを変更することで、消費電流の低減や低電圧動作を実現することができます。以下にBCLKの動作モードを示します。また、表8.6にシステムクロック制御レジスタ0とメインクロック分周レジスタの設定値に対する動作モードを示します。

リセット時、8分周モードで立ち上がります。ストップモードへの移行時、リセット時およびメインクロック停止時にはメインクロック分周レジスタ(000C16番地)は“0816”になります。

(1) 2分周モード

メインクロックの2分周がBCLKとなるモードです。

(2) 3分周モード

メインクロックの3分周がBCLKとなるモードです。

(3) 4分周モード

メインクロックの4分周がBCLKとなるモードです。

(4) 6分周モード

メインクロックの6分周がBCLKとなるモードです。

(5) 8分周モード

メインクロックの8分周がBCLKとなるモードです。リセット時このモードから動作します。このモードから分周なし、2、6、10、12、14、16分周モードへ移行する場合、メインクロックが安定して発振している必要があります。低速モード、低消費電力モードへ移行する場合、サブクロックが安定して発振している必要があります。

(6) 10分周モード

メインクロックの10分周がBCLKとなるモードです。

(7) 12分周モード

メインクロックの12分周がBCLKとなるモードです。

(8) 14分周モード

メインクロックの14分周がBCLKとなるモードです。

(9) 16分周モード

メインクロックの16分周がBCLKとなるモードです。

(10) 分周なしモード

メインクロックの1分周がBCLKとなるモードです。

(11) 低速モード

fcがBCLKとなるモードです。他のモードからこのモードへ、またはこのモードから他のモードへ移行する場合は、メインクロックおよびサブクロックとも発振が安定している必要があります。特にサブクロックの発振立ち上がりは時間(2~3秒程度)を要しますので、電源投入直後やストップモード解除時は、安定するまでプログラムで待ち時間をとってから移行するようにしてください。

(12) 低消費電力モード

fcがBCLKとなり、さらにメインクロックを停止させたモードです。メインクロックを停止させると、メインクロック分周レジスタ(000C16番地)は8分周モードになります。

注意事項

BCLKのカウントソースをXINからXCIN、XCINからXINに切り替えるとき、切り替え先のクロックは安定して発振している必要があります。ソフトウェアにて発振が安定するまで待ち時間を取ってから移るようにしてください。

表8.6 システムクロック制御レジスタ0とメインクロック分周レジスタの設定値に対する動作モード

CM07	CM05	CM04	MCD4	MCD3	MCD2	MCD1	MCD0	BCLKの動作モード
0	0	無効	1	0	0	1	0	分周なしモード
0	0	無効	0	0	0	1	0	2分周モード
0	0	無効	0	0	0	1	1	3分周モード
0	0	無効	0	0	1	0	0	4分周モード
0	0	無効	0	0	1	1	0	6分周モード
0	0	無効	0	1	0	0	0	8分周モード
0	0	無効	0	1	0	1	0	10分周モード
0	0	無効	0	1	1	0	0	12分周モード
0	0	無効	0	1	1	1	0	14分周モード
0	0	無効	0	0	0	0	0	16分周モード
1	0	1	無効	無効	無効	無効	無効	低速モード
1	1	1	無効	無効	無効	無効	無効	低消費モード

CM0i: クロック制御レジスタ0(0006₁₆番地)のビットi

MCDi: メインクロック分周レジスタ(000C₁₆番地)のビットi

8.7 パワーコントロール

パワーコントロールの概要について説明します。

モード

パワーコントロールには3つのモードがあります。

(1) 通常動作モード

高速モード

メインクロックの1分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、各周辺機能で設定したクロックで動作します。

中速モード

メインクロックの2分周、3分周、4分周、6分周、8分周、10分周、12分周、14分周または16分周がBCLKとなるモードです。CPUはBCLKで動作します。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低速モード

fcがBCLKとなるモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。周辺機能は、周辺機能ごとに設定したクロックで動作します。

低消費電力モード

低速モードからメインクロックを停止させたモードです。CPUは、fcのクロックで動作します。fcとは、サブクロックが供給するクロックです。カウントソースとしてサブクロックを選択している周辺機能だけ動作します。

(2) ウェイトモード

CPUの動作を停止させるモードです。発振器は停止しません。

(3) ストップモード

すべての発振器が停止するモードです。CPUや内蔵の周辺機能はすべて停止します。パワーコントロールの3つのモードの中で一番消費電流を少なくすることができます。

(1)~(3)の状態遷移図を図8.7に示します。

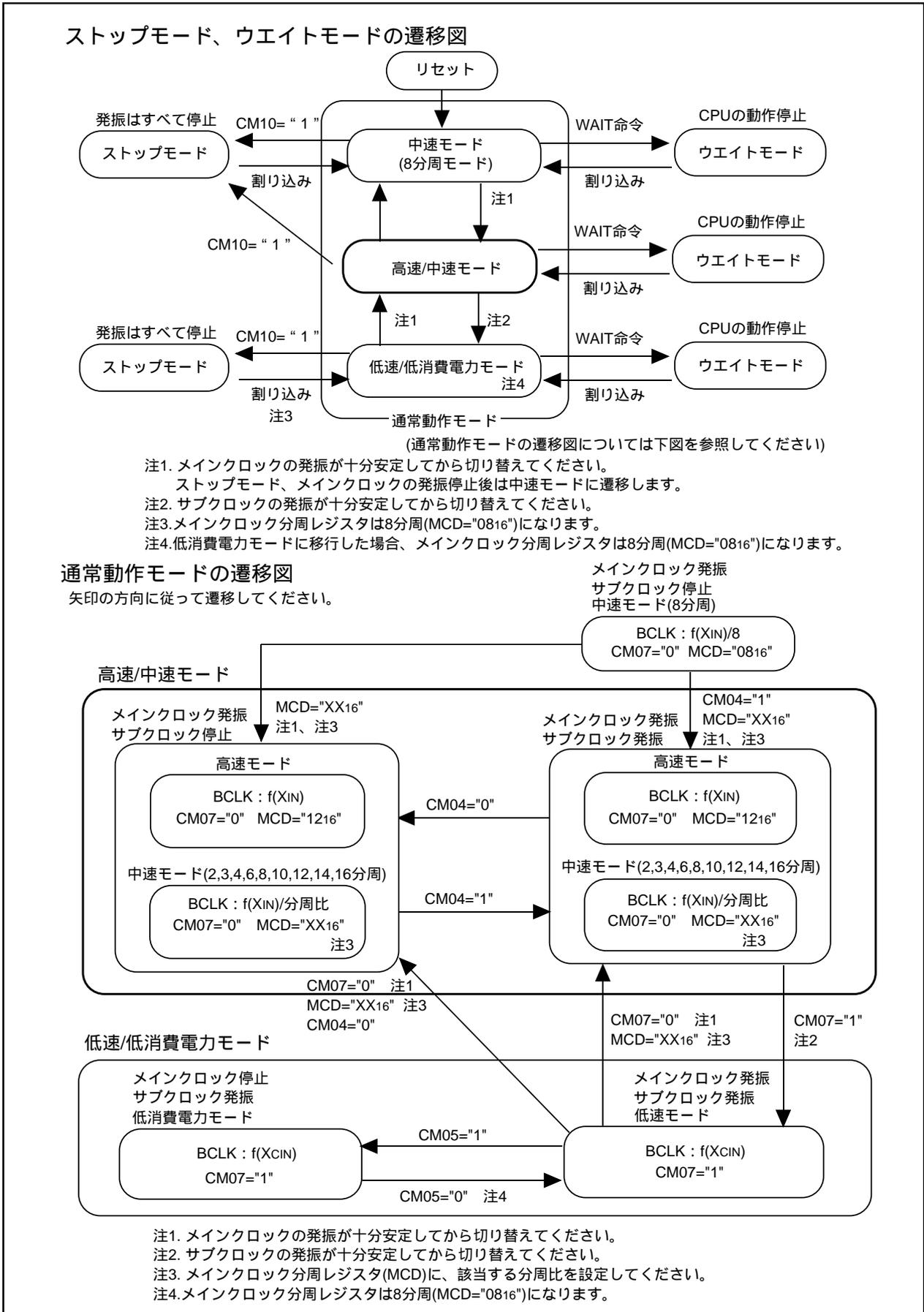


図8.7 状態遷移図

8.8 プロテクト

プログラムが暴走したときに備え、重要なレジスタは、簡単に書き替えることができないようにプロテクトする機能を持ちます。図8.8にプロテクトレジスタの構成を示します。プロセッサモードレジスタ0(0004₁₆番地)、プロセッサモードレジスタ1(0005₁₆番地)、システムクロック制御レジスタ0(0006₁₆番地)、システムクロック制御レジスタ1(0007₁₆番地)、メインクロック分周レジスタ(000C₁₆番地)、ポートP9方向レジスタ(03C7₁₆番地)、機能選択レジスタA3(03B5₁₆番地)は、プロテクトレジスタの対応するビットが“1”のときだけ書き替えることができます。したがって、ポートP9には重要な出力を配置することができます。

PRC2(000A₁₆番地のビット2)は、“1”(書き込み許可状態)を書き込んだ後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。ポートP9の入出力の変更や機能選択レジスタA3の変更はPRC2を“1”にする直後に行ってください。命令の間に割り込みやDMA転送が入らないようにしてください。PRC0(000A₁₆番地のビット0)およびPRC1(000A₁₆番地のビット1)は任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

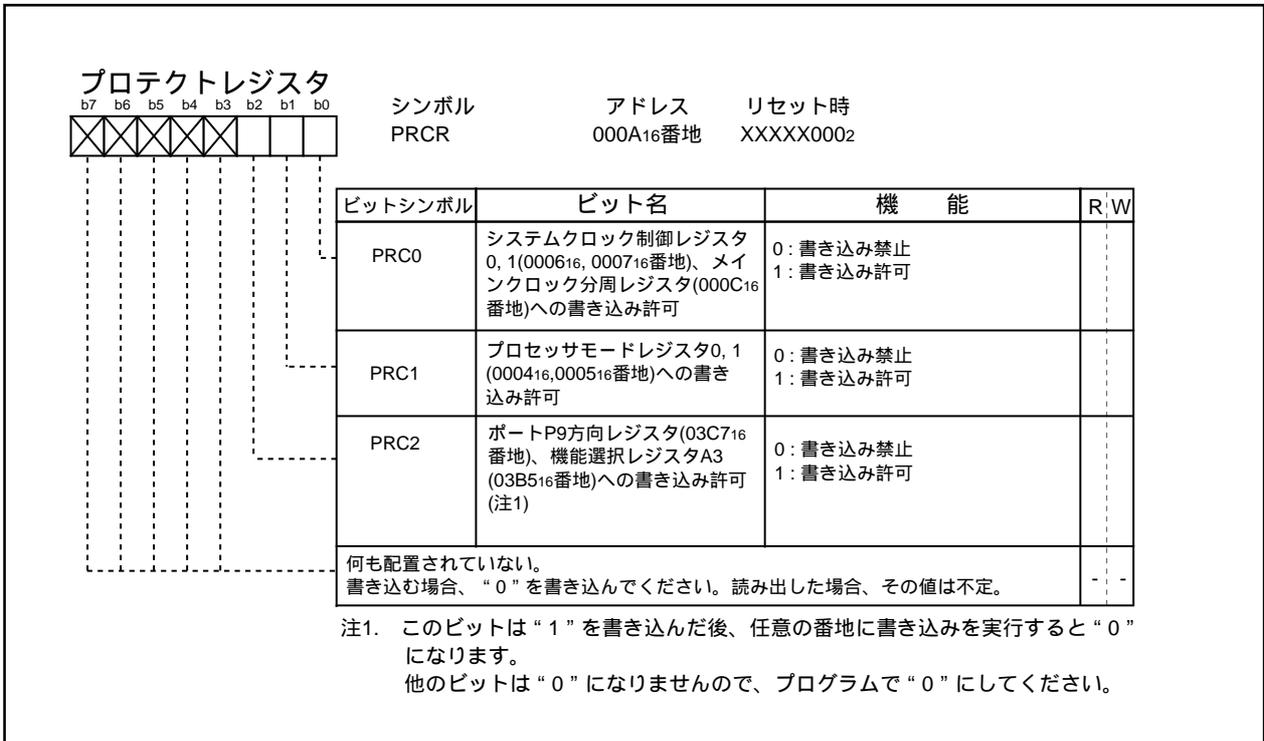


図8.8 プロテクトレジスタの構成

9. 割り込み

9.1 割り込みの分類

図9.1に割り込みの分類を示します。

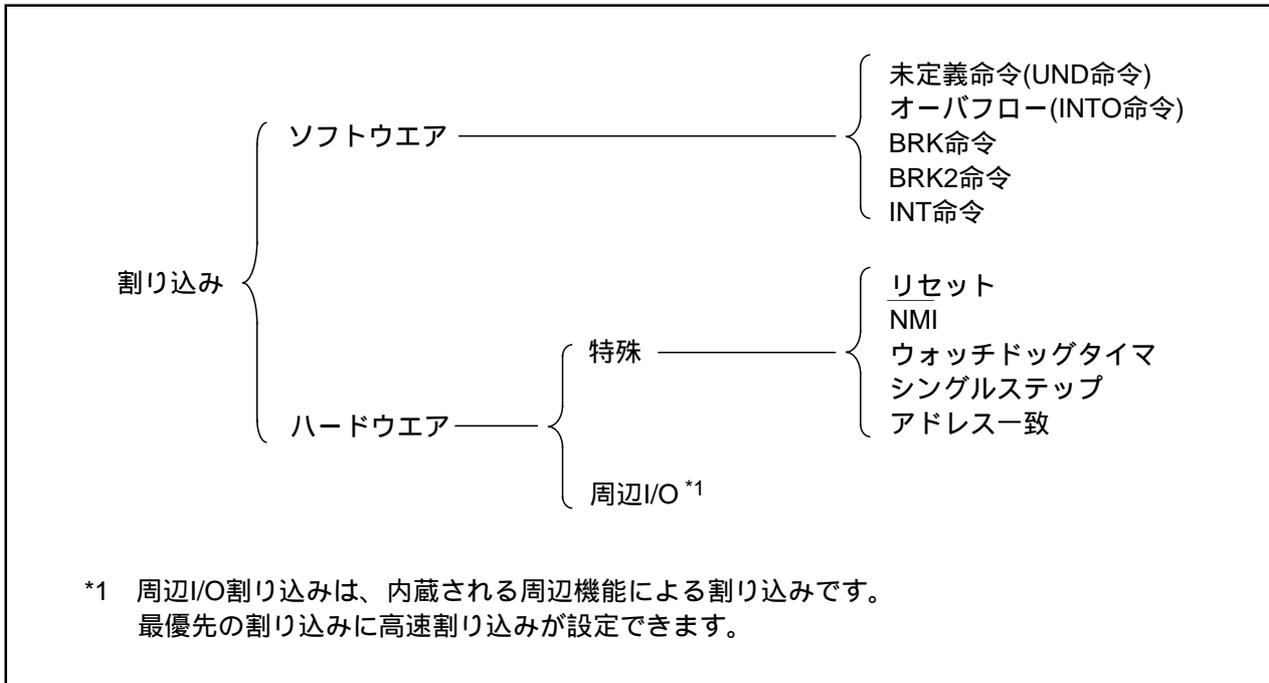


図9.1 割り込みの分類

- マスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ノンマスクブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

9.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

オーバフロー割り込み

オーバフロー割り込みは、オーバフローフラグ(Oフラグ)が“1”のときINTO命令を実行すると発生します。演算によってOフラグが変化する命令を以下に示します。

ABS、ADC、ADCF、ADD、ADDX、CMP、CMPX、DIV、DIVU、DIVX、NEG、RMPA、SBB、SCMPU、SHA、SUB、SUBX

BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

BRK2割り込み

BRK2割り込みはBRK2命令を実行すると発生します。

この割り込みはエミュレータ専用割り込みです。ユーザプログラムでは使用しないでください。

INT命令割り込み

INT命令割り込みは、ソフトウェア割り込み番号0～63を指定し、INT命令を実行すると発生します。なお、ソフトウェア割り込み番号0～43は周辺I/O割り込みに割り当てられますので、INT命令を実行することで周辺I/O割り込みと同じ割り込みルーチンを実行できます。

INT命令割り込みに使用するスタックポインタ(SP)は、ソフトウェア割り込み番号によって異なります。ソフトウェア割り込み番号0～31では、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択した後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに割り込み要求受け付け前のUフラグが復帰されます。ソフトウェア割り込み番号32～63では、スタックポインタは切り替わりません。

ただし、周辺I/O割り込みでは、割り込み要求受け付け時にスタックポインタ指定フラグ(Uフラグ)を退避し、Uフラグを“0”にして割り込みスタックポインタ(ISP)を選択します。そのため、ソフトウェア割り込み番号32～43では周辺I/O割り込みかINT命令かでUフラグの動作は異なります。

9.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺I/O割り込みがあります。

特殊割り込み

特殊割り込みは、ノンマスクブル割り込みです。

(1) リセット

リセットは、 $\overline{\text{RESET}}$ 端子に“L”を入力すると発生します。

(2) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子に“L”を入力すると発生します。

(3) ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。

(4) シングルステップ割り込み

デバッグ専用割り込みですので、通常は使用しないでください。シングルステップ割り込みは、デバッグフラグ(Dフラグ)を“1”にすると、命令を1つ実行した後に発生します。

(5) アドレス一致割り込み

アドレス一致割り込みは、アドレス一致割り込み許可ビットを“1”にしたとき、アドレス一致割り込みレジスタで示される番地の命令を実行する直前に発生します。

アドレス一致レジスタに命令の先頭番地以外の番地を設定した場合は、アドレス一致割り込みは発生しません。

周辺I/O割り込み

周辺I/O割り込みは、内蔵される周辺機能による割り込みです。内蔵される周辺機能は品種展開によって異なりますので、それぞれの割り込み要因も品種展開によって異なります。割り込みベクタテーブルはINT命令で使用するソフトウェア割り込み番号0～43と同一です。周辺I/O割り込みは、マスクブル割り込みです。

(1) バス衝突検出、スタート/ストップコンディション検出割り込み(UART2、UART3、UART4)、障害エラー割り込み(UART3、UART4)

シリアルI/Oのバス衝突検出機能による割り込みです。IICモード選択時、スタート、ストップコンディション割り込みが選択されます。 $\overline{\text{SS}}$ 端子選択時、障害エラー割り込みが選択されます。

(2) DMA0～DMA3割り込み

DMAによる割り込みです。

(3) キー入力割り込み

キー入力割り込みは、 $\overline{\text{KI}}$ 端子に“L”を入力すると発生します。

(4) A/D変換割り込み

A/Dコンバータによる割り込みです。

(5) UART0、UART1、UART2/NACK、UART3/NACK、UART4/NACK送信割り込み

シリアルI/Oの送信による割り込みです。

(6) UART0、UART1、UART2/ACK、UART3/ACK、UART4/ACK受信割り込み

シリアルI/Oの受信による割り込みです。

(7) タイマA0～タイマA4割り込み

タイマAによる割り込みです。

(8) タイマB0～タイマB5割り込み

タイマBによる割り込みです。

(9) $\overline{\text{INT0}}$ ～ $\overline{\text{INT5}}$ 割り込み

$\overline{\text{INT}}$ 割り込みは、エッジセンスとレベルセンスがあります。エッジセンスでは $\overline{\text{INT}}$ 端子に立ち下がりがエッジ、立ち上がりエッジ、または両エッジを入力すると割り込みが発生します。レベルセンスでは $\overline{\text{INT}}$ 端子に“H”レベル、または“L”レベルを入力すると割り込みが発生します。

9.4 高速割り込み

高速割り込みは、割り込みの応答を5サイクルで復帰を3サイクルで実行できる割り込みです。

高速割り込みでは割り込みを受け付けると、フラグレジスタ(FLG)とプログラムカウンタ(PC)の退避をフラグ退避レジスタ(SVF)とPC退避レジスタ(SVP)に行い、ベクタレジスタ(VCT)で示される番地からプログラムを実行します。

高速割り込みルーチンからの復帰はFREIT命令にて実行してください。

高速割り込みは、復帰用優先順位レジスタのビット3に割り付けられている高速割り込み指定ビットを“1”にすることで設定できます。高速割り込み指定ビットに“1”を設定することにより、割り込み制御レジスタでレベル7に設定された割り込みが高速割り込みとなります。

高速割り込みに設定できる割り込みは1つの割り込みだけです。高速割り込みを使用する場合は、複数の割り込みでレベル7を設定しないでください。

高速割り込みに設定する割り込みのベクタは、ベクタレジスタ(VCT)に設定します。

高速割り込みを使用する場合、DMACは2チャンネルまで使用できます。

高速割り込みではスタックへのレジスタ退避ではなく、レジスタバンクを切り替え、レジスタバンク1を高速割り込み用のレジスタとして使用してください。高速に処理できます。その場合レジスタバンクの切り替えは、高速割り込みのプログラムの中で行ってください。

9.5 割り込みと割り込みベクタテーブル

割り込み要求が受け付けられると、割り込みベクタテーブルに設定した割り込みルーチンへ分岐します。各割り込みベクタテーブルには、割り込みルーチンの先頭番地を設定してください。図9.2にアドレスの指定形式を示します。

割り込みベクタテーブルには、アドレスが固定されている固定ベクタテーブルと設定によってベクタテーブルの番地を変更できる可変ベクタテーブルがあります。

	MSB	LSB
ベクタアドレス+0	アドレスの下位	
ベクタアドレス+1	アドレスの中位	
ベクタアドレス+2	アドレスの上位	
ベクタアドレス+3	0 0 0 0	0 0 0 0

図9.2 割り込みベクタのアドレスの指定形式

固定ベクタテーブル

固定ベクタテーブルは、アドレスが固定のベクタテーブルで、FFFFDC₁₆番地からFFFFFF₁₆番地に配置されています。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定します。表9.1に固定ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

表9.1 固定ベクタテーブルに配置している割り込みとベクタテーブルの番地

割り込み要因	ベクタテーブル番地 アドレス(L)~アドレス(H)	備考
未定義命令	FFFFDC ₁₆ ~ FFFFDF ₁₆	UND命令で割り込み
オーバフロー	FFFFE0 ₁₆ ~ FFFF3 ₁₆	INTO命令で割り込み
BRK命令	FFFFE4 ₁₆ ~ FFFF7 ₁₆	FFFFE7 ₁₆ 番地の内容がFF ₁₆ の場合は可変ベクタテーブル内のベクタが示す番地から実行
アドレス一致	FFFFE8 ₁₆ ~ FFFFEB ₁₆	アドレス一致割り込み許可ビットあり
ウォッチドッグタイマ	FFFFF0 ₁₆ ~ FFFFF3 ₁₆	
NMI	FFFFF8 ₁₆ ~ FFFFFB ₁₆	NMI端子入力による外部割り込み
リセット	FFFFFC ₁₆ ~ FFFFFF ₁₆	

エミュレータ専用割り込みベクタテーブル

表9.2に示す各割り込みのベクタテーブル番地はエミュレータ専用割り込みベクタテーブルレジスタ(000020₁₆番地 ~ 000022₁₆番地)です。これらの割り込みは割り込み許可フラグ(1フラグ)の影響を受けません(ノンマスクابل割り込み)。

また、これらの割り込みはデバッグ専用割り込みですので通常は使用禁止です。エミュレータ専用割り込みベクタテーブルレジスタ(000020₁₆番地 ~ 000022₁₆番地)へはアクセスしないでください。

表9.2 エミュレータ専用割り込みベクタテーブルレジスタ

割り込み要因	ベクタテーブル番地 アドレス(L)~アドレス(H)	備考
BRK2命令	エミュレータ専用割り込みベクタテーブルレジスタ 000020 ₁₆ ~ 000022 ₁₆	デバッグ用割り込み
シングルステップ	エミュレータ専用割り込みベクタテーブルレジスタ 000020 ₁₆ ~ 000022 ₁₆	デバッグ用割り込み

可変ベクタテーブル

可変ベクタテーブルは、設定によってアドレスを変更することができるベクタテーブルです。ベクタテーブルの先頭番地を、割り込みテーブルレジスタ(INTB)で示してください。INTBで示された先頭番地から256バイトが可変ベクタテーブルの領域となります。1ベクタテーブルに対して4バイトで構成されています。各ベクタテーブルには割り込みルーチンの先頭番地を設定してください。表9.3に可変ベクタテーブルに配置している割り込みとベクタテーブルの番地を示します。

INTBに設定するベクタテーブルの先頭番地は偶数番地にしてください。偶数番地を指定した方がメモリアクセスの効率がよくなります。

表9.3 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地

ソフトウェア割り込み番号	ベクタテーブル番地 アドレス(L)～アドレス(H)	割り込み要因	備考
ソフトウェア割り込み番号0	+0～+3(注1)	BRK命令	Iフラグによるマスク不可
ソフトウェア割り込み番号8	+32～+35(注1)	DMA0	
ソフトウェア割り込み番号9	+36～+39(注1)	DMA1	
ソフトウェア割り込み番号10	+40～+43(注1)	DMA2	
ソフトウェア割り込み番号11	+44～+47(注1)	DMA3	
ソフトウェア割り込み番号12	+48～+51(注1)	タイマA0	
ソフトウェア割り込み番号13	+52～+55(注1)	タイマA1	
ソフトウェア割り込み番号14	+56～+59(注1)	タイマA2	
ソフトウェア割り込み番号15	+60～+63(注1)	タイマA3	
ソフトウェア割り込み番号16	+64～+67(注1)	タイマA4	
ソフトウェア割り込み番号17	+68～+71(注1)	UART0送信	
ソフトウェア割り込み番号18	+72～+75(注1)	UART0受信	
ソフトウェア割り込み番号19	+76～+79(注1)	UART1送信	
ソフトウェア割り込み番号20	+80～+83(注1)	UART1受信	
ソフトウェア割り込み番号21	+84～+87(注1)	タイマB0	
ソフトウェア割り込み番号22	+88～+91(注1)	タイマB1	
ソフトウェア割り込み番号23	+92～+95(注1)	タイマB2	
ソフトウェア割り込み番号24	+96～+99(注1)	タイマB3	
ソフトウェア割り込み番号25	+100～+103(注1)	タイマB4	
ソフトウェア割り込み番号26	+104～+107(注1)	$\overline{\text{INT5}}$	
ソフトウェア割り込み番号27	+108～+111(注1)	$\overline{\text{INT4}}$	
ソフトウェア割り込み番号28	+112～+115(注1)	$\overline{\text{INT3}}$	
ソフトウェア割り込み番号29	+116～+119(注1)	$\overline{\text{INT2}}$	
ソフトウェア割り込み番号30	+120～+123(注1)	$\overline{\text{INT1}}$	
ソフトウェア割り込み番号31	+124～+127(注1)	$\overline{\text{INT0}}$	
ソフトウェア割り込み番号32	+128～+131(注1)	タイマB5	
ソフトウェア割り込み番号33	+132～+135(注1)	UART2送信/NACK (注2)	
ソフトウェア割り込み番号34	+136～+139(注1)	UART2受信/ACK (注2)	
ソフトウェア割り込み番号35	+140～+143(注1)	UART3送信/NACK (注2)	
ソフトウェア割り込み番号36	+144～+147(注1)	UART3受信/ACK (注2)	
ソフトウェア割り込み番号37	+148～+151(注1)	UART4送信/NACK (注2)	
ソフトウェア割り込み番号38	+152～+155(注1)	UART4受信/ACK (注2)	
ソフトウェア割り込み番号39	+156～+159(注1)	バス衝突検出、スタ - ト/ストップ (注2) コンディション検出(UART2)	
ソフトウェア割り込み番号40	+160～+163(注1)	バス衝突検出、スタ - ト/ストップ (注2,3) コンディション検出、障害エラー(UART3)	
ソフトウェア割り込み番号41	+164～+167(注1)	バス衝突検出、スタ - ト/ストップ (注2,3) コンディション検出、障害エラー(UART4)	
ソフトウェア割り込み番号42	+168～+171(注1)	A/D	
ソフトウェア割り込み番号43	+172～+175(注1)	キー入力割り込み	
ソフトウェア割り込み番号44	+176～+179(注1)	ソフトウェア割り込み	Iフラグによるマスク不可
ソフトウェア割り込み番号63	+252～+255(注1)	ソフトウェア割り込み	Iフラグによるマスク不可

注1. 割り込みテーブルレジスタ(INTB)が示すアドレスからの相対アドレスです。

注2. IICモード選択時にNACK/ACK、スタ - ト/ストップコンディション検出割り込みが選択されます。

注3. SS端子選択時、障害エラー割り込みが選択されます。

9.6 割り込み制御レジスタ

周辺I/O割り込みは、各割り込みを制御する割り込み制御レジスタを持ちます。図9.3に割り込み制御レジスタの構成を示します。

ストップモードやウェイトモードの解除に割り込みを使用する場合、対象となる割り込みの割り込み優先レベルをあらかじめストップ/ウェイト復帰用割り込み優先順位設定ビット(009F16番地のビット2～ビット0)で指定したレベルより高いレベルに設定する必要があります。通常、ストップ/ウェイト復帰用割り込み優先順位設定ビットはフラグレジスタ(FLG)のプロセッサ割り込みレベル(IPL)と同じ値を設定してください。

図9.4に復帰用優先順位レジスタの構成を示します。

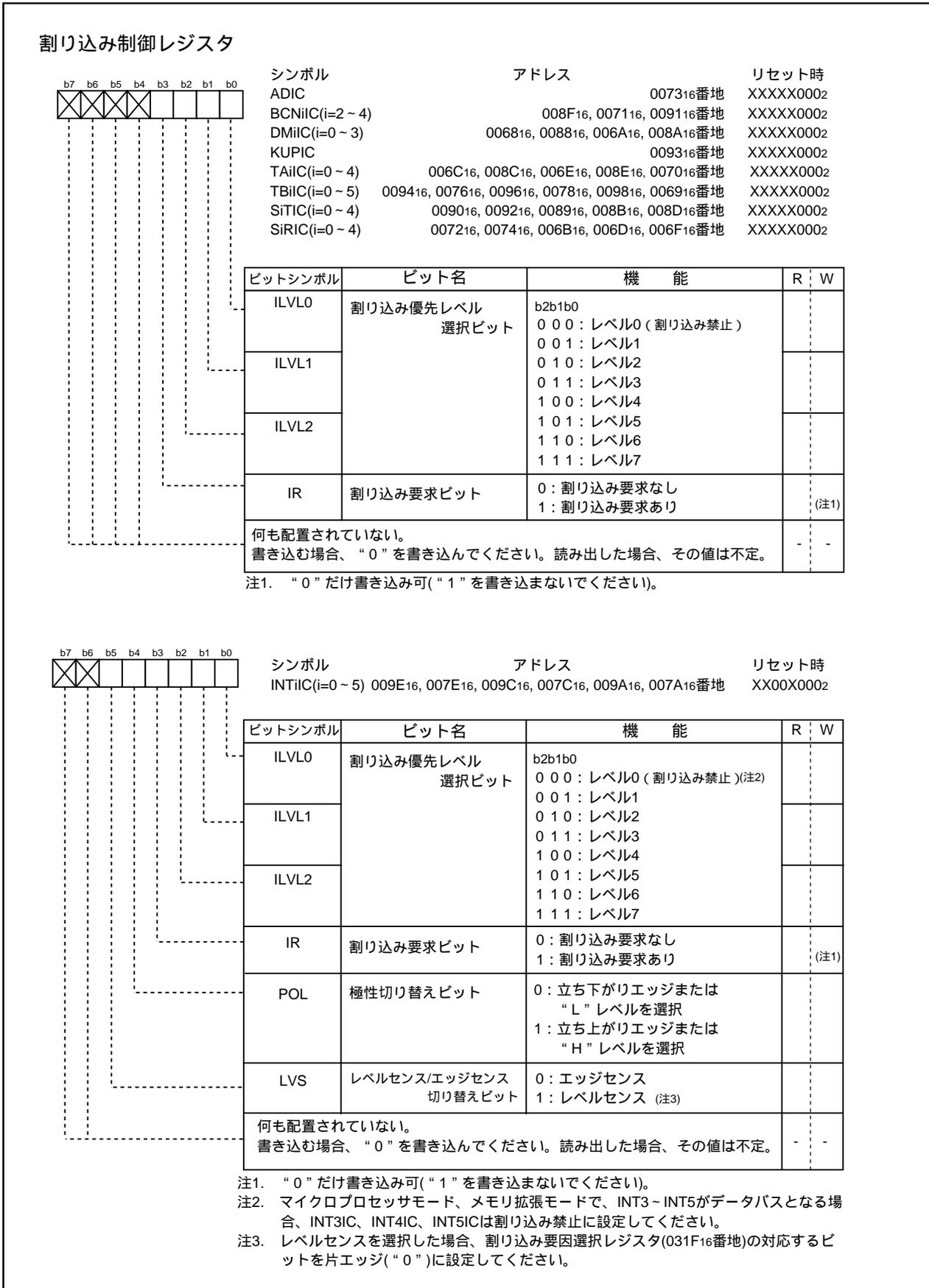


図9.3 割り込み制御レジスタの構成

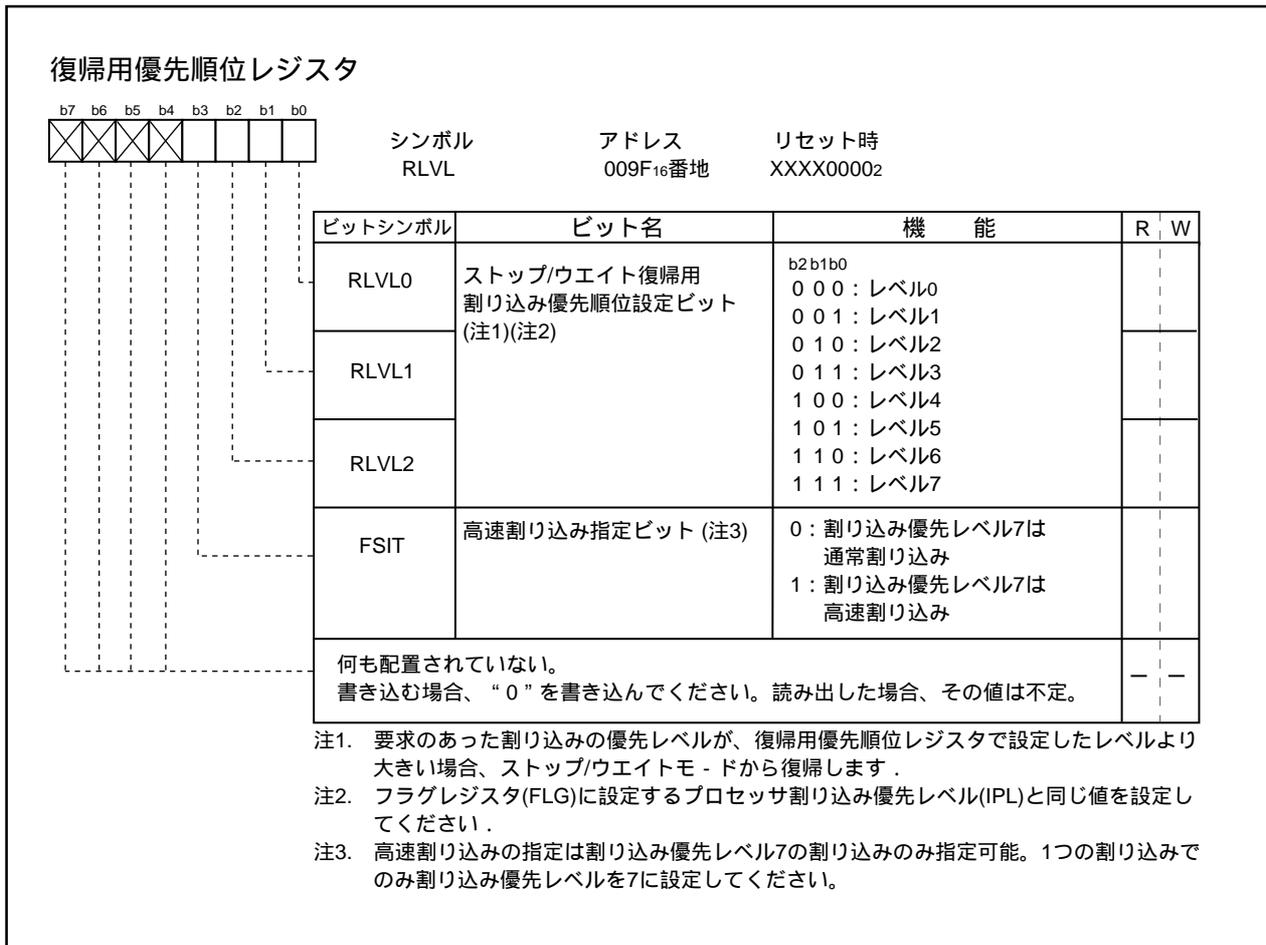


図9.4 復帰用優先順位レジスタの構成

9.7 割り込み許可フラグ(Iフラグ)

割り込み許可フラグ(Iフラグ)は、マスカブル割り込みの禁止/許可の制御を行います。このフラグを“1”にすると、すべてのマスカブル割り込みは許可され、“0”にすると禁止されます。このフラグはリセット解除後“0”になります。

9.8 割り込み要求ビット

割り込み要求ビットは割り込み要求が発生すると、ハードウェアによって“1”になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、このビットはハードウェアによって“0”になります。

また、このビットはソフトウェアによって“0”にできます(“1”を書き込まないでください)。

9.9 割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)

割り込み優先レベルは、割り込み制御レジスタの中の割り込み優先レベル選択ビットで設定します。

割り込み要求発生時、割り込み優先レベルは、プロセッサ割り込み優先レベル(IPL)と比較され、割り込みの優先レベルがプロセッサ割り込み優先レベル(IPL)より大きい場合だけ、その割り込みは許可されます。したがって、割り込み優先レベルにレベル0を設定すれば、その割り込みは禁止されます。

表9.4に割り込み優先レベルの設定を、表9.5にプロセッサ割り込み優先レベル(IPL)の内容による割り込み許可レベルを示します。

割り込み要求が受け付けられる条件を以下に示します。

- ・ 割り込み許可フラグ(Iフラグ) = “ 1 ”
- ・ 割り込み要求ビット = “ 1 ”
- ・ 割り込み優先レベル > プロセッサ割り込み優先レベル(IPL)

割り込み許可フラグ(Iフラグ)、割り込み要求ビット、割り込み優先レベル選択ビット、およびプロセッサ割り込み優先レベル(IPL)はそれぞれ独立しており、互いに影響を与えることはありません。

表9.4 割り込み優先レベルの設定

割り込み優先レベル 選択ビット	割り込み優先レベル	優先順位
b2 b1 b0 0 0 0	レベル0 (割り込み禁止)	———
0 0 1	レベル1	低い  高い
0 1 0	レベル2	
0 1 1	レベル3	
1 0 0	レベル4	
1 0 1	レベル5	
1 1 0	レベル6	
1 1 1	レベル7	

表9.5 プロセッサ割り込み優先レベル(IPL)
の内容による割り込み許可レベル

プロセッサ割り込み 優先レベル(IPL)	許可される割り込み優先レベル
IPL ₂ IPL ₁ IPL ₀ 0 0 0	レベル1以上を許可
0 0 1	レベル2以上を許可
0 1 0	レベル3以上を許可
0 1 1	レベル4以上を許可
1 0 0	レベル5以上を許可
1 0 1	レベル6以上を許可
1 1 0	レベル7以上を許可
1 1 1	すべてのマスクブル割り込みを禁止

9.10 割り込み制御レジスタの変更

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

9.11 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SCMPU, SIN, SMOVB, SMOVF, SMOVU, SSTR, SOUT, RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次の動作を順次行います。

- (1) 000000₁₆番地(高速割り込みの場合、000002₁₆番地)を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得する。その後、該当する割り込みの要求ビットが“0”になる。
- (2) 割り込みシーケンス直前のフラグレジスタ(FLG)の内容をCPU内部の一時レジスタ(注1)に退避する。
- (3) 割り込み許可フラグ(Iフラグ)、デバッグフラグ(Dフラグ)、およびスタックポインタ指定フラグ(Uフラグ)を“0”にする(ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません)。
- (4) CPU内部の一時レジスタ(注1)の内容をスタック領域に退避する。高速割り込みの場合は、フラグ退避レジスタ(SVF)に退避する。
- (5) プログラムカウンタ(PC)の内容をスタック領域に退避する。高速割り込みの場合は、PC退避レジスタ(SVP)に退避する。
- (6) プロセッサ割り込み優先レベル(IPL)に、受け付けた割り込みの割り込み優先レベルを設定する。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

9.12 割り込み応答時間

割り込み応答時間とは、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間を示します。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(a)と割り込みシーケンスを実行する時間(b)で構成されます。図9.5に割り込み応答時間を示します。

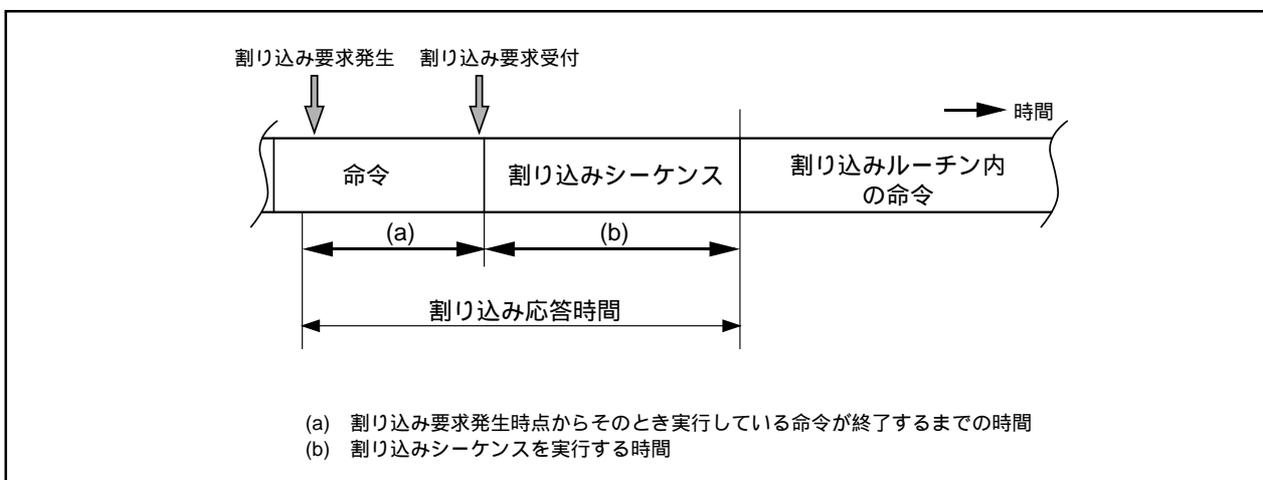


図9.5 割り込み応答時間

(a)の時間は、実行している命令によって異なります。DIVX命令が最大で24^{*1}サイクルです。
 (b)の時間は表9.6のとおりです。

*1 除数が即値かレジスタのときです。除数がメモリのときは、下記の値が加算されます。

- ・通常アドレッシング $2 + X$
- ・インデクスアドレッシング $3 + X$
- ・間接アドレッシング $5 + X + 2Y$
- ・間接インデクスアドレッシング $6 + X + 2Y$

Xは除数の領域のウェイト数です。Yは間接アドレスが格納されている領域のウェイト数です。もし、これらが奇数番地か8ビットバス領域にあるなら、その値を2倍してください。

表9.6 割り込みシーケンス実行時間

割り込み	割り込みベクタの番地	16ビットバス	8ビットバス
周辺I/O	偶数	14サイクル	16サイクル
	奇数(注1)	16サイクル	16サイクル
INT命令	偶数	12サイクル	14サイクル
	奇数(注1)	14サイクル	14サイクル
NMI ウォッチドッグタイマ 未定義命令 アドレス一致	偶数(注2)	13サイクル	15サイクル
オーバフロー	偶数(注2)	14サイクル	16サイクル
BRK命令(可変ベクタテーブル)	偶数	17サイクル	19サイクル
	奇数(注1)	19サイクル	19サイクル
シングルステップ BRK2命令 BRK命令(固定ベクタテーブル)	偶数(注2)	19サイクル	21サイクル
高速割り込み(注3)	ベクタテーブルは内部レジスタ	5サイクル	

注1. 割り込みベクタテーブルは、なるべく偶数番地に配置するようにしてください。

注2. ベクタテーブルのアドレスは偶数固定です。

注3. 高速割り込みは、これらの条件に影響されません。

9.13 割り込み要求受付時のプロセッサ割り込み優先レベル(IPL)の変化

割り込み要求が受け付けられると、プロセッサ割り込み優先レベル(IPL)には受け付けた割り込みの割り込み優先レベルが設定されます。

割り込み優先レベルをもたない割り込み要求が受け付けられたときは、表9.7に示す値がIPLに設定されます。

表9.7 割り込み優先レベルをもたない割り込みとIPLの関係

割り込み優先レベルをもたない割り込み要因	設定される IPL の値
ウォッチドッグタイマ、 $\overline{\text{NMI}}$	7
リセット	0
その他	変化しない

9.14 レジスタ退避

割り込みシーケンスでは、フラグレジスタ(FLG)とプログラムカウンタ(PC)の内容だけがスタック領域に退避されます。

スタック領域へ退避する順番は、FLGレジスタをまず退避し、次にプログラムカウンタを32ビットに拡張した上位16ビットと下位16ビットを退避します。図9.6に割り込み要求受付前のスタックの状態と、割り込み要求受付後のスタックの状態を示します。高速割り込みの割り込みシーケンスではフラグレジスタ(FLG)をフラグ退避レジスタ(SVF)に、プログラムカウンタ(PC)をPC退避レジスタ(SVP)に退避されます。

その他の必要なレジスタは、割り込みルーチンの最初でソフトウェアによって退避してください。PUSHM命令を用いると、1命令でスタックポインタ(SP)を除くすべてのレジスタを退避することができます。

高速割り込みではレジスタバンクを切り替え、レジスタバンク1を高速割り込みレジスタとして高速に処理してください。レジスタバンクの切り替えは高速割り込みのプログラムで行ってください。

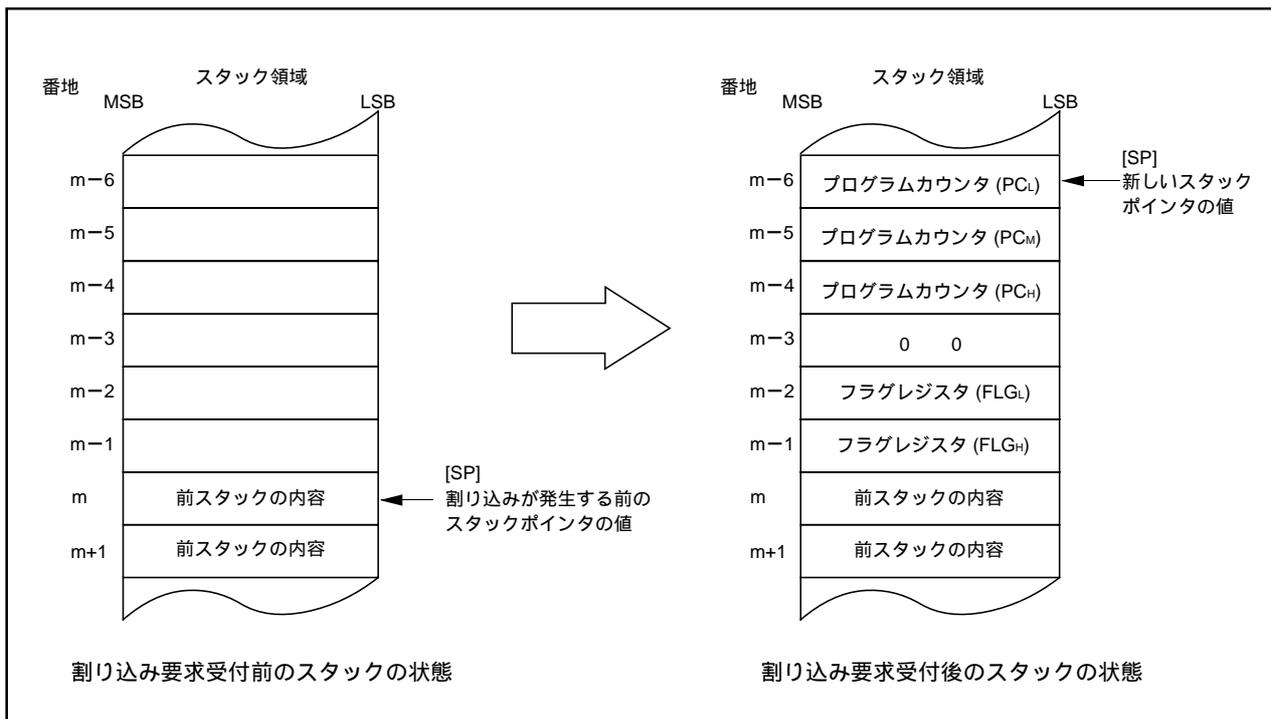


図9.6 割り込み要求受付前 / 割り込み要求受付後のスタックの状態

9.15 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタック領域に退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。高速割り込みの場合は、高速割り込みルーチンの最後でFREIT命令を実行すると、退避レジスタに退避されていた割り込みシーケンス直前のフラグレジスタ(FLG)、およびプログラムカウンタ(PC)の内容が復帰されます。その後、割り込み要求受付前に実行していたプログラムに戻り、中断されていた処理が継続して実行されます。

割り込みルーチン内でソフトウェアによって退避したレジスタは、REIT、FREIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REITまたはFREIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

9.16 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうかを調べるタイミング)で2つ以上の割り込み要求が存在した場合は、優先順位の高い割り込みが受け付けられます。

マスクابل割り込み(周辺I/O割り込み)の優先順位は、割り込み優先レベル選択ビットによって任意の優先順位を設定することができます。ただし、割り込み優先レベルが同じ設定値の場合はハードウェアで設定されている優先度の高い割り込みが受け付けられます。

リセット(リセットは優先順位が一番高い割り込みとして扱われます)、ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。ハードウェア割り込みの割り込み優先順位を図9.7に示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると必ず割り込みルーチンへ分岐します。

9.17 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図9.8に割り込み優先レベルの判定回路を示します。

リセット > $\overline{\text{NMI}}$ > ウォッチドッグタイマ > 周辺I/O > シングルステップ > アドレス一致

図9.7 ハードウェア割り込みの割り込み優先順位

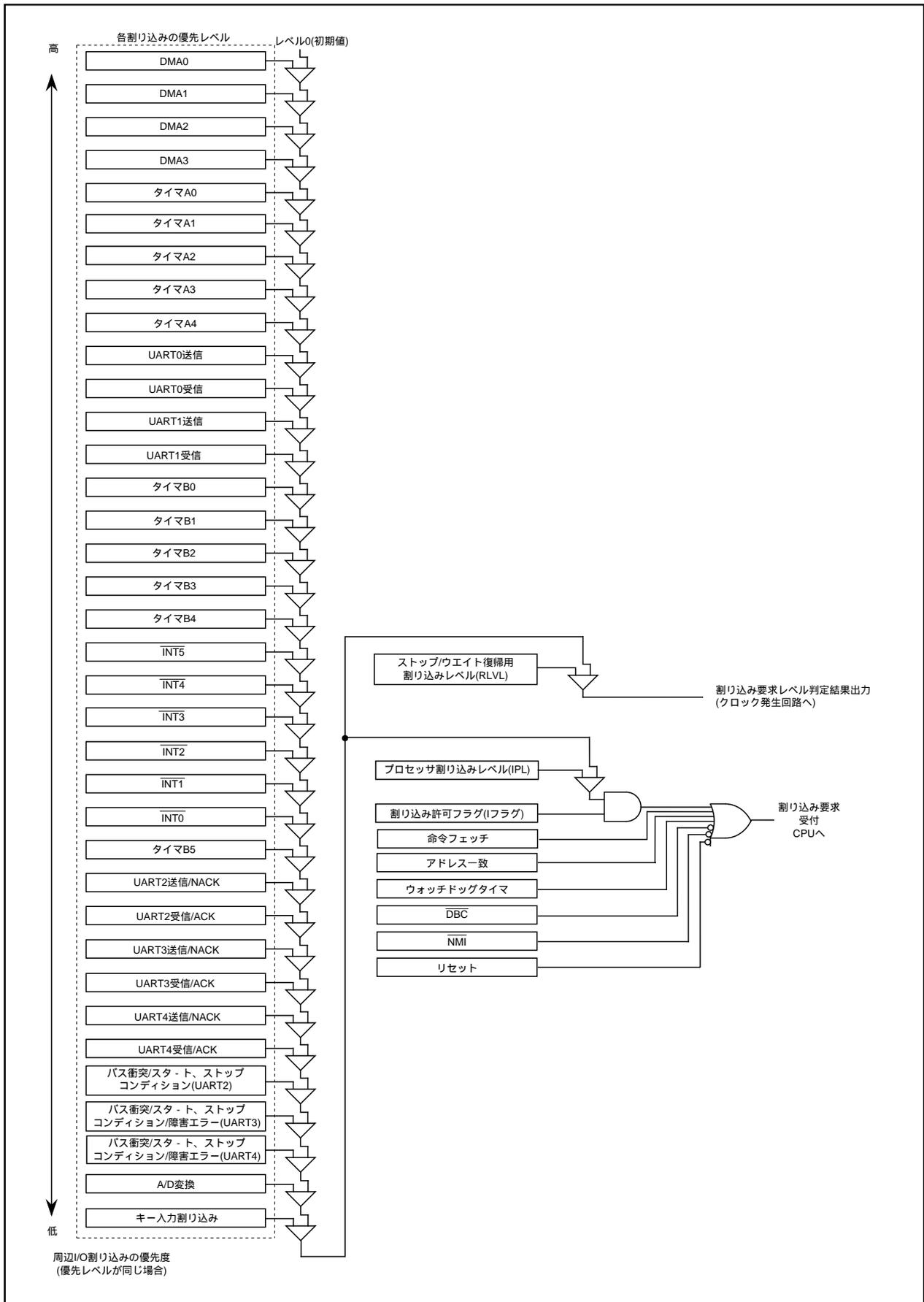


図9.8 割り込み優先レベル判定回路

9.18 INT割り込み

INT0～INT5は外部入力による割り込みです。入力信号のレベルで割り込みをかけるレベルセンスとエッジで割り込みをかけるエッジセンスを割り込み制御レジスタのレベルセンス/エッジセンス切り替えビットで選択できます。また、極性を極性切り替えビットで選択できます。

外部割り込み入力のエッジセンスでは、割り込み要因選択レジスタ(031F₁₆番地)のINT_i割り込み極性切り替えビットを“1”に設定することによって、立ち上がり、立ち下りの両方のエッジで割り込みを発生することができます。両エッジを選択する場合は、対応する割り込み制御レジスタの極性切り替えビットは立ち下りエッジ(“0”)に設定してください。

レベルセンスを選択した場合、割り込み要因選択レジスタのINT_i割り込み極性切り替えビットは“0”に設定してください。

図9.9に割り込み要因選択レジスタの構成を示します。

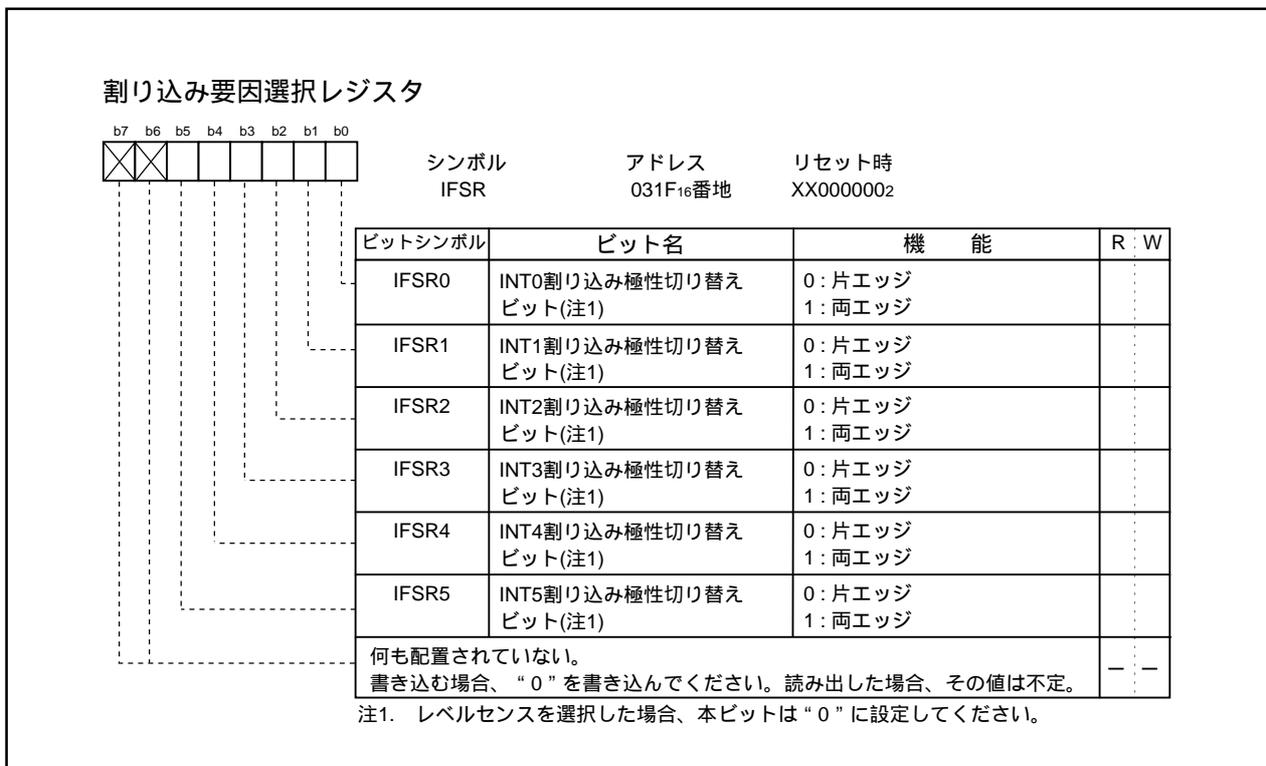


図9.9 割り込み要因選択レジスタの構成

9.19 $\overline{\text{NMI}}$ 割り込み

P85/ $\overline{\text{NMI}}$ 端子の入力が“H”レベルから“L”レベルに変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクブル外部割り込みです。また、この端子の値はポートP85レジスタ(03C4₁₆番地のビット5)で読み込むことができます。

この端子は通常のポート入力として使用することはできません。

$\overline{\text{NMI}}$ 機能を使用しない場合は、必ず $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。 $\overline{\text{NMI}}$ 割り込みはノンマスクブルであり、無効にすることはできませんので、必ず端子処理が必要です。

9.20 キー入力割り込み

P104～P107のうち、方向レジスタを入力に設定している端子のいずれかに立ち下がりエッジを入力すると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用することができます。ただし、キー入力割り込みを使用する場合、P104～P107をA/D入力ポートとして使用しないでください。キー入力割り込みのブロック図を図9.10に示します。なお、入力禁止の処理を行っていない端子のいずれかに“L”が入力されると、他の端子の入力は割り込みとして検知されません。

キー入力割り込み禁止ビット(03AF₁₆番地のビット7)を“1”に設定すると、割り込み制御レジスタの設定にかかわらず、キー入力割り込みは発生しません。また、キー入力割り込み禁止ビットに“1”が設定されていると、方向レジスタが入力に設定されていてもポート端子からの入力は行えません。

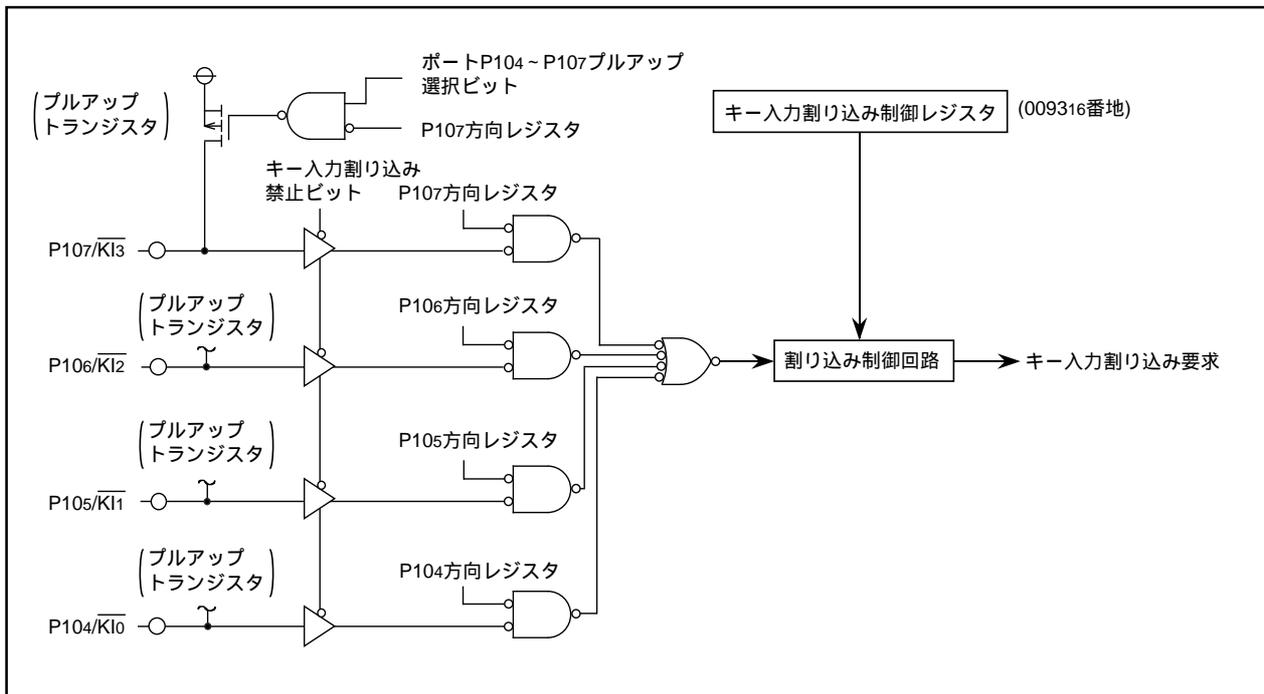


図9.10 キー入力割り込みのブロック図

9.21 アドレス一致割り込み

アドレス一致割り込みレジスタで示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。アドレス一致割り込みは4カ所に設定することができ、割り込みの禁止/許可は、各々のアドレス一致割り込み許可ビットで選択することができます。アドレス一致割り込みは、割り込み許可フラグ(Iフラグ)やプロセッサ割り込み優先レベル(IPL)の影響は受けません。

図9.11にアドレス一致割り込み関連レジスタの構成を示します。

アドレス一致割り込みレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。

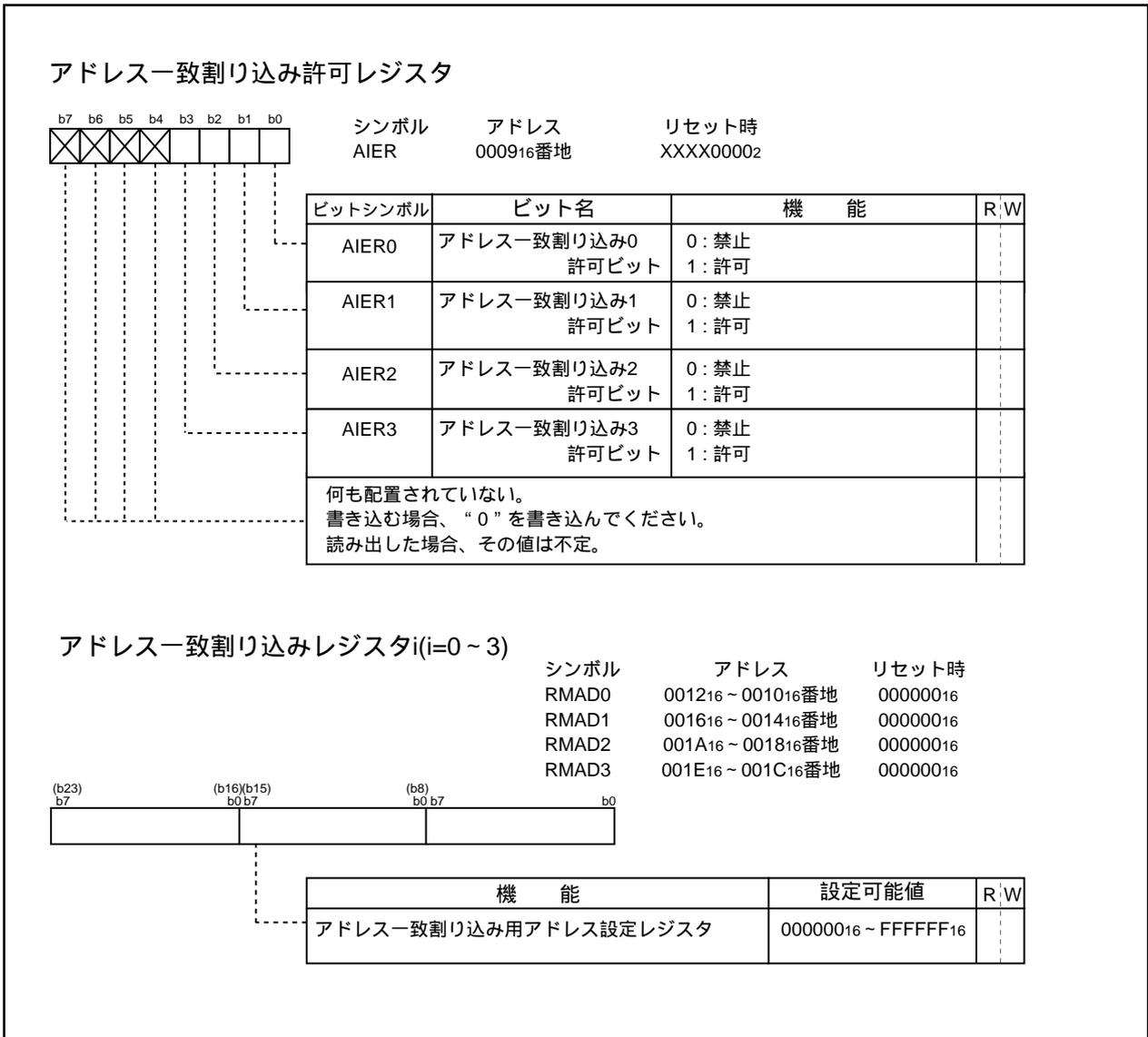


図9.11 アドレス一致割り込み関連レジスタの構成

9.22 割り込みの注意事項

(1) 000000₁₆番地、000002₁₆番地の読み出し

マスクブル割り込みが発生した場合、割り込みシーケンスの中でCPUは、割り込み情報(割り込み番号と割り込み要求レベル)を000000₁₆番地から読み出します。高速割り込みの場合、000002₁₆番地から読み出します。

それを読み出すことでその割り込みが発生する割り込み要求ビットが“0”になります。

ただし、ソフトウェアにより000000₁₆番地、000002₁₆番地を読み出しても、この要求ビットは“0”になりません。

(2) スタックポインタの設定

リセット直後スタックポインタの値は、“000000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みは、リセット後、1命令を実行した直後から受け付けられます。スタックポインタには偶数アドレスを設定してください。偶数を設定した方がメモリアクセスの効率が良くなります。

(3) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVccに接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子は、入力専用のP8₅と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、 $\overline{\text{NMI}}$ 割り込みが入ったときの端子のレベル確定用にだけ使用してください。

$\overline{\text{NMI}}$ 端子に入力する信号の“L”レベル幅/“H”レベル幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

(4) 外部割り込み

エッジセンスの場合

INT₀ ~ INT₅端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

レベルセンスの場合

INT₀ ~ INT₅端子に入力する信号には、BCLK1周期 + 200ns以上の“L”レベル幅、または“H”レベル幅が必要です。(XIN = 20MHz、分周無しの場合は250ns以上必要です。)

INT₀ ~ INT₅端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。 $\overline{\text{INT}}$ 割り込み発生要因の切り替え手順例を図9.12に示します。

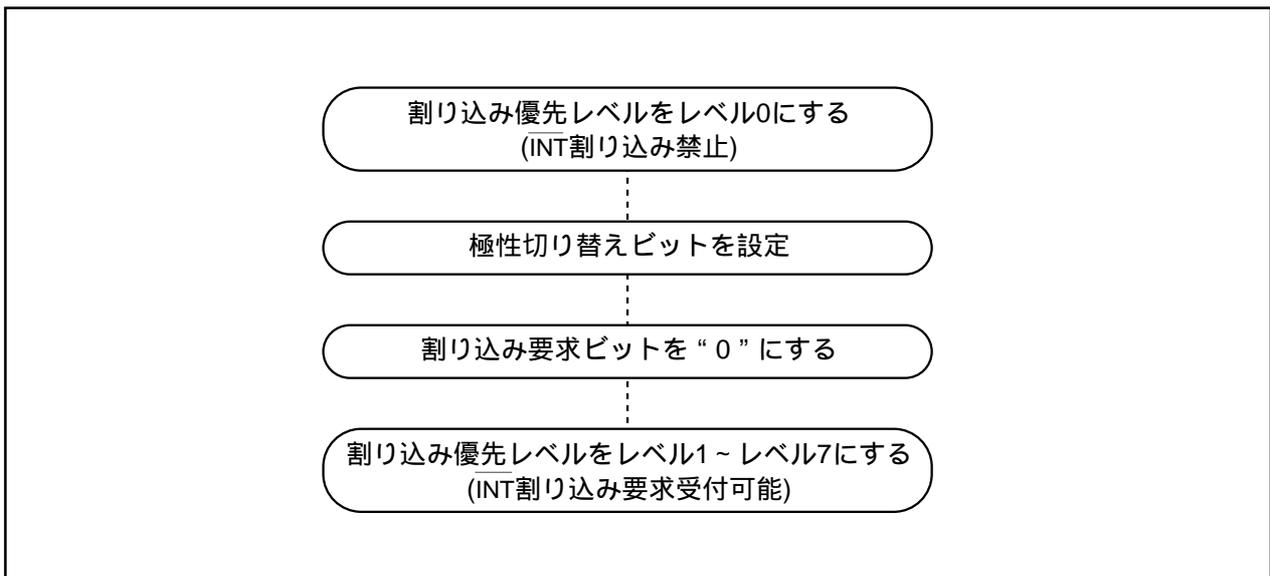


図9.12 INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・MOV

(6) アドレス一致割り込みの注意事項

アドレス一致割り込みレジスタには以下のアドレスを設定しないでください。

1. 割り込みルーチンの先頭命令のアドレス
2. 割り込み制御レジスタの割り込み要求ビットをクリアする命令または割り込み優先レベルを現在より低く変更する命令から7命令分のアドレス
3. 割り込み許可フラグ(Iフラグ)をセットする命令から3命令分のアドレス
4. プロセッサ割り込み優先レベル(IPL)を現在より低く書き替える命令から3命令分のアドレス

- 例1 interrupt_A: ;割り込みルーチン
 pushm R0,R1,R2,R3,A0,A1 ; 割り込みの先頭命令へのアドレス一致
 ; 割り込みの設定は禁止
- 例2 ;割り込み優先レベルは1以上
 mov.b #0,TA0IC ;割り込み優先レベルを低い値に変更
 nop ;1命令
 nop ;2命令
 nop ;3命令
 nop ;4命令
 nop ;5命令
 nop ;6命令
 nop ;7命令
 } この間のアドレス一致割り込みの設定は禁止
- 例3 fset I ;Iフラグセット
 nop ;1命令
 nop ;2命令
 nop ;3命令
 } この間のアドレス一致割り込みの設定は禁止
- 例4 ldipr #0 ;IPLを低いレベルへ書き替え
 nop ;1命令
 nop ;2命令
 nop ;3命令
 } この間のアドレス一致割り込みの設定は禁止

割り込みからの復帰命令でアドレス一致割り込みレジスタに設定したアドレスに復帰する場合、割り込みからの復帰命令は、割り込み許可フラグ(Iフラグ)をセットする命令、プロセッサ割り込み優先レベル(IPL)をセットする命令にあてはまりません。したがって、割り込みルーチン内で割り込み制御レジスタを書き換える場合は、最後(reit・freit命令の直前)に下記処理を追加してください。また、その他の割り込みで多重割り込みを許可している場合は、多重割り込みを許可している割り込みの最後にも同様に下記処理を追加してください。

ノンマスカブル割り込みルーチン内で割り込み制御レジスタを書き換えている場合は、全ての割り込みの最後で下記処理を追加してください。

追加処理内容

		;レジスタ復帰命令(popm命令)の後に行ってください
fclr	U	;ISP選択(ISPをすでに選択している場合は必要ありません)
pushm	R0	;R0退避
mov.w	6[SP],R0	;スタック上のFLG読み出し(高速割り込みの場合はstc SVF,R0)
ldc	R0,FLG	;FLGに設定
popm	R0	;R0復帰
nop		;ダミー
reit		;割り込み終了(高速割り込みの場合はfreit)

例5 割り込みAルーチンで割り込みBの割り込み制御レジスタを書き換え、割り込みCで多重割り込みを許可している場合、割り込みAと割り込みCのルーチンの最後で対策が必要

割り込みAルーチン

Interrupt_A:

```

pushm   R0,R1,R2,R3,A0,A1   ;レジスタ退避
. . .
bclr    3,TA0IC              ;割り込み B の割り込み制御レジスタ書き換え
. . .
popm    R0,R1,R2,R3,A0,A1   ;レジスタ復帰
fclr    U                    ;ISP選択(ISPをすでに選択している場合は必要ありません)
pushm   R0                   ;R0退避
mov.w   6[SP],R0             ;スタック上のFLG読み出し
ldc     R0,FLG               ;FLGに設定
popm    R0                   ;R0復帰
nop     ;ダミー
reit    ;割り込み終了

```

割り込みCルーチン

Interrupt_C:

```

pushm   R0,R1,R2,R3,A0,A1   ;レジスタ退避
fset    I                    ;多重割り込み許可
. . .
. . .
popm    R0,R1,R2,R3,A0,A1   ;レジスタ復帰
fclr    U                    ;ISP選択(ISPをすでに選択している場合は必要ありません)
pushm   R0                   ;R0退避
mov.w   6[SP],R0             ;スタック上のFLG読み出し
ldc     R0,FLG               ;FLGに設定
popm    R0                   ;R0復帰
nop     ;ダミー
reit    ;割り込み終了

```

10. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、BCLKをプリスケラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローすると、ウォッチドッグタイマ割り込みを発生させるか、リセットをかけるかを選択できます。システムクロック制御レジスタ0(0008₁₆番地)のビット6(CM06)が“0”でウォッチドッグタイマ割り込みが、CM06が“1”でリセットが選択されます。CM06には“1”のみ書き込み可能です。一度リセット(CM06 = “1”)を設定するとウォッチドッグタイマ割り込みにはソフトウェアでは変更できません。

BCLKにXINを選択している場合、ウォッチドッグタイマ制御レジスタ(000F₁₆番地)のビット7(WDC7)でプリスケラの分周比に16分周か128分周を選択することができます。BCLKにXCINを選択している場合、WDC7に関係なくプリスケラの分周比は2分周になります。したがって、ウォッチドッグタイマの周期は下記のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケラによる誤差が生じます。

BCLKにXINを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケラの分周比}(16\text{または}128) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{BCLK}}$$

BCLKにXCINを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケラの分周比}(2) \times \text{ウォッチドッグタイマのカウント値}(32768)}{\text{BCLK}}$$

例えば、BCLKが20MHzで、プリスケラの分周比として16分周を選択している場合、ウォッチドッグタイマの周期は、約26.2msとなります。

ウォッチドッグタイマは、ウォッチドッグタイマスタートレジスタ(000E₁₆番地)への書き込み動作時、およびウォッチドッグタイマ割り込み要求発生時に初期化されます。プリスケラは、リセット時だけ初期化されます。なお、リセット解除後はウォッチドッグタイマおよびプリスケラは停止しており、ウォッチドッグタイマスタートレジスタ(000E₁₆番地)への書き込み動作によりカウントを開始します。また、CM06はリセット時だけ初期化されます。リセット解除後はウォッチドッグタイマ割り込みが選択されます。

ストップモード時、ウェイトモード時、およびホールド状態時、ウォッチドッグタイマおよびプリスケラは停止し、解除すると保持された値からカウントします。

図10.1にウォッチドッグタイマのブロック図、図10.2にウォッチドッグタイマ関連レジスタの構成を示します。

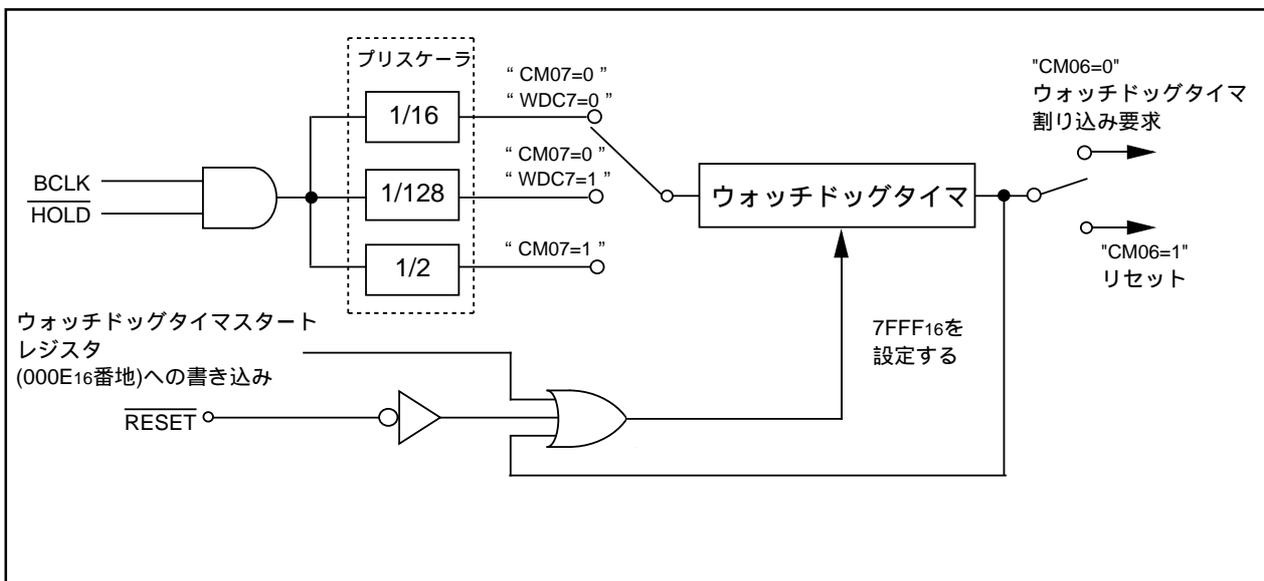


図10.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

b7	b6	b5	b4	b3	b2	b1	b0
0	0						

シンボル アドレス リセット時

WDC 000F₁₆番地 000XXXX₂

ビットシンボル	ビット名	機 能	R/W
ウォッチドッグタイマの上位ビット			x
	予約ビット	必ず " 0 " を設定してください	
	予約ビット	必ず " 0 " を設定してください	
WDC7	プリスケアラ選択ビット	0 : 16分周 1 : 128分周	

ウォッチドッグタイマスタートレジスタ

b7 b0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル アドレス リセット時

WDTS 000E₁₆番地 不定

機 能	R/W
このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートする。 ウォッチドッグタイマの初期値は、書き込む値にかかわらず " 7FFF ₁₆ " が設定される。	x

システムクロック制御レジスタ0(注1)

b7 b6 b5 b4 b3 b2 b1 b0

b7	b6	b5	b4	b3	b2	b1	b0

シンボル アドレス リセット時

CM0 0006₁₆番地 08₁₆

ビットシンボル	ビット名	機 能	R/W
CM00	クロック出力機能選択ビット (注2)	b1 b0	
CM01		0 0 : 入出力ポートP5 ₃	
		0 1 : fcを出力(注3)	
		1 0 : fbを出力(注3)	
	1 1 : f32を出力 (注3)		
CM02	WAIT時周辺機能クロック停止ビット	0 : ウェイトモード時、周辺機能クロック停止しない 1 : ウェイトモード時、周辺機能クロック停止する (注10)	
CM03	Xcin-Xcout駆動能力選択ビット(注4)	0 : LOW 1 : HIGH	
CM04	ポートXc切り替えビット	0 : 入出力ポート機能 1 : Xcin-Xcout発振機能 (注11)	
CM05	メインクロック (Xin-Xout) 停止ビット(注5、注6)	0 : 発振 1 : 停止 (注7)	
CM06	ウォッチドッグタイマ機能選択ビット	0 : ウォッチドッグタイマ割り込み 1 : リセット (注8)	
CM07	システムクロック選択ビット (注9)	0 : Xin, Xout選択 1 : Xcin, Xcout選択	

注1. このレジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット0を"1"にしてください。

注2. BCLK出力時(プロセッサモ - ドレジスタ0のビット7が"0")は"00"に設定してください。P5₃にALE出力時(プロセッサモ - ドレジスタ1のビット5、ビット4が"01")は"00"にしてください。マイクロプロセッサ/メモリ拡張モ - ドでプロセッサモ - ドレジスタ0のビット7が"1"のとき"00"を設定してもポ - トP5₃機能にはなりません。

注3. シングルチップモード時fc、fb、f32出力を選択する場合はP57端子を必ず入力端子として使用してください。

注4. ストップモードへの移行時およびリセット時、"1"になります。

注5. このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックを停止させる場合、サブクロックが安定して発振している状態で、システムクロック選択ビット(CM07)を"1"にしてから、このビットを"1"にしてください。

注6. このビットが"1"の場合、Xoutは"H"レベルになります。また、内蔵している帰還抵抗はONしたままですので、Xinは帰還抵抗を介して、Xout("H"レベル)にプルアップされた状態となります。

注7. メインクロック停止時、メインクロック分周レジスタ(000C₁₆番地)は8分周モードになります。

注8. 一度"1"を設定するとソフトウェアでは"0"には変更できません。

注9. このビットを"0"から"1"にする場合、CM04を"1"にし、サブクロックの発振が安定した後に行ってください。また、このビットを"1"から"0"にする場合、CM05を"0"にし、メインクロックの発振が安定した後に行ってください。なお、このビットはCM04またはCM05と同時に書き替えないでください。

注10. fc32は含みません。

注11. Xcin-Xcout発振機能を使用する場合、ポートP8₆、P8₇は入力ポートで、プルアップなしを設定してください。

図10.2 ウォッチドッグタイマ関連レジスタ

11. DMAC

CPUを使わずにデータを転送することのできるDMAC(ダイレクト・メモリ・アクセス・コントローラ)を4チャンネル内蔵しています。DMACは転送要求が発生するごとに転送元番地の1データ(8ビット/16ビット)を転送先番地へデータ転送する機能です。DMACを3チャンネル以上使用する場合は、レジスタバンク1のレジスタ、高速割り込み用レジスタをDMAC用のレジスタとして使用します。そのため、DMACを3チャンネル以上使用する場合は高速割り込みは使用できません。

CPUとDMACは同じデータバスを使用しますが、DMACのバス使用权はCPUよりも高く、サイクルスチール方式を採用しているため、転送要求が発生してから1ワード(16ビット)、または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行える特長があります。図11.1にDMACで使用するレジスタ配置、表11.1にDMACの仕様、図11.2、図11.3、図11.4、図11.5にDMACで使用するレジスタの構成を示します。

図11.1に示すレジスタはCPU内部に配置されておりますので、書き込む際はLDC命令を使用してください。DCT2、DCT3、DRC2、DRC3、DMA2、DMA3はレジスタバンク指定フラグ(Bフラグ)を“1”にしてMOV命令を使用し、R0～R3、A0、A1レジスタに設定してください。DSA2、DSA3はレジスタバンク指定フラグ(Bフラグ)を“1”にしてLDC命令を使用し、SB、FBレジスタに設定してください。

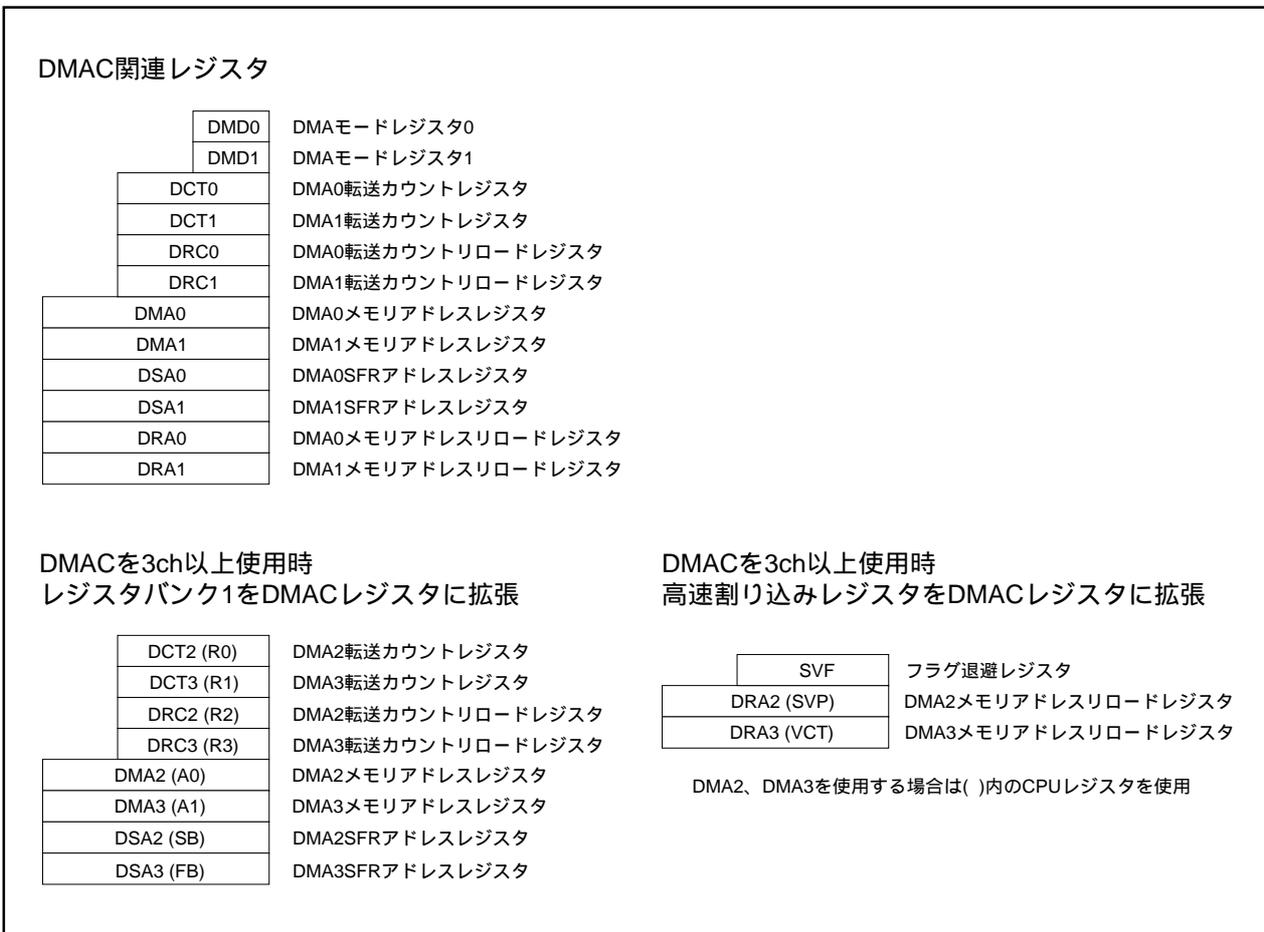


図11.1 DMACで使用するレジスタ配置

また、DMACの転送開始は、ソフトウェアDMA要求ビットへの書き込みの他、DMA要求要因選択ビットで指定した各機能から出力される割り込み要求信号を流用していますが、割り込み要求動作とは異なり、割り込みフラグに関係なく繰り返しDMA要求を受け付けることができます。

(ただし、1回のDMA転送サイクル以上に早い要求サイクルに対しては、転送要求回数と転送回数が一致しない場合が発生します。詳細についてはDMAC要求ビットの説明をご覧ください。)

表11.1 DMAC仕様

項 目	仕 様
チャンネル数	4チャンネル(サイクルスチール方式)
転送空間	16Mバイトの任意の空間から固定アドレス(16Mバイト空間) 固定アドレス(16Mバイト空間)から16Mバイトの任意の空間
最大転送バイト数	128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1)	INT0～INT3端子の立ち下がりエッジまたは両エッジ タイマA0～タイマA4割り込み要求 タイマB0～タイマB5割り込み要求 UART0～UART4送信および受信割り込み要求 A/D変換割り込み要求 ソフトウエアトリガ
チャンネル優先順位	DMA0>DMA1>DMA2>DMA3(DMA0が最優先)
転送単位	8ビット/16ビット
転送アドレス方向	順方向/固定(転送元、転送先同時に順方向あるいは固定の指定はできません)
転送モード	単転送 転送カウントレジスタが“0000 ₁₆ ”になると転送が終了する リピート転送 転送カウントレジスタが“0000 ₁₆ ”になると転送カウントリロードレジスタの値が転送カウントレジスタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング	転送カウントレジスタが“0001 ₁₆ ”から“0000 ₁₆ ”に遷移時
DMA開始	単転送 DMA転送カウントレジスタが“0001 ₁₆ ”以上の設定で、チャンネル転送モード選択ビットへの“01 ₂ ”書き込み後、DMA要求が発生すると開始 リピート転送 チャンネル転送モード選択ビットへの“11 ₂ ”書き込み後、DMA要求が発生すると開始
DMA停止	単転送 チャンネル転送モード選択ビットへの“00 ₂ ”書き込み時 DMA転送あるいは書き込みにより転送カウントレジスタが“0000 ₁₆ ”になった場合 リピート転送 チャンネル転送モード選択ビットへの“00 ₂ ”書き込み時
リロードのタイミング	リピート転送モードで転送カウントレジスタが“0001 ₁₆ ” “0000 ₁₆ ” 遷移時
レジスタの読み出し/書き込み	すべてのレジスタが常時読み出し、書き込み可能
DMA転送サイクル数	SFR、内蔵RAM間：3サイクル 外部I/O、外部メモリ間：最小3サイクル

注1. DMA転送は、各割り込みに影響を与えません。

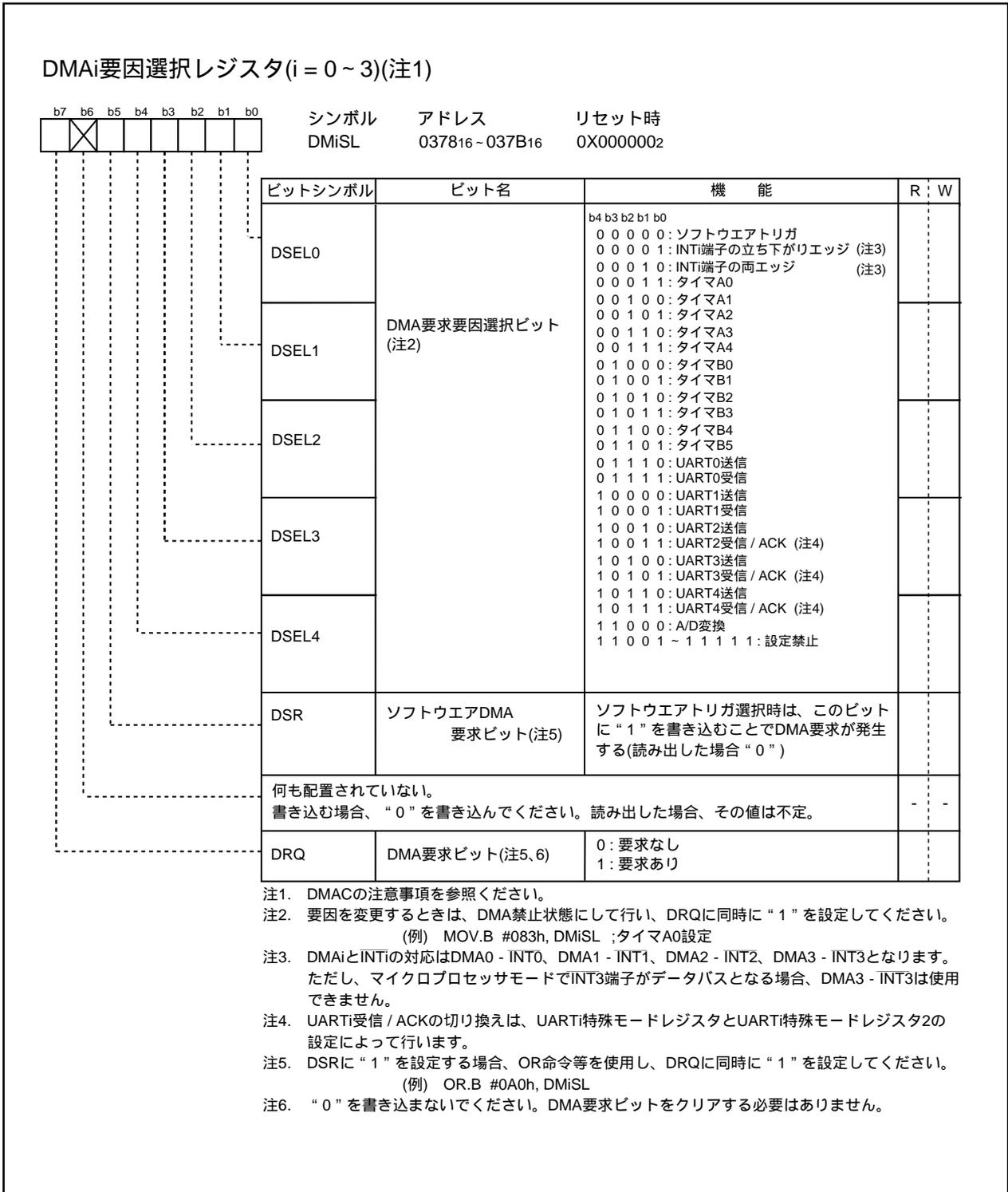


図11.2 DMACレジスタ構成(1)

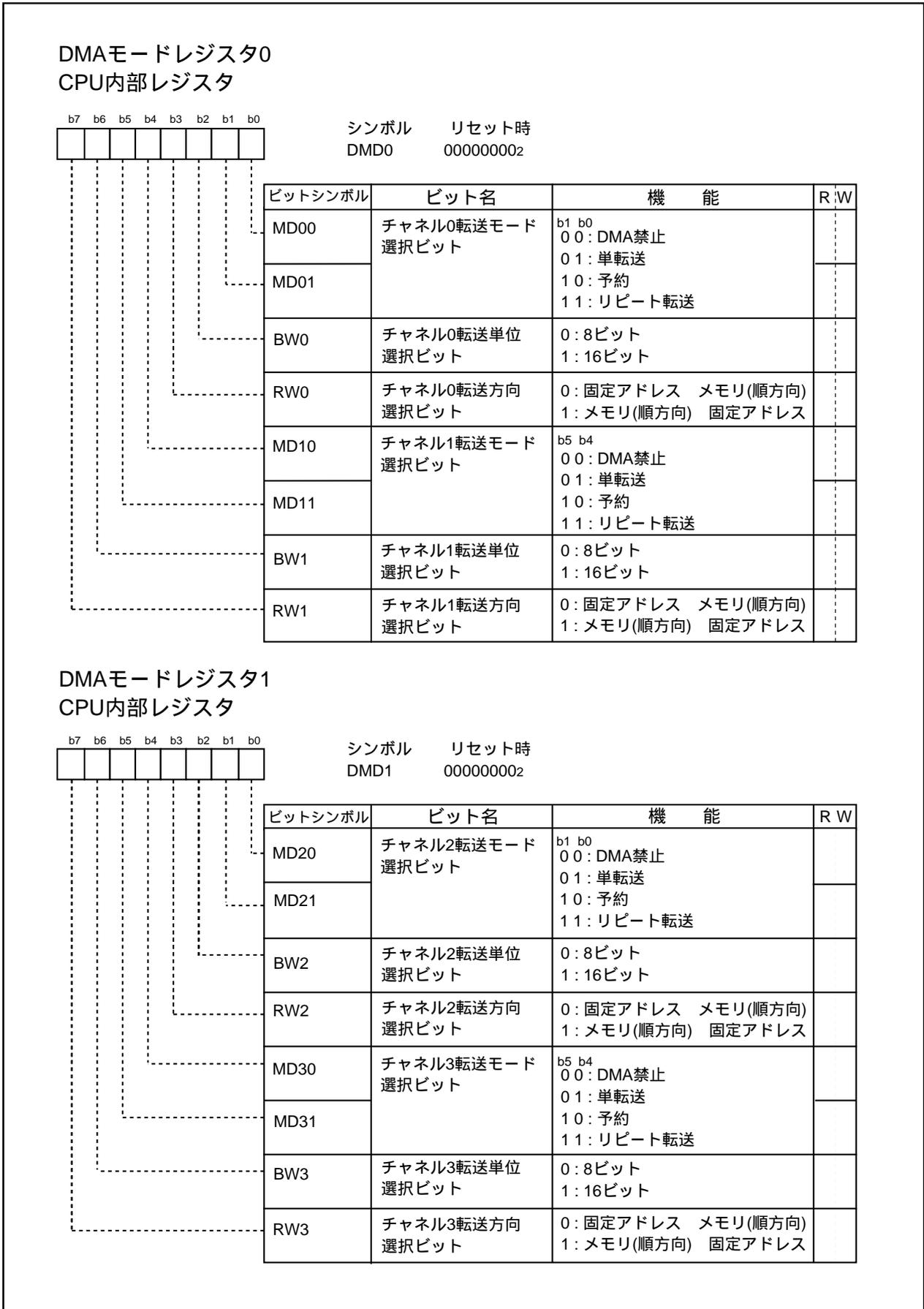


図11.3 DMACレジスタ構成(2)

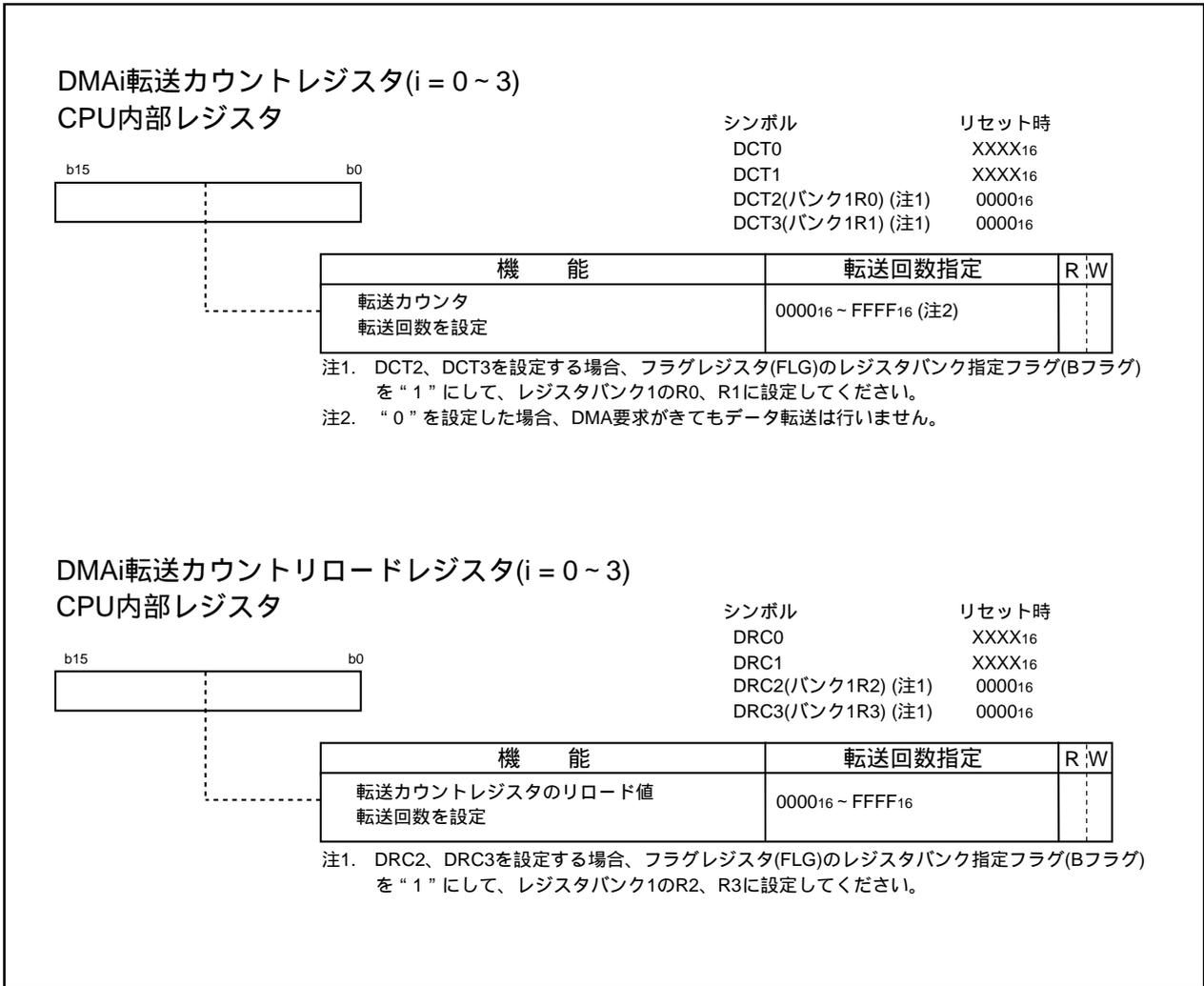


図11.4 DMACレジスタ構成(3)

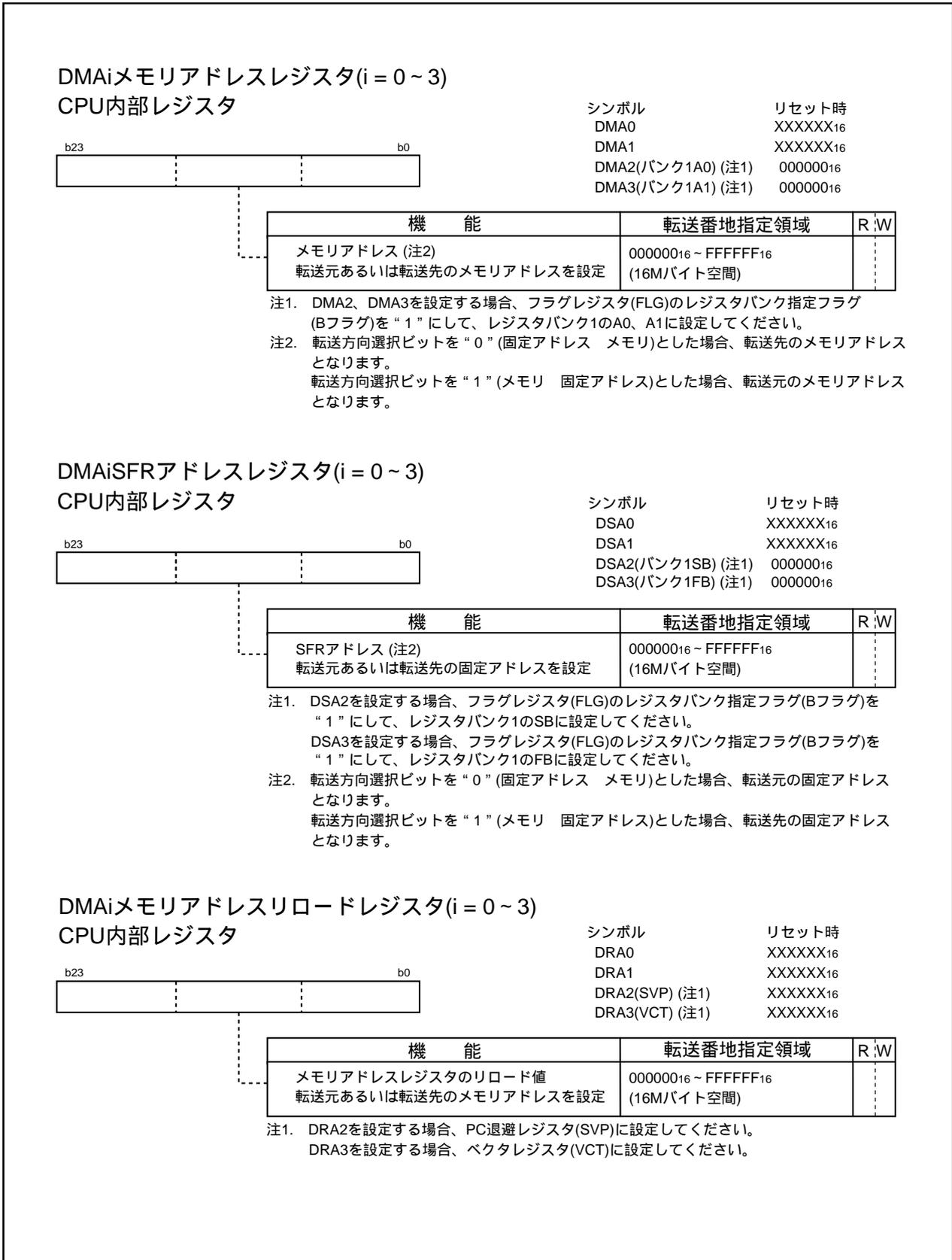


図11.5 DMACレジスタ構成(4)

(1) 転送サイクル

転送サイクルは、メモリまたはSFR領域に対するデータの読み出し(ソースリード)のバスサイクル、および書き込み(ディスティネーションライト)のバスサイクルで構成しています。読み出し、および書き込みのバスサイクル回数は、転送元/転送先アドレスの影響を受けます。また、メモリ拡張モードとマイクロプロセッサモード時は、外部データバス幅制御レジスタの影響も受けます。さらに、ソフトウェアウエイトの影響により、バスサイクル自体が長くなります。

転送元/転送先アドレスの影響

転送単位、データバス幅が共に16ビット幅で、転送元/転送先アドレスが奇数番地から始まる場合、ソースリードサイクル/ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

外部データバス幅制御レジスタの影響

メモリ拡張モードとマイクロプロセッサモード時は、転送元と転送先のデータバス幅により、転送サイクルは変わります。

1. 転送元、転送先のデータバス幅が8ビットバス幅(データバス幅ビット“0”)で16ビットのデータ転送を行う場合、8ビットのデータを2回転送します。そのため、バスサイクルはデータの読み出しに2バスサイクル、書き込みに2バスサイクル必要とします。
2. 転送元のデータバス幅が8ビットバス幅(データバス幅ビット“0”)、転送先のデータバス幅が16ビットバス幅(データバス幅ビット“1”)で16ビットのデータ転送を行う場合、8ビットのデータを2回読み出し、16ビットのデータとして書き込みます。そのため、バスサイクルはデータの読み出しに2バスサイクル、書き込みに1バスサイクル必要とします。
3. 転送元のデータバス幅が16ビットバス幅(データバス幅ビット“1”)、転送先のデータバス幅が8ビットバス幅(データバス幅ビット“0”)で16ビットのデータ転送を行う場合、16ビットのデータを読み出し、8ビットのデータを2回書き込みます。そのため、バスサイクルは、データの読み出しに1バスサイクル、書き込みに2バスサイクル必要とします。

ソフトウェアウエイトの影響

ソフトウェアウエイトが入るメモリ領域およびSFR領域をアクセスする場合、ソフトウェアウエイトの分だけ1バスサイクルに要するBCLKを基準としたサイクル数が増えます。

図11.6にソースリードについての転送サイクル例を示します。この図では、ディスティネーションを外部領域とし、ディスティネーションライトサイクルを2サイクル(1バスサイクル)として、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクルおよびソースリードサイクルに各条件を適用してください。例えば(2)の転送単位が16ビット幅で転送元、転送先が8ビットバス使用時では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

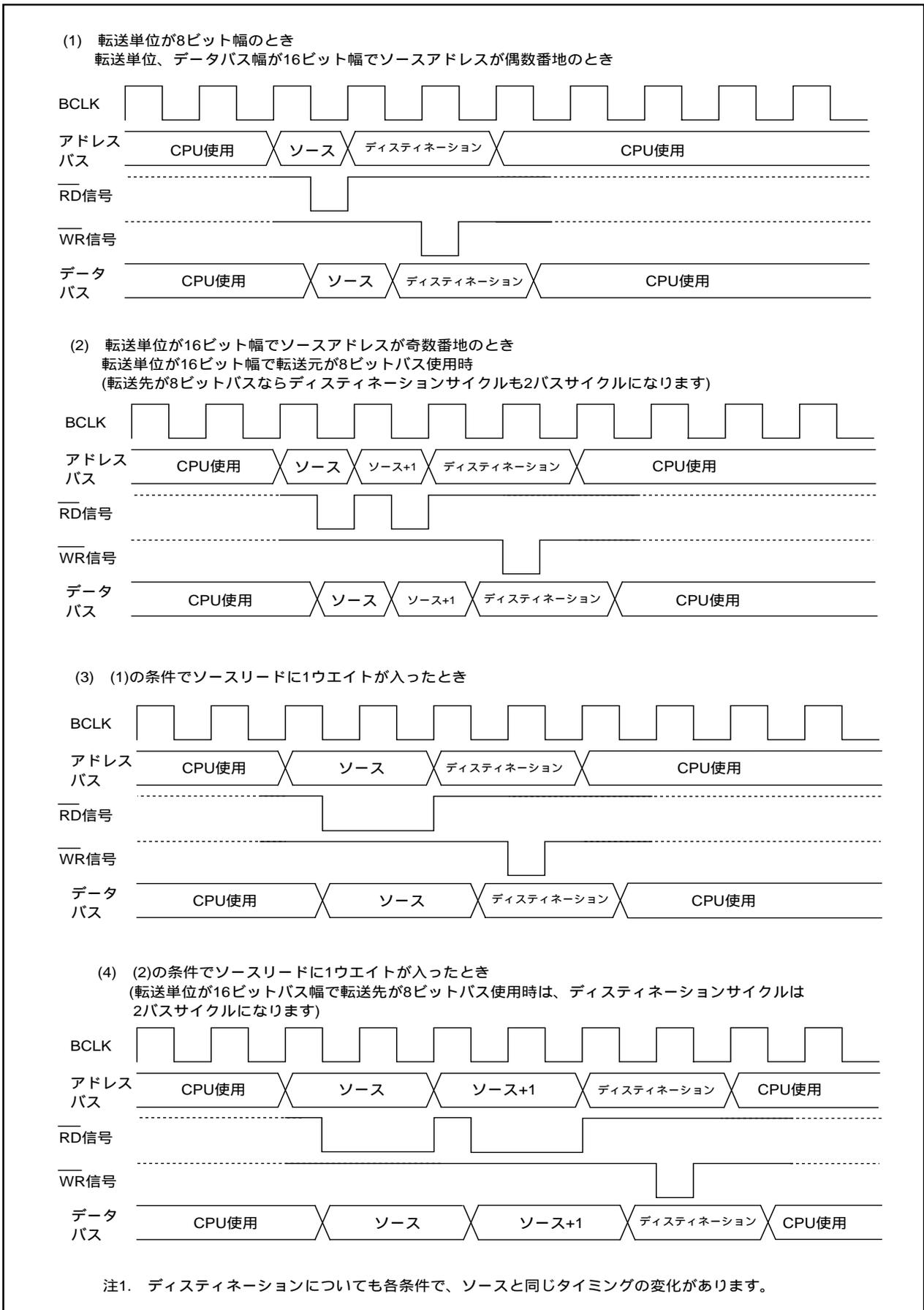


図11.6 ソースリードについての転送サイクル例

(2) DMACの転送サイクル数

DMACの転送サイクル数は下記のとおり計算することができます。

転送の読み出しアドレス、書き込みアドレスは偶数、奇数のいずれの組み合わせも可能です。表11.2にDMAC転送サイクル数を示します。

$$1\text{転送単位の転送サイクル数} = \text{読み出しサイクル数} \times j + \text{書き込みサイクル数} \times k$$

表11.2 DMAC転送サイクル数

転送単位	バス幅	アクセス番地	シングルチップモード		メモリ拡張モード プロセッサモード	
			読み出し サイクル数	書き込み サイクル数	読み出し サイクル数	書き込み サイクル数
8ビット転送 (BWi= "0")	16ビット (DSi= "1")	偶数	1	1	1	1
		奇数	1	1	1	1
	8ビット (DSi= "0")	偶数	-	-	1	1
		奇数	-	-	1	1
16ビット転送 (BWi= "1")	16ビット (DSi= "1")	偶数	1	1	1	1
		奇数	2	2	2	2
	8ビット (DSi= "0")	偶数	-	-	2	2
		奇数	-	-	2	2

係数j,k

内部領域			外部領域					
内部ROM /RAM ウエイトなし	内部ROM /RAM ウエイトあり	SFR領域	セパレート ウエイトなし	セパレート 1ウエイト	セパレート 2ウエイト	セパレート 3ウエイト	マルチプレ クスバス 2ウエイト	マルチプレ クスバス 3ウエイト
j=1 k=1	j=2 k=2	j=2 k=2	j=1 k=2	j=2 k=2	j=3 k=3	j=4 k=4	j=3 k=3	j=4 k=4

DMA要求ビット

DMACは、各チャンネルごとにDMA要求要因からあらかじめ選択した要因をトリガとして、DMA要求を発生させることができます。

DMA転送の要求要因には、内蔵している周辺機能からDMA要求信号を受け付ける要因、およびプログラムによるソフトウエアDMA要因と、外部の割り込み信号からの入力を利用した外部要因があります。

DMA要求要因の選択については、DMA_i要因選択レジスタの説明をご覧ください。

DMA要求は、DMA_i要求ビットが“1”にセットおよびチャンネル_i転送モード選択ビットが“01”または“11”にセットされたときに、DMA要求として受け付けられます。したがって、DMA_i要求ビットが“1”でもチャンネル_i転送モード選択ビットが“00”の場合は、DMA要求は受け付けられません。その場合DMA_i要求ビットはクリアされます。チャンネル_i転送モード選択ビットは、リセット解除後“00”になっていますので、DMAC関連レジスタの設定の最後に、有効にしたいチャンネルのチャンネル_i転送モード選択ビットをセットしてください。これによって、そのチャンネルのDMA要求が受付可能となり、DMA_i要求ビットがセットされることでDMA転送を行います。

次に、DMA_i要求ビットのセット、クリアされるタイミングについて説明します。

(1) 内部要因

内部要因によるDMAi要求フラグが“1”にセットされるタイミングは、ソフトウェアトリガによるDMA要因を除いて、各機能から出力される割り込み要求信号を流用しているため、各要因の割り込み制御レジスタの割り込み要求ビットがセットされるタイミングと同じです。

DMAi要求ビットが“0”にクリアされるタイミングは、DMA転送開始でクリアされます。また、DMA転送不可状態(チャンネルi転送モード選択ビットが“00”、DMAi転送カウントレジスタが“0”)でもクリアされます。

(2) 外部要因

\overline{INTi} 端子(DMACチャンネルによりiは異なります)からの入力エッジによって発生するDMA要求要因です。DMAi要求要因選択ビットで外部要因として \overline{INTi} 端子を選択すると、これらの端子からの入力が入力がDMA要求信号になります。

外部要因選択時にDMAi要求ビットがセットされるタイミングは、DMA要求要因選択ビットで指定された機能に応じて、各 \overline{INTi} 端子の入力信号の立ち下がりエッジまたは両エッジとなります。

外部要因選択時にDMAi要求ビットがクリアされるタイミングは、内部要因によるDMAi要求ビットのクリア同様、DMA転送開始時、およびDMA転送不可状態時にクリアされます。

(3) 外部要因による要求入力とDMAi要求フラグの関係とDMA転送タイミングについて

DMAiへの要求入力が同一サンプリングに入った場合(同一サンプリングサイクルは、BCLKの立ち下がりがエッジから次の立ち下がりがエッジの一周期の間です)は、DMAiの要求ビットは同時にセットされますが、DMAi許可ビットがともにセットされた許可状態では、DMA0が優先して転送を開始します。1転送単位を終了するとCPUにバス権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後、CPUにバス権を返します。

優先順位はDMA0>DMA1>DMA2>DMA3となります。

DMA0とDMA1の要求が同一サンプリングに入った場合の動作説明図を図11.7外部要因によるDMA転送例で示します。

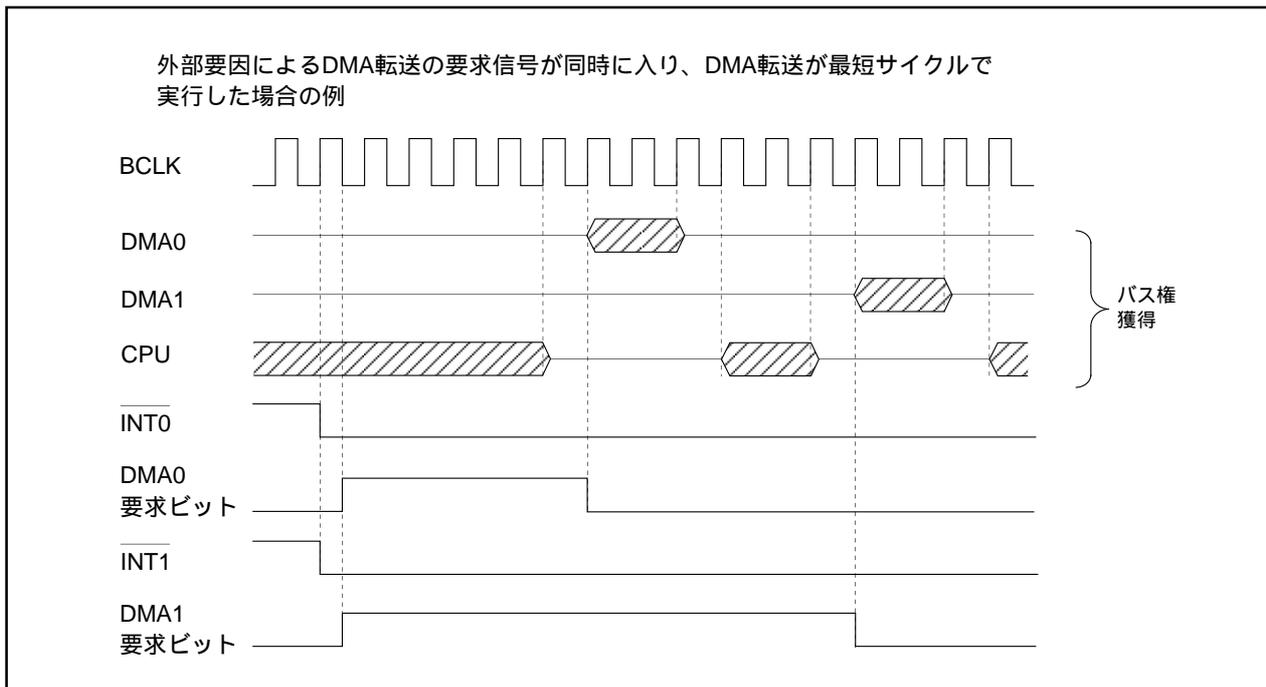


図11.7 外部要因によるDMA転送例

DMACの注意事項

- (1) DMAi要因選択レジスタのDMA要求ビットに“0”を書き込まないでください。

M16C/80では、DMA要求が発生した場合、そのチャンネルが受け付けられない状態(注1)であればDMA転送は実行せず、そのDMA要求ビットは自動的にクリアされます。

注1. DMA禁止状態、転送カウンタレジスタが“0”の状態

- (2) ソフトウェアトリガでDMA転送を行う場合、OR命令を使用し、DMAi要因選択レジスタのソフトウェアDMA要求ビットとDMA要求ビットに同時に“1”を設定してください。

例) OR.B #0A0h,DMiSL ;ソフトウェアDMA要求ビットとDMA要求ビット
; “1” 同時書き込み

- (3) DMAi要因選択レジスタのDMA要求要因選択ビットを変更する場合は、DMA要求ビットに同時に“1”を書き込んでください。この場合、該当するDMAチャンネルは禁止状態で行ってください。DMAを許可する命令は、DMAi要因要求選択レジスタに書き込みを行ってから26サイクル以上間をあけてください。

例) DMA0を単転送で使用しており、要因をタイマA0に変更する場合

```

push.w    R0                ; R0レジスタ退避
stc      DMD0, R0          ; DMAモードレジスタ0読み出し
and.b    #11111100b, R0L    ; DMA0転送モード選択ビット“00”クリア
ldc      R0, DMD0          ; DMA0禁止
mov.b    #10000011b, DM0SL  ; タイマA0選択(DMA要求ビット=“1”同時書き込み)
push.w    R0                ; R0レジスタ待避
mov.w    #6,R0              ;
dummy_loop:
sbjnz.w  #1,R0,dummy_loop   ;
pop.w    R0                 ; R0レジスタ復帰
or.b     #00000001b, R0L    ; DMA0単転送設定
ldc      R0, DMD0          ; DMA0許可
pop.w    R0                 ; R0レジスタ復帰

```

} DMA許可まで26サイクル以上必要

- (4) DMA転送開始の推奨手順

DMAi要因選択レジスタに書き込みを行う場合(同じ値をDMAi要因選択レジスタに上書きする場合も含む)

1. DMAモードレジスタ0、1で対応するチャンネルiをDMA禁止にする。
2. DMA転送の要求要因となる周辺機能の設定を行う。
このとき、DMA転送の要求要因となる周辺機能は禁止にしておく。
(例えば、要求要因がUART0送信なら、UART0を送信禁止にする。)
3. DMAi要因選択レジスタの設定を行う。
このとき、DMA要求ビット(ビット7)には、“1”を書く。

4. CPU内の下記レジスタの設定を行う。
 - ・DMAiSFRアドレスレジスタ
 - ・DMAiメモリアドレスリロードレジスタ
 - ・DMAiメモリアドレスレジスタ
 - ・DMAi転送カウントリロードレジスタ
 - ・DMAi転送カウントレジスタ
5. この時点で、「4.」の処理時間が26サイクルに満たない場合、不足のサイクル数分をnopなどの他の処理で補う。
6. DMAモードレジスタ0、1で対応するチャンネルiをDMA許可にする。
7. DMA転送の要求要因となる周辺機能を許可にする。
(例えば、要求要因がUART0送信なら、UART0を送信許可にする。)

DMAi要因選択レジスタに書き込みを行わない場合

1. DMAモードレジスタ0、1で対応するチャンネルiをDMA禁止にする。
2. DMA転送の要求要因となる周辺機能の設定を行う。
このとき、DMA転送に要求要因となる周辺機能は禁止にしておく。
(たとえば、要求要因がUART0送信なら、UART0を送信禁止にする。)
3. CPU内の下記レジスタの設定を行う。
 - ・DMAiSFRアドレスレジスタ
 - ・DMAiメモリアドレスリロードレジスタ
 - ・DMAiメモリアドレスレジスタ
 - ・DMAi転送カウントリロードレジスタ
 - ・DMAi転送カウントレジスタ
4. DMAモードレジスタ0、1で対応するチャンネルiをDMA許可にする。
5. DMA転送の要求要因となる周辺機能を許可にする。
(例えば、要求要因がUART0送信なら、UART0を送信許可にする。)

(5) DMA転送終了の推奨手順

DMA転送の要求要因となる周辺機能を禁止にし、DMA要求が発生しないようにする。
DMAモードレジスタ0、1で対応するチャンネルiをDMA禁止にする。

12. タイマ

タイマは、16ビットタイマを11本内蔵しています。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図12.1にタイマA、図12.2にタイマBの構成を示します。

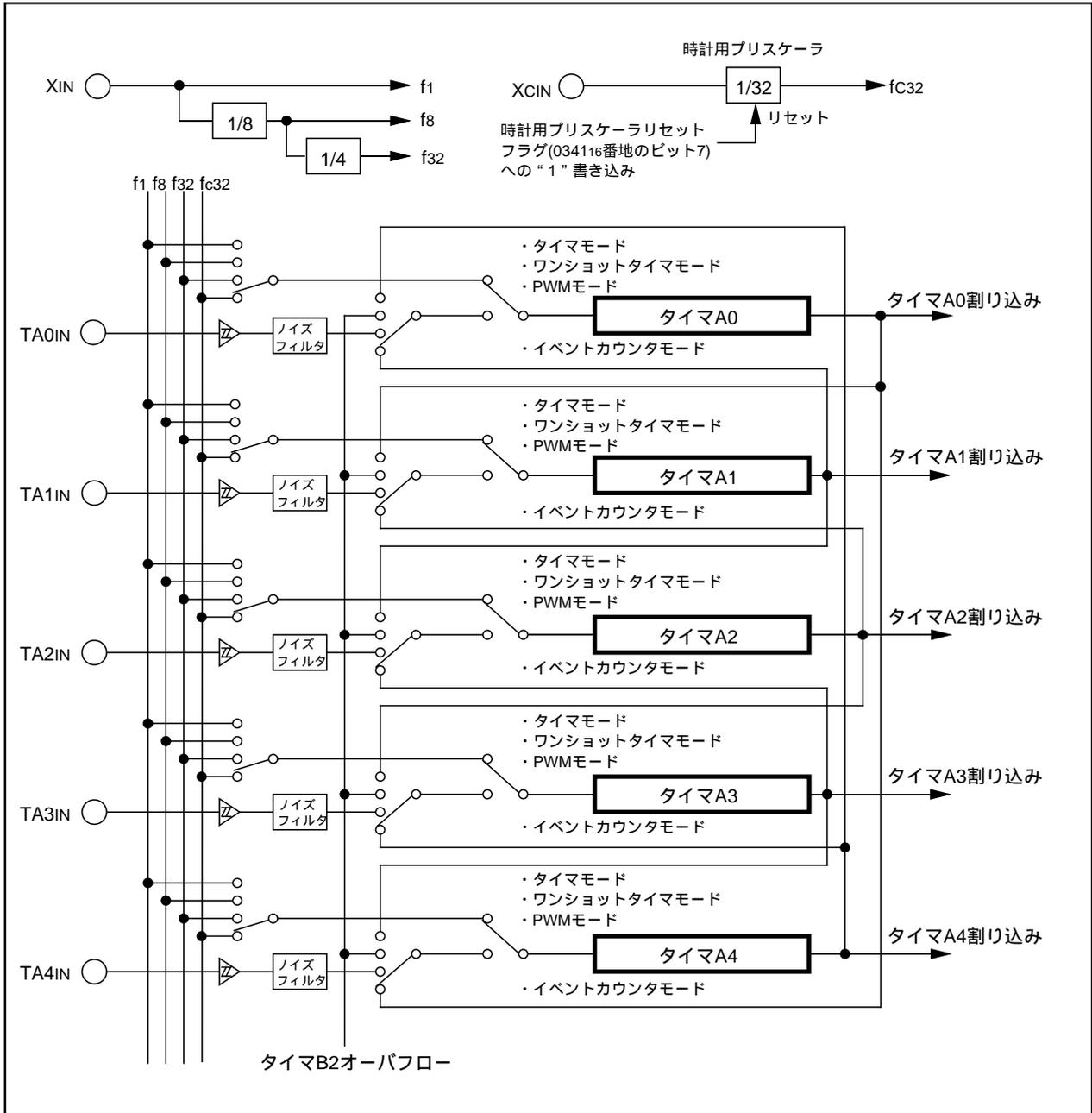


図12.1 タイマA構成

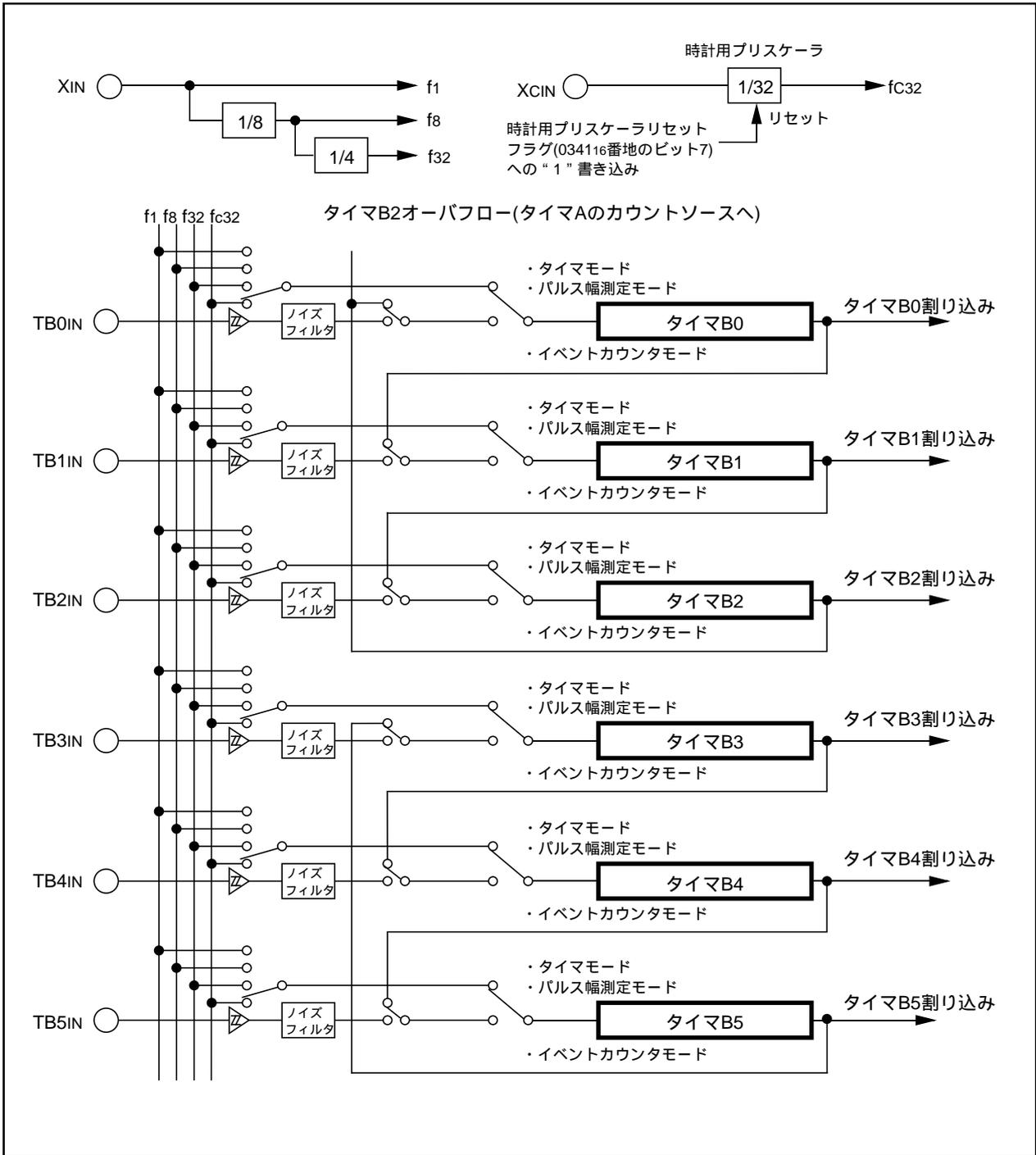


図12.2 タイマB構成

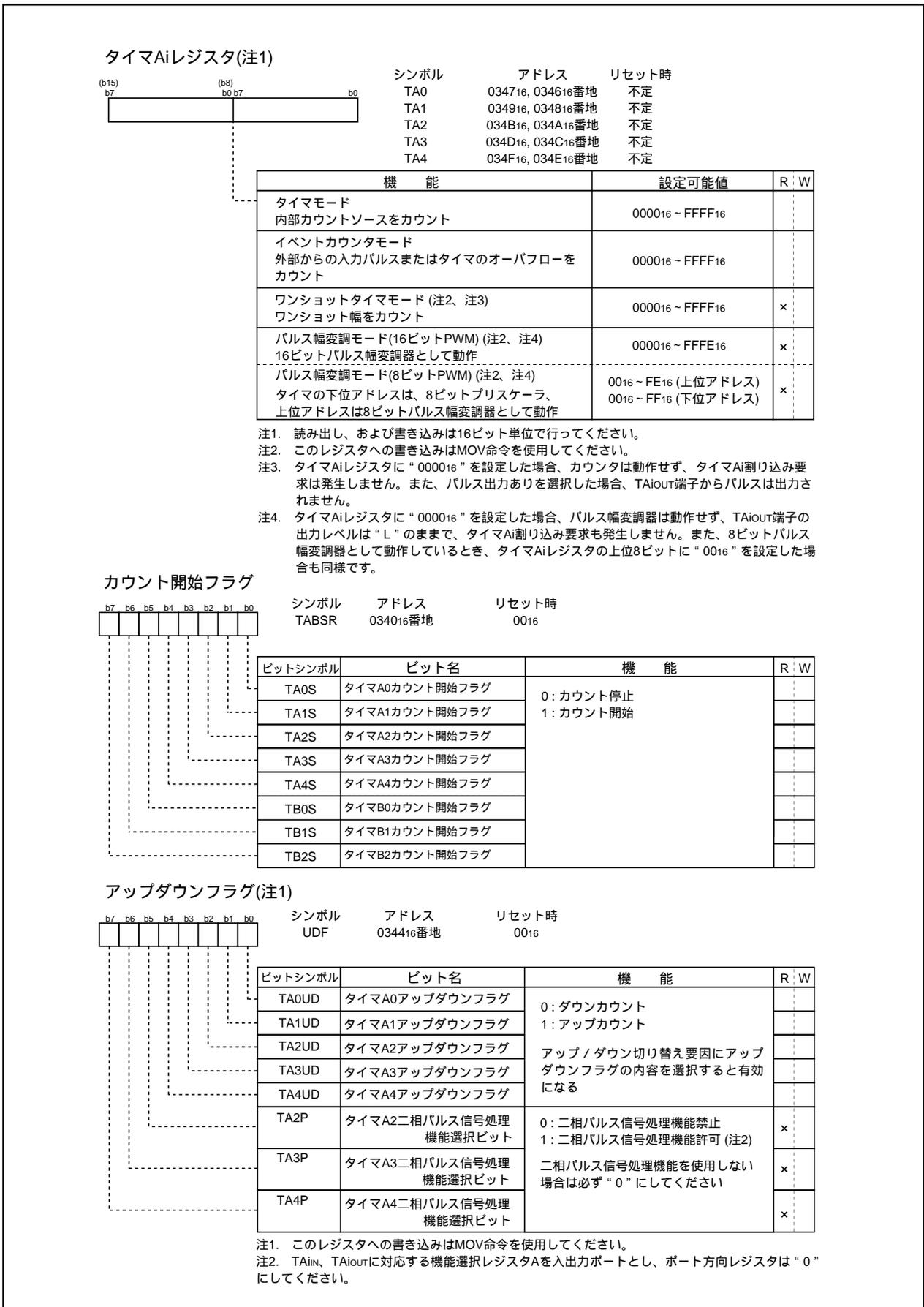


図13.3 タイマA関連レジスタ(2)

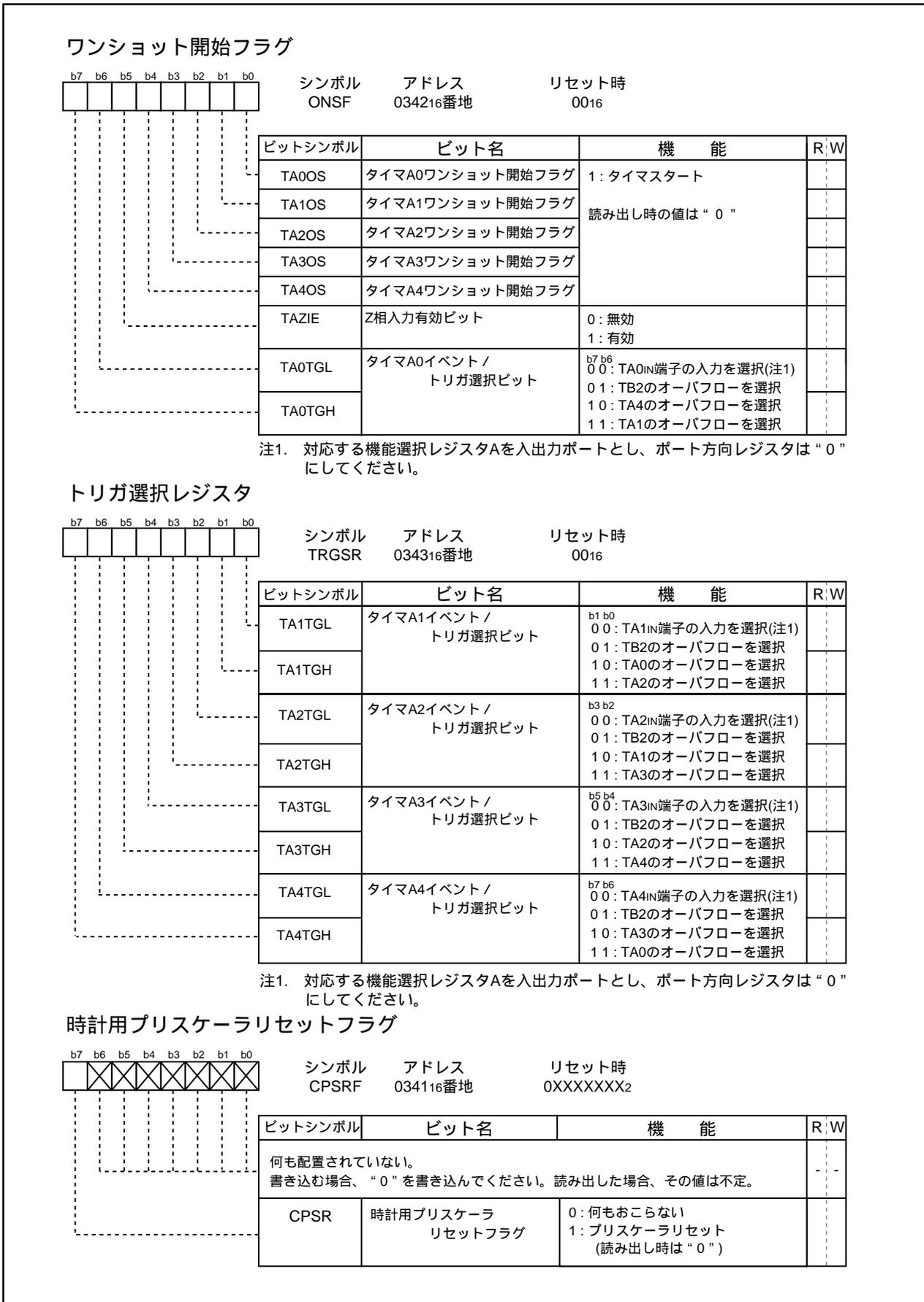


図13.4 タイマA関連レジスタ(3)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表13.1)。図13.5にタイマモード時のタイマAiモードレジスタの構成を示します。

表13.1 タイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはゲート入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力 (対応する機能選択レジスタAと機能選択レジスタBにて設定)
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中 タイマAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 パルス出力機能 アンダフローするごとにTUAiOUT端子の極性が反転

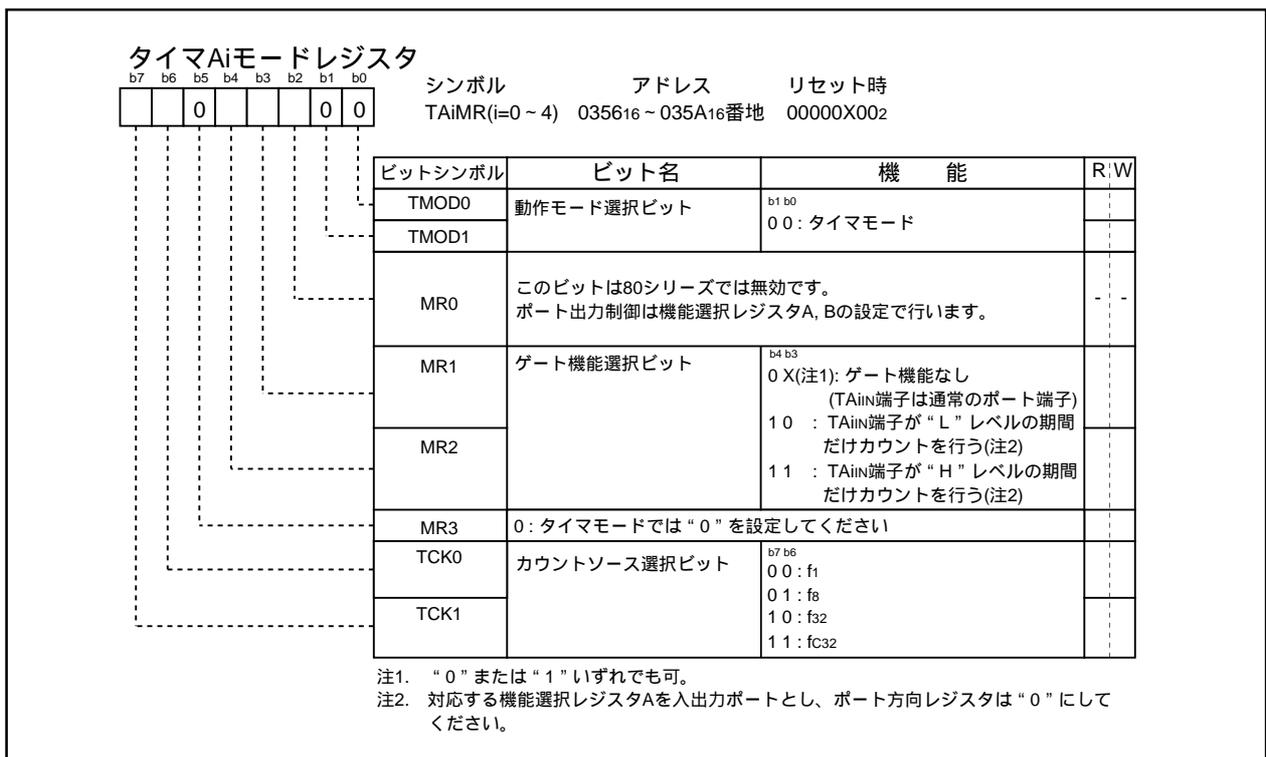


図13.5 タイマモード時のタイマAiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバフローをカウントするモードです。タイマA0、A1は、一相の外部信号をカウントできます。タイマA2、A3、A4は、一相の外部信号と二相の外部信号をカウントできます。一相の外部信号をカウントする場合の仕様を表13.2に、タイマAiモードレジスタの構成を図13.6に示します。二相の外部信号をカウントする場合の仕様を表13.3に、タイマAiモードレジスタの構成を図13.7に示します。

表13.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	TAiIN端子に入力された外部信号(ソフトウェアにて有効エッジを選択可能) TB2のオーバフローおよびアンダフロー、TAjのオーバフローおよびアンダフロー
カウント動作	アップカウントまたはダウンカウントを、外部信号またはソフトウェアで選択可能 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 1/(FFFF16 - n+1) ダウンカウント時 1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	プログラマブル入出力ポート、またはカウントソース入力
TAiOUT端子機能	プログラマブル入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力 (対応する機能選択レジスタAと機能選択レジスタBにて設定)
タイマの読み出し	タイマAiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中 タイマAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の極性が反転

注1. フリーラン機能選択時は除きます。

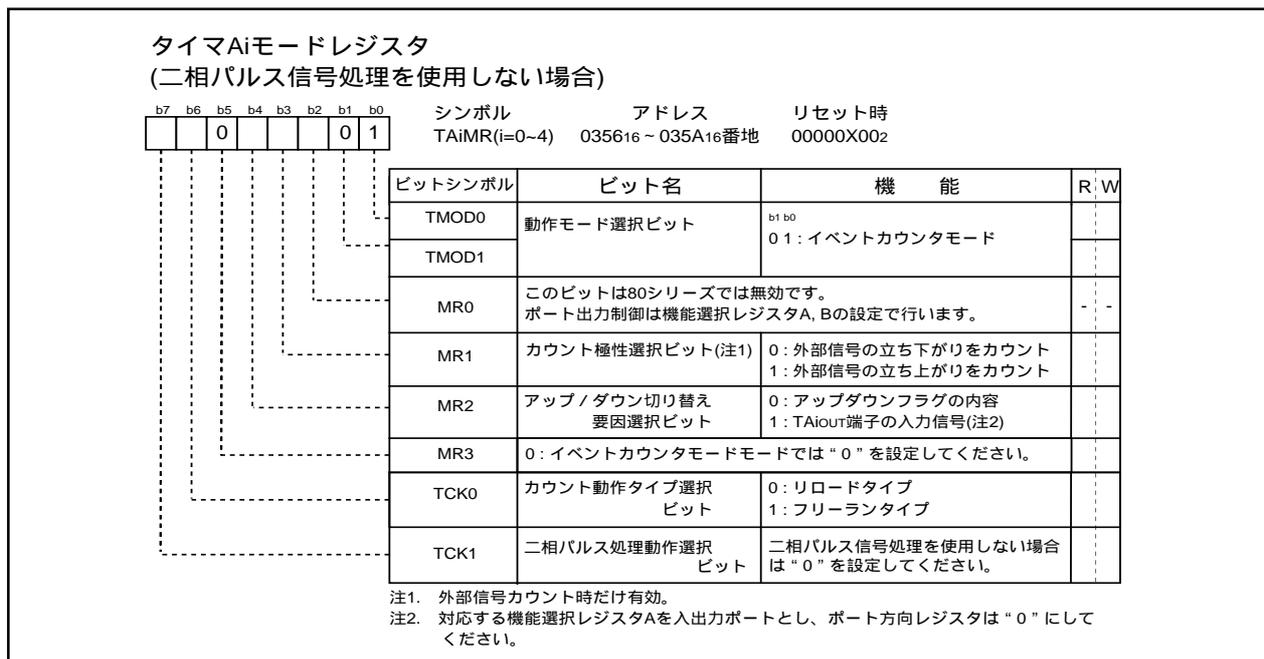
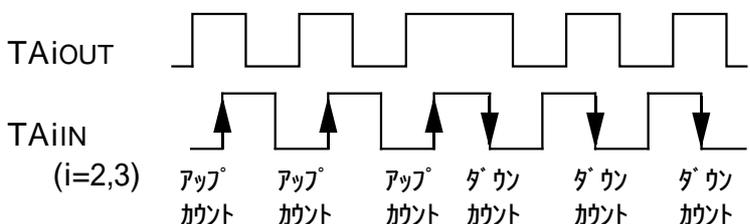
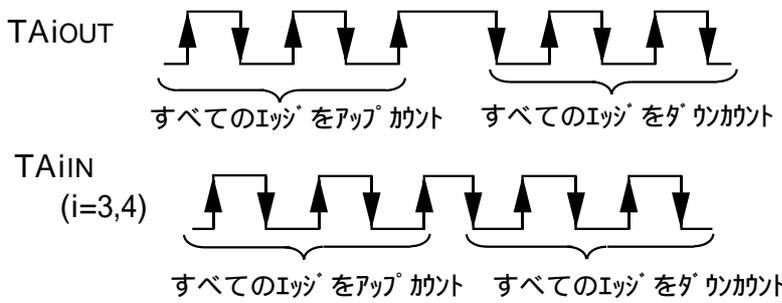


図13.6 イベントカウンタモード時のタイマAiモードレジスタの構成

表13.3 イベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

項目	仕様
カウントソース	TAiIN、TAiOUT端子(i=2~4)に入力された二相パルス信号
カウント動作	アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続(注1)
分周比	アップカウント時 $1/(FFFF_{16} - n + 1)$ ダウンカウント時 $1/(n + 1)$ n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	オーバフロー時、およびアンダフロー時
TAiIN端子機能	二相パルス入力(対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“0”にする)
TAiOUT端子機能	二相パルス入力(対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは“0”にする)
タイマの読み出し	タイマA2、A3、A4レジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中 タイマAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能 (注2)	<p>通常処理動作 (タイマA2、タイマA3)</p> <p>TAiOUT端子の入力信号が“H”レベルの期間TAiIN端子の立ち上がりをアップカウントし立ち下がりをダウンカウントします。</p>  <p>4通倍処理動作 (タイマA3、タイマA4)</p> <p>TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち上がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをアップカウントします。TAiOUT端子の入力信号が“H”レベルの期間にTAiIN端子が立ち下がる位相関係の場合、TAiOUT、TAiIN端子の立ち上がり、立ち下がりをダウンカウントします。</p> 

注1. フリーラン機能選択時は除く。

注2. タイマA3のみ選択可能できます。タイマA2は通常処理動作、タイマA4は4通倍処理動作に固定です。

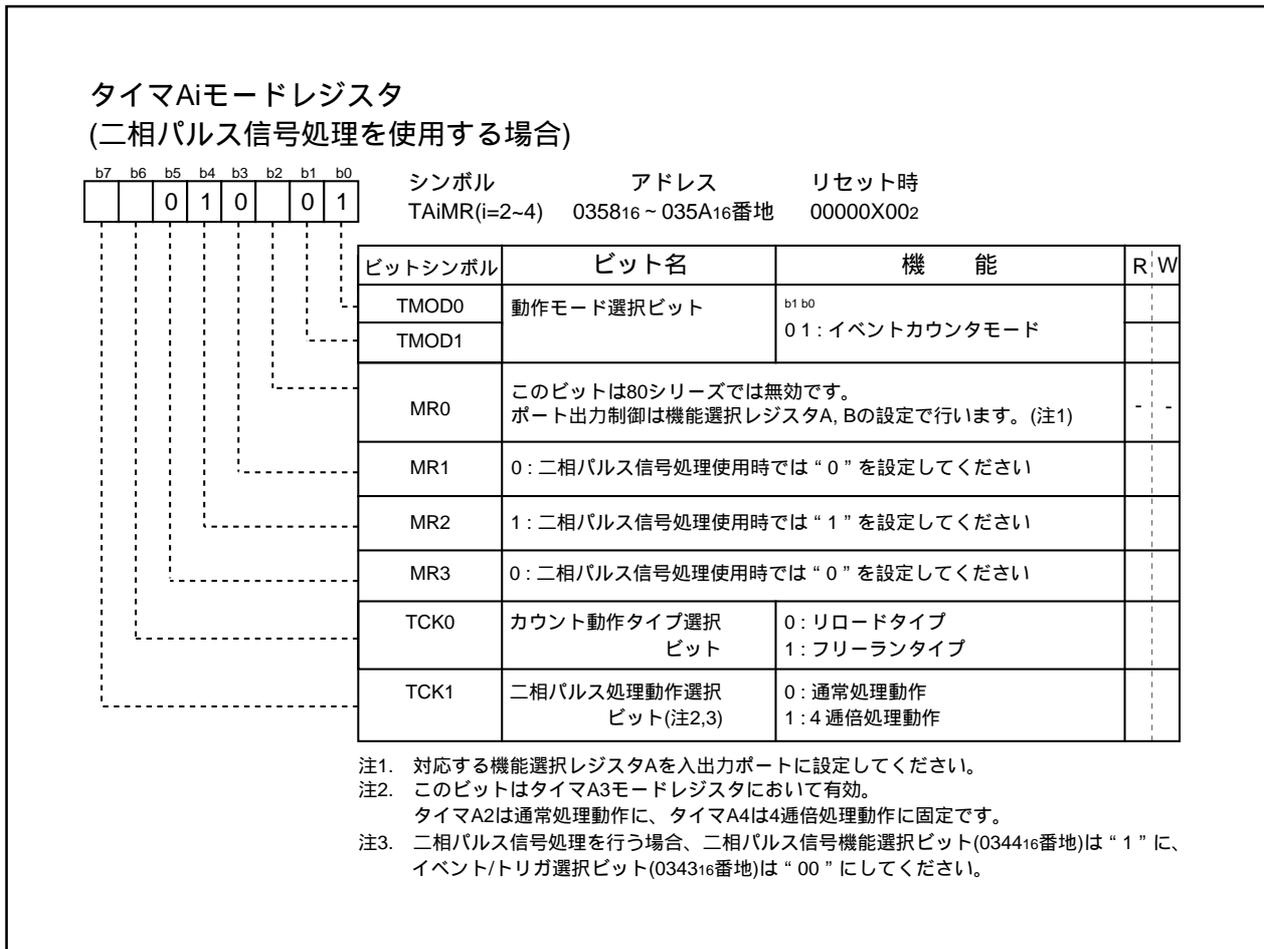


図13.7 イベントカウンタモード時のタイマAiモードレジスタの構成

二相パルス信号処理でのカウンタリセット

二相パルス信号処理時にZ相(カウンタリセット)入力により、タイマのカウンタ値を“0”にする機能です。

この機能は、タイマA3のイベントカウンタモード、二相パルス信号処理、フリーランタイプ、4逓倍処理でのみ使用でき、Z相入力はINT2端子入力となります。

Z相入力有効ビット(0342₁₆番地のビット5)を“1”に設定することで、Z相入力によるカウンタのリセットが有効になります。また、Z相入力でのカウンタを“0”にするためには、タイマA3レジスタ(034D₁₆、034C₁₆番地)にあらかじめ“0000₁₆”を書き込んでおく必要があります。

Z相入力は、INT2入力のエッジを検出して行います。エッジの極性はINT2の極性切替ビット(009C₁₆番地のビット4)で選択できます。Z相のパルス幅は、タイマA3のカウンタソースの1周期分以上になるように入力してください。二相パルス(A相、B相)とZ相の関係を図13.8に示します。

Z相入力でのカウンタがリセットされるタイミングは、Z相入力を受けた次のカウンタソースタイミングになります。カウンタが“0”になるタイミングを図13.9に示します。

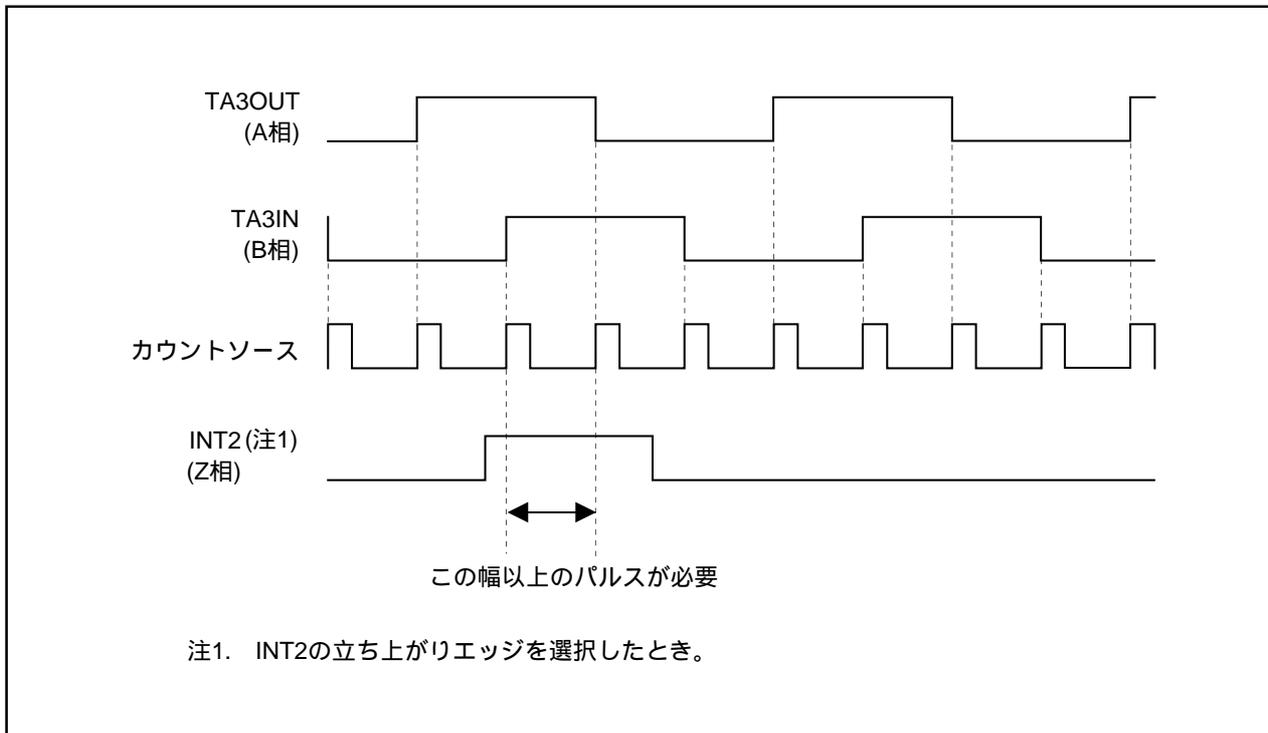


図13.8 二相パルス(A相、B相)とZ相の関係

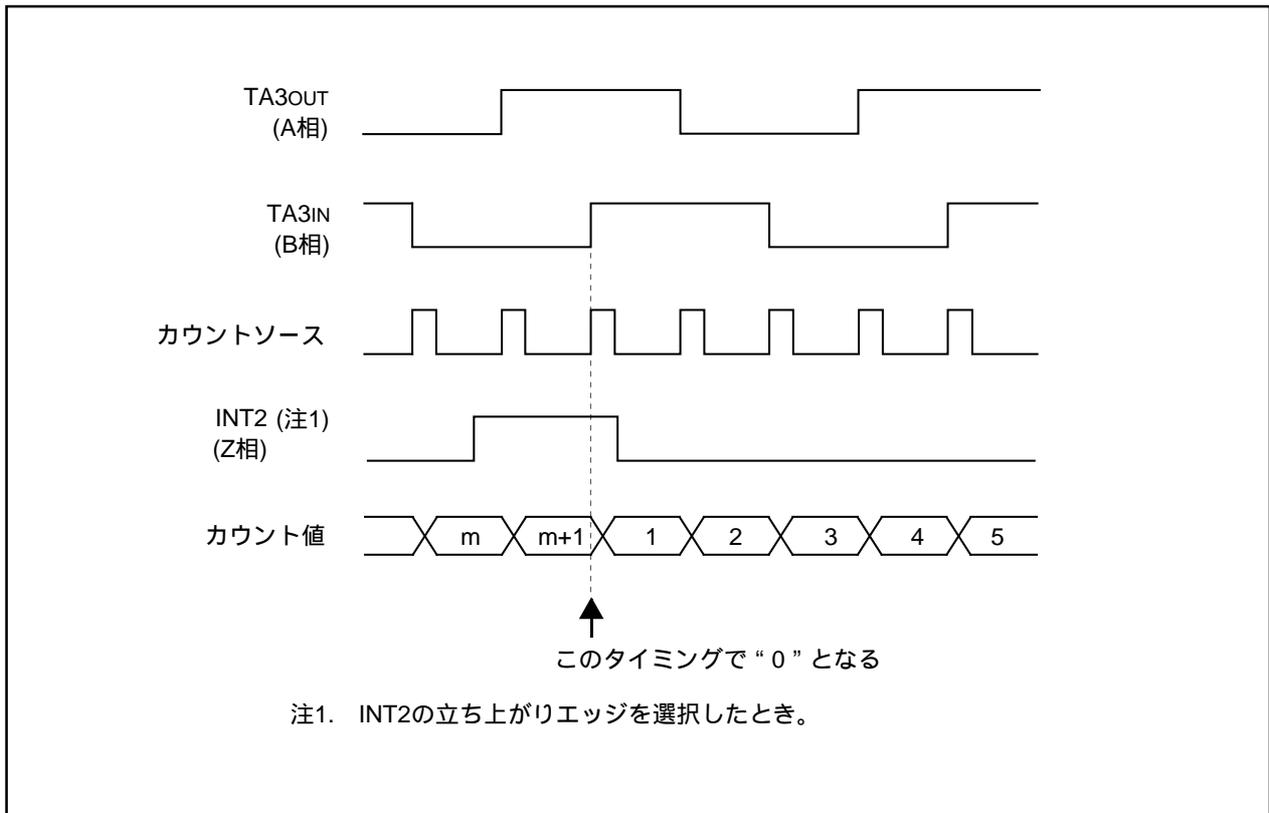


図13.9 カウンタリセットタイミング

タイマA3のアンダフロータイミングとINT2入力によるリロードのタイミングが重なると、タイマA3の割り込み要求が2回連続して発生しますので注意が必要です。

本機能使用時はタイマA3の割り込み要求は使用しないでください。

(3) ワンショットタイマモード

1度だけタイマを動作するモードです(表13.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図13.10にワンショットタイマモード時のタイマAiモードレジスタの構成を示します。

表13.4 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	ダウンカウント カウントの値が0000 ₁₆ になるタイミングでリロードしてカウントを停止 カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー ワンショット開始フラグへの“1”書き込み
カウント停止条件	カウントの値が0000 ₁₆ になりリロードした後 カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	カウントの値が0000 ₁₆ になるタイミング
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	プログラマブル入出力ポート、またはパルス出力 (対応する機能選択レジスタAと機能選択レジスタBにて設定)
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中 タイマAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

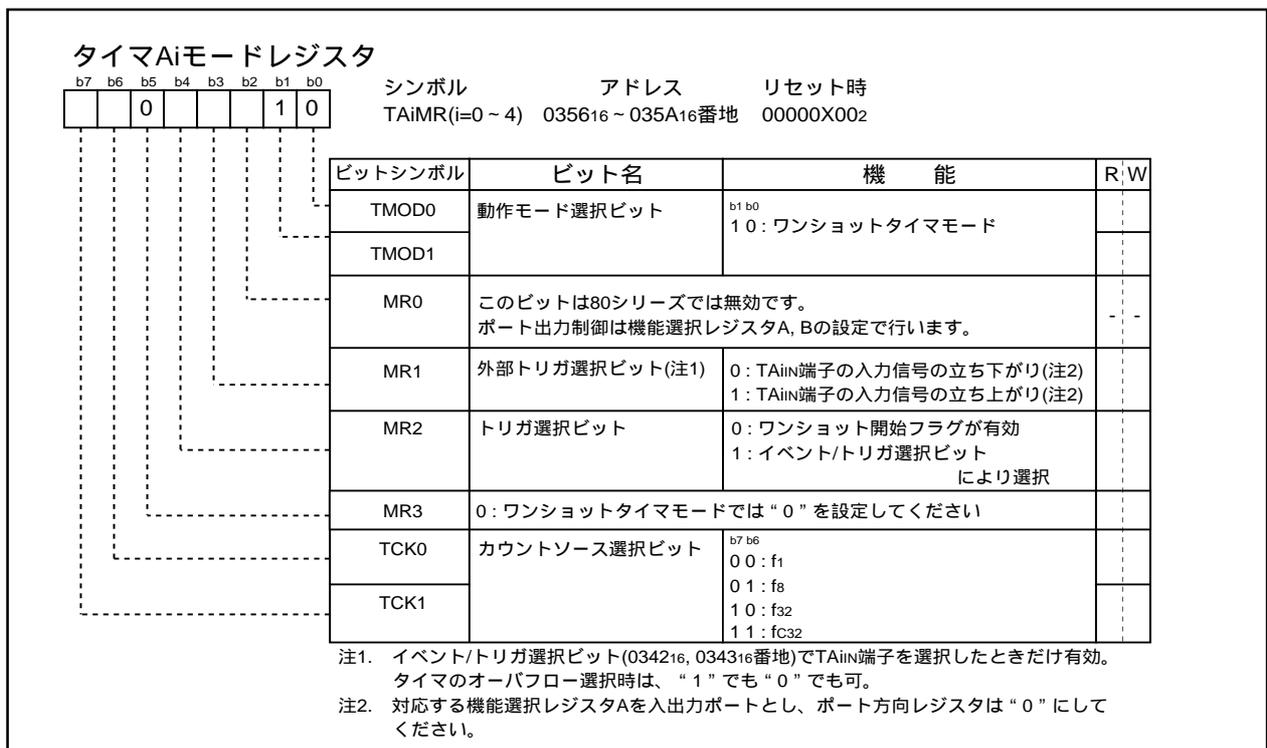


図13.10 ワンショットタイマモード時のタイマAiモードレジスタの構成

(4) パルス幅変調モード

任意の幅のパルスを連続して出力するモードです(表13.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図13.11にパルス幅変調モード時のタイマAiモードレジスタの構成、図13.12に16ビットパルス幅変調器の動作例、および図13.13に8ビットパルス幅変調器の動作例を示します。

表13.5 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) PWMパルスの立ち上がりでリロードしてカウントを継続 カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	“H”レベル幅 n / f_i n:設定値 周期 $(2^{16} - 1) / f_i$ 固定
8ビットPWM	“H”レベル幅 $n \times (m+1) / f_i$ n:タイマAiレジスタの上位アドレスの設定値 周期 $(2^8 - 1) \times (m+1) / f_i$ m:タイマAiレジスタの下位アドレスの設定値
カウント開始条件	外部トリガ入力 タイマのオーバフロー カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	プログラマブル入出力ポート、またはトリガ入力
TAiOUT端子機能	パルス出力(対応する機能選択レジスタA、機能選択レジスタBでTAiOUT出力を選択)
タイマの読み出し	タイマAiレジスタを読み出すと、不定値が読み出される
タイマの書き込み	カウント停止中 タイマAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中 タイマAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

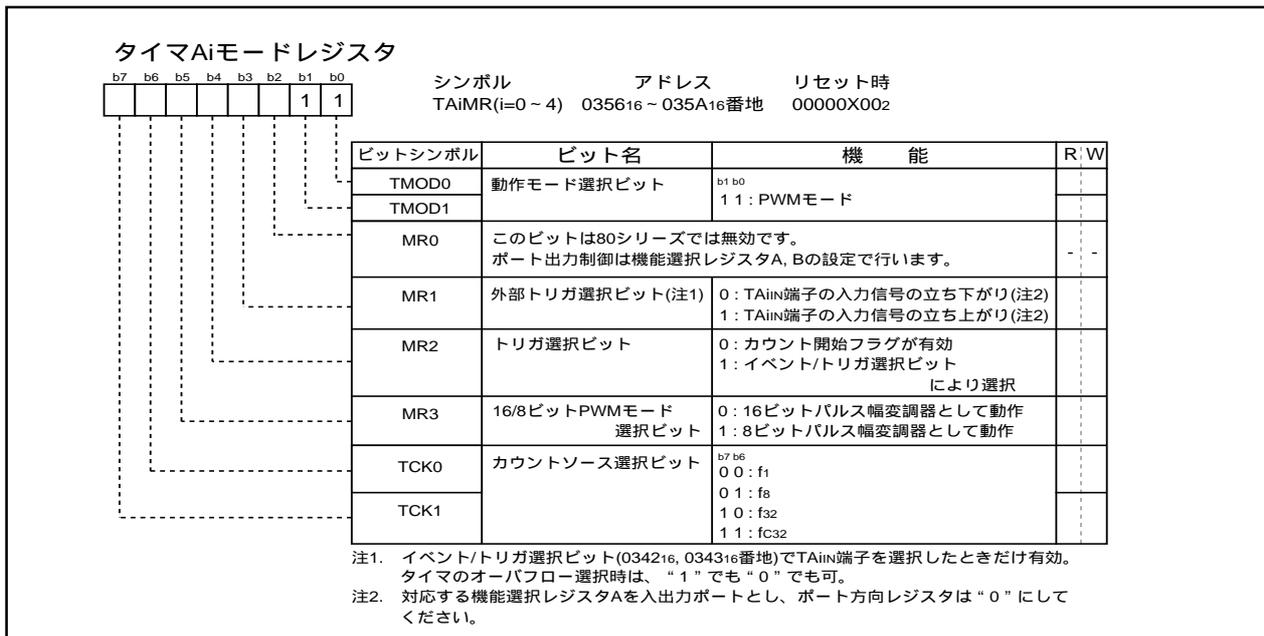


図13.11 パルス幅変調モード時のタイマAiモードレジスタの構成

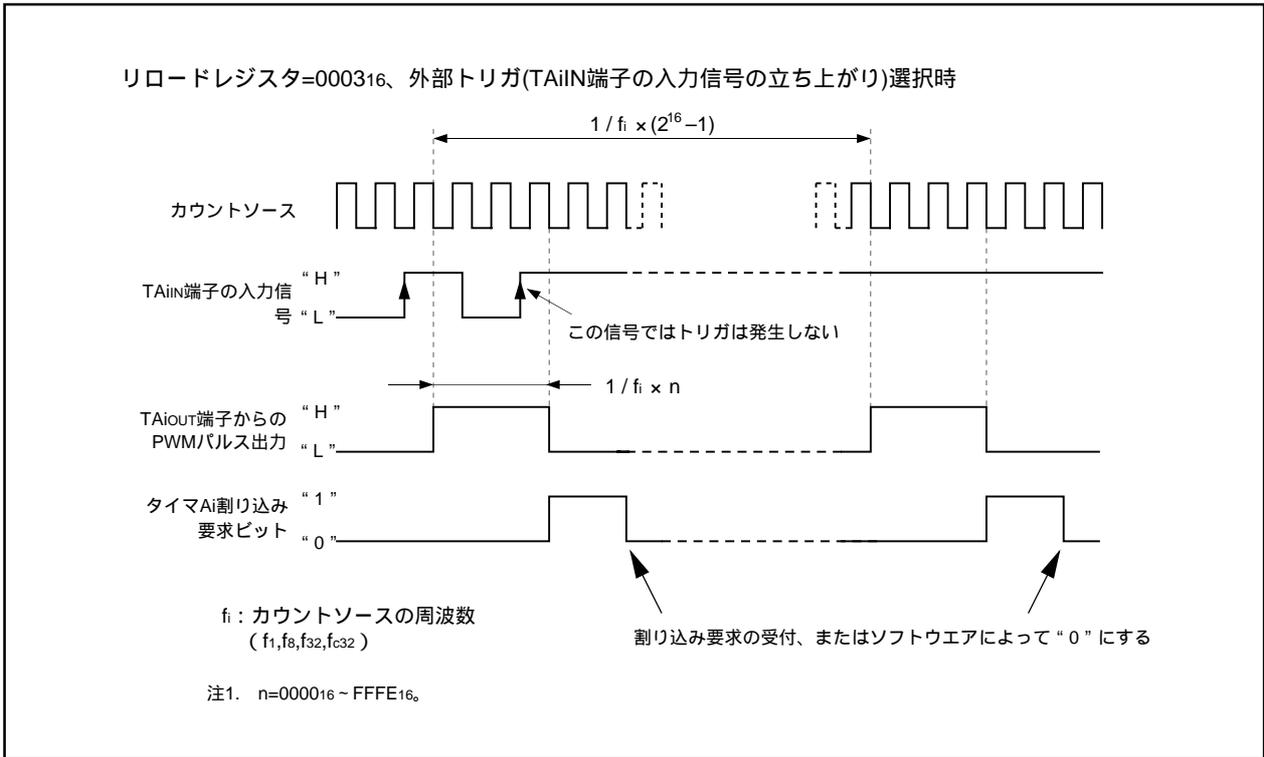


図13.12 16ビットパルス幅変調器の動作例

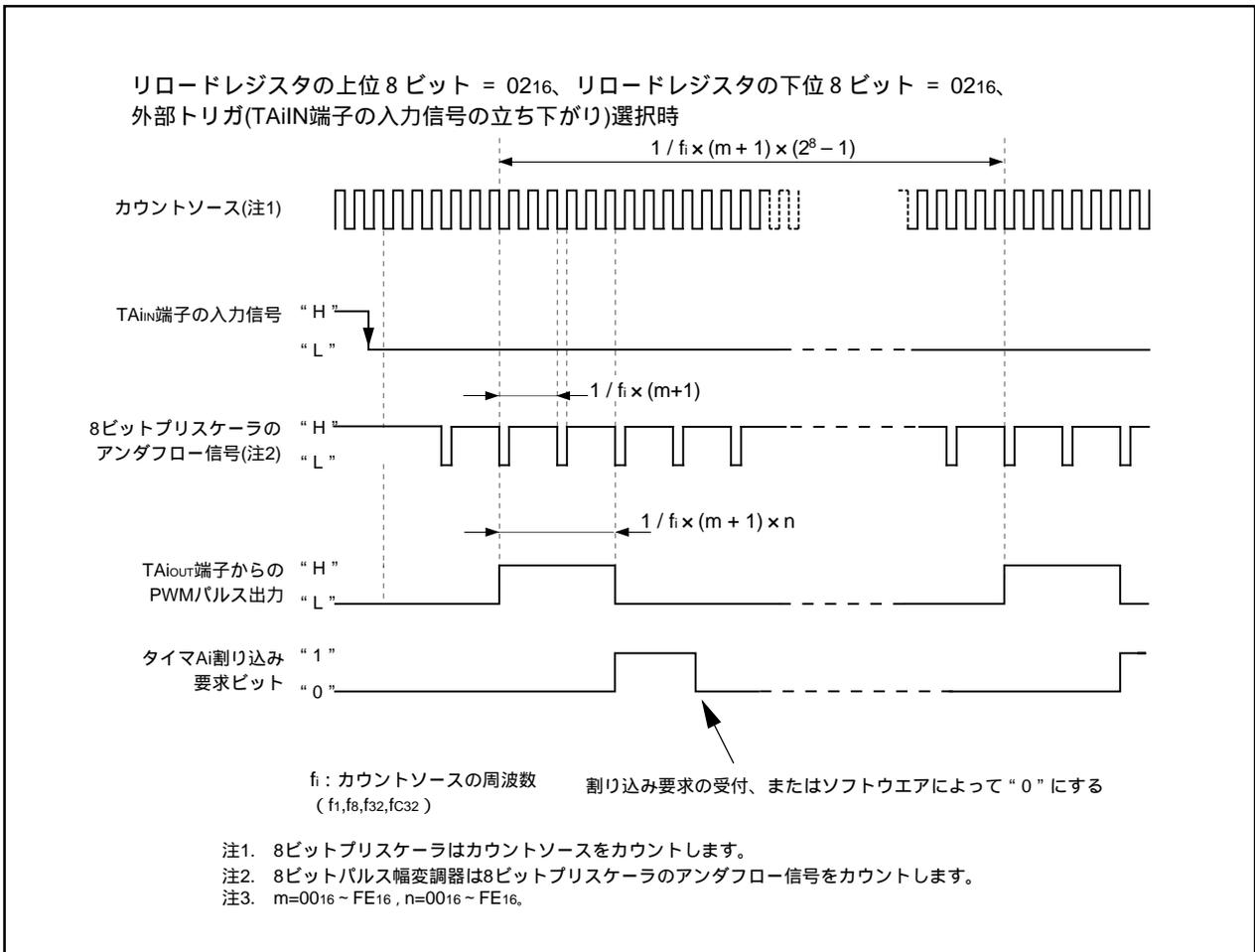


図13.13 8ビットパルス幅変調器の動作例

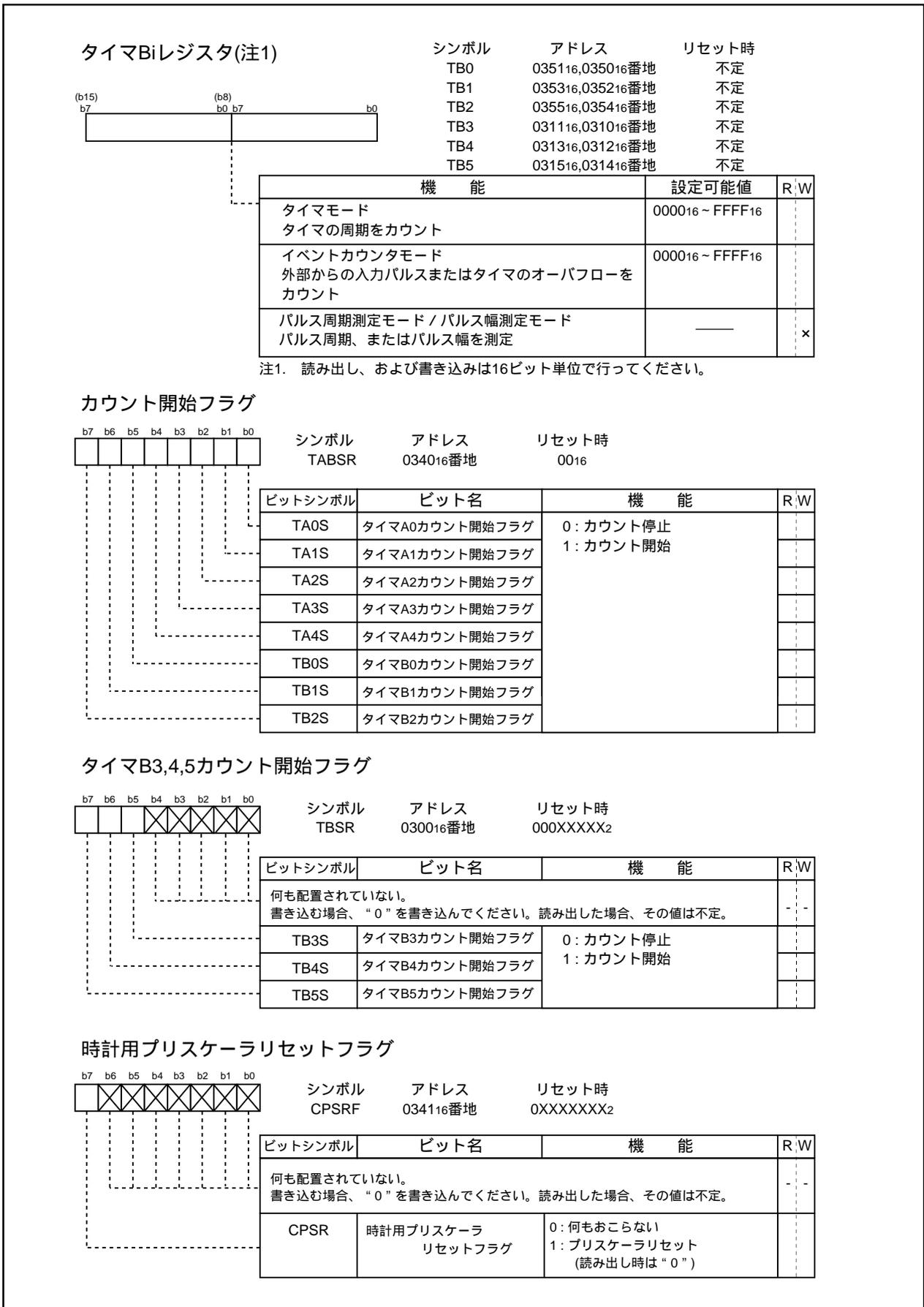


図14.3 タイマ B 関連レジスタ(2)

(1) タイマモード

内部で生成されたカウントソースをカウントするモードです(表14.1)。図14.4にタイマモード時のタイマBiモードレジスタの構成を示します。

表14.1 タイマモードの仕様

項 目	仕 様
カウントソース	f1, f8, f32, fC32
カウント動作	ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポート
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中 タイマBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

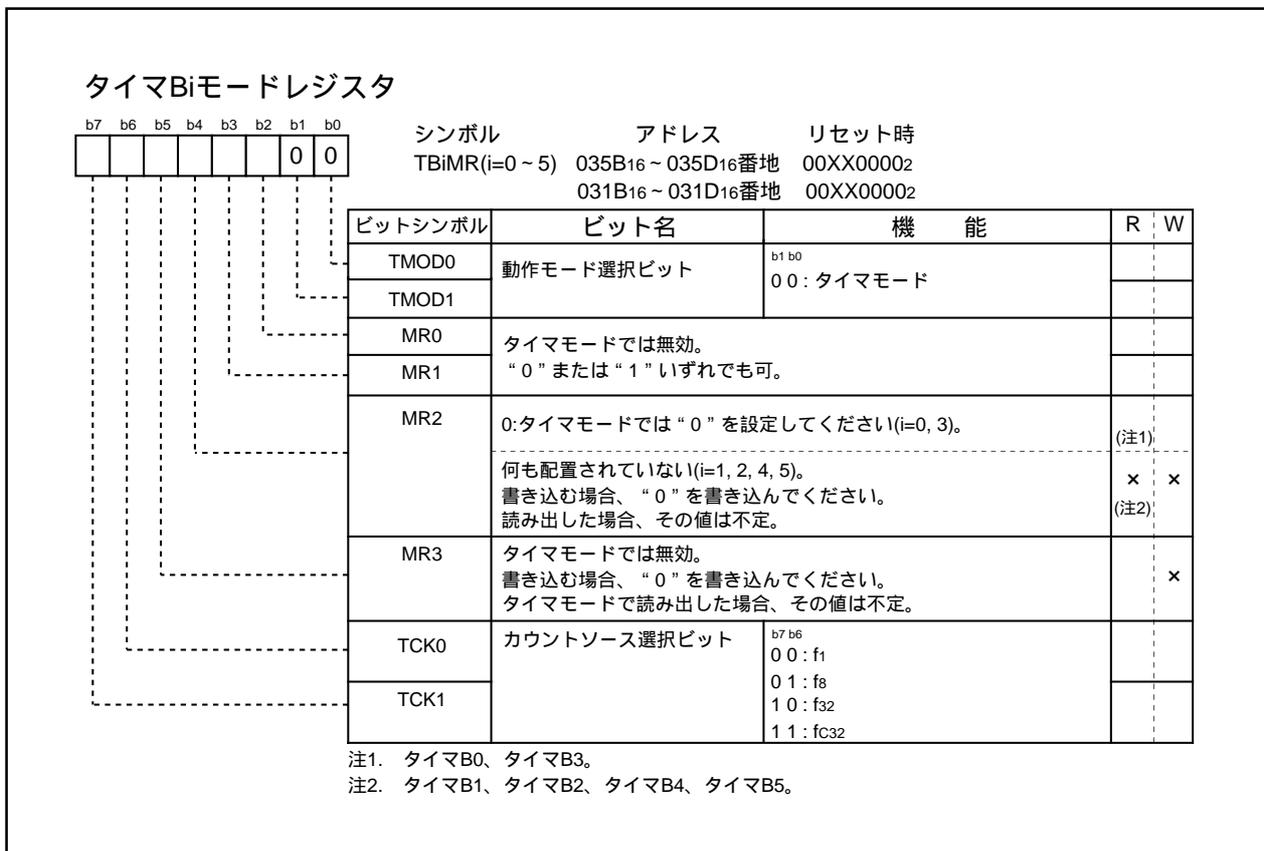


図14.4 タイマモード時のタイマBiモードレジスタの構成

(2) イベントカウンタモード

外部信号または内部タイマのオーバーフローをカウントするモードです(表14.2)。タイマBiレジスタの構成を図14.5に示します。

表14.2 イベントカウンタモードの仕様

項目	仕様
カウントソース	TBiIN端子に入力された外部信号 カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりおよび立ち上がりをソフトウェアによって選択可 TBiのオーバーフローおよびアンダフロー
カウント動作	ダウンカウント アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n:設定値
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	プログラマブル入出力ポートまたはカウントソース入力(対応する機能選択レジスタAを入出力ポートに設定)
タイマの読み出し	タイマBiレジスタを読み出すと、カウント値が読み出される
タイマの書き込み	カウント停止中 タイマBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる カウント中 タイマBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

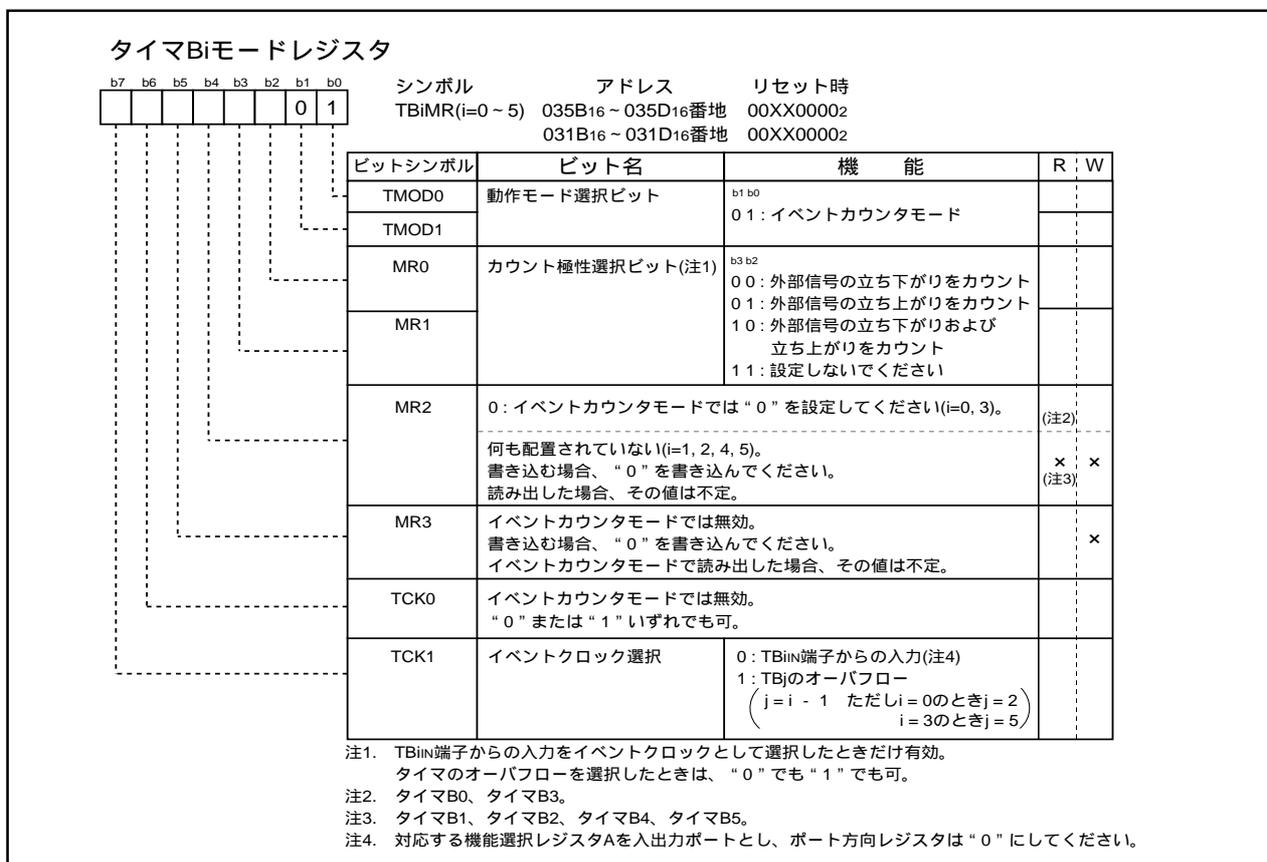


図14.5 イベントカウンタモード時のタイマBiモードレジスタの構成

(3) パルス周期測定 / パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表14.3)。図14.6にパルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成、図14.7にパルス周期測定時の動作図、および図14.8にパルス幅測定時の動作図を示します。

表14.3 パルス周期測定 / パルス幅測定モードの仕様

項目	仕様
カウントソース	f1, f8, f32, fc32
カウント動作	アップカウント 測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000 ₁₆ ”にしてカウントを継続
カウント開始条件	カウント開始フラグへの“1”書き込み
カウント停止条件	カウント開始フラグへの“0”書き込み
割り込み要求発生タイミング	測定パルスの有効エッジ入力時(注1) オーバフロー時(同時にタイマBiオーバフローフラグが“1”になります。カウント開始フラグが“1”の状態、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降に、タイマBiモードレジスタに書き込みを行うとタイマBiオーバフローフラグは“0”になります。)
TBiIn端子機能	測定パルス入力(対応する機能選択レジスタAを入出力ポートに設定)
タイマの読み出し	タイマBiレジスタを読み出すと、リロードレジスタの内容(測定結果)が読み出される(注2)
タイマの書き込み	不可

注1. カウント開始後 1 回目の有効エッジ入力時は、割り込み要求は発生しません。

注2. カウント開始後 2 回目の有効エッジ入力までは、タイマBiレジスタからの読み出し値は不定です。

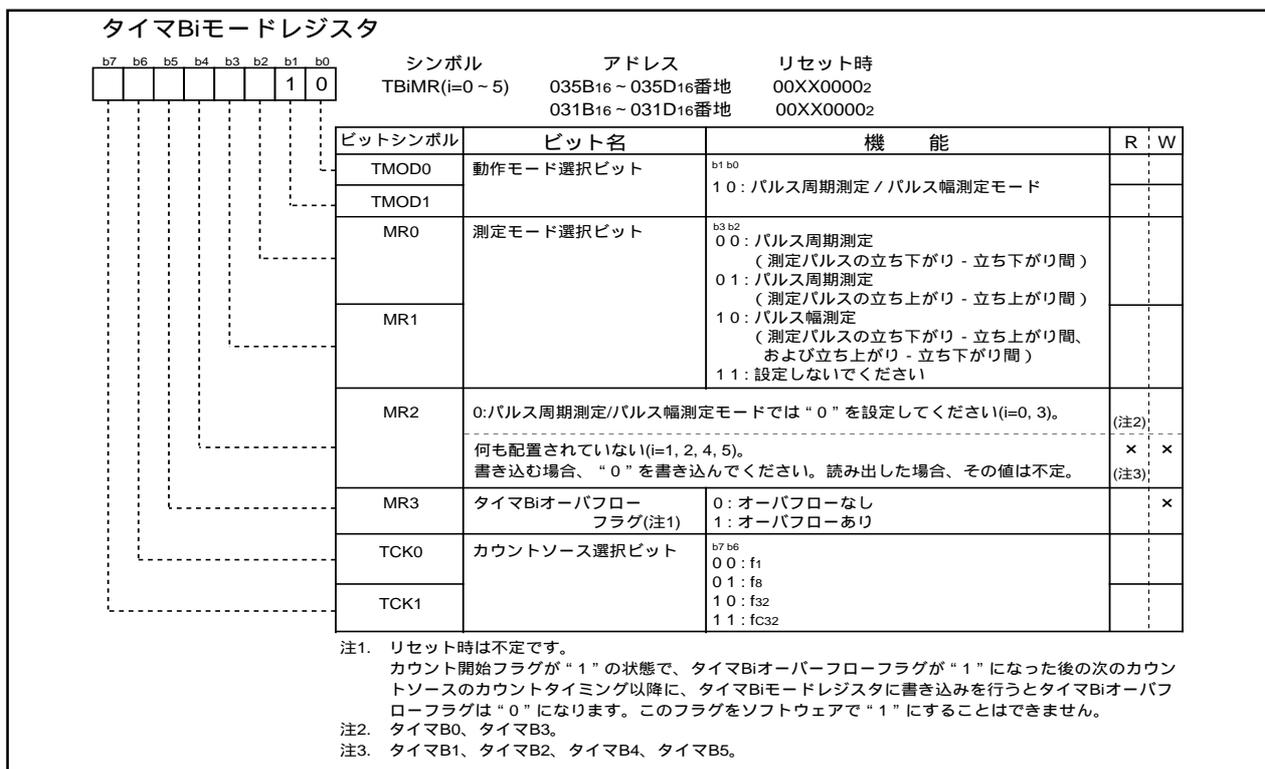


図14.6 パルス周期測定 / パルス幅測定モード時のタイマBiモードレジスタの構成

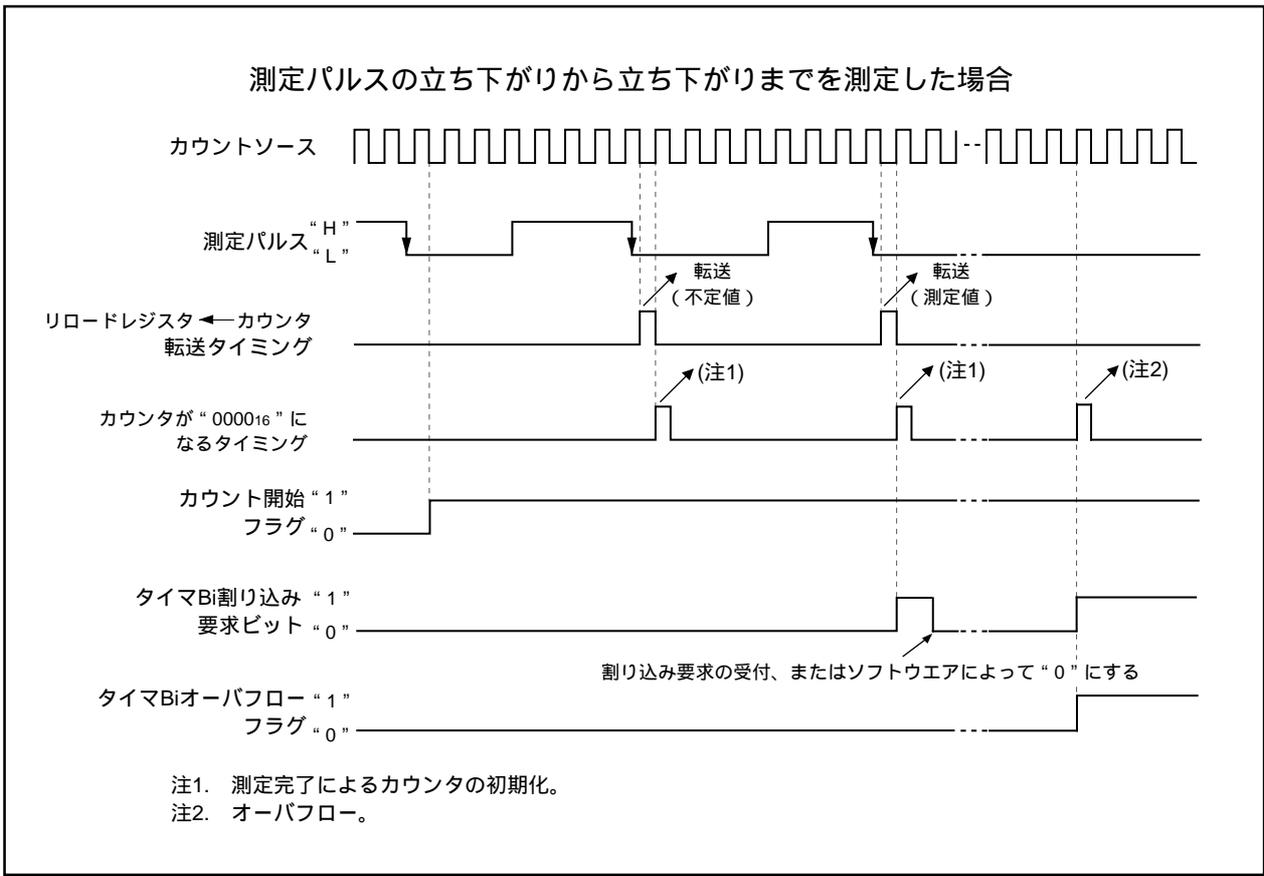


図14.7 パルス周期測定時の動作図

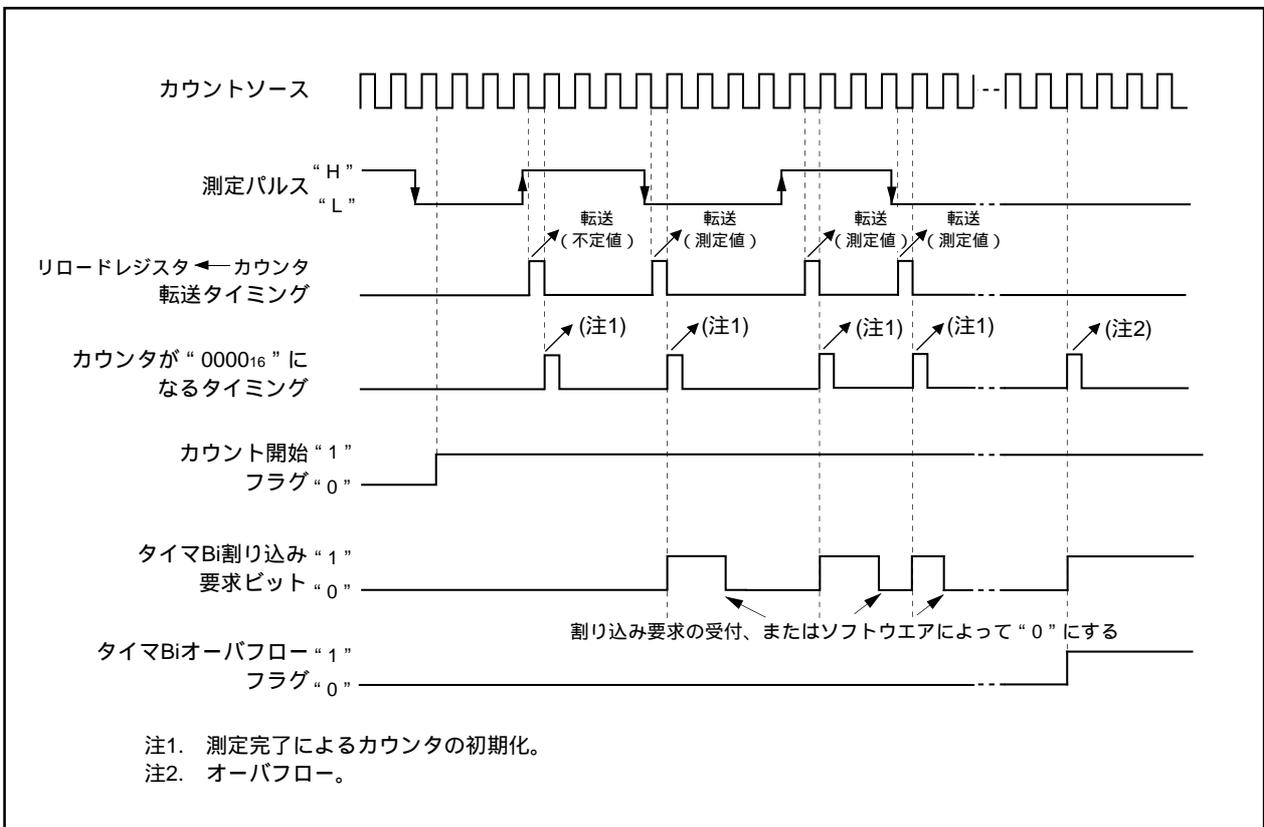


図14.8 パルス幅測定時の動作図

15. 三相モータ制御用タイマ機能

内蔵のタイマA、タイマBを複数個使用して三相モータ駆動波形を出力することができます。

図15.1～図15.3に三相モータ制御用タイマ関連のレジスタを示します。

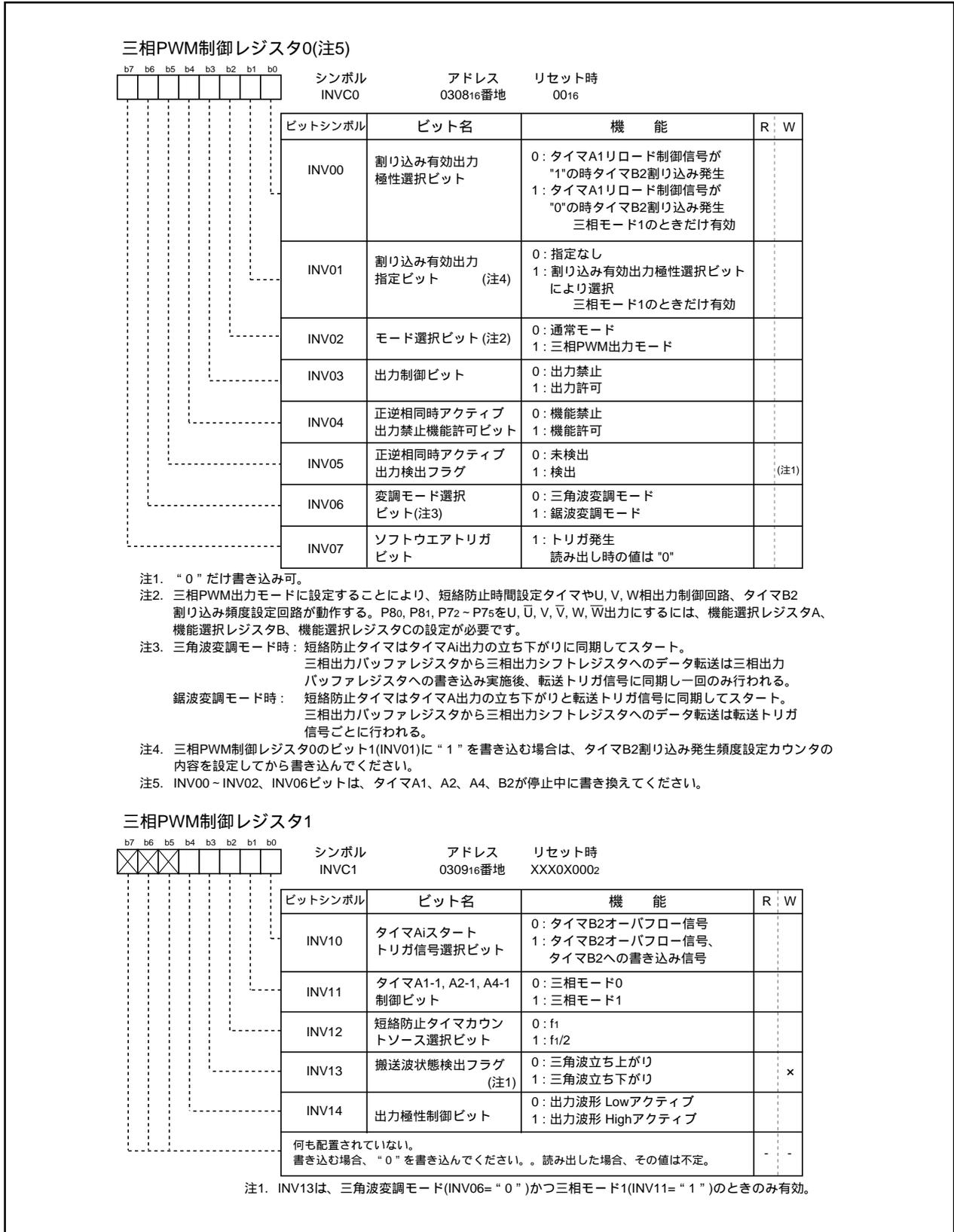


図15.1 三相モータ制御用タイマ関連のレジスタ

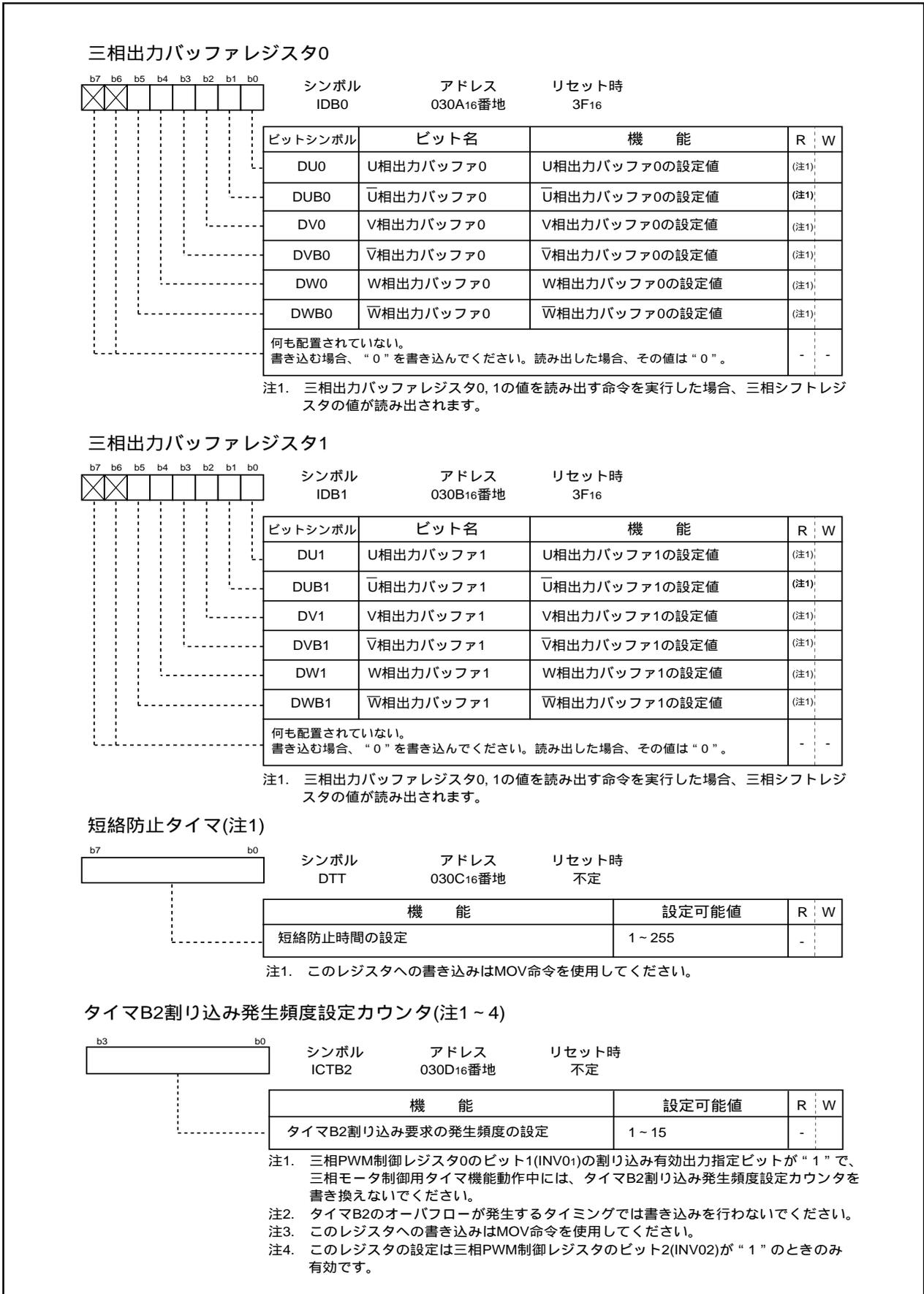
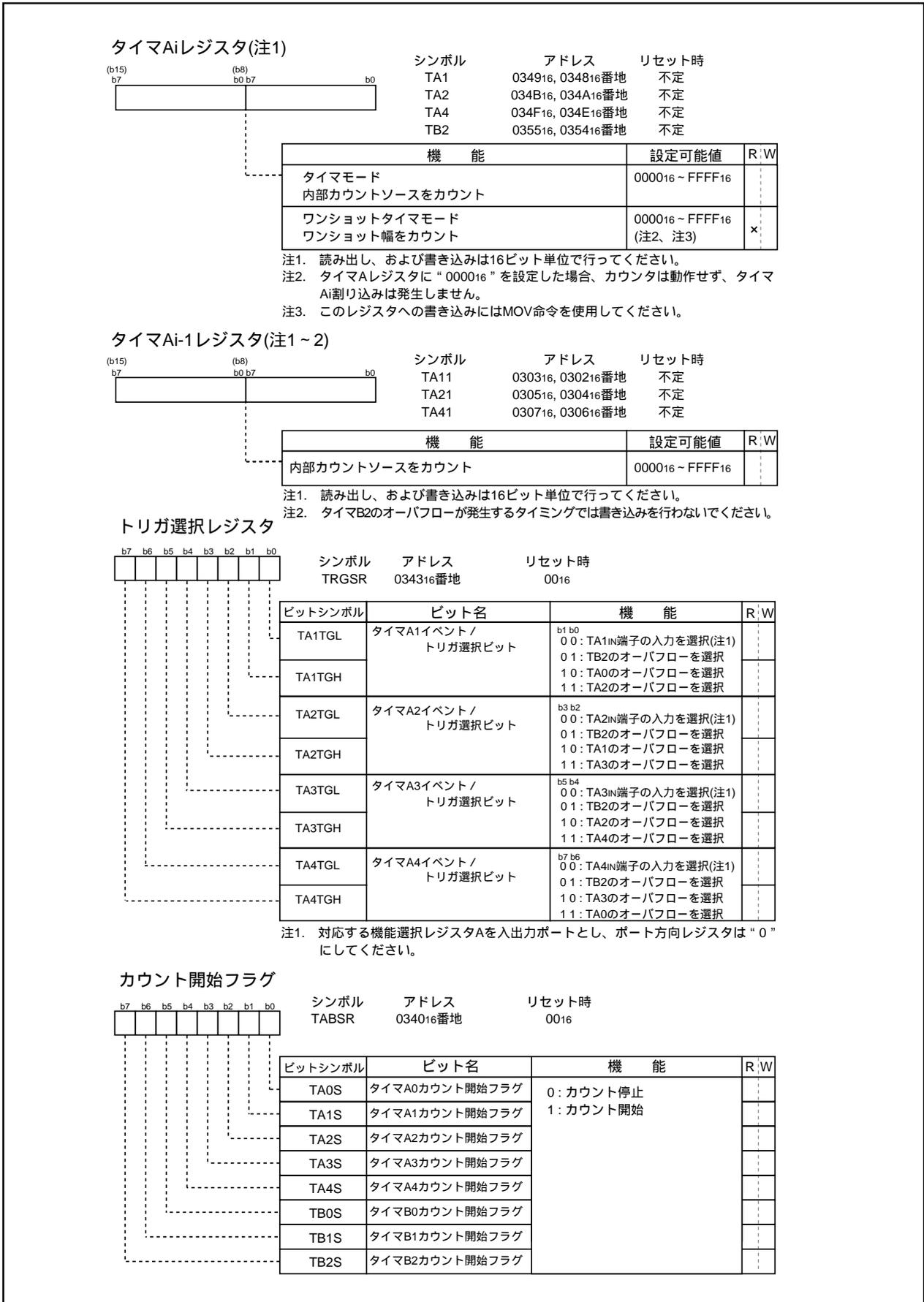


図15.2 三相モータ制御用タイマ関連のレジスタ



三相モータ駆動波形出力モード(三相PWM出力モード)

図15.1に示す三相PWM制御レジスタ0(0308₁₆番地)のモード選択ビット(ビット2)を“1”に設定するとタイマA1、A2、A4、B2の4つのタイマを使用する三相PWM出力モードが選択されます。図15.4に示すように三相波形モードではタイマA1、A2、A4はワンショットタイマモード、トリガをタイマB2に設定し、タイマB2はタイマモードにそれぞれのタイマモードレジスタで設定してください。

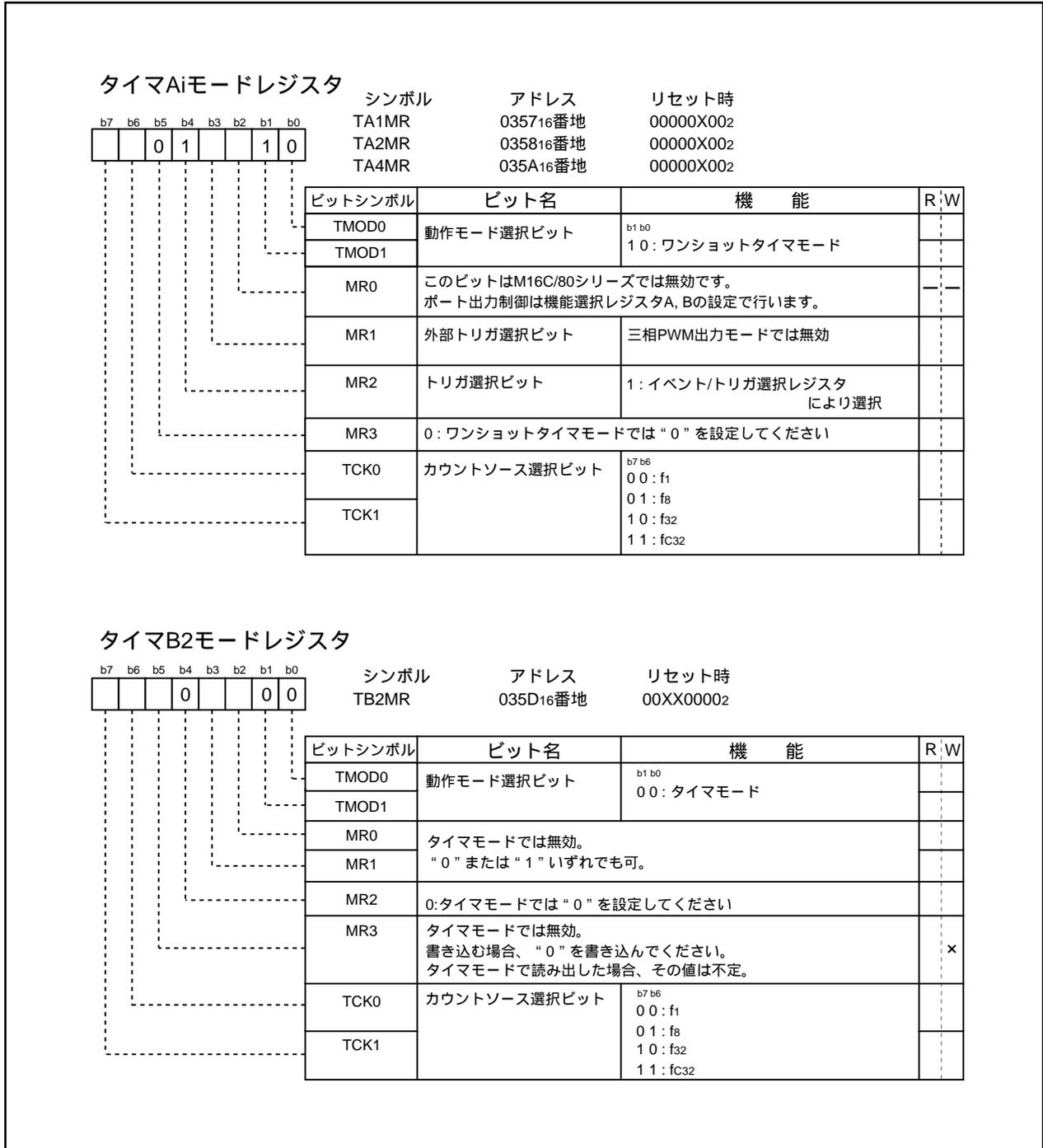


図15.4 三相PWM出力モード時のタイマモードレジスタ

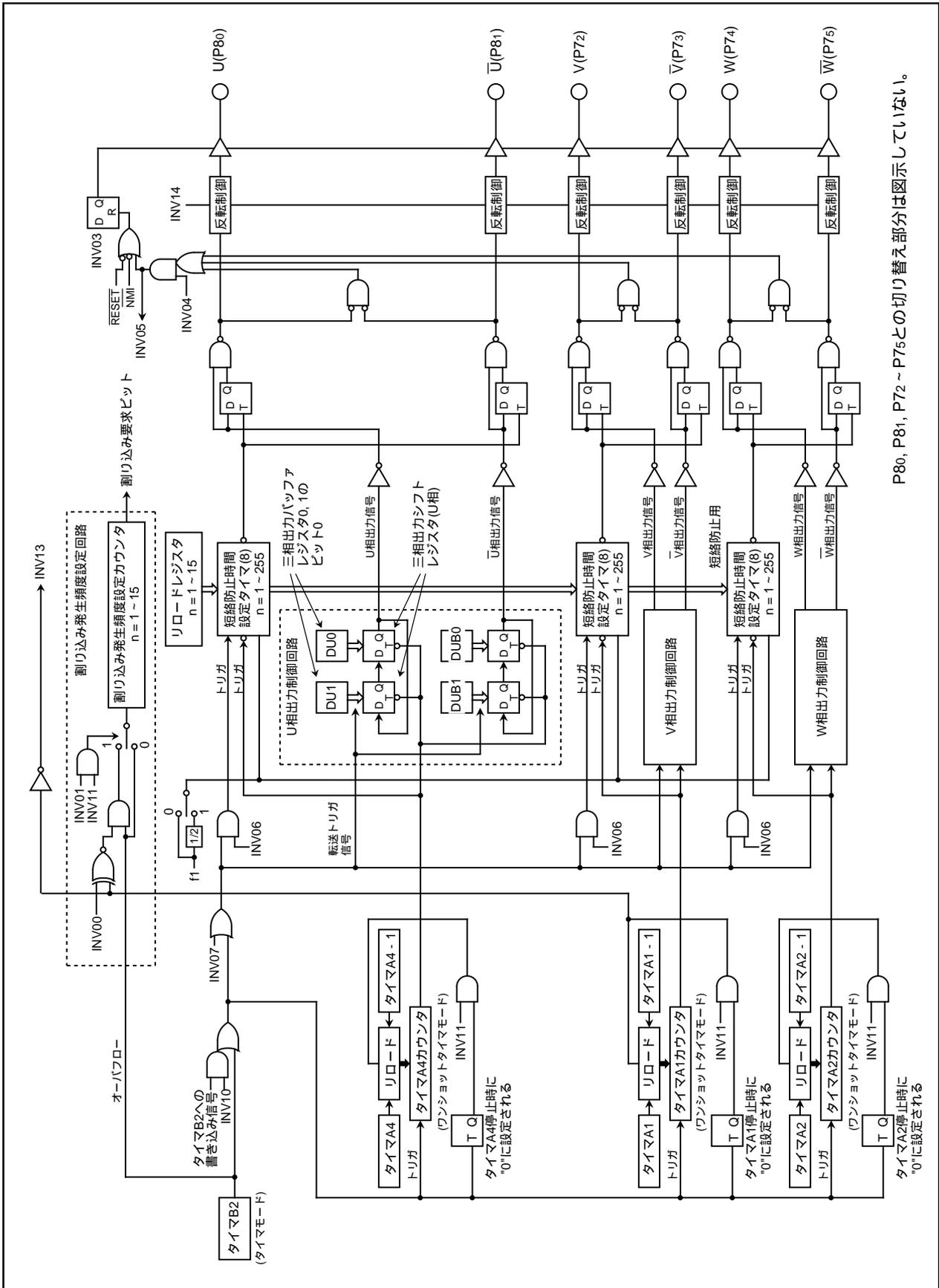
三相波形モード時のブロック図を図15.5に示します。三相波形モードの出力極性“L”アクティブ時には正相波形(U相、V相、W相)および逆相波形(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)の6つの波形がP80, P81, P72, P73, P74, P75から“L”レベルアクティブで出力されます。このモードで使用するタイマのうちタイマA4はU相、 \bar{U} 相、タイマA1はV相、 \bar{V} 相、タイマA2はW相、 \bar{W} 相の波形をそれぞれ制御し、タイマB2によってこれらタイマA4、A1、A2のワンショットパルス出力の周期を制御します。

波形出力においては、正相波形出力(U相、V相、W相)の“L”レベルがその逆相波形出力(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)の“L”レベルと重ならないようにするための短絡防止時間を設定することができます。短絡防止時間の設定は、リロードレジスタを共用した、8ビット構成の短絡防止時間設定タイマ3本で行います。短絡防止時間設定タイマのカウント値としては1~255が設定可能です。短絡防止時間設定タイマはワンショットタイマとして動作します。短絡防止タイマ(030C₁₆番地)に値を書き込むと、3本の短絡防止時間設定タイマが共用しているリロードレジスタにその値が書き込まれます。

短絡防止時間設定タイマは、対応したタイマから開始トリガが来るとリロードレジスタの値をカウンタに入れ、三相PWM制御レジスタ1(0309₁₆番地)の短絡防止タイマカウントソース選択ビット(ビット2)で選択したクロック源でダウンカウントを行います。また、前のトリガによる動作が完了する前に、再びトリガを受け付けることができます。この場合は、トリガによってリロードレジスタの内容が短絡防止時間設定タイマへ転送された後、その値をダウンカウントします。

短絡防止時間設定タイマは、ワンショットタイマとして動作しますので、トリガが来るとパルス出力を開始し、その内容が00₁₆になると同時にパルス出力を終えて動作を停止し、次のトリガを待ちます。

三相波形モードにおける正相波形(U相、V相、W相)とその逆相波形(\bar{U} 相、 \bar{V} 相、 \bar{W} 相)は三相PWM制御レジスタ0(0308₁₆番地)の出力制御ビット(ビット3)を“1”にすることで各ポートから出力されます。このビットを“0”にするとポートはハイインピーダンス状態になります。このビットは、命令で“0”にする以外に、 \bar{NMI} 入力端子に立ち下がりエッジを入力するか、リセットをかけても“0”にできます。また、三相PWM制御レジスタ0の正逆同時L出力禁止機能許可ビット(ビット4)を“1”にすると、U相と \bar{U} 相、V相と \bar{V} 相、W相と \bar{W} 相のいずれかが同時に“L”になることでポートはハイインピーダンス状態になります。



P80, P81, P72 ~ P75との切り替え部分は図示していない。

図15.5 三相波形モードのブロック図

三角波変調

三角波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0308₁₆番地)の変調モード選択ビット(ビット6)を“0”に設定します。そして、三相PWM制御レジスタ1(0309₁₆番地)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“1”に設定します。このモードでは、タイマA4、A1、A2はそれぞれ2つのタイマレジスタを持ち、タイマB2のカウンタの内容が0000₁₆になるごとに交互にタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0308₁₆番地)の割り込み有効出力指定ビット(ビット1)が“0”であれば、タイマB2のカウンタの値が0000₁₆になるごとに発生する割り込み要求の発生頻度をタイマB2割り込み発生頻度設定カウンタ(030D₁₆番地)によって設定できます。発生頻度は(設定値;設定値 0)で与えられます。

また、三相PWM制御レジスタ0(0308₁₆番地)の割り込み有効出力指定ビット(ビット1)を“1”にすることで、このタイマB2の割り込み要求をタイマA1リロード制御信号の内容が“0”または“1”のいずれかで発生させるよう選択できます。これは三相PWM制御レジスタ0(0308₁₆番地)の割り込み有効出力極性選択ビット(ビット0)で行います。

次に、U相波形の一例を図15.6に示し、波形出力動作を説明します。三相出力バッファレジスタ0(030A₁₆番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(030B₁₆番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。また、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“0”にして、タイマB2割り込み発生頻度設定カウンタに値を設定します。これによりタイマB2割り込みは、(設定値)回タイマB2のカウンタの内容が0000₁₆になったとき発生します。なお、三相PWM制御レジスタ0の割り込み有効出力指定ビット(ビット1)を“1”にして、割り込み有効出力極性選択ビットを“0”にし、割り込み発生頻度設定カウンタを“1”にすると、これにより、タイマB2割り込みは1回おきにU相の出力が“H”のときに発生するようになります。

タイマB2のカウンタの内容が0000₁₆になると、タイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)に、DUB1、DUB0の内容が三相出力シフトレジスタ(U相)に設定されます。ただし、三角波変調モードを選択すると、これ以降タイマB2のカウンタの内容が0000₁₆になってもシフトレジスタへの設定はされません。

U端子(P8₀)にはDU0の値が、 \bar{U} 端子(P8₁)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(034F₁₆番地、034E₁₆番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、 \bar{U} 相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である \bar{U} 相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000₁₆になるとタイマA4のカウンタがタイマA4-1(0307₁₆番地、0306₁₆番地)に書き込んだ値のカウントを始め、ワンショットパルス出力を開始します。タイマA4のワンショットパルス出力が終了すると、三相出力シフトレジスタの内容が1つシフトされますが、三相出力シフトレジスタの内容がシフトして“0”から“1”に変化すると、短絡防止時間設定タイマのワンショットパルス出力の終了を待つことなく出力レベルが“L”から“H”に変わります。このような動作を繰り返してU相波形を発生します。この逆相である \bar{U} 相波形は \bar{U} 相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である \bar{U} 相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4、タイマA4-1の値を変えることで可変できます。V相、W相、およびその逆相である \bar{V} 相、 \bar{W} 相についても、それに対応したタイマで同様に動作し、波形が発生します。

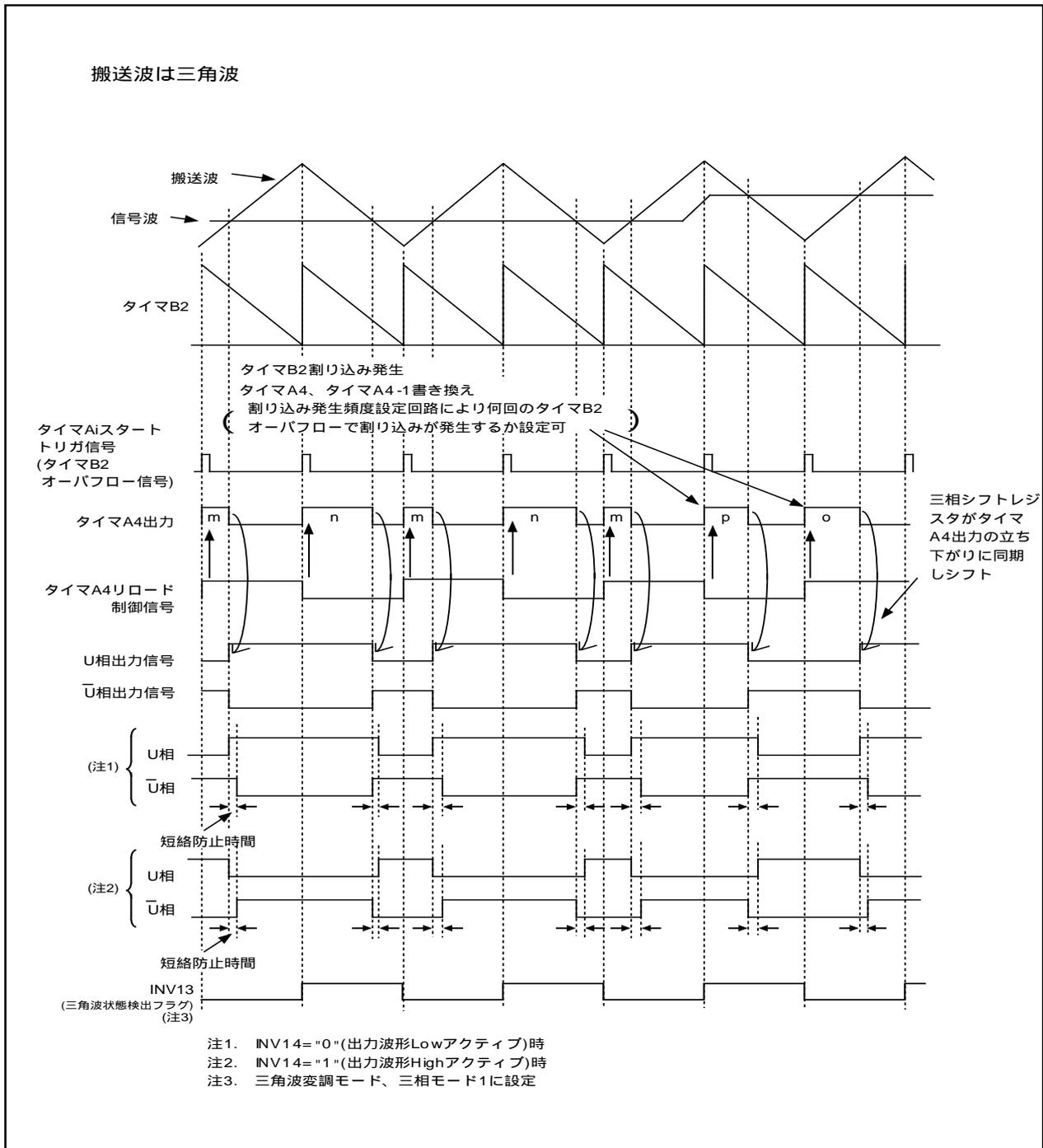


図15.6 動作タイミング図(1)

また、三相出力バッファレジスタ0(030A₁₆番地)のビット0(DU0)、ビット1(DUB0)および三相出力バッファレジスタ1(030B₁₆番地)のビット0(DU1)、ビット1(DUB1)に値を設定することにより図15.7のような、U相のみ出力、 \bar{U} 相は“H”固定、またはU相は“H”固定、 \bar{U} 相のみ出力の波形を出力することができます。

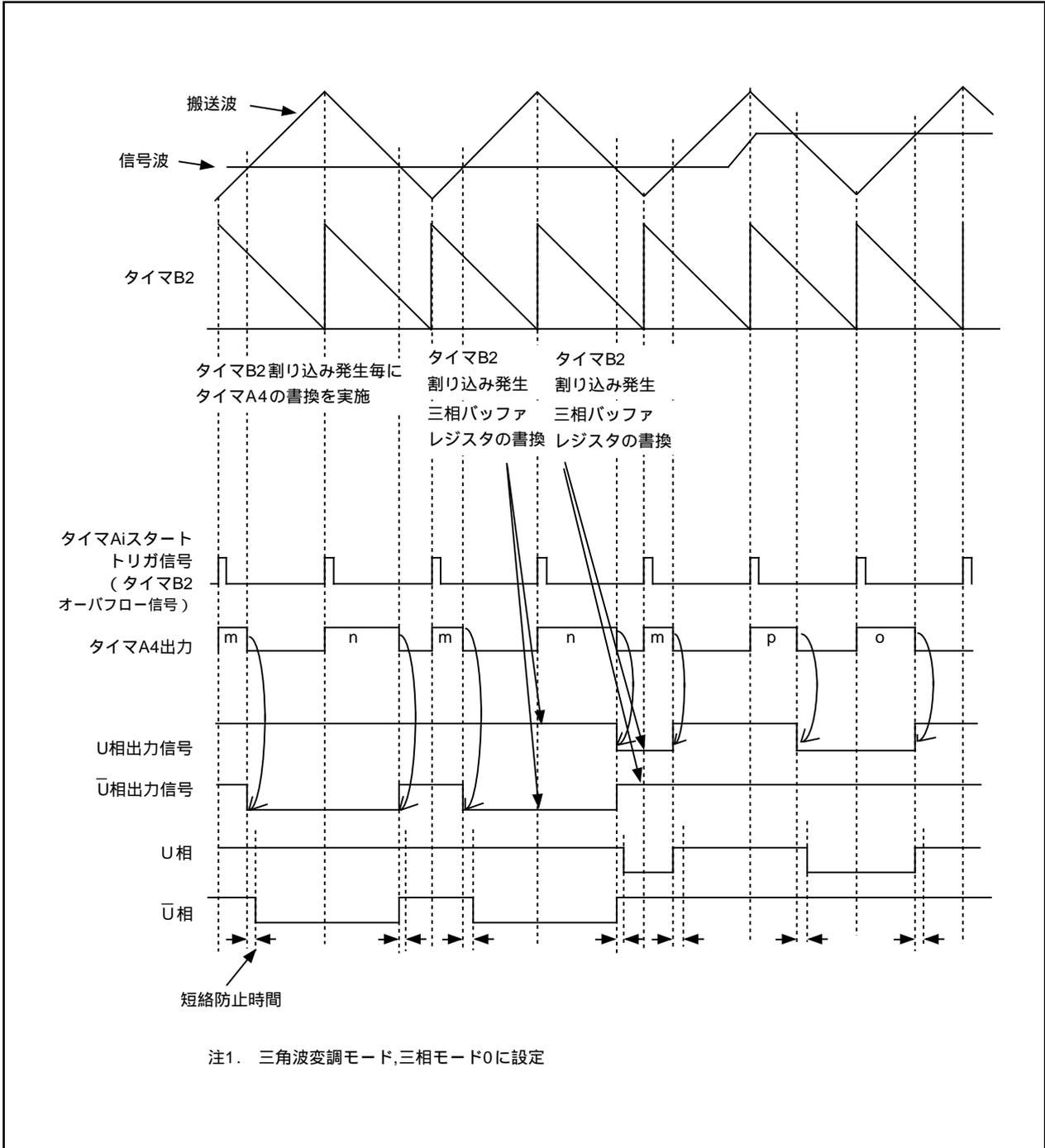


図15.7 動作タイミング図(2)

鋸波変調

鋸波変調のPWM波形を発生するには、三相PWM制御レジスタ0(0308₁₆番地)の変調モード選択ビット(ビット6)を“1”に設定します。そして、三相PWM制御レジスタ1(0309₁₆番地)のタイマA4-1、A1-1、A2-1制御ビット(ビット1)を“0”に設定します。このモードでは、タイマA4、A1、A2のタイマレジスタは従来のタイマA4、A1、A2のみで、タイマB2のカウンタの内容が0000₁₆になるごとに対応するタイマレジスタの内容をカウンタにリロードします。三相PWM制御レジスタ0(0308₁₆番地)の割り込み有効出力指定ビット(ビット1)や割り込み有効出力極性選択ビット(ビット0)は無効になります。

次に、U相波形の一例を図15.8に示し、波形出力動作を説明します。三相出力バッファレジスタ0(030A₁₆番地)のビット0(DU0)に“1”を、ビット1(DUB0)に“0”を設定します。さらに三相出力バッファレジスタ1(030B₁₆番地)のビット0(DU1)に“0”を、ビット1(DUB1)に“1”を設定します。

タイマB2のカウンタの内容が0000₁₆になると、タイマB2が割り込みを発生し、同時にタイマA4がワンショットパルス出力を開始します。このとき、三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ(U相)に設定されます。以降タイマB2のカウンタの内容が0000₁₆になるたびに三相バッファレジスタの内容が三相シフトレジスタに設定されます。

U端子(P80)にはDU0の値が、 \bar{U} 端子(P81)にはDUB0の値が出力されます。タイマA4のカウンタがタイマA4(034F₁₆番地、034E₁₆番地)に書き込んだ値をカウントし、タイマA4のワンショットパルス出力が終了すると三相出力シフトレジスタの内容が1つシフトされ、U相出力信号にはDU1の値が、 \bar{U} 相出力信号にはDUB1の値が出力されます。同時にU相波形とその逆相である \bar{U} 相波形の“L”レベルが重ならない時間を設定する短絡防止時間設定タイマのワンショットパルスが出力されます。“H”レベルから開始したU相波形の出力は、タイマA4のワンショットパルスにより三相出力シフトレジスタの内容がシフトして“1”から“0”に変化しても短絡防止時間設定タイマのワンショットパルス出力が終わるまでは“H”レベルを出力します。短絡防止時間設定タイマのワンショットパルス出力が終わると、すでにシフトした三相シフトレジスタの“0”が有効になり、U相波形は“L”レベルに変わります。次に、タイマB2のカウンタの内容が0000₁₆になると再び三相バッファレジスタDU1、DU0の内容が三相出力シフトレジスタ(U相)にDUB1、DUB0の内容が三相出力シフトレジスタ(\bar{U} 相)に設定されます。

このような動作を繰り返してU相波形を発生します。この逆相である \bar{U} 相波形は \bar{U} 相側の三相出力シフトレジスタを使用するだけで、動作の内容はU相波形の発生と同様です。このようにして、U相波形とその逆相である \bar{U} 相波形との“L”レベルが重ならない波形が端子から得られます。“L”レベルの幅も、タイマB2の値やタイマA4の値を変えることで可変できます。V相、W相、およびその逆相である \bar{V} 相、 \bar{W} 相についても、それに対応したタイマで同様に動作し、波形が発生します。

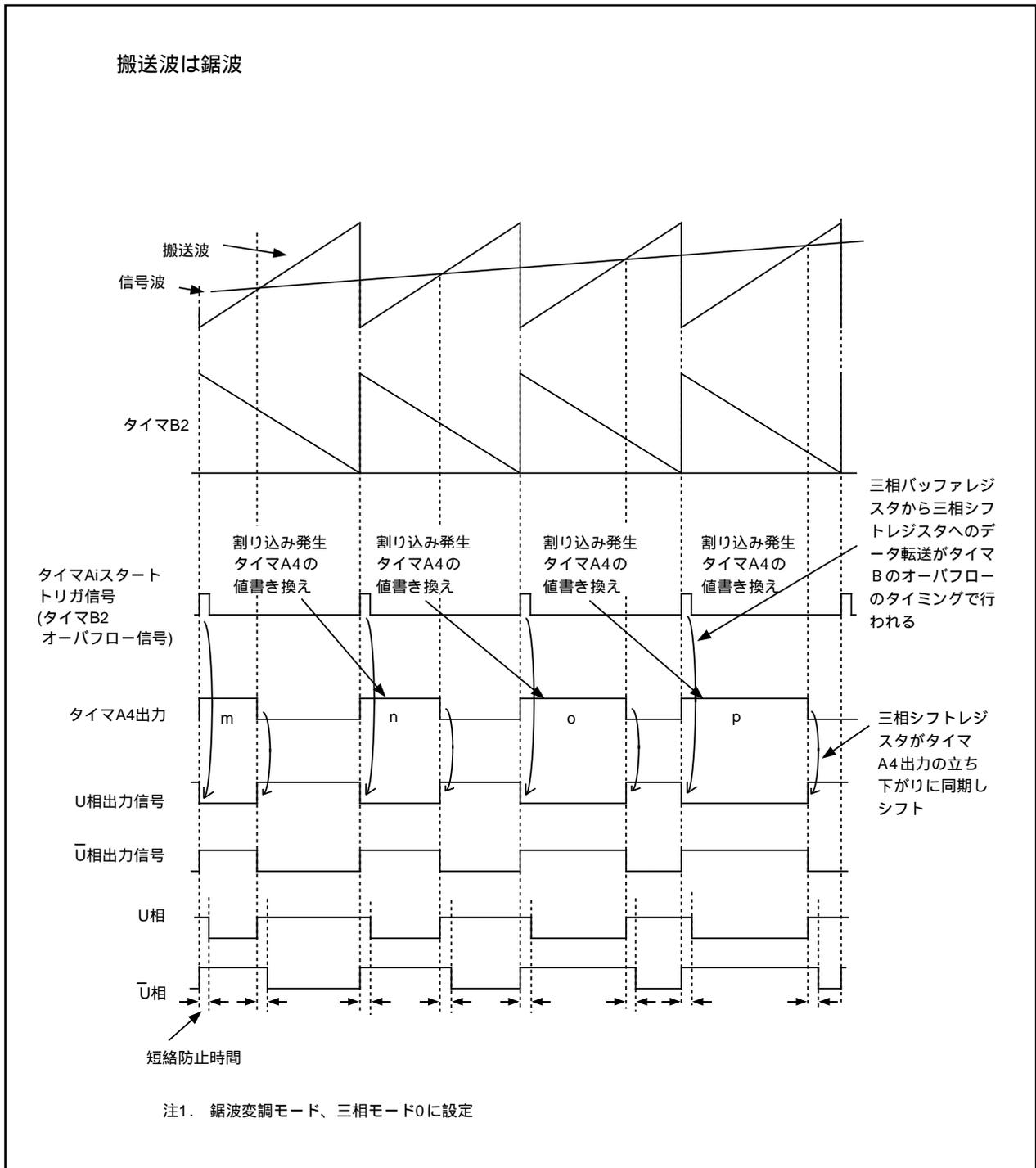


図15.8 動作タイミング図(3)

また、三相出力バッファレジスタ0(030A16番地)のビット1(DUB0)と三相出力バッファレジスタ1(030B16番地)のビット1(DUB1)をともに“1”に設定することにより、図15.9のようにU相のみ出力し、 \bar{U} 相を“H”出力固定にすることもできます。

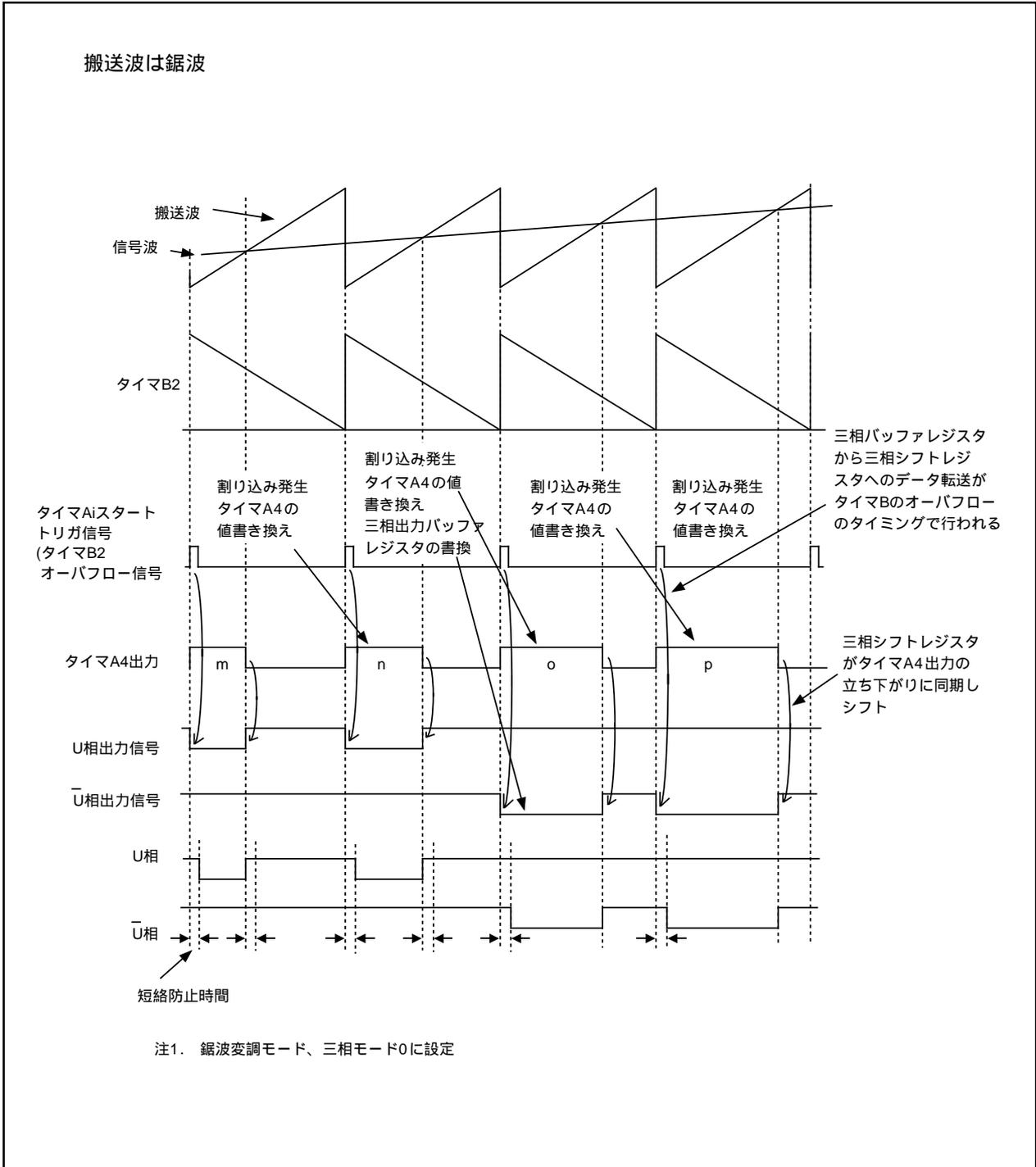


図15.9 動作タイミング図(4)

16. シリアルI/O

シリアルI/Oは、UART0～UART4の5チャンネルで構成しています。
次にそれぞれについて説明します。

UART0～4

UART0～UART4はそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図16.1、図16.2にUARTi(i=0～4)のブロック図を、図16.3、図16.4に送受信部のブロック図を示します。

UARTi(i=0～4)は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。クロック同期形シリアルI/Oとして使用するか、クロック非同期形シリアルI/Oとして使用するかは、シリアルI/Oモード選択ビット(0360₁₆、0368₁₆、0338₁₆、0328₁₆、02F8₁₆番地のビット0～ビット2)の内容で選択します。

UART0～UART4は、一部の機能が異なることを除いてほぼ同一の機能を持ちます。特に、UART2～UART4は、クロック非同期形シリアルI/Oモードに一部設定を追加することでSIMインタフェース(注1)に対応します。また、TxD端子とRxD端子のレベルが異なれば割り込み要求が発生するバス衝突検出機能を持っています。

注1. SIM : Subscriber Identity Module

表16.1にUART0～UART4の機能比較を、図16.5～図16.11に、UARTi関連のレジスタを示します。

表16.1 UART0～UART4の機能比較

機 能	UART0	UART1	UART2	UART3	UART4
CLK極性選択	可 (注1)	可 (注1)	可 (注1)	可 (注1)	可 (注1)
LSBファースト/MSBファースト選択	可 (注1)	可 (注1)	可 (注2)	可 (注2)	可 (注2)
連続受信モード選択	可 (注1)	可 (注1)	可 (注1)	可 (注1)	可 (注1)
転送クロック複数端子出力選択	不可	可 (注1)	不可	不可	不可
CTS/RTS分離	可	不可	不可	不可	不可
シリアルデータ論理切り替え	不可	不可	可 (注4)	可 (注4)	可 (注4)
スリープモード選択	可 (注3)	可 (注3)	不可	不可	不可
TxD、RxD入出力極性切り替え	不可	不可	可	可	可
TxD、RxD端子出力形式	CMOS出力	CMOS出力	Nチャンネルオープン ドレイン出力	CMOS出力	CMOS出力
パリティエラー信号出力	不可	不可	可 (注4)	可 (注4)	可 (注4)
バス衝突検出	不可	不可	可	可	可

注1. クロック同期形シリアルI/Oモード時に選択できます。

注2. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時に選択できます。

注3. UARTモード時に選択できます。

注4. SIMインタフェース対応。

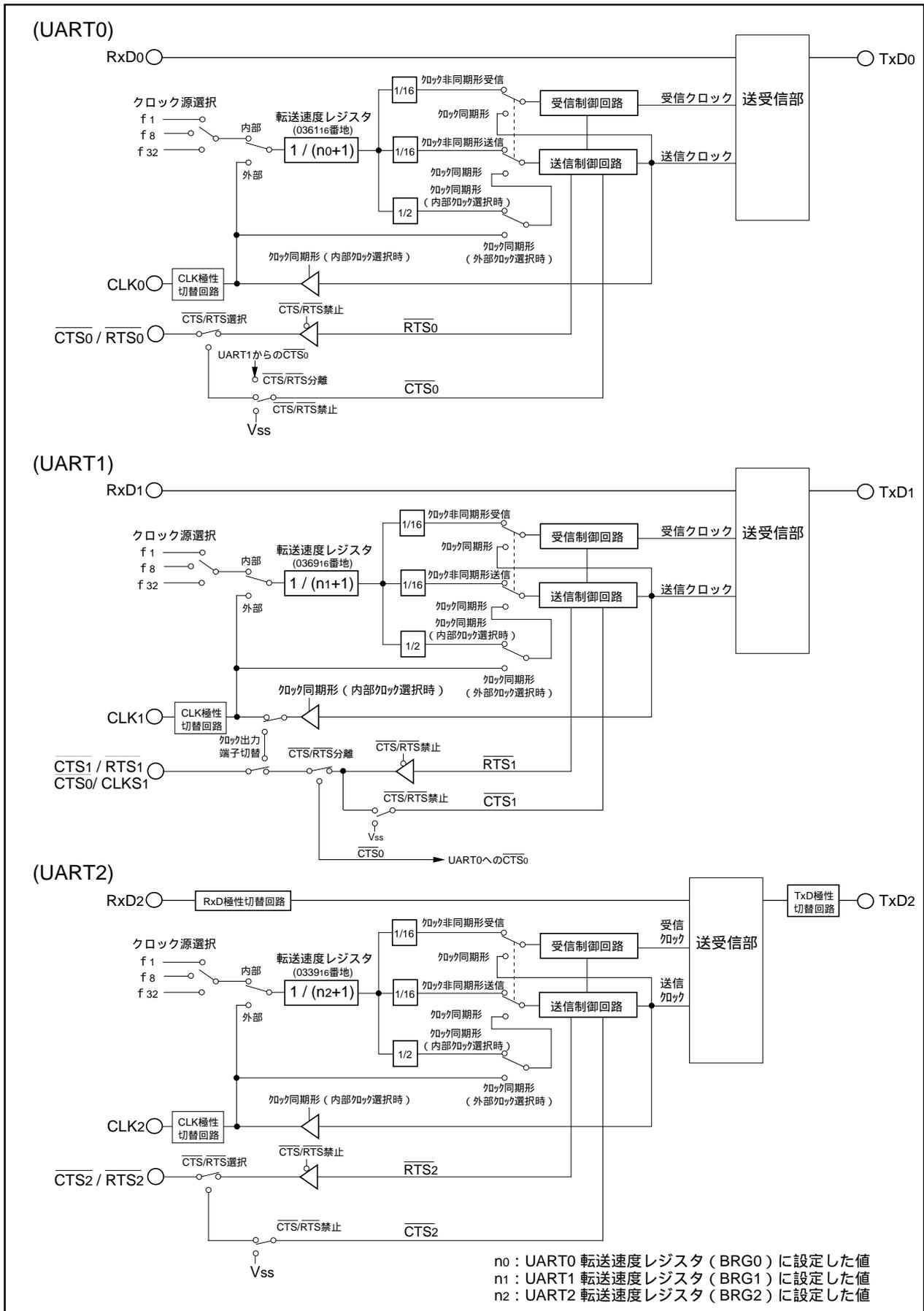


図16.1 UARTi(i=0~2)ブロック図

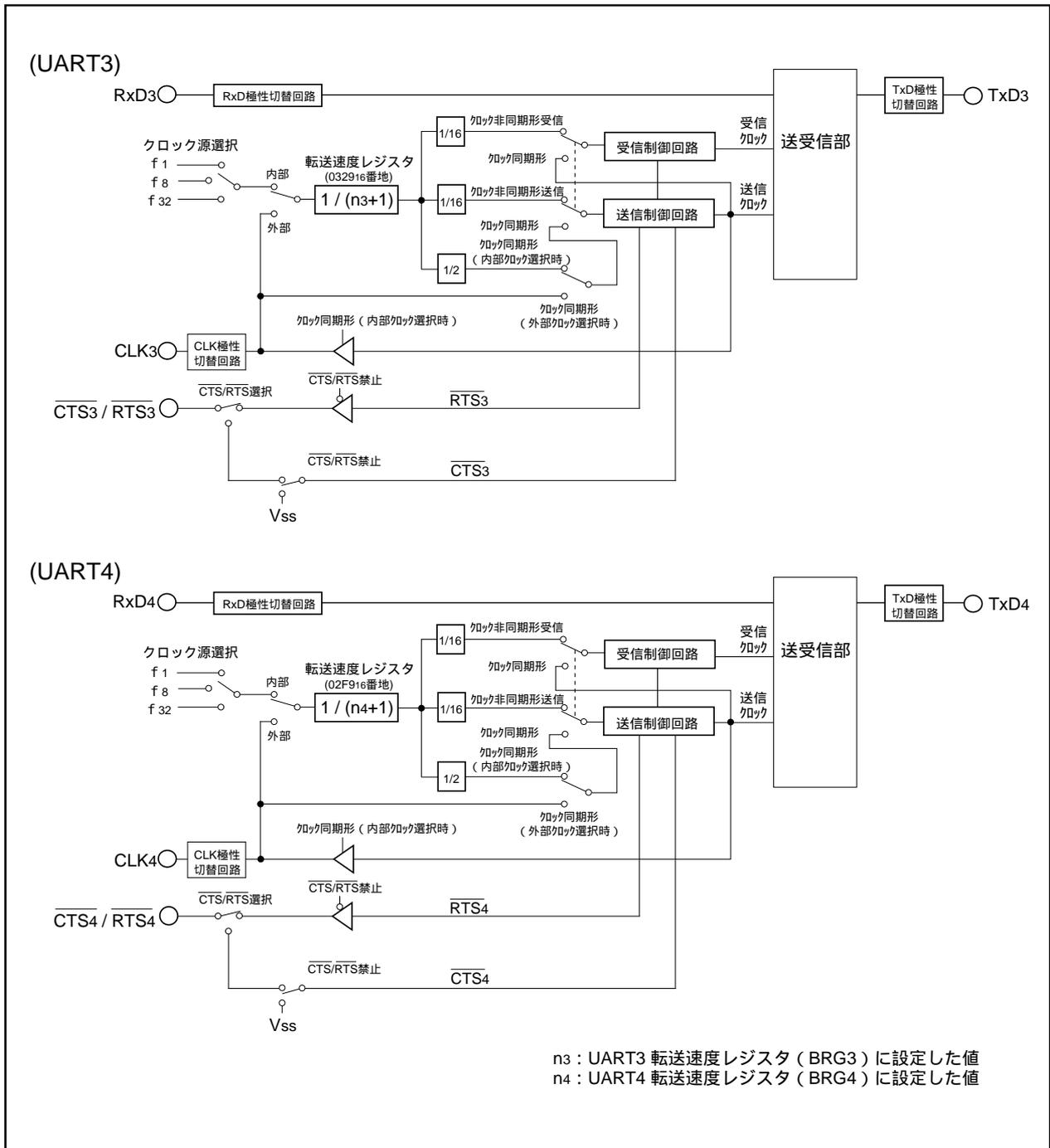


図16.2 UARTi(i=3、4)ブロック図

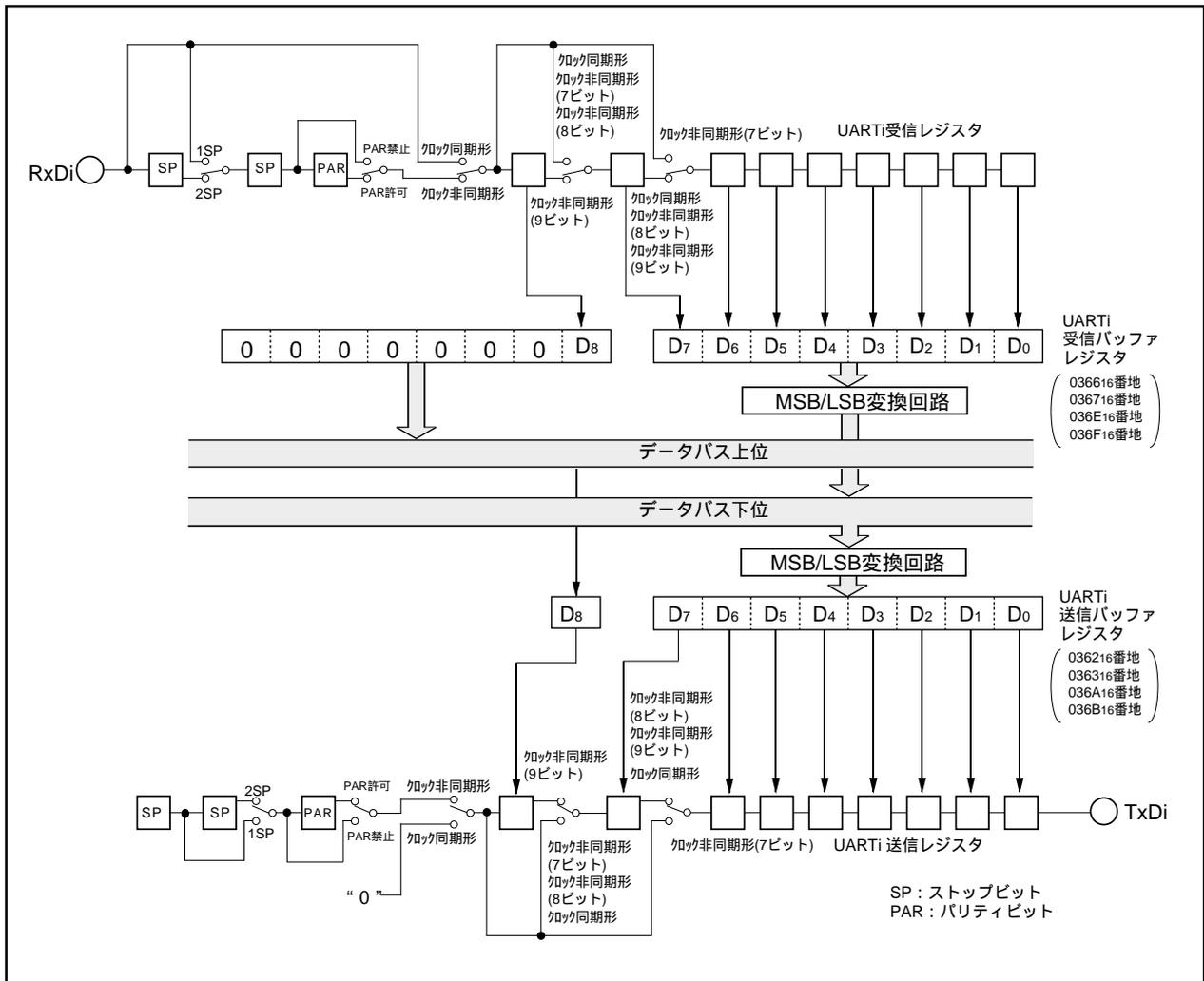


図16.3 UARTi(i=0, 1)送受信部ブロック図

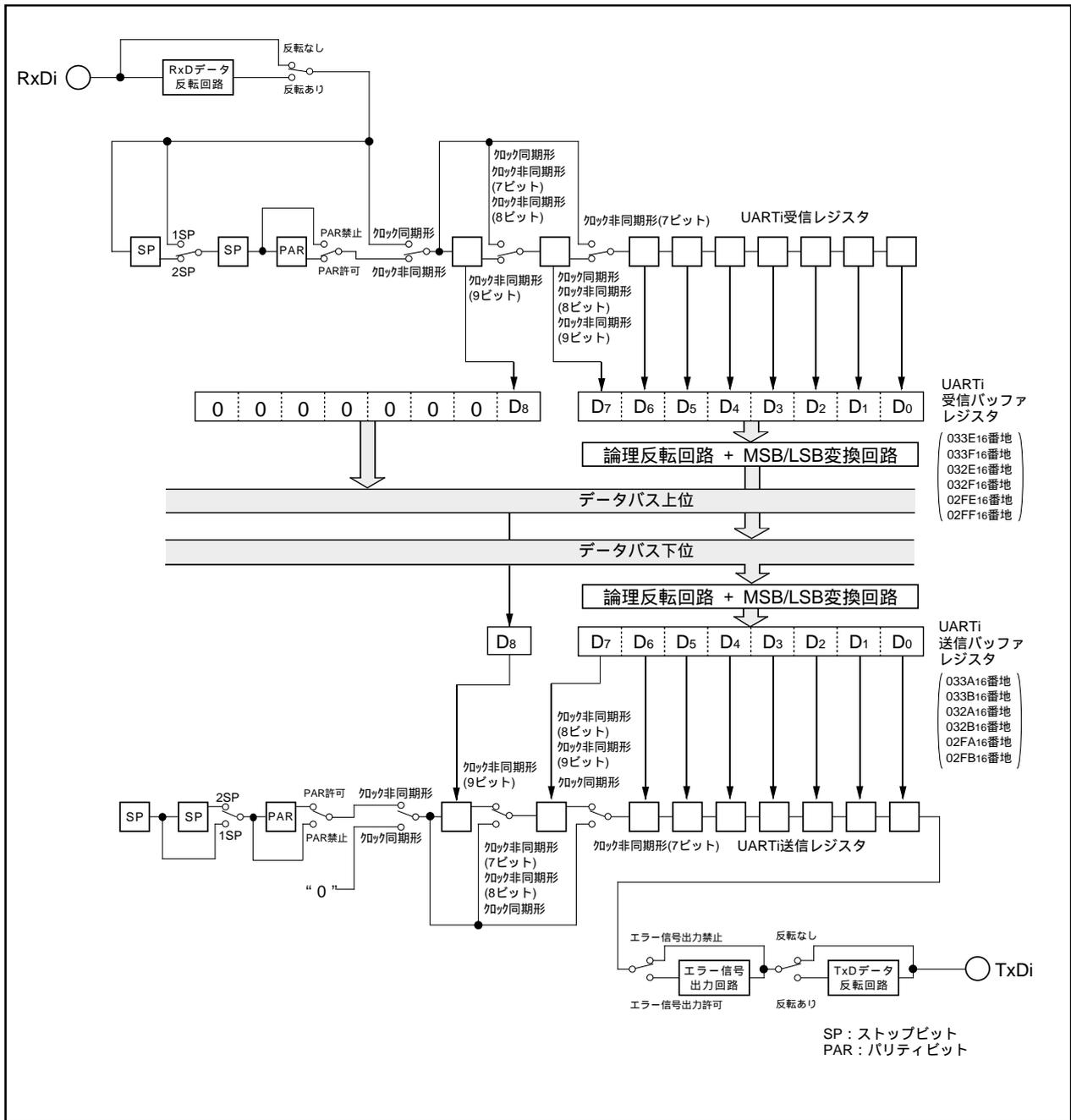


図16.4 UARTi(i = 2 ~ 4)送受信部ブロック図

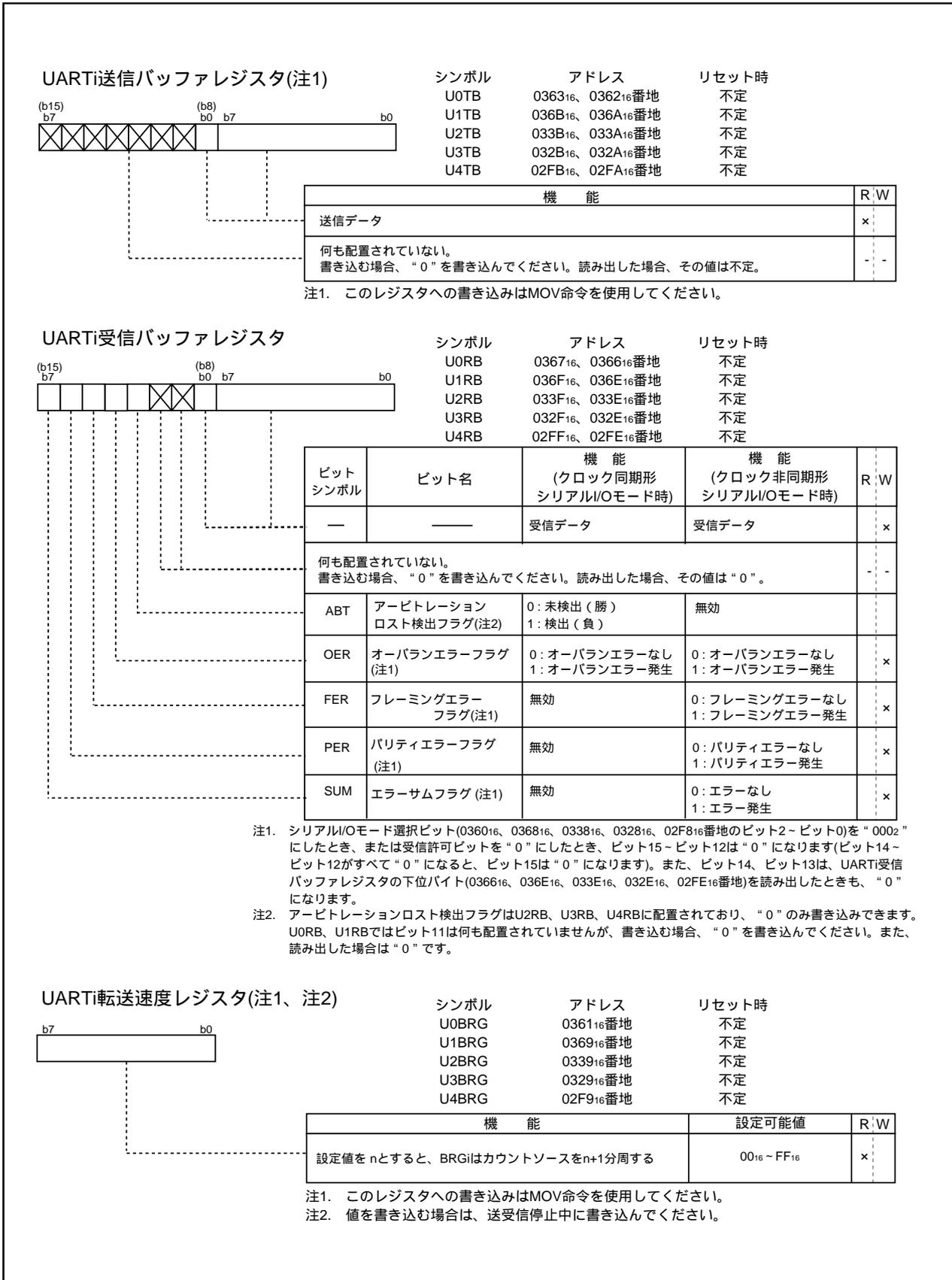


図16.5 UARTi関連のレジスタ (1)

UARTi 送受信制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
UIC0(i=0, 1)

アドレス
0364₁₆, 036C₁₆番地

リセット時
08₁₆

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース 選択ビット	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 設定しないでください	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 設定しないでください		
CLK1					
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0: CTS機能を選択(注1) 1: RTS機能を選択(注2)	ビット4が“0”のとき有効、 0: CTS機能を選択(注1) 1: RTS機能を選択(注2)		
TXEPT	送信レジスタ空フラグ	0: 送信レジスタに データあり(送信中) 1: 送信レジスタに データなし(送信完了)	0: 送信レジスタに データあり(送信中) 1: 送信レジスタに データなし(送信完了)		x
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止	0: CTS/RTS機能許可 1: CTS/RTS機能禁止		
NCH	データ出力選択ビット	0: TxDi端子はCMOS出力 1: TxDi端子はNチャネル オープンドレイン出力	0: TxDi端子はCMOS出力 1: TxDi端子はNチャネル オープンドレイン出力		
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1: 転送クロックの立ち上がり で送信データ出力、立ち 下がりで受信データ入力	“0”を設定してください		
UFORM	転送フォーマット選択 ビット	0: LSBファースト 1: MSBファースト	“0”を設定してください		

注1. 対応する機能選択レジスタAを入力ポートに設定し、ポート方向レジスタは“0”にしてください。
注2. 対応する機能選択レジスタA、機能選択レジスタBでRTS出力を選択してください。

UART2送受信制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
U2C0

アドレス
033C₁₆番地

リセット時
08₁₆

ビットシンボル	ビット名	機能 (クロック同期形シリアルI/Oモード時)	機能 (クロック非同期形シリアルI/Oモード時)	R	W
CLK0	BRGカウントソース 選択ビット	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 設定しないでください	b1 b0 00: f1を選択 01: f8を選択 10: f32を選択 11: 設定しないでください		
CLK1					
CRS	CTS/RTS機能選択ビット	ビット4が“0”のとき有効、 0: CTS機能を選択(注1) 1: RTS機能を選択(注2)	ビット4が“0”のとき有効、 0: CTS機能を選択(注1) 1: RTS機能を選択(注2)		
TXEPT	送信レジスタ空フラグ	0: 送信レジスタに データあり(送信中) 1: 送信レジスタに データなし(送信完了)	0: 送信レジスタに データあり(送信中) 1: 送信レジスタに データなし(送信完了)		x
CRD	CTS/RTS禁止ビット	0: CTS/RTS機能許可 1: CTS/RTS機能禁止	0: CTS/RTS機能許可 1: CTS/RTS機能禁止		
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は“0”。					
CKPOL	CLK極性選択ビット	0: 転送クロックの立ち下がり で送信データ出力、立ち 上がりで受信データ入力 1: 転送クロックの立ち上がり で送信データ出力、立ち 下がりで受信データ入力	“0”を設定してください		
UFORM	転送フォーマット選択 ビット(注3)	0: LSBファースト 1: MSBファースト	0: LSBファースト 1: MSBファースト		

注1. 対応する機能選択レジスタAを入力ポートに設定し、ポート方向レジスタは“0”にしてください。
注2. 対応する機能選択レジスタA、機能選択レジスタBでRTS出力を選択してください。
注3. クロック同期形シリアルI/Oモードおよび8ビットUARTモード時だけ有効です。

図16.7 UARTi関連のレジスタ (3)

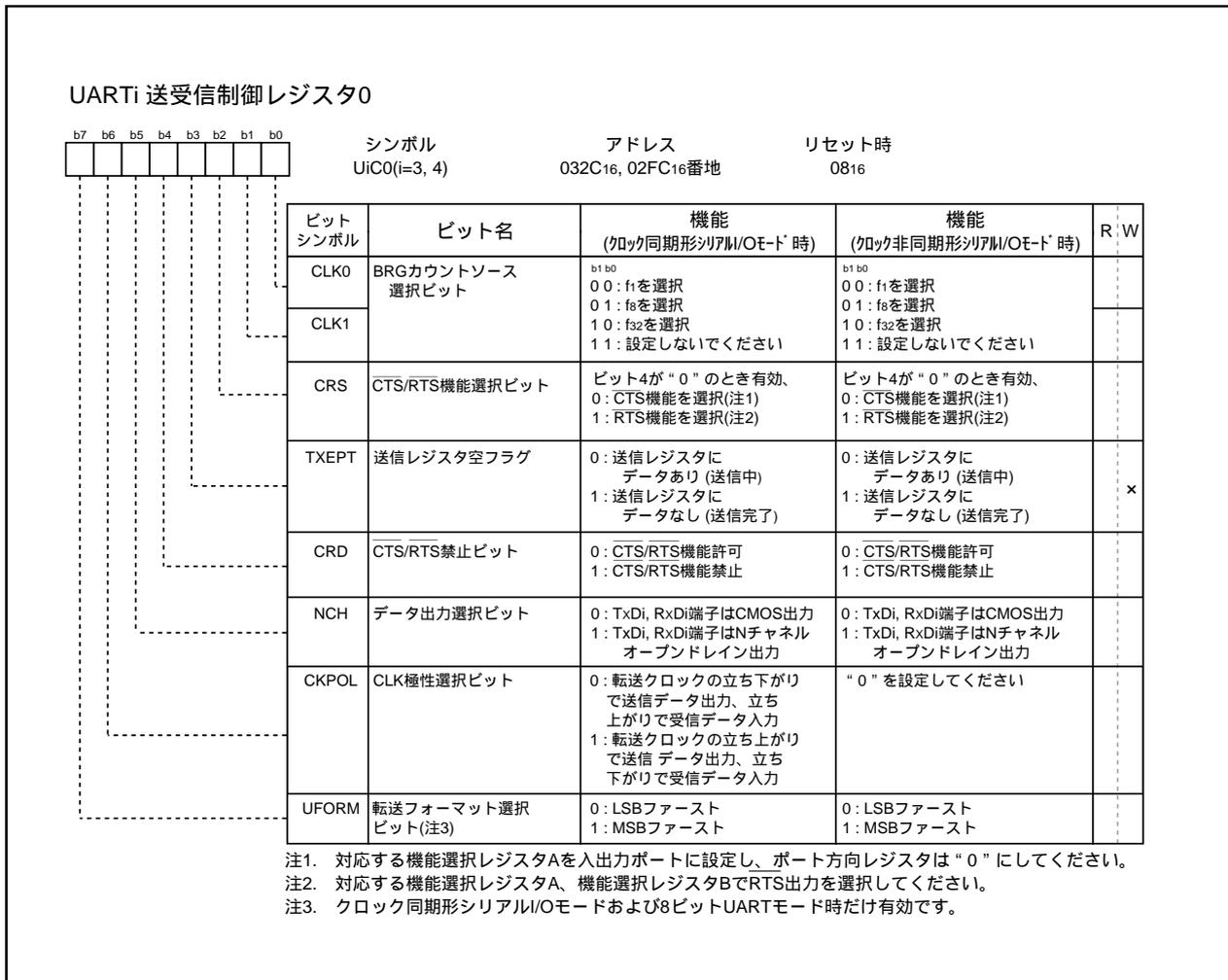


図16.8 UARTi関連のレジスタ (4)



図16.9 UARTi関連のレジスタ (5)



図16.10 UARTi関連のレジスタ (6)

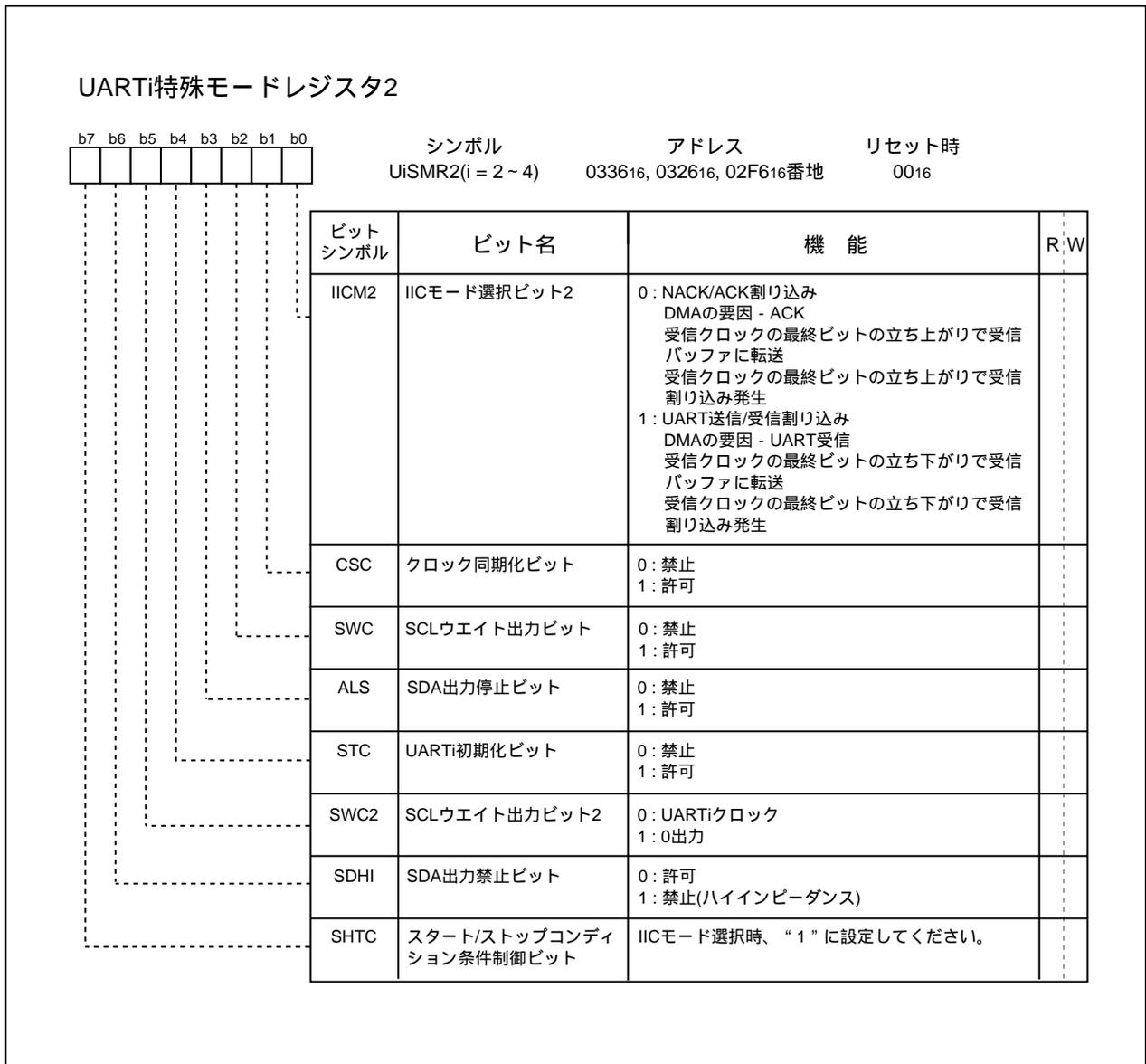


図16.11 UARTi関連のレジスタ (7)

UART2特殊モードレジスタ3

シンボル
U2SMR3

アドレス
0335₁₆番地

リセット時
000XXXXX₂

ビットシンボル	ビット名	機能	R/W
		何も配置されていない。 書き込んだ場合、書き込めない。読み出した場合、その内容は不定。	—
DL0	SDA ₂ (TxD ₂)デジタル 遅延値設定ビット (注1、2)	b7 b6 b5 000: 遅延なし 001: 1/f(XIN)の1~2サイクル 010: 1/f(XIN)の2~3サイクル 011: 1/f(XIN)の3~4サイクル 100: 1/f(XIN)の4~5サイクル 101: 1/f(XIN)の5~6サイクル 110: 1/f(XIN)の6~7サイクル 111: 1/f(XIN)の7~8サイクル	
DL1			
DL2			

注1. 本ビットはIICインタフェースとしてUART2を使用する際、SDA₂(TxD₂)出力にデジタル的に遅延を発生させるものです。それ以外の場合は、必ず"000"に設定してください。

注2. 外部クロックを選択した場合、+100ns程度遅延が大きくなります。

UARTi特殊モードレジスタ3 (i = 3,4)

シンボル
U3SMR3
U4SMR3

アドレス
0325₁₆番地
02F5₁₆番地

リセット時
00000000₂
00000000₂

ビットシンボル	ビット名	機能	R/W
SSE	SS端子機能許可ビット (注3)	0: SS機能禁止 1: SS機能許可	
CKPH	クロック位相設定ビット	0: クロック遅れなし 1: クロック遅れあり	
DINC	シリアル入力端子 設定ビット	0: TxDi, RxDiを選択 (マスターモード)(注5) 1: STxDi, SRxDiを選択 (スレーブモード)(注6)	
NODC	クロック出力選択ビット	0: CLKiはCMOS出力 1: CLKiはNチャネルオ - プン ドレイン出力	
ERR	障害エラ - フラグ	0: 障害エラ - 無し 1: 障害エラ - あり	(注4)
DL0	SDAi(TxDi)デジタル 遅延値設定ビット (注1、2)	b7 b6 b5 000: 遅延なし 001: 1/f(XIN)の1~2サイクル 010: 1/f(XIN)の2~3サイクル 011: 1/f(XIN)の3~4サイクル 100: 1/f(XIN)の4~5サイクル 101: 1/f(XIN)の5~6サイクル 110: 1/f(XIN)の6~7サイクル 111: 1/f(XIN)の7~8サイクル	
DL1			
DL2			

注1. 本ビットはIICインタフェースとしてUARTiを使用する際、SDAi(TxDi)出力にデジタル的に遅延を発生させるものです。それ以外の場合は、必ず"000"に設定してください。

注2. 外部クロックを選択した場合、+100ns程度遅延が大きくなります。

注3. SSを設定する場合、CTS/RTS禁止ビット(UARTi送受信制御レジスタ0のビット4)を"1"に設定してCTS/RTS機能を禁止して下さい。

注4. "0"のみ書き込み可能。

注5. CLKi, TxDiに対応する機能選択レジスタAでCLKi出力とTxDi出力に設定し、RxDiに対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは"0"にしてください。

注6. STxDiに対応する機能選択レジスタA、機能選択レジスタBでSTxDi出力に設定し、CLKi, SRxDiに対応する機能選択レジスタAを入出力ポートに設定し、ポート方向レジスタは"0"にしてください。

図16.12 UARTi関連のレジスタ (8)

17. クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表17.1、表17.2にクロック同期形シリアルI/Oモードの仕様を、図17.1にUARTi送受信モードレジスタの構成を示します。

表17.1 クロック同期形シリアルI/Oモードの仕様(1)

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	内部クロック選択時(0360 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地のビット3=“0”) : $f_i/2(n+1)$ (注1) $f_i=f_1, f_8, f_{32}$ ・ 対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでのCLK選択 外部クロック選択時(0360 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地のビット3=“1”) : CLKi端子からの入力 ・ 対応する機能選択レジスタAを入出力ポートに設定
送信制御/受信制御	CTS機能/RTS機能/CTS,RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 ・ 送信許可ビット(0365 ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 、02FD ₁₆ 番地のビット0)=“1” ・ 送信バッファ空フラグ(0365 ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 、02FD ₁₆ 番地のビット1)=“0” ・ CTS機能選択時、CTS端子の入力が“L”レベル ・ 対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでのTx/D選択 更に、外部クロック選択時には次の条件も必要です。 ・ CLKi極性選択ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット6)=“0” : CLKi端子の入力が“H” ・ CLKi極性選択ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット6)=“1” : CLKi端子の入力が“L”
受信開始条件	受信開始には、以下の条件が必要です。 ・ 受信許可ビット(0365 ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 、02FD ₁₆ 番地のビット2)=“1” ・ 送信許可ビット(0365 ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 、02FD ₁₆ 番地のビット0)=“1” ・ 送信バッファ空フラグ(0365 ₁₆ 、036D ₁₆ 、033D ₁₆ 、032D ₁₆ 、02FD ₁₆ 番地のビット1)=“0” 更に、外部クロック選択時には次の条件も必要です。 ・ CLKi極性選択ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット6)=“0” : CLKi端子の入力が“H” ・ CLKi極性選択ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット6)=“1” : CLKi端子の入力が“L”
割り込み要求発生タイミング	送信時 ・ 送信割り込み要因選択ビット(0370 ₁₆ 番地のビット0、ビット1、033D ₁₆ 、032D ₁₆ 、02FD ₁₆ 番地のビット4)=“0” : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 ・ 送信割り込み要因選択ビット(0370 ₁₆ 番地のビット0、ビット1、033D ₁₆ 、032D ₁₆ 、02FD ₁₆ 番地のビット4)=“1” : UARTi送信レジスタからデータ送信完了時 受信時 ・ UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注2) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生

注1. nはUART転送速度レジスタに設定した00₁₆～FF₁₆の値です。

注2. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

表17.2 クロック同期形シリアル/Oモードの仕様(2)

項 目	仕 様
選択機能	CLK極性選択 送信データ出力/入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 LSBファースト/MSBファースト 選択 ビット0から送信/受信するか、またはビット7から送信/受信するかを選択可 連続受信モード選択 受信バッファレジスタを読み出す動作により、同時に受信許可状態になる。 転送クロック複数端子出力選択(UART1) (注1) UART1の転送クロック端子を2本設定し、ソフトウェアによって出力端子を選択可 CTS/RTS 分離(UART0) (注1) UART0のCTS端子とRTS端子を別々の端子に配置できる。 シリアルデータ論理切り替え(UART2~UART4) 送信バッファレジスタへの書き込み、受信バッファレジスタからの読み出しの際、データを反転させるか選択可 TXD、RXD入出力極性切り替え(UART2~UART4) TXD端子出力およびRXD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。

注1. 転送クロック複数端子出力機能とCTS/RTS分離機能は同時に選択できません。

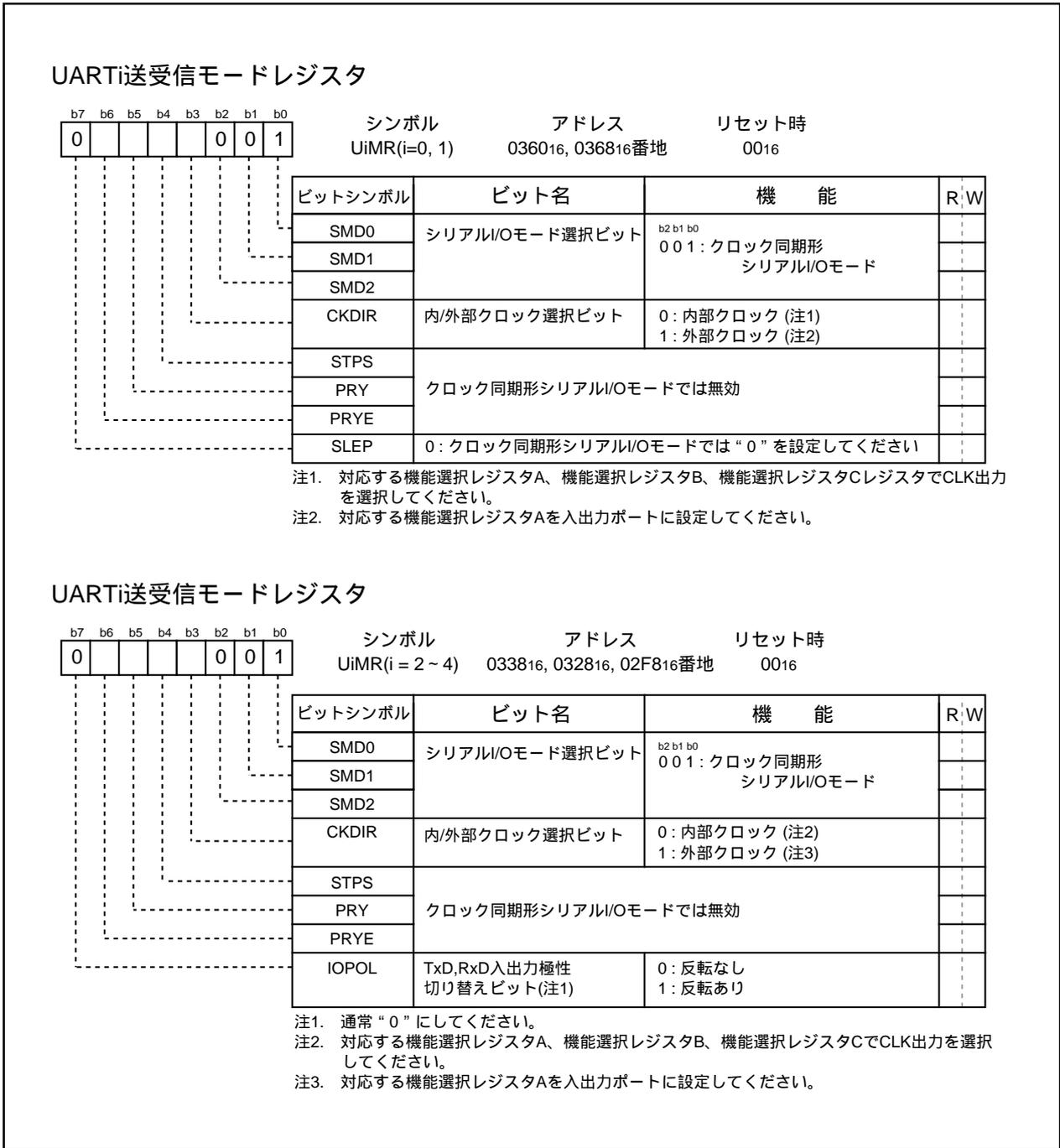


図17.1 クロック同期形シリアル/Oモード時のUARTi送受信モードレジスタの構成

表17.3に、クロック同期形シリアル/Oモード時の入出力端子の機能を示します。これは、転送クロック複数端子出力選択機能および $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 分離機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表17.3 クロック同期形シリアル/Oモード時の入出力端子の機能
(転送クロック複数端子出力機能非選択、 $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 分離機能非選択時)

端子名	機能	選択方法
TxDi (P63、P67、P70、P92、P96)	シリアルデータ出力 (注1)	(受信だけを行うときはダミーデータを出力)
RxDi (P62、P66、P71、P91、P97)	シリアルデータ入力 (注2)	ポートP62、P66、P71、P91、P97の方向レジスタ(03C2 ₁₆ 番地のビット2、ビット6、03C3 ₁₆ 番地のビット1、03C7 ₁₆ 番地のビット1、ビット7)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72、P90、P95)	転送クロック出力 (注1)	内/外部クロック選択ビット(0360 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地のビット3)= “0”
	転送クロック入力 (注2)	内/外部クロック選択ビット(0360 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地のビット3)= “1” ポートP61、P65、P72、P90、P95の方向レジスタ(03C2 ₁₆ 番地のビット1、ビット5、03C3 ₁₆ 番地のビット2、03C7 ₁₆ 番地のビット0、ビット5)= “0”
$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ i (P60、P64、P73、P93、P94)	$\overline{\text{CTS}}$ 入力(注2)	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 禁止ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能選択ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット2)= “0” ポートP60、P64、P73、P93、P94の方向レジスタ(03C2 ₁₆ 番地のビット0、ビット4、03C3 ₁₆ 番地のビット3、03C7 ₁₆ 番地のビット3、ビット4)= “0”
	$\overline{\text{RTS}}$ 出力(注1)	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 禁止ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 機能選択ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット2)= “1”
	プログラマブル 入出力ポート(注2)	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$ 禁止ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット4)= “1”

注1. 対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでTxD出力、CLK出力、 $\overline{\text{RTS}}$ 出力を選択してください。

注2. 対応する機能選択レジスタAで入出力ポートを選択してください。

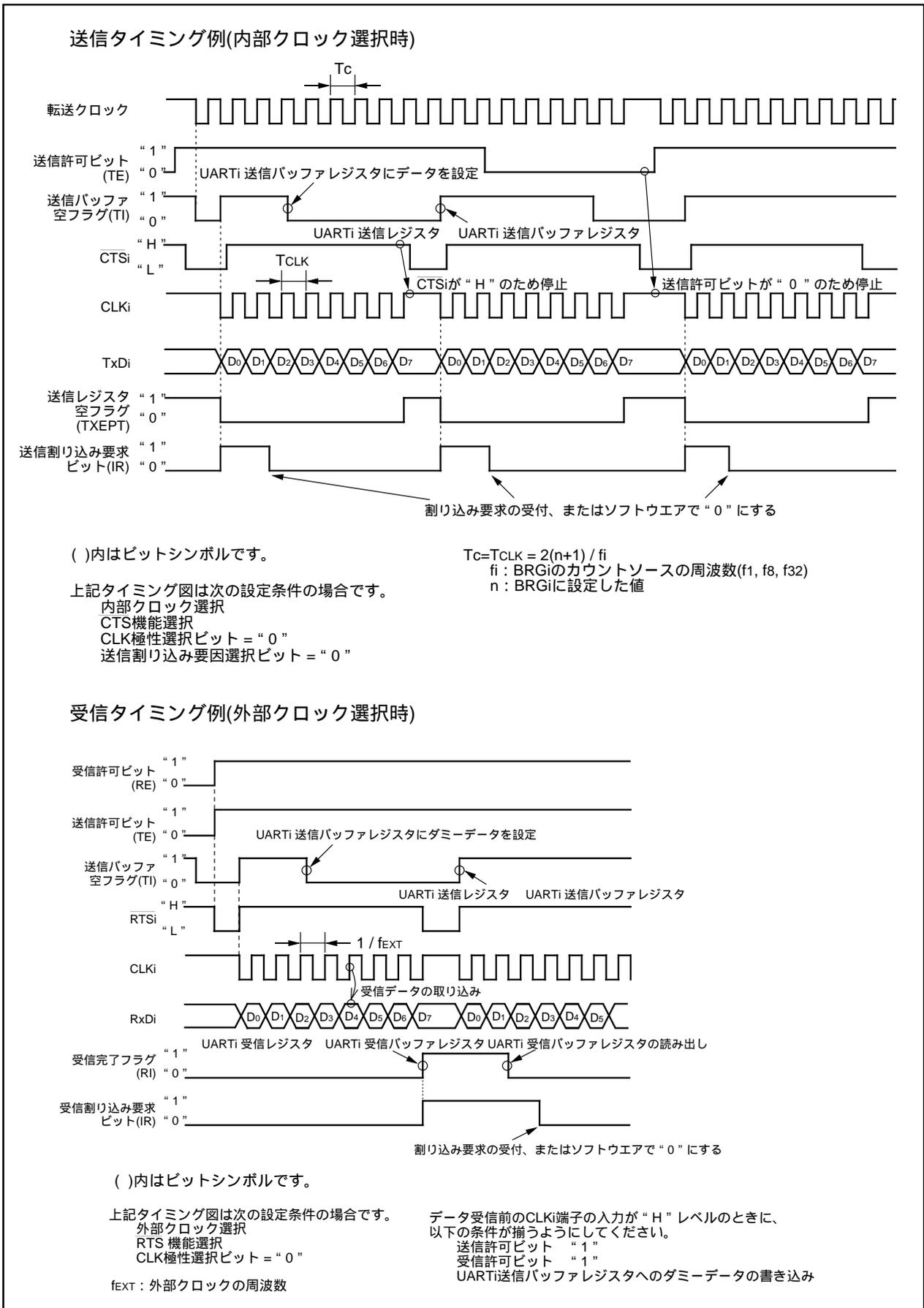


図17.2 クロック同期形シリアルI/Oモード時の送信 / 受信タイミング例

極性選択機能

図17.3に示すように、CLK極性選択ビット(0364₁₆、036C₁₆、033C₁₆、032C₁₆、02FC₁₆番地のビット6)によって転送クロックの極性を選択できます。

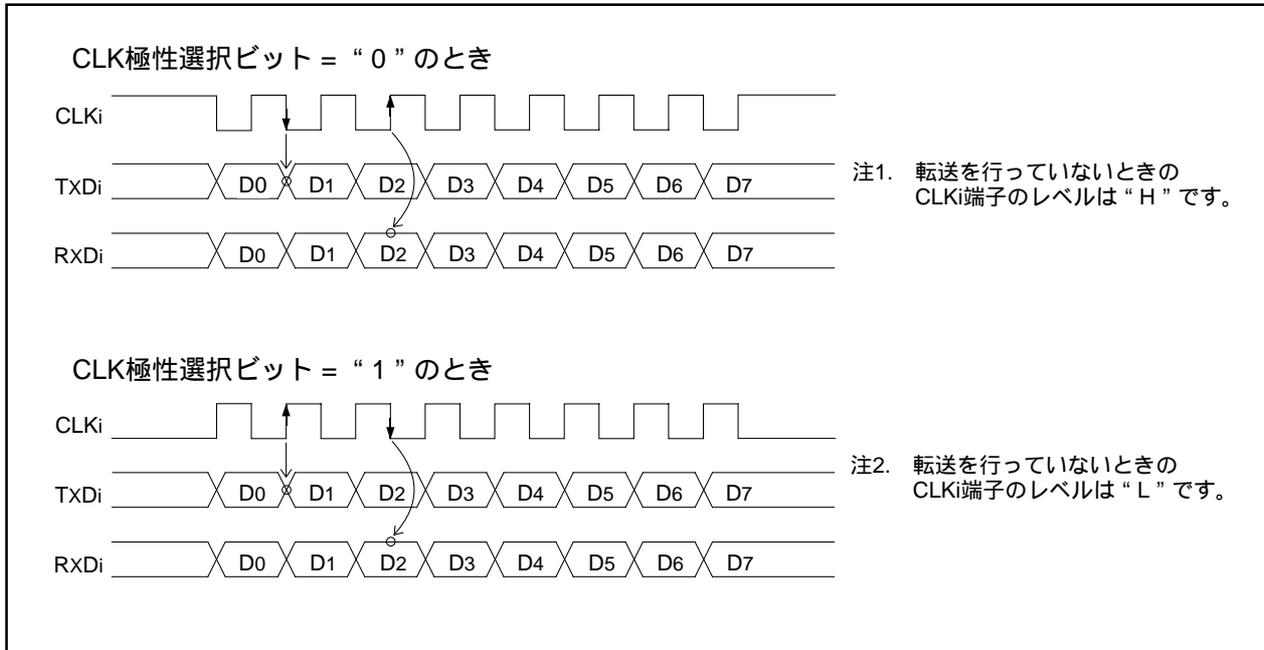


図17.3 転送クロックの極性

LSBファースト/MSBファースト選択機能

図17.4に示すように、転送フォーマット選択ビット(0364₁₆、036C₁₆、033C₁₆、032C₁₆、02FC₁₆番地のビット7)の内容が“0”のとき転送フォーマットはLSBファースト、“1”のとき転送フォーマットはMSBファーストになります。

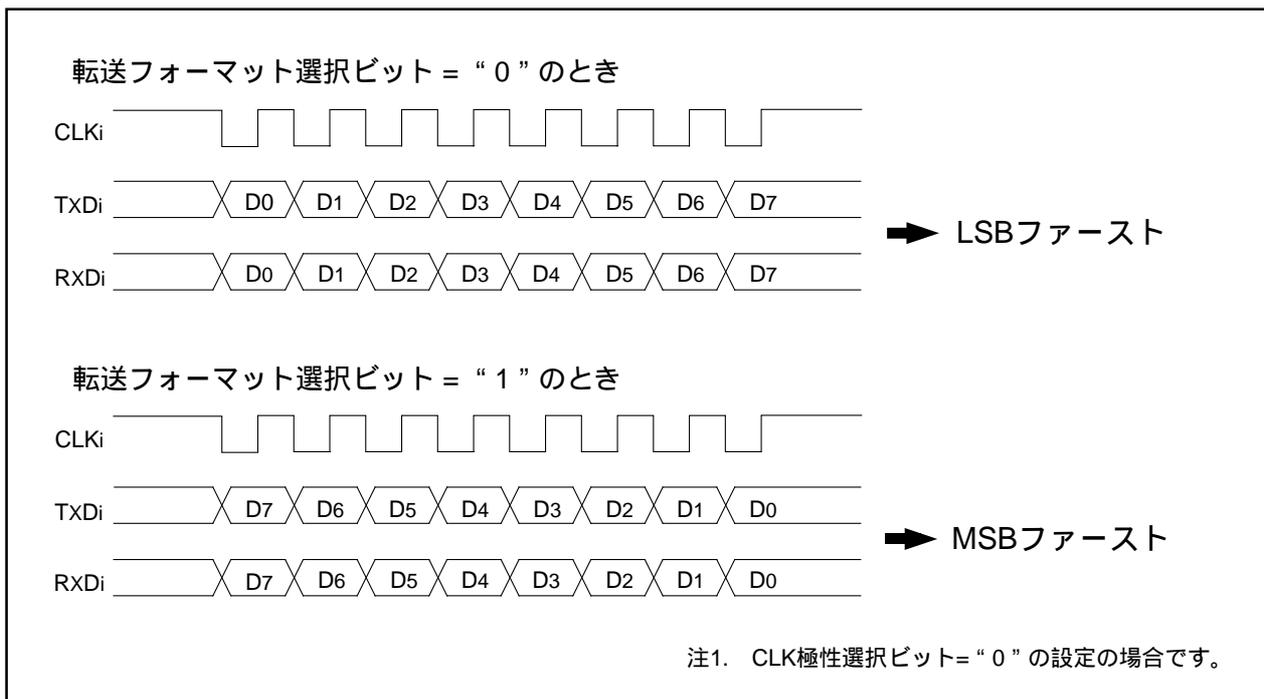


図17.4 転送フォーマット

転送クロック複数端子出力機能(UART1)

転送クロック出力端子を2本設定し、ポート機能選択レジスタ(P64、P65に相当する部分)の切り替えにより1本を選択し、クロックを出力します(図17.5)。この機能は、UART1で内部クロック選択時だけ有効な機能です。なお、本機能選択時にUART1のCTS/RTS機能は使用できません。

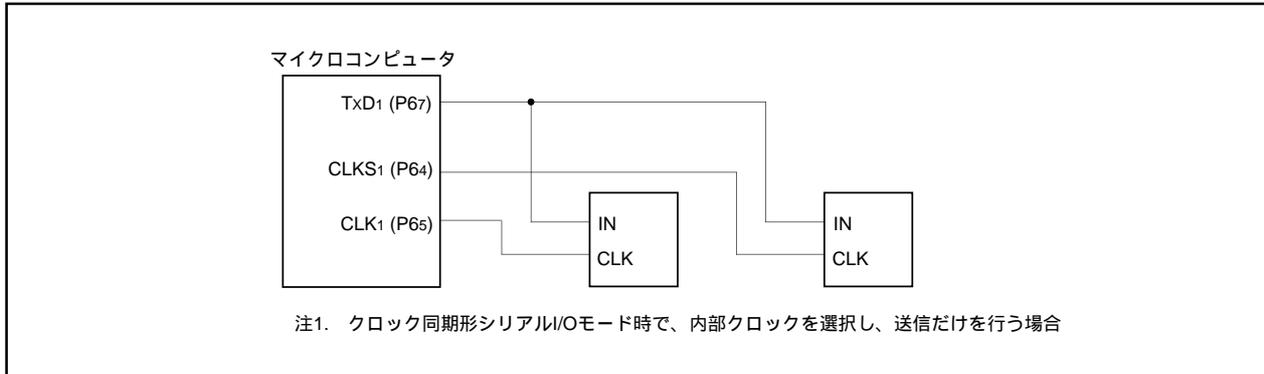


図17.5 転送クロック複数端子出力機能の使用例

連続受信モード

連続受信モード許可ビット(0370₁₆番地のビット2、ビット3、032D₁₆、032D₁₆、02FD₁₆番地のビット5)を“1”に設定することによって、連続受信モードになります。連続受信モードでは、送信バッファレジスタにダミーデータを再設定する必要がなく、受信バッファレジスタを読み出すことで受信許可状態になります。

CTS/RTS分離機能(UART0)

本機能は、クロック非同期形シリアルI/O(UART)モード時と同様の機能です。設定方法、入出力端子の機能共に同様ですので、次項「(2) クロック非同期形シリアルI/O(UART)モード」の、選択機能の項を参照してください。なお、転送クロック複数端子出力機能選択時には、本機能は無効となります。

シリアルデータ論理切り替え機能(UART2~UART4)

データ論理選択ビット(033D₁₆、032D₁₆、02FD₁₆番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転させます。図17.6にシリアルデータ論理切り替えのタイミング例を示します。

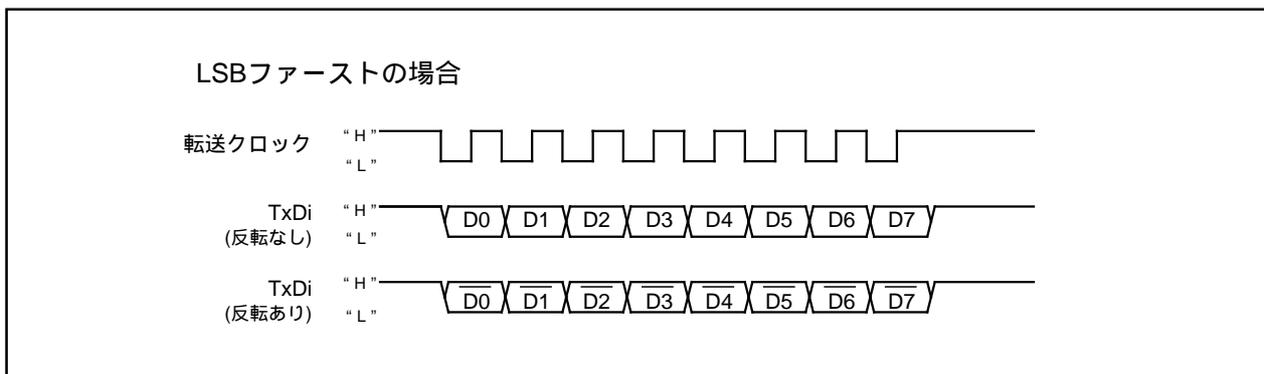


図17.6 シリアルデータ論理切り替えのタイミング例

18. クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表18.1、表18.2にクロック非同期形シリアルI/Oモードの仕様を、図18.1にUARTi送受信モードレジスタの構成を示します。

表18.1 クロック非同期形シリアルI/Oモードの仕様(1)

項 目	仕 様
転送データフォーマット	キャラクタビット(転送データ) 7ビット/8ビット/9ビット 選択可 スタートビット 1ビット パリティビット 奇数/偶数/無 選択可 ストップビット 1ビット/2ビット 選択可
転送クロック	内部クロック選択時(0360 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地のビット3 = "0") : $f_i/16(n+1)$ (注1) $f_i=f_1、f_8、f_{32}$ 外部クロック選択時(0360 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地のビット3 = "1") : $f_{EXT}/16(n+1)$ (注1)(注2)
送信制御/受信制御	CTS機能/RTS機能/CTS、RTS機能無効 選択
送信開始条件	送信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 送信許可ビット(0365₁₆、036D₁₆、033D₁₆、032D₁₆、02FD₁₆番地のビット0)="1" 送信バッファ空フラグ(0365₁₆、036D₁₆、033D₁₆、032D₁₆、02FD₁₆番地のビット1)="0" CTS機能選択時、CTS端子の入力が"L"レベル 対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでのTXD出力選択
受信開始条件	受信開始には、以下の条件が必要です。 <ul style="list-style-type: none"> 受信許可ビット(0365₁₆、036D₁₆、033D₁₆、032D₁₆、02FD₁₆番地のビット2)="1" スタートビットの検出
割り込み要求発生タイミング	送信時 <ul style="list-style-type: none"> 送信割り込み要因選択ビット(0370₁₆番地のビット0、ビット1、033D₁₆、032D₁₆、02FD₁₆番地のビット4)="0" : UARTi送信バッファレジスタからUARTi送信レジスタへデータ転送完了時 送信割り込み要因選択ビット(0370₁₆番地のビット0、ビット1、033D₁₆、032D₁₆、02FD₁₆番地のビット4)="1" : UARTi送信レジスタからデータ送信完了時 受信時 <ul style="list-style-type: none"> UARTi受信レジスタから、UARTi受信バッファレジスタへデータ転送完了時
エラー検出	オーバランエラー(注3) UARTi受信バッファレジスタの内容を読み出す前に次のデータが揃ったときに発生 フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 パリティエラー パリティ許可時にパリティビットとキャラクタビット中の"1"の個数が設定した個数でなかったときに発生 エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合"1"になります

注1. nはUART転送速度レジスタに設定した00₁₆~FF₁₆の値です。

注2. f_{EXT}はCLKi端子からの入力です。

注3. オーバランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

表18.2 クロック非同期形シリアルI/Oモードの仕様(2)

項 目	仕 様
選択機能	<p>CTS/RTS 分離(UART0) UART0のCTS端子とRTS端子を別々の端子に配置できる</p> <p>スリープモード選択(UART0、UART1) 複数の従のマイクロコンピュータのうち、特定の1つと転送を行う場合に使用するシリアルデータ論理切り替え(UART2~UART4) 転送するデータの論理値を反転する機能です。スタートビット、およびストップビットは反転しません。</p> <p>TxD、RxD入出力極性切り替え(UART2~UART4) TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて反転します。</p>

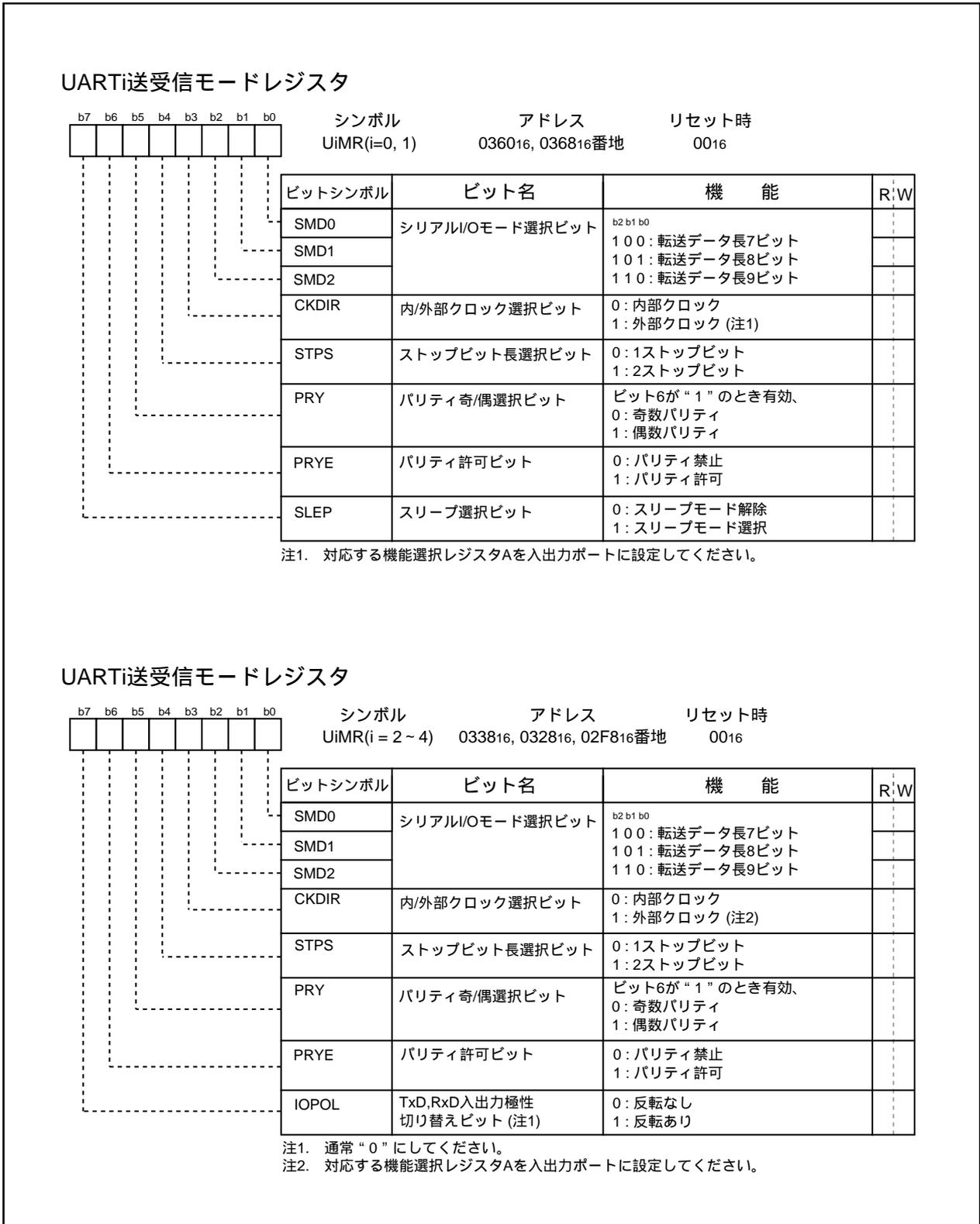


図18.1 UARTモード時のUARTi送受信モードレジスタの構成

表18.3に、クロック非同期形シリアルI/Oモード時の入出力端子の機能を示します。これは、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能は非選択時です。なお、UARTiの動作モード選択後、転送開始までは、TxDi端子は“H”レベルを出力します(Nチャンネルオープンドレイン出力選択時はフローティング状態)。

表18.3 クロック非同期形シリアルI/Oモード時($\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能非選択時)の入出力端子の機能

端子名	機能	選択方法
TxDi (P63、P67、P70、P92、P96)	シリアルデータ出力 (注1)	
RxDi (P62、P66、P71、P91、P97)	シリアルデータ入力 (注2)	ポートP62、P66、P71、P91、P97の方向レジスタ(03C2 ₁₆ 番地のビット2、ビット6、03C3 ₁₆ 番地のビット1、03C7 ₁₆ 番地のビット1、ビット7)= “0” (送信だけを行うときは入力ポートとして使用可)
CLKi (P61、P65、P72、P90、P95)	プログラマブル 入出力(注2)	内/外部クロック選択ビット(0360 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地のビット3)= “0”
	転送クロック入力 (注2)	内/外部クロック選択ビット(0360 ₁₆ 、0368 ₁₆ 、0338 ₁₆ 、0328 ₁₆ 、02F8 ₁₆ 番地のビット3)= “1” ポートP61、P65、P72、P90、P95の方向レジスタ(03C2 ₁₆ 番地のビット1、ビット5、03C3 ₁₆ 番地のビット2、03C7 ₁₆ 番地のビット0、ビット5)= “0”
$\overline{\text{CTS}}/\overline{\text{RTS}}_i$ (P60、P64、P73、P93、P94)	$\overline{\text{CTS}}$ 入力(注2)	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット2)= “0” ポートP60、P64、P73、P93、P94の方向レジスタ(03C2 ₁₆ 番地のビット0、ビット4、03C3 ₁₆ 番地のビット3、03C7 ₁₆ 番地のビット3、ビット4)= “0”
	$\overline{\text{RTS}}$ 出力(注1)	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット4)= “0” $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能選択ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット2)= “1”
	プログラマブル 入出力ポート(注2)	$\overline{\text{CTS}}/\overline{\text{RTS}}$ 禁止ビット(0364 ₁₆ 、036C ₁₆ 、033C ₁₆ 、032C ₁₆ 、02FC ₁₆ 番地のビット4)= “1”

注1. 対応する機能選択レジスタA、機能選択レジスタB、機能選択レジスタCでTx/D出力、CLK出力、 $\overline{\text{RTS}}$ 出力を選択してください。

注2. 対応する機能選択レジスタAで入出力ポートを選択してください。

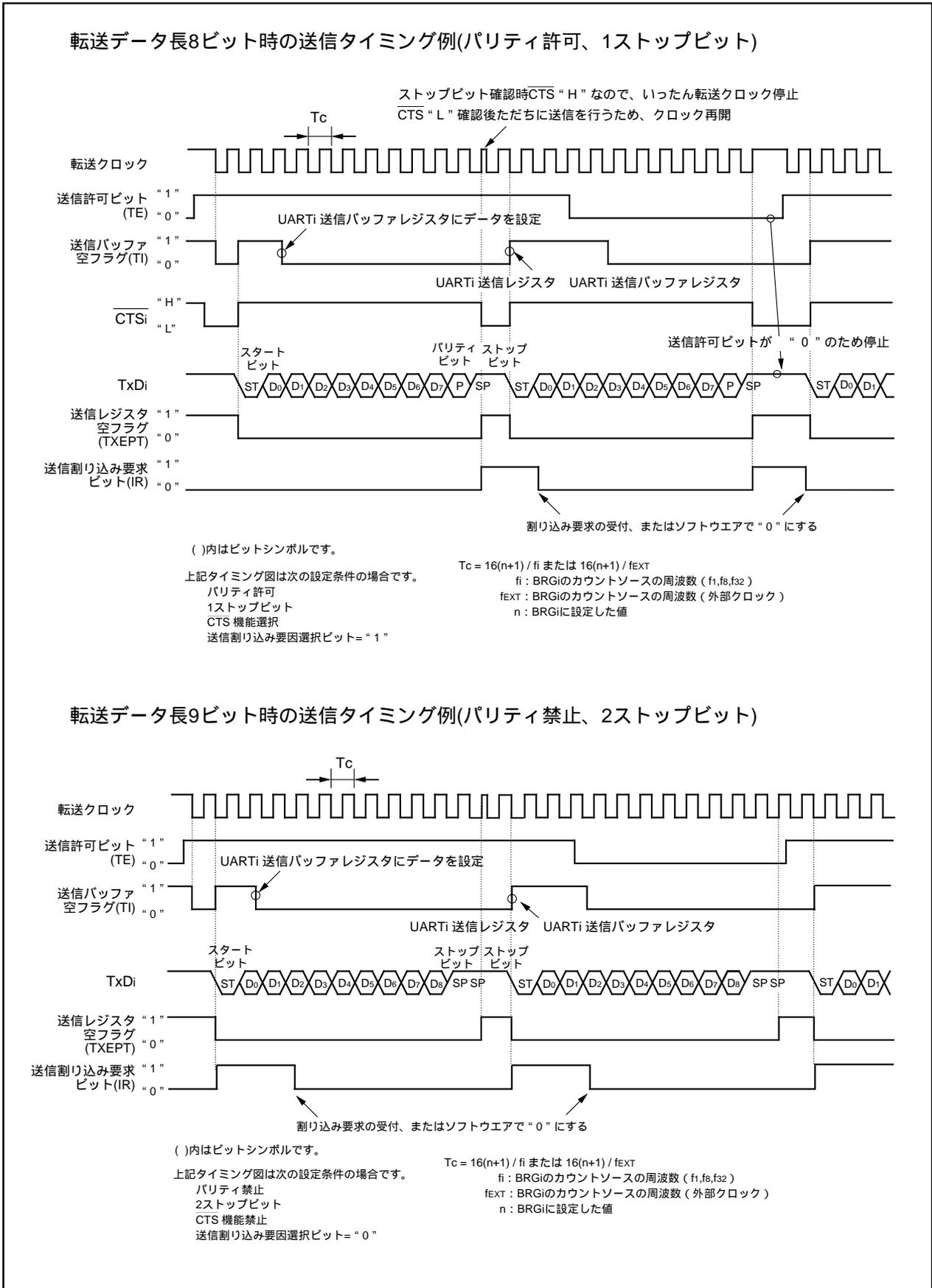


図18.2 UARTモード時の送信タイミング例

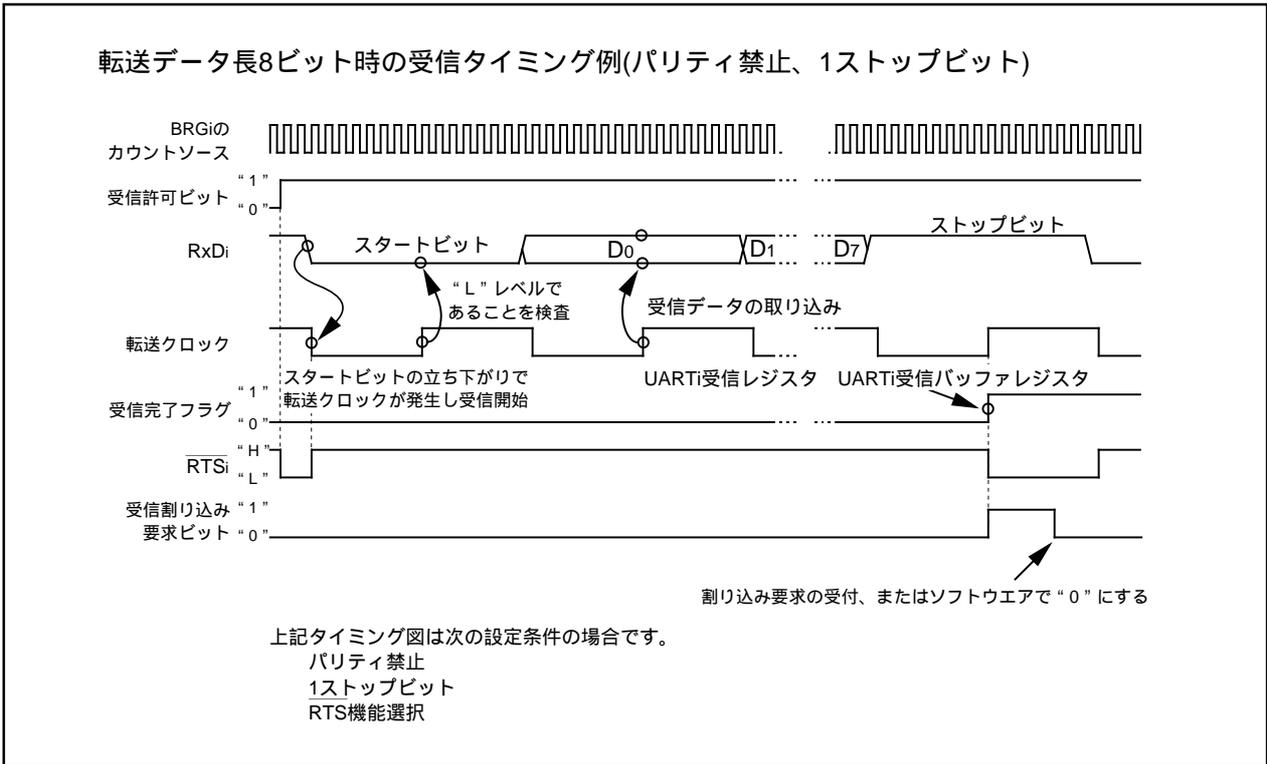


図18.3 UARTモード時の受信タイミング例

CTS/RTS分離機能(UART0)

CTS/RTS分離ビット(0370₁₆番地のビット6)を“1”にすることにより、CTS信号とRTS信号を別々の端子から入力/出力します(図18.4)。この機能は、UART0だけ有効です。なお、本機能選択時にUART1のCTS/RTS機能は使用できません。

UART1のCTS/RTS機能選択ビット(036C₁₆番地のビット2)、CTS/RTS禁止ビット(036C₁₆番地のビット4)をとともに“0”に設定し、機能選択レジスタでP64を入力ポートに設定してください。

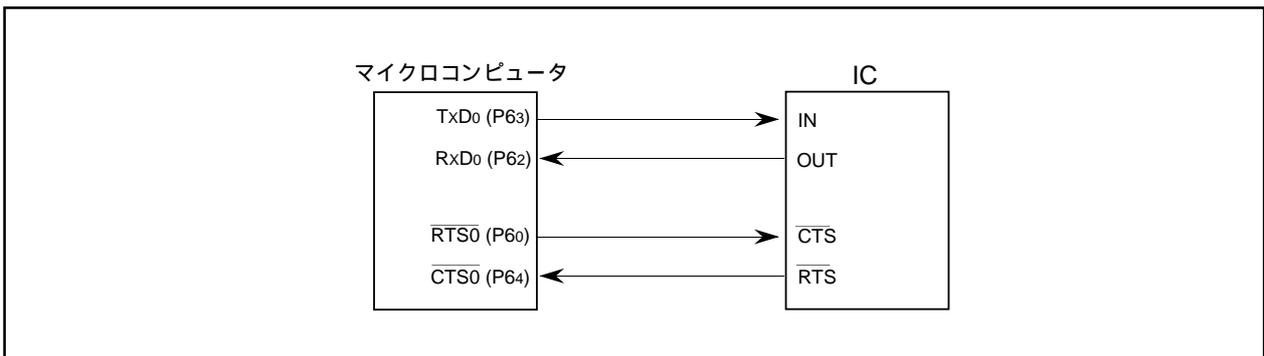


図18.4 CTS/RTS分離機能の使用例

スリープモード(UART0、UART1)

UARTiを使用して接続した複数のマイクロコンピュータのうち、特定のマイクロコンピュータ間で転送を行う場合に使用します。受信時、スリープ選択ビット(0360₁₆、0368₁₆番地のビット7)を“1”にすると、スリープモードが選択されます。スリープモードでは、受信データの最上位ビットが“1”のときに受信動作を行い、“0”のときには受信動作を行いません。

シリアルデータ論理切り替え機能(UART2~UART4)

データ論理選択ビット(033D16、032D16、02FD16番地のビット6)の内容が“1”のとき、送信バッファレジスタへの書き込み、および受信バッファレジスタからの読み出しの際、データを反転することができます。図18.5に、シリアルデータ論理切り替え機能のタイミング例を示します。

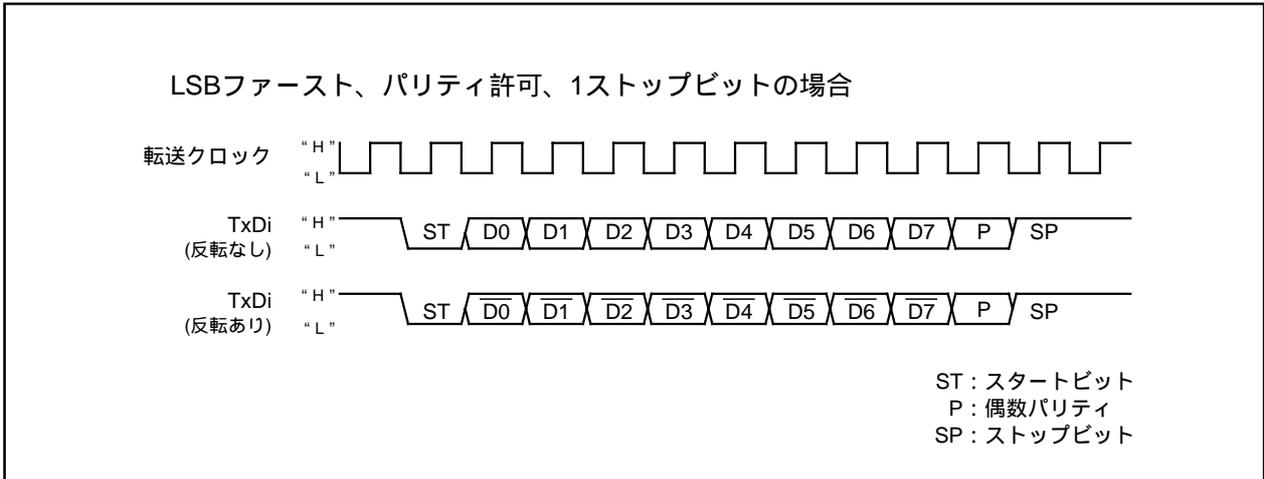


図18.5 シリアルデータ論理切り替え機能のタイミング例

TxD、RxD入出力極性切り替え機能(UART2~UART4)

TxD端子出力およびRxD端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。通常使用時は、“0”(反転なし)に設定してください。

バス衝突検出機能(UART2~UART4)

TxD端子の出力レベルとRxD端子の入力レベルを転送クロックの立ち上がりでサンプリングし、値が異なる場合、割り込み要求が発生します。図18.6にバス衝突検出タイミング例(UARTモード時)を示します。

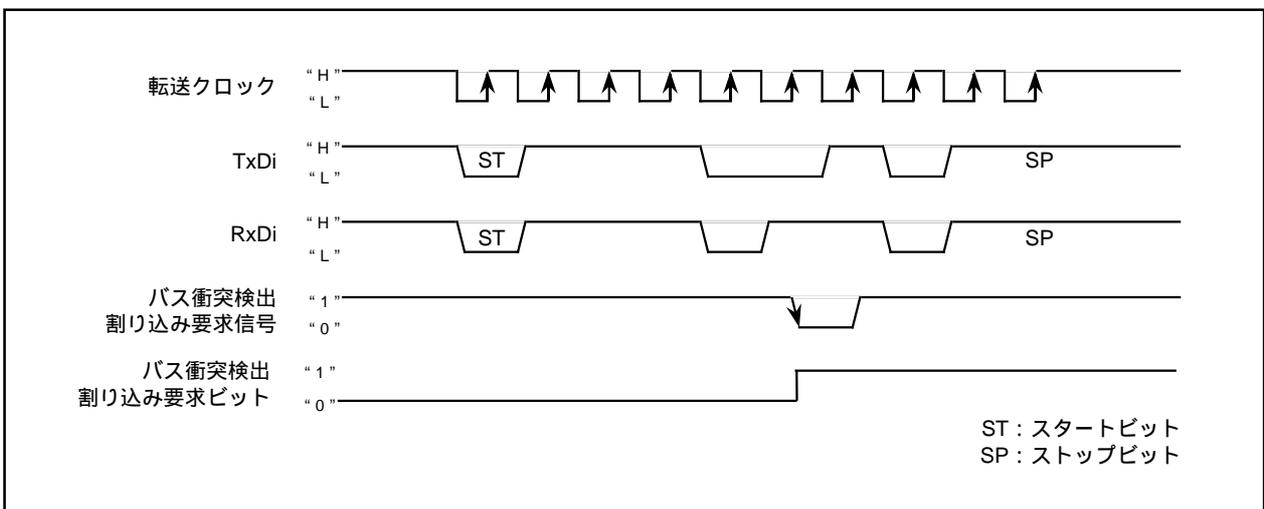


図18.6 バス衝突検出タイミング例(UARTモード時)

19. クロック非同期形シリアルI/Oモード(SIMインターフェース対応)

SIMインターフェースは、メモリカードI/C等とインターフェースするための機能で、UART2~UART4のクロック非同期形シリアルI/Oモードに一部設定を追加することで実現できます。表19.1にクロック非同期形シリアルI/Oモード(SIMインターフェース対応)の仕様を示します。

表19.1 クロック非同期形シリアルI/Oモードの仕様(SIMインターフェース対応)

項目	仕様
転送データフォーマット	転送データ 8ビットUARTモード (033816、032816、02F816番地のビット2~ビット0="1012") 1ストップビット (033816、032816、02F816番地のビット4="0") ダイレクトフォーマットの場合 パリティを偶数パリティに設定 (033816、032816、02F816番地のビット5="1"、ビット6="1") データ論理をダイレクトに設定 (033D16、032D16、02FD16番地のビット6="0") 転送フォーマットをLSBに設定 (033C16、032C16、02FC16番地のビット7="0") インバースフォーマットの場合 パリティを奇数パリティに設定 (033816、032816、02F816番地のビット5="0"、ビット6="1") データ論理をインバースに設定 (033D16、032D16、02FD16番地のビット6="1") 転送フォーマットをMSBに設定 (033C16、032C16、02FC16番地のビット7="1")
転送クロック	内部クロック選択時(033816、032816、02F816番地のビット3="0") : fi/16(n+1) (注1) fi=f1、f8、f32 外部クロック選択時(033816、032816、02F816番地のビット3="1") : fEXT/16(n+1) (注1、2)
送信制御/受信制御	CTS、RTS機能禁止に設定 (033C16、032C16番地、02FC16のビット4="1")
その他設定項目	UART2、UART3ではスリープモード選択機能はありません 送信割り込み要因を送信完了に設定 (033D16、032D16、02FD16番地のビット4="1") UART3、4ではTxD、RxD端子はNチャンネルオープンドレイン出力を設定(032C16、02FC16番地のビット5="1")
送信開始条件	送信開始には、以下の条件が必要です。 ・送信許可ビット(033D16、032D16、02FD16番地のビット0)="1" ・送信バッファ空フラグ(033D16、032D16、02FD16番地のビット1)="0"
受信開始条件	受信開始には、以下の条件が必要です。 ・受信許可ビット(033D16、032D16、02FD16番地のビット2)="1" ・スタートビットの検出
割り込み要求発生タイミング	送信時 UART2、UART3、UART4送信レジスタからデータ転送完了時 (033D16、032D16、02FD16番地のビット4="1") 受信時 UART2、UART3、UART4受信レジスタから、UART2、UART3、UART4受信バッファレジスタへデータ転送完了時
エラー検出	オーバーランエラー(クロック非同期形シリアルI/Oの仕様を参照してください)(注3) フレーミングエラー(クロック非同期形シリアルI/Oの仕様を参照してください) パリティエラー(クロック非同期形シリアルI/Oの仕様を参照してください) 受信側は、パリティエラー検出時、パリティエラー信号出力機能(033D16、032D16、02FD16番地のビット7="1")によりTxDi端子から"L"レベルを出力 送信側は、送信割り込み発生時、RxDi端子入力レベルによりパリティエラーを検知 エラーサムフラグ(クロック非同期形シリアルI/Oの仕様を参照してください)

注1 . nはUART転送速度レジスタに設定した0016~FF16の値です。

注2 . fEXTはCLKi端子からの入力です。

注3 . オーバーランエラーが発生した場合は、UARTi受信バッファには次のデータが書き込まれます。またUARTi受信割り込み要求ビットは変化しません。

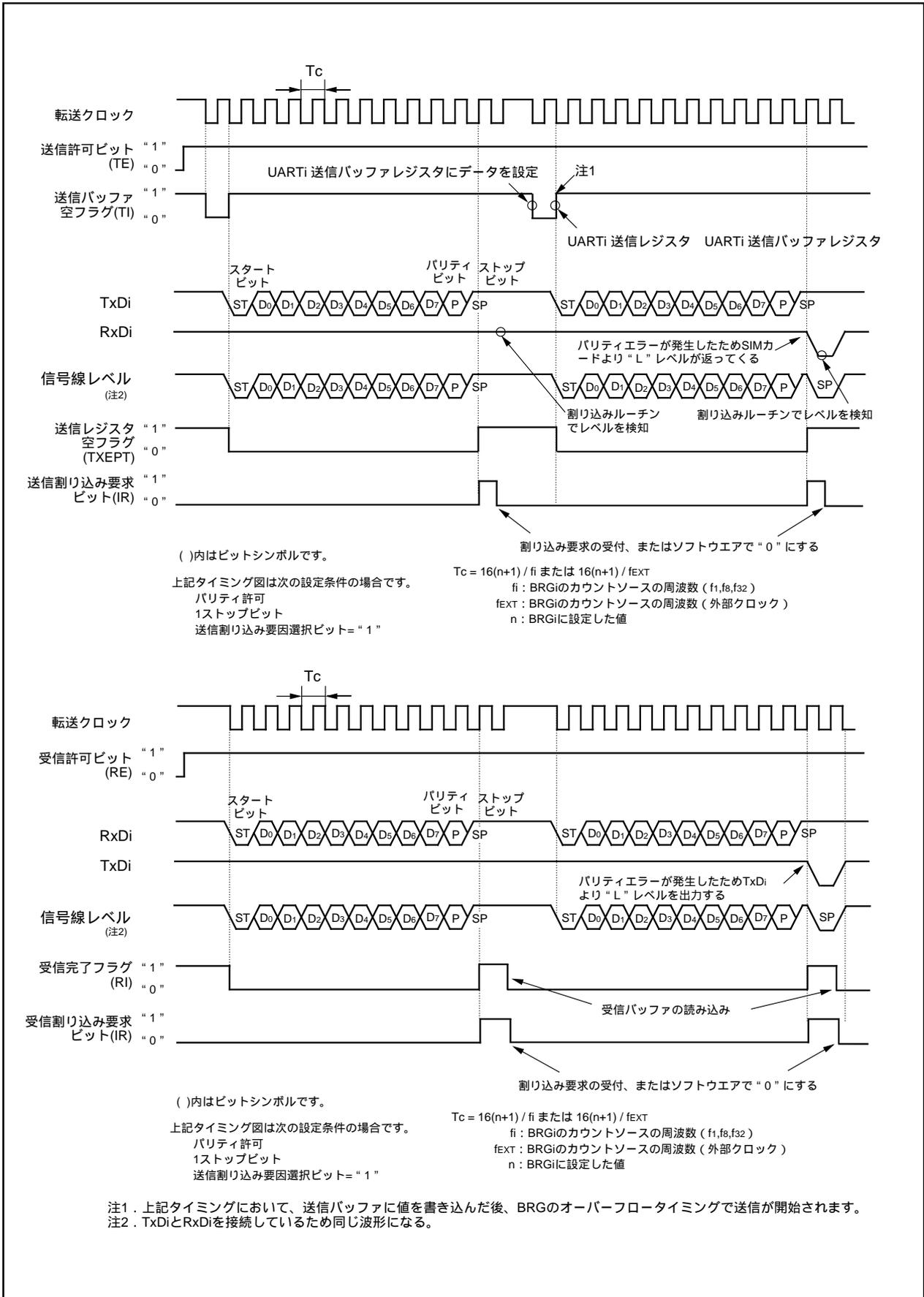


図19.1 UARTモード(SIMインターフェース対応)の送受信タイミング例

パリティエラー信号出力機能

受信時、エラー信号出力許可ビット(033D16、032D16、02FD16番地のビット7)が“1”のとき、パリティエラー検出時にTxDi端子から“L”レベルを出力することができます。ただし、パリティエラー信号出力中にUARTi受信バッファレジスタを読み出すと、パリティエラーフラグが“0”になり、同時にTxDi出力も“H”に戻ります。また、送信時、エラー信号出力許可ビット(033D16、032D16、02FD16番地のビット7)が“0”のときに比べ、転送クロックの半サイクル分遅れて送信完了割り込みが発生します。したがって、送信完了割り込みのプログラムでパリティエラー信号を検出することができます。図19.2にパリティエラー信号出力タイミングを示します。

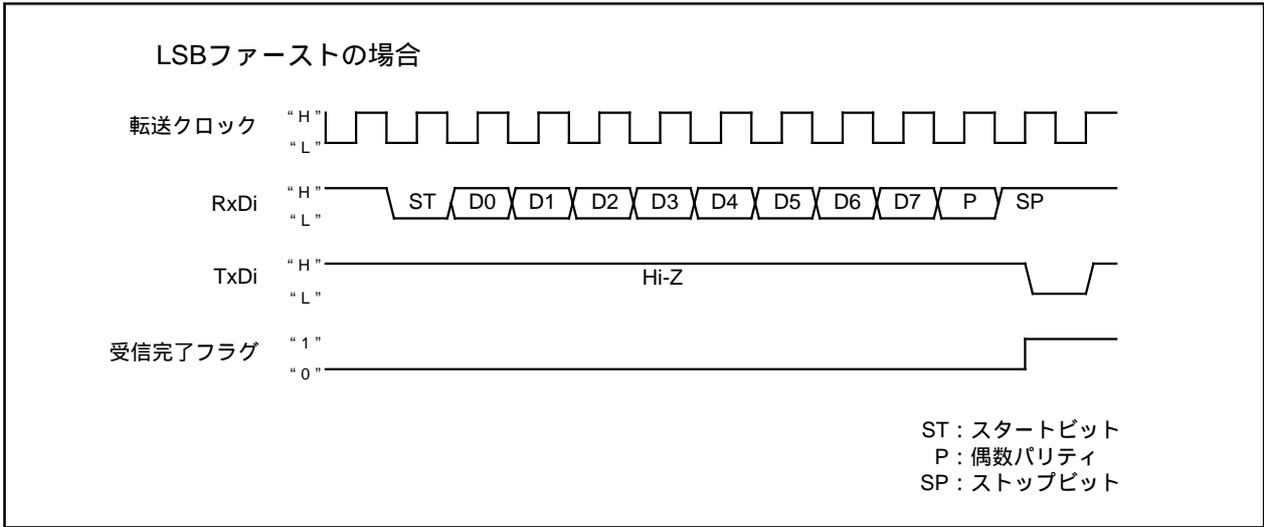


図19.2 パリティエラー信号出力タイミング

ダイレクトフォーマット/インバースフォーマット

接続するSIMカードによって、ダイレクトフォーマット/インバースフォーマットを切り替えることができます。ダイレクトフォーマットを選択するとD0のデータがTxDiから出力されます。インバースフォーマットを選択するとD7のデータが反転してTxDiから出力されます。

図19.3にSIMインタフェースフォーマットを示します。

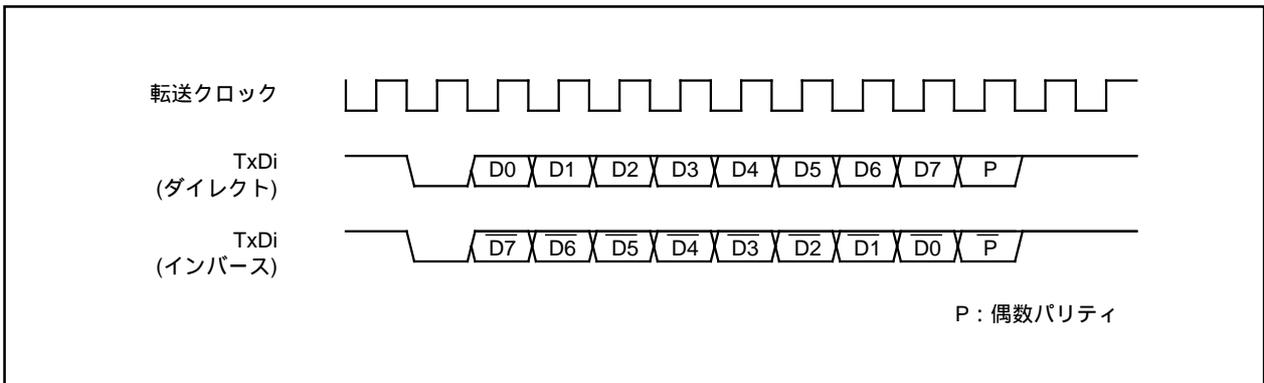


図19.3 SIMインタフェースフォーマット

図19.4にSIMインタフェースの接続例を示します。TxDiとRxDiを接続してプルアップしてください。

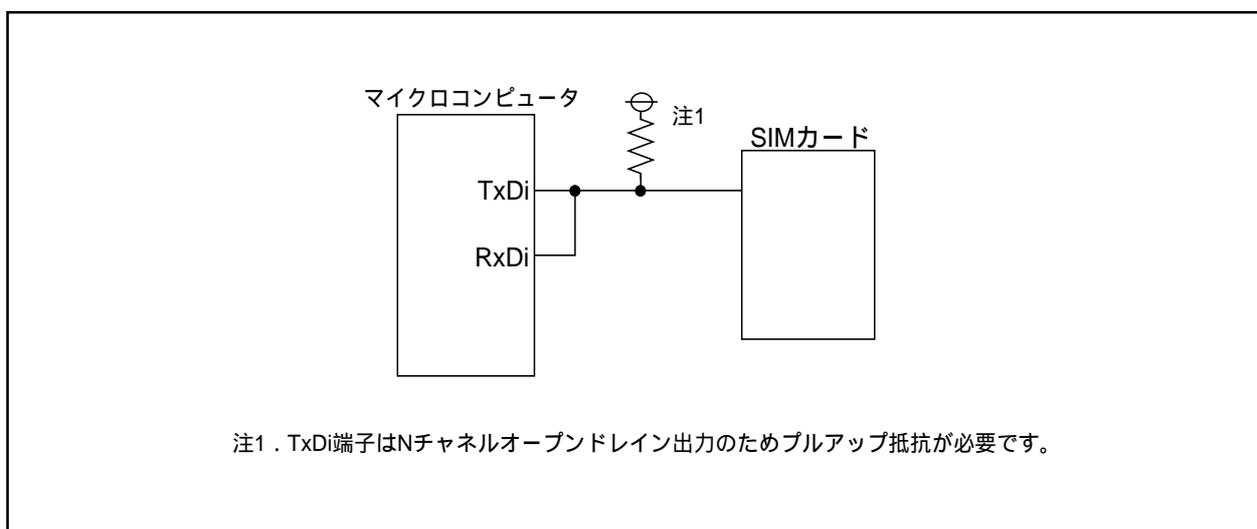


図19.4 SIMインタフェース接続例

20. UARTi特殊モードレジスタ(i = 2 ~ 4)

UART2~UART4は、UARTi特殊モードレジスタ(0337₁₆, 0327₁₆, 02F7₁₆番地)(i = 2 ~ 4)、UARTi特殊モードレジスタ2(0336₁₆, 0326₁₆, 02F6₁₆番地)(i = 2 ~ 4)によってIICバスインターフェース機能(簡易IICバス)を実現します。さらにUART3、UART4は、UARTi特殊モードレジスタ3(0325₁₆, 02F5₁₆番地)(i=3, 4)によって特殊機能を付加できます。

(1)IICバスインターフェースモード

IICバスインターフェースモード(簡易IICバス)は、UART2~UART4がもつ機能です。

UARTi特殊モードレジスタ及びUARTi特殊モードレジスタ2(i = 2 ~ 4)の構成を図20.1に示します。

IICモード選択ビット(0337₁₆, 0327₁₆, 02F7₁₆番地のビット0)に“1”を設定すると、IICバス(簡易IICバス)インタフェース回路が有効になります。

IICバスを使用する場合、マスタ、スレーブ側とも機能選択レジスタにてSCLi、SDAiを出力に設定してください。またUART3、4ではデータ出力選択ビット(032C₁₆, 02FC₁₆番地のビット5)でNチャンネルオープンドレイン出力を選択してください。

IICモード選択ビットと各制御の関係を表20.1に示します。クロック同期型シリアルI/Oモード、クロック非同期型シリアルI/Oモードで使用する場合はこのビットを必ず“0”に設定してください。

表20.1 IICモード時の各機能

	機 能	通常モード(IICM=0)	IICモード(IICM=1)(注1)
1	割り込み番号39~41の要因(注2)	バス衝突検出	スタートコンディション検出 またはストップコンディション検出
2	割り込み番号33, 35, 37の要因(注2)	UARTi送信	アクノリジ未検出(NACK)
3	割り込み番号34, 36, 38の要因(注2)	UARTi受信	アクノリジ検出(ACK)
4	UARTi送信出力遅延	遅延なし	遅延あり
5	UARTi使用時のP70, P92, P96	TxDi(出力)	SDAi(入出力)(注3)
6	UARTi使用時のP71, P91, P97	RxDi(入力)	SCLi(入出力)
7	UARTi使用時のP72, P90, P95	CLKi	P72, P90, P95
8	DMA要因	UARTi受信	アクノリジ検出(ACK)
9	ノイズフィルター幅	15ns	50ns
10	P71, P91, P97のリード	方向レジスタ=0の時 端子をリードする。	方向レジスタの値に関係なく 端子をリードする。
11	UARTi出力の初期値	Hレベル(CLK極性選択ビット=0時)	ポート選択時にP70, P92, P96ラッチ に設定した値(注3)

注1. IICモード使用時は以下の設定にしてください。

UARTi送受信モードレジスタのビット2, 1, 0を010に設定。

RTS/CTS機能は禁止。

MSBファーストに設定。

注2. 要因を切り替える時は以下の手順で行ってください。

1. 対応する割り込み番号の割り込み禁止。
2. 要因の切り替え。
3. 対応する割り込み番号の割り込み要求フラグリセット。
4. 対応する割り込み番号の割り込みレベル設定。

注3. SDA送信出力の初期値の設定は、IICモード(IICモード選択ビット="1")で、かつシリアルI/Oが無効の状態で行ってください。

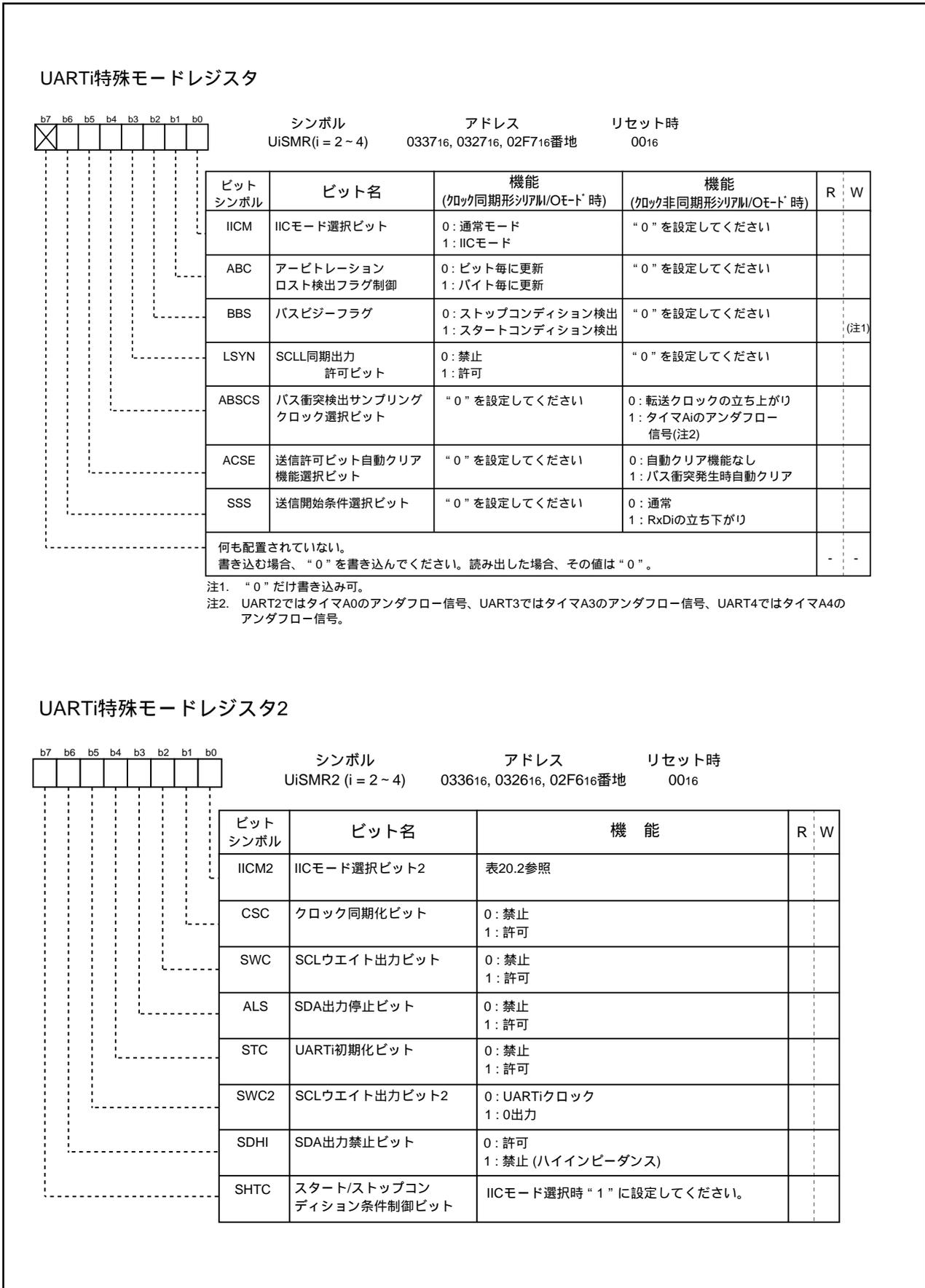


図20.1 UARTi特殊モードレジスタ

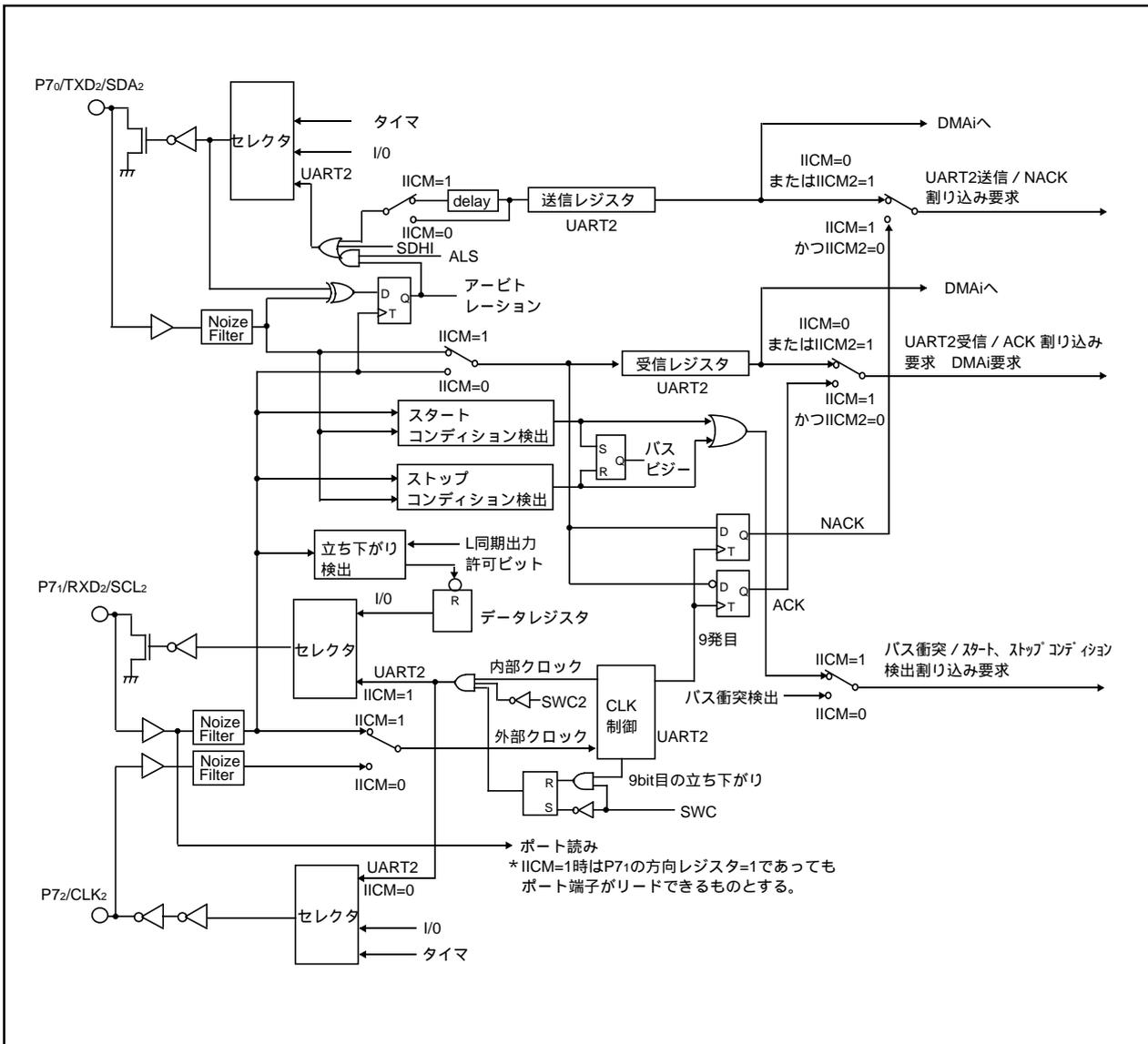


図20.2 IICモード機能ブロック図(UART2)

図20.2が、IICバスインターフェース機能のブロック図です。
IICバスインタフェース関連の制御ビットについて、UART2を例に説明します。

UART2特殊モードレジスタ(033716番地)

ビット0は、IICモード選択ビットです。このビットを“1”にすると、ポートP70、P71、P72の機能がそれぞれデータ送受信端子SDA2、クロック入出力端子SCL2、ポートP72となります。SDA2送信出力にはディレイ回路が付加されますので、SCL2が十分“L”になった後、SDA2出力が変化します。ポートP71(SCL2)は、ポート方向レジスタの内容にかかわらず、端子のレベルが読み出せるようになります。SDA2送信出力の初期値は、このモードではポートP70に設定した値になります。さらに、バス衝突検出割り込み、UART2送信割り込み、UART2受信割り込みの各割り込み要因がそれぞれスタート/ストップコンディション検出割り込み、アクノリッジ未検出割り込み、アクノリッジ検出割り込みに変わります。

スタートコンディション検出割り込みとは、SCL2端子(P71)が“H”の状態でSDA2端子(P70)の立ち下がりが発生したことを検出して発生する割り込みです。ストップコンディション検出割り込みとは、SCL2端子(P71)が“H”の状態でSDA2端子(P70)の立ち上がりが発生したことを検出して発生する割り込みです。

アクノリッジ未検出割り込みとは、送信クロックの9発目の立ち上がり時にSDA2端子のレベルが“H”のままであることを検出して発生する割り込みです。

アクノリッジ検出割り込みとは、送信クロックの9発目の立ち上がり時にSDA2端子のレベルが“L”になっていることを検出して発生する割り込みです。また、DMAi要求要因にUART2受信を選択することでアクノリッジ検出によってDMA転送を起動することができます。

ビット2は、バスビジーフラグです。スタートコンディション検出で“1”にセットされ、ストップコンディション検出で“0”にリセットされます。

ビット1は、アービトレーションロスト検出フラグ制御ビットです。アービトレーションとはSCL2の立ち上がりのタイミングで送信データとSDA2端子データの不一致を検出するものです。この検出フラグはUART2受信バッファレジスタ(033E16番地)のビット11に配置されており、不一致を検出すると“1”になります。このフラグの更新を各ビットごとに行うかバイトごとに行うかをアービトレーションロスト検出フラグ制御ビットで選択します。このビットを“1”にすることで、バイトごとに設定され、不一致が検出された場合、9発目のクロックの立ち下がりでアービトレーションロスト検出フラグが“1”になります。なお、バイトごとに更新を行う場合は、1バイト目のアクノリッジ検出完了後、次の1バイトの転送を開始する前に、必ずアービトレーションロスト検出フラグの判定とクリア(“0”書き込み)を行ってください。

ビット3は、SCL2 L同期出力許可ビットです。このビットを“1”にすると、SCL2端子のレベルが“L”になるのに同期してP71のデータレジスタが“0”になります。

ビット4は、バス衝突検出サンプリングクロック選択ビットです。バス衝突検出割り込みとはRxDiとTxDiのレベルが一致していないときに割り込みを発生します。このビットが“0”の場合、転送クロックの立ち上がりに同期して不一致を検出します。このビットが“1”の場合、タイマAi(UART2ではタイマA0、UART3ではタイマA3、UART4ではタイマA4)のアンダフローのタイミングで検出します。その動作を図20.3に示します。

ビット5は、送信許可ビット自動クリア機能選択ビットです。このビットを“1”にすることで、バス衝突検出割り込み要求ビットが“1”(不一致検出)のとき、送信許可ビットを自動的に“0”にリセットします。

ビット6は、送信開始条件選択ビットです。このビットを“1”にすることで、RxDi端子の立ち下がりに同期して、TxDi送信を開始します。

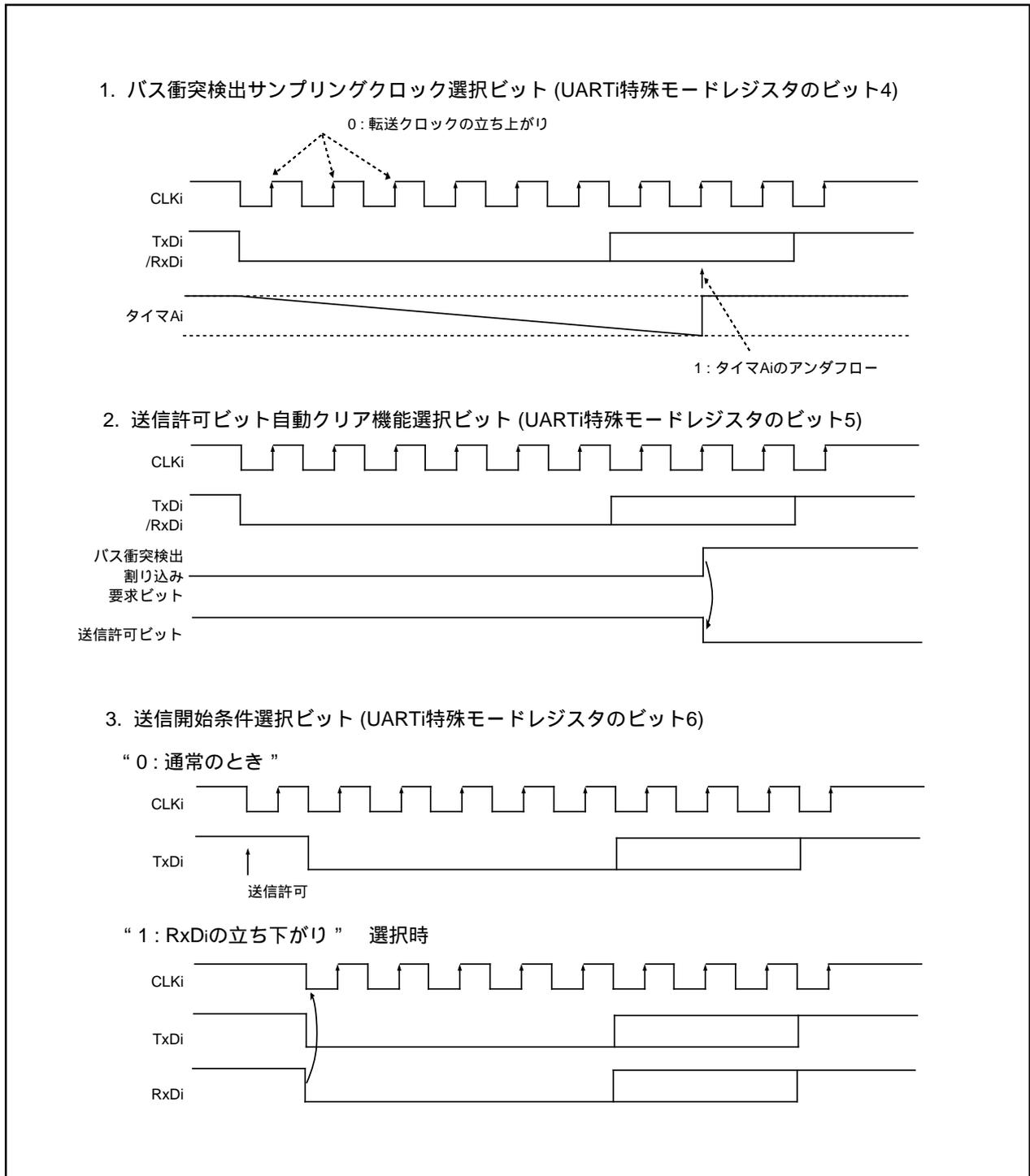


図20.3 その他の追加機能

UARTi特殊モードレジスタ2(i=2~4)(033616、032616、02F616番地)

ビット0は、IICモード選択ビット2です。IICモード選択ビットが“1”のとき、このビットにより変更される各制御を表20.2に示します。スタートコンディションおよびストップコンディション検出のタイミング特性を図20.4に示します。ビット7(スタート/ストップコンディション条件制御ビット)は必ず“1”を設定して下さい。

ビット1は、クロック同期化ビットです。このビットを“1”にすると、内部SCL=“H”時、SCLi端子に立ち下がりエッジがあれば内部SCL=“L”とし、UARTi転送速度レジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子=“L”時、内部SCLが“L”から“H”に変化するとカウントを停止し、SCLi端子=“H”になればカウントを再開します。この機能によりUARTiの送受信クロックは、内部SCLとSCLi端子の信号をANDしたものになります。この機能はUARTiの1発目のクロックの立ち下がり時点よりクロックの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

ビット2は、SCLウエイト出力ビットです。このビットを“1”にすると、クロックの9ビット目の立ち下がりSCL2端子は“L”出力固定になります。このビットを“0”にすると“L”出力固定は解除されます。

ビット3は、SDA出力停止ビットです。このビットを“1”にすると、アービトレーションロストが発生しアービトレーションロスト検出フラグが“1”になった場合、同時にSDAi端子がハイインピーダンス状態になります。

ビット4は、UARTi初期化ビットです。このビットを“1”にし、スタートコンディションを検出すると以下のように動作します。

1. 送信シフトレジスタは初期化され、送信レジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信が開始されます。ただし、UARTi出力値は、クロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
2. 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
3. SCLウエイト出力ビットが“1”になります。これにより、クロックの9ビット目の立ち下がりSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、送信バッファ空フラグの内容は変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

ビット5は、SCLウエイト出力ビット2です。シリアルI/O指定時にこのビットを“1”にすると、UARTi動作中でもSCLi端子から強制的に“L”を出力できます。このビットを“0”にすると、SCLi端子からの“L”出力は解除され、UARTiクロックが入出力されます。

ビット6は、SDA出力禁止ビットです。このビットを“1”にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、このビットの書き替えはUARTiの転送クロックの立ち上がりのタイミングでは行わないでください。アービトレーションロスト検出フラグがセットされる場合があります。

表20.2 IICモード選択ビット2によって変更される各機能

	機能	IICM2 = 0	IICM2 = 1
1	割り込み番号33, 35, 37の要因	アクリッジ未検出 (NACK)	UART2送信(最終ビットのクロックの立ち上がり)
2	割り込み番号34, 36, 38の要因	アクリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
3	DMA要因	アクリッジ検出 (ACK)	UART2受信(最終ビットのクロックの立ち下がり)
4	UARTi(i = 2~4)受信シフトレジスタから受信バッファへのデータ転送タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり
5	UARTi(i = 2~4)受信/ACK割り込み要求発生タイミング	受信クロックの最終ビットの立ち上がり	受信クロックの最終ビットの立ち下がり

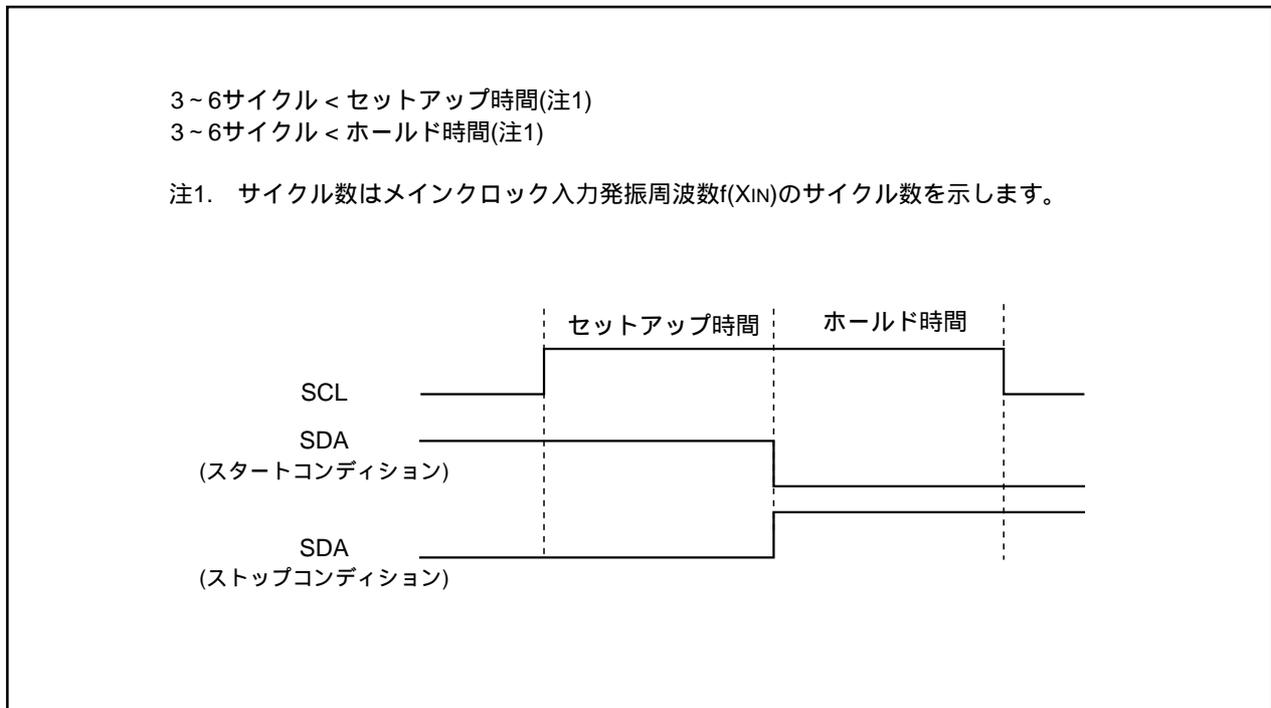


図20.4 スタート/ストップコンディション検出タイミング特性

UARTi特殊モードレジスタ3(i=2~4)(033516、032516、02F516番地)

ビット5~7は、SDAiデジタル遅延値設定ビットです。このビットの設定により、SDAiの出力を遅延無し、またはf(XIN)の2サイクル~8サイクルの遅延を設定できます。

(2)シリアルインターフェース特殊機能

UART3、UART4は、 \overline{SS}_i 入力端子を用いたシリアルバスの通信制御を行うことができます(図20.5)。転送クロックを出力するマスタは、転送クロックを入力するスレーブに対しデータを転送します。この時、データがバス上で衝突しないようにマスタは、他のスレーブ/マスタに対し、 \overline{SS}_i 入力端子を用いて出力端子をフローティングにします。このモードを制御するUARTi特殊モードレジスタ3(0325₁₆, 02F5₁₆番地)(i = 3, 4)の構成を図20.6に示します。

\overline{SS}_i 入力端子機能は、マスタ/スレーブで次の通りになります。

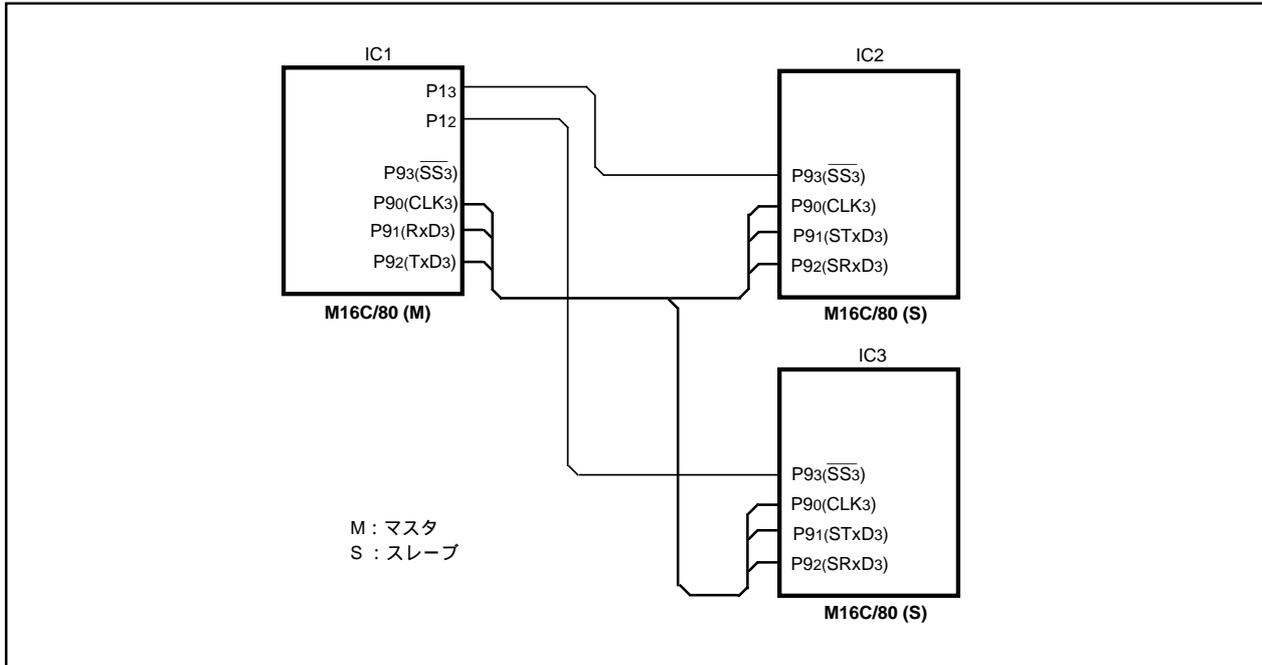


図20.5 SS入力端子を用いたシリアルバスの通信制御例

< STxDi、SRxDi選択(スレーブモード)の場合 > (DINC=1)

\overline{SS}_i 入力端子に“H”が入力されると、STxDi、SRxDiの各端子は、ハイインピーダンスになり、クロックの入力は無視されます。 \overline{SS}_i 入力端子に“L”が入力されると、クロックの入力が有効となり、シリアル通信が可能になります。(i = 3, 4)

< TxDi、RxDi選択(マスタモード)の場合 > (DINC=0)

マルチマスタのシステムの場合、 \overline{SS}_i 端子入力を使用します。 \overline{SS}_i 入力端子が“H”の場合、送信権を持っていることを示し、シリアル通信が可能となります。 \overline{SS}_i 入力端子に“L”が入力されると、別にマスタが存在していることを示し、TxDi、RxDi、CLKiの各端子は、ハイインピーダンスになり、さらに障害エラー割り込み要求ビットが“1”になります。通信中に障害エラーが発生しても、通信の動作は停止しません。通信を停止する場合、UARTi送受信モードレジスタ(0328₁₆, 02F8₁₆番地)のビット0、1、2に“0”を設定して下さい。(i = 3, 4)

障害エラー割り込みは、バス衝突割り込み、スタート/ストップコンディション検出割り込みと共用ですが、UARTi特殊モードレジスタ3(0325₁₆, 02F5₁₆番地)(i = 3, 4)のビット0に“1”を設定することで障害エラー割り込みが選択されます。

障害エラーフラグに“0”を設定するとクロック出力端子、データ出力端子を出力に復帰できます。マスタモード選択時では、 \overline{SS}_i 入力端子が“H”であれば、障害エラーフラグに“0”を書き込むことができます。 \overline{SS}_i 入力端子が“L”であれば、障害エラーフラグに“0”を書き込めません。スレーブモードの場合、 \overline{SS}_i 入力端子の入力に関係無く障害エラーフラグに“0”を書き込むことができます。

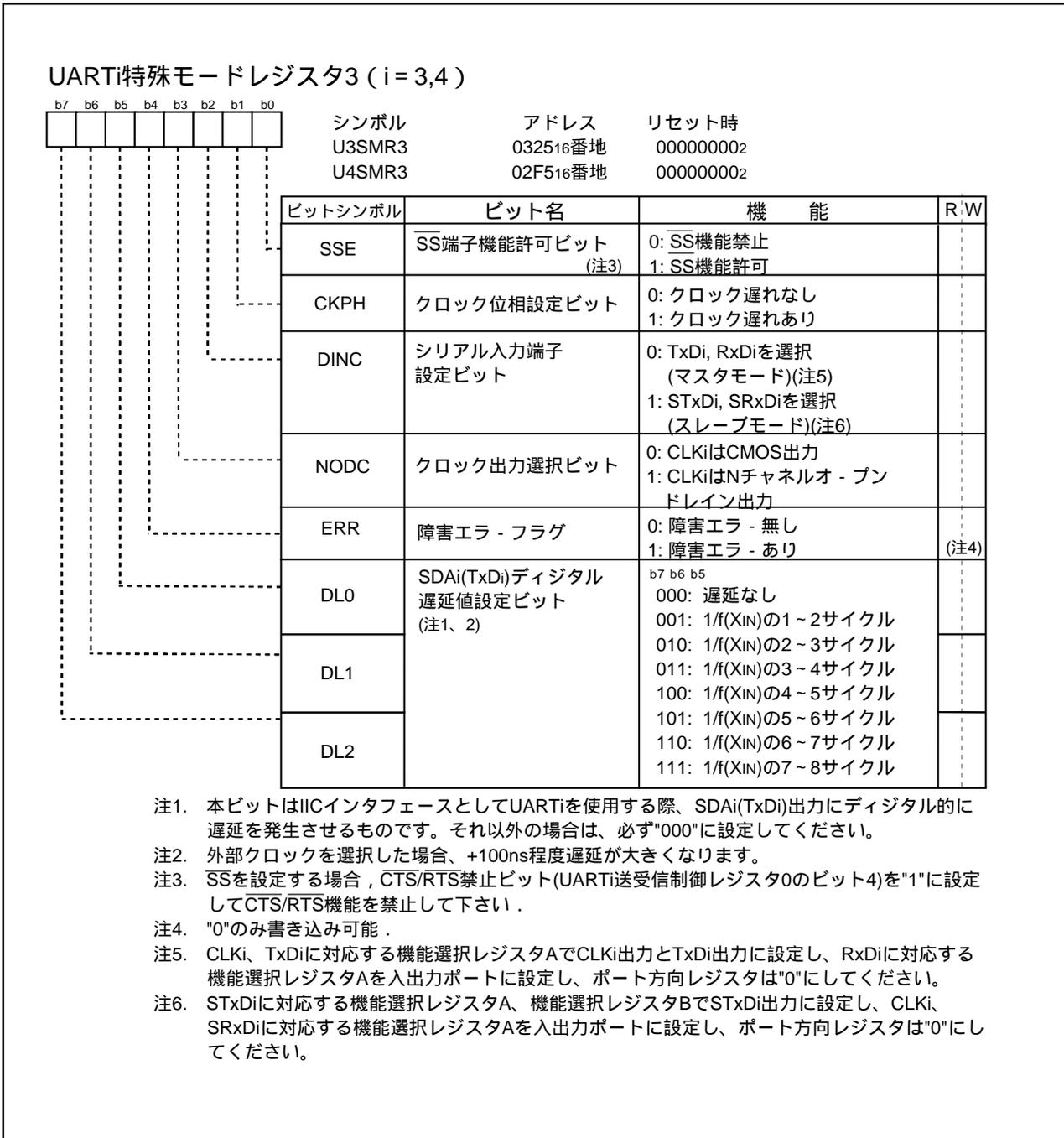


図20.6 UARTi特殊モードレジスタ3(i = 3, 4)の構成

クロック位相設定機能

UARTi特殊モードレジスタ3(0325₁₆, 02F5₁₆番地)(i = 3, 4)のビット1と、UARTi送受信制御レジスタ0(032C₁₆, 02FC₁₆番地)(i = 3, 4)のビット6によって転送クロックの相と極性の4つの組み合わせを選択できます。

UARTi送受信制御レジスタ0(032C₁₆, 02FC₁₆番地)(i = 3, 4)のビット6によって転送クロックの極性を切り替えられ、UARTi特殊モードレジスタ3(0325₁₆, 02F5₁₆番地)(i = 3, 4)のビット1によって転送クロックの相を切り替えられます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにする必要があります。

< マスタ(内部クロック)の場合 > (DINC=0)

図20.7に送受信のタイミングを示します。

< スレーブ(外部クロック)の場合 > (DINC=1)

- ・ UARTi特殊モードレジスタ3(0325₁₆, 02F5₁₆番地)(i = 3, 4)のビット1(CKPH)が “ 0 ” の場合

SSi入力端子が “ H ” の時、出力データはハイインピーダンスです。SSi入力端子が “ L ” でシリアル転送を開始する条件が揃いますが、出力は不定です。その後、クロックに同期してシリアル転送を行います。図20.8にタイミングを示します。

- ・ UARTi特殊モードレジスタ3(0325₁₆, 02F5₁₆番地)(i = 3, 4)のビット1(CKPH)が “ 1 ” の場合

SSi入力端子が “ H ” の時、出力データはハイインピーダンスです。SSi端子が “ L ” で最初のデータが出力します。その後、クロックに同期してシリアル転送を行います。図20.9にタイミングを示します。

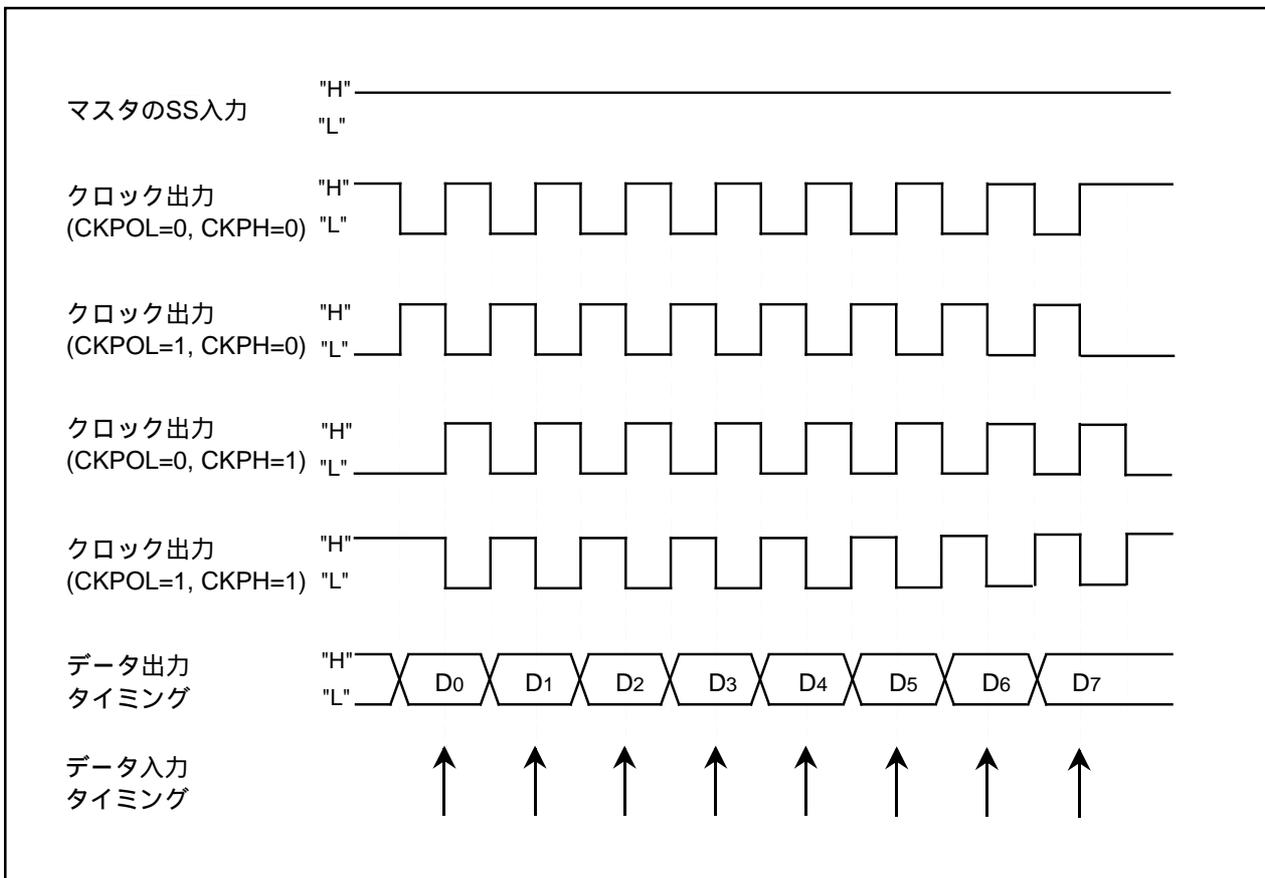


図20.7 マスタ(内部クロック)の場合の送受信のタイミング

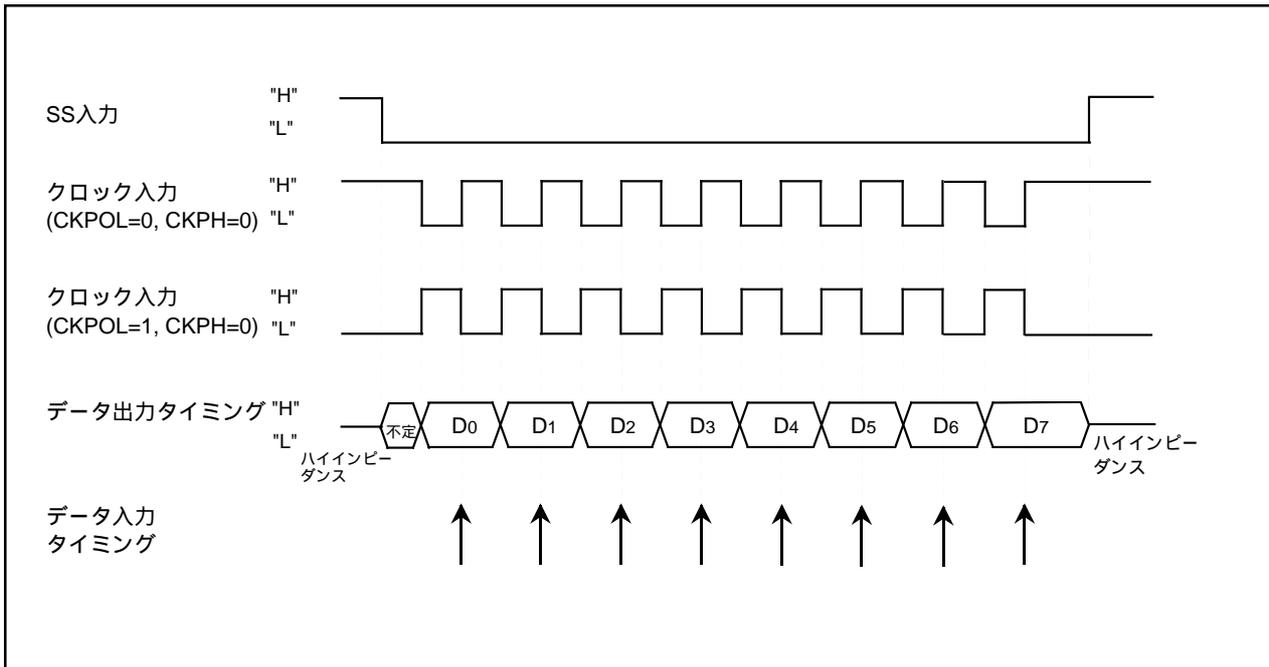


図20.8 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

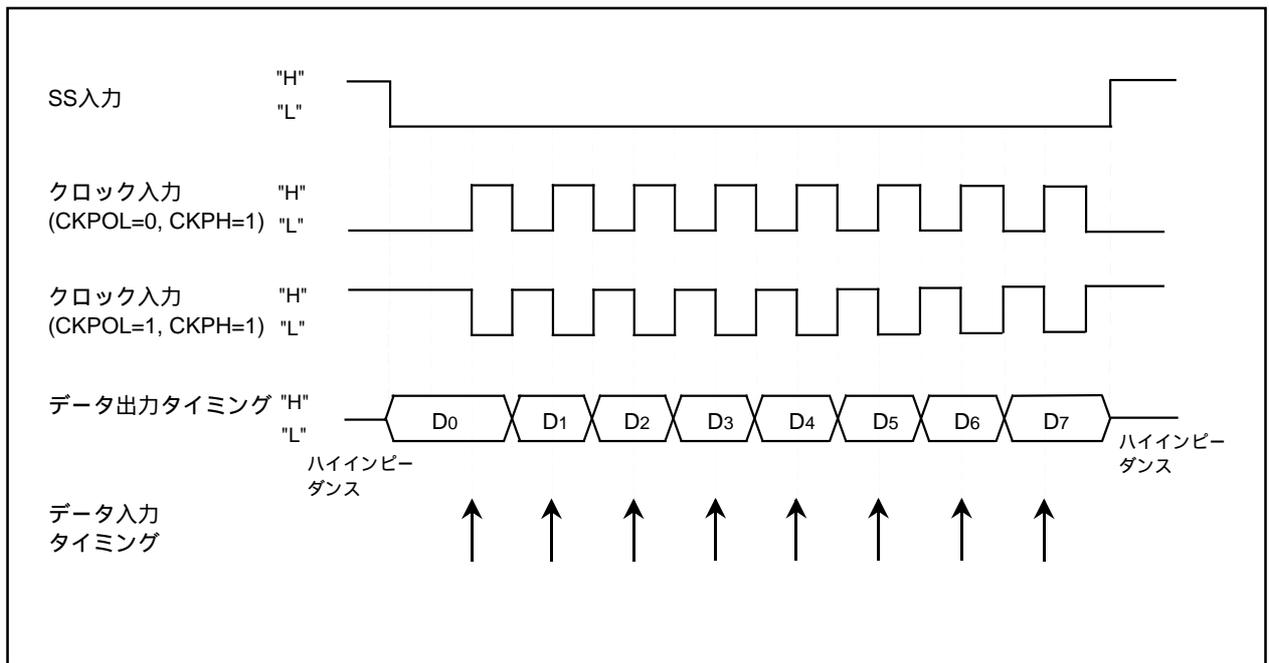


図20.9 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

21. A/Dコンバータ

容量結合増幅器で構成され、10ビットの逐次比較変換方式のA/Dコンバータを1回路内蔵しています。アナログ信号入力端子は、P10₀～P10₇、P9₅、P9₆と共用していますのでA/D変換を行う端子に対応する方向レジスタは入力に設定してください。また、V_{REF}接続ビット(0397₁₆番地のビット5)によりA/Dコンバータを使用しないとき、A/Dコンバータの抵抗ラダーと基準電圧入力端子(V_{REF})を切り離すことができます。切り離すことにより、V_{REF}端子から抵抗ラダーには電流が流れなくなり、消費電力を少なくすることができます。A/Dコンバータを使用する場合は、V_{REF}を接続してからA/D変換をスタートさせてください。

A/D変換した結果は、選択した端子に対応したA/Dレジスタに格納されます。変換精度を10ビットに設定した場合は、下位8ビットが偶数番地に、上位2ビットが奇数番地に格納され、8ビットに設定した場合は、下位8ビットだけが偶数番地に格納されます。

表21.1にA/Dコンバータの性能を、図21.1にA/Dコンバータのブロック図を、図21.2、図21.3にA/Dコンバータ関連のレジスタを示します。

表21.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AV _{CC} (V _{CC})
動作クロック AD(注2)	V _{CC} =5Vのとき f _{AD} /f _{AD} の2分周/f _{AD} の4分周/f _{AD} =f(X _{IN}) V _{CC} =3Vのとき f _{AD} の2分周/f _{AD} の4分周/f _{AD} =f(X _{IN})
分解能	8/10ビット選択可能
絶対精度	V _{CC} = 5Vのとき 分解能8ビット ±2LSB 分解能10ビット ±3LSB ただし、AN ₀ ～AN ₇ を外部オペアンプモード接続で使用する場合、±7LSB V _{CC} = 3Vのとき サンプル&ホールド機能なし(分解能8ビット) ±2LSB
動作モード	単発モード/繰り返しモード/単掃引モード/繰り返し掃引モード0 /繰り返し掃引モード1
アナログ入力端子	8本(AN ₀ ～AN ₇) + 2本(ANEX ₀ ,ANEX ₁)
A/D変換開始条件	ソフトウエアトリガ A/D変換開始フラグを“1”にするとA/D変換を開始 外部トリガ(再トリガ可能) A/D変換開始フラグを“1”にし、かつADTRG/P9 ₇ 入力が“H”から“L”の変化でA/D変換を開始
1端子あたりの変換速度	サンプル&ホールドなし 分解能8ビットの場合49 ADサイクル 分解能10ビットの場合59 ADサイクル サンプル&ホールドあり 分解能8ビットの場合28 ADサイクル 分解能10ビットの場合33 ADサイクル

注1. サンプル&ホールド機能の有無に依存しません。

注2. f(X_{IN})が10MHzを超える場合は分周し、ADの周波数を10MHz以下にしてください。

サンプル&ホールド機能なしのとき ADの周波数は250kHz以上にしてください。

サンプル&ホールド機能ありのとき ADの周波数は1MHz以上にしてください。

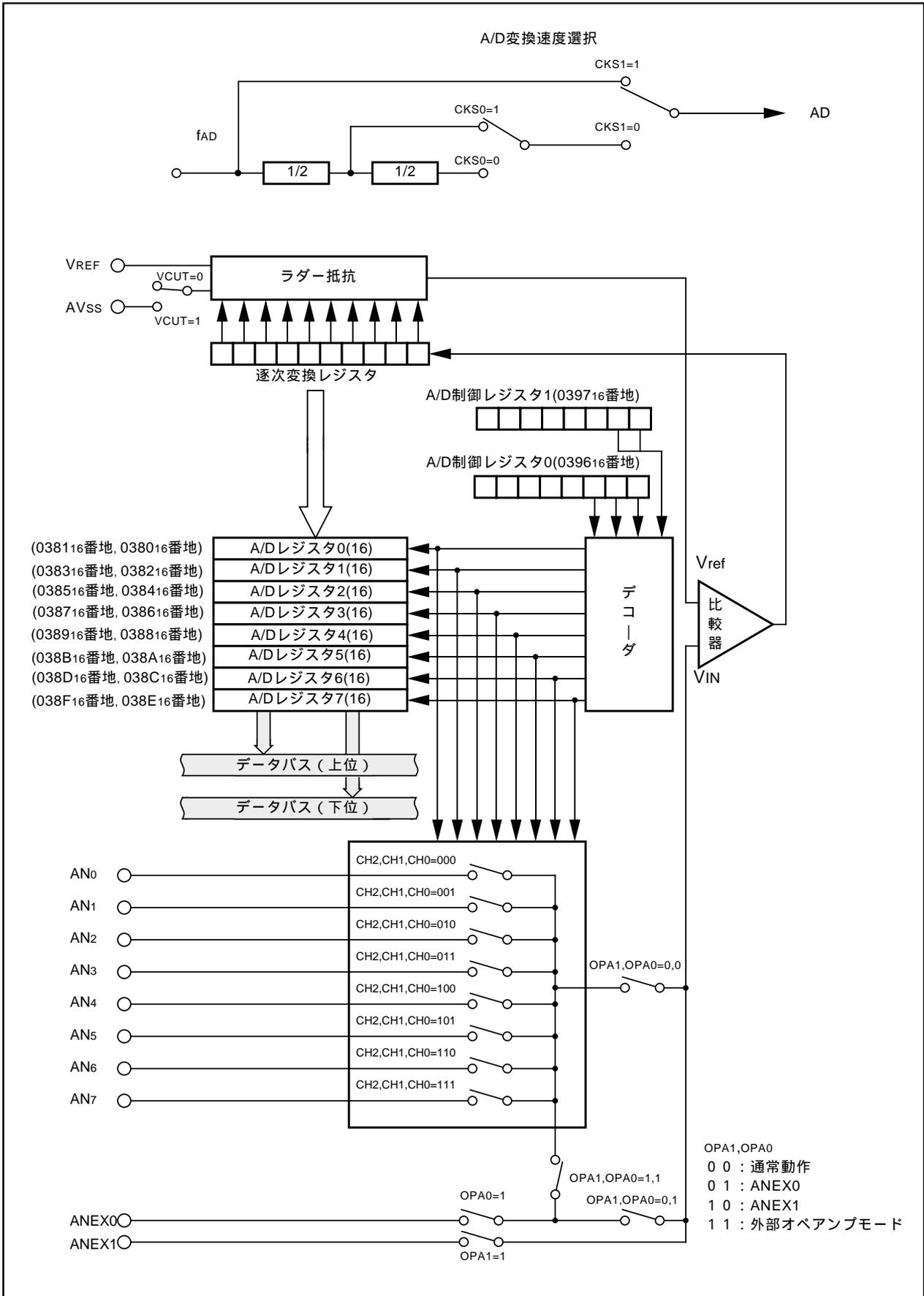


図21.1 A/Dコンバータのブロック図

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル ADCON0	アドレス 0396 ₁₆ 番地	リセット時 0000XXX ₂
----	----	----	----	----	----	----	----	----------------	-------------------------------	-------------------------------

ビットシンボル	ビット名	機能	R/W
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 : AN ₀ を選択 0 0 1 : AN ₁ を選択 0 1 0 : AN ₂ を選択 0 1 1 : AN ₃ を選択 1 0 0 : AN ₄ を選択 1 0 1 : AN ₅ を選択 1 1 0 : AN ₆ を選択 1 1 1 : AN ₇ を選択 (注2)	
CH1			
CH2			
MD0	A/D動作モード選択ビット0	b4 b3 0 0 : 単発モード 0 1 : 繰り返しモード 1 0 : 単掃引モード 1 1 : 繰り返し掃引モード0 (注2) 繰り返し掃引モード1	
MD1			
TRG	トリガ選択ビット	0 : ソフトウェアトリガ 1 : ADTRGによるトリガ	
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	
CKS0	周波数選択ビット0	0 : f _{AD} /4を選択 1 : f _{AD} /2を選択	

注1. A/D変換中にA/D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
 注2. A/D動作モードを変更した場合には、あらかじめアナログ入力端子の設定を行う必要があります。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	シンボル ADCON1	アドレス 0397 ₁₆ 番地	リセット時 00 ₁₆
----	----	----	----	----	----	----	----	----------------	-------------------------------	---------------------------

ビットシンボル	ビット名	機能	R/W
SCAN0	A/D掃引端子選択ビット	単掃引、繰り返し掃引モード0選択時 b1 b0 0 0 : AN ₀ , AN ₁ (2端子) 0 1 : AN ₀ - AN ₃ (4端子) 1 0 : AN ₀ - AN ₅ (6端子) 1 1 : AN ₀ - AN ₇ (8端子)	
SCAN1			繰り返し掃引モード1選択時 b1 b0 0 0 : AN ₀ (1端子) 0 1 : AN ₀ , AN ₁ (2端子) 1 0 : AN ₀ - AN ₂ (3端子) 1 1 : AN ₀ - AN ₃ (4端子)
MD2	A/D動作モード選択ビット1	0 : 繰り返し掃引モード1以外 1 : 繰り返し掃引モード1	
BITS	8/10ビットモード選択ビット	0 : 8ビットモード 1 : 10ビットモード	
CKS1	周波数選択ビット1 (注2)	0 : f _{AD} /2または f _{AD} /4を選択 1 : f _{AD} を選択	
VCUT	V _{ref} 接続ビット	0 : V _{ref} 未接続 1 : V _{ref} 接続	
OPA0	外部オペアンプ接続 モードビット	b7 b6 0 0 : ANEX0, ANEX1は使用しない (注3) 0 1 : ANEX0入力をAD変換 (注4) 1 0 : ANEX1入力をAD変換 (注5) 1 1 : 外部オペアンプ接続モード (注6)	
OPA1			

注1. A/D変換中にA/D制御レジスタの内容を書き替えた場合、変換結果は不定となります。
 注2. f(XIN)が10MHzを越える場合は分周し ADの周波数を10MHz以下にしてください。
 注3. 機能選択レジスタB3のPSL3_5、PSL3_6に"0"を設定してください。
 注4. 機能選択レジスタB3のPSL3_5に"1"を設定してください。
 注5. 機能選択レジスタB3のPSL3_6に"1"を設定してください。
 注6. 機能選択レジスタB3のPSL3_5、PSL3_6に"1"を設定してください。

図21.2 A/Dコンバータ関連レジスタ(1)

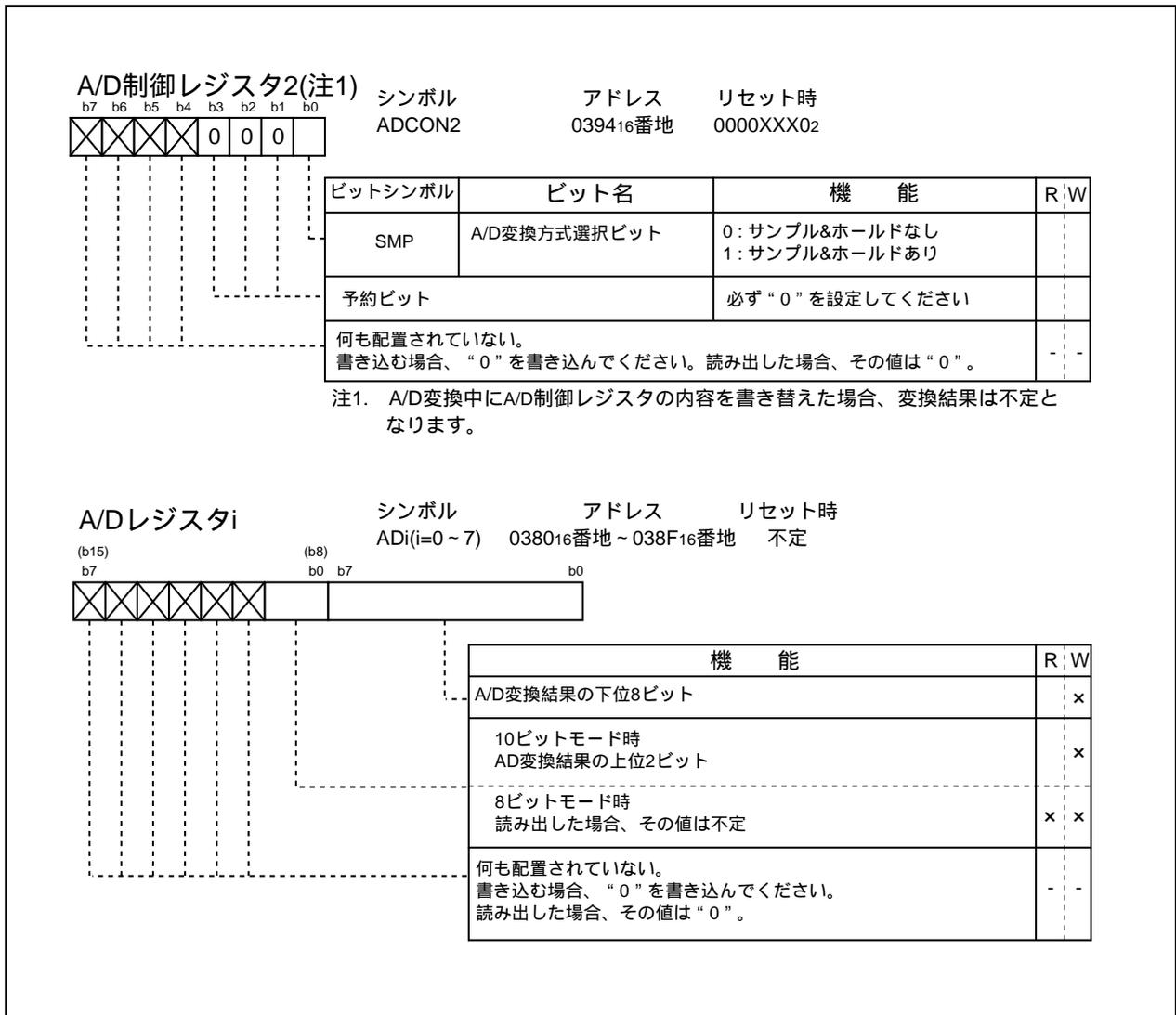


図21.3 A/Dコンバータ関連レジスタ(2)

(1) 単発モード

アナログ入力端子選択ビットで選択した1本の端子を1回A/D変換するモードです。表21.2に単発モードの仕様、図21.4に単発モード時のA/D制御レジスタ構成を示します。

表21.2 単発モードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を1回A/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換終了(A/D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN ₀ ~ AN ₇ より1端子を選択
A/D変換値の読み出し	選択した端子に対応したA/Dレジスタの読み出し

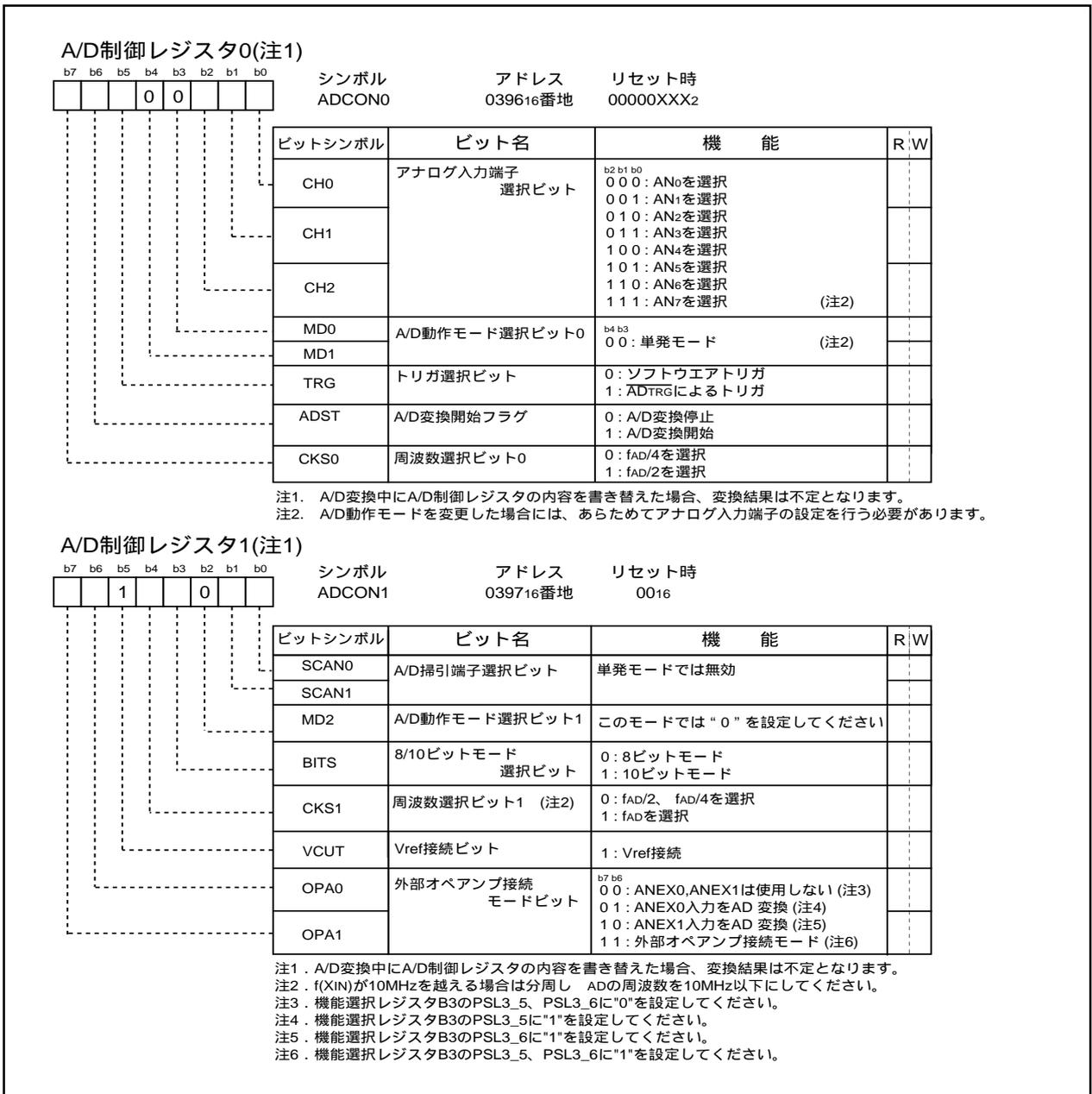


図21.4 単発モード時のA/D制御レジスタ

(2) 繰り返しモード

アナログ入力端子選択ビットで選択した1本の端子を繰り返しA/D変換するモードです。表21.3に繰り返しモードの仕様、図21.5に繰り返しモード時のA/D制御レジスタ構成を示します。

表21.3 繰り返しモードの仕様

項目	仕様
機能	アナログ入力端子選択ビットで選択した1本の端子を繰り返しA/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN ₀ ~ AN ₇ より1端子を選択
A/D変換値の読み出し	選択した端子に対応したA/Dレジスタの読み出し(常時読み出し可能)

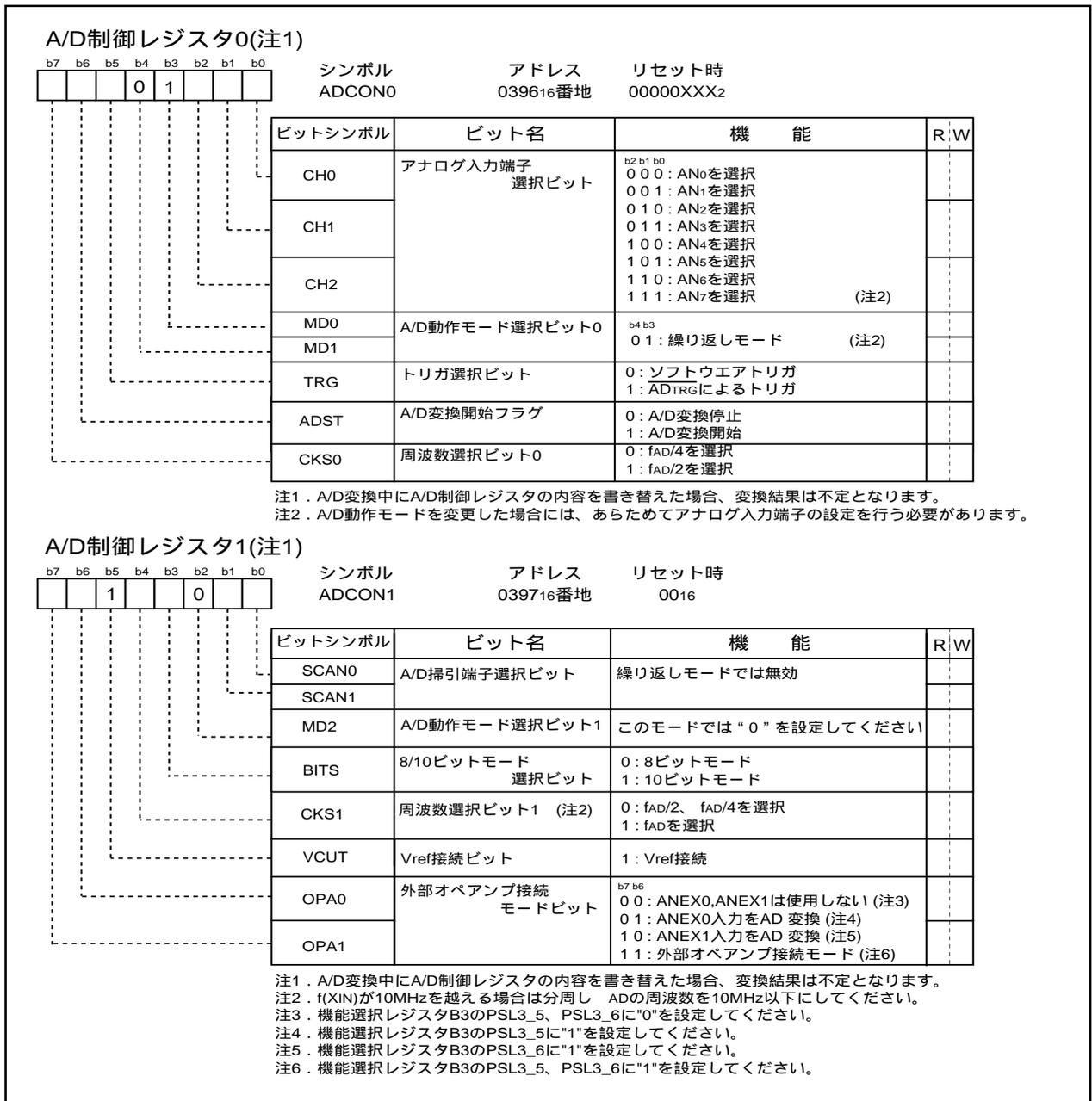


図21.5 繰り返しモード時のA/D制御レジスタ

(3) 単掃引モード

A/D掃引端子選択ビットで選択した端子を1回ずつA/D変換するモードです。表21.4に単掃引モードの仕様、図21.6に単掃引モード時のA/D制御レジスタ構成を示します。

表21.4 単掃引モードの仕様

項目	仕様
機能	A/D掃引端子選択ビットで選択した端子を1回ずつA/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換終了(A/D変換開始フラグは“0”になる。ただし外部トリガ選択時は除く) A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	A/D変換終了時
入力端子	AN ₀ ,AN ₁ (2端子)、AN ₀ ~AN ₃ (4端子)、AN ₀ ~AN ₅ (6端子)、AN ₀ ~AN ₇ (8端子)
A/D変換値の読み出し	選択した端子に対応したA/Dレジスタの読み出し

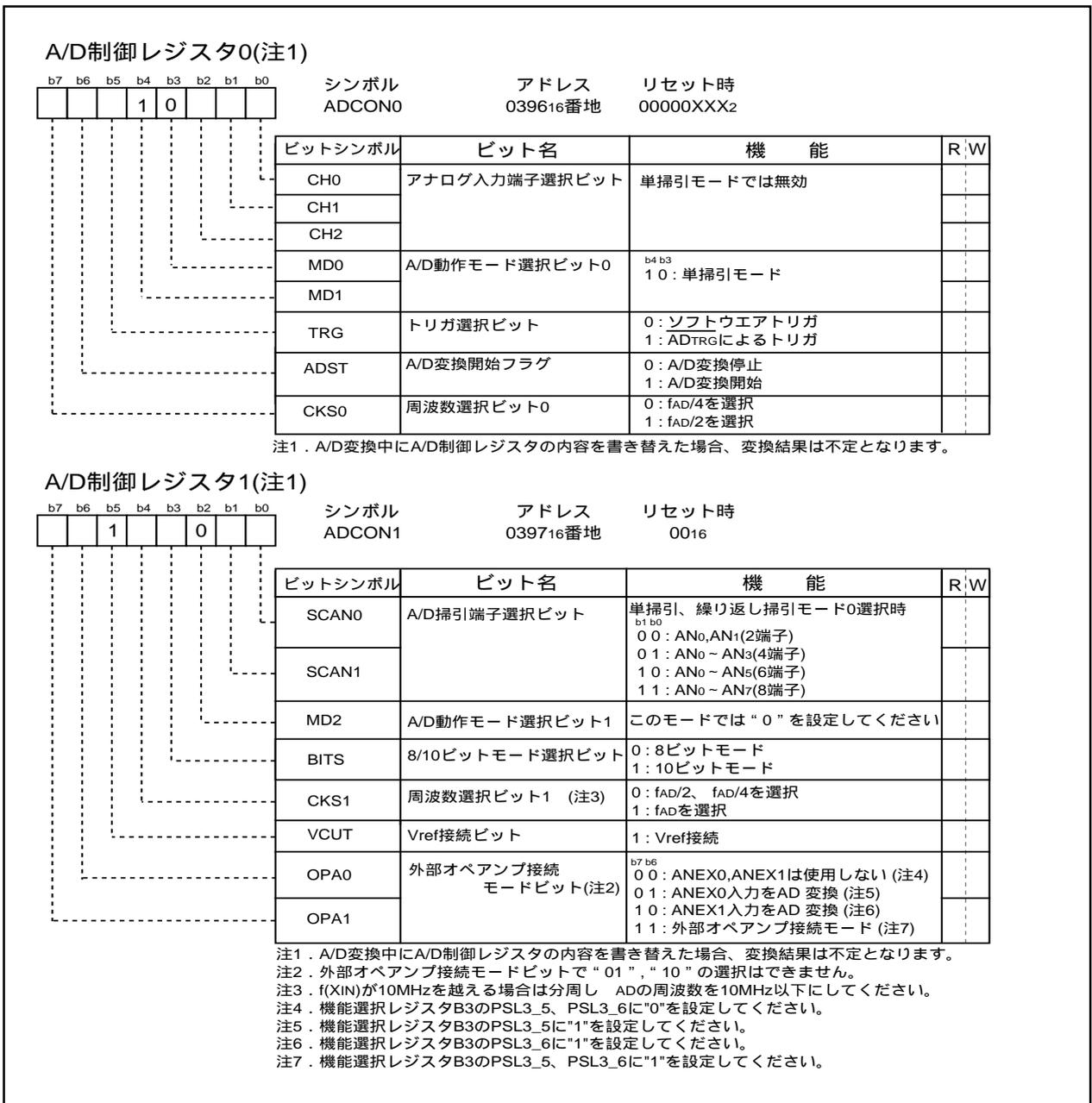


図21.6 単掃引モード時のA/D制御レジスタ

(4) 繰り返し掃引モード0

A/D掃引端子選択ビットで選択した端子を繰り返しA/D変換するモードです。表21.5に繰り返し掃引モード0の仕様、図21.7に繰り返し掃引モード0時のA/D制御レジスタ構成を示します。

表21.5 繰り返し掃引モード0の仕様

項目	仕様
機能	A/D掃引端子選択ビットで選択した端子を繰り返しA/D変換する
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN ₀ , AN ₁ (2端子)、AN ₀ ~ AN ₃ (4端子)、AN ₀ ~ AN ₅ (6端子)、AN ₀ ~ AN ₇ (8端子)
A/D変換値の読み出し	選択した端子に対応したA/Dレジスタの読み出し(常時読み出し可能)

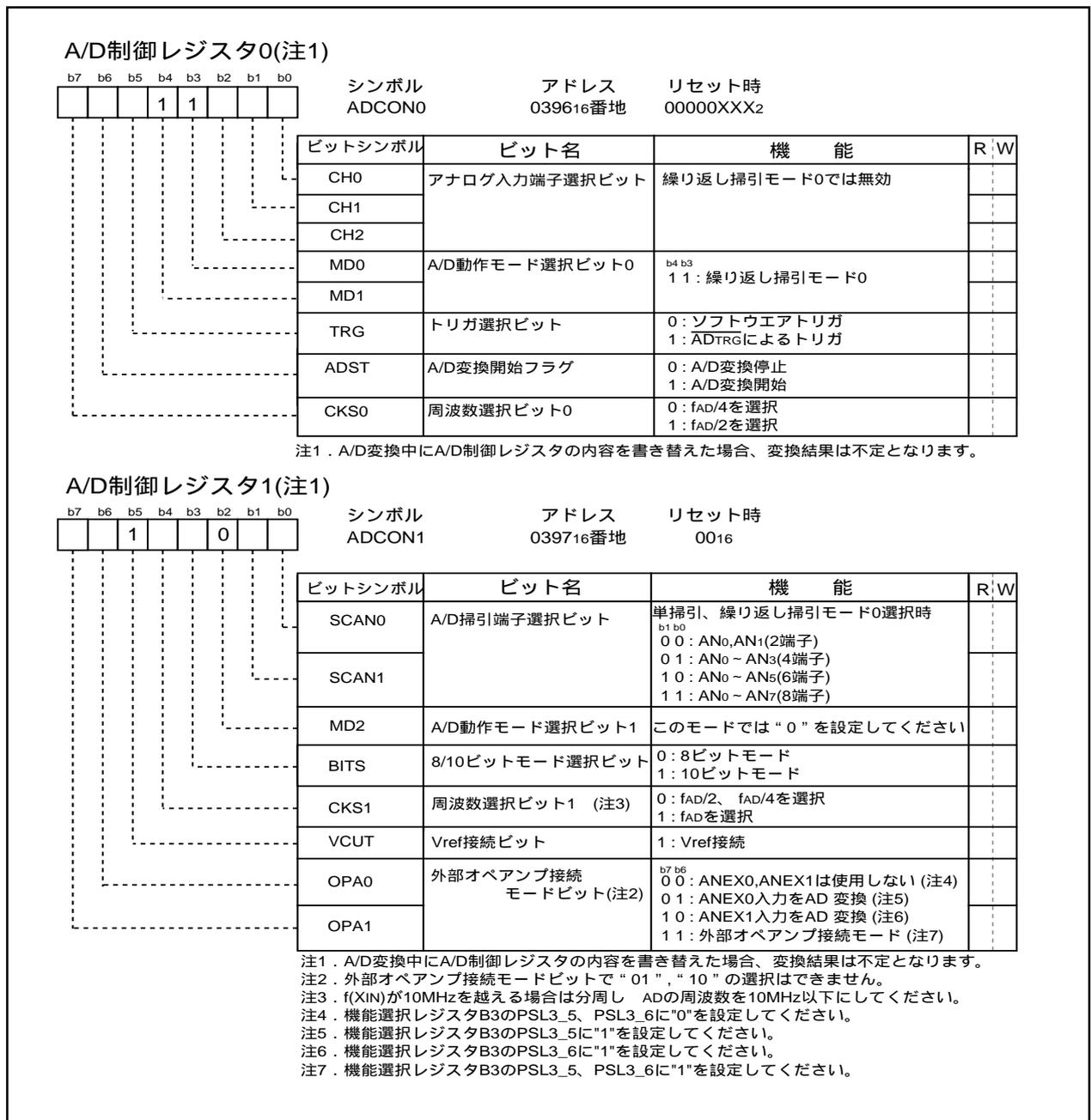


図21.7 繰り返し掃引モード0時のA/D制御レジスタ

(5) 繰り返し掃引モード1

A/D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA/D変換するモードです。表21.6に繰り返し掃引モード1の仕様、図21.8に繰り返し掃引モード1時のA/D制御レジスタ構成を示します。

表21.6 繰り返し掃引モード1の仕様

項目	仕様
機能	A/D掃引端子選択ビットで選択した端子に重点をおいて全端子を繰り返しA/D変換する 例：AN ₀ を選択した場合 AN ₀ AN ₁ AN ₀ AN ₂ AN ₀ AN ₃ ・・・となる
開始条件	A/D変換開始フラグへの“1”書き込み
停止条件	A/D変換開始フラグへの“0”書き込み
割り込み要求発生タイミング	発生しない
入力端子	AN ₀ ~ AN ₇
重点的に行う端子	AN ₀ (1端子)、AN ₀ ,AN ₁ (2端子)、AN ₀ ~ AN ₂ (3端子)、AN ₀ ~ AN ₃ (4端子)
A/D変換値の読み出し	選択した端子に対応したA/Dレジスタの読み出し(常時読み出し可能)

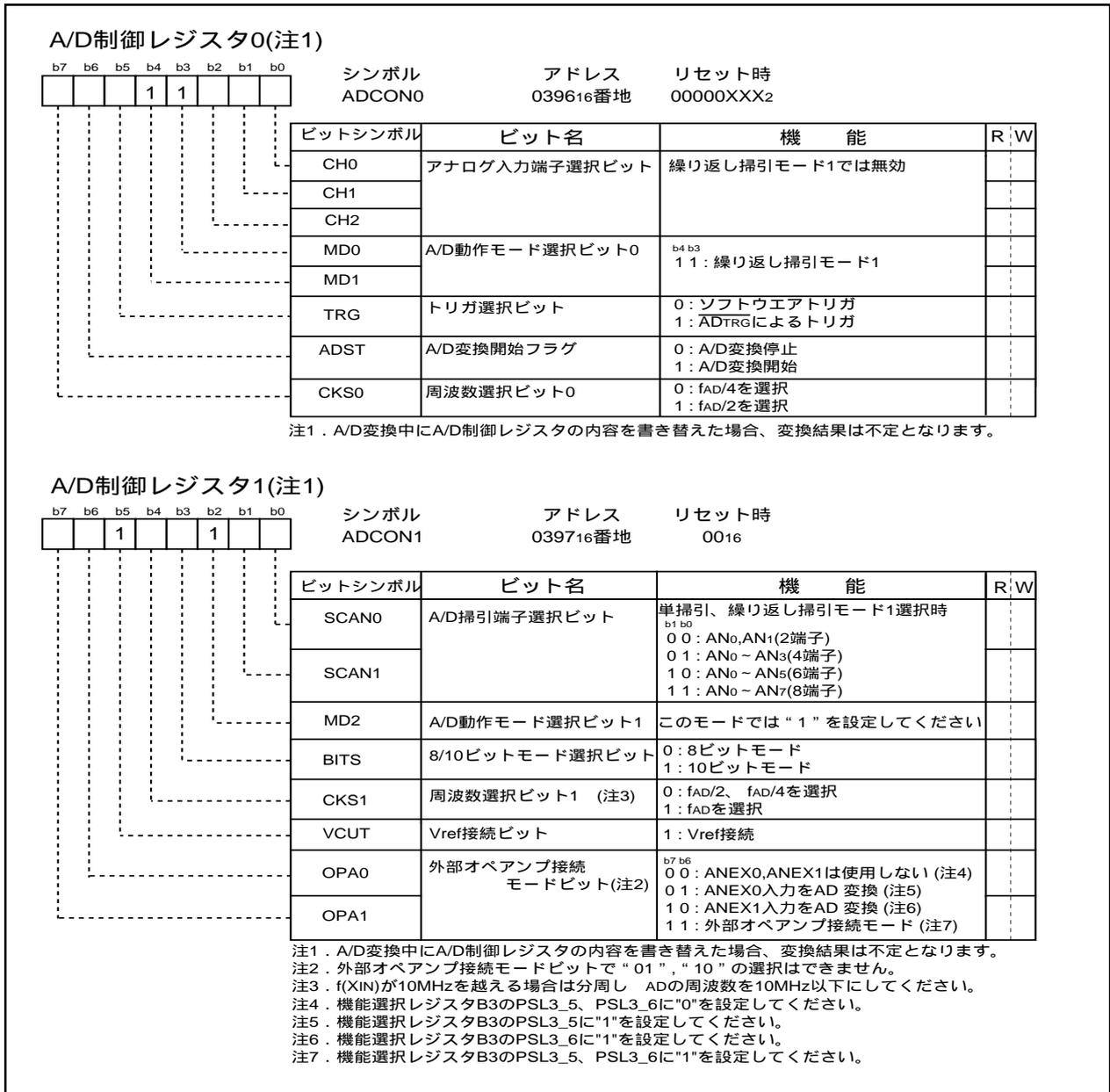


図21.8 繰り返し掃引モード1時のA/D制御レジスタ

サンプル&ホールド

A/D制御レジスタ2(0394₁₆番地)のビット0の内容を“1”にすることによって、サンプル&ホールドを選択できます。サンプル&ホールドを選択したときは1端子あたりの変換速度も向上し、分解能8ビットの場合28 ADサイクル、分解能10ビットの場合33 ADサイクルです。サンプル&ホールドは、すべての動作モードに対して有効です。ただし、いずれの動作モードにおいても、サンプル&ホールドの有無を選択してからA/D変換を開始してください。

拡張アナログ入力端子

単発モード、繰り返しモードでは、拡張アナログ入力端子ANEX0、ANEX1の2端子からの入力をA/D変換することができます。

A/D制御レジスタ1(0397₁₆番地)のビット6の内容が“1”、ビット7の内容が“0”のとき、ANEX0からの入力をA/D変換します。A/D変換結果は、A/Dレジスタ0に格納されます。

A/D制御レジスタ1(0397₁₆番地)のビット6の内容が“0”、ビット7の内容が“1”のとき、ANEX1からの入力をA/D変換します。A/D変換結果は、A/Dレジスタ1に格納されます。

機能選択レジスタB3の対応する入力周辺機能を禁止に設定してください。

外部オペアンプ接続モード

拡張アナログ入力端子ANEX0、ANEX1を用いて外部からの複数のアナログ入力を1個のオペアンプで共通に増幅して、A/D変換入力として使用することができます。

A/D制御レジスタ1(0397₁₆番地)のビット6の内容が“1”、ビット7の内容が“1”のとき、AN0～AN7からの入力をANEX0から出力します。A/D変換はANEX1からの入力に対して行われ、A/D変換結果は対応するA/Dレジスタに格納されます。A/D変換速度は外付けのオペアンプの応答特性に依存します。なお、ANEX0端子とANEX1端子とを直結して使用しないでください。図21.9に外部オペアンプ接続モードの接続例を示します。

機能選択レジスタB3の対応する入力周辺機能を禁止に設定してください。

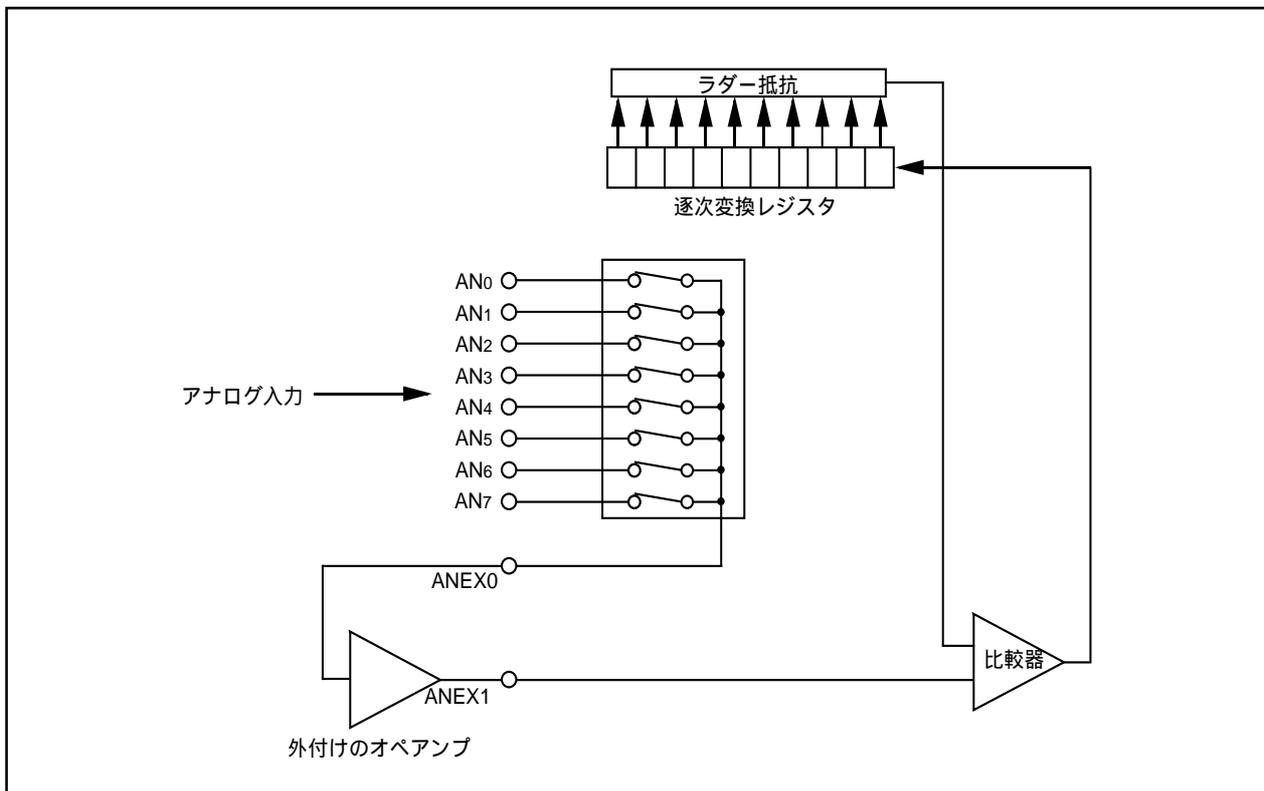


図21.9 外部オペアンプ接続モードの接続例

22. D/Aコンバータ

8ビットのR-2R方式によるD/Aコンバータです。独立した2つのD/Aコンバータを内蔵しています。

D/A変換は、対応したD/Aレジスタに値を書き込むことで行われます。変換結果を出力するかどうかはD/A制御レジスタのビット0、ビット1(D/A出力許可ビット)によって設定します。D/A変換を使用する場合は、対象となるポートは出力モードに設定しないでください。機能選択レジスタA3を入出力ポートに、機能選択レジスタB3の対応する入力周辺機能を禁止に設定し、方向レジスタを入力モードに設定してください。D/A出力を許可状態にすると対応するポートのプルアップは禁止されます。

出力されるアナログ電圧Vは、D/Aレジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n=0 \sim 255)$$

V_{REF} :基準電圧

表22.1にD/Aコンバータの性能を、図22.1にD/Aコンバータのブロック図を、図22.2にD/A制御レジスタの構成を、図22.3にD/Aコンバータの等価回路を示します。

表22.1 D/Aコンバータの性能

項目	性能
変換方式	R-2R方式
分解能	8ビット
アナログ出力端子	2チャンネル

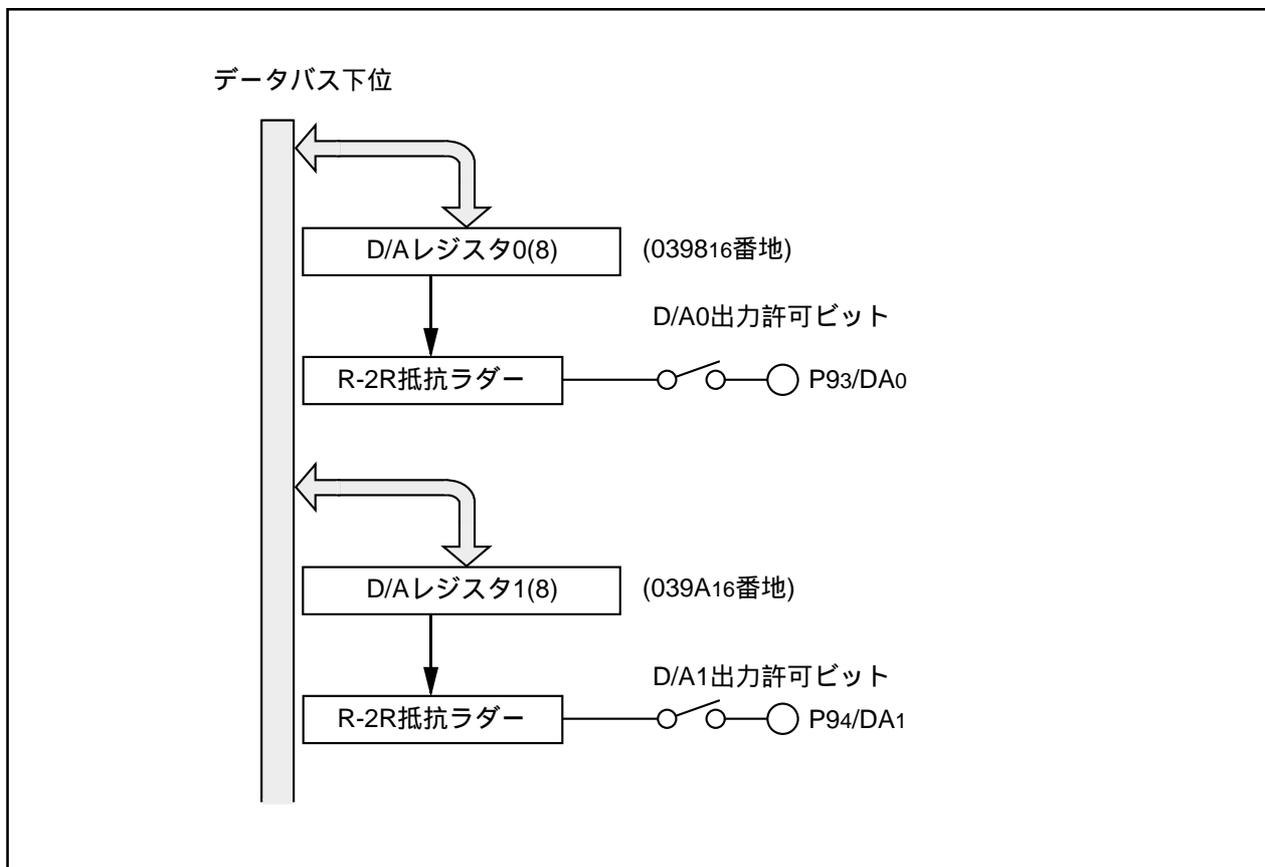


図22.1 D/Aコンバータのブロック図

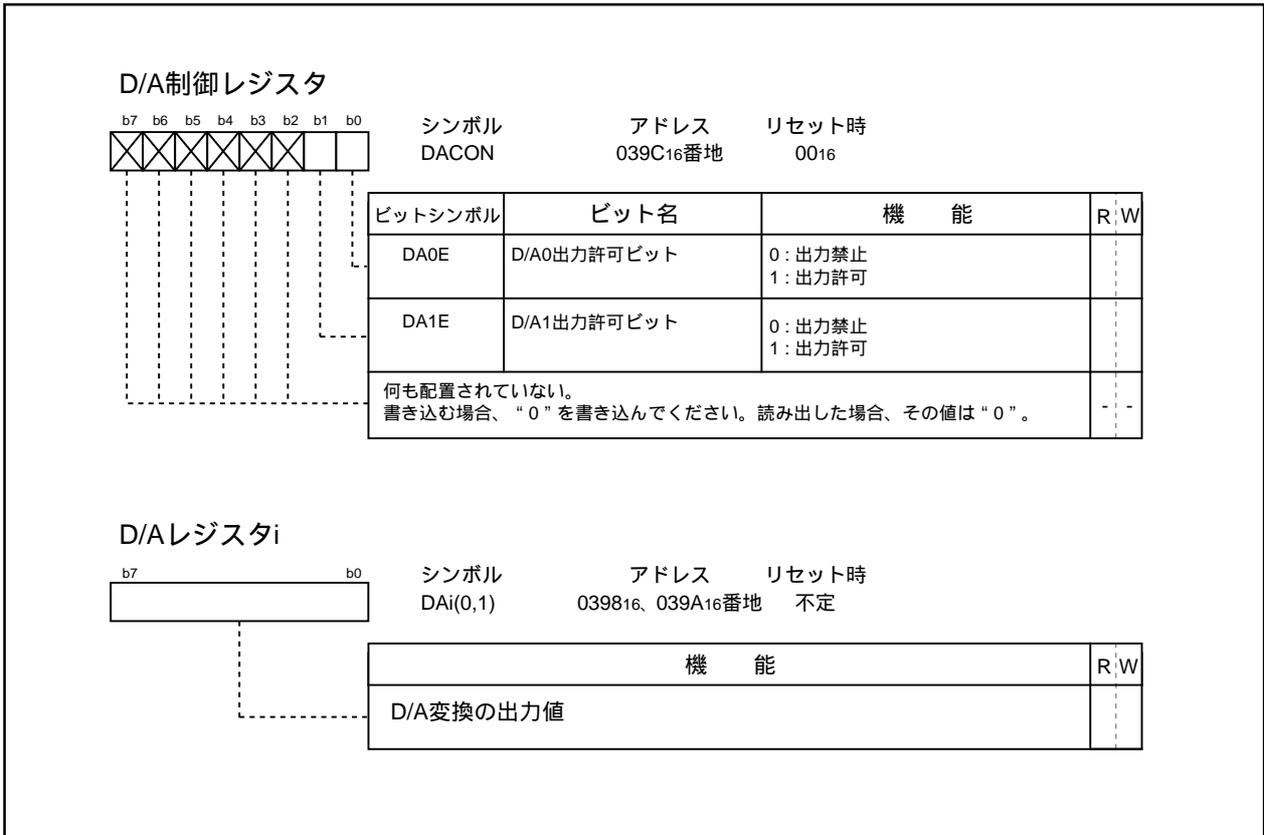


図22.2 D/A制御レジスタの構成

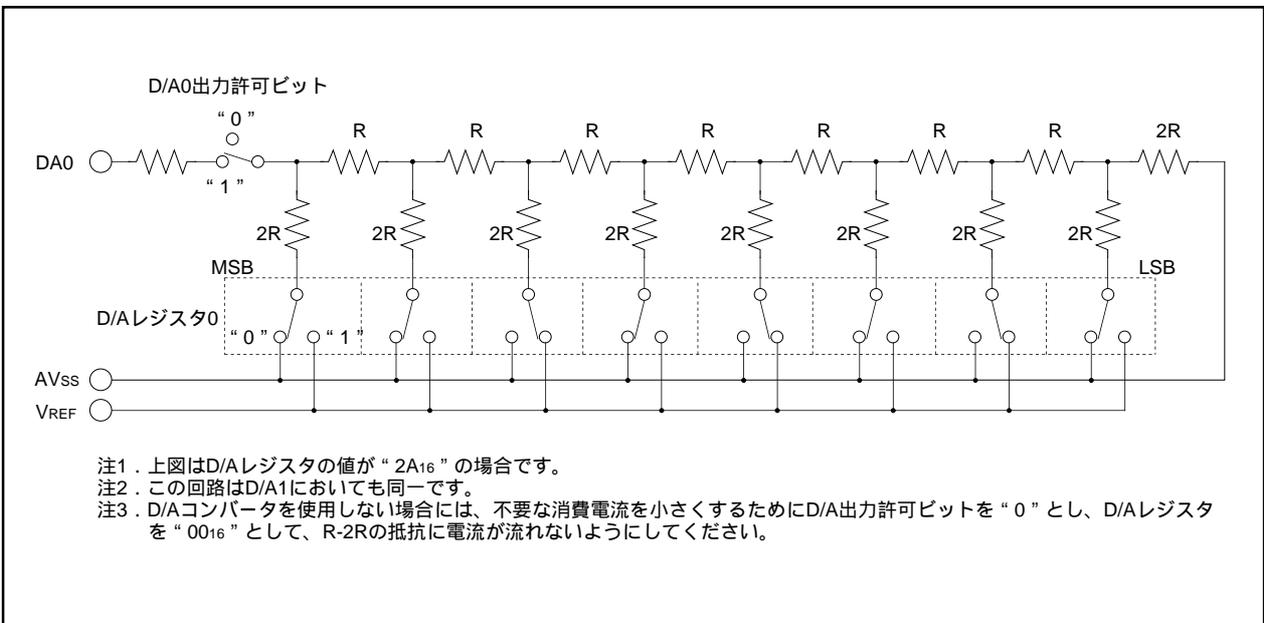


図22.3 D/Aコンバータの等価回路

23. CRC演算回路

CRC(Cyclic Redundancy Check)演算回路は、データブロックの誤り検出を行います。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^5+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCデータレジスタに初期値を設定した後、1バイトのデータをCRCインプットレジスタに転送するごとに、CRCデータレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2マシンサイクルで終了します。

図23.1にCRCのブロック図、図23.2にCRCの関連レジスタを示します。また、図23.3にCRC演算回路の演算例を示します。

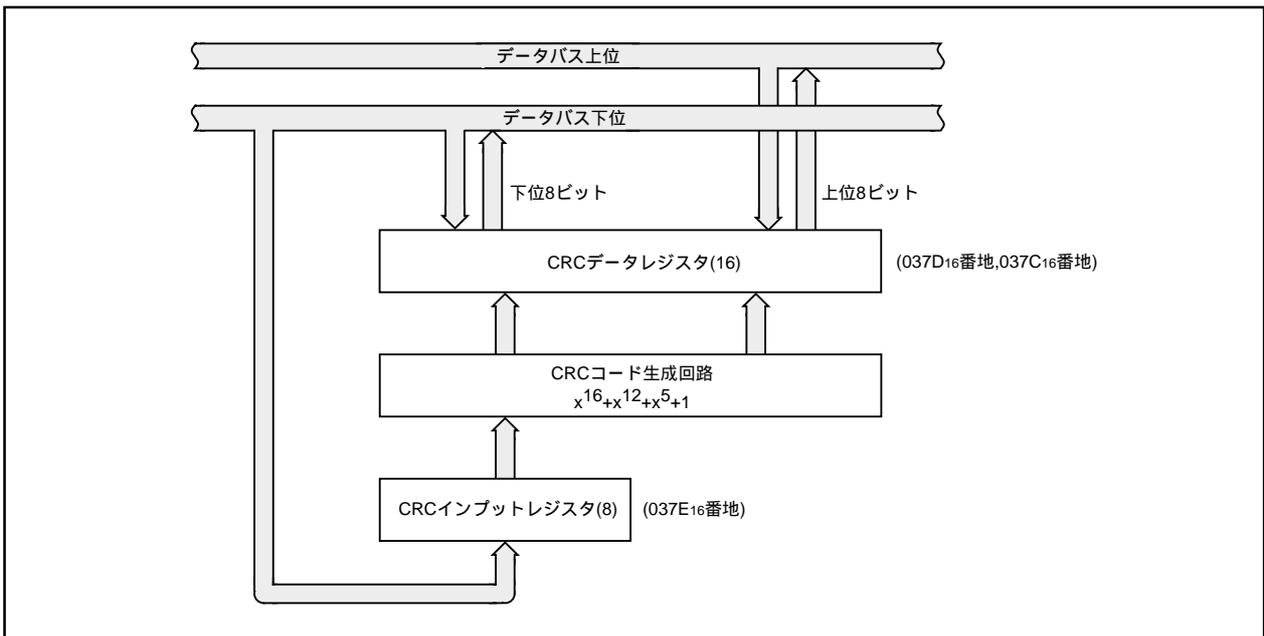


図23.1 CRCブロック図

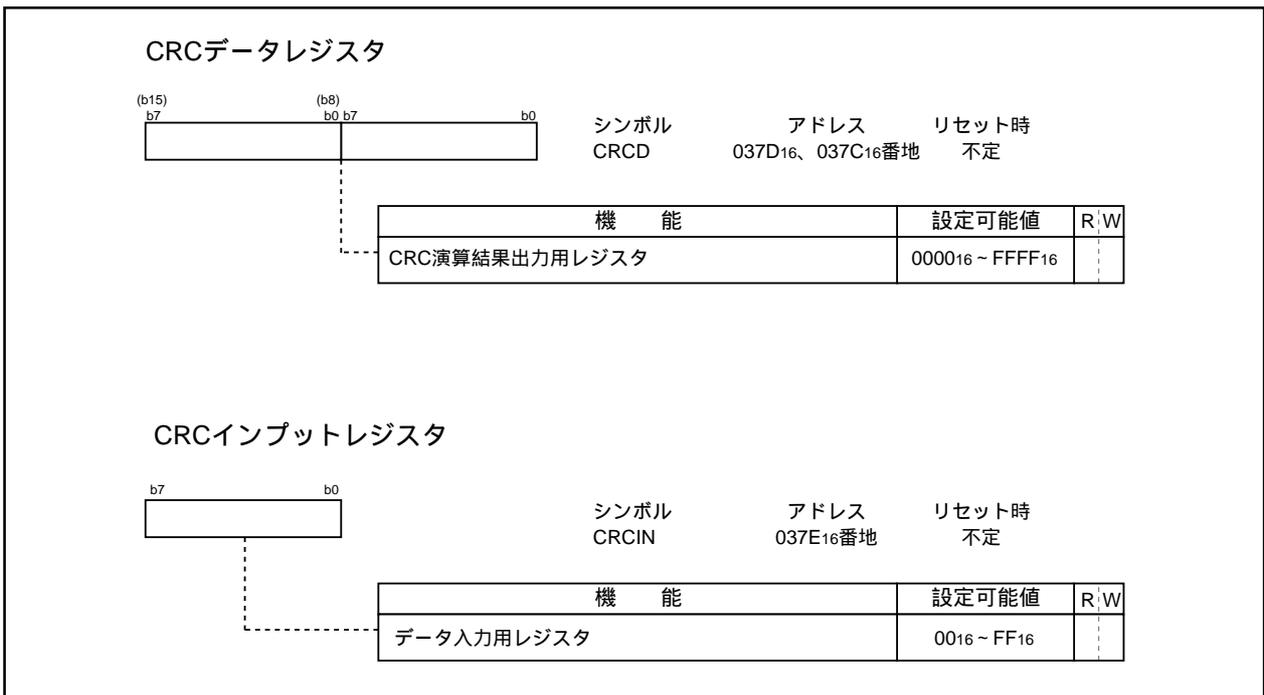


図23.2 CRC関連レジスタ

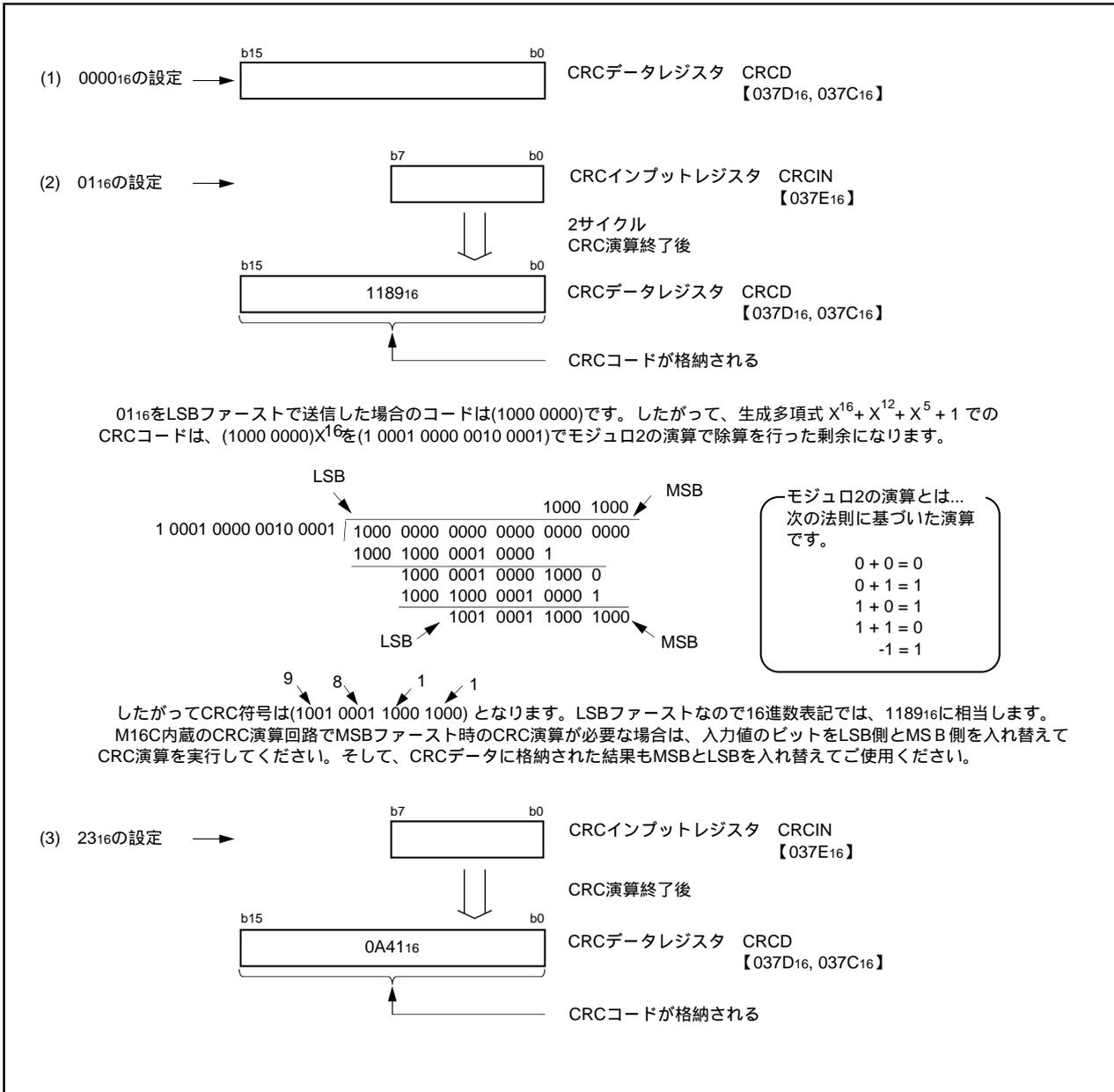


図23.3 CRC演算回路の演算例

24. XY変換

XY変換は16×16ビットのマトリクスデータの90度回転を行います。また、16ビットデータのビット配置の上位と下位を反転させることができます。図24.1にXY制御レジスタの構成を示します。

Xiレジスタ、Yiレジスタは16ビットレジスタで、それぞれ16本(i = 0~15)あります。

XiレジスタとYiレジスタは同一アドレスに配置されており、Xiレジスタは書き込み専用、Yiレジスタは読み出し専用です。XiレジスタとYiレジスタは必ず偶数番地から16ビット単位でアクセスしてください。8ビット単位でアクセスした時の動作は不定となります。



図24.1 XY制御レジスタの構成

Yiレジスタの読み出しは、読み出しモード設定ビット(02E0₁₆番地のビット0)で制御されます。

読み出しモード設定ビット(02E0₁₆番地のビット0)=“0”でYiレジスタを読み出すと、Xiレジスタの特定ビットを同時に読み出すことができます。

例えば、Y0レジスタを読み出すと、ビット0はX0レジスタのビット0、ビット1はX1レジスタのビット0、・・・、ビット14はX14レジスタのビット0、ビット15はX15レジスタのビット0が読み出せます。同様にY15レジスタを読み出すと、ビット0はX0レジスタのビット15、ビット1はX1レジスタのビット15、・・・、ビット14はX14レジスタのビット15、ビット15はX15レジスタのビット15が読み出せます。

読み出しモード設定ビット=“0”での変換テーブルを図24.2に、XY変換例を図24.3に示します。

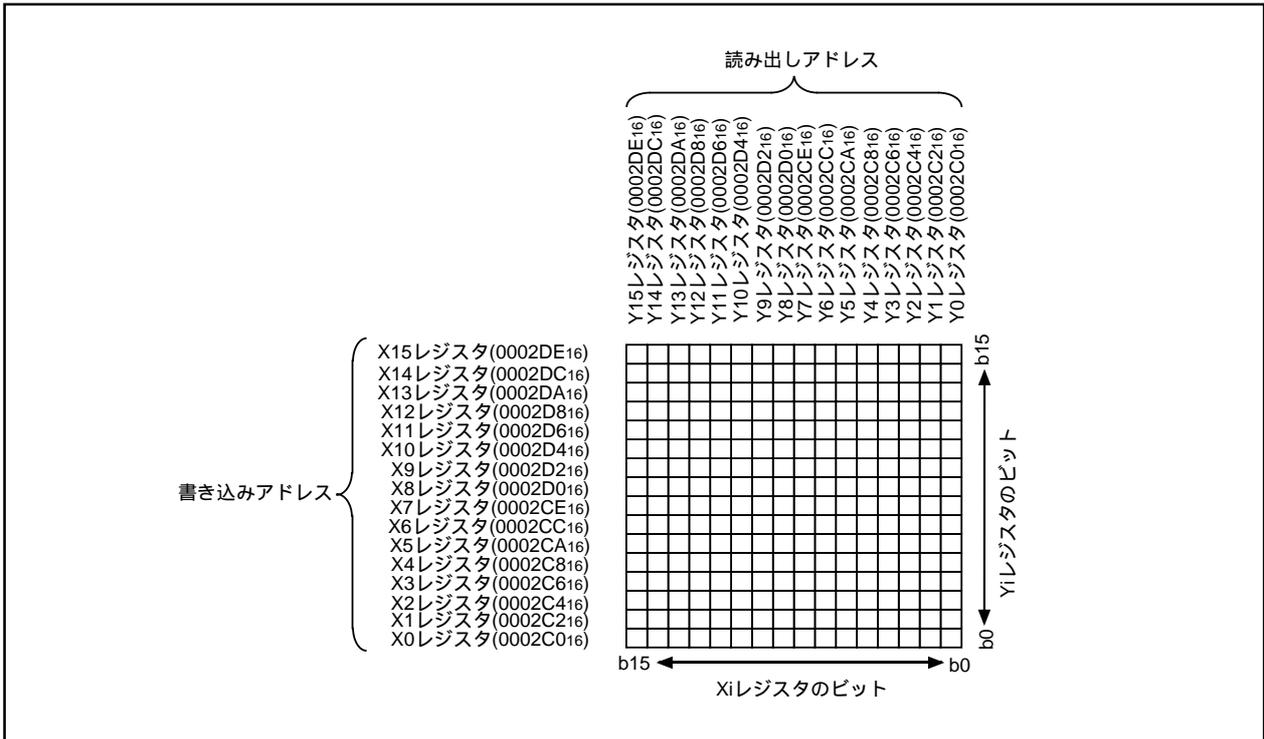


図24.2 読み出しモード設定ビット=“0”での変換テーブル図

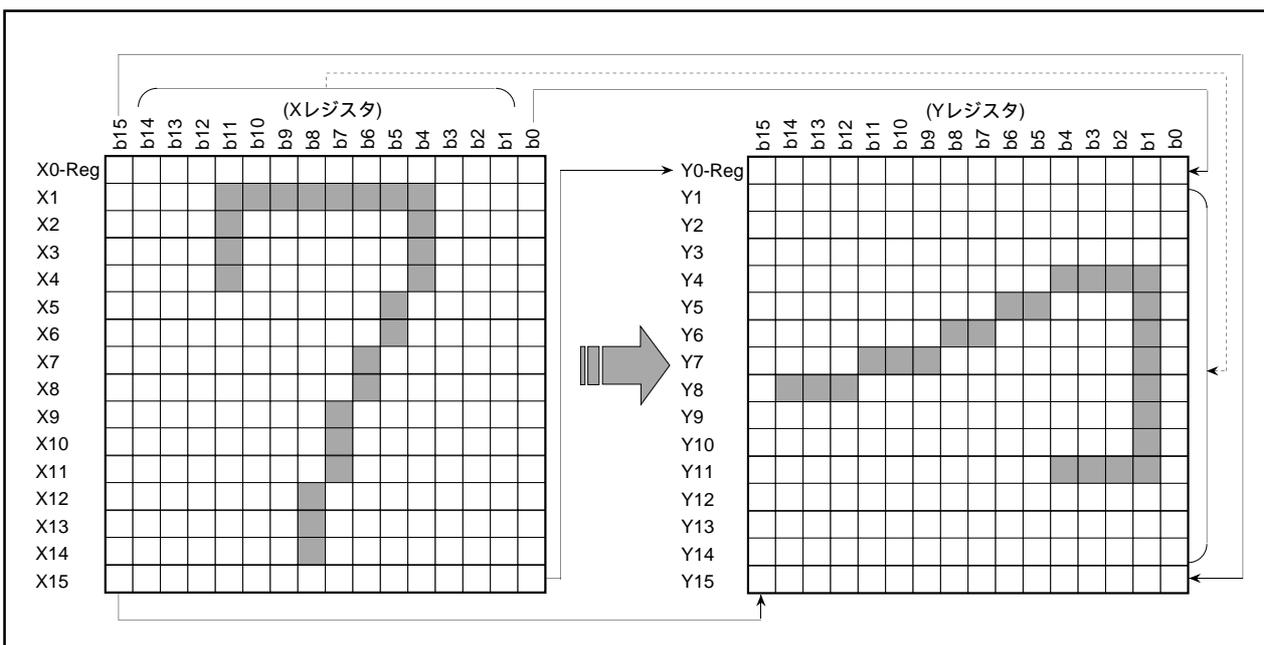


図24.3 XY変換例

読み出しモード設定ビット(02E0₁₆番地のビット0) = “1” でYiレジスタを読み出すと、Xiレジスタに書き込まれた値がそのまま読み出すことができます。読み出しモード設定ビット = “1” での変換テーブルを図24.4に示します。

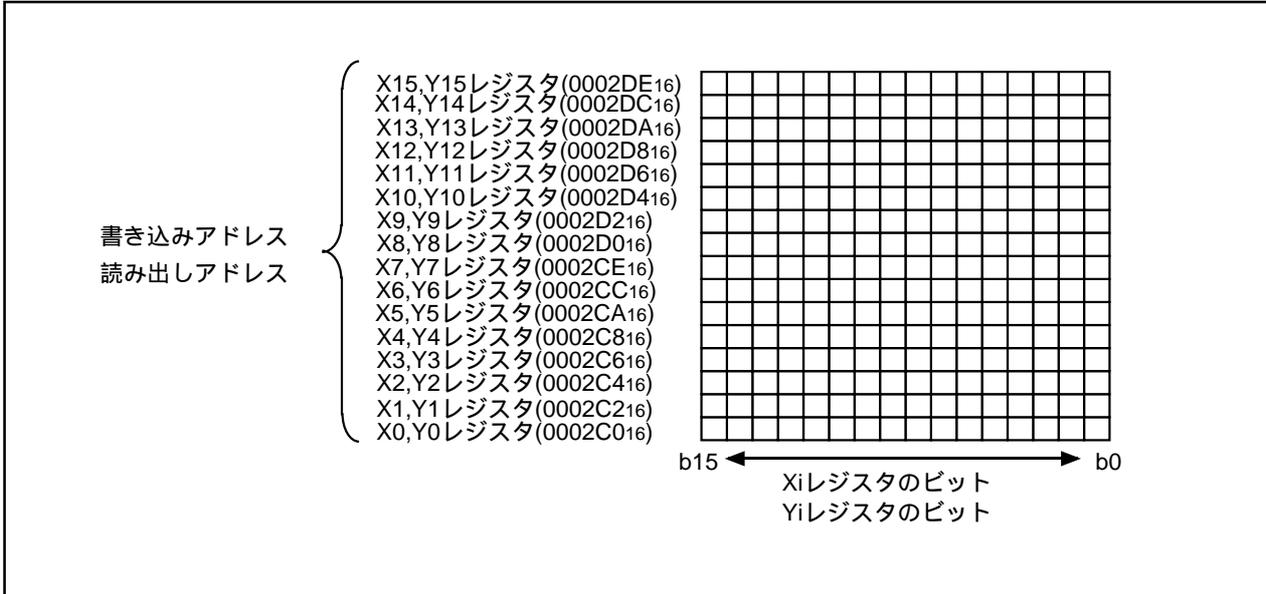


図24.4 読み出しモード設定ビット = “1” での変換テーブル

Xiレジスタの書き込み内容は、書き込みモード設定ビット(02E0₁₆番地のビット1)で制御されます。

書き込みモード設定ビット(02E0₁₆番地のビット1) = “0” でXiレジスタに書き込みを行うと、ビット配列はそのまま書き込みます。

書き込みモード設定ビット(02E0₁₆番地のビット1) = “1” でXiレジスタに書き込みを行うと、ビット配置の上位と下位を反転したビット配置で書き込みます。書き込みモード設定ビット = “1” での変換テーブルを図24.5に示します。

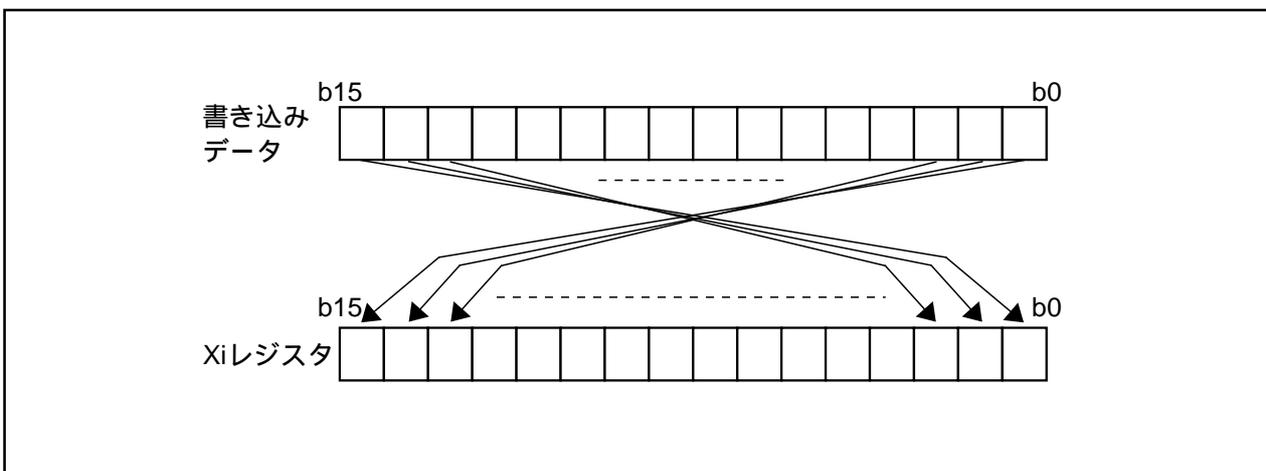


図24.5 書き込みモード設定ビット = “1” での変換テーブル

25. DRAMコントローラ

512Kバイトから8MバイトのDRAMに接続できるDRAMコントローラを内蔵します。DRAMコントローラの機能を表25.1に示します。

表25.1 DRAMコントローラの機能

DRAM空間	512KB, 1MB, 2MB, 4MB, 8MB
バス制御	2CAS/1W
リフレッシュ	CASビフォアRASリフレッシュ セルフリフレッシュ対応
機能モード	EDO対応、ファーストページモード対応
ウエイト	1ウエイト、2ウエイト選択

DRAMコントローラを使用するには、DRAM制御レジスタ(0040₁₆番地)のDRAM空間選択ビットでDRAMの空間を設定してください。図25.1にDRAM制御レジスタの構成を示します。

外部領域モードがモード3(0005₁₆番地のビット1、ビット0 = “112”)ではDRAMコントローラは使用できません。必ず外部領域モードはモード0～モード2で使用してください。

DRAM領域のデータバス幅が16ビットの場合、R/Wモード選択ビット(0004₁₆番地のビット2)は“1”を設定してください。

DRAM電源投入後のメモリ動作前の待ち時間とリフレッシュのダミーサイクルに必要な処理はソフトウェアにて行ってください。

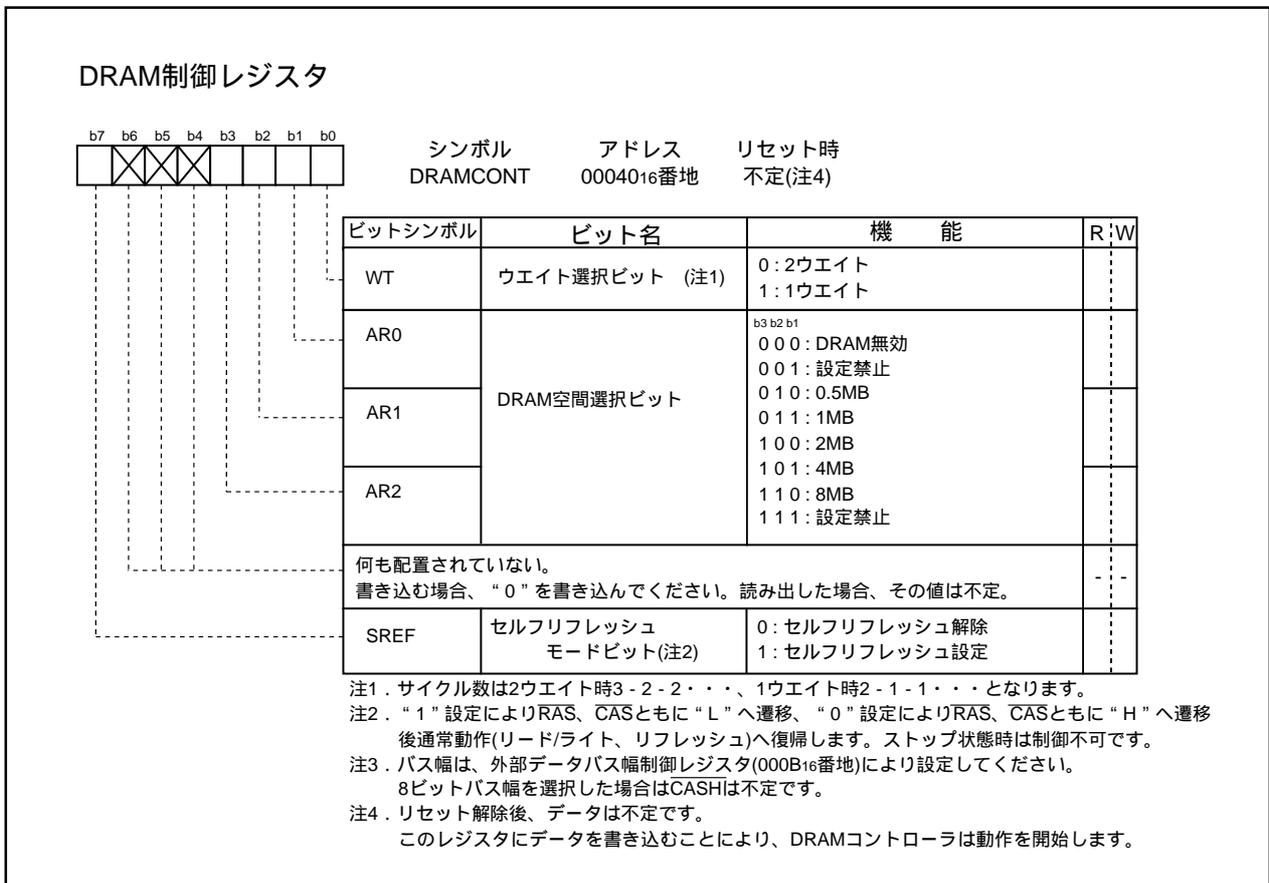


図25.1 DRAM制御レジスタの構成

・ DRAMコントローラマルチプレクスアドレス出力

DRAMコントローラはアドレスバスのA8～A20に行アドレスと列アドレスをマルチプレクスした信号を出力します。図25.2にアドレスマルチプレクス時の出力形態を示します。

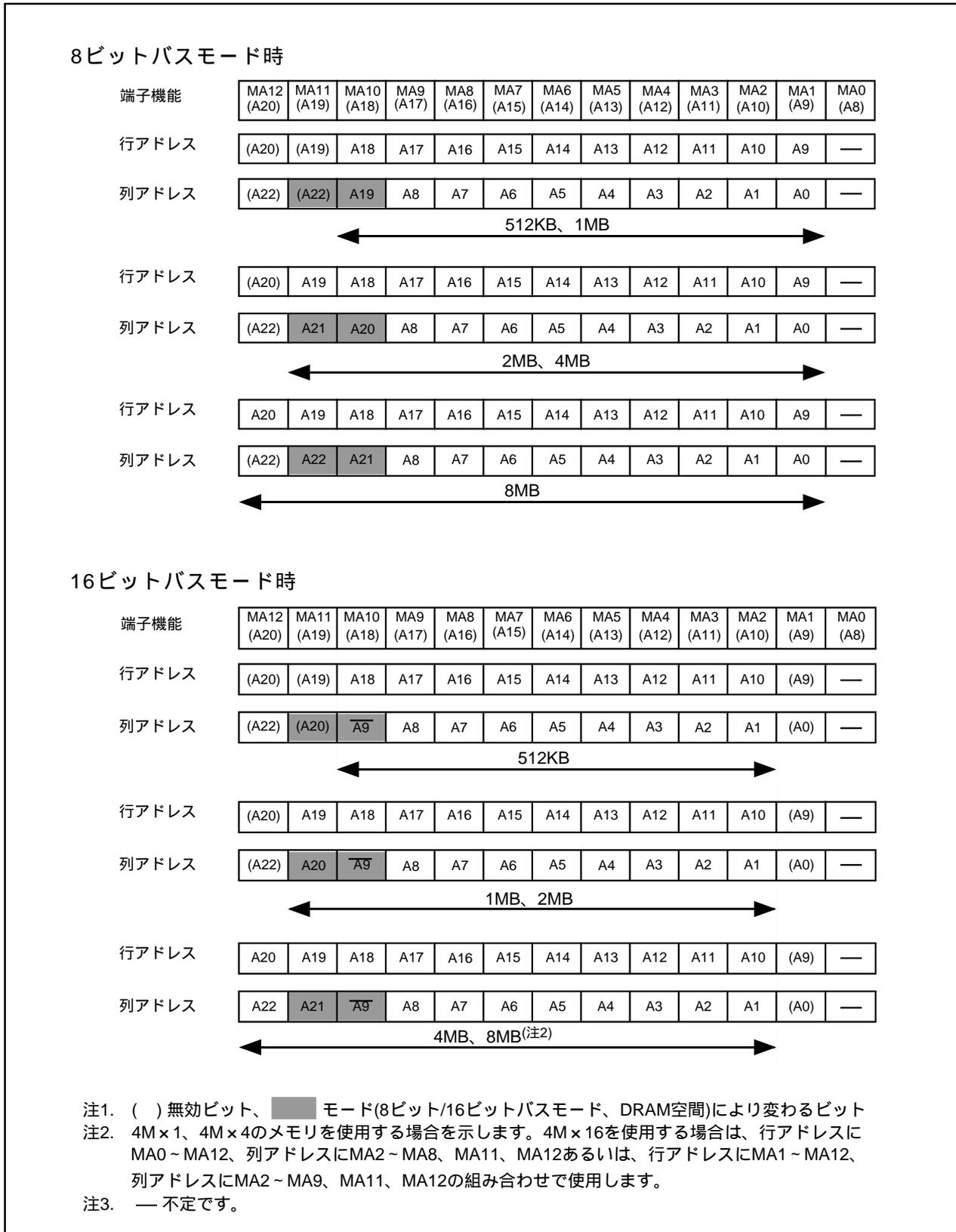


図25.2 アドレスマルチプレクス時の出力形態

・リフレッシュ

リフレッシュ方式はCASビフォアRASリフレッシュ方式です。リフレッシュ間隔は、DRAMリフレッシュ間隔設定レジスタ(004116番地)で設定します。ホールド状態ではリフレッシュ信号は出力されません。

図25.3にDRAMリフレッシュ間隔設定レジスタの構成を示します。

リフレッシュ間隔設定レジスタの設定値は以下の式で求められます。

$$\text{リフレッシュ間隔設定レジスタ値}(0 \sim 255) = \text{リフレッシュ間隔時間} \div (\text{BCLK周期} \times 32) - 1$$

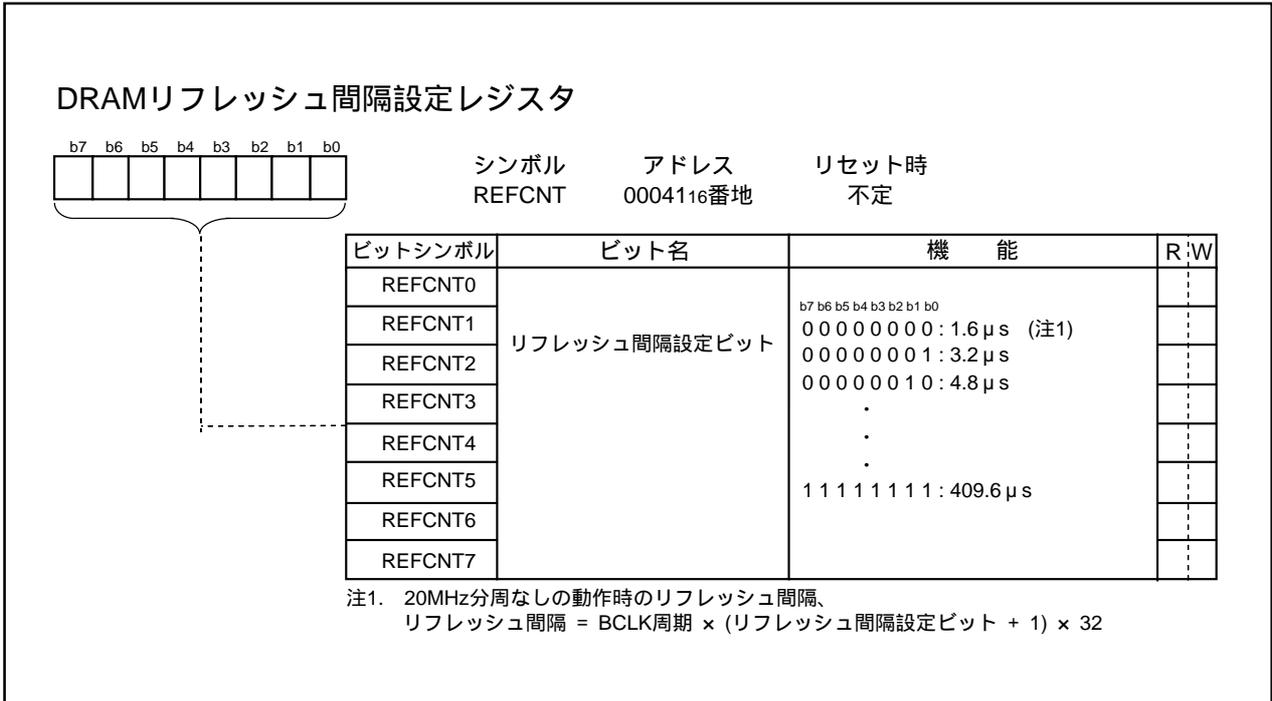


図25.3 DRAMリフレッシュ間隔設定レジスタの構成

ストップモード時などでDRAMのセルフリフレッシュ動作が行えます。

セルフリフレッシュに移行する場合は、DRAM空間選択ビットでDRAM無効を選択し、次の命令でDRAM空間選択ビットの設定とセルフリフレッシュモードビットでのセルフリフレッシュ設定を同時に行ってください。また、セルフリフレッシュモードビットを“1”に設定直後2命令はNOPを入れてください。

セルフリフレッシュ動作中は、外部へのアクセスは禁止です。(全外部領域のアクセス禁止)

セルフリフレッシュを解除する場合はDRAM空間選択ビットでDRAM無効とセルフリフレッシュモードビットでのセルフリフレッシュ解除を同時に行い、次の命令でDRAM空間選択ビットの設定を行ってください。また、DRAM空間選択ビット設定直後の命令でDRAM領域のアクセスを行わないでください。

例：ウエイト選択ビットで1ウエイト選択、DRAM空間選択ビットで4MB選択
セルフリフレッシュ移行

```
.....  
mov.b #00000001b,DRAMCONT ;DRAM無効、1ウエイト選択  
mov.b #10001011b,DRAMCONT ;セルフリフレッシュ設定、4MB、1ウエイト選択  
nop ;2命令nopが必要  
nop ;  
.....
```

セルフリフレッシュ解除

```
.....  
mov.b #00000001b,DRAMCONT ;セルフリフレッシュ解除、DRAM無効、1ウエイト選択  
mov.b #00001011b,DRAMCONT ;4MB、1ウエイト選択  
nop ;DRAM領域をアクセスする命令は禁止  
nop ;  
.....
```

DRAMアクセス時のバスタイミングを図25.4～図25.6に示します。

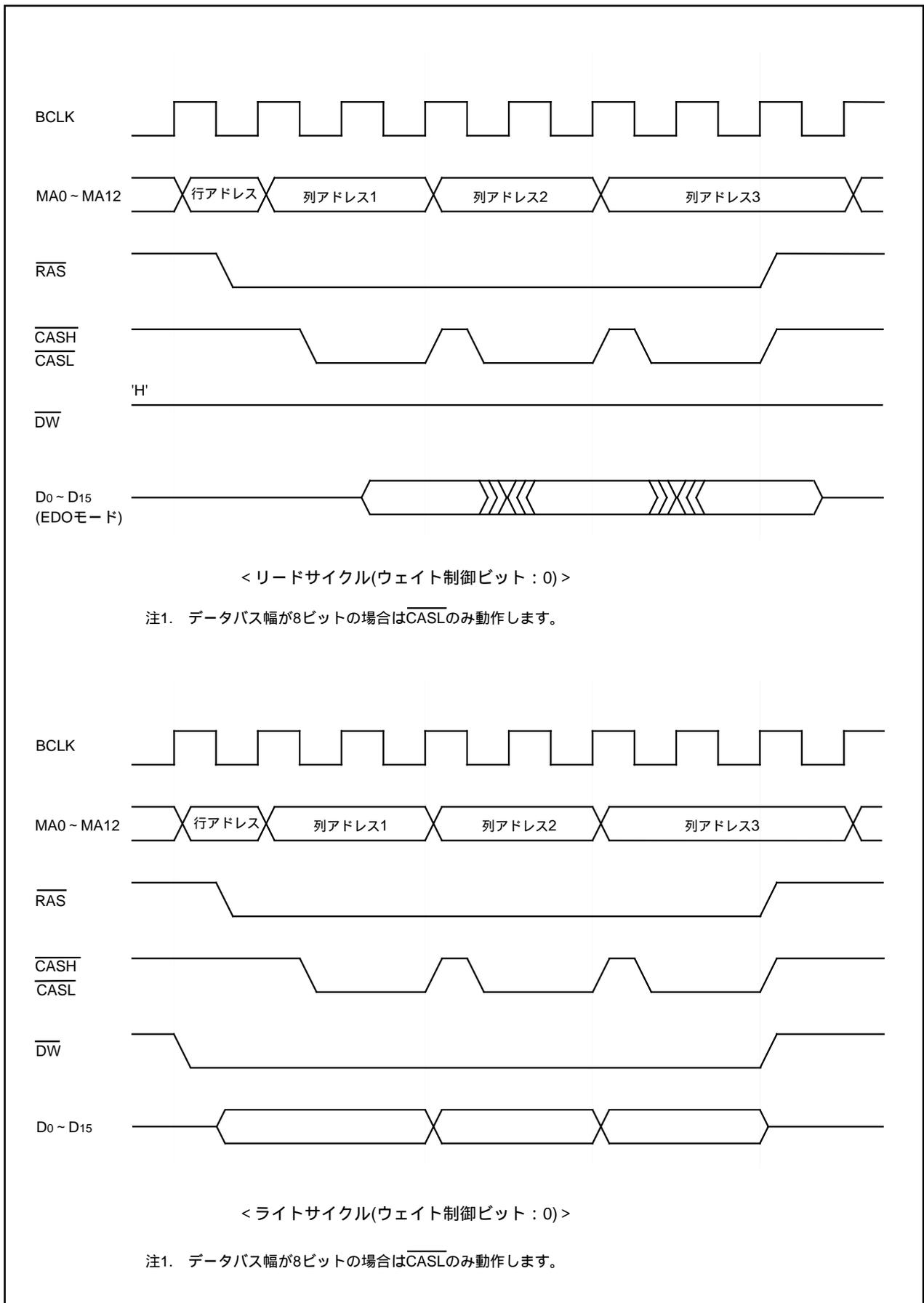


図25.4 DRAMアクセス時のバスタイミング(1)

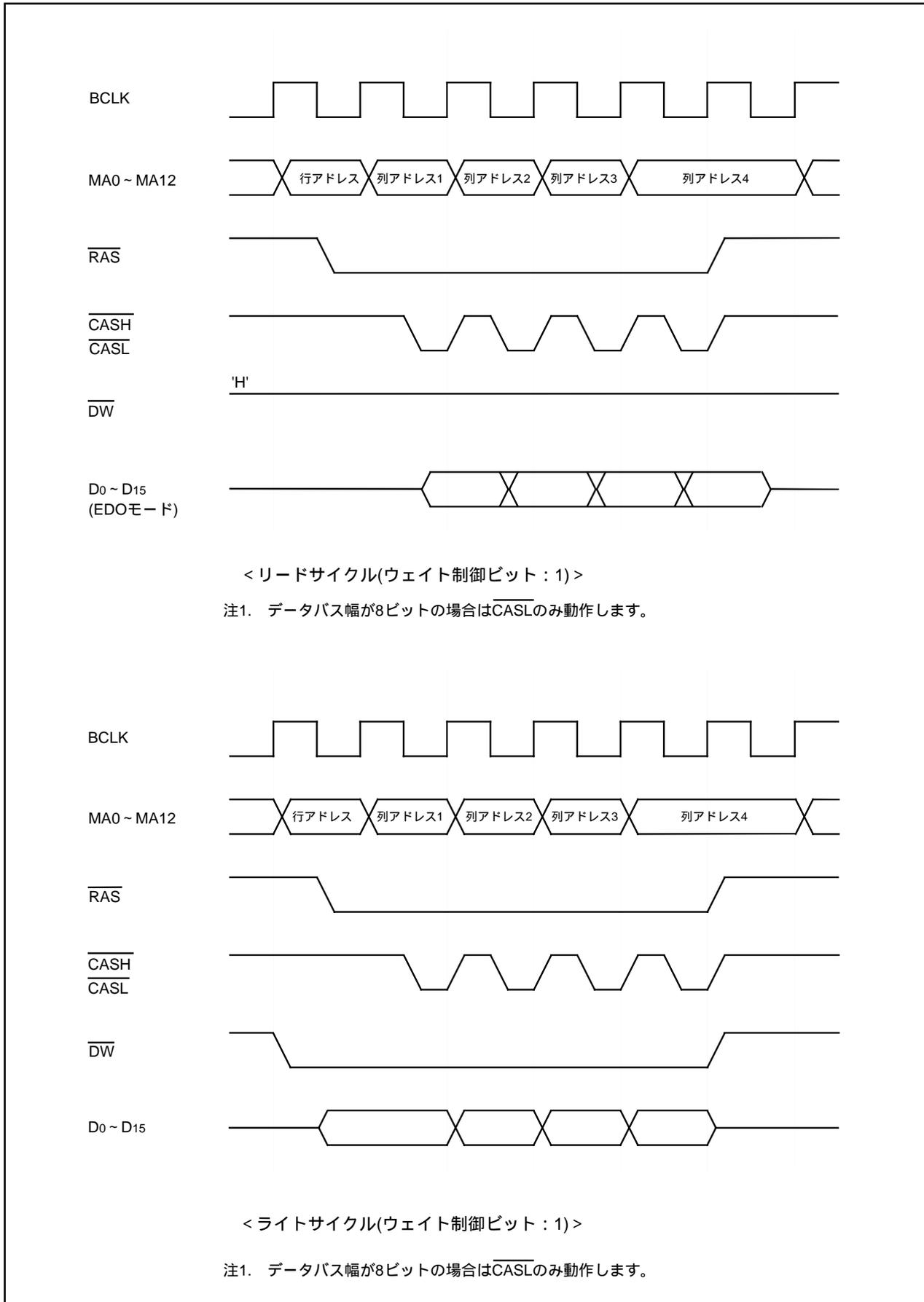
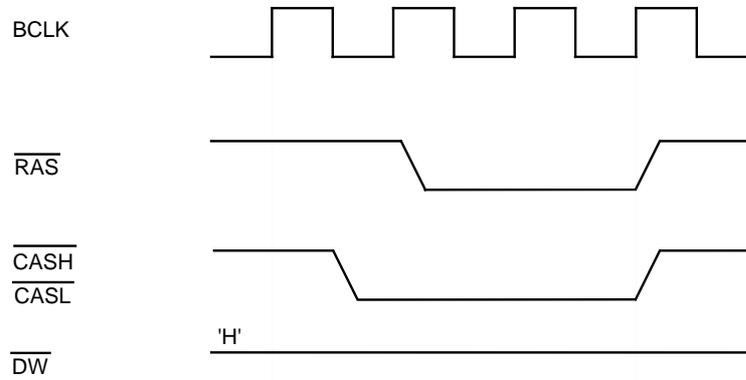
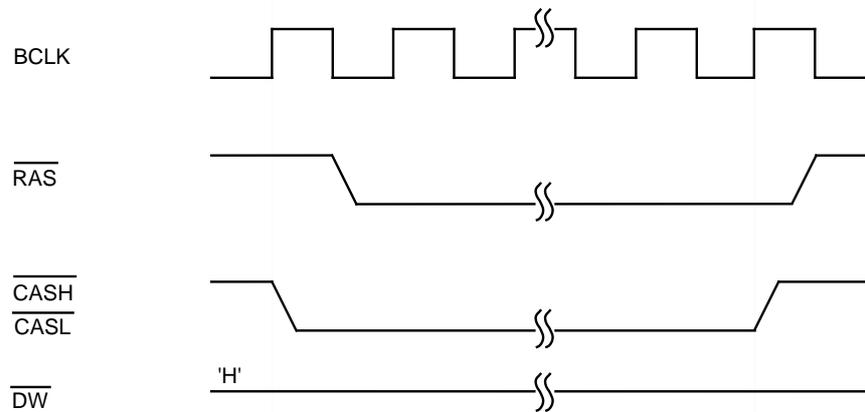


図25.5 DRAMアクセス時のバスタイミング(2)



<CASビフォアRASリフレッシュサイクル>

注1. データバス幅が8ビットの場合はCASLのみ動作します。



<セルフリフレッシュサイクル>

注1. データバス幅が8ビットの場合はCASLのみ動作します。

図25.6 DRAMアクセス時のバスタイミング(3)

26. プログラマブル入出力ポート

プログラマブル入出力ポートは、100ピン版ではP0～P10(P85は除く)の87本、144ピン版ではP0～P15(P85は除く)の123本あります。各ポートの入出力は、方向レジスタによって1ポートごとに設定できます。また、4ポートごとに、プルアップ抵抗の有無を設定できます。P85は入力専用でプルアップ抵抗は内蔵していません。

プログラマブル入出力ポートの構成を、図26.1～図26.3に示します。

各端子は、プログラマブル入出力ポートと内蔵周辺装置の入出力として機能します。

内蔵周辺装置の入力端子として使用する場合は、各端子の方向レジスタを入力モードに設定してください。D/Aコンバータ以外の内蔵周辺装置の出力端子として使用する場合は、各端子の周辺機能に対応した、機能選択レジスタAと機能選択レジスタB、機能選択レジスタCの設定をしてください。D/Aコンバータの出力端子として使用する場合は、各端子の機能選択レジスタAを入出力ポートに設定し、方向レジスタを入力モードに設定してください。各端子の周辺出力機能を表26.1に示します。内蔵周辺装置の設定方法は、各機能説明を参照してください。

(1) 方向レジスタ

方向レジスタの構成を、図26.4、図26.5に示します。

プログラマブル入出力ポートの方向を選択するためのレジスタです。このレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、A0～A22、 $\overline{A23}$ 、D0～D15、MA0～MA12、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 $\overline{WRL/WR/CASL}$ 、 $\overline{WRH/BHE/CASH}$ 、 $\overline{RD/DW}$ 、 $\overline{BCLK/ALE/CLKOUT}$ 、 $\overline{HLDA/ALE}$ 、 \overline{HOLD} 、 $\overline{ALE/RAS}$ 、 \overline{RDY} に設定している端子の方向レジスタの内容は変更できません。

注1. P85の方向レジスタのビットは存在していません。

(2) ポートレジスタ

ポートレジスタの構成を、図26.6、図26.7に示します。

外部とのデータ入出力は、ポートレジスタへの書き込みおよび読み出しによって行います。ポートレジスタは、出力データを保持するポータラッチ、および端子の状態を読み込む回路で構成されています。ポートレジスタの各ビットは、それぞれ端子1本ずつに対応しています。

メモリ拡張モードまたはマイクロプロセッサモードでは、A0～A22、 $\overline{A23}$ 、D0～D15、MA0～MA12、 $\overline{CS0}$ ～ $\overline{CS3}$ 、 $\overline{WRL/WR/CASL}$ 、 $\overline{WRH/BHE/CASH}$ 、 $\overline{RD/DW}$ 、 $\overline{BCLK/ALE/CLKOUT}$ 、 $\overline{HLDA/ALE}$ 、 \overline{HOLD} 、 $\overline{ALE/RAS}$ 、 \overline{RDY} に設定している端子のポートレジスタの内容は変更できません。

(3) 機能選択レジスタA

機能選択レジスタAの構成を、図26.8、図26.9に示します。

端子出力機能がポート出力と周辺機能出力との多重機能になっている場合、ポート出力と周辺機能出力を選択するためのレジスタです。

このレジスタの各ビットは端子出力機能が多重機能となっている端子1本ずつに対応しています。

(4) 機能選択レジスタB

機能選択レジスタBの構成を、図26.10、図26.11に示します。

端子に周辺機能出力が複数割り付けられている場合、第一周辺機能出力と第二周辺機能出力を選択するためのレジスタです。第三周辺機能を有する端子では機能選択レジスタCを有効にするか、第二周辺機能を出力するか選択します。

このレジスタの各ビットは端子に周辺機能出力が複数割り付けられている端子1本ずつに対応しています。

このレジスタは対応する端子の機能選択レジスタAのビットが周辺機能を選択しているときに有効です。

機能選択レジスタB3のビット3～ビット6は入力周辺機能の無効ビットです。DA0/DA1、ANEX0/ANEX1を使用する場合は対応するビットを"1"に設定してください。上記以外の入出力として使用する場合は"0"に設定してください。

(5) 機能選択レジスタC

機能選択レジスタCの構成を、図26.12に示します。

端子に周辺機能出力が3つ割り付けられている場合、第一周辺機能出力と第三周辺機能出力を選択するためのレジスタです。

このレジスタは対応する端子の機能選択レジスタAのビットが周辺機能を選択しており、機能選択レジスタBが機能選択レジスタCを有効にしているときに有効です。

また、第7ビット(PSC_7)にキー入力割り込み禁止ビットを配置します。キー入力割り込み禁止ビットを"1"に設定すると、K10～K13端子に"L"が入力されても割り込み制御レジスタの設定にかかわらずキー入力割り込みは発生しません。また、キー入力割り込み禁止ビットが"1"に設定されている場合、ポート方向レジスタが入力モードに設定されていてもポート端子からの入力も行えません。

(6) プルアップ制御レジスタ

プルアップ制御レジスタの構成を、図26.13、図26.14に示します。

プルアップ制御レジスタによって、4ポートごとに、プルアップ抵抗の有無を設定できます。プルアップ抵抗ありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

メモリ拡張モード、マイクロプロセッサモード時、P0～P5はバスとして動作しますのでプルアップ制御レジスタの設定を行わないでください。ただし、設定により入出力ポートとして使用できるポートは、プルアップ抵抗有無の設定ができます。

(7) ポート制御レジスタ

ポート制御レジスタの構成を、図26.15に示します。

ポートP1をCMOSポートとするかNchオープンドレインとするか選択するレジスタです。NchオープンドレインではCMOSポートのPchを常時OFFするものであり、ポートP1を完全なオープンドレインにする機能ではありません。したがって、入力電圧の絶対最大定格は" -0.3V ~ Vcc+0.3V " となります。

なお、マイクロプロセッサモード、メモリ拡張モード時で全領域外部バス幅を8ビットバス幅時、ポートP1がポートとして使用できる場合も上記と同様に機能します。

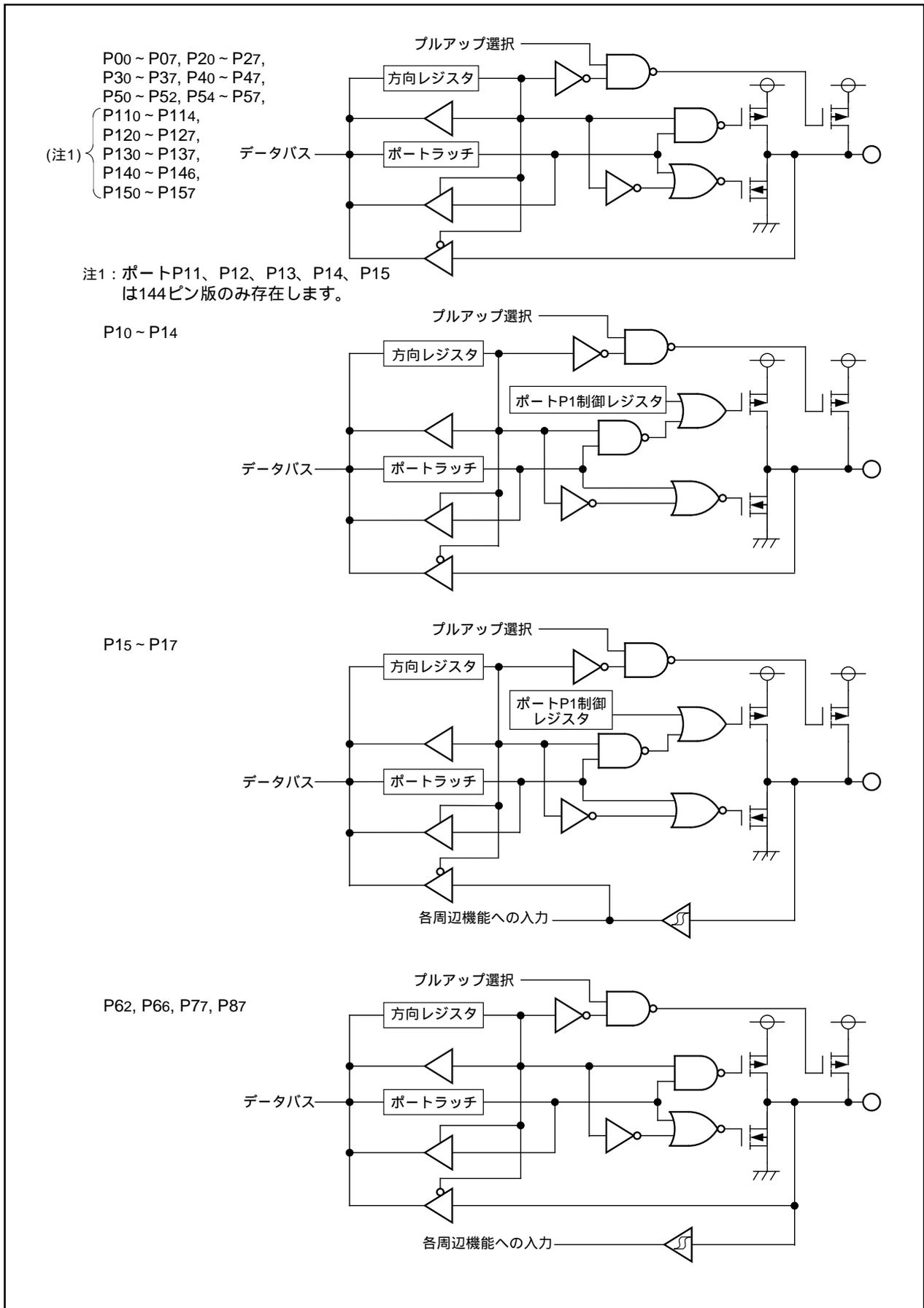


図26.1 プログラマブル入出力ポートの構成(1)

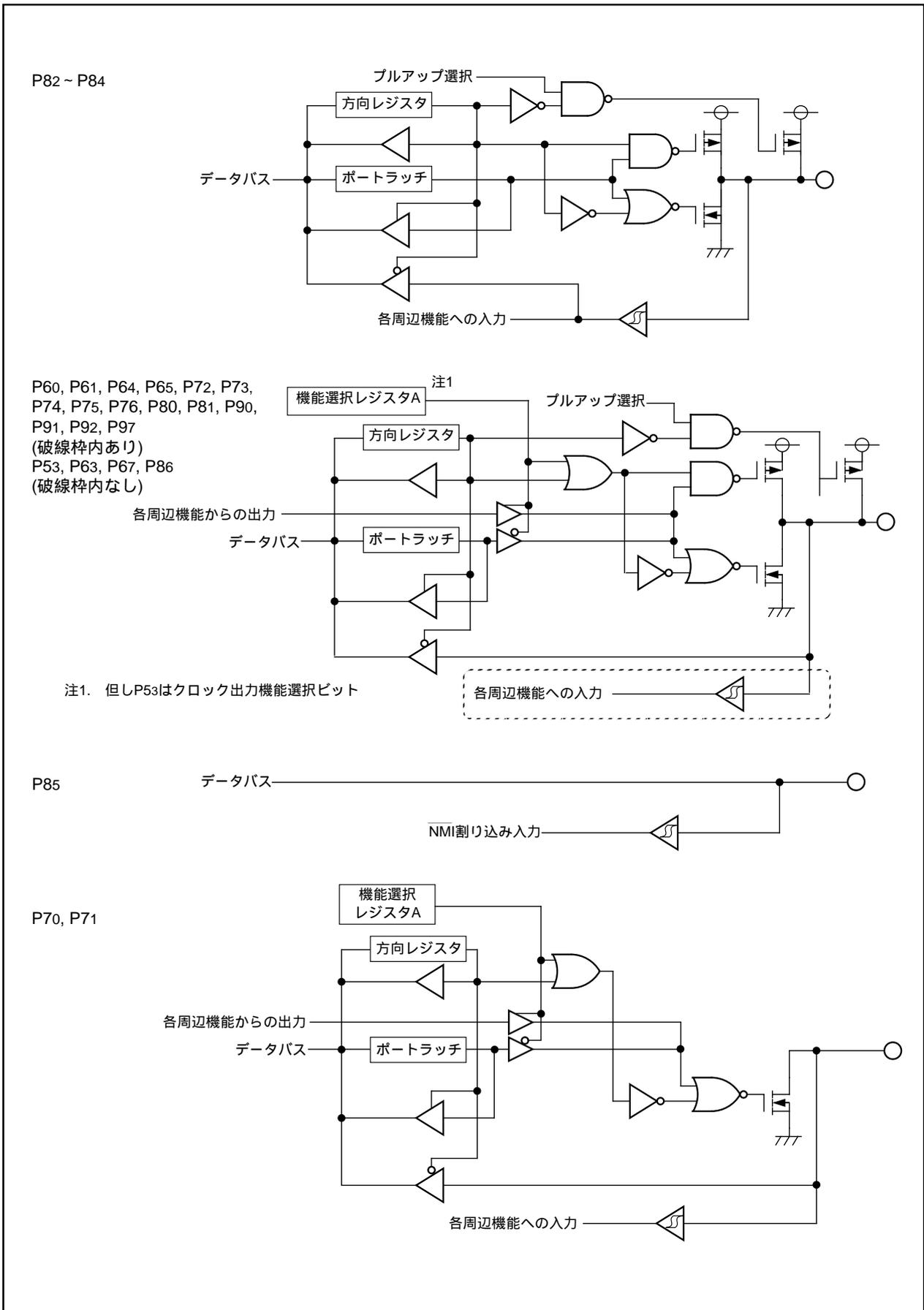


図26.2 プログラマブル入出力ポートの構成(2)

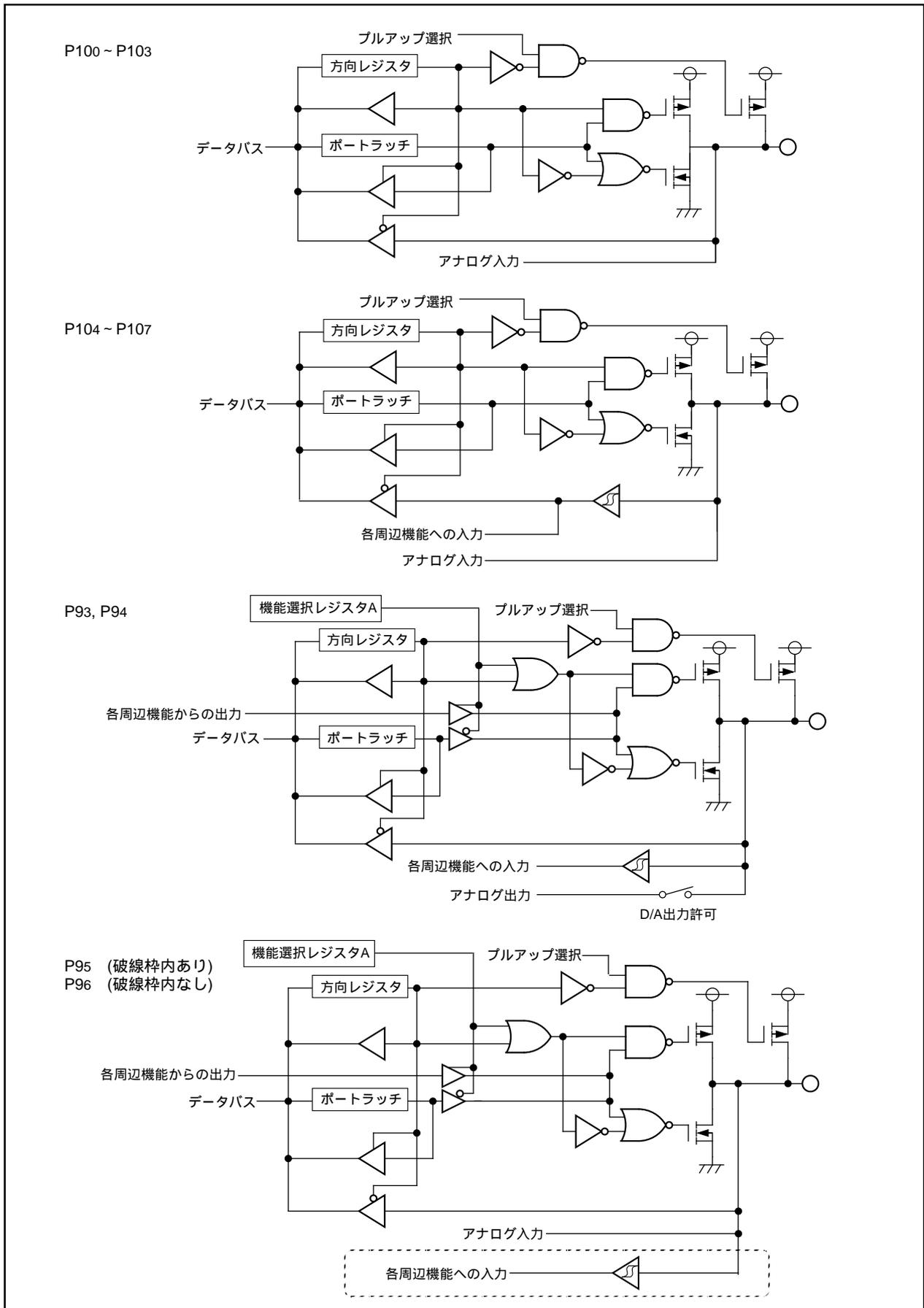
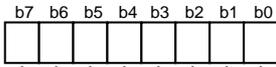


図26.3 プログラマブル入出力ポートの構成(3)

ポートPi方向レジスタ(注1、2、3)

シンボル	アドレス	リセット時
PD _i (i=0~15 ただし8,11,14は除く)	03E2 ₁₆ ,03E3 ₁₆ ,03E6 ₁₆ ,03E7 ₁₆ ,03EA ₁₆ 番地 03EB ₁₆ ,03C2 ₁₆ ,03C3 ₁₆ ,03C7 ₁₆ ,03CA ₁₆ 番地 03CE ₁₆ ,03CF ₁₆ ,03D3 ₁₆ 番地	00 ₁₆ 00 ₁₆ 00 ₁₆

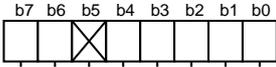


ビットシンボル	ビット名	機能	R/W
PD _i _0	ポートPi0方向レジスタ	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能) (i=0~15 ただし8、11、14は除く)	
PD _i _1	ポートPi1方向レジスタ		
PD _i _2	ポートPi2方向レジスタ		
PD _i _3	ポートPi3方向レジスタ		
PD _i _4	ポートPi4方向レジスタ		
PD _i _5	ポートPi5方向レジスタ		
PD _i _6	ポートPi6方向レジスタ		
PD _i _7	ポートPi7方向レジスタ		

- 注1. ポートP9方向レジスタを書き替える場合、プロテクトレジスタ(000A₁₆番地)のビット2を“1”にしてください。
- 注2. メモリ拡張モードまたはマイクロプロセッサモードでは、A₀~A₂₂、 \overline{A}_{23} 、D₀~D₁₅、MA₀~MA₁₂、CS₀~CS₃、WRL/WR/CASL、WRH/BHE/CASH、RD/DW、BCLK/ALE/CLKOUT、HLDA/ALE、HOLD、ALE/RAS、RDYに設定している端子の方向レジスタの内容は変更できません。
- 注3. ポートP12、P13、P15方向レジスタは144ピン版のみ存在します。

ポートP8方向レジスタ

シンボル	アドレス	リセット時
PD8	03C6 ₁₆ 番地	00X00000 ₂



ビットシンボル	ビット名	機能	R/W
PD8_0	ポートP80方向レジスタ	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	
PD8_1	ポートP81方向レジスタ		
PD8_2	ポートP82方向レジスタ		
PD8_3	ポートP83方向レジスタ		
PD8_4	ポートP84方向レジスタ		
何も配置されていない。 書き込む場合、“0”を書き込んでください。読み出した場合、その値は不定。			-
PD8_6	ポートP86方向レジスタ	0: 入力モード (入力ポートとして機能) 1: 出力モード (出力ポートとして機能)	
PD8_7	ポートP87方向レジスタ		

図26.4 方向レジスタの構成(1)

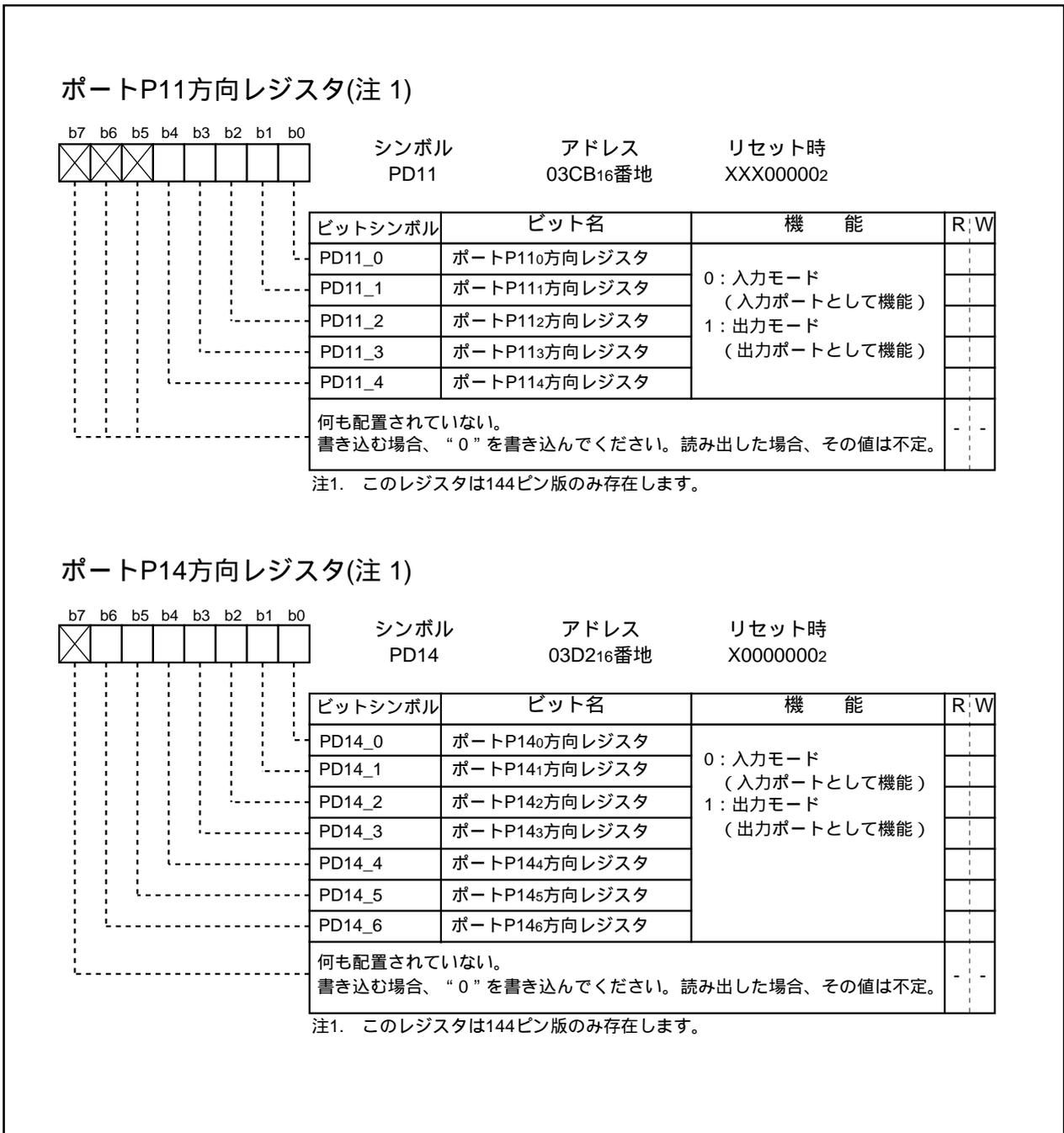


図26.5 方向レジスタの構成(2)

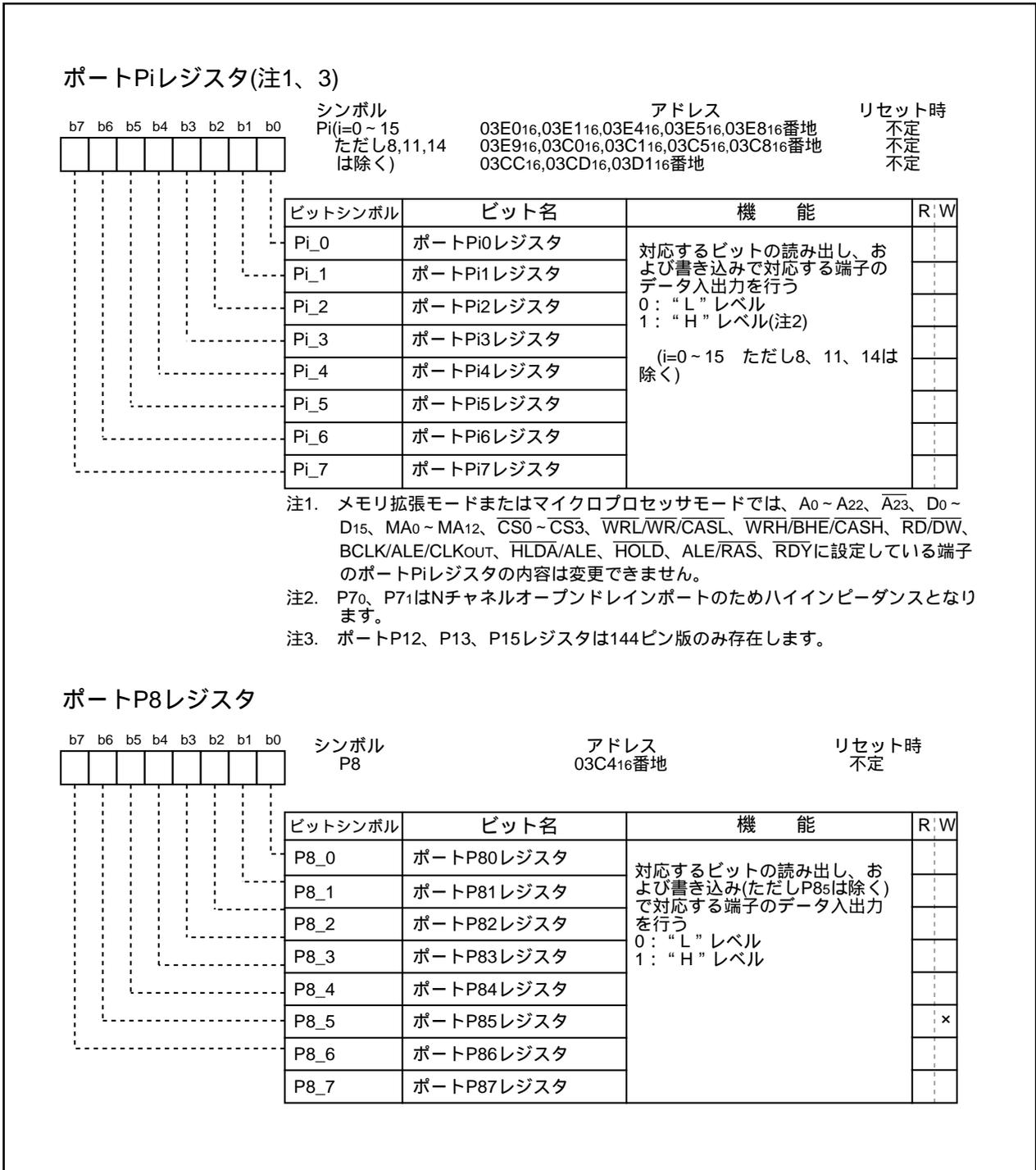


図26.6 ポートレジスタの構成(1)

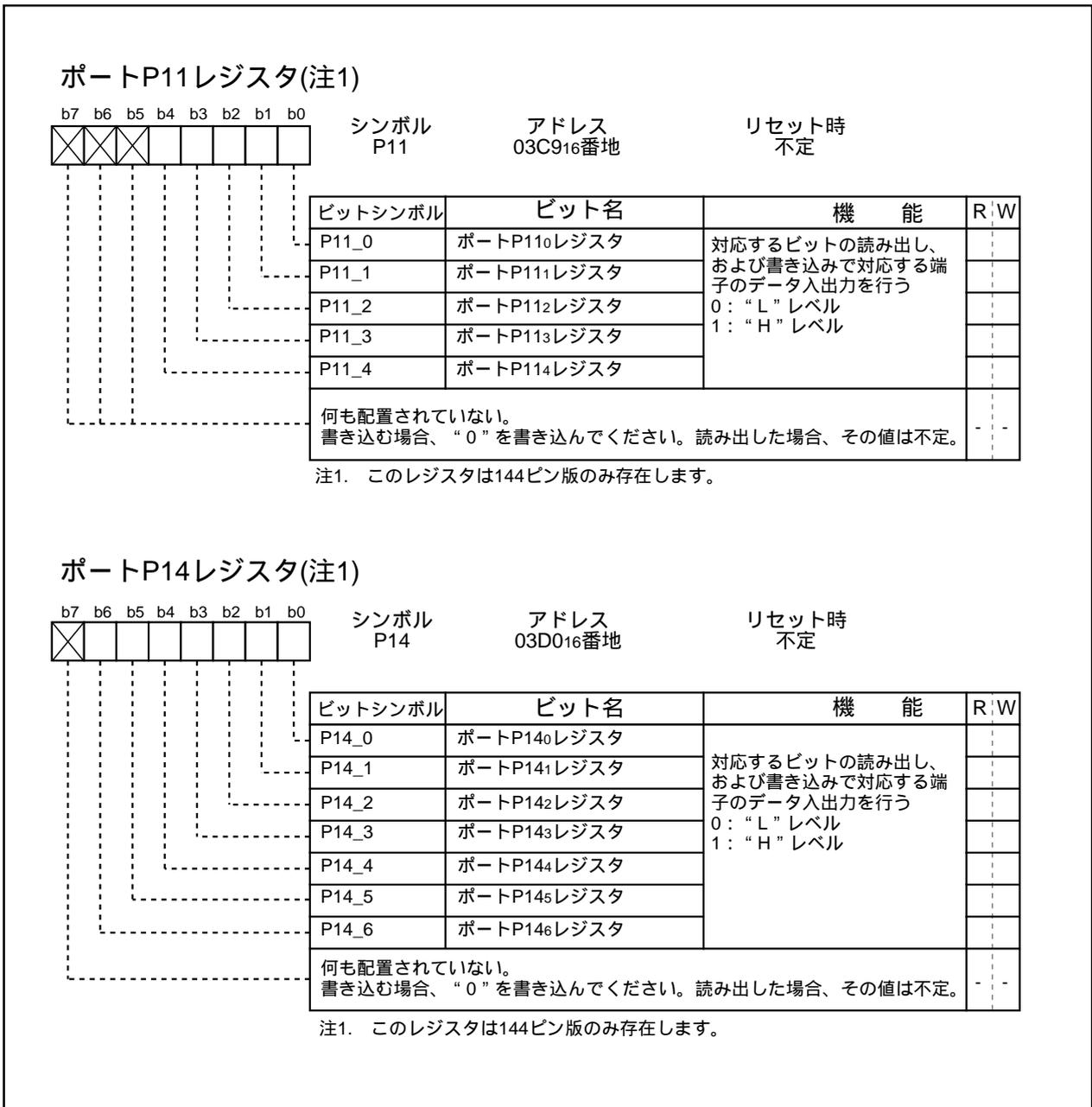


図26.7 ポートレジスタの構成(2)

表26.1 各端子と周辺機能(注1)

端子	第一周辺出力機能	第二周辺出力機能	第三周辺出力機能
P60	RTS ₀ 出力	—	—
P61	CLK ₀ 出力	—	—
P62	—	—	—
P63	TxD ₀ 出力	—	—
P64	RTS ₁ 出力	CLKS ₁ 出力	—
P65	CLK ₁ 出力	—	—
P66	—	—	—
P67	TxD ₁ 出力	—	—
P70(注2)	TxD ₂ (SDA ₂)出力	TA0OUT出力	—
P71(注2)	SCL ₂ 出力	—	—
P72	CLK ₂ 出力	TA1OUT出力	V相出力
P73	RTS ₂ 出力	V相出力	—
P74	TA2OUT出力	W相出力	—
P75	W相出力	—	—
P76	TA3OUT出力	—	—
P77	—	—	—
P80	TA4OUT出力	U相出力	—
P81	U相出力	—	—
P82	—	—	—
P83	—	—	—
P84	—	—	—
P85	—	—	—
P86	—	—	—
P87	—	—	—
P90	CLK ₃ 出力	—	—
P91	SCL ₃ 出力	STxD ₃ 出力	—
P92	TxD ₃ (SDA ₃)出力	—	—
P93	RTS ₃ 出力	—	—
P94	RTS ₄ 出力	—	—
P95	CLK ₄ 出力	—	—
P96	TxD ₄ (SDA ₄)出力	—	—
P97	SCL ₄ 出力	STxD ₄ 出力	—

注1. 周辺入力機能を使用する場合、機能選択レジスタAの対応するビットは0(入出力ポート)を設定してください。

注2. Nチャンネルオープンドレイン出力です。

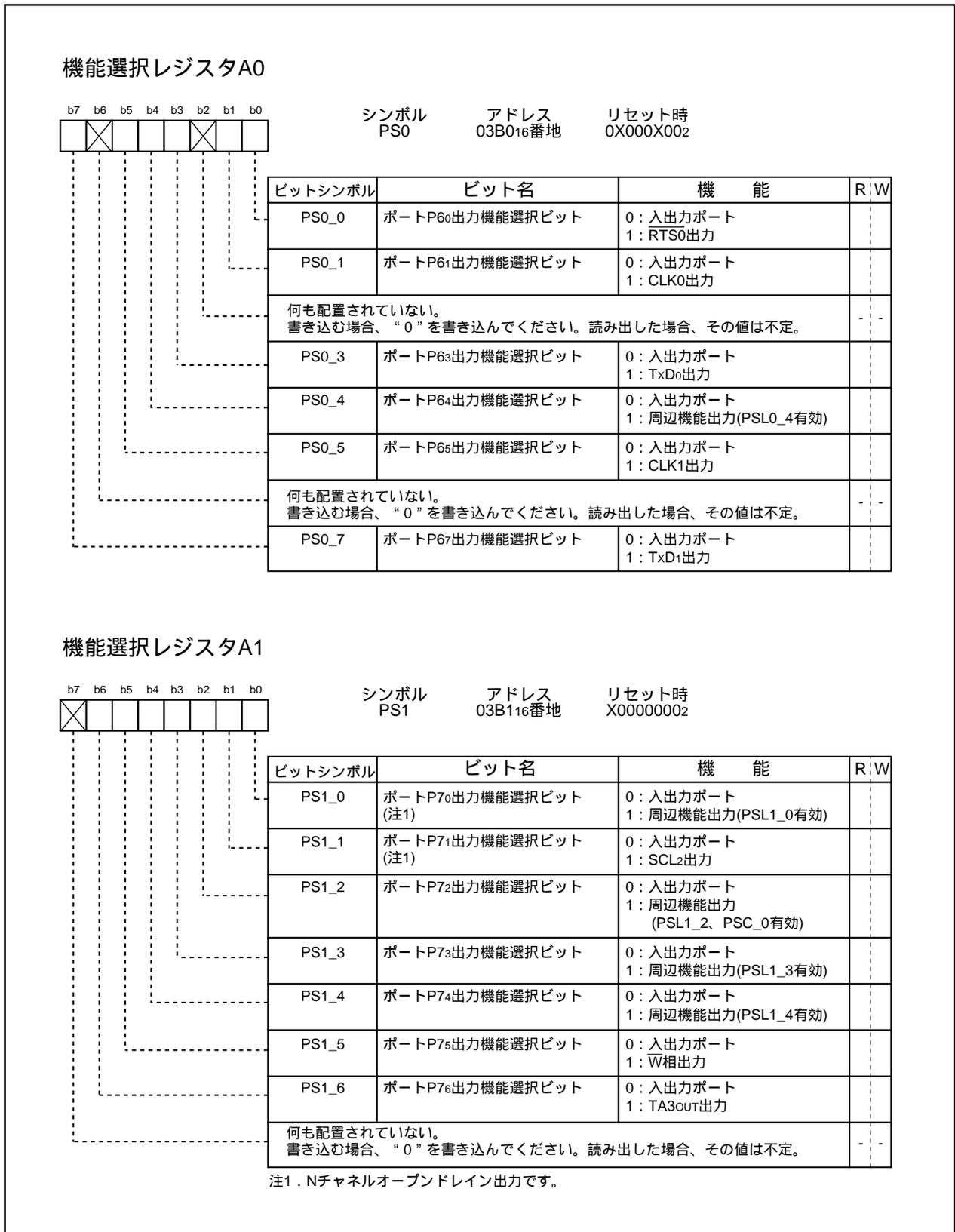


図26.8 機能選択レジスタAの構成(1)

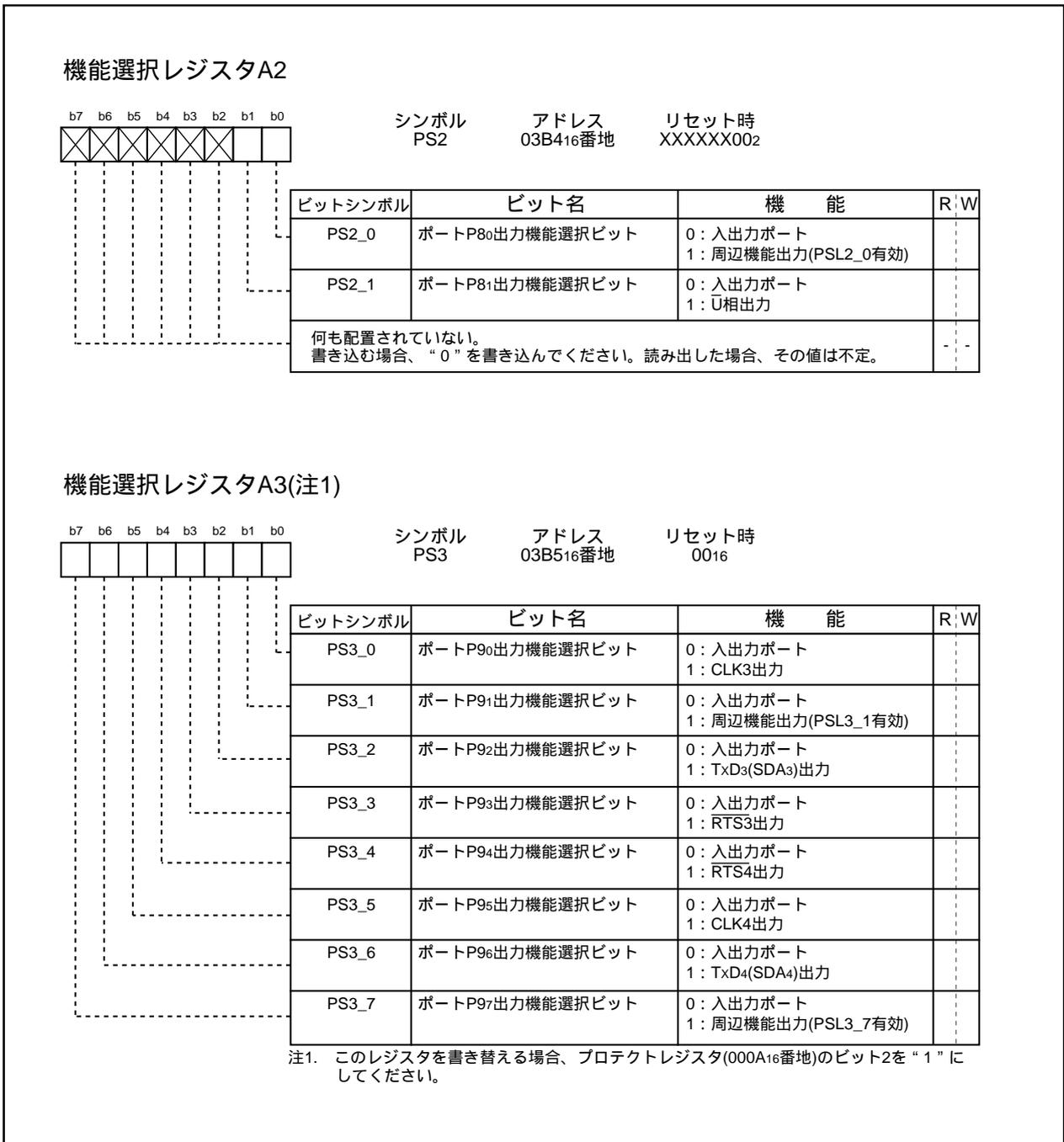


図26.9 機能選択レジスタAの構成(2)

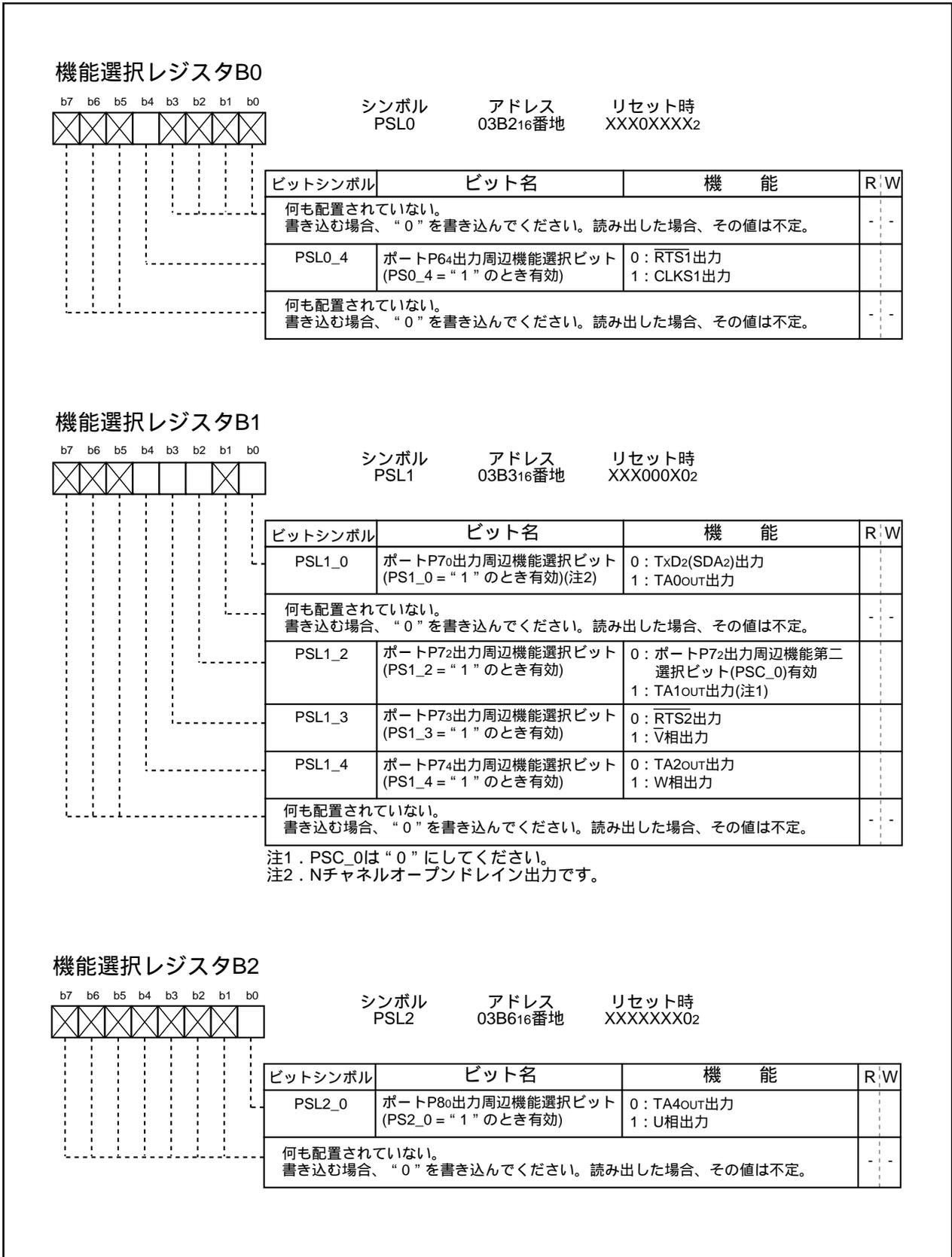


図26.10 機能選択レジスタBの構成(1)

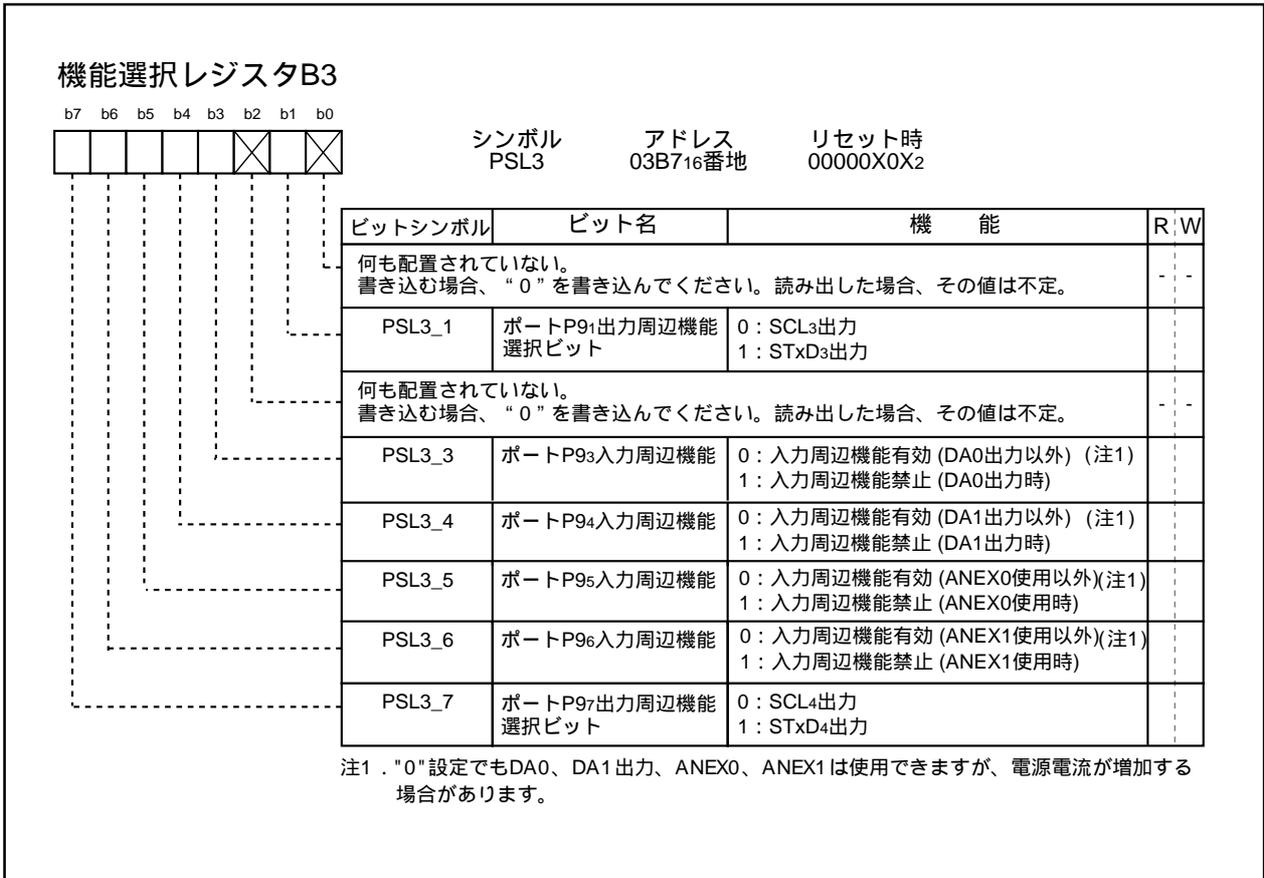


図26.11 機能選択レジスタBの構成(2)

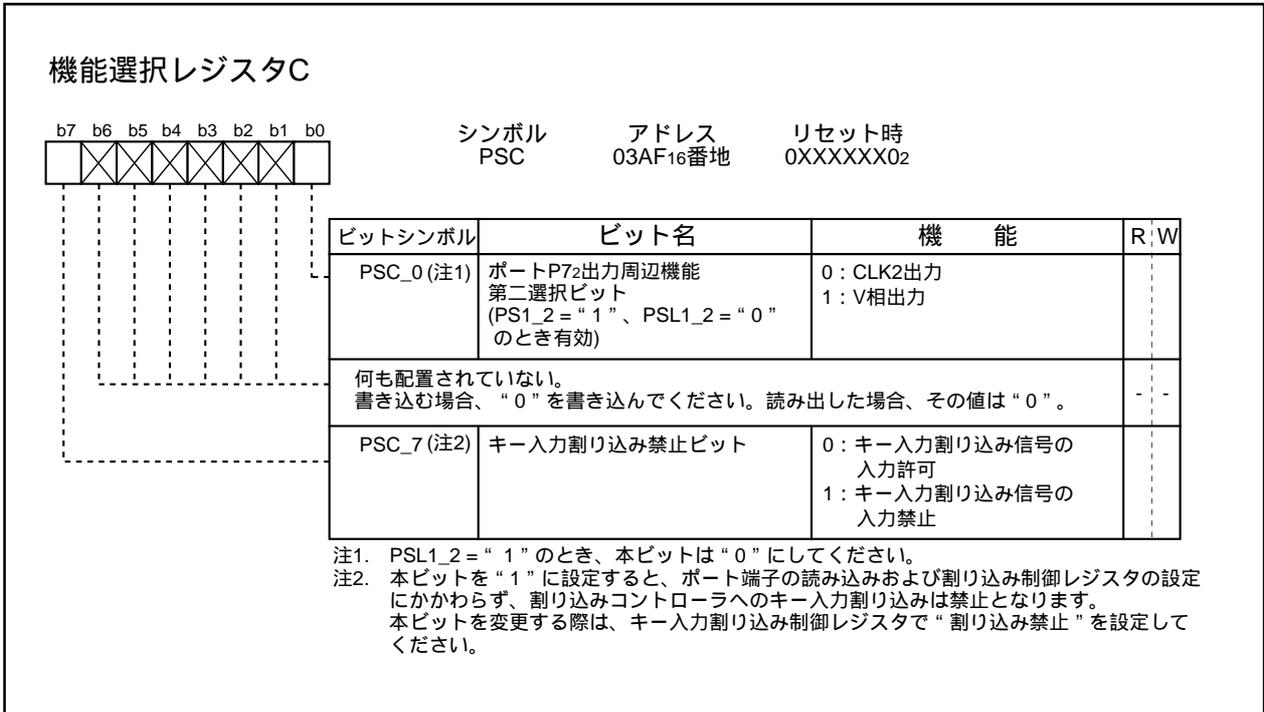


図26.12 機能選択レジスタCの構成

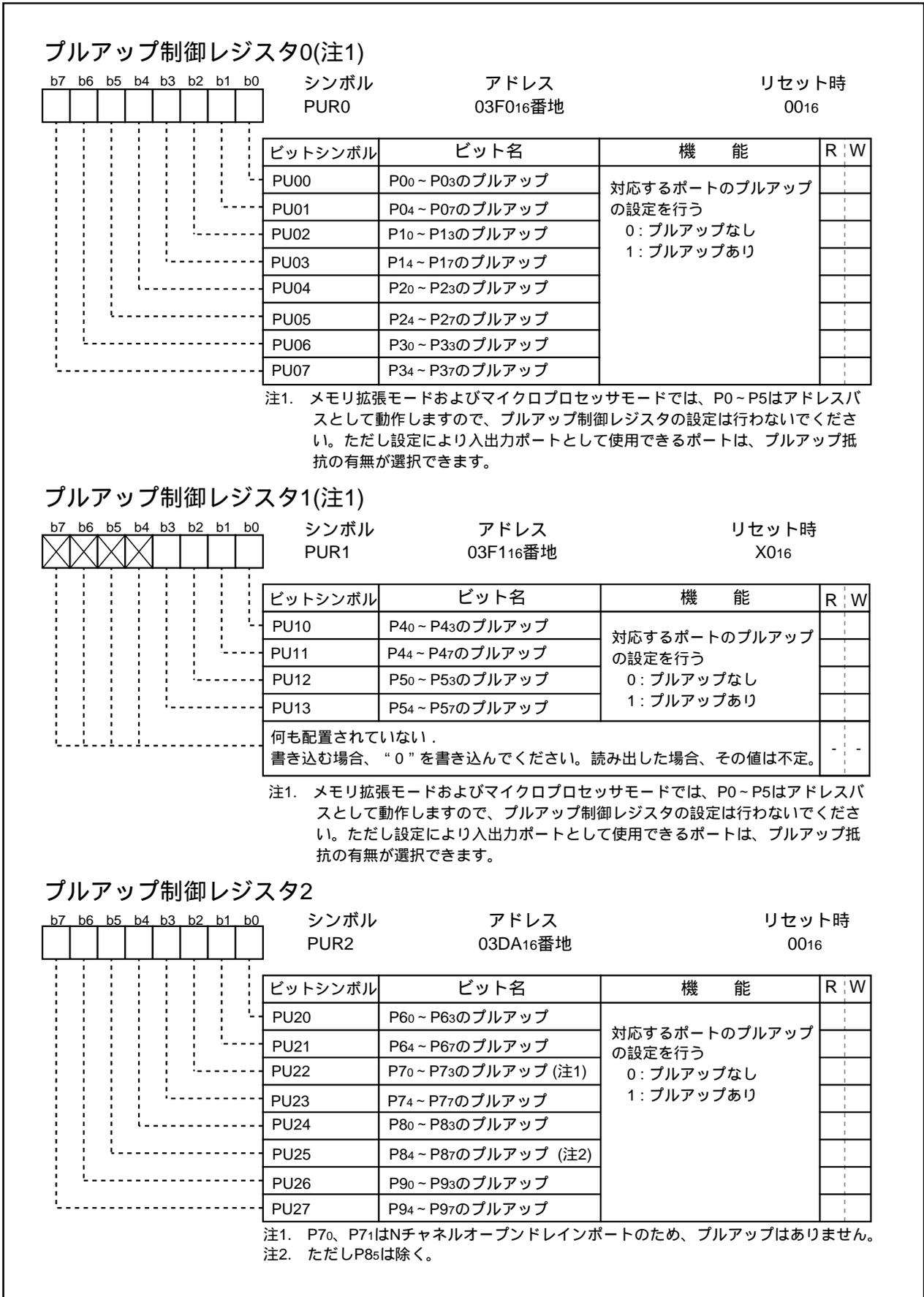


図26.13 プルアップ制御レジスタの構成(1)

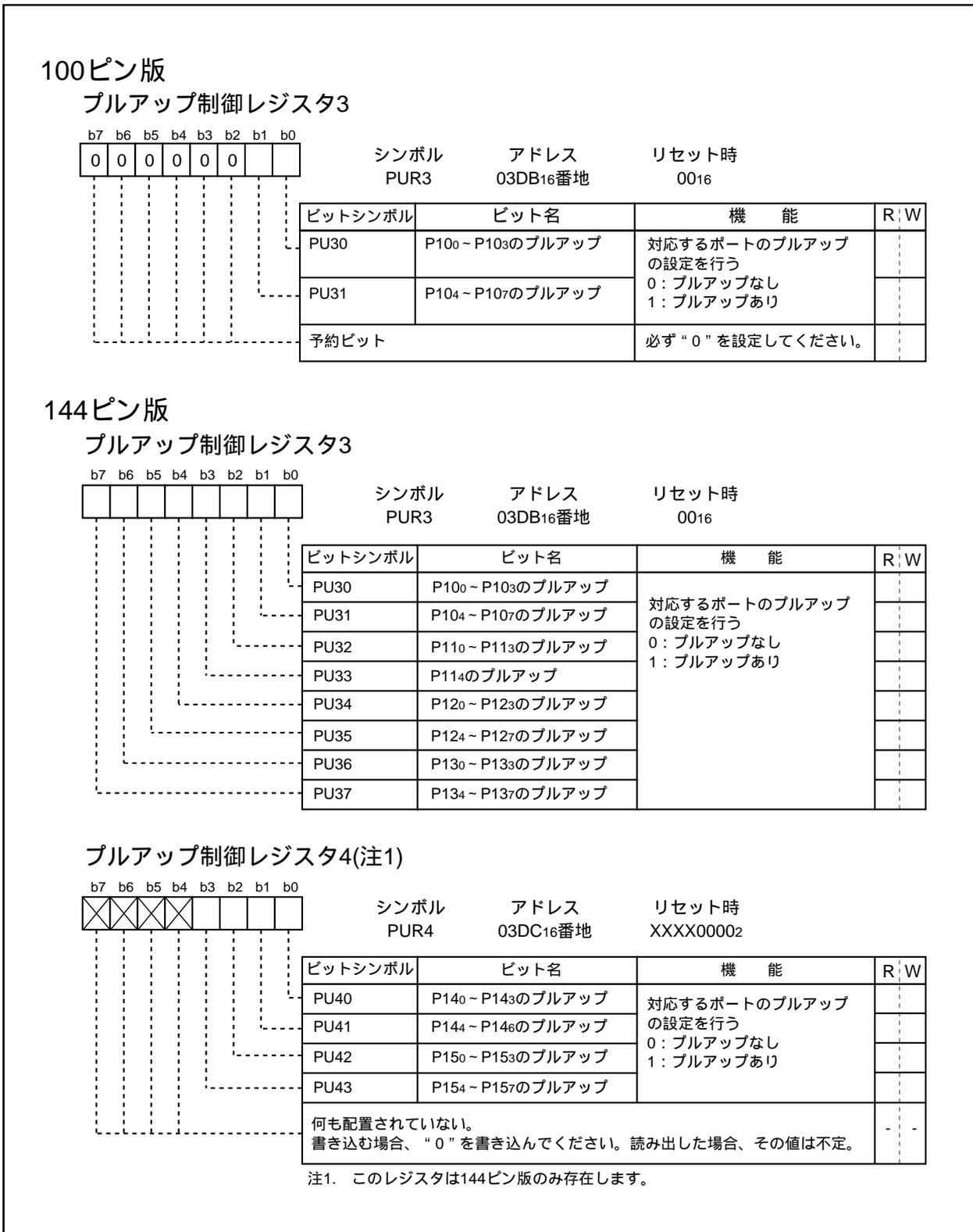


図26.14 プルアップ制御レジスタの構成(2)

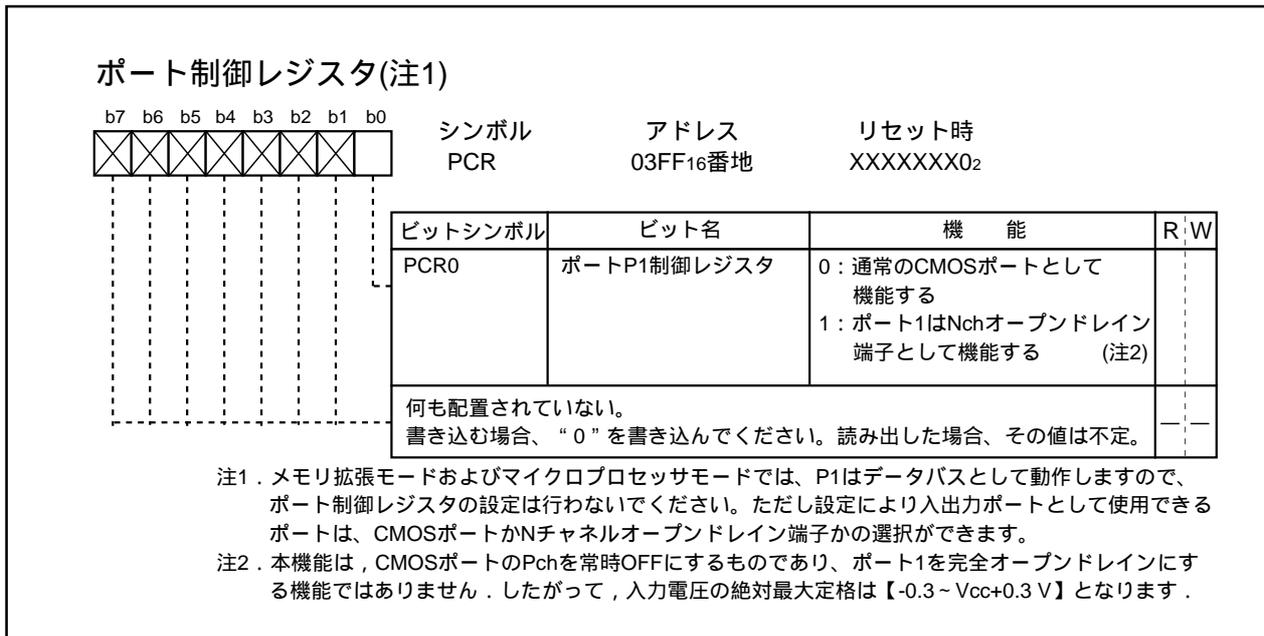


図26.15 ポート制御レジスタの構成

表26.2 シングルチップモード時の未使用端子の処理例

端子名	処理内容
ポートP0 ~ P15(P8sは除く) (注1)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
XOUT(注2)	開放
NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF, BYTE	Vssに接続

注1. ポートP11 ~ P15は144ピン版のみ存在します。
 注2. XIN端子に外部クロックを入力しているとき

表26.3 メモリ拡張モード、マイクロプロセッサモード時の未使用端子の処理例

端子名	処理内容
ポートP6 ~ P15(P8sは除く) (注1)	入力モードに設定し、端子ごとに抵抗を介してVssに接続(プルダウン)するか、または出力モードに設定し、端子を開放
BHE, ALE, HLDA, XOUT(注2), BCLK	開放
HOLD, RDY, NMI	抵抗を介してVccに接続(プルアップ)
AVcc	Vccに接続
AVss, VREF	Vssに接続

注1. ポートP11 ~ P15は144ピン版のみ存在します。
 注2. XIN端子に外部クロックを入力しているとき

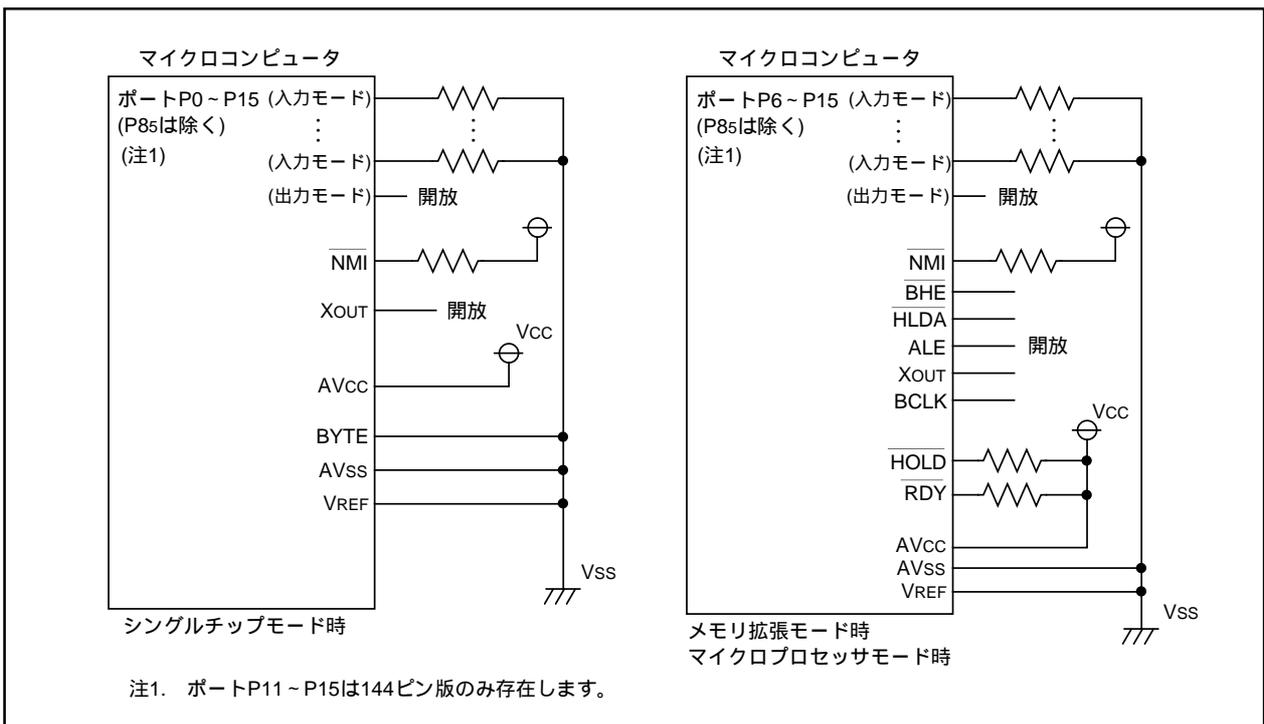


図26.16 未使用端子の処理例

27. 使用上の注意事項

SFRの注意事項(100ピン版のみ)

- (1) 03C9₁₆、03CB₁₆～03D3₁₆、03DC₁₆番地の領域は、将来展開予定の製品のために用意しているものです。03CB₁₆、03CE₁₆、03CF₁₆、03D2₁₆、03D3₁₆番地には必ず“FF₁₆”を初期設定してください。03DC₁₆番地には必ず“00₁₆”を初期設定してください。

タイマの注意事項

- (1) タイマAiレジスタおよびタイマBiレジスタはリセット後不定です。使用するタイマAiレジスタ、タイマBiレジスタに値を設定してからカウントを開始してください。

タイマAの注意事項 (タイマモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマAの注意事項 (イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマAiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、アンダフロー時はFFFF₁₆が、オーバフロー時は0000₁₆が読み出されます。カウント停止中にタイマAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。
- (2) フリーランタイプ選択時、カウントを停止した場合は、タイマを再設定してください。
- (3) フリーランタイプで使用する場合、カウント開始時タイマレジスタの値が不定になることがあります。したがって、カウント開始前にタイマレジスタに値を設定しても、不定値からカウントを開始することがあります。

アップカウント、ダウンカウントを切り替えない場合

リロードタイプを使用してください。カウント開始前にタイマレジスタに値を設定し、カウント開始直後タイマレジスタの値を書き替えてください。アップカウントで使用する場合は、タイマレジスタの値を0000₁₆に書き替え、ダウンカウントで使用する場合は、タイマレジスタの値をFFFF₁₆に書き替えることによって、フリーランタイプと同じ動作をします。

アップカウント、ダウンカウントを切り替える場合

カウントパルスが入力されるまで、リロードタイプで使用してください。1パルス分のカウントパルスが入力されてから、フリーランタイプにモードを変更してください。

タイマAの注意事項 (ワンショットタイマモード)

- (1) カウント中にカウント開始フラグを“0”にすると次のようになります。
カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
TAiOUT端子の出力レベルは“L”になります。
割り込み要求が発生し、タイマAi割り込み要求ビットが“1”になります。
- (2) ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大でカウントソースの1サイクル分の遅延が生じます。

- (3) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
- リセット後、ワンショットタイマモードを選択したとき
 - 動作モードをタイマモードからワンショットタイマモードに変更したとき
 - 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき
- したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (4) カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタの内容をリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。
- (5) カウント開始条件に外部トリガ入力を選択している場合、タイマAのカウント値が“0000h”になる前300nsの間に外部トリガを再入力しないでください。

タイマAの注意事項 (パルス幅変調モード)

- (1) 次に示すいずれかの手順でタイマの動作モードを設定した場合、タイマAi割り込み要求ビットが“1”になります。
- リセット後、PWMモードを選択したとき
 - 動作モードをタイマモードからPWMモードに変更したとき
 - 動作モードをイベントカウンタモードからPWMモードに変更したとき
- したがって、タイマAi割り込み(割り込み要求ビット)を使用する場合は、上記の設定を行った後、タイマAi割り込み要求ビットを“0”にしてください。
- (2) PWMパルスを出力中にカウント開始フラグを“0”にすると、カウンタはカウントを停止します。このとき、TAIOUT端子が“H”レベルを出力している場合は、出力レベルは“L”になり、タイマAi割り込み要求ビットが“1”になります。“L”レベルを出力している場合は、出力レベルは変化せず、タイマAi割り込み要求も発生しません。

タイマBの注意事項 (タイマモード、イベントカウンタモード)

- (1) カウント中のカウンタの値は、タイマBiレジスタを読み出すことによって任意のタイミングで読み出すことができます。ただし、リロードタイミングで読み出した場合、FFFF₁₆が読み出されます。カウント停止中にタイマBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読み出しを行った場合、設定値が読み出されます。

タイマBの注意事項 (パルス周期測定 / パルス幅測定モード)

- (1) カウント開始後に測定モード選択ビットの変更を行うと、タイマBi割り込み要求ビットが“1”になります。
- (2) カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。
- (3) カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、タイマBiオーバフローフラグが“1”になり、タイマBi割り込み要求が発生する可能性があります。
- (4) カウント開始フラグが“1”の状態、タイマBiオーバフローフラグが“1”になった後の次のカウントソースのカウントタイミング以降に、タイマBiモードレジスタに書き込みを行うとタイマBiオーバフローフラグは“0”になります。

ストップモード、ウェイトモードの注意事項

- (1) ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまで、リセット端子を“L”レベルにする必要があります。
- (2) ウェイトモードに移行する場合、命令キューは、WAIT命令から先読みしてプログラムが停止します。したがってWAIT命令にする命令の後にはNOPを最低4つ入れてください。
- (3) ストップモードに移行する場合、命令キューは全クロック停止制御ビットを“1”にする命令から先読みして、プログラムが停止し、先読みされた命令がストップモードからの復帰用割り込みルーチンより先に実行されます。したがって全クロック停止制御ビットを“1”にする命令の後には次のようにjmp.B命令を入れてください。

```

        bset 0,prcr          ;プロテクト解除
        bset 0,cm1          ;全クロック停止(ストップモード)
        jmp.b LABEL_001    ;jmp.b命令実行(jmp.bとラベルの間には命令を
LABEL_001:                  ;入れないで、直ぐ次の命令へジャンプする)
        nop                 ;nop(1)
        nop                 ;nop(2)
        nop                 ;nop(3)
        nop                 ;nop(4)
        mov.b #0,prcr      ;プロテクト設定
        .
        .
        .

```

(4)次の手順でストップモードへ移行してください。

- ・初期設定での処理

復帰用優先レベル(RLVLレジスタのRLVL2～RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。

- ・ストップモード移行前の処理

[1]ストップモードからの復帰に使用する割り込みの割り込み優先レベルを設定する

[2]ストップモードからの復帰に使用しない割り込みの割り込み優先レベルを設定する

[3]IPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する

(復帰に使用する割り込み優先レベル > 復帰用優先レベル 復帰に使用しない割り込み優先レベル)

[4]Iフラグを“1”にする

[5]PRCRレジスタのPRC0ビットを“1”(書き込み許可)にして、CM10ビットを“1”にする

- ・ストップモード復帰後の処理

ストップモード復帰後、すぐに復帰用優先レベルを“7”にする。

(5)ストップモードからNMI割り込みで復帰した後、再びストップモードに移行する場合、次の手順でCM10ビットを"1"にしてください。

[1]NMI割り込みでストップモードから復帰する

[2]ダミー割り込みを発生させる

[3]CM10ビットを"1"にする

例：

```
INT      63      ; ダミー割り込み
BSET  CM1      ; 全クロック停止(ストップモード)
```

```
/* ダミー割り込み処理 */
```

```
DUMMY:
```

```
REIT
```

(6)次の手順でウェイトモードに移行してください。

- ・初期設定での処理

復帰用優先レベル(RLVLレジスタのRLVL2～RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。

- ・ウェイトモード移行前の処理

[1]ウェイトモードからの復帰に使用する割り込みの割り込み優先レベルを設定する

[2]ウェイトモードからの復帰に使用しない割り込みの割り込み優先レベルを“0”に設定する

[3]IPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する

(復帰に使用する割り込み優先レベル > 復帰用優先レベル 復帰に使用しない割り込み優先レベル)

[4]Iフラグを“1”にする

[5]ウェイト命令を実行する

- ・ウェイトモード復帰後の処理

ウェイトモード復帰後、すぐに復帰用優先レベルを“7”にする。

A/Dコンバータの注意事項

- (1) A/D制御レジスタ0の各ビット(ビット6を除く)、A/D制御レジスタ1の各ビット、およびA/D制御レジスタ2のビット0に対する書き込みは、A/D変換停止時(トリガ発生前)に行ってください。
特にVref接続ビットを“0”から“1”にしたときは、1μs以上経過した後にA/D変換を開始させてください。
- (2) A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。
- (3) 単発モードまたは単掃引モードで使用する場合
A/D変換が完了したことを確認してから、対象となるA/Dレジスタを読み出してください(A/D変換の完了はA/D変換割り込み要求ビットで判定できます)。
- (4) 繰り返しモード、繰り返し掃引モード0または繰り返し掃引モード1で使用する場合
CPUの内部クロックは、メインクロックを分周せずに使用してください。
- (5) f(XIN)が10MHzを越える場合は分周し、ADの周波数を10MHz以下にしてください。
- (6) A/D変換動作中にプログラムでA/D変換を停止させた場合、A/D変換結果は不定となります。また、A/D変換を行っていないA/Dレジスタも不定となる場合があります。
A/D変換動作中にプログラムでA/D変換を停止させた場合は、全てのA/Dレジスタの値を使用しないでください。
- (7) A/D変換時のセンサーの出力インピーダンス(参考値)
A/D変換を正しく行うためには、図27.1の内部コンデンサCへの充電が所定の時間T内に終了することが必要です。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR、A/Dコンバータの精度(誤差)をX、分解されるレベル間隔をY(Yは10ビットモード時1024、8ビットモード時256)とします。

$$V_C \text{は一般に } V_C = V_{IN} \left\{ 1 - e^{-\frac{1}{C(R_0+R)} t} \right\}$$

$$t=T \text{ のとき、 } V_C = V_{IN} - \frac{X}{Y} \quad V_{IN} = V_{IN} \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R_0+R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R_0+R)} T = \ln \frac{X}{Y}$$

$$\text{よって、 } R_0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

例として図27.1のようなモデルを考え、 V_{IN} と V_C の差が0.1LSBとなるときの、時間 T でコンデンサ C の端子間電圧 V_C が0から $V_{IN} - (0.1/1024)V_{IN}$ になるインピーダンス R_0 を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不十分によるA/D精度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対精度が加わった値です。

AD=10MHzの時、サンプル&ホールド付きA/D変換モードでは $T=0.3\mu\text{s}$ となります。この時間 T 内にコンデンサ C の充電を十分に行える出力インピーダンス R_0 は以下のように求められます。

$T=0.3\mu\text{s}$ 、 $R=7.8\text{k}$ 、 $C=3\text{pF}$ 、 $X=0.1$ 、 $Y=1024$ を前式に代入し、

$$R_0 = - \frac{0.3 \times 10^{-6}}{3.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 \quad 3.0 \times 10^3$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンス R_0 は最大3.0k になります。表27.1、表27.2に出力インピーダンスとA/Dコンバータの精度(誤差)の関係を示します。

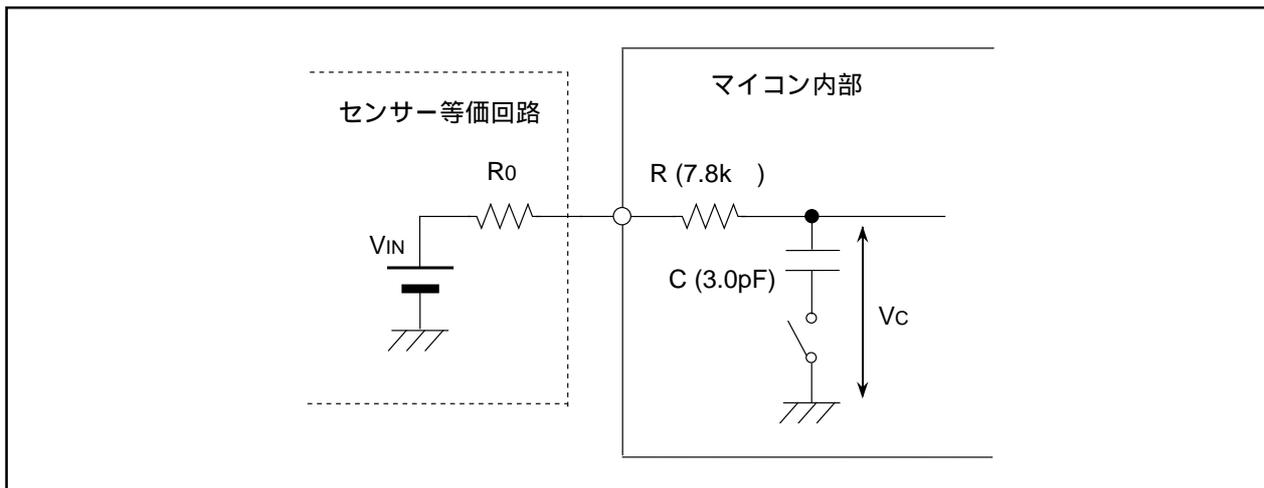


図27.1 A/D変換端子の等価回路

表27.1 出力インピーダンスとA/Dコンバータの精度(誤差)の関係(10ビットモード)参考値

f(XIN) (MHz)	サイクル (μ s)	サンプリング時間 (μ s)	R (k Ω)	C (pF)	誤差 (LSB)	R0 (k Ω)
10	0.1	0.3 (3 \times サイクル、 サンプル&ホールド機能有効)	7.8	3.0	0.1	3.0
					0.3	4.5
					0.5	5.3
					0.7	5.9
					0.9	6.4
					1.1	6.8
					1.3	7.2
					1.5	7.5
					1.7	7.8
1.9	8.1					
10	0.1	0.2 (2 \times サイクル、 サンプル&ホールド機能有効)	7.8	3.0	0.3	0.4
					0.5	0.9
					0.7	1.3
					0.9	1.7
					1.1	2.0
					1.3	2.2
					1.5	2.4
					1.7	2.6
					1.9	2.8

表27.2 出力インピーダンスとA/Dコンバータの精度(誤差)の関係(8ビットモード)参考値

f(XIN) (MHz)	サイクル (μ s)	サンプリング時間 (μ s)	R (k Ω)	C (pF)	誤差 (LSB)	R0 (k Ω)
10	0.1	0.3 (3 \times サイクル、 サンプル&ホールド機能有効)	7.8	3.0	0.1	4.9
					0.3	7.0
					0.5	8.2
					0.7	9.1
					0.9	9.9
					1.1	10.5
					1.3	11.1
					1.5	11.7
					1.7	12.1
1.9	12.6					
10	0.1	0.2 (2 \times サイクル、 サンプル&ホールド機能有効)	7.8	3.0	0.1	0.7
					0.3	2.1
					0.5	2.9
					0.7	3.5
					0.9	4.0
					1.1	4.4
					1.3	4.8
					1.5	5.2
					1.7	5.5
1.9	5.8					

割り込みの注意事項

(1) スタックポインタの設定

リセット直後スタックポインタの値は、“000000₁₆”に初期化されています。そのため、スタックポインタに値を設定する前に割り込みを受け付けると、暴走の要因となります。割り込みを受け付ける前に、必ずスタックポインタに値を設定してください。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭でスタックポインタを初期化してください。リセット直後の先頭の1命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。スタックポインタには偶数アドレスを設定してください。偶数を設定した方がメモリアクセスの効率が良くなります。

(2) $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、割り込みを禁止することができません。したがって、使用しない場合は、 $\overline{\text{NMI}}$ 端子に抵抗を介してVcc端子に接続(プルアップ)してください。必ず端子処理は必要です。

$\overline{\text{NMI}}$ 端子は、入力専用のP85と兼用になっています。P8レジスタの内容を読み込むことで端子の値を読み込むことができます。この端子の読み込みは、 $\overline{\text{NMI}}$ 割り込みが入ったときの端子のレベル確定用にだけ使用してください。

$\overline{\text{NMI}}$ 端子に入力する信号の“L”レベル幅/“H”レベル幅は、いずれもCPUクロックの2サイクル+300ns以上にしてください。

(3) アドレス一致割り込みの注意事項

アドレス一致割り込みレジスタには以下のアドレスを設定しないでください。

1. 割り込みルーチンの先頭命令のアドレス
2. 割り込み制御レジスタの割り込み要求ビットをクリアする命令または割り込み優先レベルを現在より低く変更する命令から7命令分のアドレス
3. 割り込み許可フラグ(Iフラグ)をセットする命令から3命令分のアドレス
4. プロセッサ割り込み優先レベル(IPL)を現在より低く書き替える命令から3命令分のアドレス

```
例1 interrupt_A:                                ;割り込みルーチン
    pushm  R0,R1,R2,R3,A0,A1                    ; 割り込みの先頭命令へのアドレス一致
                                                ; 割り込みの設定は禁止
```

```
例2 ;割り込み優先レベルは1以上
    mov.b  #0,TA0IC                             ;割り込み優先レベルを低い値に変更
    nop                                         ;1命令
    nop                                         ;2命令
    nop                                         ;3命令
    nop                                         ;4命令
    nop                                         ;5命令
    nop                                         ;6命令
    nop                                         ;7命令
} この間のアドレス一致割り込みの設定は禁止
```

例3	fset I	;Iフラグセット	} この間のアドレス一致割り込みの設定は禁止
	nop	;1命令	
	nop	;2命令	
	nop	;3命令	
例4	ldipl #0	;IPLを低いレベルへ書き替え	} この間のアドレス一致割り込みの設定は禁止
	nop	;1命令	
	nop	;2命令	
	nop	;3命令	

割り込みからの復帰命令でアドレス一致割り込みレジスタに設定したアドレスに復帰する場合、割り込みからの復帰命令は、割り込み許可フラグ(Iフラグ)をセットする命令、プロセッサ割り込み優先レベル(IPL)をセットする命令にあてはまりません。したがって、割り込みルーチン内で割り込み制御レジスタを書き換える場合は、最後(reit・freit命令の直前)に下記処理を追加してください。また、その他の割り込みで多重割り込みを許可している場合は、多重割り込みを許可している割り込みの最後にも同様に下記処理を追加してください。

ノンマスクابل割り込みルーチン内で割り込み制御レジスタを書き換えている場合は、すべての割り込みの最後で下記処理を追加してください。

追加処理内容

		;レジスタ復帰命令(popm命令)の後に行ってください
fclr	U	;ISP選択(ISPをすでに選択している場合は必要ありません)
pushm	R0	;R0退避
mov.w	6[SP],R0	;スタック上のFLG読み出し(高速割り込みの場合はstc SVF,R0)
ldc	R0,FLG	;FLGに設定
popm	R0	;R0復帰
nop		;ダミー
reit		;割り込み終了(高速割り込みの場合はfreit)

例5 割り込みAルーチンで割り込みBの割り込み制御レジスタを書き換え、割り込みCで多重割り込みを許可している場合、割り込みAと割り込みCのルーチンの最後で対策が必要です。

割り込みAルーチン

Interrupt_A:

pushm	R0,R1,R2,R3,A0,A1	;レジスタ退避
...		
bclr	3,TA0IC	;割り込みBの割り込み制御レジスタ書き換え
...		
popm	R0,R1,R2,R3,A0,A1	;レジスタ復帰
fclr	U	;ISP選択(ISPをすでに選択している場合は必要ありません)
pushm	R0	;R0退避
mov.w	6[SP],R0	;スタック上のFLG読み出し
ldc	R0,FLG	;FLGに設定
popm	R0	;R0復帰
nop		;ダミー
reit		;割り込み終了

割り込みCルーチン

Interrupt_C:

```

pushm   R0,R1,R2,R3,A0,A1 ;レジスタ退避
fset    I                    ;多重割り込み許可
. . .
. . .
popm    R0,R1,R2,R3,A0,A1 ;レジスタ復帰
fclr    U                    ;ISP選択(ISPをすでに選択している場合は必要ありません)
pushm   R0                    ;R0退避
mov.w   6[SP],R0             ;スタック上のFLG読み出し
ldc     R0,FLG               ;FLGに設定
popm    R0                    ;R0復帰
nop     ;ダミー
reit    ;割り込み終了

```

(4) 外部割り込み

エッジセンスの場合

INT₀ ~ INT₅端子に入力する信号には、CPUの動作クロックに関係なく250ns以上の“L”レベル幅、または“H”レベル幅が必要です。

レベルセンスの場合

INT₀ ~ INT₅端子に入力する信号には、BCLK1周期 + 200ns以上の“L”レベル幅、または“H”レベル幅が必要です。(X_{IN} = 20MHz、分周無しの場合は250ns以上必要です。)

INT₀ ~ INT₅端子の極性を切り替えるときに割り込み要求ビットが“1”になることがあります。切り替えを行った後、割り込み要求ビットを“0”にしてください。INT割り込み発生要因の切り替え手順例を図27.2に示します。

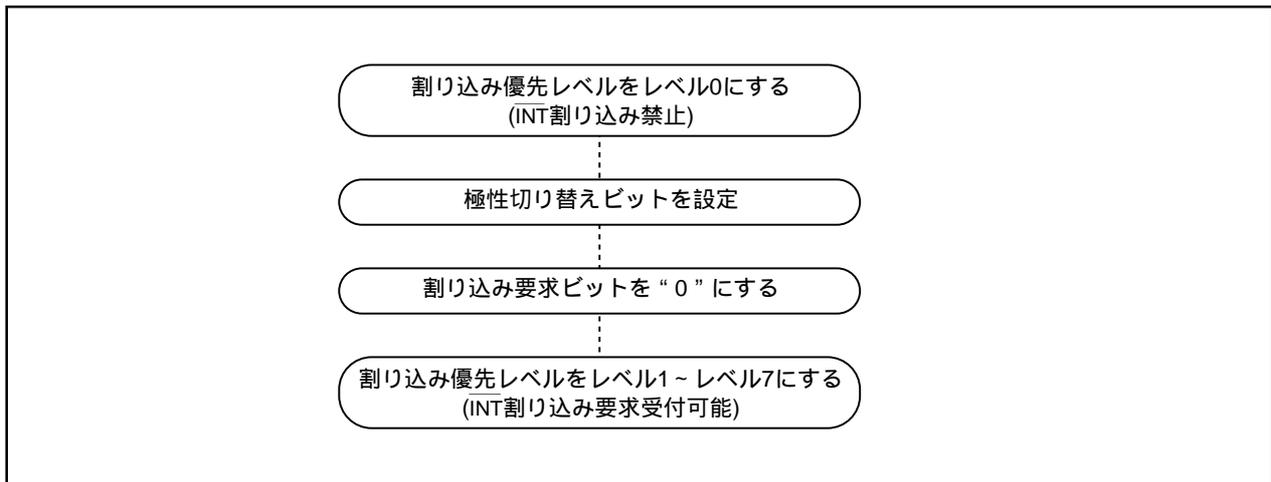


図27.2 INT割り込み発生要因の切り替え

(5) 割り込み制御レジスタの変更

割り込みが禁止状態で、割り込み制御レジスタを書き換える命令を実行しているときに、そのレジスタに対応する割り込み要求が発生した場合、命令によっては割り込み要求ビットがセットされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・AND、OR、BCLR、BSET

割り込み制御レジスタの割り込み要求ビットをクリアするとき、使用する命令によっては割り込み要求ビットがクリアされないことがあります。このことが問題になる場合は、以下の命令を使用してレジスタを変更するようにしてください。

対象となる命令・・・MOV

DMACの注意事項

(1) DMAi要因選択レジスタのDMA要求ビットに“0”を書き込まないでください。

M16C/80では、DMA要求が発生した場合、そのチャンネルが受け付けられない状態(注1)であればDMA転送は実行せず、そのDMA要求ビットは自動的にクリアされます。

注1. DMA禁止状態、転送カウントレジスタが“0”の状態

(2) ソフトウェアトリガでDMA転送を行う場合、OR命令を使用し、DMAi要因選択レジスタのソフトウェアDMA要求ビットとDMA要求ビットに同時に“1”を設定してください。

例) OR.B #0A0h,DMiSL ;ソフトウェアDMA要求ビットとDMA要求ビット
; “1” 同時書き込み

(3) DMAi要因選択レジスタのDMA要求要因選択ビットを変更する場合は、DMA要求ビットに同時に“1”を書き込んでください。この場合、該当するDMAチャンネルは禁止状態で行ってください。DMAを許可する命令は、DMAi要因要求選択レジスタに書き込みを行ってから26サイクル以上間をあけてください。

例) DMA0を単転送で使用しており、要因をタイマA0に変更する場合

push.w	R0	; R0レジスタ退避	
stc	DMD0, R0	; DMAモードレジスタ0読み出し	
and.b	#11111100b, R0L	; DMA0転送モード選択ビット“00”クリア	
ldc	R0, DMD0	; DMA0禁止	
mov.b	#10000011b, DM0SL	; タイマA0選択(DMA要求ビット=“1”同時書き込み)	
push.w	R0	; R0レジスタ待避	}
mov.w	#6,R0	;	
dummy_loop:			} DMA許可まで26サイクル以上必要
sbjnz.w	#1,R0,dummy_loop	;	
pop.w	R0	; R0レジスタ復帰	
or.b	#00000001b, R0L	; DMA0単転送設定	
ldc	R0, DMD0	; DMA0許可	
pop.w	R0	; R0レジスタ復帰	

(4) DMA転送開始の推奨手順

DMAi要因選択レジスタに書き込みを行う場合(同じ値をDMAi要因選択レジスタに上書きする場合も含む)

1. DMAモードレジスタ0、1で対応するチャンネルiをDMA禁止にする。
2. DMA転送の要求要因となる周辺機能の設定を行う。
このとき、DMA転送の要求要因となる周辺機能は禁止にしておく。
(例えば、要求要因がUART0送信なら、UART0を送信禁止にする。)
3. DMAi要因選択レジスタの設定を行う。
このとき、DMA要求ビット(ビット7)には、"1"を書く。
4. CPU内の下記レジスタの設定を行う。
 - ・ DMAiSFRアドレスレジスタ
 - ・ DMAiメモリアドレスリロードレジスタ
 - ・ DMAiメモリアドレスレジスタ
 - ・ DMAi転送カウントリロードレジスタ
 - ・ DMAi転送カウントレジスタ
5. この時点で、「4.」の処理時間が26サイクルに満たない場合、不足のサイクル数分をnopなどの他の処理で補う。
6. DMAモードレジスタ0、1で対応するチャンネルiをDMA許可にする。
7. DMA転送の要求要因となる周辺機能を許可にする。
(例えば、要求要因がUART0送信なら、UART0を送信許可にする。)

DMAi要因選択レジスタに書き込みを行わない場合

1. DMAモードレジスタ0、1で対応するチャンネルiをDMA禁止にする。
2. DMA転送の要求要因となる周辺機能の設定を行う。
このとき、DMA転送に要求要因となる周辺機能は禁止にしておく。
(たとえば、要求要因がUART0送信なら、UART0を送信禁止にする。)
3. CPU内の下記レジスタの設定を行う。
 - ・ DMAiSFRアドレスレジスタ
 - ・ DMAiメモリアドレスリロードレジスタ
 - ・ DMAiメモリアドレスレジスタ
 - ・ DMAi転送カウントリロードレジスタ
 - ・ DMAi転送カウントレジスタ
4. DMAモードレジスタ0、1で対応するチャンネルiをDMA許可にする。
5. DMA転送の要求要因となる周辺機能を許可にする。
(例えば、要求要因がUART0送信なら、UART0を送信許可にする。)

(5) DMA転送終了の推奨手順

DMA転送の要求要因となる周辺機能を禁止にし、DMA要求が発生しないようにする。
DMAモードレジスタ0、1で対応するチャンネルiをDMA禁止にする。

ノイズに関する注意事項

- (1) ノイズおよびラッチアップ対策として、V_{CC}-V_{SS}ライン間へのバイパスコンデンサ挿入
V_{CC}端子とV_{SS}端子間にバイパスコンデンサ(0.1 μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

CLKOUT端子使用時の注意事項

- (1) シングルチップモード時、P53端子をCLKOUT端子(f₈、f₃₂またはf_c出力)として使用する場合、P57端子は入力端子(ポートP57方向レジスタを"0"に設定)として使用してください。
出力端子(ポートP57方向レジスタを"1"に設定)としてもP57端子はハイインピーダンスとなり"H"レベル、"L"レベルを出力しません。

HOLD信号使用の注意事項

シングルチップモード時にP40～P47、P50～P52を出力に設定(方向レジスタに"1"を設定)し、その後、マイクロプロセッサモード、メモリ拡張モードに移行した場合、HOLD端子に"L"を入力してもP40～P47(A16～A23、CS0～CS3、MA8～MA12)、P50～P52(RD/WR/BHE、RD/WRL/WRH、CASL/CASH/DW)がハイインピーダンスとなりません。

HOLD入力を使用し、P40～P47、P50～P52をシングルチップモード時に出力設定する場合は、必ずP40～P47、P50～P52は入力設定にして、マイクロプロセッサモード、又はメモリ拡張モードに移行してください。

消費電力を小さくする場合の注意事項

- (1) A/D変換を行わない場合、A/D制御レジスタ1のVref接続ビットでVref未接続を選択してください。
A/D変換を行う場合、Vrefを接続してから1 μ s以上経過した後、A/D変換をスタートさせてください。
- (2) AN4 (P104) ~ AN7 (P107)を使用する場合、機能選択レジスタCのキー入力割り込み禁止ビットでキー入力割り込み信号の入力禁止を選択してください。
キー入力割り込み信号の入力禁止を選択した場合、キー入力割り込みは使用できません。また、P104 ~ P107の方向レジスタが入力に設定されていてもポート端子からの入力はいけません(入力結果は不定となります)。
キー入力割り込み信号の入力禁止を使用する場合、AN4 ~ AN7を全てA/D入力として使用してください。
- (3) ANEX0、ANEX1を使用する場合、機能選択レジスタB3でポートP95、ポートP96入力周辺機能選択ビットで入力周辺機能禁止を選択してください。
入力周辺機能禁止を選択した場合、そのポートの方向レジスタが入力に設定されていてもポート端子からの入力はいけません(入力結果は不定となります)。また、ANEX0、ANEX1以外の周辺機能の入力も行えません。
- (4) D/Aコンバータを使用しない場合、D/A制御レジスタのD/A出力許可ビットを出力禁止としてD/Aレジスタに"0016"を設定してください。
- (5) D/A変換を行う場合、機能選択レジスタB3でポートP93、ポートP94入力周辺機能選択ビットで入力周辺機能禁止を選択してください。
入力周辺機能禁止を選択した場合、そのポートの方向レジスタが入力に設定されていてもポート端子からの入力はいけません(入力結果は不定となります)。また、周辺機能の入力も行えません。

DRAMコントローラの注意事項

ストップモード時などでDRAMのセルフリフレッシュ動作が行えます。

セルフリフレッシュに移行する場合は、DRAM空間選択ビットでDRAM無効を選択し、次の命令でDRAM空間選択ビットの設定とセルフリフレッシュモードビットでのセルフリフレッシュ設定を同時に行ってください。また、セルフリフレッシュモードビットを“1”に設定直後2命令はNOPを入れてください。

セルフリフレッシュ動作中は、外部へのアクセスは禁止です。(全外部領域のアクセス禁止)

セルフリフレッシュを解除する場合はDRAM空間選択ビットでDRAM無効とセルフリフレッシュモードビットでのセルフリフレッシュ解除を同時に行い、次の命令でDRAM空間選択ビットの設定を行ってください。また、DRAM空間選択ビット設定直後の命令でDRAM領域のアクセスを行わないでください。

例：ウエイト選択ビットで1ウエイト選択、DRAM空間選択ビットで4MB選択

セルフリフレッシュ移行

.....

```
mov.b #00000001b,DRAMCONT ;DRAM無効、1ウエイト選択
mov.b #10001011b,DRAMCONT ;セルフリフレッシュ設定、4MB、1ウエイト選択
nop ; 2命令nopが必要
nop ;
.....
```

セルフリフレッシュ解除

.....

```
mov.b #00000001b,DRAMCONT ;セルフリフレッシュ解除、DRAM無効、1ウエイト選択
mov.b #00001011b,DRAMCONT ;4MB、1ウエイト選択
nop ;DRAM領域をアクセスする命令は禁止
nop ;
.....
```

レジスタ設定時の注意事項

表27.3に示すレジスタはリード時に不定となるビットを含みます。リード時に不定となるビットを含むレジスタには、即値を設定してください。頻繁に使用するレジスタの値は、RAM に設定しRAM の内容を変更した後、レジスタに転送してください。

表27.3 対象レジスタ一覧

レジスタ名	シンボル	アドレス
UART4 転送速度レジスタ	U4BRG	02F9 ₁₆
UART4 送信バッファレジスタ	U4TB	02FB ₁₆ 、02FA ₁₆
短絡防止タイマ	DTT	030C ₁₆
タイマB2 割り込み発生頻度設定カウンタ	ICTB2	030D ₁₆
UART3 転送速度レジスタ	U3BRG	0329 ₁₆
UART3 送信バッファレジスタ	U3TB	032B ₁₆ 、032A ₁₆
UART2 転送速度レジスタ	U2BRG	0339 ₁₆
UART2 送信バッファレジスタ	U2TB	033B ₁₆ 、033A ₁₆
アップダウンフラグ	UDF	0344 ₁₆
タイマA0 レジスタ(注1)	TA0	0347 ₁₆ 、0346 ₁₆
タイマA1 レジスタ(注1)	TA1	0349 ₁₆ 、0348 ₁₆
タイマA2 レジスタ(注1)	TA2	034B ₁₆ 、034A ₁₆
タイマA3 レジスタ(注1)	TA3	034D ₁₆ 、034C ₁₆
タイマA4 レジスタ(注1)	TA4	034F ₁₆ 、034E ₁₆
UART0 転送速度レジスタ	U0BRG	0361 ₁₆
UART0 送信バッファレジスタ	U0TB	0363 ₁₆ 、0362 ₁₆
UART1 転送速度レジスタ	U1BRG	0369 ₁₆
UART1 送信バッファレジスタ	U1TB	036B ₁₆ 、036A ₁₆

注1.ワンショットタイマモード時およびパルス幅変調モード時のみ対象です。

ROM外付け版の注意事項(144ピン版のみ)

ROM外付け版はマイクロプロセッサモードでだけ動作します。

必ず以下の設定を行ってください。

- ・ CNVss端子は、Vccに接続してください。

CNVss端子を"H"でリセットするときの注意事項

CNVss端子を"H"にしてリセットすると、内部ROMは読み出せません。

メモリ拡張モード時、マイクロプロセッサモード時の注意事項

メモリ拡張モードまたはマイクロプロセッサモードの状態ではウェイトモードに入る場合、アドレスバスおよびデータバスとして機能している端子は、ウェイトモードに入る直前のバスの状態を保持します。消費電流を低減するため任意の値を出力する場合、シングルチップモードに移行することによって、バスとして機能していた端子は汎用の入出力ポートとなり、任意の値を出力することができます。このとき、シングルチップモードに移行してから、ポートレジスタおよび方向レジスタを設定してください(チップセレクトやリードなど、外部デバイスのアクセスに必要な信号として機能している端子の場合も含む)。

メモリ拡張モードまたはマイクロプロセッサモードの状態では、ポートレジスタおよび方向レジスタを設定しても無視されます。

ストップモードに入る場合も同様です。

設定手順を以下に示します。

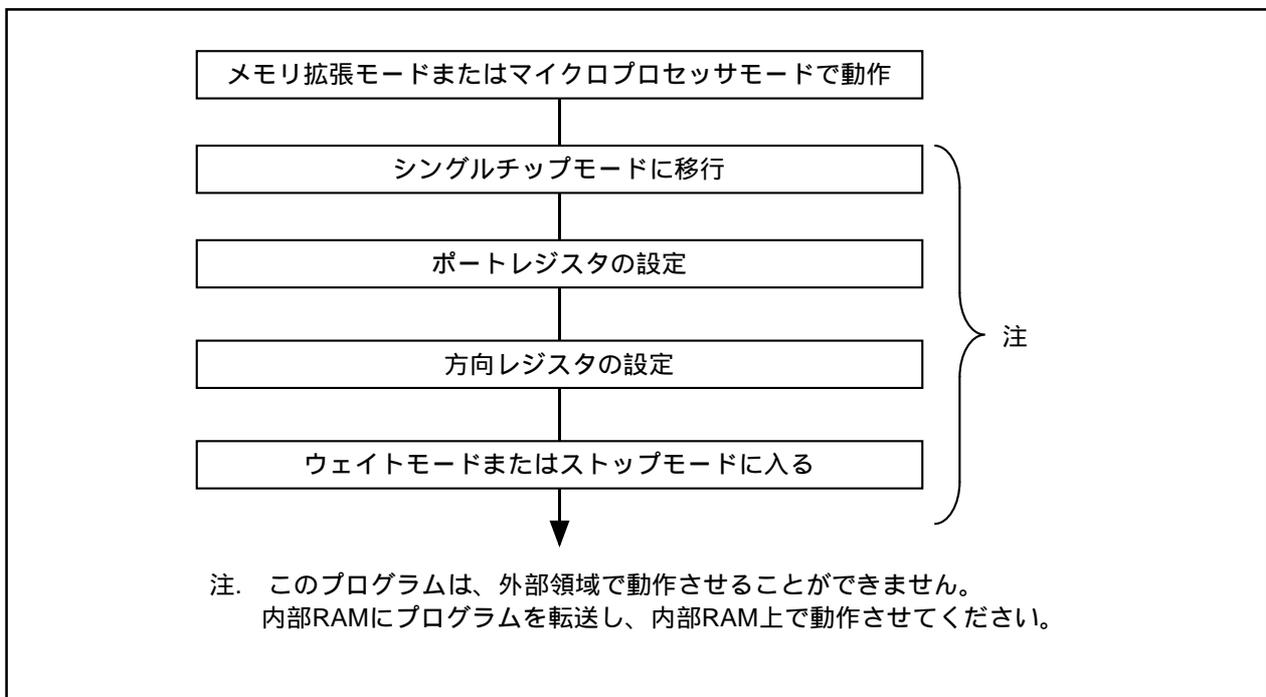


図27.3 ポートレジスタおよび方向レジスタ設定手順

マイクロプロセッサモード時の注意事項

CNV_{ss}を"H"にしてマイクロプロセッサモードでソフトウェアリセットを実行する場合、PM0レジスタ書き込み命令の後にNOP命令を3命令以上配置してください。

例：

```
mov.b #02H,PRCR
```

```
bset 3,PM0 ;または " mov.b #8BH,PM0 " (ソフトウェアリセットを実行する命令)
```

```
nop ;直後にnopを3命令以上挿入
```

```
nop
```

```
nop
```

```
nop
```

フラッシュメモリ版の注意事項

プロセッサモードレジスタ1(0005₁₆番地)のビット7、ビット6には必ず“11₂”を設定してください。設定は、メインクロック8分周の時に行ってください。

ブートローダ内蔵ROM外付け版の書き換えプログラム作成時の注意事項

- ・書き換えプログラムでは、割り込みを使用しないでください。
- ・書き換えプログラムでは、絶対番地ジャンプ命令(JMP.A, JMPL.A)と絶対番地サブルーチンコール命令(JSR.A, JSRL.A)を使用しないでください。

28. 電気的特性

表28.1 絶対最大定格

記号	項目	条件	定格値	単位
Vcc	電源電圧	Vcc=AVcc	-0.3 ~ 6.5	V
AVcc	アナログ電源電圧	Vcc=AVcc	-0.3 ~ 6.5	V
Vi	入力電圧	RESET, (マスクROM版 CNVss, BYTE), P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P72-P77, P80-P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157, VREF, XIN (注1)	-0.3 ~ Vcc+0.3	V
		P70, P71	-0.3 ~ 6.5	V
Vo	出力電圧	P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P72-P77, P80-P84, P86, P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157, XOUT (注1)	-0.3 ~ Vcc+0.3	V
		P70, P71	-0.3 ~ 6.5	V
Pd	消費電力	Topr=25	500	mW
Topr	動作周囲温度		-20 ~ 85 / -40 ~ 85(注2)	
Tstg	保存温度		-65 ~ 150	

注1. ポートP11 ~ P15は144ピン版のみ存在します。

注2. -40 ~ 85 品を御使用になる場合はそのむね御指定下さい。

表28.2 推奨動作条件(指定のない場合は、Vcc=2.7V ~ 5.5V, Topr= - 20 ~ 85 / - 40 ~ 85 (注3))

記号	項目	規格値			単位	
		最小	標準	最大		
Vcc	電源電圧	2.7	5.0	5.5	V	
AVcc	アナログ電源電圧		Vcc		V	
Vss	電源電圧		0		V	
AVss	アナログ電源電圧		0		V	
VIH	"H"入力電圧	P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注5), XIN, RESET, CNVss, BYTE	0.8Vcc		Vcc	V
		P70, P71	0.8Vcc		6.5	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37 (シングルチップモード時)	0.8Vcc		Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0.5Vcc		Vcc	V
VIL	"L"入力電圧	P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注5), XIN, RESET, CNVss, BYTE	0		0.2Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37 (シングルチップモード時)	0		0.2Vcc	V
		P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37 (メモリ拡張、マイクロプロセッサモード時のデータ入力機能)	0		0.16Vcc	V
IOH (peak)	"H"尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注5)			- 10.0	mA
IOH (avg)	"H"平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注5)			- 5.0	mA
IOL (peak)	"L"尖頭出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注5)			10.0	mA
IOL (avg)	"L"平均出力電流	P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157(注5)			5.0	mA
f (XIN)	メインクロック入力発振周波数	ウエイトなし	Vcc=4.2V ~ 5.5V	0	20	MHz
			Vcc=2.7V ~ 4.2V	0	10	MHz
f (XCIN)	サブクロック発振周波数			32.768	50	kHz

注1. 平均出力電流は100msの期間内での平均値です。

注2. ポートP0, P1, P2, P86 ~ P87, P9, P10, P11, P14, P15のIOL(peak)の合計は80mA以下、ポートP0, P1, P2, P86 ~ P87, P9, P10, P11, P14, P15のIOH(peak)の合計は - 80mA以下、ポートP3, P4, P5, P6, P7, P80 ~ P84, P12, P13のIOL(peak)の合計は80mA以下、ポートP3, P4, P5, P6, P72 ~ P77, P80 ~ P84, P12, P13のIOH(peak)の合計は - 80mA以下にしてください。

注3. - 40 ~ 85 品を御使用になる場合はそのむね御指定下さい。

注4. P87のVIH、VILはP87をプログラブル入力ポートとして使用する場合の規格であり、XCINとして使用する場合の規格ではありません。

注5. ポートP11 ~ P15は144ピン版のみ存在します。

表28.3 A/D変換特性 (指定のない場合は、 $V_{CC}=AV_{CC}=V_{REF}=5V$, $V_{SS}=AV_{SS}=0V$, $T_{opr}=25$, $f(X_{IN})=20MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能	$V_{REF}=V_{CC}$			10	Bits
-	絶対精度(10bit)	$V_{REF}=V_{CC}=5V$ AN ₀ ~ AN ₇ 入力、 ANEX ₀ , ANEX ₁ 入力 外部オペアンプ接続モード			±3	LSB
	絶対精度(8bit)	$V_{REF}=V_{CC}=5V$			±7	LSB
	絶対精度(8bit)	サンプル&ホールド機能なし $V_{REF}=V_{CC}=3V$, $AD=f_{AD}/2$			±2	LSB
RLADDER	ラダー抵抗	$V_{REF}=V_{CC}$	10		40	k
tCONV	変換時間(10bit), サンプル&ホールド機能あり	$V_{REF}=V_{CC}=5V$, $AD=10MHz$	3.3			μs
tCONV	変換時間(8bit), サンプル&ホールド機能あり	$V_{REF}=V_{CC}=5V$, $AD=10MHz$	2.8			μs
tCONV	変換時間(8bit), サンプル&ホールド機能なし	$V_{REF}=V_{CC}=3V$, $AD=f_{AD}/2=5MHz$	9.8			μs
tsAMP	サンプリング時間		0.3			μs
VREF	基準電圧	$V_{REF}=V_{CC}=4.2-5.5V$	2.0			V
		$V_{REF}=V_{CC}=2.7-5.5V$	2.7			V
VIA	アナログ入力電圧		0		V_{REF}	V

- 注1. $f(X_{IN})$ は表28.2の推奨動作条件で規定されるメインクロック入力発振周波数の範囲内にしてください。
ただし、 $f(X_{IN})$ が10MHzを越える場合は f_{AD} を分周し、AD動作クロック周波数(AD)が10MHz以下になるようにして下さい。また、 V_{CC} が4.2V未満の場合も f_{AD} を分周し、AD動作クロック周波数(AD)が $f_{AD}/2$ 以下になるようにして下さい。
- 注2. サンプル&ホールド機能なしの時は、注1の制限に加えAD動作クロック AD の周波数は250kHz以上にしてください。
サンプル&ホールド機能ありの時は、注1の制限に加えAD動作クロック AD の周波数は1MHz以上にしてください。
- 注3. AV_{CC} 端子は V_{CC} 端子に接続し同一電位を与えてください。

表28.4 D/A変換特性(指定のない場合は、 $V_{CC}=V_{REF}=5V$, $V_{SS}=AV_{SS}=0V$, $T_{opr}=25$, $f(X_{IN})=20MHz$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	Bits
-	絶対精度				1.0	%
tsu	設定時間				3	μs
Ro	出力抵抗		4	10	20	k
IVREF	基準電源入力電流	$V_{REF}=V_{CC}=5V$ (注1)			1.5	mA
		$V_{REF}=V_{CC}=3V$ (注1)			1.0	mA

- 注1. D/Aコンバータ1本使用、使用していないD/AコンバータのD/Aレジスタの値が“00₁₆”の場合です。
A/Dコンバータのラダー抵抗分は除きます。
また、D/Aレジスタの内容が“00”以外の場合A/D制御レジスタ1で V_{REF} 未接続としても、IVREFは流れます。

VCC = 5V

表28.5 電気的特性(指定のない場合は、VCC=5V,VSS=0V,Topr=25 , f(XIN)=20MHz)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
VOH	"H"出力電圧 P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P72-P77, P80-P84, P86, P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157 (注1)	IOH=-5mA, VCC=5.0V	3.0			V	
VOH	"H"出力電圧 P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P72-P77, P80-P84, P86, P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157 (注1)	IOH=-200μA, VCC=5.0V	4.7			V	
VOH	"H"出力電圧 XOUT	HIGHPOWER	IOH=-1mA, VCC=5.0V	3.0		V	
		LOWPOWER	IOH=-0.5mA, VCC=5.0V	3.0			
	"H"出力電圧 XCOUT	HIGHPOWER	無負荷時, VCC=5.0V		3.0	V	
		LOWPOWER	無負荷時, VCC=5.0V		1.6		
VOL	"L"出力電圧 P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P84, P86, P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157 (注1)	IOl=5mA, VCC=5.0V			2.0	V	
VOL	"L"出力電圧 P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P84, P86, P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157 (注1)	IOl=200μA, VCC=5.0V			0.45	V	
VOL	"L"出力電圧 XOUT	HIGHPOWER	IOl=1mA, VCC=5.0V		2.0	V	
		LOWPOWER	IOl=0.5mA, VCC=5.0V		2.0		
	"L"出力電圧 XCOUT	HIGHPOWER	無負荷時, VCC=5.0V		0	V	
		LOWPOWER	無負荷時, VCC=5.0V		0		
Vt+-Vt-	ヒステリシス HOLD, RDY, TA0IN-TA4IN, TB0IN-TB5IN, INT0-INT5, ADTRG, CTS0-CTS4, CLK0-CLK4, TA0OUT-TA4OUT, NMI, Kl0-Kl3, RxD0-RxD4, SCL2-SCL4, SDA2-SDA4	VCC=5.0V	0.2		1.0	V	
Vt+-Vt-	ヒステリシス RESET	VCC=5.0V	0.2		1.8	V	
IiH	"H"入力電流 P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157 (注1), XIN, RESET, CNVSS, BYTE	Vi=5V, VCC=5.0V			5.0	μA	
IiL	"L"入力電流 P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157 (注1), XIN, RESET, CNVSS, BYTE	Vi=0V, VCC=5.0V			-5.0	μA	
RPULLUP	プルアップ抵抗 P00-P07, P10-P17, P20-P27, P30-P37, P40-P47, P50-P57, P60-P67, P72-P77, P80-P84, P86, P87, P90-P97, P100-P107, P110-P114, P120-P127, P130-P137, P140-P146, P150-P157 (注1)	Vi=0V, VCC=5.0V	30.0	50.0	167.0	k	
RiXIN	帰還抵抗 XIN			1.0		M	
RiXCIN	帰還抵抗 XCIN			6.0		M	
VRAM	RAM保持電圧	クロック停止時	2.0			V	
Icc	電源電流	測定条件 シングルチップモード で、出力端子は開放、 その他の端子はVSS	f(XIN)=20MHz 方形波、分周なし	マスクROM 128KB版、ROMレス RAM 10KB版 (注2)	45.0	72.0	mA
			マスクROM 256KB版、ROMレス RAM 24KB版 (注2)	50.0	80.0		
			フラッシュ版	50.0	80.0		
			f(XCIN)=32kHz 方形波	マスクROM 128KB版、ROMレス RAM 10KB版 (注2)	90.0		μA
			マスクROM 256KB版、ROMレス RAM 24KB版 (注2)	100.0		μA	
			フラッシュ版	7.0		mA	
			f(XCIN) = 32kHz	ウェイト時	4.0		μA
			クロック停止時 Topr=25	マスクROM 128KB版、 ROMレス RAM 10KB版 (注2)		1.0	μA
			マスクROM 256KB版、 ROMレス RAM 24KB版 (注2)		2.0		
			フラッシュ版		1.0		
クロック停止時 Topr=85			20.0				

注1. P11 ~ P15は144ピン版のみ存在します。

注2. ROMレス版は144ピン版のみ存在します。

VCC = 5V

タイミング必要条件 (指定のない場合は、VCC=5V, VSS=0V, Topr=25)

表28.6 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	50		ns
t _{w(H)}	外部クロック入力 "H"パルス幅	22		ns
t _{w(L)}	外部クロック入力 "L"パルス幅	22		ns
t _r	外部クロック立ち上がり時間		5	ns
t _f	外部クロック立ち下がり時間		5	ns

表28.7 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (RD基準、ウエイトなし)		(注1)	ns
t _{ac1} (AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトなし)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (RD基準、ウエイトあり)		(注1)	ns
t _{ac2} (AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトあり)		(注1)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{ac3} (AD-DB)	データ入力アクセス時間 (AD基準、CS基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{ac4} (RAS-DB)	データ入力アクセス時間 (RAS基準、DRAMアクセス)		(注1)	ns
t _{ac4} (CAS-DB)	データ入力アクセス時間 (CAS基準、DRAMアクセス)		(注1)	ns
t _{ac4} (CAD-DB)	データ入力アクセス時間 (CAD基準、DRAMアクセス)		(注1)	ns
t _{su} (DB-BCLK)	データ入力セットアップ時間	26		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	26		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	30		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (CAS-DB)	データ入力ホールド時間	0		ns
t _h (BCLK-RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間		25	ns

注1: BCLKの周波数に応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、waitを入れるか、動作周波数f(BCLK)をさらに低くする必要があります。

$$t_{ac1}(RD-DB) = \frac{10^9}{f(BCLK) \times 2} - 35 \text{ [ns]}$$

$$t_{ac1}(AD-DB) = \frac{10^9}{f(BCLK)} - 35 \text{ [ns]}$$

$$t_{ac2}(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは、1wait時"3", 2wait時"5", 3wait時"7")}$$

$$t_{ac2}(AD-DB) = \frac{10^9 \times n}{f(BCLK)} - 35 \text{ [ns]} \text{ (nは、1wait時"2", 2wait時"3", 3wait時"4")}$$

$$t_{ac3}(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは、2wait時"3", 3wait時"5")}$$

$$t_{ac3}(AD-DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (nは、2wait時"5", 3wait時"7")}$$

$$t_{ac4}(RAS-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (mは、1wait時"3", 2wait時"5")}$$

$$t_{ac4}(CAS-DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35 \text{ [ns]} \text{ (nは、1wait時"1", 2wait時"3")}$$

$$t_{ac4}(CAD-DB) = \frac{10^9 \times l}{f(BCLK)} - 35 \text{ [ns]} \text{ (lは、1wait時"1", 2wait時"2")}$$

VCC = 5V

タイミング必要条件 (指定のない場合は、Vcc=5V, Vss=0V, Topr=25)

表28.8 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	100		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	40		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	40		ns

表28.9 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	400		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	200		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	200		ns

表28.10 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIN入力サイクル時間	200		ns
t _w (TAH)	TAiIN入力 "H" パルス幅	100		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	100		ns

表28.11 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _w (TAH)	TAiIN入力 "H" パルス幅	100		ns
t _w (TAL)	TAiIN入力 "L" パルス幅	100		ns

表28.12 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _c (UP)	TAiOUT入力サイクル時間	2000		ns
t _w (UPH)	TAiOUT入力 "H" パルス幅	1000		ns
t _w (UPL)	TAiOUT入力 "L" パルス幅	1000		ns
t _{su} (UP-TIN)	TAiOUT入力セットアップ時間	400		ns
t _h (TIN-UP)	TAiOUT入力ホールド時間	400		ns

VCC = 5V

タイミング必要条件 (指定のない場合は、VCC=5V, VSS=0V, Topr=25)

表28.13 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間(片エッジカウント)	100		ns
t _w (TBH)	TBiIN入力 "H" パルス幅(片エッジカウント)	40		ns
t _w (TBL)	TBiIN入力 "L" パルス幅(片エッジカウント)	40		ns
t _c (TB)	TBiIN入力サイクル時間(両エッジカウント)	200		ns
t _w (TBH)	TBiIN入力 "H" パルス幅(両エッジカウント)	80		ns
t _w (TBL)	TBiIN入力 "L" パルス幅(両エッジカウント)	80		ns

表28.14 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間	400		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	200		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	200		ns

表28.15 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
t _c (TB)	TBiIN入力サイクル時間	400		ns
t _w (TBH)	TBiIN入力 "H" パルス幅	200		ns
t _w (TBL)	TBiIN入力 "L" パルス幅	200		ns

表28.16 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
t _c (AD)	ADTRG入力サイクル時間(トリガ可能最小)	1000		ns
t _w (ADL)	ADTRG入力 "L" パルス幅	125		ns

表28.17 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
t _c (CK)	CLKi入力サイクル時間	200		ns
t _w (CKH)	CLKi入力 "H" パルス幅	100		ns
t _w (CKL)	CLKi入力 "L" パルス幅	100		ns
t _d (C-Q)	TxDi出力遅延時間		80	ns
t _h (C-Q)	TxDiホールド時間	0		ns
t _{su} (D-C)	RxDi入力セットアップ時間	30		ns
t _h (C-D)	RxDi入力ホールド時間	90		ns

表28.18 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
t _w (INH)	$\overline{\text{INTi}}$ 入力 "H" パルス幅	250		ns
t _w (INL)	$\overline{\text{INTi}}$ 入力 "L" パルス幅	250		ns

VCC = 5V

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr=25)

表28.19 メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図28.1		18	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			18	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			18	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-2		ns
t _d (BCLK-RD)	RD信号出力遅延時間			10	ns
t _h (BCLK-RD)	RD信号出力保持時間		-5		ns
t _d (BCLK-WR)	WR信号出力遅延時間			18	ns
t _h (BCLK-WR)	WR信号出力保持時間		-3		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _w (WR)	ライトパルス幅		(注1)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 20 \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{DB}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{AD}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{CS}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \quad [\text{ns}]$$

$$t_w(\text{WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 15 \quad [\text{ns}]$$

VCC = 5V

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr=25)

表28.20 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図28.1		18	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			18	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			18	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		-2		ns
t _d (BCLK-RD)	RD信号出力遅延時間			10	ns
t _h (BCLK-RD)	RD信号出力保持時間		-5		ns
t _d (BCLK-WR)	WR信号出力遅延時間			18	ns
t _h (BCLK-WR)	WR信号出力保持時間		-3		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _w (WR)	ライトパルス幅		(注1)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_{d(DB-WR)} = \frac{10^9 \times n}{f_{(BCLK)}} - 20 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"2"、3ウエイト時"3")$$

$$t_{h(WR-DB)} = \frac{10^9}{f_{(BCLK)} \times 2} - 10 \quad [ns]$$

$$t_{h(WR-AD)} = \frac{10^9}{f_{(BCLK)} \times 2} - 10 \quad [ns]$$

$$t_{h(WR-CS)} = \frac{10^9}{f_{(BCLK)} \times 2} - 10 \quad [ns]$$

$$t_{w(WR)} = \frac{10^9 \times n}{f_{(BCLK)} \times 2} - 15 \quad [ns] \quad (nは1ウエイト時"1"、2ウエイト時"3"、3ウエイト時"5")$$

VCC = 5V

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr=25)

表28.21 メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図28.1		18	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		-3		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			18	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		-3		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-RD)	RD信号出力遅延時間			18	ns
t _h (BCLK-RD)	RD信号出力保持時間		-5		ns
t _d (BCLK-WR)	WR信号出力遅延時間			18	ns
t _h (BCLK-WR)	WR信号出力保持時間		-3		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			18	ns
t _h (BCLK-ALE)	ALE出力保持時間 (BCLK基準)		-2		ns
t _d (AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
t _h (ALE-AD)	ALE出力保持時間 (アドレス基準)		(注1)		ns
t _d Z(RD-AD)	アドレス出力フローティング開始時間			8	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		-5		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_h(\text{RD} - \text{AD}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \text{ [ns]}$$

$$t_h(\text{WR} - \text{AD}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \text{ [ns]}$$

$$t_h(\text{RD} - \text{CS}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \text{ [ns]}$$

$$t_h(\text{WR} - \text{CS}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \text{ [ns]}$$

$$t_d(\text{DB} - \text{WR}) = \frac{10^9 \times m}{f(\text{BCLK}) \times 2} - 25 \text{ [ns]} \quad (m \text{は、} 2\text{wait時} "3"、3\text{wait時} "5")$$

$$t_h(\text{WR} - \text{DB}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \text{ [ns]}$$

$$t_d(\text{AD} - \text{ALE}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 23 \text{ [ns]}$$

$$t_h(\text{ALE} - \text{AD}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 10 \text{ [ns]}$$

VCC = 5V

スイッチング特性

(指定のない場合は、VCC=5V, VSS=0V, Topr=25)

表28.22 メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつDRAM領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-RAD)	行アドレス出力遅延時間	図28.1		18	ns
th(BCLK-RAD)	行アドレス出力保持時間 (BCLK基準)		-3		ns
td(BCLK-CAD)	列アドレス出力遅延時間			18	ns
th(BCLK-CAD)	列アドレス出力保持時間 (BCLK基準)		-3		ns
th(RAS-RAD)	RAS出力後行アドレス出力保持時間		(注1)		ns
td(BCLK-RAS)	RAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-RAS)	RAS出力保持時間 (BCLK基準)		-3		ns
tRP	RAS"H"保持時間		(注1)		ns
td(BCLK-CAS)	CAS出力遅延時間 (BCLK基準)			18	ns
th(BCLK-CAS)	CAS出力保持時間 (BCLK基準)		-3		ns
td(BCLK-DW)	データ出力遅延時間 (BCLK基準)			18	ns
th(BCLK-DW)	データ出力保持時間 (BCLK基準)		-5		ns
tsu(DB-CAS)	DB出力後CAS出力セットアップ時間		(注1)		ns
th(BCLK-DB)	DB出力保持時間 (BCLK基準)		-7		ns
tsu(CAS-RAS)	RAS出力前CAS出力セットアップ時間 (リフレッシュ)		(注1)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RAS - RAD) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

$$tRP = \frac{10^9 \times 3}{f(BCLK) \times 2} - 20 \quad [ns]$$

$$tsu(DB - CAS) = \frac{10^9}{f(BCLK)} - 20 \quad [ns]$$

$$tsu(CAS - RAS) = \frac{10^9}{f(BCLK) \times 2} - 13 \quad [ns]$$

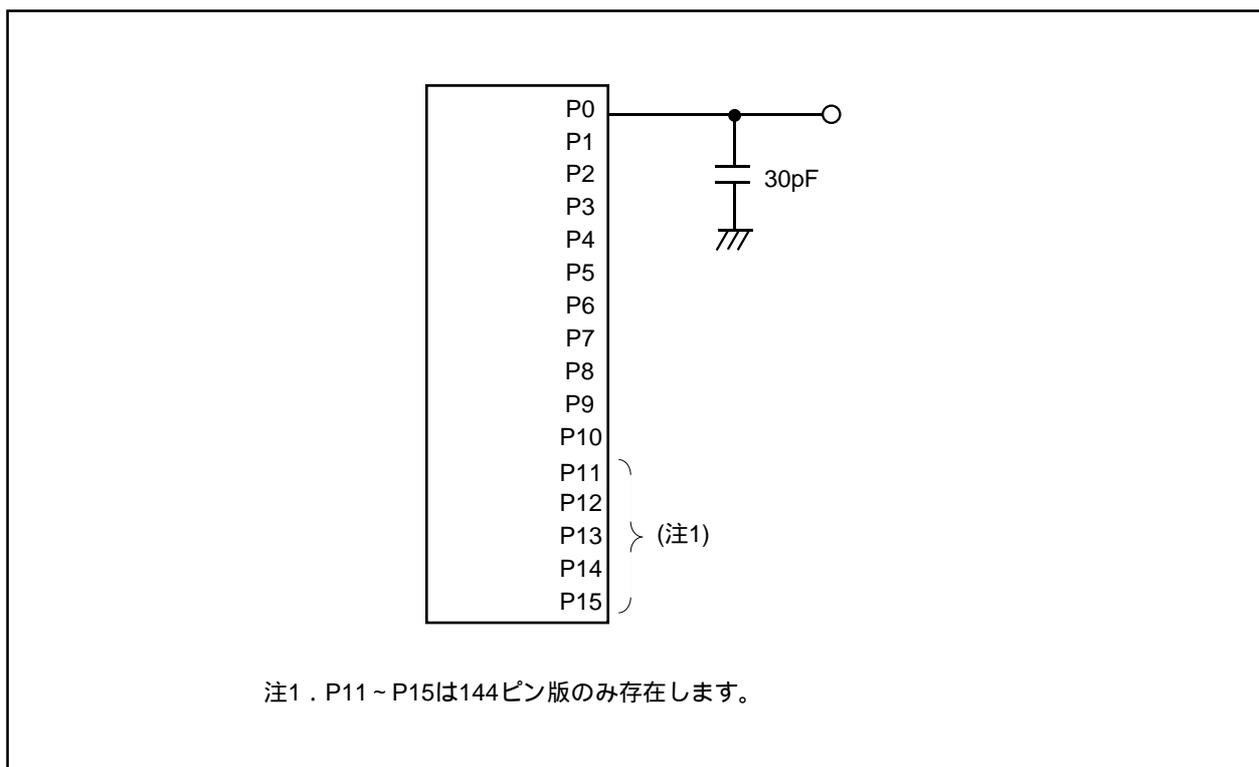


図28.1 ポートP0 ~ P15の測定回路

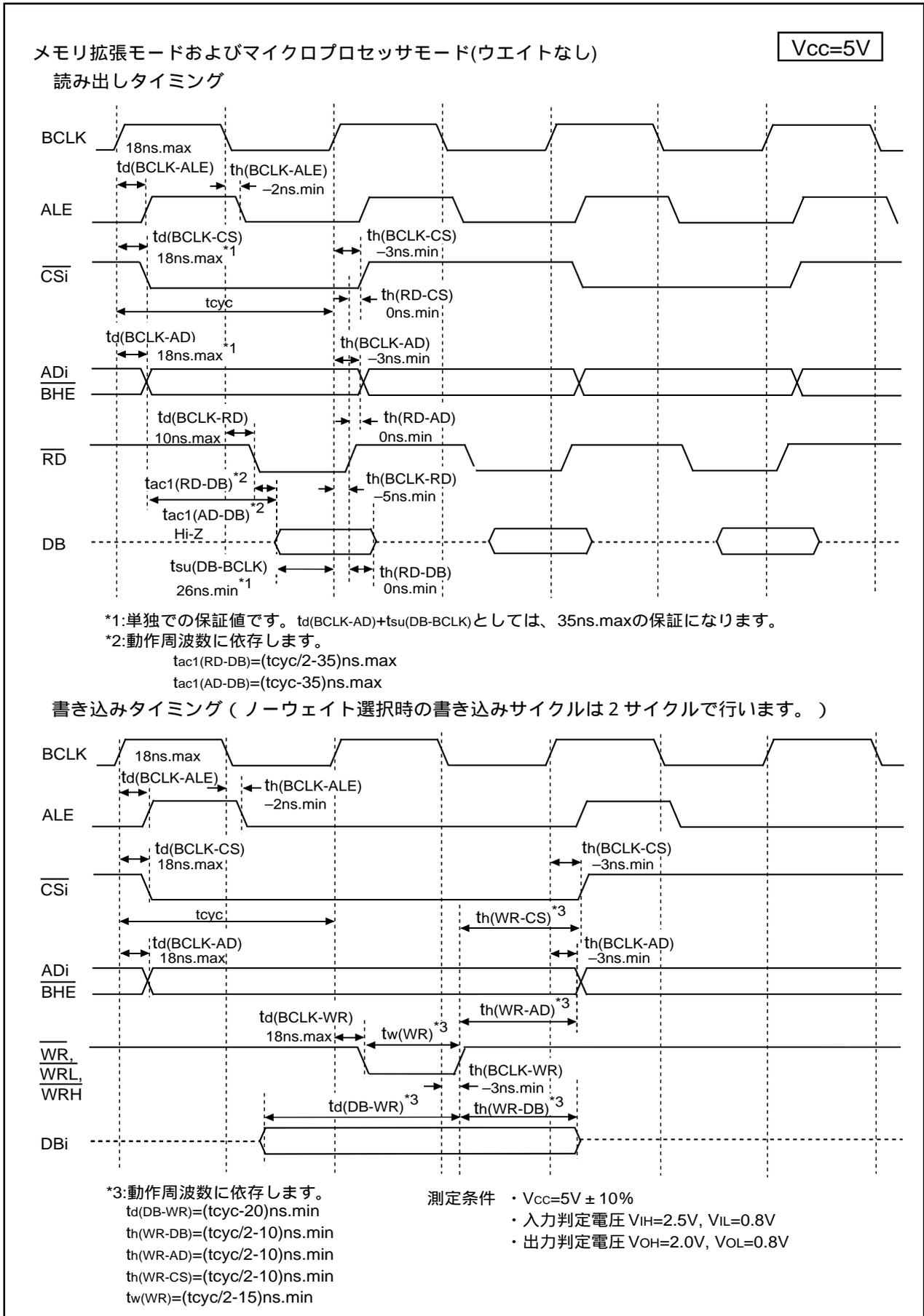


図28.2 Vcc=5V時のタイミング図(1)

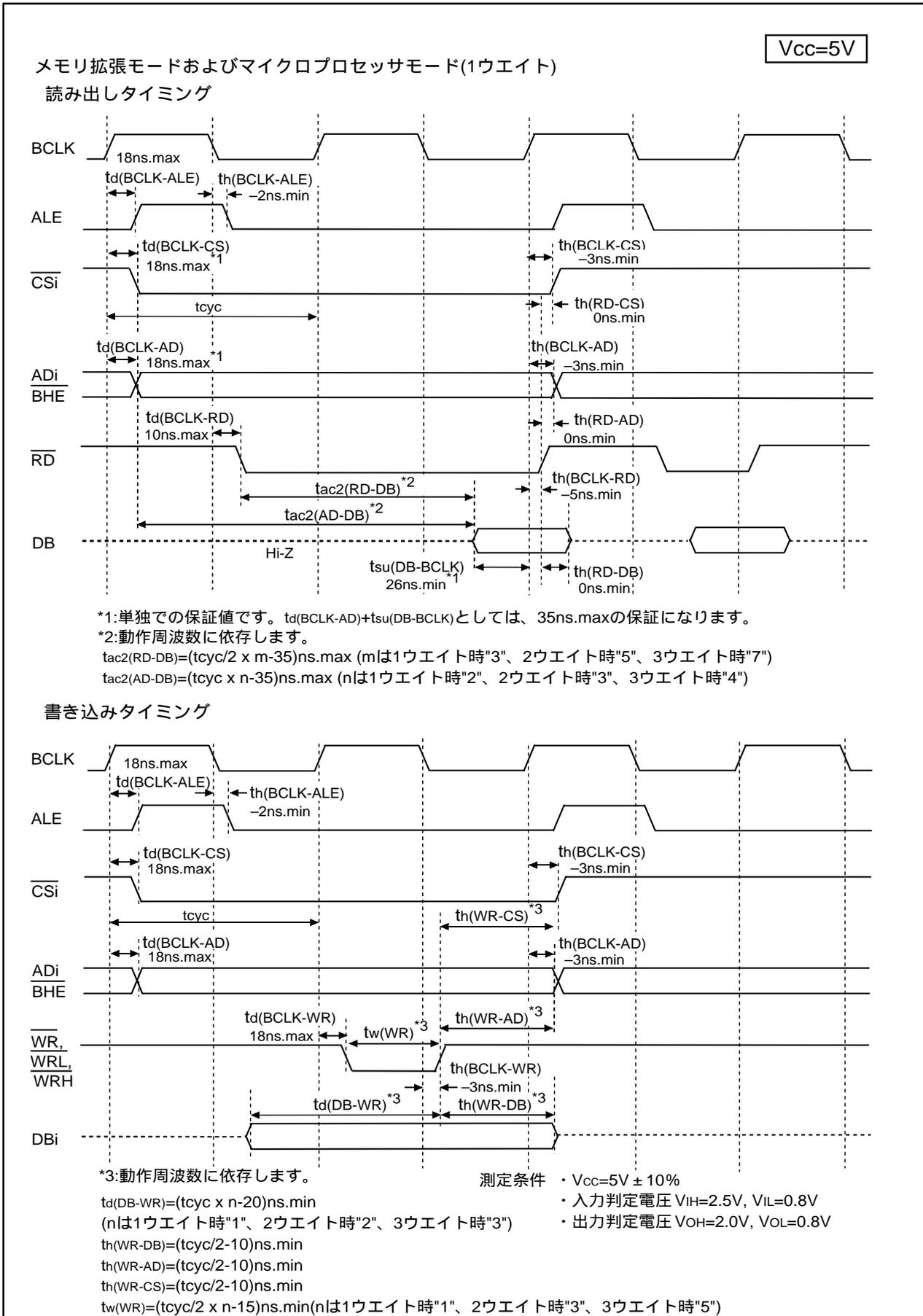


図28.3 V_{CC}=5V時のタイミング図(2)

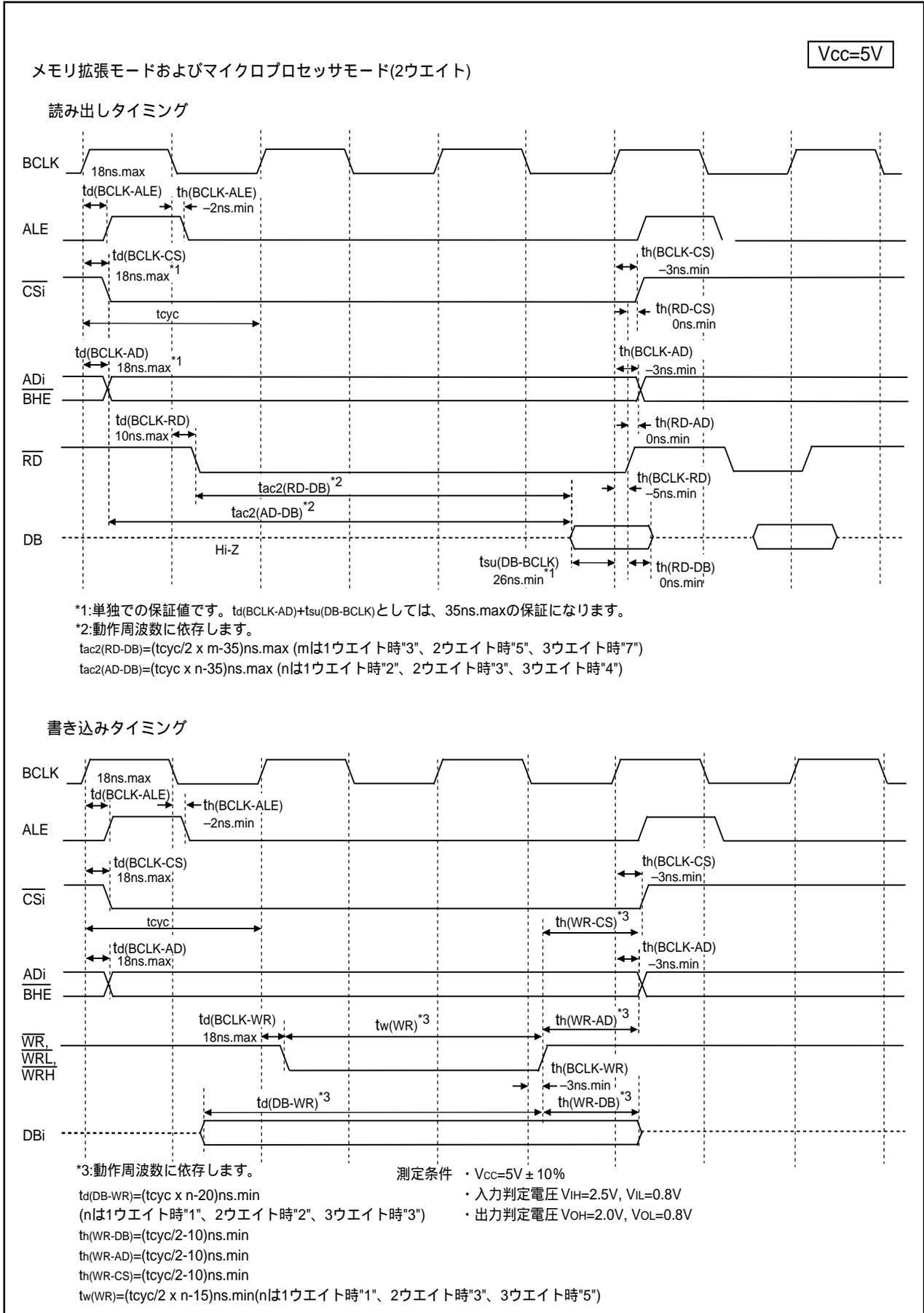


図28.4 Vcc=5V時のタイミング図(3)

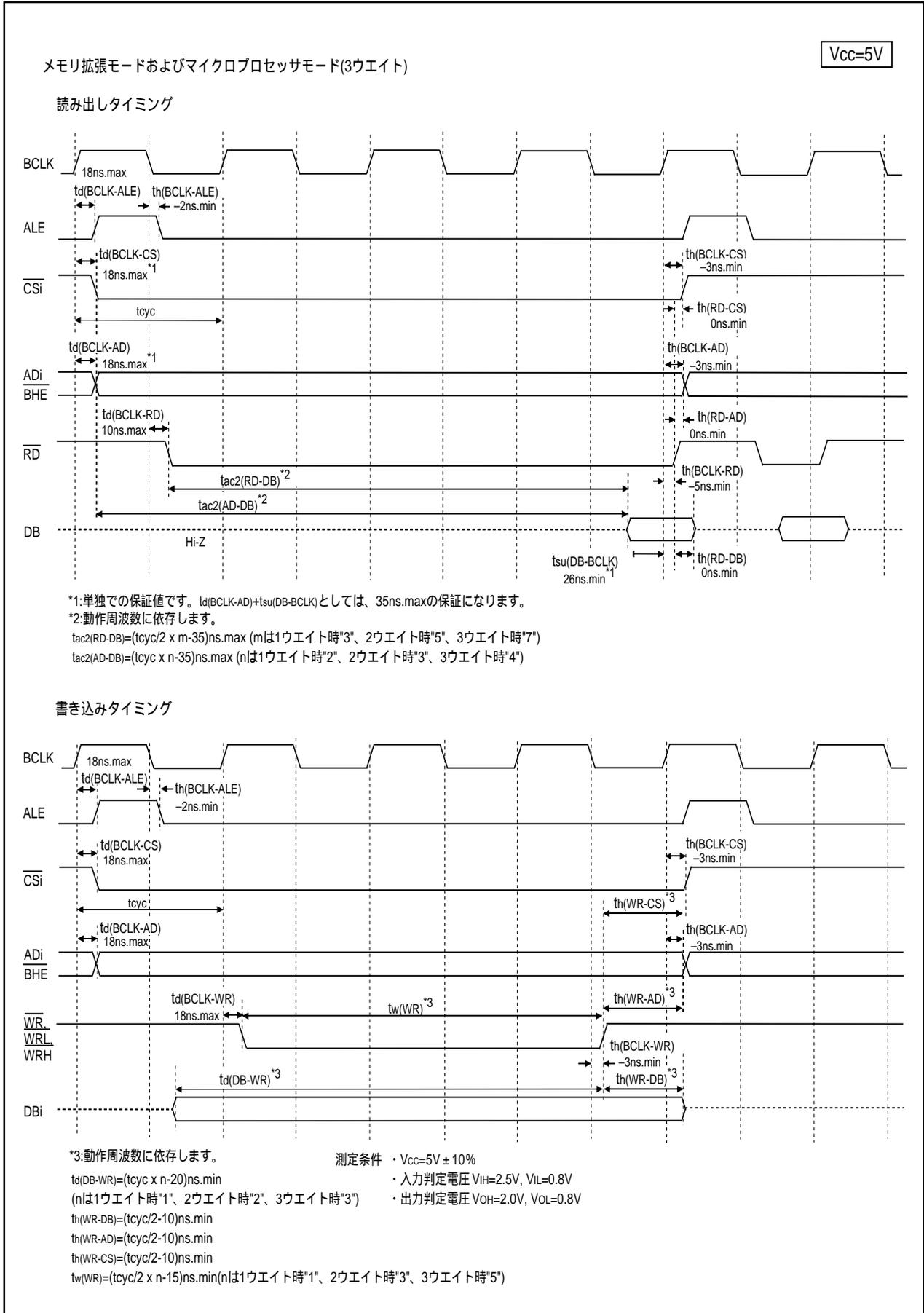


図28.5 Vcc=5V時のタイミング図(4)

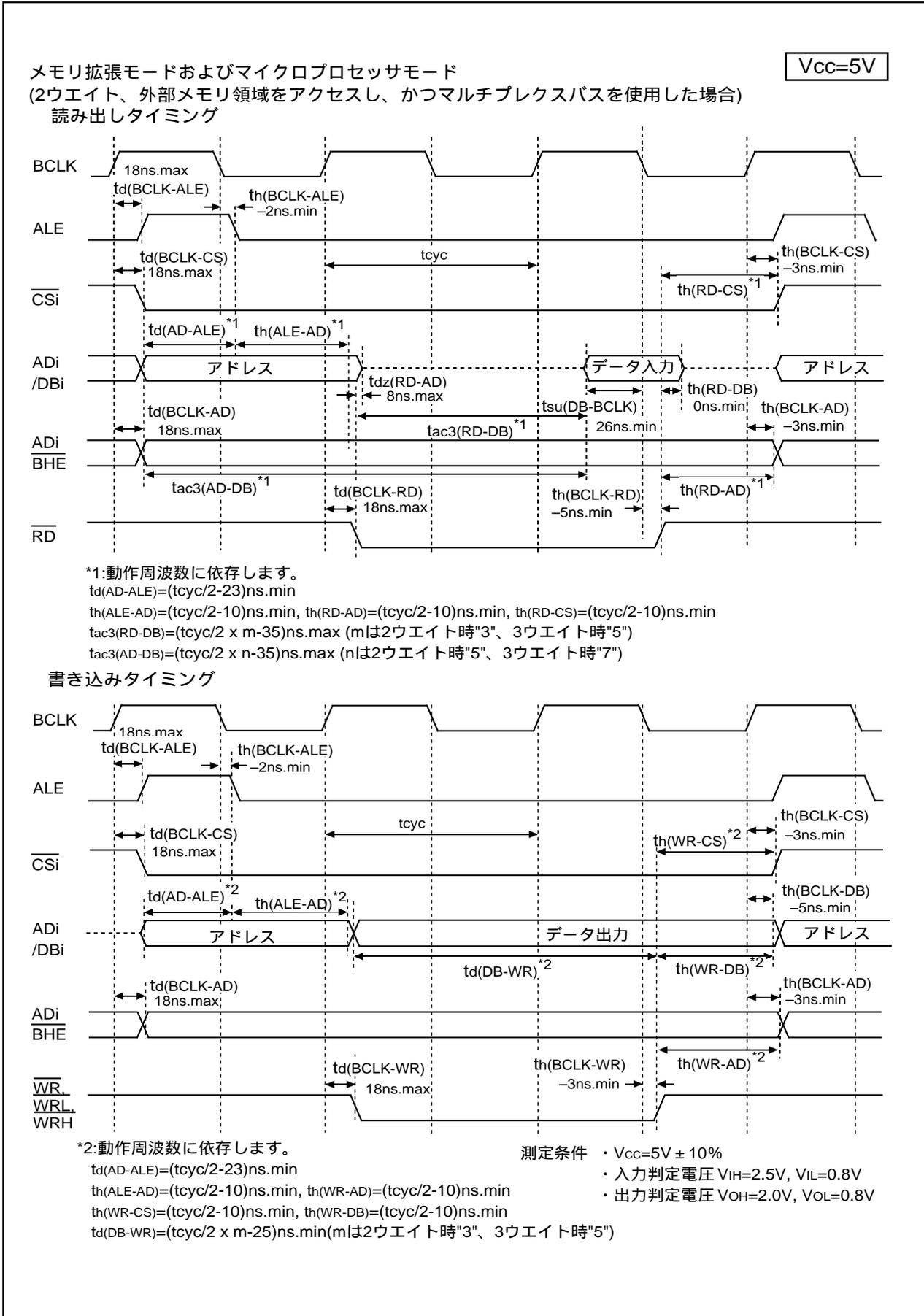


図28.6 Vcc=5V時のタイミング図(5)

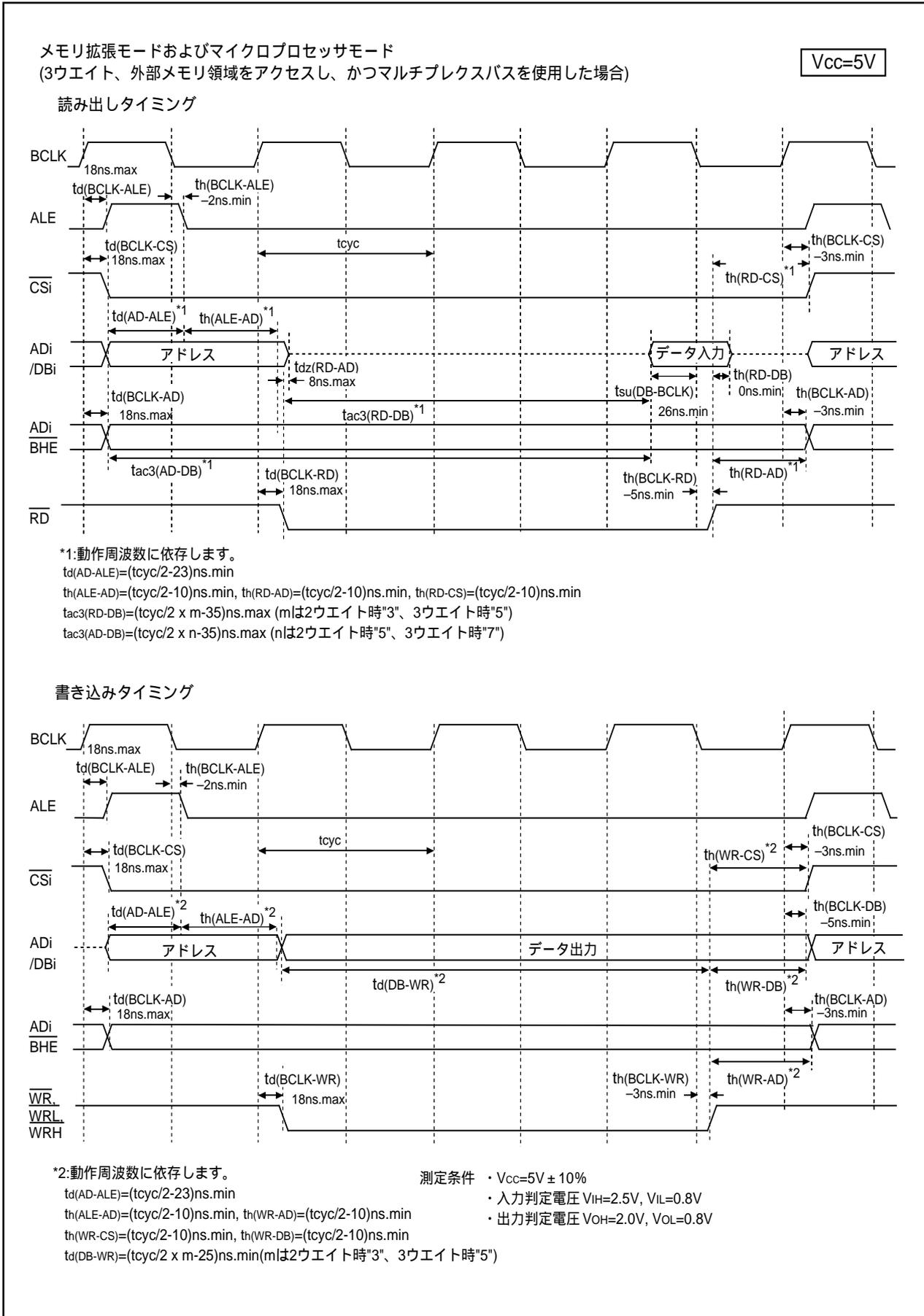
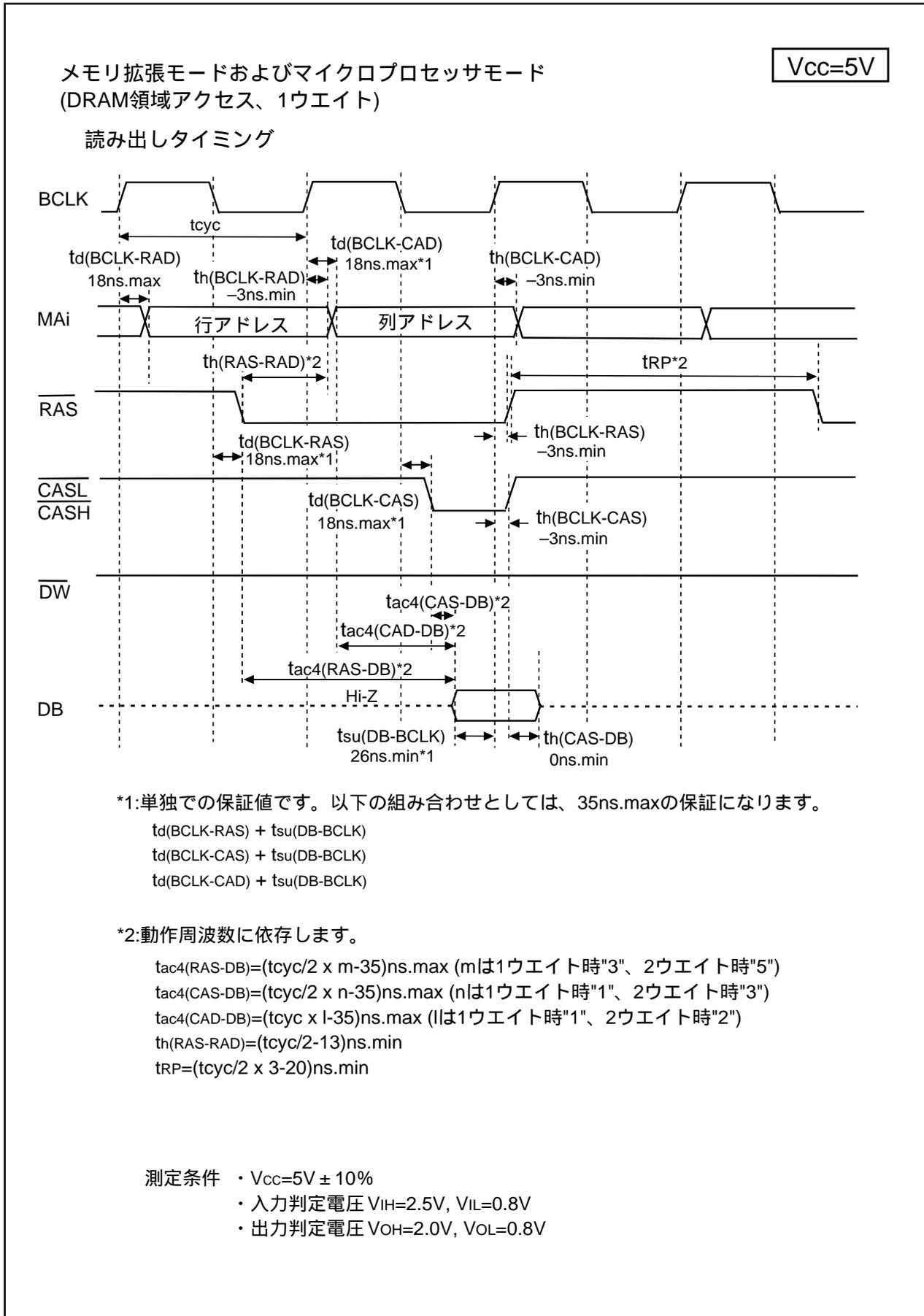
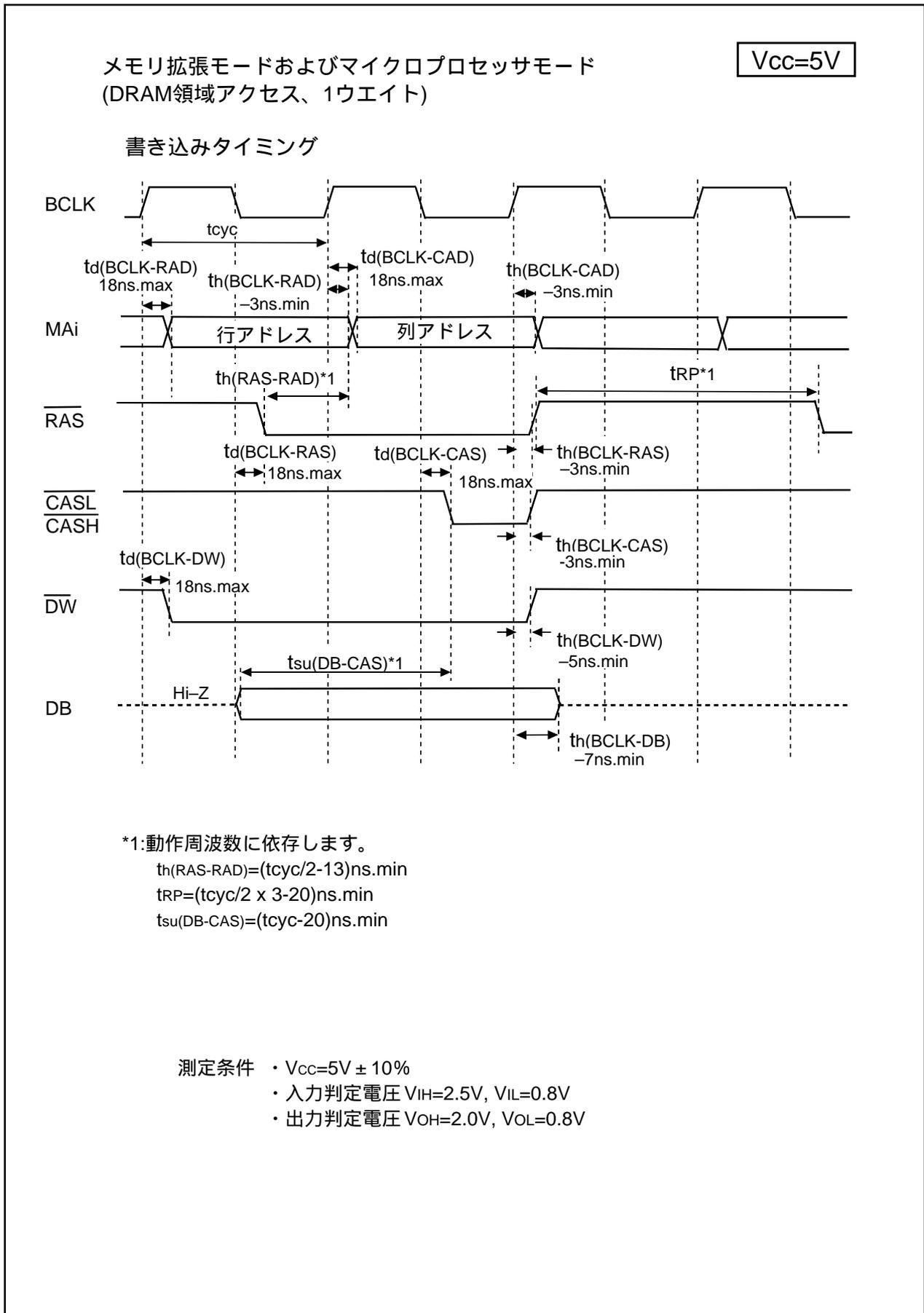


図28.7 Vcc=5V時のタイミング図(6)

図28.8 V_{CC}=5V時のタイミング図(7)

図28.9 V_{CC}=5V時のタイミング図(8)

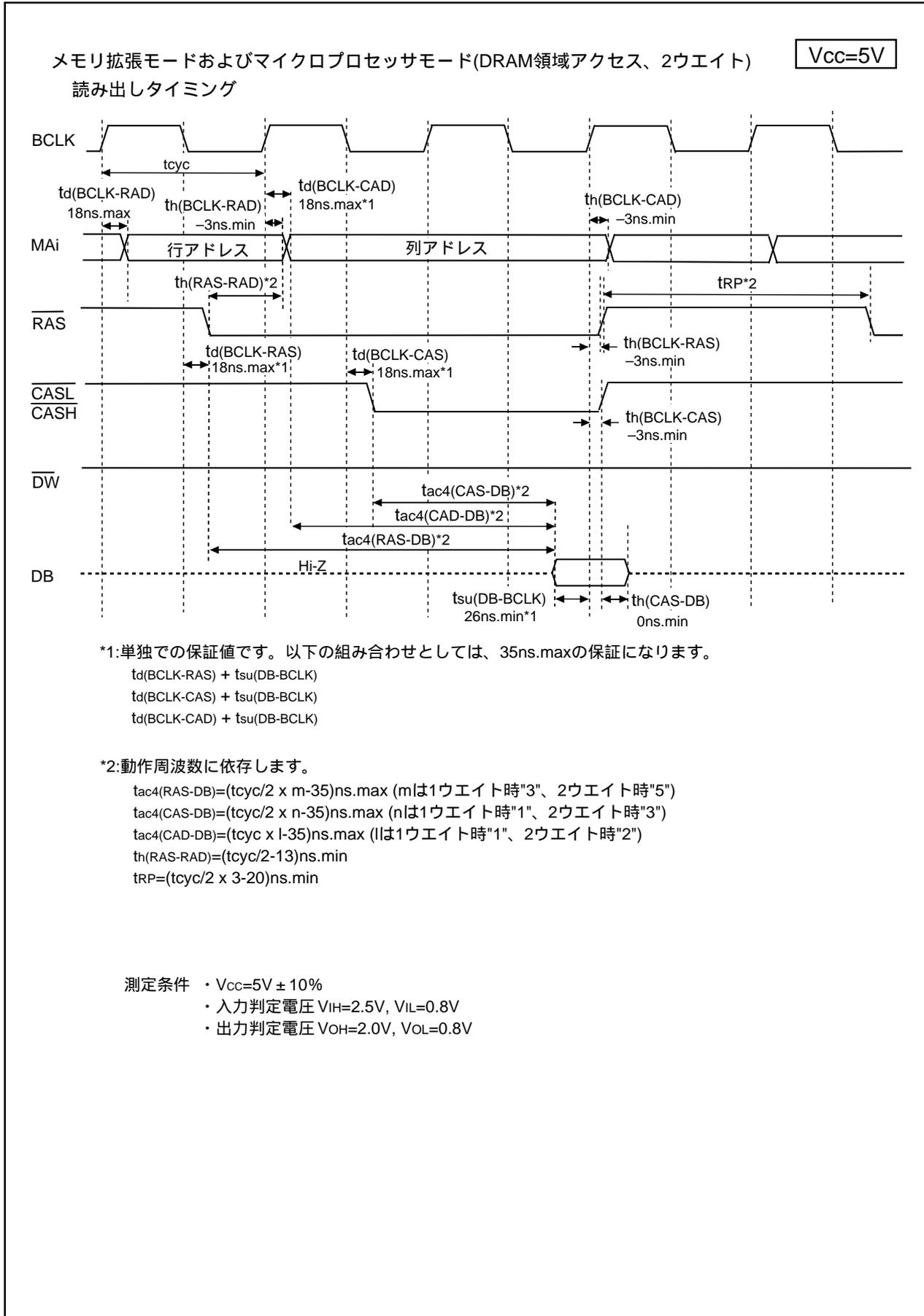
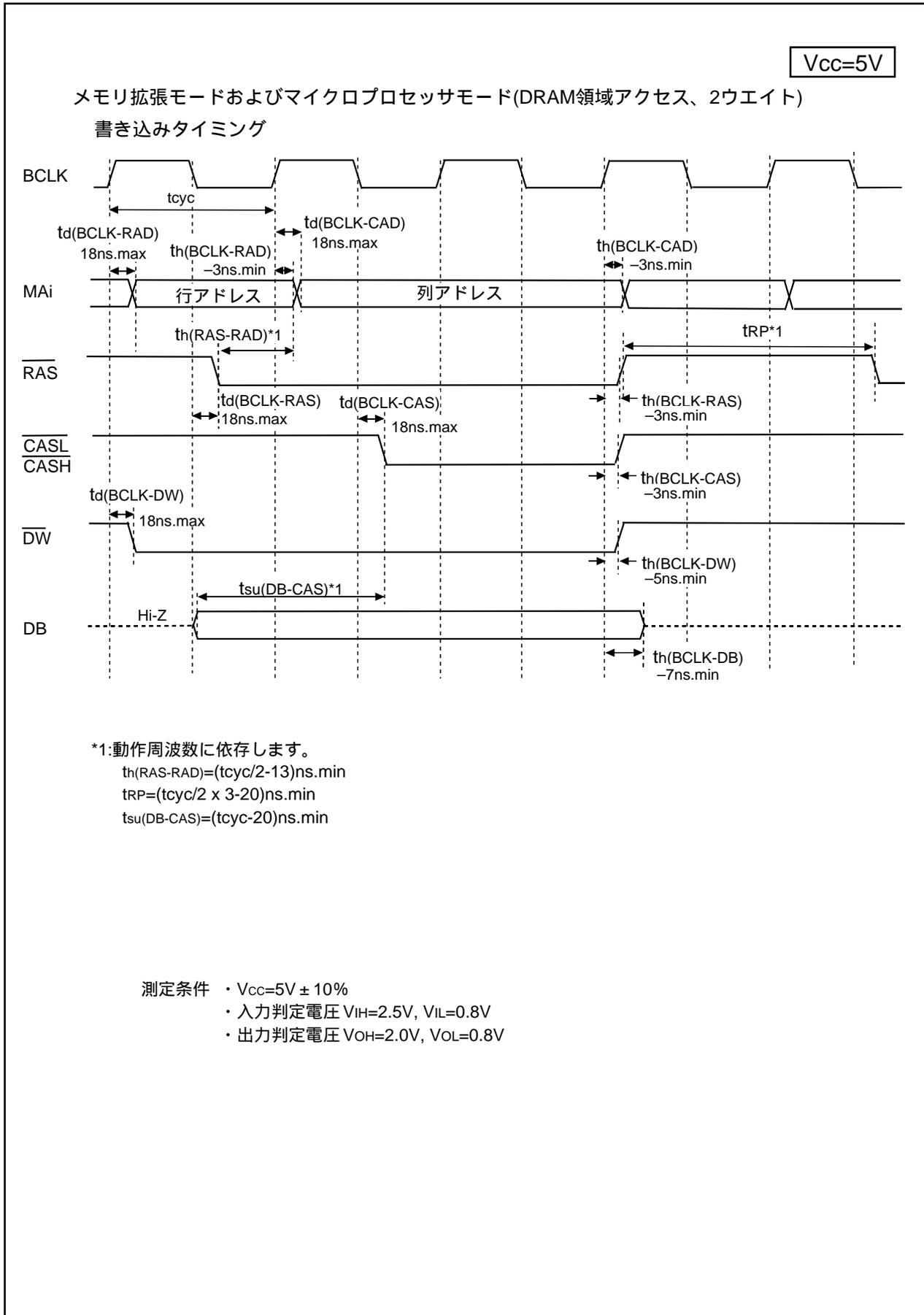


図28.10 Vcc=5V時のタイミング図(9)

図28.11 V_{CC}=5V時のタイミング図(10)

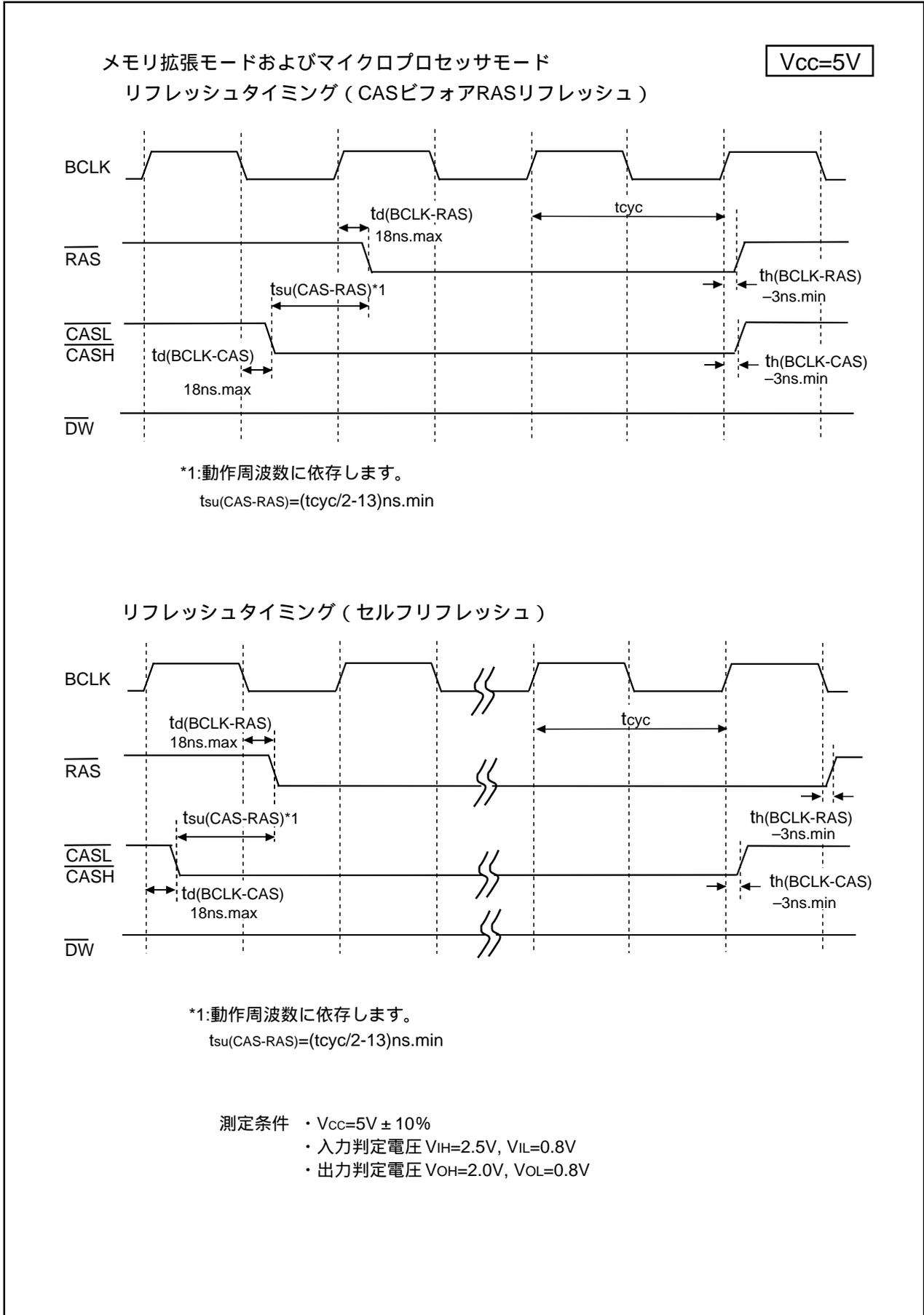


図28.12 V_{CC}=5V時のタイミング図(11)

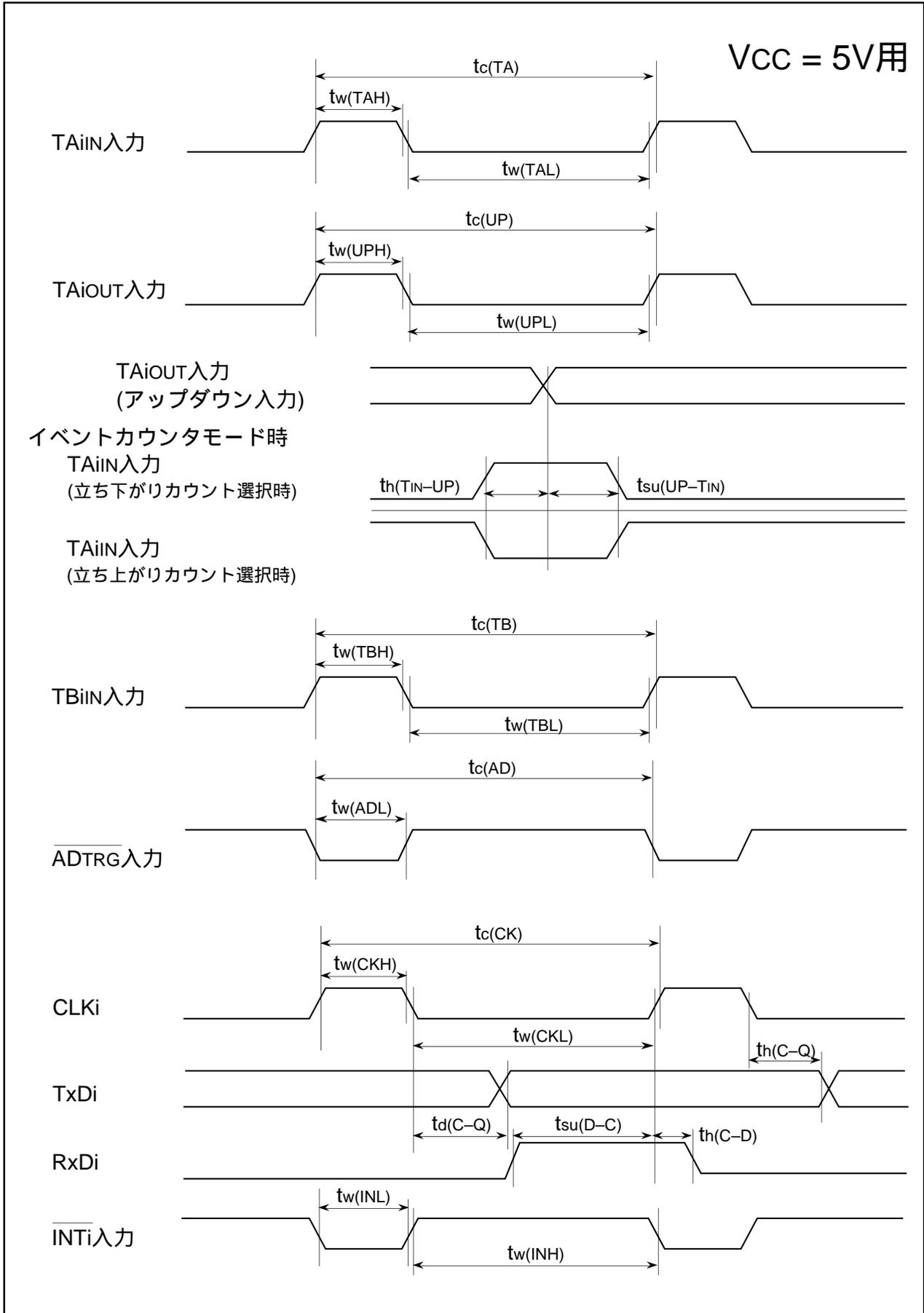


図28.13 Vcc=5V時のタイミング図(12)

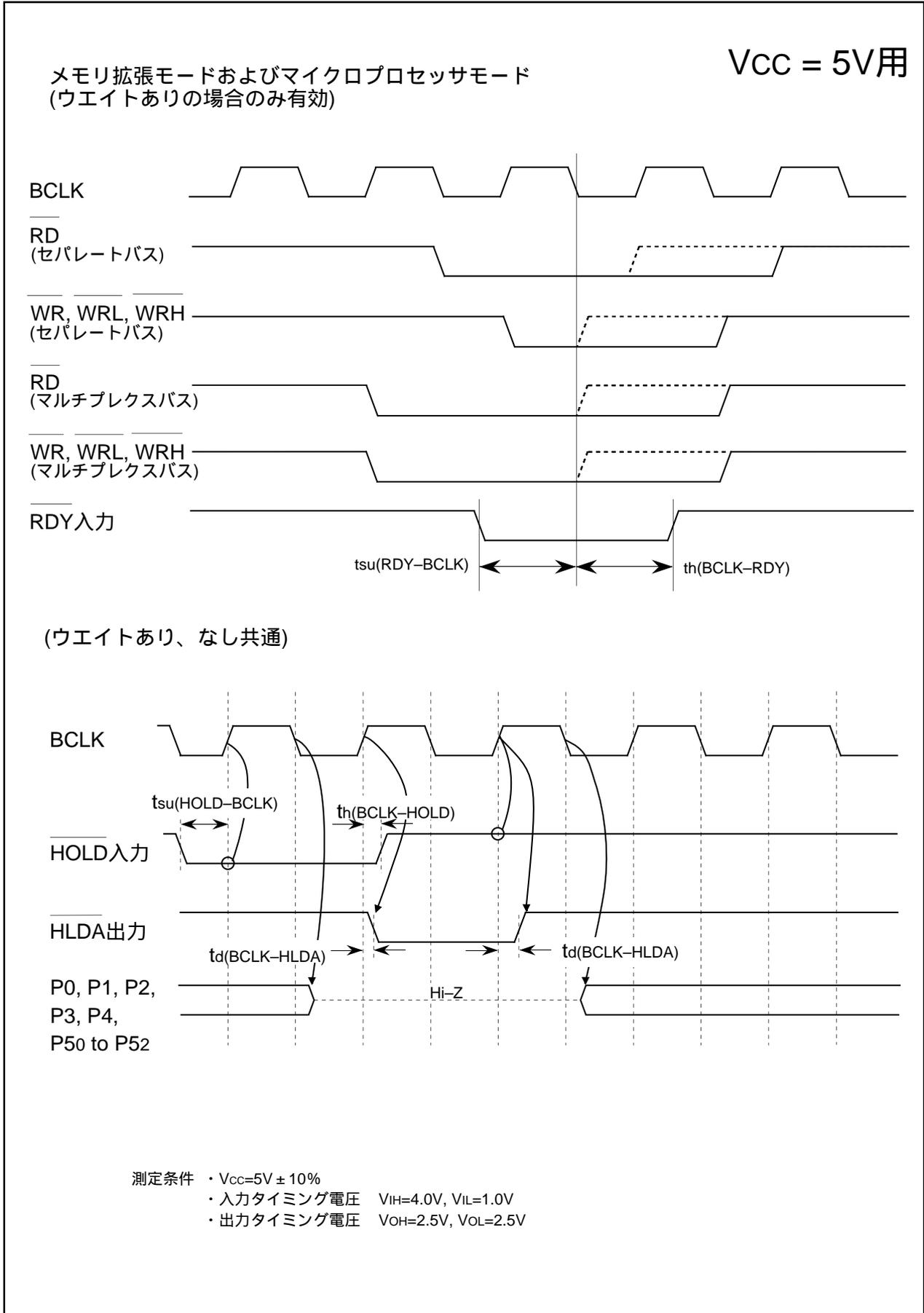


図28.14 VCC=5V時のタイミング図(13)

VCC = 3V

表28.23 電気的特性(指定のない場合は、Vcc=3V,Vss=0V,Topr=25 , f(XIN)=10MHz)

記号	項目	測定条件	規格値			単位		
			最小	標準	最大			
V _{OH}	"H"出力 電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 (注1)	I _{OH} = -1mA, V _{CC} = 3.0V	2.5			V		
V _{OH}	"H"出力 電圧 X _{OUT}	HIGHPOWER	I _{OH} = -0.1mA, V _{CC} = 3.0V	2.5		V		
		LOWPOWER	I _{OH} = -50 μA, V _{CC} = 3.0V	2.5				
	"H"出力 電圧 X _{COU} T	HIGHPOWER	無負荷時, V _{CC} = 3.0V		3.0	V		
		LOWPOWER	無負荷時, V _{CC} = 3.0V		1.6			
V _{OL}	"L"出力 電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 (注1)	I _{OL} = 1mA, V _{CC} = 3.0V			0.5	V		
V _{OL}	"L"出力 電圧 X _{OUT}	HIGHPOWER	I _{OL} = 0.1mA, V _{CC} = 3.0V			0.5	V	
		LOWPOWER	I _{OL} = 50 μA, V _{CC} = 3.0V			0.5		
	"L"出力 電圧 X _{COU} T	HIGHPOWER	無負荷時, V _{CC} = 3.0V		0	V		
		LOWPOWER	無負荷時, V _{CC} = 3.0V		0			
V _{T+} -V _{T-}	ヒステリシス HOLD, RDY, TA _{0IN} ~ TA _{4IN} , TB _{0IN} ~ TB _{2IN} , INT ₀ ~ INT ₅ , ADTRG, CTS ₀ ~ CTS ₄ , CLK ₀ ~ CLK ₄ , TA _{2OUT} ~ TA _{4OUT} , NMI, KI ₀ ~ KI ₃ , RxD ₀ ~ RxD ₄ , SCL ₂ ~ SCL ₄ , SDA ₂ ~ SDA ₄	V _{CC} = 3.0V	0.2		1.0	V		
V _{T+} -V _{T-}	ヒステリシス RESET	V _{CC} = 3.0V	0.2		1.8	V		
I _{IH}	"H"入力 電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 (注1) X _{IN} , RESET, CNV _{SS} , BYTE	V _I = 3V, V _{CC} = 3.0V			4.0	μA		
I _{IL}	"L"入力 電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P70 ~ P77, P80 ~ P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 (注1) X _{IN} , RESET, CNV _{SS} , BYTE	V _I = 0V, V _{CC} = 3.0V			-4.0	μA		
R _{PULLUP}	プル アップ 抵抗 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67, P72 ~ P77, P80 ~ P84, P86, P87, P90 ~ P97, P100 ~ P107, P110 ~ P114, P120 ~ P127, P130 ~ P137, P140 ~ P146, P150 ~ P157 (注1)	V _I = 0V, V _{CC} = 3.0V	66.0	120.0	500.0	k		
R _{FIXIN}	帰還抵抗 X _{IN}			3.0		M		
R _{ICXIN}	帰還抵抗 X _{CIN}			10.0		M		
V _{RAM}	RAM保持電圧	クロック停止時	2.0			V		
I _{CC}	電源電流	シングルチップモ ードで、出力端子 は開放、その他の 端子はV _{SS}	f(X _{IN})=10MHz 方形波、分周なし	マスクROM 128KB版、ROMレス RAM 10KB版 (注2)	12.0	20.0	mA	
				マスクROM 256KB版、ROMレス RAM 24KB版 (注2)	14.0	23.0		
				フラッシュ版	14.0	23.0		
				f(X _{CIN})=32kHz 方形波	マスクROM 128KB版、ROMレス RAM 10KB版 (注2)	45.0		μA
				マスクROM 256KB版、ROMレス RAM 24KB版 (注2)	60.0			
				フラッシュ版	3.5			
				f(X _{CIN}) = 32kHz	ウエイト時 発振能力 High	3.0		μA
				f(X _{CIN}) = 32kHz	ウエイト時 発振能力 Low	1.5		μA
				クロック停止時 Topr=25	マスクROM 128KB版、ROMレス RAM 10KB版 (注2)		1.0	μA
					マスクROM 256KB版、ROMレス RAM 24KB版 (注2)		1.0	
		フラッシュ版		1.0				
		クロック停止時 Topr=85			20.0			

注1. P11 ~ P15は144ピン版のみ存在します。

注2. ROMレス版は144ピン版のみ存在します。

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Topr=25)

表28.24 外部クロック入力

記号	項目	規格値		単位
		最小	最大	
t _c	外部クロック入力サイクル時間	100		ns
t _{w(H)}	外部クロック入力 "H"パルス幅	40		ns
t _{w(L)}	外部クロック入力 "L"パルス幅	40		ns
t _r	外部クロック立ち上がり時間		18	ns
t _f	外部クロック立ち下がり時間		18	ns

表28.25 メモリ拡張およびマイクロプロセッサモード

記号	項目	規格値		単位
		最小	最大	
t _{ac1} (RD-DB)	データ入力アクセス時間 (RD基準、ウエイトなし)		(注1)	ns
t _{ac1} (AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトなし)		(注1)	ns
t _{ac2} (RD-DB)	データ入力アクセス時間 (RD基準、ウエイトあり)		(注1)	ns
t _{ac2} (AD-DB)	データ入力アクセス時間 (AD基準、CS基準、ウエイトあり)		(注1)	ns
t _{ac3} (RD-DB)	データ入力アクセス時間 (RD基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{ac3} (AD-DB)	データ入力アクセス時間 (AD基準、CS基準、マルチプレクスバス領域をアクセスした場合)		(注1)	ns
t _{ac4} (RAS-DB)	データ入力アクセス時間 (RAS基準、DRAMアクセス)		(注1)	ns
t _{ac4} (CAS-DB)	データ入力アクセス時間 (CAS基準、DRAMアクセス)		(注1)	ns
t _{ac4} (CAD-DB)	データ入力アクセス時間 (CAD基準、DRAMアクセス)		(注1)	ns
t _{su} (DB-BCLK)	データ入力セットアップ時間	40		ns
t _{su} (RDY-BCLK)	RDY入力セットアップ時間	60		ns
t _{su} (HOLD-BCLK)	HOLD入力セットアップ時間	80		ns
t _h (RD-DB)	データ入力ホールド時間	0		ns
t _h (CAS-DB)	データ入力ホールド時間	0		ns
t _h (BCLK-RDY)	RDY入力ホールド時間	0		ns
t _h (BCLK-HOLD)	HOLD入力ホールド時間	0		ns
t _d (BCLK-HLDA)	HLDA出力遅延時間		100	ns

注1: BCLKの周波数に応じて次の計算式で算出されます。ただし、計算値が負の値になる場合は、waitを入れるか、動作周波数f(BCLK)をさらに低くする必要があります。

$$t_{ac1}(RD-DB) = \frac{10^9}{f(BCLK) \times 2} - 42 \text{ [ns]}$$

$$t_{ac1}(AD-DB) = \frac{10^9}{f(BCLK)} - 55 \text{ [ns]}$$

$$t_{ac2}(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 42 \text{ [ns]} \text{ (mは、1wait時"3", 2wait時"5", 3wait時"7")}$$

$$t_{ac2}(AD-DB) = \frac{10^9 \times n}{f(BCLK)} - 55 \text{ [ns]} \text{ (nは、1wait時"2", 2wait時"3", 3wait時"4")}$$

$$t_{ac3}(RD-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 55 \text{ [ns]} \text{ (mは、2wait時"3", 3wait時"5")}$$

$$t_{ac3}(AD-DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 55 \text{ [ns]} \text{ (nは、2wait時"5", 3wait時"7")}$$

$$t_{ac4}(RAS-DB) = \frac{10^9 \times m}{f(BCLK) \times 2} - 55 \text{ [ns]} \text{ (mは、1wait時"3", 2wait時"5")}$$

$$t_{ac4}(CAS-DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 55 \text{ [ns]} \text{ (nは、1wait時"1", 2wait時"3")}$$

$$t_{ac4}(CAD-DB) = \frac{10^9 \times l}{f(BCLK)} - 55 \text{ [ns]} \text{ (lは、1wait時"1", 2wait時"2")}$$

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Topr=25)

表28.26 タイマA入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIn入力サイクル時間	150		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	60		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	60		ns

表28.27 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIn入力サイクル時間	600		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	300		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	300		ns

表28.28 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _c (TA)	TAiIn入力サイクル時間	300		ns
t _w (TAH)	TAiIn入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	150		ns

表28.29 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
t _w (TAH)	TAiIn入力 "H" パルス幅	150		ns
t _w (TAL)	TAiIn入力 "L" パルス幅	150		ns

表28.30 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
t _c (UP)	TAiout入力サイクル時間	3000		ns
t _w (UPH)	TAiout入力 "H" パルス幅	1500		ns
t _w (UPL)	TAiout入力 "L" パルス幅	1500		ns
t _{su} (UP-TIN)	TAiout入力セットアップ時間	600		ns
t _h (TIN-UP)	TAiout入力ホールド時間	600		ns

VCC = 3V

タイミング必要条件 (指定のない場合は、VCC=3V, VSS=0V, Topr=25)

表28.31 タイマB入力(イベントカウンタモードのカウンタ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN 入力サイクル時間(片エッジカウント)	150		ns
tw(TBH)	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
tw(TBL)	TBiIN 入力 "L" パルス幅(片エッジカウント)	60		ns
tc(TB)	TBiIN 入力サイクル時間(両エッジカウント)	300		ns
tw(TBH)	TBiIN 入力 "H" パルス幅(両エッジカウント)	160		ns
tw(TBL)	TBiIN 入力 "L" パルス幅(両エッジカウント)	160		ns

表28.32 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	600		ns
tw(TBH)	TBiIN入力 "H" パルス幅	300		ns
tw(TBL)	TBiIN入力 "L" パルス幅	300		ns

表28.33 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
tc(TB)	TBiIN入力サイクル時間	600		ns
tw(TBH)	TBiIN入力 "H" パルス幅	300		ns
tw(TBL)	TBiIN入力 "L" パルス幅	300		ns

表28.34 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
tc(AD)	ADTRG入力サイクル時間(トリガ可能最小)	1500		ns
tw(ADL)	ADTRG入力 "L" パルス幅	200		ns

表28.35 シリアルI/O

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi入力サイクル時間	300		ns
tw(CKH)	CLKi入力 "H" パルス幅	150		ns
tw(CKL)	CLKi入力 "L" パルス幅	150		ns
td(C-Q)	TxDi出力遅延時間		160	ns
th(C-Q)	TxDiホールド時間	0		ns
tsu(D-C)	RxDi入力セットアップ時間	50		ns
th(C-D)	RxDi入力ホールド時間	90		ns

表28.36 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tw(INH)	INTi入力 "H" パルス幅	380		ns
tw(INL)	INTi入力 "L" パルス幅	380		ns

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, Topr=25)

表28.37 メモリ拡張モードおよびマイクロプロセッサモード(ウエイトなしの場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図28.1		25	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			25	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 2		ns
t _d (BCLK-RD)	RD信号出力遅延時間			10	ns
t _h (BCLK-RD)	RD信号出力保持時間		- 3		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _w (WR)	ライトパルス幅		(注1)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_d(\text{DB} - \text{WR}) = \frac{10^9}{f(\text{BCLK})} - 40 \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{DB}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 20 \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{AD}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 20 \quad [\text{ns}]$$

$$t_h(\text{WR} - \text{CS}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 20 \quad [\text{ns}]$$

$$t_w(\text{WR}) = \frac{10^9}{f(\text{BCLK}) \times 2} - 20 \quad [\text{ns}]$$

VCC = 3V

スイッチング特性

(指定のない場合は、Vcc=3V, Vss=0V, Topr=25)

表28.38 メモリ拡張モードおよびマイクロプロセッサモード
(ウエイトあり、外部メモリ領域をアクセスした場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図28.1		25	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		0		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		0		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-ALE)	ALE信号出力遅延時間			25	ns
t _h (BCLK-ALE)	ALE信号出力保持時間		- 2		ns
t _d (BCLK-RD)	RD信号出力遅延時間			10	ns
t _h (BCLK-RD)	RD信号出力保持時間		- 3		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _w (WR)	ライトパルス幅		(注1)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_{d}(DB - WR) = \frac{10^9 \times n}{f(\text{BCLK})} - 40 \quad [\text{ns}] \quad (n \text{は} 1 \text{ウエイト時} "1" \text{、} 2 \text{ウエイト時} "2" \text{、} 3 \text{ウエイト時} "3")$$

$$t_{h}(WR - DB) = \frac{10^9}{f(\text{BCLK}) \times 2} - 20 \quad [\text{ns}]$$

$$t_{h}(WR - AD) = \frac{10^9}{f(\text{BCLK}) \times 2} - 20 \quad [\text{ns}]$$

$$t_{h}(WR - CS) = \frac{10^9}{f(\text{BCLK}) \times 2} - 20 \quad [\text{ns}]$$

$$t_{w}(WR) = \frac{10^9 \times n}{f(\text{BCLK}) \times 2} - 20 \quad [\text{ns}] \quad (n \text{は} 1 \text{ウエイト時} "1" \text{、} 2 \text{ウエイト時} "3" \text{、} 3 \text{ウエイト時} "5")$$

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, Topr=25)

表28.39 メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつマルチプレクスバス領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
t _d (BCLK-AD)	アドレス出力遅延時間	図28.1		25	ns
t _h (BCLK-AD)	アドレス出力保持時間 (BCLK基準)		0		ns
t _h (RD-AD)	アドレス出力保持時間 (RD基準)		(注1)		ns
t _h (WR-AD)	アドレス出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-CS)	チップセレクト出力遅延時間			25	ns
t _h (BCLK-CS)	チップセレクト出力保持時間 (BCLK基準)		0		ns
t _h (RD-CS)	チップセレクト出力保持時間 (RD基準)		(注1)		ns
t _h (WR-CS)	チップセレクト出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-RD)	RD信号出力遅延時間			25	ns
t _h (BCLK-RD)	RD信号出力保持時間		- 3		ns
t _d (BCLK-WR)	WR信号出力遅延時間			25	ns
t _h (BCLK-WR)	WR信号出力保持時間		0		ns
t _d (DB-WR)	データ出力遅延時間 (WR基準)		(注1)		ns
t _h (WR-DB)	データ出力保持時間 (WR基準)		(注1)		ns
t _d (BCLK-ALE)	ALE出力遅延時間 (BCLK基準)			25	ns
t _h (BCLK-ALE)	ALE出力保持時間 (BCLK基準)		- 2		ns
t _d (AD-ALE)	ALE出力遅延時間 (アドレス基準)		(注1)		ns
t _h (ALE-AD)	ALE出力保持時間 (アドレス基準)		(注1)		ns
t _{dZ} (RD-AD)	アドレス出力フローティング開始時間			8	ns
t _h (BCLK-DB)	データ出力保持時間 (BCLK基準)		0		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$t_{h(RD-AD)} = \frac{10^9}{f_{(BCLK)} \times 2} - 20 \text{ [ns]}$$

$$t_{h(WR-AD)} = \frac{10^9}{f_{(BCLK)} \times 2} - 20 \text{ [ns]}$$

$$t_{h(RD-CS)} = \frac{10^9}{f_{(BCLK)} \times 2} - 20 \text{ [ns]}$$

$$t_{h(WR-CS)} = \frac{10^9}{f_{(BCLK)} \times 2} - 20 \text{ [ns]}$$

$$t_{d(DB-WR)} = \frac{10^9 \times m}{f_{(BCLK)} \times 2} - 40 \text{ [ns]} \quad (m \text{は、} 2\text{wait時}^{\text{"3"}}, 3\text{wait時}^{\text{"5"}})$$

$$t_{h(WR-DB)} = \frac{10^9}{f_{(BCLK)} \times 2} - 20 \text{ [ns]}$$

$$t_{d(AD-ALE)} = \frac{10^9}{f_{(BCLK)} \times 2} - 27 \text{ [ns]}$$

$$t_{h(ALE-AD)} = \frac{10^9}{f_{(BCLK)} \times 2} - 20 \text{ [ns]}$$

VCC = 3V

スイッチング特性

(指定のない場合は、VCC=3V, VSS=0V, Topr=25)

表28.40 メモリ拡張モードおよびマイクロプロセッサモード

(ウエイトあり、外部メモリ領域をアクセスし、かつDRAM領域を選択した場合)

記号	項目	測定条件	規格値		単位
			最小	最大	
td(BCLK-RAD)	行アドレス出力遅延時間	図28.1		25	ns
th(BCLK-RAD)	行アドレス出力保持時間 (BCLK基準)		0		ns
td(BCLK-CAD)	列アドレス出力遅延時間			25	ns
th(BCLK-CAD)	列アドレス出力保持時間 (BCLK基準)		0		ns
th(RAS-RAD)	RAS出力後行アドレス出力保持時間		(注1)		ns
td(BCLK-RAS)	RAS出力遅延時間 (BCLK基準)			25	ns
th(BCLK-RAS)	RAS出力保持時間 (BCLK基準)		0		ns
tRP	RAS"H"保持時間		(注1)		ns
td(BCLK-CAS)	CAS出力遅延時間 (BCLK基準)			25	ns
th(BCLK-CAS)	CAS出力保持時間 (BCLK基準)		0		ns
td(BCLK-DW)	データ出力遅延時間 (BCLK基準)			25	ns
th(BCLK-DW)	データ出力保持時間 (BCLK基準)		- 3		ns
tsu(DB-CAS)	DB出力後CAS出力セットアップ時間		(注1)		ns
th(BCLK-DB)	DB出力保持時間 (BCLK基準)		- 7		ns
tsu(CAS-RAS)	RAS出力前CAS出力セットアップ時間 (リフレッシュ)		(注1)		ns

注1. BCLKの周波数に応じて次の計算式で算出されます。

$$th(RAS - RAD) = \frac{10^9}{f(BCLK) \times 2} - 25 \quad [ns]$$

$$tRP = \frac{10^9 \times 3}{f(BCLK) \times 2} - 40 \quad [ns]$$

$$tsu(DB - CAS) = \frac{10^9}{f(BCLK)} - 40 \quad [ns]$$

$$tsu(CAS - RAS) = \frac{10^9}{f(BCLK) \times 2} - 25 \quad [ns]$$

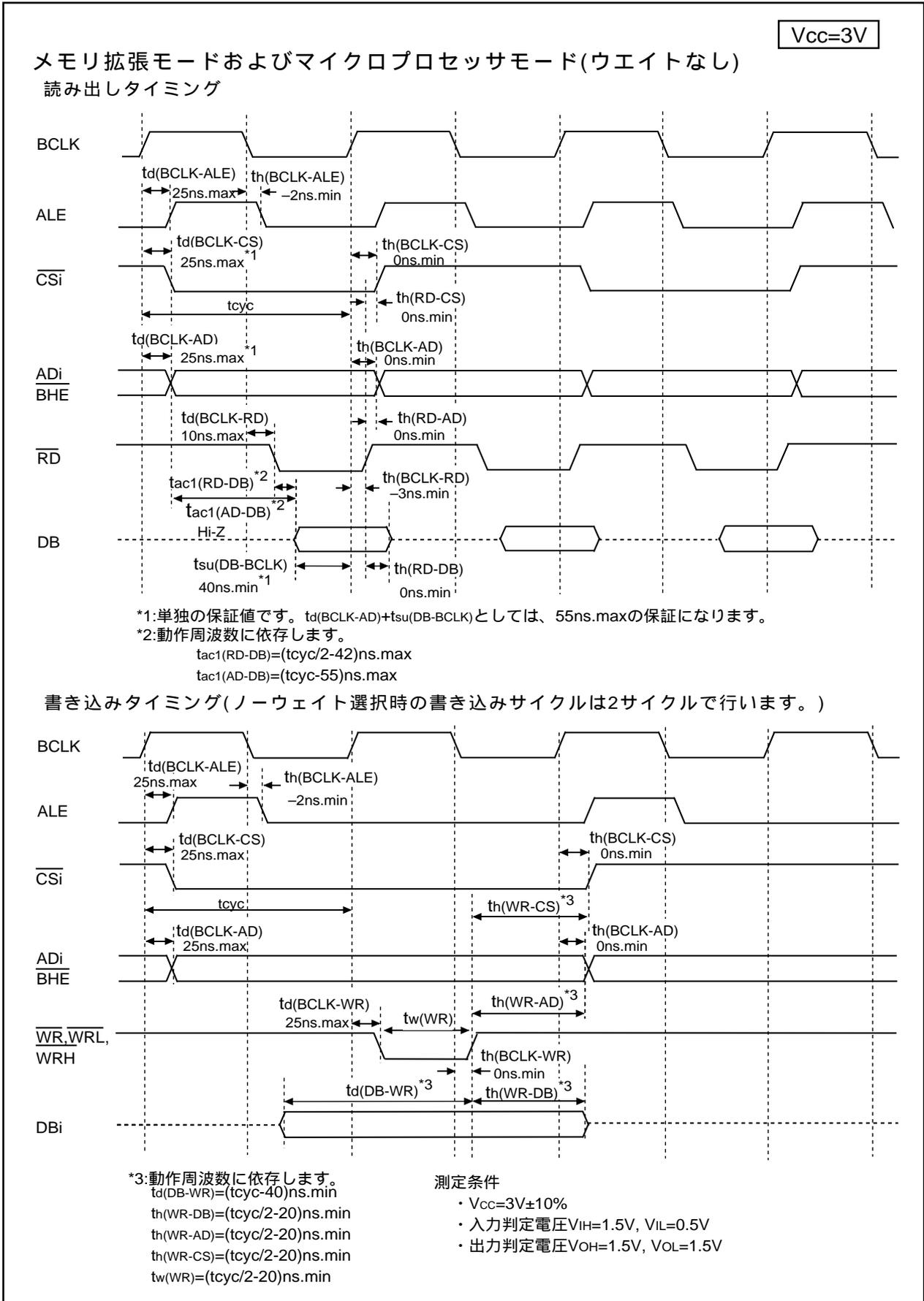


図28.15 V_{CC}=3V時のタイミング図(1)

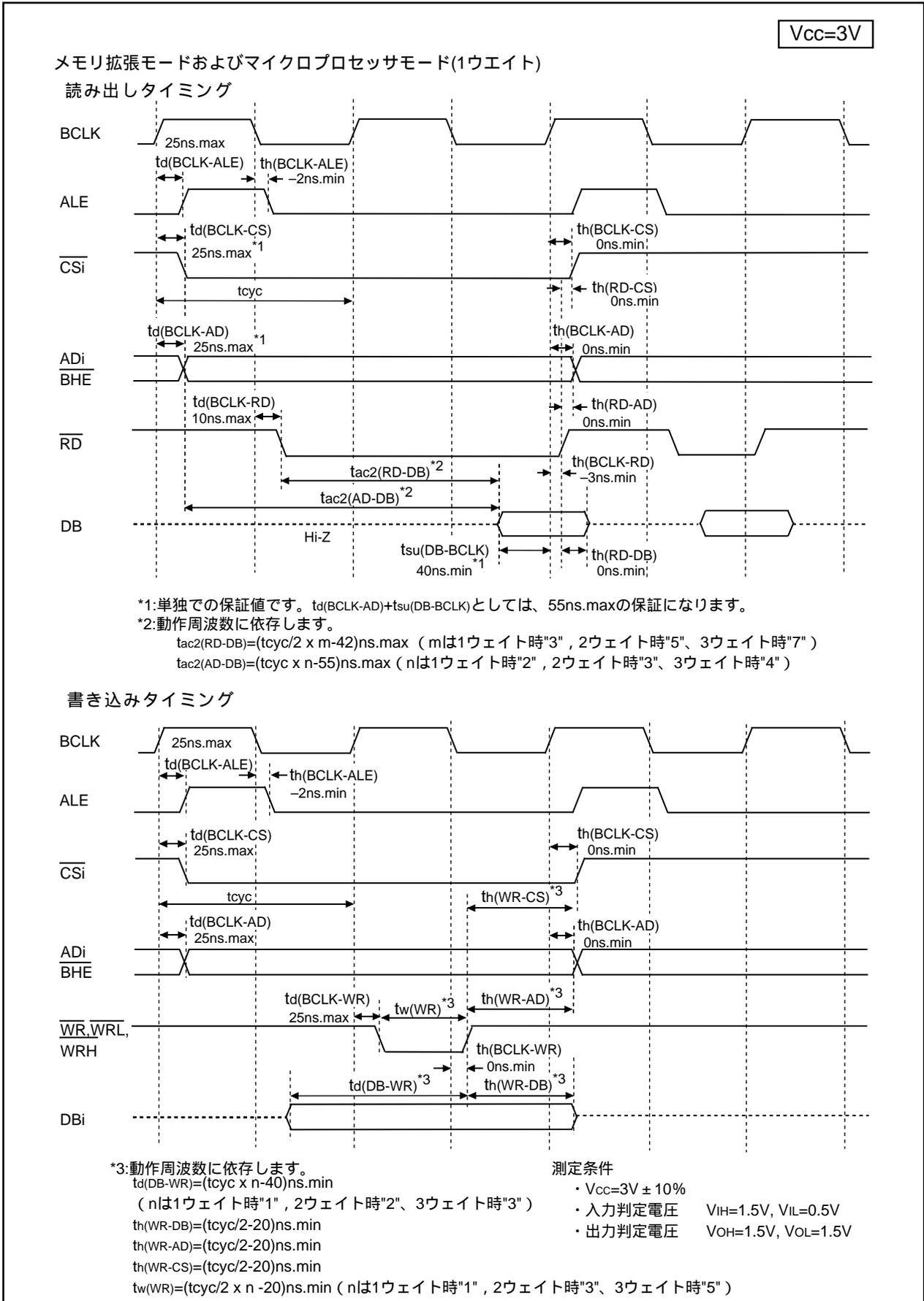


図28.16 Vcc=3V時のタイミング図(2)

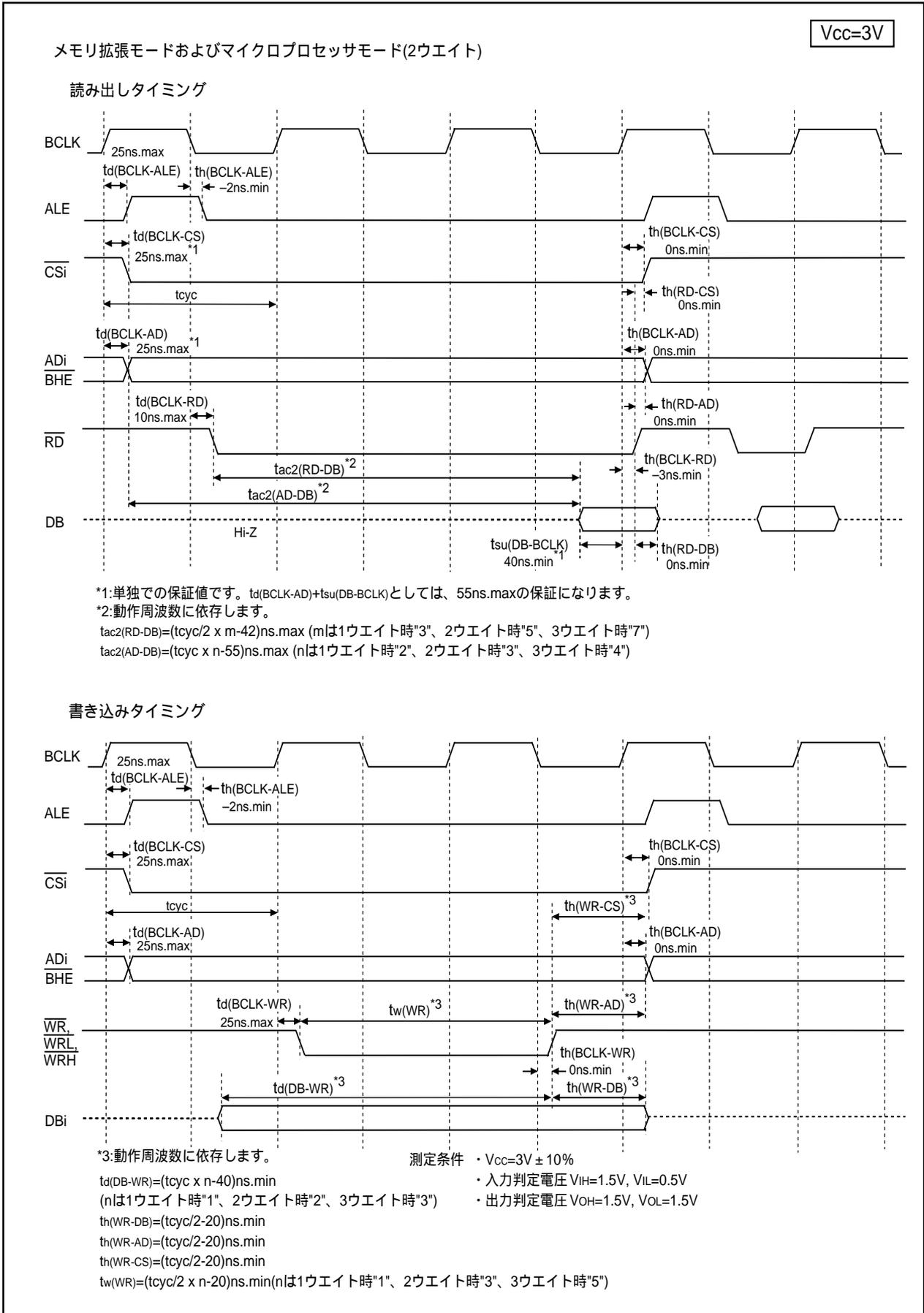


図28.17 Vcc=3V時のタイミング図(3)

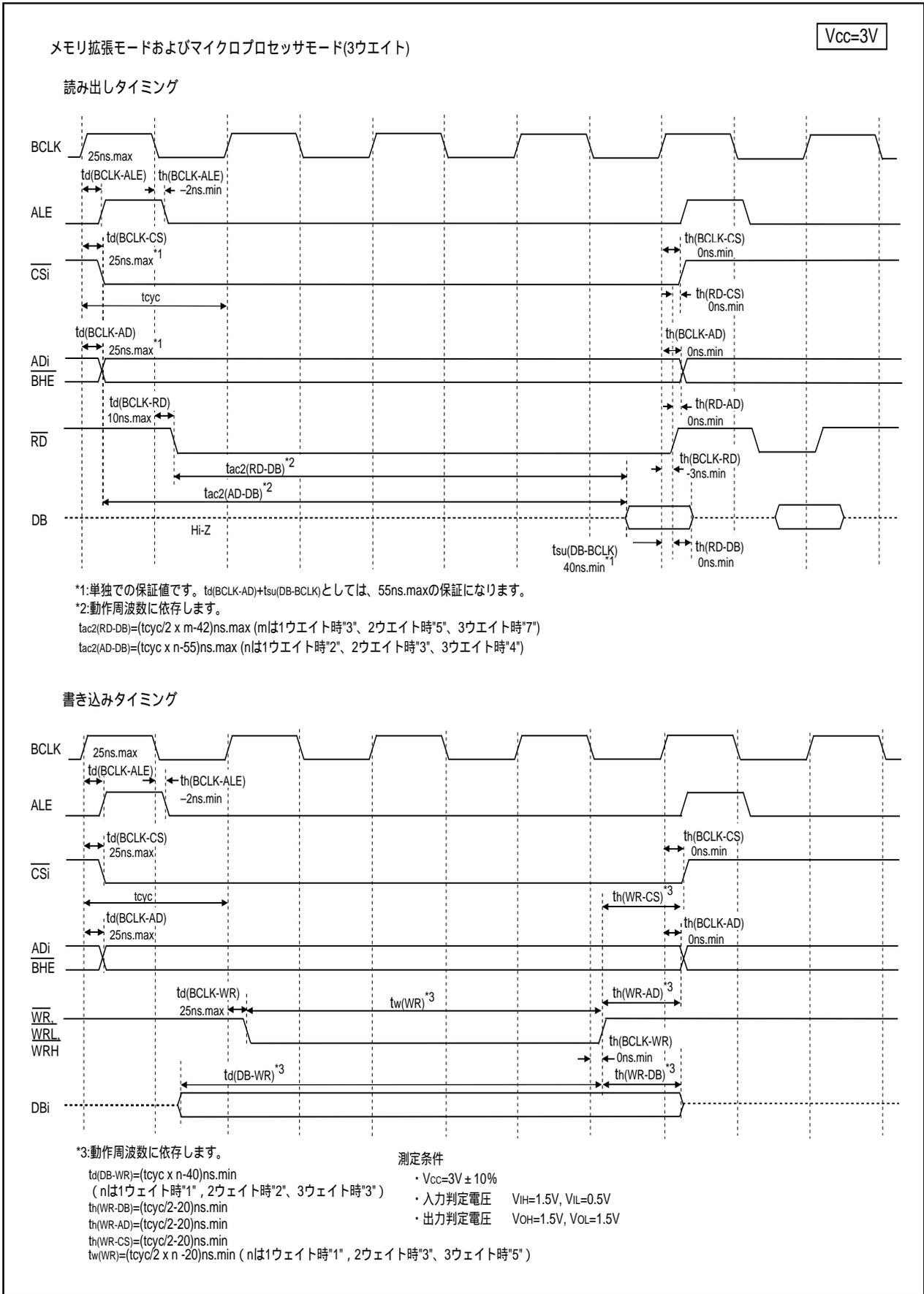


図28.18 Vcc=3V時のタイミング図(4)

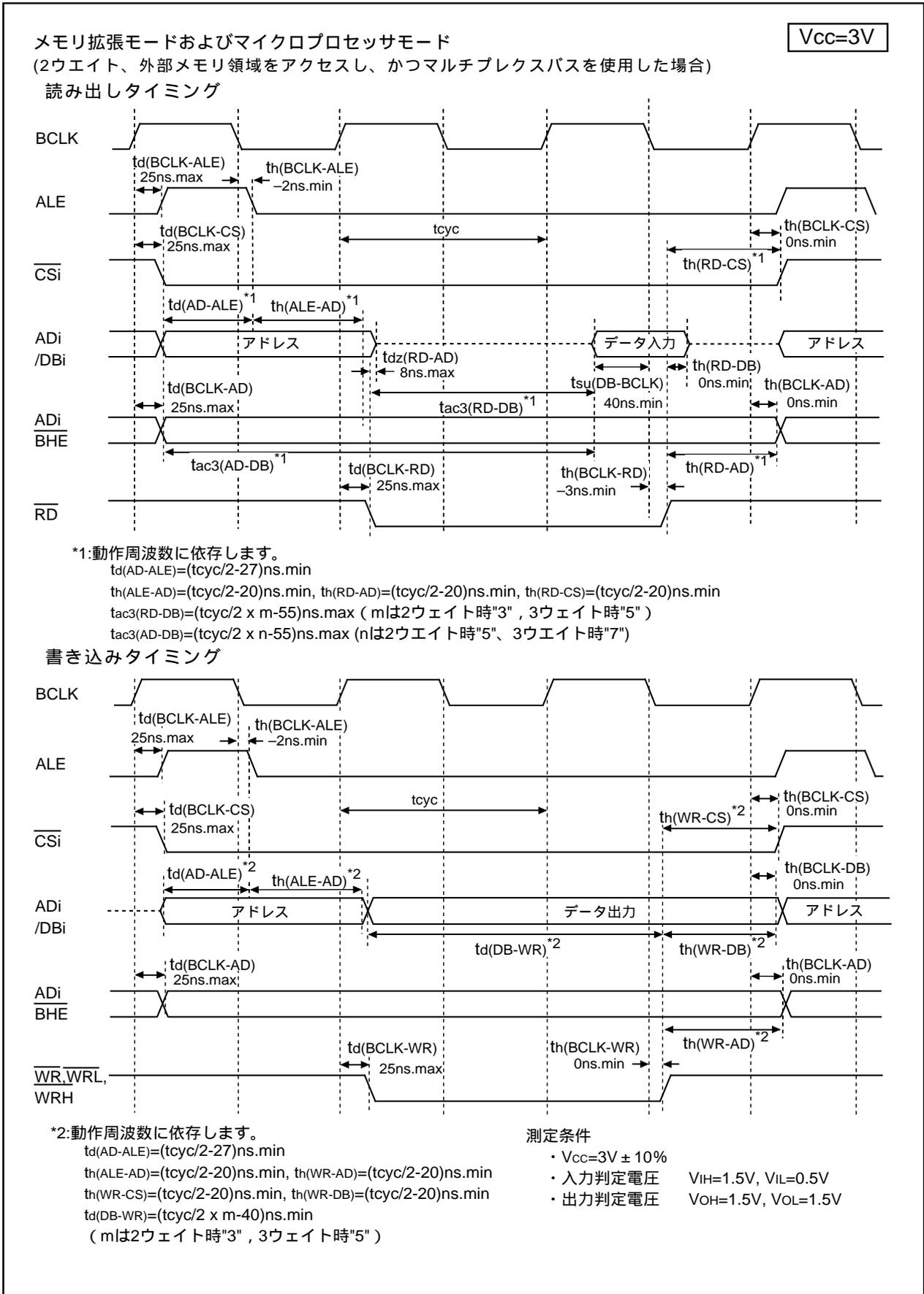


図28.19 Vcc=3V時のタイミング図(5)

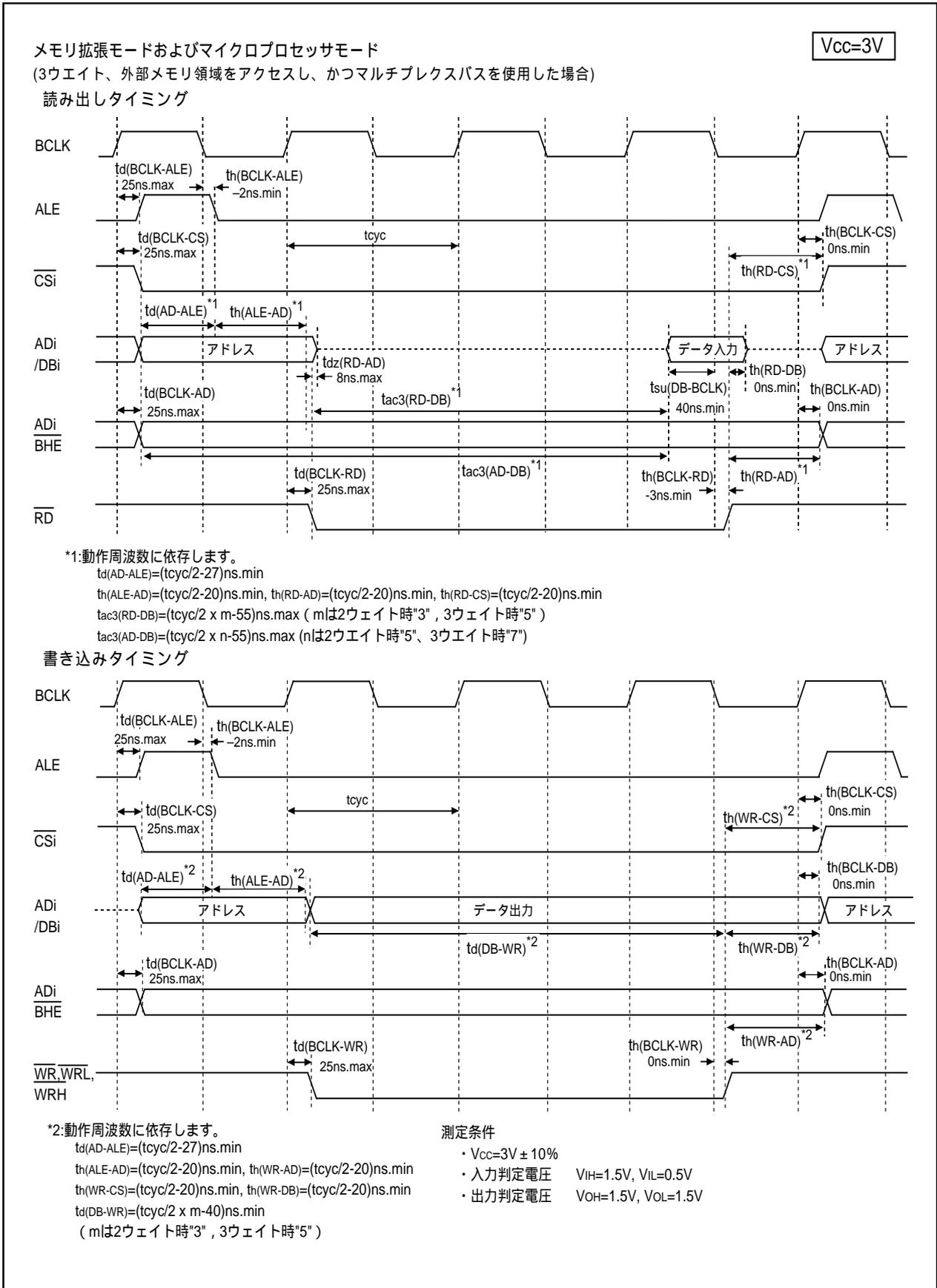


図28.20 Vcc=3V時のタイミング図(6)

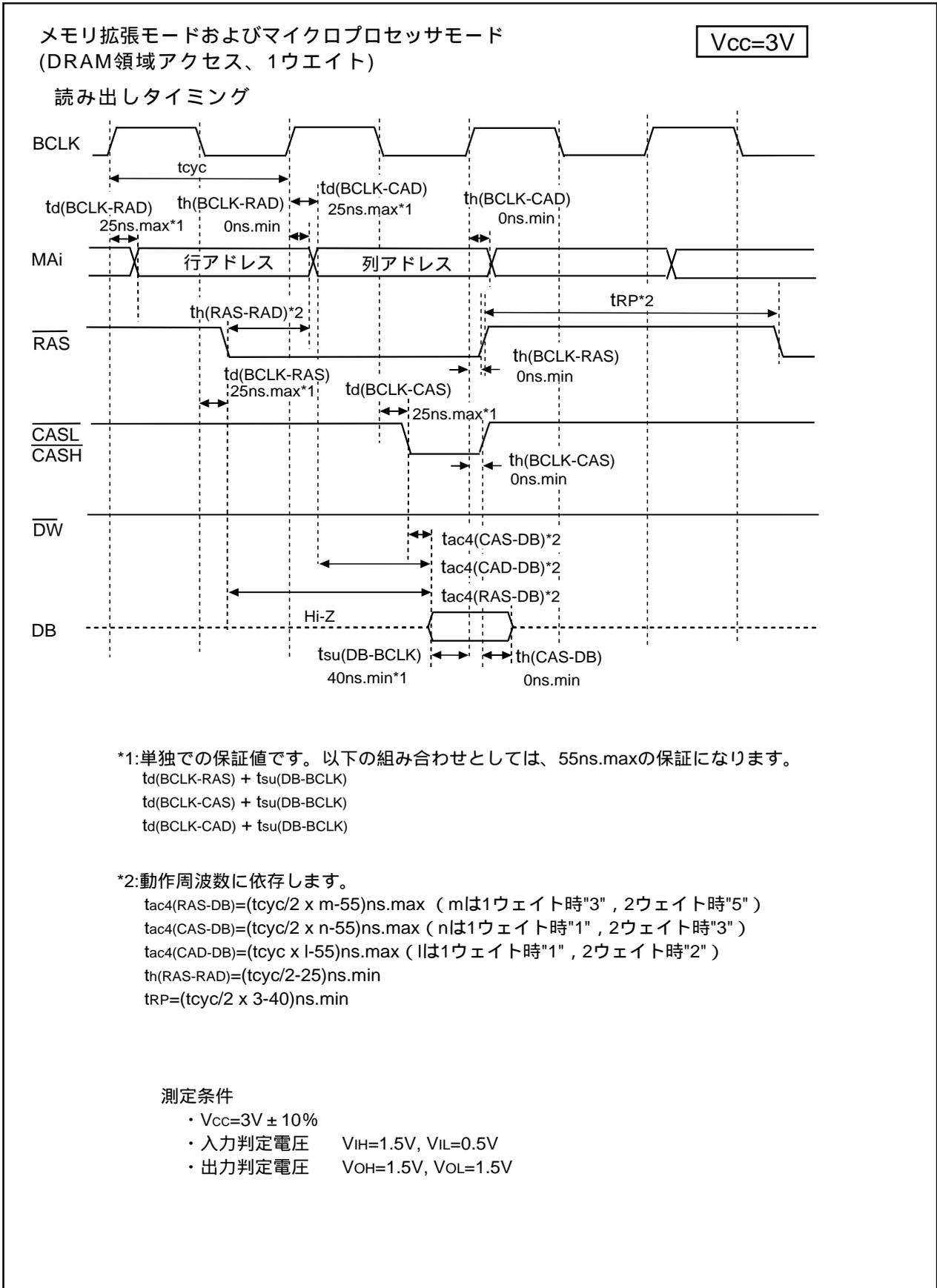
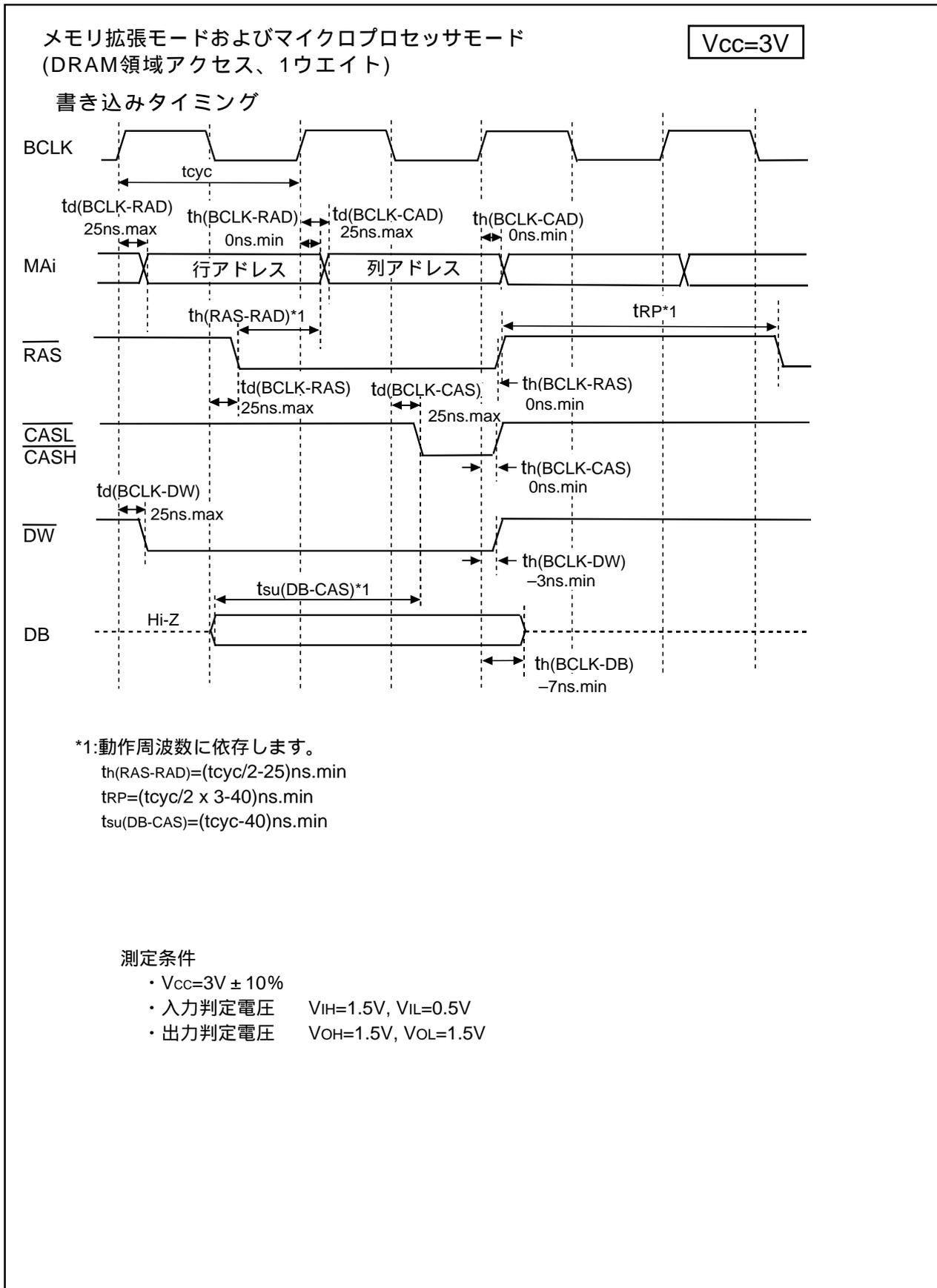
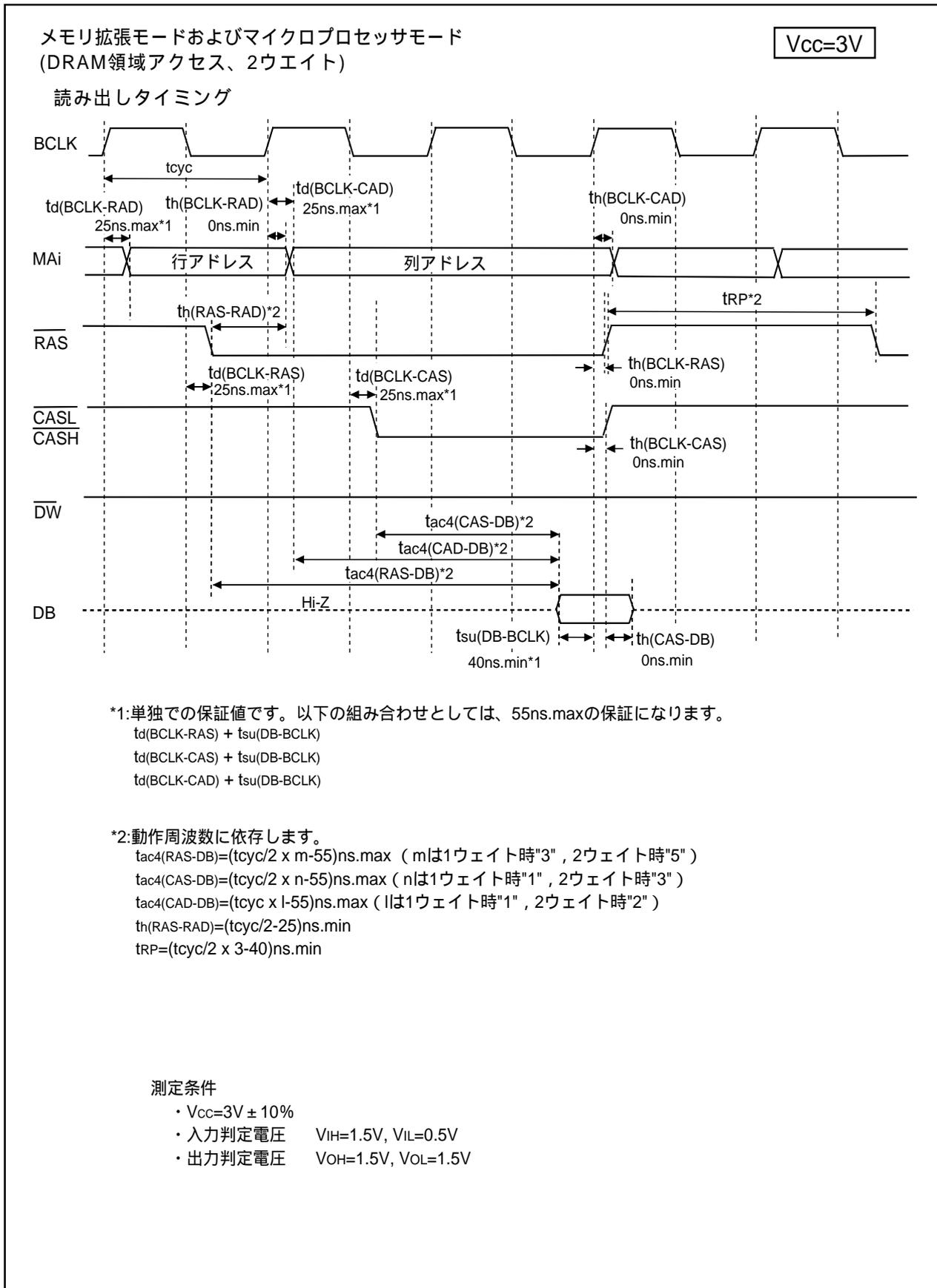
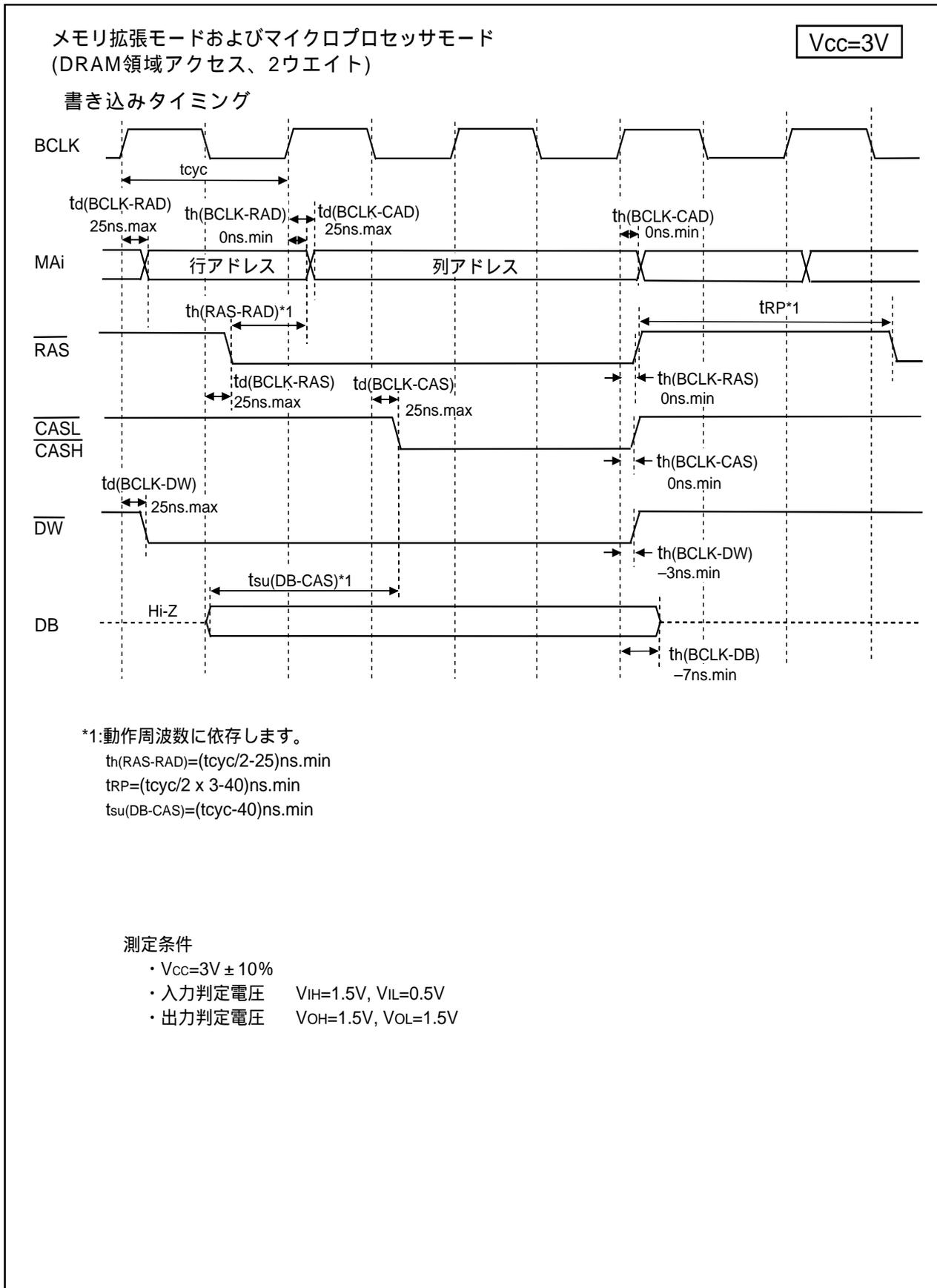


図28.21 V_{CC}=3V時のタイミング図(7)

図28.22 V_{CC}=3V時のタイミング図(8)

図28.23 V_{CC}=3V時のタイミング図(9)

図28.24 V_{CC}=3V時のタイミング図(10)

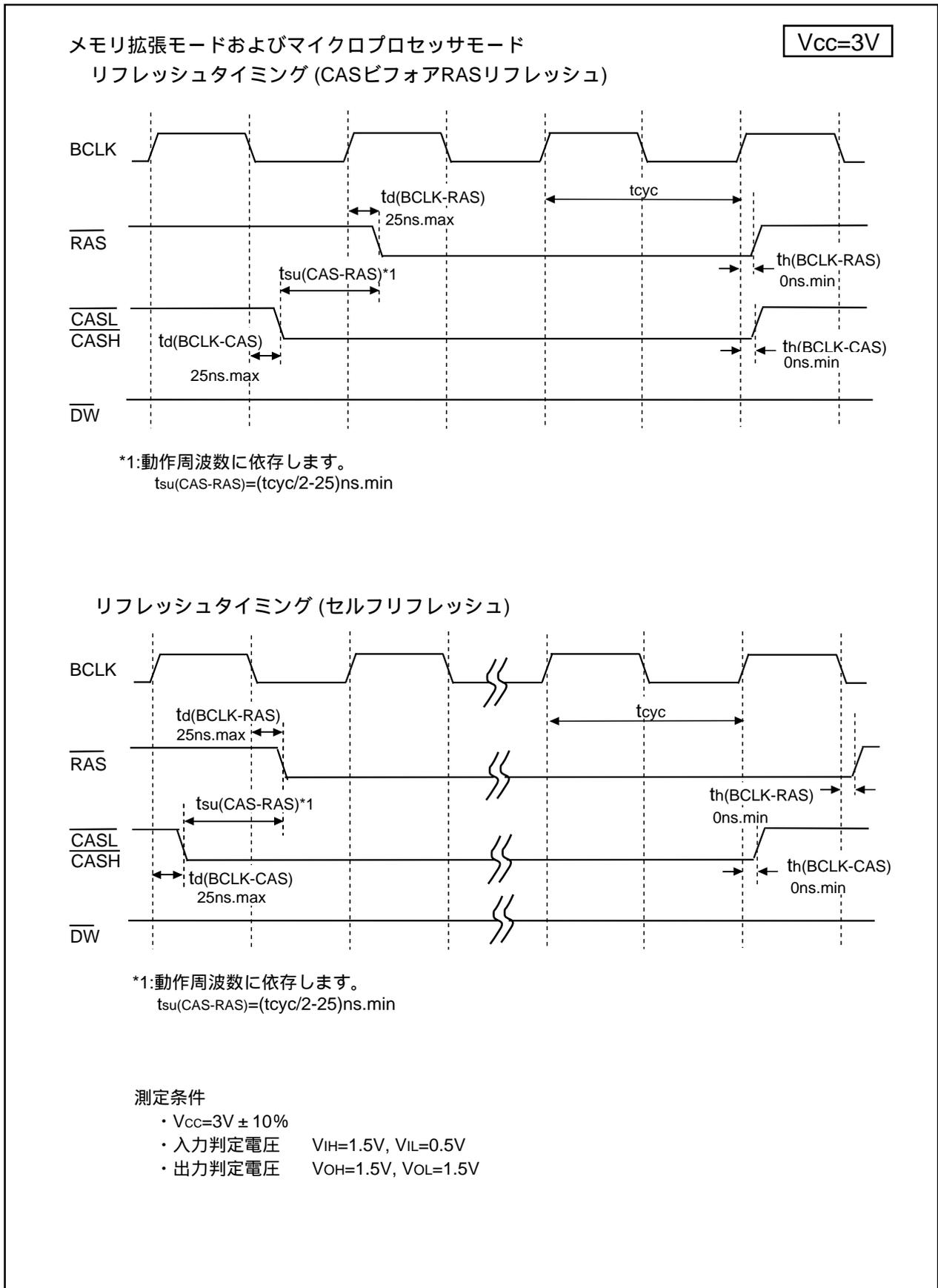


図28.25 Vcc=3V時のタイミング図(11)

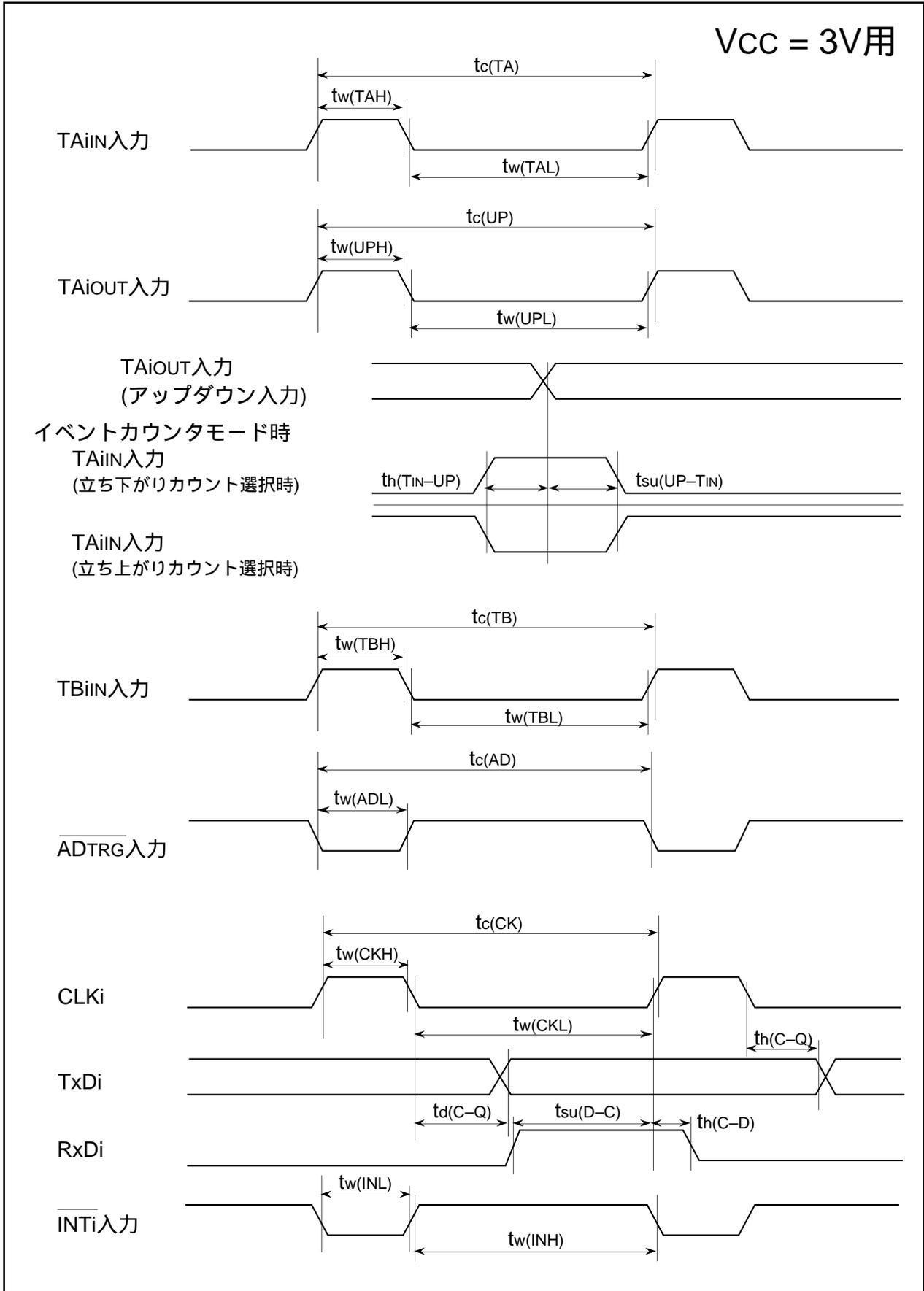


図28.26 Vcc=3V時のタイミング図(12)

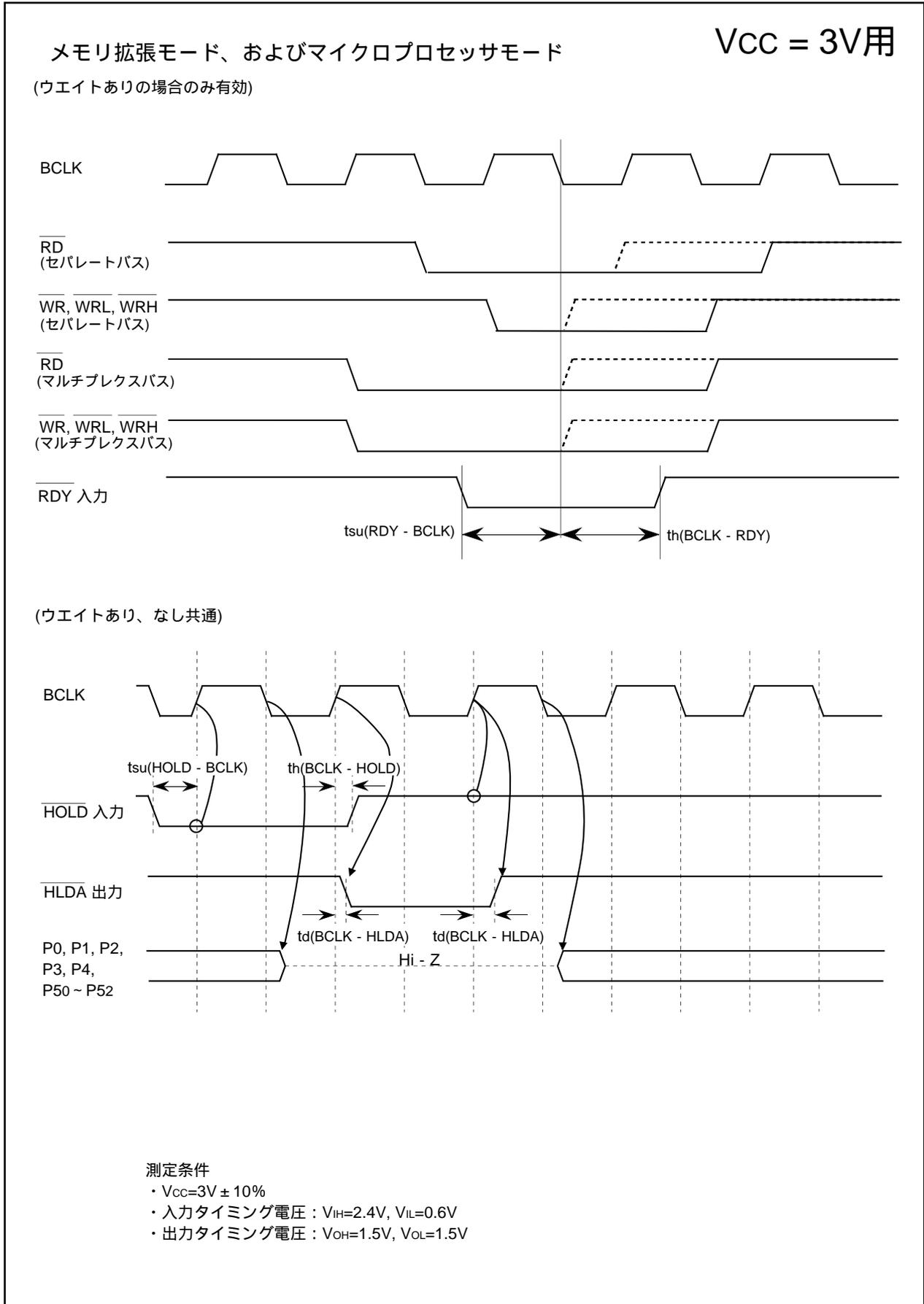


図28.27 Vcc=3V時のタイミング図(13)

29. フラッシュメモリ版

性能概要

表29.1にM16C/80(フラッシュメモリ内蔵版)の性能概要を示します。

表29.1 M16C/80(フラッシュメモリ内蔵版)の性能概要

項 目	性 能
電源電圧	5V版 : f(XIN)=20MHz、ウエイトなし、4.2V ~ 5.5V、 f(XIN)=10MHz、ウエイトなし、2.7V ~ 5.5V
プログラム/イレーズ電圧	5V版 : 4.2 ~ 5.5V f(BCLK)=12.5MHz、1ウエイト、 f(BCLK)=6.25MHz、ウエイトなし
フラッシュメモリモード	3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域
	ブートROM領域
プログラム方式	ページ単位(256バイト単位)
イレーズ方式	一括消去/ブロック消去
プログラム/イレーズ制御方式	ソフトウエアコマンドによるプログラム/イレーズ制御
プロテクト方式	ロックビットによるブロック単位のプロテクト
コマンド数	8コマンド
プログラム/イレーズ回数	100回
データ保持	10年間
ROMコードプロテクト	パラレル入出力モード/標準シリアルモード対応

注1. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

M16C/80(フラッシュメモリ版)では次のような展開を計画しています。

(1) ROM容量

(2) パッケージ

100P6S-A プラスチックモールドQFP

100P6Q-A プラスチックモールドQFP

144P6Q-A プラスチックモールドQFP

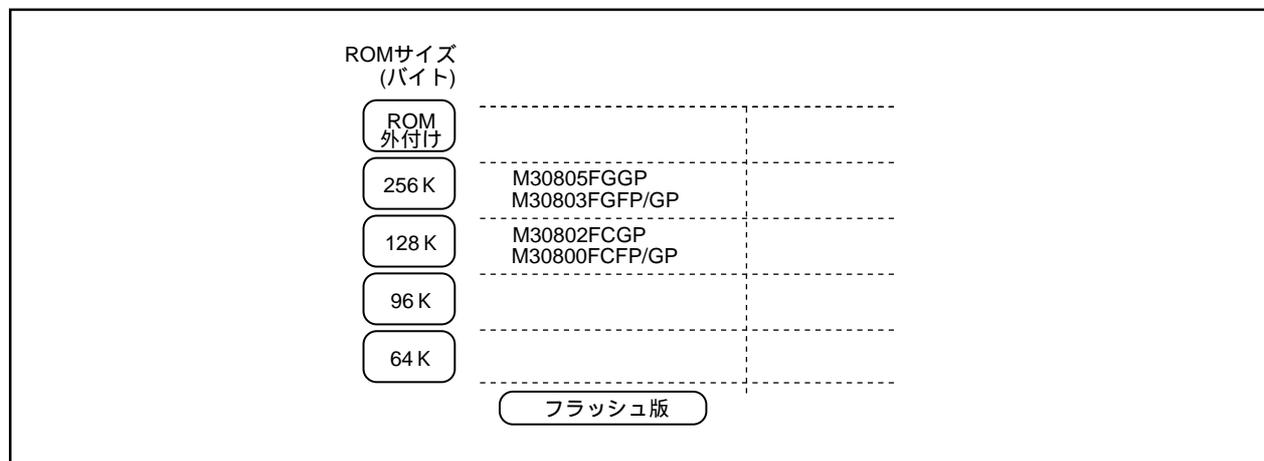


図29.1 ROM展開

サポートを行う予定の製品を以下に示します。

表29.2 製品一覧表

形名	ROM容量	RAM容量	パッケージ	備考
M30800FCFP	128Kバイト	10Kバイト	100P6S-A	
M30800FCGP			100P6Q-A	
M30803FGFP	256Kバイト	20Kバイト	100P6S-A	
M30803FGGP			100P6Q-A	
M30802FCGP	128Kバイト	10Kバイト	144P6Q-A	
M30805FGGP	256Kバイト	20Kバイト		

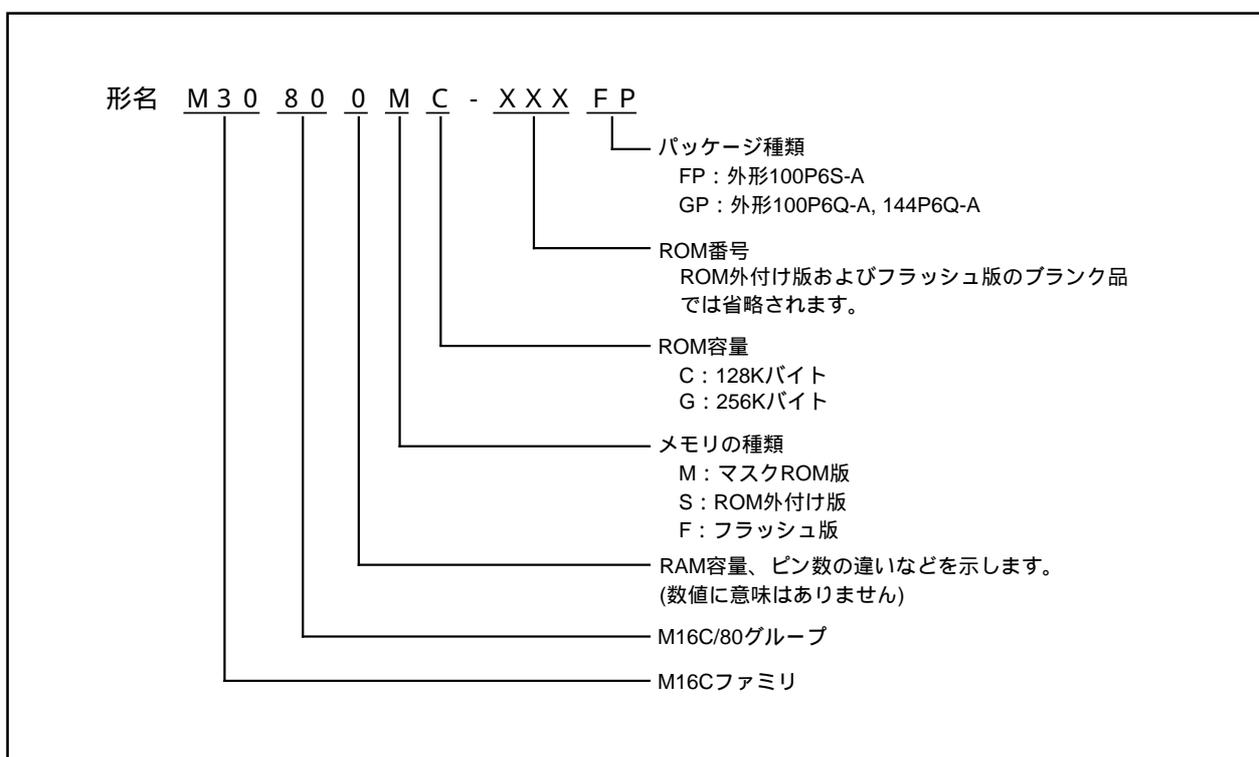


図29.2 形名とメモリサイズ・パッケージ

フラッシュメモリ

M16C/80(フラッシュメモリ版)は、5V単一電源での書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うために、ライタを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モードおよび、中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図29.3に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことができます。これらの各ブロックは、イレーズ、プログラム実行の有効/無効を選択するロックビットを持っており、ブロックごとのデータ保護が可能です。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモードおよび標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

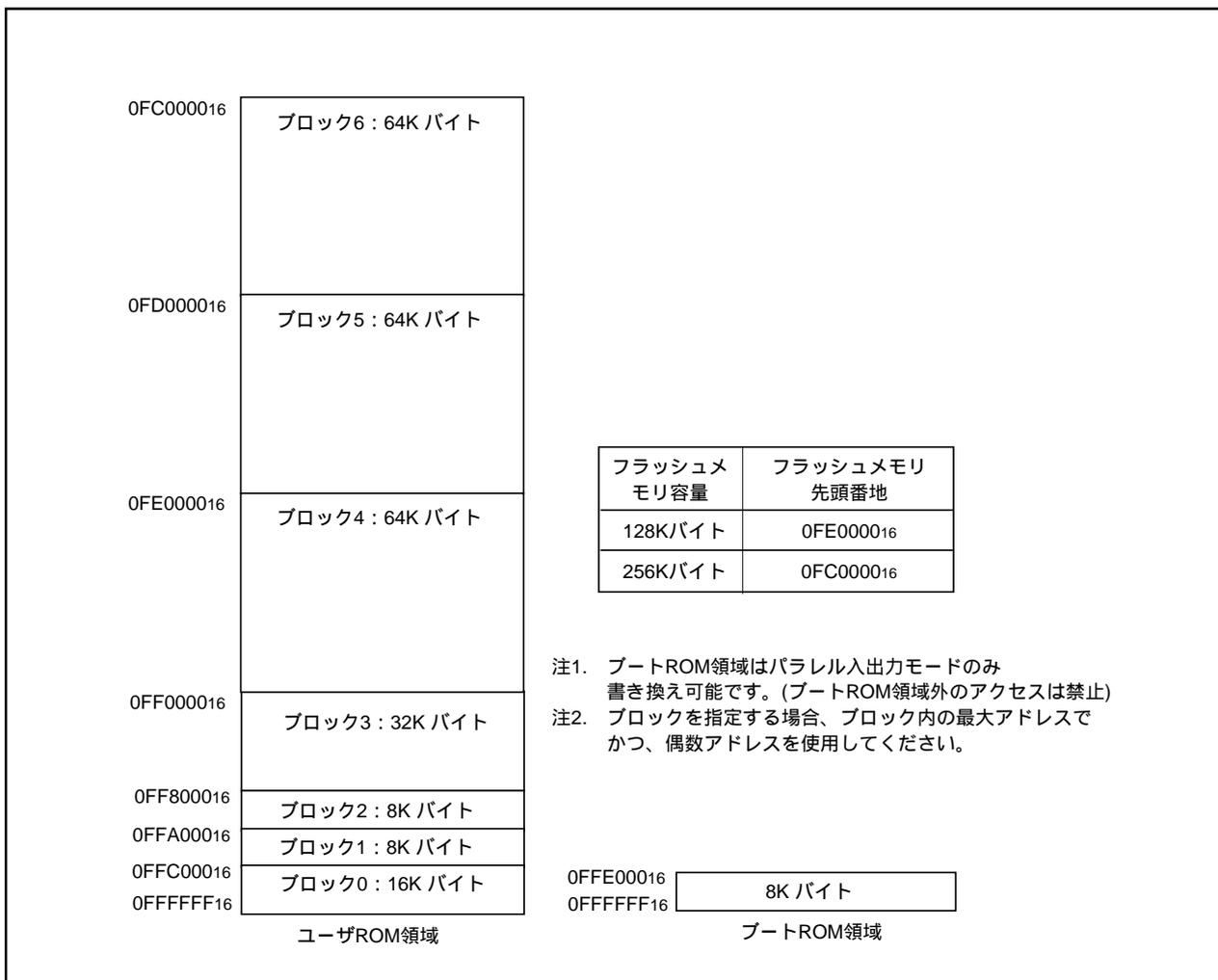


図29.3 内蔵フラッシュメモリのブロック図

30. CPU書き換えモード(フラッシュメモリ版)

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレースなど)を行うモードです。

CPU書き換えモードでは、図29.3に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレースのコマンドは、ユーザROM領域と各ブロック領域のみに対して行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからのフラッシュメモリの読み出しが行えませんが、書き換え制御プログラムは、内蔵フラッシュメモリ以外のメモリに転送して実行させる必要があります。

マイコンモードとブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域またはブートROM領域に書き込んでおく必要があります。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図29.3に示すとおりです。

CNVss端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P55端子を“L”、CNVss端子を“H”、P50端子を“H”としてリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

ブロックアドレス

ブロックアドレスとは、各ブロックの最大の偶数アドレスです。このアドレスは、ブロックイレースコマンド、ロックビットプログラムコマンド、リードロックステータスコマンドで使用します。

機能概要

CPU書き換えモードでは、CPUがソフトウェアコマンドを発行することにより、内蔵フラッシュメモリに対し、イレーズ、プログラム、リード等を行うモードです。この操作は、内蔵RAM等の内蔵フラッシュメモリ以外のメモリで実行する必要があります。

CPU書き換えモードには、CPU書き換えモード選択ビット(0377₁₆番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受け付けが可能となります。

CPU書き換えモードでは、ソフトウェアコマンド、データ等は全て16ビット単位で偶数アドレス(バイトアドレスのアドレスA0は“0”)へライト、リードしてください。8ビット単位のソフトウェアコマンドは、必ず偶数アドレスにのみライトしてください。奇数番地では無効になります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラムまたはイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。ステータスレジスタの読み出し時もユーザROM領域内の偶数アドレスに設定してください。

図30.1にフラッシュメモリ制御レジスタ0およびフラッシュメモリ制御レジスタ1を示します。

フラッシュメモリ制御レジスタ0のビット0は、フラッシュメモリの動作状況を示す読み出し専用のRY/ $\overline{\text{BY}}$ ステータスフラグです。プログラム、イレーズ動作中には“0”、これ以外のときには“1”となります。

フラッシュメモリ制御レジスタ0のビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、ビット1への書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、NMI端子が“H”の状態では“0”書き込みと“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

フラッシュメモリ制御レジスタ0のビット2はロックビット無効選択ビットで、このビットを“1”にすることにより、ロックビットデータによる消去、書き込みプロテクト(ブロックロック)を無効にすることができます。ロックビット無効選択ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータの値を変えるわけではありません。ただし、このビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされます。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットの操作は、CPU書き換えモード選択ビットが“1”の状態でのみ可能です。

フラッシュメモリ制御レジスタ0のビット3は、内蔵フラッシュメモリの制御回路をリセットするためのフラッシュメモリリセットビットです。CPU書き換えモードの終了時、およびフラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態では、このビットに“1”を書き込むと、リセットします。リセットを解除するためには、“0”を書き込む必要があります。

フラッシュメモリ制御レジスタ0のビット5はユーザROM領域選択ビットで、ブートモード時のみ有効です。ブートモードで、このビットに“1”を設定すると、アクセスされる領域がブートROM領域からユーザROM領域に切り替わります。ブートモードでCPU書き換えモードを使用する場合にはこのビットを“1”に設定してください。なお、ユーザROM領域で立ち上げた場合、このビットは無効です。ブートモードであれば、このビットの機能はCPU書き換えモードにかかわらず有効です。このビット5の書き換えは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。

フラッシュメモリ制御レジスタ1のビット3は、内蔵フラッシュメモリの電源をoffするビットです。このビットに“1”を設定すると、内蔵フラッシュメモリへの電源が供給されなくなり消費電流を低減することができますが、内蔵フラッシュメモリをアクセスできなくなります。したがって、このビットへの書き込みは内蔵フラッシュメモリ以外の領域で行ってください。このビットを“1”に設定するためには、“0”書き込みと“1”書き込みを連続して行う必要があります。このビットは、主に低速モード(BCLKのカウントソースがXCIN)で使用してください。

なお、ストップモードやウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、フラッシュメモリ制御レジスタ1を特別に設定する必要がありません。

図30.2にCPU書き換えモードの設定/解除フローチャート、図30.3に低速モードへ移行する場合のフローチャートを示します。必ずこのフローチャートに従って操作してください。

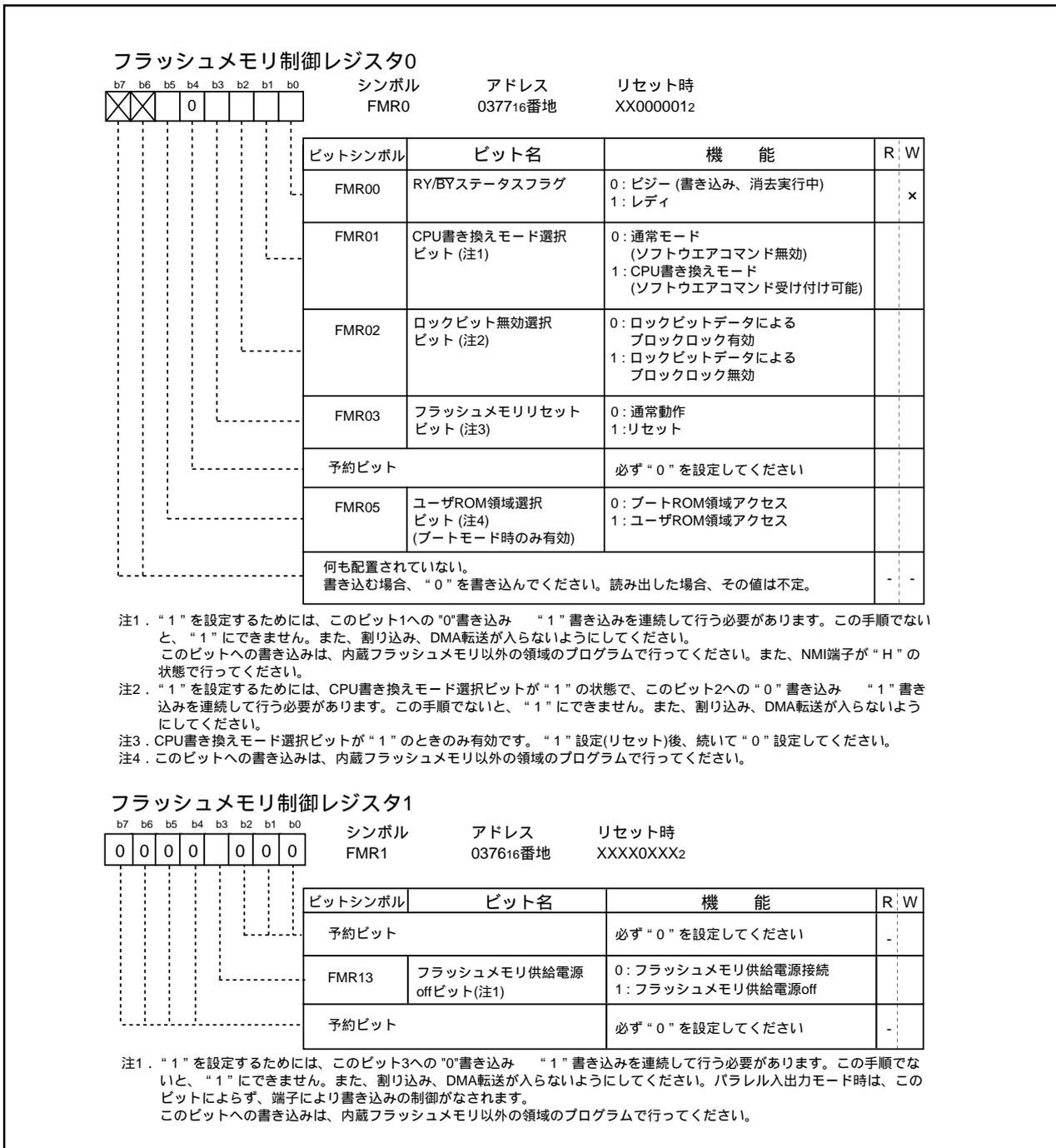


図30.1 フラッシュメモリ制御レジスタのビット構成

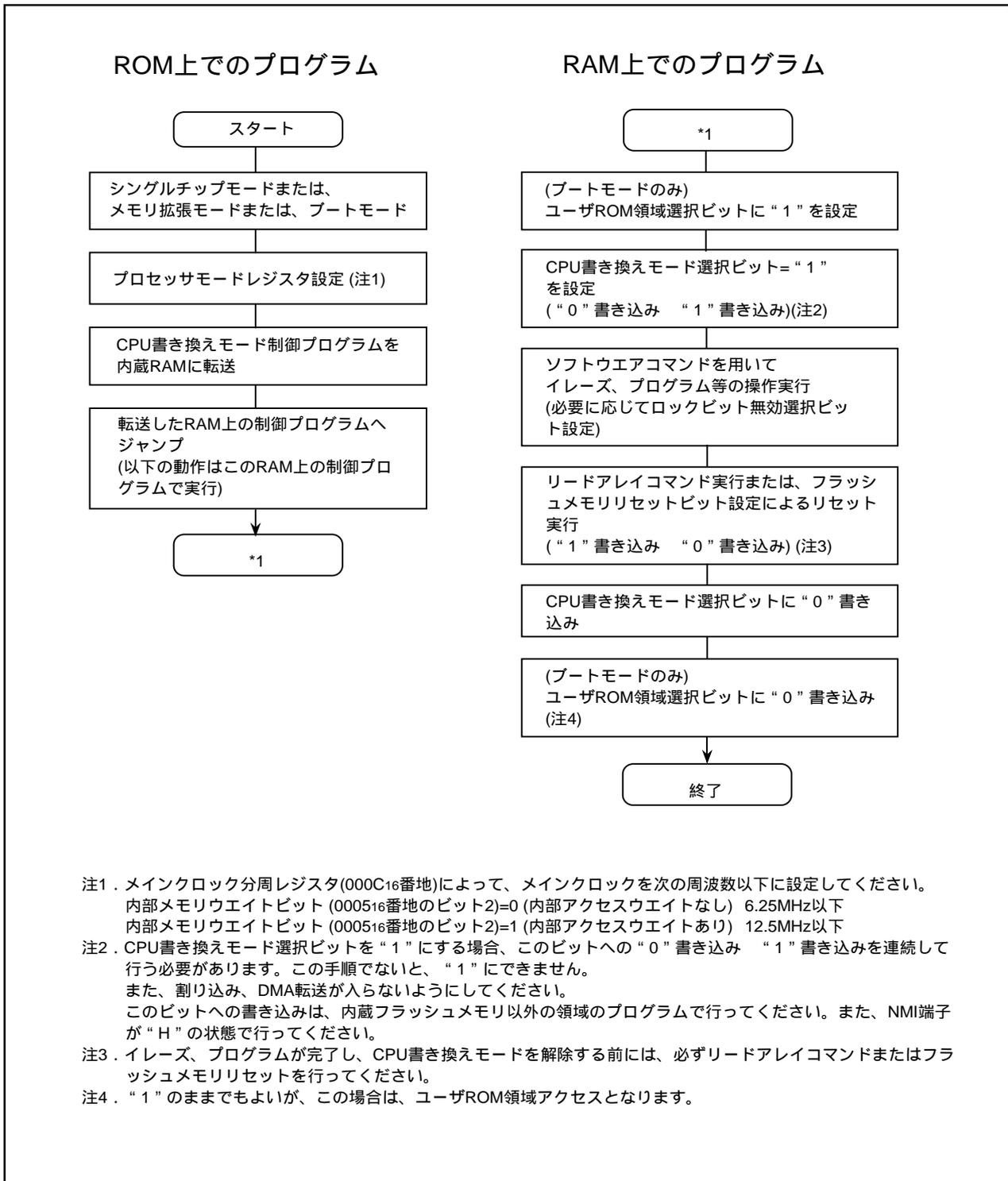


図30.2 CPU書き換えモードの設定/解除フローチャート

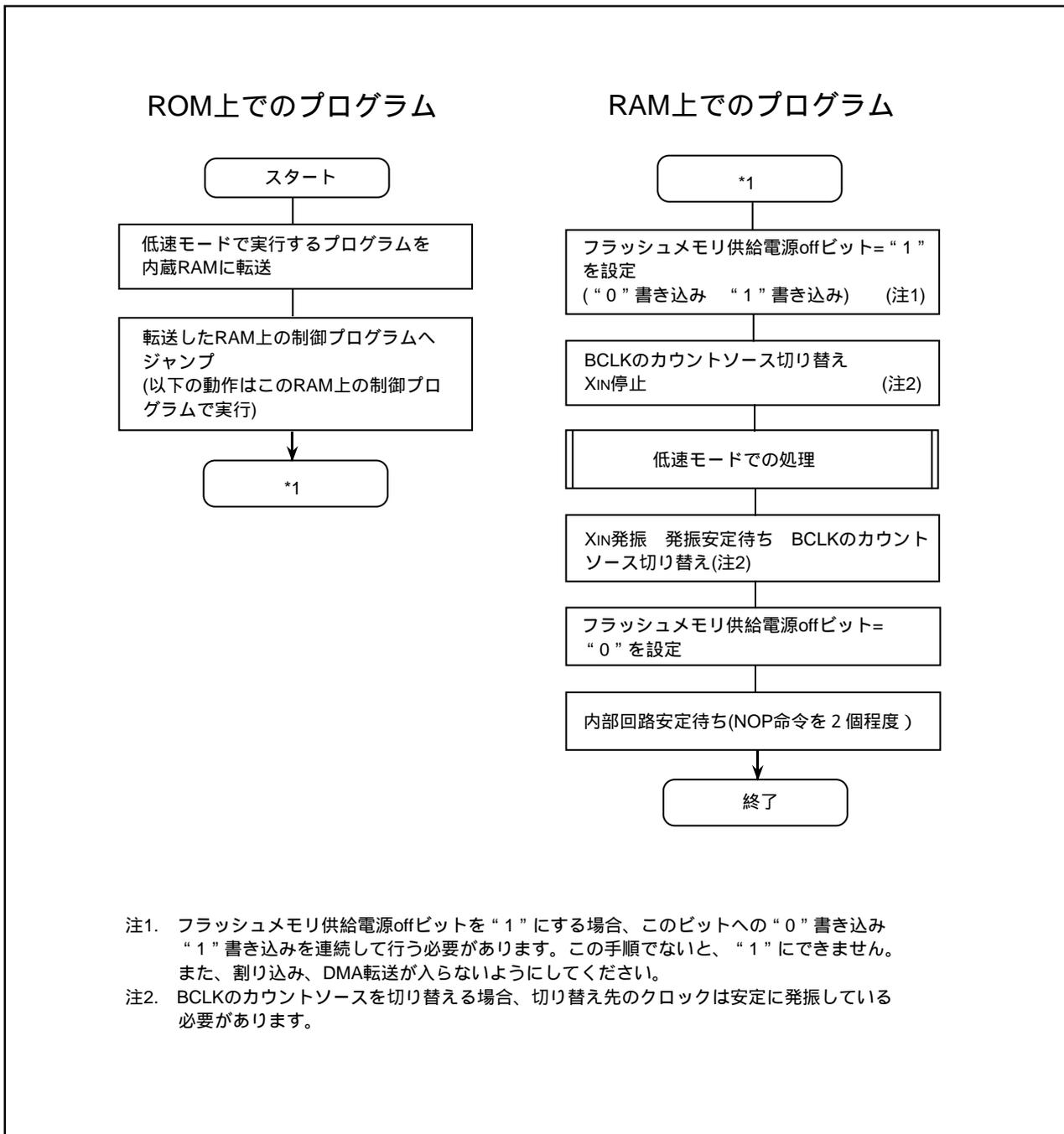


図30.3 低速モードを実現するためのフローチャート

CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

(1)動作速度

CPU書き換えモード中は、メインクロック分周レジスタ(000C₁₆番地)によって、BCLKを次の周波数以下に設定してください。

内部メモリウエイトビット(0005₁₆番地のビット2) = 0(内部アクセスウエイト無し) 6.25MHz以下
内部メモリウエイトビット(0005₁₆番地のビット2) = 1(内部アクセスウエイト有り) 12.5MHz以下

(2)使用禁止命令

CPU書き換えモード中、以下の命令はフラッシュメモリ内部のデータを参照するため使用できません。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

(3)使用禁止割り込み

CPU書き換えモード中、アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用することができます。ウォッチドッグタイマ割り込み、NMI割り込みは、各割り込み発生時に強制的にCPU書き換えモード選択ビットを“0”通常モードに変更するので使用できます。ただし、固定ベクタテーブルに割り込みの飛び先が設定されており、割り込みプログラムが存在することが必要です。NMI割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、再度、CPU書き換えモード選択ビットを“1”に設定し、消去/プログラムの動作が必要です。

(4)リセット

常に受け付けます。

(5)アクセス禁止

CPU書き換えモード選択ビット、フラッシュメモリ供給電源offビット、ユーザROM領域選択ビットは、内蔵フラッシュメモリ以外の領域のプログラムで書き込みを行ってください。

(6)アクセス方法

CPU書き換えモード選択ビット、ロックビット無効選択ビット、フラッシュメモリ供給電源offビットを“1”に設定する場合は、“0”書き込み “1”書き込みを連続して行う必要があります。この手順でないと、“1”にできません。また、割り込み、DMA転送が入らないようにしてください。

CPU書き換えモード選択ビットへの書き込みは、NMI端子が“H”の状態で行ってください。

(7)ユーザROM領域の書き換え

CPU書き換えモードを使用し、フラッシュ書き換えプログラムが格納されているブロックを書き換えている最中に電源が落ちたとき、そのブロックの書き換えが正常でない場合があります。その後フラッシュメモリの書き換えができなくなる可能性があります。したがって、このブロックの書き換えは、標準シリアル入出力モードまたはパラレル入出力モードを使用することを推奨します。

(8)ロックビット対応

CPU書き換えモードを使用する場合、ロックコマンドの設定および解除に対応したブートプログラムにしてください。

ソフトウェアコマンド

表30.1にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドをライトすることにより、イレーズ、プログラム等を指定します。なお、ソフトウェアコマンドの入力時、上位バイト(D8～D15)は無視されます。

以下に各ソフトウェアコマンドの内容を説明します。

表30.1 ソフトウェアコマンド一覧表(CPU書き換えモード)(注1)

コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ(D0～D7)	モード	アドレス	データ(D0～D7)	モード	アドレス	データ(D0～D7)
リードアレイ	ライト	X (注6)	FF16						
リードステータスレジスタ	ライト	X	7016	リード	X (注6)	SRD (注2)			
クリアステータスレジスタ	ライト	X	5016						
ページプログラム (注3)	ライト	X	4116	ライト	WA0 (注3)	WD0 (注3)	ライト	WA1	WD1
ブロックイレーズ	ライト	X	2016	ライト	BA (注4)	D016			
イレーズ全アンロックブロック	ライト	X	A716	ライト	X	D016			
ロックビットプログラム	ライト	X	7716	ライト	BA	D016			
リードロックビットステータス	ライト	X	7116	リード	BA	D6 (注5)			

注1. ソフトウェアコマンド入力時には上位バイト(D8～D15)のデータは無視されます。

注2. SRD=ステータスレジスタデータ

注3. WA=ライトアドレス, WD=ライトデータ

WAとWDは 0016 から FE16(バイトアドレス。ただし、偶数アドレス)へ順番に設定されなければなりません。ページサイズは 256バイトです。

注4. BA=ブロックアドレス(各ブロックの最大のアドレスを入力してください。ただし、偶数アドレス)

注5. D6はブロックロックステータスに対応します。D6="1": 非ブロックロック、D6="0": ブロックロック

注6. XはユーザROM領域内の任意のアドレス(ただし、偶数アドレス)

リードアレイコマンド(FF16)

第1バスサイクルでコマンドコード“FF16”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行う偶数アドレスを入力すると、指定したアドレスの内容が16ビット単位でデータバス(D0～D15)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

リードステータスレジスタコマンド(7016)

第1バスサイクルでコマンドコード“7016”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D0～D7)へ読み出されます。(ユーザROM領域の偶数アドレスにしてください。)

ステータスレジスタは、次の節で説明します。

クリアステータスレジスタコマンド(5016)

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“5016”をライトします。

ページプログラムコマンド(4116)

ページプログラムによって256バイト単位で高速プログラミングが可能です。第1バスサイクルでコマンドコード“4116”をライトすると、ページプログラム動作を開始します。第2バスサイクルから第129バスサイクルまでライトデータを16ビット単位で順次ライトします。この時アドレスA0～A7は“0016”から“FE16”まで2ずつインクリメントする必要があります。データロードが完了すると自動書き込み(データのプログラムとベリファイ)動作を開始します。

自動書き込みの終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動書き込み開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動書き込みの開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF16)または、リードロックビットステータスコマンド(7116)をライトするまでまたは、フラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/BYステータスフラグはステータスレジスタのビット7と同じく、自動書き込み期間中は“0”、終了後は“1”となります。

自動書き込み終了後、ステータスレジスタを読み出すことにより自動書き込みの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図30.4にページプログラムプログラムフローチャート例を示します。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

既にプログラムされたページに対する追加書き込みは禁止します。

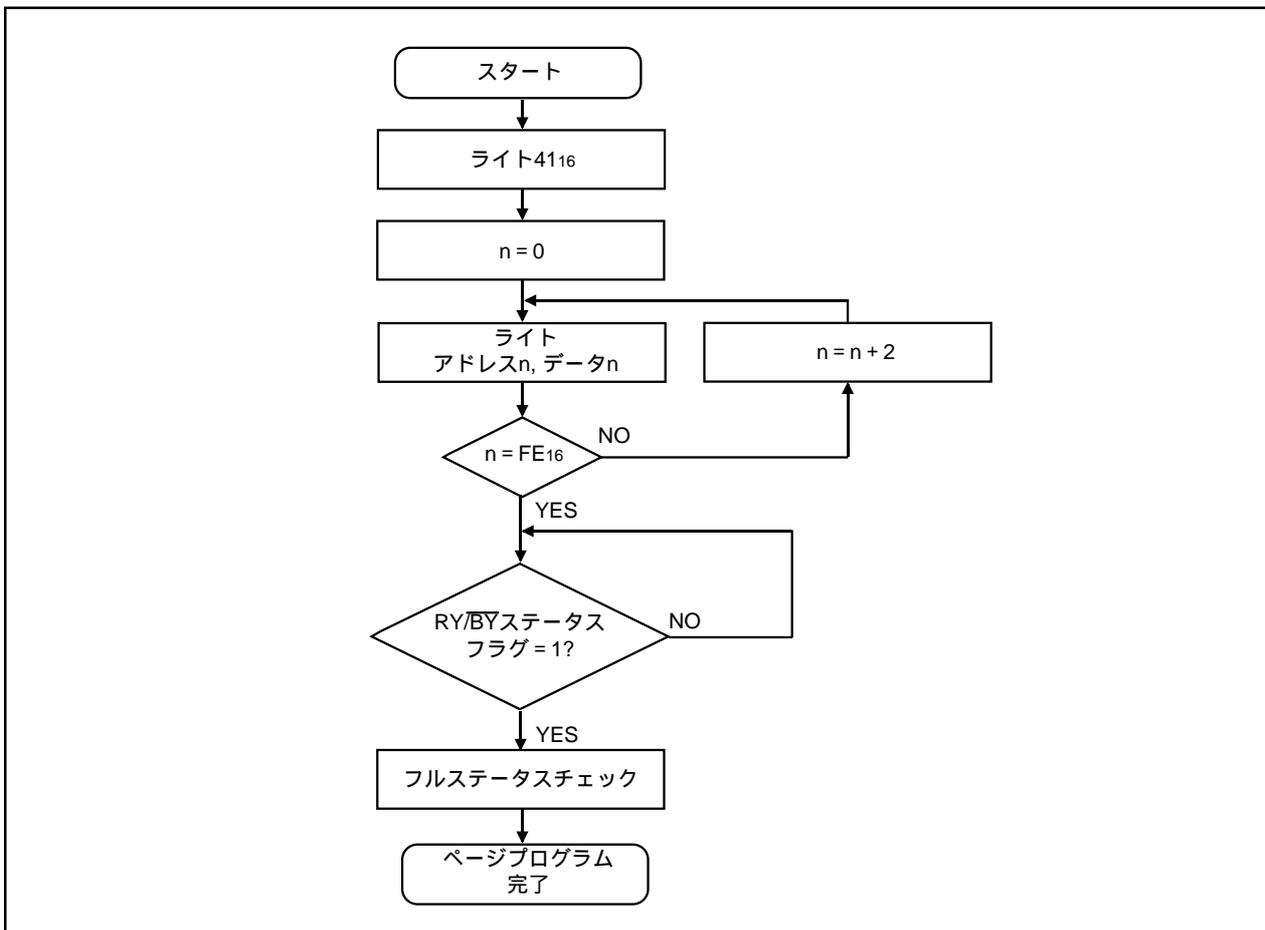


図30.4 ページプログラムフローチャート

ブロックイレーズコマンド(20₁₆/D0₁₆)

第1バスサイクルでコマンドコード“20₁₆”、続く第2バスサイクルで確認コマンドコード“D0₁₆”とブロックのブロックアドレスをライトすると指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、ステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認できます。自動消去開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)は自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF₁₆)またはリードロックビットステータスコマンド(71₁₆)をライトするまで、またはフラッシュメモリリセットビットでリセットをかけるまで継続されます。

フラッシュメモリ制御レジスタ0のRY/ $\overline{\text{BY}}$ ステータスフラグは、ステータスレジスタのビット7と同じく、自動消去期間中は“0”、終了後は“1”となります。

自動消去終了後、ステータスレジスタを読み出すことにより、自動消去の結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

図30.5にブロックイレーズのフローチャート例を示します。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

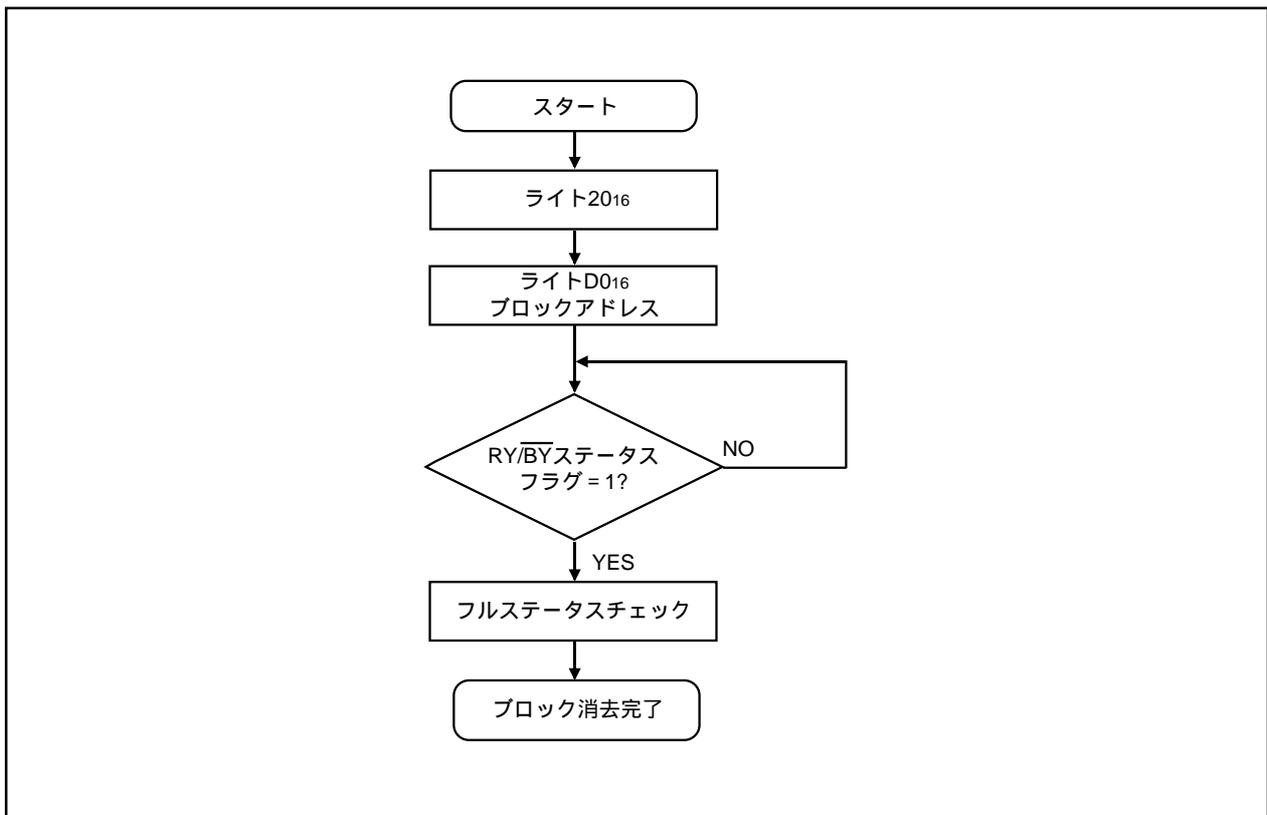


図30.5 ブロックイレーズフローチャート

イレーズ全アンロックブロックコマンド(A716/D016)

第1バスサイクルでコマンドコード“ A716 ”、続く第2バスサイクルで確認コマンドコード“ D016 ”をライトすると全ブロックに対し、連続的にブロックイレーズを行います。

イレーズ全アンロックブロックコマンドの終了も、ブロックイレーズと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。また、自動消去の結果もステータスレジスタの読み出しにより知ることができます。

フラッシュメモリ制御レジスタ0のロックビット無効選択ビットが“ 1 ”の場合は、ロックビットの状態に関係なく全ブロックがイレーズされます。一方、ロックビット無効選択ビットが“ 0 ”の場合には、ロックビットの機能が有効となり、非ロック状態(ロックビットデータが“ 1 ”)のブロックのみイレーズされます。

ロックビットプログラムコマンド(7716/D016)

第1バスサイクルでコマンドコード“ 7716 ”、続く第2バスサイクルで確認コマンド“ D016 ”とブロックのブロックアドレスをライトすると指定されたブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。

図30.6にロックビットプログラムのフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読み出すことができます。

ロックビットプログラムの終了は、ページプログラムと同様にステータスレジスタのリードまたはフラッシュメモリ制御レジスタ0のリードによって確認することができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

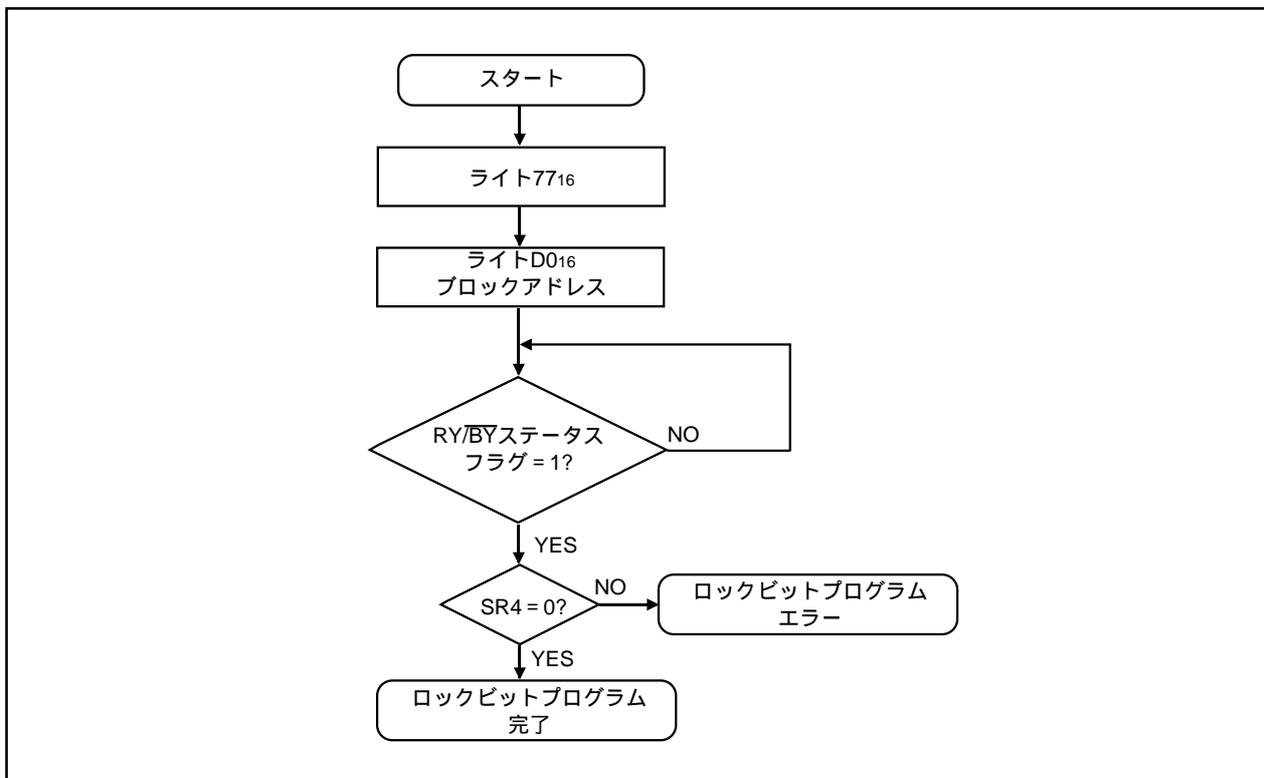


図30.6 ロックビットプログラムフローチャート

リードロックビットステータスコマンド(7116)

第1バスサイクルでコマンドコード“7116”をライトした後、次の第2バスサイクルでブロックのブロックアドレスを入力すると指定されたブロックのロックビットの状態がデータバス(D6)へ読み出されます。

図30.7にリードロックビットプログラムのフローチャート例を示します。

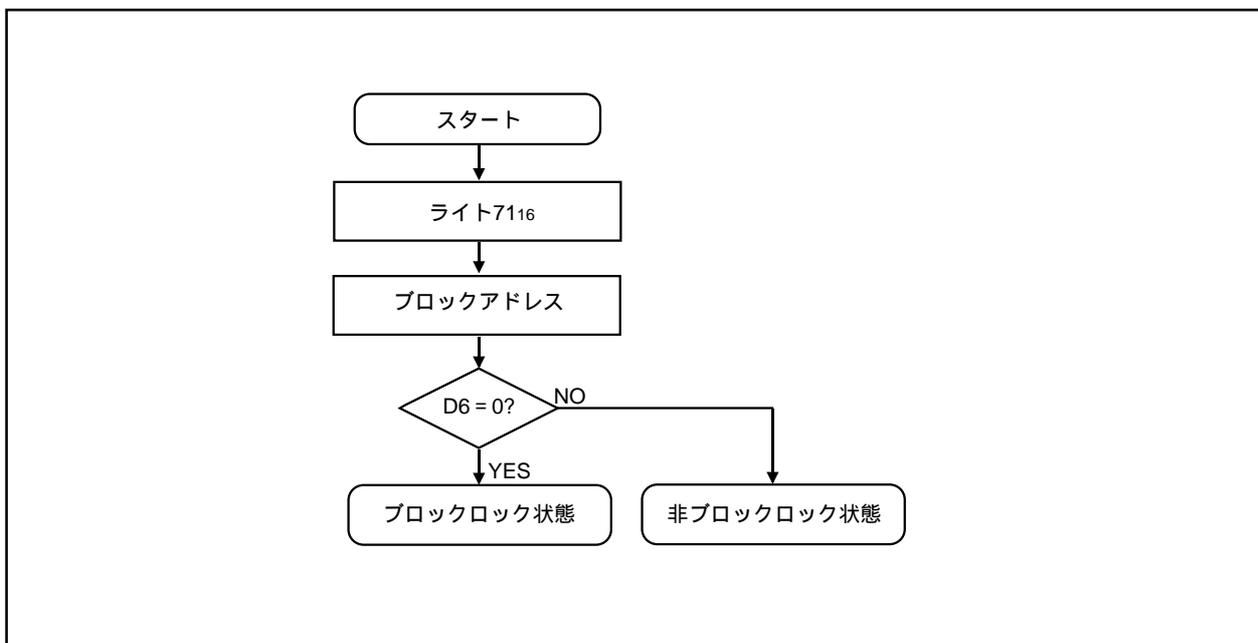


図30.7 リードロックビットステータスフローチャート

データ保護機能(ブロックロック)

図29.3に示す各々のブロックは、消去/書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの有効、無効はロックビットの状態とフラッシュメモリ制御レジスタ0のロックビット無効選択ビットの状態で決まります。

- (1) ロックビット無効選択ビットが“0”の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック/非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去/書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去/書き込みが可能です。
- (2) ロックビット無効選択ビットが“1”の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去/書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。ステータスレジスタを表30.2に示します。

また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。リセット解除後、ステータスレジスタは、“80₁₆”になります。各ビットの意味を以下に示します。

ライトステートマシン(WSM)ステータス(SR7)

電源投入後、ライトステートマシン(WSM)ステータスは“1”にセットされています。

ライトステートマシン(WSM)ステータスはデバイスの動作状況を知らせるものです。自動書き込みや自動消去の動作中は“0”にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスはオートイレーズの動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。

イレーズステータスはクリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは自動書き込みの動作状況を示すもので、書き込みエラーが発生すると“1”にセットされます。

プログラムステータスはクリアされると“0”になります。

消去コマンドエラー時(自動ブロック消去コマンド(20₁₆)が入力された後に確認コマンド(D0₁₆)以外のコマンドが入力されたとき発生)には、プログラムステータスとイレーズステータス(SR5)の両方が“1”にセットされます。

プログラムステータスやイレーズステータスが“1”にセットされている状態では、コマンドドライトによる次のコマンドは受け付けません。

また、以下のときにはSR4、SR5の両方が“1”にセットされます(コマンドシーケンスエラー)。

- (1) 規定コマンドが正しく入力されなかった場合。
- (2) ロックビットプログラム(77₁₆/D0₁₆)、ブロックイレーズ(20₁₆/D0₁₆)、イレーズオールアンロックブロック(A7₁₆/D0₁₆)の第2バスサイクルのデータにD0₁₆またはFF₁₆以外のデータを入力した場合。
ただし、FF₁₆を入力すると、リードアレイになるとともに第1バスサイクルでセットアップしたコマンドはキャンセルされます。

ブロックステータスアフタプログラム(SR3)

ブロックステータスアフタプログラムはページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる。)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したとき、ステータスレジスタは“80₁₆”を出力し、書き込みがフェイルしたときは“90₁₆”を出力、そして、過剰書き込みが発生したときに“88₁₆”が出力されます。

表30.2 ステータスレジスタの各ビットの定義

SRDの各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。図30.8にフルステータスチェックフロチャートおよび各エラー発生時の対処方法を示します。

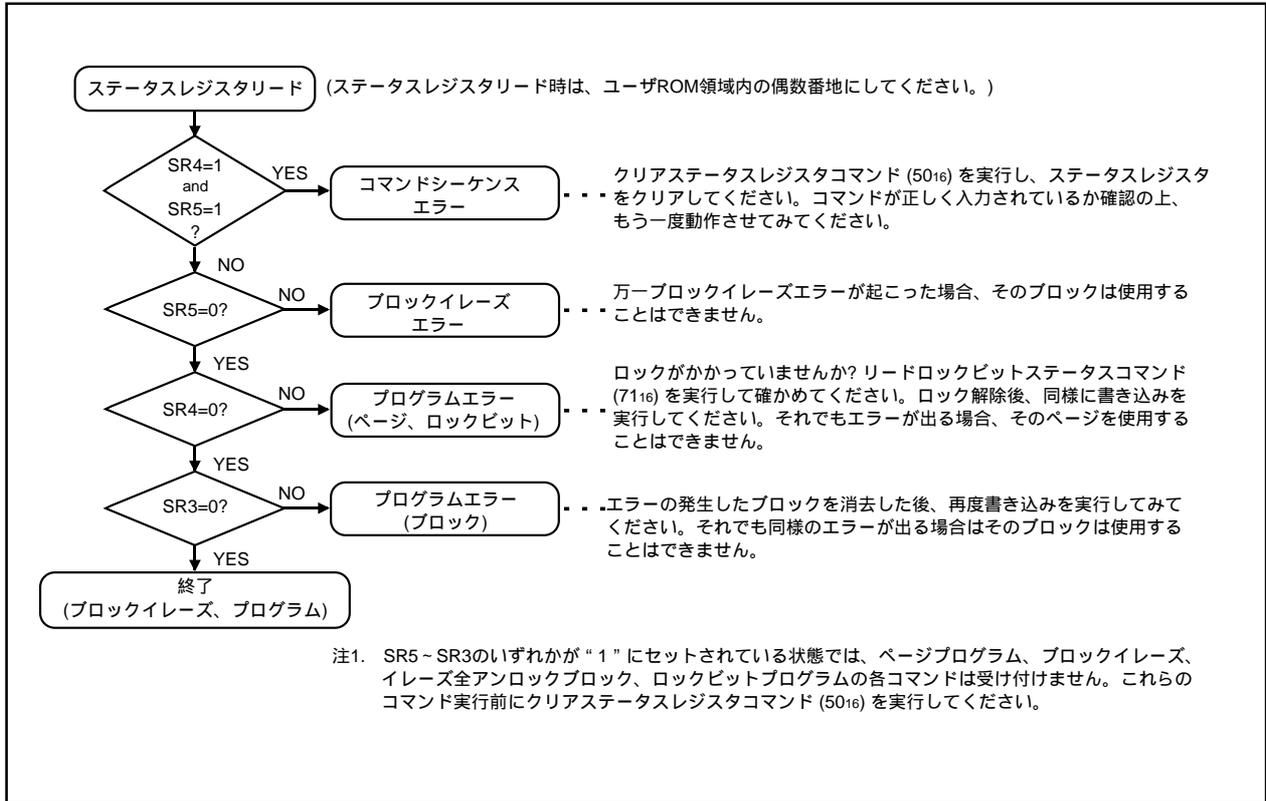


図30.8 フルステータスチェックフロチャートおよび各エラー発生時の対処方法

内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリ内容を簡単に読んだり、書き換えたりできないように、パラレル入出力モードではROMコードプロテクト、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(0FFFFFFF₁₆番地)によって、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止する機能です。ROMコードプロテクト制御番地(0FFFFFFF₁₆番地)の構成を図30.9に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビット内どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容を読み出すことや変更することを禁止します。ROMコードプロテクト解除ビットの2ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容を読み出すことや変更することが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モード等他のモードで書き換えてください。

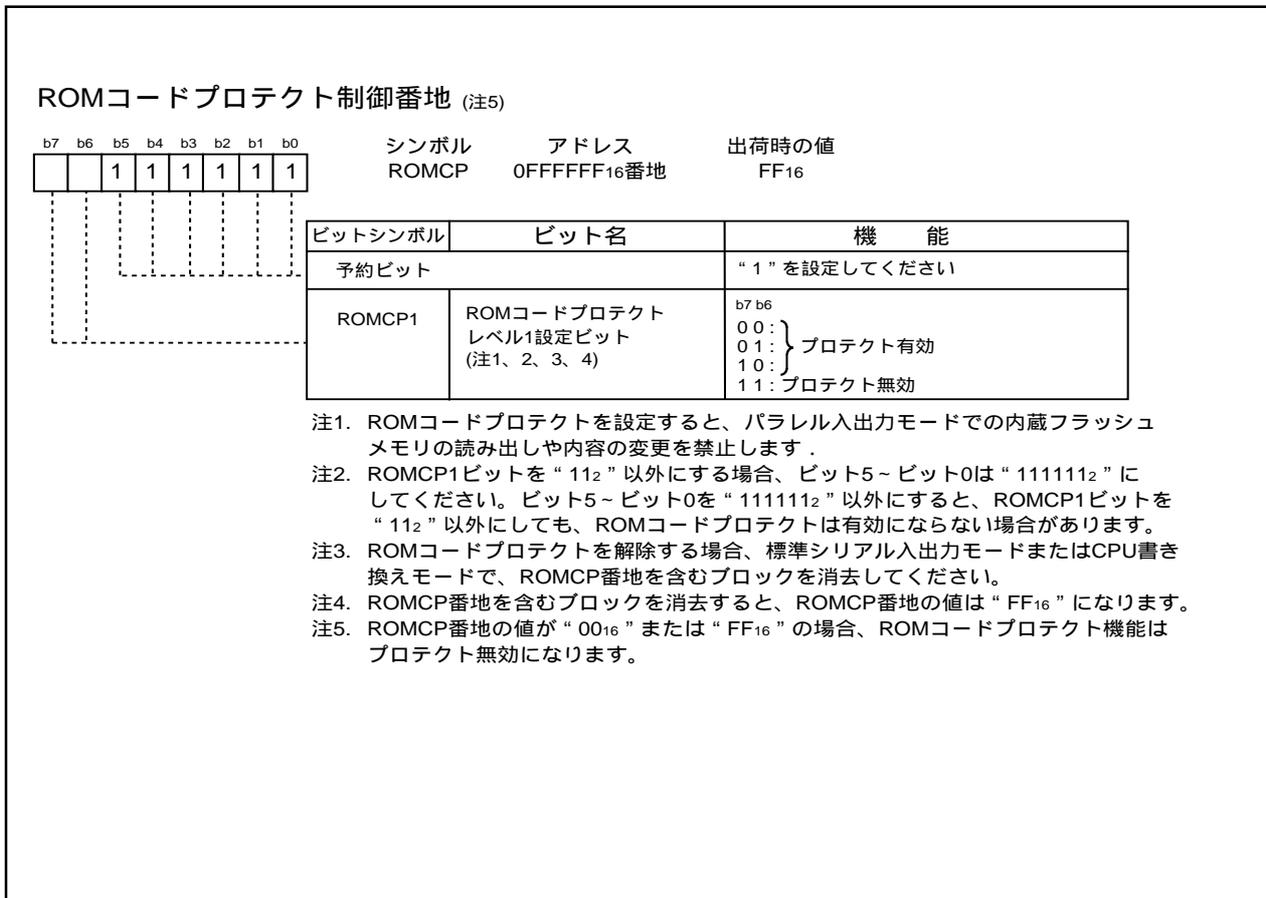


図30.9 ROMコードプロテクトのビット構成

IDコードチェック機能

標準シリアル入出力モードで使用します。フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFFFFDF₁₆、0FFFFFFE3₁₆、0FFFFFFEB₁₆、0FFFFFFEF₁₆、0FFFFFFF3₁₆、0FFFFFFF7₁₆、0FFFFFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

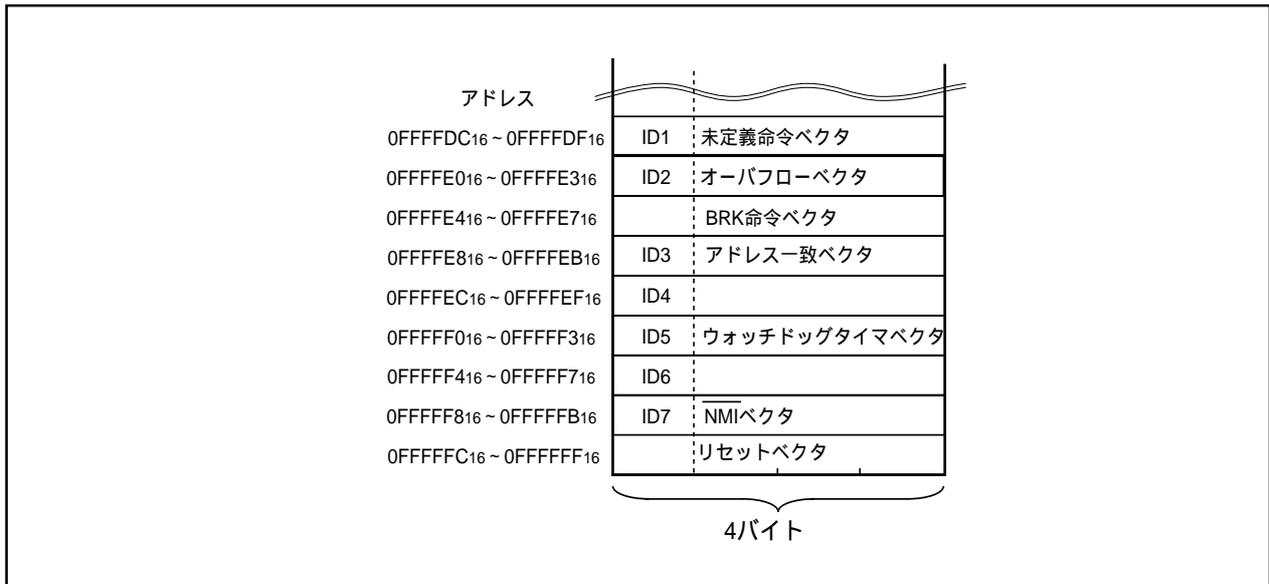


図30.10 IDコードの格納アドレス

31. パラレル入出力モード(フラッシュメモリ版)

M16C/80(フラッシュメモリ版)をサポートしている専用ライターを使用してください。使用方法の詳細は各ライターメーカーの取り扱い説明書を参照してください。

ユーザROM領域とブートROM領域

パラレル入出力モードでは、図29.3に示すユーザROM領域およびブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

プログラム、ブロックイレーズはユーザROM領域のみを対象としてください。ユーザROM領域とブロックを図29.3に示します。

ブートROM領域は、8Kバイトで、パラレル入出力モードでは、0FFE000₁₆~0FFFFFF₁₆番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは8Kバイト単位の1ブロックのみです。ブートROM領域は、出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
Vcc	電源入力		Vcc端子には4.2V～5.5Vを印加してください。
Vss			Vss端子には0Vを印加してください。
CNVss	モード選択 CNVss	入力	Vccに接続してください。
RESET	リセット入力	入力	リセット入力端子です。 リセットが"L"の間、XIN端子には20サイクル以上のクロックが必要です。
XIN	クロック入力	入力	XIN端子とXOUT端子の間にはセラミック共振子、または水晶振動子を接続してください。 外部で生成したクロックを入力する時は、XIN端子から入力し、XOUT端子は開放してください。
XOUT	クロック出力	出力	
BYTE	BYTE入力	入力	VssまたはVccに接続してください。
AVcc	アナログ電源入力	入力	AVccはVccに接続してください。
AVss			AVssはVssに接続してください。
VREF	基準電源入力	入力	A/Dコンバータの基準電圧入力端子です。
P00～P07	入力ポートP0	入力	"H"を入力、"L"を入力、または開放してください。
P10～P17	入力ポートP1	入力	"H"を入力、"L"を入力、または開放してください。
P20～P27	入力ポートP2	入力	"H"を入力、"L"を入力、または開放してください。
P30～P37	入力ポートP3	入力	"H"を入力、"L"を入力、または開放してください。
P40～P47	入力ポートP4	入力	"H"を入力、"L"を入力、または開放してください。
P50	CE入力	入力	"H"を入力して下さい。
P55	EPM入力	入力	"L"を入力して下さい。
P51～P54 P56～P57	入力ポートP5	入力	"H"を入力、"L"を入力、または開放してください。
P60～P63	入力ポート P6	入力	"H"を入力、"L"を入力、または開放してください。
P64	BUSY出力	出力	標準シリアルモード1：BUSY信号の出力端子です。 標準シリアルモード2：プログラム動作チェック用モニタ
P65	SCLK入力	入力	標準シリアルモード1：シリアルクロックの入力端子です。 標準シリアルモード2："L"を入力してください。
P66	データ入力 RxD	入力	シリアルデータの入力端子です。
P67	データ出力 TxD	出力	シリアルデータの出力端子です。
P70～P77	入力ポート P7	入力	"H"を入力、"L"を入力、または開放してください。
P80～P84 P86, P87	入力ポートP8	入力	"H"を入力、"L"を入力、または開放してください。
P85	NMI入力	入力	Vccに接続してください。
P90～P97	入力ポート P9	入力	"H"を入力、"L"を入力、または開放してください。
P100～P107	入力ポート P10	入力	"H"を入力、"L"を入力、または開放してください。
P110～P114	入力ポート P11	入力	"H"を入力、"L"を入力、または開放してください。(注1)
P120～P127	入力ポート P12	入力	"H"を入力、"L"を入力、または開放してください。(注1)
P130～P137	入力ポート P13	入力	"H"を入力、"L"を入力、または開放してください。(注1)
P140～P146	入力ポート P14	入力	"H"を入力、"L"を入力、または開放してください。(注1)
P150～P157	入力ポート P15	入力	"H"を入力、"L"を入力、または開放してください。(注1)

注1. 144ピン版のみ存在します。

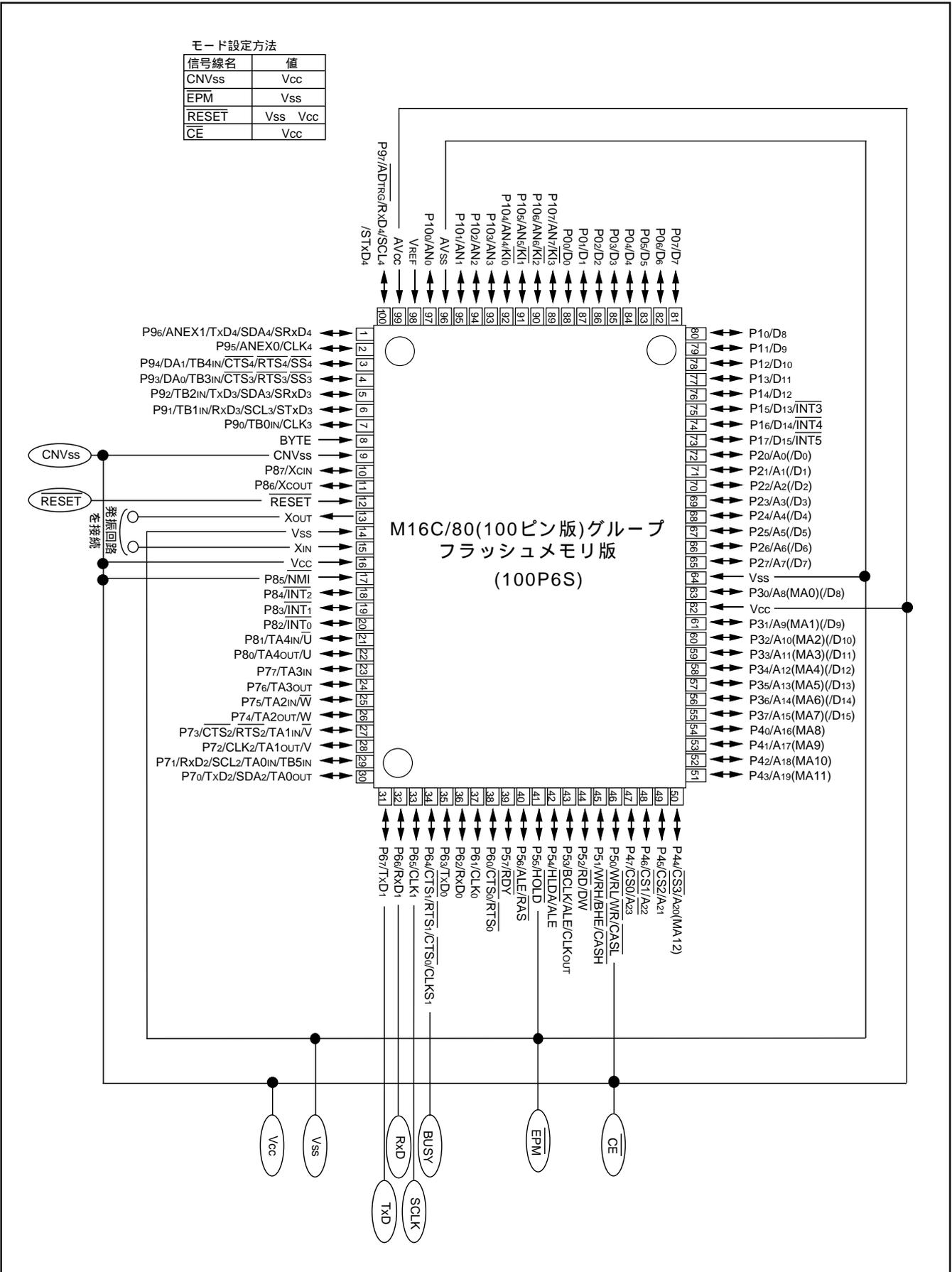


図31.1 標準シリアル入出力モード時の端子結線図(1)

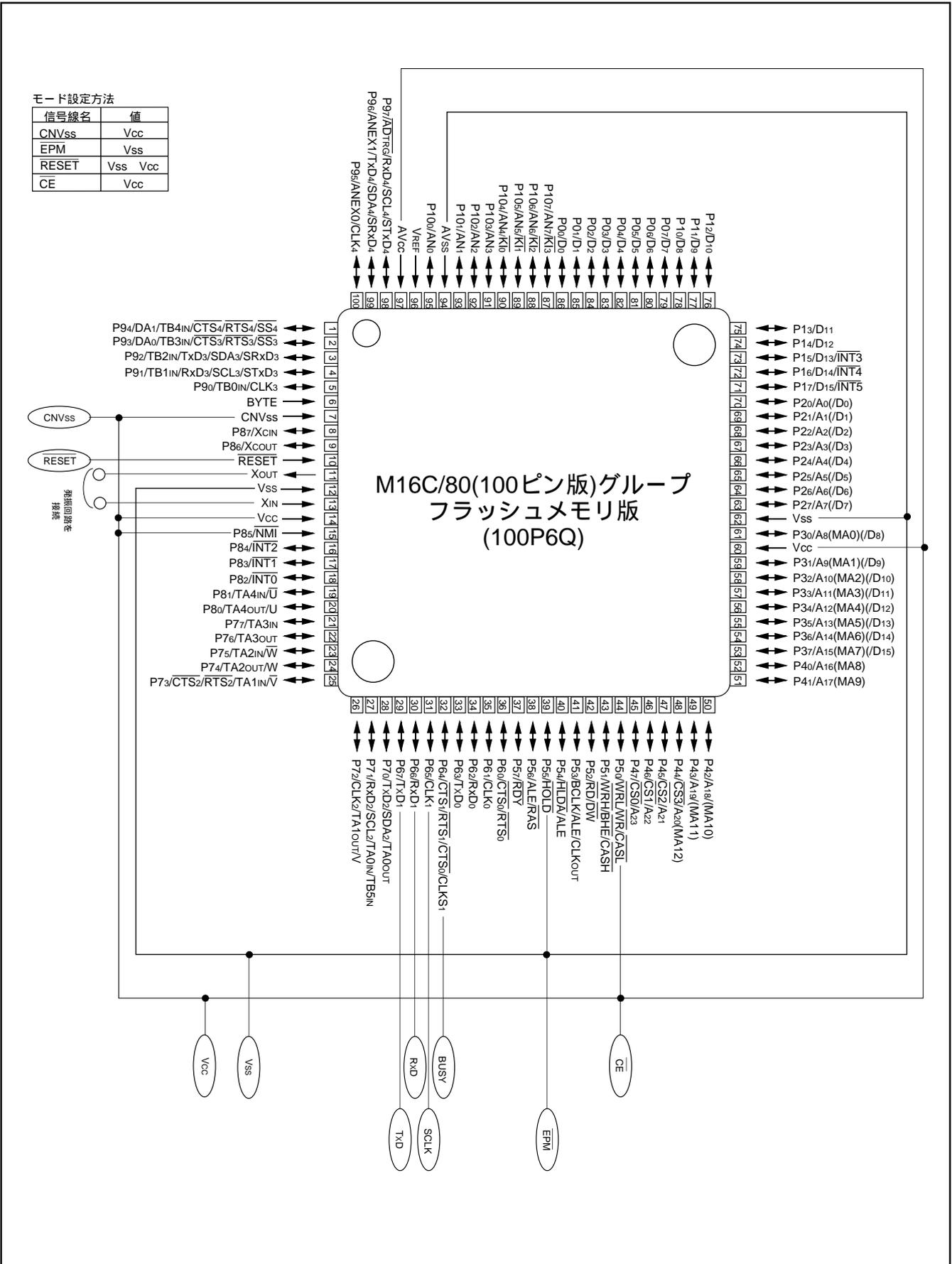


図31.2 標準シリアル入出力モード時の端子結線図(2)

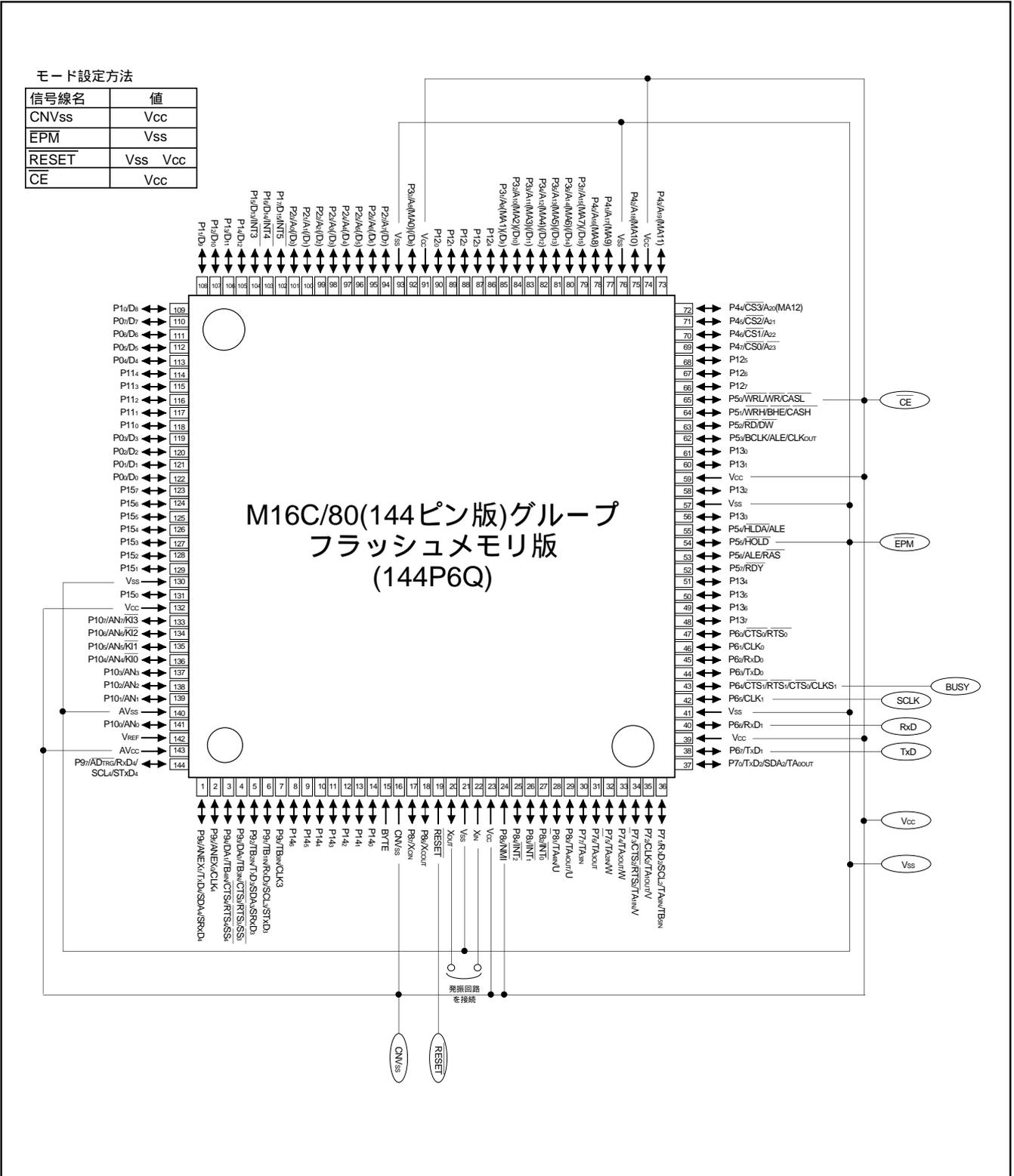


図31.3 標準シリアル入出力モード時の端子結線図(3)

32. 標準シリアル入出力モード(フラッシュメモリ版)

標準シリアル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードです。標準シリアル入出力モードには、

- ・クロック同期形のモード1
- ・クロック非同期形のモード2

があり、専用の外部装置を使用します。

標準シリアル入出力モードは、パラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードは、P50(CÉ)端子“H”、P55(EPM)端子を“L”、CNVss端子を“H”として、リセットを解除することで起動します。(通常のマイコンモードでは、CNVssは“L”に設定してください。)

この制御プログラムは出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。図31.1～図31.3に標準シリアル入出力モード時の端子結線図を示します。シリアルデータの入出力は、UART1を使い、8ビット単位でシリアル転送します。リセット解除時のCLK1端子の状態によってモード1(クロック同期形)/モード2(クロック非同期形)を切り替えます。

標準シリアル入出力モード1(クロック同期形)を使用する場合は、CLK1端子を“H”にしてリセットを解除します。UART1の端子CLK1、RxD1、TxD1、RTS1(BUSY)の4本を使用します。CLK1端子は転送クロックの入力端子で、外部から転送クロックを入力します。TxD1端子はCMOS出力です。RTS1(BUSY)端子は、受信準備が完了すれば“L”となり、受信動作を開始すれば“H”を出力します。

標準シリアル入出力モード2(クロック非同期形)を使用する場合は、CLK1端子を“L”にしてリセットを解除します。UART1の端子RxD1、TxD1の2本を使用します。

標準シリアル入出力モードでは、図32.17に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードには、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、IDコードの内容が一致しなければ外部装置(ライター)から送られてくるコマンドを受け付けません。

32.1 標準シリアル入出力モード1(クロック同期形)

標準シリアル入出力モード1では、4線式クロック同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“H”にしてリセットを解除すると標準シリアル入出力モード1になります。

受信時には、ソフトウェアコマンド、アドレスおよびプログラムデータは、CLK1端子に入力する転送クロック立ち上がりに同期して、RXD1端子から内部に取り込みます。送信時には、リードデータおよびステータスは、転送クロックの立ち下がりに同期して、TXD1端子から外部に出力します。

TXD1端子は、CMOS出力です。転送は8ビット単位、LSBファーストで行います。

送信、受信中およびイレーズ、プログラム実行中等のビジー期間中には、RTS1(BUSY)端子が“H”となります。したがって、次の転送は、必ずRTS1(BUSY)端子が“L”となった後に開始してください。

また、メモリ内のデータ、ステータスレジスタ等はソフトウェアコマンド入力後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。以下、ソフトウェアコマンド、ステータスレジスタ等について説明します。

ソフトウェアコマンド

表32.1にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード1では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。

以下に各ソフトウェアコマンドの内容を説明します。

表32.1 ソフトウェアコマンド一覧表(標準シリアル入出力モード)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全アンロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードロックビットステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ロックビットデータ出力				受付不可
8	ロックビットプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ロックビット有効	7A ₁₆							受付不可
10	ロックビット無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
12	ダウンロード機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~必要回数		受付不可
13	バージョン情報出力機能	FB ₁₆	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	バージョンデータ出力	~9バイト目 バージョンデータ出力	受付可
14	ページROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈~A₁₅、アドレスA₁₆~A₂₃を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA₈~A₂₃で指定したページ(256バイト)のデータ(D₀~D₇)を最小のアドレスから順番に出力します。

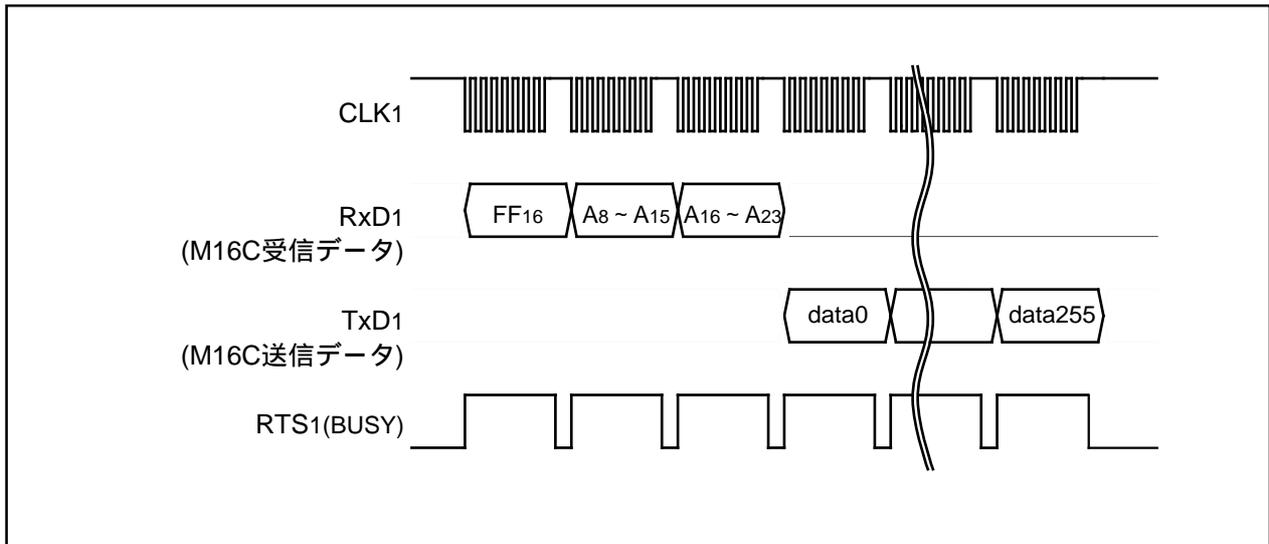


図32.1 ページリード時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

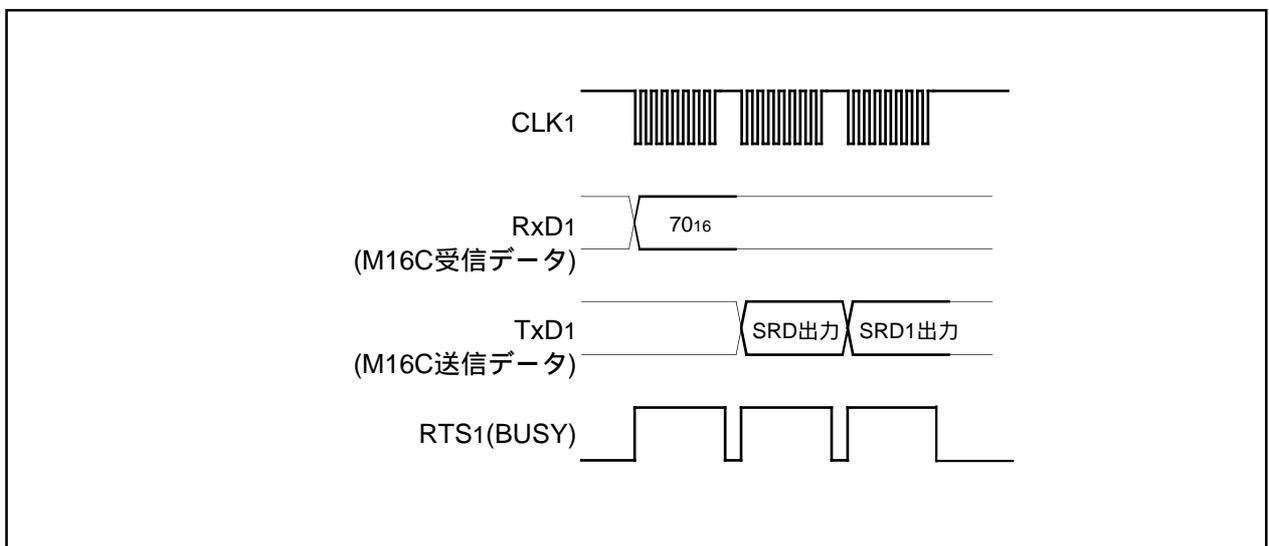


図32.2 リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3~5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。クリアステータスレジスタが終了すると、RTS₁(BUSY)信号は“H”から“L”に変化します。

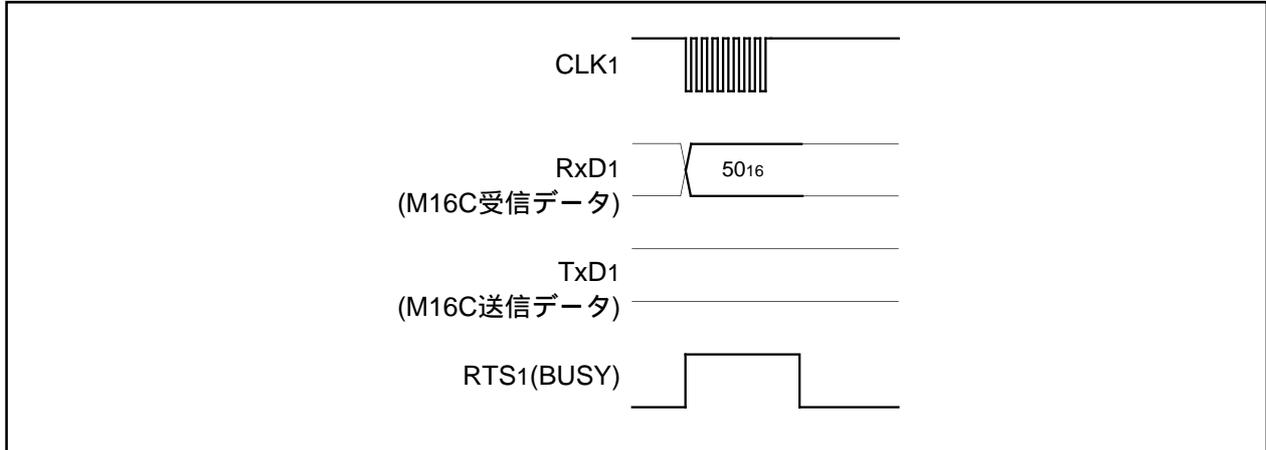


図32.3 クリアステータスレジスタ時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“41₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8~A15、アドレスA16~A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0~D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

次の256バイトの受信準備が完了すればRTS₁(BUSY)信号が“H”から“L”に変化します。ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

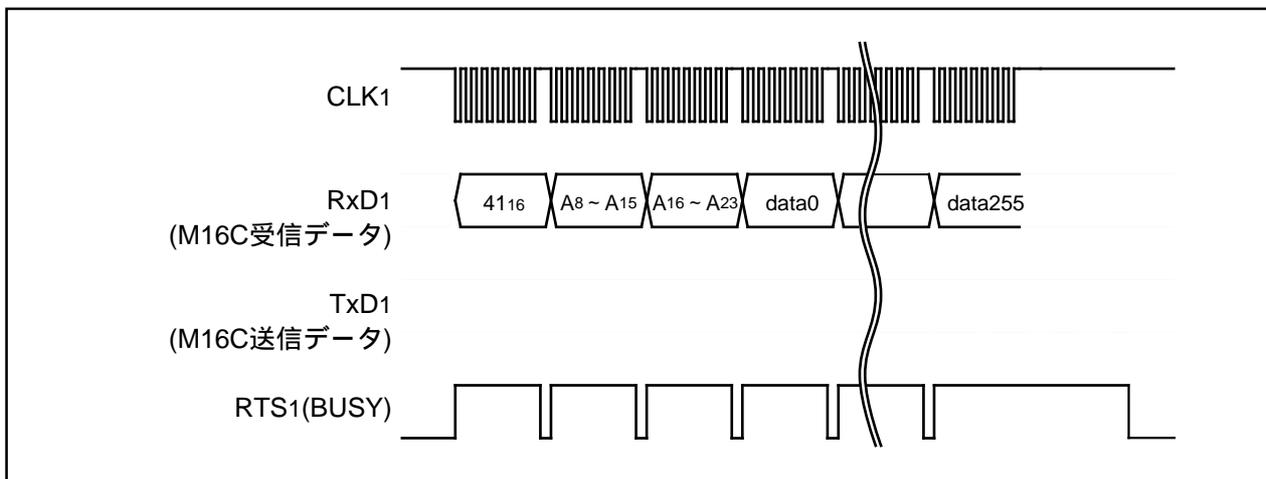


図32.4 ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“20₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D0₁₆”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了するとRTS₁(BUSY)信号が“H”から“L”に変化します。ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

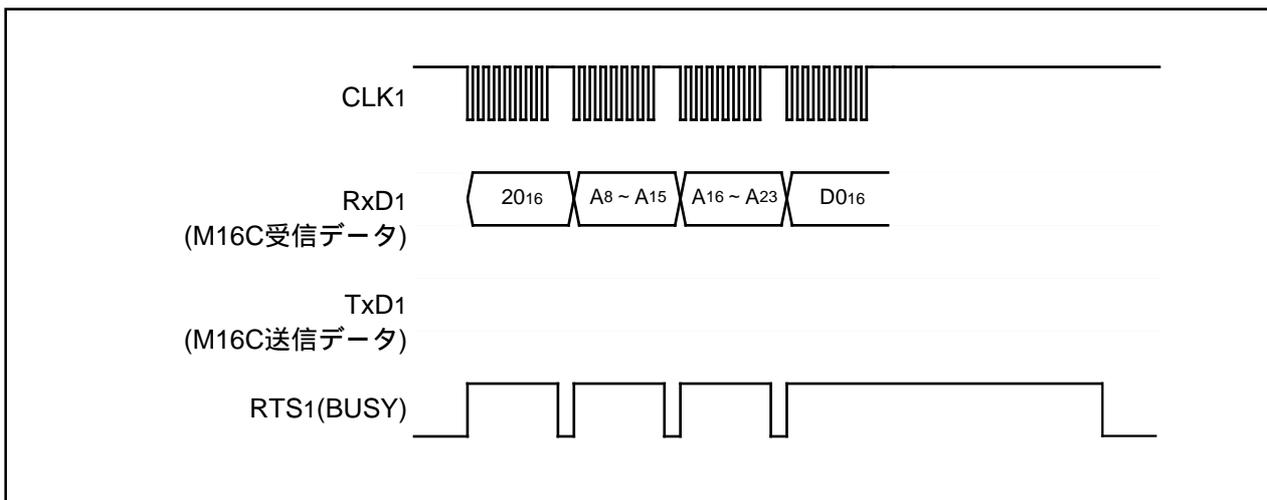


図32.5 ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズ全アンロックブロックが終了するとRTS₁(BUSY)信号が“ H ”から“ L ”に変化します。イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

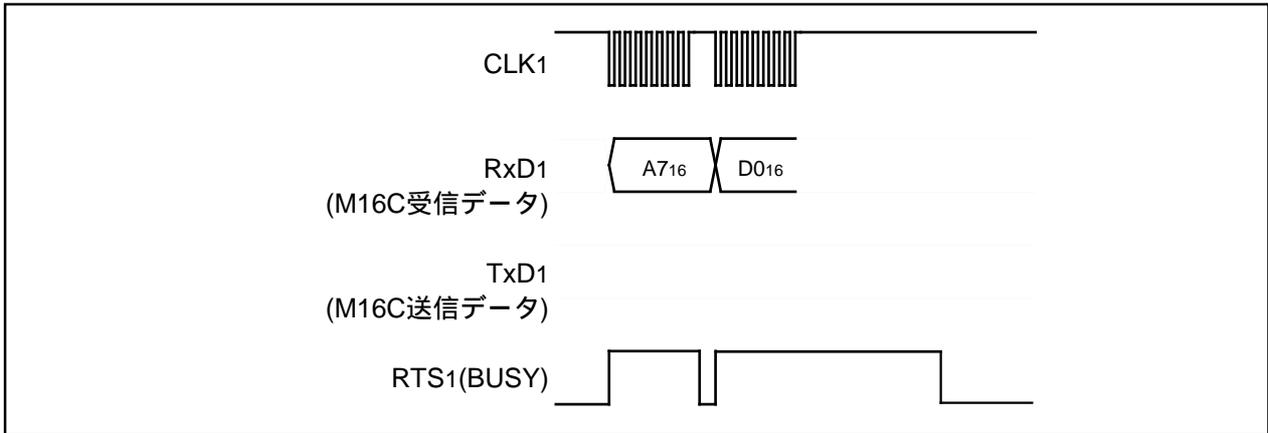


図32.6 イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 77₁₆ ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈ ~ A₁₅、アドレスA₁₆ ~ A₂₃を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D0₁₆ ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A₈ ~ A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

書き込みが終了するとRTS₁(BUSY)信号は“ H ”から“ L ”に変化します。ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

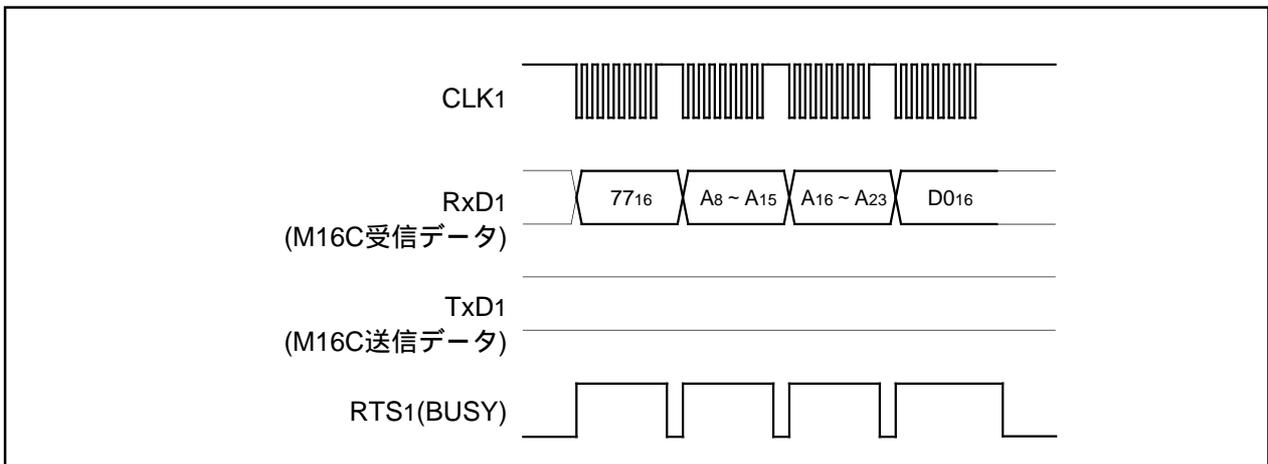


図32.7 ロックビットプログラム時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

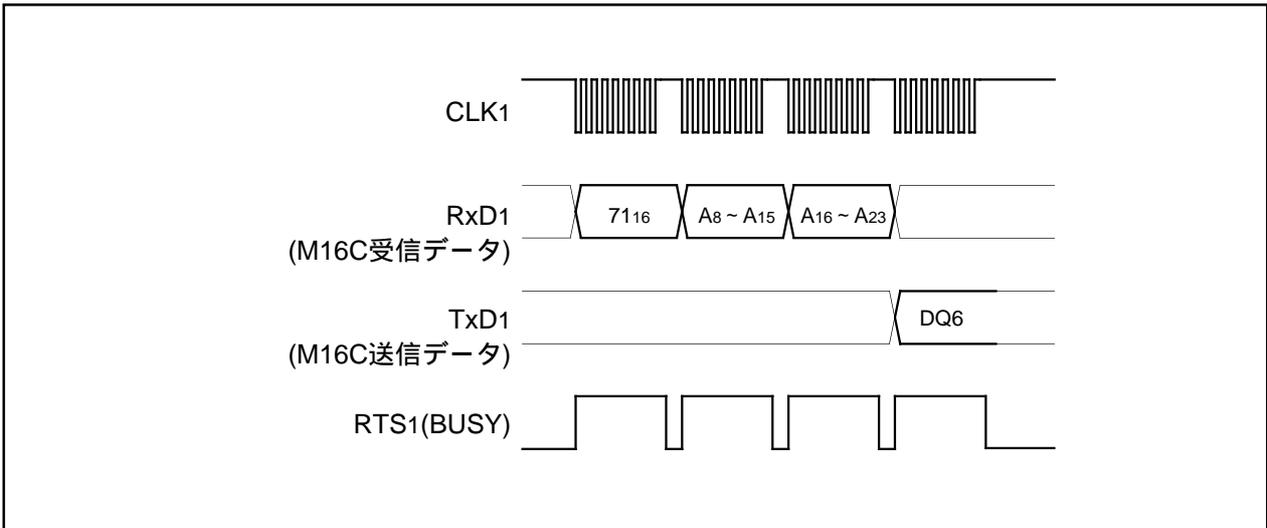


図32.8 リードロックビットステータス時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。(パラレル入出力モードのWP端子と同等の機能)。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

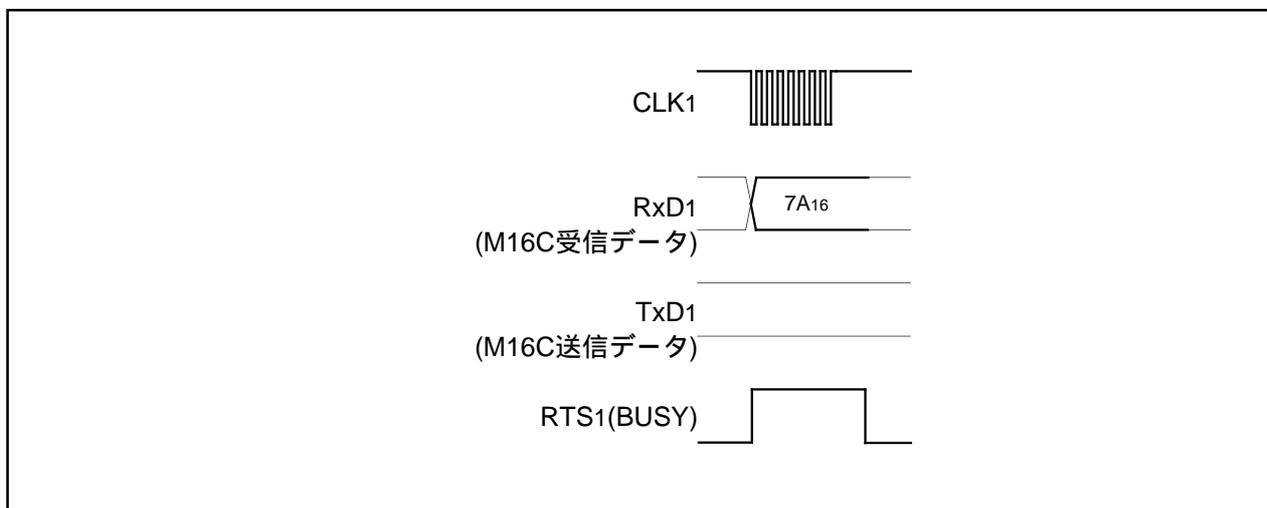


図32.9 ロックビット有効のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

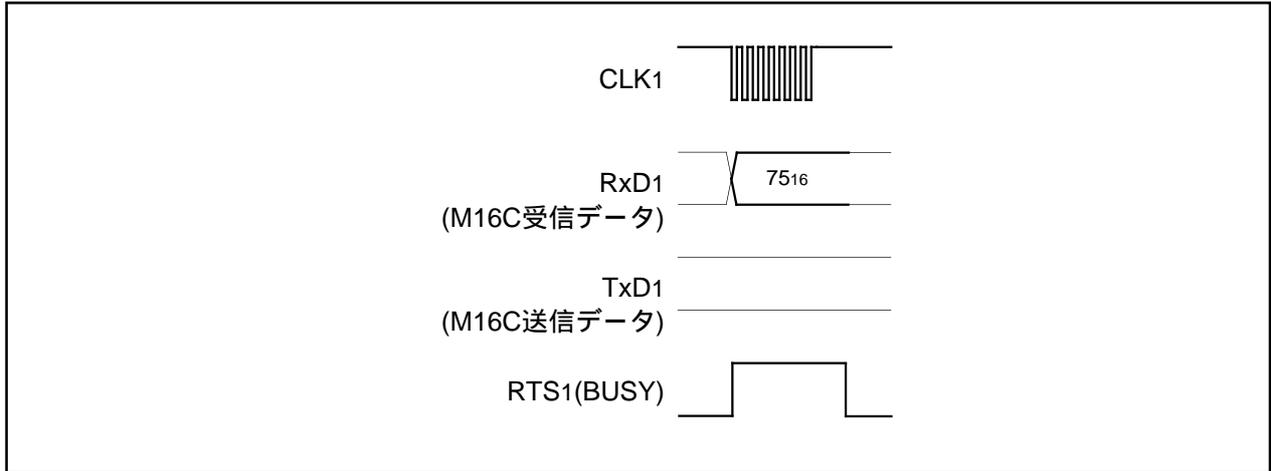


図32.10 ロックビット無効のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって違います。

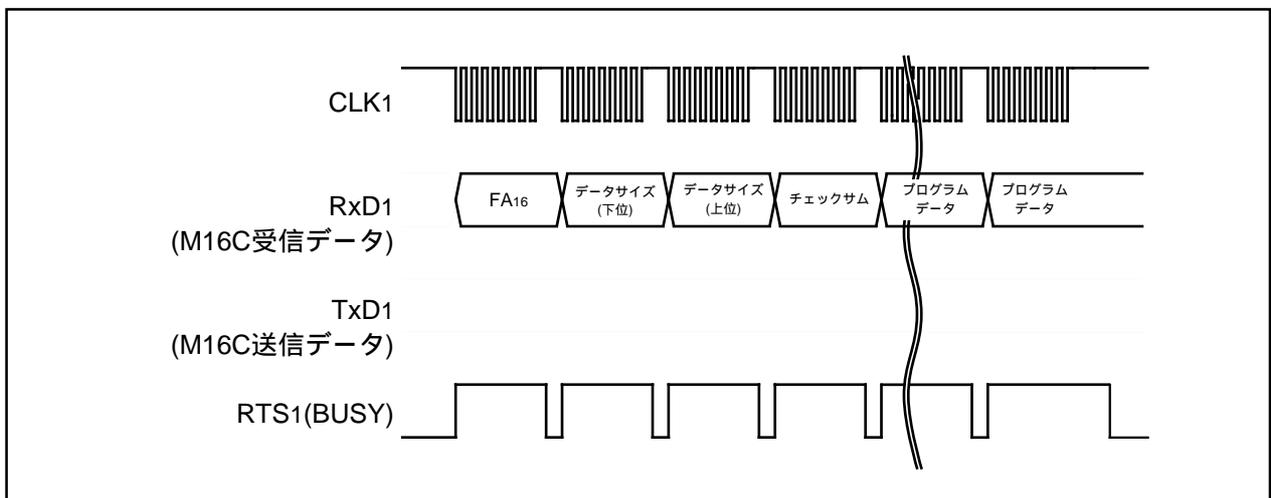


図32.11 ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

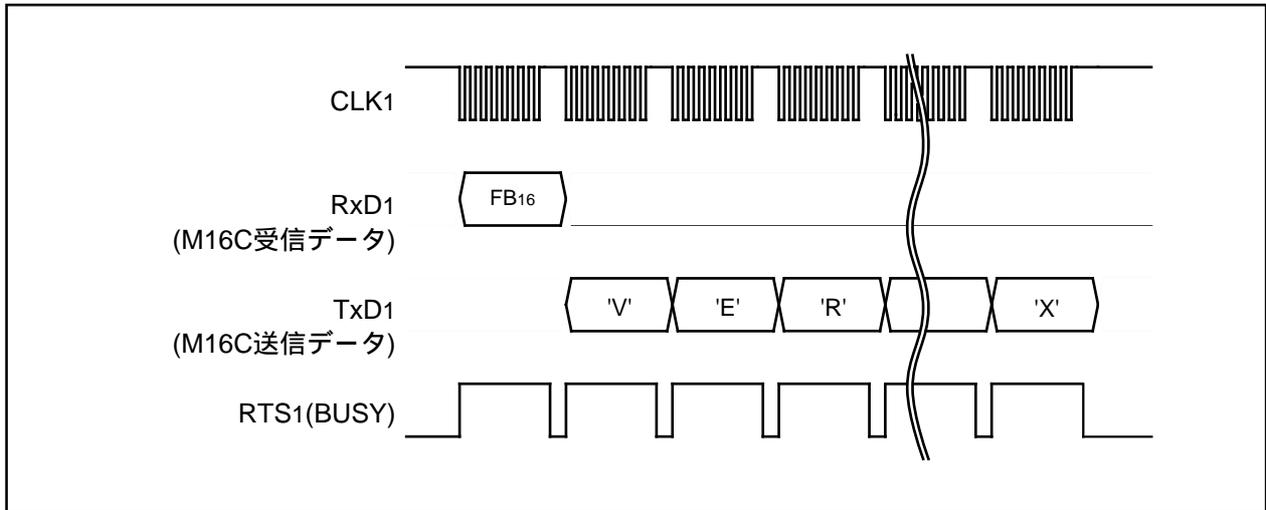


図32.12 バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、クロックの立ち下がりに同期してアドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

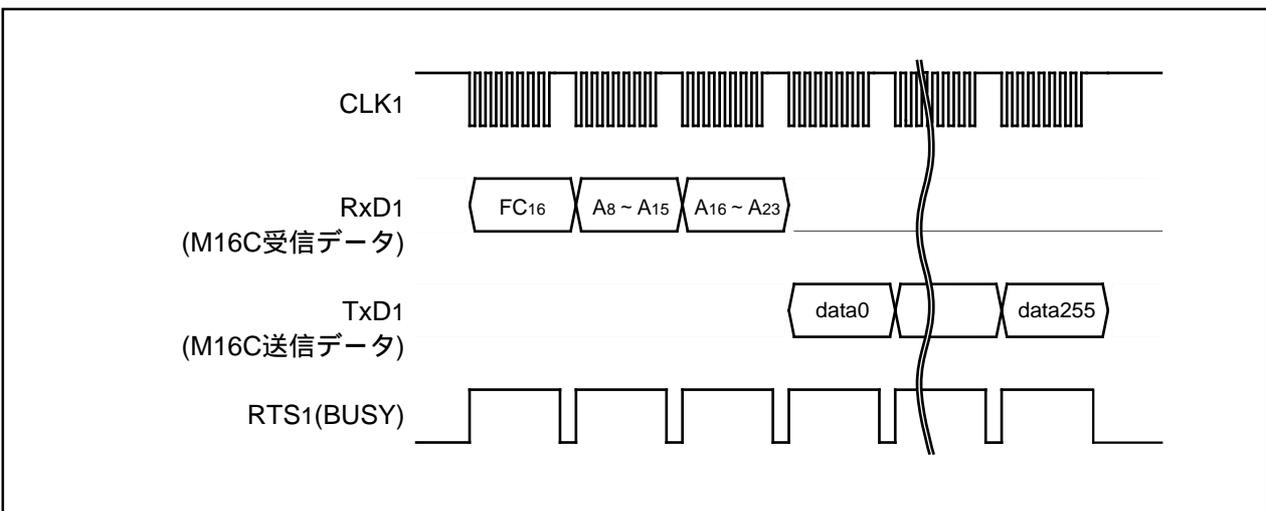


図32.13 ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード“F5₁₆”を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA0～A7、A8～A15、A16～A23を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

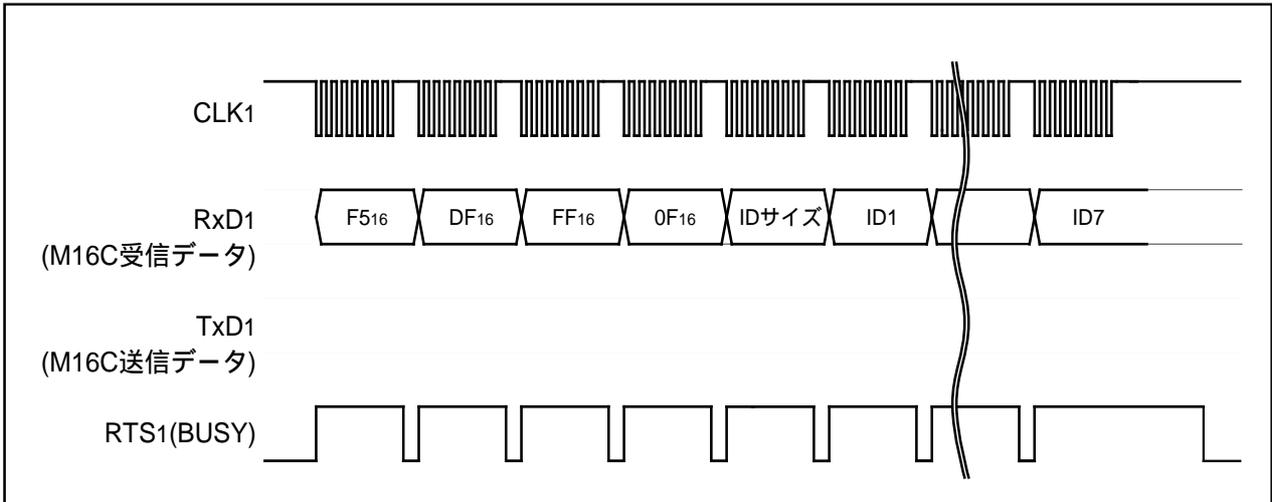


図32.14 IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFFDF₁₆、0FFFFE0₁₆、0FFFFE3₁₆、0FFFFE6₁₆、0FFFFE9₁₆、0FFFFF3₁₆、0FFFFF7₁₆、0FFFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

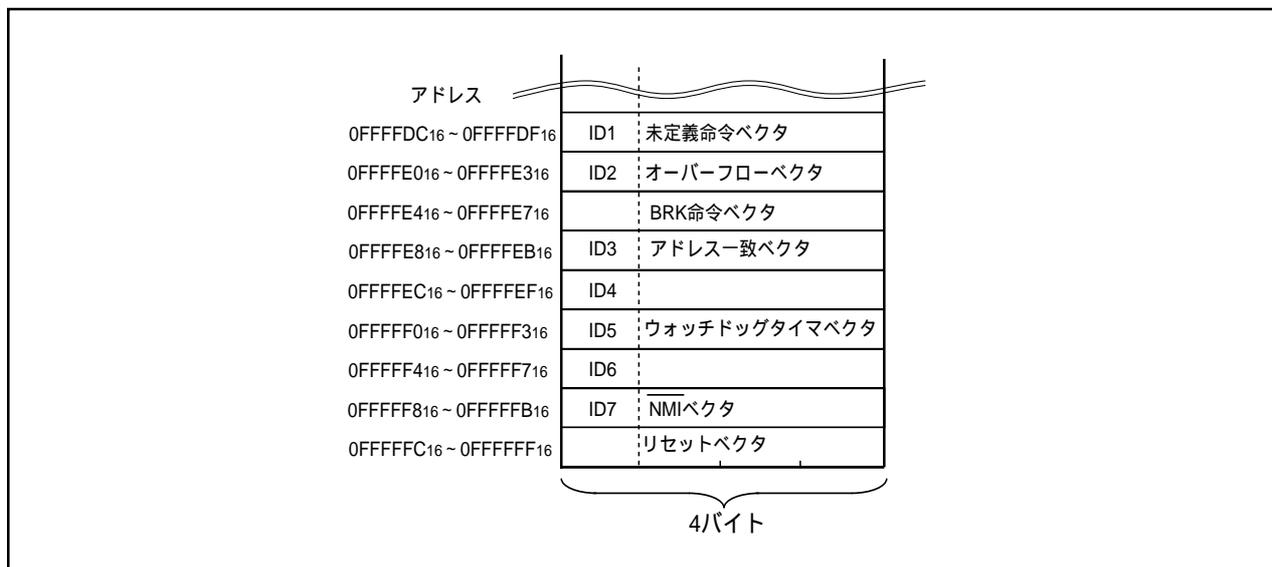


図32.15 IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD₁₆”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

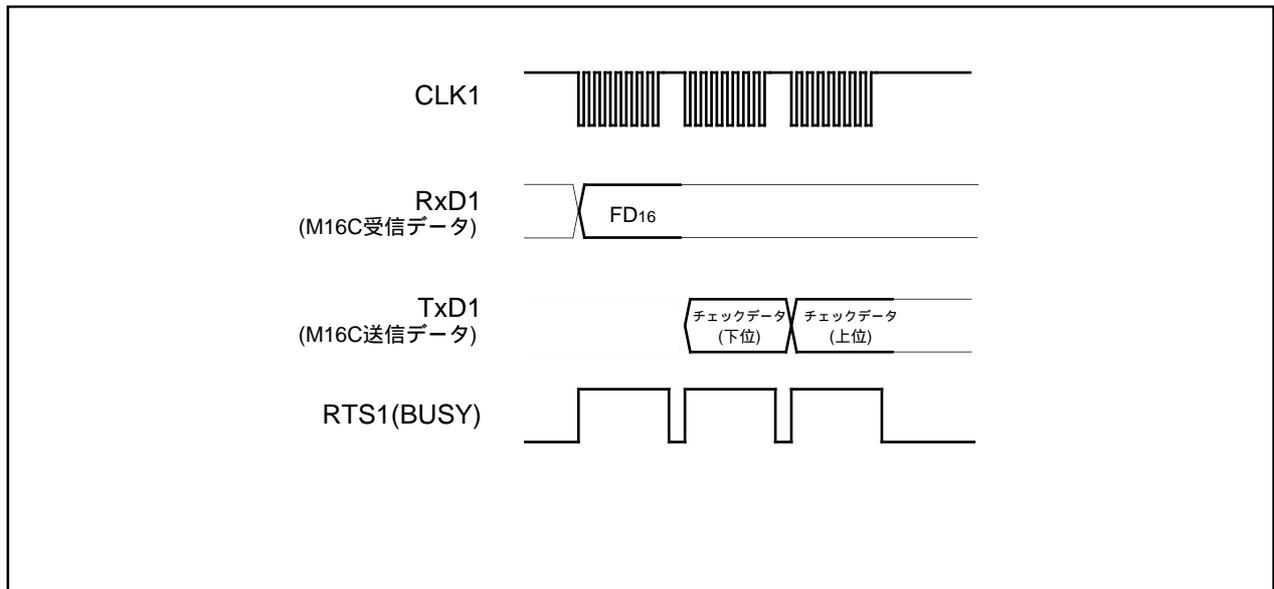


図32.16 リードチェックデータコマンド時のタイミング

データ保護機能(ブロックロック)

図32.17 に示す各々のブロックは、消去 / 書き込みに対するプロテクト(ブロックロック)を指定する不揮発性のロックビットを持っています。ロックビットへの“0”(ロック状態)書き込みはロックビットプログラムコマンドで行います。また、各ブロックのロックビットはリードロックビットステータスコマンドで読み出すことができます。

ブロックロックの無効、有効はロックビットの状態とロックビット無効コマンド / ロックビット有効コマンドの実行状況で決まります。

- (1) リセット解除後およびロックビット有効コマンド実行後の場合、ロックビット状態(ロックビットデータ)により、指定ブロックのロック / 非ロックが設定できます。ロックビットデータが“0”のブロックはロック状態になり消去 / 書き込みが禁止されます。一方、ロックビットデータが“1”のブロックは非ロック状態となり消去 / 書き込みが可能です。
- (2) ロックビット無効コマンド実行後の場合には、ロックビットデータによらず、全ブロックが非ロック状態になり消去 / 書き込みが可能になります。このとき、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)にセットされ、ロックビットによるロックが解除されます。

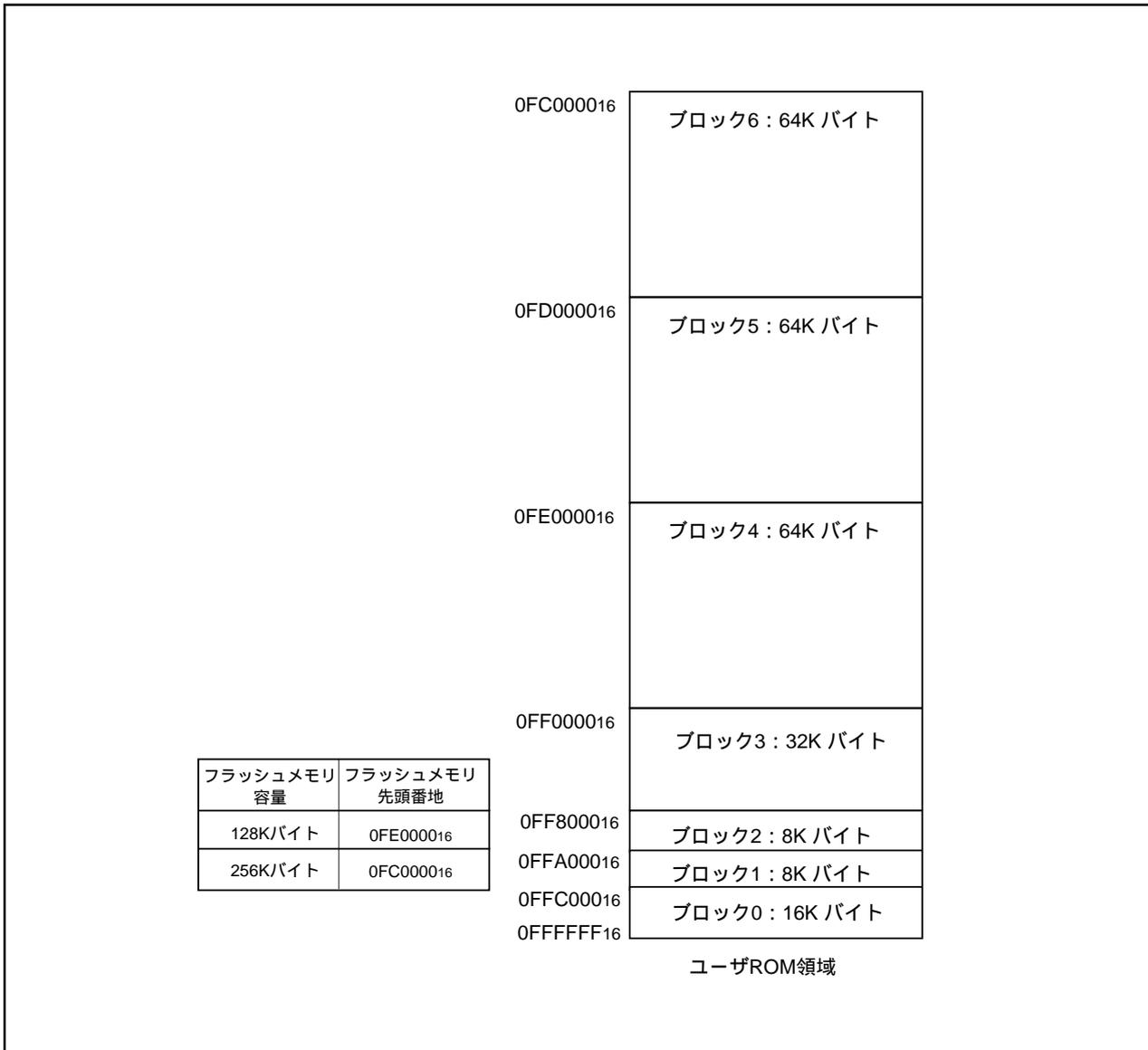


図32.17 ユーザ領域の各ブロック

ステータスレジスタ(SRD)

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたとき読み出すことができます。また、ステータスレジスタはクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表32.2に各ビットの定義を以下に示します。

リセット解除後、ステータスレジスタは、“80₁₆”を出力します。

表32.2 ステータスレジスタ(SRD)

SRDの 各ビット	ステータス名	定義	
		"1"	"0"
SR7 (bit7)	ライトステートマシン(WSM)ステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	ブロックステータスアフタプログラム	エラー終了	正常終了
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

ライトステートマシン(WSM)ステータス(SR7)

ライトステートマシン(WSM)ステータスは、フラッシュメモリの動作状況を知らせるもので電源投入時、“1”(レディ)にセットされています。

自動書き込みや自動消去の動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

イレーズステータス(SR5)

イレーズステータスは、自動消去の動作状況を知らせるもので、消去エラーが発生すると“1”にセットされます。イレーズステータスは、クリアされると“0”になります。

プログラムステータス(SR4)

プログラムステータスは、自動書き込みの動作状況を知らせるもので、書き込みエラーが発生すると“1”にセットされます。プログラムステータスは、クリアされると“0”になります。

ブロックステータスアフタープログラム(SR3)

ブロックステータスアフタープログラムは、ページ書き込み完了時、過剰書き込み(メモリセルがデプレッション状態になる現象で、正しくデータが読み出せなくなる)が発生した場合に“1”にセットされます。すなわち、書き込みが正常終了したときステータスレジスタは“80₁₆”、書き込みがフェイルしたときは“90₁₆”、そして、過剰書き込みが発生したときに“88₁₆”となります。

SR5、SR4、SR3のいずれかが“1”にセットされている状態では、ページプログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムコマンドは受け付けません。これらのコマンドを実行する前にクリアステータスレジスタコマンド(50₁₆)を実行し、ステータスをクリアしてください。

ステータスレジスタ1(SRD1)

ステータスレジスタ1は、シリアル通信の状態、IDコード比較の結果、チェックサム比較の結果等を示すレジスタで、リードステータスレジスタコマンド(70₁₆)をライトしたときSRD1に続いて読み出すことができます。また、ステータスレジスタ1はクリアステータスレジスタコマンド(50₁₆)をライトしたときクリアされます。

ステータスレジスタを表32.3に各ビットの定義を以下に示します。

電源投入時“00₁₆”になります。フラグの状態はリセットしても保持されます。

表32.3 ステータスレジスタ1(SRD1)

SRD1の各ビット	ステータス名	定義	
		"1"	"0"
SR15 (bit7)	ブート更新済みビット	更新済み	未更新
SR14 (bit6)	リザーブ	-	-
SR13 (bit5)	リザーブ	-	-
SR12 (bit4)	チェックサム一致ビット	一致	不一致
SR11 (bit3)	ID照合済みビット	00	未照合
SR10 (bit2)		01	照合不一致
		10	リザーブ
		11	照合済み
SR9 (bit1)	データ受信タイムアウト	タイムアウト	正常動作
SR8 (bit0)	リザーブ	-	-

ブート更新済みビット(SR15)

ダウンロード機能を使用して制御プログラムをRAMにダウンロードしたかどうかを示すフラグです。

チェックサム一致ビット(SR12)

ダウンロード機能を使用して実行プログラムをダウンロードしたとき、チェックサムが一致したかどうかを示すフラグです。

ID照合済みビット(SR11 SR10)

ID照合の結果を示すフラグです。ID照合しなければ、受け付けないコマンドがあります。

データ受信タイムアウト(SR9)

データ受信中のタイムアウトエラーの発生を示すフラグです。データ受信中にこのフラグが立つと、受信したデータを破棄し、コマンド待ちに戻ります。

フルステータスチェック

フルステータスチェックを行うことにより、イレース、プログラムの実行結果を知ることができます。図32.18にフルステータスチェックフローチャートおよび各エラー発生時の対処方法を示します。

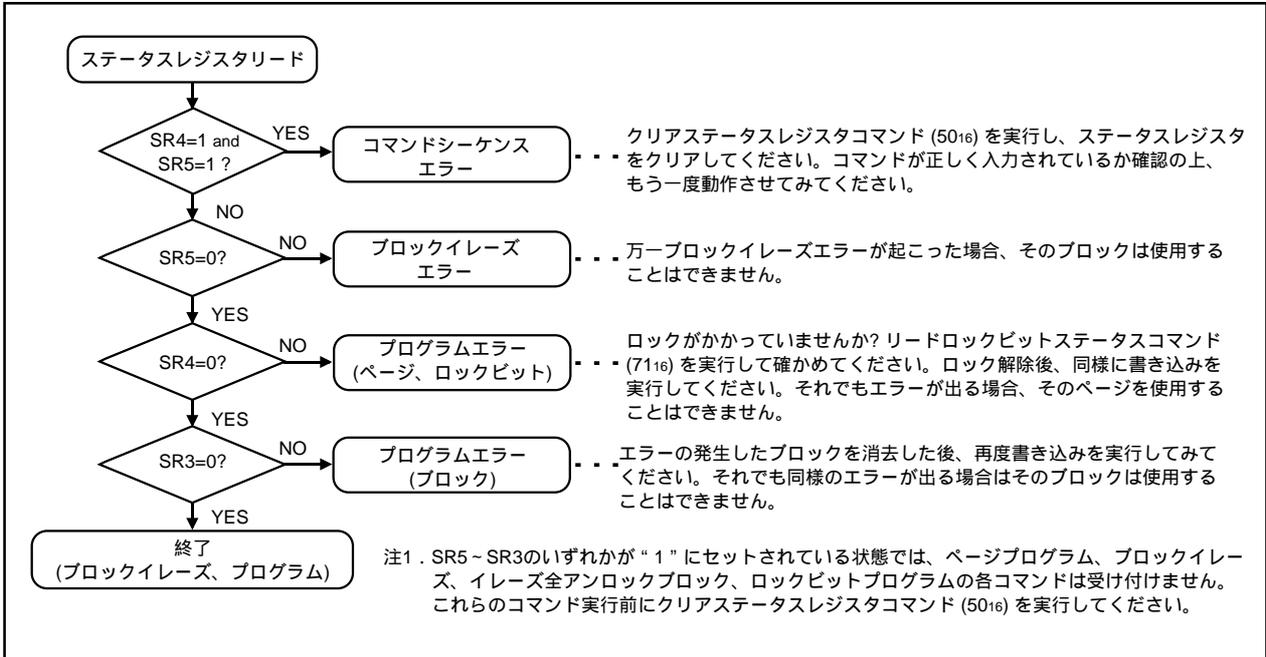


図32.18 フルステータスチェックフローチャートおよび各エラー発生時の対処法

標準シリアル入出力モード1時の応用回路(例)

標準シリアル入出力モード1を使用する場合の応用回路を示します。外部装置(ライタ)によって制御するピン等が違いますので、詳細は外部装置(ライタ)のマニュアルを参考にしてください。

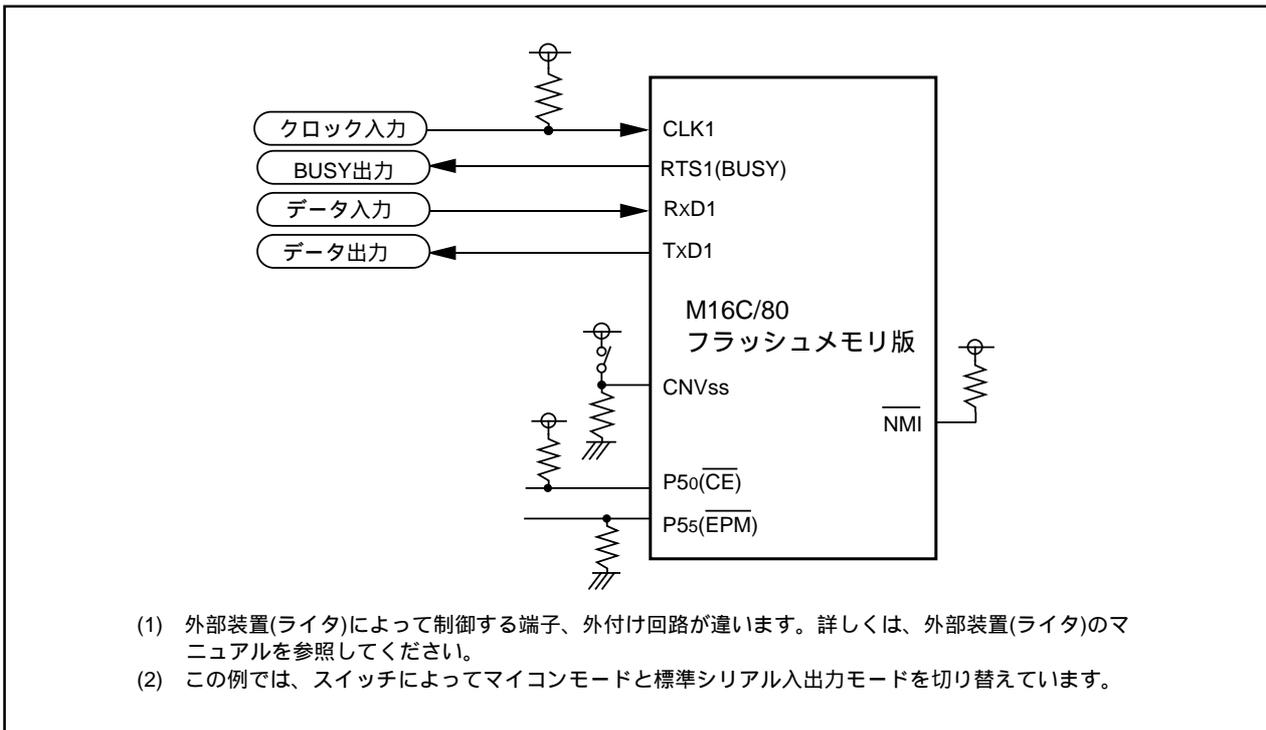


図32.19 標準シリアル入出力モード1時の応用回路例

32.2 標準シリアル入出力モード2(クロック非同期形)

標準シリアル入出力モード2では、2線式クロック非同期形のシリアルI/O(UART1)を用いて外部装置(シリアルライタ等)との間でソフトウェアコマンド、アドレス、データ等の入出力を行います。P65(CLK1)端子を“L”にしてリセットを解除すると標準シリアル入出力モード2になります。

TxD1端子はCMOS出力です。データ転送は、8ビット単位、LSBファースト、1ストップビット、パリティ禁止で行います。

リセット解除後、外部装置との初期通信(図32.20)により、転送速度9600bpsで接続が可能になります。ただし、メインクロックの入力発振周波数は2MHz以上にする必要があります。またその後、転送速度は、ソフトウェアコマンドを実行することで、9600bps、19200bps、38400bps、57600bps、115200bpsに変更することができます。しかし、メインクロックの入力発振周波数によっては通信エラーとなる場合もあります。その場合、メインクロックの入力発振周波数、転送速度を変更してください。

外部装置よりイレーズ、プログラム等、イレーズ時間/書き込み時間が発生するコマンドを実行した後は、十分な間隔を設けるか、リードステータスコマンドを実行し処理の終了を確認してから、次のコマンド転送を行ってください。

メモリ内のデータ、ステータスレジスタ等は、ソフトウェアコマンド転送後のリードで読み出すことができます。フラッシュメモリの動作状態、プログラムやイレーズの正常/エラー終了等の状態は、ステータスレジスタを読み出すことでチェックできます。以下、外部装置との初期通信、周波数判定方法、およびソフトウェアコマンドについて説明します。

外部装置との初期通信について

リセット解除時に、外部装置側との初期通信(図32.20)の手順でコードを送信することで、メインクロックの入力発振周波数に合わせて転送速度レジスタを9600bpsに調整します。

- (1) 外部装置から“0016”を16回転送します。(フラッシュメモリ内蔵マイコンは“0016”が正しく受信できるように転送速度レジスタを設定します。)
- (2) フラッシュメモリ内蔵マイコンは、確認コード“B016”を出力し、初期通信を終了します(注1)。

初期通信は、転送速度9600bpsで行い、転送間隔は15ms以上あける必要があります。また、初期通信完了時の転送速度は9600bpsです。

注1. 外部装置に“B016”が正しく受信できない場合は、メインクロック入力発振周波数を変更してください。

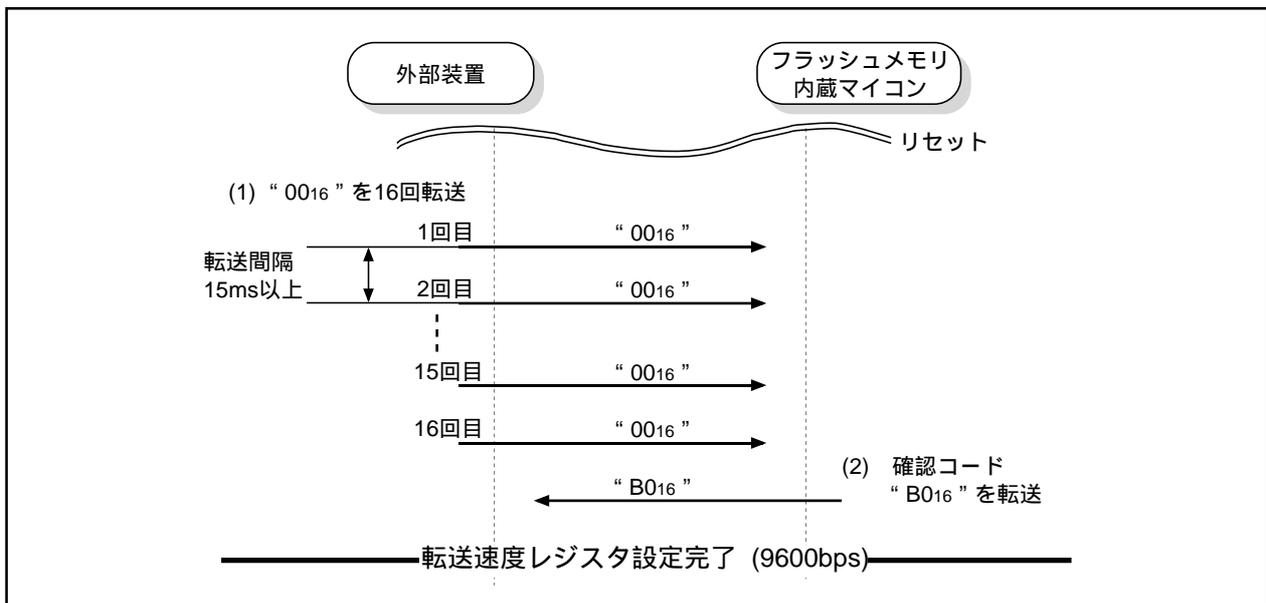


図32.20 外部装置との初期通信

周波数判定方法

外部装置から、9600bpsの転送速度で“0016”データを16回受信することで、動作周波数(2MHz~20MHz)に合った、転送速度レジスタの値を設定します。最初の8回で転送速度レジスタの最大値を、次の8回で最小値を求め、その値から9600bps時の値を計算しています。

動作周波数によっては、ボーレートを実現できない場合もあります。

表32.4に主な周波数と実現できるボーレートの一覧を示します。

表32.4 動作周波数と対応ボーレート

動作周波数(MHz)	ボーレート 9600bps	ボーレート 19200bps	ボーレート 38400bps	ボーレート 57600bps	ボーレート 115200bps
20MHz					
16MHz					×
12MHz					×
11MHz					×
10MHz					×
8MHz					×
7.3728MHz					×
6MHz				×	×
5MHz				×	×
4.5MHz					×
4.194304MHz				×	×
4MHz			×	×	×
3.58MHz					×
3MHz				×	×
2MHz		×	×	×	×

: 通信可能

× : 通信不可

ソフトウェアコマンド

表32.5にソフトウェアコマンドの一覧表を示します。標準シリアル入出力モード2では、RxD1端子からソフトウェアコマンドを転送することにより、イレーズ、プログラム、リード等の制御を行います。標準シリアル入出力モード2では、標準シリアル入出力モード1のソフトウェアコマンドに、ボーレート9600、ボーレート19200、ボーレート38400、ボーレート57600、ボーレート115200の5コマンドを追加しています。

以下に各ソフトウェアコマンドの内容を説明します

表32.5 ソフトウェアコマンド一覧表(標準シリアル入出力モード2)

	制御コマンド名	1バイト目の転送	2バイト目	3バイト目	4バイト目	5バイト目	6バイト目	~	ID照合未
1	ページリード	FF ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
2	ページプログラム	41 ₁₆	アドレス (中位)	アドレス (上位)	データ入力	データ入力	データ入力	~259バイト目 データ入力	受付不可
3	ブロックイレーズ	20 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
4	イレーズ全アンロックロック	A7 ₁₆	D0 ₁₆						受付不可
5	リードステータスレジスタ	70 ₁₆	SRD出力	SRD1出力					受付可
6	クリアステータスレジスタ	50 ₁₆							受付不可
7	リードロックビットステータス	71 ₁₆	アドレス (中位)	アドレス (上位)	ロックビットデータ 出力				受付不可
8	ロックビットプログラム	77 ₁₆	アドレス (中位)	アドレス (上位)	D0 ₁₆				受付不可
9	ロックビット有効	7A ₁₆							受付不可
10	ロックビット無効	75 ₁₆							受付不可
11	IDチェック機能	F5 ₁₆	アドレス (下位)	アドレス (中位)	アドレス (上位)	IDサイズ	ID1	~ID7	受付可
12	データウェアポート機能	FA ₁₆	サイズ (下位)	サイズ (上位)	チェックサム	データ入力	~必要回数		受付不可
13	ページインフォ出力機能	FB ₁₆	ページインフォデータ 出力	ページインフォデータ 出力	ページインフォデータ 出力	ページインフォデータ 出力	ページインフォデータ 出力	~91バイト目 ページインフォデータ出力	受付可
14	ページROM領域出力機能	FC ₁₆	アドレス (中位)	アドレス (上位)	データ出力	データ出力	データ出力	~259バイト目 データ出力	受付不可
15	リードチェックデータ	FD ₁₆	チェックデータ (下位)	チェックデータ (上位)					受付不可
16	ボーレート9600	B0 ₁₆	B0 ₁₆						受付可
17	ボーレート19200	B1 ₁₆	B1 ₁₆						受付可
18	ボーレート38400	B2 ₁₆	B2 ₁₆						受付可
19	ボーレート57600	B3 ₁₆	B3 ₁₆						受付可
20	ボーレート115200	B4 ₁₆	B4 ₁₆						受付可

注1. 網掛けは、フラッシュメモリ内蔵マイコン 外部装置への転送

それ以外は、外部装置 フラッシュメモリ内蔵マイコンへの転送。

注2. SRDはステータスレジスタデータ。SRD1はステータスレジスタデータ1。

注3. ブランク品に対しては全コマンドの受け付け可。

ページリードコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に読み出します。以下の手順でページリードコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“FF₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目以降に、アドレスA₈～A₂₃で指定したページ(256バイト)のデータ(D₀～D₇)を最小のアドレスから順番に出力します。

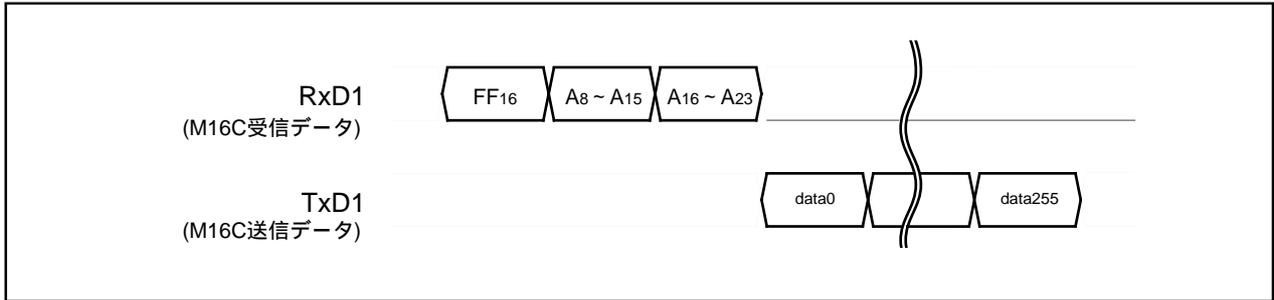


図32.21 ページリードコマンド時のタイミング

リードステータスレジスタコマンド

ステータス情報を読み出します。1バイト目の転送でコマンドコード“70₁₆”を転送すると、2バイト目の転送でステータスレジスタ(SRD)、3バイト目の転送でステータスレジスタ(SRD1)の内容を出力します。

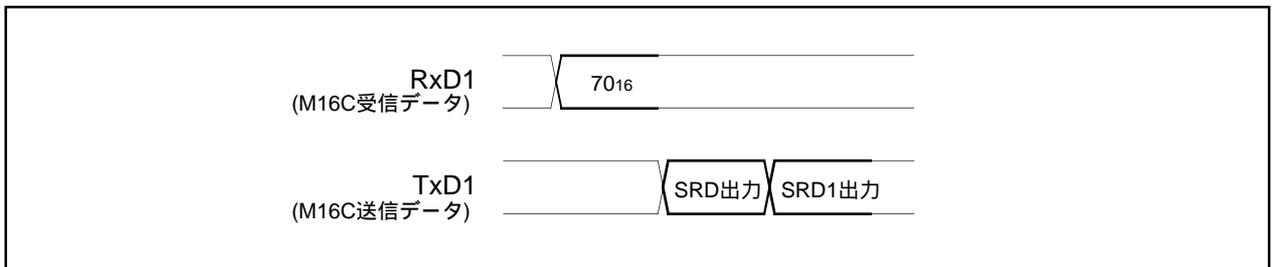


図32.22 リードステータスレジスタコマンド時のタイミング

クリアステータスレジスタコマンド

ステータスレジスタのエラー終了を示すビット(SR3～5)がセットされた後、これらをクリアするためのコマンドです。1バイト目の転送でコマンドコード“50₁₆”を転送すると、上記のビットをクリアします。

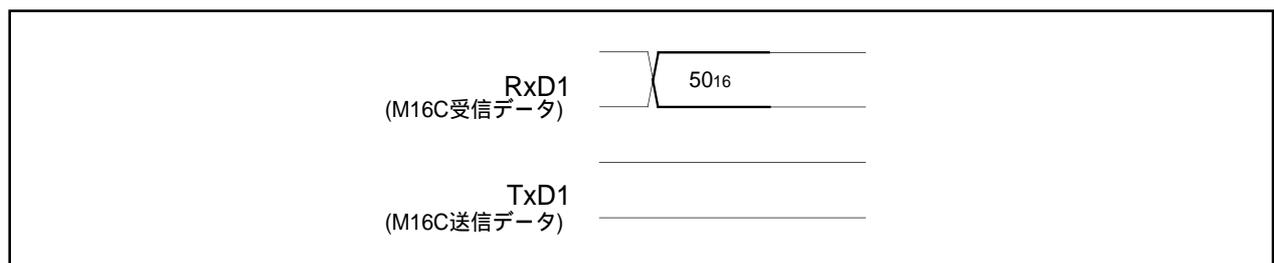


図32.23 クリアステータスレジスタコマンド時のタイミング

ページプログラムコマンド

フラッシュメモリの指定したページ(256バイト)を1バイトずつ順番に書き込みます。以下の手順でページプログラムコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“4116”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降、ライトデータ(D0～D7)を指定したページの最小のアドレスから順番に256バイト入力すると、自動的に指定したページに対し書き込み動作を開始します。

ステータスレジスタを読み出すことにより、ページプログラムの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、書き込みをプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。既にプログラムされたページには、再度プログラムを行うことはできません。

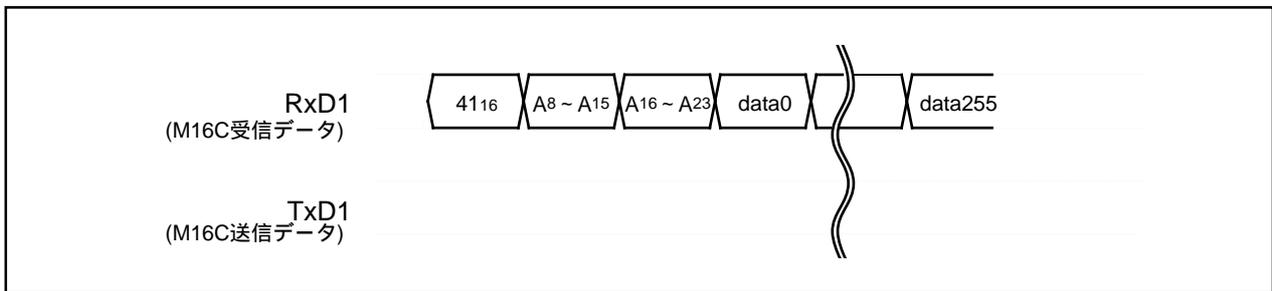


図32.24 ページプログラムコマンド時のタイミング

ブロックイレーズコマンド

指定したブロック内のデータをイレーズするコマンドです。以下の手順でブロックイレーズコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“2016”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目の転送で確認コマンドコード“D016”を転送すると、フラッシュメモリの指定ブロックに対するイレーズ動作を開始します。なお、A8～A23のアドレスは、指定するブロックの最大のアドレスとしてください。

ブロックイレーズを終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

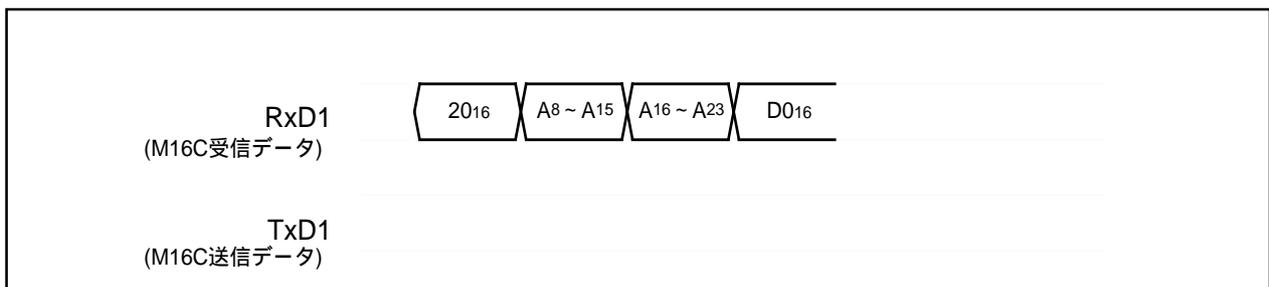


図32.25 ブロックイレーズコマンド時のタイミング

イレーズ全アンロックブロックコマンド

全ブロックの内容を消去するコマンドです。以下の手順でイレーズ全アンブロックブロックコマンドを実行してください。

- (1) 1バイト目の転送でコマンドコード“ A7₁₆ ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ D0₁₆ ”を転送すると、全ブロックに対し、連続的にブロックイレーズ動作を開始します。

イレーズの結果も、ステータスレジスタの読み出しにより知ることができます。

なお、各ブロックはロックビットにより、消去をプロテクトすることが可能です。詳しくは、データ保護機能の節を参照してください。

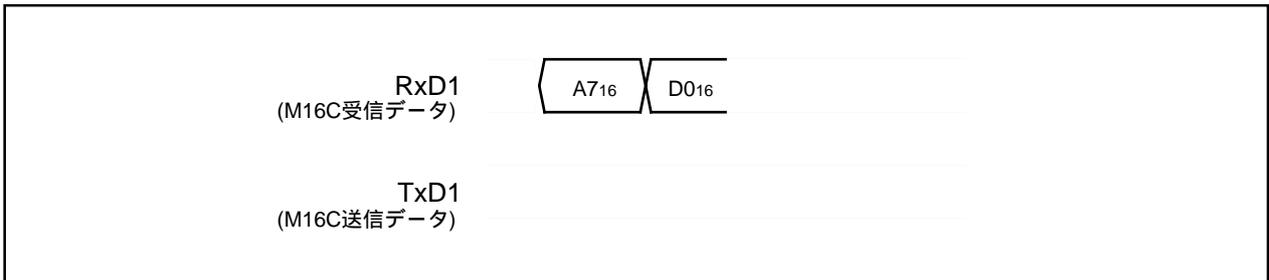


図32.26 イレーズ全アンロックブロックコマンド時のタイミング

ロックビットプログラムコマンド

指定したブロックのロックビットに“ 0 ”(ロック状態)を書き込みます。以下の手順でロックビットプログラムを実行してください。

- (1) 1バイト目の転送でコマンドコード“ 77₁₆ ”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目の転送で確認コマンドコード“ D0₁₆ ”を転送すると、指定ブロックのロックビットに“ 0 ”が書き込まれます。なお、A8～A23のアドレスは、指定するブロックの最大のアドレスとしてください。

ロックビットの状態は、リードロックビットステータスコマンドで読み出すことができます。

なお、ロックビットの機能、リセット方法等については、データ保護機能の節を参照してください。

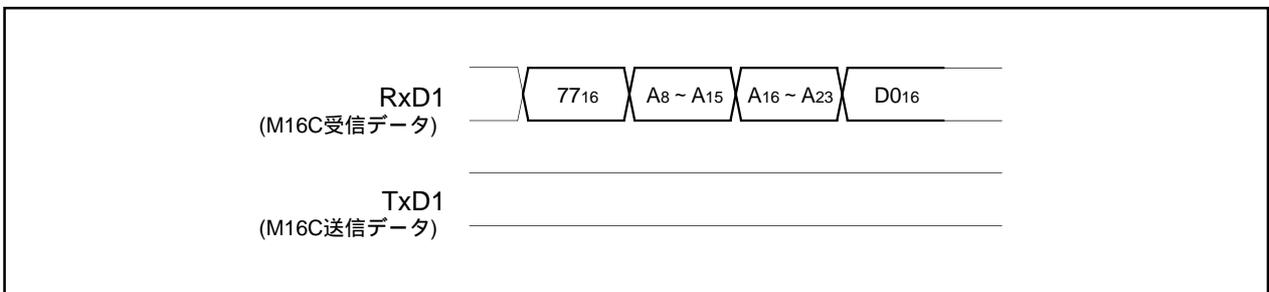


図32.27 ロックビットプログラムコマンド時のタイミング

リードロックビットステータスコマンド

指定したブロックのロックビットの状態を読み出すコマンドです。以下の手順でリードロックステータスを実行してください。

- (1) 1バイト目の転送でコマンドコード“71₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれ、アドレスA₈～A₁₅、アドレスA₁₆～A₂₃を転送します。
- (3) 4バイト目の転送で指定ブロックのロックビットデータの内容を出力します。

出力されるデータの6ビット目(D₆)がロックビットデータです。なお、A₈～A₂₃のアドレスは、指定するブロックの最大のアドレスとしてください。

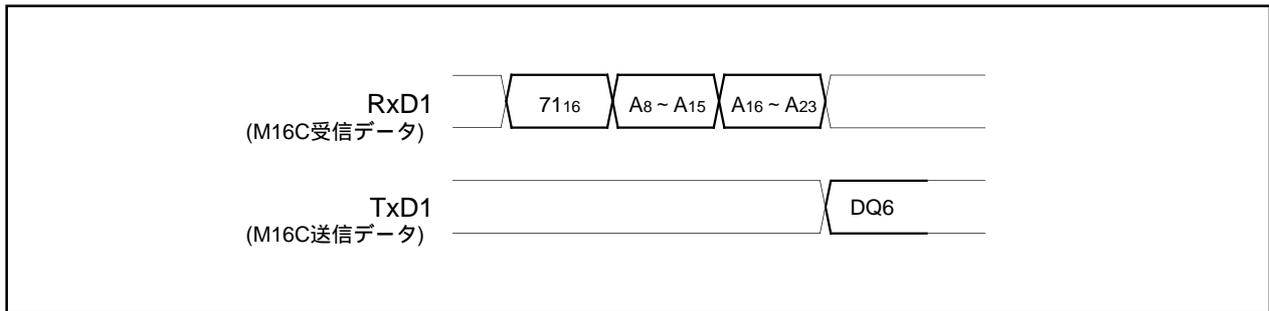


図32.28 リードロックビットステータスコマンド時のタイミング

ロックビット有効コマンド

ロックビット無効コマンドにより無効にしたブロックに対するロックを、再度、有効にするコマンドです。1バイト目のシリアル転送でコマンドコード“7A₁₆”を転送します。このコマンドは、ロックビットの機能を有効化するだけであり、ロックビットそのもののセットはできません。

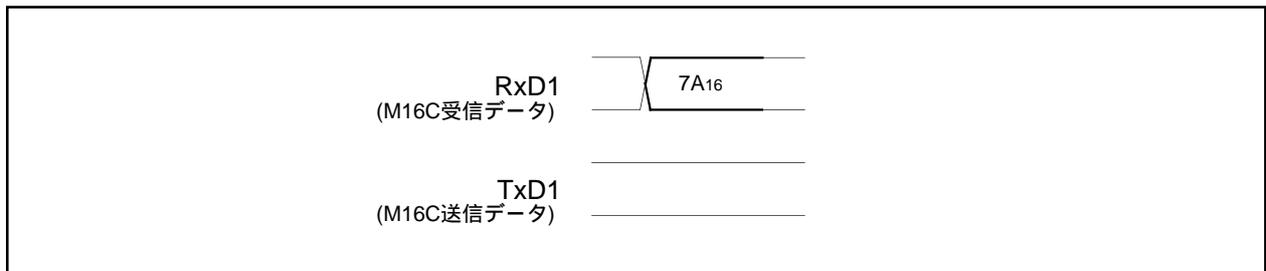


図32.29 ロックビット有効コマンド時のタイミング

ロックビット無効コマンド

ブロックロックを無効にするコマンドです。1バイト目の転送でコマンドコード“75₁₆”を転送します。このコマンドは、ロックビットの機能を無効化するだけであり、ロックビットそのもののセットはできません。ただし、ロックビット無効コマンド実行後、イレーズを実行した場合には、“0” (ロック状態)であったロックビットデータは、消去終了後“1” (非ロック状態)にセットされます。なお、リセット解除後は、ロックビットは有効となります。

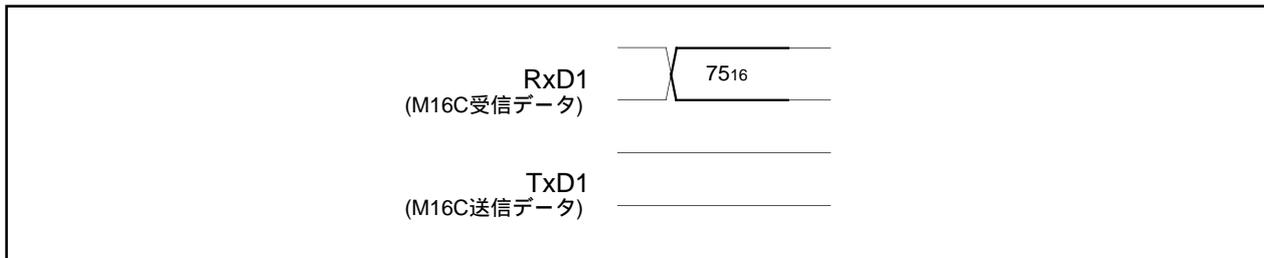


図32.30 ロックビット無効コマンド時のタイミング

ダウンロード機能

RAMに実行プログラムをダウンロードするコマンドです。以下の手順でダウンロードを実行してください。

- (1) 1バイト目の転送でコマンドコード“FA₁₆”を転送します。
- (2) 2バイト目、3バイト目の転送で、プログラムのサイズを転送します。
- (3) 4バイト目の転送でチェックサムを転送します。チェックサムは、5バイト目以降に転送するデータを全て加算したものです。
- (4) 5バイト目以降実行プログラムを転送します。

全データの転送が完了し、チェックサムが一致すれば転送プログラムを実行します。転送プログラム容量は、内蔵するRAMによって異なります。

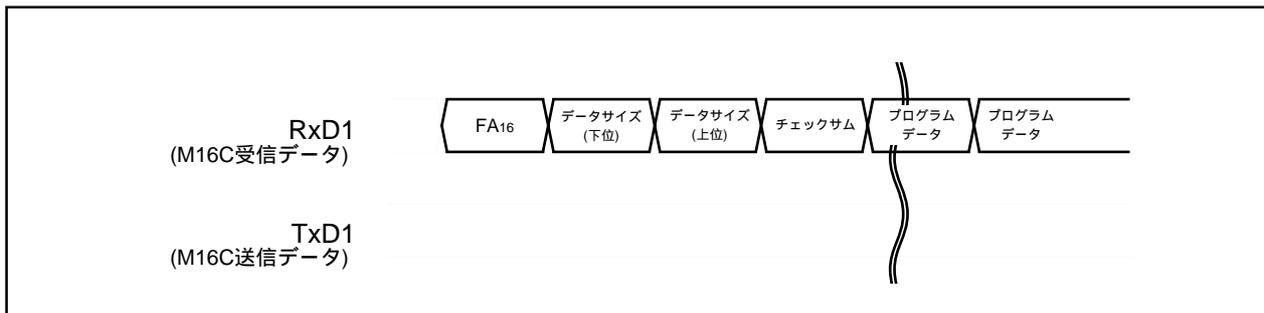


図32.31 ダウンロード機能のタイミング

バージョン情報出力機能

ブートROM領域に格納している制御プログラムのバージョン情報を出力します。以下の手順でバージョン情報出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FB16”を転送します。
- (2) 2バイト目以降バージョン情報を出力します。バージョン情報はASCIIコード8文字で構成されています。

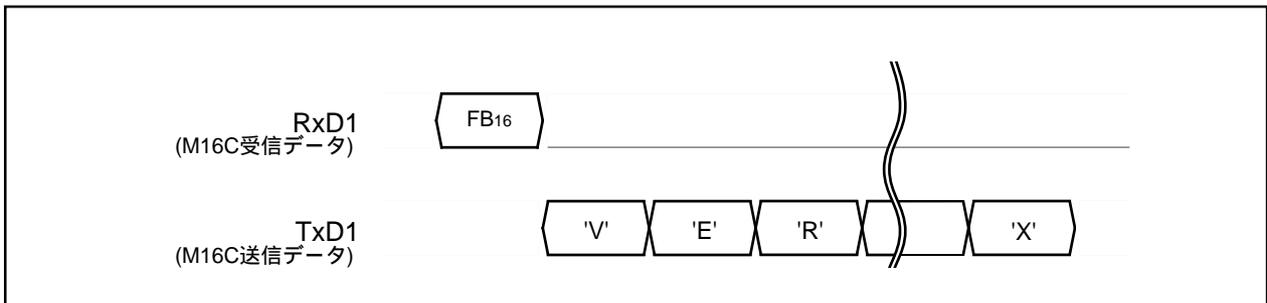


図32.32 バージョン情報出力機能のタイミング

ブートROM領域出力機能

ブートROM領域に格納している制御プログラムをページ(256バイト)単位で読み出す機能です。以下の手順でブートROM領域出力機能を実行してください。

- (1) 1バイト目の転送でコマンドコード“FC16”を転送します。
- (2) 2バイト目、3バイト目の転送でそれぞれアドレスA8～A15、アドレスA16～A23を転送します。
- (3) 4バイト目以降に、アドレスA8～A23で指定したページ(256バイト)のデータ(D0～D7)を最小のアドレスから順番に出力します

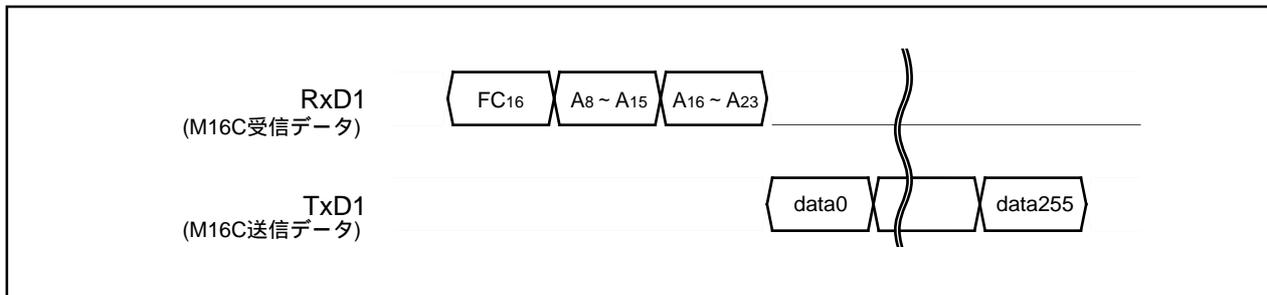


図32.33 ブートROM領域出力機能のタイミング

IDチェック機能

IDコードを判断するコマンドです。以下の手順でIDチェックを実行してください。

- (1) 1バイト目の転送でコマンドコード “ F5₁₆ ” を転送します。
- (2) 2バイト目、3バイト目、4バイト目の転送で、それぞれIDコードの1バイト目のアドレスA₀ ~ A₇、A₈ ~ A₁₅、A₁₆ ~ A₂₃を転送してください。
- (3) 5バイト目にIDコードのデータ数を転送してください。
- (4) 6バイト目以降IDコードをIDコードの1バイト目から転送してください。

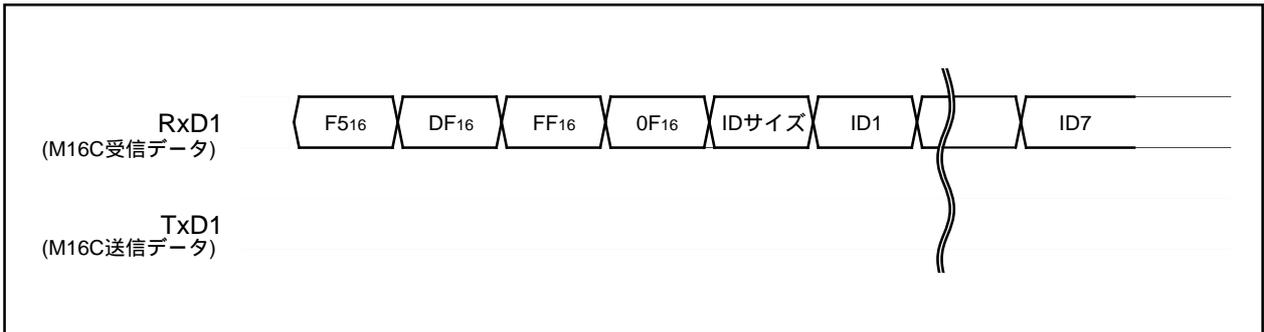


図32.34 IDチェック機能のタイミング

IDコード

フラッシュメモリの内容がブランクでは無い場合、外部装置から送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するか判定します。コードが一致しなければ、外部装置から送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、その領域は、1バイト目から0FFFFDF₁₆、0FFFFE0₁₆、0FFFFE3₁₆、0FFFFE6₁₆、0FFFFE9₁₆、0FFFFF3₁₆、0FFFFF7₁₆、0FFFFFB₁₆番地です。プログラム中のこれらの番地に予めIDコードを設定したプログラムをフラッシュメモリに書き込んでください。

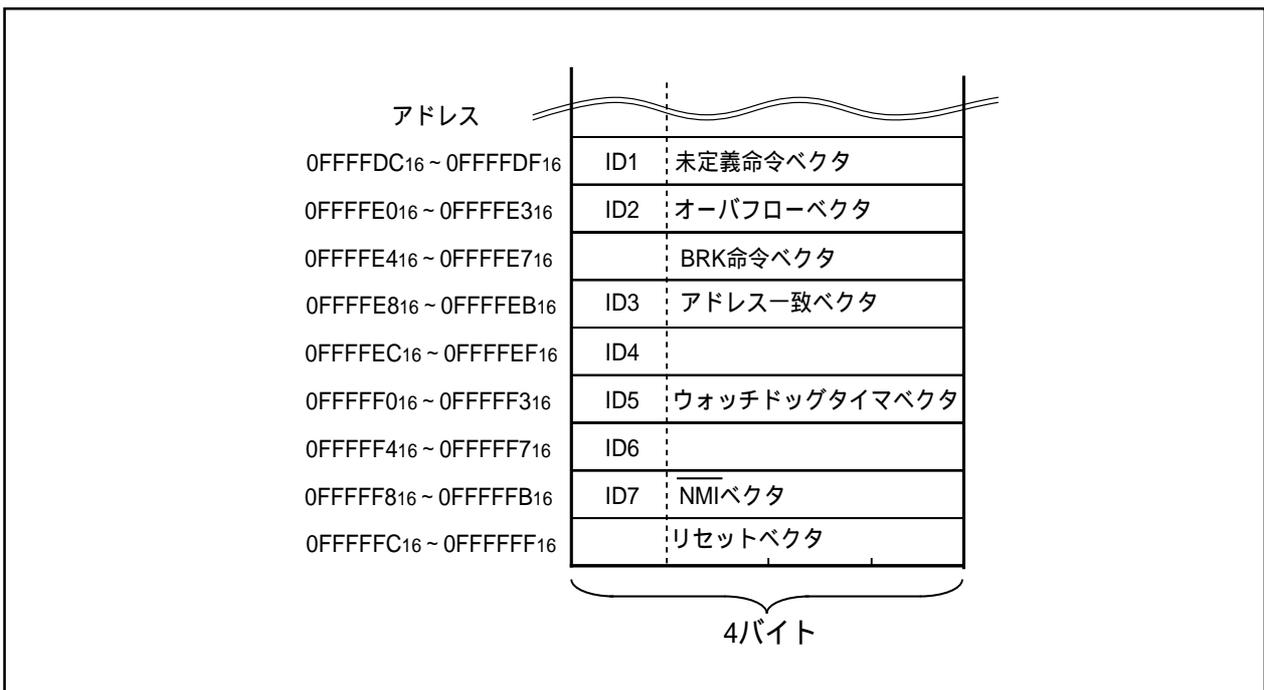


図32.35 IDコードの格納アドレス

リードチェックデータ

ページプログラムコマンドで送信した書き込みデータに対し、正しく受信が行われたことを確認するためのチェックデータを読み出します。

- (1) 1バイト目の転送でコマンドコード“FD₁₆”を転送します。
- (2) 2バイト目の転送でチェックデータ(下位)、3バイト目の転送でチェックデータ(上位)を受信します。

このリードチェックデータコマンドを使用する場合、まず最初にこのコマンドを実行し、チェックデータを初期化します。次にページプログラムコマンドを必要回数実行します。その後、再びリードチェックコマンドを実行しますと、この間に実行したページプログラムコマンドで送信した書き込みデータ全てのチェックデータが読み出せます。

チェックデータは書き込みデータのCRC演算結果です。

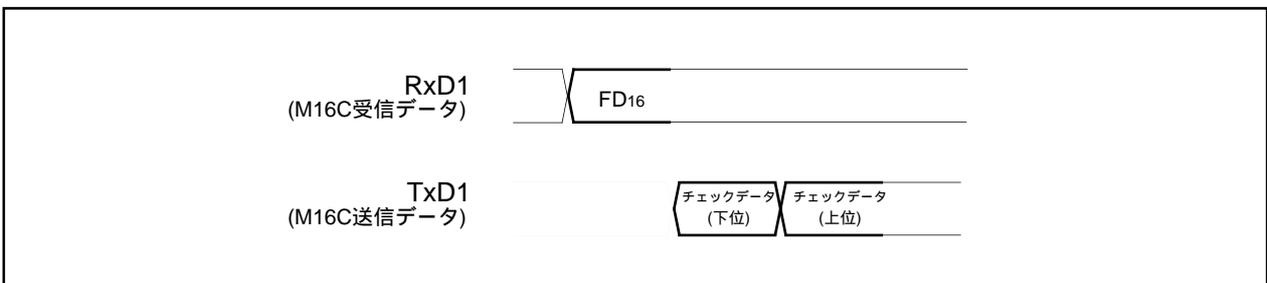


図32.36 リードチェックデータコマンド時のタイミング

ボーレート9600

転送速度を9600bpsに変更します。以下の手順でボーレート9600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“B0₁₆”を転送します。
- (2) 2バイト目の転送で確認コマンド“B0₁₆”を出力した後、転送速度9600bpsに変更します。

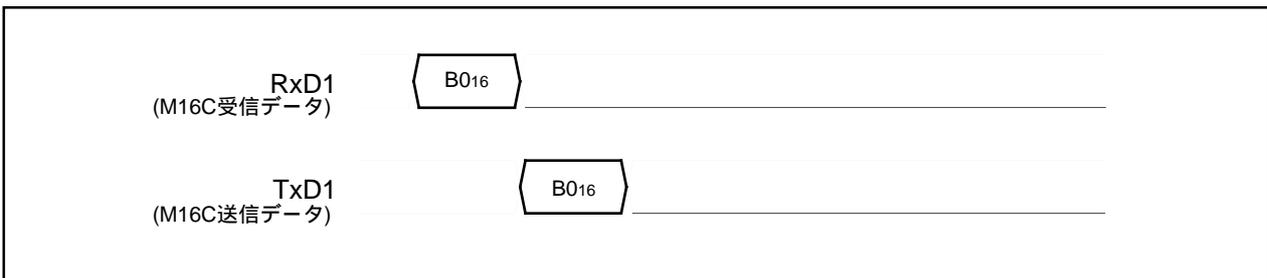


図32.37 ボーレート9600のタイミング

ボーレート19200

転送速度を19200bpsに変更します。以下の手順でボーレート19200bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B116 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B116 ”を出力した後、転送速度19200bpsに変更します。

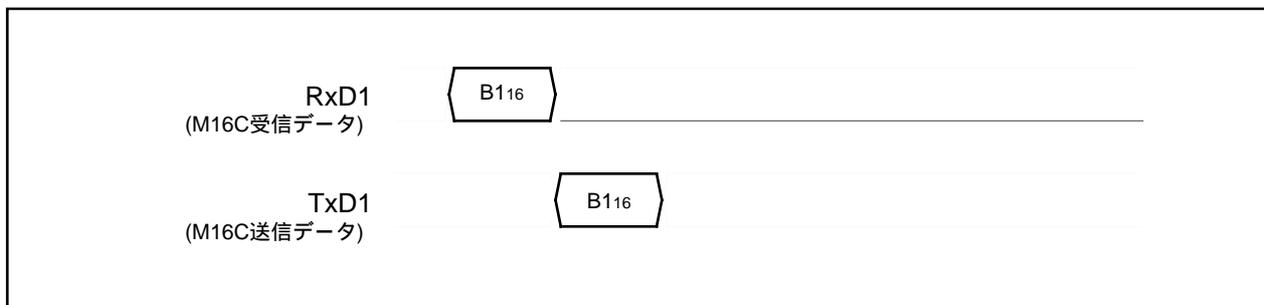


図32.38 ボーレート19200のタイミング

ボーレート38400

転送速度を38400bpsに変更します。以下の手順でボーレート38400bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B216 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B216 ”を出力した後、転送速度38400bpsに変更します。

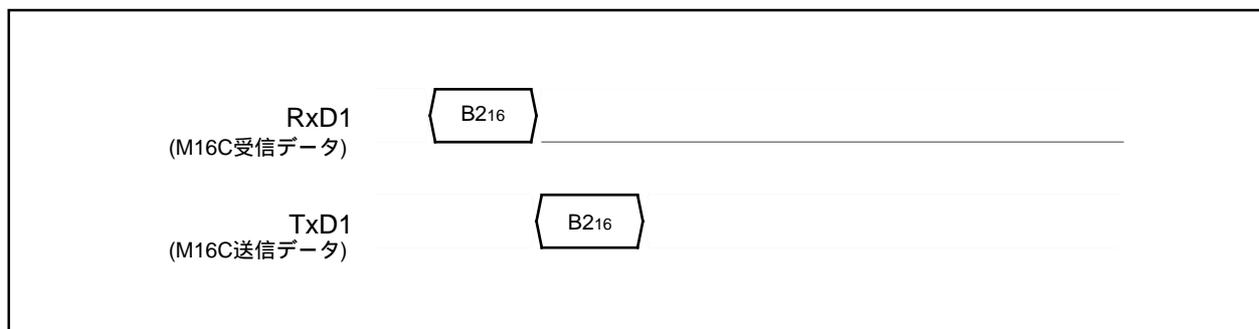


図32.39 ボーレート38400のタイミング

ボーレート57600

転送速度を57600bpsに変更します。以下の手順でボーレート57600bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B316 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B316 ”を出力した後、転送速度57600bpsに変更します。

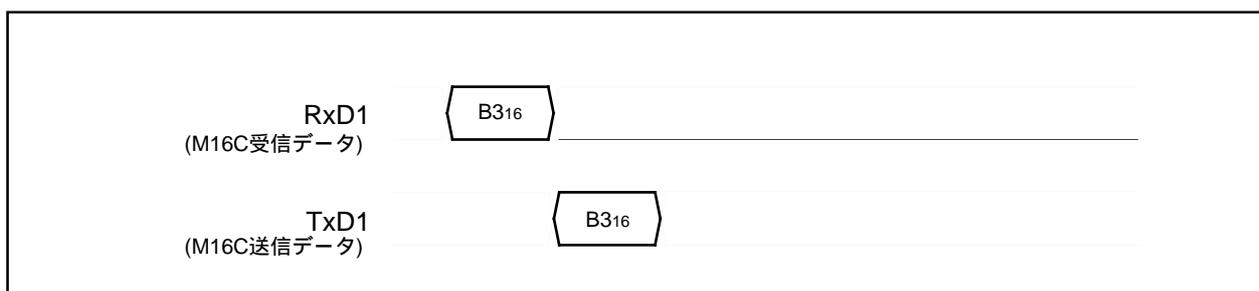


図32.40 ボーレート57600のタイミング

ボーレート115200

転送速度を115200bpsに変更します。以下の手順でボーレート115200bpsを実行してください。

- (1) 1バイト目の転送でコマンドコード“ B416 ”を転送します。
- (2) 2バイト目の転送で確認コマンド“ B416 ”を出力した後、転送速度115200bpsに変更します。



図32.41 ボーレート115200のタイミング

標準シリアル入出力モード2時の応用回路(例)

標準シリアル入出力モード2を使用する場合の応用回路を示します。

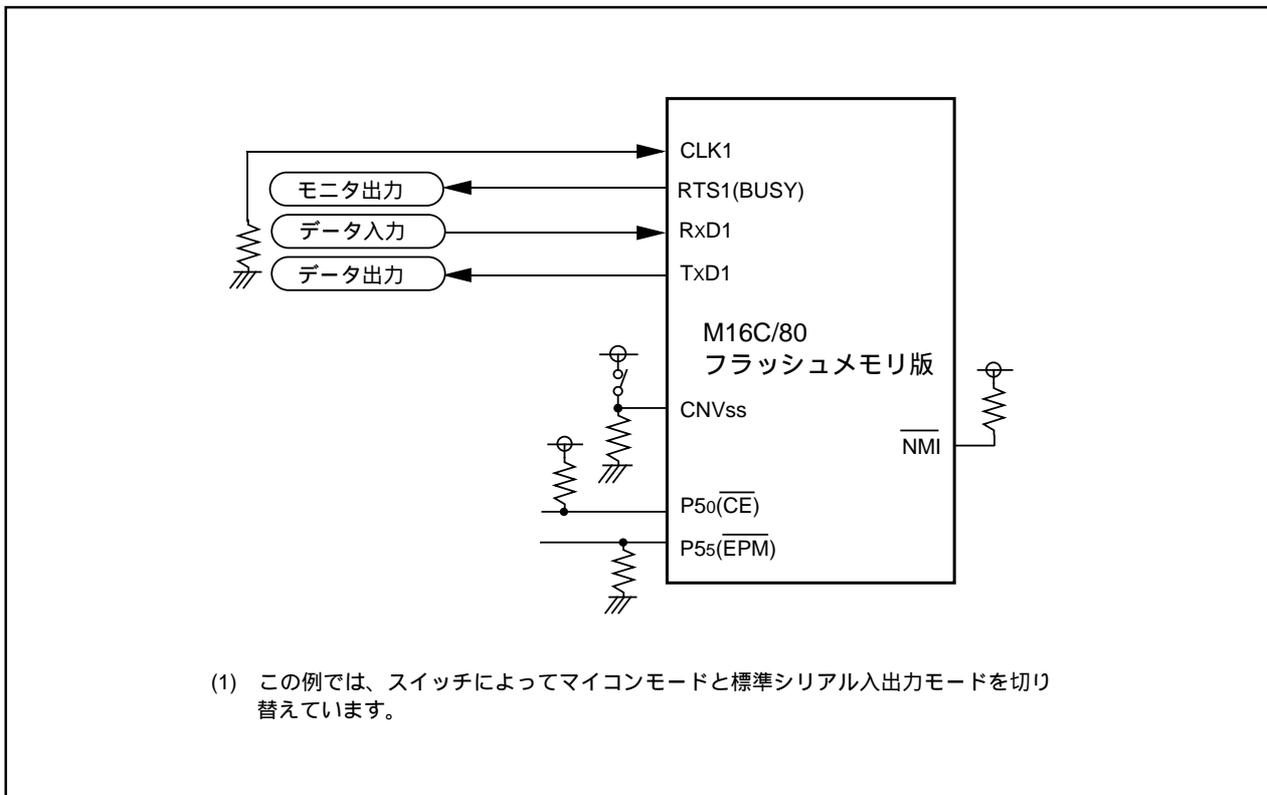


図32.42 標準シリアル入出力モード2時の応用回路例

33. ブートローダ内蔵ROM外付け版

M16C/80ROM外付け版には、ブートローダ(ファームウェア)を内蔵した製品があります。ブートローダを使うことで、ユーザが準備した外付けフラッシュメモリの書き換えプログラムをマイコンの内部RAMにダウンロードすることができます。また、外付けフラッシュメモリに下記フラッシュメモリ(*1)を実装している場合は、書き換えプログラムをダウンロードすることなく外付けフラッシュメモリへの書き換えを行うことができます。

ブートローダの詳細な内容については、別途M16C/80ROM外付け版アプリケーションノート<ブートローダ編>をご参照ください。

(*1) : M5M29GB/T160BVP、M5M29GB/T320BVPまたは同等品

ブートローダを内蔵するM16C/80では、次のような展開を計画しています。

(1) ROM容量

(2) パッケージ

100P6S-A プラスチックモールドQFP

100P6Q-A プラスチックモールドQFP

144P6Q-A プラスチックモールドQFP

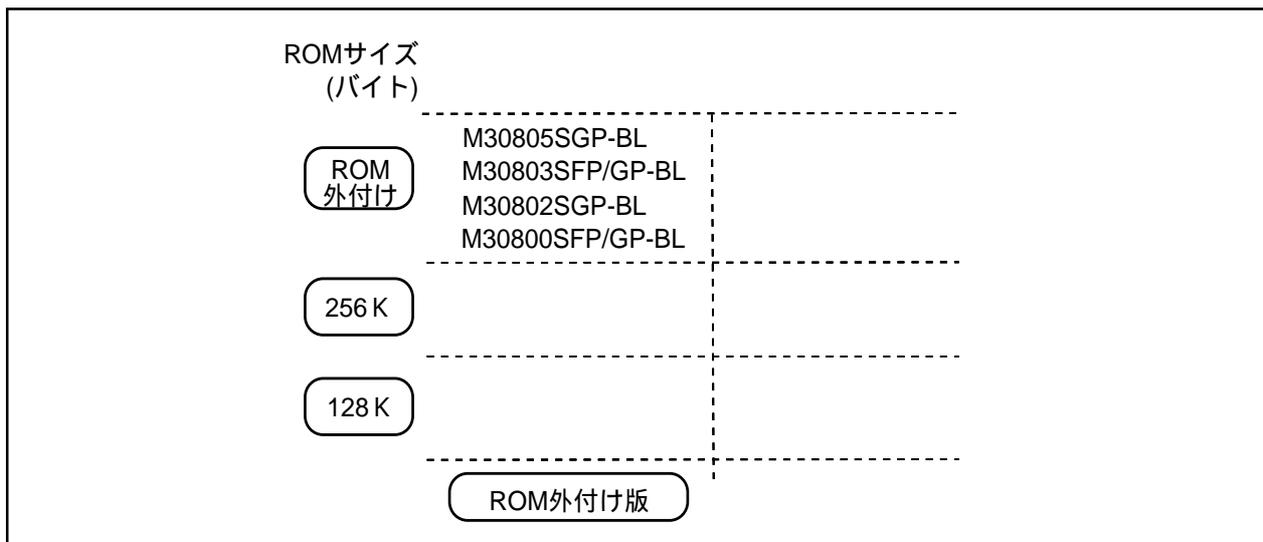


図33.1 ROM展開

サポートを行う予定の製品を以下に示します。

表33.1 製品一覧表

形名	ROM容量	RAM容量	パッケージ	備考
M30800SFP-BL	—	10Kバイト	100P6S-A	ブートローダ内蔵ROM外付け版
M30800SGP-BL			100P6Q-A	
M30802SGP-BL			144P6Q-A	
M30803SFP-BL	—	24Kバイト	100P6S-A	
M30803SGP-BL			100P6Q-A	
M30805SGP-BL			144P6Q-A	

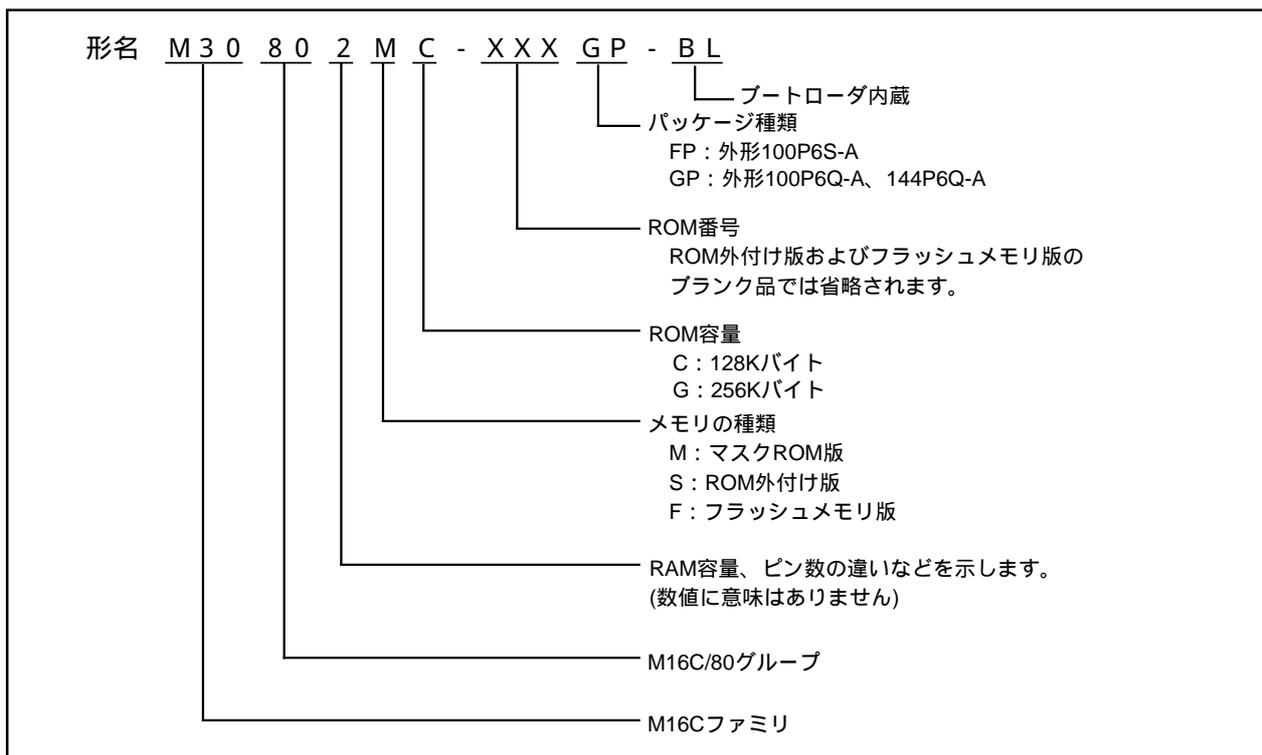


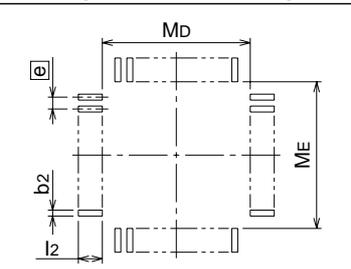
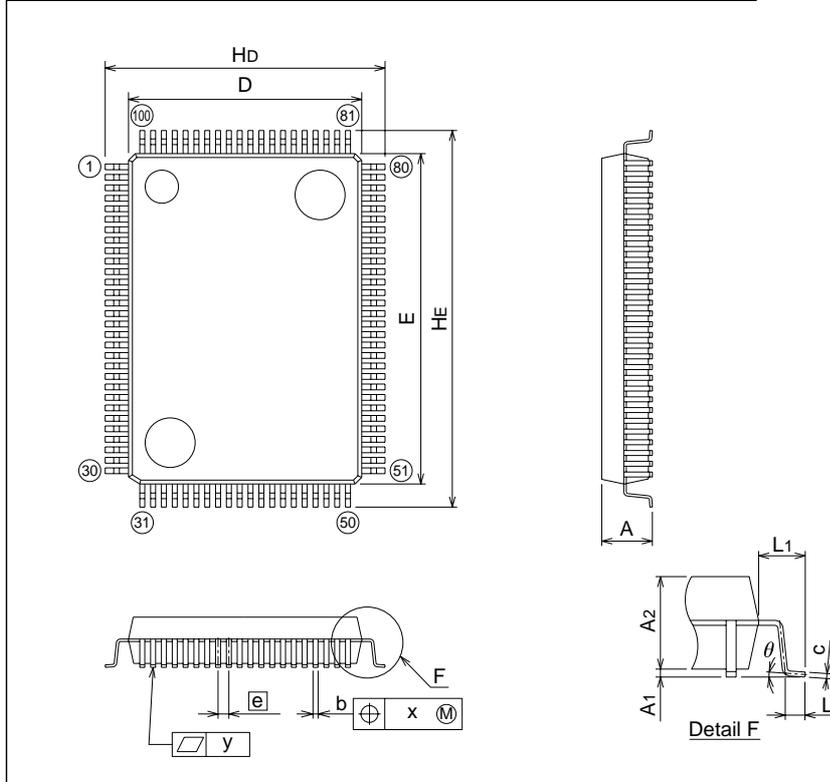
図33.2 形名とメモリサイズ・パッケージ

付録1. 外形寸法図

100P6S-A Recommended

Plastic 100pin 14X20mm body QFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP100-P-1420-0.65	-	1.58	Alloy 42



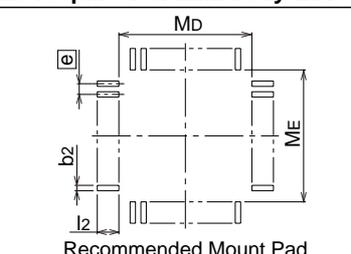
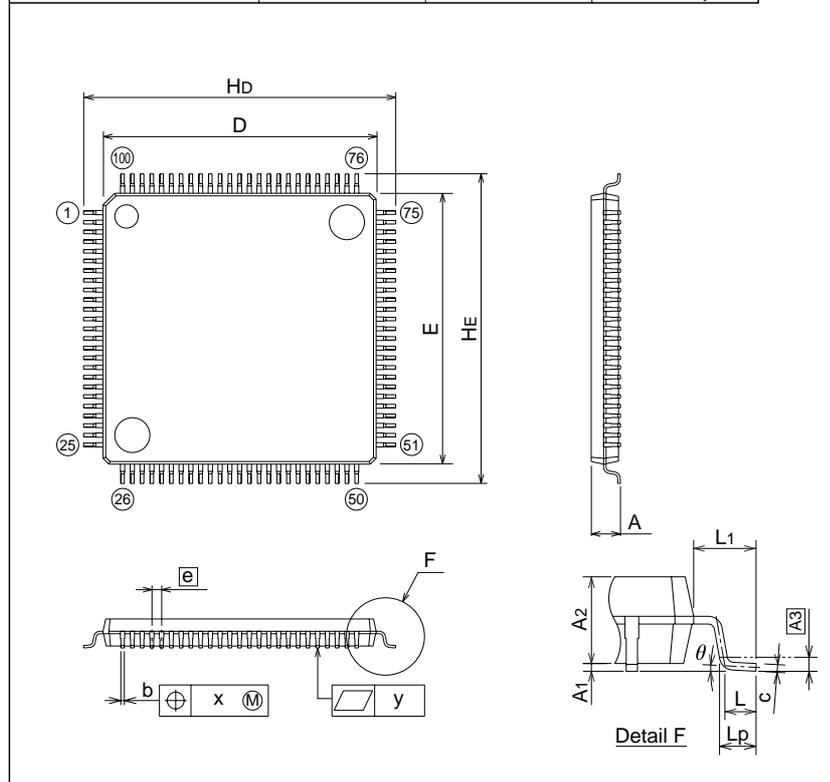
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	3.05
A1	0	0.1	0.2
A2	-	2.8	-
b	0.25	0.3	0.4
c	0.13	0.15	0.2
D	13.8	14.0	14.2
E	19.8	20.0	20.2
e	-	0.65	-
Hd	16.5	16.8	17.1
HE	22.5	22.8	23.1
L	0.4	0.6	0.8
L1	-	1.4	-
x	-	-	0.13
y	-	-	0.1
theta	0°	-	10°
b2	-	0.35	-
l2	1.3	-	-
Md	-	14.6	-
ME	-	20.6	-

100P6Q-A Recommended

Plastic 100pin 14X14mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP100-P-1414-0.50	-	0.63	Cu Alloy



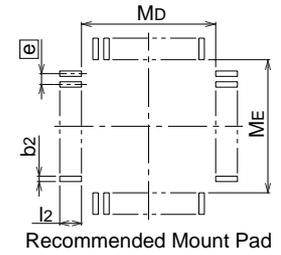
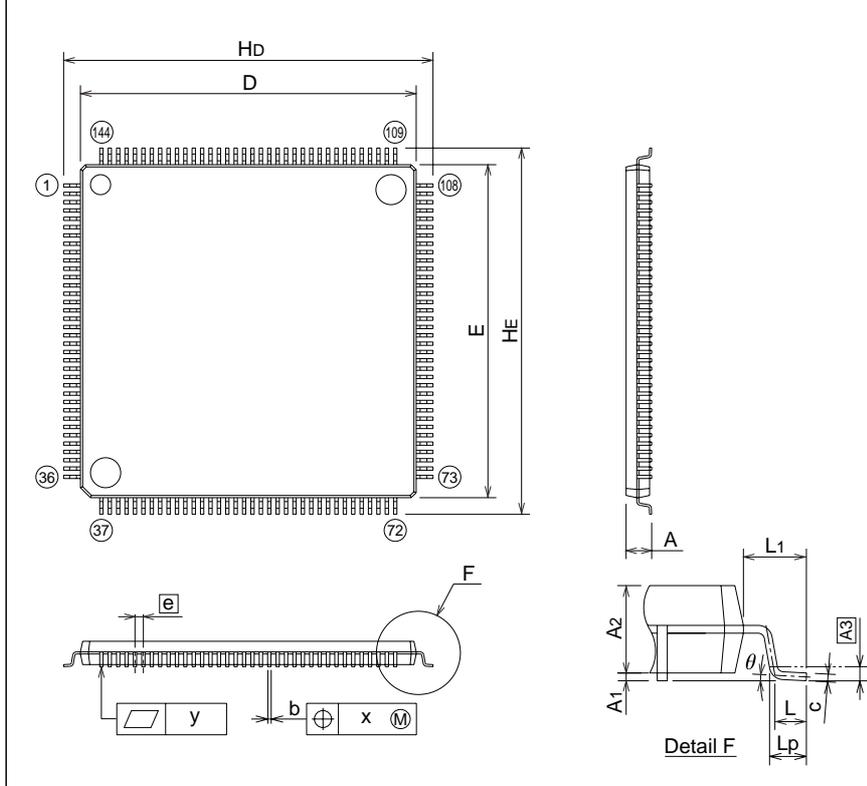
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0	0.1	0.2
A2	-	1.4	-
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	-	0.5	-
Hd	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	-	1.0	-
Lp	0.45	0.6	0.75
A3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
theta	0°	-	10°
b2	-	0.225	-
l2	0.9	-	-
Md	-	14.4	-
ME	-	14.4	-

144P6Q-A Recommended

Plastic 144pin 20X20mm body LQFP

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP144-P-2020-0.50	-	1.23	Cu Alloy



Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	-	-	1.7
A1	0.05	0.125	0.2
A2	-	1.4	-
b	0.17	0.22	0.27
c	0.105	0.125	0.175
D	19.9	20.0	20.1
E	19.9	20.0	20.1
e	-	0.5	-
H_d	21.8	22.0	22.2
HE	21.8	22.0	22.2
L	0.35	0.5	0.65
L_1	-	1.0	-
L_p	0.45	0.6	0.75
A_3	-	0.25	-
x	-	-	0.08
y	-	-	0.1
θ	0°	-	8°
b_2	-	0.225	-
l_2	0.95	-	-
Md	-	20.4	-
ME	-	20.4	-

レジスタ索引

A

AD0 ~ AD7 169
ADCON0 168, 170, 171, 172, 173, 174
ADCON1 168, 170, 171, 172, 173, 174
ADCON2 169
ADIC 63
AIER 73

B

BCN2IC ~ BCN4IC 63

C

CM0 46, 79
CM1 46
CPSRF 96, 107
CRCD 178
CRCIN 178

D

DA0 ~ DA1 177
DACON 177
DCT0 ~ DCT3 84
DM0IC ~ DM3IC 63
DM0SL ~ DM3SL 82
DMA0 ~ DMA3 85
DMD0 ~ DMD1 83
DRA0 ~ DRA3 85
DRAMCONT 183
DRC0 ~ DRC3 84
DS 31
DSA0 ~ DSA3 85
DTT 113

F

FMR0 ~ FMR1 276

I

ICTB2 113
IDB0 ~ IDB1 113
IFSR 71
INT0IC ~ INT5IC 63
INVC0 ~ INVC1 112

K

KUPIC 63

M

MCD 47

O

ONSF 96

P

P0 ~ P10 197
P11 198
P12 ~ P13 197
P14 198
P15 197
PCR 206
PD0 ~ PD10 195
PD11 196
PD12 ~ PD13 195
PD14 196
PD15 195
PM0 27
PM1 28
PRCR 55
PS0 ~ PS1 200
PS2 ~ PS3 201
PSC 203
PSL0 ~ PSL2 202
PSL3 203
PUR0 ~ PUR2 204
PUR3 ~ PUR4 205

R

REFCNT 185
RLVL 49, 64
RMAD0 ~ RMAD3 73
ROMCP 288

S

S0RIC ~ S4RIC 63
S0TIC ~ S4TIC 63

T

TA0,TA3 **95**
TA0IC ~ TA4IC **63**
TA0MR ~ TA4MR **94, 97, 98, 103, 104**
TA1,TA2,TA4 **95, 114**
TA11,TA21,TA41 **114**
TA1MR,TA2MR,TA4MR **115**
TA2MR ~ TA4MR **100**
TABS **95, 107, 114**
TB0,TB1,TB3,TB4,TB5 **107**
TB0IC ~ TB5IC **63**
TB0MR ~ TB5MR **106, 108, 109, 110**
TB2 **107, 114**
TB2MR **115**
TBS **107**
TRGS **96, 114**

U

U0BRG ~ U4BRG **129**
U0C0 ~ U2C0 **131**
U0C1 ~ U4C1 **133**
U0MR ~ U4MR **130, 139, 146**
U0RB ~ U4RB **129**
U0TB ~ U4TB **129**
U2SMR ~ U4SMR **134, 156**
U2SMR2 ~ U4SMR2 **135, 156**
U2SMR3 **136**
U3C0 ~ U4C0 **132**
U3SMR3 ~ U4SMR3 **136, 163**
UCON **134**
UDF **95**

W

WCR **39**
WDC **79**
WDTS **79**

X

X0R ~ X15R **181**
XYC **180**

Y

Y0 R ~ Y15R **181**

改定副番	主な改定内容	改定年月日
	<ul style="list-style-type: none"> ・ 59ページ 1行目から INT0～INT5は外部入力による割り込みです。<u>入力信号のレベルで割り込みをかけるレベルセンスとエッジで割り込みをかけるエッジセンスを割り込み制御レジスタのレベルセンス/エッジセンス切り替えビットで選択できます。また、極性を極性切り替えビットで選択できます。</u> 外部割り込み入力のエッジセンスでは、割り込み要因選択レジスタ(031F₁₆番地)の・・・ 下線部分追加および変更 ・ 173(旧171)ページの図 出力周辺機能選択レジスタ1 注1を追加 ・ 175(旧173)ページの図 出力周辺機能第二選択レジスタ PSC_0 に注1を追加 元 注1を注2に変更 ・ 181(旧179)ページ 割り込みの注意事項 (1) 00000₁₆番地の読み出しを削除 ・ 2ページの図 ピンNo.44 P5₂/RD\overline{W}をP5₂/RD/DWに変更 ・ 8ページ 端子名WをDWに変更 ・ 64ページの図 DRA3(FB) DMA3メモリアドレスリロードレジスタをDSA2(SB) DMA2SFR レジスタに変更 DSA3(SB) をDSA3(FB) に変更 DSA2(SVP) DMA2SFR レジスタをDMA2(SVP) DMA2メモリアドレスリロードレジスタに変更 DRA2(VCT) DMA2メモリアドレスリロードレジスタをDRA3(VCT) DMA3メモリアドレスリロードレジスタに変更 ・ 160(旧158)ページ～162(旧160)ページの図 信号名WをDWに変更 	'98. 5.21
REV.B	<ul style="list-style-type: none"> ・ 1ページ 特長 DMAC (CPU機能の一部を使用)を削除 DRAMC FPを追加 ・ 4ページの表 M30800MC-XXXXFP 電源電圧 4.5Vを4.0Vに変更 ・ 5ページの図 ROM展開 ワンタイムPROM版を削除 ・ 6ページの図 形名とメモリサイズ・パッケージ パッケージの種類 FS:100D0 を削除 ROM番号 記述変更 メモリの種類 E:EPROM版またはワンタイムPROM版を削除 ・ 7ページ 入出力ポートP3 MA6をMA7に変更 入出力ポートP4 MA7～MA11をMA8～MA12に変更 入出力ポートP5 P5₇からXIN・・・をP5₃からXINに変更 ・ 17ページの図 (7)プロテクトレジスタ 00₁₆をXXXXX000に変更 	'98. 6.12

改定副番	主 な 改 定 内 容	改定年月日
	<ul style="list-style-type: none"> ・ 22ページ 03C9₁₆、03CB₁₆～03D3₁₆番地に網掛け 注1を追加 ・ 24ページの図 出力周辺機能選択レジスタ1 注1を追加 ・ 175(旧173)ページの図 プロセッサモードレジスタ0 注4 モード0選択時・・・を追加 注6を追加 ・ 30ページ (3) リード/ライト信号 注2を追加 ・ 31ページ 変更 4行目にALE信号は・・・発生します。を追加 表EF-4 R/W信号をRD信号、WR信号に変更 ・ 33ページ (7) 内部領域をアクセスしたときの外部バスの状態を追加 以下の番号変更 ・ 42(旧41)ページの図 システムクロック制御レジスタ1 注2 ただしシステムクロック・・・を追加 ・ 44(旧43)ページの図 5行目 端子はフローティングになります。を端子は“L”を出力します。 ・ 45(旧44)ページの表 記述変更 ・ 51(旧50)ページの図 リセット時 00₁₆をXXXXX000₂に変更 PRC2の記述変更 ・ 52(旧51)ページ 高速割り込み 記述変更 ・ 65(旧64)ページ 9行目 図EC-1に示す・・・設定してください。を追加 ・ 68(旧67)ページ～70(旧69)ページの図 内容変更 ・ 70(旧69)ページの図 入出力ポートP3 MA6をMA7に変更 入出力ポートP4 MA7～MA11をMA8～MA12に変更 入出力ポートP5 P5₇からXIN・・・をP5₃からXINに変更 ・ 71(旧70)ページ ソフトウエアウエイトの影響 記述変更 ・ 72(旧71)ページの図 内容変更 ・ 73(旧72)ページ 係数j, k 記述変更 ・ 75(旧74)ページの図 内容変更 ・ 72(旧71)ページの図 内容変更 ・ 84(旧83)ページの図 二相パルス信号処理を使用しない場合 注2の記述変更 ・ 86(旧85)ページ 変更 記述追加 ・ 111(旧110)ページの図 02FE₁₆、02FF₁₆、02FA₁₆、02FB₁₆番地削除 ・ 112(旧111)ページの図 02FE₁₆、02FF₁₆、02FA₁₆、02FB₁₆番地追加 ・ 115(旧114)ページの図 UARTi送受信制御レジスタ0 U3C0、U4C0 削除 ・ 116ページ 図を追加 ・ 118(旧116)ページの図 UARTi特殊モードレジスタ 注2 記述変更 ・ 119(旧117)ページの図 IICM2 IICモード選択ビットをIICモード選択ビット2に変更 ・ 138(旧136)ページ～ UARTi特殊モードレジスタ全面変更 ・ 163(旧157)ページ 7行目 DRAM領域のデータバス幅が・・・“1”を設定してください。を追加 図 DRAMコントローラ 注3 記述追加 ・ 165(旧159)ページ 最後から4行目 セルフリフレッシュ動中は～行わないでください。を追加 ・ 166(旧160)ページ～168(旧162)ページ図 注1を追加 	

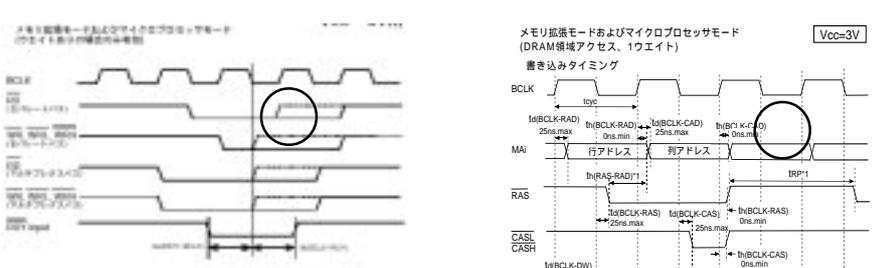
改定副番	主 な 改 定 内 容	改定年月日
	<ul style="list-style-type: none"> ・ 168(旧162) ページの図 リフレッシュサイクルをCASピフォアRASサイクルに変更 MA0～MA1を2削除 セルフリフレッシュサイクルの図を変更 ・ 181(旧175) ページの図 PSC_7 キー入力割り込み禁止レジスタをキー入力割り込み禁止ビットに変更 注2に記述追加 ・ 186(旧180) ページ SFR の注意事項を追加 ・ 6ページの図 内容修正 ・ 11ページ 最後から2行目 24ビット 16ビット ・ 16ページの表 P53(BYTE = Vss, BYTE = Vcc)の入力ポート(フローティング) BCLK出力 P56(BYTE = Vss, BYTE = Vcc)の入力ポート(フローティング) RAS出力 に変更 ・ 17ページの図 (8)外部データバス幅制御レジスタ XXXXX000 XXXX?000に変更 注2追加 (26)UART割り込み制御レジスタ UART受信割り込み制御レジスタに修正 (28)も同様 (42)UART割り込み制御レジスタ UART送信割り込み制御レジスタに修正 ・ 18ページの図 端子出力機能選択レジスタ 機能選択レジスタA 出力周辺機能選択レジスタ 機能選択レジスタB 出力周辺機能第二選択レジスタ 機能選択レジスタC に変更 P21,P51,P80 ~P82,P84,P87,P88,P93,P94,P96,P98,P114 ~P116,P120,P122,P123, P127,P130,P169,P170,P172,P173,P177 ~181 も同様 ・ 27ページの図EE-1 リセット時 XXXX0002 XXXX0002 注1に記述追加 ・ 28ページ、34ページ 注4 \overline{W} \overline{DW} ・ 31ページ 最後から2行～ 動作していない場合、RDY信号は無効となりますが、この場合でも・・・動作していない(ウエイトなしに設定)場合でも、RDY信号は有効となります。 ・ 34ページ 2行目 出力されます。“1”を選択した場合は・・・出力されます。<u>ただし、シングルチップモード時は、BCLK信号は出力されません。</u>“1”を選択した場合は・・・ ・ 41ページ (1) メインクロックの最後の行 このビットは、ストップモードへの・・・このビットは、<u>システムクロックにXIN</u>が選択されている場合は、ストップモードへの・・・ 	'98.7.3

改定副番	主な改定内容	改定年月日
	<ul style="list-style-type: none"> ・ 49ページ 選択された内部クロック BCLK ・ 49ページ、50ページ パワーセーブ パワーコントロール ・ 52ページ 7行目、8行目 (ノンマスカブル割り込み)が、<u>シングルチップ、・・・発生しません。</u> 下線部削除 ・ 56ページの図 注2追加 ・ 61ページ 最後から2行目、3行目 キー入力割り込み禁止レジスタ キー入力割り込み禁止ビット ・ 67ページの図 注1に記述追加 注5追加 ・ 72ページの図 内容変更 ・ 74ページ (1) 内部要因、(2) 外部要因の最後の行 プログラムによりクリアする・・・行ってください。を追加 ・ 85ページ 最後から4行 ビット5 ビット4 ・ 85ページ、86ページの図 注1. 立ち上がりエッジを選択。 <u>INT2の立ち上がりエッジを選択した時。</u> ・ 96ページの図 三相PWM制御レジスタ1 INV12 0: 使用禁止 0:f1、注1 削除 ・ 115ページ、116ページ 注1 対応するポート方向レジスタは・・・ 端子出力機能選択レジスタを入出力 ポートに設定し、対応する方向レジスタは・・・ ・ 116ページの図 NCH TxDi端子 TxDi、RxDi端子 ・ 119ページの図 SHTC 0: セットアップ、ホールド時間なし 0: 使用禁止 注1追加 ・ 119ページの図 SHTC 表GA-12 0: 使用禁止 1: セットアップホールド時間4~5サイクル、注1追加 ・ 143ページ 表GA-12 記述削除し、図GA-32Bに変更 ・ 146ページ 注2記述追加 ・ 163ページの図 リセット時 0XX00000 2 0XXX00002 注3 0005₁₆番地 000B₁₆番地 ・ 176ページの表 P9₇ SCL₃出力 SCL₄出力 ・ 187ページ ストップモード、ウエイトモードの注意事項の(2) 最後の行 最低8つ 最低4つ ・ 78ページの図 タイマA関連レジスタ(1) MR0 このビットは80シリーズでは無効です。 ポート出力制御は<u>ポート制御レジスタ</u>の設定で行います。 このビットは80シリーズでは無効です。 ポート出力制御は<u>機能選択レジスタA, B</u>の設定で行います。 P81、P82、P84、P87、P88、P99 も同様 ・ 93ページの表 TBiIn機能 (対応する機能選択レジスタAを入出力ポートに設定)追加 ・ 114ページの図 UARTi(i = 0, 1)送受信モードレジスタに注2、UARTi(i = 2 ~)送受信モードレジスタに 注3を追加 P122 も同様 ・ 120ページの表 転送クロック ・対応する機能選択レジスタAを入出力ポートに設定追加 	'98. 7.6

改定副番	主な改定内容	改定年月日
	<ul style="list-style-type: none"> ・123ページの表 シリアルデータ入力、転送クロック入力、\overline{CTS}入力に(注2)を追加 P130も同様 	
Rev.C	<ul style="list-style-type: none"> ・全頁 M30800MC-XXXFP M16C/80 グループ ・1ページ 低消費電流35mA 45mA ・2ページ 図1.1.1 修正 図1.1.2 追加 ・3ページ 図1.1.3 注追加 ・4ページ 表1.1.1 低消費電流35mA 45mA ・5ページ 100P6Q-A プラスチックモールドQFP(マスクROM版、Flash ROM 版)追加 表1.1.2 修正 ・11ページ (7)「USP、ISPには偶数を設定してください。偶数を設定した方が実行効率が良くなります。」追加 ・17ページ 図1.4.3 「(54)UART4 特殊モードレジスタ3」追加 ・18ページ 図1.4.4 「(69)UART3 特殊モードレジスタ3」追加 「(75)UART2 特殊モードレジスタ3」追加 「(117)機能選択レジスタB3」追加 ・20、21ページ 図CA-3.4 「UART4特殊モードレジスタ3」、「UART3特殊モードレジスタ3」 「UART2特殊モードレジスタ3」、「機能選択レジスタB3」追加 ・24ページ 図BG-1 プロセッサモードレジスタ0注6、7追加 プロセッサモードレジスタ1注3追加 ・31ページ 図EF-2 修正 ・42ページ 図WA-4 システムクロック制御レジスタ0 注2修正 ・45ページ 表WA-2 注1追加 ・46ページ 表WA-3 注1追加 ・50ページ 図WA-5. 入れ替え ・51ページ 機能選択レジスタA3(03B5₁₆番地)は、プロテクトレジスタの対応するビットが 機能選 択レジスタA3(03B5₁₆番地)、D-A制御レジスタ(039C₁₆番地)は、プロテクトレジスタ の対応するビットが 図WA-6 PRC2 ビット名修正 ・52ページ～ 「割り込み」全面改訂 ・61ページ 図DD-5. キー入力割り込みレジスタ(006F₁₆番地) (0093₁₆番地) ・67ページ 図EC-2 修正 ・68ページ 図EC-3 修正 ・118ページ 図GA-8. CLKMD0,CLKMD1修正 ・119ページ UART2,3,4 特殊モードレジスタ3 追加 ・126ページ 2行目修正 ・142ページ～ UART特殊モードレジスタ2改訂、SPI 追加 ・157ページ 図JB-2 注1追加 ・165ページ 2行目 「ホールド状態ではリフレッシュ信号は出力されません。」追加 f₃₂-1 BCLK周期 × 32、図XY-3 注1 修正 ・176ページ 表UA-0. P9₁,P9₇の第二周辺出力機能追加 ・178ページ 図UA-6B PS3₁、PS3₇ 修正 ・179ページ 図UA-6C. PSL0₄ 修正 ・180ページ 図UA-6D 機能選択レジスタB3の追加 ・187ページ A-D変換器の注意事項 「(5) f(X_{IN})が10MHzを越える場合は、分周し ADの周波数を10MHz以下にしてくだ 	99.1.18

改定副番	主な改定内容	改定年月日
	さい。」追加 ストップモード、ウエイトモードの注意事項 (2) ...命令から8バイト先読みして “1” にする命令から先読みして ・188ページ DMAの注意事項追加	
	<ul style="list-style-type: none"> ・1ページ 電源電圧 4.0V ~ 5.5V 「マスクROM版」追加 ・6ページ FlashROM 版 フラッシュメモリ版 M30803FGFP 追加 ・8ページ P00 ~ P07の記述追加あり ・9ページ P60 ~ P67の記述追加あり ・10ページ 図1.2.1 M30803FG 追加 ・11ページ 図1.3.1 13個のレジスタ 28個のレジスタ ・18ページ 図1.4.3 (15)DRA M制御レジスタ 0XXX0000 ?XXX??? ・19ページ 図1.4.4 (143)-(147) 00 不定 ・20ページ 図1.5.1 *追加 ・25ページ 図1.6.1 PM07 クロック出力機能選択ビット BCLK出力機能選択ビット、PM1の注 ・35ページ (8)BCLK出力 変更 ・38、39ページ、図1.7.6、1.7.7 (注1)追加 ・40ページ 図1.8.1、図1.8.2 注変更 ・42ページ (1)メインクロック、(2)サブクロック、(3)BCLK 変更 ・43ページ 図1.8.4 CM06 変更 CM1 注2、3変更 ・44ページ 図1.8.5 注2変更 6行目 端子は"L"を出力します。 削除 ・45ページ クロック出力 CM0、CM1の記述追加、表挿入 ストップモード 最後の行変更 ・47ページ ウエイトモード 最後の行 「割り込みルーチンから」追加 表1.8.3 修正 ・48ページ BCLKの状態遷移 変更 ・51ページ 図1.8.7 変更 ・52ページ 文章と図1.8.8 D-A制御レジスタ(039C 16番地) 削除 ・74ページ 監視タイマ 改訂 ・75ページ 図1.10.2 CM0追加 ・131ページ 図1.16.12 U2SMR3、U1SMR3 注2追加 ・147ページ 図1.19.1 上図変更 注2追加 ・153ページ ビット4 オーバフロー アンダフロー ・154ページ 図1.20.3 オーバフロー アンダフロー ・171ページ D-A変換器 4行目追加 ・172ページ 図1.22.2 注1削除 ・176ページ 図1.24.3 追加 ・178ページ 図1.25.1 リセット時の値変更、注4追加 ・180ページ 図1.25.3 注1変更 ・200ページ 表1.26.2、表1.26.3、図1.26.14 CNVss 追加 ・206ページ 表1.28.3 RfCXIN RfXCIN ・25ページ 図1.6.1 プロセッサモードレジスタ1 リセット時 0016 C016 ・38、39ページ 図1.7.6、1.7.7 ・97ページ 図1.13.9 カウント値変更 ・131ページ 図1.16.12 注2 +100 μS ns 	99.4.16

改定副番	主な改定内容	改定年月日
	<ul style="list-style-type: none"> ・ 150 ページ 10行目 文章追加 ・ 181、182 ページ 図1.25.4、1.25.5 タイミング図の横を延ばした ・ 205 ページ ・ 206 ページ 表1.28.3 VT+-VT- 0.8 1.0 lccフラッシュ追加、62mA 72mA ・ 208 ページ 表1.28.7 ・ 214 ページ 表1.28.22 追加 ・ 216 ページ 図1.28.2 ・ 217 ページ 図1.28.3 ・ 218 ページ 図1.28.4 ・ 219 ページ 図1.28.5 ・ 220 ページ 図1.28.6 ・ 221 ページ 図1.28.7 ・ 223 ページ 図1.28.9 ・ 224 ページ以降 3V版削除 	99.4.22
Rev.C1	<ul style="list-style-type: none"> ・ 214 ページ 表1.28.22 th(BCLK-DW)追加 ・ 220 ページ 図1.28.6 th(BCLK-CAS) th(BCLK-DW) ・ 223 ページ 図1.28.9 WR、WRL、WRH(セパレートバス)の波形修正 	99.5.12
Rev.C2	<ul style="list-style-type: none"> ・ 4ページ 表1.1.1 電源電圧、消費電力 「マスクROM版」追加 ・ 18ページ 図1.4.3 (60)タイマB3,4,5 カウント開始フラグの値変更 ・ 19ページ 図1.4.4 フラッシュメモリ制御レジスタ0、1追加 ・ 22ページ 図1.5.3 フラッシュメモリ制御レジスタ0、1追加 ・ 43ページ 図1.8.4 CM0 注5削除 ・ 81ページ 図1.11.5 DMAiメモリアドレスリロードレジスタ DRA2、DRA3のアドレス 000000₁₆ XXXXX₁₆ ・ 181、182 ページ 図1.25.4、1.25.5 下図のD0～D15の波形変更 ・ 185 ページ (6)ブルアップ制御レジスタの記述変更 ・ 206 ページ 表1.28.3 VT+-VT- TB0IN-TB2IN TB0IN-TB5IN, TA2OUT-TA4OUT TA0OUT-TA4OUT ・ 211 ページ 表1.28.19 ・ 212 ページ 表1.28.20 ・ 213 ページ 表1.28.21 ・ 214 ページ 表1.28.22 ・ 216 ページ 図1.28.2 ・ 217 ページ 図1.28.3 ・ 218 ページ 図1.28.4 ・ 219 ページ 図1.28.5 ・ 220 ページ 図1.28.6 ・ 221 ページ 図1.28.7 ・ 223 ページ 図1.28.9 	99.7.8
Rev.C3	<ul style="list-style-type: none"> ・ フラッシュ版追加 	99.9.24
Rev.C4	<ul style="list-style-type: none"> ・ 18ページ 図1.4.3 PM1のリセット値"<u>C0h</u>" "<u>00h</u>" ・ 25ページ 図1.6.1 PM1のリセット値"<u>C0h</u>" "<u>00h</u>" 予約ビット(b6,b7)の設定値"<u>11</u>" "<u>00</u>" ・ 81ページ 図1.11.5 	00.1.24

改定副番	主な改定内容	改定年月日
	<p>DRA2(SVP)のリセット値"000000h" "不定(xxxxxxh)" DRA3(VCT)のリセット値"000000h" "不定(xxxxxxh)"</p> <ul style="list-style-type: none"> 85ページ DMA要求 したがって、DMA要求ビットが"1"でもチャンネル転送モード選択ビットが"00"の場合は、DMA要求は受け付けられません。 したがって、DMAi要求ビットが"1"でもチャンネル転送モード選択ビットが"00"の場合は、DMA要求は受け付けられません。<u>その場合、DMAi要求ビットはクリアされます。</u> 85ページ 内部要因 DMA要求ビットが"0"にクリアされるタイミングは、DMA転送開始でクリアされます。また、DMAi要求ビットは、プログラムによりクリアすることもできます。プログラムによりクリアする場合は、必ずDMA禁止状態にしてから行ってください。 DMA要求ビットが"0"にクリアされるタイミングは、DMA転送開始でクリアされます。また、DMA転送不可状態(チャンネル転送モード選択ビットが"00"、DMAi転送力ウントレジスタが"0")でもクリアされます。 85ページ 外部要因 外部要因選択時にDMA要求ビットがクリアされるタイミングは、内部要因によるDMA要求ビットのクリア同様、DMA転送開始時にクリアされます。また、DMAi要求ビットはプログラムによりクリアすることもできます。プログラムによりクリアする場合は、必ずDMA禁止状態にしてから行ってください。 外部要因選択時にDMA要求ビットがクリアされるタイミングは、内部要因によるDMA要求ビットのクリア同様、DMA転送開始時、およびDMA転送不可状態でクリアされます。 208ページ タイミング必要条件 $t_{ac4}(CAS-DB) = \frac{10^9 \times n}{f(BCLK)} - 35[ns]$ $t_{ac4}(CAS-DB) = \frac{10^9 \times n}{f(BCLK) \times 2} - 35[ns]$ 223ページ 図1.28.9 メモリ拡張モードおよびマイクロプロセッサモード(ウエイトありの場合のみ有効)で、WR、WRL、WRH(セパレートバス)タイミングの立ち上がりが不正 	
Rev.D	<ul style="list-style-type: none"> 1ページ、5ページ 表1.1.1 メモリ容量 ROM 128Kバイト ROM展開の図を参照してください。 RAM 10K 10K、20Kバイト 電源電圧 4.2V ~ 5.5V(f(XIN)=20MHz時)フラッシュメモリ版 追加 2.7V ~ 5.5V(f(XIN)=10MHz時)マスクROM版、フラッシュメモリ版 追加 割り込み ソフトウェア4要因 5要因 DMAC...4チャンネル(スタート条件:24要因) 31要因 2、3ページ 図1.1.1、1.1.2 注1追加 6ページ 図1.1.4、表1.1.2 M30803MG-XXXFP/GP 追加 7ページ 図1.1.5 ROM容量 G:256Kバイト 追加 8ページ 	00.3.27

改定副番	主 な 改 定 内 容	改定年月日
	<p>CNVss シングルチップモード時およびメモリ拡張モード時はVss端子に接続してください。マイクロプロセッサモード時はVcc端子に接続してください。 リセット解除後、シングルチップモード(メモリ拡張モード)で動作を開始する場合Vss端子に、マイクロプロセッサモードで動作を開始する場合Vcc端子に接続してください。</p> <p>BYTE シングルチップモード時は、Vss端子に接続してください。 外部バスを使用しない場合は、・・・</p> <p>P00~P07 ただし、設定により入出力ポートとして使用できるポートは、プルアップ抵抗有無の設定ができます。 追加</p> <ul style="list-style-type: none"> ・9ページ P50~P57 シングルチップモード時 削除 ・10ページ 図1.2.1 M30803FG M30803MG/FG ・20~23ページ 図1.5.1~1.5.4 (何も配置されていない領域は全て予約領域です。使用できません。) 追加 ・23ページ 図1.5.4 注2追加 ・26ページ 図1.6.2 プロセッサモードレジスタ1に変更 ・30ページ 表1.7.4 ・34ページ 図1.7.3 注1追加 ・38、39ページ 図1.7.6、1.7.7 チップセレクトの波形 注1変更、注3追加 ・42ページ 7行目 追加 メインクロック停止時(0006₁₆番地のビット5="1")、およびストップモード移行時(0007₁₆番地のビット0="1")メインクロック分周レジスタ(000C₁₆番地)は8分周モードになります。 ・42ページ (3)BCLK ストップモードへの移行時、メインクロック停止時およびストップモードへの移行時、 ・43ページ 図1.8.4 システムクロック制御レジスタ0 注6変更、注7、8追加 システムクロック制御レジスタ1 注4追加 ・44ページ 図1.8.5 注2 変更 ・48ページ 5行目 ストップモードへの移行時およびリセット時、メインクロック分周レジスタ・・・ ストップモードへの移行時、リセット時およびメインクロック停止時にはメインクロック分周レジスタ・・・ (12) 低消費電力モード 追加 メインクロックを停止させると、メインクロック分周レジスタ(000C₁₆番地)は8分周モードになります。 ・51ページ 図1.8.7 ストップモード、ウェイトモードの遷移図 注3、4追加 ・52ページ 9行目追加 ・54ページ オーバーフロー割り込み CMPX追加 ・55ページ 周辺I/O割り込み (1) バス衝突検出、スタート/ストップコンディション検出割り込み(UART2、UART3、UART4) 変更 ・57ページ 可変ベクタテーブル 追加 INTBIに設定するベクタテーブルの先頭番地は偶数番地をにしてください。偶数番地を指定した方がメモリアクセスの効率がよくなります。 ・58ページ 表1.9.3 スタート、ストップコンディション スタート/ストップコンディション検出 ・58ページ 表1.9.3、68ページ 図1.9.8 	

改定副番	主 な 改 定 内 容	改定年月日
	<p>ソフトウェア割り込み番号40、41 障害エラー 追加</p> <ul style="list-style-type: none"> ・71ページ アドレス一致割り込み 追加 アドレス一致割り込みレジスタには命令の先頭番地を設定してください。命令の途中やテーブルデータ等の番地を設定した場合、アドレス一致割り込みは発生しません。また、割り込みルーチンの先頭の命令もアドレス一致割り込みは発生しません。 ・72ページ (4) 外部割り込み ・74ページ 図1.10.1 ・76ページ DMAC 2行目 DMACは転送要求が発生するごとに転送元番地の1データ(8ビット/16ビット)を転送先番地へデータ転送する機能です。 追加 12行目 追加 DSA2、DSA3はレジスタバンク指定フラグ(Bフラグ)を"1"にしてLDL命令を使用し、SB、FBレジスタに設定してください。 14行目 LDL命令 LDC命令 図1.11.1 変更 ・77ページ 表1.11.1 転送空間 (16Mバイト空間) 追加 ・78ページ 図1.11.2 注6 OR命令 OR命令等 ・80ページ 図1.11.4 DRCi 転送カウンタ 転送カウントレジスタ ・81ページ 図1.11.5 DMAi、DSAi、DRAi 転送番地指定領域 "(16Mバイト空間)"追加 DRAi メモリアドレスカウンタ メモリアドレスレジスタ ・88ページ 図1.12.2 タイマA タイマB2オーバーフロー(タイマAのカウントソースへ) ・93ページ 表1.13.2 カウントソース、TB2のオーバーフロー、TAjのオーバーフロー TB2のオーバーフローおよびアンダフロー、TAjのオーバーフローおよびアンダフロー ・95ページ 図1.13.7 二相パルス信号処理を使用する場合 注3 追加 ・102ページ 図1.14.3 TBSR リセット時の値 00₁₆ 000XXXXX₂ b4-b0 読み出した場合"0" 不定 ・104ページ 表1.14.2 カウントソース、TBiのオーバーフロー TBiのオーバーフローおよびアンダフロー ・124ページ 図1.16.5 UiTB 注1 削除 ・126-127 ページ 図1.16.7、1.16.8 CRD 変更 ・128、129 ページ 図1.16.9、10 UARTi送受信制御レジスタ1、2 無効 "0"に固定してください。 ・130ページ 図1.16.11 SDHI 許可 禁止 ・144ページ CTS/RTS 分離機能(UART0)変更 ・146ページ 表1.19.1 "その他の設定項目"に追加 ・147ページ 図1.19.1 上図 パリティエラーが発生したためTxD2より“L”レベルが返ってくる パリティエラーが発生したためSIMカードより… ・149ページ 図1.19.4 注1追加 ・150ページ 表1.20.1 注1 LSBファースト MSBファースト 注3 変更 ・156ページ 図1.20.4 4~5サイクル 3~6サイクル ・163、165-169 ページ 図1.21.2- 図1.21.8 ADCON1 注2-6追加 ・170ページ 14、23行目追加 ・171ページ 5行目 追加 	

改定副番	主 な 改 定 内 容	改定年月日
	<ul style="list-style-type: none"> ・ 172 ページ 図1.22.3 注3 D-A制御レジスタ D-Aレジスタ ・ 176 ページ 図1.24.3 ・ 178 ページ 図1.25.1 注1の位置変更 ・ 178 ページ DRAMコントローラ 10行目追加 ・ 179 ページ 図1.25.2 注1 変更 ・ 184 ページ (1)方向レジスタ、(2)ポートレジスタ、(4)機能選択レジスタBに文章追加 ・ 189 ページ 図1.26.4 ポートPi方向レジスタ 注2追加 ・ 190 ページ 図1.26.5 ポートPiレジスタ 注1、2追加 ・ 191 ページ 表1.26.1 注2追加 ・ 192 ページ 図1.26.6 機能選択レジスタA1 注1追加 ・ 194 ページ 図1.26.8 機能選択レジスタB1 注2追加 ・ 195 ページ 図1.26.9 機能選択レジスタB3 PSL3_3 - PSL3_6 変更 注1 追加 ・ 196 ページ 図1.26.11 ブルアップ制御レジスタ0/1 注1追加 ・ 197 ページ 図1.26.13 注追加 ・ 200 ページ A-D変換器の注意事項 (6)追加 ・ 203 ページ ストップモード、ウェイトモードの注意事項 全クロック停止ビット 全クロック停止制御ビット 割り込み注意事項 (1)7行目 追加 ノイズに関する注意事項 追加 ・ 203 ページ スタックポイントの設定 偶数番地を指定した方が効率がよくなります。 偶数番地を指定した方がメモリアクセスの効率がよくなります。 ・ 204 ページ 消費電力を小さくする場合の注意事項 追加 ・ 207 ページ 表1.28.3 VT+ - VT- SCL2-SCL4, SDA2-SDA4 追加 ・ 208 ページ 表1.28.5 注1変更 ・ 209 ページ 表1.28.7 注1 th(CAS-DB)追加、tac4(CAS-DB)の式変更 ・ 215 ページ 表1.28.22 DW出力遅延時間 データ出力遅延時間 DW出力保持時間 データ出力保持時間 tRPの式変更 ・ 217 ~ 220 ページ 図1.28.2 ~ 1.28.5 WR、WRL、WRHのtw(WR)追加、th(BCLK-DB)削除 ・ 219、220、222、223、225 ページ 図1.28.4、1.28.5、1.28.7、1.28.8、1.28.10 追加 ・ 220、226 ページ 図1.28.9、1.28.11 DBのth(BCLK-DB) -5ns.min -7ns.min ・ 227 ページ 図1.28.12 リフレッシュタイミング(セルフリフレッシュ)のRASのタイミング ・ 230 ページ 3V電特追加 ・ 246 ページ 表1.29.1 データ保持 追加 ・ 247 ページ 図1.29.2 パッケージの種類 144P6Q 144P6Q-A ・ 248 ページ フラッシュメモリ 5行目から変更 ・ 250 ページ 機能概要 24行目(パラレル…機能)。 削除 ・ 269 ページ 標準シリアル入出力モード 26行目 外部装置 外部装置(ライター) ・ 284 ページ 2、3行目、図1.31.21ライター 外部装置(ライター) 	
Rev.D1	<ul style="list-style-type: none"> ・ ヘッダの「開発中」削除 ・ 6ページ 表1.1.2 マスクROM版の開発中のマーク削除 ・ 電源電圧 4.0V 4.2V ・ 電気的特性 Ta=25 Topr=25 ・ 206 ページ 表1.28.2 注5削除 ・ 207 ページ 表1.28.3 Icc変更 ・ 230 ページ 表1.28.23 VolのXOUT IOL=1mA 0.1mA、IOL=0.5mA 50 μA Iccの記述 	00.4.13

改定副番	主な改定内容	改定年月日
	・ 238 ページ 表1.28.42 追加	
Rev.D2	・ 5 ページ 表1.1.1 消費電流マスクROM版 マスクROM128KB版 ・ 230 ページ lcc 電源電流 f(XCIN)=32KHz フラッシュ版 3.5 μ A 3.5mA	00.4.25
Rev.D3	<ul style="list-style-type: none"> ・ 43 ページ 図1.8.4 システムクロック制御レジスタ0の注追加 ・ 44 ページ 4行目 注1 追加 ・ 45 ページ 表1.8.2 注1 追加 ・ 71 ページ 8行目 また、割り込みルーチンの先頭の命令もアドレス一致割り込みは発生しません。 削除 ・ 73 ページ (6) アドレス一致割り込みの注意事項 追加 ・ 79 ページ 図1.11.2 注の修正 ・ 87 ページ 注意事項追加 ・ 131 ページ 図1.16.11 ビット7 IICモード選択時、必ず“1”に設定してください。 ・ 152 ページ 図1.20.1 ビット7 IICモード選択時、必ず“1”に設定してください。 ・ 181 ページ 7行目から変更 ・ 205 ページ 割り込みの注意事項 (3)アドレス一致割り込みの注意事項 追加 ・ 206 ページ DMACの注意事項 (2) 追加 ・ 207 ページ CLKOUT端子使用時の注意事項 追加 ・ 210 ページ 表1.28.3 「lccのクロック停止時 Topr=25」 変更 ・ 212 ページ 表1.28.6 外部クロック"H"、"L"パルス幅22 20 外部クロック立ち上がり、立ち下がり時間10 5 ・ 215、216 ページ 表1.28.19、20 th(BCLK-DB)削除、tw(WR)追加 ・ 218 ページ 表1.28.22 th(BCLK-DB)-5 -7 ・ 233 ページ 表1.28.23 「lccのクロック停止時 Topr=25」 変更 ・ 235 ページ 表1.28.27 th(CAS-DB) 追加 ・ 238、239 ページ 表1.28.39、40 tw(WR)追加、th(BCLK-RD)0 -3 ・ 240 ページ 表1.28.41 td(AD-ALE)=$10^9/(f(BCLK)X2)-20$ $10^9/(f(BCLK)X2)-27$ ・ 241 ページ 表1.28.42 th(BCLK-CAS)0ns -3ns ・ 242 ページ 図1.28.15 tac1(RD-DB) min max、tac1(AD-DB) min max ・ 243 ページ 図1.28.16 tac2(RD-DB) min max、tac2(AD-DB) min max ・ 244、255 ページ 図1.28.17 2ウエイト、図1.28.18 3ウエイト 追加 ・ 246 ページ 図1.28.19 tac3(AD-DB) 追加、tsu(DB-RD) tsu(DB-BCLK)、th(BCLK-RD)0ns -3ns、 td(AD-ALE)=(tcyc/2-20)ns ...-27)ns ・ 247 ページ 図1.28.20 追加 ・ 248、249 ページ 図1.28.21、1.28.22 追加 ・ 250 ページ 図1.28.23 th(BCLK-DB) th(CAS-DB) ・ 251 ページ 図1.28.24 td(DB-CAS) tsu(DB-CAS)、th(BCLK-CAS) th(BCLK-DB) ・ 252 ページ 図1.28.25 td(CAS-RAS) tsu(CAS-RAS) ・ 255 ページ 表1.29.1 電源電圧 計画中 削除 プログラム/イレーズ電圧 f(XIN) f(BCLK)、2.7V ~ 5.5V 削除 	00.5.27
Rev.E	<ul style="list-style-type: none"> ・ 100 ピン版に144 ピン版を加えた ・ 1、6 ページ 電源電圧 ROM外付け版 追加 ・ 7 ページ (3)パッケージ 144P6Q 144P6Q-A ・ 21 ページ 図1.4.4 (111)機能選択レジスタC 0016 0XXXXXX0 (119)機能選択レジスタB3 ?0000??? 00000X0X 202 ページの図1.26.11、1.26.12のリセット時の設定も同様 ・ 24 ページ 図1.5.3 フラッシュメモリ選択レジスタ0/1 フラッシュメモリ制御レジスタ0/1 	00.10.13

改定副番	主な改定内容	改定年月日
	<ul style="list-style-type: none"> ・ 28ページ 図1.6.2 プロセッサモードレジスタ1(注1)：マスクROM版：…マスクROM版、ROM外付け版 注5追加 ・ 29ページ 図1.6.3 外部領域0～3追加 ・ 34ページ 追加 ・ 37ページ 図1.7.4 RDY信号の入力受付は～1サイクル目から入力してください。RDY信号の入力受付タイミングは～1サイクル目です。 ・ 46ページ 図1.8.4 システムクロック制御レジスタ0 CM0の機能部分内容変更 注10、11追加 ・ 48ページ 下から4行目 ハードウェアリセットのみで～必ず“1”を設定してください。追加 ・ 49ページ 表1.8.4 CS0～CS3 CS0～CS3, BHE WR, BHE, WRL, WRH, W, CASL WR, WRL, WRH, DW, CASL ・ 52ページ 表1.8.6 CM0i: クロック制御レジスタ0～ビットi, MCDi: メインクロック分周～ビットi 追加 ・ 60ページ エミュレータ専用割り込みベクタテーブル (000020₁₆番地～000023₁₆番地) (000020₁₆番地～000022₁₆番地) ・ 69ページ 割り込み優先順位 「ただし、割り込み優先レベルが同じ設定値の場合は、一番最初に要求がきた割り込みを最初に受け付け、それ以降はハードウェアで設定されている優先度の高い割り込みが受け付けられます。」下線削除 ・ 76、77ページ 割り込みルーチンで割り込み制御レジスタを書き換える場合は…以降追加 ・ 78ページ 下から3行目 ストップモード時、ウェイトモード時、およびホールド状態時、監視タイマおよびプリスケアラは停止し、解除すると保持された値からカウントします。追加 ・ 79ページ 図1.10.2 注8、9追加 ・ 85ページ 図1.11.5 DMAiメモリアドレスレジスタ、DMAiSFRアドレスレジスタ 注2 固定アドレス メモリ (固定アドレス メモリ)、メモリ 固定アドレス (メモリ 固定アドレス) ・ 94ページ 図1.13.3 タイマAiレジスタ 注2～注4追加 パルス幅変調モード(8ビットPWM)設定可能値 変更、アップダウンフラグ注1追加 ・ 97ページ 図1.13.6 変更 ・ 98ページ 表1.13.3 注2追加 通常処理動作 通常処理動作(タイマA2、タイマA3)、4通倍処理動作 4通倍処理動作(タイマA3、タイマA4) ・ 99ページ 図1.13.7 タイマAiモードレジスタ(二相パルス処理を使用しない場合)注2 タイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。追加、注3変更、注4削除 ・ 109ページ 注1 リセット時は不定です。追加 ・ 112ページ 図1.15.2 短絡防止タイマ 注1追加、タイマB2割り込み発生頻度設定カウンタ 注3追加 ・ 113ページ 注2、注3追加 ・ 114ページ 三相波形モード 三相PWM出力モード ・ 128ページ 図1.16.5 UARTi転送速度レジスタ 注2追加 ・ 128ページ 図1.16.5 UARTi送信バッファレジスタ、UARTi転送速度レジスタ 注1追加 ・ 129ページ 図1.16.6 UARTi送受信モードレジスタ CKDIRに注2追加 ・ 133ページ 図1.16.10 UART送受信制御レジスタ 注1削除 ・ 136ページ 注2、143ページ 注3 受信割り込み要求ビットは“1”になりません。受信割り込み要求ビットは変化しません。 ・ 145ページ 図1.18.1 送受信モードレジスタ(i=0, 1) 注1追加、送受信モードレジスタ 	

改定副番	主な改定内容	改定年月日
	<p>(i=2~4) 注2追加</p> <ul style="list-style-type: none"> ・ 157 ページ 14行目 UART2受信バッファレジスタ1(033F₁₆番地)のビット3に UART2受信バッファレジスタ(033E₁₆番地)のビット11に ・ 161 ページ <TxDi、RxDi選択(マスタモード)の場合> STxDi、SRxDi、CLKiの各端子は、TxDi、RxDi、CLKiの各端子は、使用上の注意事項 ・ 165 ページ 表1.21.1 絶対精度 変更 ・ 170 ページ 表1.21.3 A-D変換値の読み出し(常時読み出し可能) 追加 ・ 173 ページ 表1.21.6 入力端子 AN₀~AN₇ 追加 ・ 182 ページ 下から2行目 ダミーサイクルに必要な時間は ダミーサイクルに必要な処理は ・ 189 ページ 2行目 100ピンではP₀~P₉(P₈₅は除く) 100ピンではP₀~P₁₀(P₈₅は除く) ・ 189 ページ 18行目 26行目、194 ページ ポートPi方向レジスタ 注2、196 ページ ポートPiレジスタ 注1 アドレスバスやデータバスなどのバス制御 A₀~A₂₂、A₂₃、D₀~D₁₅、MA₀~MA₁₂、CS₀~CS₃、WRL/WR/CASL、WRH/BHE/CASH、RD/DW、BCLK/ALE/CLKOUT、HLDA/ALE、HOLD、ALE/RAS、RDY ・ 207 ページ タイマAの注意事項(イベントカウンタモード) (3)追加、タイマAの注意事項(ワンショットタイマモード) 元(2) (3)、(2)、(4)追加 ・ 209 ページ タイマBの注意事項(パルス周期測定/パルス幅測定モード) (3)追加 ・ 212 ページ (2) NM_i割り込み NM_i端子は、入力専用のP₈₅と兼用~使用してください。NM_i端子に入力する信号は~必要です。追加、(3) アドレス一致割り込みの注意事項 割り込みルーチンで割り込み制御レジスタを書き換える場合は...以降 追加、(4) 外部割り込み、(5) 割り込み制御レジスタの変更 追加 ・ 215、216 ページ HOLD信号使用の注意事項、DRAMコントロールの注意事項 追加 ・ 217 ページ レジスタ設定時の注意事項 追加、マイクロプロセッサモード時およびマイクロプロセッサモードからメモリ拡張モード、シングルチップモードへの遷移後の注意事項 追加 ・ 219 ページ 注2 80mA - 80mA ・ 220 ページ 表1.28.3 クロック停止時 Ta Topr、注2 追加 ・ 220、243 ページ 表1.28.3、表1.28.23 I_{cc} 電源電流 ROMレス版 追加、クロック停止時 Ta Topr ・ 242、264 ページ 図1.28.14、図1.28.27 注1 削除 ・ 243 ページ 表1.28.23 クロック停止時のマスクROM256KB版: 2.0uA 1.0uA、注1 注2 追加 ・ 250 ページ 表1.28.41 th(BCLK-RD):最小0ns - 3ns ・ 251、258~262 ページの表1.28.42、図1.28.21~1.28.25 th(BCLK-CAS):-3ns 0ns ・ 251、259、261 ページの表1.28.42、図1.28.22、1.28.24 th(BCLK-DW):0ns -3ns ・ 266 ページ 表1.29.2 M30805FGGP RAM容量 24Kバイト 20Kバイト ・ 270 ページ 図1.30.1 フラッシュメモリ制御レジスタ0 注1 また、NM_i端子が“H”の状態で行ってください。追加 ・ 273 ページ (3) ユーザROM領域のFFC000 16番地~を使用することを推奨します。削除、(7)(8) 追加 ・ 285 ページ 注1 追加 ・ 287 ページ 追加 ・ 290、299 ページ 表1.31.1、表1.31.5 注2 1データ データ1 ・ 291 ページ 図1.31.3 リードアレイ時のタイミング ページリード時のタイミング ・ 300、313 ページ 図1.31.17、図1.31.37 アドレスの順番入れ替え ・ 319 ページ 144P6Q-A 版 追加 	

改定副番	主 な 改 定 内 容	改定年月日
Rev.E1	<ul style="list-style-type: none"> ・ 76、213 ページ 追加処理内容 mov.w 6[SP],R0 ; スタック上のFLG読み出し mov.w 6[SP],R0 ; スタック上のFLG読み出し(高速割り込みの場合はstc SVF,R0) ・ 93、96、97、99、102、103 ページ 図1.13.2、1.13.5 ~7、1.13.10、1.13.11 ビットシンボルMR0 R/W - - ・ 225、226 ページ RD信号出力遅延時間 18 10 ・ 230 ~ 233 ページ 読み出しタイミング td(BCLK-RD) 18 10 ・ 245 ページ 表1.28.27 tac1(RD-DB) = . . .、tac1(RD-DB) = . . . -55[ns] -42[ns] ・ 248、249 ページ RD信号出力遅延時間 25 10 ・ 252 ~ 255 ページ 読み出しタイミング td(BCLK-RD) 25 10、*2:. . . tac1(RD-DB) = . . . -55[ns] -42[ns] ・ 269 ページ 20行目 “1” を設定するためには、“0” 書き込みと “1” を設定するためには、“NMI端子が“H”の状態”で“0”書き込みと ・ 271 ページ 図1.30.2 注2 このビットへの書き込みは、内蔵フラッシュメモリ以外の領域のプログラムで行ってください。また、NM端子が“H”の状態で行ってください。 追加 ・ 273 ページ (3)使用禁止割り込み 4行目、5行目 各割り込み発生時にフラッシュメモリの動作を強制的にリードアレイに変更するので 各割り込み発生時に強制的にCPU書き換えモード選択ビットを“0”通常モードに変更するので 7行目 再度、消去/プログラム 再度、CPU書き換えモード選択ビットを“1”に設定し消去/プログラム (6)アクセス方法 CPU書き換えモード選択ビットへの書き込みはNM端子が“H”の状態で行ってください。追加 	00.12.22
Rev.E2	<ul style="list-style-type: none"> ・ 27 ページ 図1.6.1 に注8を追加 ・ 38 ページ 表1.7.8 プログラマブル入出力ポートにP11 ~ P15 を追加 ・ 76、213 ページ 割り込みルーチン内で割り込み制御レジスタを書き換える場合は . . . <u>割り込みからの復帰命令でアドレス一致割り込みレジスタに設定 . . . あてはまります。</u>したがって、割り込みルーチン内で割り込み制御レジスタを書き換える場合は . . . <u>部分追加</u> ・ 87 ページ 図1.11.6 図中のデータバスのタイミングを変更 ・ 88 ページ 表1.11.2 係数j, k マルチプレクスバスを2ウエイトと3ウエイトに分ける ・ 89 ページ 図1.11.7 図中のバス権獲得のタイミングを変更 ・ 183 ページ 図1.25.2 注3 追記 ・ 207 ページ タイマAの注意事項(ワンショットタイマモード)の(2) ~ TAI_n端子トリガ出力から ~ ~ TAI_n端子トリガ入力から ~ ・ 209 ページ A-D変換器の注意事項(6)、211 ページ 表1.27.1、表1.27.2 参考値 追加 ・ 212 ページ (1)スタックポインタの設定 “0000 16” “000000 16” (2)NMI割り込み NMI割り込みは、割り込みを禁止することが . . . NM端子は抵抗を介してVccに <u>部分追加修正</u> ・ 215 ページ DMACの注意事項の(3) 「DMA許可まで2命令以上を必要」を記載している括弧の位置を変更 ・ 217 ページ フラッシュメモリ版の注意事項を追加 ・ 227 ページ タイミング(Vcc=5V) td(AD-ALE)のタイミング変更 ・ 234 ページ 図1.28.6 td(AD-ALE)のタイミング変更 ・ 235 ページ 図1.28.7 td(AD-ALE)のタイミング変更 	01.4.16

改定副番	主な改定内容	改定年月日
Rev.E3	<ul style="list-style-type: none"> ・7ページ 図1.1.5、表1.1.2 に製品追加。 ・8ページ 形名情報にBL(ブートローダ内蔵)を追加。 ・173ページ 図1.21.8 SCAN0 の機能説明内容修正。 単掃引、繰り返し掃引モード0選択時 単掃引、繰り返し掃引モード1選択時 ・218ページにブートローダ内蔵ROM外付け版の書き換えプログラム作成時の注意事項を追加。 ・319ページに「付録 ブートローダ」を追加。 	01.8.8
Rev.1.0	<ul style="list-style-type: none"> ・4ページ 図1.3 144ピン版のピン接続図(上面図) XOUTが入出力になっている。 XOUTを出力とする。 ・12ページ 図2.1 M30800S、M30803S 追加。 M30802SFC M30802S 変更 M30805SFG M30805S 変更 ・18ページ 図4.1、図4.2を修正。 ・20ページ タイマB3モードレジスタのリセット時の値修正。 00?X0000 00??0000 ・20ページ 三相出力バッファレジスタ0、1のリセット時の値修正。 0016 3F16 ・21ページ タイマB0モードレジスタのリセット時の値修正。 00?X0000 00??0000 ・21ページ UART送受信制御レジスタ2のリセット時の値修正。 X0000000 X0XX0000 ・21ページ フラッシュメモリ制御レジスタ1のリセット時の値修正。 ????0?? ????0??? ・21ページ 注2. このレジスタは144ピンリ版にのみ存在します。 下線部を削除。誤記修正。 ・26ページ ソフトウェアリセットに「ソフトウェアリセットはメインクロックの発振が十分安定している状態で実施してください」の文を追加。 (1)プロセッサモードの種類、(2)各モードの設定 の記述(表現)を修正。 ・27ページ プロセッサモードレジスタ0機能説明変更 10:使用禁止 10:設定しないでください。 ・46ページ、79ページ 注9の説明を変更。 CM04と同時に書き換えないでください。 削除。 なお、このビットはCM04またはCM05と同時に書き換えないでください。 追加 ・48ページ ストップモード説明変更 ストップモード解除に使用しない割込の優先レベルを0にしてからストップモードに移行してください。 追加 ストップモードの解除にハードウェアリセットおよび…ストップモードに移行してください。 追加 ・50ページ ウェイトモード説明変更 ウェイトモード解除に使用しない割込の優先レベルを0にしてからウェイトモードに移行してください。 追加 ウェイトモードの解除にハードウェアリセットおよび…ウェイトモードに移行してください。 追加 ・54ページ 図8.7 状態遷移図 CM07="1"、CM05="1"の矢印を削除。 ・70ページ 割り込み要求受付CLK部へ 割り込み要求レベル判定結果出力 (クロック発生回路へ) に変更。 	05.5.16

改定副番	主な改定内容	改定年月日
Rev.1.0	<ul style="list-style-type: none"> ・72ページ 図9.10 キー入力割り込みのブロック図 キー入力割り込み禁止ビットを追加。 ・74ページ (2)NMI割り込み NMI端子に入力する信号には、CPUの動作クロック～が必要です。を、 NMI端子に入力する信号の"L"レベル幅～にしてください。に変更。 ・75ページ (5)割込制御レジスタの変更 割り込み制御レジスタの…以下の命令を使用してください。 対象となる命令…MOV 追加。 ・78ページ 監視タイマ 監視タイマは、プログラムの暴走を検知する機能を持ちます。を、 監視タイマは、プログラムの暴走を検知する機能です。に変更。 ・78ページ 監視タイマ したがって、システムの信頼性向上のために～お奨めします。を追加。 ・90ページ 2命令以上 26サイクル以上 に変更。 プログラム例を変更。 ・90ページ (4)DMA転送開始の推奨手順 の追加。 ・91ページ (5)DMA転送終了の推奨手順 の追加。 ・92ページ タイマ 各タイマのカウントソースは～動作クロックになります。を追加。 ・92ページ 図12.1 タイマA構成 の誤記修正。 ワンショットモード ワンショットタイマモード ・95ページ アップダウンフラグに注2を追加。 ・95ページ 図13.3 タイマAiレジスタ(FFFF FFFE に変更) ・99ページ TAIiN端子、TAiOUT端子の仕様を変更。 二相パルス入力(対応する機能選択レジスタAを入出力ポートとし、ポート方向レジスタは"0"にする。) ・103ページ、104ページ タイマAiモードレジスタの誤記修正 イベント/トリガ選択レジスタ イベント/トリガ選択ビット ・106、108～110ページ タイマBiモードレジスタの記述漏れ追加 031B₁₆～031D₁₆番地のリセット時の値 00XX0000₂ を追加。 ・106ページ タイマBiモードレジスタの動作モード選択ビットの記述を変更 11:選択禁止 11:設定しないでください ・109ページ TBIiN端子機能に、「プログラマブル入出力ポートまたはカウントソース入力(対応する機能選択レジスタAを入出力ポートに設定) を追加。 カウント極性選択ビットの記述を変更 11:選択禁止 11:設定しないでください ・110ページ 割り込み要求発生タイミング、図14.6の注1.を変更 タイマBiオーバフローフラグは…"0"になります。 カウント開始フラグが"1"の状態…"0"になります。 ・112ページ 図15.1 注5.INV00～INV02、INV06ビットは、タイマA1、A2、A4、B2が停止中に書き換えてください。を追加。 ・113ページ 三相出力バッファレジスタ0,1のレジスタ読み出し時の" "を"注1"に変更。 タイマB2割り込み発生頻度設定カウンタに 注4. このレジスタの設定は三相PWM制御レジスタ…のみ有効です。を追加。 ・113ページ 三相出力バッファレジスタ0,1のリセット時の値を修正。 00₁₆ 3F₁₆ ・114ページ タイマAi-1レジスタに 注2. タイマB2のオーバフローが発生する…行わないでください。を追加。 	05.5.16

改定副番	主な改定内容	改定年月日
Rev.1.0	<ul style="list-style-type: none"> ・ 125 ~ 126 ページ 図16.1、16.2 $\overline{\text{CTS/RTS}}$ 禁止をVccからVssに変更。 ・ 129 ページ UARTi受信バッファレジスタのビットb9に「なにも配置されていない」への縦線を追加。 ・ 130 ~ 132 ページ 使用禁止 設定しないでください に変更。 ・ 134 ページ UART送受信制御レジスタ2のリセット時の値を X0000000 X0XX0000 に変更。 ・ 136、163 ページ デジタル遅延値設定ビットを <ul style="list-style-type: none"> 001:1/f(XIN)の1~2サイクル 010:1/f(XIN)の2~3サイクル 011:1/f(XIN)の3~4サイクル 100:1/f(XIN)の4~5サイクル 101:1/f(XIN)の5~6サイクル 110:1/f(XIN)の6~7サイクル 111:1/f(XIN)の7~8サイクル に変更。 ・ 148 ページ 図18.2 送信割り込み要求ビットのタイミングを変更。 ・ 150 ページ 図18.5 /P P に変更。 ・ 152 ページ 図19.1 送信バッファ空フラグ、信号線レベルのタイミングを変更。 ・ 153 ページ パリティエラー信号出力機能 <ul style="list-style-type: none"> エラー信号出力許可ビット…の内容が"1"のとき、 受信時、エラー信号出力許可ビット…が"1"のとき に変更。 この機能に連動して…信号検出タイミングに変化します。 削除。 ただし、パリティエラー信号出力中に…TxDi出力も"H"に戻ります。 追加。 また、送信時、エラー信号出力許可ビット…検出することができます。 追加。 ・ 156 ページ 図20.1 STAC STC に変更。 ・ 160 ページ ボーレートジェネレータ UARTi転送速度レジスタ に変更。 ・ 160 ページ 変化すればボーレートジェネレータのカウントを停止し、 変化するとカウントを停止し、 に変更。 ・ 160 ページ UART2特殊モードレジスタ2 (0336₁₆番地) UARTi特殊モードレジスタ2 (0336₁₆、0326₁₆、02F6₁₆番地)、SCL2 SCLi、SDA2 SDAi、UART2 UARTi に変更。 ・ 161 ページ UART2特殊モードレジスタ3 (0335₁₆番地) UARTi特殊モードレジスタ3 (0335₁₆、0325₁₆、02F5₁₆番地)、SDA2 SDAi に変更。 ・ 176 ページ D-A変換時の誤記修正。 <ul style="list-style-type: none"> 機能選択レジスタA 機能選択レジスタA3 ・ 193 ページ P74,P75,P80を、(破線枠内あり)に移動。 ・ 208 ページ タイマ注意事項 <ul style="list-style-type: none"> (1) タイマAiレジスタおよびタイマBiレジスタはリセット後不定です。使用するタイマAiレジスタ、タイマBiレジスタに値を設定してからカウントを開始してください。 追加。 ・ 209 ページ (5) カウント開始条件に外部トリガ入力を選択している場合、タイマAのカウント値が“0000h”になる前300nsの間に外部トリガを再入力しないでください。を追加。 ・ 210 ページ タイマB(パルス周期測定/パルス幅測定モード)に、 <ul style="list-style-type: none"> (4)カウント開始フラグが"1"の状態で…"0"になります。 を追加。 	05.5.16

改定副番	主 な 改 定 内 容	改定年月日
Rev.1.0	<p>・ 210 ページ (2)WAITと(3)STOP に分割。</p> <p>(2) ウェイトモードに移行する場合、命令キューは、WAIT命令から先読みしてプログラムが停止します。したがってWAIT命令にする命令の後にはNOPを最低4つ入れてください。</p> <p>(3) ストップモードに移行する場合、命令キューは全クロック停止制御ビットを“1”にする命令から先読みして、プログラムが停止し、先読みされた命令がストップモードからの復帰用割り込みルーチンより先に実行されます。したがって全クロック停止制御ビットを“1”にする命令の後には次のようにjmp.B命令を入れてください。</p> <pre> bset 0,prcr ; プロテクト解除 bset 0,cm1 ; 全クロック停止(ストップモード) jmp.b LABEL_001 ; jmp.b 命令実行(jmp.b とラベルの間には命令を LABEL_001: ; 入れないで、直ぐ次の命令へジャンプする) nop ; nop(1) nop ; nop(2) nop ; nop(3) nop ; nop(4) mov.b #0,prcr ; プロテクト設定 . . . </pre> <p>・ 211 ページ ストップモード、ウェイトモードの注意事項 追加。</p> <p>(4) 次の手順でストップモードへ移行してください。</p> <ul style="list-style-type: none"> ・ 初期設定での処理 <ul style="list-style-type: none"> 復帰用優先レベル(RLVLレジスタのRLVL2~RLVL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。 ・ ストップモード移行前の処理 <ul style="list-style-type: none"> [1] ストップモードからの復帰にする割り込みの割り込み優先レベルを設定する [2] ストップモードからの復帰に使用しない割り込みの割り込み優先レベルを設定する [3] IPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する (復帰に使用する割り込み優先レベル > 復帰用優先レベル 復帰に使用しない割り込み優先レベル) [4] フラグを“1”にする [5] PRCR レジスタのPRC0 ビットを“1”(書き込み許可)にして、CM10 ビットを“1”にする ・ ストップモード復帰後の処理 <ul style="list-style-type: none"> ストップモード復帰後、すぐに復帰用優先レベルを“7”にする。 <p>(5) ストップモードからNMI割り込みで復帰した後、再びストップモードに移行する場合、次の手順でCM10ビットを“1”にしてください。</p> <ul style="list-style-type: none"> [1] NM割り込みでストップモードから復帰する [2] ダミー割り込みを発生させる [3] CM10ビットを“1”にする <p>例：</p> <pre> INT 63 ; ダミー割り込み BSET CM1 ; 全クロック停止(ストップモード) </pre>	05.5.16

改定副番	主 な 改 定 内 容	改定年月日
Rev.1.0	<p data-bbox="379 360 655 389">/* ダミー割り込み処理 */</p> <p data-bbox="363 400 469 427">DUMMY:</p> <p data-bbox="363 439 421 465">REIT</p> <p data-bbox="352 472 895 501">(6)次の手順でウエイトモードに移行してください。</p> <ul data-bbox="352 508 1270 1010" style="list-style-type: none"> <li data-bbox="352 508 1270 607">・ 初期設定での処理 復帰用優先レベル(RLVLLレジスタのRLVLL2~RLVLL0ビットで設定したレベル)を“7”にした後、各割り込み優先レベルを設定する。 <li data-bbox="352 613 1270 869">・ ウエイトモード移行前の処理 [1]ウエイトモードからの復帰に使用する割り込みの割り込み優先レベルを設定する [2]ウエイトモードからの復帰に使用しない割り込みの割り込み優先レベルを“0”に設定する [3]IPLを設定した後、復帰用優先レベルをIPLと同じ値に設定する (復帰に使用する割り込み優先レベル>復帰用優先レベル 復帰に使用しない割り込み優先レベル) [4]フラグを“1”にする [5]ウエイト命令を実行する <li data-bbox="352 943 1270 1010">・ ウエイトモード復帰後の処理 ウエイトモード復帰後、すぐに復帰用優先レベルを“7”にする。 <ul data-bbox="320 1055 1270 1872" style="list-style-type: none"> <li data-bbox="320 1055 1270 1153">・ 212 ページ A-D変換器の注意事項 (6) A-D変換動作中にプログラムでA-D変換を停止させた場合・・・全てのA-Dレジスタの値を使用しないでください。 追加。 <li data-bbox="320 1160 1270 1258">・ 215 ページ (2)NMI割り込み NMI端子に入力する信号には、CPUの動作クロック~が必要です。 を、NMI端子に入力する信号の"L"レベル幅~にしてください。 に変更。 <li data-bbox="320 1265 1270 1364">・ 216 ページ 誤記修正。 全ての割り込みの・・・ すべての割り込みの・・・ 対策が必要 対策が必要です。 <li data-bbox="320 1370 1270 1438">・ 218 ページ (5)割り込み制御レジスタの変更 に、以下の文を追加。 ・割り込み制御レジスタの割り込み要求ビット~対象となる命令...MOV <li data-bbox="320 1444 1270 1512">・ 218 ページ 2命令以上 26サイクル以上 に変更。 プログラム例を変更。 <li data-bbox="320 1518 1270 1547">・ 219 ページ (4)DMA転送開始の推奨手順 を追加。 <li data-bbox="320 1554 1270 1583">・ 219 ページ (5)DMA転送終了の推奨手順 を追加。 <li data-bbox="320 1590 1270 1657">・ 220 ページ HOLD信号使用時の注意事項に シングルチップモード時にP40~・・・ハイインピーダンスとなりません。 追加。 <li data-bbox="320 1664 1270 1843">・ 222 ページ マイクロプロセッサモード時およびマイクロプロセッサモードからメモリ拡張モード、シングルチップモードへの遷移後の注意事項 削除。 CNVSS 端子を"H"でリセットするときの注意事項 CNVSS 端子を"H"にしてリセットすると内部ROMは読み出せません。 追加。 <li data-bbox="320 1850 1270 1872">・ 223 ページ メモリ拡張モード時、マイクロプロセッサモード時の注意事項 を追加。 	05.5.16

改定副番	主な改定内容	改定年月日
Rev.1.0	<ul style="list-style-type: none"> ・ 223 ページ マイクロプロセッサモード時の注意事項 下記を追加。 CNVss を"H"にしてマイクロプロセッサモードでソフトウェアリセットを実行する場合、PM0レジスタ書き込み命令の後にNOP 命令を3命令以上配置してください。 例： mov.b #02H,PRCR bset 3,PM0 ; または " mov.b #8BH,PM0 " (ソフトウェアリセットを実行する命令) nop ; 直後にnop を3命令以上挿入 nop nop nop ・ 227 ページ 表28.3 A-D変換特性、表28.4 D-A変換特性 を追加。 ・ 228 ページ 表28.3 電気的特性 を 表28.5 電気的特性 に変更。 ・ 275 ページ 機能概要(CPU書き換えモード)に ステータスレジスタの読みだしのユーザROM内の偶数アドレスに設定してください。 を追加。 ・ 279 ページ (1)動作速度 の誤記修正 メインクロック BCLK ・ 280 ページ 表30.1 ソフトウェアコマンド一覧表のリードステータスレジスタコマンドの第2バスサイクルのアドレス "x" を "X(注6)"に変更。 リードステータスレジスタコマンド(7016)の説明に、(ユーザROM領域の偶数アドレスにしてください) を追加。 ・ 287 ページ 図30.8 に、(ステータスレジスタリード時は、ユーザROM領域内の偶数番地にしてください。) を追加。 ・ 288 ページ ROMコードプロテクト制御番地から、ROMコードプロテクトレベル2設定ビット を削除。注2～注5を追加。 ・ 290 ページ 平行入出力モードでは、三菱製フラッシュメモリM5M29FB/T800 相当の動作をします。マイコンが持っていない機能やメモリ容量関連の相違点がありますので、フラッシュメモリ用のライターでは書き込みできません。 を削除。 ・ 290 ページ 三菱からの を削除。 ・ 295 ページ 三菱からの を削除。 ・ 324 ページ 三菱製 下記 に変更。 ・ 全ページ 表番号、図番号を変更 ・ 全ページ 用語統一 (統一用語：ウォッチドッグタイマ、A/Dコンバータ、D/Aコンバータ、XY変換) 	05.5.16

M16C/80グループハードウェアマニュアル

発行年月日 2005年5月16日 Rev. 1.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2004. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/80 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0199-0100