

M16C/6B グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

M16C ファミリ／M16C/60 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

M16C/6Bグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 ※周辺機能の使用方法是アプリケーションノートを参照してください。	M16C/6Bグループユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

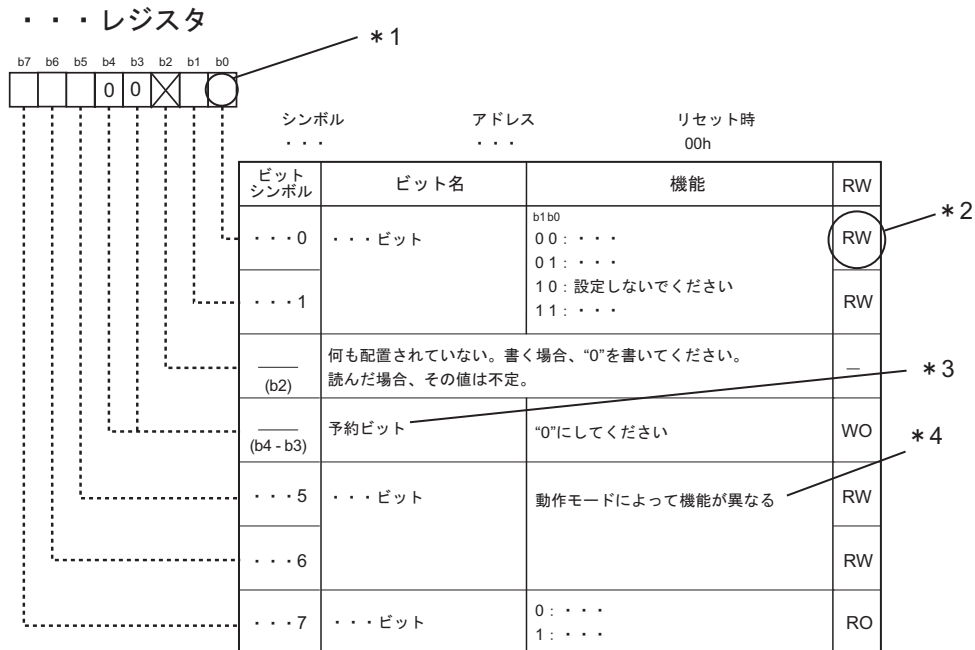
このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5端子、VCC端子

(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数：11b
16進数：EFA0h
10進数：1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。



＊1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- × : 何も配置されていないビットです。

＊2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

＊3

- ・予約ビット
- 予約ビットです。指定された値にしてください。

＊4

- ・何も配置されていない
- 該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
- 設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
- 周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.2 仕様概要	2
1.3 製品一覧	4
1.4 ブロック図	5
1.5 ピン接続図	6
1.6 端子機能の説明	10
2. 中央演算処理装置	12
2.1 データレジスタ (R0、R1、R2、R3)	12
2.2 アドレスレジスタ (A0、A1)	12
2.3 フレームベースレジスタ (FB)	13
2.4 割り込みテーブルレジスタ (INTB)	13
2.5 プログラムカウンタ (PC)	13
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	13
2.7 スタティックベースレジスタ (SB)	13
2.8 フラグレジスタ (FLG)	13
2.8.1 キャリフラグ (Cフラグ)	13
2.8.2 デバッグフラグ (Dフラグ)	13
2.8.3 ゼロフラグ (Zフラグ)	13
2.8.4 サインフラグ (Sフラグ)	13
2.8.5 レジスタバンク指定フラグ (Bフラグ)	13
2.8.6 オーバフローフラグ (Oフラグ)	13
2.8.7 割り込み許可フラグ (Iフラグ)	13
2.8.8 スタックポインタ指定フラグ (Uフラグ)	14
2.8.9 プロセッサ割り込み優先レベル (IPL)	14
2.8.10 予約領域	14
3. メモリ	15
4. SFR	16
5. リセット	30
5.1 ハードウェアリセット	30
5.1.1 電源が安定している場合	30
5.1.2 電源投入時	30
5.2 ソフトウェアリセット	31
5.3 ウォッチドッグタイマリセット	31
5.4 発振停止検出リセット	31
5.5 内部領域の状態	32

6.	プロセッサモード	33
6.1	プロセッサモードの種類	33
6.2	プロセッサモードの設定	33
6.3	内部メモリ	35
7.	クロック発生回路	36
7.1	クロック発生回路の種類	36
7.1.1	メインクロック	42
7.1.2	サブクロック	43
7.1.3	125kHz オンチップオシレータクロック (fOCO-S)	43
7.2	CPU クロックと周辺機能クロック	44
7.2.1	CPU クロックとBCLK	44
7.2.2	周辺機能クロック (f1、fC32)	45
7.3	クロック出力機能	45
7.4	パワーコントロール	46
7.4.1	通常動作モード	46
7.4.2	ウェイトモード	48
7.4.3	ストップモード	50
7.4.4	フラッシュメモリのパワーコントロール	53
7.5	システムクロック保護機能	58
7.6	発振停止、再発振検出機能	59
7.6.1	CM27 ビットが “0” (リセット) の場合の動作	59
7.6.2	CM27 ビットが “1” (発振停止、再発振検出割り込み) の場合の動作	59
7.6.3	発振停止、再発振検出機能使用方法	60
8.	プロテクト	61
9.	割り込み	62
9.1	割り込みの分類	62
9.2	ソフトウェア割り込み	63
9.2.1	未定義命令割り込み	63
9.2.2	オーバフロー割り込み	63
9.2.3	BRK 割り込み	63
9.2.4	INT 命令割り込み	63
9.3	ハードウェア割り込み	64
9.3.1	特殊割り込み	64
9.3.2	周辺機能割り込み	64
9.4	割り込みと割り込みベクタ	65
9.4.1	固定ベクタテーブル	65
9.4.2	可変ベクタテーブル	66
9.5	割り込み制御	68
9.5.1	I フラグ	70

9.5.2	IRビット	70
9.5.3	ILVL2～ILVL0ビット、IPL	70
9.5.4	割り込みシーケンス	71
9.5.5	割り込み応答時間	72
9.5.6	割り込み要求受付時のIPLの変化	72
9.5.7	レジスタ退避	73
9.5.8	割り込みルーチンからの復帰	74
9.5.9	割り込み優先順位	74
9.5.10	割り込み優先レベル判定回路	74
9.6	INT割り込み	76
9.7	NMI割り込み	77
9.8	キー入力割り込み	77
9.9	アドレス一致割り込み	80
10.	ウォッチドッグタイマ	82
10.1	カウントソース保護モード無効時	85
10.2	カウントソース保護モード有効時	86
11.	DMAC	87
11.1	転送サイクル	93
11.1.1	転送元番地、転送先番地の影響	93
11.1.2	ソフトウェアウェイトの影響	93
11.2	DMAC転送サイクル数	95
11.3	DMA許可	96
11.4	DMA要求	96
11.5	チャンネルの優先順位とDMA転送タイミング	97
12.	タイマ	98
12.1	タイマA	101
12.1.1	タイマA入出力機能	102
12.1.2	タイマモード	109
12.1.3	イベントカウンタモード	111
12.1.4	ワンショットタイマモード	115
12.1.5	パルス幅変調モード(PWMモード)(48ピン版はi=0、1のみ)	117
12.2	タイマB	120
12.2.1	タイマモード	124
12.2.2	イベントカウンタモード	125
13.	シリアルインタフェース	126
13.1	UARTi (i=0～2)	126
13.1.1	クロック同期形シリアルI/Oモード	140
13.1.2	クロック非同期形シリアルI/O(UART)モード	148
13.1.3	特殊モード1(I ² Cモード)	156

13.1.4	特殊モード2	166
13.1.5	特殊モード3 (IE モード)	170
13.1.6	特殊モード4 (SIM モード)(UART2)	172
14.	A/D コンバータ (64ピン版のみ)	177
14.1	モードの説明	181
14.1.1	単発モード	181
14.1.2	繰り返しモード	183
14.1.3	単掃引モード	185
14.1.4	繰り返し掃引モード0	187
14.1.5	繰り返し掃引モード1	189
14.2	変換速度	191
14.3	消費電流低減機能	191
14.4	A/D変換時のセンサの出力インピーダンス	192
15.	ベースバンド機能	193
15.1	ベースバンド機能説明	193
15.1.1	ベースバンドブロック図	194
15.1.2	ベースバンド用語説明	194
15.1.3	26ビットタイマ	195
15.1.4	送信RAM	196
15.1.5	受信RAM	196
15.1.6	送信フレーム生成機能	197
15.1.7	フィルタ機能	198
15.1.8	割り込み	199
15.1.9	CRC 演算回路	200
15.1.10	自動ACK返信機能	201
15.1.11	自動ACK受信機能	203
15.1.12	自動受信切り替え機能	204
15.1.13	ANTSW出力切り替え機能	204
15.1.14	自動CSMA-CA機能	205
15.1.15	状態遷移	207
15.2	ベースバンド関連レジスタ	208
15.2.1	ベースバンド制御レジスタ	208
15.2.2	送受信リセットレジスタ	209
15.2.3	送受信モードレジスタ0	210
15.2.4	送受信モードレジスタ1	211
15.2.5	受信フレームレングスレジスタ	212
15.2.6	受信データカウンタレジスタ	212
15.2.7	RSSI/CCA結果レジスタ	213
15.2.8	送受信ステータスレジスタ0	214
15.2.9	送信フレームレングスレジスタ	215

15.2.10	送受信モードレジスタ2	216
15.2.11	送受信モードレジスタ3	217
15.2.12	受信レベルスレッシュホールド設定レジスタ	218
15.2.13	送受信制御レジスタ	218
15.2.14	CSMA制御レジスタ0	219
15.2.15	CCAレベルスレッシュホールド設定レジスタ	219
15.2.16	送受信ステータスレジスタ1	220
15.2.17	RF制御レジスタ	221
15.2.18	送受信モードレジスタ4	222
15.2.19	CSMA制御レジスタ1	223
15.2.20	CSMA制御レジスタ2	223
15.2.21	PAN識別子レジスタ	224
15.2.22	ショートアドレスレジスタ	225
15.2.23	拡張アドレスレジスタ	225
15.2.24	タイマ読み出しレジスタ	226
15.2.25	タイマコンペア i ($i=0\sim 2$)レジスタ	227
15.2.26	タイムスタンプレジスタ	228
15.2.27	タイマ制御レジスタ	229
15.2.28	バックオフピリオドレジスタ	229
15.2.29	PLL分周レジスタ	230
15.2.30	送信出力パワーレジスタ	231
15.2.31	RSSIオフセットレジスタ	232
15.2.32	評価モード設定レジスタ	233
15.2.33	IDLEウェイト設定レジスタ	234
15.2.34	ANTSW出力タイミング設定レジスタ	234
15.2.35	RF初期設定レジスタ	235
15.3	制御シーケンス	236
15.3.1	送信手順例	236
15.3.2	受信手順例	236
15.3.3	CCA手順例	237
15.3.4	CSMA-CA手順例	237
15.3.5	ベースバンド立ち上げ手順例	238
15.3.6	ベースバンド立ち下げ手順例	238
15.3.7	自動送受信動作例	239
16.	CRC演算	240
17.	プログラマブル入出力ポート	242
17.1	ポートPi方向レジスタ(PDiレジスタ $i=5\sim 8、10$)	242
17.2	ポートPiレジスタ(Piレジスタ $i=5\sim 8、10$)	242
17.3	プルアップ制御レジスタ1、プルアップ制御レジスタ2(PUR1、PUR2レジスタ)	242
17.4	LEDポート切り替えレジスタ(LEDCONレジスタ)	242

18.	フラッシュメモリ	251
18.1	メモリ配置	252
18.1.1	ブートモード	253
18.1.2	ユーザブート機能	253
18.2	フラッシュメモリ書き換え禁止機能	255
18.2.1	ROMコードプロテクト機能	255
18.2.2	IDコードチェック機能	255
18.2.3	強制イレース機能	256
18.2.4	標準シリアル入出力モード禁止機能	256
18.3	CPU書き換えモード	258
18.3.1	EW0モード	259
18.3.2	EW1モード	259
18.3.3	フラッシュメモリ制御レジスタ (FMR0、FMR1、FMR2、FMR6レジスタ)	260
18.3.4	ソフトウェアコマンド	268
18.3.5	データ保護機能	274
18.3.6	ステータスレジスタ	274
18.3.7	フルステータスチェック	276
18.4	標準シリアル入出力モード	278
18.4.1	IDコードチェック機能	278
18.4.2	標準シリアル入出力モード時の端子処理例	282
18.5	パラレル入出力モード	284
18.5.1	ROMコードプロテクト機能	284
18.6	フラッシュメモリ使用上の注意事項	285
18.6.1	フラッシュメモリ書き換え禁止機能	285
18.6.2	データフラッシュの読み出し	285
18.6.3	CPU書き換えモード	285
18.6.4	ユーザブート	287
19.	電気的特性	288
19.1	電気的特性	288
20.	使用上の注意事項	307
20.1	SFR	307
20.1.1	レジスタ設定時の注意事項	307
20.2	リセット	308
20.2.1	VCC	308
20.2.2	CNVSS	308
20.3	ベースバンド機能使用時の注意事項	309
20.4	パワーコントロール	310
20.5	割り込み	312
20.5.1	00000h番地の読み出し	312
20.5.2	SPの設定	312

20.5.3	NMI 割り込み	312
20.5.4	割り込み要因の変更	313
20.5.5	INT 割り込み	313
20.5.6	割り込み制御レジスタの変更	314
20.5.7	ウォッチドッグタイマ割り込み	315
20.6	DMAC	316
20.6.1	DMiCON レジスタのDMAE ビットへの書き込み (i=0～3)	316
20.7	タイマ	317
20.7.1	タイマ A	317
20.7.2	タイマ B	321
20.8	シリアルインタフェース	323
20.8.1	クロック同期形シリアル I/O モード	323
20.8.2	クロック非同期型シリアル I/O (UART) モード	325
20.8.3	特殊モード (I ² C モード)	325
20.8.4	特殊モード 4 (SIM モード)	325
20.8.5	複数モードに関わる共通事項	325
20.9	A/D コンバータ (64 ピン版のみ)	326
20.10	フラッシュメモリ使用上の注意事項	328
20.10.1	フラッシュメモリ書き換え禁止機能	328
20.10.2	データフラッシュの読み出し	328
20.10.3	CPU 書き換えモード	328
20.10.4	ユーザブート	330
20.11	ノイズに関する注意事項	331
付録 1. 外形寸法図		332
索引		333

番地別ページ早見表

掲載ページは最初に出てくるページです。複数出てくるものは索引を参照してください。

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	33
0005h	プロセッサモードレジスタ1	PM1	34
0006h	システムクロック制御レジスタ0	CM0	38
0007h	システムクロック制御レジスタ1	CM1	39
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	61
000Bh			
000Ch	発振停止検出レジスタ	CM2	40
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	34
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	41
0013h			
0014h			
0015h	時計用プリスケアラセットフラグ	CPSRF	107
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch			
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	41
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			

番地	レジスタ	シンボル	掲載ページ
0045h	タイマB5割り込み制御レジスタ	TB5IC	68
0046h	タイマB4割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	68
0047h	タイマB3割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	68
0048h	タイマコンペア0割り込み制御レジスタ	BBTIM0IC	68
0049h	タイマコンペア1割り込み制御レジスタ	BBTIM1IC	68
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	68
004Bh	DMA0割り込み制御レジスタ	DM0IC	68
004Ch	DMA1割り込み制御レジスタ	DM1IC	68
004Dh	キー入力割り込み制御レジスタ	KUPIC	68
004Eh	A/D変換割り込み制御レジスタ	ADIC	68
004Fh	UART2送信割り込み制御レジスタ	S2TIC	68
0050h	UART2受信割り込み制御レジスタ	S2RIC	68
0051h	UART0送信割り込み制御レジスタ	S0TIC	68
0052h	UART0受信割り込み制御レジスタ	S0RIC	68
0053h	UART1送信割り込み制御レジスタ	S1TIC	68
0054h	UART1受信割り込み制御レジスタ	S1RIC	68
0055h	タイマA0割り込み制御レジスタ	TA0IC	68
0056h	タイマA1割り込み制御レジスタ	TA1IC	68
0057h	タイマA2割り込み制御レジスタ	TA2IC	68
0058h	タイマA3割り込み制御レジスタ	TA3IC	68
0059h	タイマA4割り込み制御レジスタ	TA4IC	68
005Ah	タイマB0割り込み制御レジスタ	TB0IC	68
005Bh	タイマB1割り込み制御レジスタ	TB1IC	68
005Ch	タイマB2割り込み制御レジスタ	TB2IC	68
005Dh	INT0割り込み制御レジスタ	INT0IC	69
005Eh	INT1割り込み制御レジスタ	INT1IC	69
005Fh	タイマコンペア2割り込み制御レジスタ	BBTIM2IC	68
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	68
006Ah	DMA3割り込み制御レジスタ	DM3IC	68
006Bh	送信完了割り込み制御レジスタ	BBTXIC	68
006Ch	バンク0受信完了/IDLE割り込み制御レジスタ	BBRX0IC/ BBIDLEIC	68
006Dh	バンク1受信完了/クロックレギュレータ割り込み制御レジスタ	BBRX1IC/ BBCREGIC	68
006Eh	アドレスフィルタ割り込み制御レジスタ	BBADFIC	68
006Fh	CCA完了割り込み制御レジスタ	BBCCAIC	68
0070h	PLLロック検出割り込み制御レジスタ	BBPLLIC	68
0071h	送信オーバーラン割り込み制御レジスタ	BBTXORIC	68
0072h	受信オーバーラン0割り込み制御レジスタ	BBRXOR0IC	68
0073h	受信オーバーラン1割り込み制御レジスタ	BBRXOR1IC	68
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h	LEDポート切り替えレジスタ	LEDCON	249
0081h			
0082h	キー入力制御レジスタ0	KICON0	79
0083h	キー入力制御レジスタ1	KICON1	79
0084h	タイマA入出力制御レジスタ	TAIOCON	102
0085h ～ 00FFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0100h	ベースバンド制御レジスタ	BBCON	208
0101h	送受信リセットレジスタ	BBTXRXRST	209
0102h	送受信モードレジスタ0	BBTXRXMODE0	210
0103h	送受信モードレジスタ1	BBTXRXMODE1	211
0104h	受信フレームレングスレジスタ	BBRXFLEN	212
0105h	受信データカウンタレジスタ	BBRXCOUNT	212
0106h	RSSI/CCA結果レジスタ	BBRSSICCARSLT	213
0107h	送受信ステータスレジスタ0	BBTXRXST0	214
0108h	送信フレームレングスレジスタ	BBTXFLEN	215
0109h	送受信モードレジスタ2	BBTXRXMODE2	216
010Ah	送受信モードレジスタ3	BBTXRXMODE3	217
010Bh	受信レベルスレッショルド設定レジスタ	BBLVLVTH	218
010Ch	送受信制御レジスタ	BBTXRXCON	218
010Dh	CSMA制御レジスタ0	BBCSMACON0	219
010Eh	CCAレベルスレッショルド設定レジスタ	BBCCAVTH	219
010Fh	送受信ステータスレジスタ1	BBTXRXST1	220
0110h	RF制御レジスタ	BBRFCON	221
0111h	送受信モードレジスタ4	BBTXRXMODE4	222
0112h	CSMA制御レジスタ1	BBCSMACON1	223
0113h	CSMA制御レジスタ2	BBCSMACON2	223
0114h	PAN識別子レジスタ	BBPANID	224
0115h			
0116h	ショートアドレスレジスタ	BBSHORTAD	225
0117h			
0118h	拡張アドレスレジスタ	BBEXTENDAD0	225
0119h			
011Ah		BBEXTENDAD1	225
011Bh			
011Ch		BBEXTENDAD2	225
011Dh			
011Eh		BBEXTENDAD3	225
011Fh			
0120h	タイマ読み出しレジスタ0	BBTIMEREAD0	226
0121h			
0122h	タイマ読み出しレジスタ1	BBTIMEREAD1	226
0123h			
0124h	タイマコンペア0レジスタ0	BBTCOMP0REG0	227
0125h			
0126h	タイマコンペア0レジスタ1	BBTCOMP0REG1	227
0127h			
0128h	タイマコンペア1レジスタ0	BBTCOMP1REG0	227
0129h			
012Ah	タイマコンペア1レジスタ1	BBTCOMP1REG1	227
012Bh			
012Ch	タイマコンペア2レジスタ0	BBTCOMP2REG0	227
012Dh			
012Eh	タイマコンペア2レジスタ1	BBTCOMP2REG1	227
012Fh			
0130h	タイムスタンプレジスタ0	BBTSTAMP0	228
0131h			
0132h	タイムスタンプレジスタ1	BBTSTAMP1	228
0133h			
0134h	タイマ制御レジスタ	BBTIMECON	229
0135h	バックオフピリオドレジスタ	BBOFFPROD	229
0136h			
0137h			
0138h			
0139h			
013Ah	PLL分周レジスタ0	BBPLLDIVL	230
013Bh	PLL分周レジスタ1	BBPLLDIVH	230
013Ch	送信出力パワーレジスタ	BBTXOUTPWR	231
013Dh	RSSIオフセットレジスタ	BBRSSIOFS	232
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			

番地	レジスタ	シンボル	掲載 ページ
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h	評価モード設定レジスタ	BBEVAREG	233
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h	IDLEウェイト設定レジスタ	BBIDLEWAIT	234
0177h			
0178h			
0179h			
017Ah	ANTSW出カタイミグ設定レジスタ	BBANTSWTIMG	234
017Bh			
017Ch	RF初期設定レジスタ	BBRFINI	235
017Dh			
017Eh			
017Fh			
0180h	DMA0ソースポインタ	SAR0	91
0181h			
0182h			
0183h			
0184h	DMA0ディスティネーションポインタ	DAR0	92
0185h			
0186h			
0187h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0188h	DMA0転送カウンタ	TCR0	92
0189h			
018Ah			
018Bh			
018Ch	DMA0制御レジスタ	DM0CON	91
018Dh			
018Eh			
018Fh			
0190h	DMA1ソースポインタ	SAR1	91
0191h			
0192h			
0193h			
0194h	DMA1ディスティネーションポインタ	DAR1	92
0195h			
0196h			
0197h			
0198h	DMA1転送カウンタ	TCR1	92
0199h			
019Ah			
019Bh			
019Ch	DMA1制御レジスタ	DM1CON	91
019Dh			
019Eh			
019Fh			
01A0h	DMA2ソースポインタ	SAR2	91
01A1h			
01A2h			
01A3h			
01A4h	DMA2ディスティネーションポインタ	DAR2	92
01A5h			
01A6h			
01A7h			
01A8h	DMA2転送カウンタ	TCR2	92
01A9h			
01AAh			
01ABh			
01ACh	DMA2制御レジスタ	DM2CON	91
01ADh			
01AEh			
01AFh			
01B0h	DMA3ソースポインタ	SAR3	91
01B1h			
01B2h			
01B3h			
01B4h	DMA3ディスティネーションポインタ	DAR3	92
01B5h			
01B6h			
01B7h			
01B8h	DMA3転送カウンタ	TCR3	92
01B9h			
01BAh			
01BBh			
01BCh	DMA3制御レジスタ	DM3CON	91
01BDh			
01BEh			
01BFh			
01C0h			
01C1h			
01C2h			
01C3h			
01C4h			
01C5h			
01C6h			
01C7h			
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	123
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	123
01CAh			
01CBh			

番地	レジスタ	シンボル	掲載 ページ
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ0	TACS0	107
01D1h	タイマAカウントソース選択レジスタ1	TACS1	107
01D2h	タイマAカウントソース選択レジスタ2	TACS2	108
01D3h			
01D4h			
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	108
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	123
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	123
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h			
0206h	割り込み要因選択レジスタ2	IFSR2A	76
0207h	割り込み要因選択レジスタ	IFSR	76
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	81
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	81

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0210h	アドレス一致割り込みレジスタ0	RMAD0	81
0211h			
0212h			
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	81
0215h			
0216h			
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	81
0219h			
021Ah			
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	81
021Dh			
021Eh			
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	260
0221h	フラッシュメモリ制御レジスタ1	FMR1	263
0222h	フラッシュメモリ制御レジスタ2	FMR2	264
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	265
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			
0244h	UART0 特殊モードレジスタ4	U0SMR4	139
0245h	UART0 特殊モードレジスタ3	U0SMR3	138
0246h	UART0 特殊モードレジスタ2	U0SMR2	137
0247h	UART0 特殊モードレジスタ	U0SMR	136
0248h	UART0 送受信モードレジスタ	U0MR	131
0249h	UART0 ビットレートレジスタ	U0BRG	131
024Ah	UART0 送信バッファレジスタ	U0TB	130
024Bh			
024Ch	UART0 送受信制御レジスタ0	U0C0	132
024Dh	UART0 送受信制御レジスタ1	U0C1	133
024Eh	UART0 受信バッファレジスタ	U0RB	130
024Fh			

番地	レジスタ	シンボル	掲載 ページ
0250h	UART 送受信制御レジスタ2	UCON	135
0251h			
0252h			
0253h			
0254h	UART1 特殊モードレジスタ4	U1SMR4	139
0255h	UART1 特殊モードレジスタ3	U1SMR3	138
0256h	UART1 特殊モードレジスタ2	U1SMR2	137
0257h	UART1 特殊モードレジスタ	U1SMR	136
0258h	UART1 送受信モードレジスタ	U1MR	131
0259h	UART1 ビットレートレジスタ	U1BRG	131
025Ah	UART1 送信バッファレジスタ	U1TB	130
025Bh			
025Ch	UART1 送受信制御レジスタ0	U1C0	132
025Dh	UART1 送受信制御レジスタ1	U1C1	133
025Eh	UART1 受信バッファレジスタ	U1RB	130
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h	UART2 特殊モードレジスタ4	U2SMR4	139
0265h	UART2 特殊モードレジスタ3	U2SMR3	138
0266h	UART2 特殊モードレジスタ2	U2SMR2	137
0267h	UART2 特殊モードレジスタ	U2SMR	136
0268h	UART2 送受信モードレジスタ	U2MR	131
0269h	UART2 ビットレートレジスタ	U2BRG	131
026Ah	UART2 送信バッファレジスタ	U2TB	130
026Bh			
026Ch	UART2 送受信制御レジスタ0	U2C0	132
026Dh	UART2 送受信制御レジスタ1	U2C1	134
026Eh	UART2 受信バッファレジスタ	U2RB	130
026Fh			
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h ～ 02FFh			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0300h	タイマB3, B4, B5 カウント開始フラグ	TBSR	122
0301h			
0302h			
0303h			
0304h			
0305h			
0306h			
0307h			
0308h			
0309h			
030Ah			
030Bh			
030Ch			
030Dh			
030Eh			
030Fh			
0310h	タイマB3 レジスタ	TB3	121
0311h			
0312h	タイマB4 レジスタ	TB4	121
0313h			
0314h	タイマB5 レジスタ	TB5	121
0315h			
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3 モードレジスタ	TB3MR	121
031Ch	タイマB4 モードレジスタ	TB4MR	121
031Dh	タイマB5 モードレジスタ	TB5MR	121
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	105
0321h			
0322h	ワンショット開始フラグ	ONSF	106
0323h	トリガ選択レジスタ	TRGSR	106
0324h	アップダウンフラグ	UDF	105
0325h			
0326h	タイマA0 レジスタ	TA0	104
0327h			
0328h	タイマA1 レジスタ	TA1	104
0329h			
032Ah	タイマA2 レジスタ	TA2	104
032Bh			
032Ch	タイマA3 レジスタ	TA3	104
032Dh			
032Eh	タイマA4 レジスタ	TA4	104
032Fh			
0330h	タイマB0 レジスタ	TB0	121
0331h			
0332h	タイマB1 レジスタ	TB1	121
0333h			
0334h	タイマB2 レジスタ	TB2	121
0335h			
0336h	タイマA0 モードレジスタ	TA0MR	103
0337h	タイマA1 モードレジスタ	TA1MR	103
0338h	タイマA2 モードレジスタ	TA2MR	103
0339h	タイマA3 モードレジスタ	TA3MR	103
033Ah	タイマA4 モードレジスタ	TA4MR	103
033Bh	タイマB0 モードレジスタ	TB0MR	121
033Ch	タイマB1 モードレジスタ	TB1MR	121
033Dh	タイマB2 モードレジスタ	TB2MR	121
033Eh			
033Fh			
0340h			
0341h			
0342h			
0343h			
0344h			

番地	レジスタ	シンボル	掲載 ページ
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh			
035Fh			
0360h			
0361h	ブルアップ制御レジスタ1	PUR1	248
0362h	ブルアップ制御レジスタ2	PUR2	248
0363h			
0364h			
0365h			
0366h			
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	84
037Dh	ウォッチドッグタイマリセットレジスタ	WDTR	83
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	83
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	83
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			

空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載 ページ
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2要因選択レジスタ	DM2SL	89
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	89
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	89
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	89
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	240
03BDh			
03BEh	CRCインプットレジスタ	CRCIN	240
03BFh			
03C0h	A/Dレジスタ0	AD0	180
03C1h			
03C2h	A/Dレジスタ1	AD1	180
03C3h			
03C4h	A/Dレジスタ2	AD2	180
03C5h			
03C6h	A/Dレジスタ3	AD3	180
03C7h			
03C8h	A/Dレジスタ4	AD4	180
03C9h			
03CAh	A/Dレジスタ5	AD5	180
03CBh			

番地	レジスタ	シンボル	掲載 ページ
03CCh	A/Dレジスタ6	AD6	180
03CDh			
03CEh	A/Dレジスタ7	AD7	180
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	180
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	179
03D7h	A/D制御レジスタ1	ADCON1	179
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h			
03E1h			
03E2h			
03E3h			
03E4h			
03E5h			
03E6h			
03E7h			
03E8h			
03E9h	ポートP5レジスタ	P5	247
03EAh			
03EBh	ポートP5方向レジスタ	PD5	246
03ECh	ポートP6レジスタ	P6	247
03EDh	ポートP7レジスタ	P7	247
03EEh	ポートP6方向レジスタ	PD6	246
03EFh	ポートP7方向レジスタ	PD7	246
03F0h	ポートP8レジスタ	P8	247
03F1h			
03F2h	ポートP8方向レジスタ	PD8	246
03F3h			
03F4h	ポートP10レジスタ	P10	247
03F5h			
03F6h	ポートP10方向レジスタ	PD10	246
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
D000h ～ D09Fh			
D100h ～ D17Eh	送信RAM	TRANSMIT_RAM_ START TRANSMIT_RAM_ END	
D17Fh			
D180h ～ D1FEh	受信RAM	RECIEVE_RAM_ START RECIEVE_RAM_ END	
D1FFh ～ D7FFh			
FFFFh	オプション機能選択番地	OFS1	84

空欄は予約領域です。アクセスしないでください。

1. 概要

1.1 特長

M16C/6B グループは、M16C/60 シリーズ CPU コアを搭載したフラッシュメモリ内蔵マイクロコンピュータです。

また近距離無線通信(2.4GHz帯)に対応した低消費電力トランシーバとして機能します。

IEEE802.15.4規格に適合した物理(PHY)層およびMAC層の一部を内蔵しており簡易な通信システムからメッシュネットワークシステムまで、用途に応じて対応可能です。

1.1.1 用途

ホームオートメーション、ビルオートメーション、ファクトリーオートメーション、無線センサネットワーク、RFリモコン

1.2 仕様概要

表1.1、表1.2に仕様概要を示します。

表1.1 仕様概要(1)

分類	機能	説明
RF	RF周波数	2405MHz～2480MHz
	受信感度	－94dBm
	送信出力レベル	0dBm
CPU	中央演算処理装置	M16C/60シリーズコア (乗算器：16ビット×16ビット→32ビット、 積和演算命令：16ビット×16ビット+32ビット→32ビット) ・基本命令数：91 ・最小命令実行時間：62.5ns (f(BCLK)=16MHz、VCC=2.7V～3.6V) ・動作モード：シングルチップモード
メモリ	ROM、RAM、 データフラッシュ	「表 1.3 製品一覧表」を参照してください。
クロック	クロック発生回路	・3回路：メインクロック、サブクロック、オンチップオシレータ(125kHz) ・発振停止検出：メインクロック発振停止、再発振検出機能 ・周波数分周回路：1、2、4、8、16分周 ・低消費電力機構：ウェイトモード、ストップモード
I/Oポート	プログラマブル 入出力ポート	・CMOS入出力：30(64ピン版)、16(48ピン版)プルアップ抵抗設定可能 ・Nchオープンドレインポート：3
割り込み		・割り込みベクタ数：70 ・外部割り込み入力： 11(NMI、INT×2、キー入力×8(64ピン版)、キー入力×4(48ピン版)) ・割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)、リセットスタート機能選択可能
DMA	DMAC	・4チャンネル、サイクルスチール方式 ・起動要因数：43 ・転送モード：2(単転送、リピート転送)
タイマ	タイマA	・16ビットタイマ×5(64ピン版)、16ビットタイマ×2(48ピン版)： タイマモード、イベントカウンタモード、ワンショットタイマモード、 パルス幅変調(PWM)モード ・16ビットタイマ×3(48ピン版)：タイマモード
	タイマB	16ビットタイマ×6：タイマモード
シリアルインタ フェース	UART0～UART2	クロック同期/非同期兼用×3チャンネル
A/Dコンバータ(64ピン版)		分解能10ビット×8チャンネル、サンプル&ホールドあり、変換時間2.69μs
CRC演算回路		CRC-CCITT($X^{16} + X^{12} + X^5 + 1$)に準拠
ベースバンド		・127バイト送信RAM、127バイト受信RAM×2 ・自動ACK返信機能 ・26ビットタイマ：コンペア機能3チャンネル
フラッシュメモリ		・プログラム、イレーズ電圧：2.7V～3.6V ・プログラム、イレーズ回数： 100回(全領域)または1,000回(プログラムROM1、プログラムROM2)/ 10,000回(データフラッシュ) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック
デバッグ機能		オンチップデバッグ、オンボードフラッシュ書き換え機能 アドレス一致×4
暗号	AES	AES暗号処理(鍵長128ビット)

表 1.2 仕様概要 (2)

分類	機能	説明
動作周波数/電源電圧		16MHz(分周なし) : 2.7 ~ 3.6V 16MHz(2、4、8、16分周) : 2.2 ~ 3.6V
消費電流		Tx/MCU (f(BCLK)=4MHz) : 35.7mA Rx/MCU (f(BCLK)=4MHz) : 46.7mA RF idle/MCU (f(BCLK)=4MHz) : 6.7mA RF off/MCU (f(BCLK)=4MHz) : 4.7mA Tx/MCU (f(BCLK)=8MHz) : 37.5mA Rx/MCU (f(BCLK)=8MHz) : 48.5mA RF idle/MCU (f(BCLK)=8MHz) : 8.5mA RF off/MCU (f(BCLK)=8MHz) : 6.5mA Tx/MCU (f(BCLK)=16MHz) : 41mA Rx/MCU (f(BCLK)=16MHz) : 52mA RF idle/MCU (f(BCLK)=16MHz) : 12mA RF off/MCU (f(BCLK)=16MHz) : 10mA RF off/MCU (f(BCLK)=32kHz) 低消費電力モード : 70 μ A RF off/MCU (f(BCLK)=停止) ストップモード : 3 μ A
動作周囲温度		- 20°C ~ 85°C、- 40°C ~ 85°C
パッケージ		PVQN0064KA-A、PVQN0048KB-A

1.3 製品一覧

表 1.3に製品一覧表、図 1.1に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

2011年7月現在

型名	ROM容量			RAM容量	パッケージ	備考
	プログラムROM1	プログラムROM2	データフラッシュ			
R5F36B3ENNP	256Kバイト	16Kバイト	4Kバイト×2ブロック	20Kバイト	PVQN0064KA-A	動作周囲温度 -20℃～85℃
R5F36B4BNNP	192Kバイト				PVQN0048KB-A	
R5F36B3EDNP	256Kバイト	16Kバイト	4Kバイト×2ブロック	20Kバイト	PVQN0064KA-A	動作周囲温度 -40℃～85℃
R5F36B4BDNP (開)	192Kバイト				PVQN0048KB-A	

(開)：開発中

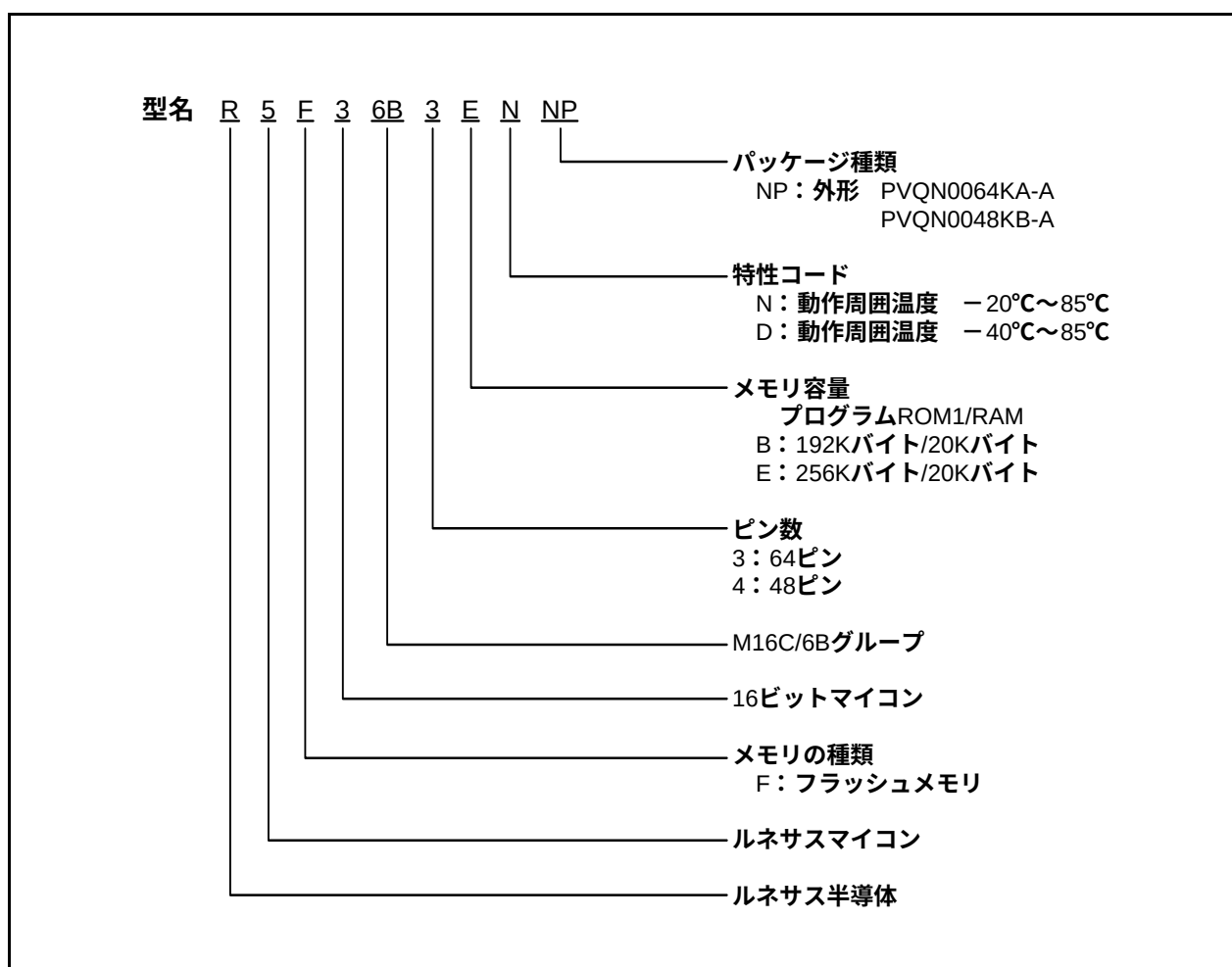


図 1.1 型名とメモリサイズ・パッケージ

1.4 ブロック図

図1.2にブロック図を示します。

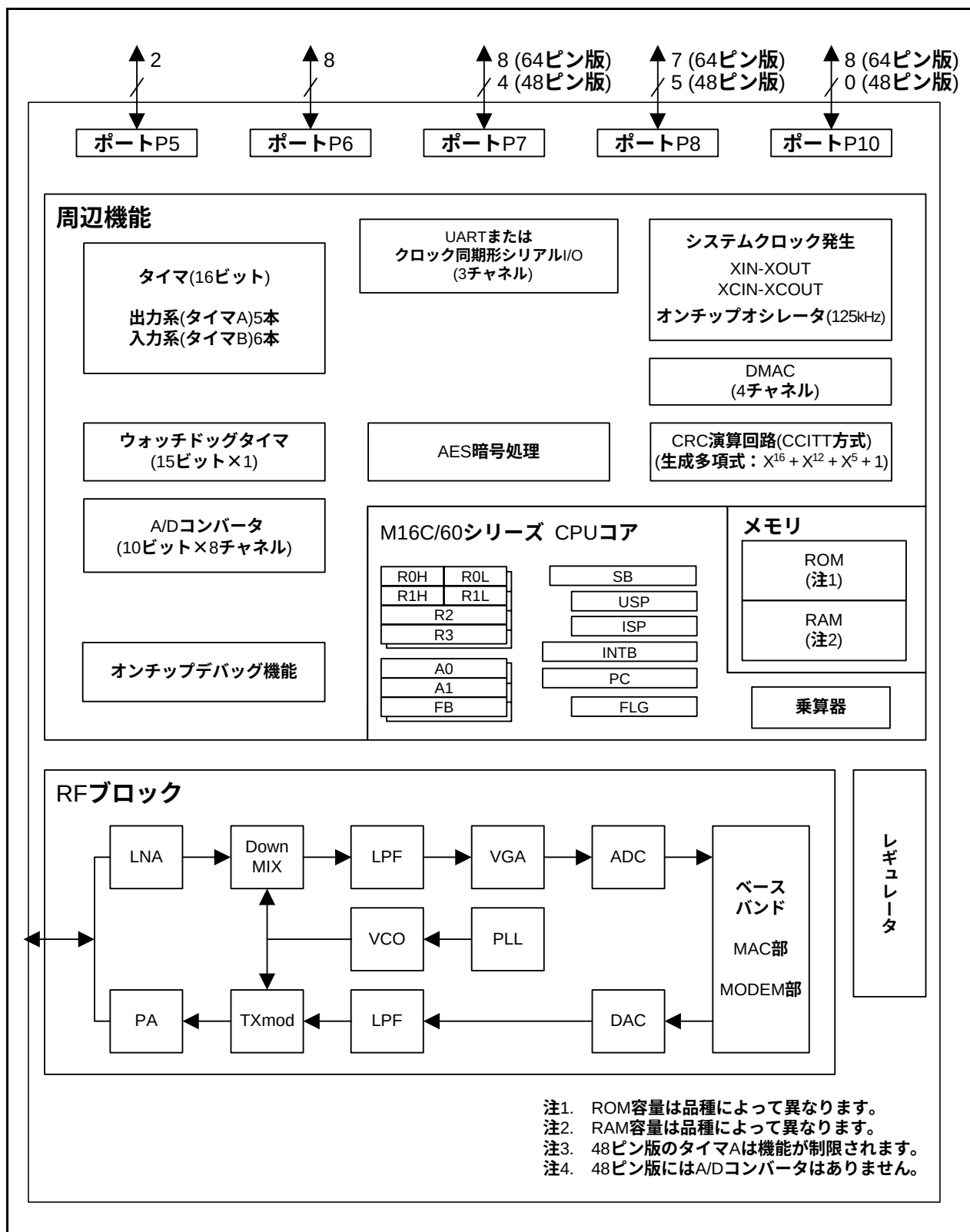


図1.2 ブロック図

1.5 ピン接続図

図1.3と図1.4にピン配置図(上面図)を示します。

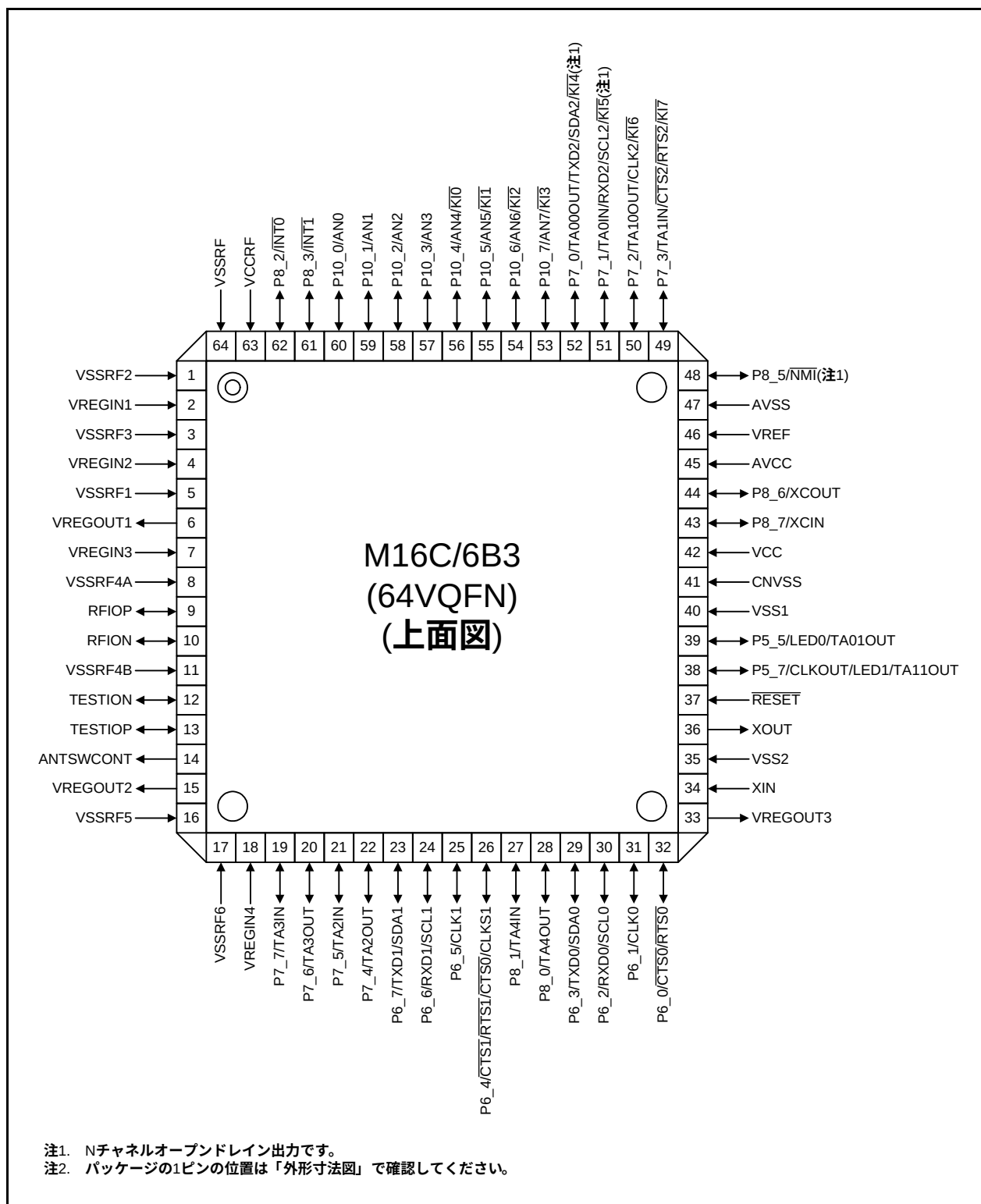


図1.3 64ピン配置図(上面図)

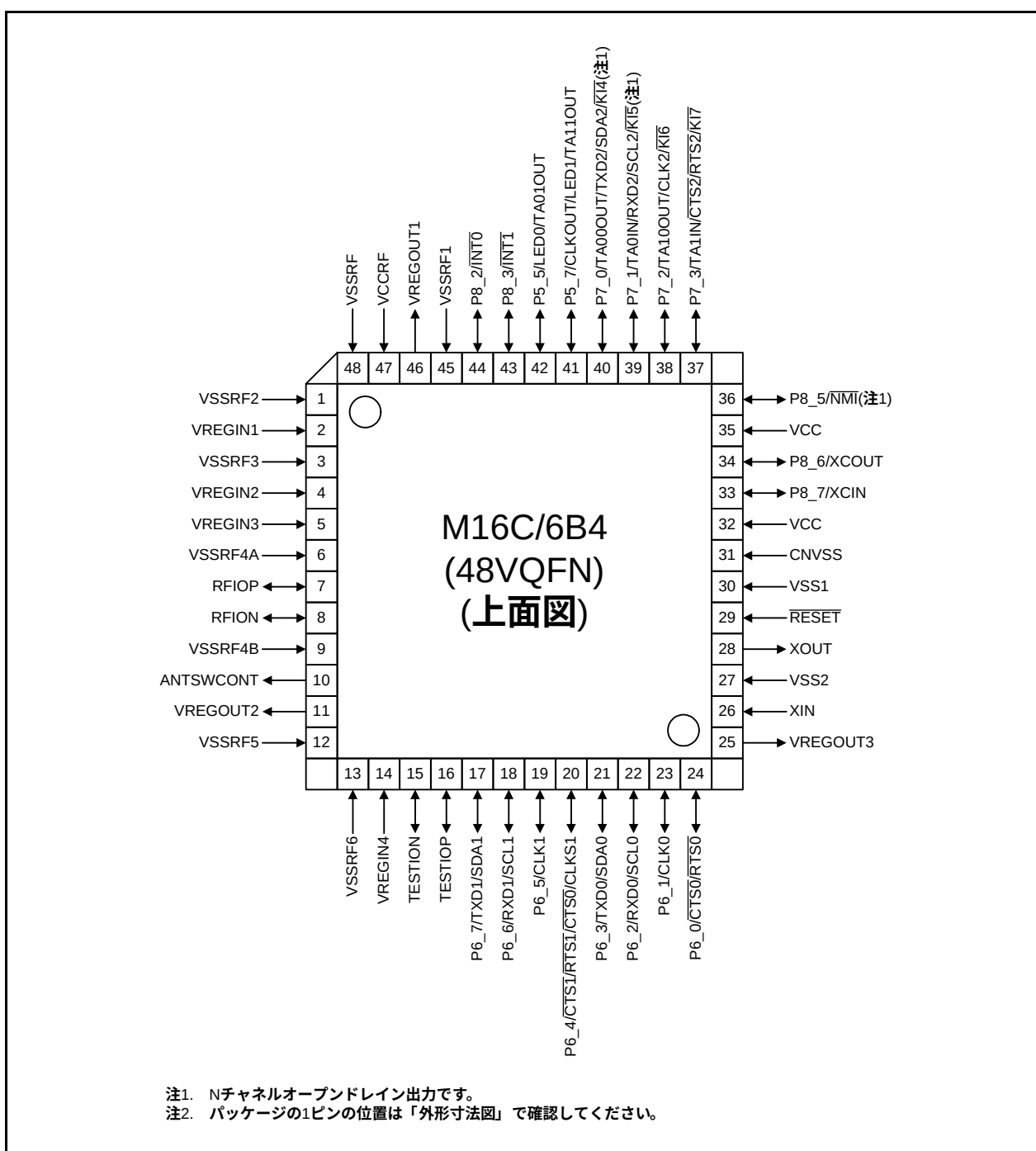


図1.4 48ピン配置図(上面図)

表 1.4 端子名一覧表(1)(注1)

Pin No.	電源端子	RF 端子	ポート	割り込み端子	タイマ端子	UART 端子	クロック端子	LED 端子	AD 端子	制御端子	その他
64 48											
1 1	VSSRF2										
2 2	VREGIN1										
3 3	VSSRF3										
4 4	VREGIN2										
5 45	VSSRF1										
6 46	VREGOUT1										
7 5	VREGIN3										
8 6	VSSRF4A										
9 7		RFIOP									
10 8		RFION									
11 9	VSSRF4B										
12 15											TESTION
13 16											TESTIOP
14 10											ANTSWCONT
15 11	VREGOUT2										
16 12	VSSRF5										
17 13	VSSRF6										
18 14	VREGIN4										
19			P7_7		TA3IN						
20			P7_6		TA3OUT						
21			P7_5		TA2IN						
22			P7_4		TA2OUT						
23 17			P6_7			TXD1/SDA1					
24 18			P6_6			RXD1/SCL1					
25 19			P6_5			CLK1					
26 20			P6_4			CTS1/RTS1/ CTS0/CLKS1					
27			P8_1		TA4IN						
28			P8_0		TA4OUT						
29 21			P6_3			TXD0/SDA0					
30 22			P6_2			RXD0/SCL0					
31 23			P6_1			CLK0					
32 24			P6_0			CTS0/RTS0					
33 25	VREGOUT3										
34 26							XIN				
35 27	VSS2										
36 28							XOUT				
37 29										RESET	
38 41			P5_7		TA11OUT		CLKOUT	LED1			
39 42			P5_5		TA01OUT			LED0			
40 30	VSS										
41 31										CNVSS	
42 32	VCC										
43 33			P8_7				XCIN				
44 34			P8_6				XCOUT				
45	AVCC										
	35 VCC										
46	VREF										
47	AVSS										
48 36			P8_5(N-OD)	NMI							
49 37			P7_3	KI7	TA1N	CTS2/RTS2					
50 38			P7_2	KI6	TA10OUT	CLK2					

注1. デバッグ時、デバッガとの通信に使用される端子があります。

表 1.5 端子名一覧表 (2)(注1)

Pin No.		電源端子	RF端子	ポート	割り込み端子	タイマ端子	UART端子	クロック端子	LED端子	AD端子	制御端子	その他
64	48											
51	39			P7_1(N-OD)	$\overline{\text{KI5}}$	TA0IN	RXD2/SCL2					
52	40			P7_0(N-OD)	$\overline{\text{KI4}}$	TA00OUT	TXD2/SDA2					
53				P10_7	$\overline{\text{KI3}}$					AN7		
54				P10_6	$\overline{\text{KI2}}$					AN6		
55				P10_5	$\overline{\text{KI1}}$					AN5		
56				P10_4	$\overline{\text{KI0}}$					AN4		
57				P10_3						AN3		
58				P10_2						AN2		
59				P10_1						AN1		
60				P10_0						AN0		
61	43			P8_3	$\overline{\text{INT1}}$							
62	44			P8_2	$\overline{\text{INT0}}$							
63	47											
64	48											

注1. デバッグ時、デバッガとの通信に使用される端子があります。

1.6 端子機能の説明

表 1.6 端子機能の説明 (1)

分類	端子名	入出力	機能
デジタル電源入力	VCC、VSS1、VSS2	入力	VCC 端子には、2.2V～3.6Vを入力してください。 VSS1、VSS2には、0Vを入力してください。
AD 電源入力	AVCC(注1)、AVSS(注1)	入力	A/D コンバータの電源入力です。AVCC 端子はVCC に接続してください。AVSS 端子はVSSに接続して ください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコン ピュータはリセット状態になります。
CNVSS	CNVSS	入力	必ず“L”を入力してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINと XOUTの間には水晶発振子を接続してください。
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINと XCOUTの間には水晶発振子を接続してください。
サブクロック出力	XCOUT	出力	
クロック出力	CLKOUT	出力	fC、f8、またはf32と同じ周期のクロックを出力し ます。
INT 割り込み入力	INT0、INT1	入力	INT 割り込みの入力です。
NMI 割り込み入力	NMI	入力	NMI 割り込みの入力です。
キー入力割り込み入力	KI0～KI3(注1)、 KI4～KI7	入力	キー入力割り込みの入力です。
タイマA	TA0OUT～TA1OUT、 TA2OUT～TA4OUT(注1)	入出力	タイマA0～A4の入出力です。(ただし、TA0OUTの 出力はNチャネルオープンドレイン。)
	TA0IN～TA1IN、 TA2IN～TA4IN(注1)	入力	タイマA0～A4の入力です。
シリアルインタフェース	CTS0～CTS2	入力	送信制御用入力です。
	RTS0～RTS2	出力	受信制御用出力です。
	CLK0～CLK2	入出力	転送クロック入出力です。
	RXD0～RXD2	入力	シリアルデータ入力です。
	TXD0～TXD2	出力	シリアルデータ出力です。(注2)
	CLKS1	出力	転送クロック複数端子出力機能の出力です。
基準電圧入力(注1)	VREF	入力	A/D コンバータの基準入力です。
A/D コンバータ(注1)	AN0～AN7	入力	A/D コンバータのアナログ入力です。
入出力ポート	P5_5、P5_7、 P6_0～P6_7、 P7_0～P7_3、 P7_4～P7_7(注1)、 P8_0(注1)、P8_1(注1)、 P8_2、P8_3、 P8_5～P8_7、 P10_0～P10_7(注1)	入出力	CMOSの入出力ポートです。入出力を選択するた めの方向レジスタを持ち、1端子ごとに入力ポート、 または出力ポートにできます。入力ポートは4ビット 単位でプルアップ抵抗の有無を選択できます。た だし、P7_0、P7_1、P8_5の出力はNチャネルオー プンドレイン出力です。プルアップはありません。 P8_5は、NMIと端子を共用しています。NMIの入 力レベルを確認できます。

注1. 64ピン版のみ存在します。

注2. TXD2の出力はNチャネルオープンドレインです。TXD0、TXD1の出力はCMOS出力で、プログラムでNチャ
ネルオープンドレインに変更できます。

表 1.7 端子機能の説明(2)

分類	端子名	入出力	機能
アナログ電源入力	VCCRF、VSSRF、VSSRF1	入力	VCCRFには、2.2V～3.6Vを入力してください。VSSRF、VSSRF1には、0Vを入力してください。
	VSSRF2	入力	IF回路用VSSです。0Vを入力してください。
	VSSRF3	入力	MIX回路用VSSです。0Vを入力してください。
	VSSRF4A、VSSRF4B	入力	LNA/PA回路用VSSです。0Vを入力してください。
	VSSRF5	入力	VCO回路用VSSです。0Vを入力してください。
	VSSRF6	入力	PLL回路用VSSです。0Vを入力してください。
	VREGIN1	入力	1.5V系IFVCCです。VREGOUT1に接続してください。
	VREGIN2	入力	1.5V系MIXVCCです。VREGOUT1に接続してください。
	VREGIN3	入力	1.5V系LNA/PAVCCです。VREGOUT1に接続してください。
	VREGIN4	入力	1.5V系PLL VCCです。VREGOUT1に接続してください。
レギュレータ出力	VREGOUT1	出力	アナログ回路用内蔵レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続ください。VREGIN1、VREGIN2、VREGIN3、VREGIN4の電源としてのみ使用ください。
	VREGOUT2	出力	VCO用レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続ください。他の回路の電源として使用しないでください。
	VREGOUT3	出力	XIN用レギュレータ出力(1.5V)です。VSS間にバイパスコンデンサのみ接続ください。他の回路の電源として使用しないでください。
RF入出力	RFIOP、RFION	入出力	RF入出力です。
テストポート	TESTIOP、TESTION	入出力	テスト用ポートです。オープンまたは0Vを入力してください。
外付けアンテナスイッチ制御出力	ANTSWCONT	出力	外付けアンテナスイッチ制御信号出力です。アンテナスイッチ制御が必要ない場合は開放にしてください。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

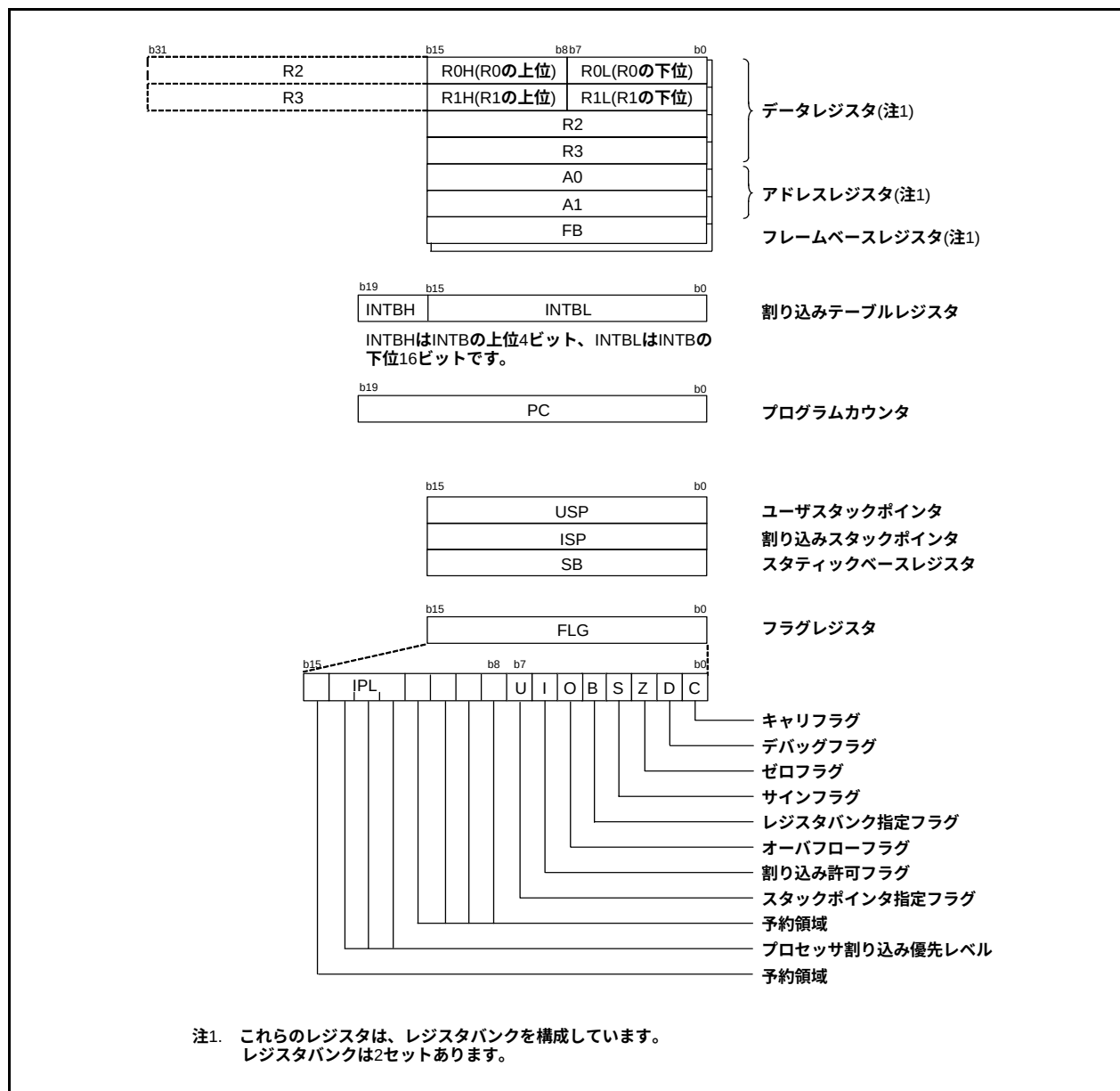


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。

USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ(Cフラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。

Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。

割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。

内部ROMはフラッシュメモリです。プログラムROM1はFFFFFh番地から下位方向に配置されます。例えば64KバイトのプログラムROM1は、F0000h番地からFFFFFh番地に配置されます。また、0E000h番地から0FFFFh番地には8Kバイトのデータフラッシュがあります。この領域は主にデータ格納用ですが、プログラムを格納することもできます。10000h番地から13FFFh番地はプログラムROM2です。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば10Kバイトの内部RAMは、00400h番地から02BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から003FFh番地と、0D000hから0D7FFh番地に配置されています。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFD7h番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20、M16C/Tinyシリーズソフトウェアマニュアル」を参照してください。

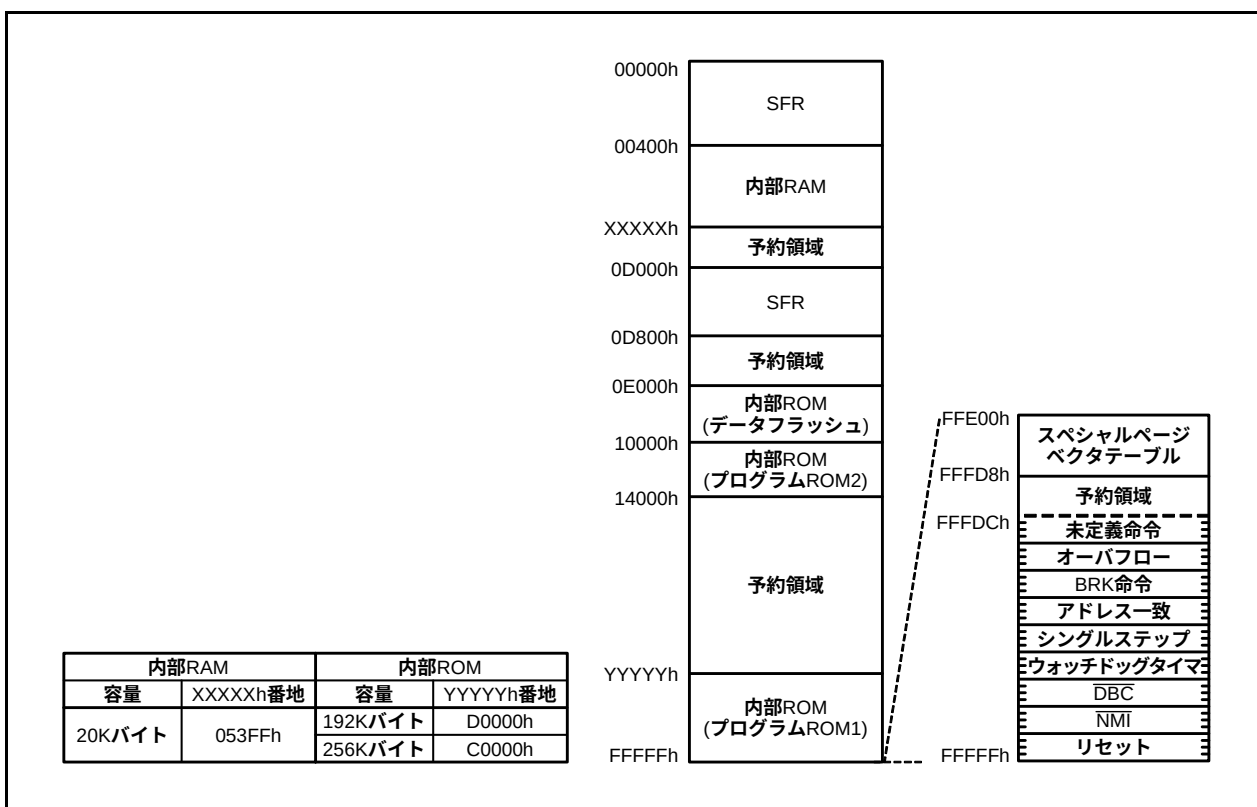


図3.1 メモリ配置

4. SFR

SFR (Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.14にSFR一覧を示します。

表4.1 SFR一覧(1) (注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00000000b (注2)
0005h	プロセッサモードレジスタ1	PM1	00001000b
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ1	CM1	00100000b
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	CM2	0X000010b (注3)
000Dh			
000Eh			
000Fh			
0010h	プログラム2領域制御レジスタ	PRG2C	XXXXXXXX0b
0011h			
0012h	周辺クロック選択レジスタ	PCLKR	00000011b
0013h			
0014h			
0015h	時計用プリスケアラリセットフラグ	CPSRF	0XXXXXXXXb
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch			
001Dh			
001Eh	プロセッサモードレジスタ2	PM2	XX000X01b (注3)
001Fh			
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah			
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			

X：不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. 次のレジスタまたはビットは、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセット時は変化しません。
PM0のレジスタのPM00、PM01ビット。

注3. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。

表4.2 SFR一覧(2) (注1)

番地	レジスタ	シンボル	リセット後の値
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h			
0043h			
0044h			
0045h	タイマB5割り込み制御レジスタ	TB5IC	XXXXX000b
0046h	タイマB4割り込み制御レジスタ、UART1バス衝突検出割り込み制御レジスタ	TB4IC、U1BCNIC	XXXXX000b
0047h	タイマB3割り込み制御レジスタ、UART0バス衝突検出割り込み制御レジスタ	TB3IC、U0BCNIC	XXXXX000b
0048h	タイマコンペア0割り込み制御レジスタ	BBTIM0IC	XXXXX000b
0049h	タイマコンペア1割り込み制御レジスタ	BBTIM1IC	XXXXX000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXXX000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ(注2)	ADIC	XXXXX000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXXX000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXXX000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXXX000b
0058h	タイマA3割り込み制御レジスタ	TA3IC	XXXXX000b
0059h	タイマA4割り込み制御レジスタ	TA4IC	XXXXX000b
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXXX000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXXX000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	タイマコンペア2割り込み制御レジスタ	BBTIM2IC	XXXXX000b

X：不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. 48ピン版では予約領域です。アクセスしないでください。

表4.3 SFR一覧(3) (注1)

番地	レジスタ	シンボル	リセット後の値
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2割り込み制御レジスタ	DM2IC	XXXXX000b
006Ah	DMA3割り込み制御レジスタ	DM3IC	XXXXX000b
006Bh	送信完了割り込み制御レジスタ	BBTXIC	XXXXX000b
006Ch	バンク0受信完了/IDLE割り込み制御レジスタ	BBRX0IC/BBIDLEIC	XXXXX000b
006Dh	バンク1受信完了/クロックレギュレータ割り込み制御レジスタ	BBRX1IC/BBCREGIC	XXXXX000b
006Eh	アドレスフィルタ割り込み制御レジスタ	BBADFIC	XXXXX000b
006Fh	CCA完了割り込み制御レジスタ	BBCCAIC	XXXXX000b
0070h	PLLロック検出割り込み制御レジスタ	BBPLLIC	XXXXX000b
0071h	送信オーバーラン割り込み制御レジスタ	BBTXORIC	XXXXX000b
0072h	受信オーバーラン0割り込み制御レジスタ	BBRXOR0IC	XXXXX000b
0073h	受信オーバーラン1割り込み制御レジスタ	BBRXOR1IC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h	LEDポート切り替えレジスタ	LEDCON	00h
0081h			
0082h	キー入力制御レジスタ0	KICON0	00h
0083h	キー入力制御レジスタ1	KICON1	00h
0084h	タイマA入出力制御レジスタ	TAIOCON	00h
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h～			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4) (注1)

番地	レジスタ	シンボル	リセット後の値
0100h	ベースバンド制御レジスタ	BBCON	00h
0101h	送受信リセットレジスタ	BBTXRXRST	00h
0102h	送受信モードレジスタ0	BBTXRXMODE0	00h
0103h	送受信モードレジスタ1	BBTXRXMODE1	06h
0104h	受信フレームレングスレジスタ	BBRXFLEN	00h
0105h	受信データカウンタレジスタ	BBRXCOUNT	00h
0106h	RSSI/CCA結果レジスタ	BBRSSICCARSLT	00h
0107h	送受信ステータスレジスタ0	BBTXRXST0	80h
0108h	送信フレームレングスレジスタ	BBTXFLEN	00h
0109h	送受信モードレジスタ2	BBTXRXMODE2	00h
010Ah	送受信モードレジスタ3	BBTXRXMODE3	00h
010Bh	受信レベルスレッシュホールド設定レジスタ	BBLVLVTH	00h
010Ch	送受信制御レジスタ	BBTXRXCON	00h
010Dh	CSMA制御レジスタ0	BBCSMACON0	00h
010Eh	CCAレベルスレッシュホールド設定レジスタ	BBCCAVTH	00h
010Fh	送受信ステータスレジスタ1	BBTXRXST1	00h
0110h	RF制御レジスタ	BBRFCON	00h
0111h	送受信モードレジスタ4	BBTXRXMODE4	00h
0112h	CSMA制御レジスタ1	BBCSMACON1	9Ch
0113h	CSMA制御レジスタ2	BBCSMACON2	05h
0114h	PAN識別子レジスタ	BBPANID	00h
0115h			00h
0116h	ショートアドレスレジスタ	BBSHORTAD	00h
0117h			00h
0118h	拡張アドレスレジスタ	BBEXTENDAD0	00h
0119h			00h
011Ah		BBEXTENDAD1	00h
011Bh			00h
011Ch		BBEXTENDAD2	00h
011Dh			00h
011Eh		BBEXTENDAD3	00h
011Fh			00h
0120h	タイマ読み出しレジスタ0	BBTIMEREAD0	00h
0121h			00h
0122h	タイマ読み出しレジスタ1	BBTIMEREAD1	00h
0123h			00h
0124h	タイマコンペア0レジスタ0	BBTCOMP0REG0	00h
0125h			00h
0126h	タイマコンペア0レジスタ1	BBTCOMP0REG1	00h
0127h			00h
0128h	タイマコンペア1レジスタ0	BBTCOMP1REG0	00h
0129h			00h
012Ah	タイマコンペア1レジスタ1	BBTCOMP1REG1	00h
012Bh			00h
012Ch	タイマコンペア2レジスタ0	BBTCOMP2REG0	00h
012Dh			00h
012Eh	タイマコンペア2レジスタ1	BBTCOMP2REG1	00h
012Fh			00h
0130h	タイムスタンプレジスタ0	BBTSTAMP0	00h
0131h			00h
0132h	タイムスタンプレジスタ1	BBTSTAMP1	00h
0133h			00h
0134h	タイマ制御レジスタ	BBTIMECON	00h
0135h	バックオフバリエーションレジスタ	BBBOFFPROD	00h
0136h			
0137h			
0138h			
0139h			
013Ah	PLL分周レジスタ0	BBPLLDIVL	65h
013Bh	PLL分周レジスタ1	BBPLLDIVH	09h
013Ch	送信出力パワーレジスタ	BBTXOUTPWR	00h
013Dh	RSSIオフセットレジスタ	BBRSSIOFS	EEh
013Eh			
013Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5) (注1)

番地	レジスタ	シンボル	リセット後の値
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h	評価モード設定レジスタ	BBEVAREG	00h
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h	IDLEウェイト設定レジスタ	BBIDLEWAIT	19h
0177h			
0178h			
0179h			
017Ah	ANTSW出力タイミング設定レジスタ	BBANTSWTIMG	72h
017Bh			
017Ch	RF初期設定レジスタ	BBRFINI	XXh
017Dh			XXh
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.6 SFR一覧(6) (注1)

番地	レジスタ	シンボル	リセット後の値
0180h	DMA0 ソースポインタ	SAR0	XXh
0181h			XXh
0182h			0Xh
0183h			
0184h	DMA0 ディスティネーションポインタ	DAR0	XXh
0185h			XXh
0186h			0Xh
0187h			
0188h	DMA0 転送カウンタ	TCR0	XXh
0189h			XXh
018Ah			
018Bh			
018Ch	DMA0 制御レジスタ	DM0CON	00000X00b
018Dh			
018Eh			
018Fh			
0190h	DMA1 ソースポインタ	SAR1	XXh
0191h			XXh
0192h			0Xh
0193h			
0194h	DMA1 ディスティネーションポインタ	DAR1	XXh
0195h			XXh
0196h			0Xh
0197h			
0198h	DMA1 転送カウンタ	TCR1	XXh
0199h			XXh
019Ah			
019Bh			
019Ch	DMA1 制御レジスタ	DM1CON	00000X00b
019Dh			
019Eh			
019Fh			
01A0h	DMA2 ソースポインタ	SAR2	XXh
01A1h			XXh
01A2h			0Xh
01A3h			
01A4h	DMA2 ディスティネーションポインタ	DAR2	XXh
01A5h			XXh
01A6h			0Xh
01A7h			
01A8h	DMA2 転送カウンタ	TCR2	XXh
01A9h			XXh
01AAh			
01ABh			
01ACh	DMA2 制御レジスタ	DM2CON	00000X00b
01ADh			
01AEh			
01AFh			
01B0h	DMA3 ソースポインタ	SAR3	XXh
01B1h			XXh
01B2h			0Xh
01B3h			
01B4h	DMA3 ディスティネーションポインタ	DAR3	XXh
01B5h			XXh
01B6h			0Xh
01B7h			
01B8h	DMA3 転送カウンタ	TCR3	XXh
01B9h			XXh
01BAh			
01BBh			
01BCh	DMA3 制御レジスタ	DM3CON	00000X00b
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7) (注1)

番地	レジスタ	シンボル	リセット後の値
01C0h			
01C1h			
01C2h			
01C3h			
01C4h			
01C5h			
01C6h			
01C7h			
01C8h	タイマBカウントソース選択レジスタ0	TBCS0	00h
01C9h	タイマBカウントソース選択レジスタ1	TBCS1	X0h
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	タイマAカウントソース選択レジスタ0	TACS0	00h
01D1h	タイマAカウントソース選択レジスタ1	TACS1	00h
01D2h	タイマAカウントソース選択レジスタ2	TACS2	X0h
01D3h			
01D4h			
01D5h	タイマA波形出力機能選択レジスタ	TAPOFS	XXX00000b
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h	タイマBカウントソース選択レジスタ2	TBCS2	00h
01E9h	タイマBカウントソース選択レジスタ3	TBCS3	X0h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.8 SFR一覧(8) (注1)

番地	レジスタ	シンボル	リセット後の値
0200h			
0201h			
0202h			
0203h			
0204h			
0205h			
0206h	割り込み要因選択レジスタ2	IFSR2A	00h
0207h	割り込み要因選択レジスタ	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	アドレス一致割り込み許可レジスタ	AIER	XXXXXX00b
020Fh	アドレス一致割り込み許可レジスタ2	AIER2	XXXXXX00b
0210h	アドレス一致割り込みレジスタ0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	アドレス一致割り込みレジスタ1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	アドレス一致割り込みレジスタ2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	アドレス一致割り込みレジスタ3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			
0220h	フラッシュメモリ制御レジスタ0	FMR0	00000001b
0221h	フラッシュメモリ制御レジスタ1	FMR1	00X0X0Xb
0222h	フラッシュメモリ制御レジスタ2	FMR2	XXXX0000b
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	フラッシュメモリ制御レジスタ6	FMR6	XX0XXX00b
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.9 SFR一覧(9) (注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h			
0243h			
0244h	UART0特殊モードレジスタ4	U0SMR4	00h
0245h	UART0特殊モードレジスタ3	U0SMR3	000X0X0Xb
0246h	UART0特殊モードレジスタ2	U0SMR2	X0000000b
0247h	UART0特殊モードレジスタ	U0SMR	X0000000b
0248h	UART0送受信モードレジスタ	U0MR	00h
0249h	UART0ビットレートレジスタ	U0BRG	XXh
024Ah	UART0送信バッファレジスタ	U0TB	XXh
024Bh			XXh
024Ch	UART0送受信制御レジスタ0	U0C0	00001000b
024Dh	UART0送受信制御レジスタ1	U0C1	00XX0010b
024Eh	UART0受信バッファレジスタ	U0RB	XXh
024Fh			XXh
0250h	UART送受信制御レジスタ2	U0CON	X0000000b
0251h			
0252h			
0253h			
0254h	UART1特殊モードレジスタ4	U1SMR4	00h
0255h	UART1特殊モードレジスタ3	U1SMR3	000X0X0Xb
0256h	UART1特殊モードレジスタ2	U1SMR2	X0000000b
0257h	UART1特殊モードレジスタ	U1SMR	X0000000b
0258h	UART1送受信モードレジスタ	U1MR	00h
0259h	UART1ビットレートレジスタ	U1BRG	XXh
025Ah	UART1送信バッファレジスタ	U1TB	XXh
025Bh			XXh
025Ch	UART1送受信制御レジスタ0	U1C0	00001000b
025Dh	UART1送受信制御レジスタ1	U1C1	00XX0010b
025Eh	UART1受信バッファレジスタ	U1RB	XXh
025Fh			XXh
0260h			
0261h			
0262h			
0263h			
0264h	UART2特殊モードレジスタ4	U2SMR4	00h
0265h	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
0266h	UART2特殊モードレジスタ2	U2SMR2	X0000000b
0267h	UART2特殊モードレジスタ	U2SMR	X0000000b
0268h	UART2送受信モードレジスタ	U2MR	00h
0269h	UART2ビットレートレジスタ	U2BRG	XXh
026Ah	UART2送信バッファレジスタ	U2TB	XXh
026Bh			XXh
026Ch	UART2送受信制御レジスタ0	U2C0	00001000b
026Dh	UART2送受信制御レジスタ1	U2C1	00000010b
026Eh	UART2受信バッファレジスタ	U2RB	XXh
026Fh			XXh
0270h～ 02FFh			

X：不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表4.10 SFR一覧(10) (注1)

番地	レジスタ	シンボル	リセット後の値
0300h	タイマB3, B4, B5 カウント開始フラグ	TBSR	000XXXXXb
0301h			
0302h			
0303h			
0304h			
0305h			
0306h			
0307h			
0308h			
0309h			
030Ah			
030Bh			
030Ch			
030Dh			
030Eh			
030Fh			
0310h	タイマB3レジスタ	TB3	XXh
0311h			XXh
0312h	タイマB4レジスタ	TB4	XXh
0313h			XXh
0314h	タイマB5レジスタ	TB5	XXh
0315h			XXh
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	タイマB3モードレジスタ	TB3MR	00XX0000b
031Ch	タイマB4モードレジスタ	TB4MR	00XX0000b
031Dh	タイマB5モードレジスタ	TB5MR	00XX0000b
031Eh			
031Fh			
0320h	カウント開始フラグ	TABSR	00h
0321h			
0322h	ワンショット開始フラグ	ONSF	00h
0323h	トリガ選択レジスタ	TRGSR	00h
0324h	アップダウンフラグ	UDF	00h
0325h			
0326h	タイマA0レジスタ	TA0	XXh
0327h			XXh
0328h	タイマA1レジスタ	TA1	XXh
0329h			XXh
032Ah	タイマA2レジスタ	TA2	XXh
032Bh			XXh
032Ch	タイマA3レジスタ	TA3	XXh
032Dh			XXh
032Eh	タイマA4レジスタ	TA4	XXh
032Fh			XXh
0330h	タイマB0レジスタ	TB0	XXh
0331h			XXh
0332h	タイマB1レジスタ	TB1	XXh
0333h			XXh
0334h	タイマB2レジスタ	TB2	XXh
0335h			XXh
0336h	タイマA0モードレジスタ	TA0MR	00h
0337h	タイマA1モードレジスタ	TA1MR	00h
0338h	タイマA2モードレジスタ	TA2MR	00h
0339h	タイマA3モードレジスタ	TA3MR	00h
033Ah	タイマA4モードレジスタ	TA4MR	00h
033Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
033Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
033Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
033Eh			
033Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.11 SFR一覧(11) (注1)

番地	レジスタ	シンボル	リセット後の値
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh			
035Fh			
0360h			
0361h	ブルアップ制御レジスタ1	PUR1	00000000b
0362h	ブルアップ制御レジスタ2	PUR2	00h
0363h			
0364h			
0365h			
0366h			
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

表4.12 SFR一覧(12) (注1)

番地	レジスタ	シンボル	リセット後の値
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	カウントソース保護モードレジスタ	CSPR	00h (注2)
037Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
037Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
037Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXb
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2要因選択レジスタ	DM2SL	00h
0391h			
0392h	DMA3要因選択レジスタ	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0要因選択レジスタ	DM0SL	00h
0399h			
039Ah	DMA1要因選択レジスタ	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			

X：不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFS1番地のCSPROINTビットが“0”の場合は“10000000b”になります。

表4.13 SFR一覧(13) (注1)

番地	レジスタ	シンボル	リセット後の値
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRCデータレジスタ	CRCD	XXh
03BDh			XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			
03C0h	A/Dレジスタ0 (注2)	AD0	XXXXXXXXb 000000XXb
03C1h			
03C2h	A/Dレジスタ1 (注2)	AD1	XXXXXXXXb 000000XXb
03C3h			
03C4h	A/Dレジスタ2 (注2)	AD2	XXXXXXXXb 000000XXb
03C5h			
03C6h	A/Dレジスタ3 (注2)	AD3	XXXXXXXXb 000000XXb
03C7h			
03C8h	A/Dレジスタ4 (注2)	AD4	XXXXXXXXb 000000XXb
03C9h			
03CAh	A/Dレジスタ5 (注2)	AD5	XXXXXXXXb 000000XXb
03CBh			
03CCh	A/Dレジスタ6 (注2)	AD6	XXXXXXXXb 000000XXb
03CDh			
03CEh	A/Dレジスタ7 (注2)	AD7	XXXXXXXXb 000000XXb
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2 (注2)	ADCON2	0000X00Xb
03D5h			
03D6h	A/D制御レジスタ0 (注2)	ADCON0	00000XXXb
03D7h	A/D制御レジスタ1 (注2)	ADCON1	0000X000b
03D8h			
03D9h			

X: 不定です。

注1. 空欄は予約領域です。アクセスしないでください。

注2. 64ピン版のみ。

表4.14 SFR一覧(14) (注1)

番地	レジスタ	シンボル	リセット後の値
03DAh			
03DBh			
03DCh			
03DDh			
03DEh			
03DFh			
03E0h			
03E1h			
03E2h			
03E3h			
03E4h			
03E5h			
03E6h			
03E7h			
03E8h			
03E9h	ポートP5レジスタ	P5	XXh
03EAh			
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h			
03F2h	ポートP8方向レジスタ	PD8	00h
03F3h			
03F4h	ポートP10レジスタ(注2)	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ(注2)	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
D000h～ D09Fh			
D100h ～ D17Eh D17Fh	送信RAM	TRANSMIT_RAM_START TRANSMIT_RAM_END	
D180h ～ D1FEh	受信RAM	RECIEVE_RAM_START RECIEVE_RAM_END	
D1FFh～ D7FFh			
FFFFFh	オプション機能選択番地	OFS1	(注3)

X：不定です。

- 注1. 空欄は予約領域です。アクセスしないでください。
 注2. 48ピン版では予約領域です。アクセスしないでください。
 注3. OFS1番地を含むブロックを消去すると、OFS1番地は“FFh”になります。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセット、発振停止検出リセットがあります。

5.1 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に“L”を入力すると端子、CPU、SFRが初期化されます。

$\overline{\text{RESET}}$ 端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、125kHz オンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中に $\overline{\text{RESET}}$ 端子が“L”になると、内部RAMは不定となります。

図5.1にリセット回路の例を、表5.1に $\overline{\text{RESET}}$ 端子のレベルが“L”の期間の端子の状態を、図5.2にリセットシーケンスを示します。

5.1.1 電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) $1/f_{\text{OCO-S}} \times 20$ 待つ
- (3) $\overline{\text{RESET}}$ 端子に“H”を入力する

5.1.2 電源投入時

- (1) $\overline{\text{RESET}}$ 端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(\text{P-R})$ 待つ
- (4) $1/f_{\text{OCO-S}} \times 20$ 待つ
- (5) $\overline{\text{RESET}}$ 端子に“H”を入力する

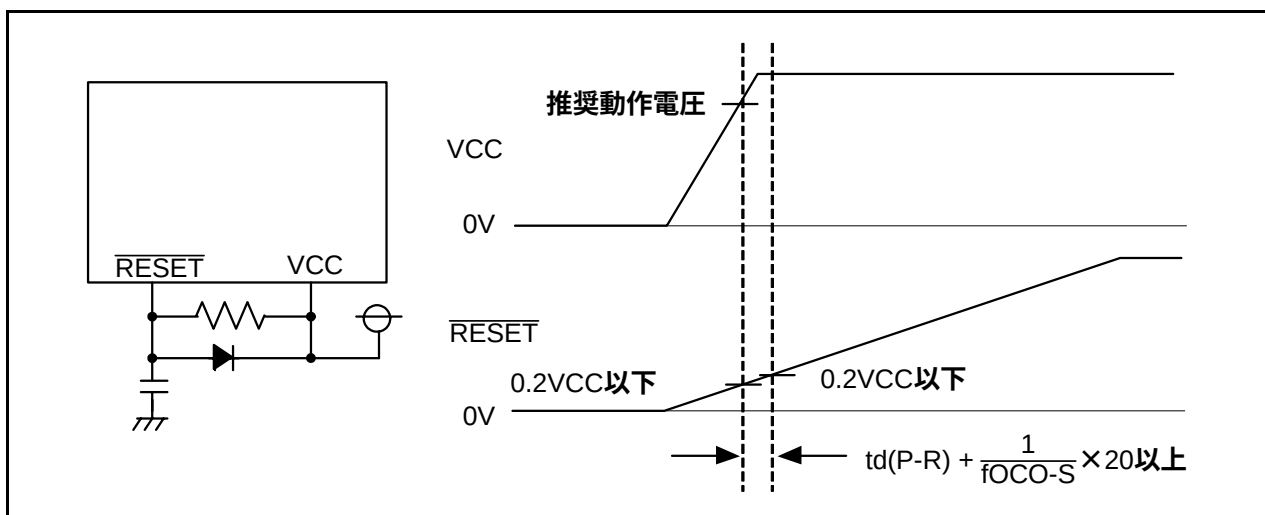


図5.1 リセット回路の例

表5.1 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態	
	64ピン版	48ピン版
P5_5	入力ポート	入力ポート
P5_7	入力ポート	入力ポート
P6	入力ポート	入力ポート
P7_0～P7_3	入力ポート	入力ポート
P7_4～P7_7	入力ポート	—
P8_0、P8_1	入力ポート	—
P8_2、P8_3、P8_5～P8_7	入力ポート	入力ポート
P10	入力ポート	—

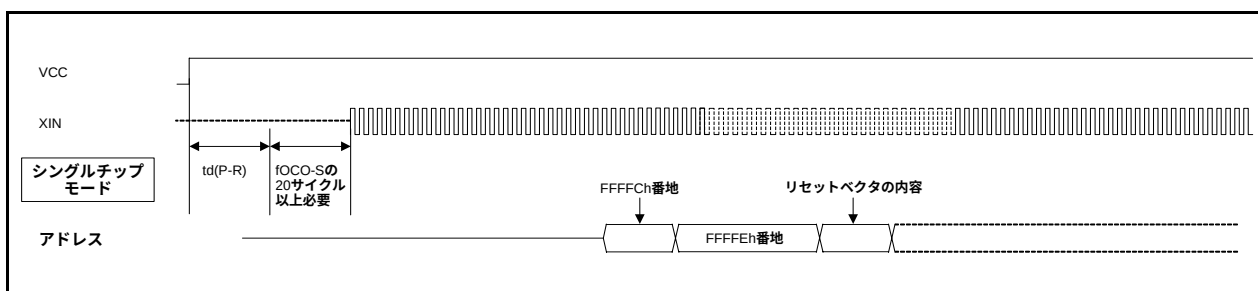


図5.2 リセットシーケンス

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、125kHzオンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。内部RAMは初期化されません。

5.3 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、125kHzオンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「10. ウォッチドッグタイマ」を参照してください。

5.4 発振停止検出リセット

CM2レジスタのCM27ビットが“0”(発振停止検出時リセット)の場合、メインクロック発振回路の停止を検出するとマイクロコンピュータは端子、CPU、SFRを初期化し、停止します。詳細は「7.6 発振停止、再発振検出機能」を参照してください。

発振停止検出リセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

5.5 内部領域の状態

図5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

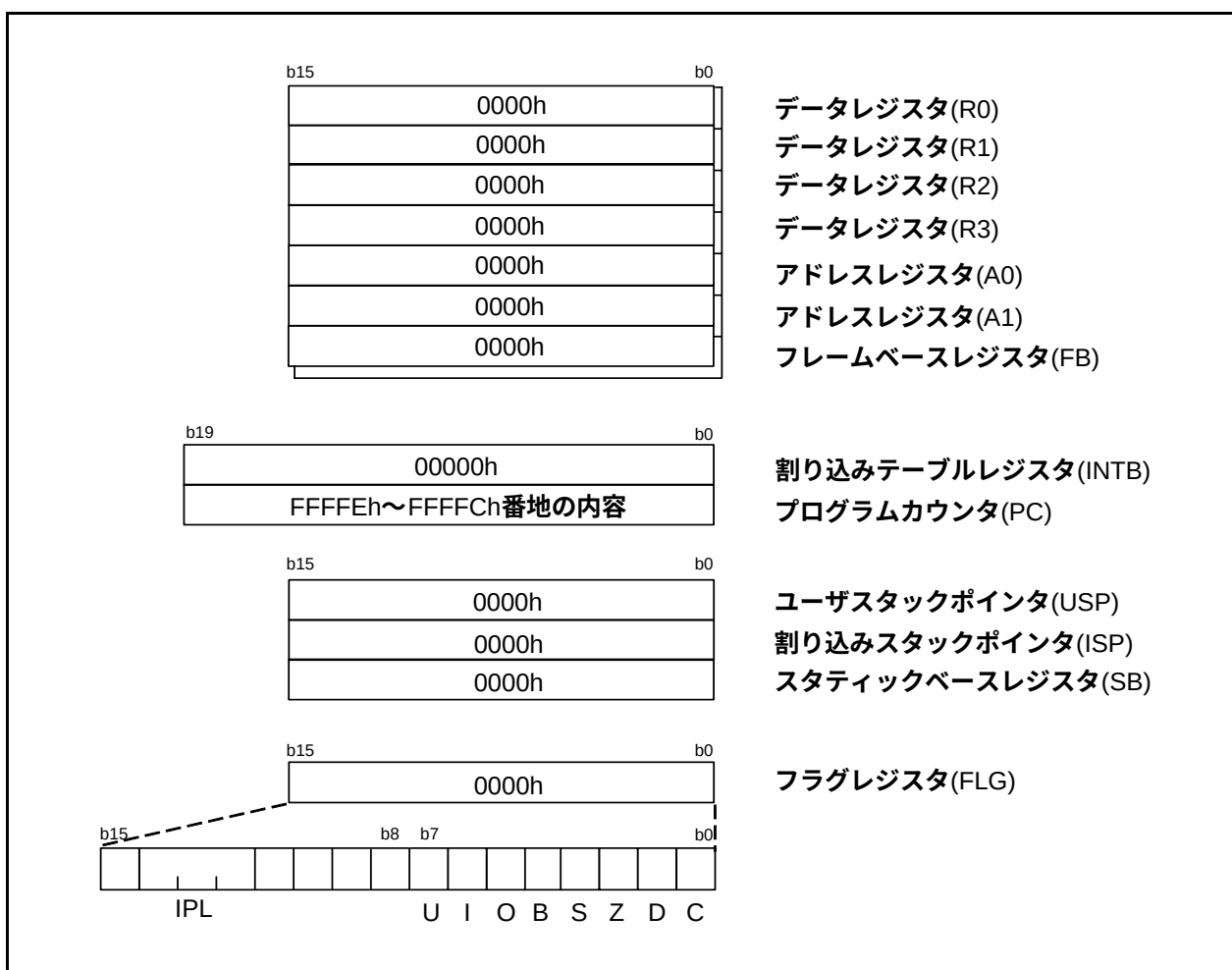


図5.3 リセット後のCPUレジスタの状態

6. プロセッサモード

6.1 プロセッサモードの種類

プロセッサモードは、シングルチップモードを選択できます。表6.1にプロセッサモードの特長を示します。

表6.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子が入出力ポートまたは周辺機能入出力端子

6.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS端子で行います。表6.2にハードウェアリセット後のプロセッサモードを示します。

表6.2 ハードウェアリセット後のプロセッサモード

CNVSS端子の入力レベル	プロセッサモード
VSS	シングルチップモード

図6.1～図6.3にプロセッサモード関連レジスタを、図6.4にシングルチップモード時のメモリ配置を示します。

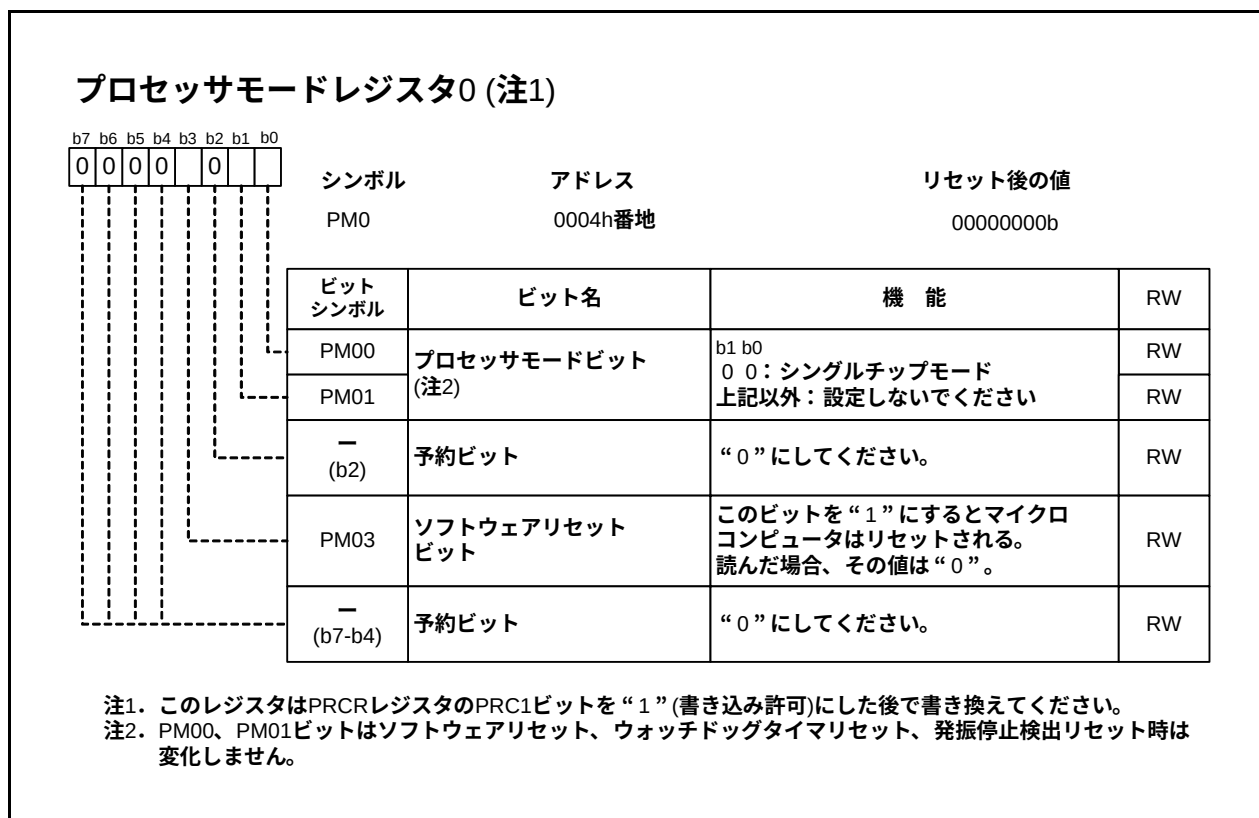
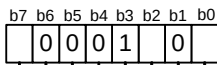


図6.1 PM0レジスタ

プロセッサモードレジスタ1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0


シンボル

アドレス

リセット後の値

PM1

0005h番地

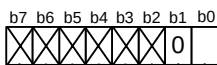
00001000b

ビットシンボル	ビット名	機能	RW
PM10	データフラッシュ有効ビット(注2)	0: 無効 1: 有効	RW
— (b1)	予約ビット	“0” にしてください。	RW
PM12	ウォッチドッグタイマ機能選択ビット(注3)	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット	RW
— (b3)	予約ビット	“1” にしてください。	RW
— (b6-b4)	予約ビット	“0” にしてください。	RW
PM17	ウェイトビット(注4)	0: ウェイトなし 1: ウェイトあり(1ウェイト)	RW

- 注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. PM10ビットは、FMR0レジスタのFMR01ビットが“1”(CPU書き換えモード)の期間、自動的に“1”になります。
 注3. PM12ビットはプログラムで“1”を書くと“1”になります(“0”を書いても変化しません)。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)のとき、PM12ビットは自動的に“1”になります。
 注4. PM17ビットが“1”(ウェイトあり)の場合、内部RAM、内部ROMアクセス時に1ウェイトが挿入されます。

図6.2 PM1レジスタ

プログラム2領域制御レジスタ(注1)

b7 b6 b5 b4 b3 b2 b1 b0


シンボル

アドレス

リセット後の値

PRG2C

0010h番地

XXXXXX0b

ビットシンボル	ビット名	機能	RW
PRG2C0	プログラムROM2無効ビット	0: プログラムROM2有効 1: プログラムROM2無効	RW
— (b1)	予約ビット	“0” にしてください。	RW
— (b7-b2)	何も配置されていない。 書く場合は“0”を書いてください。読んだ場合、その値は不定。		—

- 注1. このレジスタはPRCRレジスタのPRC6ビットを“1”(書き込み許可)にした後で書き換えてください。

図6.3 PRG2Cレジスタ

6.3 内部メモリ

内部RAMはすべてのプロセッサモードで使用できます。

内部ROMはシングルチップモードで使用できます。内部ROMにはデータフラッシュ、プログラムROM2、プログラムROM1があります。

データフラッシュにはブロックA (0E000h～0EFFFh番地)、ブロックB (0F000h～0FFFFh番地)があります。PM1レジスタのPM10ビットでデータフラッシュを有効にすると、ブロックA、ブロックB両方が使用できます。表6.3にデータフラッシュ (0E000h～0FFFFh番地)を示します。

表6.3 データフラッシュ (0E000h～0FFFFh番地)

PM1レジスタのPM10ビット	0	1
シングルチップモード	予約	データフラッシュ

プログラムROM2はPRG2CレジスタのPRG2C0ビットで選択してください。表6.4にプログラムROM2 (10000h～13FFFh番地)を示します。

シングルチップモードでプログラムROM2を使用する場合は、最後の16バイト (13FF0h～13FFFh番地)を使用しないでください。この16バイトはユーザブートコード領域です(「18.1.2 ユーザブート機能」参照)。

表6.4 プログラムROM2 (10000h～13FFFh番地)

PRG2CレジスタのPRG2C0ビット	0	1
シングルチップモード	プログラムROM2	使用できません

図6.4にシングルチップモード時のメモリ配置を示します。

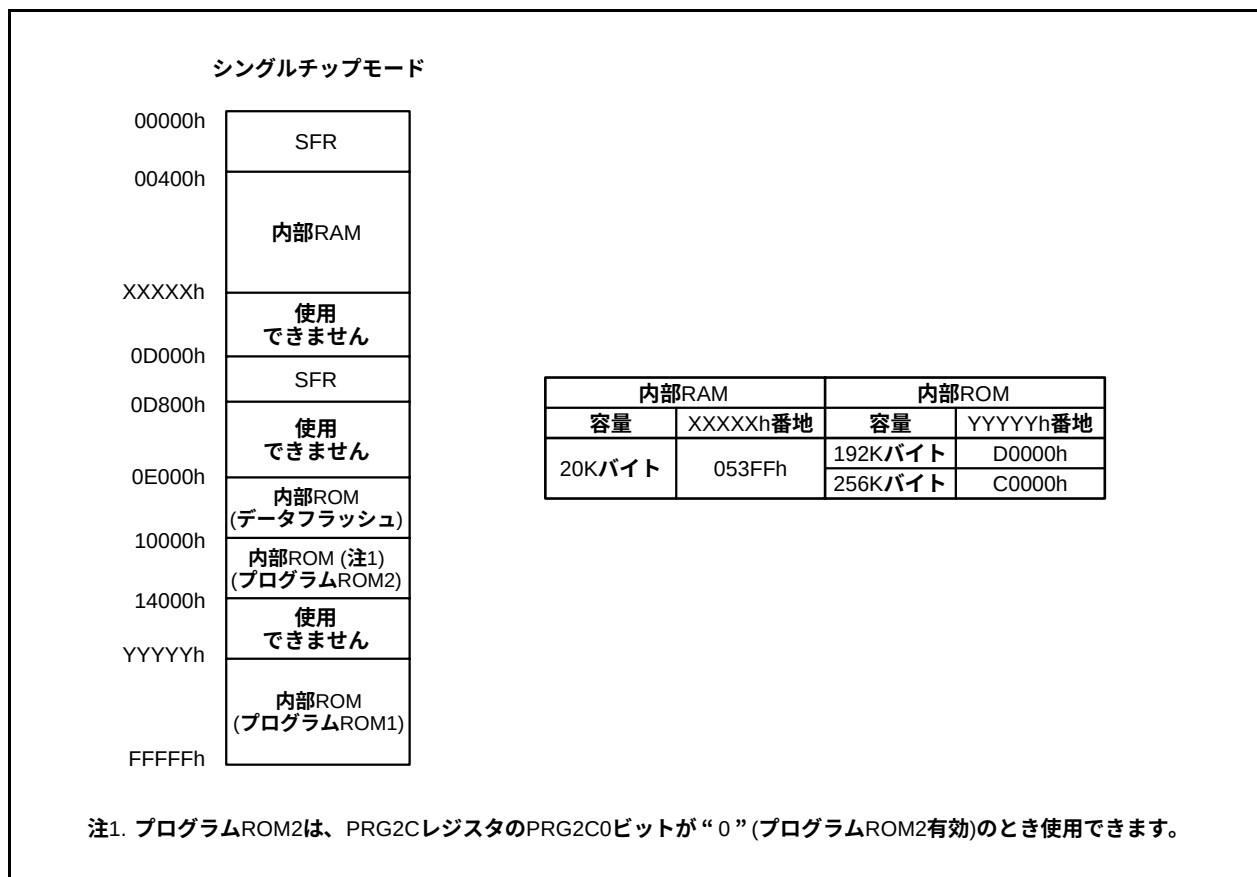


図6.4 シングルチップモード時のメモリ配置

7. クロック発生回路

7.1 クロック発生回路の種類

クロック発生回路として、3つの回路を内蔵します。

- メインクロック発振回路
- サブクロック発振回路
- 125kHz オンチップオシレータ

表7.1にクロック発生回路の概略仕様を示します。また、図7.1にシステムクロック発生回路を、図7.2～図7.5にクロック関連レジスタを示します。

表7.1 クロック発生回路の概略仕様

項目	メインクロック発振回路	サブクロック発振回路	125kHz オンチップオシレータ
用途	• CPUのクロック源 • 周辺機能のクロック源 • トランシーバの基準のクロック源	• CPUのクロック源 • タイマA、Bのクロック源	• CPUのクロック源 • 周辺機能のクロック源 • メインクロック発振停止時のCPU、周辺機能のクロック源
クロック周波数	16MHz(固定)	32.768kHz	約125kHz
接続できる発振子	水晶発振子	水晶発振子	—
発振子の接続端子	XIN、XOUT	XCIN、XCOUT	—
発振停止、再開機能	あり	あり	あり
リセット後の状態	発振	停止	発振
その他	—	外部で生成されたクロックを入力可能	—

注1. メインクロックはトランシーバの基準のクロックとしても使用しますので、16MHz(固定)です。
また、周波数許容誤差が±40ppm以下になるように水晶発振子を選択します。

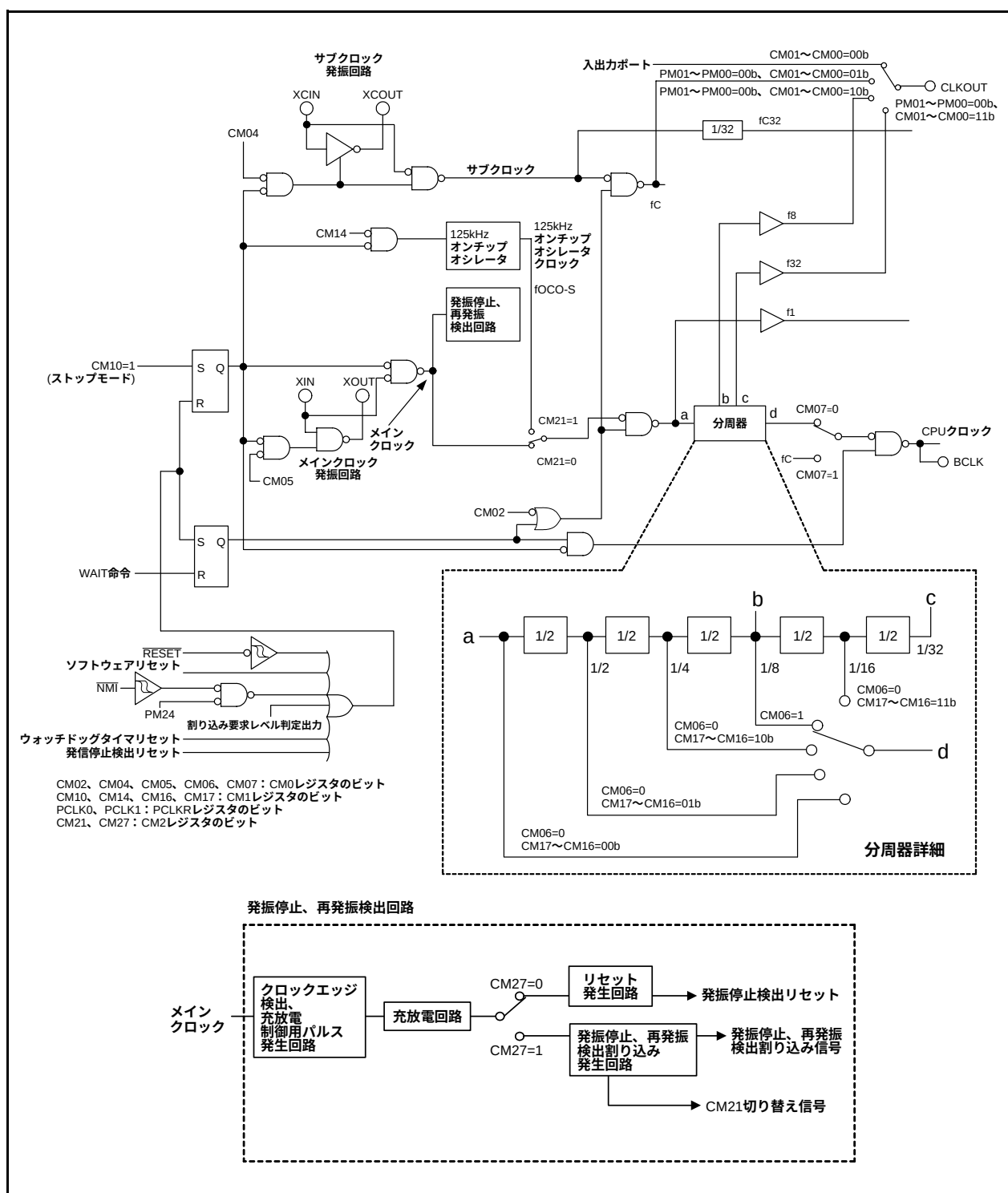


図 7.1 システムクロック発生回路

システムクロック制御レジスタ0 (注1)

シンボル CM0								アドレス 0006h番地	リセット後の値 01001000b
ビット シンボル	ビット名							機 能	RW
b7	b6	b5	b4	b3	b2	b1	b0	b1 b0 0 0：入出力ポートP5_7 0 1：fCを出力 1 0：f8を出力 1 1：f32を出力	RW
								0：ウェイトモード時、周辺機能クロックf1 停止しない 1：ウェイトモード時、周辺機能クロックf1 停止する(注8)	RW
								0：Low 1：High	RW
								0：入出力ポートP8_6、P8_7 1：XCIN-XCOUT発振機能(注9)	RW
								0：発振 1：停止(注5)	RW
								0：CM16、CM17ビット有効 1：8分周モード	RW
								0：メインクロック、または125kHz オンチップオシレータクロック 1：サブクロック	RW

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. CM04ビットが“0”(入出力ポート)の間、またはストップモードへ移行したとき、CM03ビットは“1”(HIGH)になります。
- 注3. このビットは低消費電力モード、または125kHzオンチップオシレータ低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、次のようにしてください。
- (1) サブクロックが安定して発振している状態で、CM07ビットを“1”(サブクロック選択)にする、またはCM2レジスタのCM21ビットを“1”(125kHzオンチップオシレータ選択)にする。
- (2) CM2レジスタのCM20ビットを“0”(発振停止、再発振検出機能無効)にする。
- (3) CM05ビットを“1”(停止)にする。
- 注4. 外部クロック入力時は、“0”(発振)にしてください。
- 注5. CM05ビットが“1”の場合、XOUT端子は“H”になります。
- 注6. CM04ビットを“1”(XCIN-XCOUT発振機能)にし、サブクロックの発振が安定した後に、CM07ビットを“0”から“1”(サブクロック)にしてください。
- 注7. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
- 注8. fC32、タイマA、タイマBへのクロック源であるfOCO-Sは停止しません。
- 注9. サブクロックを使用する場合、このビットを“1”にしてください。また、ポートP8_6、P8_7は入力ポートで、プルアップなしにしてください。
- 注10. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM02、CM05、CM07ビットに書いても変化しません。
- 注11. PM21ビットを“1”にする場合、CM07ビットを“0”(メインクロック)にした後で、PM21ビットを“1”にしてください。
- 注12. CPUクロックのクロック源をメインクロックにする場合、次のようにしてください。
- (1) CM05ビットを“0”(発振)にする。
- (2) メインクロック発振安定時間を待つ。
- (3) CM21ビットを“0”、CM07ビットを“0”にする。
- 注13. CM07ビットが“1”(サブクロック)、かつCM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。
- 注14. 125kHzオンチップオシレータモードから高速、中速モードに戻すときは、CM06ビットを“1”、CM15ビットを“1”にしてください。

図7.2 CM0レジスタ

システムクロック制御レジスタ1 (注1)

b7b6b5b4b3b2b1b0								シンボル	アドレス	リセット後の値	
0 0 0								CM1	0007h番地	00100000b	
								ビット シンボル	ビット名	機 能	RW
								CM10	全クロック停止制御ビット (注4、5)	0：クロック発振 1：全クロック停止(ストップモード)	RW
								— (b3-b1)	予約ビット	“0” にしてください。	RW
								CM14	125kHzオンチップオシレータ 発振停止ビット(注6、7)	0：125kHzオンチップオシレータ発振 1：125kHzオンチップオシレータ停止	RW
								CM15	XIN-XOUT駆動能力選択 ビット(注2)	0：LOW 1：HIGH	RW
								CM16	メインクロック分周比 選択ビット1(注3)	b7 b6 0 0：分周なしモード 0 1：2分周モード 1 0：4分周モード 1 1：16分周モード	RW
								CM17			

- 注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. ストップモードへの移行時、または低速モードでCM05ビットを“1”(メインクロック停止)にしたとき、CM15ビットは“1”(駆動能力HIGH)になります。
- 注3. CM06ビットが“0”(CM16、CM17ビット有効)の場合、有効となります。
- 注4. CM10ビットが“1”(ストップモード)の場合、XOUTは“H”となり、内蔵している帰還抵抗は切り離されます。XCIN端子、XCOUT端子は、ハイインピーダンスになります。CM2レジスタのCM20ビットが“1”(発振停止検出機能有効)の場合、CM10ビットを“1”にしないでください。
- 注5. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM10ビットに書いても変化しません。CSPRレジスタのCSPROビットが“1”(カウントソース保護モード有効)の場合、CM10ビットに書いても変化しません。
- 注6. CM14ビットは、CM21ビットが“0”(メインクロック)のとき、“1”(125kHzオンチップオシレータ停止)にできます。CM21ビットを“1”(125kHzオンチップオシレータクロック)にすると、CM14ビットは、“0”(125kHzオンチップオシレータ発振)になり、“1”を書いても変化しません。
- 注7. CSPRレジスタのCSPROビットが“1”(カウントソース保護モード)のとき、CM14ビットは自動的に“0”(125kHzオンチップオシレータ発振)になり、“1”を書いても変化しません(125kHzオンチップオシレータは停止しません)。

図7.3 CM1レジスタ

発振停止検出レジスタ(注1)

シンボル	アドレス	リセット後の値
CM2	000Ch番地	0X000010b(注10)

ビットシンボル	ビット名	機能	RW
CM20	発振停止、再発振検出許可ビット(注7、8、9、10)	0：発振停止、再発振検出機能無効 1：発振停止、再発振検出機能有効	RW
CM21	システムクロック選択ビット2(注2、3、6、10、11)	0：メインクロック 1：125kHzオンチップオシレータクロック	RW
CM22	発振停止、再発振検出フラグ(注4)	0：メインクロック停止、再発振を検出 1：メインクロック停止、再発振を検出	RW
CM23	XINモニタフラグ(注5)	0：メインクロック発振 1：メインクロック停止	RO
— (b5-b4)	予約ビット	“0”にしてください。	RW
— (b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CM27	発振停止、再発振検出時の動作選択ビット(注10)	0：発振停止検出リセット 1：発振停止、再発振検出割り込み	RW

- 注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
- 注2. CM20ビットが“1”(発振停止、再発振検出機能有効)、CM27ビットが“1”(発振停止、再発振検出割り込み)、CPUクロック源がメインクロックのとき、メインクロック停止が検出されるとCM21ビットは“1”(125kHzオンチップオシレータクロック)になります。
- 注3. CM20ビットが“1”で、かつCM23ビットが“1”(メインクロック停止)のとき、CM21ビットを“0”にしないでください。
- 注4. メインクロック停止検出時とメインクロック再発振検出時“1”になります。このビットが“0”から“1”に変化すると発振停止、再発振検出割り込み要求が発生します。割り込みルーチンで発振停止、再発振検出割り込みと、ウォッチドッグタイマ割り込みの要因判別のために使用してください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません。また、発振停止、再発振検出割り込み要求が受け付けられても、“0”になりません)。CM22ビットが“1”のとき、発振停止または再発振を検出しても、発振停止、再発振検出割り込みは発生しません。
- 注5. 発振停止、再発振検出割り込みルーチンで、CM23ビットを数回読むことによりメインクロックの状態を判定してください。
- 注6. CM0レジスタのCM07ビットが“0”のとき有効。
- 注7. PM2レジスタのPM21ビットが“1”(クロック変更禁止)の場合、CM20ビットに書いても変化しません。
- 注8. ストップモードへ移行する場合、CM20ビットを“0”(無効)にしてください。ストップモードからの復帰後、改めてCM20ビットを“1”(有効)にしてください。
- 注9. CM0レジスタのCM05ビットを“1”(メインクロック停止)にする前にCM2レジスタのCM20ビットを“0”(無効)にしてください。
- 注10. CM20、CM21、CM27ビットは発振停止検出リセット時は変化しません。
- 注11. CM21ビットが“0”(メインクロック)、CM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。

図 7.4 CM2 レジスタ

周辺クロック選択レジスタ(注1)

シンボル	アドレス	リセット後の値
PCLKR	0012h番地	00000011b

ビットシンボル	ビット名	機能	RW
PCLK0	タイマA、Bクロック選択ビット(タイマA、タイマBのクロック源)	0: f2TIMAB 1: f1TIMAB	RW
PCLK1	SI/Oクロック選択ビット(UART0~UART2のクロック源)	0: f2SIO 1: f1SIO	RW
— (b7-b2)	予約ビット	“0”にしてください。 読んだ場合、その値は不定。	RW

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

プロセッサモードレジスタ2(注1)

シンボル	アドレス	リセット後の値
PM2	001Eh番地	XX000X01b

ビットシンボル	ビット名	機能	RW
— (b0)	予約ビット	“1”にしてください。	RW
PM21	システムクロック保護ビット(注2、3)	0: PRCRレジスタでクロックを保護 1: クロックの変更禁止	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
— (b3)	予約ビット	“0”にしてください。	RW
PM24	P8_5/NMI機能切替ビット(注2)	0: ポートP8_5機能 1: NMI機能	RW
— (b5)	予約ビット	“0”にしてください。	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. このレジスタはPRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. 一度“1”にすると、プログラムでは“0”にできません。

注3. PM21ビットを“1”にすると次のビットに書き込んでも変化しません。

CM0レジスタのCM02ビット

CM0レジスタのCM05ビット(メインクロックは停止しない)

CM0レジスタのCM07ビット(CPUクロックのクロック源は変化しない)

CM1レジスタのCM10ビット(ストップモードに移行しない)

CM2レジスタのCM20ビット(発振停止、再発振検出機能の設定は変化しない)

なお、PM21ビットが“1”のときは、WAIT命令を実行しないでください。

図7.5 PCLKR、PM2レジスタ

クロック発生回路で生成するクロックを説明します。

7.1.1 メインクロック

メインクロック発振回路が供給するクロックです。CPU クロックと周辺機能クロックおよびトランシーバの基準のクロック源になります。メインクロック発振回路は XIN-XOUT 端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。図7.6にメインクロックの接続回路例を示します。

CPU クロックのクロック源をサブクロックまたは 125kHz オンチップオシレータクロックに切り替えた後、CM0 レジスタの CM05 ビットを “1” (メインクロック発振回路の発振停止) にすると、消費電力を低減できます。この場合、XOUT は “H” になります。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。詳細は「7.4 パワーコントロール」を参照してください。

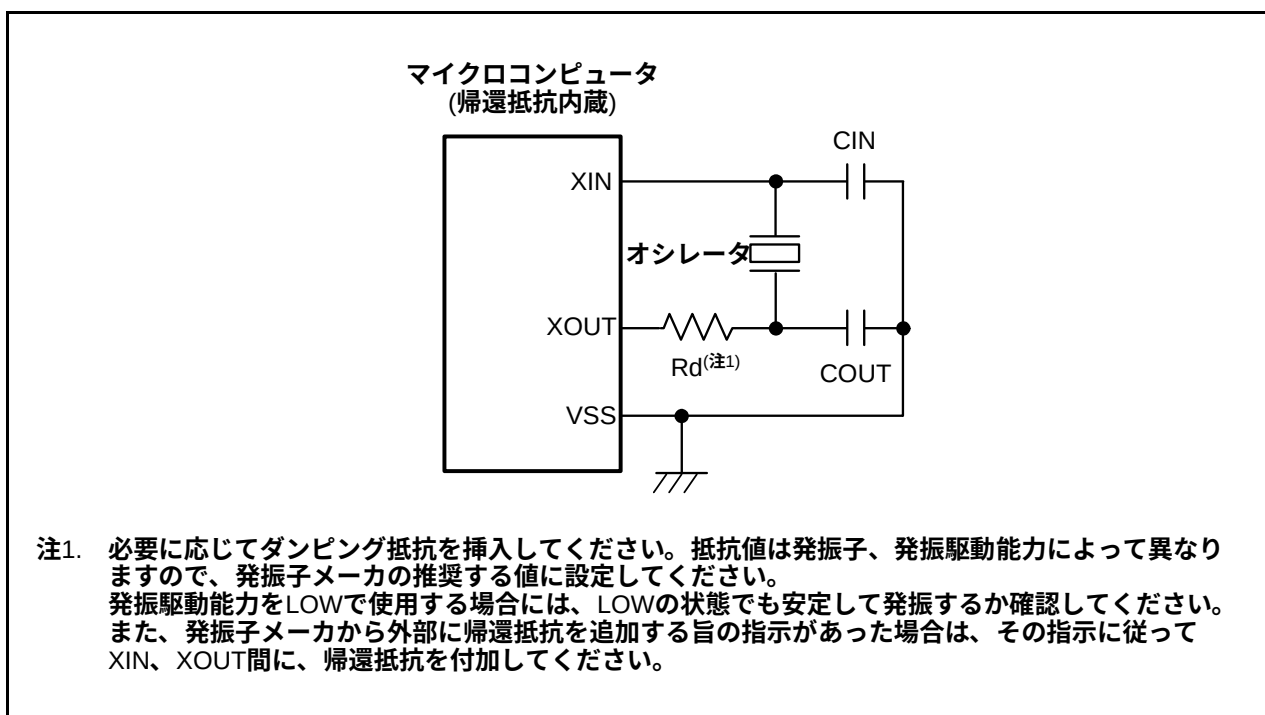


図7.6 メインクロックの接続回路例

7.1.2 サブクロック

サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウンタソースのクロック源になります。また、サブクロックと同一周波数のfCをCLKOUT端子から出力できます。

サブクロック発振回路は、XCIN-XCOUT端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路では、外部で生成されたクロックをXCIN端子へ入力することもできます。図7.7にサブクロックの接続回路例を示します。

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「7.4 パワーコントロール」を参照してください。

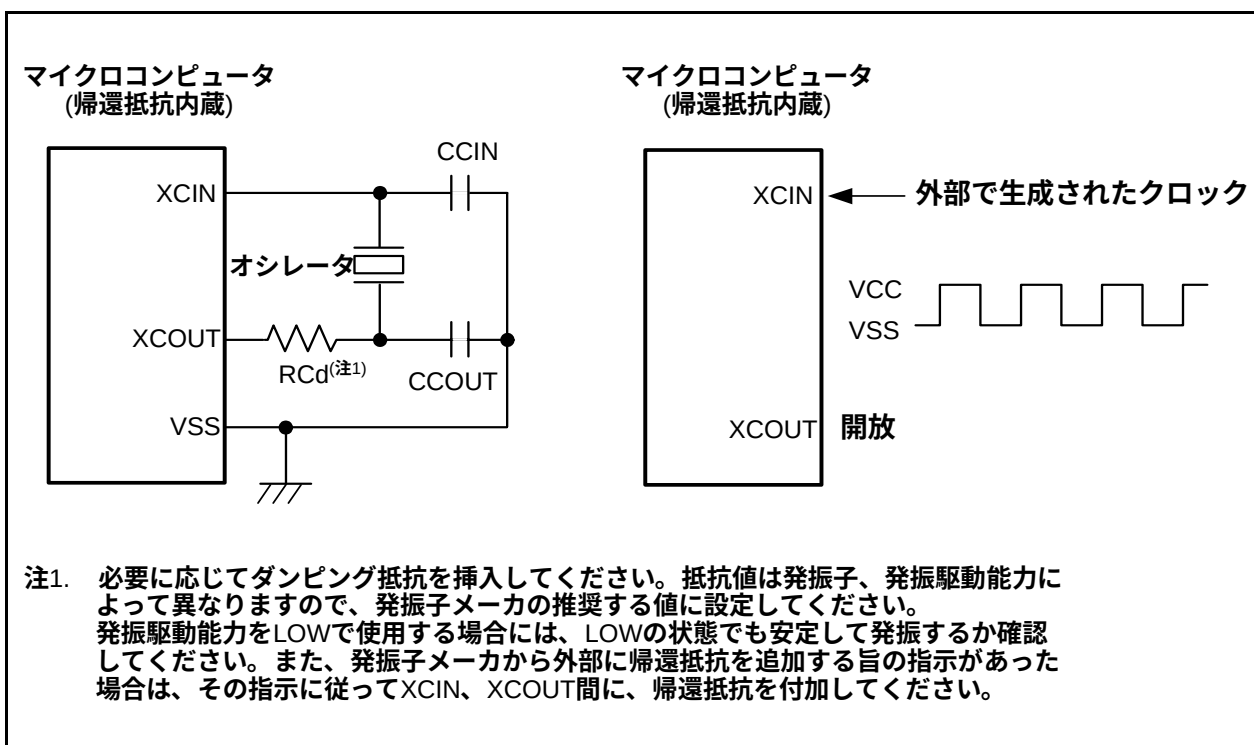


図7.7 サブクロックの接続回路例

7.1.3 125kHz オンチップオシレータクロック (fOCO-S)

125kHz オンチップオシレータが供給する約125kHzのクロックです。CPUクロックと周辺機能クロックのクロック源になります。また、CSPRレジスタのCSPROビットが“1”(カウンタソース保護モード有効)の場合、ウォッチドッグタイマのカウンタソースになります(「10.2 カウンタソース保護モード有効時」参照)。

リセット後、125kHz オンチップオシレータの8分周がCPUクロックになります。CM1レジスタのCM14ビットを“0”(125kHz オンチップオシレータ停止)にすると停止します。また、CM2レジスタのCM20ビットが“1”(発振停止、再発振検出機能有効)、かつCM27ビットが“1”(発振停止、再発振検出割り込み)の場合、メインクロックが停止したときに、自動的に125kHz オンチップオシレータが動作を開始し、クロックを供給します。

7.2 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

7.2.1 CPUクロックとBCLK

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、サブクロック、または125kHz オンチップオシレータクロックが選択できます。

CPUクロックのクロック源としてメインクロック、125kHz オンチップオシレータクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

リセット後、125kHz オンチップオシレータクロックの8分周がCPUクロックになります。

なお、ストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

7.2.2 周辺機能クロック (f1、fC32)

周辺機能の動作クロックです。

f1はメインクロック、125kHzオンチップオシレータクロックをクロック源とするクロックです。タイマA、タイマB、UART0～UART2、A/Dコンバータ(64ピン版のみ)で使します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックf1を停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、f1は停止します。

fC32はサブクロックをクロック源とし、タイマA、タイマBで使します。fC32はサブクロックが供給されているときに使できます。

この他に、fOCO-SもタイマA、タイマBで使します。fOCO-SはCM1レジスタのCM14ビットが“0”(125kHzオンチップオシレータ発振)のとき使できます。

図7.8に周辺機能クロックを示します。

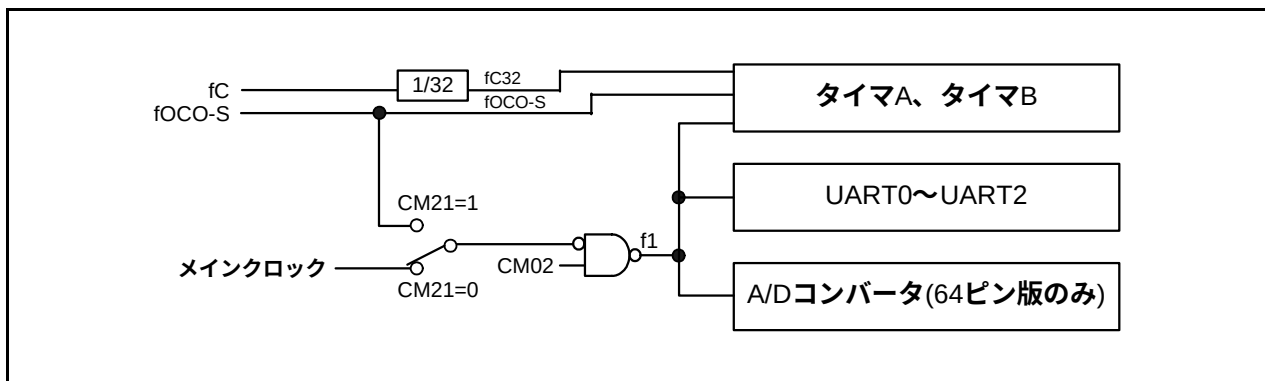


図7.8 周辺機能クロック

7.3 クロック出力機能

シングルチップモード時、CLKOUT 端子から f8、f32、または fC を出力できます。CM0 レジスタの CM01～CM00 ビットで選択してください。

7.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

7.4.1 通常動作モード

通常動作モードには、さらに7つのモードに分けられます。

通常動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

CPU クロックのクロック源を 125kHz オンチップオシレータからメインクロックに切り替える場合は、125kHz オンチップオシレータモードで 8 分周 (CM0 レジスタの CM06 ビット =1) にした後、中速モード (8 分周) に切り替えてください。

7.4.1.1 高速モード

メインクロックの 1 分周が CPU クロックとなります。サブクロックが供給されている場合は fC32 がタイマ A、タイマ B のカウントソースに使用できます。

7.4.1.2 中速モード

メインクロックの 2 分周、4 分周、8 分周、または 16 分周が CPU クロックとなります。サブクロックが供給されている場合は fC32 がタイマ A、タイマ B のカウントソースに使用できます。また、fOCO-S が発振している場合 fOCO-S をタイマ A、タイマ B のカウントソースに使用できます。

7.4.1.3 低速モード

サブクロックが CPU クロックとなります。周辺機能クロックのクロック源は、CM21 ビットが“0” (メインクロック) の場合はメインクロック、CM21 ビットが“1” (125kHz オンチップオシレータクロック) の場合は 125kHz オンチップオシレータクロックです。

fC32 がタイマ A、タイマ B のカウントソースに使用できます。

7.4.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックが CPU クロックとなります。fC32 がタイマ A、タイマ B のカウントソースに使用できます。また、fOCO-S が発振している場合 fOCO-S をタイマ A、タイマ B のカウントソースに使用できます。

このモードにすると同時に CM0 レジスタの CM06 ビットは“1” (8 分周モード) になります。低消費電力モードでは、CM06 ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速 (8 分周) モードになります。

7.4.1.5 125kHz オンチップオシレータモード

125kHz オンチップオシレータクロックの 1 分周 (分周なし)、2、4、8、16 分周が CPU クロックになります。また、125kHz オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合は fC32 がタイマ A、タイマ B のカウントソースに使用できます。高速、中速モードに戻すときには CM06 ビットを“1” (8 分周モード) にしてください。

7.4.1.6 125kHz オンチップオシレータ低消費電力モード

125kHz オンチップオシレータモードにした後、メインクロックを停止させた状態です。125kHz オンチップオシレータモードと同様にCPUクロックを選択できます。125kHz オンチップオシレータクロックが周辺機能クロックのクロック源になります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

表7.2 クロック関連ビットの設定とモード

モード		CM2レジスタ	CM1レジスタ		CM0レジスタ			
		CM21	CM14	CM17、CM16	CM07	CM06	CM05	CM04
高速モード		0	—	00b	0	0	0	—
中速モード	2分周	0	—	01b	0	0	0	—
	4分周	0	—	10b	0	0	0	—
	8分周	0	—	—	0	1	0	—
	16分周	0	—	11b	0	0	0	—
低速モード		—	—	—	1	—	0	1
低消費電力モード		0	—	—	1	1(注1)	1(注1)	1
125kHz オンチップ オシレータモード	分周なし	1	0	00b	0	0	0	—
	2分周	1	0	01b	0	0	0	—
	4分周	1	0	10b	0	0	0	—
	8分周	1	0	—	0	1	0	—
	16分周	1	0	11b	0	0	0	—
125kHz オンチップオシレータ 低消費電力モード		1	0	(注2)	0	(注2)	1	—

—：“0”または“1”

注1. 低速モードでCM05ビットを“1”(メインクロック停止)にすると低消費電力モードになり、同時に、CM06ビットは“1”(8分周モード)になります。

注2. 125kHz オンチップオシレータモードと同様に分周値を選択できます。

7.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。ただし、CSPRレジスタのCSPROビットが“1”(カウントソースは保護モード有効)の場合、ウォッチドッグタイマは動作します。メインクロック、サブクロック、125kHzオンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

7.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックf1を停止する)の場合、ウェイトモード時にf1が停止しますので、消費電力が低減できます。fC32、タイマA、タイマBへのクロック源であるfOCO-Sは停止しません。

7.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

7.4.2.3 ウェイトモード時の端子の状態

表7.3にウェイトモード時の端子の状態を示します。

表7.3 ウェイトモード時の端子の状態

端子		シングルチップモード
入出力ポート		ウェイトモードに入る直前の状態を保持
CLKOUT	fC選択時	停止しません
	f8、f32選択時	CM02ビットが“0”のとき停止しません CM02ビットが“1”のときウェイトモードに入る直前の状態を保持

7.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、NMI 割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセット、NMI 割り込みで復帰する場合、周辺機能割り込みの ILVL2～ILVL0 ビットを“000b”(割り込み禁止)にした後、WAIT 命令を実行してください。

周辺機能割り込みは CM02 ビットの影響を受けます。CM02 ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、周辺機能割り込みがウェイトモードから復帰に使用できます。CM02 ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できません。

表 7.4 ウェイトモードからの復帰に使用できるリセット、割り込みと使用条件

リセット、割り込み	CM02=0 の場合	CM02=1 の場合
NMI 割り込み	使用可	使用可
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D 変換割り込み (64 ピン版のみ)	単発モードまたは単掃引モードで使用可	使用しないでください
タイマ A 割り込み タイマ B 割り込み	すべてのモードで使用可	イベントカウンタモードまたはカウントソースが fC32、fOCO-S のとき使用可
INT 割り込み	使用可	使用可
タイマコンペア 0、1、2 割り込み	使用可	使用しないでください
送信完了割り込み	使用可	使用しないでください
バンク 0、1 受信完了割り込み	使用可	使用しないでください
アドレスフィルタ割り込み	使用可	使用しないでください
CCA 割り込み	使用可	使用しないでください
PLL ロック検出割り込み	使用可	使用しないでください
送信オーバーラン割り込み	使用可	使用しないでください
受信オーバーラン 0、1 割り込み	使用可	使用しないでください
IDLE 割り込み	使用可	使用しないでください
クロックレギュレータ割り込み	使用可	使用しないでください
ハードウェアリセット	使用可	
ウォッチドッグタイマリセット	カウントソース保護モード有効(CSPRO=1)のとき使用可	

表 7.4 にウェイトモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT 命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL2～ILVL0 ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みの ILVL2～ILVL0 ビットをすべて“000b”(割り込み禁止)にする。
- (2) I フラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して CPU クロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときの CPU クロックは、WAIT 命令実行時の CPU クロックと同じクロックです。

7.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。表7.5にストップモードからの復帰に使用できるリセット、割り込みと使用条件を示します。

表7.5 ストップモードからの復帰に使用できるリセット、割り込みと使用条件

リセット、割り込み	条件
NMI割り込み	使用可
キー入力割り込み	使用可
INT割り込み	使用可
タイマA割り込み タイマB割り込み	イベントカウンタモードで外部パルスをカウント時、使用可
シリアルインタフェース割り込み	外部クロック選択時、使用可
ハードウェアリセット	使用可

7.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

ストップモードを使用する場合、CM20ビットを“0”(発振停止、再発振検出機能無効)にしてからストップモードにしてください。

7.4.3.2 ストップモード時の端子の状態

表7.6にストップモード時の端子の状態を示します。

表7.6 ストップモード時の端子の状態

端 子	シングルチップモード
入出力ポート	ストップモードに入る直前の状態を保持
CLKOUT	“H”

7.4.3.3 ストップモードからの復帰

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込み、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセット、 $\overline{\text{NMI}}$ 割り込みで復帰する場合、周辺機能割り込みの ILVL2～ILVL0 ビットをすべて“000b”(割り込み禁止)にした後、CM10 ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10 ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みの ILVL2～ILVL0 ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みの ILVL2～ILVL0 ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPU クロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、 $\overline{\text{NMI}}$ 割り込みでストップモードから復帰した場合の CPU クロックは、ストップモード移行前の CPU クロックにしたがって、次のようになります。

ストップモード移行前の CPU クロックがサブクロックの場合

：サブクロック

ストップモード移行前の CPU クロック源がメインクロックの場合

：メインクロックの8分周

ストップモード移行前の CPU クロック源が125kHz オンチップオシレータクロックの場合

：125kHz オンチップオシレータクロックの8分周

図7.9にパワーコントロール遷移を示します。

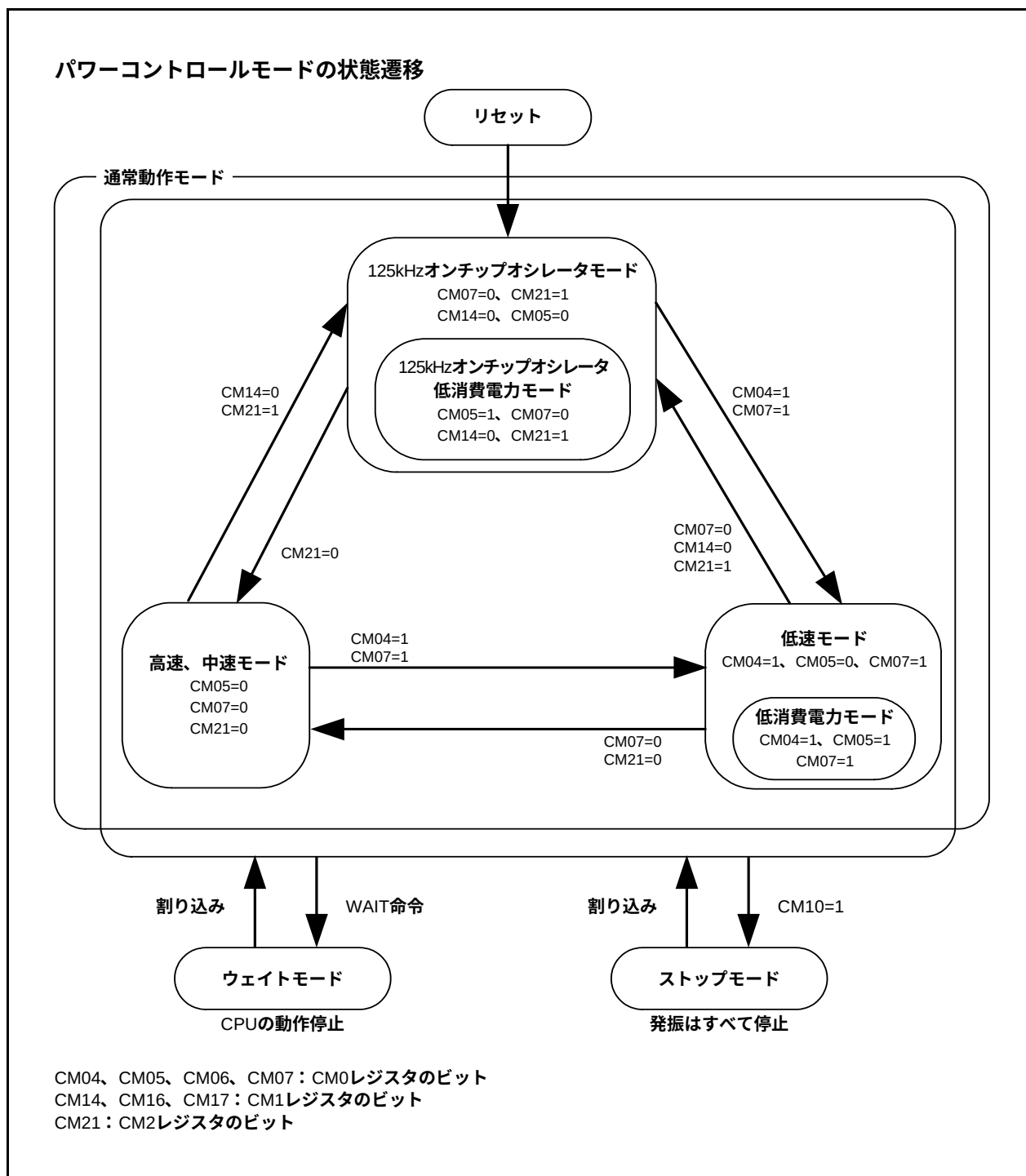


図7.9 パワーコントロール遷移

FMSTP(フラッシュメモリ停止ビット)(b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTPビットはRAM上に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合

FMSTPビットは次の手順で書き換えてください。

フラッシュメモリを停止させるとき

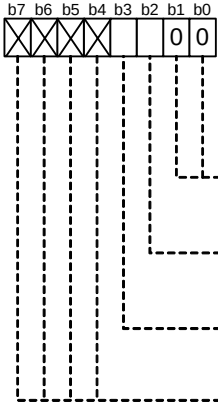
- (1) FMSTPビットを“1”にする
- (2) フラッシュメモリ回路安定待ち時間(tps)待つ

フラッシュメモリを再び動作させるとき

- (1) FMSTPビットを“0”にする
- (2) フラッシュメモリ回路安定待ち時間(tps)待つ

FMSTPビットは、FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。FMR23ビットが“1”(低消費電流リードモード許可)のとき、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。

7.4.4.2 フラッシュメモリ制御レジスタ2(FMR2)

フラッシュメモリ制御レジスタ2							
							
シンボル FMR2		アドレス 0222h番地		リセット後の値 XXXX0000b			
ビット シンボル	ビット名	機 能		RW			
— (b1-b0)	予約ビット	“0”にしてください。		RW			
FMR22	スローリードモード許可 ビット	0：禁止 1：許可		RW			
FMR23	低消費電流リードモード 許可ビット	0：禁止 1：許可		RW			
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—			

FMR22(スローリードモード許可ビット)(b2)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え(CPU書き換えモード)を行う場合はFMR22ビットは“0”(スローリードモード禁止)にしてください。

FMR22ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR23ビットは、FMR22ビットを“1”(スローリードモード許可)にした後で、“1”(低消費電流リードモード許可)にしてください。また、FMR23ビットを“0”(低消費電流リードモード禁止)にした後で、FMR22ビットを“0”(スローリードモード禁止)にしてください。また、FMR22ビットとFMR23ビットを同時に変更しないでください。

FMR23(低消費電流リードモード許可ビット)(b3)

フラッシュメモリを読み出す際の消費電流を低減するモードを許可するビットです。フラッシュメモリの書き換え(CPU書き換えモード)を行う場合はFMR23ビットは“0”(低消費電流リードモード禁止)にしてください。

低消費電流リードモードはCM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のときに使用できます。CM07ビットが“0”の場合はFMR23ビットを“0”(低消費電流リードモード禁止)にしてください。

FMR23ビットを“1”にするときは、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR23ビットは、FMR22ビットを“1”(スローリードモード許可)にした後で、“1”(低消費電流リードモード許可)にしてください。また、FMR23ビットを“0”(低消費電流リードモード禁止)にした後で、FMR22ビットを“0”(スローリードモード禁止)にしてください。FMR22ビットとFMR23ビットを同時に変更しないでください。

FMR23ビットが“1”のとき、FMR0レジスタのFMSTPビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTPビットが“1”のとき、FMR23ビットを“1”にしないでください。

FMR2レジスタのFMR23ビットが“1”(低消費電流リードモード許可)のとき、ウェイトモード、ストップモードに遷移しないでください。ウェイトモード、ストップモードに遷移する場合は、FMR23ビットを“0”(低消費電流リードモード禁止)にした後、遷移してください。

7.4.4.3 スローリードモード

$f(\text{BCLK}) \leq 5\text{MHz}$ かつPM1レジスタのPM17ビットが“1”(1ウェイト)のとき使用できます。図7.10にスローリードモードの設定、解除を示します。

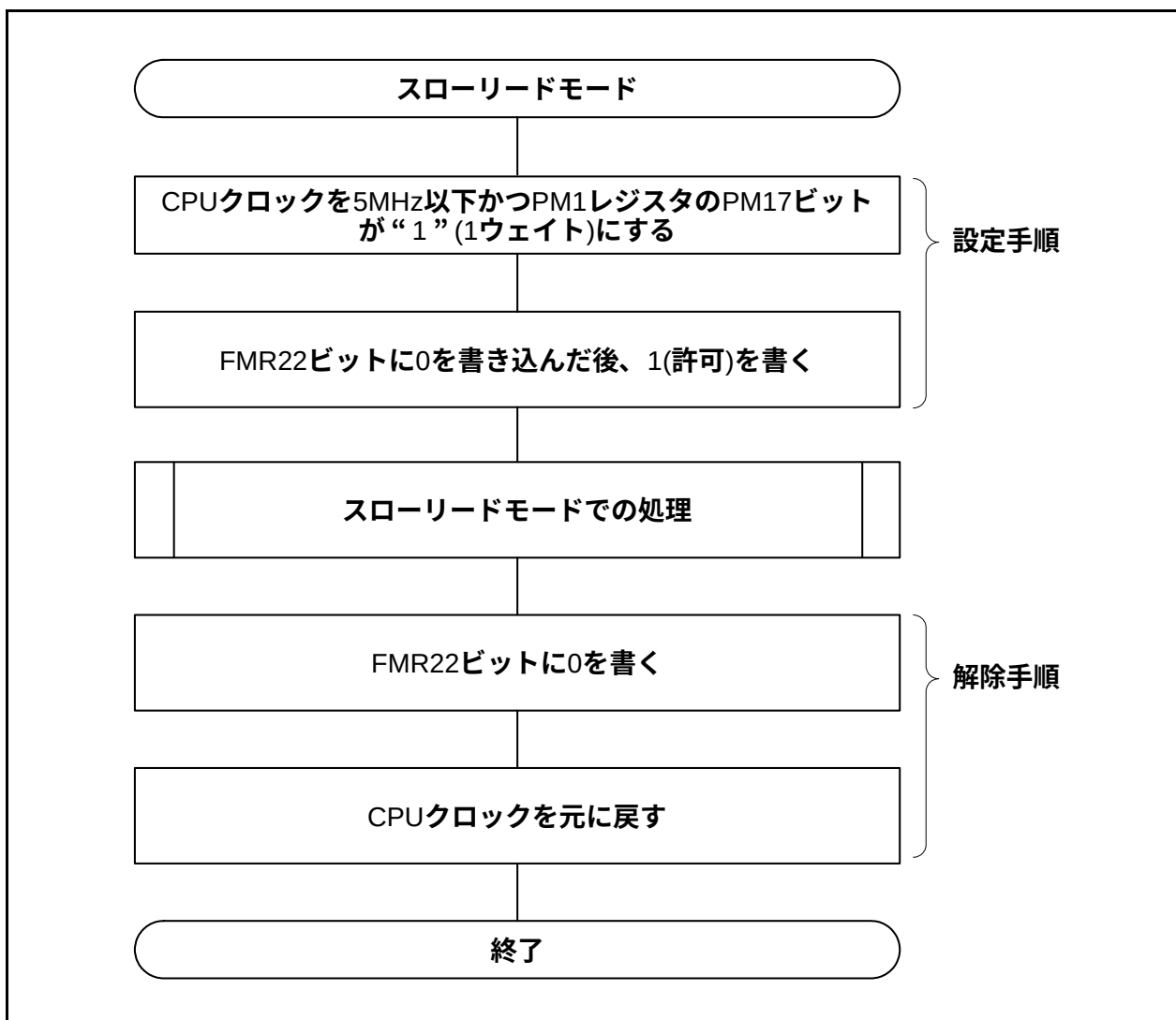


図7.10 スローリードモードの設定、解除

7.4.4.4 低消費電流リードモード

CM0レジスタのCM07ビットが“1”(CPUクロックはサブクロック)のとき使用できます。図7.11に低消費電流リードモードの設定、解除手順を示します。

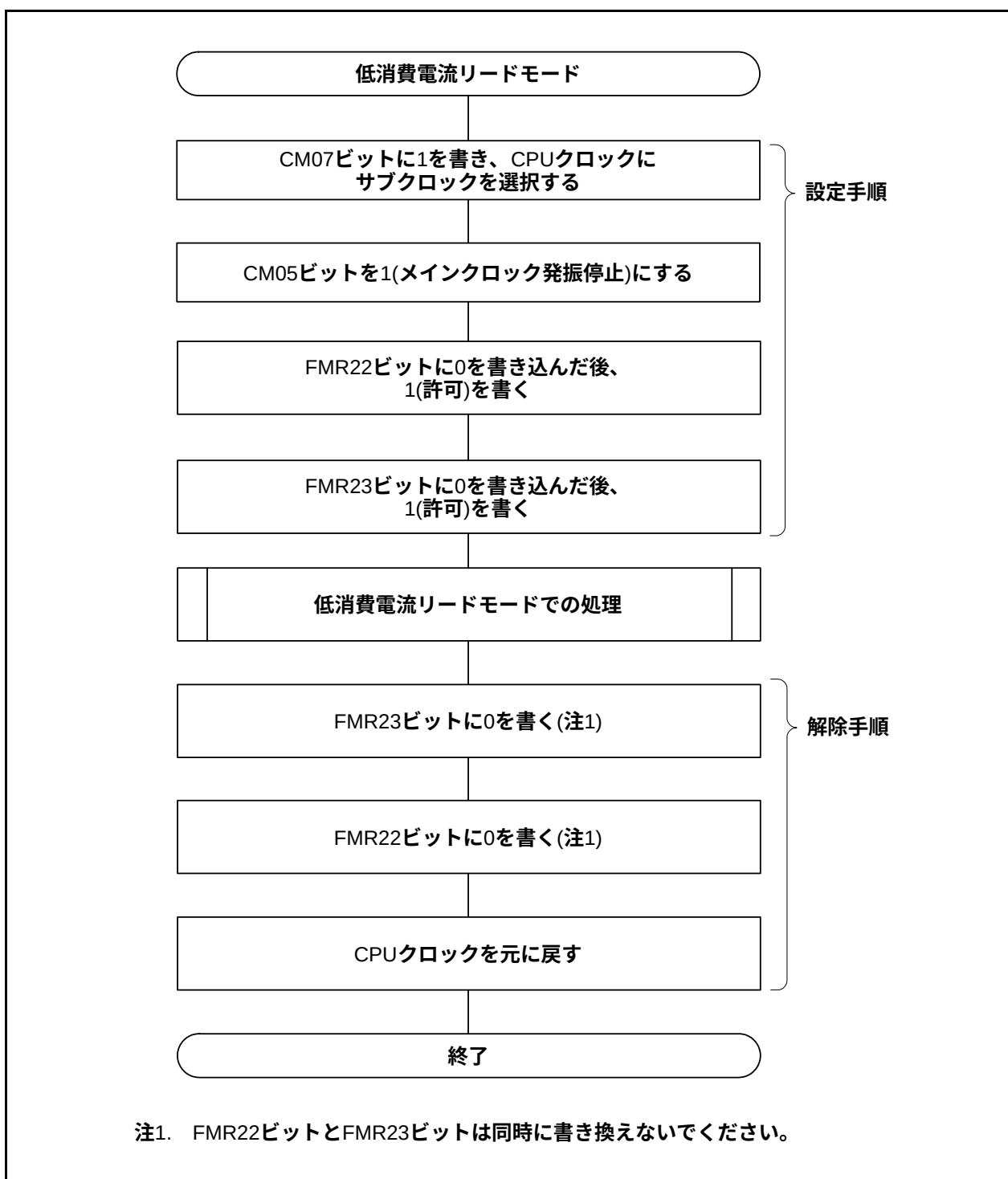


図7.11 低消費電流リードモードの設定、解除手順

7.5 システムクロック保護機能

CPUクロックのクロック源にメインクロックを選択しているとき、プログラム暴走でCPUクロックが停止しないようにクロックの変更を禁止する機能です。

PM2レジスタのPM21ビットを“1”(クロックの変更禁止)にすると、次のビットに書き込めなくなります。

- CM0レジスタのCM02ビット、CM05ビット、CM07ビット
- CM1レジスタのCM10ビット
- CM2レジスタのCM20ビット

システムクロック保護機能を使用する場合、CM0レジスタのCM05ビットが“0”(メインクロック発振)、CM07ビットが“0”(CPUクロックのクロック源はメインクロック)の状態です。次の処理をしてください。

- (1) PRCRレジスタのPRC1ビットを“1”(PM2レジスタ書き込み許可)にする
 - (2) PM2レジスタのPM21ビットを“1”(クロック変更禁止)にする
 - (3) PRCRレジスタのPRC1ビットを“0”(PM2レジスタ書き込み禁止)にする
- PM21ビットが“1”のとき、WAIT命令を実行しないでください。

7.6 発振停止、再発振検出機能

発振停止、再発振検出機能は、メインクロック発振回路の停止と再発振を検出する機能です。発振停止、再発振検出時にはリセットまたは発振停止、再発振検出割り込みを発生します。どちらを発生させるかは、CM2レジスタのCM27ビットで選択できます。

発振停止、再発振検出機能はCM2レジスタのCM20ビットで、有効、無効が選択できます。

表7.7に発振停止、再発振検出機能の仕様を示します。

表 7.7 発振停止、再発振検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2\text{MHz}$
発振停止、再発振検出機能有効条件	CM20ビットを“1”(有効)にする
発振停止、再発振検出時の動作	・リセット発生(CM27ビット=0) ・発振停止、再発振検出割り込み発生(CM27ビット=1)

7.6.1 CM27ビットが“0”(リセット)の場合の動作

CM20ビットが“1”(発振停止、再発振検出機能有効)のときに、メインクロックの停止を検出した場合、マイクロコンピュータは、初期化され停止します。(発振停止検出リセット。「4. SFR」、「5. リセット」参照。)

この状態はハードウェアリセットによって解除されます。なお、再発振検出時にもマイクロコンピュータを初期化、停止できますが、このような使い方はしないでください。(メインクロック停止中にCM20ビットを“1”、CM27ビットを“0”にしないでください。)

7.6.2 CM27ビットが“1”(発振停止、再発振検出割り込み)の場合の動作

メインクロックがCPUクロック源でCM20ビットが“1”(発振停止、再発振検出機能有効)の場合、メインクロックが停止すると、次の状態になります。

- ・発振停止、再発振検出割り込み要求が発生する
- ・CM14ビット=0 (125kHz オンチップオシレータ発振)
- ・CM21ビット=1 (125kHz オンチップオシレータクロックがCPUクロック、周辺機能クロックのクロック源)
- ・CM22ビット=1 (メインクロック停止を検出)
- ・CM23ビット=1 (メインクロック停止)

CM20ビットが“1”の場合、メインクロックが停止した状態から再発振すると、次の状態になります。

- ・発振停止、再発振検出割り込み要求が発生する
- ・CM14ビット=0 (125kHz オンチップオシレータ発振)
- ・CM22ビット=1 (メインクロック再発振を検出)
- ・CM23ビット=0 (メインクロック発振)
- ・CM21ビットは変化しない

7.6.3 発振停止、再発振検出機能使用方法

- 発振停止、再発振検出割り込みは、ウォッチドッグタイマ割り込みとベクタを共用しています。発振停止、再発振検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、割り込みルーチンでCM22ビットを読み、どちらの割り込み要因による割り込み要求かを判定してください。
- 発振停止後、メインクロックが再発振した場合は、プログラムでメインクロックをCPUクロックや周辺機能のクロック源に戻してください。図7.12に125kHz オンチップオシレータクロックからメインクロックへの切り替え手順を示します。
- 発振停止、再発振検出割り込み発生と同時にCM22ビットが“1”になります。CM22ビットが“1”のとき、発振停止、再発振検出割り込みは禁止されます。プログラムでCM22ビットを“0”にすると、発振停止、再発振検出割り込みが許可されます。
- 低速モード時、CM20ビットが“1”で、メインクロックが停止すると、発振停止、再発振検出割り込み要求が発生します。同時に125kHz オンチップオシレータが発振を開始します。このとき、CPUクロックはサブクロックのままですが、周辺機能クロックのクロック源は125kHz オンチップオシレータになります。
- 発振停止、再発振検出機能を使用中にウェイトモードへ移行する場合は、CM02ビットを“0” (ウェイトモード時周辺機能クロックを停止しない)にしてください。
- 発振停止、再発振検出機能は外部要因によるメインクロック停止に備えた機能ですので、プログラムでメインクロックを停止または発振させる場合、すなわち、ストップモードにする、またはCM05ビットを変更する場合は、CM20ビットを“0” (発振停止、再発振検出機能無効)にしてください。
- メインクロックの周波数が2MHz以下の場合、この機能は使用できませんので、CM20ビットを“0”にしてください。

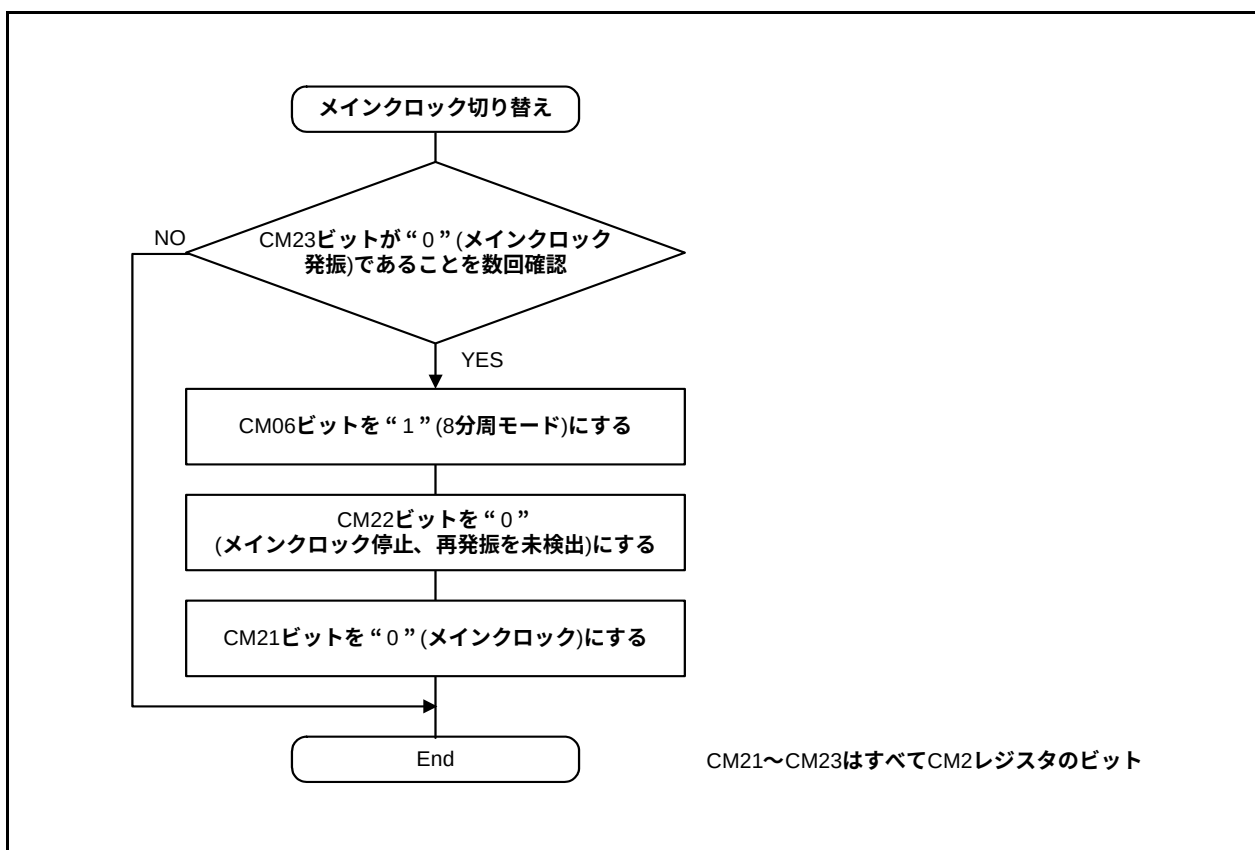


図7.12 125kHz オンチップオシレータクロックからメインクロックへの切り替え手順

8. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図8.1にPRCRレジスタを示します。PRCRレジスタが保護するレジスタは次のとおりです。

- PRC0ビットで保護されるレジスタ : CM0、CM1、CM2、PCLKRレジスタ
- PRC1ビットで保護されるレジスタ : PM0、PM1、PM2レジスタ
- PRC6ビットで保護されるレジスタ : PRG2Cレジスタ

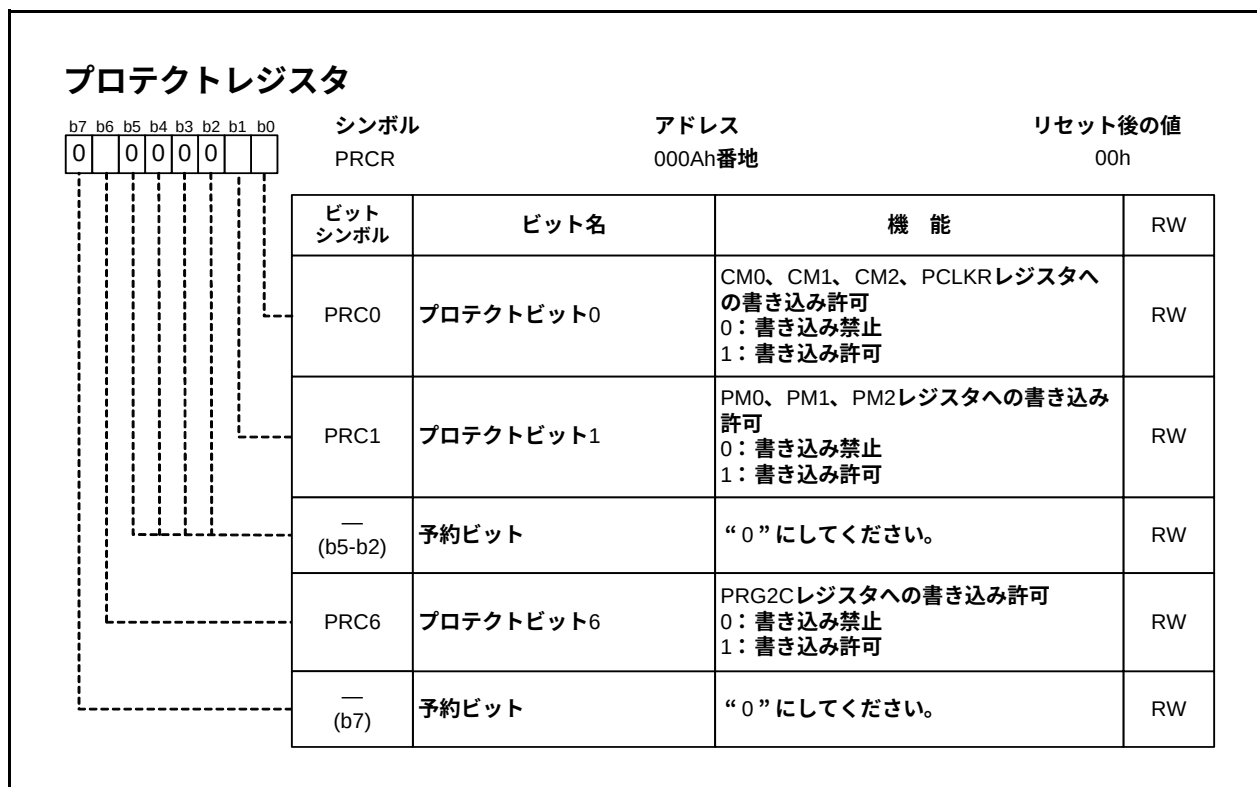


図8.1 PRCRレジスタ

9. 割り込み

9.1 割り込みの分類

図9.1に割り込みの分類を示します。

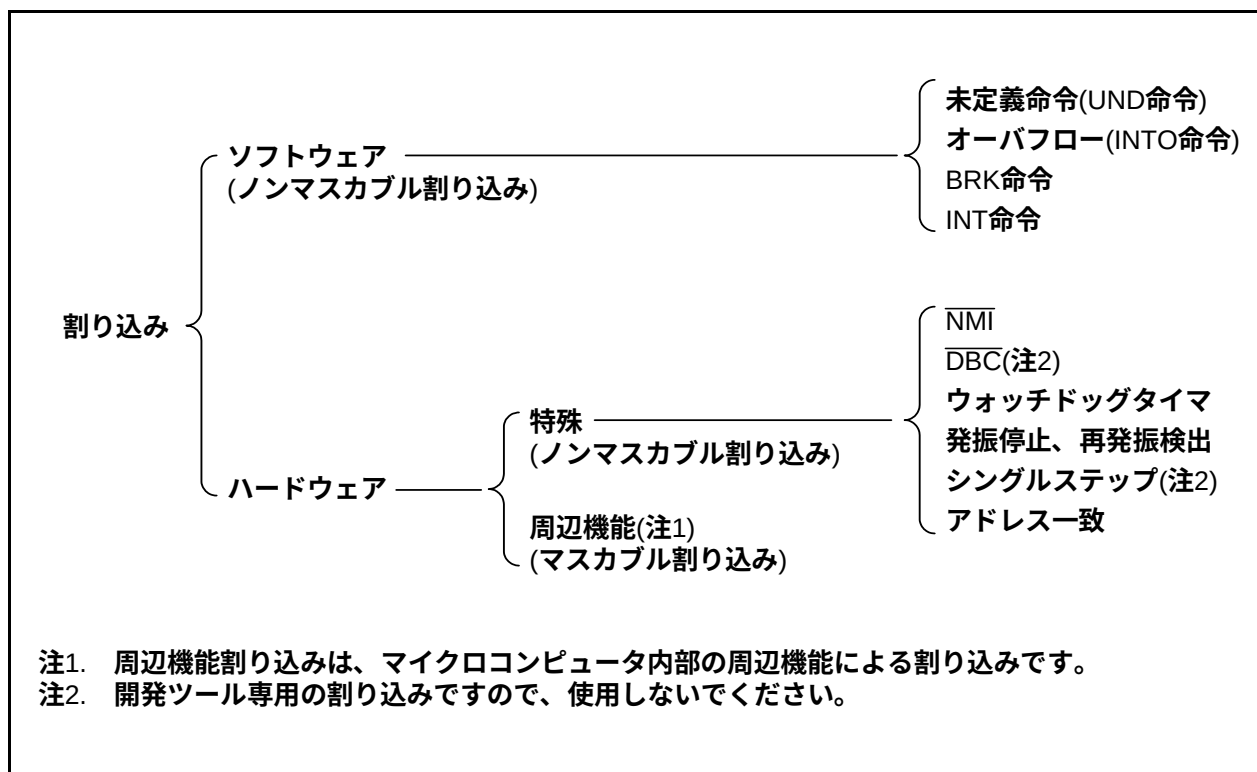


図9.1 割り込みの分類

- ・マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**可能**
- ・ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が**不可能**

9.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

9.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

9.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLGレジスタのOフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

9.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

9.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号5～31、41～51は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

9.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

9.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

9.3.1.1 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 割り込みは、 $\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化すると発生します。 $\overline{\text{NMI}}$ 割り込みの詳細は「9.7 $\overline{\text{NMI}}$ 割り込み」を参照してください。

9.3.1.2 $\overline{\text{DBC}}$ 割り込み

開発ツール専用の割り込みですので、使用しないでください。

9.3.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

ウォッチドッグタイマの詳細は「10. ウォッチドッグタイマ」を参照してください。

9.3.1.4 発振停止、再発振検出割り込み

発振停止、再発振検出機能による割り込みです。発振停止、再発振検出機能の詳細は「7. クロック発生回路」を参照してください。

9.3.1.5 シングルステップ割り込み

開発ツール専用の割り込みですので、使用しないでください。

9.3.1.6 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビット、AIER2レジスタのAIER20ビット、AIER21ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD3レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「9.9 アドレス一致割り込み」を参照してください。

9.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 9.2 ～ 表 9.3 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

9.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図9.2に割り込みベクタを示します。

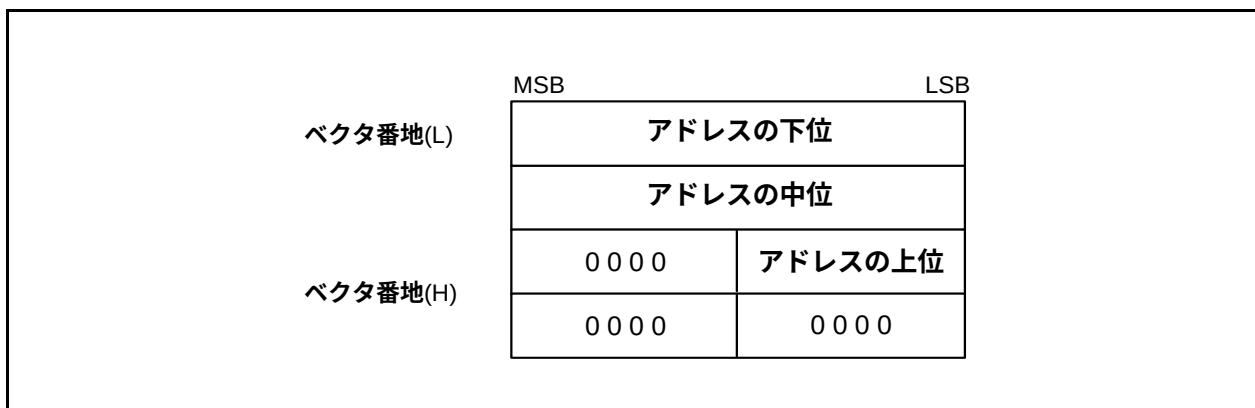


図9.2 割り込みベクタ

9.4.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh番地からFFFFFh番地に配置されています。表9.1に固定ベクタテーブルを示します。フラッシュメモリでは、固定ベクタのベクタ番地(H)をIDコードチェック機能で使します。詳細は「18.2 フラッシュメモリ書き換え禁止機能」を参照してください。

表9.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	参照先
未定義命令(UND命令)	FFFDCh～FFFDfH	M16C/60、M16C/20、M16C/Tinyシリーズ ソフトウェアマニュアル
オーバフロー (INTO命令)	FFFE0h～FFFE3h	
BRK命令(注2)	FFFE4h～FFFE7h	
アドレス一致	FFFE8h～FFFEbH	9.9 アドレス一致割り込み
シングルステップ(注1)	FFFECh～FFFEfH	—
ウォッチドッグタイマ、 発振停止、再発振検出	FFFF0h～FFFF3h	10. ウォッチドッグタイマ、 7. クロック発生回路
DBC(注1)	FFFF4h～FFFF7h	—
NMI	FFFF8h～FFFFbH	9.7 NMI割り込み
リセット	FFFFCh～FFFFFh	5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. FFFE7h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行

9.4.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。表9.2～表9.3に可変ベクタテーブルを示します。INTBレジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表9.2 可変ベクタテーブル(1)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	参照先
INT命令割り込み	+0～+3 (0000h～0003h) ～ +252～+255 (00FCh～00FFh)	0～63	M16C/60、M16C/20、 M16C/Tinyシリーズ ソフトウェアマニュアル
BRK命令(注4)	+0～+3 (0000h～0003h)	0	
タイマB5	+20～+23 (0014h～0017h)	5	12. タイマ
タイマB4、UART1バス衝突検出(注3、5)	+24～+27 (0018h～001Bh)	6	12. タイマ
タイマB3、UART0バス衝突検出(注3、5)	+28～+31 (001Ch～001Fh)	7	13. シリアルインタフェース
タイマコンペア0	+32～+35 (0020h～0023h)	8	15. ベースバンド機能
タイマコンペア1	+36～+39 (0024h～0027h)	9	
UART2バス衝突検出(注5)	+40～+43 (0028h～002Bh)	10	13. シリアルインタフェース
DMA0	+44～+47 (002Ch～002Fh)	11	11. DMAC
DMA1	+48～+51 (0030h～0033h)	12	
キー入力割り込み	+52～+55 (0034h～0037h)	13	9.8 キー入力割り込み
A/D(64ピン版のみ)	+56～+59 (0038h～003Bh)	14	14. A/Dコンバータ(64ピン版のみ)
UART2送信、NACK2(注2)	+60～+63 (003Ch～003Fh)	15	13. シリアルインタフェース
UART2受信、ACK2(注2)	+64～+67 (0040h～0043h)	16	
UART0送信、NACK0(注2)	+68～+71 (0044h～0047h)	17	
UART0受信、ACK0(注2)	+72～+75 (0048h～004Bh)	18	
UART1送信、NACK1(注2)	+76～+79 (004Ch～004Fh)	19	
UART1受信、ACK1(注2)	+80～+83 (0050h～0053h)	20	
タイマA0	+84～+87 (0054h～0057h)	21	12. タイマ
タイマA1	+88～+91 (0058h～005Bh)	22	
タイマA2	+92～+95 (005Ch～005Fh)	23	
タイマA3	+96～+99 (0060h～0063h)	24	
タイマA4	+100～+103 (0064h～0067h)	25	
タイマB0	+104～+107 (0068h～006Bh)	26	
タイマB1	+108～+111 (006Ch～006Fh)	27	
タイマB2	+112～+115 (0070h～0073h)	28	

注1. INTBレジスタが示す番地からの相対番地です。

注2. I²Cモード時にNACK、ACKが割り込み要因になります。

注3. IFSR2AレジスタのIFSR26、27ビットで選択してください。

注4. Iフラグによる禁止はできません。

注5. バス衝突検出：IEモード時はバス衝突検出が割り込み要因になります。

I²Cモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。

表9.3 可変ベクタテーブル(2)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	参照先
INT0	+116～+119 (0074h～0077h)	29	9.6 INT 割り込み
INT1	+120～+123 (0078h～007Bh)	30	
タイマコンペア2	+124～+127 (007Ch～007Fh)	31	15. ベースバンド機能
DMA2	+164～+167 (00A4h～00A7h)	41	11. DMAC
DMA3	+168～+171 (00A8h～00ABh)	42	
送信完了	+172～+175 (00ACh～00AFh)	43	15. ベースバンド機能
バンク0受信完了、IDLE(注2)	+176～+179 (00B0h～00B3h)	44	
バンク1受信完了、クロックレギュレータ (注3)	+180～+183 (00B4h～00B7h)	45	
アドレスフィルタ	+184～+187 (00B8h～00BBh)	46	
CCA完了	+188～+191 (00BCh～00BFh)	47	
PLL ロック検出	+192～+195 (00C0h～00C3h)	48	
送信オーバーラン	+196～+199 (00C4h～00C7h)	49	
受信オーバーラン0	+200～+203 (00C8h～00CBh)	50	
受信オーバーラン1	+204～+207 (00CCh～00CFh)	51	

注1. INTBレジスタが示す番地からの相対番地です。

注2. BBTXRXMODE4レジスタ(0111h番地)のBANK0INTSELビットで切り替え。

注3. BBTXRXMODE4レジスタ(0111h番地)のBANK1INTSELビットで切り替え。

9.5 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図9.3と図9.4に割り込み制御レジスタを示します。

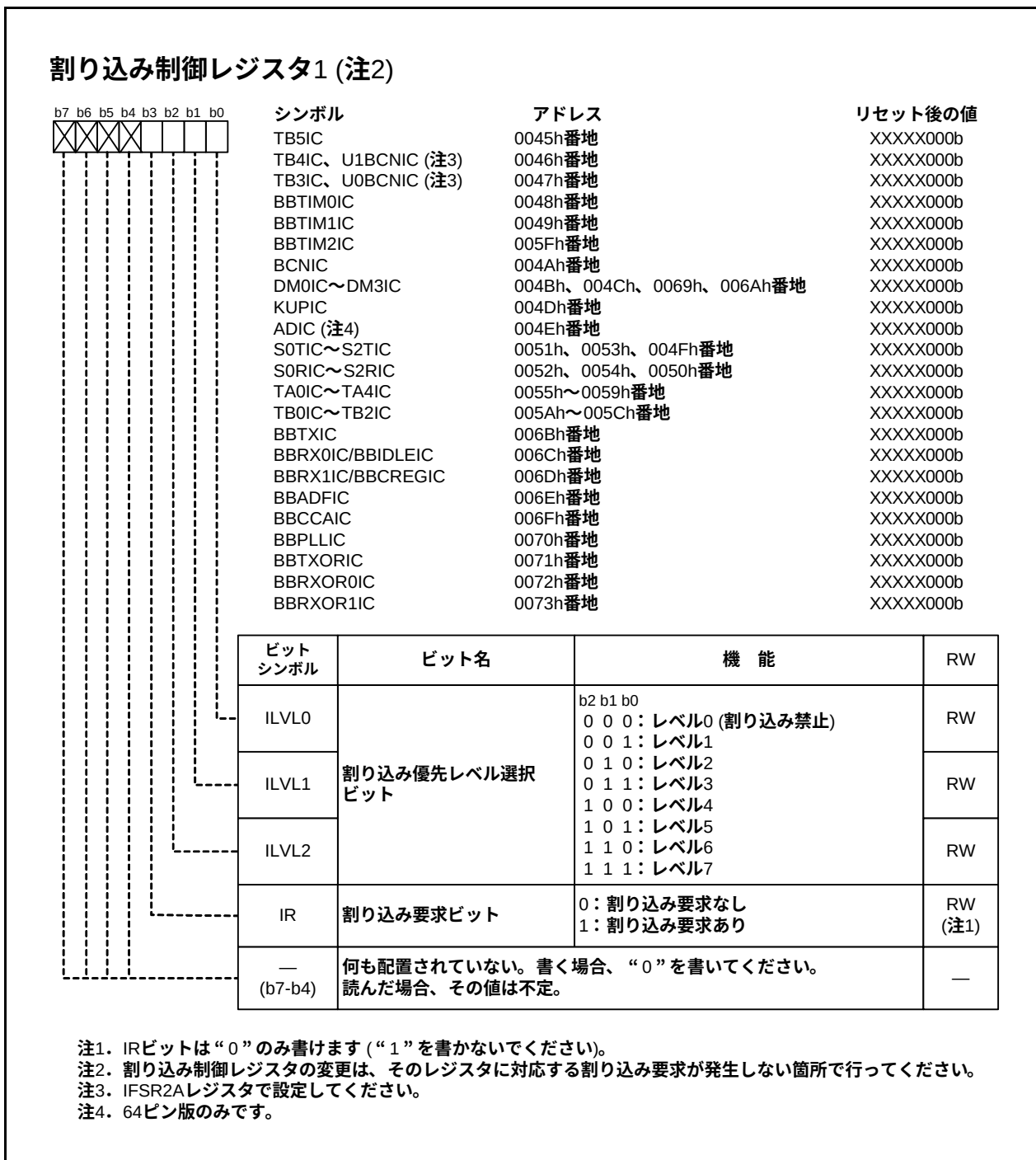
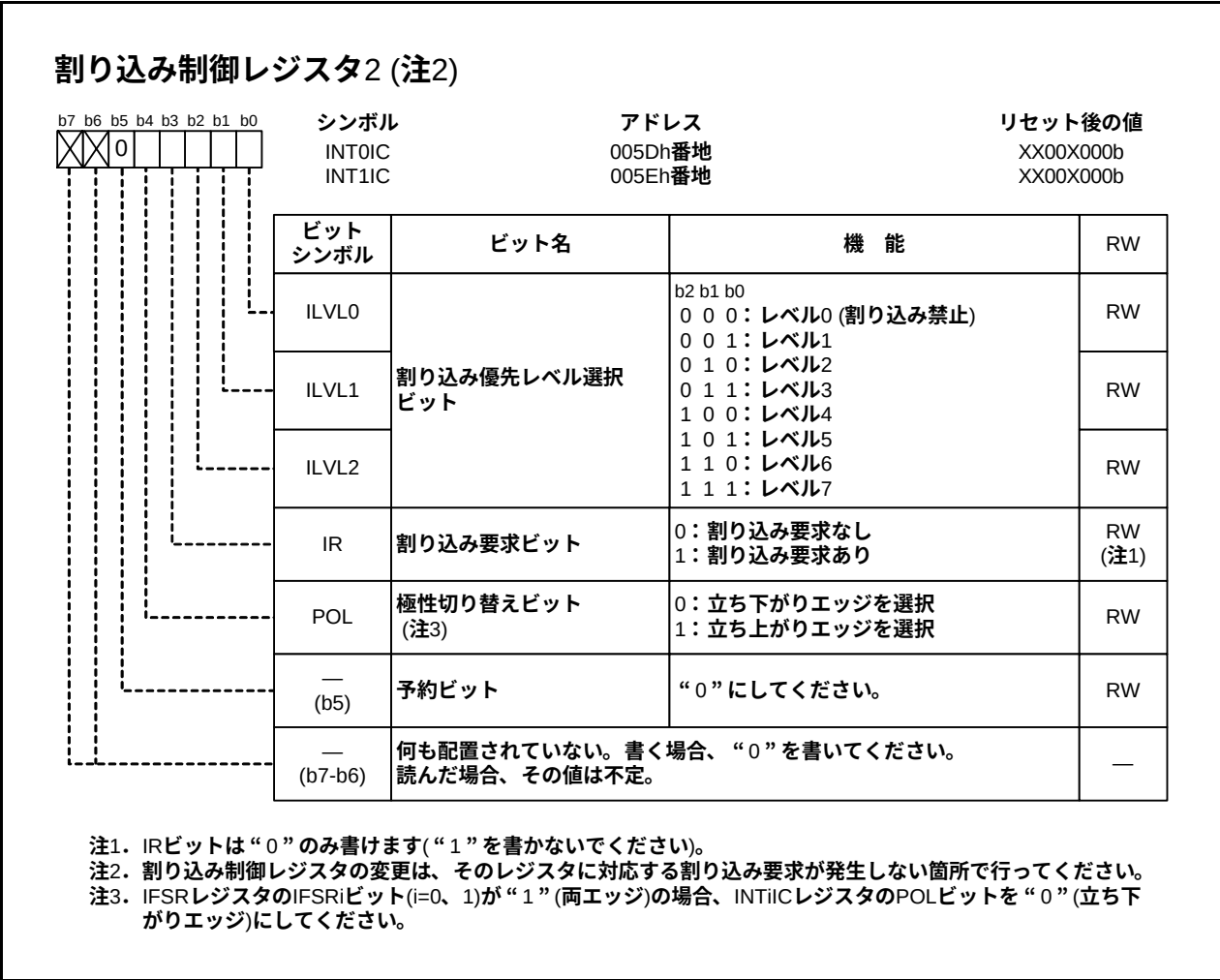


図9.3 割り込み制御レジスタ(1)



9.5.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクابل割り込みは許可され、“0”(禁止)にするとすべてのマスクابل割り込みは禁止されます。

9.5.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられた後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

9.5.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表9.4に割り込み優先レベルの設定を、表9.5にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表9.4 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	—
001b	レベル1	低い  高い
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表9.5 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクابل割り込みを禁止

9.5.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、CPUは、その命令の実行終了後に優先順位が判定し、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図9.5に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
 - ・Iフラグは“0”(割り込み禁止)
 - ・Dフラグは“0”(シングルスステップ割り込みは割り込み禁止)
 - ・Uフラグは“0”(ISPを指定)
 ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) 受け付けた割り込みの割り込み優先レベルをIPLに設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

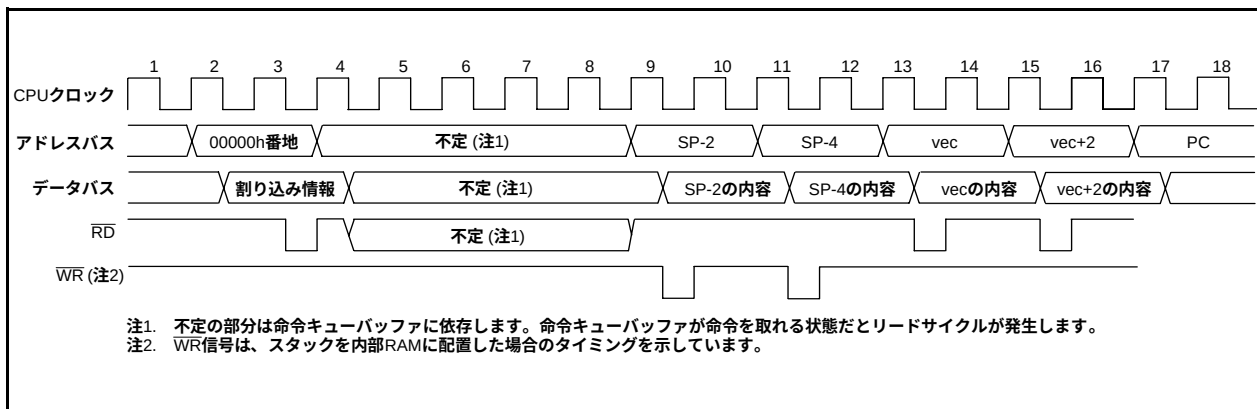


図9.5 割り込みシーケンスの実行時間

9.5.5 割り込み応答時間

図9.6に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図9.6の(a))と割り込みシーケンスを実行する時間(図9.6の(b))で構成されます。

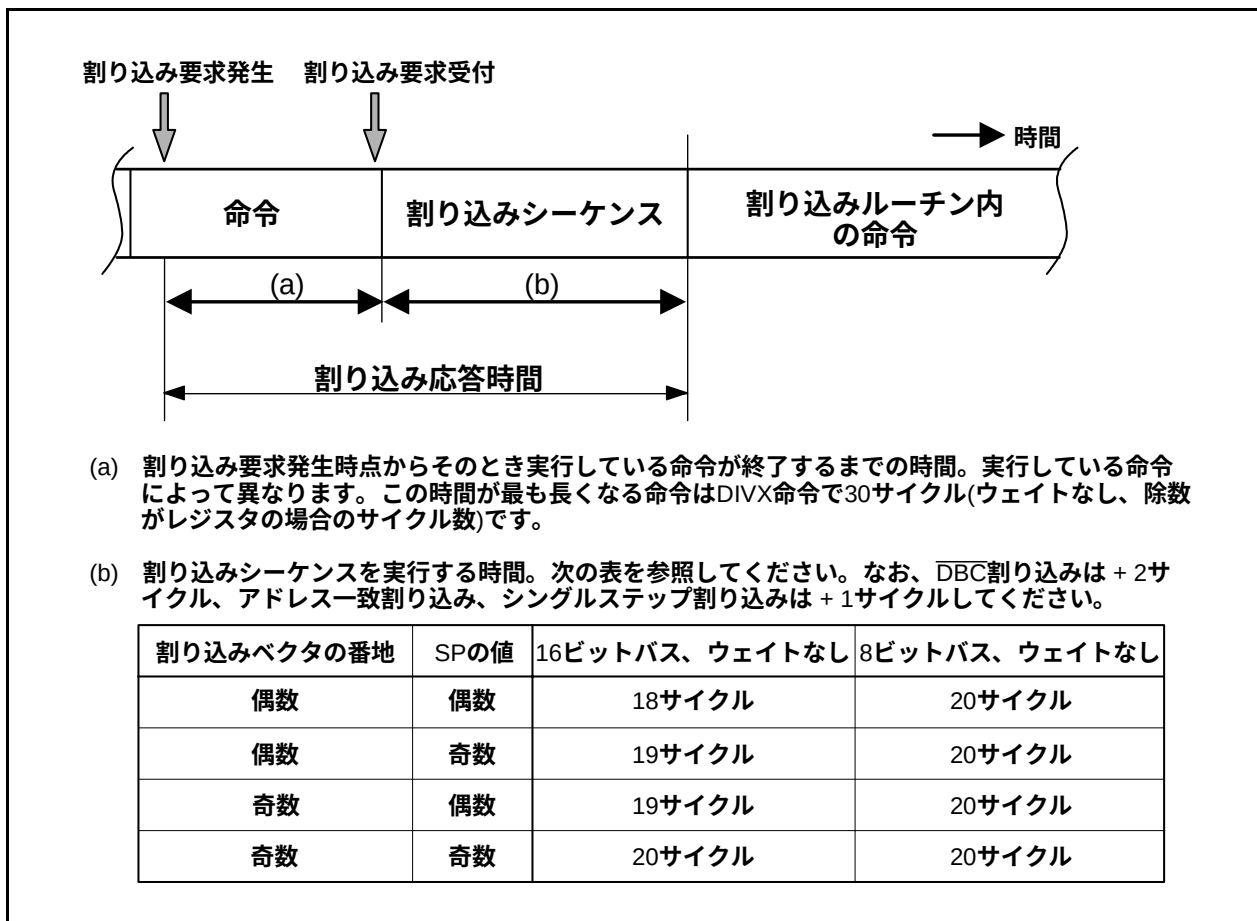


図9.6 割り込み応答時間

9.5.6 割り込み要求受付時のIPLの変化

マスクابل割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表9.6に示す値がIPLに設定されます。表9.6にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表9.6 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、 $\overline{\text{NMI}}$ 、発振停止、再発振検出	7
ソフトウェア、アドレス一致、 $\overline{\text{DBC}}$ 、シングルステップ	変化しない

9.5.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。図9.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

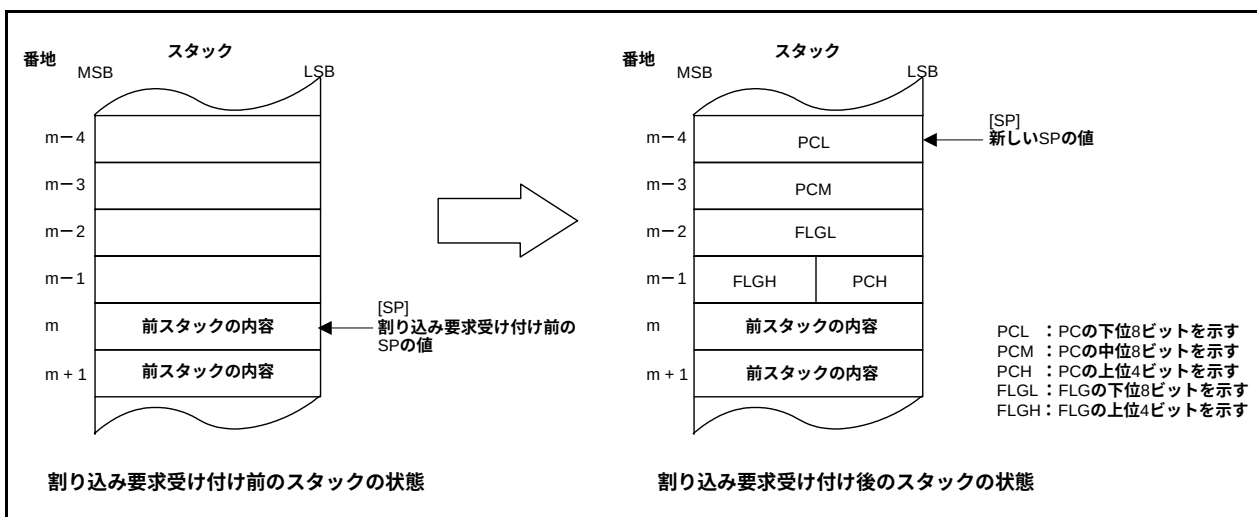


図9.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図9.8にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

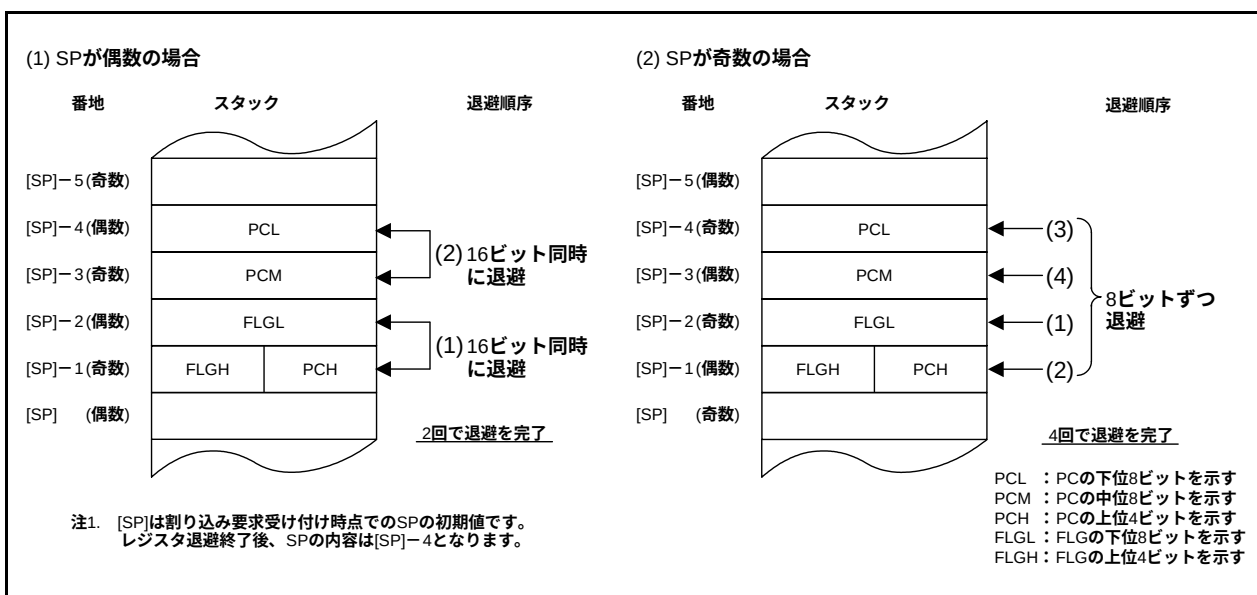


図9.8 レジスタ退避動作

9.5.8 割り込みルーチンからの復帰

割り込みルーチンの最後で REIT 命令を実行すると、スタックに退避していた割り込みシーケンス直前の FLG レジスタと PC が復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT 命令実行前に POPM 命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT 命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

9.5.9 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能割り込み)の優先レベルは、ILVL2～ILVL0 ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図9.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

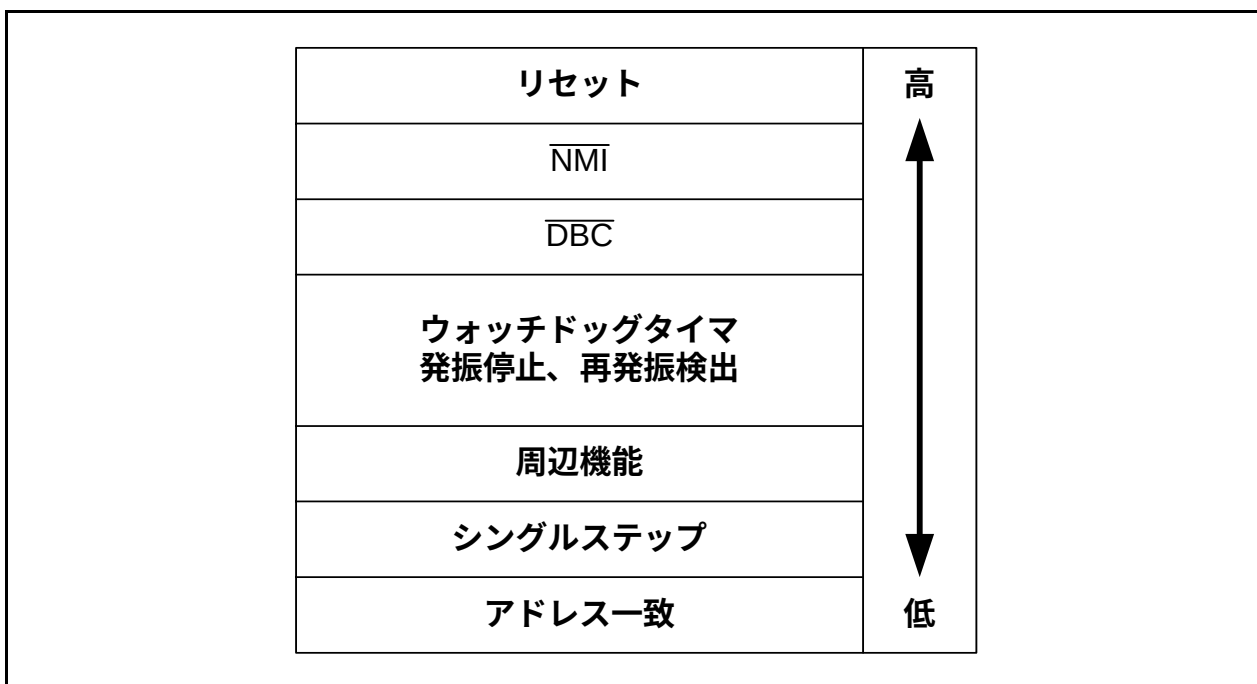


図9.9 ハードウェア割り込みの割り込み優先順位

9.5.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図9.10に割り込み優先レベル判定回路を示します。

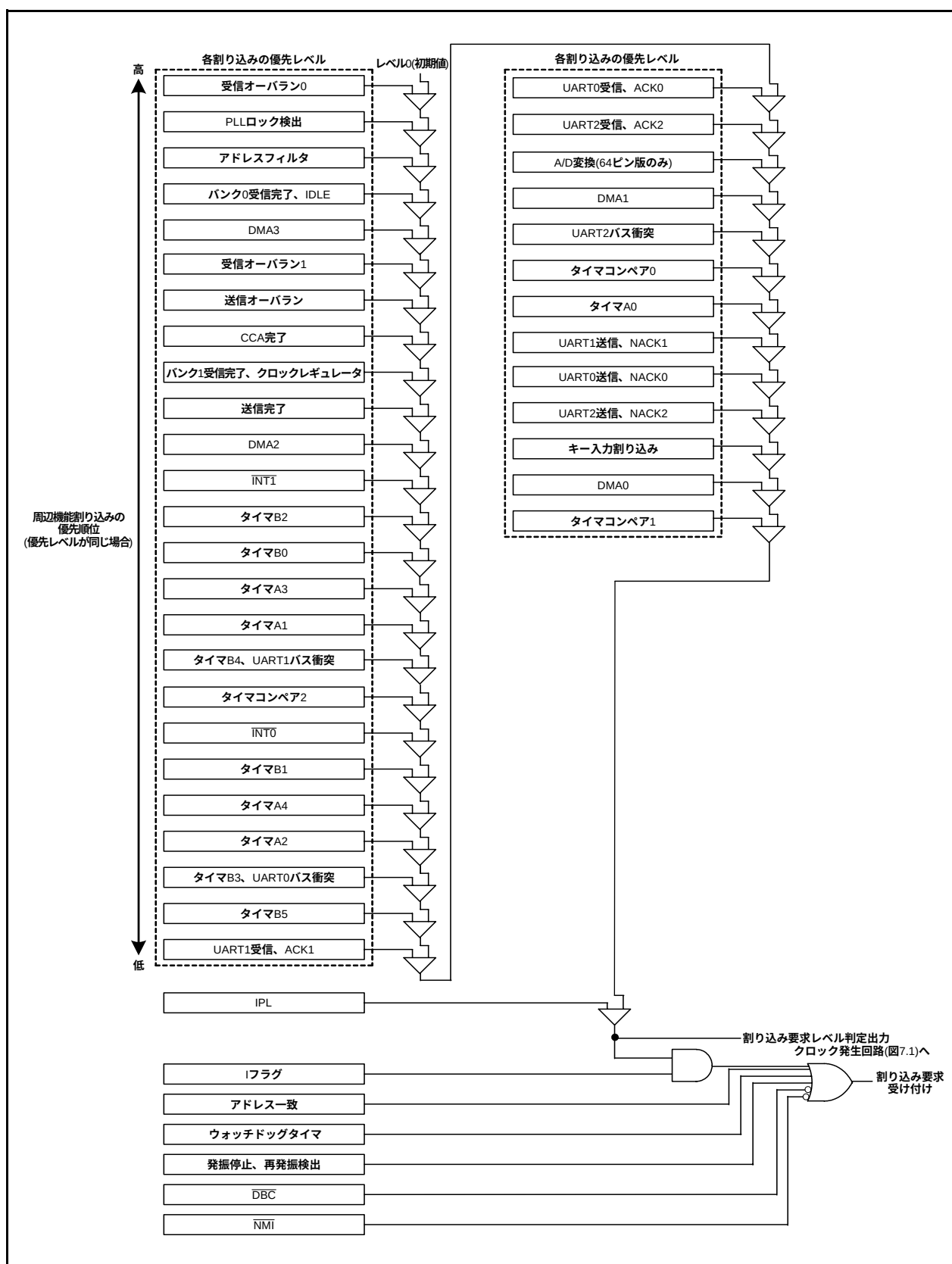


図9.10 割り込み優先レベル判定回路

9.6 INT 割り込み

INT_i 割り込み (i=0, 1) は外部入力による割り込みです。極性を IFSR レジスタの IFSR_i ビット (i=0, 1) で選択できます。

図9.11 に IFSR レジスタを、図9.12 に IFSR2A レジスタを示します。

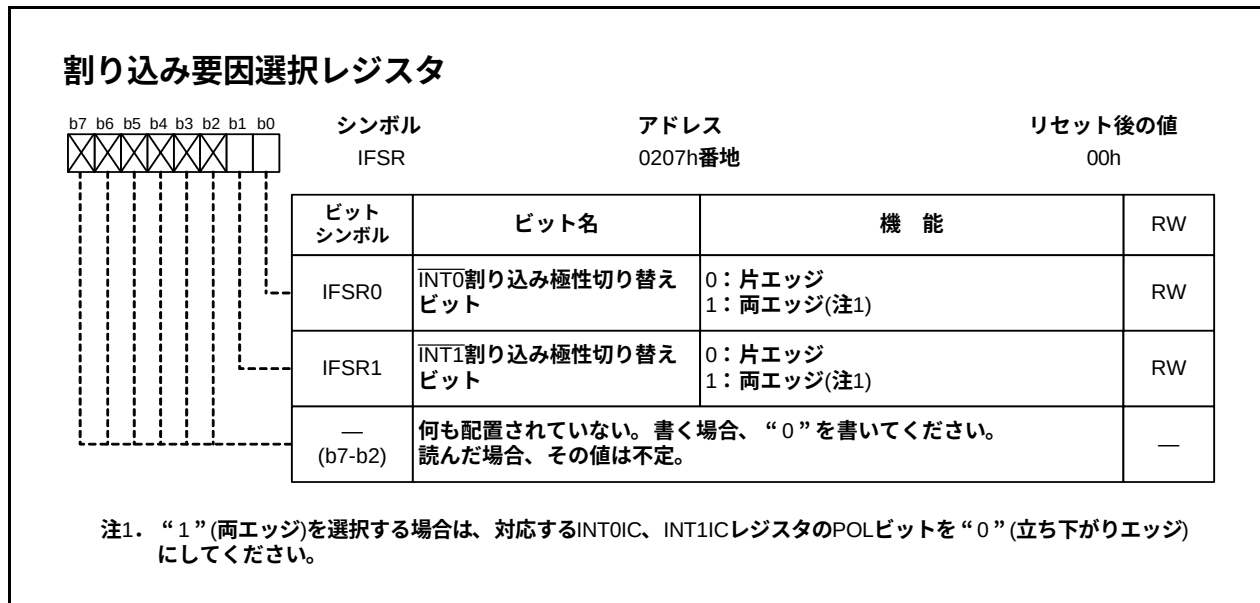


図9.11 IFSR レジスタ

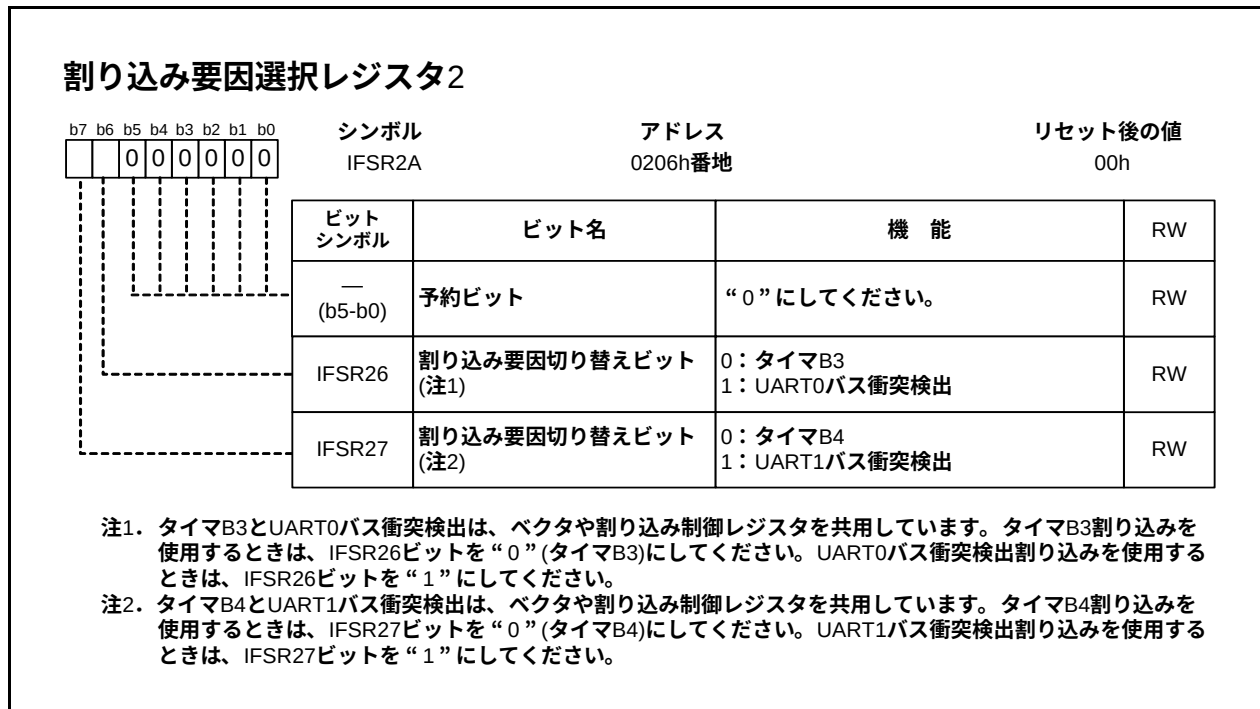


図9.12 IFSR2A レジスタ

9.7 $\overline{\text{NMI}}$ 割り込み

$\overline{\text{NMI}}$ 端子の入力が“H”から“L”に変化したとき、 $\overline{\text{NMI}}$ 割り込みが発生します。 $\overline{\text{NMI}}$ 割り込みは、ノンマスクابل割り込みです。 $\overline{\text{NMI}}$ 割り込みを使用する場合は、PM2レジスタのPM24ビットを“1”(NMI機能)にしてください。

9.8 キー入力割り込み

P10_4～P10_7(64ピン版のみ)およびP7_0～P7_3ビットのうち、KICON0、KICON1レジスタのKIEN0～KIEN7ビットを“1”(許可)にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P10_4～P10_7をアナログ入力端子として使用しないでください。また、キー入力割り込みを使用するポートのポート方向レジスタ(P10_4～P10_7(64ピン版のみ)およびP7_0～P7_3ビット)は、“0”(入力)にしてください。図9.13にキー入力割り込みのブロック図を示します。なお、KICON0、KICON1レジスタのKIEN0～KIEN7ビットを“1”(許可)にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

表9.7 キー入力割り込み設定

ポート	キー入力	制御	番地	ビット	0/1
P10_4 (注1)	KIN0	キー入力制御レジスタ0	00082h	b0	禁止/許可
P10_5 (注1)	KIN1	キー入力制御レジスタ0	00082h	b1	禁止/許可
P10_6 (注1)	KIN2	キー入力制御レジスタ0	00082h	b2	禁止/許可
P10_7 (注1)	KIN3	キー入力制御レジスタ0	00082h	b3	禁止/許可
P7_0	KIN4	キー入力制御レジスタ1	00083h	b0	禁止/許可
P7_1	KIN5	キー入力制御レジスタ1	00083h	b1	禁止/許可
P7_2	KIN6	キー入力制御レジスタ1	00083h	b2	禁止/許可
P7_3	KIN7	キー入力制御レジスタ1	00083h	b3	禁止/許可

注1. 64ピン版のみ。

注2. 48ピン版の場合、KIN0～KIN3の割り込みは禁止にしてください。

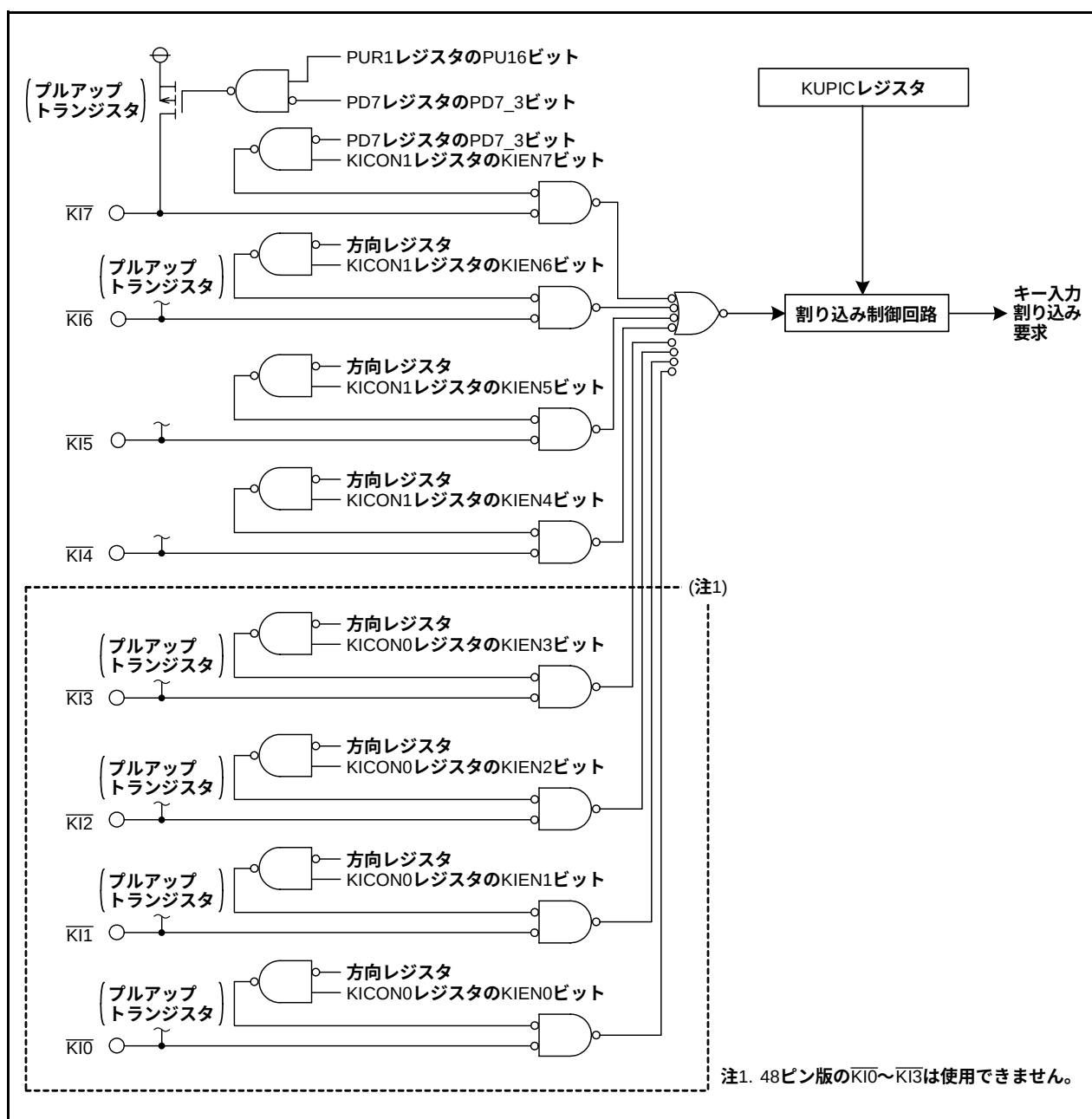


図9.13 キー入力割り込みのブロック図

キー入力制御レジスタ0

b7

b6

b5

b4

b3

b2

b1

b0

0

0

0

0

シンボル

KICON0

アドレス

0082h番地

リセット後の値

00h

ビットシンボル	ビット名	機 能	RW
KIEN0	キー入力0割り込み許可ビット	0：禁止 1：許可	RW
KIEN1	キー入力1割り込み許可ビット	0：禁止 1：許可	RW
KIEN2	キー入力2割り込み許可ビット	0：禁止 1：許可	RW
KIEN3	キー入力3割り込み許可ビット	0：禁止 1：許可	RW
— (b7-b4)	予約ビット	“0” にしてください。	—

注1. 48ピン版使用の場合は、必ず“00h”(キー入力0～3の割り込みは禁止)を設定してください。

図9.14 KICON0レジスタ

キー入力制御レジスタ1

b7

b6

b5

b4

b3

b2

b1

b0

0

0

0

0

シンボル

KICON1

アドレス

0083h番地

リセット後の値

00h

ビットシンボル	ビット名	機 能	RW
KIEN4	キー入力4割り込み許可ビット	0：禁止 1：許可	RW
KIEN5	キー入力5割り込み許可ビット	0：禁止 1：許可	RW
KIEN6	キー入力6割り込み許可ビット	0：禁止 1：許可	RW
KIEN7	キー入力7割り込み許可ビット	0：禁止 1：許可	RW
— (b7-b4)	予約ビット	“0” にしてください。	—

図9.15 KICON1レジスタ

9.9 アドレス一致割り込み

RMADiレジスタ (i=0～3)で示される番地の命令を実行する直前に、アドレス一致割り込みが発生します。RMADiレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビット、AIER2レジスタのAIER20、AIER21ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「9.5.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックをPOP命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表9.8にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

なお、外部データバスを8ビットで使用している場合、外部領域に対してアドレス一致割り込みは使用できません。

図9.16にAIER、AIER2、RMAD0～RMAD3レジスタを示します。

表9.8 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタで示される番地の命令						退避されるPCの値
・16ビットオペコード命令 ・8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0 または A1)						RMADiレジスタで示される番地 + 2
上記以外						RMADiレジスタで示される番地 + 1

退避されるPCの値：「9.5.7 レジスタ退避」参照

表9.9 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1
アドレス一致割り込み2	AIER20	RMAD2
アドレス一致割り込み3	AIER21	RMAD3

アドレス一致割り込み許可レジスタ

b7 b6 b5 b4 b3 b2 b1 b0		シンボル	アドレス	リセット後の値
		AIER	020Eh番地	XXXXXX00b
ビット シンボル	ビット名	機 能		RW
AIER0	アドレス一致割り込み0許可 ビット	0：禁止 1：許可		RW
AIER1	アドレス一致割り込み1許可 ビット	0：禁止 1：許可		RW
— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。			—

アドレス一致割り込み許可レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0	シンボル AIER2	アドレス 020Fh番地	リセット後の値 XXXXXX00b	
	ビット シンボル	ビット名	機 能	RW
	AIER20	アドレス一致割り込み2許可 ビット	0：禁止 1：許可	RW
	AIER21	アドレス一致割り込み3許可 ビット	0：禁止 1：許可	RW
	— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

アドレス一致割り込みレジスタ*i* (i=0~3)

シンボル	アドレス	リセット後の値
RMAD0	0212h~0210h番地	X00000h
RMAD1	0216h~0214h番地	X00000h
RMAD2	021Ah~0218h番地	X00000h
RMAD3	021Eh~021Ch番地	X00000h
機 能	設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ(b19-b0)	00000h~FFFFFFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

図9.16 AIER、AIER2、RMAD0~RMAD3レジスタ

10. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表10.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.3 ウォッチドッグタイマリセット」を参照してください。

図10.1にウォッチドッグタイマのブロック図を、図10.2にWDTR、WDT5、WDCレジスタを、図10.3にCSPRレジスタ、OFS1番地を示します。

表10.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック	125kHz オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 ・リセット後、自動的にカウントを開始 ・WDT5レジスタへの書き込みによりカウントを開始	
カウント停止条件	ストップモード、ウェイトモード、ホールド状態	なし
ウォッチドッグタイマ初期化条件	・リセット ・WDTRレジスタに“00h”、続いて“FFh”を書く ・アンダフロー	
アンダフロー時の動作	ウォッチドッグタイマ割り込み、またはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	- プリスケアラの分周比 WDCレジスタのWDC7ビットで選択 - カウントソース保護モード リセット後に有効か無効かはOFS1番地のCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 - リセット後のウォッチドッグタイマの起動または停止 OFS1番地のWDTONビット(フラッシュメモリ)で選択	

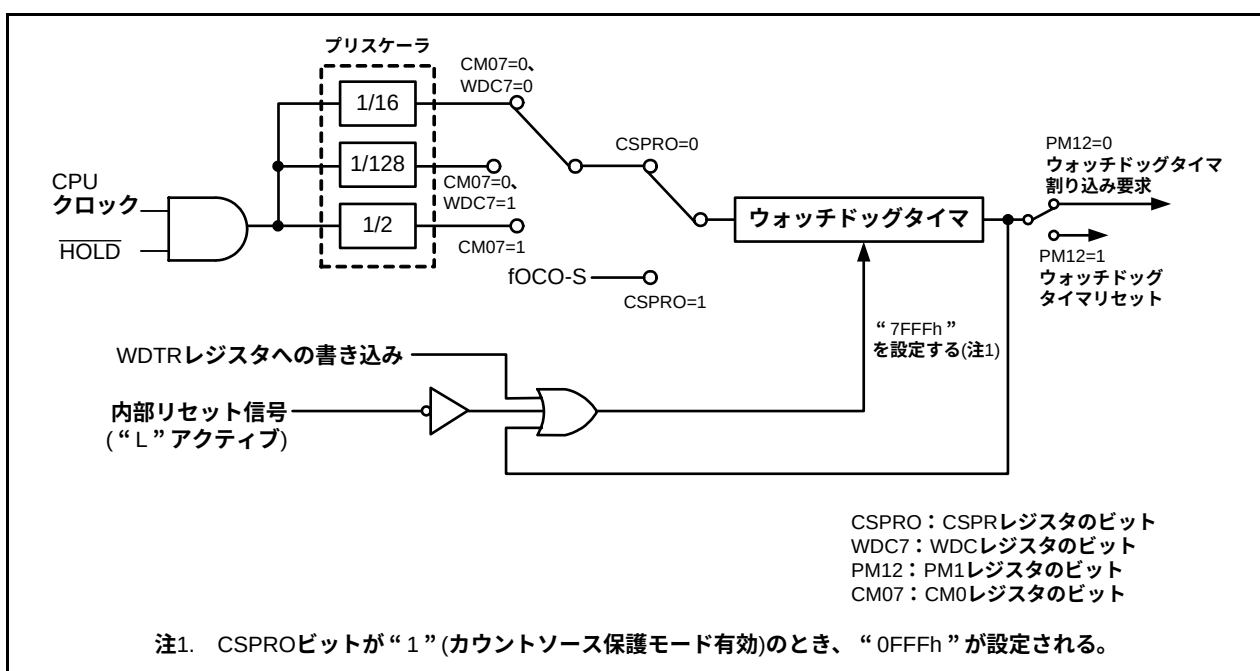


図10.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマリセットレジスタ

b7 b0	シンボル WDTR	アドレス 037Dh番地	リセット後の値 不定
機 能			RW
“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。(注1、3) ウォッチドッグタイマの初期値はカウントソース保護モード無効時に“7FFFh”、 カウントソース保護モード有効時に“0FFFh”が設定される。(注2)			WO

- 注1. “00h”の書き込みと、“FFh”の書き込みの間に、割り込み、DMA転送が入らないようにしてください。
 注2. CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、ウォッチドッグタイマに“0FFFh”が設定されます。
 注3. ウォッチドッグタイマ割り込み発生後は、WDTRレジスタでウォッチドッグタイマを初期化してください。

ウォッチドッグタイマスタートレジスタ

b7 b0	シンボル WDTS	アドレス 037Eh番地	リセット後の値 不定
機 能			RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。			WO

ウォッチドッグタイマ制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0 0 X	シンボル WDC	アドレス 037Fh番地	リセット後の値 00XXXXXXb
ビット シンボル	ビット名	機 能	RW
— (b4-b0)	ウォッチドッグタイマの上位ビット		RO
— (b5)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
— (b6)	予約ビット	“0”にしてください。	RW
WDC7	プリスケアラ選択ビット	0: 16分周 1: 128分周	RW

図10.2 WDTR、WDTS、WDCレジスタ

カウントソース保護モードレジスタ

b7 b6 b5 b4 b3 b2 b1 b0	シンボル CSPR	アドレス 037Ch番地	リセット後の値(注1) 00h
0 0 0 0 0 0 0 0			
ビット シンボル	ビット名	機 能	RW
— (b6-b0)	予約ビット	“0”にしてください。	RW
CSPRO	カウントソース保護モード 選択ビット(注2)	0: カウントソース保護モード無効 1: カウントソース保護モード有効	RW

注1. OFS1番地のCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。
プログラムでは“0”にできません。

オプション機能選択番地(注1)

b7 b6 b5 b4 b3 b2 b1 b0	シンボル OFS1	アドレス FFFFh番地	リセット後の値 FFh (注2)
1 1 1 1 1 1 1 1			
ビット シンボル	ビット名	機 能	RW
WDTON	ウォッチドッグタイマ起動 選択ビット(注3)	0: リセット後、ウォッチドッグタイマは 自動的に起動 1: リセット後、ウォッチドッグタイマは 停止状態	RW
— (b2-b1)	予約ビット	“1”にしてください。	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
— (b6-b4)	予約ビット	“1”にしてください。	RW
CSPROINI	リセット後カウントソース 保護モード選択ビット(注3)	0: リセット後、カウントソース保護 モード有効 1: リセット後、カウントソース保護 モード無効	RW

注1. OFS1番地はフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。

注2. OFS1番地を含むブロックを消去すると、OFS1番地は“FFh”になります。

注3. CSPROINIビットを“0”(リセット後、カウントソース保護モード有効)にするときはWDTONビットも“0”(リセット後、ウォッチドッグタイマは自動的に起動)にしてください。

図10.3 CSPRレジスタ、OFS1番地

10.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックです。

表10.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表10.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様
カウントソース	CPUクロック
カウント動作	ダウンカウント
周期	$\text{プリスケアラの分周比}(n) \times \text{ウォッチドッグタイマのカウント値}(32768)$ (注1) CPUクロック $n: 16 \text{ または } 128$ (WDCレジスタのWDC7ビットで選択) 例: CPUクロックが16MHzで、プリスケアラが16分周する場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	- リセット - WDTRレジスタに“00h”、続いて“FFh”を書く - アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS1番地(FFFFFh番地)のWDTONビット(注2)で選択 - WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 - WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	ストップモード、ウェイトモード、ホールド状態(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	- PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み - PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.3 ウォッチドッグタイマリセット」参照)

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTON ビットはプログラムでは変更できません。WDTON ビットを設定する場合は、フラッシュライタでFFFFFh番地のb0に“0”を書き込んでください。

10.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは125kHzオンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表10.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表10.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	125kHzオンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 125kHzオンチップオシレータクロック 例：125kHzオンチップオシレータクロックが125kHzの場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	・リセット ・WDTRレジスタに“00h”、続いて“FFh”を書く ・アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS1番地(FFFFh番地)のWDTONビット(注1)で選択 ・WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 ・WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモード、ホールド状態でも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.3 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	・CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される -ウォッチドッグタイマに0FFFhを設定 -CM1レジスタのCM14ビットを“0”(125kHzオンチップオシレータ発振) -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) ・カウントソース保護モードでは、次の状態になる -CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない) -CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、125kHzオンチップオシレータは停止しない)

注1. WDTON ビットはプログラムでは変更できません。WDTON ビットを設定する場合は、フラッシュライタでFFFFh番地のb0に“0”を書き込んでください。

注2. OFS1番地のCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタでFFFFh番地のb7に“0”を書き込んでください。

11. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、4チャンネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード(16ビット)または1バイト(8ビット)のデータ転送を完了するまでの動作を高速に行えます。図11.1にDMACブロック図を、表11.1にDMACの仕様を、図11.2～図11.6にDMAC関連レジスタを示します。

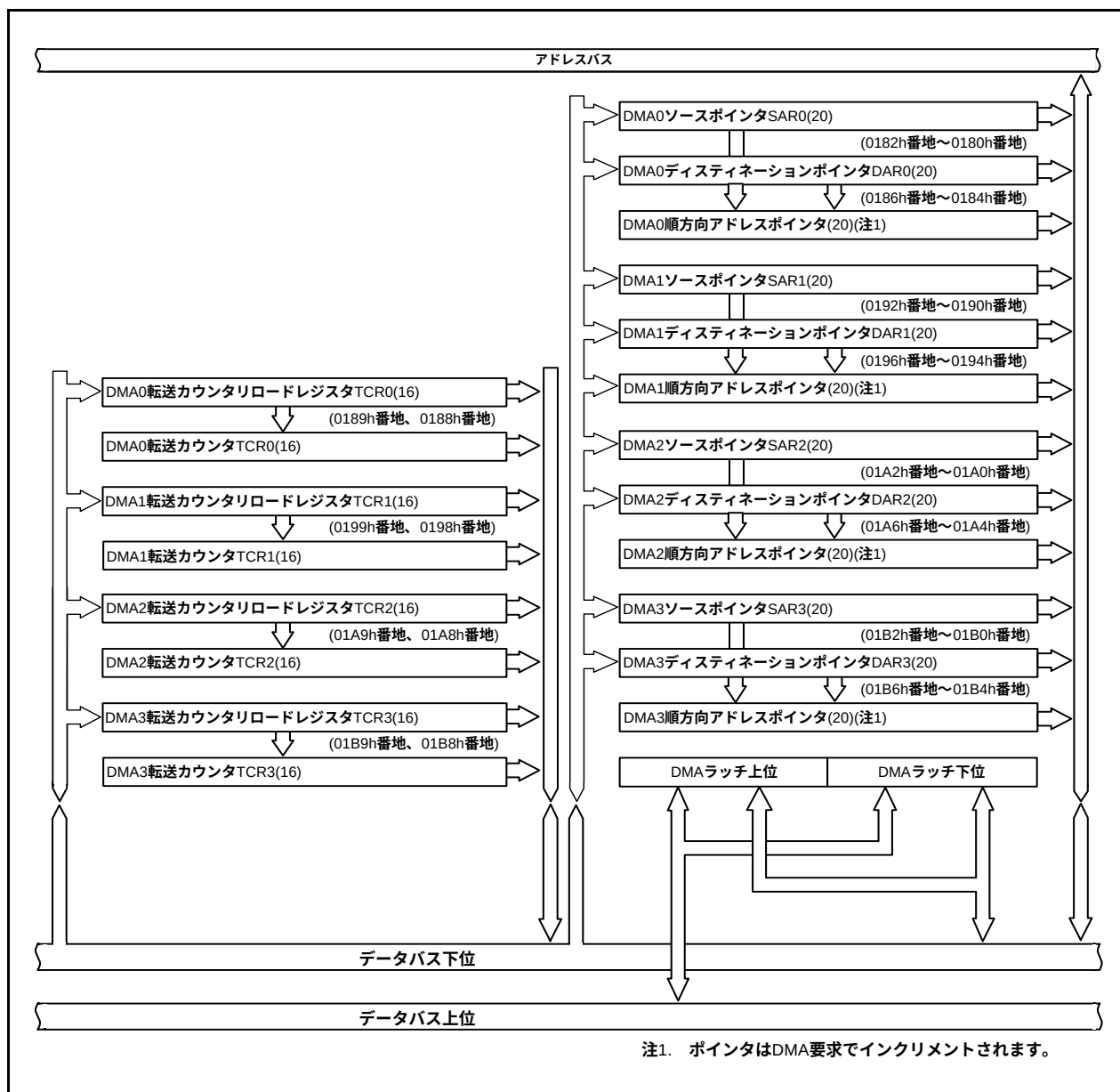


図11.1 DMACブロック図

DMA 要求は、DMiSL レジスタ ($i=0\sim3$) の DSR ビット への書き込みの他、DMiSL レジスタの DMS ビット、DSEL4～DSEL0 ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA 転送は、割り込み要求動作と異なり、I フラグ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA 要求は受け付けられます。また、DMAC は割り込みに影響を与えませんので、DMA 転送では割り込み制御レジスタの IR ビットは変化しません。

DMiCON レジスタの DMAE ビットが “1” (DMA 許可) であれば、DMA 要求が発生するごとに、データ転送が開始されます。ただし、DMA 転送サイクルよりも DMA 要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「11.4 DMA 要求」を参照してください。

表 11.1 DMAC の仕様 (注 3)

項目		仕様
チャンネル数		4 チャンネル (サイクルスチール方式)
転送空間		1M バイトの任意の空間から固定番地 - 固定番地から 1M バイトの任意の空間 - 固定番地から固定番地
最大転送バイト数		128K バイト (16 ビット転送時)、64K バイト (8 ビット転送時)
DMA 要求要因 (注 1、2)		INT0、INT1 端子の立ち下がりエッジ INT0、INT1 端子の両エッジ タイマ A0～タイマ A4 割り込み要求 タイマ B0～タイマ B5 割り込み要求 UART0～UART2 送信割り込み要求 UART0～UART2 受信/ACK 割り込み要求 A/D 変換割り込み要求 (64 ピン版のみ) ソフトウェアトリガ
チャンネル優先順位		DMA0 > DMA1 > DMA2 > DMA3 (DMA0 が最優先)
転送単位		8 ビットまたは 16 ビット
転送番地方向		順方向または固定 (転送元と転送先の両方を順方向にしないでください)
転送モード	単転送	DMAi 転送カウンタがアンダフローすると転送が終了する
	リピート転送	DMAi 転送カウンタがアンダフローした後、DMAi 転送カウンタリロードレジスタの値が DMAi 転送カウンタにリロードされ、DMA 転送を継続する
DMA 割り込み要求発生タイミング		DMAi 転送カウンタがアンダフローしたとき
DMA 転送開始		DMAiCON レジスタの DMAE ビットを “1” (許可) にすると、DMA 要求が発生するごとにデータ転送が開始される
DMA 転送停止	単転送	- DMAE ビットを “0” (禁止) にする - DMAi 転送カウンタがアンダフローした後
	リピート転送	DMAE ビットを “0” (禁止) にする
順方向アドレスポインタ、DMAi 転送カウンタのリロードタイミング		DMAE ビットを “1” (許可) にした後のデータ転送開始時に、SARi ポインタまたは DARi ポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi 転送カウンタリロードレジスタの値を DMAi 転送カウンタへリロード
DMA 転送サイクル数		SFR、内部 RAM 間：3 サイクル

$i=0\sim3$

注 1. DMA 転送は、各割り込みに影響を与えません。また、DMA 転送は I フラグ、割り込み制御レジスタの影響を受けません。

注 2. 選択できる要因はチャンネルによって異なります。

注 3. DMAC 関連レジスタ (0180h～01BFh 番地) を DMAC でアクセスしないでください。

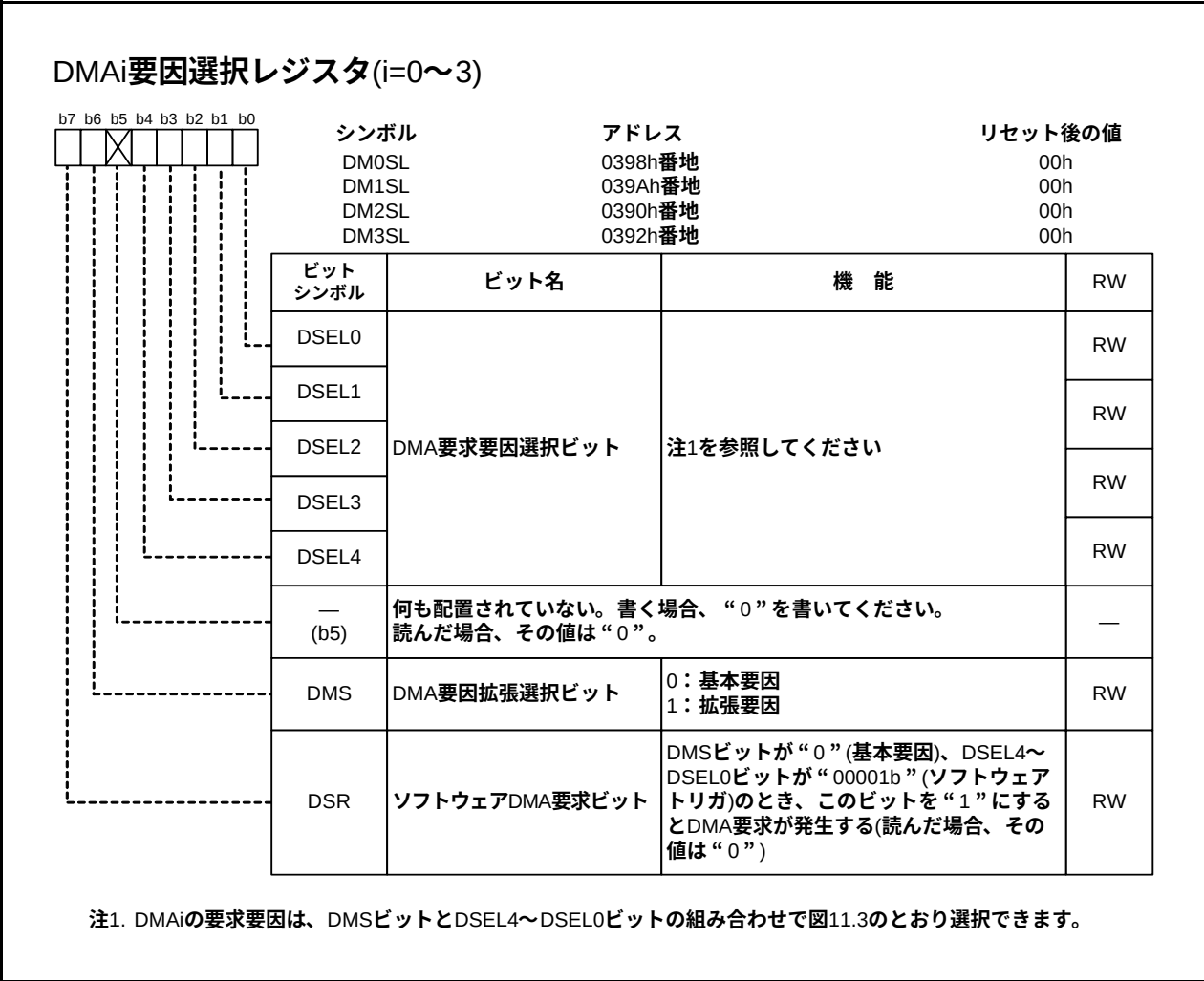


図 11.2 DM0SL~DM3SL レジスタ (1)

DMA0の場合			DMA2の場合		
DSEL4～DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)	DSEL4～DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT0端子の立ち下がりエッジ	—	0 0 0 0 0 b	—	—
0 0 0 0 1 b	ソフトウェアトリガ	—	0 0 0 0 1 b	ソフトウェアトリガ	—
0 0 0 1 0 b	タイマA0	—	0 0 0 1 0 b	タイマA0	—
0 0 0 1 1 b	タイマA1	—	0 0 0 1 1 b	タイマA1	—
0 0 1 0 0 b	タイマA2	—	0 0 1 0 0 b	タイマA2	—
0 0 1 0 1 b	タイマA3	—	0 0 1 0 1 b	タイマA3	—
0 0 1 1 0 b	タイマA4	INT0端子の両エッジ	0 0 1 1 0 b	タイマA4	—
0 0 1 1 1 b	タイマB0	タイマB3	0 0 1 1 1 b	タイマB0	タイマB3
0 1 0 0 0 b	タイマB1	タイマB4	0 1 0 0 0 b	タイマB1	タイマB4
0 1 0 0 1 b	タイマB2	タイマB5	0 1 0 0 1 b	タイマB2	タイマB5
0 1 0 1 0 b	UART0送信	—	0 1 0 1 0 b	UART0送信	—
0 1 0 1 1 b	UART0受信	—	0 1 0 1 1 b	UART0受信	—
0 1 1 0 0 b	UART2送信	—	0 1 1 0 0 b	UART2送信	—
0 1 1 0 1 b	UART2受信	—	0 1 1 0 1 b	UART2受信	—
0 1 1 1 0 b	A/D変換(64ピン版のみ)	—	0 1 1 1 0 b	A/D変換(64ピン版のみ)	—
0 1 1 1 1 b	UART1送信	—	0 1 1 1 1 b	UART1送信	—
1 0 0 0 0 b	UART1受信	—	1 0 0 0 0 b	UART1受信	—
1 0 0 0 1 b	—	—	1 0 0 0 1 b	—	—
1 0 0 1 0 b	—	—	1 0 0 1 0 b	—	—
1 0 0 1 1 b	—	—	1 0 0 1 1 b	—	—
1 0 1 0 0 b	—	—	1 0 1 0 0 b	—	—
1 0 1 0 1 b	—	—	1 0 1 0 1 b	—	—
1 0 1 1 0 b	—	—	1 0 1 1 0 b	—	—
1 0 1 1 1 b	—	—	1 0 1 1 1 b	—	—
1 1 X X X b	—	—	1 1 X X X b	—	—

X:“0”または“1” —:設定しないでください。

DMA1の場合			DMA3の場合		
DSEL4～DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)	DSEL4～DSEL0	DMS=0 (基本要因)	DMS=1 (拡張要因)
0 0 0 0 0 b	INT1端子の立ち下がりエッジ	—	0 0 0 0 0 b	—	—
0 0 0 0 1 b	ソフトウェアトリガ	—	0 0 0 0 1 b	ソフトウェアトリガ	—
0 0 0 1 0 b	タイマA0	—	0 0 0 1 0 b	タイマA0	—
0 0 0 1 1 b	タイマA1	—	0 0 0 1 1 b	タイマA1	—
0 0 1 0 0 b	タイマA2	—	0 0 1 0 0 b	タイマA2	—
0 0 1 0 1 b	タイマA3	—	0 0 1 0 1 b	タイマA3	—
0 0 1 1 0 b	タイマA4	INT1端子の両エッジ	0 0 1 1 0 b	タイマA4	—
0 0 1 1 1 b	タイマB0	—	0 0 1 1 1 b	タイマB0	—
0 1 0 0 0 b	タイマB1	—	0 1 0 0 0 b	タイマB1	—
0 1 0 0 1 b	タイマB2	—	0 1 0 0 1 b	タイマB2	—
0 1 0 1 0 b	UART0送信	—	0 1 0 1 0 b	UART0送信	—
0 1 0 1 1 b	UART0受信/ACK0	—	0 1 0 1 1 b	UART0受信/ACK0	—
0 1 1 0 0 b	UART2送信	—	0 1 1 0 0 b	UART2送信	—
0 1 1 0 1 b	UART2受信/ACK2	—	0 1 1 0 1 b	UART2受信/ACK2	—
0 1 1 1 0 b	A/D変換(64ピン版のみ)	—	0 1 1 1 0 b	A/D変換(64ピン版のみ)	—
0 1 1 1 1 b	UART1受信/ACK1	—	0 1 1 1 1 b	UART1受信/ACK1	—
1 0 0 0 0 b	UART1送信	—	1 0 0 0 0 b	UART1送信	—
1 0 0 0 1 b	—	—	1 0 0 0 1 b	—	—
1 0 0 1 0 b	—	—	1 0 0 1 0 b	—	—
1 0 0 1 1 b	—	—	1 0 0 1 1 b	—	—
1 0 1 0 0 b	—	—	1 0 1 0 0 b	—	—
1 0 1 0 1 b	—	—	1 0 1 0 1 b	—	—
1 0 1 1 0 b	—	—	1 0 1 1 0 b	—	—
1 0 1 1 1 b	—	—	1 0 1 1 1 b	—	—
1 1 X X X b	—	—	1 1 X X X b	—	—

X:“0”または“1” —:設定しないでください。

図 11.3 DM0SL～DM3SLレジスタ(2)

DMAi制御レジスタ(i=0~3)

シンボル	アドレス	リセット後の値
DM0CON	018Ch番地	00000X00b
DM1CON	019Ch番地	00000X00b
DM2CON	01ACh番地	00000X00b
DM3CON	01BCh番地	00000X00b

ビットシンボル	ビット名	機能	RW
DMBIT	転送単位ビット数選択ビット	0: 16ビット 1: 8ビット	RW
DMASL	リピート転送モード選択ビット	0: 単転送 1: リピート転送	RW
DMAS	DMA要求ビット	0: 要求なし 1: 要求あり	RW (注1)
DMAE	DMA許可ビット	0: 禁止 1: 許可	RW
DSD	転送元アドレス方向選択ビット(注2)	0: 固定 1: 順方向	RW
DAD	転送先アドレス方向選択ビット(注2)	0: 固定 1: 順方向	RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. DMASビットは、プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注2. DADビット、DSDビットのうち、少なくともいずれか1ビットは“0”(アドレス方向は固定)にしてください。

図 11.4 DM0CON~DM3CON レジスタ

DMAiソースポインタ(i=0~3) (注1)

シンボル	アドレス	リセット後の値
SAR0	0182h~0180h番地	0XXXXXh
SAR1	0192h~0190h番地	0XXXXXh
SAR2	01A2h~01A0h番地	0XXXXXh
SAR3	01B2h~01B0h番地	0XXXXXh

機能	設定範囲	RW
転送元番地を設定してください	00000h~FFFFFFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. DMiCONレジスタのDSDビットが“0”(固定)の場合は、DMiCONレジスタのDMAEビットが“0”(DMA禁止)のとき書いてください。

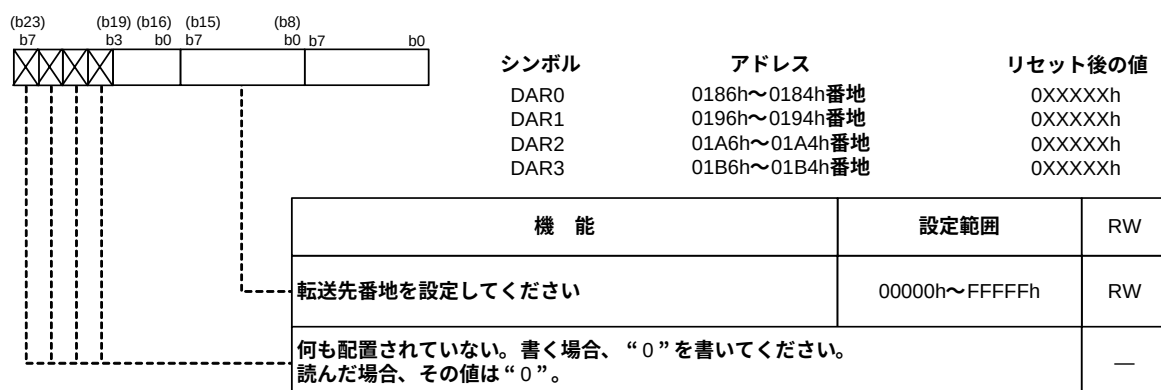
DSDビットが“1”(順方向)の場合は、いつでも書けます。

DSDビットが“1”かつDMAEビットが“1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。

それ以外では書いた値が読めます。

図 11.5 SAR0~SAR3 レジスタ

DMAiディステーションポイント(i=0~3) (注1)



注1. DMiCONレジスタのDADビットが“0”(固定)の場合は、DMiCONレジスタのDMAEビットが“0”(DMA禁止)のとき書いてください。

DADビットが“1”(順方向)の場合は、いつでも書けます。

DADビットが“1”かつDMAEビットが“1”(DMA許可)の場合は、DMA_i順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

DMAi転送カウンタ(i=0~3)

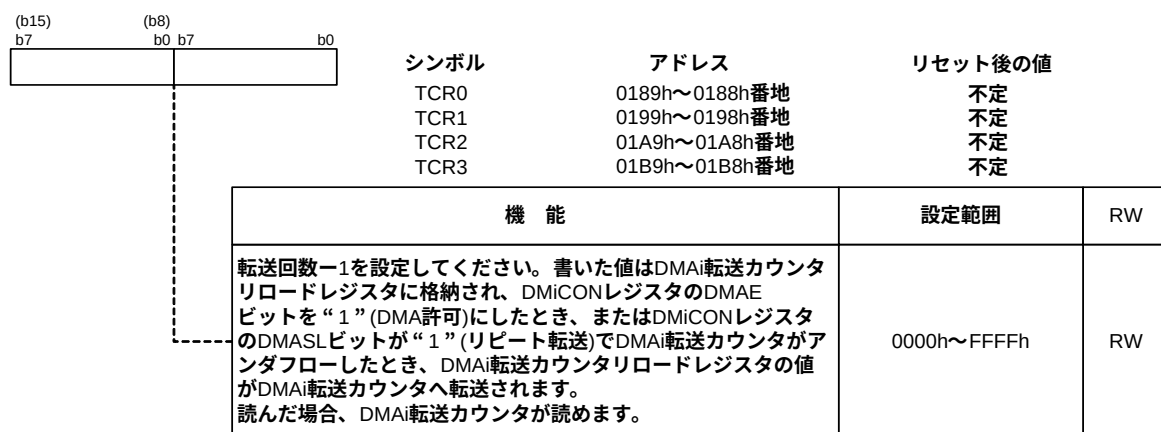


図 11.6 DAR0～DAR3、TCR0～TCR3 レジスタ

11.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。ソフトウェアウェイトの影響により、バスサイクル自体が長くなります。

11.1.1 転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

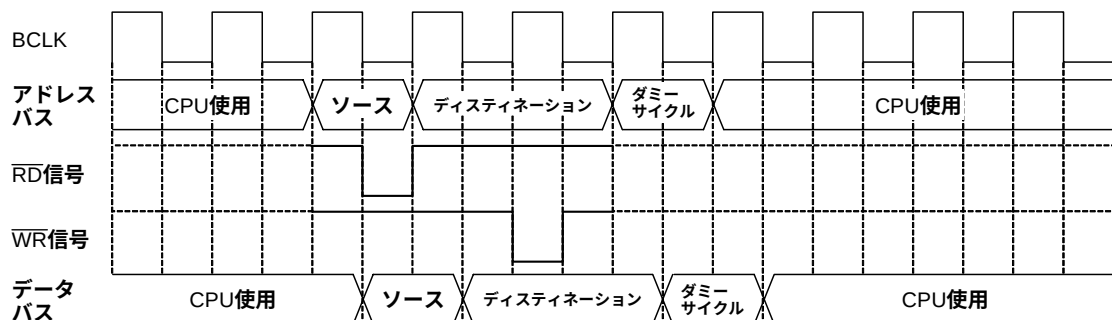
同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

11.1.2 ソフトウェアウェイトの影響

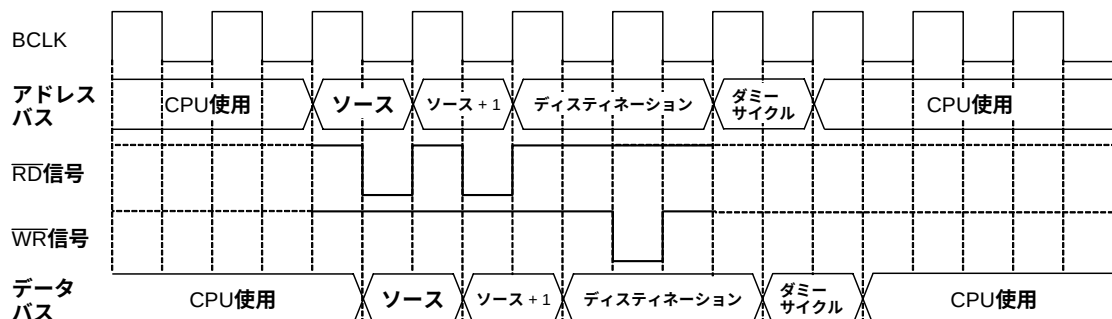
ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

図11.7にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、8ビットバスを使用している場合(図11.7の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バイトサイクル必要となります。

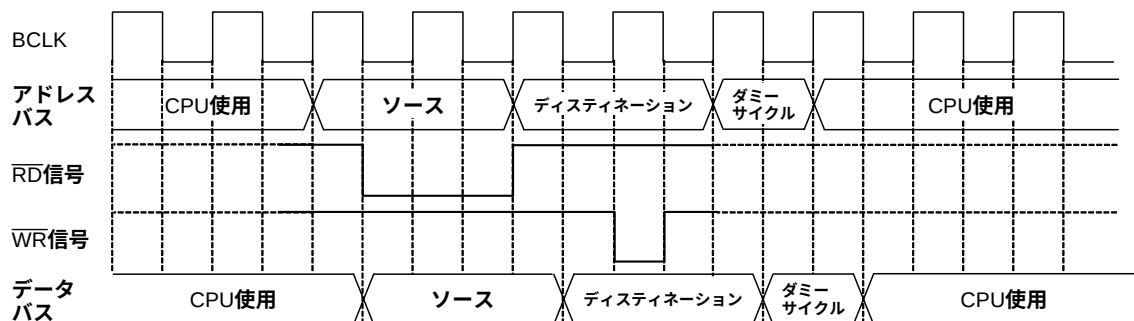
(1) 転送単位が8ビットの場合または転送単位が16ビットでソースが偶数番地の場合



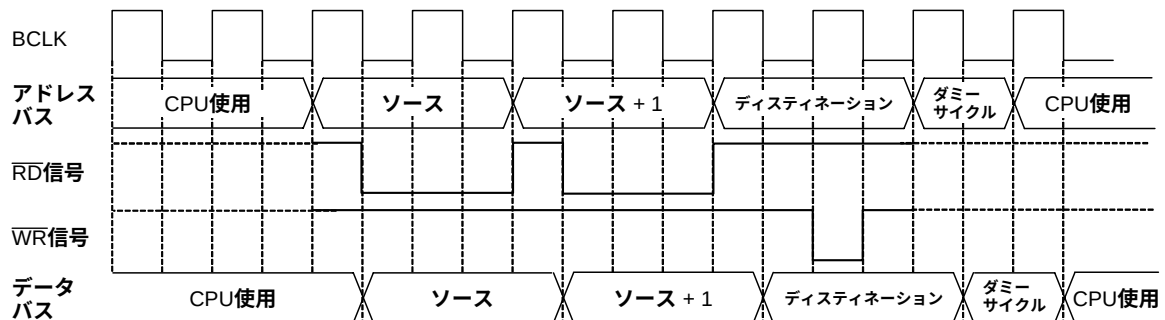
(2) 転送単位が16ビットでソースが奇数番地の場合または転送単位が16ビットで8ビットバスを使用している場合



(3) (1)の条件でソースリードに1ウェイトが入った場合



(4) (2)の条件でソースリードに1ウェイトが入った場合



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図 11.7 ソースリードサイクル例

11.2 DMAC転送サイクル数

DMA転送サイクル数は次のとおり計算できます。

表11.2にDMAC転送サイクル数を、表11.3に係数j、kを示します。

1転送単位の転送サイクル数=読み出しサイクル数×j+書き込みサイクル数×k

表 11.2 DMAC転送サイクル数

転送単位	バス	アクセス番地	シングルチップモード	
			読み出しサイクル数	書き込みサイクル数
8ビット転送 (DMBIT=“1”)	16ビット (BYTE=“L”)	偶数	1	1
		奇数	1	1
16ビット転送 (DMBIT=“0”)	16ビット (BYTE=“L”)	偶数	1	1
		奇数	2	2

—: この条件はありません

表 11.3 係数j、k

	内部領域		
	内部ROM、RAM		SFR
	ウェイトなし	ウェイトあり	1ウェイト
j	1	2	2
k	1	2	2

11.3 DMA許可

DMiCONレジスタ(i=0～3)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMACは次のように動作します。

- (a) DMiCONレジスタのDSDビットが“1”(順方向)の場合はSARiレジスタの、DMiCONレジスタのDADビットが“1”(順方向)の場合はDARiレジスタの値を順方向アドレスポインタへリロードする
- (b) DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く。
- (2) DMAiが初期状態(上記(a)(b)の状態)になっていることをプログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

11.4 DMA要求

DMACは、チャンネルごとにDMiSLレジスタ(i=0～3)のDMSビット、DESL4～DESL0ビットで選択した要因をトリガとして、DMA要求が発生できます。表11.4にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL4～DSEL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL4～DSEL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表11.4 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウェアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	・データ転送開始直前 ・プログラムで“0”を書いたとき
周辺機能	DMiSLレジスタのDSEL4～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

i=0～3

11.5 チャンネルの優先順位とDMA転送タイミング

DMA0～DMA3のうち、複数のチャンネルが許可されている場合、複数のDMA転送の要求信号が同一サンプリング期間(BCLKの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャンネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャンネル優先順位はDMA0＞DMA1＞DMA2＞DMA3です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図11.8に外部要因によるDMA転送例を示します。

図11.8ではDMA0の要求とDMA1の要求が同時に発生したので、チャンネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャンネル1ビットですので、DMA要求の回数はカウントできません。したがって、図11.8のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用権を返します。

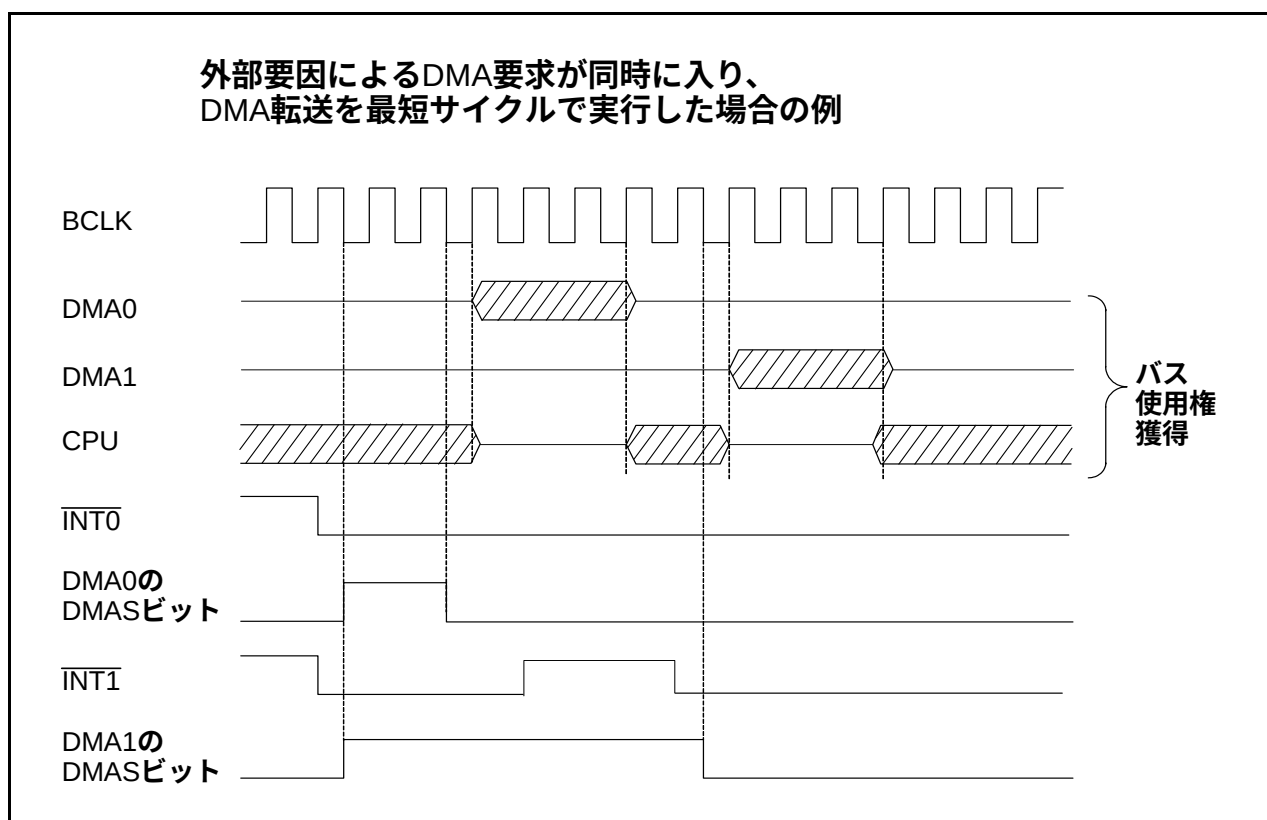


図11.8 外部要因によるDMA転送例

12. タイマ

16ビットタイマが11本あります。11本のタイマは、持っている機能によってタイマA(5本)とタイマB(6本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図12.1にタイマA、Bカウントソースを、図12.2にタイマA構成を、図12.3にタイマB構成を示します。

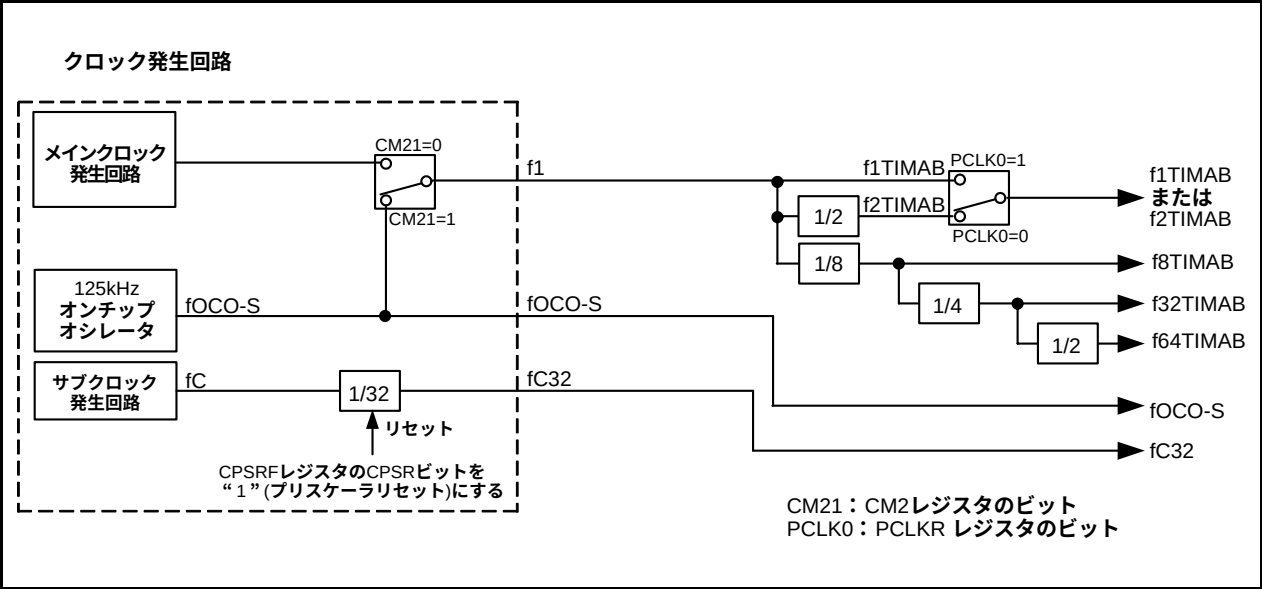


図12.1 タイマA、Bカウントソース

下表のようにTA0～TA4、TB0～TB5は、モードによって制限があります。

表12.1 各モードの制約事項

	タイマモード		イベントカウンタモード		ワンショットタイマモード		PWMモード		パルス周期測定、パルス幅測定モード	
	64ピン版	48ピン版	64ピン版	48ピン版	64ピン版	48ピン版	64ピン版	48ピン版	64ピン版	48ピン版
TA0	○	○	○	○	○	○	○	○	×	×
TA1	○	○	○	○	○	○	○	○	×	×
TA2	○	○	○	△	○	△	○	×	×	×
TA3	○	○	○	△	○	△	○	×	×	×
TA4	○	○	○	△	○	△	○	×	×	×
TB0	○	○	△	△	×	×	×	×	×	×
TB1	○	○	△	△	×	×	×	×	×	×
TB2	○	○	△	△	×	×	×	×	×	×
TB3	○	○	△	△	×	×	×	×	×	×
TB4	○	○	△	△	×	×	×	×	×	×
TB5	○	○	△	△	×	×	×	×	×	×

○：使用可能
△：内部タイマオーバ(アンダ)フローのトリガは使用可能、外部端子からのトリガ、または外部端子への出力機能は使用不可
×：使用不可

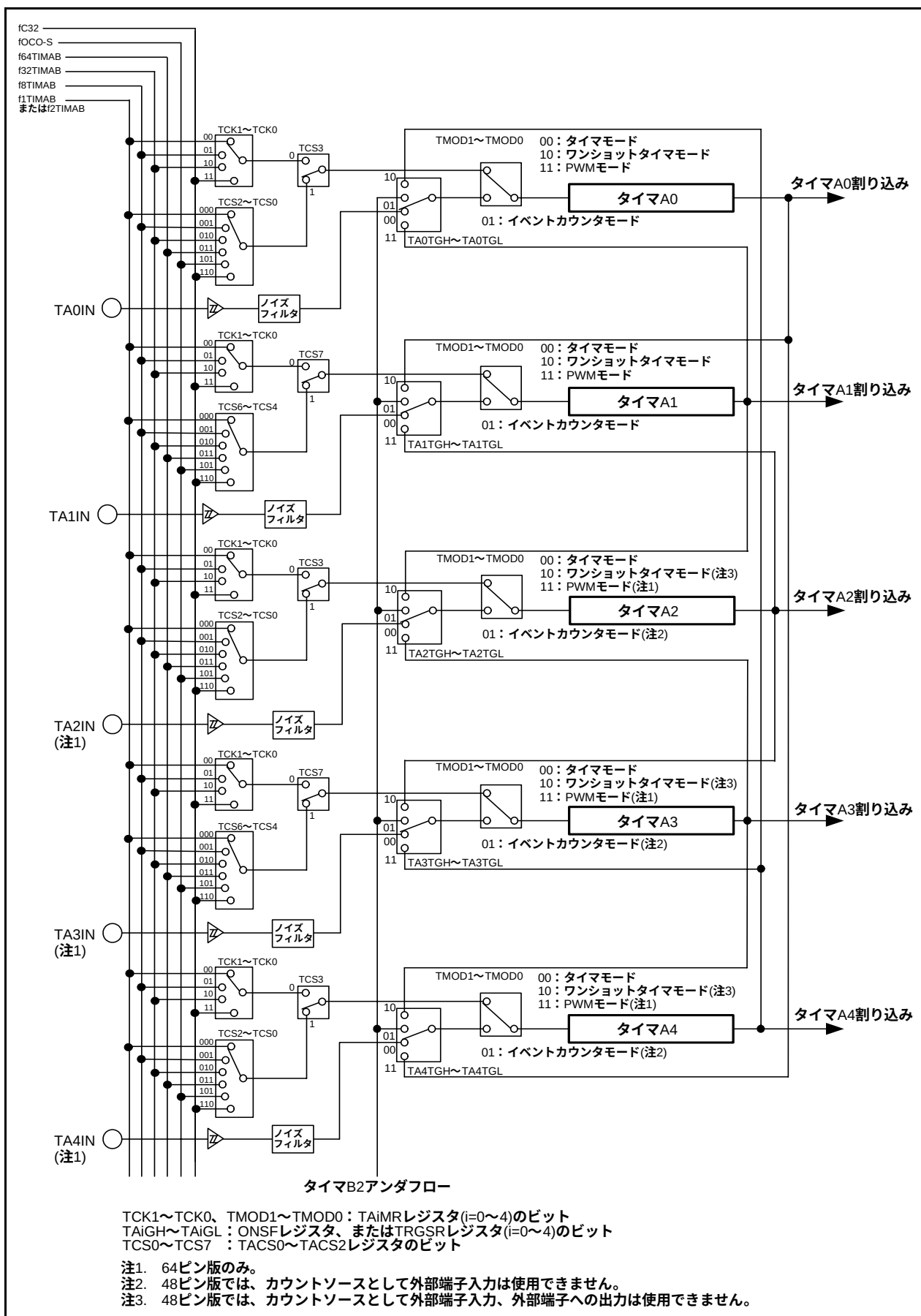


図12.2 タイマA構成

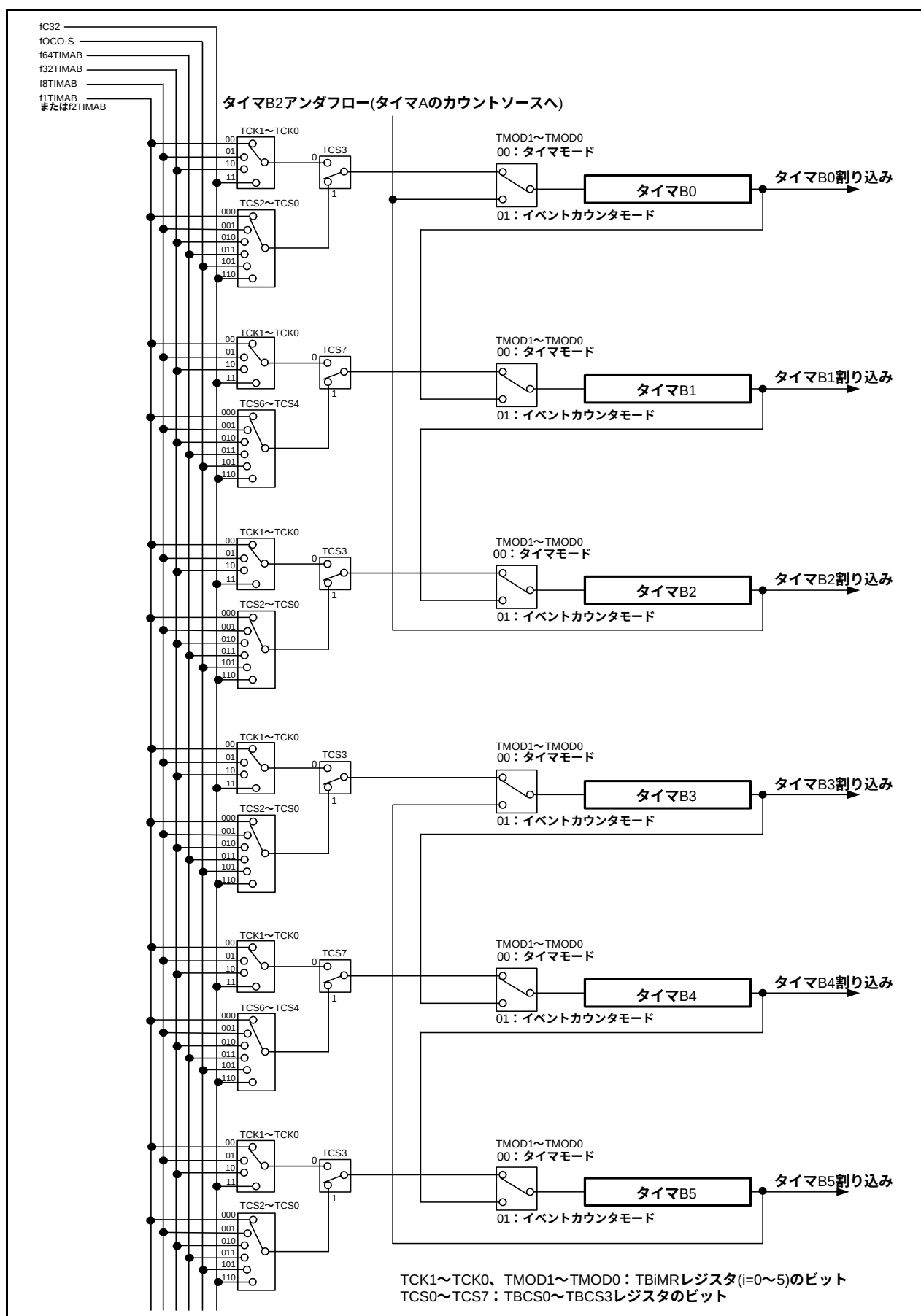


図 12.3 タイマ B 構成

12.1 タイマA

図12.4にタイマAブロック図を、図12.5～図12.11にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A4は同一の機能を持ちます。モードは、TAiMRレジスタ(i=0～4)のTMOD1～TMOD0ビットで選択できます。

- タイマモード 内部カウントソースをカウントするモード
- イベントカウンタモード 外部からのパルス(48ピン版はTA0、TA1のみ)、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- ワンショットタイマモード カウント値が“0000h”になるまでの間、1度だけパルスを出力(48ピン版はTA0、TA1のみ)するモード
- PWMモード 任意の幅のパルスを連続して出力するモード(48ピン版はTA0、TA1のみ)

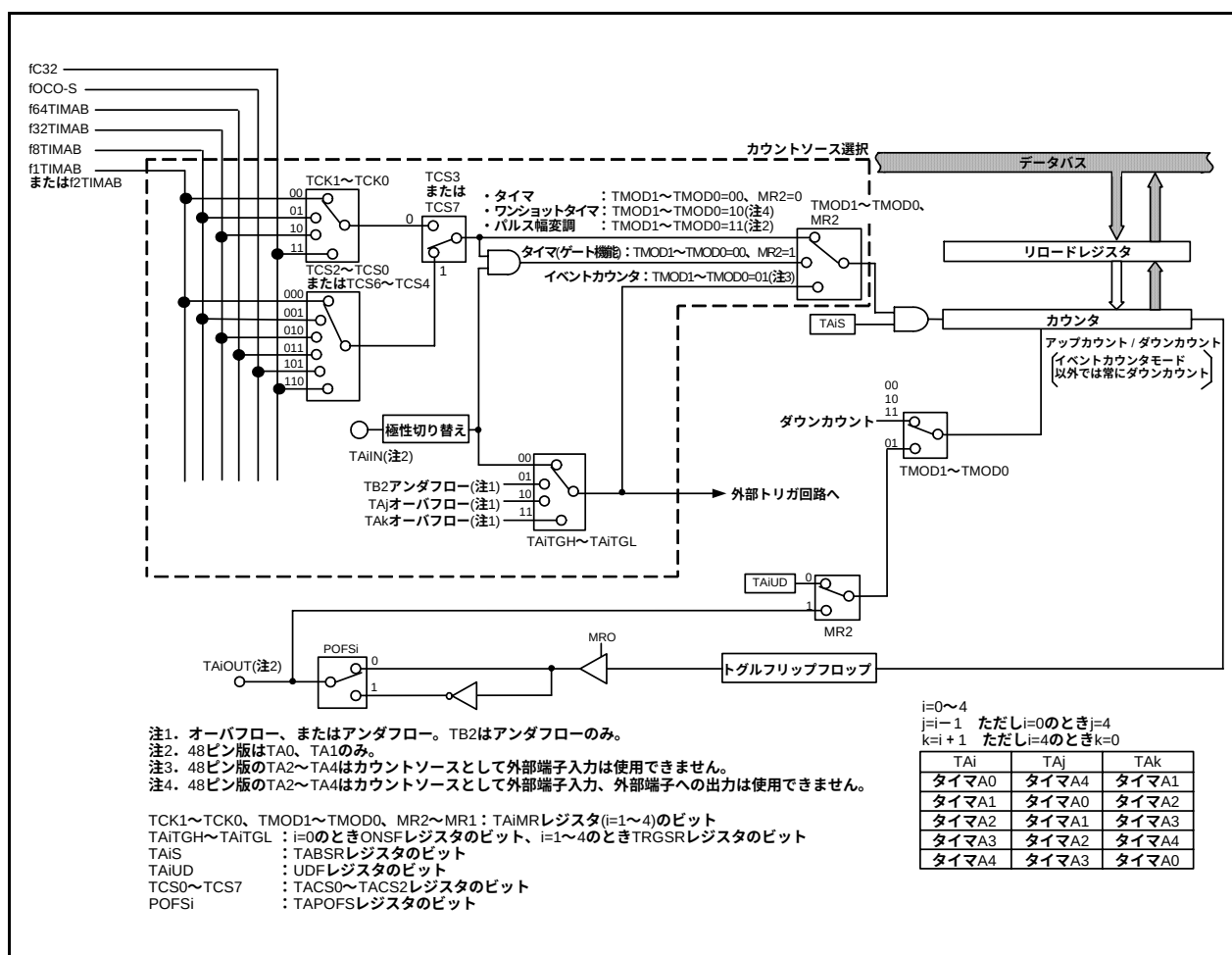


図12.4 タイマAブロック図

12.1.1 タイマA入出力機能

TA0OUTSELビットによりタイマA0のパルス出力をポート55から出力に切り替えることができます。

TA1OUTSELビットによりタイマA1のパルス出力をポート57から出力に切り替えることができます。

64ピン版において、タイマA2～A4の入出力機能端子を使用する場合、TA2ENビット、TA3ENビット、TA4ENビットを“1”(TA_i (i=2～4)入出力は有効)にしてください。

タイマA入出力制御レジスタ

シンボル TAIOCON								アドレス 0084h番地		リセット後の値 00h	
b7	b6	b5	b4	b3	b2	b1	b0				
0	0	0									

注1. 48ピン版では予約ビットです。“0” にしてください。

図12.5 TAI0CON レジスタ

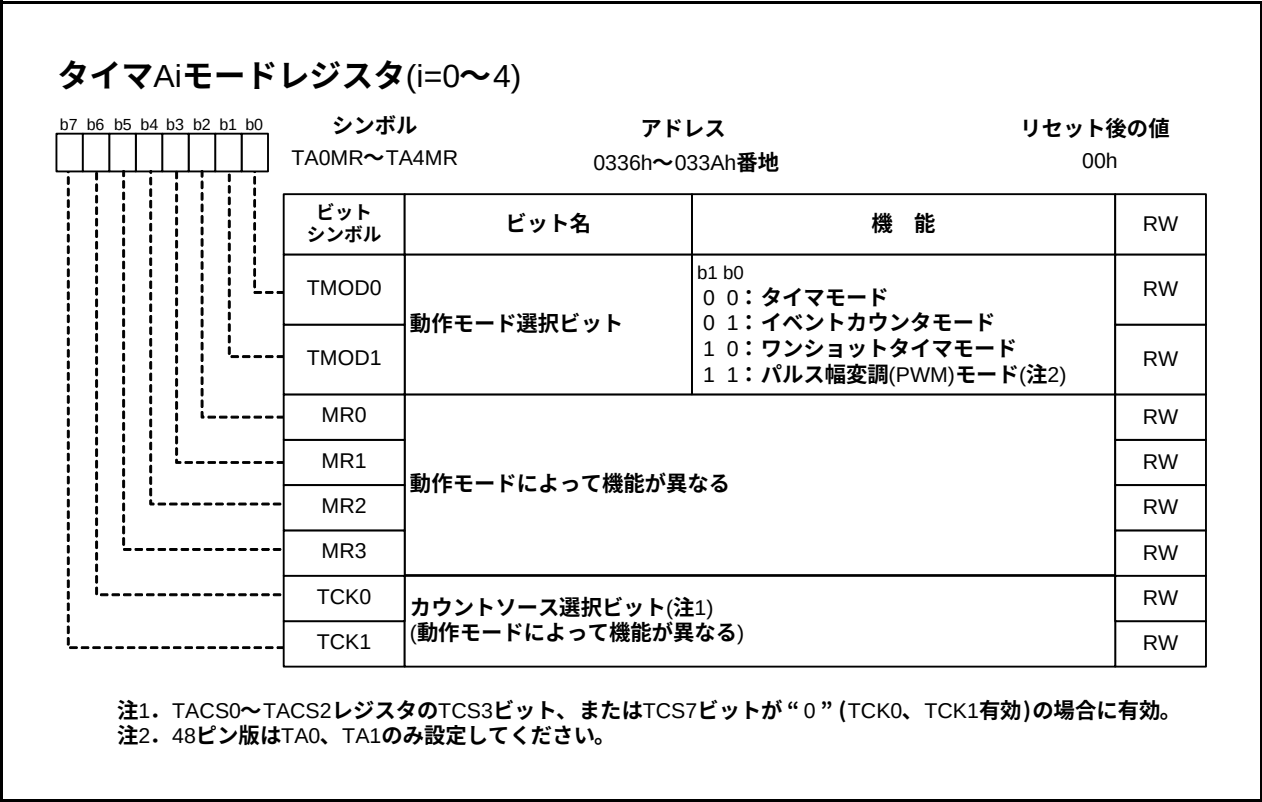
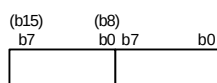


図12.6 TA0MR~TA4MRレジスタ

タイマAiレジスタ(i=0~4) (注1)



シンボル

アドレス

リセット後の値

TA0	0327h~0326h番地
TA1	0329h~0328h番地
TA2	032Bh~032Ah番地
TA3	032Dh~032Ch番地
TA4	032Fh~032Eh番地

不定
不定
不定
不定
不定

モード	機 能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、アップカウント時、カウントソースをFFFFh-n+1分周し、ダウンカウント時、カウントソースをn+1分周する(注5)	0000h~FFFFh	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する	0000h~FFFFh (注2、4)	WO
パルス幅変調モード (16ビットPWM) (注6)	設定値をn、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期: $(2^{16}-1)/fj$ PWMのパルス幅: n/fj	0000h~FFFEh (注3、4)	WO
パルス幅変調モード (8ビットPWM) (注6)	上位番地の設定値をn、下位番地の設定値をm、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期: $(2^8-1) \times (m+1)/fj$ PWMパルスのパルス幅: $(m+1)n/fj$	00h~FEh (上位番地) 00h~FFh (下位番地) (注3、4)	WO

注1. 16ビット単位でアクセスしてください。

注2. TAIレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。

注3. TAIレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のまま、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAIレジスタの上位8ビットに“00h”を設定した場合も同様です。

注4. TAIレジスタへはMOV命令を使用して書いてください。

注5. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

注6. 48ピン版はTA0、TA1のみ。

図12.7 TA0~TA4 レジスタ

カウント開始フラグ

シンボル								アドレス	リセット後の値
TABSR								0320h番地	00h
b7	b6	b5	b4	b3	b2	b1	b0		

アップダウンフラグ

シンボル								アドレス		リセット後の値	
UDF								0324h番地		00h	
b7 b6 b5 b4 b3 b2 b1 b0								ビット シンボル	ビット名	機 能	RW
								TA0UD	タイマA0アップダウンフラグ	0：ダウンカウント 1：アップカウント	RW
								TA1UD	タイマA1アップダウンフラグ	イベントカウンタモード時、(二相パルス 信号処理機能を使用しない場合)有効になり ます	RW
								TA2UD	タイマA2アップダウンフラグ		RW
								TA3UD	タイマA3アップダウンフラグ		RW
								TA4UD	タイマA4アップダウンフラグ		RW
								TA2P	タイマA2二相パルス信号処理 機能選択ビット(注3)	0：二相パルス信号処理機能禁止 1：二相パルス信号処理機能許可(注1、2)	RW
								TA3P	タイマA3二相パルス信号処理 機能選択ビット(注3)		RW
								TA4P	タイマA4二相パルス信号処理 機能選択ビット(注3)		RW

注1. TA2IN～TA4IN、TA2OUT～TA4OUT端子に対応するポート方向ビットは“0”(入力モード)にしてください。
 注2. 二相パルス信号処理機能を使用しない場合、タイマA2～タイマA4に対応するビットを“0”にしてください。
 注3. 64ピン版のみ。

図12.8 TABSR、UDFレジスタ

ワンショット開始フラグ

シンボル	アドレス	リセット後の値
ONSF	0322h番地	00h

ビットシンボル	ビット名	機能	RW
TA0OS	タイマA0ワンショット開始フラグ	TAiMRレジスタ(i=0~4)のTMOD1~TMOD0ビットが“10b”(ワンショットタイマモード)、かつTAiMRレジスタのMR2ビットが“0”(TAiOSビット有効)の場合、このビットを“1”にすると、タイマのカウントを開始する。読んだ場合、その値は“0”。	RW
TA1OS	タイマA1ワンショット開始フラグ		RW
TA2OS	タイマA2ワンショット開始フラグ		RW
TA3OS	タイマA3ワンショット開始フラグ		RW
TA4OS	タイマA4ワンショット開始フラグ		RW
— (b5)	予約ビット	“0”にしてください。	RW
TA0TGL	タイマA0イベント/ トリガ選択ビット	b7 b6 0 0: TA0IN端子の入力を選択(注1) 0 1: TB2を選択(注2) 1 0: TA4を選択(注2) 1 1: TA1を選択(注2)	RW
TA0TGH			RW

注1. PD7レジスタのPD7_1ビットを“0”(入力モード)にしてください。

注2. オーバフローまたはアンダフロー。TB2はアンダフローのみ。

トリガ選択レジスタ

シンボル	アドレス	リセット後の値
TRGSR	0323h番地	00h

ビットシンボル	ビット名	機能	RW
TA1TGL	タイマA1イベント/ トリガ選択ビット	b1 b0 0 0: TA1IN端子の入力を選択(注1) 0 1: タイマB2を選択(注2) 1 0: タイマA0を選択(注2) 1 1: タイマA2を選択(注2)	RW
TA1TGH			RW
TA2TGL	タイマA2イベント/ トリガ選択ビット	b3 b2 0 0: TA2IN端子の入力を選択(注1、3) 0 1: タイマB2を選択(注2) 1 0: タイマA1を選択(注2) 1 1: タイマA3を選択(注2)	RW
TA2TGH			RW
TA3TGL	タイマA3イベント/ トリガ選択ビット	b5 b4 0 0: TA3IN端子の入力を選択(注1、3) 0 1: タイマB2を選択(注2) 1 0: タイマA2を選択(注2) 1 1: タイマA4を選択(注2)	RW
TA3TGH			RW
TA4TGL	タイマA4イベント/ トリガ選択ビット	b7 b6 0 0: TA4IN端子の入力を選択(注1、3) 0 1: タイマB2を選択(注2) 1 0: タイマA3を選択(注2) 1 1: タイマA0を選択(注2)	RW
TA4TGH			RW

注1. TA1IN~TA4IN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注2. オーバフローまたはアンダフロー。タイマB2はアンダフローのみ。

注3. 64ピン版のみ。

図12.9 ONSF、TRGSRレジスタ

時計用プリスケアラリセットフラグ

シンボル	アドレス	リセット後の値
CPSRF	0015h番地	0XXXXXXb

ビットシンボル	ビット名	機能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される。 (読んだ場合、その値は“0”)	RW

タイマAカウントソース選択レジスタ0、タイマAカウントソース選択レジスタ1

シンボル	アドレス	リセット後の値
TACS0	01D0h番地	00h
TACS1	01D1h番地	00h

ビットシンボル	ビット名	機能	RW
TCS0	TAiカウントソース選択ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB(注1) 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS1			RW
TCS2			RW
TCS3	TAiカウントソース選択肢指定ビット	0 : TCK0, TCK1有効、TCS0~TCS2無効 1 : TCK0, TCK1無効、TCS0~TCS2有効	RW
TCS4	TAjカウントソース選択ビット	b6 b5 b4 0 0 0 : f1TIMABまたはf2TIMAB(注1) 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS5			RW
TCS6			RW
TCS7	TAjカウントソース選択肢指定ビット	0 : TCK0, TCK1有効、TCS4~TCS6無効 1 : TCK0, TCK1無効、TCS4~TCS6有効	RW

TACS0レジスタ : i=0, j=1、TACS1レジスタ : i=2, j=3
 注1. PCLKRレジスタのPCLK0ビットで選択してください。

図12.10 CPSRF、TACS0、TACS1レジスタ

タイマAカウントソース選択レジスタ2

シンボル		アドレス	リセット後の値																			
TACS2		01D2h番地	X0h																			
b7 b6 b5 b4 b3 b2 b1 b0	<table><tr><th>ビットシンボル</th><th>ビット名</th><th>機 能</th><th>RW</th></tr><tr><td>TCS0</td><td rowspan="5">TA4カウントソース選択ビット</td><td>b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB(注1)</td><td>RW</td></tr><tr><td>TCS1</td><td>0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB 1 0 0: 設定しないでください 1 0 1: fOCO-S</td><td>RW</td></tr><tr><td>TCS2</td><td>1 1 0: fC32 1 1 1: 設定しないでください</td><td>RW</td></tr><tr><td>TCS3</td><td>0: TCK0, TCK1有効、TCS0～TCS2無効 1: TCK0, TCK1無効、TCS0～TCS2有効</td><td>RW</td></tr><tr><td>— (b7-b4)</td><td colspan="2">何も配置されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。</td><td>—</td></tr></table>	ビットシンボル	ビット名	機 能	RW	TCS0	TA4カウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB(注1)	RW	TCS1	0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB 1 0 0: 設定しないでください 1 0 1: fOCO-S	RW	TCS2	1 1 0: fC32 1 1 1: 設定しないでください	RW	TCS3	0: TCK0, TCK1有効、TCS0～TCS2無効 1: TCK0, TCK1無効、TCS0～TCS2有効	RW	— (b7-b4)	何も配置されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—
ビットシンボル	ビット名	機 能	RW																			
TCS0	TA4カウントソース選択ビット	b2 b1 b0 0 0 0: f1TIMABまたはf2TIMAB(注1)	RW																			
TCS1		0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB 1 0 0: 設定しないでください 1 0 1: fOCO-S	RW																			
TCS2		1 1 0: fC32 1 1 1: 設定しないでください	RW																			
TCS3		0: TCK0, TCK1有効、TCS0～TCS2無効 1: TCK0, TCK1無効、TCS0～TCS2有効	RW																			
— (b7-b4)		何も配置されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—																		

注1. PCLKRレジスタのPCLK0ビットで選択してください。

タイマA波形出力機能選択レジスタ

シンボル		アドレス	リセット後の値																						
TAPOFS		01D5h番地	XXX00000b																						
b7 b6 b5 b4 b3 b2 b1 b0	<table><thead><tr><th>ビットシンボル</th><th>ビット名</th><th>機 能</th><th>RW</th></tr></thead><tbody><tr><td>POFS0</td><td>TA0OUT出力極性制御ビット</td><td rowspan="5">0：出力波形“H”アクティブ 1：出力波形“L”アクティブ(出力反転)</td><td>RW</td></tr><tr><td>POFS1</td><td>TA1OUT出力極性制御ビット</td><td>RW</td></tr><tr><td>POFS2</td><td>TA2OUT出力極性制御ビット (注1)</td><td>RW</td></tr><tr><td>POFS3</td><td>TA3OUT出力極性制御ビット (注1)</td><td>RW</td></tr><tr><td>POFS4</td><td>TA4OUT出力極性制御ビット (注1)</td><td>RW</td></tr><tr><td>— (b7-b5)</td><td colspan="2">何も設定されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。</td><td>—</td></tr></tbody></table>	ビットシンボル	ビット名	機 能	RW	POFS0	TA0OUT出力極性制御ビット	0：出力波形“H”アクティブ 1：出力波形“L”アクティブ(出力反転)	RW	POFS1	TA1OUT出力極性制御ビット	RW	POFS2	TA2OUT出力極性制御ビット (注1)	RW	POFS3	TA3OUT出力極性制御ビット (注1)	RW	POFS4	TA4OUT出力極性制御ビット (注1)	RW	— (b7-b5)	何も設定されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—
ビットシンボル	ビット名	機 能	RW																						
POFS0	TA0OUT出力極性制御ビット	0：出力波形“H”アクティブ 1：出力波形“L”アクティブ(出力反転)	RW																						
POFS1	TA1OUT出力極性制御ビット		RW																						
POFS2	TA2OUT出力極性制御ビット (注1)		RW																						
POFS3	TA3OUT出力極性制御ビット (注1)		RW																						
POFS4	TA4OUT出力極性制御ビット (注1)		RW																						
— (b7-b5)	何も設定されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—																						

注1. 64ピン版のみ。

図12.11 TACS2、TAPOFSレジスタ

12.1.2 タイマモード

内部で生成されたカウントソースをカウントするモードです (表 12.2)。図 12.12 にタイマモード時の TAI_iMR (i=0~4) レジスタを示します。

表 12.2 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n: TAI レジスタの設定値 0000h~FFFFh
カウント開始条件	TABSR レジスタの TAI _S ビットを “1” (カウント開始) にする
カウント停止条件	TAI _S ビットを “0” (カウント停止) にする
割り込み要求発生タイミング	アンダフロー時
TAI _i IN 端子機能 (注 1)	入出力ポートまたはゲート入力
TAI _i OUT 端子機能 (注 1)	入出力ポートまたはパルス出力
タイマの読み出し	TAI レジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中に TAI レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中に TAI レジスタに書くと、リロードレジスタに書かれる (次のリロード時に転送)
選択機能 (注 1)	・ゲート機能 TAI_iIN 端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとに TAI_iOUT 端子の出力極性が反転。TAI_S ビットが “0” (カウント停止) の期間は “L” を出力 ・出力極性制御 TAI_iOUT 端子の出力極性を反転 (TAI ビットが “0” (カウント停止) の期間は “H” を出力)

i=0~4

注 1. 48 ピン版は i=0、1 のみ。

タイマAiモードレジスタ(i=0~4)

b7 b6 b5 b4 b3 b2 b1 b0								シンボル	アドレス	リセット後の値
		0				0	0	TA0MR～TA4MR	0336h～033Ah番地	00h
ビット シンボル	ビット名							機 能		RW
TMOD0	動作モード選択ビット							b1 b0 0 0：タイマモード	RW	
TMOD1									RW	
MR0	パルス出力機能選択 ビット (注5)							0：パルス出力なし (TAiOUT端子は入出力ポート) 1：パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW	
MR1	ゲート機能選択ビット (注5)							b4 b3 0 0： } ゲート機能なし 0 1： } (TAiIN端子は入出力ポート) 1 0：TAiIN端子に“L”が入力されている 期間カウントする(注2) 1 1：TAiIN端子に“H”が入力されている 期間カウントする(注2)	RW	
MR2									RW	
MR3	タイマモードでは“0”にしてください。								RW	
TCK0	カウントソース選択 ビット(注4)							b7 b6 0 0：f1TIMABまたはf2TIMAB(注3) 0 1：f8TIMAB 1 0：f32TIMAB 1 1：fC32	RW	
TCK1										

注1. TA0OUT端子はNチャンネルオープンドレイン出力。

注2. TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注3. PCLKRレジスタのPCLK0ビットで選択してください。

注4. TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0、TCK1有効)の場合に有効。

注5. 48ピン版はi=0、1のみ。

図12.12 タイマモード時のTAiMR (i=0~4) レジスタ

12.1.3 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2、A3、A4は二相の外部信号をカウントできます(64ピン版のみ)。表12.3にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)を、図12.13にイベントカウンタモード時のTAiMR (i=0～4)レジスタ(二相パルス信号処理を使用しない場合)を示します。

表12.3 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	- TAiIN端子(注1)に入力された外部信号(プログラムで有効エッジを選択可能) - タイマB2のアンダフロー、タイマAj (j=i-1、ただしi=0のときj=4)のオーバフローまたはアンダフロー、タイマAk (k=i+1、ただしi=4のときk=0)のオーバフローまたはアンダフロー
カウント動作	- アップカウントまたはダウンカウントをプログラムで選択可能 - オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	- アップカウント時 $1/(\text{FFFFh} - n + 1)$ - ダウンカウント時 $1/(n + 1)$ n: TAIレジスタの設定値 0000h～FFFFh
カウント開始条件	TABSRレジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能(注1)	入出力ポートまたはカウントソース入力
TAiOUT端子機能(注1)	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	- カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる - カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	- フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロードしない - パルス出力機能(注1) オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。TAISビットが“0”(カウント停止)の期間は“L”を出力 - 出力極性制御(注1) TAiOUT端子の出力極性を反転(TAiビットが“0”(カウント停止)の期間は“H”を出力)

i=0～4

注1. 48ピン版はi=0、1のみ。

タイマAiモードレジスタ(i=0~4) (二相パルス信号処理を使用しない場合)

シンボル	アドレス	リセット後の値
TA0MR~TA4MR	0336h~033Ah番地	00h

ビット シンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード (注1)	RW
TMOD1			RW
MR0	パルス出力機能選択 ビット (注4)	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり(注3) (TAiOUT端子はパルス出力端子)	RW
MR1	カウント極性選択ビット (注4)	0: 外部信号の立ち下がりをカウント 1: 外部信号の立ち上がりをカウント	RW
MR2	イベントカウンタモードでは“0”にしてください。		RW
MR3	イベントカウンタモードでは“0”にしてください。		RW
TCK0	カウントタイプ 選択ビット	0: リロードタイプ 1: フリーランタイプ	RW
TCK1	二相パルス信号処理を使用しない場合は“0”、“1”いずれでも可		RW

注1. イベントカウンタモードではカウントソースをONSFレジスタ、TRGSRレジスタで選択できます。

注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b” (TAiIN端子の入力)のとき有効。

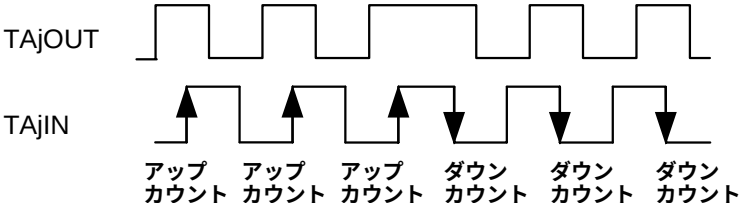
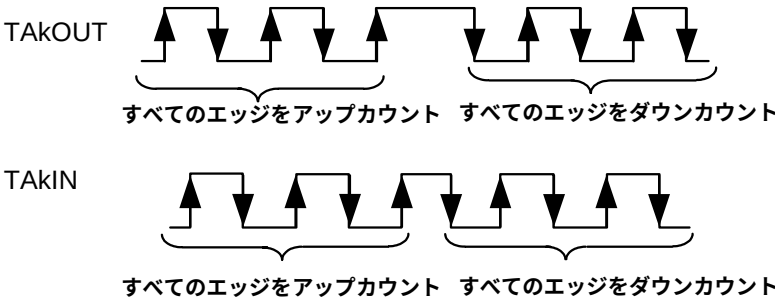
注3. TA0OUT端子はNチャネルオープンドレイン出力。

注4. 48ピン版はi=0、1のみ。

図 12.13 イベントカウンタモード時のTAiMR (i=0~4) レジスタ (二相パルス信号処理を使用しない場合)

表12.4にイベントカウンタモードの仕様(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を、図12.14にイベントカウンタモード時のTA2MR～TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)を示します。

表12.4 イベントカウンタモードの仕様
(タイマA2、A3、A4で二相パルス信号処理を使用する場合)(注2)

項目	仕様
カウントソース	TAiIN、TAiOUT 端子に入力された二相パルス信号
カウント動作	・アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 ・オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	・アップカウント時 $1/(FFFFh - n + 1)$ ・ダウンカウント時 $1/(n + 1)$ n: TAIレジスタの設定値 0000h～FFFFh
カウント開始条件	TABSR レジスタのTAISビットを“1”(カウント開始)にする
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN 端子機能	二相パルス入力
TAiOUT 端子機能	二相パルス入力
タイマの読み出し	タイマA2、A3、A4レジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能(注1)	・通常処理動作(タイマA2、タイマA3) TAjOUT 端子の入力信号が“H”の期間、TAjIN 端子の立ち上がりをアップカウントし、立ち下がりダウンカウントします。  ・4通倍処理動作(タイマA3、タイマA4) TAKOUT 端子の入力信号が“H”の期間にTAKIN 端子が立ち上がる位相関係の場合、TAKOUT、TAKIN 端子の立ち上がり、立ち下がりアップカウントします。 TAKOUT 端子の入力信号が“H”の期間にTAKIN 端子が立ち下がる位相関係の場合、TAKOUT、TAKIN 端子の立ち上がり、立ち下がりダウンカウントします。 

i=2～4 j=2、3 k=3、4

注1. タイマA3は選択できます。タイマA2は通常処理動作、タイマA4は4通倍処理動作です。

注2. 64ピン版のみ。

タイマAiモードレジスタ(i=2~4) (二相パルス信号処理を使用する場合) (注3)

b7b6b5b4b3b2b1b0 0 1 0 0 0 1								シンボル	アドレス	リセット後の値	
								TA2MR～TA4MR	0338h～033Ah番地	00h	
								ビット シンボル	ビット名	機 能	RW
								TMOD0	動作モード選択ビット	b1 b0 0 1: イベントカウンタモード	RW
								TMOD1			RW
								MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
								MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
								MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
								MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
								TCK0	カウント動作タイプ選択 ビット	0: リロードタイプ 1: フリーランタイプ	RW
								TCK1	二相パルス処理動作選択 ビット(注1、2)	0: 通常処理動作 1: 4通倍処理動作	RW

注1. タイマA3は選択できます。このビットにかかわらずタイマA2は通常処理動作に、タイマA4は4通倍処理動作に固定です。

注2. 二相パルス信号処理を行う場合、次のとおりにしてください。

- ・UDFレジスタのTAiPビットを“1”(二相パルス信号処理機能を許可)にする
- ・TRGSRレジスタのTAiTGL、TAiTGLビットを“00b”(TAiIN端子入力)にする
- ・TAiIN、TAiOUTに対応するポート方向ビットを“0”(入力モード)にする

注3. 64ピン版のみ。

図 12.14 イベントカウンタモード時のTA2MR~TA4MRレジスタ(タイマA2、A3、A4で二相パルス信号処理を使用する場合)

12.1.4 ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表12.5)。トリガが発生するとその時点から任意の期間、タイマが動作します。図12.15にワンショットタイマモード時のTAiMR (i=0~4) レジスタを示します。

表12.5 ワンショットタイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	・ダウンカウント ・カウンタが0000hになるタイミングでリロードしてカウントを停止 ・カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタの設定値 0000h~FFFFh ただし、0000hを設定した場合、カウンタは動作しない
カウント開始条件(注1)	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 ・TAiIN端子からの外部トリガ入力 ・タイマB2のアンダフロー、タイマAj (j=i-1、ただしi=0のときj=4)のオーバーフローまたはアンダフロー、タイマAk (k=i+1、ただしi=4のときk=0)のオーバーフローまたはアンダフロー ・ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件(注1)	・カウント値が0000hになりリロードした後 ・TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング(注1)	カウント値が0000hになるタイミング
TAiIN端子機能(注1)	入出力ポートまたはトリガ入力
TAiOUT端子機能(注1)	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能(注1)	・パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力 ・出力極性制御 TAiOUT端子の出力極性を反転(TAiビットが“0”(カウント停止)の期間は“H”を出力)

i=0~4

注1. 48ピン版はi=0、1のみ。

タイマAiモードレジスタ(i=0~4)

シンボル								アドレス		リセット後の値		
TA0MR～TA4MR								0336h～033Ah番地		00h		
b7	b6	b5	b4	b3	b2	b1	b0					
		0				1	0					
								ビット シンボル	ビット名	機 能	RW	
								TMOD0	動作モード選択ビット	b1 b0 1 0：ワンショットタイマモード	RW	
								TMOD1			RW	
								MR0	パルス出力機能選択 ビット(注6)	0：パルス出力なし (TAiOUT端子は入出力ポート) 1：パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW	
								MR1	外部トリガ選択ビット (注2、6)	0：TAiIN端子の入力信号の立ち下がり(注3) 1：TAiIN端子の入力信号の立ち上がり(注3)	RW	
								MR2	トリガ選択ビット(注6)	0：TAiOSビットが有効 1：TAITGH～TAITGLビットで選択	RW	
								MR3	ワンショットタイマモードでは“0”にしてください。			RW
								TCK0	カウントソース選択 ビット(注5)	b7 b6 0 0：f1TIMABまたはf2TIMAB(注4) 0 1：f8TIMAB 1 0：f32TIMAB 1 1：fC32	RW	
								TCK1				

注1. TA0OUT端子はNチャンネルオープンドレイン出力。

注2. ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。

注3. TAIiN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注4. PCLKRレジスタのPCLK0ビットで選択してください。

注5. TACS0~TACS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0、TCK1有効)の場合に有効。

注6. 48ピン版はi=0、1のみ。

図 12.15 ワンショットタイマモード時のTAiMR (i=0~4) レジスタ

12.1.5 パルス幅変調モード (PWM モード) (48ピン版は*i*=0、1のみ)

任意の幅のパルスを連続して出力するモードです(表12.6)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図12.16にパルス幅変調モード時のTAiMR (*i*=0、1)レジスタを、図12.17に16ビットパルス幅変調器の動作例を、図12.18に8ビットパルス幅変調器の動作例を示します。

表12.6 パルス幅変調モードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	・ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) ・PWMパルスの立ち上がりでリロードしてカウントを継続 ・カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	・パルス幅 n/f_j n: TAIレジスタの設定値 ・周期 $(2^{16}-1)/f_j$ 固定 f_j: カウントソースの周波数(f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32)
8ビットPWM	・パルス幅 $n \times (m+1)/f_j$ n: TAIレジスタの上位番地の設定値 ・周期 $(2^8-1) \times (m+1)/f_j$ m: TAIレジスタの下位番地の設定値
カウント開始条件	・TABSR レジスタのTAISビットを“1”(カウント開始)にする ・TAISビットが“1”で、かつTAiIN端子からの外部トリガ入力 ・TAISビットが“1”で、かつ次のトリガが発生 タイマB2のアンダフロー、タイマAj ($j=i-1$、ただし<i>i</i>=0のとき<i>j</i>=4)のオーバフローまたはアンダフロー、タイマAk ($k=i+1$、ただし<i>i</i>=4のとき<i>k</i>=0)のオーバフローまたはアンダフロー
カウント停止条件	TAISビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	・カウント停止中にTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中にTAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	・出力極性制御 TAiOUT端子の出力極性を反転(TAiビットが“0”(カウント停止)の期間は“H”を出力)

i=0～4

タイマAiモードレジスタ(i=0、1)

シンボル	アドレス	リセット後の値
TA0MR、TA1MR	0336h、0337h番地	00h

ビット シンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1: パルス幅変調(PWM)モード	RW
TMOD1			RW
MR0	パルス出力機能選択 ビット(注4、7)	0: パルス出力なし (TAiOUT端子は入出力ポート) 1: パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット (注2、7)	0: TAIiN端子の入力信号の立ち下がり(注3) 1: TAIiN端子の入力信号の立ち上がり(注3)	RW
MR2	トリガ選択ビット	0: TABSRレジスタのTAiSビットへの“1” 書き込み 1: TAIiTGH~TAiTGTLビットで選択	RW
MR3	16/8ビットPWMモード選択 ビット	0: 16ビットパルス幅変調器として動作 (16ビットPWM) 1: 8ビットパルス幅変調器として動作 (8ビットPWM)	RW
TCK0	カウントソース選択 ビット (注6)	b7 b6 0 0: f1TIMABまたはf2TIMAB(注5) 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
TCK1			

注1. TA0OUT端子はNチャンネルオープンドレイン出力。

注2. ONSFレジスタまたはTRGSRレジスタのTAiTGHL、TAiTGHLビットが“00b”(TAiIN端子の入力)のとき有効。

注3. TAIiN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注4. PWMパルスを出力する場合は“1”(パルス出力あり)にしてください。

注5. PCLKRレジスタのPCLK0ビットで選択してください。

注6. TBCS0~TBCS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0、TCK1有効)の場合に有効。

注7. 48ピン版はi=0、1のみ。

図12.16 パルス幅変調モード時のTAiMR (i=0、1) レジスタ

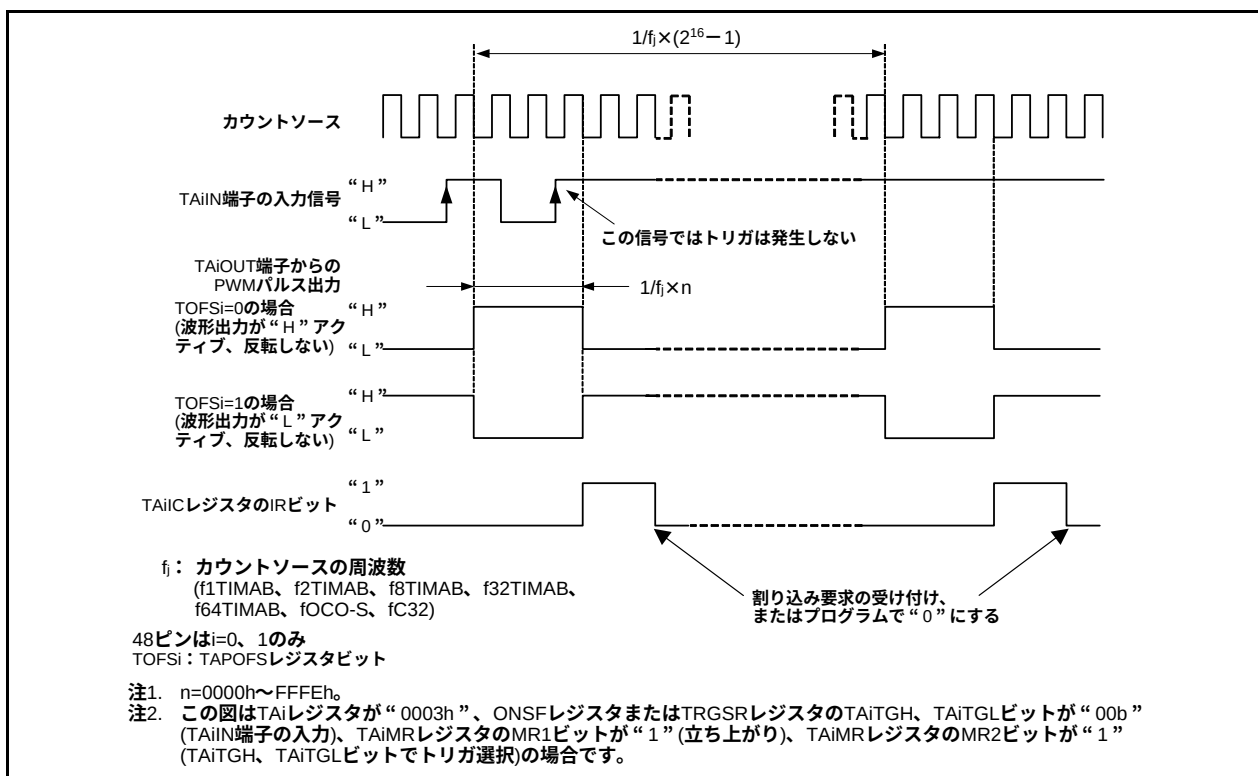


図12.17 16ビットパルス幅変調器の動作例

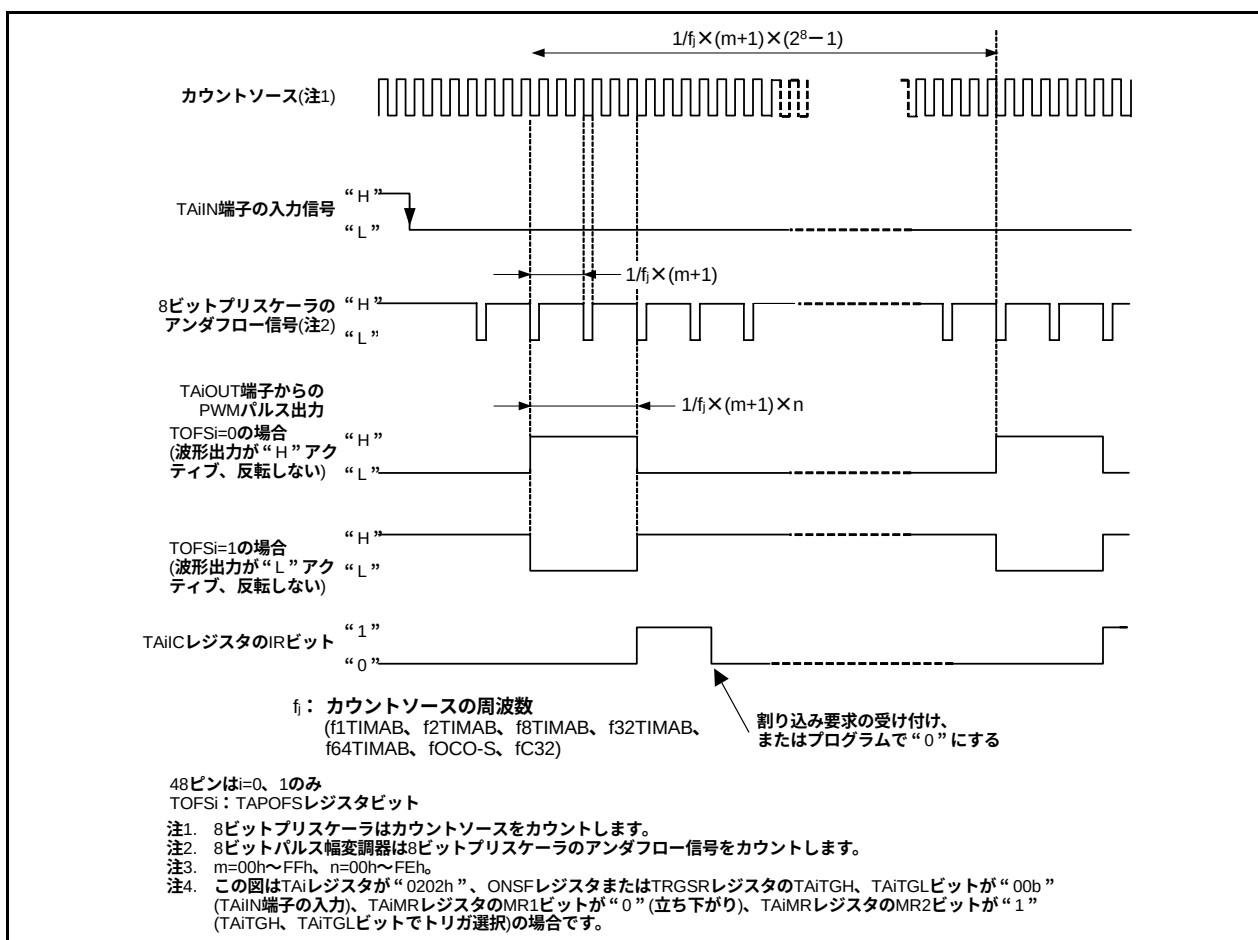


図12.18 8ビットパルス幅変調器の動作例

12.2 タイマB

図12.19にタイマBブロック図を、図12.20～図12.22にタイマB関連レジスタを示します。

タイマBは次の2種類のモードがあり、モードは、TbiMRレジスタ(i=0～5)のTMOD1～TMOD0ビットで選択できます。

- ・タイマモード 内部カウントソースをカウントするモード
- ・イベントカウンタモード 他のタイマのアンダフローをカウントするモード

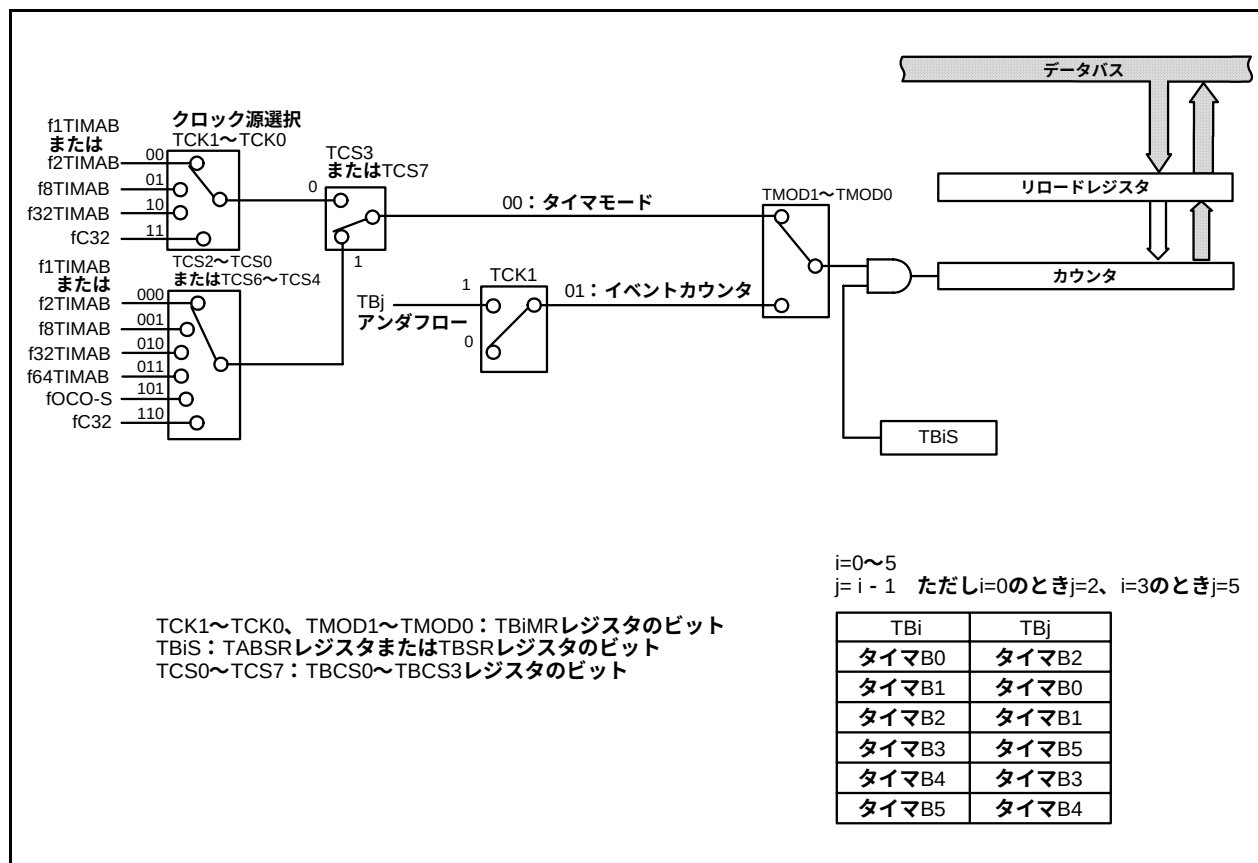


図 12.19 タイマBブロック図

タイマBiモードレジスタ(i=0~5)

シンボル	アドレス	リセット後の値
TB0MR~TB2MR	033Bh~033Dh番地	00XX0000b
TB3MR~TB5MR	031Bh~031Dh番地	00XX0000b

ビット シンボル	ビット名	機 能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0: タイマモード	RW
TMOD1		0 1: イベントカウンタモード 1 x: 設定しないでください	RW
— (b3-b2)	予約ビット	“0”にしてください。	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
MR3	動作モードによって機能が異なる		RO
TCK0	カウントソース選択ビット(注1) (動作モードによって機能が異なる)		RW
TCK1			RW

注1. TBCS0~TBCS2レジスタのTCS3ビット、またはTCS7ビットが“0”(TCK0、TCK1有効)の場合に有効。

タイマBiレジスタ(i=0~5) (注1)

シンボル	アドレス	リセット後の値
TB0	0331h~0330h番地	不定
TB1	0333h~0332h番地	不定
TB2	0335h~0334h番地	不定
TB3	0311h~0310h番地	不定
TB4	0313h~0312h番地	不定
TB5	0315h~0314h番地	不定

モード	機 能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h~FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する(注2)	0000h~FFFFh	RW

注1. 16ビット単位でアクセスしてください。

注2. 外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

注3. TABSRまたはTBSRレジスタのTBiSビットが“0”(カウント停止)のときに設定してください。

注4. TABSRまたはTBSRレジスタのTBiSビットが“1”(カウント開始)のときはROになります。

図 12.20 TB0MR~TB5MR、TB0~TB5 レジスタ

カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
TABSR

アドレス
0320h番地

リセット後の値
00h

ビット シンボル	ビット名	機 能	RW
TA0S	タイマA0カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
TA3S	タイマA3カウント開始フラグ		RW
TA4S	タイマA4カウント開始フラグ		RW
TB0S	タイマB0カウント開始フラグ		RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

タイマB3, B4, B5カウント開始フラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
TBSR

アドレス
0300h番地

リセット後の値
000XXXXXb

ビット シンボル	ビット名	機 能	RW
— (b4-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
TB3S	タイマB3カウント開始フラグ	0: カウント停止 1: カウント開始	RW
TB4S	タイマB4カウント開始フラグ		RW
TB5S	タイマB5カウント開始フラグ		RW

時計用プリスケアラリセットフラグ

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
CPSRF

アドレス
0015h番地

リセット後の値
0XXXXXXXb

ビット シンボル	ビット名	機 能	RW
— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケアラリセットフラグ	このビットを“1”にすると時計用プリスケアラが初期化される。 (読んだ場合、その値は“0”)	RW

図12.21 TABSR、TBSR、CPSRFレジスタ

タイマBカウントソース選択レジスタ0、タイマBカウントソース選択レジスタ2

シンボル	アドレス	リセット後の値
TBCS0	01C8h番地	00h
TBCS2	01E8h番地	00h

ビット シンボル	ビット名	機 能	RW
TCS0	TBiカウントソース選択 ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB(注1) 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS1			RW
TCS2			RW
TCS3		0 : TCK0, TCK1有効、TCS0～TCS2無効 1 : TCK0, TCK1無効、TCS0～TCS2有効	RW
TCS4	TBjカウントソース選択 ビット	b6 b5 b4 0 0 0 : f1TIMABまたはf2TIMAB(注1) 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS5			RW
TCS6			RW
TCS7		0 : TCK0, TCK1有効、TCS4～TCS6無効 1 : TCK0, TCK1無効、TCS4～TCS6有効	RW

TBCS0レジスタ：i=0、j=1、TBCS2レジスタ：i=3、j=4

注1. PCLKRレジスタのPCLK0ビットで選択してください。

タイマBカウントソース選択レジスタ1、タイマBカウントソース選択レジスタ3

シンボル	アドレス	リセット後の値
TBCS1	01C9h番地	X0h
TBCS3	01E9h番地	X0h

ビット シンボル	ビット名	機 能	RW
TCS0	TBiカウントソース選択 ビット	b2 b1 b0 0 0 0 : f1TIMABまたはf2TIMAB(注1) 0 0 1 : f8TIMAB 0 1 0 : f32TIMAB 0 1 1 : f64TIMAB 1 0 0 : 設定しないでください 1 0 1 : fOCO-S 1 1 0 : fC32 1 1 1 : 設定しないでください	RW
TCS1			RW
TCS2			RW
TCS3		0 : TCK0, TCK1有効、TCS0～TCS2無効 1 : TCK0, TCK1無効、TCS0～TCS2有効	RW
— (b7-b4)	何も配置されていない。 書く場合“0”を書いてください。読んだ場合、その値は不定。		—

TBCS1レジスタ：i=2、TBCS3レジスタ：i=5

注1. PCLKRレジスタのPCLK0ビットで選択してください。

図12.22 TBCS0～TBCS3レジスタ

12.2.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.7)。図12.23にタイマモード時のTBiMRレジスタを示します。

表12.7 タイマモードの仕様

項目	仕様
カウントソース	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~5

注1. TB0S~TB2SビットはTABSRレジスタのビット5~7、TB3S~TB5SビットはTBSRレジスタのビット5~7です。

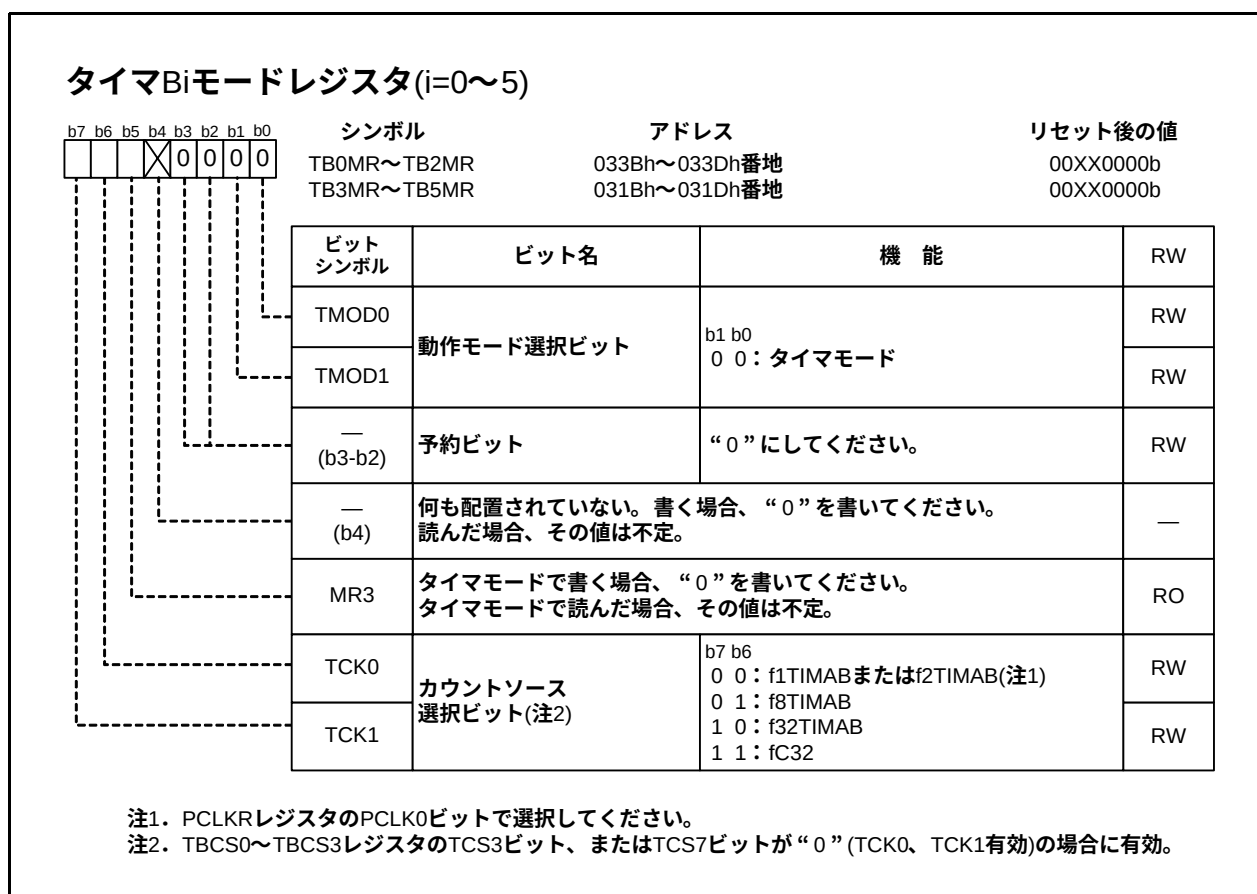


図12.23 タイマモード時のTBiMRレジスタ

12.2.2 イベントカウンタモード

他のタイマのアンダフローをカウントするモードです(表12.8)。図12.24にイベントカウンタモード時のTBiMRレジスタを示します。

表12.8 イベントカウンタモードの仕様

項目	仕様
カウントソース	タイマBjのアンダフロー (j=i-1、ただしi=0のときj=2、i=3のときj=5)
カウント動作	・ダウンカウント ・アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1) n: TBiレジスタの設定値 0000h~FFFFh
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中にTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中にTBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

i=0~5

注1. TB0S~TB2SビットはTABSRレジスタのビット5~7、TB3S~TB5SビットはTBSRレジスタのビット5~7です。

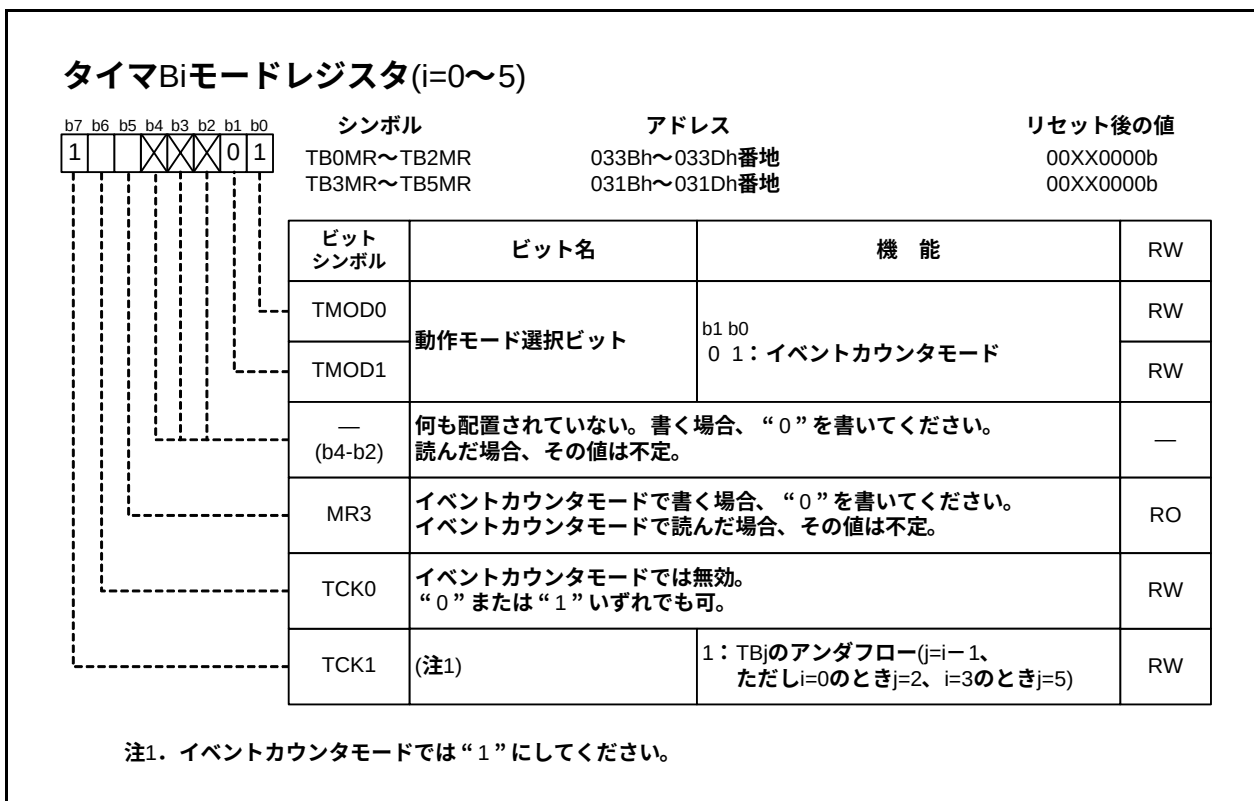


図12.24 イベントカウンタモード時のTBiMRレジスタ

13. シリアルインタフェース

シリアルインタフェースは、UART0～UART2の3チャンネルで構成しています。
次にそれぞれについて説明します。

13.1 UARTi (i=0～2)

UARTiはそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。

図13.1～図13.3にUARTiブロック図を、図13.4にUARTi (i=0～2)送受信部ブロック図を示します。

UARTiには、次のモードがあります。

- クロック同期形シリアルI/Oモード
- クロック非同期形シリアルI/Oモード (UARTモード)
- 特殊モード1 (I²Cモード)
- 特殊モード2
- 特殊モード3 (バス衝突検出機能、IEモード)
- 特殊モード4 (SIMモード)：UART2

図13.5～図13.14に、UARTi関連のレジスタを示します。

レジスタの設定はモードごとの表を参照してください。

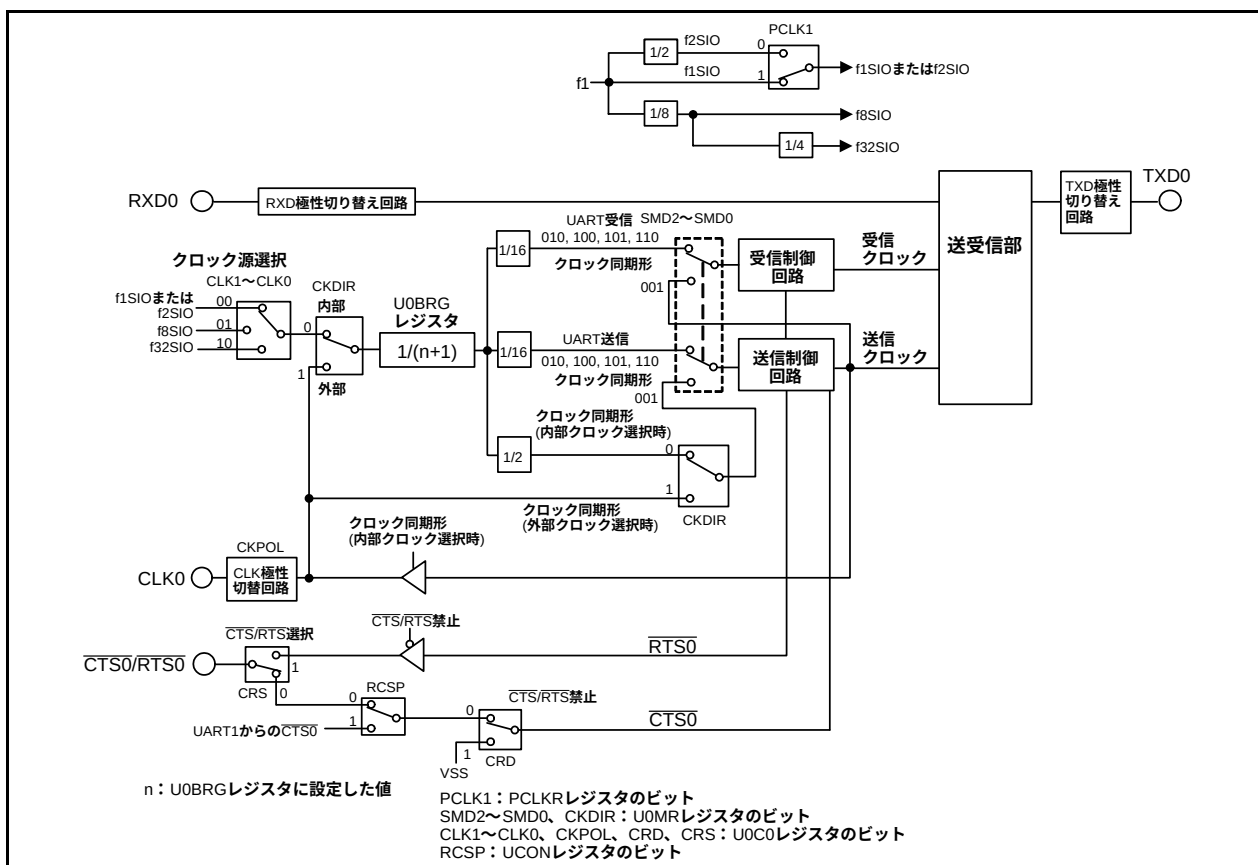


図13.1 UART0ブロック図

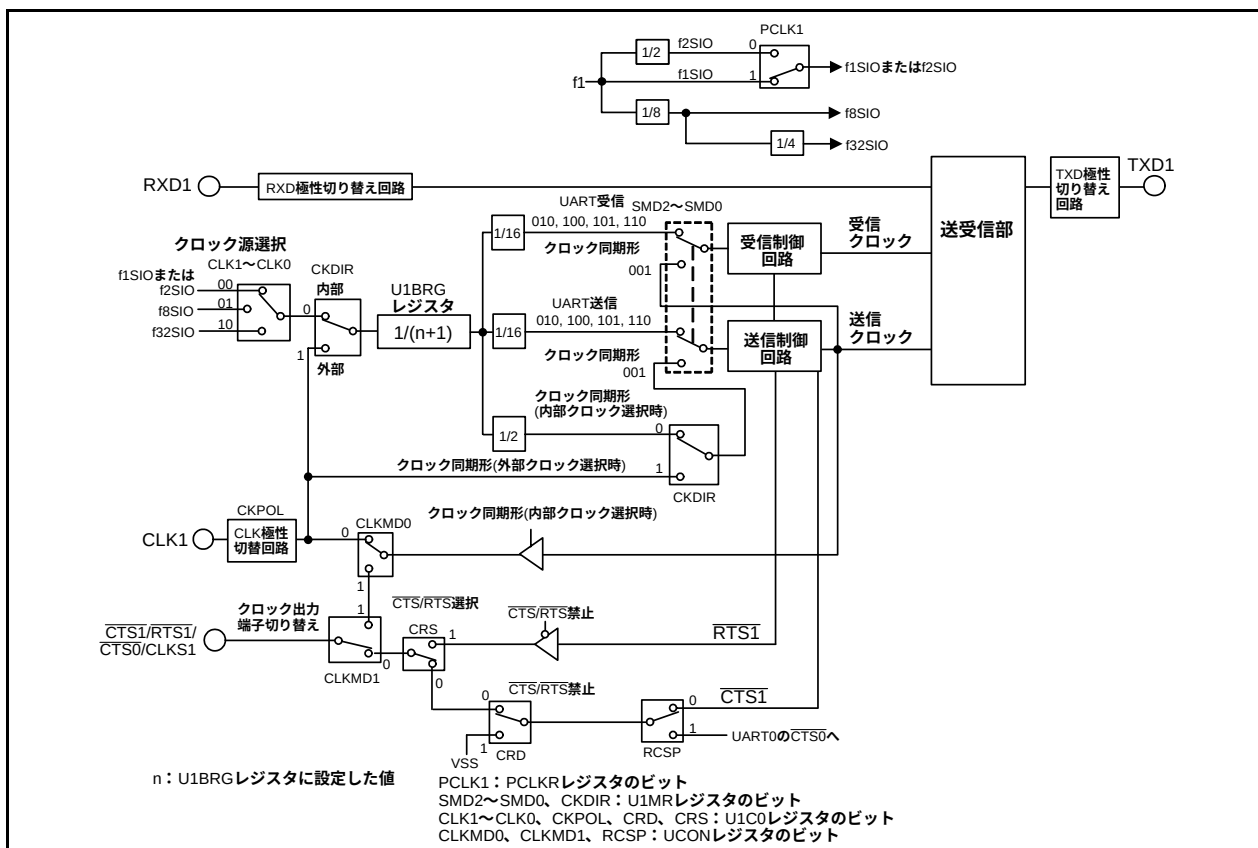


図13.2 UART1ブロック図

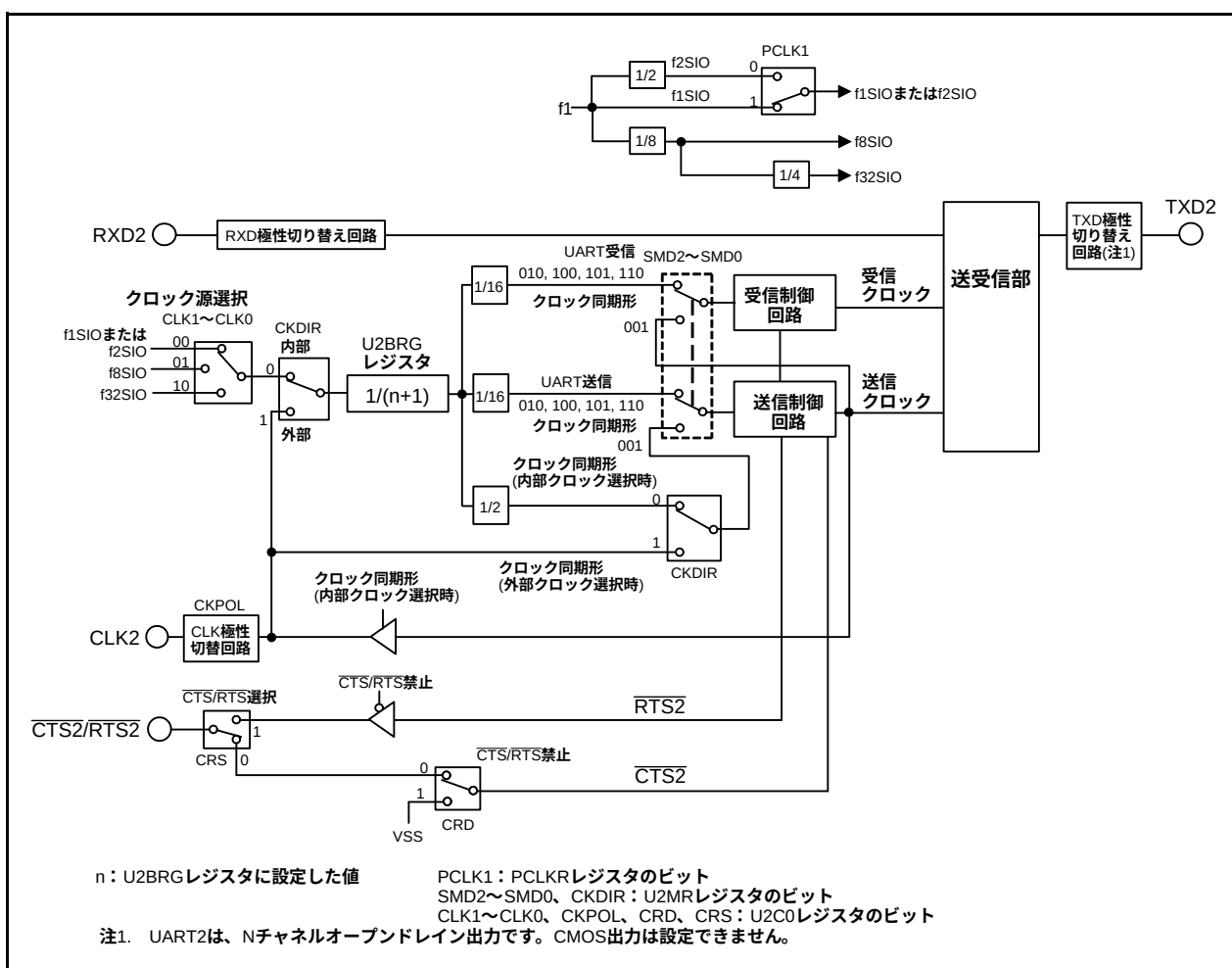


図13.3 UART2ブロック図

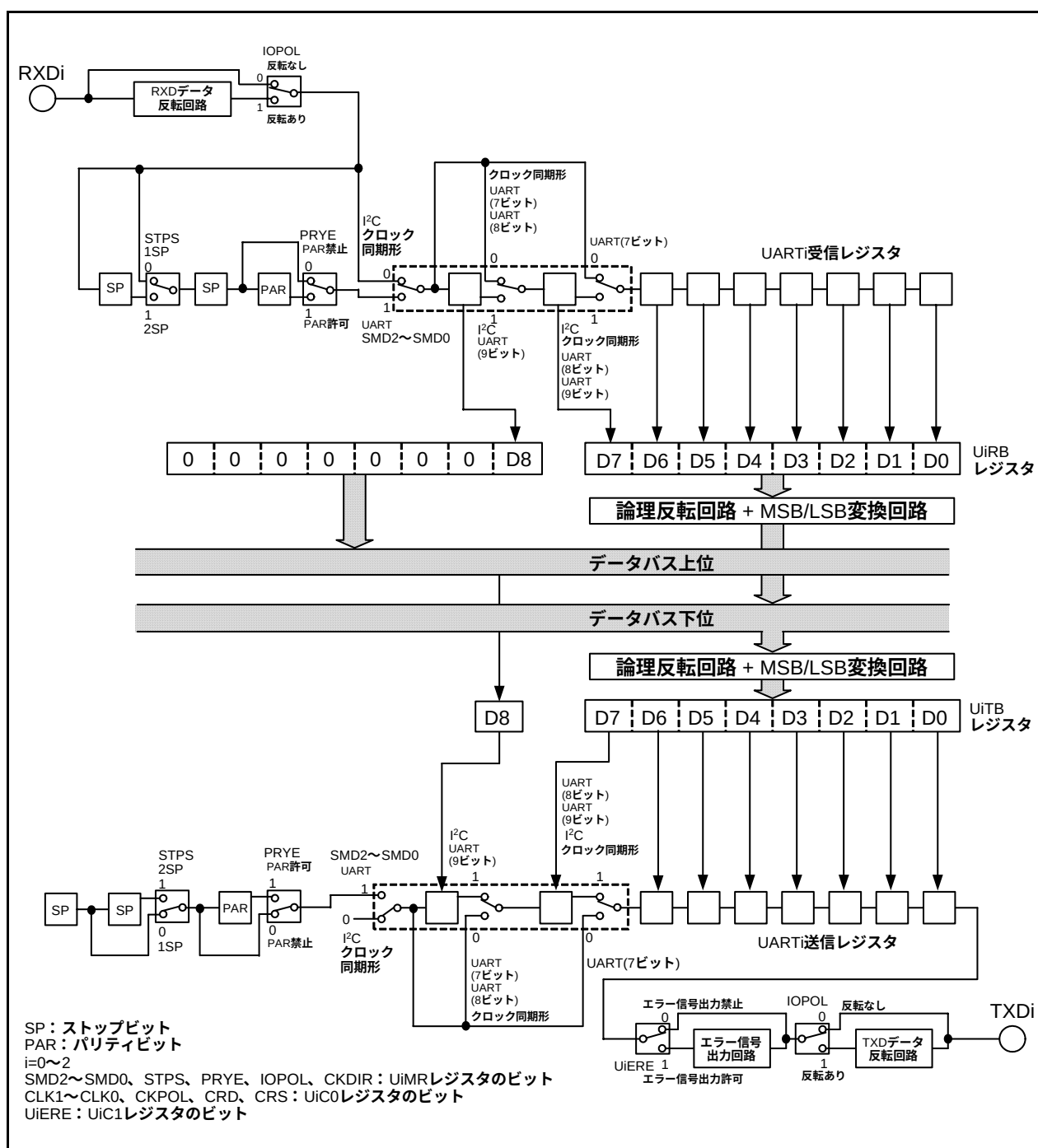


図13.4 UARTi (i=0~2)送受信部ブロック図

UARTi送信バッファレジスタ(i=0~2) (注1)

	シンボル	アドレス	リセット後の値
	U0TB	024Bh~024Ah番地	不定
	U1TB	025Bh~025Ah番地	不定
	U2TB	026Bh~026Ah番地	不定
機能			
送信データ			WO
何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			—

注1. このレジスタはMOV命令を使用して書いてください。

UARTi受信バッファレジスタ(i=0~2)

	シンボル	アドレス	リセット後の値
	U0RB	024Fh~024Eh番地	不定
	U1RB	025Fh~025Eh番地	不定
	U2RB	026Fh~026Eh番地	不定
ビットシンボル	ビット名	機能	RW
— (b7-b0)	—	受信データ(D7~D0)	RO
— (b8)	—	受信データ(D8)	RO
— (b10-b9)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
ABT	アービトラージョンロスト検出フラグ(注2)	0: 未検出(勝) 1: 検出(負)	RW
OER	オーバランエラーフラグ(注1)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注1、3)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ(注1、3)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ(注1、3)	0: エラーなし 1: エラー発生	RO

注1. UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。また、PER、FERビットは、UiRBレジスタの下位バイトを読んだとき、“0”になります。

注2. ABTビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注3. SMD2~SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)または“010b”(I²Cモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定。

図13.5 U0TB~U2TB、U0RB~U2RBレジスタ

UARTiビットレートレジスタ(i=0~2) (注1、2、3)

シンボル	アドレス	リセット後の値
U0BRG、U1BRG、U2BRG	0249h、0259h、0269h番地	不定
機能		
設定値をnとすると、UiBRGはカウントソースをn+1分周する	00h~FFh	WO

注1. 送受信停止中に書いてください。

注2. このレジスタはMOV命令を使用して書いてください。

注3. このレジスタはUic0レジスタのCLK1~CLK0ビットを設定した後に書いてください。

UARTi送受信モードレジスタ(i=0~2)

シンボル		アドレス	リセット後の値					
U0MR、U1MR、U2MR		0248h、0258h、0268h番地	00h					
b7	b6	b5	b4	b3	b2	b1	b0	
	</							

注1. CLKi端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注2. 受信する場合、RXDi端子に対応するポート方向ビットは“0”(入力モード)にしてください。

注3. SDA、SCL端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図13.6 U0BRG~U2BRG、U0MR~U2MR レジスタ

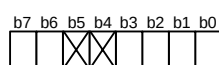
UART_i送受信制御レジスタ0 (i=0~2)

シンボル	アドレス	リセット後の値
U0C0、U1C0、U2C0	024Ch、025Ch、026Ch番地	00001000b

ビット シンボル	ビット名	機 能	RW
CLK0	UiBRGカウン ト ソース選択ビット(注6)	b1 b0 0 0 : f1SIOまたはf2SIOを選択(注5) 0 1 : f8SIOを選択 1 0 : f32SIOを選択 1 1 : 設定しないでください	RW
CLK1			RW
CRS	CTS/RTS能選択ビット(注4)	CRD=0のとき有効 0 : CTS機能を選択(注1) 1 : RTS機能を選択	RW
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり(送信中) 1 : 送信レジスタにデータなし(送信完了)	RO
CRD	CTS/RTS禁止ビット	0 : CTS/RTS機能許可 1 : CTS/RTS機能禁止 (P6_0、P6_4、P7_3は入出力ポートと して使用できる)	RW
NCH	データ出力選択ビット(注2)	0 : TXDi/SDAi、SCLi端子はCMOS出力 1 : TXDi/SDAi、SCLi端子はNチャネルオー プンドレイン出力	RW
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信デー タ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信デー タ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択ビット (注3)	0 : LSBファースト 1 : MSBファースト	RW

- 注1. CTS_i端子に対応するポート方向ビットは“0”(入力モード)にしてください。
- 注2. TXD2/SDA2、SCL2は、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。U2C0
TレジスタのNCHビットは、何も配置されていませので、書く場合“0”を書いてください。
- 注3. UFORMビットはUIMRレジスタのSMD2~ SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、
または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2~ SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)
または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。
- 注4. CTS_i/RTS_iはUCONレジスタのCLKMD1ビットが“0”(CLK出力はCLK1のみ)、かつUCONレジスタの
RCSPビットが“0”(CTS₀/RTS₀分離しない)のとき使用できます。
- 注5. PCLKRレジスタのPCLK1ビットで選択してください。
- 注6. CLK1~ CLK0ビットを変更した場合は、UiBRGレジスタを設定してください。

図 13.7 U0C0~U2C0 レジスタ

UART_i送受信制御レジスタ1 (i=0、1)

シンボル
U0C1、U1C1

アドレス
024Dh、025Dh番地

リセット後の値
00XX0010b

ビット シンボル	ビット名	機 能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBレジスタにデータあり 1: UiTBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: UiRBレジスタにデータなし 1: UiRBレジスタにデータあり	RO
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
UiLCH	データ論理選択ビット(注1)	0: 反転なし 1: 反転あり	RW
UIERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW

注1. UiLCHビットは、UiMRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。SMD2～SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

図13.8 U0C1、U1C1レジスタ

UART2送受信制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0

シンボル
U2C1

アドレス
026Dh番地

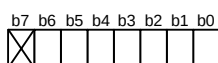
リセット後の値
00000010b

ビット シンボル	ビット名	機 能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: U2TBレジスタにデータあり 1: U2TBレジスタにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ	0: U2RBレジスタにデータなし 1: U2RBレジスタにデータあり	RO
U2IRS	UART2送信割り込み要因 選択ビット	0: U2TBレジスタ空(TI=1) 1: 送信完了(TXEPT=1)	RW
U2RRM	UART2連続受信モード 許可ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
U2LCH	データ論理選択ビット(注1)	0: 反転なし 1: 反転あり	RW
U2ERE	エラー信号出力許可ビット	0: 出力しない 1: 出力する	RW

注1. U2MRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I²Cモード)または“110b”(UARTモード転送データ長9ビット)のときは
“0”にしてください。

図 13.9 U2C1レジスタ

UART送受信制御レジスタ2



シンボル
UCON

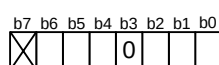
アドレス
0250h番地

リセット後の値
X0000000b

ビット シンボル	ビット名	機 能	RW
U0IRS	UART0送信割り込み要因 選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	RW
U1IRS	UART1送信割り込み要因 選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	RW
U0RRM	UART0連続受信モード許可 ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
U1RRM	UART1連続受信モード許可 ビット	0: 連続受信モード禁止 1: 連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択 ビット0	CLKMD1=1のとき有効 0: CLK1からクロックを出力 1: CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択 ビット1 (注1)	0: CLK出力はCLK1のみ 1: 転送クロック複数端子出力機能選択	RW
RCSP	UART0CTS/RTS分離ビット	0: CTS/RTS共通端子 1: CTS/RTS分離(CTS0をP6_4端子から入力)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. 複数の転送クロック出力端子を使用する場合、次の条件を満たしてください。
U1MRレジスタのCKDIRビット=0(内部クロック)

図 13.10 UCON レジスタ

UART_i特殊モードレジスタ(i=0~2)

シンボル
U0SMR、U1SMR、U2SMR

アドレス
0247h、0257h、0267h番地

リセット後の値
X0000000b

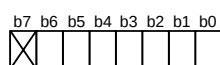
ビット シンボル	ビット名	機 能	RW
IICM	I ² Cモード選択ビット	0: I ² Cモード以外 1: I ² Cモード	RW
ABC	アービトレーションロスト 検出フラグ制御ビット	0: ビットごとに更新 1: バイトごとに更新	RW
BBS	バスビジーフラグ(注1)	0: ストップコンディション検出 1: スタートコンディション検出(ビジー)	RW
— (b3)	予約ビット	“0” にしてください。	RW
ABSCS	バス衝突検出サンプリング クロック選択ビット	0: 転送クロックの立ち上がり 1: タイマA _j のアンダフロー信号(注2)	RW
ACSE	送信許可ビット自動クリア 機能選択ビット	0: 自動クリア機能なし 1: バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0: RXDiに同期しない 1: RXDiに同期する(注3)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。

注2. UART0ではタイマA3のアンダフロー信号、UART1ではタイマA4のアンダフロー信号、UART2ではタイマA0のアンダフロー信号。

注3. 転送が始まると、SSSビットは“0”(RXDiに同期しない)になります。

図 13.11 U0SMR~U2SMR レジスタ

UART_i特殊モードレジスタ2 (i=0~2)

シンボル

U0SMR2、U1SMR2、U2SMR2

アドレス

0246h、0256h、0266h番地

リセット後の値

X0000000b

ビット シンボル	ビット名	機 能	RW
IICM2	I ² Cモード選択ビット2	「表13.13 I ² Cモード時の各機能」参照	RW
CSC	クロック同期化ビット	0: 禁止 1: 許可	RW
SWC	SCLウェイト出力ビット	0: 禁止 1: 許可	RW
ALS	SDA出力停止ビット	0: 禁止 1: 許可	RW
STAC	UART _i 初期化ビット	0: 禁止 1: 許可	RW
SWC2	SCLウェイト出力ビット2	0: 転送クロック 1: “L” 出力	RW
SDHI	SDA出力禁止ビット	0: 許可 1: 禁止(ハイインピーダンス)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

図13.12 U0SMR2~U2SMR2レジスタ

UARTi特殊モードレジスタ3 (i=0~2)

シンボル								アドレス		リセット後の値					
U0SMR3、U1SMR3、U2SMR3								0245h、0255h、0265h番地		000X0X0Xb					
b7 b6 b5 b4 b3 b2 b1 b0															
ビットシンボル		ビット名		機能				RW							
— (b0)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。				—									
CKPH		クロック位相設定ビット		0：クロック遅れなし 1：クロック遅れあり				RW							
— (b2)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。				—									
NODC		クロック出力選択ビット		0：CLKiはCMOS出力 1：CLKiはNチャネルオープンドレイン出力				RW							
— (b4)		何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。				—									
DL0		SDAiデジタル 遅延値設定ビット (注1、2)		b7 b6 b5 0 0 0：遅延なし 0 0 1：UiBRGカウントソースの1～2サイクル 0 1 0：UiBRGカウントソースの2～3サイクル 0 1 1：UiBRGカウントソースの3～4サイクル 1 0 0：UiBRGカウントソースの4～5サイクル 1 0 1：UiBRGカウントソースの5～6サイクル 1 1 0：UiBRGカウントソースの6～7サイクル 1 1 1：UiBRGカウントソースの7～8サイクル				RW							
DL1				RW											
DL2				RW											

注1. DL2~ DL0ビットはI²Cモードで、SDAi出力にデジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b”(遅延なし)にしてください。

注2. 遅延量はSCLi端子、SDAi端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

図 13.13 U0SMR3~U2SMR3 レジスタ

UART_i特殊モードレジスタ4 (i=0~2)

シンボル	アドレス	リセット後の値
U0SMR4、U1SMR4、U2SMR4	0244h、0254h、0264h番地	00h

ビット シンボル	ビット名	機 能	RW
b7	STAREQ	スタートコンディション 生成ビット(注1)	0: クリア 1: スタート RW
b6	RSTAREQ	リスタートコンディション 生成ビット(注1)	0: クリア 1: スタート RW
b5	STPREQ	ストップコンディション 生成ビット(注1)	0: クリア 1: スタート RW
b4	STSPSEL	SCL、SDA出力選択ビット	0: スタートコンディション、ストップコ ンディション出力しない 1: スタートコンディション、ストップコ ンディション出力する RW
b3	ACKD	ACKデータビット	0: ACK 1: NACK RW
b2	ACKC	ACKデータ出力許可ビット	0: シリアルインタフェースデータ出力 1: ACKデータ出力 RW
b1	SCLHI	SCL出力停止許可ビット	0: 禁止 1: 許可 RW
b0	SWC9	SCLウェイトビット3	0: SCL “L” ホールド禁止 1: SCL “L” ホールド許可 RW

注1. 各コンディションが生成されたとき、“0”になります。

図 13.14 U0SMR4~U2SMR4 レジスタ

13.1.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表13.1にクロック同期形シリアルI/Oモードの仕様を、表13.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表13.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	• UiMR レジスタのCKDIRビットが“0”(内部クロック)：$f_j/(2(n+1))$ $f_j=f1SIO, f2SIO, f8SIO, f32SIO$ $n=UiBRG$ レジスタの設定値 00h~FFh • CKDIRビットが“1”(外部クロック)：CLKi端子からの入力
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要(注1) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能を選択している場合、CTSi端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり。UiTBレジスタにダミー書き込み)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 • UiIRSビット(注3)が“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 受信する場合 • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	• CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる • シリアルデータ論理切り替え 送受信データの論理値を反転する機能 • 転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可 • CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する

i=0~2

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりて送信データ出力、立ち上がりて受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりて送信データ出力、立ち下がりて受信データ入力)のときは外部クロックが“L”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは“1”(割り込み要求あり)に変化しません。

注3. U0IRS、U1IRSビットはU0CONレジスタのビット0、1です。U2IRSビットはU2C1レジスタにあります。

表13.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB(注3)	0～7	送信データを設定してください
UiRB(注3)	0～7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR(注3)	SMD2～SMD0	“001b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0”にしてください
UiC0	CLK1～CLK0	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTSを使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UiIRS(注1)	UARTi送信割り込み要因を選択してください
	UiRRM(注1)	連続受信モードを使用する場合、“1”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0～7	“0”にしてください
UiSMR2	0～7	“0”にしてください
UiSMR3	0～2	“0”にしてください
	NODC	クロック出力形式を選択してください
	4～7	“0”にしてください
UiSMR4	0～7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	連続受信モードを使用する場合、“1”にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“1”にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1”にしてください
	7	“0”にしてください

i=0～2

注1. U0C1、U1C1 レジスタのビット 4、5 は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRM ビットは UCON レジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“0”にしてください。

注3. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0”を書いてください。

表 13.3 にクロック同期形シリアル I/O モード時の入出力端子の機能 (転送クロック複数端子出力機能を非選択の場合) を示します。また、表 13.4 にクロック同期形シリアル I/O モード時の P6_4 端子の機能を示します。

なお、UART_i の動作モード選択後、転送開始までは、TXDi 端子は “H” を出力します (N チャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表 13.3 クロック同期形シリアル I/O モード時の入出力端子の機能 (転送クロック複数端子出力機能を非選択の場合)

端子名	機能	選択方法
TXDi	シリアルデータ出力	(受信だけを行うときはダミーデータを出力)
RXDi	シリアルデータ入力	RXDi 端子に対応するポート方向ビットを “0” にする (送信だけを行うときは入力ポートとして使用可)
CLKi	転送クロック出力	UiMR レジスタの CKDIR ビット = 0
	転送クロック入力	UiMR レジスタの CKDIR ビット = 1 CLKi 端子に対応するポート方向ビットを “0” にする
CTS _i /RTS _i	CTS 入力	UiC0 レジスタの CRD ビット = 0 UiC0 レジスタの CRS ビット = 0 CTS _i 端子に対応するポート方向ビットを “0” にする
	RTS 出力	UiC0 レジスタの CRD ビット = 0 UiC0 レジスタの CRS ビット = 1
	入出力ポート	UiC0 レジスタの CRD ビット = 1

i=0~2

表 13.4 クロック同期形シリアル I/O モード時の P6_4 端子の機能

端子の機能	ビットの設定値					
	U1C0 レジスタ		UCON レジスタ			PD6 レジスタ
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	入力：0、出力：1
CTS1	0	0	0	0	—	0
RTS1	0	1	0	0	—	—
CTS0 (注1)	0	0	1	0	—	0
CLKS1	—	—	—	1(注2)	1	—

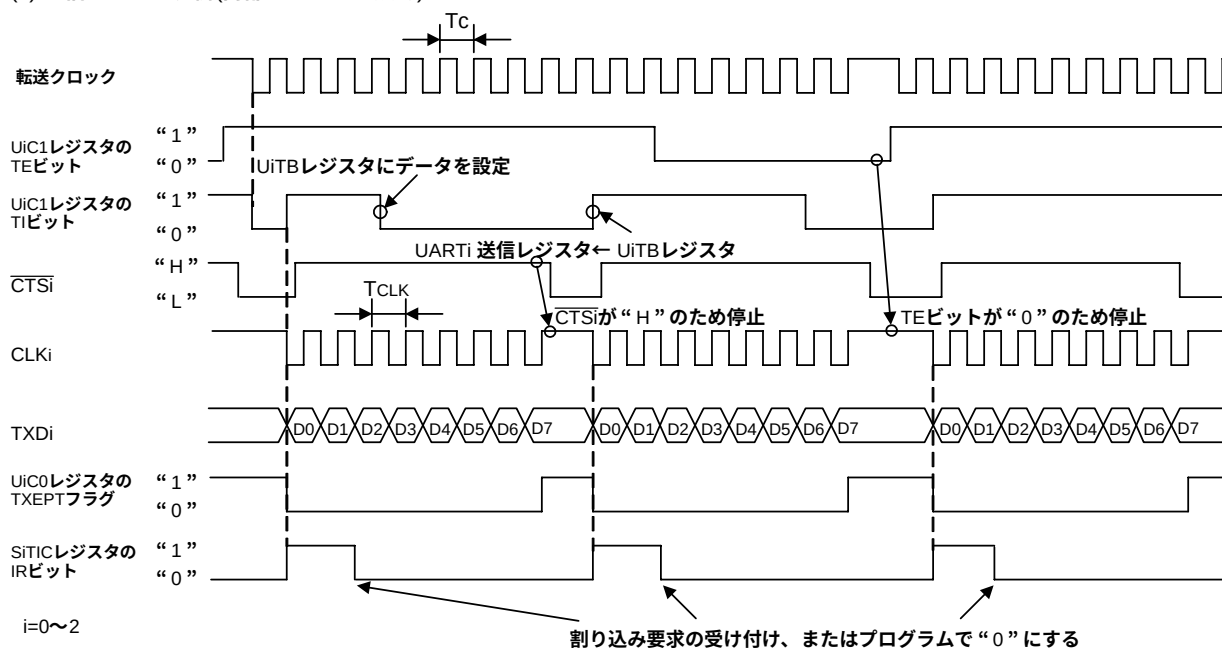
—：“0” または “1”

注1. この他に U0C0 レジスタの CRD ビットを “0” (CTS0/RTS0 許可)、U0C0 レジスタの CRS ビットを “1” (RTS0 選択) にしてください。

注2. CLKMD1 ビットが “1” で CLKMD0 ビットが “0” の場合は、次のレベルを出力します。

- U1C0 レジスタの CKPOL ビットが “0”：H
- U1C0 レジスタの CKPOL ビットが “1”：L

(1) 送信タイミング例(内部クロック選択時)



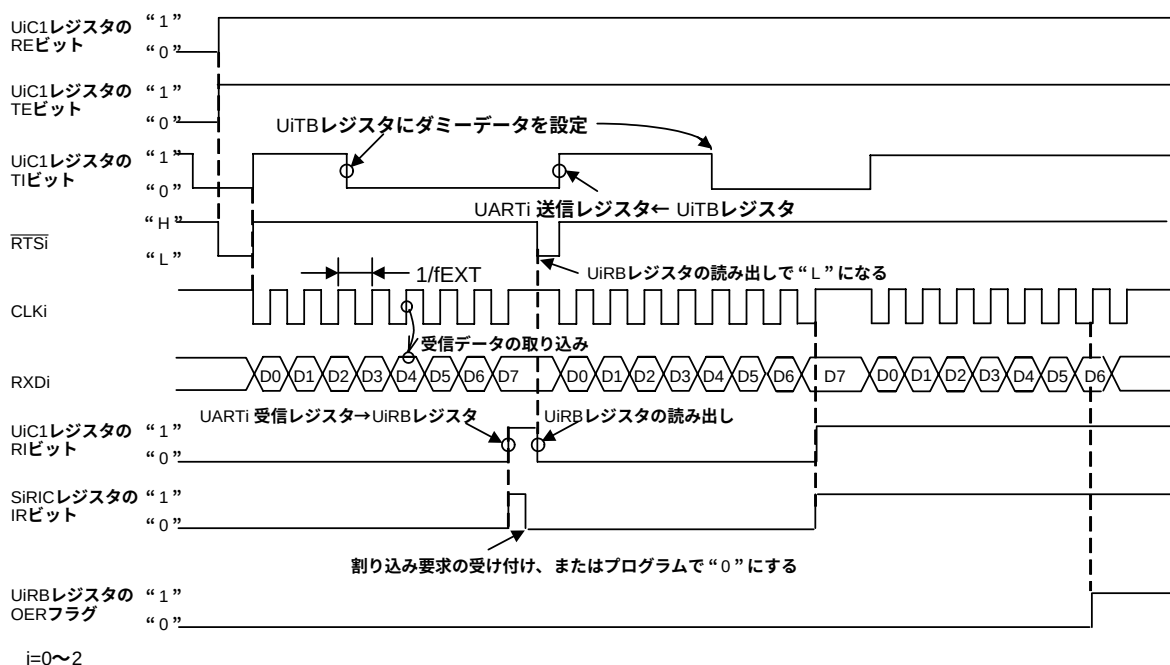
この図は次の設定条件の場合です。

- UIMRレジスタのCKDIRビット=0(内部クロック選択)
- UIC0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=0(CTS機能選択)
- UIC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- UIC1レジスタのUiIRSビット=0(UiTBレジスタ空で割り込み要求発生)

$$Tc = TCLK = 2(n+1)/fj$$

fj: UiBRGカウントソースの周波数
(f1SIO, f2SIO, f8SIO, f32SIO)
n: UiBRGレジスタに設定した値

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。

- UIMRレジスタのCKDIRビット=1(外部クロック選択)
- UIC0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=1(RTS機能選択)
- UIC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

fEXT: 外部クロックの周波数

データ受信前のCLKi端子の入力が“H”のときに、次の条件が揃うようにしてください。

- UIC1レジスタのTEビット=1(送信許可)
- UIC1レジスタのREビット=1(受信許可)
- UiTBレジスタへのダミーデータの書き込み

図13.15 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

13.1.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

• UiRBレジスタ(i=0~2)の初期化手順

- (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (3) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (4) UiC1レジスタのREビットを“1”(受信許可)にする。

• UiTBレジスタ(i=0~2)の初期化手順

- (1) UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェース無効)にする。
- (2) UiMRレジスタのSMD2~SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
- (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

13.1.1.2 CLK極性選択

UiC0レジスタ(i=0~2)のCKPOLビットで転送クロックの極性を選択できます。図13.16に転送クロックの極性を示します。

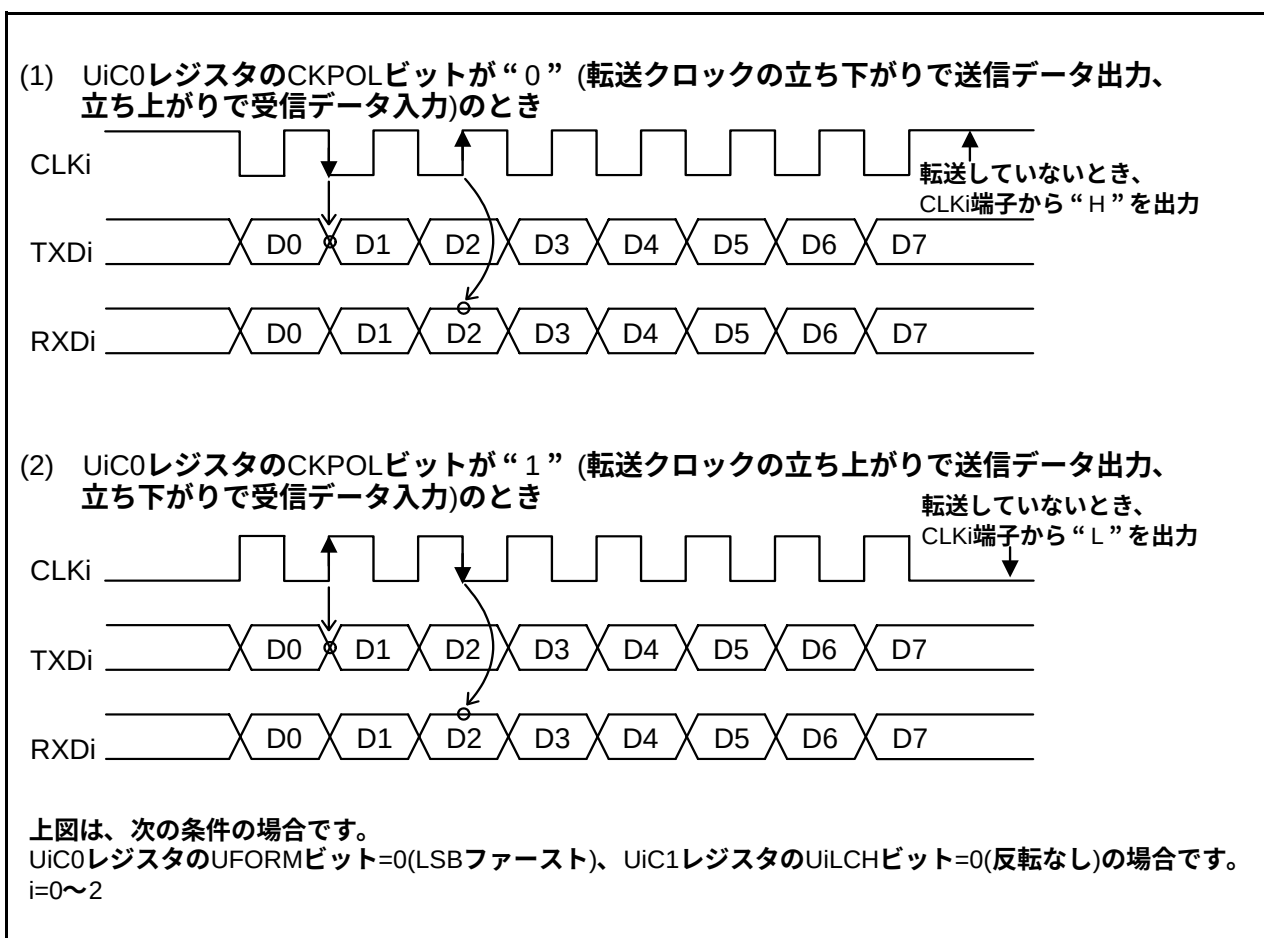


図13.16 転送クロックの極性

13.1.1.3 LSBファースト、MSBファースト選択

UiC0レジスタ(i=0~2)のUFORMビットで転送フォーマットを選択できます。図13.17に転送フォーマットを示します。

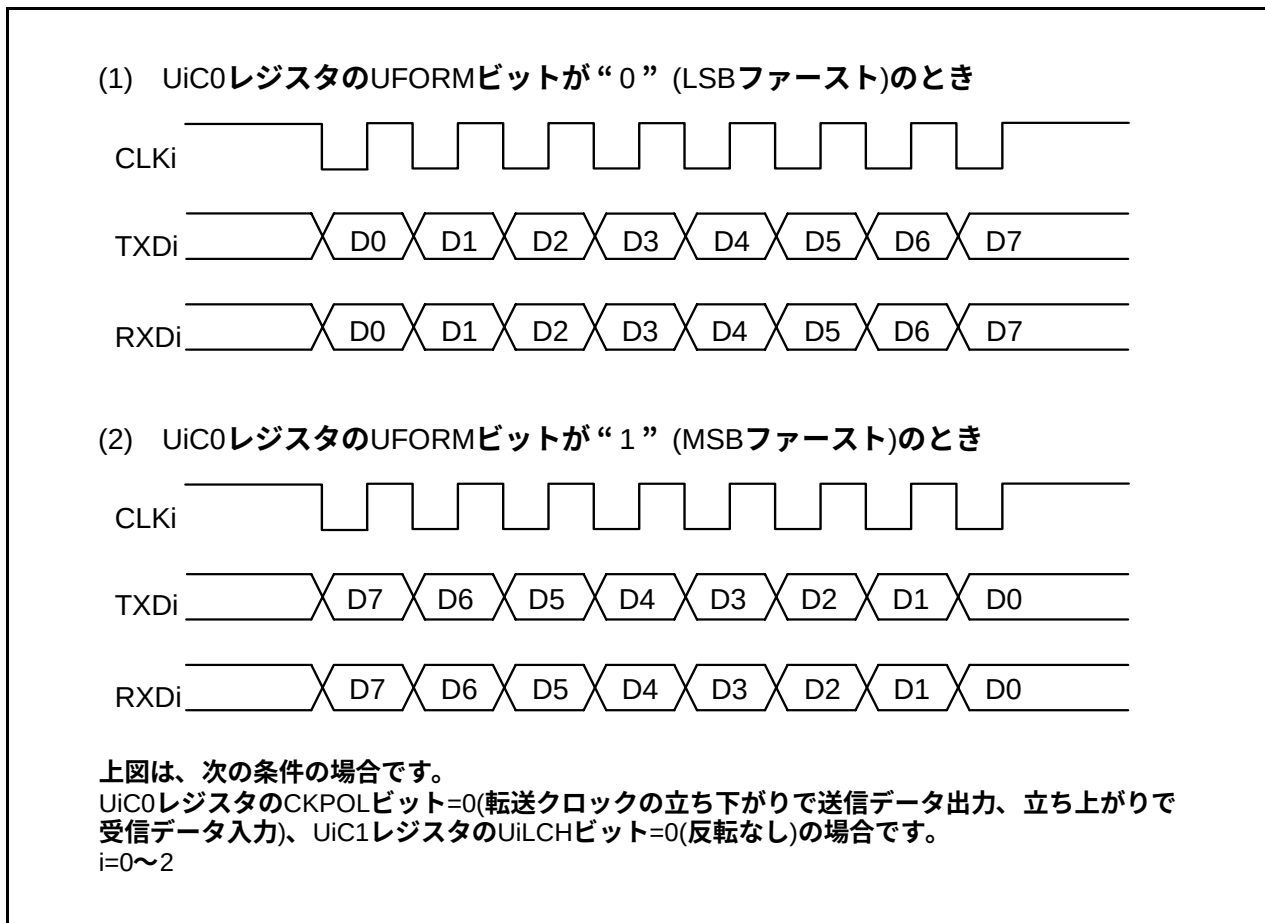


図13.17 転送フォーマット

13.1.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiRRMビット(i=0~2)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。U0RRM、U1RRMビットはUCONレジスタのビット2、3です。U2RRMビットはU2C1レジスタにあります。

13.1.1.5 シリアルデータ論理切り替え

UiC1レジスタ(i=0~2)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図13.18にシリアルデータ論理を示します。

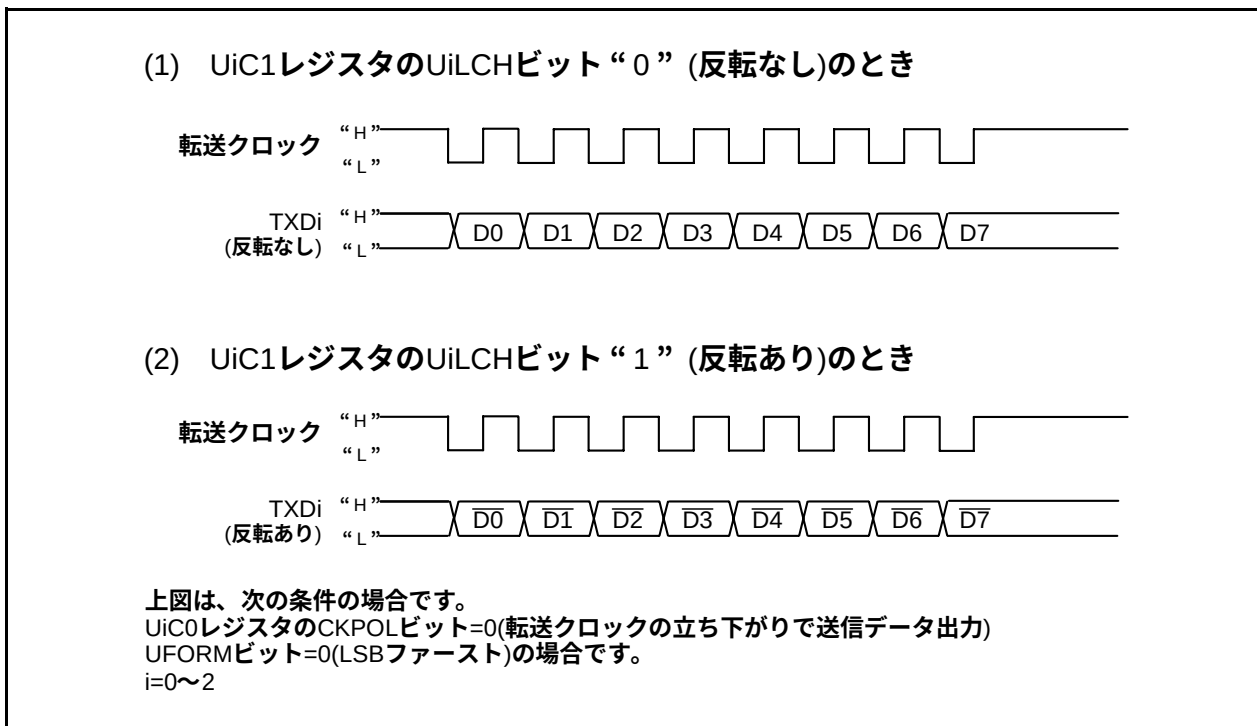


図13.18 シリアルデータ論理

13.1.1.6 転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1~CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます(図13.19)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

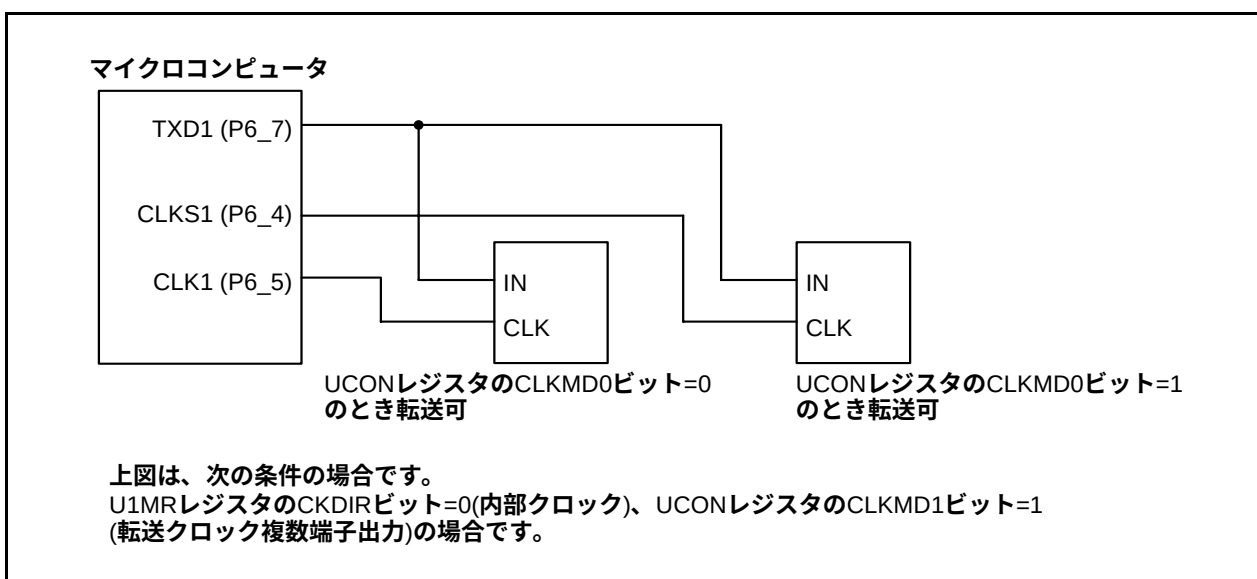


図13.19 転送クロック複数端子出力機能の使用例

13.1.1.7 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0\sim 2$) 端子に“L”を入力すると、送受信を開始させる機能です。 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子の出力レベルが“L”になります。CLK_i端子の最初の立ち下がりで出力レベルが“H”になります。

- U_iC0レジスタのCRDビット=1($\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能禁止) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\text{CTS}}$ 機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は $\overline{\text{CTS}}$ 機能
- CRDビット=0、CRSビット=1($\overline{\text{RTS}}$ 機能選択) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 端子は $\overline{\text{RTS}}$ 機能

13.1.1.8 CTS/RTS分離機能(UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ を分離し、 $\overline{\text{RTS}}_0$ をP6_0端子から出力、 $\overline{\text{CTS}}_0$ をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。

- U0C0レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U0C0レジスタのCRSビット=1(UART0の $\overline{\text{RTS}}$ 出力)
- U1C0レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 許可)
- U1C0レジスタのCRSビット=0(UART1の $\overline{\text{CTS}}$ 入力)
- UCONレジスタのRCSPビット=1($\overline{\text{CTS}}_0$ をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0(CLK_{S1}を使用しない)

なお、 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能使用時、UART1の $\overline{\text{CTS}}/\overline{\text{RTS}}$ 機能は使用できません。

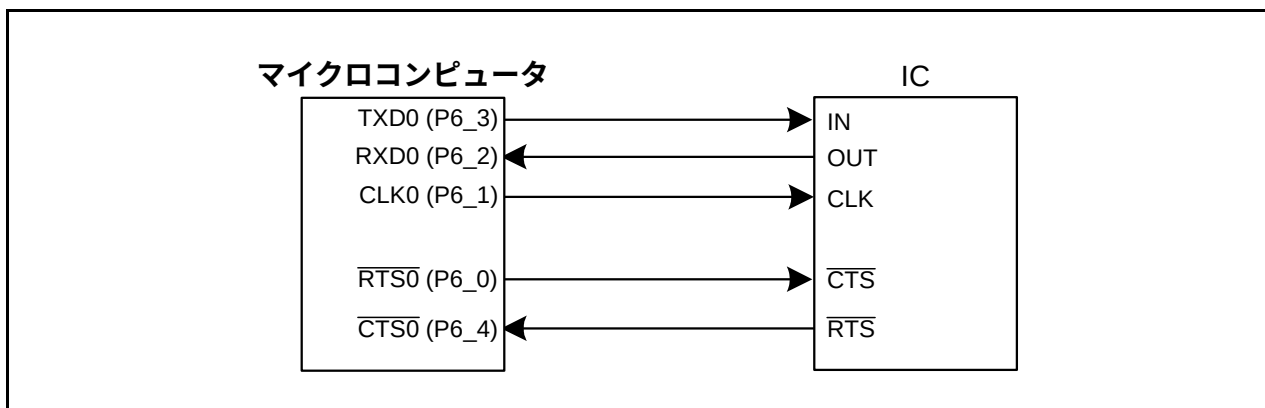


図13.20 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分離機能の使用例

13.1.2 クロック非同期形シリアルI/O(UART)モード

UART モードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。
表13.5にUARTモードの仕様を示します。

表13.5 UARTモードの仕様

項目	仕様
転送データフォーマット	• キャラクタビット(転送データ) 7ビット、8ビット、9ビットを選択可 • スタートビット 1ビット • パリティビット 奇数、偶数、なしを選択可 • ストップビット 1ビット、2ビットを選択可
転送クロック	• UiMR レジスタのCKDIRビットが“0”(内部クロック): $f_j/(16(n+1))$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$ レジスタの設定値 00h~FFh • CKDIR ビットが“1”(外部クロック): $fEXT/(16(n+1))$ $fEXT$はCLKi端子からの入力 $n=UiBRG$ レジスタの設定値 00h~FFh
送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • CTS機能を選択している場合、CTS_i端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 • UiC1レジスタのREビットが“1”(受信許可) • スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 • UiIRSビット(注2)が“0”(送信バッファ空): UiTBレジスタからUART_i送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了): UART_i送信レジスタからデータ送信完了時 受信する場合 • UART_i受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	• オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー(注3) パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	• LSBファースト、MSBファースト選択 ビット0から送信、受信するか、またはビット7から送信、受信するかを選択可 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • CTS/RTS分離機能(UART0) CTS0とRTS0を別の端子から入出力する。

$i=0\sim2$

注1. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

注2. U0IRS、U1IRSビットはUCONレジスタのビット0、1です。U2IRSビットはU2C1レジスタにあります。

注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UART_i受信レジスタからUiRBレジスタにデータが転送されるときに検出されます。

表 13.6 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～8	送信データを設定してください(注1)
UiRB	0～8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください
		転送データが8ビットの場合、“101b”を設定してください
		転送データが9ビットの場合、“110b”を設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD/RXD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注3)
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	UiIRS(注2)	UARTi送信割り込み要因を選択してください
	UiRRM(注2)	“0”にしてください
	UiLCH	データ論理反転を使用する場合、“1”にしてください
	UiERE	“0”にしてください
UiSMR	0～7	“0”にしてください
UiSMR2	0～7	“0”にしてください
UiSMR3	0～7	“0”にしてください
UiSMR4	0～7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP	UART0のCTS0信号をP6_4端子から入力する場合、“1”にしてください
	7	“0”にしてください

i=0～2

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

注2. U0C1、U1C1 レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRM ビットはUCONレジスタにあります。

注3. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“0”にしてください。

表13.7にUARTモード時の入出力端子の機能を示します。表13.8にUARTモード時のP6_4端子の機能を示します。なお、UART_iの動作モード選択後、転送開始までは、TXD_i端子は“H”を出力します(Nチャンネルオープンドレイン出力選択時はハイインピーダンス状態)。

表13.7 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD _i	シリアルデータ出力	(受信だけを行うときは“H”が出力)
RXD _i	シリアルデータ入力	RXD _i 端子に対応するポート方向ビットを“0”にする(送信だけを行うときは入力ポートとして使用可)
CLK _i	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 CLK _i 端子に対応するポート方向ビットを“0”にする
CTS _i /RTS _i	CTS入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 CTS _i 端子に対応するポート方向ビットを“0”にする
	RTS出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

i=0~2

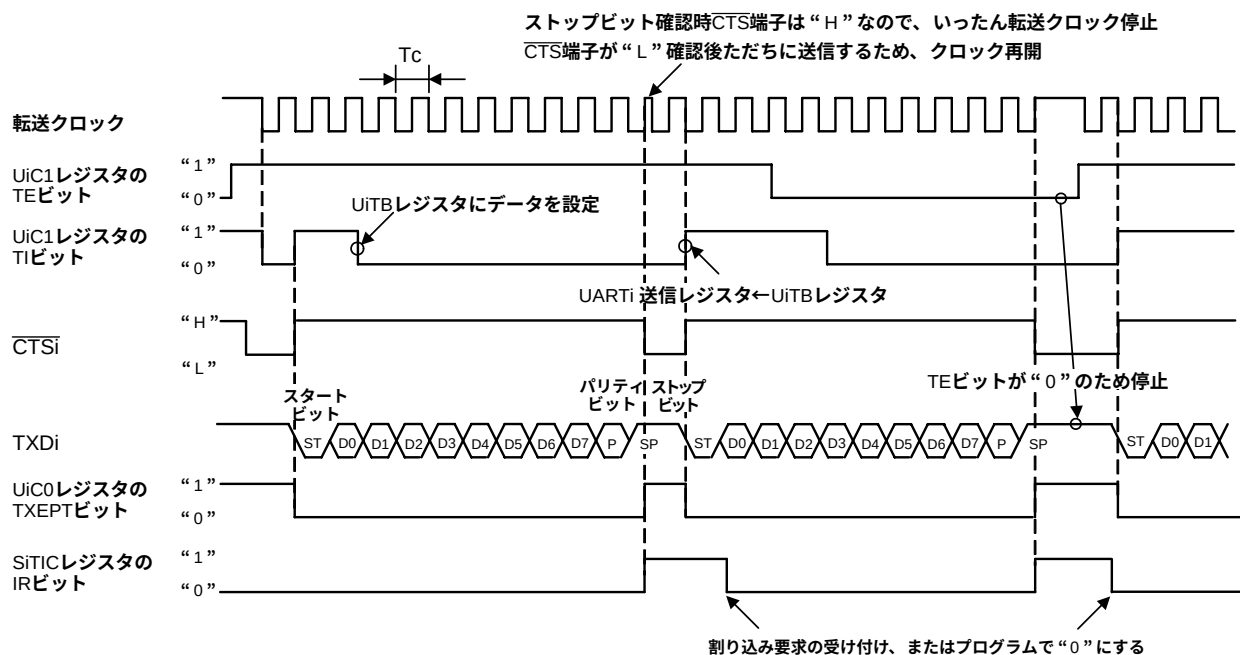
表13.8 UARTモード時のP6_4端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		U0C0レジスタ		PD6レジスタ
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	入力：0、出力：1
CTS1	0	0	0	0	0
RTS1	0	1	0	0	—
CTS0 (注1)	0	0	1	0	0

—：“0”または“1”

注1. この他にU0C0レジスタのCRDビットを“0”(CTS0/RTS0許可)、U0C0レジスタのCRSビットを“1”(RTS0選択)にしてください。

(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



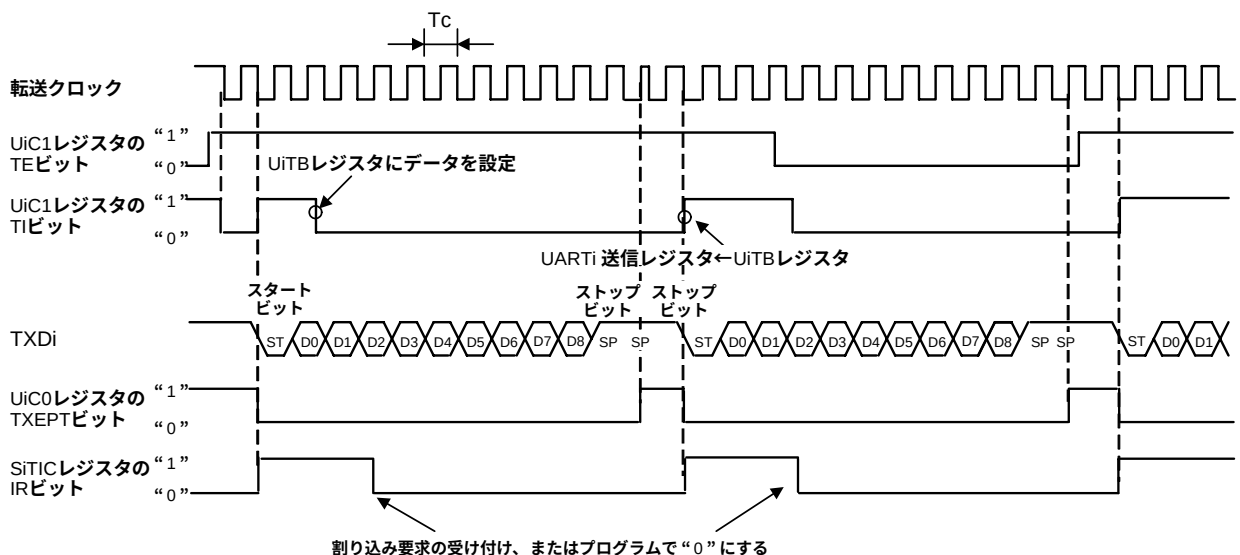
i=0~2

上記タイミング図は次の設定条件の場合です。

- UIMRレジスタのPRYEビット=1(パリティ許可)
- UIMRレジスタのSTPSビット=0(1ストップビット)
- UIC0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=0(CTS機能選択)
- UIC1レジスタのUiIRSビット=1(送信完了で割り込み要求発生)

 $T_c = 16(n+1)/f_j$ または $16(n+1)/f_{EXT}$ f_j : UiBRGカウントソースの周波数(f_1SIO , f_2SIO , f_8SIO , f_32SIO) f_{EXT} : UiBRGカウントソースの周波数(外部クロック) n : UiBRGに設定した値

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



i=0~2

上記タイミング図は次の設定条件の場合です。

- UIMRレジスタのPRYEビット=0(パリティ禁止)
- UIMRレジスタのSTPSビット=1(2ストップビット)
- UIC0レジスタのCRDビット=1(CTS/RTS機能禁止)
- UIC1レジスタのUiIRSビット=0(送信バッファ空で割り込み要求発生)

 $T_c = 16(n+1)/f_j$ または $16(n+1)/f_{EXT}$ f_j : UiBRGカウントソースの周波数(f_1SIO , f_2SIO , f_8SIO , f_32SIO) f_{EXT} : UiBRGカウントソースの周波数(外部クロック) n : UiBRGに設定した値

図13.21 UARTモード時の送信タイミング例

転送データ長8ビット時の受信タイミング例(パリティ禁止、1ストップビット)

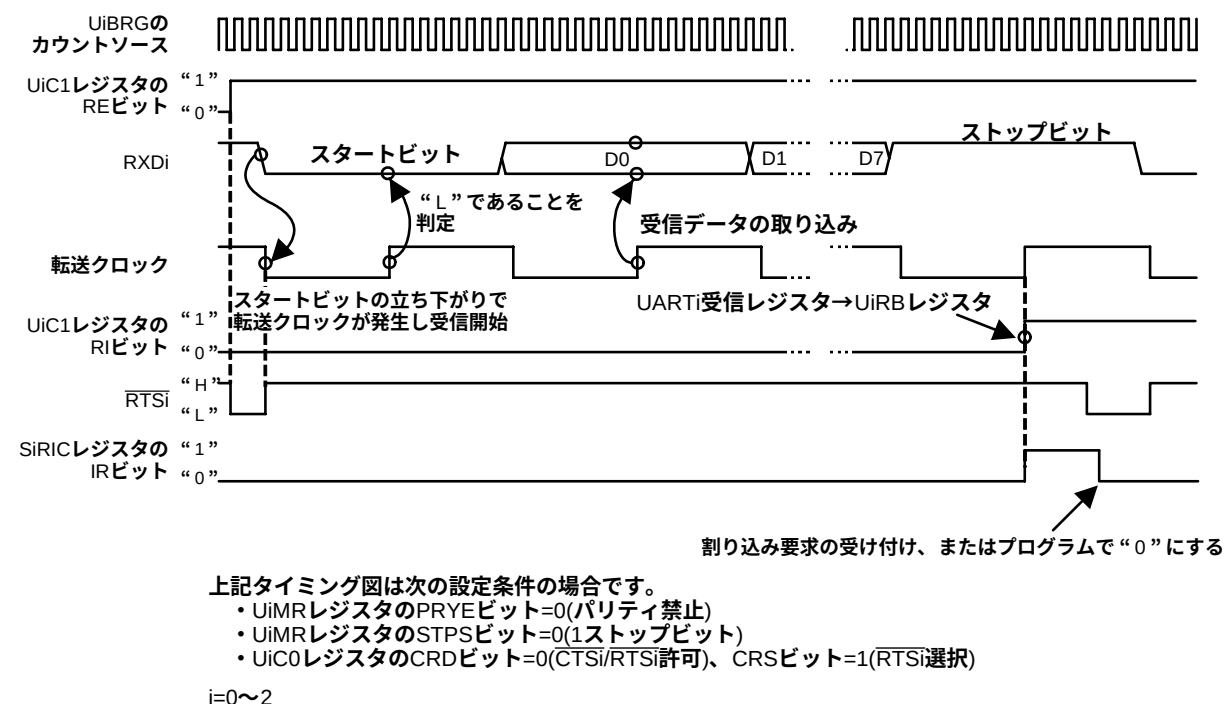


図13.22 UARTモード時の受信タイミング例

13.1.2.1 ビットレート

UARTモードは、UiBRGレジスタ(i=0~2)で分周した周波数の16分周がビットレートになります。表13.9にビットレートの設定例を示します。

表13.9 ビットレート

ビットレート (bps)	UiBRGの カウントソース	周辺機能クロック：16MHz	
		UiBRGの 設定値：n	ビットレート (bps)
1200	f8SIO	103 (67h)	1202
2400	f8SIO	51 (33h)	2404
4800	f8SIO	25 (19h)	4808
9600	f1SIO	103 (67h)	9615
14400	f1SIO	68 (44h)	14493
19200	f1SIO	51 (33h)	19231
28800	f1SIO	34 (22h)	28571
31250	f1SIO	31 (1Fh)	31250
38400	f1SIO	25 (19h)	38462
51200	f1SIO	19 (13h)	50000

13.1.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

- UiRBレジスタ(i=0～2)の初期化手順
 - (1) UiC1レジスタのREビットを“0”(受信禁止)にする。
 - (2) UiC1レジスタのREビットを“1”(受信許可)にする。
- UiTBレジスタ(i=0～2)の初期化手順
 - (1) UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にする。
 - (2) UiMRレジスタのSMD2～SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。
 - (3) UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

13.1.2.3 LSBファースト、MSBファースト選択

図13.23に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。

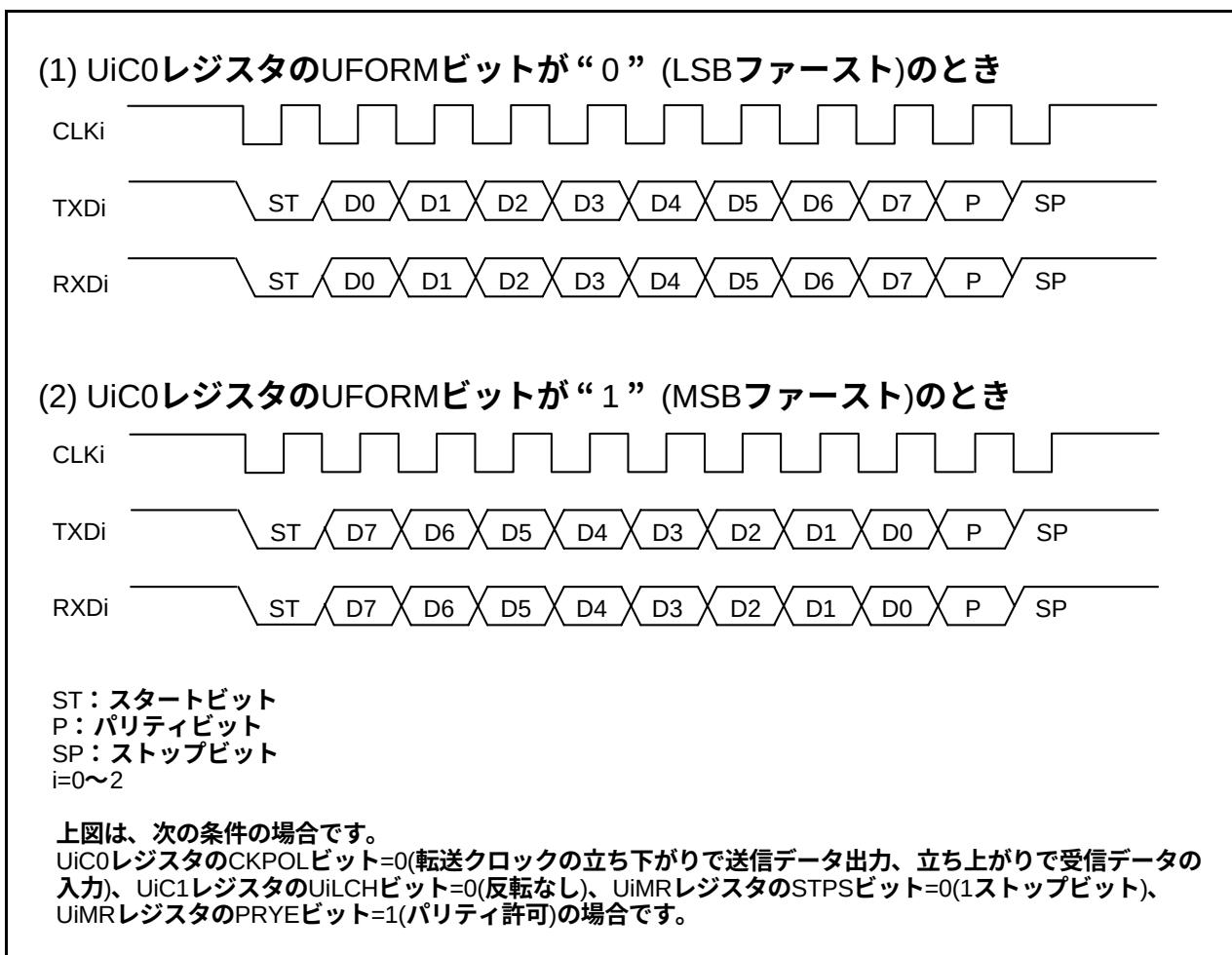


図13.23 転送フォーマット

13.1.2.4 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図13.24にシリアルデータ論理を示します。

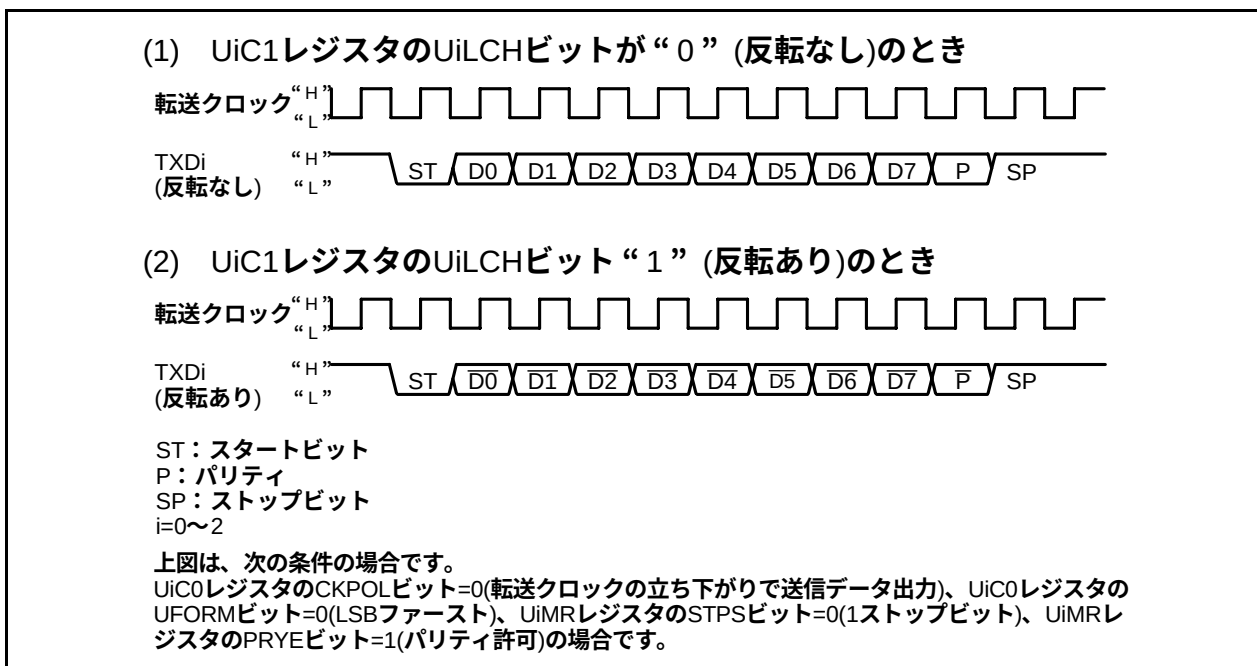


図13.24 シリアルデータ論理

13.1.2.5 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図13.25にTXD、RXD入出力極性切り替えを示します。

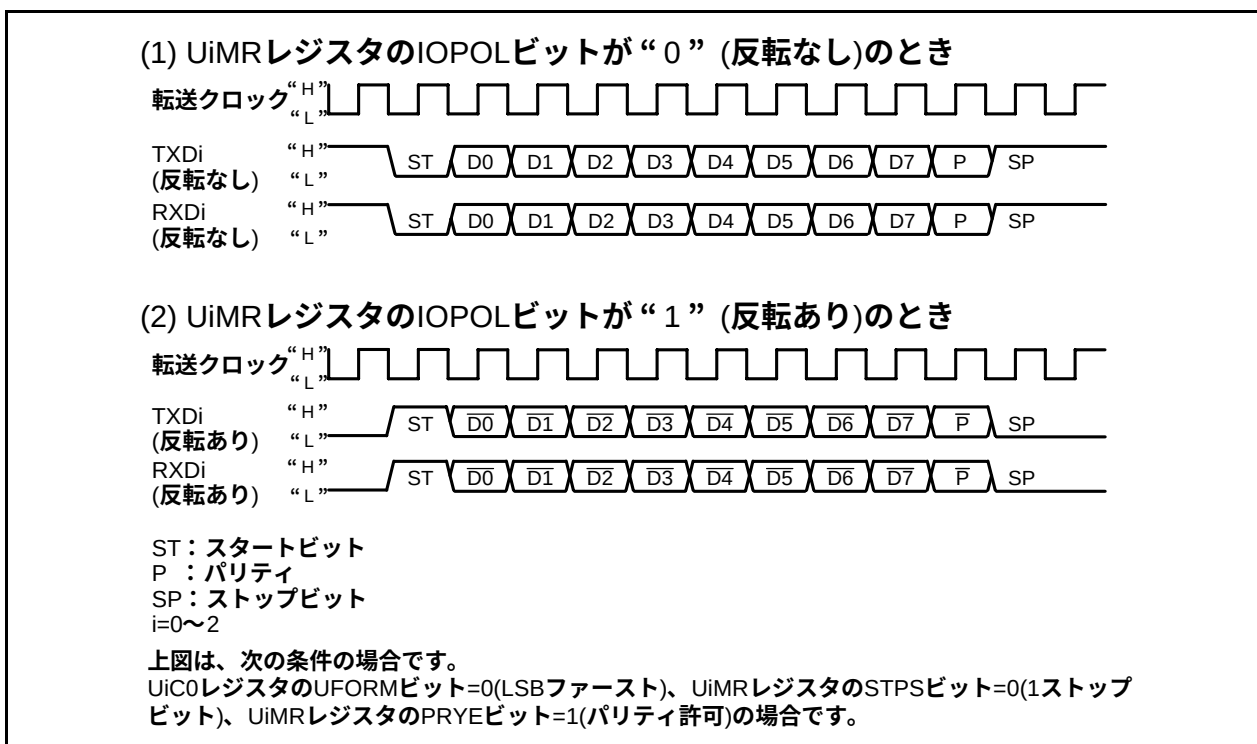


図13.25 TXD、RXD入出力極性切り替え

13.1.2.6 CTS/RTS機能

CTS機能は、 $\overline{\text{CTS}}_i/\text{RTS}_i$ ($i=0\sim 2$)端子に“L”を入力すると、送信を開始させる機能です。 $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

RTS機能は、受信準備が整ったとき、 $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子の出力レベルが“L”になります。CLK_i端子の最初の立ち下がりで出力レベルが“H”になります。

- U_iC₀レジスタのCRDビット=1($\overline{\text{CTS}}/\text{RTS}$ 機能禁止) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0(CTS機能選択) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はCTS機能
- CRDビット=0、CRSビット=1(RTS機能選択) $\overline{\text{CTS}}_i/\text{RTS}_i$ 端子はRTS機能

13.1.2.7 CTS/RTS分離機能(UART0)

- CTS₀/RTS₀を分離し、RTS₀をP6_0端子から出力、CTS₀をP6_4端子から入力する機能です。この機能を使用する場合は次のようにしてください。
- U₀C₀レジスタのCRDビット=0(UART0の $\overline{\text{CTS}}/\text{RTS}$ 許可)
- U₀C₀レジスタのCRSビット=1(UART0のRTS出力)
- U₁C₀レジスタのCRDビット=0(UART1の $\overline{\text{CTS}}/\text{RTS}$ 許可)
- U₁C₀レジスタのCRSビット=0(UART1のCTS入力)
- UCONレジスタのRCSPビット=1(CTS₀をP6_4端子から入力)
- UCONレジスタのCLKMD1ビット=0(CLKS₁を使用しない)

なお、CTS/RTS分離機能使用時、UART1の $\overline{\text{CTS}}/\text{RTS}$ 機能は使用できません。

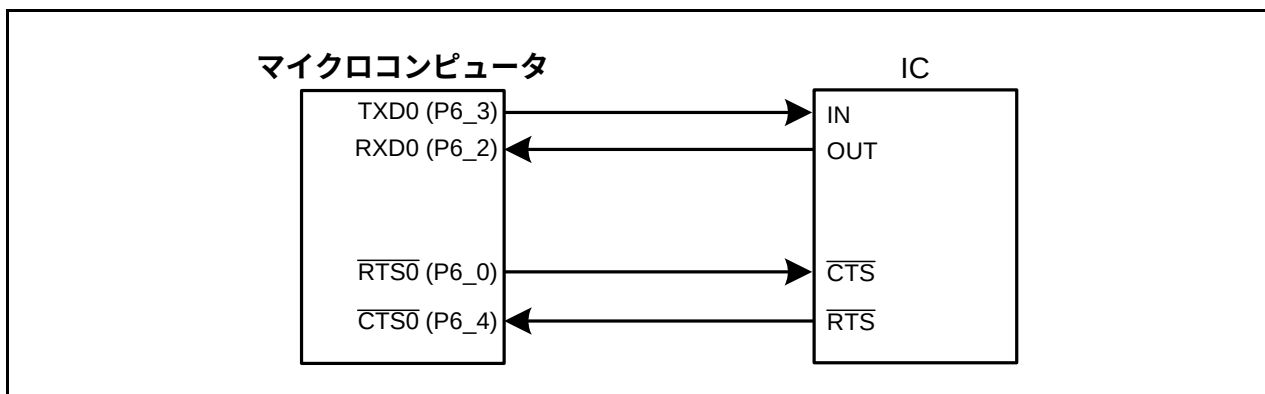


図 13.26 CTS/RTS分離機能の使用例

13.1.3 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表13.10にI²Cモードの仕様を、表13.11～表13.12にI²Cモード時の使用レジスタと設定値を、表13.13にI²Cモード時の各機能を、図13.27にI²Cモードのブロック図を、図13.28にSCLiタイミングを示します。

表13.13に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表13.10 I²Cモードの仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	• マスタ時 UiMRレジスタのCKDIRビットが“0”(内部クロック)：$f_j/(2(n+1))$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$レジスタの設定値 00h～FFh • スレーブ時 CKDIRビットが“1”(外部クロック)：SCLi端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	• アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 • SDAiデジタル遅延 デジタル遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を選択可 • クロック位相設定 クロック遅れあり、なしを選択可

i=0～2

注1. 外部クロックを選択している場合、外部クロックが“H”の状態条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

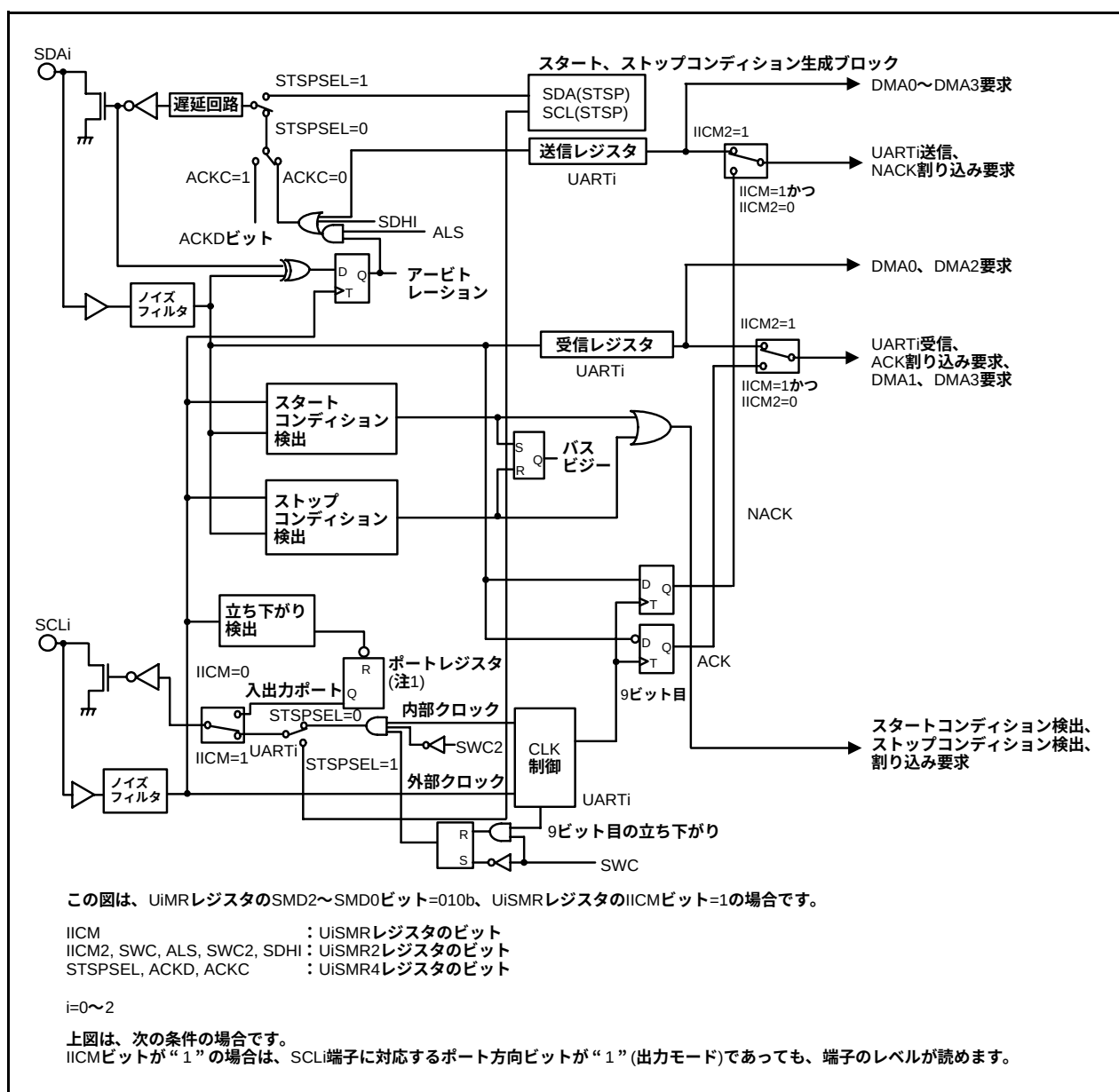
図13.27 I²Cモードのブロック図

表 13.11 I²C モード時の使用レジスタと設定値 (1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UITB	0～7	送信データを設定してください	送信データを設定してください
UIRB(注3)	0～7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
UIBRG	0～7	転送速度を設定してください	無効
UiMR(注3)	SMD2～SMD0	“010b” にしてください	“010b” にしてください
	CKDIR	“0” にしてください	“1” にしてください
	IOPOL	“0” にしてください	“0” にしてください
UiC0	CLK1～CLK0	UIBRGのカウンツソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD(注4)	“1” にしてください	“1” にしてください
	NCH	“1” にしてください(注2)	“1” にしてください(注2)
	CKPOL	“0” にしてください	“0” にしてください
	UFORM	“1” にしてください	“1” にしてください
UiC1	TE	送信を許可する場合、“1” にしてください	送信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ	受信完了フラグ
	UiIRS(注1)	無効	無効
	UiRRM(注1)、 UiLCH、UiERE	“0” にしてください	“0” にしてください
UiSMR	IICM	“1” にしてください	“1” にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3～7	“0” にしてください	“0” にしてください
UiSMR2	IICM2	「表 13.13 I ² C モード時の各機能」参照	「表 13.13 I ² C モード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1” にしてください	“0” にしてください
	SWC	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1” にしてください	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1” にしてください
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合“1” にしてください	“0” にしてください
	STAC	“0” にしてください	スタートコンディション検出でUARTiを初期化する場合、“1” にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1” にしてください	SCLiの出力を強制的に“L”にする場合、“1” にしてください
	SDHI	SDAi出力を禁止をする場合、“1” にしてください	SDAi出力を禁止をする場合、“1” にしてください
	7	“0” にしてください	“0” にしてください

i=0～2

注1. U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。

注3. この表に記載していないビットはI²Cモード時に書く場合、“0”を書いてください。

注4. UART1をI²Cモードで使用しているときに、UART0のCTS/RTS分離機能を許可する場合、U1C0レジスタのCRDビットを“0”(CTS/RTS許可)、CRSビットを“0”(CTS入力)にしてください。

表 13.12 I²C モード時の使用レジスタと設定値 (2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR3	0、2、4、NODC	“0” にしてください	“0” にしてください
	CKPH	「表 13.13 I ² C モード時の各機能」参照	「表 13.13 I ² C モード時の各機能」参照
	DL2～DL0	SDAi のデジタル遅延値を設定してください	SDAi のデジタル遅延値を設定してください
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1” にしてください	“0” にしてください
	RSTAREQ	リスタートコンディションを生成する場合、“1” にしてください	“0” にしてください
	STPREQ	ストップコンディションを生成する場合、“1” にしてください	“0” にしてください
	STSPSEL	各コンディション出力時に “1” にしてください	“0” にしてください
	ACKD	ACK、NACK を選択してください	ACK、NACK を選択してください
	ACKC	ACK データを出力する場合、“1” にしてください	ACK データを出力する場合、“1” にしてください
	SCLHI	ストップコンディション検出時に SCLi 出力を停止する場合、“1” にしてください	“0” にしてください
	SWC9	“0” にしてください	クロックの 9 ビット目の次の立ち下がり で SCLi を “L” ホールドにする場合、“1” にしてください
IFSR2A	IFSR26、IFSR27	“1” にしてください	“1” にしてください
UCON	U0IRS、U1IRS	無効	無効
	2～7	“0” にしてください	“0” にしてください

i=0～2

表 13.13 I²C モード時の各機能

機能	クロック同期シリアル I/O モード (SMD2～SMD0=001b、 IICM=0)	I ² C モード (SMD2～SMD0=010b、IICM=1)			
		IICM2=0(NACK/ACK 割り込み)		IICM2=1(UART 送信/UART 受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 6、7、10の要因 (注1、5、7)	—	スタートコンディション検出、ストップコンディション検出 (「表 13.14 STSPSEL ビットの機能」参照)			
割り込み番号 15、17、19の要因 (注1、6)	UARTi 送信 送信開始、または送信 完了(UiIRS で選択)	アクノリッジ未検出(NACK) 9ビット目の SCLi の立ち上がり		UARTi 送信 9ビット目の SCLi の 立ち上がり	UARTi 送信 9ビット目の次の SCLi の立ち下がり
割り込み番号 16、18、20の要因 (注1、6)	UARTi 受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目の SCLi の立ち上がり		UARTi 受信 9ビット目の SCLi の立ち下がり	
UART 受信シフト レジスタから UiRB レジスタへのデータ 転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目の SCLi の立ち上がり		9ビット目の SCLi の 立ち下がり	9ビット目の SCLi の 立ち下がり、立ち 上がり
UARTi 送信出力遅延	遅延なし	遅延あり			
TXDi/SDAi 端子の機能	TXDi 出力	SDAi 入出力			
RXDi/SCLi 端子の機能	RXDi 入力	SCLi 入出力			
CLKi 端子の機能	CLKi 入力または出力 ポート選択	— (I ² C モードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RXDi、SCLi 端子レベル の読み込み	対応するポート方向 ビットが“0”の場合、 可能	対応するポート方向ビットの内容に関係なく、可能			
TXDi、SDAi 出力の 初期値	CKPOL=0(“H”) CKPOL=1(“L”)	I ² C モード設定前に、ポートレジスタに設定した値(注2)			
SCLi の初期値、終了値	—	“H”	“L”	“H”	“L”
DMA1 要因 (注6)	UARTi 受信	アクノリッジ検出(ACK)		UARTi 受信 9ビット目の SCLi の立ち下がり	
受信データ格納	1～8ビット目を UiRB レ ジスタのビット0～7に 格納	1～8ビット目を UiRB レジスタのビット7 ～0に格納		1～7ビット目を UiRB レジスタのビット6 ～0に、8ビット目を UiRB レジスタの ビット8に格納	
				1～8ビット目を UiRB レジスタの ビット7～0に格納 (注3)	
受信データ読み出し	UiRB レジスタの状態をそのまま読み出す				UiRB レジスタの ビット6～0はビット 7～1として、 ビット8はビット0 として読み出す (注4)

i=0~2

注1. 割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタの IR ビットが “1” (割り込み要求あり) になることがあります (「20.5 割り込み」注意事項参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IR ビットを “0” (割り込み要求なし) にしてください。

UiMR レジスタの SMD2~SMD0 ビット、UiSMR レジスタの IICM ビット、
UiSMR2 レジスタの IICM2 ビット、UiSMR3 レジスタの CKPH ビット

注2. SDAi 出力の初期値は、SMD2~SMD0 ビットが “000b” (シリアルインタフェースが無効) の状態で設定してください。

注3. UiRB レジスタへのデータ転送2回目(9ビット目 SCLi 立ち上がり時)

注4. UiRB レジスタへのデータ転送1回目(9ビット目 SCLi 立ち下がり時)

注5. 「図 13.30 STSPSEL ビットの機能」参照。

注6. 「図 13.28 UiRB レジスタへの転送、割り込みのタイミング」参照。

注7. UART0 使用時は IFSR2A レジスタの IFSR26 ビットを “1” (割り込み要因は UART0 バス衝突) にしてください。

UART1 使用時は IFSR2A レジスタの IFSR27 ビットを “1” (割り込み要因は UART1 バス衝突) にしてください。

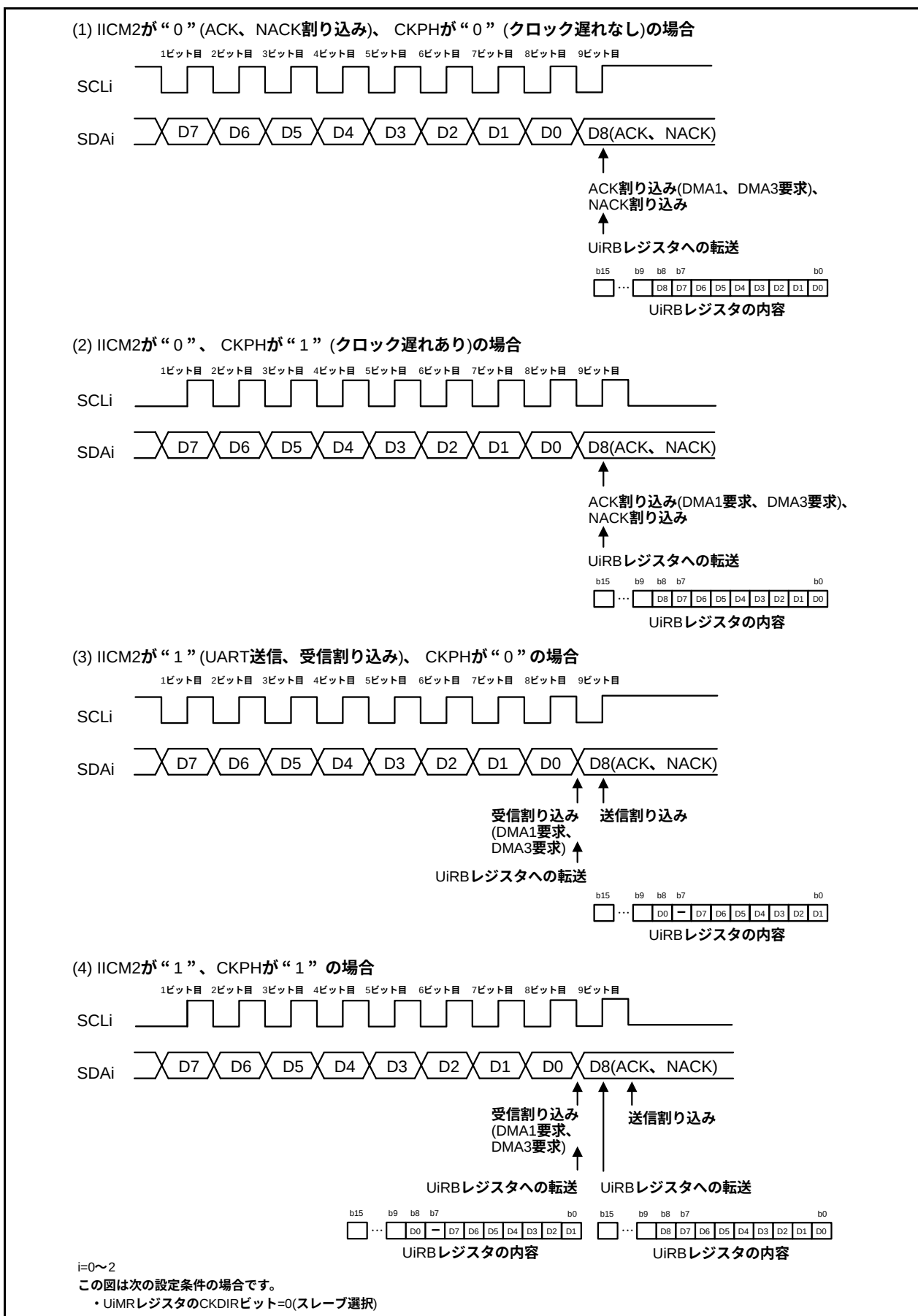


図13.28 UiRBレジスタへの転送、割り込みのタイミング

13.1.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCL_i端子が“H”の状態、SDA_i端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCL_i端子が“H”の状態、SDA_i端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

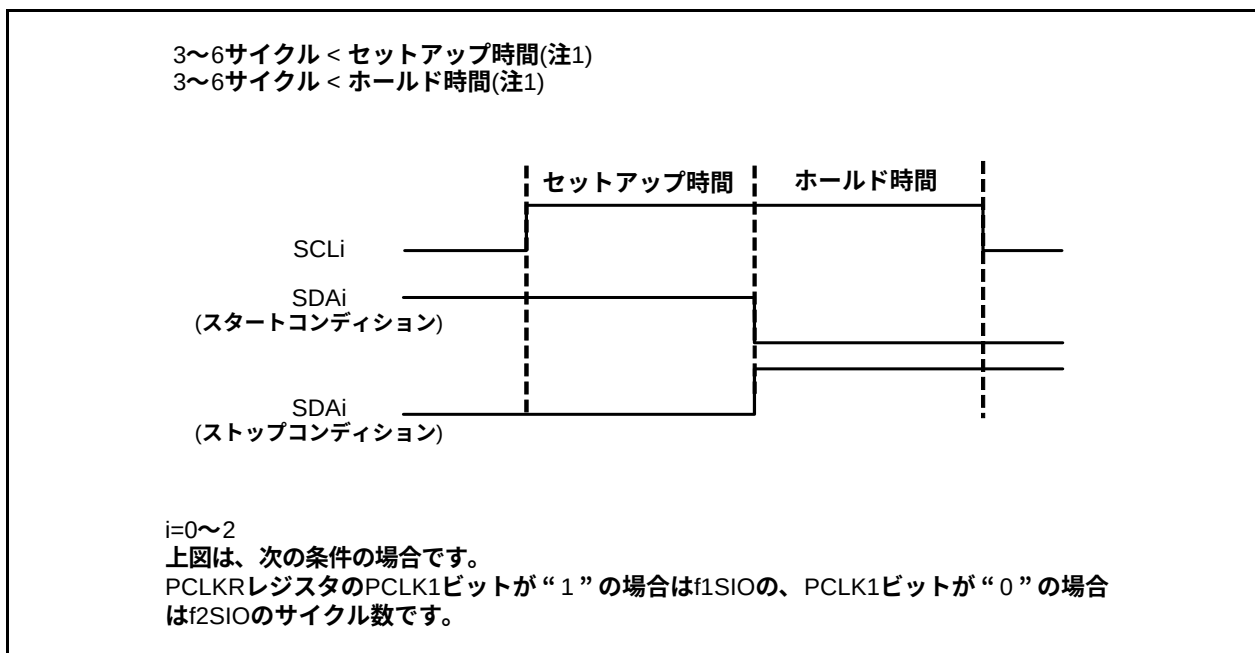


図13.29 スタートコンディション、ストップコンディションの検出

13.1.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ($i=0\sim 2$)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

出力の手順は次の通りです。

(1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする

(2) UiSMR4レジスタのSTSPSELビットを“1”(出力)にする

表13.14と図13.30にSTSPSELビットの機能を示します。

表 13.14 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコン ディションの出力はポートを使ったプロ グラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、 STPREQビットに従って、スタートコン ディション、ストップコンディションを 出力
スタートコンディション、ス トップコンディション割り込 み要求発生タイミング	スタートコンディション、ストップコン ディション検出	スタートコンディション、ストップコン ディション生成終了

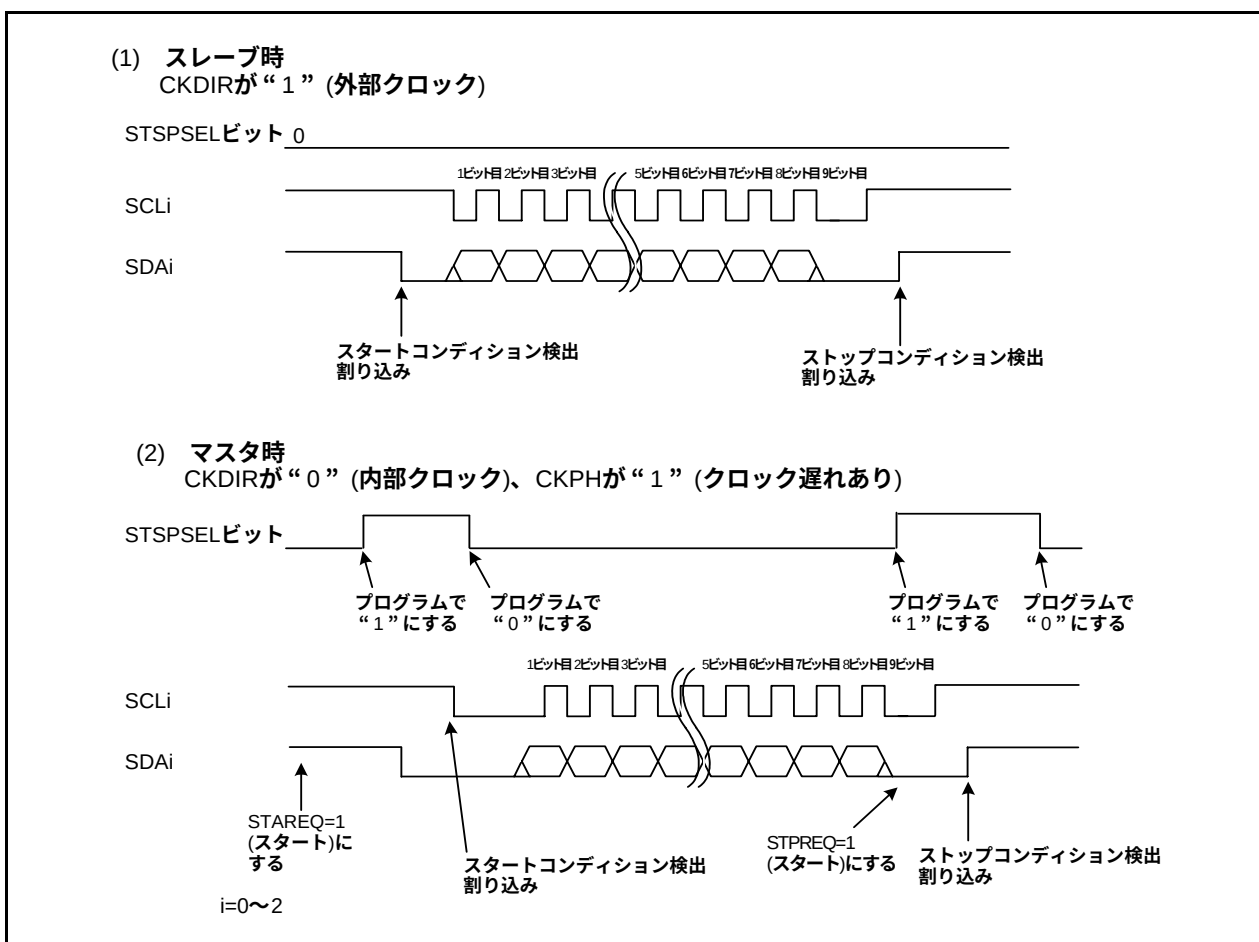


図 13.30 STSPSELビットの機能

13.1.3.3 アービトレーション

SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。UiSMRレジスタのABCビットで、UiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが“0”(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが“1”に、検出しないと“0”になります。ABCビットを“1”にすると、判定時に一度でも不一致が検出された場合、9ビット目のクロックの立ち下がりABTビットが“1”(不一致検出)になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを“0”(未検出)にしてから、次の1バイトを転送してください。

UiSMR2レジスタのALSビットを“1”(SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが“1”(不一致検出)になったとき、同時にSDAi端子がハイインピーダンス状態になります。

13.1.3.4 転送クロック

「図13.28にUiRBレジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

UiSMR2レジスタのCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがって、UARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。なお、転送クロックは内部SCLiの1ビット目の立ち下がり半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットでクロックの9ビット目の立ち下がり、SCLi端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がり、SCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

13.1.3.5 SDA出力

UiTBレジスタのビット7～0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICM=1(I²Cモード)で、UiMRレジスタのSMD2～SMD0ビットが“000b”(シリアルインタフェースは無効)の状態を設定してください。

UiSMR3レジスタのDL2～DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

13.1.3.6 SDA入力

IICM2ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をUiRBレジスタのビット7～0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をUiRBレジスタのビット6～0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

13.1.3.7 ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1、DMA3要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できません。

13.1.3.8 送受信初期化

STACビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

13.1.4 特殊モード2

1つのマスタから、複数のスレーブヘシリアル通信できます。また、転送クロックの極性と位相を選択できます。表 13.15 に特殊モード 2 の仕様を、表 13.16 に特殊モード 2 時の使用レジスタと設定値を、図 13.31 に特殊モード 2 の通信制御例(UART2)を示します。

表13.15 特殊モード2の仕様

項目	仕様
転送データフォーマット	転送データ長 8ビット
転送クロック	・マスタモード U_iMR レジスタの CKDIR ビットが “0” (内部クロック選択) : $f_j/(2(n+1))$ $f_j=f_1SIO, f_2SIO, f_8SIO, f_{32}SIO$ $n : U_iBRG$ レジスタ設定値 00h ~ FFh ・スレーブモード CKDIR ビットが “1” (外部クロック選択) : CLK_i端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要(注1) ・U_iC1 レジスタの TE ビットが “1” (送信許可) ・U_iC1 レジスタの TI ビットが “0” (U_iTB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) ・U_iC1 レジスタの RE ビットが “1” (受信許可) ・TE ビットが “1” (送信許可) ・TI ビットが “0” (U_iTB レジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択可 ・U_iC1 レジスタの U_iIRS ビットが “0” (送信バッファ空) : U_iTB レジスタから U_iARTi 送信レジスタへデータ転送時(送信開始時) ・U_iIRS ビットが “1” (送信完了) : U_iARTi 送信レジスタからデータ送信完了時 受信時 ・U_iARTi 受信レジスタから U_iRB レジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) U_iRB レジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

 $i=0 \sim 2$

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”（転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力）のときは外部クロックが“H”の状態、CKPOLビットが“1”（転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力）のときは外部クロックが“L”の状態条件を満たしてください。

注2. オープンランエラーが発生した場合、UIRBレジスタ受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

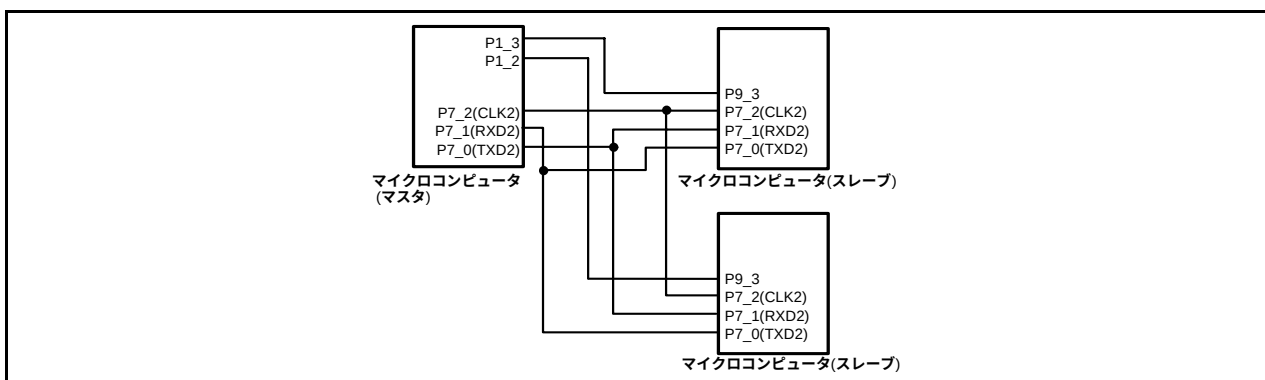


図 13.31 特殊モード2の通信制御例(UART2)

表 13.16 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0～7	送信データを設定してください
UiRB(注3)	0～7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR(注3)	SMD2～SMD0	“001b”にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合“1”にしてください
	IOPOL	“0”にしてください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD=“1”なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	“0”にしてください
UiC1	TE	送受信許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UiIRS(注1)	UARTi送信割り込み要因を選択してください
	UiRRM(注1)、 UiLCH、UiERE	“0”にしてください
UiSMR	0～7	“0”にしてください
UiSMR2	0～7	“0”にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0”にしてください
	0、2、4～7	“0”にしてください
UiSMR4	0～7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0”にしてください

i=0～2

注1. U0C0、U1C1 レジスタのビット 4、5 は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRM ビットは UCON レジスタにあります。

注2. TXD2 端子はNチャネルオープンドレインです。U2C0 レジスタのNCHビットは、何も配置されていないので、書く場合“0”を書いてください。

注3. この表に記載していないビットは特殊モード2時に書く場合、“0”を書いてください。

13.1.4.1 クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

図13.32にマスタ(内部クロック)の場合の送受信のタイミングを示します。

図13.33にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)を、図13.34にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

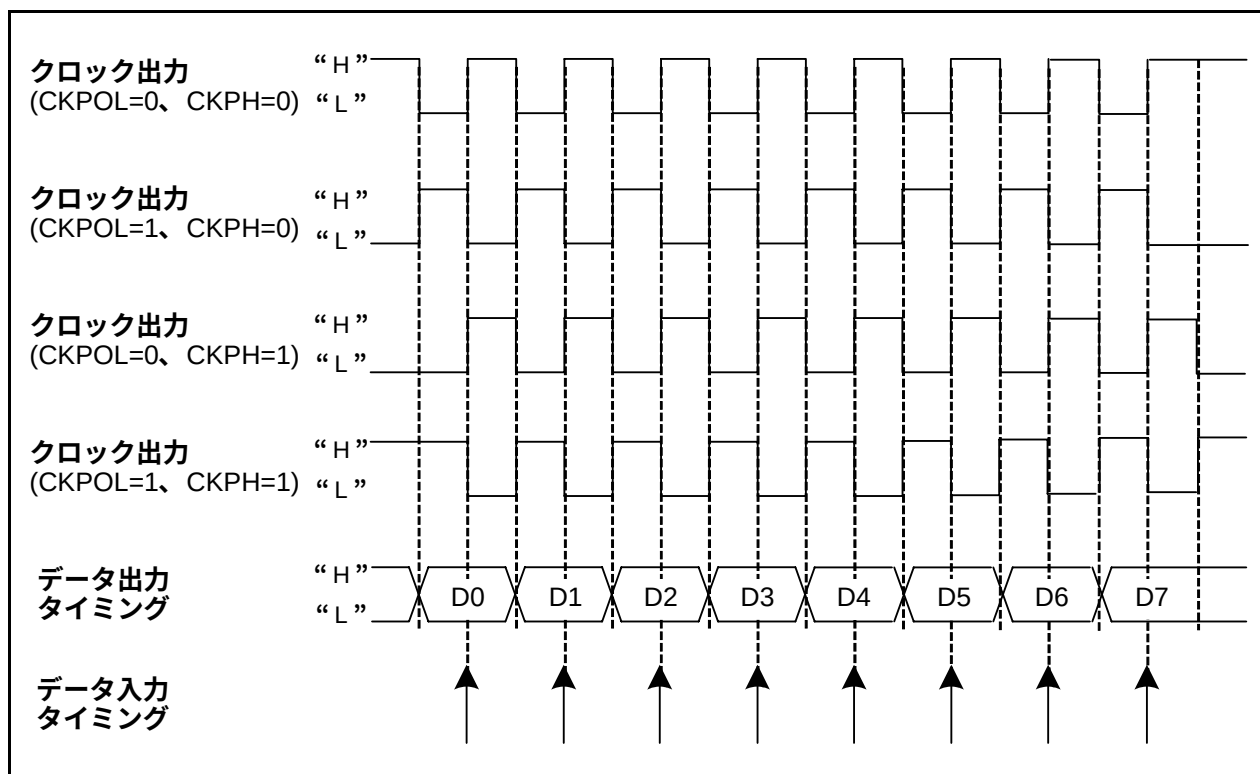


図13.32 マスタ(内部クロック)の場合の送受信のタイミング

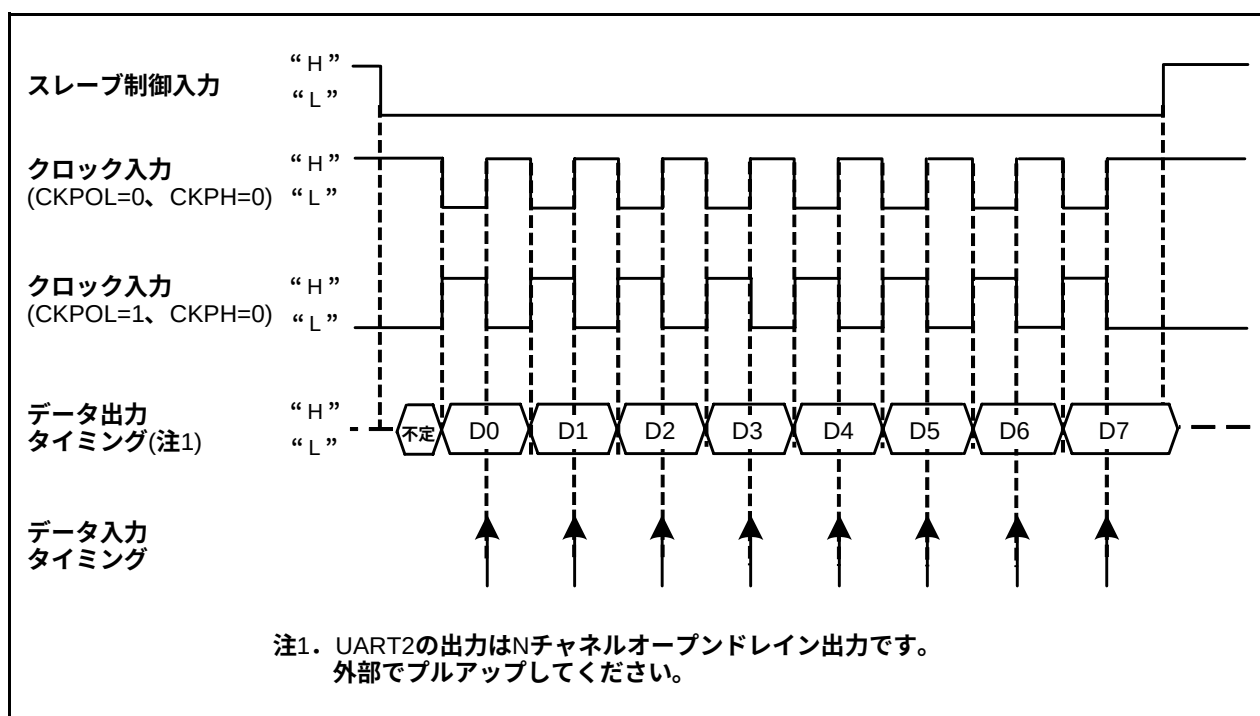


図13.33 スレープ(外部クロック)の場合の送受信のタイミング (CKPH=0)

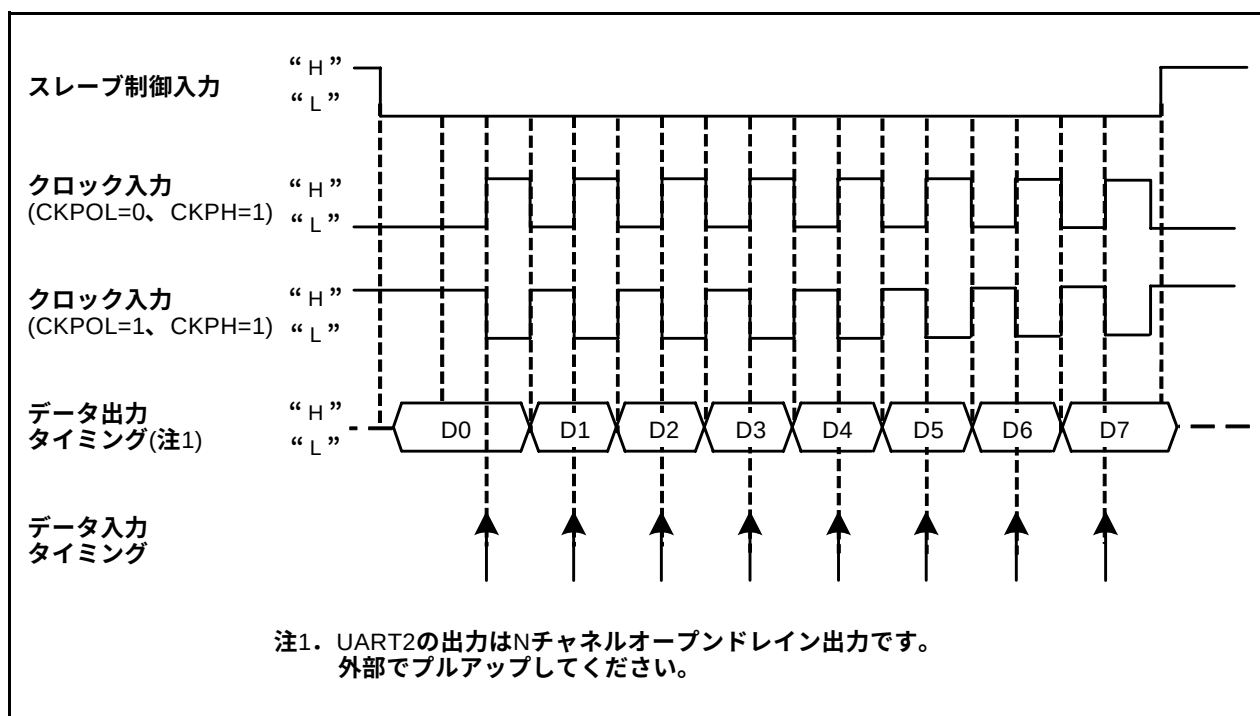


図13.34 スレープ(外部クロック)の場合の送受信のタイミング (CKPH=1)

13.1.5 特殊モード3 (IEモード)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表13.17にIEモード時の使用レジスタと設定値を、図13.35にバス衝突検出機能関連ビットの機能を示します。

TXDi端子(i=0~2)の出力レベルとRXDi端子の入力レベルが異なる場合、UARTiバス衝突検出割り込み要求が発生します。

UART0、UART1のバス衝突検出機能を使用する場合は、IFSR2AレジスタのIFSR26ビットとIFSR27ビットで選択してください。

表13.17 IEモード時の使用レジスタと設定値

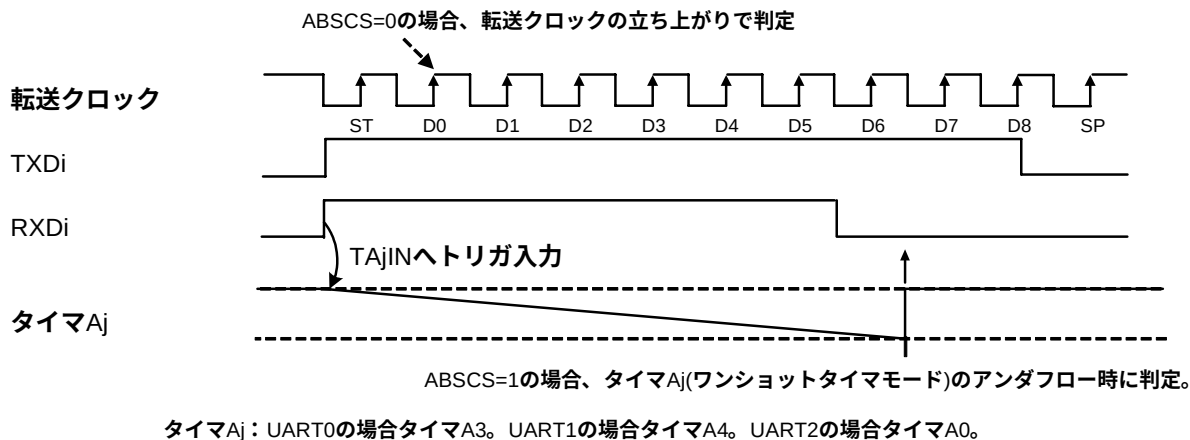
レジスタ	ビット	機能
UiTB	0~8	送信データを設定してください
UiRB(注3)	0~8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0~7	転送速度を設定してください
UIMR	SMD2~SMD0	“110b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	PRYE=0なので無効
	PRYE	“0”にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
UiC0	CLK1~CLK0	UiBRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	“0”にしてください
	UFORM	“0”にしてください
UiC1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	UiIRS(注1)	UARTi送信割り込み要因を選択してください
	UiRRM(注1)、UiLCH、UiERE	“0”にしてください
UISMR	0~3、7	“0”にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1”にしてください
	SSS	送信開始条件を選択してください
UISMR2	0~7	“0”にしてください
UISMR3	0~7	“0”にしてください
UISMR4	0~7	“0”にしてください
IFSR2A	IFSR26、IFSR27	“1”にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0”にしてください

i=0~2

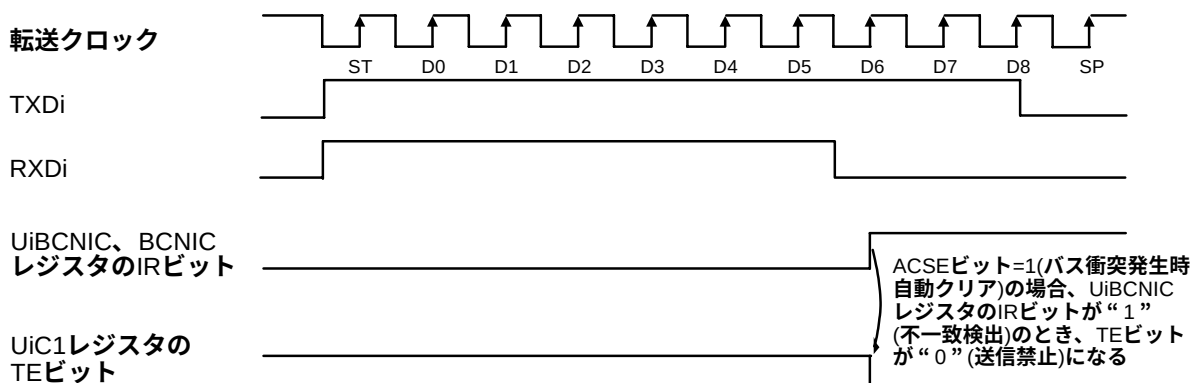
注1. U0C0、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていないので、書く場合は“0”を書いてください。

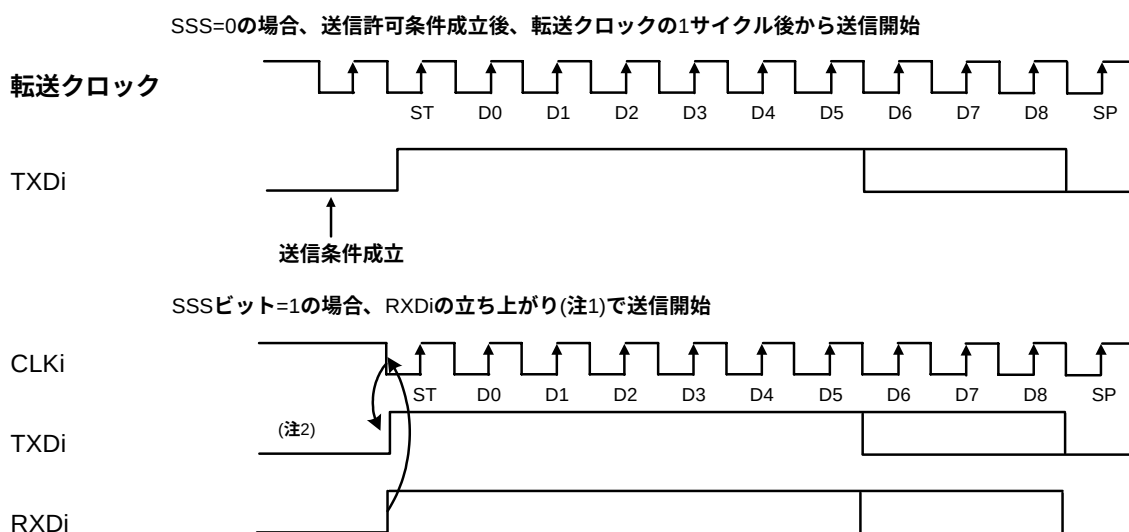
注3. この表に記載していないビットはIEモード時に書く場合、“0”を書いてください。

(1) UiSMRレジスタのABSCSビット (バス衝突検出サンプリングクロック選択) ($i=0\sim 2$)

(2) UiSMRレジスタのACSEビット (送信許可ビット自動クリア)



(3) UiSMRレジスタのSSSビット(送信開始条件選択)



注1. IOPOL=0の場合、RXDiの立ち下がり。IOPOL=1の場合、RXDiの立ち上がり。
 注2. 送信条件は、RXDの立ち下がり(注1)前に成立している必要があります。

上の図は、IOPOL=1(反転あり)の場合です。i=0~2

図13.35 バス衝突検出機能関連ビットの機能

13.1.6 特殊モード4 (SIMモード)(UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表13.18にSIMモードの仕様を、表13.19にSIMモード時の使用レジスタと設定値を示します。

表13.18 SIMモードの仕様

項目	仕様
転送データフォーマット	•ダイレクトフォーマット •インバースフォーマット
転送クロック	•U2MRレジスタのCKDIRビットが“0”(内部クロック): $f_i/(16(n+1))$ $f_i=f1SIO, f2SIO, f8SIO, f32SIO$ $n=U2BRG$レジスタの設定値 00h~FFh •CKDIRビットが“1”(外部クロック): $f_{EXT}/(16(n+1))$ f_{EXT}はCLK2端子からの入力 $n=U2BRG$レジスタの設定値 00h~FFh
送信開始条件	送信開始には、次の条件が必要 •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 •U2C1レジスタのREビットが“1”(受信許可) •スタートビットの検出
割り込み要求発生タイミング (注2)	•送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット=“1”) •受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	•オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー(注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. オーバランエラーが発生した場合、U2RBレジスタ受信データは不定になります。またS2RICレジスタのIRビットは変化しません。

注2. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

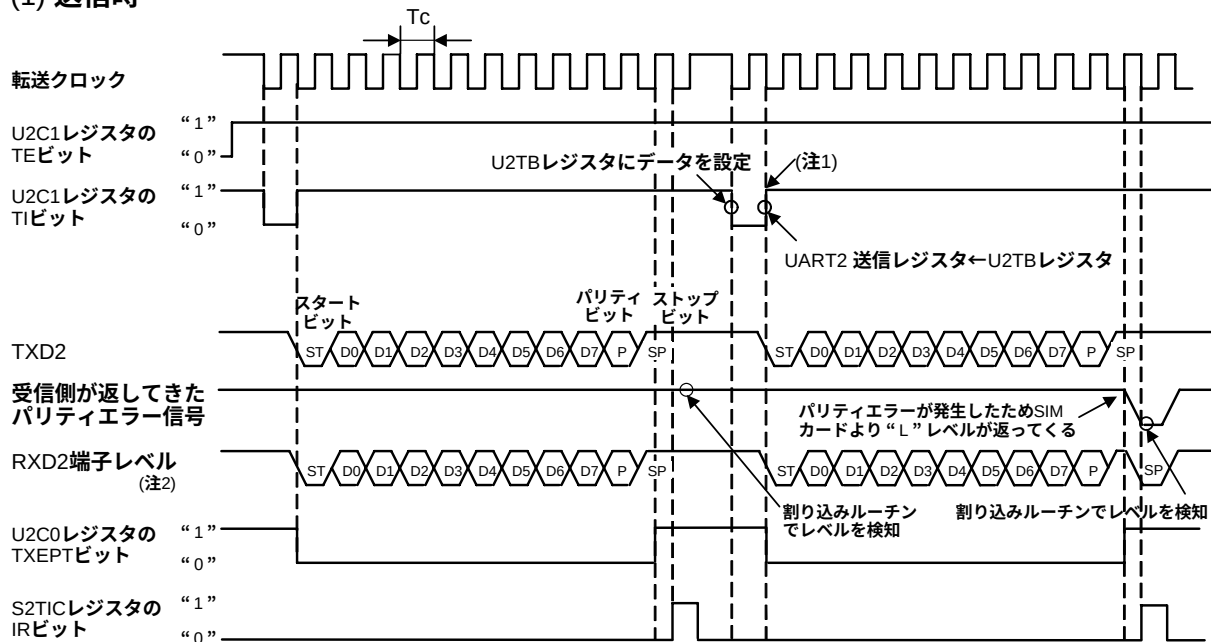
注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに検出されます。

表 13.19 SIMモード時の使用レジスタと設定値

レジスタ	ビット	機能
U2TB(注1)	0～7	送信データを設定してください
U2RB(注1)	0～7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0～7	転送速度を設定してください
U2MR	SMD2～SMD0	“101b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	ダイレクトフォーマットの場合“1”に、インバースフォーマットの場合“0”にしてください
	PRYE	“1”にしてください
	IOPOL	“0”にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	“0”にしてください
	CKPOL	“0”にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1”にしてください
	RI	受信完了フラグ
	U2IRS	“1”にしてください
	U2RRM	“0”にしてください
	U2LCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
	U2ERE	“1”にしてください
U2SMR(注1)	0～3	“0”にしてください
U2SMR2	0～7	“0”にしてください
U2SMR3	0～7	“0”にしてください
U2SMR4	0～7	“0”にしてください

注1. この表に記載していないビットはSIMモード時に書く場合、“0”を書いてください。

(1) 送信時



上記タイミング図はダイレクトフォーマットで送信した場合です。

- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYビット=1(偶数パリティ)
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2C1レジスタのU2LCHビット=0(反転なし)
- U2C1レジスタのU2IRSビット=1(送信完了)

割り込み要求の受け付け、またはプログラムで“0”にする

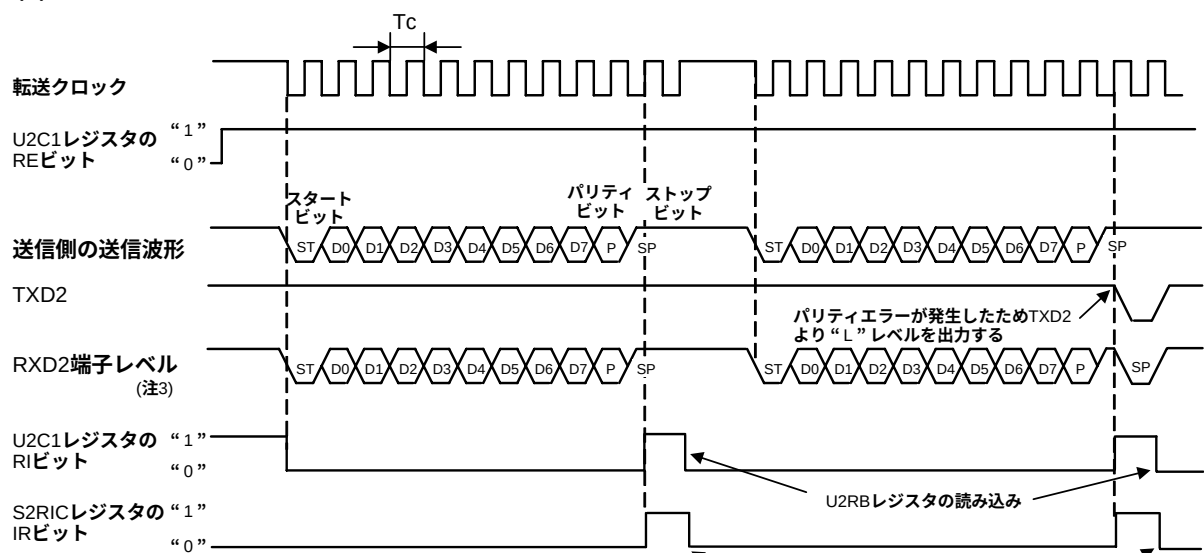
$T_c = 16(n+1)/f_j$ または $16(n+1)/f_{EXT}$

f_j : U2BRGカウントソースの周波数($f1SIO$, $f2SIO$, $f8SIO$, $f32SIO$)

f_{EXT} : U2BRGカウントソースの周波数(外部クロック)

n : U2BRGに設定した値

(2) 受信時



上記タイミング図はダイレクトフォーマットで受信した場合です。

- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYビット=1(偶数パリティ)
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2C1レジスタのU2LCHビット=0(反転なし)
- U2C1レジスタのU2IRSビット=1(送信完了)

割り込み要求の受け付け、またはプログラムで“0”にする

$T_c = 16(n+1)/f_j$ または $16(n+1)/f_{EXT}$

f_j : U2BRGカウントソースの周波数($f1SIO$, $f2SIO$, $f8SIO$, $f32SIO$)

f_{EXT} : U2BRGカウントソースの周波数(外部クロック)

n : U2BRGに設定した値

注1. 上記タイミングで、U2TBレジスタに値を書いた後、BRGのオーバフロータイミングで送信が開始されます。
 注2. TXD2とRXD2を接続しているため、TXD2の送信波形と受信側が返してきたパリティエラー信号を合成した波形になります。
 注3. TXD2とRXD2を接続しているため、送信側の送信波形とTXD2のパリティエラー信号出力を合成した波形になります。

図13.36 SIMモードの送受信タイミング例

図13.37にSIMインタフェース接続例を示します。TXD2とRXD2を接続してプルアップしてください。

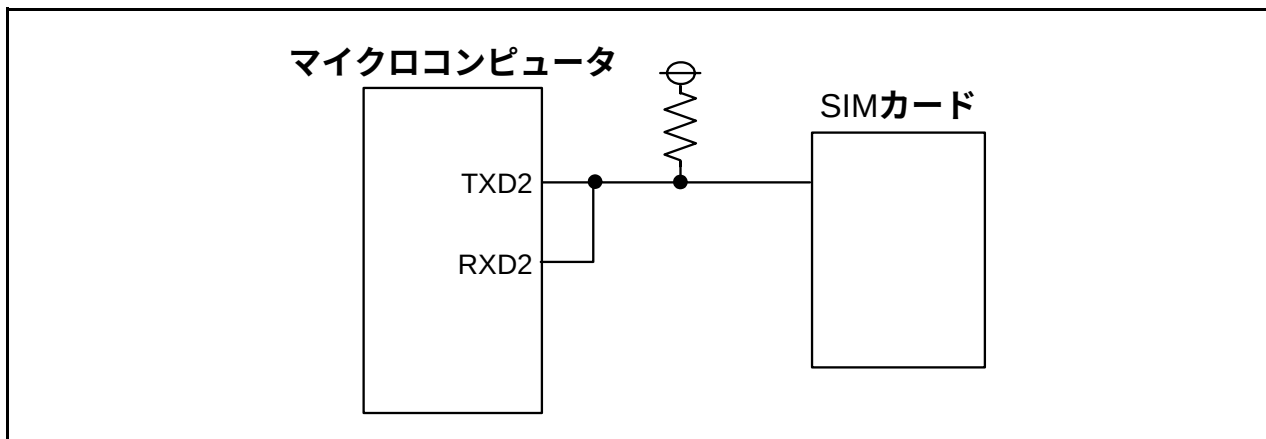


図13.37 SIMインタフェース接続例

13.1.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”(出力する)にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、13.38に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、U2RBレジスタのPERビットが“0”(パリティエラーなし)になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の転送クロックの立ち下がりが発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうか判定できます。

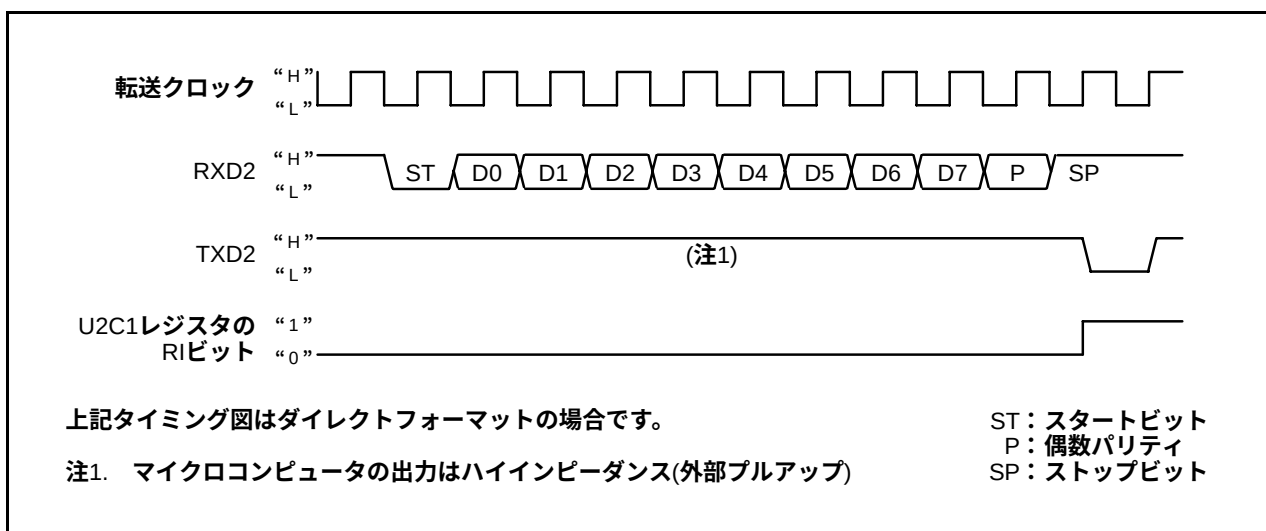


図13.38 パリティエラー信号出力タイミング

13.1.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、PRYEビットを“1”、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図13.39にSIMインタフェースフォーマットを示します。

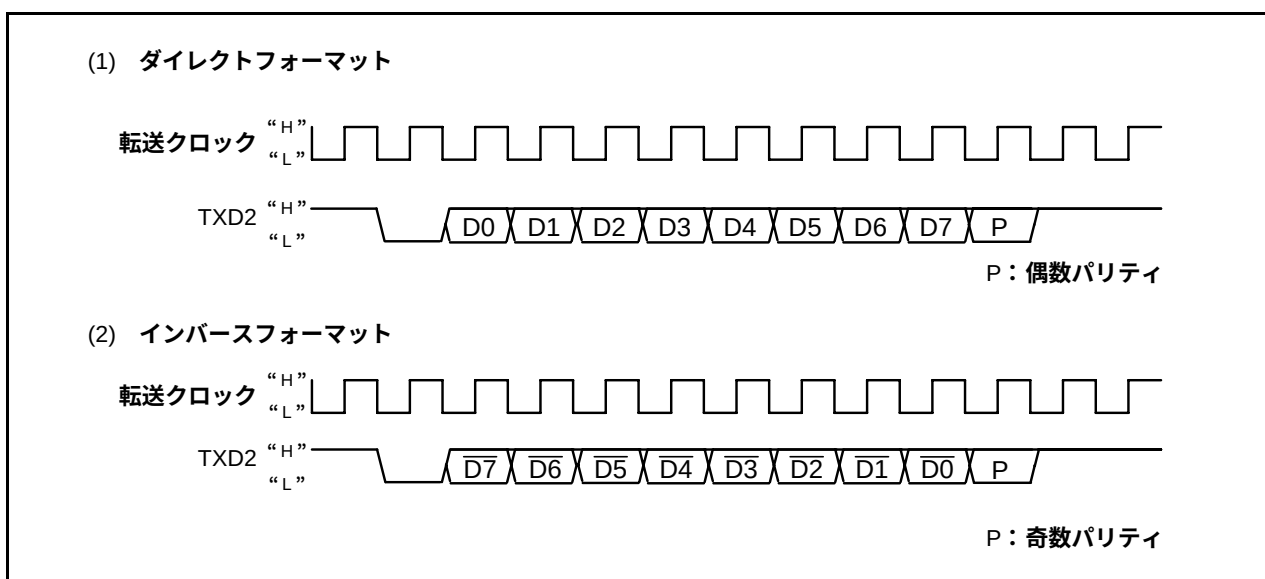


図13.39 SIMインタフェースフォーマット

14. A/Dコンバータ(64ピン版のみ)

10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P10_0～P10_7と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。

A/Dコンバータを使用しない場合、ADSTBYビットを“0”(A/D動作停止：スタンバイ)にすると、A/Dコンバータで電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、AN_i端子($i=0\sim7$)に対応したAD_iレジスタに格納されます。

表14.1にA/Dコンバータの仕様を、図14.1にA/Dコンバータのブロック図を、図14.2～図14.3にA/Dコンバータ関連レジスタを示します。

表14.1 A/Dコンバータの仕様

項目	仕様
A/D変換方式	逐次比較変換方式
アナログ入力電圧(注1)	0V～AVCC
動作クロックφAD(注1)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周
分解能	10ビット
積分非直線性誤差	VREF=AVCC=VCC=3.3V ±3 VREF=AVCC=VCC=2.2V ±6
動作モード	単発モード、繰り返しモード、単掃引モード、繰り返し掃引モード0、繰り返し掃引モード1
アナログ入力端子	8本(AN0～AN7)
A/D変換開始条件	ソフトウェアトリガ ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
1端子あたりの変換速度	最短43φADサイクル

注1. φADの周波数は次のようにしてください。

VCCが3.2～3.6Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 16\text{MHz}$

VCCが3.0～3.2Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 8\text{MHz}$

VCCが2.2～3.0Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 4\text{MHz}$

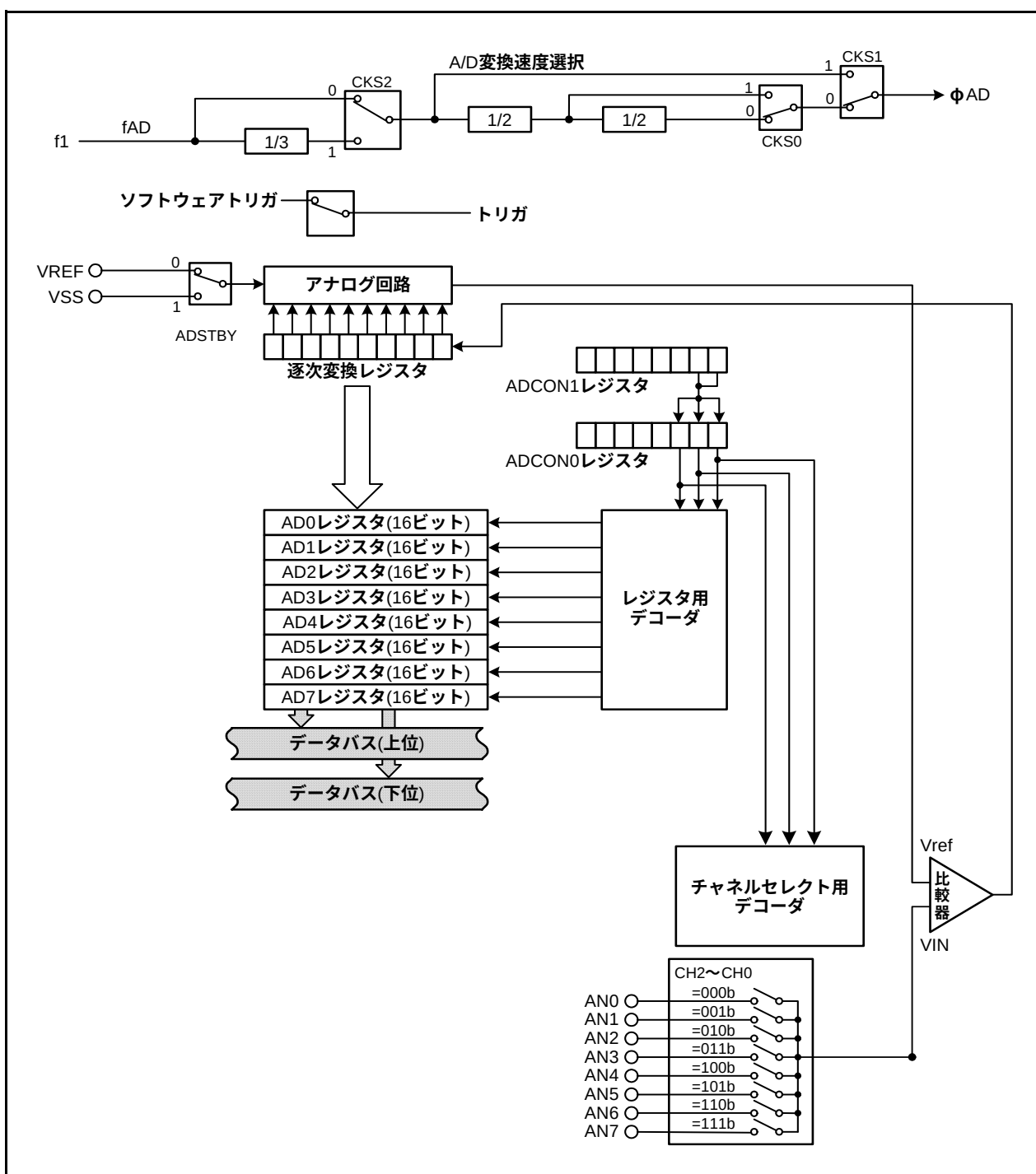


図14.1 A/Dコンバータのブロック図

A/D制御レジスタ0 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb
0			
	CH0	アナログ入力端子選択 ビット	RW
	CH1		RW
	CH2		RW
	MD0	A/D動作モード選択 ビット0	RW
	MD1		RW
	— (b5)	予約ビット	RW
	ADST	A/D変換開始フラグ	RW
	CKS0	周波数選択ビット0	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1 (注1)

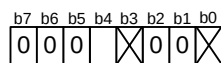
ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b
0 0			
	SCAN0	A/D掃引端子選択ビット	RW
	SCAN1		RW
	MD2	A/D動作モード選択 ビット1	RW
	— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。	—
	CKS1	周波数選択ビット1	RW
	ADSTBY	A/Dスタンバイビット (注2)	RW
	— (b7-b6)	予約ビット	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ_{AD} の1サイクル以上経過した後にA/D変換を開始してください。

図14.2 ADCON0、ADCON1 レジスタ

A/D制御レジスタ2 (注1)

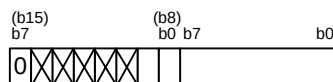
シンボル
ADCON2アドレス
03D4h番地リセット後の値
0000X00Xb

ビット シンボル	ビット名	機 能	RW
— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b2-b1)	予約ビット	“0”にしてください。	RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS2	周波数選択ビット2(注2)	0: fAD、fADの2分周、または fADの4分周を選択 1: fADの3分周、fADの6分周を選択	RW
— (b7-b5)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。

注2. ϕ ADはADCON0レジスタのCKS0ビット、ADCON1レジスタのCKS1ビット、ADCON2レジスタのCKS2ビットの組み合わせで選択できます。

CKS2	CKS1	CKS0	ϕ AD
0	0	0	fADの4分周
0	0	1	fADの2分周
0	1	0	fAD
0	1	1	fAD
1	0	1	fADの6分周
1	1	0	fADの3分周
1	1	1	fADの3分周

A/Dレジスタ*i* (i=0~7)

シンボル

アドレス

リセット後の値

AD0	03C1h~03C0h番地	000000XXb, XXXXXXXXXb
AD1	03C3h~03C2h番地	000000XXb, XXXXXXXXXb
AD2	03C5h~03C4h番地	000000XXb, XXXXXXXXXb
AD3	03C7h~03C6h番地	000000XXb, XXXXXXXXXb
AD4	03C9h~03C8h番地	000000XXb, XXXXXXXXXb
AD5	03CBh~03CAh番地	000000XXb, XXXXXXXXXb
AD6	03CDh~03CC番地	000000XXb, XXXXXXXXXb
AD7	03CFh~03CEh番地	000000XXb, XXXXXXXXXb

機能	RW
A/D変換結果の下位8ビット	RO
A/D変換結果の上位2ビット	RO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—
予約ビット	読んだ場合、その値は不定。 RO

注1. このレジスタはMOV命令を使用して書いてください。

図14.3 ADCON2、AD0~AD7レジスタ

14.1 モードの説明

14.1.1 単発モード

選択した1本の端子の入力電圧を1回 A/D 変換するモードです。表 14.2 に単発モードの仕様を、図 14.4 に単発モード時の ADCON0、ADCON1 レジスタを示します。

表 14.2 単発モードの仕様

項目	仕様
機能	ADCON0 レジスタの CH2～CH0 ビットで選択した1本の端子の入力電圧を1回 A/D 変換する
A/D 変換開始条件	ADCON0 レジスタの TRG ビットが“0”(ソフトウェアトリガ)の場合 ADCON0 レジスタの ADST ビットを“1”(A/D 変換開始)にする
A/D 変換停止条件	• A/D 変換終了 (ADST ビットは“0”(A/D 変換停止)になる) • ADST ビットを“0”にする
割り込み要求発生タイミング	A/D 変換終了時
アナログ入力端子	AN0～AN7 から1端子を選択
A/D 変換値の読み出し	選択した端子に対応した AD0～AD7 レジスタの読み出し

A/D制御レジスタ0 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0 0 0 0 0 0 0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb
CH0	アナログ入力端子選択 ビット	b2 b1 b0 0 0 0: AN0を選択 0 0 1: AN1を選択 0 1 0: AN2を選択 0 1 1: AN3を選択 1 0 0: AN4を選択 1 0 1: AN5を選択 1 1 0: AN6を選択 1 1 1: AN7を選択	RW
CH1			RW
CH2			RW
MD0			RW
MD1	A/D動作モード選択 ビット0	b4 b3 0 0: 単発モード	RW
— (b5)	予約ビット	“0”にしてください。	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定となります。

A/D制御レジスタ1 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0 1 0 0 0 0 0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b
SCAN0	A/D掃引端子選択ビット	単発モードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択 ビット1	単発モードでは“0”にしてください。	RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
ADSTBY	A/Dスタンバイビット (注2)	“1”(A/D動作可能)にしてください。	RW
— (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ ADの1サイクル以上経過した後にA/D変換を開始してください。

図14.4 単発モード時のADCON0、ADCON1レジスタ

14.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返し A/D 変換するモードです。表 14.3 に繰り返しモードの仕様を、図 14.5 に繰り返しモード時の ADCON0、ADCON1 レジスタを示します。

表 14.3 繰り返しモードの仕様

項目	仕様
機能	ADCON0 レジスタの CH2～CH0 ビットで選択した1本の端子の入力電圧を繰り返し A/D 変換する
A/D 変換開始条件	ADCON0 レジスタの ADST ビットを “1” (A/D 変換開始) にする
A/D 変換停止条件	ADST ビットを “0” (A/D 変換停止) にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN7 から1端子を選択
A/D 変換値の読み出し	選択した端子に対応した AD0～AD7 レジスタの読み出し

A/D制御レジスタ0 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0 1	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb
CH0	アナログ入力端子選択 ビット	b2 b1 b0 0 0 0: AN0を選択 0 0 1: AN1を選択 0 1 0: AN2を選択 0 1 1: AN3を選択 1 0 0: AN4を選択 1 0 1: AN5を選択 1 1 0: AN6を選択 1 1 1: AN7を選択	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択 ビット0	b4 b3 0 1: 繰り返しモード	RW
MD1			RW
— (b5)	予約ビット	“0”にしてください。	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定となります。

A/D制御レジスタ1 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0 0 0 1 X 0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b
SCAN0	A/D掃引端子選択ビット	繰り返しモードでは無効	RW
SCAN1			RW
MD2	A/D動作モード選択 ビット1	繰り返しモードでは“0”にしてください。	RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
ADSTBY	A/Dスタンバイビット (注2)	“1”(A/D動作可能)にしてください。	RW
— (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ ADの1サイクル以上経過した後にA/D変換を開始してください。

図14.5 繰り返しモード時のADCON0、ADCON1レジスタ

14.1.3 単掃引モード

選択した端子の入力電圧を1回ずつA/D変換するモードです。表14.4に単掃引モードの仕様を、図14.6に単掃引モード時のADCON0、ADCON1レジスタを示します。

表14.4 単掃引モードの仕様

項目	仕様
機能	ADCON1 レジスタのSCAN1～SCAN0ビットで選択した端子の入力電圧を1回ずつA/D変換する
A/D変換開始条件	ADCON0 レジスタのADSTビットを“1”(A/D変換開始)にする
A/D変換停止条件	• A/D変換終了(ADSTビットは“0”(A/D変換停止)になる) • ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb
CH0	アナログ入力端子選択 ビット	単掃引モードでは無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択 ビット0	b4 b3 1 0 : 単掃引モード	RW
MD1			RW
— (b5)	予約ビット	“0”にしてください。	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b
SCAN0	A/D掃引端子選択ビット	単掃引モードを選択している場合 b1 b0 0 0 : AN0~AN1 (2端子) 0 1 : AN0~AN3 (4端子) 1 0 : AN0~AN5 (6端子) 1 1 : AN0~AN7 (8端子)	RW
SCAN1			RW
MD2	A/D動作モード選択 ビット1	単掃引モードでは“0”にしてください。	RW
— (b3)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
ADSTBY	A/Dスタンバイビット(注2)	“1”(A/D動作可能)にしてください。	RW
— (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ_{AD} の1サイクル以上経過した後にA/D変換を開始してください。

図14.6 単掃引モード時のADCON0、ADCON1レジスタ

14.1.4 繰り返し掃引モード0

選択した端子の入力電圧を繰り返しA/D変換するモードです。表14.5に繰り返し掃引モード0の仕様を、図14.7に繰り返し掃引モード0時のADCON0、ADCON1レジスタを示します。

表 14.5 繰り返し掃引モード0の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットで選択した端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN1(2端子)、AN0～AN3(4端子)、AN0～AN5(6端子)、AN0～AN7(8端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb
CH0	アナログ入力端子選択 ビット	繰り返し掃引モード0では無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択 ビット0	b4 b3 1 1: 繰り返し掃引モード0または 繰り返し掃引モード1	RW
MD1			RW
— (b5)	予約ビット	“0”にしてください。	RW
ADST	A/D変換開始フラグ	0: A/D変換停止 1: A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b
SCAN0	A/D掃引端子選択ビット	繰り返し掃引モード0を選択している場合 b1 b0 0 0: AN0~AN1 (2端子) 0 1: AN0~AN3 (4端子) 1 0: AN0~AN5 (6端子) 1 1: AN0~AN7 (8端子)	RW
SCAN1			RW
MD2			RW
— (b3)			—
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
ADSTBY	A/Dスタンバイビット (注2)	“1”(A/D動作可能)にしてください。	RW
— (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ_{AD} の1サイクル以上経過した後にA/D変換を開始してください。

図14.7 繰り返し掃引モード0時のADCON0、ADCON1レジスタ

14.1.5 繰り返し掃引モード1

選択した端子に重点をおいて全端子の入力電圧を繰り返しA/D変換するモードです。表14.6に繰り返し掃引モード1の仕様を、図14.8に繰り返し掃引モード1時のADCON0、ADCON1レジスタを示します。

表14.6 繰り返し掃引モード1の仕様

項目	仕様
機能	ADCON1レジスタのSCAN1～SCAN0ビットで選択した端子に重点をおいて、全端子の入力電圧を繰り返しA/D変換する 例：AN0を選択した場合 AN0→AN1→AN0→AN2→AN0→AN3…の順にA/D変換する
A/D変換開始条件	ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
重点的にA/D変換するアナログ入力端子	AN0(1端子)、AN0～AN1(2端子)、AN0～AN2(3端子)、AN0～AN3(4端子)から選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON0	アドレス 03D6h番地	リセット後の値 00000XXXb
CH0	アナログ入力端子選択 ビット	繰り返し掃引モード1では無効	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択 ビット0	b4 b3 1 1 : 繰り返し掃引モード0または 繰り返し掃引モード1	RW
MD1			RW
— (b5)	予約ビット	“0”にしてください。	RW
ADST	A/D変換開始フラグ	0 : A/D変換停止 1 : A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1. A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1 (注1)

ビット シンボル	ビット名	機 能	RW
b7 b6 b5 b4 b3 b2 b1 b0	シンボル ADCON1	アドレス 03D7h番地	リセット後の値 0000X000b
SCAN0	A/D掃引端子選択ビット	繰り返し掃引モード1を選択している場合 b1 b0 0 0 : AN0 (1端子) 0 1 : AN0～AN1 (2端子) 1 0 : AN0～AN2 (3端子) 1 1 : AN0～AN3 (4端子)	RW
SCAN1			RW
MD2			RW
— (b3)			—
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
ADSTBY	A/Dスタンバイビット (注2)	“1”(A/D動作可能)にしてください。	RW
— (b7-b6)	予約ビット	“0”にしてください。	RW

注1. A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。

注2. ADSTBYビットを“0”(A/D動作停止)から“1”(A/D動作可能)にしたときは、 ϕ_{AD} の1サイクル以上経過した後にA/D変換を開始してください。

図14.8 繰り返し掃引モード1時のADCON0、ADCON1レジスタ

14.2 変換速度

変換時間は次のとおりです。

開始ダミー時間は ϕ ADの選択によって変わります。表14.7に開始ダミー時間を示します。ADCON0レジスタのADSTビットに“1”(A/D変換開始)を書くと、開始ダミー時間経過後にA/D変換を始めます。A/D変換を始めるまでにADSTビットを読むと“0”(A/D変換停止)を読み出します。

複数端子または複数回A/D変換を実行するモードでは、1端子のA/D変換実行時間と、次のA/D変換実行時間の間に、実行間ダミー時間が入ります。

単発モード、単掃引モードでは、終了ダミー時間にADSTビットが“0”になり、最後のA/D変換結果がADiレジスタに入ります。

単発モードの場合：

開始ダミー時間 + A/D変換実行時間 + 終了ダミー時間

単掃引モードで2端子を選択した場合：

開始ダミー時間 + (A/D変換実行時間 + 実行間ダミー時間 + A/D変換実行時間) + 終了ダミー時間

開始ダミー時間 : 「表14.7 開始ダミー時間」参照

A/D変換実行時間 : 1端子当たり、 ϕ ADの40サイクル

実行間ダミー時間 : ϕ ADの1サイクル

終了ダミー時間 : f ADの2～3サイクル

表14.7 開始ダミー時間

ϕ ADの選択	開始ダミー時間
f AD	f ADの1～2サイクル
f ADの2分周	f ADの2～3サイクル
f ADの3分周	f ADの3～4サイクル
f ADの4分周	f ADの3～4サイクル
f ADの6分周	f ADの4～5サイクル
f ADの12分周	f ADの7～8サイクル

14.3 消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止(スタンバイ))にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、ADSTBYビットを“1”(A/D動作可能)にして、 ϕ ADの1サイクル以上経過した後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとADSTBYビットは、同時に“1”を書かないでください。

また、A/D変換中にADSTBYビットを“0”(A/D動作停止(スタンバイ))にしないでください。

14.4 A/D変換時のセンサの出力インピーダンス

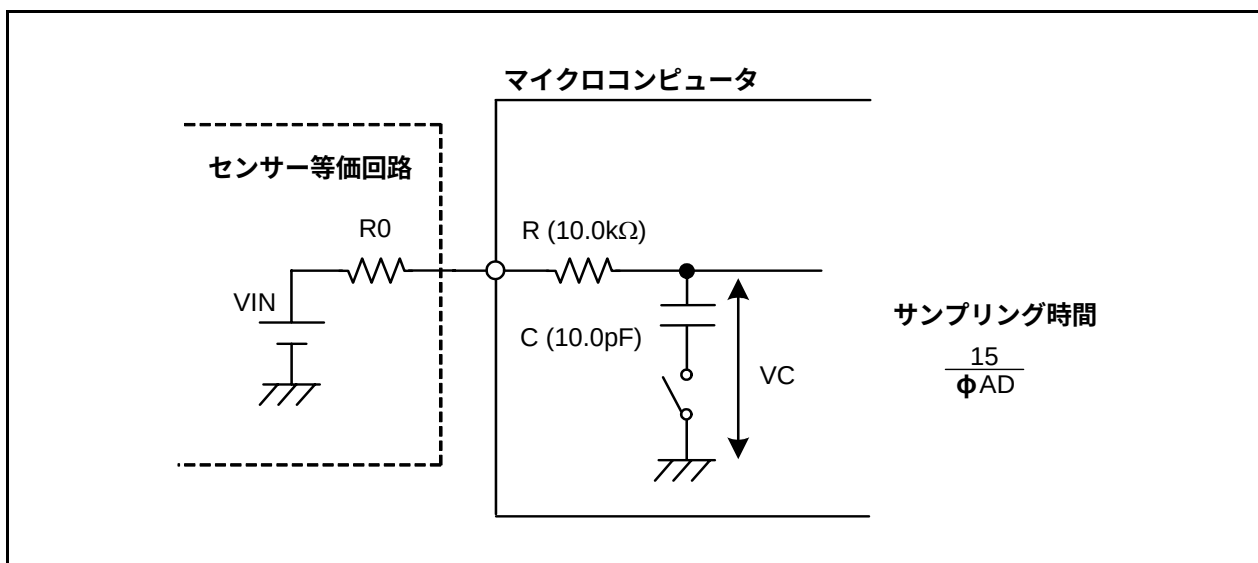


図14.9 アナログ入力端子と外部センサの等価回路例

15. ベースバンド機能

15.1 ベースバンド機能説明

以下に示すベースバンド機能をハードウェアで内蔵しています。

- (1) 26ビットタイマ
- (2) 送信RAM
- (3) 受信RAM
- (4) 送信フレーム生成機能
- (5) フィルタ機能
- (6) 割り込み
- (7) CRC演算回路
- (8) 自動ACK返信機能
- (9) 自動ACK受信機能
- (10) 自動受信切り替え機能
- (11) ANTSW出力切り替え機能
- (12) 自動CSMA-CA機能
- (13) 状態遷移
- (14) ベースバンド関連レジスタ
- (15) 制御シーケンス
- (16) 自動送受信動作例

15.1.1 ベースバンドブロック図

図15.1にベースバンドブロック図を示します。

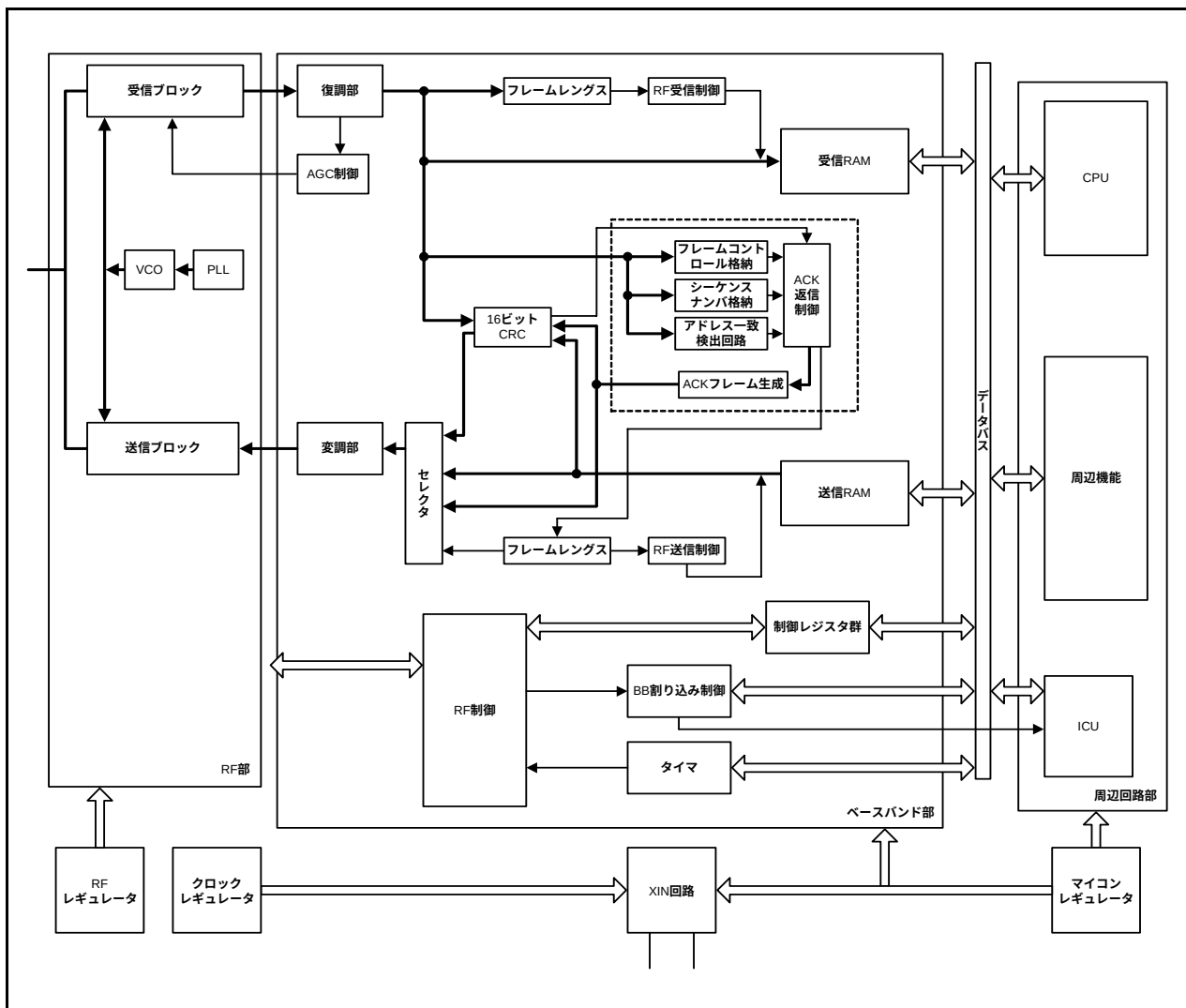


図15.1 ベースバンドブロック図

15.1.2 ベースバンド用語説明

文中の用語について以下に示します。

- ・IDLE状態：RF部内部に供給されるRFレギュレータが安定に立ち上がった状態です。
- ・RFレギュレータ：RF部専用の内蔵レギュレータを示します。
- ・クロックレギュレータ：基準16MHzCLKの安定のためにXIN回路専用に内蔵しているレギュレータです。クロックレギュレータの電源はVCCRF端子から入力されます。

15.1.3 26ビットタイマ

26ビットタイマはタイマコンペア機能を3本内蔵しています。タイマ値とタイマコンペア i ($i=0\sim 2$) 値が一致した時点でタイマコンペア i ($i=0\sim 2$) 割り込みを発生させることができます。

プリスケラによりカウントソース16MHzを256分周したクロックがタイマに入力されます。

図15.2に26ビットタイマの構成を示します。

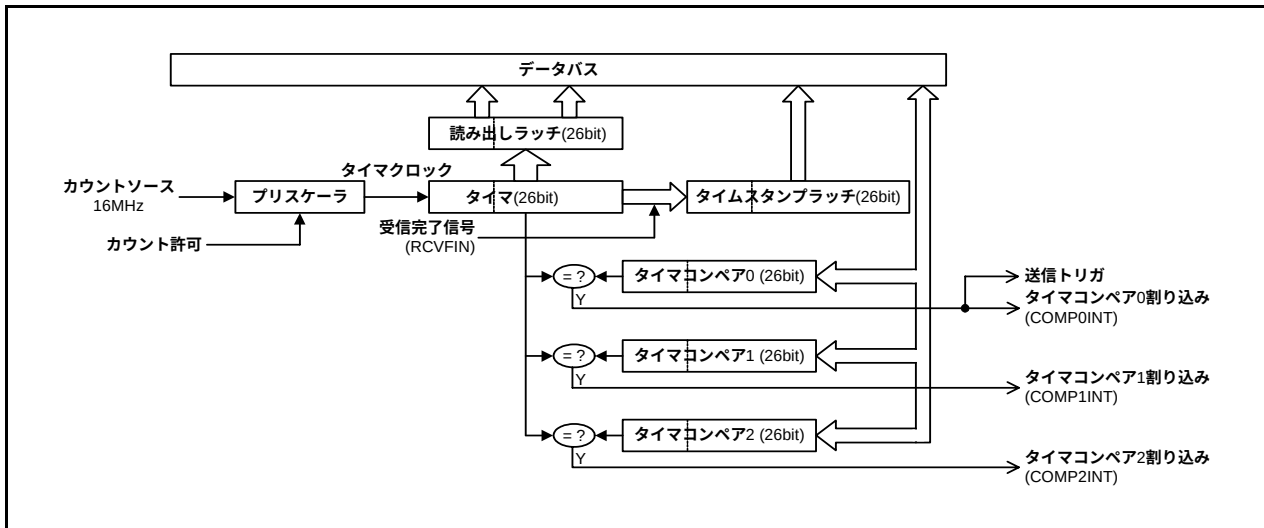


図15.2 26ビットタイマの構成

15.1.3.1 タイマコンペア i 割り込み

タイマ値とタイマコンペア i 値が一致した時点でタイマコンペア i 割り込みが発生します。

また、タイマコンペア0については、送信開始信号としても機能します。

送信開始信号発生より144 μ s後、自動的に送信を開始します。

15.1.3.2 タイムスタンプ

フレーム受信完了時点のタイマ値をBBTSTAMP0、BBTSTAMP1レジスタに格納します。

BBTSTAMP0、BBTSTAMP1レジスタは次のフレーム受信完了時点まで保持されます。

15.1.3.3 タイマ値読み出し

タイマ値はBBTIMEREAD0、BBTIMEREAD1レジスタから読み出せます。読み出す際は、BBTIMEREAD0レジスタ(下位バイト)から読み出してください。

BBTIMEREAD0レジスタの7~0、15~8ビットのどちらか一方(または両方とも)読み出した時点で全ビットのカウント値がラッチされます。また、BBTIMEREAD1レジスタ(最上位バイト)の25、24ビットを読み出した時点でラッチされたカウント値は破棄されます。

BBTIMEREAD1レジスタを先に読み出した場合、BBTIMEREAD0レジスタはラッチされませんのでご注意ください。

なお、BBTIMEREAD0レジスタ読み出し後、BBTIMEREAD1レジスタを読み出さずに再度BBTIMEREAD0レジスタを読み出しても値は更新されず、以前に読み出した値が読み出されます。

15.1.4 送信RAM

ベースバンドブロック専用送信RAMを127バイト内蔵しています。

アドレスはD100h～D17Ehです。

送信RAMデータ1バイトごとに先頭番地からフレームを送信します。

送信RAMデータが127バイトに満たない場合も次のフレーム送信は必ず先頭番地から開始しますので、送信RAMデータは先頭番地から書き込んでください。

また、送信を開始し内部送信カウンタの値が書き込みアドレス以上になると送信オーバラン割り込み要求が発生し、同時に送信処理をキャンセルします。

送信RAMに書いたデータを読み出すことができます。

15.1.5 受信RAM

ベースバンドブロック専用受信RAMを127×2バイト(バンク0、1)内蔵しています。

アドレスはD180h～D1FEhで、読み出し専用です。

ベースバンド機能有効後は、受信RAMのバンク0からフレームの格納を開始し、受信するごとにバンク0、1へ交互に格納します。また、フレーム受信完了ごとに対応するバンクの受信完了割り込み要求が発生します。受信RAMを読み出す場合、BBTXRXMODE3レジスタのRCVBANKSELビットに設定されたバンクの受信RAMデータが読み出されます。

受信したフレームを1バイトごとに受信RAMの先頭番地から格納します。

受信したフレームが127バイトに満たない場合も次のフレーム受信の開始で受信RAM先頭番地から格納します。

また受信中に受信RAMのデータを読み出すことが可能です。その際はBBRXCOUNTレジスタの値を読み出すことで現在受信中のデータ番地を確認することができます。

BBTXRXMODE3レジスタのADRSFILENビットやLVLFILENビットにより取り込むフレームのフィルタ有無を設定することができます。詳細は「15.1.7 フィルタ機能」の項を参照ください。

また、BBTXRXST0レジスタのRCVBANK0、RCVBANK1ビットにより、受信RAMのデータ受け渡しの際のフラグとして利用できます。受信開始で自動的に“1”(受信データあり)にセットされます。プログラムで受信データを読み出し完了後、“0”(受信許可)にクリアします。“1”(受信データあり)にセットされたままの状態、再度フレーム受信を開始すると受信オーバラン割り込みが発生します。

なお、最後に受信完了したフレームがバンク0かバンク1かはBBTXRXST0レジスタのRCVBANKSTビットにより確認できます。

15.1.6 送信フレーム生成機能

送信フレームを自動的に生成し出力します。

図15.3に送信フレーム構成を示します。

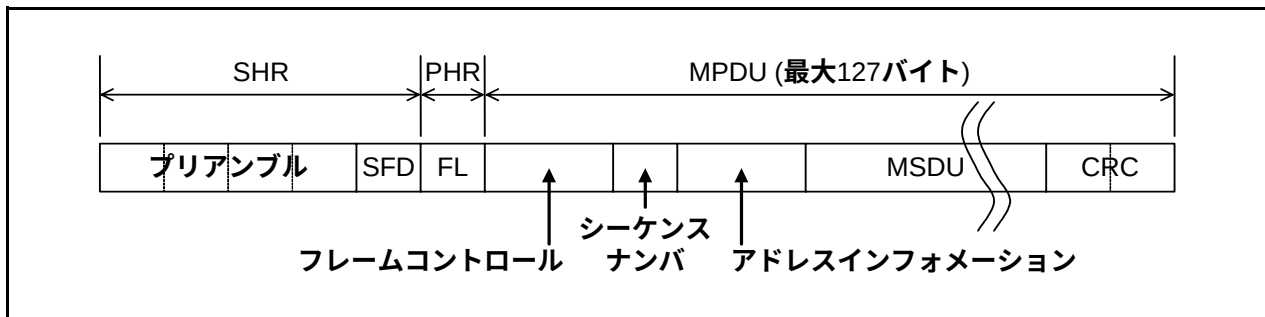


図15.3 送信フレーム構成

SHR：Synchronization Header

PHR：PHY Header

MPDU：MAC Protocol Data Unit

SFD：Start of frame Delimiter

FL：Frame Length

MSDU：MAC Service Data Unit

CRC：Cyclic Redundancy Check

- (1) プリアンブル：4バイト(8シンボル)、“00000000h”
- (2) SFD：1バイト(2シンボル)、“A7h”
- (3) FL：1バイト(2シンボル)、MPDUの長さ、BBTXFLENレジスタに書かれた値
- (4) MPDU：最大127バイトのデータ。送信RAMに書かれたデータを順次出力します。
 なお、最後の2バイトはBBTXRXMODE2レジスタのNOCRCビットが“0”(自動CRC有効)の場合、CRC演算回路にて生成されたCRCデータが自動的に付加されます。
 - フレームコントロール：2バイト(4シンボル)
 - フレームタイプ(ビット2～0)
 - 000b：ビーコンフレーム、001b：データフレーム、010b：ACKフレーム、011b：MACコマンドフレーム、100b-111b：予約
 - セキュリティ有無(ビット3)、送信ペンディングビット(ビット4)
 - ACK要求(ビット5)、PAN内送信(ビット6)
 - 送信元アドレスモード(ビット10、11)、送信先アドレスモード(ビット14、15)
 - シーケンス番号：1バイト(2シンボル)
 - アドレスインフォメーション：送信先、送信元のPANIDとアドレス
 - MSDU (MACペイロード)：フレームペイロード
 - CRC：フレームCRC検査列

15.1.7 フィルタ機能

15.1.7.1 アドレスフィルタ

BBTXRXMODE3 レジスタの ADRSFILEN ビットにより取り込むフレームのアドレスフィルタ有無を設定することができます。

アドレスフィルタを有効にした状態では下記に示すアドレスフィルタ条件以外のフレームは受信 RAM に格納しません。また、バンク 0、1 受信完了割り込み要求も発生しません。

アドレスフィルタを無効にした状態では全ての受信フレームを取り込みます。また、全てのフレーム受信完了時にバンク 0、1 受信完了割り込み要求を発生します。

15.1.7.2 アドレスフィルタ条件

送信先 PAN 識別子がフレームに含まれている場合、BBPANID レジスタまたは FFFFh と一致。

送信先ショートアドレスがフレームに含まれている場合、BBSHORTAD レジスタまたは FFFFh と一致。また、送信先拡張アドレスがフレームに含まれている場合、BBENXTENDAD0～BBENXTENDAD3 レジスタと一致。

フレームタイプがビーコンフレームで、BBPANID レジスタが FFFFh でない場合、送信元 PAN 識別子が BBPANID レジスタと一致。BBPANID レジスタが FFFFh の場合は、すべての受信フレームを取り込みます。

フレームタイプがデータフレームまたは MAC コマンドフレームで、送信元アドレッシングフィールドだけを含んでいる場合、BBTXRXMODE3 レジスタの PANCORD ビットが“1”(PAN コーディネータである)で送信元 PAN 識別子が BBPANID レジスタと一致。

また、送信元、送信先ともにアドレッシングフィールド、PAN 識別子フィールドがないときは ACK フレームのみ受信できます(ACK フレームであるにはフレームタイプ=ACK、暗号化ビット=0、受信フレームレングス=05h)。ただしアドレスフィルタ有効時は、ACK 要求付きフレーム送信後、54 シンボル期間のみ ACK フレームを受信できます。この期間以外の ACK フレーム受信時は、データを破棄し、再度受信待ちになります。

15.1.7.3 受信レベルフィルタ

BBTXRXMODE3 レジスタの LVLFILEN ビットにより取り込むフレームのフィルタ有無を設定することができます。

受信レベルフィルタを有効にした状態では、BBLVLVTH レジスタに設定した受信レベル以上のフレームのみ受信できます。

受信レベルスレッシュホールド設定レジスタまたは CCA レベルスレッシュホールド設定レジスタに設定された値は、RSSI/CCA 結果レジスタへ格納される (RSSI オフセットレジスタに設定したオフセット値が加算された) 値と比較されます。

15.1.8 割り込み

ベースバンドブロックからの割り込み信号を表15.1に示します。

表15.1 ベースバンド割り込み一覧

割り込み番号	割り込み名	割り込み発生条件
8	タイマコンペア0	タイマ値とタイマコンペア0の値が一致したとき割り込み要求発生
9	タイマコンペア1	タイマ値とタイマコンペア1の値が一致したとき割り込み要求発生
31	タイマコンペア2	タイマ値とタイマコンペア2の値が一致したとき割り込み要求発生
43	送信完了	フレーム送信が完了した時点で割り込み要求発生 ただし、自動ACK受信モード有効時、送信フレームにACK要求があれば送信完了時に割り込み要求は発生せず、ACK受信完了時またはACK受信タイムアウト時、割り込み要求が発生
44(注1)	バンク0受信完了	バンク0のフレーム受信が完了した時点で割り込み要求発生 ただし、自動ACK返信モード有効時、受信フレームにACK要求があれば受信完了時に割り込み要求は発生せず、ACK返信が完了した時点で割り込み要求が発生
45(注2)	バンク1受信完了	バンク1のフレーム受信が完了した時点で割り込み要求発生 ただし、自動ACK返信モード有効時、受信フレームにACK要求があれば受信完了時に割り込み要求は発生せず、ACK返信が完了した時点で割り込み要求が発生
46	アドレスフィルタ	アドレス一致を認識した時点で割り込み要求発生
47	CCA完了	CCAシーケンスが完了したとき割り込み要求発生、またはCSMA-CAシーケンスが完了したとき割り込み要求発生
48	PLLロック検出	PLLのロック/アンロック検出時に割り込み要求発生 BBTXRXMODE4レジスタのPLLINTSELビットにてロック/アンロックの切り替え可能
49	送信オーバーラン	送信を開始し、内部送信カウンタの値が書き込みアドレス以上になると送信オーバーラン割り込みを発生
50	受信オーバーラン0	BBTXRXST0レジスタのRCVBANK0ビットが“1”(受信データあり)にセットされたままの状態、再度バンク0にデータ受信を開始すると受信オーバーラン0割り込みを発生
51	受信オーバーラン1	BBTXRXST0レジスタのRCVBANK1ビットが“1”(受信データあり)にセットされたままの状態、再度バンク1にデータ受信を開始すると受信オーバーラン1割り込みを発生
44(注1)	IDLE	IDLE立ち上がり時間経過後に割り込み要求発生
45(注2)	クロックレギュレータ	クロックレギュレータの立ち上がり時間経過後に割り込み要求発生

注1. BBTXRXMODE4レジスタのBANK0INTSELビットで切り替え。

注2. BBTXRXMODE4レジスタのBANK1INTSELビットで切り替え。

15.1.9 CRC演算回路

CRC演算回路は送信フレームおよび受信フレームに対して自動的に演算を実施します。

CRCコードの生成には $X^{16} + X^{12} + X^5 + 1$ の生成多項式を使用します。

ペイロードデータの先頭から8ビット単位でデータ入力し、16ビットのコードが生成されます。

送信時は、送信RAMの先頭番地からCRC演算を開始し、(BBTXFLENレジスタ値-2)番地まで演算した結果を、自動的に送信フレームの最後の2バイトに付加して送信します。

また、BBTXRXMODE2レジスタのNOCRCビットを“1”(自動CRC無効)にすることでCRC演算結果ではなく送信RAM上のデータをCRCデータとして送信することができます。

受信時は、受信RAMの先頭番地からCRC演算を開始し、(BBRXFLENレジスタ値-2)番地まで演算した結果と、受信したフレームの最後の2バイトのCRCデータと比較した結果を、BBTXRXST0レジスタのCRCビットに格納します。なお受信RAMには受信フレームのCRCデータが格納されます。

15.1.10 自動ACK返信機能

BBTXRXMODE0 レジスタの AUTOACKEN ビットにて、フレーム受信完了後、自動的に ACK を返信することができます。

自動 ACK 返信する条件は、受信したフレームコントロールビット等によりハードウェアで自動的に判断します。

- CRC 結果 受信フレームと CRC 演算結果が一致
- アドレスフィルタ有効
- フレームコントロールビット b2-b0
 - フレームタイプ 001b or 011b (データフレーム or MAC コマンドフレーム)
- フレームコントロールビット b5
 - ACK 要求 1: 有り
- フレームコントロールビット b6、b11、b10、b15、b14 (表 15.2 参照)

表 15.2 自動ACK返信条件

フレームコントロール					PAN コーディネータ ビット (BBTXRXMODE3 レジスタの PANCORD ビット)	PANID (BBPANID)	ショートアドレス (BBSHORTAD)	拡張アドレス (BBEXTENDAD3-0)
b6	b11	b10	b15	b14				
0	1	0	—	—	—	送信先 PANID との 一致	送信先アドレスと の一致	×
0	1	1	—	—	—	送信先 PANID との 一致	×	送信先アドレスと の一致
1	1	0	—	—	—	送信先 PANID との 一致	送信先アドレスと の一致	×
1	1	1	—	—	—	送信先 PANID との 一致	×	送信先アドレスと の一致
0	0	0	1	0	1	送信先 PANID との 一致	×	×
0	0	0	1	1	1	送信先 PANID との 一致	×	×

また返信される ACK フレームを図に示します。

- FL (フレームレングス): 設定値に関係なく “05h” となります
- シーケンスナンバ: 受信したシーケンスナンバをそのまま送信します

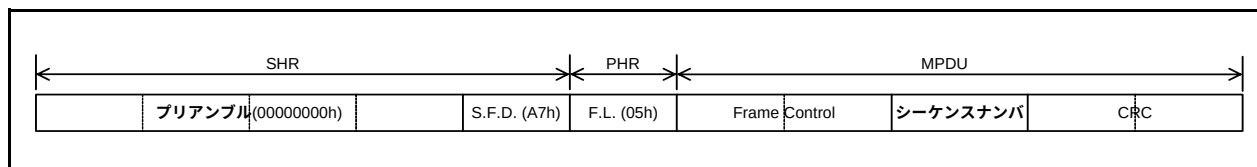


図 15.4 ACK フレーム

ACK返信するタイミングはノンビーコンモード、ビーコンモードで違います。

ノンビーコンとビーコンモードは、BBTXRXMODE0レジスタのBEACONビットで設定します。

ノンビーコンモードの場合、フレーム受信完了後、192 μ s後にACKフレームを送信します。

ビーコンモードの場合、フレーム受信開始後、バックオフピリオド320 μ sの間隔チェックを開始し、受信完了タイミングがバックオフピリオド区切りまで192 μ s以上あればバックオフピリオド区切りになった後、ACKフレームを送信します(ケース1)。受信完了タイミングがバックオフピリオド区切りまで192 μ s以内であれば、バックオフピリオド区切りになっても送信開始せず、次のバックオフピリオド区切りまで待って送信を開始します(ケース2)。

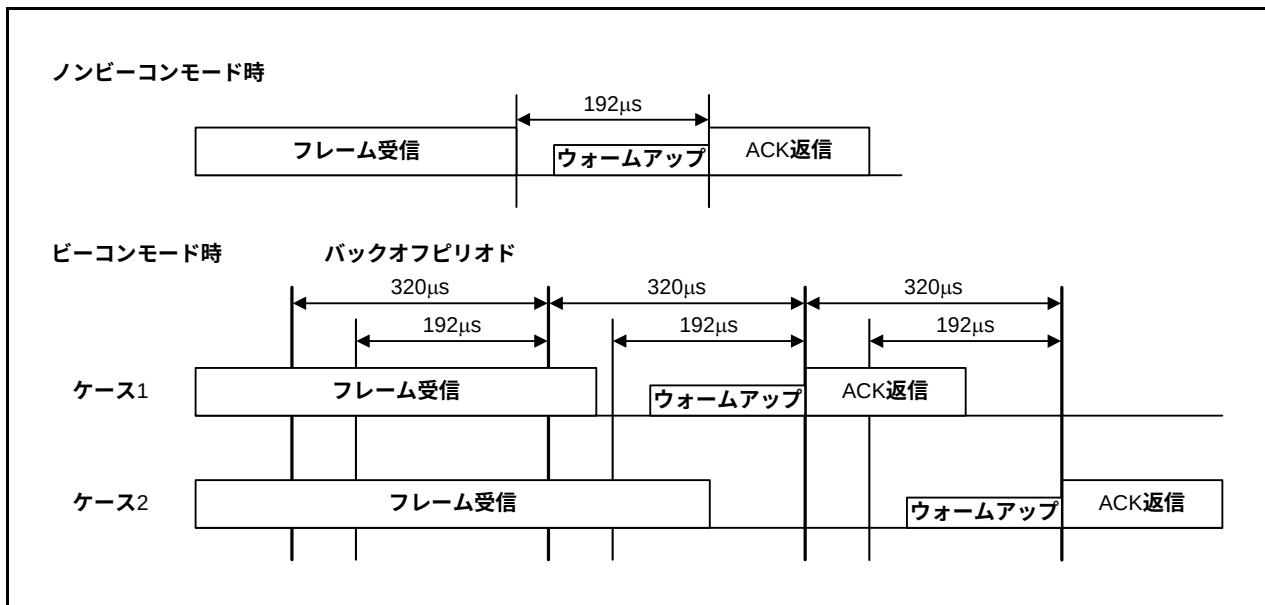


図15.5 ACK返信タイミング

- 注1. 自動ACK返信処理実行中にBBTXRXMODE0レジスタのAUTOACKENビットを“0”(自動ACK無効)に設定しても実行中の返信処理はキャンセルされません。
- 注2. フレーム送信(自動ACK受信を含む)を行う場合、フレーム送信が完了するまでは、本機能(自動ACK返信機能)は無効にしてください。
- 注3. ACK返信完了時は、送信完了割り込みが発生します。

15.1.11 自動ACK受信機能

BBTXRXMODE1レジスタのACKRCVENビットにて、フレーム送信完了後、自動的にACK受信処理ができます。ACK以外のフレームは受信しません。

自動ACK受信を行う条件は

- ACK要求ありで送信
- 受信フレームはACKフレーム
- 送信したフレームのシーケンスナンバと受信したフレームのシーケンスナンバが一致
- CRC一致
- 送信完了後54シンボル期間以内

となります。以上の条件がすべてそろえばACK受信完了時点で送信完了割り込み要求を発生します。また、アドレスフィルタ有効/無効にかかわらず、受信RAM、BBRXFLENレジスタおよびBBTXRXST0レジスタのCRCビットは更新しません。

また送信完了後、54シンボル期間以内でACK受信を確認できない場合、再度CSMA-CA動作から再送処理を行うことができます。

再送処理後もACK受信を待ち、同様の動作を行います。

再送処理はBBTXRXMODE1レジスタのRETRNビットに設定された回数繰り返します(デフォルト3回)。再送処理が必要ない場合は、BBTXRXMODE1レジスタのRETRNビットに“000b”を設定してください。

なお、再送処理を行う場合は、必ずBBCSMACON0レジスタのCSMATRNSTビットを“1”(CSMA-CA後送信処理)に設定して、かつBBCSMACON0レジスタのCSMASTビットを“1”(自動CSMA-CAスタート)に設定することにより、送信動作を開始してください。

ACK受信が完了した時点、またはACK受信を確認できず再送処理を設定回数分行ってもACKを受信できなかった場合(タイムアウト)、送信完了割り込み要求を発生します。

ACKを正常に受信できたか、再送を繰り返してもACKを受信できなかったかはBBTXRXST0レジスタのTRNRCVSQCビットで確認できます。

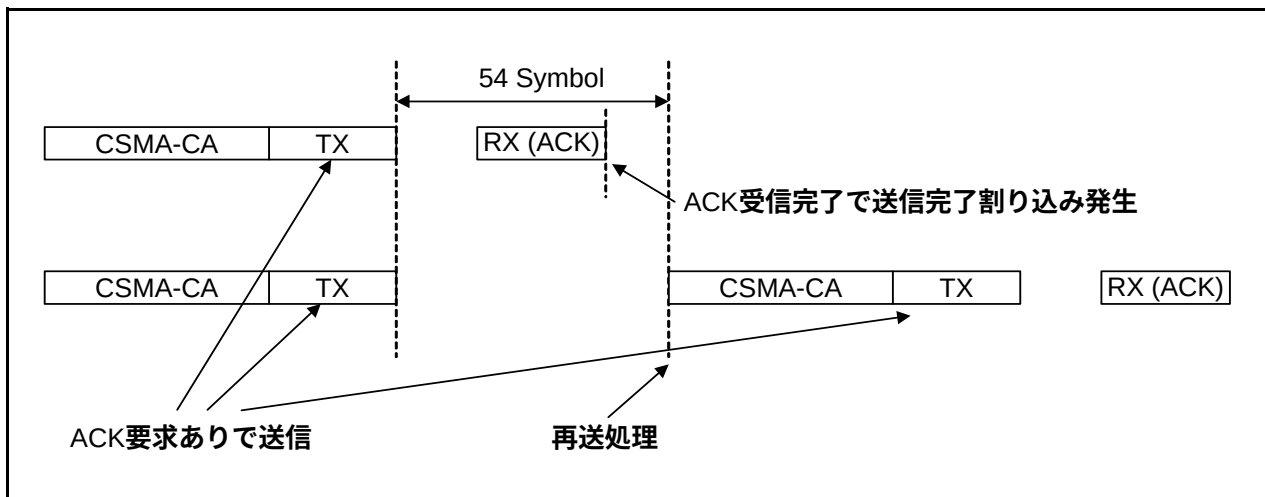


図15.6 ACK受信タイミング

15.1.12 自動受信切り替え機能

15.1.12.1 送信から受信

BBTXRXMODE0レジスタのAUTORCV0ビットを“1”(自動受信切り替え許可)に設定することで、フレーム送信完了後、自動的に受信状態にすることができます。

送信完了後184 μ s後に、受信可能状態になります。

ただしCSMA-CA送信でCSMA-CAビジー状態、またはACK要求付き送信でACK受信できなかった場合は受信状態にはならずIDLE状態になります。

15.1.12.2 受信から受信

BBTXRXMODE0レジスタのAUTORCV1ビットを“1”(自動受信切り替え許可)に設定することで、フレーム受信完了後、自動的に受信状態にすることができます。

受信完了後184 μ s後に、受信状態になります。

ただし、BBTXRXMODE0レジスタのAUTOACKENビットを“1”(自動ACK許可)に設定された状態でACK返信の条件がそろっている場合はACK返信が優先されます。

注1. 自動受信切り替えモード有効にて受信に切り替わった後、BBTXRXMODE0レジスタのAUTORCV0、AUTORCV1を“0”(自動受信切り替え無効)に設定しても、受信動作が完了(フレーム受信完了)するまで受信状態のままです。

15.1.13 ANTSW出力切り替え機能

外部パワーアンプなどの制御が可能なように、ANTSWCONT端子から送信時“H”出力となる信号のタイミング調整ができます。

タイミングはBBANTSWTIMGレジスタにより設定することができます。

15.1.14 自動CSMA-CA機能

BBCSMACON0レジスタのCSMASTビットを“1”(自動CSMA-CAスタート)に設定することで自動的にCSMA-CAフローチャートを実行できます。

BBCCAVTHレジスタにCCAのスレッシュホールドレベルを設定します。

BBCSMACON1レジスタ、BBCSMACON2レジスタにより各変数の設定ができます。

CSMA-CA動作の完了と同時にBBTXRXST0レジスタのCSMACAビットに結果を格納し、CSMA-CA割り込みを発生させることができます。

また、BBCSMACON0レジスタのCSMATRNSTビットを“1”(CSMA-CA後送信処理)に設定しておくことで、CSMA-CA判定結果がOKであれば、自動的に送信処理まで行うことができます。

なお、自動CSMA-CAスタートを実行する前には必ずIDLE状態に設定後、BBIDLEWAITレジスタに設定した待ち時間以上経過した後に実行してください。

BBCSMACON1レジスタのBEMINビットを000bに設定した状態でBBCSMACON0レジスタのCSMASTビットを“1”(自動CSMA-CAスタート)に設定した場合は、CSMA-CA動作をせずに送信から開始します。また自動ACK受信機能を有効にしている場合、送信完了後54シンボル期間以内にACK受信を確認できないときは、BBBBTXRXMODE1レジスタのRETRNビットに設定された回数分、送信動作から再送処理を行います。なお、BBTXRXMODE1レジスタのRETRNビットが000bに設定されている場合は再送処理は行いません。

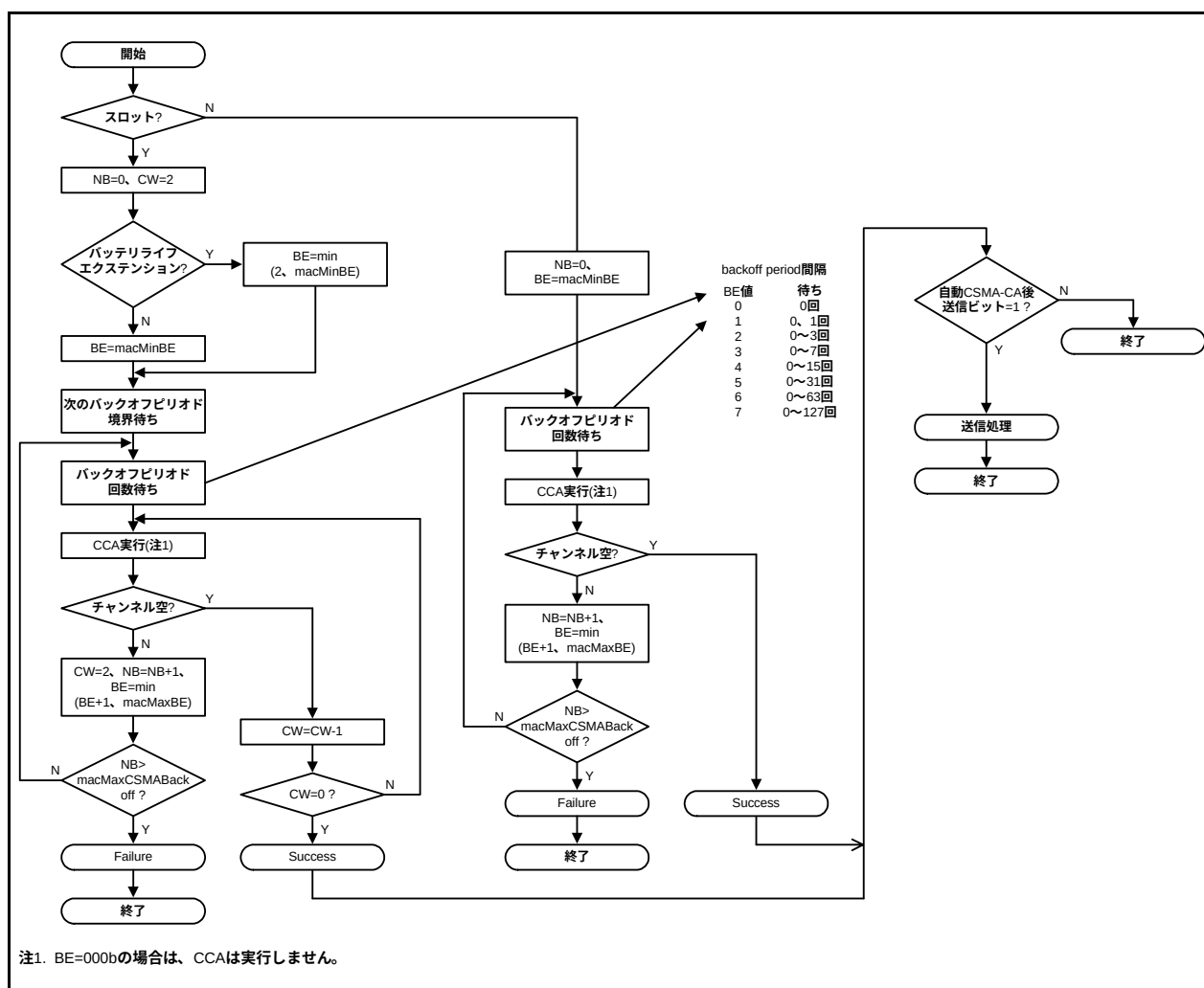


図 15.7 CSMA-CA フローチャート

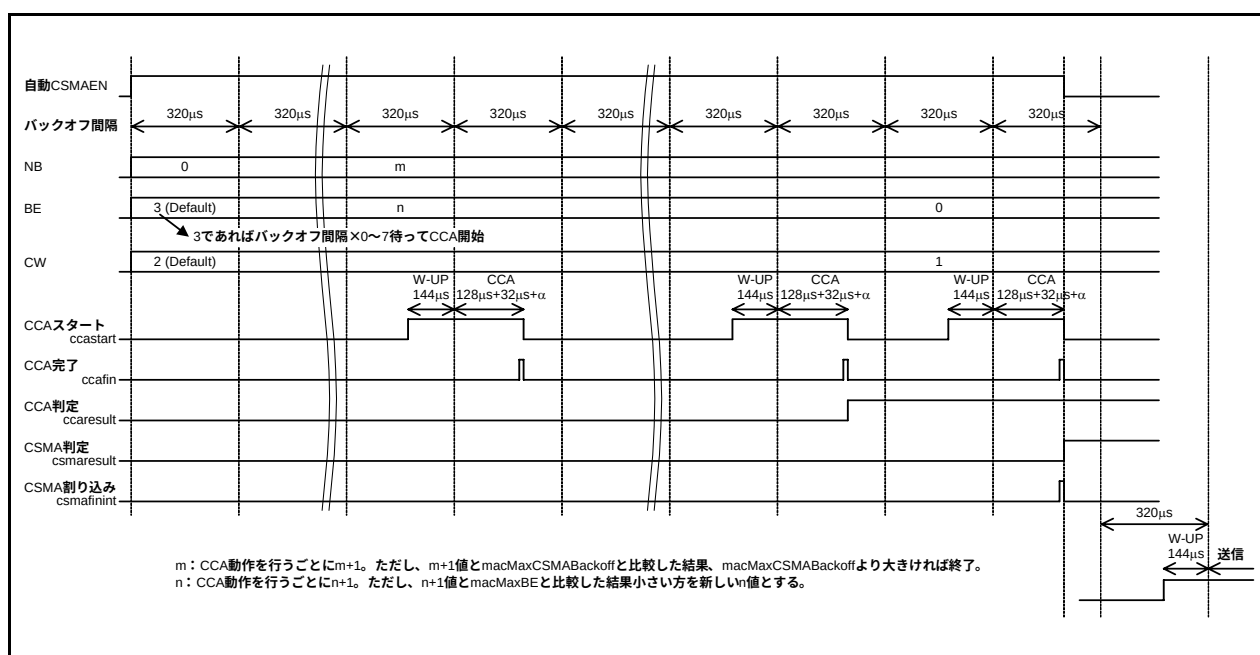


図 15.8 CSMA-CA タイミングチャート(ビーコンモード例)

15.1.15 状態遷移

図15.9に状態遷移図を示します。

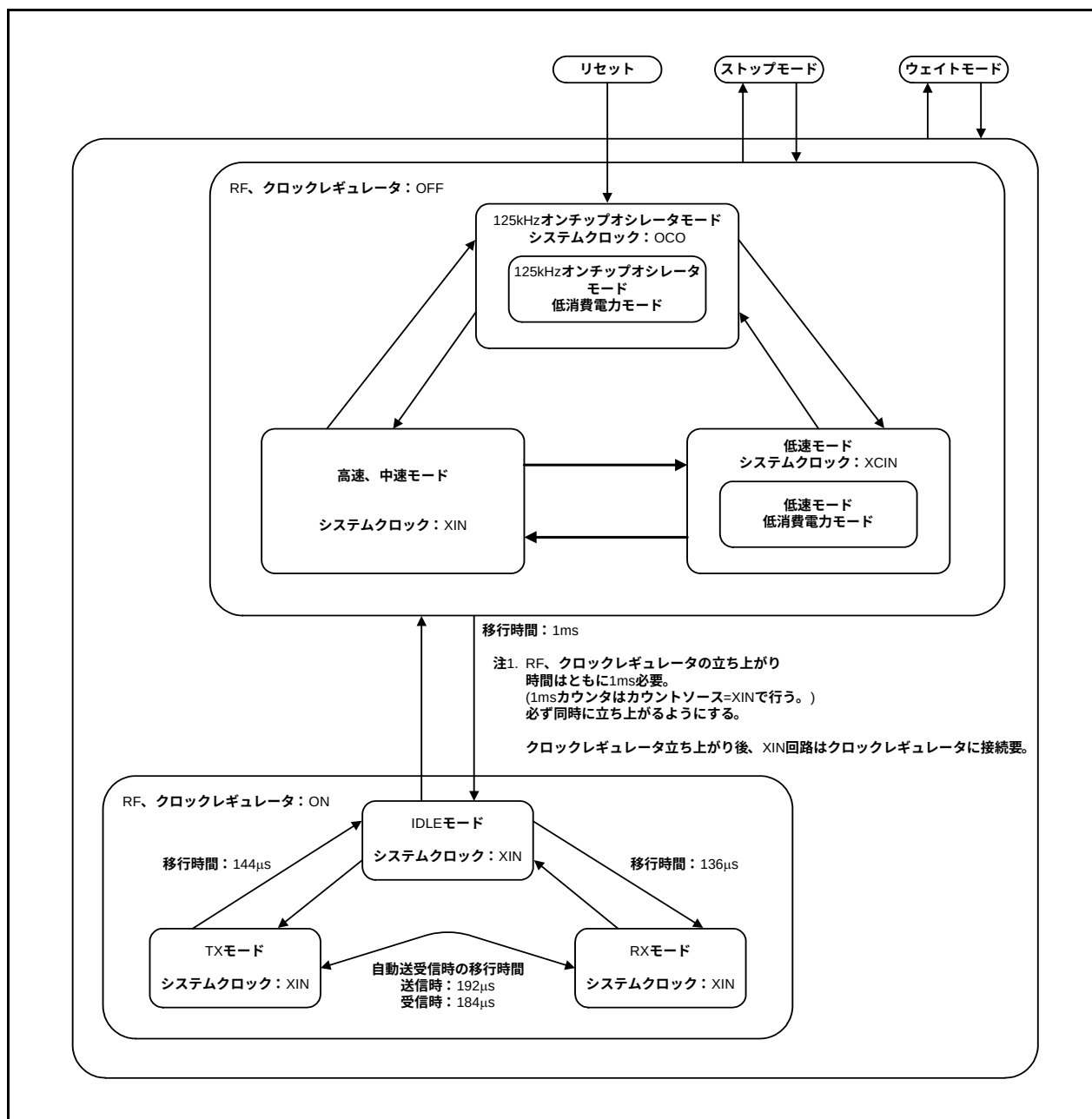


図15.9 状態遷移図

15.2 ベースバンド関連レジスタ

ベースバンド関連レジスタを以下に示します。

15.2.1 ベースバンド制御レジスタ

ベースバンド機能の有効/無効を制御します。

BBENビットを“1”にセットすることでベースバンド機能が有効になります。

ベースバンド関連レジスタへのアクセスはこのビットが“1”のときに行ってください。

このビットを“0”にすることで通信中の処理は初期化されますが、各レジスタの設定値は保持されます。また、自動ACK返信、自動受信切り替え機能などの処理もキャンセルされます。

なお、このビットを“0”にする際には必ずBBRFCONレジスタのRFPWRONビットを“0”(RFパワー OFF)にしてから行ってください。

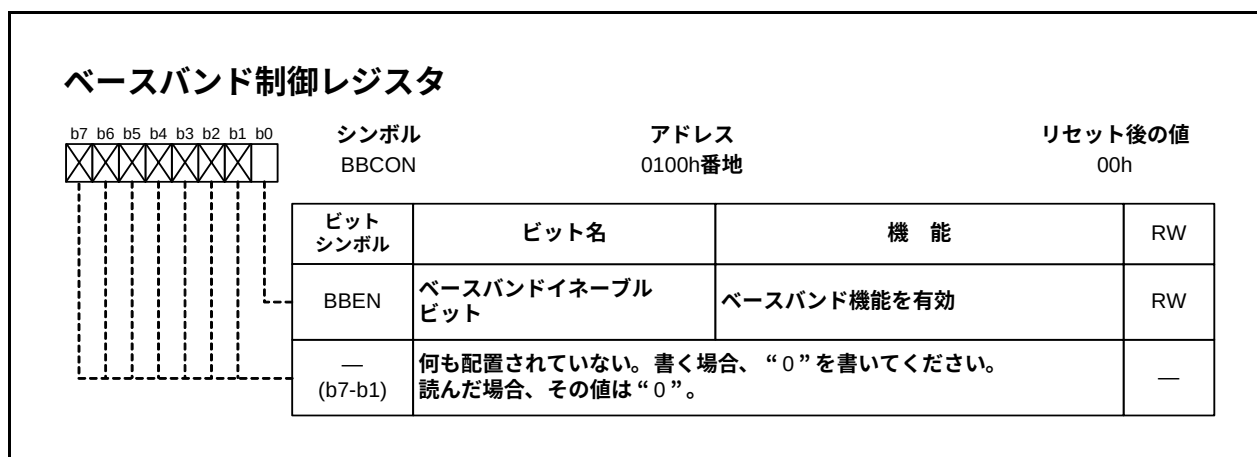


図 15.10 ベースバンド制御レジスタの構成

15.2.2 送受信リセットレジスタ

RFSTOP ビットを“1”にすることで送信、受信、CCA 中、およびキャリブレーション中の処理をキャンセルさせることができます(キャンセル後はIDLE 状態)。

また、自動ACK 返信、自動受信切り替えモード機能などの処理もキャンセルされます。

なお、本ビットは自動的に“0”にクリアされます。ただし、各レジスタの設定値は保持されます。

RFRESET ビットを“1”にすることでベースバンド関連レジスタをすべて初期化します。

また、制御信号もすべて初期化されますので、RFSTOP ビットと同様に通信もキャンセルされます。

なお、本ビットは自動的に“0”にクリアされます。

また、本ビットはベースバンド制御レジスタのBBEN ビットの値に関係なく設定できます。

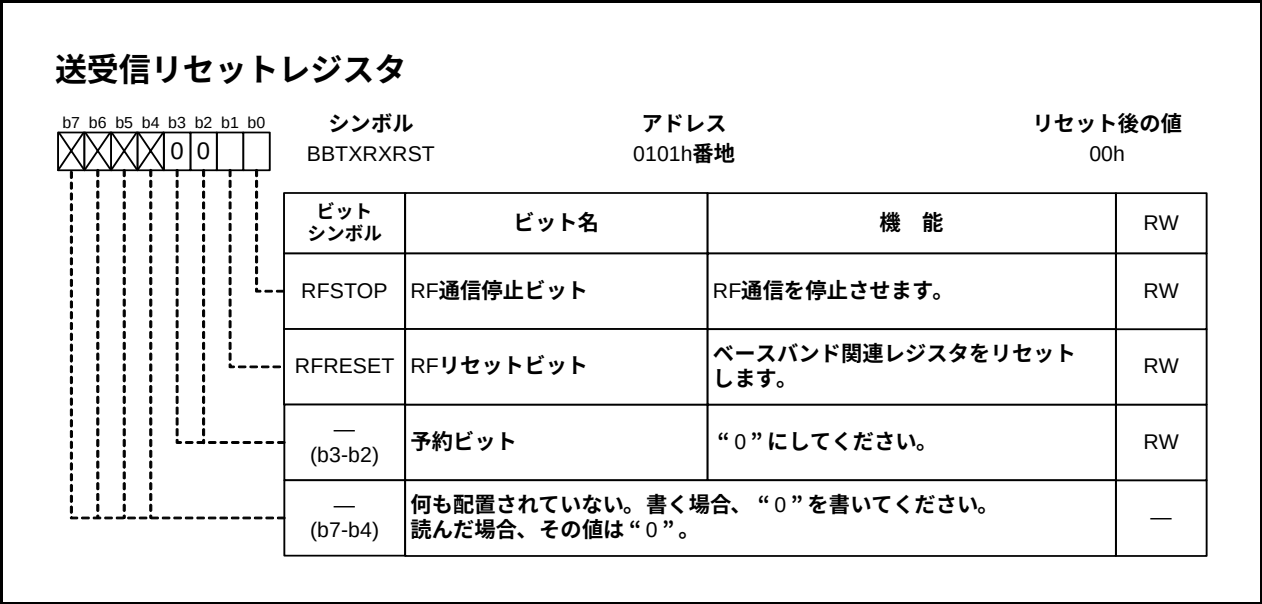


図 15.11 送受信リセットレジスタの構成

15.2.3 送受信モードレジスタ0

CCAおよびEDを実行する際はCCACONDビットを“1”に設定してください。

AUTOACKENビットにより、受信完了後に自動ACK返信動作を行うか選択できます。

AUTORCV0ビットにより、送信完了後、自動的に受信状態に移行するように設定できます。

AUTORCV1ビットにより、受信完了後、自動的に受信状態に移行するように設定できます。ただし、AUTOACKENビットを“1”(自動ACK許可)にしている場合で、ACK返信の条件がそろっているときACK返信が優先されます。

BATLIFEEXTビットにより図15.7のCSMA-CA処理の際の分岐条件に、バッテリライフエクステンションモードを有効に設定できます。

BEACONビットにより、ACKフレーム返信やCSMA-CAのタイミング動作モードを指定できます。

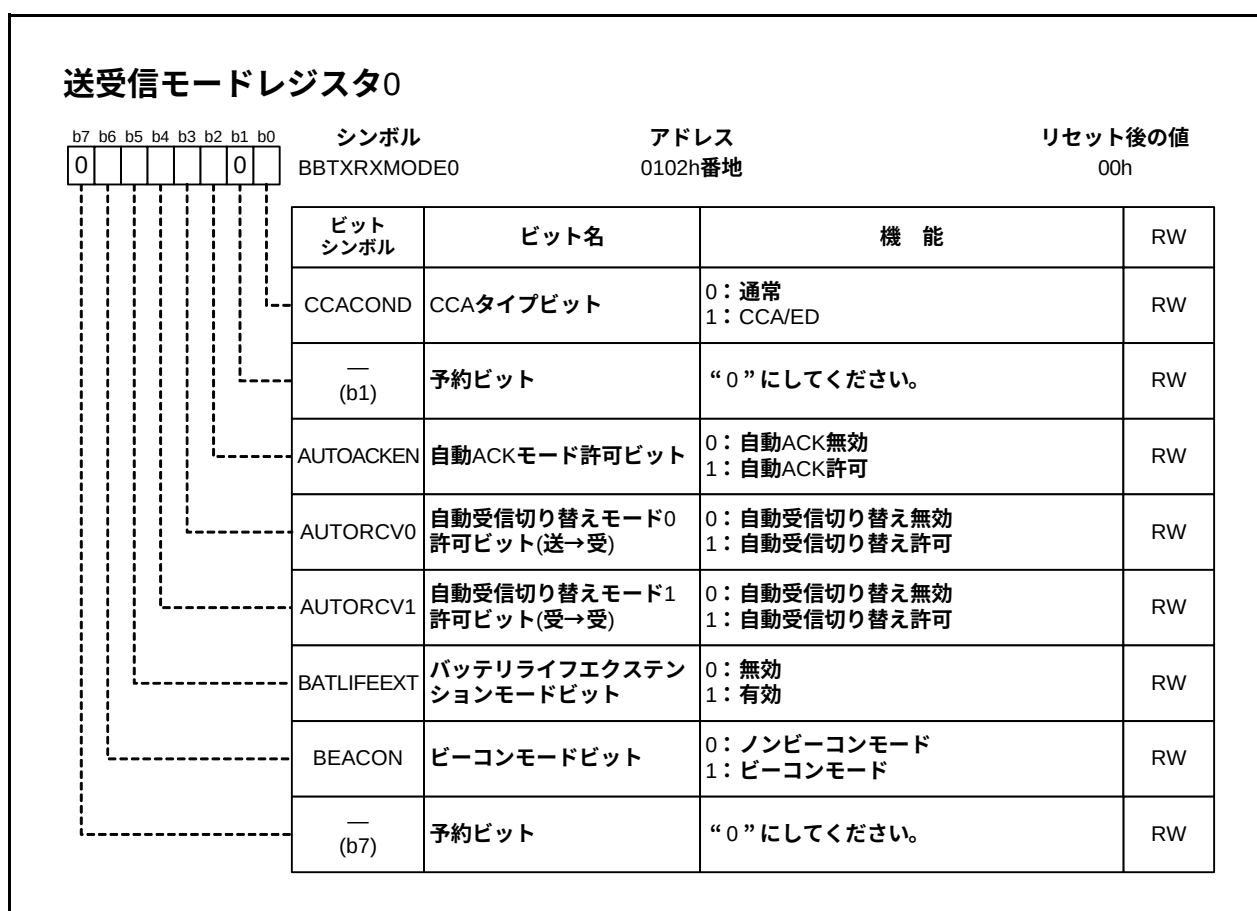


図15.12 送受信モードレジスタ0の構成

15.2.4 送受信モードレジスタ1

ACKRCVENビットにより自動ACK受信動作を行うか選択できます。

RETRNビットにより自動ACK受信モードを有効にしたときのACK返信がない場合の再送処理回数を設定できます。

CCASELビットにより、RSSI/CCA結果レジスタを読み出す際に、CCA/ED値かRSSI値かを選択できます。

ANTSWENビットにより、ANTSW出力機能を有効にできます。

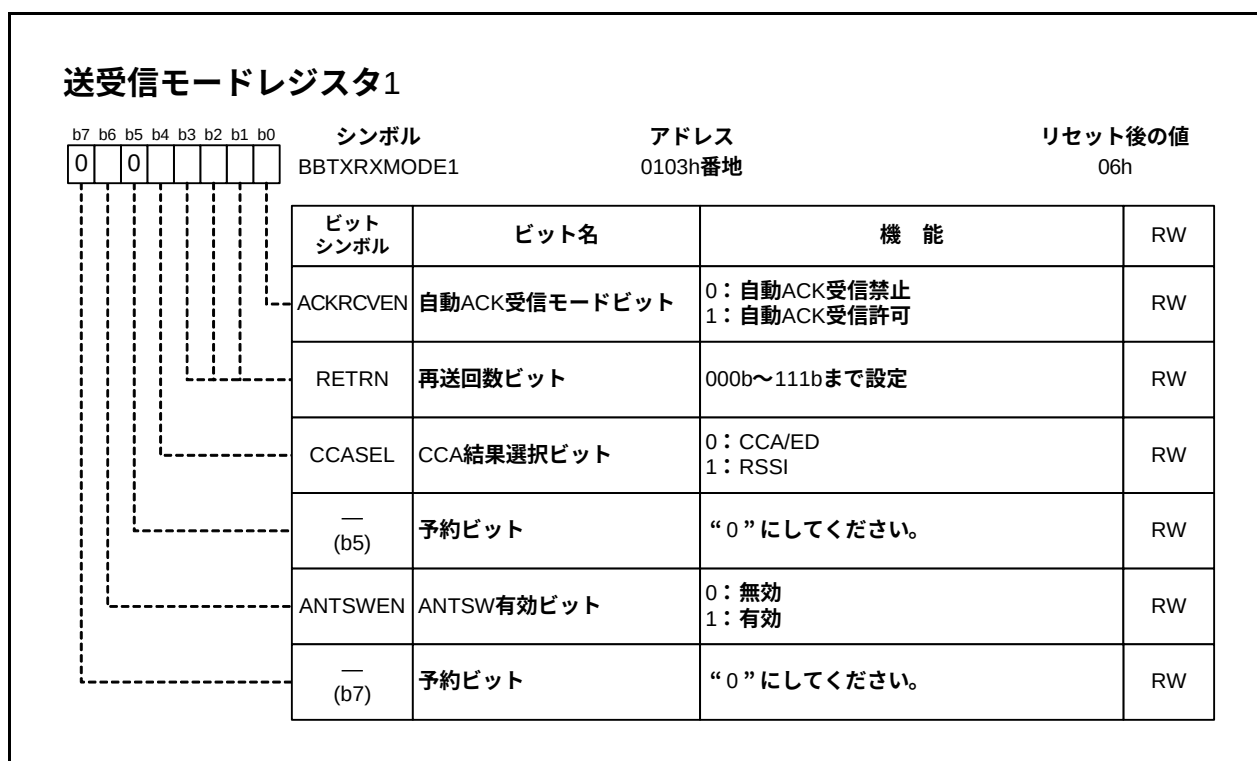


図 15.13 送受信モードレジスタ1の構成

15.2.5 受信フレームレングスレジスタ

受信時のフレームレングス値を格納します。読み出す場合、BBTXRXMODE3 レジスタの RCVBANKSEL ビットで指定された受信 RAM のバンクに対応したフレームレングス値が読み出されます。

フレーム受信を開始した時点で格納されます。値は次のフレーム受信が開始されるまで保持されます。ただし、アドレスフィルタ有効時はアドレス一致認識した時点で更新されます。

また、受信フレームレングスが04h以下の場合、フレーム受信を受付けません。この場合、受信フレームレングス値は更新されません。また、受信完了割り込み要求も発生しません。

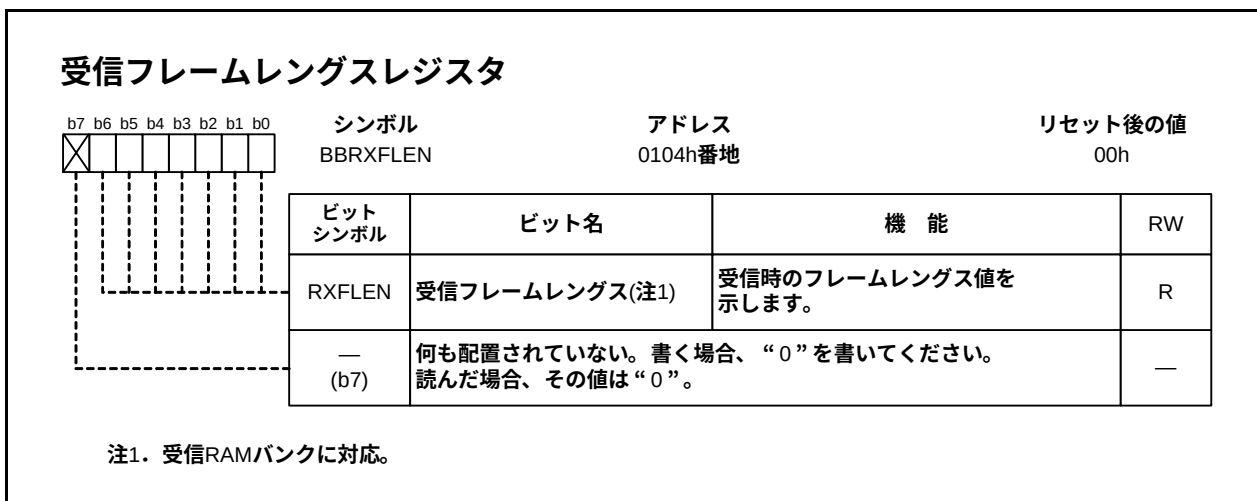


図 15.14 受信フレームレングスレジスタの構成

15.2.6 受信データカウンタレジスタ

受信時の受信データカウンタ値を示します。
現在何バイトのデータが受信されたかを確認できます。
値はフレーム受信の終了で“00h”にクリアされます。

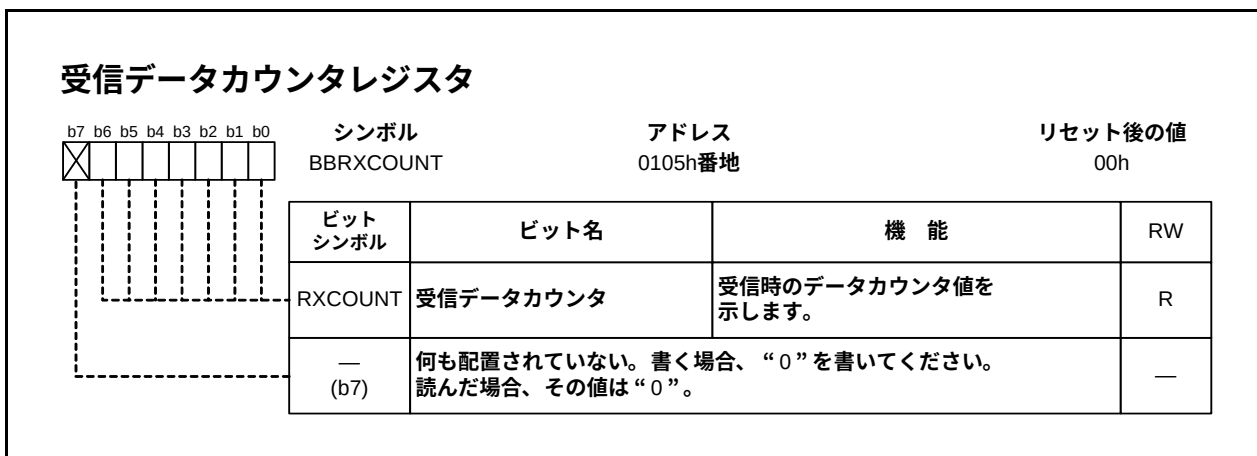


図 15.15 受信データカウンタレジスタの構成

15.2.7 RSSI/CCA結果レジスタ

CCA/EDまたはRSSIの結果データを格納します。

CCA/ED値かRSSI値の切り換えはBBTXRXMODE1レジスタのCCASELビットにより切り換えることができます。RSSI値を読み出す場合、BBTXRXMODE3レジスタのRCVBANKSELビットで指定された受信RAMのバンクに対応した結果が読み出されます。

読み出したデータは2の補数で表されます。単位はdBmです(例：“9Eh”は“－98dBm”となります)。

「15.2.31 RSSIオフセットレジスタ」の項についても参照ください。



図 15.16 RSSI/CCA結果レジスタの構成

15.2.8 送受信ステータスレジスタ0

CCAの判定結果をCCAビットに格納します。

CRCの判定結果をCRCビットに格納します。読み出す場合、BBTXRXMODE3レジスタのRCVBANKSELビットで指定された受信RAMのバンクに対応したCRC結果が読み出されます。

CSMA-CA判定結果をCSMACAビットに格納します。

TRNRCVSQCビットにより送受信動作シーケンス(CSMA-CA→送信→ACK受信→再送信→ACK受信・・・)完了時判定結果を格納します。設定回数再送信を繰り返してもACK受信できなかった場合は“1”(NG)となります。

RCVBANK0ビット、RCVBANK1ビットにより受信バンク0、1それぞれのフレームの取り込み時のフラグとして利用できます。

フレーム受信を開始した時点で自動的に“1”にセットされます。また、アドレスフィルタ有効時は、アドレスフィルタ割り込み発生と同時に“1”にセットされます。その後受信RAMデータを読み出し後、ソフトウェアで“0”にクリアします。“0”のみ書き込み可能です。これらのビットが“1”の状態再度受信があり、それぞれの受信RAMへのデータの書き込みが発生すると受信オーバラン割り込みが発生します。

RCVPENDビットには、ACKフレームを受信した場合にそのペンディングビットの値を格納します。

RCVBANKSTビットにより、最後に受信完了したフレームの受信RAMのバンクを確認できます。リセット後、初期化後は“1”を示します。

送受信ステータスレジスタ0

b7

b6

b5

b4

b3

b2

b1

b0

シンボル

BBTXRXST0

アドレス

0107h番地

リセット後の値

80h

ビットシンボル	ビット名	機 能	RW
CCA	CCA判定結果ビット	0：チャンネルクリア 1：チャンネルビジー	R
CRC	CRC判定結果ビット(注1)	0：OK 1：NG	R
CSMACA	CSMA-CA判定結果ビット	0：OK 1：NG	R
TRNRCVSQC	送受信動作完了判定結果ビット	0：OK 1：NG	R
RCVBANK0	受信バンク0ステータスビット	0：受信許可 1：受信データあり	RW
RCVBANK1	受信バンク1ステータスビット	0：受信許可 1：受信データあり	RW
RCVPEND	受信ペンディングビット	0：ペンディングなし 1：ペンディングあり	R
RCVBANKST	受信バンクポインタビット	0：バンク0 1：バンク1	R

注1. 受信RAMバンクに対応。

図15.17 送受信ステータスレジスタ0の構成

15.2.9 送信フレームレングスレジスタ

送信時のフレームレングス値を書き込みます。

フレームレングス値はペイロードデータ長およびCRC長(2バイト)の合計値を設定します。

なお、送信フレームレングス値が04h以下の状態でBBTXRXCONレジスタのTRNTRGビット、またはBBCSMACON0レジスタのCSMASTビットに“1”(送信開始、または自動CSMA-CAスタート)を設定しないでください。

ACK自動返信機能のみ送信フレームレングス値に関係なくACKフレームを送信します。

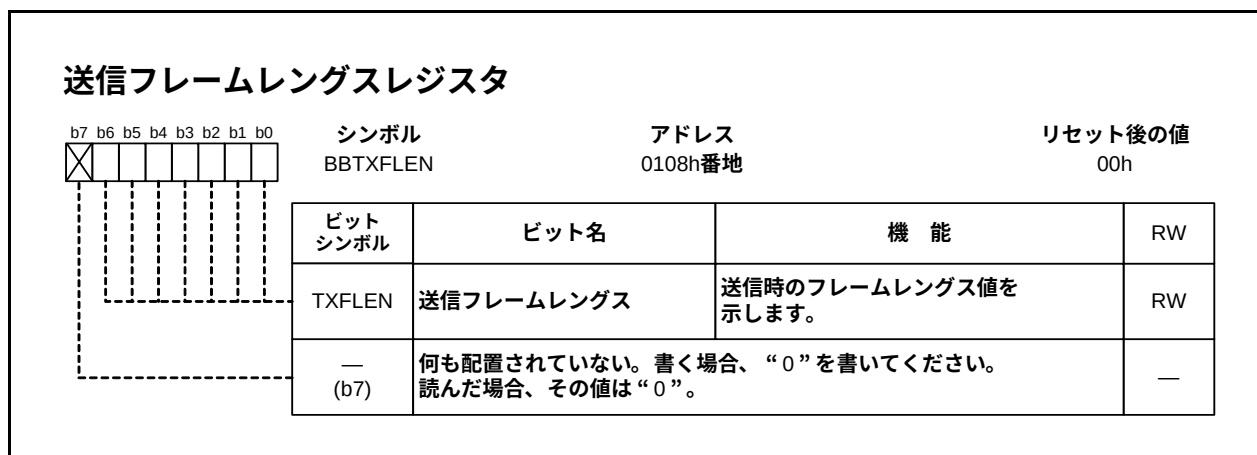


図 15.18 送信フレームレングスレジスタの構成

15.2.10 送受信モードレジスタ2

NOCRC ビットにより、送信時自動的に CRC 演算した結果をつけて送信するか、送信 RAM のデータのみを送信するかを選択できます。

FLMPEND ビットにより、ACK フレームのペンディングビットに設定する値を設定します。

このビットの情報は自動 ACK 返信フレームに自動的に組み込まれます。

FLMPENDST ビットは、自動 ACK 返信時にフレームペンディングなしで ACK フレーム返信したか、ありで ACK フレーム返信したかを表します。ACK 返信完了時点で、バンク 0/1 受信完了割り込み要求発生と同時に更新します。

このビットは受信したバンクごとに自動 ACK 返信を行った結果が反映されますので、読み出し時は BBTXRXMODE3 レジスタの RCVBANKSEL ビットにより選択されたバンクの受信 RAM データで ACK 返信したときのフレームペンディング情報が読み出されます。

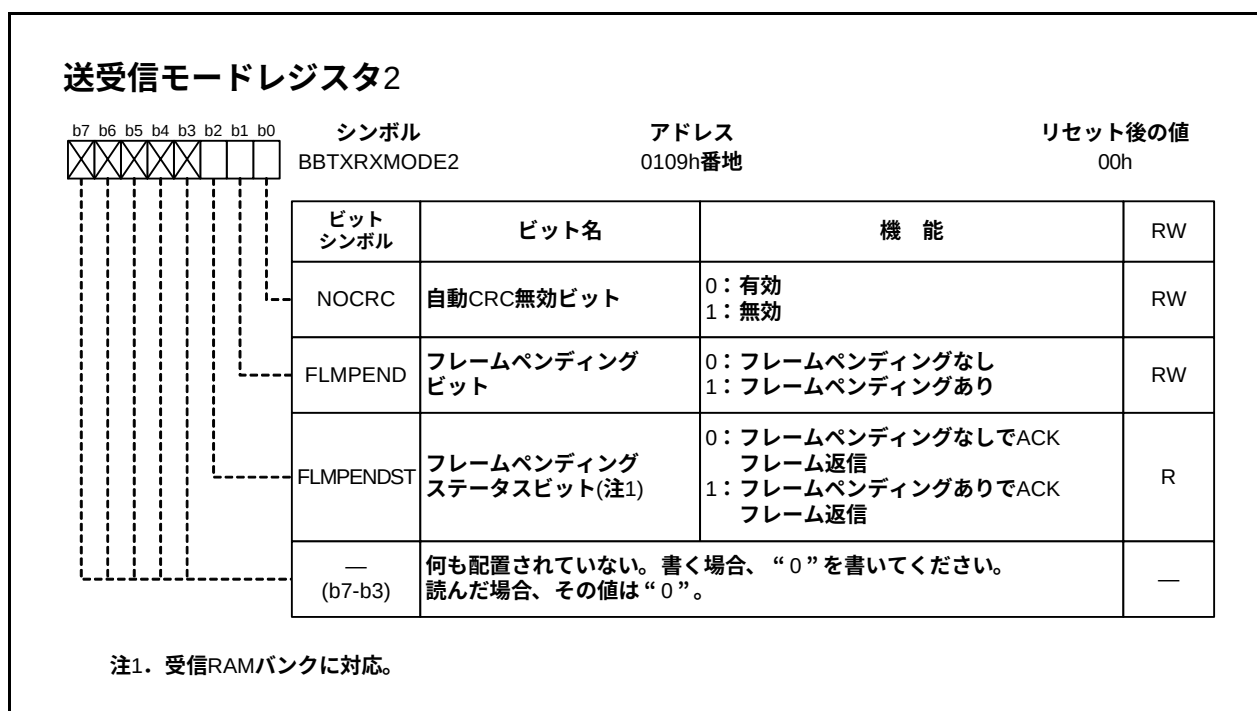


図 15.19 送受信モードレジスタ2の構成

15.2.11 送受信モードレジスタ3

ADRSFILENビットにより、受信時にアドレスフィルタを有効にすることができます。

PANCORDビットにより、アドレスフィルタの条件として、受信フレームに送信先アドレスがない場合でも受信するかどうか(PANコーディネータかどうか)を設定できます。

LVLFILEN0、LVLFILEN1ビットにより、BBLVLVTHレジスタに設定したスレッシュホールドレベル以上の入力フレームのみ受信するように設定できます。

RCVBANKSELビットにより受信RAM関連の読み出しアクセスのバンクを指定します。

RCVOVERWRENビットにより受信RAMへの上書きの制御ができます。このビットが“0”のとき、BBTXRXMODE0レジスタのRCVBANK0、RCVBANK1ビットが“1”(受信データあり)であれば、それぞれの受信RAMへの書き込みアクセスが発生したとき受信データを上書きしません。ただし、受信オーバーラン0/1割り込みは発生します。

RCVOVERWRENビットが“1”のとき、BBTXRXMODE0レジスタのRCVBANK0、RCVBANK1ビットが“1”(受信データあり)であっても、それぞれの受信RAMへの書き込みアクセスが発生したとき受信データを上書きします。ただし、受信オーバーラン0/1割り込みは発生します。

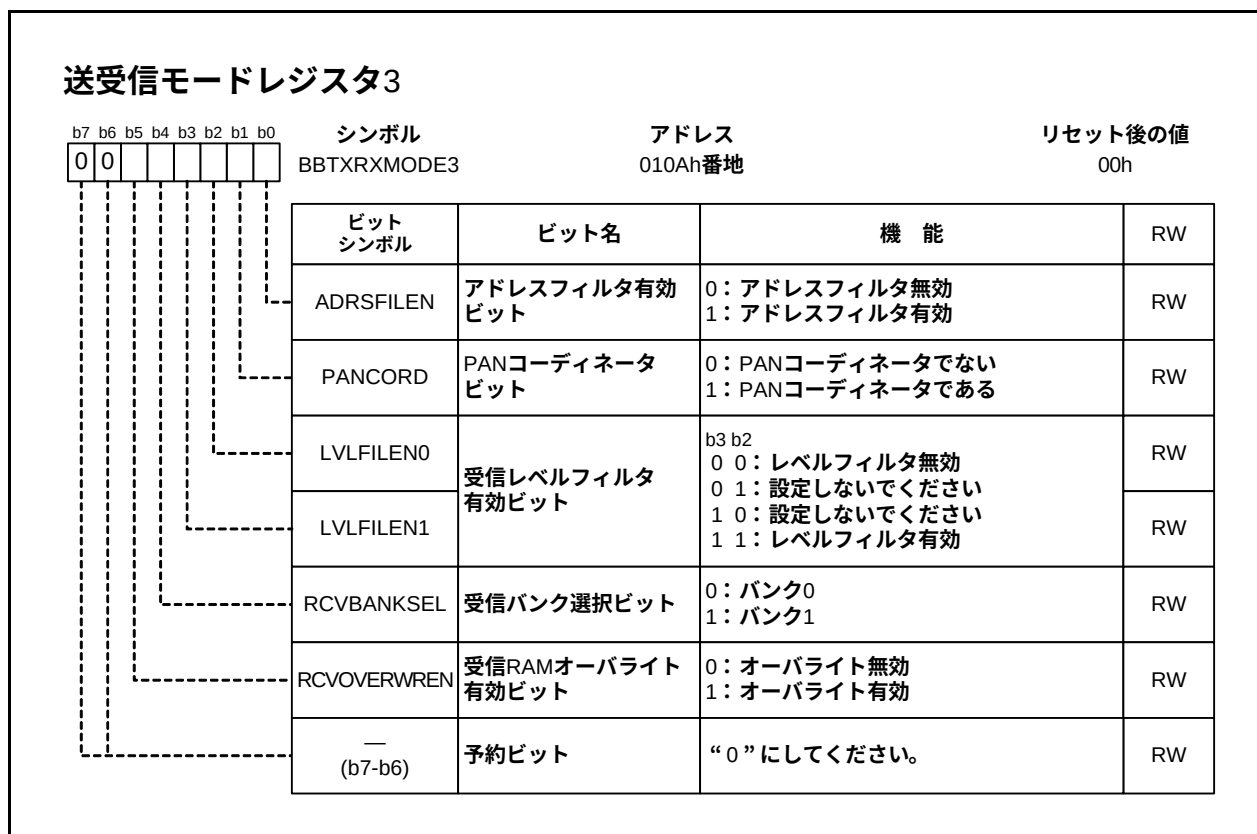


図 15.20 送受信モードレジスタ3の構成

15.2.12 受信レベルスレッシュホールド設定レジスタ

受信レベルフィルタ機能のスレッシュホールド値を設定します。値は2の補数で単位はdBmにて設定してください(例:“9Eh”は“−98dBm”となります)。

受信レベルスレッシュホールド設定レジスタに設定された値は、RSSI/CCA結果レジスタへ格納される(RSSIオフセットレジスタに設定したオフセット値が加算された)値と比較されます。

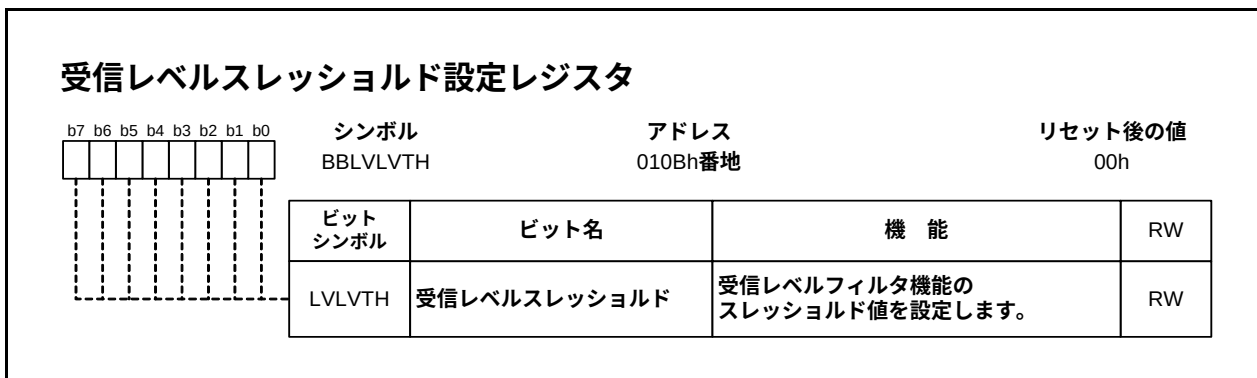


図15.21 受信レベルスレッシュホールド設定レジスタの構成

15.2.13 送受信制御レジスタ

RCVTRGビットを“1”に設定することでRF部のウォームアップを開始し、138μs後に受信可能状態になります。

TRNTRGビットを“1”に設定することでRF部のウォームアップを開始し、144μs後に送信開始します。

CCATRGビットを“1”に設定することでRF部のウォームアップを開始し、138μs後にCCA動作を開始します。

なお、これらのビットは必ずIDLE状態で設定してください。同時に2つ以上のビットを“1”に設定しないでください。

また、送受信完了またはCCA完了で自動的にこれらのビットは“0”にクリアされます。

送受信、CCAを途中でキャンセルしたい場合は、BBTXRXCONレジスタのRFSTOPビットによりキャンセルしてください。

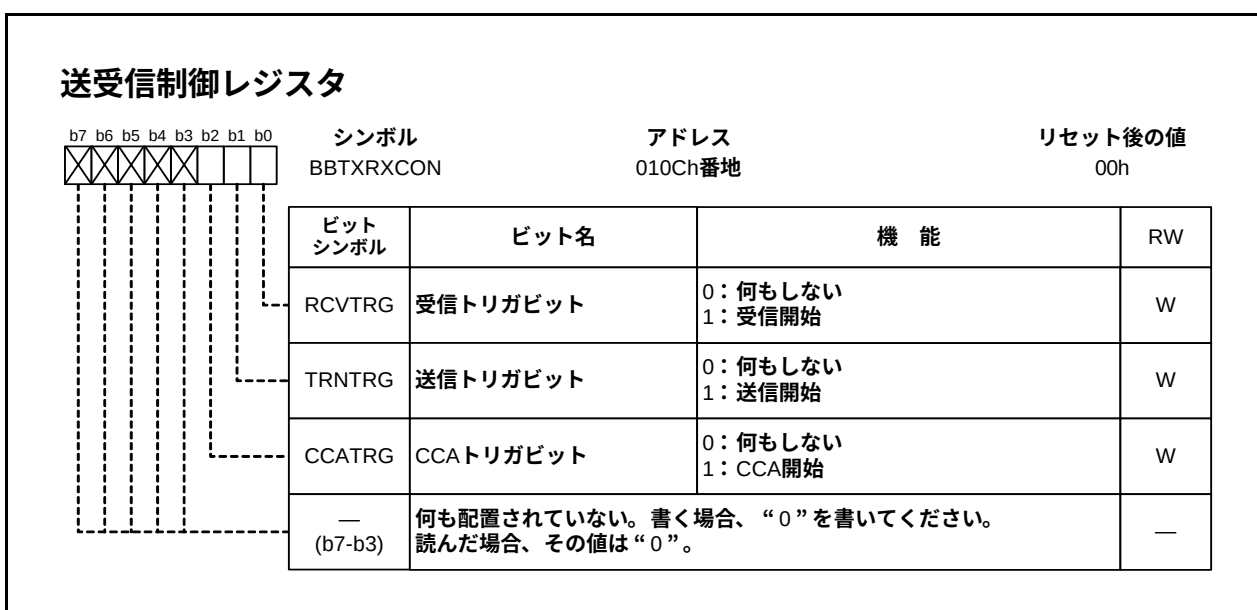


図15.22 送受信制御レジスタの構成

15.2.14 CSMA制御レジスタ0

CSMASTビットを“1”に設定することでCSMA-CA動作を開始します。

なお、本ビットは必ずIDLE状態で設定してください。

また、このビットはCSMA-CA動作完了で自動的に“0”にクリアされます。また“0”を設定しても書けません。

CSMATRNSTビットを“1”に設定することでCSMA-CA動作完了時、OKであれば自動的に送信処理を行います。

CSMA-CA動作を途中でキャンセルしたい場合は、BBTXRXRSTレジスタのRFSTOPビットによりキャンセルしてください。



図15.23 CSMA制御レジスタ0の構成

15.2.15 CCAレベルスレッシュホールド設定レジスタ

CCA判定をするためのスレッシュホールドレベルを設定します。値は2の補数で単位はdBmにて設定してください(例: “9Eh” は “-98dBm” となります)。

CCAレベルスレッシュホールド設定レジスタに設定された値は、RSSI/CCA結果レジスタへ格納される(RSSIオフセットレジスタに設定したオフセット値が加算された)値と比較されます。



図15.24 CCAレベルスレッシュホールド設定レジスタの構成

15.2.16 送受信ステータスレジスタ1

UNLOCKSTビットにより、受信中にPLL アンロックが発生したかどうかを判定できます。

本ビットはBBTXRXMODE3 レジスタのRCVBANKSEL ビットで指定された受信 RAM のバンクに対応した結果が読み出されます。

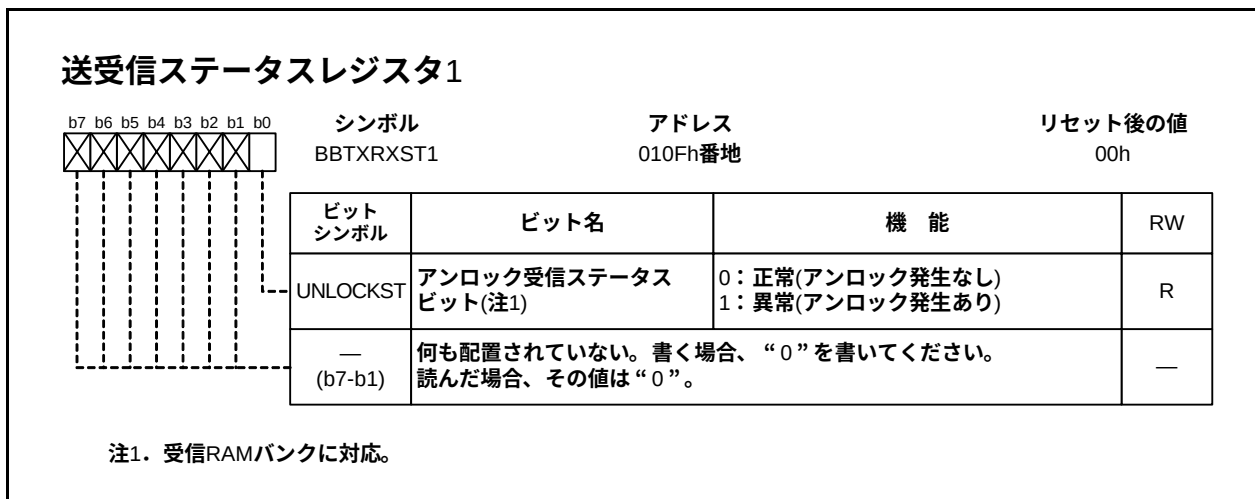


図 15.25 送受信ステータスレジスタ1の構成

15.2.17 RF制御レジスタ

RFPWRONビットによりRF部のパワー ON制御を行います。

RFPWRON ビットに“1”を設定後、BBIDLEWAIT レジスタに設定した待ち時間経過後 IDLE 状態になります。BBIDLEWAIT レジスタに設定した待ち時間は XIN をカウントソースとして自動的にカウントし、IDLE 状態への立ち上がり時間を待った後、IDLE 割り込み要求が発生します。

OFF 状態からは必ずこの IDLE 状態を経由して、CCA、受信、送信の各状態へ移行してください。IDLE 状態で、BBTXRXCON レジスタの RCVTRG ビット、TRNTRG ビット、CCATRG ビット、およびBBCSMACON0 レジスタの CSMAST ビットに“1”(各動作の開始)を設定してください。

XINPWRON ビットに“1”を設定後、BBIDLEWAIT レジスタに設定した待ち時間経過後クロックレギュレータの立ち上がりが完了します。BBIDLEWAIT レジスタに設定した待ち時間のタイミングカウントは XIN をカウントソースとして自動的にカウントし、レギュレータ立ち上がり時間を待った後、クロックレギュレータ割り込み要求が発生します。

RFPWRON ビットと XINPWRON ビットは同時に“1”に設定してください。

XINREGSEL ビットにより XIN 用の電源を安定した電源に切り換えることができます。

なお、本ビットを“1”に設定する際は、必ずクロックレギュレータが立ち上がった状態で切り換えてください。

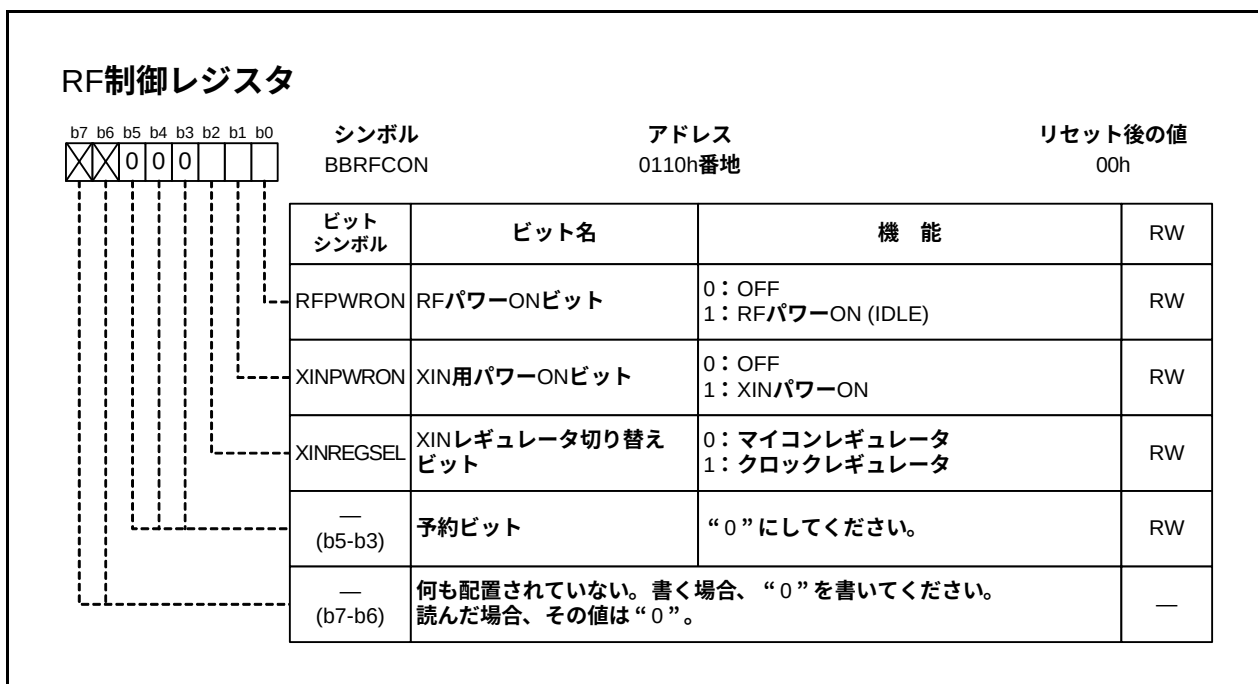


図15.26 RF制御レジスタの構成

15.2.18 送受信モードレジスタ4

CCAINTSEL ビットにより CCA 割り込みの発生要因を、CCA シーケンス完了時または CSMA-CA シーケンス完了時のどちらか選択できます。

PLLINTSEL ビットにより PLL ロック検出割り込みの発生要因を、アンロック検出時またはロック検出時のどちらかを選択できます。

UNLOCKSTPT ビットにより送信中にアンロックが発生した場合の動作を設定できます。“0”の場合、アンロックが発生してもフレーム送信を続けます。“1”の場合、アンロックが発生した時点で送信動作を停止します。ただし、この機能を使用する場合、PLLINTSEL ビットは必ず“0”(アンロック検出)に設定してください。動作停止後は IDLE 状態になりますので、再度送信または受信に設定してください。

UNLOCKSTPR ビットにより受信中にアンロックが発生した場合の動作を設定できます。“0”の場合、アンロックが発生してもフレーム受信を中断せず最後まで受信を行います。“1”の場合、アンロックの発生で受信を中断し再度受信待ちになります。受信中にアンロックが発生していたかどうかは、受信完了時に設定される BBTXRXST1 レジスタの UNLOCKST ビットを読み出すことで確認できます。ただし、この機能を使用する場合、PLLINTSEL ビットは必ず“0”(アンロック検出)に設定してください。

BANK0INTSEL ビットにより、バンク0受信完了割り込みか IDLE 割り込みかを選択できます。

BANK1INTSEL ビットにより、バンク1受信完了割り込みかクロックレギュレータ割り込みかを選択できます。

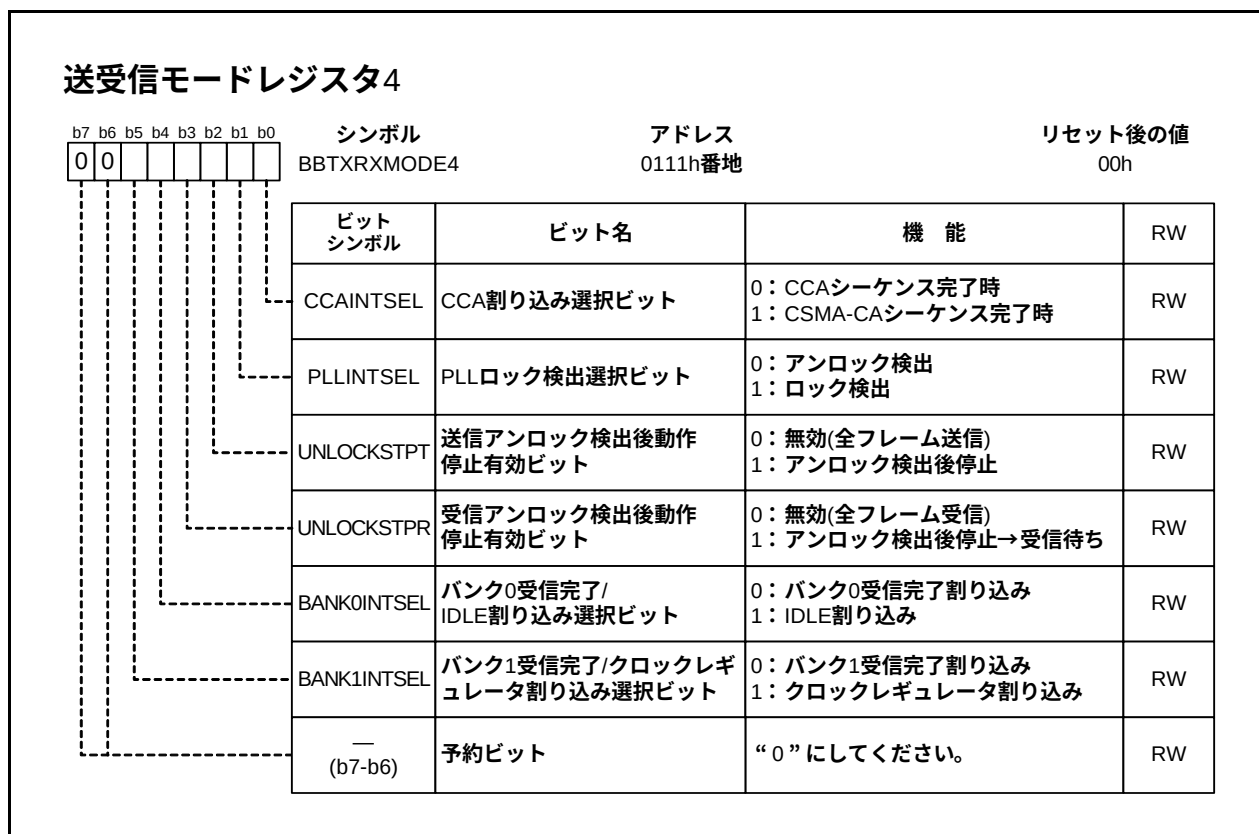


図 15.27 送受信モードレジスタ4の構成

15.2.19 CSMA制御レジスタ1

NBビットにより図15.5中のmacMaxCSMABackoffの値を設定します。(初期値は04h)

BEMINビットにより図15.5中のmacMinBEの値を設定します。(初期値は03h)

CWビットにより図15.5中のCWの値を設定します。(初期値は02h)

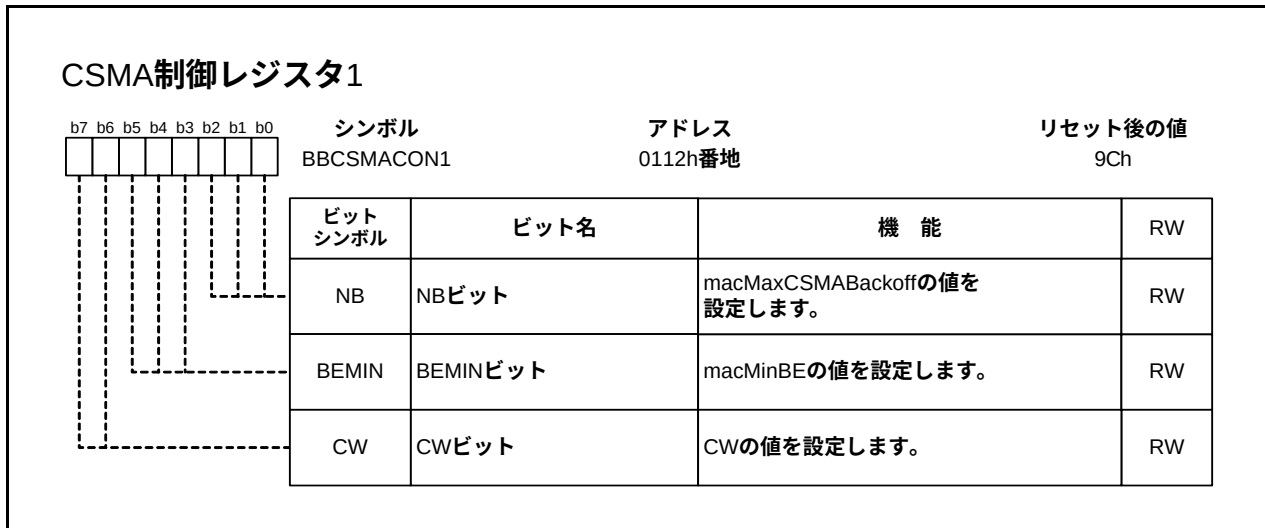


図15.28 CSMA制御レジスタ1の構成

15.2.20 CSMA制御レジスタ2

BEMAXビットにより図15.5中のmacMaxBEの値を設定します。(初期値は05h)

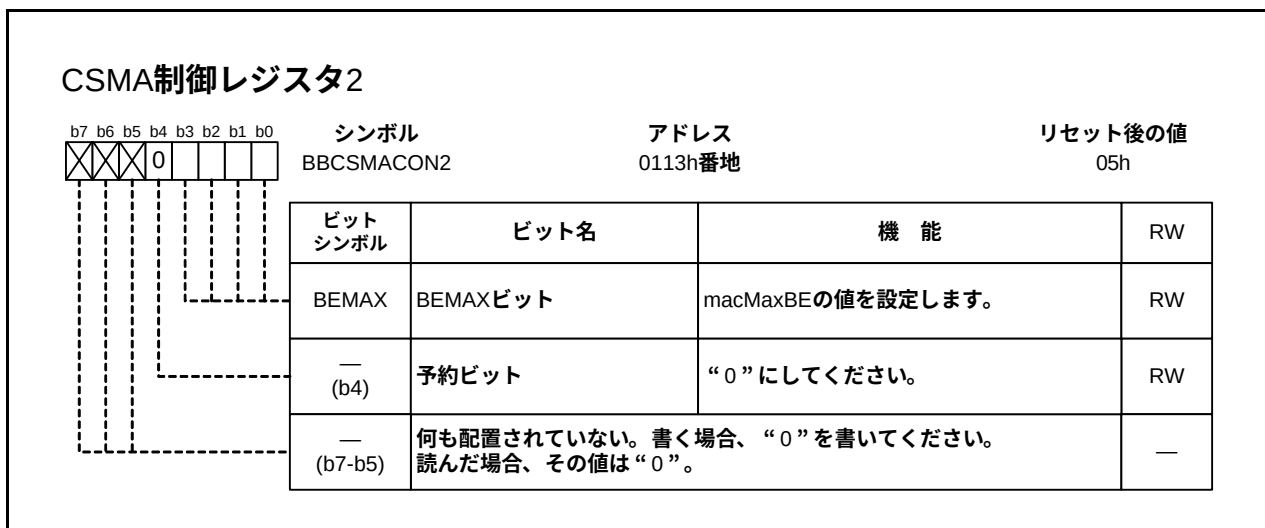


図15.29 CSMA制御レジスタ2の構成

15.2.21 PAN識別子レジスタ

PAN 識別子を設定するためのレジスタです。16 ビットで構成されており、受信フレームの PAN 識別子との一致検出に使用します。



図 15.30 PAN 識別子レジスタの構成

15.2.22 ショートアドレスレジスタ

ショートアドレスを設定するためのレジスタです。16ビットで構成されており、受信フレームのショートアドレスとの一致検出に使用します。



図 15.31 ショートアドレスレジスタの構成

15.2.23 拡張アドレスレジスタ

拡張アドレスを設定するためのレジスタです。64ビット(16ビット×4)で構成されており、受信フレームの拡張アドレスとの一致検出に使用します。

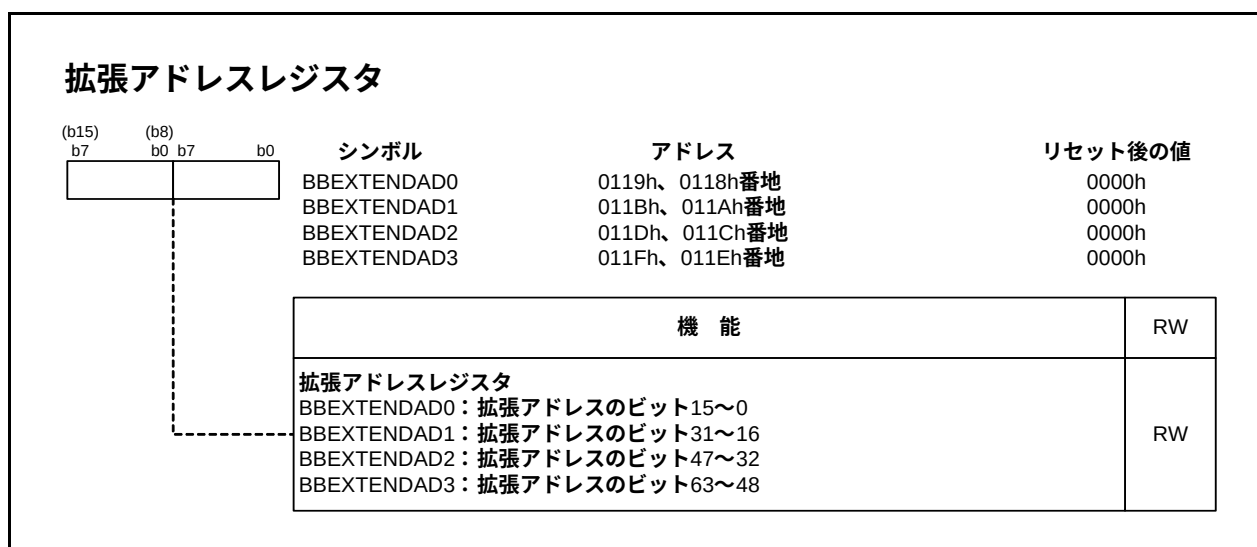


図 15.32 拡張アドレスレジスタの構成

15.2.24 タイマ読み出しレジスタ

26ビットタイマの現在のカウンタ値を読み出すためのレジスタです。

タイマカウンタ値を読み出す際は、BBTIMEREAD0 レジスタ(下位バイト)から読み出してください。

BBTIMEREAD0 レジスタの7～0、15～8ビットのどちらか一方(または両方とも)読み出した時点で、BBTIMEREAD1 レジスタ(上位バイト)の25～16ビットのカウンタ値がラッチされます。

BBTIMEREAD1 レジスタを先に読み出した場合、BBTIMEREAD0 レジスタはラッチされませんのでご注意ください。

なお、BBTIMEREAD0 レジスタ読み出し後BBTIMEREAD1 レジスタを読み出さずに再度BBTIMEREAD0 レジスタを読み出しても値は更新されず、以前に読み出した値が読み出されます。

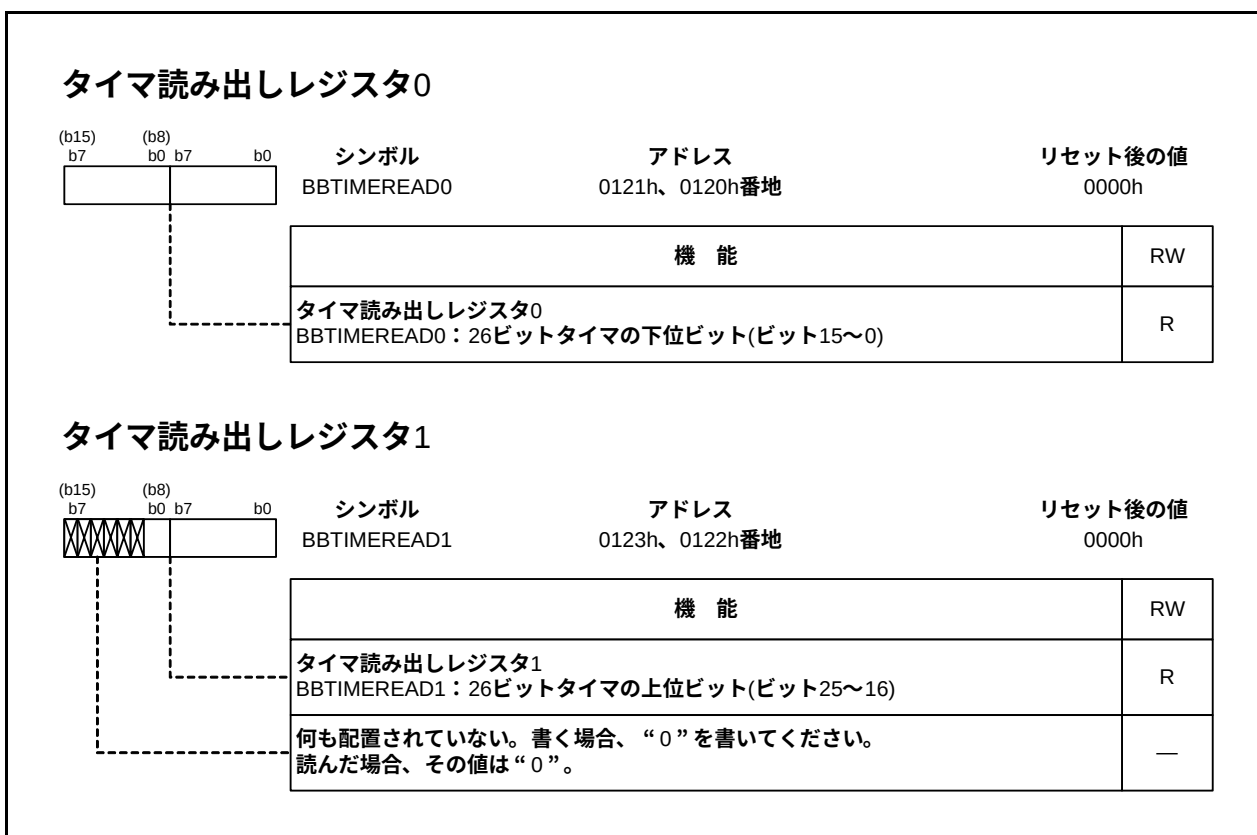
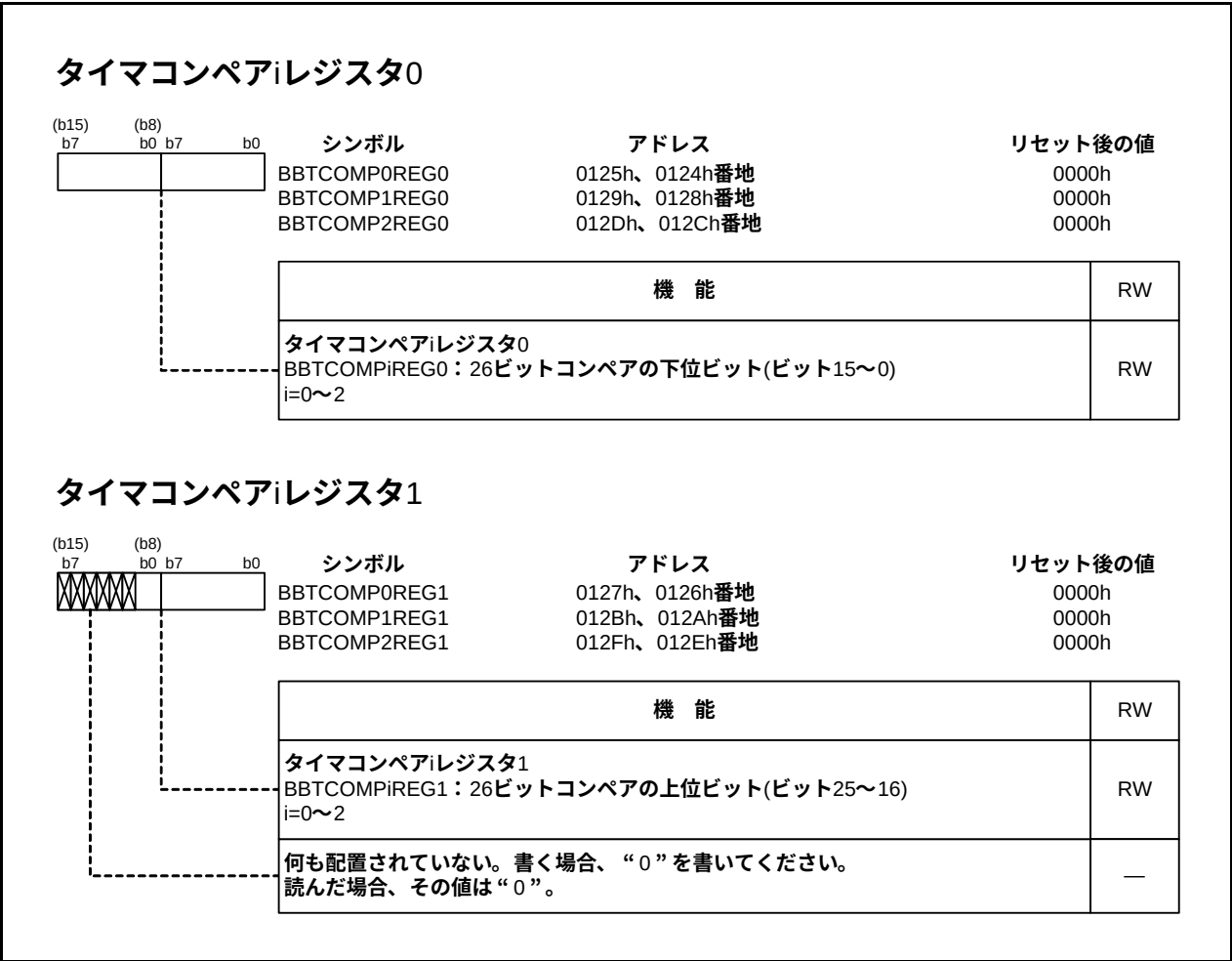


図 15.33 タイマ読み出しレジスタの構成

15.2.25 タイマコンペア*i* (*i*=0~2) レジスタ

26ビットタイマとコンペアするためのレジスタです。
3チャンネル内蔵しており、各チャンネルとも26ビットのコンペアを行います。



15.2.26 タイムスタンプレジスタ

フレーム受信完了時のタイマ値を格納するためのレジスタです。

受信完了時点のタイマカウント値を自動的にタイムスタンプレジスタに格納されます。

スタンプ値は次のフレーム受信完了時点まで保持されます。

読み出す場合、BBTXRXMODE3レジスタのRCVBANKSELビットで指定された受信RAMのバンクに対応したタイムスタンプ値が読み出されます。

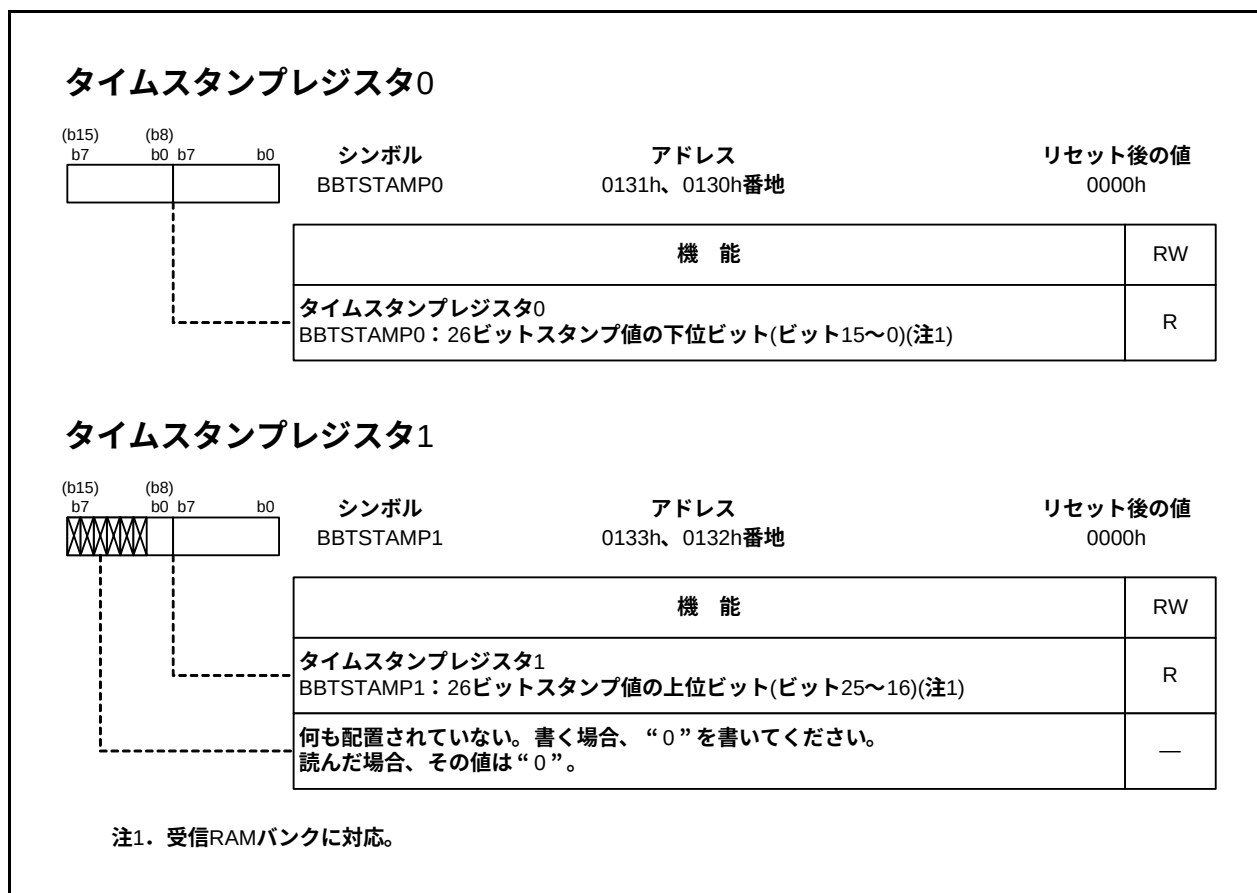


図15.35 タイムスタンプレジスタの構成

15.2.27 タイマ制御レジスタ

TIMEENビットにより、26ビットタイマのカウンタ動作制御します。

“1”に設定することでタイマカウンタを許可します。また、“0”にすることでタイマカウンタが停止するとともに、タイマカウンタ値は“0000000h”に初期化されます。

COMP0TRGビットにより、タイマコンペア0の値とタイマ値が一致するとRF送信を開始することができます。一致した時点からウォームアップを開始し、144μs後に送信を開始します。ただし、IDLE状態で実行してください。

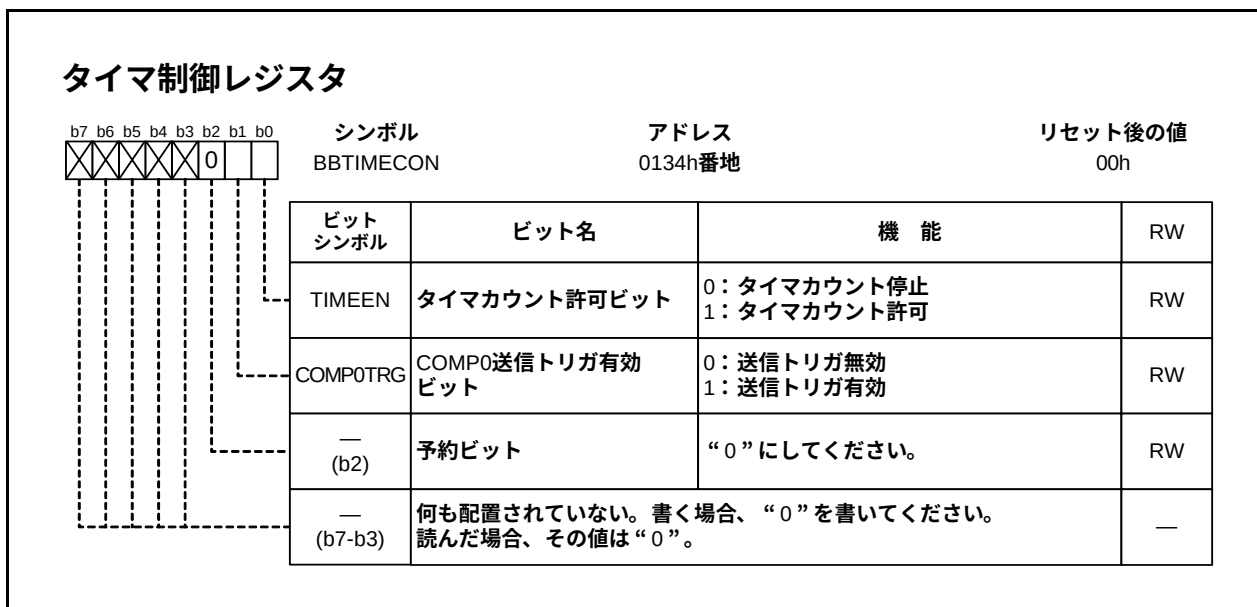


図15.36 タイマ制御レジスタの構成

15.2.28 バックオフピリオドレジスタ

BOFFPRODビットによりCSMA-CA実行の際のバックオフピリオドのランダム値を設定します。

BOFFPRODENビットを“1”にすることにより、BOFFPRODビットに設定した値を初期値として自動でランダム値を生成し、CSMA-CA回路内部のバックオフピリオド値を設定します。必ずBOFFPRODビットでランダム値を設定した後に、BOFFPRODENビットを“1”にしてください。なお、BOFFPRODENビットを“1”にしている間は、BOFFPRODビットは再設定する必要はありません。

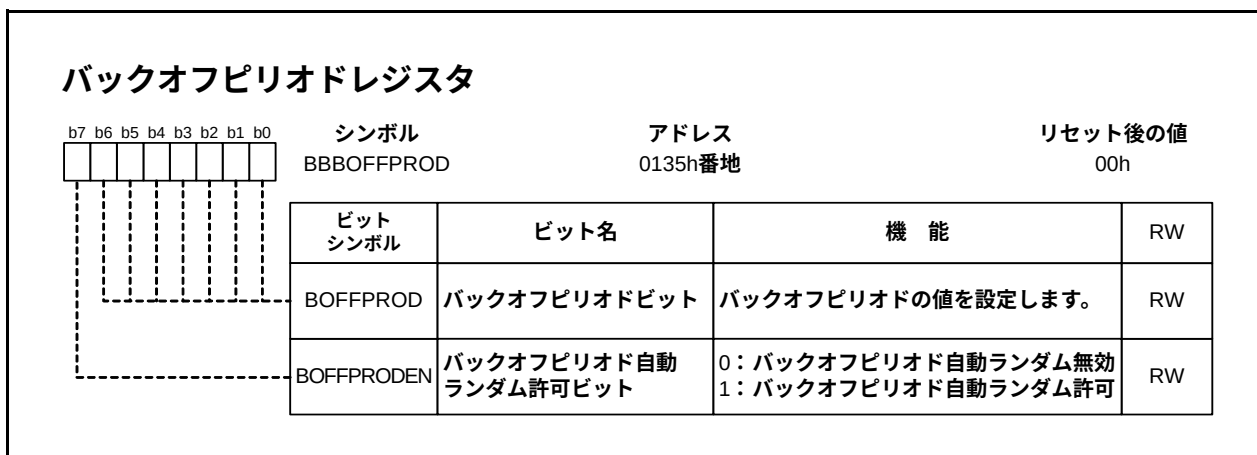


図15.37 バックオフピリオドレジスタの構成

15.2.29 PLL分周レジスタ

PLL分周レジスタにより、PLLの分周比を設定します。

送信時も受信時も同じ値を設定します。

また、表15.3にレジスタ設定値とチャンネルの対応表を示します。

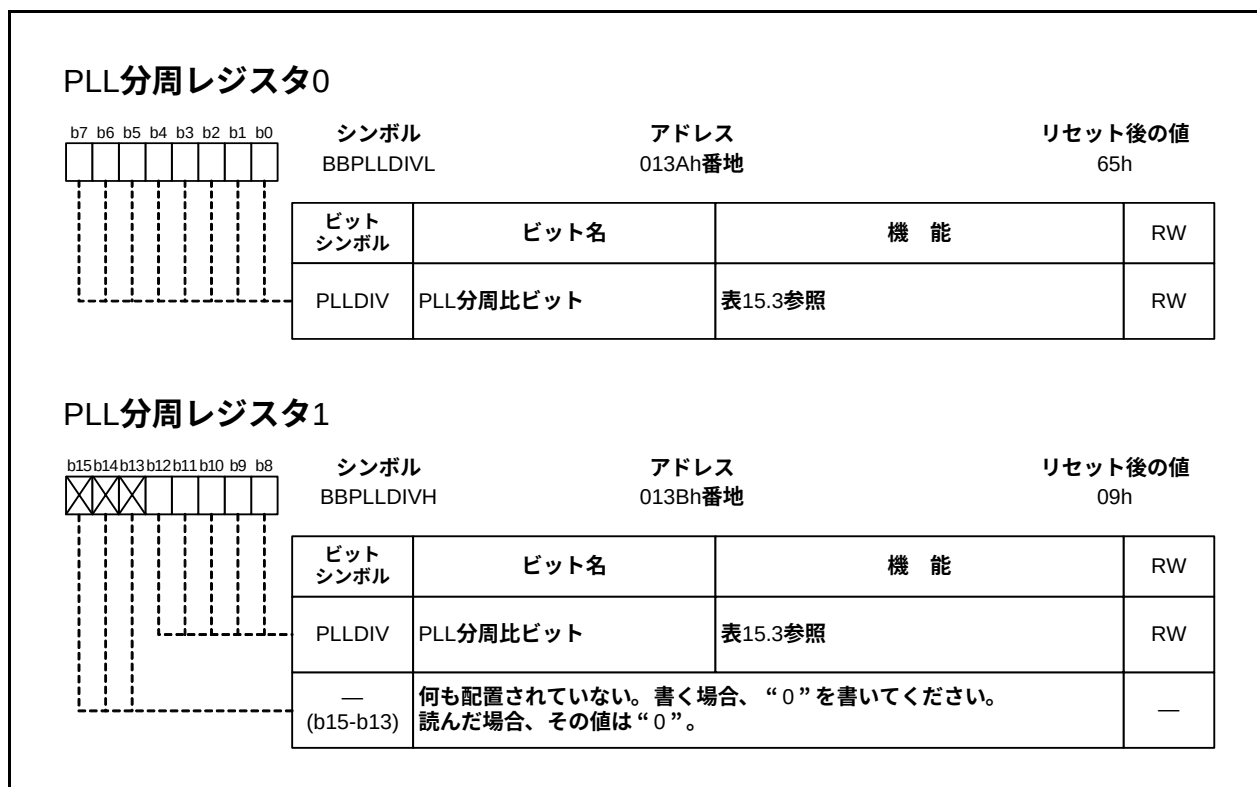


図 15.38 PLL分周レジスタの構成

表 15.3 レジスタ設定値とチャンネルの対応表

チャンネル (IEEE802.15.4)	周波数 (MHz)	PLL DIV 設定値
0Bh (11)	2405	0965h
0Ch (12)	2410	096Ah
0Dh (13)	2415	096Fh
0Eh (14)	2420	0974h
0Fh (15)	2425	0979h
10h (16)	2430	097Eh
11h (17)	2435	0983h
12h (18)	2440	0988h
13h (19)	2445	098Dh
14h (20)	2450	0992h
15h (21)	2455	0997h
16h (22)	2460	099Ch
17h (23)	2465	09A1h
18h (24)	2470	09A6h
19h (25)	2475	09ABh
1Ah (26)	2480	09B0h

15.2.30 送信出力パワーレジスタ

送信出力パワーレジスタにより、送信出力パワーを設定します。

また、表 15.4 に標準サンプルでの参考データとしてレジスタ設定値と出力パワーの対応表を示します。

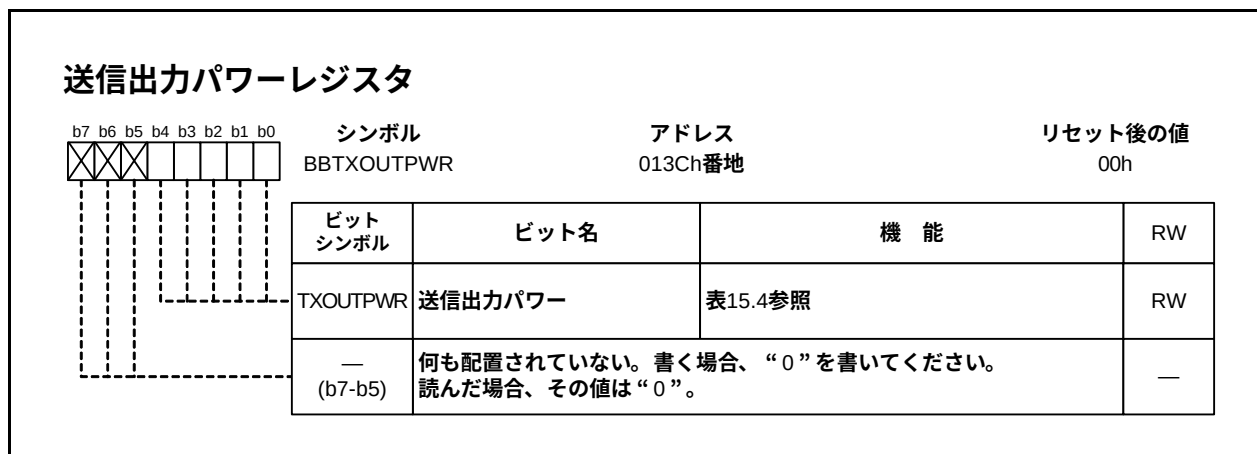


図 15.39 送信出力パワーレジスタの構成

表 15.4 レジスタ設定値と出力パワーの対応表 (参考データ)

TXOUTPWR	出力パワー (dBm)	TXOUTPWR	出力パワー (dBm)
00h (Min)	− 36.0	10h	− 2.47
01h	− 26.3	11h	− 2.0
02h	− 21.0	12h	− 1.6
03h	− 17.3	13h	− 1.1
04h	− 14.5	14h	− 0.7
05h	− 12.4	15h	− 0.33
06h	− 10.8	16h (Max)	0.0
07h	− 9.4		
08h	− 8.2		
09h	− 7.2		
0Ah	− 6.3		
0Bh	− 5.5		
0Ch	− 4.7		
0Dh	− 4.0		
0Eh	− 3.4		
0Fh	− 2.9		

注1. TXOUTPWR は 00h ~ 16h を設定ください。17h ~ 1Fh は使用しないでください。

15.2.31 RSSIオフセットレジスタ

CCA/ED時または受信時のRSSI値にオフセット値を設定できます。

RSSI/CCA結果レジスタから読み出した電力値をアンテナ端に入力された電力値に合わせたい場合などに利用できます。値は2の補数で単位はdBmにて設定してください。

受信レベルスレッシュホールド設定レジスタまたはCCAレベルスレッシュホールド設定レジスタに設定された値は、RSSI/CCA結果レジスタへ格納される(RSSIオフセットレジスタに設定したオフセット値が加算された)値と比較されます。

(例).アンテナ端への入力電力が0dBmのときに、RSSIオフセットレジスタ設定値が“EEh”(初期値)の状態でRSSI/CCA結果レジスタから読み出した値が“FDh”(−3dBm)であった場合、あらかじめRSSIオフセットレジスタに“EBh”(EEh-3h)を設定しておくことで、同レベルの入力電力のときにRSSI/CCA結果レジスタからの読み出し値が“00h”となるようにできます。



図 15.40 RSSIオフセットレジスタの構成

15.2.32 評価モード設定レジスタ

技術基準適合証明の取得などの際に必要な評価モードを設定できます。

CONTTX ビットを“1”に設定し、BBTXRXCON レジスタの TRNTRG ビットを“1”(送信開始)にすることで連続送信モードになります。連続送信モードでは(BBTXFLEN の設定した値-2)バイト数のフレーム送信を繰り返し行います。なお、送信するフレームの内容はデータは送信 RAM に書き込んだ値です。また、送信フレームレングス値は05h 以上にしてください。

NOMOD ビットにより変調信号か無変調信号かを切り換えることができます。無変調信号を送信する場合は、00164h 番地に 00h を 00165h 番地に 3Fh を設定してください。

CONTRX ビットを“1”に設定し、BBTXRXCON レジスタの RCVTRG ビットを“1”(受信開始)にすることで連続受信モードになります。連続受信モードではフレームを受信完了しても IDLE 状態にならず、受信状態のままとなります。また、連続受信モードを使用する場合は、0D2A6h 番地に 01h を設定してください。

CONTTX ビットと CONTRX ビットは、同時に“1”には設定しないでください。

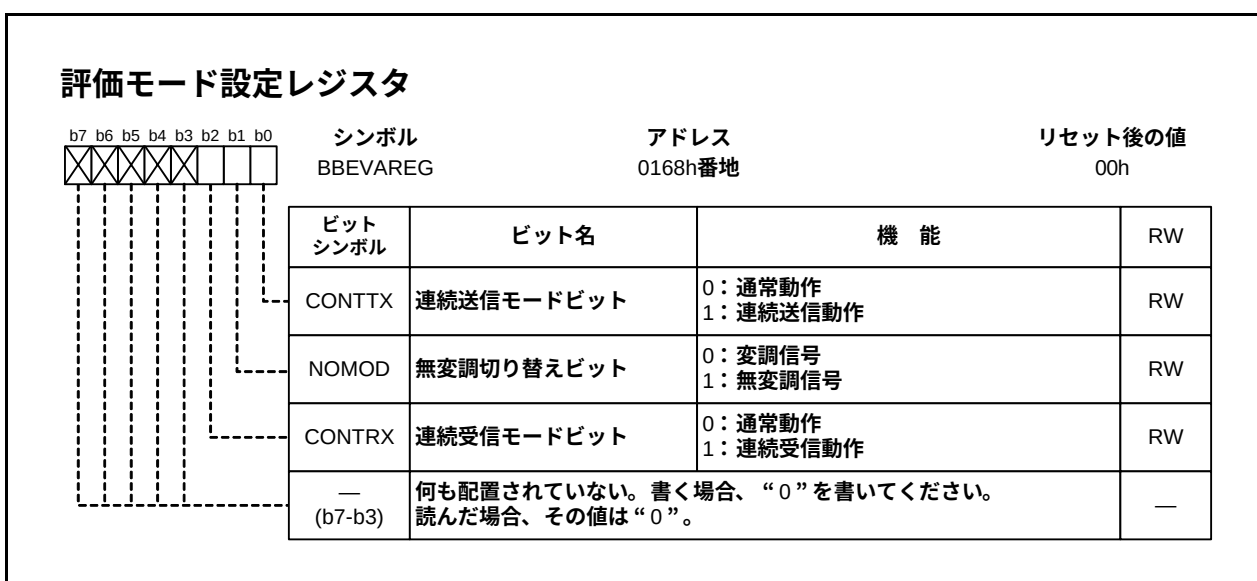


図 15.41 評価モード設定レジスタの構成

15.2.33 IDLEウェイト設定レジスタ

BBRFCON レジスタの RFPWRON ビットを“1”(RF パワー ON)、または BBRFCON レジスタの XINPWRON ビットを“1”(XIN パワー ON)に設定後、IDLE 状態になるまでの待ち時間を設定します。設定値時間が経過すると IDLE 割り込み要求または、クロックレギュレータ割り込みが発生します。初期値は 19h=25ms (設定値 1h=1ms)。

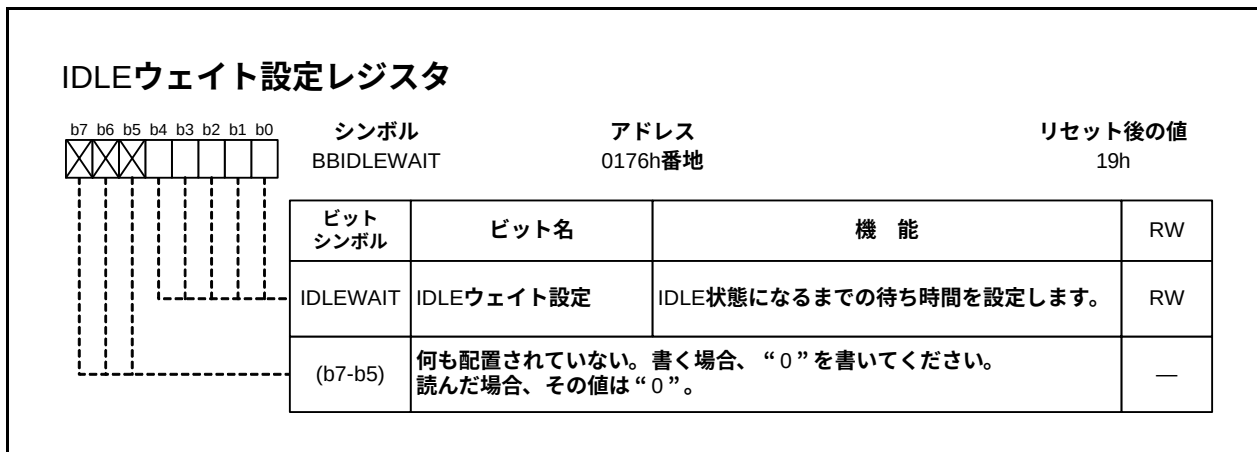


図 15.42 IDLE ウェイト設定レジスタの構成

15.2.34 ANTSW出力タイミング設定レジスタ

ANTSWCONT 端子出力のタイミングを設定するためのレジスタです。

BBTXRXCON レジスタの TRNTRG ビットを“1”(送信開始)に設定後に ANTSWCONT 端子出力を“H”にするまでの時間を設定できます。

設定値は 01h から 8Dh まで設定可能であり初期値は 72h です (設定値は 1h=約 1μs)。

01h (約 1μs) から 8Dh (約 141μs) 以外の値を設定しないでください。



図 15.43 ANTSW 出力タイミング設定レジスタの構成

15.2.35 RF初期設定レジスタ

RFブロック内を初期設定するための16ビットのレジスタです。

IDLE状態で、設定を行います。

設定する場合は、上位バイトおよび下位バイトを同時に設定するか、または下位バイトをセット後、上位バイトにデータをセットしてください。

なお、本レジスタに設定後、再度設定する場合、f(BCLK)の40サイクル分以上間隔をあけてください。ただし、他のレジスタへのアクセスは可能です。

また、IDLE状態からのRFオフ状態にした場合、RF初期設定もクリアされますので、再度IDLE状態でRF初期設定を行ってください。



図15.44 RF初期設定レジスタの構成

15.3 制御シーケンス

15.3.1 送信手順例

- [1] BBCONレジスタのBBENビットに“1”(ベースバンド機能を有効)を設定
- [2] BBIDLEWAITレジスタに“01h”(1ms)を設定
BBTXRXMODE4レジスタのBANK0INTSELビットに“1”(IDLE割り込み)を設定
BBRFCONレジスタのRFPWRONビットに“1”(RFパワー ON)、およびXINPWRONビットに“1”(XINパワー ON)を設定
- [3] BBPLLDIVLレジスタおよびBBPLLDIVHレジスタにてチャネル設定
- [4] BBTXOUTPWRレジスタにて出力パワー設定
- [5] BBTXRXMODE0レジスタのAUTORCV0ビット設定)
- [6] 送信RAMに書き込み：D100h番地～D17Eh番地
- [7] BBTXFLENレジスタに送信フレーム長を設定
- [8] IDLE割り込み発生後([2]からBBIDLEWAITレジスタに設定した待ち時間以上経過後)、
BBRFCONレジスタのXINREGSELビットに“1”(クロックレギュレータ)を設定
BBRFINIレジスタに設定値を設定
BBTXRXCONレジスタのTRNTRGビットに“1”(送信開始)を設定

注1. [2]～[7]は順序が入れ替わっても可。

送信開始後以下の事象発生時に送信完了割り込みが発生します。

- ・送信完了。
- ・ACK受信機能有効にしてACK要求付きの送信を行い、ACK受信を完了。
- ・ACK受信機能有効にしてACK要求付きの送信を行い、一定時間ACKを受信できなかった場合。
- ・自動CSMA-CA有効にして送信を行い、CCA結果がチャネルビジーだった場合。

15.3.2 受信手順例

- [1] BBCONレジスタのBBENビットに“1”(ベースバンド機能を有効)を設定
- [2] BBIDLEWAITレジスタに“01h”(1ms)を設定
BBTXRXMODE4レジスタのBANK0INTSELビットに“1”(IDLE割り込み)を設定
BBRFCONレジスタのRFPWRONビットに“1”(RFパワー ON)、およびXINPWRONビットに“1”(XINパワー ON)を設定
- [3] BBPLLDIVLレジスタおよびBBPLLDIVHレジスタにてチャネル設定
- [4] BBTXRXMODE0レジスタのAUTOACKENビット、AUTORCV0ビット、BEACONビット設定)
- [5] BBPANIDレジスタにPAN識別子を設定
- [6] BSHORTADレジスタ、またはBBEXTENDAD0～BBEXTENDAD3レジスタ設定
- [7] IDLE割り込み発生後([2]からBBIDLEWAITレジスタに設定した待ち時間以上経過後)、
BBRFCONレジスタのXINREGSELビットに“1”(クロックレギュレータ)を設定
BBRFINIレジスタに設定値を設定
BBTXRXCONレジスタのRCVTRGビットに“1”(受信開始)を設定
- [8] 受信完了割り込み待ち
- [9] BBTXRXMODE3レジスタのRCVBANKSELビットにバンク選択設定
- [10] BBRXFLENレジスタ読み出し
- [11] BBTXRXST0レジスタのCRCビットでCRC結果確認
- [12] 受信RAMデータ読み出し：D180h番地～D1FEh番地

注1. [2]～[6]は順序が入れ替わっても可。

注2. 自動ACK返信機能有効時、ACK返信完了時に送信完了割り込みが発生しますので送信完了割り込みが必要ない場合は、送信完了割り込み優先レベルを“0”(無効)に設定してください。

15.3.3 CCA手順例

- [1] BBCONレジスタのBBENビットに“1”(ベースバンド機能を有効)を設定
- [2] BBIDLEWAITレジスタに“01h”(1ms)を設定
BBTXRXMODE4レジスタのBANK0INTSELビットに“1”(IDLE割り込み)を設定
BBRFCONレジスタのRFPWRONビットに“1”(RFパワー ON)、およびXINPWRONビットに“1”(XINパワー ON)を設定
- [3] BBPLLDIVLレジスタおよびBBPLLDIVHレジスタにてチャネル設定
- [4] IDLE割り込み発生後([2]からBBIDLEWAITレジスタに設定した待ち時間以上経過後)、
BBRFCONレジスタのXINREGSELビットに“1”(クロックレギュレータ)を設定
BBRFINIレジスタに設定値を設定
BBTXRXCONレジスタのCCATRGビットに“1”(CCA開始)を設定
- [5] CCA完了割り込み待ち
- [6] BBTXRXST0レジスタのCCAビットによりCCA結果確認

注1. [2]と[3]とは順序が入れ替わっても可。

15.3.4 CSMA-CA手順例

- [1] BBCONレジスタのBBENビットに“1”(ベースバンド機能を有効)を設定
- [2] BBIDLEWAITレジスタに“01h”(1ms)を設定
BBTXRXMODE4レジスタのBANK0INTSELビットに“1”(IDLE割り込み)を設定
BBRFCONレジスタのRFPWRONビットに“1”(RFパワー ON)、およびXINPWRONビットに“1”(XINパワー ON)を設定
- [3] BBPLLDIVLレジスタおよびBBPLLDIVHレジスタにてチャネル設定
- [4] BBTXRXMODE0レジスタのBEACONビット設定)
- [5] BBBOFFPRODレジスタのBOFFPROD0～BOFFPROD6ビットに初期値設定
BBBOFFPRODレジスタのBOFFPRODENビットに“1”(バックオフピリオド自動ランダム許可)を設定
- [6] IDLE割り込み発生後([2]からBBIDLEWAITレジスタに設定した待ち時間以上経過後)、
BBRFCONレジスタのXINREGSELビットに“1”(クロックレギュレータ)を設定
BBRFINIレジスタに設定値を設定
BBCSMACON0レジスタのCSMASTビットに“1”(自動CSMA-CAスタート)を設定
同時に、CSMA-CA完了後、送信処理まで実行したい場合、BBCSMACON0レジスタのCSMATRNSTビットに“1”(CSMA-CA後送信処理)を設定
- [7] CSMA-CA完了割り込み待ち
- [8] BBTXRXST0レジスタのCSMACAビットによりCSMA-CA結果確認

注1. [2]～[5]とは順序が入れ替わっても可。

15.3.5 ベースバンド立ち上げ手順例

- [1] BBCONレジスタのBBENビットに“1”(ベースバンド機能を有効)を設定
- [2] BBIDLEWAITレジスタに“01h”(1ms)を設定
BBTXRXMODE4レジスタのBANK0INTSELビットに“1”(IDLE割り込み)を設定
BBRFCONレジスタのRFPWRONビットに“1”(RFパワー ON)、およびXINPWRONビットに“1”(XINパワー ON)を設定
- [3] IDLE割り込み発生待ち([2]からBBIDLEWAITレジスタに設定した待ち時間以上経過待ち)

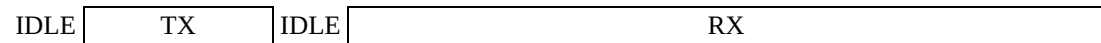
15.3.6 ベースバンド立ち下げ手順例

- [1] BBRFCONレジスタのRFPWRONビットに“0”(OFF)を設定
- [2] BBCONレジスタのBBENビットに“0”(ベースバンド機能を無効)を設定

15.3.7 自動送受信動作例

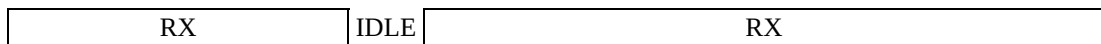
15.3.7.1 送信

- BBTXRXMODE0レジスタのAUTORCV0ビット=1 (自動受信切り替え許可)に設定



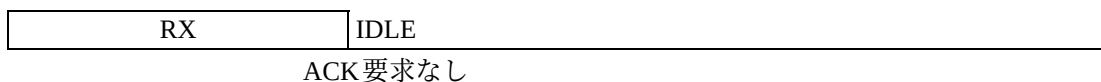
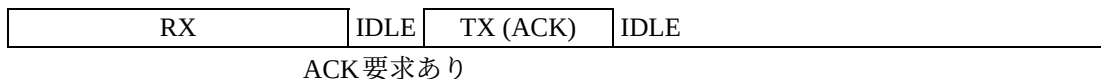
15.3.7.2 受信

- BBTXRXMODE0レジスタのAUTORCV1ビット=1 (自動受信切り替え許可)に設定

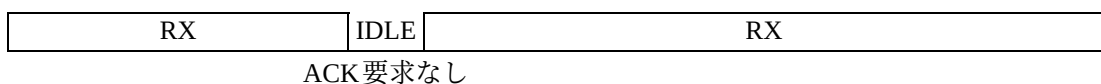
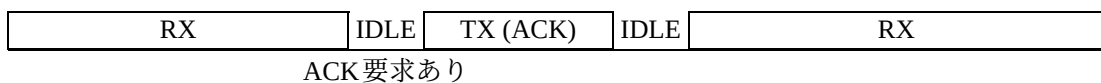


15.3.7.3 ACK

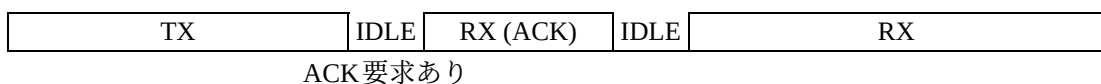
- BBTXRXMODE0レジスタのAUTOACKビット=1 (自動ACK許可)に設定



- BBTXRXMODE0レジスタのAUTOACKビット=1 (自動ACK許可)に設定
- BBTXRXMODE0レジスタのAUTORCV1ビット=1 (自動受信切り替え許可)に設定

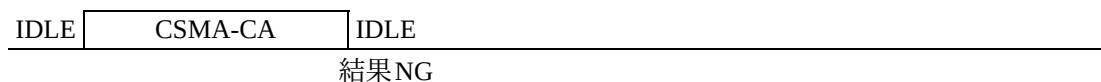
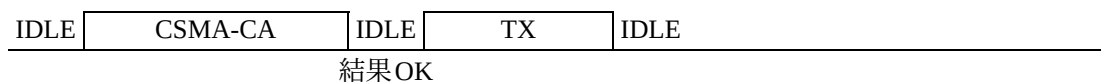


- BBTXRXMODE1レジスタのACKRCVENビット=1 (自動ACK受信許可)に設定
- BBTXRXMODE0レジスタのAUTORCV0ビット=1 (自動受信切り替え許可)に設定

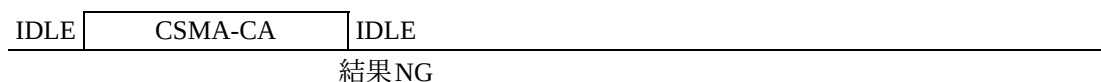
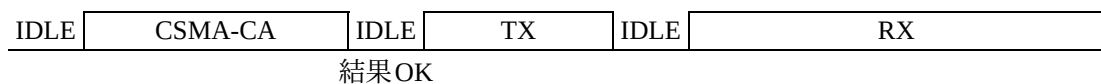


15.3.7.4 CSMA-CA

- BBCSMACON0レジスタのCSMATRNSTビット=1 (CSMA-CA後送信処理)に設定



- BBCSMACON0レジスタのCSMATRNSTビット=1 (CSMA-CA後送信処理)に設定
- BBTXRXMODE0レジスタのAUTORCV0ビット=1 (自動受信切り替え許可)に設定



16. CRC演算

CRC (Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図16.1にCRCブロック図を、図16.2にCRC関連レジスタを示します。また、図16.3にCRC演算例を示します。

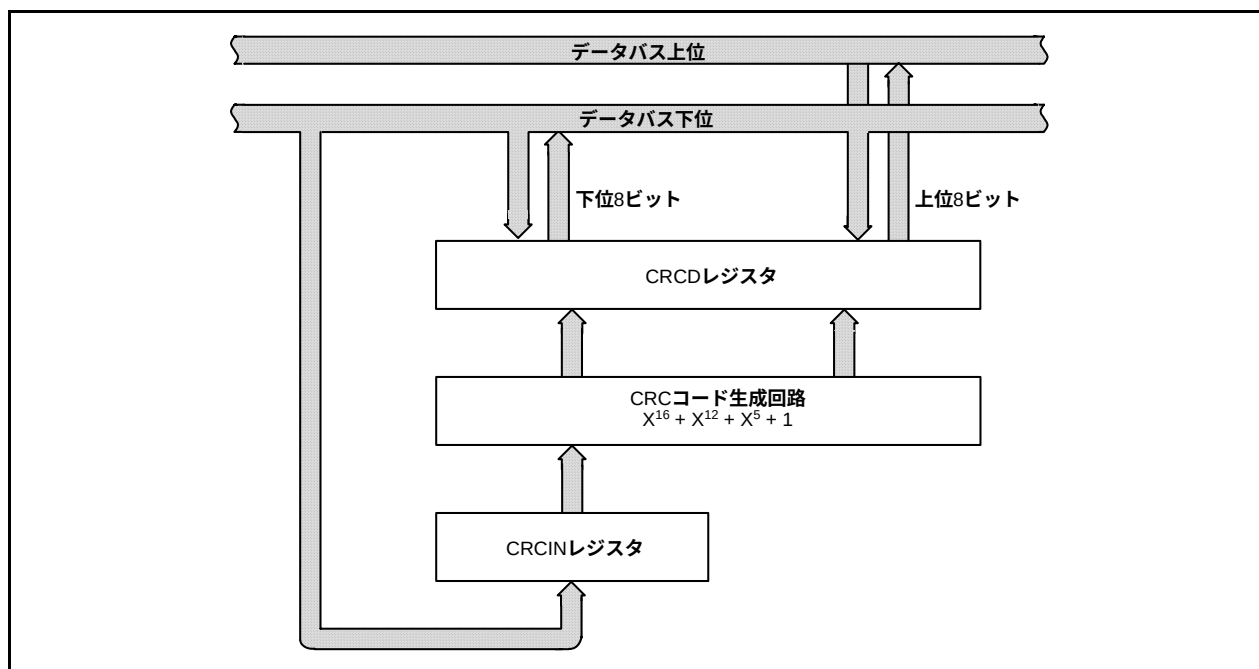


図16.1 CRCブロック図

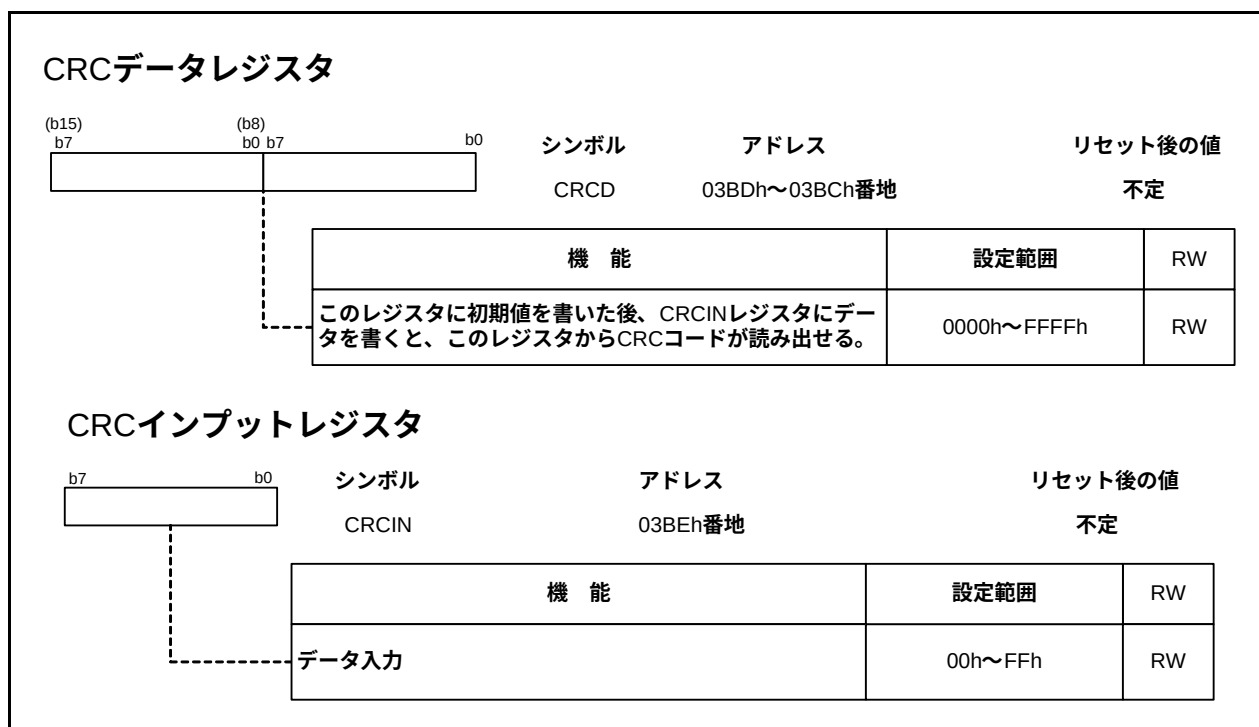


図16.2 CRCD、CRCINレジスタ

“80C4h”のCRCコードを生成する場合の設定手順とCRC演算

• M16CのCRC演算

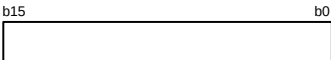
CRCコード：CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余

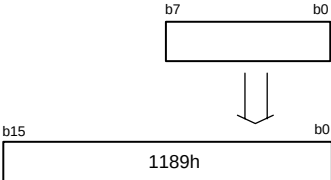
生成多項式： $X^{16} + X^{12} + X^5 + 1$ (1 0001 0000 0010 0001b)

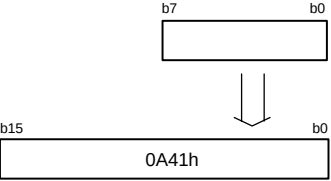
• 設定手順

- (1) プログラムで“80C4h”のビット位置をバイト単位で反転させる

“80h”→“01h”、“C4h”→“23h”

- (2) 0000h(初期値)を書く →  CRCDレジスタ

- (3) 01hを書く →  CRCINレジスタ
2サイクル後、“80h”のCRCコード(9188h)のビット位置を反転した“1189h”が、CRCDレジスタに格納される

- (4) 23hを書く →  CRCINレジスタ
2サイクル後、“80C4h”のCRCコード(8250h)のビット位置を反転した“0A41h”が、CRCDレジスタに格納される

• CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値“01h(00000001b)”はビット位置を反転され“10000000b”になる。これに16桁追加した“1000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000 0000 0000 0000b”に8桁追加した“0000 0000 0000 0000 0000b”を加算した値をモジュロ2除算する。

$$\begin{array}{r}
 \text{生成多項式} \quad 1 \ 0001 \ 0000 \ 0010 \ 0001 \quad \left| \quad \begin{array}{r} \text{データ} \\ 1000 \ 0000 \ 0000 \ 0000 \ 0000 \ 0000 \\ 1000 \ 0000 \ 0001 \ 0000 \ 0000 \ 0000 \\ 1000 \ 0001 \ 0000 \ 1000 \ 0000 \ 0000 \\ 1000 \ 1000 \ 0001 \ 0000 \ 0000 \ 0000 \\ 1001 \ 0001 \ 1000 \ 1000 \ 0000 \ 0000 \end{array} \\
 \hline
 \text{CRCコード} \quad 1001 \ 0001 \ 1000 \ 1000 \ 0000 \ 0000
 \end{array}$$

モジュロ2の演算とは...
次の法則に基づいた演算です。

$$\begin{array}{l}
 0 + 0 = 0 \\
 0 + 1 = 1 \\
 1 + 0 = 1 \\
 1 + 1 = 0 \\
 -1 = 1
 \end{array}$$

剰余“1001 0001 1000 1000b(9188h)”のビット位置を反転した“0001 0001 1000 1001b(1189h)”がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値“23h(00100011b)”はビット位置を反転され“11000100b”になる。これに16桁追加した“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余“1001 0001 1000 1000b”に8桁追加した“1001 0001 1000 1000 0000 0000b”を加算した値をモジュロ2除算する。
剰余のビット位置を反転した“0000 1010 0100 0001b(0A41h)”がCRCDレジスタから読める。

図 16.3 CRC演算例

17. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、33本(48ピン版は19本)あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。P7_0、P7_1、P8_5はプルアップ抵抗はありません。ポートP8_5はNMIと端子を共用していますので、NMI入力レベルをP8レジスタのP8_5ビットから読めます。

図17.1～図17.3に入出力ポートの構成、図17.4に端子の構成を示します。

各端子は、入出力ポート、周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

17.1 ポートPi方向レジスタ(PDiレジスタ i=5～8、10)

図17.5にPi方向レジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

17.2 ポートPiレジスタ(Piレジスタ i=5～8、10)

図17.6にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。

入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

17.3 プルアップ制御レジスタ1、プルアップ制御レジスタ2(PUR1、PUR2レジスタ)

図17.7にPUR1、PUR2レジスタを示します。

PUR1、PUR2レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。

17.4 LEDポート切り替えレジスタ(LEDCONレジスタ)

図17.8にLEDCONレジスタを示します。

LEDCONレジスタの各ビットにより、P5_5およびP5_7の駆動能力を切り替えることができます。

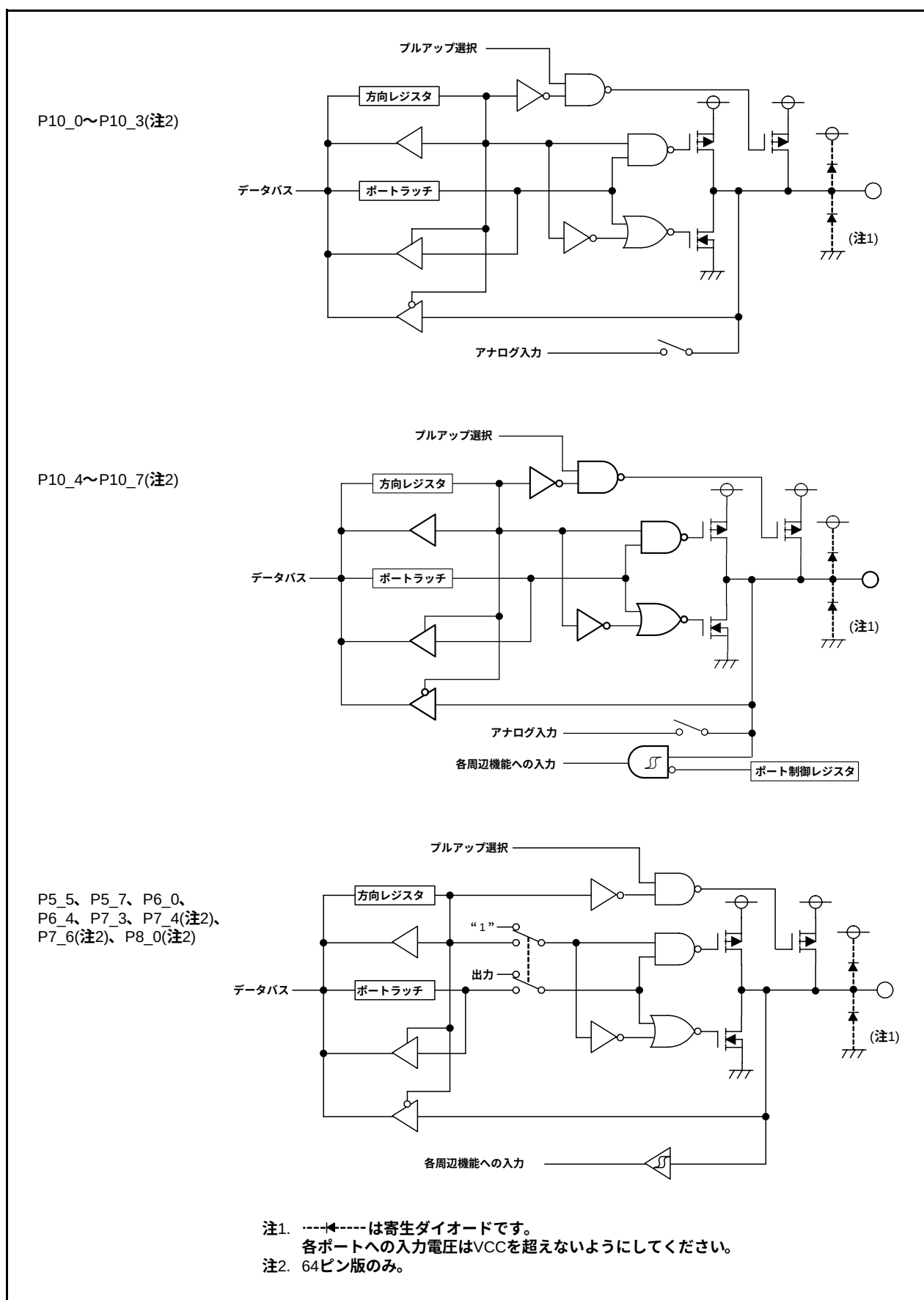


図17.1 入出力ポートの構成(1)

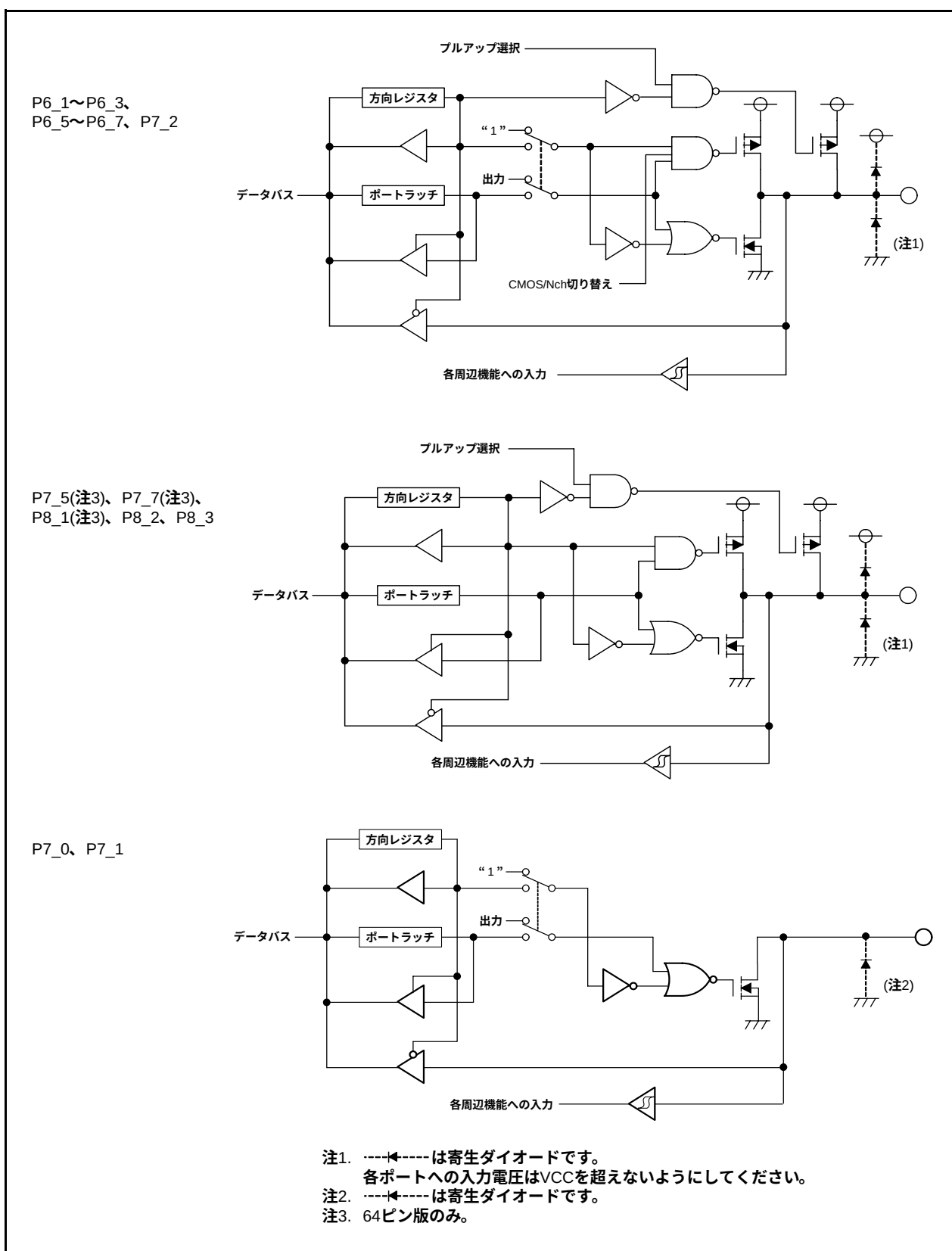


図17.2 入出力ポートの構成(2)

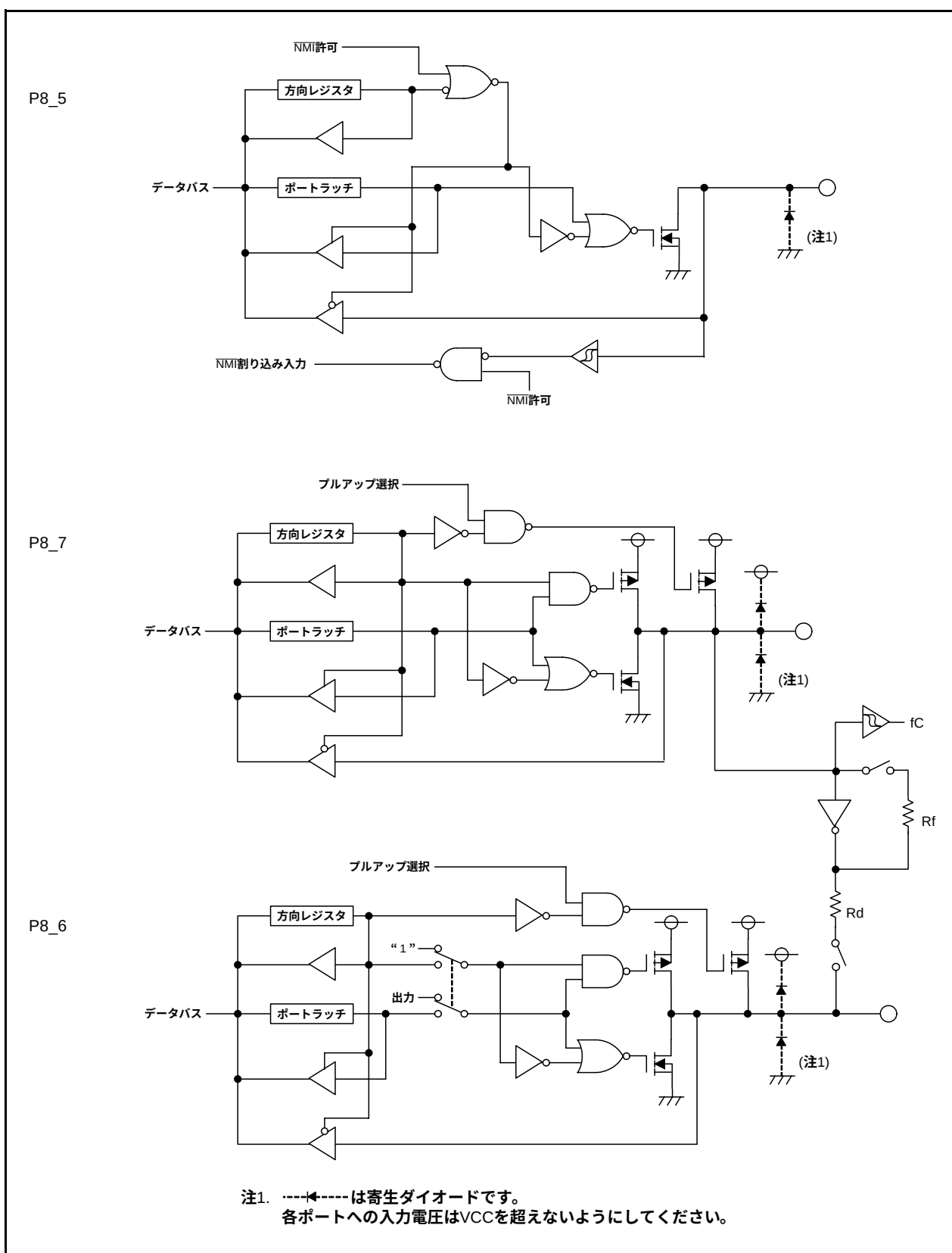


図17.3 入出力ポートの構成(3)

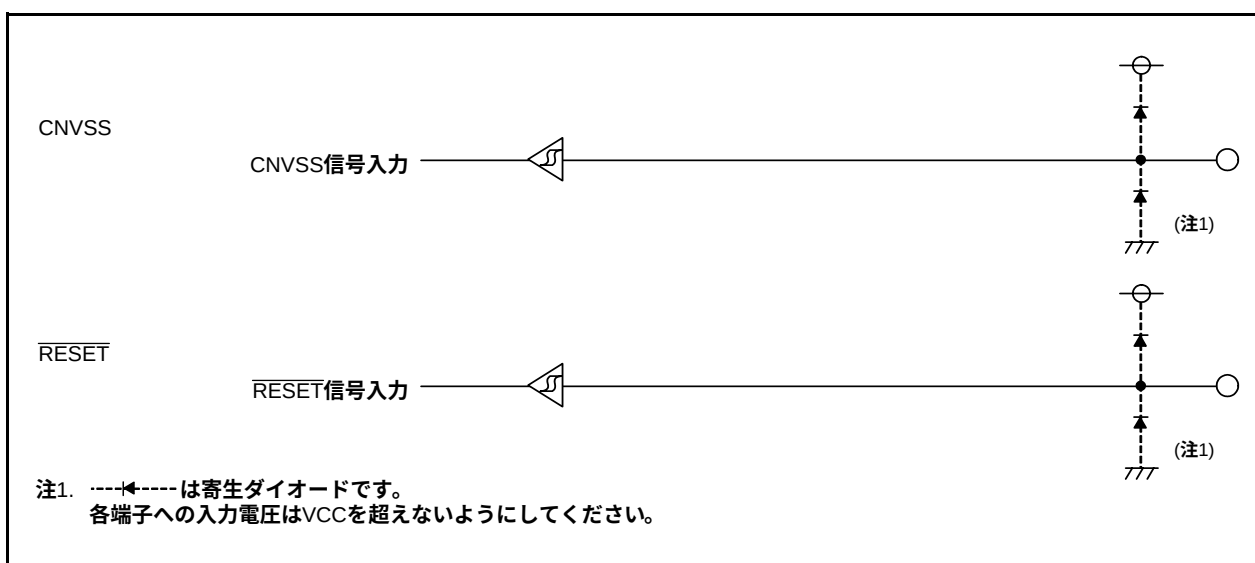


図17.4 端子の構成

ポートPi方向レジスタ(i=5~8、10) (注1)

ビット シンボル	シンボル	アドレス	リセット後の値
b7 b6 b5 b4 b3 b2 b1 b0	PD5(注2)、PD6、PD7(注3)	03EBh、03EEh、03EFh番地	00h
	PD8(注4、5)	03F2h番地	00h
	PD10(注1)	03F6h番地	00h

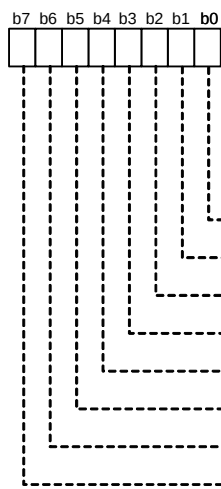
ビット シンボル	ビット名	機 能	RW
PDi_0	ポートPi_0方向ビット	0：入力モード (入力ポートとして機能) 1：出力モード (出力ポートとして機能)	RW
PDi_1	ポートPi_1方向ビット		RW
PDi_2	ポートPi_2方向ビット		RW
PDi_3	ポートPi_3方向ビット		RW
PDi_4	ポートPi_4方向ビット		RW
PDi_5	ポートPi_5方向ビット		RW
PDi_6	ポートPi_6方向ビット		RW
PDi_7	ポートPi_7方向ビット		RW

- 注1. 48ピン版のPD10レジスタは予約領域です。アクセスしないでください。
 注2. PD5レジスタはPD5_5、PD5_7のみです。これ以外のビットは予約ビットです。“0”にしてください。
 注3. 48ピン版のPD7レジスタのPD7_4~PD7_7は予約ビットです。“0”にしてください。
 注4. PD8レジスタのPD8_4はありません。予約ビットです。“0”にしてください。
 注5. 48ピン版のPD8レジスタのPD8_0、PD8_1は予約ビットです。“0”にしてください。

図17.5 PD5~PD8、PD10レジスタ

ポートPiレジスタ(i=5~8、10) (注2)

シンボル	アドレス	リセット後の値
P5(注3)、P6、P7(注4)	03E9h、03ECh、03EDh番地	不定
P8(注5、6)	03F0h番地	不定
P10(注2)	03F4h番地	不定



ビット シンボル	ビット名	機 能	RW
Pi_0	ポートPi_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる。 0: “L” レベル 1: “H” レベル(注1)	RW
Pi_1	ポートPi_1ビット		RW
Pi_2	ポートPi_2ビット		RW
Pi_3	ポートPi_3ビット		RW
Pi_4	ポートPi_4ビット		RW
Pi_5	ポートPi_5ビット		RW
Pi_6	ポートPi_6ビット		RW
Pi_7	ポートPi_7ビット		RW

- 注1. P7_0、P7_1、P8_5はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。
- 注2. 48ピン版のP10レジスタは予約領域です。アクセスしないでください。
- 注3. P5レジスタはP5_5、P5_7のみです。これ以外のビットは予約ビットです。“0”にしてください。
- 注4. 48ピン版のP7レジスタのP7_4~P7_7は予約ビットです。“0”にしてください。
- 注5. P8レジスタのP8_4はありません。予約ビットです。“0”にしてください。
- 注6. 48ピン版のP8レジスタのP8_0、P8_1は予約ビットです。“0”にしてください。

図17.6 P5~P8、P10 レジスタ

プルアップ制御レジスタ1

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR1	アドレス 0361h番地	リセット後の値 00000000b
	ビット シンボル	ビット名	機 能
— (b2-b0)	予約ビット	“0”にしてください。	RW
PU13	P5_5～P5_7のプルアップ	0: プルアップなし 1: プルアップあり(注2)	RW
PU14	P6_0～P6_3のプルアップ		RW
PU15	P6_4～P6_7のプルアップ		RW
PU16	P7_2～P7_3のプルアップ(注1)		RW
PU17	P7_4～P7_7のプルアップ(注3)		RW

注1. P7_0、P7_1端子には、プルアップはありません。

注2. このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

注3. 48ピン版では予約ビットです。“0”にしてください。

プルアップ制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0	シンボル PUR2	アドレス 0362h番地	リセット後の値 00h
	ビット シンボル	ビット名	機 能
PU20	P8_0～P8_3のプルアップ(注3)	0: プルアップなし 1: プルアップあり(注1)	RW
PU21	P8_6、P8_7のプルアップ(注2)		RW
— (b3-b2)	予約ビット	“0”にしてください。	RW
PU24	P10_0～P10_3のプルアップ(注4)	0: プルアップなし 1: プルアップあり(注1)	RW
PU25	P10_4～P10_7のプルアップ(注4)		RW
— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1. このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。

注2. P8_5端子は、プルアップはありません。

注3. 48ピン版はP8_0、P8_1はありません。

注4. 48ピン版では予約ビットです。“0”にしてください。

図17.7 PUR1、PUR2レジスタ

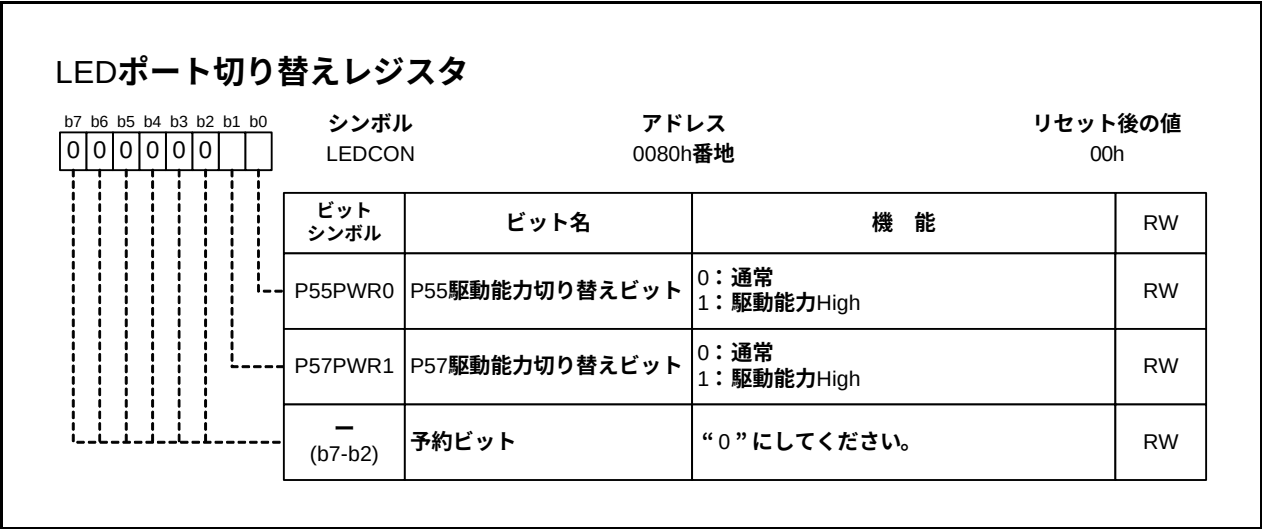


図17.8 LEDCONレジスタ

表17.1 シングルチップモード時の未使用端子の処理例

端子名	処理内容(注2)
ポートP5_5、P5_7、P6、 P7_0～P7_3、P7_4～P7_7(注5)、 P8_0(注5)、P8_1(注5)、P8_2、 P8_3、P8_5～P8_7、P10(注5)	次のいずれか ・入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン) ・入力モードに設定し、端子ごとに抵抗を介してVCCに接続(プルアップ) ・出力モードに設定し、端子を開放(注1、3)
XOUT(注4)	開放
XIN	抵抗を介してVCCに接続(プルアップ)
VREF	VCCに接続(注5)

- 注1. 出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウェアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
- 注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
- 注3. ポートP7_0、P7_1、P8_5を出力モードに設定する場合は“L”を出力してください。
ポートP7_0、P7_1、P8_5はNチャネルオープンドレイン出力です。
- 注4. XIN端子に外部クロックを入力している場合、または抵抗を介してVCCに接続している場合。
- 注5. 64ピン版のみ。

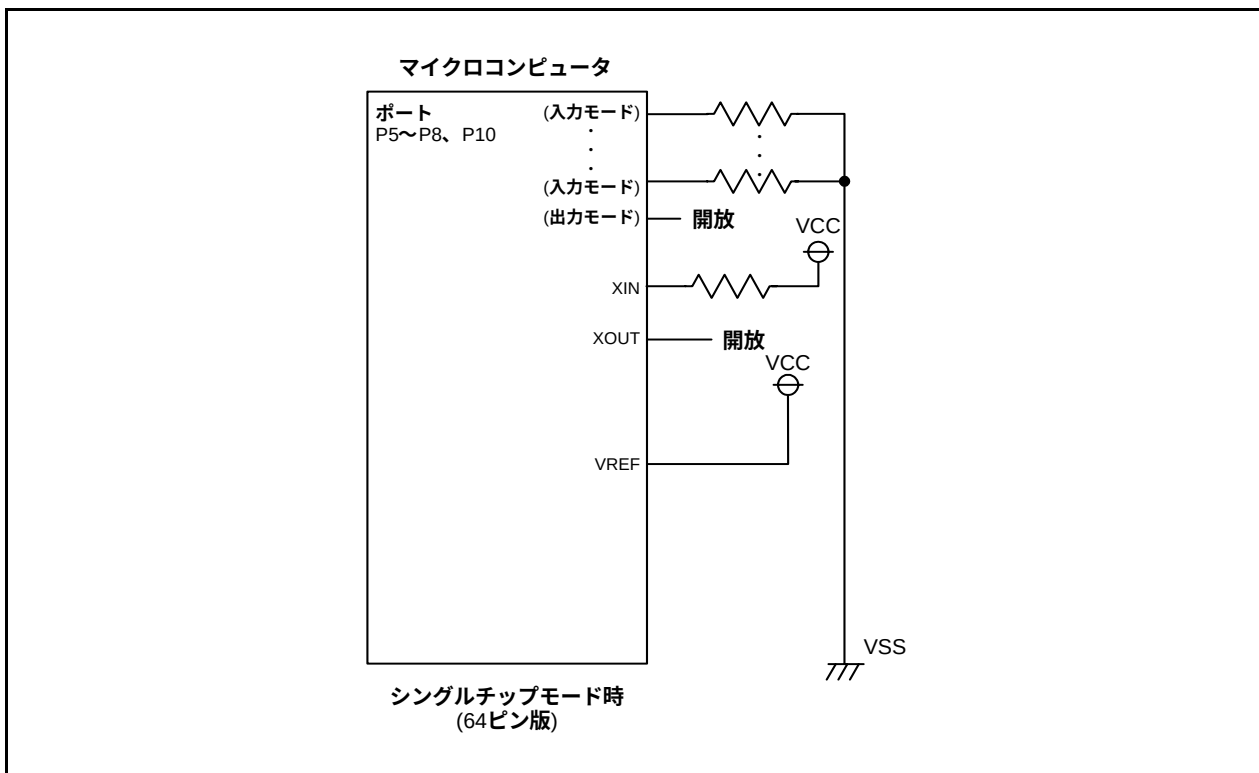


図17.9 未使用端子の処理例

18. フラッシュメモリ

本製品では、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードでフラッシュメモリを操作できます。

表18.1にフラッシュメモリの仕様概要を示します(表18.1に示す以外の項目は「表1.1、表1.2 仕様概要」を参照してください)。

表18.1 フラッシュメモリの仕様概要

項目		性能
フラッシュメモリの書き換えモード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割	プログラムROM1	「図18.1 フラッシュメモリのブロック図」を参照してください。
	プログラムROM2	1分割(16Kバイト)
	データフラッシュ	2分割(各4Kバイト)
プログラム方式		2ワード単位
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式		ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム、イレーズ回数		100回(注1)
データ保持		10年間
ROMコードプロテクト		パラレル入出力モード、標準シリアル入出力モード対応

注1. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

例えば、4Kバイトのブロックについて、2ワードの書き込みを1,024回に分けて書き込みを行った後、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。

プログラム、イレーズ回数が100回の場合、ブロックごとに100回ずつイレーズすることができます。

表18.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、プログラムROM1、プログラムROM2、データフラッシュを書き換える EW0モード： RAM上で書き換え可能 EW1モード： フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換える 標準シリアル入出力モード1： クロック同期形シリアルI/O 標準シリアル入出力モード2： クロック非同期形シリアルI/O	専用パラレルライタを使用して、プログラムROM1、プログラムROM2、データフラッシュを書き換える
書き換えできる領域	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ
動作モード	シングルチップモード	ブートモード	パラレル入出力モード
ROMライタ	—	シリアルライタ	パラレルライタ

18.1 メモリ配置

本製品のROMは、プログラムROM1、プログラムROM2、データフラッシュに分けられます。図18.1にフラッシュメモリのブロック図を示します。

プログラムROM1はいくつかのブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。プログラムROM1、プログラムROM2は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

プログラムROM2はPRG2CレジスタのPRG2C0ビットが“0”(プログラムROM2有効)のとき使用できます。プログラムROM2にはユーザブートコード領域を含みます。

データフラッシュは、PM1レジスタのPM10ビットを“1”(0E000h～0FFFFhはデータフラッシュ)にすると使用できます。データフラッシュは、ブロックA、ブロックBに分割されます。

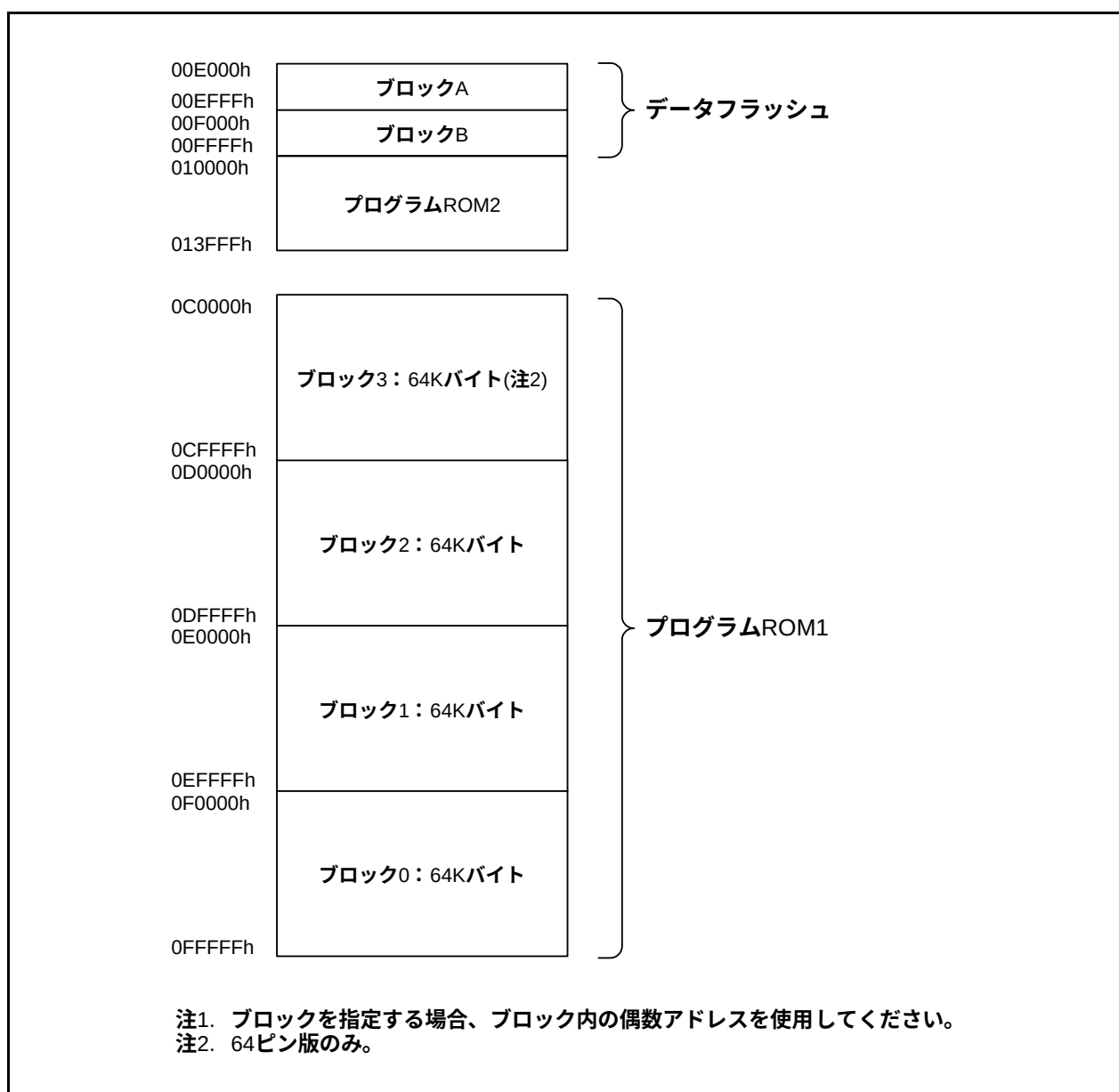


図18.1 フラッシュメモリのブロック図

18.1.1 ブートモード

P5_5 端子に“L”、CNVSS 端子に“H”を入力してハードウェアリセットすると、ブートモードになります。ブートモードでは、ユーザブートコード領域の内容に従って、ユーザブートモードまたは標準シリアル入出力モードが選択できます。標準シリアル入出力モードは「18.4 標準シリアル入出力モード」を参照してください。

18.1.2 ユーザブート機能

ブートモードで起動するとき、任意のポートの状態で、ユーザブートモードを選択できます。表 18.3にユーザブート機能の仕様を示します。

表 18.3 ユーザブート機能の仕様

項目	仕様
エントリに使用する端子	端子なし、またはポート P5～P10から選択
ユーザブート起動レベル	“H” または “L” 選択
ユーザブートの先頭番地	10000h 番地 (プログラム ROM2 の先頭番地)

ユーザブートコード領域の 13FF0h～13FF7h 番地に ASCII コードで“UserBoot”を設定し、13FF8h～13FF9h 番地と 13FFAh 番地でエントリに使用するポートを、13FFBh 番地で起動レベルを選択してください。ブートモード起動後、選択したポートのレベルにしたがって、ユーザブートモードまたは標準シリアル入出力モードが起動します。

また、13FF0h～13FF7h 番地が ASCII コードで“UserBoot”かつ、13FF8h～13FFBh 番地がすべて“00h”の場合はユーザブートモードになります。

ユーザブートモードになると 10000h 番地 (プログラム ROM2 の先頭番地) からプログラムを実行します。

図 18.2 にユーザブートコード領域を、表 18.4 に起動モードを、表 18.5 に“UserBoot”の ASCII コードを、表 18.6 にエントリに使用できるポートのアドレスを示します。

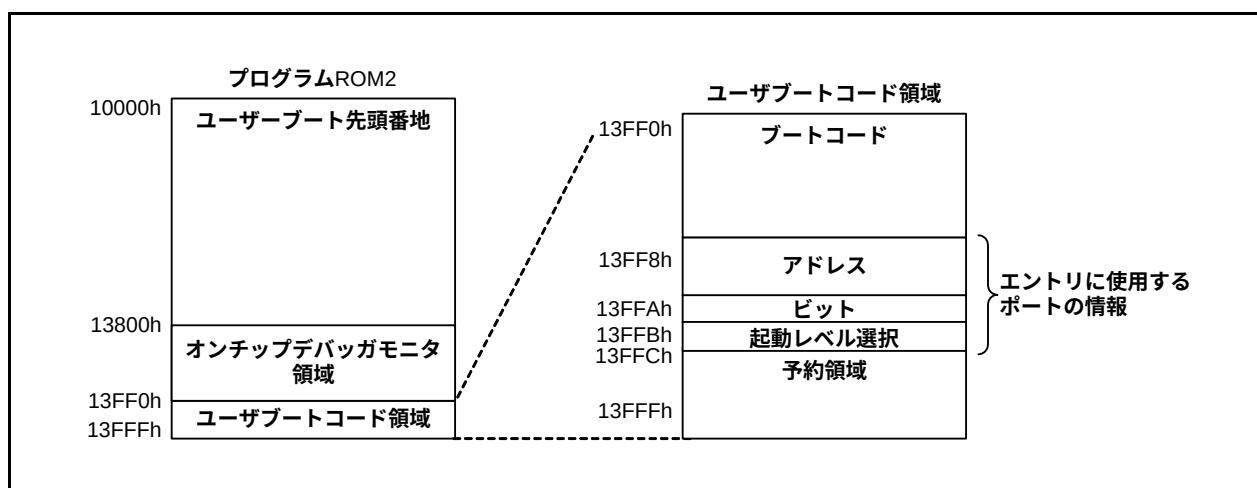


図 18.2 ユーザブートコード領域

表18.4 起動モード(エントリに使用するポートをポートPi_jとした場合)(注1)

ブートコード (13FF0h～13FF7h 番地)	エントリに使用するポートの情報			ポート Pi _j 入力 レベル	起動するモード
	アドレス (13FF8h～ 13FF9h 番地)	ビット (13FFAh 番地)	起動レベル選択 (13FFBh 番地)		
ASCIIコードで “UserBoot”(注2)	0000h	00h	00h	—	ユーザブートモード
	Piレジスタの 番地(注3)	00h～07h (jの値)	00h	H	標準シリアル入出力モード
				L	ユーザブートモード
	Piレジスタの 番地(注3)	00h～07h (jの値)	01h	H	ユーザブートモード
				L	標準シリアル入出力モード
ASCIIコードで “UserBoot”以外	—	—	—	—	標準シリアル入出力モード

i=5～10、j=0～7

注1. 表18.4にない値、組み合わせを設定しないでください。

注2. 「表18.5 “UserBoot”のASCIIコード」参照

注3. 「表18.6 エントリに使用できるポートのアドレス」参照

表18.5 “UserBoot”のASCIIコード

番地	13FF0h	13FF1h	13FF2h	13FF3h	13FF4h	13FF5h	13FF6h	13FF7h
ASCIIコード	55h (U大文字)	73h (s小文字)	65h (e小文字)	72h (r小文字)	42h (B大文字)	6Fh (o小文字)	6Fh (o小文字)	74h (t小文字)

表18.6 エントリに使用できるポートのアドレス

ポート	アドレス
P5	03E9h
P6	03ECh
P7	03EDh
P8	03F0h
P10(注1)	03F4h

注1. 64ピン版のみ。

18.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込みを禁止するため、パラレル入出力モードにはROMコードプロテクト機能、標準シリアル入出力モードにはIDコードチェック機能があります。

18.2.1 ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。図18.3にOFS1番地を示します。OFS1番地は、プログラムROM1のブロック0に存在します。

ROMCP1ビットを“0”にすると、ROMコードプロテクトが有効になります。

ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたはCPU書き換えモードでOFS1番地を含むブロック0を消去してください。

18.2.2 IDコードチェック機能

標準シリアル入出力モードで使します。シリアルライターから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライターから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDh、0FFFE3h、0FFFEb、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。表18.7にIDコードの予約語を示します。

なお、IDコードがASCIIコードの“ALeRASE”になる組み合わせは、強制イレーズ機能で使用する予約語です。また、“Protect”になる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。表18.7にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表18.7と一致する場合は予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表18.7 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)	
		ALeRASE	Protect
FFFDh	ID1	41h (A)	50h (P 大文字)
FFFE3h	ID2	4Ch (L)	72h (r 小文字)
FFFEb	ID3	65h (e)	6Fh (o 小文字)
FFFEFh	ID4	52h (R)	74h (t 小文字)
FFFF3h	ID5	41h (A)	65h (e 小文字)
FFFF7h	ID6	53h (S)	63h (c 小文字)
FFFFBh	ID7	45h (E)	74h (t 小文字)

IDコード格納番地のアドレスとデータがすべて表18.7と一致する場合は予約語です。

18.2.3 強制イレース機能

標準シリアル入出力モードで使用します。シリアルライターから送られてくるIDコードが、ASCIIコードの“ALeRASE”の場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードの“ALeRASE”以外(「表 18.7 IDコードの予約語」以外)、かつOFS1番地のROMCP1ビットが“11b”以外(ROMコードプロテクト有効)の場合は、強制イレースを行わず、IDコードチェック機能によるIDコードの判定を行います。表 18.8 に強制イレース機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードの“ALeRASE”にしておくと、シリアルライターから送られてくるIDコードが“ALeRASE”ならばユーザROM領域を消し、“ALeRASE”以外ならばIDが一致せず、コマンドを受け付けられないので、ユーザROM領域を操作できません。

表 18.8 強制イレース機能の条件と動作

条件			動作
シリアルライターから送られてくるIDコード	IDコード格納番地のIDコード	OFS1番地のROMCP1ビット	
ALeRASE	ALeRASE	—	ユーザROM領域をすべて消去 (強制イレース機能)
	ALeRASE以外 (注1)	1 (ROMコードプロテクト無効)	
		0 (ROMコードプロテクト有効)	IDコードの判定(IDコードチェック機能。 IDコード不一致になる)
ALeRASE以外	ALeRASE	—	IDコードの判定(IDコードチェック機能。 IDコード不一致になる)
	ALeRASE以外 (注1)	—	IDコードの判定(IDコードチェック機能)

注1. “Protect”の場合は「18.2.4 標準シリアル入出力モード禁止機能」参照。

18.2.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モードで使用します。IDコード格納番地のIDコードがASCIIコードの“Protect”になる組み合わせ(「表 18.7 IDコードの予約語」参照)の場合、シリアルライターとの通信を行いません。このため、シリアルライターによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。IDコードが“Protect”になる組み合わせでも、ユーザブートモードは起動します。

なお、IDコードを“Protect”になる組み合わせにし、かつ、OFS1番地のROMCP1ビットを“0”(ROMコードプロテクト有効)にしている場合は、シリアルライターによるROMコードプロテクト解除ができません。したがって、シリアルライターでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

18.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、フラッシュメモリを書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、データフラッシュを書き換えることができます。

プログラム、ブロックイレーズのコマンドは、プログラムROM1、プログラムROM2、データフラッシュの各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1)モードがあります。表18.9にEW0モードとEW1モードの違いを示します。

表18.9 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	・プログラムROM1 ・プログラムROM2	・プログラムROM1 ・プログラムROM2
書き換え制御プログラムを実行できる領域	内部RAMへ転送してから実行する必要あり(注2)	プログラムROM1、プログラムROM2上で実行可能
書き換えられる領域	・プログラムROM1 ・プログラムROM2 ・データフラッシュ	プログラムROM1、プログラムROM2、データフラッシュ ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4ビットを読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み(NMIを除く)、DMA転送が起こらないようにしてください。

注2. CPU書き換えモードではPM1レジスタのPM10ビットが“1”になります。

18.3.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR6レジスタのFMR60ビットが“0”の場合、EW0モードになります。図18.5にEW0モードの設定と解除方法を示します。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

18.3.2 EW1モード

FMR01ビットを“1”にした後、FMR60ビットを“1”にするとEW1モードになります。図18.6にEW1モードの設定と解除方法を示します。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読めません。

プログラム、イレーズのコマンドを実行すると、コマンドの実行が終了するまで、CPUは停止します。

18.3.3 フラッシュメモリ制御レジスタ(FMR0、FMR1、FMR2、FMR6レジスタ)

18.3.3.1 フラッシュメモリ制御レジスタ0(FMR0)

フラッシュメモリ制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0

			0				
--	--	--	---	--	--	--	--

シンボル
FMR0

アドレス
0220h番地

リセット後の値
00000001b (ユーザブートモード以外)
00100001b (ユーザブートモード)

ビットシンボル	ビット名	機能	RW
FMR00	RY/BYステータスフラグ	0: ビジー(書き込み、消去実行中) 1: レディ	RO
FMR01	CPU書き換えモード選択ビット	0: CPU書き換えモード無効 1: CPU書き換えモード有効	RW
FMR02	ロックビット無効選択ビット	0: ロックビット有効 1: ロックビット無効	RW
FMSTP	フラッシュメモリ停止ビット	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
— (b4)	予約ビット	“0” にしてください。	RW
— (b5)	予約ビット	ユーザブートモード以外では“0” にしてください。 ユーザブートモードでは“1” にしてください。	RW
FMR06	プログラムステータスフラグ	0: 正常終了 1: エラー終了	RO
FMR07	イレーズステータスフラグ	0: 正常終了 1: エラー終了	RO

FMR00(RY/BYステータスフラグ)(b0)

フラッシュメモリの動作状況を示すビットです。

[“0”になる条件]

- 次のコマンド実行中。
プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック
- フラッシュメモリ停止(FMSTPが“1”)
- FMSTPを“1”にした後、“0”にした場合の復帰動作中

[“1”になる条件]

上記以外

FMR01(CPU書き換えモード選択ビット)(b1)

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。

FMR01ビットを“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。

FMR01ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“L”を入力しているときに変更してください。

また、EW0モード時はRAM上のプログラムで書いてください。

このビットは、リードアレイモードにしてから“0”にしてください。

FMR02(ロックビット無効選択ビット)(b2)

FMR02 ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「18.3.5にデータ保護機能」参照)。

FMR02 ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02 ビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

FMR02 ビットを“1”にするときは、FMR01 ビットが“1”の状態、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA 転送が入らないようにしてください。

プログラム中、イレーズ中はFMR02ビットを変更しないでください。

FMSTP(フラッシュメモリ停止ビット)(b3)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”(フラッシュメモリ停止)にすると、内蔵フラッシュメモリにアクセスできなくなります。したがって、FMSTP ビットはRAM上に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合

FMSTPビットは次の手順で書き換えてください。

フラッシュメモリを停止させるとき

- (1) FMSTPビットを“1”にする
 - (2) フラッシュメモリ回路安定待ち時間(tps)待つ
- フラッシュメモリを再び動作させるとき
- (1) FMSTPビットを“0”にする
 - (2) フラッシュメモリ回路安定待ち時間(tps)待つ

FMSTP ビットは、FMR01 ビットが“1”(CPU 書き換えモード)のとき有効です。FMR01 ビットが“0”のとき、FMSTP ビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。

FMR23 ビットが“1”(低消費電力リードモード許可)のとき、FMR0 レジスタのFMSTP ビットを“1”(フラッシュメモリ停止)にしないでください。また、FMSTP ビットが“1”のとき、FMR23 ビットを“1”にしないでください。

FMR06(プログラムステータスフラグ)(b6)

自動書き込みの状況を示すビットです。

[“0”になる条件]

- クリアステータスコマンド実行

[“1”になる条件]

- 「18.3.7にフルステータスチェック」参照

FMR06ビットが“1”のとき、次のコマンドは受け付けられません。

プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック

FMR07(イレーズステータスフラグ)(b7)

自動消去の状況を示すビットです。

[“0”になる条件]

- クリアステータスコマンド実行

[“1”になる条件]

- 「18.3.7にフルステータスチェック」参照

FMR07ビットが“1”のとき、次のコマンドは受け付けられません。

プログラム、ブロックイレーズ、ロックビットプログラム、リードロックビットステータス、ブロックブランクチェック

18.3.3.2 フラッシュメモリ制御レジスタ1(FMR1)

フラッシュメモリ制御レジスタ1							
b7 b6 b5 b4 b3 b2 b1 b0 0							
シンボル FMR1		アドレス 0221h番地		リセット後の値 00X0XX0Xb			
ビット シンボル	ビット名	機 能		RW			
— (b0)	予約ビット	読んだ場合、不定		RO			
FMR11	FMR6レジスタへの書き込み許可ビット	0: 禁止 1: 許可		RW			
— (b3-b2)	予約ビット	読んだ場合、不定		RO			
— (b4)	予約ビット	“0”にしてください。		RW			
— (b5)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。			RW			
FMR16	ロックビットステータスフラグ	0: ロック 1: 非ロック		RO			
FMR17	データフラッシュウェイトビット	0: 1ウェイト 1: PM1レジスタのPM17ビットに従う		RW			

FMR11(FMR6レジスタへの書き込み許可ビット)(b1)

FMR11ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“L”を入力しているときに変更してください。

FMR16(ロックビットステータスフラグ)(b6)

リードロックビットステータスコマンド実行結果を示すビットです。

FMR17(データフラッシュウェイトビット)(b7)

データフラッシュのウェイトを選択するビットです。

“0”(1ウェイト)にすると、データフラッシュの読み出しサイクルに1ウェイト挿入します。書き込みサイクルには影響ありません。

18.3.3.3 フラッシュメモリ制御レジスタ2(FMR2)

フラッシュメモリ制御レジスタ2			
シンボル FMR2 アドレス 0222h番地 リセット後の値 XXXX0000b			
ビット シンボル	ビット名	機 能	RW
— (b1-b0)	予約ビット	“0” にしてください。	RW
FMR22	スローリードモード許可 ビット	0: 禁止 1: 許可	RW
FMR23	低消費電流リードモード 許可ビット	0: 禁止 1: 許可	RW
— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

FMR22(スローリードモード許可ビット)(b2)

FMR23(低消費電流リードモード許可ビット)(b3)

詳細は「7.4.4にフラッシュメモリのパワーコントロール」を参照してください。

18.3.3.4 フラッシュメモリ制御レジスタ 6(FMR6)

フラッシュメモリ制御レジスタ6							
b7	b6	b5	b4	b3	b2	b1	b0
		0				1	
シンボル FMR6				アドレス 0230h番地			
リセット後の値 XX0XXX00b							
ビット シンボル	ビット名			機 能		RW	
FMR60	EW1モード選択ビット			0: EW0モード 1: EW1モード		RW	
— (b1)	予約ビット			“1”にしてください。		RW	
— (b4-b2)	予約ビット			読んだ場合、不定		RO	
— (b5)	予約ビット			“0”にしてください。		RW	
— (b7-b6)	予約ビット			読んだ場合、不定		RO	

FMR6 レジスタをアクセスする場合、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを8MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

FMR60(EW1モード選択ビット)(b0)

“1”にするときは、FMR01ビットとFMR11ビットがともに“1”の状態、FMR60ビットに“1”を書いてください。

FMR60ビットは、PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)のとき、またはNMI端子に“H”を入力しているときに変更してください。また、FMR0レジスタのFMR00ビットが“1”(レディ)のときに変更してください。

FMR61(b1)

CPU書き換えモードを使用する場合“1”にしてください。

図 18.5 に EW0 モードの設定と解除方法を、図 18.6 に EW1 モードの設定と解除方法を示します。

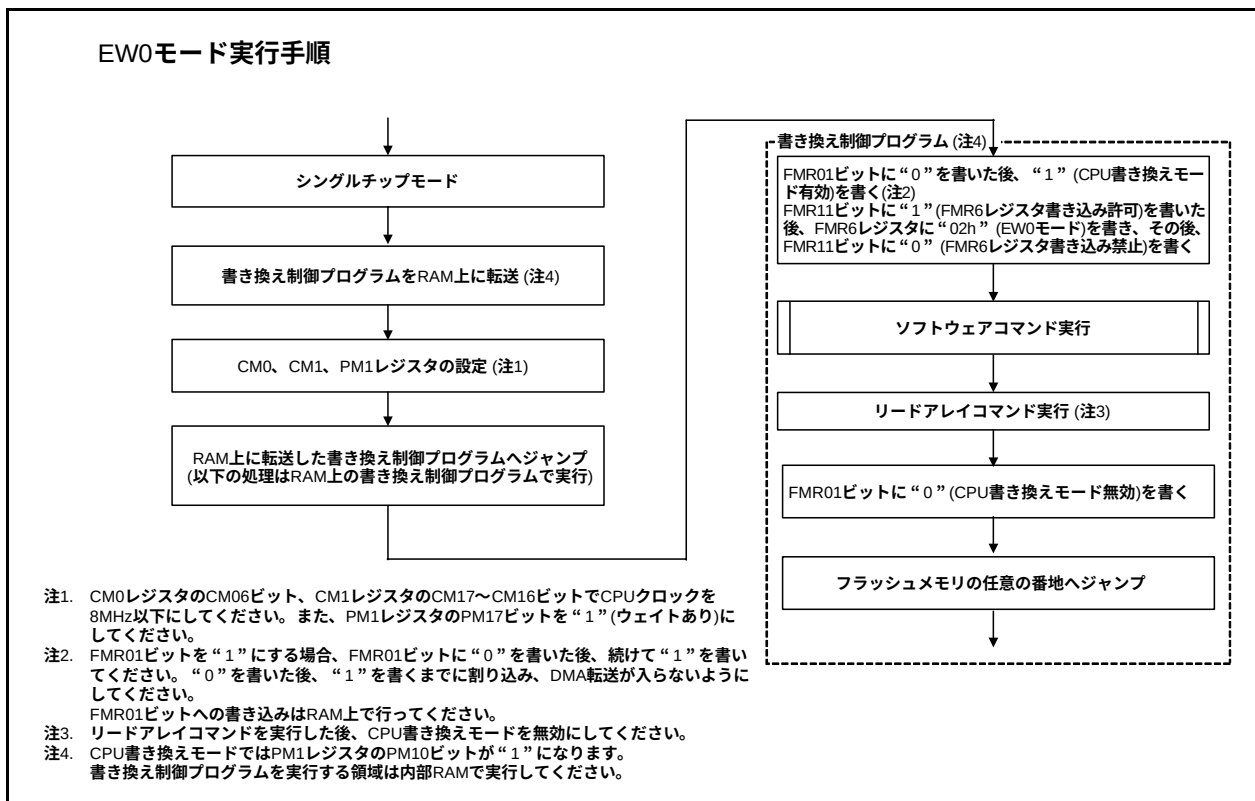


図18.5 EW0モードの設定と解除方法

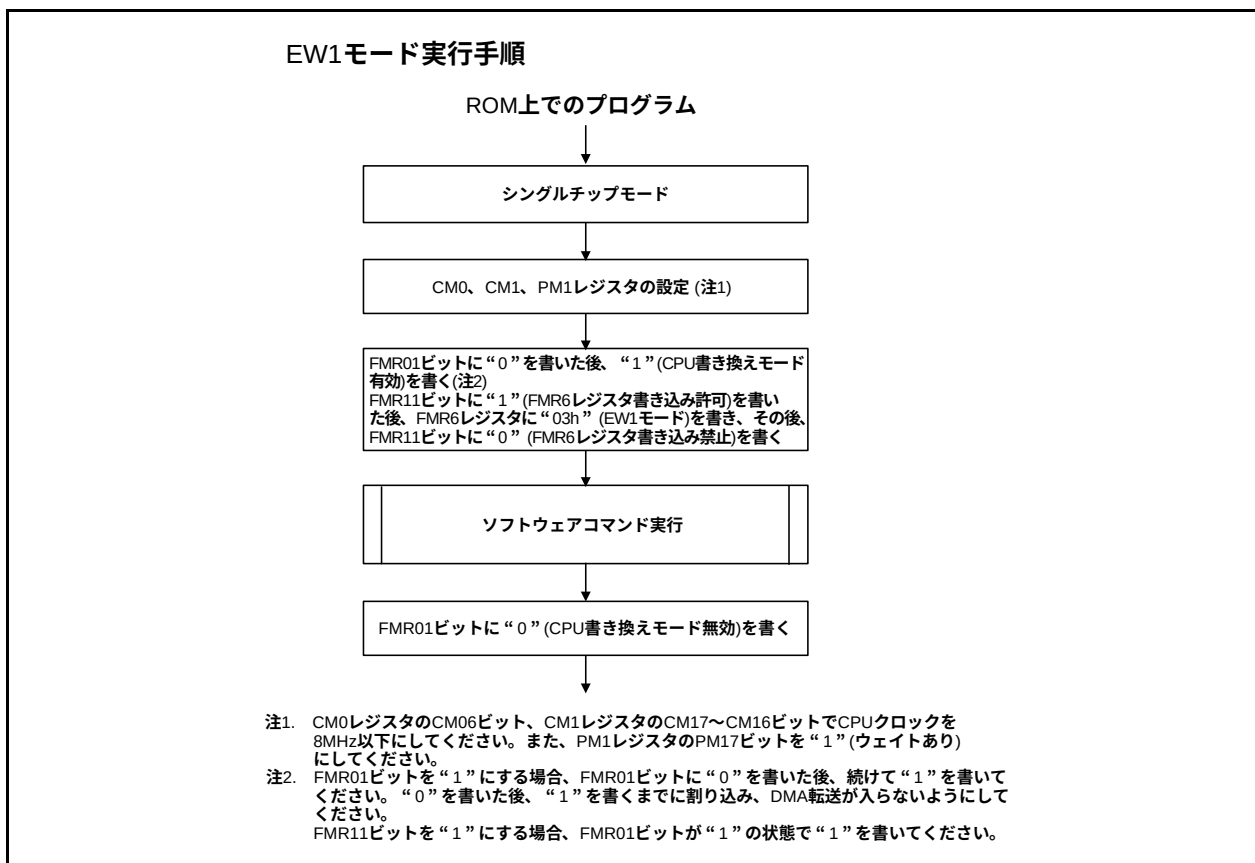


図18.6 EW1モードの設定と解除方法

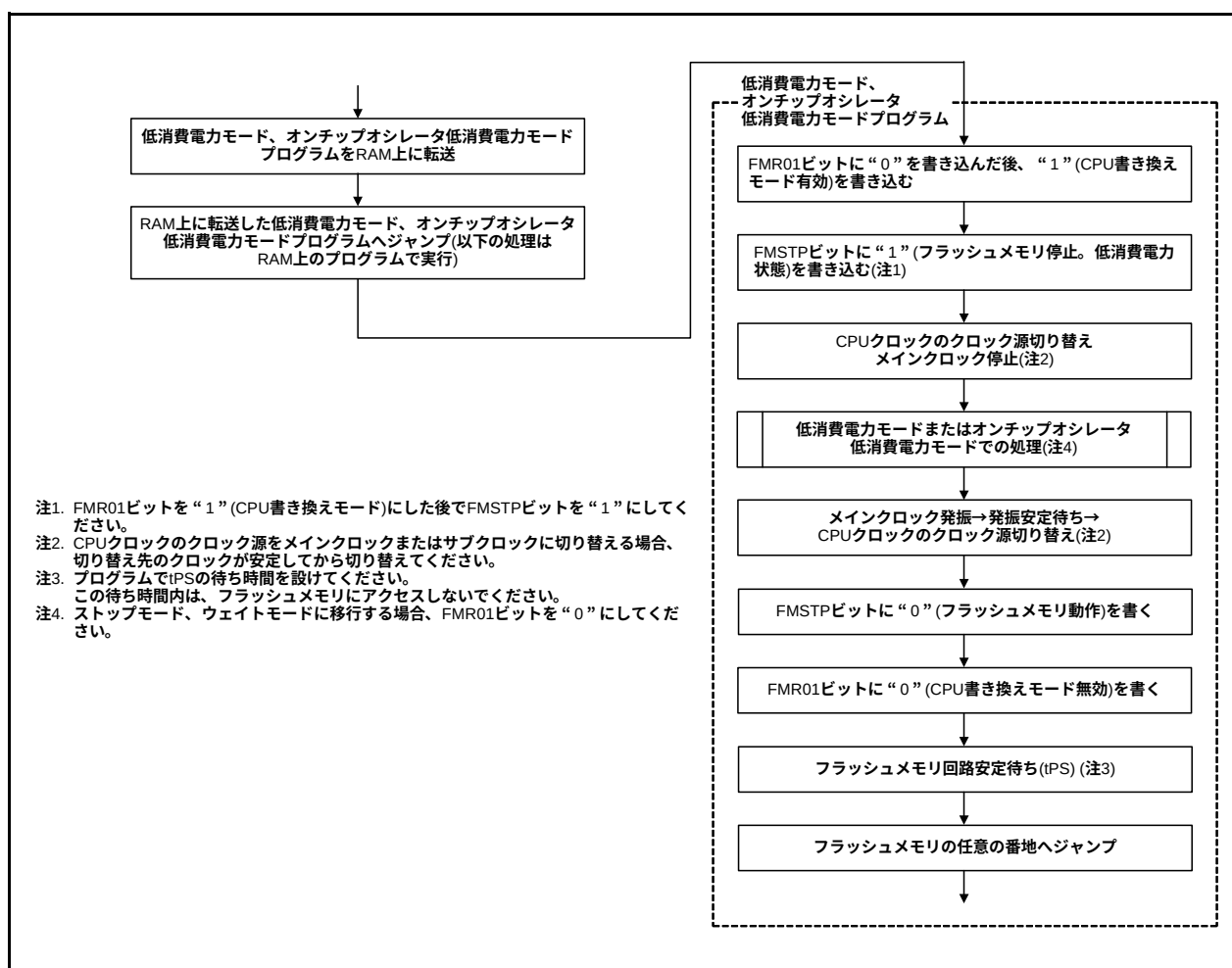


図18.7 低消費電力モード、オンチップオシレータ低消費電力モード前後の処理

18.3.4 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、プログラムROM1、プログラムROM2、またはデータフラッシュ内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表18.10 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	×	xxFFh						
リードステータスレジスタ	ライト	×	xx70h	リード	×	SRD			
クリアステータスレジスタ	ライト	×	xx50h						
プログラム	ライト	WA	xx41h	ライト	WA	WD0	ライト	WA	WD1
ブロックイレース	ライト	×	xx20h	ライト	BA	xxD0h			
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h			
リードロックビットステータス	ライト	×	xx71h	ライト	BA	xxD0h			
ブロックブランクチェック	ライト	×	xx25h	ライト	BA	xxD0h			

SRD：ステータスレジスタデータ(D7～D0)

WA：書き込み番地（番地の末尾は0h、4h、8hまたはChにしてください。）

WD0：書き込みデータ下位ワード(16ビット)

WD1：書き込みデータ上位ワード(16ビット)

BA：ブロックの最上位番地(ただし、偶数番地)

×：プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地

xx：コマンドコード上位8ビット(無視されます)

18.3.4.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

18.3.4.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「18.3.6 ステータスレジスタ」参照)。なお、読むときもプログラムROM1、プログラムROM2、またはデータフラッシュ内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

18.3.4.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで“xx50h”を書くと、FMR0レジスタのFMR07～FMR06ビットは“00b”、ステータスレジスタのSR5～SR4は“00b”になります。

18.3.4.4 プログラム

2ワード(4バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx41h”を書き、第2バスサイクルと第3バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。書き込み番地の末尾は0h、4h、8hまたはChにしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「18.3.7 フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みはできません。図18.8にプログラムフローチャート例を示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「18.3.5 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

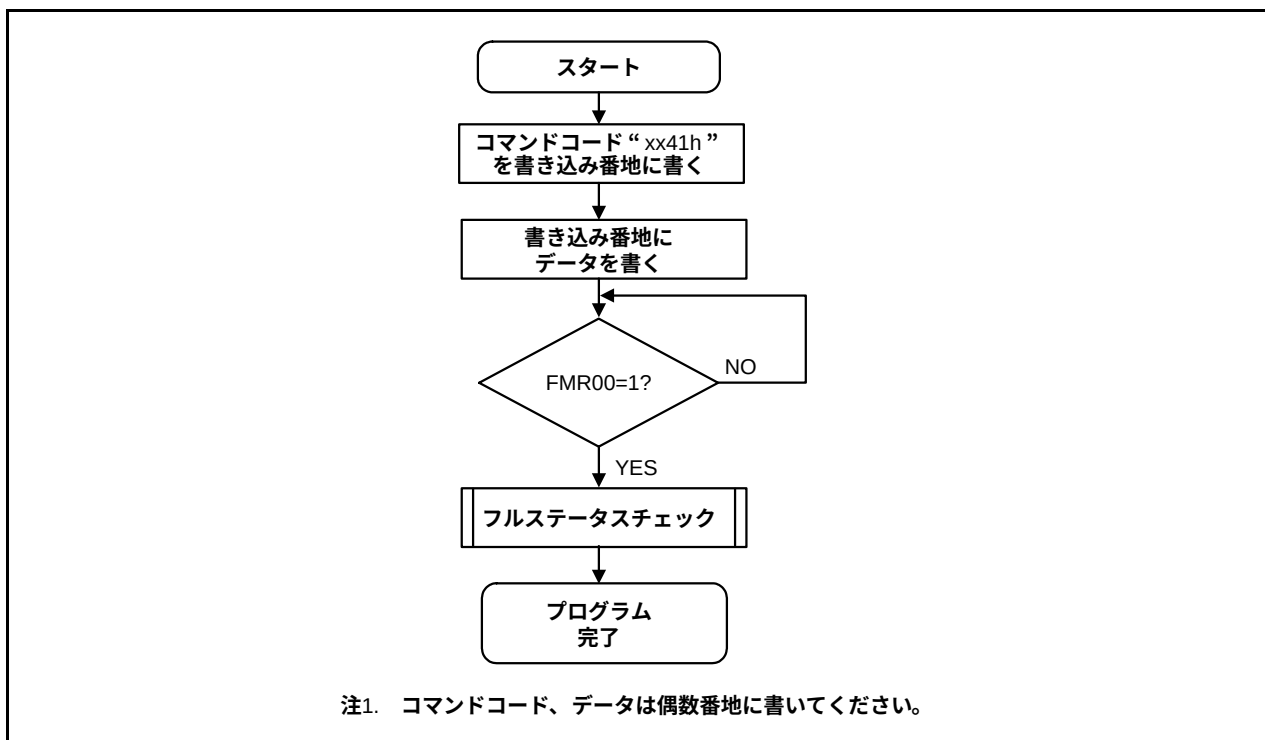


図18.8 プログラムフローチャート

18.3.4.5 ブロックイレース

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレースとイレースベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「18.3.7 フルステータスチェック」参照)。

図18.9にブロックイレースフローチャート例を示します。

なお、各ブロックはロックビットにより、イレースを禁止できます(「18.3.5 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。なお、イレースエラーが発生した場合は、イレースエラーが発生しなくなるまで、クリアステータスレジスタコマンド→ブロックイレースコマンドを少なくとも3回実行してください。

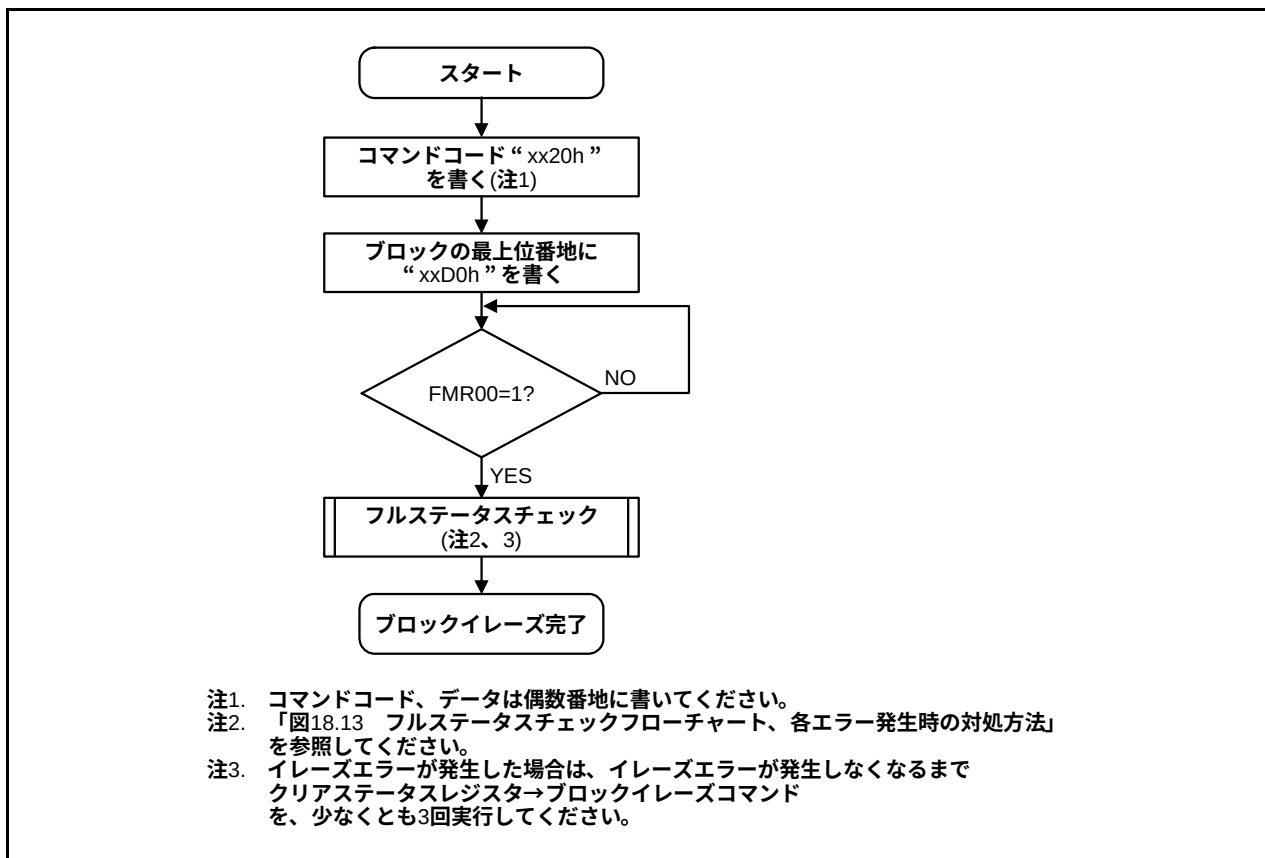


図18.9 ブロックイレースフローチャート

18.3.4.6 ロックビットプログラム

任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図18.10にロックビットプログラムフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については、「18.3.5 データ保護機能」を参照してください。

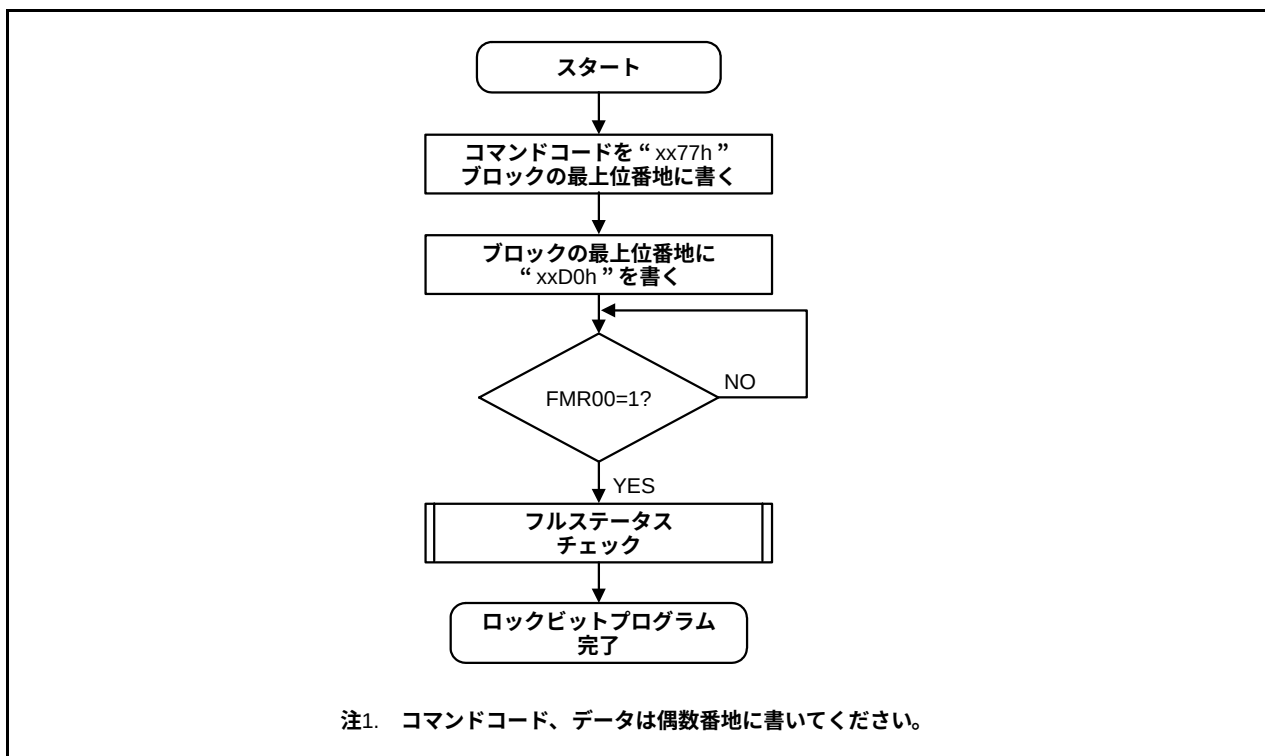


図18.10 ロックビットプログラムフローチャート

18.3.4.7 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。

図18.11にリードロックビットステータスフローチャート例を示します。

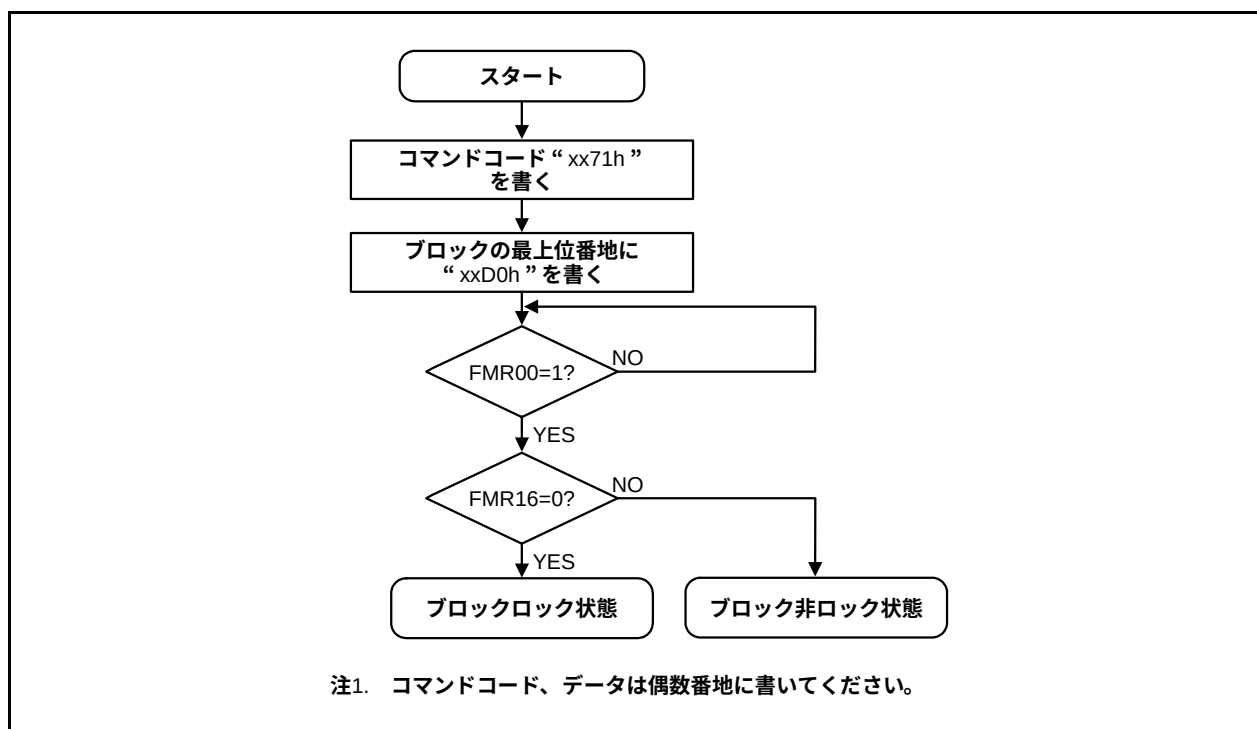


図18.11 リードロックビットステータスフローチャート

18.3.4.8 ブロックブランクチェック

任意のブロックがブランク(消去後の状態)かチェックするコマンドです。

第1バスサイクルで“xx25h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、チェック結果がFMR0レジスタのFMR07ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR07ビットを読んでください。FMR00ビットが“0”の間は、他のコマンドを実行しないでください。

ブロックブランクチェックコマンドは、ロックしていないブロックに対して有効です。

ロックビットが“0”(ロック状態)のブロックに対してブロックブランクチェックコマンドを実行すると、FMR02ビットの状態に関係なくFMR07ビット(SR5)は“1”(ブランクではない)になります。

図18.12にブロックブランクチェックフローチャート例を示します。

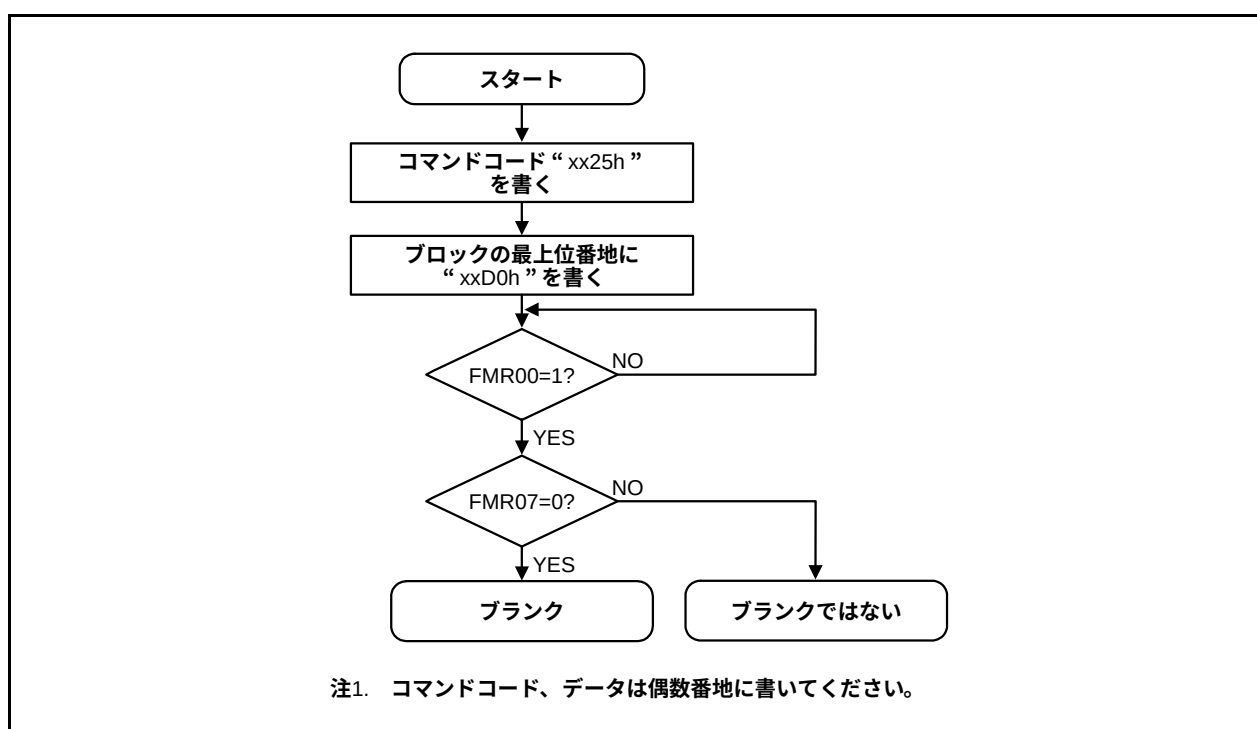


図18.12 ブロックブランクチェックフローチャート

なお、ブロックブランクチェックの結果、ブランクでなかった場合は、クリアステータスレジスタコマンドを実行した後、その他のソフトウェアコマンドを実行してください。

ブロックブランクチェックコマンドはブロックイレーズコマンドが正常に終了したかどうかの確認には使用しないでください。瞬時停電等で、ブロックイレーズコマンドが正しく終了しなかった可能性がある場合は、再度イレーズしてください。

18.3.5 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき：ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき：非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータをコマンドで“1”にできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR02ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR02ビットが“1”の状態、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、各ブロックのロックビットは“1”になります。各コマンドの詳細は、「18.3.4 ソフトウェアコマンド」を参照してください。

18.3.6 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態は、FMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表18.11にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読んだとき
- プログラムコマンド、ブロックイレーズコマンド、ロックビットコマンド、またはブロックブランクチェックコマンド実行後、リードアレイコマンドを実行するまでの期間に、プログラムROM1、プログラムROM2、またはデータフラッシュ内の任意の偶数番地を読んだとき

18.3.6.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック、リードロックビットステータスコマンド実行中には“0”、それ以外のときは“1”になります。

18.3.6.2 イレーズステータス(SR5、FMR07ビット)

「18.3.7 フルステータスチェック」を参照してください。

18.3.6.3 プログラムステータス(SR4、FMR06ビット)

「18.3.7 フルステータスチェック」を参照してください。

表18.11 ステータスレジスタ

ステータスレジスタ のビット	FMR0レジスタ のビット	ステータス名	内容		リセット後の 値
			“0”	“1”	
SR0 (D0)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR3 (D3)	—	予約ビット	—	—	—
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR6 (D6)	—	予約ビット	—	—	—
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。

FMR07ビット(SR5ビット)、FMR06ビット(SR4ビット)は、クリアステータスレジスタコマンドを実行すると“0”になります。

FMR07ビット(SR5ビット)またはFMR06ビット(SR4ビット)が“1”の場合、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェック、リードロックビットステータスコマンドは受け付けられません。

18.3.7 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表 18.12 にエラーと FMR0 レジスタの状態を、図 18.13 にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 18.12 エラーと FMR0 レジスタの状態

FMR00レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07ビット (SR5)	FMR06ビット (SR4)		
1	1	コマンド シーケンス エラー	• コマンドを正しく書かなかったとき • ロックビットプログラム、ブロックイレーズ、ブロックブランクチェック、リードロックビットステータスコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0h”または“xxFFh”)以外のデータを書いたとき(注1)
1	0	イレーズエラー	• ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) • ロックされていないブロックにブロックイレーズコマンドを実行し、正しく自動消去されなかったとき • ブロックブランクチェックコマンドを実行して、チェック結果がブランクでなかったとき
0	1	プログラム エラー	• ロックされたブロックにプログラムコマンドを実行したとき(注2) • ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき • ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

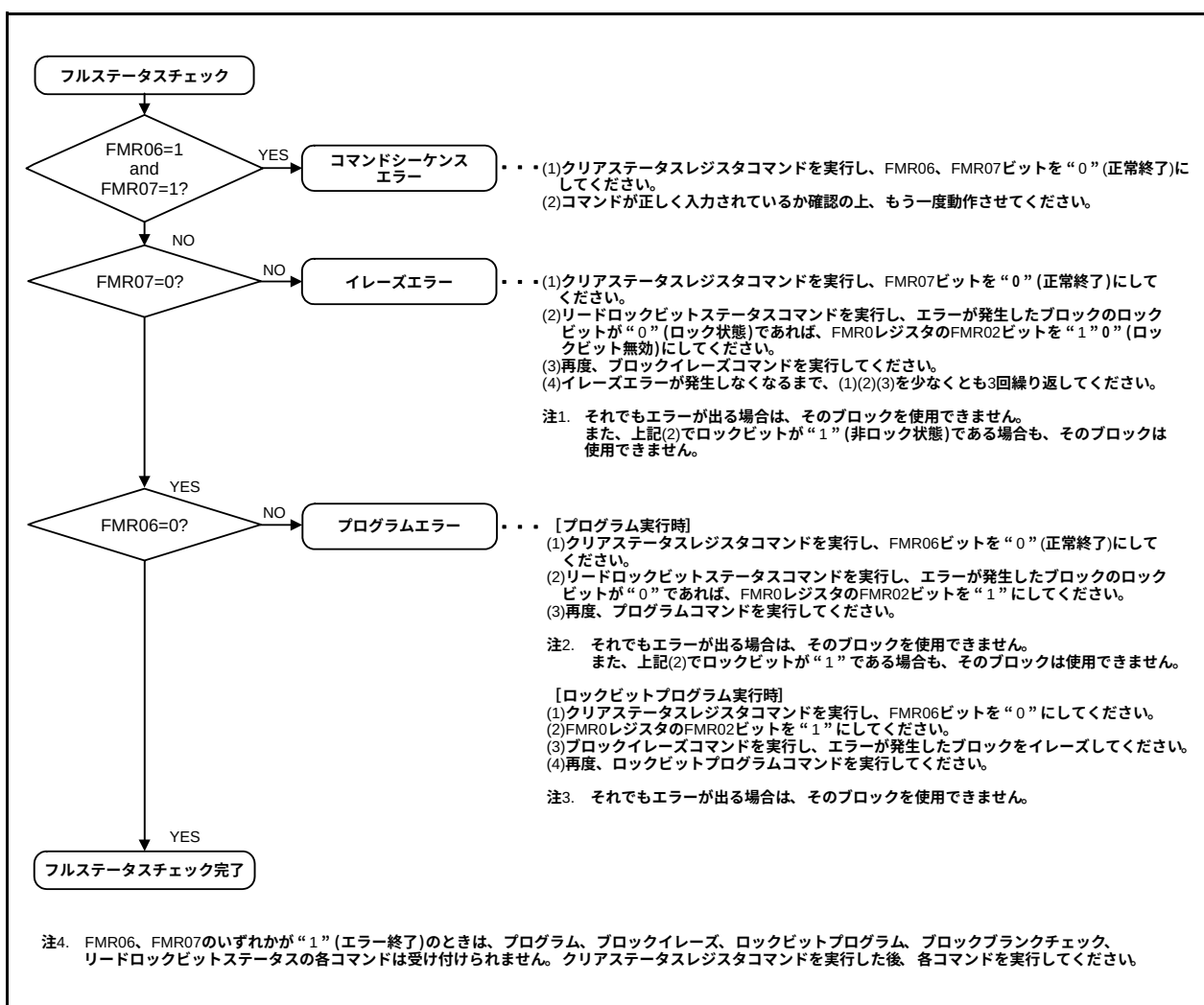


図 18.13 フルステータスチェックフローチャート、各エラー発生時の対処方法

18.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/6Bグループに対応したシリアルライターを使用して、マイクロコンピュータを基板に実装した状態で、プログラムROM1、プログラムROM2、またはデータフラッシュを書き換えることができます。シリアルライターについては、各メーカーにお問い合わせください。また、シリアルライターの操作方法については、シリアルライターのユーザーズマニュアルを参照してください。

表18.13に端子の機能説明(フラッシュメモリ標準シリアル入出力モード)を、図18.14～図18.15に標準シリアル入出力モード時の端子結線図を示します。

18.4.1 IDコードチェック機能

シリアルライターから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します(「18.2 フラッシュメモリ書き換え禁止機能」参照)。

表 18.13 端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名称	入出力	機能
VCC、VSS1、VSS2	電源入力	入力	VCC端子には、フラッシュ書き込み、消去電圧を入力してください。VSS1、VSS2には、0Vを入力してください。
AVCC(注1)、AVSS(注1)	AD電源入力	入力	AVCC端子はVCCに接続してください。AVSS端子はVSSに接続してください。
CNVSS	CNVSS	入力	VCCに接続してください。
RESET	リセット入力	入力	リセット入力端子です。RESET端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN	クロック入力	入力	メインクロック発振回路の入出力です。XINとXOUTの間には水晶発振子を接続してください。
XOUT	クロック出力	出力	
VREF(注1)	基準電圧入力	入力	A/Dコンバータの基準電圧入力です。
P5_5	EP $\overline{\text{M}}$ 入力	入力	“L”を入力してください。
P5_7	入力ポートP5	入力	“H”を入力、“L”を入力、または開放してください。
P6_0～P6_3	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
P6_4/RTS1	BUSY出力	出力	標準シリアル入出力モード1：BUSY信号の出力端子です。 標準シリアル入出力モード2：ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/CLK1	SCLK入力	入力	標準シリアル入出力モード1：シリアルクロックの入力端子です。 標準シリアル入出力モード2：“L”を入力してください。
P6_6/RXD1	RXD入力	入力	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	シリアルデータの出力端子です。
P7_0～P7_3	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P7_4～P7_7(注1)	入力ポートP7	入力	“H”を入力、“L”を入力、または開放してください。
P8_0、P8_1(注1)	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P8_2、P8_3	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P8_5/NMI	NMI入力	入力	“H”を入力、“L”を入力、または開放してください。
P8_6、P8_7	入力ポートP8	入力	“H”を入力、“L”を入力、または開放してください。
P10_0～P10_7(注1)	入力ポートP10	入力	“H”を入力、“L”を入力、または開放してください。
VCCRF	電源入力	入力	VCCに接続してください。
VSSRF、VSSRF1	電源入力	入力	0Vを入力してください。
VSSRF2	電源入力	入力	0Vを入力してください。
VSSRF3	電源入力	入力	0Vを入力してください。
VSSRF4A、VSSRF4B	電源入力	入力	0Vを入力してください。
VSSRF5	電源入力	入力	0Vを入力してください。
VSSRF6	電源入力	入力	0Vを入力してください。
VREGIN1	電源入力	入力	VREGOUT1に接続してください。
VREGIN2	電源入力	入力	VREGOUT1に接続してください。
VREGIN3	電源入力	入力	VREGOUT1に接続してください。
VREGIN4	電源入力	入力	VREGOUT1に接続してください。
VREGOUT1	電源出力	出力	VREGIN1～VREGIN4に接続してください。
VREGOUT2	電源出力	出力	VSS間にバイパスコンデンサを接続ください。
VREGOUT3	電源出力	出力	VSS間にバイパスコンデンサを接続ください。
RFIOP、RFION	RF入出力	入出力	RF入出力です。
TESTIOP、TESTION	テスト用ポート	入出力	“L”を入力、または開放してください。
ANTSWCONT	制御出力	出力	外付けアンテナスイッチ制御出力です。

注1. 48ピン版はありません。

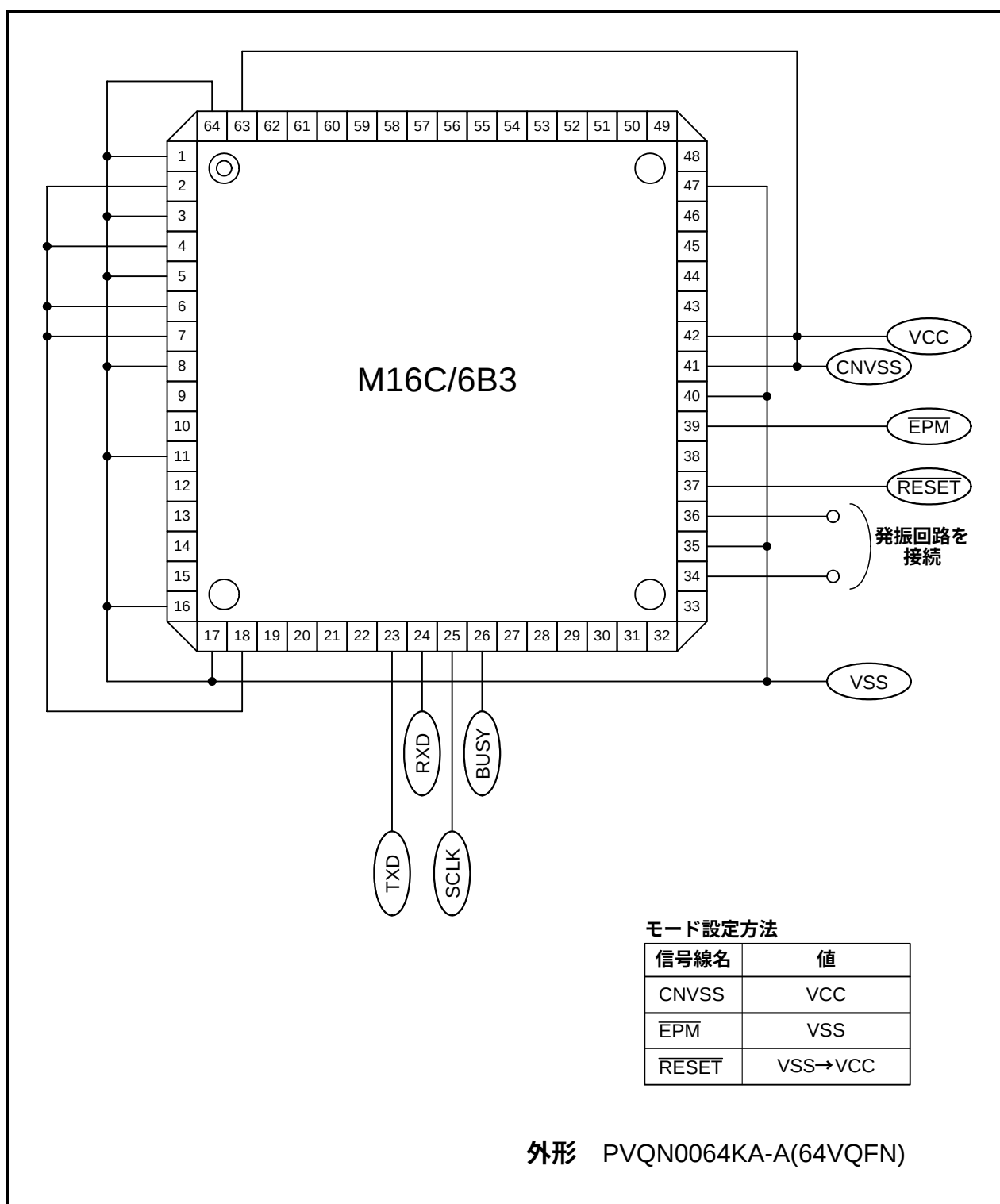


図18.14 標準シリアル入出力モード時の端子結線図(1)

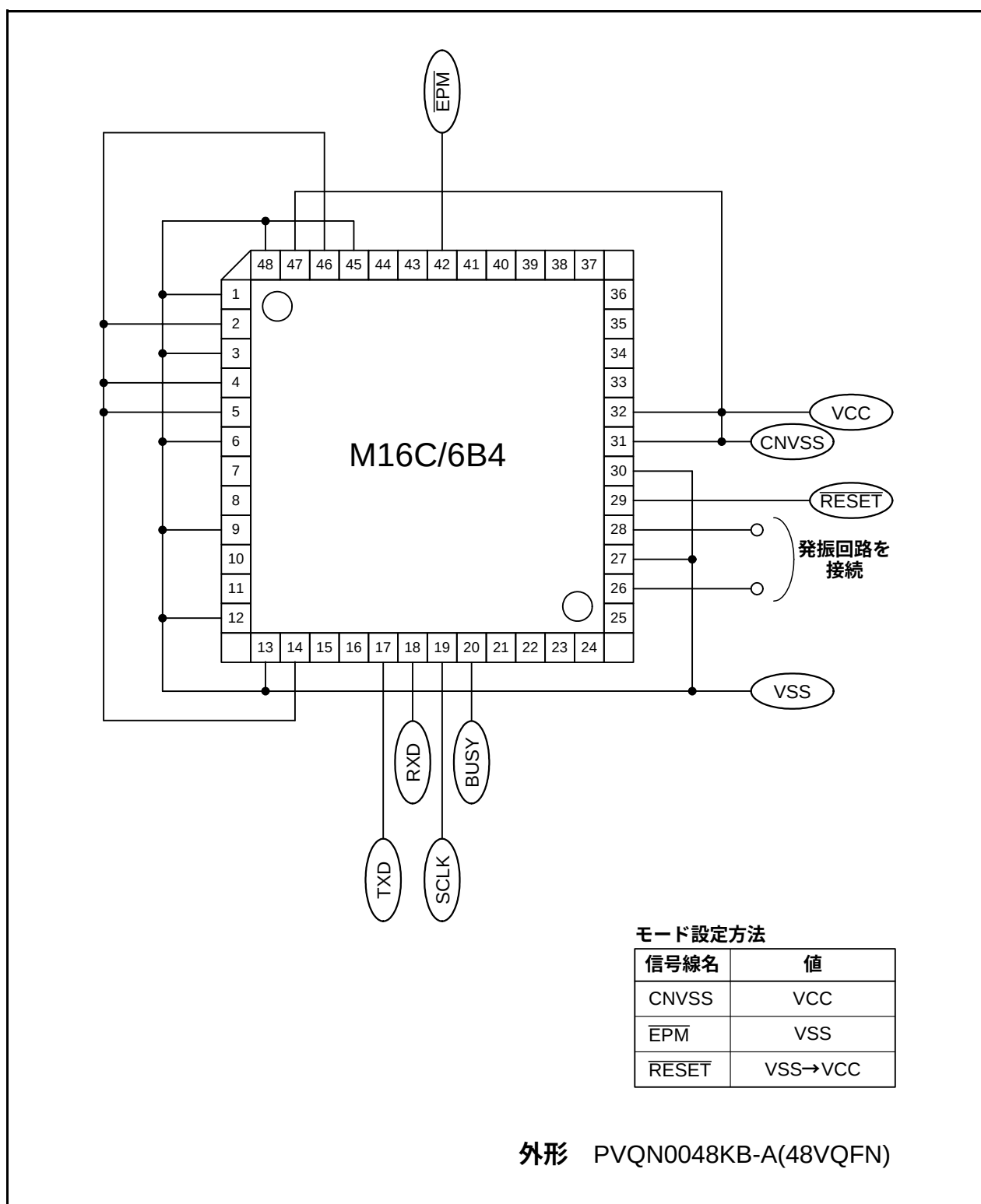


図18.15 標準シリアル入出力モード時の端子結線図(2)

18.4.2 標準シリアル入出力モード時の端子処理例

図18.16に標準シリアル入出力モード1を使用する場合の端子処理例を、図18.17に標準シリアル入出力モード2を使用する場合の端子処理例を示します。ライターによって制御するピンなどが違いますので、詳細はライターのマニュアルを参照してください。

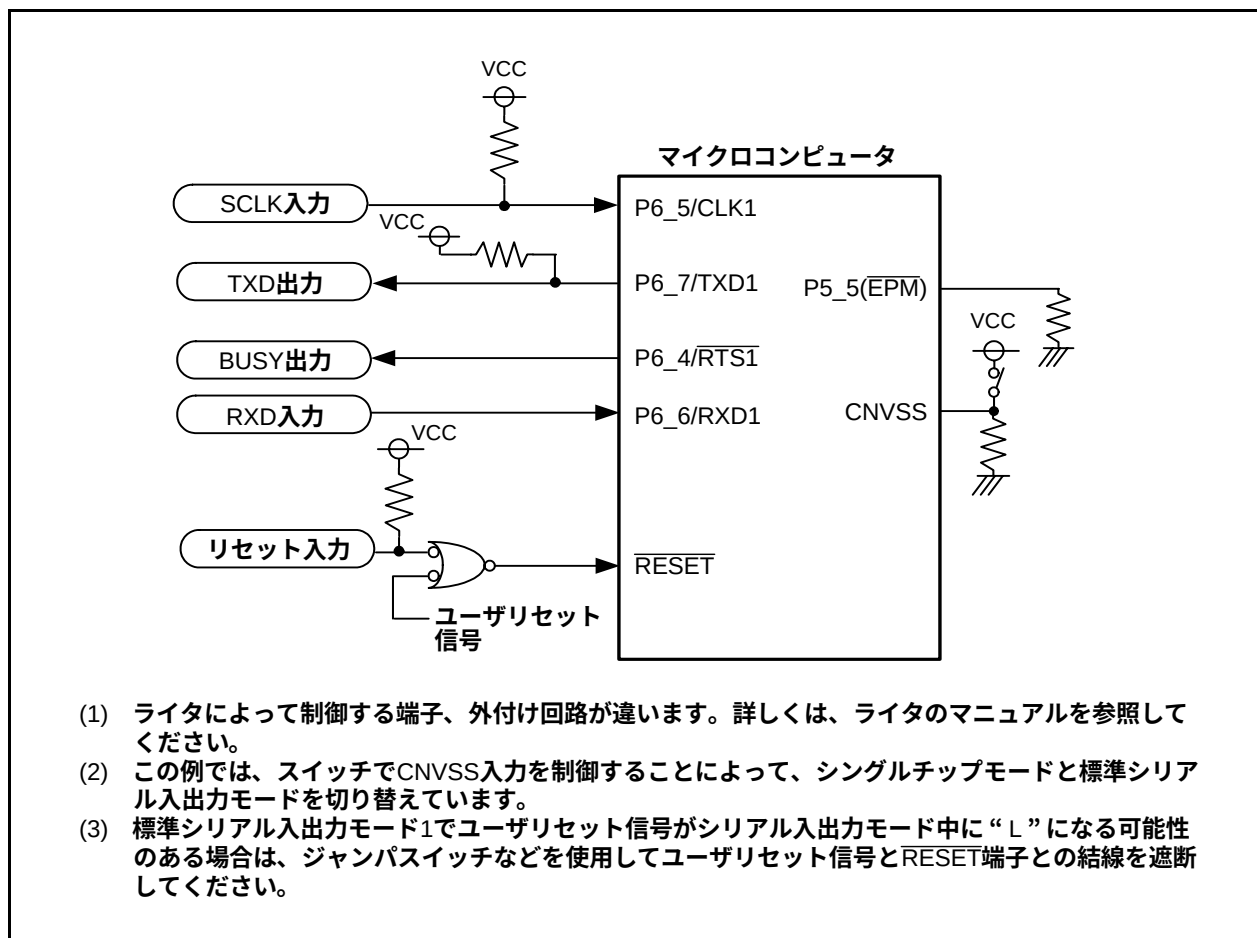


図18.16 標準シリアル入出力モード1を使用する場合の端子処理例

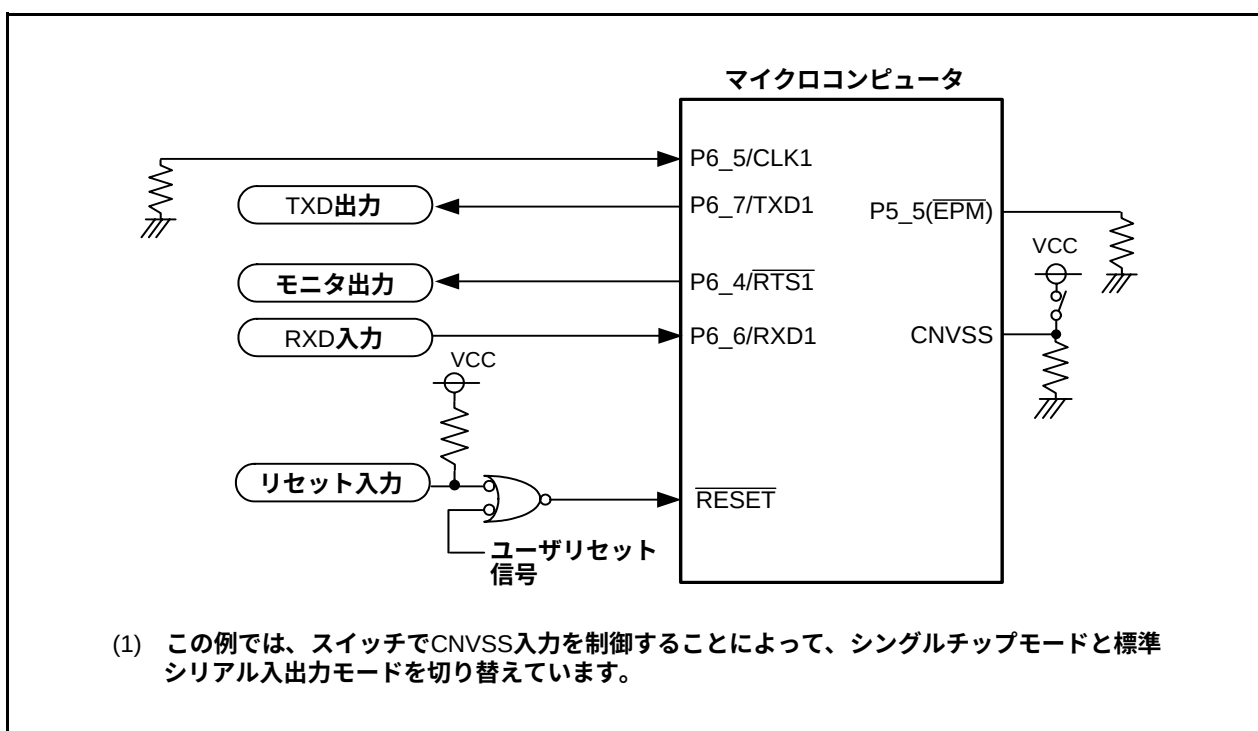


図18.17 標準シリアル入出力モード2を使用する場合の端子処理例

18.5 パラレル入出力モード

パラレル入出力モードでは、M16C/6B グループに対応したパラレルライターを使用して、プログラム ROM1、プログラム ROM2 を書き換えられます。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

18.5.1 ROMコードプロテクト機能

フラッシュメモリの読み出しや書き換えを禁止する機能です(「18.2 フラッシュメモリ書き換え禁止機能」参照)。

18.6 フラッシュメモリ使用上の注意事項

18.6.1 フラッシュメモリ書き換え禁止機能

0FFFDh、0FFFE3h、0FFFEb、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh 番地は、ID コードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFFFh 番地は OFS1 番地です。これらの番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

18.6.2 データフラッシュの読み出し

$2.2V \leq VCC \leq 2.7V$ の場合、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

18.6.3 CPU書き換えモード

18.6.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを8MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

18.6.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- NMI端子に“H”を入力

18.6.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND 命令、INTO 命令、JMPS 命令、JSRS 命令、BRK 命令

18.6.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクブル割り込みを使用しないでください。

18.6.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

18.6.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

18.6.3.7 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

18.6.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

18.6.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

18.6.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) CM0レジスタのCM05ビットが“1”(メインクロック停止)のときは、これらのコマンドを実行しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドに付き1回フルステータスチェックしてください(複数のコマンドを実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR07ビットのいずれか、もしくは両方が“1”(エラー終了)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) 低消費電流リードモード(FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

18.6.3.11 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

18.6.3.12 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- リセット
- NMI、ウォッチドッグタイマ、発振停止、再発振検出

18.6.4 ユーザブート

18.6.4.1 ユーザブートプログラムの配置

ユーザブートモードで起動し実行するプログラムは、プログラムROM2だけに配置してください(データフラッシュ、プログラムROM1に配置したプログラムを、ユーザブートモードで実行しないでください)。

18.6.4.2 標準シリアル入出力モード後のユーザブートモード起動

標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

19. 電気的特性

19.1 電気的特性

表 19.1 絶対最大定格

記号	項目		条件	定格値	単位
VCC	デジタル電源電圧			-0.3~3.8	V
VCCRF	アナログ電源電圧			-0.3~3.8	V
VI	入力電圧	RESET、CNVSS、P5_5、P5_7、P6_0~P6_7、P7_2、P7_3、P7_4~P7_7(注1)、P8_0(注1)、P8_1(注1)、P8_2、P8_3、P8_6、P8_7、P10_0~P10_7(注1)		-0.3~VCC + 0.3	V
		P7_0、P7_1、P8_5		-0.3~VCC + 0.3	V
VO	出力電圧	P5_5、P5_7、P6_0~P6_7、P7_2、P7_3、P7_4~P7_7(注1)、P8_0(注1)、P8_1(注1)、P8_2、P8_3、P8_6、P8_7、P10_0~P10_7(注1)、ANTSWCONT		-0.3~VCC + 0.3	V
		P7_0、P7_1、P8_5		-0.3~VCC + 0.3	V
VRFIO	RF入出力ピン	RFIOP、RFION		-0.3~2.1	V
VTESTIO	テストポート	TESTIOP、TESTION		-0.3~2.1	V
VANA	1.5V系アナログ電源	VREGIN1~4		-0.3~2.1	V
VXINOUT	メインクロック入出力	XIN、XOUT		-0.3~2.1	V
Pd	消費電力		-40°C ≤ Topr ≤ 85°C	300	mW
Topr	動作周囲温度	マイコン動作時		-20~85/ -40~85	°C
		フラッシュ書き込み消去時		0~60	
Tstg	保存温度			-65~150	°C

注1. 64ピン版のみ。

表 19.2 推奨動作条件 (1/2) (注1)

記号	項目		規格値			単位
			最小	標準	最大	
VCC	デジタル電源電圧	VCC	2.2	3.3	3.6	V
VCCRF	アナログ電源電圧	VCCRF、AVCC(注4)	2.2	3.3	3.6	V
VSS	電源電圧	VSS1、VSS2、AVSS(注4)、VSSRF、VSSRF1～VSSRF6		0		
VIH	“H”入力電圧	RESET、CNVSS、P5_5、P5_7、P6_0～P6_7、P7_2、P7_3、P7_4～P7_7(注4)、P8_0(注4)、P8_1(注4)、P8_2、P8_3、P8_6、P8_7、P10_0～P10_7(注4)	0.8VCC		VCC	V
		P7_0、P7_1、P8_5	0.8VCC		VCC	V
VIL	“L”入力電圧	RESET、CNVSS、P5_5、P5_7、P6_0～P6_7、P7_2、P7_3、P7_4～P7_7(注4)、P8_0(注4)、P8_1(注4)、P8_2、P8_3、P8_6、P8_7、P10_0～P10_7(注4)	0		0.2VCC	V
		P7_0、P7_1、P8_5	0		0.2VCC	V
IOH(peak)	“H”尖頭出力電流	P5_5、P5_7、P6_0～P6_7、P7_2、P7_3、P7_4～P7_7(注4)、P8_0(注4)、P8_1(注4)、P8_2、P8_3、P8_6、P8_7、P10_0～P10_7(注4)、ANTSWCONT	VCC=2.7～3.6V		-10.0	mA
			VCC=2.2～2.7V		-1.0	
IOH(avg)	“H”平均出力電流	P5_5、P5_7、P6_0～P6_7、P7_2、P7_3、P7_4～P7_7(注4)、P8_0(注4)、P8_1(注4)、P8_2、P8_3、P8_6、P8_7、P10_0～P10_7(注4)、ANTSWCONT	VCC=2.7～3.6V		-5.0	mA
			VCC=2.2～2.7V		-0.5	
IOL(peak)	“L”尖頭出力電流	P5_5、P5_7、P6_0～P6_7、P7_0～P7_3、P7_4～P7_7(注4)、P8_0(注4)、P8_1(注4)、P8_2、P8_3、P8_5～P8_7、P10_0～P10_7(注4)、ANTSWCONT	VCC=2.7～3.6V		10.0	mA
			VCC=2.2～2.7V		1.0	
IOL(avg)	“L”平均出力電流	P5_5、P5_7、P6_0～P6_7、P7_0～P7_3、P7_4～P7_7(注4)、P8_0(注4)、P8_1(注4)、P8_2、P8_3、P8_5～P8_7、P10_0～P10_7(注4)、ANTSWCONT	VCC=2.7～3.6V		5.0	mA
			VCC=2.2～2.7V		0.5	
f(XIN)	メインクロック入力発振周波数			16		MHz
f(XCIN)	サブクロック発振周波数			32.768	35	kHz
f(OCO)	125kHz オンチップオシレータ発振周波数			125		kHz
f(BCLK)	CPU動作周波数	VCC=2.2～2.7V	0		8	MHz
		VCC=2.7～3.6V	0		16	MHz

注1. 指定のない場合は、VCC=2.2～3.6V、Topr=-20～85℃/ -40～85℃です。

注2. 平均出力電流は100msの期間内での平均値です。

注3. ポートP7_0～P7_3、P8_2、P8_3、P8_5～P8_7、P10のIOL(peak)の合計は40mA以下(VCC=2.7～3.6V)、4mA以下(VCC=2.2～2.7V)、ポートP5_5、P5_7、P6、P7_4～P7_7、P8_0、P8_1のIOL(peak)の合計は40mA以下(VCC=2.7～3.6V)、4mA以下(VCC=2.2～2.7V)、ポートP7_2、P7_3、P8_2、P8_3、P8_6、P8_7、P10のIOH(peak)の合計は-40mA以下(VCC=2.7～3.6V)、-4mA以下(VCC=2.2～2.7V)、ポートP5_5、P5_7、P6、P7_4～P7_7、P8_0、P8_1のIOH(peak)の合計は-40mA以下(VCC=2.7～3.6V)、-4mA以下(VCC=2.2～2.7V)にしてください。

注4. 64ピン版のみ。

注5. トランシーバ動作で、メインクロック入力周波数は16MHz(固定)です。

表 19.3 推奨動作条件 (2/2)(注1)

(指定のない場合は、 $V_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C/-40\sim 85^{\circ}C$)(注1)電源リップルは $V_r(V_{CC})$ 、 $dV_r(V_{CC})/dt$ のどちらか一方または両方を満たしてください。

記号	項目		規格値			単位
			最小	標準	最大	
$V_r(V_{CC})$	許容電源リップル電圧	$V_{CC}=3.0V$			0.3	Vp-p
$dV_r(V_{CC})/dt$	電源リップル立下がり勾配	$V_{CC}=3.0V$			0.3	V/ms

注1. 推奨動作条件は、デバイスの動作を保証する範囲であり、この範囲を越えた場合、最大定格内であっても動作は保証されません。

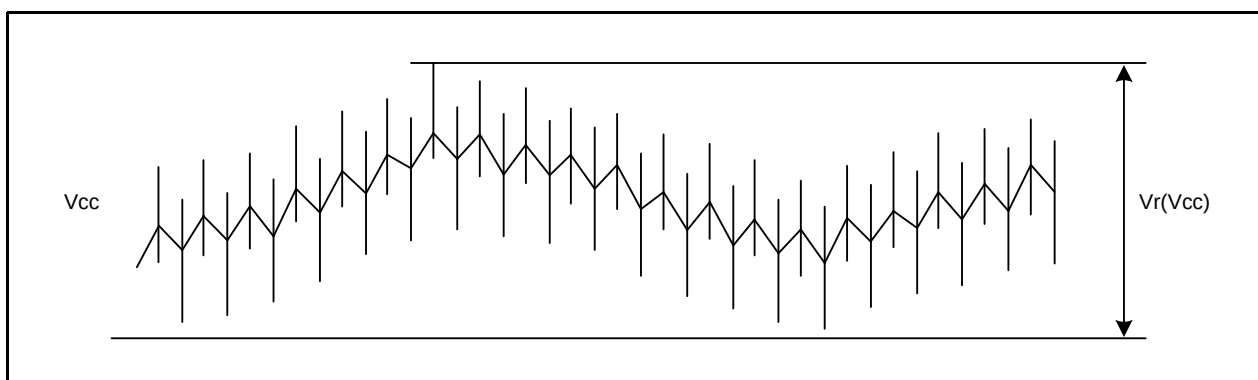


図 19.1 電源リップル波形

表 19.4 A/D変換特性(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
—	分解能		VREF=AVCC=VCC			10	Bits
INL	積分非直線性誤差	10bit	VREF=AVCC=VCC=3.3V AN0～AN7入力(注4)			±3	LSB
			VREF=AVCC=VCC=2.2V AN0～AN7入力(注4)			±6	LSB
—	絶対精度	10bit	VREF=AVCC=VCC=3.3V AN0～AN7入力(注4)			±3	LSB
			VREF=AVCC=VCC=2.2V AN0～AN7入力(注4)			±6	LSB
—	許容信号源インピーダンス				3		kΩ
DNL	微分非直線性誤差		(注4)			±1	LSB
—	オフセット誤差		(注4)			±3	LSB
—	ゲイン誤差		(注4)			±3	LSB
tCONV	変換時間(10bit)		VREF=AVCC=VCC=3.3V、 ϕ AD=16MHz	2.69			μs
tSAMP	サンプリング時間			0.94			μs
VREF	基準電圧				VCC		V
VIA	アナログ入力電圧			0		VREF	V

注1. 指定のない場合は、VREF=AVCC=VCC=3.3V、VSS=0V、Topr=−20～85℃/−40～85℃です。

注2. ϕ ADの周波数は次のようにしてください。

VCCが3.2～3.6Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 16\text{MHz}$

VCCが3.0～3.2Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 8\text{MHz}$

VCCが2.2～3.0Vの場合、 $2\text{MHz} \leq \phi\text{AD} \leq 4\text{MHz}$

注3. VREF=AVCC=VCCで使用してください。

注4. フラッシュメモリ書き換え禁止。測定するアナログ端子以外は入力ポートにしてVSSに接続。「図19.2 A/D精度測定回路」を参照してください。

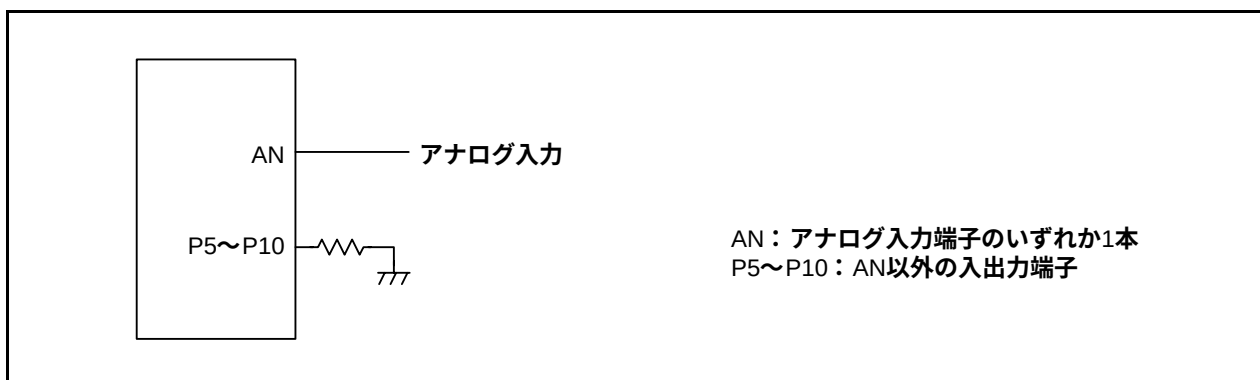


図 19.2 A/D精度測定回路

表 19.5 フラッシュメモリの電気的特性(注1)

記号	項目		規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注2)	データフラッシュ以外	100			回
		データフラッシュ	100			回
—	2ワードプログラム時間 (VCC=3.3V、Topr=25°C)	データフラッシュ以外		150		μs
		データフラッシュ		300		μs
—	ロックビットプログラム時間 (VCC=3.3V、Topr=25°C)	データフラッシュ以外		70		μs
		データフラッシュ		140		μs
—	ブロックイレーズ時間 (VCC=3.3V、Topr=25°C)	4K バイトブロック		0.20		s
		16K バイトブロック		0.20		s
		64K バイトブロック		0.20		s
tPS	フラッシュメモリ回路安定待ち時間				50	μs
—	データ保持時間(注3)		10			年

注1. 指定のない場合は、VCC=2.7～3.6V、Topr=0～60°Cです。

注2. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数がn回(n=100)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。

例えば、4K バイトブロックのブロックについて、それぞれ異なる番地に2ワード書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。

注3. Topr= -20～85°C / -40～85°Cの条件です。

表 19.6 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性(Topr=0～60°C)

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
VCC=2.7～3.6V	VCC=2.2～3.6V

表 19.7 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	VCC=2.2～3.6V			5	ms
td(R-S)	STOP 解除時間				150	μs
td(W-S)	低消費電力モードウェイトモード解除時間				150	μs

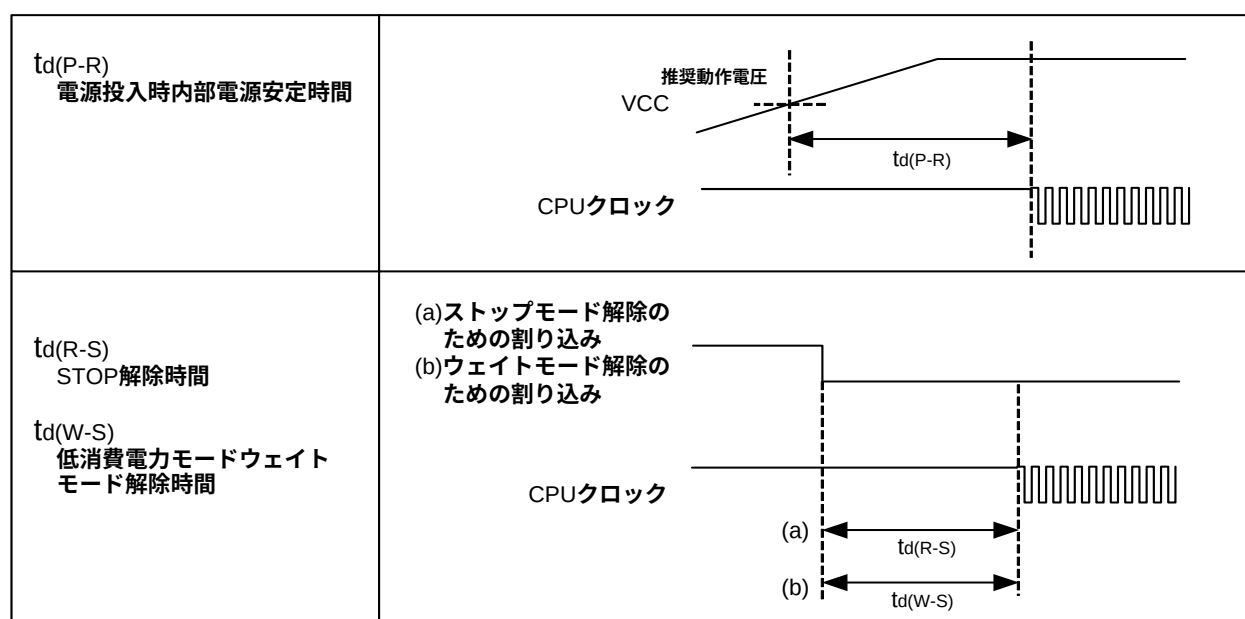


図 19.3 電源回路のタイミング図

VCC=VCCRF=3.3V

表 19.8 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	“H” 出力 電圧	P5_5、P5_7、P6_0～P6_7、P7_2、 P7_3、P7_4～P7_7(注2)、P8_0(注2)、 P8_1(注2)、P8_2、P8_3、P8_6、 P8_7、P10_0～P10_7(注2)	IOH=−1mA	VCC−0.5		VCC	V
		ANTSWCONT	IOH=−1mA	VCCRF−0.5		VCCRF	V
		XOUT	HIGHPOWER	IOH=−0.1mA	VREGOUT3 −0.5	VREGOUT3	V
			LOWPOWER	IOH=−50μA	VREGOUT3 −0.5	VREGOUT3	V
		XCOUT	HIGHPOWER	無負荷時	2.5		V
			LOWPOWER	無負荷時	1.6		V
VOL	“L” 出力 電圧	P5_5、P5_7、P6_0～P6_7、 P7_0～P7_3、P7_4～P7_7(注2)、 P8_0(注2)、P8_1(注2)、P8_2、P8_3、 P8_5～P8_7、P10_0～P10_7(注2)	IOL=1mA			0.5	V
		ANTSWCONT	IOL=1mA			0.5	V
		XOUT	HIGHPOWER	IOL=0.1mA		0.5	V
			LOWPOWER	IOL=50μA		0.5	V
		XCOUT	HIGHPOWER	無負荷時	0		V
			LOWPOWER	無負荷時	0		V
VT+-VT-	ヒステ リシス	TA0IN、TA1IN、TA2IN～TA4IN(注2)、 INT0、INT1、CTS0～CTS2、 SCL0～SCL2、SDA0～SDA2、 TA0OUT、TA1OUT、 TA2OUT～TA4OUT(注2)、 KI0～KI3(注2)、KI4～KI7、 RXD0～RXD2		0.2		0.8	V
VT+-VT-	ヒステ リシス	RESET		0.2		0.8	V
IIH	“H” 入力 電流	P5_5、P5_7、P6_0～P6_7、P7_2、 P7_3、P7_4～P7_7(注2)、P8_0(注2)、 P8_1(注2)、P8_2、P8_3、P8_6、 P8_7、P10_0～P10_7(注2)、XIN、 RESET、CNVSS	VI=3.3V			4.0	μA
IIL	“L” 入力 電流	P5_5、P5_7、P6_0～P6_7、 P7_0～P7_3、P7_4～P7_7(注2)、 P8_0(注2)、P8_1(注2)、P8_2、P8_3、 P8_5～P8_7、P10_0～P10_7(注2)、 XIN、RESET、CNVSS	VI=0V			−4.0	μA
RPULLUP	プル アップ 抵抗	P5_5、P5_7、P6_0～P6_7、P7_2、 P7_3、P7_4～P7_7(注2)、P8_0(注2)、 P8_1(注2)、P8_2、P8_3、P8_6、 P8_7、P10_0～P10_7(注2)	VI=0V	40	100	500	kΩ
RfXIN	帰還 抵抗	XIN			0.5		MΩ
RfXCIN	帰還 抵抗	XCIN			25		MΩ
VRAM	RAM保持電圧		ストップ モード時	1.8			V

注1. 指定のない場合は、VCC=2.7～3.6V、VSS=0V、Topr=−20～85℃/−40～85℃、f(BCLK)=16MHzです。

注2. 64ピン版のみ。

VCC=VCCRF=3.3V

表 19.9 電気的特性(2) (注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
ICC	電源電流 シングルチップモードで、出力端子は開放、その他の端子はVSS	フラッシュメモリ f(BCLK)=4MHz (4分周)	RF=off	4.7		mA
			RF=idle	6.7		mA
			RF=Tx	35.7		mA
			RF=Rx	46.7		mA
		f(BCLK)=8MHz (2分周)	RF=off	6.5		mA
			RF=idle	8.5		mA
			RF=Tx	37.5		mA
			RF=Rx	48.5		mA
		f(BCLK)=16MHz (分周なし)	RF=off	10		mA
			RF=idle	12		mA
			RF=Tx	41		mA
			RF=Rx	52		mA
		125kHz オンチップ オシレータ発振動作時 分周なし RF=off		450		μA
		フラッシュメモリ プログラム	f(BCLK)=8MHz VCC=3.3V	20		mA
		フラッシュメモリ イレーズ	f(BCLK)=8MHz VCC=3.3V	30		mA
		フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RF=off	70		μA
			125kHz オンチップ オシレータ発振動作、 ウェイトモード時 RF=off	9		μA
			f(BCLK)=32kHz ウェイトモード時(注2) 駆動能力High RF=off	18		μA
			f(BCLK)=32kHz ウェイトモード時(注2) 駆動能力Low RF=off	5		μA
			ストップモード時 T _{opr} =25℃	3		μA

注1. 指定のない場合は、VCC=2.7～3.6V、VSS=0V、T_{opr}=-20～85℃/-40～85℃、f(BCLK)=16MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

VCC=3.3V

タイミング必要条件

(指定のない場合は、VCC=3.3V、VSS=0V、Topr=−20〜85℃/−40〜85℃)

表 19.10 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	150		ns
tw(TAH)	TAiIN 入力 “H” パルス幅	60		ns
tw(TAL)	TAiIN 入力 “L” パルス幅	60		ns

表 19.11 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	600		ns
tw(TAH)	TAiIN 入力 “H” パルス幅	300		ns
tw(TAL)	TAiIN 入力 “L” パルス幅	300		ns

表 19.12 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	300		ns
tw(TAH)	TAiIN 入力 “H” パルス幅	150		ns
tw(TAL)	TAiIN 入力 “L” パルス幅	150		ns

表 19.13 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN 入力 “H” パルス幅	150		ns
tw(TAL)	TAiIN 入力 “L” パルス幅	150		ns

VCC=3.3V

タイミング必要条件

(指定のない場合は、VCC=3.3V、VSS=0V、Topr=−20〜85℃/−40〜85℃)

表 19.14 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT 入力サイクル時間	3000		ns
tw(UPH)	TAiOUT 入力“H”パルス幅	1500		ns
tw(UPL)	TAiOUT 入力“L”パルス幅	1500		ns
tsu(UP-TIN)	TAiOUT 入力セットアップ時間	600		ns
th(TIN-UP)	TAiOUT 入力ホールド時間	600		ns

表 19.15 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	2		μs
tsu(TAIN-TAOUT)	TAiOUT 入力セットアップ時間	500		ns
tsu(TAOUT-TAIN)	TAiIN 入力セットアップ時間	500		ns

表 19.16 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi 入力サイクル時間	300		ns
tw(CKH)	CLKi 入力“H”パルス幅	150		ns
tw(CKL)	CLKi 入力“L”パルス幅	150		ns
td(C-Q)	TXDi 出力遅延時間		160	ns
th(C-Q)	TXDi ホールド時間	0		ns
tsu(D-C)	RXDi 入力セットアップ時間	100		ns
th(C-D)	RXDi 入力ホールド時間	90		ns

表 19.17 外部割り込み INTi 入力

記号	項目	規格値		単位
		最小	最大	
tw(INH)	INTi 入力“H”パルス幅	380		ns
tw(INL)	INTi 入力“L”パルス幅	380		ns

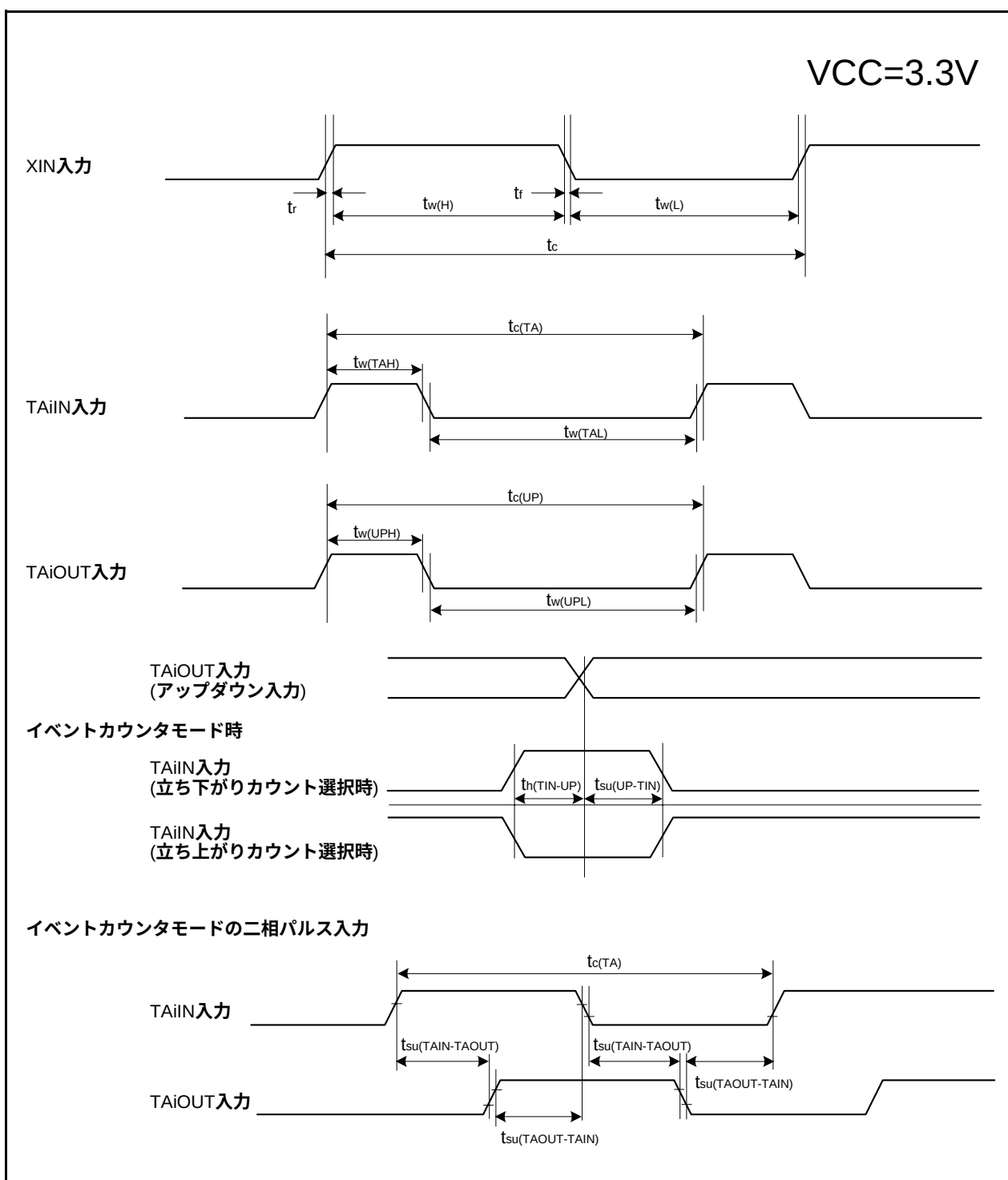


図 19.4 タイミング図(1)

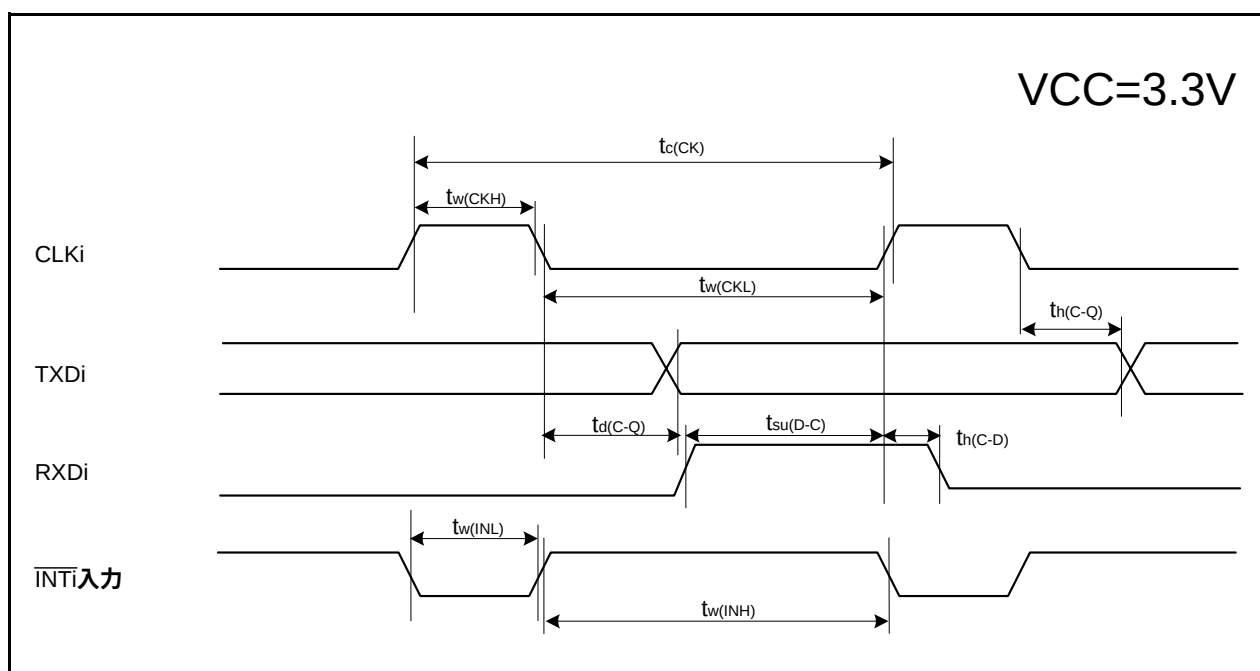


図 19.5 タイミング図(2)

VCC=VCCRF=2.2V

表 19.18 電気的特性(1) (注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	“H” 出力 電圧	P5_5、P5_7、P6_0～P6_7、P7_2、 P7_3、P7_4～P7_7(注2)、P8_0(注2)、 P8_1(注2)、P8_2、P8_3、P8_6、 P8_7、P10_0～P10_7(注2)	IOH= -1mA	VCC - 0.5		VCC	V
		ANTSWCONT	IOH= -1mA	VCCRF - 0.5		VCCRF	V
		XOUT	HIGHPOWER	VREGOUT3 - 0.5		VREGOUT3	V
		XCOUT	HIGHPOWER		2.5		V
			LOWPOWER		1.6		V
VOL	“L” 出力 電圧	P5_5、P5_7、P6_0～P6_7、 P7_0～P7_3、P7_4～P7_7(注2)、 P8_0(注2)、P8_1(注2)、P8_2、P8_3、 P8_5～P8_7、P10_0～P10_7(注2)	IOL=1mA			0.5	V
		ANTSWCONT	IOL=1mA			0.5	V
		XOUT	HIGHPOWER			0.5	V
			LOWPOWER			0.5	V
		XCOUT	HIGHPOWER		0		V
			LOWPOWER		0		V
VT+-VT-	ヒステ リシス	TA0IN、TA1IN、TA2IN～TA4IN(注2)、 INT0、INT1、CTS0～CTS2、 SCL0～SCL2、SDA0～SDA2、 TA0OUT、TA1OUT、 TA2OUT～TA4OUT(注2)、 KI0～KI3(注2)、KI4～KI7、 RXD0～RXD2		0.02		0.3	V
VT+-VT-	ヒステ リシス	RESET		0.05		0.5	V
IIH	“H” 入力 電流	P5_5、P5_7、P6_0～P6_7、P7_2、 P7_3、P7_4～P7_7(注2)、P8_0(注2)、 P8_1(注2)、P8_2、P8_3、P8_6、 P8_7、P10_0～P10_7(注2)、XIN、 RESET、CNVSS	VI=2.2V			2.0	μA
IIL	“L” 入力 電流	P5_5、P5_7、P6_0～P6_7、 P7_0～P7_3、P7_4～P7_7(注2)、 P8_0(注2)、P8_1(注2)、P8_2、P8_3、 P8_5～P8_7、P10_0～P10_7(注2)、 XIN、RESET、CNVSS	VI=0V			- 2.0	μA
RPULLUP	プル アップ 抵抗	P5_5、P5_7、P6_0～P6_7、P7_2、 P7_3、P7_4～P7_7(注2)、P8_0(注2)、 P8_1(注2)、P8_2、P8_3、P8_6、 P8_7、P10_0～P10_7(注2)	VI=0V	50	140	700	kΩ
RfXIN	帰還 抵抗	XIN			0.5		MΩ
RfXCIN	帰還 抵抗	XCIN			25		MΩ
VRAM	RAM保持電圧		ストップ モード時	1.8			V

注1. 指定のない場合は、VCC=2.2～2.7V、VSS=0V、Topr= -20～85℃ / -40～85℃、f(BCLK)=16MHzです。

注2. 64ピン版のみ。

VCC=VCCRF=2.2V

表 19.19 電気的特性(2) (注1)

記号	項目		測定条件			規格値			単位
						最小	標準	最大	
ICC	電源電流	シングルチップモードで、出力端子は開放、その他の端子はVSS	フラッシュメモリ	f(BCLK)=4MHz (4分周)	RF=off		4.7		mA
					RF=idle		6.7		mA
					RF=Tx		35.7		mA
					RF=Rx		46.7		mA
				f(BCLK)=8MHz (2分周)	RF=off		6.5		mA
				RF=idle		8.5		mA	
				RF=Tx		37.5		mA	
				RF=Rx		48.5		mA	
			125kHz オンチップ オシレータ発振動作時 分周なし RF=off				450		μA
			f(BCLK)=32kHz 低消費電力モード時 RF=off				70		μA
			125kHz オンチップ オシレータ発振動作、 ウェイトモード時 RF=off				9		μA
			f(BCLK)=32kHz ウェイトモード時(注2) 駆動能力 High RF=off				18		μA
			f(BCLK)=32kHz ウェイトモード時(注2) 駆動能力 Low RF=off				5		μA
			ストップモード時 Topr=25℃				3		μA

注1. 指定のない場合は、VCC=2.2～2.7V、VSS=0V、Topr=－20～85°C/－40～85°C、f(BCLK)=16MHzです。

注2. fC32にてタイマ1本を動作させている状態です。

VCC=2.2V

タイミング必要条件

(指定のない場合は、VCC=2.2V、VSS=0V、Topr=−20〜85℃/−40〜85℃)

表 19.20 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	500		ns
tw(TAH)	TAiIN入力“H”パルス幅	200		ns
tw(TAL)	TAiIN入力“L”パルス幅	200		ns

表 19.21 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	1000		ns
tw(TAH)	TAiIN入力“H”パルス幅	500		ns
tw(TAL)	TAiIN入力“L”パルス幅	500		ns

表 19.22 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN入力サイクル時間	800		ns
tw(TAH)	TAiIN入力“H”パルス幅	400		ns
tw(TAL)	TAiIN入力“L”パルス幅	400		ns

表 19.23 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
tw(TAH)	TAiIN入力“H”パルス幅	400		ns
tw(TAL)	TAiIN入力“L”パルス幅	400		ns

VCC=2.2V

タイミング必要条件

(指定のない場合は、VCC=2.2V、VSS=0V、Topr=−20〜85℃/−40〜85℃)

表19.24 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
tc(UP)	TAiOUT 入力サイクル時間	5000		ns
tw(UPH)	TAiOUT 入力“H”パルス幅	2000		ns
tw(UPL)	TAiOUT 入力“L”パルス幅	2000		ns
tsu(UP-TIN)	TAiOUT 入力セットアップ時間	1000		ns
th(TIN-UP)	TAiOUT 入力ホールド時間	1000		ns

表19.25 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
tc(TA)	TAiIN 入力サイクル時間	3		μs
tsu(TAIN-TAOUT)	TAiOUT 入力セットアップ時間	800		ns
tsu(TAOUT-TAIN)	TAiIN 入力セットアップ時間	800		ns

表19.26 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
tc(CK)	CLKi 入力サイクル時間	800		ns
tw(CKH)	CLKi 入力“H”パルス幅	400		ns
tw(CKL)	CLKi 入力“L”パルス幅	400		ns
td(C-Q)	TXDi 出力遅延時間		240	ns
th(C-Q)	TXDi ホールド時間	0		ns
tsu(D-C)	RXDi 入力セットアップ時間	200		ns
th(C-D)	RXDi 入力ホールド時間	90		ns

表19.27 外部割り込みINTi入力

記号	項目	規格値		単位
		最小	最大	
tw(INH)	INTi 入力“H”パルス幅	1000		ns
tw(INL)	INTi 入力“L”パルス幅	1000		ns

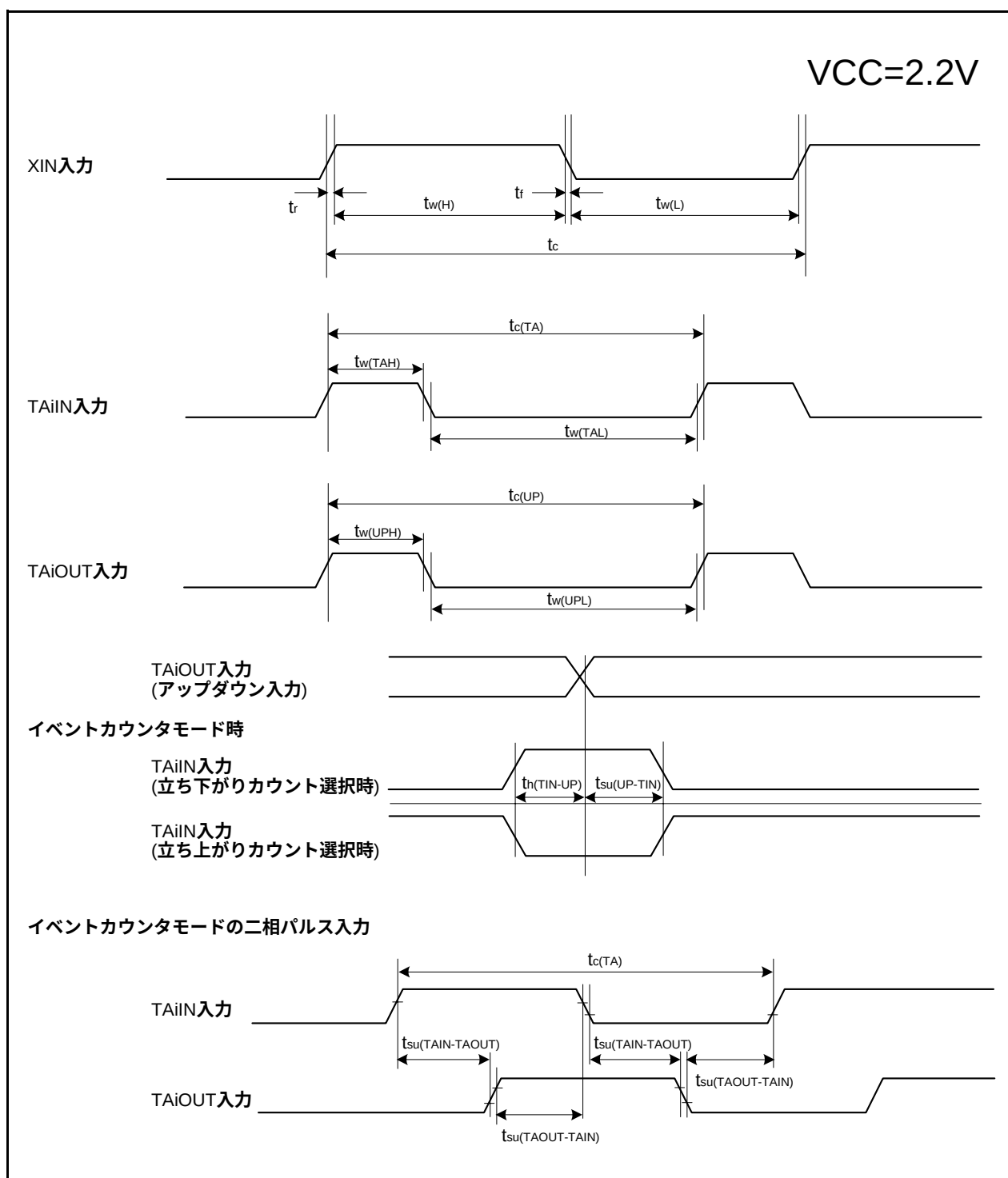


図 19.6 タイミング図(1)

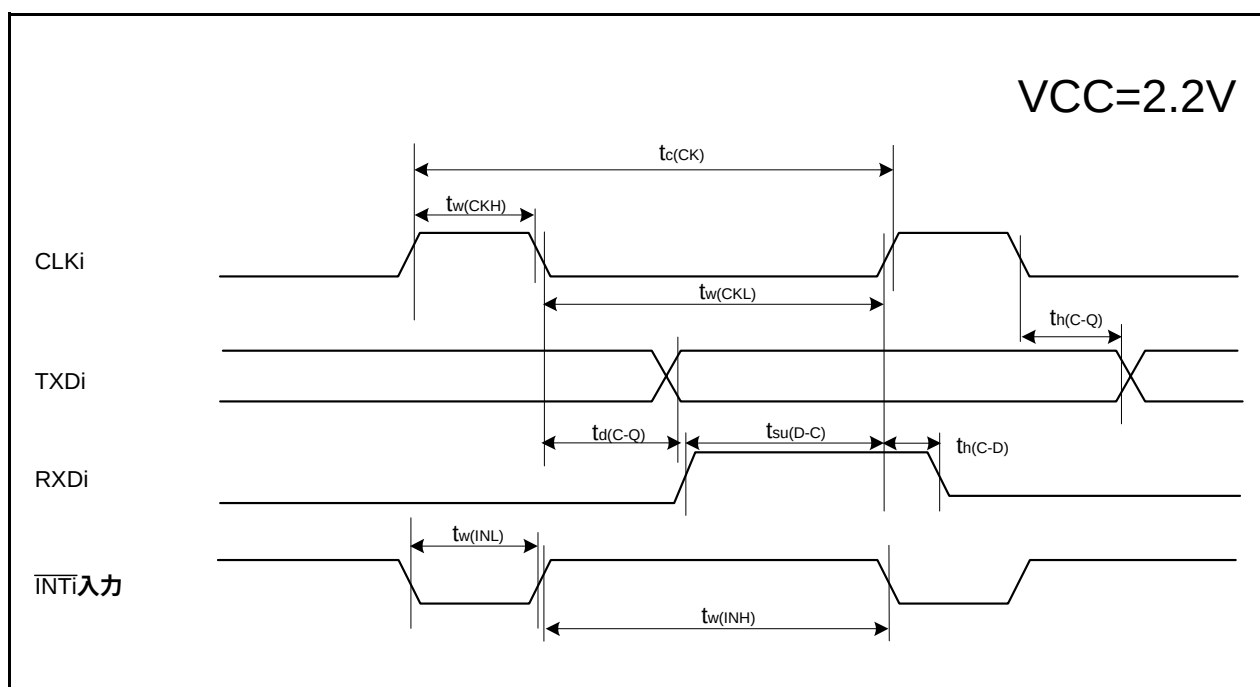


図 19.7 タイミング図(2)

表 19.28 トランシーバ部送信特性 (指定のない場合は、VCC=VCCRF=3.3V、VSS=0V、Topr=25°C)

項目		測定条件	規格値			IEEE802.15.4規格	単位
			最小	標準	最大		
内部電源電圧				1.5			V
送信出力電力			-3	0	5	-3以上	dBm
送信ビットレート				250		250	kbps
送信チップレート				2,000		2,000	kchips/s
出力電力可変範囲		23steps		32			dB
高調波	2次高調波	TXOUTPWR=16(h)、 0dBm(typ)		-32			dBm
	3次高調波	TXOUTPWR=16(h)、 0dBm(typ)		-39			dBm
スプリアス輻射	30 - 1,000MHz	TXOUTPWR=16(h)、 0dBm(typ)			-36		dBm
	1 - 12.75GHz				-30		dBm
	1.8 - 1.9GHz				-47		dBm
	5.15 - 5.3GHz				-47		dBm
エラーベクトル量 EVM		1,000chips		14	35	35以下	%
電力スペクトル 密度	絶対値限界	f-fc >3.5MHz			-30	-30以下	dBm
	相対値限界	f-fc >3.5MHz			-20	-20以下	dB
最小周波数許容誤差			-40	0		-40以内	ppm
最大周波数許容誤差				0	40	40以内	ppm

表 19.29 トランシーバ部受信特性 (指定のない場合は、VCC=VCCRF=3.3V、VSS=0V、Topr=25°C)

項目		測定条件	規格値			IEEE802.15.4規格	単位
			最小	標準	最大		
内部電源電圧				1.5			V
RF入力周波数			2,405		2,480		MHz
受信感度		PER=1% PSDU length=20octets		-94		-85以下	dBm
最大入力レベル					0	-20以上	dBm
隣接チャンネル 除去比	+ 5MHz	PER=1%	0	13		0以上	dB
	- 5MHz	Prf= - 82dBm	0	13			dB
相互チャンネル 除去比	+ 10MHz	PER=1%	30	35		30以上	dB
	- 10MHz	Prf= - 82dBm	30	35			dB
除去比	> + 15MHz	PER=1%		49			dB
	< - 15MHz	Prf= - 82dBm		49			dB
スプリアス輻射	30 - 1,000MHz				-54		dBm
	1 - 12.75GHz				-47		dBm
シンボルエラー許容誤差					80	80以下	ppm
RSSI レンジ				90		40以上	dB
RSSI 精度					± 6	± 6以内	dB

20. 使用上の注意事項

20.1 SFR

20.1.1 レジスタ設定時の注意事項

表20.1に書き込みのみ可能なビットを含むレジスタを示します。これらのレジスタには即値を設定してください。前回の値を加工して次の値を決める場合は、レジスタに書く値をRAMにも書いておき、次の値はRAMの内容を変更した後、レジスタに転送してください。

表20.1 書き込みのみ可能なビットを含むレジスタ

レジスタ名	シンボル	アドレス
ウォッチドッグタイマリセットレジスタ	WDTR	037Dh
ウォッチドッグタイマスタートレジスタ	WDTs	037Eh
UART0ビットレートレジスタ	U0BRG	0249h
UART1ビットレートレジスタ	U1BRG	0259h
UART2ビットレートレジスタ	U2BRG	0269h
UART0送信バッファレジスタ	U0TB	024Bh～024Ah
UART1送信バッファレジスタ	U1TB	025Bh～025Ah
UART2送信バッファレジスタ	U2TB	026Bh～026Ah
タイマA0レジスタ	TA0	0327h～0326h
タイマA1レジスタ	TA1	0329h～0328h
タイマA2レジスタ	TA2	032Bh～032Ah
タイマA3レジスタ	TA3	032Dh～032Ch
タイマA4レジスタ	TA4	032Fh～032Eh

20.2 リセット

20.2.1 VCC

電源投入時等、VCC端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVCC	電源立ち上がり勾配(VCC)(電圧範囲0V～2.0V)	0.05			V/ms
	電源立ち上がり勾配(VCC)(電圧範囲2.0V～3.6V)			3.6V	V/ms

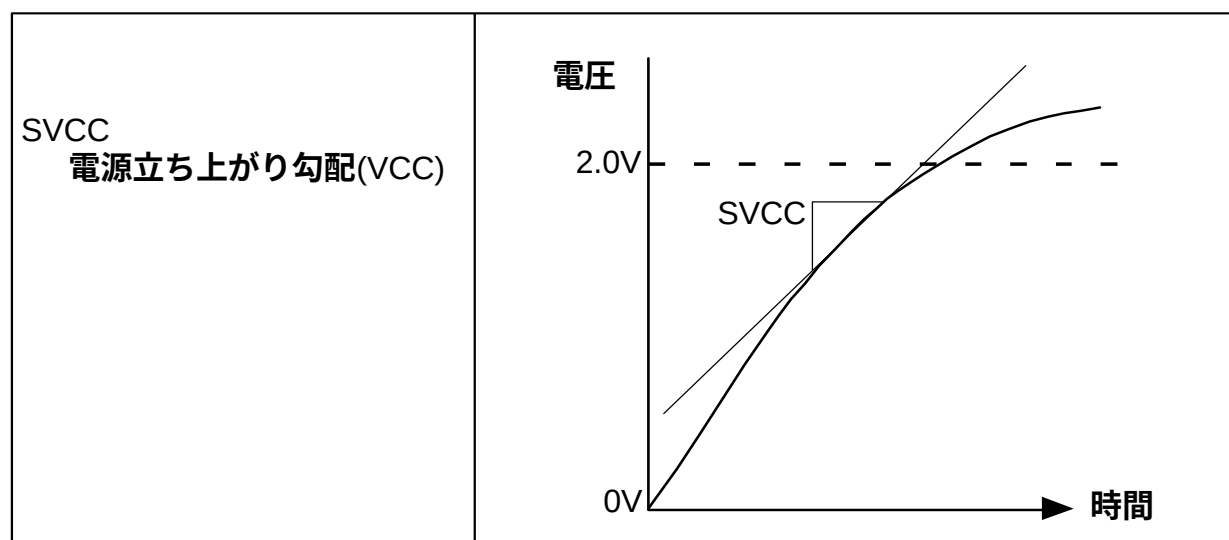


図20.1 SVCCのタイミング図

20.2.2 CNVSS

抵抗を介してVSSに接続してください。シングルチップモードでハードウェアリセットを解除した直後に、CNVSS端子の内蔵プルアップがONになるため、最大fOCO-Sの2サイクルの間“H”レベルになります。

20.3 ベースバンド機能使用時の注意事項

20.4 パワーコントロール

- ストップモードからハードウェアリセットによって復帰する場合、メインクロックの発振が十分に安定するまでRESET端子に“L”を入力してください。
- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ(i=0～4)のMR0ビットを“0”(パルス出力なし)にしてください。
- WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに移行する場合、命令キューはWAIT命令より後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

ウェイトモードに移行するときのプログラム例を示します。

```
例：          FSET      I          ;
              WAIT                      ;ウェイトモードに移行
              NOP                      ;NOP命令を4つ以上
              NOP
              NOP
              NOP
```

- ストップモードに移行するとき、CM1レジスタのCM10ビットを“1”にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに移行する場合、命令キューはCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。

ストップモードに移行するときのプログラム例を示します。

```
例：          FSET      I
              BSET      0, CM1        ;ストップモードに移行
              JMP.B     L2            ;JMP.B命令を挿入
L2:
              NOP                      ;NOP命令を4つ以上
              NOP
              NOP
              NOP
```

- ストップモード時、CLKOUT端子は“H”を出力します。したがって、CLKOUT端子の出力が“H”から“L”になった直後にストップモードになると“L”幅が短くなります。



- CPUクロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を待ってから切り替えてください。
CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。
- 外部で生成したクロックをXIN端子に入力し、かつCPUクロック源をメインクロックにしている場合、外部で生成したクロックを停止させないでください。

- 消費電力を小さくするためのポイント

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

【ポート】

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

【A/Dコンバータ】(64ピン版のみ)

A/D変換を行わない場合、ADCON1レジスタのADSTBYビットを“0”(A/D動作停止)にしてください。なお、A/D変換を行う場合、ADSTBYビットを“1”(A/D動作可能)にしてから ϕ ADの1サイクル以上経過した後、A/D変換を開始させてください。

【周辺機能の停止】

ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。

【発振駆動能力の切り替え】

発振が安定している場合、駆動能力を“L”にしてください。

20.5 割り込み

20.5.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスクابل割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報 (割り込み番号と割り込み要求レベル) を 00000h 番地から読みます。このとき、受け付けられた割り込みの IR ビットが “0” になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが “0” になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

20.5.2 SP の設定

割り込みを受け付ける前に、SP(USP、ISP) に値を設定してください。リセット後、SP(USP、ISP) は “0000h” です。そのため、SP(USP、ISP) に値を設定する前に割り込みを受け付けると、暴走の要因となります。

特に、 $\overline{\text{NMI}}$ 割り込みを使用する場合は、プログラムの先頭で ISP に値を設定してください。リセット後の先頭の 1 命令に限り、 $\overline{\text{NMI}}$ 割り込みを含むすべての割り込みが禁止されています。

20.5.3 $\overline{\text{NMI}}$ 割り込み

- $\overline{\text{NMI}}$ 割り込みは、禁止できません。使用しない場合は、PM2 レジスタの PM24 ビットを “0” (ポート P8_5 機能) にしてください。
- $\overline{\text{NMI}}$ 端子に “L” を入力している場合、ストップモードに移行できません。 $\overline{\text{NMI}}$ 端子に “L” が入力されている場合、CM1 レジスタの CM10 ビットが “0” に固定されています。
- $\overline{\text{NMI}}$ 端子に “L” を入力している場合、ウェイトモードに移行しないでください。 $\overline{\text{NMI}}$ 端子に “L” が入力されている場合、CPU は停止しますが CPU クロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。
- $\overline{\text{NMI}}$ 端子に入力する信号の “L” 幅、“H” 幅は、いずれも CPU クロックの 2 サイクル + 300ns 以上にしてください。

20.5.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図20.2に割り込み要因の変更手順例を示します。

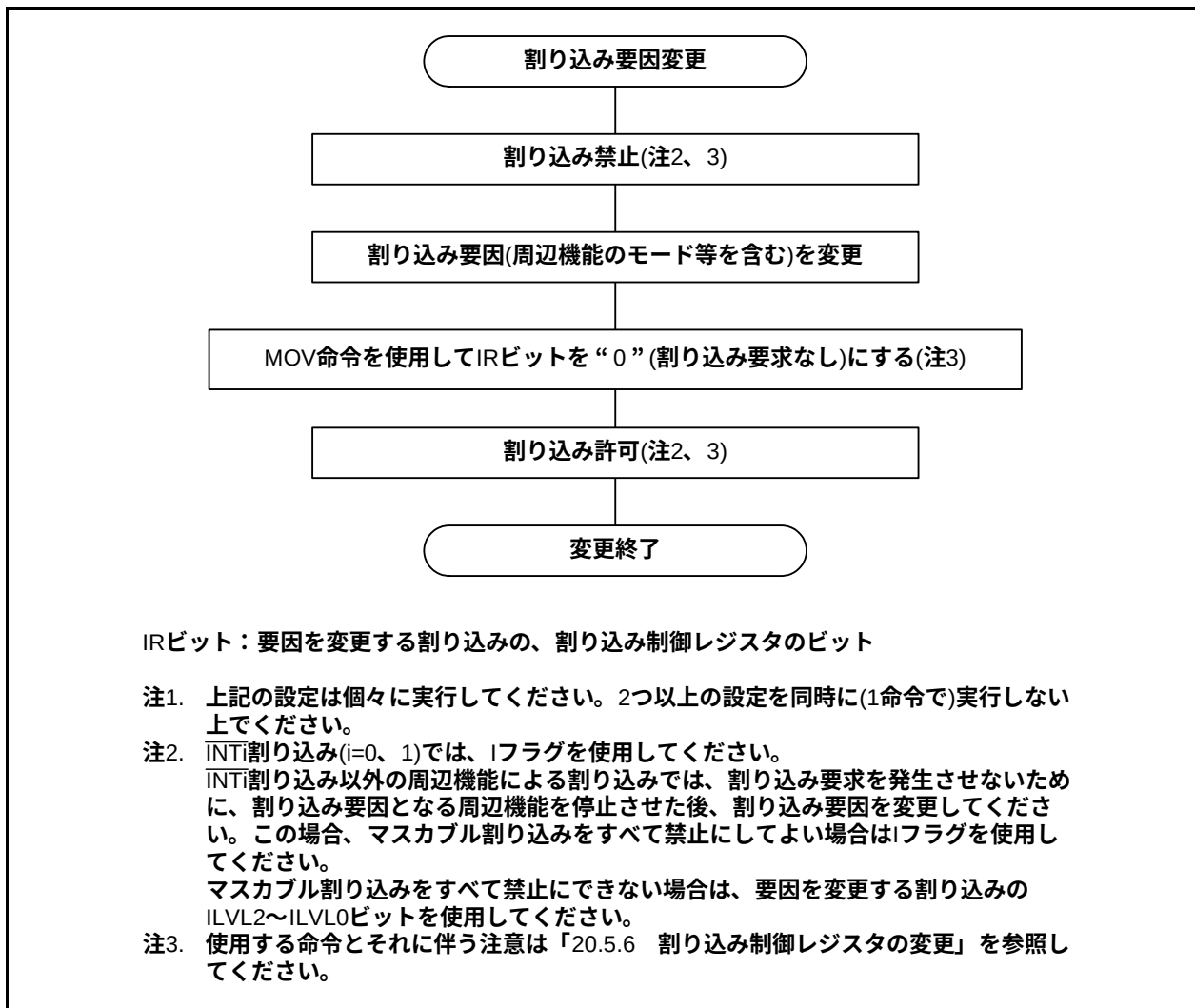


図20.2 割り込み要因の変更手順例

20.5.5 $\overline{\text{INT}}$ 割り込み

- $\overline{\text{INT}}_0$ 、 $\overline{\text{INT}}_1$ 端子に入力する信号には、CPUクロックに関係なく $t_w(\text{INL})$ 以上の“L”幅または $t_w(\text{INH})$ 以上の“H”幅が必要です。
- INT0IC 、 INT1IC レジスタのPOLビット、IFSRレジスタのIFSR1、IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

20.5.6 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所を変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。
- IRビット以外の変更に
命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。
対象となる命令…AND、OR、BCLR、BSET
 - IRビットの変更
IRビットを“0”(割り込み要求なし)にする場合、BTSTC命令を使用するとIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。
- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

INT_SWITCH1：

```
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
NOP
NOP
FSET    I                ; 割り込み許可
```

NOP命令の数は、次の通り

PM20=1(1ウェイト)時、2個。PM20=0(2ウェイト)時、3個。HOLD使用時、4個。

例2：ダミーリードでFSET命令を待たせる例

INT_SWITCH2：

```
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
MOV.W   MEM, R0         ; ダミーリード
FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

INT_SWITCH3：

```
PUSHC   FLG
FCLR    I                ; 割り込み禁止
AND.B   #00H, 0055H     ; TA0ICレジスタを“00h”にする
POPC    FLG             ; 割り込み許可
```

20.5.7 ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

20.6 DMAC

20.6.1 DMiCONレジスタのDMAEビットへの書き込み(i=0～3)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1”(DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

- (1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。
- (2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMiCONレジスタへ書く場合、DMASへ書く値を“1”にしておく、DMASは書く直前の状態を保持できます。

DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておく、命令実行中に発生したDMA要求を保持できます。

注2. TCRiレジスタの値で確認してください。

TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

20.7 タイマ

20.7.1 タイマA

20.7.1.1 タイマA(タイマモード)

リセット後、タイマは停止しています。TAiMR(i=0~4)レジスタ、TAiレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

20.7.1.2 タイマA(イベントカウンタモード)

リセット後、タイマは停止しています。TAiMR(i=0～4)レジスタ、TAiレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、TAPOFSレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、UDFレジスタ、ONSFレジスタのTAZIE、TA0TGL、TA0TGHビット、TRGSRレジスタ、TAPOFSレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TAiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

20.7.1.3 タイマA(ワンショットタイマモード)

リセット後、タイマは停止しています。TAiMR(i=0～4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタ、TACS0～TACS2レジスタ、TAPOFSレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタ、TACS0～TACS2レジスタ、TAPOFSレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態です。変更してください。

カウント中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- TAiOUT端子は、TAPOFSレジスタのPOFSiビットが“0”のときは“L”を、“1”のときは“H”を出力します。
- CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1.5サイクル分の遅延が生じます。(48ピン版のTA2～TA4は出力されません。)

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
- 動作モードをタイマモードからワンショットタイマモードに変更したとき
- 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

20.7.1.4 タイマA(パルス幅変調モード)(64ピン版のみ)

リセット後、タイマは停止しています。TAiMR (i=0~4)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタ、TACS0~TACS2レジスタ、TAPOFSレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態でも、変更してください。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、PWMモードを選択したとき
- 動作モードをタイマモードからPWMモードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、プログラムでIRビットを“0”にしてください。

PWMパルスを出力中にTAiSビットを“0”(カウント停止)にすると次のようになります。

TAPOFSレジスタのPOFSiビットが“0”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IRビットが“1”になります。
- TAiOUT端子から“L”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TAPOFSレジスタのPOFSiビットが“1”の場合

- カウンタはカウントを停止します。
- TAiOUT端子から“L”を出力している場合は、出力レベルは“H”になり、IRビットが“1”になります。
- TAiOUT端子から“H”を出力している場合は、出力レベルは変化せず、IRビットも変化しません。

TB2SCレジスタのIVPCR1ビットが“1”(SD端子入力による三相出力強制遮断許可)のとき、SD端子に“L”を入力すると、TA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

20.7.2 タイマB

20.7.2.1 タイマB(タイマモード)

リセット後、タイマは停止しています。TBiMR(i=0～5)レジスタ、TBiレジスタ、TBCS0～TBCS3レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタ、TBCS0～TBCS3レジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

20.7.2.2 タイマB(イベントカウンタモード)

リセット後、タイマは停止しています。TBiMR(i=0～5)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSРレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

20.8 シリアルインタフェース

20.8.1 クロック同期形シリアルI/Oモード

20.8.1.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ ($i=0 \sim 2$) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTSi}}$ 端子の出力レベルは“H”になります。このため、 $\overline{\text{RTSi}}$ 端子を送信側の $\overline{\text{CTSi}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

20.8.1.2 送信

外部クロックを選択している場合、UiC0レジスタ(i=0~2)のCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- CTS機能を選択している場合、CTSi端子の入力が“L”

20.8.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子(i=0~2)からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタのTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタのREビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態、CKPOLビットが“1”のときは外部クロックが“L”の状態、次の条件を満たしてください。

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

20.8.2 クロック非同期型シリアルI/O(UART)モード

20.8.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTSi}}$ ($i=0 \sim 2$) 端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると RTSi 端子の出力レベルは“H”になります。このため、 RTSi 端子を送信側の CTSi 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は無効です。

20.8.2.2 送信

外部クロックを選択している場合、 UiC0 レジスタ ($i=0 \sim 2$) の CKPOL ビットが“0” (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力) のときは外部クロックが“H”の状態、 CKPOL ビットが“1” (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力) のときは外部クロックが“L”の状態に次の条件を満たしてください。

- UiC1 レジスタの TE ビットが“1” (送信許可)
- UiC1 レジスタの TI ビットが“0” (UiTB レジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTSi}}$ 端子の入力が“L”

20.8.3 特殊モード (I^2C モード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、 UiSMR4 レジスタ ($i=0 \sim 2$) の STSPSEL ビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット (STAREQ 、 RSTAREQ 、 STPREQ) を“0”から“1”にしてください。

20.8.4 特殊モード4 (SIM モード)

リセット解除後、 U2C1 レジスタの U2IRS ビットを“1” (送信完了)、 U2ERE ビットを“1” (エラー信号出力) にすると、送信割り込み要求が発生します。そのため、SIM モードを使用する場合は設定後、 IR ビットを“0” (割り込み要求なし) にしてください。

20.8.5 複数モードに関わる共通事項

20.8.5.1 CLKi 出力

CLKi 端子の出力形式を N チャネルオープンドレインで使用する場合、次の手順で端子の機能を変更してください。

ポートから CLKi にするとき

- (1) UiMR レジスタの $\text{SMD2} \sim \text{SMD0}$ ビットでシリアルインタフェースのモードを選択する (“000b” 以外にする)
- (2) UiSMR3 レジスタの NODC ビットを“1”にする

CLKi からポートにするとき

- (1) NODC ビットを“0”にする
- (2) $\text{SMD2} \sim \text{SMD0}$ ビットでシリアルインタフェースを無効にする (“000b” にする)

20.9 A/D コンバータ (64ピン版のみ)

ADCON0 レジスタ (ビット 6 を除く)、ADCON1 レジスタ、ADCON2 レジスタは、A/D 変換停止時 (トリガ発生前) に書いてください。

AD 変換後停止後、ADSTBY ビットを “1” から “0” にしてください。

ADCON1 レジスタの ADSTBY ビットを “0” (A/D 動作停止) から “1” (A/D 動作可能) にしたときは、 ϕ_{AD} の 1 サイクル以上経過した後に A/D 変換を開始させてください。

ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、VCC 端子、VREF 端子、アナログ入力端子 (AN_i (i=0~7)) と VSS 端子の間には、それぞれコンデンサを挿入してください。同様に VCC 端子と VSS 端子の間にもコンデンサを挿入してください。図 20.3 に各端子の処理例を示します。

アナログ入力端子として使用する端子に対応するポート方向ビットは “0” (入力モード) にしてください。

キー入力割り込みを使用する場合、AN4~AN7 は 4 本ともアナログ入力端子として使用しないでください (A/D 入力電圧が “L” になると、キー入力割り込み要求が発生します)。

A/D 動作モードを変更した場合は、ADCON0 レジスタの CH2~CH0 ビットまたは ADCON1 レジスタの SCAN1~SCAN0 ビットでアナログ入力端子を再選択してください。

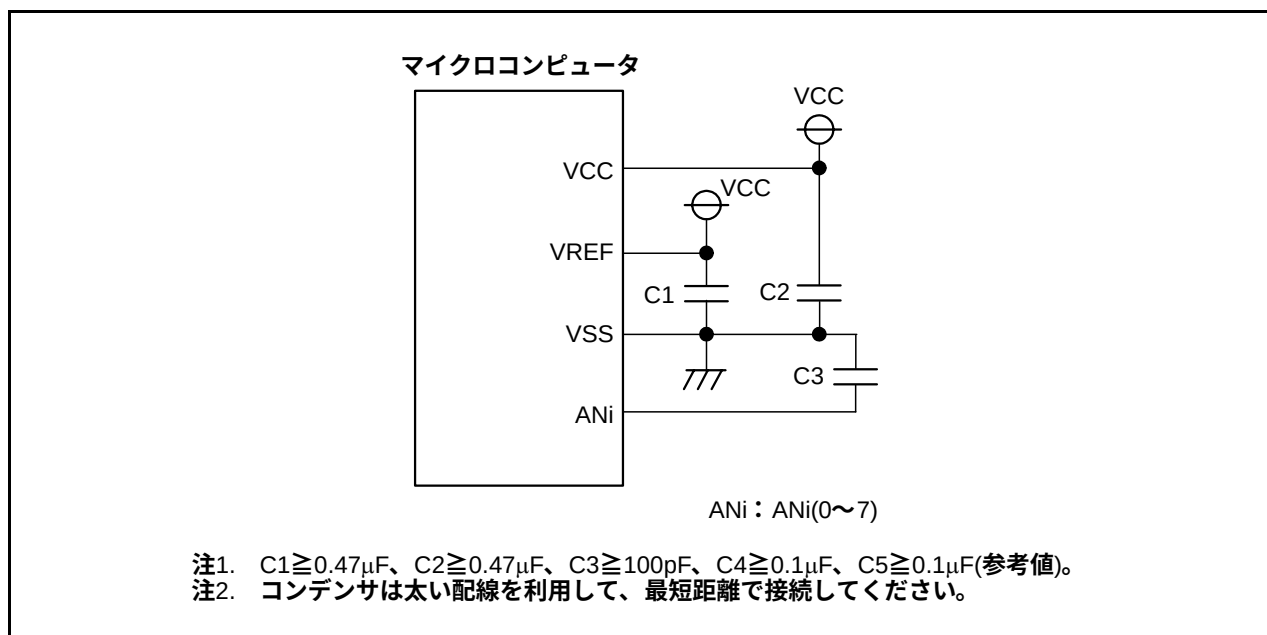


図 20.3 各端子の処理例

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

AN4～AN7は、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ と共用しているため、中間電位を入力すると、他のアナログ入力端子(AN0～AN3)より消費電流が増加します。

単発モードまたは単掃引モードのとき、A/D変換が終了すると、ADCON0レジスタのADSTビットが“0”(A/D変換停止)になります。続けてトリガが入力される可能性がある場合は、再度プログラムでADSTビットを“1”(A/D変換開始)にしてください。

VREF端子はVCC端子に接続してください。VREF端子はVCC端子と内部で接続されているため、端子間に電位差が生じると電流が流れます。

20.10 フラッシュメモリ使用上の注意事項

20.10.1 フラッシュメモリ書き換え禁止機能

0FFFDh、0FFFE3h、0FFFEb、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh 番地は、ID コードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFFFh 番地は OFS1 番地です。これらの番地に誤ったデータを書くと、パラレル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

20.10.2 データフラッシュの読み出し

$2.2V \leq VCC \leq 2.7V$ の場合、データフラッシュ上のプログラム実行およびデータの読み出しに1ウェイトが必要です。PM1レジスタのPM17ビットまたはFMR1レジスタのFMR17ビットで1ウェイトにしてください。

20.10.3 CPU書き換えモード

20.10.3.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17~CM16ビットで、CPUクロックを8MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

20.10.3.2 CPU書き換えモードの選択

FMR0レジスタのFMR01ビット、FMR1レジスタのFMR11ビット、またはFMR6レジスタのFMR60ビットの変更は、次のいずれかの状態のとき行ってください。

- PM2レジスタのPM24ビットが“0”(NMI割り込み禁止)
- NMI端子に“H”を入力

20.10.3.3 使用禁止命令

EW0モードでは、次の命令を使用しないでください。

UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

20.10.3.4 割り込み(EW0モード、EW1モード共通)

- アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中にアドレス一致割り込みを使用しないでください。
- ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスクابل割り込みを使用しないでください。

20.10.3.5 書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードまたはパラレル入出力モードを使用してください。

20.10.3.6 書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えしないでください。

20.10.3.7 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去実行中)の期間にDMA転送が入らないようにしてください。

20.10.3.8 ウェイトモード

ウェイトモードに遷移する場合は、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

20.10.3.9 ストップモード

ストップモードに遷移する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM1レジスタのCM10ビットを“1”(ストップモード)にする命令を実行してください。

20.10.3.10 ソフトウェアコマンド

次のコマンドを使用する場合は、以下の注意を守ってください。

- プログラム
- ブロックイレーズ
- ロックビットプログラム
- リードロックビットステータス
- ブロックブランクチェック

- (a) これらのコマンド実行中のステータスは、FMR0レジスタのFMR00ビットで確認できます。FMR00ビットが“0”(ビジー)の間は、新しいコマンドを実行しないでください。
- (b) CM0レジスタのCM05ビットが“1”(メインクロック停止)のときは、これらのコマンドを実行しないでください。
- (c) プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行した後は、1つのコマンドに付き1回フルステータスチェックしてください(複数のコマンドを実行した後で、1回フルステータスチェックするという手順にしないでください)。
- (d) FMR0レジスタのFMR06、FMR07ビットのいずれか、もしくは両方が“1”(エラー終了)のときは、プログラム、ブロックイレーズ、ロックビットプログラム、ブロックブランクチェックコマンドを実行しないでください。
- (e) 低消費電流リードモード(FMR22、FMR23ビットがともに“1”)のときは、これらのコマンドを実行しないでください。

20.10.3.11 プログラム、イレーズ回数と実行時間

プログラム、ブロックイレーズ、ロックビットプログラムコマンドの実行時間はプログラム、イレーズ回数とともに長くなります。

20.10.3.12 自動消去、自動書き込みの中断

プログラム、ブロックイレーズ、ロックビットプログラムコマンドを中断した場合は、そのブロックをイレーズしてください。プログラム、ロックビットプログラムコマンドは、イレーズ後に再度実行してください。

これらのコマンドは、次のリセットまたは割り込みで中断されます。

- リセット
- NMI、ウォッチドッグタイマ、発振停止、再発振検出

20.10.4 ユーザブート

20.10.4.1 ユーザブートプログラムの配置

ユーザブートモードで起動し実行するプログラムは、プログラムROM2だけに配置してください(データフラッシュ、プログラムROM1に配置したプログラムを、ユーザブートモードで実行しないでください)。

20.10.4.2 標準シリアル入出力モード後のユーザブートモード起動

標準シリアル入出力モード後、ユーザブートモードを使用する場合、標準シリアル入出力モードを使用した後、一度電源を切り、再度電源を立ち上げてください(コールドスタートしてください)。このとき、ユーザブートモードになる条件が整っていれば、ユーザブートモードになります。

20.11 ノイズに関する注意事項

ノイズ対策として、VCC 端子と VSS 端子間にバイパスコンデンサを最短でかつ、比較的太い配線を使って接続してください。図20.4にバイパスコンデンサの接続例を示します。

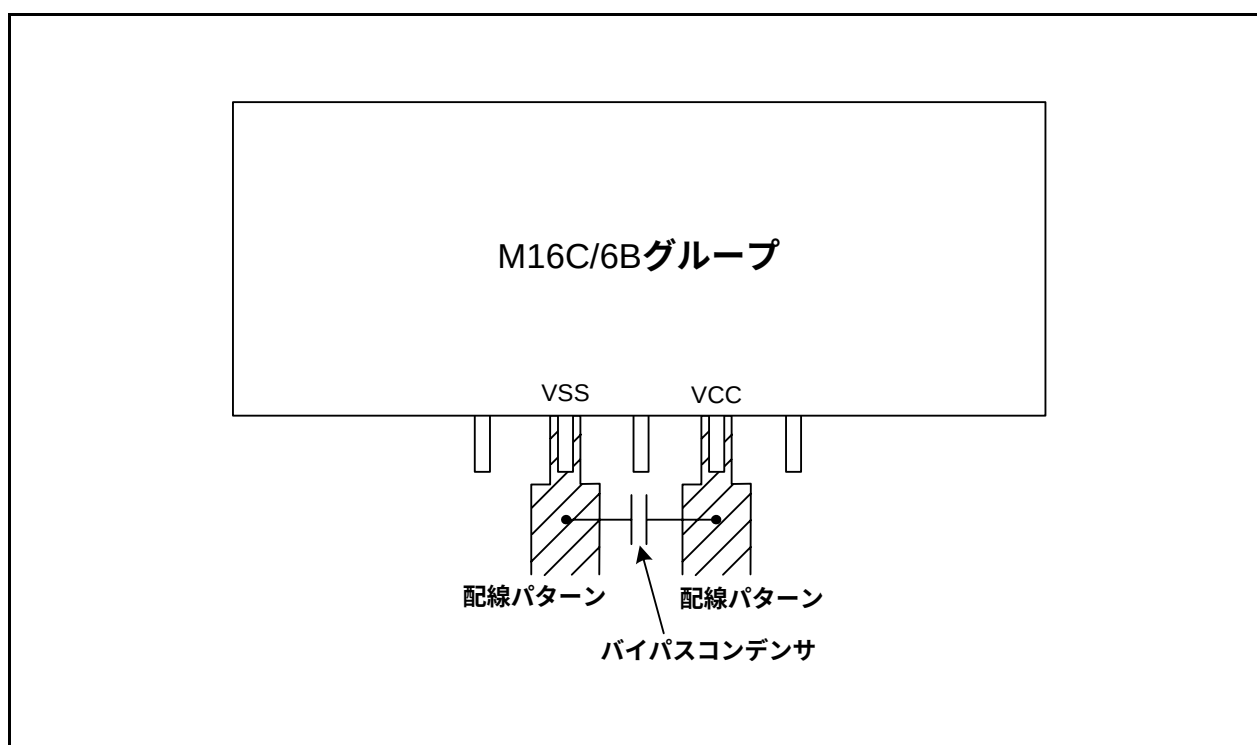
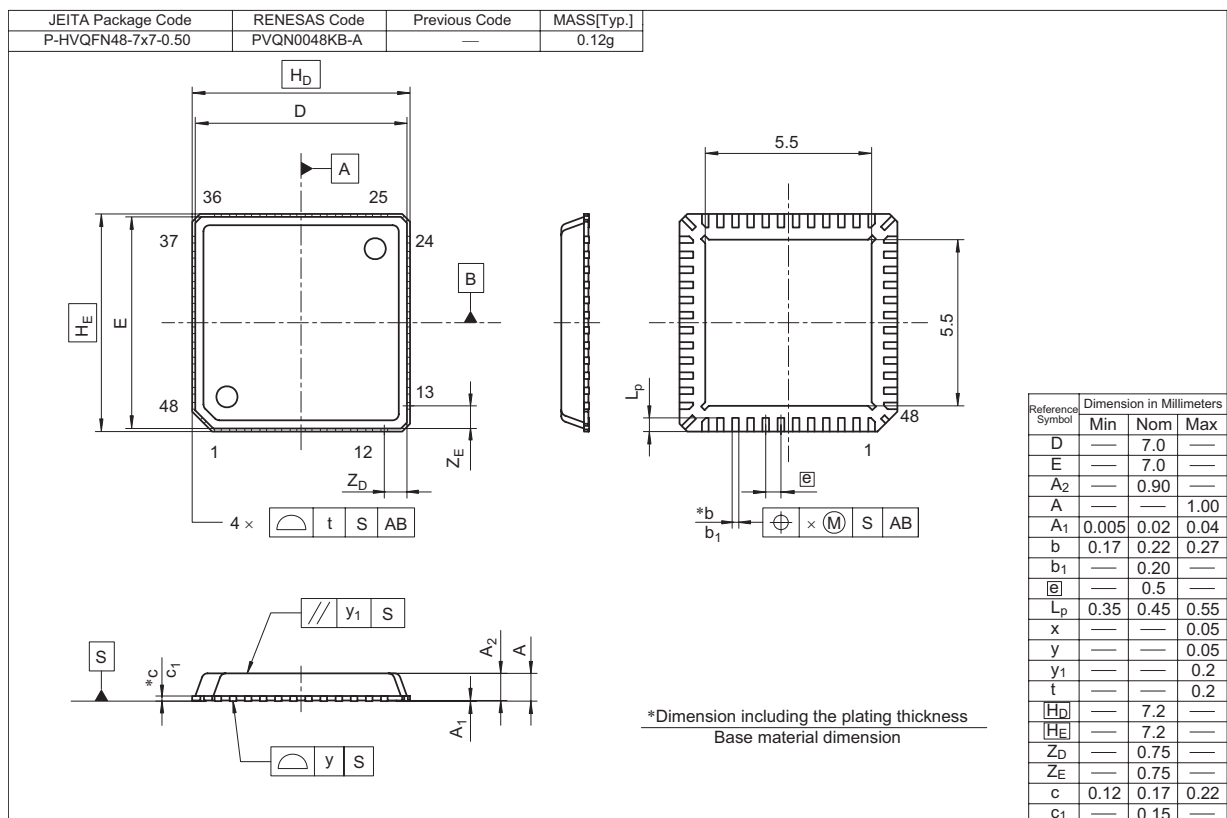
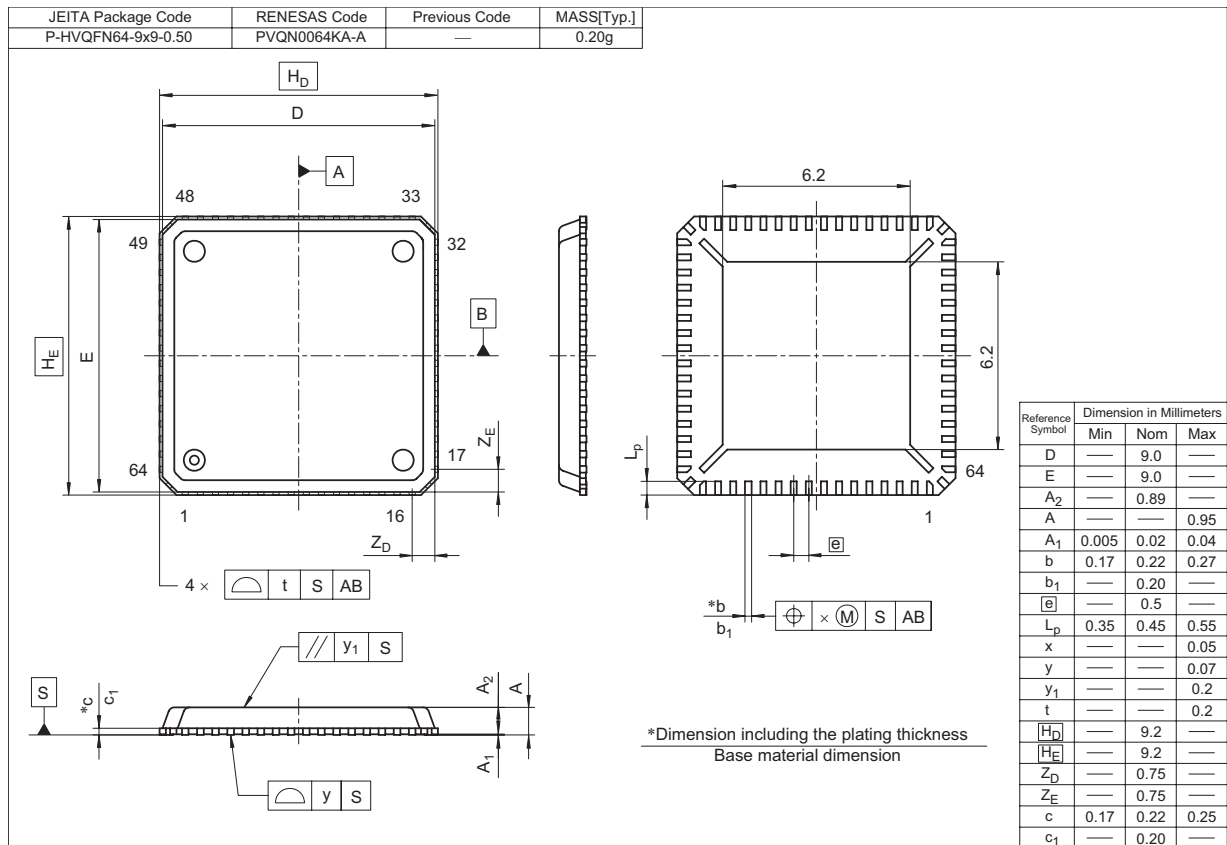


図20.4 バイパスコンデンサの接続例

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。



索引

【A】

AD0～AD7	180
ADCON0	179, 182, 184, 186, 188, 190
ADCON1	179, 182, 184, 186, 188, 190
ADCON2	180
ADIC	68
AIER	81
AIER2	81

【B】

BBADFC	68
BBANTSWTIMG	234
BBBOFFPROD	229
BBCCAIC	68
BBCCAVTH	219
BBCON	208
BBCREGIC	68
BBCSMACON0	219
BBCSMACON1	223
BBCSMACON2	223
BBEVAREG	233
BBEXTENDAD0～BBEXTENDAD3	225
BBIDLEIC	68
BBIDLEWAIT	234
BBLVLVTH	218
BBPANID	224
BBPLLDIVH	230
BBPLLDIVL	230
BBPLLIC	68
BBRFCON	221
BBRFINI	235
BBRSSICCARSLT	213
BBRSSIOFS	232
BBRX0IC、BBRX1IC	68
BBRXCOUNT	212
BBRXFLEN	212
BBRXOR0IC、BBRXOR1IC	68
BBSHORTAD	225
BBTCOMP0REG0～BBTCOMP2REG0	227
BBTCOMP0REG1～BBTCOMP2REG1	227
BBTIM0IC～BBTIM2C	68
BBTIMECON	229
BBTIMEREAD0、BBTIMEREAD1	226
BBTSTAMP0、BBTSTAMP1	228
BBTXFLEN	215
BBTXIC	68
BBTXORIC	68
BBTXOUTPWR	231
BBTXRXCON	218
BBTXRXMODE0	210
BBTXRXMODE1	211
BBTXRXMODE2	216
BBTXRXMODE3	217

BBTXRXMODE4	222
BBTXRXRST	209
BBTXRXST0	214
BBTXRXST1	220
BCNIC	68

【C】

CM0	38
CM1	39
CM2	40
CPSRF	107, 122
CRCD	240
CRCIN	240
CSPR	84

【D】

DAR0～DAR3	92
DM0CON～DM3CON	91
DM0IC～DM3IC	68
DM0SL～DM3SL	89, 90

【F】

FMR0	53, 260
FMR1	263
FMR2	55, 264
FMR6	265

【I】

IFSR	76
IFSR2A	76
INT0IC、INT1IC	69

【K】

KICON0	79
KICON1	79
KUPIC	68

【L】

LEDCON	249
--------------	-----

【O】

OFS1	84, 257
ONSF	106

【P】

P5～P8、P10	247
PCLKR	41
PD5～PD8、PD10	246
PM0	33
PM1	34
PM2	41

PRCR	61
PRG2C	34
PUR1	248
PUR2	248

[R]

RMAD0～RMAD3	81
-------------------	----

[S]

S0RIC～S2RIC	68
S0TIC～S2TIC	68
SAR0～SAR3	91

[T]

TA0IC～TA4IC	68
TA0MR、TA1MR	118
TA0MR～TA4MR	103, 110, 112, 116
TA0～TA4	104
TA2MR～TA4MR	114
TABSR	105, 122
TACS0、TACS1	107
TACS2	108
TAIOCON	102
TAPOFS	108
TB0IC～TB2IC	68
TB0MR～TB5MR	121, 124, 125
TB0～TB5	121
TB3IC～TB5IC	68
TBCS0～TBCS3	123
TBSR	122
TCR0～TCR3	92
TRGSR	106

[U]

U0BCNIC、U1BCNIC	68
U0BRG～U2BRG	131
U0C0～U2C0	132
U0C1、U1C1	133
U0MR～U2MR	131
U0RB～U2RB	130
U0SMR2～U2SMR2	137
U0SMR3～U2SMR3	138
U0SMR4～U2SMR4	139
U0SMR～U2SMR	136
U0TB～U2TB	130
U2C1	134
UCON	135
UDF	105

[W]

WDC	83
WDTR	83
WDTS	83

改訂記録	M16C/6Bグループ ユーザーズマニュアル ハードウェア編
------	--------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2008.06.09	—	初版発行
0.20	2009.02.04	—	改訂版発行
0.30	2009.09.18	—	改訂版発行
1.00	2010.04.21	全ページ 53～54 177 180 256 260～261 265 266 267 268 269 273 276 285～287 290 294 300 308 328～330	「開発中」、「暫定仕様書」記述 削除 7.4.4.1 「FMR01(CPU書き換えモード選択ビット)(b1)」、「FMSTP(フラッシュメモリ停止ビット)(b3)」 変更 表14.1 「動作クロックφAD」 変更 図14.3 変更 表18.8 「ALeRASE」 変更 18.3.3.1 「FMR00 (RY/BYステータスフラグ) (b0)」、「FMR01 (CPU書き換えモード選択ビット) (b1)」、「FMR02 (ロックビット無効選択ビット) (b2)」、「FMSTP(フラッシュメモリ停止ビット)(b3)」 変更 18.3.3.4 「FMR60(EW1モード選択ビット)(b0)」 変更 図18.5 変更 図18.7 変更 旧「18.3.4 CPU書き換えモード注意事項」 削除 表18.10 変更 18.3.4.4 変更 18.3.4.8 変更 表18.12 変更 「18.6 フラッシュメモリ使用上の注意事項」 追記 表19.3、図19.1 追記 表19.8 「RPULLUP」 変更 表19.8 「VT+-VT-」、「VT+-VT-」、「RPULLUP」 変更 20.2.1 変更 20.10 変更
1.10	2011.01.28	3 4 288 289～292、 294～297、 300～303	表1.2 動作周囲温度 「－40℃～85℃」 追記 表1.3、図1.1 変更 表19.1 変更 「Topr=－20～85℃」 → 「Topr=－20～85℃/－40～85℃」
1.20	2011.07.21	4	表1.3 「(開)：開発中」 追記

M16C/6Bグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2008年6月9日 Rev.0.10
2011年7月21日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口： <http://japan.renesas.com/inquiry>

M16C/6B グループ



ルネサスエレクトロニクス株式会社

R01UH0197JJ0120