

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル（暫定

# 命令キャッシュ，データ・キャッシュ

NB85E, NB85ET 編

---

NB85E212

NB85E213

NB85E252

NB85E263

資料番号 A14247JJ4V1UM00 (第4版)

発行年月 January 2002 NS CP(N)

[メモ]

# 目次要約

第1章	命令キャッシュ ...	14
第2章	データ・キャッシュ ...	38
付録A	キャッシュ性能比較表 ...	101
付録B	改版履歴 ...	108

## CMOSデバイスの一般的注意事項

### 静電気対策（MOS全般）

**注意** MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、NECが出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理（CMOS特有）

**注意** CMOSデバイスの入力レベルは固定してください。

バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して $V_{DD}$ またはGNDに接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態（MOS全般）

**注意** 電源投入時、MOSデバイスの初期状態は不定です。

分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

仮想 ICE は、横河電機株式会社の登録商標です。

Solaris, SunOS は、米国 Sun Microsystems, Inc.の商標です。

Verilog-XL は、米国 Cadence Design Systems, Inc.の商標です。

Green Hills Software は、米国 Green Hills Software, Inc.の商標です。

本製品が外国為替および外国貿易管理法の規定による規制貨物等（または役務）に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。

- 本資料は、この製品の企画段階で作成していますので、予告なしに内容を変更することがあります。また本資料で扱う製品の製品化を中止することがあります。
- 文書による当社の承諾なしに本資料の転載複製を禁じます。
- 本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。
- 本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路・ソフトウェア・情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。
- 当社は品質、信頼性の向上に努めていますが、半導体製品はある確率で故障が発生します。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせない冗長設計、延焼対策設計、誤動作防止設計等安全設計に十分ご注意願います。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定して頂く「特定水準」に分類しております。また、各品質水準は以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認の上ご使用願います。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、列車、船舶等）、交通信号機器、防災／防犯装置、各種安全装置、生命維持を直接の目的としない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート／データ・ブック等の資料で、特に品質水準の表示がない場合は標準水準製品であることを表します。当社製品を上記の「標準水準」の用途以外でご使用をお考えのお客様は、必ず事前に当社販売窓口までご相談頂きますようお願い致します。

## 本版で改訂された主な箇所

箇所	内容
p.26	1. 4. 2 タグ・クリア機能 注意 2 を追加
p.27	1. 4. 2 タグ・クリア機能 注意 2 を追加
p.28	1. 4. 3 オートフィル機能（ウェイ 0 のみ） 注意に記述追加，備考 3 を追加
p.29	1. 5 命令キャッシュの設定手順 注意 2 を追加
p.30	1. 6. 2 命令キャッシュ・ミスヒット時の動作 注意に記述追加
p.37	1. 9 (11) リフィル・リード・サイクルと分岐を行う特定の命令によるキャッシュ・アクセスの同時動作 追加
p.40	図 2 - 1 NB85E とデータ・キャッシュの接続例 注意を追加
p.56	2. 5 データ・キャッシュの設定手順 記述追加
p.99	2. 10 (6) その他 例 1 を修正
p.100	2. 10 (7) デバッグ中の動作 追加

本文欄外の 印は，本版で改訂された主な箇所を示しています。

巻末にアンケート・コーナーを設けております。このドキュメントに対するご意見をお気軽にお寄せください。

# はじめに

**対象者** このマニュアルは、CBIC の CPU コアである NB85E, NB85ET 用の命令キャッシュ (NB85E212, NB85E213), データ・キャッシュ (NB85E252, NB85E263) の機能を理解し、それをういた応用システムを設計するユーザを対象とします。

**目的** このマニュアルは、命令キャッシュ, データ・キャッシュの機能をユーザに理解していただくことを目的としています。

**構成** このマニュアルは、次の内容で構成しています。

## 第1章 命令キャッシュ

命令キャッシュである NB85E212, NB85E213 について説明しています。

## 第2章 データ・キャッシュ

データ・キャッシュである NB85E252, NB85E263 について説明しています。

**読み方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータに関する一般知識を必要とします。

一通り命令キャッシュ, データ・キャッシュの機能を理解しようとするとき  
→目次に従ってお読みください。

NB85E, NB85ET の機能を知りたいとき

→別冊の **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)**, **NB85ET ユーザーズ・マニュアル ハードウェア編 (A14342J)** を参照してください。

このマニュアルでは特に断りのないかぎり、NB85E を CPU コアの代表製品として説明しています。NB85ET を使用する場合は、NB85E を NB85ET と読み替えてお使いください。

**凡 例**

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: xxxZ (端子, 信号名称のあとに Z)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数 ...xxxx または xxxxB 10進数...xxxx 16進数...xxxxH

2 のべき数を示す接頭語 ( アドレス空間 , メモリ容量 ) :

K ( キロ ) ...  $2^{10} = 1024$

M ( メガ ) ...  $2^{20} = 1024^2$

G ( ギガ ) ...  $2^{30} = 1024^3$

データ・タイプ : ワード ... 32 ビット

ハーフワード ... 16 ビット

バイト ... 8 ビット

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

- V850E1 ユーザーズ・マニュアル アーキテクチャ編 ( U14559J )
- NB85E ユーザーズ・マニュアル ハードウェア編 ( A13971J )
- NB85ET ユーザーズ・マニュアル ハードウェア編 ( A14342J )
- CB-9 ファミリ VX/VM タイプ 設計マニュアル NB85E, NB85ET 編 ( A14335J )

なお、上記関連資料は予告なしに内容を変更することがあります。設計などには必ず最新の資料をご使用ください。

# 目 次

## 第 1 章 命令キャッシュ ... 14

### 1.1 概 要 ... 14

- 1.1.1 特 徴 ... 14
- 1.1.2 シンボル図 ... 15
- 1.1.3 NB85E 接続例 ... 16

### 1.2 端子機能 ... 17

- 1.2.1 端子機能一覧 ... 17
- 1.2.2 端子機能の説明 ... 18
- 1.2.3 端子状態 ... 20

### 1.3 命令キャッシュの構成 ... 21

- 1.3.1 4K バイト 2 ウエイ・セット・アソシアティブ命令キャッシュ ... 22
- 1.3.2 8K バイト 2 ウエイ・セット・アソシアティブ命令キャッシュ ... 23

### 1.4 命令キャッシュ・コントロール機能 ... 24

- 1.4.1 制御レジスタ ... 24
- 1.4.2 タグ・クリア機能 ... 26
- 1.4.3 オートフィル機能 (ウエイ 0 のみ) ... 28

### 1.5 命令キャッシュの設定手順 ... 29

### 1.6 動 作 ... 29

- 1.6.1 命令キャッシュ・ヒット時の動作 ... 29
- 1.6.2 命令キャッシュ・ミスヒット時の動作 ... 30

### 1.7 命令キャッシュの発行するバス・サイクル ... 31

### 1.8 命令キャッシュへのリフィル順序 ... 34

### 1.9 注意事項 ... 35

## 第 2 章 データ・キャッシュ ... 38

### 2.1 概 要 ... 38

- 2.1.1 特 徴 ... 38
- 2.1.2 シンボル図 ... 39
- 2.1.3 NB85E 接続例 ... 40

### 2.2 端子機能 ... 41

- 2.2.1 端子機能一覧 ... 41
- 2.2.2 端子機能の説明 ... 42
- 2.2.3 端子状態 ... 46

### 2.3 データ・キャッシュの構成 ... 47

2.3.1	4K バイト・ダイレクト・マップ・データ・キャッシュ ...	48
2.3.2	8K バイト 2 ウエイ・セット・アソシアティブ・データ・キャッシュ ...	49
<b>2.4</b>	<b>データ・キャッシュ・コントロール機能 ...</b>	<b>50</b>
2.4.1	制御レジスタ ...	50
2.4.2	タグ・クリア機能 ...	54
2.4.3	タグ・フィル機能 ...	54
2.4.4	ロック機能 ...	54
2.4.5	データ・フラッシュ機能 ...	55
<b>2.5</b>	<b>データ・キャッシュの設定手順 ...</b>	<b>56</b>
2.5.1	データ・キャッシュを有効にする設定 ...	56
2.5.2	データ・キャッシュを有効 無効 有効にする設定 ...	56
<b>2.6</b>	<b>動作 ...</b>	<b>57</b>
2.6.1	ライト・スルー・モード ...	58
2.6.2	ライトバック・モード (ライト・アロケート禁止) ...	62
2.6.3	ライトバック・モード (ライト・アロケート許可) ...	67
<b>2.7</b>	<b>データ・キャッシュの発行するバス・サイクル ...</b>	<b>73</b>
<b>2.8</b>	<b>SDRAM からデータ・キャッシュへのリフィル・タイミング ...</b>	<b>91</b>
<b>2.9</b>	<b>データ・キャッシュへのリフィル順序 ...</b>	<b>95</b>
<b>2.10</b>	<b>注意事項 ...</b>	<b>99</b>
<b>付録 A</b>	<b>キャッシュ性能比較表 ...</b>	<b>101</b>
<b>付録 B</b>	<b>改版履歴 ...</b>	<b>108</b>

## 図の目次 (1/2)

図番号	タイトル, ページ
1 - 1	NB85E と命令キャッシュの接続例 ... 16
1 - 2	命令キャッシュの構成例 ... 21
1 - 3	4K バイト 2 ウエイ・セット・アソシアティブ命令キャッシュの構成 ... 22
1 - 4	8K バイト 2 ウエイ・セット・アソシアティブ命令キャッシュの構成 ... 23
1 - 5	命令キャッシュ・コントロール・レジスタ (ICC) ... 25
1 - 6	命令キャッシュ・データ・コンフィギュレーション・レジスタ (ICD) ... 26
1 - 7	命令キャッシュ・ヒット時の動作 ... 29
1 - 8	命令キャッシュ・ミスヒット時の動作 ... 30
1 - 9	シーケンシャル・リフィル・リード・サイクル (4R) ... 32
1 - 10	命令キャッシュへのリフィル順序 ... 34
1 - 11	キャッシュ領域設定例 ... 36
2 - 1	NB85E とデータ・キャッシュの接続例 ... 40
2 - 2	データ・キャッシュの構成例 ... 47
2 - 3	4K バイト・ダイレクト・マップ・データ・キャッシュの構成 ... 48
2 - 4	8K バイト 2 ウエイ・セット・アソシアティブ・データ・キャッシュの構成 ... 49
2 - 5	データ・キャッシュ・コントロール・レジスタ (DCC) ... 51
2 - 6	データ・キャッシュ・データ・コンフィギュレーション・レジスタ (DCD) ... 53
2 - 7	データ・キャッシュ・ヒット時の動作 (ライト・スルー・モード, リード) ... 58
2 - 8	データ・キャッシュ・ミスヒット時の動作 (ライト・スルー・モード, リード) ... 59
2 - 9	データ・キャッシュ・ヒット時の動作 (ライト・スルー・モード, ライト) ... 60
2 - 10	データ・キャッシュ・ミスヒット時の動作 (ライト・スルー・モード, ライト) ... 61
2 - 11	データ・キャッシュ・ヒット時の動作 (ライトバック・モード, ライト・アロケート禁止, リード) ... 62
2 - 12	データ・キャッシュ・ミスヒット時の動作 (ライトバック・モード, ライト・アロケート禁止, リード, クリーン・データ) ... 63
2 - 13	データ・キャッシュ・ミスヒット時の動作 (ライトバック・モード, ライト・アロケート禁止, リード, ダーティ・データ) ... 64
2 - 14	データ・キャッシュ・ヒット時の動作 (ライトバック・モード, ライト・アロケート禁止, ライト) ... 65
2 - 15	データ・キャッシュ・ミスヒット時の動作 (ライトバック・モード, ライト・アロケート禁止, ライト) ... 66
2 - 16	データ・キャッシュ・ヒット時の動作 (ライトバック・モード, ライト・アロケート許可, リード) ... 67
2 - 17	データ・キャッシュ・ミスヒット時の動作 (ライトバック・モード, ライト・アロケート許可, リード, クリーン・データ) ... 68
2 - 18	データ・キャッシュ・ミスヒット時の動作 (ライトバック・モード, ライト・アロケート許可, リード, ダーティ・データ) ... 69

## 図の目次 (2/2)

図番号	タイトル, ページ
2 - 19	データ・キャッシュ・ヒット時の動作 (ライトバック・モード, ライト・アロケート許可, ライト) ... 70
2 - 20	データ・キャッシュ・ミスヒット時の動作 (ライトバック・モード, ライト・アロケート許可, ライト, クリーン・データ) ... 71
2 - 21	データ・キャッシュ・ミスヒット時の動作 (ライトバック・モード, ライト・アロケート許可, ライト, ダーティ・データ) ... 72
2 - 22	シーケンシャル・リフィル・リード・サイクル (4R) ... 75
2 - 23	クリティカル・ファースト・リフィル・リード・サイクル (2R-2R) ... 77
2 - 24	クリティカル・ファースト・リフィル・リード・サイクル (1R-2R-1R) ... 79
2 - 25	ライトバック・モード時 (置き換えられるデータがダーティ・データの場合) のシーケンシャル・リフィル・リード・サイクル (4W + 4R) ... 83
2 - 26	ライトバック・モード時 (置き換えられるデータがダーティ・データの場合) のクリティカル・ファースト・リフィル・リード・サイクル (4W + 2R-2R) ... 85
2 - 27	ライトバック・モード時 (置き換えられるデータがダーティ・データの場合) のクリティカル・ファースト・リフィル・リード・サイクル (4W + 1R-2R-1R) ... 87
2 - 28	SDRAM からデータ・キャッシュへのリフィル・タイミング例 (シーケンシャル・リフィル (4R), クリティカル・ファースト・リフィル (4R)) ... 92
2 - 29	SDRAM からデータ・キャッシュへのリフィル・タイミング例 (クリティカル・ファースト・リフィル (2R-2R)) ... 93
2 - 30	SDRAM からデータ・キャッシュへのリフィル・タイミング例 (クリティカル・ファースト・リフィル (1R-2R-1R)) ... 94
2 - 31	データ・キャッシュへのリフィル順序 (シーケンシャル・リフィル (4R), クリティカル・ファースト・リフィル (4R)) ... 95
2 - 32	データ・キャッシュへのリフィル順序 (クリティカル・ファースト・リフィル (2R-2R)) ... 96
2 - 33	データ・キャッシュへのリフィル順序 (クリティカル・ファースト・リフィル (1R-2R-1R)) ... 97

# 表の目次

表番号	タイトル, ページ
1 - 1	各動作モードでの端子状態 ... 20
2 - 1	各動作モードでの端子状態 ... 46
2 - 2	動作モード一覧 ... 57
2 - 3	動作モードとバス・サイクル ... 74

# 第 1 章 命令キャッシュ

## 1.1 概 要

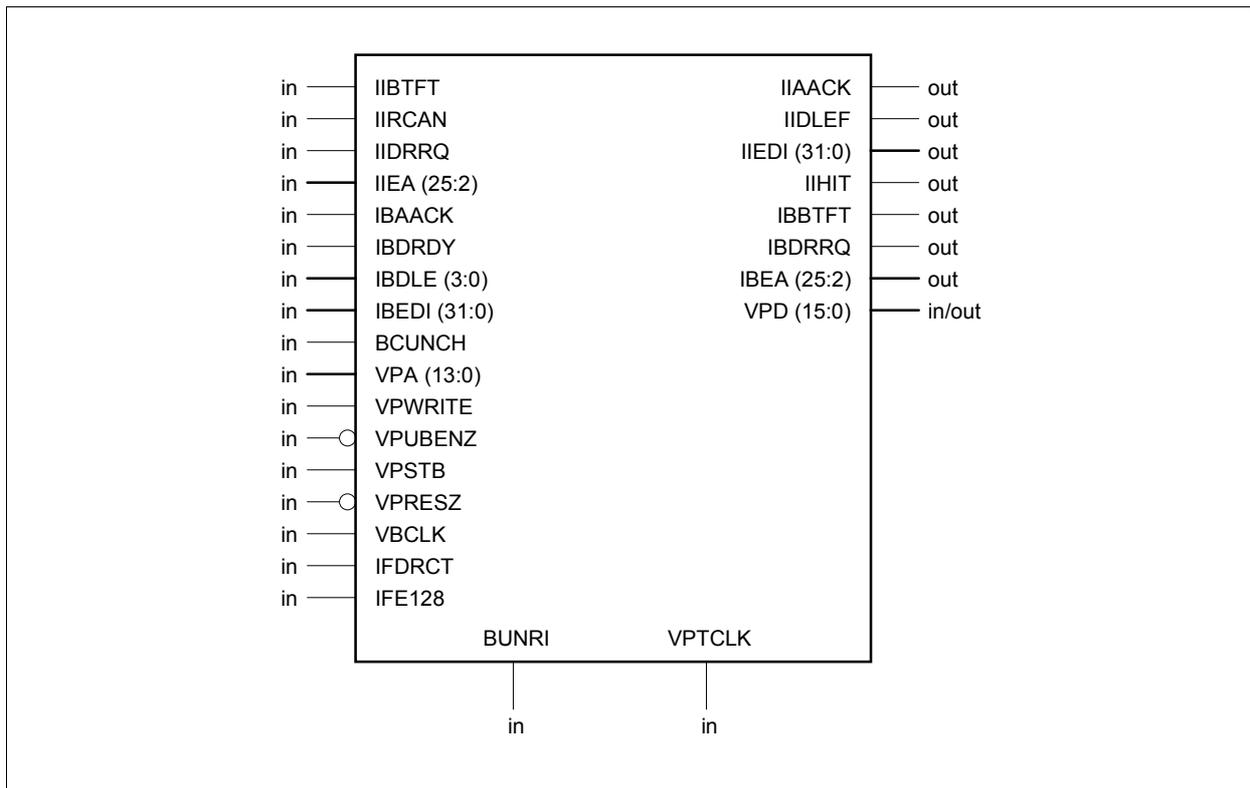
NB85E212, NB85E213 は, NB85E 用の命令キャッシュ・メモリです。  
NB85E に内蔵の命令キャッシュ・インタフェースに直接接続できます。  
命令キャッシュには次の 2 種類があります。

- NB85E212 ... 4K バイト 2 ウエイ・セット・アソシアティブ命令キャッシュ  
(4 ワード × 128 エントリ × 2 ウエイ = 4K バイト)
- NB85E213 ... 8K バイト 2 ウエイ・セット・アソシアティブ命令キャッシュ  
(4 ワード × 256 エントリ × 2 ウエイ = 8K バイト)

### 1.1.1 特 徴

- LRU (Least Recently Used) アルゴリズム採用  
ミスヒット時, 一番長くアクセスされなかったブロックを置き換えの対象とするアルゴリズムで, 2 ウエイ・セット・アソシアティブ・タイプのキャッシュに採用されています。ダイレクト・マップ・タイプに比べヒットする確率が高くなります。
- タグ・クリア機能により, すべてのタグの内容をクリア (無効に) できます。
- オートフィル機能により, 1 ウエイ分の命令を自動的にフィルできます (ウエイ 0 のみ)。  
フィルしたウエイは自動的にロックされ, ウエイへのデータの置き換え, タグへの書き込みは禁止されま  
す。これにより, 1 サイクルで動作可能な ROM としても使用できます。

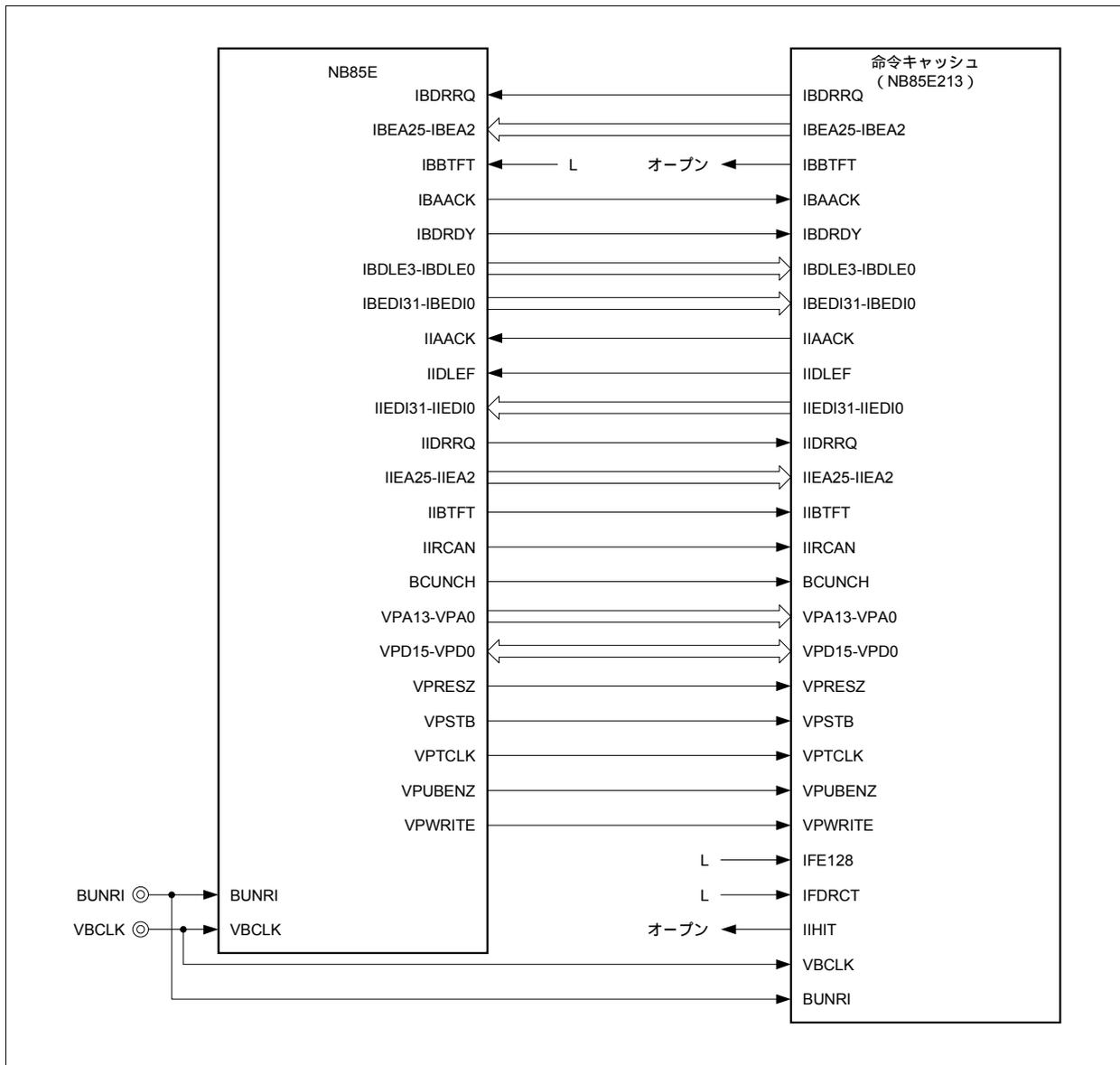
### 1.1.2 シンボル図



### 1.1.3 NB85E 接続例

次に NB85E と命令キャッシュの接続例を示します。

図1 - 1 NB85Eと命令キャッシュの接続例



## 1.2 端子機能

### 1.2.1 端子機能一覧

端子名		入出力	機能
NB85E 接続用端子	IIBTFT	入力	NB85E からのブランチ・ターゲット・フェッチ・ステータス入力
	IIRCAN	入力	NB85E からのコード・キャンセル・ステータス入力
	IIDRRQ	入力	NB85E からのフェッチ要求入力
	IIEA25-IIEA2	入力	NB85E からのフェッチ・アドレス入力
	IIAACK	出力	NB85E へのアドレス・アクノリッジ出力
	IIDLEF	出力	NB85E へのデータ・ラッチ・イネーブル出力
	IIEDI31-IIEDI0	出力	NB85E へのデータ出力
	IBAACK	入力	NB85E からのアドレス・アクノリッジ入力
	IBDRDY	入力	NB85E からのデータ・レディ入力
	IBDLE3-IBDLE0	入力	NB85E からのデータ・ラッチ・イネーブル入力
	IBEDI31-IBEDI0	入力	NB85E からのデータ入力
	BCUNCH	入力	NB85E からのアンキャッシュ・ステータス入力
	IBEA25-IBEA2	出力	NB85E へのフェッチ・アドレス出力
	IBBTFT	出力	NEC の予約端子 (オープンにしてください)
	IBDRRQ	出力	NB85E へのフェッチ要求出力
	VPA13-VPA0	入力	アドレス入力 (NPB 用)
	VPWRITE	入力	ライト・アクセス・ストロープ入力 (NPB 用)
	VPUBENZ	入力	上位バイト・イネーブル入力 (NPB 用)
	VPSTB	入力	データ・ストロープ入力 (NPB 用)
	VPD15-VPD0	入出力	データ入出力 (NPB 用)
VPRESZ	入力	リセット入力	
VBCLK	入力	内部システム・クロック入力	
キャッシュ・タイプ選択用端子	IFDRCT	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	IFE128	入力	エントリ選択入力
ステータス端子	IIHIT	出力	タグ・ヒット・ステータス出力
テスト・モード用端子	BUNRI	入力	ノーマル/テスト・モード選択入力
	VPTCLK	入力	テスト用クロック入力

## 1.2.2 端子機能の説明

### (1) NB85E 接続用端子

#### (a) IIBTFT (入力)

NB85E からのブランチ・ターゲット・フェッチ・ステータス入力端子です。  
分岐命令による飛び先アドレスのフェッチ時にハイ・レベルが入力されます。

#### (b) IIRCAN (入力)

NB85E からのコード・キャンセル・ステータス入力端子です。  
NB85E がフェッチ要求を命令キャッシュに出力したあと、分岐や割り込みでデータが不要になった場合に、以前の要求をキャンセルするための信号です。

#### (c) IIDRRQ (入力)

NB85E からのフェッチ要求入力端子です。

#### (d) IIEA25-IIEA2 (入力)

NB85E からのフェッチ・アドレス入力バスです。  
フェッチ要求 (IIDRRQ) と同時に、外部メモリからフェッチすべきアドレスが入力されます。

#### (e) IIAACK (出力)

NB85E へのアドレス・アクノリッジ出力端子です。  
NB85E からのフェッチ・アドレス (IIEA25-IIEA2) を認識すると、NB85E に対してこの信号を出力します。

#### (f) IIDLEF (出力)

NB85E へのデータ・ラッチ・イネーブル出力端子です。

#### (g) IIEDI31-IIEDI0 (出力)

NB85E へのデータ出力バスです。  
NB85E に対しリードすべきデータを出力します。

#### (h) IBAACK (入力)

NB85E からのアドレス・アクノリッジ入力端子です。  
命令キャッシュから出力した IBEA25-IBEA2 信号を NB85E が認識すると、この信号が入力されます。

#### (i) IBDRDY (入力)

NB85E からのデータ・レディ入力端子です。  
ミスヒット時に NB85E が外部メモリからリードすべきデータを取り終えると、命令キャッシュに対してリフィルの準備ができたことを示すために入力されます。

**(j) IBBLE3-IBBLE0 (入力)**

NB85E からのデータ・ラッチ・イネーブル入力端子です。

**(k) IBEDI31-IBEDI0 (入力)**

NB85E からのデータ入力バスです。

ミスヒット時に NB85E からリフィルされるべきデータが入力されます。

**(l) BCUNCH (入力)**

NB85E からのアンキャッシュ・ステータス入力端子です。

NB85E のキャッシュ・コンフィギュレーション・レジスタ (BHC) で命令キャッシュの設定をキャッシュ可能に設定した領域をアクセスしたときに、ロウ・レベルが入力されます。

**(m) IBEA25-IBEA2 (出力)**

NB85E へのフェッチ・アドレス出力バスです。

ミスヒット時に NB85E に対しリードすべきアドレスを出力します。

**(n) IBBTFT (出力)**

NEC の予約端子です。オープンにしてください。

なお、NB85E の IBBTFT 端子はロウ・レベルに固定してください。

**(o) IBDRRQ (出力)**

NB85E へのフェッチ要求出力端子です。

NB85E に対し外部メモリからのフェッチを行う要求信号を出力します。

**(p) VPA13-VPA0, VPWRITE, VPUBENZ, VPSTB, VPD15-VPD0 (NPB 用端子)**

**NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。**

**(q) VPRESZ (入力)**

リセット入力端子です。

**(r) VBCLK (入力)**

内部システム・クロック入力端子です。

**(2) キャッシュ・タイプ選択用端子**

**(a) IFDRCT (入力)**

NEC の予約端子です。常にロウ・レベルを入力してください。

(b) IFE128 (入力)

エントリ選択入力端子です。

この端子への入力レベルにより、エントリは次のようになります。

- ロウ・レベル：256 エントリ (NB85E213 はロウ・レベルに固定してください)
- ハイ・レベル：128 エントリ (NB85E212 はハイ・レベルに固定してください)

(3) ステータス端子

(a) IIHIT (出力)

キャッシュがヒットしていることを示す端子です。

ヒット時はハイ・レベルを出力します。未使用時はオープンにしてください。

(4) テスト・モード用端子

(a) BUNRI (入力)

ノーマル/テスト・モードを選択する入力端子です。

(b) VPTCLK (入力)

テスト用クロック入力端子です。

1.2.3 端子状態

出力機能を持つ端子の各動作モードでの状態を次に示します。

表1-1 各動作モードでの端子状態

端子名		端子状態			
		リセット	STOP モード	HALT モード	テスト・モード
NB85E 接続用端子	IIAACK	L	保持	動作	動作
	IIDLEF	L	保持	動作	動作
	IIEDI31-IIEDIO	不定	保持	動作	動作
	IBEA25-IBEA2	不定	保持	動作	動作
	IBBTFT	L	保持	動作	動作
	IBDRRQ	L	保持	動作	動作
	VPD15-VPD0	Hi-Z	保持	動作	動作
ステータス端子	IIHIT	L	保持	動作	動作

備考 L：ロウ・レベル出力

Hi-Z：ハイ・インピーダンス

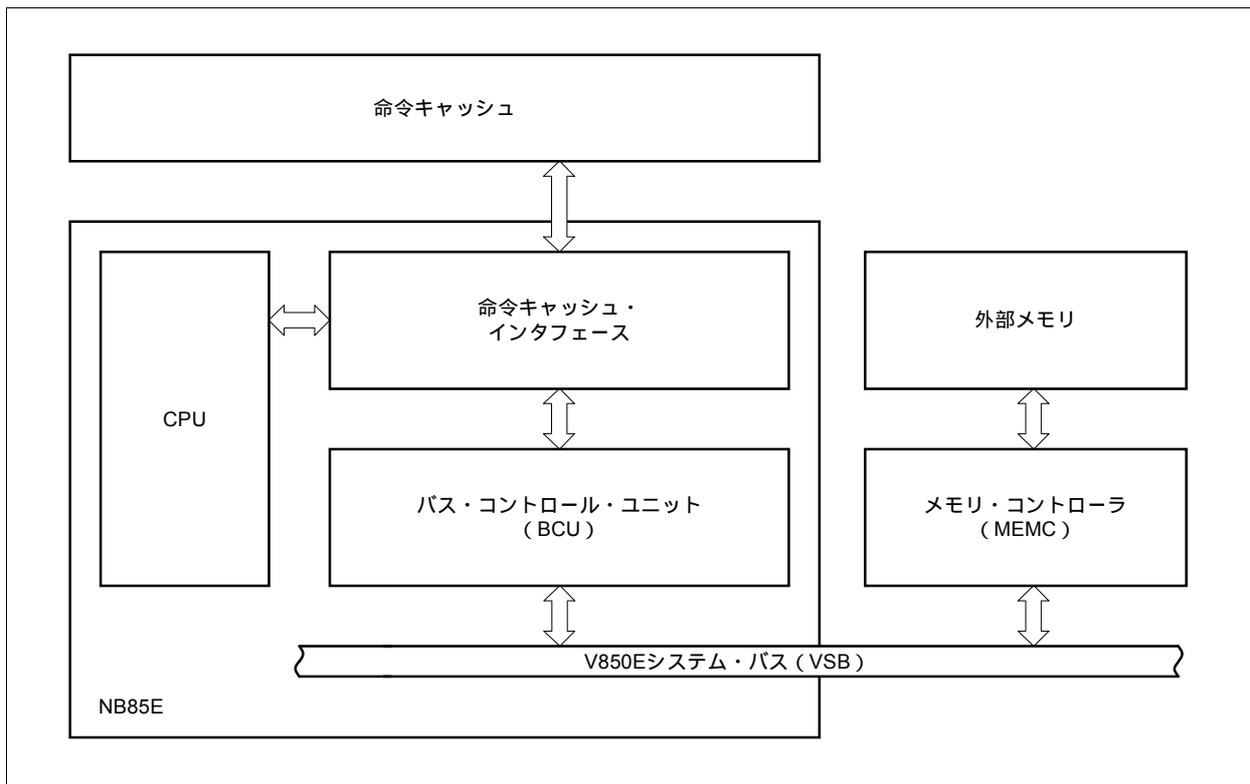
保持：直前の状態を保持

### 1.3 命令キャッシュの構成

命令キャッシュには次の2つのタイプがあります。NB85E はこれらの命令キャッシュに1サイクルでアクセス可能です。

- 4K バイト 2 ウエイ・セット・アソシアティブ命令キャッシュ (NB85E212)
- 8K バイト 2 ウエイ・セット・アソシアティブ命令キャッシュ (NB85E213)

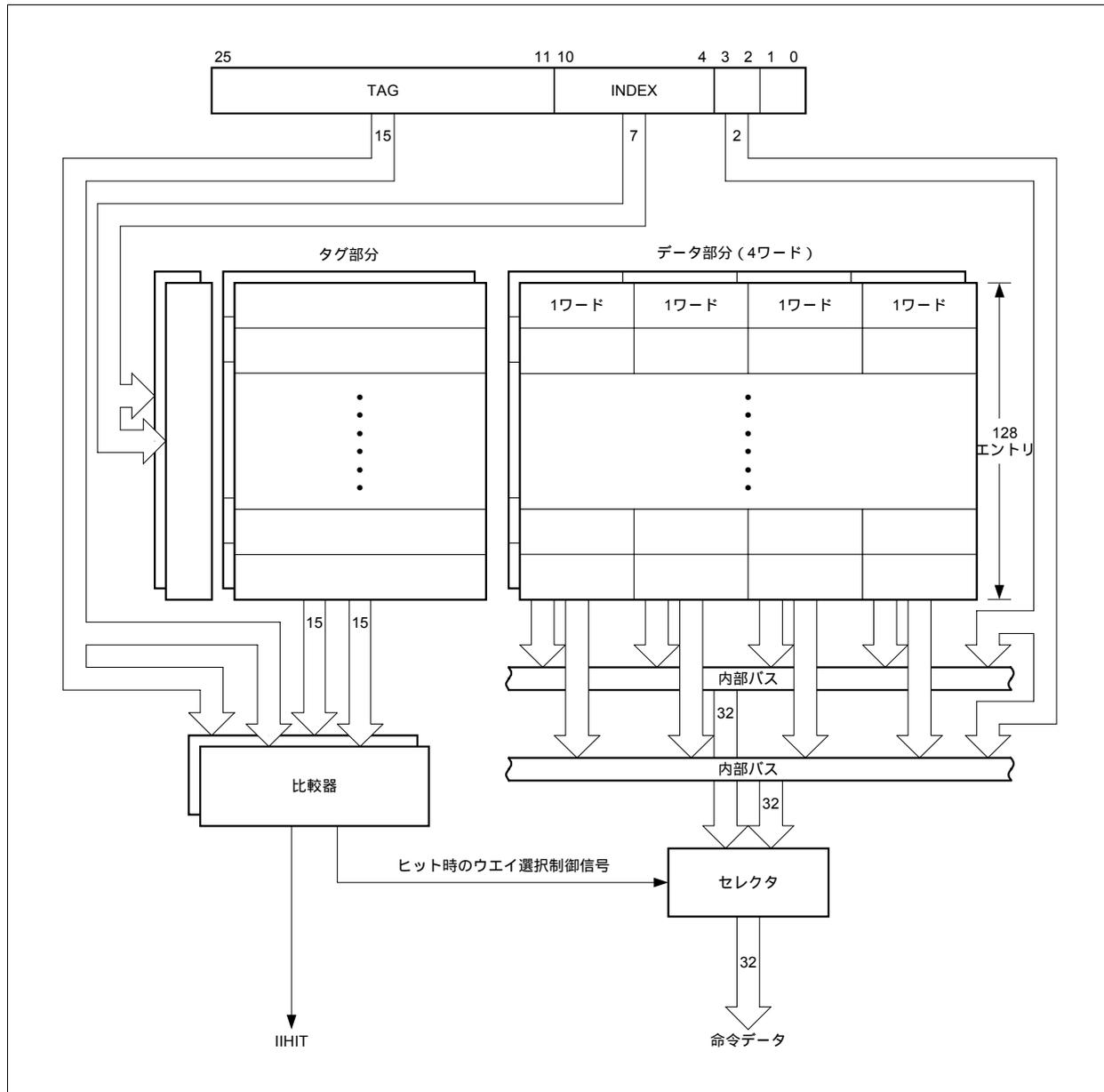
図1-2 命令キャッシュの構成例



### 1.3.1 4Kバイト2ウェイ・セット・アソシアティブ命令キャッシュ

4Kバイト2ウェイ・セット・アソシアティブ命令キャッシュのデータ・メモリは、1ラインが4ワードの128エントリのブロックで構成されたウェイが2枚で、合計4Kバイトの容量です。

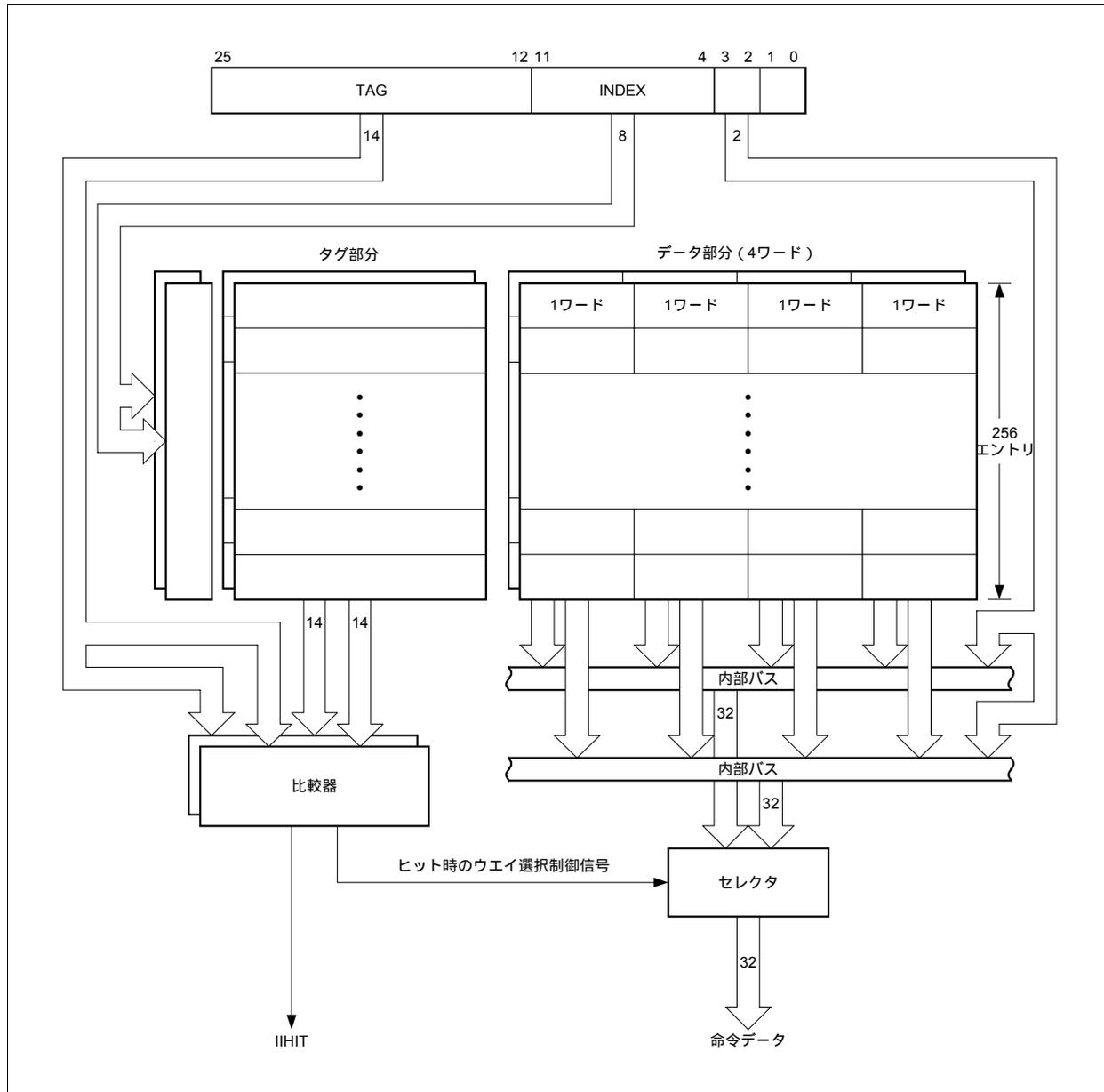
図1-3 4Kバイト2ウェイ・セット・アソシアティブ命令キャッシュの構成



### 1.3.2 8Kバイト2ウェイ・セット・アソシアティブ命令キャッシュ

8Kバイト2ウェイ・セット・アソシアティブ命令キャッシュのデータ・メモリは、1ラインが4ワードの256エントリのブロックで構成されたウェイが2枚で、合計8Kバイトの容量です。

図1-4 8Kバイト2ウェイ・セット・アソシアティブ命令キャッシュの構成



## 1.4 命令キャッシュ・コントロール機能

### 1.4.1 制御レジスタ

命令キャッシュ・コントロール機能として次の機能があります。

- タグ・クリア機能
- オートフィル機能（ウエイ 0 のみ）

これらの機能は、次のレジスタにより制御します。

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFFF070H	命令キャッシュ・コントロール・レジスタ	ICC	R/W	-	-		0003H <sup>注1</sup>
FFFFF070H	命令キャッシュ・コントロール・レジスタL	ICCL	R/W			-	03H <sup>注2</sup>
FFFFF071H	命令キャッシュ・コントロール・レジスタH	ICCH	R/W			-	00H
FFFFFF074H	命令キャッシュ・データ・コンフィギュレーション・レジスタ	ICD	R/W	-	-		不定

注 1. リセット・アクティブ時は 0003H になり、自動的にタグの初期化を開始します。タグの初期化が完了すると 0000H になります。

2. リセット・アクティブ時は 03H になり、自動的にタグの初期化を開始します。タグの初期化が完了すると 00H になります。

備考 ICC レジスタ、ICD レジスタは、NB85E の周辺 I/O 領域に割り付けられています。

#### (1) 命令キャッシュ・コントロール・レジスタ (ICC)

ICC レジスタは、タグ・クリア、オートフィルの 2 種類の機能を設定するレジスタです。

ICC レジスタは、16 ビット単位でリード/ライト可能です。

ICC レジスタの上位 8 ビットを ICCH レジスタ、下位 8 ビットを ICCL レジスタとして使用した場合は、8/1 ビット単位でリード/ライト可能です。

- 注意 1. ビット 0, 1, 4 の任意のビットがセット (1) されているときに、そのビットを強制的にクリア (0) しないでください。
2. ビット 4 はほかのビットと同時にセット (1) しないでください。
  3. ビット 12 をセット (1) しないでください。ビット 12 はクリア (0) だけ可能です。
  4. ICC レジスタの設定は、必ずキャッシュ不可領域で行ってください (ただし、ビット 4 の設定は除く)。

図1-5 命令キャッシュ・コントロール・レジスタ (ICC)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
ICC	0	0	0	LOCK 0	0	0	0	0	0	0	0	FILL 0	0	0	TCLR 1	TCLR 0	アドレス FFFFFF070H	初期値 0003H <sup>注</sup>

ビット位置	ビット名	意味
12	LOCK0	ウエイ0のキャッシュ・ロック状態を示すビットです。 ウエイ0にフィルするとキャッシュはロックされ、このビットは自動的にセット(1)されます。このビットをクリア(0)すると、ウエイ0のキャッシュ・ロックは解除されます。 0: ウエイ0はロックされていない 1: ウエイ0はロックされている
4	FILL0	ウエイ0のオートフィルを設定します。 このビットをセット(1)すると、ウエイ0をオートフィルします。オートフィルが完了すると、このビットは自動的にクリア(0)されます。 0: ウエイ0のフィル完了 1: ウエイ0のフィル動作中
1	TCLR1	ウエイ1のタグ・クリアを設定します。 このビットをセット(1)すると、ウエイ1のタグをクリア(無効に)します。タグ・クリアが完了すると、このビットは自動的にクリア(0)されます。 0: ウエイ1のタグ・クリア完了 1: ウエイ1のタグ・クリア動作中
0	TCLR0	ウエイ0のタグ・クリアを設定します。 このビットをセット(1)すると、ウエイ0のタグをクリア(無効に)します。タグ・クリアが完了すると、このビットは自動的にクリア(0)されます。 0: ウエイ0のタグ・クリア完了 1: ウエイ0のタグ・クリア動作中

**注** リセット・アクティブ時は0003Hになり、自動的にタグの初期化を開始します。タグの初期化が完了すると0000Hになります。

(2) 命令キャッシュ・データ・コンフィギュレーション・レジスタ (ICD)

ICD レジスタは、オートフィル機能使用時にオートフィルを行うメモリ領域のアドレスを設定するレジスタです。

ICD レジスタは、16 ビット単位でリード/ライト可能です。

注意 1. オートフィル動作中に ICD レジスタを書き換えないでください。

2. ICD レジスタの初期値は不定のため、オートフィル機能使用時は必ず ICD レジスタに値を設定してから、ICC レジスタの FILL0 ビットをセット (1) してください。ICD レジスタに値を設定しないで ICC レジスタの FILL0 ビットをセット (1) した場合の動作は保証しません。

図1-6 命令キャッシュ・データ・コンフィギュレーション・レジスタ (ICD)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
ICD	0	DATA	アドレス	初期値														
		14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	FFFFF074H	不定

ビット位置	ビット名	意味
14-1	DATA14- DATA1	タグ情報の上位 14 ビット (オートフィルを行うメモリ領域の先頭アドレスのビット 25-12) を設定します。
0	DATA0	NB85E212 の場合: タグ情報の最下位ビット (オートフィルを行うメモリ領域の先頭アドレスのビット 11) を設定します。 NB85E213 の場合: 必ず 0 を設定してください (1 を設定した場合の動作は保証しません)。

1.4.2 タグ・クリア機能

1 ウエイ分のタグをクリア (無効に) します。

また、リセット時には、自動的にすべてのウエイのタグをクリア (無効に) します。

命令キャッシュ・タグ・クリアは、次の手順で行います。

<1> 命令キャッシュ・コントロール・レジスタ (ICC) をリードして、ビット 0, 1 (TCLR0, TCLR1) がすべてクリア (0) されていることを確認します。

<2> ICC レジスタをリードして、ビット 12 (LOCK0) がクリア (0) されていることを確認します。なお、ICC レジスタのビット 13 は常にクリア (0) されています。

<3>次に示すように ICC レジスタの TCLR0, TCLR1 ビットの設定を行います。

注意 1. タグ・クリアを行うには、ICC レジスタの TCLR0 ビット、または TCLR1 ビットのセット (1) が 2 回必要です。

2. 上記<1>-<3>の操作 (タグ・クリア) は、すべてキャッシュ不可領域で行ってください (キャッシュ許可領域から行っても、タグ・クリアは行われません)。

- ウエイ 0, ウエイ 1 を同時にクリアするとき
  - (a) TCLR0, TCLR1 ビットをセット (1) します。
  - (b) TCLR0, TCLR1 ビットをリードし、これらのビットがクリア (0) されていることを確認します。
  - (c) 上記 (a), (b) の操作を再度行います。

- ウエイ 0, ウエイ 1 を別々にクリアするとき<sup>注</sup>
  - (a) TCLR0 ビットをセット (1) します。
  - (b) TCLR0 ビットをリードし, クリア (0) されていることを確認します。
  - (c) 上記 (a), (b) の操作を再度行います。
  - (d) TCLR1 ビットをセット (1) します。
  - (e) TCLR1 ビットをリードし, クリア (0) されていることを確認します。
  - (f) 上記 (d), (e) の操作を再度行います。

注 (d) - (e) - (f) - (a) - (b) - (c) の順でも設定可能です。

**注意 1. ウエイ 0 とウエイ 1 のタグ・クリア用のカウンタは共用されています。**

したがって, タグ・クリアの実行 (ICC レジスタの TCLR0 ビット, または TCLR1 ビットのセット (1)) は, タグ・クリア用のカウンタ停止時 (TCLR0 = TCLR1 = 0) に行ってください。ウエイ 0 とウエイ 1 のタグ・クリアを別々に行う場合, 片方のウエイのタグ・クリア実行中 (TCLR0 または TCLR1 = 1) に, もう一方のウエイのタグ・クリアを実行すると, タグ・クリアの途中でカウンタが止まります。そのため, カウンタが途中の値を示したまま, もう一方のウエイのタグ・クリア動作に移行してしまうため, 正常なタグ・クリアが行えません。必ず一方のウエイのタグ・クリアが完了したことを確認してから (TCLR0 または TCLR1 = 0), もう一方のウエイのタグ・クリアを行うようにしてください。

なお, 次のような方法で両方のビットを同時にセットする場合は問題ありません。

```

mov    0x3,r2
LOP0:
ld.h   ICC[r0], r1
cmp    r0, r1
bnz    LOP0
st.h   r2, ICC[r0]
LOP1:
ld.h   ICC[r0], r1
cmp    r0, r1
bnz    LOP1
st.h   r2, ICC[r0]
LOP2:
ld.h   ICC[r0], r1
cmp    r0, r1
bnz    LOP2

```

-- TAG クリア 1 回目

-- TAG クリア 2 回目

2. ICC レジスタの TCLR0, TCLR1 ビットをリードして, クリア (0) されたことを確認できるまでは, タグ・クリアと並列してほかの処理を行わないでください。

**備考** タグ・クリア操作に要するクロック数は次のとおりです（カッコ内はタグ・クリア操作1回に要するクロック数です。実際にタグ・クリアするには、タグ・クリア操作を2回連続で行うため、必要とするクロック数は2回分になります）。

- NB85E212 : 256 クロック (128 クロック)
- NB85E213 : 512 クロック (256 クロック)

### 1.4.3 オートフィル機能（ウエイ0のみ）

1 ウエイ分の命令を自動的にフィルします。

一度オートフィルしたウエイは、自動的にロックされ書き込み禁止になり、1 サイクルでアクセス可能なROMと同じ動作をします。ロックを解除すれば、再び命令キャッシュとして動作します。

命令キャッシュ・オートフィルは、次の手順で行います。

<1> ウエイ0のタグをクリア（無効に）します（1.4.2 タグ・クリア機能参照）。

<2> 命令キャッシュ・データ・コンフィギュレーション・レジスタ（ICD）に、オートフィルしたいメモリ領域に対応するタグの情報を設定します。

<3> ICD レジスタに設定したタグ情報に対応したキャッシュ可能領域へ分岐します。

<4> 命令キャッシュ・コントロール・レジスタ（ICC）のビット4（FILL0）をセット（1）します。

<5> オートフィルが完了すると、ICC レジスタのビット12（LOCK0）が自動的にセット（1）され、ウエイ0がロックされます。このとき同時に、ICC レジスタのFILL0 ビットをリードして、このビットがクリア（0）されていることを確認します。

**注意** 上記の操作は次に示す領域で行ってください。

<1>, <2>, <3> ... キャッシュ不可領域

<4> ..... キャッシュ可能領域

ICC レジスタのビット4（FILL0）のセット（1）をキャッシュ不可領域から行った場合、オートフィルはできません（無効になります）。

<5> ..... キャッシュ不可領域でもキャッシュ可能領域でもどちらでも問題ありません

**備考1.** ロックを解除するには、ICC レジスタのLOCK0 ビットをクリア（0）します。

2. 1 ウエイ分のオートフィルに要するクロック数は次のとおりです（VSBのウエイ数が0、VSBデータ・バス・サイズが32ビット、1クロックで4バイト（1ワード）分のデータをフィルする場合）。

- NB85E212 : 512 クロック
- NB85E213 : 1024 クロック

3. オートフィルはVSB経由で外部メモリから命令キャッシュへフィルを行っているため、CPU内部での演算のみ（VSB, NPBアクセスがまったくない処理）に限り、並列してほかの処理を行うことができます。

## 1.5 命令キャッシュの設定手順

命令キャッシュの設定は、システム・リセット直後のユーザ・プログラムの初期設定にて次の手順で行ってください。

<1> ICC レジスタの値が「0000H」になるまで（タグの初期化が完了するまで）待機する。

<2> `st.h r0,0xffff072[r0]` を実行する。

<3> ICC レジスタ, ICD レジスタを設定する。

<4> NB85E の BHC レジスタで命令キャッシュの設定を「キャッシュ可能」にする。

**注意 1.** NB85E の IFIUNCH0 端子には、必ずロウ・レベルを入力（命令キャッシュ許可）してください。

IFIUNCH0 端子にロウ・レベルが入力されていないと、BHC レジスタで「キャッシュ可能」に設定しても無効となります。

**2.** BHC レジスタの設定は、必ずキャッシュ不可領域で行ってください（キャッシュ許可領域から行った場合は、正常に命令フェッチができません）。

## 1.6 動作

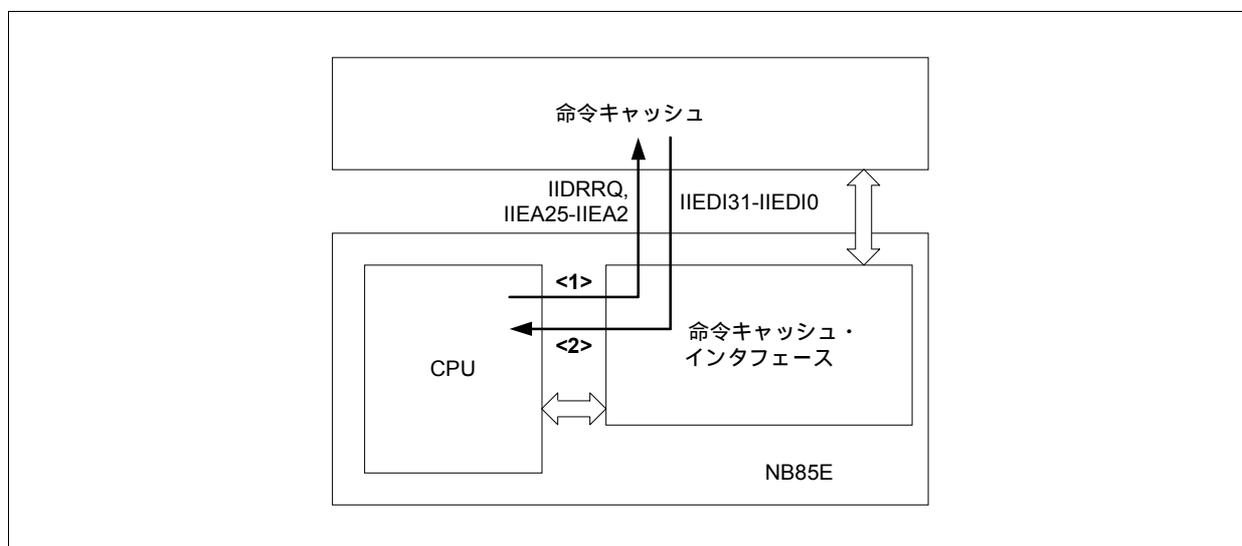
命令キャッシュは、NB85E のキャッシュ・コンフィギュレーション・レジスタ（BHC）により設定されたキャッシュ可能領域に対し、フェッチ・アクセスがあるたびに自動的にキャッシング動作を行います。

### 1.6.1 命令キャッシュ・ヒット時の動作

<1> 外部メモリからのフェッチ・アクセス時に、命令キャッシュへフェッチ要求（IIDRRQ）とアドレス（IIEA25-IIEA2）を出力します。

<2> そのアドレスが命令キャッシュ内に存在し、ヒットすると、命令キャッシュから IIEDI31-IIEDI0 を通じてデータをリードします。

図1-7 命令キャッシュ・ヒット時の動作

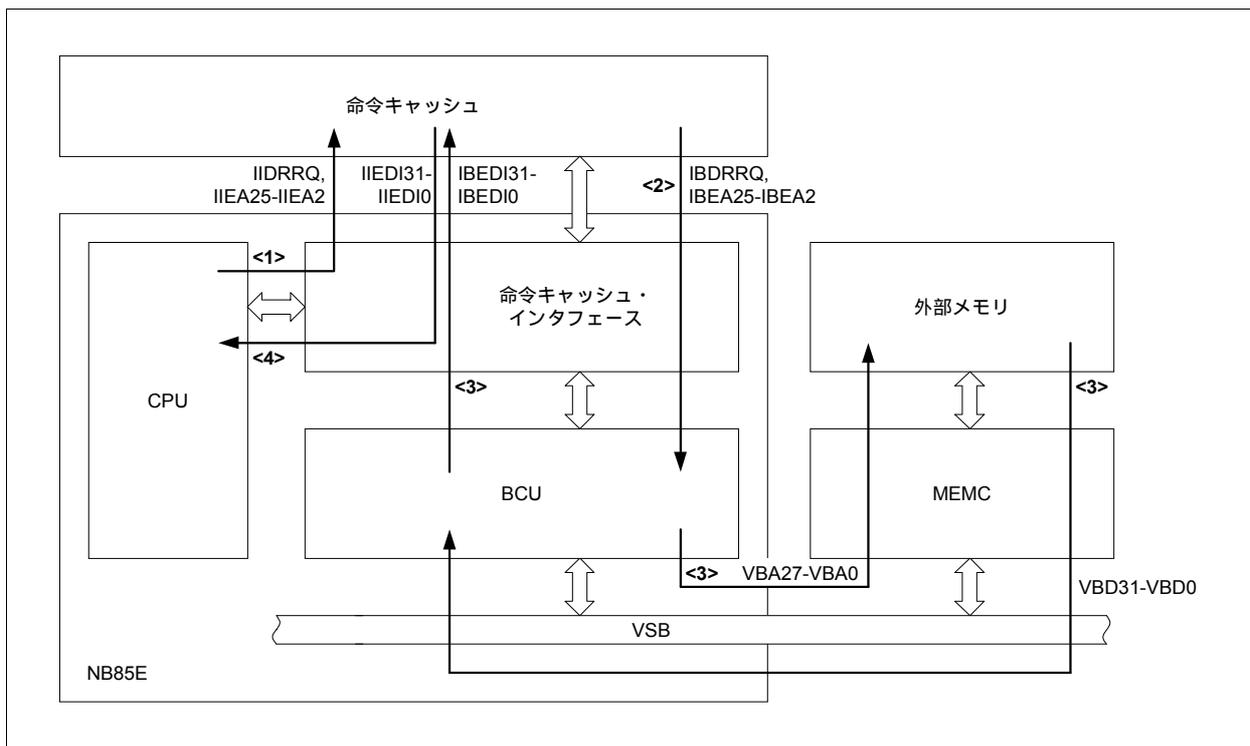


### 1.6.2 命令キャッシュ・ミスヒット時の動作

- <1> 外部メモリからのフェッチ・アクセス時に、命令キャッシュへフェッチ要求 (IIDRRQ) とアドレス (IIEA25-IIEA2) を出力します。
- <2> そのアドレスが命令キャッシュ内に存在せず、ミスヒットの場合、命令キャッシュから BCU へフェッチ要求 (IBDRRQ) とリードすべきアドレス (IBEA25-IBEA2) を出力します。
- <3> NB85E 内部の BCU は VSB を介して外部メモリにアドレス (VBA27-VBA0) を出力し、リードすべきアドレスの 1 ライン分 (4 ワード) を命令キャッシュへリフィルします。
- <4> このあと、命令キャッシュは、4 ワードのリフィル・データの中で必要なデータを IIEDI31-IIEDI0 を通じて CPU へ転送します。

**注意** ミスヒット時のミスペナルティ時間は、4 ワード分のデータをリフィルするために必要な時間になります。外部メモリに対するメモリ・コントローラ (MEMC) の仕様やメモリのタイプ、バス幅、VSB バス・サイクルのウエイト挿入時間などにより変わります。

図1-8 命令キャッシュ・ミスヒット時の動作



## 1.7 命令キャッシュの発行するバス・サイクル

命令キャッシュは、4ワード・バースト・リード（4R）のシーケンシャル・リフィル・リード・サイクルを発行します。

図1-9に32ビット・データ・バス時と16ビット・データ・バス時のタイミング例を示します。

なお、バス・サイジングにより8ビット・データ・バス使用時には図1-9の(a)32ビット・データ・バス時に示すバス・サイクルの4倍に変化します。

**備考 1.** ノー・ウエイトの場合のタイミング例です。

2. タイミング例の信号はすべてNB85Eのものです。
3. VBTTYP1, VBTTYP0, VBD31-VBD0, VBWAIT, VBAHLD, VBLAST 信号の破線部分のレベルはNB85E内部のバス・ホルダがドライブしている不定状態（Weak unknown）を示します。
4. 印はサンプリング・タイミングを示します。
5. VSB用信号（VBxxx, VDxxx）の詳細は**NB85E ユーザーズ・マニュアル ハードウェア編（A13971J）**を参照してください。

図1-9 シーケンシャル・リフィル・リード・サイクル(4R) (1/2)

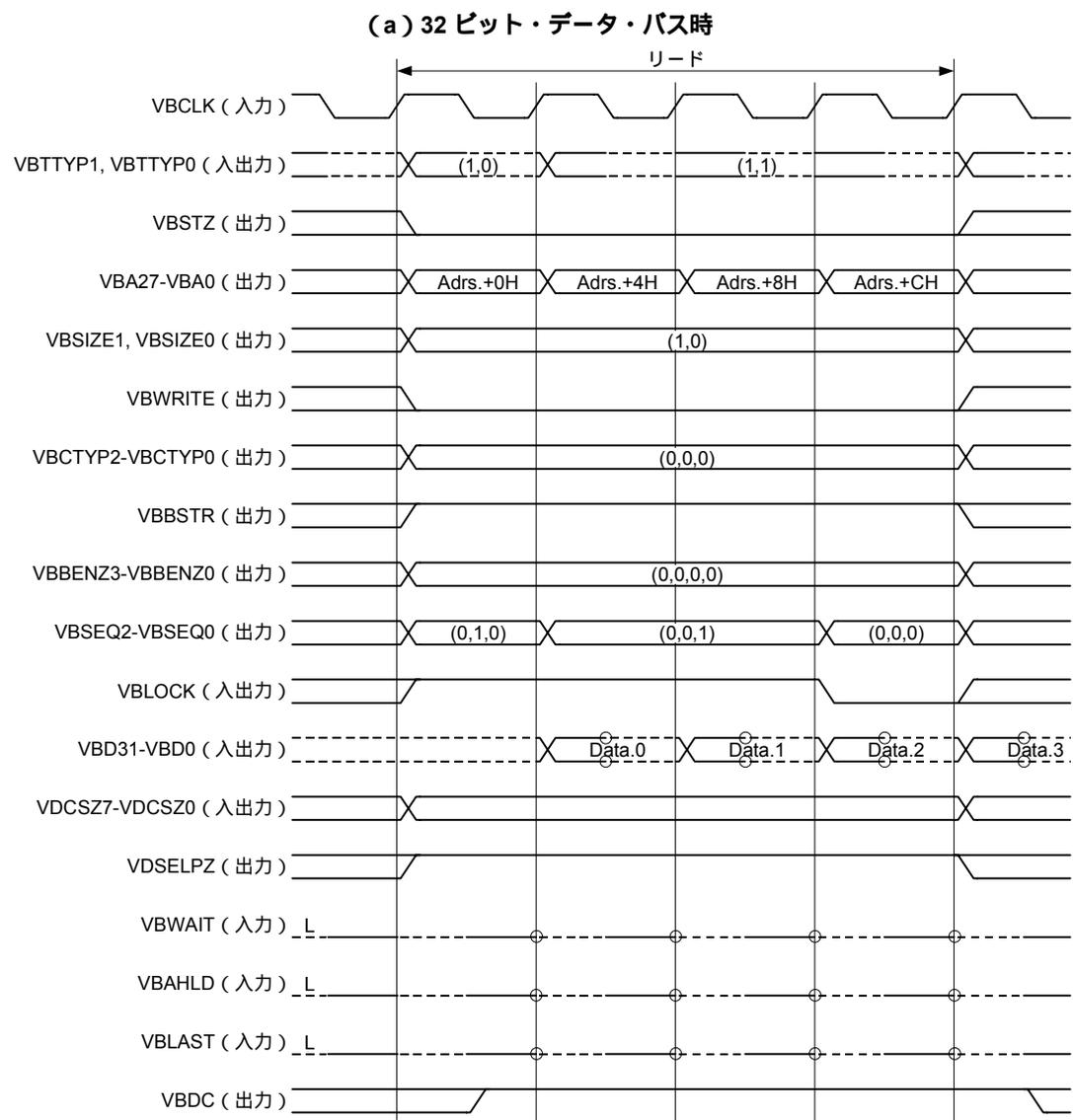
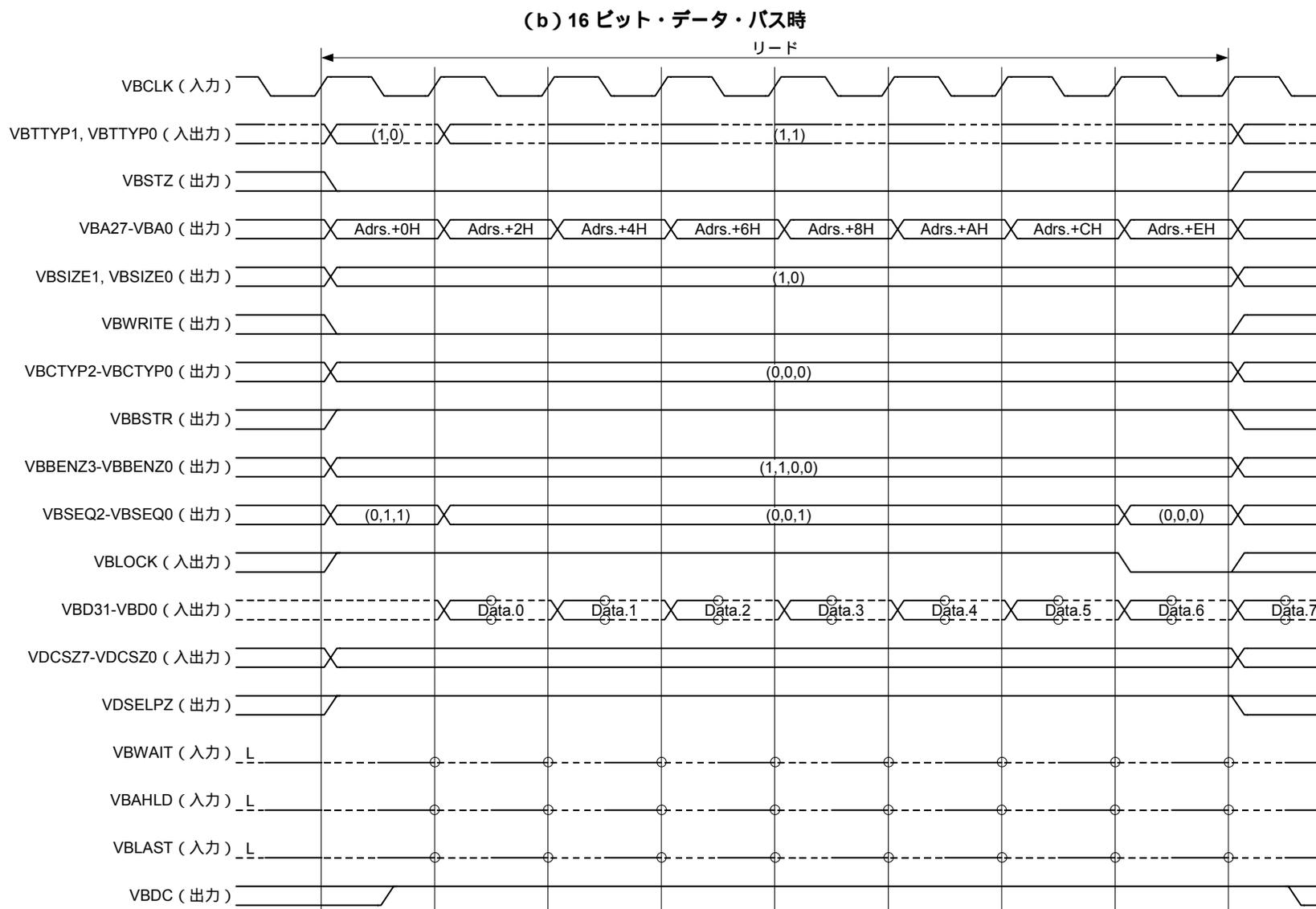


図1-9 シーケンシャル・リフィル・リード・サイクル(4R) (2/2)





## 1.9 注意事項

### (1) NB85E との接続

同じ端子名の端子同士を接続してください。ただし、命令キャッシュの IBTFT 端子はオープンにし、NB85E の IBTFT 端子はロウ・レベルに固定してください。

### (2) キャッシュ・タイプ選択用端子の設定

IF で始まるキャッシュ・タイプ選択用端子には次に示すレベルを入力してください。

端子名称	入力レベル	
	NB85E212	NB85E213
IFE128	ハイ・レベル	ロウ・レベル
IFDRCT	ロウ・レベル	ロウ・レベル

### (3) バス・サイクルの状態

NB85E のキャッシュ・コンフィギュレーション・レジスタ (BHC) により命令キャッシュの設定をキャッシュ可能に設定した領域では、NB85E の VBCTYP2-VBCTYP0 信号は常に通常のオペコード・フェッチを示し、分岐命令による飛び先アドレスのオペコード・フェッチは示しません。

### (4) リセット時の動作

リセット時には、自動的にタグをクリア (無効に) し、次のデータの置き換えはウエイ 0 から行われる状態にします。このため、リセット後ライン数分のクロック・サイクルの期間に命令キャッシュへのアクセスがあると、CPU はタグがクリアされる (無効になる) まで停止します。

### (5) レジスタの設定

次に示す NB85E のレジスタの設定は必ずキャッシュ不可領域で行ってください。ただし、命令キャッシュ・コントロール・レジスタ (ICC) のビット 4 の設定はキャッシュ可能領域で行ってください。

- チップ領域セレクト制御レジスタ (CSC0, CSC1)
- 周辺 I/O 領域セレクト制御レジスタ (BPC)
- バス・サイズ・コンフィギュレーション・レジスタ (BSC)
- エンディアン・コンフィギュレーション・レジスタ (BEC)
- キャッシュ・コンフィギュレーション・レジスタ (BHC)
- 命令キャッシュ・コントロール・レジスタ (ICC)<sup>注</sup>
- 命令キャッシュ・データ・コンフィギュレーション・レジスタ (ICD)

注 ビット 4 を除く

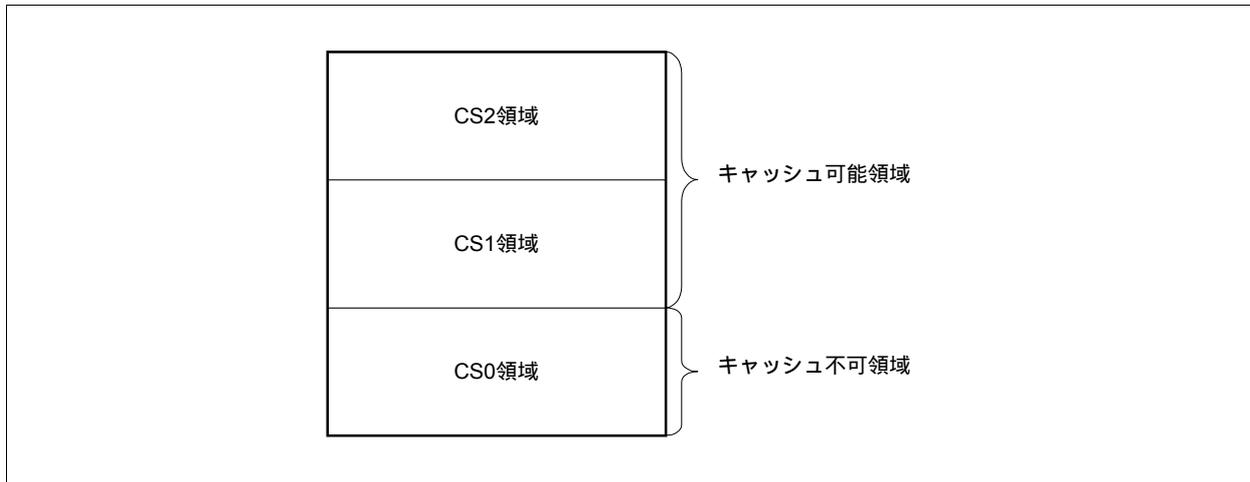
### (6) メモリ境界へのアクセス

隣接するチップ・セレクト (CSn) 領域がキャッシュ可能領域とキャッシュ不可領域であった場合、このメモリ境界間を連続的にアクセスする場合は、分岐命令によってだけアクセス可能です (n = 7-0)。分岐命令以外の命令でこのメモリ境界を連続アクセスした場合の動作は保証しません。次に例を示します。

例 キャッシュ領域の設定が図1-11のようになっているとします。この場合、メモリ領域へのアクセスは次のようになります。

- CS0 領域から CS1 領域へは分岐命令でだけアクセス可能
- CS1 領域から CS2 領域へは連続的にアクセス可能

図1-11 キャッシュ領域設定例



#### (7) プログラムの初期設定

システム・リセット直後のユーザ・プログラムの初期設定で、NB85E の BHC レジスタを設定する前に、必ず次の命令を実行してください。

```
st.h r0,0xffff072[r0]
```

この命令を実行したあとに、BHC レジスタにより命令キャッシュの設定をキャッシュ可能 (BHN0 ビット = 1) にすることでキャッシュが有効となります (n = 7-0)。

#### (8) NB85E の BHC レジスタの設定

BHC レジスタを設定する命令が存在する CSn 領域に対しては、その命令による命令キャッシュのキャッシュ可能 / 不可の設定ができません (n = 7-0)。BHC レジスタを設定する命令が存在しない CSn 領域に対してのみ、命令キャッシュのキャッシュ可能 / 不可の設定ができます。

たとえば、CS0 領域に BHC レジスタ設定命令が存在するときは、CS0 領域の命令キャッシュの設定 (キャッシュ可能 / 不可の設定) はできません。この場合は、CS1-CS7 領域のみ、命令キャッシュの設定ができます。

ただし、VFB または VDB に接続されたメモリ領域にある命令からはすべての CSn 領域に対して命令キャッシュの設定が可能です。

**備考** VFB : ROM 直結のための専用バス (V850E フェッチ・バス)

VDB : RAM 直結のための専用バス (V850E データ・バス)

**(9) テスト・バス自動結線ツールの対応**

この命令キャッシュには BUNRI 端子がありますが、テスト・バス (TBOx, TBix) がないため、テスト・バス自動結線ツールには対応していません。

**(10) タグ・クリア手順**

ウエイ 0 とウエイ 1 のタグ・クリア用のカウンタは共用されています。

したがって、タグ・クリアの実行 (ICC レジスタの TCLR0 ビット、または TCLR1 ビットのセット (1)) は、タグ・クリア用のカウンタ停止時 (TCLR0 = TCLR1 = 0) に行ってください。ウエイ 0 とウエイ 1 のタグ・クリアを別々に行う場合、片方のウエイのタグ・クリア実行中 (TCLR0 または TCLR1 = 1) に、もう一方のウエイのタグ・クリアを実行すると、タグ・クリアの途中でカウンタが止まります。そのため、カウンタが途中の値を示したまま、もう一方のウエイのタグ・クリア動作に移行してしまうため、正常なタグ・クリアが行えません。必ず一方のウエイのタグ・クリアが完了したことを確認してから (TCLR0 または TCLR1 = 0)、もう一方のウエイのタグ・クリアを行うようにしてください。

**(11) リフィル・リード・サイクルと分岐を行う特定の命令によるキャッシュ・アクセスの同時動作**

NB85E の命令キャッシュでは、リフィル・リード・サイクル起動時にそのバス・サイクルで読み込まれた命令が、命令キャッシュに登録されずに破棄される場合があります (この動作が発生しても、プログラムの実行自体は正常に行われ、実行結果は正しいものになります)。

この動作は次の (a) ~ (c) に示す条件をすべて満たした場合に発生する可能性があります (この動作は命令キャッシュ内部の状態や命令実行タイミングなど複数の条件が重なった場合のみに発生するため、(a) ~ (c) の条件を満たせば必ず発生するわけではありません)。

(a) CPU が命令キャッシュ内のあるキャッシュ・ライン (16 バイト) 中の命令を実行中のとき

(b) 上記キャッシュ・ラインに後続するアドレスのキャッシュ・ラインが命令キャッシュ内に存在しない場合で、CPU の命令プリフェッチにより後続するキャッシュ・ラインがアクセスされてミス・ヒットが発生するとき

(c) CPU がキャッシュ・ライン中にある分岐を行う特定の命令<sup>※</sup>を実行して、上記のミス・ヒット発生と同時に分岐先へのアクセスを命令キャッシュに要求し、その分岐先が命令キャッシュにヒットしたとき

**注** 対象となる命令は次のとおりです。

Bcond, CALLT, CTRET, DBRET, DBTRAP, JARL, JMP, JR, RETI, SWITCH, TRAP,  
DISPOSE imm5, list12 [reg1] ([reg1]への分岐を伴う命令)

この動作が発生すると、後続のキャッシュ・ラインのミスヒットによりリフィル・リード・サイクルが起動しますが、そのサイクルで読み込まれた命令は命令キャッシュに登録されずに破棄されます。

これによりプログラム実行の性能が低下する場合があります。たとえば、プログラム・ループ部分の条件分岐命令でこの動作が発生すると、ループするごとに毎回後続のキャッシュ・ラインの無効なリフィル・リード・サイクルが発生するために性能が低下します。特にループが小さい場合には、無効なバス・サイクルによる性能の低下の影響が大きくなります。

この動作を発生させないためには、キャッシュ・ライン (16 バイト境界) の先頭の 6 バイト領域内に分岐命令を配置します。これにより発生条件 ((a) ~ (c)) が満たされなくなり、この動作が発生しなくなります。

## 第2章 データ・キャッシュ

### 2.1 概要

NB85E252, NB85E263 は, NB85E 用のデータ・キャッシュ・メモリです。  
NB85E に内蔵のデータ・キャッシュ・インタフェースに直接接続できます。  
データ・キャッシュには次の2種類があります。

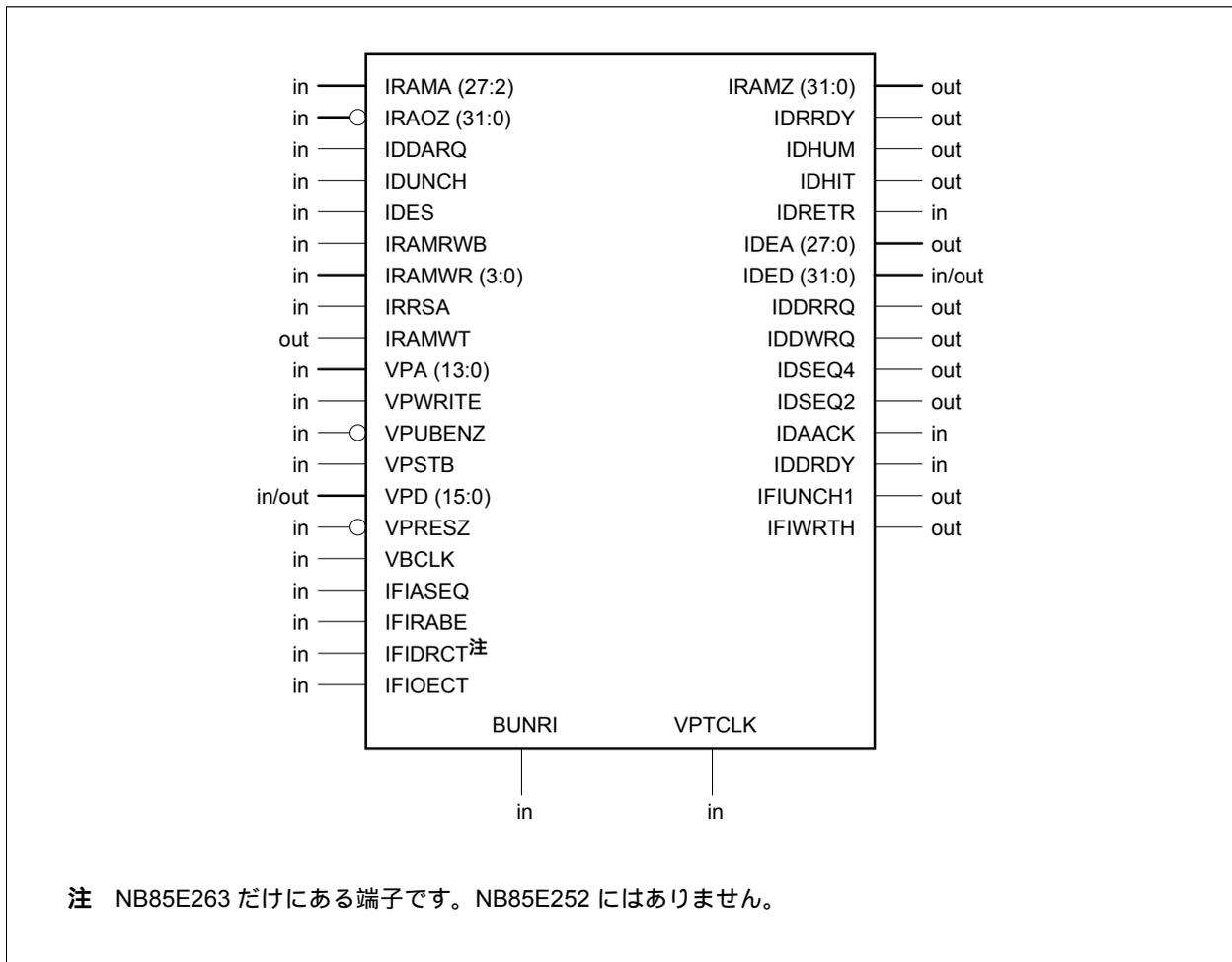
- NB85E252 ... 4K バイト・ダイレクト・マップ・データ・キャッシュ  
(4ワード × 256 エントリ = 4K バイト)
- NB85E263 ... 8K バイト 2 ウエイ・セット・アソシアティブ・データ・キャッシュ  
(4ワード × 256 エントリ × 2 ウエイ = 8K バイト)

#### 2.1.1 特徴

- LRU (Least Recently Used) アルゴリズム採用  
ミスヒット時, 一番長くアクセスされなかったブロックを置き換えの対象とするアルゴリズムで, 2 ウエイ・セット・アソシアティブ・タイプのキャッシュに採用されています。ダイレクト・マップ・タイプに比べヒットする確率が高くなります。
- タグ・クリア機能により, すべてのタグの内容をクリア (無効に) できます。
- タグ・フィル機能により, すべてのタグの内容をフィルしたいメモリのアドレスで埋めることができます。フィルしたウエイをロックすることでデータ RAM としても使用できます。ただし, ロックされたデータ RAM を使用して NB85E の DMA 動作を行うことはできません。
- ロック機能により, 任意のウエイのロックが可能です。  
ロックしたウエイのタグへの書き込みは禁止されます。
- データ・フラッシュ機能により, ライトバック・モード時にダーティ・データ・ラインのフラッシュを行うことができます。

**備考** ダーティ・データとは, キャッシュ・メモリとメイン・メモリの同一アドレスのデータが異なっている場合に, メイン・メモリに書き戻す必要があるキャッシュ・メモリ内のデータのことです。これに対して, キャッシュ・メモリとメイン・メモリの同一アドレスのデータが同じ場合のキャッシュ・メモリ内のデータはクリーン・データといいます。

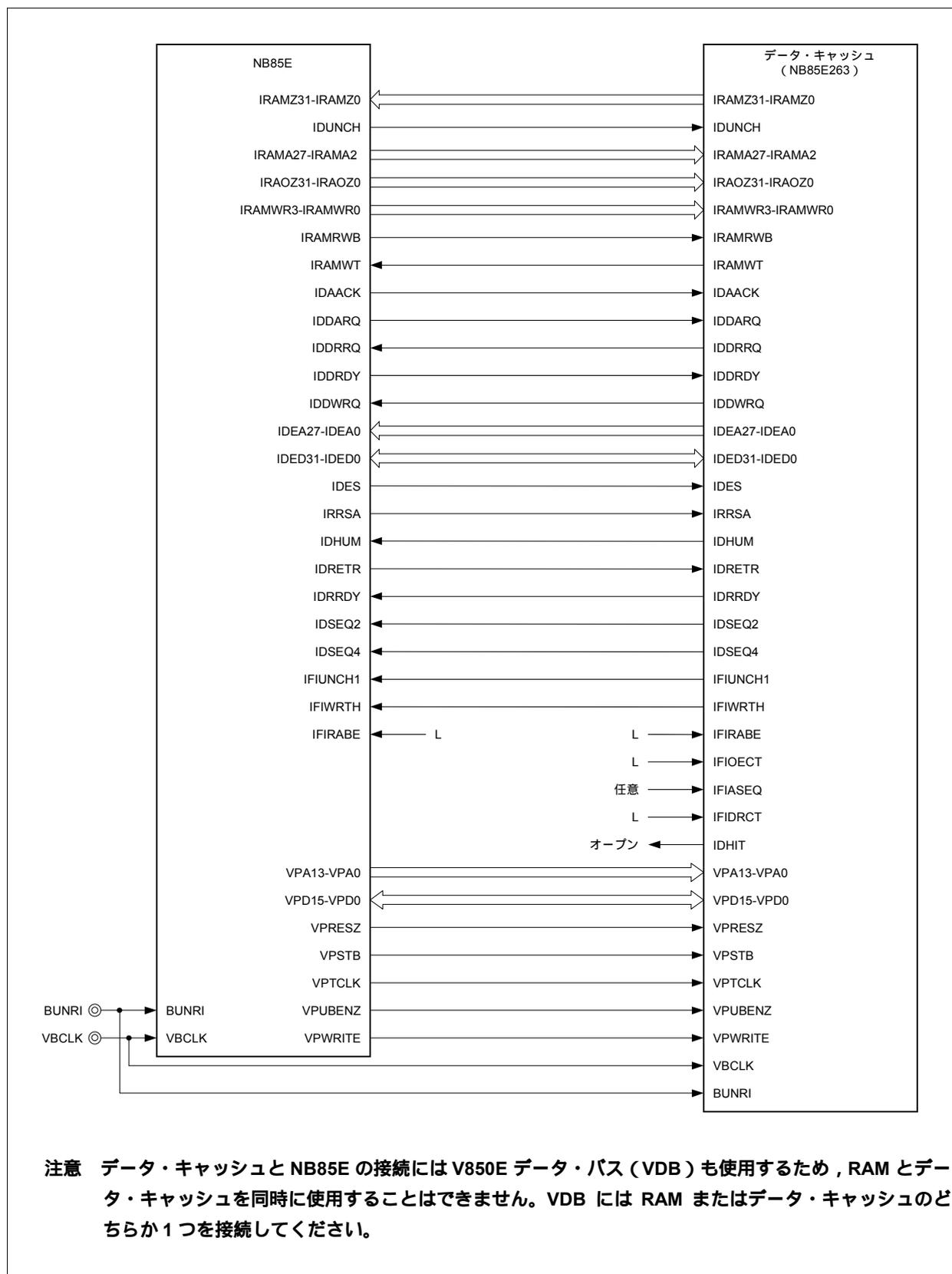
### 2.1.2 シンボル図



### 2.1.3 NB85E 接続例

次に NB85E とデータ・キャッシュの接続例を示します。

図2-1 NB85Eとデータ・キャッシュの接続例



## 2.2 端子機能

### 2.2.1 端子機能一覧

( 1/2 )

端子名		入出力	機能
NB85E 接続用端子	IRAMA27-IRAMA2	入力	NB85E からのアドレス入力
	IRAOZ31-IRAOZ0	入力	NB85E からのデータ入力
	IDDARQ	入力	NB85E からのリード/ライト・アクセス要求入力
	IDUNCH	入力	アンキャッシュ・ステータス入力
	IDES	入力	NEC の予約端子 (NB85E の IDES 端子に接続)
	IRAMRWB	入力	NB85E からのリード/ライト・ステータス入力
	IRAMWR3-IRAMWR0	入力	NB85E からのライト・イネーブル入力
	IRRSA	入力	VDB ホールド・ステータス入力
	IRAMWT	出力	NB85E へのウエイト出力
	IRAMZ31-IRAMZ0	出力	NB85E へのデータ出力
	IDRRDY	出力	NB85E へのリード・データ・レディ出力
	IDHUM	出力	ヒット・アンダ・ミスヒット・リード出力
	IDRETR	入力	リード・リトライ要求入力
	IDEA27-IDEA0	出力	アドレス出力
	IDED31-IDED0	入出力	データ入出力
	IDDRRQ	出力	NB85E への VSB リード・オペレーション要求出力
	IDDWRQ	出力	NB85E への VSB ライト・オペレーション要求出力
	IDSEQ4	出力	リード/ライト動作タイプ設定出力
	IDSEQ2	出力	リード/ライト動作タイプ設定出力
	IDAACK	入力	アクノリッジ入力
	IDDRDY	入力	NB85E からのリード・データ・レディ入力
	IFIUNCH1	出力	NB85E へのデータ・キャッシュ設定出力
	IFIWRTH	出力	ライトバック/ライト・スルー・モード選択出力
	VPA13-VPA0	入力	アドレス入力 (NPB 用)
	VPWRITE	入力	ライト・アクセス・ストロープ入力 (NPB 用)
	VPUBENZ	入力	上位バイト・イネーブル入力 (NPB 用)
	VPSTB	入力	データ・ストロープ入力 (NPB 用)
	VPD15-VPD0	入出力	データ入出力 (NPB 用)
	VPRESZ	入力	リセット入力
	VBCLK	入力	内部システム・クロック入力

備考 VDB : V850E データ・バス

VSB : V850E システム・バス

NPB : NEC 周辺 I/O バス

端子名		入出力	機能
キャッシュ・タイプ選択用端子	IFIASEQ	入力	リフィル・モード選択入力
	IFIRABE	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	IFIDRCT <sup>注</sup>	入力	NEC の予約端子 (ロウ・レベルを入力してください)
	IFIOECT	入力	NEC の予約端子 (ロウ・レベルを入力してください)
ステータス端子	IDHIT	出力	タグ・ヒット・ステータス出力
テスト・モード用端子	BUNRI	入力	ノーマル/テスト・モード選択入力
	VPTCLK	入力	テスト用クロック入力

注 NB85E263 だけにある端子です。NB85E252 にはありません。

## 2.2.2 端子機能の説明

### (1) NB85E 接続用端子

#### (a) IRAMA27-IRAMA2 (入力)

NB85E からのアドレス入力バスです。

#### (b) IRAOZ31-IRAOZ0 (入力)

NB85E からのデータ入力バスです。

#### (c) IDDARQ (入力)

NB85E からのリード/ライト・アクセス要求入力端子です。

#### (d) IDUNCH (入力)

アンキャッシュ・ステータス入力端子です。

NB85E のキャッシュ・コンフィギュレーション・レジスタ (BHC) でデータ・キャッシュの設定をキャッシュ可能に設定した領域をアクセスしたときにロウ・レベルが入力されます。

#### (e) IDES (入力)

NEC の予約端子です。必ず、NB85E の IDES 端子に接続してください。

#### (f) IRAMRWB (入力)

NB85E からのリード/ライト・ステータス入力端子です。

この端子への入力レベルにより、データ・キャッシュのリード/ライト状態は次のようになります。

- ロウ・レベル：ライト時
- ハイ・レベル：リード時

**(g) IRAMWR3-IRAMWR0 (入力)**

NB85E からのライト・イネーブル入力端子です。

データ・バス (IRAOZ31-IRAOZ0) のうち有効となるバイト・データを示すための端子です。有効時はハイ・レベルが入力されます。

ハイ・レベルとなる信号	有効バイト・データ
IRAMWR0	IRAOZ7-IRAOZ0
IRAMWR1	IRAOZ15-IRAOZ8
IRAMWR2	IRAOZ23-IRAOZ16
IRAMWR3	IRAOZ31-IRAOZ24

**(h) IRRSA (入力)**

V850E データ・バス (VDB) ホールド・ステータス入力端子です。

VDB が RAM アクセス, またはホールド状態のときハイ・レベルが入力されます。

**(i) IRAMWT (出力)**

NB85E へのウェイト出力端子です。

ウェイト期間中はハイ・レベルを出力します。

**(j) IRAMZ31-IRAMZ0 (出力)**

NB85E へのデータ出力バスです。

**(k) IDRRDY (出力)**

NB85E へのリード・データ・レディ出力端子です。

**(l) IDHUM (出力)**

ヒット・アンド・ミスヒット・リード出力端子です。

リード時のミスヒット発生による外部メモリへのアクセス中に, データ・キャッシュに対する次のアクセスが行われ, そのアクセス時にヒットしたデータが外部メモリからのデータに先行して NB85E に入力される場合 (ヒット・アンド・ミスヒット) に, ハイ・レベルを出力します。

**(m) IDRETR (入力)**

リード・リトライ要求入力端子です。

**(n) IDEA27-IDEA0 (出力)**

NB85E へのアドレス出力バスです。

ミスヒット時に NB85E に対しアクセスすべきアドレスを出力します。

**(o) IDDED31-IDED0 (入出力)**

NB85E とのデータ入出力バスです。

データ・キャッシュにリフィルされるデータやライトバック・モード時に外部メモリに書き込むデータのやり取りをします。

**(p) IDRRQ, IDDWRQ, IDSEQ4, IDSEQ2 (出力)**

NB85E への動作タイプ設定出力端子です。

IDRRQ	IDDWRQ	IDSEQ4	IDSEQ2	動作タイプ
H	L	H	L	4ワード・シーケンシャル・リード
H	L	L	H	2ワード・シーケンシャル・リード
H	L	L	L	1ワード・リード
L	H	H	L	4ワード・シーケンシャル・ライト
L	H	L	H	2ワード・シーケンシャル・ライト
L	H	L	L	1ワード・ライト
H	H	H	H	1ワード・ライト
H	H	H	L	1ハーフワード・ライト
H	H	L	L	1バイト・ライト
上記以外				設定禁止

**備考** L: ロウ・レベル出力

H: ハイ・レベル出力

**(i) IDRRQ (出力)**

NB85E への VSB リード・オペレーション要求出力端子です。

**(ii) IDDWRQ (出力)**

NB85E への VSB ライト・オペレーション要求出力端子です。

**(iii) IDSEQ4, IDSEQ2 (出力)**

NB85E へのリード/ライト動作タイプ設定出力端子です。

**(q) IDAACK (入力)**

アクノリッジ入力端子です。

データ・キャッシュから出力した IDEA27-IDEA0 信号を NB85E が認識すると、この信号が入力されます。

**(r) IDDRDY (入力)**

NB85E からのリード・データ・レディ入力端子です。

ミスヒット時に NB85E が外部メモリからリードすべきデータを取り終えると、データ・キャッシュに対してリフィルの準備ができたことを示すために入力されます。

**(s) IFIUNCH1 (出力)**

NB85E へのデータ・キャッシュ設定出力端子です。

データ・キャッシュ許可時はロウ・レベルを、データ・キャッシュ禁止時 (DCC レジスタの DC11, DC10 ビットがともにクリア (0) されているとき) はハイ・レベルを出力します。

必ず、NB85E の IFIUNCH1 端子と接続してください。

**(t) IFIWRTH (出力)**

ライトバック/ライト・スルー・モード選択出力端子です。

ライトバック・モード時はロウ・レベルを、ライト・スルー・モード時はハイ・レベルを出力します。

**(u) VPA13-VPA0, VPWRITE, VPUBENZ, VPSTB, VPD15-VPD0 (NPB 用端子)**

NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J) を参照してください。

**(v) VPRESZ (入力)**

リセット入力端子です。

**(w) VBCLK (入力)**

内部システム・クロック入力端子です。

**(2) キャッシュ・タイプ選択用端子****(a) IFIASEQ (入力)**

リフィル・モード選択入力端子です。

この端子への入力レベルにより、リフィル・モードは次のようになります。

- ロウ・レベル：クリティカル・ファースト・モード
- ハイ・レベル：シーケンシャル・モード

**備考** クリティカル・ファースト・モードは、外部メモリから1ライン分のデータを取り込む際、最初に必要なデータを取り込む方式です。CPUに早くデータを渡せるため、一般的にクリティカル・ファースト・モードで動作させるとシステム全体の性能が向上します。ただし、連続アクセスを行えるメモリを接続すると、シーケンシャル・モードに設定した方が性能が向上する場合があります。

**(b) IFIRABE, IFIDRCT, IFIOECT (入力)**

NECの予約端子です。常にロウ・レベルを入力してください。

なお、IFIDRCT端子はNB85E263だけにあります。NB85E252にはありません。

**(3) ステータス端子****(a) IDHIT (出力)**

キャッシュがヒットしていることを示す端子です。

データ・キャッシュからのリード時にヒットしたとき、ハイ・レベルを出力します。ライト時はステータスを示しません。未使用時はオープンにしてください。

## (4) テスト・モード用端子

## (a) BUNRI (入力)

ノーマル/テスト・モードを選択する入力端子です。

## (b) VPTCLK (入力)

テスト用クロック入力端子です。

## 2.2.3 端子状態

出力機能を持つ端子の各動作モードでの状態を次に示します。

表2-1 各動作モードでの端子状態

端子名		端子状態			
		リセット	STOP モード	HALT モード	テスト・モード
NB85E 接続用端子	IRAMWT	不定	保持	動作	動作
	IRAMZ31-IRAMZ0	不定	保持	動作	動作
	IDRRDY	不定	保持	動作	動作
	IDHUM	不定	保持	動作	動作
	IDEA27-IDEA0	不定	保持	動作	動作
	IDED31-IDED0	不定	保持	動作	動作
	IDRRRQ	不定	保持	動作	動作
	IDDWRQ	不定	保持	動作	動作
	IDSEQ4	不定	保持	動作	動作
	IDSEQ2	不定	保持	動作	動作
	IFIUNCH1	H	保持	動作	動作
	IFIWRTH	H	保持	動作	動作
	VPD15-VPD0	Hi-Z	保持	動作	動作
ステータス端子	IDHIT	不定	保持	動作	動作

備考 H: ハイ・レベル出力

Hi-Z: ハイ・インピーダンス

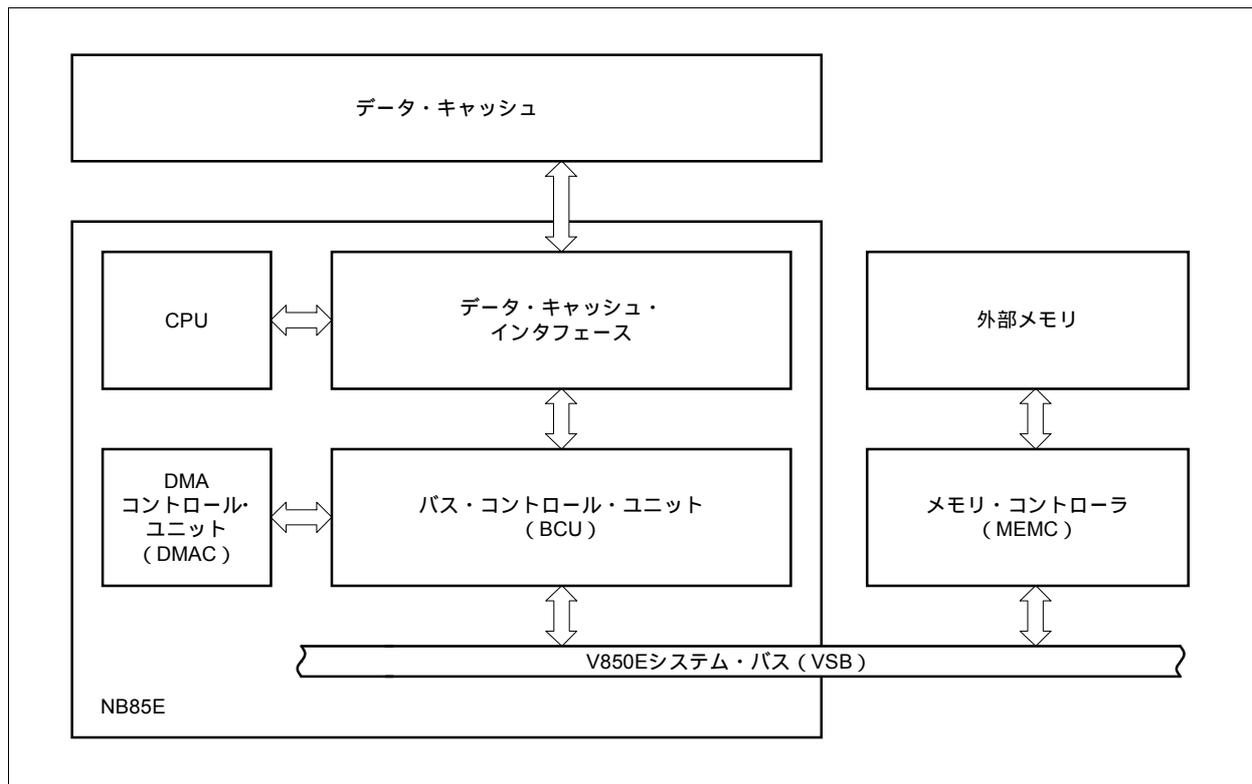
保持: 直前の状態を保持

## 2.3 データ・キャッシュの構成

データ・キャッシュには次の2つのタイプがあります。NB85E はこれらのデータ・キャッシュに1サイクルでアクセス可能です。

- 4K バイト・ダイレクト・マップ・データ・キャッシュ (NB85E252)
- 8K バイト2ウェイ・セット・アソシアティブ・データ・キャッシュ (NB85E263)

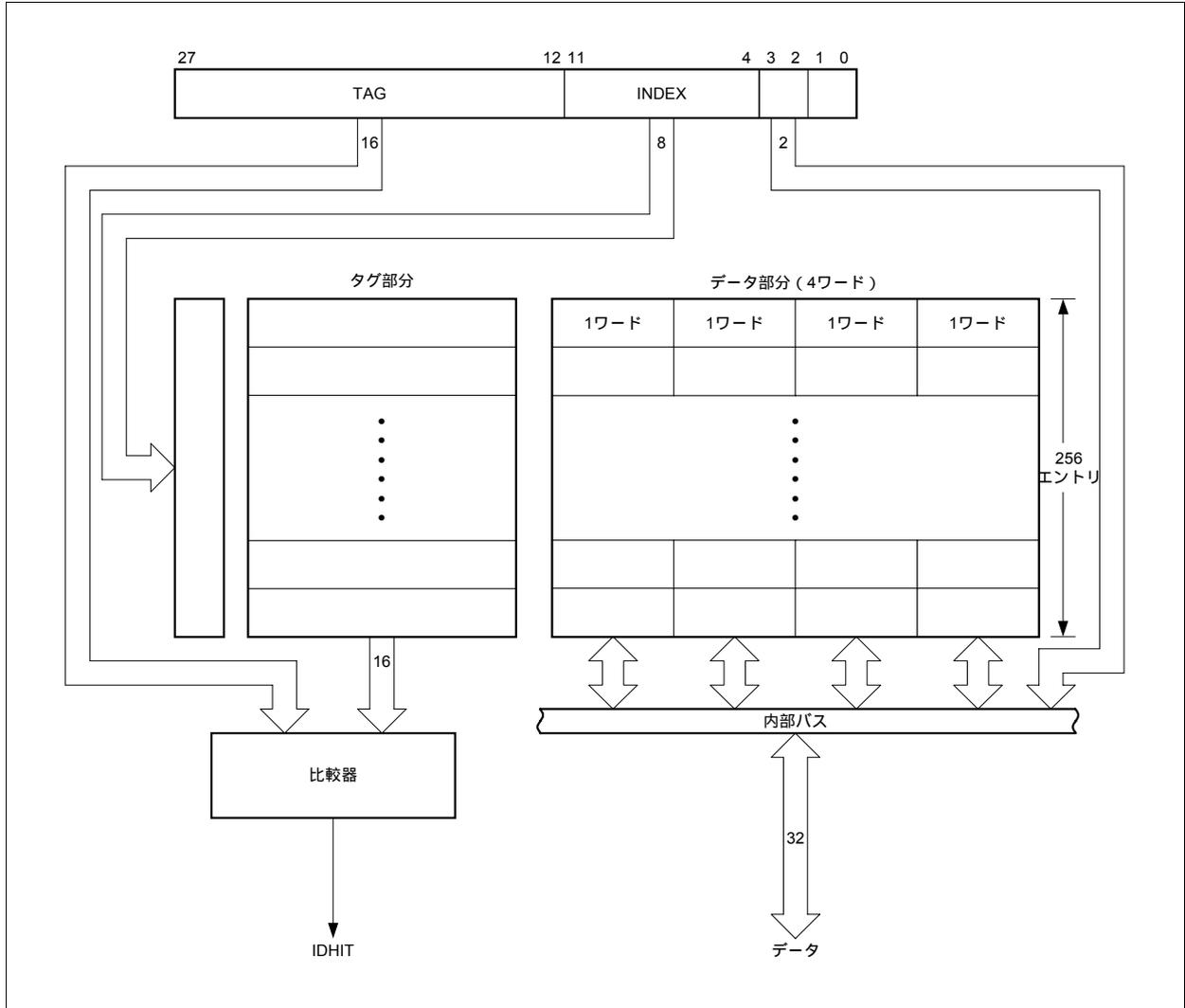
図2-2 データ・キャッシュの構成例



### 2.3.1 4Kバイト・ダイレクト・マップ・データ・キャッシュ

4Kバイト・ダイレクト・マップ・データ・キャッシュのデータ・メモリは、1ラインが4ワードの256エントリのブロックで構成され、合計4Kバイトの容量です。

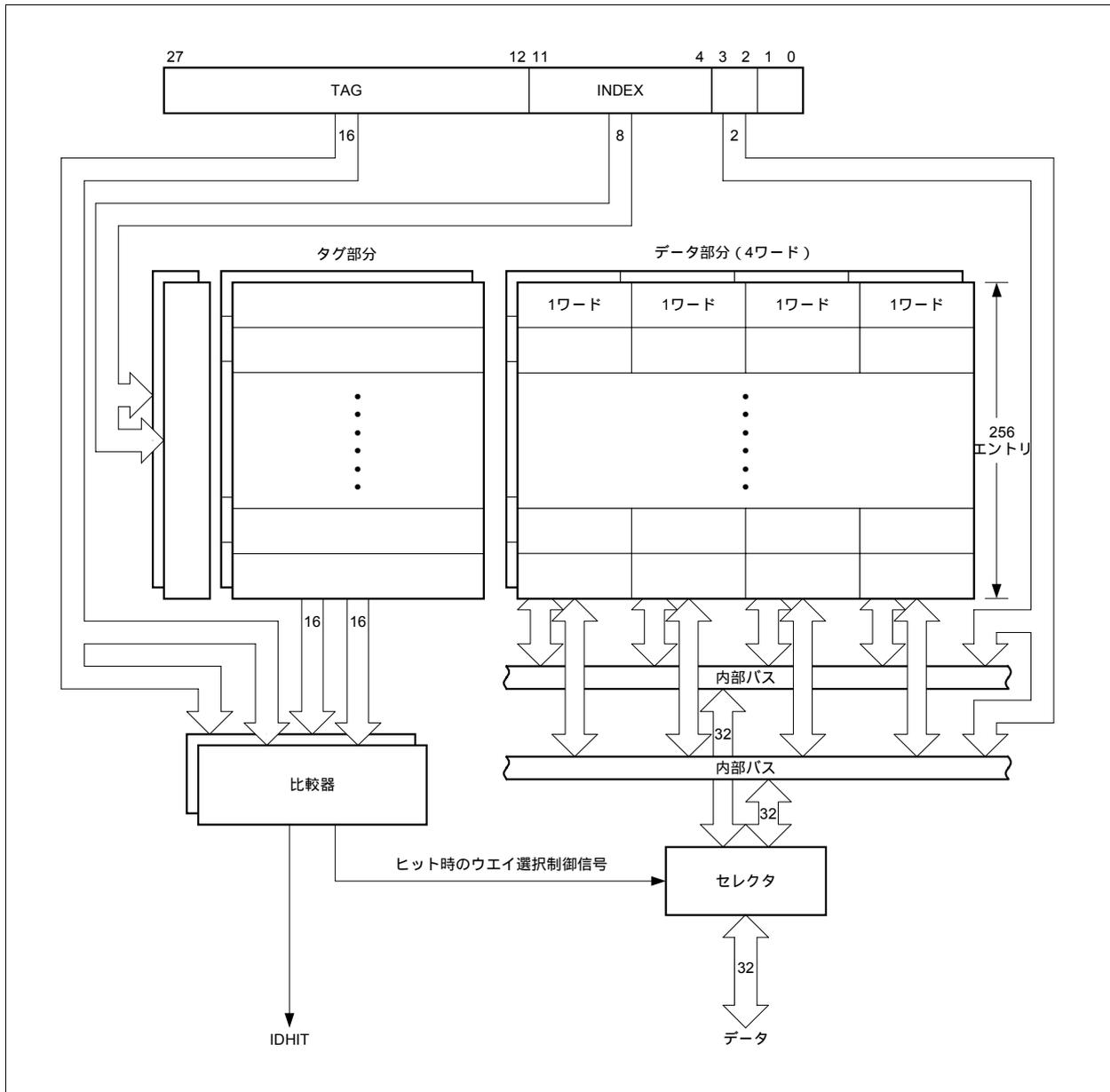
図2-3 4Kバイト・ダイレクト・マップ・データ・キャッシュの構成



### 2.3.2 8Kバイト2ウェイ・セット・アソシアティブ・データ・キャッシュ

8Kバイト2ウェイ・セット・アソシアティブ・データ・キャッシュのデータ・メモリは、1ラインが4ワードの256エントリのブロックで構成されたウェイが2枚で、合計8Kバイトの容量です。

図2-4 8Kバイト2ウェイ・セット・アソシアティブ・データ・キャッシュの構成



## 2.4 データ・キャッシュ・コントロール機能

### 2.4.1 制御レジスタ

データ・キャッシュ・コントロール機能として次の機能があります。

- タグ・クリア機能
- タグ・フィル機能
- ロック機能
- データ・フラッシュ機能

これらの機能は、次のレジスタにより制御します。

アドレス	レジスタ名称	略号	R/W	操作可能ビット			初期値
				1ビット	8ビット	16ビット	
FFFFFF078H	データ・キャッシュ・コントロール・レジスタ	DCC	R/W	-	-		0003H <sup>注</sup>
FFFFFF07CH	データ・キャッシュ・データ・コンフィギュレーション・レジスタ	DCD	R/W	-	-		不定

**注** リセット・アクティブ時は 0003H になり、自動的にタグの初期化を開始します。タグの初期化が完了すると 0000H になります。

**備考** DCC レジスタ、DCD レジスタは、NB85E の周辺 I/O 領域に割り付けられています。

#### (1) データ・キャッシュ・コントロール・レジスタ (DCC)

DCC レジスタは、タグ・クリア、タグ・フィル、ロック、データ・フラッシュの 4 種類の機能を設定するレジスタです。また、DCC レジスタの設定により 3 つの動作モードを選択できます。

DCC レジスタは、16 ビット単位でリード/ライト可能です。

- 注意 1.** ビット 0, 1, 4, 5 の任意のビットがセット (1) されているときに、そのビットを強制的にクリア (0) しないでください。
2. ビット 1, 5, 13 の設定は、NB85E263 だけ有効です。NB85E252 のこれらのビットには、必ず 0 を設定してください。
  3. ビット 10, 11 の設定は、リセット時のデータ・キャッシュ初期化後、最初に使用するアクセスの前に 1 回だけ変更可能です。
  4. NB85E のキャッシュ・コンフィギュレーション・レジスタ (BHC) で行うデータ・キャッシュ許可領域の設定は、必ず DCC レジスタで動作モードを設定したあとに行ってください。DCC レジスタで動作モードを設定しないと、NB85E 側でデータ・キャッシュ許可領域の設定ができません。

図2-5 データ・キャッシュ・コントロール・レジスタ (DCC) (1/2)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
DCC	0	0	DC13	DC12	DC11	DC10	0	0	0	0	DC05	DC04	0	0	DC01	DC00	アドレス	初期値
																	FFFFFF078H	0003H

ビット位置	ビット名	意味															
13	DC13	<p>ウエイ1のキャッシュ・ロックの設定およびタグ・クリア/フィル機能のクリア/フィルの選択をします。</p> <p>このビットをセット (1) すると、ウエイ1のキャッシュをロックして、書き込みを禁止します。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">DC13</th><th style="width: 40%;">キャッシュ・ロック</th><th style="width: 50%;">タグ・クリア/フィル</th></tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td><td>ウエイ1はロックされていない</td><td>ウエイ1のタグ・クリア機能が有効</td></tr> <tr> <td style="text-align: center;">1</td><td>ウエイ1はロックされている</td><td>ウエイ1のタグ・フィル機能が有効</td></tr> </tbody> </table>	DC13	キャッシュ・ロック	タグ・クリア/フィル	0	ウエイ1はロックされていない	ウエイ1のタグ・クリア機能が有効	1	ウエイ1はロックされている	ウエイ1のタグ・フィル機能が有効						
DC13	キャッシュ・ロック	タグ・クリア/フィル															
0	ウエイ1はロックされていない	ウエイ1のタグ・クリア機能が有効															
1	ウエイ1はロックされている	ウエイ1のタグ・フィル機能が有効															
12	DC12	<p>ウエイ0のキャッシュ・ロックの設定およびタグ・クリア/フィル機能のクリア/フィルの選択をします。</p> <p>このビットをセット (1) すると、ウエイ0のキャッシュをロックして、書き込みを禁止します。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">DC12</th><th style="width: 40%;">キャッシュ・ロック</th><th style="width: 50%;">タグ・クリア/フィル</th></tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td><td>ウエイ0はロックされていない</td><td>ウエイ0のタグ・クリア機能が有効</td></tr> <tr> <td style="text-align: center;">1</td><td>ウエイ0はロックされている</td><td>ウエイ0のタグ・フィル機能が有効</td></tr> </tbody> </table>	DC12	キャッシュ・ロック	タグ・クリア/フィル	0	ウエイ0はロックされていない	ウエイ0のタグ・クリア機能が有効	1	ウエイ0はロックされている	ウエイ0のタグ・フィル機能が有効						
DC12	キャッシュ・ロック	タグ・クリア/フィル															
0	ウエイ0はロックされていない	ウエイ0のタグ・クリア機能が有効															
1	ウエイ0はロックされている	ウエイ0のタグ・フィル機能が有効															
11, 10	DC11, DC10	<p>動作モードを設定します。</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th style="width: 10%;">DC11</th><th style="width: 10%;">DC10</th><th style="width: 80%;">動作モード</th></tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">0</td><td>キャッシュ・アクセス禁止</td></tr> <tr> <td style="text-align: center;">1</td><td style="text-align: center;">0</td><td>ライト・スルー・モード</td></tr> <tr> <td style="text-align: center;">0</td><td style="text-align: center;">1</td><td>ライトバック・モード (ライト・アロケート禁止)</td></tr> <tr> <td style="text-align: center;">1</td><td style="text-align: center;">1</td><td>ライトバック・モード (ライト・アロケート許可)</td></tr> </tbody> </table> <p><b>備考</b> ライト・アロケートとは、データ・キャッシュへのライト時にミスヒットした場合に、外部メモリからライトすべきアドレスのデータをデータ・キャッシュへリフィルすることです。</p>	DC11	DC10	動作モード	0	0	キャッシュ・アクセス禁止	1	0	ライト・スルー・モード	0	1	ライトバック・モード (ライト・アロケート禁止)	1	1	ライトバック・モード (ライト・アロケート許可)
DC11	DC10	動作モード															
0	0	キャッシュ・アクセス禁止															
1	0	ライト・スルー・モード															
0	1	ライトバック・モード (ライト・アロケート禁止)															
1	1	ライトバック・モード (ライト・アロケート許可)															
5	DC05	<p>ウエイ1のデータ・フラッシュを設定します。</p> <p>このビットをセット (1) すると、ウエイ1のダーティ・データ・ラインのフラッシュを行います。データ・フラッシュが完了すると、このビットは自動的にクリア (0) されます。</p> <p>0: ウエイ1のデータ・フラッシュ完了 1: ウエイ1のデータ・フラッシュ動作中</p>															

図2-5 データ・キャッシュ・コントロール・レジスタ (DCC) (2/2)

ビット位置	ビット名	意味
4	DC04	<p>ウエイ0のデータ・フラッシュを設定します。</p> <p>このビットをセット(1)すると、ウエイ0のダーティ・データ・ラインのフラッシュを行います。データ・フラッシュが完了すると、このビットは自動的にクリア(0)されます。</p> <p>0: ウエイ0のデータ・フラッシュ完了 1: ウエイ0のデータ・フラッシュ動作中</p>
1	DC01	<p>ウエイ1のタグ・クリア/フィルを設定します。</p> <p>このビットをセット(1)すると、ウエイ1のタグをクリア/フィルします。タグ・クリア/フィルが完了すると、このビットは自動的にクリア(0)されます。</p> <p>0: ウエイ1のタグ・クリア/フィル完了 1: ウエイ1のタグ・クリア/フィル動作中</p> <p><b>備考</b> クリア/フィルの選択はビット13(DC13)で行います。</p>
0	DC00	<p>ウエイ0のタグ・クリア/フィルを設定します。</p> <p>このビットをセット(1)すると、ウエイ0のタグをクリア/フィルします。タグ・クリア/フィルが完了すると、このビットは自動的にクリア(0)されます。</p> <p>0: ウエイ0のタグ・クリア/フィル完了 1: ウエイ0のタグ・クリア/フィル動作中</p> <p><b>備考</b> クリア/フィルの選択はビット12(DC12)で行います。</p>

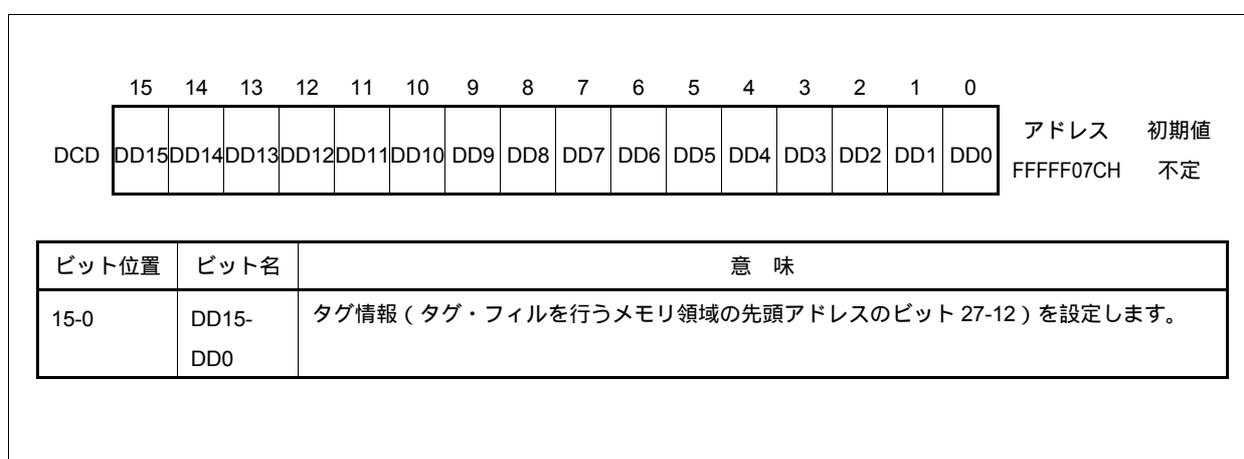
(2) データ・キャッシュ・データ・コンフィギュレーション・レジスタ (DCD)

DCD レジスタは、タグ・フィル機能使用時にタグ・フィルを行うメモリ領域のアドレスを設定するレジスタです。

DCD レジスタは、16 ビット単位でリード/ライト可能です。

- 注意 1. タグ・フィル動作中に DCD レジスタを書き換えないでください。
2. DCD レジスタの初期値は不定のため、タグ・フィル機能使用時は必ず DCD レジスタに値を設定してから、DCC レジスタの DC0n ビットをセット (1) してください (n = 0, 1)。DCD レジスタに値を設定しないで DCC レジスタの DC0n ビットをセット (1) した場合の動作は保証しません。

図2 - 6 データ・キャッシュ・データ・コンフィギュレーション・レジスタ (DCD)



## 2.4.2 タグ・クリア機能

1 ウエイまたは2 ウエイ分のタグをクリア（無効に）します。

また、リセット時には、自動的にすべてのウエイのタグをクリア（無効に）します。

データ・キャッシュ・タグ・クリアは、次の手順で行います。

<1> データ・キャッシュ・コントロール・レジスタ（DCC）をリードして、ビット 0, 1, 4, 5（DC00, DC01, DC04, DC05）がすべてクリア（0）されていることを確認します。

<2> タグ・クリアしたいウエイに従って、DCC レジスタのビット 12（DC12）またはビット 13（DC13）もしくは両ビットをクリア（0）します。

<3> タグ・クリアしたいウエイに従って、DCC レジスタのビット 0（DC00）またはビット 1（DC01）もしくは両ビットをセット（1）します。

<4> タグ・クリアしたウエイに従って、DCC レジスタの DC00 ビットまたは DC01 ビットもしくは両ビットをリードして、このビットがクリア（0）されていることを確認します。

**注意** タグ・クリア機能は、ライトバック・モードの場合でもダーティ・データ・ラインをフラッシュしません。データのフラッシュが必要な場合は、データ・フラッシュ機能を使用してください。

## 2.4.3 タグ・フィル機能

1 ウエイまたは2 ウエイ分のタグをフィルします。

フィルしたウエイをロックすることで、データ・キャッシュはデータ RAM として使用できます。ロックを解除すれば、再びデータ・キャッシュとして動作します。

なお、ライト・スルー・モードの場合、フィル/ロックしたアドレス領域へのライト・アクセスでもバス・サイクルが発行されます。

データ・キャッシュ・タグ・フィルは、次の手順で行います。

<1> データ・キャッシュ・データ・コンフィギュレーション・レジスタ（DCD）に、タグ・フィルしたいメモリ領域に対応するタグの情報を設定します。

<2> データ・キャッシュ・コントロール・レジスタ（DCC）をリードして、ビット 0, 1, 4, 5（DC00, DC01, DC04, DC05）がすべてクリア（0）されていることを確認します。

<3> タグ・フィルしたいウエイに従って、DCC レジスタのビット 12（DC12）またはビット 13（DC13）もしくは両ビットをセット（1）します。

<4> タグ・フィルしたいウエイに従って、DCC レジスタのビット 0（DC00）またはビット 1（DC01）もしくは両ビットをセット（1）します。

<5> タグ・フィルしたウエイに従って、DCC レジスタの DC00 ビットまたは DC01 ビットもしくは両ビットをリードして、このビットがクリア（0）されていることを確認します。

## 2.4.4 ロック機能

任意のウエイをロックします。

一度ロックしたウエイは、書き込み禁止になり、1 サイクルでアクセス可能なデータ RAM と同じ動作をします。ロックを解除すれば、再びデータ・キャッシュとして動作します。

なお、ライト・スルー・モードの場合、ロックされたラインへのアクセスでもバス・サイクルが発行されません。

データ・キャッシュ・ロックの設定/解除は、次のようにして行います。

- **ロックの設定**

ロックを設定したいウエイに従って、データ・キャッシュ・コントロール・レジスタ (DCC) のビット 12 (DC12) またはビット 13 (DC13) をセット (1) します。

- **ロックの解除**

ロックを解除したいウエイに従って、DCC レジスタの DC12 ビットまたは DC13 ビットをクリア (0) します。

## 2.4.5 データ・フラッシュ機能

ライトバック・モードの場合に、ダーティ・データ・ラインのフラッシュを行います。  
データ・キャッシュ・データ・フラッシュは、次の手順で行います。

<1> データ・キャッシュ・コントロール・レジスタ (DCC) をリードして、ビット 0, 1, 4, 5 (DC00, DC01, DC04, DC05) がすべてクリア (0) されていることを確認します。

<2> データ・フラッシュしたいウエイに従って、DCC レジスタのビット 12 (DC12) またはビット 13 (DC13) もしくは両ビットをクリア (0) します。

<3> データ・フラッシュしたいウエイに従って、DCC レジスタのビット 4 (DC04) またはビット 5 (DC05) もしくは両ビットをセット (1) します。

<4> データ・フラッシュしたウエイに従って、DCC レジスタの DC04 ビットまたは DC05 ビットもしくは両ビットをリードして、このビットがクリア (0) されていることを確認します。

**注意 1.** DC04 ビットと DC00 ビット、または DC05 ビットと DC01 ビットを同時にセット (1) すると、データ・フラッシュとタグ・クリアが同時に行われます。

**2.** 複数のウエイに対して同時に操作する場合は設定を同じにしてください。たとえば、ウエイ 0 のデータ・フラッシュと、ウエイ 1 のデータ・フラッシュとタグ・クリアを同時に行うことはできません。

## 2.5 データ・キャッシュの設定手順

### 2.5.1 データ・キャッシュを有効にする設定

データ・キャッシュを有効にする場合は、システム・リセット直後のユーザ・プログラムの初期設定にて次の手順で行ってください。

<1> データ・キャッシュ・コントロール・レジスタ (DCC) , データ・キャッシュ・データ・コンフィギュレーション・レジスタ (DCD) を設定する (必ず DCC レジスタの DC11, DC10 ビットで動作モードを設定してください)。

<2> NB85E のキャッシュ・コンフィギュレーション・レジスタ (BHC) でデータ・キャッシュの設定を「キャッシュ可能」にする。

### 2.5.2 データ・キャッシュを有効 無効 有効にする設定

データ・キャッシュをユーザ・プログラムの途中で無効 (OFF) にして、再度有効 (ON) にする場合は、データ・キャッシュ・コントロール・レジスタ (DCC) , または NB85E のキャッシュ・コンフィギュレーション・レジスタ (BHC) を使用して、次の手順で行ってください。

#### (1) DCC レジスタを使用する場合

<1> DCC レジスタをリードして、タグ・クリア中でないことを確認します。

<2> DCC レジスタに 0x0 をライトします。

<3> DCC レジスタをリードして、クリア (0) されていることを確認します。

:

<データ・キャッシュ OFF での操作>

:

<4> DCC レジスタをリードして、クリア (0) されていることを確認します。

<5> DCC レジスタのビット 11, 10 (DC11, DC10) で動作モードを設定します。

<6> NOP

#### (2) NB85E の BHC レジスタを使用する場合

<1> NB85E の BHC レジスタでデータ・キャッシュの設定を「キャッシュ不可」にします。

<2> DCC レジスタをリードして、タグ・クリア中でないことを確認します。

<3> DCC レジスタのタグ・クリア・ビットを設定します。

<4> DCC レジスタをリードして、タグ・クリアが完了したことを確認します。

:

<データ・キャッシュ OFF での操作>

:

<5> NB85E の BHC レジスタでデータ・キャッシュの設定を「キャッシュ可能」にします。

**注意** <1>の BHC レジスタ・ライトから<4>の DCC レジスタによるタグ・クリア完了までの間に、ほかの LD/ST は行わないでください。

## 2.6 動作

データ・キャッシュは、NB85Eのキャッシュ・コンフィギュレーション・レジスタ（BHC）により設定されたキャッシュ可能領域へのアクセスがあるたびに自動的にキャッシング動作を行います。

データ・キャッシュは、データ・キャッシュ・コントロール・レジスタ（DCC）の設定により3つの動作モードを選択できます。動作モード一覧を表2-2に示します。

表2-2 動作モード一覧

動作モード	アクセス・タイプ		リフィル・モード	
ライト・スルー・モード	リード	ヒット	-	
		ミスヒット	シーケンシャル クリティカル・ファースト	
	ライト	ヒット	-	
		ミスヒット	-	
ライトバック・モード (ライト・アロケート禁止)	リード	ヒット	-	
		ミスヒット	クリーン・データ	シーケンシャル クリティカル・ファースト
			ダーティ・データ	シーケンシャル クリティカル・ファースト
		ライト	ヒット	-
	ミスヒット		-	
	ライトバック・モード (ライト・アロケート許可)	リード	ヒット	-
ミスヒット			クリーン・データ	シーケンシャル クリティカル・ファースト
			ダーティ・データ	シーケンシャル クリティカル・ファースト
ライト			ヒット	-
		ミスヒット	クリーン・データ	シーケンシャル クリティカル・ファースト
			ダーティ・データ	シーケンシャル クリティカル・ファースト

次に、動作モード別にデータ・キャッシュの動作について説明します。

## 2.6.1 ライト・スルー・モード

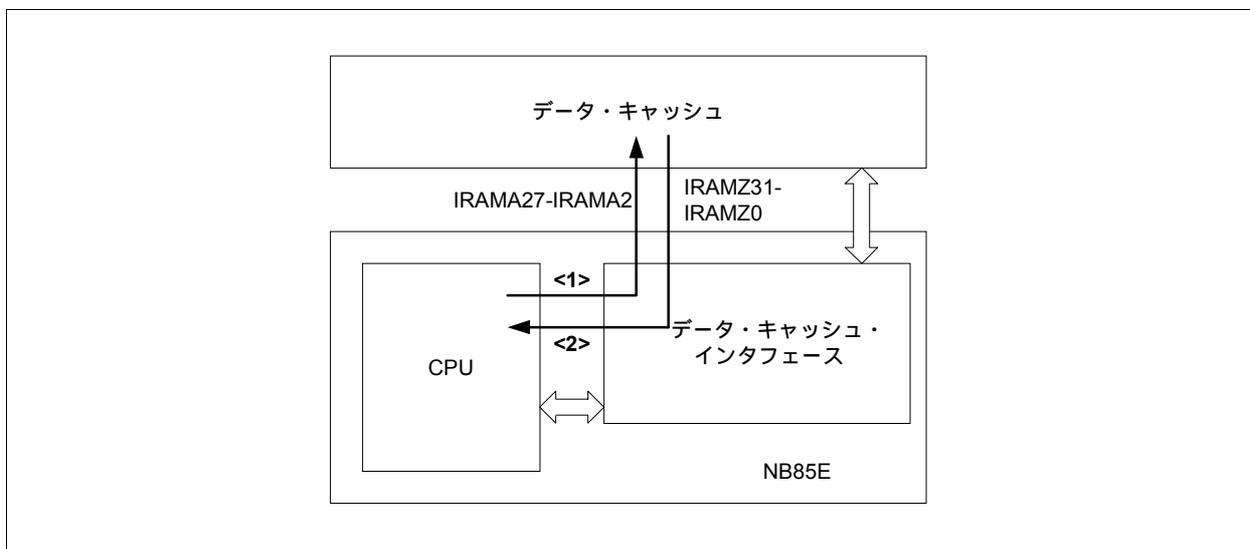
## (1) リード時

## (a) データ・キャッシュ・ヒット時

<1> 外部メモリからのデータ・リード時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。

<2> そのアドレスがデータ・キャッシュ内に存在し、ヒットすると、データ・キャッシュから IRAMZ31-IRAMZ0 を通してデータをリードします。

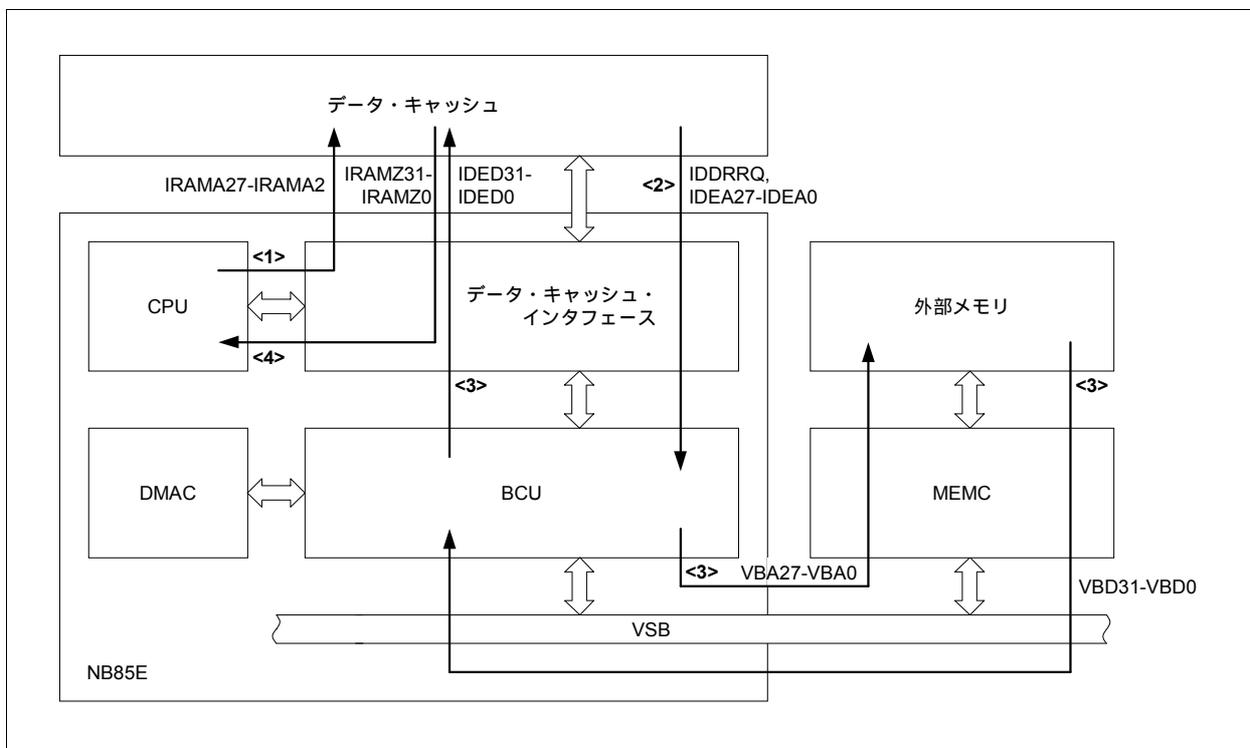
図2-7 データ・キャッシュ・ヒット時の動作 (ライト・スルー・モード, リード)



(b) データ・キャッシュ・ミスヒット時

- <1> 外部メモリからのデータ・リード時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。
- <2> そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、データ・キャッシュから BCU へフェッチ要求 (IDRRQ) とリードすべきアドレス (IDEA27-IDEA0) を出力します。
- <3> NB85E 内部の BCU は VSB を介して外部メモリにアドレス (VBA27-VBA0) を出力し、リードすべきアドレスのデータ 1 ライン分 (4 ワード) をデータ・キャッシュへリフィルします。
- <4> このあと、データ・キャッシュは、4 ワードのリフィル・データの中で必要なデータを IRAMZ31-IRAMZ0 を通して CPU へ転送します。

図2-8 データ・キャッシュ・ミスヒット時の動作 (ライト・スルー・モード, リード)

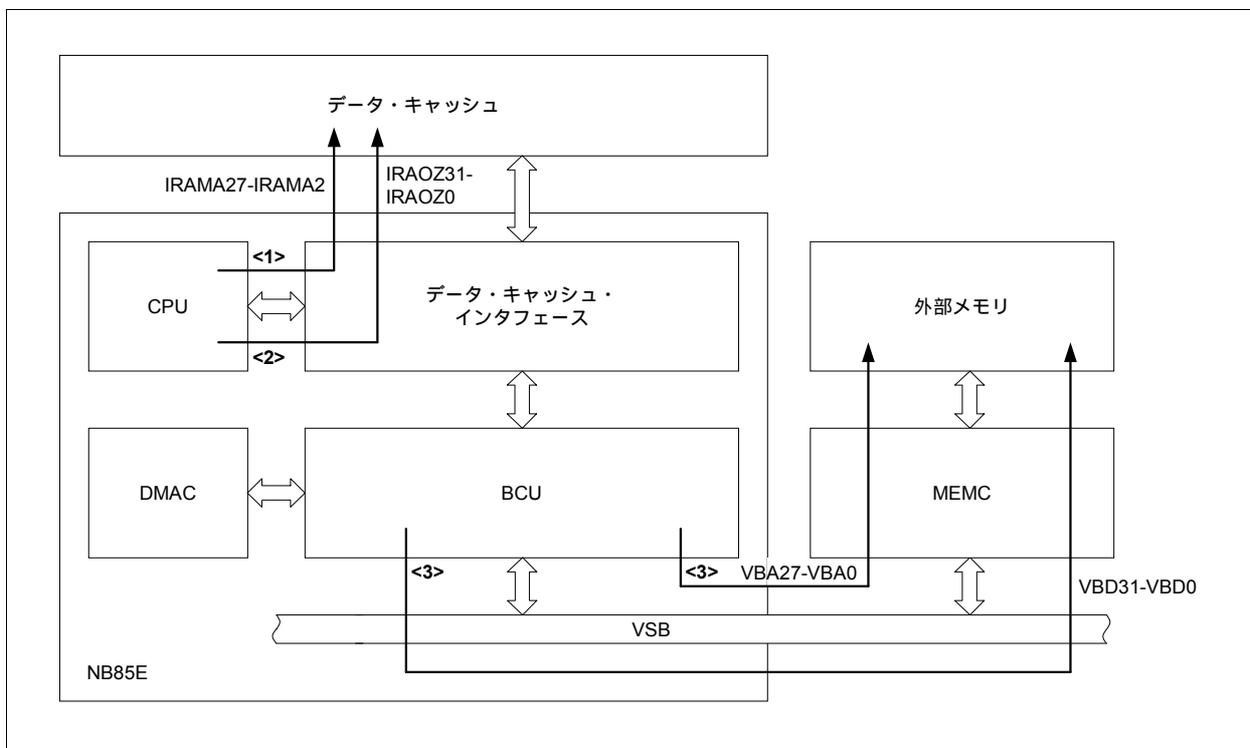


(2) ライト時

(a) データ・キャッシュ・ヒット時

- <1> 外部メモリへのデータ・ライト時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。
- <2> ライトしたい外部メモリのアドレスがデータ・キャッシュ内に存在し、ヒットすると、IRAOZ31-IRAOZ0 を通じてデータ・キャッシュにデータを書き込みます。
- <3> NB85E 内部の BCU は VSB を介して外部メモリにアドレス (VBA27-VBA0) を出力し、外部メモリに IRAOZ31-IRAOZ0 と同一のデータを VBD31-VBD0 を通じて書き込みます。

図2-9 データ・キャッシュ・ヒット時の動作 (ライト・スルー・モード, ライト)

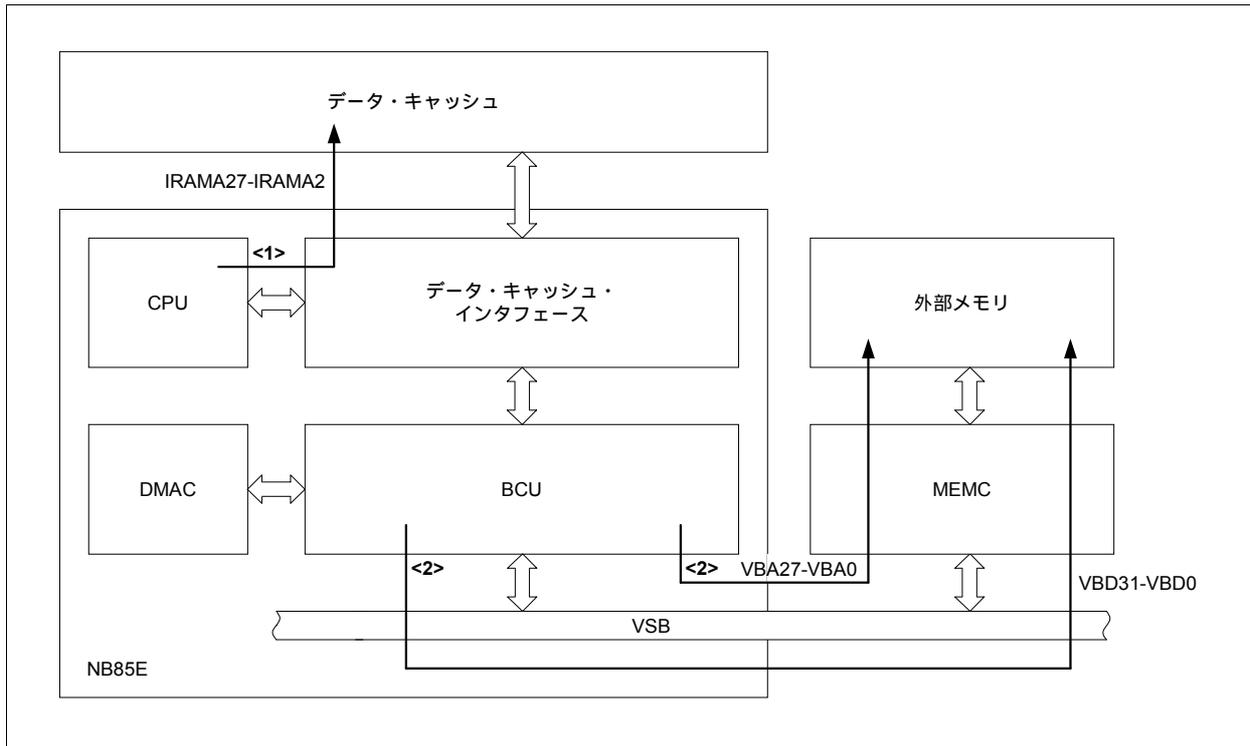


(b) データ・キャッシュ・ミスヒット時

<1> 外部メモリへのデータ・ライト時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、データ・キャッシュへデータは書き込まれません。

<2> NB85E 内部の BCU は VSB を介して外部メモリにアドレス (VBA27-VBA0) を出力し、外部メモリにライトすべきデータを VBD31-VBD0 を通して書き込みます。

図2 - 10 データ・キャッシュ・ミスヒット時の動作 (ライト・スルー・モード, ライト)



## 2.6.2 ライトバック・モード (ライト・アロケート禁止)

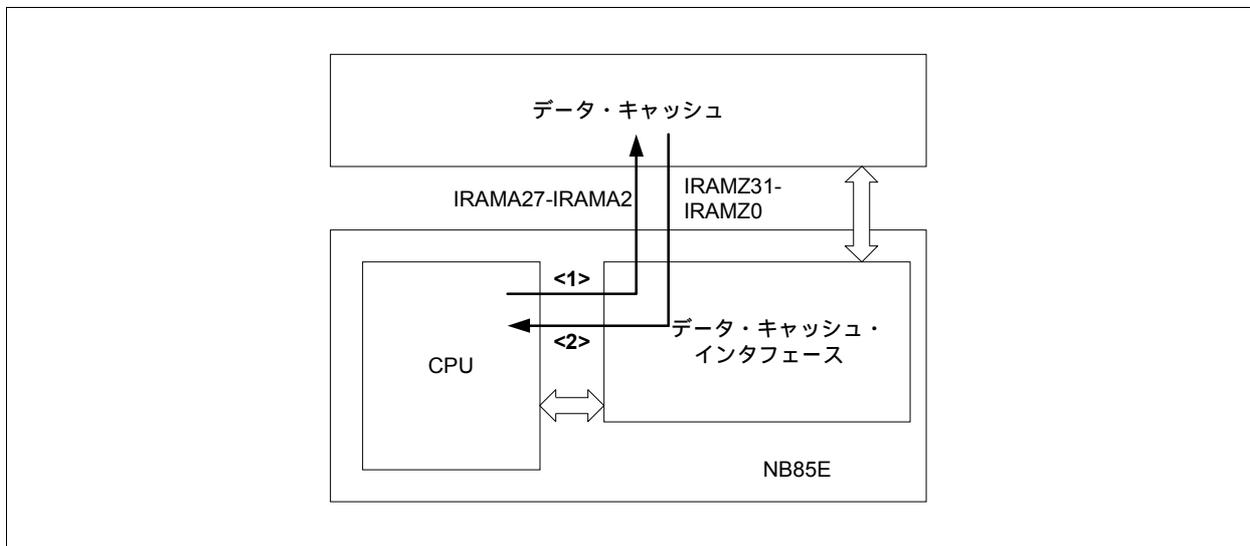
### (1) リード時

#### (a) データ・キャッシュ・ヒット時

<1> 外部メモリからのデータ・リード時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。

<2> そのアドレスがデータ・キャッシュ内に存在し、ヒットすると、データ・キャッシュから IRAMZ31-IRAMZ0 を通してデータをリードします。

図2 - 11 データ・キャッシュ・ヒット時の動作  
(ライトバック・モード, ライト・アロケート禁止, リード)

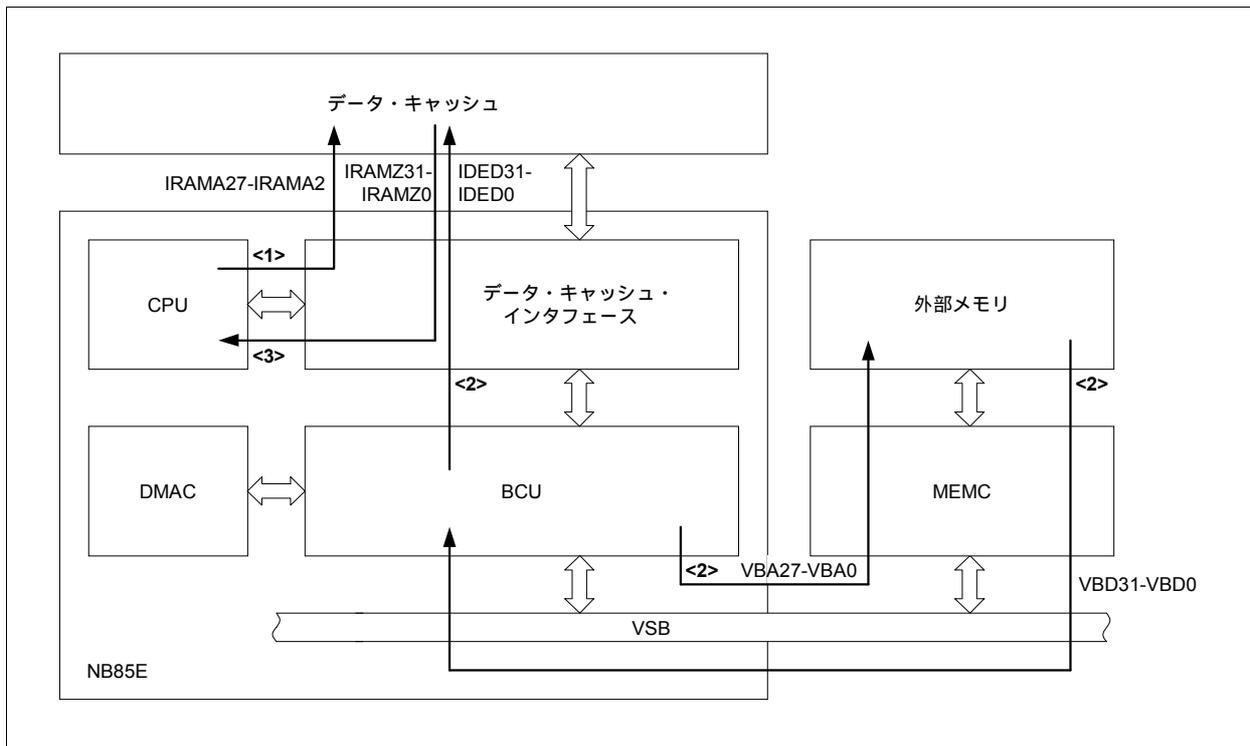


(b) データ・キャッシュ・ミスヒット時

(i) 置き換えられるデータがクリーン・データの場合

- <1> 外部メモリからのデータ・リード時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、タグおよびデータの置き換えを行います。このとき、置き換えられるデータがクリーン・データの場合、外部メモリへのライト動作は行われません。
- <2> NB85E 内部の BCU は VSB を介して外部メモリにリードすべきアドレス (VBA27-VBA0) を出力し、そのアドレスのデータ 1 ライン分 (4 ワード) をデータ・キャッシュへリフィルします。
- <3> このあと、データ・キャッシュは、4 ワードのリフィル・データの中で必要なデータを IRAMZ31-IRAMZ0 を通して CPU へ転送します。

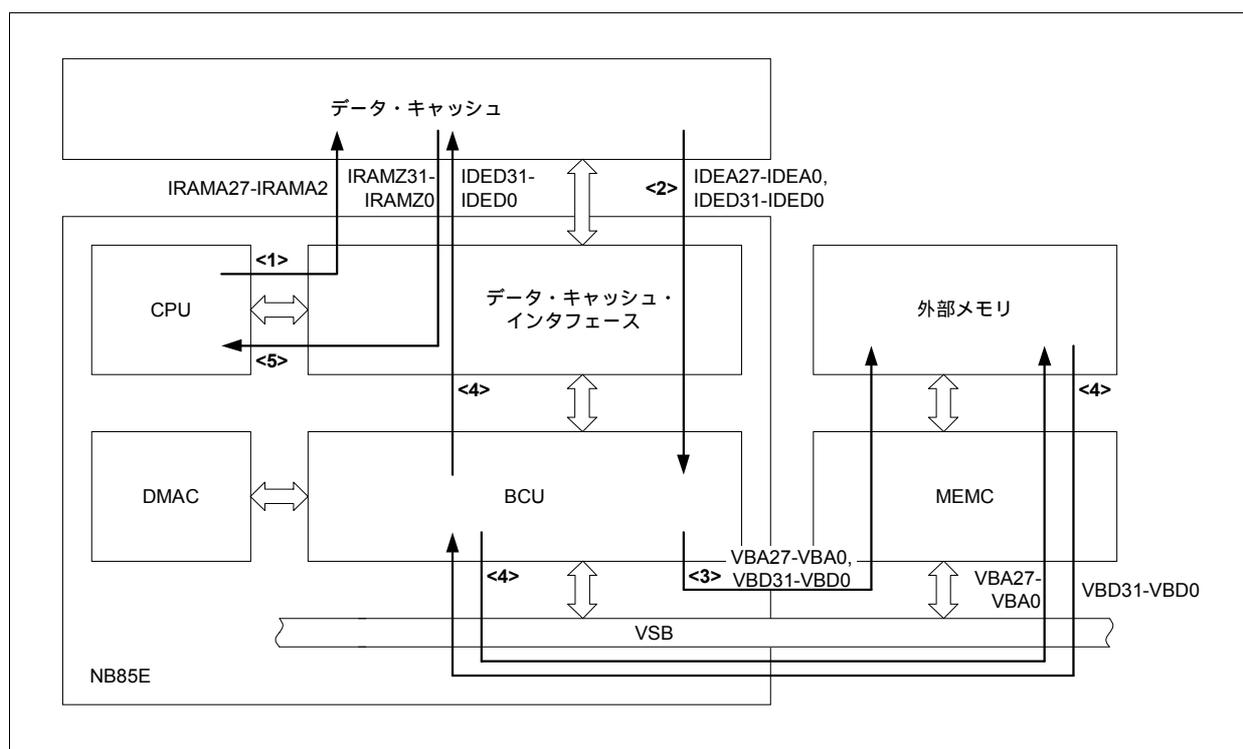
図2-12 データ・キャッシュ・ミスヒット時の動作  
(ライトバック・モード, ライト・アロケート禁止, リード, クリーン・データ)



(ii) 置き換えられるデータがダーティ・データの場合

- <1> 外部メモリからのデータ・リード時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、タグおよびデータの置き換えを行います。
- <2> 置き換えられるデータがダーティ・データの場合、ダーティ・データがあるラインに対応するアドレスをタグから読み出し IDEA27-IDEA0 に出力すると同時に、ダーティ・データを読み出し IDED31-IDED0 に出力します。
- <3> NB85E 内部の BCU は VSB を介して外部メモリにダーティ・データのアドレス (VBA27-VBA0) を出力し、置き換わるべき 1 ライン分 (4 ワード) のダーティ・データを外部メモリにライトします。
- <4> その後、外部メモリにリードすべきアドレス (VBA27-VBA0) を出力し、そのアドレスのデータ 4 ワード分をデータ・キャッシュへリフィルします。
- <5> このあと、データ・キャッシュは、4 ワードのリフィル・データの中で必要なデータを IRAMZ31-IRAMZ0 を通して CPU へ転送します。

図2-13 データ・キャッシュ・ミスヒット時の動作  
(ライトバック・モード、ライト・アロケート禁止、リード、ダーティ・データ)



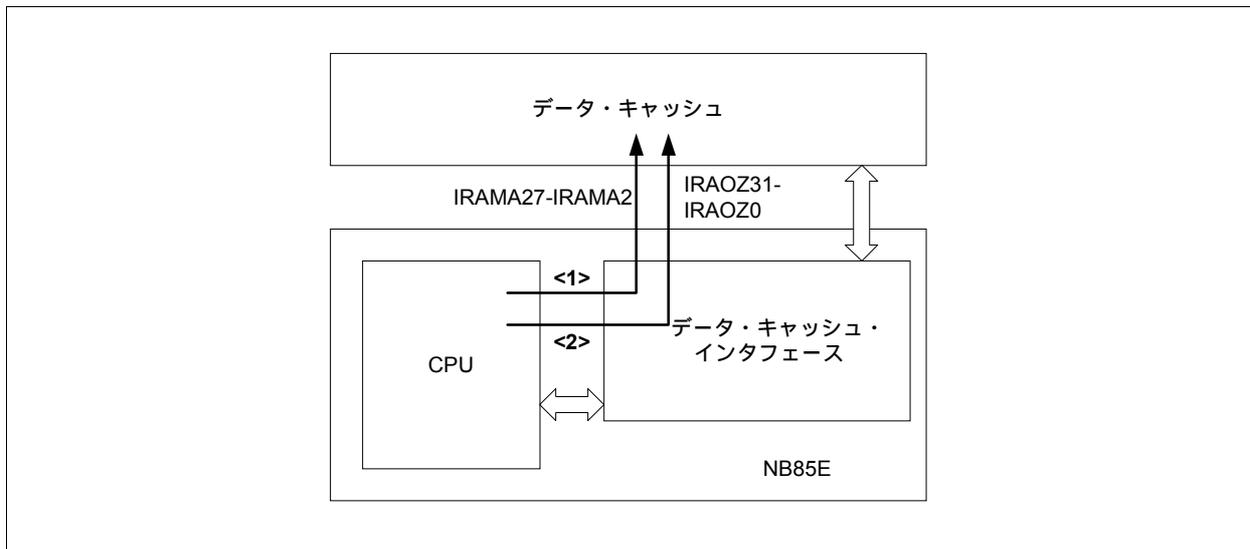
(2) ライト時

(a) データ・キャッシュ・ヒット時

<1> 外部メモリへのデータ・ライト時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。

<2> ライトしたい外部メモリのアドレスがデータ・キャッシュ内に存在し、ヒットすると、IRAOZ31-IRAOZ0 を通じてデータ・キャッシュにデータを書き込みます。

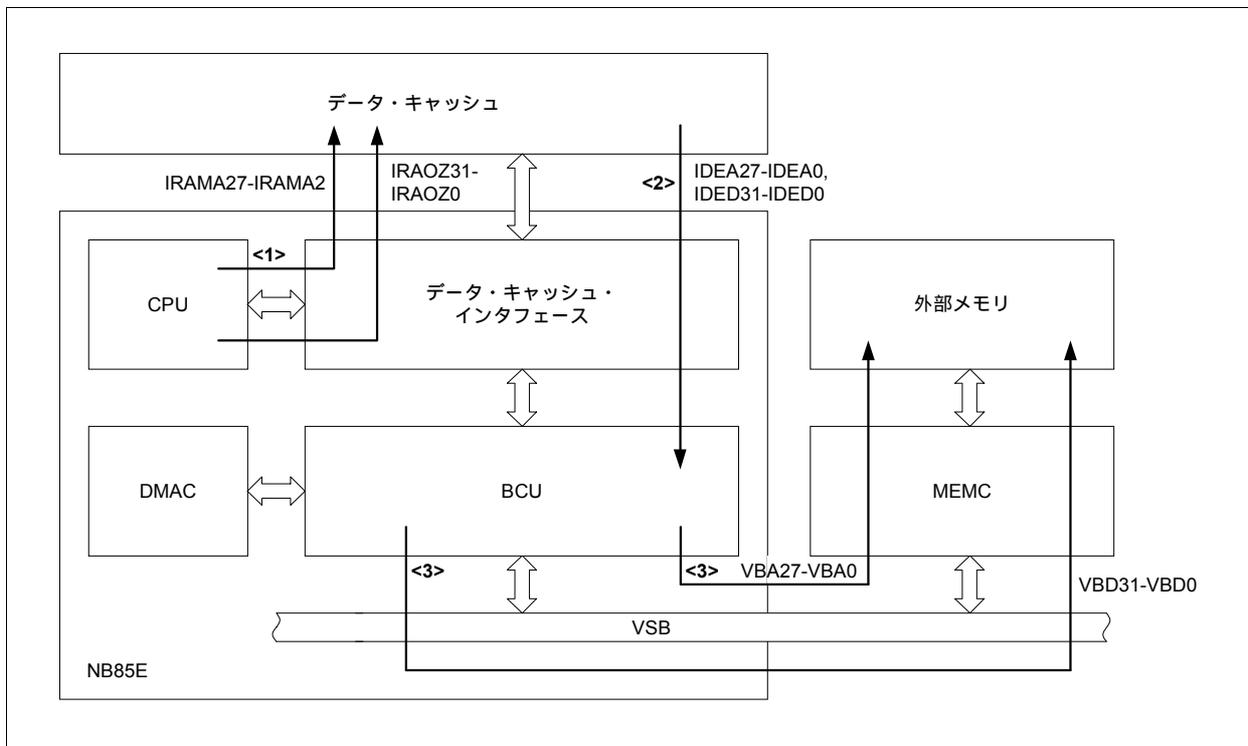
図2-14 データ・キャッシュ・ヒット時の動作  
(ライトバック・モード, ライト・アロケート禁止, ライト)



(b) データ・キャッシュ・ミスヒット時

- <1> 外部メモリへのデータ・ライト時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、データ・キャッシュへデータは書き込まれません。
- <2> データ・キャッシュは CPU から受け取ったアドレス (IRAMA27-IRAMA2) とデータ (IRAOZ31-IRAOZ0) をそれぞれ IDEA27-IDEA0 と IDDED31-IDED0 に出力します。
- <3> NB85E 内の BCU は VSB を介して外部メモリにアドレス (VBA27-VBA0) を出力し、外部メモリにライトすべきデータを VBD31-VBD0 を通して書き込みます。

図2 - 15 データ・キャッシュ・ミスヒット時の動作  
(ライトバック・モード, ライト・アロケート禁止, ライト)



## 2.6.3 ライトバック・モード (ライト・アロケート許可)

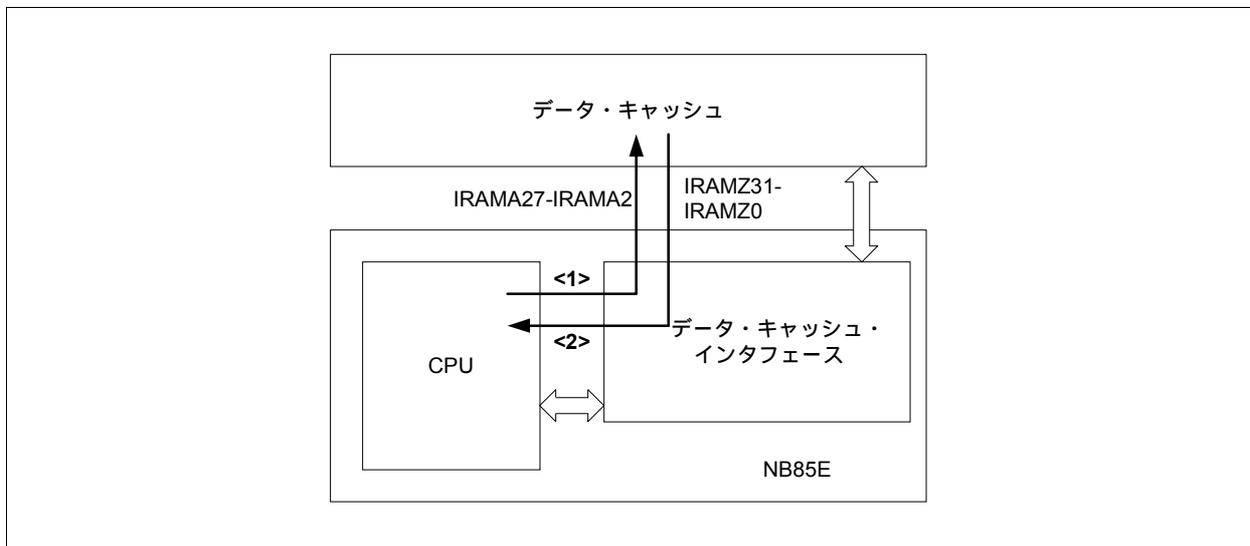
## (1) リード時

## (a) データ・キャッシュ・ヒット時

<1> 外部メモリからのデータ・リード時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。

<2> そのアドレスがデータ・キャッシュ内に存在し、ヒットすると、データ・キャッシュから IRAMZ31-IRAMZ0 を通してデータをリードします。

図2 - 16 データ・キャッシュ・ヒット時の動作  
(ライトバック・モード, ライト・アロケート許可, リード)

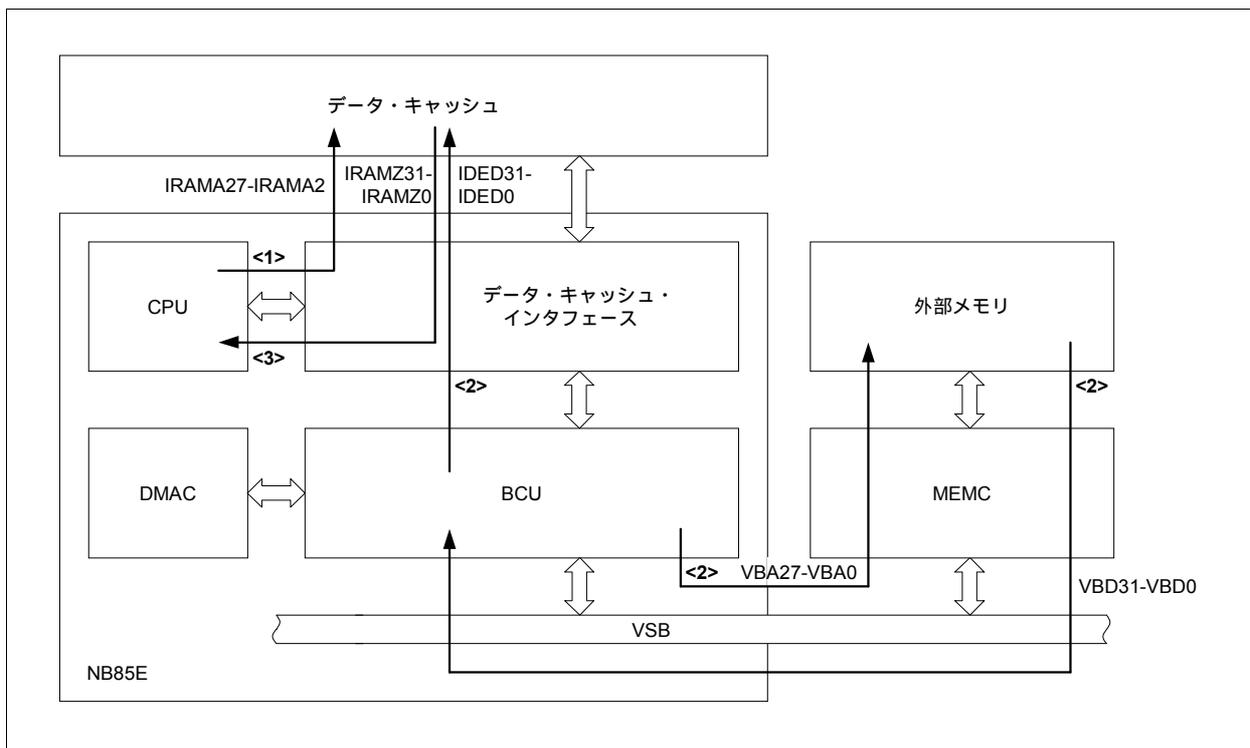


(b) データ・キャッシュ・ミスヒット時

(i) 置き換えられるデータがクリーン・データの場合

- <1> 外部メモリからのデータ・リード時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、タグおよびデータの置き換えを行います。このとき、置き換えられるデータがクリーン・データの場合、外部メモリへのライト動作は行われません。
- <2> NB85E 内部の BCU は VSB を介して外部メモリにリードすべきアドレス (VBA27-VBA0) を出力し、そのアドレスのデータ 1 ライン分 (4 ワード) をデータ・キャッシュへリフィルします。
- <3> このあと、データ・キャッシュは、4 ワードのリフィル・データの中で必要なデータを IRAMZ31-IRAMZ0 を通して CPU へ転送します。

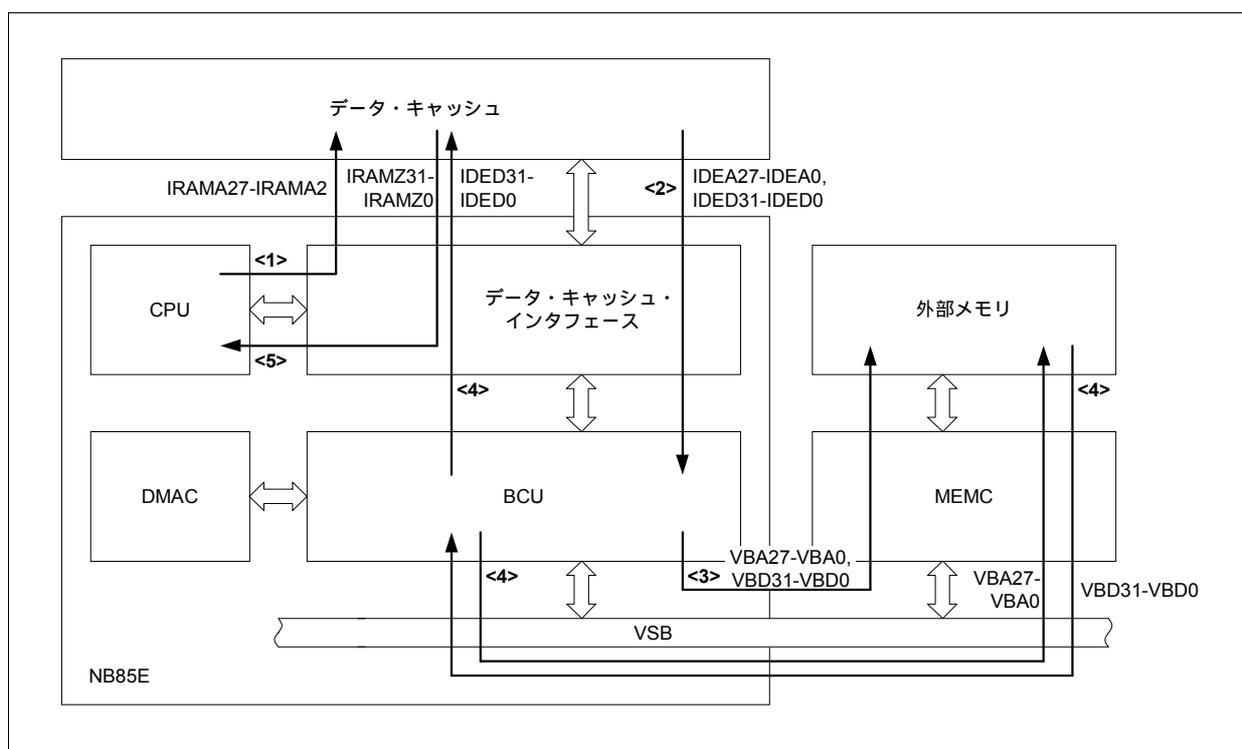
図2-17 データ・キャッシュ・ミスヒット時の動作  
(ライトバック・モード, ライト・アロケート許可, リード, クリーン・データ)



(ii) 置き換えられるデータがダーティ・データの場合

- <1> 外部メモリからのデータ・リード時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、タグおよびデータの置き換えを行います。
- <2> 置き換えられるデータがダーティ・データの場合、ダーティ・データがあるラインに対応するアドレスをタグから読み出し IDEA27-IDEA0 に出力すると同時に、ダーティ・データを読み出し IDED31-IDED0 に出力します。
- <3> NB85E 内部の BCU は VSB を介して外部メモリにダーティ・データのアドレス (VBA27-VBA0) を出力し、置き換わるべき 1 ライン分 (4 ワード) のダーティ・データを外部メモリにライトします。
- <4> その後、外部メモリにリードすべきアドレス (VBA27-VBA0) を出力し、そのアドレスのデータ 4 ワード分をデータ・キャッシュへリフィルします。
- <5> このあと、データ・キャッシュは、4 ワードのリフィル・データの中で必要なデータを IRAMZ31-IRAMZ0 を通して CPU へ転送します。

図2-18 データ・キャッシュ・ミスヒット時の動作  
(ライトバック・モード、ライト・アロケート許可、リード、ダーティ・データ)



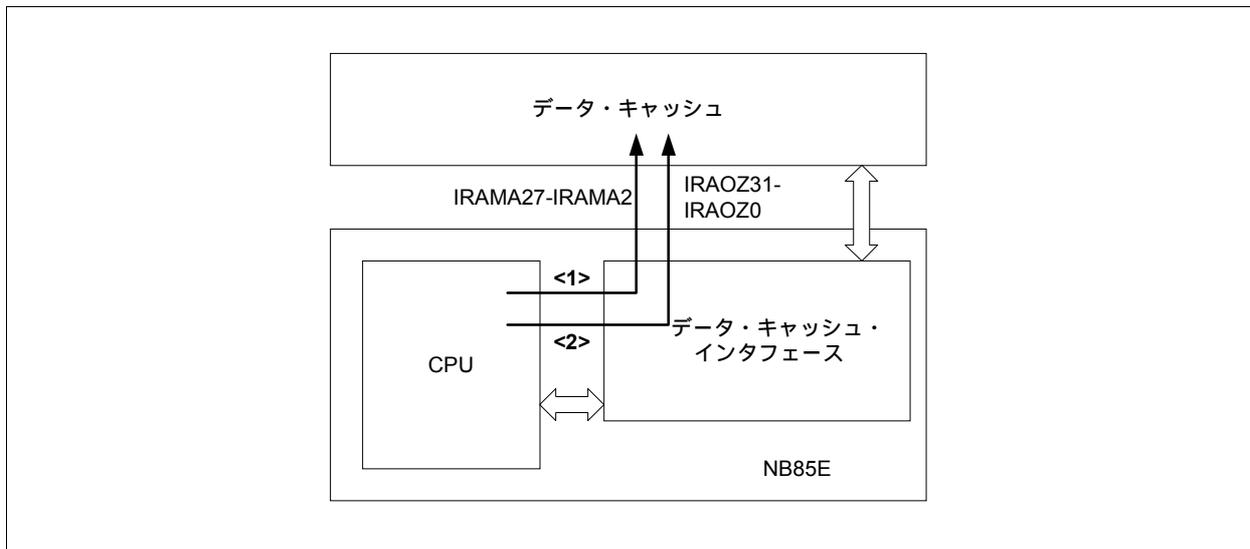
(2) ライト時

(a) データ・キャッシュ・ヒット時

<1> 外部メモリへのデータ・ライト時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。

<2> ライトしたい外部メモリのアドレスがデータ・キャッシュ内に存在し、ヒットすると、IRAOZ31-IRAOZ0 を通してデータ・キャッシュにデータを書き込みます。

図2 - 19 データ・キャッシュ・ヒット時の動作  
(ライトバック・モード, ライト・アロケート許可, ライト)

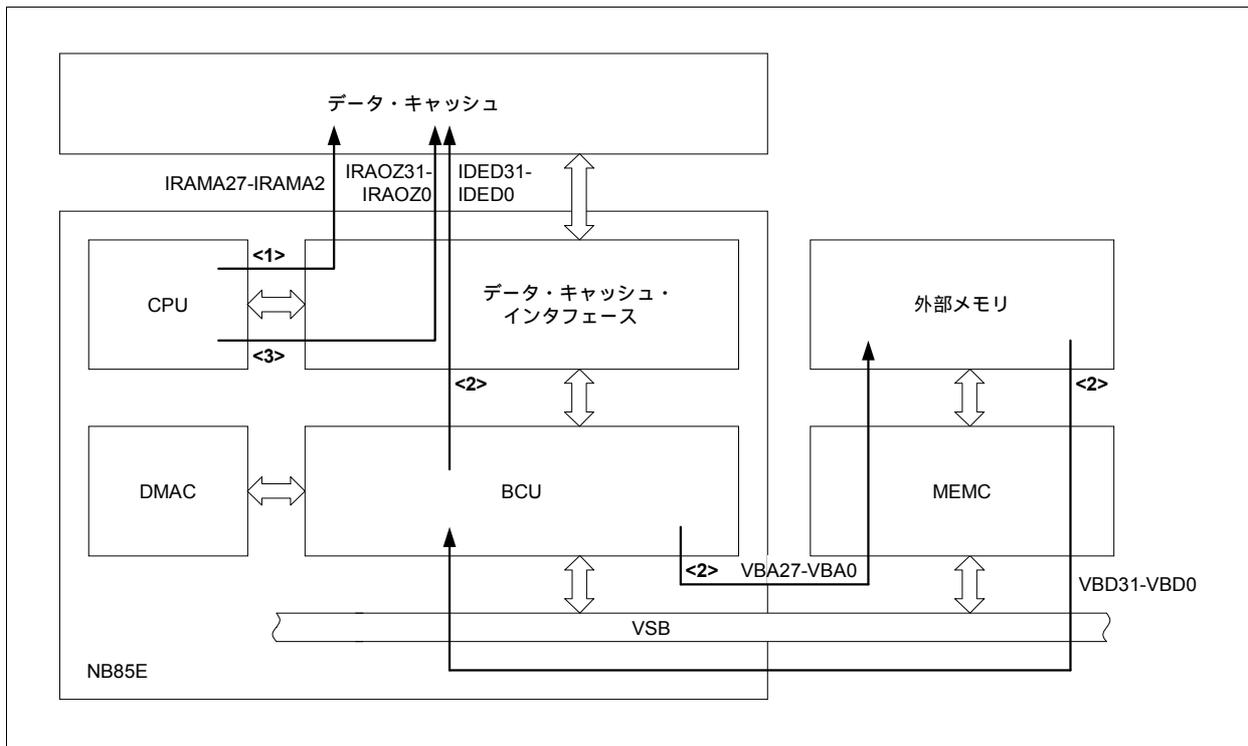


(b) データ・キャッシュ・ミスヒット時

(i) 置き換えられるデータがクリーン・データの場合

- <1> 外部メモリへのデータ・ライト時に、データ・キャッシュへアドレス (IRAMA27-IRAMA2) を出力します。そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、タグおよびデータの置き換えを行います。このとき、置き換えられるデータがクリーン・データの場合、外部メモリへのライト動作は行われません。
- <2> NB85E 内部の BCU は VSB を介して外部メモリにライトすべきアドレス (VBA27-VBA0) を出力し、そのアドレスのデータ 1 ライン分 (4 ワード) をデータ・キャッシュへリフィルします。
- <3> リフィルしたデータ 4 ワードのうち、ライトすべきアドレスのデータをデータ・キャッシュへライトします。

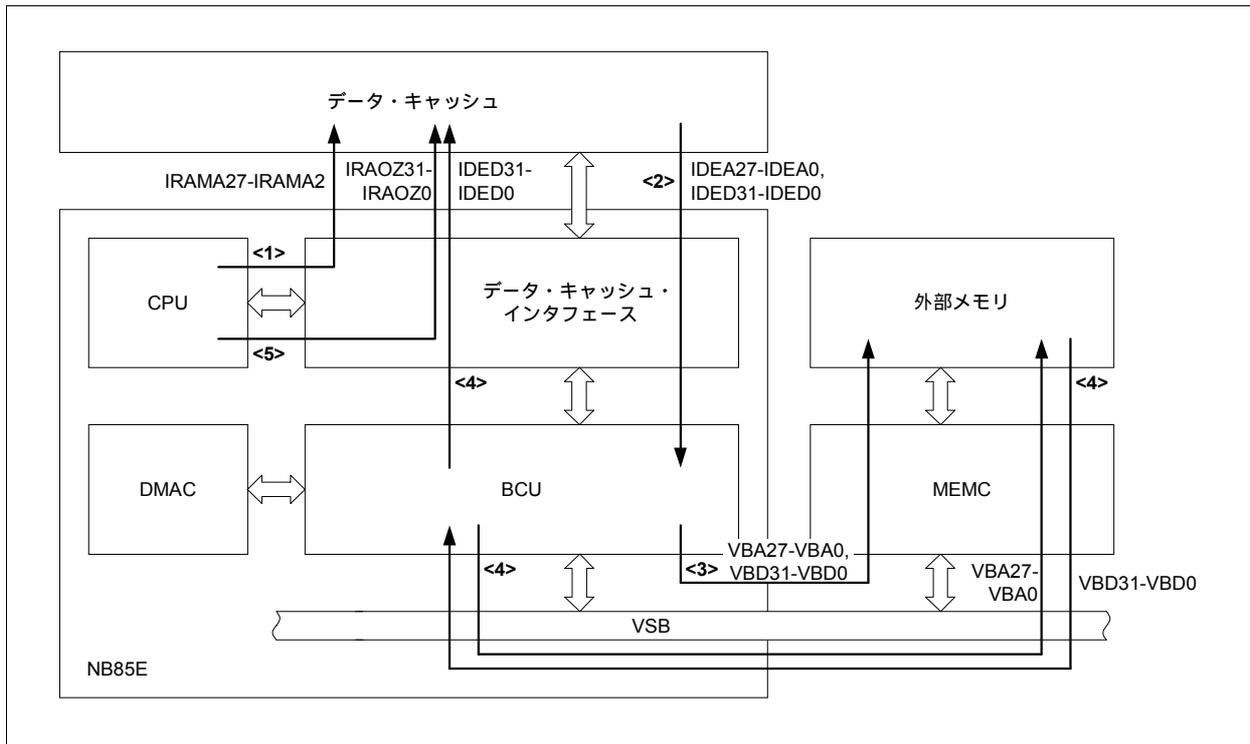
図2-20 データ・キャッシュ・ミスヒット時の動作  
(ライトバック・モード, ライト・アロケート許可, ライト, クリーン・データ)



(ii) 置き換えられるデータがダーティ・データの場合

- <1> 外部メモリへのデータ・ライト時に、データ・キャッシュアドレス (IRAMA27-IRAMA2) を出力します。そのアドレスがデータ・キャッシュ内に存在せず、ミスヒットの場合、タグおよびデータの置き換えを行います。
- <2> 置き換えられるデータがダーティ・データの場合、ダーティ・データがあるラインに対応するアドレスをタグから読み出し IDEA27-IDEA0 に出力すると同時に、ダーティ・データを読み出し IDED31-IDED0 に出力します。
- <3> NB85E 内部の BCU は VSB を介して外部メモリにダーティ・データのアドレス (VBA27-VBA0) を出力し、置き換わるべき 1 ライン分 (4 ワード) のダーティ・データを外部メモリにライトします。
- <4> その後、外部メモリにライトすべきアドレス (VBA27-VBA0) を出力し、そのアドレスのデータ 4 ワード分をデータ・キャッシュへリフィルします。
- <5> リフィルしたデータ 4 ワードのうち、ライトすべきアドレスのデータをデータ・キャッシュへライトします。

図2-21 データ・キャッシュ・ミスヒット時の動作  
(ライトバック・モード、ライト・アロケート許可、ライト、ダーティ・データ)



## 2.7 データ・キャッシュの発行するバス・サイクル

データ・キャッシュは、動作モードに応じて表 2 - 3 に示すバス・サイクルを発行します。

図 2 - 22 から図 2 - 27 に各動作モードの 32 ビット・データ・バス時と 16 ビット・データ・バス時のタイミング例を示します。

なお、バス・サイジングにより 8 ビット・データ・バス使用時には図 2 - 22 から図 2 - 27 の (a) 32 ビット・データ・バス時に示すバス・サイクルの 4 倍に变化します。

**備考 1.** ノー・ウエイトの場合のタイミング例です。

2. タイミング例の信号はすべて NB85E のものです。
3. VBTTYP1, VBTTYP0, VBD31-VBD0, VBWAIT, VBAHLD, VBLAST 信号の破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 (Weak unknown) を示します。
4. 印はサンプリング・タイミングを示します。
5. VSB 用信号 (VBxxx, VDxxx) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 (A13971J)** を参照してください。

表2-3 動作モードとバス・サイクル

動作モード	アクセス・タイプ		リフィル・モード	バス・サイクル	参照箇所	
WT	リード	ヒット		-	なし	-
		ミスヒット	クリーン・データ	シーケンシャル	4R	図 2-22
				クリティカル・ファースト	4R (IRAMA3, IRAMA2 = 00)	-
					2R-2R (IRAMA3, IRAMA2 = 10)	図 2-23
	1R-2R-1R (IRAMA2 = 1)	図 2-24				
	ライト	ヒット		-	1W	-
ミスヒット		-	1W	-		
WB	リード	ヒット		-	なし	-
		ミスヒット	クリーン・データ	シーケンシャル	4R	図 2-22
				クリティカル・ファースト	4R (IRAMA3, IRAMA2 = 00)	-
					2R-2R (IRAMA3, IRAMA2 = 10)	図 2-23
		1R-2R-1R (IRAMA2 = 1)	図 2-24			
		ダーティ・データ	シーケンシャル	4W + 4R	図 2-25	
			クリティカル・ファースト	4W + 4R (IRAMA3, IRAMA2 = 00)	-	
				4W + 2R-2R (IRAMA3, IRAMA2 = 10)	図 2-26	
	4W + 1R-2R-1R (IRAMA2 = 1)	図 2-27				
	ライト	ヒット		-	なし	-
		ミスヒット		-	1W	-
		リード / ライト	ヒット		-	なし
ミスヒット			クリーン・データ	シーケンシャル	4R	図 2-22
	クリティカル・ファースト	4R (IRAMA3, IRAMA2 = 00)		-		
		2R-2R (IRAMA3, IRAMA2 = 10)		図 2-23		
1R-2R-1R (IRAMA2 = 1)	図 2-24					
ダーティ・データ	シーケンシャル	4W + 4R	図 2-25			
	クリティカル・ファースト	4W + 4R (IRAMA3, IRAMA2 = 00)	-			
		4W + 2R-2R (IRAMA3, IRAMA2 = 10)	図 2-26			
4W + 1R-2R-1R (IRAMA2 = 1)	図 2-27					
ロック	リード	ヒット		-	なし	-
		ミスヒット		-	1R (ワード・アクセス)	-
	ライト	ヒット (WT)		-	1W	-
		ヒット (WB, WA)		-	なし	-
		ミスヒット		-	1W	-

備考 1. 動作モード，アクセス・タイプ欄の意味は次のとおりです。

WT：ライト・スルー・モード

WB：ライトバック・モード (ライト・アロケート禁止)

WA：ライトバック・モード (ライト・アロケート許可)

2. バス・サイクル欄の意味は次のとおりです。

1：シングル転送      2：2ワード・バースト      4：4ワード・バースト

R：リード              W：ライト

図2 - 22 シーケンシャル・リフィル・リード・サイクル (4R) (1/2)

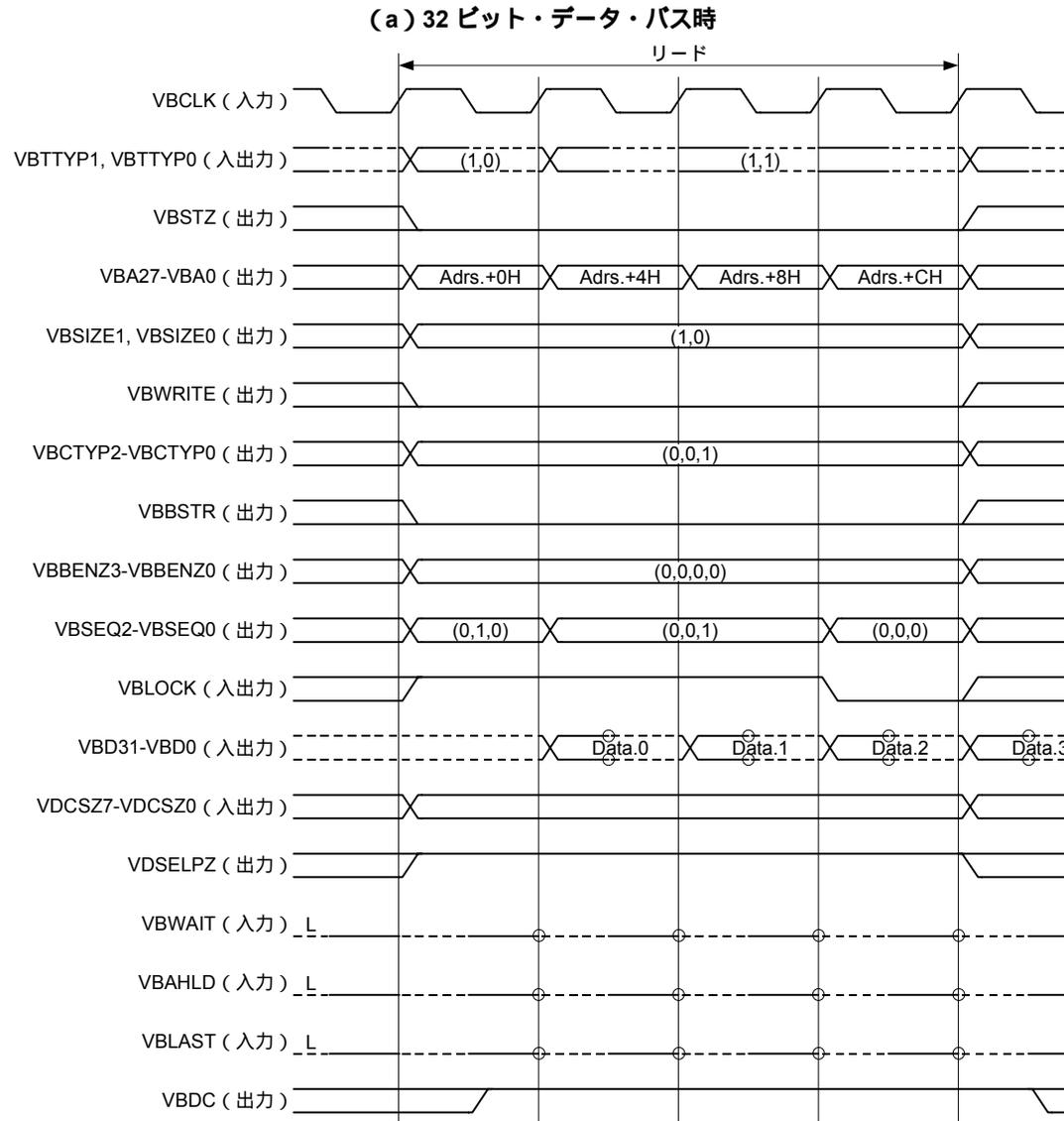


図2 - 22 シーケンシャル・リフィル・リード・サイクル (4R) (2/2)

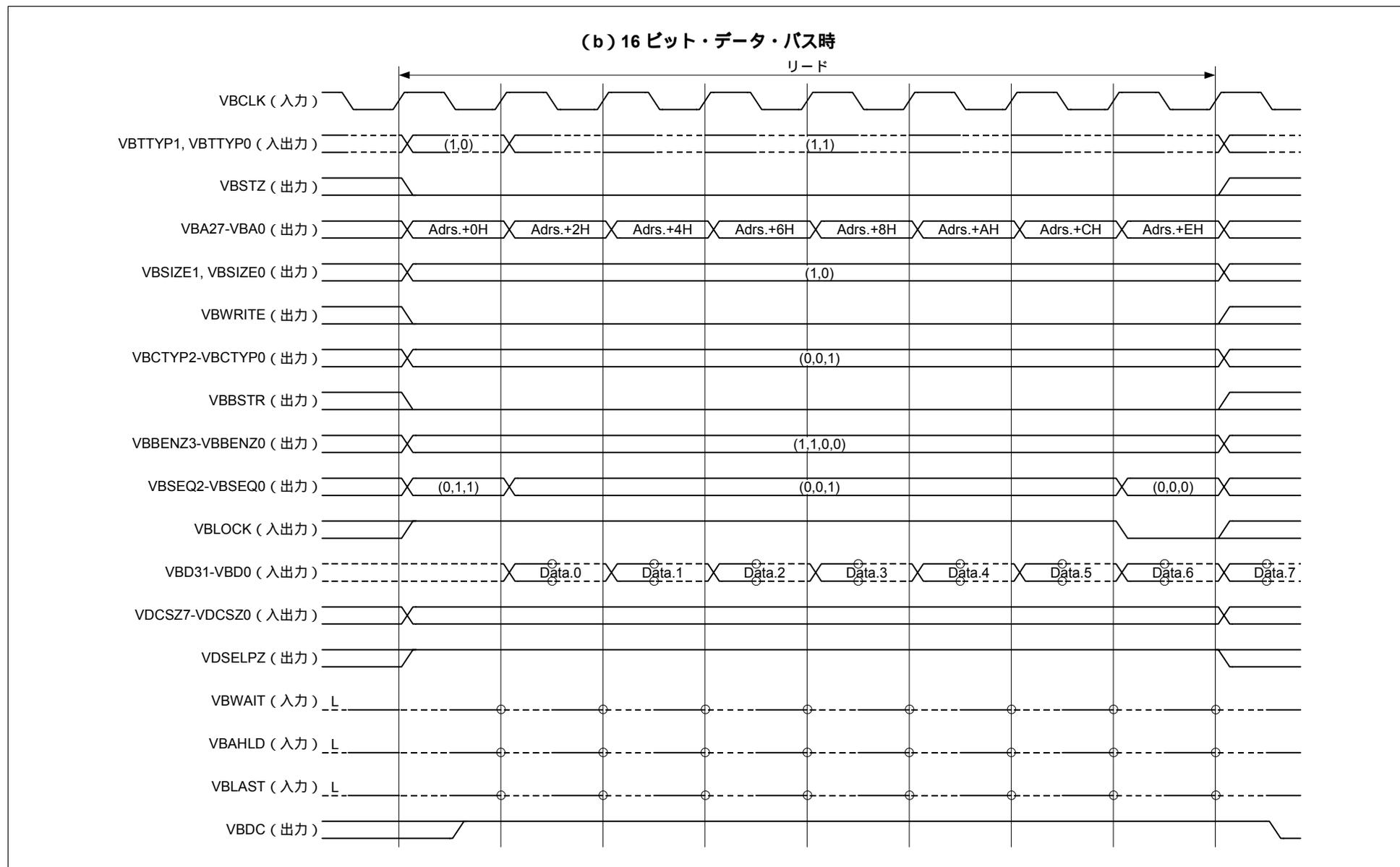


図2-23 クリティカル・ファースト・リフィル・リード・サイクル(2R-2R) (1/2)

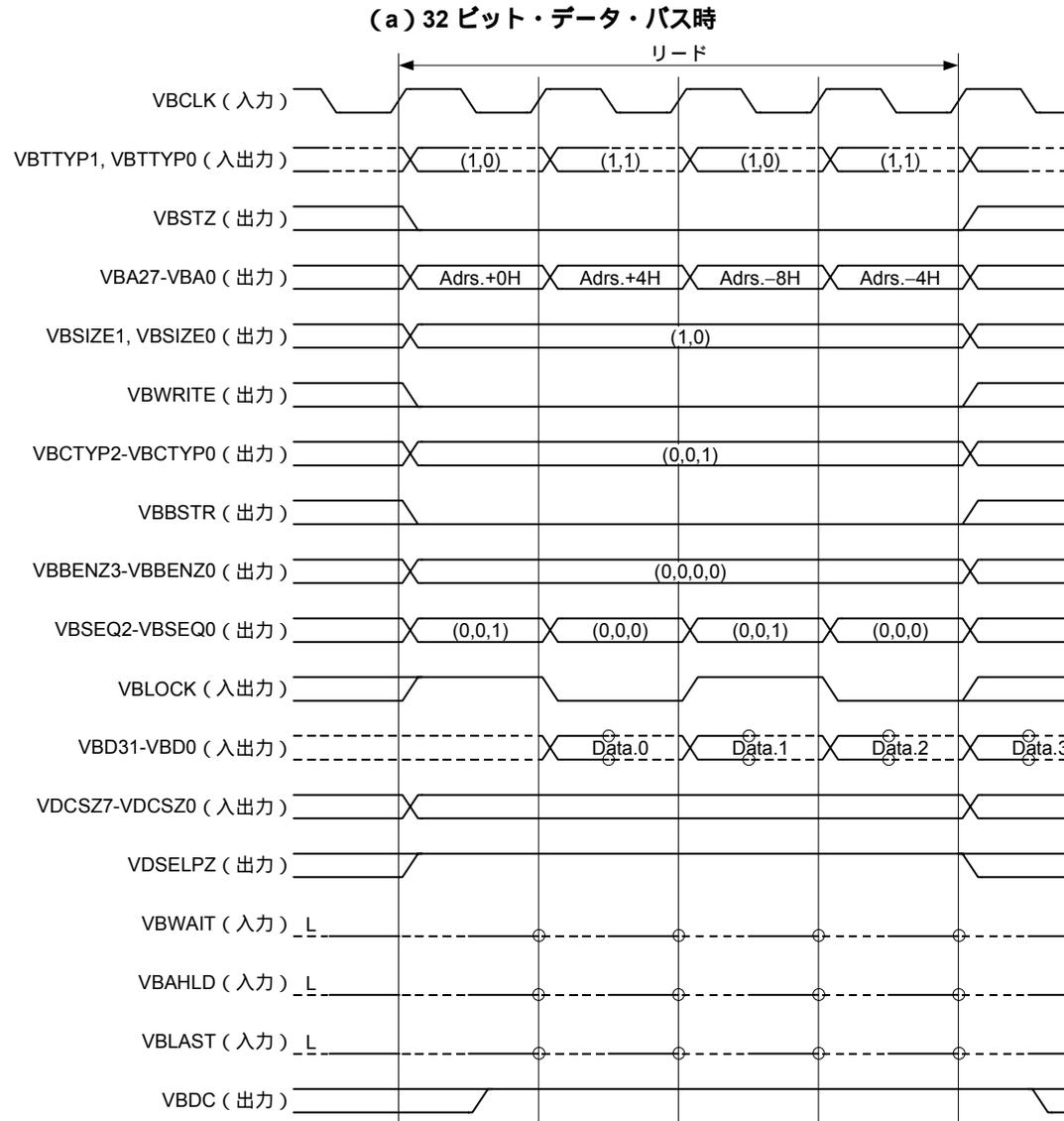


図2-23 クリティカル・ファースト・リフィル・リード・サイクル(2R-2R) (2/2)

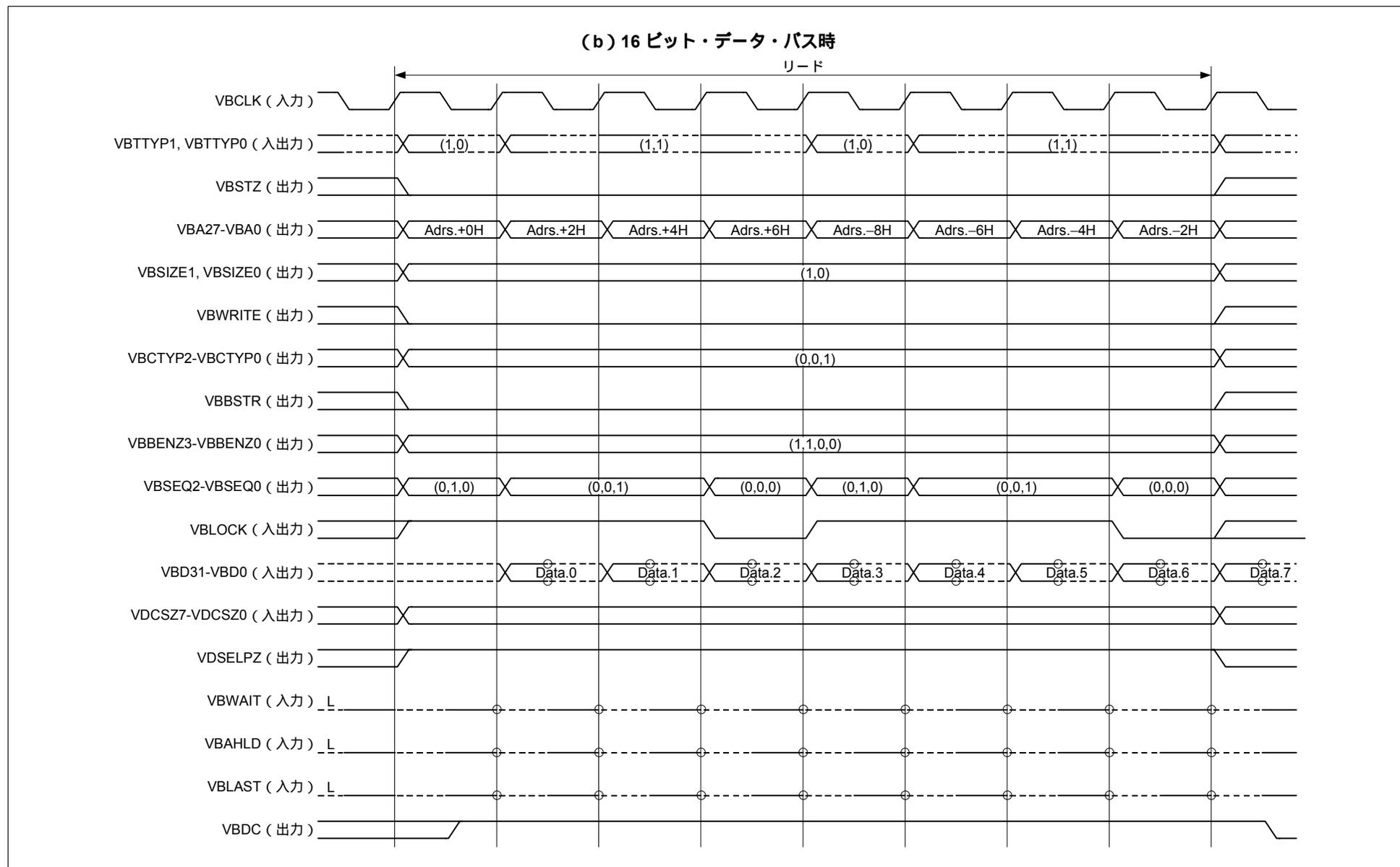


図2-24 クリティカル・ファースト・リフィル・リード・サイクル(1R-2R-1R) (1/4)

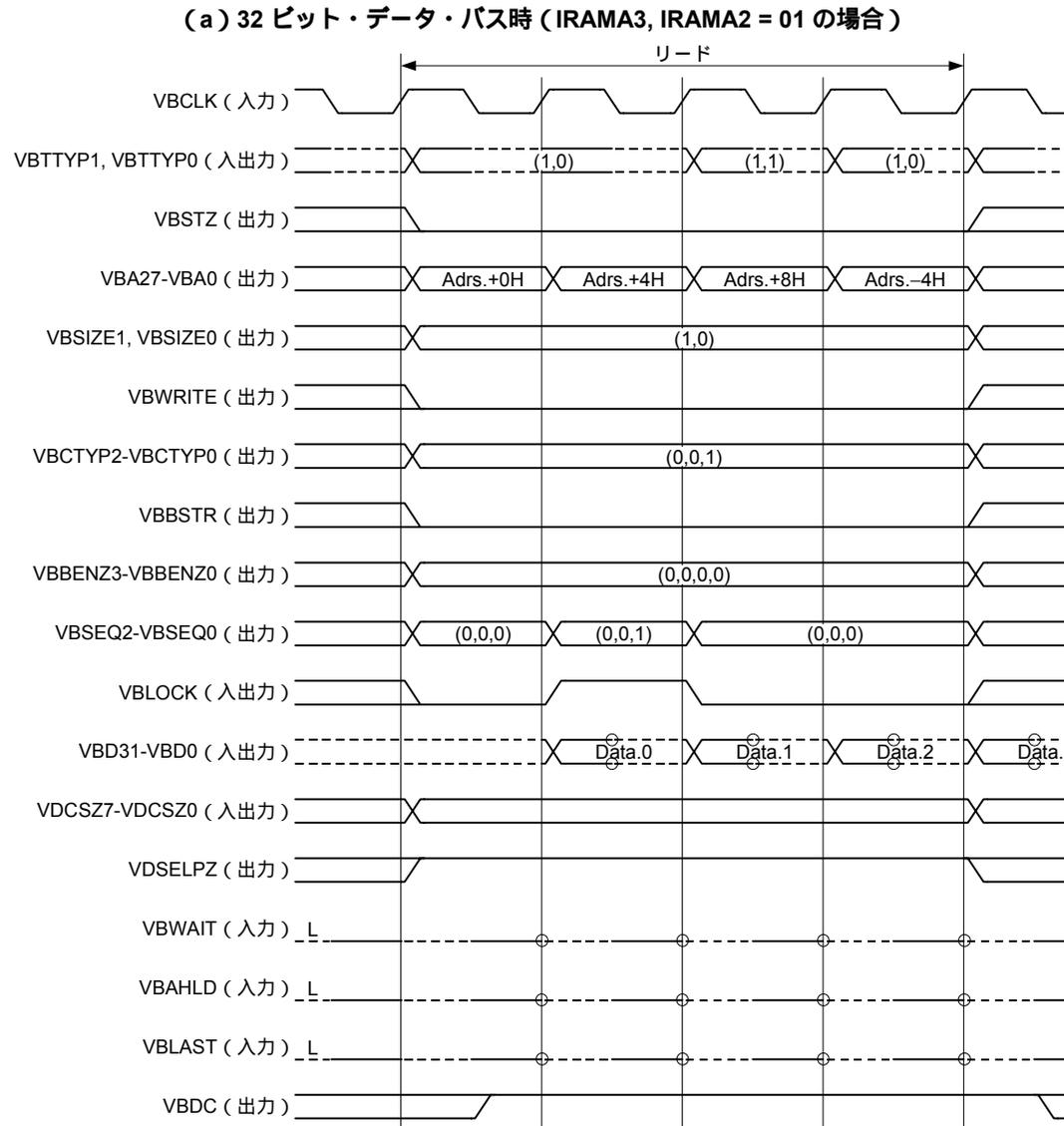


図2-24 クリティカル・ファースト・リフィル・リード・サイクル (1R-2R-1R) (2/4)

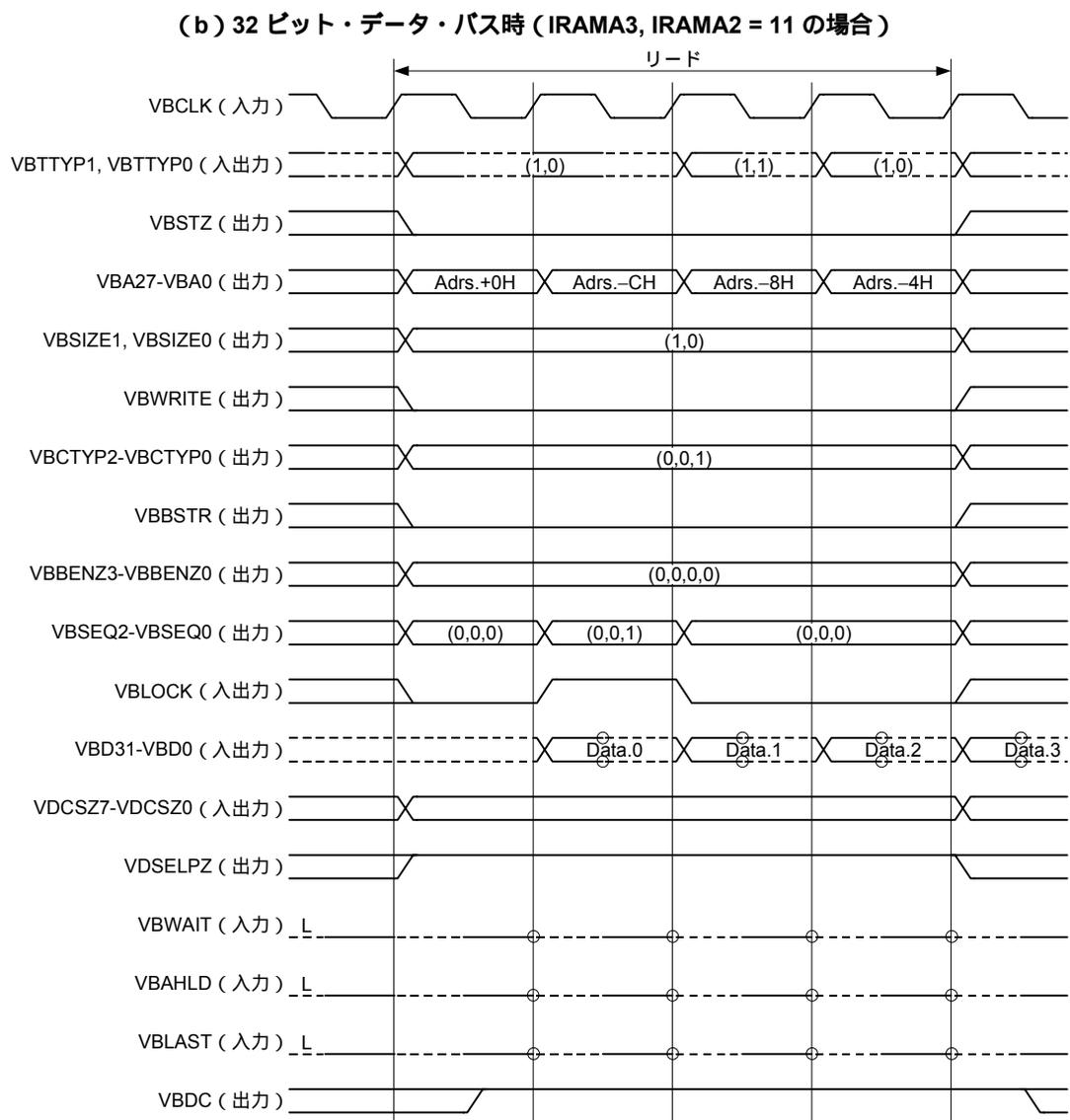


図2-24 クリティカル・ファースト・リフィル・リード・サイクル(1R-2R-1R) (3/4)

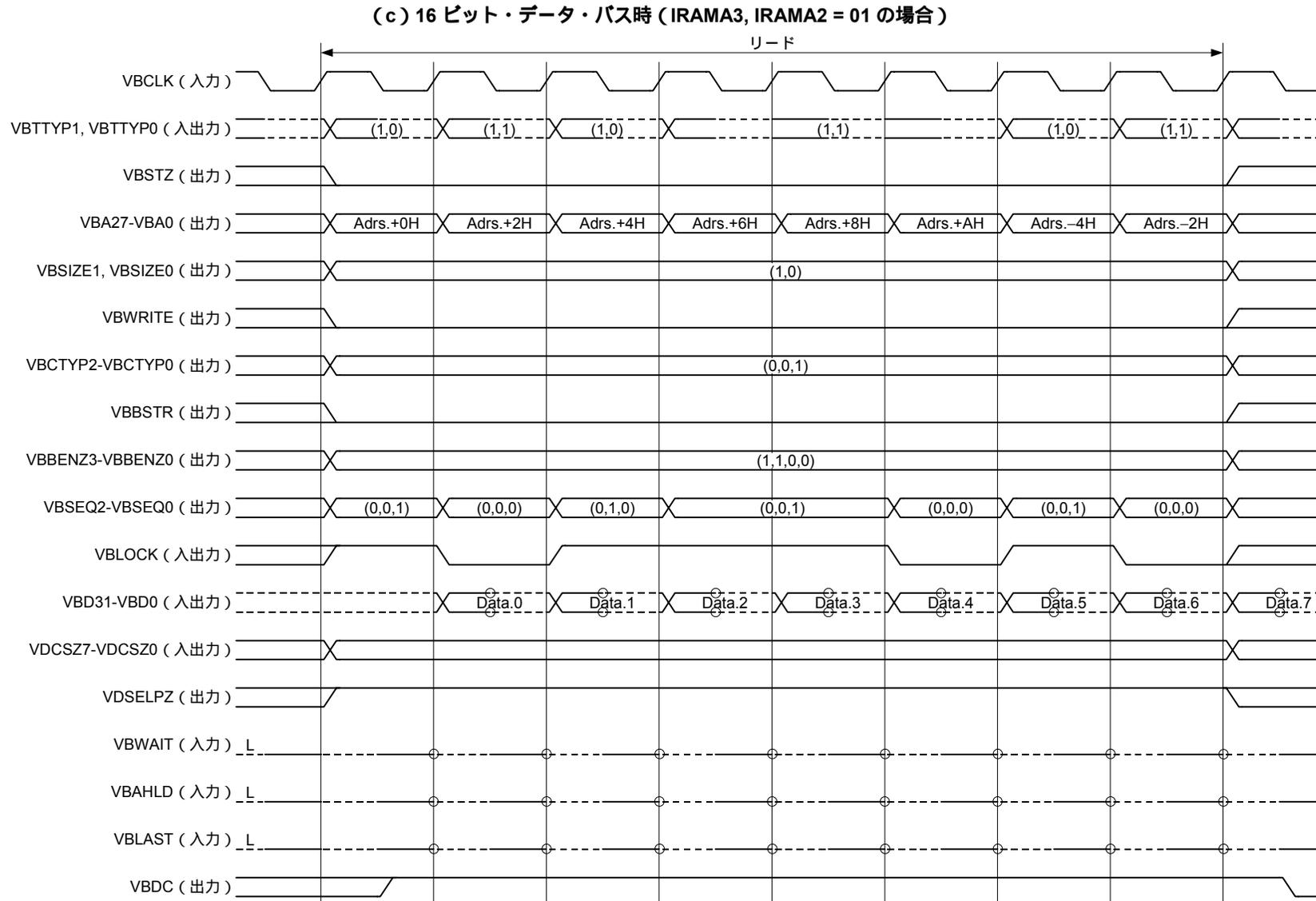


図2-24 クリティカル・ファースト・リフィル・リード・サイクル (1R-2R-1R) (4/4)

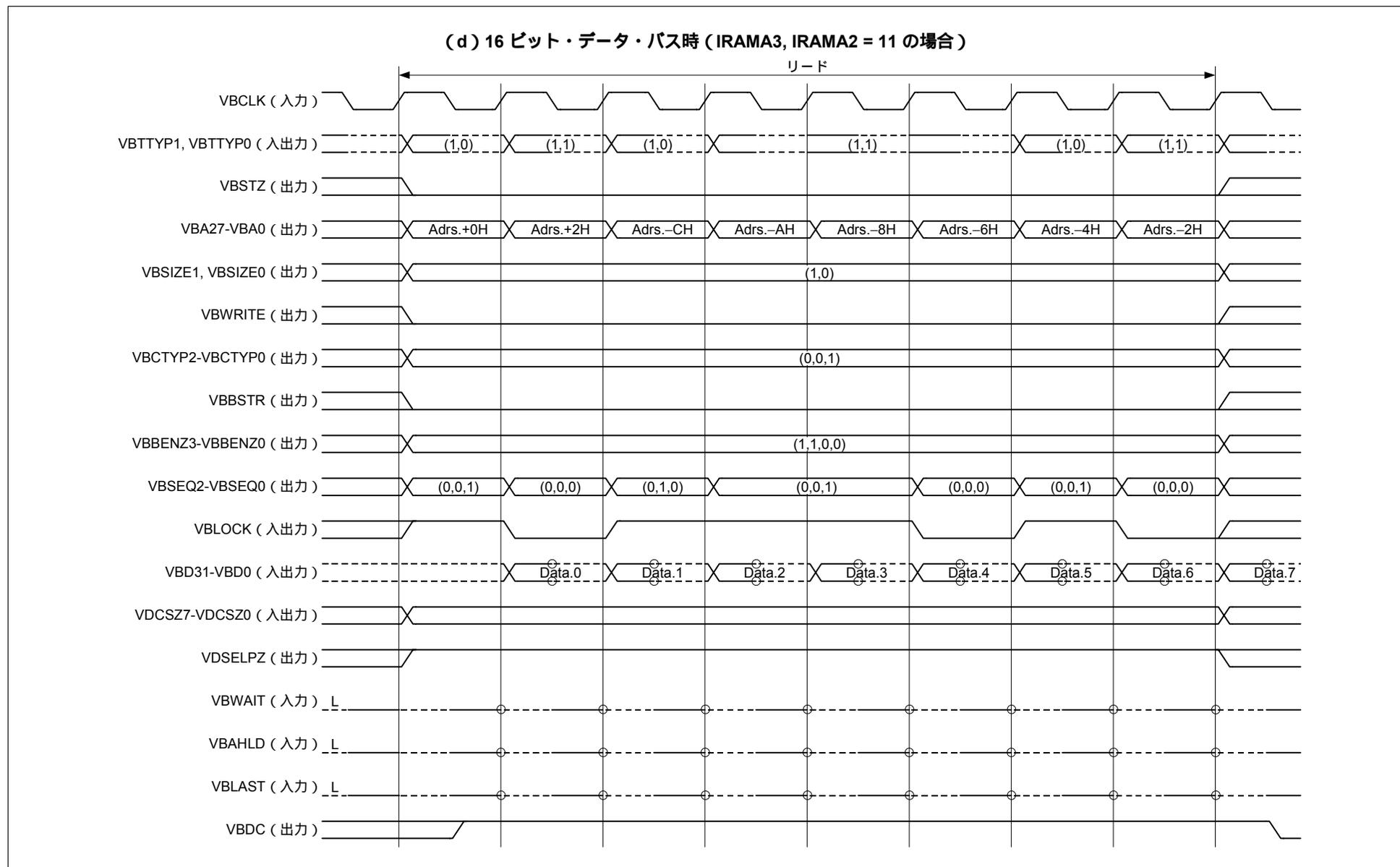


図2 - 25 ライトバック・モード時 (置き換えられるデータがダーティ・データの場合) のシーケンシャル・リフィル・リード・サイクル (4W + 4R) (1/2)

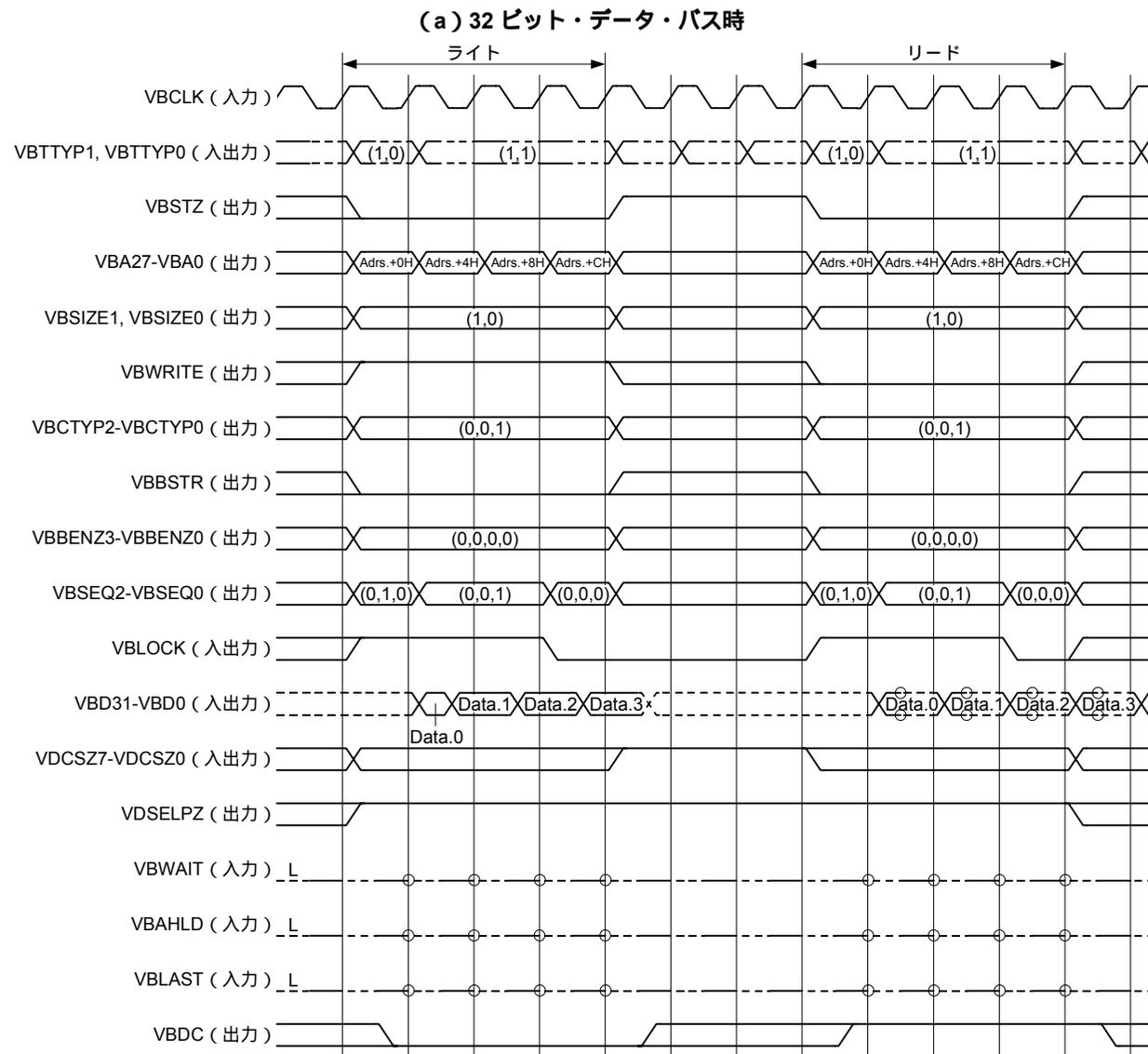


図2-25 ライトバック・モード時（置き換えられるデータがダーティ・データの場合）のシーケンシャル・リフィル・リード・サイクル（4W+4R）（2/2）

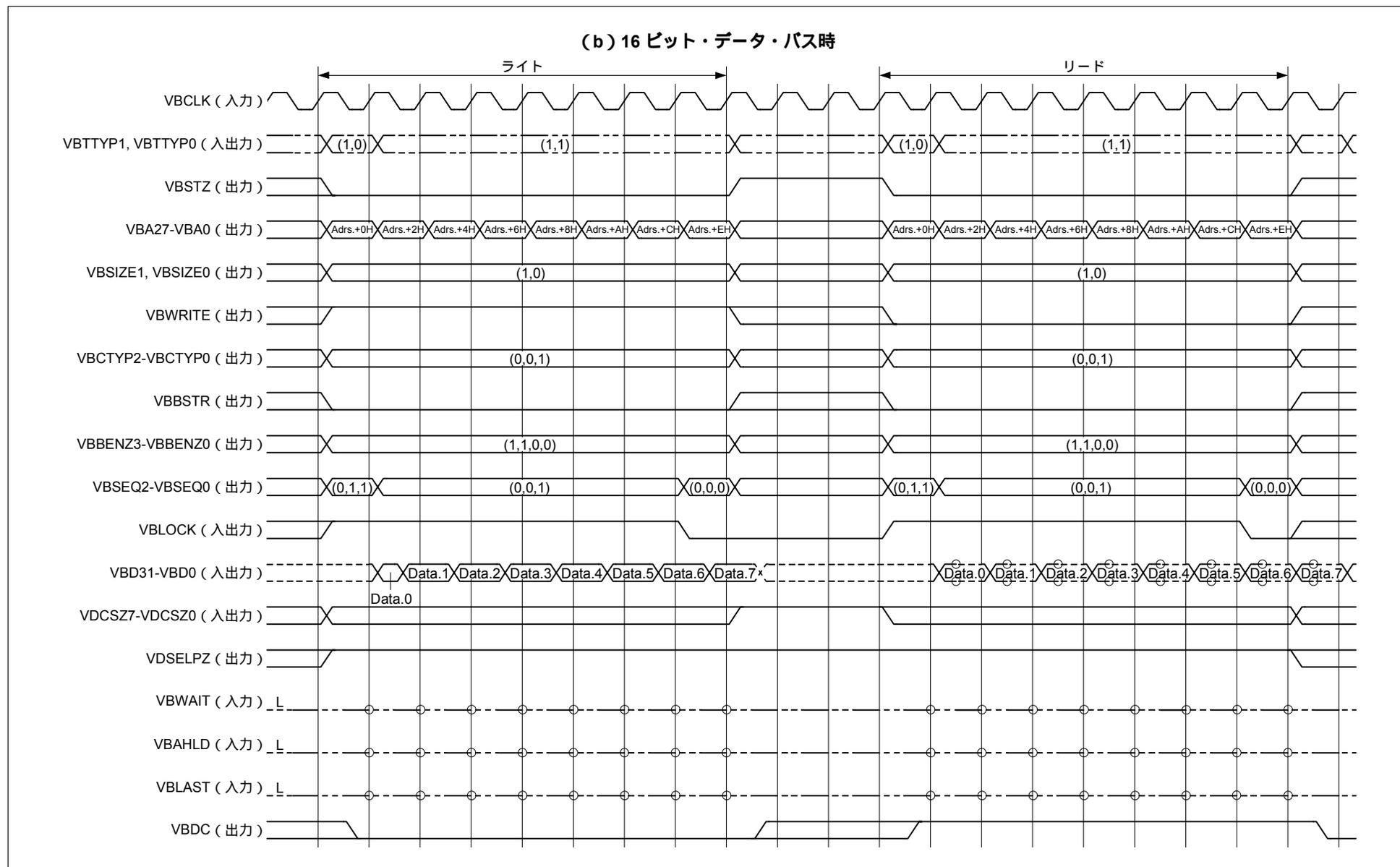


図2 - 26 ライトバック・モード時(置き換えられるデータがダーティ・データの場合)のクリティカル・ファースト・リフィル・リード・サイクル(4W + 2R-2R) (1/2)

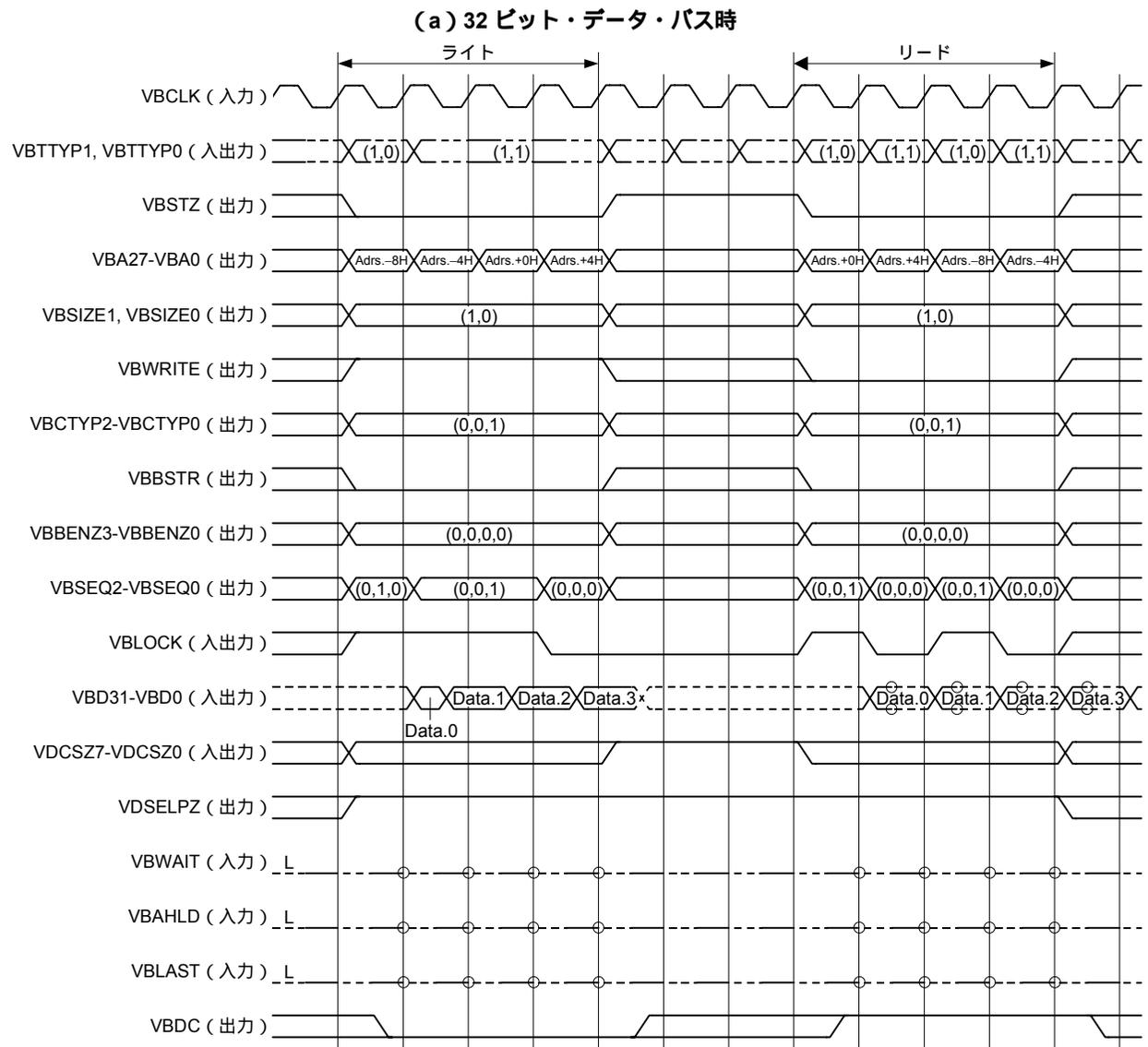


図2 - 26 ライトバック・モード時(置き換えられるデータがダーティ・データの場合)のクリティカル・ファースト・リフィル・リード・サイクル(4W + 2R-2R) (2/2)

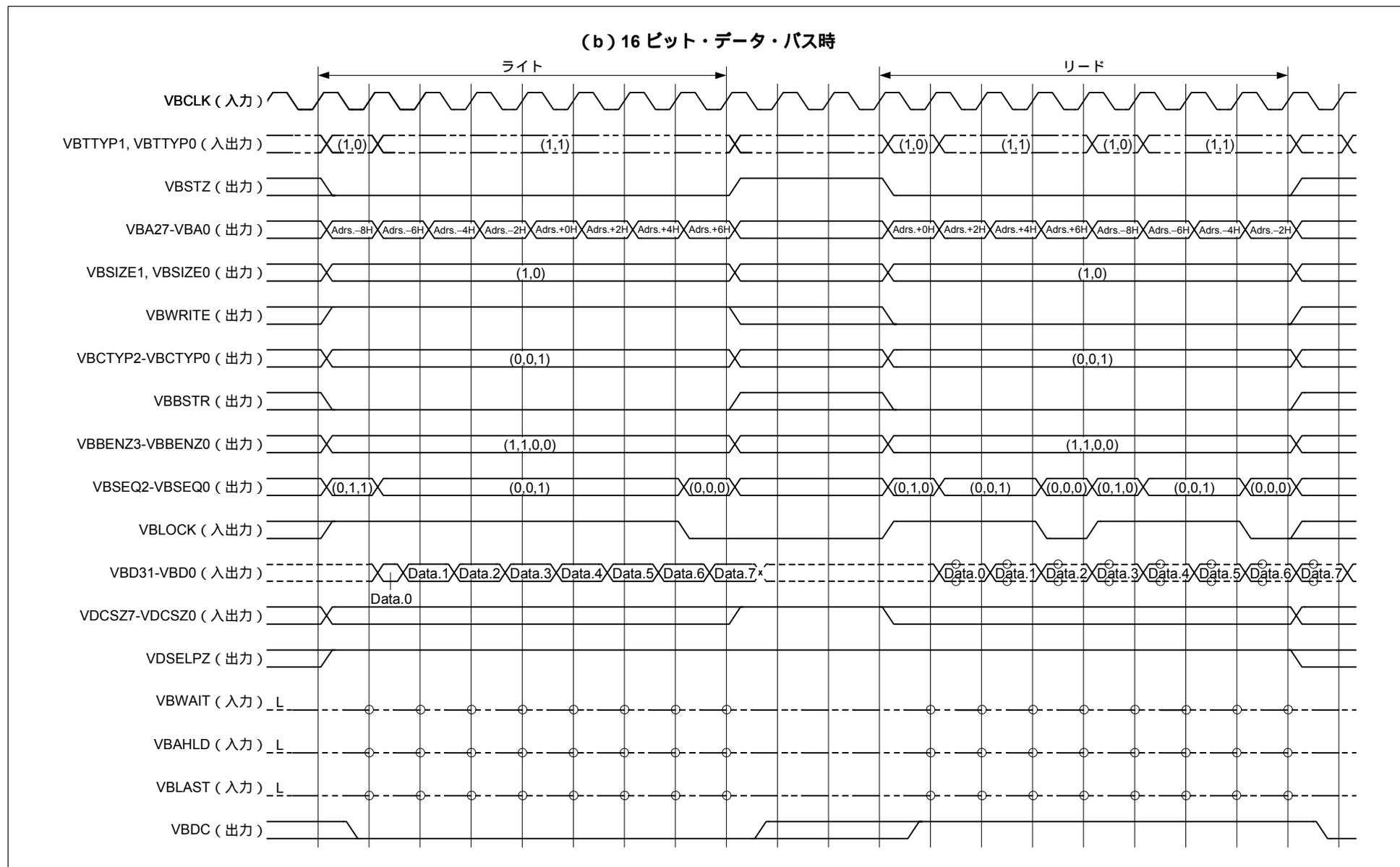


図2 - 27 ライトバック・モード時（置き換えられるデータがダーティ・データの場合）のクリティカル・ファースト・リフィル・リード・サイクル（4W + 1R-2R-1R）（1/4）

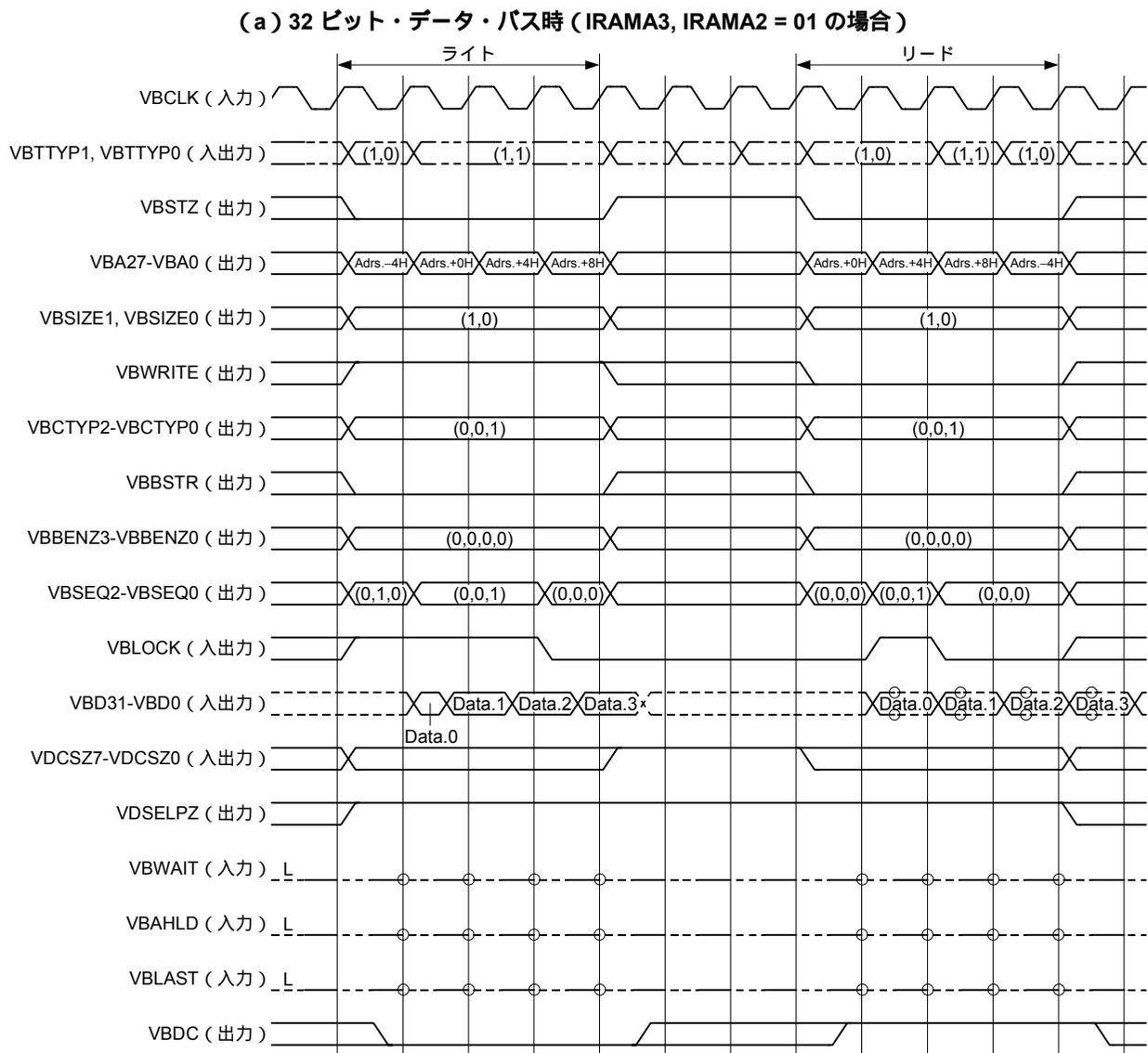


図2 - 27 ライトバック・モード時（置き換えられるデータがダーティ・データの場合）のクリティカル・ファースト・リフィル・リード・サイクル（4W + 1R-2R-1R）（2/4）

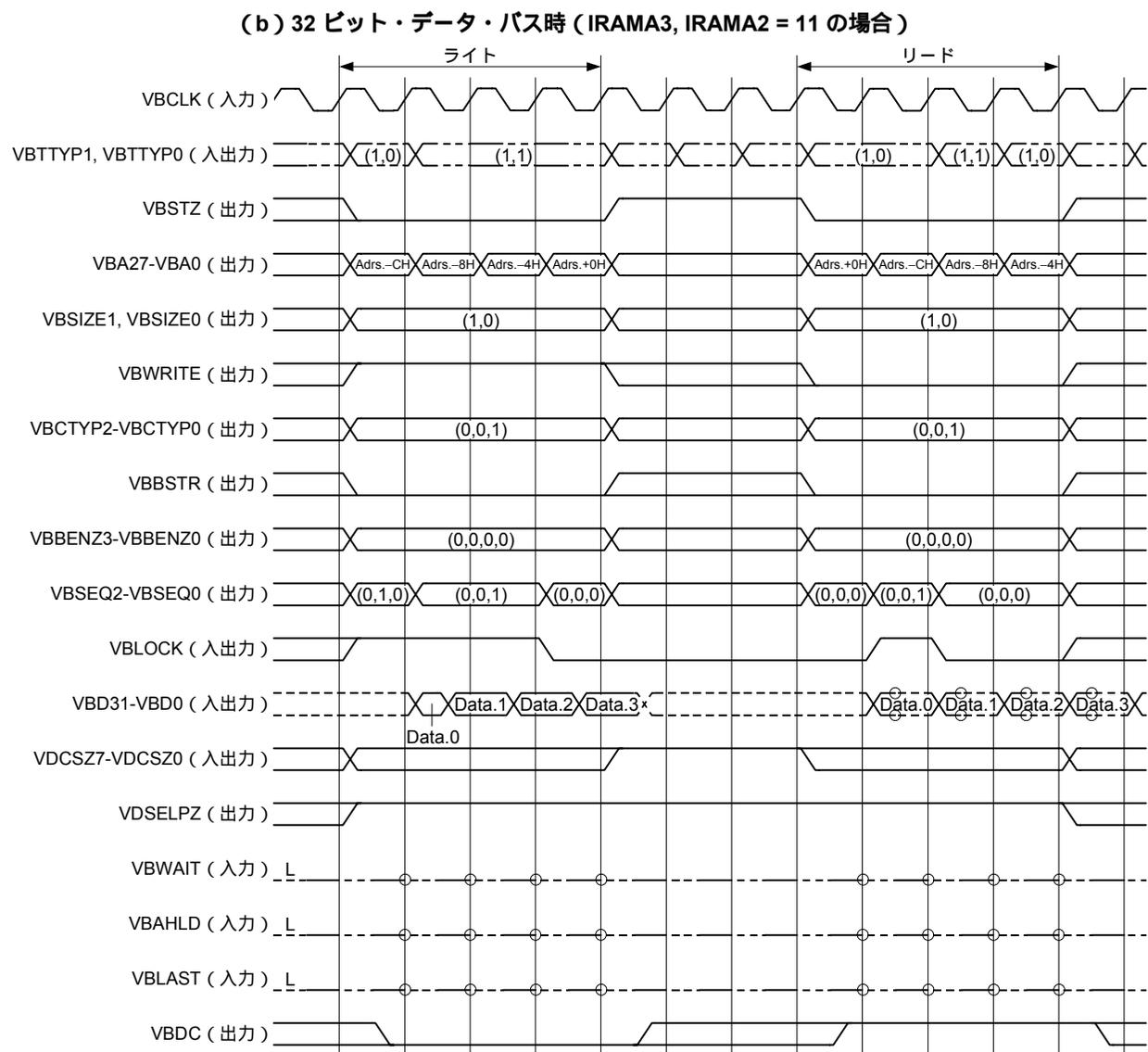


図2-27 ライトバック・モード時（置き換えられるデータがダーティ・データの場合）のクリティカル・ファースト・リフィル・リード・サイクル（4W+1R-2R-1R）（3/4）

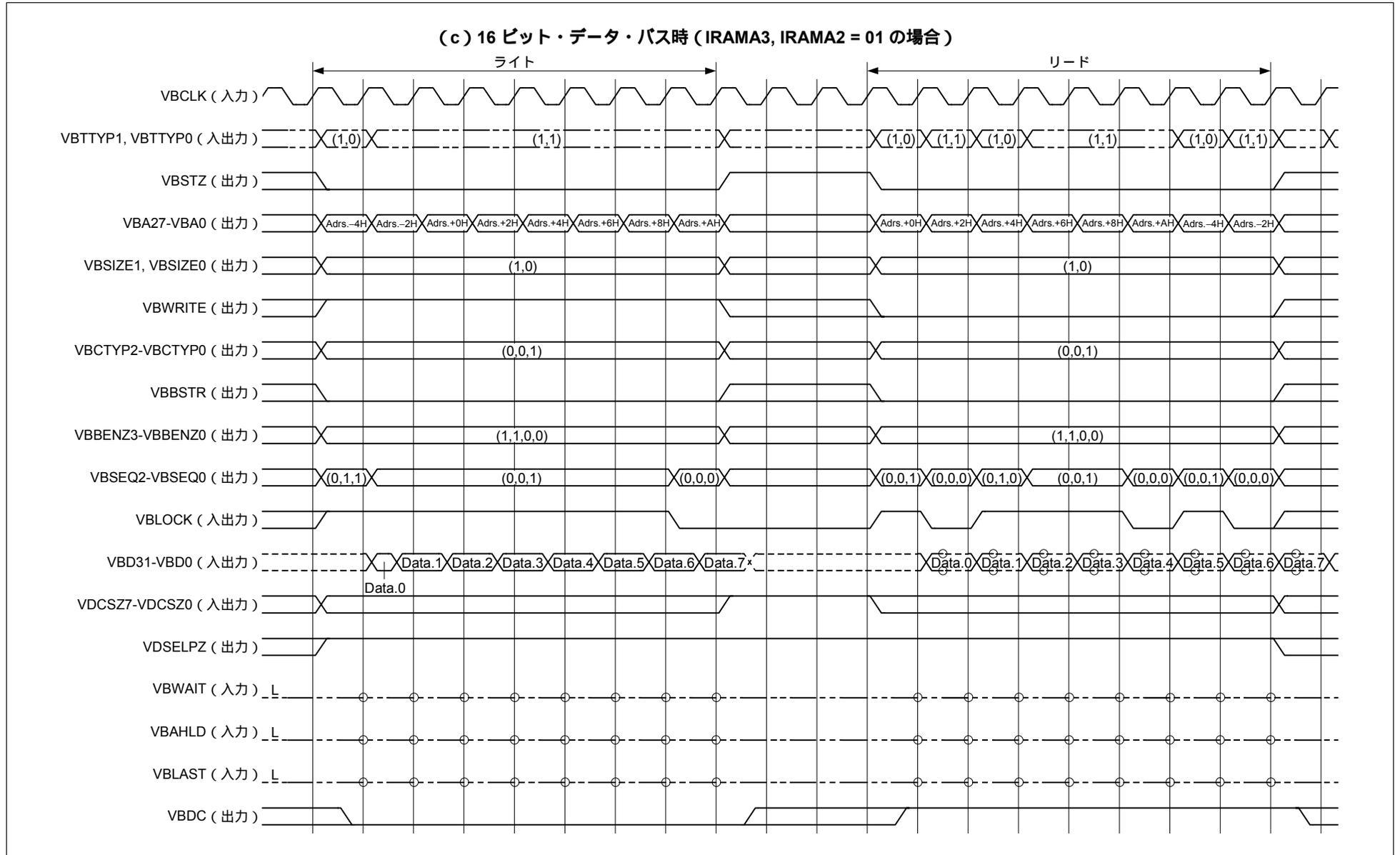
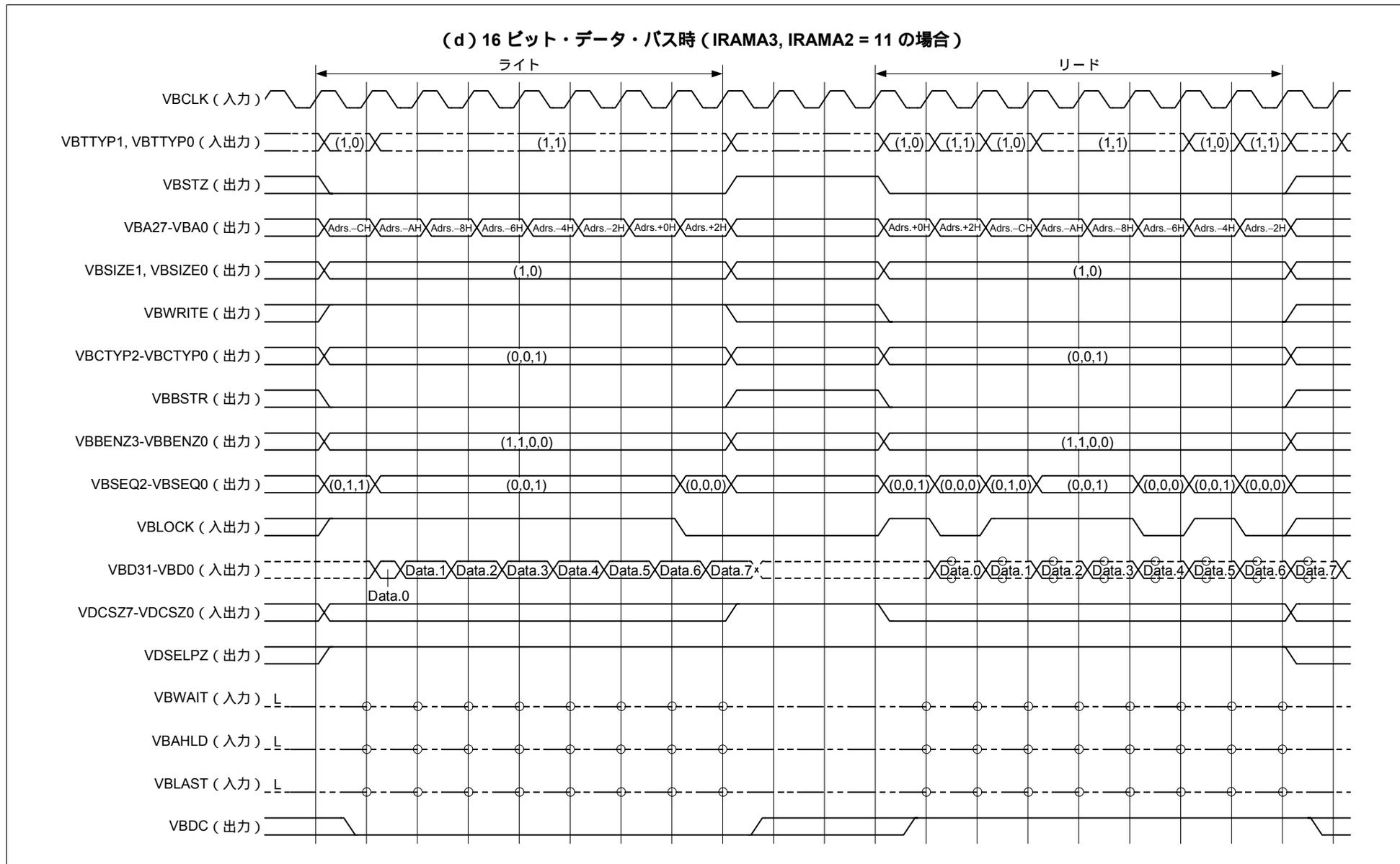


図2 - 27 ライトバック・モード時（置き換えられるデータがダーティ・データの場合）のクリティカル・ファースト・リフィル・リード・サイクル（4W + 1R-2R-1R）（4/4）



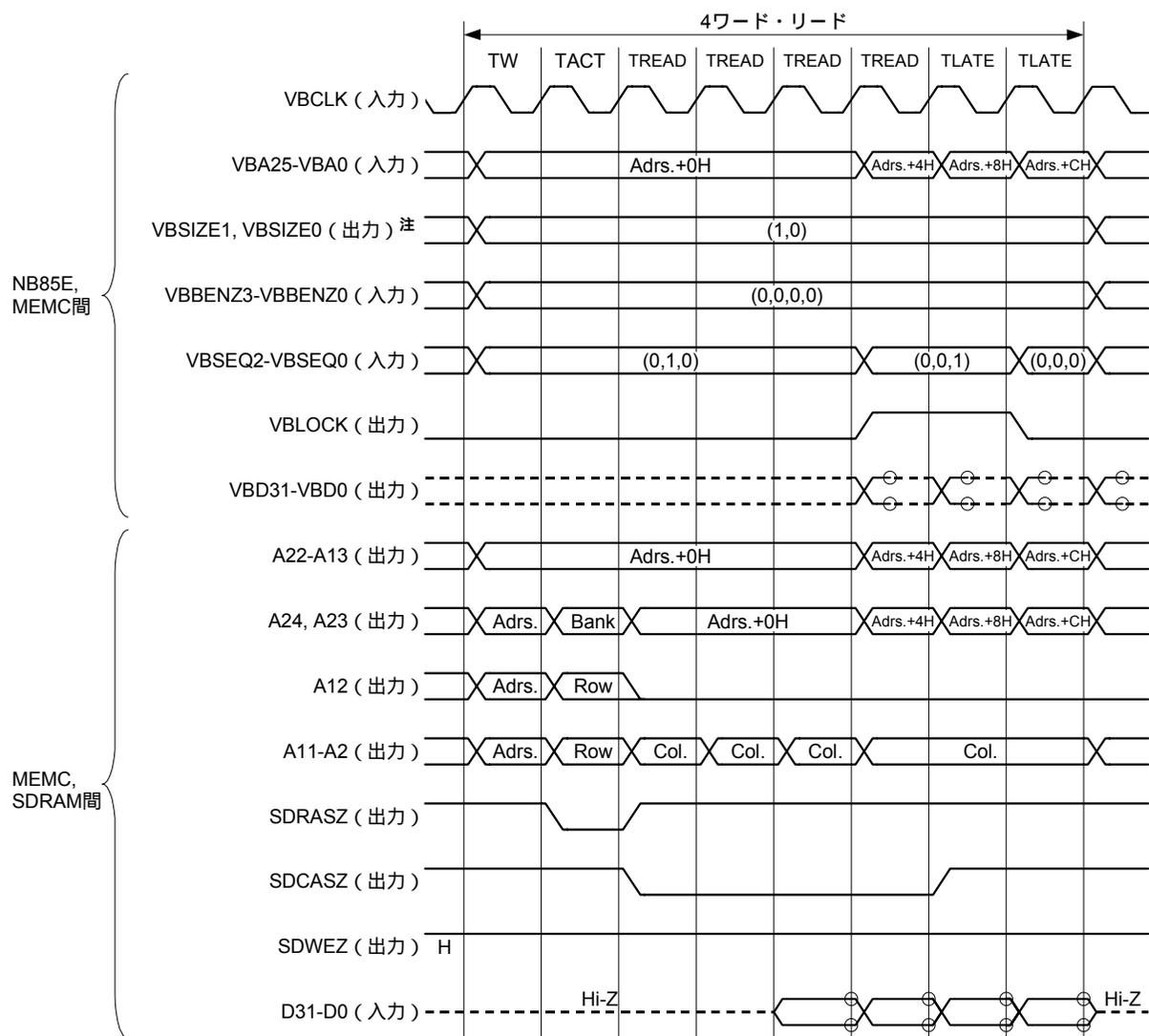
## 2.8 SDRAM からデータ・キャッシュへのリフィル・タイミング

図 2 - 28 から図 2 - 30 に、SDRAM からデータ・キャッシュへのリフィル・タイミング例をリフィル・モード別に示します。

**備考 1.** 次の場合のタイミング例です。

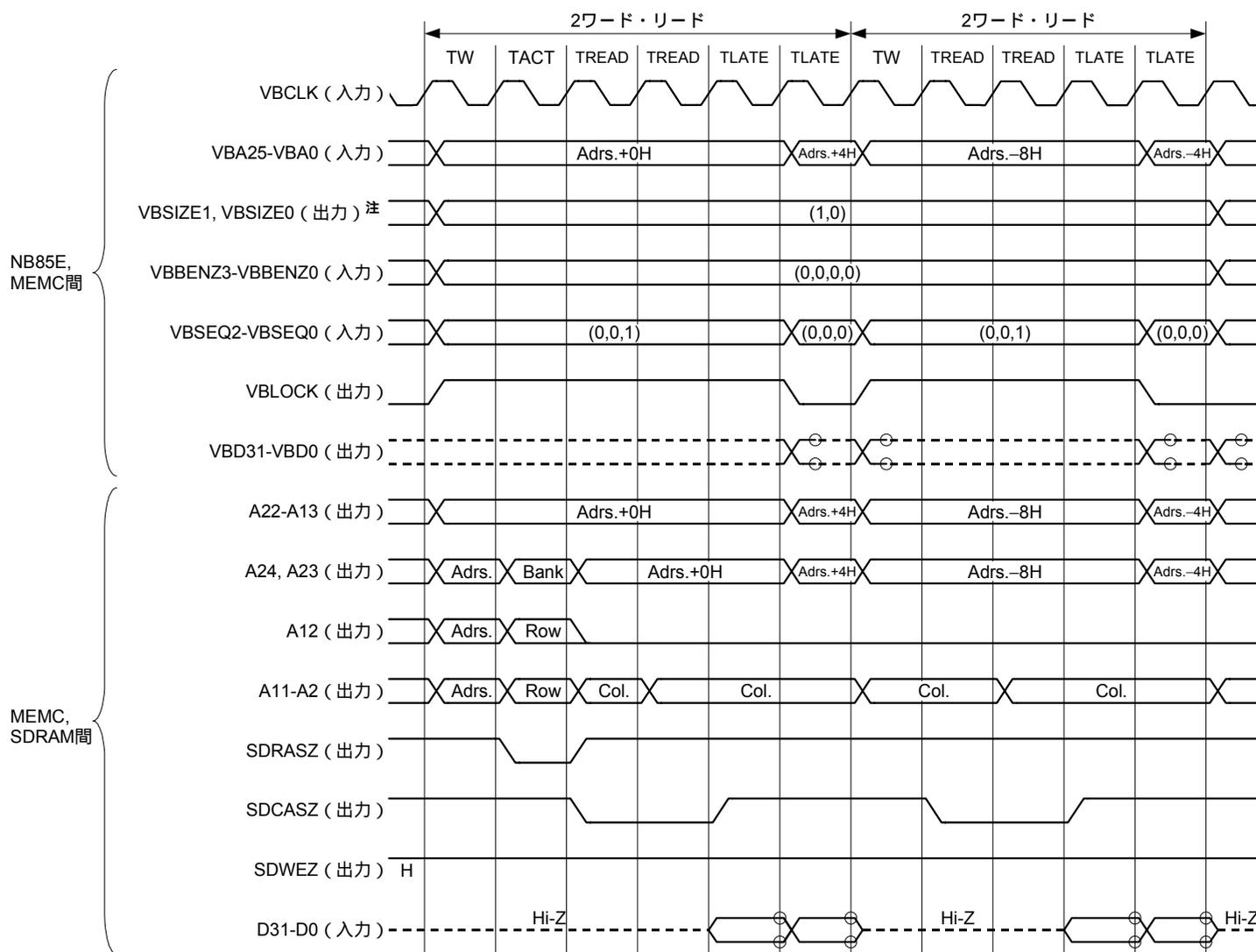
- 32 ビット・データ・バス
  - CAS レイテンシ = 2
  - SDRAM コントローラ ( NU85E502 ) の SDRAM コンフィギュレーション・レジスタ n ( SCRn ) の BCW1, BCW0 ビットで設定したウエイト・ステート数 = 1 ( n = 7-0 )
2. VBD31-VBD0 信号の破線部分のレベルは NB85E 内部のバス・ホルダがドライブしている不定状態 ( Weak unknown ) を示します。
  3. 印はサンプリング・タイミングを示します。
  4. VSB 用信号 ( VBxxx ) の詳細は **NB85E ユーザーズ・マニュアル ハードウェア編 ( A13971J )** を参照してください。
  5. メモリ・コントローラ ( MEMC ) 側から見た入出力を示しています。
  6. 各ステートの意味は次のとおりです。
    - TW : ウエイト・ステート
    - TACT : バンク・アクティブ・コマンドのステート
    - TREAD : リード・コマンドのステート
    - TLATE : レイテンシ分のウエイト・ステート

図2 - 28 SDRAMからデータ・キャッシュへのリフィル・タイミング例（シーケンシャル・リフィル（4R）, クリティカル・ファースト・リフィル（4R））



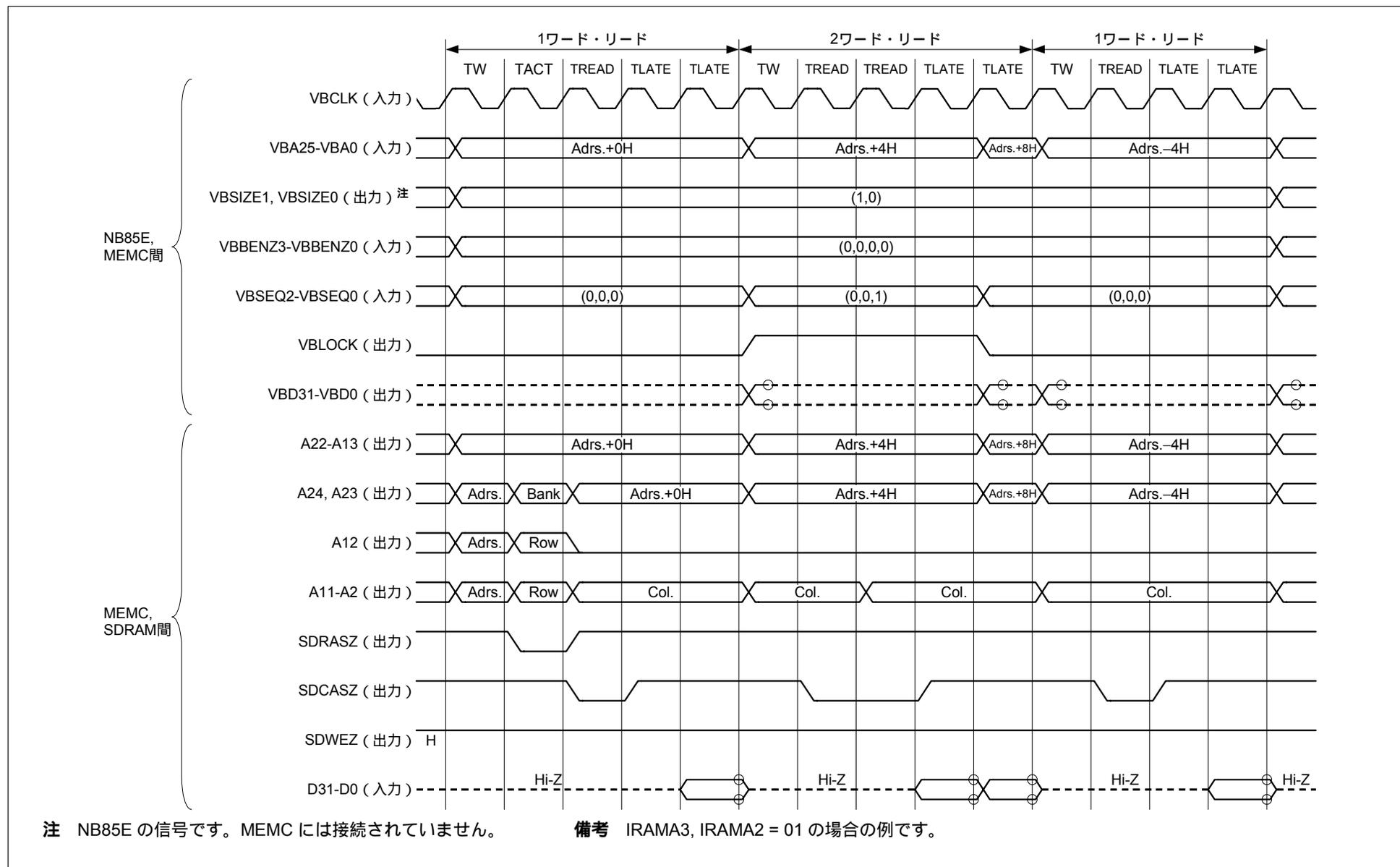
注 NB85E の信号です。MEMC には接続されていません。

図2 - 29 SDRAMからデータ・キャッシュへのリフィル・タイミング例 (クリティカル・ファースト・リフィル (2R-2R))



注 NB85E の信号です。MEMC には接続されていません。

図2 - 30 SDRAMからデータ・キャッシュへのリフィル・タイミング例 (クリティカル・ファースト・リフィル (1R-2R-1R))



## 2.9 データ・キャッシュへのリフィル順序

ミスヒット時のデータ・キャッシュのデータ部分へのリフィル順序は、リフィル・モードによって異なります。  
 図2-31から図2-33にリフィル・モード別のリフィル順序を示します。

図2-31 データ・キャッシュへのリフィル順序  
 (シーケンシャル・リフィル(4R), クリティカル・ファースト・リフィル(4R))

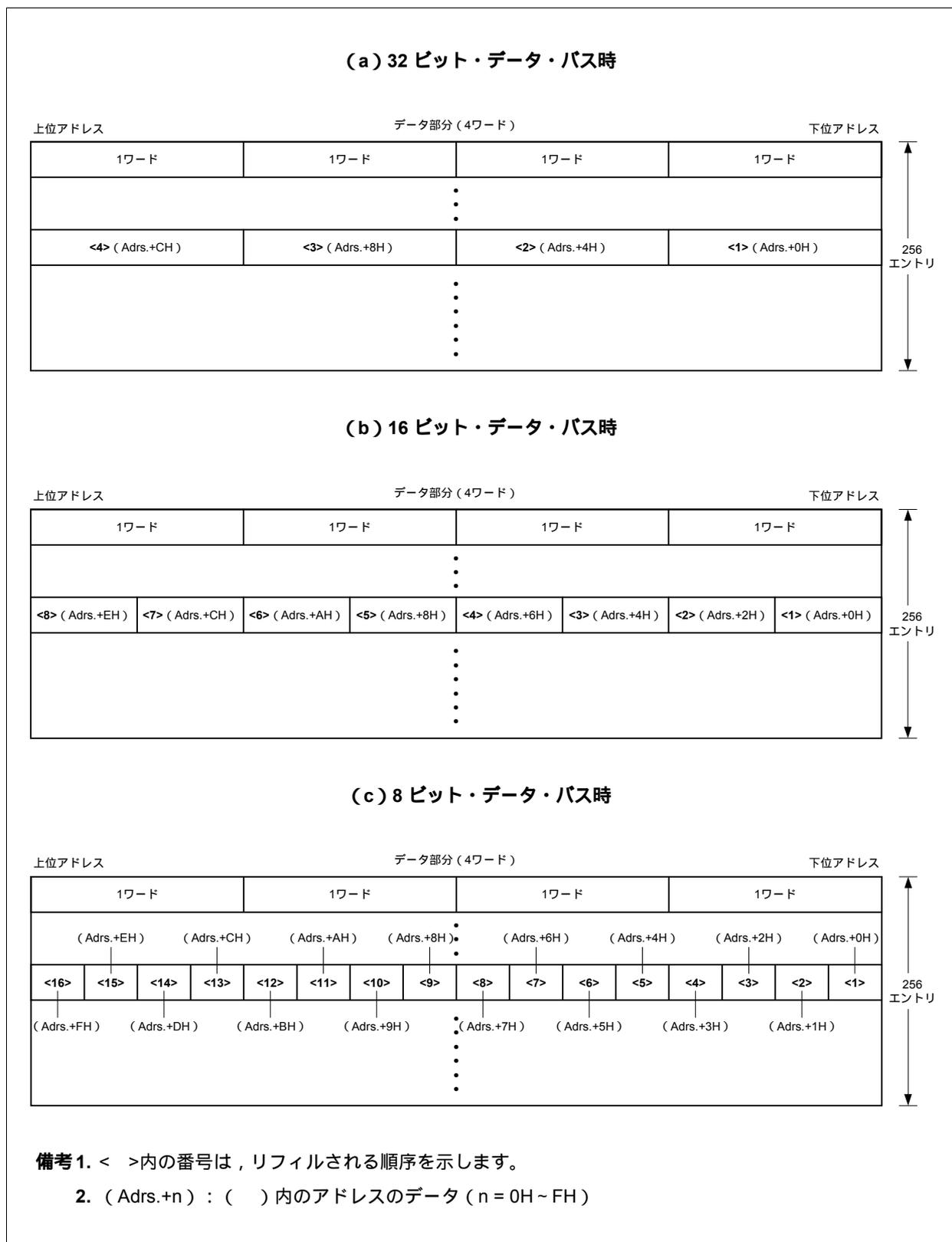


図2 - 32 データ・キャッシュへのリフィル順序 (クリティカル・ファースト・リフィル (2R-2R))

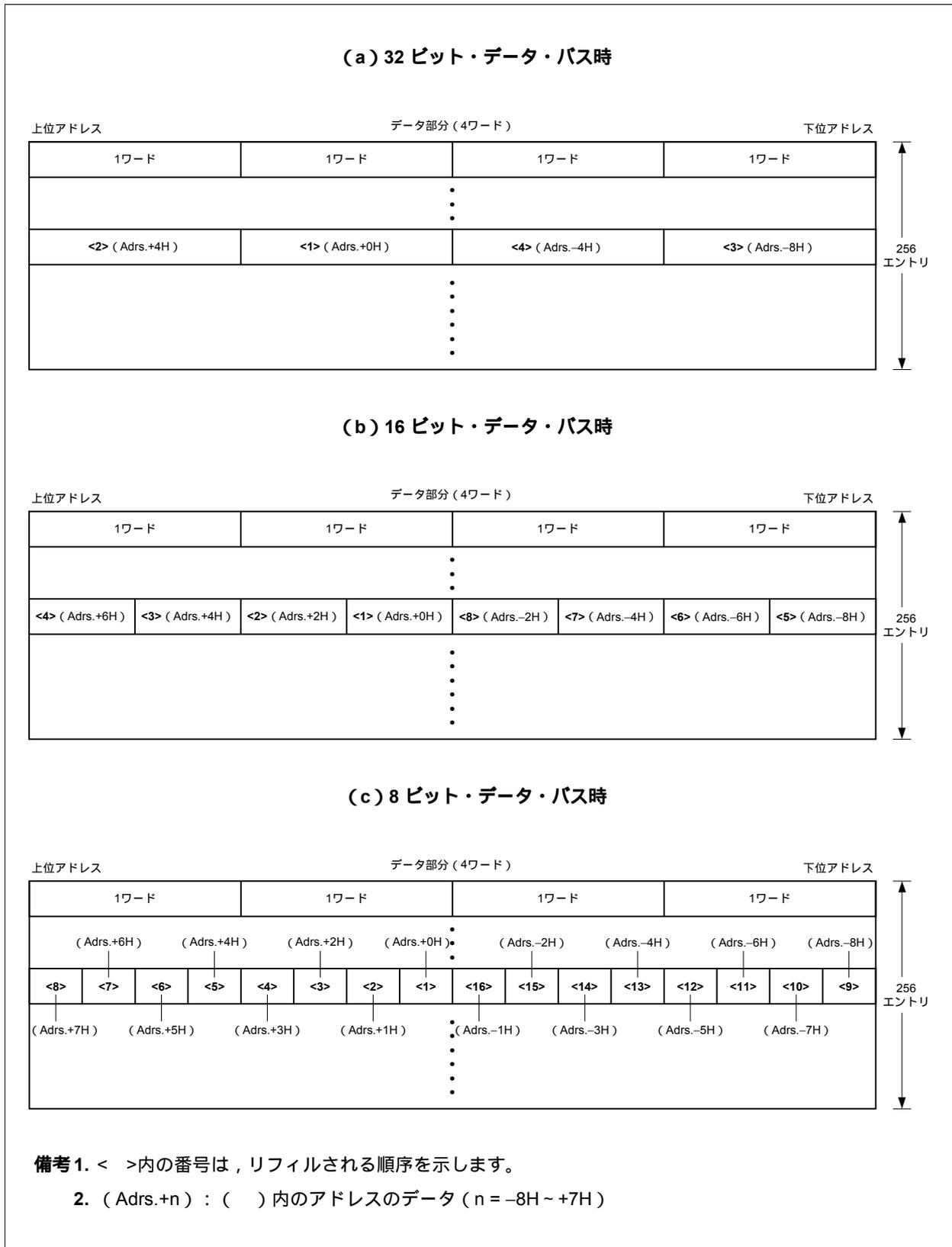
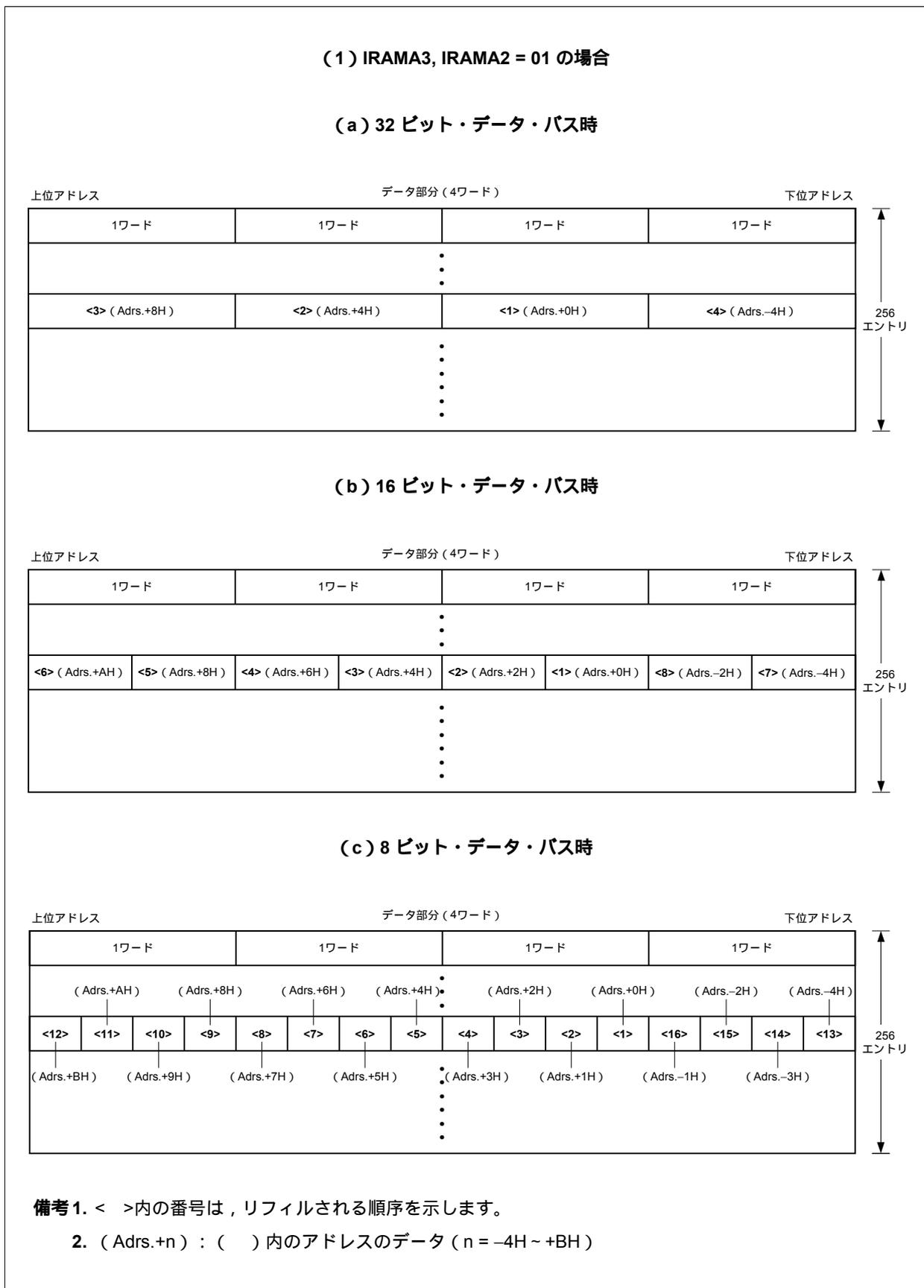


図2 - 33 データ・キャッシュへのリフィル順序 (クリティカル・ファースト・リフィル (1R-2R-1R)) (1/2)





## 2.10 注意事項

### (1) NB85E との接続

同じ端子名の端子同士を接続してください。

### (2) キャッシュ・タイプ選択用端子の設定

IFI で始まるキャッシュ・タイプ選択用端子には次に示すレベルを入力してください。

なお、IFIUNCH1, IFIWRTH 端子は NB85E に接続してください。

端子名称	入力レベル	
	NB85E252	NB85E263
IFIASEQ	任意	任意
IFIRABE	ロウ・レベル	ロウ・レベル
IFIDRCT <sup>注</sup>	—	ロウ・レベル
IFIOECT	ロウ・レベル	ロウ・レベル

注 NB85E263 のみ

### (3) バス・サイクルの状態

NB85E のキャッシュ・コンフィギュレーション・レジスタ (BHC) により、データ・キャッシュの設定をキャッシュ可能に設定した領域のすべてのリード・サイクル、およびライトバック・モード (ライト・アロケート許可) 時のライト・サイクルでは、NB85E の VBCTYP2-VBCTYP0 信号は常にデータ・アクセスを示し、ミス・アライン・アクセスは示しません。

### (4) リセット時の動作

リセット時には、自動的にタグをクリア (無効に) し、次のデータの置き換えはウエイ 0 から行われる状態にします。このため、リセット後ライン数分のクロック・サイクルの期間にデータ・キャッシュへのアクセスがあると、CPU はタグがクリアされる (無効になる) まで停止します。

### (5) テスト・バス自動結線ツールの対応

このデータ・キャッシュには BUNRI 端子がありますが、テスト・バス (TBOx, TBix) がないため、テスト・バス自動結線ツールには対応していません。

### (6) その他

バス・スヌープ回路 (バスの動作を監視する回路) は内蔵されていません。次の例に示すような場合、データ・キャッシュへのライト・アクセスがなくてもデータ・キャッシュ内のデータはダーティ・データとなり、コヒーレンシ性が崩れてしまいます。したがって、この状態を回避するために、必ずタグ・クリアを行ってください。

#### 例 1. キャッシュ可能領域の外部メモリに対して DMA 転送を行った場合

(データ・キャッシュに転送データは反映されません)

#### 2. 外部バス・マスタがキャッシュ可能領域の外部メモリ内容を書き換えた場合など

(7) デバッグ中の動作

N-Wire 型インサーキット・エミュレータによるデバッグ中は、データ・キャッシュは動作しません。

デバッグ中にキャッシュ許可領域の外部メモリをアクセスする場合は、データ・キャッシュが有効であっても直接外部メモリのみにアクセスするため、コヒーレンシ性が崩れてしまいます。これを回避するために必ずデータ・キャッシュのタグ・クリアを行ってください。また、インサーキット・エミュレータ (IE-V850E-MC-A) を使用する場合は、データ・キャッシュのデバッグは行えません。

## 付録 A キャッシュ性能比較表

ここでは、NB85E の VFB に接続した ROM と NB85E の VDB に接続した RAM を使用して Dhrystone ベンチマーク・プログラムを実行したときの性能を 100 とした場合の命令 / データ・キャッシュの相対処理性能を示します。

**注意** キャッシュ性能比較表の数値は、次に示す作業環境で測定した場合のもので、実際にはユーザの作業環境により異なります。

### <作業環境>

- コ・シミュレーション・ツール：仮想 ICE<sup>®</sup> (Ver.2.2.1d) の NB85E モデル
- ワーク・ステーション：Sun Ultra2 (300 MHz, 2CPU / メモリ 768M バイト)
- OS：Solaris<sup>™</sup>2.6 (SunOS<sup>™</sup>5.6)
- HDL シミュレータ：Verilog-XL<sup>™</sup> Ver.2.2.1 (no-turbo)
- ソフトウェアの開発環境：米国 Green Hills Software<sup>™</sup> 社製 V850E コア用 C コンパイラ (Ver.1.8.9)
- 使用プログラム：Dhrystone Ver.2.1

1 ループの命令数：413 (2 バイト命令：254,  
4 バイト命令：156,  
6 バイト命令：3)

1 ループのプログラム容量：1150 バイト

表の見方を次ページに示します。

## &lt;キャッシュ性能比較表の見方&gt;

• **プログラムのループ数**

Dhrystone ベンチマーク・プログラム・ループの 1 周目と 2 周目以降に分けてキャッシュ性能を比較しています。

• **プログラム配置**

Dhrystone ベンチマーク・プログラムをどこに配置するかを示します。

• **ワーク・データ配置**

データ・アクセスに使用するワーク RAM 領域をどこに配置するかを示します。

• **アクセス条件****(a) ROM/RAM, 外部 ROM/SRAM の場合**

バス・サイクルに要するウェイト数とトータル・クロック数を示します。

ROM/RAM の場合, VFB/VDB 接続のためバス・サイクルは 1 クロックになります。

外部 ROM/SRAM の場合, ウェイトの数だけトータル・クロック数が増えます。ただし, ここで示すウェイト数はメモリ・コントローラ (MEMC) のデータ・ウェイト制御レジスタ 0, 1 (DWC0, DWC1) による設定値ではなく, NB85E の VBWAIT 信号がアクティブになる (ハイ・レベルを出力する) 数を示しています。

**(b) 外部 SDRAM の場合**

CAS レイテンシ (CL) の値を示します。

• **相対値**

表中の「\*」の箇所を 100 とした場合の相対処理性能を示します。

• **ヒット率**

キャッシュのヒット率を示します。

**備考** ROM : NB85E 直結の ROM (VFB に接続)

RAM : NB85E 直結の RAM (VDB に接続)

外部 ROM/SRAM/SDRAM : VSB 経由で接続される ROM/SRAM/SDRAM

(1) 命令キャッシュのみ

(1/2)

命令キャッシュの接続				なし		あり			
プログラムのループ数				-		1 周目		2 周目以降	
プログラム配置		ワーク・データ配置		相対値	相対値	ヒット率 (%)	相対値	ヒット率 (%)	
バス幅 (ビット)	アクセス条件	バス幅 (ビット)	アクセス条件						
ROM		RAM		-					
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	100 *	-	-	-	-	
外部 ROM		RAM		-					
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	82.2	58.4	88.0	89.1	100.0	
	1 ウェイト 2 クロック			63.7	48.6	88.0	88.3	100.0	
	2 ウェイト 3 クロック			45.7	41.6	88.0	87.4	100.0	
16	0 ウェイト 1 クロック			65.9	48.7	88.0	88.4	100.0	
	1 ウェイト 2 クロック			35.9	35.4	88.0	85.8	100.0	
	2 ウェイト 3 クロック			24.1	29.1	88.0	85.0	100.0	
8	0 ウェイト 1 クロック			35.9	35.4	88.0	85.8	100.0	
	1 ウェイト 2 クロック			18.2	24.2	88.0	83.3	100.0	
	2 ウェイト 3 クロック			12.2	18.1	88.0	80.0	100.0	
外部 ROM		外部 SRAM		-					
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	75.5	51.9	84.3	82.4	100.0	
	3 ウェイト 4 クロック		28.4	27.2	84.3	59.9	100.0		
16	0 ウェイト 1 クロック	16	0 ウェイト 1 クロック	54.0	40.7	84.3	74.6	100.0	
	3 ウェイト 4 クロック		14.7	16.4	84.3	42.7	100.0		

命令キャッシュの接続				なし		あり			
プログラムのループ数				-		1 周目		2 周目以降	
プログラム配置		ワーク・データ配置		相対値	相対値	ヒット率 (%)	相対値	ヒット率 (%)	
バス幅 (ビット)	アクセス条件	バス幅 (ビット)	アクセス条件						
外部 ROM		外部 SDRAM		-					
32 16	3 ウェイト 4 クロック	32	CL = 2	28.4	27.2	84.3	60.0	100.0	
		16		16.0	17.8	84.3	53.4	100.0	
		16		27.0	26.0	84.3	55.2	100.0	
外部 SDRAM		外部 SDRAM		-					
32 16	CL = 2	32	CL = 2	28.4	36.8	84.3	59.9	100.0	
		16		23.1	30.1	84.3	54.8	100.0	

(2) 命令キャッシュとデータ・キャッシュ (ライト・スルー・モード)

命令キャッシュの接続				なし	あり								
データ・キャッシュの接続				なし	あり								
プログラムのループ数				-	1 周目					2 周目以降			
プログラム配置		ワーク・データ配置		相対値	相対値	ヒット率 (%)			相対値	ヒット率 (%)			
バス幅 (ビット)	アクセス条件	バス幅 (ビット)	アクセス条件			命令 キャッシュ	データ・キャッシュ			命令 キャッシュ	データ・キャッシュ		
							リード	ライト			リード	ライト	
ROM		RAM		-									
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	100 *	-	-	-	-	-	-	-	-	-
外部 ROM		外部 SRAM		-									
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	75.5	50.7	84.3	86.6	64.1	81.1	100.0	100.0	77.3	
	3 ウェイト 4 クロック		3 ウェイト 4 クロック	28.4	28.6	84.3	86.6	64.1	76.7	100.0	100.0	77.3	
16	0 ウェイト 1 クロック	16	0 ウェイト 1 クロック	54.0	40.9	84.3	86.6	64.1	80.8	100.0	100.0	77.3	
	3 ウェイト 4 クロック		3 ウェイト 4 クロック	14.7	17.6	84.3	86.6	64.1	67.5	100.0	100.0	77.3	
外部 ROM		外部 SDRAM		-									
32	3 ウェイト 4 クロック	32	CL = 2	28.4	28.8	84.3	86.6	64.1	76.7	100.0	100.0	77.3	
				16	16.0	18.8	84.3	86.6	64.1	72.2	100.0	100.0	77.3
16				27.0	28.2	84.3	86.6	64.1	75.3	100.0	100.0	77.3	
外部 SDRAM		外部 SDRAM		-									
32	CL = 2	32	CL = 2	28.4	39.7	84.3	86.6	64.1	76.7	100.0	100.0	77.3	
				16	23.1	32.8	84.3	86.6	64.1	74.6	100.0	100.0	77.3

(3) 命令キャッシュとデータ・キャッシュ (ライトバック・モード (ライト・アロケート禁止))

命令キャッシュの接続				なし	あり								
データ・キャッシュの接続				なし	あり								
プログラムのループ数				-	1 周目					2 周目以降			
プログラム配置		ワーク・データ配置		相対値	相対値	ヒット率 (%)			相対値	ヒット率 (%)			
バス幅 (ビット)	アクセス条件	バス幅 (ビット)	アクセス条件			命令 キャッシュ	データ・キャッシュ			命令 キャッシュ	データ・キャッシュ		
							リード	ライト			リード	ライト	
ROM		RAM		-									
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	100 *	-	-	-	-	-	-	-	-	-
外部 ROM		外部 SRAM		-									
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	75.5	50.7	84.3	86.6	64.1	81.8	100.0	100.0	77.3	
	3 ウェイト 4 クロック		3 ウェイト 4 クロック	28.4	29.2	84.3	86.6	64.1	79.3	100.0	100.0	77.3	
16	0 ウェイト 1 クロック	16	0 ウェイト 1 クロック	54.0	41.1	84.3	86.6	64.1	81.4	100.0	100.0	77.3	
	3 ウェイト 4 クロック		3 ウェイト 4 クロック	14.7	18.4	84.3	86.6	64.1	75.7	100.0	100.0	77.3	
外部 ROM		外部 SDRAM		-									
32	3 ウェイト 4 クロック	32	CL = 2	28.4	29.5	84.3	86.6	64.1	79.3	100.0	100.0	77.3	
		16		16.0	29.2	84.3	86.6	64.1	79.3	100.0	100.0	77.3	
16				27.0	19.4	84.3	86.6	64.1	75.7	100.0	100.0	77.3	
外部 SDRAM		外部 SDRAM		-									
32	CL = 2	32	CL = 2	28.4	41.1	84.3	86.6	64.1	79.3	100.0	100.0	77.3	
16		16		23.1	34.2	84.3	86.6	64.1	78.3	100.0	100.0	77.3	

(4) 命令キャッシュとデータ・キャッシュ (ライトバック・モード (ライト・アロケート許可))

命令キャッシュの接続				なし	あり								
データ・キャッシュの接続				なし	あり								
プログラムのループ数				-	1 周目					2 周目以降			
プログラム配置		ワーク・データ配置		相対値	相対値	ヒット率 (%)			相対値	ヒット率 (%)			
バス幅 (ビット)	アクセス条件	バス幅 (ビット)	アクセス条件			命令 キャッシュ	データ・キャッシュ			命令 キャッシュ	データ・キャッシュ		
							リード	ライト			リード	ライト	
ROM		RAM		-									
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	100 *	-	-	-	-	-	-	-	-	-
外部 ROM		外部 SRAM		-									
32	0 ウェイト 1 クロック	32	0 ウェイト 1 クロック	75.5	50.9	84.3	100.0	86.7	81.8	100.0	100.0	100.0	
	3 ウェイト 4 クロック		3 ウェイト 4 クロック	28.4	28.4	84.3	100.0	86.7	79.3	100.0	100.0	100.0	
16	0 ウェイト 1 クロック	16	0 ウェイト 1 クロック	54.0	40.3	84.3	100.0	86.7	81.4	100.0	100.0	100.0	
	3 ウェイト 4 クロック		3 ウェイト 4 クロック	14.7	17.4	84.3	100.0	86.7	75.7	100.0	100.0	100.0	
外部 ROM		外部 SDRAM		-									
32	3 ウェイト 4 クロック	32	CL = 2	28.4	29.9	84.3	100.0	86.7	79.3	100.0	100.0	100.0	
		16		16.0	29.2	84.3	100.0	86.7	79.3	100.0	100.0	100.0	
16				27.0	19.4	84.3	100.0	86.7	75.7	100.0	100.0	100.0	
外部 SDRAM		外部 SDRAM		-									
32	CL = 2	32	CL = 2	28.4	41.9	84.3	100.0	86.7	79.3	100.0	100.0	100.0	
		16		23.1	34.4	84.3	100.0	86.7	78.3	100.0	100.0	100.0	

## 付録 B 改版履歴

前版までに改訂された主な箇所を次に示します。なお、「箇所」欄に示すページは、旧版でのページを示しています。

### (1) 第1版 第2版

(1/2)

箇所	内容
p.17, 27, 30	命令キャッシュのオートフィル機能は「ウエイ0のみ」に変更
p.27	1. 4. 1 (1) 命令キャッシュ・コントロール・レジスタ (ICC) 修正
p.29	1. 4. 1 (2) 命令キャッシュ・データ・コンフィギュレーション・レジスタ (ICD) 注意を追加
p.29	図 1-6 命令キャッシュ・データ・コンフィギュレーション・レジスタ (ICD) 初期値を修正
p.30	1. 4. 2 タグ・クリア機能 修正
p.31	1. 5 命令キャッシュの設定手順 追加
p.31, 32	1. 6. 1 命令キャッシュ・ヒット時の動作, 1. 6. 2 命令キャッシュ・ミスヒット時の動作 修正
p.33	1. 7 命令キャッシュの発行するバス・サイクル
p.35	<ul style="list-style-type: none"> <li>• 備考を修正</li> <li>• 16 ビット・データ・バス時のタイミング例を追加</li> </ul>
p.36	1. 8 命令キャッシュへのリフィル順序 追加
p.37	1. 9 (5) レジスタの設定 修正
p.38	1. 9 (7) プログラムの初期設定, (8) NB85E の BHC レジスタの設定 追加
p.39	2. 1. 1 特徴 修正
p.41	図 2-1 NB85E とデータ・キャッシュの接続例 修正
p.44	2. 2. 2 (1) (g) IRAMWR3-IRAMWR0, (l) IDHUM 修正
p.46	2. 2. 2 (2) (b) IFIRABE, IFIDRCT, IFIOECT 修正
p.46	2. 2. 2 (3) (a) IDHIT 修正
p.51	2. 4. 1 (1) データ・キャッシュ・コントロール・レジスタ (DCC) 注意を追加
p.54	2. 4. 1 (2) データ・キャッシュ・データ・コンフィギュレーション・レジスタ (DCD) 注意を追加
p.54	図 2-6 データ・キャッシュ・データ・コンフィギュレーション・レジスタ (DCD) 初期値を修正
p.56	2. 5 データ・キャッシュの設定手順 追加

箇所	内容
p.73 p.74 p.76, 78, 81, 82, 84, 86, 89, 90	<b>2.7 データ・キャッシュの発行するバス・サイクル</b> <ul style="list-style-type: none"> <li>備考を修正</li> <li>表 2 - 3 動作モードとバス・サイクル バス・サイクル欄を修正</li> <li>16 ビット・データ・バス時のタイミング例を追加</li> </ul>
p.91-94	<b>2.8 SDRAM からデータ・キャッシュへのリフィル・タイミング</b> 追加
p.95-98	<b>2.9 データ・キャッシュへのリフィル順序</b> 追加
p.99	<b>2.10 (5) その他</b> 追加
p.101-107	<b>付 録 キャッシュ性能比較表</b> 追加

## (2) 第 2 版 第 3 版

箇所	内容
p.27	<b>図 1 - 6 命令キャッシュ・データ・コンフィギュレーション・レジスタ (ICD) ビット</b> の説明を修正
p.27, 28	<b>1.4.2 タグ・クリア機能</b> タグ・クリア手順の説明修正, 注意追加, 備考追加
p.29	<b>1.4.3 オートフィル機能 (ウエイ 0 のみ)</b> 備考追加
p.30	<b>1.5 命令キャッシュの設定手順</b> 初期設定手順の説明を修正
p.38	<b>1.9 (9) テスト・バス自動結線ツールの対応</b> 追加
p.38	<b>1.9 (10) タグ・クリア手順</b> 追加
p.45	<b>2.2.2 (1) (s) IFIUNCH1</b> 説明修正
p.54	<b>図 2 - 6 データ・キャッシュ・データ・コンフィギュレーション・レジスタ (DCD) ビット</b> の説明を修正
p.56	<b>2.5 データ・キャッシュの設定手順</b> 注意削除
p.92	<b>図 2 - 28 SDRAM からデータ・キャッシュへのリフィル・タイミング例 (シーケンシャル・リフィル (4R), クリティカル・ファースト・リフィル (4R))</b> VBA25-VBA0, A24-A13 信号の TLATE ステートでの出力値を修正
p.92-94	<b>図 2 - 28 から図 2 - 30</b> MEMC, SDRAM 間のアドレス・バスのタイミングを修正
p.99	<b>2.10 (5) テスト・バス自動結線ツールの対応</b> 追加
p.99	<b>2.10 (6) その他</b> 説明修正
p.109, 110	<b>付録 B 改版履歴</b> 追加

---

## — お問い合わせ先 —

---

### 【技術的なお問い合わせ先】

NEC半導体テクニカルホットライン  
(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494  
FAX : 044-435-9608  
E-mail : [info@lsi.nec.co.jp](mailto:info@lsi.nec.co.jp)

---

### 【営業関係お問い合わせ先】

#### 第一販売事業部

東京 (03)3798-6106, 6107,  
6108  
大阪 (06)6945-3178, 3200,  
3208, 3212  
広島 (082)242-5504  
仙台 (022)267-8740  
郡山 (024)923-5591  
千葉 (043)238-8116

#### 第二販売事業部

東京 (03)3798-6110, 6111,  
6112  
立川 (042)526-5981, 6167  
松本 (0263)35-1662  
静岡 (054)254-4794  
金沢 (076)232-7303  
松山 (089)945-4149

#### 第三販売事業部

東京 (03)3798-6151, 6155, 6586,  
1622, 1623, 6156  
水戸 (029)226-1702  
前橋 (027)243-6060  
鳥取 (0857)27-5313  
太田 (0276)46-4014  
名古屋 (052)222-2170, 2190  
福岡 (092)261-2806

---

### 【資料の請求先】

上記営業関係お問い合わせ先またはNEC特約店へお申しつけください。

---

### 【NECエレクトロニクス デバイス ホームページ】

NECエレクトロニクスデバイスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.ic.nec.co.jp/>

---

## アンケート記入のお願い

お手数ですが、このドキュメントに対するご意見をお寄せください。今後のドキュメント作成の参考にさせていただきます。

[ドキュメント名] 命令キャッシュ, データ・キャッシュ ユーザーズ・マニュアル(暫定) NB85E, NB85ET編  
(A14247JJ4V1UM00 (第4版))

[お名前など] (さしつかえのない範囲で)

御社名(学校名, その他) ( )  
ご住所 ( )  
お電話番号 ( )  
お仕事の内容 ( )  
お名前 ( )

1. ご評価(各欄に をご記入ください)

項 目	大変良い	良 い	普 通	悪 い	大変悪い
全体の構成					
説明内容					
用語解説					
調べやすさ					
デザイン, 字の大きさなど					
その他( )					
( )					

2. わかりやすい所(第 章, 第 章, 第 章, 第 章, その他 )

理由 [ ]

3. わかりにくい所(第 章, 第 章, 第 章, 第 章, その他 )

理由 [ ]

4. ご意見, ご要望

5. このドキュメントをお届けしたのは

NEC販売員, 特約店販売員,  
その他( )

ご協力ありがとうございました。

下記あてにFAXで送信いただくか, 最寄りの販売員にコピーをお渡しく下さい。

日本電気(株) NECエレクトロンデバイス  
半導体テクニカルホットライン

FAX : (044) 435-9608

2000.6