

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8SX/1520R グループ

ハードウェアマニュアル

ルネサス32ビットCISC マイクロコンピュータ

H8SXファミリ / H8SX/1500 シリーズ

H8SX/1527R R5F61527R
H8SX/1525R R5F61525R

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・CPU およびシステム制御系
- ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項、等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所 (改訂版のみ適用)

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

H8SX/1520R グループは、H8/300、H8/300H、H8S の各 CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の H8SX CPU を核としたマイクロコンピュータです。

対象者 このマニュアルは、H8SX/1520R グループを用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8SX/1520R グループのハードウェア機能をユーザに理解して頂くことを目的としています。なお、実行命令の詳細については、「H8SX ファミリ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき。
 - 目次に従って読んでください。
 - 本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。
- CPU機能の詳細を理解したいとき。
 - 別冊の「H8SXファミリ ソフトウェアマニュアル」を参照してください。
- レジスタ名が判っていて、詳細機能を知りたいとき。
 - 本書の後ろに「索引」があります。索引からページ番号を検索してください。
 - 「20. レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : DMA コントローラ、16 ビットタイムパルスユニットなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。
XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

数字の表記 : 2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。xxx̄

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://Japan.renesas.com/>)

- H8SX/1520Rグループに関するユーザーズマニュアル

資料名	資料番号
H8SX/1520R グループ ハードウェアマニュアル	本マニュアル
H8SX ファミリ ソフトウェアマニュアル	RJJ09B0048

目次

1. 概要	1-1
1.1 特長	1-1
1.2 端子説明	1-4
1.2.1 ピン配置図	1-4
1.2.2 動作モード別ピン配置一覧	1-6
1.2.3 端子機能	1-9
2. CPU	2-1
2.1 特長	2-1
2.2 CPU動作モード	2-3
2.2.1 ノーマルモード	2-3
2.2.2 ミドルモード	2-5
2.2.3 アドバンスモード	2-6
2.2.4 マキシマムモード	2-8
2.3 命令フェッチ	2-9
2.4 アドレス空間	2-10
2.5 レジスタ構成	2-11
2.5.1 汎用レジスタ	2-12
2.5.2 プログラムカウンタ (PC)	2-13
2.5.3 コンディションコードレジスタ (CCR)	2-14
2.5.4 エクステンドレジスタ (EXR)	2-15
2.5.5 ベクタベースレジスタ (VBR)	2-15
2.5.6 ショートアドレスベースレジスタ (SBR)	2-15
2.5.7 積和レジスタ (MAC)	2-15
2.5.8 CPU 内部レジスタの初期値	2-15
2.6 データ形式	2-16
2.6.1 汎用レジスタのデータ形式	2-16
2.6.2 メモリ上でのデータ形式	2-17
2.7 命令セット	2-18
2.7.1 命令とアドレッシングモードの組み合わせ	2-20
2.7.2 命令の機能別一覧	2-24
2.7.3 命令の基本フォーマット	2-33
2.8 アドレッシングモードと実効アドレスの計算方法	2-34
2.8.1 レジスタ直接 Rn	2-34

2.8.2	レジスタ間接 @ERn.....	2-35
2.8.3	ディスプレイースメント付レジスタ間接 @ (d:2,ERn) /@ (d:16,ERn) /@ (d:32,ERn)	2-35
2.8.4	ディスプレイースメント付インデックスレジスタ間接 @(d:16,RnL.B)/ @(d:32,RnL.B)/ @(d:16,Rn.W)/@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L).....	2-35
2.8.5	プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/ @-ERn/@+ERn/@ERn-	2-35
2.8.6	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32.....	2-36
2.8.7	イミディエイト #xx.....	2-37
2.8.8	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)	2-37
2.8.9	プログラムカウンタインデックス相対 @ (RnL.B, PC) /@ (Rn.W, PC) /@ (ERn.L, PC) ...	2-38
2.8.10	メモリ間接 @@aa:8.....	2-38
2.8.11	拡張メモリ間接 @@vec:7.....	2-39
2.8.12	実効アドレスの計算方法.....	2-39
2.8.13	MOVA 命令.....	2-41
2.9	処理状態.....	2-42
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択.....	3-1
3.2	レジスタの説明.....	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	動作モードの説明.....	3-4
3.3.1	モード1.....	3-4
3.3.2	モード2.....	3-4
3.3.3	モード3.....	3-4
3.4	アドレスマップ.....	3-5
3.4.1	アドレスマップ.....	3-5
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-2
4.3	リセット.....	4-4
4.3.1	リセット例外処理.....	4-4
4.3.2	リセット直後の割り込み.....	4-4
4.3.3	リセット解除後の内蔵周辺機能.....	4-4
4.4	トレース例外処理.....	4-6
4.5	アドレスエラー.....	4-7
4.5.1	アドレスエラー発生要因.....	4-7
4.5.2	アドレスエラー例外処理.....	4-8
4.6	割り込み.....	4-9
4.6.1	割り込み要因.....	4-9

4.6.2	割り込み例外処理.....	4-9
4.7	命令による例外処理.....	4-10
4.7.1	トラップ命令例外処理.....	4-10
4.7.2	不当命令例外処理.....	4-10
4.8	例外処理後のスタックの状態.....	4-11
4.9	使用上の注意事項.....	4-12
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1
5.2	入出力端子.....	5-2
5.3	レジスタの説明.....	5-3
5.3.1	割り込みコントロールレジスタ (INTCR)	5-3
5.3.2	CPU プライオリティコントロールレジスタ (CPUPCR)	5-4
5.3.3	インタラプトプライオリティレジスタ A~G、I、K~O、Q、R (IPRA~IPRG、IPRI、IPRK~IPRO、IPRQ、IPRR)	5-5
5.3.4	IRQ イネーブルレジスタ (IER)	5-6
5.3.5	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-8
5.3.6	IRQ ステータスレジスタ (ISR)	5-11
5.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)	5-13
5.4	割り込み要因.....	5-14
5.4.1	外部割り込み要因.....	5-14
5.4.2	内部割り込み.....	5-15
5.5	割り込み例外処理ベクタテーブル.....	5-15
5.6	割り込み制御モードと割り込み動作.....	5-22
5.6.1	割り込み制御モード 0.....	5-22
5.6.2	割り込み制御モード 2.....	5-24
5.6.3	割り込み例外処理シーケンス.....	5-26
5.6.4	割り込み応答時間.....	5-27
5.6.5	割り込みによる DMAC の起動.....	5-28
5.7	CPU に対する DMAC の優先レベル制御機能.....	5-30
5.8	使用上の注意事項.....	5-31
5.8.1	割り込みの発生とディスエーブルとの競合	5-31
5.8.2	割り込みを禁止している命令.....	5-32
5.8.3	割り込み禁止期間.....	5-32
5.8.4	EEPMOV 命令実行中の割り込み.....	5-33
5.8.5	MOVMD、MOVSD 命令実行中の割り込み.....	5-33
5.8.6	周辺モジュールの割り込み要因フラグ	5-33
6.	バスコントローラ (BSC)	6-1
6.1	特長.....	6-1

6.2	レジスタの説明.....	6-2
6.2.1	バスコントロールレジスタ 2 (BCR2)	6-2
6.3	バス構成.....	6-3
6.4	マルチクロック機能.....	6-3
6.5	内部バス.....	6-4
6.5.1	内部アドレス空間へのアクセス.....	6-4
6.6	ライトデータバッファ機能.....	6-5
6.6.1	周辺モジュールライトデータバッファ機能	6-5
6.7	バスアービトラージ.....	6-6
6.7.1	動作説明.....	6-6
6.7.2	バス権移行タイミング.....	6-6
6.8	リセットとバスコントローラ.....	6-7
6.9	使用上の注意事項.....	6-7
7.	DMA コントローラ (DMAC)	7-1
7.1	特長.....	7-1
7.2	レジスタの説明.....	7-3
7.2.1	DMA ソースアドレスレジスタ (DSAR)	7-4
7.2.2	DMA デスティネーションアドレスレジスタ (DDAR)	7-4
7.2.3	DMA オフセットレジスタ (DOFR)	7-5
7.2.4	DMA 転送カウントレジスタ (DTCR)	7-5
7.2.5	DMA ブロックサイズレジスタ (DBSR)	7-6
7.2.6	DMA モードコントロールレジスタ (DMDR)	7-7
7.2.7	DMA アドレスコントロールレジスタ (DACR)	7-13
7.2.8	DMA モジュールリクエストセレクトレジスタ (DMRSR)	7-18
7.3	転送モード.....	7-18
7.4	動作説明.....	7-19
7.4.1	アドレスモード.....	7-19
7.4.2	転送モード.....	7-22
7.4.3	起動要因.....	7-27
7.4.4	バスモード.....	7-29
7.4.5	拡張リピートエリア機能.....	7-30
7.4.6	オフセットを使ったアドレス更新機能	7-32
7.4.7	DMA 転送中のレジスタ	7-37
7.4.8	チャンネルの優先順位.....	7-41
7.4.9	基本バスサイクル.....	7-42
7.4.10	デュアルアドレスモードのバスサイクル	7-43
7.4.11	シングルアドレスモードのバスサイクル	7-51
7.5	DMA転送終了.....	7-56
7.6	DMACと他のバスマスタの関係.....	7-58

7.6.1	CPU に対する DMAC の優先レベル制御機能	7-58
7.6.2	他のバスバスタとのバス権の調停	7-58
7.7	割り込み要因	7-60
7.8	使用上の注意事項	7-63
8.	I/O ポート	8-1
8.1	レジスタの説明	8-5
8.1.1	データディレクションレジスタ (PnDDR) (n=1~3, 6, A, D, H, J, K)	8-7
8.1.2	データレジスタ (PnDR) (n=1~3, 6, A, D, H, J, K)	8-7
8.1.3	ポートレジスタ (PORTn) (n=1~6, A, D, H, J, K)	8-7
8.1.4	入力バッファコントロールレジスタ (PnICR) (n=1~6, A, D, H, J, K)	8-8
8.1.5	プルアップ MOS コントロールレジスタ (PnPCR) (n=D, H, J, K)	8-8
8.1.6	オープンドレインコントロールレジスタ (PnODR) (n=2)	8-9
8.1.7	ポート H リアルタイムインプットデータレジスタ (PHRTIDR)	8-9
8.2	出力バッファ制御	8-10
8.2.1	ポート 1	8-10
8.2.2	ポート 2	8-12
8.2.3	ポート 3	8-13
8.2.4	ポート 6	8-16
8.2.5	ポート A	8-18
8.2.6	ポート D	8-20
8.2.7	ポート H	8-22
8.2.8	ポート J	8-22
8.2.9	ポート K	8-25
8.3	ポートファンクションコントローラ	8-31
8.3.1	ポートファンクションコントロールレジスタ 9 (PFCR9)	8-31
8.3.2	ポートファンクションコントロールレジスタ A (PFCRA)	8-32
8.3.3	ポートファンクションコントロールレジスタ B (PFCRB)	8-33
8.4	使用上の注意事項	8-35
8.4.1	入力バッファコントロールレジスタ (ICR) の設定	8-35
8.4.2	ポートファンクションコントロールレジスタ (PFCR) の設定	8-35
9.	16 ビットタイマパルスユニット (TPU)	9-1
9.1	特長	9-1
9.2	入出力端子	9-8
9.3	レジスタの説明	9-10
9.3.1	タイマコントロールレジスタ (TCR)	9-14
9.3.2	タイマモードレジスタ (TMDR)	9-17
9.3.3	タイマ I/O コントロールレジスタ (TIOR)	9-19
9.3.4	タイマインタラプトイネーブルレジスタ (TIER)	9-36

9.3.5	タイマステータスレジスタ (TSR)	9-37
9.3.6	タイマカウンタ (TCNT)	9-40
9.3.7	タイマジェネラルレジスタ (TGR)	9-40
9.3.8	タイマスタートレジスタ (TSTR)	9-40
9.3.9	タイマシンクロレジスタ (TSYR)	9-41
9.4	動作説明	9-42
9.4.1	基本動作	9-42
9.4.2	同期動作	9-47
9.4.3	バッファ動作	9-49
9.4.4	カスケード接続動作	9-52
9.4.5	PWM モード	9-54
9.4.6	位相計数モード	9-59
9.5	割り込み要因	9-64
9.6	DMACの起動	9-67
9.7	A/D変換器の起動	9-67
9.8	動作タイミング	9-68
9.8.1	入出力タイミング	9-68
9.8.2	割り込み信号タイミング	9-72
9.9	使用上の注意事項	9-76
9.9.1	モジュールストップモードの設定	9-76
9.9.2	入力クロックの制限事項	9-76
9.9.3	周期設定上の注意事項	9-77
9.9.4	TCNTのライトとクリアの競合	9-77
9.9.5	TCNTのライトとカウントアップの競合	9-78
9.9.6	TGRのライトとコンペアマッチの競合	9-78
9.9.7	バッファレジスタのライトとコンペアマッチの競合	9-79
9.9.8	TGRのリードとインプットキャプチャの競合	9-79
9.9.9	TGRのライトとインプットキャプチャの競合	9-80
9.9.10	バッファレジスタのライトとインプットキャプチャの競合	9-80
9.9.11	オーバフロー/アンダフローとカウンタクリアの競合	9-81
9.9.12	TCNTのライトとオーバフロー/アンダフローの競合	9-81
9.9.13	入出力端子の兼用	9-82
9.9.14	モジュールストップ時の割り込み	9-82
10.	プログラマブルパルスジェネレータ (PPG)	10-1
10.1	特長	10-1
10.2	入出力端子	10-2
10.3	レジスタの説明	10-2
10.3.1	ネクストデータイネーブルレジスタ H, L (NDERH, NDERL)	10-3
10.3.2	アウトプットデータレジスタ H, L (PODRH, PODRL)	10-4

10.3.3	ネクストデータレジスタ H、L (NDRH、NDRL)	10-5
10.3.4	PPG 出力コントロールレジスタ (PCR)	10-7
10.3.5	PPG 出力モードレジスタ (PMR)	10-8
10.4	動作説明	10-9
10.4.1	出力タイミング	10-10
10.4.2	通常動作のパルス出力設定手順例	10-11
10.4.3	パルス出力通常動作例 (5 相パルス出力例)	10-12
10.4.4	パルス出力ノンオーバーラップ動作	10-13
10.4.5	ノンオーバーラップ動作のパルス出力設定手順例	10-14
10.4.6	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)	10-15
10.4.7	パルス反転出力	10-17
10.4.8	インプットキャプチャによるパルス出力	10-18
10.5	使用上の注意事項	10-18
10.5.1	モジュールストップモードの設定	10-18
10.5.2	パルス出力端子の動作	10-18
11.	ウォッチドッグタイマ (WDT)	11-1
11.1	特長	11-1
11.2	レジスタの説明	11-2
11.2.1	タイマカウンタ (TCNT)	11-3
11.2.2	タイマコントロール/ステータスレジスタ (TCSR)	11-3
11.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	11-4
11.3	動作説明	11-6
11.3.1	ウォッチドッグタイマモード	11-6
11.3.2	インターバルタイマモード	11-7
11.4	割り込み要因	11-8
11.5	使用上の注意事項	11-8
11.5.1	レジスタアクセス時の注意	11-8
11.5.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	11-9
11.5.3	CKS2~CKS0 ビットの書き換え	11-10
11.5.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	11-10
11.5.5	ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移	11-10
12.	シリアルコミュニケーションインタフェース (SCI)	12-1
12.1	特長	12-1
12.2	入出力端子	12-3
12.3	レジスタの説明	12-3
12.3.1	レシーブシフトレジスタ (RSR)	12-4
12.3.2	レシーブデータレジスタ (RDR)	12-4
12.3.3	トランスミットデータレジスタ (TDR)	12-4

12.3.4	トランスミットシフトレジスタ (TSR)	12-5
12.3.5	シリアルモードレジスタ (SMR)	12-5
12.3.6	シリアルコントロールレジスタ (SCR)	12-8
12.3.7	シリアルステータスレジスタ (SSR)	12-11
12.3.8	スマートカードモードレジスタ (SCMR)	12-17
12.3.9	ビットレートレジスタ (BRR)	12-18
12.4	調歩同期式モードの動作	12-24
12.4.1	送受信フォーマット	12-24
12.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	12-26
12.4.3	クロック	12-27
12.4.4	SCI の初期化 (調歩同期式)	12-28
12.4.5	シリアルデータ送信 (調歩同期式)	12-29
12.4.6	シリアルデータ受信 (調歩同期式)	12-31
12.5	マルチプロセッサ通信機能	12-34
12.5.1	マルチプロセッサシリアルデータ送信	12-35
12.5.2	マルチプロセッサシリアルデータ受信	12-36
12.6	クロック同期式モードの動作	12-39
12.6.1	クロック	12-39
12.6.2	SCI の初期化 (クロック同期式)	12-40
12.6.3	シリアルデータ送信 (クロック同期式)	12-41
12.6.4	シリアルデータ受信 (クロック同期式)	12-43
12.6.5	シリアルデータ送受信同時動作 (クロック同期式)	12-45
12.7	スマートカードインタフェースの動作説明	12-47
12.7.1	接続例	12-47
12.7.2	データフォーマット (ブロック転送モード時を除く)	12-48
12.7.3	ブロック転送モード	12-49
12.7.4	受信データサンプリングタイミングと受信マージン	12-50
12.7.5	初期設定	12-51
12.7.6	データ送信 (ブロック転送モードを除く)	12-52
12.7.7	シリアルデータ受信 (ブロック転送モードを除く)	12-55
12.7.8	クロック出力制御	12-57
12.8	割り込み要因	12-59
12.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	12-59
12.8.2	スマートカードインタフェースモードにおける割り込み	12-60
12.9	使用上の注意事項	12-61
12.9.1	モジュールストップモードの設定	12-61
12.9.2	ブレークの検出と処理について	12-61
12.9.3	マーク状態とブレークの送出	12-61
12.9.4	受信エラーフラグと送信動作について (クロック同期式モードのみ)	12-61
12.9.5	TDR へのライトと TDRE フラグの関係について	12-61
12.9.6	DMAC 使用上の制約事項	12-62

12.9.7	モード遷移時の動作について.....	12-62
13.	コントローラエリアネットワーク (RCAN-ET)	13-1
13.1	特長	13-1
13.2	構成	13-2
13.2.1	ブロック図.....	13-2
13.2.2	各ブロックの機能.....	13-3
13.2.3	端子構成	13-4
13.2.4	メモリマップ	13-4
13.3	メールボックス	13-5
13.3.1	メールボックスの構成.....	13-5
13.3.2	メッセージコントロールフィールド	13-7
13.3.3	ローカルアクセプタンスフィルタマスク (LAFM)	13-12
13.3.4	メッセージデータフィールド.....	13-13
13.4	RCAN-ETのコントロールレジスタ	13-13
13.4.1	マスタコントロールレジスタ (MCR)	13-13
13.4.2	ジェネラルステータスレジスタ (GSR)	13-19
13.4.3	ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)	13-21
13.4.4	インタラプトリクエストレジスタ (IRR)	13-25
13.4.5	インタラプトマスクレジスタ (IMR)	13-30
13.4.6	送信エラーカウンタ (TEC) /受信エラーカウンタ (REC)	13-30
13.5	RCAN-ETのメールボックスレジスタ	13-31
13.5.1	送信待ちレジスタ 1、0 (TXPR1、TXPR0)	13-32
13.5.2	送信キャンセルレジスタ 0 (TXCR0)	13-35
13.5.3	送信アクノリッジレジスタ 0 (TXACK0)	13-36
13.5.4	アボートアクノリッジレジスタ 0 (ABACK0)	13-37
13.5.5	データフレーム受信完了レジスタ 0 (RXPR0)	13-38
13.5.6	リモートフレーム受信完了レジスタ 0 (RFPR0)	13-39
13.5.7	メールボックスインタラプトマスクレジスタ 0 (MBIMR0)	13-40
13.5.8	未読メッセージステータスレジスタ 0 (UMSR0)	13-41
13.5.9	RCAN モニタレジスタ (RCANMON)	13-42
13.6	動作説明	13-43
13.6.1	RCAN-ET の設定	13-43
13.6.2	テストモードの設定.....	13-48
13.6.3	メッセージ送信シーケンス.....	13-50
13.6.4	メッセージ受信シーケンス.....	13-52
13.6.5	メールボックスの再設定.....	13-54
13.7	割り込み要因.....	13-56
13.8	DMACインタフェース.....	13-57
13.9	CANバスインタフェース	13-58

13.10	使用上の注意事項	13-59
13.10.1	モジュールストップモード	13-59
13.10.2	リセット	13-59
13.10.3	CAN スリープモード	13-59
13.10.4	レジスタアクセス	13-59
13.10.5	割り込み	13-59
14.	シンクロナスシリアルコミュニケーションユニット (SSU)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	SS コントロールレジスタ H (SSCRH)	14-5
14.3.2	SS コントロールレジスタ L (SSCRL)	14-6
14.3.3	SS モードレジスタ (SSMR)	14-7
14.3.4	SS イネーブルレジスタ (SSER)	14-8
14.3.5	SS ステータスレジスタ (SSSR)	14-9
14.3.6	SS コントロールレジスタ 2 (SSCR2)	14-11
14.3.7	SS トランスミットデータレジスタ 0~3 (SSTDR0~SSTDR3)	14-13
14.3.8	SS レシーブデータレジスタ 0~3 (SSRDR0~SSRDR3)	14-14
14.3.9	SS シフトレジスタ (SSTRSR)	14-15
14.4	動作説明	14-15
14.4.1	転送クロック	14-15
14.4.2	クロックの位相、極性とデータの関係	14-15
14.4.3	データ入出力端子とシフトレジスタの関係	14-16
14.4.4	各通信モードと端子機能	14-18
14.4.5	SSU モード	14-19
14.4.6	$\overline{\text{SCS}}$ 端子制御とコンフリクトエラー	14-26
14.4.7	クロック同期式通信モード	14-27
14.5	割り込み要求	14-33
14.6	使用上の注意事項	14-33
14.6.1	モジュールストップモードの設定	14-33
15.	A/D 変換器	15-1
15.1	特長	15-1
15.2	入出力端子	15-4
15.3	レジスタの説明	15-5
15.3.1	A/D データレジスタ A~H (ADDRA~ADDRH)	15-6
15.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	15-7
15.3.3	A/D コントロールレジスタ (ADCR)	15-8
15.4	動作説明	15-9

15.4.1	シングルモード	15-9
15.4.2	スキャンモード	15-10
15.4.3	入力サンプリングと A/D 変換時間	15-11
15.4.4	外部トリガ入力タイミング	15-13
15.5	割り込み要因	15-13
15.6	A/D変換精度の定義	15-14
15.7	使用上の注意事項	15-15
15.7.1	モジュールストップモードの設定	15-15
15.7.2	許容信号源インピーダンスについて	15-15
15.7.3	絶対精度への影響	15-16
15.7.4	アナログ電源端子他の設定範囲	15-16
15.7.5	ボード設計上の注意	15-16
15.7.6	ノイズ対策上の注意	15-17
15.7.7	ソフトウェアスタンバイ時の A/D 変換保持機能	15-18
16.	RAM	16-1
17.	フラッシュメモリ (0.18 μ m F-ZTAT 版)	17-1
17.1	特長	17-1
17.2	モード遷移図	17-3
17.3	メモリマップ構成	17-4
17.4	ブロック構成	17-5
17.5	書き込み/消去インタフェース	17-6
17.6	入出力端子	17-8
17.7	レジスタの説明	17-8
17.7.1	書き込み/消去インタフェースレジスタ	17-10
17.7.2	書き込み/消去インタフェースパラメータ	17-15
17.7.3	RAM エミュレーションレジスタ (RAMER)	17-26
17.8	オンボードプログラミング	17-27
17.8.1	ブートモード	17-27
17.8.2	ユーザプログラムモード	17-30
17.8.3	ユーザブートモード	17-39
17.8.4	内蔵プログラム、書き込みデータの格納可能領域	17-42
17.9	プロテクト	17-47
17.9.1	ハードウェアプロテクト	17-47
17.9.2	ソフトウェアプロテクト	17-47
17.9.3	エラープロテクト	17-48
17.10	RAMによるフラッシュメモリのエミュレーション	17-49
17.11	ユーザマップとユーザブートマップの切り替え	17-52
17.12	ライターモード	17-53

17.13	ブートモードの標準シリアル通信インタフェース仕様	17-53
17.14	使用上の注意事項	17-78
18.	クロック発振器	18-1
18.1	レジスタの説明	18-2
18.1.1	システムクロックコントロールレジスタ (SCKCR)	18-2
18.2	発振器	18-4
18.2.1	水晶発振子を接続する方法	18-4
18.2.2	外部クロックを入力する方法	18-5
18.3	PLL回路	18-5
18.4	分周器	18-5
18.5	使用上の注意事項	18-6
18.5.1	クロック発振器に関する使用上の注意事項	18-6
18.5.2	発振子に関する注意事項	18-7
18.5.3	ボード設計上の注意	18-7
18.5.4	入力クロック周波数に関する注意	18-8
19.	低消費電力	19-1
19.1	特長	19-1
19.2	レジスタの説明	19-3
19.2.1	スタンバイコントロールレジスタ (SBYCR)	19-3
19.2.2	モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)	19-5
19.2.3	モジュールストップコントロールレジスタ C (MSTPCRC)	19-8
19.3	マルチクロック機能	19-9
19.4	モジュールストップ機能	19-9
19.5	スリープモード	19-10
19.5.1	スリープモードへの遷移	19-10
19.5.2	スリープモードの解除	19-10
19.6	全モジュールクロックストップモード	19-10
19.7	ソフトウェアスタンバイモード	19-11
19.7.1	ソフトウェアスタンバイモードへの遷移	19-11
19.7.2	ソフトウェアスタンバイモードの解除	19-11
19.7.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	19-12
19.7.4	ソフトウェアスタンバイモードの応用例	19-13
19.8	Bφ出力制御	19-14
19.9	使用上の注意事項	19-14
19.9.1	I/O ポートの状態	19-14
19.9.2	発振安定待機中の消費電流	19-14
19.9.3	DMAC のモジュールストップ	19-14
19.9.4	内蔵周辺モジュールの割り込み	19-15

19.9.5	MSTPCRA、MSTPCRB、MSTPCRC のライト	19-15
20.	レジスタ一覧	20-1
20.1	レジスタアドレス一覧（アドレス順）	20-2
20.2	レジスタビット一覧	20-18
20.3	各動作モードにおけるレジスタの状態	20-36
21.	電気的特性	21-1
21.1	絶対最大定格	21-1
21.2	DC特性	21-2
21.3	AC特性	21-4
21.3.1	クロックタイミング	21-5
21.3.2	制御信号タイミング	21-7
21.3.3	内蔵周辺モジュールタイミング	21-9
21.4	A/D変換特性	21-15
21.5	フラッシュメモリ特性	21-16
付録		付録-1
A.	各処理状態におけるポートの状態	付録-1
B.	型名一覧	付録-1
C.	外形寸法図	付録-2
索引		索引-1

図目次

1. 概要	
図1.1 H8SX/1527R内部ブロック図	1-2
図1.2 H8SX/1525R内部ブロック図	1-3
図1.3 H8SX/1527Rピン配置図	1-4
図1.4 H8SX/1525Rピン配置図	1-5
2. CPU	
図2.1 CPU動作モード	2-3
図2.2 例外処理ベクタテーブル（ノーマルモード）	2-4
図2.3 スタック構造（ノーマルモード）	2-4
図2.4 例外処理ベクタテーブル（ミドルモード、アドバンストモード）	2-6
図2.5 スタック構造（ミドルモード、アドバンストモード）	2-7
図2.6 例外処理ベクタテーブル（マキシマムモード）	2-8
図2.7 スタック構造（マキシマムモード）	2-9
図2.8 メモリマップ	2-10
図2.9 CPU内部レジスタ構成	2-11
図2.10 汎用レジスタの使用方法	2-12
図2.11 スタックの状態	2-13
図2.12 汎用レジスタのデータ形式	2-16
図2.13 メモリ上でのデータ形式	2-17
図2.14 命令フォーマットの例	2-33
図2.15 メモリ間接による分岐アドレスの指定	2-38
図2.16 状態遷移図	2-43
3. MCU 動作モード	
図3.1 アドレスマップ	3-5
4. 例外処理	
図4.1 リセットシーケンス（アドバンストモード／内蔵ROM有効）	4-5
図4.2 例外処理終了後のスタックの状態	4-11
図4.3 SPを奇数に設定したときの動作	4-12
5. 割り込みコントローラ	
図5.1 割り込みコントローラのブロック図	5-2
図5.2 IRQ _n 割り込みのブロック図	5-14
図5.3 割り込み制御モード0の割り込み受け付けまでのフロー	5-23
図5.4 割り込み制御モード2の割り込み受け付けまでのフロー	5-25
図5.5 割り込み例外処理	5-26
図5.6 DMACと割り込みコントローラ	5-28
図5.7 割り込みの発生とディスエーブルの競合	5-32
6. バスコントローラ（BSC）	
図6.1 バスコントローラのブロック図	6-1
図6.2 内部バス構成	6-3
図6.3 周辺モジュールライトデータバッファ機能使用時のタイミング例	6-5

7.	DMA コントローラ (DMAC)	
図7.1	DMACのブロック図	7-2
図7.2	デュアルアドレスモードのタイミング例	7-19
図7.3	デュアルアドレスモードの動作	7-20
図7.4	シングルアドレスモードでのデータの流れ	7-21
図7.5	シングルアドレスモードのタイミング例	7-21
図7.6	シングルアドレスモードの動作	7-22
図7.7	ノーマル転送モードのタイミング例	7-22
図7.8	ノーマル転送モードの動作	7-23
図7.9	リピート転送モードの動作	7-24
図7.10	ブロック転送モードの例	7-25
図7.11	シングルアドレスモードのブロック転送モード (ブロックエリアの指定あり) の動作	7-25
図7.12	デュアルアドレスモードのブロック転送モード (ブロックエリアの指定なし) の動作	7-26
図7.13	サイクルスチールモードのタイミング例	7-29
図7.14	バーストモードのタイミング例	7-30
図7.15	拡張リピートエリア機能の例	7-31
図7.16	ブロック転送モードと拡張リピートエリア機能を併用したときの例	7-32
図7.17	アドレスの更新方法	7-33
図7.18	オフセット更新機能の動作	7-34
図7.19	リピート転送モード+オフセット加算によるXY変換のときの動作	7-35
図7.20	リピート転送モード+オフセット加算によるXY変換のフロー	7-36
図7.21	動作中のチャンネルのレジスタ設定を変更するときの手順	7-39
図7.22	チャンネルの優先順位のタイミング例	7-41
図7.23	DMA転送バスタイミング例	7-42
図7.24	ノーマル転送モードかつサイクルスチールモードの転送例	7-43
図7.25	ノーマル転送モードかつサイクルスチールモードの転送例 (転送元DSAR=奇数アドレス、ソースアドレス増加)	7-44
図7.26	ノーマル転送モードかつサイクルスチールモードの転送例 (転送先DDAR=奇数アドレス、デスティネーションアドレス減少)	7-44
図7.27	ノーマル転送モードかつバーストモードの転送例	7-45
図7.28	ブロック転送モードの転送例	7-46
図7.29	\overline{DREQ} 立ち下がりエッジ起動時のノーマル転送モードの転送例	7-47
図7.30	\overline{DREQ} レベル起動時のノーマル転送モードの転送例	7-48
図7.31	\overline{DREQ} レベル起動時のブロック転送モードの転送例	7-49
図7.32	$\overline{NRD}=1$ のときの \overline{DREQ} Lowレベル起動時のノーマル転送モードの転送例	7-50
図7.33	シングルアドレスモード (バイトリード) の転送例	7-51
図7.34	シングルアドレスモード (バイトライト) の転送例	7-52
図7.35	\overline{DREQ} 立ち下がりエッジ起動時のシングルアドレスモードの転送例	7-53
図7.36	\overline{DREQ} Lowレベル起動時のシングルアドレスモードの転送例	7-54
図7.37	$\overline{NRD}=1$ のときの \overline{DREQ} Lowレベル起動時のシングルアドレスモードの転送例	7-55
図7.38	割り込みと割り込み要因	7-61
図7.39	割り込みを解除して、転送を再開する手順例	7-62
8.	I/O ポート	
図8.1	I/Oポートブロック図	8-6

9. 16ビットタイマパルスユニット (TPU)

図9.1	TPU (ユニット0) のブロック図	9-6
図9.2	TPU (ユニット1) のブロック図	9-7
図9.3	カウンタ動作設定手順例	9-42
図9.4	フリーランニングカウンタの動作	9-43
図9.5	周期カウンタの動作	9-44
図9.6	コンペアマッチによる波形出力動作例	9-44
図9.7	0出力/1出力の動作例	9-45
図9.8	トグル出力の動作例	9-45
図9.9	インプットキャプチャ動作の設定例	9-46
図9.10	インプットキャプチャ動作例	9-47
図9.11	同期動作の設定手順例	9-48
図9.12	同期動作の動作例	9-49
図9.13	コンペアマッチバッファ動作	9-50
図9.14	インプットキャプチャバッファ動作	9-50
図9.15	バッファ動作の設定手順例	9-50
図9.16	バッファ動作例 (1)	9-51
図9.17	バッファ動作例 (2)	9-52
図9.18	カスケード接続動作設定手順例	9-53
図9.19	カスケード接続動作例 (1)	9-53
図9.20	カスケード接続動作例 (2)	9-54
図9.21	PWMモードの設定手順例	9-56
図9.22	PWMモードの動作例 (1)	9-56
図9.23	PWMモードの動作例 (2)	9-57
図9.24	PWMモード動作例 (3)	9-58
図9.25	位相計数モードの設定手順例	9-59
図9.26	位相計数モード1の動作例	9-60
図9.27	位相計数モード2の動作例	9-61
図9.28	位相計数モード3の動作例	9-62
図9.29	位相計数モード4の動作例	9-63
図9.30	位相計数モードの応用例	9-64
図9.31	内部クロック動作時のカウントタイミング	9-68
図9.32	外部クロック動作時のカウントタイミング	9-68
図9.33	アウトプットコンペア出力タイミング	9-69
図9.34	インプットキャプチャ入力信号タイミング	9-69
図9.35	カウンタクリアタイミング (コンペアマッチ)	9-70
図9.36	カウンタクリアタイミング (インプットキャプチャ)	9-70
図9.37	バッファ動作タイミング (コンペアマッチ)	9-71
図9.38	バッファ動作タイミング (インプットキャプチャ)	9-71
図9.39	TGI割り込みタイミング (コンペアマッチ)	9-72
図9.40	TGI割り込みタイミング (インプットキャプチャ)	9-73
図9.41	TCIV割り込みのセットタイミング	9-73
図9.42	TCIU割り込みのセットタイミング	9-74
図9.43	CPUによるステータスフラグのクリアタイミング	9-74
図9.44	DMACの起動によるステータスフラグのクリアタイミング例 (1)	9-75
図9.45	DMACの起動によるステータスフラグのクリアタイミング例 (2)	9-75
図9.46	位相計数モード時の位相差、オーバーラップ、およびパルス幅	9-76

図9.47	TCNTのライトとクリアの競合	9-77
図9.48	TCNTのライトとカウントアップの競合	9-78
図9.49	TGRのライトとコンペアマッチの競合	9-78
図9.50	バッファレジスタのライトとコンペアマッチの競合	9-79
図9.51	TGRのリードとインプットキャプチャの競合	9-79
図9.52	TGRのライトとインプットキャプチャの競合	9-80
図9.53	バッファレジスタのライトとインプットキャプチャの競合	9-80
図9.54	オーバフローとカウンタクリアの競合	9-81
図9.55	TCNTのライトとオーバフローの競合	9-81
10.	プログラマブルパルスジェネレータ (PPG)	
図10.1	PPGのブロック図	10-1
図10.2	PPG概要図	10-9
図10.3	NDRの内容が転送・出力されるタイミング例	10-10
図10.4	パルス出力通常動作の設定手順例	10-11
図10.5	パルス出力通常動作例 (5相パルス出力例)	10-12
図10.6	パルス出力ノンオーバラップ動作	10-13
図10.7	ノンオーバラップ動作とNDRライトタイミング	10-13
図10.8	パルス出力ノンオーバラップ動作の設定手順例	10-14
図10.9	パルス出力ノンオーバラップ動作例 (4相の相補ノンオーバラップ出力)	10-15
図10.10	パルス反転出力例	10-17
図10.11	インプットキャプチャによるパルス出力例	10-18
11.	ウォッチドッグタイマ (WDT)	
図11.1	WDTのブロック図	11-2
図11.2	ウォッチドッグタイマモード時の動作	11-6
図11.3	インターバルタイマモード時の動作	11-7
図11.4	TCNT、TCSR、RSTCSRへのライト	11-9
図11.5	TCNTのライトとカウントアップの競合	11-10
12.	シリアルコミュニケーションインタフェース (SCI)	
図12.1	SCIのブロック図	12-2
図12.2	調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	12-24
図12.3	調歩同期式モードの受信データサンプリングタイミング	12-26
図12.4	出力クロックと送信データの位相関係 (調歩同期式モード)	12-27
図12.5	SCIの初期化フローチャートの例	12-28
図12.6	調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	12-29
図12.7	シリアル送信のフローチャートの例	12-30
図12.8	SCIの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	12-31
図12.9	シリアル受信のフローチャートの例 (1)	12-32
図12.9	シリアル受信のフローチャートの例 (2)	12-33
図12.10	マルチプロセッサフォーマットを使用した通信例 (受信局AへのデータH'AAの送信の例)	12-34
図12.11	マルチプロセッサシリアル送信のフローチャートの例	12-35
図12.12	SCIの受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	12-36

図12.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	12-37
図12.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	12-38
図12.14	クロック同期式通信のデータフォーマット (LSBファーストの場合)	12-39
図12.15	SCIの初期化フローチャートの例	12-40
図12.16	クロック同期式モードの送信時の動作例	12-41
図12.17	シリアル送信のフローチャートの例	12-42
図12.18	SCIの受信時の動作例	12-43
図12.19	シリアル受信のフローチャートの例	12-44
図12.20	シリアル送受信同時動作のフローチャートの例	12-46
図12.21	スマートカードインタフェース端子接続概要	12-47
図12.22	通常のスマートカードインタフェースのデータフォーマット	12-48
図12.23	ダイレクトコンベンション (SDIR=SINV=O/E=0)	12-49
図12.24	インバースコンベンション (SDIR=SINV=O/E=1)	12-49
図12.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)	12-50
図12.26	SCI送信モードの場合の再転送動作	12-53
図12.27	送信動作時のTENDフラグ発生タイミング	12-53
図12.28	送信処理フローの例	12-54
図12.29	SCI受信モードの場合の再転送動作	12-55
図12.30	受信フローの例	12-56
図12.31	クロック出力固定タイミング	12-57
図12.32	クロック停止・再起動手順	12-58
図12.33	DMACによるクロック同期式送信時の例	12-62
図12.34	送信時のモード遷移フローチャートの例	12-63
図12.35	モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)	12-63
図12.36	モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)	12-64
図12.37	受信時のモード遷移フローチャートの例	12-64
13.	コントローラエリアネットワーク (RCAN-ET)	
図13.1	RCAN-ETのブロック図	13-2
図13.2	RCAN-ETのメモリマップ	13-4
図13.3	メールボックスNの構成	13-6
図13.4	ローカルアクセプタンスフィルタマスク (LAFM)	13-12
図13.5	ID並べ替え	13-18
図13.6	PORTインタフェース概要	13-42
図13.7	リセットシーケンス	13-44
図13.8	CANスリープモードのフローチャート	13-46
図13.9	状態遷移図	13-47
図13.10	メッセージ送信リクエスト	13-50
図13.11	送信用内部アービトレーション	13-51
図13.12	メッセージ受信シーケンス	13-52
図13.13	受信ボックスのID変更/受信ボックスから送信ボックスへの変更	13-55
図13.14	DMACの転送フローチャート	13-57
図13.15	HA13721を用いたハイスピードインタフェース	13-58
14.	シンクロナスシリアルコミュニケーションユニット (SSU)	
図14.1	SSUのブロック図	14-2
図14.2	クロックの位相、極性とデータの関係	14-16
図14.3	データ入出力端子とシフトレジスタの関係	14-17

図14.4	SSUモードの初期設定例	14-20
図14.5	送信時の動作例 (SSUモード)	14-21
図14.6	データ送信のフローチャート例 (SSUモード)	14-22
図14.7	受信時の動作例 (SSUモード)	14-23
図14.8	データ受信のフローチャート例 (SSUモード)	14-24
図14.9	データ送受信同時動作のフローチャート例 (SSUモード)	14-25
図14.10	コンフリクトエラー検出タイミング (転送前)	14-26
図14.11	コンフリクトエラー検出タイミング (転送終了後)	14-26
図14.12	クロック同期式通信モードの初期設定例	14-27
図14.13	送信時の動作例 (クロック同期式通信モード)	14-28
図14.14	データ送信のフローチャート例 (クロック同期式通信モード)	14-29
図14.15	受信時の動作例 (クロック同期式通信モード)	14-30
図14.16	データ受信のフローチャート例 (クロック同期式通信モード)	14-31
図14.17	データ送受信同時動作のフローチャート例 (クロック同期式通信モード)	14-32
15. A/D 変換器		
図15.1	A/D変換器 (ユニット0/AD_0) のブロック図	15-2
図15.2	A/D変換器 (ユニット1/AD_1) のブロック図	15-3
図15.3	A/D変換器の動作例 (シングルモード、チャンネル1選択時)	15-10
図15.4	A/D変換器の動作例 (スキャンモード、AN0~AN2の3チャンネル選択時)	15-11
図15.5	A/D変換タイミング	15-12
図15.6	外部トリガ入力タイミング	15-13
図15.7	A/D変換精度の定義	15-14
図15.8	A/D変換精度の定義	15-15
図15.9	アナログ入力回路の例	15-16
図15.10	アナログ入力保護回路の例	15-17
図15.11	アナログ入力端子等価回路	15-17
17. フラッシュメモリ (0.18 μ m F-ZTAT 版)		
図17.1	フラッシュメモリのブロック図	17-2
図17.2	フラッシュメモリに関する状態遷移	17-3
図17.3	メモリマップ構成	17-4
図17.4	ユーザマップのブロック構成	17-5
図17.5	手続きプログラムの作成手順	17-6
図17.6	ブートモードのシステム構成図	17-27
図17.7	ビットレートの自動合わせ込み	17-28
図17.8	ブートモードの状態遷移図	17-29
図17.9	書き込み/消去フロー	17-30
図17.10	書き込み/消去実行時のRAMマップ	17-31
図17.11	ユーザプログラムモードでの書き込み手順	17-32
図17.12	ユーザプログラムモードでの消去手順	17-36
図17.13	ユーザプログラムモードでの消去、書き込み、RAMエミュレーション手順	17-38
図17.14	ユーザブートモードでのユーザマップへの書き込み手順	17-40
図17.15	ユーザブートモードでのユーザマップの消去手順	17-41
図17.16	エラープロテクト状態への状態遷移図	17-48
図17.17	RAMによるエミュレーションフロー	17-49
図17.18	RAMのオーバーラップ動作例	17-50
図17.19	チューニング終了データの書き込み	17-51
図17.20	ユーザマップ/ユーザブートマップの切り替え	17-52

図17.21	ブートプログラムのステータス	17-54
図17.22	ビットレート合わせ込みのシーケンス	17-55
図17.23	通信プロトコルフォーマット	17-56
図17.24	新ビットレート選択のシーケンス	17-66
図17.25	書き込みシーケンス	17-69
図17.26	消去シーケンス	17-69
18.	クロック発振器	
図18.1	クロック発振器のブロック図	18-1
図18.2	水晶発振子の接続例	18-4
図18.3	水晶発振子の等価回路	18-4
図18.4	外部クロックの接続例	18-5
図18.5	クロック変更タイミング	18-7
図18.6	発振回路部のボード設計に関する注意事項	18-7
図18.7	バイパスコンデンサの接続例	18-8
19.	低消費電力	
図19.1	モード遷移図	19-2
図19.2	ソフトウェアスタンバイモードの応用例	19-13
21.	電気的特性	
図21.1	出力負荷回路	21-4
図21.2	システムクロックタイミング	21-5
図21.3	ソフトウェアスタンバイ発振安定時間タイミング	21-6
図21.4	発振安定時間タイミング	21-6
図21.5	外部入力クロックタイミング	21-7
図21.6	リセット入力タイミング	21-7
図21.7	割り込み入力タイミング	21-8
図21.8	I/Oポート入出力タイミング	21-11
図21.9	リアルタイムインプットポートデータ入力タイミング	21-11
図21.10	TPU入出力タイミング	21-11
図21.11	TPUクロック入力タイミング	21-12
図21.12	PPG出力タイミング	21-12
図21.13	SCKクロック入出力タイミング	21-12
図21.14	SCI入出力タイミング/クロック同期式モード	21-12
図21.15	A/D変換器外部トリガ入力タイミング	21-13
図21.16	RCAN-ET入出力タイミング	21-13
図21.17	SSUタイミング (マスタ、CPHS=1)	21-13
図21.18	SSUタイミング (マスタ、CPHS=0)	21-14
図21.19	SSUタイミング (スレーブ、CPHS=1)	21-14
図21.20	SSUタイミング (スレーブ、CPHS=0)	21-15
付録		
図C.1	外形寸法図 (PRQP0100KB-A)	付録-2

表目次

1. 概要	
表1.1 動作モード別ピン配置一覧	1-6
表1.2 端子機能	1-9
2. CPU	
表2.1 命令の分類	2-18
表2.2 命令とアドレッシングモードの組み合わせ (1)	2-20
表2.2 命令とアドレッシングモードの組み合わせ (2)	2-23
表2.3 オペレーションの記号	2-24
表2.4 データ転送命令	2-25
表2.5 ブロック転送命令	2-25
表2.6 算術演算命令	2-26
表2.7 論理演算命令	2-28
表2.8 シフト命令	2-28
表2.9 ビット操作命令	2-29
表2.10 分岐命令	2-31
表2.11 システム制御命令	2-32
表2.12 アドレッシングモード一覧表	2-34
表2.13 絶対アドレスのアクセス範囲	2-37
表2.14 転送/演算命令の実効アドレスの計算方法	2-40
表2.15 分岐命令の実効アドレスの計算方法	2-41
3. MCU 動作モード	
表3.1 MCU動作モードの選択	3-1
表3.2 MDS2~MDS0ビットの値	3-3
4. 例外処理	
表4.1 例外処理の種類と優先度	4-1
表4.2 例外処理ベクタテーブル	4-2
表4.3 例外処理ベクタテーブルアドレスの算出法	4-3
表4.4 トレース例外処理後のCCR、EXRの状態	4-6
表4.5 バスサイクルとアドレスエラー	4-7
表4.6 アドレスエラー例外処理後のCCR、EXRの状態	4-8
表4.7 割り込み要因	4-9
表4.8 トラップ命令例外処理後のCCR、EXRの状態	4-10
表4.9 不当命令例外処理後のCCR、EXRの状態	4-11
5. 割り込みコントローラ	
表5.1 端子構成	5-2
表5.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位	5-16
表5.3 割り込み制御モード	5-22
表5.4 割り込み応答時間	5-27
表5.5 割り込み例外処理の実行状態のステート数	5-27
表5.6 割り込み要因の選択とクリア制御	5-29

表5.7	CPUの優先レベルの制御	5-30
表5.8	CPUに対するDMACの優先レベル制御機能の設定例とそのときの制御状態	5-31
6.	バスコントローラ (BSC)	
表6.1	同期クロックと対応する機能	6-4
表6.2	内蔵メモリ空間のアクセスサイクル数	6-4
表6.3	内蔵周辺モジュールレジスタ空間のアクセスサイクル数	6-5
7.	DMA コントローラ (DMAC)	
表7.1	データアクセスサイズと有効ビット、設定可能サイズの対応	7-6
表7.2	拡張リピートエリアの設定と範囲	7-17
表7.3	転送モード	7-18
表7.4	DMAC内蔵モジュール割り込み一覧	7-28
表7.5	DMACのチャンネル間の優先順位	7-41
表7.6	割り込み要因と優先度	7-60
8.	I/O ポート	
表8.1	ポート機能一覧	8-1
表8.2	各ポートのレジスタ構成	8-5
表8.3	入力プルアップMOSの状態	8-9
表8.4	各ポートの出力信号有効設定一覧	8-28
9.	16 ビットタイマパルスユニット (TPU)	
表9.1	製品別ユニット構成	9-1
表9.2	TPU (ユニット0) の機能一覧	9-2
表9.3	TPU (ユニット1) の機能一覧	9-4
表9.4	端子構成	9-8
表9.5	CCLR2~CCLR0 (チャンネル0、3)	9-14
表9.6	CCLR2~CCLR0 (チャンネル1、2、4、5)	9-15
表9.7	入力クロックエッジ選択	9-15
表9.8	TPSC2~TPSC0 (チャンネル0)	9-15
表9.9	TPSC2~TPSC0 (チャンネル1)	9-16
表9.10	TPSC2~TPSC0 (チャンネル2)	9-16
表9.11	TPSC2~TPSC0 (チャンネル3)	9-16
表9.12	TPSC2~TPSC0 (チャンネル4)	9-17
表9.13	TPSC2~TPSC0 (チャンネル5)	9-17
表9.14	MD3~MD0	9-18
表9.15	TIORH_0	9-20
表9.16	TIORL_0	9-21
表9.17	TIOR_1	9-22
表9.18	TIOR_2	9-23
表9.19	TIORH_3	9-24
表9.20	TIORL_3	9-25
表9.21	TIOR_4	9-26
表9.22	TIOR_5	9-27
表9.23	TIORH_0	9-28
表9.24	TIORL_0	9-29
表9.25	TIOR_1	9-30
表9.26	TIOR_2	9-31
表9.27	TIORH_3	9-32

表9.28	TIORL_3	9-33
表9.29	TIOR_4	9-34
表9.30	TIOR_5	9-35
表9.31	レジスタの組み合わせ	9-49
表9.32	カスケード接続組み合わせ	9-52
表9.33	各PWM出力のレジスタと出力端子	9-55
表9.34	位相計数モードクロック入力端子	9-59
表9.35	位相計数モード1のアップ/ダウンカウント条件	9-60
表9.36	位相計数モード2のアップ/ダウンカウント条件	9-61
表9.37	位相計数モード3のアップ/ダウンカウント条件	9-62
表9.38	位相計数モード4のアップ/ダウンカウント条件	9-63
表9.39	TPU割り込み一覧	9-65
10.	プログラマブルパルスジェネレータ (PPG)	
表10.1	PPGの入出力端子	10-2
11.	ウォッチドッグタイマ (WDT)	
表11.1	WDTの割り込み要因	11-8
12.	シリアルコミュニケーションインタフェース (SCI)	
表12.1	端子構成	12-3
表12.2	BRRの設定値NとビットレートBの関係	12-18
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (1)	12-19
表12.3	ビットレートに対するBRRの設定例〔調歩同期式モード〕 (2)	12-20
表12.4	各動作周波数における最大ビットレート (調歩同期式モード)	12-21
表12.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	12-21
表12.6	ビットレートに対するBRRの設定例〔クロック同期式モード〕	12-22
表12.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	12-22
表12.8	ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)	12-23
表12.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=372のとき)	12-23
表12.10	シリアル送信/受信フォーマット (調歩同期式モード)	12-25
表12.11	SSRのステータスフラグの状態と受信データの処理	12-32
表12.12	SCI割り込み要因	12-59
表12.13	SCI割り込み要因	12-60
13.	コントローラエリアネットワーク (RCAN-ET)	
表13.1	端子構成	13-4
表13.2	各メールボックスのアドレスマップ	13-5
表13.3	メールボックスの機能の設定	13-11
表13.4	RCAN-ETのコントロールレジスタの構成	13-13
表13.5	TSGとTSEGの設定	13-24
表13.6	RCAN-ETのメールボックスレジスタ	13-31
表13.7	アクセス可能なレジスタ	13-48
表13.8	テストモードの設定	13-48
表13.9	RCAN-ETの割り込み要因	13-56
14.	シンクロナスシリアルコミュニケーションユニット (SSU)	
表14.1	端子構成	14-3
表14.2	DATSビットの設定とSSTDRの対応表	14-13

表14.3	DATSビットの設定とSSRDRの対応表	14-14
表14.4	各通信モードとSSI、SSO端子の状態	14-18
表14.5	各通信モードとSSCK端子の状態	14-19
表14.6	各通信モードとSCS端子の状態	14-19
表14.7	SSU割り込み要因	14-33
15.	A/D変換器	
表15.1	端子構成	15-4
表15.2	アナログ入力チャンネルとADDRの対応	15-6
表15.3	A/D変換特性（シングルモード）	15-12
表15.4	A/D変換特性（スキャンモード）	15-12
表15.5	A/D変換器の割り込み要因	15-13
表15.6	アナログ端子の規格	15-17
17.	フラッシュメモリ（0.18 μ m F-ZTAT版）	
表17.1	ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードの相違点	17-3
表17.2	端子構成	17-8
表17.3	使用レジスタ/パラメータと対象モード	17-9
表17.4	使用パラメータと対象モード	17-15
表17.5	オンボードプログラミングモードの設定方法	17-27
表17.6	ビットレート自動合わせ込みが可能なシステムクロック周波数	17-28
表17.7	実行可能なメモリマップ	17-42
表17.8	ユーザプログラムモードでの書き込み処理で使用可能エリア	17-43
表17.9	ユーザプログラムモードでの消去処理で使用可能エリア	17-44
表17.10	ユーザブートモードでの書き込み処理で使用可能エリア	17-45
表17.11	ユーザブートモードでの消去処理で使用可能エリア	17-46
表17.12	ハードウェアプロテクト	17-47
表17.13	ソフトウェアプロテクト	17-47
表17.14	ライターモードでサポートするデバイスタイプ	17-53
表17.15	問い合わせ選択コマンド一覧	17-57
表17.16	書き込み/消去コマンド一覧	17-68
表17.17	ステータスコード	17-77
表17.18	エラーコード	17-77
表17.19	ユーザブランチ処理の起動間隔	17-79
18.	クロック発振器	
表18.1	ダンピング抵抗値	18-4
表18.2	水晶発振器の特性	18-4
19.	低消費電力	
表19.1	動作状態	19-2
表19.2	発振安定時間の設定	19-12
表19.3	各処理状態における ϕ 端子（PA7）の状態	19-14
21.	電気的特性	
表21.1	絶対最大定格	21-1
表21.2	DC特性（1）	21-2
表21.2	DC特性（2）	21-3
表21.3	出力許容電流値	21-4
表21.4	クロックタイミング	21-5

表21.5	制御信号タイミング	21-7
表21.6	内蔵周辺モジュールタイミング (1)	21-9
表21.7	内蔵周辺モジュールタイミング (2)	21-10
表21.8	A/D変換特性	21-15
表21.9	フラッシュメモリ特性	21-16

付録

表A.1	各処理状態におけるポートの状態	付録-1
------	-----------------------	------

1. 概要

1.1 特長

- 32ビット高速H8SX CPU
H8/300 CPU、H8/300H CPUおよびH8S CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：87種類
- 豊富な周辺機能
DMAコントローラ（DMAC）
16ビットタイマパルスユニット（TPU）
プログラマブルパルスジェネレータ（PPG）*
ウォッチドッグタイマ（WDT）
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース（SCI）
コントローラエリアネットワーク（RCAN-ET）
シンクロナスシリアルコミュニケーションユニット（SSU）
10ビットA/D変換器
クロック発振器

【注】 * H8SX/1527R のみ内蔵

- 内蔵メモリ

製品分類		製品型名	ROM	RAM
フラッシュメモリ版	H8SX/1527R	R5F61527R	256k バイト	12k バイト
	H8SX/1525R	R5F61525R	256k バイト	12k バイト

- 汎用入出力ポート
入出力ポート：65本
入力ポート：17本
- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
QFP-100	PRQP0100KB-A (FP-100M)	14.0×14.0mm	0.50mm

1. 概要

• 内部ブロック図

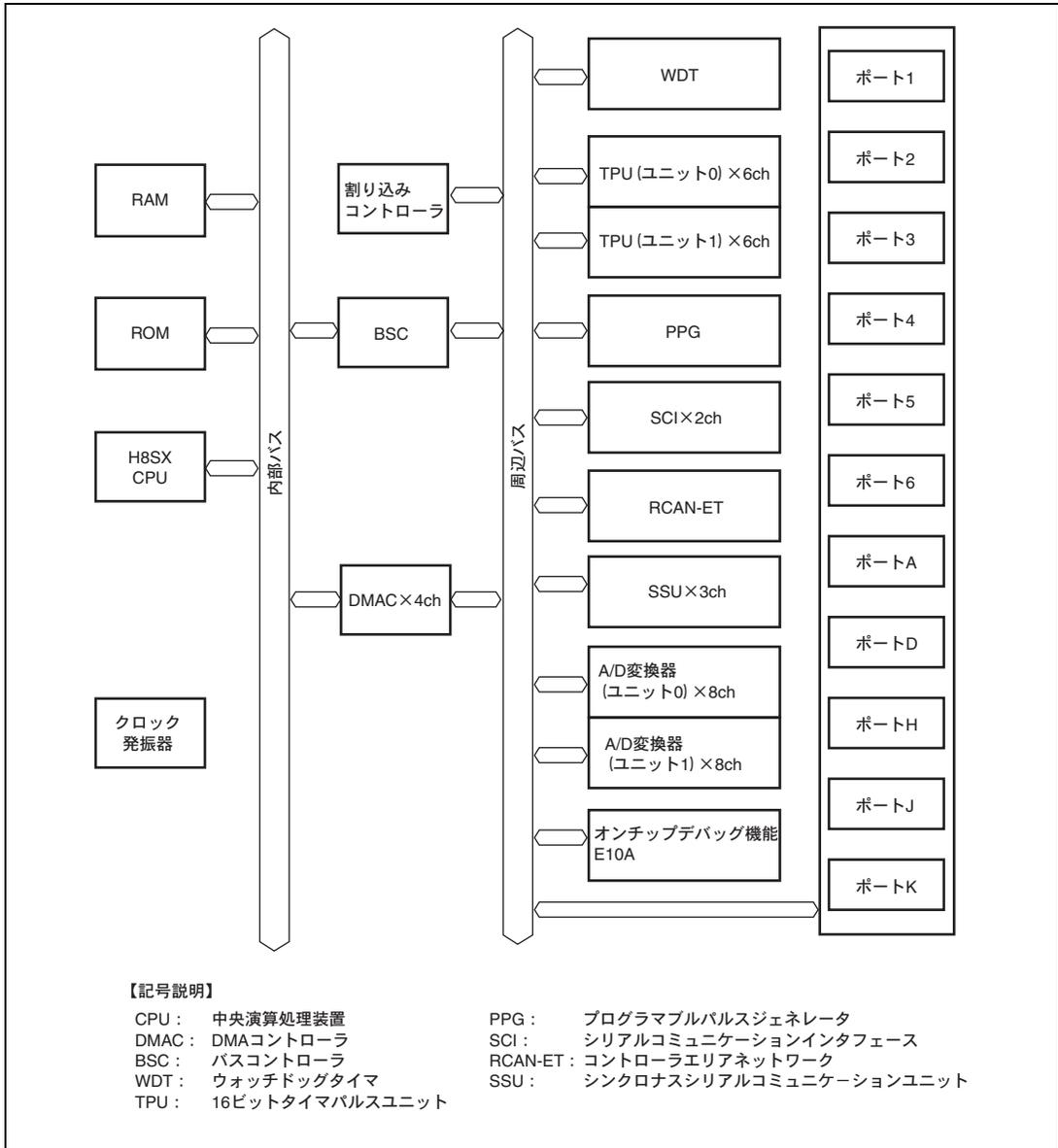


図 1.1 H8SX/1527R 内部ブロック図

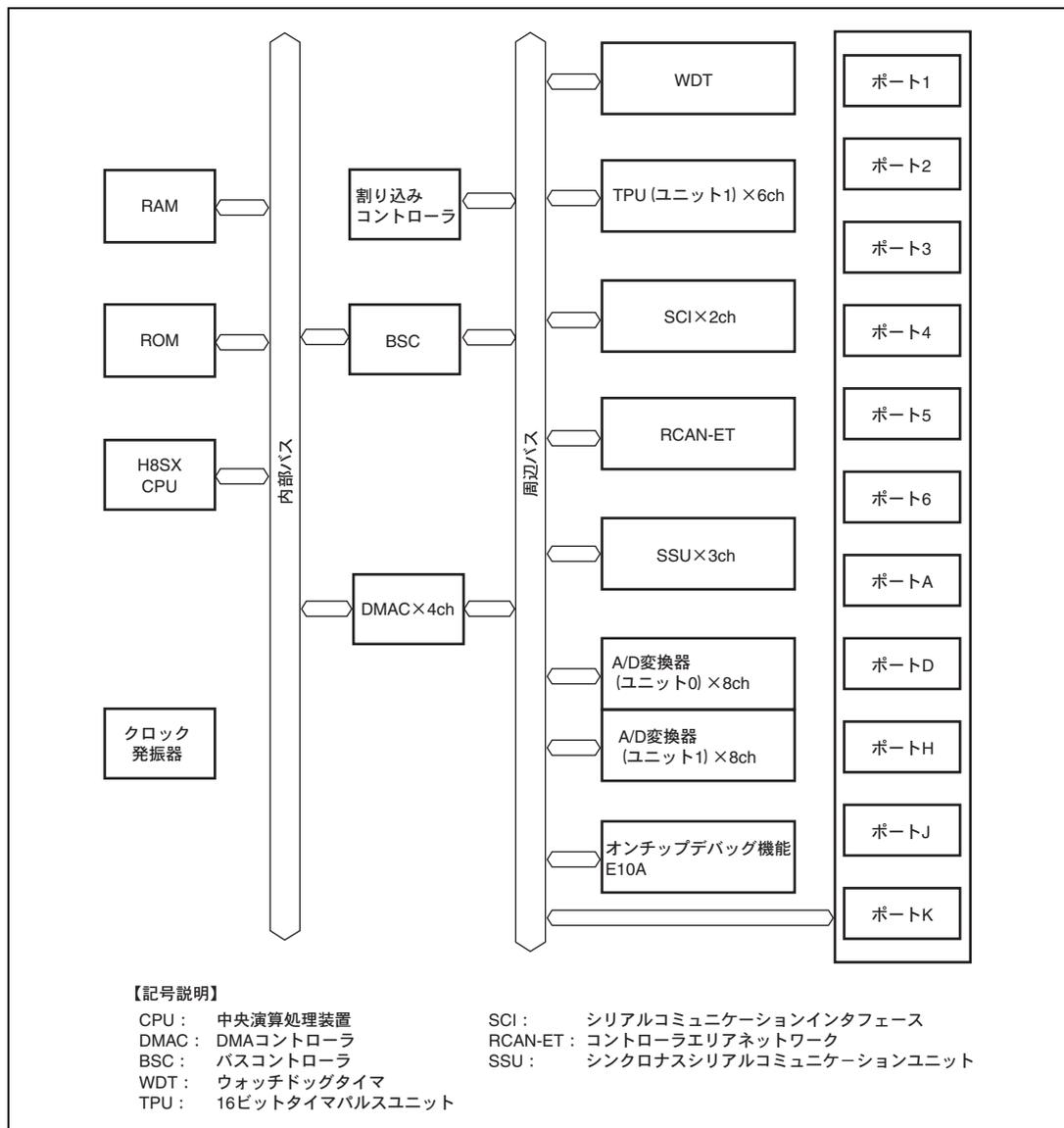


図 1.2 H8SX/1525R 内部ブロック図

1. 概要

1.2 端子説明

1.2.1 ピン配置図

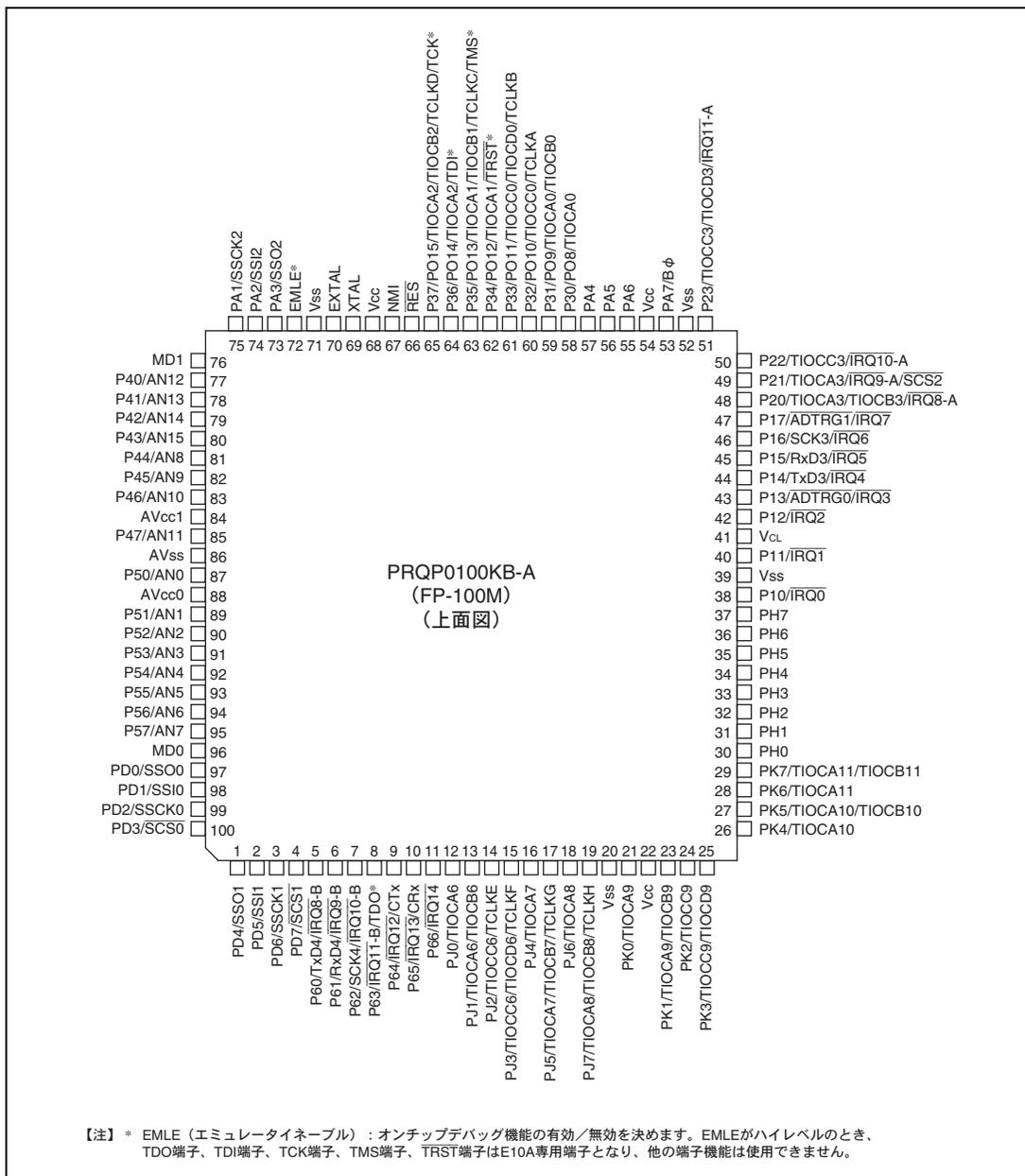


図 1.3 H8SX/1527R ピン配置図

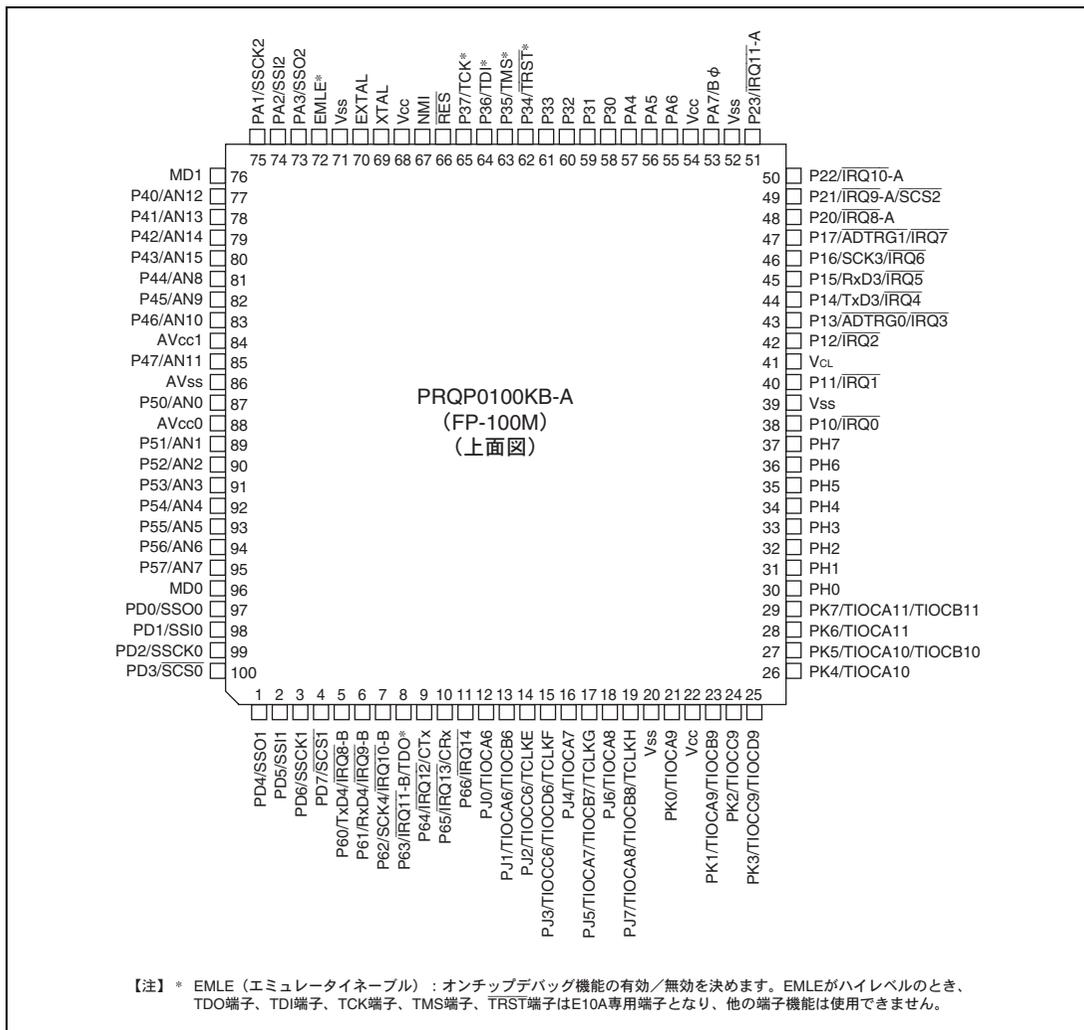


図 1.4 H8SX/1525R ピン配置図

1. 概要

1.2.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン番号	端子名
	モード 1、モード 2、モード 3
1	PD4/SSO1
2	PD5/SSI1
3	PD6/SSCK1
4	PD7/SCS $\bar{1}$
5	P60/TxD4/ $\overline{\text{IRQ8}}$ -B
6	P61/RxD4/ $\overline{\text{IRQ9}}$ -B
7	P62/SCK4/ $\overline{\text{IRQ10}}$ -B
8	P63/ $\overline{\text{IRQ11}}$ -B/TDO* ²
9	P64/ $\overline{\text{IRQ12}}$ /CTx
10	P65/ $\overline{\text{IRQ13}}$ /CRx
11	P66/ $\overline{\text{IRQ14}}$
12	PJ0/TIOCA6
13	PJ1/TIOCA6/TIOCB6
14	PJ2/TIOCC6/TCLKE
15	PJ3/TIOCC6/TIOCD6/TCLKF
16	PJ4/TIOCA7
17	PJ5/TIOCA7/TIOCB7/TCLKG
18	PJ6/TIOCA8
19	PJ7/TIOCA8/TIOCB8/TCLKH
20	Vss
21	PK0/TIOCA9
22	Vcc
23	PK1/TIOCA9/TIOCB9
24	PK2/TIOCC9
25	PK3/TIOCC9/TIOCD9
26	PK4/TIOCA10
27	PK5/TIOCA10/TIOCB10
28	PK6/TIOCA11
29	PK7/TIOCA11/TIOCB11
30	PH0
31	PH1
32	PH2
33	PH3

ピン番号	端子名
	モード 1、モード 2、モード 3
34	PH4
35	PH5
36	PH6
37	PH7
38	P10/ $\overline{\text{IRQ0}}$
39	Vss
40	P11/ $\overline{\text{IRQ1}}$
41	V _{CL}
42	P12/ $\overline{\text{IRQ2}}$
43	P13/ $\overline{\text{ADTRG0/IRQ3}}$
44	P14/ $\overline{\text{TxD3/IRQ4}}$
45	P15/ $\overline{\text{RxD3/IRQ5}}$
46	P16/ $\overline{\text{SCK3/IRQ6}}$
47	P17/ $\overline{\text{ADTRG1/IRQ7}}$
48	P20/(TIOCA3/TIOCB3)* ¹ / $\overline{\text{IRQ8-A}}$
49	P21/(TIOCA3)* ¹ / $\overline{\text{IRQ9-A/SCS2}}$
50	P22/(TIOCC3)* ¹ / $\overline{\text{IRQ10-A}}$
51	P23/(TIOCC3/TIOCD3)* ¹ / $\overline{\text{IRQ11-A}}$
52	Vss
53	PA7/B ϕ
54	Vcc
55	PA6
56	PA5
57	PA4
58	P30/(PO8/TIOCA0)* ¹
59	P31/(PO9/TIOCA0/TIOCB0)* ¹
60	P32/(PO10/TIOCC0/TCLKA)* ¹
61	P33/(PO11/TIOCC0/TIOCD0/TCLKB)* ¹
62	P34/(PO12/TIOCA1)* ¹ / $\overline{\text{TRST}}$ * ²
63	P35/(PO13/TIOCA1/TIOCB1/TCLKC)* ¹ /TMS* ²
64	P36/(PO14/TIOCA2)* ¹ /TDI* ²
65	P37/(PO15/TIOCA2/TIOCB2/TCLKD)* ¹ /TCK* ²
66	$\overline{\text{RES}}$
67	NMI
68	Vcc
69	XTAL

1. 概要

ピン番号	端子名
	モード1、モード2、モード3
70	EXTAL
71	Vss
72	EMLE*2
73	PA3/SSO2
74	PA2/SSI2
75	PA1/SSCK2
76	MD1
77	P40/AN12
78	P41/AN13
79	P42/AN14
80	P43/AN15
81	P44/AN8
82	P45/AN9
83	P46/AN10
84	AVcc1
85	P47/AN11
86	AVss
87	P50/AN0
88	AVcc0
89	P51/AN1
90	P52/AN2
91	P53/AN3
92	P54/AN4
93	P55/AN5
94	P56/AN6
95	P57/AN7
96	MD0
97	PD0/SSO0
98	PD1/SSI0
99	PD2/SSCK0
100	PD3/SCS0

【注】 *1 H8SX/1525R にはありません。

*2 EMLE (エミュレータインネーブル) : オンチップデバッグ機能の有効/無効を決めます。EMLE がハイレベルのとき、TDO 端子、TDI 端子、TCK 端子、TMS 端子、 $\overline{\text{TRST}}$ 端子は E10A 専用端子となり、他の端子機能は使用できません。

1.2.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号		入出力	名称および機能
		H8SX/1527R	H8SX/1525R		
電源	V _{CC}	22、54、 68	22、54、 68	入力	電源端子です。システムの電源に接続してください。
	V _{CL}	41	41	入力	0.1μFのコンデンサを介してV _{SS} に接続してください (コンデンサは端子近くに配置してください)。
	V _{SS}	20、39、 52、71	20、39、 52、71	入力	グランド端子です。システムの電源(0V)に接続してください。
クロック	XTAL	69	69	入力	水晶発振子接続端子です。また、EXTAL端子は外部クロックを入力することもできます。接続例は、「18. クロック発振器」を参照してください。
	EXTAL	70	70	入力	
	Bφ	53	53	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD1	76	76	入力	動作モードを設定します。これらの端子は、動作中に 変化させないでください。
	MD0	96	96		
システム制御	RES	66	66	入力	リセット端子です。この端子がLowレベルになると、 リセット状態となります。
	EMLE	72	72	入力	オンチップエミュレータインーブル端子です。通常は Lowレベルに設定してください。
割り込み	NMI	67	67	入力	ノンマスクابل割り込み要求端子です。未使用の場合 はHighレベルに固定してください。
	$\overline{\text{IRQ14}}$	11	11	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ13}}$	10	10		
	$\overline{\text{IRQ12}}$	9	9		
	$\overline{\text{IRQ11-A/IRQ11-B}}$	51/8	51/8		
	$\overline{\text{IRQ10-A/IRQ10-B}}$	50/7	50/7		
	$\overline{\text{IRQ9-A/IRQ9-B}}$	49/6	49/6		
	$\overline{\text{IRQ8-A/IRQ8-B}}$	48/5	48/5		
	$\overline{\text{IRQ7}}$	47	47		
	$\overline{\text{IRQ6}}$	46	46		
	$\overline{\text{IRQ5}}$	45	45		
	$\overline{\text{IRQ4}}$	44	44		
	$\overline{\text{IRQ3}}$	43	43		
	$\overline{\text{IRQ2}}$	42	42		
	$\overline{\text{IRQ1}}$	40	40		
	$\overline{\text{IRQ0}}$	38	38		

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		H8SX/1527R	H8SX/1525R		
オンチップ エミュレータ	TRST	62	62	入力	オンチップエミュレータ用デバッグインタフェース端子です。
	TMS	63	63	入力	
	TDO	8	8	出力	
	TDI	64	64	入力	
	TCK	65	65	入力	
16ビットタイム パルスユニット (TPU) (ユニット0)*	TCLKA	60	—	入力	外部クロックを入力します。
	TCLKB	61	—		
	TCLKC	63	—		
	TCLKD	65	—		
	TIOCA0	58, 59	—	入出力	TGRA_0~TGRD_0のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB0	59	—		
	TIOCC0	60, 61	—		
	TIOCD0	61	—		
	TIOCA1	62, 63	—	入出力	TGRA_1, TGRB_1のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB1	63	—		
	TIOCA2	64, 65	—	入出力	TGRA_2, TGRB_2のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB2	65	—		
	TIOCA3	48, 49	—	入出力	TGRA_3~TGRD_3のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
TIOCB3	48	—			
TIOCC3	50, 51	—			
TIOCD3	51	—			
16ビットタイム パルスユニット (TPU) (ユニット1)	TCLKE	14	14	入力	外部クロックを入力します。
	TCLKF	15	15		
	TCLKG	17	17		
	TCLKH	19	18		
	TIOCA6	12, 13	12, 13	入出力	TGRA_6~TGRD_6のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB6	13	13		
	TIOCC6	14, 15	14, 15		
	TIOCD6	15	14		
	TIOCA7	16, 17	16, 17	入出力	TGRA_7, TGRB_7のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB7	17	17		
TIOCA8	18, 19	18, 19	入出力	TGRA_8, TGRB_8のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。	
TIOCB8	19	19			

分類	記号	ピン番号		入出力	名称および機能
		H8SX/1527R	H8SX/1525R		
16ビットタイム パルスユニット (TPU) (ユニット1)	TIOCA9	21、23	21、23	入出力	TGRA_9~TGRD_9のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCB9	23	23		
	TIOCC9	24、25	24、25		
	TIOCD9	25	25	入出力	TGRA_10、TGRB_10のインプットキャプチャ入力/ アウトプットコンペア出力/PWM出力端子です。
	TIOCA10	26、27	26、27		
	TIOCB10	27	27		
プログラマブル パルスジェネレ ータ (PPG) *	PO15	65	—	出力	パルス出力端子です。
	PO14	64	—		
	PO13	63	—		
	PO12	62	—		
	PO11	61	—		
	PO10	60	—		
	PO9	59	—		
	PO8	58	—		
シリアルコミュ ニケーション インタフェース (SCI)	TxD3	44	44	出力	送信データ出力端子です。
	TxD4	5	5		
	RxD3	45	45	入力	受信データ入力端子です。
	RxD4	6	6		
	SCK3	46	46	入出力	クロック入出力端子です。
	SCK4	7	7		
コントローラエ リアネットワー ク (RCAN-ET)	CTx	9	9	出力	CANバス送信用端子です。
	CRx	10	10	入力	CANバス受信用端子です。
シンクロナスシ リアルコミュニ ケーションユニ ット (SSU)	SSO2	73	73	入出力	データ入出力端子です。
	SSO1	1	1		
	SSO0	97	97		
	SSI2	74	74	入出力	データ入出力端子です。
	SSI1	2	2		
	SSI0	98	98		
	SSCK2	75	75	入出力	クロック入出力端子です。
	SSCK1	3	3		
	SSCK0	99	99		
	SCS2	49	49	入出力	チップセレクト入出力端子です。
SCS1	4	4			
SCS0	100	100			

1. 概要

分類	記号	ピン番号		入出力	名称および機能	
		H8SX/1527R	H8SX/1525R			
A/D 変換器	AN15	80	80	入力	A/D 変換器のアナログ入力端子です。	
	AN14	79	79			
	AN13	78	78			
	AN12	77	77			
	AN11	85	85			
	AN10	83	83			
	AN9	82	82			
	AN8	81	81			
	AN7	95	95			
	AN6	94	94			
	AN5	93	93			
	AN4	92	92			
	AN3	91	91			
	AN2	90	90			
	AN1	89	89			
	AN0	87	87			
		ADTRG $\overline{0}$	43			43
	$\overline{\text{ADTRG1}}$	47	47			
	AV _{cc0}	88	88	入力	A/D 変換器のアナログ電源端子および基準電圧端子です。A/D 変換器を使用しない場合は、システムの電源に接続してください。	
	AV _{cc1}	84	84			
	AV _{ss}	86	86	入力	A/D 変換器のグランド端子です。システムの電源 (0V) に接続してください。	
I/O ポート	P17	47	47	入出力	8 ビットの入出力端子です。	
	P16	46	46			
	P15	45	45			
	P14	44	44			
	P13	43	43			
	P12	42	42			
	P11	40	40			
	P10	38	38			
		P23	51	51	入出力	4 ビットの入出力端子です。
		P22	50	50		
		P21	49	49		
		P20	48	48		

分類	記号	ピン番号		入出力	名称および機能
		H8SX/1527R	H8SX/1525R		
I/O ポート	P37	65	65	入出力	8 ビットの入出力端子です。
	P36	64	64		
	P35	63	63		
	P34	62	62		
	P33	61	61		
	P32	60	60		
	P31	59	59		
	P30	58	58		
	P47	85	85	入力	8 ビットの入力端子です。
	P46	83	83		
	P45	82	82		
	P44	81	81		
	P43	80	80		
	P42	79	79		
	P41	78	78		
	P40	77	77		
	P57	95	95	入力	8 ビットの入力端子です。
	P56	94	94		
	P55	93	93		
	P54	92	92		
	P53	91	91		
	P52	90	90		
	P51	89	89		
	P50	87	87		
	P66	11	11	入出力	7 ビットの入出力端子です。
	P65	10	10		
	P64	9	9		
	P63	8	8		
P62	7	7			
P61	6	6			
P60	5	5			
PA7	53	53	入力	1 ビットの入力端子です。	

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		H8SX/1527R	H8SX/1525R		
I/O ポート	PA6	55	55	入出力	6 ビットの入出力端子です。
	PA5	56	56		
	PA4	57	57		
	PA3	73	73		
	PA2	74	74		
	PA1	75	75		
	PD7	4	4	入出力	8 ビットの入出力端子です。
	PD6	3	3		
	PD5	2	2		
	PD4	1	1		
	PD3	100	100		
	PD2	99	99		
	PD1	98	98		
	PD0	97	97		
	PH7	37	37	入出力	8 ビットの入出力端子です。
	PH6	36	36		
	PH5	35	35		
	PH4	34	34		
	PH3	33	33		
	PH2	32	32		
	PH1	31	31		
	PH0	30	30		
	PJ7	19	19	入出力	8 ビットの入出力端子です。
	PJ6	18	18		
	PJ5	17	17		
	PJ4	16	16		
	PJ3	15	15		
	PJ2	14	14		
	PJ1	13	13		
	PJ0	12	12		

分類	記号	ピン番号		入出力	名称および機能
		H8SX/1527R	H8SX/1525R		
I/O ポート	PK7	29	29	入出力	8ビットの入出力端子です。
	PK6	28	28		
	PK5	27	27		
	PK4	26	26		
	PK3	25	25		
	PK2	24	24		
	PK1	23	23		
	PK0	21	21		

【注】 * H8SX/1527R のみ内蔵

1. 概要

2. CPU

H8SX CPU は、H8/300 CPU、H8/300H CPU および H8S CPU に対し上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

H8SX CPU は、16 ビット×16 本の汎用レジスタを持ち、4G バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1 特長

- H8/300 CPU、H8/300H CPU および H8S CPU に対し上位互換の CPU
これらの CPU のオブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：87 種類
8/16/32 ビット演算命令
乗除算命令
ビットフィールド転送命令
強力なビット操作命令
ビット条件分岐命令
積和演算命令
- アドレッシングモード：11 種類
レジスタ直接 Rn
レジスタ間接 @ERn
ディスプレイースメント付レジスタ間接 @(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
ディスプレイースメント付インデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/@(d:16,Rn.W)/
@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)
プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-
絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32
イミディエイト #xx:3/#xx:4/#xx:8/#xx:16/#xx:32
プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC)
プログラムカウンタインデックス相対 @(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
メモリ間接 @@aa:8
拡張メモリ間接 @@vec:7

2. CPU

- ベースレジスタ：2本
ベクタベースレジスタ
ショートアドレスベースレジスタ
- アドレス空間：4Gバイト
プログラム : 4Gバイト
データ : 4Gバイト
- 高速動作
頻出命令をすべて1~2ステートで実行
8/16/32ビットレジスタ間加減算 : 1ステート
8×8ビットレジスタ間乗算 : 1ステート
16÷8ビットレジスタ間除算 : 10ステート
16×16ビットレジスタ間乗算 : 1ステート
32÷16ビットレジスタ間除算 : 18ステート
32×32ビットレジスタ間乗算 : 5ステート
32÷32ビットレジスタ間除算 : 18ステート
- CPU動作モード：4種類
ノーマルモード
ミドルモード
アドバンストモード
マキシマムモード
- 低消費電力状態
SLEEP命令により低消費電力状態に遷移
CPU動作クロックを選択可能

-
- 【注】** 1. H8SX/1520R グループの CPU 動作モードは、アドバンストモードのみです。ノーマルモード、ミドルモード、マキシマムモードは使用できません。
2. H8SX/1520R グループは乗算器、除算器をサポートしています。
3. H8SX/1520R グループの命令フェッチは 32 ビットモードです。
-

2.2 CPU 動作モード

H8SX CPU は、アドレス空間について、ノーマルモード、ミドルモード、アドバンスモードおよびマキシマムモードの4種類のCPU動作モードを持っています。各モードの選択方法は、「3.1 動作モードの選択」を参照してください。

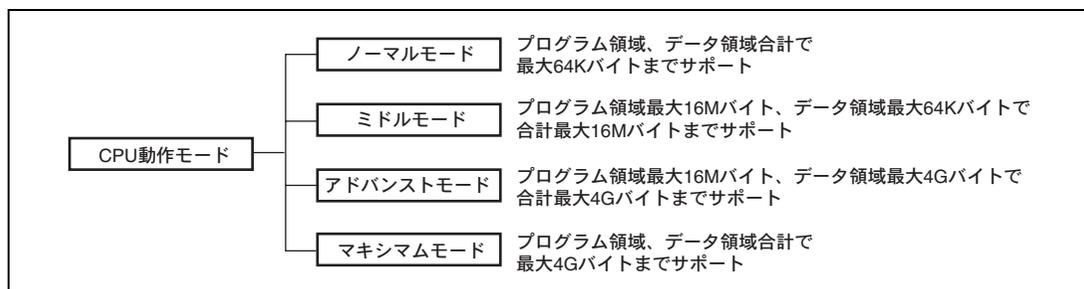


図 2.1 CPU 動作モード

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一です。

【注】 本製品ではサポートしていません。

- アドレス空間

最大 64K バイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (プリ/ポストインクリメント/デクリメントレジスタ間接により汎用レジスタ Rn が参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.2 に示します。

2. CPU

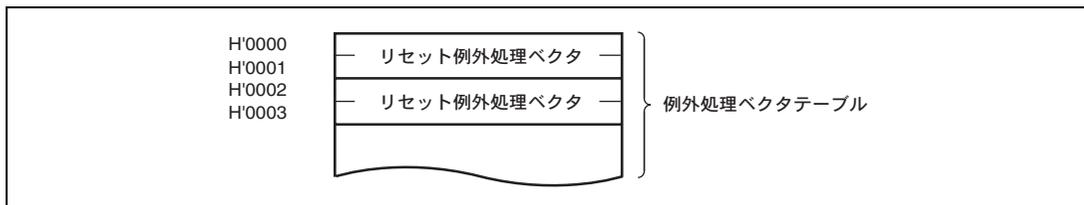


図 2.2 例外処理ベクタテーブル（ノーマルモード）

メモリ間接（@@aa:8）および拡張メモリ間接（@@vec:7）は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.3 に示します。PC は 16 ビットで退避／復帰されます。

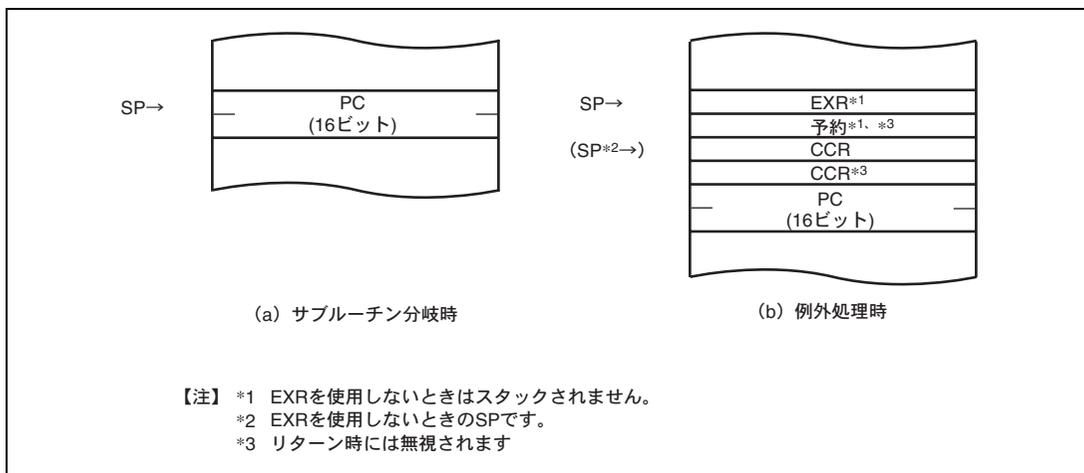


図 2.3 スタック構造（ノーマルモード）

2.2.2 ミドルモード

ノーマルモードに対して、プログラム領域を 16M バイトに拡張しています。

- アドレス空間

プログラム領域最大 16M バイト、データ領域最大 64K バイトで合計最大 16M バイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をデータ用のアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (JMP および JSR 命令は除きます。また、プリ/ポストア_INCREMENT/デクリメントレジスタ間接により汎用レジスタ Rn が参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。データ用の実効アドレス (EA) は下位 16 ビットのみが有効となり、上位 8 ビットは符号拡張されます。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ミドルモードでは、H'000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され、24 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.4 に示します。

メモリ間接 (@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ミドルモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち上位 8 ビットは予約領域となっており、H'00 と見なされます。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.5 に示します。PC は 24 ビットで退避/復帰されます。

2.2.3 アドバンストモード

ミドルモードに対して、データ領域を 4G バイトに拡張しています。

- アドレス空間

プログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され、24 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.4 に示します。

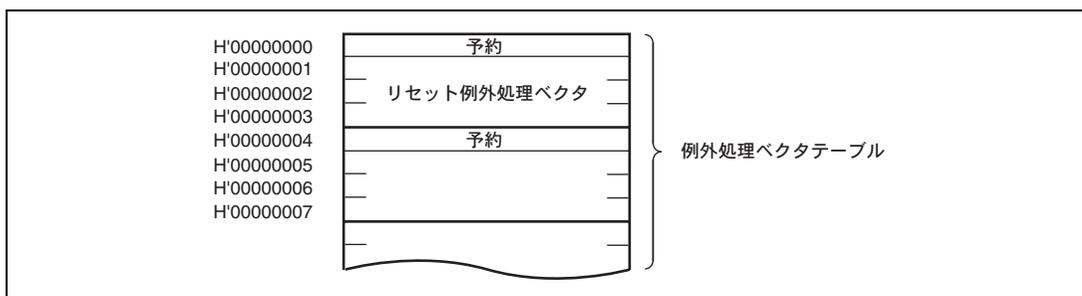


図 2.4 例外処理ベクタテーブル (ミドルモード、アドバンストモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち上位 8 ビットは予約領域となっており、H'00 と見なされます。

• スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタック構造を図2.5に示します。PCは24ビットで退避／復帰されます。

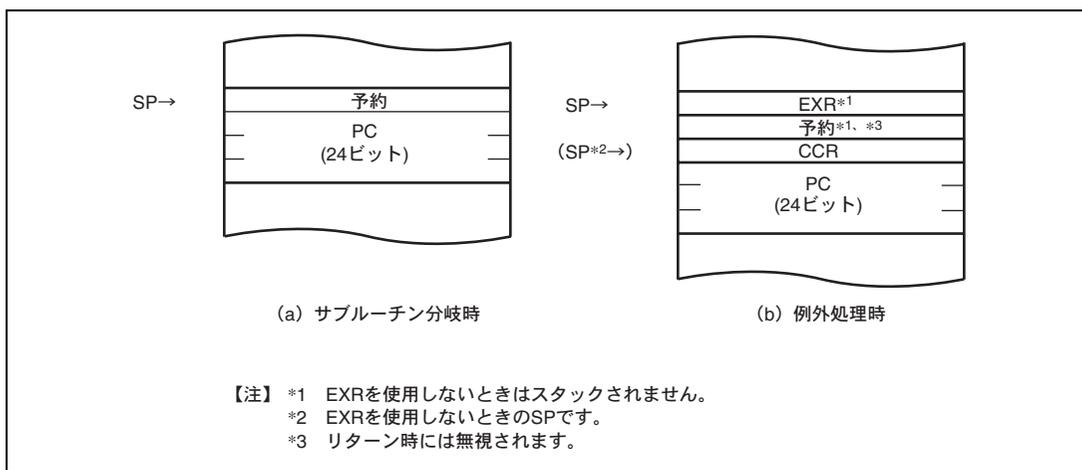


図 2.5 スタック構造 (ミドルモード、アドバンスモード)

2.2.4 マキシマムモード

アドバンストモードに対して、プログラム領域を 4G バイトに拡張しています。

- アドレス空間

最大 4G バイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

マキシマムモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、32 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.6 に示します。

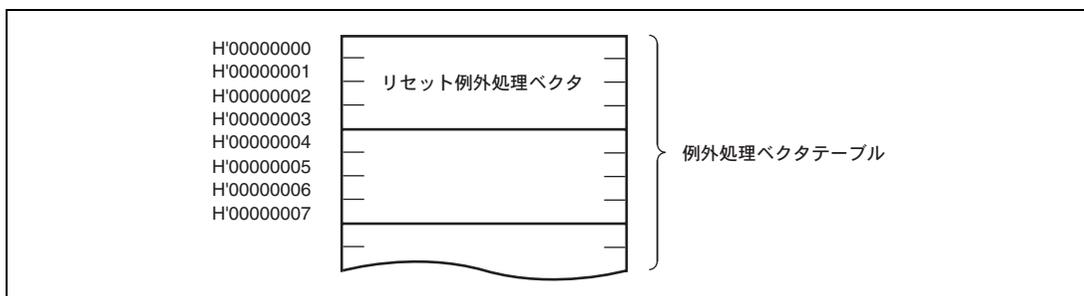


図 2.6 例外処理ベクタテーブル (マキシマムモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

マキシマムモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。

- スタック構造

マキシマムモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.7 に示します。PC は 32 ビットで退避／復帰されます。EXR の使用／不使用によらず、EXR は退避／復帰されます。

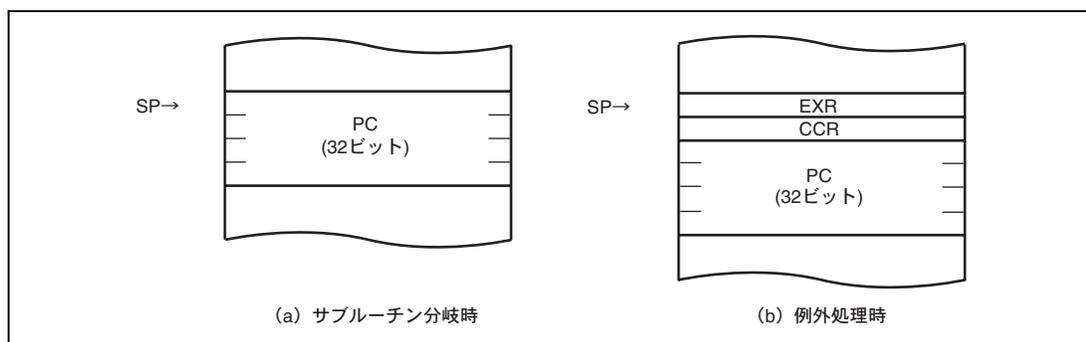


図 2.7 スタック構造 (マキシマムモード)

2.3 命令フェッチ

H8SX CPU は、命令フェッチについて、16 ビットモードと 32 ビットモードの 2 つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。

命令フェッチの 16 ビットモード／32 ビットモードの選択は、命令フェッチ以外のデータアクセスなどには影響しません。

【注】 H8SX/1520R グループの命令フェッチは 32 ビットモードです。

2.4 アドレス空間

H8SX CPU のメモリマップを図 2.8 に示します。H8SX CPU のアドレス空間は、CPU 動作モードによって異なります。

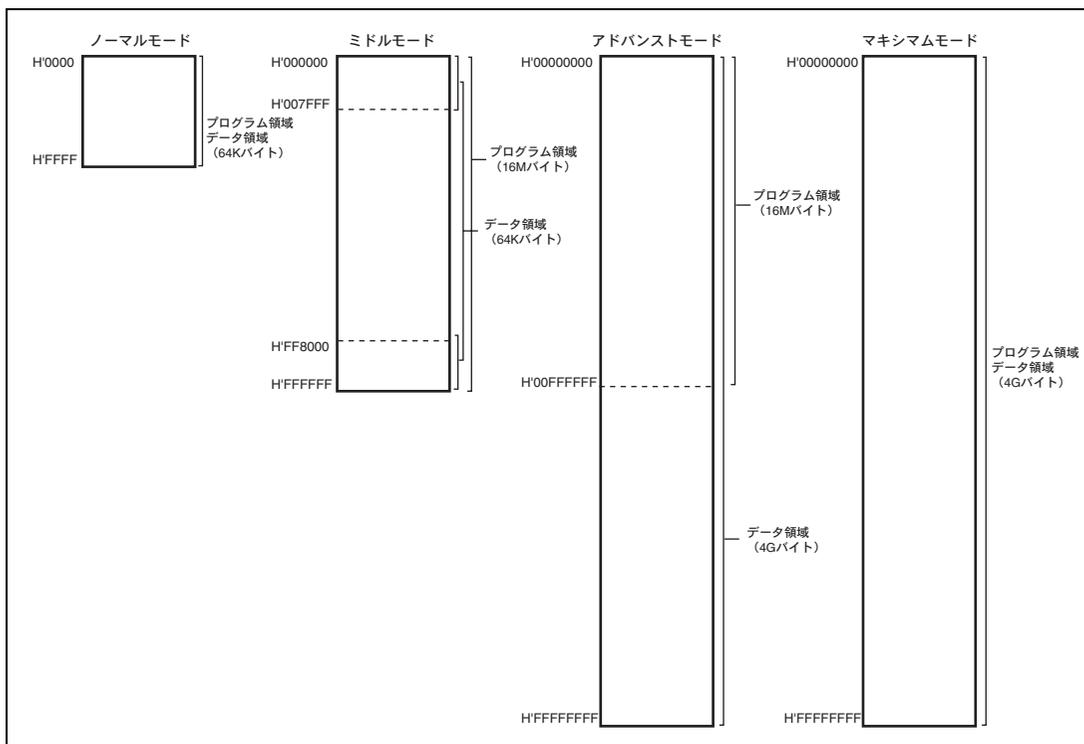


図 2.8 メモリマップ

2.5 レジスタ構成

H8SX CPU の内部レジスタ構成を図 2.9 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、32 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR)、32 ビットのベクタベースレジスタ (VBR)、32 ビットのショートアドレスベースレジスタ (SBR)、および 64 ビットの積和レジスタ (MAC) があります。

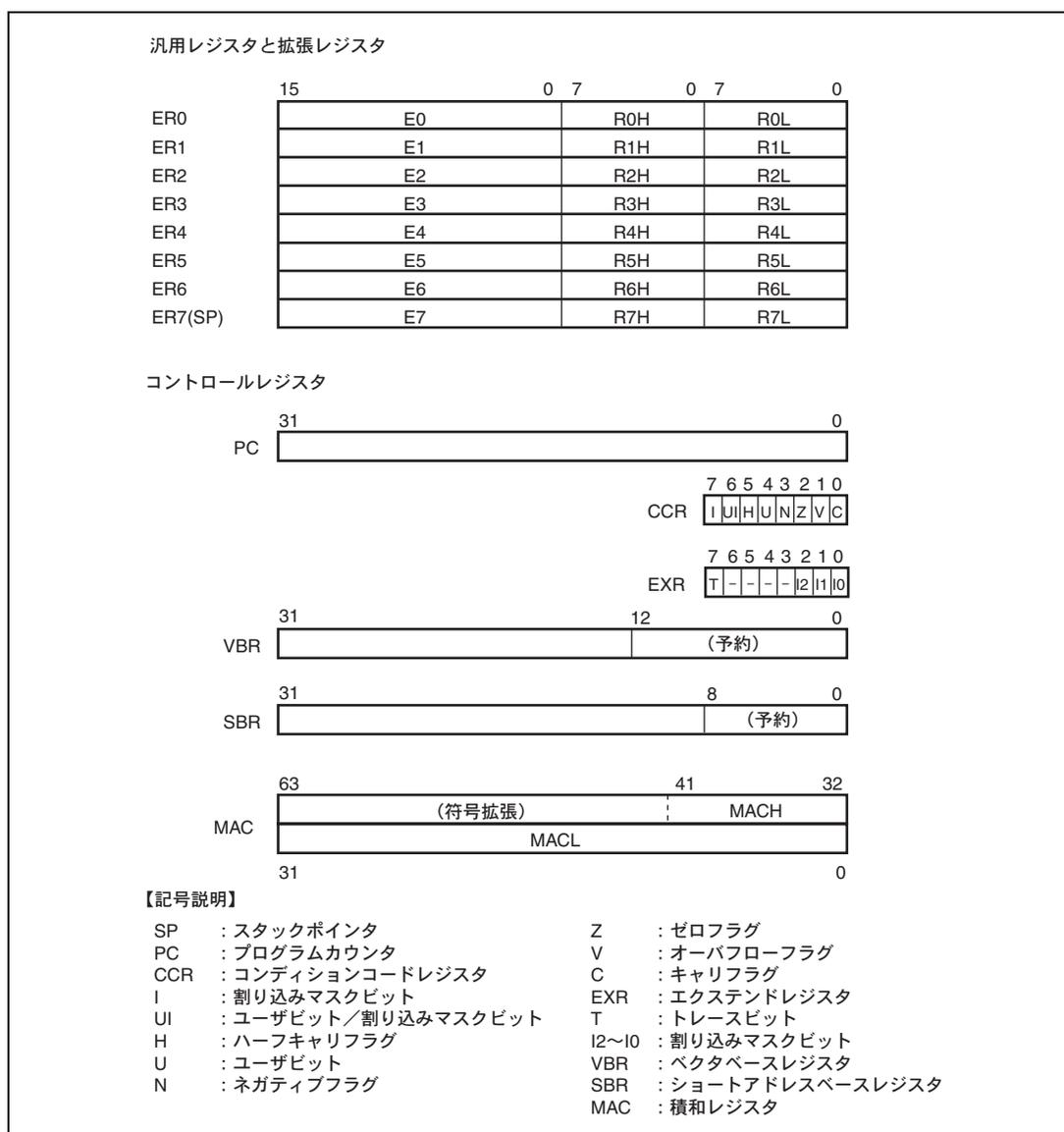


図 2.9 CPU 内部レジスタ構成

2.5.1 汎用レジスタ

H8SX CPUは、32ビット長の汎用レジスタを8本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては32ビット、16ビット、または8ビットレジスタとして使用できます。汎用レジスタの使用方法を図2.10に示します。

アドレスレジスタまたは32ビットレジスタの場合は、一括して汎用レジスタER (ER0~ER7)として使用します。

16ビットレジスタの場合は、汎用レジスタERを分割して汎用レジスタE (E0~E7)、汎用レジスタR (R0~R7)として使用します。これらは同等の機能を持っており、16ビットレジスタを最大16本まで使用することができます。なお、汎用レジスタE (E0~E7)を特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタの場合は、汎用レジスタRを分割して汎用レジスタRH (RH0~RH7)、汎用レジスタRL (RL0~RL7)として使用します。これらは同等の機能を持っており、8ビットレジスタを最大16本まで使用することができます。

インデックスレジスタとしては、汎用レジスタER (ER0~ER7)、汎用レジスタR (R0~R7)、汎用レジスタRL (RL0~RL7)を使用します。これらはアドレッシングモード中のインデックスレジスタのサイズで指定します。

各レジスタ独立に使用方法を選択することができます。

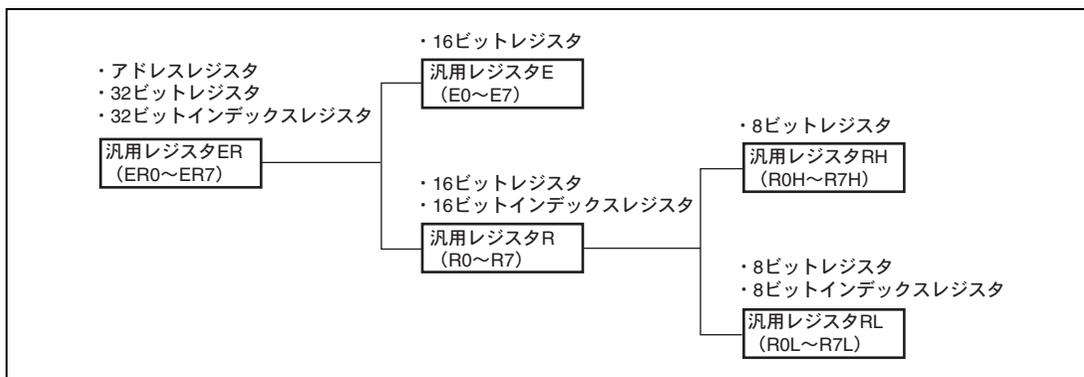


図 2.10 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.11 に示します。

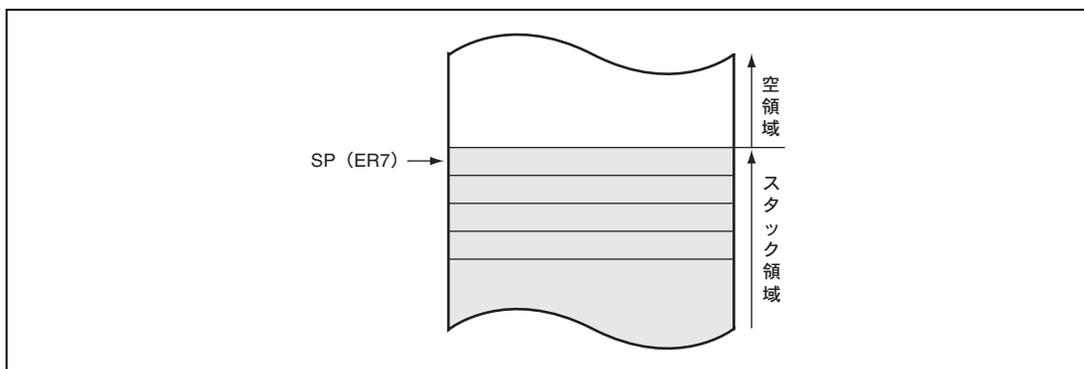


図 2.11 スタックの状態

2.5.2 プログラムカウンタ (PC)

PC は 32 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

2. CPU

2.5.3 コンディションコードレジスタ (CCR)

CCR は、8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I)、ユーザビット (UI、U) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。割り込みマスクビットとしても使用可能です。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none">• 加算結果のキャリ• 減算結果のボロー• シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.5.4 エクステンドレジスタ (EXR)

EXR は、8 ビットのレジスタで、トレースビット (T)、割り込みマスクビット (I2~I0) を含んでいます。EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。詳細は「4. 例外処理」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが1にセットされているときは、1命令実行することにトレース例外処理を開始します。0にクリアされているときは、命令を順次実行します。
6~3	—	すべて1	R/W	リザーブビットです。リードすると常に1がリードされます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。
	I1	1	R/W	
	I0	1	R/W	

2.5.5 ベクタベースレジスタ (VBR)

VBR は 32 ビットのレジスタで、上位 20 ビットが有効です。リードすると下位 12 ビットは 0 が読み出されます。リセットと CPU アドレスエラー以外の例外処理のベクタ領域のベースアドレスになります (拡張メモリ間接は対象外です)。VBR の初期値は、H'00000000 です。

VBR は、LDC、STC 命令で操作することができます。

2.5.6 ショートアドレスベースレジスタ (SBR)

SBR は 32 ビットのレジスタで、上位 24 ビットが有効です。リードすると下位 8 ビットは 0 が読み出されます。絶対アドレス 8 ビット (@aa:8) 使用時の上位アドレスになります。SBR の初期値は、H'FFFFFF00 です。

SBR は、LDC、STC 命令で操作することができます。

2.5.7 積和レジスタ (MAC)

MAC は 64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符号拡張されています。

MAC は、MAC、CLRMAC、LDMAC、STMAC 命令で操作することができます。

2.5.8 CPU 内部レジスタの初期値

CPU 内部レジスタのうち PC は、リセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタ、MAC、CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に MOV.L 命令を使用して、SP の初期化を行ってください。

2.6 データ形式

H8SX CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0, 1, 2, \dots, 7$ ）という形式でアクセスされます。なお、DAA および DAS の10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.6.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図2.12に示します。

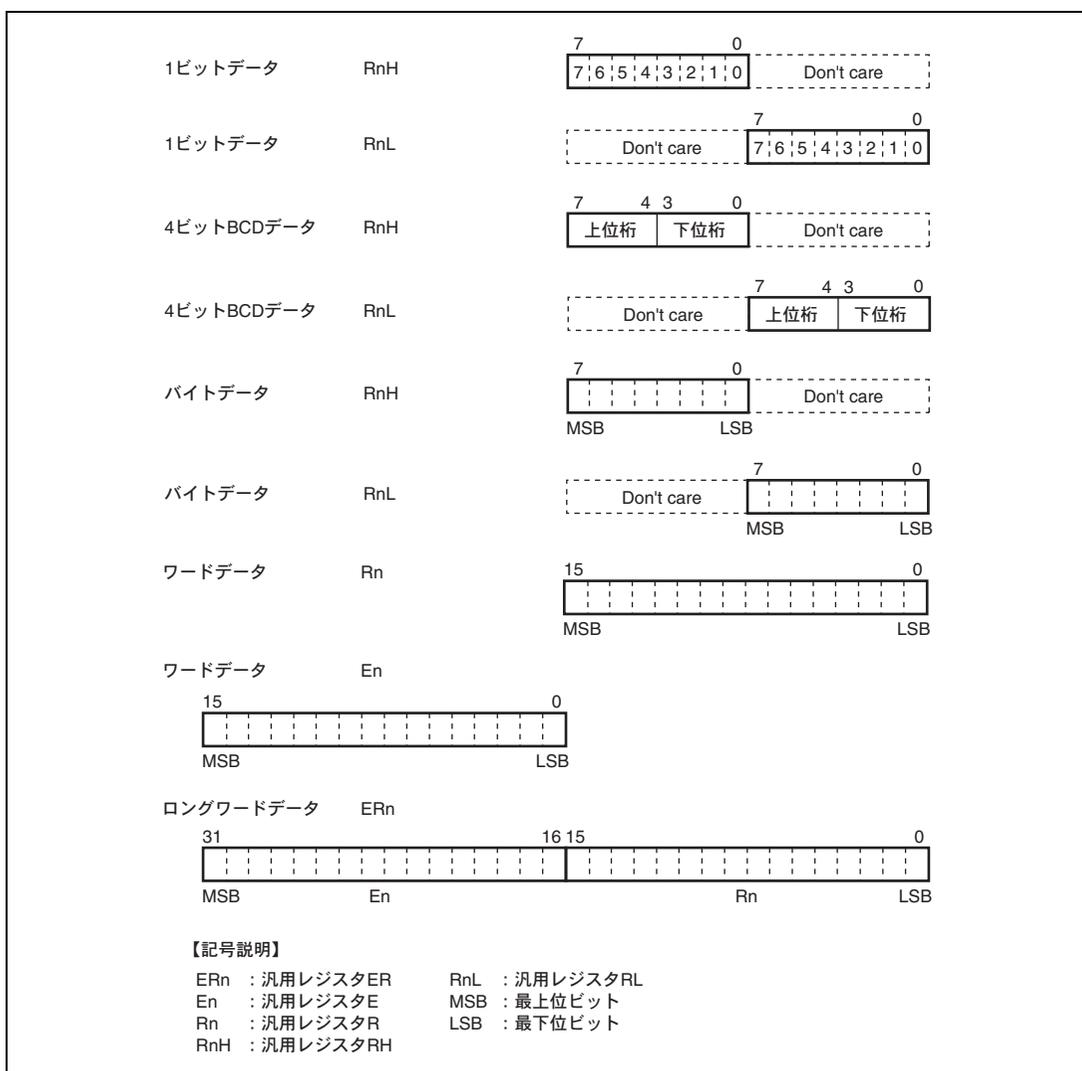


図 2.12 汎用レジスタのデータ形式

2.6.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.13 に示します。

H8SX CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、任意のアドレスに配置することができます。ワードデータが偶数番地、ロングワードデータが4の倍数番地から始まらない場合は、複数回に分割してアクセスします。例えば、奇数番地から始まる場合、ロングワードデータは、バイトワードバイトに分割されてバスサイクルが生成されます。この場合、バス制御においては別々のバスサイクルとして認識されます。

また、命令リード、スタック操作、分岐テーブル、およびブロック転送命令、MAC 命令におけるワードデータ/ロングワードデータは、偶数番地から配置してください。

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

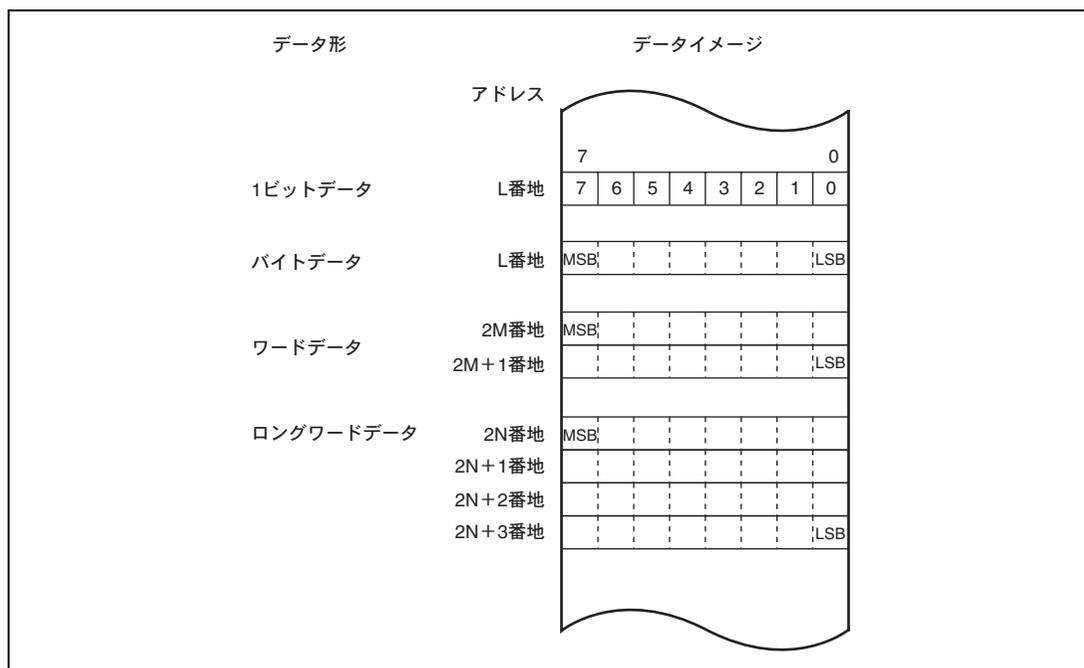


図 2.13 メモリ上でのデータ形式

2. CPU

2.7 命令セット

H8SX CPU の命令は合計 87 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

【注】 算術演算命令、論理演算命令、シフト命令、ビット操作命令を総称して演算命令と呼ぶ場合があります。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	6
	MOVFP* ⁶ 、MOVTP* ⁶	B	
	POP、PUSH* ¹	W/L	
	LDM、STM	L	
	MOVA	B/W* ²	
ブロック転送命令	EEPMOV	B	3
	MOVMD	B/W/L	
	MOVSD	B	
算術演算命令	ADD、ADDX、SUB、SUBX、CMP、NEG、INC、DEC	B/W/L	27
	DAA、DAS	B	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	B/W	
	MULU、DIVU、MULS、DIVS	W/L	
	MULU/U、MULS/U	L	
	EXTU、EXTS	W/L	
	TAS	B	
	MAC	—	
	LDMAC、STMAC	—	
	CLRMAC	—	
論理演算命令	AND、OR、XOR、NOT	B/W/L	4
シフト命令	SHLL、SHLR、SHAL、SHAR、ROTL、ROTR、ROTXL、ROTXR	B/W/L	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	B	20
	BSET/EQ、BSET/NE、BCLR/EQ、BCLR/NE、BSTZ、BISTZ	B	
	BFLD、BFST	B	
分岐命令	BRA/BS、BRA/BC、BSR/BS、BSR/BC	B* ³	9
	Bcc* ⁴ 、JMP、BSR、JSR、RTS	—	
	RTS/L	L* ⁵	
	BRA/S	—	
システム制御命令	TRAPA、RTE、SLEEP、NOP	—	10
	RTE/L	L* ⁵	
	LDC、STC、ANDC、ORC、XORC	B/W/L	
合計			87

【記号説明】

B : バイトサイズ

W : ワードサイズ

L : ロングワードサイズ

- 【注】**
- *1 POP.W Rn, PUSH.W Rn は MOV.W @SP+,Rn, MOV.W Rn, @-SP と同一です。また、POP.L ERn, PUSH.L ERn は MOV.L @SP+,ERn, MOV.L ERn, @-SP と同一です。
 - *2 ディスプレースメントに加算するデータの指定方法
 - *3 条件として指定するデータのサイズ
 - *4 Bcc は条件分岐命令の総称です。
 - *5 復帰する汎用レジスタのサイズ
 - *6 本 LSI では使用できません。

2. CPU

2.7.1 命令とアドレッシングモードの組み合わせ

H8SX CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ (1)

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@ (d,ERn)	@(d, Rn.LB/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—	
データ 転送命令	MOV	B/W/L	S	SD	SD	SD	SD	SD		SD		
		B		S/D					S/D			
	MOVFPPE,MOVTPPE *12	B		S/D						S/D*1		
	POP,PUSH	W/L		S/D				S/D*2				
	LDM,STM	L		S/D				S/D*2				
	MOVA*4	B/W		S	S	S	S	S		S		
ブロック 転送命令	EEPMOV	B									SD*3	
	MOVMD	B/W/L									SD*3	
	MOVSD	B									SD*3	
算術演算命令	ADD,CMP	B	S	D	D	D	D	D	D	D		
		B		S	D	D	D	D	D	D		
		B		D	S	S	S	S	S	S		
		B			SD	SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD	SD		SD	
	SUB	B	S		D	D	D	D	D	D		
		B		S	D	D	D	D	D	D		
		B		D	S	S	S	S	S	S		
		B			SD	SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD	SD		SD	
	ADDX,SUBX	B/W/L	S	SD								
		B/W/L	S		SD							
		B/W/L	S					SD*5				
	INC,DEC	B/W/L		D								
	ADDS,SUBS	L		D								
	DAA,DAS	B		D								
	MULXU,DIVXU	B/W	S : 4	SD								
	MULU,DIVU	W/L	S : 4	SD								
MULXS,DIVXS	B/W	S : 4	SD									
MULS,DIVS	W/L	S : 4	SD									

分類	命令	サイズ	アドレッシングモード								
			#xx	Rn	@ERn	@ (d,ERn)	@(d, RnL.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—
算術演算命令	NEG	B		D	D	D	D	D	D	D	
		W/L		D	D	D	D	D		D	
	EXTU,EXTS	W/L		D	D	D	D	D		D	
	TAS	B			D						
	MAC	—									
	CLRMAC	—									○
	LDMAC	—		S							
STMAC	—		D								
論理演算命令	AND,OR,XOR	B		S	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	
		B			SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD		SD	
	NOT	B		D	D	D	D	D	D	D	
W/L			D	D	D	D	D		D		
シフト命令	SHLL,SHLR	B		D	D	D	D	D	D	D	
		W/L ^{*6}		D	D	D	D	D		D	
		B/W/L ^{*7}		D							
	SHAL,SHAR,ROTL, ROTR,ROTXL, ROTXR	B		D	D	D	D	D	D	D	
		W/L		D	D	D	D	D		D	
ビット 操作命令	BSET,BCLR,BNOT, BTST,BSET/cc, BCLR/cc	B		D	D				D	D	
		B		D	D				D	D	
	BAND,BIAND,BOR, BIOR,BXOR, BIXOR, BLD,BILD, BST,BIST,BSTZ, BISTZ	B		D	D						
	BFLD	B		D	S				S	S	
	BFST	B		S	D				D	D	
分岐命令	BRA/BS,BRA/BC ^{*8}	B			S				S	S	
	BSR/BS,BSR/BC ^{*8}	B			S				S	S	
システム制御 命令	LDC (CCR,EXR)	B/W ^{*9}	S	S	S	S		S ^{*10}		S	
	LDC (VBR,SBR)	L		S							
	STC (CCR,EXR)	B/W ^{*9}		D	D	D		D ^{*11}		D	

2. CPU

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@ (d,ERn)	@(d, RnL.B/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—	
システム制御	STC (VBR,SBR)	L		D								
命令	ANDC,ORC,XORC	B	S									
	SLEEP	—										○
	NOP	—										○

【記号説明】

- d: d: 16 または d: 32
- S: ソースとして指定可能
- D: デスティネーションとして指定可能
- SD: ソースまたはデスティネーションの一方または両方として指定可能
- S/D: ソースまたはデスティネーションの一方として指定可能
- S:4: ソースとして4ビットイミディエイトデータを指定可能

【注】

- *1 @aa:16のみ
- *2 ソースのとき@ERn+、デスティネーションのとき@-ERn
- *3 データ転送のソースのアドレスはER5、デスティネーションのアドレスはER6
- *4 ディスプレースメントに加算するデータの指定方法
- *5 @ERnのみ
- *6 シフトビット数が1、2、4、8または16ビットのとき
- *7 シフトビット数を5ビットイミディエイトデータまたは汎用レジスタで指定するとき
- *8 条件として指定するデータの指定方法
- *9 イミディエイトまたはレジスタ直接のときバイト、そのほかのときワード
- *10 @ERn+のみ
- *11 @-ERnのみ
- *12 本 LSI では使用できません。

表 2.2 命令とアドレッシングモードの組み合わせ (2)

分類	命令	サイズ	アドレッシングモード							
			@ERn	@(d,PC)	@(RnL,B/ Rn,W/ ERn.L,PC)	@aa:24	@aa:32	@@aa:8	@@vec:7	—
分岐命令	BRA/BS、BRA/BC	—		○						
	BSR/BS、BSR/BC	—		○						
	Bcc	—		○						
	BRA	—		○	○					
	BRA/S	—		○*						
	JMP	—	○			○	○	○	○	
	BSR	—		○						
	JSR	—	○			○	○	○	○	
	RTS、RTS/L	—								○
システム制御命令	TRAPA	—								○
	RTE、RTE/L	—								○

【記号説明】

d: d:8 または d:16

【注】 * @(d:8,PC)のみ

2. CPU

2.7.2 命令の機能別一覧

各命令の機能を表 2.4～表 2.11 に示します。各表で使用しているオペレーションの記号の意味を表 2.3 に示します。

表 2.3 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
VBR	ベクタベースレジスタ
SBR	ショートアドレスベースレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.4 データ転送命令

命令	サイズ	機能
MOV	B/W/L	#IMM→(EAd)、(EAs)→(EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータ転送を行います。
MOVFPPE*	B	(EAs)→Rd
MOVTPPE*	B	Rs→(EAs)
POP	W/L	@SP+→Rn スタックから汎用レジスタへその内容を復帰します。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへその内容を復帰します。連続した番号の2、3または4本の汎用レジスタを指定できます。
STM	L	Rn (レジスタ群)→@-SP 複数の汎用レジスタの内容をスタックに退避します。連続した番号の2、3または4本の汎用レジスタを指定できます。
MOVA	B/W	EA→Rd 指定した汎用レジスタまたはメモリのデータをゼロ拡張およびシフトして、ディスプレースメントに加算し、結果を汎用レジスタに格納します。

【注】 * 本 LSI では使用できません。

表 2.5 ブロック転送命令

命令	サイズ	機能
EPEMOV.B EPEMOV.W	B	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 または R4L で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。
MOVMD.B	B	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。
MOVMD.W	W	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のワードデータを、ER6 で示されるアドレスへ転送します。
MOVMD.L	L	ブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のロングワードデータを、ER6 で示されるアドレスへ転送します。
MOVSD.B	B	ゼロデータ検出付きのブロック転送命令です。ER5 で示されるアドレスから始まり、R4 で指定される数のバイトデータを、ER6 で示されるアドレスへ転送します。途中でゼロデータが検出されると、データ転送を打ち切り、指定したアドレスに分岐します。

2. CPU

表 2.6 算術演算命令

命令	サイズ	機能
ADD SUB	B/W/L	(EAd) ±#IMM→(EAd)、(EAd) ± (EAs) → (EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの加減算を行います。バイトサイズでの汎用レジスタとイミディエイトデータの減算はできません。
ADDX SUBX	B/W/L	(EAd) ±#IMM±C→(EAd)、(EAd) ± (EAs) ±C→(EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータのキャリ付きの加減算を行います。メモリを指定するアドレッシングモードは、レジスタ間接、ポストデクリメントレジスタ間接です。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズでは 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 汎用レジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット 2 桁 BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULU	W/L	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 16 ビット×16 ビット→16 ビット、32 ビット×32 ビット→32 ビットの乗算が可能です。
MULU/U	L	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の 32 ビット×32 ビットの符号なし乗算を行い、結果の上位 32 ビットを得ます。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULS	W/L	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 16 ビット×16 ビット→16 ビット、32 ビット×32 ビット→32 ビットの乗算が可能です。
MULS/U	L	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の 32 ビット×32 ビットの符号付き乗算を行い、結果の上位 32 ビットを得ます。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。

命令	サイズ	機能
DIVU	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16ビット÷16ビット→商16ビット、32ビット÷32ビット→商32ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16ビット÷8ビット→商8ビット余り8ビット、32ビット÷16ビット→商16ビット余り16ビットの除算が可能です。
DIVS	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16ビット÷16ビット→商16ビット、32ビット÷32ビット→商32ビットの除算が可能です。
CMP	B/W/L	$(EAd) - \#IMM, (EAd) - (EAs)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの比較を行い、その結果をCCRに格納します。
NEG	B/W/L	$0 - (EAd) \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容の2の補数（算術的補数）を取ります。
EXTU	W/L	$(EAd) \text{ (ゼロ拡張)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの下位8ビットまたは16ビットを、ワードサイズまたはロングワードサイズにゼロ拡張します。 下位8ビット→ワードサイズ、下位8ビット→ロングワードサイズ、下位16ビット→ロングワードサイズのゼロ拡張が可能です。
EXTS	W/L	$(EAd) \text{ (符号拡張)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの下位8ビットまたは16ビットを、ワードサイズまたはロングワードサイズに符号拡張します。 下位8ビット→ワードサイズ、下位8ビット→ロングワードサイズ、下位16ビット→ロングワードサイズの符号拡張が可能です。
TAS	B	$@ERd - 0, 1 \rightarrow (<ビット7>of@EAd)$ メモリの内容をテストした後、最上位ビット（ビット7）を1にセットします。
MAC	—	$(EAd) \times (EAs) + MAC \rightarrow MAC$ メモリとメモリの間の符号付乗算を行い、結果をMACに加算します。
CLRMAC	—	$0 \rightarrow MAC$ MACをゼロクリアします。
LDMAC	—	$Rs \rightarrow MAC$ 汎用レジスタの内容をMACに転送します。
STMAC	—	$MAC \rightarrow Rd$ MACの内容を汎用レジスタに転送します。

2. CPU

表 2.7 論理演算命令

命令	サイズ	機能
AND	B/W/L	$(EAd) \wedge \#IMM \rightarrow (EAd)$ 、 $(EAd) \wedge (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理積を取ります。
OR	B/W/L	$(EAd) \vee \#IMM \rightarrow (EAd)$ 、 $(EAd) \vee (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理和を取ります。
XOR	B/W/L	$(EAd) \oplus \#IMM \rightarrow (EAd)$ 、 $(EAd) \oplus (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの排他的論理和を取ります。
NOT	B/W/L	$\sim (EAd) \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容の1の補数（論理的補数）を取ります。

表 2.8 シフト命令

命令	サイズ	機能
SHLL SHLR	B/W/L	$(EAd) \text{ (シフト処理)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容を論理的にシフトします。汎用レジスタまたはメモリに対して1、2、4、8または16ビットのシフトが可能です。汎用レジスタに対しては、任意ビットのシフトが可能です。この場合、シフトビット数は、5ビットのイミディエイトデータまたは汎用レジスタの内容下位5ビットで指定します。
SHAL SHAR	B/W/L	$(EAd) \text{ (シフト処理)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容を算術的にシフトします。1または2ビットのシフトが可能です。
ROTL ROTR	B/W/L	$(EAd) \text{ (ローテート処理)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容をローテートします。1または2ビットのシフトが可能です。
ROTXL ROTXR	B/W/L	$(EAd) \text{ (ローテート処理)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容をキャリフラグを含めてローテートします。1または2ビットのシフトが可能です。

表 2.9 ビット操作命令

命令	サイズ	機能
BSET	B	1→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BSET/cc	B	if cc, 1→ (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。条件は、Z=1、Z=0 が指定可能です。
BCLR	B	0→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR/cc	B	if cc, 0→ (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。条件は、Z=1、Z=0 が指定可能です。
BNOT	B	~ (<ビット番号>of<EAd>) → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BTST	B	~ (<ビット番号>of<EAd>) → Z 汎用レジスタまたはメモリの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BAND	B	C∧ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BIAND	B	C∧[~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BOR	B	C∨ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BIOR	B	C∨[~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BXOR	B	C⊕ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。

2. CPU

命令	サイズ	機 能
BIXOR	B	$C \oplus [\sim (\text{<ビット番号>of<EAd>})] \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	$(\text{<ビット番号>of<EAd>}) \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットをキャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BILD	B	$\sim (\text{<ビット番号>of<EAd>}) \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	$C \rightarrow (\text{<ビット番号>of<EAd>})$ 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BSTZ	B	$Z \rightarrow (\text{<ビット番号>of<EAd>})$ メモリの指定された1ビットに、ゼロフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIST	B	$\sim C \rightarrow (\text{<ビット番号>of<EAd>})$ 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BISTZ	B	$\sim Z \rightarrow (\text{<ビット番号>of<EAd>})$ メモリの指定された1ビットに、ゼロフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BFLD	B	$(EAs) (\text{ビットフィールド}) \rightarrow Rd$ メモリのオペランドの指定したビットフィールドを、指定した汎用レジスタの下位側に転送します。
BFST	B	$Rs \rightarrow (EAd) (\text{ビットフィールド})$ メモリのオペランドの指定したビットフィールドへ、指定した汎用レジスタの下位側を転送します。

表 2.10 分岐命令

命令	サイズ	機能
BRA/BS BRA/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BSR/BS BSR/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへサブルーチン分岐します。
Bcc	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BRA/S	—	次の命令を実行した後、指定されたアドレスに無条件に分岐します。次の命令は 1 ワード命令で、かつブロック転送命令、分岐命令以外に限定されます。
JMP	—	指定されたアドレスへ無条件に分岐します。
BSR	—	指定されたアドレスへサブルーチン分岐します。
JSR	—	指定されたアドレスへサブルーチン分岐します。
RTS	—	サブルーチンから復帰します。
RTS/L	—	スタックから複数の汎用レジスタへその内容を復帰し、サブルーチンから復帰します。

2. CPU

表 2.11 システム制御命令

命令	サイズ	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
RTE/L	—	スタックから複数の汎用レジスタへその内容を復帰し、例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	#IMM→CCR、(EAs)→CCR、#IMM→EXR、(EAs)→EXR イミディエイトデータ、汎用レジスタまたはメモリの内容を CCR、EXR へ転送します。CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	Rs→VBR、Rs→SBR 汎用レジスタの内容を VBR、SBR へ転送します。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリへ転送します。 CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	VBR→Rd、SBR→Rd VBR、SBR の内容を汎用レジスタへ転送します。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

2.7.3 命令の基本フォーマット

H8SX CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.14 に命令フォーマットの例を示します。

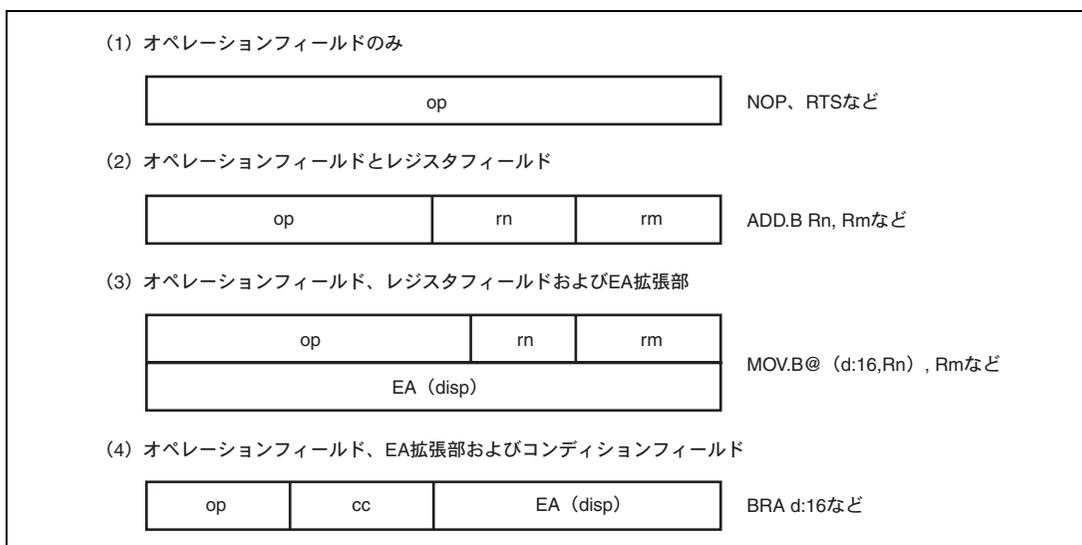


図 2.14 命令フォーマットの例

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

- コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.8 アドレッシングモードと実効アドレスの計算方法

H8SX CPU は表 2.12 に示すように、11 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接（BSET、BCLR、BNOT、BTST の各命令）、およびイミディエイト（3 ビット）が独立して使用できます。

表 2.12 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレイースメント付レジスタ間接	@(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
4	ディスプレイースメント付インデックスレジスタ間接	@(d:16,RnL.B)/@(d:16,Rn.W)/@(d:16,ERn.L) @(d:32,RnL.B)/@(d:32,Rn.W)/@(d:32,ERn.L)
5	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接 プリインクリメントレジスタ間接 ポストデクリメントレジスタ間接	@ERn+ @-ERn @+ERn @ERn-
6	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
7	イミディエイト	#xx:3/#xx:4/#xx:8/#xx:16/#xx:32
8	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
9	プログラムカウンタインデックスレジスタ相対	@(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
10	メモリ間接	@@aa:8
11	拡張メモリ間接	@@ vec:7

2.8.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビット、16 ビットまたは 32 ビット）が、オペランドとなります。

8 ビットレジスタとしては、R0H～R7H、R0L～R7L を指定可能です。

16 ビットレジスタとしては、R0～R7、E0～E7 を指定可能です。

32 ビットレジスタとしては、ER0～ER7 を指定可能です。

2.8.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。

アドバンスモードのとき、分岐命令では下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.3 ディスプレースメント付レジスタ間接 @ (d:2,ERn) /@ (d:16,ERn) /@ (d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

また、データのサイズがバイトの場合は、ディスプレースメントが 1、2、3 のとき短縮形@ (d:2,ERn) が用意されています。同様に、ワードの場合は 2、4、6 のとき、ロングワードの場合は 4、8、12 のとき、それぞれ短縮形@ (d:2,ERn) が用意されています。

2.8.4 ディスプレースメント付インデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/@(d:16,Rn.W)/@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)

命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、1、2 または 4 を乗算し、乗算結果と命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容を、アドレスとしてメモリ上のオペランドを指定します。指定するメモリ上のオペランドサイズに応じて、バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ乗算されます。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.8.5 プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ加算されます。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ減算されます。

2. CPU

(3) プリインクリメントレジスタ間接 @+ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を加算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4が、それぞれ加算されます。

(4) ポストデクリメントレジスタ間接 @ERn-

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2 または 4 が減算され、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4が、それぞれ減算されます。

以上の(1)~(4)の場合、アドレスレジスタで指定した汎用レジスタをデータレジスタとして、メモリへのライトを行う場合、実効アドレス計算後の汎用レジスタの内容がライトされます。また、同一の汎用レジスタを指定して2つの実効アドレス計算を行う場合、1回目の実効アドレス計算後の汎用レジスタの内容が、2回目の実効アドレス計算に用いられます。

例1 MOV.W R0, @ER0+

実行前のER0がH'12345678のときH'12345678番地にH'567Aがライトされます。

例2 MOV.B @ER0+, @ER0+

実行前のER0がH'00001000のときH'00001000番地をリードし、H'00001001番地へライトします。

実行後のER0はH'00001002です。

2.8.6 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32)です。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32)を使用します。8ビット絶対アドレスの場合、上位24ビットはSBRで指定されます。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24)、または32ビット (@aa:32)を使用します。24ビット (@aa:24)のとき上位8ビットはすべて0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.13 に示します。

表 2.13 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	ミドルモード	アドバンスモード	マキシマムモード
データ領域	8 ビット (@aa:8)	SBR を上位アドレスとした任意の連続した 256 バイト			
	16 ビット (@aa:16)	H'0000~H'FFFF	H'000000~ H'007FFF、 H'FF8000~ H'FFFFFF	H'00000000~H'00007FFF、 H'FFFF8000~H'FFFFFFF	
	32 ビット (@aa:32)			H'00000000~H'FFFFFFF	
プログラム領域	24 ビット (@aa:24)	H'000000~ H'FFFFFF	H'000000~ H'FFFFFF	H'00000000~H'00FFFFFF	
	32 ビット (@aa:32)			H'00000000~ H'00FFFFFF	H'00000000~ H'FFFFFFF

2.8.7 イミディエイト #xx

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

短縮形として、3 ビットまたは 4 ビットのイミディエイトデータを使用可能な場合があります。

データのサイズ (バイト/ワード/ロングワード) より、イミディエイトデータのビット数が小さい場合にはゼロ拡張されます。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コード中に含まれる場合があります。BFLD、BFST 命令では、ビットフィールドを指定するための 8 ビットのイミディエイトデータが命令コードの中に含まれます。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.8.8 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 32 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、32 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 32 ビットに符号拡張されます。また、加算される PC の内容は、次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して、-126~+128 バイト (-63~+64 ワード)、または -32766~+32768 バイト (-16383~+16384 ワード) です。このとき、加算結果が偶数となるようにしてください。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.9 プログラムカウンタインデックス相対 @ (RnL.B, PC) /@ (Rn.W, PC) / @ (ERn.L, PC)

Bcc, BSR 命令で使用されます。命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL, Rn, ERn) の内容を 32 ビットにゼロ拡張し、2 を乗算し、乗算結果と PC の内容で指定される 32 ビットのアドレスを加算して、32 ビットの分岐アドレスを生成します。加算される PC の内容は、次の命令の先頭アドレスとなっています。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.10 メモリ間接 @@aa:8

JMP, JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位ビットはすべて 0 となりますので、分岐アドレスを格納できるのは、0~255 (ノーマルモードのとき H'0000~H'00FF、ノーマルモード以外のとき H'000000~H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

そのほかの場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。なお、リセットおよび CPU アドレスエラー以外の例外処理ベクタのアドレスは VBR で変更できます。

メモリ間接による分岐アドレスの指定を図 2.15 に示します。

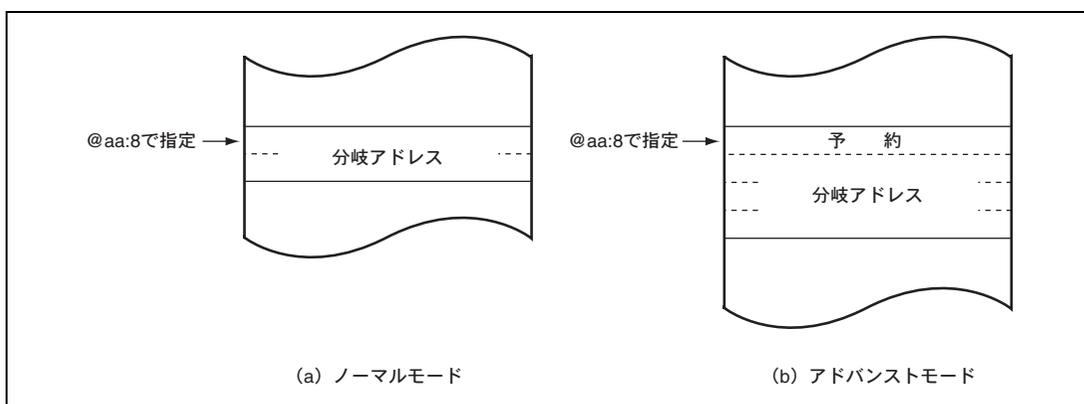


図 2.15 メモリ間接による分岐アドレスの指定

2.8.11 拡張メモリ間接 @@vec:7

JMP、JSR 命令で使用されます。命令コード中に含まれる 7 ビットのデータに H'80 を加算し、2 または 4 を乗算し、乗算結果でメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

分岐アドレスを格納できるのは、ノーマルモードのとき H'0100～H'01FF、ノーマルモード以外のとき H'000200～H'0003FF 番地です。なお、アセンブラ表記上は、分岐アドレスを格納するアドレスを指定します。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

そのほかの場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスドモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) と見なされます。

2.8.12 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.14、表 2.15 に示します。

CPU 動作モードに応じて、実効アドレス計算結果の下位ビットが有効になり、上位ビットは無視 (ゼロ拡張、または符号拡張) されます。

例えばミドルモードのとき、

1. 転送命令、演算命令の実効アドレスの下位 16 ビットが有効になり、上位 16 ビットは符号拡張されます。
2. 分岐命令では、実効アドレスの下位 24 ビットが有効になり、上位 8 ビットはゼロ拡張されます。

2. CPU

表 2.14 転送/演算命令の実効アドレスの計算方法

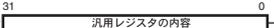
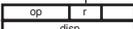
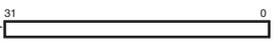
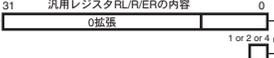
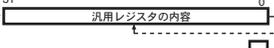
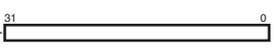
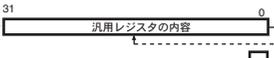
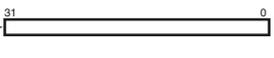
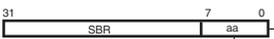
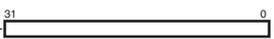
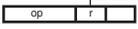
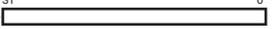
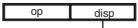
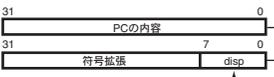
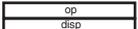
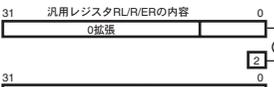
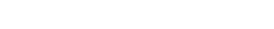
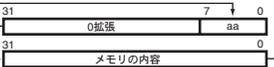
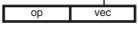
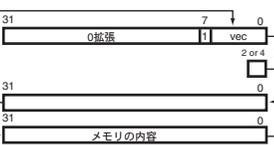
No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	イミディエイト 		
2	レジスタ直接 		
3	レジスタ間接 		
4	・16ビットディスプレースメント付きレジスタ間接 		
	・32ビットディスプレースメント付きレジスタ間接 		
5	・16ビットディスプレースメントインデックスレジスタ間接 		
	・32ビットディスプレースメントインデックスレジスタ間接 		
6	・ポストインクリメント/デクリメントレジスタ間接 		
	・プリインクリメント/デクリメントレジスタ間接 		
7	・8ビット絶対アドレス 		
	・16ビット絶対アドレス 		
	・32ビット絶対アドレス 		

表 2.15 分岐命令の実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	レジスタ間接 	汎用レジスタの内容 	
2	・プログラムカウンタ相対ディスペースメント8ビット 		
	・プログラムカウンタ相対ディスペースメント16ビット 		
3	プログラムカウンタインデックスレジスタ相対 		
4	・24ビット絶対アドレス 		
	・32ビット絶対アドレス 		
5	メモリ間接 		
6	拡張メモリ間接 		

2.8.13 MOVA 命令

MOVA 命令は、実効アドレスを汎用レジスタに格納します。

- 表2.14のNo.2のアドレッシングモードでデータを取得します。
- 次に、このデータを表2.14のNo.5の汎用レジスタの代わりにインデックスとした実効アドレス計算を行い、その結果を汎用レジスタに格納します。

詳細は、「H8SX ファミリソフトウェアマニュアル」を参照してください。

2.9 処理状態

H8SX CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.16 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子を Low レベルから High レベルにすると、リセット例外処理を開始します。また、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。詳細は「4. 例外処理」を参照してください。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「4. 例外処理」を参照してください。

- プログラム実行状態

CPU がプログラムを順次実行している状態です。

- バス権解放状態

DMA コントローラ (DMAC) からのバス権要求に対してバス権を解放した状態です。バス権解放状態では CPU は動作を停止します。

- プログラム停止状態

CPU が動作を停止し、消費電力を低下させた状態です。SLEEP 命令の実行、またはソフトウェアスタンバイモードへの遷移で CPU はプログラム停止状態になります。詳細は「19. 低消費電力」を参照してください。

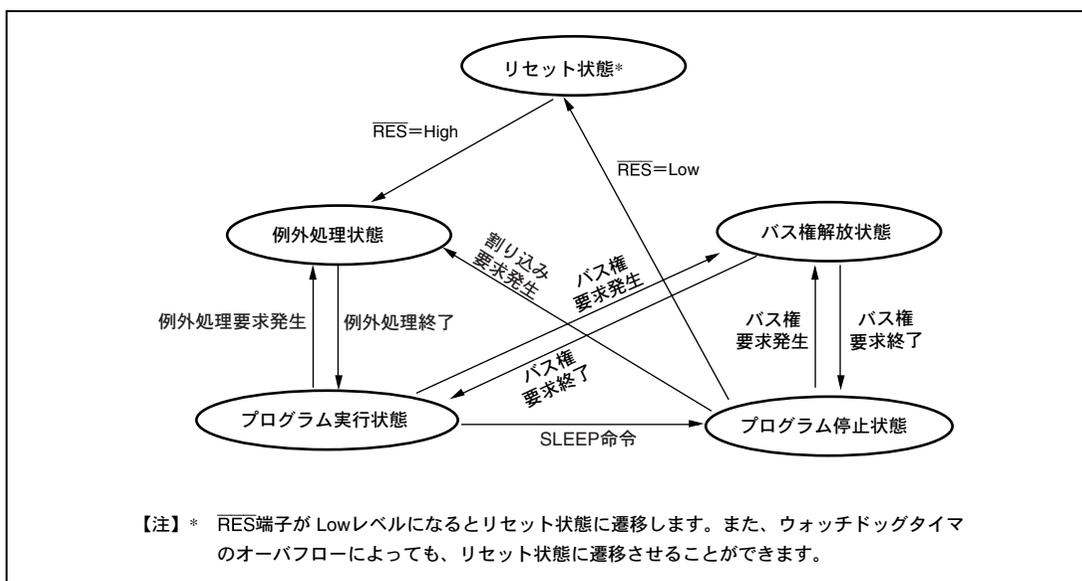


図 2.16 状態遷移図

2. CPU

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 1～3）があります。動作モードは、モード端子（MD1、MD0）の設定で決まります。表 3.1 に MCU 動作モードの選択を示します。

CPU 動作モードはアドバンスモード、アドレス空間は 16M バイトです。起動モードは、フラッシュメモリに書き込み／消去を行えるブートモード／ユーザブートモード起動、シングルチップ起動から選択できます。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD1	MD0	CPU 動作モード	アドレス 空間	内容	内蔵 ROM
1	0	1	アドバンスト	16M バイト	ユーザブートモード	有効
2	1	0			ブートモード	有効
3	1	1			シングルチップ起動モード	有効

モード 1、2 は、フラッシュメモリに書き込み／消去を行えるブートモード、ユーザブートモードです。ブートモード、ユーザブートモードについては、「17. フラッシュメモリ（0.18 μ m F-ZTAT 版）」を参照してください。

モード 3 は、シングルチップ起動モードです。

3. MCU 動作モード

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、現在の動作モードをモニタします。MDCR をリードすると、MD1、MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	—	—	MDS3	MDS2	MDS1	MDS0
初期値:	0	1	0	1	不定*	不定*	不定*	不定*
R/W:	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	1	0	1	不定*	不定*	不定*	不定*
R/W:	R	R	R	R	R	R	R	R

【注】 * MD1、MD0端子の設定により決定されます。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
14	—	1	R	
13	—	0	R	
12	—	1	R	
11	MDS3	不定*	R	モードセレクト 3~0 モード端子 (MD1、MD0) により設定された動作モードに対応した値を示します (表 3.2 参照)。
10	MDS2	不定*	R	
9	MDS1	不定*	R	
8	MDS0	不定*	R	
7	—	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
6	—	1	R	
5	—	0	R	
4	—	1	R	
3	—	不定*	R	
2	—	不定*	R	
1	—	不定*	R	
0	—	不定*	R	

【注】 * MD1、MD0 端子の設定により決定されます。

表 3.2 MDS2～MDS0 ビットの値

MCU 動作モード	MD1	MD0	MDCR			
			MDS3	MDS2	MDS1	MDS0
1	0	1	1	1	0	1
2	1	0	1	1	0	0
3	1	1	0	1	0	0

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、MAC 飽和演算制御、内蔵 RAM の有効/無効の選択、フラッシュメモリの制御レジスタの有効/無効の選択を行ないます。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	MACS	—	—	—	—	RAME
初期値:	1	1	0	1	0	1	0	1
R/W:	R	R	R/W	R	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	FLSHE	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	1	R	リザーブビット
14	—	1	R	これらのビットはリードのみ有効で、ライトは無効です。
13	MACS	0	R/W	MAC 飽和演算制御 MAC 命令の飽和演算、非飽和演算を選択します。 0: MAC 命令は非飽和演算 1: MAC 命令は飽和演算
12	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
11	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
10	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
9	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

3. MCU 動作モード

ビット	ビット名	初期値	R/W	説 明
8	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットは、リセットを解除すると初期化されます。内蔵 RAM アクセス中に 0 ライトを行わないでください。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効
7	FLSHE	0	R/W	フラッシュメモリ制御レジスタイネーブル フラッシュメモリの制御レジスタの CPU アクセスを制御します。このビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリの制御レジスタの内容は保持されています。フラッシュメモリ版以外は、0 をライトしてください。 0 : フラッシュメモリのレジスタを非選択 1 : フラッシュメモリのレジスタを選択
6~2	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
1	—	1	R/W	リザーブビット
0	—	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。

3.3 動作モードの説明

3.3.1 モード 1

モード 1 は、フラッシュメモリのユーザブートモードです。フラッシュメモリの書き込み、消去以外は、モード 3 と同様の動作となります。

3.3.2 モード 2

モード 2 は、フラッシュメモリのブートモードです。フラッシュメモリの書き込み、消去以外は、モード 3 と同様の動作となります。

3.3.3 モード 3

モード 3 は、CPU がアドバンストモードで、アドレス空間 16M バイト、内蔵 ROM 有効のシングルチップ起動モードです。

3.4 アドレスマップ

3.4.1 アドレスマップ

各動作モードのアドレスマップを図 3.1 に示します。

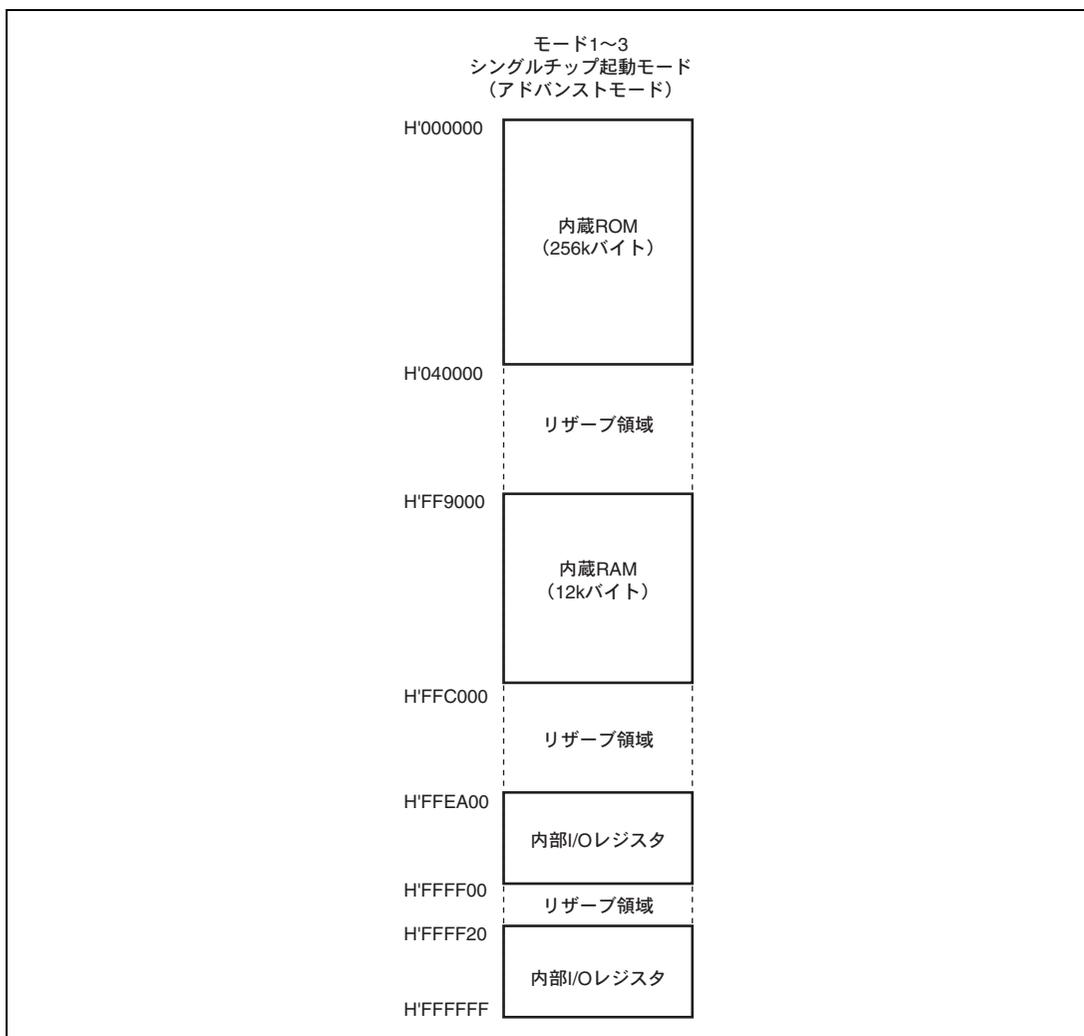


図 3.1 アドレスマップ

3. MCU 動作モード

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には、表 4.1 に示すように、リセット、トレース、アドレスエラー、割り込み、トラップ命令、および不当命令（一般不当命令、スロット不当命令）があります。これらの例外処理要因には、表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられません。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「5. 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高 ↓ 低	リセット	RES 端子の Low レベルから High レベルへの変化、または、ウォッチドッグタイマのオーバフローにより開始します。RES 端子が Low レベルのときリセット状態になります。
	不当命令	未定義コードが実行されると開始します。
	トレース* ¹	EXR のトレース (T) ビット=1 の状態で、実行中の命令または例外処理の完了後開始します。
	アドレスエラー	アドレスエラーのバスサイクルが発生後、命令実行終了時に例外処理を開始します。
	割り込み	割り込み要求が発生すると、実行中の命令または例外処理の完了後開始します。* ²
	トラップ命令* ³	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、ベクタベースレジスタ（VBR）の値と対応するベクタ番号のベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

例外処理要因と、ベクタテーブルアドレスオフセットとの対応を表 4.2 に示します。例外処理ベクタテーブルアドレスの算出法を表 4.3 に示します。

製品によって使用できるモードが異なりますので、製品ごとの詳細は「3. MCU 動作モード」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット*1	
		ノーマルモード*2	アドバンスモード、ミドルモード、マキシマムモード
リセット	0	H'0000~H'0001	H'0000~H'0003
システム予約	1	H'0002~H'0003	H'0004~H'0007
	2	H'0004~H'0005	H'0008~H'000B
	3	H'0006~H'0007	H'000C~H'000F
不当命令	4	H'0008~H'0019	H'0010~H'0013
トレース	5	H'000A~H'000B	H'0014~H'0017
システム予約	6	H'000C~H'000D	H'0018~H'001B
割り込み（NMI）	7	H'000E~H'000F	H'001C~H'001F
トラップ命令（#0）	8	H'0010~H'0011	H'0020~H'0023
トラップ命令（#1）	9	H'0012~H'0013	H'0024~H'0027
トラップ命令（#2）	10	H'0014~H'0015	H'0028~H'002B
トラップ命令（#3）	11	H'0016~H'0017	H'002C~H'002F
CPU アドレスエラー	12	H'0018~H'0019	H'0030~H'0033
DMA アドレスエラー*3	13	H'001A~H'001B	H'0034~H'0037
システム予約	14	H'001C~H'001D	H'0038~H'003B
	63	H'007E~H'007F	H'00FC~H'00FF

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット*1	
		ノーマルモード*2	アドバンスドモード、ミドルモード、マキシマムモード
外部割り込み IRQ0	64	H'0080~H'0081	H'0100~H'0103
外部割り込み IRQ1	65	H'0082~H'0083	H'0104~H'0107
外部割り込み IRQ2	66	H'0084~H'0085	H'0108~H'010B
外部割り込み IRQ3	67	H'0086~H'0087	H'010C~H'010F
外部割り込み IRQ4	68	H'0088~H'0089	H'0110~H'0113
外部割り込み IRQ5	69	H'008A~H'008B	H'0114~H'0117
外部割り込み IRQ6	70	H'008C~H'008D	H'0118~H'011B
外部割り込み IRQ7	71	H'008E~H'008F	H'011C~H'011F
外部割り込み IRQ8	72	H'0090~H'0091	H'0120~H'0123
外部割り込み IRQ9	73	H'0092~H'0093	H'0124~H'0127
外部割り込み IRQ10	74	H'0094~H'0095	H'0128~H'012B
外部割り込み IRQ11	75	H'0096~H'0097	H'012C~H'012F
外部割り込み IRQ12	76	H'0098~H'0099	H'0130~H'0133
外部割り込み IRQ13	77	H'009A~H'009B	H'0134~H'0137
外部割り込み IRQ14	78	H'009C~H'009D	H'0138~H'013B
システム予約	79	H'009E~H'009F	H'013C~H'013F
	80	H'00A0~H'00A1	H'0140~H'0143
内部割り込み*4	81	H'00A2~H'00A3	H'0144~H'0147
	255	H'01FE~H'01FF	H'03FC~H'03FF

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 DMA アドレスエラーの要因発生元は DMAC です。

*4 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

表 4.3 例外処理ベクタテーブルアドレスの算出法

例外処理要因	ベクタテーブルアドレス算出法
リセット、CPU アドレスエラー	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット)
上記以外	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット)

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 4.2 を参照

4. 例外処理

4.3 リセット

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。

また、ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「11. ウォッチドッグタイマ (WDT)」を参照してください。

リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は、割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、VBR が H'00000000 にクリアされ、EXR の T ビットが 0 にクリアされます。EXR、CCR の I ビットは 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1 に示します。

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'0FFF、MSTPCRB は H'FFFF に初期化され、DMAC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

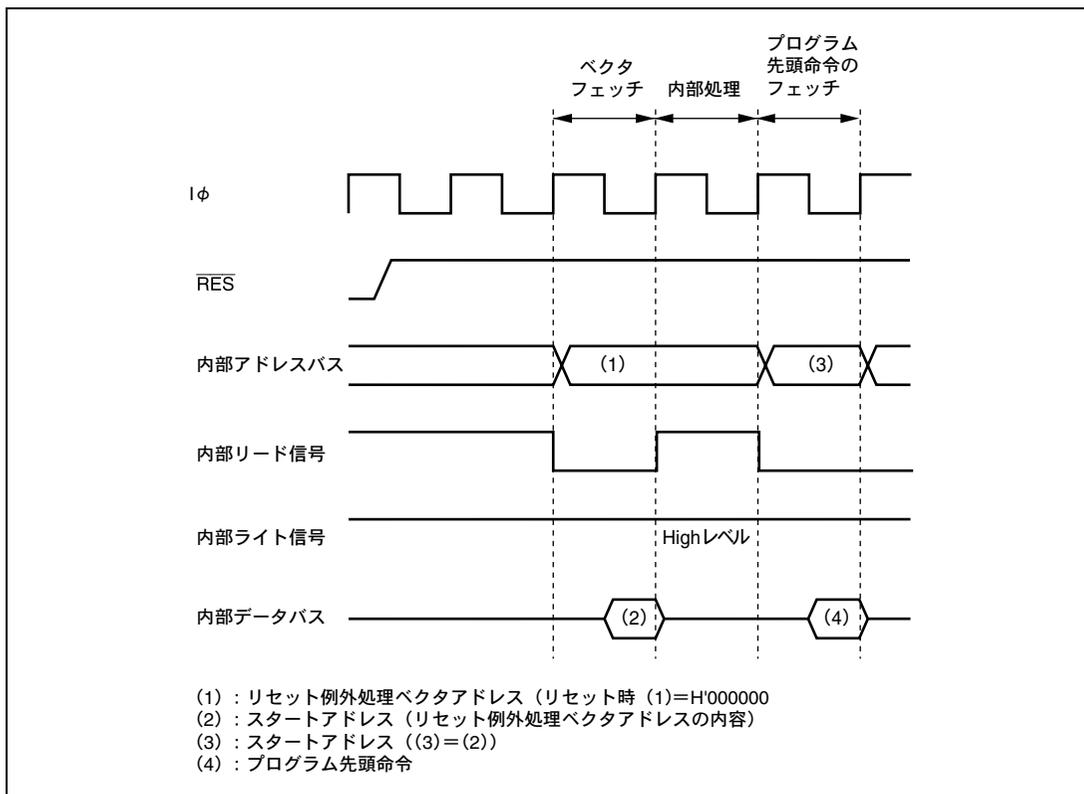


図 4.1 リセットシーケンス (アドバンストモード/内蔵 ROM 有効)

4. 例外処理

4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードを変更する場合は、Tビット=0の状態で行ってください。割り込み制御モードについては、「5. 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが1命令の実行を完了するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.4にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.4 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.5 アドレスエラー

4.5.1 アドレスエラー発生要因

アドレスエラーは、表 4.5 に示すように命令フェッチ、スタック操作、データ読み出し／書き込み、シングルアドレス転送時に発生します。

表 4.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間* ¹ 以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間* ¹ から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
		リザーブ空間* ² から命令をフェッチ	アドレスエラー発生
スタック操作	CPU	スタックポインタの値が偶数アドレスでスタックをアクセス	なし（正常）
		スタックポインタの値が奇数アドレスでスタックをアクセス	アドレスエラー発生
データ読み出し ／書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		リザーブ空間* ² をアクセス	アドレスエラー発生
データ読み出し ／書き込み	DMAC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		リザーブ空間* ² をアクセス	アドレスエラー発生
シングル アドレス転送	DMAC	シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間	なし（正常）
		シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間以外の空間	アドレスエラー発生

【注】 *¹ 内蔵周辺モジュール空間については、「6. バスコントローラ（BSC）」を参照してください。

*² リザーブ空間については、「3.4 アドレスマップ」の図 3.1を参照してください。

H'FF8000~H'FF8FFFのリザーブ領域をアクセスした場合、アドレスエラーは発生しません。

4. 例外処理

4.5.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPUは次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

アドレスエラー例外処理に遷移するときにアドレスエラーが発生した場合、そのときのアドレスエラーは受け付けません。これは例外処理のスタッキングで発生するアドレスエラーを回避して、無限にアドレスエラー例外処理によるスタッキングが続かないようにするためです。

アドレスエラー例外処理が発生したときにSPが2の倍数になっていない場合、スタックされた値（PC、CCR、EXR）は不定です。

また、アドレスエラーが発生すると、DMACを停止させるために次の制御を行います。

- DMACのDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDTEビットを0にクリア、および強制転送終了

表 4.6 にアドレスエラー例外処理後の CCR、EXR の状態を示します。

表 4.6 アドレスエラー例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	7

【記号説明】

1：1にセットされます。

0：0にクリアされます。

—：実行前の値が保持されます。

4.6 割り込み

4.6.1 割り込み要因

割り込み例外処理を起動させる要因には、表 4.7 に示すように NMI、IRQ0～IRQ14、内蔵周辺モジュールがあります。

表 4.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
IRQ0～IRQ14	IRQ0～IRQ14 端子 (外部からの入力)	15
内蔵周辺モジュール	ウォッチドッグタイマ (WDT)	1
	A/D 変換器	2
	16 ビットタイマパルスユニット (TPU)	52 ^{*1} /26 ^{*2}
	DMA コントローラ (DMAC)	8
	シリアルコミュニケーションインタフェース (SCI)	8
	シンクロナスシリアルコミュニケーションユニット (SSU)	9
	コントローラエリアネットワーク (RCAN-ET)	4

【注】 *1 H8SX/1527R の割り込み要因数

*2 H8SX/1525R の割り込み要因数

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「5.5 割り込み例外処理ベクタテーブル」の表 5.2 を参照してください。

4.6.2 割り込み例外処理

割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI 以外の割り込みに 8 レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「5. 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

4. 例外処理

4.7 命令による例外処理

例外処理を起動する命令には、トラップ命令、不当命令があります。

4.7.1 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した0~3のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

トラップ命令例外処理実行後のCCR、EXRの状態を表4.8に示します。

表 4.8 トラップ命令例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	—	—	—
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.7.2 不当命令例外処理

不当命令には、一般不当命令とスロット不当命令があります。

一般不当命令例外処理は、未定義コードを実行すると例外処理を開始します。

スロット不当命令例外処理は、遅延スロットの命令(遅延分岐命令の直後の命令)として、2ワード以上の命令、またはPCを書き換える命令を実行すると例外処理を開始します。

一般不当命令例外処理、およびスロット不当命令例外処理は、プログラム実行状態で常に実行可能です。

一般不当命令例外処理、およびスロット不当命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生した例外に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルー

チンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

表 4.9 に不当命令例外処理後の CCR、EXR の状態を示します。

表 4.9 不当命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	—

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.8 例外処理後のスタックの状態

例外処理後のスタックの状態を図 4.2 に示します。

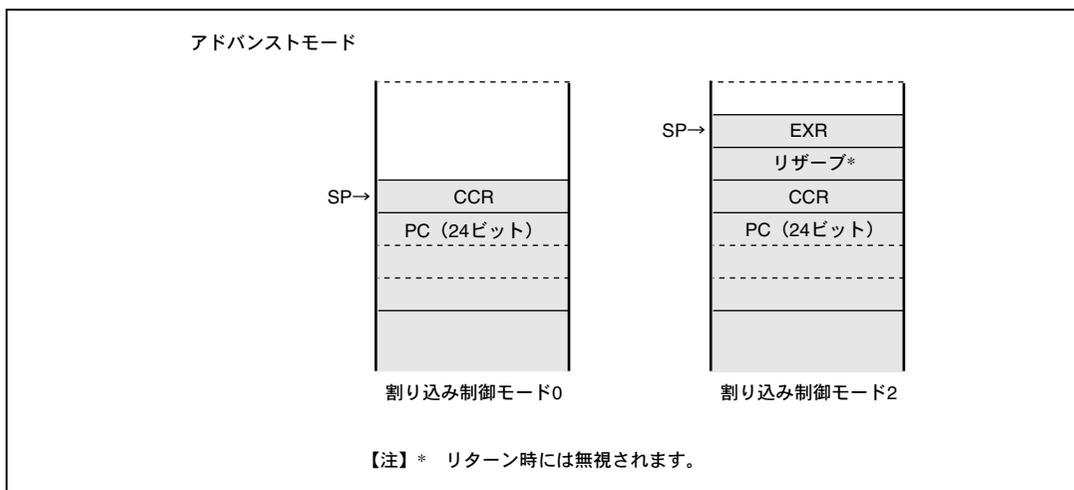


図 4.2 例外処理終了後のスタックの状態

4.9 使用上の注意事項

スタックを操作するアクセスを行う場合は、アドレスの最下位ビットは0と見なされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定した状態でスタック操作を行うとアドレスエラーが発生します。SP を奇数に設定した場合の動作例を図 4.3 に示します。

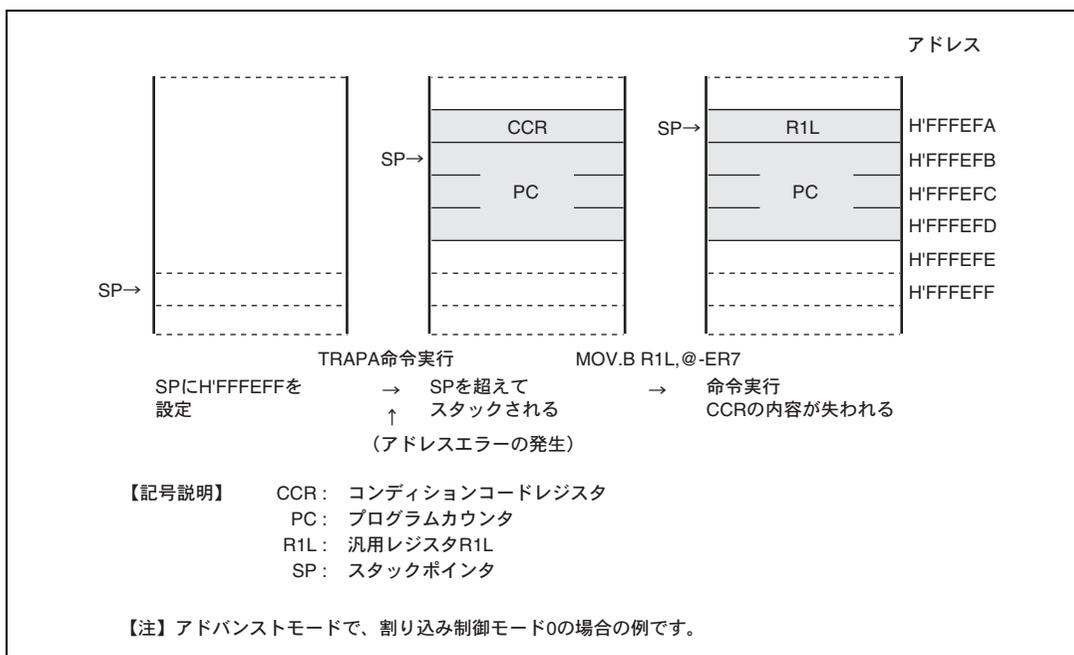


図 4.3 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

割り込みコントロールレジスタ (INTCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードを選択できます。

- インタラプトプライオリティレジスタ (IPR) により、優先順位を設定可能

IPRにより、以下に示した割り込み要求以外は、モジュールごとに8レベルの優先順位を設定できます。(1)～(6)の要求は、最優先のレベル8の割り込みとして常に受け付けられます。

- (1) NMI
- (2) 不当命令
- (3) トレース
- (4) トラップ命令
- (5) CPUアドレスエラー
- (6) DMAアドレスエラー*

【注】 * DMA アドレスエラーの要因発生元は DMAC です。

- 独立したベクタアドレス

すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 16本の外部割り込み端子

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジ、または立ち下がりエッジを選択できます。 $\overline{\text{IRQ14}}\sim\overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

- DMACの制御

割り込み要求により、DMACを起動することができます。

- CPUの優先レベル制御機能

CPUとDMACとの間の優先レベルを設定できます。CPUの優先レベルは例外処理により自動設定することが可能で、CPUの割り込み例外処理などをDMACの転送処理よりも優先させることができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

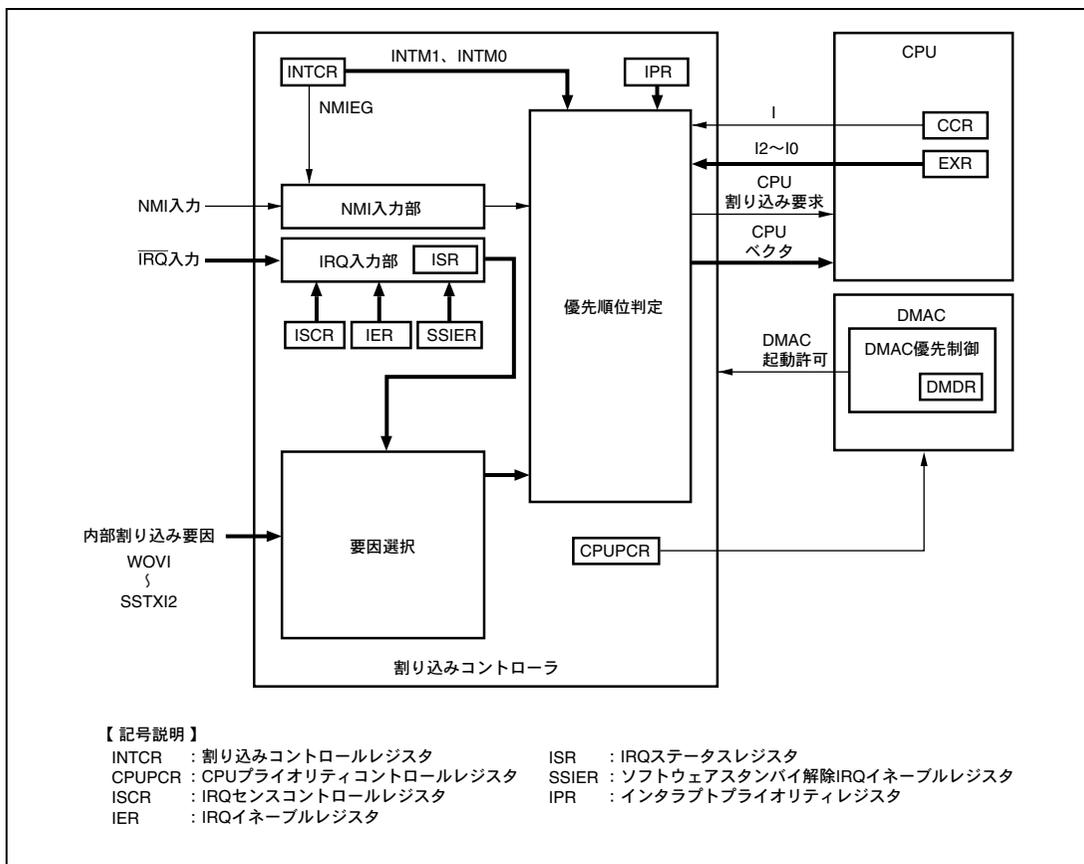


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	入出力	機能
NMI	入力	ノンマスクابل外部割り込み端子 立ち上がりエッジ、または立ち下がりエッジを選択できます。
IRQ14~IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択できます。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- CPUプライオリティコントロールレジスタ (GPUPCR)
- インタラプトプライオリティレジスタA~G、I、K~O、Q、R
(IPRA~IPRG、IPRI、IPRK~IPRO、IPRQ、IPRR)
- IRQイネーブルレジスタ (IER)
- IRQセンスコントロールレジスタH、L (ISCRH、ISCRL)
- IRQステータスレジスタ (ISR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)

5.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	INTM1	INTM0	NMIEG	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	INTM1	0	R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 00: 割り込み制御モード 0 CCR の 1 ビットで割り込みを制御します。 01: 設定禁止 10: 割り込み制御モード 2 EXR の 12~10 ビットと IPR で割り込みを制御します。 11: 設定禁止
4	INTM0	0	R/W	
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0: NMI 入力の立ち下がりエッジで割り込み要求を発生 1: NMI 入力の立ち上がりエッジで割り込み要求を発生
2~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

5. 割り込みコントローラ

5.3.2 CPU プライオリティコントロールレジスタ (CPUPCR)

CPUPCR は、DMAC に対して CPU の優先レベルを設定します。CPU の割り込み例外処理などを DMAC の転送処理よりも優先させることができます。DMAC の優先レベルは、各チャンネル毎に DMAC のコントロールレジスタで設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	CPUPCE	—	—	—	IPSETE	CPUP2	CPUP1	CPUP0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*	R/(W)*

【注】 * IPSETE ビットが 1 にセットされると、自動更新になるためライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	CPUPCE	0	R/W	CPU プライオリティコントロールイネーブル CPU の優先レベル制御機能を制御します。このビットを 1 にセットすると、DMAC に対して CPU の優先レベル制御が有効になります。 0 : CPU は常に優先レベル最低 1 : CPU の優先レベル制御は有効
6~4	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
3	IPSETE	0	R/W	インタラプトプライオリティセットイネーブル 割り込み優先順位を、自動的に CPU の優先レベルに設定する機能を制御します。このビットを 1 にセットすると、CPU の割り込みマスクビット (CCR の I、EXR の I2~I0) の値により、CPUP2~CPUP0 ビットを自動的に設定します。 0 : CPUP2~CPUP0 ビットは自動更新しない 1 : 割り込みマスクビットの値を CPUP2~CPUP0 ビットに反映する
2	CPUP2	0	R/(W)*	CPU プライオリティレベル 2~0 CPU の優先レベルを設定します。CPUPCE ビットが 1 のとき、DMAC に対して CPU の優先レベル制御が有効になり、CPUP2~CPUP0 ビットの設定に従って CPU の処理の優先レベルが設定されます。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
1	CPUP1	0	R/(W)*	
0	CPUP0	0	R/(W)*	

【注】 * IPSETE ビットが 1 にセットされると、自動更新になるためライトは無効です。

5.3.3 インタラプトプライオリティレジスタ A~G、I、K~O、Q、R (IPRA~IPRG、IPRI、IPRK~IPRO、IPRQ、IPRR)

IPR は、NMI を除く割り込み要因の優先順位（レベル 0~7）を設定します。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに B'000 から B'111 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。各割り込み要因と IPR の対応については、表 5.2 参照してください。

ビット	15	14	13	12	11	10	9	8
ビット名	—	IPR14	IPR13	IPR12	—	IPR10	IPR9	IPR8
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。
13	IPR13	1	R/W	000: 優先レベル 0 (最低)
12	IPR12	1	R/W	001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。
9	IPR9	1	R/W	000: 優先レベル 0 (最低)
8	IPR8	1	R/W	001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

5.3.4 IRQ イネーブルレジスタ (IER)

IER は、IRQ14~IRQ0 割り込み要求をイネーブルにします。

ビット	15	14	13	12	11	10	9	8
ビット名	—	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
15	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
14	IRQ14E	0	R/W	IRQ14 イネーブル このビットが1のとき IRQ14 割り込み要求がイネーブルになります。
13	IRQ13E	0	R/W	IRQ13 イネーブル このビットが1のとき IRQ13 割り込み要求がイネーブルになります。
12	IRQ12E	0	R/W	IRQ12 イネーブル このビットが1のとき IRQ12 割り込み要求がイネーブルになります。
11	IRQ11E	0	R/W	IRQ11 イネーブル このビットが1のとき IRQ11 割り込み要求がイネーブルになります。
10	IRQ10E	0	R/W	IRQ10 イネーブル このビットが1のとき IRQ10 割り込み要求がイネーブルになります。
9	IRQ9E	0	R/W	IRQ9 イネーブル このビットが1のとき IRQ9 割り込み要求がイネーブルになります。
8	IRQ8E	0	R/W	IRQ8 イネーブル このビットが1のとき IRQ8 割り込み要求がイネーブルになります。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが1のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが1のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが1のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが1のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが1のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが1のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが1のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが1のとき IRQ0 割り込み要求がイネーブルになります。

5. 割り込みコントローラ

5.3.5 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は、 $\overline{\text{IRQ14}}$ ～ $\overline{\text{IRQ0}}$ 入力から割り込み要求を発生させる要因を選択します。

ISCR の設定変更時に、内部動作により ISR の IRQnF ($n=0\sim 14$) が意図しないで 1 にセットされる場合があります。このとき、 IRQn 割り込み要求が許可されていると割り込み例外処理を実行します。この意図しない割り込みを防ぐには、ISCR の設定変更を IRQn 割り込みを禁止した状態で行い、その後 ISR の IRQnF を 0 にクリアしてください。

・ ISCRH

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	IRQ14SR	IRQ14SF	IRQ13SR	IRQ13SF	IRQ12SR	IRQ12SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

・ ISCRL

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

• ISCRH

ビット	ビット名	初期値	R/W	説明
15	—	0	R/W	リザーブビット
14	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
13	IRQ14SR	0	R/W	IRQ14 センスコントロールライズ
12	IRQ14SF	0	R/W	IRQ14 センスコントロールフォール 00: $\overline{\text{IRQ14}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ14}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ14}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ14}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
11 10	IRQ13SR IRQ13SF	0 0	R/W R/W	IRQ13 センスコントロールライズ IRQ13 センスコントロールフォール 00: $\overline{\text{IRQ13}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ13}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ13}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ13}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
9 8	IRQ12SR IRQ12SF	0 0	R/W R/W	IRQ12 センスコントロールライズ IRQ12 センスコントロールフォール 00: $\overline{\text{IRQ12}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ12}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ12}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ12}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7 6	IRQ11SR IRQ11SF	0 0	R/W R/W	IRQ11 センスコントロールライズ IRQ11 センスコントロールフォール 00: $\overline{\text{IRQ11}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ11}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ11}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ11}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5 4	IRQ10SR IRQ10SF	0 0	R/W R/W	IRQ10 センスコントロールライズ IRQ10 センスコントロールフォール 00: $\overline{\text{IRQ10}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ10}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ10}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ10}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3 2	IRQ9SR IRQ9SF	0 0	R/W R/W	IRQ9 センスコントロールライズ IRQ9 センスコントロールフォール 00: $\overline{\text{IRQ9}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ9}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ9}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ9}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1 0	IRQ8SR IRQ8SF	0 0	R/W R/W	IRQ8 センスコントロールライズ IRQ8 センスコントロールフォール 00: $\overline{\text{IRQ8}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ8}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ8}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ8}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

• ISCRL

ビット	ビット名	初期値	R/W	説明
15	IRQ7SR	0	R/W	IRQ7 センスコントロールライズ IRQ7 センスコントロールフォール 00: $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ7}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10: $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ7}}$ 入力の立ち下がりが、立ち上がりの両エッジで割り込み要求を発生
14	IRQ7SF	0	R/W	
13	IRQ6SR	0	R/W	IRQ6 センスコントロールライズ IRQ6 センスコントロールフォール 00: $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ6}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10: $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ6}}$ 入力の立ち下がりが、立ち上がりの両エッジで割り込み要求を発生
12	IRQ6SF	0	R/W	
11	IRQ5SR	0	R/W	IRQ5 センスコントロールライズ IRQ5 センスコントロールフォール 00: $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ5}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10: $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ5}}$ 入力の立ち下がりが、立ち上がりの両エッジで割り込み要求を発生
10	IRQ5SF	0	R/W	
9	IRQ4SR	0	R/W	IRQ4 センスコントロールライズ IRQ4 センスコントロールフォール 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がりが、立ち上がりの両エッジで割り込み要求を発生
8	IRQ4SF	0	R/W	
7	IRQ3SR	0	R/W	IRQ3 センスコントロールライズ IRQ3 センスコントロールフォール 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がりが、立ち上がりの両エッジで割り込み要求を発生
6	IRQ3SF	0	R/W	
5	IRQ2SR	0	R/W	IRQ2 センスコントロールライズ IRQ2 センスコントロールフォール 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がりが、立ち上がりの両エッジで割り込み要求を発生
4	IRQ2SF	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	IRQ1SR	0	R/W	IRQ1 センスコントロールライズ
2	IRQ1SF	0	R/W	IRQ1 センスコントロールフォール 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ0SR	0	R/W	IRQ0 センスコントロールライズ
0	IRQ0SF	0	R/W	IRQ0 センスコントロールフォール 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.3.6 IRQ ステータスレジスタ (ISR)

ISR は、IRQ14~IRQ0 割り込み要求レジスタです。

ビット	15	14	13	12	11	10	9	8
ビット名	—	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*							

【注】 * フラグをクリアするための0ライトのみ可能です。
フラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
15	—	0	R/(W)*	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
14	IRQ14F	0	R/(W)*	[セット条件] • ISCR で選択した割り込み要因が発生したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき • Low レベル検出設定の状態、かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態での割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
13	IRQ13F	0	R/(W)*	
12	IRQ12F	0	R/(W)*	
11	IRQ11F	0	R/(W)*	
10	IRQ10F	0	R/(W)*	
9	IRQ9F	0	R/(W)*	
8	IRQ8F	0	R/(W)*	
7	IRQ7F	0	R/(W)*	
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【注】 * フラグをクリアするための0ライトのみ可能です。
 フラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

5.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIER は、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQ}}_{14} \sim \overline{\text{IRQ}}_0$ 端子を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	—	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
14	SSI14	0	R/W	ソフトウェアスタンバイ解除 IRQ 設定 SSIn ビットは、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQ}}_n$ 端子を設定します (n=14~0)。 0: IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません。 1: ソフトウェアスタンバイ状態で IRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します。
13	SSI13	0	R/W	
12	SSI12	0	R/W	
11	SSI11	0	R/W	
10	SSI10	0	R/W	
9	SSI9	0	R/W	
8	SSI8	0	R/W	
7	SSI7	0	R/W	
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	0	R/W	
1	SSI1	0	R/W	
0	SSI0	0	R/W	

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ14～IRQ0 の 16 要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 割り込み要求を NMI 入力の立ち上がりエッジと、立ち下がりエッジのどちらで発生させるかは、INTCR の NMIEG ビットで選択できます。

NMI 割り込みが発生すると、割り込みコントローラはエラー発生と見なして次の制御を行います。

- DMACのDMDR_0のERRFビットを1にセット
- DMACの全チャネルのDTEビットを0にクリア、および強制転送終了

(2) IRQn 割り込み

IRQn 割り込みは、 $\overline{\text{IRQn}}$ 入力により割り込み要求を発生します (n=14～0)。

IRQn 割り込みには以下の特長があります。

- $\overline{\text{IRQn}}$ 入力の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQn 割り込み要求は、IER により選択できます。
- IPR により、割り込み要因の優先順位を設定できます。
- IRQn 割り込み要求のステータスは、ISR に表示されます。ISR のフラグは、ソフトウェアで 0 にクリアすることができます。ISR のフラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

IRQn 割り込みの検出は P1ICR、P2ICR、P5ICR、P6ICR の設定により有効となり、当該端子の出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、そのほかの機能の入出力端子として使用しないでください。

IRQn 割り込みのブロック図を図 5.2 に示します。

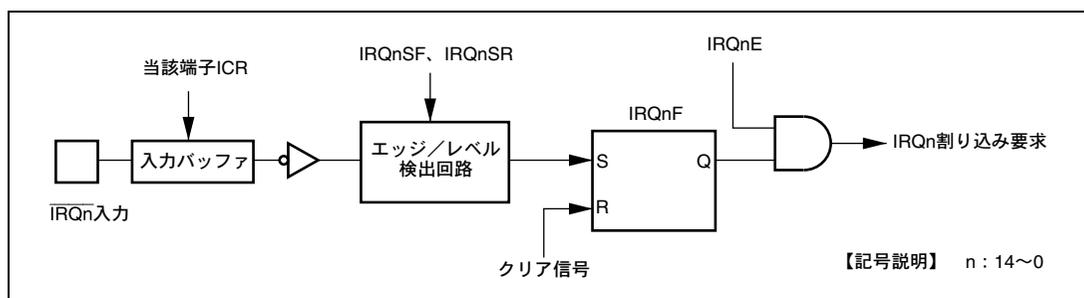


図 5.2 IRQn 割り込みのブロック図

IRQn 割り込み要求を ISCR の設定により $\overline{\text{IRQn}}$ 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 $\overline{\text{IRQn}}$ 入力を割り込み処理が開始されるまで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻し、かつ IRQnF を 0 にクリアしてください。割り込み処理が開始される前に、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻すと、当該割り込みが実行されない場合があります。

5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが1のとき、割り込み要求が割り込みコントローラに送られます。
- IPRによって、割り込み要因の優先順位を設定できます。
- TPU、SCI、RCAN-ET、SSUなどの割り込み要求によりDMACを起動することができます。
- DMACの起動は、CPUに対するDMACの優先レベル制御機能により優先レベルを設定できます。

5.5 割り込み例外処理ベクタテーブル

割り込み例外処理要因とベクタテーブルアドレスオフセットおよび割り込み優先順位の一覧を表 5.2 に示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード 2 に設定されている場合、優先順位は IPR 設定単位ごとに IPR により変更することができます。同一優先順位の IPR に設定された割り込み要因は、デフォルトの優先順位に従います。同一優先順位の IPR 設定単位内の優先順位は固定されています。

5. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ番号	ベクタテーブル アドレスオフセット*1	IPR	優先順位	DMAC 起動	
			アドバンスモード				
DMAC	DMTEND0	128	H'0200	IPRI14~IPRI12	高 ↑	—	
	DMTEND1	129	H'0204			IPRI10~IPRI8	—
	DMTEND2	130	H'0208			IPRI6~IPRI4	—
	DMTEND3	131	H'020C			IPRI2~IPRI0	—
—	システム予約	132	H'0210	—		—	
		133	H'0214			—	
		134	H'0218			—	
		135	H'021C			—	
DMAC	DMEEND0	136	H'0220	IPRK14~IPRK12		—	
	DMEEND1	137	H'0224			—	
	DMEEND2	138	H'0228			—	
	DMEEND3	139	H'022C			—	
—	システム予約	140	H'0230	—		—	
		141	H'0234			—	
		142	H'0238			—	
		143	H'023C			—	
		144	H'0240			—	
		145	H'0244			—	
		146	H'0248			—	
		147	H'024C			—	
		148	H'0250			—	
		149	H'0254			—	
		150	H'0258			—	
		151	H'025C			—	
		152	H'0260			—	
		153	H'0264			—	
154	H'0268	—					
155	H'026C	—					
SCI_3	ERI3	156	H'0270	IPRL10~IPRL8	低	—	
	RXI3	157	H'0274			○	
	TXI3	158	H'0278			○	
	TEI3	159	H'027C			—	

5. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ番号	ベクタテーブル アドレスオフセット*1	IPR	優先順位	DMAC 起動
			アドバンスモード			
-	システム予約	192	H'0300	-	高 ↑	-
		193	H'0304			-
		194	H'0308			-
		195	H'030C			-
		196	H'0310			-
		197	H'0314			-
		198	H'0318			-
		199	H'031C			-
		200	H'0320			-
		201	H'0324			-
		202	H'0328			-
		203	H'032C			-
		204	H'0330			-
		205	H'0334			-
		206	H'0338			-
		207	H'033C			-
		208	H'0340			-
		209	H'0344			-
		210	H'0348			-
		211	H'034C			-
212	H'0350	-				
213	H'0354	-				
214	H'0358	-				
215	H'035C	-				
216	H'0360	-				
217	H'0364	-				
218	H'0368	-				
219	H'036C	-				
RCAN-ET	ERS_0/OVR_0	220	H'0370	IPRQ2~IPRQ0	低	-
	RM0_0	221	H'0374			○
	RM1_0	222	H'0378			-
	SLE_0	223	H'037C			-

5. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ番号	ベクタテーブル アドレスオフセット*1	IPR	優先順位	DMAC 起動	
			アドバンスモード				
SSU_0	システム予約	224	H'0380	IPRR14~IPRR12	高 ↑	—	
		225	H'0384			—	
		226	H'0388			—	
	SSERI0	227	H'038C			IPRR10~IPRR8	—
	SSRXI0	228	H'0390				○
	SSTXI0	229	H'0394				○
SSU_1	システム予約	230	H'0398	IPRR6~IPRR4	↑	—	
	SSERI1	231	H'039C			—	
	SSRXI1	232	H'03A0			○	
	SSTXI1	233	H'03A4			○	
SSU_2	システム予約	234	H'03A8	IPRR2~IPRR0	↑	—	
	SSERI2	235	H'03AC			—	
	SSRXI2	236	H'03B0			○	
	SSTXI2	237	H'03B4			○	
	システム予約	238	H'03B8			—	
—	システム予約	239	H'03BC	—	↑	—	
		240	H'03C0			—	
		241	H'03C4			—	
		242	H'03C8			—	
		243	H'03CC			—	
		244	H'03D0			—	
		245	H'03D4			—	
		246	H'03D8			—	
		247	H'03DC			—	
		248	H'03E0			—	
		249	H'03E4			—	
		250	H'03E8			—	
		251	H'03EC			—	
		252	H'03F0			—	
		253	H'03F4			—	
		254	H'03F8			—	
		255	H'03FC			—	

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 H8SX/1527R のみ

5. 割り込みコントローラ

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには、割り込み制御モード0と割り込み制御モード2の2種類の割り込み制御モードがあります。割り込み制御モードの選択は、INTCRで行います。割り込み制御モード0と割り込み制御モード2の相違点を表5.3に示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	1	各割り込み要因の優先順位は、デフォルトで固定されています。NMIを除く割り込み要因は、1ビットによりマスクされます。
2	IPR	12~10	IPRにより、NMIを除く各割り込み要因に8レベルの優先順位を設定できます。12~10ビットにより、8レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード0

割り込み制御モード0では、NMIを除く割り込み要求は、CPUのCCRの1ビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CCRの1ビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。1ビットが0にクリアされているときは、割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは、割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択して、CPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRの1ビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

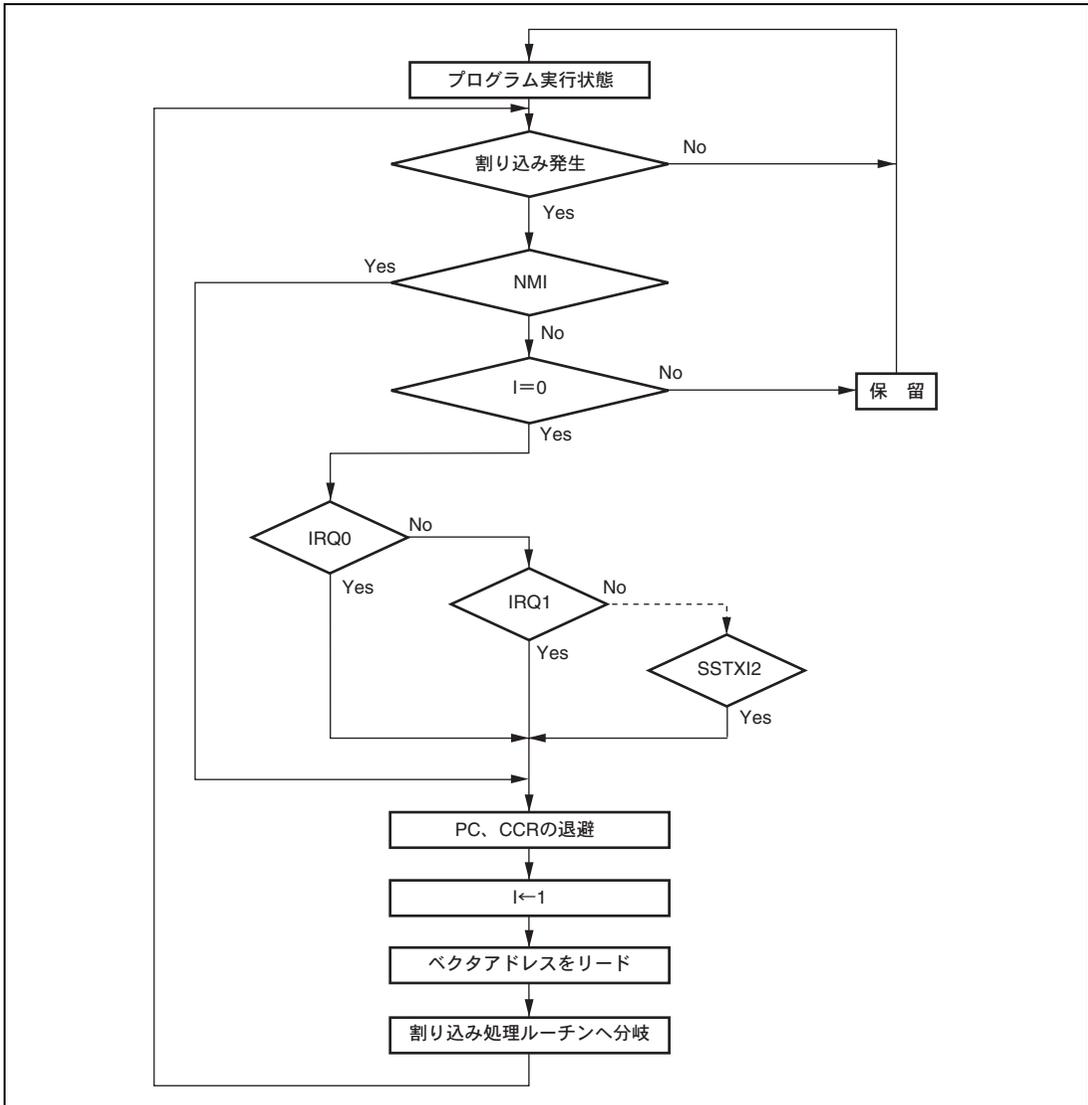


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.2 割り込み制御モード 2

割り込み制御モード 2 では、NMI を除く割り込み要求は、CPU の EXR の割り込みマスクレベル (I2~I0 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは、割り込みコントローラはIPRに設定された割り込み要因の優先順位に従って最も優先レベルの高い割り込みを選択し、それよりも優先レベルの低い割り込み要求は保留します。優先レベルが同一の場合は、表5.2に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. 選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR、およびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みの優先レベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

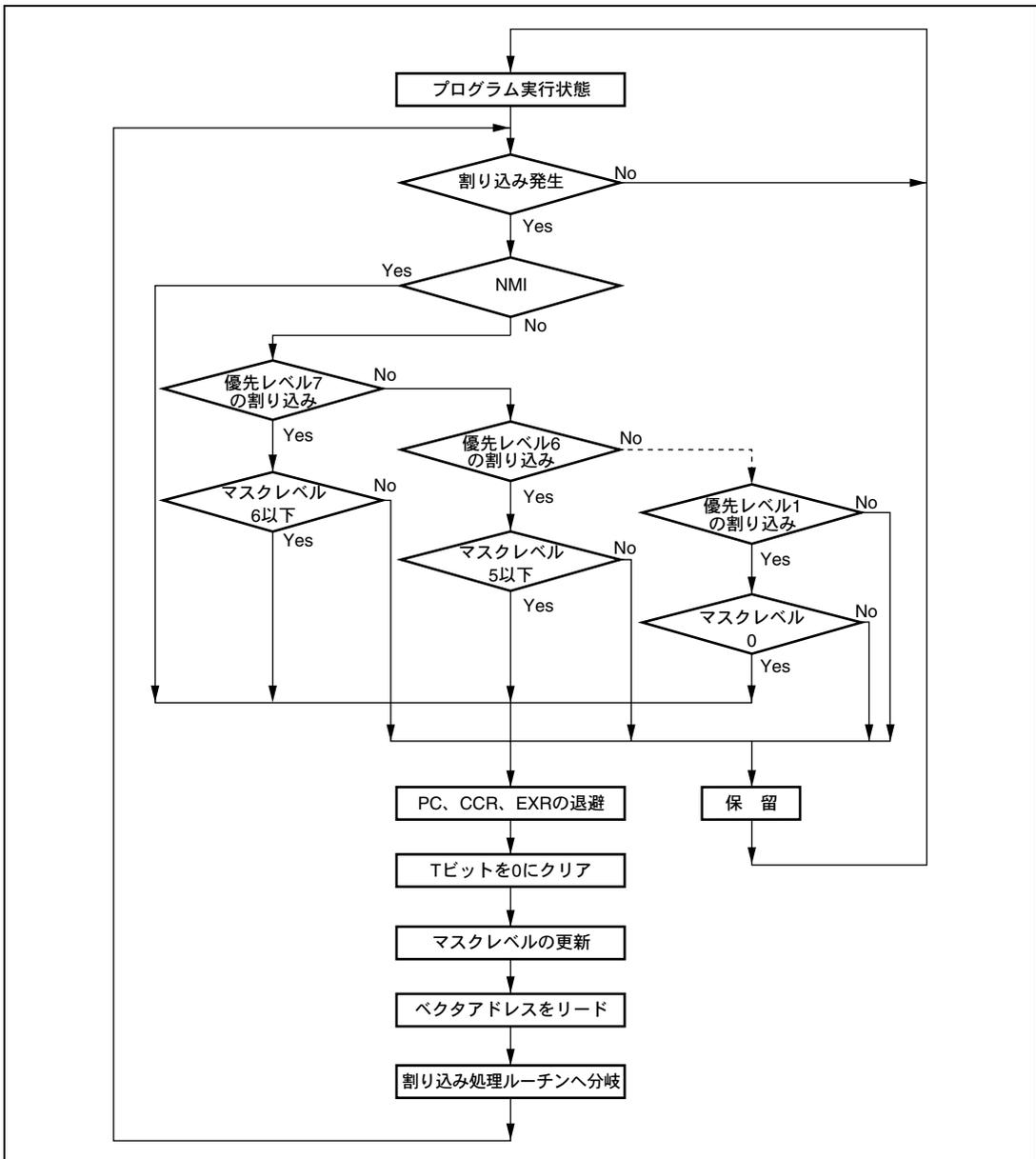


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.6.3 割り込み例外処理シーケンス

割り込み例外処理シーケンスを図 5.5 に示します。マキシマムモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

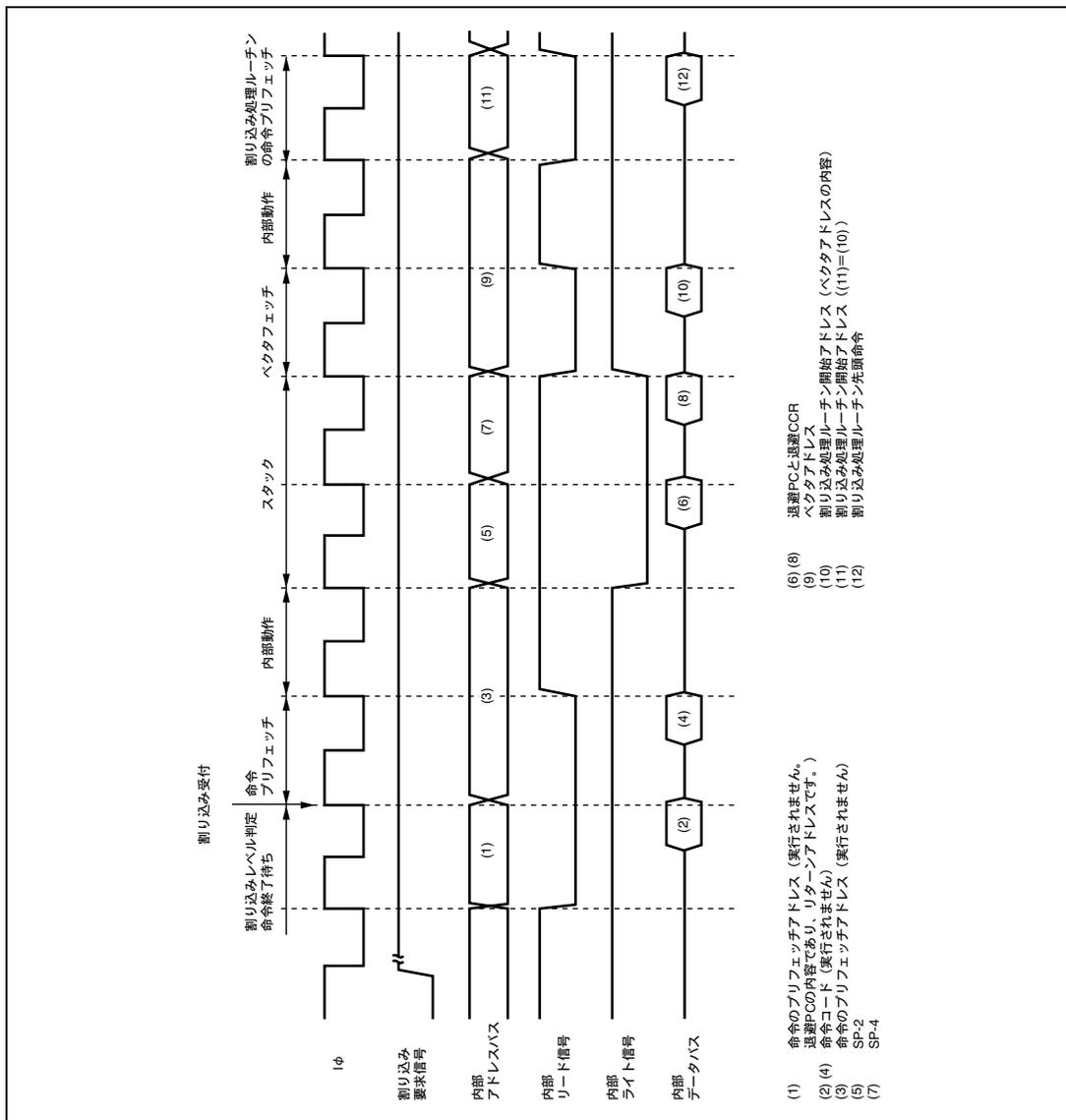


図 5.5 割り込み例外処理

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能なため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード		マキシマムモード		
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制 御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制 御 モード 2	
1	割り込み優先順位 判定*1	3						
2	実行中の命令が 終了するまでの 待ちステート数*2	1~19+2・Si						
3	PC、CCRおよびEXR のスタック	$S_k \sim 2 \cdot S_k$ *6	2・Sk	$S_k \sim 2 \cdot S_k$ *6	2・Sk	2・Sk	2・Sk	
4	ベクタフェッチ	Sh						
5	命令フェッチ*3	2・Si						
6	内部処理*4	2						
合計（内蔵メモリ使用時）		10~31	11~31	10~31	11~31	11~31	11~31	

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 本 LSI では使用できません。
 *6 SP の値を 4n に設定すると Sk、4n+2 に設定すると 2・Sk となります。

表 5.5 割り込み例外処理の実行状態のステート数

記号		アクセス対象						
		内部メモリ	外部デバイス					
			8 ビットバス		16 ビットバス		32 ビットバス	
			2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
ベクタフェッチ	Sh	1	8	12+4m	4	6+2m	2	3+m
命令フェッチ	Si	1	4	6+2m	2	3+m	2	3+m
スタック操作	Sk	2	8	12+4m	4	6+2m	2	3+m

【記号説明】

m：外部デバイスアクセス時のウェイトステート数

5. 割り込みコントローラ

5.6.5 割り込みによる DMAC の起動

割り込み要求により、DMAC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DMACに対する起動要求
3. 1.、2.の複数の選択

なお、DMAC を起動できる割り込み要求については、表 5.2 および「7. DMA コントローラ (DMAC)」を参照してください。

図 5.6 に、DMAC と割り込みコントローラのブロック図を示します。

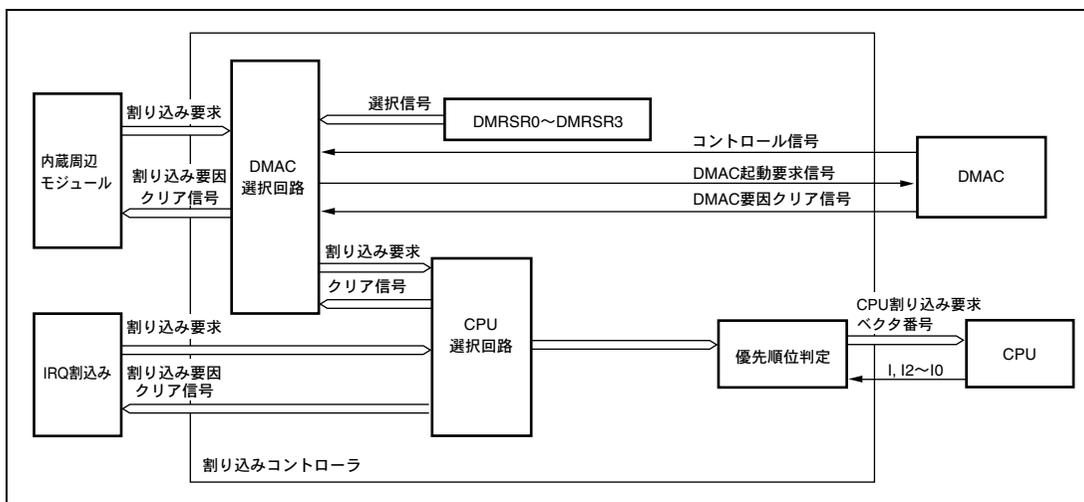


図 5.6 DMAC と割り込みコントローラ

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を経由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定（DMDR のビット設定：DTF1=1、DTF0=0、DTE=1）、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、CPU 割り込み要求となります。

同じ割り込み要因を、DMAC の起動要因と CPU の割り込み要因に同時に設定する場合、DMAC 優先レベルより CPU の優先レベルを高く設定しないでください。CPUPCR の IPSETE ビットを 1 にセットしている場合は、割り込み要因に該当する IPR のレベルの設定が対象になります。必ず、(DMAP) \geq (CPUP または割り込み要因に該当する IPR) となるように設定してください。CPU の優先レベルが高くなると、DMAC が起動されずに転送が行われなくなる場合があります。

(2) 動作順序

同一の割り込みを DMAC の起動要因と CPU の割り込み要因に選択した場合、各々独立に動作を行います。

表 5.6 に、DMAC の DMDR の DTA ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.6 割り込み要因の選択とクリア制御

設定内容	割り込み要因選択/クリア制御	
DMAC		
DTA	DMAC	CPU
0	○	◎
1	◎	×

【記号説明】

- ◎ : 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- × : 当該割り込みは使用できません。

(3) 使用上の注意

SCI、A/D 変換器、RCAN-ET および SSU の割り込み要因は、DMAC が所定のレジスタをリード/ライトすると表 5.6 の設定に従ってクリアされます。

5.7 CPU に対する DMAC の優先レベル制御機能

割り込みコントローラには、CPU の優先レベルに対して DMAC に優先レベルを設定することにより、DMAC と CPU との間の優先レベルを制御する機能があります。CPU の優先レベルは例外処理により自動設定することが可能で、CPU の割り込み例外処理時などに DMAC の転送処理に対して優先実行が可能になります。

CPU の優先レベルは、CPUPCR の CPUP2~CPUP0 ビットで設定します。DMAC の優先レベルは、チャンネル毎に DMA モードコントロールレジスタ 0~3 (DMDR_0~DMDR_3) の DMAP2~DMAP0 ビットで設定します。

CPU に対する DMAC の優先レベル制御機能は、CPUPCR の CPUPCE ビットを 1 にセットすると有効になります。CPUPCE ビットが 1 のとき、DMAC の起動要因は各々の優先レベルによって制御します。

DMAC の優先レベルは、チャンネル毎に設定できます。DMAC の起動要因は、対応するチャンネルの DMAP2~DMAP0 ビットで設定される DMAC の優先レベルと、CPU の優先レベルにより制御します。CPU の優先レベルが高い場合は、当該チャンネルの起動要因は保留されます。保留された起動要因は、保留されている条件 (CPUPCE=1 かつ CPUP2~0>DMAP2~0) が解除されると有効になります。チャンネル毎に優先レベルを異なる値に設定した場合は、優先レベルの高いチャンネルは転送処理を継続して実行し、CPU よりも優先レベルが低いチャンネルのみが起動要因を保留されます。

CPU の優先レベルを設定する方法は、CPUPCR の IPSETE ビットにより 2 種類の方法を選択できます。IPSETE ビットを 1 にセットすると、CPU の割り込みマスクビットを自動的に優先レベルにセットする機能が有効になります。IPSETE ビットを 0 にクリアすると、優先レベルは自動更新されなくなり、CPUP2~CPUP0 ビットを直接ソフトウェアで書き換えて設定します。IPSETE ビットが 1 のときも CPU の割り込みマスクビット (CCR の I ビットまたは EXR の I2~I0 ビット) をソフトウェアで書き換えることで CPU の優先レベルを設定できます。

IPSETE ビットが 1 のときに自動設定する優先レベルは、割り込み制御モードにより値が異なります。

割り込み制御モード 0 の場合、CPU の CCR の I ビットの値を CPUP2 ビットに反映します。CPUP1、CPUP0 ビットは 0 固定です。割り込み制御モード 2 の場合、CPU の EXR の I2~I0 ビットの値を CPUP2~CPUP0 ビットに反映します。

CPU の優先レベルの制御を表 5.7 に示します。

表 5.7 CPU の優先レベルの制御

割り込み制御 モード	割り込み優先 順位	割り込み マスクビット	CPUPCR の IPSETE	制御状態	
				CPUP2~CPUP0 の値	CPUP2~CPUP0 の書き換 え
0	デフォルト	I = 任意	0	B'111~B'000	書き換え可
		I = 0	1	B'000	無効
		I = 1		B'100	
2	IPR の設定	I2~I0	0	B'111~B'000	書き換え可
			1	I2~I0	無効

CPU に対する DMAC の優先レベル制御機能の設定例と、そのときの転送要求制御状態を表 5.8 に示します。DMAC はチャンネル毎に独立して優先レベルを設定できますが、表中では 1 チャンネル分を示しています。DMAC では各チャンネルに異なる優先レベルを設定して独立に転送の制御を行うことが可能です。

表 5.8 CPU に対する DMAC の優先レベル制御機能の設定例とそのときの制御状態

割り込み制御モード	CPUPCR の CPUPCE	CPUP2~CPUP0 の値	DMPA2~DMPA0 の値	転送要求制御状態
				DMAC
0	0	任意	任意	許可
	1	B'000	B'000	許可
		B'100	B'000	マスク
		B'100	B'011	マスク
		B'100	B'101	許可
		B'000	B'101	許可
2	0	任意	任意	許可
	1	B'000	B'000	許可
		B'000	B'101	許可
		B'011	B'101	許可
		B'100	B'101	許可
		B'101	B'101	許可
		B'110	B'101	マスク
		B'111	B'101	マスク
		B'101	B'101	許可
		B'101	B'101	許可

5.8 使用上の注意事項

5.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER の TCIEV ビットを 0 にクリアする場合の例を図 5.7 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

5. 割り込みコントローラ

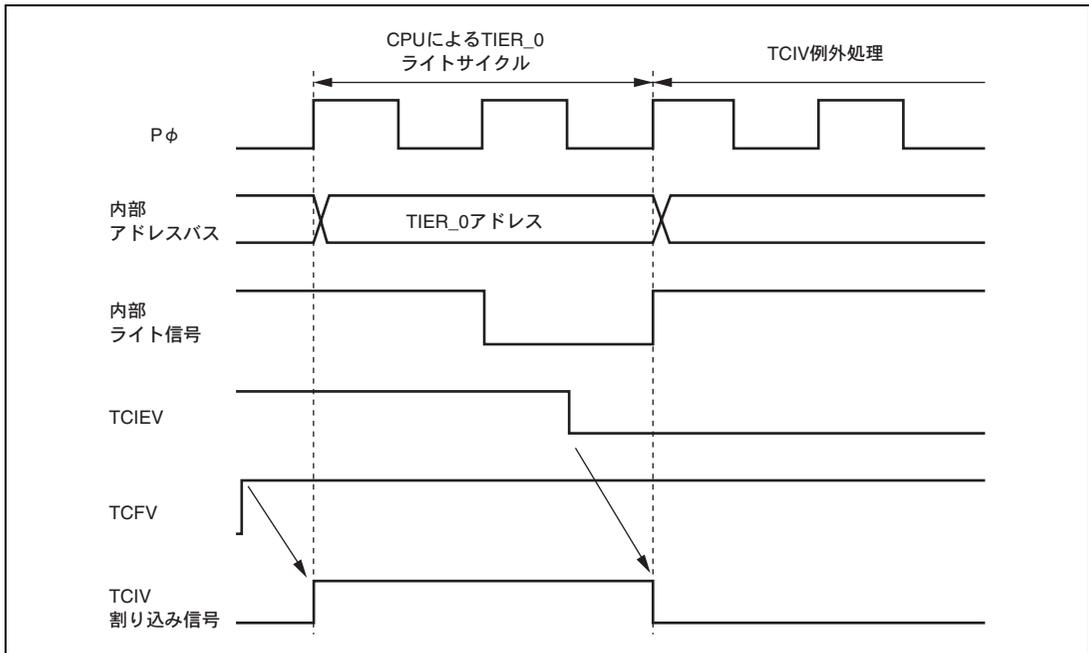


図 5.7 割り込みの発生とディスエーブルの競合

5.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により 1 ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.8.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。割り込みコントローラは、CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間、および割り込みコントローラのレジスタを WR している期間は、割り込み要求を受け付けません。

5.8.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令によるデータ転送中に NMI を含めた割り込み要求があっても、転送終了まで割り込みを受け付けません。

EEPMOV.W 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W  R4,R4
      BNE    L1
```

5.8.5 MOVMD、MOVSD 命令実行中の割り込み

MOVMD 命令、または MOVSD 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、MOVMD 命令、または MOVSD 命令のアドレスとなります。割り込み処理ルーチンからの復帰後に、残りのデータ転送を継続します。

5.8.6 周辺モジュールの割り込み要因フラグ

システムクロックに対して周辺モジュールクロックの分周によらず、CPU によって周辺モジュールの割り込み要因フラグをクリアするときは、周辺モジュールと同期を取るために、割り込み処理ルーチン内でフラグをクリアした後に必ず当該フラグをリードしてください。

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しています。BSC はバス権調停機能をもっており、内部バスマスタである CPU、DMAC の動作を制御します。

6.1 特長

- ライトバッファ機能
内蔵周辺モジュールへのライトアクセスと内蔵メモリアccessを並列に実行可能
- バス権調停機能 (バスアービトレーション)
バスアービタを内蔵し、CPU、DMACのバス権要求を調停
- マルチクロック機能
内部周辺機能は、周辺モジュールクロック (Pφ) に同期して動作可能

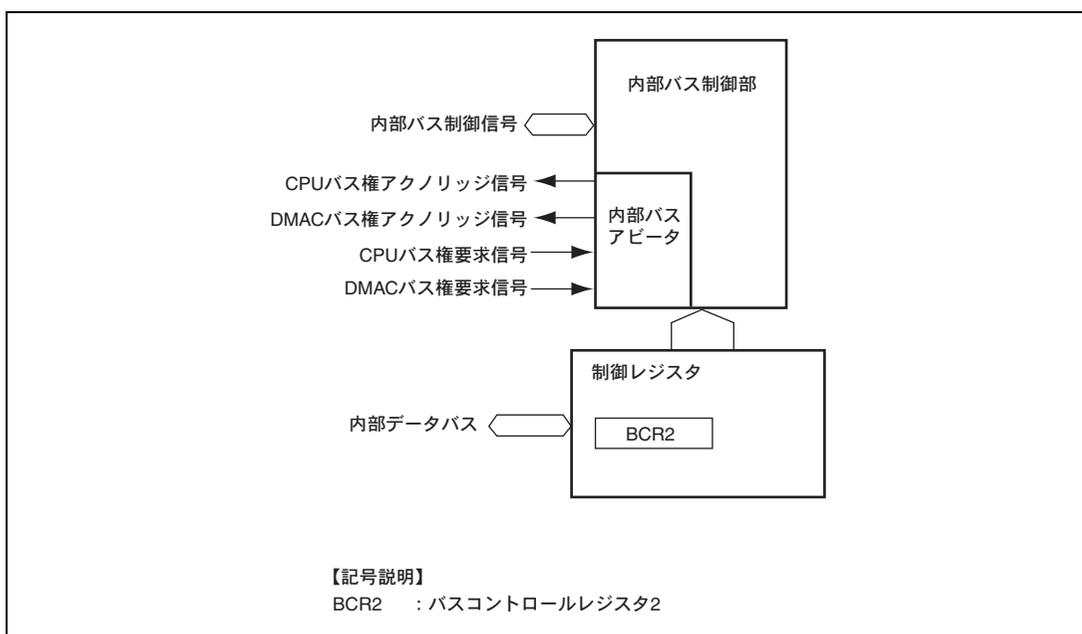


図 6.1 バスコントローラのブロック図

6. バスコントローラ (BSC)

6.2 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バスコントロールレジスタ2 (BCR2)

6.2.1 バスコントロールレジスタ 2 (BCR2)

BCR2は、CPU、DMACのバスアービトラクション制御、周辺モジュールへのライトデータバッファ機能の許可/禁止の設定を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	IBCCS	—	—	—	PWDBE
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
4	IBCCS	0	R/W	内部バスサイクルコントロールセレクト 内部バスアービタの機能を選択します。 0: 優先順位に従ってバス権を解放 1: DMACのバス権要求とCPUのバス権要求が競合したとき、交互にバスサイクルを実行します。
3	—	0	R	リザーブビット
2	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
1	—	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
0	PWDBE	0	R/W	周辺モジュールライトデータバッファイネーブル 周辺モジュールへのライトサイクルのとき、ライトデータバッファ機能を使用できます。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する

6.3 バス構成

本 LSI の内部バス構成を図 6.2 に示します。バス構成は、以下に示す 2 種類で構成されています。

1. 内部システムバス1：CPU、DMACと、内蔵ROM、内蔵RAM、内部周辺バスを接続するバス
2. 内部周辺バス：DMAC、バスコントローラ、割り込みコントローラなどのレジスタと、SCIやタイマなどの周辺モジュールのレジスタをアクセスするバス

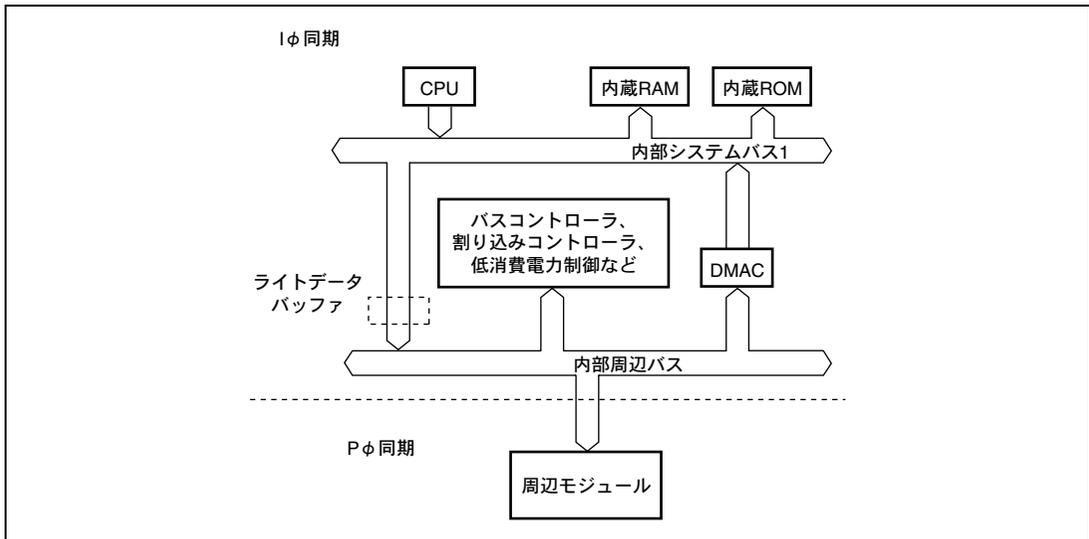


図 6.2 内部バス構成

6.4 マルチクロック機能

本 LSI の内蔵機能は、システムクロック (Iφ)、周辺モジュールクロック (Pφ) のいずれかのクロックに同期して動作します。表 6.1 にそれぞれの同期クロックと対応する機能を示します。

6. バスコントローラ (BSC)

表 6.1 同期クロックと対応する機能

同期クロック	機能名
Iφ	MCU 動作モード 割り込みコントローラ バスコントローラ CPU DMAC 内蔵メモリ クロック発振器 低消費電力制御
Pφ	I/O ポート TPU PPG WDT SCI RCAN-ET SSU A/D

各同期クロック (Iφ、Pφ) の周波数は、システムクロックコントロールレジスタ (SCKCR) の設定により独立に制御することが可能です。詳細は「18. クロック発振器」を参照してください。

6.5 内部バス

6.5.1 内部アドレス空間へのアクセス

本 LSI の内部アドレス空間には、内蔵 ROM 空間、内蔵 RAM 空間、内蔵周辺モジュールレジスタ空間があり、それぞれアクセスに要するサイクル数が異なります。

表 6.2 に内蔵メモリ空間のアクセスサイクル数を示します。

表 6.2 内蔵メモリ空間のアクセスサイクル数

アクセス対象	アクセス	サイクル数
内蔵 ROM 空間	リード	1φ サイクル
内蔵 RAM 空間	リード	1φ サイクル
	ライト	2φ サイクル

内蔵周辺モジュールレジスタへのアクセスは、レジスタによってアクセスサイクル数が異なります。バスマスタの動作クロックと周辺モジュールの動作クロックが 1 : n に分周されている場合、レジスタアクセスに 0~n-1 の分周クロック同期化サイクルが挿入されます。

表 6.3 内蔵周辺モジュールレジスタ空間のアクセスサイクル数

アクセス対象	サイクル数		ライトデータバッファ機能
	リード	ライト	
DMAC のレジスタ	2Iφ		無効
MCU 動作モード、クロック発振器、消費電力制御のレジスタ、 割り込みコントローラ、バスコントローラのレジスタ	2Iφ	3Iφ	無効
I/O ポートの PFCR、WDT のレジスタ	2Pφ	3Pφ	無効
I/O ポートの PFCR 以外のレジスタ、TPU、PPG、SCI、A/D のレジスタ	2Pφ		有効
RCAN-ET のレジスタ	4Pφ		有効
SSU のレジスタ	3Pφ		有効

6.6 ライトデータバッファ機能

6.6.1 周辺モジュールライトデータバッファ機能

本 LSI は、周辺モジュールアクセスのためにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、周辺モジュールライトサイクルと、内蔵メモリアクセスを並行して実行することができます。BCR2 の PWDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.3 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、内部 I/O レジスタライトが 2 ステート以上続き、次に内蔵 RAM、内蔵 ROM アクセスがある場合は最初の 2 ステートは内部 I/O レジスタライトのみが実行されますが、次のステートから内部 I/O レジスタライトの終了を待たずに内蔵メモリアクセスが並行して実行されます。

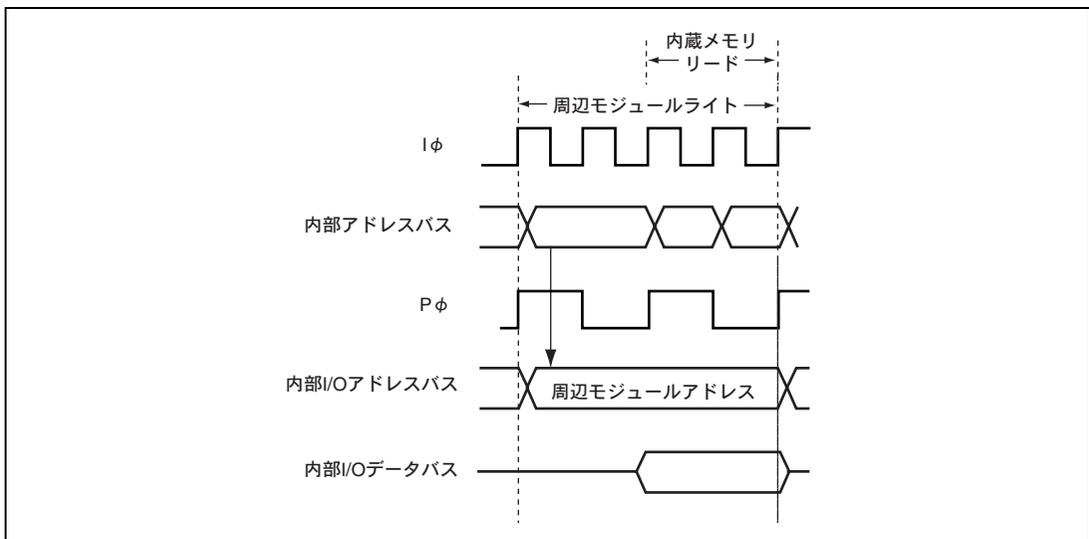


図 6.3 周辺モジュールライトデータバッファ機能使用時のタイミング例

6.7 バスアービトレーション

本 LSI は、バスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。内部バスアービタの対象は、CPU、DMAC のそれぞれのアクセスです。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。

6.7.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位は以下のとおりです。

内部バスアービトレーション：

(高) DMAC > CPU (低)

ただし、BCR2 の IBCCS ビットを 1 にセットすることにより、DMAC のアクセスが連続する場合に CPU の優先順位を高くして、DMAC と交互にバス権を取ることができます。

6.7.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタには、バス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DMAC からのバス権要求があると、内部バスアービタはバス権を CPU からバス権要求のあったバスマスタに移行します。

バス権が移行するタイミングはバスサイクルの切れ目です。スリープモード中はクロックに同期してバス権を移行します。

ただし、以下の場合は、バス権の移行を禁止しています。

- ワード、ロングワードサイズのアクセスを分割して実行しているとき
- スタック操作を複数バスサイクルで実行しているとき
- メモリ間転送命令、ブロック転送命令、および TAS 命令で、転送データのリードとライトの期間
(ブロック転送命令は、ライトサイクルと次の転送データのリードサイクルの間は、バス権を移行することができます。)
- ビット操作命令やメモリ演算命令で、対象のデータをリードしてからライトするまでの期間
(命令の条件によりライトを行わない場合も、ライトに相当するステートまでの期間が該当します。)

(2) DMAC

DMAC は起動要求が発生すると内部バスアービタに対してバス権を要求します。

DMAC の転送サイクルには、一旦バス権を取得すると連続して転送を行う場合と、転送サイクルごとにバス権を解放する場合があります。

バス権を解放せずに連続して実行する転送サイクルには、以下の場合があります。

- デュアルアドレスモードのリードサイクルから、リードサイクルに対応するライトサイクルの期間

BCR2 の IBCCS ビットが 0 にクリアされているとき、バス権を開放せずに連続して実行する転送サイクルには、以下の場合があります。

- ブロック転送モードの 1 ブロック転送中
- パーストモードの転送中

上記以外の転送サイクルの場合、バスサイクルが終了した時点でバス権を移行します。

6.8 リセットとバスコントローラ

リセットで、バスコントローラを含めて本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

6.9 使用上の注意事項

(1) 全モジュールクロックストップモード

本 LSI は、MSTPCR の ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する (MSTPCR = H'FFFFFFF) と、バスコントローラもクロックを停止する全モジュールクロックストップモードへ遷移します。詳細は「19. 低消費電力」を参照してください。

6. バスコントローラ (BSC)

7. DMA コントローラ (DMAC)

本 LSI は、4 チャンネルの DMA コントローラ (DMAC) を内蔵しています。

7.1 特長

- 最大4Gバイトのアドレス空間をアクセス可能
- データ転送単位はバイト、ワード、またはロングワードを選択可能
- 総転送サイズは最大4Gバイト (4,294,967,295バイト) 設定可能
総転送サイズを設定しないフリーランニングモードも選択可能
- DMACの起動方法は、オートリクエスト、内蔵モジュール割り込み、外部リクエストを選択可能
オートリクエスト：CPUより起動 (サイクルスチールモードとバーストモードの選択が可能)
内蔵モジュール割り込み：各種内蔵周辺モジュールからの割り込み要求を起動要因として選択可能
外部リクエスト*： $\overline{\text{DREQ}}$ 信号のLowレベル検出、または立ち下がりエッジ検出を選択可能
4チャンネルすべて外部リクエストを受け付け可能
(ブロック転送モードの場合はLowレベル検出のみ設定可能)
- アドレスモードはデュアルアドレスモード、シングルアドレスモードを選択可能
デュアルアドレスモード：転送元、転送先双方をアドレス指定しデータを転送
シングルアドレスモード*：転送元、または転送先の周辺デバイスを $\overline{\text{DACK}}$ 信号でアクセスし、
もう一方をアドレス指定してデータを転送
- 転送モードはノーマル転送モード、リピート転送モード、ブロック転送モードを選択可能
ノーマル転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピート転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピートサイズ分、データを転送すると転送開始時のアドレスに復帰
リピートサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能
ブロック転送モード：1ブロックのデータを1回の転送要求で転送
ブロックサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能
- 拡張リピートエリア機能 (転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレス値を繰り返させ、リングバッファなどのデータ転送を行う) を選択可能
拡張リピートエリアには、1ビット (2バイト) ~27ビット (128Mバイト) を転送元、転送先別に設定可能
- アドレス更新は、1、2または4の増減、固定、オフセット加算を選択可能
オフセット加算でアドレスを更新させると、途中のアドレスを飛ばしたデータ転送可能

【注】 H8SX/1520R グループでは、外部リクエスト、シングルアドレスモードは使用できません。

7. DMA コントローラ (DMAC)

- ワードデータや、ロングワードデータを各データ境界から外れたアドレスに転送可能
データ転送時にアドレスに応じた最適なデータ (バイトやワード) に分割して転送可能
- CPUに2種類の割り込み要求を発生
転送終了割り込み：転送カウンタで設定したデータ数を転送終了後に発生
転送エスケープ終了割り込み：残る総転送サイズが1回の転送要求で転送する設定サイズを下回ったとき、
リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアが
オーバーフローしたときに発生

DMAC のブロックを図 7.1 に示します。

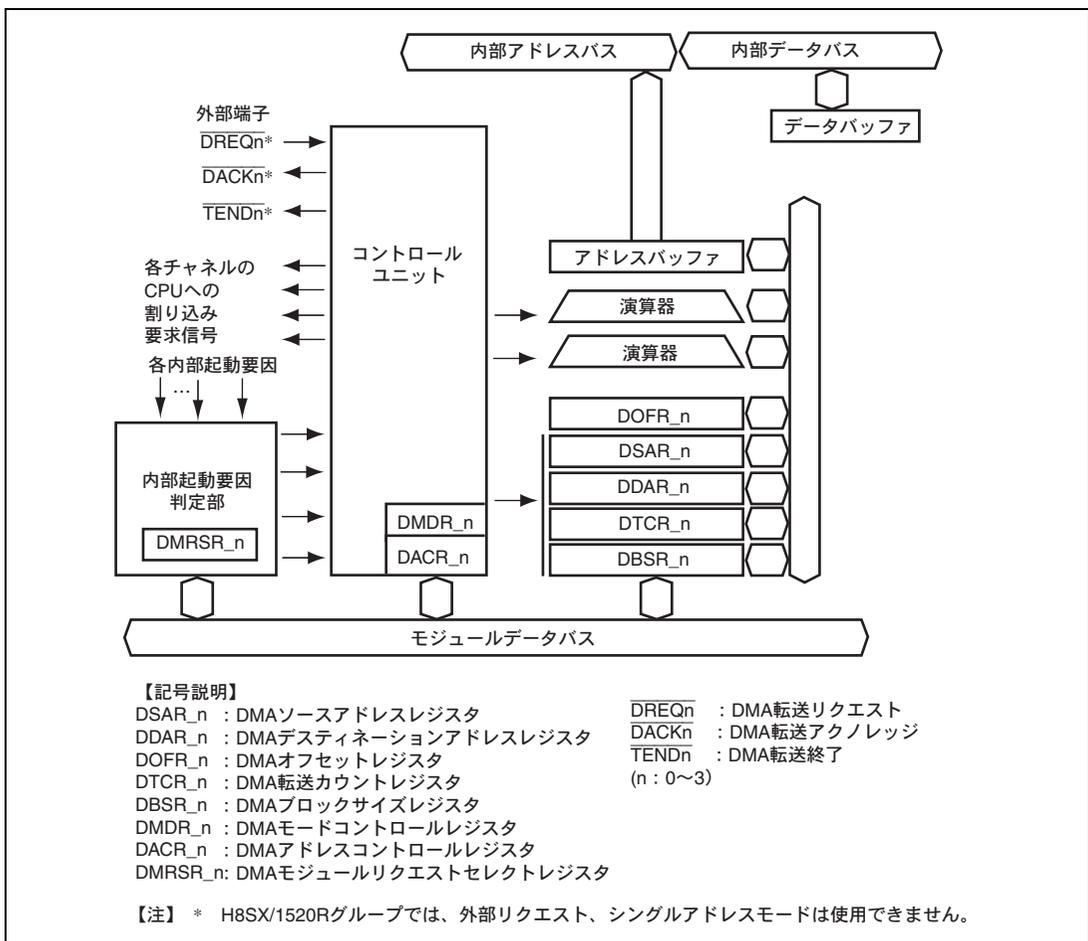


図 7.1 DMAC のブロック図

7.2 レジスタの説明

DMAC には以下のレジスタがあります。

チャンネル 0

- DMAソースアドレスレジスタ_0 (DSAR_0)
- DMAデスティネーションアドレスレジスタ_0 (DDAR_0)
- DMAオフセットレジスタ_0 (DOFR_0)
- DMA転送カウントレジスタ_0 (DTCR_0)
- DMAブロックサイズレジスタ_0 (DBSR_0)
- DMAモードコントロールレジスタ_0 (DMDR_0)
- DMAアドレスコントロールレジスタ_0 (DACR_0)
- DMAモジュールリクエストセレクトレジスタ_0 (DMRSR_0)

チャンネル1

- DMAソースアドレスレジスタ_1 (DSAR_1)
- DMAデスティネーションアドレスレジスタ_1 (DDAR_1)
- DMAオフセットレジスタ_1 (DOFR_1)
- DMA転送カウントレジスタ_1 (DTCR_1)
- DMAブロックサイズレジスタ_1 (DBSR_1)
- DMAモードコントロールレジスタ_1 (DMDR_1)
- DMAアドレスコントロールレジスタ_1 (DACR_1)
- DMAモジュールリクエストセレクトレジスタ_1 (DMRSR_1)

チャンネル2

- DMAソースアドレスレジスタ_2 (DSAR_2)
- DMAデスティネーションアドレスレジスタ_2 (DDAR_2)
- DMAオフセットレジスタ_2 (DOFR_2)
- DMA転送カウントレジスタ_2 (DTCR_2)
- DMAブロックサイズレジスタ_2 (DBSR_2)
- DMAモードコントロールレジスタ_2 (DMDR_2)
- DMAアドレスコントロールレジスタ_2 (DACR_2)
- DMAモジュールリクエストセレクトレジスタ_2 (DMRSR_2)

7. DMA コントローラ (DMAC)

チャンネル3

- DMAソースアドレスレジスタ_3 (DSAR_3)
- DMAデスティネーションアドレスレジスタ_3 (DDAR_3)
- DMAオフセットレジスタ_3 (DOFR_3)
- DMA転送カウントレジスタ_3 (DTCR_3)
- DMAブロックサイズレジスタ_3 (DBSR_3)
- DMAモードコントロールレジスタ_3 (DMDR_3)
- DMAアドレスコントロールレジスタ_3 (DACR_3)
- DMAモジュールリクエストセレクトレジスタ_3 (DMRSR_3)

7.2.1 DMA ソースアドレスレジスタ (DSAR)

DSAR は、転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送元アドレスに更新されます。シングルアドレスモードにおいて、DDAR をデスティネーションアドレスとして転送すると (DACR の DIRS=1)、DSAR の値は無視されます。

DSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DSAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DSAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

7.2.2 DMA デスティネーションアドレスレジスタ (DDAR)

DDAR は、転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送先アドレスに更新されます。シングルアドレスモードにおいて、DSAR をソースアドレスとして転送すると (DACR の DIRS=0)、DDAR の値は無視されます。

DDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DDAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DDAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

7.2.3 DMA オフセットレジスタ (DOFR)

DOFR は、ソースアドレス、デスティネーションアドレスの更新に、オフセット加算を選択したときのオフセット値を設定する 32 ビットのリード/ライト可能なレジスタです。各チャンネル毎に独立して設定できますが、同一チャンネル内ではソース側、デスティネーション側とも同じオフセット値を使用します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

7.2.4 DMA 転送カウントレジスタ (DTCR)

DTCR は、転送するデータのサイズ (総転送サイズ) を設定するための 32 ビットのリード/ライト可能なレジスタです。

DTCR を H'00000001 に設定すると、総転送サイズは 1 バイトになります。H'00000000 に設定すると、「総転送サイズ=指定なし」となり、転送カウンタは停止して転送を行います (フリーランニングモード)。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFF に設定すると、総転送サイズは最大値 4G バイト (4,294,967,295 バイト) になります。DMA 動作中は残りの転送サイズを示します。1 データ転送毎に、転送したデータアクセスサイズに応じた値がデクリメントされます (バイト: -1、ワード: -2、ロングワード: -4)。

DTCR は CPU から常にリード可能ですが、転送処理中のチャンネルの DTCR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DTCR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

7. DMA コントローラ (DMAC)

7.2.5 DMA ブロックサイズレジスタ (DBSR)

DBSR は、リピートサイズ、ブロックサイズを設定します。DBSR は、リピート転送モード、ブロック転送モードのときに有効となり、ノーマル転送モードのときには無効です。

ビット	31	...	16
ビット名	BKSZH31	...	BKSZH16
初期値:	0	...	0
R/W:	R/W	...	R/W
ビット	15	...	0
ビット名	BKSZ15	...	BKSZ0
初期値:	0	...	0
R/W:	R/W	...	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31~ BKSZH16	不定	R/W	リピートサイズ、ブロックサイズを設定します。 これらのビットを H'0001 に設定すると 1 バイト、1 ワード、または 1 ロングワードになります。H'0000 に設定すると最大値になります (表 7.1 参照)。DMA 動作中は常に固定です。
15~0	BKSZ15~ BKSZ0	不定	R/W	DMA 動作中は、リピートサイズ、ブロックサイズの残りサイズを示します。1 データ転送毎に -1 されます。残りサイズが 0 になると BKSZH の値がロードされます。ライトするときは、BKSZH と同じ値を設定してください。

表 7.1 データアクセスサイズと有効ビット、設定可能サイズの対応

モード	データアクセスサイズ	BKSZH 有効ビット	BKSZ 有効ビット	設定可能サイズ(バイト)
リピート転送モード	バイト	31~16	15~0	1~65,536
ブロック転送モード	ワード			2~131,072
	ロングワード			4~262,144

7.2.6 DMA モードコントロールレジスタ (DMDR)

DMDR は、DMAC の動作を制御します。

• DMDR_0

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	—	DREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	ERRF	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

• DMDR_1~DMDR_3

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	—	DREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	—	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
31	DTE	0	R/W	<p>データトランスファイネーブル 対応するチャンネルのデータ転送を許可または禁止します。このビットが1にセットされていると、DMA 動作中であることを示します。 オートリクエストのときに、このビットを1にセットすると転送処理に入ります。内蔵モジュール割り込み、外部リクエストでは、このビットに1をセットした後に転送要求が発生すると転送処理に入ります。DMA 動作中にこのビットを0にクリアすると転送を停止します。 ブロック転送モードでは、DMA 動作中にこのビットを0にクリアすると、処理中の1ブロックの転送終了後にこのビットが0にクリアされます。転送を終了（中断）させる外的要因が発生した場合は、自動的にこのビットが0にクリアされ転送を終了させます。 このビットを1にセットした状態で、動作モード、転送方法などを変更しないでください。</p> <p>0：データ転送を禁止 1：データ転送を許可（DMA 動作中）</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 設定の総転送サイズ数の転送を終了したとき • リピートサイズ終了割り込みにより停止したとき • 拡張リピートエリアオーバフロー割り込みにより停止したとき • 転送サイズエラー割り込みにより停止したとき • 0をライトして転送を終了したとき <p>ただし、ブロック転送モードでは1ブロック転送終了後に反映</p> <ul style="list-style-type: none"> • アドレスエラー、NMI 割り込みが発生したとき • リセット、ハードウェアスタンバイモード時
30	DAcke	0	R/W	<p>$\overline{\text{DAck}}$ 端子出力イネーブル シングルアドレスモードのとき、$\overline{\text{DAck}}$ 端子の出力を許可または禁止します。デュアルアドレスモードのときは、このビットは無視されます。</p> <p>0：$\overline{\text{DAck}}$ 端子の出力を禁止 1：$\overline{\text{DAck}}$ 端子の出力を許可</p>
29	TENDE	0	R/W	<p>$\overline{\text{TEND}}$ 端子出力イネーブル $\overline{\text{TEND}}$ 端子の出力を許可または禁止します。</p> <p>0：$\overline{\text{TEND}}$ 端子の出力を禁止 1：$\overline{\text{TEND}}$ 端子の出力を許可</p>
28	—	0	R/W	<p>リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
27	DREQS	0	R/W	<p>$\overline{\text{DREQ}}$ セレクト</p> <p>外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がリエッジ検出にするかを選択します。</p> <p>外部リクエストモードでブロック転送を行う場合は、このビットを 0 にクリアし、Low レベル検出を選択してください。</p> <p>0 : Low レベル検出 1 : 立ち下がリエッジ検出 (転送許可後の最初の転送は、Low レベルで検出します。)</p>
26	NRD	0	R/W	<p>ネクストリクエストディレイ</p> <p>次のリクエストの受付タイミングを選択します。</p> <p>0 : 転送中のバスサイクル終了後に、次の転送要求受付を開始 1 : 転送中のバスサイクル終了時点から Bφ で 1 サイクル後に、次の転送要求の受付を開始</p>
25	—	0	R	リザーブビット
24	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
23	ACT	0	R	<p>アクティブステート</p> <p>当該チャンネルの動作状態を示すビットです。</p> <p>0 : 転送要求待ち状態、または DTE=0 による転送禁止状態 1 : アクティブ状態</p>
22~20	—	すべて 0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
19	ERRF	0	R/(W)*	<p>システムエラーフラグ</p> <p>アドレスエラー、または NMI 割り込みが発生したことを示すフラグです。このビットは DMDR_0 でのみ有効なビットです。このビットが 1 にセットされていると、全チャンネルの DTE ビットへのライトが禁止されます。DMDR_1~DMDR_3 では、リザーブビットとなっています。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>0 : アドレスエラー、または NMI 割り込みなし 1 : アドレスエラー、または NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ERRF=1 の状態をリードした後、0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> アドレスエラー、または NMI 割り込みが発生したとき <p>ただし、DMAC がモジュールストップ状態のときに、アドレスエラーや NMI 割り込みが発生してもセットされません。</p>
18	—	0	R	<p>リザーブビット</p> <p>このビットはリードのみ有効で、ライトは無効です。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	ESIF	0	R/(W)*	<p>転送エスケープインタラプトフラグ</p> <p>転送カウンタが0になる前に転送エスケープ終了割り込み要求が発生し、転送エスケープ終了したことを示すフラグです。</p> <p>0: 転送エスケープ終了割り込み要求なし</p> <p>1: 転送エスケープ終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • ESIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 転送サイズエラー割り込み要求が発生したとき • リピートサイズ終了割り込み要求が発生したとき • 拡張リピートエリアオーバフロー終了割り込み要求が発生したとき
16	DTIF	0	R/(W)*	<p>データトランスファインタラプトフラグ</p> <p>転送カウンタによる転送終了割り込み要求が発生したことを示すフラグです。</p> <p>0: 転送カウンタによる転送終了割り込み要求なし</p> <p>1: 転送カウンタによる転送終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • DTIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTCR が0になり転送が終了したとき
15 14	DTSZ1 DTSZ0	0 0	R/W R/W	<p>データアクセスサイズ 1, 0</p> <p>転送するデータアクセスサイズを選択します。</p> <p>00: バイトサイズ (8 ビット)</p> <p>01: ワードサイズ (16 ビット)</p> <p>10: ロングワードサイズ (32 ビット)</p> <p>11: 設定禁止</p>
13 12	MDS1 MDS0	0 0	R/W R/W	<p>転送モードセレクト 1, 0</p> <p>転送モードを選択します。</p> <p>00: ノーマル転送モード</p> <p>01: ブロック転送モード</p> <p>10: リピート転送モード</p> <p>11: (設定禁止)</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
11	TSEIE	0	R/W	<p>転送サイズエラーインタラプトイネーブル 転送サイズエラー割り込み要求を許可または禁止します。 このビットが1にセットされているときに、DMACの転送により転送カウンタの値が1要求あたりに転送するデータサイズよりも小さい場合、次の転送要求が発生するとDTEビットを0にクリアします。同時にESIFビットが1にセットされ、転送サイズエラー割り込み要求が発生したことを示します。 転送サイズエラー割り込み要求の発生要因は次の条件です。</p> <ul style="list-style-type: none"> • ノーマル転送モード、リピート転送モードにおいて、DTCRで設定した総転送サイズがデータアクセスサイズよりも小さいとき • ブロック転送モードにおいて、DTCRで設定した総転送サイズがブロックサイズよりも小さいとき <p>0: 転送サイズエラー割り込み要求を禁止 1: 転送サイズエラー割り込み要求を許可</p>
10	—	0	R	<p>リザーブビット このビットはリードのみ有効で、ライトは無効です。</p>
9	ESIE	0	R/W	<p>転送エスケープインタラプトイネーブル DMA転送中に発生した転送エスケープ終了割り込み要求を許可または禁止します。このビットを1にセットすると、ESIFビットが1にセットされたとき、CPUに転送エスケープ終了割り込み要求が発生します。転送エスケープ終了割り込み要求は、このビットを0にクリアするか、ESIFビットを0にクリアすると解除されます。</p> <p>0: 転送エスケープ割り込み要求を禁止 1: 転送エスケープ割り込み要求を許可</p>
8	DTIE	0	R/W	<p>データトランスファインタラプトイネーブル 転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを1にセットすると、DTIFビットが1にセットされたとき、CPUに転送終了割り込み要求が発生します。転送終了割り込み要求は、このビットを0にクリアするか、DTIFビットを0にクリアすると解除されます。</p> <p>0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可</p>
7 6	DTF1 DTF0	0 0	R/W R/W	<p>データトランスファファクタ 1、0 DMACを起動する要因を選択します。内蔵モジュール割り込みのときは、DMRSRで割り込み要因を選択します。外部リクエストのときは、DREQSビットでサンプリング方法を選択できます。</p> <p>00: オートリクエスト (サイクルスチール) 01: オートリクエスト (バースト) 10: 内蔵モジュール割り込み 11: 外部リクエスト</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
5	DTA	0	R/W	<p>データ転スファアクノリッジ</p> <p>内蔵モジュール割り込みによる DMA 転送時に有効となります。</p> <p>DMRSR によって選択されている要因フラグのクリアを許可または禁止します。</p> <p>0 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを禁止 内蔵モジュール割り込み要因は、DMA 転送によりクリアされませんので、CPU でクリアしてください。</p> <p>1 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを許可 内蔵モジュール割り込み要因は、DMA 転送によりクリアされ、CPU に割り込みを要求しません。</p>
4	—	0	R	リザーブビット
3	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
2	DMA P2	0	R/W	<p>DMA プライオリティレベル 2~0</p> <p>CPU に対する DMAC の優先レベルを選択します。DMAC の優先レベルより CPU の優先レベルが高いときは、DMAC は転送要因の受け付けをマスクし、CPU の優先レベルが低くなるまで待機します。チャンネル毎に独立に優先レベルを設定可能です。このビットは、CPUPCR の CPUPCE ビットが 1 のとき有効になります。</p> <p>000 : 優先レベル 0 (最低)</p> <p>001 : 優先レベル 1</p> <p>010 : 優先レベル 2</p> <p>011 : 優先レベル 3</p> <p>100 : 優先レベル 4</p> <p>101 : 優先レベル 5</p> <p>110 : 優先レベル 6</p> <p>111 : 優先レベル 7 (最高)</p>
1	DMA P1	0	R/W	
0	DMA P0	0	R/W	

【注】 * フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

7.2.7 DMA アドレスコントロールレジスタ (DACR)

DACR は、動作モード、転送方法などを設定します。

ビット	31	30	29	28	27	26	25	24
ビット名	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	—	—	SAT1	SAT0	—	—	DAT1	DAT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	AMS	0	R/W	アドレスモードセレクト アドレスモードをデュアルアドレスモードとシングルアドレスモードから選択します。シングルアドレスモードにすると、DMDR の DACKE ビットの設定により DACK 端子が有効になります。 0: デュアルアドレスモード 1: シングルアドレスモード
30	DIRS	0	R/W	シングルアドレスディレクションセレクト シングルアドレスモードのときのデータ転送方向を指定します。デュアルアドレスモードのときは、このビットは無視されます。 0: DSAR をソースアドレスとして転送 1: DDAR をデスティネーションアドレスとして転送
29~27	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
26	RPTIE	0	R/W	<p>リピートサイズ終了インタラプトイネーブル</p> <p>リピートサイズ終了割り込み要求を許可または禁止します。</p> <p>リピート転送モードにおいて、このビットが1にセットされているときに、1リピートサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。リピートエリアを指定しない(ARS1、ARS0=B'10)ときでも、1リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求を発生させることができます。</p> <p>また、ブロック転送モードで、このビットが1にセットされているときに、1ブロックサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットは1にセットされ、リピートサイズ終了割り込み要求が発生されたことを示します。</p> <p>0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可</p>
25 24	ARS1 ARS0	0 0	R/W R/W	<p>エリアセレクト 1、0</p> <p>ブロック転送モード、リピート転送モードのときのブロックエリア/リピートエリアを選択します。</p> <p>00: ブロックエリア/リピートエリアはソースアドレス側 01: ブロックエリア/リピートエリアはデスティネーションアドレス側 10: ブロックエリア/リピートエリアは指定しない 11: 設定禁止</p>
23 22	- -	0 0	R R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
21 20	SAT1 SAT0	0 0	R/W R/W	<p>ソースアドレス更新モード 1、0</p> <p>ソースアドレス (DSAR) の増減を選択します。シングルアドレスモードにおいて、転送元を DSAR に指定していない場合は、このビットは無視されます。</p> <p>00: ソースアドレスは固定 01: ソースアドレスはオフセットアドレスを加算 10: ソースアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11: ソースアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
19 18	- -	0 0	R R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17 16	DAT1 DAT0	0 0	R/W R/W	<p>デスティネーションアドレス更新モード 1、0</p> <p>デスティネーションアドレス (DDAR) の増減を指定します。シングルアドレスモードにおいて、転送元を DDAR に指定していない場合は、このビットは無視されます。</p> <p>00: デスティネーションアドレスは固定 01: デスティネーションアドレスはオフセットを加算 10: デスティネーションアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11: デスティネーションアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
15	SARIE	0	R/W	<p>ソースアドレス拡張リビートエリアオーバーフローインタラプトイネーブル</p> <p>ソースアドレス拡張リビートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが 1 にセットされているときに、ソースアドレスの拡張リビートエリアのオーバーフローが発生すると、DMDR の DTE ビットを 0 にクリアします。同時に DMDR の ESIF ビットが 1 にセットされ、ソースアドレス拡張リビートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は 1 ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルの DMDR の DTE ビットを 1 にセットすると、転送終了した状態から再び転送を開始します。</p> <p>ソースアドレスに対して拡張リビートエリアを設定していないときは、このビットは無視されます。</p> <p>0: ソースアドレス拡張リビートエリアオーバーフロー割り込み要求を禁止 1: ソースアドレス拡張リビートエリアオーバーフロー割り込み要求を許可</p>
14 13	- -	0 0	R R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
12 11 10 9 8	SARA4 SARA3 SARA2 SARA1 SARA0	0 0 0 0 0	R/W R/W R/W R/W R/W	<p>ソースアドレス拡張リビートエリア</p> <p>ソースアドレス (DSAR) に拡張リビートエリアを設定するビットです。拡張リビートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。拡張リビートエリアのサイズは、4 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。</p> <p>アドレスの増減により拡張リビートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リビートエリアの先頭アドレスになり、アドレスが減少すると拡張リビートエリアの最後のアドレスになります。</p> <p>SARIE ビットが 1 にセットされているとき、拡張リビートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>表 7.2 に拡張リビートエリアの設定と範囲を示します。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7	DARIE	0	R/W	<p>デスティネーションアドレス拡張リポートエリアオーバーフローインタラプトイネーブル</p> <p>デスティネーションアドレス拡張リポートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、デスティネーションアドレスの拡張リポートエリアのオーバーフローが発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、デスティネーションアドレス拡張リポートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は1ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルのDMDRのDTEビットを1にセットすると、転送終了した状態から再び転送を開始します。</p> <p>デスティネーションアドレスに拡張リポートエリアを設定していないときは、このビットは無視されます。</p> <p>0: デスティネーションアドレス拡張リポートエリアオーバーフロー割り込み要求を禁止</p> <p>1: デスティネーションアドレス拡張リポートエリアオーバーフロー割り込み要求を許可</p>
6	—	0	R	リザーブビット
5	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
4	DARA4	0	R/W	デスティネーションアドレス拡張リポートエリア
3	DARA3	0	R/W	デスティネーションアドレス (DDAR) に拡張リポートエリアを設定するビットです。
2	DARA2	0	R/W	拡張リポートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにより実現されます。拡張リポートエリアのサイズは、4バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。
1	DARA1	0	R/W	アドレスの増減により拡張リポートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リポートエリアの先頭アドレスになり、アドレスが減少すると拡張リポートエリアの最後のアドレスになります。
0	DARA0	0	R/W	<p>DARIE ビットが1にセットされているとき、拡張リポートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>表 7.2 に拡張リポートエリアの設定と範囲を示します。</p>

表 7.2 拡張リピートエリアの設定と範囲

SARA4~SARA0/ DARA4~DARA0 の値	拡張リピートエリアの範囲
00000	拡張リピートエリアを設定しない
00001	当該アドレスの下位 1 ビット (2 バイト) を拡張リピートエリアに設定する
00010	当該アドレスの下位 2 ビット (4 バイト) を拡張リピートエリアに設定する
00011	当該アドレスの下位 3 ビット (8 バイト) を拡張リピートエリアに設定する
00100	当該アドレスの下位 4 ビット (16 バイト) を拡張リピートエリアに設定する
00101	当該アドレスの下位 5 ビット (32 バイト) を拡張リピートエリアに設定する
00110	当該アドレスの下位 6 ビット (64 バイト) を拡張リピートエリアに設定する
00111	当該アドレスの下位 7 ビット (128 バイト) を拡張リピートエリアに設定する
01000	当該アドレスの下位 8 ビット (256 バイト) を拡張リピートエリアに設定する
01001	当該アドレスの下位 9 ビット (512 バイト) を拡張リピートエリアに設定する
01010	当該アドレスの下位 10 ビット (1k バイト) を拡張リピートエリアに設定する
01011	当該アドレスの下位 11 ビット (2k バイト) を拡張リピートエリアに設定する
01100	当該アドレスの下位 12 ビット (4k バイト) を拡張リピートエリアに設定する
01101	当該アドレスの下位 13 ビット (8k バイト) を拡張リピートエリアに設定する
01110	当該アドレスの下位 14 ビット (16k バイト) を拡張リピートエリアに設定する
01111	当該アドレスの下位 15 ビット (32k バイト) を拡張リピートエリアに設定する
10000	当該アドレスの下位 16 ビット (64k バイト) を拡張リピートエリアに設定する
10001	当該アドレスの下位 17 ビット (128k バイト) を拡張リピートエリアに設定する
10010	当該アドレスの下位 18 ビット (256k バイト) を拡張リピートエリアに設定する
10011	当該アドレスの下位 19 ビット (512k バイト) を拡張リピートエリアに設定する
10100	当該アドレスの下位 20 ビット (1M バイト) を拡張リピートエリアに設定する
10101	当該アドレスの下位 21 ビット (2M バイト) を拡張リピートエリアに設定する
10110	当該アドレスの下位 22 ビット (4M バイト) を拡張リピートエリアに設定する
10111	当該アドレスの下位 23 ビット (8M バイト) を拡張リピートエリアに設定する
11000	当該アドレスの下位 24 ビット (16M バイト) を拡張リピートエリアに設定する
11001	当該アドレスの下位 25 ビット (32M バイト) を拡張リピートエリアに設定する
11010	当該アドレスの下位 26 ビット (64M バイト) を拡張リピートエリアに設定する
11011	当該アドレスの下位 27 ビット (128M バイト) を拡張リピートエリアに設定する
111XX	設定禁止

【記号説明】 X : Don't care

7. DMA コントローラ (DMAC)

7.2.8 DMA モジュールリクエストセレクトレジスタ (DMRSR)

DMRSR は、内蔵モジュール割り込み要因を指定する 8 ビットのリード/ライト可能な 8 ビットのレジスタです。割り込み要因のベクタ番号を 8 ビットで指定します。ただし、0 は割り込み要因なしと見なします。内蔵モジュール割り込み要因のベクタ番号は、表 7.4 を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

7.3 転送モード

DMAC の転送モードを表 7.3 に示します。転送モードは、各チャンネル毎に設定可能です。

表 7.3 転送モード

アドレスモード	転送モード	起動要因	共通機能	アドレスレジスタ	
				ソース	デスティネーション
デュアルアドレスモード	<ul style="list-style-type: none"> ノーマル転送モード リピート転送モード ブロック転送モード (リピートサイズ/ブロックサイズ = 1~65,536 バイト/ワード/ロングワード) 	<ul style="list-style-type: none"> オートリクエスト (CPU より起動) 内蔵モジュール割り込み 外部リクエスト 	<ul style="list-style-type: none"> 総転送サイズ: 1~4G バイト、または指定なし オフセット加算 拡張リピートエリア機能 	DSAR	DDAR
シングルアドレスモード	<ul style="list-style-type: none"> ソース、またはデスティネーションアドレスレジスタの代わりに、$\overline{\text{DACK}}$ 端子を用いて直接外部デバイスとのデータ転送が可能 アドレスレジスタの設定以外は、上記の各転送モードを指定可能 1 バスサイクルで 1 回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。) 			DSAR/ $\overline{\text{DACK}}$	$\overline{\text{DACK}}$ / DDAR

起動要因がオートリクエストのときは、サイクルスチールモード/バーストモードから選択できます。

総転送サイズを指定しない場合 (DTCR=H'00000000)、転送カウンタは停止して転送回数に制限がなくなり、永続して転送が可能になります。

7.4 動作説明

7.4.1 アドレスモード

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元アドレスを DSAR、転送先アドレスを DDAR で指定して、1 回の転送を 2 バスサイクルで実行するモードです（データバス幅がデータアクセスサイズよりも小さいときや、アクセスするアドレスがデータアクセスサイズのデータ境界を外れているときは、バスサイクルが分割されるため 2 バスサイクルを超えます）。

転送動作は、最初のバスサイクルで転送元アドレスにあるデータをリードして、そのデータを次のバスサイクルで転送先アドレスへライトします。

リードサイクルとライトサイクルの間は不可分割となっています。そのため、2 つのバスサイクルの間に他のバスサイクル（他のバスマスタのサイクル、リフレッシュサイクル、外部バス解放サイクル）は発生しません。

DMDR の TEND E ビットにより、 \overline{TEND} 出力の許可/禁止の設定ができます。 \overline{TEND} は連続する 2 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても \overline{TEND} は出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても \overline{TEND} は出力されます。 \overline{DACK} は出力されません。

図 7.2 にデュアルアドレスモードのタイミング例を、図 7.3 にデュアルアドレスモードの動作を示します。

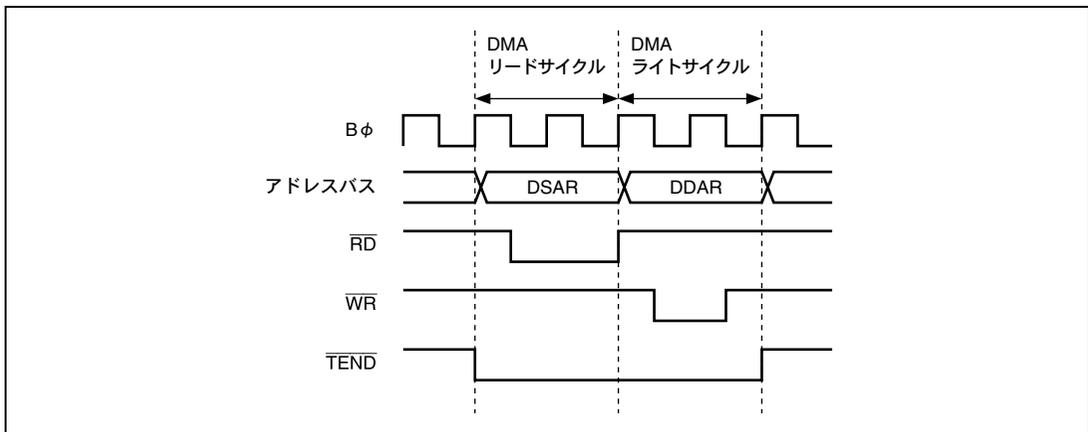


図 7.2 デュアルアドレスモードのタイミング例

7. DMA コントローラ (DMAC)

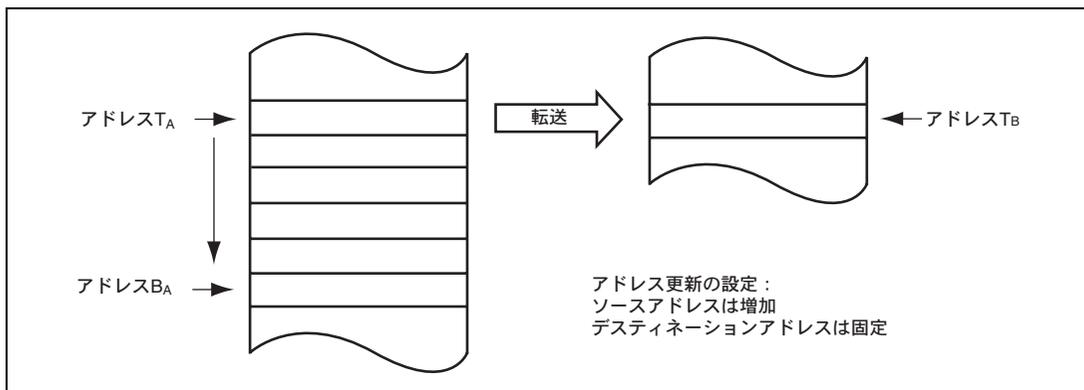


図 7.3 デュアルアドレスモードの動作

(2) シングルアドレスモード

シングルアドレスモードは、DSAR または DDAR の代わりに $\overline{\text{DACK}}$ 端子を用いて、外部デバイスと外部メモリ間で直接データを転送するモードです。1 回の転送を 1 バスサイクルで実行します。

シングルアドレスモードを使用する場合には、データバス幅とデータアクセスサイズを一致させてください。データバス幅に関しては、「6. バスコントローラ (BSC)」を参照してください。

DMAC は付き外部デバイスへのストロープ信号 ($\overline{\text{DACK}}$) を、転送元または転送先のいずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。図 7.4 に示す外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送例では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルで、そのデータが外部メモリに書き込まれます。

転送方向は DACR の DIRS ビットにより、 $\overline{\text{DACK}}$ 付き外部デバイスを転送元にするか転送先にするかを設定できます。DIRS=0 では外部メモリ (DSAR) → $\overline{\text{DACK}}$ 付き外部デバイスへの転送、DIRS=1 では $\overline{\text{DACK}}$ 付き外部デバイス → 外部メモリ (DDAR) への転送になります。転送の対象として使用しないソースまたはデスティネーションアドレスのレジスタの設定は無視されます。

$\overline{\text{DACK}}$ 出力は、シングルアドレスモードのときに DMDR の DACKE ビットの設定により有効になります。 $\overline{\text{DACK}}$ 出力は、ローアクティブです。

DMDR の TENDE ビットにより、 $\overline{\text{TEND}}$ 出力の許可/禁止の設定ができます。 $\overline{\text{TEND}}$ は 1 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合、アイドルサイクル期間に対しても $\overline{\text{TEND}}$ は出力されます。

図 7.5 にシングルアドレスモードのタイミング例を、図 7.6 にシングルアドレスモードの動作を示します。

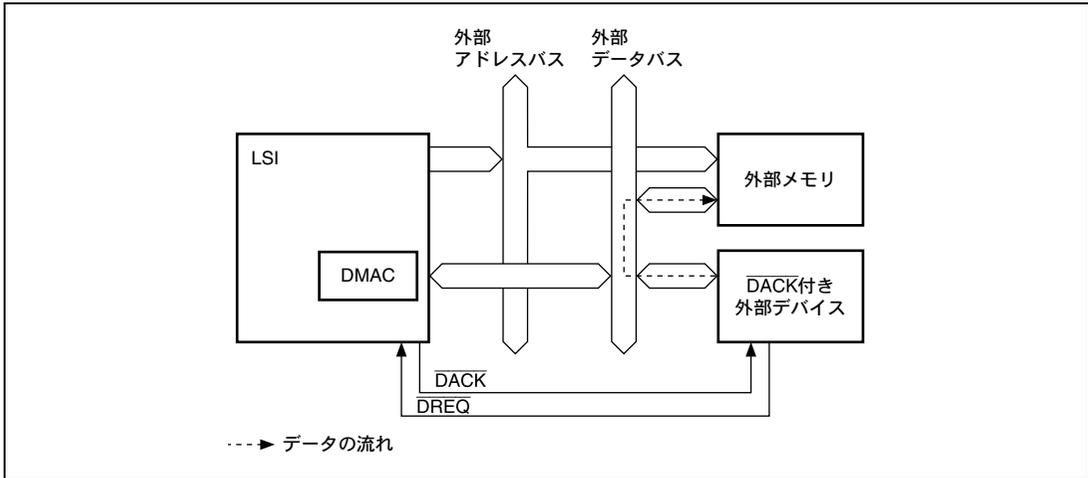


図 7.4 シングルアドレスモードでのデータの流れ

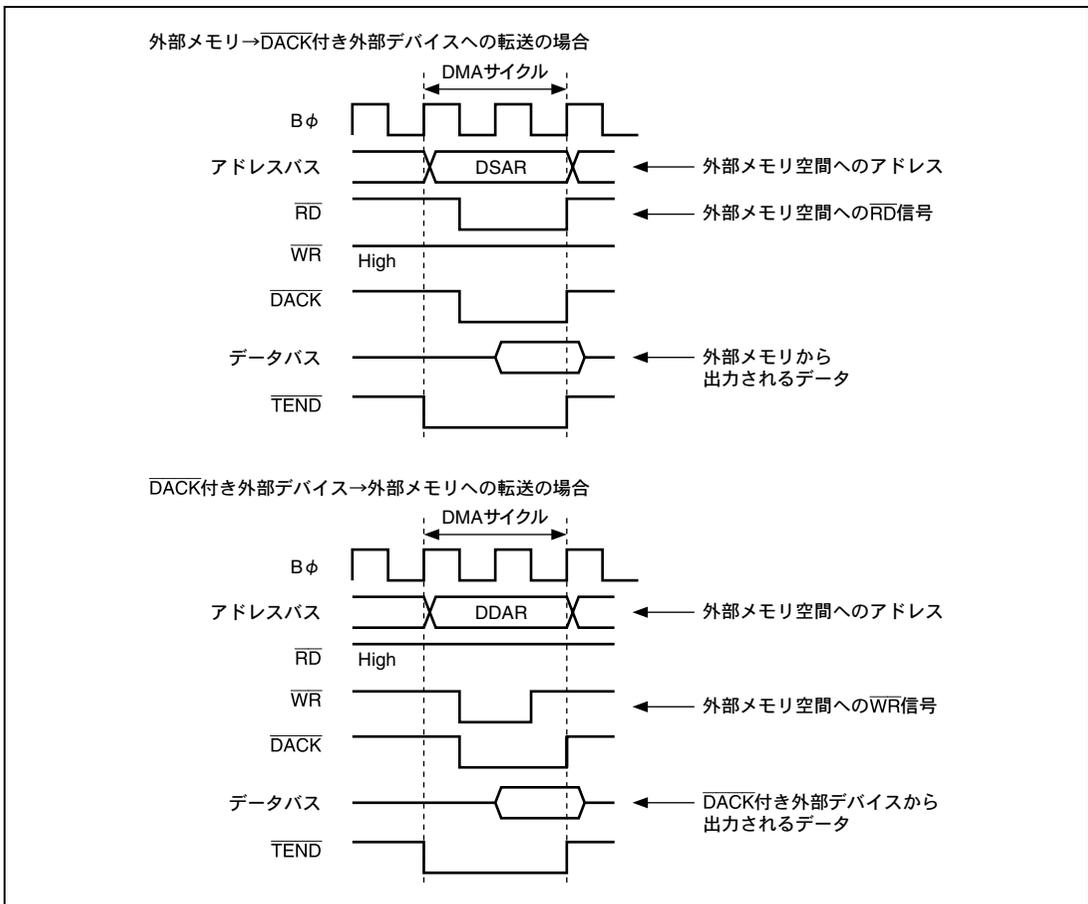


図 7.5 シングルアドレスモードのタイミング例

7. DMA コントローラ (DMAC)

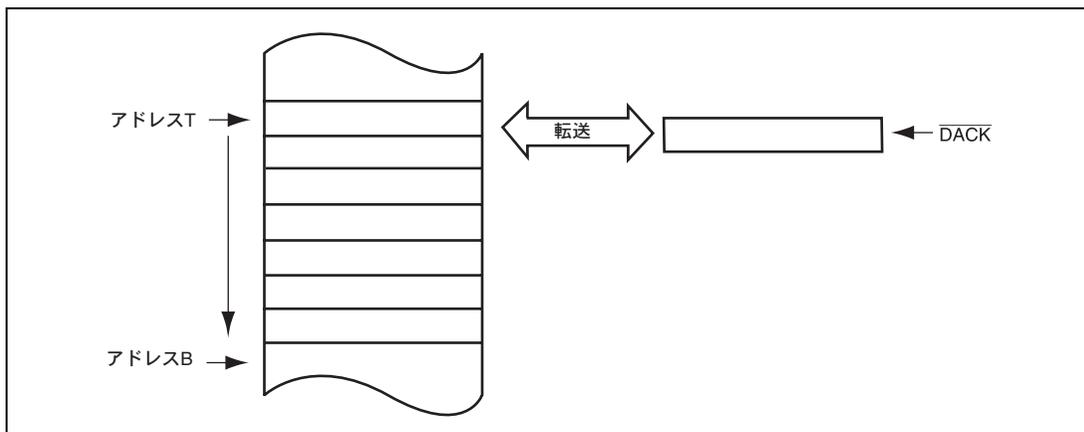


図 7.6 シングルアドレスモードの動作

7.4.2 転送モード

(1) ノーマル転送モード

ノーマル転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRはノーマル転送モードのときには無効です。

\overline{TEND} 出力は、最後のDMA転送でのみ出力されます。

図 7.7 にノーマル転送モードのタイミング例を、図 7.8 にデュアルアドレスモード時のノーマル転送モードの動作を示します。

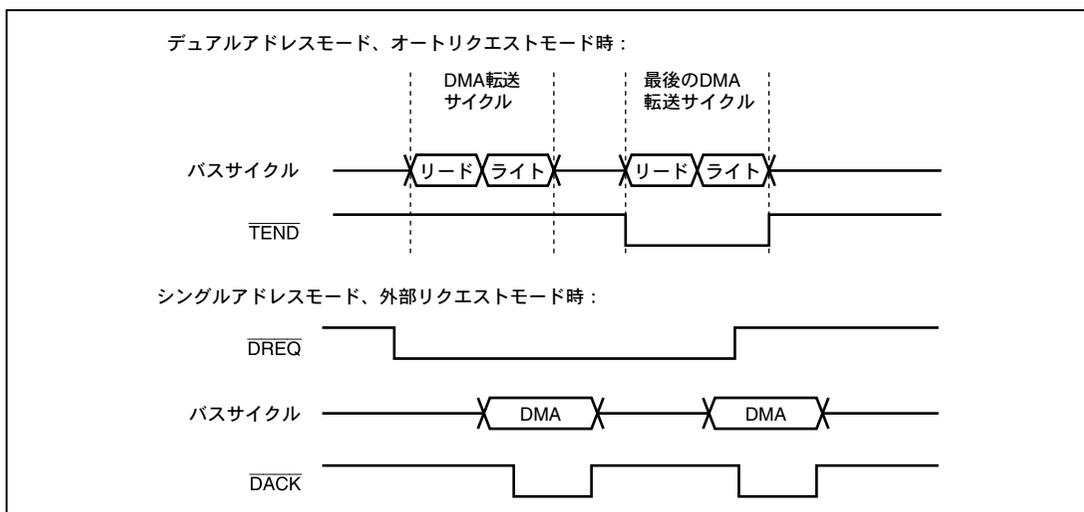


図 7.7 ノーマル転送モードのタイミング例

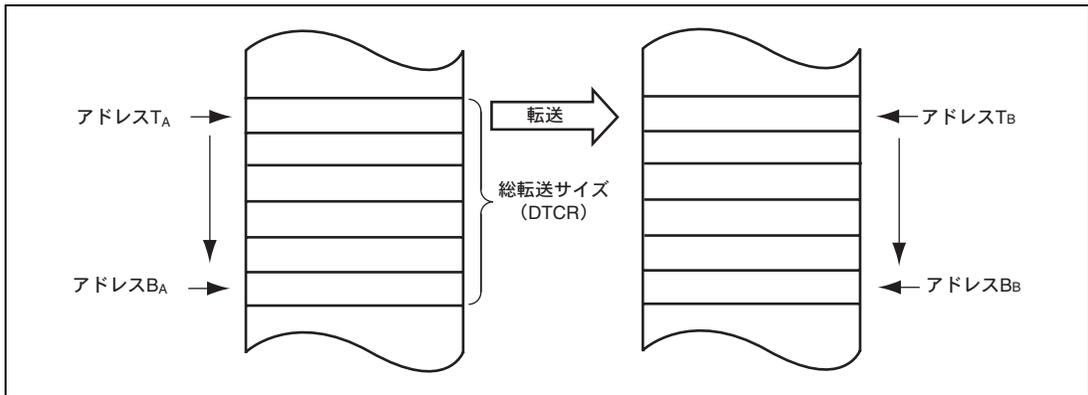


図 7.8 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRで最大64k×データアクセスサイズのリピートサイズを設定できます。

DACRのARS1、ARS0ビットによって、リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定することができます。リピートエリアに指定されたアドレス側は、リピートサイズ分の転送を終了すると、転送開始アドレスに戻ります。この動作は、DTCRに設定した総転送サイズ分の転送が終了するまで行われます。ただし、DTCRにH'00000000を設定した場合はフリーランニングモードと見なし、DMDRのDTEビットが0にクリアされるまでリピート転送を続けます。

また、リピートサイズ分の転送を終了すると、DMA転送を一時停止させ、CPUに対してリピートサイズ終了割り込み要求を発生させることができます。DACRのRPTIEビットが1にセットされているときに、リピートサイズ分の転送終了後に次の転送要求が発生すると、DMDRのESIFビットを1にセットし、DMDRのDTEビットを0にクリアして転送を終了します。このとき、DMDRのESIEビットが1にセットされている場合、CPUに対して割り込み要求を発生させます。

TEND出力のDMA転送タイミングは、ノーマル転送モードと同じです。

図 7.9 にデュアルアドレスモード時のリピート転送モードの動作を示します。

リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定しないときの動作は、図 7.8 のノーマル転送モードの動作と同じです。この場合も、リピートサイズ分の転送を終了すると、リピートサイズ終了割り込みを発生させることができます。

7. DMA コントローラ (DMAC)

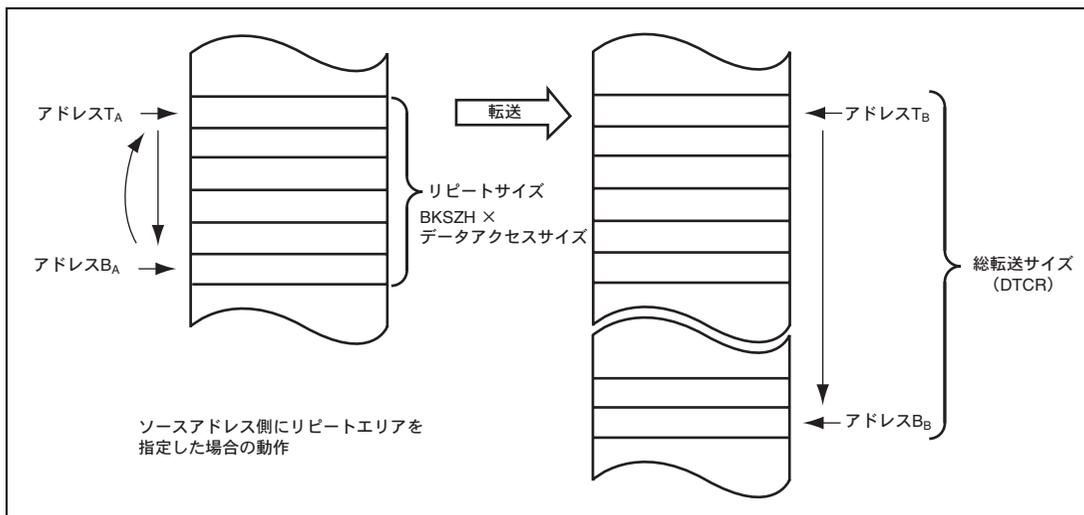


図 7.9 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRで最大64k×データアクセスサイズのブロックサイズを設定できます。

1ブロック分の転送中は、他のチャンネルの転送要求は待たされます。1ブロック分の転送が終了すると、バス権を他のバスマスタに解放します。

DACRのARSI、ARS0ビットによって、ブロックエリアをソースアドレス側もしくはデスティネーションアドレス側に指定することができます。ブロックエリアに指定されたアドレス側は、1ブロック分の転送終了ごとに、転送開始アドレスに戻ります。ソースアドレス側にもデスティネーションアドレス側にもリピートエリアを指定しない場合は、アドレスは転送開始アドレスに戻らずシーケンシャルに進みます。リピートサイズ終了割り込みを発生させることができます。

\overline{TEND} は、1ブロック分の転送ごとに各ブロックの終わりのDMA転送サイクルで出力されます。起動要因として外部リクエストを使用する場合は、 \overline{DREQ} 端子のサンプリング方法をLowレベル検出(DREQS=0)に設定してください。

ブロック転送モードで拡張リピートエリアオーバーフロー割り込みを設定する場合には注意が必要です。詳細は「7.4.5 拡張リピートエリア機能」を参照してください。

図 7.10 にブロック転送モードのDMA転送タイミング例を示します。転送条件は次のとおりです。

- アドレスモード：シングルアドレスモード
- データアクセスサイズ：バイト
- 1ブロックサイズ：3バイト

図 7.11 にシングルアドレスモードのブロック転送モードの動作を、図 7.12 にデュアルアドレスモードのブロック転送モードの動作を示します。

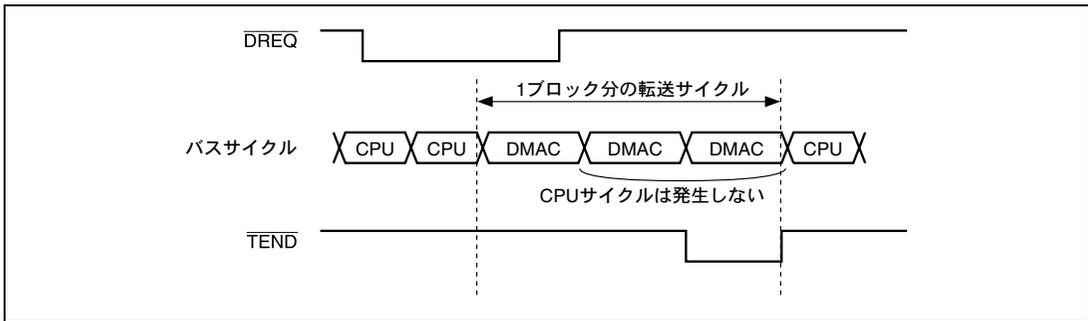


図 7.10 ブロック転送モードの例

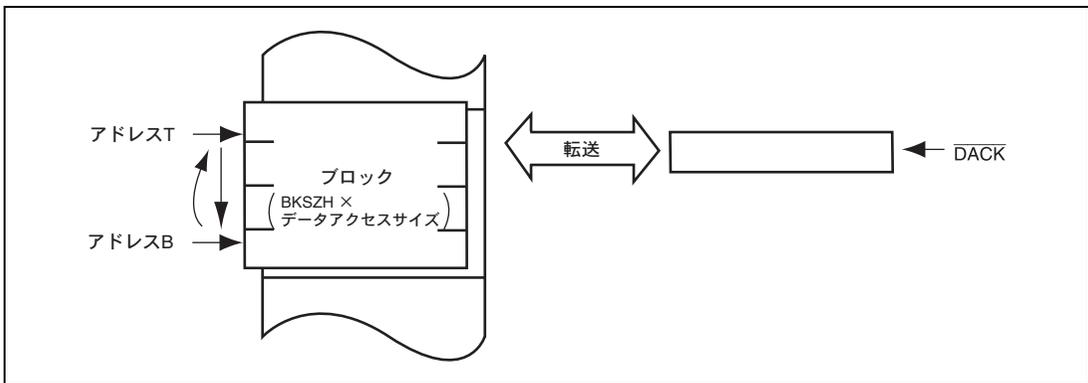


図 7.11 シングルアドレスモードのブロック転送モード (ブロックエリアの指定あり) の動作

7. DMA コントローラ (DMAC)

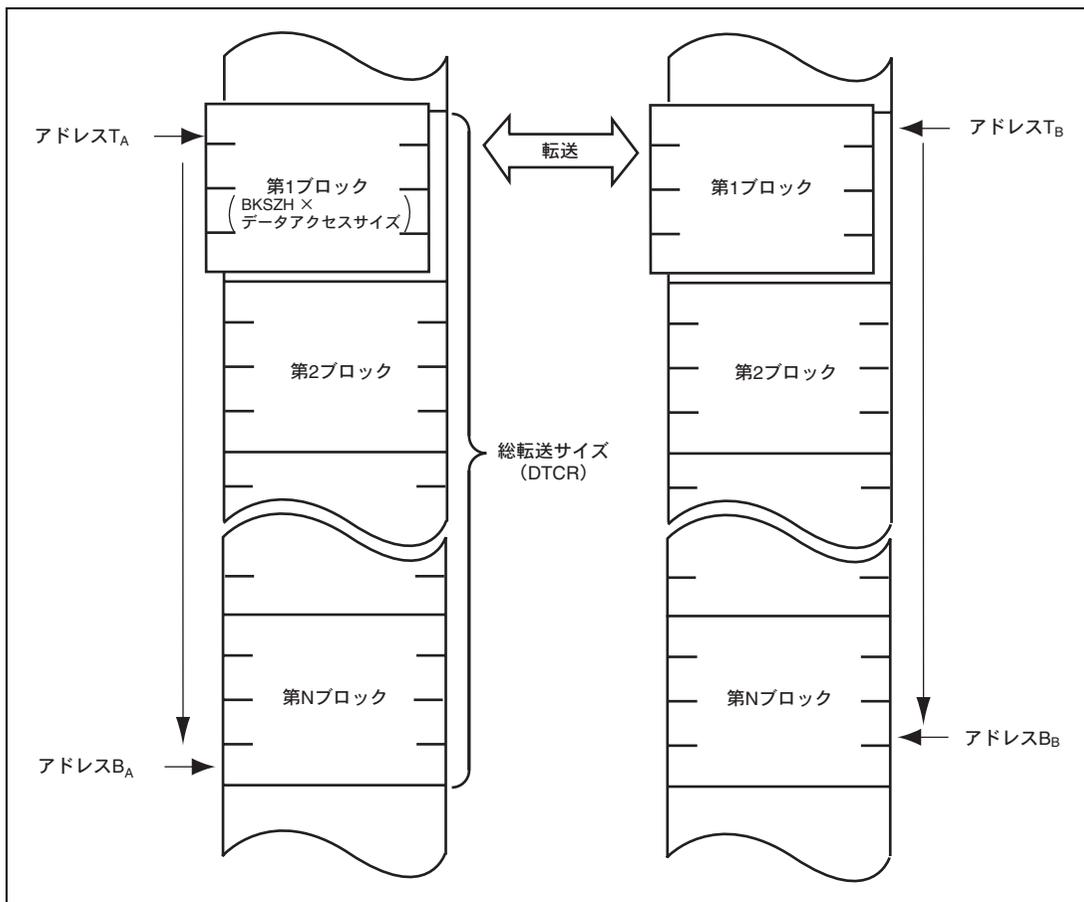


図 7.12 デュアルアドレスモードのブロック転送モード（ブロックエリアの指定なし）の動作

7.4.3 起動要因

DMAC の起動要因には、オートリクエスト、内蔵モジュール割り込み、および外部リクエストがあります。これらの起動要因は DMDR の DTF1、DTF0 ビットで選択します。

(1) オートリクエストによる起動

オートリクエストは、メモリとメモリ間の転送や、転送要求信号を発生できない周辺モジュールとメモリ間の転送のように、外部や周辺モジュールから転送要求信号の発生がない場合に、DMAC 内部で自動的に転送要求信号を発生させます。オートリクエストによる起動では、DMDR の DTE ビットを 1 にセットすると転送が開始されます。オートリクエストでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。

(2) 内蔵モジュール割り込みによる起動

内蔵モジュール割り込みは、各周辺モジュールからの割り込み要求（内蔵モジュール割り込み）を転送要求信号として使用します。DMA 転送が許可されているとき（DTE=1）、内蔵モジュール割り込み要求により DMA 転送を開始します。

起動要因の内蔵モジュール割り込みは、DMA モジュールリクエストセレクトレジスタ（DMRSR）で選択します。チャンネルごとに独立して設定することができます。表 7.4 に DMAC 内蔵モジュール割り込み一覧を示します。

起動要因として選択された割り込み要求は、CPU に対しても同時に割り込み要求を発生させることができます。詳細は「5. 割り込みコントローラ」を参照してください。

DMAC は、内蔵モジュール割り込み要求による起動要因を、割り込みコントローラとは独立して受け付けます。このため、割り込みコントローラによる優先順位設定の影響を受けません。

DTA=1 で DMAC を起動する場合、割り込み要求フラグは DMA 転送により自動的にクリアされます。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。この場合、その他のチャンネルの転送要求は DMAC 内部で保持されず、起動されない場合があります。

DTA=0 で DMAC を起動する場合、割り込み要求フラグは DMAC によりクリアされません。CPU でクリアしてください。

DTE=0 の状態では、選択された起動要因は DMAC に転送を要求しません。この場合、当該割り込みは CPU に割り込みを要求します。

また、DTE ビットへの 1 ライトは、内蔵モジュール割り込みの発生元となる割り込み要求フラグが 0 にクリアされていることを確認した後に行ってください。

7. DMA コントローラ (DMAC)

表 7.4 DMAC 内蔵モジュール割り込み一覧

内蔵モジュール割り込み要因 (割り込み要因)	発生元	DMRSR 値 (ベクタ番号)
ADI0 (A/D 変換終了割り込み)	A/D_0	86
ADI1 (A/D 変換終了割り込み)	A/D_1	87
TGI0A (TGR0A インพุットキャプチャ/コンペアマッチ)	TPU_0	88
TGI1A (TGR1A インพุットキャプチャ/コンペアマッチ)	TPU_1	93
TGI2A (TGR2A インพุットキャプチャ/コンペアマッチ)	TPU_2	97
TGI3A (TGR3A インพุットキャプチャ/コンペアマッチ)	TPU_3	101
RXI3 (SCI チャンネル 3 の受信データフル割り込み)	SCI_3	157
TXI3 (SCI チャンネル 3 の送信データエンプティ割り込み)	SCI_3	158
RXI4 (SCI チャンネル 4 の受信データフル割り込み)	SCI_4	161
TXI4 (SCI チャンネル 4 の送信データエンプティ割り込み)	SCI_4	162
TGI6A (TGRA_6 インพุットキャプチャ/コンペアマッチ)	TPU_6	164
TGI7A (TGRA_7 インพุットキャプチャ/コンペアマッチ)	TPU_7	169
TGI8A (TGRA_8 インพุットキャプチャ/コンペアマッチ)	TPU_8	173
TGI9A (TGRA_9 インพุットキャプチャ/コンペアマッチ)	TPU_9	177
TGI10A (TGRA_10 インพุットキャプチャ/コンペアマッチ)	TPU_10	182
TGI11A (TGRA_11 インพุットキャプチャ/コンペアマッチ)	TPU_11	188
RM0 (メールボックス 0 のメッセージ受信)	RCAN-ET	221
SSRXI0 (SSU チャンネル 0 の受信データフル割り込み)	SSU_0	228
SSTXI0 (SSU チャンネル 0 の送信データエンプティ割り込み/送信終了)	SSU_0	229
SSRXI1 (SSU チャンネル 1 の受信データフル割り込み)	SSU_1	232
SSTXI1 (SSU チャンネル 1 の送信データエンプティ割り込み/送信終了)	SSU_1	233
SSRXI2 (SSU チャンネル 2 の受信データフル割り込み)	SSU_2	236
SSTXI2 (SSU チャンネル 2 の送信データエンプティ割り込み/送信終了)	SSU_2	237

(3) 外部リクエストによる起動

外部リクエストによる起動は、外部デバイスからの転送要求信号 ($\overline{\text{DREQ}}$) によって転送を開始します。DMA 転送が許可されているとき ($\text{DTE}=1$)、 $\overline{\text{DREQ}}$ が入力されると DMA 転送を開始します。内部空間から内部空間への DMA 転送を行う場合は、起動要因を外部リクエスト以外 (オートリクエスト、内蔵モジュール割り込み) に設定してください。

転送要求信号は $\overline{\text{DREQ}}$ 端子で受け付けます。 $\overline{\text{DREQ}}$ を立ち下がりエッジで検出するか、Low レベルで検出するかは、DMDR の DREQS ビットで選択します。ブロック転送を行う場合は、Low レベル検出 ($\text{DREQS}=0$) を選択してください。

起動要因として外部リクエストを指定する場合は、あらかじめ該当する端子の DDR ビットを 0、ICR ビットを 1 に設定しておいてください。詳細は、「8. I/O ポート」を参照してください。

7.4.4 バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。

起動要因がオートリクエストの場合は、サイクルスチールモードとバーストモードを DMDR の DTF0 ビットで選択することができます。起動要因が内蔵モジュール割り込み、または外部リクエストの場合は、サイクルスチールモードになります。

(1) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 1 ブロックサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。この動作を転送終了条件が満たされるまで繰り返します。

DMA 転送中に他のチャンネルに転送要求がある場合は、一旦他のバスマスタに対してバス権を解放した後に、転送要求のあったチャンネルの転送を行います。複数のチャンネルに転送要求がある場合の動作の詳細については、

「7.4.8 チャンネルの優先順位」を参照してください。

図 7.13 にサイクルスチールモードのタイミング例を示します。転送条件は以下の通りです。

- アドレスモード：シングルアドレスモード
- $\overline{\text{DREQ}}$ 端子のサンプリング方法：Low レベル検出

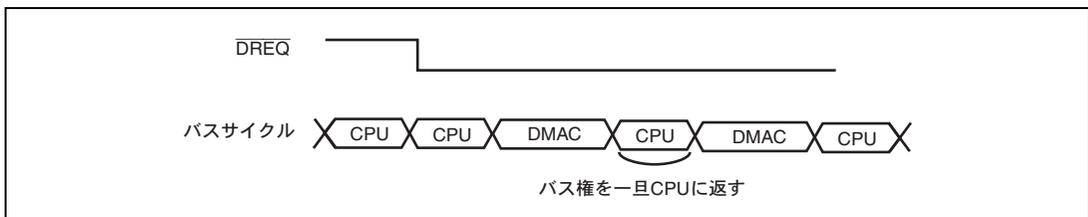


図 7.13 サイクルスチールモードのタイミング例

(2) バーストモード

バーストモードでは、DMAC は一度バス権を取ると転送終了条件が満たされるまでバス権を解放せずに転送を続けます。バーストモードでは、転送を開始すると優先順位の高い他のチャンネルに転送要求がある場合でも転送を中断することはありません。バーストモードのチャンネルが転送を終了すると、次のサイクルでサイクルスチールモードと同様にバス権を解放します。ただし、バスコントローラの BCR2 の IBCCS ビットを 1 にセットすることにより、他のバスマスタを優先して DMAC のバス権を一旦解放することができます。

ブロック転送モードでは、バーストモードの設定は無効です (1 ブロック転送中はバーストモードと同様の動作)。常にサイクルスチールモードとして動作します。

DMDR の DTE ビットを 0 にクリアすると、DMA 転送は停止します。ただし、DTE ビットを 0 にクリアするまでに DMAC 内部で発生した転送要求分の DMA 転送は実行されます。転送サイズエラー割り込みや、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込みが発生した場合は、DTE ビットを 0 にクリアして転送終了します。

図 7.14 にバーストモードのタイミング例を示します。

7. DMA コントローラ (DMAC)

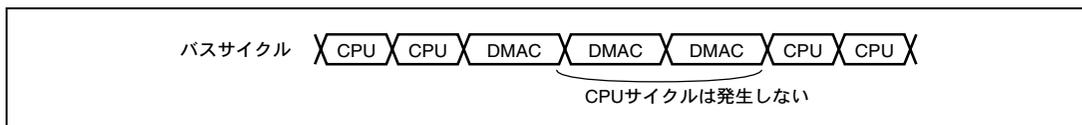


図 7.14 バーストモードのタイミング例

7.4.5 拡張リピートエリア機能

DMAC にはソースアドレス、デスティネーションアドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定された範囲のアドレス値を繰り返します。リングバッファを転送の対象にした場合は、アドレスレジスタの値がバッファの最終アドレスになるたびに（リングバッファに対するアドレスのオーバーフロー）、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要となり、拡張リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を DMAC 内で行うことができます。

拡張リピートエリア機能は、ソースアドレスレジスタ (DSAR) とデスティネーションアドレスレジスタ (DDAR) に独立して設定できます。

ソースアドレスの拡張リピートエリアは、DACR の SARA4～SARA0 ビットで設定します。デスティネーションアドレスの拡張リピートエリアは、DACR の DARA4～DARA0 ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA 転送を一時停止させて、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生することができます。DACR の SARIE ビットを 1 にセットすると、DSAR の拡張リピートエリアがオーバーフローしたときに DMDR の ESIF ビットを 1 セットし、DMDR の DTE ビットを 0 にクリアして転送を終了します。このとき、DMDR の ESIE ビットが 1 にセットされていると、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生します。DACR の DARIE ビットを 1 にセットするとデスティネーションアドレスレジスタが対象になります。割り込み発生中に DMDR の DTE ビットに 1 をセットすると、引き続き転送を再開します。

図 7.15 に拡張リピートエリア機能の例を示します。

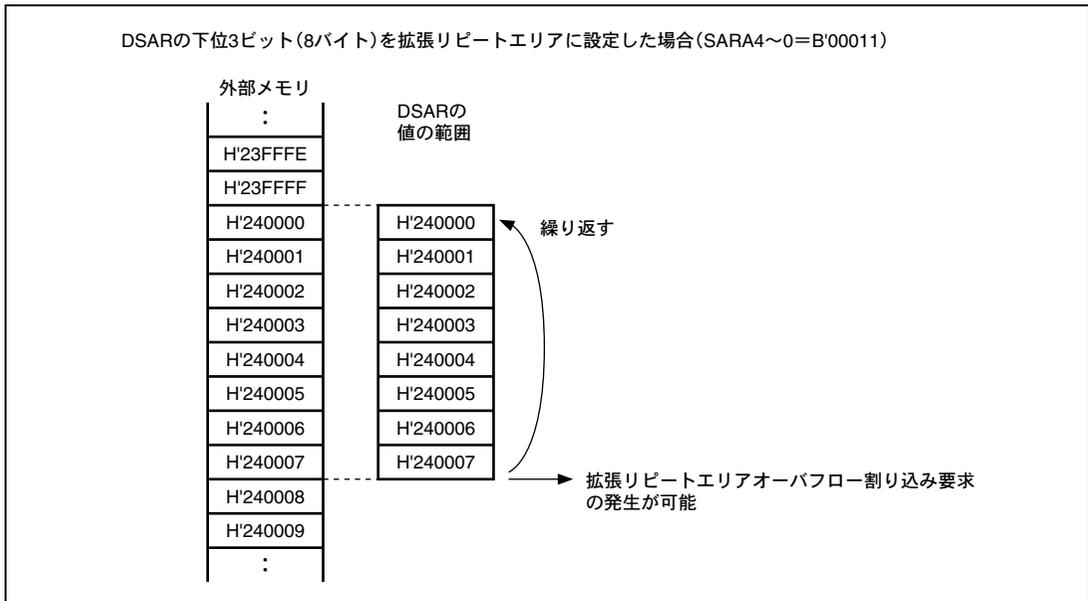


図 7.15 拡張リピートエリア機能の例

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、次の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックサイズを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用するときと同様の注意が必要です。

図 7.16 にブロック転送モードと拡張リピートエリア機能を併用したときの例を示します。

7. DMA コントローラ (DMAC)

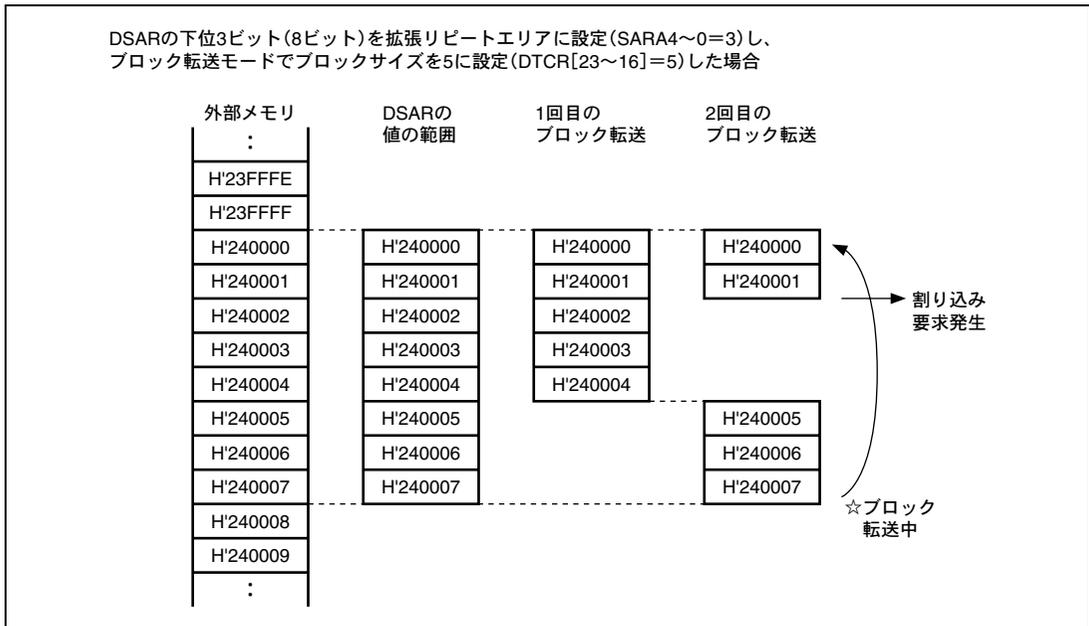


図 7.16 ブロック転送モードと拡張リピートエリア機能を併用したときの例

7.4.6 オフセットを使ったアドレス更新機能

転送先、転送元のアドレスの更新方法には、「固定」、「1、2または4の増減」の他に「オフセット加算」があります。「オフセット加算」では、DMACがデータアクセスサイズ分の転送を行うたびにオフセットレジスタ(DOFR)で設定したオフセットを加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

図 7.17 にアドレス更新方法を示します。

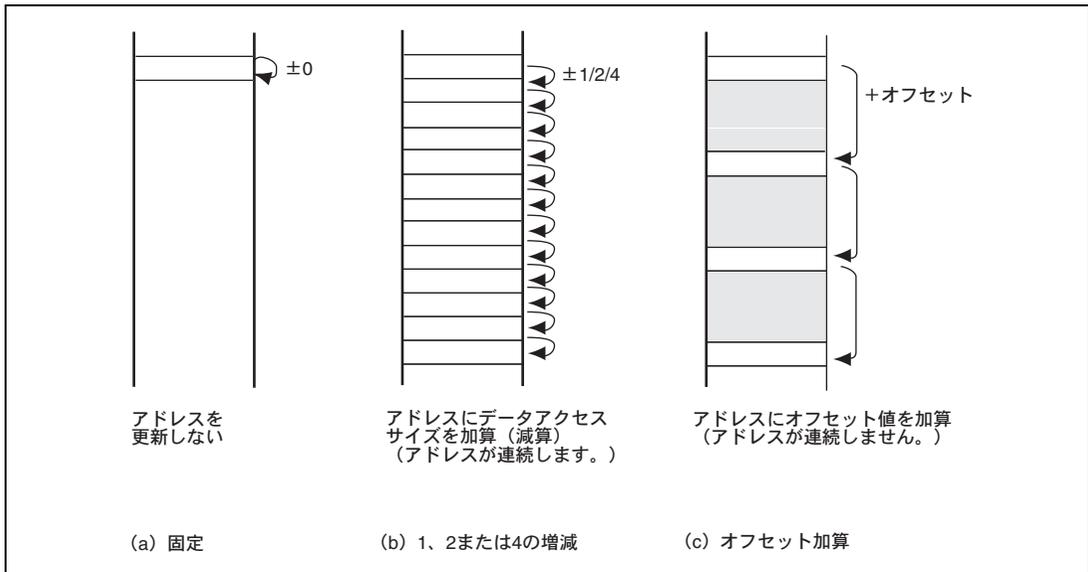


図 7.17 アドレスの更新方法

(a) の「固定」の場合は、転送先あるいは転送元のアドレスの更新が行われず常に同じアドレスを示します。

(b) の「1、2または4の増減」の場合は、データの転送が行われるたびにデータアクセスサイズに応じた値を転送先あるいは転送元のアドレスに加減算します。データアクセスサイズにはバイト、ワード、ロングワードを指定できます。バイト指定では1、ワード指定では2、ロングワード指定では4の値をアドレスの加減算に使用します。この機能により、DMACは連続するアドレスの転送を実現しています。

(c) の「オフセット加算」の場合は、データアクセスサイズに依存するアドレスの演算を実施しません。DMACはデータアクセスサイズ分の転送が行われるたびにDOFRで設定した値を転送先あるいは転送元のアドレスに加算します。

DMACは、DOFRにオフセット値を設定し、DSARやDDARと演算します。このとき、DMACはオフセット値の加算しか実行できませんが、DOFRに負値を設定することにより、オフセット値による減算も実現できます。負値を設定する場合は、負値にするオフセット値を2の補数で指定してください。

7. DMA コントローラ (DMAC)

(1) オフセットを使った基本的な転送

図 7.18 に基本的な動作を示します。

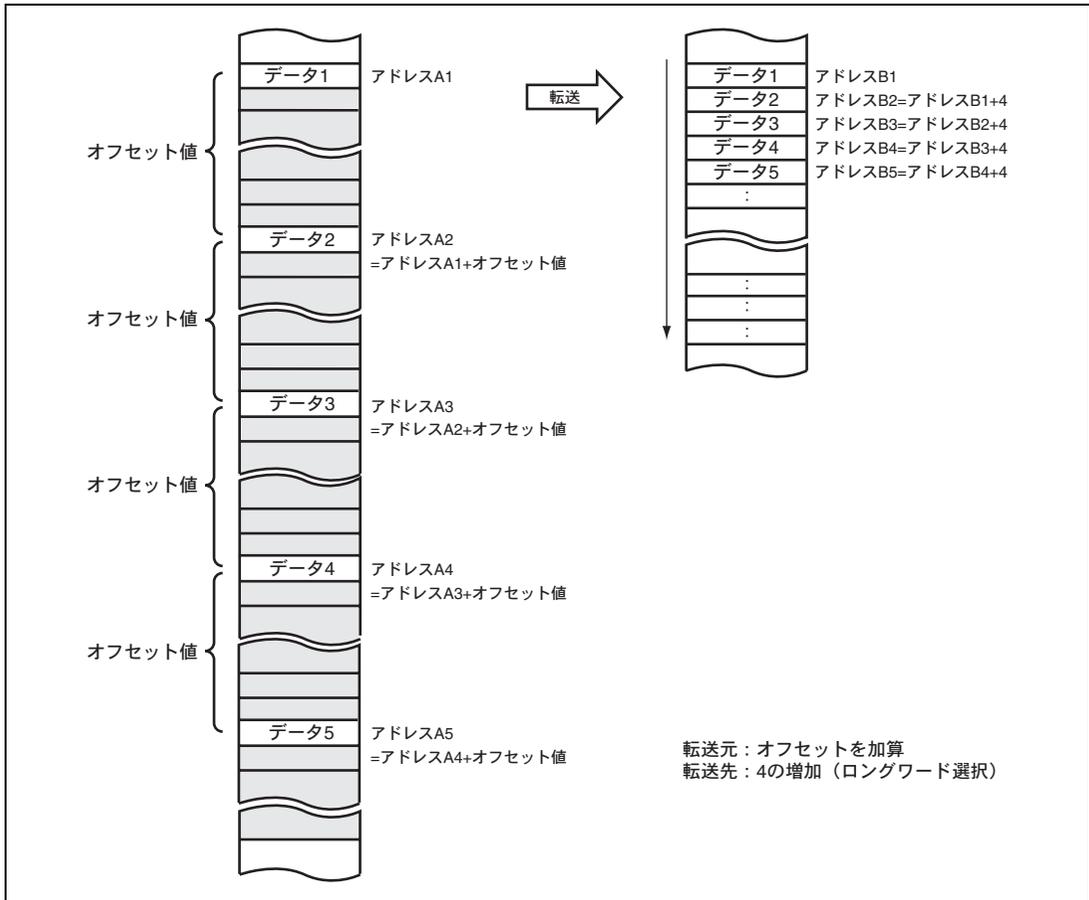


図 7.18 オフセット更新機能の動作

図 7.18 では、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「1、2、または 4 の増減」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセットを使ったXY変換例

図 7.19 にリピート転送モードと「オフセット加算」を組み合わせる XY 変換を行うときの動作を示します。

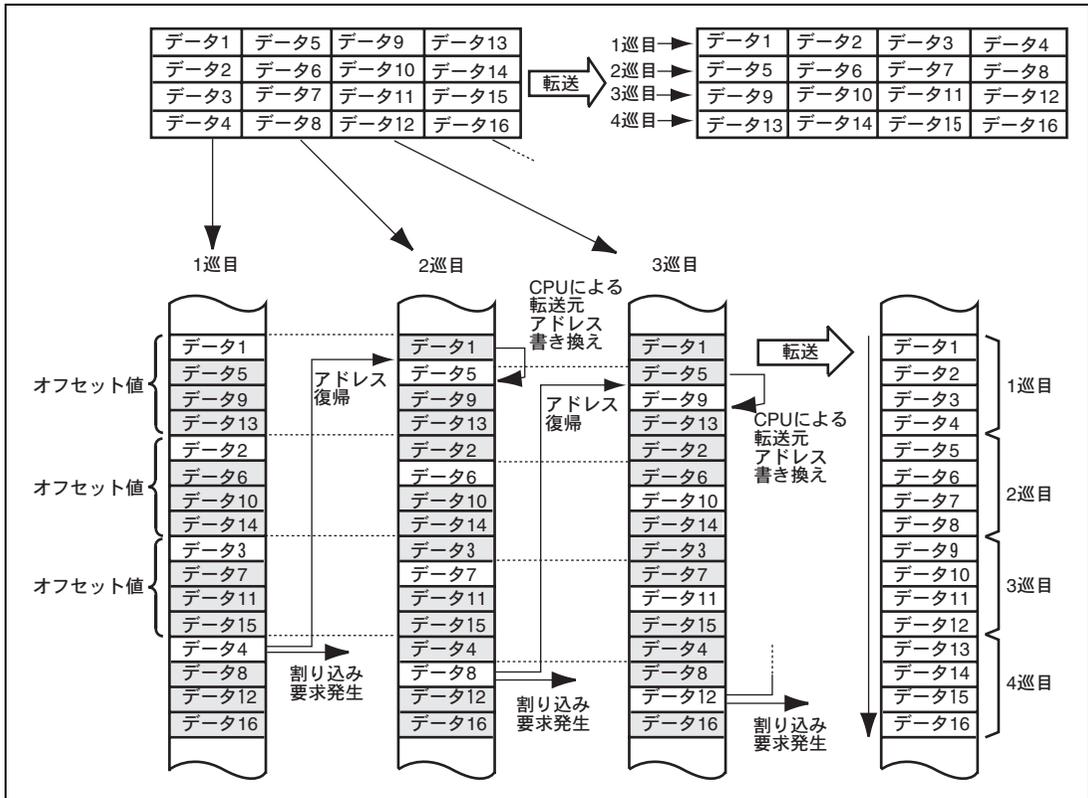


図 7.19 リピート転送モード+オフセット加算による XY 変換のときの動作

図 7.19 では、DACR でソースアドレス側をリピートエリアに設定し、かつ DACR で「オフセット加算」を設定しています。オフセット値は、4×データアクセスサイズに相当するアドレスです（例えば、データアクセスサイズがロングワードであるならば、DOFR に H'00000010 を指定したことになります）。リピートサイズは 4×データアクセスサイズです（例えばデータアクセスサイズがロングワードであると、4×4=16 バイトをリピートサイズに指定したことになります）。転送先は「1、2、および 4 の加算」を設定しています。また、DACR の RPTIE ビットを 1 にセットし、リピートサイズ分の転送が終了するとリピートサイズ終了割り込み要求が発生するように設定しています。

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。データ 4 までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス（転送元データ 1 のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により一旦転送が中断するので、CPU による I/O レジスタアクセスで DSAR の値をデータ 5 のアドレスに書き換えてください（ロングワード転送ならデータ 1 のアドレス+4 にアドレスを書き換えます）。DMDR の DTE ビットを 1 にセットすると、

7. DMA コントローラ (DMAC)

転送中断した状態から引き続き転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 7.20 に XY 変換の処理フローを示します。

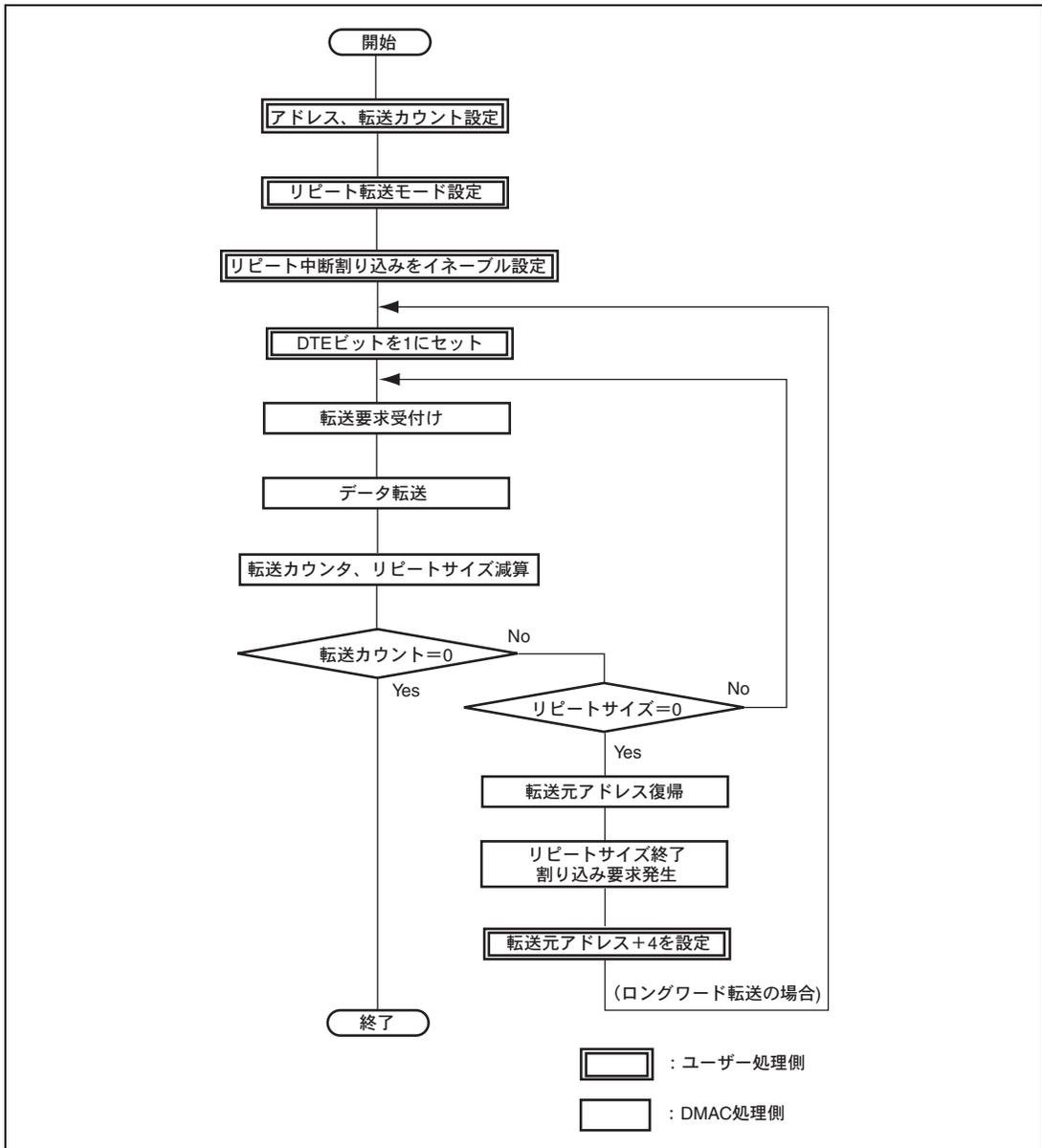


図 7.20 リピート転送モード+オフセット加算による XY 変換のフロー

(3) オフセット減算の指定方法

DOFR に負値を設定する場合はオフセット値を 2 の補数で指定してください。2 の補数は次式で求められます。

[負オフセット値の 2 の補数表現] = \sim [オフセット値]+1 (\sim : ビット反転)

例: H'0001FFFF の 2 の補数表現
 = H'FFFE0000 + H'00000001
 = H'FFFE0001

2 の補数は、CPU の NEG.L 命令でも求められます。

7.4.7 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DSAR、DDAR、DTCR、DBSR の BKSZH、BKSZ ビット、DMDR の DTE、ACT、ERRF、ESIF、DTIF ビットです。

(1) DMA ソースアドレスレジスタ (DSAR)

転送元の DSAR のアドレスをアクセスすると、DSAR の値を出力し、次にアクセスするアドレスに更新されません。

DACR の SAT1、SAT0 ビットでアドレスの増減を設定します。SAT1、0=B'00 のときアドレスは固定されます。SAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。SAT1、0=B'10 のときアドレスは増加し、SAT1、0=B'11 のときアドレスは減少します (増減サイズは、転送するデータアクセスサイズにより決まります)。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズになり、アドレスは ± 1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは ± 2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは ± 4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、ソースアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してリードされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してリードしている間、アドレス増減サイズは実際にリードされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのリード後は、リード開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード (またはリピート転送モード) においてソースアドレス側にブロックエリア (リピートエリア) を設定している場合、ブロックサイズ (リピートサイズ) 分の転送を終了すると、ソースアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

ソースアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DSAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DSAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DSAR にライトしないでください。

7. DMA コントローラ (DMAC)

(2) DMA デスティネーションアドレスレジスタ (DDAR)

転送先の DDAR のアドレスをアクセスすると、DDAR の値を出力し、次にアクセスするアドレスに更新されま

す。
DACR の DAT1、DAT0 ビットでアドレスの増減を設定します。DAT1、0=B'00 のときアドレスは固定されます。DAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。DAT1、0=B'10 のときアドレスは増加し、DAT1、0=B'11 のときアドレスは減少します (増減サイズは、転送するデータアクセスサイズにより決まります)。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズになり、アドレスは±1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは±2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは±4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、デスティネーションアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してライトされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してライトしている間、アドレス増減サイズは実際にライトされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのライト後は、ライト開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード (またはリピート転送モード) においてデスティネーションアドレス側にブロックエリア (リピートエリア) を設定している場合、ブロックサイズ (リピートサイズ) 分の転送を終了すると、デスティネーションアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

デスティネーションアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DDAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DDAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DDAR にライトしないでください。

(3) DMA 転送カウントレジスタ (DTCR)

DMA 転送を行うと、DTCR の値は転送したバイト数分減少します。バイト転送した場合は-1、ワード転送した場合は-2、ロングワード転送した場合は-4 されます。ただし、DTCR の値が 0 のとき、転送回数はカウントされないため DTCR の値は変化しません。

DTCR の全ビットが変化する可能性があるため、DMA 転送中に CPU から DTCR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DTCR は CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、動作中のチャンネルの DTCR にライトしないでください。

DMA 転送に伴うアドレスの更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。DTCR=1、2、4→0 への更新と CPU によるライト (値は 0 以外) が競合した場合は、DTCR の値は CPU によるライトが優先されますが、転送は終了します。

(4) DMA ブロックサイズレジスタ (DBSR)

DBSR はブロック転送モード、またはリピート転送モードのときに有効となります。DBSR [31:16] は BKSZH、DBSR [15:0] は BKSZ として機能します。BKSZH の 16 ビットはブロックサイズやリピートサイズを保持し、その値は変化しません。BKSZ の 16 ビットはブロックサイズやリピートサイズのカウンタとして機能し、1 データ

転送毎に-1します。DMA 転送によって BKSZ の値が 0 になると判断されると、DMAC は BKSZ に 0 をストアせずに BKSZH の値をストアします。

DBSR は上位 16 ビットが更新されることがないので、ワードサイズでアクセスすることができます。

動作中のチャンネルの DBSR にライトしないでください。

(5) DMDR の DTE ビット

DMDR の DTE ビットは、CPU によりライトしてデータ転送の許可/禁止を制御しますが、DMA 転送状態によって DMAC により自動的に DTE ビットを 0 にクリアすることがあります。

DMAC により DTE ビットが 0 にクリアされる条件は以下です。

- 設定の総転送サイズの転送が終了したとき
- 転送サイズエラー割り込み要求が発生し、転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき
- NMI割り込みが発生し、転送が停止したとき
- アドレスエラーが発生し、転送が停止したとき
- リセット時
- ハードウェアスタンバイモード時
- DTEビットに0をライトして、転送が停止したとき

DTE ビットが 1 にセットされているチャンネルのレジスタのライトは禁止されています (DTE ビットを除く)。

DTE ビットに 0 をライトしてから各レジスタの設定を変更するときは、DTE ビットが 0 にクリアされていることを確認してください。

図 7.21 に、動作中のチャンネルのレジスタ設定を変更する手順を示します。

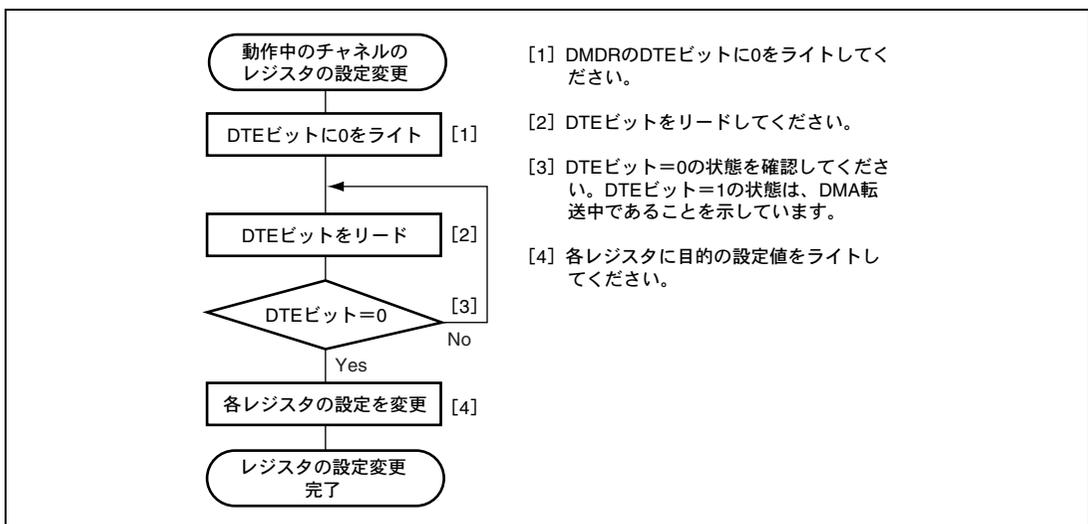


図 7.21 動作中のチャンネルのレジスタ設定を変更するときの手順

7. DMA コントローラ (DMAC)

(6) DMDR の ACT ビット

DMDR の ACT ビットは、DMAC が待機状態かアクティブ状態かを示します。DTE=0 の場合と、DTE=1 で転送要求待ち状態の場合に ACT=0 となり、それ以外の場合 (DMAC がアクティブ状態) には ACT=1 になります。DTE ビットに 0 をライトして転送を停止させても DMA 転送中であれば、ACT ビットは 1 を保持します。

ブロック転送モードの場合、DTE ビットに 0 をライトして転送を停止させても 1 ブロックサイズの転送は中断されません。DTE ビットに 0 をライトしてから 1 ブロックサイズの転送が終了するまでの期間、ACT ビットは 1 を保持します。

バーストモードの場合、DTE ビットに 0 をライトしたバスサイクルから最大 3 回の DMA 転送が行われてから転送を停止します。DTE ビットに 0 をライトしてから最後の DMA サイクルが終了するまでの期間、ACT ビットは 1 を保持します。

(7) DMDR の ERRF ビット

アドレスエラー、または NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアして転送を終了します。また、DMAC は転送中か否かに関わらず、DMDR_0 の ERRF ビットを 1 にセットし、アドレスエラー、または NMI 割り込みが発生したことを示します。ただし、DMAC がモジュールストップ状態のときに、アドレスエラーや NMI 割り込みが発生しても ERRF ビットは 1 にセットされません。

(8) DMDR の ESIF ビット

転送サイズ割り込み、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMDR の ESIF ビットは 1 にセットされます。ESIF ビットが 1 にセットされ、DMDR の ESIE ビットが 1 にセットされていると転送エスケープ割り込み要求を CPU に対して発生します。

ESIF ビットに 1 がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットを 1 にセットして転送を再開した場合、自動的に ESIF ビットが 0 にクリアされ、割り込み要求は解除されます。

割り込みについては「7.7 割り込み要因」を参照してください。

(9) DMDR の DTIF ビット

DMA 転送によって総転送サイズ分の転送を終了すると、DMDR の DTIF ビットは 1 にセットされます。DTIF ビットが 1 にセットされ、DMDR の DTIE ビットが 1 にセットされていると転送カウンタによる転送終了割り込み要求を CPU に対して発生します。

DTIF ビットが 1 にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットに 1 をセットして転送を再開した場合、自動的に DTIF ビットが 0 にクリアされ、割り込み要求は解除されます。

割り込みについては「7.7 割り込み要因」を参照してください。

7.4.8 チャンネルの優先順位

DMAC のチャンネル間の優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 の順になっています。表 7.5 に DMAC のチャンネル間の優先順位を示します。

表 7.5 DMAC のチャンネル間の優先順位

チャンネル	優先順位
チャンネル 0	高
チャンネル 1	↑
チャンネル 2	↓
チャンネル 3	低

転送中に他のチャンネルからの転送要求があると、転送中のチャンネルを除いて最も優先度の高いチャンネルが選択されます。選択されたチャンネルは、転送中のチャンネルがバスを解放後に転送を開始します。このとき、DMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。

バースト転送中、および 1 ブロック分のブロック転送中は、チャンネルを切り換えて転送することはありません。

図 7.22 に、チャンネル 0～2 からの転送要求が同時に発生したときの転送例を示します。

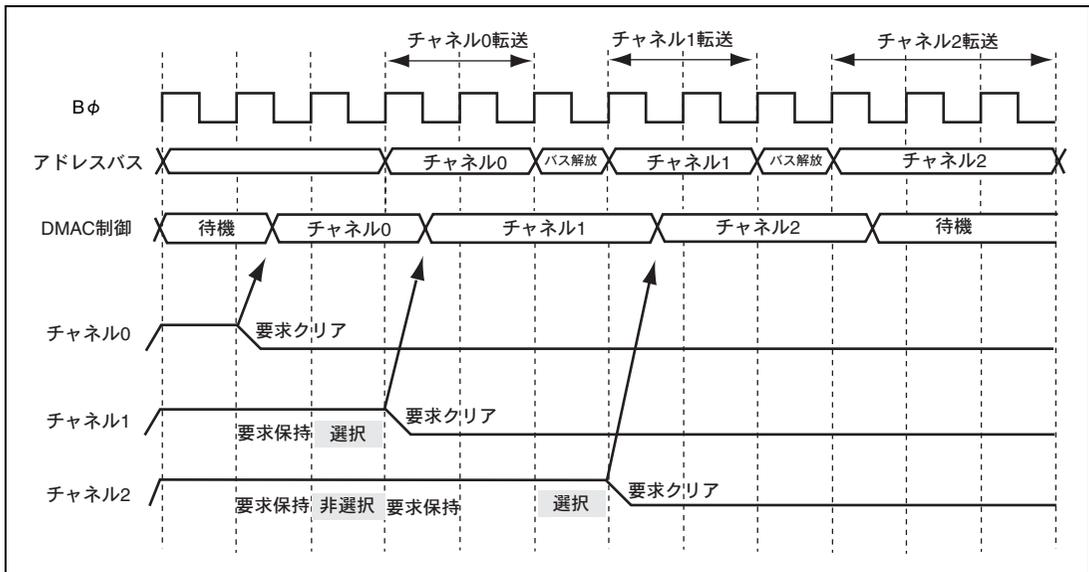


図 7.22 チャンネルの優先順位のタイミング例

7.4.9 基本バスサイクル

基本的なバスサイクルのタイミング例を図 7.23 に示します。図 7.23 は、ワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様にバスコントローラの設定に従います。

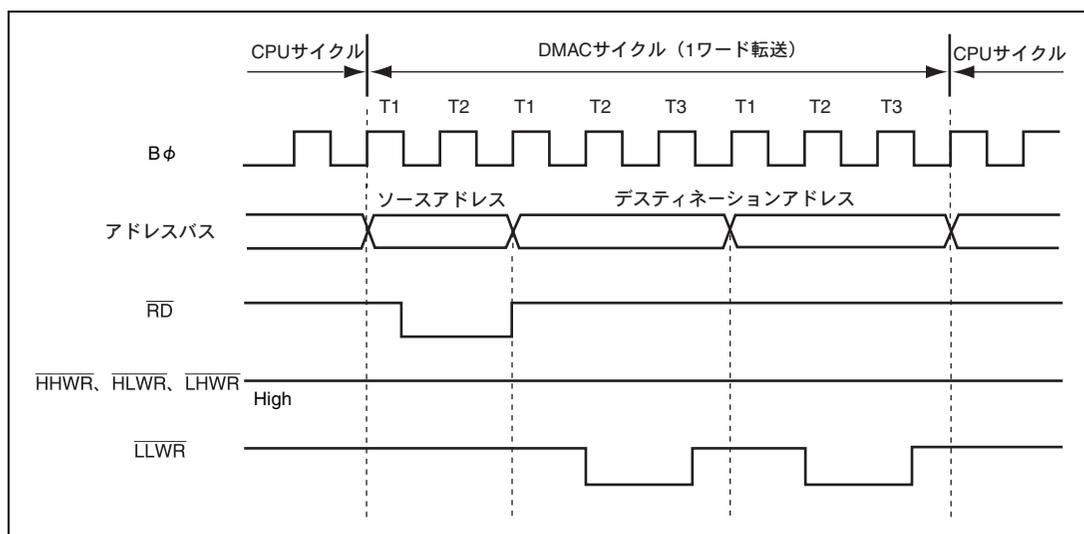


図 7.23 DMA 転送バスタイミング例

7.4.10 デュアルアドレスモードのバスサイクル

(1) ノーマル転送モード (サイクルスチールモード)

サイクルスチールモードでは、1回の転送単位 (1バイト、1ワードまたは1ロングワード) の転送を終了するたびにバスを解放します。バス解放期間中はCPUによるバスサイクルが1回以上入ります。

図 7.24 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

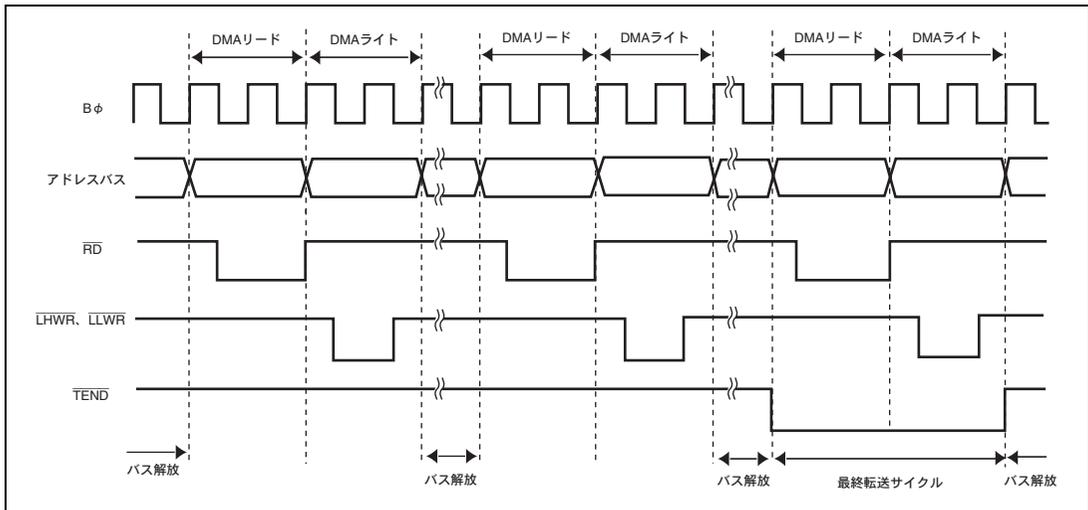


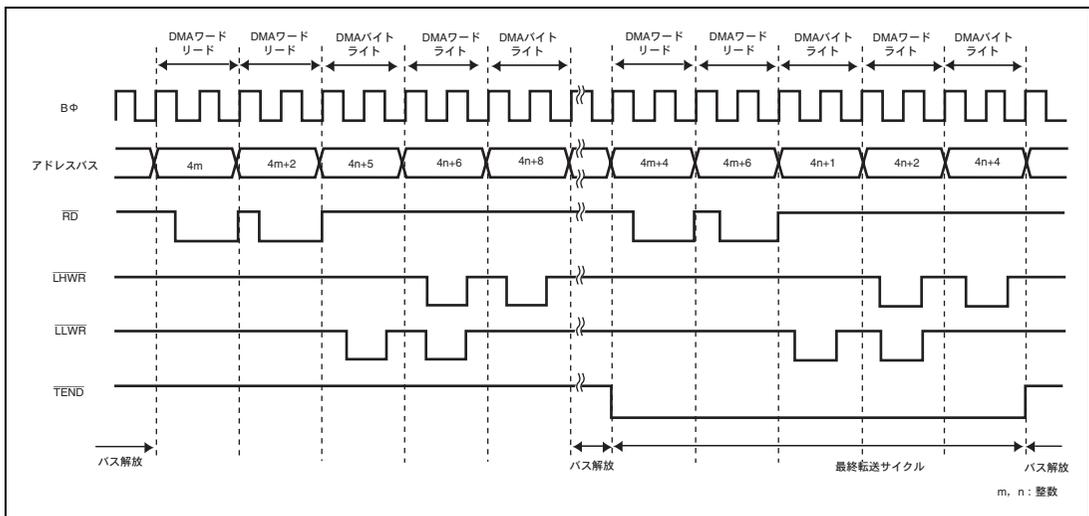
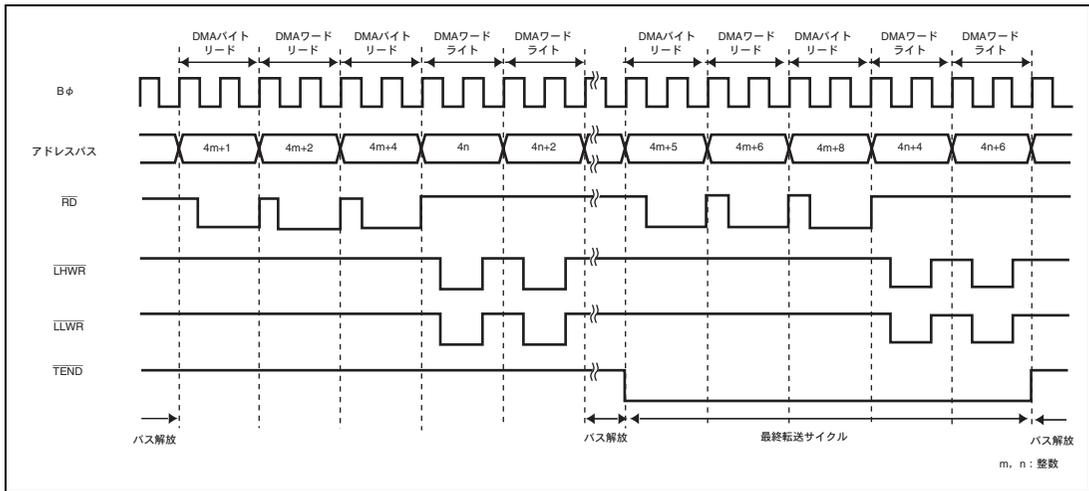
図 7.24 ノーマル転送モードかつサイクルスチールモードの転送例

図 7.25、図 7.26 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へロングワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

図 7.25 では、転送元は (DSAR=ロングワード境界を外れたアドレス)、転送先は (DDAR=ロングワード境界に沿ったアドレス) です。

図 7.26 では、転送元は (DSAR=ロングワード境界に沿ったアドレス)、転送先は (DDAR=ロングワード境界を外れたアドレス) です。

7. DMA コントローラ (DMAC)



(2) ノーマル転送モード (バーストモード)

バーストモードでは、1バイト、1ワードまたは1ロングワードの転送を転送終了条件が満たされるまで続けます。

バースト転送を開始すると、優先順位の高い他のチャネルの転送要求が発生してもバースト転送が終了するまで待たされます。

図 7.27 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつバーストモードで転送を行った場合の例を示します。

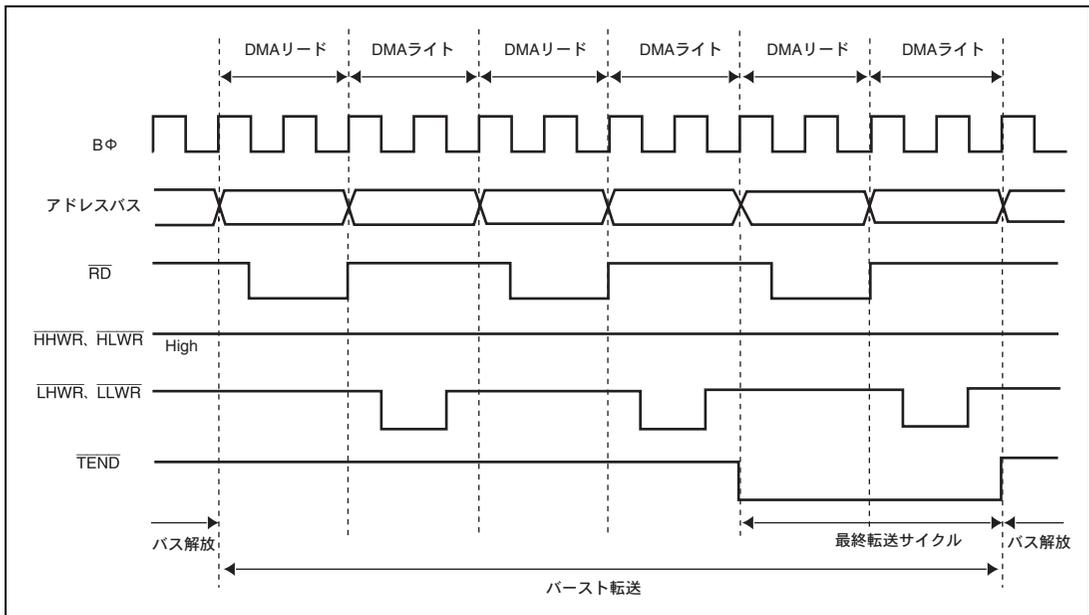


図 7.27 ノーマル転送モードかつバーストモードの転送例

7. DMA コントローラ (DMAC)

(3) ブロック転送モード

ブロック転送モードでは、1回の転送要求について1ブロック分の転送を終了するたびにバスを解放します。

図 7.28 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでブロック転送モードで転送を行った場合の例を示します。

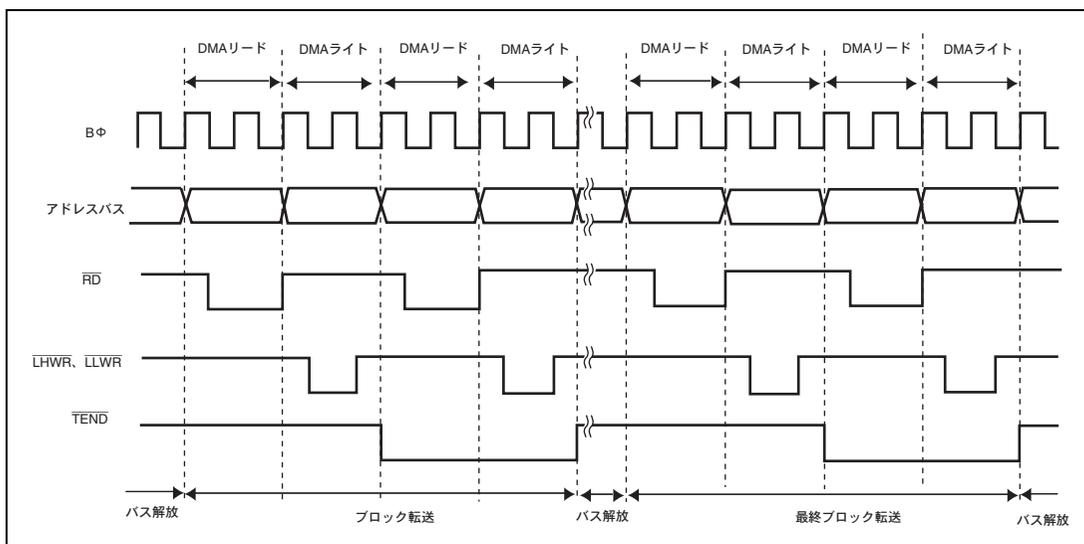


図 7.28 ブロック転送モードの転送例

(4) $\overline{\text{DREQ}}$ 立ち下がりエッジ起動タイミング

図 7.29 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

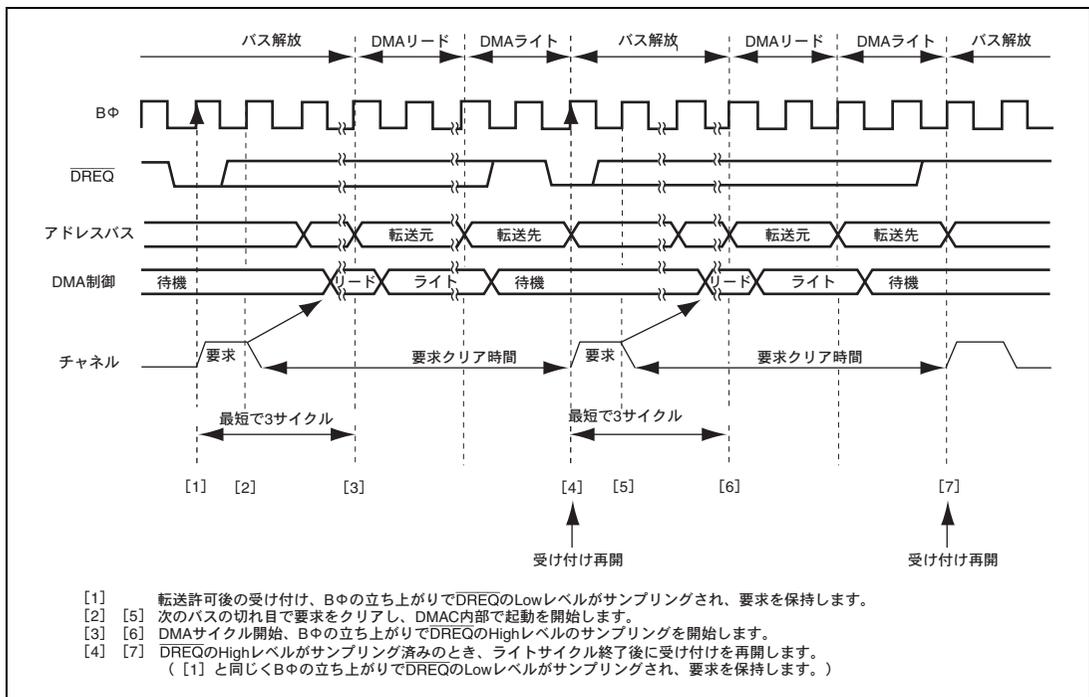


図 7.29 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例

7. DMA コントローラ (DMAC)

(5) $\overline{\text{DREQ}}$ レベル起動タイミング

図 7.30 に $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の Bφ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

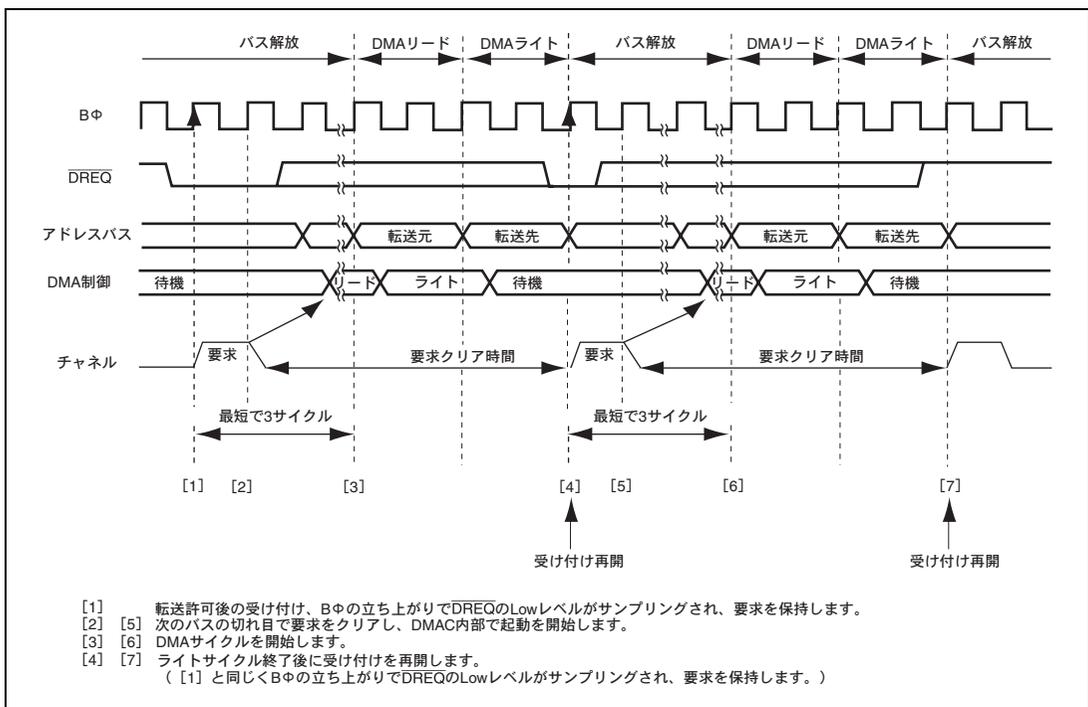


図 7.30 $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例

図 7.31 に $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

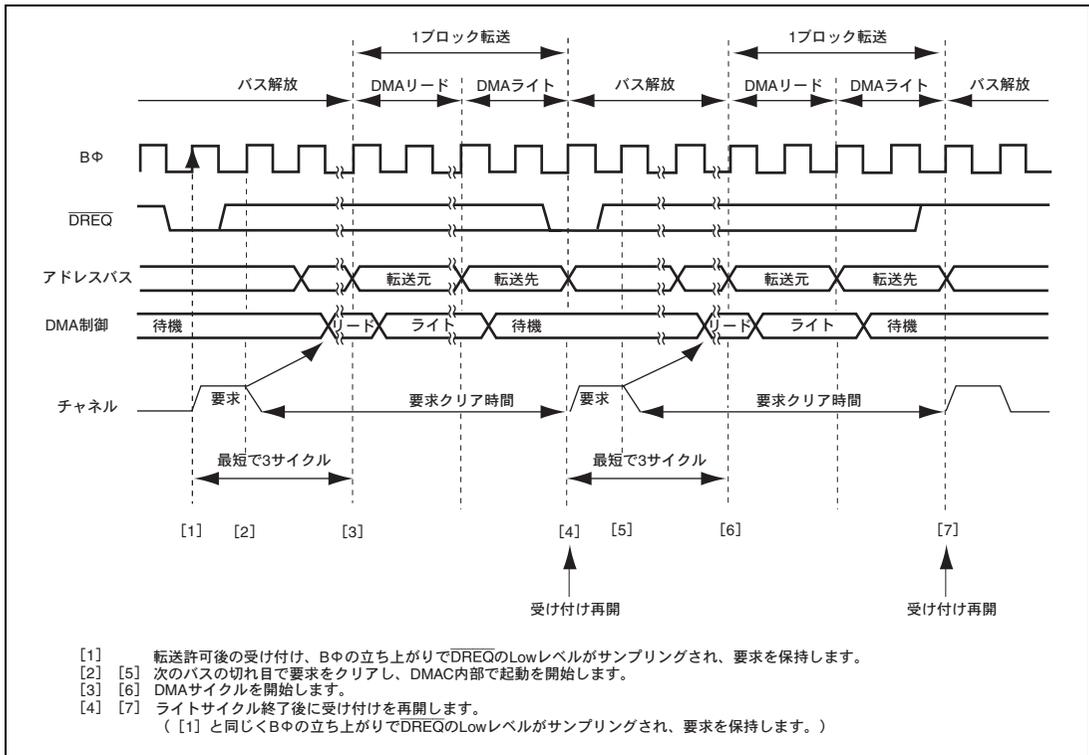


図 7.31 $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例

7. DMA コントローラ (DMAC)

(6) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 7.32 に NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

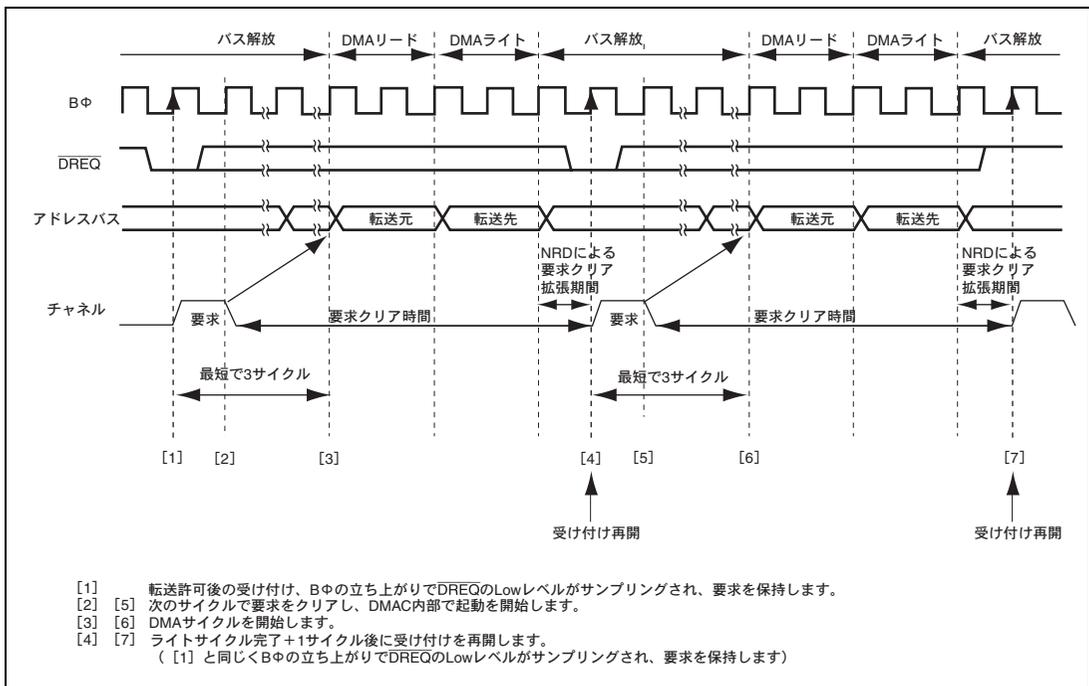


図 7.32 NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例

7.4.11 シングルアドレスモードのバスサイクル

(1) シングルアドレスモード (リード、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後に一旦バスを解放します。バス解放期間中はCPUによるバスサイクルが1回以上入ります。

図 7.33 に、 \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへバイトサイズでシングルアドレスモードで転送 (リード) を行った場合の例を示します。

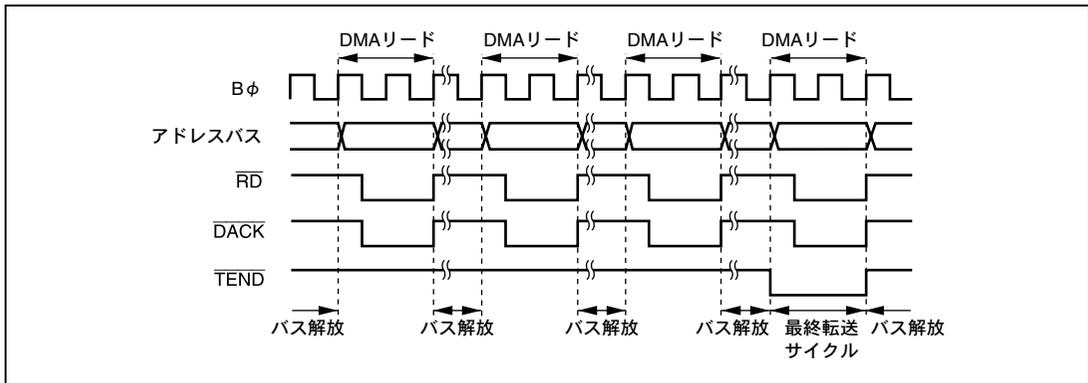


図 7.33 シングルアドレスモード (バイトリード) の転送例

(2) シングルアドレスモード (ライト、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後に一旦バスを解放します。バス解放期間中はCPUによるバスサイクルが1回以上入ります。

図 7.34 に、 \overline{TEND} 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へバイトサイズでシングルアドレスモードで転送 (ライト) を行った場合の例を示します。

7. DMA コントローラ (DMAC)

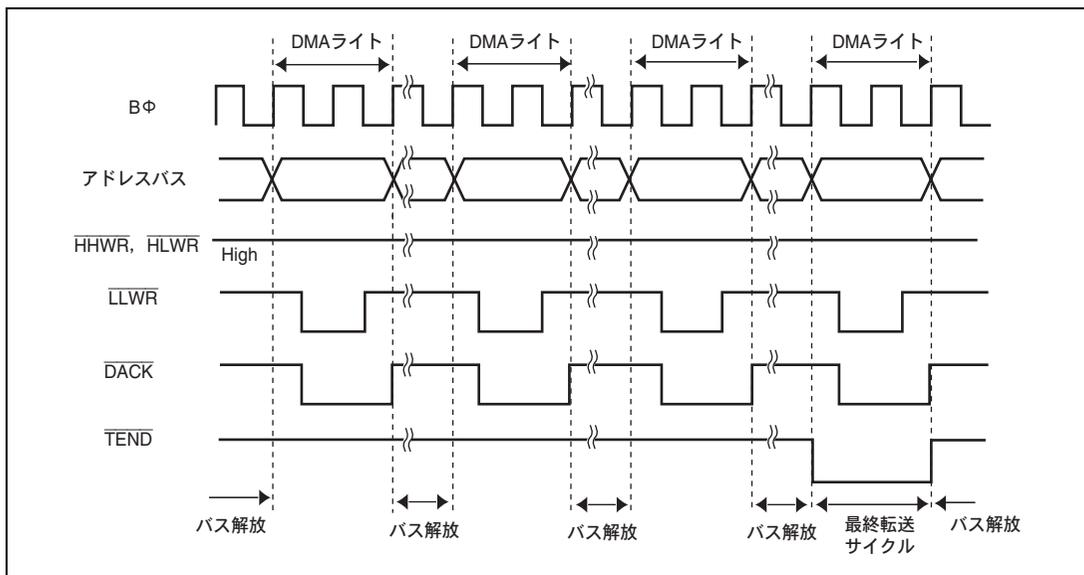


図 7.34 シングルアドレスモード (バイト/ワード) の転送例

(3) $\overline{\text{DREQ}}$ 立ち下がりエッジ起動タイミング

図 7.35 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のために $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

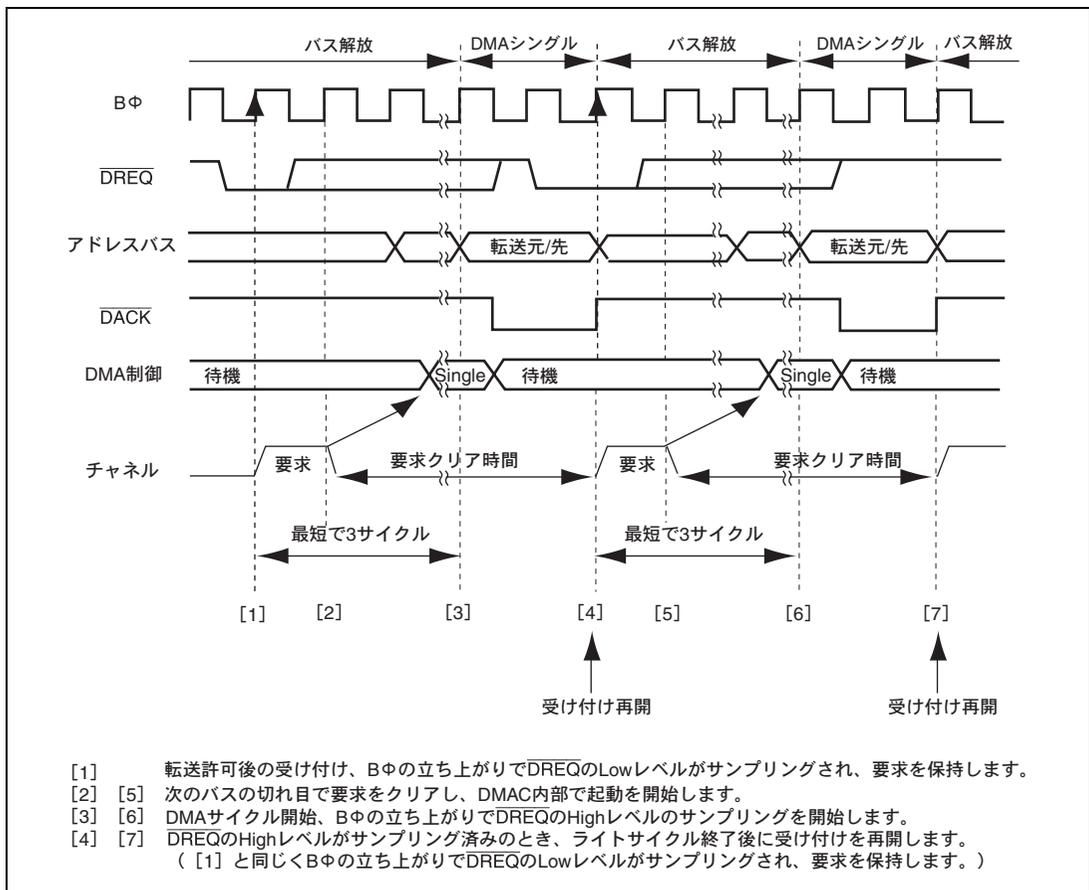


図 7.35 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のシングルアドレスモードの転送例

7. DMA コントローラ (DMAC)

(4) $\overline{\text{DREQ}}$ Low レベル起動タイミング

図 7.36 に $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

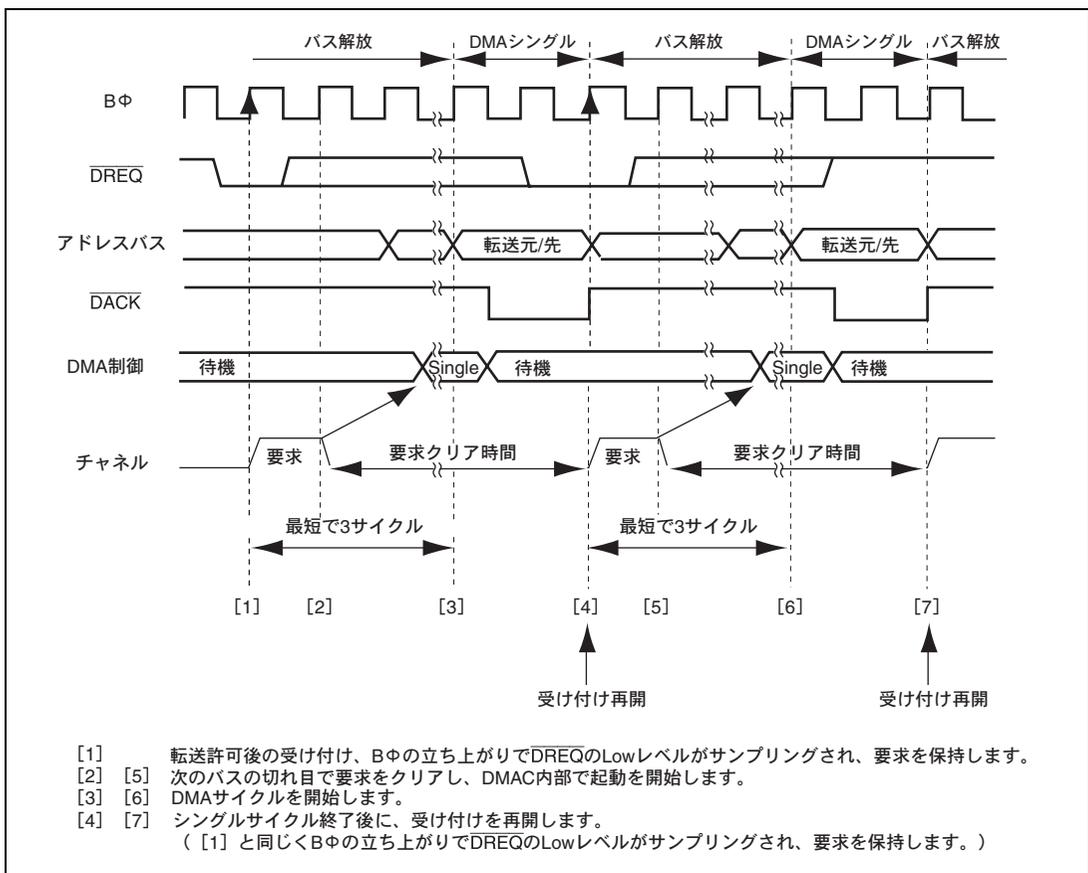


図 7.36 $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

(5) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 7.37 に NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

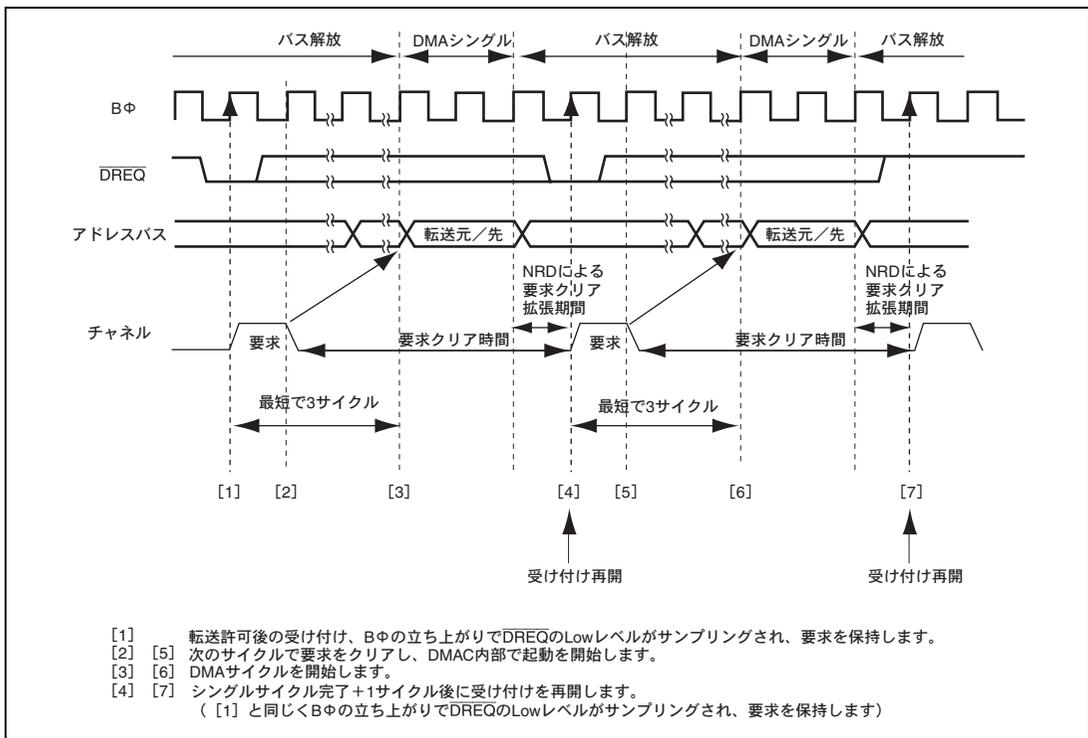


図 7.37 NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

7.5 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMDR の DTE ビットと ACT ビットが 1 から 0 になり、DMA 転送が終了したことを示します。

(1) DTCR=1、2、4→0 による転送終了

DTCR の値が 1、2、または 4 から 0 になると対応するチャンネルの DMA 転送が終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の DTIF ビットが 1 にセットされます。このとき DMDR の DTIE ビットが 1 にセットされていると、転送カウンタによる転送終了割り込み要求が発生します。DTCR の値が転送前から 0 の場合は、DMA 転送は終了しません。

(2) 転送サイズエラー割り込みによる転送終了

DMDR の TSEIE ビットが 1 にセットされているときに次の条件を満たすと、転送サイズエラー割り込み要求が発生し、DMA 転送を終了します。このとき DMDR の DTE ビットは 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。

- ノーマル転送モード、リピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さくなり、1 要求あたりのデータアクセスサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さくなり、1 要求あたりのブロックサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき

DMDR の TSEIE ビットが 0 にクリアされているときは、DTCR が 0 になるまで転送を行い、転送サイズエラー割り込み要求は発生しません。各転送モードごとの動作を以下に示します。

- ノーマル転送モードやリピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さいと、データアクセスサイズをバイトに固定して転送を行います。
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さいと、ブロックサイズ分の転送を行わず DTCR 分の転送を行います。データアクセスサイズよりも DTCR の値が小さいときは、データアクセスサイズをバイトに固定して転送を行います。

(3) リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DACR の RPTIE ビットが 1 にセットされているときに、1 リピートサイズ分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。この状態から DTE ビットを 1 にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。

(4) 拡張リピートエリアオーバーフロー割り込みによる転送終了

拡張リピートエリアを指定し、DACR の SARIE ビットまたは DARIE ビットが 1 にセットされているときに、アドレスの拡張リピートエリアがオーバーフローすると、拡張リピートエリアオーバーフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR

の ESIF ビットが 1 にセットされます。

デュアルアドレスモードでは、リードサイクル中に拡張リポートエリアオーバフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リポートエリアオーバフロー割り込み要求が発生しても 1 ブロック分の転送は実行されます。拡張リポートエリアオーバフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

(5) DMDR の DTE ビットに 0 をライトして転送終了

CPU 等によって DMDR の DTE ビットに 0 をライトすると、転送中の DMA サイクルおよび転送要求を受け付けた DMA サイクルの実行後に転送終了されます。

ブロック転送モードでは、転送中の 1 ブロックサイズの転送終了後に DMA 転送を終了します。

(6) NMI 割り込みによる転送終了

セットします。DMA 転送中に NMI 割り込みが発生した場合、転送は強制的に終了します。NMI 割り込み発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

以下に、NMI 割り込み検出後の転送終了タイミングを各モードごとに示します。

(a) ノーマル転送モード、リピート転送モード

デュアルアドレスモードでは、1 転送単位の DMA 転送のライトサイクル終了後に DMA 転送を終了します。

シングルアドレスモードでは、1 転送単位の DMA 転送のバスサイクル終了後に DMA 転送を終了します。

(b) ブロック転送モード

ブロックサイズ分の DMA 転送を中断して強制終了します。ブロックサイズ分の転送が正しく実行されなくなるため、転送要求に対する整合性は保証されません。

デュアルアドレスモードでは、ノーマル転送モードと同様にリードサイクルに対応するライトサイクルは実行されます。

(7) アドレスエラーによる転送終了

アドレスエラーが発生すると DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中にアドレスエラーが発生した場合、転送は強制的に終了します。アドレスエラー発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

アドレスエラー検出後の転送終了タイミングは、NMI 割り込みによる強制終了タイミングと同様です。

(8) ハードウェアスタンバイモード、リセット入力による転送終了

ハードウェアスタンバイモードまたはリセット入力により、DMAC は初期化されます。DMA 転送は保証されません。

7.6 DMAC と他のバスマスタの関係

7.6.1 CPU に対する DMAC の優先レベル制御機能

CPU プライオリティコントロールレジスタ (CPUPCR) の設定により、CPU に対する DMAC の優先レベル制御機能を使用することができます。詳細は「5.7 CPU に対する DMAC の優先レベル制御機能」を参照してください。

DMAC の優先レベルは、DMDR の DMAP2~0 ビットで設定します。チャンネルごとに優先レベルを独立に設定することができます。

CPU の優先レベルは、CPUPCR の CPUP2~0 ビットで設定します。CPU の優先レベルは、CPUP2~0 ビットの値を割り込みマスクビットの値で更新することにより、例外処理のプライオリティレベルに対応した優先レベルに設定されます。

CPUPCR の CPUPCE ビットを 1 にセットして CPU の優先レベル制御を有効にすると、DMAC の優先レベルが CPU の優先レベルよりも低くなると対応するチャンネルの転送要求はマスクされ、当該チャンネルは起動されなくなります。他のチャンネルの優先レベルが CPU の優先レベルと同じか、高い場合は、チャンネル間の優先順位に関係なく、他のチャンネルの転送要求は受け付けられ転送が可能です。

CPU の優先レベル制御機能により転送要求をマスクされた転送要因は、CPU の優先レベルまたは当該チャンネルの優先レベルを更新して優先レベルの関係が改善されると、転送要求を受け付けて転送を開始します。

CPUPCE ビットを 0 にクリアすると CPU の優先レベルは最低と見なされます。マスクされていた期間の転送要求は保留されます。保留されている転送要求は、DTE ビットに 0 をライトするとクリアされます。

7.6.2 他のバスバスタとのバス権の調停

DMA 転送サイクルが連続する場合、各バスサイクルの間に他のバスマスタのサイクルが挿入される場合と、挿入されない場合があります。設定により DMAC のバス権をいったん解放して他のバスマスタにバス権を譲ることができます。

DMA 転送サイクルが連続するバスサイクルには、転送モードの仕様により不可分割となる場合、転送モードの仕様により高速アクセスのためバスサイクルが連続する場合があります。

DMA 転送サイクルのリードとライトの間は不可分割となっています。このため、DMA 転送サイクルのリードとライトの間にリフレッシュサイクル、外部バス解放サイクル、内部バスマスタ (CPU) のサイクルは発生しません。

ブロック転送モード、およびオートリクエストのバーストモードの転送では、DMA 転送のバスサイクルは連続します。この期間、CPU はバス権の優先順位が DMAC よりも低いため外部空間アクセスは待たされます (バスコントロールレジスタ 2 (BCR2) の IBCCS=0 のとき)。

他のチャンネルに切り替わるとき、およびオートリクエストのサイクルスチールモードの転送では、DMA 転送サイクルは内部バスマスタと交互にバスサイクルを実行します。

BCR2 の IBCCS ビットを 1 にセットして DMAC と内部バスマスタとの間の調停機能を有効にすると、不可分割のバスサイクルを除いて、バス権をいったん解放して内部バスマスタとの間で交互にバス権を取得します。詳細は「6. バスコントローラ (BSC)」を参照してください。

DMAC が外部空間をアクセスする場合、リフレッシュサイクル、または外部バス解放サイクルとの競合が発生

することがあります。このときバスコントローラは、外部バスの優先順位に従って、DMAC がバースト転送またはブロック転送を行っているときでも転送をいったん中断し、リフレッシュサイクルの外部バス解放サイクルを挿入します (DMAC よりも優先順位の低い CPU の外部アクセスは、DMAC が外部バスを解放するまで動作しません)。

DMAC の転送モードがデュアルアドレスモードの場合、DMAC が外部バスを解放するタイミングは外部ライトサイクルの後となります。外部リードサイクルと外部ライトサイクルの間は不可分割のため、この間にバスを解放することはありません。

DMAC が内部空間 (内蔵メモリ、内部 I/O レジスタ) をアクセスする場合、DMAC サイクルが外部バス解放サイクルと同時に進行することがあります。

7. DMA コントローラ (DMAC)

7.7 割り込み要因

DMAC が発生する割り込み要因は、転送カウンタによる転送終了、転送カウンタが 0 にならずに転送終了するエスケープ終了割り込みです。表 7.6 に割り込み要因と優先度を示します。

表 7.6 割り込み要因と優先度

名称	割り込み要因	割り込み 優先順位
DMTEND0	チャンネル 0 の転送カウンタによる転送終了割り込み	高  低
DMTEND1	チャンネル 1 の転送カウンタによる転送終了割り込み	
DMTEND2	チャンネル 2 の転送カウンタによる転送終了割り込み	
DMTEND3	チャンネル 3 の転送カウンタによる転送終了割り込み	
DMEEND0	チャンネル 0 の転送サイズエラーによる割り込み	
	チャンネル 0 のリピートサイズ終了割り込み	
	チャンネル 0 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 0 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND1	チャンネル 1 の転送サイズエラーによる割り込み	
	チャンネル 1 のリピートサイズ終了割り込み	
	チャンネル 1 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 1 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND2	チャンネル 2 の転送サイズエラーによる割り込み	
	チャンネル 2 のリピートサイズ終了割り込み	
	チャンネル 2 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 2 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND3	チャンネル 3 の転送サイズエラーによる割り込み	
	チャンネル 3 のリピートサイズ終了割り込み	
	チャンネル 3 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 3 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルの DMDR の DTIE ビットと ESIE ビットにより許可または禁止を設定できます。DTIE ビットは、DMDR の DTIF ビットとの組み合わせで DMTEND 割り込みを発生させます。ESIE ビットは、DMDR の ESIF ビットとの組み合わせで DMEEND 割り込みを発生させます。DMEEND 内の割り込み要因は共通の割り込みとして区別されません。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 7.6 に示すようになっています。詳細は「5. 割り込みコントローラ」を参照してください。

各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットで設定します。転送カウンタによる転送終了割り込みは DMDR の DTIE ビット、転送サイズエラーによる割り込みは DMDR の TSEIE ビット、リピートサイズ終了による割り込みは DACR の RPTIE ビット、ソースアドレス拡張リピートエリアオーバーフロー割り込みは DACR の SARIE ビット、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは DACR の DARIE ビットにより許可または禁止を設定します。

転送カウンタによる転送終了割り込みは、DMDR の DTIE ビットが 1 にセットされていると、転送により DTCR が 0 になり DMDR の DTIF ビットが 1 にセットされたときに発生します。

転送カウンタによる転送終了割り込み以外の割り込みは、対応する割り込みイネーブルビットが 1 にセットされていると、転送により対応する条件が発生し DMDR の ESIF ビットが 1 にセットされたときに発生します。

転送サイズエラーによる割り込みは、データアクセスサイズよりも DTCR の値が小さくなり 1 要求あたりのデータアクセスサイズ分の転送ができないときに転送要求があると発生します。ブロック転送モードでは、ブロックサイズと DTCR の値を比較して転送サイズエラー判定を行います。

リピートサイズ終了割り込みは、リピート転送モードにおいてリピートサイズ分の転送終了後に次の転送要求があると発生します。リピートエリアをアドレスレジスタに設定しない場合でもリピートサイズに設定した値により定期的に転送を中断させることができます。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

ソースアドレス拡張リピートエリアオーバーフロー割り込み、およびデスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは、拡張リピートエリアを設定して対応するアドレスがリピートエリアオーバーフローになったときに発生します。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

各種割り込みと割り込みフラグのブロック図を図 7.38 に示します。割り込みを解除するには、割り込み処理ルーチンにて DMDR の DTIF ビットまたは ESIF ビットを 0 にクリアする方法と、レジスタの再設定後に DMDR の DTE ビットを 1 にセットして転送継続の処理を行う方法があります。割り込みを解除して、転送を再開する手順例を図 7.39 に示します。

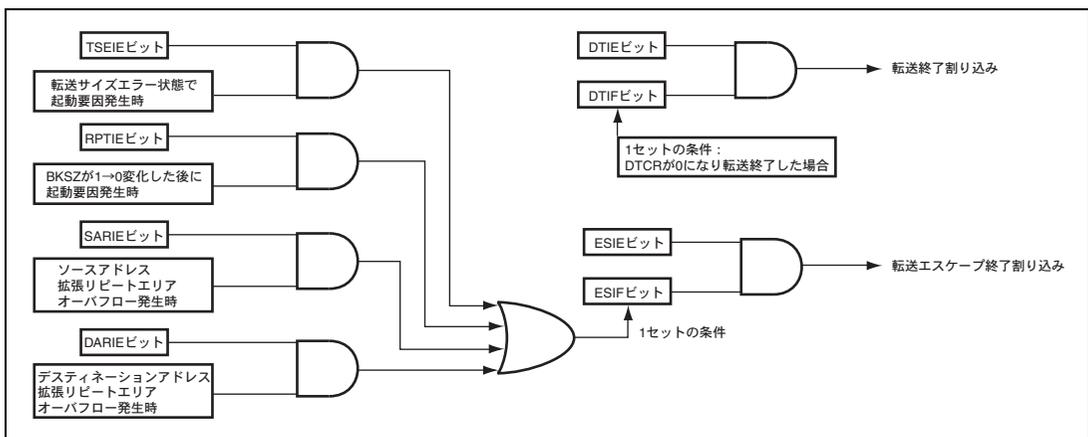


図 7.38 割り込みと割り込み要因

7. DMA コントローラ (DMAC)

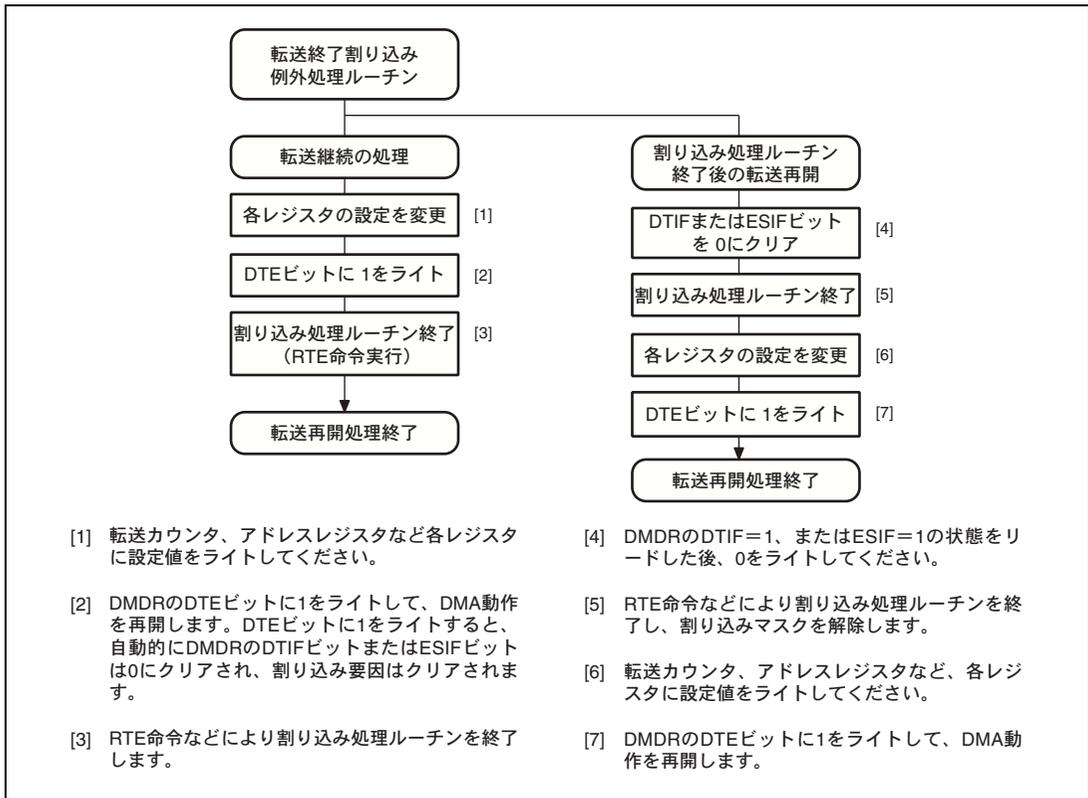


図 7.39 割り込みを解除して、転送を再開する手順例

7.8 使用上の注意事項

(1) 動作中の DMAC レジスタのアクセス

DMDR の DTE ビットを 0 にクリアする場合を除き、動作中（転送待ち状態を含む）にチャンネルの設定を変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DMAC の動作停止／許可を設定することができます。初期値では、DMAC は動作許可状態です。

MSTPCRA の MSTPA13 ビットを 1 にセットすると、DMAC に供給されるクロックが停止し、DMAC はモジュールストップ状態になります。ただし、DMAC のいずれかのチャンネルが転送許可状態になっている場合、および割り込み要求を発生中の場合は、MSTPA13 ビットを 1 にセットできません。DMDR の DTE ビットを 0 にクリアして、DMDR の DTIF ビットまたは DTIE ビットを 0 にクリアしてから MSTPA13 ビットを設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。次の DMAC のレジスタ設定は、モジュールストップ状態でも有効となりますので、必要に応じてモジュールストップ状態に先立って無効にしてください。

- DMDRのTENDE=1 ($\overline{\text{TEND}}$ 端子イネーブル)
- DMDRのDACKE=1 ($\overline{\text{DACK}}$ 端子イネーブル)

(3) $\overline{\text{DREQ}}$ 立ち下がりがエッジ起動

$\overline{\text{DREQ}}$ 立ち下がりがエッジ検出は、DMAC の内部動作に同期して行います。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ のLowレベル検出を待ち。[2.] に遷移します。
2. 転送待ち状態：DMACのデータ転送許可待ち。[3.] に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ のHighレベル検出を待ち。[1.] に遷移します。

DMAC の転送許可後は [1.] に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われません。

(4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ の立ち下がりがエッジセンス／Low レベルセンスともに Low レベルを検出しています。従って、転送許可状態にするための DMDR ライト実行以前から発生している $\overline{\text{DREQ}}$ の Low レベル検出による転送要求を受け付けます。

DMAC の起動時には、前回の転送終了時に $\overline{\text{DREQ}}$ の Low レベルが残らないようにしてください。

7. DMA コントローラ (DMAC)

8. I/O ポート

ポート機能一覧を表 8.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR)、端子の状態をリードするポートレジスタ (PORT)、入力バッファのオン/オフを制御する入力バッファコントロールレジスタ (ICR) から構成されています。ポート 4、5 には DDR、DR はありません。

ポート D、H、J、K には、入力プリアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プリアップ MOS のオン/オフを制御できます。

ポート 2 は、オープンドレインコントロールレジスタ (ODR) で出力バッファの PMOS のオン/オフを選択できます。

ポート 1、2、3、6、A、D、H、J、K は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

すべての入出力ポートは出力時にダーリントトランジスタを駆動することができます。

ポートの $\overline{\text{IRQ}}$ 入力、TPU 入力として使用するときシュミットトリガ入力端子となります。

表 8.1 ポート機能一覧

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 1	割り込み入力、SCI 入出力、A/D 変換器 入力と兼用汎用入 出力ポート	7	P17	ADTRG1/IRQ7	—	$\overline{\text{IRQ7}}$	—	—
		6	P16/SCK3	$\overline{\text{IRQ6}}$	—	$\overline{\text{IRQ6}}$	—	—
		5	P15	RxD3/ $\overline{\text{IRQ5}}$	—	$\overline{\text{IRQ5}}$	—	—
		4	P14	$\overline{\text{IRQ4}}$	TxD3	$\overline{\text{IRQ4}}$	—	—
		3	P13	ADTRG0/ $\overline{\text{IRQ3}}$	—	$\overline{\text{IRQ3}}$	—	—
		2	P12	$\overline{\text{IRQ2}}$	—	$\overline{\text{IRQ2}}$	—	—
		1	P11	$\overline{\text{IRQ1}}$	—	$\overline{\text{IRQ1}}$	—	—
		0	P10	$\overline{\text{IRQ0}}$	—	$\overline{\text{IRQ0}}$	—	—
ポート 2	割り込み入力、TPU 入出力*2、SSU 入出力と兼用汎用入出力ポート	3	P23/TIOCD3	TIOCC3/ $\overline{\text{IRQ1T-A}}$	—	P23、TIOCC3、 TIOCD3、 $\overline{\text{IRQ1T-A}}$	—	○
		2	P22/TIOCC3	$\overline{\text{IRQ10-A}}$	—	P22、TIOCC3、 $\overline{\text{IRQ10-A}}$	—	—
		1	P21/TIOCA3/ SCS2	$\overline{\text{IRQ9-A}}$	—	P21、TIOCA3、 $\overline{\text{IRQ9-A}}$	—	—
		0	P20/TIOCB3	TIOCA3/ $\overline{\text{IRQ8-A}}$	—	P20、TIOCA3、 TIOCB3、 $\overline{\text{IRQ8-A}}$	—	—

8. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 3	PPG 出力*2、 TPU 入出力*2 と兼用 汎用入出力ポート	7	P37/TIOCB2	TIOCA2/TCLKD	PO15	P37、TIOCA2、 TIOCB2、TCLKD	-	-
		6	P36/TIOCA2	-	PO14	P36、TIOCA2		
		5	P35/TIOCB1	TIOCA1/TCLKC	PO13	P35、TIOCA1、 TIOCB1、TCLKC		
		4	P34/TIOCA1	-	PO12	P34、TIOCA1		
		3	P33/TIOCD0	TIOCC0/TCLKB	PO11	P33、TIOCC0、 TIOCD0、TCLKB		
		2	P32/TIOCC0	TCLKA	PO10	P32、TIOCC0、 TCLKA		
		1	P31/TIOCB0	TIOCA0	PO9	P31、TIOCA0、 TIOCB0		
		0	P30/TIOCA0	-	PO8	P30、TIOCA0		
ポート 4	A/D 変換器入力と兼 汎用入力ポート	7	-	P47/AN11	-	-	-	-
		6	-	P46/AN10	-			
		5	-	P45/AN9	-			
		4	-	P44/AN8	-			
		3	-	P43/AN15	-			
		2	-	P42/AN14	-			
		1	-	P41/AN13	-			
		0	-	P40/AN12	-			
ポート 5	A/D 変換器入力と兼 汎用入力ポート	7	-	P57/AN7	-	-	-	-
		6	-	P56/AN6	-			
		5	-	P55/AN5	-			
		4	-	P54/AN4	-			
		3	-	P53/AN3	-			
		2	-	P52/AN2	-			
		1	-	P51/AN1	-			
		0	-	P50/AN0	-			
ポート 6	SCI 入出力、割り込 み入力、RCAN-ET 入 出力と兼用汎用入出 力ポート	6	P66	$\overline{\text{IRQ14}}$	-	$\overline{\text{IRQ14}}$		
		5	P65	$\overline{\text{IRQ13}}/\text{CRx}$	-	$\overline{\text{IRQ13}}$		
		4	P64	$\overline{\text{IRQ12}}$	CTx	$\overline{\text{IRQ12}}$		
		3	P63	$\overline{\text{IRQ11}}\text{-B}$	-	$\overline{\text{IRQ11}}\text{-B}$		
		2	P62/SCK4	$\overline{\text{IRQ10}}\text{-B}$	-	$\overline{\text{IRQ10}}\text{-B}$		
		1	P61	RxD4/ $\overline{\text{IRQ9}}\text{-B}$	-	$\overline{\text{IRQ9}}\text{-B}$		
		0	P60	$\overline{\text{IRQ8}}\text{-B}$	TxD4	$\overline{\text{IRQ8}}\text{-B}$		

8. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS機能	オープン ドレイン 出力機能		
			入出力	入力	出力					
ポート A	SSU 入出力と Bφ 出力と兼用汎用入出力ポート	7	—	PA7	Bφ	—	—	○ SSU 機能 時のみ		
		6	PA6	—	—					
		5	PA5	—	—					
		4	PA4	—	—					
		3	PA3/SSO2	—	—					
		2	PA2/SSI2	—	—					
		1	PA1/SSCK2	—	—					
ポート D	SSU 入出力と兼用汎用入出力ポート	7	PD7/ $\overline{SCS1}$	—	—	—	○	○ SSU 機能 時のみ		
		6	PD6/SSCK1	—	—					
		5	PD5/SSI1	—	—					
		4	PD4/SSO1	—	—					
		3	PD3/ $\overline{SCS0}$	—	—					
		2	PD2/SSCK0	—	—					
		1	PD1/SSI0	—	—					
		0	PD0/SSO0	—	—					
ポート H	汎用入出力ポート	7	PH7	—	—	—	○	—		
		6	PH6	—	—					
		5	PH5	—	—					
		4	PH4	—	—					
		3	PH3	—	—					
		2	PH2	—	—					
		1	PH1	—	—					
		0	PH0	—	—					
ポート J	TPU 入出力と兼用汎用入出力ポート	7	PJ7/TIOCB8	TIOCA8/TCLKH	—	PJ7、TIOCA8、 TIOCB8、TCLKH	○	—		
		6	PJ6/TIOCA8	—	—				PJ6、TIOCA8	
		5	PJ5/TIOCB7	TIOCA7/TCLKG	—					PJ5、TIOCA7、 TIOCB7、TCLKG
		4	PJ4/TIOCA7	—	—					
		3	PJ3/TIOCD6	TIOCC6/TCLKF	—					PJ3、TIOCC6、 TIOCD6、TCLKF
		2	PJ2/TIOCC6	TCLKE	—					
		1	PJ1/TIOCB6	TIOCA6	—					PJ1、TIOCA6、 TIOCB6

8. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート J	TPU 入出力と兼用汎 用入出力ポート	0	PJ0/TIOCA6	—	—	PJ0, TIOCA6	○	—
ポート K	TPU 入出力と兼用汎 用入出力ポート	7	PK7/TIOCB11	TIOCA11	—	PK7, TIOCA11、 TIOCB11	○	—
		6	PK6/TIOCA11	—	—	PK6, TIOCA11		
		5	PK5/TIOCB10	TIOCA10	—	PK5, TIOCA10、 TIOCB10		
		4	PK4/TIOCA10	—	—	PK4, TIOCA10		
		3	PK3/TIOCD9	TIOCC9	—	PK3, TIOCC9、 TIOCD9		
		2	PK2/TIOCC9	—	—	PK2, TIOCC9		
		1	PK1/TIOCB9	TIOCA9	—	PK1, TIOCA9、 TIOCB9		
		0	PK0/TIOCA9	—	—	PK0, TIOCA9		

【注】 *1 シュミットトリガ入力端子以外は、CMOS 入力端子になります。

*2 H8SX/1527R のみ有効

8.1 レジスタの説明

各ポートのレジスタを表8.2に示します。

表 8.2 各ポートのレジスタ構成

ポート	端子数	レジスタ						
		DDR	DR	PORT	ICR	PCR	ODR	PHRTIDR
ポート1	8	○	○	○	○	—	—	—
ポート2* ¹	4	○	○	○	○	—	○	—
ポート3	8	○	○	○	○	—	—	—
ポート4	8	—	—	○	○	—	—	—
ポート5	8	—	—	○	○	—	—	—
ポート6* ²	7	○	○	○	○	—	—	—
ポートA* ³	7	○	○	○	○	—	—	—
ポートD	8	○	○	○	○	○	—	—
ポートH	8	○	○	○	○	○	—	○
ポートJ	8	○	○	○	○	○	—	—
ポートK	8	○	○	○	○	○	—	—

【記号説明】○：レジスタ有り、—：レジスタ無し

- 【注】 *1 下位4ビットが有効で、上位4ビットはリザーブビットです。ライト時は、初期値をライトしてください。
 *2 下位7ビットが有効で、上位1ビットはリザーブビットです。ライト時は、初期値をライトしてください。
 *3 上位7ビットが有効で、下位1ビットはリザーブビットです。ライト時は、初期値をライトしてください。

8. I/O ポート

I/O ポートブロック図を図 8.1 に示します。

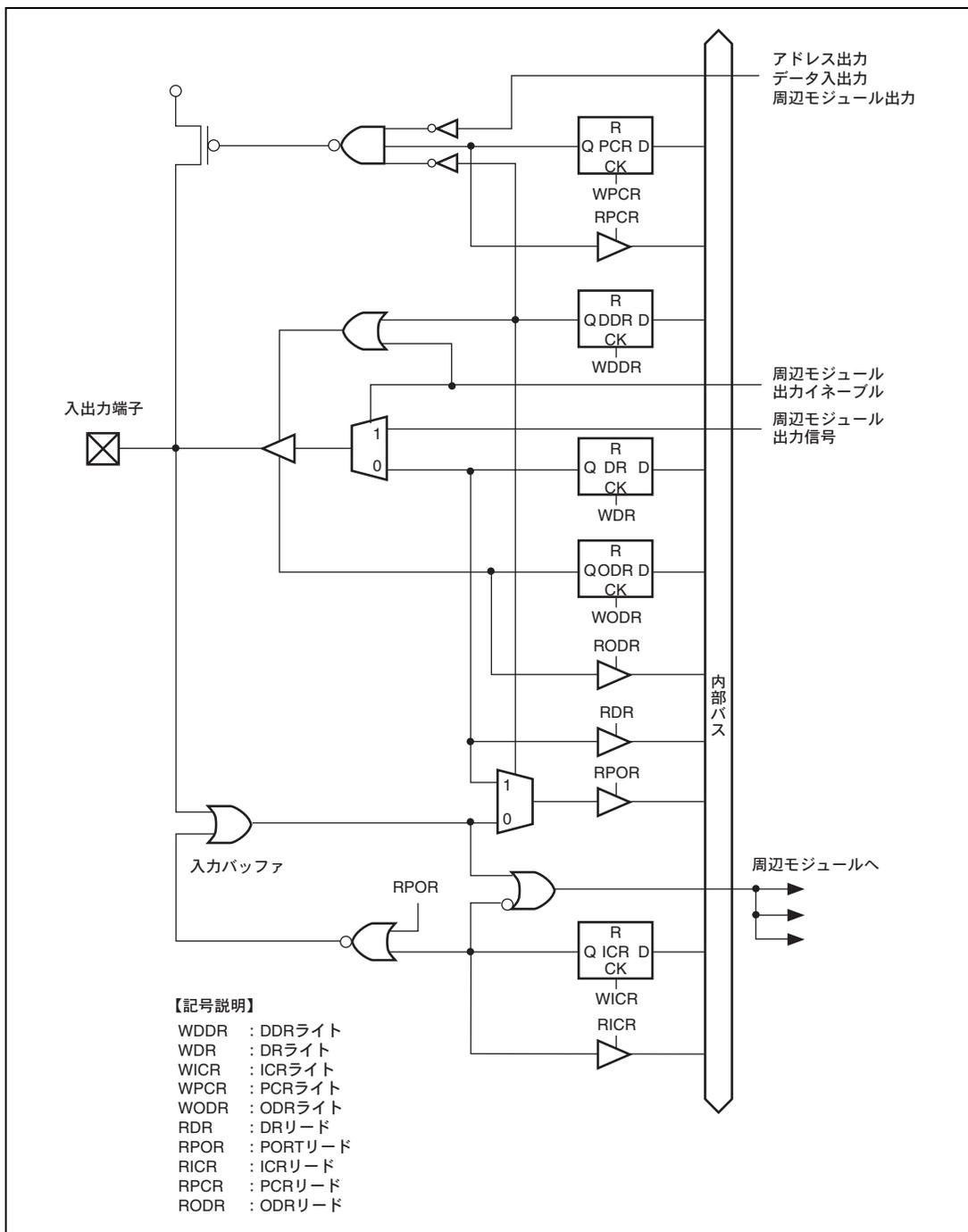


図 8.1 I/O ポートブロック図

8.1.1 データディレクションレジスタ (PnDDR) (n=1~3, 6, A, D, H, J, K)

DDR は、ポートの入出力をビットごとに指定する 8 ビットのライト専用レジスタです。DDR のリードは無効です。リードすると不定値が読み出されます。

汎用出力ポートの機能が選択されているとき、DDR の当該ビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると対応する端子は入力ポートになります。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DDR	Pn6DDR	Pn5DDR	Pn4DDR	Pn3DDR	Pn2DDR	Pn1DDR	Pn0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

【注】 ポート2データディレクションレジスタ (P2DDR) は、下位4ビットが有効で、上位4ビットはリザーブビットです。
 ポート6データディレクションレジスタ (P6DDR) は、下位7ビットが有効で、上位1ビットはリザーブビットです。
 ポートAデータディレクションレジスタ (PADDR) は、上位7ビットが有効で、下位1ビットはリザーブビットです。

8.1.2 データレジスタ (PnDR) (n=1~3, 6, A, D, H, J, K)

DR は、汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタです。

DR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DR	Pn6DR	Pn5DR	Pn4DR	Pn3DR	Pn2DR	Pn1DR	Pn0DR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

【注】 ポート2データレジスタ (P2DR) は、下位4ビットが有効で、上位4ビットはリザーブビットです。
 ポート6データレジスタ (P6DR) は、下位7ビットが有効で、上位1ビットはリザーブビットです。
 ポートAデータレジスタ (PADR) は、上位7ビットが有効で、下位1ビットはリザーブビットです。

8.1.3 ポートレジスタ (PORTn) (n=1~6, A, D, H, J, K)

PORT は、ポートの端子の状態を反映する 8 ビットのリード専用レジスタです。PORT のライトは無効です。

PORT をリードすると、DDR が 1 にセットされているビットは DR の値がリードされます。DDR が 0 にクリアされているビットは、ICR の値に関係なく端子の状態がリードされます。

PORT の初期値は不定です。ポートの端子状態により決定されます。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
初期値 :	不定							
R/W :	R	R	R	R	R	R	R	R

【注】 ポート2レジスタ (PORT2) は、下位4ビットが有効で、上位4ビットはリザーブビットです。
 ポート6レジスタ (PORT6) は、下位7ビットが有効で、上位1ビットはリザーブビットです。
 ポートAレジスタ (PORTA) は、上位7ビットが有効で、下位1ビットはリザーブビットです。

8. I/O ポート

8.1.4 入力バッファコントロールレジスタ (PnICR) (n=1~6, A, D, H, J, K)

ICR は、ポートの入力バッファを制御する 8 ビットのリード/ライト可能なレジスタです。

ICR が 1 にセットされているビットは、対応する端子の入力バッファは有効になります。ICR が 0 にクリアされているビットは、対応する端子の入力バッファは無効となり、入力信号は High レベルに固定されます。

周辺モジュールの入力端子として使用する場合は、対応するビットを 1 にセットしてください。入力として使用しない端子、およびアナログ入出力端子に対するビットヘライトする場合は、初期値をライトしてください。

PORT をリードすると、このレジスタの値に関係なく端子の状態が読み出されます。

この時、ICR が 0 にクリアされていれば周辺モジュール側に端子状態が反映されることはありません。

ICR の設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。ICR の設定の変更は、当該入力端子が使用されていないときに行ってください。例えば、 \overline{IRQ} 入力の場合、当該割り込みを禁止した状態で ICR の設定の変更を行い、割り込みコントローラの ISR の IRQF フラグを 0 にクリアし、その後当該割り込みを許可してください。ICR の設定の変更後にエッジが発生したときは、そのエッジをキャンセルするようにしてください。

ICR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ICR	Pn6ICR	Pn5ICR	Pn4ICR	Pn3ICR	Pn2ICR	Pn1ICR	Pn0ICR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

【注】 ポート2入力バッファコントロールレジスタ (P2ICR) は、下位4ビットが有効で、上位4ビットはリザーブビットです。ポート6入力バッファコントロールレジスタ (P6ICR) は、下位7ビットが有効で、上位1ビットはリザーブビットです。ポートA入力バッファコントロールレジスタ (PAICR) は、上位7ビットが有効で、下位1ビットはリザーブビットです。

8.1.5 プルアップ MOS コントロールレジスタ (PnPCR) (n=D, H, J, K)

PCR は、ポートの入力プルアップ MOS のオン/オフを制御する 8 ビットのリード/ライト可能なレジスタです。

端子が入力状態のとき、PCR が 1 にセットされているビットに対応する端子の入力プルアップ MOS がオンします。表 8.3 に入力プルアップ MOS の状態を示します。

PCR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7PCR	Pn6PCR	Pn5PCR	Pn4PCR	Pn3PCR	Pn2PCR	Pn1PCR	Pn0PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

表 8.3 入力プルアップ MOS の状態

ポート	端子状態	リセット	ソフトウェア スタンバイモード	その他の動作
ポート D	周辺モジュール出力	OFF		
	ポート入力	OFF	ON/OFF	
ポート H	ポート出力	OFF		
	ポート入力	OFF	ON/OFF	
ポート J	周辺モジュール出力	OFF		
	ポート入力	OFF	ON/OFF	
ポート K	周辺モジュール出力	OFF		
	ポート入力	OFF	ON/OFF	

【記号説明】 OFF：入力プルアップ MOS は常にオフ状態です。

ON/OFF：PCR を 1 にセットするとオン状態、PCR を 0 にクリアするとオフ状態です。

8.1.6 オープンドレインコントロールレジスタ (PnODR) (n=2)

ODR は、ポートの端子の出力形態を選択する 8 ビットのリード/ライト可能なレジスタです。

ODR の当該ビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると対応する端子は CMOS 出力になります。

ODR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ODR	Pn6ODR	Pn5ODR	Pn4ODR	Pn3ODR	Pn2ODR	Pn1ODR	Pn0ODR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

【注】 ポート2オープンドレインコントロールレジスタ (P2ODR) は、下位4ビットが有効で、上位4ビットはリザーブビットです。

8.1.7 ポートHリアルタイムインプットデータレジスタ (PHRTIDR)

$\overline{\text{IRQ14}}$ 端子の入力をトリガとして、ポート H の端子状態を PHRTIDR に格納します。IRQ センスコントロールレジスタ H (ISCRH) の IRQ14SR ビット、IRQ14SF ビットにより、 $\overline{\text{IRQ14}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジ、および両エッジの選択が可能です。詳細は「5.3.5 IRQ センスコントロールレジスタ H、L (ISCRH、ISCR L)」を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	PHRTIDR7	PHRTIDR6	PHRTIDR5	PHRTIDR4	PHRTIDR3	PHRTIDR2	PHRTIDR1	PHRTIDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

8. I/O ポート

8.2 出力バッファ制御

各端子の出力優先順位について説明します。

各周辺モジュールの端子は、端子名の後に「_OE」を付けて記載しています。これは（例：MIOCA4_OE）、対象となる機能の出力を有効にする設定（1）であるか、それ以外の設定（0）かを示しています。表 8.4 に各ポートの出力信号有効設定一覧を示します。当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。また、端子名の接尾に「A」、「B」が付いている端子は、ポートファンクションコントロールレジスタ（PFCR）によって端子機能を変更できます。詳細は、「8.3.3 ポートファンクションコントロールレジスタ B（PFCRB）」を参照してください。

8.2.1 ポート 1

(1) P17/ADTRG1/IRQ7

P17DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P17DDR	
I/O ポート	P17 出力	1	
	P17 入力（初期値）	0	

(2) P16/SCK3/IRQ6

SCI₃ のレジスタの設定、および P16DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		SCI ₃	I/O ポート
		SCK3_OE	P16DDR
SCI ₃	SCK3 出力	1	—
I/O ポート	P16 出力	0	1
	P16 入力（初期値）	0	0

(3) P15/RxD3/IRQ5

P15DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P15DDR	
I/O ポート	P15 出力	1	
	P15 入力（初期値）	0	

(4) P14/TxD3/ $\overline{\text{IRQ4}}$

SCI_3 のレジスタの設定、および P14DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		SCI_3	I/O ポート
		TxD3_OE	P14DDR
SCI_3	TxD3 出力	1	—
I/O ポート	P14 出力	0	1
	P14 入力 (初期値)	0	0

(5) P13/ADTRG0/ $\overline{\text{IRQ3}}$

P13DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	P13DDR
		I/O ポート	P13 出力
	P13 入力 (初期値)	0	

(6) P12/ $\overline{\text{IRQ2}}$

P12DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	P12DDR
		I/O ポート	P12 出力
	P12 入力 (初期値)	0	

(7) P11/ $\overline{\text{IRQ1}}$

P11DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	P11DDR
		I/O ポート	P11 出力
	P11 入力 (初期値)	0	

8. I/O ポート

(8) P10/ $\overline{\text{IRQ0}}$

P10DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P10DDR	
I/O ポート	P10 出力	1	
	P10 入力 (初期値)	0	

8.2.2 ポート 2

(1) P23/TIOCC3/TIOCD3/ $\overline{\text{IRQ11-A}}$

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_3 のレジスタの設定、および P23DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_3*	I/O ポート
		TIOCD3_OE	P23DDR
TPU_3*	TIOCD3 出力	1	—
I/O ポート	P23 出力	0	1
	P23 入力 (初期値)	0	0

【注】 * H8SX/1527R のみ有効な機能です。

(2) P22/TIOCC3/ $\overline{\text{IRQ10-A}}$

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_3 のレジスタの設定、および P22DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_3*	PORT
		TIOCC3_OE	P22DDR
TPU_3*	TIOCC3 出力	1	—
I/O ポート	P22 出力	0	1
	P22 入力 (初期値)	0	0

【注】 * H8SX/1527R のみ有効な機能です。

(3) P21/TIOCA3/ $\overline{\text{IRQ9-A}}/\overline{\text{SCS2}}$

ポートファンクションコントロールレジスタ 9 (PFCR9)、SSU_2、TPU_3 のレジスタの設定、および P21DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		SSU_2	TPU_3*	I/O ポート
		SCS2_OE	TIOCA3_OE	P21DDR
SSU_2	$\overline{\text{SCS2}}$ 出力	1	—	—
TPU_3*	TIOCA3 出力	0	1	—
I/O ポート	P21 出力	0	0	1
	P21 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

(4) P20/TIOCA3/TIOCB3/ $\overline{\text{IRQ8-A}}$

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_3 のレジスタの設定、および P20DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_3*	I/O ポート
		TIOCB3_OE	P20DDR
TPU_3*	TIOCB3 出力	1	—
I/O ポート	P20 出力	0	1
	P20 入力 (初期値)	0	0

【注】 * H8SX/1527R のみ有効な機能です。

8.2.3 ポート 3

(1) P37/PO15/TIOCA2/TIOCB2/TCLKD

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_2、PPG のレジスタの設定、および P37DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		TPU_2*	PPG*	I/O ポート
		TIOCB2_OE	PO15_OE	P37DDR
TPU_2*	TIOCB2 出力	1	—	—
PPG*	PO15 出力	0	1	—
I/O ポート	P37 出力	0	0	1
	P37 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

8. I/O ポート

(2) P36/PO14/TIOCA2

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_2、PPG のレジスタの設定、および P36DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		TPU_2*	PPG*	I/O ポート
		TIOCA2_OE	PO14_OE	P36DDR
TPU_2*	TIOCA2 出力	1	—	—
PPG*	PO14 出力	0	1	—
I/O ポート	P36 出力	0	0	1
	P36 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

(3) P35/PO13/TIOCA1/TIOCB1/TCLKC

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_1、PPG のレジスタの設定、および P35DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		TPU_1*	PPG*	I/O ポート
		TIOCB1_OE	PO13_OE	P35DDR
TPU_1*	TIOCB1 出力	1	—	—
PPG*	PO13 出力	0	1	—
I/O ポート	P35 出力	0	0	1
	P35 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

(4) P34/PO12/TIOCA1

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_1、PPG のレジスタの設定、および P34DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		TPU_1*	PPG*	I/O ポート
		TIOCA1_OE	PO12_OE	P34DDR
TPU_1*	TIOCA1 出力	1	—	—
PPG*	PO12 出力	0	1	—
I/O ポート	P34 出力	0	0	1
	P34 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

(5) P33/PO11/TIOCC0/TIOCD0/TCLKB

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_0、PPG のレジスタの設定、および P33DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		TPU_0*	PPG*	I/O ポート
		TIOCD0_OE	PO11_OE	P33DDR
TPU_0*	TIOCD0 出力	1	—	—
PPG*	PO11 出力	0	1	—
I/O ポート	P33 出力	0	0	1
	P33 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

(6) P32/PO10/TIOCC0/TCLKA

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_0、PPG のレジスタの設定、および P32DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		TPU_0*	PPG*	I/O ポート
		TIOCC0_OE	PO10_OE	P32DDR
TPU_0*	TIOCC0 出力	1	—	—
PPG*	PO10 出力	0	1	—
I/O ポート	P32 出力	0	0	1
	P32 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

(7) P31/PO9/TIOCA0/TIOCB0

ポートファンクションコントロールレジスタ 9 (PFCR9)、TPU_0、PPG のレジスタの設定、および P31DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		TPU_0*	PPG*	I/O ポート
		TIOCB0_OE	PO9_OE	P31DDR
TPU_0*	TIOCB0 出力	1	—	—
PPG*	PO9 出力	0	1	—
I/O ポート	P31 出力	0	0	1
	P31 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

8. I/O ポート

(8) P30/PO8/TIOCA0

ポートファンクションコントロールレジスタ9 (PFCR9)、TPU_0、PPG のレジスタの設定、および P30DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定		
		TPU_0*	PPG*	I/O ポート
		TIOCA0_OE	PO8_OE	P30DDR
TPU_0*	TIOCA0 出力	1	—	—
PPG*	PO8 出力	0	1	—
I/O ポート	P30 出力	0	0	1
	P30 入力 (初期値)	0	0	0

【注】 * H8SX/1527R のみ有効な機能です。

8.2.4 ポート 6

(1) P66/ $\overline{\text{IRQ14}}$

P66DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P66DDR	
I/O ポート	P66 出力	1	
	P66 入力 (初期値)	0	

(2) P65/ $\overline{\text{IRQ13}}$ /CRx

P65DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P65DDR	
I/O ポート	P65 出力	1	
	P65 入力 (初期値)	0	

(3) P64/ $\overline{\text{IRQ12}}$ /CTx

RCAN-ET のレジスタの設定、および P64DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		RCAN-ET	I/O ポート
		CTx_OE	P64DDR
RCAN-ET	CTx 出力	1	—
I/O ポート	P64 出力	0	1
	P64 入力 (初期値)	0	0

(4) P63/ $\overline{\text{IRQ11}}$ -B

P63DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P63DDR	
I/O ポート	P63 出力	1	
	P63 入力 (初期値)	0	

(5) P62/SCK4/ $\overline{\text{IRQ10}}$ -B

SCI_4 のレジスタの設定、および P62DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		SCI_4	I/O ポート
		SCK4_OE	P62DDR
SCI_4	SCK4 出力	1	—
I/O ポート	P62 出力	0	1
	P62 入力 (初期値)	0	0

(6) P61/RxD4/ $\overline{\text{IRQ9}}$ -B

P61DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P61DDR	
I/O ポート	P61 出力	1	
	P61 入力 (初期値)	0	

8. I/O ポート

(7) P60/TxD4/ $\overline{\text{IRQ8}}$ -B

SCI_4 のレジスタの設定、および P60DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		SCI_4	I/O ポート
		TxD4_OE	P60DDR
SCI_4	TxD4 出力	1	—
I/O ポート	P60 出力	0	1
	P60 入力 (初期値)	0	0

8.2.5 ポート A

(1) PA7/B ϕ

PA7DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		PA7DDR	
I/O ポート	B ϕ 出力	1	
	PA7 入力 (初期値)	0	

(2) PA6

PA6DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		PA6DDR	
I/O ポート	PA6 出力	1	
	PA6 入力 (初期値)	0	

(3) PA5

PA5DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		PA5DDR	
I/O ポート	PA5 出力	1	
	PA5 入力 (初期値)	0	

(4) PA4

PA4DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		PA4DDR	
	PA4 出力	1	
	PA4 入力 (初期値)	0	

(5) PA3/SSO2

SSU_2 のレジスタの設定、および PA3DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_2	I/O ポート
		SSO2_OE	PA3DDR
SSU_2	SSO2 出力	1	—
I/O ポート	PA3 出力	0	1
	PA3 入力 (初期値)	0	0

(6) PA2/SSI2

SSU_2 のレジスタの設定、および PA2DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_2	I/O ポート
		SSI2_OE	PA2DDR
SSU_2	SSI2 出力	1	—
I/O ポート	PA2 出力	0	1
	PA2 入力 (初期値)	0	0

(7) PA1/SSCK2

SSU_2 のレジスタの設定、および PA1DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_2	I/O ポート
		SSCK2_OE	PA1DDR
SSU_2	SSCK2 出力	1	—
I/O ポート	PA1 出力	0	1
	PA1 入力 (初期値)	0	0

8. I/O ポート

8.2.6 ポート D

(1) PD7/ $\overline{\text{SCS1}}$

SSU_1 のレジスタの設定、および PD7DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_1	I/O ポート
		$\overline{\text{SCS1}}_{\text{OE}}$	PD7DDR
SSU_1	$\overline{\text{SCS1}}$ 出力	1	—
I/O ポート	PD7 出力	0	1
	PD7 入力 (初期値)	0	0

(2) PD6/SSCK1

SSU_1 のレジスタの設定、および PD6DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_1	I/O ポート
		SSCK1_OE	PD6DDR
SSU_1	SSCK1 出力	1	—
I/O ポート	PD6 出力	0	1
	PD6 入力 (初期値)	0	0

(3) PD5/SSI1

SSU_1 のレジスタの設定、および PD5DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_1	I/O ポート
		SSI1_OE	PD5DDR
SSU_1	SSI1 出力	1	—
I/O ポート	PD5 出力	0	1
	PD5 入力 (初期値)	0	0

(4) PD4/SSO1

SSU_1 のレジスタの設定、および PD4DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_1	I/O ポート
		SSO1_OE	PD4DDR
SSU_1	SSO1 出力	1	—
I/O ポート	PD4 出力	0	1
	PD4 入力 (初期値)	0	0

(5) PD3/ $\overline{\text{SCS0}}$

SSU_0 のレジスタの設定、および PD3DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_0	I/O ポート
		SCS0_OE	PD3DDR
SSU_0	$\overline{\text{SCS0}}$ 出力	1	—
I/O ポート	PD3 出力	0	1
	PD3 入力 (初期値)	0	0

(6) PD2/SSCK0

SSU_0 のレジスタの設定、および PD2DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_0	I/O ポート
		SSCK0_OE	PD2DDR
SSU_0	SSCK0 出力	1	—
I/O ポート	PD2 出力	0	1
	PD2 入力 (初期値)	0	0

(7) PD1/SSI0

SSU_0 のレジスタの設定、および PD1DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_0	I/O ポート
		SSI0_OE	PD1DDR
SSU_0	SSI0 出力	1	—
I/O ポート	PD1 出力	0	1
	PD1 入力 (初期値)	0	0

8. I/O ポート

(8) PD0/SSO0

SSU_0 のレジスタの設定、および PD0DDR ビットにより次のように切り替わります。

モジュール名	端子機能	設定	
		SSU_0	I/O ポート
		SSO0_OE	PD0DDR
SSU_0	SSO0 出力	1	—
I/O ポート	PD0 出力	0	1
	PD0 入力 (初期値)	0	0

8.2.7 ポート H

(1) PH7, PH6, PH5, PH4, PH3, PH2, PH1, PH0

ポート H は、8 ビットの兼用入出力ポートとリアルタイムインプットポートとの兼用端子となっています。リアルタイムインプットポートとは、 $\overline{\text{IRQ14}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジをトリガとし、そのときの端子状態を PHRTIDR に格納する機能です。

PHnDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	PHnDDR
		I/O ポート	PHn 出力
	PHn 入力 (初期値)	0	

【記号説明】 n : 7~0

8.2.8 ポート J

(1) PJ7/TOCA8/TIOCB8/TCLKH

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_8 のレジスタの設定、および PJ7DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_8	I/O ポート
		TIOCB8_OE	PJ7DDR
TPU_8	TIOCB8 出力	1	—
I/O ポート	PJ7 出力	0	1
	PJ7 入力 (初期値)	0	0

(2) PJ6/TIOCA8

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_8 のレジスタの設定、および PJ6DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_8	I/O ポート
		TIOCA8_OE	PJ6DDR
TPU_8	TIOCA8 出力	1	—
I/O ポート	PJ6 出力	0	1
	PJ6 入力 (初期値)	0	0

(3) PJ5/TIOCA7/TIOCB7/TCLKG

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_7 のレジスタの設定、および PJ5DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_7	I/O ポート
		TIOCB7_OE	PJ5DDR
TPU_7	TIOCB7 出力	1	—
I/O ポート	PJ5 出力	0	1
	PJ5 入力 (初期値)	0	0

(4) PJ4/TIOCA7

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_7 のレジスタの設定、および PJ4DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_7	I/O ポート
		TIOCA7_OE	PJ4DDR
TPU_7	TIOCA7 出力	1	—
I/O ポート	PJ4 出力	0	1
	PJ4 入力 (初期値)	0	0

8. I/O ポート

(5) PJ3/TIOCC6/TIOCD6/TCLKF

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_6 のレジスタの設定、および PJ3DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_6	I/O ポート
		TIOCD6_OE	PJ3DDR
TPU_6	TIOCD6 出力	1	—
I/O ポート	PJ3 出力	0	1
	PJ3 入力 (初期値)	0	0

(6) PJ2/TIOCC6/TCLKE

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_6 のレジスタの設定、および PJ2DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_6	I/O ポート
		TIOCC6_OE	PJ2DDR
TPU_6	TIOCC6 出力	1	—
I/O ポート	PJ2 出力	0	1
	PJ2 入力 (初期値)	0	0

(7) PJ1/TIOCA6/TIOCB6

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_6 のレジスタの設定、および PJ1DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_6	I/O ポート
		TIOCB6_OE	PJ1DDR
TPU_6	TIOCB6 出力	1	—
I/O ポート	PJ1 出力	0	1
	PJ1 入力 (初期値)	0	0

(8) PJ0/TIOCA6

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_6 のレジスタの設定、および PJ0DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_6	I/O ポート
		TIOCA6_OE	PJ0DDR
TPU_6	TIOCA6 出力	1	—
I/O ポート	PJ0 出力	0	1
	PJ0 入力 (初期値)	0	0

8.2.9 ポート K

(1) PK7/TIOCA11/TIOCB11

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_11 のレジスタの設定、および PK7DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_11	I/O ポート
		TIOCB11_OE	PK7DDR
TPU_11	TIOCB11 出力	1	—
I/O ポート	PK7 出力	0	1
	PK7 入力 (初期値)	0	0

(2) PK6/TIOCA11

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_11 のレジスタの設定、および PK6DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_11	I/O ポート
		TIOCA11_OE	PK6DDR
TPU_11	TIOCA11 出力	1	—
I/O ポート	PK6 出力	0	1
	PK6 入力 (初期値)	0	0

8. I/O ポート

(3) PK5/TIOCA10/TIOCB10

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_10 のレジスタの設定、および PK5DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_10	I/O ポート
		TIOCB10_OE	PK5DDR
TPU_10	TIOCB10 出力	1	—
I/O ポート	PK5 出力	0	1
	PK5 入力 (初期値)	0	0

(4) PK4/TIOCA10

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_10 のレジスタの設定、および PK4DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_10	I/O ポート
		TIOCA10_OE	PK4DDR
TPU_10	TIOCA10 出力	1	—
I/O ポート	PK4 出力	0	1
	PK4 入力 (初期値)	0	0

(5) PK3/TIOCC9/TIOCD9

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_9 のレジスタの設定、および PK3DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_9	I/O ポート
		TIOCD9_OE	PK3DDR
TPU_9	TIOCD9 出力	1	—
I/O ポート	PK3 出力	0	1
	PK3 入力 (初期値)	0	0

(6) PK2/TIOCC9

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_9 のレジスタの設定、および PK2DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_9	I/O ポート
		TIOCC9_OE	PK2DDR
TPU_9	TIOCC9 出力	1	–
I/O ポート	PK2 出力	0	1
	PK2 入力 (初期値)	0	0

(7) PK1/TIOCA9/TIOCB9

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_9 のレジスタの設定、および PK1DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_9	I/O ポート
		TIOCB9_OE	PK1DDR
TPU_9	TIOCB9 出力	1	–
I/O ポート	PK1 出力	0	1
	PK1 入力 (初期値)	0	0

(8) PK0/TIOCA9

ポートファンクションコントロールレジスタ A (PFCRA)、TPU_9 のレジスタの設定、および PK0DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		TPU_9	I/O ポート
		TIOCA9_OE	PK0DDR
TPU_9	TIOCA9 出力	1	–
I/O ポート	PK0 出力	0	1
	PK0 入力 (初期値)	0	0

8. I/O ポート

表 8.4 各ポートの出力信号有効設定一覧

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
P1	6	SCK3_OE	SCK3		SCMR_3.SMIF=1 のとき : SMR_3.GM=0,SCR_3.CKE[1,0]=01 か SMR_3.GM=1 で、 SCR_3.TE=1 か SCR_3.RE=1 SCMR_3.SMIF=0 のとき : SMR_3.C/A=0,SCR_3.CKE[1,0]=01 か SMR_3.C/A=1,SCR_3.CKE1=0 で、 SCR_3.TE=1 か SCR_3.RE=1
	4	TxD3_OE	TxD3		SCR.TE=1
P2	3	TIOCD3_OE*	TIOCD3		TPU.TMDR.BFB=0,TPU.TIORL_3.IOD3=0, TPU.TIORL_3.IOD[1,0]=01/10/11
	2	TIOCC3_OE*	TIOCC3		TPU.TMDR.BFA=0,TPU.TIORL_3.IOC3=0, TPU.TIORL_3.IOC[1,0]=01/10/11
	1	SCS2_OE	SCS2		SSU.SSCRH_2.SSUMS=0,SSU.SSCRH_2.MSS=1 で、 SSU.SSCRH_2.CSS1=1,SSU.SSCRH_2.CSS0=0 か SSU.SSCRH_2.CSS1=1,SSU.SSCRH_2.CSS0=1
		TIOCA3_OE*	TIOCA3		TPU.TIORH_3.IOA3=0,TPU.TIORH_3.IOA[1,0]=01/10/11
	0	TIOCB3_OE*	TIOCB3		TPU.TIORH_3.IOB3=0,TPU.TIORH_3.IOB[1,0]=01/10/11
P3	7	TIOCB2_OE*	TIOCB2		TPU.TIOR_2.IOB3=0,TPU.TIOR_2.IOB[1,0]=01/10/11
		PO15_OE*	PO15		NDERH.NDER15=1
	6	TIOCA2_OE*	TIOCA2		TPU.TIOR_2.IOA3=0,TPU.TIOR_2.IOA[1,0]=01/10/11
		PO14_OE*	PO14		NDERH.NDER14=1
	5	TIOCB1_OE*	TIOCB1		TPU.TIOR_1.IOB3=0,TPU.TIOR_1.IOB[1,0]=01/10/11
		PO13_OE*	PO13		NDERH.NDER13=1
	4	TIOCA1_OE*	TIOCA1		TPU.TIOR_1.IOA3=0,TPU.TIOR_1.IOA[1,0]=01/10/11
		PO12_OE*	PO12		NDERH.NDER12=1
	3	TIOCD0_OE*	TIOCD0		TPU.TMDR_0.BFB=0,TPU.TIORL_0.IOD3=0, TPU.TIORL_0.IOD[1,0]=01/10/11
		PO11_OE*	PO11		NDERH.NDER11=1
	2	TIOCC0_OE*	TIOCC0		TPU.TMDR_0.BFA=0,TPU.TIORL_0.IOC3=0, TPU.TIORL_0.IOC[1,0]=01/10/11
		PO10_OE*	PO10		NDERH.NDER10=1
	1	TIOCB0_OE*	TIOCB0		TPU.TIORH_0.IOB3=0,TPU.TIORH_0.IOB[1,0]=01/10/11
		PO9_OE*	PO9		NDERH.NDER9=1
0	TIOCA0_OE*	TIOCA0		TPU.TIORH_0.IOA3=0,TPU.TIORH_0.IOA[1,0]=01/10/11	
	PO8_OE*	PO8		NDERH.NDER8=1	

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
P6	4	CTx	CTx		RCAN-ET.RCANMON.RCANE=1, RCAN-ET.RCANMON.CTxSTP=0 で RCAN-ET.MBCR.MBCRn=0, RCAN-ET.TXRP.TXRn=1(n=1~15)
	2	SCK4_OE	SCK4		SCMR_4.SMIF=1 のとき : SMR_4.GM=0,SCR.CKE[1,0]=01 か SMR_4.GM=1 で、 SCR_4.TE=1 か SCR_4.RE=1 SCMR_4.SMIF=0 のとき : SMR_4.C/A=0,SCR_4.CKE[1,0]=01 か SMR_4C/A=1,SCR_4.CKE1=0 で、 SCR_4.TE=1 か SCR_4.RE=1
	0	TxD4_OE	TxD4		SCR.TE=1
PA	7	Bφ_OE	Bφ		PADDR.PA7DDR=1,SCKCR.PSTOP1=0, SCKCR.POSEL1=0
	3	SSO2_OE	SSO2		SSU.SSCRL_2.SSUMS=0,SSU.SSCRH_2.MSS=1 のとき : SSU.SSCRH_2.BIDE=0,SSU.SSER_2.TE=1 か SSU.SSCRH_2.BIDE=1,SSU.SSER_2.RE=0,SSU.SSER_2.TE=1 SSU.SSCRL_2.SSUMS=0,SSU.SSCRH_2.MSS=0 のとき : SSU.SSCRH_2.BIDE=1,SSU.SSER_2.RE=0,SSU.SSER1.TE=1 SSU.SSCRL_2.SSUMS=1 のとき : SSU.SSER_2.TE=1
	2	SSI2_OE	SSI2		SSU.SSCRL_2.SSUMS=0,SSU.SSCRH_2.MSS=0 SSU.SSCRH_2.BIDE=0,SSU.SSER_2.TE=1
	1	SSCK2_OE	SSCK2		SSU.SSCRH_2.MSS=1,SSU.SSCRH_2.SCKS=1
PD	7	SCS1_OE	SCS1		SSU.SSCRL_0.SSUMS=0,SSU.SSCRH_0.MSS=1 で、 SSU.SSCRH_0.CSS1=1,SSU.SSCRH_0.CSS0=0 か SSU.SSCRH_0.CSS1=1,SSU.SSCRH_0.CSS0=1
	6	SSCK1_OE	SSCK1		SSU.SSCRH_1.MSS=1,SSU.SSCRH_1.SCKS=1
	5	SSI1_OE	SSI1		SSU.SSCRL_1.SSUMS=0,SSU.SSCRH_1.MSS=0 SSU.SSCRH_1.BIDE=0,SSU.SSER_1.TE=1
	4	SSO1_OE	SSO1		SSU.SSCRL_1.SSUMS=0,SSU.SSCRH_1.MSS=1 のとき : SSU.SSCRH_1.BIDE=0,SSU.SSER_1.TE=1 か SSU.SSCRH_1.BIDE=1,SSU.SSER_1.RE=0,SSU.SSER_1.TE=1 SSU.SSCRL_1.SSUMS=0,SSU.SSCRH_1.MSS=0 のとき : SSU.SSCRH_1.BIDE=1,SSU.SSER_1.RE=0,SSU.SSER_1.TE=1 SSU.SSCRL_1.SSUMS=1 のとき : SSU.SSER_1.TE=1
	3	SCS0_OE	SCS0		SSU.SSCRL_0.SSUMS=0,SSU.SSCRH_0.MSS=1 で、 SSU.SSCRH_0.CSS1=1,SSU.SSCRH_0.CSS0=0 か SSU.SSCRH_0.CSS1=1,SSU.SSCRH_0.CSS0=1

8. I/O ポート

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PD	2	SSCK0_OE	SSCK0	SSU.SSCRH_0.MSS=1,SSU.SSCRH_0.SCKS=1
	1	SSI0_OE	SSI0	SSU.SSCR_0.SSUMS=0,SSU.SSCRH_0.MSS=0 SSU.SSCRH_0.BIDE=0,SSU.SSER_0.TE=1
	0	SSO0_OE	SSO0	SSU.SSCR_0.SSUMS=0,SSU.SSCRH_0.MSS=1 のとき : SSU.SSCRH_0.BIDE=0,SSU.SSER_0.TE=1 か SSU.SSCRH_0.BIDE=1,SSU.SSER_0.RE=0,SSU.SSER_0.TE=1 SSU.SSCR_0.SSUMS=0,SSU.SSCRH_0.MSS=0 のとき : SSU.SSCRH_0.BIDE=1,SSU.SSER_0.RE=0,SSU.SSER_0.TE=1 SSU.SSCR_0.SSUMS=1 のとき : SSU.SSER_0.TE=1
PJ	7	TIOCB8_OE	TIOCB8	TPU.TIOR_8.IOB3=0,TPU.TIOR_8.IOB[1,0]=01/10/11
	6	TIOCA8_OE	TIOCA8	TPU.TIOR_8.IOA3=0,TPU.TIOR_8.IOA[1,0]=01/10/11
	5	TIOCB7_OE	TIOCB7	TPU.TIOR_7.IOB3=0,TPU.TIOR_7.IOB[1,0]=01/10/11
	4	TIOCA7_OE	TIOCA7	TPU.TIOR_7.IOA3=0,TPU.TIOR_7.IOA[1,0]=01/10/11
	3	TIOCD6_OE	TIOCD6	TPU.TMDR_6.BFB=0,TPU.TIORL_6.IOD3=0 TPU.TIORL_6.IOD[1,0]=01/10/11
	2	TIOCC6_OE	TIOCC6	TPU.TMDR_6.BFA=0,TPU.TIORL_6.IOC3=0 TPU.TIORL_6.IOC[1,0]=01/10/11
	1	TIOCB6_OE	TIOCB6	TPU.TIORH_6.IOB3=0,TPU.TIORH_6.IOB[1,0]=01/10/11
	0	TIOCA6_OE	TIOCA6	TPU.TIORH_6.IOA3=0,TPU.TIORH_6.IOA[1,0]=01/10/11
PK	7	TIOCB11_OE	TIOCB11	TPU.TIOR_11.IOB3=0,TPU.TIOR_11.IOB[1,0]=01/10/11
	6	TIOCA11_OE	TIOCA11	TPU.TIOR_11.IOA3=0,TPU.TIOR_11.IOA[1,0]=01/10/11
	5	TIOCB10_OE	TIOCB10	TPU.TIOR_10.IOB3=0,TPU.TIOR_10.IOB[1,0]=01/10/11
	4	TIOCA10_OE	TIOCA10	TPU.TIOR_10.IOA3=0,TPU.TIOR_10.IOA[1,0]=01/10/11
	3	TIOCD9_OE	TIOCD9	TPU.TMDR_9.BFB=0,TPU.TIORL_9.IOD3=0 TPU.TIORL_9.IOD[1,0]=01/10/11
	2	TIOCC9_OE	TIOCC9	TPU.TMDR_9.BFA=0,TPU.TIORL_9.IOC3=0 TPU.TIORL_9.IOC[1,0]=01/10/11
	1	TIOCB9_OE	TIOCB9	TPU.TIORH_9.IOB3=0,TPU.TIORH_9.IOB[1,0]=01/10/11
	0	TIOCA9_OE	TIOCA9	TPU.TIORH_9.IOA3=0,TPU.TIORH_9.IOA[1,0]=01/10/11

【注】 * H8SX/1527R のみ有効な機能です。

8.3 ポートファンクションコントローラ

ポートファンクションコントローラは、I/O ポートの制御を行います。

ポートファンクションコントローラには以下のレジスタがあります。

- ポートファンクションコントロールレジスタ9 (PFCR9) *
- ポートファンクションコントロールレジスタA (PFCRA)
- ポートファンクションコントロールレジスタB (PFCRB)

【注】* PFCR9 は、H8SX/1527R のみに有効な機能です。

8.3.1 ポートファンクションコントロールレジスタ 9 (PFCR9)

PFCR9 は、TPU (ユニット 0) 入出力端子のマルチ機能を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	TPUMS3A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA3 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P21 1: インプットキャプチャ入力 P20、アウトプットコンペアは P21
4	TPUMS3B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC3 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P22 1: インプットキャプチャ入力 P23、アウトプットコンペアは P22
3	TPUMS2	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA2 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P36 1: インプットキャプチャ入力 P37、アウトプットコンペアは P36
2	TPUMS1	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA1 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P34 1: インプットキャプチャ入力 P35、アウトプットコンペアは P34

8. I/O ポート

ビット	ビット名	初期値	R/W	説明
1	TPUMS0A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA0 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P30 1: インプットキャプチャ入力は P31、アウトプットコンペアは P30
0	TPUMS0B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC0 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは P32 1: インプットキャプチャ入力は P33、アウトプットコンペアは P32

8.3.2 ポートファンクションコントロールレジスタ A (PFCRA)

PFCRA は、TPU (ユニット 1) 入出力端子のマルチ機能を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	TPUMS11	TPUMS10	TPUMS9A	TPUMS9B	TPUMS8	TPUMS7	TPUMS6A	TPUMS6B
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TPUMS11	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA11 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは PK6 1: インプットキャプチャ入力は PK7、アウトプットコンペアは PK6
6	TPUMS10	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA10 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは PK4 1: インプットキャプチャ入力は PK5、アウトプットコンペアは PK4
5	TPUMS9A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA9 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは PK0 1: インプットキャプチャ入力は PK1、アウトプットコンペアは PK0
4	TPUMS9B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC9 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは PK2 1: インプットキャプチャ入力は PK3、アウトプットコンペアは PK2
3	TPUMS8	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA8 の機能を選択します。 0: アウトプットコンペア出力、インプットキャプチャは PJ6 1: インプットキャプチャ入力は PJ7、アウトプットコンペアは PJ6

ビット	ビット名	初期値	R/W	説明
2	TPUMS7	0	R/W	TPU 出力端子マルチ機能セレクト TIOCA7 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PJ4 1 : インプットキャプチャ入力 PJ5、アウトプットコンペアは PJ4
1	TPUMS6A	0	R/W	TPU 出力端子マルチ機能セレクト TIOCA6 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PJ0 1 : インプットキャプチャ入力 PJ1、アウトプットコンペアは PJ0
0	TPUMS6B	0	R/W	TPU 出力端子マルチ機能セレクト TIOCC6 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは PJ2 1 : インプットキャプチャ入力 PJ3、アウトプットコンペアは PJ2

8.3.3 ポートファンクションコントロールレジスタ B (PFCRB)

PFCRB は、 $\overline{\text{IRQ14}} \sim \overline{\text{IRQ8}}$ 入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
6	ITS14	0	R/W	$\overline{\text{IRQ14}}$ 端子セレクト $\overline{\text{IRQ14}}$ の入力端子を選択します。 0 : P66 を $\overline{\text{IRQ14}}$ 入力端子として使用禁止 1 : P66 を $\overline{\text{IRQ14}}$ 入力端子として設定
5	ITS13	0	R/W	$\overline{\text{IRQ13}}$ 端子セレクト $\overline{\text{IRQ13}}$ の入力端子を選択します。 0 : P65 を $\overline{\text{IRQ13}}$ 入力端子として使用禁止 1 : P65 を $\overline{\text{IRQ13}}$ 入力端子として設定
4	ITS12	0	R/W	$\overline{\text{IRQ12}}$ 端子セレクト $\overline{\text{IRQ12}}$ の入力端子を選択します。 0 : P64 を $\overline{\text{IRQ12}}$ 入力端子として使用禁止 1 : P64 を $\overline{\text{IRQ12}}$ 入力端子として設定

8. I/O ポート

ビット	ビット名	初期値	R/W	説明
3	ITS11	0	R/W	$\overline{\text{IRQ11}}$ 端子セレクト $\overline{\text{IRQ11}}$ の入力端子を選択します。 0 : P23 を $\overline{\text{IRQ11}}$ -A 入力端子として設定 1 : P63 を $\overline{\text{IRQ11}}$ -B 入力端子として設定
2	ITS10	0	R/W	$\overline{\text{IRQ10}}$ 端子セレクト $\overline{\text{IRQ10}}$ の入力端子を選択します。 0 : P22 を $\overline{\text{IRQ10}}$ -A 入力端子として設定 1 : P62 を $\overline{\text{IRQ10}}$ -B 入力端子として設定
1	ITS9	0	R/W	$\overline{\text{IRQ9}}$ 端子セレクト $\overline{\text{IRQ9}}$ の入力端子を選択します。 0 : P21 を $\overline{\text{IRQ9}}$ -A 入力端子として設定 1 : P61 を $\overline{\text{IRQ9}}$ -B 入力端子として設定
0	ITS8	0	R/W	$\overline{\text{IRQ8}}$ 端子セレクト $\overline{\text{IRQ8}}$ の入力端子を選択します。 0 : P20 を $\overline{\text{IRQ8}}$ -A 入力端子として設定 1 : P60 を $\overline{\text{IRQ8}}$ -B 入力端子として設定

8.4 使用上の注意事項

8.4.1 入力バッファコントロールレジスタ（ICR）の設定

1. ICRの設定を変更する場合、端子の状態によっては内部的にエッジが発生し意図しない動作をすることがあります。ICRの設定を変更する場合は、端子をHighレベルに固定した状態で行うか、当該端子に割り当てられている周辺モジュールの設定で、入力機能を無効にした状態で行ってください。
2. ICRの設定で入力を有効にした場合、複数の入力機能が割り当てられている端子では、そのすべての入力機能に端子状態が反映されます。未使用の入力機能は各周辺モジュール側の設定に注意してください。
3. 端子を出力端子として使用する場合、ICRの設定で入力を有効にすると出力データが端子状態として取り込まれます。出力として使用する端子は、ICRの設定で入力を無効にしてください。

8.4.2 ポートファンクションコントロールレジスタ（PFCR）の設定

1. ポートファンクションコントローラは、I/Oポートの制御を行います。
各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。
2. 入力端子を変更する場合、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し、意図しない動作をすることがあります。
変更する場合には以下の手順で行ってください。
 - 入力端子の変更
 - (1) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を無効にする。
 - (2) PFCRの設定により、入力端子を選択する。
 - (3) 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を有効にする。
3. 一つの端子機能に対して、入出力先を変更する端子セレクトビット、および端子機能を有効にするイネーブルビットの両方が存在する場合、端子セレクトビットで端子の入出力先を設定した後に、イネーブルビットで端子機能を有効にしてください。

9. 16ビットタイマパルスユニット (TPU)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を 2 ユニット (ユニット 0、ユニット 1)、合計 12 チャンネル内蔵しています。H8SX/1525R では、ユニット 0 は内蔵していません。製品別ユニット構成を表 9.1 に示します。

ユニット 0 の機能一覧を表 9.2 に、ユニット 1 の機能一覧を表 9.3 に示します。また、ユニット 0 のブロック図を図 9.1 に、ユニット 1 のブロック図を図 9.2 に示します。

本文中では、ユニット 0 について説明します。ユニット 1 についても同一機能です。

9.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力*、インプットキャプチャ機能*、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力

【注】 * H8SX/1527R では、チャンネル 4 およびチャンネル 5 の TIOCA4、TIOCB4、TIOCA5、TIOCB5 入出力端子はありません。そのため、インプットキャプチャ入力、コンペアマッチによる波形出力 (0 出力/1 出力/トグル出力)、PWM 波形出力を行うことができません。

- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能 (ユニット0のみ)
- A/D変換器の変換スタートトリガを生成可能 (ユニット0のみ)
- モジュールストップモードの設定可能

表 9.1 製品別ユニット構成

製品	ユニット構成	チャンネル構成
H8SX/1527R	ユニット 0	チャンネル 0～5
	ユニット 1	チャンネル 6～11
H8SX/1525R	ユニット 1	チャンネル 6～11

【注】 H8SX/1525R では、ユニット 0 は内蔵されていません。

9. 16ビットタイマパルスユニット (TPU)

表 9.2 TPU (ユニット 0) の機能一覧

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKA TCLKB TCLKC TCLKD	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKB TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKB TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 Pφ/4096 TCLKA	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	—	—	TGRC_3 TGRD_3	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4*1 TIOCB4*1	TIOCA5*1 TIOCB5*1
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ*2	TGR の コンペアマッチ または インプット キャプチャ*2
コンペア マッチ 出力	0 出力	○	○	○	○	○*1
	1 出力	○	○	○	○	○*1
	トグル 出力	○	○	○	○	○*1
インプットキャプチャ 機能	○	○	○	○	○*2	○*2
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○*1	○*1
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ*2	TGRA_5 の コンペアマッチ または インプット キャプチャ*2

【記号説明】 ○：可能、—：不可

9. 16 ビットタイムパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ*2	TGRA_5 の コンペアマッチ または インプット キャプチャ*2
PPG トリガ	TGRA_0、 TGRB_0 の コンペアマッチ または インプット キャプチャ	TGRA_1、 TGRB_1 の コンペアマッチ または インプット キャプチャ	TGRA_2、 TGRB_2 の コンペアマッチ または インプット キャプチャ	TGRA_3、 TGRB_3 の コンペアマッチ または インプット キャプチャ	—	—
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ0A ・コンペアマッチ /インプット キャプチャ0B ・コンペアマッチ /インプット キャプチャ0C ・コンペアマッチ /インプット キャプチャ0D ・オーバーフロー	4 要因 ・コンペアマッチ /インプット キャプチャ1A ・コンペアマッチ /インプット キャプチャ1B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ2A ・コンペアマッチ /インプット キャプチャ2B ・オーバーフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ3A ・コンペアマッチ /インプット キャプチャ3B ・コンペアマッチ /インプット キャプチャ3C ・コンペアマッチ /インプット キャプチャ3D ・オーバーフロー	4 要因 ・コンペアマッチ /インプット キャプチャ4A ・コンペアマッチ /インプット キャプチャ4B ・オーバーフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ5A ・コンペアマッチ /インプット キャプチャ5B ・オーバーフロー ・アンダフロー

【注】 *1 H8SX/1527R では、チャンネル4 およびチャンネル5 の TIOCA4、TIOCB4、TIOCA5、TIOCB5 出力端子はありません。そのため、コンペアマッチによる波形出力 (0 出力/1 出力/トグル出力)、PWM 波形出力を行うことができません。

*2 H8SX/1527R では、チャンネル4 およびチャンネル5 でインプットキャプチャ機能はありません。

9. 16ビットタイマパルスユニット (TPU)

表 9.3 TPU (ユニット 1) の機能一覧

項 目	チャンネル 6	チャンネル 7	チャンネル 8	チャンネル 9	チャンネル 10	チャンネル 11
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKE TCLKF TCLKG TCLKH	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKE TCLKF	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKE TCLKF TCLKG	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 Pφ/4096 TCLKE	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKE TCLKG	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKE TCLKG TCLKH
ジェネラルレジスタ (TGR)	TGRA_6 TGRB_6	TGRA_7 TGRB_7	TGRA_8 TGRB_8	TGRA_9 TGRB_9	TGRA_10 TGRB_10	TGRA_11 TGRB_11
ジェネラルレジスタ/ バッファレジスタ	TGRC_6 TGRD_6	—	—	TGRC_9 TGRD_9	—	—
入出力端子	TIOCA6 TIOCB6 TIOCC6 TIOCD6	TIOCA7 TIOCB7	TIOCA8 TIOCB8	TIOCA9 TIOCB9 TIOCC9 TIOCD9	TIOCA10 TIOCB10	TIOCA11 TIOCB11
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル 出力	○	○	○	○	○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DMAC の起動	TGRA_6 の コンペアマッチ または インプット キャプチャ	TGRA_7 の コンペアマッチ または インプット キャプチャ	TGRA_8 の コンペアマッチ または インプット キャプチャ	TGRA_9 の コンペアマッチ または インプット キャプチャ	TGRA_10 の コンペアマッチ または インプット キャプチャ	TGRA_11 の コンペアマッチ または インプット キャプチャ

【記号説明】 ○：可能、—：不可

9. 16 ビットタイムパルスユニット (TPU)

項 目	チャンネル 6	チャンネル 7	チャンネル 8	チャンネル 9	チャンネル 10	チャンネル 11
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ 6A ・コンペアマッチ /インプット キャプチャ 6B ・コンペアマッチ /インプット キャプチャ 6C ・コンペアマッチ /インプット キャプチャ 6D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 7A ・コンペアマッチ /インプット キャプチャ 7B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 8A ・コンペアマッチ /インプット キャプチャ 8B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ 9A ・コンペアマッチ /インプット キャプチャ 9B ・コンペアマッチ /インプット キャプチャ 9C ・コンペアマッチ /インプット キャプチャ 9D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 10A ・コンペアマッチ /インプット キャプチャ 10B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 11A ・コンペアマッチ /インプット キャプチャ 11B ・オーバフロー ・アンダフロー

9. 16ビットタイマパルスユニット (TPU)

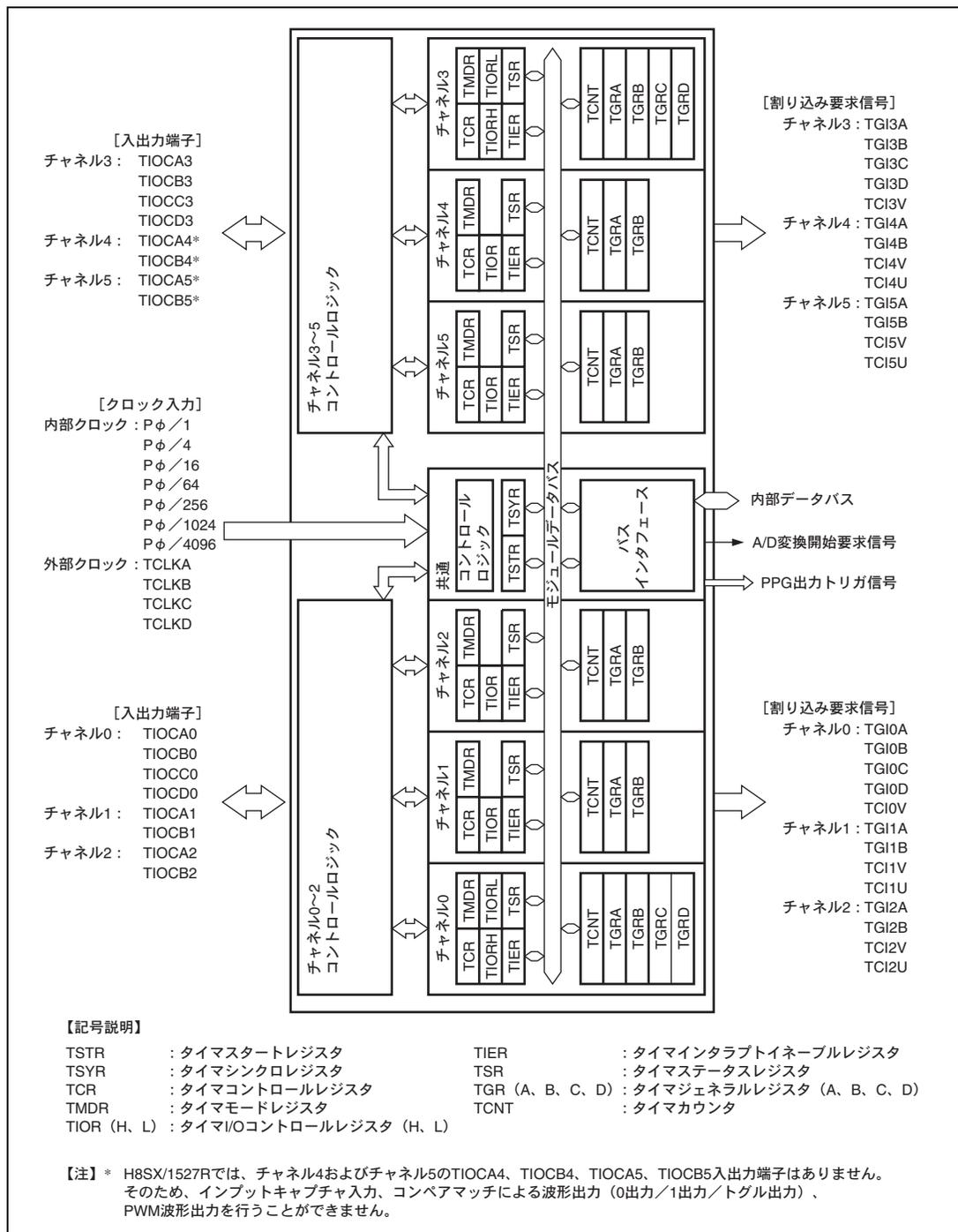


図 9.1 TPU (ユニット 0) のブロック図

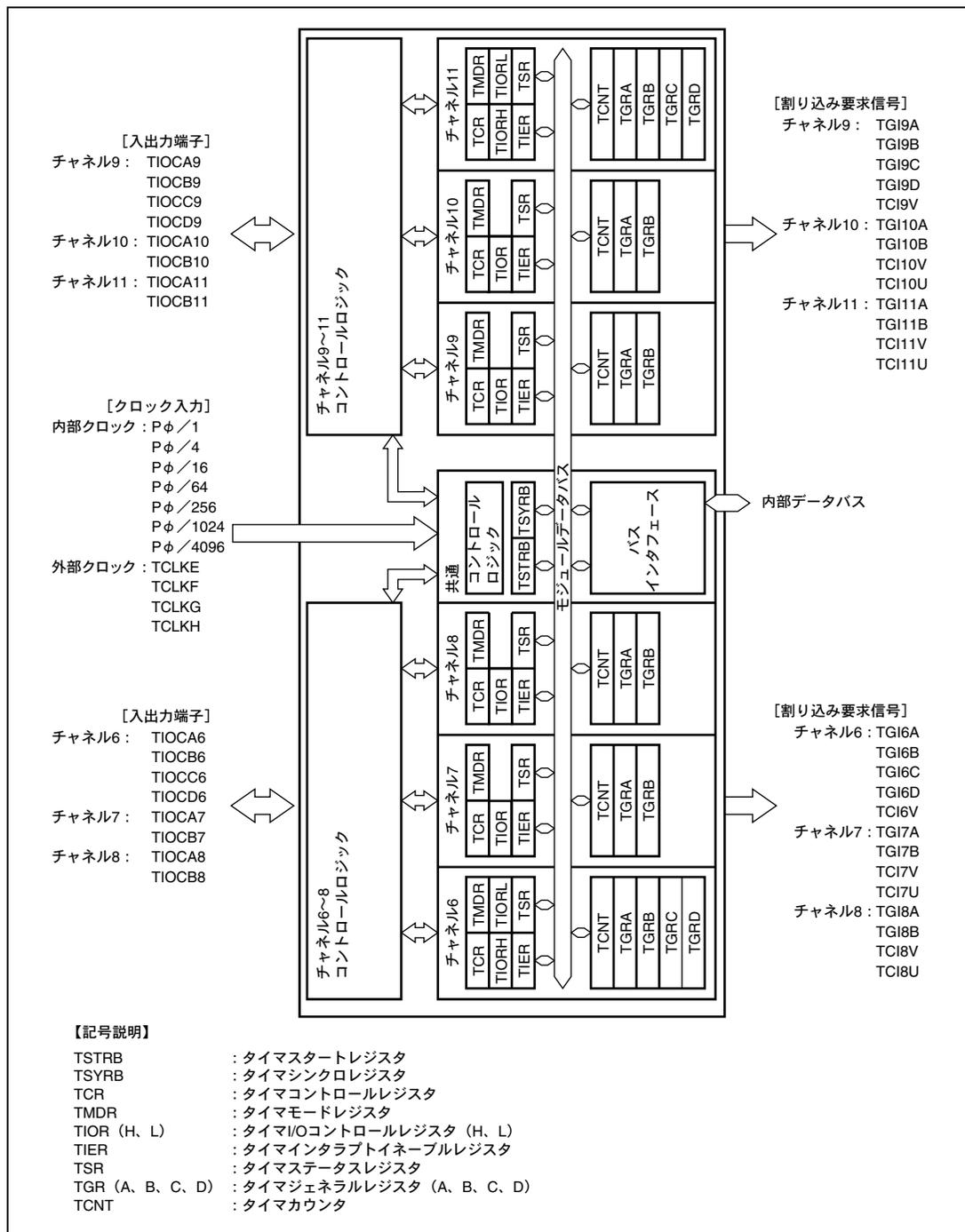


図 9.2 TPU (ユニット1) のブロック図

9. 16ビットタイマパルスユニット (TPU)

9.2 入出力端子

TPU の端子構成を表 9.4 に示します。

表 9.4 端子構成

ユニット	チャンネル	名称	入出力	機能
0	共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
		TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
		TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
		TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
	0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	3	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	4	TIOCA4*	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB4*	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	5	TIOCA5*	入出力	TGRA_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB5*	入出力	TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

9. 16 ビットタイマパルスユニット (TPU)

ユニット	チャンネル	名称	入出力	機能
1	共通	TCLKE	入力	外部クロック A 入力端子 (チャンネル 7、11 の位相計数モード A 相入力)
		TCLKF	入力	外部クロック B 入力端子 (チャンネル 7、11 の位相計数モード B 相入力)
		TCLKG	入力	外部クロック C 入力端子 (チャンネル 8、10 の位相計数モード A 相入力)
		TCLKH	入力	外部クロック D 入力端子 (チャンネル 8、10 の位相計数モード B 相入力)
	6	TIOCA6	入出力	TGRA_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB6	入出力	TGRB_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC6	入出力	TGRC_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD6	入出力	TGRD_6 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	7	TIOCA7	入出力	TGRA_7 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB7	入出力	TGRB_7 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	8	TIOCA8	入出力	TGRA_8 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB8	入出力	TGRB_8 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	9	TIOCA9	入出力	TGRA_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB9	入出力	TGRB_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCC9	入出力	TGRC_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCD9	入出力	TGRD_9 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	10	TIOCA10	入出力	TGRA_10 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB10	入出力	TGRB_10 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	11	TIOCA11	入出力	TGRA_11 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
		TIOCB11	入出力	TGRB_11 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

【注】 * H8SX/1527R では、チャンネル 4 およびチャンネル 5 の TIOCA4、TIOCB4、TIOCA5、TIOCB5 入出力端子はありません。

9.3 レジスタの説明

TPU には、以下のレジスタがあります。

2 ユニット (ユニット 0、ユニット 1) のレジスタは、TIER のビット 7 (ユニット 0 では TTGE ビット、ユニット 1 ではリザーブビットです。) を除き同一機能です。本文中では、ユニット 0 のレジスタについて説明します。

ユニット 0

チャンネル 0 :

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)

チャンネル 1 :

- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)

チャンネル 2 :

- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)

- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)

チャンネル 3 :

- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)

チャンネル 4 :

- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)

チャンネル 5 :

- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通 :

- タイマスタートレジスタ (TSTR)

9. 16ビットタイマパルスユニット (TPU)

- タイマシンクロレジスタ (TSYR)

ユニット1

チャンネル6:

- タイマコントロールレジスタ_6 (TCR_6)
- タイマモードレジスタ_6 (TMDR_6)
- タイマI/OコントロールレジスタH_6 (TIORH_6)
- タイマI/OコントロールレジスタL_6 (TIORL_6)
- タイマインタラプトイネーブルレジスタ_6 (TIER_6)
- タイマステータスレジスタ_6 (TSR_6)
- タイマカウンタ_6 (TCNT_6)
- タイマジェネラルレジスタA_6 (TGRA_6)
- タイマジェネラルレジスタB_6 (TGRB_6)
- タイマジェネラルレジスタC_6 (TGRC_6)
- タイマジェネラルレジスタD_6 (TGRD_6)

チャンネル7:

- タイマコントロールレジスタ_7 (TCR_7)
- タイマモードレジスタ_7 (TMDR_7)
- タイマI/Oコントロールレジスタ_7 (TIOR_7)
- タイマインタラプトイネーブルレジスタ_7 (TIER_7)
- タイマステータスレジスタ_7 (TSR_7)
- タイマカウンタ_7 (TCNT_7)
- タイマジェネラルレジスタA_7 (TGRA_7)
- タイマジェネラルレジスタB_7 (TGRB_7)

チャンネル8:

- タイマコントロールレジスタ_8 (TCR_8)
- タイマモードレジスタ_8 (TMDR_8)
- タイマI/Oコントロールレジスタ_8 (TIOR_8)
- タイマインタラプトイネーブルレジスタ_8 (TIER_8)
- タイマステータスレジスタ_8 (TSR_8)
- タイマカウンタ_8 (TCNT_8)
- タイマジェネラルレジスタA_8 (TGRA_8)
- タイマジェネラルレジスタB_8 (TGRB_8)

チャンネル 9 :

- タイマコントロールレジスタ_9 (TCR_9)
- タイマモードレジスタ_9 (TMDR_9)
- タイマI/OコントロールレジスタH_9 (TIORH_9)
- タイマI/OコントロールレジスタL_9 (TIORL_9)
- タイマインタラプトイネーブルレジスタ_9 (TIER_9)
- タイマステータスレジスタ_9 (TSR_9)
- タイマカウンタ_9 (TCNT_9)
- タイマジェネラルレジスタA_9 (TGRA_9)
- タイマジェネラルレジスタB_9 (TGRB_9)
- タイマジェネラルレジスタC_9 (TGRC_9)
- タイマジェネラルレジスタD_9 (TGRD_9)

チャンネル 10 :

- タイマコントロールレジスタ_10 (TCR_10)
- タイマモードレジスタ_10 (TMDR_10)
- タイマI/Oコントロールレジスタ_10 (TIOR_10)
- タイマインタラプトイネーブルレジスタ_10 (TIER_10)
- タイマステータスレジスタ_10 (TSR_10)
- タイマカウンタ_10 (TCNT_10)
- タイマジェネラルレジスタA_10 (TGRA_10)
- タイマジェネラルレジスタB_10 (TGRB_10)

チャンネル 11 :

- タイマコントロールレジスタ_11 (TCR_11)
- タイマモードレジスタ_11 (TMDR_11)
- タイマI/Oコントロールレジスタ_11 (TIOR_11)
- タイマインタラプトイネーブルレジスタ_11 (TIER_11)
- タイマステータスレジスタ_11 (TSR_11)
- タイマカウンタ_11 (TCNT_11)
- タイマジェネラルレジスタA_11 (TGRA_11)
- タイマジェネラルレジスタB_11 (TGRB_11)

共通 :

- タイマスタートレジスタ (TSTRB)
- タイマシンクロレジスタ (TSYRB)

9. 16 ビットタイマパルスユニット (TPU)

9.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 9.5、表 9.6 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。詳細は表 9.7 を参照してください。 内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例 : $P\phi/4$ の両エッジ = $P\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $P\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $P\phi/1$ 、あるいは他のチャンネルのオーバフロー/アンダフローを選択した場合は本設定は無視されます。
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 9.8~表 9.13 を参照してください。
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

表 9.5 CCLR2~CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 9.6 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット 7*2	ビット 6	ビット 5	説 明
	リザーブ	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2、4、5 では、ビット 7 はリザーブビットです。リードのみ有効で、ライトは無効です。

表 9.7 入カクロックエッジ選択

クロックエッジ選択		入カクロック	
CKEG1	CKEG0	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	x	両エッジでカウント	両エッジでカウント

【記号説明】 x : Don't care

表 9.8 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

9. 16 ビットタイマパルスユニット (TPU)

表 9.9 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	TCNT2 のオーバフロー/アンダフローでカウント

【注】チャンネル 1 が位相計数モード時、この設定は無効になります。

表 9.10 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : Pφ/1024 でカウント

【注】チャンネル 2 が位相計数モード時、この設定は無効になります。

表 9.11 TPSC2~TPSC0 (チャンネル 3)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : Pφ/1024 でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	内部クロック : Pφ/4096 でカウント

表 9.12 TPSC2~TPSC0 (チャンネル 4)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : Pφ/1024 でカウント
	1	1	1	TCNT5 のオーバフロー/アンダフローでカウント

【注】チャンネル 4 が位相計数モード時、この設定は無効になります。

表 9.13 TPSC2~TPSC0 (チャンネル 5)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】チャンネル 5 が位相計数モード時、この設定は無効になります。

9.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット
6	—	1	R	これらのビットはリードのみ有効で、ライトは無効です。

9. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説 明
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 MD3 はリザーブビットです。ライトする値は常に 0 にしてください。 詳細は表 9.14 を参照してください。
2	MD2	0	R/W	
1	MD1	0	R/W	
0	MD0	0	R/W	

表 9.14 MD3~MD0

ビット 3	ビット 2	ビット 1	ビット 0	説 明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	X	x	x	—

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライトする値は常に 0 にしてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。ライトする値は常に 0 にしてください。

9.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

【注】 H8SX/1527R には、TIOR_4、TIOR_5 レジスタはありません。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	7	6	5	4	3	2	1	0
ビット名	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

- TIORL_0、TIORL_3

ビット	7	6	5	4	3	2	1	0
ビット名	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3~B0
6	IOB2	0	R/W	TGRB の機能を設定します。詳細は表 9.15、表 9.17、表 9.18、表 9.19、表 9.21、表 9.22 を参照してください。
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	
2	IOA2	0	R/W	TGRA の機能を設定します。詳細は表 9.23、表 9.25、表 9.26、表 9.27、表 9.29、表 9.30 を参照してください。
1	IOA1	0	R/W	
0	IOA0	0	R/W	

- TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~D0
6	IOD2	0	R/W	TGRD の機能を設定します。詳細は表 9.16、表 9.20 を参照してください。
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	
2	IOC2	0	R/W	TGRC の機能を設定します。詳細は表 9.24、表 9.28 を参照してください。
1	IOC1	0	R/W	
0	IOC0	0	R/W	

9. 16 ビットタイマパルスユニット (TPU)

表 9.15 TIORH_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_1の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1のカウンタクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 9.16 TIORL_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1のカウントアップ/カウントダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.17 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 コンペアマッチ/インプットキャプチャ TGRC_0 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

表 9.18 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.19 TIORH_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル4/カウントクロック TCNT_4のカウンタアップ/カウンタダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_4のTPSC2~TPSC0ビットをB'000とし、TCNT_4のカウントクロックにPφ/1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 9.20 TIORL_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル4/カウントクロック TCNT_4のカウンタアップ/カウンタダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効となり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.21 TIOR_4

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRC_3 コンペアマッチ/インプットキャプチャ TGRC_3 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

表 9.22 TIOR_5

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.23 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	1	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	0	0		キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

- * TCR_1の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1のカウンタクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 9.24 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0の機能	TIOCC0の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1のカウントアップ/カウントダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_1のTPSC2~TPSC0ビットをB'000とし、TCNT_1のカウントクロックにPφ/1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0のBFAビットを1にセットしてTGRC_0をバッファレジスタとして使用した場合は、本設定は無効となり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.25 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_0 コンペアマッチ/イン プットキャプチャ チャンネル0/TGRA_0のコンペアマッチ/インプット キャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

表 9.26 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.27 TIORH_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

表 9.28 TIORL_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ*1

【記号説明】 x : Don't care

【注】 *1 TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効となり、インプットキャプチャ/アウトプットコンペアは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.29 TIOR_4

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_3 コンペアマッチ/インプットキャプチャ TGRA_3 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

表 9.30 TIOR_5

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

9. 16 ビットタイムパルスユニット (TPU)

9.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TTGE*	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値	0	1	0	0	0	0	0	0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * ユニット1のTIERのビット7はリザーブビットです。リードすると常に0が読み出されます。ライトする値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7	TTGE*	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバーフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。 チャンネル 1、2、4、5 では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可

ビット	ビット名	初期値	R/W	説明
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

【注】 * ユニット 1 の TIER のビット 7 はリザーブビットです。リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

9.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3 では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

9. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
5	TCFU	0	R/(W)*	<p>アンダフローフラグ</p> <p>チャンネル1、2、4、5が位相計数モードのとき、TCNTのアンダフローの発生を示すステータスフラグです。</p> <p>チャンネル0、3では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。</p> <p>[セット条件]</p> <p>TCNTの値がアンダフロー (H'0000→H'FFFF) したとき</p> <p>[クリア条件]</p> <p>TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください。)</p>
4	TCFV	0	R/(W)*	<p>オーバフローフラグ (TCFV)</p> <p>TCNTのオーバフローの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <p>TCNTの値がオーバフローしたとき (H'FFFF→ H'0000)</p> <p>[クリア条件]</p> <p>TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください。)</p>
3	TGFD	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグD</p> <p>チャンネル0、3のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル1、2、4、5では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき • TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFD=1の状態ではTGFDをリード後、TGFDに0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください。)

9. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 では、このビットはリザーブビットになります。リードのみ有効で、ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)
0	TGFA	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DMAC が起動され、DMAC の DMDR の DTA ビットが 1 のとき • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9. 16ビットタイマパルスユニット (TPU)

9.3.6 タイマカウンタ (TCNT)

TCNTは16ビットのリード/ライト可能なカウンタです。各チャンネルに1本、計6本のTCNTがあります。

TCNTは、リセットまたはハードウェアスタンバイモード時にH'0000に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

9.3.7 タイマジェネラルレジスタ (TGR)

TGRは16ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のジェネラルレジスタがあります。チャンネル0、3のTGRCとTGRDは、バッファレジスタとして動作設定することができます。TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。バッファ動作時のTGRとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

9.3.8 タイマスタートレジスタ (TSTR)

TSTRは、チャンネル0~5のTCNTの動作/停止を選択します。TMDRへ動作モードを設定する場合やTCRへTCNTのカウントクロックを設定する場合は、TCNTのカウンタ動作を停止してから行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	CST5	CST4	CST3	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに0をライトするとカウンタは
2	CST2	0	R/W	停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。
1	CST1	0	R/W	CST ビットが0の状態では TIOR へのライトを行うと、設定した初期出力値に端
0	CST0	0	R/W	子の出力レベルが更新されます。 0 : TCNT_5~TCNT_0 のカウント動作は停止 1 : TCNT_5~TCNT_0 はカウント動作

9.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	SYNC5	0	R/W	タイマ同期 5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウ
2	SYNC2	0	R/W	ンタクリアによる同期クリアが可能となります。
1	SYNC1	0	R/W	同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要が
0	SYNC0	0	R/W	あります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0
				ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_5~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャネ
				ルと無関係) 1 : TCNT_5~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

9.4 動作説明

9.4.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRのCST0～CST5ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図9.3に示します。

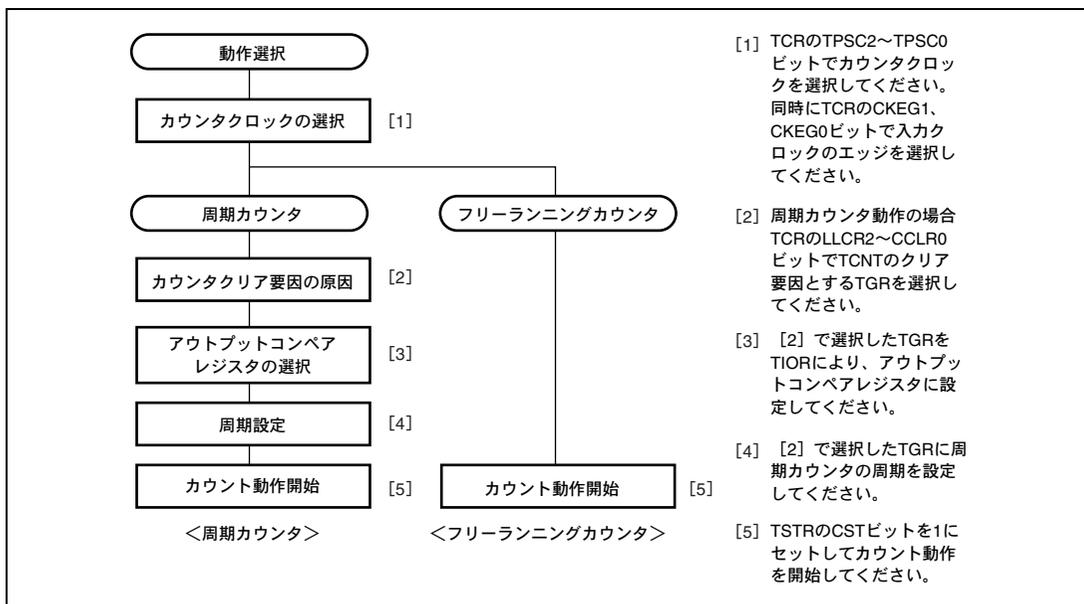


図 9.3 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 9.4 に示します。

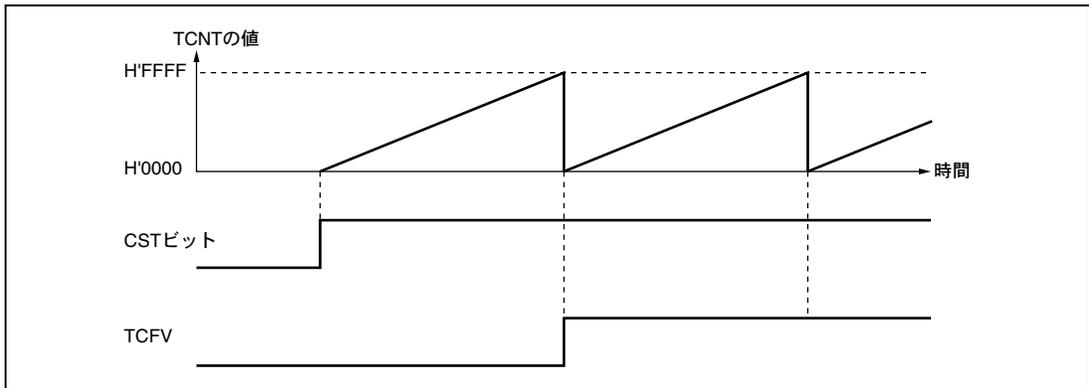


図 9.4 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2～CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 9.5 に示します。

9. 16ビットタイマパルスユニット (TPU)

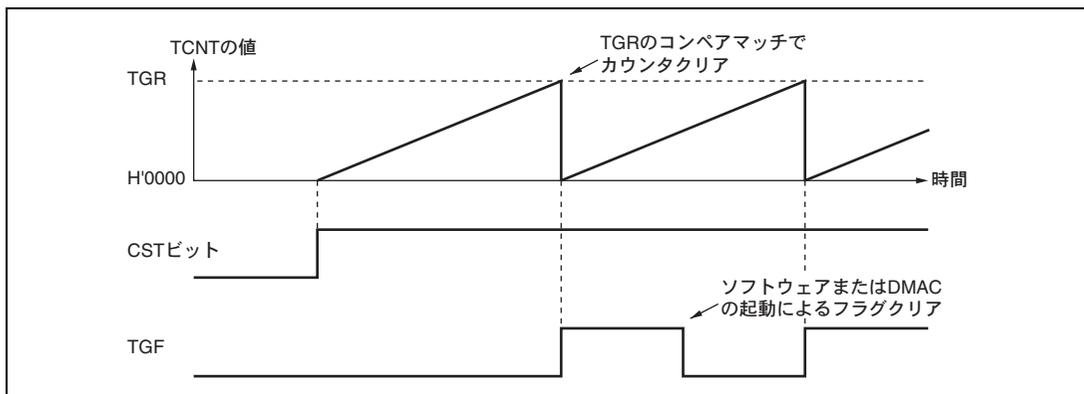


図 9.5 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力*を行うことができます。

【注】 * H8SX/1527R では、チャンネル 4 およびチャンネル 5 の TIOCA4、TIOCB4、TIOCA5、TIOCB5 入出力端子はありません。そのため、コンペアマッチによる波形出力 (0 出力/1 出力/トグル出力) を行うことができません。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 9.6 に示します。

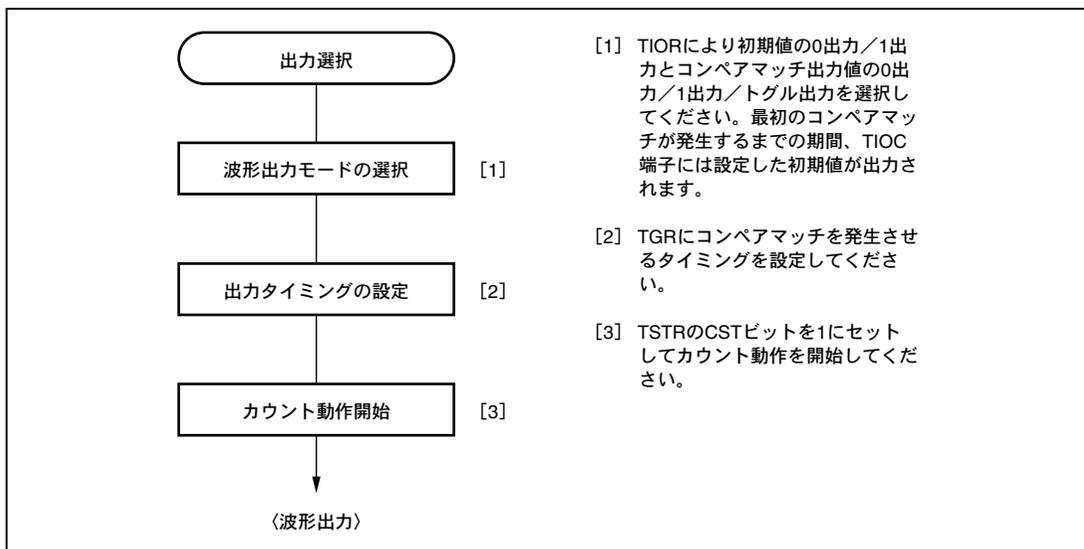


図 9.6 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 9.7 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

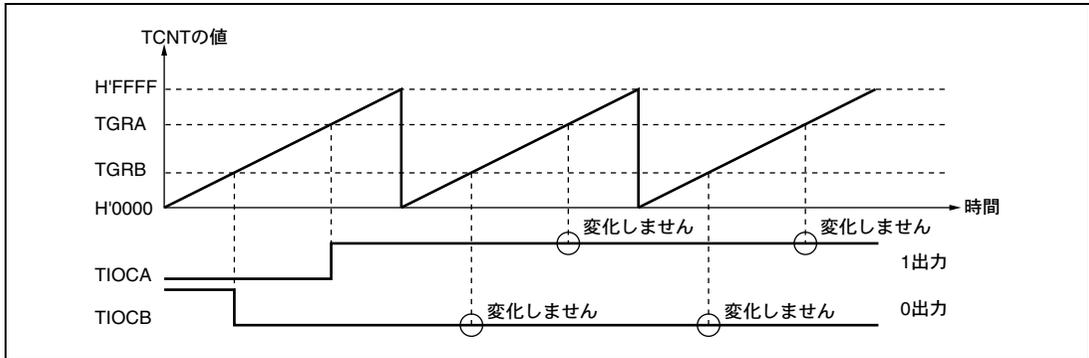


図 9.7 0 出力 / 1 出力の動作例

トグル出力の例を図 9.8 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

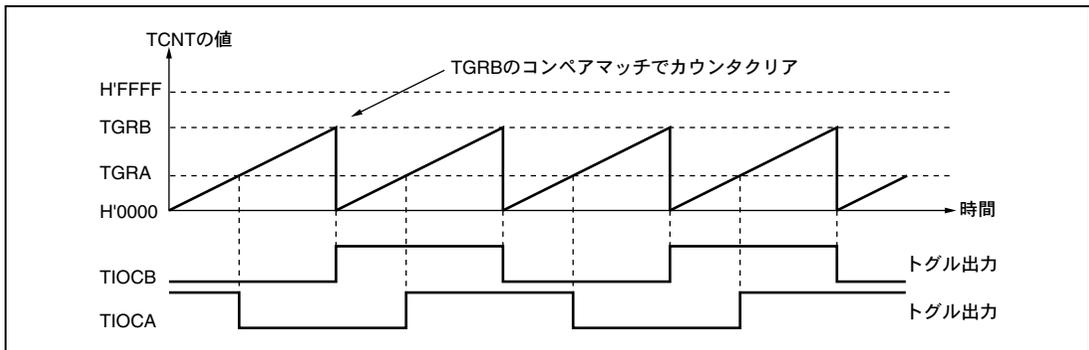


図 9.8 トグル出力の動作例

9. 16 ビットタイマパルスユニット (TPU)

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに Pφ/1 を選択しないでください。Pφ/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 9.9 に示します。

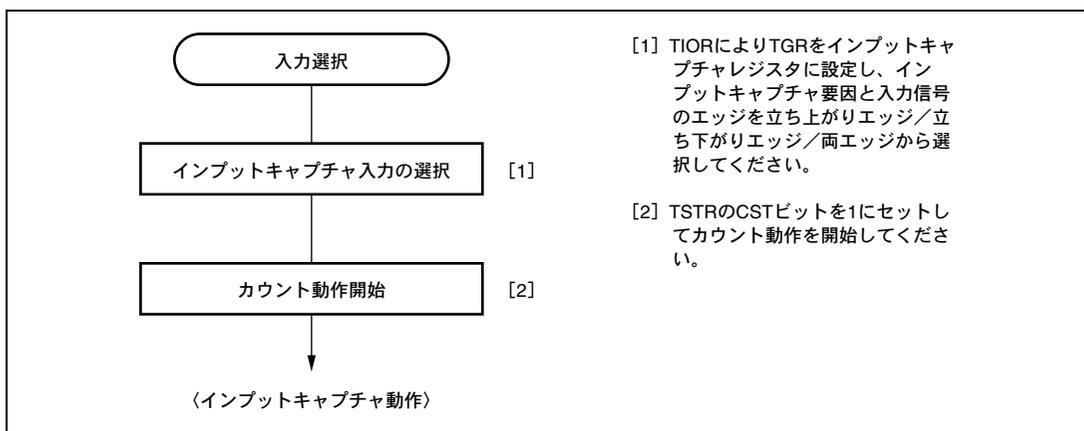


図 9.9 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図9.10に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

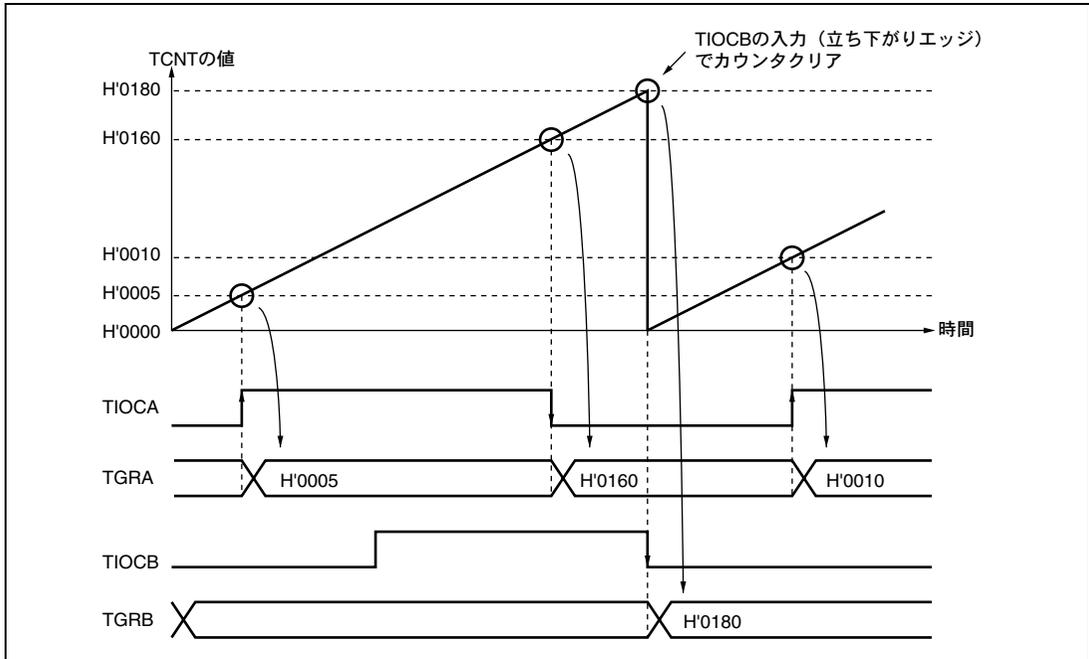


図 9.10 インพุットキャプチャ動作例

9.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

9. 16ビットタイマパルスユニット (TPU)

(1) 同期動作の設定手順例

同期動作の設定手順例を図 9.11 に示します。

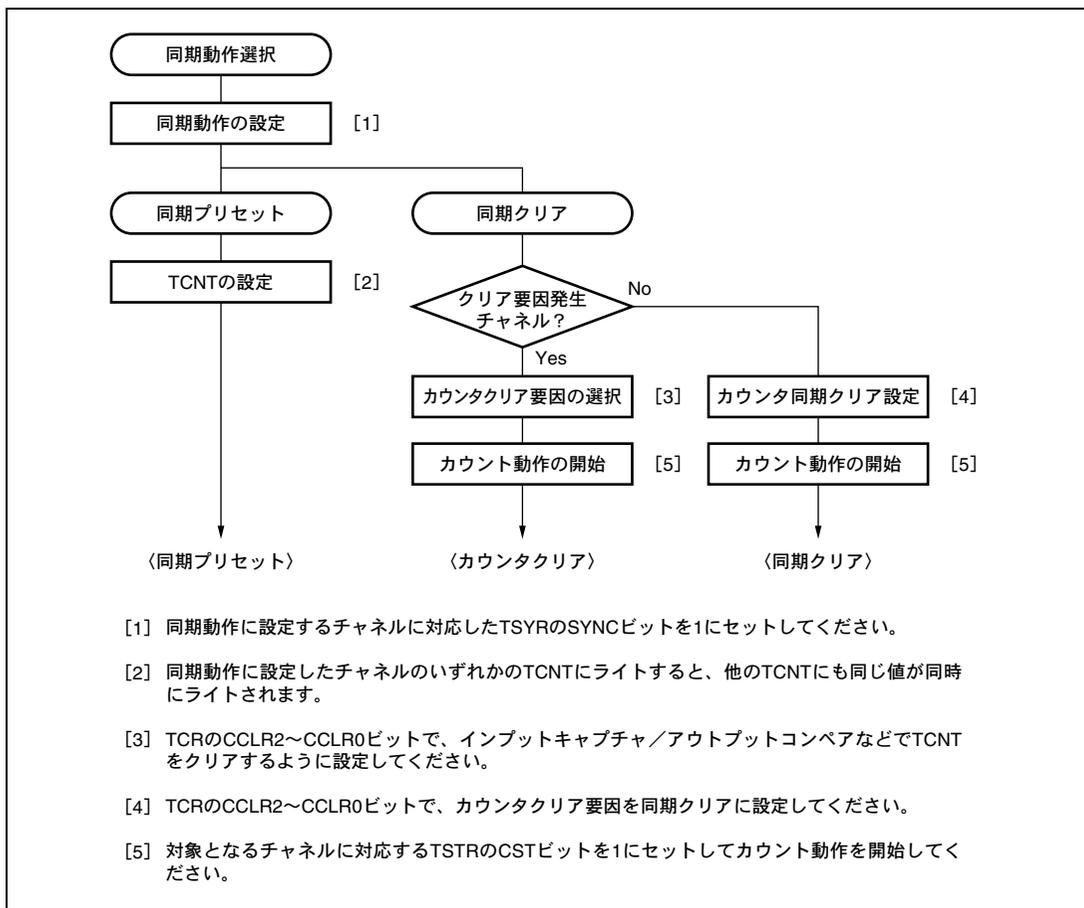


図 9.11 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 9.12 に示します。

チャンネル 0～2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0～2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「9.4.5 PWM モード」を参照してください。

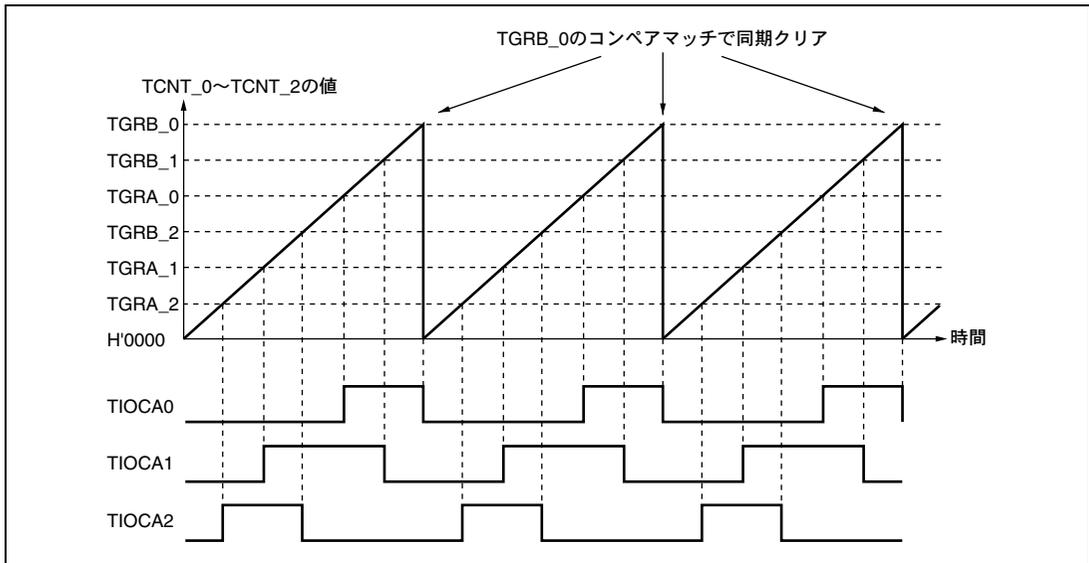


図 9.12 同期動作の動作例

9.4.3 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 9.31 にバッファ動作時のレジスタの組み合わせを示します。

表 9.31 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 9.13 に示します。

9. 16ビットタイマパルスユニット (TPU)

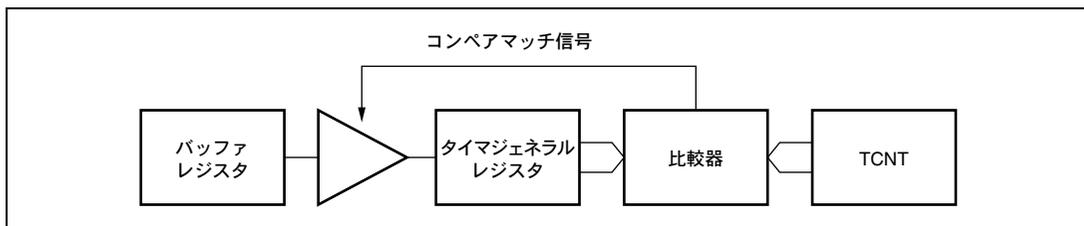


図 9.13 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNTの値をTGRに転送すると同時に、それまで格納されていたTGRの値をバッファレジスタに転送します。

この動作を図 9.14 に示します。

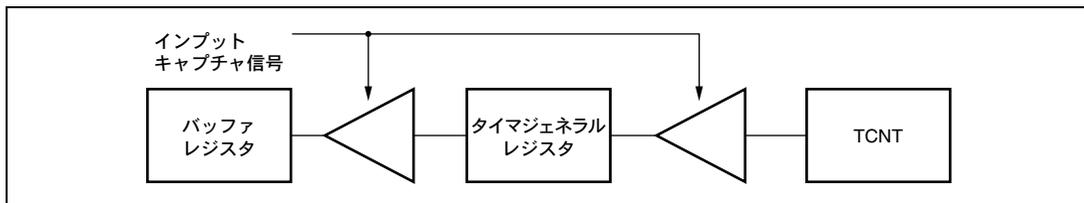


図 9.14 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 9.15 に示します。

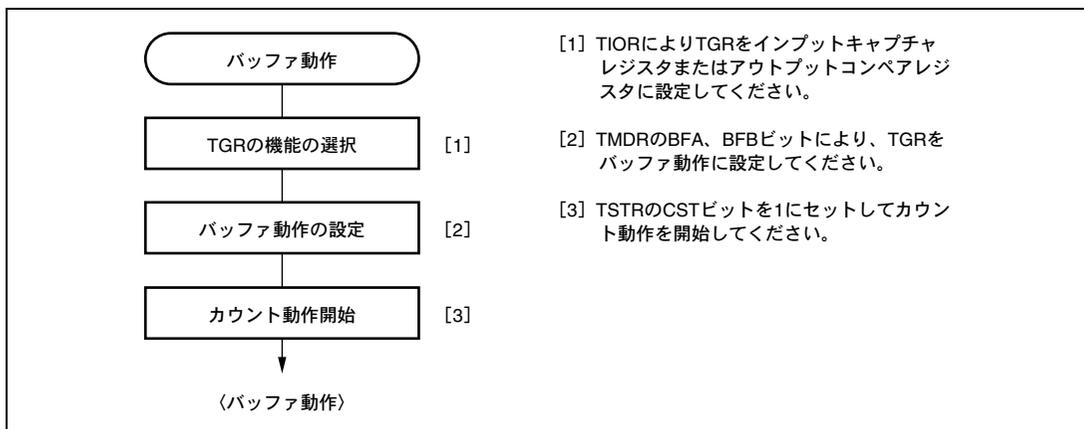


図 9.15 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 9.16 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「9.4.5 PWM モード」を参照してください。

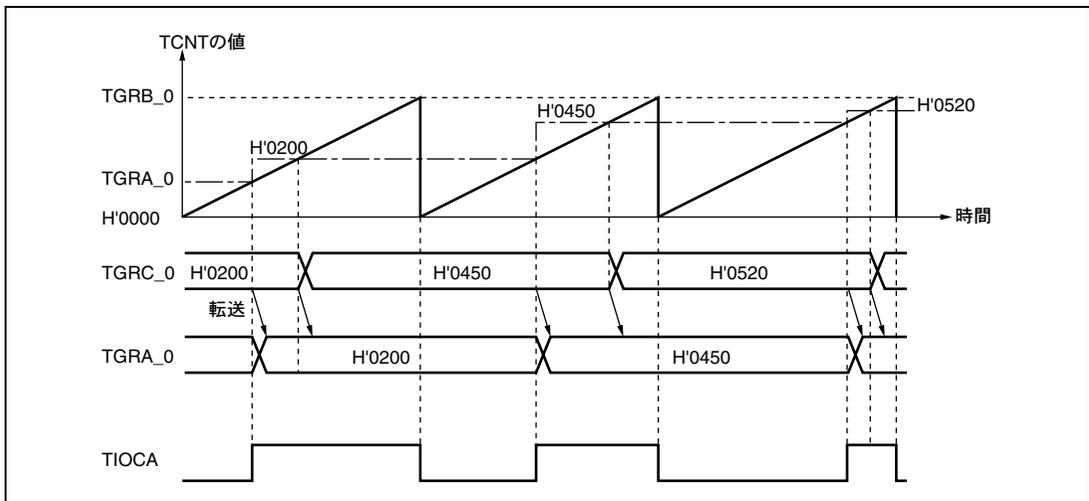


図 9.16 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 9.17 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

9. 16ビットタイマパルスユニット (TPU)

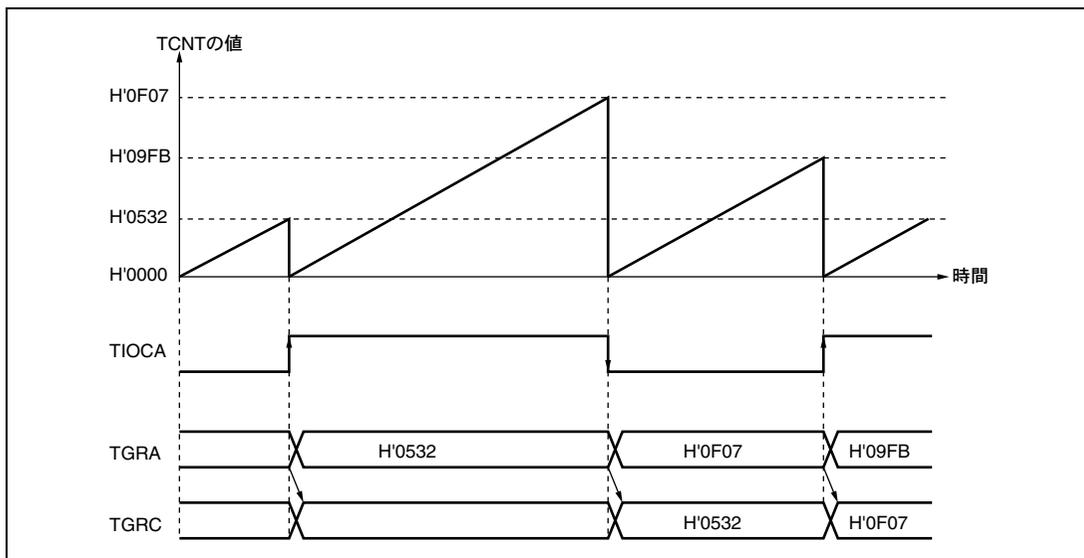


図 9.17 バッファ動作例 (2)

9.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1(チャンネル4)のカウントクロックをTCRのTPSC2~TPSC0ビットでTCNT_2(TCNT_5)のオーバーフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 9.32 にカスケード接続の組み合わせを示します。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 9.32 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2
チャンネル4とチャンネル5	TCNT_4	TCNT_5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 9.18 に示します。

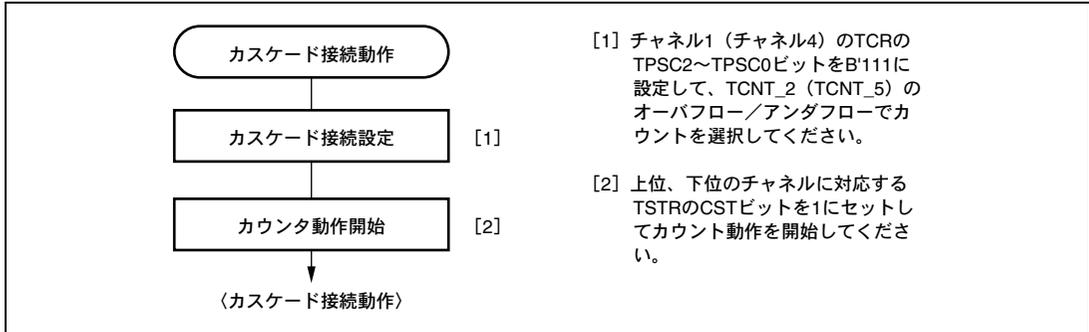


図 9.18 カスケード接続動作設定手順例

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバフロー/アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 9.19 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

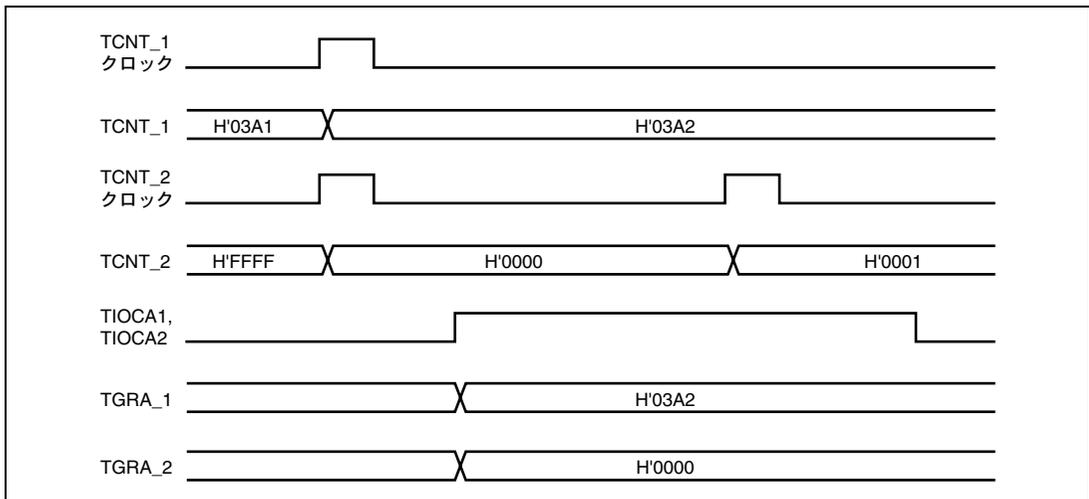


図 9.19 カスケード接続動作例 (1)

9. 16ビットタイマパルスユニット (TPU)

TCNT_1 は TCNT_2 のオーバフロー／アンダフローでカウント、チャンネル2 を位相計数モードに設定した時の動作を図9.20 に示します。

TCNT_1 は、TCNT_2 のオーバフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

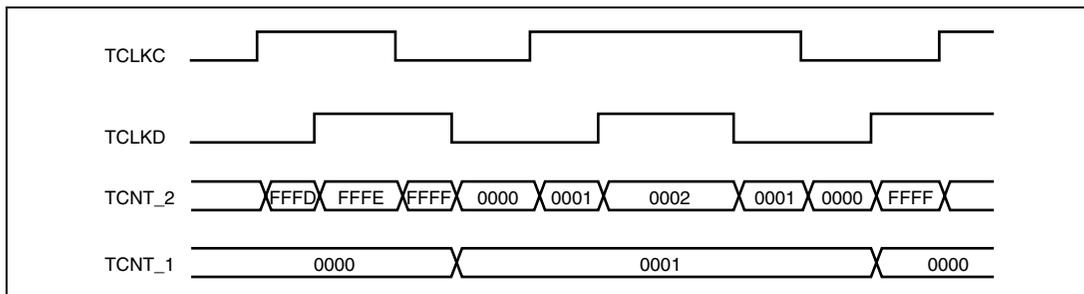


図 9.20 カスケード接続動作例 (2)

9.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 9.33 に示します。

表 9.33 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

9. 16ビットタイマパルスユニット (TPU)

(2) PWMモードの設定手順例

PWMモードの設定手順例を図9.21に示します。

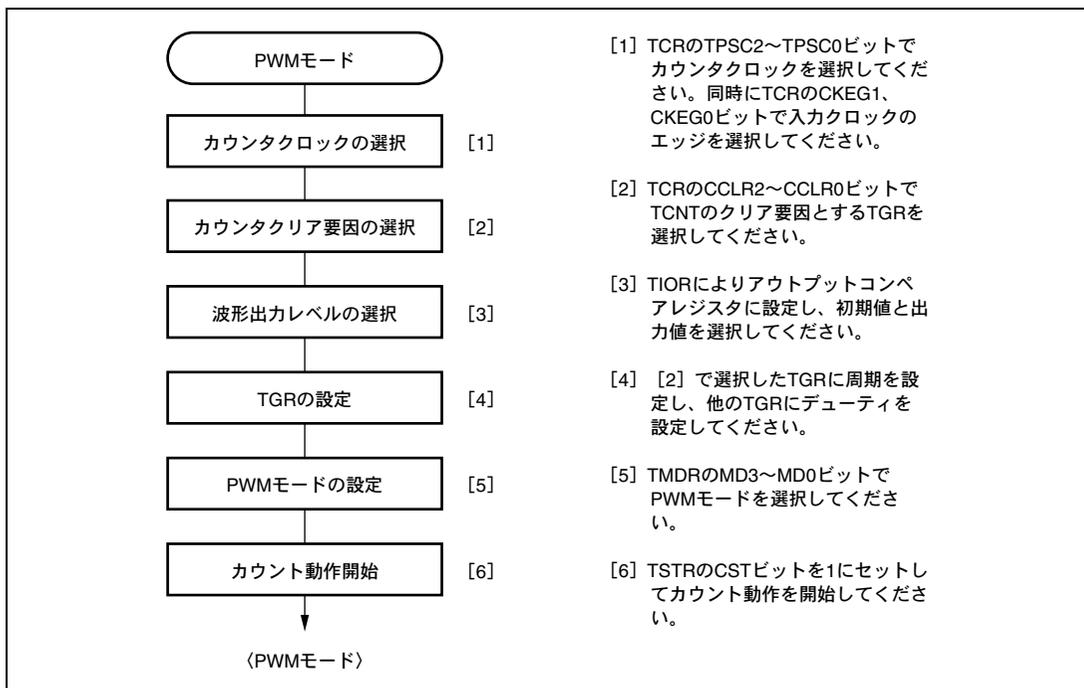


図 9.21 PWMモードの設定手順例

(3) PWMモードの動作例

PWMモード1の動作例を図9.22に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

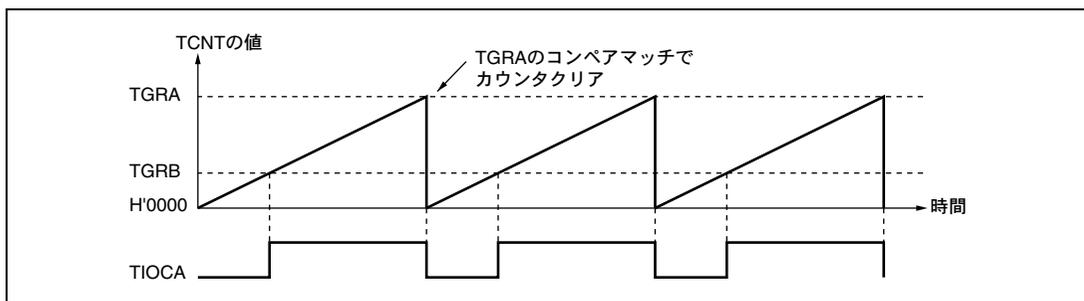


図 9.22 PWMモードの動作例 (1)

PWM モード 2 の動作例を図 9.23 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

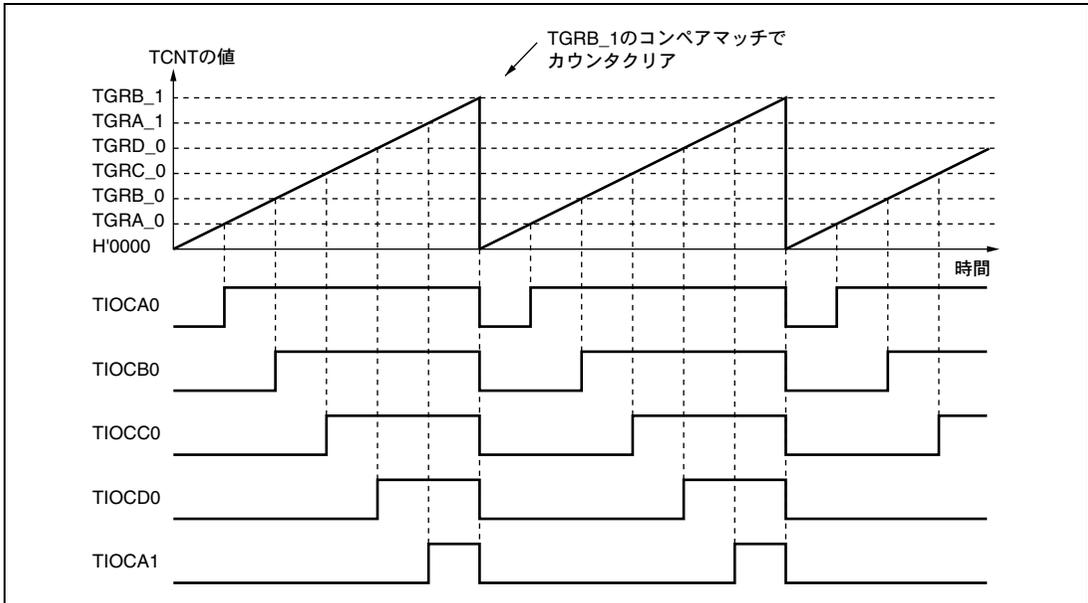


図 9.23 PWM モードの動作例 (2)

9. 16ビットタイマパルスユニット (TPU)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 9.24 に示します。

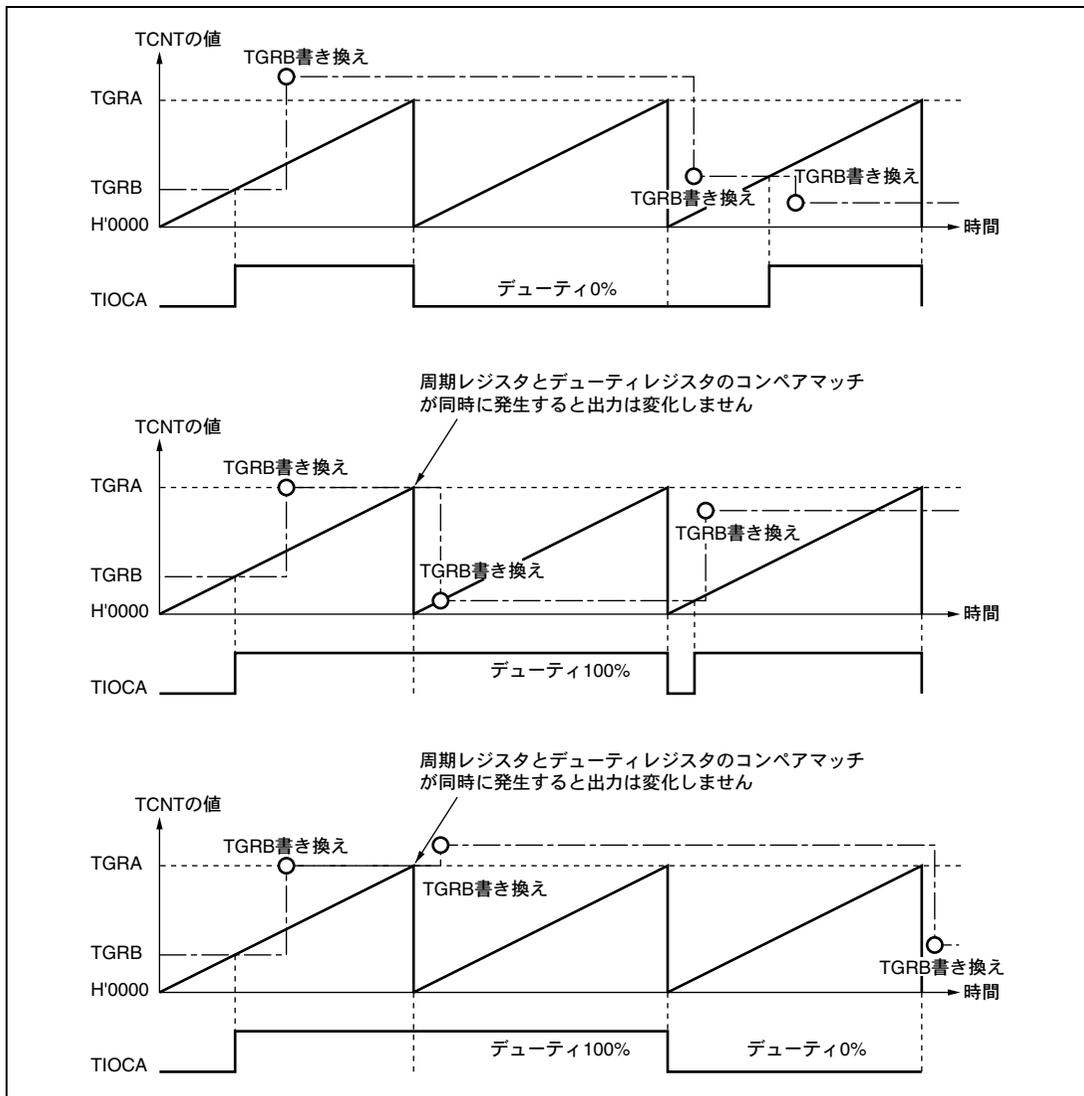


図 9.24 PWM モード動作例 (3)

9.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2~TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 9.34 に外部クロック端子とチャンネルの対応を示します。

表 9.34 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 9.25 に示します。

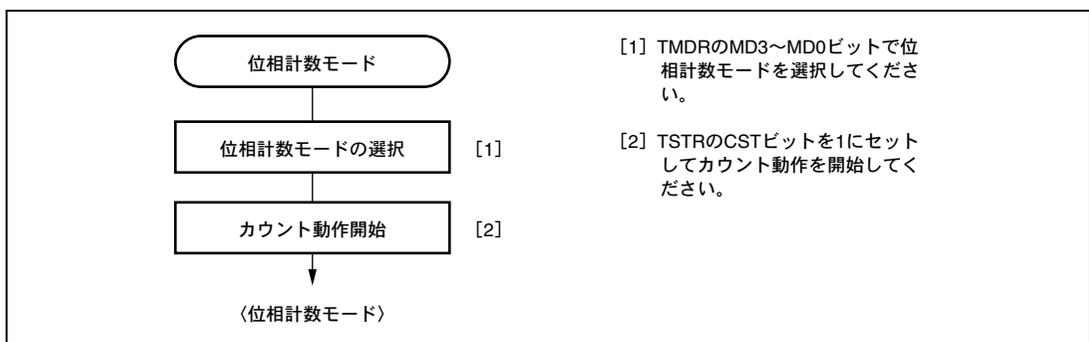


図 9.25 位相計数モードの設定手順例

9. 16ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図9.26に、TCNTのアップ/ダウンカウント条件を表9.35に示します。

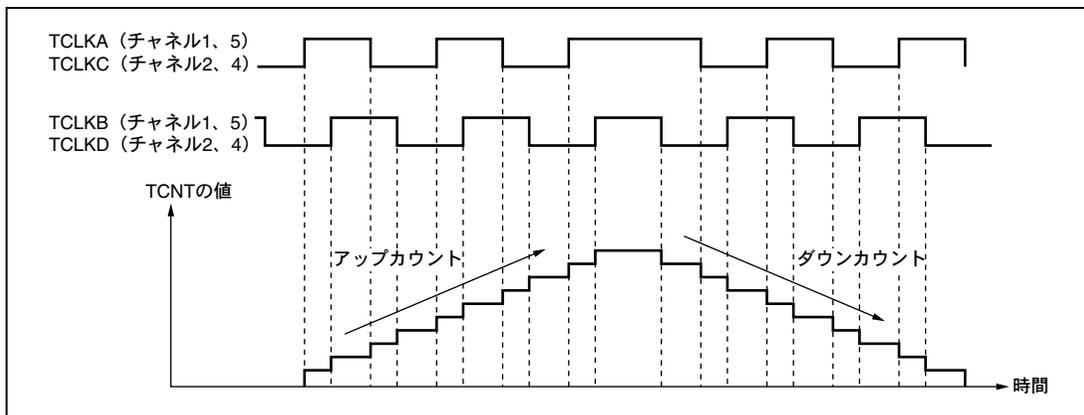


図 9.26 位相計数モード1の動作例

表 9.35 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 9.27 に、TCNT のアップ/ダウンカウント条件を表 9.36 に示します。

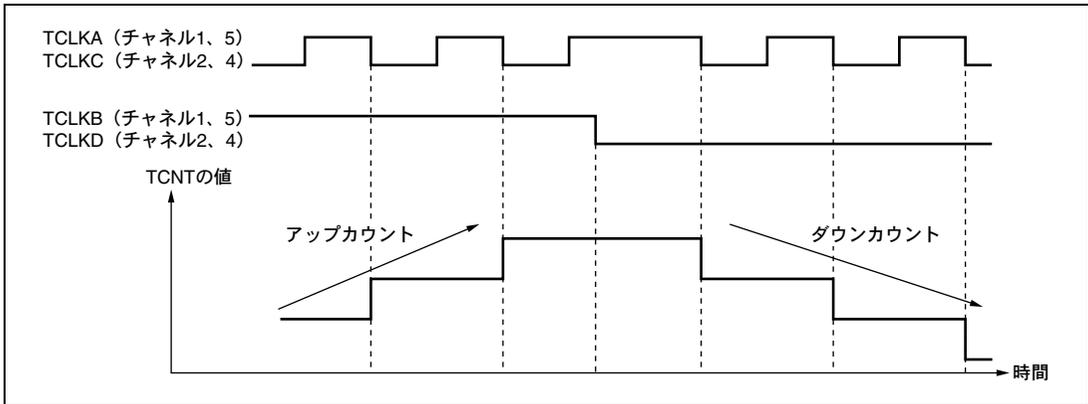


図 9.27 位相計数モード 2 の動作例

表 9.36 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

9. 16 ビットタイマパルスユニット (TPU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 9.28 に、TCNT のアップ/ダウンカウント条件を表 9.37 に示します。

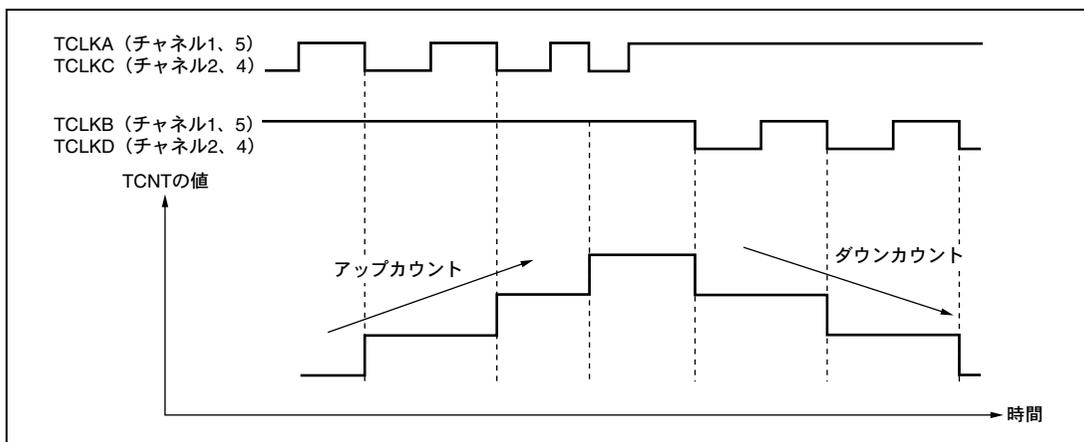


図 9.28 位相計数モード 3 の動作例

表 9.37 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 9.29 に、TCNT のアップ/ダウンカウント条件を表 9.38 に示します。

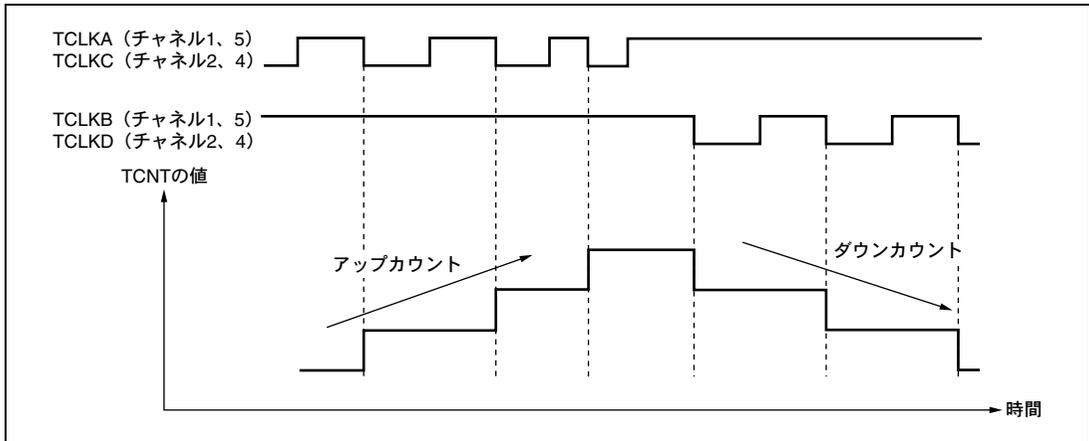


図 9.29 位相計数モード 4 の動作例

表 9.38 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1, 5) TCLKC (チャンネル 2, 4)	TCLKB (チャンネル 1, 5) TCLKD (チャンネル 2, 4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 9.30 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 はインプットキャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 のインプットキャプチャ要因は、チャンネル 1 のカウンタ入カクロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

9. 16ビットタイマパルスユニット (TPU)

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

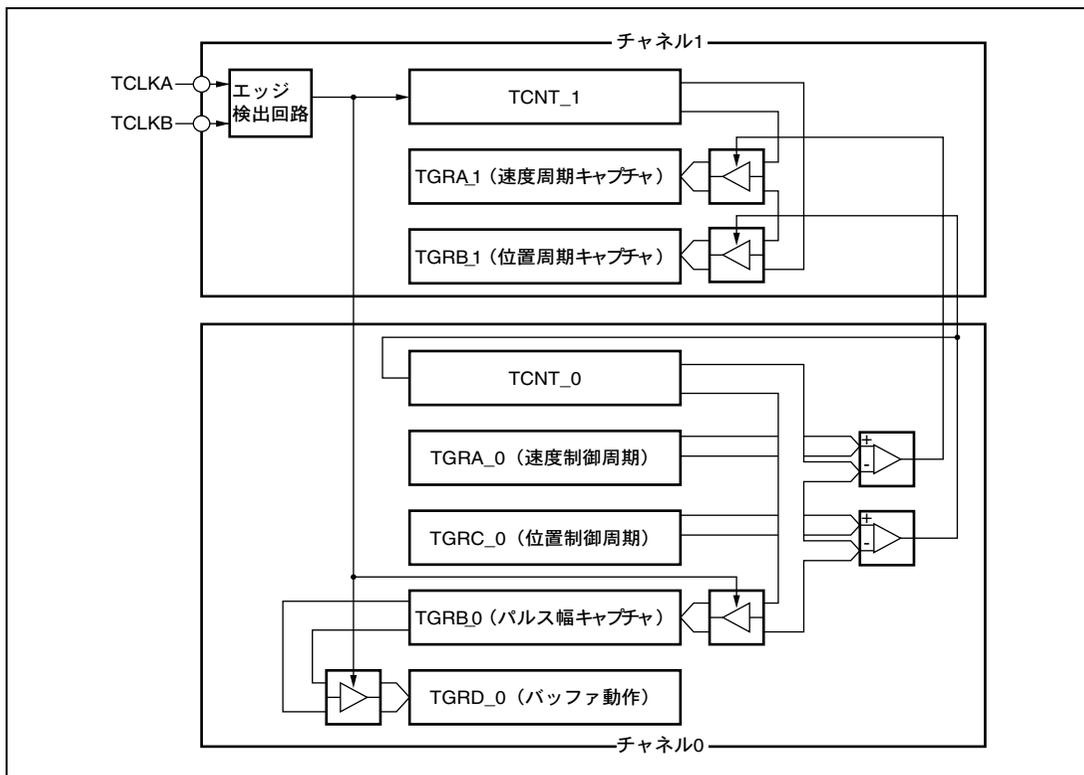


図 9.30 位相計数モードの応用例

9.5 割り込み要因

TPUの割り込み要因には、TGRの入力キャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「5. 割り込みコントローラ」を参照してください。

表 9.39 に TPU の割り込み要因の一覧を示します。

表 9.39 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DMAC の起動
0	TGI0A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可
	TGI0B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	不可
	TGI0C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	不可
	TGI0D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	不可
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可
1	TGI1A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可
	TGI1B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	不可
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可
2	TGI2A	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可
	TGI2B	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	不可
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可
3	TGI3A	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可
	TGI3B	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	不可
	TGI3C	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	不可
	TGI3D	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	不可
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可
4	TGI4A*	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可
	TGI4B*	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	不可
	TCI4V	TCNT_4 のオーバフロー	TCFV_4	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可
5	TGI5A*	TGRA_5 のインプットキャプチャ/コンペアマッチ	TGFA_5	可
	TGI5B*	TGRB_5 のインプットキャプチャ/コンペアマッチ	TGFB_5	不可
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可
6	TGI6A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可
	TGI6B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	不可
	TGI6C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	不可
	TGI6D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	不可
	TCI6V	TCNT_0 のオーバフロー	TCFV_0	不可
7	TGI7A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可
	TGI7B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	不可
	TCI7V	TCNT_1 のオーバフロー	TCFV_1	不可
	TCI7U	TCNT_1 のアンダフロー	TCFU_1	不可

9. 16ビットタイマパルスユニット (TPU)

チャンネル	名称	割り込み要因	割り込みフラグ	DMACの起動
8	TGI8A	TGRA_2のインプットキャプチャ/コンペアマッチ	TGFA_2	可
	TGI8B	TGRB_2のインプットキャプチャ/コンペアマッチ	TGFB_2	不可
	TCI8V	TCNT_2のオーバフロー	TCFV_2	不可
	TCI8U	TCNT_2のアンダフロー	TCFU_2	不可
9	TGI9A	TGRA_3のインプットキャプチャ/コンペアマッチ	TGFA_3	可
	TGI9B	TGRB_3のインプットキャプチャ/コンペアマッチ	TGFB_3	不可
	TGI9C	TGRC_3のインプットキャプチャ/コンペアマッチ	TGFC_3	不可
	TGI9D	TGRD_3のインプットキャプチャ/コンペアマッチ	TGFD_3	不可
	TCI9V	TCNT_3のオーバフロー	TCFV_3	不可
10	TGI10A	TGRA_4のインプットキャプチャ/コンペアマッチ	TGFA_4	可
	TGI10B	TGRB_4のインプットキャプチャ/コンペアマッチ	TGFB_4	不可
	TCI10V	TCNT_4のオーバフロー	TCFV_4	不可
	TCI10U	TCNT_4のアンダフロー	TCFU_4	不可
11	TGI11A	TGRA_5のインプットキャプチャ/コンペアマッチ	TGFA_5	可
	TGI11B	TGRB_5のインプットキャプチャ/コンペアマッチ	TGFB_5	不可
	TCI11V	TCNT_5のオーバフロー	TCFV_5	不可
	TCI11U	TCNT_5のアンダフロー	TCFU_5	不可

【注】 1. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

2. *H8SX/1527Rでは、チャンネル4およびチャンネル5でインプットキャプチャ機能はありません。

(1) インプットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインプットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のインプットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2、4、5に各1本、計4本のアンダフロー割り込みがあります。

9.6 DMAC の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「7. DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネルに 1 本、計 6 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

9.7 A/D 変換器の起動

TPU のユニット 0 では、各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます (ユニット 1 では、A/D 変換器を起動することはできません)。

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

ユニット 1 では、A/D 変換器を起動することはできません。

9.8 動作タイミング

9.8.1 入出カタイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 9.31 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 9.32 に示します。

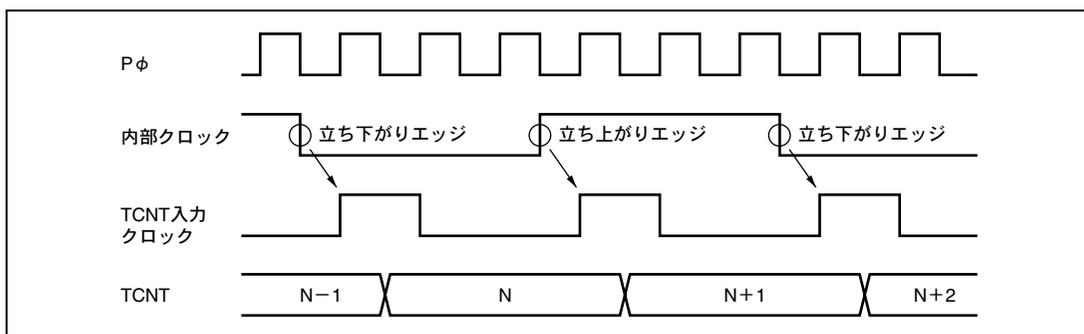


図 9.31 内部クロック動作時のカウントタイミング

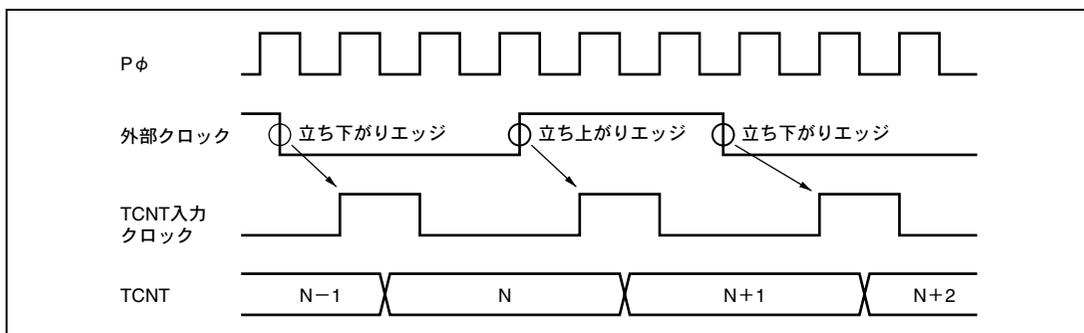


図 9.32 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 9.33 に示します。

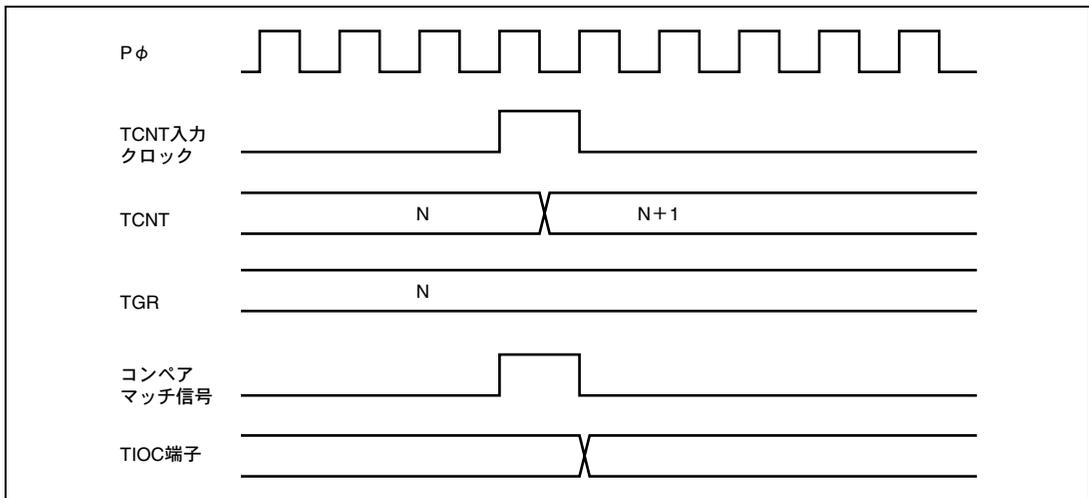


図 9.33 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 9.34 に示します。

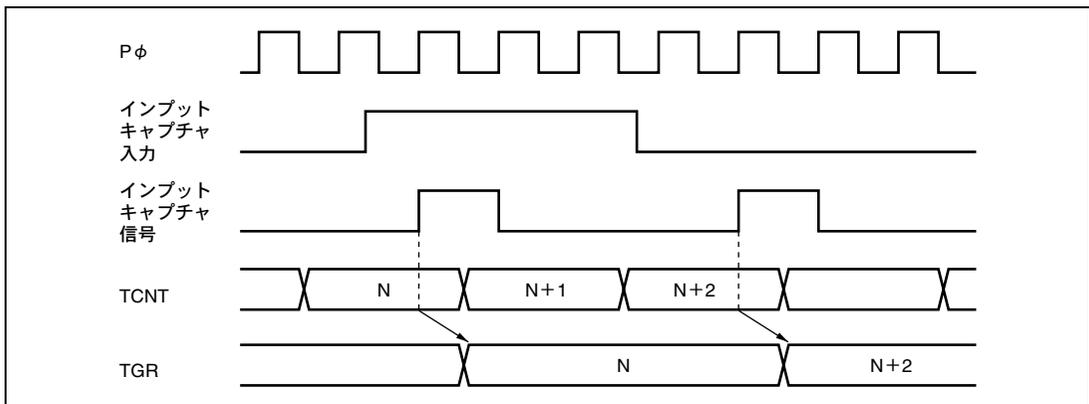


図 9.34 インพุットキャプチャ入力信号タイミング

9. 16ビットタイマパルスユニット (TPU)

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 9.35 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 9.36 に示します。

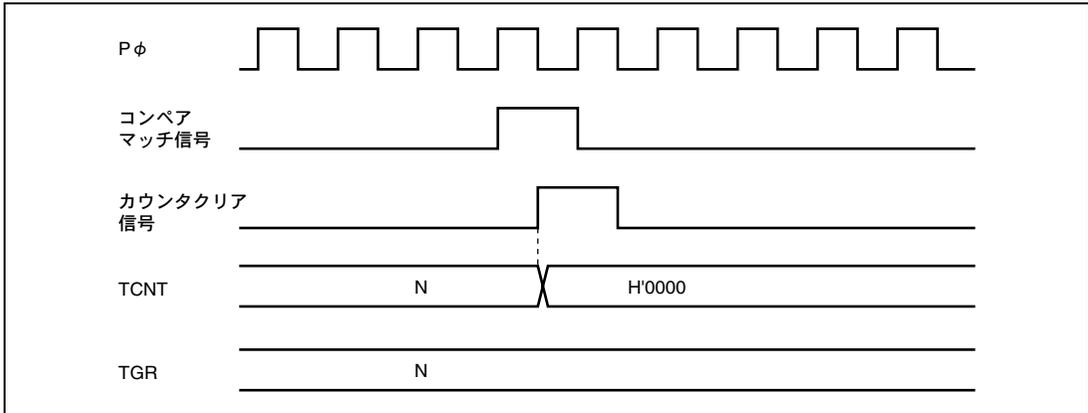


図 9.35 カウンタクリアタイミング (コンペアマッチ)

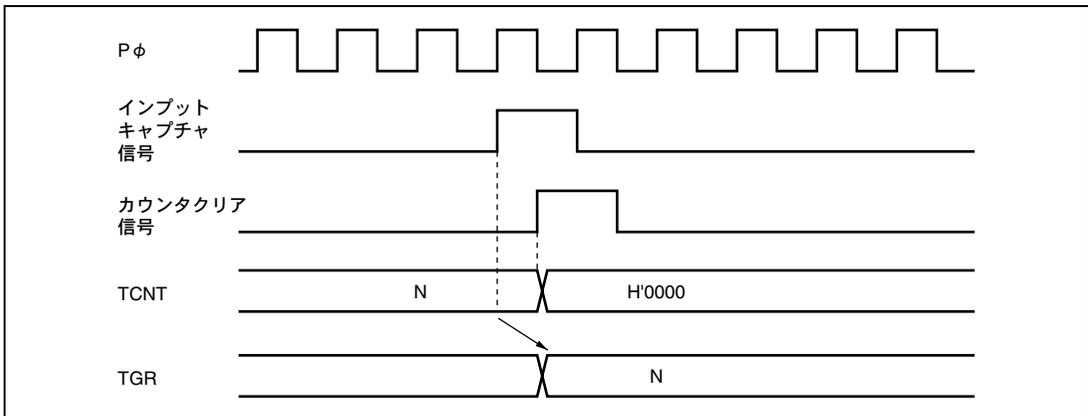


図 9.36 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 9.37、図 9.38 に示します。

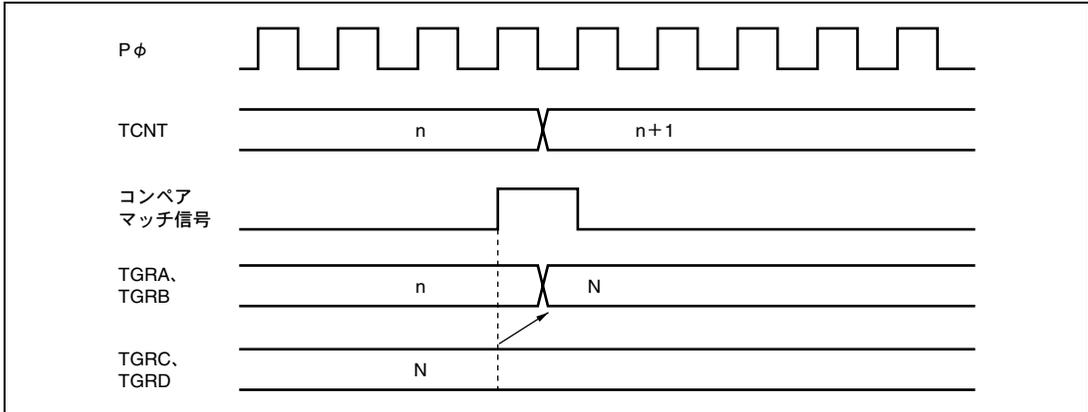


図 9.37 バッファ動作タイミング (コンペアマッチ)

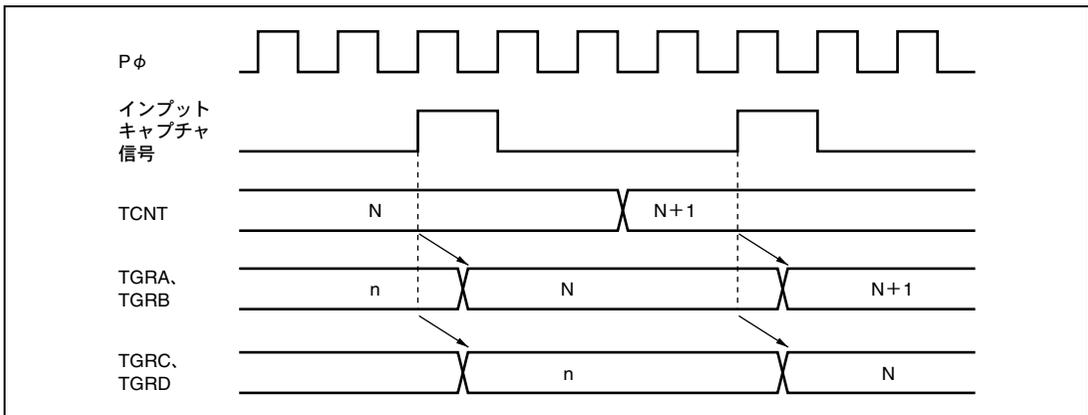


図 9.38 バッファ動作タイミング (インプットキャプチャ)

9.8.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.39 に示します。

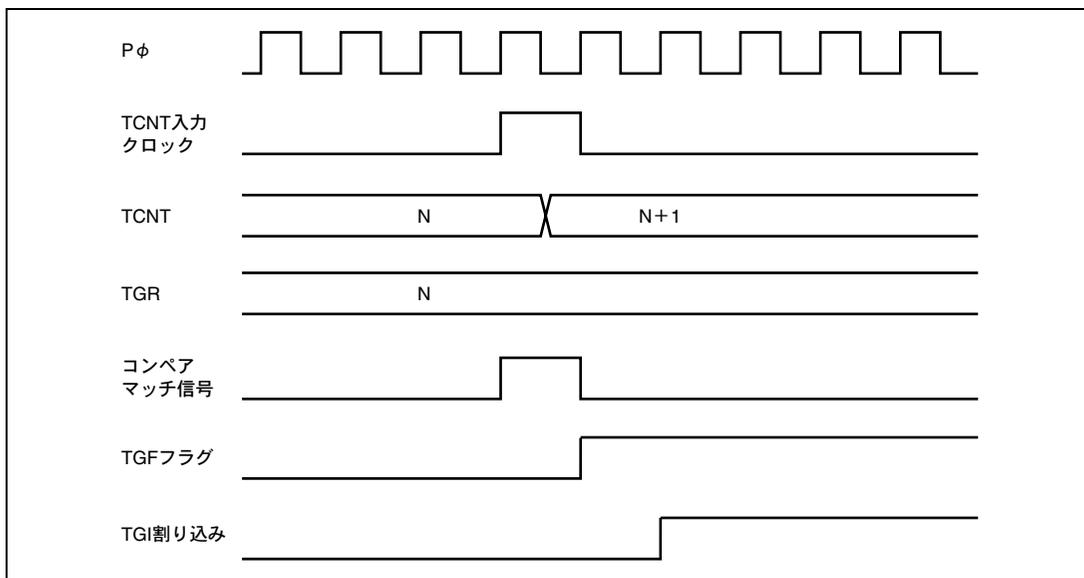


図 9.39 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.40 に示します。

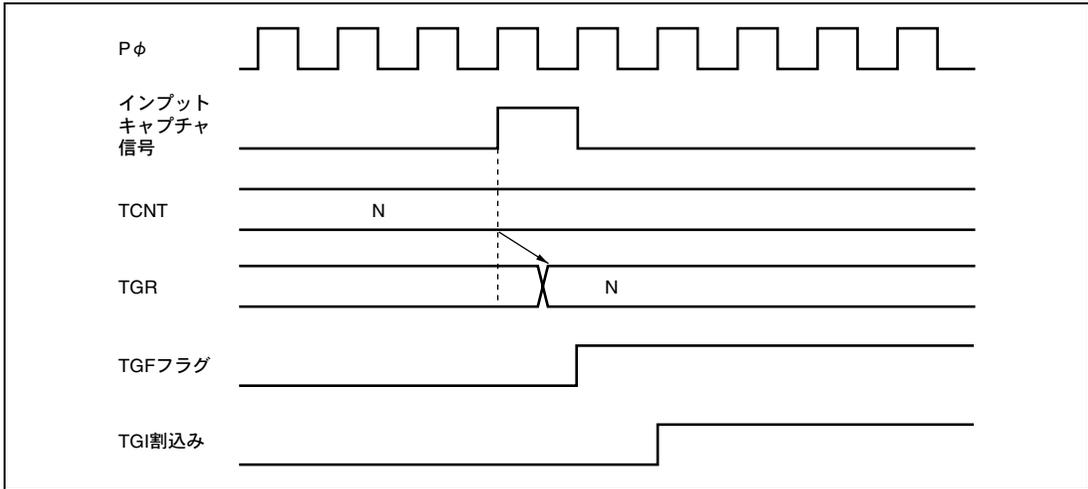


図 9.40 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 9.41 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 9.42 に示します。

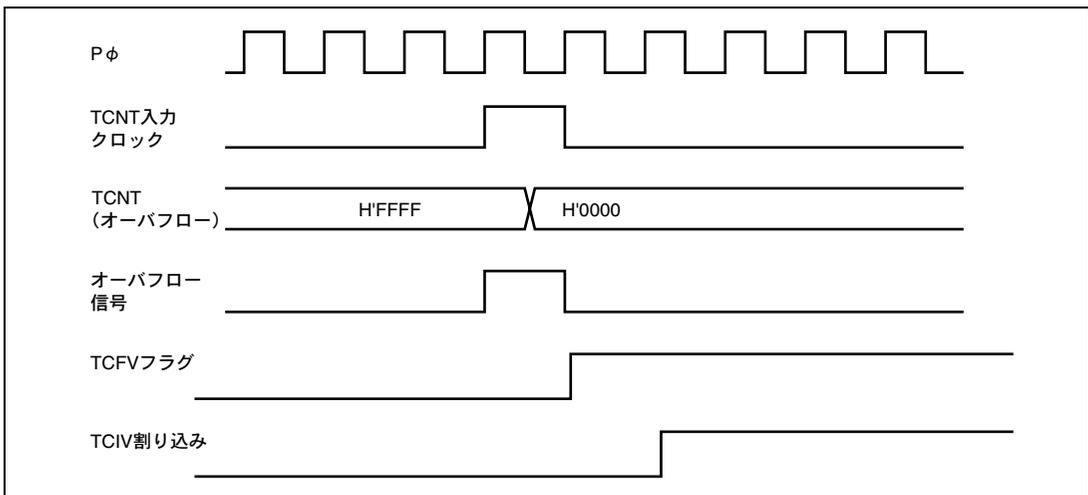


図 9.41 TCIV 割り込みのセットタイミング

9. 16ビットタイマパルスユニット (TPU)

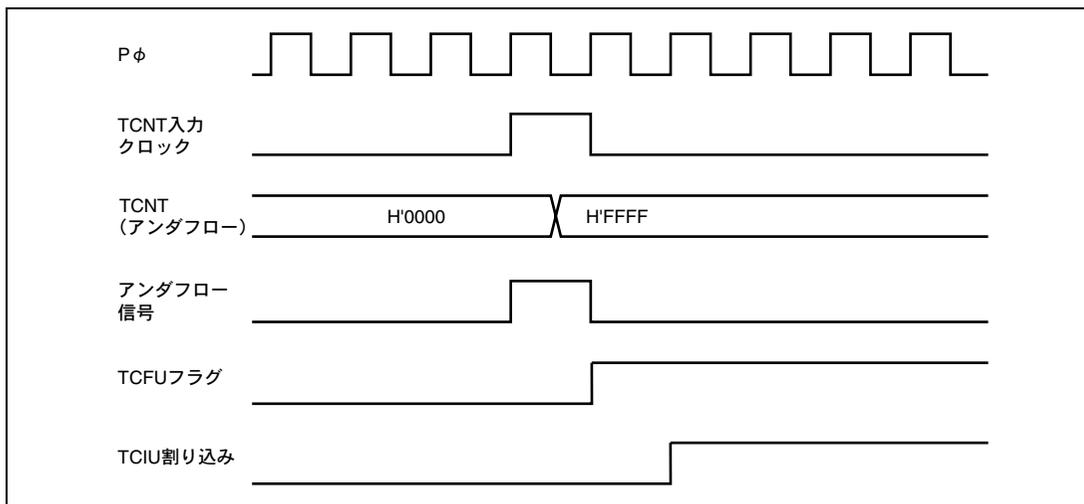


図 9.42 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図9.43に、DMACによるステータスフラグのクリアのタイミングを図9.44に示します。

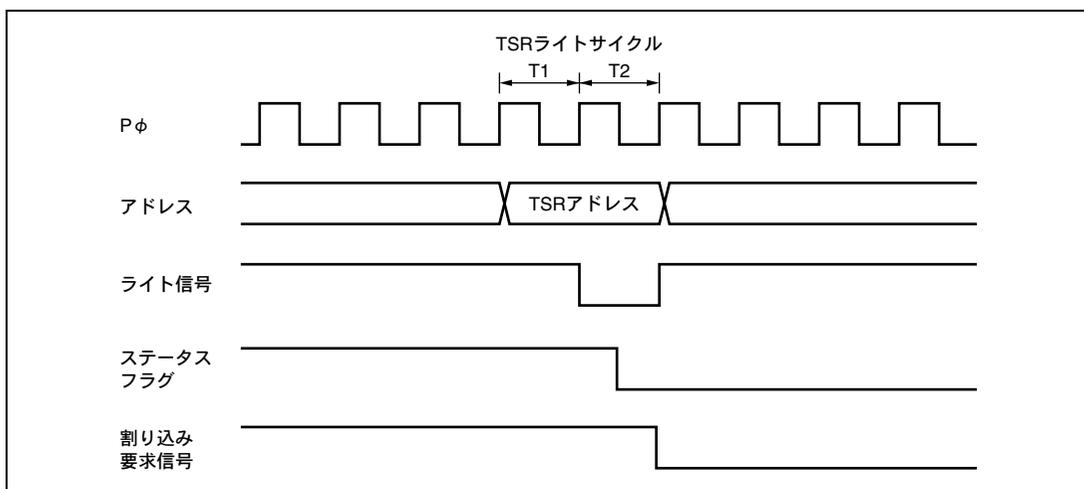


図 9.43 CPU によるステータスフラグのクリアタイミング

ステータスフラグ、割り込み要求信号のクリアは、図9.44に示すようにDMACの転送が開始されてからPφに同期して行われます。複数のDMACを起動し、ステータスフラグ、割り込み要求信号のクリアが重なった場合は、図9.45に示すよにクリアに最大5クロック(Pφ)かかります。

次の転送要求は、当該の転送が終了するまで、または転送開始からPφで5クロックの期間、どちらか長い方の期間マスクされます。

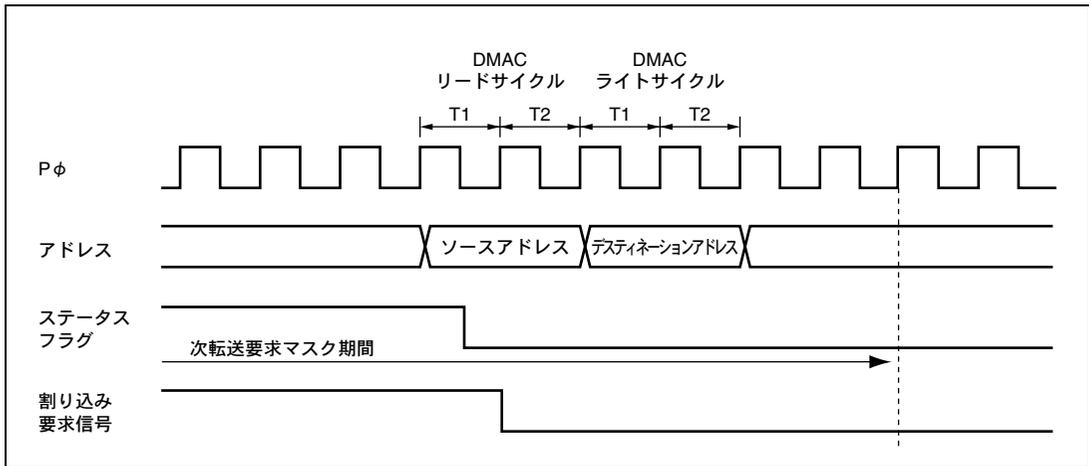


図 9.44 DMAC の起動によるステータスフラグのクリアタイミング例 (1)

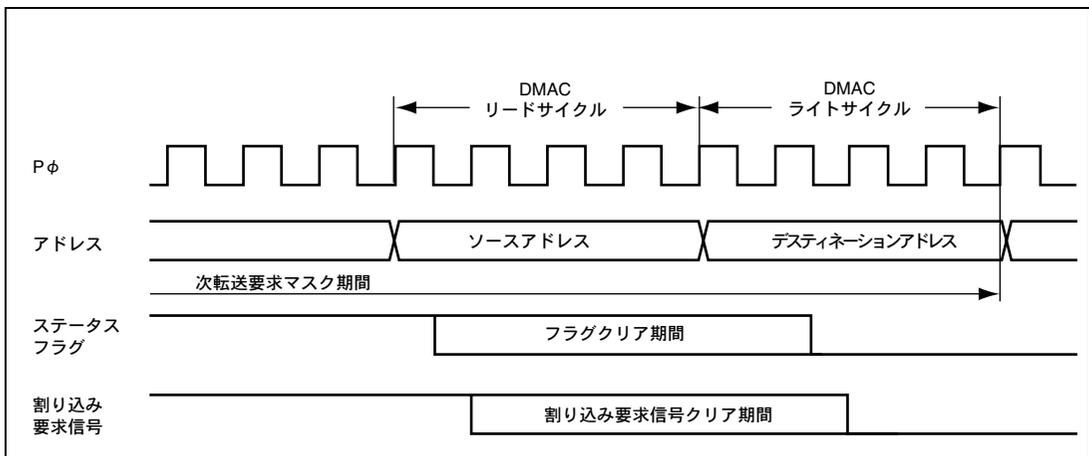


図 9.45 DMAC の起動によるステータスフラグのクリアタイミング例 (2)

9.9 使用上の注意事項

9.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止/許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

9.9.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 9.46 に示します。

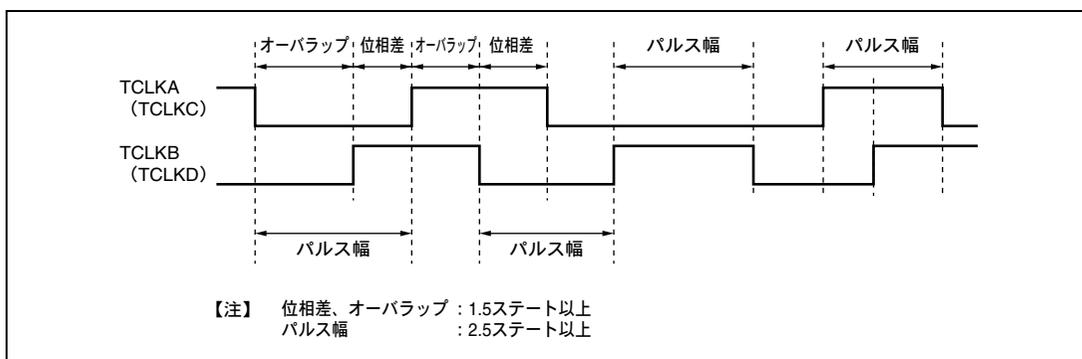


図 9.46 位相計数モード時の位相差、オーバーラップ、およびパルス幅

9.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

Pφ : 動作周波数

N : TGR の設定値

9.9.4 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。このタイミングを図 9.47 に示します。

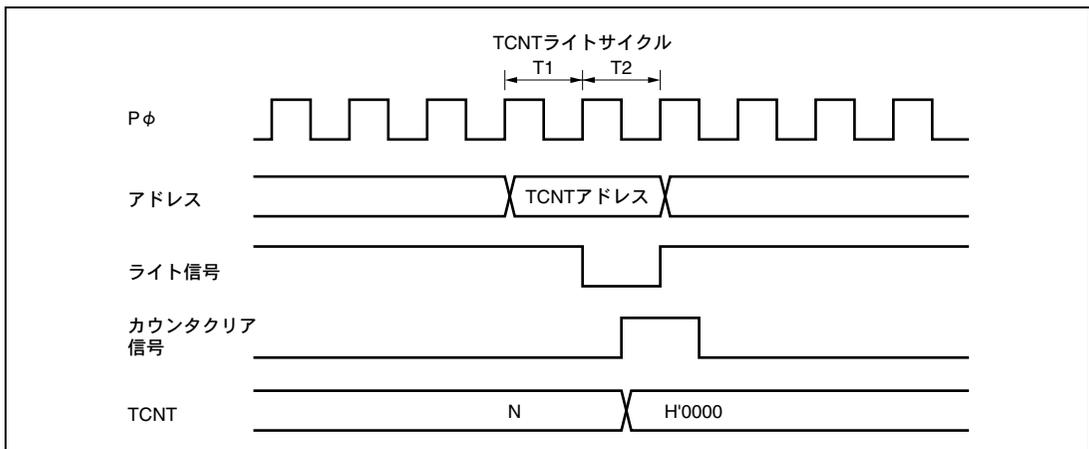


図 9.47 TCNT のライトとクリアの競合

9.9.5 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2ステートでカウントアップが発生してもカウントアップされず、TCNTへのライトが優先されます。このタイミングを図9.48に示します。

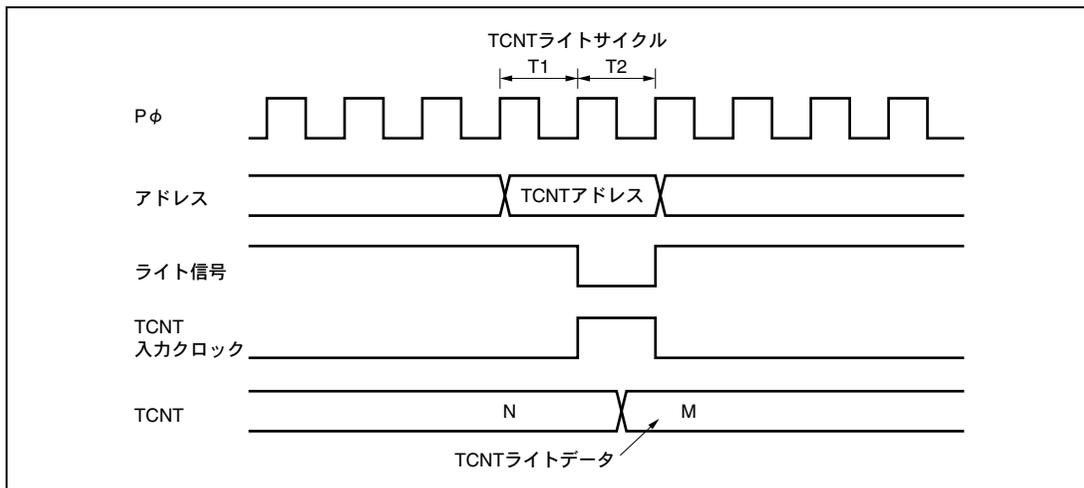


図 9.48 TCNTのライトとカウントアップの競合

9.9.6 TGRのライトとコンペアマッチの競合

TGRのライトサイクル中のT2ステートでコンペアマッチが発生してもTGRのライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図9.49に示します。

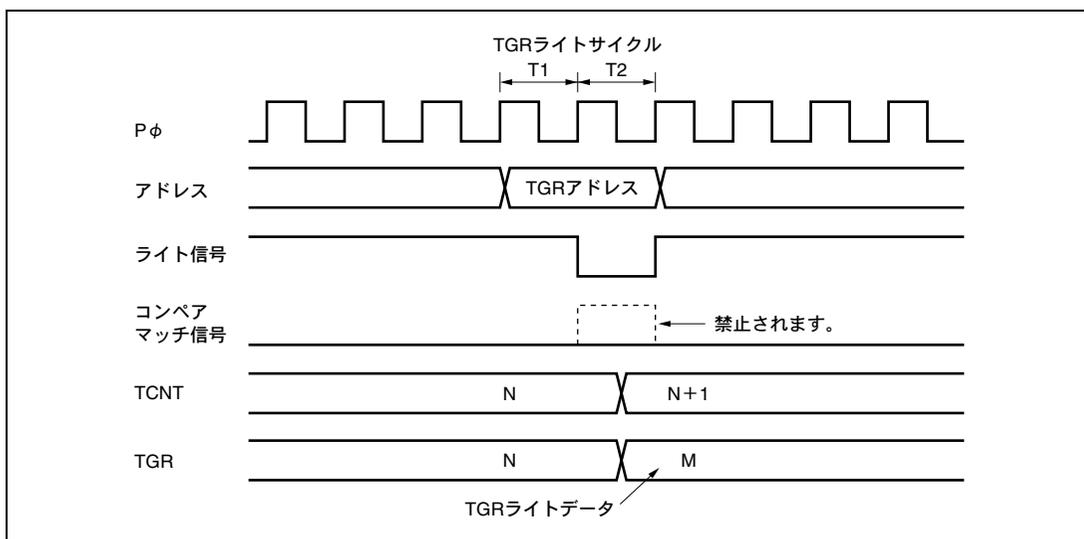


図 9.49 TGRのライトとコンペアマッチの競合

9.9.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 9.50 に示します。

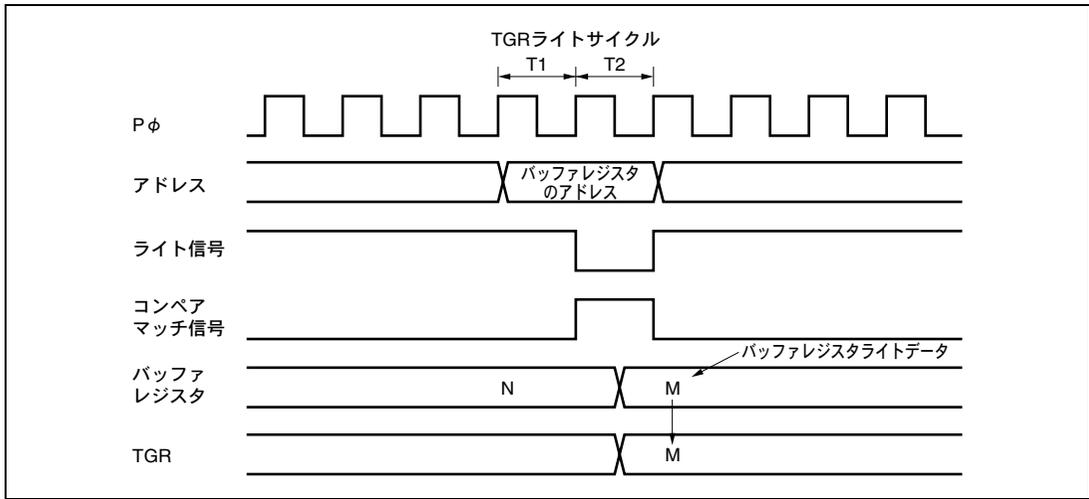


図 9.50 バッファレジスタのライトとコンペアマッチの競合

9.9.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 9.51 に示します。

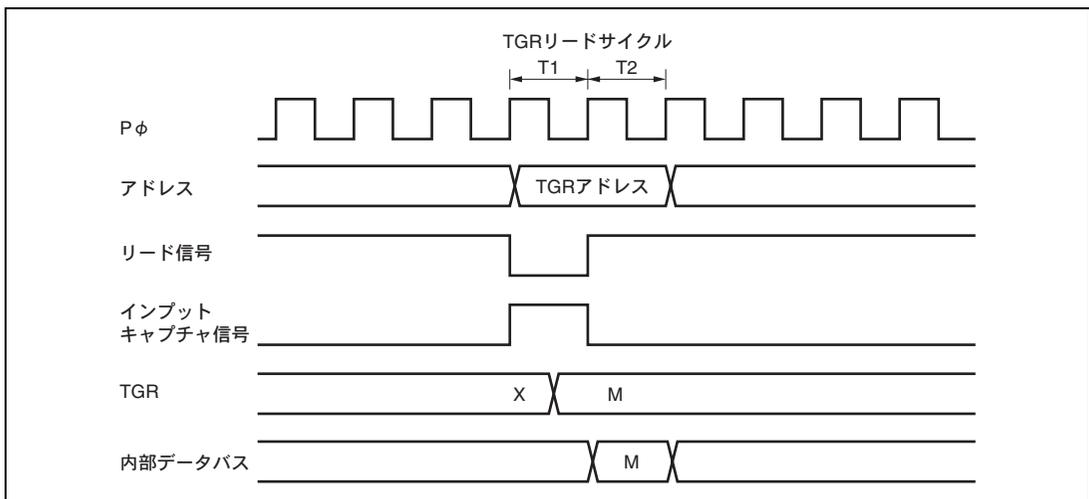


図 9.51 TGR のリードとインプットキャプチャの競合

9.9.9 TGRのライトと入力キャプチャの競合

TGRのライトサイクル中のT2ステートで入力キャプチャ信号が発生すると、TGRへのライトは行われず、入力キャプチャが優先されます。このタイミングを図9.52に示します。

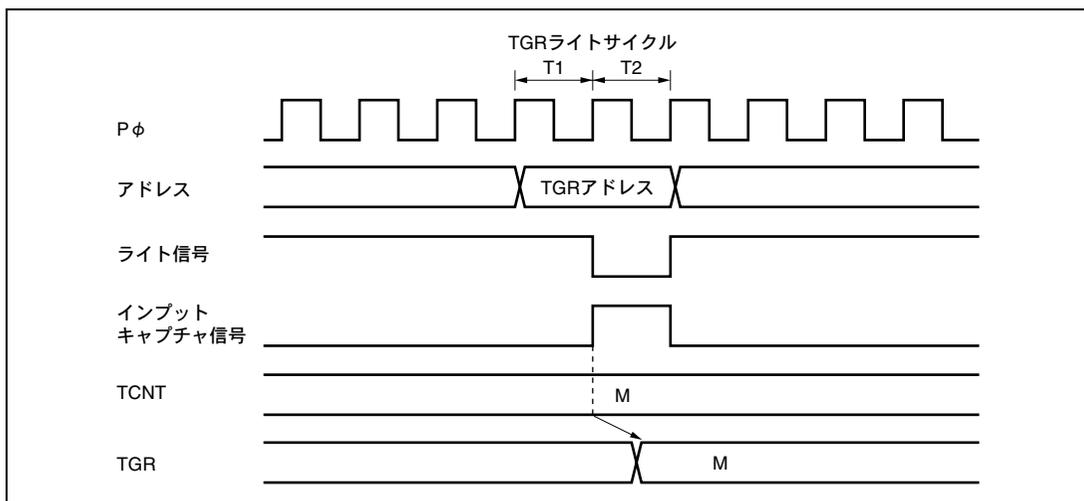


図 9.52 TGRのライトと入力キャプチャの競合

9.9.10 バッファレジスタのライトと入力キャプチャの競合

バッファレジスタのライトサイクル中のT2ステートで入力キャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図9.53に示します。

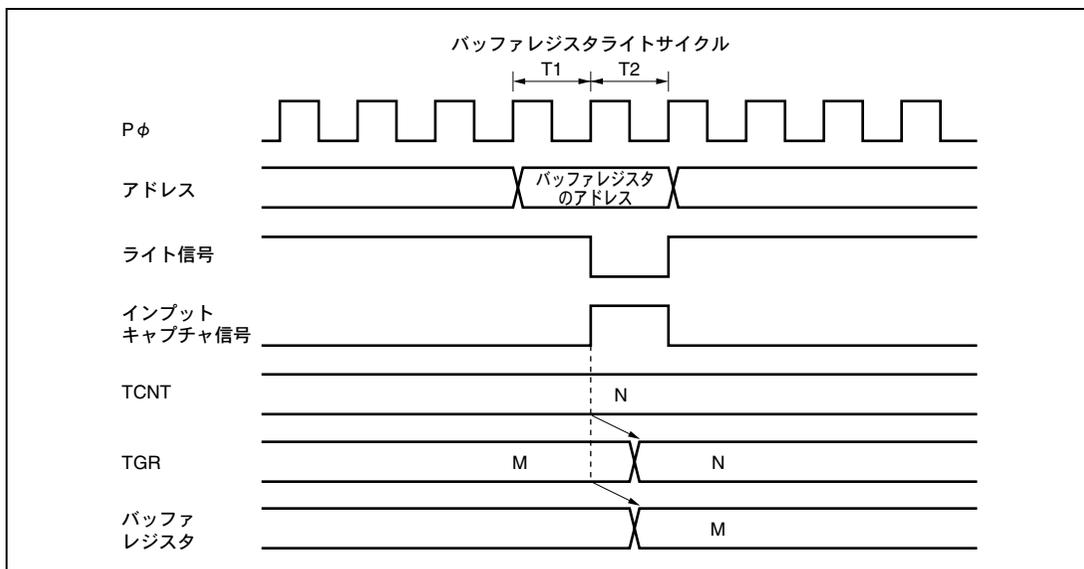


図 9.53 バッファレジスタのライトと入力キャプチャの競合

9.9.11 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 9.54 に示します。

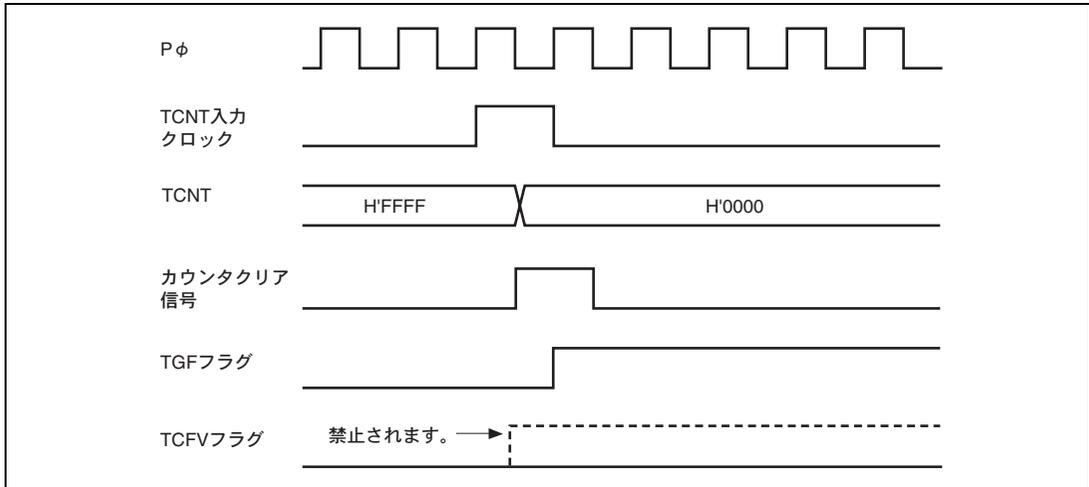


図 9.54 オーバフローとカウンタクリアの競合

9.9.12 TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 9.55 に示します。

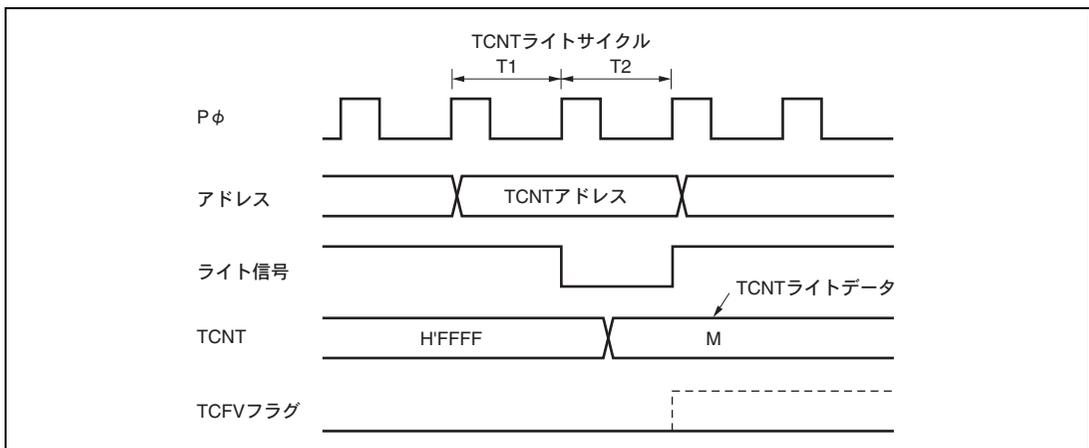


図 9.55 TCNT のライトとオーバフローの競合

9. 16 ビットタイマパルスユニット (TPU)

9.9.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

9.9.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、および DMAC の起動要因がクリアできません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

10. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出力します。PPG は 4 ビット単位のパルス出力グループ 3、2 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG のブロック図を図 10.1 に示します。

10.1 特長

- 出力データ8ビット
- 2系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- DMAコントローラ (DMAC) との連携動作可能
- 反転出力の指定可能
- モジュールストップモードの設定可能

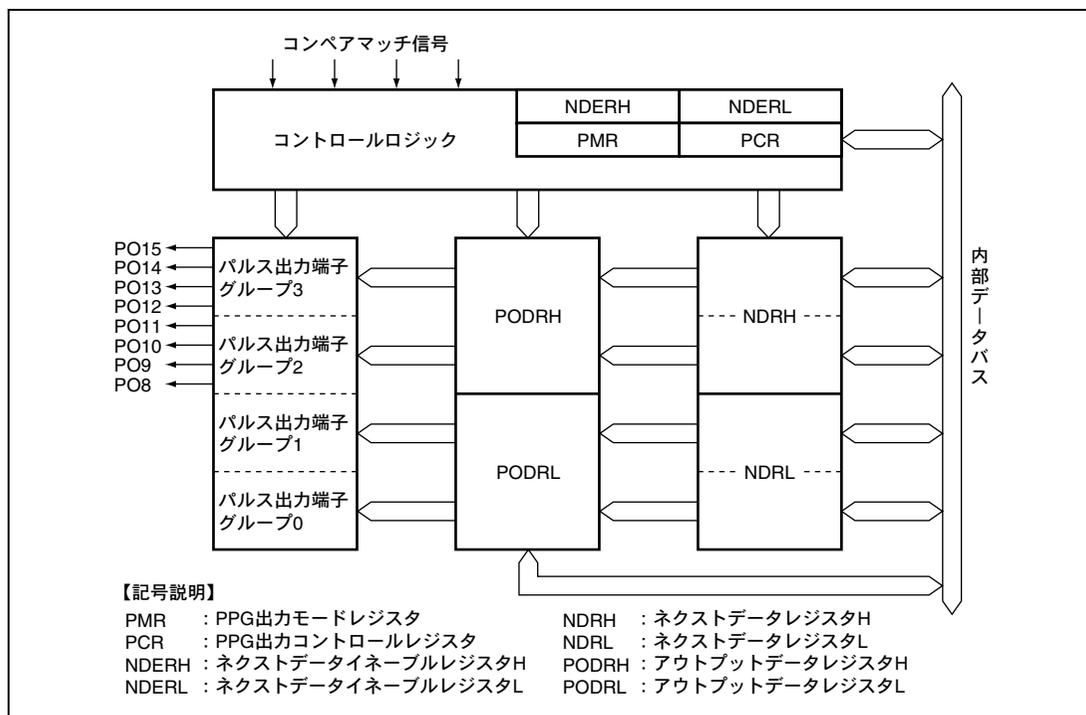


図 10.1 PPG のブロック図

10. プログラマブルパルスジェネレータ (PPG)

10.2 入出力端子

PPG には表 10.1 の入出力端子があります。

表 10.1 PPG の入出力端子

端子名	入出力	機 能
PO15	出力	パルス出力グループ 3 のパルス出力
PO14	出力	
PO13	出力	
PO12	出力	
PO11	出力	パルス出力グループ 2 のパルス出力
PO10	出力	
PO9	出力	
PO8	出力	

10.3 レジスタの説明

PPG には以下のレジスタがあります。

- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)
- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)

10.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は、PPG によるパルス出力端子をビット単位で選択します。

・ NDERH

ビット	7	6	5	4	3	2	1	0
ビット名	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ NDERL

ビット	7	6	5	4	3	2	1	0
ビット名	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

• NDERH

ビット	ビット名	初期値	R/W	説 明
7	NDER15	0	R/W	ネクストデータイネーブル 15~8 1 にセットすると選択された出力トリガによって NDRH の対応するビットから PODRH ヘデータが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

• NDERL

ビット	ビット名	初期値	R/W	説 明
7	NDER7	0	R/W	ネクストデータイネーブル 7~0 1 にセットすると選択された出力トリガによって NDRL の対応するビットから PODRL ヘデータが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
6	NDER6	0	R/W	
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

10. プログラマブルパルスジェネレータ (PPG)

10.3.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH、PODRL は、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

・PODRH

ビット	7	6	5	4	3	2	1	0
ビット名	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・PODRL

ビット	7	6	5	4	3	2	1	0
ビット名	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

• PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8 NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD14	0	R/W	
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

• PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0 NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD6	0	R/W	
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

10.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

・ NDRH

ビット	7	6	5	4	3	2	1	0
ビット名	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ NDRL

ビット	7	6	5	4	3	2	1	0
ビット名	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

• NDRH

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	—	すべて 1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

10. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8
2	NDR10	0	R/W	PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
1	NDR9	0	R/W	
0	NDR8	0	R/W	

- NDRL

パルス出力グループ0、1の出力トリガを同一にすると、以下のように8ビットすべて同一アドレスにマッピングされ、8ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0
6	NDR6	0	R/W	PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ0とパルス出力グループ1で異なる出力トリガを選択すると、以下のように上位4ビットと下位4ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4
6	NDR6	0	R/W	PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	—	すべて1	R	

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0
2	NDR2	0	R/W	PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
1	NDR1	0	R/W	
0	NDR0	0	R/W	

10.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は、パルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「10.3.5 PPG 出力モードレジスタ (PMR)」を併せて参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	G3CMS1	G3CMS0	G2CMS1	G2CMS0	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	G3CMS1	1	R/W	グループ3 コンペアマッチセレクト 1, 0 パルス出力グループ3 の出力トリガを選択します。 00: TPU チャンネル0 のコンペアマッチ 01: TPU チャンネル1 のコンペアマッチ 10: TPU チャンネル2 のコンペアマッチ 11: TPU チャンネル3 のコンペアマッチ
6	G3CMS0	1	R/W	
5	G2CMS1	1	R/W	グループ2 コンペアマッチセレクト 1, 0 パルス出力グループ2 の出力トリガを選択します。 00: TPU チャンネル0 のコンペアマッチ 01: TPU チャンネル1 のコンペアマッチ 10: TPU チャンネル2 のコンペアマッチ 11: TPU チャンネル3 のコンペアマッチ
4	G2CMS0	1	R/W	
3~0	—	すべて1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。

10. プログラマブルパルスジェネレータ (PPG)

10.3.5 PPG 出力モードレジスタ (PMR)

PMR は、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「10.4.4 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	G3INV	G2INV	—	—	G3NOV	G2NOV	—	—
初期値:	1	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	—	1	R/W	リザーブビット
4	—	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
1	—	0	R/W	リザーブビット
0	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

10.4 動作説明

PPG 概要図を図 10.2 に示します。PPG は、NDR の対応するビットをそれぞれ 1 にセットすることによりパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 8 ビットのデータを順次出力することができます。

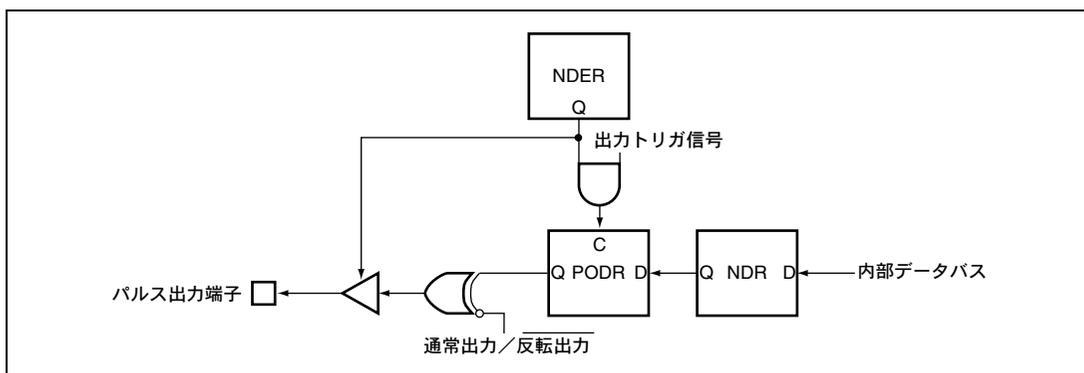


図 10.2 PPG 概要図

10.4.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 10.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

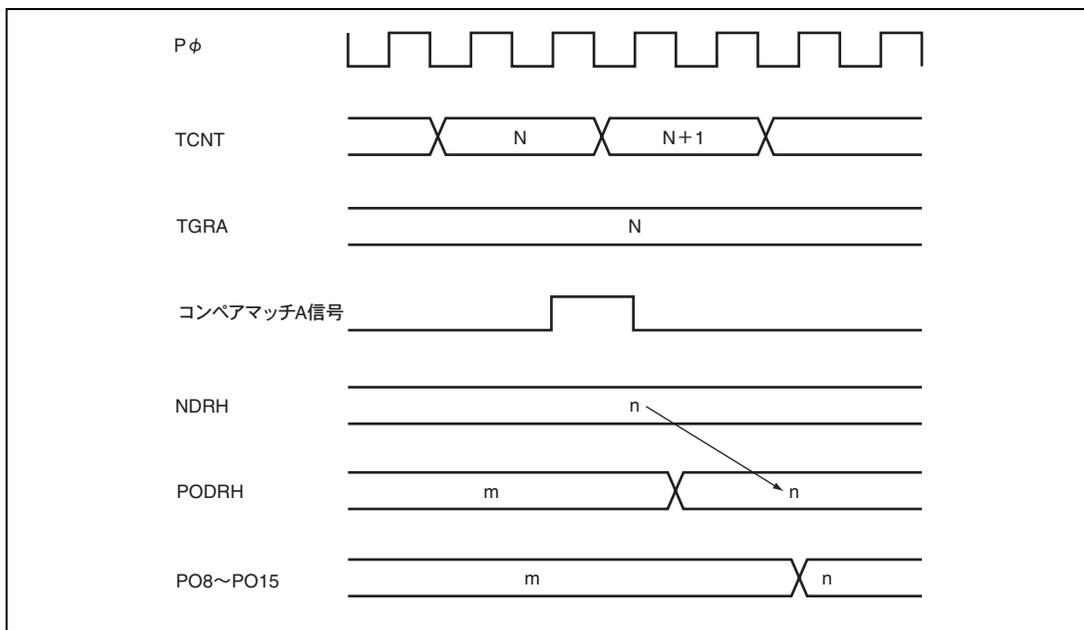


図 10.3 NDR の内容が転送・出力されるタイミング例

10.4.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 10.4 に示します。

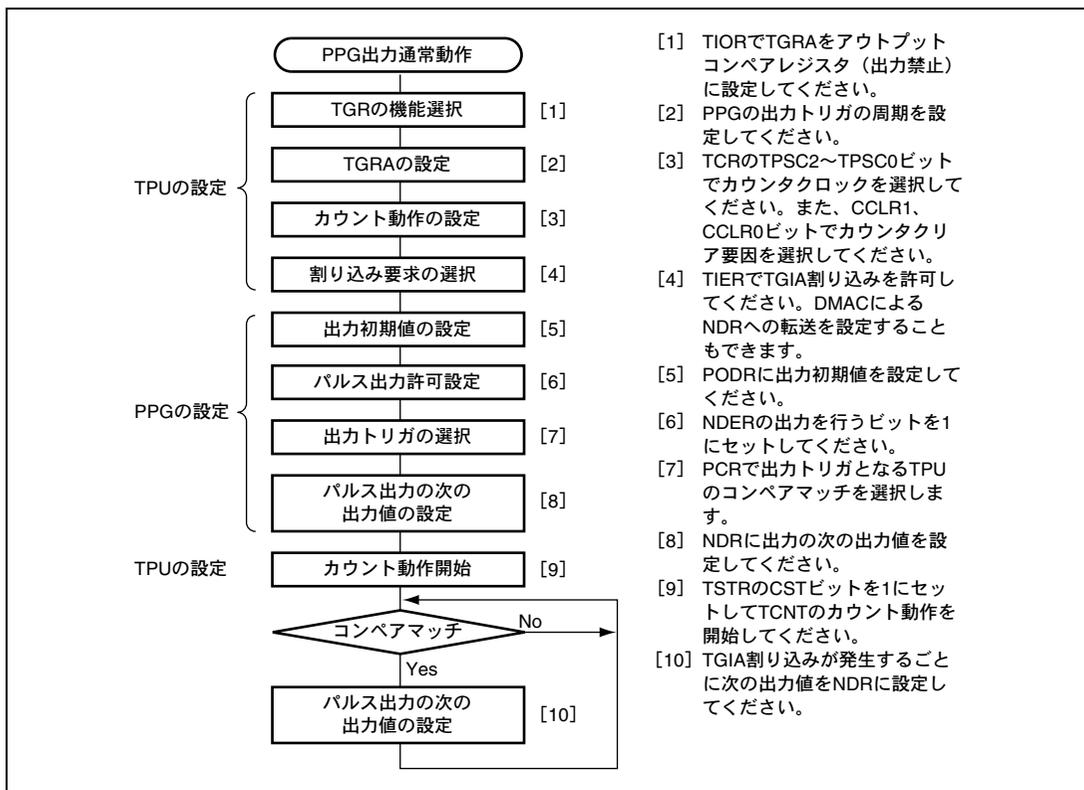


図 10.4 パルス出力通常動作の設定手順例

10.4.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図 10.5 に示します。

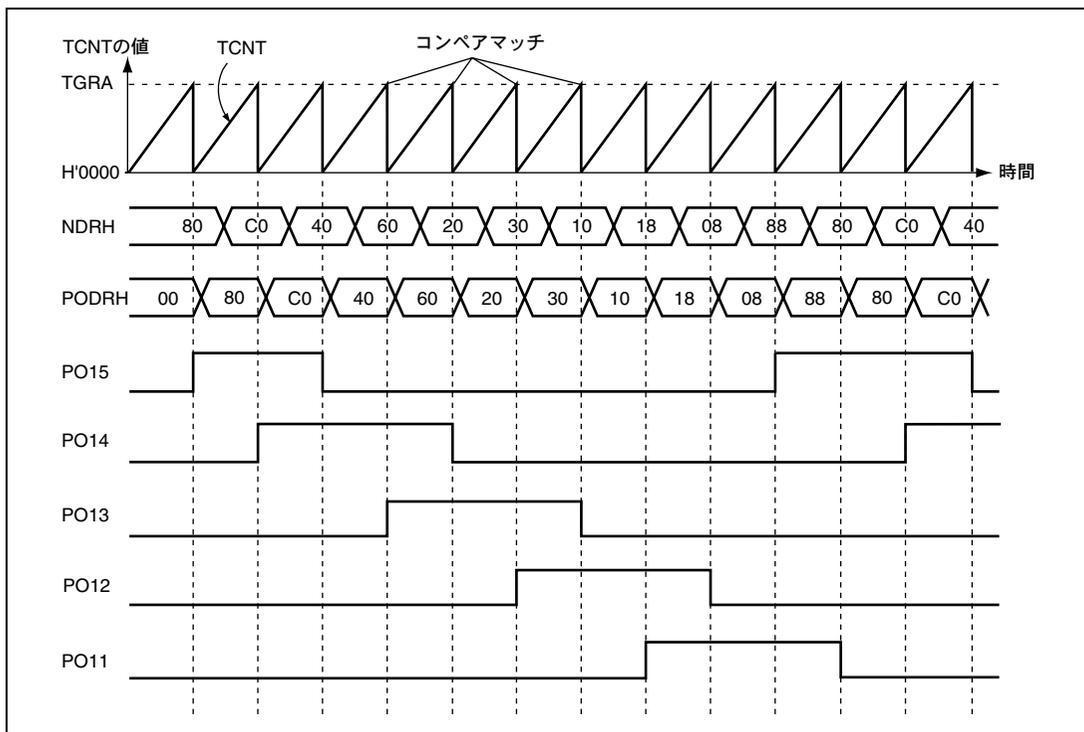


図 10.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。

TGIA割り込みでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

10.4.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時のNDR から PODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 10.6 に示します。

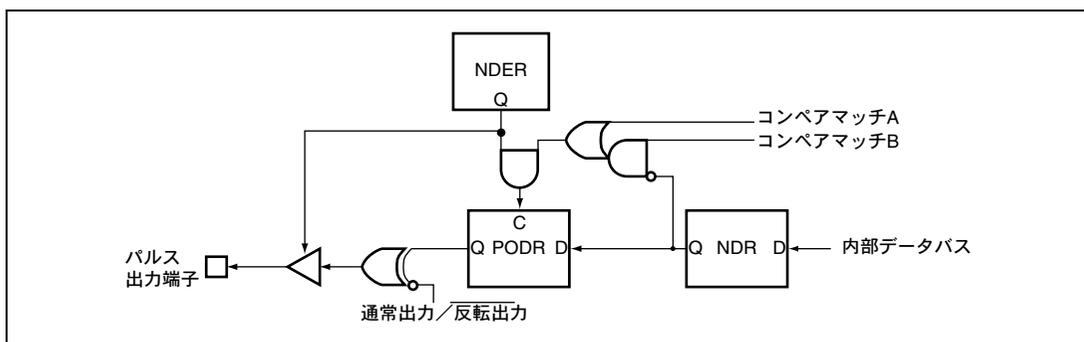


図 10.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで (ノンオーバーラップ期間) の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 10.7 に示します。

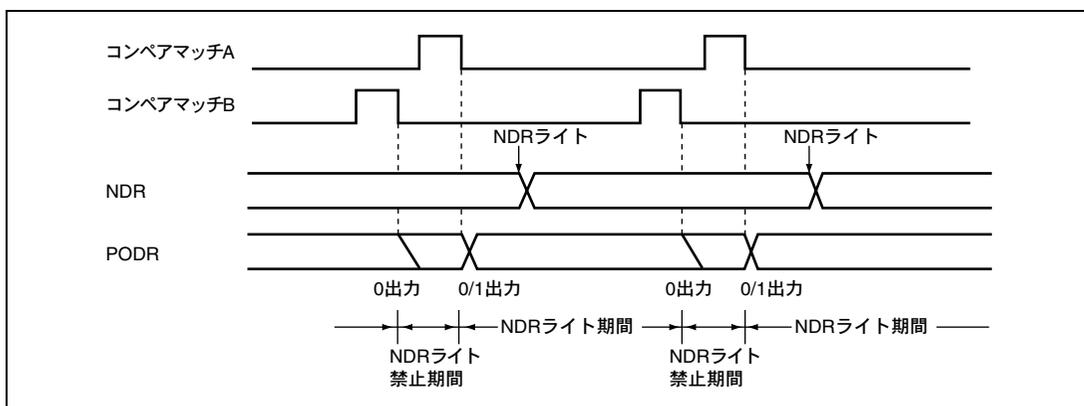


図 10.7 ノンオーバーラップ動作と NDR ライトタイミング

10.4.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 10.8 に示します。

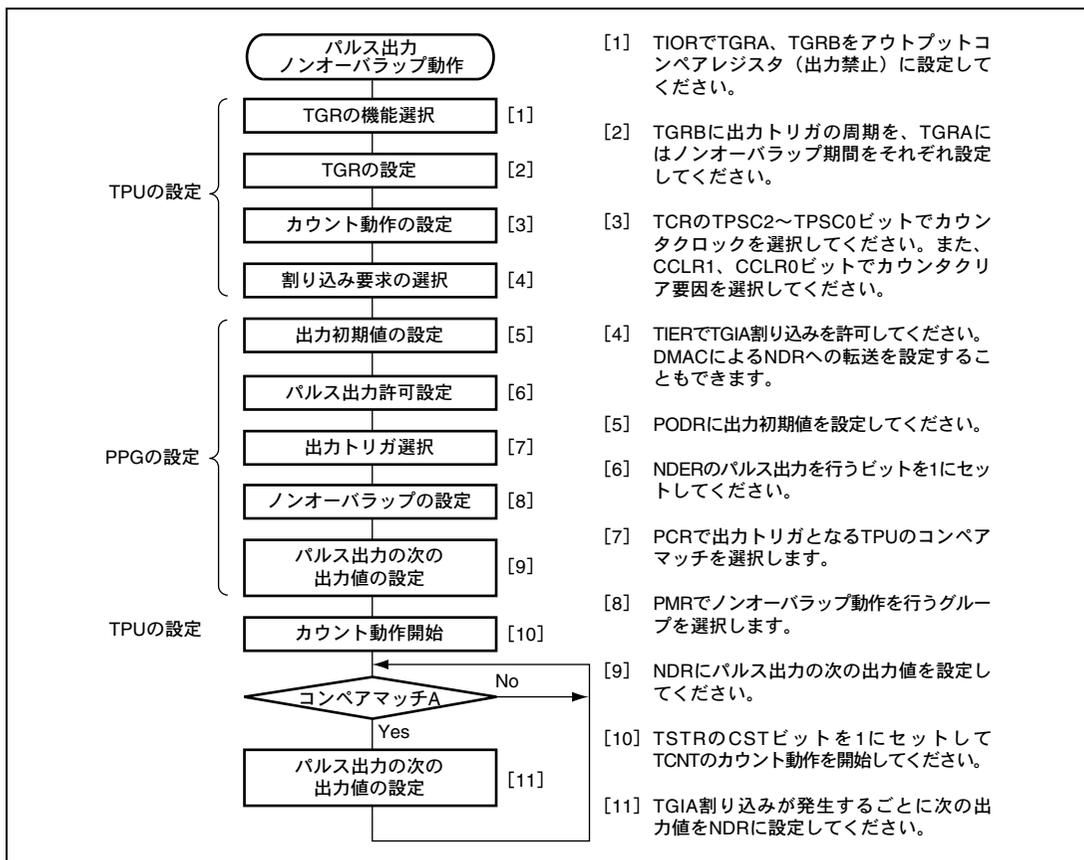


図 10.8 パルス出力ノンオーバーラップ動作の設定手順例

10.4.6 パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

パルス出力を使用して 4 相の相補ノンオーバーラップのパルスを出力させた例を図 10.9 に示します。

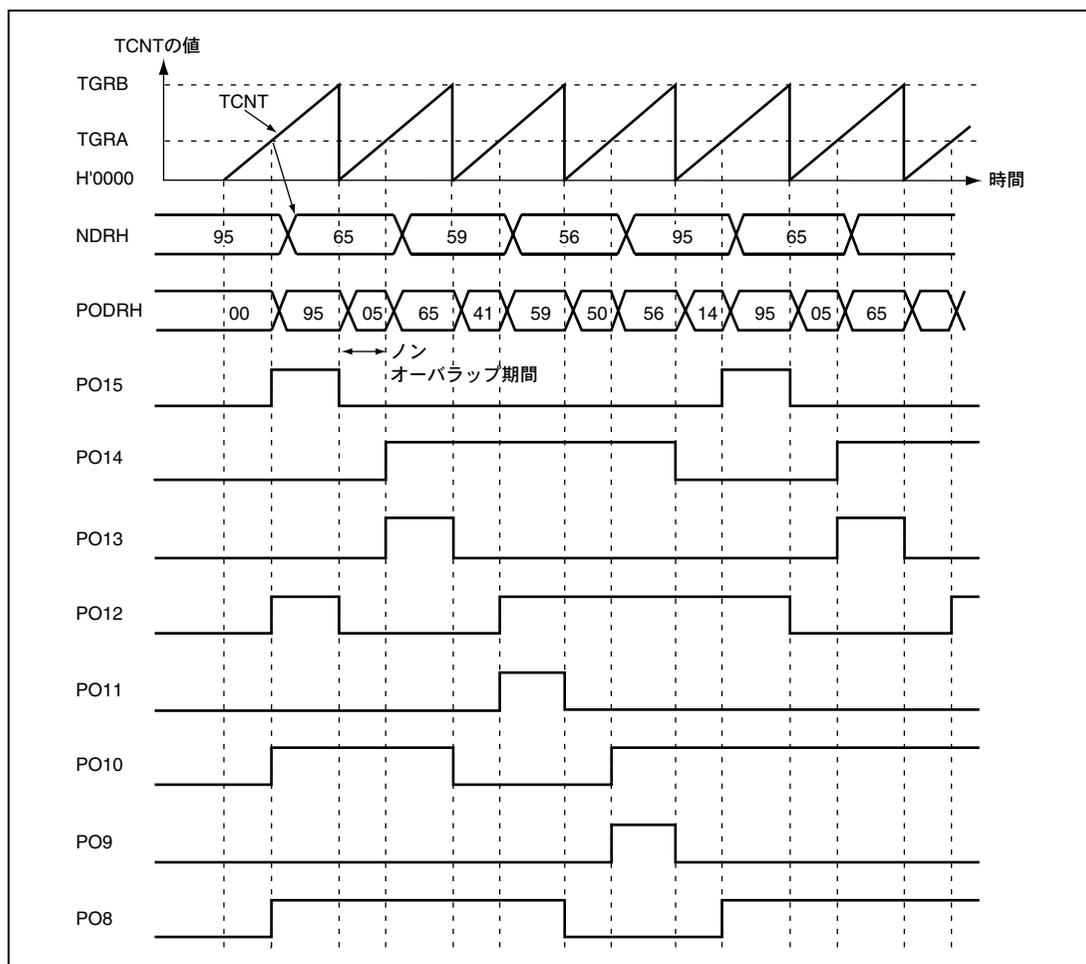


図 10.9 パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力)

10. プログラマブルパルスジェネレータ (PPG)

1. 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
2. NDERHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。
NDRHに出力データH'95をライトします。
3. TPU当該チャネルの動作を開始すると、TGRBのコンペアマッチで1出力→0出力の変化、TGRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はTGRAの設定値分遅延することになります）。
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
4. 以後、TGIA割り込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

10.4.7 パルス反転出力

PMR の G3INV、および G2INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 10.9 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 10.10 に示します。

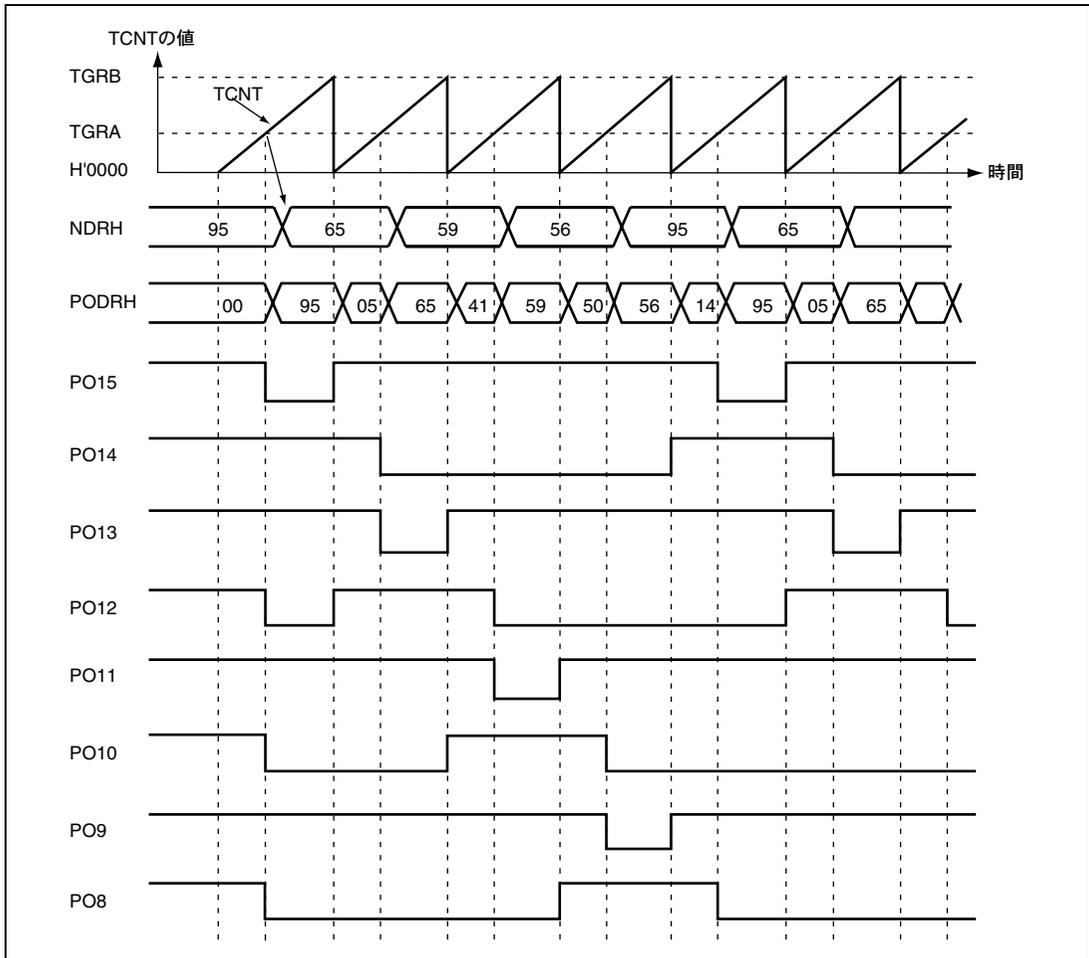


図 10.10 パルス反転出力例

10. プログラマブルパルスジェネレータ (PPG)

10.4.8 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 10.11 に示します。

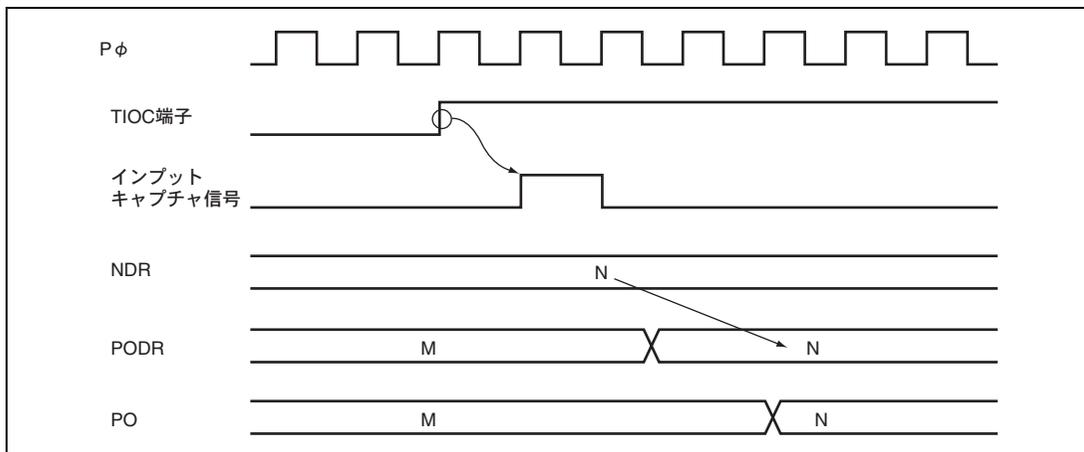


図 10.11 インพุットキャプチャによるパルス出力例

10.5 使用上の注意事項

10.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PPG の動作禁止/許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

10.5.2 パルス出力端子の動作

PO8～PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 11.1 に示します。

11.1 特長

- 8種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローしたときに、本LSI内部をリセット可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

11. ウォッチドッグタイマ (WDT)

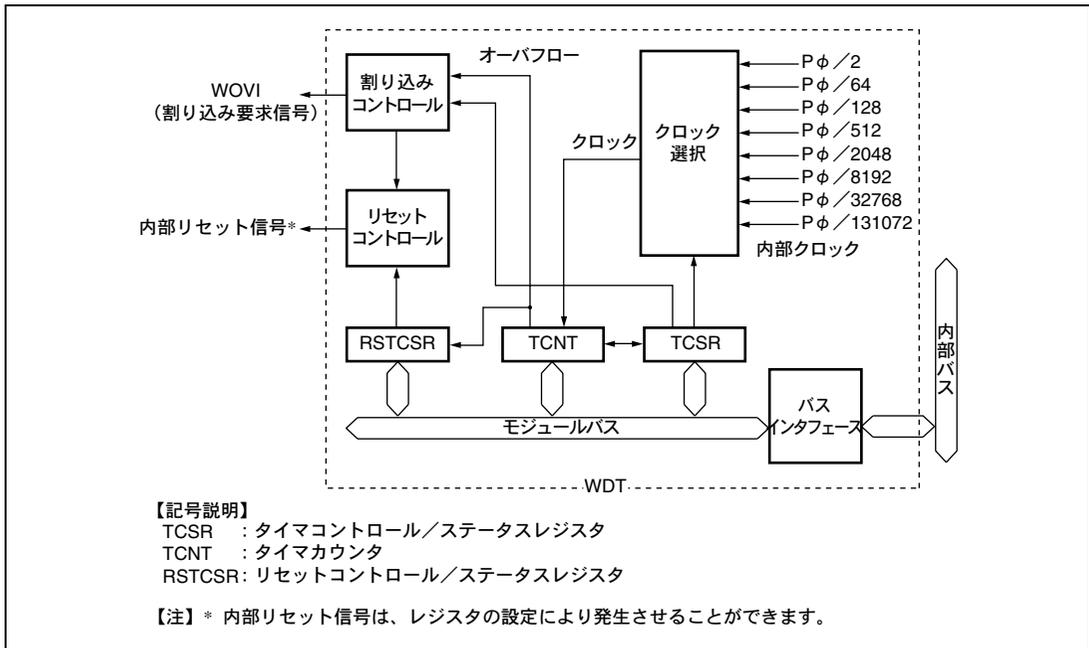


図 11.1 WDT のブロック図

11.2 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「11.5.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

11.2.1 タイマカウンタ (TCNT)

TCNTは、リード/ライト可能な8ビットのアップカウンタです。TCNTは、タイマコントロール/ステータスレジスタ (TCSR) のTMEビットが0のとき、H'00に初期化されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

11.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSRは、TCNTに入力するクロック、モードの選択などを行います。

ビット	7	6	5	4	3	2	1	0
ビット名	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>インターバルタイマモードでTCNTがオーバフローしたことを示します。フラグをクリアするための0クリアのみ可能です。</p> <p>[セット条件]</p> <p>インターバルタイマモードでTCNTがオーバフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1の状態では、TCSRをリード後、OVFに0をライトしたとき(割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください。)</p>

11. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。 0: インターバルタイマモード TCNT がオーバフローしたとき、インターバルタイマ割り込み (WOVI) を要求します。 1: ウォッチドッグタイマモード TCNT がオーバフロー、RSTE=1 のとき、LSI 内部をリセットします。
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4	—	1	R	リザーブビット
3	—	1	R	これらのビットはリードのみ有効で、ライトは無効です。
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。() 内は Pφ=20MHz のときのオーバフロー周期を表します。 000: クロック Pφ/2 (周期 25.6μs) 001: クロック Pφ/64 (周期 819.2μs) 010: クロック Pφ/128 (周期 1.6ms) 011: クロック Pφ/512 (周期 6.6ms) 100: クロック Pφ/2048 (周期 26.2ms) 101: クロック Pφ/8192 (周期 104.9ms) 110: クロック Pφ/32768 (周期 419.4ms) 111: クロック Pφ/131072 (周期 1.68s)
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されます。WDT のオーバフローによる内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE	—	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)*	R/W	R/W	R	R	R	R	R

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	<p>ウォッチドッグタイマオーバフローフラグ</p> <p>ウォッチドッグタイマモードで、TCNT がオーバフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。</p> <p>[セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー (H'FF→H'00) したとき</p> <p>[クリア条件] 1 の状態をリードした後、0 をライトしたとき</p>
6	RSTE	0	R/W	<p>リセットイネーブル</p> <p>ウォッチドッグタイマモードで TCNT のオーバフローにより LSI 内部をリセットするかどうかを選択します。</p> <p>0 : TCNT がオーバフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。)</p> <p>1 : TCNT がオーバフローすると内部がリセットされます。</p>
5	—	0	R/W	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。</p>
4~0	—	1	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11.3 動作説明

11.3.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の WT/\overline{IT} ビット=1 に、TME ビット=1 に設定してください。

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、ウォッチドッグタイマモードで、RSTCSR の RSTE ビットを 1 にセットすると、システムの暴走などにより TCNT の値が書き換えられずオーバーフローしたとき、本 LSI の内部をリセットする信号が発生します。システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバーフローを発生させないようにプログラムしてください。

TCNT がオーバーフローしたときに、 \overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

内部リセット信号は、Pφ で 519 ステートの間出力されます。

RSTE ビット=1 のときは本 LSI の内部をリセットする信号が発生し、システムクロックコントロールレジスタ (SCKCR) がリセットされるため、Pφ の入力クロックに対する倍率は初期値になります。

RSTE ビット=0 のときは内部をリセットする信号が発生せず、SCKCR の設定が保持されるため Pφ の入力クロックに対する倍率は変化しません。

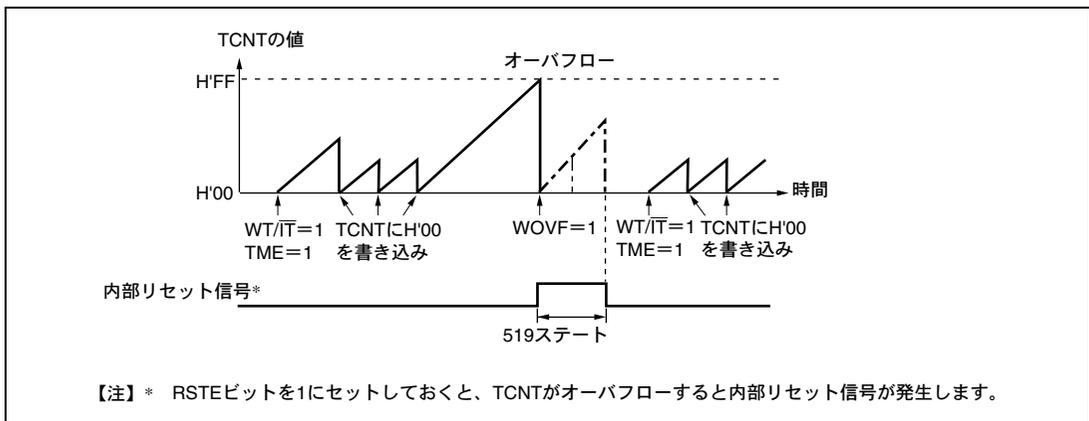


図 11.2 ウォッチドッグタイマモード時の動作

11.3.2 インターバルタイマモード

インターバルタイマとして使用するときには、TCSR の WT/\overline{IT} ビット=0 に、TME ビット=1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

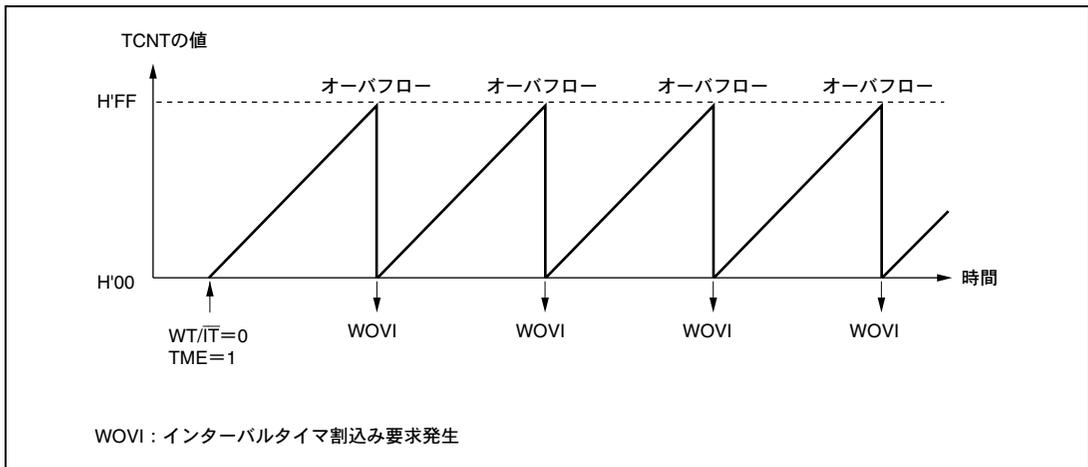


図 11.3 インターバルタイマモード時の動作

11. ウォッチドッグタイマ (WDT)

11.4 割り込み要因

インターバルタイムモード時、オーバフローによりインターバルタイム割り込み (WOVI) を発生します。インターバルタイム割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 11.1 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動
WOVI	TCNT のオーバフロー	OVF	不可

11.5 使用上の注意事項

11.5.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、 11.4 に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス (H'FFA6) に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合では、ライトの方法が異なります。このため、 11.4 に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、 11.4 に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

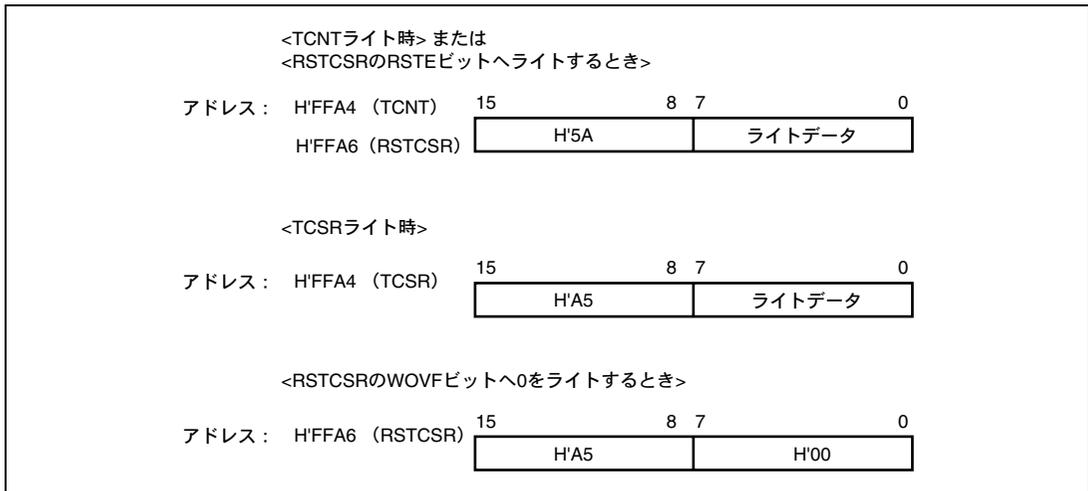


図 11.4 TCNT、TCSR、RSTCSR へのライト

(2) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス (H'FFA4) に、TCNT はアドレス (H'FFA5) に、RSTCSR はアドレス (H'FFA7) にそれぞれ割り当てられています。

11.5.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 11.5 に示します。

11. ウォッチドッグタイマ (WDT)

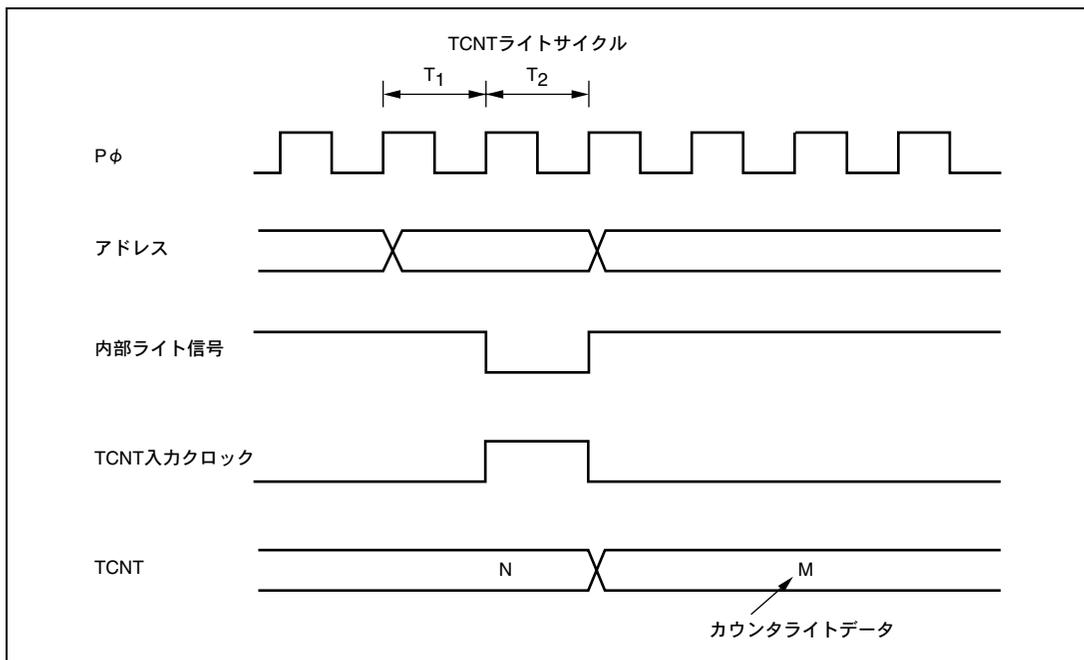


図 11.5 TCNT のライトとカウントアップの競合

11.5.3 CKS2~CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2~CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.5.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

11.5.5 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移

ウォッチドッグタイマモードとして動作しているときは、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行してもソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。

ソフトウェアスタンバイモードに遷移させる場合は、WDT を停止させてから (TME ビットを 0 にクリア) SLEEP 命令を実行してください。

インターバルタイマモードとして動作している場合は、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行するとソフトウェアスタンバイモードに遷移します。

12. シリアルコミュニケーションインタフェース (SCI)

本 LSI は独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。SCI のブロック図を図 12.1 に示します。

12.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能 (スマートカードインタフェースを除く)
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDMACを起動することができます。
- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能
- ストップビット長 : 1ビット/2ビット選択可能
- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

12. シリアルコミュニケーションインタフェース (SCI)

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション／インパースコンベンションの両方をサポート

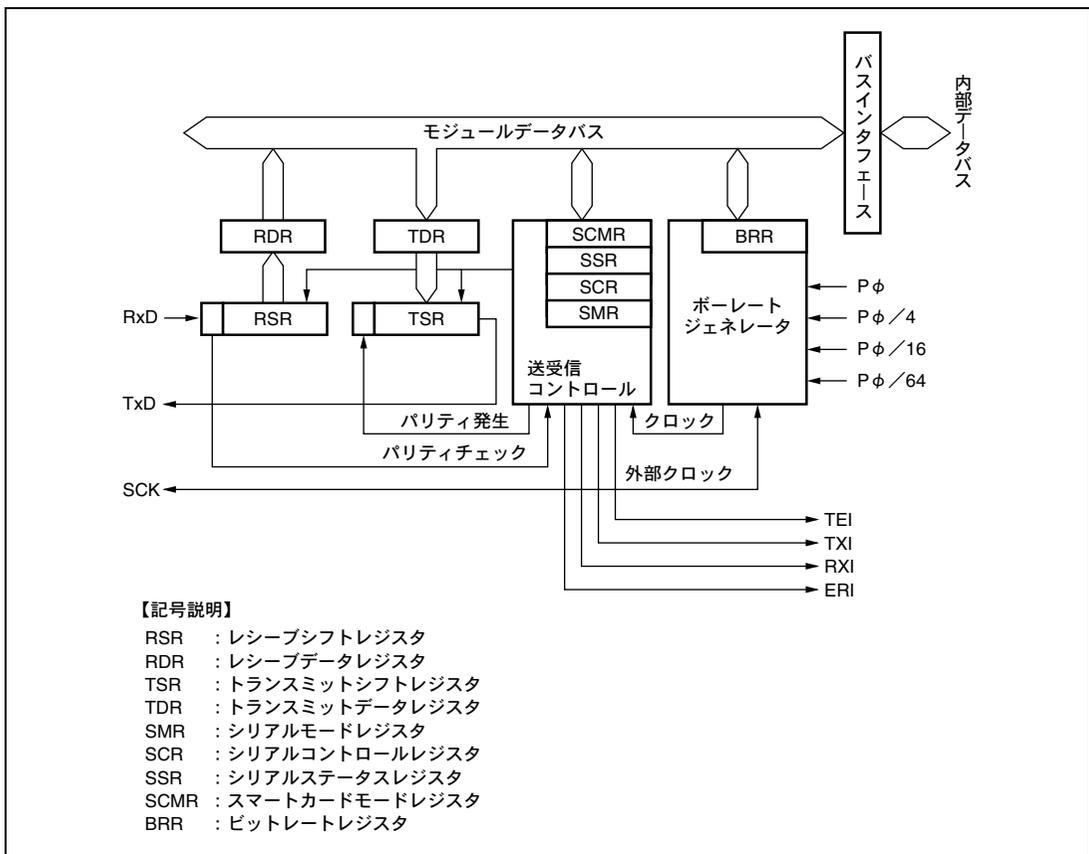


図 12.1 SCIのブロック図

12.2 入出力端子

SCIには、表 12.1 の入出力端子があります。

表 12.1 端子構成

チャンネル	端子名*	入出力	機能
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RxD3	入力	チャンネル3の受信データ入力端子
	TxD3	出力	チャンネル3の送信データ出力端子
4	SCK4	入出力	チャンネル4のクロック入出力端子
	RxD4	入力	チャンネル4の受信データ入力端子
	TxD4	出力	チャンネル4の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

12.3 レジスタの説明

SCIには以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

(1) チャンネル3

- レシーブシフトレジスタ_3 (RSR_3)
- トランスミットシフトレジスタ_3 (TSR_3)
- レシーブデータレジスタ_3 (RDR_3)
- トランスミットデータレジスタ_3 (TDR_3)
- シリアルモードレジスタ_3 (SMR_3)
- シリアルコントロールレジスタ_3 (SCR_3)
- シリアルステータスレジスタ_3 (SSR_3)
- スマートカードモードレジスタ_3 (SCMR_3)
- ビットレートレジスタ_3 (BRR_3)

(2) チャンネル4

- レシーブシフトレジスタ_4 (RSR_4)
- トランスミットシフトレジスタ_4 (TSR_4)
- レシーブデータレジスタ_4 (RDR_4)
- トランスミットデータレジスタ_4 (TDR_4)
- シリアルモードレジスタ_4 (SMR_4)
- シリアルコントロールレジスタ_4 (SCR_4)

12. シリアルコミュニケーションインタフェース (SCI)

- シリアルステータスレジスタ_4 (SSR_4)
- スマートカードモードレジスタ_4 (SCMR_4)
- ビットレートレジスタ_4 (BRR_4)

12.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

12.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

12.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

12.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

12.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12. シリアルコミュニケーションインタフェース (SCI)

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00: P ϕ クロック (n=0) 01: P ϕ /4 クロック (n=1) 10: P ϕ /16 クロック (n=2) 11: P ϕ /64 クロック (n=3) このビットの設定値とポーレートの関係については、「12.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「12.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

12. シリアルコミュニケーションインタフェース (SCI)

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「12.7.6 データ送信 (ブロック転送モードを除く)」、「12.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「12.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用法については「12.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1~0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「12.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「12.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : Pφクロック (n=0) 01 : Pφ/4 クロック (n=1) 10 : Pφ/16 クロック (n=2) 11 : Pφ/64 クロック (n=3) このビットの設定値とポーレートの関係については、「12.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「12.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

【注】 etu : Elementary Time Unit、1 ビットの転送期間

12. シリアルコミュニケーションインタフェース (SCI)

12.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「12.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を停止すると、SSR の TDRE フラグは 1 に固定されます。

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを 0 にして受信動作を停止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル（調歩同期式モードで SMR の MP = 1 のとき有効）</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「12.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求（SCR の TIE、RIE ビットが 1 にセットされている場合）と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1~0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <ul style="list-style-type: none"> 00：内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます) 01：内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します) 1X：外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。) <p>クロック同期式の場合</p> <ul style="list-style-type: none"> 0X：内部クロック (SCK 端子はクロック出力端子となります。) 1X：外部クロック (SCK 端子はクロック入力端子となります。)

【注】 X : Don't care

12. シリアルコミュニケーションインタフェース (SCI)

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。</p> <p>RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。</p> <p>このビットを 0 にして、送信動作を停止すると、SSR の TDRE フラグは 1 に固定されます。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の受信を行い、受信フォーマットを決定してください。</p> <p>このビットを 0 にして受信動作を停止しても、RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効)</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1~0 SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「12.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1X : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力
0	CKE0	0	R/W	

12.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

12. シリアルコミュニケーションインタフェース (SCI)

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) • TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) • RXI 割り込みにより DMAC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)*	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態で次のデータを受信したとき RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ストップビットが 0 のとき <p>2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることができません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)</p> <p>SCR の RE をクリアしても、FER は影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)</p> <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき。 • TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) • TXI 割り込み要求により DMAC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) • RXI 割り込みにより DMAC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説 明
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)</p> <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)</p> <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>

12. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE=0 かつ ESR=0 のとき • 1 バイトのデータを送信して一定期間後、ESR=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 2.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 1.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 1.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき。 • TXI 割り込み要求により DMAC で TDR へ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	SDIR	SINV	—	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。7ビットデータの場合はLSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合はSMRのO/E ビットを反転してください。 0: TDRの内容をそのまま送信、受信データをそのままRDRに格納 1: TDRの内容を反転して送信、受信データを反転してRDRに格納
1	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき1をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

12.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 12.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 12.2 BRR の設定値 N とビットレート B の関係

モード	BRR の設定値	誤差
調歩同期式	$N = \frac{P\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$N = \frac{P\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース	$N = \frac{P\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$	$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

$P\phi$: 動作周波数 (MHz)

n と S: 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 12.3 に、各動作周波数における設定可能な最大ビットレートを表 12.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 12.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 12.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「12.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 12.5、表 12.7 に外部クロック入力時の最大ビットレートを示します。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.3 ビットレートに対する BRR の設定例〔調歩同期モード〕 (1)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	12.288			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	159	0.00	2	181	0.16	2	191	0.00	2	207	0.16
300	2	79	0.00	2	90	0.16	2	95	0.00	2	103	0.16
600	1	159	0.00	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	9	0.00	-	-	-	0	11	0.00	0	12	0.16

12. シリアルコミュニケーションインタフェース (SCI)

表 12.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (2)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	25			30			33			35		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	154	0.23
150	3	80	-0.47	3	97	-0.35	3	106	0.39	3	113	-0.06
300	2	162	0.15	2	194	0.16	2	214	-0.07	2	227	0.00
600	2	80	-0.47	2	97	-0.35	2	106	0.39	2	113	0.00
1200	1	162	0.15	1	194	0.16	1	214	-0.07	1	227	0.00
2400	1	80	-0.47	1	97	-0.35	1	106	0.39	1	113	0.00
4800	0	162	0.15	0	194	0.16	0	214	-0.07	0	227	0.00
9600	0	80	-0.47	0	97	-0.35	0	106	0.39	0	113	0.00
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	56	0.00
31250	0	24	0.00	0	29	0	0	32	0	0	34	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	28	-1.78

12. シリアルコミュニケーションインタフェース (SCI)

表 12.4 各動作周波数における最大ビットレート (調歩同期式モード)

Pφ (MHz)	最大ビットレート (bit/s)	n	N	Pφ (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0	17.2032	537600	0	0
9.8304	307200	0	0	18	562500	0	0
10	312500	0	0	19.6608	614400	0	0
12	375000	0	0	20	625000	0	0
12.288	384000	0	0	25	781250	0	0
14	437500	0	0	30	937500	0	0
14.7456	460800	0	0	33	1031250	0	0
16	500000	0	0	35	1093750	0	0

表 12.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入カクロック (MHz)	最大ビットレート (bit/s)	Pφ (MHz)	外部入カクロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000	17.2032	4.3008	268800
9.8304	2.4576	153600	18	4.5000	281250
10	2.5000	156250	19.6608	4.9152	307200
12	3.0000	187500	20	5.0000	312500
12.288	3.0720	192000	25	6.2500	390625
14	3.5000	218750	30	7.5000	468750
14.7456	3.6864	230400	33	8.2500	515625
16	4.0000	250000	35	8.7500	546875

12. シリアルコミュニケーションインタフェース (SCI)

表 12.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	動作周波数 P ϕ (MHz)															
	8		10		16		20		25		30		33		35	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	136
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	218
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	108
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	218
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	87
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	0	174
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	87
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	34
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	—	—
1M	0	1			0	3	0	4	—	—	—	—	—	—	—	—
2.5M			0	0*			0	1	—	—	0	2	—	—	—	—
5M							0	0*	—	—	—	—	—	—	—	—

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

* : 連続送信／連続受信はできません。

表 12.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

P ϕ (MHz)	外部入カクロック (MHz)	最大ビットレート (bit/s)	P ϕ (MHz)	外部入カクロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	35	5.8336	5833625.0
18	3.0000	3000000.0			

12. シリアルコミュニケーションインタフェース (SCI)

表 12.8 ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	25.00			30.00			33.00			35.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	4	1.99

表 12.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)

P ϕ (MHz)	最大ビットレート (bit/s)	n	N	P ϕ (MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	18.00	24194	0	0
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
14.2848	19200	0	0	33.00	44355	0	0
16.00	21505	0	0	35.00	47043	0	0

12.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

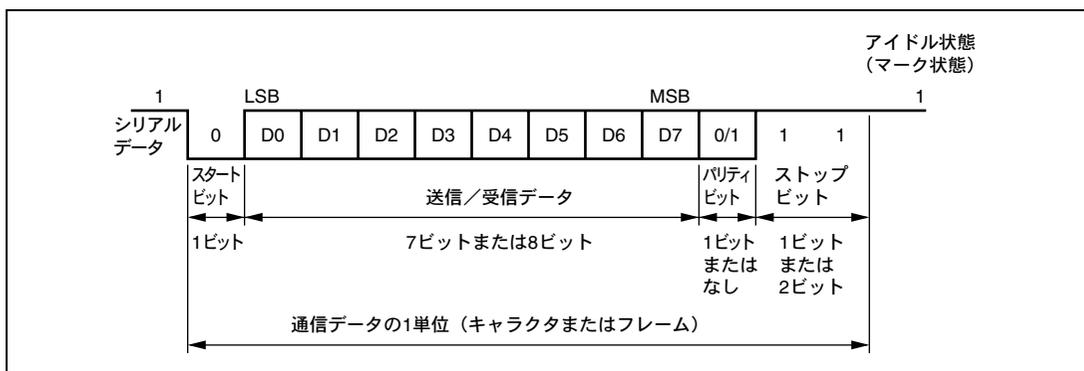


図 12.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

12.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 12.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「12.5 マルチプロセッサ通信機能」を参照してください。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.10 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

12.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 12.3 に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

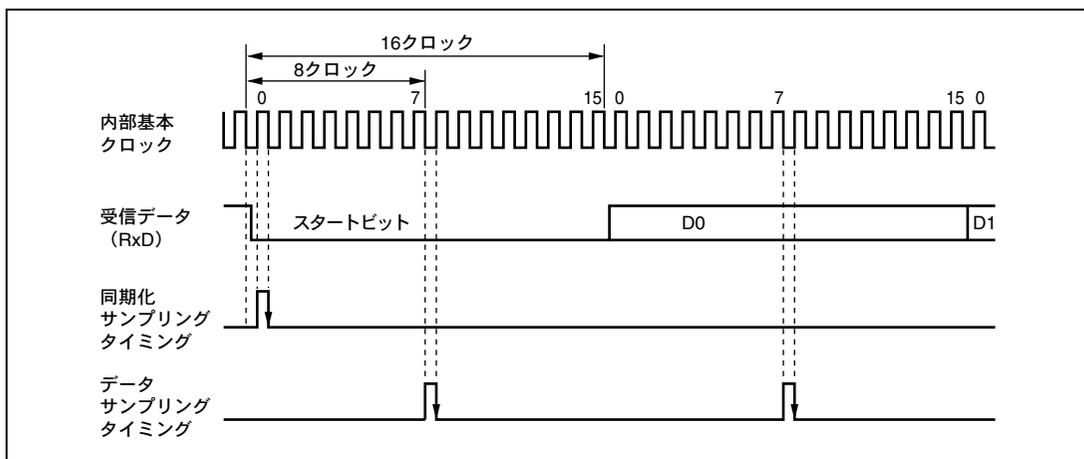


図 12.3 調歩同期式モードの受信データサンプリングタイミング

12.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図12.4に示すように送信データの中央でクロックが立ち上がります。

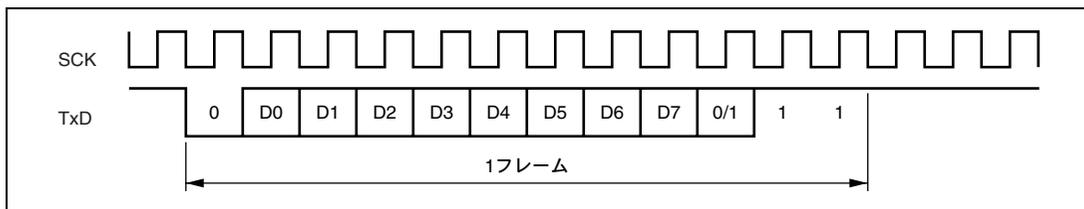


図 12.4 出カクロックと送信データの位相関係 (調歩同期式モード)

12.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 12.5 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

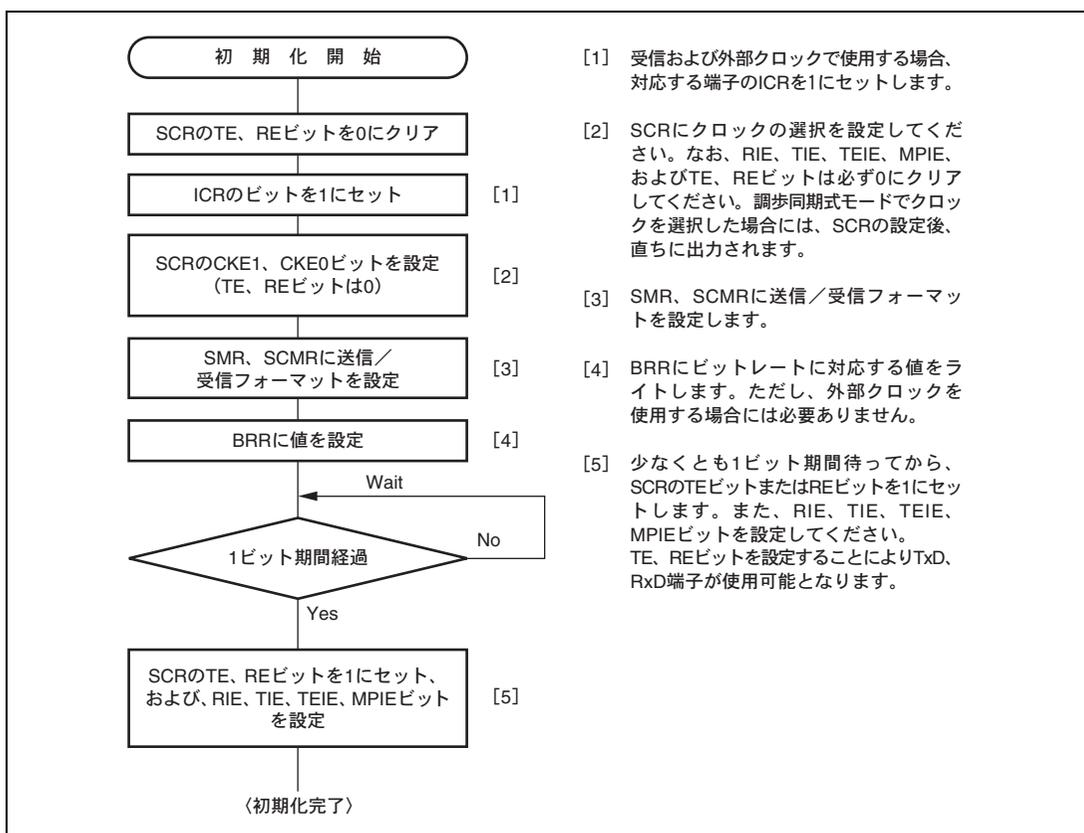


図 12.5 SCI の初期化フローチャートの例

12.4.5 シリアルデータ送信（調歩同期式）

図 12.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 12.7 にデータ送信のフローチャートの例を示します。

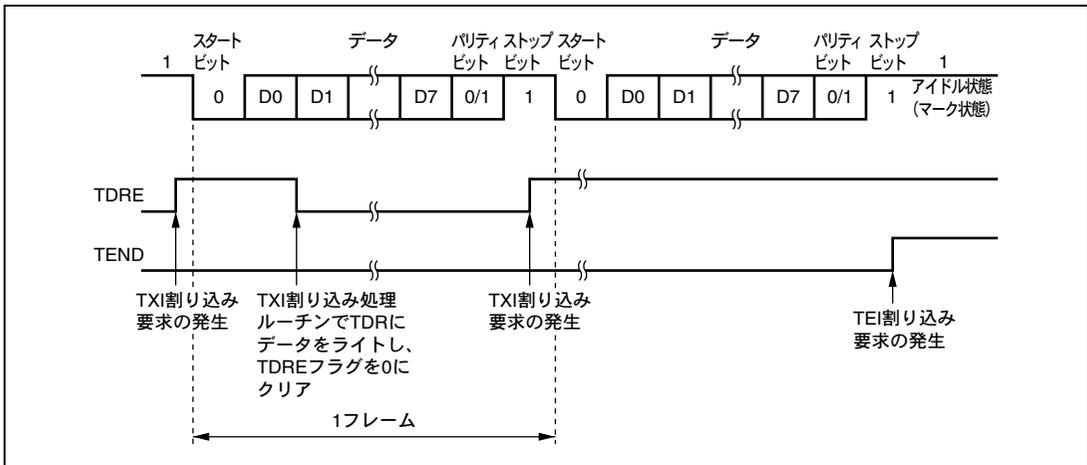


図 12.6 調歩同期式モードの送信時の動作例（8ビットデータ/パリティあり/1ストップビットの例）

12. シリアルコミュニケーションインタフェース (SCI)

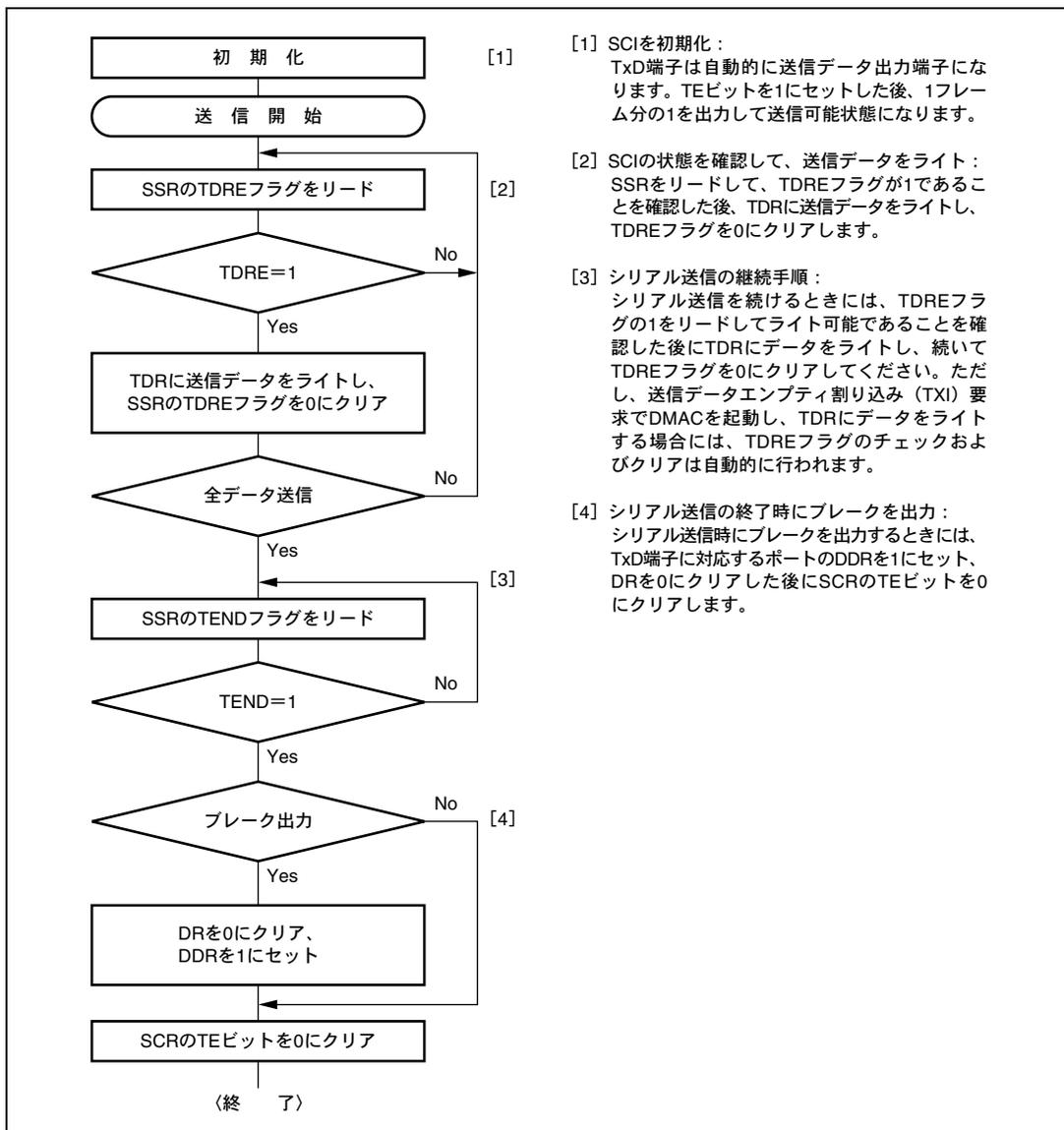


図 12.7 シリアル送信のフローチャートの例

12.4.6 シリアルデータ受信 (調歩同期式)

図 12.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

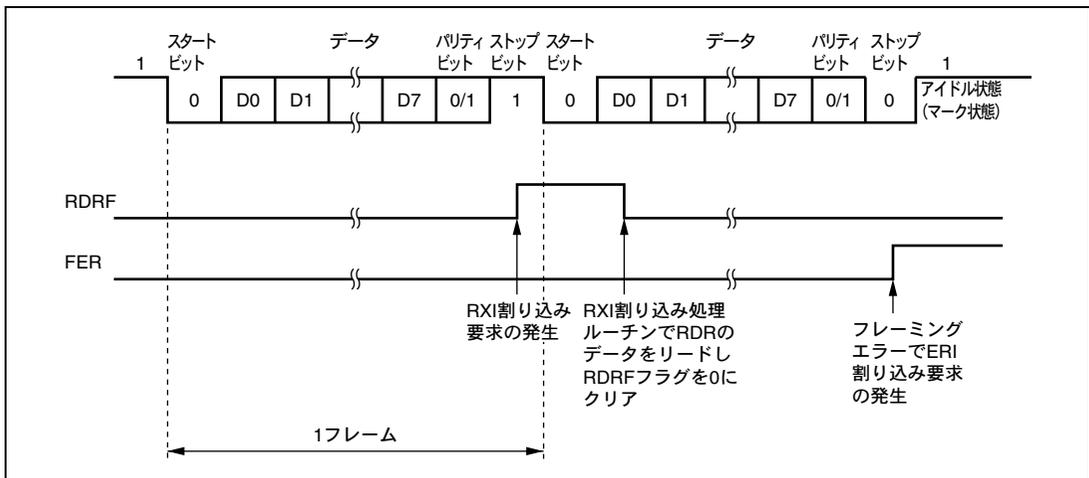


図 12.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 12.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.9 にデータ受信のためのフローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI)

表 12.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

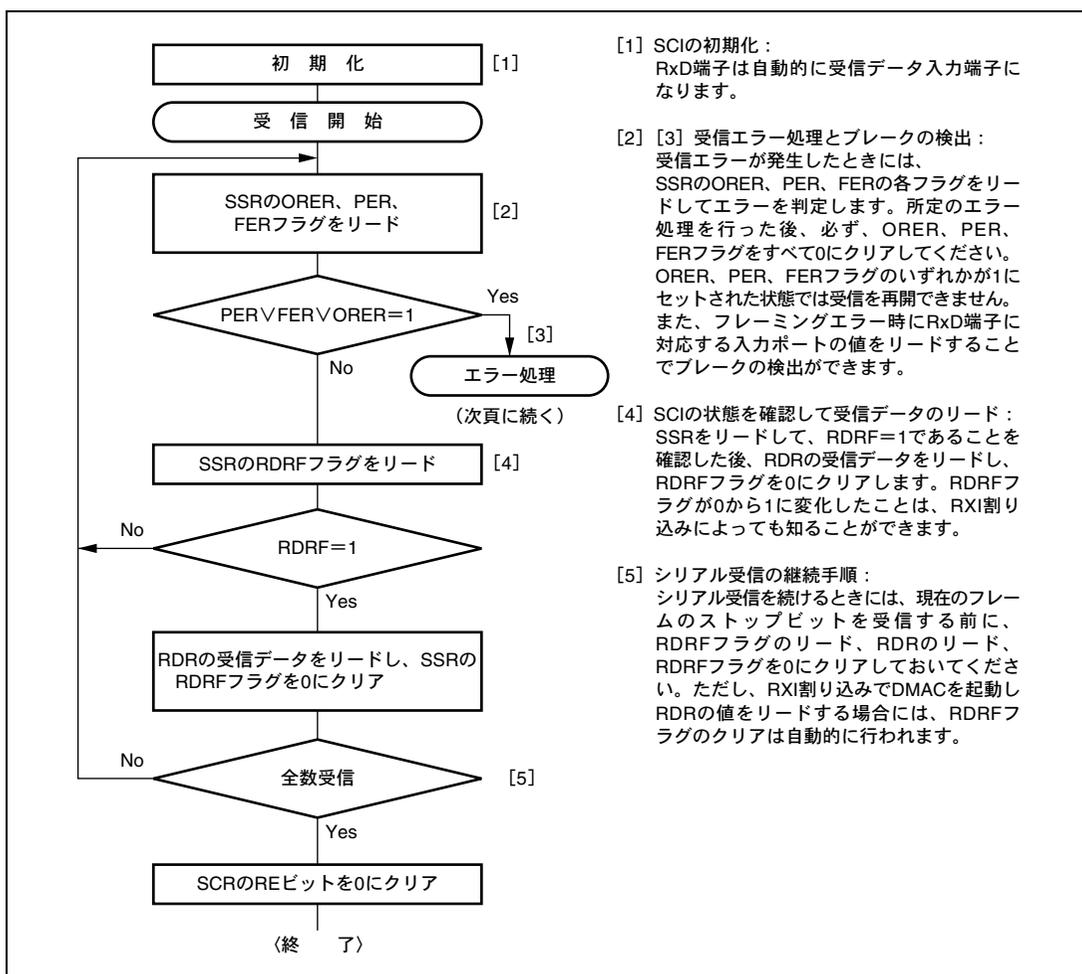


図 12.9 シリアル受信のフローチャートの例 (1)

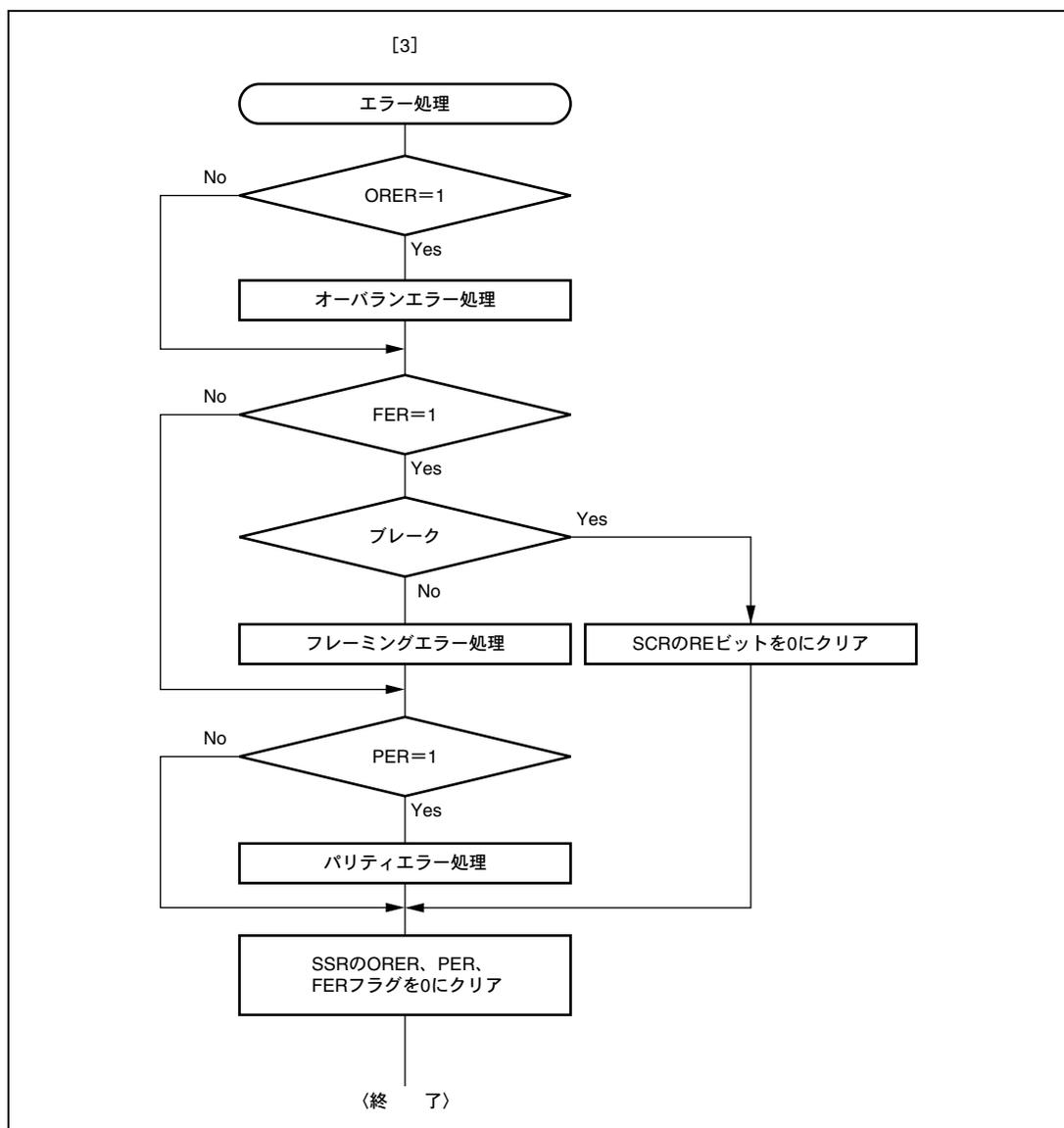


図 12.9 シリアル受信のフローチャートの例 (2)

12.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 12.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

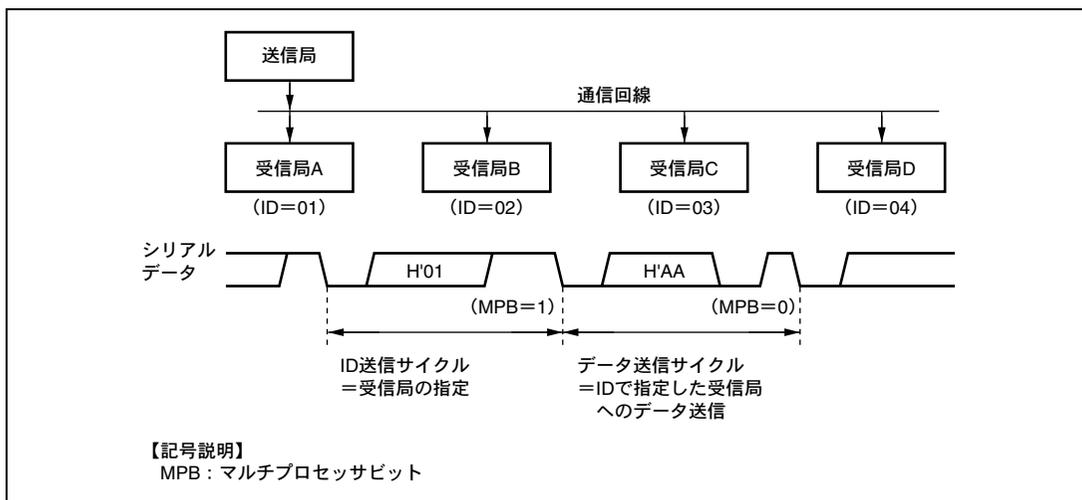


図 12.10 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

12.5.1 マルチプロセッサシリアルデータ送信

図 12.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

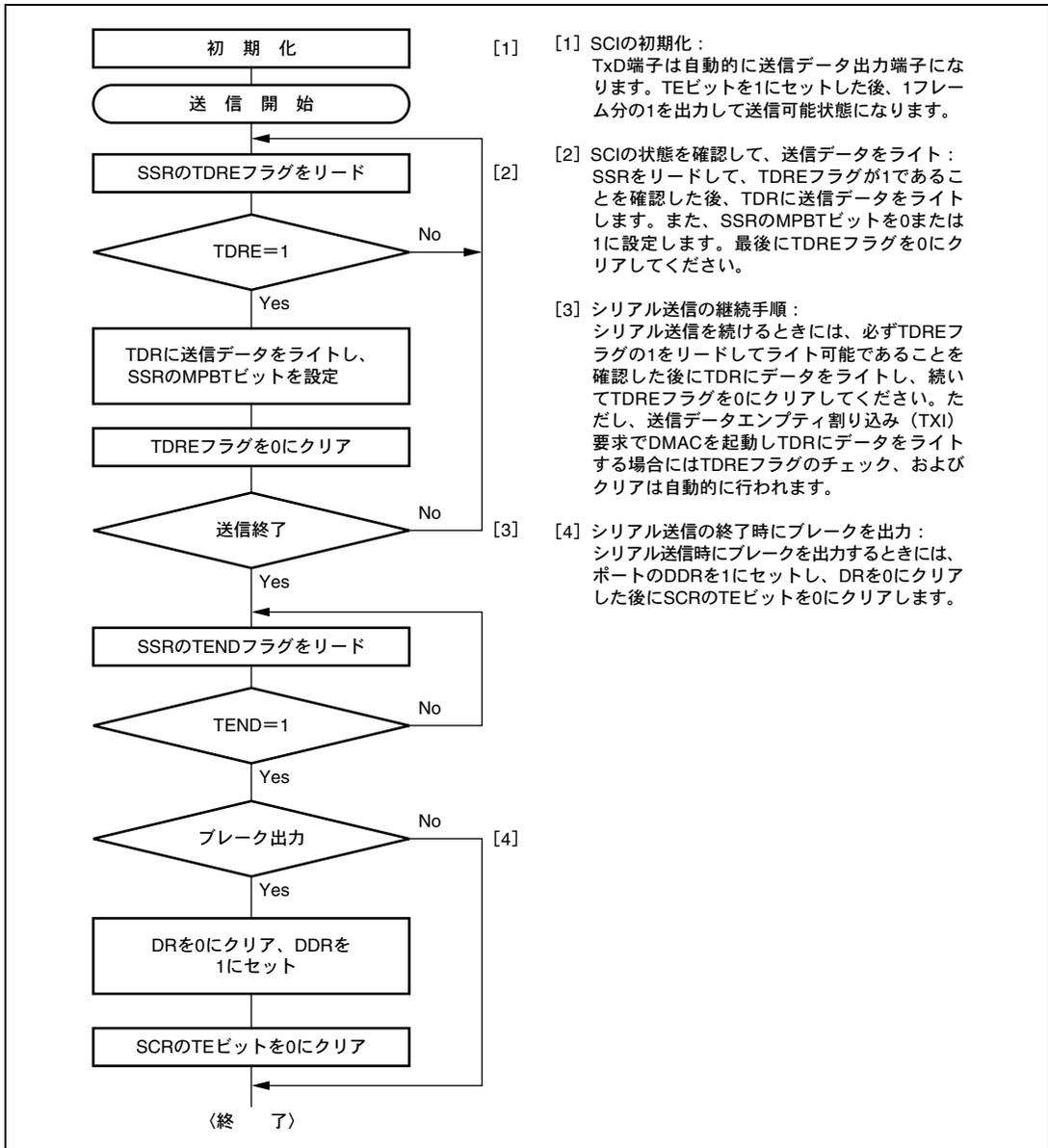


図 12.11 マルチプロセッサシリアル送信のフローチャートの例

12.5.2 マルチプロセッサシリアルデータ受信

図 12.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 12.12 に受信時の動作例を示します。

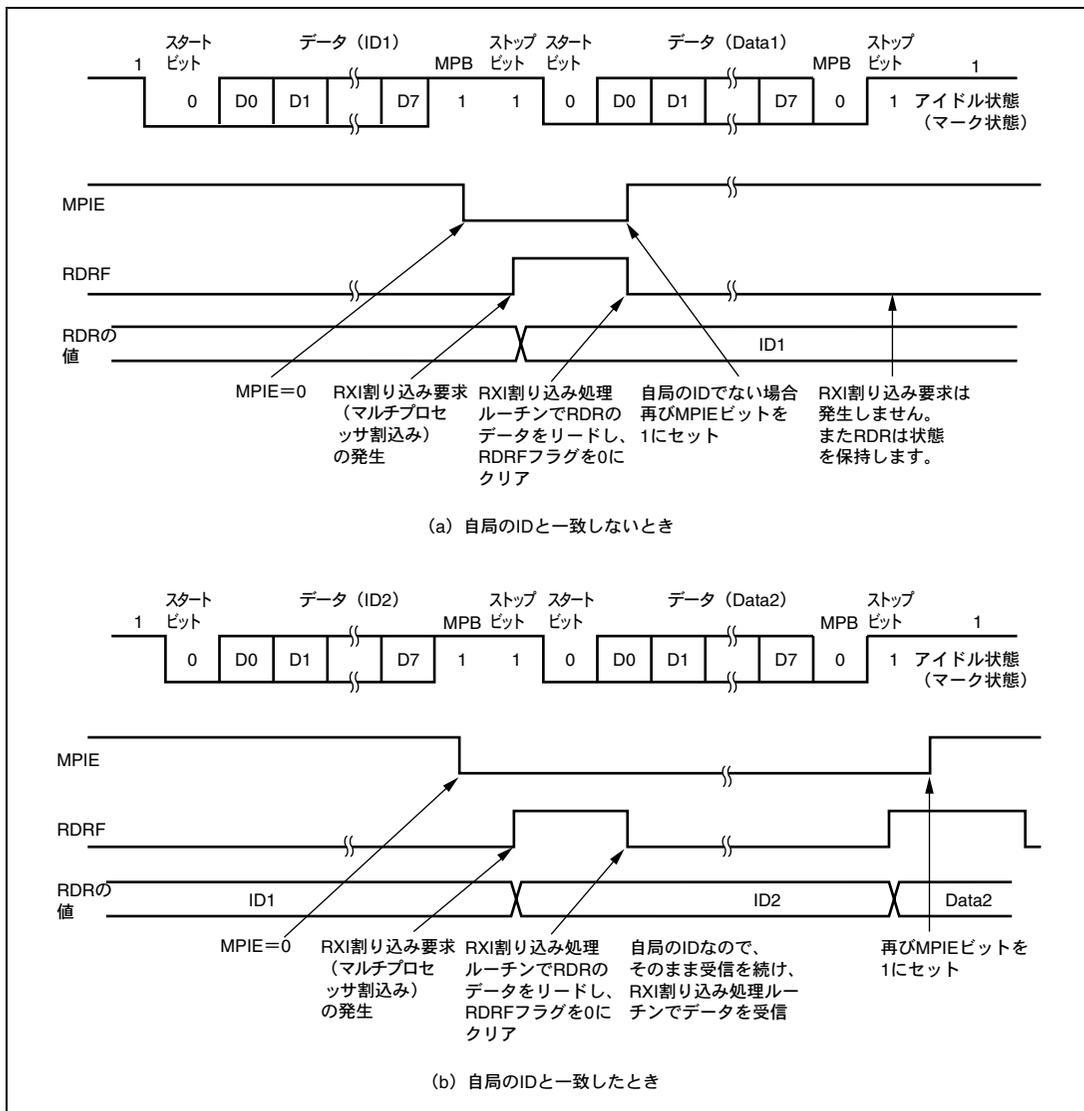


図 12.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

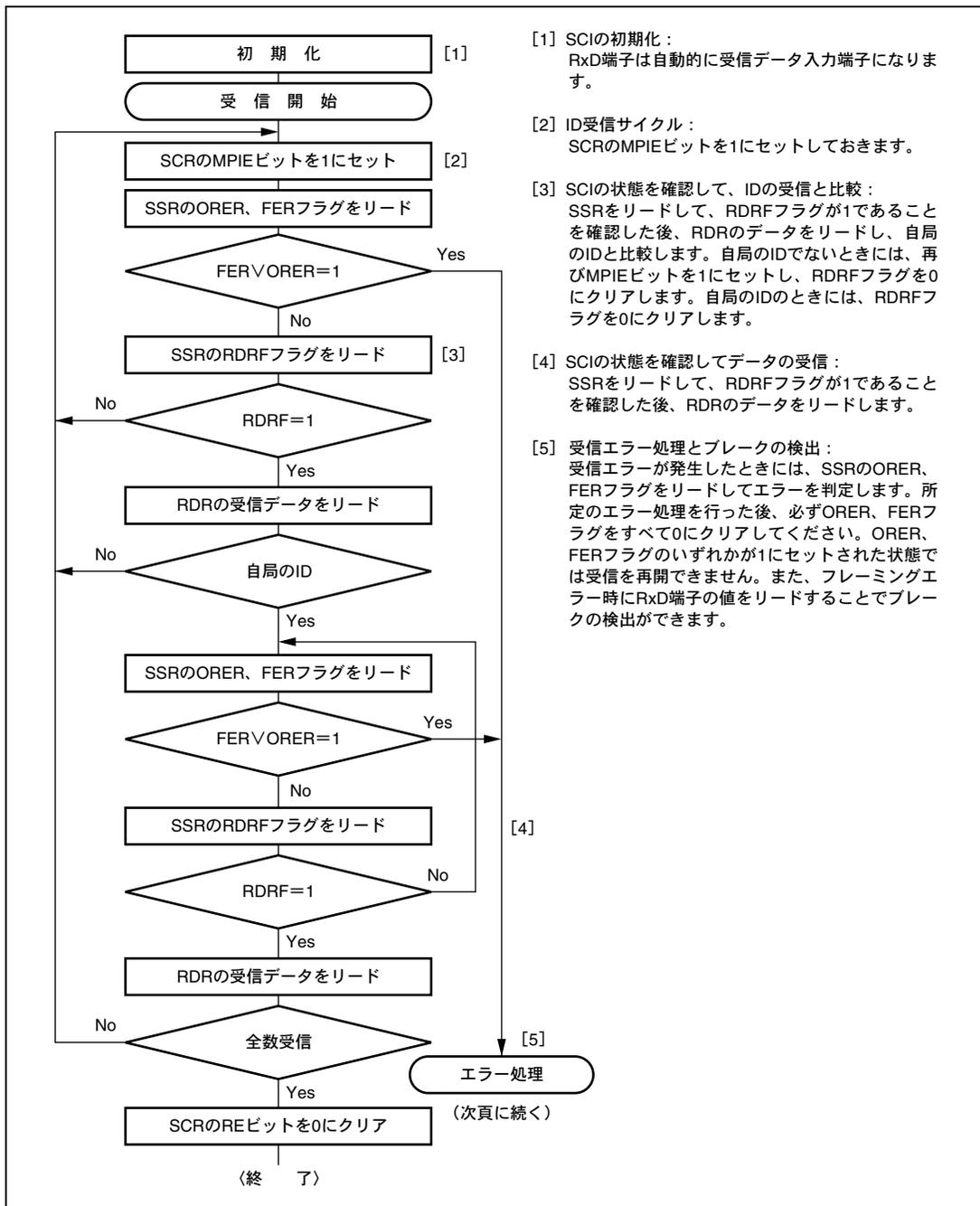


図 12.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

12. シリアルコミュニケーションインタフェース (SCI)

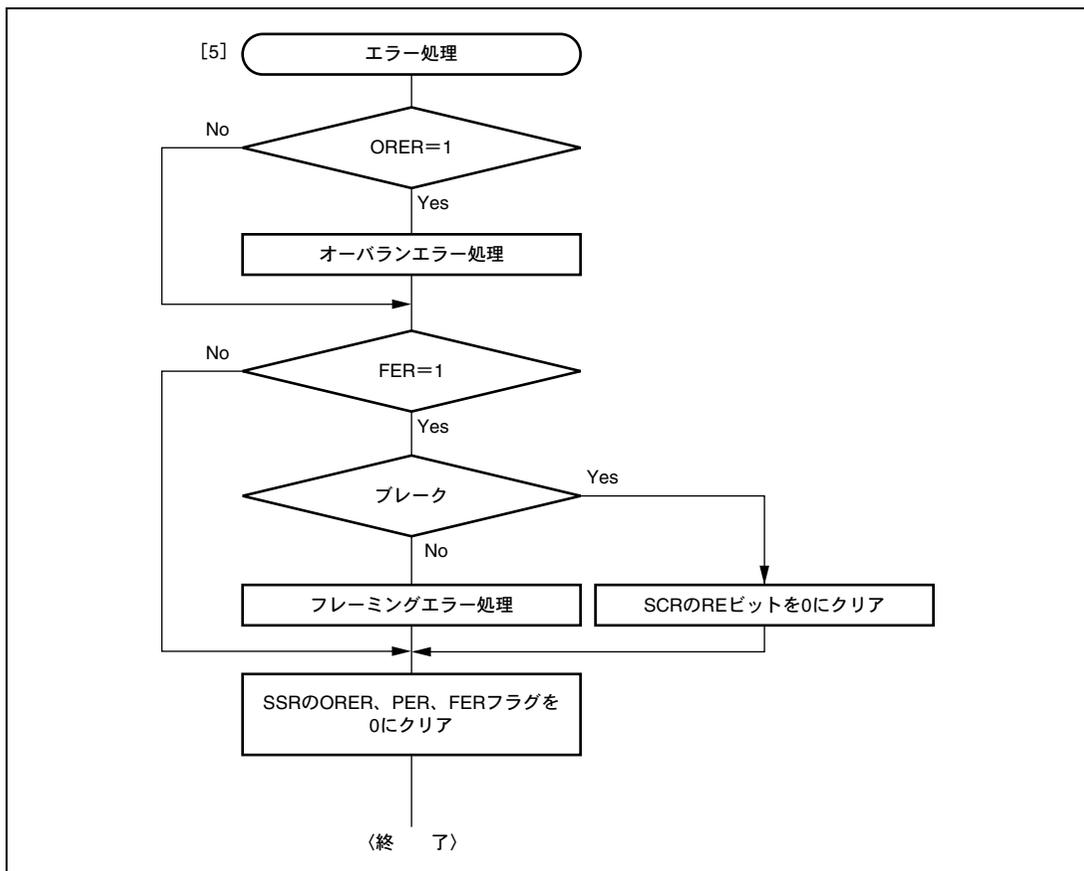


図 12.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

12.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 12.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

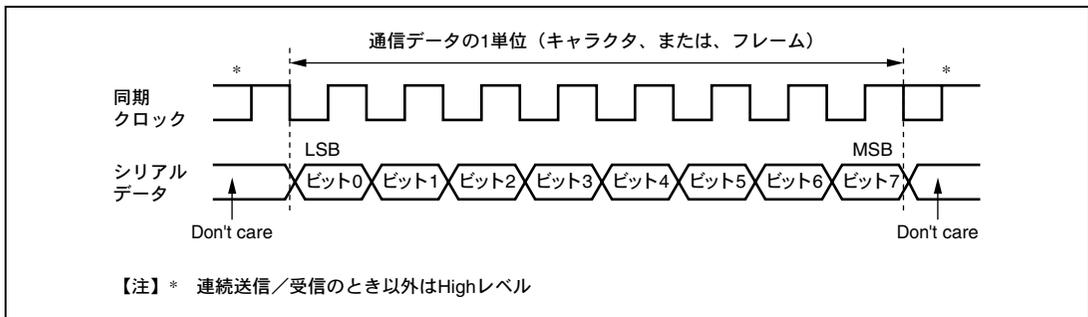


図 12.14 クロック同期式通信のデータフォーマット (LSB フェーストの場合)

12.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。ただし、受信動作のみのときはオーバランエラーが発生するか RE ビットを 0 にクリアするまで同期クロックは出力されます。

12.6.2 SCIの初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図12.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

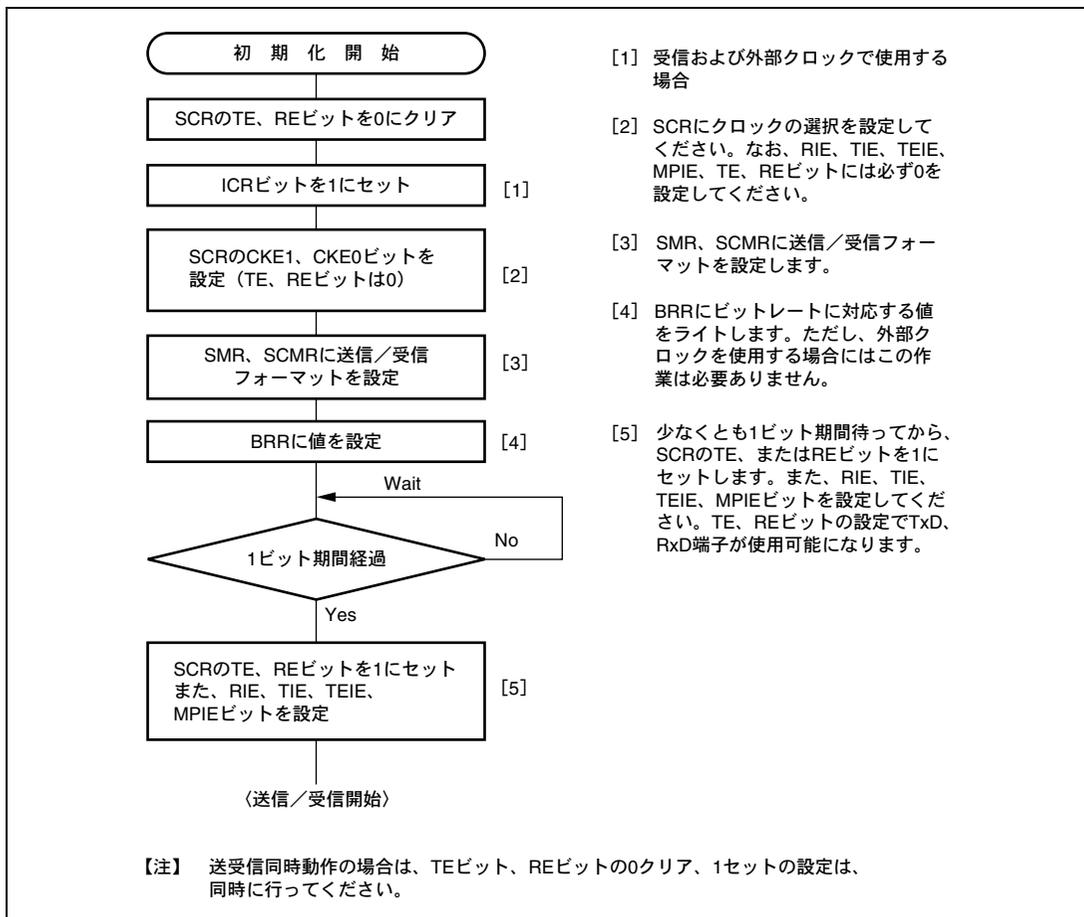


図 12.15 SCIの初期化フローチャートの例

12.6.3 シリアルデータ送信（クロック同期式）

図 12.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 12.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ（ORER、FER、PER）が1にセットされた状態ではTDREをクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはREビットをクリアしただけではクリアされませんので注意してください。

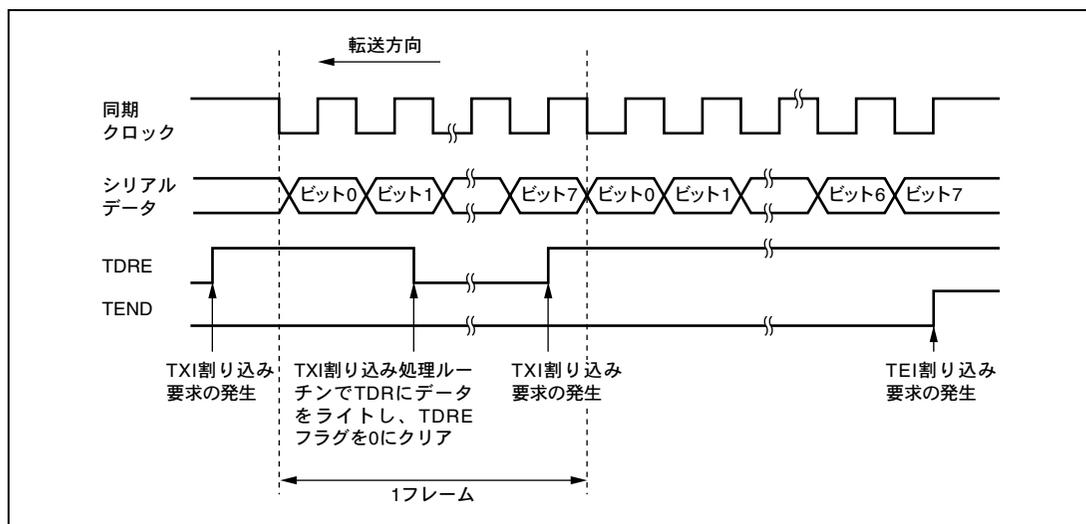


図 12.16 クロック同期式モードの送信時の動作例

12. シリアルコミュニケーションインタフェース (SCI)

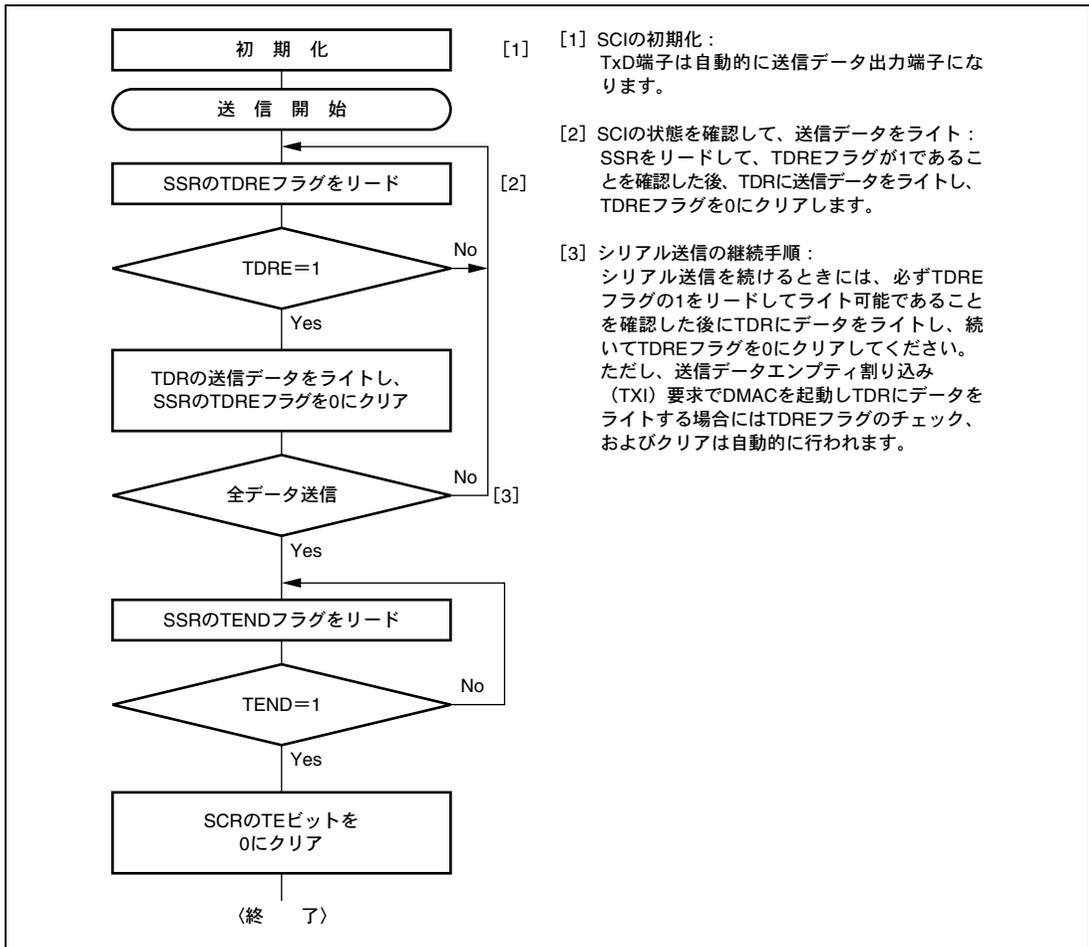


図 12.17 シリアル送信のフローチャートの例

12.6.4 シリアルデータ受信 (クロック同期式)

図 12.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

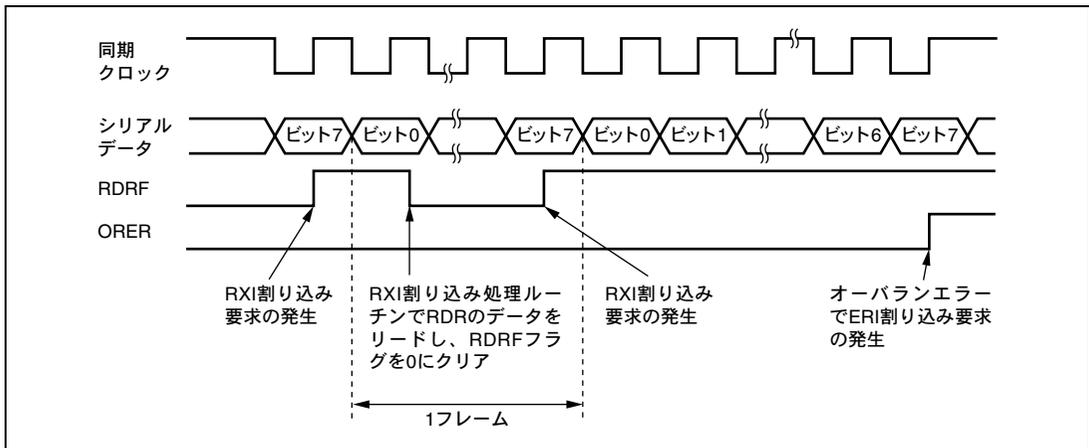


図 12.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 12.19 にデータ受信のためのフローチャートの例を示します。

12. シリアルコミュニケーションインタフェース (SCI)

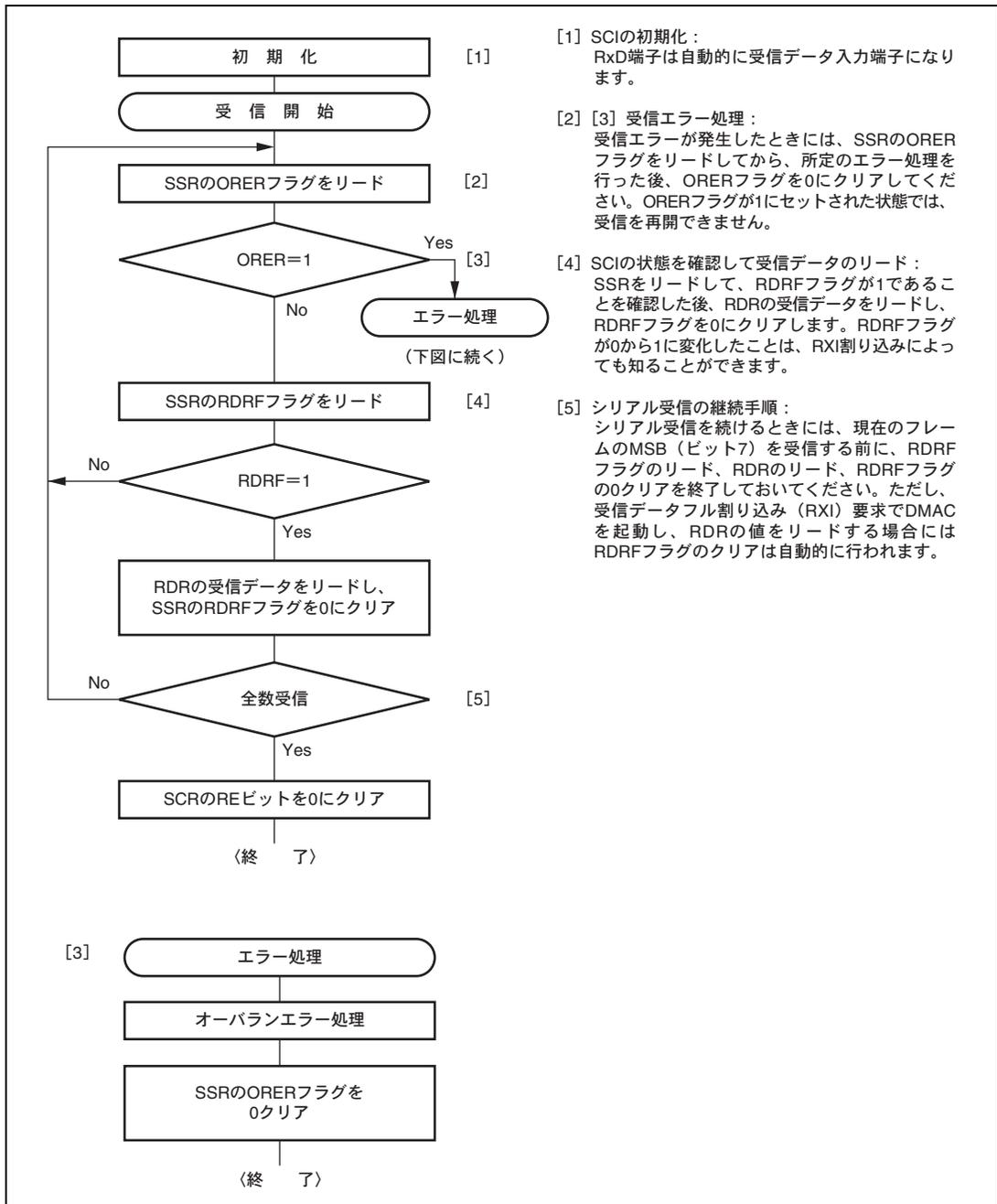


図 12.19 シリアル受信のフローチャートの例

12.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 12.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

12. シリアルコミュニケーションインタフェース (SCI)

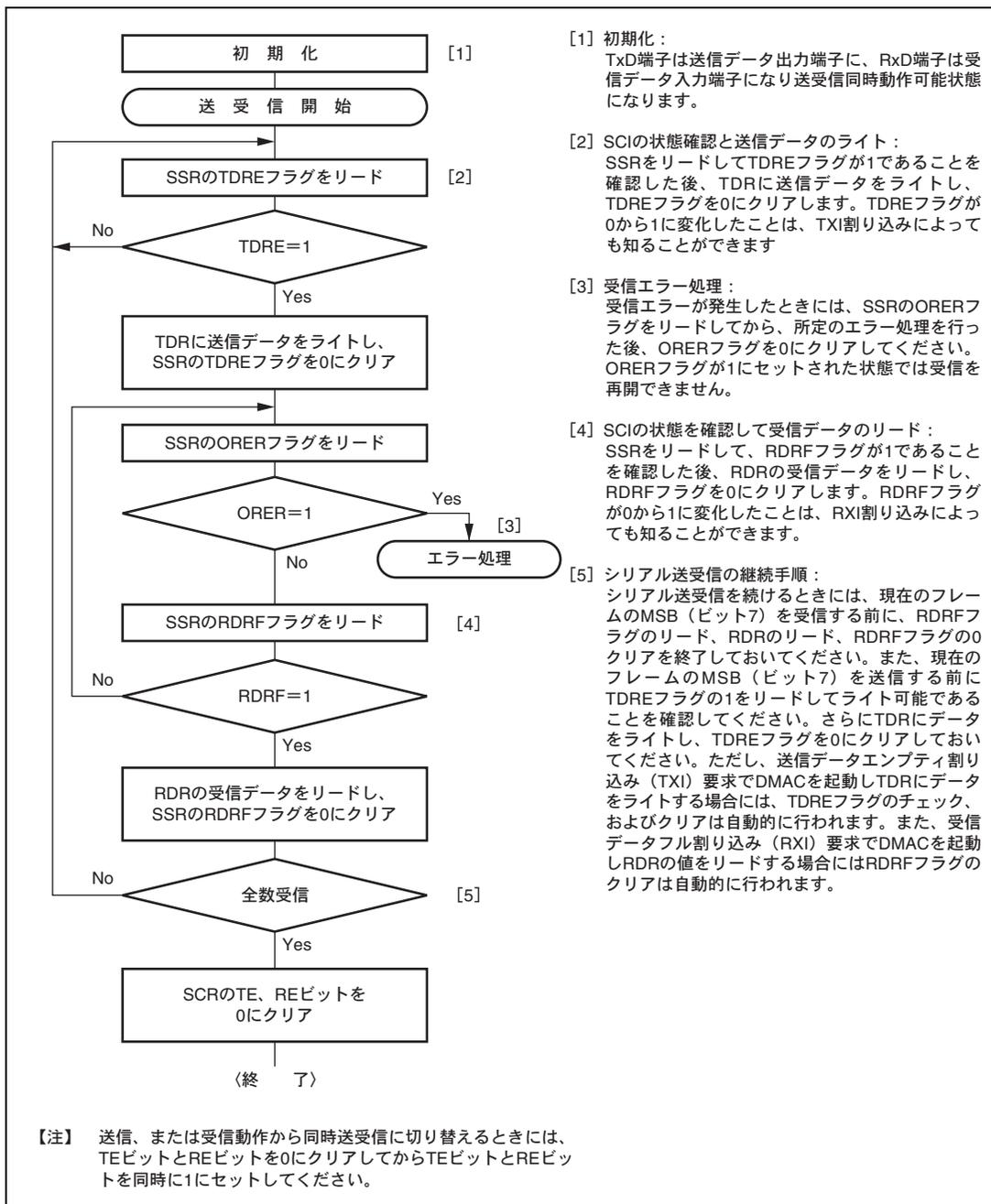


図 12.20 シリアル送受信同時動作のフローチャートの例

12.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

12.7.1 接続例

図 12.21 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 V_{CC} 側にプルアップしてください。ICカードを接続しない状態で RE=TE=1 に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK 端子出力をICカードのCLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

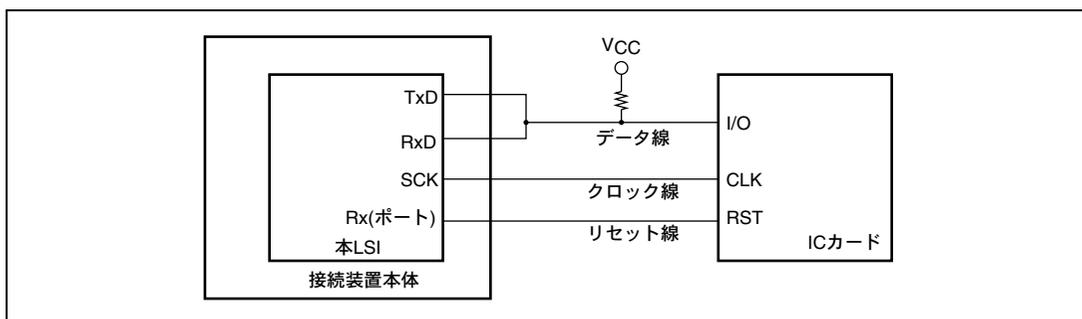


図 12.21 スマートカードインタフェース端子接続概要

12.7.2 データフォーマット (ブロック転送モード時を除く)

図 12.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

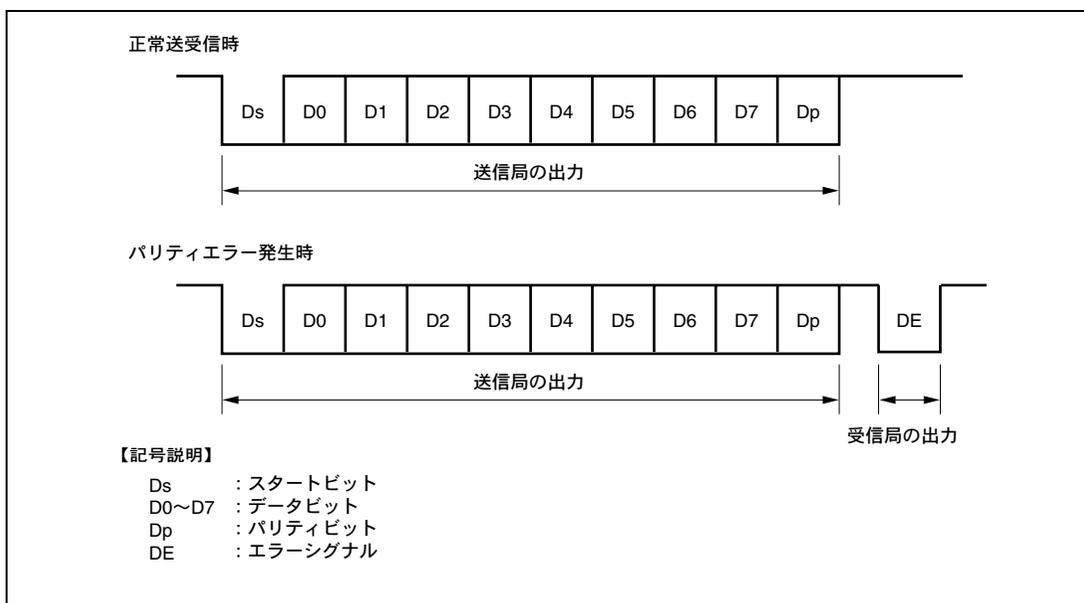


図 12.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインパースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

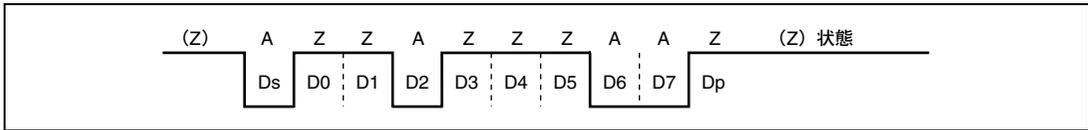


図 12.23 ダイレクトコンベンション (SDIR=SINV=O/E=0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/E ビットには 0 をセットしてください。

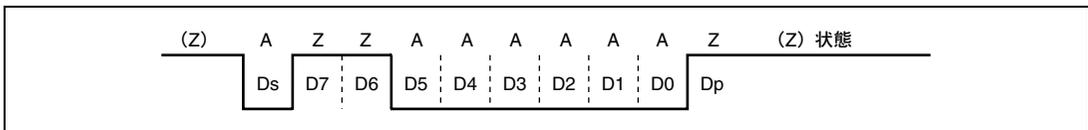


図 12.24 インバースコンベンション (SDIR=SINV=O/E=1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z に対応します。本 LSI では、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR の O/E ビットに 1 を設定してパリティビットを反転させてください。

12.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSR の PER はセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小 1 μ tu 以上です。
- 送信時は再送信を行わないため、TEND フラグは送信開始から 11.5 μ tu 後にセットされます。
- ERS フラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に 0 となります。

12.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりりを基本クロックでサンプリングして内部を同期化します。また、図12.25に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=32、64、372、256)

D：クロックデューティー (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

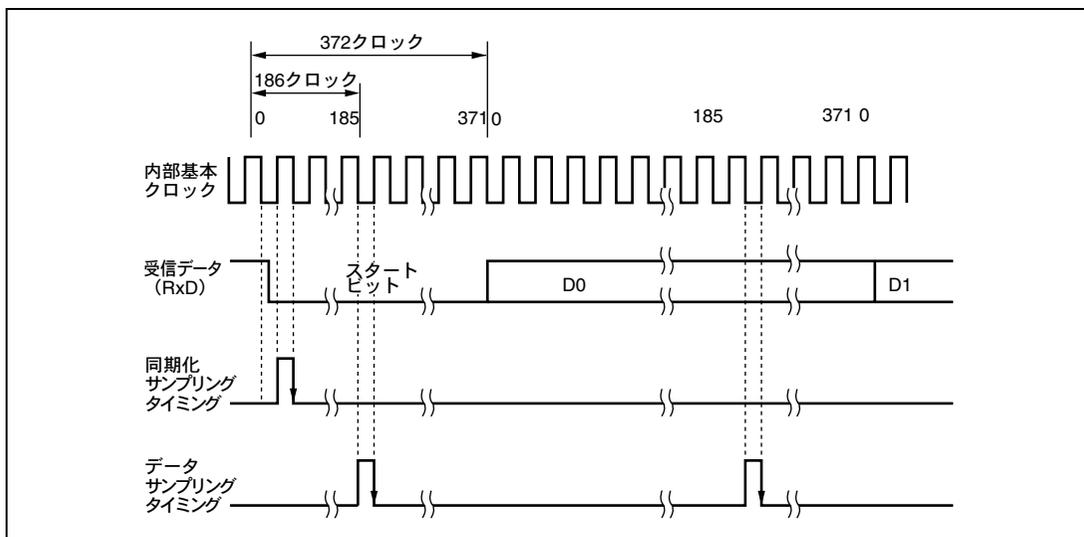


図 12.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

12.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. 該当端子のICRビットを1にセットしてください。
3. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
4. SMRのGM、BLK、O \bar{E} 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
5. SCMRのSMIF、SDIR、SINVビットを設定してください。また、TxD端子に該当するDDRを0にクリアします。これにより、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
6. ビットレートに対応する値をBRRに設定します。
7. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
8. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRF フラグ、あるいはPER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTEND フラグで確認できます。

12.7.6 データ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 12.26 に示します。

1. 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
4. 再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 12.28 に示します。これら一連の処理は TXI 割り込み要因によって DMAC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC の設定方法は「7. DMA コントローラ (DMAC)」を参照してください。

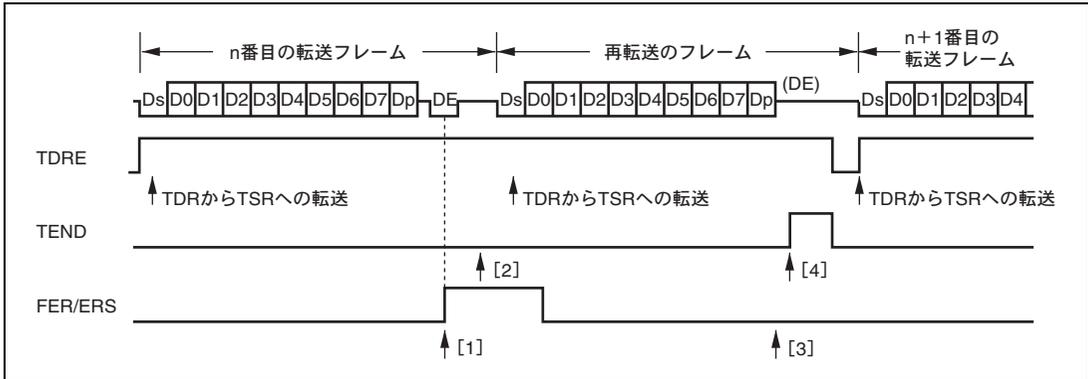


図 12.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 12.27 に TEND フラグ発生タイミングを示します。

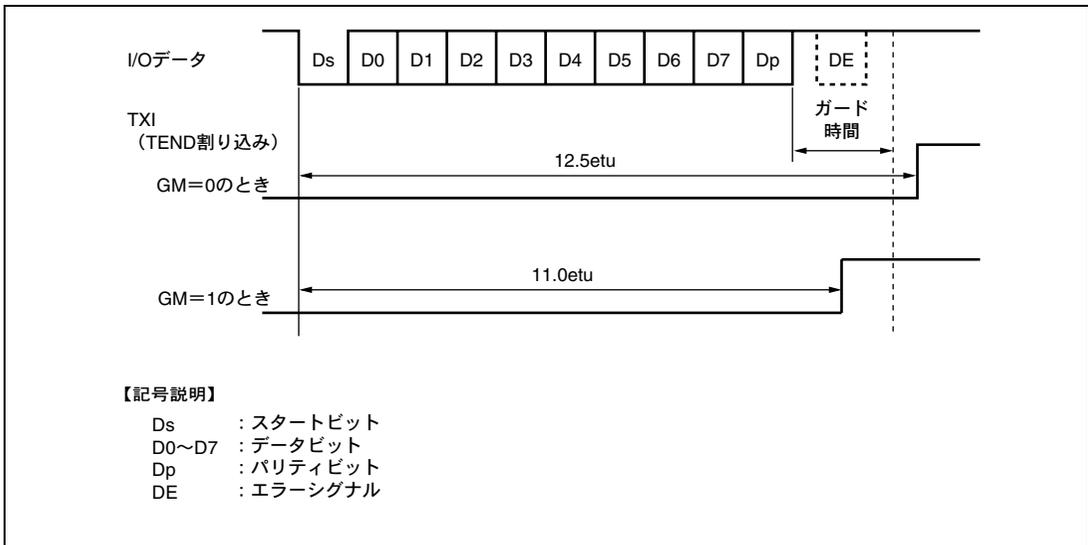


図 12.27 送信動作時の TEND フラグ発生タイミング

12. シリアルコミュニケーションインタフェース (SCI)

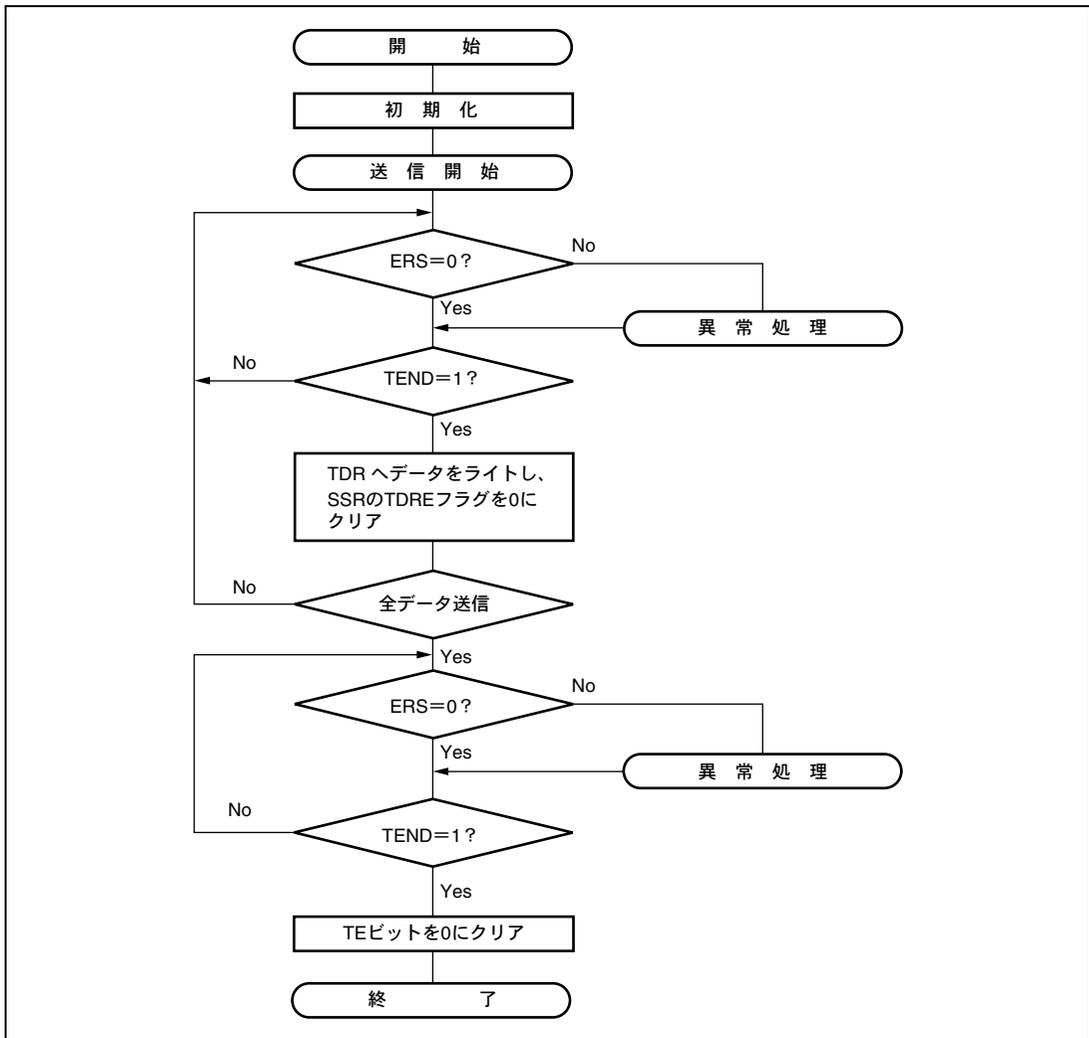


図 12.28 送信処理フローの例

12.7.7 シリアルデータ受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 12.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。
4. 正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていると、RXI割り込み要求を発生します。

受信フローの例を図 12.30 に示します。これら一連の処理は RXI 割り込み要因によって DMAC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求により DMAC が起動されて受信データの転送を行います。DMAC によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DMAC は起動されず、受信データはスキップされるため DMAC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「12.4 調歩同期式モードの動作」を参照してください。

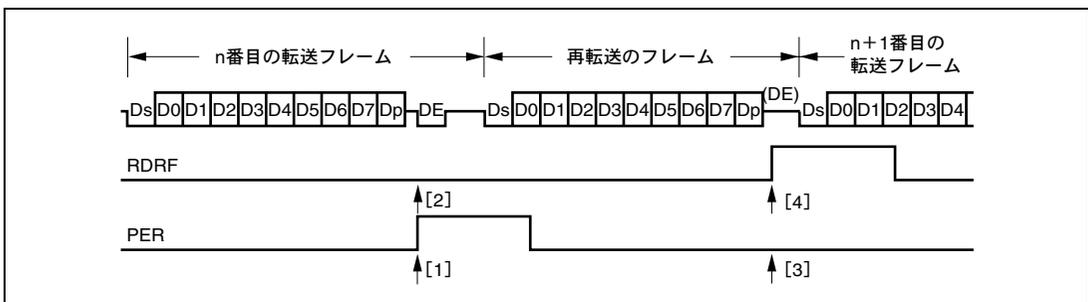


図 12.29 SCI 受信モードの場合の再転送動作

12. シリアルコミュニケーションインタフェース (SCI)

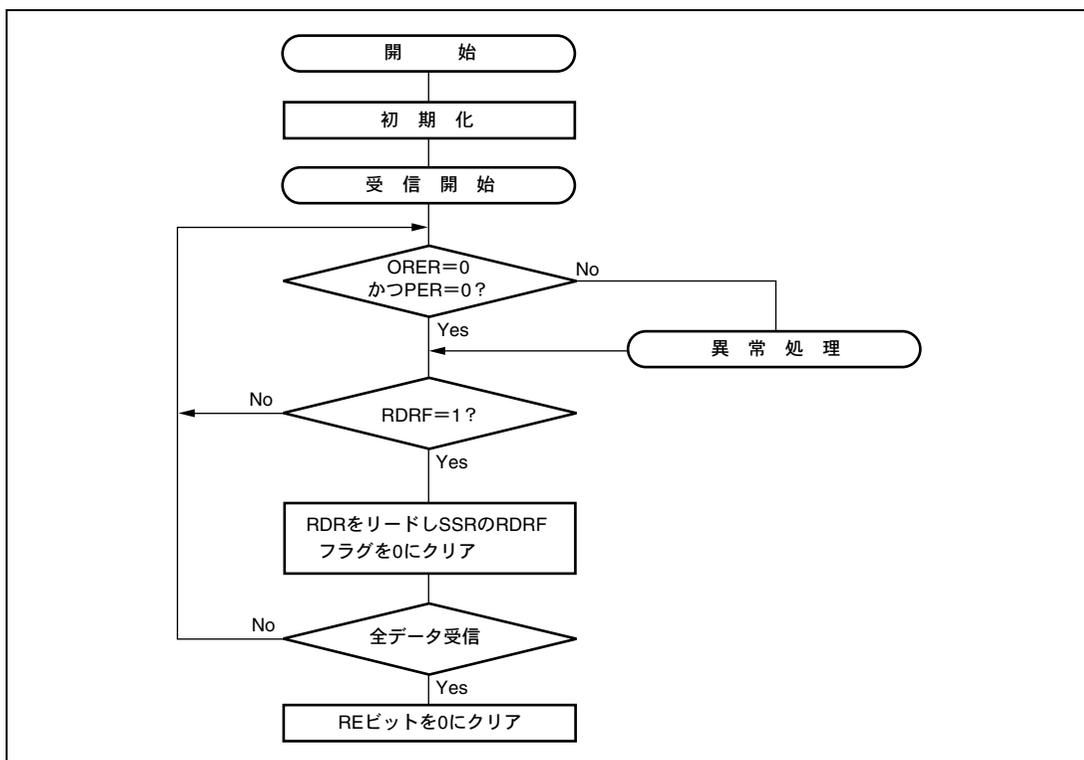


図 12.30 受信フローの例

12.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 12.31 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

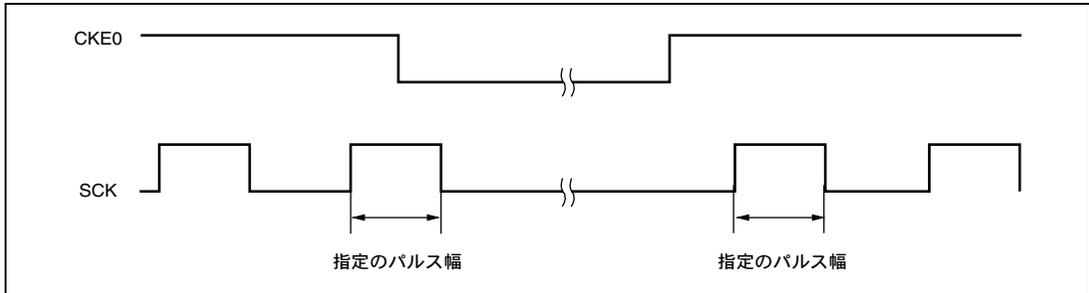


図 12.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

• 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

• モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

12. シリアルコミュニケーションインタフェース (SCI)

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき

- ソフトウェアスタンバイ状態を解除してください。
- SCRのCKE0ビットに1をライトし、クロックを出力させてください。クロックを出力させてください。正常なデューティにて信号発生を開始します。

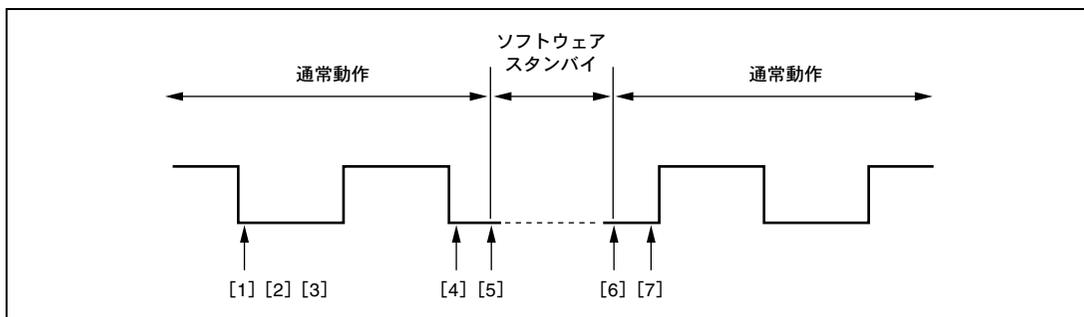


図 12.32 クロック停止・再起動手順

12.8 割り込み要因

12.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 12.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 12.12 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可	高 ↑ ↓ 低
RXI	受信データフル	RDRF	可	
TXI	送信データエンプティ	TDRE	可	
TEI	送信終了	TEND	不可	

12. シリアルコミュニケーションインタフェース (SCI)

12.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 12.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 12.13 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	高
RXI	受信データフル	RDRF	可	↑
TXI	送信データエンプティ	TEND	可	低

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DMAC の設定方法は「7. DMA コントローラ (DMAC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DMAC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

12.9 使用上の注意事項

12.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作禁止／許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

12.9.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

12.9.3 マーク状態とブレークの送出

TE が 0 のとき、TxD 端子は DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR=1、DR=1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR=1、DR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

12.9.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

12.9.5 TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

12.9.6 DMAC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DMACによるTDRの更新後、Pφクロックで5クロック以上経過した後に送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると誤動作することがあります（図12.33参照）。
2. DMACにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み（RXI）に設定してください。

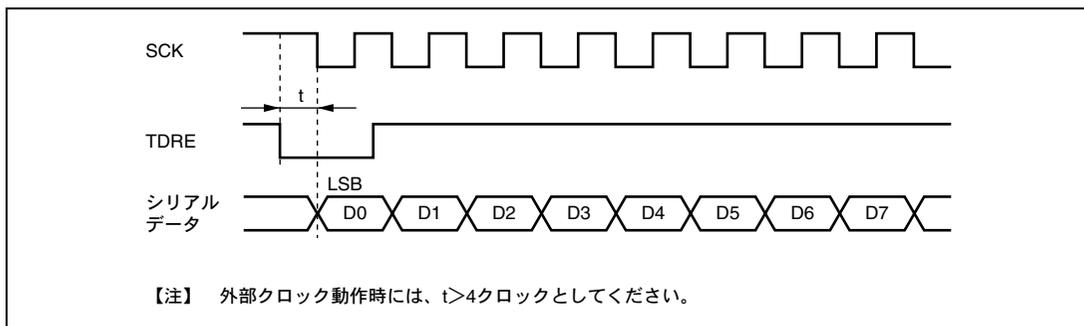


図 12.33 DMAC によるクロック同期式送信時の例

12.9.7 モード遷移時の動作について

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止（TE=TIE=TEIE=0）してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、モード解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、TE=1 に設定し、SSR リード→TDR ライト→TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 12.34 に送信時のモード遷移フローチャートの例を示します。図 12.35、図 12.36 にモード遷移時のポートの端子状態を示します。

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止（RE=0）してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 12.37 に受信時のモード遷移フローチャートの例を示します。

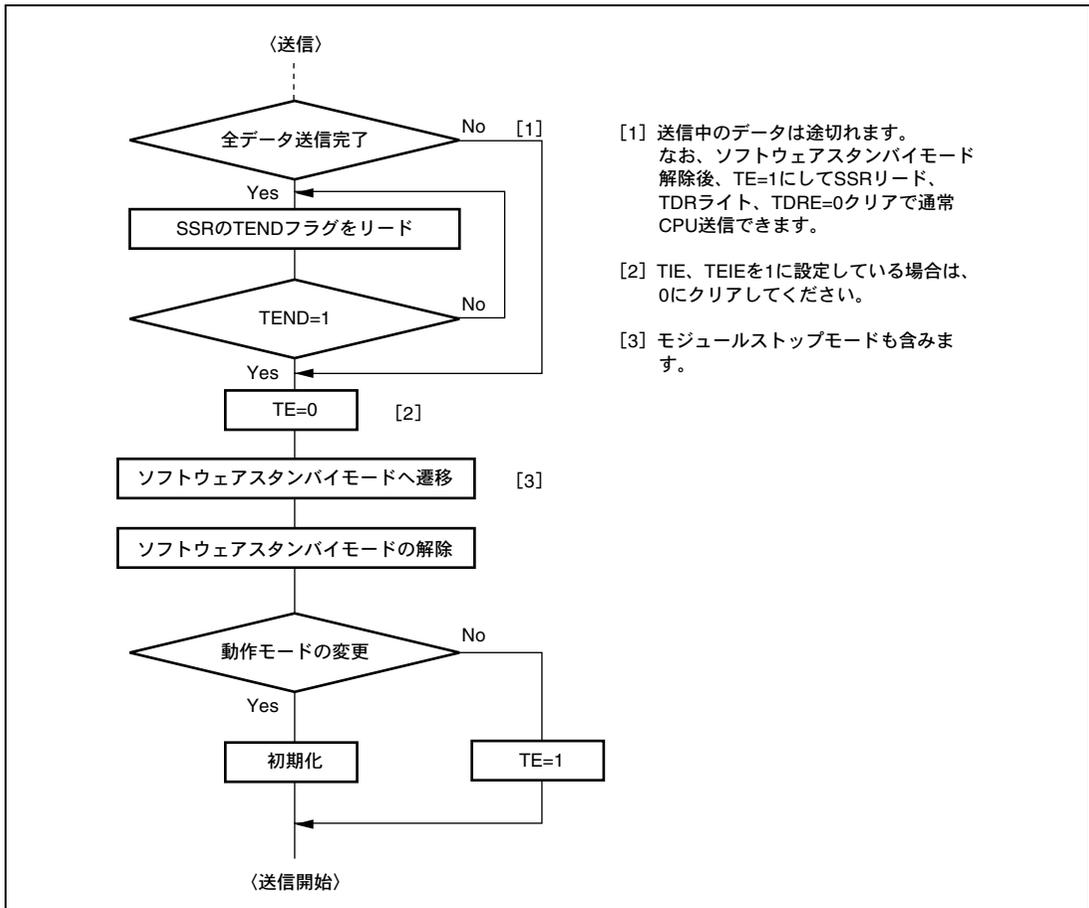


図 12.34 送信時のモード遷移フローチャートの例

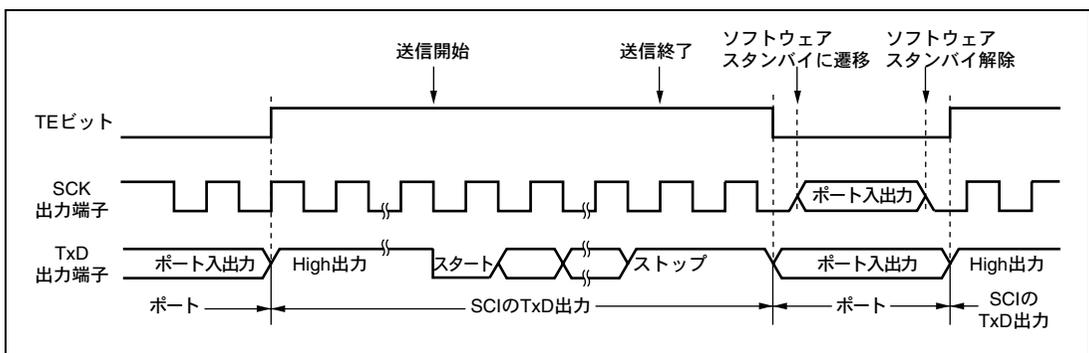


図 12.35 モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

12. シリアルコミュニケーションインタフェース (SCI)

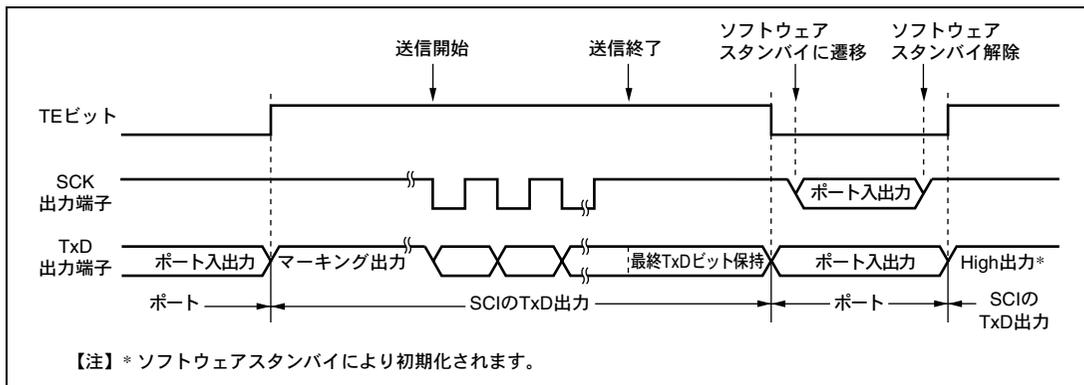


図 12.36 モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

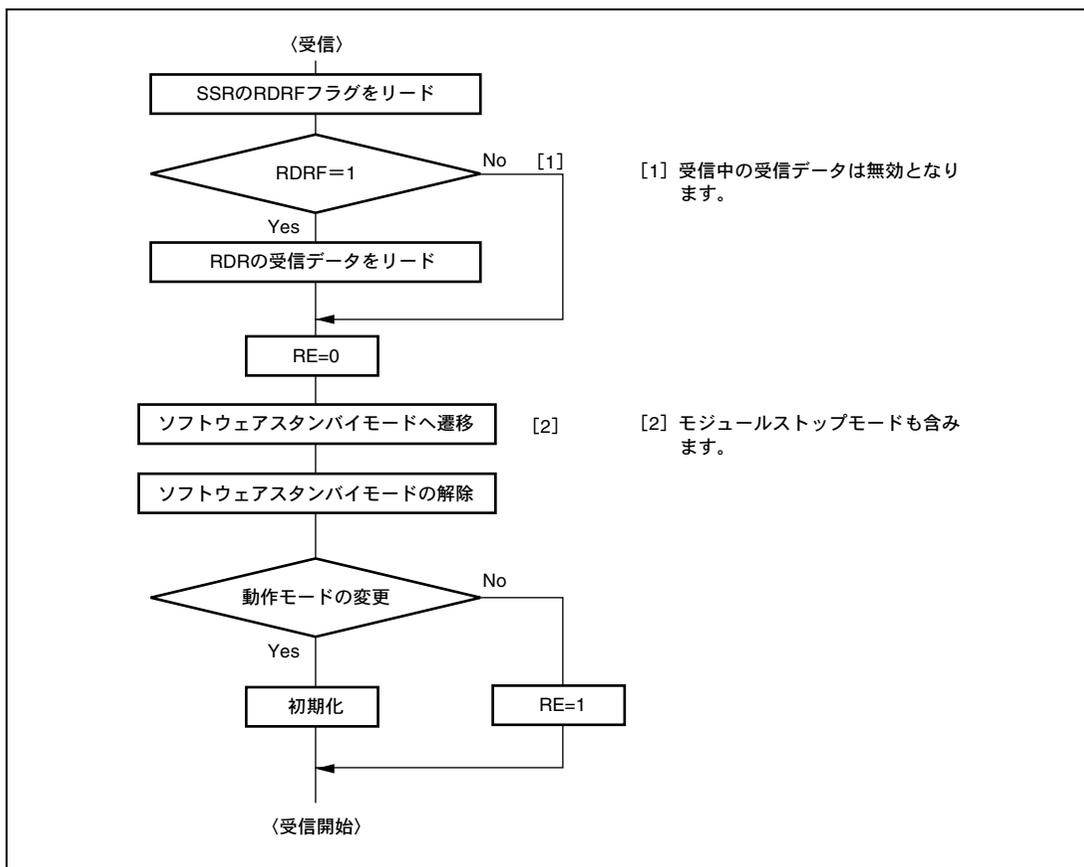


図 12.37 受信時のモード遷移フローチャートの例

13. コントローラエリアネットワーク (RCAN-ET)

コントローラエリアネットワーク (RCAN-ET) は自動車および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。

本章は RCAN-ET のプログラムインタフェースについて説明します。

また CAN のデータリンクコントローラの機能については下記参考文献を参照してください。

[参考文献]

1. CAN Specification Version 2.0 part A, Robert Bosch GmbH, 1991
2. CAN Specification Version 2.0 part B, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany, 1997
4. Road vehicles-Controller area network (CAN) : Part 1: Data link layer and physical signaling (ISO-CD-11898-1, 2002)

13.1 特長

- CAN規格2.0B対応
- ビットタイミングはISO-11898規格に準拠
- 16個のメールボックス
- プログラム可能な15個の送信用メールボックスおよび1個の受信用メールボックス
- 低消費電力のCANスリープモードおよびCANバスアクティビティを検出してCANスリープモードを自動解除
- すべてのメールボックスにも対応したプログラム可能な受信フィルタマスク (スタンダードIDおよびエクステンデッドID)
- 最大1Mbpsのプログラム可能なCANデータレート
- リアルタイムアプリケーション起因による優先順位逆転防止のために、優先順位の内部区分機能を備えた転送メッセージのキューを用意
- 豊富な割り込み要因
- テスト機能を内蔵 (リスンオンリモード、エラーバッシュモード)

13. コントローラエリアネットワーク (RCAN-ET)

13.2 構成

13.2.1 ブロック図

RCAN-ETは、CAN2.0B ActiveとISO-11898をサポートするCANフレームを構成、制御する自由度の大きい洗練された方法を提供します。RCAN-ETは機能的に、マイクロプロセッサインタフェース (MPI)、メールボックス、メールボックスコントロール、およびCANインタフェースの4種類のブロックからなります。

図 13.1 に RCAN-ET のブロック図を示します。

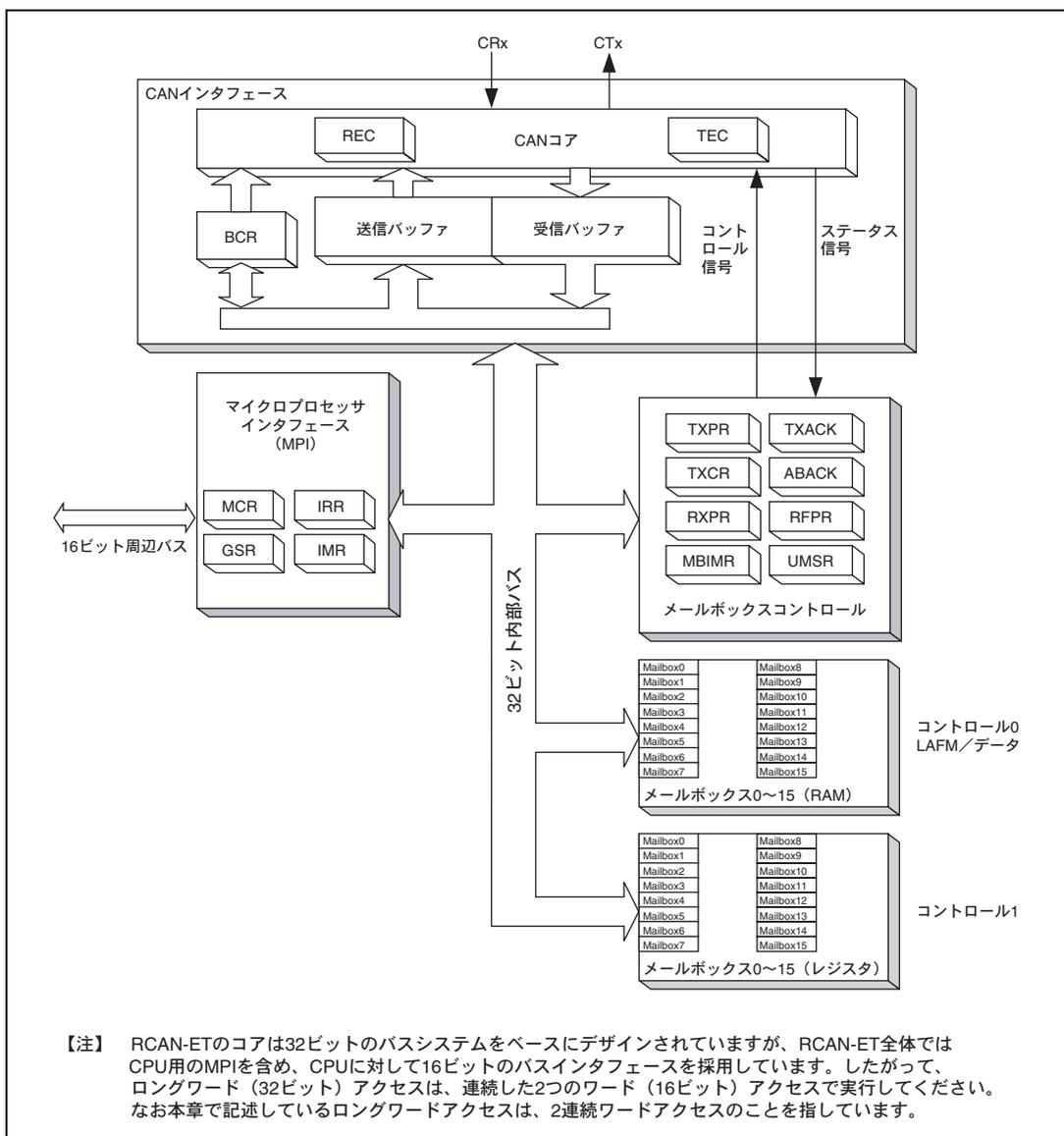


図 13.1 RCAN-ET のブロック図

13.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPI は、CPU と RCAN-ET のレジスタやメールボックスとの間の通信を可能にし、メモリインタフェースを制御します。また MPI は CAN バスのアクティブを検出し、MPI 自身や RCAN-ET の他のモジュールにも CAN バスのアクティブを通知するウェイクアップコントロールロジックを持っているので、RCAN-ET は自動的に CAN スリープモードを解除することができます。なお MPI のレジスタには、MCR、IRR、GSR、および IMR があります。

(2) メールボックス

メールボックスは、メッセージバッファとして RAM およびレジスタに配列されています。RAM とレジスタ内には、それぞれ 16 個のメールボックスがあり、以下の情報を格納します。

[RAM]

- CANメッセージコントロール (ID、RTR、IDEなど)
- CANメッセージデータ (CANデータフレーム用)
- 受信用のローカルアクセプタンスフィルタマスク (LAFM)

[レジスタ]

- CANメッセージコントロール (DLC)
- 3ビットのメールボックスコンフィギュレーション、自動再送信無効ビット、リモートリクエスト用自動送信ビット、ニューメッセージコントロールビット

(3) メールボックスコントロール

メールボックスコントロールは以下のような機能を持ちます。

- メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスとデータを生成し、対応するレジスタをセット/クリアします。
- メッセージ送信時は、RCAN-ETは内部アービトレーションを動作させて正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースの送信バッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。
- CPUとメールボックスコントロール間のメールボックスアクセスのアービトレーションを行います。
- レジスタは、TXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMR、およびUMSRがあります。

(4) CAN インタフェース

本ブロックは参考文献[2]と[4]のCANバスデータリンクコントローラ仕様をサポートしています。これはOSIモデルで規定されるデータリンクコントローラの全機能を満足します。また、CANバスに特化したレジスタやロジックも提供します。具体的には、受信エラーカウンタ、送信エラーカウンタ、ビットコンフィギュレーションレジスタ、種々のテストモードなどです。さらに、CANデータリンクコントローラの送受信を格納する機能もあります。

13. コントローラエリアネットワーク (RCAN-ET)

13.2.3 端子構成

RCAN-ET の端子構成を表 13.1 に示します。

表 13.1 端子構成

名称	端子名	入出力	機能
送信データ端子	CTx	出力	CAN バス送信用端子です。
受信データ端子	CRx	入力	CAN バス受信用端子です。

13.2.4 メモリマップ

RCAN-ET のメモリマップを図 13.2 に示します。

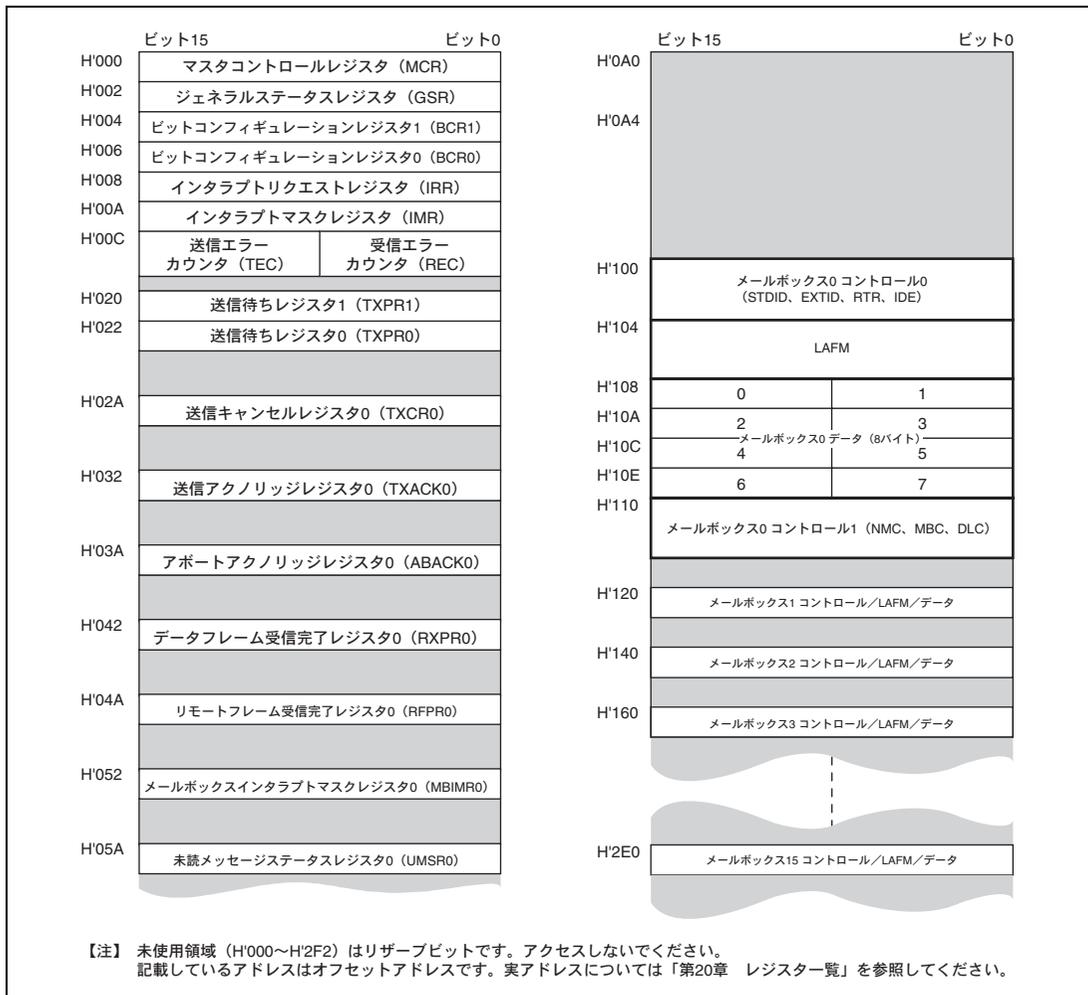


図 13.2 RCAN-ET のメモリマップ

13.3 メールボックス

13.3.1 メールボックスの構成

メールボックスはCAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは、メッセージコントロール、ローカルアクセプタンスフィルタマスク (LAFM)、メッセージデータの3個の格納フィールドからなります。

表 13.2 に各メールボックスに対するメッセージコントロール、LAFM、メッセージデータのアドレスマップを示します。

表 13.2 各メールボックスのアドレスマップ

メールボックス	アドレス			
	コントロール 0	LAFM	データ	コントロール 1
	4 バイト	4 バイト	8 バイト	2 バイト
0 (受信のみ)	100-103	104-107	108-10F	110-111
1	120-123	124-127	128-12F	130-131
2	140-143	144-147	148-14F	150-151
3	160-163	164-167	168-16F	170-171
4	180-183	184-187	188-18F	190-191
5	1A0-1A3	1A4-1A7	1A8-1AF	1B0-1B1
6	1C0-1C3	1C4-1C7	1C8-1CF	1D0-1D1
7	1E0-1E3	1E4-1E7	1E8-1EF	1F0-1F1
8	200-203	204-207	208-20F	210-211
9	220-223	224-227	228-22F	230-231
10	240-243	244-247	248-24F	250-251
11	260-263	264-267	268-26F	270-271
12	280-283	284-287	288-28F	290-291
13	2A0-2A3	2A4-2A7	2A8-2AF	2B0-2B1
14	2C0-2C3	2C4-2C7	2C8-2CF	2D0-2D1
15	2E0-2E3	2E4-2E7	2E8-2EF	2F0-2F1

メールボックス 0 は受信専用です。メールボックス 1~15 は、メッセージコントロールの MBC (メールボックス構成) ビットの設定により、送信、受信ともに可能です。メールボックスの構成の詳細を図 13.3 に示します。

13. コントローラエリアネットワーク (RCAN-ET)

・ メールボックス0 (受信用メールボックス)

レジスタ名	アドレス	データバス															アクセスサイズ	フィールド名
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
MB[0].CONTROL0H	H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0	
MB[0].CONTROL0L	H*102+N*32	EXTID[15:0]																16ビット
MB[0].LAFMH	H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[0].LAFML	H*106+N*32	EXTID_LAFM[15:0]															16ビット	
MB[0].MSG_DATA[0][1]	H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)					MSG_DATA_1					MSG_DATA_2					8/16/32ビット	データ
MB[0].MSG_DATA[2][3]	H*10A+N*32	MSG_DATA_3					MSG_DATA_4					MSG_DATA_5					8/16ビット	
MB[0].MSG_DATA[4][5]	H*10C+N*32	MSG_DATA_6					MSG_DATA_7					MSG_DATA_8					8/16/32ビット	
MB[0].MSG_DATA[6][7]	H*10E+N*32	MSG_DATA_9					MSG_DATA_10					MSG_DATA_11					8/16ビット	
MB[0].CONTROL1H..L	H*110+N*32	0	0	NMC	0	0	MBC[2:0]	0	0	0	0	0	0	DLC[3:0]			8/16ビット	コントロール1

・ メールボックス1~15 (送受信用メールボックス)

レジスタ名	アドレス	データバス															アクセスサイズ	フィールド名
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		
MB[x].CONTROL0H	H*100+N*32	IDE	RTR	0	STDID[10:0]										EXTID[17:16]	16/32ビット	コントロール0	
MB[x].CONTROL0L	H*102+N*32	EXTID[15:0]																16ビット
MB[x].LAFMH	H*104+N*32	IDE	LAFM	0	0	STDID_LAFM[10:0]										EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[x].LAFML	H*106+N*32	EXTID_LAFM[15:0]															16ビット	
MB[x].MSG_DATA[0][1]	H*108+N*32	MSG_DATA_0 (最初のRx/Tx バイト)					MSG_DATA_1					MSG_DATA_2					8/16/32ビット	データ
MB[x].MSG_DATA[2][3]	H*10A+N*32	MSG_DATA_3					MSG_DATA_4					MSG_DATA_5					8/16ビット	
MB[x].MSG_DATA[4][5]	H*10C+N*32	MSG_DATA_6					MSG_DATA_7					MSG_DATA_8					8/16/32ビット	
MB[x].MSG_DATA[6][7]	H*10E+N*32	MSG_DATA_9					MSG_DATA_10					MSG_DATA_11					8/16ビット	
MB[x].CONTROL1H..L	H*110+N*32	0	0	NMC	ATX	DART	MBC[2:0]	0	0	0	0	0	0	DLC[3:0]			8/16ビット	コントロール1

【注】

1. グレー表示のビットはリザーブビットです。書き込み値は0にしてください。読み出し値は必ずしも0ではなく、また保証もされません。
2. メールボックス0のMBC1ビットの値は常に1です。
3. ATXとDARTはメールボックス0ではサポートされません。また、メールボックス0のMBCの設定値は限られています。
4. MCR15ビットの初期値が1のためメッセージコントロールおよびLAFMのSTDID、RTR、IDE、EXTIDの順序はHCAN2と異なる順序です。

図 13.3 メールボックス N の構成

13.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL0H	H'100+N*32	15	IDE	ID 拡張 CAN データフレームとリモートフレームがスタンダードフォーマットかエクステンデッドフォーマットかを区別します。 0: スタンダードフォーマット 1: エクステンデッドフォーマット
		14	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き替えます。 【重要】 MBC=B'001 でデータフレーム自動送信 (ATX) ビットをセットすると RTR はセットできません。リモートフレームを受信すると、CPU は対応する RFPR ビットまたは IRR2 (リモートフレームリクエスト割り込み) ビットによって通知されますが、RCAN-ET は現在のメッセージをデータフレームとして送信する必要があるため RTR ビットは変化しません。 【重要】 MBC=B'001 で ATX=1 の場合にリモートフレームに自動的に回答を対応させるために、データフレームの転送が許可されるように RTR フラグは 0 にプログラムしなくてはなりません。 【注意】 メールボックスがリモートフレームを送るように設定されているとき、転送に用いられた DLC はメールボックスの中に格納されたものとなります。 0: データフレーム 1: リモートフレーム
		13	—	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定するビットです。
		1, 0	EXTID [17:16]	エクステンデッド ID データフレームとリモートフレームの ID (エクステンデッド ID) を設定するビットです。
MB[x]. CONTROL0L	H'102+N*32	15~0	EXTID [15:0]	

13. コントローラエリアネットワーク (RCAN-ET)

• メールボックス0

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

0	0	NMC	0	0	MBC[2:0]			0	0	0	0	DLC[3:0]			
---	---	-----	---	---	----------	--	--	---	---	---	---	----------	--	--	--

初期値： 0 0 0 0 0 1 1 1 0 0 0 0 0 0 0 0

R/W： R R R/W R R R/W R/W R/W R R R R R/W R/W R/W R/W

【注】 MBC1の値は常に1です。

• メールボックス1～15

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

0	0	NMC	ATX	DART	MBC[2:0]			0	0	0	0	DLC[3:0]			
---	---	-----	-----	------	----------	--	--	---	---	---	---	----------	--	--	--

初期値： 0 0 0 0 0 1 1 1 0 0 0 0 0 0 0 0

R/W： R R R/W R/W R/W R/W R/W R/W R R R R R/W R/W R/W R/W

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1H	H'110+N*32	15, 14	—	リザーブビット 書き込む値は0にしてください。読み出し値は保証されません。
		13	NMC	<p>ニューメッセージコントロール</p> <p>このビットが0にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持しUMSRの対応するビットをセットします。このビットが1にセットされると、RXPRあるいはRFPRがすでにセットされているメールボックスは新しいメッセージをオーバーライトし、UMSRの対応するビットをセットします。</p> <p>【重要】 もしリモートフレームがデータフレームで書き換えられたり、あるいはその逆の場合には、RXPRおよびRFPRフラグは(USMRと一緒に)同一メールボックスにセットされる可能性があります。この場合、メールボックスコントロールフィールド内にあるRTRビットも上書きされます。</p> <p>0：オーバランモード 1：オーバーライトモード</p>

13. コントローラエリアネットワーク (RCAN-ET)

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. CONTROL1H	H'110+N*32	12	ATX	<p>データフレーム自動送信</p> <p>本ビットが1にセットされ、リモートフレームがメールボックスで受信されると、DLCが格納されます。そして、TXPRをセットすることで現在のメッセージデータと書き換えられたDLCを使って同じメールボックスから自動的にデータフレームが転送されます。送信のスケジューリングは、メッセージ送信プライオリティビット(MCR2)で構成されているように、ID優先順位あるいはメールボックス優先順位によって制御されます。本機能を使用するにはMBC[2:0]をB'001に設定してください。この機能を用いて送信を行うとき、用いるデータ長コード(DLC)は受信されたものが使用されます。これを適用するには、リモートフレームのDLCは要求されているデータフレームのDLCに対応したものであることが必要です。</p> <p>【重要】 ATXが使用され、MBCがB'001のとき、リモートフレームのIDは、応答メッセージの場合と同じく、データフレームのIDと完全に同じでなくてはならないため、IDEビットのフィルタは使用できません。</p> <p>【重要】 本機能を使用する場合、リモートフレームを受信するにもかかわらず、RTRビットはセットされません。リモートフレームを受信するとCPUはセット済みRFPRによって通知されますが、RCAN-ETは現在のメッセージをデータフレームとして送信する必要があるためRTRビットは変更されません。</p> <p>【重要】 オーバラン状態(NMC=0に設定されたメールボックスのUMSRがセット)では、受信メッセージは破棄されます。ATX=1に設定されたメールボックスがリモートフレームによりオーバラン状態になった場合、旧メッセージの自動送信の要求が受付られる場合があります。</p> <p>0: データフレームの自動送信無効 1: データフレームの自動送信有効</p> <p>【注】 本ビットはメールボックス1~15にのみあります。メールボックス0ではリザーブビットとなります。</p>
		11	DART	<p>自動再送信無効</p> <p>このビットがセットされると、CANバスエラーのイベントが発生した場合や、CANバスのアービトラージで負けた場合、メッセージの自動再送信を無効にします。実際に、本機能が使用されるときは、対応するTXCRビットが送信の最初に自動的にセットされます。このビットが0にセットされると、RCAN-ETは送信が正常終了されるまで、あるいはTXCRでキャンセルされるまで、要求された回数だけ送信し続けます。</p> <p>0: 再送信有効 1: 再送信無効</p> <p>【注】 本ビットはメールボックス1~15にのみあります。メールボックス0ではリザーブビットとなります。</p>

13. コントローラエリアネットワーク (RCAN-ET)

レジスタ名	アドレス	ビット	ビット名	説 明
MB[x]. CONTROL1H	H'110+N*32	10~8	MBC[2:0]	<p>メールボックスコンフィギュレーション</p> <p>これらのビットは各メールボックスの機能を表 13.3 のように設定します。MBC が B'111 のとき、メールボックスはアクティブでなくなります。つまり TXPR やその他の設定にかかわらずメッセージの送受信を行いません。MBC を B'100、B'101、B'110 に設定することは禁止されています。MBC をそれら以外の値に設定すれば LAFM フィールドは使用可能となります。MBC が受信に設定されているとき、TXPR はセットしないでください。ハードウェア保護機能はなく、TXPR はセットされたままになります。メールボックス 0 の MBC1 はハードウェアによって 1 に固定されます。</p>
MB[X]. CONTROL1L	H'111+N*32	7~4	—	<p>リザーブビット</p> <p>書き込む値は 0 にしてください。読み出し値は保証されません。</p>
		3~0	DLC[3:0]	<p>データ長コード</p> <p>データフレームで送信されるデータのバイト数 (0~8) をエンコードします。リモートフレーム要求が送信される時、これに使用される DLC の値は要求されたデータフレームの DLC の値と等しいものでなくてはなりません。</p> <p>0000 : データ長 0 バイト 0001 : データ長 1 バイト 0010 : データ長 2 バイト 0011 : データ長 3 バイト 0100 : データ長 4 バイト 0101 : データ長 5 バイト 0110 : データ長 6 バイト 0111 : データ長 7 バイト 1xxx : データ長 8 バイト</p> <p>【注】 x : Don't care</p>

表 13.3 メールボックスの機能の設定

MBC2	MBC1	MBC0	データ フレーム送信	リモート フレーム送信	データ フレーム受信	リモート フレーム受信	説明	
0	0	0	可	可	不可	不可	• メールボックス 0 は 使用禁止	
0	0	1	可	可	不可	可	• ATX で使用可能* • メールボックス 0 は 使用禁止 • LAFM は使用可能	
0	1	0	不可	不可	可	可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
0	1	1	不可	不可	可	不可	• メールボックス 0 は 使用可能 • LAFM は使用可能	
1	0	0	設定禁止					
1	0	1	設定禁止					
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ (初期値)					

【注】 * 自動再送信をサポートするために、MBC が B'001 で ATX が 1 のとき RTR は 0 にしてください。ATX が 1 の設定で使用するときは IDE のフィルタは使用しないでください。

13. コントローラエリアネットワーク (RCAN-ET)

13.3.3 ローカルアクセプタンスフィルタマスク (LAFM)

MBC が B'001、B'010、B'011 の値の場合、このフィールドは受信用の LAFM として使用されます。LAFM はメールボックスが複数の受信 ID を受け入れることを許可します。LAFM は図 13.4 に示すとおり、2 つの 16 ビットの読み出し/書き込み可能なエリアから成ります。

レジスタ名	アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
MB[0].LAFMH	H'104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]												EXTID_LAFM[17:16]	16/32ビット	LAFM
MB[0].LAFML	H'106+N*32	EXTID_LAFM[15:0]													16ビット				

図 13.4 ローカルアクセプタンスフィルタマスク (LAFM)

1 つのビットが LAFM にセットされている場合、RCAN-ET が一致する CAN-ID でメールボックスを検索するとき、受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STDID/IDE/EXTID と一致していません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. RCAN-ET は、メールボックス 15 からメールボックス 0 まで、一致する ID の検索を開始します。RCAN-ET は一致する ID を検知すると、ただちに検索を終了し、そのメッセージは NMC や RXPR/RFPFR フラグによらず格納されます。これは、LAFM を使用していても受信メッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. 1 つのメッセージが受信され一致するメールボックスが見つかったら、メッセージ全体がメールボックスに格納されます。LAFM を使用している場合、STDID、RTR、IDE、EXTID は受信されたメッセージの STDID、RTR、IDE、EXTID に更新されるので、受信前に設定されていたものと異なります。

レジスタ名	アドレス	ビット	ビット名	説明
MB[x]. LAFMH	H'104+N*32	15	IDE_LAFM	IDE ビットのフィルタマスクビット 0 : 対応する IDE ビットが有効 1 : 対応する IDE ビットが無効
		14, 13	—	リザーブビット 書き込む値は 0 にしてください。読み出し値は保証されません。
		12~2	STDID_LAFM [10:0]	STDID[10:0]のフィルタマスクビット 0 : 対応する STDID ビットが有効 1 : 対応する STDID ビットが無効
		1, 0	EXTID_LAFM [17:16]	EXTID[17:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効
MB[x]. LAFML	H'106+N*32	15~0	EXTID_LAFM [15:0]	EXTID[15:0]のフィルタマスクビット 0 : 対応する EXTID ビットが有効 1 : 対応する EXTID ビットが無効

13.3.4 メッセージデータフィールド

送受信される CAN メッセージを格納します。MSG_DATA_0 は送受信が行われる最初のデータバイトに対応します。CAN バス上のビットの並び順はビット 7 からビット 0 です。

13.4 RCAN-ET のコントロールレジスタ

RCAN-ET のコントロールレジスタについて説明します。RCAN-ET のコントロールレジスタはワードサイズ (16 ビット) でのみアクセスできます。

表 13.4 に RCAN-ET のコントロールレジスタを示します。

表 13.4 RCAN-ET のコントロールレジスタの構成

レジスタ名	略称	アクセスサイズ (ビット)
マスタコントロールレジスタ	MCR	ワード
ジェネラルステータスレジスタ	GSR	ワード
ビットコンフィギュレーションレジスタ 1	BCR1	ワード
ビットコンフィギュレーションレジスタ 0	BCR0	ワード
インタラプトリクエストレジスタ	IRR	ワード
インタラプトマスクレジスタ	IMR	ワード
送信エラーカウンタ/受信エラーカウンタ	TEC/REC	ワード

13.4.1 マスタコントロールレジスタ (MCR)

MCR は、16 ビットの読み出し/書き込み可能なレジスタで、RCAN-ET を制御します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCR15	MCR14	-	-	-	TST[2:0]		MCR7	MCR6	MCR5	-	-	MCR2	MCR1	MCR0	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MCR15	1	R/W	<p>ID 並べ替え</p> <p>本ビットは HCAN2 と互換性のあるメッセージコントロールおよび LAFM の STDID、RTR、IDE、EXTID の順序を設定できます。なお本ビットはリセットモードでのみ変更可能です。ID 並び替えの順序については図 13.5 を参照してください。</p> <p>0 : RCAN-ET と HCAN2 は同等の順序 1 : RCAN-ET と HCAN2 は異なる順序</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説 明
14	MCR14	0	R/W	<p>自動バスオフホルト</p> <p>本ビットと MCR6 がともに設定された場合、RCAN-ET がバスオフ状態に入ると MCR1 はただちに自動的にセットされます。本ビットはリセットモードでのみ変更可能です。</p> <p>0 : 通常の復帰シーケンス (128 × 11 レセツピビット) で RCAN-ET バスオフ状態を維持</p> <p>1 : MCR6 がセットされると RCAN-ET はバスオフ状態のあと、ただちにホルトモードに入ります</p>
13~11	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
10~8	TST[2:0]	000	R/W	<p>テストモード</p> <p>本ビットはテストモードを有効/無効にします。テストモードを起動する前に、RCAN-ET をホルトモードあるいはリセットモードにする必要がありますので注意してください。これは、テストモードへの遷移が進行中の送受信に影響することを回避するためです。詳細については「13.6.2 テストモードの設定」を参照してください。</p> <p>テストモードは診断およびテストのためだけに用いるもので、RCAN-ET が通常動作時には使用できません。</p> <p>000 : ノーマルモード</p> <p>001 : リスンオンリモード (受信専用モード)</p> <p>010 : セルフテストモード 1 (外部)</p> <p>011 : セルフテストモード 2 (内部)</p> <p>100 : ライトエラーカウンタ</p> <p>101 : エラーパッシブモード</p> <p>110 : 設定禁止</p> <p>111 : 設定禁止</p>
7	MCR7	0	R/W	<p>自動ウェイクモード</p> <p>本ビットは CAN スリープモードの自動ウェイクモードを有効/無効にします。本ビットが設定されると、RCAN-ET は CAN バスアクティビティ (ドミナントビット) を検出して自動的に CAN スリープモード (MCR5) を解除します。本ビットがクリアされると RCAN-ET は自動的に CAN スリープモードを解除しません。</p> <p>RCAN-ET は、RCAN-ET をウェイクアップしたメッセージを格納できません。</p> <p>0 : CAN バスのアクティビティによる自動ウェイクモードが無効</p> <p>1 : CAN バスのアクティビティによる自動ウェイクモードが有効</p> <p>【注】 CAN スリープモード中は MCR7 ビットを変更できません。</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説 明
6	MCR6	0	R/W	<p>バスオフ時ホルト</p> <p>本ビットは、バスオフ時に MCR1 がセットされるとただちにホルトモードに入ることを有効にするか無効にするかを設定します。本ビットはリセットあるいはホルトモードでのみ変更可能です。バスオフ時にホルトモードに入った場合、CAN コントローラもただちにエラーアクティブモードに復帰するので注意してください。</p> <p>0: MCR1 がセットされてもバスオフ時にホルトモードには入らず、復帰シーケンスが終了するのを待ちます</p> <p>1: バスオフ時に MCR1 または MCR14 がアサートされると、ただちにホルトモードに入ります</p>
5	MCR5	0	R/W	<p>CAN スリープモード</p> <p>本ビットは CAN スリープモードへの遷移を有効/無効にします。RCAN-ET がホルトモード時に本ビットがセットされると、CAN スリープモードへの遷移が有効になります。本ビットの設定は、ホルトモードに入った後に許可されます。2つのエラーカウンタ (REC、TEC) は CAN スリープモードの間は変化しません。CAN スリープモードを解除するには2つの方法があります。</p> <ul style="list-style-type: none"> • MCR5 ビットに0を書き込む • MCR7 が有効の場合、CAN バス上のドミナントビットを検出する <p>自動ウェイクアップモードが無効であれば、CAN スリープモードが終了するまで RCAN-ET はすべての CAN バスの動作を無視します。CAN スリープモードを解除するときは、RCAN-ET は CAN バス動作に入る前に 11 個のリセットビットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに RCAN-ET が最初のメッセージを受信できないことを意味します。同様に CAN トランシーバもスタンバイモードを終了するときには最初のメッセージを受信できませんので、ソフトウェアはこの方法で設計する必要があります。</p> <p>CAN スリープモード中は MCR、GSR、IRR、IMR レジスタだけがアクセス可能です。</p> <p>0: CAN スリープモードが解除されています</p> <p>1: CAN スリープモードへの遷移が有効です</p> <p>【注】 RCAN-ET は、最初にホルトモードに設定してから CAN スリープモードに遷移することを推奨します。これにより、CAN スリープモードに遷移する前に CPU が待ち状態のすべての割り込みをクリアすることができます。すべての割り込みがクリアされてしまうと同時に RCAN-ET はホルトモードから CAN スリープモードに遷移しなければなりません。(具体的には MCR5 に 1 を、MCR1 に 0 を同時にライトします。)</p>
4、3	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値は常に0にしてください。</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信プライオリティ</p> <p>本ビットはペンディング中の送信データの送信順序を選択します。本ビットを1にセットした場合、送信データは送信待ちレジスタ (TXPR) のビット順で送信されます。</p> <p>送信はメールボックス 15 を最優先で開始し、メールボックス 1 まで続けます (メールボックスが送信用に設定されている場合)。</p> <p>もし本ビットがクリアされると、すべての送信メッセージは (内部アービトレーションを走らせることにより) 優先順位どおりキューに入ります。最優先のメッセージは最小の数字のアービトレーションフィールド (STDID + IDE ビット + EXTID (IDE=1 の場合) + RTR ビット) を持ち、最初に送信されます。内部アービトレーションは RTR ビットと IDE ビットを含みます (内部アービトレーションは、2つの CAN ノード間の CAN バス上にあるアービトレーションが同時に遷移を開始するのと同じ方法で動作します)。</p> <p>本ビットはリセットあるいはホルトモードでのみ変更可能です。</p> <p>0: メッセージ ID 優先順に送信 1: メールボックス番号順 (メールボックス 15 → メールボックス 1) に送信</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットするとCANコントローラは現在の動作を終了したのちホルトモードに入ります（ここでCANバスからは切り離されます）。RCAN-ETは本ビットがクリアされるまでホルトモードのままになります。</p> <p>ホルトモード中、CANインタフェースはCANバス動作に関係せず、メッセージの格納や送信も行いません。ホルト状態を自身に通知するためのIRR0とGSR4を除き、ユーザレジスタ（メールボックスの内容およびTEC/RECを含みます）の内容は保持されます。</p> <p>CANバスがアイドルまたはインタミッション状態の場合は、MCR6にかかわらずRCAN-ETは1ビット時間内にホルトモードになります。MCR6がセットされると、バスオフ中のホルトリクエストも1ビット時間内に動作します。それ以外ではバスオフ復帰シーケンスは事前に完了します。ホルトモードになるとIRR0とGSR4によって通知されます。</p> <p>MCR14とMCR6がセットされると、本ビットはRCAN-ETがバスオフ状態になればすぐに自動的にセットされます。</p> <p>ホルトモード中、RCAN-ETはバス動作に関係しないため、ビットタイミング設定を除きRCAN-ETの設定を変更することができます。</p> <p>CANバス動作に再び参加するには、本ビットを0にクリアする必要があります。クリア後、RCAN-ETは11個のレセシブビットが検出されるまで待ち、CANバスに参加します。</p> <p>0：ホルトモードリクエストをクリア 1：ホルトモード遷移リクエスト</p> <p>【注】 1. ホルトリクエストが発行された後は、CPUはホルトモードへの遷移が完了するまで(IRR0とGSR4で通知されます)TXPRとTXCRにアクセスおよび本ビットをクリアすることができません。MCR1がセットされた後、この状態はホルトモードに入ってからか、(ソフトウェアまたハードウェアでの)リセット動作でのみ解除できます。</p> <p>2. ホルトモードへあるいはホルトモードからの遷移が可能なのは、BCR1とBCR0レジスタが適切なポーレートに設定されているときだけです。</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>本ビットは RCAN-ET モジュールのリセットを制御します。本ビットが 0 から 1 に変わったとき、RCAN-ET コントローラはリセットルーチンに入り、内部ロジックを再び初期化して、リセットモードを通知するため GSR3 と IRR0 をセットします。すべてのユーザレジスタが初期化されます。</p> <p>本ビットがセットされている間、RCAN-ET は再設定することができます。 (コンフィグレーションモード)</p> <p>CAN バスに参加するために本ビットは 0 をライトしてクリアする必要があります。クリア後、RCAN-ET は、11 個のレセッシブビットの検出を待って CAN バスに参加します。</p> <p>CAN バス上の値をサンプリングするためにボーレートを適切な値に設定する必要があります。パワーオンリセット後には、このビットと GSR3 は常にセットされます。これはリセットがリクエストされ RCAN-ET を設定する必要があることを示します。</p> <p>リセットリクエストはパワーオンリセットに相当しますがソフトウェアで制御されます。</p> <p>0 : リセットモードリクエストをクリア 1 : CAN インタフェースのリセットモード遷移リクエスト</p>

・ MCR15 (ID並べ替え) = 0

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	0	STDID[10:0]											RTR	IDE	EXTID[17:16]	16/32ビット	コントロール0	
H*102+N*32	EXTID[15:0]																	16ビット
H*104+N*32	0	STDID_LAFM[10:0]											0	IDE_LAFM	EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド	
H*106+N*32	EXTID_LAFM[15:0]																	16ビット

・ MCR15 (ID並べ替え) = 1

アドレス	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アクセスサイズ	フィールド名
H*100+N*32	IDE	RTR	0	STDID[10:0]											EXTID[17:16]	16/32ビット	コントロール0	
H*102+N*32	EXTID[15:0]																	16ビット
H*104+N*32	IDE_LAFM	0	0	STDID_LAFM[10:0]											EXTID_LAFM [17:16]	16/32ビット	LAFMフィールド	
H*106+N*32	EXTID_LAFM[15:0]																	16ビット

図 13.5 ID 並べ替え

13.4.2 ジェネラルステータスレジスタ (GSR)

GSR は、16 ビットの読み出し専用レジスタで、RCAN-ET の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	-	すべて0	R	リザーブビット 書き込む値は常に0にしてください。読み出すと常に0が読み出されます。
5	GSR5	0	R	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。本ビットは RCAN-ET がエラーパッシブ状態になるとすぐに1にセットされ、再びエラーアクティブ状態になるとクリアされます。これは、エラーパッシブ中とバスオフ中は、GSR5は1を保持することを意味します。したがって、正確な状態を知るには GSR5 と GSR0 の両方を調べてください。 0: RCAN-ET はエラーパッシブあるいはバスオフ状態ではありません [クリア条件] RCAN-ET がエラーアクティブ状態の間 1: RCAN-ET がエラーパッシブ (ただし GSR0=0 の場合) あるいはバスオフ (ただし GSR0=1 の場合) です [セット条件] TEC ≥ 128、REC ≥ 128 のとき、またはエラーパッシブテストモードが選択されている場合
4	GSR4	0	R	ホルト/スリープステータス CAN コントローラがホルト/スリープかどうかを示します。本フラグのクリア時間は IRR12 のセッティング時間とは同じではありませんので留意してください。このフラグは CAN コントローラの状態を反映するもので、RCAN-ET の状態をフルに反映するものではありません。RCAN-ET は CAN スリープモードを終了し MCR5 がクリアされるとアクセス可能になります。CAN コントローラの CAN スリープモードは、転送クロック 2 ビット分経過後に終了します。 0: RCAN-ET はホルトモードでも CAN スリープモードでもありません 1: ホルトモード (MCR1=1 の場合) または CAN スリープモード (MCR5=1 の場合) です [セット条件] MCR1 がセットされ CAN バスがインタミッションまたはアイドルの場合、または MCR5 がセットされ RCAN-ET がホルトモードのとき、または MCR14 と MCR6 が両者ともセットされて RCAN-ET がバスオフへ遷移したとき
3	GSR3	1	R	リセットステータス RCAN-ET がリセット状態かどうかを示します。 0: RCAN-ET はリセット状態ではありません 1: RCAN-ET がリセット状態です [セット条件] RCAN-ET のソフトウェアまたはハードウェアリセットの後

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
2	GSR2	1	R	<p>メッセージ送信進行フラグ</p> <p>RCAN-ET がバスオフ状態にあるのか、メッセージを送信中なのかまたは送信中に検出されたエラー起因によるエラー／オーバーロードのフラグを送信中なのかを CPU に示すフラグです。TXACK をセットするタイミングと GSR2 をクリアするタイミングとは異なります。TXACK はフレームエンドの 7 番目のビットにセットされます。GSR2 については、送信待ちのメッセージがない場合には、インタミッションの 3 番目のビットでセットされます。また、アービトラジョンロスト、バスアイドル、受信、リセット、ホルト遷移でもセットされます。</p> <p>0 : RCAN-ET はバスオフ状態またはメッセージを送信中です 1 : [セット条件] バスオフ状態でない、またはメッセージを送信中でない</p>
1	GSR1	0	R	<p>送信／受信ワーニングフラグ</p> <p>エラーワーニングを示すフラグです。</p> <p>0 : [クリア条件] $TEC < 96$ かつ $REC < 96$ またはバスオフのとき 1 : [セット条件] $96 \leq TEC < 256$ または $96 \leq REC < 256$ のとき</p> <p>【注】 REC は、バスオフ復帰シーケンスに必要な 11 個のレセツピットの繰り返し回数をカウントするために、バスオフ中は増加します。ただし、本ビットはバスオフ中にはセットされません。</p>
0	GSR0	0	R	<p>バスオフフラグ</p> <p>RCAN-ET がバスオフ状態であることを示します。</p> <p>0 : [クリア条件] バスオフ状態から復帰またはハードウェアあるいはソフトウェアリセットの後 1 : [セット条件] $TEC \geq 256$ (バスオフ状態)</p>

13.4.3 ビットコンフィギュレーションレジスタ 0、1 (BCR0、BCR1)

BCR0、BCR1 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケアラを設定します。

以下、タイムクウォンタを以下のとおり定義します。

$$\text{タイムクウォンタ} = 2 \times \text{BRP} / f_{\text{clk}}$$

BRP (ボーレートプリスケアラ) は BCR0 格納値+1 の値です。f_{clk} は周辺バスクロック周波数です。

(1) BCR1

TSEG1 と TSEG2 の設定については表 13.5 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TSG1[3:0]				-	TSG2[2:0]				-	-	SJW[1:0]		-	-	-	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	

ビット	ビット名	初期値	R/W	説明
15~12	TSG1[3:0]	0000	R/W	<p>タイムセグメント 1</p> <p>これらのビットは、CAN バス上のエッジをポジティブフェーズエラーで補償するため、セグメント TSEG1 (=PRSEG + PHSEG1) を設定することに使用します。4~16 タイムクウォンタが設定できます。</p> <p>0000 : 設定禁止</p> <p>0001 : 設定禁止</p> <p>0010 : 設定禁止</p> <p>0011 : PRSEG + PHSEG1=4 タイムクウォンタ</p> <p>0100 : PRSEG + PHSEG1=5 タイムクウォンタ</p> <p style="text-align: center;">:</p> <p>1111 : PRSEG + PHSEG1=16 タイムクウォンタ</p>
11	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
10~8	TSG2[2:0]	000	R/W	<p>タイムセグメント 2</p> <p>これらのビットは、CAN バス上のエッジをネガティブフェーズエラーで補償するため、セグメント TSEG2 (=PRSEG2) を設定することに使用します。2~8 タイムクォンタが設定できます。</p> <p>000 : 設定禁止</p> <p>001 : PHSEG2=2 タイムクォンタ (条件によっては設定禁止です。表 13.5 を参照してください)</p> <p>010 : PHSEG2=3 タイムクォンタ</p> <p>011 : PHSEG2=4 タイムクォンタ</p> <p>100 : PHSEG2=5 タイムクォンタ</p> <p>101 : PHSEG2=6 タイムクォンタ</p> <p>110 : PHSEG2=7 タイムクォンタ</p> <p>111 : PHSEG2=8 タイムクォンタ</p>
7、6	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
5、4	SJW[1:0]	00	R/W	<p>再同期ジャンプ幅</p> <p>同期ジャンプ幅を設定します。</p> <p>00 : 同期ジャンプ幅=1 タイムクォンタ</p> <p>01 : 同期ジャンプ幅=2 タイムクォンタ</p> <p>10 : 同期ジャンプ幅=3 タイムクォンタ</p> <p>11 : 同期ジャンプ幅=4 タイムクォンタ</p>
3~1	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント</p> <p>データがサンプリングされるポイントを設定します。</p> <p>0 : 1 か所でビットサンプリングが行われます (タイムセグメント 1 の最後)</p> <p>1 : 3 か所でビットサンプリングが行われます (PHSEG1 の最終 3 クロックサイクルの立ち上がりエッジ)</p>

(2) BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BRP[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
7~0	BRP[7:0]	0000000	R/W	ポーレートプリスケール これらのビットは、1 タイムクォンタに対応する周辺バスクロック数を設定します。 0000000 : 2×周辺バスクロック 0000001 : 4×周辺バスクロック 0000010 : 6×周辺バスクロック : 2× (レジスタ値+1) ×周辺バスクロック 1111111 : 512×周辺バスクロック

• ビットコンフィギュレーションレジスタについて



SYNC_SEG : CAN バス上のノードの同期をするセグメント (通常のビットエッジ遷移がこのセグメントで発生します)

PRSEG : ネットワーク間の物理的な遅延を調整するセグメント

PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます)

PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます)

TSEG1 : TSG1 + 1

TSEG2 : TSG2 + 1

RCAN-ET ビットレートは以下のとおり計算されます。

$$\text{ビットレート} = \text{freq} / \{2 \times (\text{BRP} + 1) \times (\text{TSEG1} + \text{TSEG2} + 1)\}$$

ここで BRP はレジスタ値で与えられ、また TSEG1 および TSEG2 は後述の表から算出した値です。上記ビットレート計算式のタイムセグメント「+1」は SYNC_SEG の 1 タイムクォンタであることによります。

13. コントローラエリアネットワーク (RCAN-ET)

$fclk$ = 周辺バスクロック

BCR 設定上の制約となる事項

$$TSEG1 \text{ (Min.)} > TSEG2 \geq SJW \text{ (Max.)} \quad (SJW=1\sim 4)$$

$$8 \leq TSEG1 + TSEG2 + 1 \leq 25 \text{ タイムクウォンタ (} TSEG1 + TSEG2 + 1 = 7 \text{ は不可)}$$

$$TSEG2 \geq 2$$

ビットコンフィギュレーションレジスタの TSEG1 および TSEG2 の値が表 13.5 に示される設定値の範囲であれば、上述の制限事項を満たします。表 13.5 の値は SJW の設定可能値を示したものです。「不可」で示されたところは TSEG1 と TSEG2 との組み合わせがとれません。

表 13.5 TSG と TSEG の設定

		001	010	011	100	101	110	111	TSG2
		2	3	4	5	6	7	8	TSEG2
TSG1	TSEG1								
0011	4	不可	1-3	不可	不可	不可	不可	不可	
0100	5	1-2	1-3	1-4	不可	不可	不可	不可	
0101	6	1-2	1-3	1-4	1-4	不可	不可	不可	
0110	7	1-2	1-3	1-4	1-4	1-4	不可	不可	
0111	8	1-2	1-3	1-4	1-4	1-4	1-4	不可	
1000	9	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1001	10	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1010	11	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1011	12	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1100	13	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1101	14	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1110	15	1-2	1-3	1-4	1-4	1-4	1-4	1-4	
1111	16	1-2	1-3	1-4	1-4	1-4	1-4	1-4	

例 1: $fclk$ が 24MHz でビットレートを 250kbps とする場合、BRP = 4、TSEG1 = 5、TSEG2 = 4 が条件を満たします。この場合、BCR1 には H'4300、BCR0 には H'0004 をライトすることになります。

例 2: $fclk$ が 20MHz でビットレートを 500kbps とする場合、BRP = 1、TSEG1 = 6、TSEG2 = 3 が条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。

13.4.4 インタラプトリクエストレジスタ (IRR)

IRR は、16 ビットの読み出し／書き込み可能なレジスタで、各種割り込み要因のステータスフラグで構成されています。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	IRR13	IRR12	—	—	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15, 14	—	すべて0	R	リザーブビット
13	IRR13	0	R/W	<p>メッセージエラー割り込み</p> <p>本割り込みは、テストモードでメッセージエラーが発生したことを示します。ただし、テストモード中にメッセージオーバロード条件が発生しても、本ビットはセットされません。また、テストモード以外では機能しません。</p> <p>0: テストモードでメッセージエラーが発生していない</p> <p>[クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください。)</p> <p>1: [セット条件] テストモードでメッセージエラーが発生</p>
12	IRR12	0	R/W	<p>CAN スリープモード時バスアクティビティ</p> <p>本ビットは CAN バスアクティビティの存在を示します。RCAN-ET が CAN スリープモードのとき、CAN バス上でドミナントビットを検出すると、本ビットがセットされます。本ビットに 1 を書き込むと割り込みがクリアされます。0 を書き込むと無視されます。オートウェイクアップ機能を使用せず本割り込みが要求されない場合は、対応するマスクビットで必ず本割り込みを無効にしてください。オートウェイクアップ機能不使用時に本割り込みが要求された場合は、CAN スリープモードから復帰した後に本ビットをクリアしてください。これは、受信ライン上の新しい立ち下がりエッジにより、再び割り込みがセットされるのを防ぐためです。</p> <p>本割り込みのセット時間は、GSR4 のクリア時間と異なりますので注意してください。</p> <p>0: バスアイドル状態</p> <p>[クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください。)</p> <p>1: CAN バスアクティビティを CAN スリープモード中に検出</p> <p>[セット条件] CAN スリープモード中に CRx0 上でドミナントへのビット状態変化を検出</p>
11, 10	—	すべて0	R	リザーブビット

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
9	IRR9	0	R	<p>メッセージオーバーラン/オーバーライト割り込みフラグ</p> <p>本ビットは、メッセージを受信したが、対応する RXPR または RFPR がすでに 1 にセットされているためメールボックス内のメッセージが読み出されず、CPU によってクリアされていないことにより、新しく受信されたメッセージは NMC ビットの設定によって、捨てられる (オーバーラン) か上書き (オーバーライト) されたことを示します。本ビットは UMSR レジスタの対応するビットに 1 を書き込むとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: メッセージオーバーラン/オーバーライト通知がない</p> <p>[クリア条件] UMSR のすべてのビットがクリアまたはセットされたすべての UMSR に対応する MBIMR がセット</p> <p>1: オーバーランが発生したため、受信メッセージが捨てられた。またはメッセージがオーバーライトされた</p> <p>[セット条件] 対応する PXPR または RFPR=1 かつ MBIMR=0 のときにメッセージを受信</p>
8	IRR8	0	R	<p>メールボックスエンブティ割り込みフラグ</p> <p>送信用に設定されたメッセージの 1 つが正常に送信 (対応する TXACK フラグがセット) または送信アボート (送信キャンセルが実行されたメッセージに対応する ABACK フラグがセット) されると本ビットがセットされます。このとき対応する TXPR ビットがクリアされ、メールボックスが次の送信用のメッセージデータを受け入れられるようになります。実際には、本ビットは MBIMR フラグによってマスクされていない TXACK と ABACK ビットの OR を取った信号によってセットされます。したがって、すべての TXACK および ABACK ビットがクリアされると、本ビットは自動的にクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むことでもクリアできます。本ビットに対する書き込みは無効です。</p> <p>0: 送信または送信キャンセルするメッセージが処理中でない</p> <p>[クリア条件] すべての TXACK および ABACK ビットがクリアまたは、セットされたすべての TXACK および ABACK ビットに対応する MBIMR がセット</p> <p>1: メッセージが送信または送信アボート (送信キャンセル) され、次のメッセージの格納が可能となった</p> <p>[セット条件] TXACK または ABACK ビットがセットされた時 (MBIMR =0 の場合)</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
7	IRR7	0	R/W	<p>オーバロードフレーム</p> <p>RCAN-ET がオーバロードフレームの送信を検出したことを示すフラグです。IRR7 に 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください。)</p> <p>1 : [セット条件] オーバロード条件を検出</p>
6	IRR6	0	R/W	<p>バスオフ割り込みフラグ</p> <p>本ビットは、RCAN-ET がバスオフ状態になったとき、またはバスオフ状態からエラーアクティブ状態に戻ったときセットされます。したがって、ノードの $TEC \geq 256$、バスオフ復帰シーケンスの終了 (11 個のレセツピットを 128 回連続受信) またはバスオフから停止状態への遷移 (オートまたはマニュアル) が要因となります。本ビットは RCAN-ET がバスオフ解除となった後もセットされた状態となりますので、ソフトウェアでクリアする必要があります。ソフトウェアで GSR0 をリードし RCAN-ET がバスオフ状態からエラーアクティブ状態が判定してください。本ビットはノードがまだバスオフ状態であっても 1 を書き込むとクリアされます。0 を書き込むと無視されます。</p> <p>0 : [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください。)</p> <p>1 : 送信エラーによりバスオフ状態に遷移した、またはバスオフ状態からエラーアクティブ状態に復帰した</p> <p>[セット条件] $TEC \geq 256$ または 11 個のレセツピットを 128 回連続受信した後バスオフ終了またはバスオフから停止状態へ遷移</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>受信または送信エラーカウンタによるエラーパッシブ状態、またはテストモードによって強制的にエラーパッシブ状態になったことを示します。本ビットに 1 を書き込むとクリアされ、0 を書き込むと無視されます。本ビットがクリアされてもノードはエラーパッシブ状態のままとなる場合があります。ソフトウェアで GSR0 および GSR5 をチェックし、RCAN-ET がエラーパッシブ状態であるかバスオフ状態であるか判定する必要があります。</p> <p>0 : [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください。)</p> <p>1 : 送信/受信エラーによるエラーパッシブ状態</p> <p>[セット条件] $TEC \geq 128$ または $REC \geq 128$ またはエラーパッシブテストモードを使用</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
4	IRR4	0	R/W	<p>受信エラーカウンタワーニング割り込みフラグ</p> <p>RCAN-ET がバスオフ状態でないときに受信エラーカウンタ (REC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください。)</p> <p>1: 受信エラーによるエラーワーニング状態 [セット条件] RCAN-ET がバスオフ状態以外で REC ≥ 96</p>
3	IRR3	0	R/W	<p>送信エラーカウンタワーニング割り込みフラグ</p> <p>送信エラーカウンタ (TEC) が 95 を超えるとセットされます。本ビットに 1 を書き込むと割り込みはクリアされ、0 を書き込むと無視されます。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください。)</p> <p>1: 送信エラーによるエラーワーニング状態 [セット条件] TEC ≥ 96</p>
2	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>メールボックスがリモートフレームを受信したことを示します。対応する MBIMR がセットされていない少なくとも 1 つのメールボックスに、リモートフレーム送信リクエストが格納されているとセットされます。本ビットは、リモートフレーム受信完了レジスタ (RFPR) のすべてのビットがクリアされるとクリアされます。また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0: [クリア条件] RFPR のすべてのビットがクリア</p> <p>1: 少なくとも 1 つのリモートフレームリクエストが処理待ち状態 [セット条件] 対応する MBIMR=0 のときリモートフレームを受信</p>
1	IRR1	0	R	<p>データフレーム受信割り込みフラグ</p> <p>処理待ち状態の受信データフレームが存在することを示します。本ビットが 1 のとき、少なくとも 1 つのメールボックスに未処理のメッセージが格納されています。本ビットは、データフレーム受信完了レジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにも未処理のメッセージがない) クリアされます。MBIMR が 0 でない各受信メールボックスの RXPR フラグの論理和が設定されます。</p> <p>また、MBIMR の対応するすべてのビットに 1 を書き込むとクリアされます。本ビットに対する書き込みは無効です。</p> <p>0: [クリア条件] RXPR のすべてのビットがクリア</p> <p>1: データフレームを受信しメールボックスに格納した [セット条件] 対応する MBIMR=0 のときデータを受信</p>

13. コントローラエリアネットワーク (RCAN-ET)

ビット	ビット名	初期値	R/W	説明
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ 下記の3つの要因によってセットされます。</p> <ul style="list-style-type: none"> ソフトウェアリセット (MCR0) またはハードウェアリセット後、リセットモードに遷移 ホルトリクエスト (MCR1) の後、ホルトモードに遷移 ホルトモードでスリープリクエスト (MCR5) 発行後、CAN スリープモードに遷移 <p>本ビットがセットされた後 GSR をリードして、RCAN-ET の状態を知ることができます。</p> <p>【注】 スリープモードリクエストを発行する必要がある場合、事前にホルトモードを使用してください。MCR5の説明および図 13.8を参照してください。</p> <p>IRR0 は GSR3 または GSR4 が 0 から 1 に変化したとき、またはホルトモードから CAN スリープモードに遷移したときにセットされます。したがって、RCAN-ET がホルトモード解除の直後に再びホルトモードに遷移した場合は GSR4 がクリアされないため、IRR0 はセットされません。同様に、CAN スリープモードからホルトモードに直接遷移した場合も IRR0 はセットされません。ホルトモード/CAN スリープモードから送信/受信動作に遷移する際、GSR4 がクリアされるまでに [1 ビット時間-TSEG2]~[1 ビット時間×2-TSEG2] の時間が必要です。</p> <p>リセットモードの場合、IRR0 はセットされますが初期化によって IMR0 が自動的にセットされるため、CPU への割り込みはアサートされません。</p> <p>0: [クリア条件] 1 を書き込む (割り込みを使用し、CPU によってクリアする場合、1 ライト後必ずフラグをリードしてください。)</p> <p>1: ソフトウェアリセットモードまたはホルトモードまたは CAN スリープモードへ遷移</p> <p>[セット条件] リセット (MCR0 またはハードウェア) またはホルトモード (MCR1) または CAN スリープモード (MCR5) リクエストの後、リセット/ホルト/CAN スリープモードへの遷移が完了</p>

13. コントローラエリアネットワーク (RCAN-ET)

13.4.5 インタラプトマスクレジスタ (IMR)

IMR は、16 ビットの読み出し／書き込み可能なレジスタで、インタラプトリクエストレジスタ (IRR) の各ビットに対応する割り込みの IRQ 出力信号の生成をマスクします。ビットを 1 に設定すると対応する割り込み要求がマスクされます。IMR は IRQ の生成を直接制御しますが、IRR の対応するビットのセットを禁止しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	IMR[15:0]	すべて 1	R/W	IRR[15:0]の各ビットに対応する割り込み要因マスク 本ビットをセットすると、IRR の対応するビットがセットされてもその割り込み信号は生成されません。 0 : 対応する IRR をマスクしない (割り込み要因が発生すると IRQ が生成される) 1 : IRR の対応する割り込みをマスクする

13.4.6 送信エラーカウンタ (TEC) /受信エラーカウンタ (REC)

TEC および REC は、読み出し／条件付き書き込み可能な 16 ビットのレジスタで、CAN インタフェースにおける送信／受信メッセージエラー数を示すカウンタです。カウント値は前述した参考文献の[1]、[2]、[3]、[4]に規定されています。ライトエラーカウンタテストモード以外では本レジスタはリード専用で、CAN インタフェースによってのみ書き替え可能です。本レジスタは、リセットリクエスト (MCR0) またはバスオフ状態への遷移によってクリアされます。

ライトエラーカウンタテストモード (TST[2:0]=B'100) では、本レジスタへの書き込みが可能です。TEC および REC には同じ値しか書き込めません。TEC に書き込まれた値は TEC および REC に設定されます。本レジスタに書き込む際は、RCAN-ET をホルトモードにする必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*															

【注】 * MCR の TST[2:0]=B'100 によるテストモードのときのみ書き込み可能です。REC はバスオフ状態において、バスオフ復帰シーケンスに必要な 11 個のレセシブビットの受信回数をカウントします。

ビット	ビット名	初期値	R/W	説明
15~8	TEC[7:0]	すべて 0	R/W*	送信エラーカウンタ 送信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。
7~0	REC[7:0]	すべて 0	R/W*	受信エラーカウンタ 受信中に CAN 仕様に基づくエラーが検出されると本レジスタの値はインクリメントされます。

13.5 RCAN-ET のメールボックスレジスタ

RCAN-ET のメールボックスレジスタについて説明します。RCAN-ET のメールボックスレジスタは、各メールボックスを制御し、メールボックスの状態を示します。

表 13.6 に RCAN-ET のメールボックスレジスタを示します。

【重要】 ロングワードアクセスは、2つの連続したワードアクセスとして行われます。

表 13.6 RCAN-ET のメールボックスレジスタ

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
送信待ちレジスタ 1	TXPR1	H'020	ロングワード
送信待ちレジスタ 0	TXPR0	H'022	—
		H'024	
		H'026	
		H'028	
送信キャンセルレジスタ 0	TXCR0	H'02A	ワード
		H'02C	
		H'02E	
		H'030	
送信アクノリッジレジスタ 0	TXACK0	H'032	ワード
		H'034	
		H'036	
		H'038	
アポートアクノリッジレジスタ 0	ABACK0	H'03A	ワード
		H'03C	
		H'03E	
		H'040	
データフレーム受信完了レジスタ 0	RXPR0	H'042	ワード
		H'044	
		H'046	
		H'048	
リモートフレーム受信完了レジスタ 0	RFPR0	H'04A	ワード
		H'04C	
		H'04E	
		H'050	
メールボックスインタラプトマスクレジスタ 0	MBIMR0	H'052	ワード
		H'054	
		H'056	
		H'058	

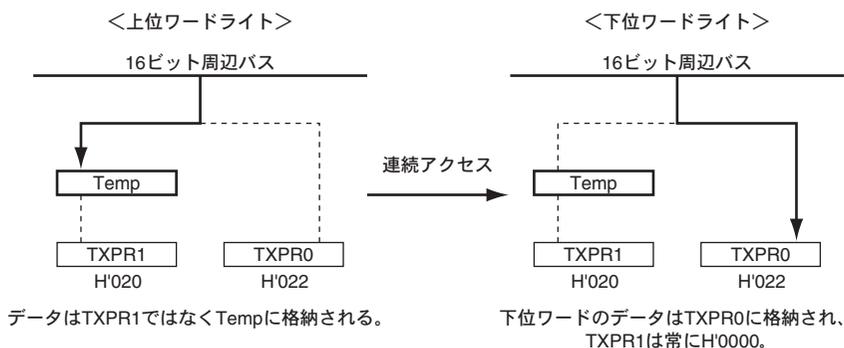
13. コントローラエリアネットワーク (RCAN-ET)

レジスタ名	略称	アドレス	アクセスサイズ (ビット)
未読メッセージステータスレジスタ 0	UMSR0	H'05A	ワード
		H'05C	
		H'05E	

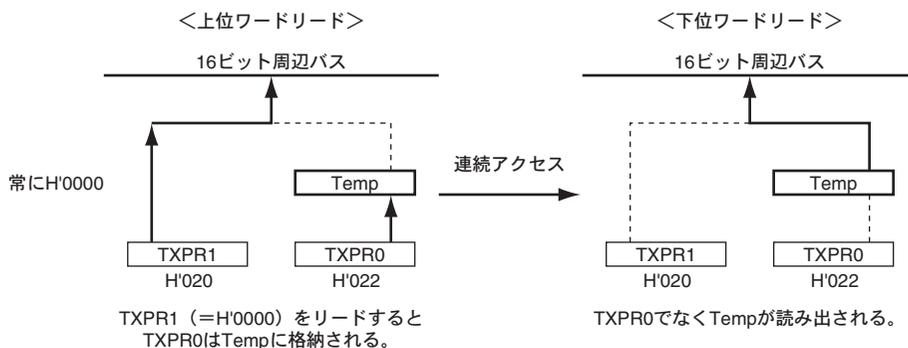
13.5.1 送信待ちレジスタ 1、0 (TXPR1、TXPR0)

TXPR1 と TXPR0 は連結され、CAN モジュールの送信待ちフラグを格納する 32 ビットのレジスタを構成します。16 ビットバスインタフェースの場合、ロングワードアクセスは、2 つの連続したワードアクセスとして行われます。

<ロングワードライト動作>



<ロングワードリード動作>



TXPR1 レジスタは常に 0 固定で、TXPR1 レジスタへの書き込みは無効です。TXPR0 レジスタはメールボックス 15~1 を制御します。CPU はビットに 1 を書き込むことで対応する送信メッセージに対して操作することができます。0 書き込みは無効で、TXPR をクリアするには TXCR の対応するビットをセットしなければなりません。CPU は TXPR をリードして、送信待ちのメールボックスおよび送信中のメールボックスを知ることができます。実際には、メールボックス 0 以外のすべてのメールボックスについて送信待ちビットが存在します。また、送信に設定されていないメールボックスに対するビットに 1 を書き込むことは禁止されています。

メッセージが正常に送信された後、または TXCR からの送信アボートが行われた後、RCAN-ET は対応する送信待ちフラグをクリアします。TXPR のフラグは、CAN ノードがアービトレーションに負けたり CAN バス上にエラーが発生したために、メッセージが送信されなかった場合はクリアされません。このとき対応するメールボックスのメッセージコントロールフィールドの DART (自動再送信無効) ビットがセットされていない場合は、RCAN-ET は自動的に再送信を試みます。DART がセットされていると送信はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) とアボートアクノリッジレジスタ (ABACK) の対応するビットによって CPU に通知されます。

TXPR の状態が変化したときは、バスアービトレーションに負けたり CAN バス上にエラーが発生した場合でも、ID が示す優先順位 (MCR2=0) が最も高いメッセージが常に送信されるように処理します。詳細については「13.6 動作説明」を参照してください。

RCAN-ET が TXPR のビットの状態を 0 に変更したとき、メールボックスエンプティ割り込みフラグ (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したかアボートされたことを示します。メッセージの送信が正常終了した場合は、TXACK に示され、メッセージ送信がアボートされた場合は ABACK に示されます。これらのレジスタをチェックすることによって対応するメールボックスのメッセージデータフィールドの内容を次の送信用に書き替えることができます。

(1) TXPR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR1 への書き込みは無効です。

13. コントローラエリアネットワーク (RCAN-ET)

(2) TXPR0

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXPR0[15:1]															—
初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0															
R/W： R/W* R															

【注】 * 送信用に設定されたメールボックスに対応するビットには、1のみ書き込むことができます。常に H'0000 が読み出されます。TXPR1/TXPR0 のリード/ライトは、必ずロングワードアクセスで行ってください。TXPR0 のビット 0 への書き込みは無効です。

ビット	ビット名	初期値	R/W	説明
15~1	TXPR0[15:1]	H'0000	R/W	対応するメールボックスに CAN フレーム送信リクエストが発生していることを示します。ビット 15~1 はメールボックス 15~1 に対応しています。複数のビットがセットされた場合の送信順序は、MCR2 ビットの設定によりメッセージ ID 優先順またはメールボックス番号順に送信されます。 0：対応するメールボックスが送信メッセージアイドル状態 [クリア条件] メッセージ送信終了またはメッセージ送信アポート（自動的にクリアされます） 1：対応するメールボックスに送信リクエストが発生
0	—	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視されます。読み出し値は 0 です。

13.5.2 送信キャンセルレジスタ 0 (TXCR0)

TXCR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、メールボックス 15~1 を制御します。CPU は TXCR0 を使用して、TXPR の送信リクエストをキャンセルします。TXPR のビットをクリアするには、CPU から対応する TXCR のビットに 1 を書き込んでください。0 を書き込むと無視されます。

アボートが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、メールボックスが送信を開始した後は、本レジスタのビットでキャンセルすることはできません。このような場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットをセットします。しかし、アービトレーションに負けたりバス上にエラーが発生したりすることによって送信が行われなかった場合は、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、対応する ABACK のビットをセットします。CPU が送信待ち状態でないメールボックスの送信をクリアしようとしても無視されます。この場合、CPU は TXCR のフラグをセットすることはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXCR0[15:1]															-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * 送信リクエストを受けた送信メールボックスに対応するビットには 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXCR0[15:1]	H'0000	R/W	<p>送信用キューに入っているメールボックスに対し、送信キャンセルをリクエストします。ビット 15~1 はメールボックス 15~1 (および TXPR0[15:1]) に対応しています。</p> <p>0: 対応するメールボックスが送信メッセージキャンセルアイドル状態 [クリア条件] 送信メッセージキャンセルが終了 (自動的にクリアされます)</p> <p>1: 対応するメールボックスに対して送信キャンセルを要求</p>
0	-	0	R	<p>リザーブビット</p> <p>受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。</p>

13. コントローラエリアネットワーク (RCAN-ET)

13.5.3 送信アクノリッジレジスタ 0 (TXACK0)

TXACK0は、16ビットの読み出し／条件付き書き込み可能なレジスタで、メールボックスの送信が正常に行われたことをCPUに通知するために使用します。送信が正常に行われると、RCAN-ETはTXACK0レジスタの対応するビットをセットします。CPUは、1を書き込むことによってTXACK0のビットをクリアすることができます。0を書き込むと無視されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXACK0[15:1]															—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために1のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	TXACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信が正常に行われたことを通知します。ビット15~1はメールボックス15~1に対応しています。 0: [クリア条件] 1を書き込む 1: 対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）が正常に送信された [セット条件] 対応するメールボックスのメッセージ送信が完了
0	—	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に0となります。1を書き込むと無視され、読み出し値は常に0です。

13.5.4 アポートアクノリッジレジスタ 0 (ABACK0)

ABACK0 は、16 ビットの読み出し／条件付き書き込み可能なレジスタで、要求に応じてメールボックスの送信がアポートされたことを CPU に通知するために使用します。アポートが行われると、RCAN-ET は ABACK0 レジスタの対応するビットをセットします。CPU は、1 を書き込むことによって ABACK0 のビットをクリアすることができます。0 を書き込むと無視されます。RCAN-ET が ABACK0 のビットをセットすることにより、対応する TXCR ビットによって TXPR ビットがクリアされたことを認識します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	ABACK0[15:1]															-	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~1	ABACK0[15:1]	H'0000	R/W	対応するメールボックスに要求された送信キャンセルが正常に行われたことを通知します。ビット 15~1 はメールボックス 15~1 に対応しています。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスのメッセージ（データフレームまたはリモートフレーム）の送信がキャンセルされた [セット条件] 対応するメールボックスのメッセージ送信をキャンセル
0	-	0	R	リザーブビット 受信専用メールボックスのため、本ビットは常に 0 となります。1 を書き込むと無視され、読み出し値は常に 0 です。

13. コントローラエリアネットワーク (RCAN-ET)

13.5.5 データフレーム受信完了レジスタ 0 (RXPR0)

RXPR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがデータフレームを受信したことを示すフラグで構成されています。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効とされます。ただし、メールボックスが MBC (メールボックスコンフィギュレーション) によってデータフレームを受信するように設定されている場合のみビットがセットされます。RXPR のビットがセットされると、対応する MBIMR がセットされていなければ IRR1 (データフレーム受信割り込みフラグ) もセットされ、さらに IMR1 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

RXPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*														

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0[15:0]	H'0000	R/W	ビット 15~0 はメールボックス番号 15~0 の受信用に設定されたメールボックスに対応します。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN データフレームを受信した [セット条件] 対応するメールボックスのデータフレーム受信終了

13.5.6 リモートフレーム受信完了レジスタ 0 (RFPR0)

RFPR0は、16ビットの読み出し/条件付き書き込み可能なレジスタで、受信用に設定されたメールボックスがリモートフレームを受信したことを示すフラグで構成されています。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 を書き込むと対応するビットがクリアされます。0 を書き込むと無効されます。すべてのメールボックスに対してビットが存在しますが、メールボックスがMBC (メールボックスコンフィギュレーション) によってリモートフレームを受信するように設定されている場合のみビットがセットされます。RFPR のビットがセットされると、対応する MBIMR がセットされていなければIRR2 (リモートフレームリクエスト割り込みフラグ) もセットされ、さらに IMR2 がセットされていなければ割り込み信号が生成されます。本レジスタのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*														

【注】 * ビットをクリアするために1のみ書き込むことができます。

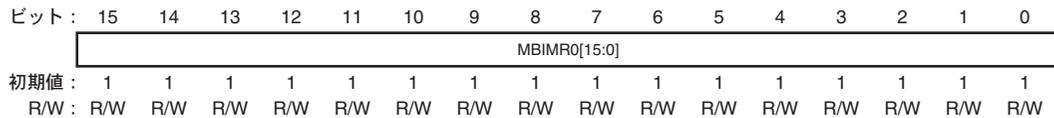
ビット	ビット名	初期値	R/W	説明
15~0	RFPR0[15:0]	H'0000	R/W	メールボックス 15~0 のリモートリクエスト受信フラグです。 0: [クリア条件] 1 を書き込む 1: 対応するメールボックスが CAN リモートフレームを受信した [セット条件] 対応するメールボックスのリモートフレーム受信終了

13. コントローラエリアネットワーク (RCAN-ET)

13.5.7 メールボックスインタラプトマスクレジスタ 0 (MBIMR0)

MBIMR0は、16ビットの読み出し/書き込み可能なレジスタです。MBIMR0は、メールボックスの動作に関連するIRR（IRR1：データフレーム受信割り込み、IRR2：リモートフレームリクエスト割り込み、IRR8：メールボックスエンプティ割り込み、IRR9：メッセージオーバーラン割り込み）をマスクするレジスタです。メールボックスが受信に設定されている場合、受信割り込みフラグ(IRR1、IRR2、IRR9)による割り込みをマスクします。RXPR、RFPR、UMSR ビットのセットには影響しません。メールボックスが送信に設定されている場合は、送信や送信アポート（IRR8）による割り込みやメールボックスエンプティ割り込みをマスクします。送信によるTXPR/TXCR ビットのクリアとTXACK ビットのセット、送信アポートによるTXPR/TXCR ビットのクリアとABACK ビットのセットには影響しません。

マスクするメールボックスに対応するビットに1を書き込むことでマスクが設定されます。リセット時はすべてのメールボックス割り込みがマスクされます



ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0[15:0]	H'FFFF	R/W	メールボックス 15~0 からの割り込み要求を許可/禁止します。 0：IRR1、IRR2、IRR8、IRR9 の割り込み要求を許可 1：IRR1、IRR2、IRR8、IRR9 の割り込み要求を禁止

13.5.8 未読メッセージステータスレジスタ 0 (UMSR0)

UMSR0 は、16 ビットの読み出し/条件付き書き込み可能なレジスタで、新しいメッセージを受信する際に CPU によって内容がアクセスされていない受信メールボックスを記録します。メールボックスの新しいメッセージを受信するときに、RXPR0 または RFPR0 の対応するビットが CPU によってクリアされていないと、UMSR0 のビットがセットされます。1 を書き込むとクリアされます。0 を書き込むと無効とされます。

メールボックスが送信に設定されている場合は、対応する UMSR0 のビットはセットされません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * ビットをクリアするために 1 のみ書き込むことができます。

ビット	ビット名	初期値	R/W	説明
15~0	UMSR0[15:0]	H'0000	R/W	<p>メールボックス 15~0 の未読受信メッセージがオーバーライトされたかオーバーランが発生したことを示します。</p> <p>0: [クリア条件] 1 を書き込む</p> <p>1: 未読受信メッセージが新しいメッセージでオーバーライトされた、またはオーバーランが発生した</p> <p>[セット条件] RXPR0 または RFPR0 がクリアされる前に新しいメッセージを受信</p>

13. コントローラエリアネットワーク (RCAN-ET)

13.5.9 RCAN モニタレジスタ (RCANMON)

RCANMON は CTx 端子の送信停止制御、RCAN-ET 送受信端子の有効/無効、RCAN-ET の端子の状態を反映します。本レジスタはソフトウェアリセット (MCR0) により初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	—	CTxSTP	RCANE	—	—	—	CTxD	CRxD
初期値:	不定	0	0	不定	不定	不定	不定	不定
R/W:	—	R/W	R/W	—	—	—	R	R

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット リード/ライトは無効です。
6	CTxSTP	0	R/W	CTx 端子送信停止 このビットを 1 にセットすると、RCAN の送信データに関わらず、CTx 端子のデータを 1 にします。
5	RCANE	0	R/W	RCAN-ET 送受信端子イネーブル このビットを 1 にセットすると、RCAN の CTx、CRx 端子を有効にします。
4~2	—	すべて不定	—	リザーブビット リード/ライトは無効です。
1	CTxD	不定	R	CTx 送信データモニタ リードすると CTx 端子の状態が読み出されます。 ライトは無効です。
0	CRxD	不定	R	CRx 受信データモニタ リードすると CRx 端子の状態が読み出されます。 ライトは無効です。

RCANMON の各ビットの PORT インタフェースの概要を図 13.6 に示します。

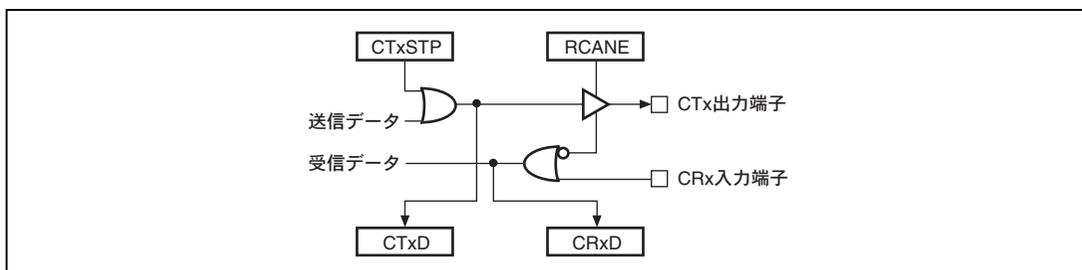


図 13.6 PORT インタフェース概要

13.6 動作説明

13.6.1 RCAN-ET の設定

ハードウェアリセット（パワーオンリセット）またはソフトウェアリセット（MCR0）後のコンフィギュレーションモードおよびホルトモード時の RCAN-ET の設定について説明します。どちらの場合も RCAN-ET は CAN バスアクティビティに参加できません。また、RCAN-ET の設定の変更が CAN バス上の通信に影響を与えることはありません。

(1) リセットシーケンス

図 13.7 にソフトウェアリセットまたはハードウェアリセット後の RCAN-ET の設定手順を示します。リセット後すべてのレジスタは初期化されます。したがって、CAN バスアクティビティに参加する前に RCAN-ET を設定する必要があります。詳細については図中の注を参照してください。

13. コントローラエリアネットワーク (RCAN-ET)

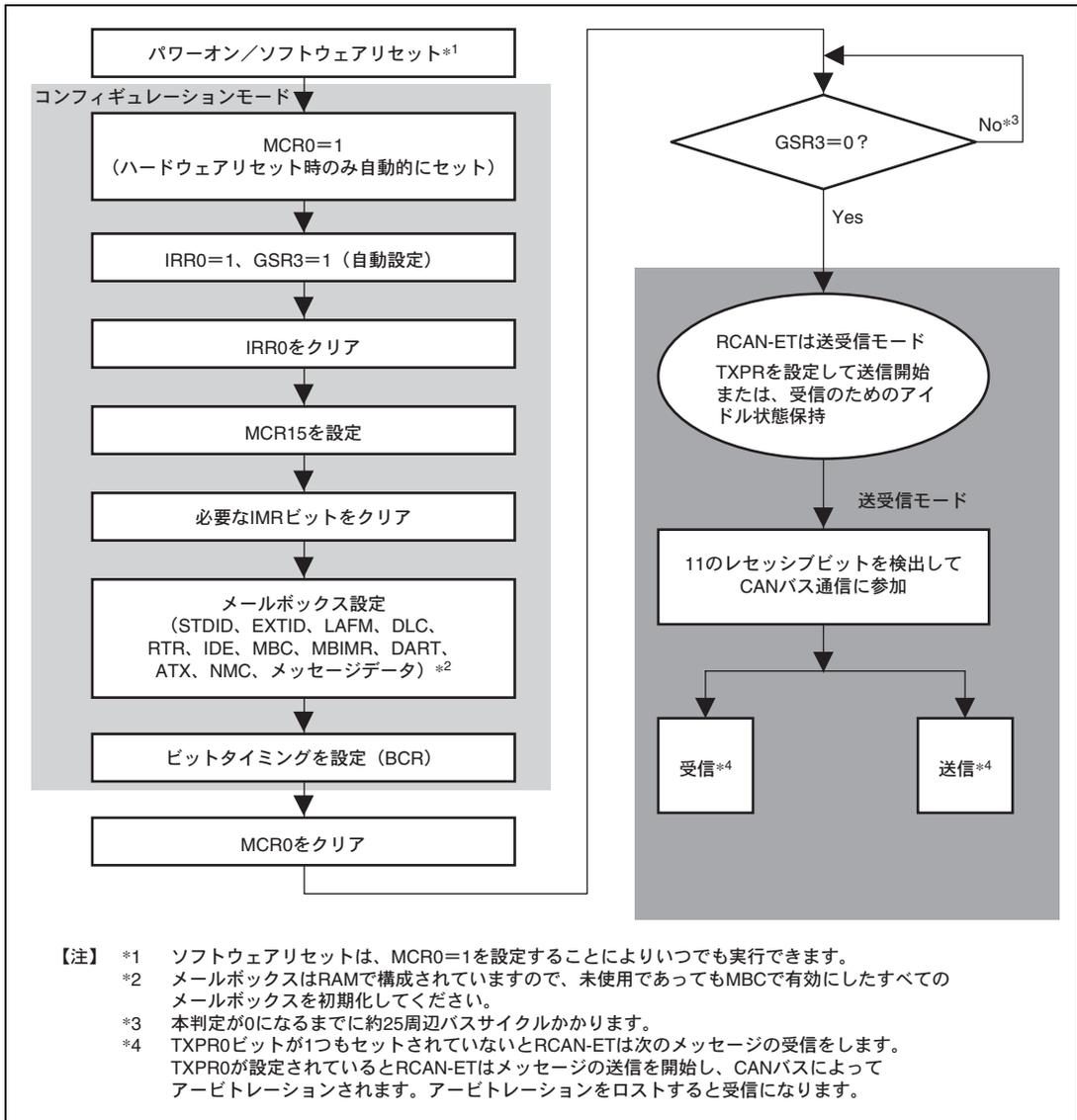


図 13.7 リセットシーケンス

(2) ホルトモード

RCAN-ET はホルトモードのとき、CAN バスアクティビティに参加することができません。したがってユーザは、CAN バス上の通信に影響を与えることなく必要なレジスタの設定を変更することができます。ここで重要なのは、レジスタを変更する前に RCAN-ET がホルトモードになるまで待つことです。ホルトモードへの遷移はかならずしも即時に行われるとはかぎりません (CAN バスがアイドルまたは休止状態のときに遷移します)。

RCAN-ET がホルトモードに遷移すると GSR4 ビットがセットされます。

設定終了後はホルトリクエストを解除する必要があります。RCAN-ET は CAN バス上で 11 個のレセッシブビットを検出した後 CAN バスアクティビティに参加します。

13. コントローラエリアネットワーク (RCAN-ET)

(3) CAN スリープモード

CAN スリープモード中では、RCAN-ET の主要なモジュールのクロックは消費電流を低減するために停止しますが、MCR、GSR、IRR、および IMR レジスタのみアクセスできます。なお、送信と受信に関連する割り込みは、CAN スリープモード中ではクリアできませんので、あらかじめクリアしてください。

図 13.8 に RCAN-ET の CAN スリープモードのフローチャートを示します。

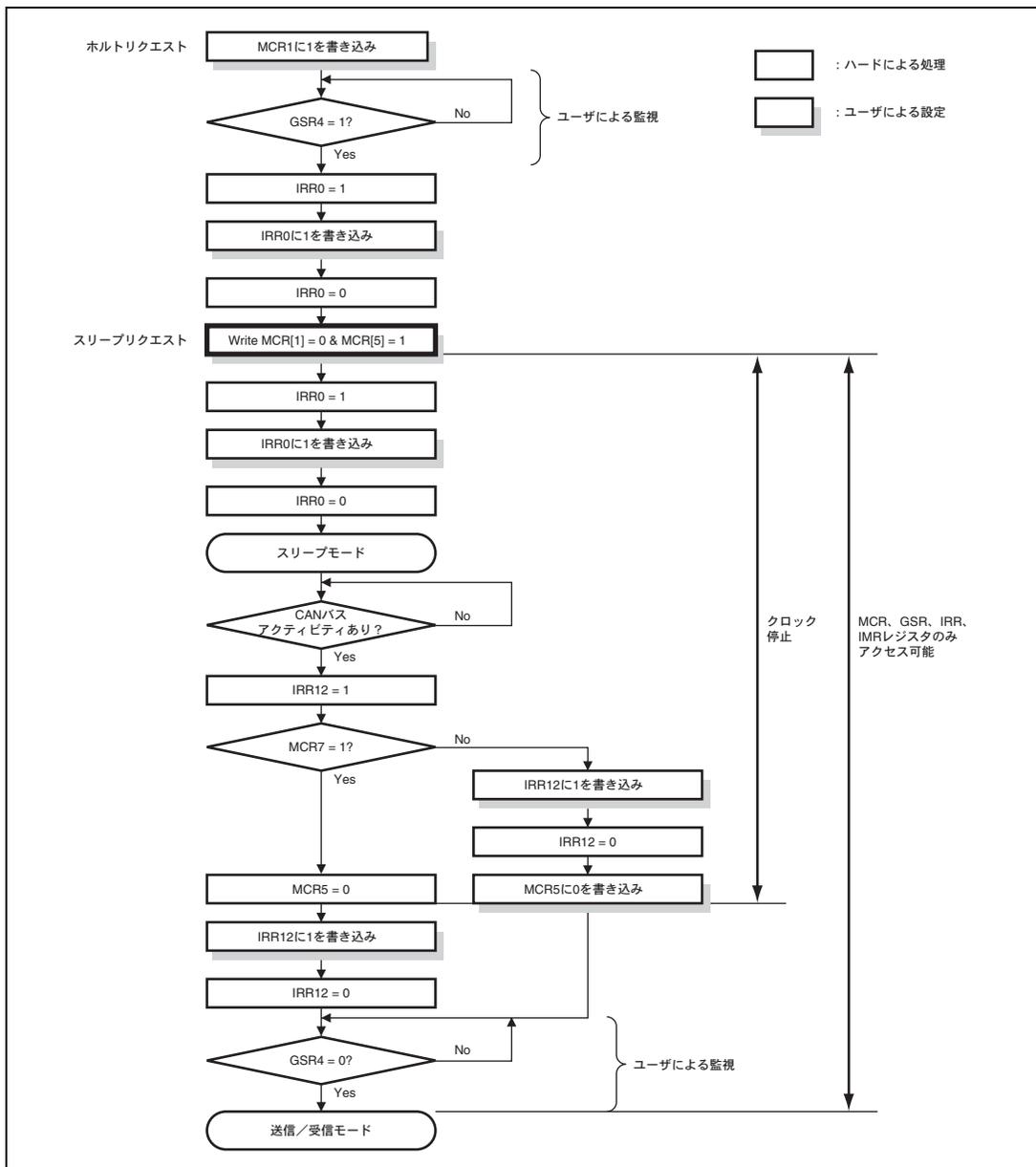


図 13.8 CAN スリープモードのフローチャート

図 13.9 に可能な状態遷移を示します。

なお、ホルトモード以外で MCR5 (CAN スリープモード) ビットをセットしないでください。

また、MCR1 ビットをセットした後は、MCR1 をクリアする前に必ず GSR4 をセットして RCAN-ET をホルトモードにしてください。

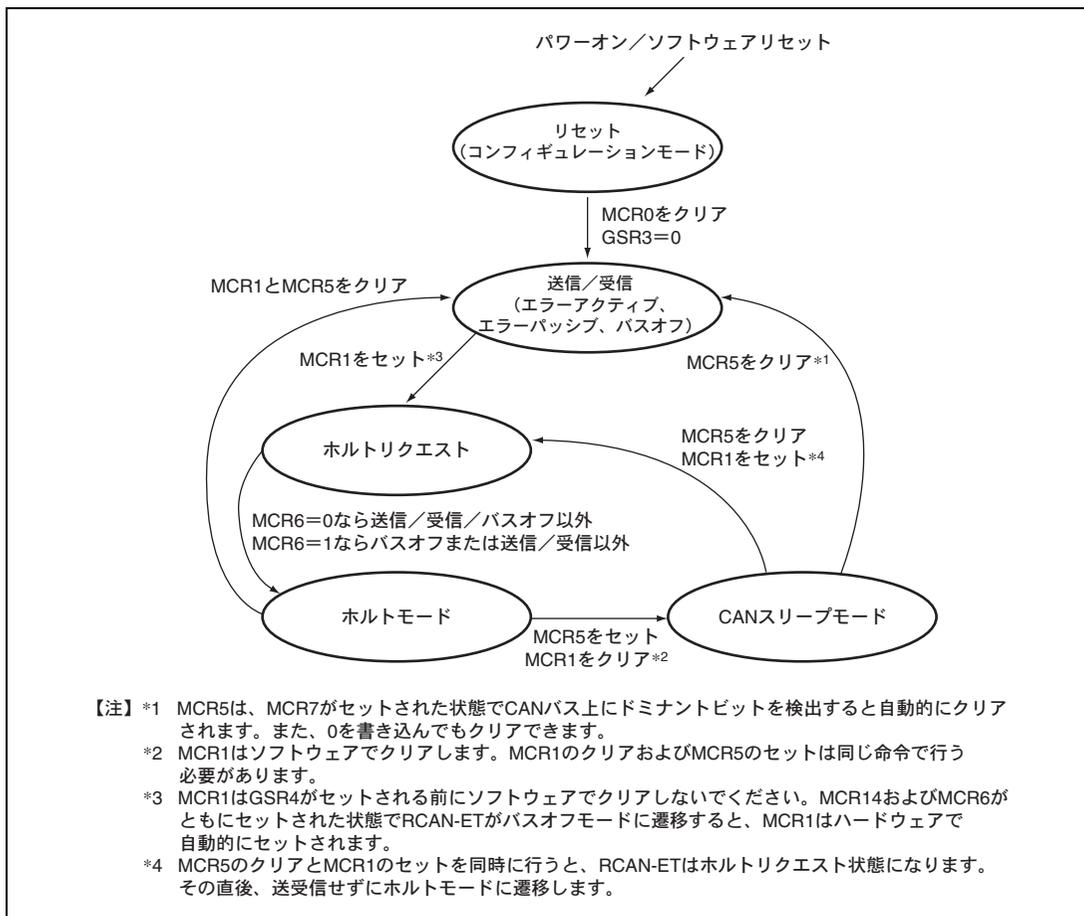


図 13.9 状態遷移図

13. コントローラエリアネットワーク (RCAN-ET)

各モードでのアクセスを許可する条件を表 13.7 に示します。

表 13.7 アクセス可能なレジスタ

ステータス モード	レジスタ									
	MCR、 GSR	IRR、 IMR	BCR	MBIMR	フラグ レジスタ	メールボックス (コントロール0、 LAFM)		メール ボックス (データ)	メールボックス (コントロール1)	
リセット	Yes	Yes	Yes	Yes	Yes	Yes		Yes	Yes	
送信/受信	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトリクエスト	Yes	Yes	No	Yes	Yes	No	Yes*	Yes*	No	Yes*
ホルトモード	Yes	Yes	No	Yes	Yes	Yes		Yes	Yes	
CAN スリープモード	Yes	Yes	No	No	No	No		No	No	

【記号説明】

Yes : アクセスを許可するレジスタ

No : アクセスを禁止するレジスタ

【注】 * TXPR0 がセットされていない場合

13.6.2 テストモードの設定

RCAN-ET には種々のテストモードがあります。テストモードの選択は MCR レジスタの TST[2:0] ビットで行います。RCAN-ET は、デフォルト (初期値) ではノーマルモードで動作します。

表 13.8 にテストモード設定を示します。

テストモードの選択はコンフィギュレーションモードでのみ可能です。選択したテストモードを実行するには、テストモードを選択した後コンフィギュレーションモードを解除 (BCR0/BCR1 が設定されていることを確認) してください。

表 13.8 テストモードの設定

TST2	TST1	TST0	モード
0	0	0	ノーマルモード
0	0	1	リスンオンリモード (受信専用モード)
0	1	0	セルフテストモード 1 (外部)
0	1	1	セルフテストモード 2 (内部)
1	0	0	ライトエラーカウンタ
1	0	1	エラーパッシブモード
1	1	0	設定禁止
1	1	1	設定禁止

- ノーマルモード

RCAN-ETは通常の動作をします。

- リスンオンリモード

ボーレート検出用にISO-11898で要求されているモードです。エラーカウンタはクリアされた後に動作禁止となり、TEC/RECの値が増加しないようになります。また、CTx出力を禁止し、RCAN-ETによるエラーフレームやアクノリッジビットの生成を抑制します。メッセージエラーが発生するとIRR13がセットされます。

- セルフテストモード1

RCAN-ET自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。CRx/CTx端子は必ずCANバスに接続してください。

- セルフテストモード2

RCAN-ET自身でアクノリッジビットを生成し、必要ならばメッセージをRCAN-ETの受信メールボックスに格納します。内部CTxが内部CRxにループバックされるため、CRx/CTx端子をCANバスその他の外部デバイスに接続する必要はありません。CTx端子はレセシブビットのみ出力し、CRx端子は無効となります。

- ライトエラーカウンタ

TEC/RECは本モードで書き込み可能です。エラーカウンタに127より大きい値を書き込むことにより、RCAN-ETを強制的にエラーパッシブモードにすることができます。TECに書き込まれた値はRECに書き込まれるので、TECとRECは常に同じ値に設定されます。同様に、95より大きい値を書き込むことにより、RCAN-ETを強制的にエラーワーニングモードにすることができます。

TEC/RECに書き込む際はRCAN-ETがホルトモードでなければなりません（エラーカウンタ書き込み時にMCR1=1）。さらにCAN仕様により、ホルトモードを解除する前に本テストモードを解除してTEC/RECを再び動作可能にする必要があります。

- エラーパッシブモード

RCAN-ETは強制的にエラーパッシブモードにすることができます。

エラーパッシブモードを実行することによってRECの値が変わることはありませんが、一度エラーパッシブモードで動作すると、エラーを受信すればRECの値は通常どおり増加します。本モードでは、TECの値が256に達するとRCAN-ETはバスオフ状態になりますが、本モードを使用するとRCAN-ETはエラーアクティブになることができません。したがってRCAN-ETはバスオフ復帰シーケンスの最後に、エラーアクティブではなくエラーパッシブに遷移します。

メッセージエラー発生時には、すべてのテストモードでIRR13ビットがセットされます。

13.6.3 メッセージ送信シーケンス

(1) メッセージ送信リクエスト

バス上に CAN フレームを送信するシーケンスを図 13.10 に示します。

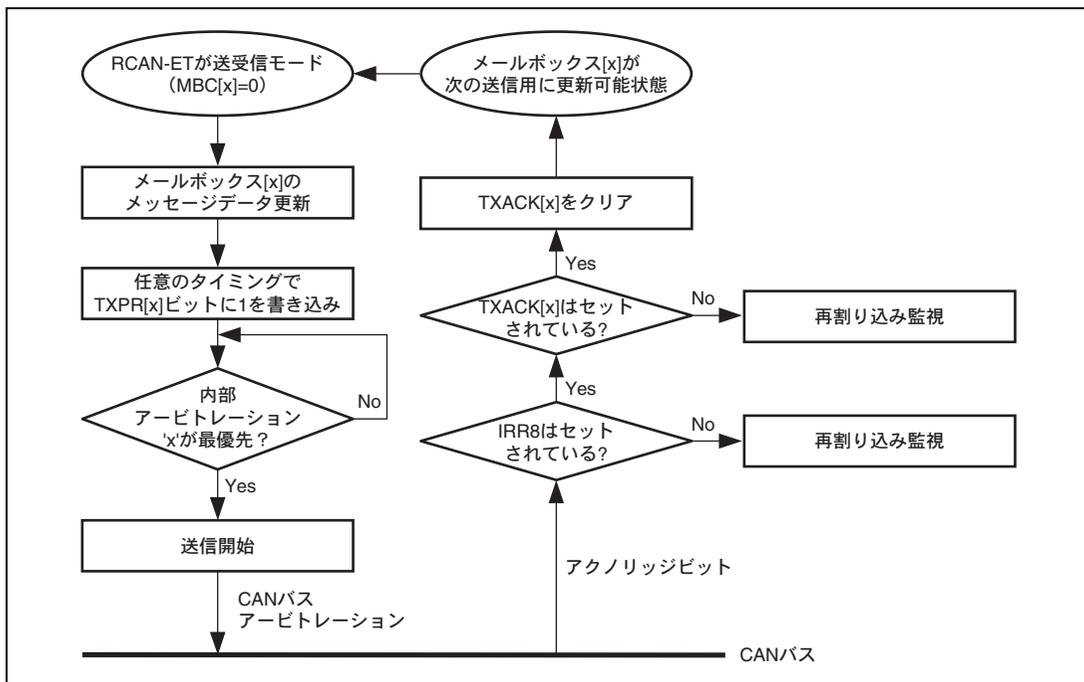


図 13.10 メッセージ送信リクエスト

レジスタの章で説明したとおり、TXACK または ABACK ビットのいずれかがセットされると、IRR8 がセットされることにご注意ください。これはいずれかのメールボックスが送信または送信アボートを終了し、次の送信用に更新可能状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していない（すべての TXPR フラグがセットされていない）ことを示しています。

(2) 送信用内部アービトレーション

図 13.11 は、RCAN-ET がどのようにしてメッセージ ID に従った順序で送信リクエストされたメッセージのスケジューリングを行うかを説明しています。内部アービトレーションでは、送信リクエストされたメッセージのうち最も優先度の高いものを取り出します。

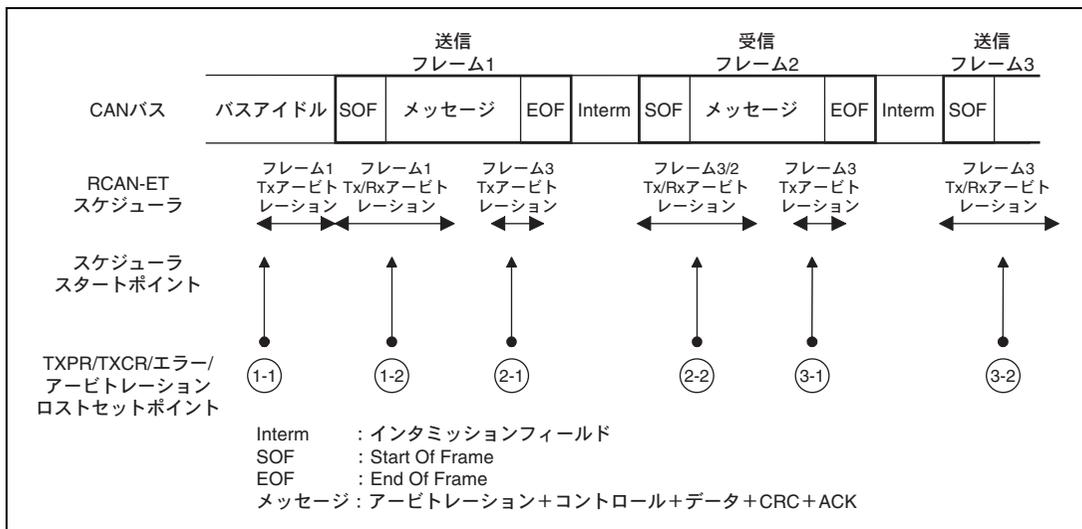


図 13.11 送信用内部アービトレーション

- 1-1 : CAN バスがアイドル状態のとき TXPR ビットがセットされると、ただちに内部アービトレーションを実行し、送信を開始します。
- 1-2 : SOF で送信、受信の両方の動作を開始します。受信フレームでないため、RCAN-ET は送信を行います。
- 2-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 2-2 : SOF で送信、受信の両方の動作を開始します。優先度の高い受信フレームであるため、RCAN-ET は受信を行います。このため、フレーム 3 を送信せずに受信を行います。
- 3-1 : CRC のデリミタで内部アービトレーションが開始し、次に送信するメッセージを探します。
- 3-2 : SOF で送信、受信の両方の動作を開始します。送信フレームの優先度が受信フレームよりも高いため、RCAN-ET は送信を行います。

CAN バス上でエラーが検出された場合、次の送信用の内部アービトレーションは各エラーデリミタの先頭でも行われます。また、オーバーロードフレームの後のエラーデリミタの先頭でも行われます。

送信用アービトレーションは CRC のデリミタで行われるため、ATX=1 のメールボックスがリモートフレームリクエストを受信した場合、そのリクエストに応じて送信するメッセージが送信用アービトレーションに参加するタイミングは、その後のバスアイドルまたは CRC デリミタまたはエラーデリミタになります。

CAN バスの状態により、TXCR がセットされてから最大 1CAN フレームの遅延後に対応するメッセージのアポート処理が行われます。

13. コントローラエリアネットワーク (RCAN-ET)

13.6.4 メッセージ受信シーケンス

メッセージ受信シーケンスを図 13.12 に示します。

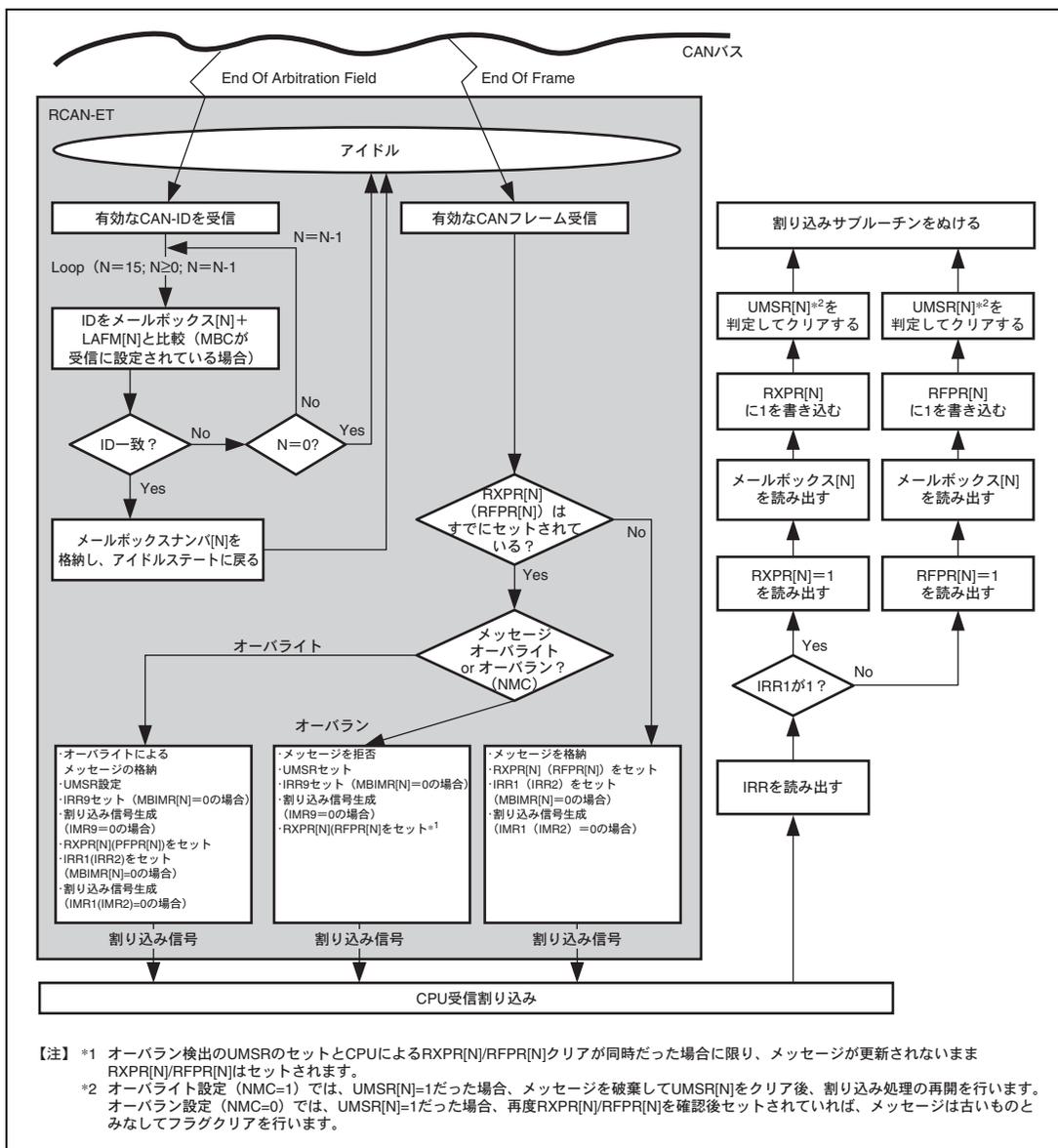


図 13.12 メッセージ受信シーケンス

メッセージを受信中に RCAN-ET がアービトレーションフィールドの最後を認識すると、受信した ID とメールボックスに設定された ID の比較を始めます。比較する順序はメールボックス 15 からメールボックス 0 の順です。まず MBC をチェックし、メールボックスが受信に設定されているか調べます。その後 LAFM を読み込み、続いてメールボックス 15 (受信用に設定されている場合) の ID を読み込み、受信した ID と比較します。一致しない

場合は、メールボックス 14 (受信用に設定されている場合) に対して同じチェックを行います。一致する ID を見つけると RCAN-ET はそのメールボックス番号 (N) を内部バッファに格納し、サーチを停止した後アイドル状態に戻り EOF (End Of Frame) を待ちます。EOF の 6 ビット目が通知されると、受信メッセージは NMC ビットの設定により書き込まれるか廃棄されます。

通信中に RCAN-ET のメッセージ ID と LAFM の設定を変更することはできません。設定変更する手段の 1 つとしてホルトモードおよびコンフィギュレーションモードがあります。メッセージを対応するメールボックスに書き込むと、メッセージ ID を含めて書き込まれるため、使用する LAFM により CAN-ID が受信メッセージの異なる CAN-ID でオーバライトされる可能性があります。これはまた、受信したメッセージの ID が複数のメールボックスの ID + LAFM と一致した場合に、受信メッセージは常にメールボックス番号の一番大きいメールボックスに格納され、小さい番号のメールボックスにはメッセージが格納されなくなってしまうことを意味しています。したがって、ID と LAFM の設定値は注意深く選択する必要があります。

図 13.12 に示すデータおよびリモートフレームの受信で、IRR をリードした後に UMSR フラグをクリアするのは、割り込みサービスルーチンの実行中にメッセージが同じメールボックスに格納された新しいメッセージでオーバライトされることを検出するためです。UMSR の最後のチェック中にオーバライトが検出された場合、メッセージを破棄し再度読み込む必要があります。

なお、UMSR がセットされたメールボックスがオーバランモード (NMC=0) に設定されていた場合、メッセージは上書きされずに残っていますが、CAN バス上でモニタされた最新のメッセージのものではありません。該当するメールボックスの RXPR/RFPR フラグをクリアする前に、そのメールボックスのすべての内容 (メールボックス[N]の領域) を読み出してください。

受信したリモートフレームがデータフレームでオーバライトされた場合、リモートフレームリクエスト割り込み (IRR2) およびデータフレーム受信割り込み (IRR1) がセットされ、受信フラグ (RXPR、RFPR) もセットされますので、ご注意ください。同様にデータフレームがリモートフレームでオーバライトされた場合も IRR2 と IRR1 がセットされます。

オーバランモード (NMC=0) では、これらのフラグは最初のメールボックスによってのみセットされます。このため、最初にデータフレームを受信すると RXPR と IRR1 の両方がアサートされます。その後データフレームを読み出す前にリモートフレームを受信すると、RFPR と IRR2 はセットされません。この場合、対応するメールボックスの UMSR がセットされます。

13.6.5 メールボックスの再設定

メールボックスの再設定が必要な場合は、下記の手順に従ってください。

(1) 送信ボックスの設定変更

下記の2つの場合があります。

- ID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DARTの変更

MBC=B'000の場合のみ変更可能です。対応するTXPRビットがセットされていないことを確認してください。設定（MBCを除く）はいつでも変更することができます。

- 送信ボックスから受信ボックスへの設定変更

対応するTXPRビットがセットされていないことを確認してください。ホルトモードまたはリセット状態でのみ変更可能です。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

(2) 受信ボックスのID、RTR、IDE、LAFM、データ、DLC、NMC、ATX、DART、MBCの設定変更および受信ボックスから送信ボックスへの変更

設定変更はホルトモードでのみ可能です。メッセージがCANバス上にありRCAN-ETが受信モードの場合、そのメッセージを逃すことはありません。RCAN-ETは現在行っている受信を完了してからホルトモードに遷移します。RCAN-ETがメッセージを受信中または送信中の場合、ホルト状態に遷移するのに時間がかかることがあります（受信／送信が終了するのを待ってからホルト状態に遷移するためです）。また、ホルト状態ではメッセージの送受信ができませんのでご注意ください。

RCAN-ETがバスオフ状態の場合、ホルト状態への遷移はMCRレジスタのビット6およびビット14の設定に従います。

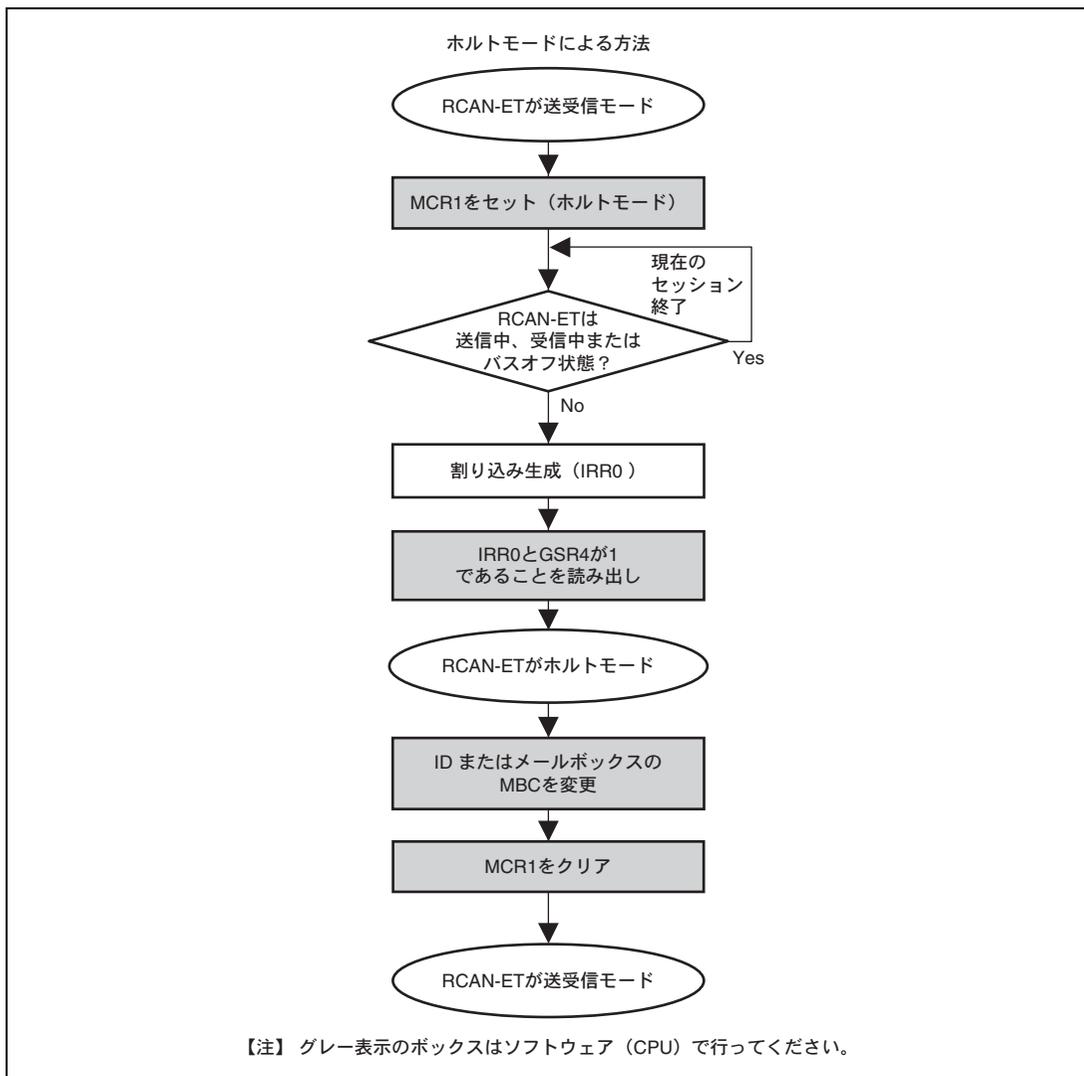


図 13.13 受信ボックスの ID 変更/受信ボックスから送信ボックスへの変更

13.7 割り込み要因

RCAN-ETには表 13.9 に示す割り込み要因があります。これらの要因は、パワーオンリセットによるリセット処理割り込み (IRR0) を除き、マスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ 0 (MBIMR0) およびインタラプトマスクレジスタ (IMR) を使用します。各割り込み要求の割り込みベクタについては「第 5 章 割り込みコントローラ」を参照してください。

表 13.9 RCAN-ET の割り込み要因

チャンネル	名称	説明	割り込みフラグ	DMAC の起動	
0	ERS_0	エラーパッシブ (TEC \geq 128 または REC \geq 128)	IRR5	不可	
		バスオフ (TEC \geq 256) / バスオフからの復帰	IRR6		
		エラーワーニング (TEC \geq 96)	IRR3		
		エラーワーニング (REC \geq 96)	IRR4		
	OVR_0	メッセージエラー検出	IRR13* ¹		
		リセット/ホルト/CAN スリープ遷移	IRR0		
		オーバロードフレーム送信	IRR7		
		未読メッセージのオーバーライト (オーバラン)	IRR9		
		CAN スリープ中 CAN バス動作の検出	IRR12		
	SLE_0	メッセージの送信/送信取り消し (スロットエンプティ)	IRR8		
	RM1_0* ²	データフレーム受信 /	IRR1* ³		可* ⁴
	RM0_0* ²	リモートフレーム受信	IRR2* ³		

【注】 *1 テストモードでのみ有効

*2 RM0_0 はメールボックス 0 のリモートフレーム受信フラグ (RFPR0[0]) またデータフレーム受信フラグ (RXPR0[0]) による割り込み、RM1_0 はメールボックス n (n=1~15) リモートフレーム受信フラグ (RFPR0[n]) またはデータフレーム受信フラグ (RXPR0[n]) による割り込みです。

*3 IPR1 はメールボックス 0~15 のデータフレーム受信フラグ、IRR2 はメールボックス 0~15 のリモートフレーム受信フラグです。

*4 RM0_0 割り込みのみ DMAC を起動できます。

13.8 DMAC インタフェース

RCAN-ET のメールボックス 0 にメッセージを受信すると、DMAC を起動することができます。なお、DMAC 起動を設定し、DMAC による転送が終了すると、自動的に RXPR0 と RFPR0 レジスタのフラグはクリアされます。このとき、RCAN-ET からの受信割り込みで CPU への割り込みは発生しません。図 13.14 に DMAC の転送フローチャートを示します。

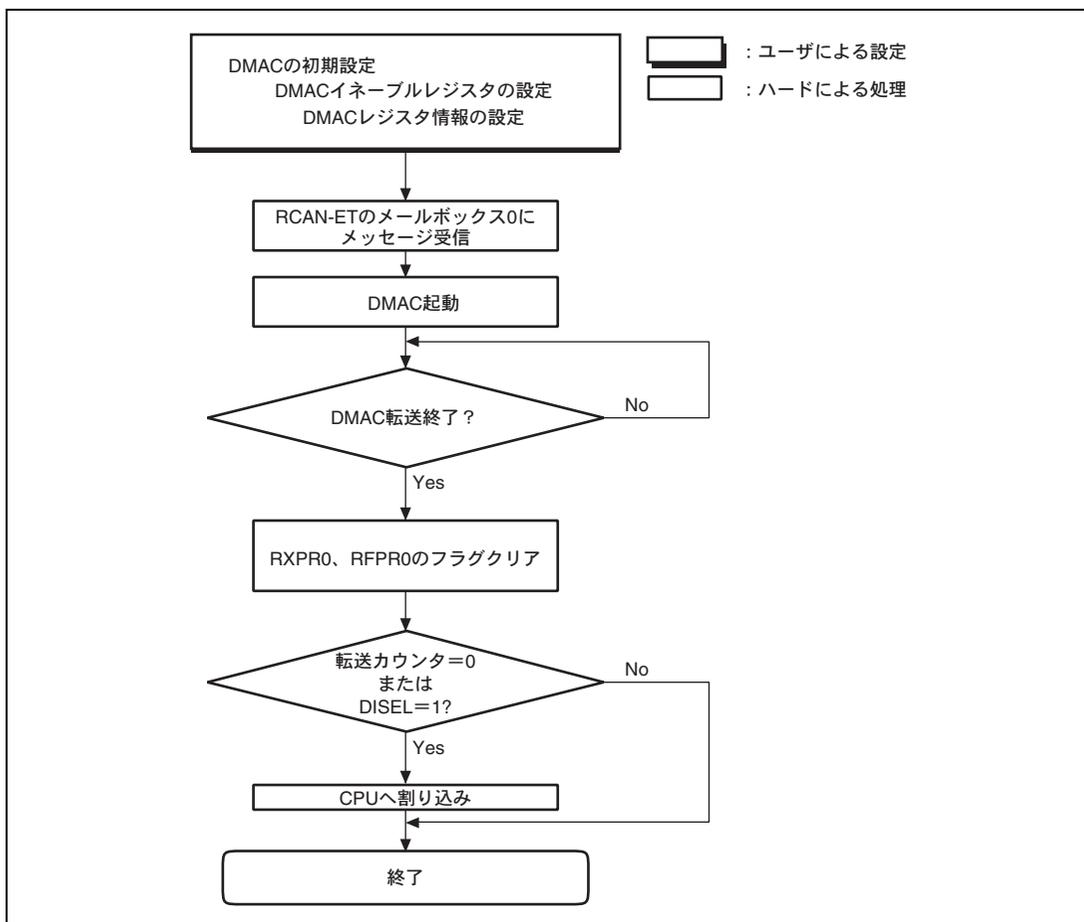


図 13.14 DMAC の転送フローチャート

13.9 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバスターンシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。図 13.15 に接続例を示します。

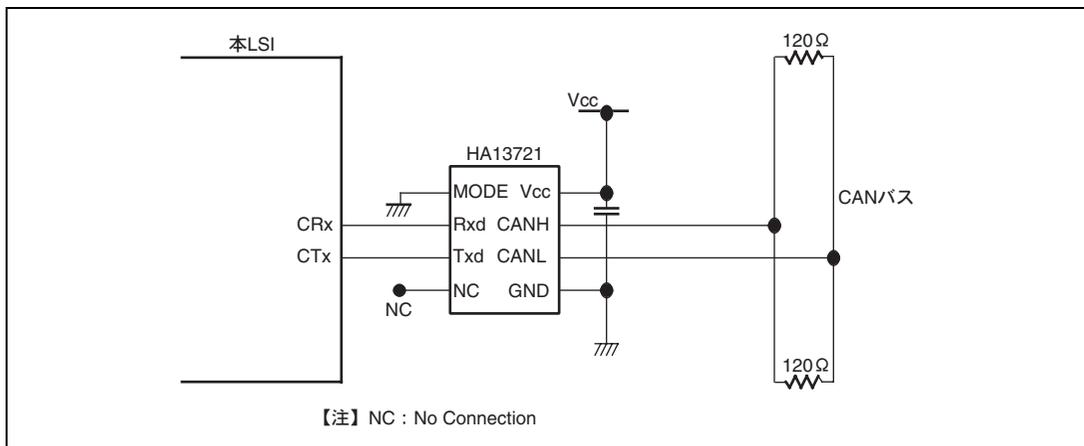


図 13.15 HA13721 を用いたハイスピードインタフェース

13.10 使用上の注意事項

13.10.1 モジュールストップモード

モジュールストップコントロールレジスタ(MSTPCRC)により、RCAN-ET に対するクロックの動作/停止を設定することが可能です。初期値では RCAN-ET のクロックは停止しています。レジスタのアクセスは、モジュールストップモードを解除してから行ってください。

13.10.2 リセット

RCAN-ET のリセットにはハードウェアリセットとソフトウェアリセットがあります。

- ハードウェアリセット

パワーオンリセット、モジュールストップ、ソフトウェアスタンバイでは RCAN-ET は初期化されます。

- ソフトウェアリセット

マスタコントロールレジスタ (MCR) の MCR0 ビットにより、MCR0 ビット以外のレジスタおよび CAN 通信機能が初期化されます。RCAN モニタレジスタ (RCANMON) は、ソフトウェアリセットで初期化されません。

リセット時にはインタラプトリクエストレジスタ(IRR)の IRR0 ビットが初期化によりセットされますので、リセットシーケンスに示されたコンフィギュレーションモード時にクリアしてください。

メールボックスのメッセージコントロールフィールド 1 (CONTROL1) を除いた領域は RAM で構成されていますので、リセットにより初期化されません。パワーオンリセット後は、リセットシーケンスに示されたコンフィギュレーションモード時に全てのメールボックスを初期設定してください。

13.10.3 CAN スリープモード

CAN スリープモードでは、主要な部分のクロックをモジュール内部で停止しています。このため、CAN スリープモードで MCR、GSR、IRR、IMR レジスタ以外へのアクセスはしないでください。

13.10.4 レジスタアクセス

RCAN-ET 内部の CAN 通信機能が CAN バス受信フレームをメールボックスに格納している期間に、メールボックス領域をアクセスすると 0~5 周辺バスサイクル分のウェイトが発生します。

13.10.5 割り込み

メールボックス 0 受信割り込みは、表 13.9 に示したように DMAC の起動が可能です。メールボックス 0 受信割り込みを起動要因にして DMA 転送時の割り込み要因をクリアする設定を選択した場合には、ブロック転送モードなどを利用して、メールボックス 0 のメッセージコントロールフィールド 1 (CONTROL1) までリードしてください。

13. コントローラエリアネットワーク (RCAN-ET)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

本 LSI は独立した 3 チャンネルのシンクロナスシリアルコミュニケーションユニット (SSU : Synchronous Serial communication Unit) を備えています。SSU には、本 LSI がマスタデバイスとして外部にクロックを出力し同期シリアル通信を行うマスタモードと、外部デバイスからのクロックを入力し同期シリアル通信を行うスレーブモードがあります。また、クロック極性とクロック位相の異なるデバイス間との同期シリアル通信が可能です。図 14.1 に SSU のブロック図を示します。

14.1 特長

- SSUモードとクロック同期式通信モードを選択可能
- マスタモードとスレーブモードが選択可能
- 標準モードと双方向モードが選択可能
- クロック位相とクロック極性の異なる他のデバイスとの同期シリアル通信が可能
- 送受信データ長を8ビット/16ビット/24ビット/32ビットで選択可能
- 全二重通信が可能
送信と受信を同時に実行可能なシフトレジスタを装備
- 連続シリアル通信が可能
- LSBファースト方式/MSBファースト方式が選択可能
- クロックソースとして7種類の内部クロック (Pφ/4、Pφ/8、Pφ/16、Pφ/32、Pφ/64、Pφ/128、Pφ/256) と外部クロックを選択可能
- 割り込み要因 : 5種類
送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラーの5種類の割り込み要因
- モジュールストップモードの設定が可能

14. シンクロナスシリアルコミュニケーションユニット (SSU)

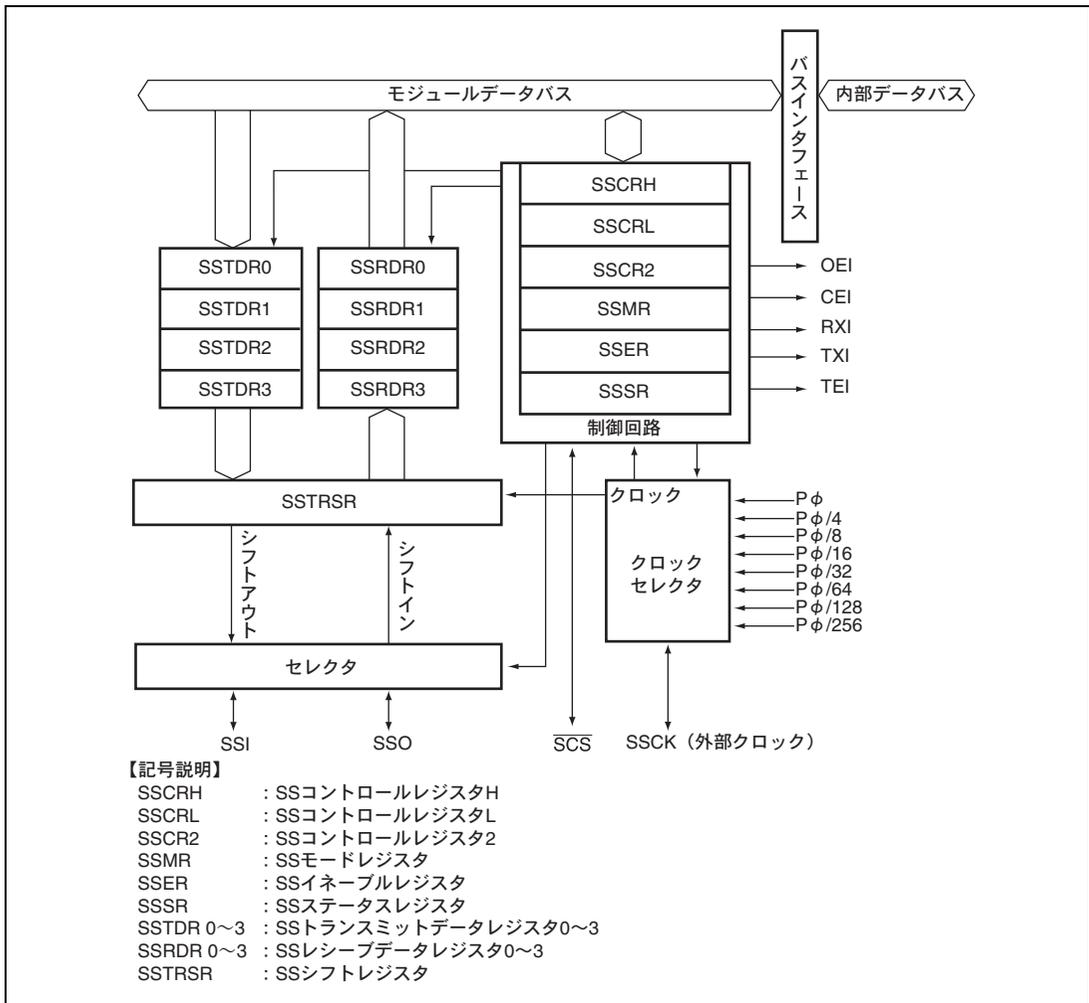


図 14.1 SSU のブロック図

14.2 入出力端子

SSUには、表 14.1 の入出力端子があります。

表 14.1 端子構成

チャンネル	端子名*	入出力	機能
0	SSCK0	入出力	チャンネル0のSSUクロック入出力端子
	SSI0	入出力	チャンネル0のSSUデータ入出力端子
	SSO0	入出力	チャンネル0のSSUデータ入出力端子
	$\overline{\text{SCS0}}$	入出力	チャンネル0のSSUチップセレクト入出力端子
1	SSCK1	入出力	チャンネル1のSSUクロック入出力端子
	SSI1	入出力	チャンネル1のSSUデータ入出力端子
	SSO1	入出力	チャンネル1のSSUデータ入出力端子
	$\overline{\text{SCS1}}$	入出力	チャンネル1のSSUチップセレクト入出力端子
2	SSCK2	入出力	チャンネル2のSSUクロック入出力端子
	SSI2	入出力	チャンネル2のSSUデータ入出力端子
	SSO2	入出力	チャンネル2のSSUデータ入出力端子
	$\overline{\text{SCS2}}$	入出力	チャンネル2のSSUチップセレクト入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれSSCK、SSI、SSO、 $\overline{\text{SCS}}$ と略称します。

14.3 レジスタの説明

SSUには以下のレジスタがあります。

(1) チャンネル0

- SSコントロールレジスタH_0 (SSCRH_0)
- SSコントロールレジスタL_0 (SSCRL_0)
- SSモードレジスタ_0 (SSMR_0)
- SSイネーブルレジスタ_0 (SSER_0)
- SSステータスレジスタ_0 (SSSR_0)
- SSコントロールレジスタ2_0 (SSCR2_0)
- SSトランスミットデータレジスタ0_0 (SSTDR0_0)
- SSトランスミットデータレジスタ1_0 (SSTDR1_0)
- SSトランスミットデータレジスタ2_0 (SSTDR2_0)
- SSトランスミットデータレジスタ3_0 (SSTDR3_0)
- SSレシーブデータレジスタ0_0 (SSRDR0_0)
- SSレシーブデータレジスタ1_0 (SSRDR1_0)
- SSレシーブデータレジスタ2_0 (SSRDR2_0)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

- SSレシーブデータレジスタ3_0 (SSRDR3_0)
- SSシフトレジスタ_0 (SSTRSR_0)

(2) チャンネル1

- SSコントロールレジスタH_1 (SSCRH_1)
- SSコントロールレジスタL_1 (SSCRL_1)
- SSモードレジスタ_1 (SSMR_1)
- SSイネーブルレジスタ_1 (SSER_1)
- SSステータスレジスタ_1 (SSSR_1)
- SSコントロールレジスタ2_1 (SSCR2_1)
- SSトランスミットデータレジスタ0_1 (SSTDR0_1)
- SSトランスミットデータレジスタ1_1 (SSTDR1_1)
- SSトランスミットデータレジスタ2_1 (SSTDR2_1)
- SSトランスミットデータレジスタ3_1 (SSTDR3_1)
- SSレシーブデータレジスタ0_1 (SSRDR0_1)
- SSレシーブデータレジスタ1_1 (SSRDR1_1)
- SSレシーブデータレジスタ2_1 (SSRDR2_1)
- SSレシーブデータレジスタ3_1 (SSRDR3_1)
- SSシフトレジスタ_1 (SSTRSR_1)

(3) チャンネル2

- SSコントロールレジスタH_2 (SSCRH_2)
- SSコントロールレジスタL_2 (SSCRL_2)
- SSモードレジスタ_2 (SSMR_2)
- SSイネーブルレジスタ_2 (SSER_2)
- SSステータスレジスタ_2 (SSSR_2)
- SSコントロールレジスタ2_2 (SSCR2_2)
- SSトランスミットデータレジスタ0_2 (SSTDR0_2)
- SSトランスミットデータレジスタ1_2 (SSTDR1_2)
- SSトランスミットデータレジスタ2_2 (SSTDR2_2)
- SSトランスミットデータレジスタ3_2 (SSTDR3_2)
- SSレシーブデータレジスタ0_2 (SSRDR0_2)
- SSレシーブデータレジスタ1_2 (SSRDR1_2)
- SSレシーブデータレジスタ2_2 (SSRDR2_2)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

- SSレシーブデータレジスタ3_2 (SSRDR3_2)
- SSシフトレジスタ_2 (SSTRSR_2)

14.3.1 SS コントロールレジスタ H (SSCRH)

SSCRH は、マスタ/スレーブデバイス選択、双方向モードイネーブル、SSO 端子の出力値選択、SSCK 端子選択、SCS 端子選択を設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	MSS	BIDE	—	SOL	SOLP	SCKS	CSS1	CSS0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSS	0	R/W	マスタ/スレーブデバイス選択 SSU をマスタモードとして使用するか、スレーブモードとして使用するかを選択します。マスタモードで使用する場合は、SSCK 端子から転送クロックを出力します。SSSR の CE ビットがセットされた場合、このビットは自動的にクリアされます。 0 : スレーブモードを選択 1 : マスタモードを選択
6	BIDE	0	R/W	双方向モードイネーブル シリアルデータ入力端子、出力端子を 2 端子使用するか、1 端子のみ使用するかを選択します。ただし、双方向モードを選択した場合、送受信を同時に行うことはできません。詳細は、「14.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。 0 : 標準モード (データ入力端子とデータ出力端子の 2 端子を使用して通信) 1 : 双方向モード (データ入力とデータ出力を 1 端子のみで通信)
5	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
4	SOL	0	R/W	シリアルデータ出力値選択 送信完了後のシリアルデータ出力は、送信データの最終ビットの値を保存しますが、送信前または、送信後にシリアルデータの出力レベルを変更できます。出力レベルを変更する場合は、SOLP ビットを 0 にして MOV 命令で行ってください。なおデータ転送中にこのビットにライトすると誤動作の原因となりますので、送信中は操作しないでください。 0 : シリアルデータの出力を Low レベルに変更 1 : シリアルデータの出力を High レベルに変更

14. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
3	SOLP	1	R/W	SOL ビットライトプロテクト シリアルデータの出カレベルを変更する場合には、SOL=1 かつ SOLP=0、または SOL=0 かつ SOLP=0 を MOV 命令で行ってください。 0 : SOL の値によって出カレベルを変更可能 1 : SOL の値によって出カレベルを変更不可能 リード時は常に 1 が読み出されます。
2	SCKS	0	R/W	SSCK 端子選択 SSCK 端子をポートとして機能させるか、シリアルクロック端子として機能させるかを選択します。SSCK 端子をシリアルクロック端子として用いる場合には、このビットを 1 にセットしてください。 0 : I/O ポートとして機能 1 : シリアルクロック端子として機能
1 0	CSS1 CSS0	0 0	R/W R/W	\overline{SCS} 端子選択 \overline{SCS} 端子をポートとして機能させるか、 \overline{SCS} 入力または \overline{SCS} 出力として機能させるかを選択します。ただし、MSS=0 のときは、CSS1、CSS0 ビットの設定に関わらず \overline{SCS} 端子は、入力端子として機能します。 00 : I/O ポート 01 : \overline{SCS} 入力として機能 10 : \overline{SCS} 自動入出力機能 (転送前、転送後は \overline{SCS} 入力、転送中は Low 出力) 11 : \overline{SCS} 自動出力機能 (転送前、転送後は High 出力、転送中は Low 出力)

14.3.2 SS コントロールレジスタ L (SSCRL)

SSCRL は、動作モード、ソフトウェアリセット、送受信データのデータ長を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	SSUMS	SRES	—	—	—	DATS1	DATS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
6	SSUMS	0	R/W	SSU モードとクロック同期式通信モードを選択します。 0 : SSU モード 1 : クロック同期式通信モード

14. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
5	SRES	0	R/W	ソフトウェアリセット 本ビットを1にセットするとSSU内部シーケンサを強制的にリセットします。その後、本ビットは自動的にクリアされ、SSSRのORER、TEND、TDRE、RDRF、CEの各ビットおよび、SSERのTE、REビットが初期化されます。その他のSSU内部レジスタ値は保持されます。 なお、転送を途中で中断したい場合には、本ビットに1を書き込んで、内部シーケンサをリセットしてください。
4~2	—	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
1	DATS1	0	R/W	送受信データ長選択
0	DATS0	0	R/W	シリアルデータのデータ長を選択します。 00: 8ビットデータ長 01: 16ビットデータ長 10: 32ビットデータ長 11: 24ビットデータ長

14.3.3 SSモードレジスタ (SSMR)

SSMRは、MSBファースト/LSBファースト選択、クロック極性選択、クロック位相選択、転送クロックレートを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	MLS	CPOS	CPHS	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSBファースト/LSBファースト選択 シリアルデータをMSBファーストで転送するか、LSBファーストで転送するかを選択します。 0: LSBファースト 1: MSBファースト
6	CPOS	0	R/W	クロック極性選択 SSCKクロックの極性を選択します。 0: アイドル時にHigh出力、アクティブ時にLow出力 1: アイドル時にLow出力、アクティブ時にHigh出力

14. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
5	CPHS	0	R/W	クロック位相選択 (SSU モード時のみ有効) SSCK クロックの位相を選択します。 0 : 最初のエッジでデータ変化 1 : 最初のエッジでデータラッチ
4	—	0	R/W	リザーブビット
3	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
2	CKS2	0	R/W	転送クロックレート選択 内部クロックを選択した場合の転送クロックレート (プリスケアラ分周比) を選択します。 000 : リザーブ 001 : Pφ/4 010 : Pφ/8 011 : Pφ/16 100 : Pφ/32 101 : Pφ/64 110 : Pφ/128 111 : Pφ/256
1	CKS1	0	R/W	
0	CKS0	0	R/W	

14.3.4 SS イネーブルレジスタ (SSER)

SSER は、トランスミットイネーブル、レシーブイネーブル、および割り込み要求イネーブルを設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	TE	RE	—	—	TEIE	TIE	RIE	CEIE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
6	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
5	—	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
4	—	0	R/W	
3	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。

14. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
2	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると TXI 割り込み要求がイネーブルになります。
1	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると RXI 割り込みおよび、OEI 割り込み要求がイネーブルになります。
0	CEIE	0	R/W	コンフリクトエラーインタラプトイネーブル このビットを1にセットすると CEI 割り込み要求がイネーブルになります。

14.3.5 SS ステータスレジスタ (SSSR)

SSSR は、各種割り込みのステータスフラグレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	—	ORER	—	—	TEND	TDRE	RDRF	CE
初期値:	0	0	0	0	0	1	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	ORER	0	R/W	オーバランエラー RDRF=1の状態、次のデータを受信するとオーバランエラーが発生し、異常終了したことを示します。SSRDR は、オーバランエラーが発生する前の1フレーム分の受信データを保持し、後から受信したデータは失われます。さらに ORER=1 にセットされた状態でそれ以降のシリアル受信を続けることはできません。またシリアル送信も続けることはできません。 [セット条件] • RDRF=1の状態、次のシリアル受信の1バイトが完了したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください。)
5	—	0	R/W	リザーブビット
4	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。

14. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説 明
3	TEND	0	R/W	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SSCR2 の TENDSTS が 0 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信時 SSCR2 の TENDSTS が 1 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信後 <p>[クリア条件]</p> <ul style="list-style-type: none"> TEND=1 の状態をリードした後、TEND フラグに 0 をライトしたとき SSTDR ヘデータをライトしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)</p>
2	TDRE	1	R/W	<p>トランスミットデータエンプティ</p> <p>SSTDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SSER の TE が 0 のとき SSTDR から SSTRSR にデータが転送され、SSTDR にデータライトが可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TE=1 で、SSTDR ヘデータをライトしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)</p>
1	RDRF	0	R/W	<p>レシーブデータレジスタフル</p> <p>SSRDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき SSRDR から受信データをリードしたとき <p>(割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)</p>

14. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説 明
0	CE	0	R/W	<p>コンフリクトエラー／インコンプリートエラー</p> <p>SSUMS=0 (SSU モード)、MSS=1 (マスタデバイス) の状態で、外部より $\overline{\text{SCS}}$ から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS=0 (SSU モード)、MSS=0 (スレーブデバイス) の状態で、$\overline{\text{SCS}}$ 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。CE=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタデバイス (SSCRH の MSS=1) のとき $\overline{\text{SCS}}$ 端子に Low レベルが入力されたとき スレーブデバイス (SSCRH の MSS=0) のとき転送途中で $\overline{\text{SCS}}$ 端子が 1 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)

14.3.6 SS コントロールレジスタ 2 (SSCR2)

SSCR2 は、SSO 端子、SSI 端子、SSCK 端子、 $\overline{\text{SCS}}$ 端子のオープンドレイン出力、 $\overline{\text{SCS}}$ 端子のアサートタイミング、SSO 端子のデータ出力タイミング、TEND ビットのセットタイミングを設定するレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14. シンクロナスシリアルコミュニケーションユニット (SSU)

ビット	ビット名	初期値	R/W	説明
7	SDOS	0	R/W	シリアルデータオープンドレイン出力選択 シリアルデータ出力端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。シリアルデータ出力端子はレジスタ設定値によって変わります。詳細は「14.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
6	SSCKOS	0	R/W	SSCK 端子のオープンドレイン出力選択 SSCK 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
5	SCSOS	0	R/W	$\overline{\text{SCS}}$ 端子のオープンドレイン出力選択 $\overline{\text{SCS}}$ 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
4	TENDSTS	0	R/W	TEND ビットのセットタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : 最後尾ビットの送信中に TEND ビットをセット 1 : 最後尾ビットの送信後に TEND ビットをセット
3	SCSATS	0	R/W	$\overline{\text{SCS}}$ 端子のアサートタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : t_{LEAD} 、 t_{LAG} の出力期間の min を $1/2 \times t_{\text{SU}cyo}$ とする 1 : t_{LEAD} 、 t_{LAG} の出力期間の min を $3/2 \times t_{\text{SU}cyo}$ とする
2	SSODTS	0	R/W	SSO 端子のデータ出力タイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき SSO 端子はデータを出力 1 : BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき、かつ $\overline{\text{SCS}}$ 端子の Low レベル期間中で SSO 端子はデータを出力
1	—	0	R/W	リザーブビット
0	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

14.3.7 SS トランスミットデータレジスタ 0~3 (SSTDR0~SSTDR3)

SSTDR は、送信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSTDR0、16 ビットデータ長を選択した場合は SSTDR0、SSTDR1、24 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、32 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、SSTDR3 が有効になります。有効になっていない SSTDR へはアクセスしないでください。

SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中に SSTDR に次のデータをライトしておくこと、連続シリアル送信ができます。

SSTDR は CPU と DMAC から常にリード/ライト可能ですが、シリアル通信を確実にを行うためには、SSTDR へのライトは、必ず SSSR の TDRE が 1 にセットされていることを確認してから行ってください。

SSTDR0								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							
SSTDR1								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							
SSTDR2								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							
SSTDR3								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

表 14.2 DATS ビットの設定と SSTDR の対応表

SSTDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	有効
1	無効	有効	有効	有効
2	無効	無効	有効	有効
3	無効	無効	有効	無効

14. シンクロナスシリアルコミュニケーションユニット (SSU)

14.3.8 SS レシーブデータレジスタ 0~3 (SSRDR0~SSRDR3)

SSRDR は、受信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSRDR0、16 ビットデータ長を選択した場合は SSRDR0、SSRDR1、24 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、32 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、SSRDR3 が有効になります。有効になっていない SSRDR へはアクセスしないでください。

SSU は、1 バイトのデータ受信を完了すると、SSTRSR から SSRDR へ受信したシリアルデータを転送して格納します。この後、SSTRSR は受信可能となります。このように、SSTRSR と SSRDR はダブルバッファになっているため、連続受信動作が可能です。

SSRDR のリードは、SSSR レジスタの RDRF ビットが 1 にセットされていることを確認して行ってください。SSRDR はリード専用レジスタです。CPU からライトすることはできません。

SSRDR0								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
SSRDR1								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
SSRDR2								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
SSRDR3								
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

表 14.3 DATS ビットの設定と SSRDR の対応表

SSRDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	有効
1	無効	有効	有効	有効
2	無効	無効	有効	有効
3	無効	無効	有効	無効

14.3.9 SS シフトレジスタ (SSTRSR)

SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。

SSTD R から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS=0 のとき SSTDR のビット 0 が転送され (LSB ファースト通信)、MLS=1 のとき SSTDR のビット 7 が転送されます (MSB ファースト通信)。その後、SSTRSR の LSB (ビット 0) から順に SSO 端子にデータを送り出すことでシリアルデータ送信を行います。

また、受信時は、SSI 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順に SSTRSR にセットします。1 バイトのデータ受信を完了すると、SSTRSR のデータを自動的に SSRDR へ転送します。SSTRSR は CPU から直接アクセスすることはできません。

14.4 動作説明

14.4.1 転送クロック

転送クロックは 7 種類の内部クロックと外部クロックから選択できます。まず、本モジュールを使用する場合は SSCRH の SCKS を 1 にセットして SSCK 端子をシリアルクロックとして選択しておく必要があります。SSCRH の MSS=1 のときは、内部クロックが選択され SSCK 端子が出力になります。転送が開始されると SSMR の CKS2 ~CKS0 に設定された転送レートクロックが SSCK 端子から出力されます。MSS=0 のときは外部クロックが選択され、SSCK 端子は入力端子になります。

14.4.2 クロックの位相、極性とデータの関係

SSCRL の SSUMS=0 のとき、SSMR の CPOS と CPHS の組み合わせでクロックの位相、極性および転送データの関係が変わります。これらの関係を図 14.2 に示します。SSUMS=1 のとき、CPOS の設定は有効ですが、CPHS の設定は無効となります。

なお、SSMR の MLS の設定により、MSB ファーストで転送するか LSB ファーストで転送するかを選択できます。MLS=0 のときは LSB から MSB の順で転送されます。また、MLS=1 のときは、MSB から LSB の順で転送されます。

14. シンクロナスシリアルコミュニケーションユニット (SSU)

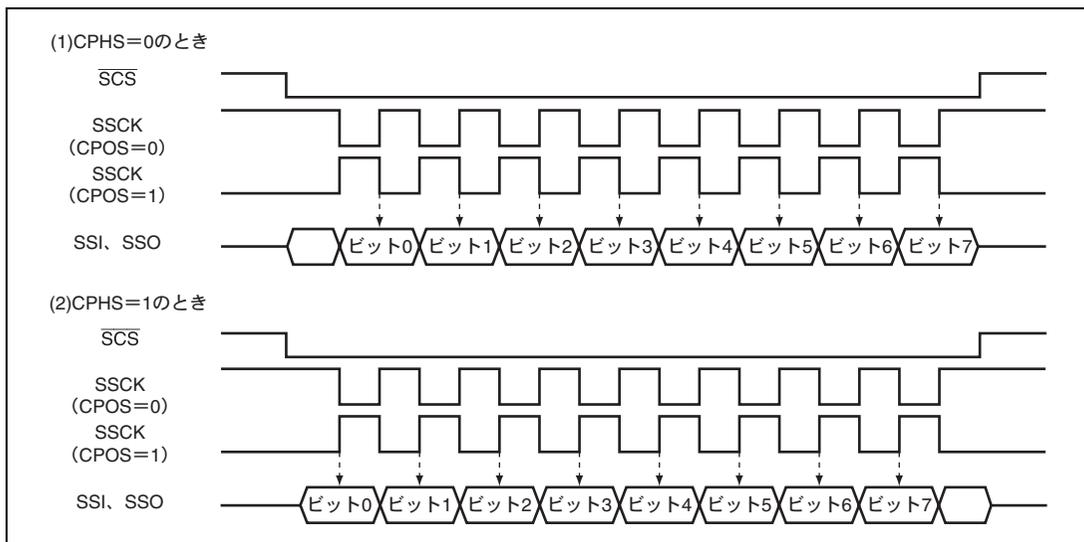


図 14.2 クロックの位相、極性とデータの関係

14.4.3 データ入出力端子とシフトレジスタの関係

SSCRH の MSS、IDE と、SSCRL の SSUMS の組み合わせにより、データ入出力端子と SS シフトレジスタ (SSTRSR) の接続関係が変わります。これらの接続関係を図 14.3 に示します。

SSU は、BIDE=0、MSS=1 (標準、マスタモード) で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します (図 14.3 (1))。また、BIDE=0、MSS=0 (標準、スレーブモード) で動作しているとき、SSI 端子からシリアルデータを送信し、SSO 端子からシリアルデータを受信します (図 14.3 (2))。

BIDE=1 (双方向モード) では、マスタモード、スレーブモードに関わらず、SSO 端子からシリアルデータの送信または受信を行います (図 14.3 (3)、図 14.3 (4))。

ただし、TE と RE を同時に 1 にセットしての送受信同時動作はできません。必ず、TE または RE のどちらか 1 つを選択してください。

SSUMS=1 で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します。MSS=1 のときは SCK 端子から内部クロックを出力し、MSS=0 のときは SCK 端子は入力端子となります (図 14.3 (5)、図 14.3 (6))。

14. シンクロナスシリアルコミュニケーションユニット (SSU)

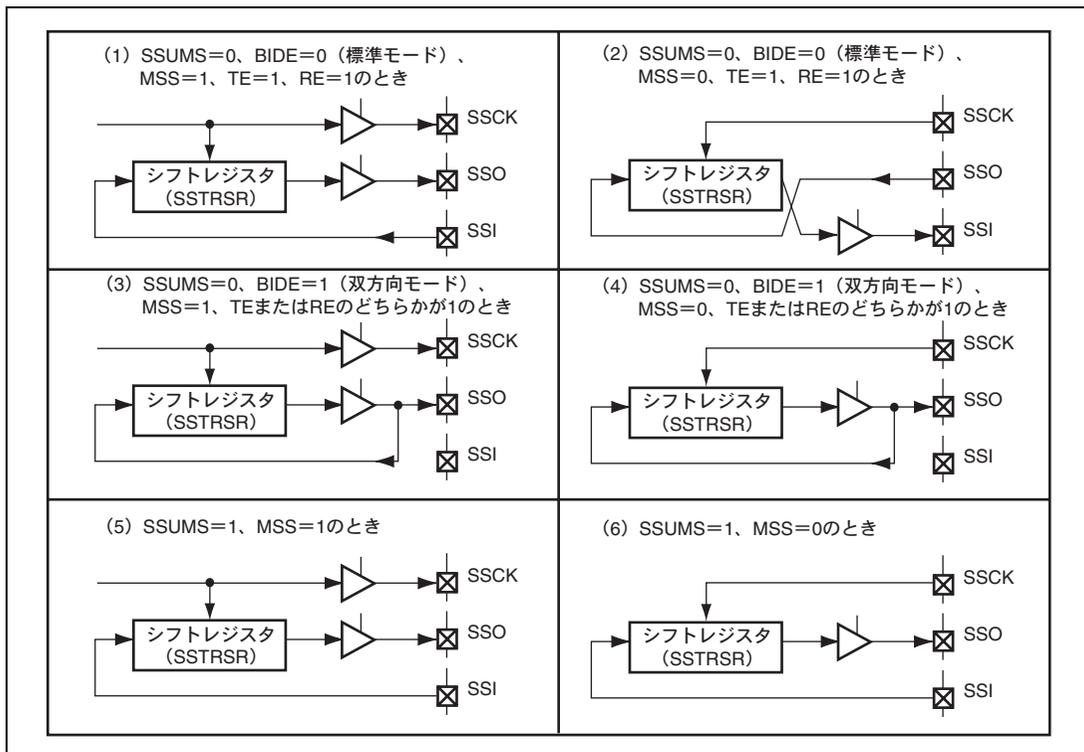


図 14.3 データ入出力端子とシフトレジスタの関係

14. シンクロナスシリアルコミュニケーションユニット (SSU)

14.4.4 各通信モードと端子機能

SSUは各通信モードとレジスタの設定により入出力端子 (SSI、SSO、SSCK、 $\overline{\text{SCS}}$) の機能を切り替えます。入力端子として使用する場合、入力バッファコントロールレジスタ (ICR) の対応する端子のビットを1にセットしてください。各通信モードと入出力端子の関係を表 14.4～表 14.6 に示します。

表 14.4 各通信モードと SSI、SSO 端子の状態

通信モード	レジスタ状態					端子状態	
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO
SSU 通信モード	0	0	0	0	1	—	入力
				1	0	出力	—
			1	0	1	出力	入力
				1	0	—	出力
			1	0	1	入力	—
				1	0	—	出力
SSU (双方向) 通信モード	0	1	0	0	1	—	入力
				1	0	—	出力
			1	0	1	—	入力
				1	0	—	出力
クロック同期式 通信モード	1	0	0	0	1	入力	—
				1	0	—	出力
			1	0	1	出力	出力
				1	0	—	出力
			1	0	1	入力	—
				1	0	—	出力
1	0	1	出力	出力			
	1	0	—	出力			

【記号説明】 * : Don't care

— : SSU として端子を用いない (I/O ポートとして使用可能)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

表 14.5 各通信モードと SSCK 端子の状態

通信モード	レジスタ状態			端子状態
	SSUMS	MSS	SCKS	SSCK
SSU 通信モード	0	0	0	－
			1	入力
		1	0	－
			1	出力
クロック同期式 通信モード	1	0	0	－
			1	入力
		1	0	－
			1	出力

【記号説明】－：SSU として端子を用いない (I/O ポートとして使用可能)

表 14.6 各通信モードと \overline{SCS} 端子の状態

通信モード	レジスタ状態				端子状態
	SSUMS	MSS	CSS1	CSS0	\overline{SCS}
SSU 通信モード	0	0	*	*	入力
			1	0	0
		0		1	入力
		1		0	自動入出力
		1	1	出力	
クロック同期式 通信モード	1	*	*	*	－

【記号説明】*：Don't care

－：SSU として端子を用いない (I/O ポートとして使用可能)

14.4.5 SSU モード

SSU モードは、クロックライン (SSCK)、データ入力ライン (SSI または SSO)、データ出力ライン (SSI または SSO)、チップセレクト (\overline{SCS}) の 4 本のバスを使用してデータ通信を行います。

また、データ入力ラインとデータ出力ラインを 1 端子で行う双方向モードも対応しています。

(1) SSU モードの初期設定

SSU モードの初期設定例を図 14.4 に示します。データの送信/受信前には、SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

14. シンクロナスシリアルコミュニケーションユニット (SSU)

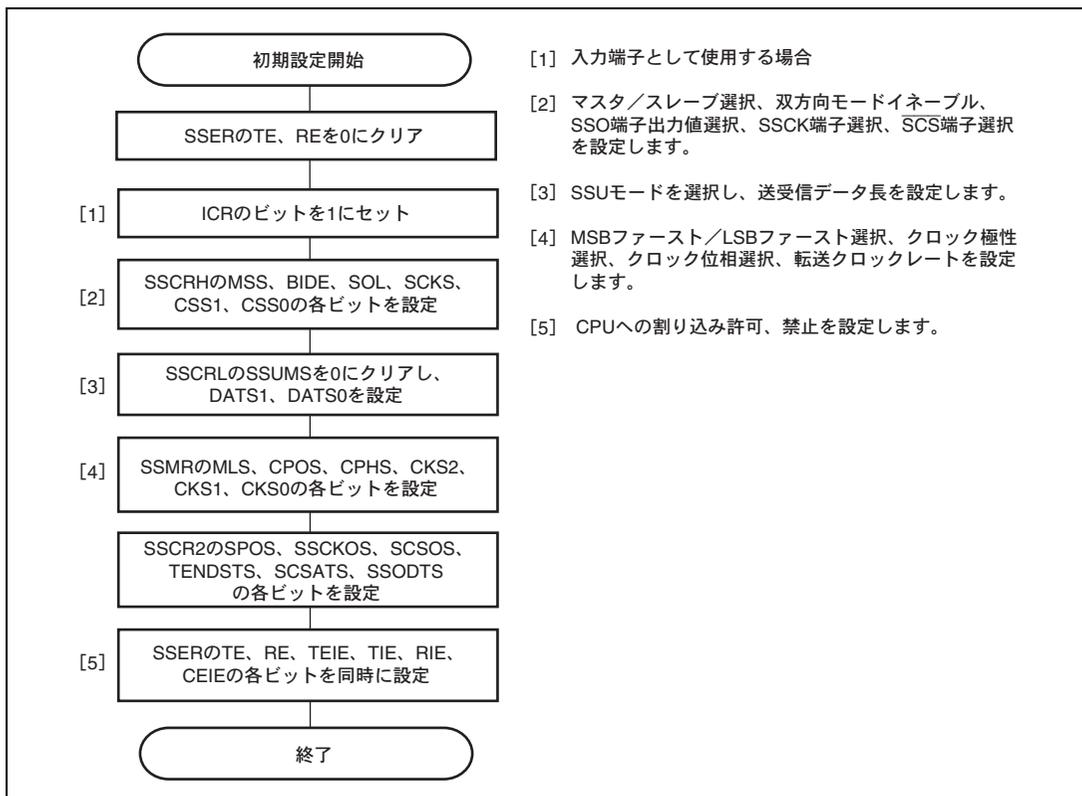


図 14.4 SSU モードの初期設定例

(2) データ送信

図 14.5 に送信時の動作例を、図 14.6 にデータ送信のフローチャートの例を示します。

データ送信時に SSU は以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。スレーブデバイスに設定すると、SCS 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は、SSER の TE を 1 にセットした後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI 割り込み要求が発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI 割り込みが発生します。送信終了後は、SSCK 端子は SSMR の CPOS=0 のとき High レベルに固定され、CPOS=1 のときには Low レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

14. シンクロナスシリアルコミュニケーションユニット (SSU)

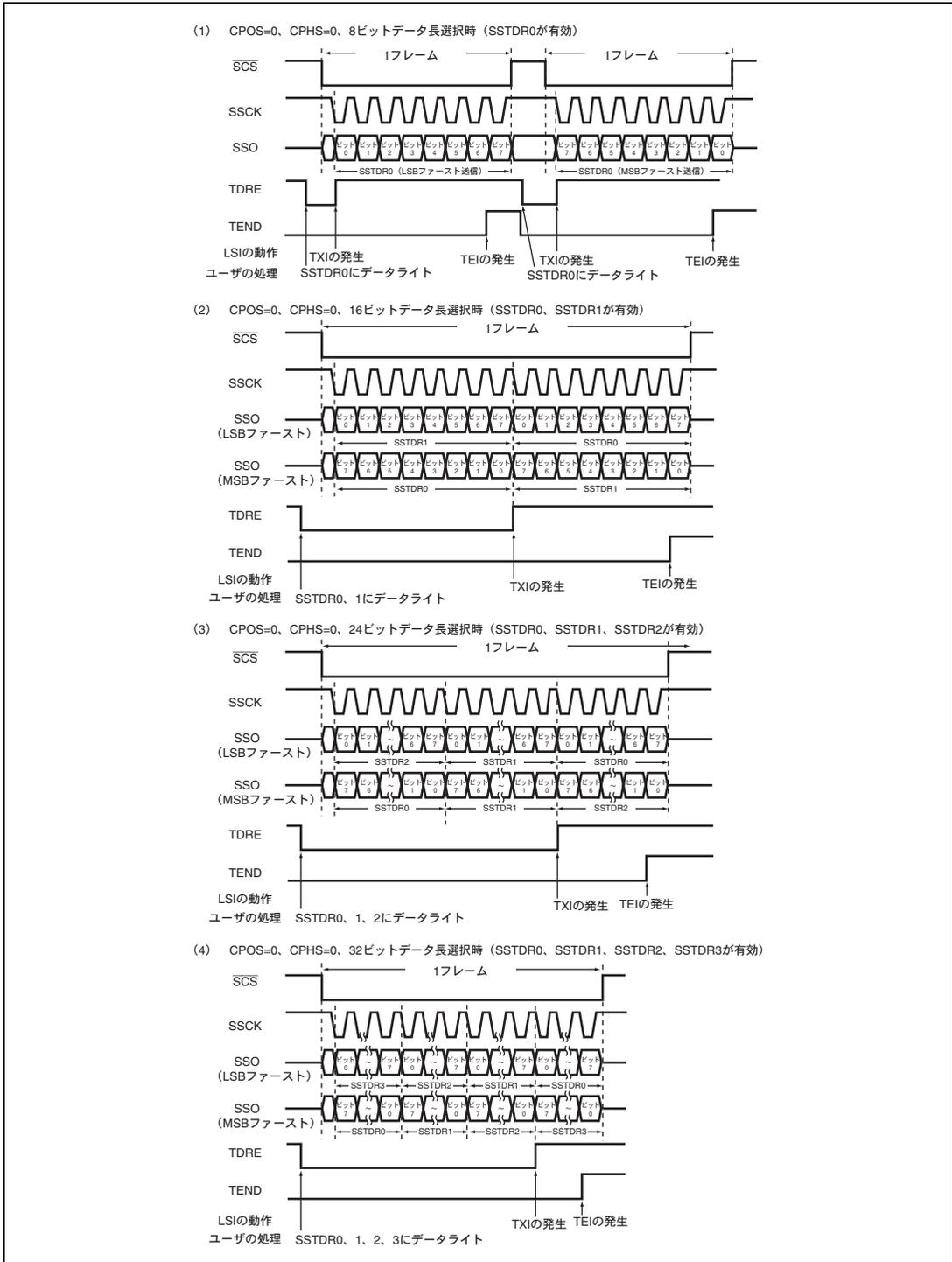


図 14.5 送信時の動作例 (SSU モード)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

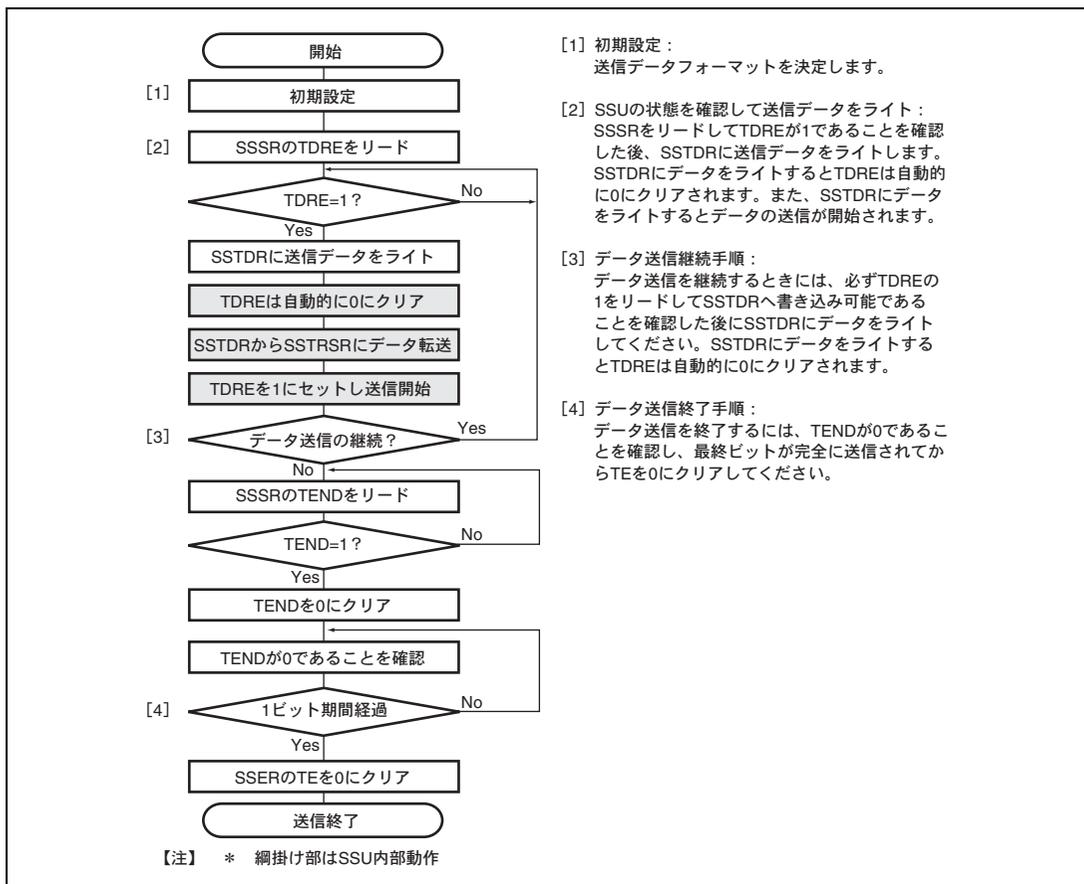


図 14.6 データ送信のフローチャート例 (SSU モード)

(3) データ受信

図 14.7 に受信時の動作例を、図 14.8 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットし、SSRDR をダミーリードすることにより受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、 $\overline{\text{SCS}}$ 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI 割り込み要求が発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (OEI) が発生し、受信を停止します。ORER=1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

14. シンクロナスシリアルコミュニケーションユニット (SSU)

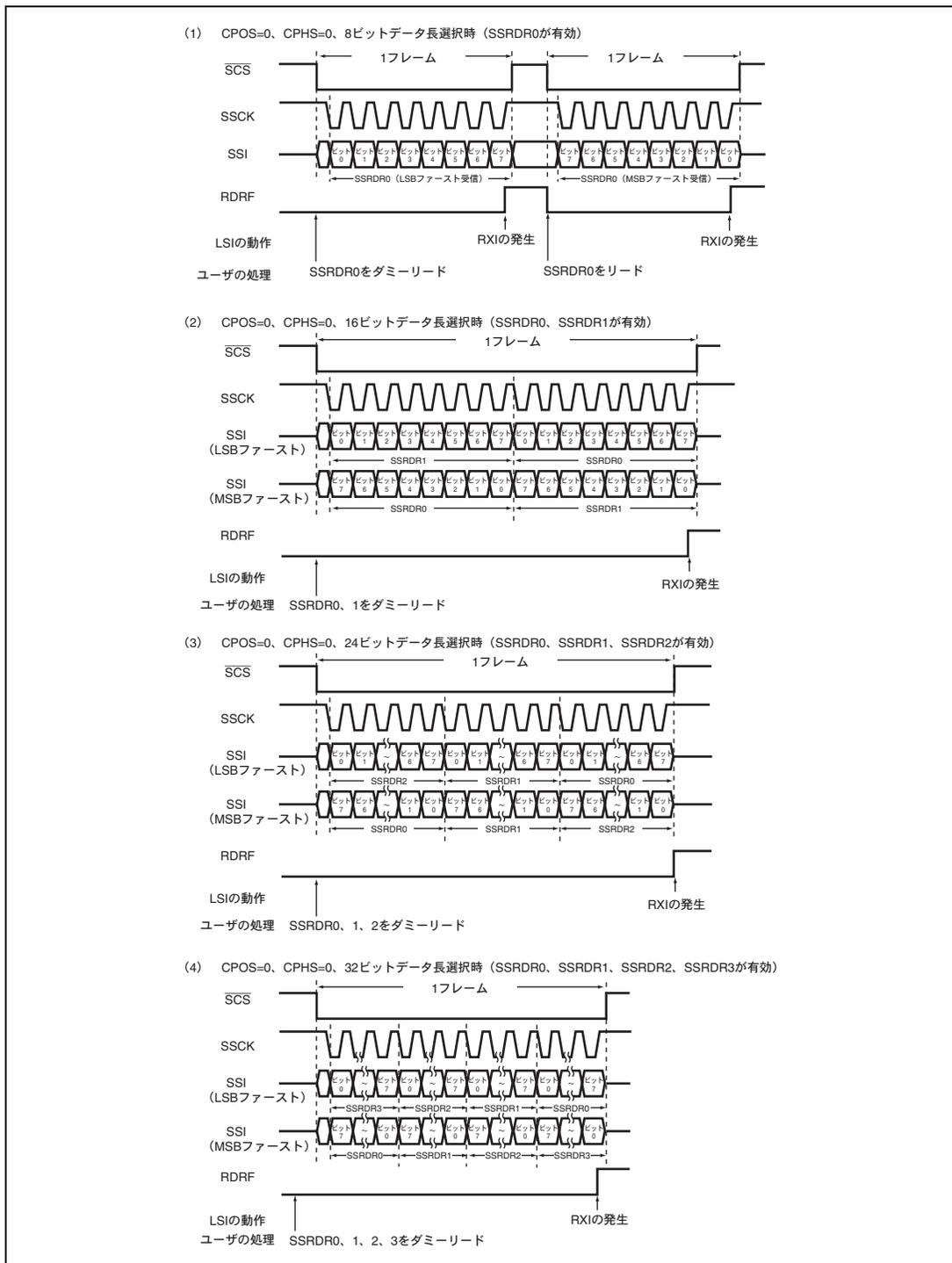


図 14.7 受信時の動作例 (SSU モード)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

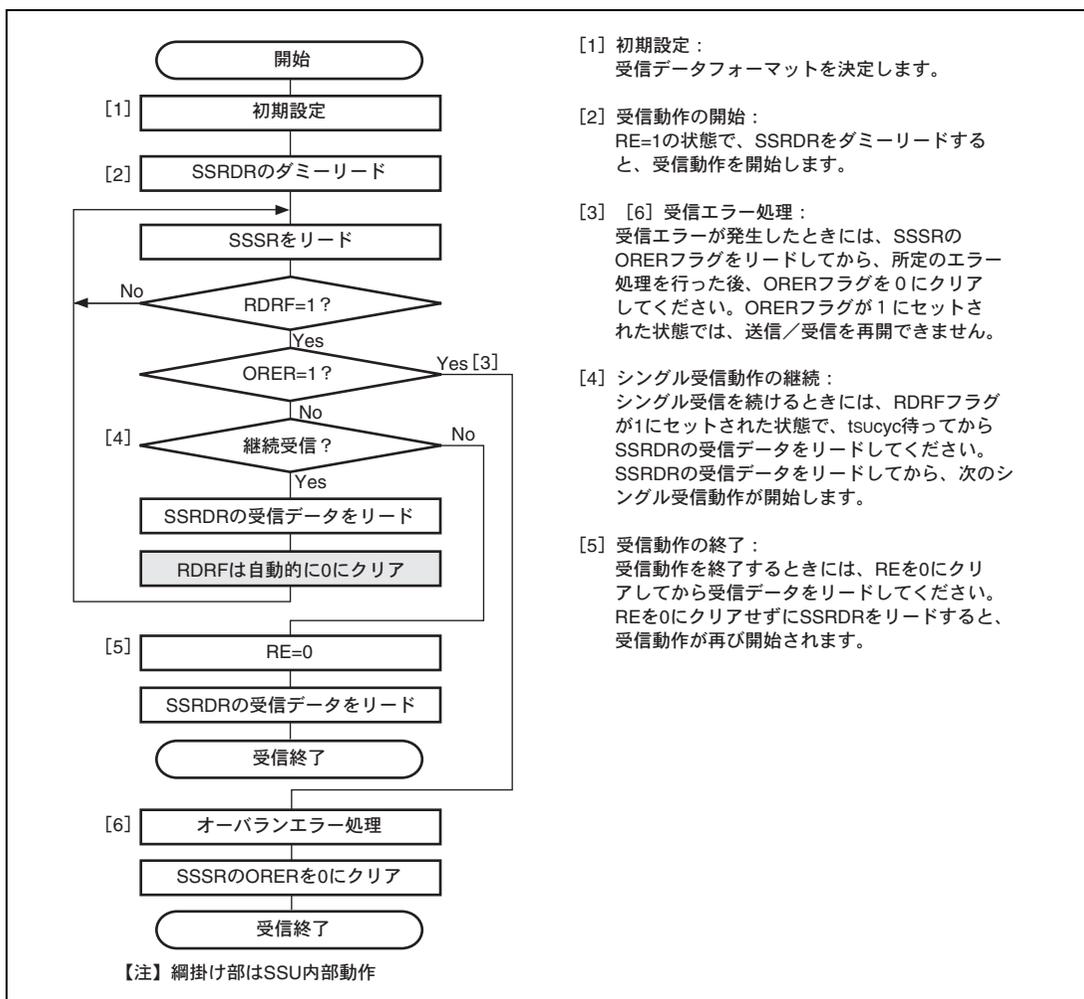


図 14.8 データ受信のフローチャート例 (SSU モード)

(4) データ送受信

図 14.9 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、TE=RE=1 の状態で、SSTDR に送信データをライトすることで開始されます。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から送受信モード (TE=RE=1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

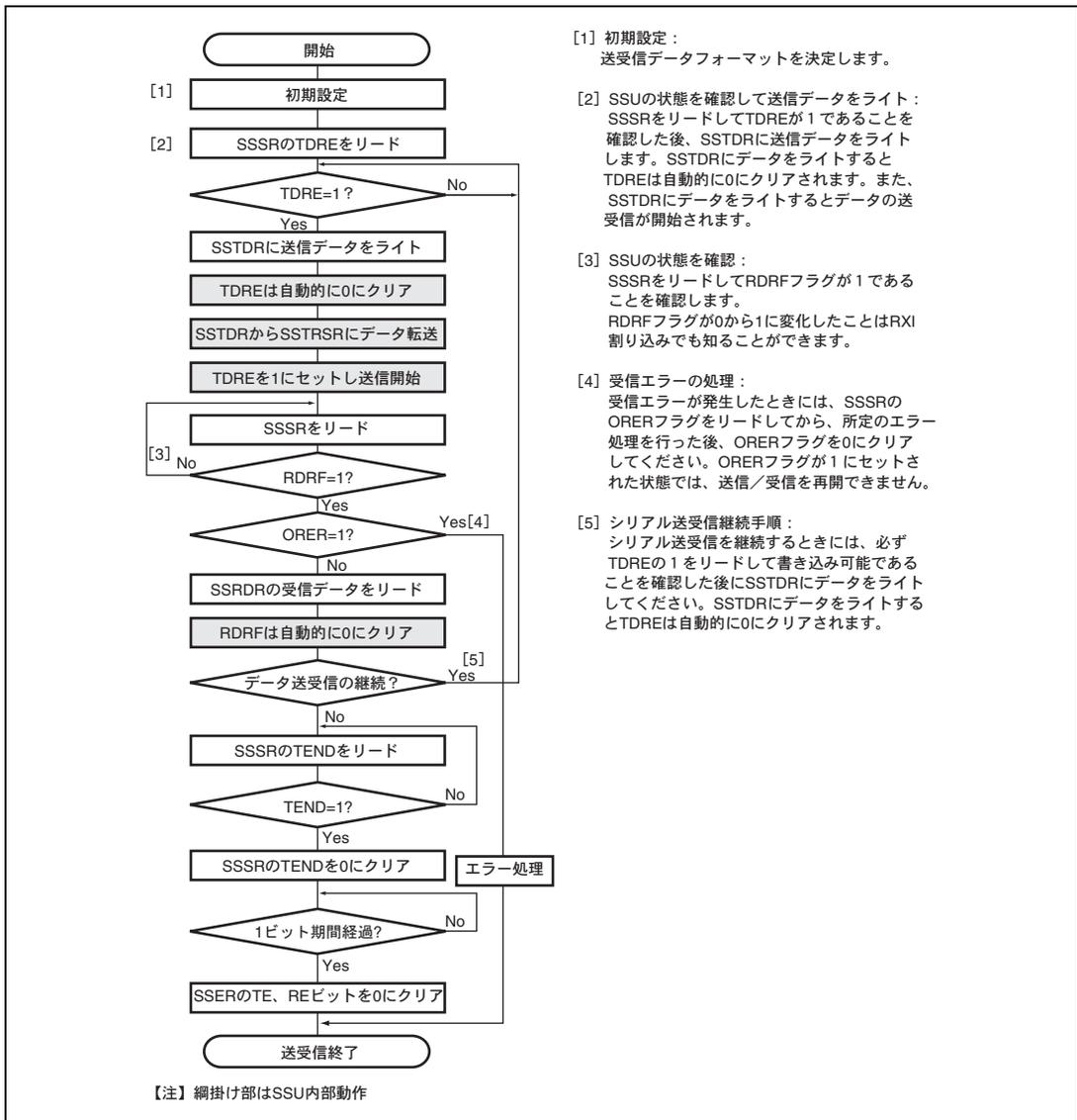


図 14.9 データ送受信同時動作のフローチャート例 (SSU モード)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

14.4.6 $\overline{\text{SCS}}$ 端子制御とコンフリクトエラー

SSCRH の CSS1、CSS0=10、SSCRL の SSUMS=0 に設定した場合、SSCRH の MSS を 1 にセットしてからシリアル転送を開始する前と転送終了後に $\overline{\text{SCS}}$ 端子は入力 (Hi-Z) となり、コンフリクトエラーを検出します。この期間に $\overline{\text{SCS}}$ 端子から Low レベルが入力されるとコンフリクトエラーとなり、SSSR の CE がセットされ、MSS はクリアされます。

【注】 コンフリクトエラーがセットされた状態では、以後の送信/受信動作はできません。送信/受信を開始する前には、必ず CE を 0 にクリアしてください。

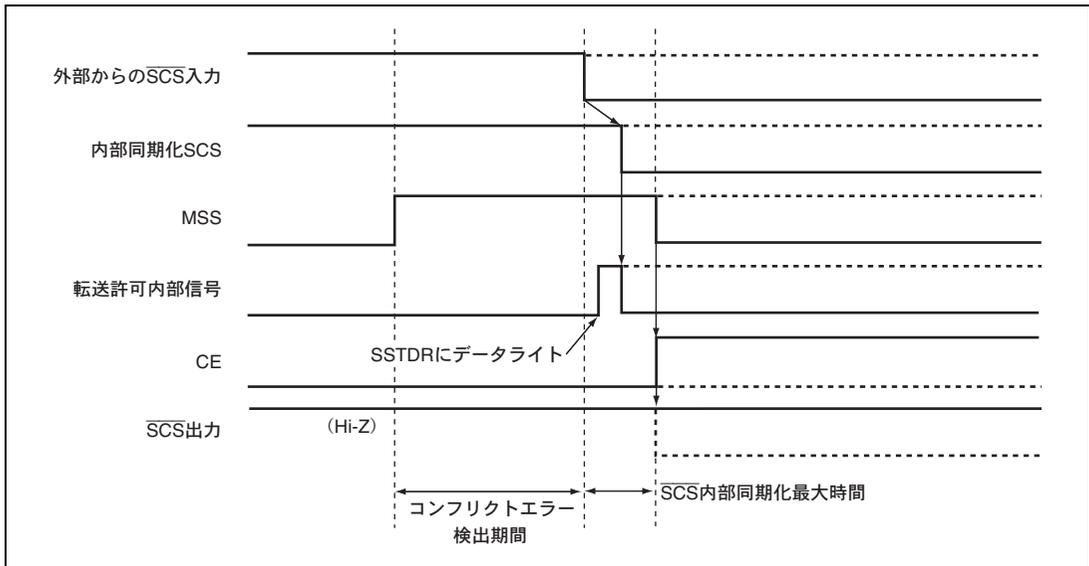


図 14.10 コンフリクトエラー検出タイミング (転送前)

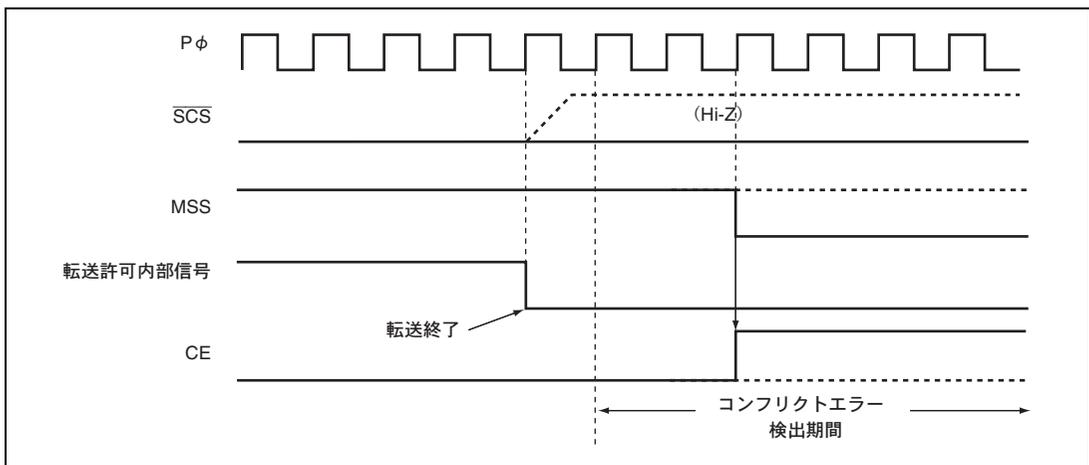


図 14.11 コンフリクトエラー検出タイミング (転送終了後)

14.4.7 クロック同期式通信モード

クロック同期式通信モードは、クロックライン (SSCK)、データ入力ライン (SSI)、データ出力ライン (SSO) の3本のバスを使用してデータ通信を行います。

(1) クロック同期式通信モードの初期設定

クロック同期式通信モードの初期設定例を図 14.12 に示します。データの送信/受信前には、まず SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

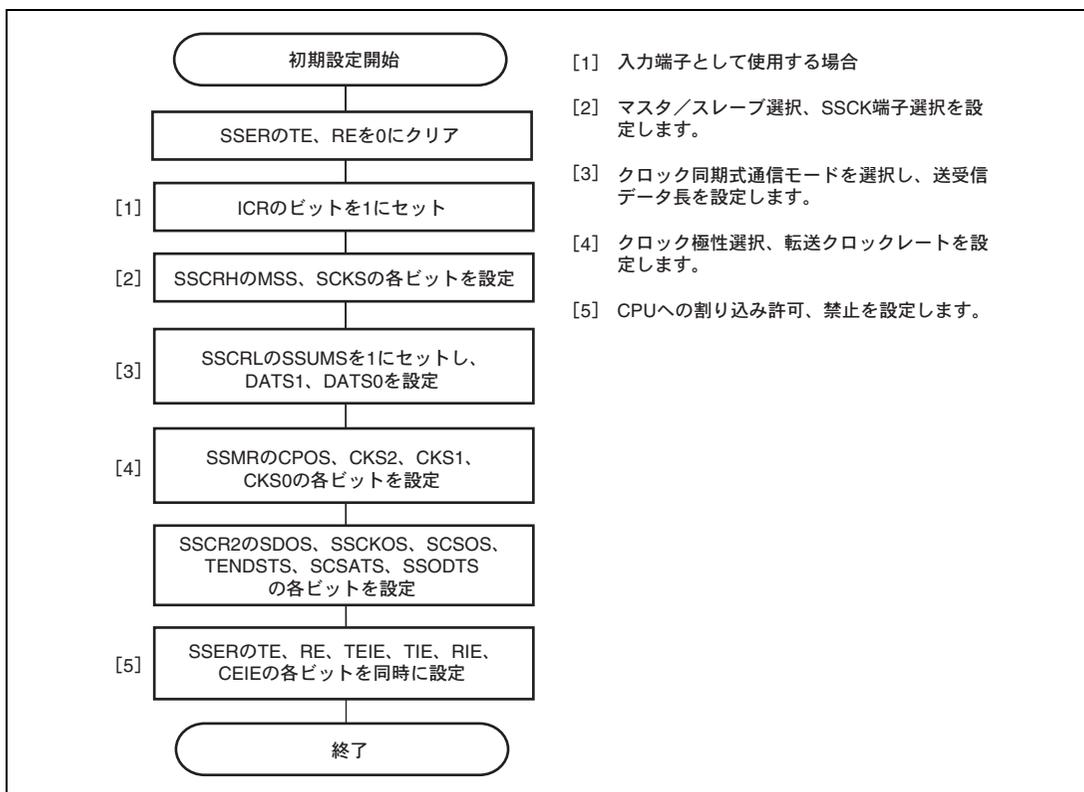


図 14.12 クロック同期式通信モードの初期設定例

14. シンクロナスシリアルコミュニケーションユニット (SSU)

(2) データ送信

図 14.13 に送信時の動作例を、図 14.14 にデータ送信のフローチャートの例を示します。データ送信時にクロック同期式通信モードでは以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。SSU をスレーブデバイスに設定し、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は、SSER の TE を 1 にセットした後、SSTD R に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTD R から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI 割り込み要求を発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTD R から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI 割り込み要求を発生します。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

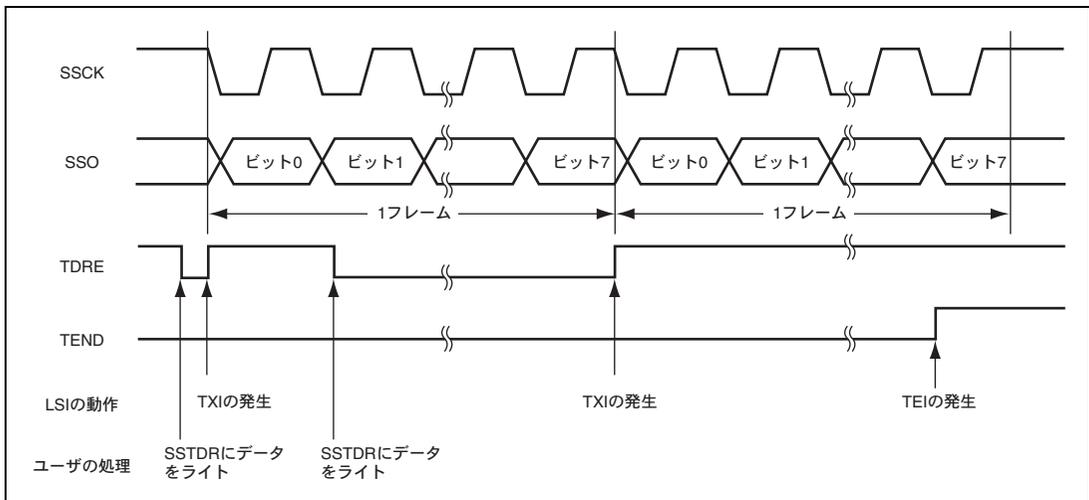


図 14.13 送信時の動作例 (クロック同期式通信モード)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

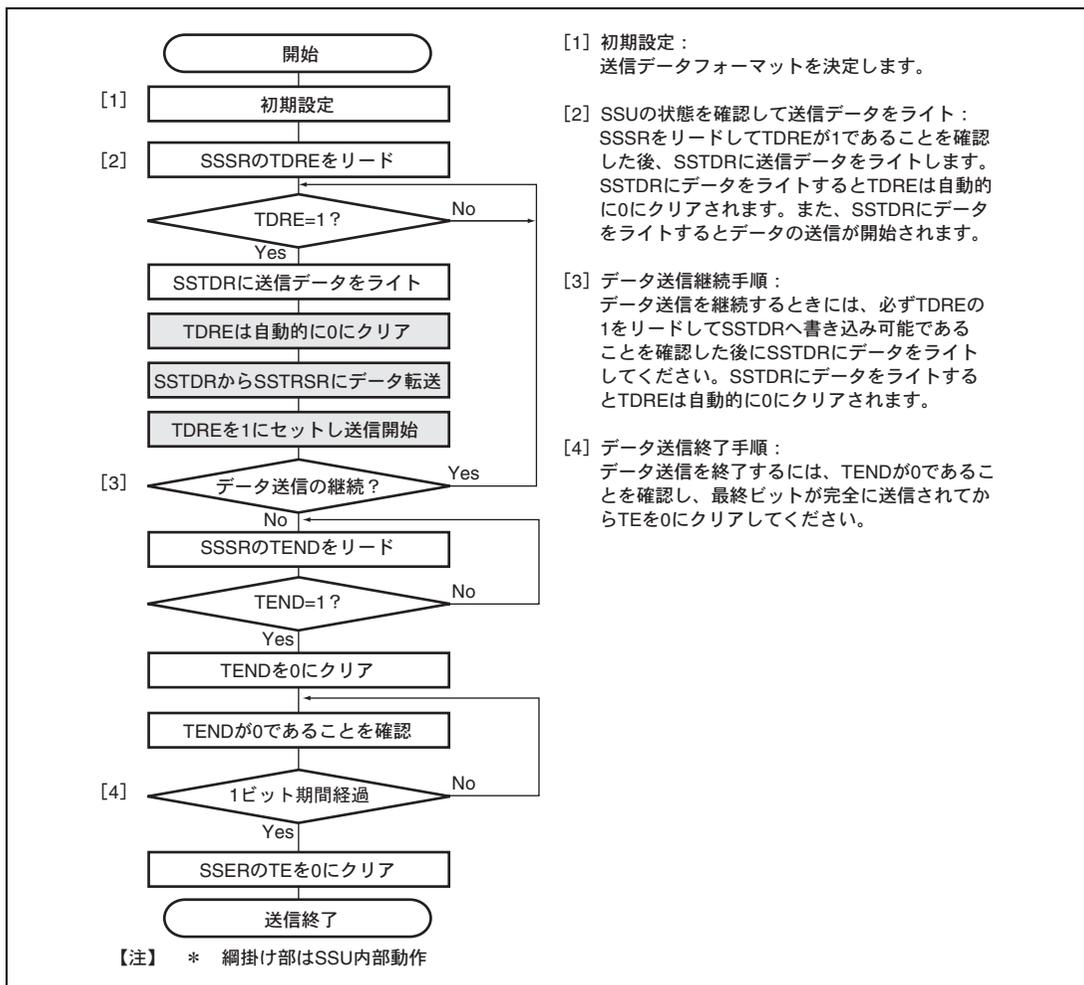


図 14.14 データ送信のフローチャート例 (クロック同期式通信モード)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

(3) データ受信

図 14.15 に受信時の動作例を、図 14.16 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットすると受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI 割り込み要求が発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (OEI) が発生し、受信を停止します。ORER=1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

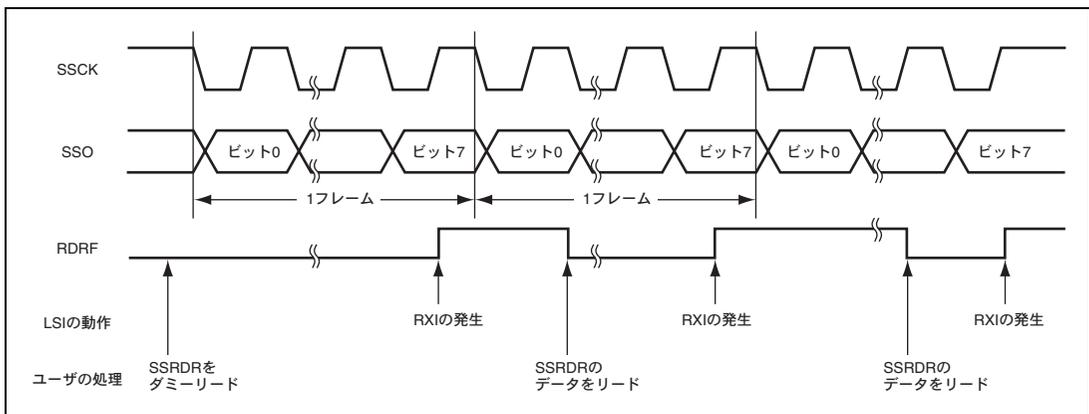


図 14.15 受信時の動作例 (クロック同期式通信モード)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

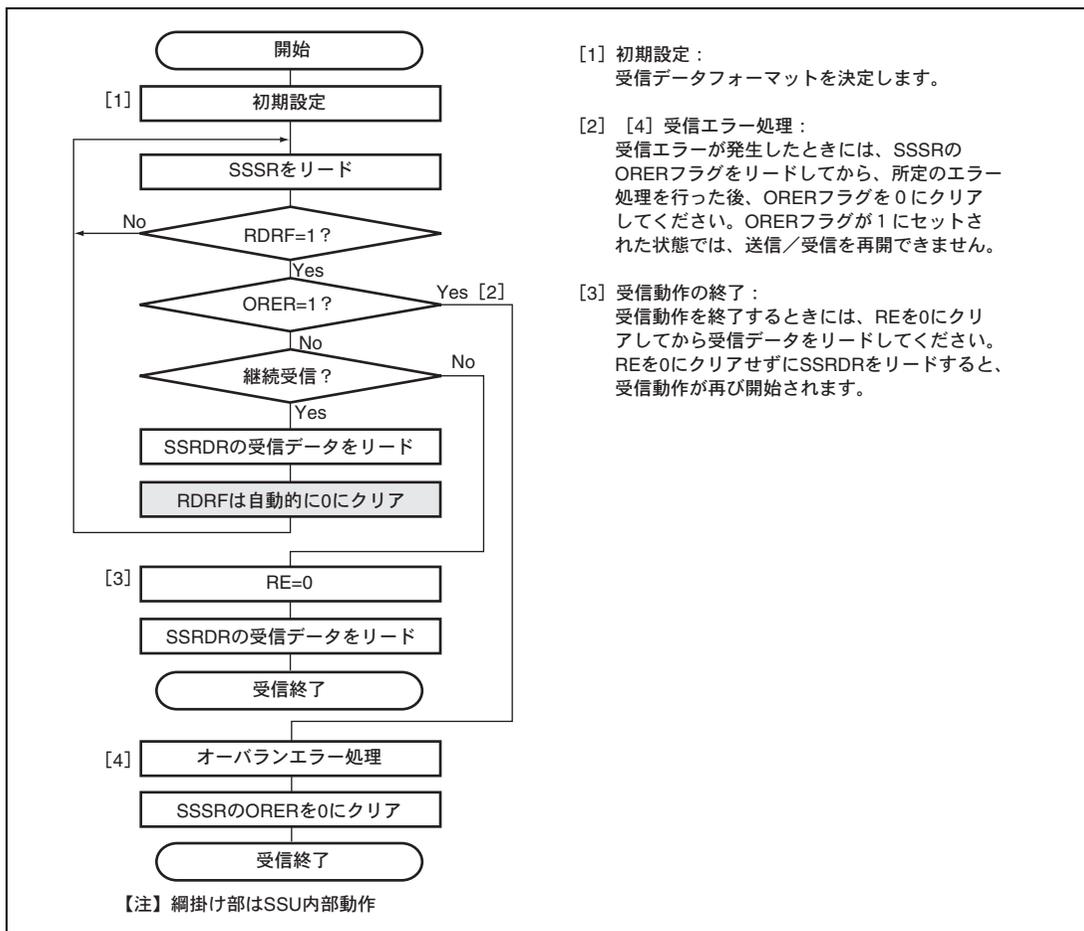


図 14.16 データ受信のフローチャート例 (クロック同期式通信モード)

14. シンクロナスシリアルコミュニケーションユニット (SSU)

(4) データ送受信

図 14.17 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、TE=RE=1 の状態で、SSTDR に送信データをライトすることで開始されます。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から送受信モード (TE=RE=1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

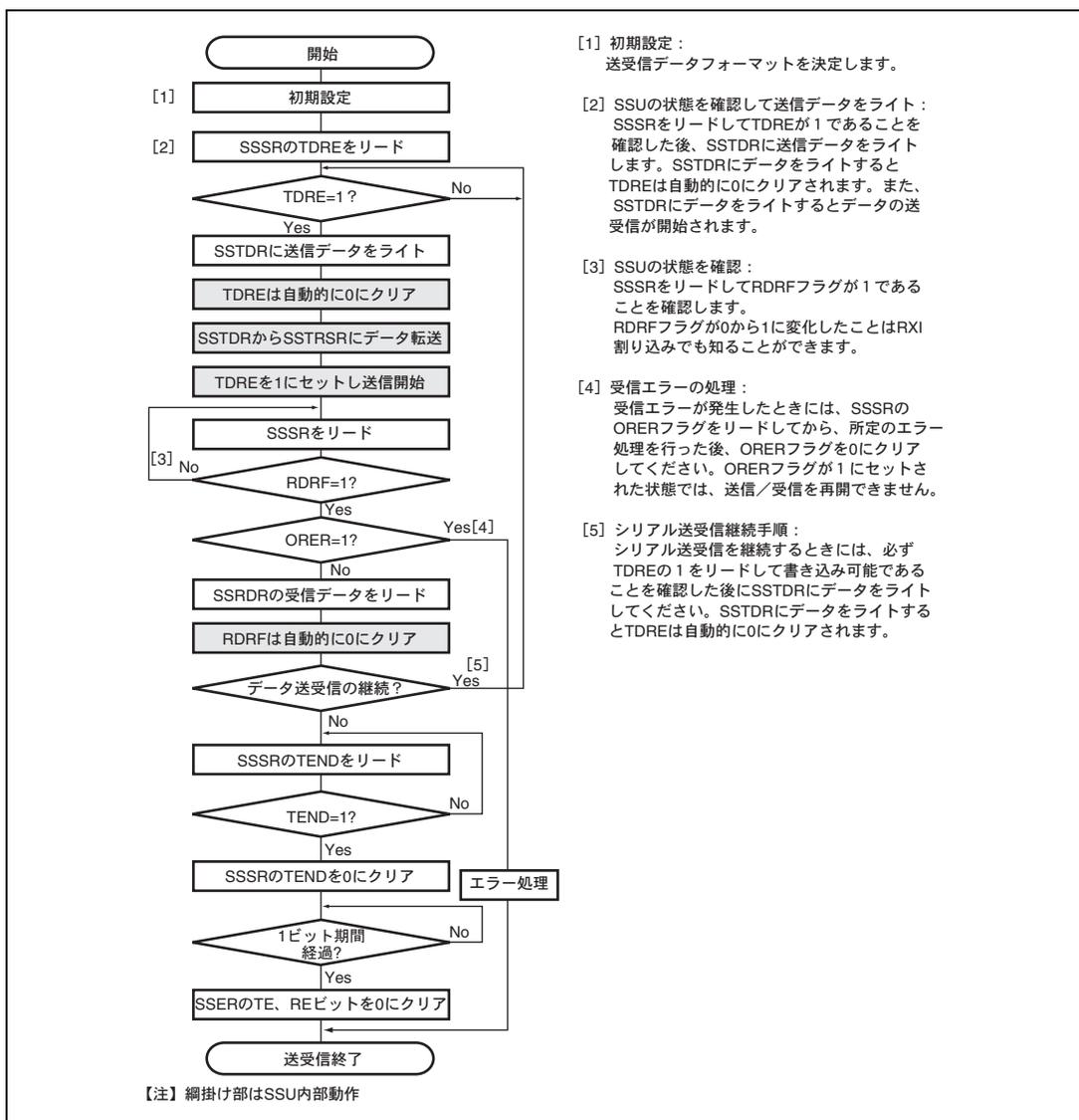


図 14.17 データ送受信同時動作のフローチャート例 (クロック同期式通信モード)

14.5 割り込み要求

SSU の割り込み要求には、オーバーランエラー、コンフリクトエラー、受信データフル、送信データエンプティ、送信終了割り込みがあります。また、受信データフル、送信データエンプティ、送信終了の割り込み要求で DMAC を起動しデータ転送を行うことができます。

オーバーランエラー、コンフリクトエラーの割り込み要求が SSERI、送信データエンプティ、送信終了の割り込み要求が SSTXI のベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。表 14.5 に割り込み要因を示します。

表 14.7 の割り込み条件が成立すると、割り込み要求が発生します。CPU または DMAC によるデータ転送で割り込み要因をクリアしてください。

表 14.7 SSU 割り込み要因

チャンネル	名称	割り込み要因	略称	割り込み条件	DMAC の起動
0	SSERI0	オーバーランエラー	OEI0	(RIE=1) ・ (ORER=1)	—
		コンフリクトエラー	CEI0	(CEIE=1) ・ (CE=1)	—
	SSRXI0	受信データフル	RXI0	(RIE=1) ・ (RDRF=1)	○
	SSTXI0	送信データエンプティ	TXI0	(TIE=1) ・ (TDRE=1)	○
		送信終了	TEI0	(TEIE=1) ・ (TEND=1)	○
1	SSERI1	オーバーランエラー	OEI1	(RIE=1) ・ (ORER=1)	—
		コンフリクトエラー	CEI1	(CEIE=1) ・ (CE=1)	—
	SSRXI1	受信データフル	RXI1	(RIE=1) ・ (RDRF=1)	○
	SSTXI1	送信データエンプティ	TXI1	(TIE=1) ・ (TDRE=1)	○
		送信終了	TEI1	(TEIE=1) ・ (TEND=1)	○
2	SSERI2	オーバーランエラー	OEI2	(RIE=1) ・ (ORER=1)	—
		コンフリクトエラー	CEI2	(CEIE=1) ・ (CE=1)	—
	SSRXI2	受信データフル	RXI2	(RIE=1) ・ (RDRF=1)	○
	SSTXI2	送信データエンプティ	TXI2	(TIE=1) ・ (TDRE=1)	○
		送信終了	TEI2	(TEIE=1) ・ (TEND=1)	○

14.6 使用上の注意事項

14.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SSU の動作禁止／許可を設定することが可能です。初期値では、SSU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

15. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を 2 ユニット（ユニット 0、ユニット 1）内蔵しています。最大 16 チャンネルのアナログ入力を選択することができます。

ユニット 0 のブロック図を図 15.1 に、ユニット 1 のブロック図を図 15.2 に示します。

本文中は、ユニット 0 について説明します。ユニット 1 についても同一機能です。

15.1 特長

- 分解能：10ビット
- 入力チャンネル：16チャンネル（ユニット0：8チャンネル、ユニット1：8チャンネル）
- 変換時間：1チャンネル当たり7.4 μ s（35MHz動作時）
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1~4チャンネルの連続A/D変換、または1~8チャンネルの連続A/D変換
- データレジスタ：16本（ユニット0：8本、ユニット1：8本）
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 16ビットタイマパルスユニット（TPU）による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求（ADI）を発生
- モジュールストップモードの設定可能

15. A/D 変換器

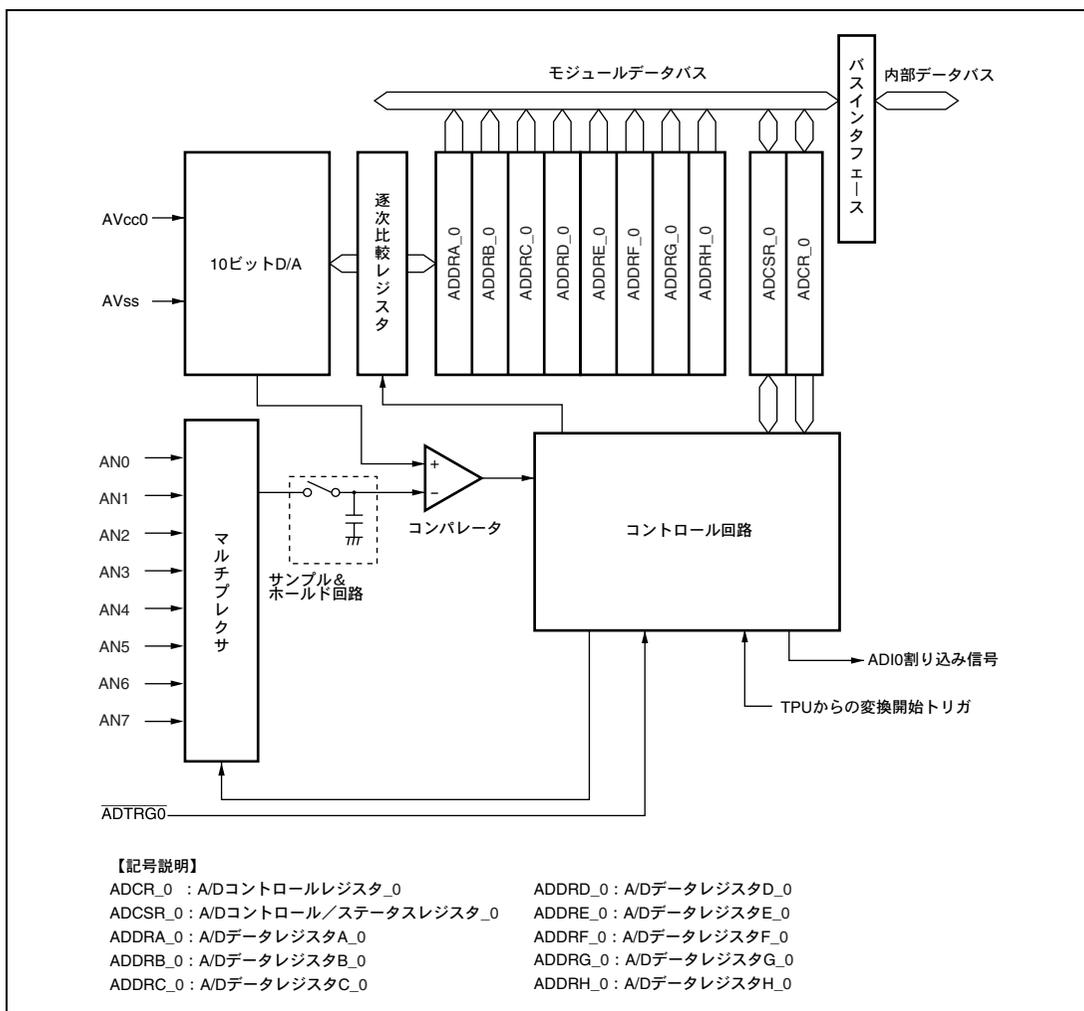


図 15.1 A/D 変換器 (ユニット 0/AD_0) のブロック図

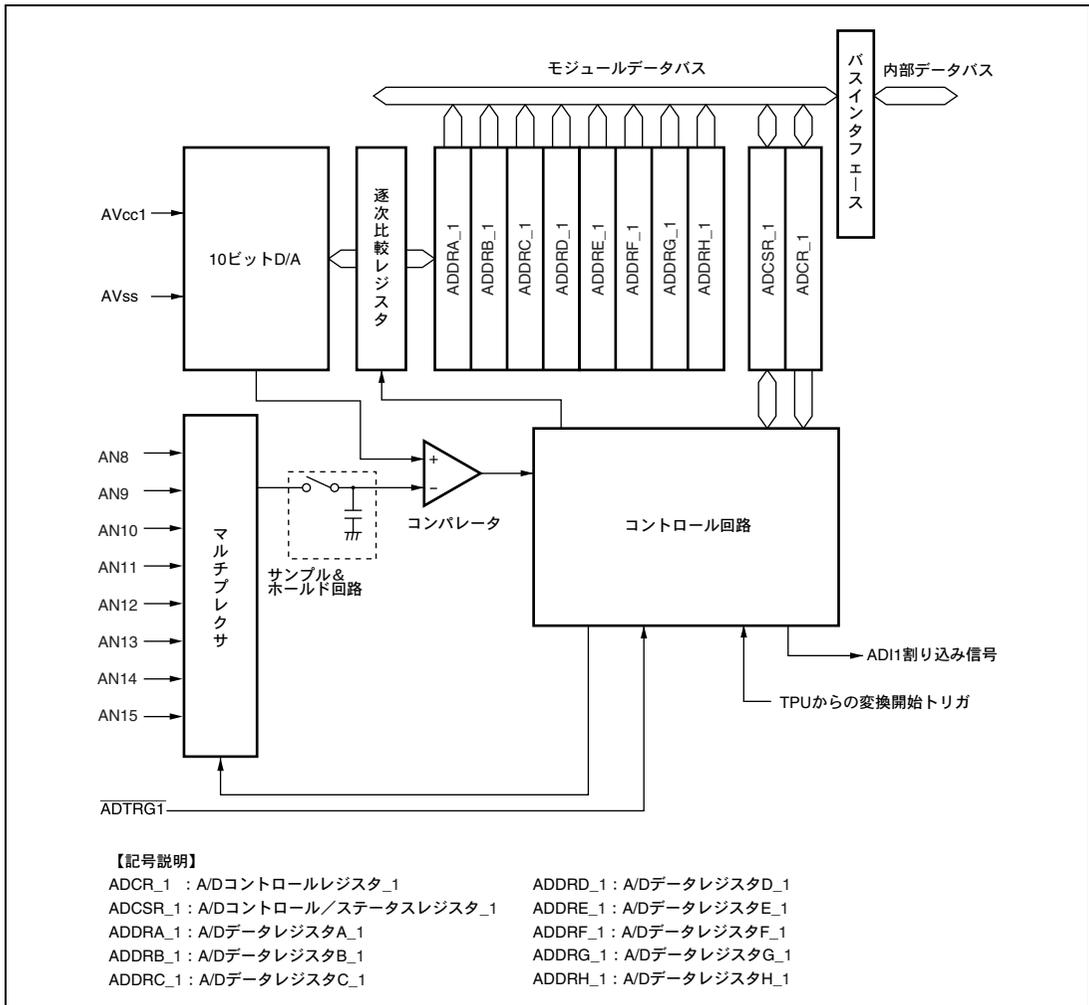


図 15.2 A/D 変換器 (ユニット 1/AD_1) のブロック図

15.2 入出力端子

A/D 変換器で使用する入力端子を表 15.1 に示します。

表 15.1 端子構成

ユニット	略称	端子名	記号	入出力	機能
0	AD_0	アナログ入力端子 0	AN0	入力	アナログ入力端子
		アナログ入力端子 1	AN1	入力	
		アナログ入力端子 2	AN2	入力	
		アナログ入力端子 3	AN3	入力	
		アナログ入力端子 4	AN4	入力	
		アナログ入力端子 5	AN5	入力	
		アナログ入力端子 6	AN6	入力	
		アナログ入力端子 7	AN7	入力	
		A/D 外部トリガ入力端子 0	$\overline{\text{ADTRG0}}$	入力	A/D 変換開始のための外部トリガ入力端子
	アナログ電源端子 0	AVcc0	入力	アナログ部の電源端子および基準電圧端子	
1	AD_1	アナログ入力端子 8	AN8	入力	アナログ入力端子
		アナログ入力端子 9	AN9	入力	
		アナログ入力端子 10	AN10	入力	
		アナログ入力端子 11	AN11	入力	
		アナログ入力端子 12	AN12	入力	
		アナログ入力端子 13	AN13	入力	
		アナログ入力端子 14	AN14	入力	
		アナログ入力端子 15	AN15	入力	
		A/D 外部トリガ入力端子 1	$\overline{\text{ADTRG1}}$	入力	A/D 変換開始のための外部トリガ入力
	アナログ電源端子 1	AVcc1	入力	アナログ部の電源端子および基準電圧端子	
共通		アナロググランド端子	AVss	入力	アナログ部のグランド端子

15.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

ユニット 0 (A/D_0)、ユニット 1 (A/D_1) とともに同一機能です。以下のレジスタ説明では AN8～AN15 は、AN0～AN7 にそれぞれ対応しています。

(1) ユニット 0 (A/D_0)

- A/DデータレジスタA_0 (ADDRA_0)
- A/DデータレジスタB_0 (ADDRB_0)
- A/DデータレジスタC_0 (ADDRC_0)
- A/DデータレジスタD_0 (ADDRD_0)
- A/DデータレジスタE_0 (ADDRE_0)
- A/DデータレジスタF_0 (ADDRF_0)
- A/DデータレジスタG_0 (ADDRG_0)
- A/DデータレジスタH_0 (ADDRH_0)
- A/Dコントロール/ステータスレジスタ_0 (ADCSR_0)
- A/Dコントロールレジスタ_0 (ADCR_0)

(2) ユニット 1 (A/D_1)

- A/DデータレジスタA_1 (ADDRA_1)
- A/DデータレジスタB_1 (ADDRB_1)
- A/DデータレジスタC_1 (ADDRC_1)
- A/DデータレジスタD_1 (ADDRD_1)
- A/DデータレジスタE_1 (ADDRE_1)
- A/DデータレジスタF_1 (ADDRF_1)
- A/DデータレジスタG_1 (ADDRG_1)
- A/DデータレジスタH_1 (ADDRH_1)
- A/Dコントロール/ステータスレジスタ_1 (ADCSR_1)
- A/Dコントロールレジスタ_1 (ADCR_1)

15. A/D 変換器

15.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。ADDRA~ADDRH の 8 本あります。各アナログ入力チャネルの変換結果が格納される ADDR は表 15.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU との間のデータバスは 16 ビット幅で、CPU から直接リードできます。ADDR をアクセスする場合は、16 ビット単位でアクセスしてください。8 ビット単位でのアクセスは禁止です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名											-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 15.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

15.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R(W)*	R/W	R/W	R	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。) • ADI 割り込みにより DMAC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセットによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
3	CH3	0	R/W	チャンネルセレクト 3~0 ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。 SCANE=0、 SCANE=1、 SCANE=1、 SCANS=X のとき SCANS=0 のとき SCANS=1 のとき 0000 : AN0 0000 : AN0 0000 : AN0 0001 : AN1 0001 : AN0、AN1 0001 : AN0、AN1 0010 : AN2 0010 : AN0~AN2 0010 : AN0~AN2 0011 : AN3 0011 : AN0~AN3 0011 : AN0~AN3 0100 : AN4 0100 : AN4 0100 : AN0~AN4 0101 : AN5 0101 : AN4、AN5 0101 : AN0~AN5 0110 : AN6 0110 : AN4~AN6 0110 : AN0~AN6 0111 : AN7 0111 : AN4~AN7 0111 : AN0~AN7 1XXX : 設定禁止 1XXX : 設定禁止 1XXX : 設定禁止
2	CH2	0	R/W	
1	CH1	0	R/W	
0	CH0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

【記号説明】 X : Don't care

15. A/D 変換器

15.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	7	6	5	4	3	2	1	0
ビット名	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00 : 外部トリガによる A/D 変換開始を禁止 01 : TPU からの変換トリガによる A/D 変換開始 10 : 設定禁止 11 : \overline{ADTRG} による A/D 変換開始
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード。1~4 チャンネルの連続 A/D 変換 11 : スキャンモード。1~8 チャンネルの連続 A/D 変換
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST=0) に行ってください。 00 : 変換時間=530 ステート (max) 01 : 変換時間=266 ステート (max) 10 : 変換時間=134 ステート (max) 11 : 変換時間=68 ステート (max)
1	—	0	R	リザーブビット
0	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。

【記号説明】 X : Don't care

15.4 動作説明

A/D 変換器は、逐次比較方式で分解能は 10 ビットです。動作モードには、シングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と、ADST ビットを 1 にセットするのは同時に行うことができます。

15.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADIF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

15. A/D 変換器

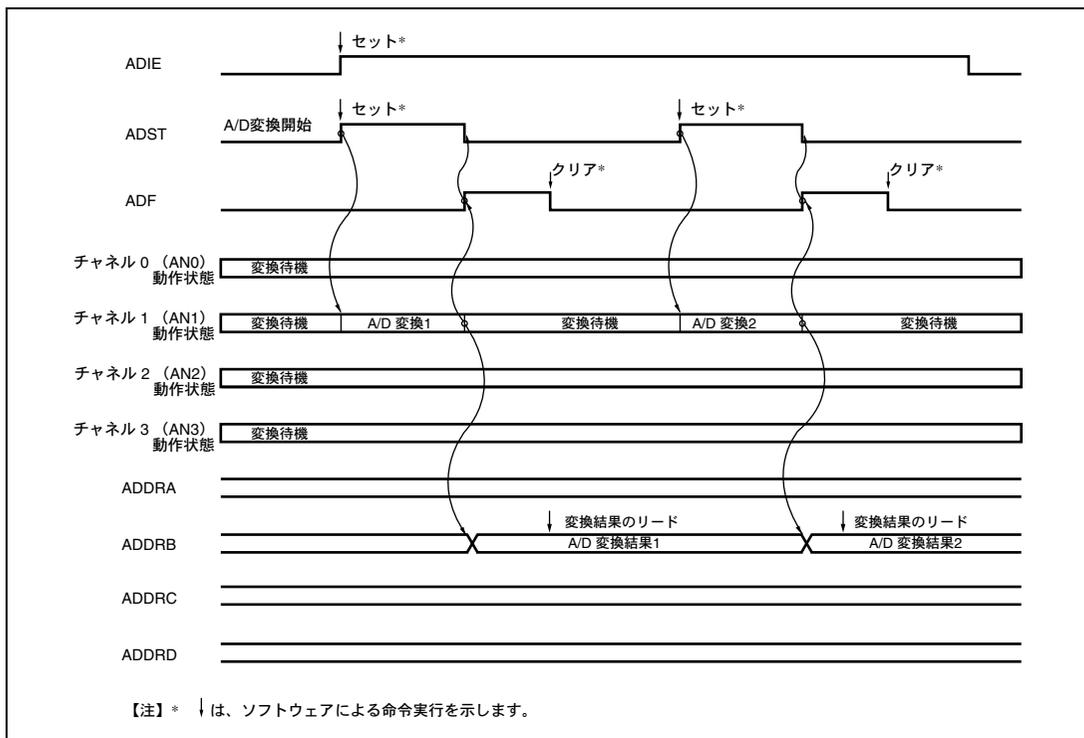


図 15.3 A/D 変換器の動作例（シングルモード、チャンネル 1 選択時）

15.4.2 スキャンモード

スキャンモードは、指定された最大 4 チャンネル、または最大 8 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。

- ソフトウェア、TPU、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルセットの第 1 チャンネルから A/D 変換を開始します。最大 4 チャンネルの連続 A/D 変換 (SCANE、SCANS=B'10)、または最大 8 チャンネルの連続 A/D 変換 (SCANE、SCANS=B'11) を選択できます。4 チャンネルの連続 A/D 変換の場合は、CH3、CH2=B'00 のとき AN0、CH3、CH2=B'01 のとき AN4、CH3、CH2=B'10 のとき AN8、CH3、CH2=B'11 のとき AN12 から A/D 変換を開始します。8 チャンネルの連続 A/D 変換の場合は、CH3=B'0 のとき AN0 から、CH3=B'1 のとき AN8 から A/D 変換を開始します。
- それぞれのチャンネルの A/D 変換が終了すると、A/D 変換結果は順次そのチャンネルに対応する ADDR に転送されます。
- 選択されたすべてのチャンネルの A/D 変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。A/D 変換器は再びチャンネルセットの第 1 チャンネルから A/D 変換を開始します。
- ADST ビットは自動的にクリアされず、1 にセットされている間は 2.~3. を繰り返します。ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。その後、ADST ビットを 1 にセットする

と再び第1チャンネルからA/D変換を開始します。

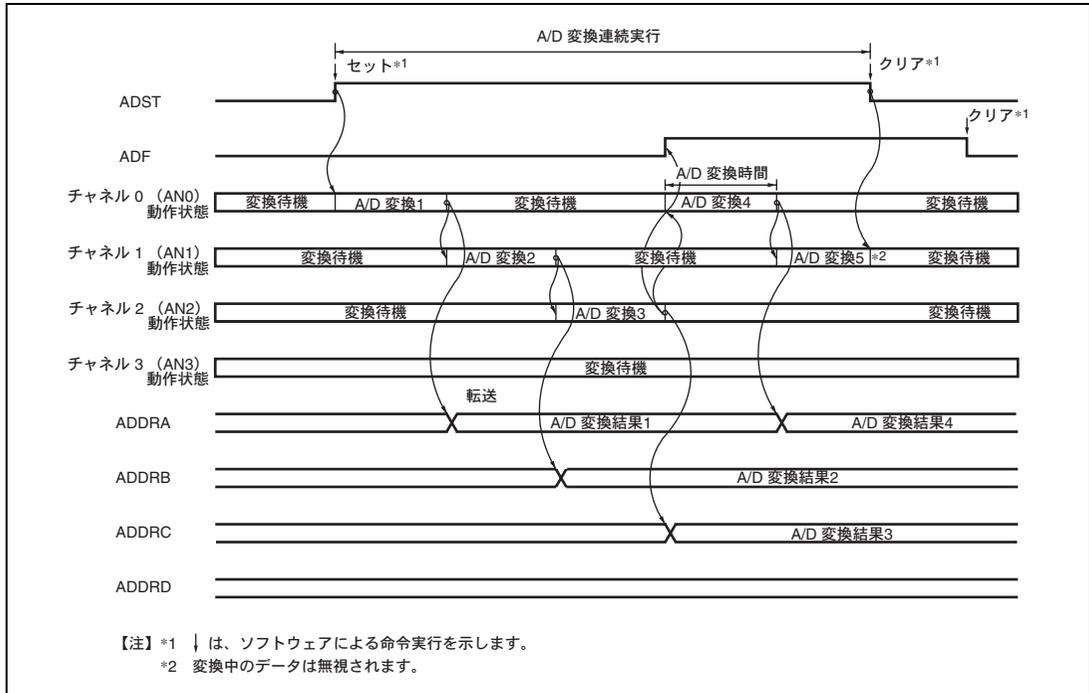


図 15.4 A/D 変換器の動作例 (スキャンモード、AN0～AN2 の 3 チャンネル選択時)

15.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_d)時間経過後、入力のサンプリングを行い、その後 A/D 変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また、A/D 変換時間を表 15.3 に示します。

A/D 変換時間(t_{conv})は、図 15.5 に示すように、 t_d と入力サンプリング時間(t_{sPL})を含めた時間となります。ここで t_d は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 15.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 15.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 15.4 に示す値となります。いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように ADCR の CKS1、CKS0 ビットを設定してください。

15. A/D 変換器

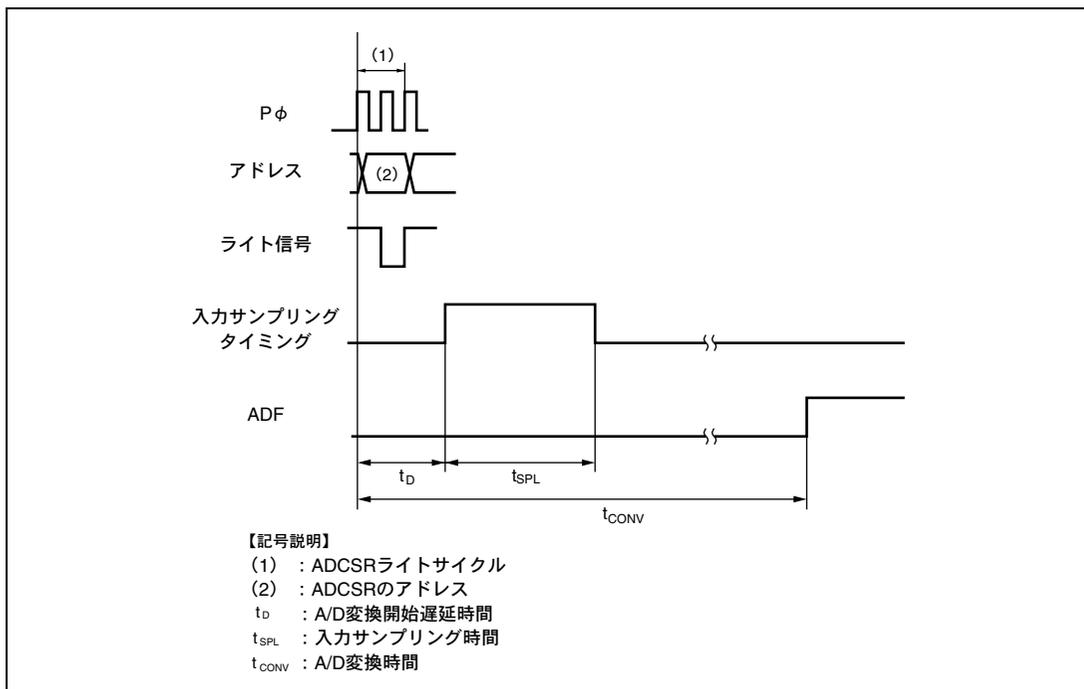


図 15.5 A/D 変換タイミング

表 15.3 A/D 変換特性 (シングルモード)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max									
A/D 変換開始遅延時間	t_D	18	—	33	10	—	17	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	127	—	—	63	—	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	515	—	530	259	—	266	131	—	134	67	—	68

【注】 表中の数値の単位はステートです。

表 15.4 A/D 変換特性 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

15.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 15.6 に示します。

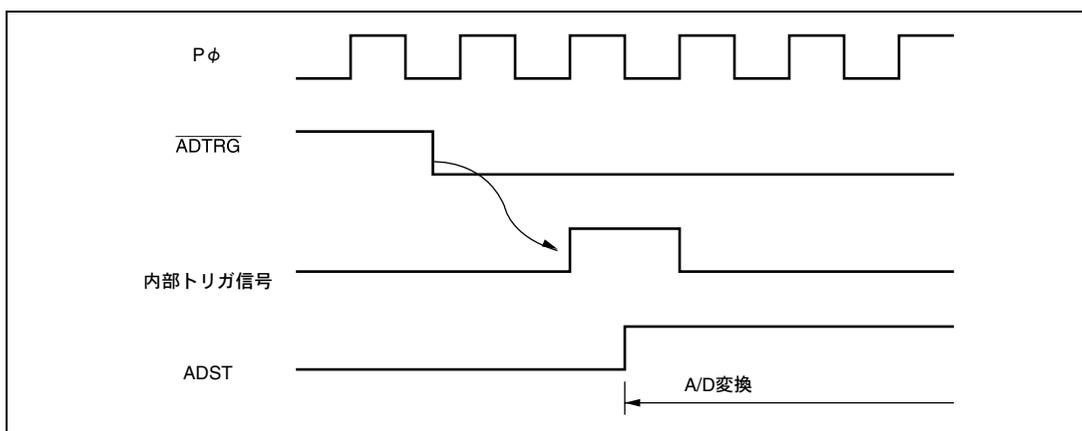


図 15.6 外部トリガ入力タイミング

15.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みで、DMA コントローラ (DMAC) の起動ができます。ADI 割り込みで変換されたデータのリードを DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 15.5 A/D 変換器の割り込み要因

ユニット	名称	割り込み要因	割り込みフラグ	DMAC の起動
0	ADI0	A/D_0 変換終了	ADF	可
1	ADI1	A/D_1 変換終了	ADF	可

15.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる（図15.7）。

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図15.8）

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図15.8）

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図15.8）。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

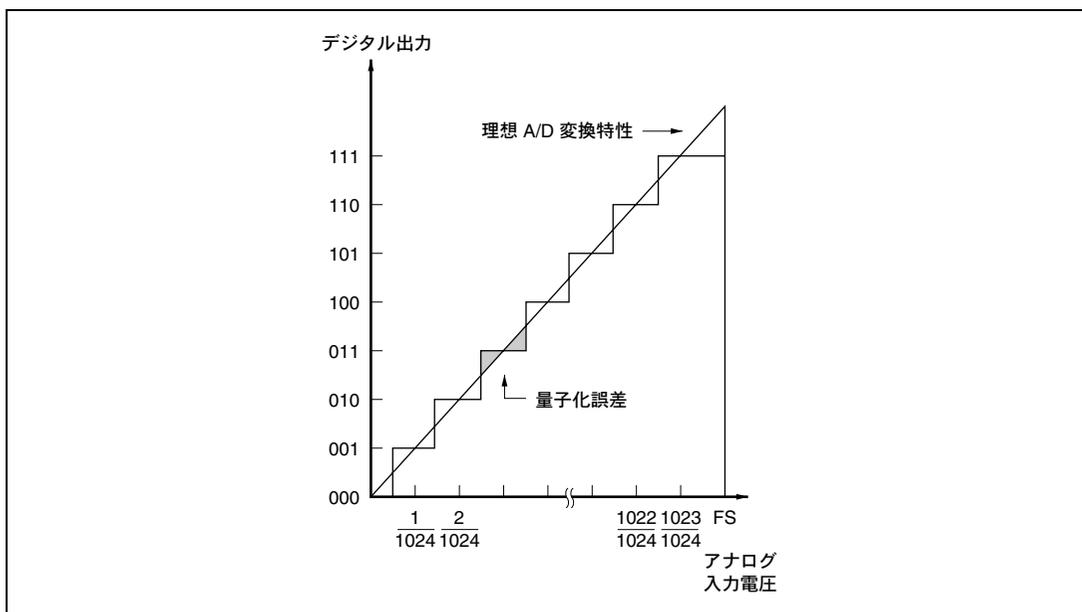


図 15.7 A/D 変換精度の定義

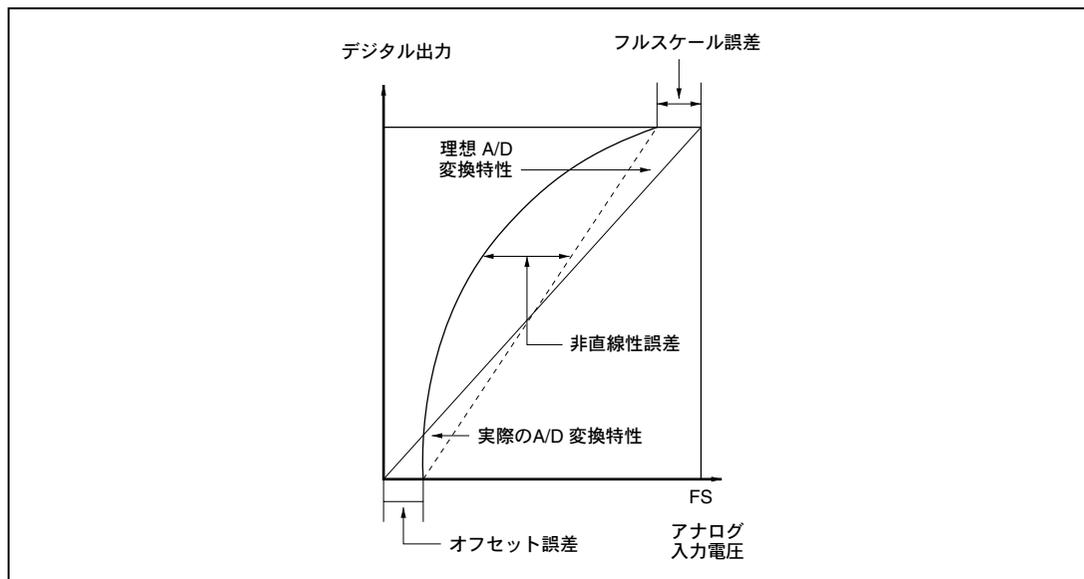


図 15.8 A/D 変換精度の定義

15.7 使用上の注意事項

15.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「19. 低消費電力」を参照してください。

15.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できないことがあります（図 15.9）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

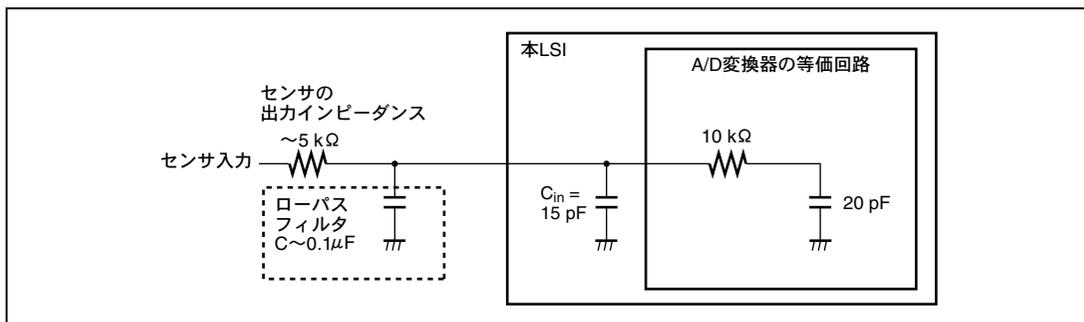


図 15.9 アナログ入力回路の例

15.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

15.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{SS} \leq V_{AN} \leq AV_{CC0}$ 、 $AV_{SS} \leq V_{AN} \leq AV_{CC1}$ の範囲としてください。

- AV_{CC0} 、 AV_{CC1} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC0} 、 AV_{CC1} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係は、 $AV_{CC0} = V_{CC} \pm 0.3V$ 、 $AV_{CC1} = V_{CC} \pm 0.3V$ かつ $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC0} = V_{CC}$ 、 $AV_{CC1} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

15.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 ($AN_0 \sim AN_{15}$)、アナログ電源電圧 (AV_{CC0} 、 AV_{CC1}) は、アナロググランド (AV_{SS}) で、デジタル回路と分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したグランド (V_{SS}) に一点接続してください。

15.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0~AN15) の破壊を防ぐために、図 15.10 に示すように AVcc0-AVss、AVcc1-AVss 間に保護回路を接続してください。AVcc0、AVcc1 に接続するバイパスコンデンサ、AN0~AN15 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN15 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入カインピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

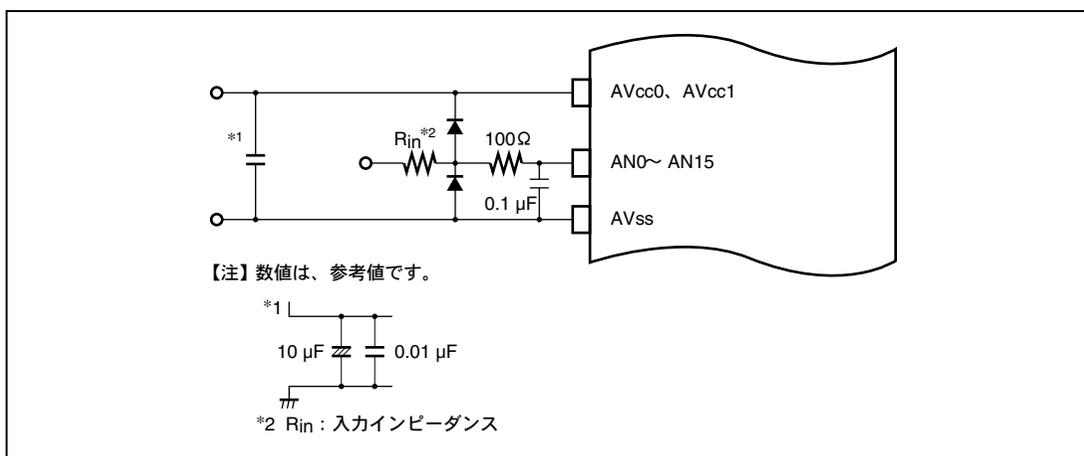


図 15.10 アナログ入力保護回路の例

表 15.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	k Ω

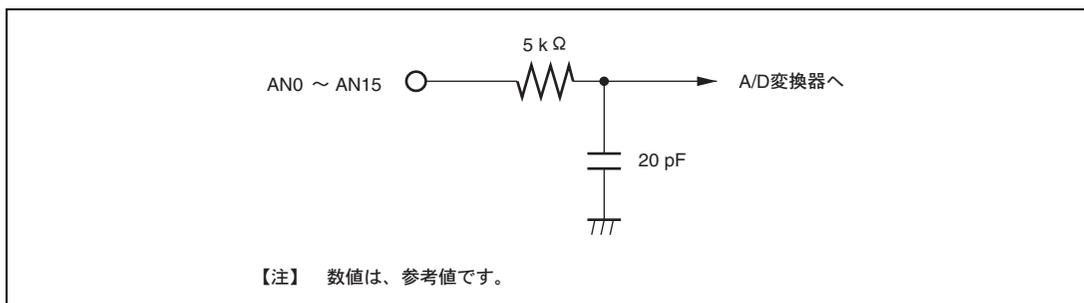


図 15.11 アナログ入力端子等価回路

15.7.7 ソフトウェアスタンバイ時の A/D 変換保持機能

A/D 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると A/D 変換は保持され、アナログ電流は A/D 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、ADST、TRGS1、TRGS0 ビットをすべて 0 にクリアして A/D 変換を禁止してください。

16. RAM

本 LSI は 12k バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 32 ビット幅のデータバスで接続されており、バイトデータ、ワードデータ、ロングワードデータにかかわらず、リードは 1 ステート、ライトは 2 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8SX/1527R	12k バイト	H'FF9000~H'FFBFFF
	H8SX/1525R	12k バイト	H'FF9000~H'FFBFFF

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 17.1 に示します。

17.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8SX/1527R	R5F61527R	256k バイト	H'000000~H'03FFFF (モード 1~3)
H8SX/1525R	R5F61525R		

- 2種類のメモリマップ

同一のアドレスに割り当てられた2種類のメモリ空間(メモリマップ)があります。起動時のモード設定により、どちらのメモリマップから起動するかを選択できます。また、起動後もバンク切り替え方式でメモリマップを切り替えることができます。

- ユーザモードでパワーオンリセット時に起動するユーザマップ : 256kバイト
- ユーザブートモードでパワーオンリセット時に起動するユーザブートマップ : 10kバイト

- 内蔵プログラムのダウンロードによる書き込み/消去インタフェース

書き込み/消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードすると、パラメータの設定で書き込み/消去が可能です。さらに、ユーザブランチをサポートしています。

- ユーザブランチ

書き込み処理は128バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も1分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このステップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができ、この設定をユーザブランチ付きと呼びます。

- 書き込み/消去時間

書き込み時間 : 128バイト同時書き込み3ms (typ) 、1バイトあたり換算23.4 μ s

消去時間 : 1ブロック (64kバイト) あたり1000ms (typ)

- 書き換え回数

100回 (min.回数) まで書き換え可能です (保証は1~100回) 。

- 3種類のオンボードプログラミングモード

ブートモード : 内蔵SCI_4を使用して、ユーザマップとユーザブートマップの書き込み/消去ができます。ブートモードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

ユーザプログラムモード：任意のインタフェースでユーザマットの書き込み／消去ができます。

ユーザブートモード：任意のインタフェースでユーザブートプログラム作成が可能で、ユーザマットの書き込み／消去ができます。

- オフボードプログラミングモード

ライターモード：PROMライターを使用して、ユーザマットとユーザブートマットの書き込み／消去ができます。

- 書き込み／消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトによりフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。

- 内蔵RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリ（ユーザマット）のエリアと内蔵RAMの一部を重ね合わせて、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

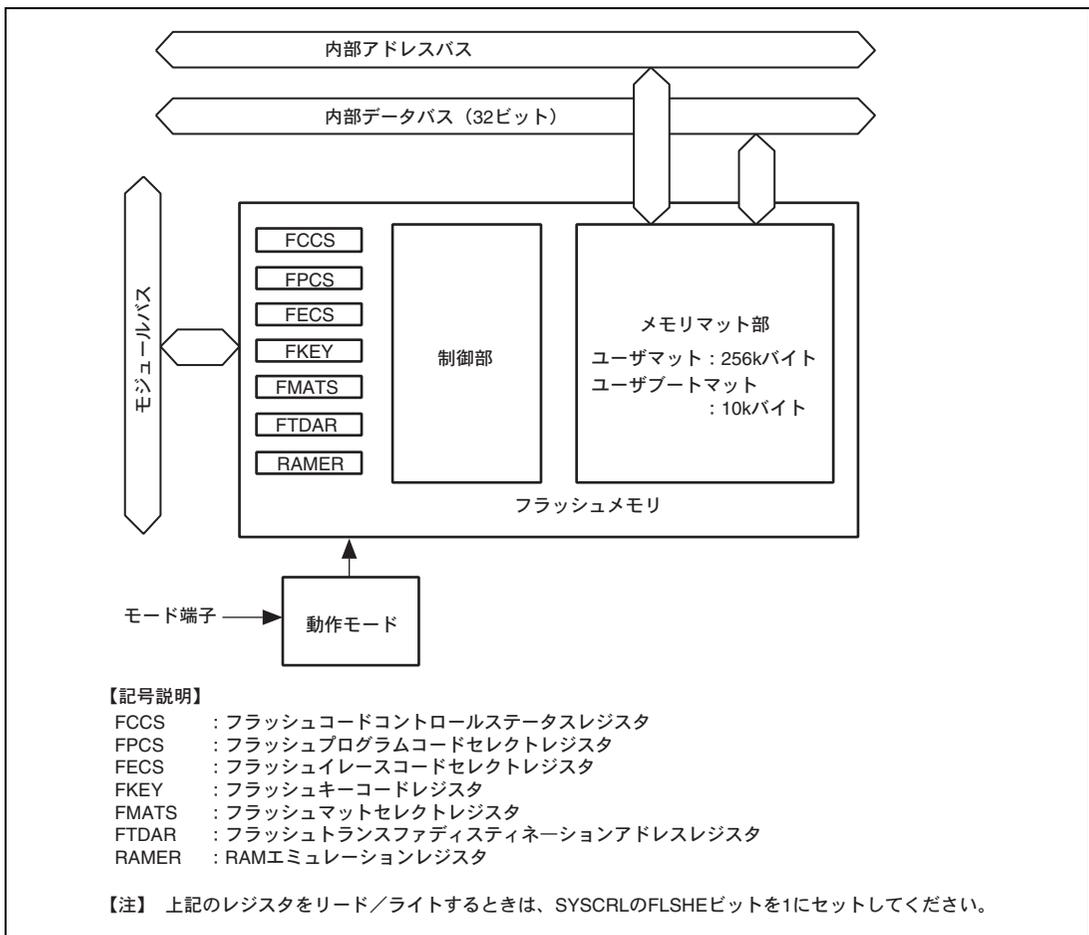


図 17.1 フラッシュメモリのブロック図

17.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本LSIは図17.2に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、書き込み/消去はできません。フラッシュメモリの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、ユーザブートモード、およびライターモードがあります。表17.1にブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードの相違点を示します。

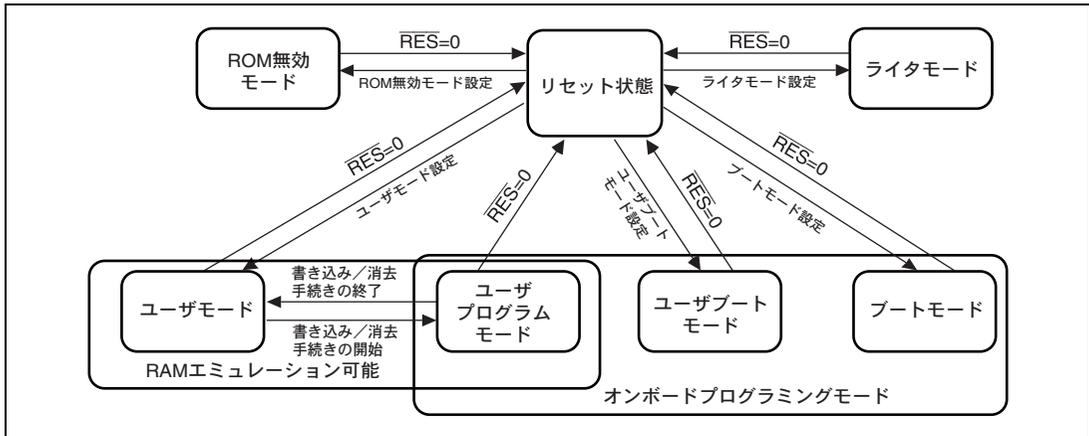


図 17.2 フラッシュメモリに関する状態遷移

表 17.1 ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードの相違点

項目	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み/消去環境	オンボード プログラミング			オフボード プログラミング
書き込み/消去可能マツト	<ul style="list-style-type: none"> ユーザマツト ユーザブートマツト 	<ul style="list-style-type: none"> ユーザマツト 	<ul style="list-style-type: none"> ユーザマツト 	<ul style="list-style-type: none"> ユーザマツト ユーザブートマツト
書き込み/消去制御	コマンド方式	書き込み/消去 インタフェース	書き込み/消去 インタフェース	コマンド方式
全面消去	○ (自動)	○	○	○ (自動)
ブロック分割消去	○*1	○	○	×
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	ライター経由
ユーザブランチ機能	×	○	○	×
RAM エミュレーション	×	○	○	×
リセット起動マツト	組み込みプログラム 格納領域	ユーザマツト	ユーザブートマツト*2	-
ユーザモードへの遷移	モード変更&リセット	書き込み/消去手続きの 終了*3	モード変更&リセット	-

【注】 *1 一旦、全面消去が行われます。その後、特定ブロックの消去を行うことができます。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

- *2 一旦、組み込みプログラム格納マツトから起動し、フラッシュメモリの関連レジスタのチェックが行われた後、ユーザブツトマツトのリセツトベクタから起動します。
- *3 本 LSI では、ユーザモードにて規定の書き込み/消去の手続きを開始したところから手続きを終了したところまでをユーザプログラムモードと規定します。書き込み/消去手続きの詳細は、「17.8.2 ユーザプログラムモード」を参照してください。

17.3 メモリマツト構成

本 LSI のフラッシュメモリのメモリマツトは、256k バイトのユーザマツトと 10k バイトのユーザブツトマツトから構成されています。ユーザマツトとユーザブツトマツトは先頭アドレスが同一のアドレスに割り当てられていますので、2つのマツト間でプログラムを実行、またはデータアクセスがまたがる場合は、フラッシュマツトセレクトレジスタ (FMATS) でメモリマツトの切り替えが必要です。

ユーザマツトとユーザブツトマツトの読み出しはどのモードからでも行えますが、ユーザブツトマツトの書き込み/消去を行えるモードは、ブツトモードとライターモードのみです。

ユーザマツトとユーザブツトマツトはメモリサイズが異なります。10k バイト以上のユーザブツトマツトをアクセスしないようにしてください。10k バイト以上のユーザブツトマツトをリードすると、不定値が読み出されます。

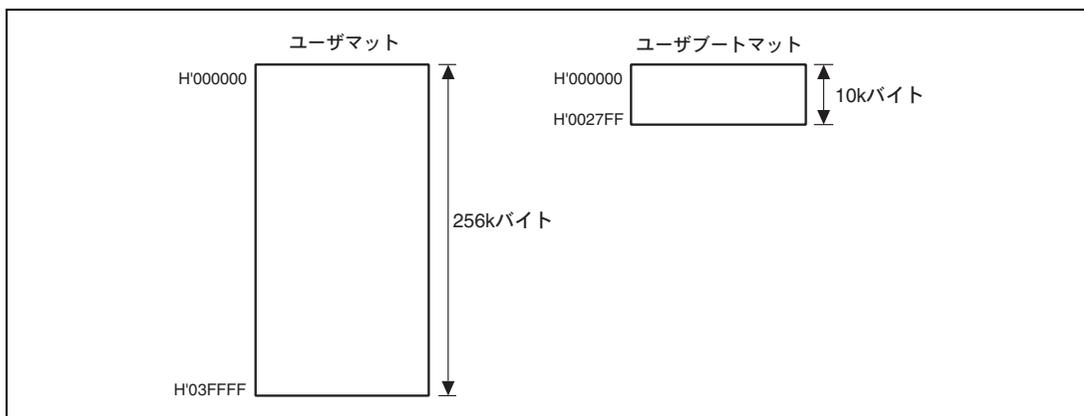


図 17.3 メモリマツト構成

17.4 ブロック構成

図 17.4 に 256k バイトのユーザマットのブロック構成を示します。太線枠は消去ブロックを表します。細罫線は書き込みの単位を表し、枠内の数値はアドレスを示します。ユーザマットは、64k バイト (3 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されていて、消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。4k バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

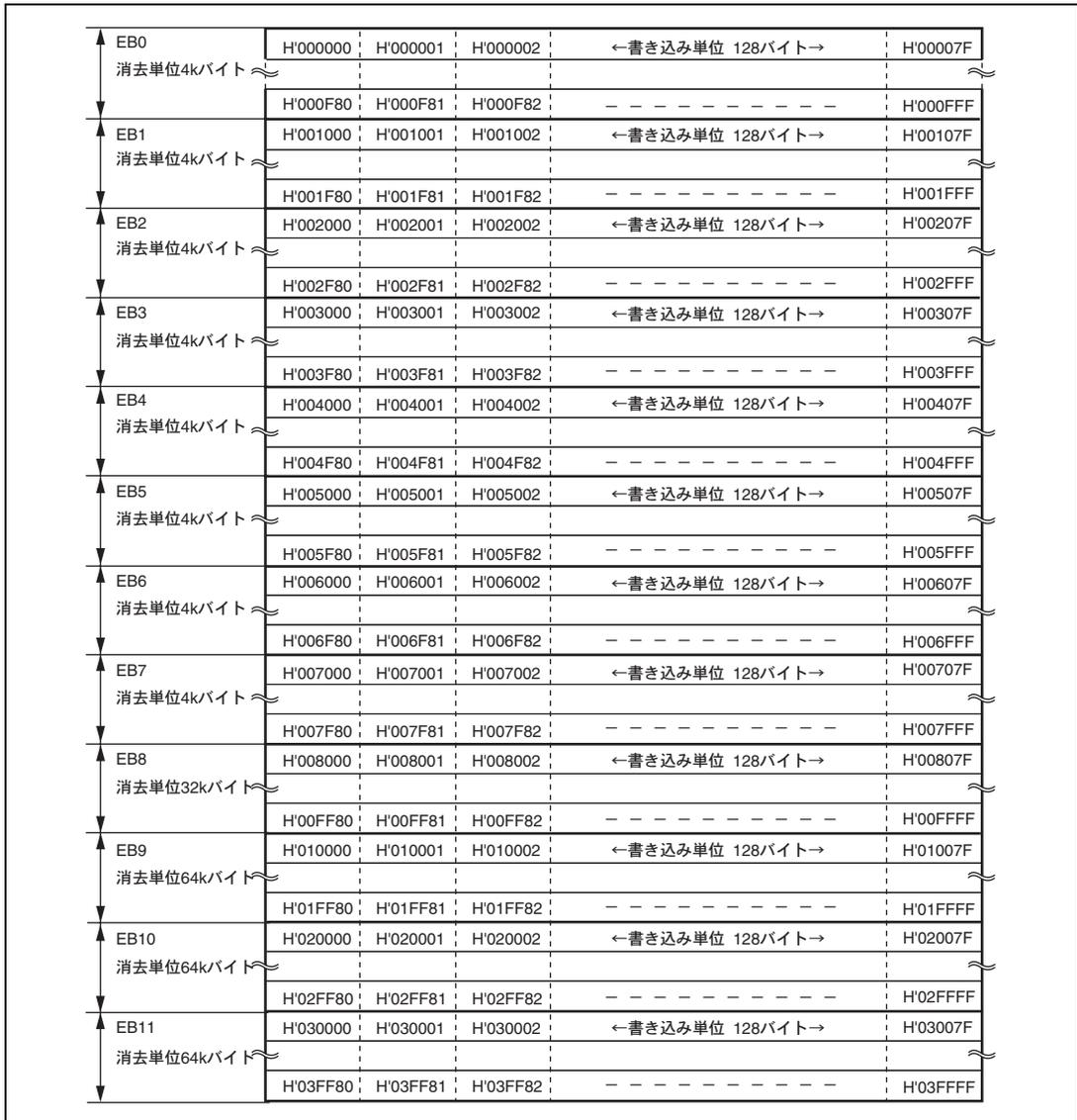


図 17.4 ユーザマットのブロック構成

17.5 書き込み／消去インタフェース

フラッシュメモリの書き込み／消去は、内蔵されている書き込み／消去プログラムを内蔵 RAM にダウンロードし、書き込み／消去インタフェースレジスタおよび書き込み／消去インタフェースパラメータで、書き込み先の先頭アドレス、書き込みデータ、および消去ブロック番号を指定して行います。

ユーザプログラムモード、およびユーザブートモードでは、これらの一連の手続きプログラムは、ユーザ側で用意していただきます。図 17.5 に手続きプログラムの作成手順を示します。詳細は「17.8.2 ユーザプログラムモード」を参照してください。

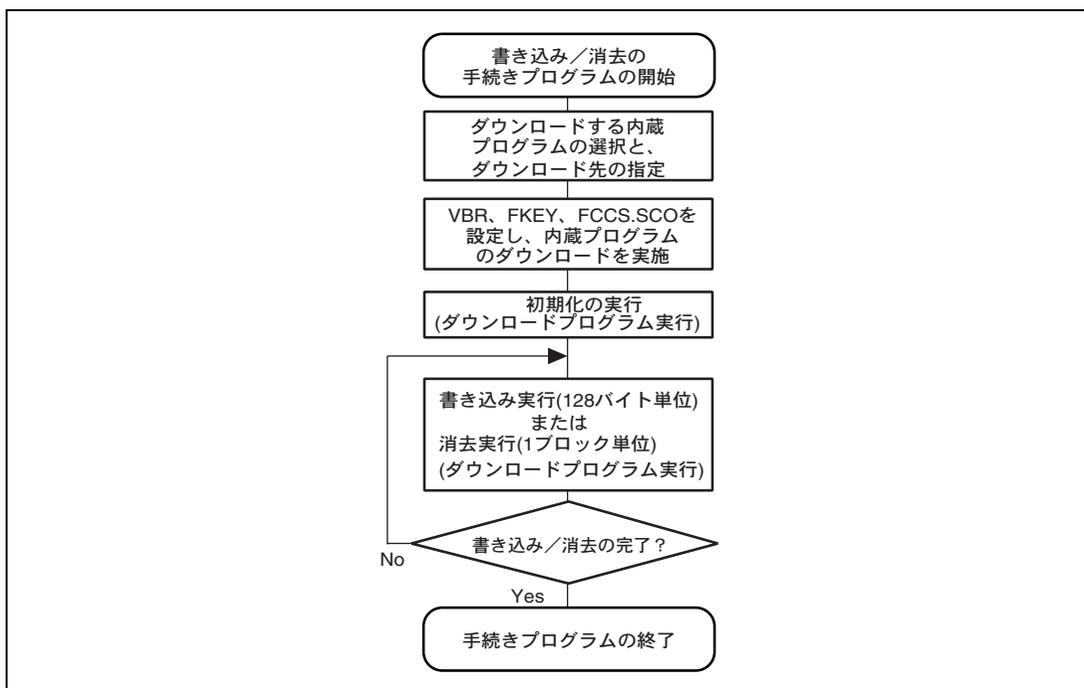


図 17.5 手続きプログラムの作成手順

(1) ダウンロードする内蔵プログラムの選択

書き込み/消去を行うためには、システムコントロールレジスタ (SYSCR) の FLSHE ビットを 1 にセットし、ユーザプログラムモードに設定してください。本 LSI には、書き込み/消去プログラムが内蔵されており、内蔵 RAM へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み/消去インタフェースレジスタで行います。また、ダウンロードする内蔵 RAM 上の先頭アドレスは、フラッシュトランスファディステーションアドレスレジスタ (FTDAR) で指定します。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、ベクタベースレジスタ (VBR) を初期化した後、フラッシュキーレジスタ (FKEY) と、フラッシュコードコントロールステータスレジスタ (FCCS) の SCO ビットの設定により自動的に行われます。ダウンロード中はメモリマップが組み込みプログラム格納領域と入れ替わります。また、書き込み/消去中はメモリマップの読み出しはできないため、ユーザ手続きプログラムはフラッシュメモリ以外 (内蔵 RAM など) で実行してください。ダウンロードの結果は、書き込み/消去インタフェースパラメータに戻されます。このパラメータで正常にダウンロードできたかを確認できます。VBR はダウンロード終了後に変更可能になります。

(3) 書き込み/消去の初期化

書き込み/消去の実行前に、動作周波数とユーザブランチの設定を行います。ユーザブランチ先は内蔵フラッシュメモリ領域以外かつダウンロードされた内蔵プログラム領域以外としてください。これらの設定は書き込み/消去インタフェースパラメータで行います。

(4) 書き込み/消去の実行

書き込み/消去を行うためには SYSCR の FLSHE ビットを 1 にセットし、ユーザプログラムモードに設定してください。書き込みは書き込み先の先頭アドレス、書き込みデータの指定を 128 バイト単位で行います。消去は消去ブロック番号の指定を消去ブロック単位で行います。書き込み先の先頭アドレス、書き込みデータ、消去ブロック番号の指定は書き込み/消去インタフェースパラメータで行い、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み/消去インタフェースパラメータに戻されます。

フラッシュメモリへの書き込みは、事前に対象領域のデータを消去してください。また、書き込み/消去中は、割り込み要求が発生しないようにしてください。

(5) 引き続き書き込み/消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で書き込み/消去が終了しない場合は、書き込み先の先頭アドレス、書き込みデータ、消去ブロック番号を更新して引き続き書き込み/消去を行うことができます。ダウンロードした内蔵プログラムは書き込み/消去終了後も内蔵 RAM 上に残っていますので、引き続き書き込み/消去を実行する場合は内蔵プログラムのダウンロードと初期化の必要はありません。

17.6 入出力端子

フラッシュメモリは、表 17.2 に示す入出力端子により制御されます。

表 17.2 端子構成

端子名	入出力	機能
RES	入力	リセット
MD1、MD0	入力	本 LSI の動作モードを設定
TxD4	出力	シリアル送信データ出力 (ブートモードで使用)
RxD4	入力	シリアル受信データ入力 (ブートモードで使用)

17.7 レジスタの説明

フラッシュメモリには以下のレジスタがあります。これらのレジスタをアクセスするときは、システムコントロールレジスタ (SYSCR) の FLSHE ビットを 1 にセットしてください。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

書き込み/消去インタフェースレジスタ

- フラッシュコードコントロールステータスレジスタ (FCCS)
- フラッシュプログラムコードセレクトレジスタ (FPCS)
- フラッシュイレースコードセレクトレジスタ (FECS)
- フラッシュキーコードレジスタ (FKEY)
- フラッシュマットセレクトレジスタ (FMATS)
- フラッシュトランスファディステーションアドレスレジスタ (FTDAR)

書き込み/消去インタフェースレジスタパラメータ

- ダウンロードパスフェイルリザルトパラメータ (DPFR)
- フラッシュパス/フェイルパラメータ (FPFR)
- フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)
- フラッシュユーザブランチパラメータ (FUBRA)
- フラッシュマルチパーパスアドレスエリアパラメータ (FMPAR)
- フラッシュマルチパーパスデータディステーションパラメータ (FMPDR)
- フラッシュイレースブロックセレクトパラメータ (FEBS)
- RAMエミュレーションレジスタ (RAMER)

フラッシュメモリのアクセスには、いくつかの動作モードがあります。また、ユーザマットとユーザブートマットにそれぞれ動作モード、レジスタ、パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応を表 17.3 に示します。

表 17.3 使用レジスタ/パラメータと対象モード

レジスタ/パラメータ		ダウンロード	初期化	書き込み	消去	読み出し	RAM エミュレーション
書き込み/ 消去インタ	FCCS	○	—	—	—	—	—
	FPCS	○	—	—	—	—	—
フェース レジスタ	FECS	○	—	—	—	—	—
	FKEY	○	—	○	○	—	—
	FMATS	—	—	○*1	○*1	○*2	—
	FTDAR	○	—	—	—	—	—
書き込み/ 消去インタ フェース パラメータ	DPFR	○	—	—	—	—	—
	FPFR	—	○	○	○	—	—
	FPEFEQ	—	○	—	—	—	—
	FUBRA	—	○	—	—	—	—
	FMPAR	—	—	○	—	—	—
	FMPDR	—	—	○	—	—	—
	FEBS	—	—	—	○	—	—
RAM エミュ レーション	RAMER	—	—	—	—	—	○

【注】 *1 ユーザブートモードでは、ユーザマットへの書き込み/消去時に設定が必要です。

*2 起動モードと読み出し対象メモリマットの組み合わせで設定が必要な場合があります。

17.7.1 書き込み/消去インタフェースレジスタ

書き込み/消去インタフェースレジスタは、8ビットのレジスタでバイトアクセスのみ可能です。これらのレジスタは、パワーオンリセットで初期化されます。

(1) フラッシュコードコントロールステータスレジスタ (FCCS)

FCCS は、フラッシュメモリの書き込み/消去中のエラー発生をモニタ、および内蔵 RAM に内蔵プログラムのダウンロードを要求します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	FLER	—	—	—	SCO
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	(R)/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
6	—	0	R	
5	—	0	R	
4	FLER	0	R	<p>フラッシュメモリエラー</p> <p>フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。このビットが1にセットされると、フラッシュメモリはエラープロテクト状態に移ります。なお、このビットが1にセットされるとフラッシュメモリ内部に高電圧が印加されるので、フラッシュメモリへのダメージを低減するために100 μs以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) の後にリセットリリースしてください。</p> <p>0: フラッシュメモリは正常に動作 (エラープロテクトは無効)</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ・パワーオンリセットのとき <p>1: フラッシュメモリへの書き込み/消去中にエラーが発生 (エラープロテクトは有効)</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ・書き込み/消去中に NMI などの割り込み要求が発生したとき ・書き込み/消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む) ・書き込み/消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイを含む) ・書き込み/消去中に CPU 以外のバスマスタ (DMAC) が、バス権を確保したとき
3~1	—	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
0	SCO	0	(R)/W*	<p>ソースプログラムコピーオペレーション</p> <p>内蔵 RAM に書き込み／消去プログラムのダウンロードを要求するビットです。このビットを 1 にセットすると、FPCS、FECS で選択したプログラムを FT DAR で指定した内蔵 RAM 領域にダウンロードします。</p> <p>このビットを 1 にセットするには、RAM エミュレーション機能の解除、FKEY=H'A5、および SCO ビットの設定が内蔵 RAM 上で実行されていることが必要です。このビットを 1 にセットした直後は、FCCS のダミーリードを必ず 2 回実行してください。また、ダウンロード中は、すべての割り込み要求が発生しないようにしてください。ダウンロードが終了すると、このビットは 0 にクリアされます。</p> <p>このビットによるプログラムのダウンロードは、プログラム格納領域のバンク切り換えを伴う特殊な処理を行いますので、ダウンロードを要求する前に、VBR の値を H'00000000 に初期化してください。ダウンロード終了後は、VBR を変更できます。</p> <p>0：書き込み／消去プログラムのダウンロードを要求しない [クリア条件]</p> <ul style="list-style-type: none"> ・ダウンロードが終了したとき <p>1：書き込み／消去プログラムのダウンロードを要求する [セット条件] (以下の条件をすべて満足しているとき)</p> <ul style="list-style-type: none"> ・RAM エミュレーション機能が解除されているとき (RAMER の RAMS=0) ・FKEY に H'A5 が書き込まれているとき ・FCCS の SCO ビットの設定を内蔵 RAM 上で実行

【注】 * ライトのみ可能です。リードすると常に 0 が読み出されます。

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込みプログラムを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	PPVS
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	—	すべて 0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
0	PPVS	0	R/W	<p>プログラムバルスベリファイ</p> <p>ダウンロードする書き込みプログラムを選択します。</p> <p>0：書き込みプログラムを選択しない [クリア条件]</p> <ul style="list-style-type: none"> ・転送が終了したとき <p>1：書き込みプログラムを選択する</p>

17. フラッシュメモリ (0.18μm F-ZTAT 版)

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、ダウンロードする消去プログラムを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	EPVB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	—	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	EPVB	0	R/W	イレースパルスベリファイブロック ダウンロードする消去プログラムを選択します。 0 : 消去プログラムを選択しない [クリア条件] ・転送が終了したとき 1 : 消去プログラムを選択する

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロード、およびフラッシュメモリへの書き込み/消去を許可するソフトウェアプロテクトのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	K7	K6	K5	K4	K3	K2	K1	K0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ビット	ビット名	初期値	R/W	説明
7	K7	0	R/W	キーコード
6	K6	0	R/W	FKEY に H'A5 を書き込むと、FCCS の SCO ビットの書き込みが有効になります。
5	K5	0	R/W	H' A5 以外の値が書き込まれている場合は、SCO ビットを 1 にセットできないため、内蔵 RAM に内蔵プログラムをダウンロードできません。
4	K4	0	R/W	また、H'5A を書き込んだ場合のみフラッシュメモリへの書き込み/消去が可能になります。H'5A 以外の値が書き込まれている場合は、書き込み/消去プログラムを実行しても書き込み/消去できません。
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	H'A5 : SCO ビットへの書き込みを許可
0	K0	0	R/W	(H'A5 以外では SCO ビットを 1 にセットできません) H'5A : フラッシュメモリへの書き込み/消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00 : 初期値

(5) フラッシュマツトセレクトレジスタ (FMATS)

FMATS は、ユーザマツト/ユーザブツトマツトを選択します。FMATS への書き込みは、内蔵 RAM 上での実行状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0
初期値	0/1*	0	0/1*	0	0/1*	0	0/1*	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * ユーザブツトモードのときは1になります。それ以外のときは0になります。

ビット	ビット名	初期値	R/W	説明
7	MS7	0/1*	R/W	マツトセレクト
6	MS6	0	R/W	FMATS に値を書き込みむことにより、メモリマツトの切り替えができます。
5	MS5	0/1*	R/W	FMATS に H'AA を書き込むと、ユーザブツトマツトが選択されます。H'AA 以外の値では、ユーザマツトが選択されています。メモリマツトの切り替え手順は、「17.11 ユーザマツトとユーザブツトマツトの切り替え」に従ってください。
4	MS4	0	R/W	
3	MS3	0/1*	R/W	ユーザプログラミングモードでは、FMATS でユーザブツトマツトの選択がきません。ユーザブツトマツトへの切り替えは、ブツトモードかライターモードで実施してください。
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	H'AA : ユーザブツトマツトを選択 (H'AA 以外ではユーザマツトを選択) (ユーザブツトモードで立ち上がった場合の初期値) H'00 : ユーザマツトを選択 (ユーザブツトモード以外で立ち上がった場合の初期値)

【注】 * ユーザブツトモードのときは 1 になります。それ以外のときは 0 になります。

17. フラッシュメモリ (0.18μm F-ZTAT 版)

(6) フラッシュトランスファディステーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムをダウンロードする内蔵 RAM 上の先頭アドレスを指定します。FCCS の SCO ビットを 1 にセットする前に FTDAR の設定を行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値	0	0	0	0	0	0	0	0
R/W								

ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	トランスファディステーションアドレス設定エラー TDA6～TDA0 ビットで設定された先頭アドレス指定にエラーがあると、このビットが 1 にセットされます。 先頭アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にセットしてダウンロードが実行されたときに、TDA6～TDA0 ビットの値が H'00～H'02 の範囲にあるかを判定します。SCO ビットを 1 にセットする前に、このビットを 0 にクリアして、FTDAR の値を H'00～H'02 の範囲に設定してください。 0 : TDA6～TDA0 の設定値は正常 1 : TDER、TDA6～TDA0 の設定値が H'03～H'FF で、ダウンロードが中断
6	TDA6	0	R/W	トランスファディステーションアドレス ダウンロード先の内蔵 RAM の先頭アドレスを指定します。設定可能な値は H'00～H'02 で、4k バイト以内で内蔵 RAM 上の先頭アドレスを指定できます。 H'00 : 先頭アドレスを H'FF9000 に設定 H'01 : 先頭アドレスを H'FFA000 に設定 H'02 : 先頭アドレスを H'FFB000 に設定 H'03～H'7F : 設定禁止 (H'03～H'7F の値が設定されると、TDER ビットが 1 にセットされ、内蔵プログラムのダウンロードが中断されます。)
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

17.7.2 書き込み/消去インタフェースパラメータ

書き込み/消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、ユーザブランチ先アドレス、書き込みデータの格納場所、書き込み先の先頭アドレス、消去ブロック番号の指定、および実行結果の受け渡しを行います。このパラメータは、CPU の汎用レジスタ (ER0, ER1) や内蔵 RAM 領域に設定します。書き込み/消去インタフェースパラメータは、パワーオンリセット、ソフトウェアスタンバイでの初期値は不定です。

内蔵プログラムのダウンロード、初期化、書き込み、消去の実行中は、R0 以外の CPU のレジスタはスタック領域に保存されるため、実行前にスタック領域を確保してください (使用スタック領域サイズは、最大 128 バイトです)。R0 は処理結果の戻り値が書き込まれます。書き込み/消去インタフェースパラメータは、ダウンロードの制御、書き込み/消去の初期化、書き込み、消去の実行で使用します。表 17.4 に使用パラメータと対象モードを示します。フラッシュパス/フェイルパラメータ (FPFR) は、初期化、書き込み、消去の実行結果が戻されますが、実行内容によってビットの意味が異なります。

表 17.4 使用パラメータと対象モード

パラメータ	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
DPFR	○	—	—	—	R/W	不定	内蔵 RAM*
FPFR	—	○	○	○	R/W	不定	CPU の R0L
FPEFEQ	—	○	—	—	R/W	不定	CPU の ER0
FUBRA	—	○	—	—	R/W	不定	CPU の ER0
FMPAR	—	—	○	—	R/W	不定	CPU の ER1
FMPDR	—	—	○	—	R/W	不定	CPU の ER0
FEBS	—	—	—	○	R/W	不定	CPU の ER0

【注】 * FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト

(a) ダウンロードの制御

内蔵プログラムのダウンロードは、FCCS の SCO ビットを 1 にセットすると自動的に行われます。ダウンロードする内蔵 RAM 領域は、FTDAR で指定した先頭アドレスから 4k バイト分です。ダウンロードは書き込み/消去インタフェースレジスタで設定し、戻り値はダウンロードパスフェイルリザルトパラメータ (DPFR) に渡されません。

(b) 書き込み/消去の初期化

内蔵プログラムには、初期化プログラムも含まれています。書き込み/消去を行うためには決められた時間幅のバルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のバルス幅を作成しています。そのため CPU の動作周波数を設定する必要があります。また、ユーザブランチ機能をサポートしていますので、ユーザブランチ先のアドレス設定も必要です。これらの設定を行うためにダウンロードした書き込み/消去プログラムのパラメータとして設定するのが初期化プログラムです。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(c) 書き込みの実行

フラッシュメモリへの書き込みは、ユーザマット上の書き込み先の先頭アドレスと書き込みデータを書き込みプログラムに渡す必要があります。

ユーザマット上の書き込み先の先頭アドレスは、汎用レジスタ ER1 に設定してください。このパラメータをフラッシュマルチパースアドレスエリアパラメータ (FMPAR) と呼びます。

書き込みデータは常に 128 バイト単位です。書き込みデータが 128 バイトに満たない場合でもダミーコード (H'FF) を埋め込んで、128 バイトの書き込みデータを準備してください。ユーザマット上の書き込み先の先頭アドレスの境界は、アドレスの下位 8 ビット (A7~A0) が H'00 または H'80 のいずれかにしてください

ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータは、CPU の MOV.B 命令でアクセス可能な連続空間で、フラッシュメモリ空間以外としてください。

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを、汎用レジスタ ER0 に設定してください。このパラメータをフラッシュマルチパースデータディスティネーションエリアパラメータ (FMPDR) と呼びます。

書き込み手順については「17.8.2 ユーザプログラムモード」を参照してください。

(d) 消去の実行

フラッシュメモリの消去は、ユーザマット上の消去ブロック番号を消去プログラムに渡す必要があります。

ユーザマット上の消去ブロック番号は、汎用レジスタ ER0 に設定してください。このパラメータをフラッシュイレースブロックセレクトパラメータ (FEBS) と呼びます。

消去ブロック番号は、0~11 のブロック番号から 1 ブロックを指定します。

消去手順については「17.8.2 ユーザプログラムモード」を参照してください。

(1) ダウンロードパスフェイルリザルトパラメータ (DPFR)
(FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト)

ダウンロード結果の戻り値です。ダウンロード結果を DPFR の値で判断します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	SS	FK	SF

ビット	ビット名	初期値	R/W	説明
7~3	—	—	—	未使用ビット 値 0 が戻されます。
2	SS	—	R/W	ソースセレクトエラー検出ビット ダウンロード可能なプログラムは 1 種類のみです。ダウンロードするプログラムが選択されていない場合、2 種類以上のプログラムが選択されている場合、またはマッピングされていないプログラムを選択した場合には、エラーとなります。 0 : ダウンロードするプログラムの選択は正常 1 : ダウンロードするプログラムの選択エラー
1	FK	—	R/W	フラッシュキーレジスタエラー検出ビット FKEY の値 (H'A5) を検出し、その結果を戻します。 0 : FKEY の設定値は正常 (H'A5) 1 : FKEY の設定値エラー (H'A5 以外の値)
0	SF	—	R/W	サクセス/フェイルビット ダウンロード結果を戻します。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できたかを判定します。 0 : プログラムのダウンロードは正常終了 1 : プログラムのダウンロードが異常終了 (エラーの発生)

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(2) フラッシュバス/フェイルパラメータ (FPFR) (CPUの汎用レジスタ R0L)

FPFRは、書き込み/消去の初期化、書き込み、および消去の結果が戻されますが、実行内容によってビットの意味が異なります。

(a) 書き込み/消去の初期化

初期化結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	BR	FQ	SF

ビット	ビット名	初期値	R/W	説明
7~3	—	—	—	未使用ビット 値0が戻されます。
2	BR	—	R/W	ユーザブランチエラー検出ビット 設定されたユーザブランチ先アドレスが、ダウンロードされている書き込み/消去関係プログラムの格納領域以外であるかをチェックした結果を戻します。 0: ユーザブランチアドレス設定は正常値 1: ユーザブランチアドレス設定が異常値
1	FQ	—	R/W	周波数エラー検出ビット 設定されたCPUの動作周波数と本LSIがサポートしている動作周波数を比較し、その結果を戻します。 0: 動作周波数の設定は正常値 1: 動作周波数の設定が異常値
0	SF	—	R/W	サクセス/フェイルビット 初期化結果を戻します。 0: 初期化は正常終了 (エラーなし) 1: 初期化が異常終了 (エラー発生)

(b) 書き込みの実行

書き込み結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	MD	EE	FK	—	WD	WA	SF

ビット	ビット名	初期値	R/W	説明
7	—	—	—	未使用ビット 値0が戻されます。

17. フラッシュメモリ (0.18μm F-ZTAT 版)

ビット	ビット名	初期値	R/W	説 明
6	MD	—	R/W	書き込みモード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに1が書き込まれます。エラープロテクト状態であるか、ないかは、FCCSのFLERビットで確認できます。エラープロテクト状態への遷移条件については、「17.9.3 エラープロテクト」を参照してください。 0: 正常に動作 (FLER=0) 1: エラープロテクト状態で、書き込みできない (FLER=1)
5	EE	—	R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために指定データを書き込みなかった場合、このビットには1が書き込まれます。このとき、ユーザマットは途中まで書き換えられている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。また、FMATSの値がH'AAで、ユーザブートマット選択されているときに書き込みを行っても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに書き換えられていません。ユーザブートマットの書き込みは、ブートモードまたはライターモードで行ってください。 0: 書き込みは正常終了 1: 書き込みが異常終了 (書き込み内容は保証できない)
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 書き込み開始前のFKEYの値 (H'5A) を検出し、その結果を戻します。 0: FKEYの設定値は正常 (H'5A) 1: FKEYの設定値エラー (H'5A以外の値)
3	—	—	—	未使用ビット 値0が戻されます。
2	WD	—	R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスに、フラッシュメモリ以外の領域が指定された場合はエラーになります。 0: 書き込みデータの格納先の先頭アドレス設定は正常値 1: 書き込みデータの格納先の先頭アドレス設定は異常値
1	WA	—	R/W	ライトアドレスエラー検出ビット 書き込み先の先頭アドレスに、次の領域が指定された場合はエラーになります。 • フラッシュメモリ以外の領域のとき • 指定されたアドレスが128バイト境界でないとき (アドレスの下位8ビットがH'00かH'80以外) 0: 書き込み先の先頭アドレス設定は正常値 1: 書き込み先の先頭アドレス設定が異常値
0	SF	—	R/W	サクセス/フェイルビット 書き込み結果を戻します。 0: 書き込みは正常終了 (エラーなし) 1: 書き込みが異常終了 (エラー発生)

17. フラッシュメモリ (0.18μm F-ZTAT 版)

(c) 消去の実行

消去結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	MD	EE	FK	EB	—	—	SF

ビット	ビット名	初期値	R/W	説明
7	—	—	—	未使用ビット 値 0 が戻されます。
6	MD	—	R/W	消去モード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに 1 が書き込まれます。エラープロテクト状態であるか、ないかは、FCCS の FLER ビットで確認できます。エラープロテクト状態への遷移条件については、「17.9.3 エラープロテクト」を参照してください。 0 : 正常に動作 (FLER=0) 1 : エラープロテクト状態で、書き込みできない (FLER=1)
5	EE	—	R/W	消去実行時エラー検出ビット ユーザマットの消去ができない、またはフラッシュメモリの関連レジスタの一部が書き換えられていると、このビットに 1 が戻されます。このとき、ユーザマットは途中まで消去されている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。また、FMATS の値が H'AA で、ユーザブートマットが選択されているときに消去を行っても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに消去されていません。ユーザブートマットの消去は、ブートモードまたはライターモードで行ってください。 0 : 消去は正常終了 1 : 消去が異常終了
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 消去開始前の FKEY の値 (H'5A) を検出し、その結果を戻します。 0 : FKEY の設定値は正常 (H'5A) 1 : FKEY の設定値エラー (H'5A 以外の値)
3	EB	—	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかを検出し、その結果を戻します。 0 : 消去ブロック番号の設定は正常値 1 : 消去ブロック番号の設定が異常値
2	—	—	—	未使用ビット
1	—	—	—	値 0 が戻されます。
0	SF	—	R/W	サクセス/フェイルビット 消去結果を戻します。 0 : 消去は正常終了 (エラーなし) 1 : 消去が異常終了 (エラー発生)

(3) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)
(CPUの汎用レジスタ ER0)

CPUの動作周波数を設定するパラメータです。本 LSI がサポートしている CPU の動作周波数範囲は、8MHz～48MHz です。

ビット	31	30	29	28	27	26	25	24
ビット名	—	—	—	—	—	—	—	—
ビット	23	22	21	20	19	18	17	16
ビット名	—	—	—	—	—	—	—	—
ビット	15	14	13	12	11	10	9	8
ビット名	F15	F14	F13	F12	F11	F10	F9	F8
ビット	7	6	5	4	3	2	1	0
ビット名	F7	F6	F5	F4	F3	F2	F1	F0

ビット	ビット名	初期値	R/W	説 明
31～16	—	—	—	未使用ビット 値 0 を設定してください。
15～0	F15～F0	—	R/W	周波数設定ビット CPUの動作周波数を設定します。PLL 逡倍を使用する場合は逡倍後の周波数を設定してください。設定値の算出は次のようにしてください。 <ul style="list-style-type: none"> MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。 100 倍した値を 2 進数に変換し、FPEFEQ (汎用レジスタ ER0) に書き込む。具体例として CPU の動作周波数が 33.000MHz の場合には次のようになります。 33.000 の小数点第 3 位を四捨五入 33.00×100=3300 を 2 進数変換し、B'0000 1100 1110 0100 (H'0CE4) を ER0 に設定する。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(4) フラッシュマルチパースアドレスエリアパラメータ (FMPAR) (CPU の汎用レジスタ ER1)

ユーザマツト上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ領域外にアドレスが指定されている場合、または書き込み先の先頭アドレスが 128 バイト境界でない場合は、エラーとなります。これらのエラーは、FPFR の WA ビットに反映されます。

ビット	31	30	29	28	27	26	25	24
ビット名	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24
ビット	23	22	21	20	19	18	17	16
ビット名	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
ビット	15	14	13	12	11	10	9	8
ビット名	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8
ビット	7	6	5	4	3	2	1	0
ビット名	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0

ビット	ビット名	初期値	R/W	説明
31~0	MOA31 ~ MOA0	—	R/W	ユーザマツト上の書き込み先の先頭アドレスを設定します。ここで指定されたユーザマツトの先頭アドレスから連続 128 バイトの書き込みが行われます。指定した書き込み先の先頭アドレスは 128 バイト境界となり、MOA6~MOA0 は常に 0 になります。

(5) フラッシュマルチパースデータデスティネーションパラメータ (FMPDR)
(CPU の汎用レジスタ ER0)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。

書き込みデータの格納先がフラッシュメモリ領域内の場合は、エラーとなります。このエラーは FPFR の WD ビットに反映されます。

ビット	31	30	29	28	27	26	25	24
ビット名	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24

ビット	23	22	21	20	19	18	17	16
ビット名	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16

ビット	15	14	13	12	11	10	9	8
ビット名	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8

ビット	7	6	5	4	3	2	1	0
ビット名	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0

ビット	ビット名	初期値	R/W	説明
31~0	MOD31 ~ MODA0	—	R/W	ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに書き込まれます。

17. フラッシュメモリ (0.18μm F-ZTAT 版)

(6) フラッシュイレースブロックセレクトパラメータ (FEBS) (CPUの汎用レジスタ ER0)

消去ブロック番号を指定します。0~11 (H'00000000~H'0000000B) の範囲で消去ブロック番号を数値で設定します。0はEB0ブロック、11はEB11ブロックに対応します。0~11以外の設定ではエラーになります。

ビット	31	30	29	28	27	26	25	24
ビット名								
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W							
ビット	23	22	21	20	19	18	17	16
ビット名								
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W							
ビット	15	14	13	12	11	10	9	8
ビット名								
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W							
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	-	-	-	-	-	-	-	-
R/W:	R/W							

(7) フラッシュユーザブランチアドレスセットパラメータ (FUBRA)
(CPUの汎用レジスタ ER0)

ユーザブランチ先の先頭アドレスを設定するパラメータです。書き込み/消去実行時のある決まった処理単位ごとに設定したユーザプログラムを実行することができます。

ユーザブランチが必要ない場合には、0番地 (H'00000000) を設定してください。

ユーザブランチ先は、内蔵フラッシュメモリ以外または内蔵プログラムが転送されている RAM 領域以外としてください。

実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラムのダウンロード領域やスタック領域を破壊しないようにしてください。暴走やダウンロード領域/スタック領域の破壊が発生した場合フラッシュメモリの値の保証ができません。

ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、書き込み/消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み/消去の保証ができません。また、すでに準備していた書き込みデータを書き換えしないでください。

汎用レジスタ ER2 から ER7 は保存してください。汎用レジスタ ER0 と ER1 は保存せずに使うことができます。

さらに、ユーザブランチ先の処理で書き込み/消去インタフェースレジスタの書き換えや、RAM エミュレーションモードへの遷移を行わないでください。

ユーザブランチ処理終了時は、RTS 命令で書き込み/消去プログラムに戻ってください。

ビット	31	30	29	28	27	26	25	24
ビット名	UA31	UA30	UA29	UA28	UA27	UA26	UA25	UA24
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W							
ビット	23	22	21	20	19	18	17	16
ビット名	UA23	UA22	UA21	UA20	UA19	UA18	UA17	UA16
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W							
ビット	15	14	13	12	11	10	9	8
ビット名	UA15	UA14	UA13	UA12	UA11	UA10	UA9	UA8
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W							
ビット	7	6	5	4	3	2	1	0
ビット名	UA7	UA6	UA5	UA4	UA3	UA2	UA1	UA0
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W							

ビット	ビット名	初期値	R/W	説明
31~0	UA31~ UA0	—	R/W	ユーザブランチ先の先頭アドレスを設定します。

17.7.3 RAM エミュレーションレジスタ (RAMER)

RAMER は、ユーザマットの書き換えをエミュレートするときに、内蔵 RAM の一部 (H'FFFA000~H'FFFAFFF) と重ね合わせるユーザマットのエリアを設定します。RAMER の設定はユーザモード、ユーザプログラムモードで行ってください。エミュレーション機能を確実に動作させるためには、RAMER の書き換え直後に RAM エミュレーションの対象マットをアクセスしないでください。正常なアクセスは保証されません。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。 0 : RAM エミュレーション機能は無効 1 : RAM エミュレーション機能は有効 (ユーザマット全ブロックは、書き込み/消去プロテクト状態)
2	RAM2	0	R/W	フラッシュメモリエリア選択 RAMS=1 のとき、RAM とオーバーラップさせるユーザマットのエリアを選択します。これらのエリアは 4k バイトの消去ブロックに対応しています。 000 : H'000000~H'000FFF(EB0) 001 : H'001000~H'001FFF(EB1) 010 : H'002000~H'002FFF(EB2) 011 : H'003000~H'003FFF(EB3) 100 : H'004000~H'004FFF(EB4) 101 : H'005000~H'005FFF(EB5) 110 : H'006000~H'006FFF(EB6) 111 : H'007000~H'007FFF(EB7)
1	RAM1	0	R/W	
0	RAM0	0	R/W	

17.8 オンボードプログラミング

モード端子 (MD0, MD1) をオンボードプログラミングモードに設定し、リセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミングモードへ遷移します。オンボードプログラミングモードには、ブートモード、ユーザブートモード、およびユーザプログラムモードの3種類の動作モードがあります。

各動作モードへの設定方法を表 17.5 に示します。フラッシュメモリに対する各モードへの状態遷移は、図 17.2 を参照してください。

表 17.5 オンボードプログラミングモードの設定方法

モード設定	MD1	MD0
ユーザブートモード	0	1
ブートモード	1	0
ユーザプログラムモード	1	1

17.8.1 ブートモード

ブートモードは、SCI_4 を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザマットやユーザブートマットへの書き込み/消去を行うモードです。

ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。使用するシリアル通信は調歩同期式モードです。図 17.6 にブートモードのシステム構成を示します。ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

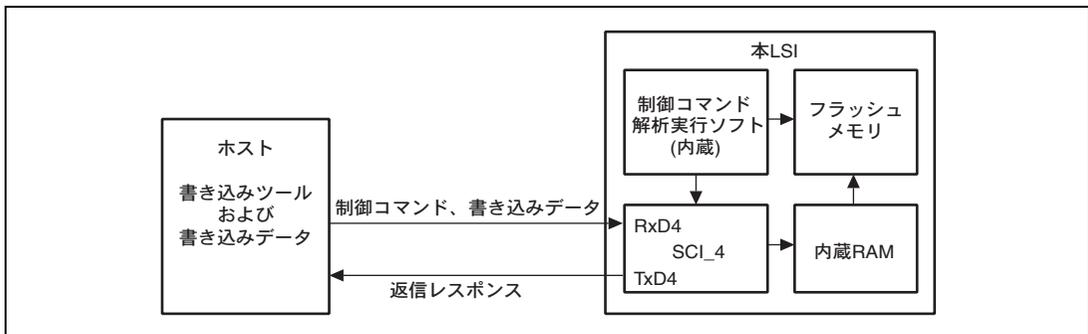


図 17.6 ブートモードのシステム構成図

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(1) ホストのシリアルインタフェース設定

SCI_4 は調歩同期式モードに設定され、シリアル送信/受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」です。

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。

本 LSI はブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データ (H'00) の Low 期間を測定してビットレートを計算し、SCI_4 のビットレートをホストのビットレートに合わせ込みます。

ビットレートの合わせ込みが終了すると、調整終了の合図としてホストへ H'00 を 1 バイト送信します。ホストは調整終了の合図を正常に受信したら、本 LSI へ H'55 を 1 バイト送信してください。正常に受信できなかった場合は、ブートモードを再起動してください。ホスト側のビットレートと本 LSI のシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合があります。このため、ホストの転送ビットレートと本 LSI のシステムクロック周波数を表 17.6 の範囲としてください。

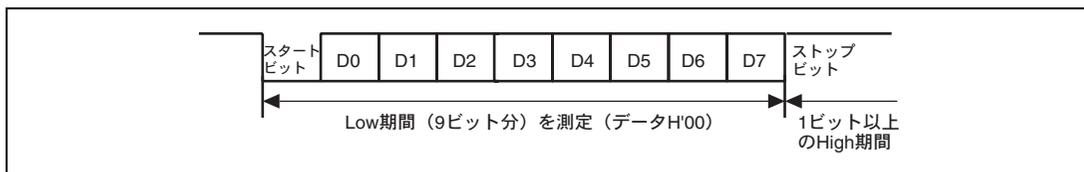


図 17.7 ビットレートの自動合わせ込み

表 17.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲	外部クロック入力周波数
9,600 bps	8~18MHz	4~9MHz
19,200 bps	16~18MHz	8~9MHz

(2) 状態遷移

ブートモード起動後の状態遷移を図 17.8 に示します。

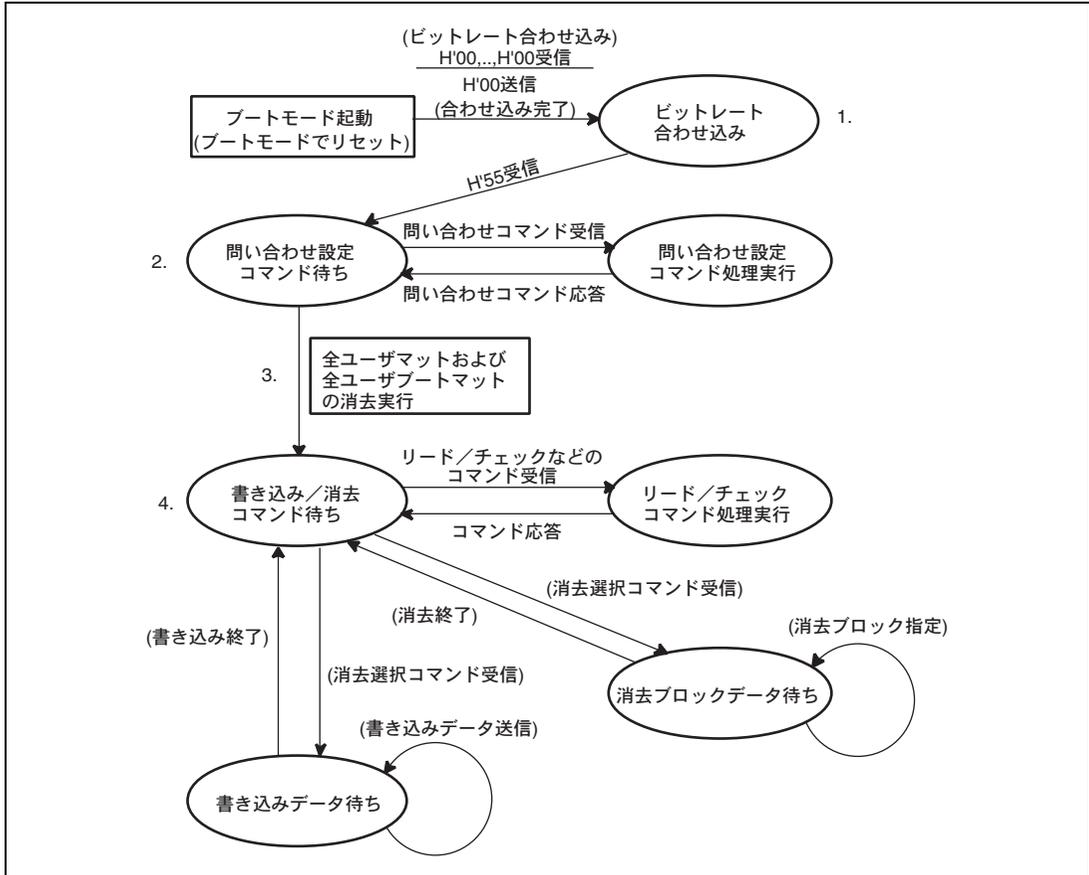


図 17.8 ブートモードの状態遷移図

17. フラッシュメモリ (0.18 μm F-ZTAT 版)

1. ブートモード起動後、SCI_4のビットレートをホストのビットレートに合わせ込みます。
2. ユーザマットのサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。
3. 問い合わせが終了するとすべてのユーザマットとユーザブートマットを自動消去します。
4. 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンド送信後、書き込み先の先頭アドレス、書き込みデータを送信してください。書き込み終了後、書き込み先の先頭アドレスをH'FFFFFFFに設定して送信してください。これにより書き込みデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンド送信後、消去ブロック番号を送信してください。消去終了後、消去ブロック番号をH'FFに設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。なお、消去の実行は、ブートモードで一旦書き込んだ後にリセットスタートせずに特定のブロックのみを書き換えるときに使用してください。1回の操作で書き込みができる場合は、書き込み/消去コマンド、それ以外のコマンド待ち状態の遷移前に全ブロックの消去が行われていますので本消去操作は必要ありません。書き込み/消去コマンド以外に、ユーザマット/ユーザブートマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザマット/ユーザブートマットのメモリ読み出しは、すべてのユーザマット/ユーザブートマットを自動消去後に書き込んだデータについてのみ読み出しが出来ます。それ以外は読み出しができません。

17.8.2 ユーザプログラムモード

内蔵されているプログラムをダウンロードしてユーザマットの書き込み/消去を行います。ユーザプログラムモードではユーザブートマットの書き込み/消去はできません。書き込み/消去フローを図 17.9 に示します。

書き込み/消去中はフラッシュメモリ内部に高電圧が印加されていますので、リセット、ハードウェアスタンバイへの遷移は行わないでください。書き込み/消去中にリセット、ハードウェアスタンバイへ遷移すると、フラッシュメモリにダメージを与える可能性があります。リセット入力した場合は、100 μs 以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) の後にリセットリリースしてください。

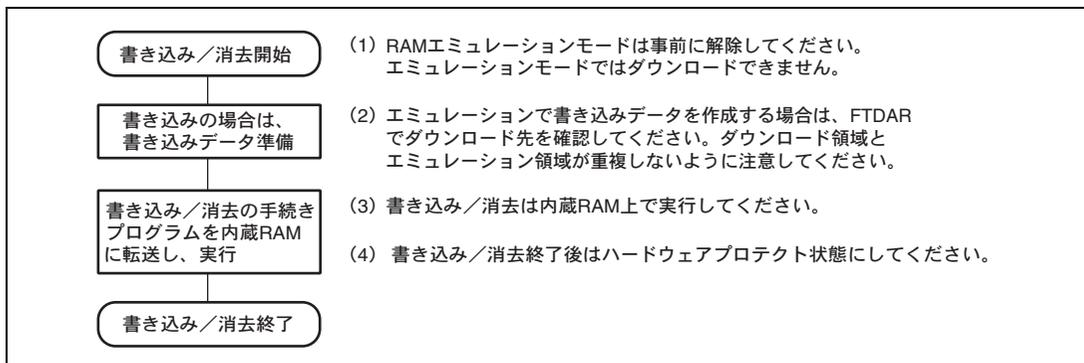


図 17.9 書き込み/消去フロー

(1) 書き込み/消去実行時の内蔵 RAM のアドレスマップ

ユーザ側で作成するダウンロード要求、書き込み/消去手順、結果判定などの手続きプログラムの一部は、必ず内蔵 RAM 上で実行してください。また、ダウンロードする内蔵プログラムは内蔵 RAM に組み込まれているため、内蔵プログラムと手続きプログラムが重複しないように注意してください。図 17.10 にダウンロードする内蔵プログラムの領域を示します。

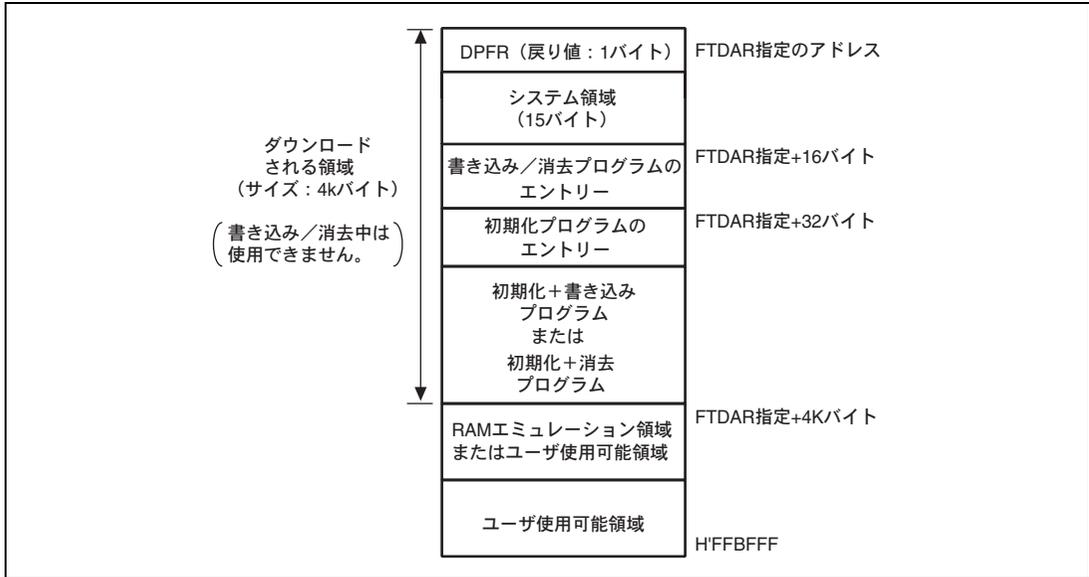


図 17.10 書き込み/消去実行時の RAM マップ

17. フラッシュメモリ (0.18 μm F-ZTAT 版)

(2) ユーザプログラムモードでの書き込み手順

内蔵プログラムのダウンロード、初期化、および書き込み手順を図 17.11 に示します。

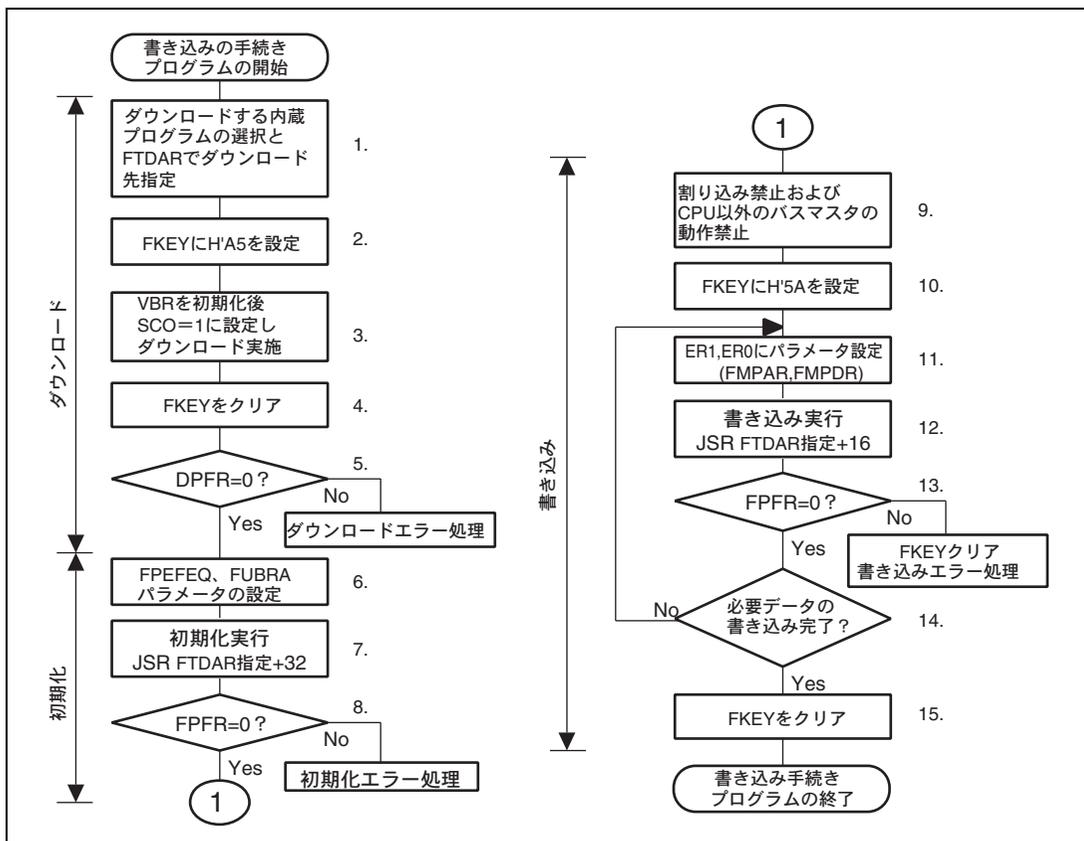


図 17.11 ユーザプログラムモードでの書き込み手順

手続きプログラムは、書き込み対象のフラッシュメモリ以外の領域で実行してください。ダウンロードを要求する FCCS の SCO ビットの設定は、必ず内蔵 RAM 上で実行してください。手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマツト) は「17.8.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。以下の説明は、ユーザマツトの書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。

1 回の書き込みデータは常に 128 バイト単位です。128 バイトを超える場合は、書き込み先の先頭アドレス、書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。書き込みデータが 128 バイトに満たない場合も無効データを埋め込んで、128 バイトの書き込みデータを準備してください。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

1. ダウンロードする内蔵プログラムとダウンロード先を選択します。FPCSのPPVSビットを1にセットすると書き込みプログラムが選択されます。書き込み/消去プログラムは複数選択することができません。複数選択するとDPFRパラメータのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の内蔵RAMの先頭アドレスを指定します。
2. FKEYにH'A5を書き込みます。FKEYにH'A5を書き込まないと、ダウンロードを要求するFCCSのSCOビットを1にセットすることができません。
3. VBRをH'00000000に初期化後、SCOビットを1にセットしダウンロードを実行します。SCOビットを1にセットするには、次の条件をすべて満足する必要があります。
 - RAMエミュレーションモードが解除されている
 - FKEYにH'A5が書き込まれている
 - SCOビットの設定が内蔵RAM上で実行されている

SCOビットが1にセットされると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきたときにはSCOビットが0にクリアされているため、手続きプログラムではSCOビットが1にセットされていることを確認できません。ダウンロード結果はDPFRパラメータの戻り値で確認するため、SCOビットを1にセットする前に、DPFRパラメータとなるFTDARで指定した内蔵RAMの先頭1バイトを戻り値以外 (H'FFなど) に設定して誤判定を防いでください。ダウンロードの実行は、次に示すようなバンク切り替えを伴った特殊な処理を行いますので、VBRはH'00000000に初期化してください。また、SCOビットを1にセットした直後は、必ずFCCSのダミーリードを2回実行してください。

- ユーザマット空間を内蔵プログラム格納領域に切り替えます。
 - ダウンロードするプログラムとFTDARで指定した内蔵RAMの先頭アドレスをチェック後、内蔵RAMへ転送します。
 - FPCS、FECSおよびFCCSのSCOビットを0にクリアします。
 - DPFRパラメータに戻り値を設定します。
 - 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。戻った後は、VBRの再設定が可能です。
 - CPUの汎用レジスタの値は保存されます。
 - ダウンロード中はすべての割り込み要求は受け付けられませんが、割り込み要求は保持されていますので、手続きプログラムに戻ったときに割り込み要求が発生します。
 - レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込み要求の発生が必要です。
 - SCOビットを1にセットする前に最大128バイトのスタック領域を内蔵RAM上に確保してください。
 - ダウンロード中にDMACによるフラッシュメモリへのアクセスが発生すると動作の保証ができません。DMACによるアクセスが発生しないように注意してください。
4. プロテクトのためにFKEYをH'00にクリアします。

17. フラッシュメモリ (0.18μm F-ZTAT 版)

5. DPFRパラメータの値でダウンロード結果を確認します。DPFR パラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。DPFR パラメータの値がH'00であればダウンロードが正常に終了しています。H'00以外の場合は、ダウンロードできなかった原因を次の手順で調べることができます。
 - DPFRパラメータの値がダウンロード実行前に設定した値と同じであった場合は、FTDARのダウンロード先の先頭アドレス設定に異常が考えられますので、FTDARのTDERビットを確認してください。
 - DPFRパラメータの値がダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットやFKビットでダウンロードするプログラムの選択やFKEYの設定値を確認をしてください。
6. 初期化のためFPEFEQとFUBRAパラメータに動作周波数とユーザブランチ先を設定します。
 - FPEFEQパラメータにCPUの動作周波数を設定します。FPEFEQパラメータに設定できる動作周波数は8～48MHzです。この範囲以外の周波数を設定すると、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は「17.7.2 書き込み/消去インタフェースパラメータ (3) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)」を参照してください。
 - FUBRAパラメータにユーザブランチ先の先頭アドレスを設定します。ユーザブランチ処理が必要ない場合、FUBRAにはH'00000000設定してください。ユーザブランチを行う場合、ブランチ先は書き込み対象のフラッシュメモリ以外で実行するようにしてください。また、ダウンロードされた内蔵プログラム領域への設定もできません。ユーザブランチ処理からはRTS命令で書き込み処理に戻ってください。先頭アドレスの設定方法は「17.7.2 書き込み/消去インタフェースパラメータ (7) フラッシュユーザブランチアドレスセットパラメータ (FUBRA)」を参照してください。
7. 初期化を実行します。初期化プログラムは書き込みプログラムのダウンロードと一緒に内蔵RAMにダウンロードされます。FTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、次のような方法でサブルーチンコールして実行してください。

```
MOV.L  #DLTOP+32,ER2 ; エントリアドレスを ER2 に設定
JSR    @ER2          ; 初期化ルーチンをコール
NOP
```

- 初期化プログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
 - 初期化プログラム実行中の割り込み要求受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないように注意してください。
8. 初期化プログラムの戻り値FPFRパラメータを判定します。

9. 書き込み／消去中は、すべての割り込み要求とCPU以外のバスマスタの使用を禁止してください。書き込み／消去中は、規定電圧が規定時間幅で印加されています。書き込み／消去中に割り込み要求が発生、またはCPU以外にバス権が移行するなど規定以上の電圧が印加されると、フラッシュメモリにダメージを与える可能性があります。割り込み要求は、割り込み制御モード0のときコンディションコードレジスタ (CCR) のビット7 (I) をB'1に、割り込み制御モード2のときエクステンドレジスタ (EXR) のビット2~0 (I2~I0) をB'111に設定することで禁止され、NMI以外の割り込み要求は保持されて実行されません。NMI割り込みは、ユーザシステム上で発生しないようにしてください。保持した割り込み要求は、すべての書き込み終了後に実行してください。また、CPU以外のDMACへのバス権の移行が発生した場合、エラープロテクト状態に移移するため、DMACによるバス権確保が発生しないようにしてください。
10. FKEYにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。
11. 書き込みに必要なパラメータの設定を行います。ユーザマットの書き込み先の先頭アドレス (FMPARパラメータ) を汎用レジスタER1に、書き込むデータが格納されている領域の先頭アドレス (FMPDRパラメータ) を汎用レジスタER0に設定します。
 - FMPARパラメータ設定例：ユーザマットエリア以外に書き込み先の先頭アドレスが指定された場合、書き込みプログラムを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。また、1回の書き込みデータは常に128バイト単位であるため、アドレスの下位8ビットはH'00かH'80の128バイト境界である必要があります。
 - FMPDR設定例：書き込みデータの格納先がフラッシュメモリ上の場合、書き込みルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合は一旦内蔵RAMに転送して、書き込むようにしてください。
12. 書き込みを実行します。FTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+16バイトからの領域に、書き込みプログラムのエン트리ポイントがありますので、次のような方法でサブルーチンコールして実行してください。

```

MOV.L  #DLTOP+16,ER2 ; エントリアドレスを ER2 に設定
JSR    @ER2          ; 書き込みルーチンをコール
NOP
```

- 書き込みプログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
13. 書き込みプログラムの戻り値FPFRパラメータを判定します。
 14. 必要データの書き込みが終了したかを判断します。128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRパラメータを更新して上記11.~14.の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポイントの更新を正しく行ってください。書き込み終了のアドレ

17. フラッシュメモリ (0.18 μm F-ZTAT 版)

スへの重複書き込みになると、書き込みエラーとなりフラッシュメモリにもダメージを与えます。

- 書き込みが終了するとFKEYをクリアして、ソフトウェアプロテクト状態にしてください。書き込み終了直後にリセットで再起動する場合は、100 μs以上のリセット入力期間 (RES=0の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

内蔵プログラムのダウンロード、初期化、消去の手順を図 17.12 に示します。

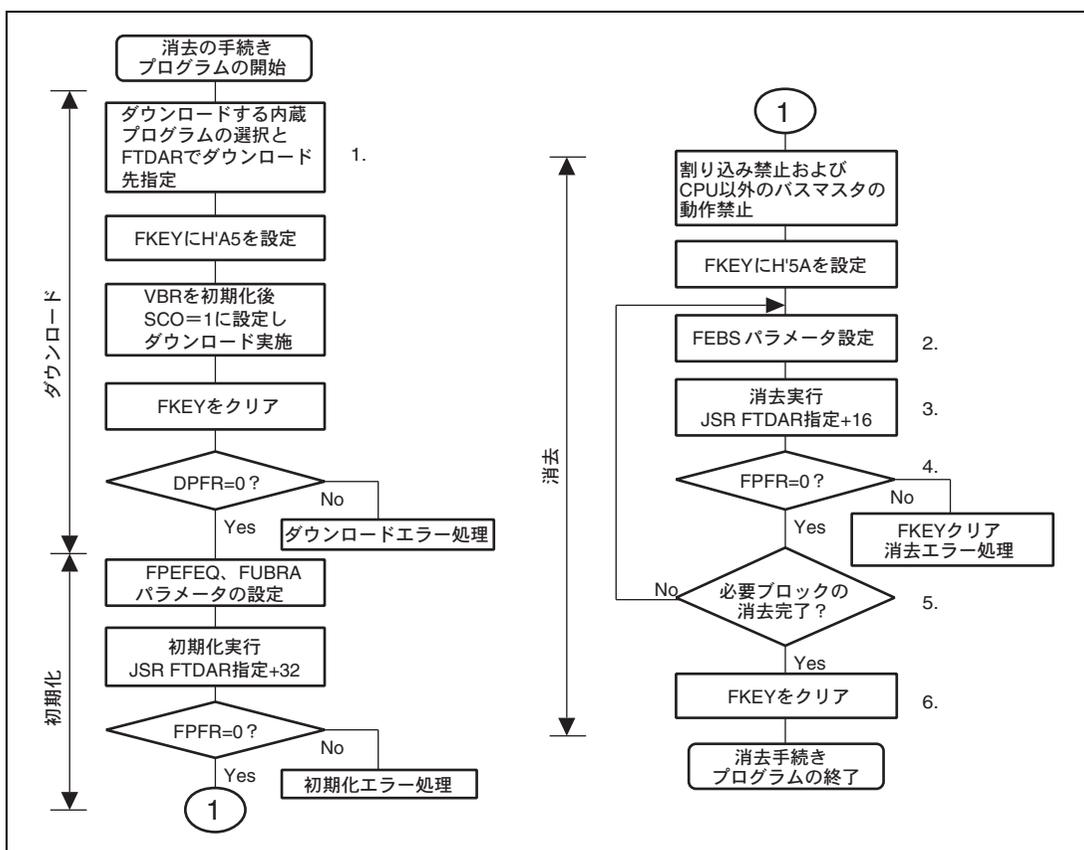


図 17.12 ユーザプログラムモードでの消去手順

手続きプログラムは、消去対象のユーザマット以外の領域で実行してください。ダウンロードを要求する FCCS の SCO ビットの設定は、必ず内蔵 RAM 上で実行してください。手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマット) は「17.8.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。ダウンロードする内蔵プログラムの領域は図 17.10 を参照してください。

1 回の消去は 1 ブロックです。ブロック分割については図 17.4 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

1. ダウンロードする内蔵プログラムを選択します。FECSのEPVBビットを1にセットするとダウンロードする消去プログラムが選択されます。書き込み/消去プログラムは複数選択することはできません。複数選択するとDPFRパラメータのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の内蔵RAMの先頭アドレスを指定します。

FKEYへの書き込み以降の手続きは、「17.8.2 ユーザプログラムモード (2) ユーザプログラムモードでの書き込み手順」を参照してください。

2. 消去に必要なFEBSパラメータの設定を行います。ユーザマットの消去ブロック番号 (FEBSパラメータ) を汎用レジスタER0に設定します。ユーザマットの消去ブロック番号以外の値が設定された場合、消去プログラムを実行しても消去されずに、FPFRパラメータにエラーが報告されます。
3. 消去を実行します。書き込みと同様にFTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたときも#DLTOP+16バイトからの領域に、消去プログラムのエントリーポイントがありますので、次のような方法でサブルーチンコールして実行してください。

```
MOV.L  #DLTOP+16,ER2 ; エントリアドレスを ER2 に設定
JSR    @ER2          ; 消去ルーチンをコール
NOP
```

- 消去プログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
4. 消去プログラムの戻り値FPFRパラメータを判定します。
 5. 必要ブロックの消去が終了したかを判断します。複数ブロックを消去する場合、FEBSパラメータを更新して上記2.~5.の処理を繰り返します。
 6. 消去が終了するとFKEYをクリアして、ソフトウェアプロテクト状態にしてください。消去終了直後にパワーオンリセットで再起動する場合は、100 μ s以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) を設けてください。

17. フラッシュメモリ (0.18 μm F-ZTAT 版)

(4) ユーザプログラムモードでの消去/書き込み/RAM エミュレーション手順

FTDAR でダウンロード先の内蔵 RAM の先頭アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードすることができます。

消去、書き込み、RAM エミュレーションを繰り返し実行する場合の手順を図 17.13 に示します。

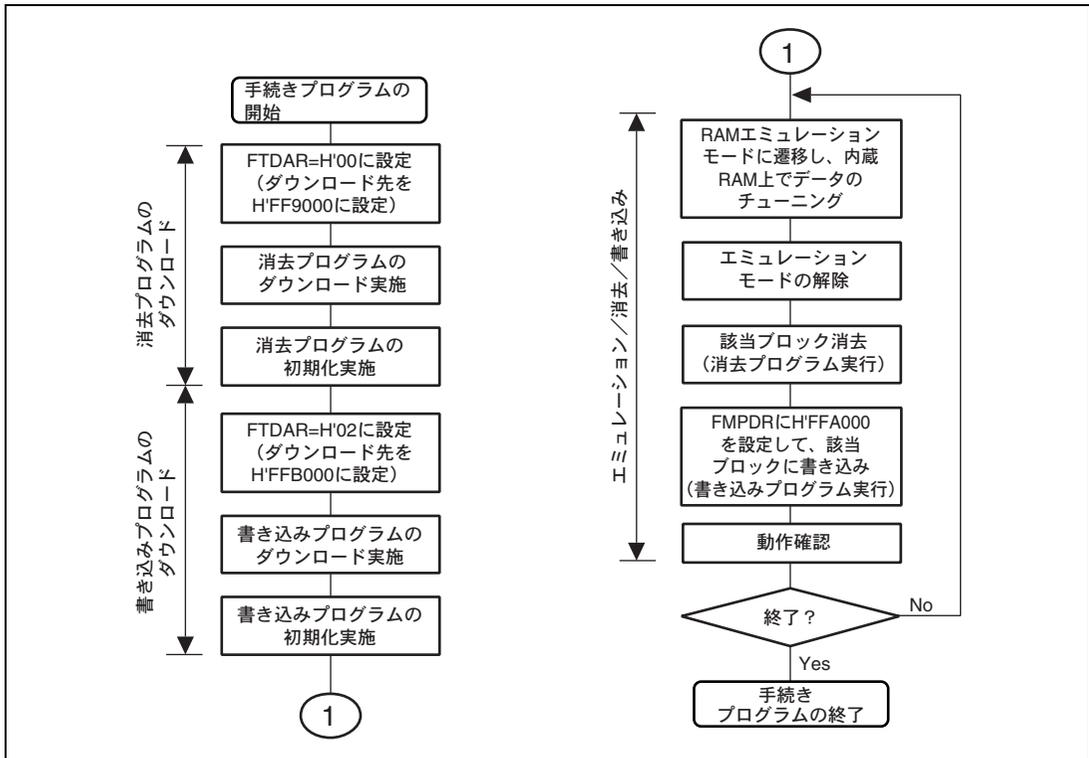


図 17.13 ユーザプログラムモードでの消去、書き込み、RAM エミュレーション手順

図 17.13 では、RAM エミュレーションを実施するため、内蔵 RAM の 4k バイト (H'FFA000~H'FFAFFF) を避けて、消去/書き込みプログラムをダウンロードしています。また、ダウンロードと初期化は、最初の 1 回の実施です。手続きプログラムを実行する場合は、次の点に注意してください。

1. 内蔵RAM領域の重複破壊にご注意ください。書き込みプログラム領域、消去プログラム領域、RAMエミュレーション領域以外に、ユーザが作成する手続きプログラムや、作業領域、スタック領域などが内蔵RAMに存在しますので、これらの領域を破壊しないようにしてください。
2. 書き込みプログラム、および消去プログラムの初期化を行ってください。FPEFEQパラメータ、FUBRAパラメータを初期化するときは、必ず消去プログラム、および書き込みプログラムの両方を初期化してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32番地、書き込みプログラムのダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32番地の両方について初期化してください。

17.8.3 ユーザブートモード

ユーザが用意した書き込み/消去プログラムに分岐することで、ユーザ任意のブートモードが実現できるユーザブートモードがあります。

ユーザブートモードで書き込み/消去可能なメモリマットは、ユーザマットのみです。ユーザブートマットの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードの起動

モード端子をユーザブートモードに設定しリセットスタートすると、組み込みチェックルーチンが走行しユーザマット、ユーザブートマットの状態をチェックします。この間 NMI およびその他の割り込み要求は受け付けられません。その後、ユーザブートマット上のリセットベクタ実行開始アドレスから処理を開始します。このとき実行メモリマットは、ユーザブートマット (FMATS=H'AA) が選択されています。

(2) ユーザブートモードでのユーザマットへの書き込み

ユーザブートモードでのユーザマットへの書き込み手順を図 17.14 に示します。

図 17.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手順の違いは、メモリマットの切り替え手続きです。ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS によるユーザブートマットからユーザマットへの切り替え、および書き込み終了後にユーザマットから再びユーザブートマットに戻すための手続きの追加が必要となります。

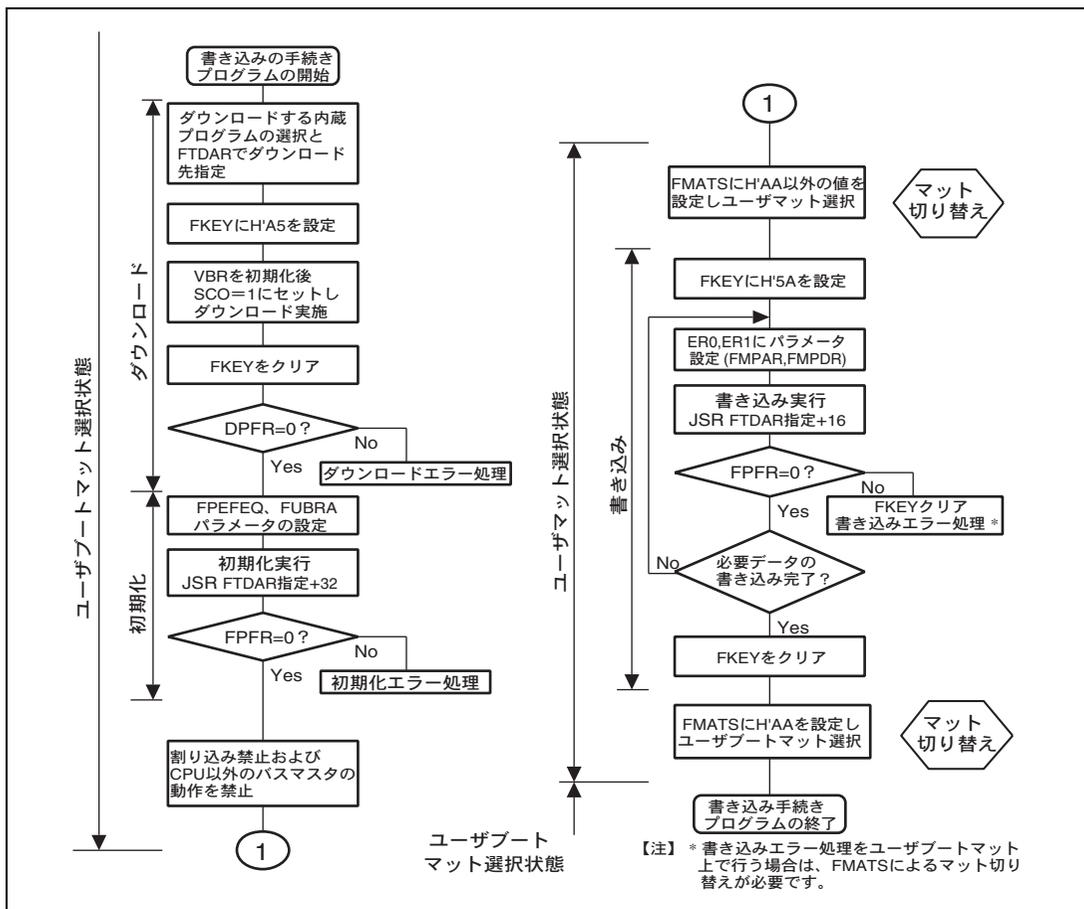


図 17.14 ユーザブートモードでのユーザマットへの書き込み手順

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットは見えますが、ユーザマットは「裏」に隠れた状態です。そのためユーザマットへの書き込み処理の間は、ユーザマットとユーザブートマットを切り替えます。ユーザマットへの書き込み中は、ユーザブートマットは隠れた状態で、かつユーザマットは書き込み状態のため、手続きプログラムはフラッシュメモリ以外の領域で実行させる必要があります。書き込み終了後、最初の状態に戻すためにメモリマットの切り替えを行います。

メモリマットの切り替えはFMATSの設定で行えますが、メモリマットの切り替えが終了するまでアクセスできません。また、割り込み要求が発生した場合に割り込みベクタをどちらのメモリマットから読み出すかなど不安定状態です。メモリマットの切り替えについては「17.11 ユーザマットとユーザブートマットの切り替え」を参照してください。

メモリマットの切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間）は「17.8.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでのユーザマットの消去手順を図 17.15 に示します。

図 17.15 に示すように、ユーザプログラムモードとユーザブートモードでの消去手順の違いは、メモリマットの切り替え手続きです。ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS によるユーザブートマットからユーザマットへの切り替え、および消去終了後にユーザマットから再びユーザブートマットに戻す手続きの追加が必要となります。

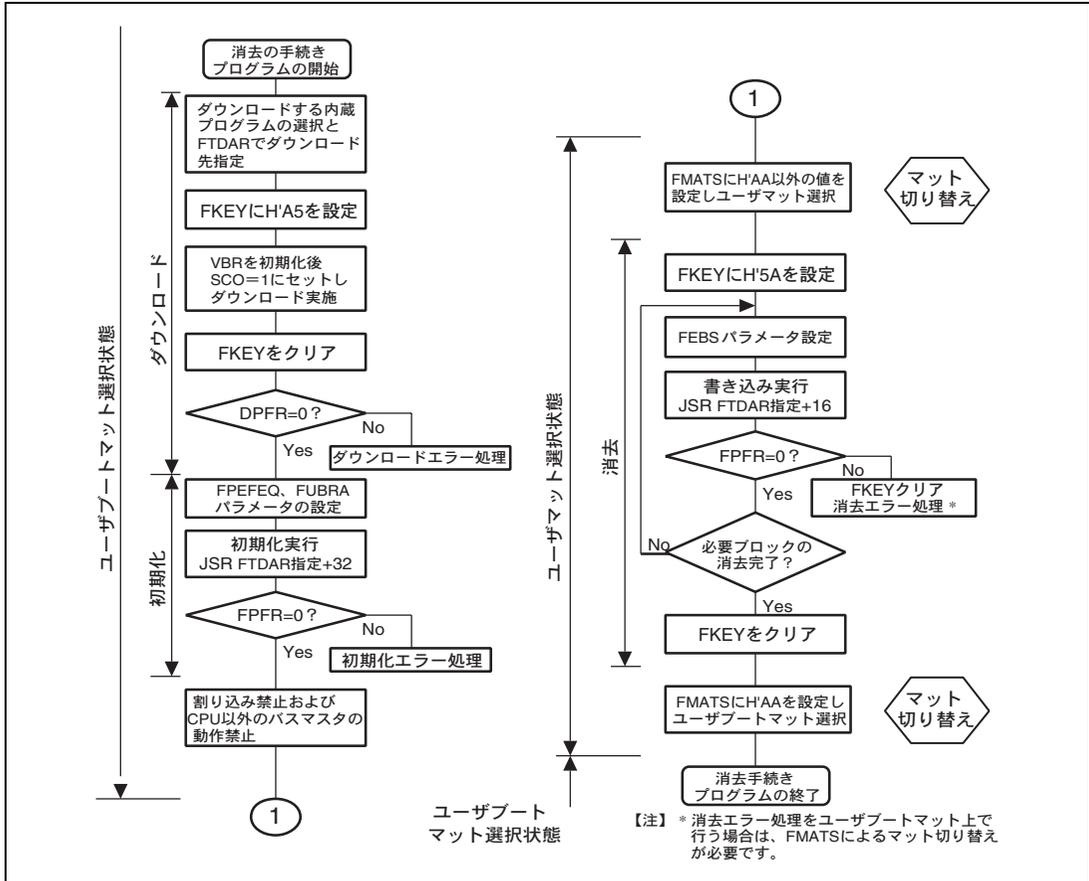


図 17.15 ユーザブートモードでのユーザマットの消去手順

メモリマット切り替えはFMATS の設定で行えますが、メモリマット切り替えが終了するまではアクセスできません。また、割り込み要求が発生した場合に割り込みベクタをどちらのメモリマットから読み出すかなど不安定状態です。メモリマットの切り替えについては「17.11 ユーザマットとユーザブートマットの切り替え」を参照してください。

メモリマットの切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマット) については「17.8.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。

17.8.4 内蔵プログラム、書き込みデータの格納可能領域

本文中での内蔵プログラムおよび書き込みデータの格納領域は内蔵RAM上に準備する例で示しましたが、次の条件により書き込み/消去対象外のフラッシュメモリ領域でも実行することができます。

1. 内蔵プログラムは、FTDARで指定された内蔵RAMへダウンロードされ実行されるため、この内蔵RAM領域は使用できません。
2. 内蔵プログラムはスタック領域を使用しますので、最大128バイトのスタック領域を確保してください。
3. FCCSのSCOビットを1にセットしてダウンロードの要求を行う処理は、メモリマットの切り替えが発生するため内蔵RAM上で行ってください。
4. シングルチップモードのように外部空間をアクセスできない動作モードでは、書き込み/消去前（ダウンロード結果判定）までに必要な手続きプログラム、NMI割り込みベクタテーブルとNMI処理ルーチンを内蔵RAMに転送してください。
5. 書き込み/消去中は、フラッシュメモリへのアクセスはできません。内蔵RAM上にダウンロードされたプログラムで実行します。そのため起動させる手続きプログラム、書き込み/消去中のユーザブランチ先のユーザプログラム、およびNMI割り込みベクタテーブルとNMI例外処理ルーチンもフラッシュメモリ以外の内蔵RAMに転送してください。
6. 書き込み/消去開始からFKEYのクリアまでの期間は、フラッシュメモリへのアクセスは禁止します。書き込み/消去終了後に動作モードを変更してリセットスタートさせる場合には、100 μs以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) を設けてください。なお、書き込み/消去中のリセット状態への遷移は禁止です。リセット入力した場合は、100 μs以上のリセット入力期間の後にリセットリリースしてください。
7. ユーザブートモードでのユーザマットへの書き込み/消去では、FMATSによるメモリマットの切り替えが必要です。メモリマットの切り替えは内蔵RAM上で実施してください。詳細は「17.11 ユーザマットとユーザブートマットの切り替え」を参照ください。メモリマットを切り替えるときは、現在どちらのメモリマットが選択されているかを確認し、メモリマットの切り替え設定に誤りがないように注意してください。
8. 通常書き込みデータであっても、書き込みデータの格納先がフラッシュメモリ上であるとエラーとなるため、一旦内蔵RAMに転送してFMPDRパラメータの示すアドレスをフラッシュメモリ以外に設定してください。

これらの条件を考慮し、処理内容、動作モード、マットのバンク構成の組み合わせで、書き込みデータ格納、および実行が可能なエリアを表 17.7～表 17.11 に示します。

表 17.7 実行可能なメモリマット

処理内容	動作モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 17.8 参照	表 17.10 参照
消去	表 17.9 参照	表 17.11 参照

【注】 * ユーザマットに対して書き込み/消去が可能です。

表 17.8 ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納/実行が可能なエリア		選択されているマツ	
	内蔵 RAM	ユーザマツ	ユーザマツ	組み込み プログラム 格納マツ
書き込みデータの格納領域	○	×*	—	—
ダウンロードする内蔵 プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	
書き込みパラメータの設定処置	○	×	○	
書き込み実行	○	×	○	
書き込み結果の判定	○	×	○	
書き込みエラー処理	○	×	○	
FKEY クリア処理	○	×	○	

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

表 17.9 ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマツ	
	内蔵 RAM	ユーザマツ	ユーザマツ	組み込み プログラム 格納マツ
ダウンロードする内蔵 プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	
消去パラメータの設定処置	○	×	○	
消去実行	○	×	○	
消去結果の判定	○	×	○	
消去エラー処理	○	×	○	
FKEY クリア処理	○	×	○	

表 17.10 ユーザブートモードでの書き込み処理で使用可能エリア

項目	格納/実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザブート マット	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
書き込みデータの格納領域	○	×*1	—	—	—
ダウンロードする内蔵プログラムの選択処理	○	○		○	
FKEY への H'5A 書き込み処理	○	○		○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×			○
FKEY クリア処理	○	○		○	
ダウンロード結果の判定	○	○		○	
ダウンロードエラー処理	○	○		○	
初期化パラメータの設定処理	○	○		○	
初期化実行	○	×		○	
初期化結果の判定	○	○		○	
初期化エラー処理	○	○		○	
NMI 処理ルーチン	○	×		○	
割り込み禁止処理	○	○		○	
FMATS によるマット切り替え	○	×	○		
FKEY への H'5A 書き込み処理	○	×	○		
書き込みパラメータの設定処置	○	×	○		
書き込み実行	○	×	○		
書き込み結果の判定	○	×	○		
書き込みエラー処理	○	×*2	○		
FKEY クリア処理	○	×	○		
FMATS によるマット切り替え	○	×		○	

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS によるメモリマット切り替え後なら可能です。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

表 17.11 ユーザブートモードでの消去処理で使用可能エリア

項目	格納/実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザブート マット	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
ダウンロードする内蔵 プログラムの選択処理	○	○		○	
FKEY への H'A5 書き込み処理	○	○		○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×			○
FKEY クリア処理	○	○		○	
ダウンロード結果の判定	○	○		○	
ダウンロードエラー処理	○	○		○	
初期化パラメータの設定処理	○	○		○	
初期化実行	○	×		○	
初期化結果の判定	○	○		○	
初期化エラー処理	○	○		○	
NMI 処理ルーチン	○	×		○	
割り込み禁止処理	○	○		○	
FMATS によるマット切り替え	○	×		○	
FKEY への H'5A 書き込み処理	○	×	○		
消去パラメータの設定 処置	○	×	○		
消去実行	○	×	○		
消去結果の判定	○	×	○		
消去エラー処理	○	×*	○		
FKEY クリア処理	○	×	○		
FMATS によるマット切り替え	○	×	○		

【注】 * 内蔵 RAM 上で FMATS によるメモリマット切り替え後なら可能です。

17.9 プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態には、ハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

17.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。内蔵プログラムのダウンロードと初期化はできますが、書き込み/消去プログラムを起動してもユーザマツトへの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータに報告されます。

表 17.12 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
リセットプロテクト	<ul style="list-style-type: none"> リセット (WDT によるリセットも含む) 時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み/消去中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。 	○	○

17.9.2 ソフトウェアプロテクト

ソフトウェアプロテクトには、書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、および RAMER によるプロテクトがあります。

表 17.13 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	FCCS の SCO ビットを 0 にクリアすると、書き込み/消去プログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。	○	○
FKEY プロテクト	FKEY にキーコードを書き込まないと、ダウンロードと書き込み/消去ができないため、書き込み/消去プロテクト状態になります。	○	○
エミュレーションプロテクト	RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすると、書き込み/消去プロテクトになります。	○	○

17.9.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中に CPU の暴走や書き込み/消去手順に沿っていない動作を検出し、強制的に書き込み/消去を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にエラーを検出すると、FCCS の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み/消去中にNMIなどの割り込み要求発生
- 書き込み/消去中にフラッシュメモリ読み出し（ベクタリードおよび命令フェッチを含む）
- 書き込み/消去中にSLEEP命令実行（ソフトウェアスタンバイを含む）
- 書き込み/消去中にCPU以外のバスマスタ（DMAC）がバス権を確保

エラープロテクト状態は、リセットで解除できます。なお、この場合は 100 μs 以上のリセット入力期間の後にリセットリリースしてください。フラッシュメモリには書き込み/消去中は高電圧が印加されているため、エラープロテクト状態への遷移時に印加電圧が抜けきれていないことがあります。このため、リセット入力期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 17.16 にエラープロテクト状態への状態遷移図を示します。

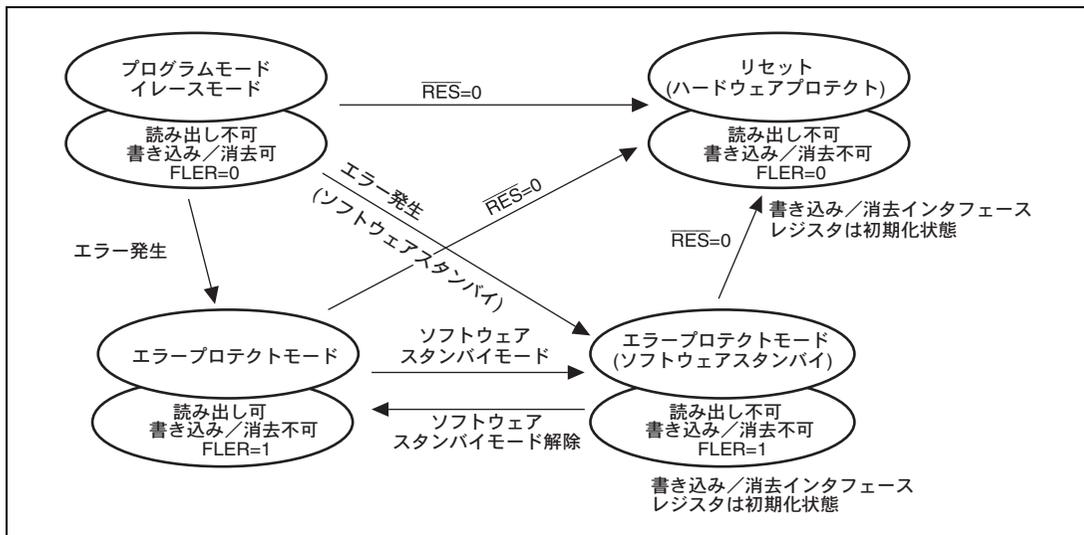


図 17.16 エラープロテクト状態への状態遷移図

17.10 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵RAMでリアルタイムにエミュレートできるように、RAMエミュレーションレジスタ (RAMER) によりフラッシュメモリ (ユーザマツト) の一部のブロックにRAMをオーバーラップさせて使用することができるようになっています。

RAMERで設定したユーザマツトのエリアと、重ね合わせたRAMエリアの2エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 17.17 にユーザマツトのリアルタイムな書き換えをエミュレートする例を示します。

【注】 RAMによるフラッシュメモリのエミュレーションをするときは、システムコントロールレジスタ (SYSCR) のRAMEビットを1にしてください。

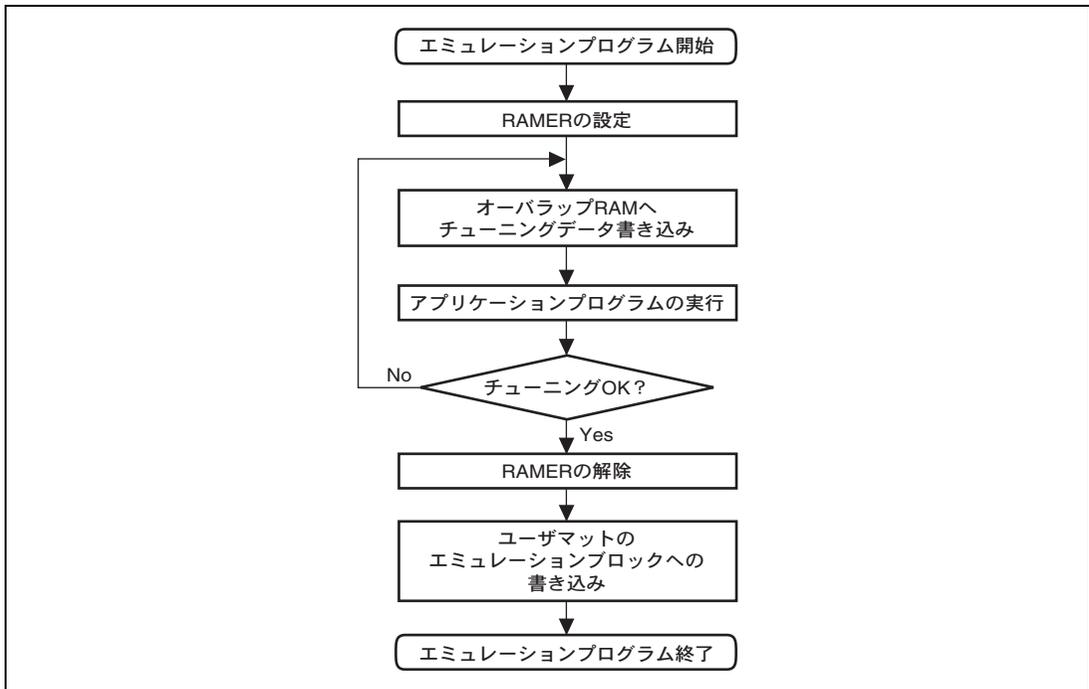


図 17.17 RAM によるエミュレーションフロー

17. フラッシュメモリ (0.18 μm F-ZTAT 版)

図 17.18 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

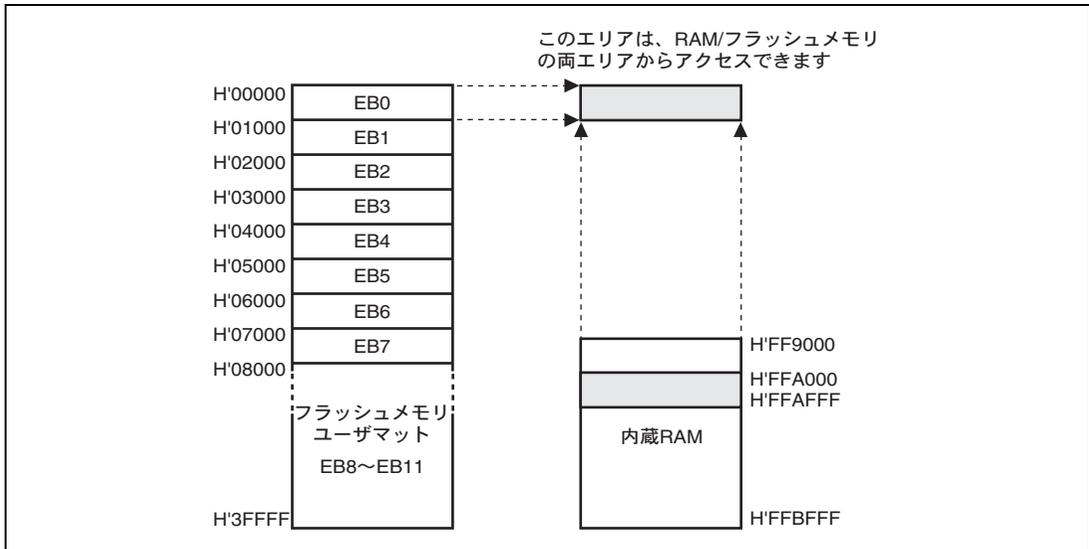


図 17.18 RAM のオーバーラップ動作例

エミュレーションが可能なフラッシュメモリの領域は、ユーザマップの EB0~EB7 の 8 エリアから RAMER の RAM2~RAM0 ビットで選択した 1 エリアです。

リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1 にセットし、RAM2~RAM0 ビットを B'000 に設定してください。

ユーザマップへの書き込み/消去は、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このとき、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないようにダウンロード領域を設定してください。FTDAR が H'01 の場合、チューニング領域とダウンロード領域が重複しますので、事前に未使用領域に書き換えデータの退避が必要になります。

図 17.19 にエミュレーション終了後のデータをユーザマップの EB0 領域に書き込む例を示します。

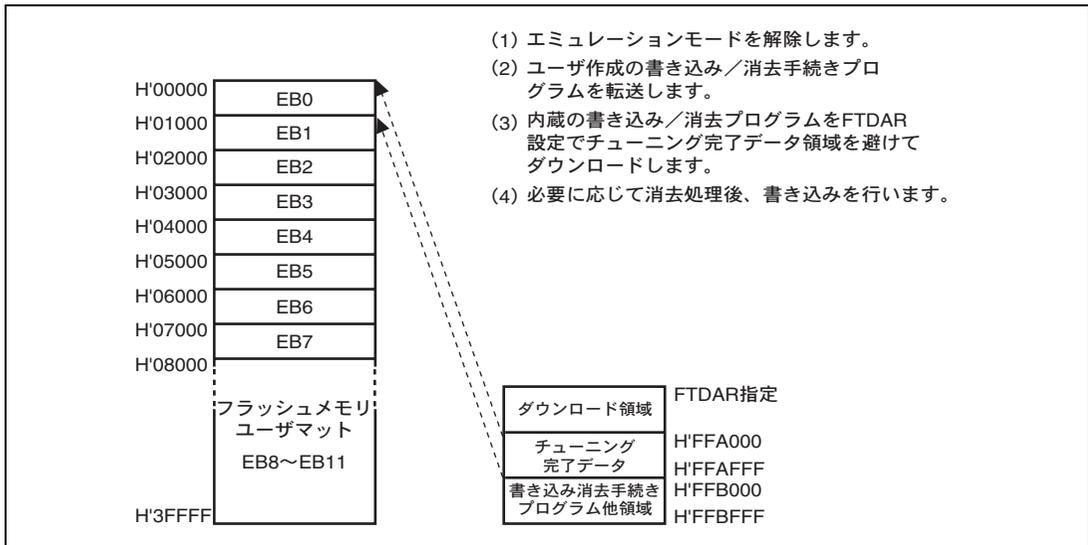


図 17.19 チューニング終了データの書き込み

- 書き換えデータ確定後、RAMERのRAMSビットを0にクリアして、RAMのオーバーラップを解除します。
- ユーザ側で用意した手続きプログラムをRAMに転送します。
- 手続きプログラムを起動し、内蔵プログラムをRAM上にダウンロードします。このときFTDARにより、チューニング終了データ領域とダウンロード領域が重複しないように、ダウンロード先の先頭アドレスを指定してください。
- ユーザマットのEB0エリアが消去されていない場合は、EB0エリアの消去を行った後に書き込みプログラムをダウンロードしてください。FMPAR、FMPDRパラメータに退避したチューニング終了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2~RAM0 ビットの値にかかわらず、ユーザマットの全ブロックが書き込み/消去プロテクト状態となります（エミュレーションプロテクト）。この状態では、内蔵プログラムのダウンロードはできませんので、書き込み/消去する場合は RAMS ビットを 0 にクリアしてください。

17.11 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、先頭アドレスが同一のアドレスに割り当てられているため次の手順が必要です。

ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。

1. FMATSによるメモリマットの切り替えは、必ず内蔵RAM上で実行してください。
2. 内蔵RAM上でFMATSによるメモリマットの切り替えを行った直後にメモリマットをアクセスするときは、同様に内蔵RAM上で8個のNOP命令を実行してください（切り替え中のフラッシュメモリをアクセスしないようにするためです）。
3. メモリマット切り替え中に割り込み要求が発生した場合、どちらのメモリマットがアクセスされるかは保証できません。メモリマット切り替え前に、必ずマスク可能な割り込はマスクしてください。また、メモリマット切り替え中は、NMI割り込みが発生しないようにしてください。
4. メモリマット切り替え終了後は、各割り込みベクタテーブルも切り替わっていますので注意してください。メモリマット切り替え前後で同じ割り込み処理を行う場合は、内蔵RAM上に割り込み処理ルーチンを転送して、かつ割り込みベクタテーブルもVBRを設定して内蔵RAM上に設定してください。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。10kバイト以上のユーザブートマットをアクセスしないようにしてください。10kバイト以上アクセスした場合、不定値が読み出されます。

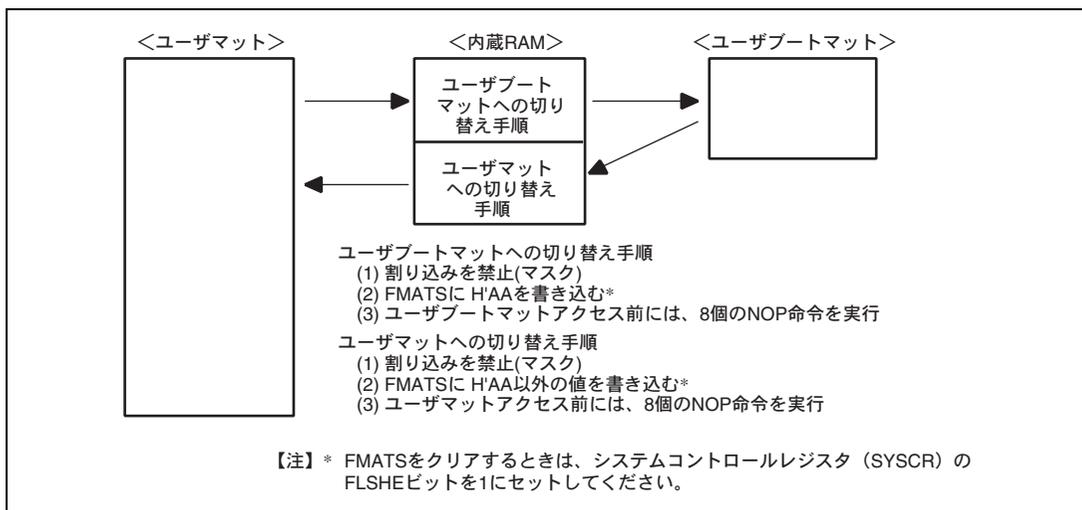


図 17.20 ユーザマット/ユーザブートマットの切り替え

17.12 ライタモード

プログラム、およびデータの書き込み/消去が可能なモードとして、オンボードプログラミングモードの他にライタモードがあります。ライタモードでは表 17.14 のデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。

表 17.14 ライタモードでサポートするデバイスタイプ

対象マット	容量	デバイスタイプ
ユーザマット	256k バイト	FZTAT256V5A
ユーザブートマット	10k バイト	FZTATUSBT16V5A

17.13 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCL_4 を使ってシリアル通信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

ブートプログラムは3つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストとシリアル通信を行うためにビットレートを合わせ込みます。ブートモードで起動するとブートプログラムが起動しビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスでデバイス、クロックモードとビットレートを選択します。選択終了後、書き込み/消去ステータス遷移コマンドで書き込み/消去ステータスに遷移します。書き込み/消去ステータスに遷移する前にブートプログラムは消去関連ライブラリを内蔵RAM上に転送し、ユーザマットとユーザブートマットを消去します。

3. 書き込み/消去ステータス

書き込み/消去を行うステータスです。ホストからのコマンドに従って書き込み/消去プログラムを内蔵RAMに転送し、書き込み/消去を行います。コマンドによりサムチェック、ブランクチェックを行います。

17. フラッシュメモリ (0.18μm F-ZTAT 版)

ブートプログラムのステータスを図 17.21 に示します。

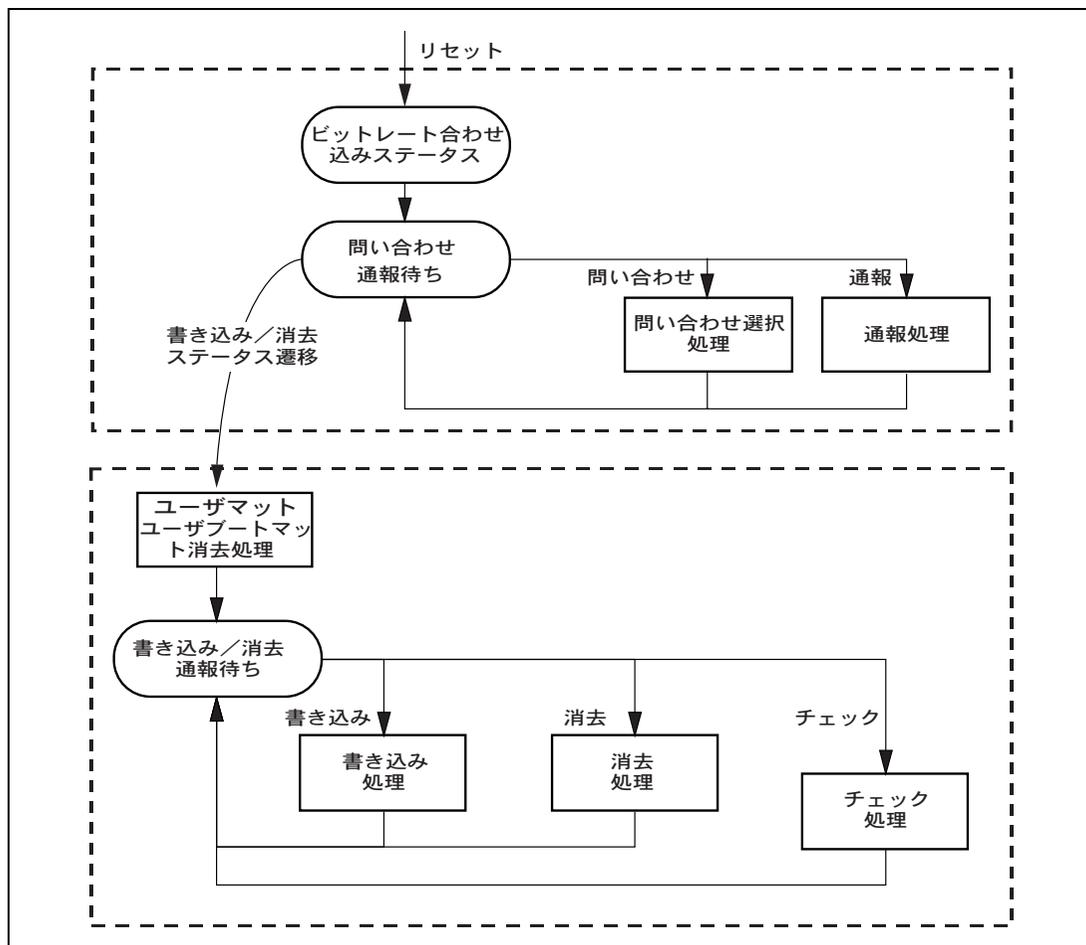


図 17.21 ブートプログラムのステータス

(1) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 の Low 期間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 17.22 に示します。

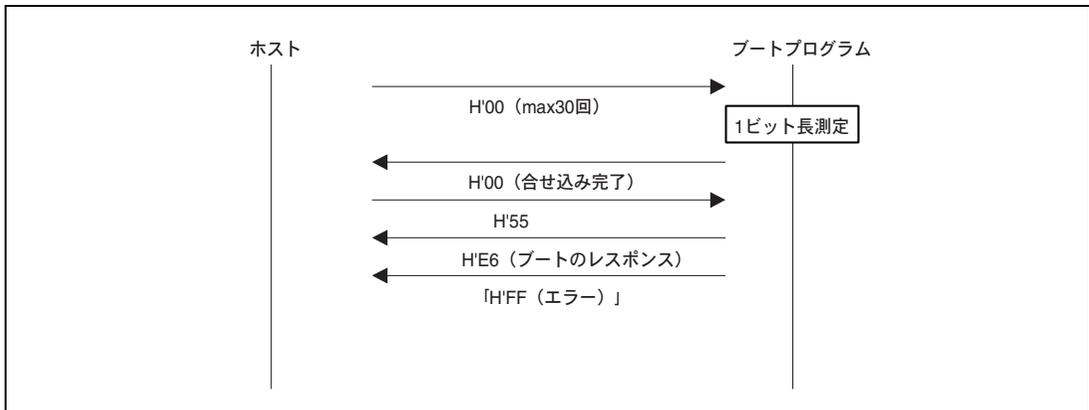


図 17.22 ビットレート合わせ込みのシーケンス

(2) 通信プロトコル

ビットレート合わせ込み終了後のホストとブートプログラムとのシリアル通信プロトコルは次のとおりです。

1. 1文字コマンドまたは1文字レスポンス

1文字のコマンドまたはレスポンスで、問い合わせと正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと問い合わせに対応するレスポンスがあります。書き込みデータについては、データ長を別に決めるので、データサイズは省略します。

3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスとエラーコードの2バイトです。

4. 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

5. メモリリードのレスポンス

サイズが4バイトのレスポンスです。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

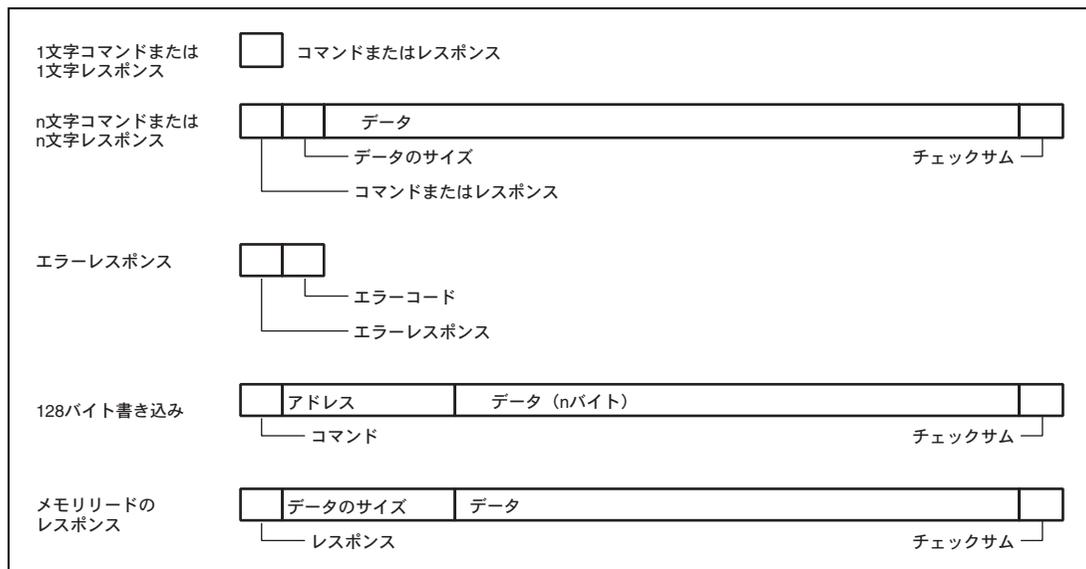


図 17.23 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリリードのレスポンスで4バイト長

(3) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報で応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 7.15 に示します。

表 7.15 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	通信比問い合わせ	通信比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み/消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み/消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドはデバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順に、ホストから送信してください。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み/消去ステータス遷移 (H'40) を受け付けるまで有効です。ホスト側は上記のコマンド送信中、ホストが必要なものを選択して問い合わせを行うことができます。H'4F は、H'40 受け付け後も有効です。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ (1バイト)：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数 (1バイト)：マイコン内のブートプログラムがサポートする品種数
- 文字数 (1バイト)：デバイスコードとブートプログラム品名の文字数
- デバイスコード (4バイト)：サポートする品名のASCIIコード
- 品名 (nバイト)：ブートプログラム型名、ASCIIコード
- SUM (1バイト)：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ (1バイト)：デバイスコードの文字数、固定値で4
- デバイスコード (4バイト)：サポートデバイス問い合わせで応答したデバイスコード (ASCIIコード)
- SUM (1バイト)：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK

エラーレスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：(1バイト)：エラーコード
 - H'11：サムチェックエラー
 - H'21：デバイスコードエラー、デバイスコードが一致しない

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- クロックモード数（1バイト）：デバイスで選択可能なクロックモード数
H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラーレスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

17. フラッシュメモリ (0.18μm F-ZTAT 版)

(e) 逡倍比問い合わせ

逡倍比問い合わせに対して、ブートプログラムは選択可能な逡倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：逡倍比問い合わせ

レスポンス

H'32	サイズ	種別数					
逡倍比数	逡倍比	...					
...							
SUM							

- レスポンス「H'32」（1バイト）：逡倍比問い合わせに対する応答
- サイズ（1バイト）：種別数、逡倍比数、逡倍比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な逡倍比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 逡倍比数（1バイト）：各動作周波数で選択可能な逡倍比数
メインモジュール、周辺モジュールで選択可能な逡倍比数
- 逡倍比（1バイト）
 - ・ 逡倍比： 逡倍する数値（例 4逡倍：H'04）
 - ・ 分周比： 分周する数値、負の数（例 2分周：H'FE[-2]）
逡倍比を逡倍比数の数だけ繰り返し、逡倍比数と逡倍比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」(1バイト) : 動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値		動作周波数最大値
	...		
	SUM		

- レスポンス「H'33」(1バイト) : 動作周波数問い合わせに対する応答
- サイズ(1バイト) : 動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数(1バイト) : デバイスに必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値(2バイト) : 逡倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数(MHz)の小数点2位までの値を100倍した値(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)
- 動作周波数最大値(2バイト) : 逡倍あるいは分周されたクロックの最大値
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- SUM(1バイト) : サムチェック

(g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」(1バイト) : ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- レスポンス「H'34」(1バイト) : ユーザブートマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザブートマットのエリアの数
ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス			エリア最終アドレス
	...			
	SUM			

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ(1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数(1バイト) : 連続したユーザマットのエリアの数
ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス(4バイト) : エリアの先頭アドレス
- エリア最終アドレス(4バイト) : エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM(1バイト) : サムチェック

(i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」(1バイト) : 消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」(1バイト) : 消去ブロック情報問い合わせに対する応答
- サイズ(2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数(1バイト) : フラッシュメモリ消去ブロック数
- ブロック先頭アドレス(4バイト) : ブロックの先頭アドレス
- ブロック最終アドレス(4バイト) : ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM(1バイト) : サムチェック

(j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス

H'37	サイズ	書き込みサイズ	SUM
------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

17. フラッシュメモリ (0.18 μm F-ZTAT 版)

(k) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	通倍数	通倍比 1	通倍比 2	
	SUM			

- コマンド「H'3F」(1バイト) : 新ビットレート選択
- サイズ (1バイト) : ビットレート、入力周波数、通倍数、通倍比の合計サイズ
- ビットレート (2バイト) : 新ビットレート
1/100の値とする (たとえば、19200bpsのときは192とし、H'00C0とする)
- 入力周波数 (2バイト) : ブートプログラムに入力されるクロック周波数
周波数 (MHz) の小数点2位までの値とする
(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)
- 通倍数 (1バイト) : デバイスで選択可能な通倍数、
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 通倍比1 (1バイト) : メイン動作周波数の通倍比または分周比
通倍比 : 通倍する数値 (例 4通倍 : H'04)
分周比 : 分周する数値、負の数値 (例 2分周 : H'FE[-2])
- 通倍比2 (1バイト) : 周辺動作周波数の通倍比または分周比
通倍比 : 通倍する数値 (例 4通倍 : H'04)
分周比 : 分周する数値、負の数値 (例 2分周 : H'FE[-2])
- SUM (1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 新ビットレート選択に対する応答、選択可能ときACK

エラーレスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」(1バイト) : 新ビットレート選択に対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'24 : ビットレート選択不可エラー、指定されたビットレートが選択できない
 - H'25 : 入力周波数エラー、入力周波数が最小値と最大値の範囲にない
 - H'26 : 通倍比エラー、通倍比が一致しない
 - H'27 : 動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(4) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

2. 通倍比

受信した通倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する通倍比または分周比と一致するかどうかをチェックします。一致しなければ通倍比エラーです。

3. 動作周波数

受信した入力周波数と通倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 通倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 (φ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{\phi * 10^6}{(N+1) * B * 64 * 2^{(2*n-1)}} \right] - 1 \right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストがACKを送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 17.24 に示します。

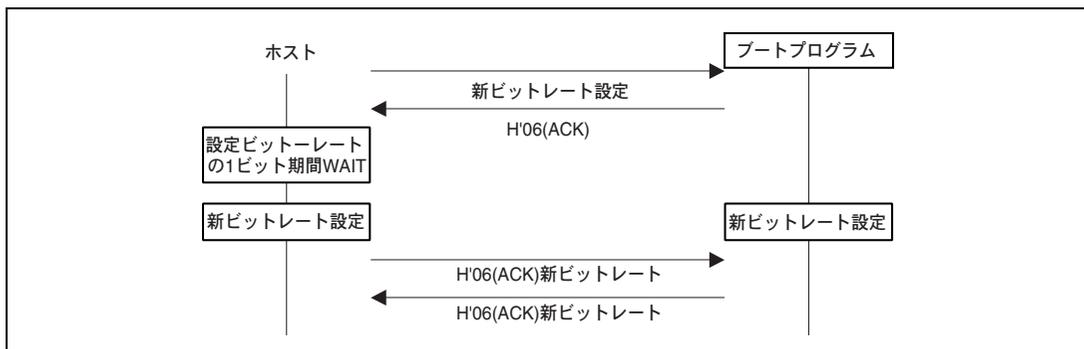


図 17.24 新ビットレート選択のシーケンス

(5) 書き込み/消去ステータス遷移

書き込み/消去ステータス遷移に対して、ブートプログラムは消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると ACK を応答し、書き込み/消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答
消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK

エラーレスポンス

H'C0	H'51
------	------

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(6) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラーレスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(7) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択終了後、通倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 通倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終了後、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終了後、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

17. フラッシュメモリ (0.18 μm F-ZTAT 版)

(8) 書き込み/消去ステータス

書き込み/消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み/消去コマンド一覧を表 17.16 に示します。

表 17.16 書き込み/消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

1. 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

- ユーザブートマット書き込み選択
- ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドとに 128 バイト書き込みコマンドのシーケンスを図 17.25 に示します。

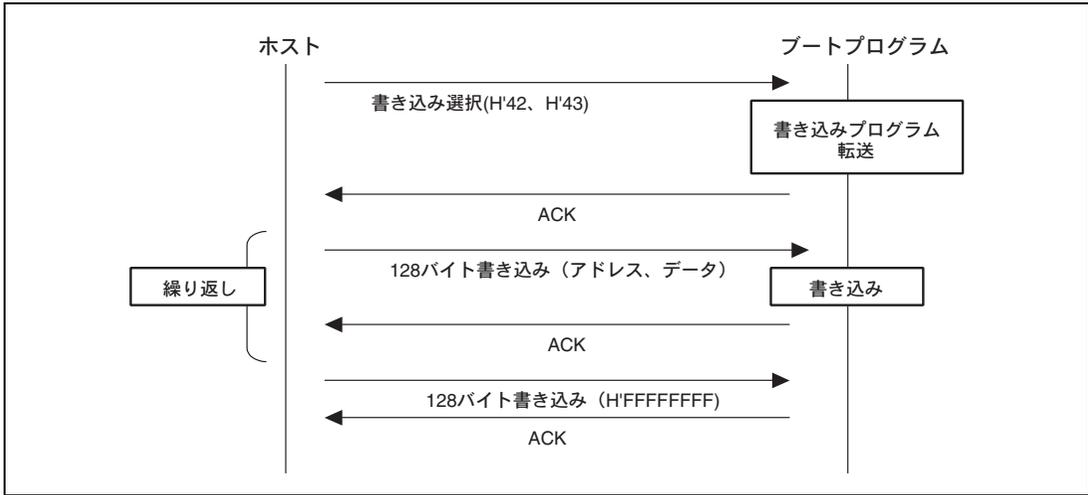


図 17.25 書き込みシーケンス

2. 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 17.26 に示します。

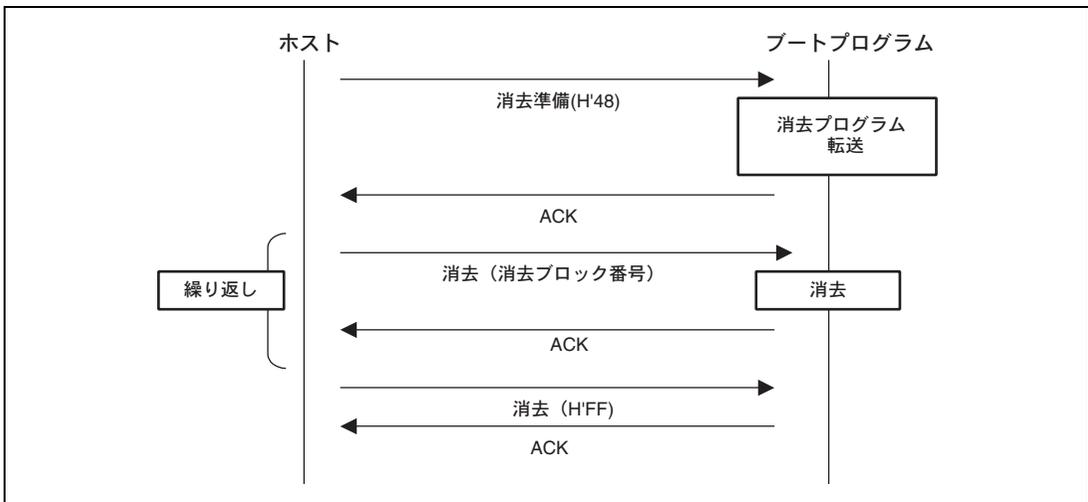


図 17.26 消去シーケンス

17. フラッシュメモリ (0.18 μm F-ZTAT 版)

(a) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド

H'42

- コマンド「H'42」(1バイト) : ユーザブートプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラーレスポンス

H'C2	ERROR
------	-------

- エラーレスポンス「H'C2」(1バイト) : ユーザブートマット書き込み選択に対するエラー応答
- ERROR : (1バイト) : エラーコード

H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(b) ユーザプログラム書き込み選択

ユーザプログラム書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」(1バイト) : ユーザプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラーレスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」(1バイト) : ユーザブートマット書き込み選択に対するエラー応答
- ERROR : (1バイト) : エラーコード

H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(c) 128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド	H'50	アドレス						
	データ	...						
	...							
	SUM							

- コマンド「H'50」 (1バイト) : 128バイト書き込み
- 書き込みアドレス (4バイト) : 書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数 例) H'00,H'01,H'00,H'00 : H'00010000
- 書き込みデータ (128バイト) : 書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM (1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」 (1バイト) : 128バイト書き込みに対する応答、書き込みが完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」 (1バイト) : 128バイト書き込みに対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'2A : アドレスエラー、アドレスが指定のマット範囲にない
 - H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位 8 ビットを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータが無い部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレスを H'FFFFFFF に指定して 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」 (1バイト) : 128バイト書き込み
- 書き込みアドレス (4バイト) : 終了コード (H'FF,H'FF,H'FF,H'FF)
- SUM (1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」 (1バイト) : 128バイト書き込みに対する応答、書き込み処理が完了したときACK

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

(d) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」（1バイト）：消去選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去選択に対する応答、消去プログラムを転送したときACK

エラーレスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(e) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数、固定値で1
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

エラーレスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー、ブロック番号が正しくない
 - H'51：消去エラー、消去中にエラー発生

ブロック番号がH'FFに対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号をH'FFで指定した後、再度、消去を行う場合は、消去選択から実行します。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(f) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス
	読み出しサイズ			SUM

- コマンド「H'52」(1バイト) : メモリリード
- サイズ(1バイト) : エリア、読み出しアドレス、読み出しサイズの合計サイズ(固定値で9)
- エリア(1バイト)

H'00 : ユーザブートマット

H'01 : ユーザマット

エリアの指定が正しくないときはアドレスエラー

- 読み出しアドレス(4バイト) : 読み出す先頭アドレス
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- SUM (1バイト) : サムチェック

レスポンス	H'52	読み出しアドレス					
	データ	...					
	SUM						

- レスポンス「H'52」(1バイト) : メモリリードに対する応答
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- データ(nバイト) 読み出しアドレスからの読み出しサイズ分のデータ
- SUM(1バイト) : サムチェック

エラーレスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」(1バイト) : メモリリードに対するエラー応答
- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

読み出しアドレスがマットの範囲にない

H'2B : サイズエラー

読み出しサイズがマットの範囲を超えている

(g) ユーザブートプログラムのサムチェック

ユーザブートプログラムのサムチェックに対して、ブートプログラムはユーザブートプログラムのデータを加算してその結果を応答します。

コマンド

H'4A

- コマンド「H'4A」(1バイト) : ユーザブートプログラムのサムチェック

レスポンス

H'5A	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5A」(1バイト) : ユーザブートプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- マットのサムチェック(4バイト) : ユーザブートマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(h) ユーザプログラムのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザプログラムのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(i) ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラーレスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

17. フラッシュメモリ (0.18μm F-ZTAT 版)

(j) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク (H'FF) のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(k) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」(1バイト) : ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」(1バイト) : ブートプログラムステータス問い合わせに対する応答
- サイズ (1バイト) : データの文字数、固定値で2
- STATUS (1バイト) : 標準ブートプログラムのステータス
- ERROR (1バイト) : エラー状態

ERROR=0で正常

ERRORが0以外で異常

- SUM (1バイト) : サムチェック

表 17.17 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち (ビットレート選択完了)
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち (消去完了)
H'4F	書き込みデータ受信待ち (書き込み完了)
H'5F	消去ブロック指定待ち (消去完了)

表 17.18 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	連倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

17.14 使用上の注意事項

1. 出荷品の初期状態は消去状態です。消去履歴不明チップに対しては初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
2. 本LSIのライターモードに適合するPROMライターおよびそのプログラムバージョンについては、ソケットアダプタの取り扱い説明書を参照してください。
3. PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと、過剰電流が流れ製品が破壊することがあります。
4. PROMライターは、256kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧5.0Vをサポートしているものを使用してください。ライターの設定をHN28F101や書き込み電圧を3.3Vにセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。
5. 書き込み／消去中はフラッシュメモリに高電圧が印加されているため、書き込み／消去中にマイコンチップをPROMライターから取り外したり、リセット入力を行わないでください。フラッシュメモリの永久破壊の可能性があります。誤ってリセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
6. 書き込み／消去開始からのFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止します。書き込み／消去終了直後に、LSIモードを変更してリセット動作させる場合には、100 μ s以上のリセット入力期間（RES=0期間）を設けてください。なお、書き込み／消去処理中のリセット状態への遷移は禁止です。誤ってリセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
7. V_{CC}電源の印加／切断時はRES端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは停電等による電源の切断、再投入時にも満足するようになしてください。
8. オンボードプログラミングでは、128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。ライターモードでの128バイトの書き込み単位ブロックへの書き込みも1回のみとしてください。書き込みは、書き込み単位ブロックがすべて消去された状態で行ってください。
9. オンボードプログラミングモードで書き込み／消去を行ったチップに対して、ライターを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。
10. フラッシュメモリへの書き込みを行う場合は、書き込みデータおよびプログラムは外部割り込みベクタテーブル以降に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall H'FFを配置してください。
11. 初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ4kバイト以内です。したがって、CPUクロック周波数が48MHzの場合最大で35 μ sのダウンロード時間となります。
12. FCCSのSCOビット設定による内蔵プログラムのダウンロード方式をサポートしていない従来のF-ZTAT H8/H8Sマイコンで使用していたフラッシュメモリの書き込み／消去プログラムは、本LSIでは動作しません。本F-ZTAT H8SXマイコンでのフラッシュメモリへの書き込み／消去は、必ず内蔵プログラムをダウンロード

して実施してください。

13. 従来のF-ZTAT H8/H8Sマイコンと異なり、書き込み/消去中はWDTによる暴走などへの対応は実施していません。必要に応じて、書き込み/消去プログラムのダウンロード時間および書き込み/消去の実行時間を考慮したWDTでの対応を実施してください（定期的なタイマ割り込みの使用など）。
14. 書き込み/消去プログラムのダウンロード時、SCOビットを1にセットした直後にSCOビットを0にクリアしないでください。正常なダウンロードができません。SCOビットを1にセットする命令実行の直後には、FCCSのバイトのダミーリードを必ず2回実行してください。
15. 書き込み/消去プログラムでは、保存されない汎用レジスタがあります。保存したい汎用レジスタは手続きプログラムで退避してください。
16. ユーザブランチ処理が実行される間隔は、書き込み/消去で異なります。また、処理フェーズによっても異なります。表17.19に、CPUクロック周波数48MHzの場合の最大/最小起動間隔を示します。

表 17.19 ユーザブランチ処理の起動間隔

	最大間隔	最小間隔
書き込み処理	約 1ms	約 19μs
消去時間	約 5ms	約 19μs

17. ダウンロード要求のFCCSレジスタのSCOビットや、マット切り替えのFMATSレジスタは内蔵RAM上で命令実行中ならば、DMACからでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行されRAMを破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、ご注意ください。

18. NMI割り込み無視状態

以下のモード、または期間ではNMI割り込みが発生しても無視され、実行も割り込み要因の保持もされません。

- ブートモード動作中
- ライタモード動作中
- ユーザブートモード起動直後のフラッシュ関連レジスタチェック中
(リセットリリース後、入力クロック周波数B (Hz) のとき、約A (S) の期間)

$$A = \frac{1}{B \times 2} \times 1200$$

例：入力クロック周波数5MHzのとき

$$\frac{1}{5 \times 10^6 \times 2} \times 1200 = 120 \times 10^{-6} = 120 \mu s$$

19. 書き込み/消去中のNMI割り込みに関する注意事項

書き込み/消去中の割り込み処理はエラープロテクトに遷移し、書き込み/消去が強制中断しフラッシュメモリの書き込み/消去が正常に行われないため、実行しないでください。

ただし、エラー処理の目的で書き込み/消去中にNMI割り込みを行う際には以下の注意事項があります。

17. フラッシュメモリ (0.18 μ m F-ZTAT 版)

- (1) 書き込み/消去中の割り込みはNMIのみとしてください。
- (2) 書き込み/消去中のフラッシュメモリは、ユーザマット、ユーザブートマットともアクセスできません。割り込みベクタテーブルや割り込み処理ルーチンは、VBRを設定し内蔵RAMに準備してください。割り込み処理ルーチンの中でも、書き込み/消去中のフラッシュメモリにアクセスしないでください。フラッシュメモリを読み出した場合、読み出した値の保証はできません
- (3) 書き込み/消去中のNMI要求発生（その他の割り込み要求発生でも）にて、エラープロテクトに遷移しますので、書き込み/消去処理は中断します。エラープロテクトに関する詳細は「17.9.3 エラープロテクト」を参照してください。

20. エラープロテクトからの復帰に関する注意事項

エラープロテクトからの復帰のために100 μ s以上のリセット期間の後のリセットリリースを行ってください。エラープロテクトに遷移すると、書き込み/消去が強制中断しフラッシュメモリの書き込み/消去が正常に行われないため、モードごとの復帰方法に関して下記のような注意点があります。

- ブートモード時

リセット解除によりLSI内部に書き込まれているブートプログラムから起動します。

プログラム書き込み前に全ユーザマットおよび全ユーザブートマットの消去が自動的に行われます。

- ユーザブートモード時

リセット解除によりLSI内部に書き込まれている組み込みチェックルーチンが走行し、その後ユーザブートマット上のリセットベクタ実行開始アドレスから処理を開始します。はじめに全ユーザマットの消去から行ってください。フラッシュメモリのデータにダメージがある可能性があるため部分消去、書き込みから行わないでください。

- ユーザプログラムモード時

リセット解除によりユーザマットに書き込まれているプログラムから起動します。しかし、リセット解除後にユーザマットから正常に起動しない可能性がありますので、ブートモードなどで全ユーザマットを消去後にプログラムを書き込んだ後、ユーザプログラムモードに設定後再度リセットリリースしてください。

18. クロック発振器

本 LSI は、クロック発振器（CPG : Clock Pulse Generator）を内蔵しており、システムクロック（Iφ）、周辺モジュールクロック（Pφ）、および外部バスクロック（Bφ）を生成します。

クロック発振器は、発振器、PLL（Phase Locked Loop）回路、分周器から構成されます。クロック発振器のブロック図を図 18.1 に示します。

クロック発振器内部の PLL 回路と分周器によりクロック周波数を変更できます。クロック周波数の変更は、システムクロックコントロールレジスタ（SCKCR）の設定によりソフトウェアで行います。

クロックには CPU、バスマスタに供給されるシステムクロック、周辺モジュールに供給される周辺モジュールクロック、外部バスに供給される外部クロックがあり、それぞれ独立に設定することができます。ただし、周辺モジュールクロック、外部クロックは、システムクロック以下の周波数で動作します。

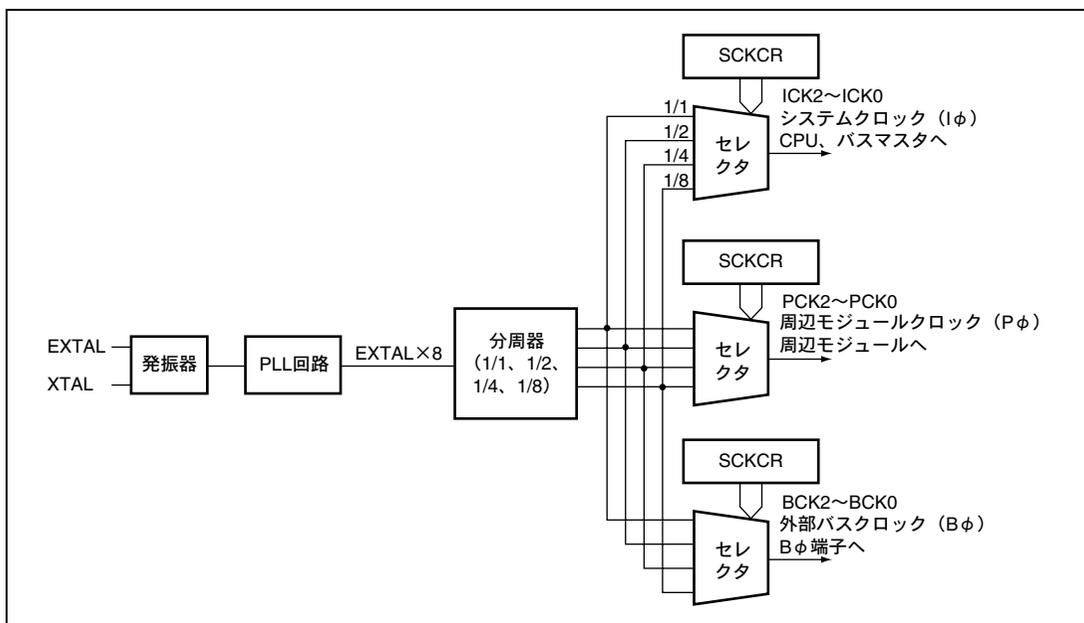


図 18.1 クロック発振器のブロック図

18. クロック発振器

18.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ(SCKCR)

18.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は Bφ出力制御、Bφ出力選択とシステムクロック、周辺モジュールクロックおよび外部バスクロックの周波数の制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	PSTOP1	—	POSEL1	—	—	ICK2	ICK1	ICK0
初期値:	0	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0
初期値:	0	0	1	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSTOP1	0	R/W	Bφ出力セレクトイネーブル PA7からのφ出力を制御します。 通常動作状態 0: Bφ出力 1: Highレベル固定 ソフトウェアスタンバイモード x: Highレベル固定 ハードウェアスタンバイモード x: ハイインピーダンス
14	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
13	POSEL1	0	R/W	Bφ出力セレクト1 PA7のφ出力を制御します。 0: 外部バスクロック (Bφ) 1: 設定禁止
12	—	0	R/W	リザーブビット
11	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

18. クロック発振器

ビット	ビット名	初期値	R/W	説 明
10	ICK2	0	R/W	システムクロック (I ϕ) セレクト CPU、DMAC モジュールとシステムクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : $\times 8$ 001 : $\times 4$ 010 : $\times 2$ 011 : $\times 1$ 1xx : 設定禁止 周辺モジュールクロックより低い周波数の設定を行うと、周辺モジュールクロックはシステムクロックと同じ周波数に変わります。
9	ICK1	1	R/W	
8	ICK0	0	R/W	
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	PCK2	0	R/W	周辺モジュールクロック (P ϕ) セレクト 周辺モジュールクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : $\times 8$ 001 : $\times 4$ 010 : $\times 2$ 011 : $\times 1$ 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になりません。
5	PCK1	1	R/W	
4	PCK0	0	R/W	
3	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
2	BCK2	0	R/W	外部バスクロック (B ϕ) セレクト 外部バスクロックの周波数を選択します。入力クロックに対する倍率を示しています。 000 : $\times 8$ 001 : $\times 4$ 010 : $\times 2$ 011 : $\times 1$ 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になりません。
1	BCK1	1	R/W	
0	BCK0	0	R/W	

【注】 x : Don't care

18. クロック発振器

18.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

18.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 18.2 に示します。ダンピング抵抗 R_d は、表 18.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は、4~9MHz としてください。

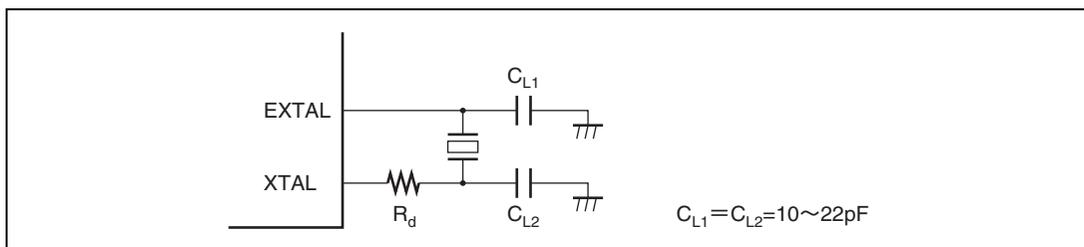


図 18.2 水晶発振子の接続例

表 18.1 ダンピング抵抗値

周波数 (MHz)	4	6	8	9
R_d (Ω)	500	300	200	100

水晶発振子の等価回路を図 18.3 に示します。水晶発振子は表 18.2 に示す特性のものを使用してください。

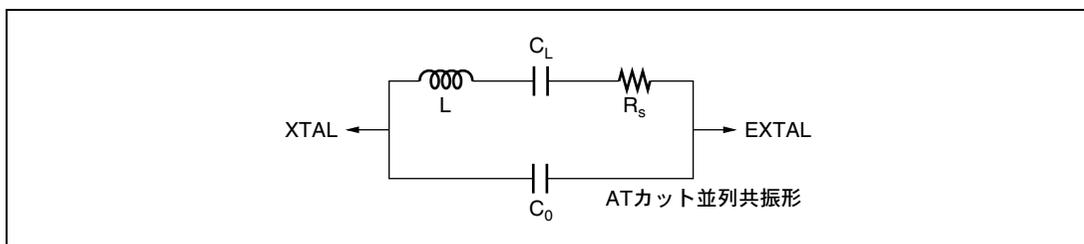


図 18.3 水晶発振子の等価回路

表 18.2 水晶発振子の特性

周波数 (MHz)	4	6	8	9
R_s max (Ω)	120	100	80	80
C_0 max (pF)	7			

18.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 18.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

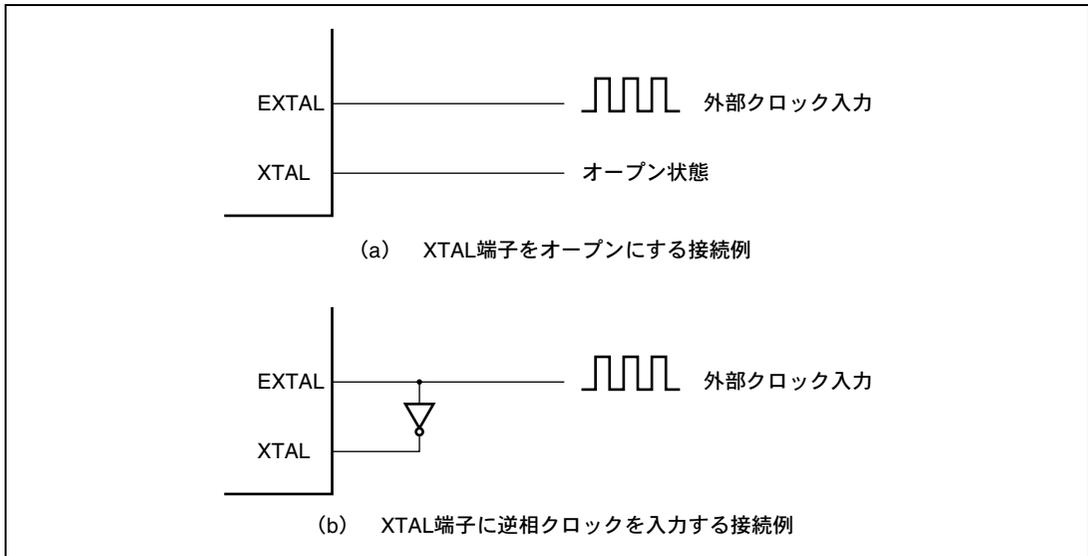


図 18.4 外部クロックの接続例

外部クロックの入力条件については、「21.3.1 クロックタイミング」の表 21.4 を参照してください。入力する外部クロックは、4~9MHz としてください。

18.3 PLL 回路

PLL 回路は、発振器からの周波数を 8 倍に通倍する機能を持っています。周波数通倍率は固定です。

18.4 分周器

分周器は、PLL クロックを分周し、1/2、1/4、1/8 のクロックを生成します。ICK2~ICK0、PCK2~PCK0 ビット書き換え後に、変更後の周波数で本 LSI は動作します。

18.5 使用上の注意事項

18.5.1 クロック発振器に関する使用上の注意事項

1. SCKCRの設定により各モジュールに供給される ϕ ($I\phi$:システムクロック、 $P\phi$:周辺モジュールクロック)の周波数が変わりますので、以下の点に注意してください。各周波数は電気的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。すなわち、
 - SSU使用時
 $I\phi_{min}=8\text{MHz}$ 、 $P\phi_{min}=8\text{MHz}$ 、
 $I\phi_{max}=48\text{MHz}$ 、 $P\phi_{max}=24\text{MHz}$ として、
 $I\phi < 8\text{MHz}$ 、 $I\phi > 48\text{MHz}$ 、 $P\phi < 8\text{MHz}$ 、 $P\phi > 24\text{MHz}$ とならないように注意してください。
 - SSU未使用時
 $I\phi_{min}=8\text{MHz}$ 、 $P\phi_{min}=8\text{MHz}$ 、
 $I\phi_{max}=48\text{MHz}$ 、 $P\phi_{max}=35\text{MHz}$ として、
 $I\phi < 8\text{MHz}$ 、 $I\phi > 48\text{MHz}$ 、 $P\phi < 8\text{MHz}$ 、 $P\phi > 35\text{MHz}$ とならないように注意してください。
2. 周辺モジュール (DMACを除く) は、すべて $P\phi$ を基準に動作します。このため、周波数変更の前後でタイムマやSCIなどの時間処理が変わりますので注意してください。
また、ソフトウェアスタンバイモード解除用の待機時間も周波数を変更することで変わります。詳細は「19.7.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。
3. システムクロック、周辺モジュールクロックとの間には、 $I\phi \geq P\phi$ の関係が成り立っており、かつシステムクロックの設定が優先されます。そのため、 $P\phi$ が、PCK2~PCK0のレジスタ設定の周波数ではなく、ICK2~ICK0で設定した周波数になることがあります。
4. 図18.5にクロック変更タイミングを示します。SCKCRに値をライトした後、現在実行しているバスサイクル終了を待ちます。そのバスサイクル終了後、外部クロックに対して最大1サイクル後に各クロックの周波数が変更されます。

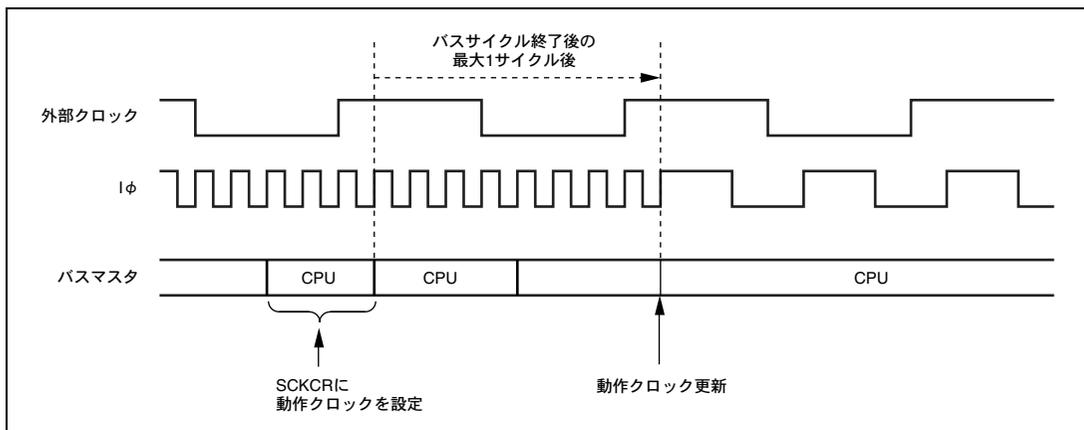


図 18.5 クロック変更タイミング

18.5.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

18.5.3 ボード設計上の注意

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 18.6 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

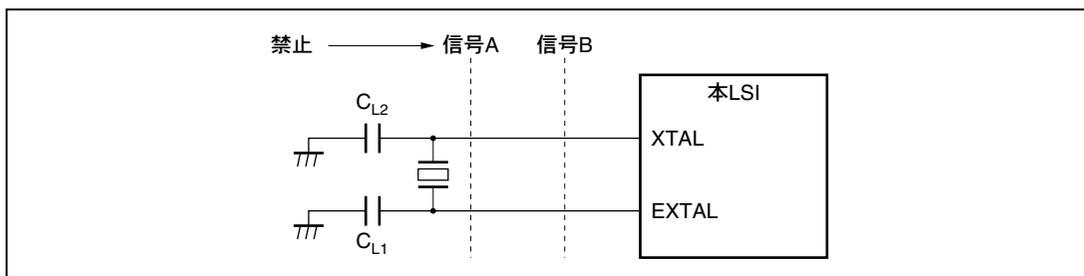


図 18.6 発振回路部のボード設計に関する注意事項

バイパスコンデンサの接続例を図 18.7 に示します。Vcc、Vss はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。バイパスコンデンサの容量値はユーザのシステムボード設計において十分検討してください。

18. クロック発振器

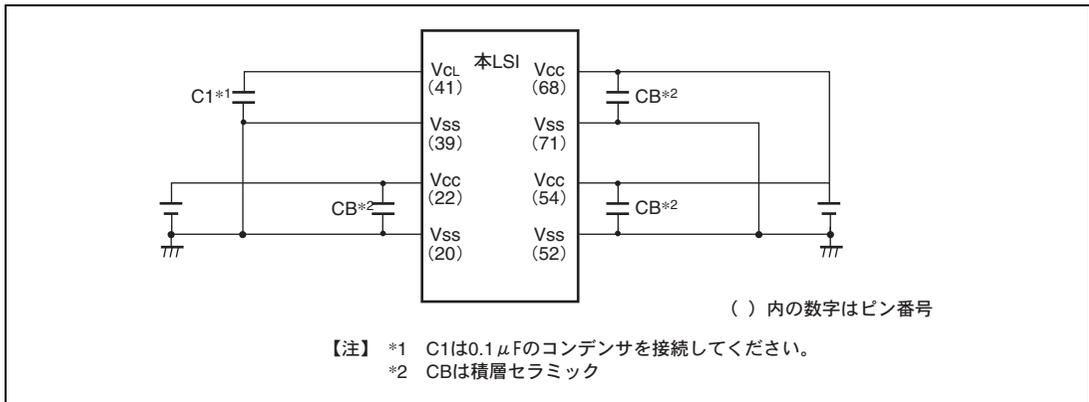


図 18.7 バイパスコンデンサの接続例

18.5.4 入力クロック周波数に関する注意

入力クロック周波数はPLL回路内で8倍に逡倍されます。ノイズ低減のために、入力クロック周波数は、4～9MHzの間で低い周波数を推奨します。

19. 低消費電力

本 LSI には、消費電力低減機能としてマルチクロック機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

19.1 特長

- マルチクロック機能
システムクロック、周辺モジュールクロック、外部バスクロックに対し独立に分周比を設定することが可能
- モジュールストップ機能
周辺モジュールごとに機能を停止し、低消費電力状態にすることが可能
- 低消費電力状態への遷移機能
CPU、全周辺モジュール、発振器を停止する低消費電力状態にすることが可能
- 低消費電力状態：4種類
スリープモード
全モジュールクロックストップモード
ソフトウェアスタンバイモード

表 19.1 に、低消費電力状態への遷移する条件と CPU や周辺モジュールなどの状態、および各モードの解除方法を示します。リセット後は、通常のプログラム動作で DMAC 以外のモジュールは停止状態です。

表 19.1 動作状態

動作状態	スリープモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード
遷移条件	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
解除方法	割り込み	割り込み*2	外部割り込み
発振器	動作	動作	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)
ウォッチドッグタイマ	動作	動作	停止 (保持)
周辺モジュール	動作	停止*3	停止*1
I/Oポート	動作	保持	保持

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。

*1 SCI、RCAN-ET、SSU はリセット状態、その他の周辺モジュールは状態を保持します

*2 外部割り込み、一部の内部割り込み（ウォッチドッグタイマ）

*3 RCAN-ET、SSU はリセット状態、その他の周辺モジュールは状態を保持します。

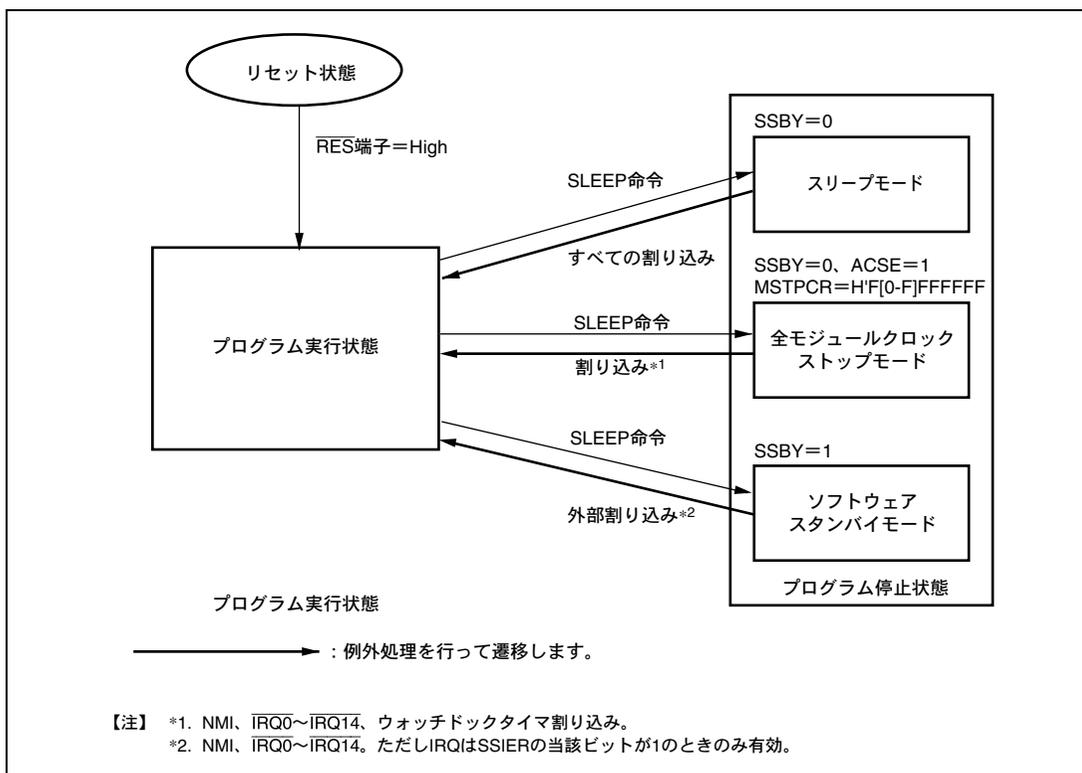


図 19.1 モード遷移図

19.2 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「18.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)

19.2.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、ソフトウェアスタンバイモードの制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	SSBY	—	—	STS4	STS3	STS2	STS1	STS0
初期値:	0	1	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を設定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、このビットは1にセットされたままです。クリアするときは0をライトしてください。WDTをウォッチドックタイマとして使用しているときは、このビットの設定は無効になります。その場合、SLEEP 命令実行後は常にスリープモードあるいは全モジュールクロックストップモードに遷移します。
14	—	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
13	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

19. 低消費電力

ビット	ビット名	初期値	R/W	説明	
12	STS4	0	R/W	スタンバイタイムセレクト 4~0 外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 19.2 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。表 19.2 を参照に待機時間を設定してください。 発振安定期間中は、Pφの周波数でカウントされます。マルチクロックモード時は注意してください。 00000 : リザーブ 00001 : リザーブ 00010 : リザーブ 00011 : リザーブ 00100 : リザーブ 00101 : 待機時間=64 ステート 00110 : 待機時間=512 ステート 00111 : 待機時間=1024 ステート 01000 : 待機時間=2048 ステート 01001 : 待機時間=4096 ステート 01010 : 待機時間=16384 ステート 01011 : 待機時間=32768 ステート 01100 : 待機時間=65536 ステート 01101 : 待機時間=131072 ステート 01110 : 待機時間=262144 ステート 01111 : 待機時間=524288 ステート 10000 : リザーブ 10001 : リザーブ 1001* : リザーブ 101** : リザーブ 11*** : リザーブ	
11	STS3	1	R/W		
10	STS2	1	R/W		
9	STS1	1	R/W		
8	STS0	1	R/W		
7~0	—	すべて 0	R/W		リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

【注】 フラッシュメモリの安定時間を確保してください。

19.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)

MSTPCRA、MSTPCRB はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

• MSTPCRA

ビット	15	14	13	12	11	10	9	8
ビット名	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• MSTPCRB

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19. 低消費電力

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCRで制御されるすべてのモジュールがモジュールストップモードに設定された上で、CPUがSLEEP命令を実行した場合にバスコントローラとI/Oポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可
14	MSTPA14	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
13	MSTPA13	0	R/W	DMAコントローラ (DMAC)
12	MSTPA12	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
11	MSTPA11	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
10	MSTPA10	1	R/W	
9	MSTPA9	1	R/W	
8	MSTPA8	1	R/W	
7	MSTPA7	1	R/W	
6	MSTPA6	1	R/W	
5	MSTPA5	1	R/W	
4	MSTPA4	1	R/W	A/D変換器 (ユニット1)
3	MSTPA3	1	R/W	A/D変換器 (ユニット0)
2	MSTPA2	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
1	MSTPA1	1	R/W	16ビットタイマパルスユニット (TPUチャンネル11~6)
0	MSTPA0	1	R/W	16ビットタイマパルスユニット (TPUチャンネル5~0) *

【注】 *: H8SX/1527Rのみ

• MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG) *
14	MSTPB14	1	R/W	リザーブビット
13	MSTPB13	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
11	MSTPB11	1	R/W	シリアルコミュニケーションインタフェース_3 (SCI_3)
10	MSTPB10	1	R/W	リザーブビット
9	MSTPB9	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
8	MSTPB8	1	R/W	
7	MSTPB7	1	R/W	
6	MSTPB6	1	R/W	
5	MSTPB5	1	R/W	
4	MSTPB4	1	R/W	
3	MSTPB3	1	R/W	
2	MSTPB2	1	R/W	
1	MSTPB1	1	R/W	
0	MSTPB0	1	R/W	

【注】 *: H8SX/1527R のみ

19. 低消費電力

19.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)

MSTPC1~MSTPC0 ビットを 1 にセットすると、対応する内蔵 RAM が停止します。内蔵 RAM アクセス中に該当する MSTPC1~MSTPC0 ビットを 1 にセットしないでください。

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPC15	1	R/W	リザーブビット
14	MSTPC14	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
13	MSTPC13	1	R/W	
12	MSTPC12	1	R/W	
11	MSTPC11	1	R/W	コントローラエリアネットワーク (RCAN-ET)
10	MSTPC10	1	R/W	シンクロナスシリアルコミュニケーションユニット_2 (SSU_2)
9	MSTPC9	1	R/W	シンクロナスシリアルコミュニケーションユニット_1 (SSU_1)
8	MSTPC8	1	R/W	シンクロナスシリアルコミュニケーションユニット_0 (SSU_0)
7	MSTPC7	0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
6	MSTPC6	0	R/W	リザーブビット
5	MSTPC5	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
4	MSTPC4	0	R/W	
3	MSTPC3	0	R/W	
2	MSTPC2	0	R/W	
1	MSTPC1	0	R/W	内蔵 RAM (H'FFF9000~H'FFFBFFF)
0	MSTPC0	0	R/W	MSTPC1 と MSTPC0 は常に同じ値をライトしてください。

19.3 マルチクロック機能

SCKCR の ICK2~ICK0 ビット、PCK2~PCK0 ビットと BCK2~BCK0 ビットを設定すると、そのバスサイクルの終了時点でマルチクロックモードになります。マルチクロックモードでは、CPU とバスマスタは、ICK2~ICK0 ビットで設定した動作クロックで動作します。周辺モジュールは、PCK2~PCK0 ビットで設定した動作クロックで動作します。また、外部クロックは、BCK2~BCK0 ビットで設定した動作クロックで動作します。

ただし、ICK2~ICK0 ビットで設定した動作クロックより高い動作クロックに PCK2~PCK0 ビットおよび BCK2~BCK0 ビットを設定しても、設定値がクロックに反映されません。周辺モジュール、外部クロックは、ICK2~ICK0 ビットで設定した動作クロックに制限されます。

マルチクロックモードの解除は、ICK2~ICK0 ビット、PCK2~PCK0 ビット、BCK2~BCK0 ビットをすべて 0 にクリアすることによって行われ、そのバスサイクルの終了時点で通常状態に遷移し、マルチクロックモードは解除されます。

SBCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されるとマルチクロックモードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されるとマルチクロックモードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、マルチクロックモードは解除されます。ウォッチドッグタイマのオーバフローによるリセットについても同様です。

19.4 モジュールストップ機能

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCRA、MSTPCRB、MSTPCRC の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI、RCAN-ET、SSU を除くモジュールの内部状態が保持されています。

リセット解除後は、DMAC、内蔵 RAM を除くすべてのモジュールがモジュールストップモードになっています。モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

19.5 スリープモード

19.5.1 スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

19.5.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 端子、またはウォッチドッグタイマのオーバフローによるリセットによって行われます。

1. 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

2. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

3. ウォッチドッグタイマのオーバフローリセットによる解除

ウォッチドッグタイマのオーバフローの内部リセットにより、スリープモードが解除されます。

19.6 全モジュールクロックストップモード

MSTPCRA の ACSE ビットを 1 にセットし、かつ MSTPCR で制御されるすべてのモジュールをストップ (MSTPCRA, B=H'FFFFFFF, MSTPCRC=H'FF00) したとき、SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、バスサイクルの終了時点でウォッチドッグタイマを除く全モジュール、バスコントローラ、および I/O ポートの動作を停止して全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ14}}$ 端子)、 $\overline{\text{RES}}$ 端子、内部割り込み (ウォッチドッグタイマ) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合、全モジュールクロックストップモードは解除されません。

19.7 ソフトウェアスタンバイモード

19.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と、内蔵 RAM のデータ、SCI、RCAN-ET、および SSU を除く内蔵周辺機能と、I/O ポートの状態は保持されます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

WDT をウォッチドックタイマとして使用している場合、ソフトウェアスタンバイモードに遷移できません。SLEEP 命令を実行する前に WDT を停止させてください。

19.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み（NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ14}}$ 端子*）、 $\overline{\text{RES}}$ 端子によって行われます。

1. 割り込みによる解除

NMI、IRQ0～IRQ14*割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS4～STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0～IRQ14*割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつIRQ0～IRQ14*割り込みより高い優先順位の割り込みが発生しないようにしてください、なお、CPU側でマスクした場合、またはDMACの起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

【注】* SSIER の SSIn ビットを 1 にセットすることにより、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ14}}$ をソフトウェアスタンバイモードの解除要因として使用することができます。

2. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSIにクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

19. 低消費電力

19.7.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS4~STS0 ビットの設定は、以下のようにしてください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるように STS4~STS0 ビットを設定してください。

表19.2に、動作周波数と STS4~STS0 ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL回路の安定時間が必要となります。表19.2を参照し待機時間を設定してください。

表 19.2 発振安定時間の設定

STS4	STS3	STS2	STS1	STS0	待機時間	Pφ* [MHz]						単位	
						35	25	20	13	10	8		
0	0	0	0	0	リザーブ	—	—	—	—	—	—	μs	
				1	リザーブ	—	—	—	—	—	—		
			1	0	リザーブ	—	—	—	—	—	—		
				1	リザーブ	—	—	—	—	—	—		
		1	0	0	リザーブ	—	—	—	—	—	—		
				1	64	1.8	2.6	3.2	4.9	6.4	8.0		
			1	0	512	14.6	20.5	25.6	39.4	51.2	64.0		
				1	1024	29.3	41.0	51.2	78.8	102.4	128.0		
	1	0	0	0	2048	58.5	81.9	102.4	157.5	204.8	256.0		ms
				1	4096	0.12	0.16	0.20	0.32	0.41	0.51		
			1	0	16384	0.47	0.66	0.82	1.26	1.64	2.05		
				1	32768	0.94	1.31	1.64	2.52	3.28	4.10		
1		0	0	65536	1.87	2.62	3.28	5.04	6.55	8.19			
			1	131072	3.74	5.24	6.55	10.08	13.11	16.38			
1	1	0	262144	7.49	10.49	13.11	20.16	26.21	32.77				
		1	524288	14.98	20.97	26.21	40.33	52.43	65.54				
1	0	0	0	0	リザーブ	—	—	—	—	—	—		

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

【注】 * Pφは周辺モジュール分周器の出力です。

19.7.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに移移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 19.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ設定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ設定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに移移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

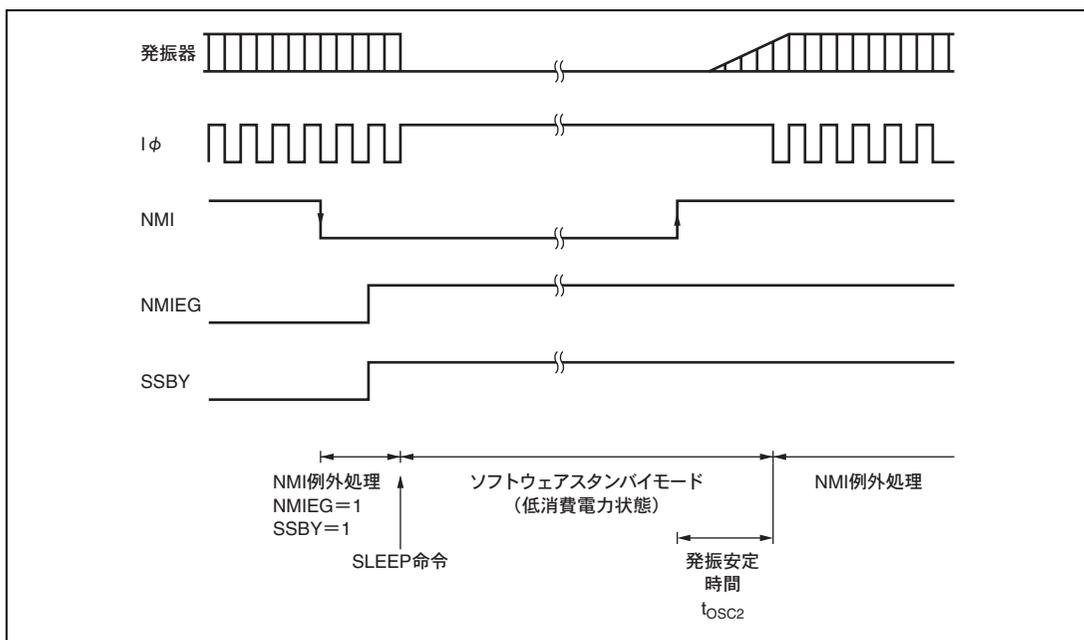


図 19.2 ソフトウェアスタンバイモードの応用例

19.8 B ϕ 出力制御

SCKCR の PSTOP1、POSEL1 ビットと、対応する PA7 の DDR により、B ϕ 出力を制御することができます。

PSTOP1、POSEL1 ビットをともに 0 にクリアすると、PA7 は B ϕ 出力になります。PSTOP1 ビットを 1 にセットすると、バスサイクルの終了時点で B ϕ 出力は停止し、B ϕ 出力は High レベルになります。また、PA7 の DDR を 0 にクリアすると、B ϕ 出力は禁止され、入力ポートになります。

表 19.3 に各処理状態における B ϕ 端子の状態を示します。

B ϕ 出力を禁止させることで不要輻射ノイズ*を下げる効果があります。ユーザのシステムボード設計において十分検討してください。

【注】* 不要輻射ノイズ：EMI (Electro Magnetic Interference)

表 19.3 各処理状態における ϕ 端子 (PA7) の状態

レジスタの設定値			通常動作状態	スリープ	全モジュール クロック ストップ	ソフトウェア スタンバイ	
DDR	PSTOP1	POSEL1				OPE=0	OPE=1
0	x	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
1	0	0	B ϕ 出力	B ϕ 出力	B ϕ 出力	High	High
1	0	1	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
1	1	x	High	High	High	High	High

19.9 使用上の注意事項

19.9.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合は出力電流分の消費電流は低減されません。

19.9.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

19.9.3 DMAC のモジュールストップ

DMAC の動作状態によって、MSTPA13 ビットは 1 にセットされない場合があります。DMAC のモジュールストップモードの設定は、起動されない状態で行ってください。

詳細は「7. DMA コントローラ (DMAC)」を参照してください。

19.9.4 内蔵周辺モジュールの割り込み

モジュールストップモードでは当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップモードにしてください。

19.9.5 MSTPCRA、MSTPCRB、MSTPCRC のライト

MSTPCRA、MSTPCRB および MSTPCRC は、CPU のみでライトしてください。

20. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- リザーブアドレスは、レジスタ名称部に「-」で表記しています。
リザーブアドレスのアクセスはしないでください。
- アドレスは、16ビットまたは32ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. ビット構成一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

20. レジスタ一覧

20.1 レジスタアドレス一覧（アドレス順）

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
マスタコントロールレジスタ	MCR	16	H'FEA00	RCAN-ET	16	4Pφ/4Pφ
ジェネラルステータスレジスタ	GSR	16	H'FEA02	RCAN-ET	16	4Pφ/4Pφ
ビットコンフィギュレーションレジスタ 1	BCR1	16	H'FEA04	RCAN-ET	16	4Pφ/4Pφ
ビットコンフィギュレーションレジスタ 0	BCR0	16	H'FEA06	RCAN-ET	16	4Pφ/4Pφ
インタラプトリクエストレジスタ	IRR	16	H'FEA08	RCAN-ET	16	4Pφ/4Pφ
インタラプトマスクレジスタ	IMR	16	H'FEA0A	RCAN-ET	16	4Pφ/4Pφ
送信エラーカウンタ/受信エラーカウンタ	TEC/REC	16	H'FEA0C	RCAN-ET	16	4Pφ/4Pφ
送信待ちレジスタ 1	TXPR1	16	H'FEA20	RCAN-ET	32	4Pφ/4Pφ
送信待ちレジスタ 0	TXPR0	16	H'FEA22	RCAN-ET	32	4Pφ/4Pφ
送信キャンセルレジスタ 0	TXCR0	16	H'FEA2A	RCAN-ET	16	4Pφ/4Pφ
送信アクノリッジレジスタ 0	TXACK0	16	H'FEA32	RCAN-ET	16	4Pφ/4Pφ
アボートアクノリッジレジスタ 0	ABACK0	16	H'FEA3A	RCAN-ET	16	4Pφ/4Pφ
データフレーム受信完了レジスタ 0	RXPR0	16	H'FEA42	RCAN-ET	16	4Pφ/4Pφ
リモートフレーム受信完了レジスタ 0	RFPR0	16	H'FEA4A	RCAN-ET	16	4Pφ/4Pφ
メールボックスインタラプトマスクレジスタ 0	MBIMR0	16	H'FEA52	RCAN-ET	16	4Pφ/4Pφ
未読メッセージステータスレジスタ 0	UMSR0	16	H'FEA5A	RCAN-ET	16	4Pφ/4Pφ
MB[0].						
CONTROL0H	—	16	H'FEB00	RCAN-ET	16、32	4Pφ/4Pφ
CONTROL0L	—	16	H'FEB02	RCAN-ET	16	4Pφ/4Pφ
LAFMH	—	16	H'FEB04	RCAN-ET	16、32	4Pφ/4Pφ
LAFML	—	16	H'FEB06	RCAN-ET	16	4Pφ/4Pφ
MSG_DATA[0]	—	8	H'FEB08	RCAN-ET	8、16、32	4Pφ/4Pφ
MSG_DATA[1]	—	8	H'FEB09	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[2]	—	8	H'FEB0A	RCAN-ET	8、16	4Pφ/4Pφ
MSG_DATA[3]	—	8	H'FEB0B	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[4]	—	8	H'FEB0C	RCAN-ET	8、16、32	4Pφ/4Pφ
MSG_DATA[5]	—	8	H'FEB0D	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[6]	—	8	H'FEB0E	RCAN-ET	8、16	4Pφ/4Pφ
MSG_DATA[7]	—	8	H'FEB0F	RCAN-ET	8	4Pφ/4Pφ
CONTROL1H	—	8	H'FEB10	RCAN-ET	8、16	4Pφ/4Pφ
CONTROL1L	—	8	H'FEB11	RCAN-ET	8	4Pφ/4Pφ

	レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
MB[1].	CONTROL0H	—	16	H'FEB20	RCAN-ET	16, 32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEB22	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEB24	RCAN-ET	16, 32	4Pφ/4Pφ
	LAFML	—	16	H'FEB26	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEB28	RCAN-ET	8, 16, 32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEB29	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEB2A	RCAN-ET	8, 16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEB2B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEB2C	RCAN-ET	8, 16, 32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEB2D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEB2E	RCAN-ET	8, 16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEB2F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEB30	RCAN-ET	8, 16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEB31	RCAN-ET	8	4Pφ/4Pφ
MB[2].	CONTROL0H	—	16	H'FEB40	RCAN-ET	16, 32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEB42	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEB44	RCAN-ET	16, 32	4Pφ/4Pφ
	LAFML	—	16	H'FEB46	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEB48	RCAN-ET	8, 16, 32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEB49	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEB4A	RCAN-ET	8, 16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEB4B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEB4C	RCAN-ET	8, 16, 32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEB4D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEB4E	RCAN-ET	8, 16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEB4F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEB50	RCAN-ET	8, 16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEB51	RCAN-ET	8	4Pφ/4Pφ
MB[3].	CONTROL0H	—	16	H'FEB60	RCAN-ET	16, 32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEB62	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEB64	RCAN-ET	16, 32	4Pφ/4Pφ
	LAFML	—	16	H'FEB66	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEB68	RCAN-ET	8, 16, 32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEB69	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEB6A	RCAN-ET	8, 16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEB6B	RCAN-ET	8	4Pφ/4Pφ

20. レジスタ一覧

	レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
MB[3].	MSG_DATA[4]	—	8	H'FEB6C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEB6D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEB6E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEB6F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEB70	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEB71	RCAN-ET	8	4Pφ/4Pφ
MB[4].	CONTROL0H	—	16	H'FEB80	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEB82	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEB84	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FEB86	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEB88	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEB89	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEB8A	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEB8B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEB8C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEB8D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEB8E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEB8F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEB90	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEB91	RCAN-ET	8	4Pφ/4Pφ
MB[5].	CONTROL0H	—	16	H'FEBA0	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEBA2	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEBA4	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FEBA6	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEBA8	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEBA9	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEBA A	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEBA B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEBA C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEBA D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEBA E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEBA F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEBB0	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEBB1	RCAN-ET	8	4Pφ/4Pφ
MB[6].	CONTROL0H	—	16	H'FEBC0	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEBC2	RCAN-ET	16	4Pφ/4Pφ

20. レジスタ一覧

	レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
MB[6].	LAFMH	—	16	H'FEBC4	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FEBC6	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEBC8	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEBC9	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEBCA	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEBCB	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEBC C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEBCD	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEBC E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEBC F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEBD0	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEBD1	RCAN-ET	8	4Pφ/4Pφ
	MB[7].	CONTROL0H	—	16	H'FEBE0	RCAN-ET	16、32
CONTROL0L		—	16	H'FEBE2	RCAN-ET	16	4Pφ/4Pφ
LAFMH		—	16	H'FEBE4	RCAN-ET	16、32	4Pφ/4Pφ
LAFML		—	16	H'FEBE6	RCAN-ET	16	4Pφ/4Pφ
MSG_DATA[0]		—	8	H'FEBE8	RCAN-ET	8、16、32	4Pφ/4Pφ
MSG_DATA[1]		—	8	H'FEBE9	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[2]		—	8	H'FEBEA	RCAN-ET	8、16	4Pφ/4Pφ
MSG_DATA[3]		—	8	H'FEBEB	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[4]		—	8	H'FEBEC	RCAN-ET	8、16、32	4Pφ/4Pφ
MSG_DATA[5]		—	8	H'FEBED	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[6]		—	8	H'FEBEE	RCAN-ET	8、16	4Pφ/4Pφ
MSG_DATA[7]		—	8	H'FEBEF	RCAN-ET	8	4Pφ/4Pφ
CONTROL1H		—	8	H'FEBF0	RCAN-ET	8、16	4Pφ/4Pφ
CONTROL1L	—	8	H'FEBF1	RCAN-ET	8	4Pφ/4Pφ	
MB[8].	CONTROL0H	—	16	H'FEC00	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEC02	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEC04	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FEC06	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEC08	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEC09	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEC0A	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEC0B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEC0C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEC0D	RCAN-ET	8	4Pφ/4Pφ

20. レジスタ一覧

	レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
MB[8].	MSG_DATA[6]	—	8	H'FEC0E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEC0F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEC10	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEC11	RCAN-ET	8	4Pφ/4Pφ
MB[9].	CONTROL0H	—	16	H'FEC20	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEC22	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEC24	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FEC26	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEC28	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEC29	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEC2A	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEC2B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEC2C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEC2D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEC2E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEC2F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEC30	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEC31	RCAN-ET	8	4Pφ/4Pφ
MB[10].	CONTROL0H	—	16	H'FEC40	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEC42	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEC44	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FEC46	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEC48	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEC49	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEC4A	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEC4B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEC4C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEC4D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEC4E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEC4F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEC50	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEC51	RCAN-ET	8	4Pφ/4Pφ
MB[11].	CONTROL0H	—	16	H'FEC60	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEC62	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEC64	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FEC66	RCAN-ET	16	4Pφ/4Pφ

20. レジスタ一覧

	レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
MB[11].	MSG_DATA[0]	—	8	H'FEC68	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEC69	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEC6A	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEC6B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEC6C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEC6D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEC6E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEC6F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEC70	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEC71	RCAN-ET	8	4Pφ/4Pφ
MB[12].	CONTROL0H	—	16	H'FEC80	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FEC82	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FEC84	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FEC86	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FEC88	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FEC89	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FEC8A	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FEC8B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FEC8C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FEC8D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FEC8E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FEC8F	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FEC90	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FEC91	RCAN-ET	8	4Pφ/4Pφ
MB[13].	CONTROL0H	—	16	H'FECA0	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FECA2	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FECA4	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FECA6	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FECA8	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FECA9	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FECAA	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FECA B	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FECA C	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FECA D	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FECA E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FECA F	RCAN-ET	8	4Pφ/4Pφ

20. レジスタ一覧

	レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
MB[13].	CONTROL1H	—	8	H'FECB0	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FECB1	RCAN-ET	8	4Pφ/4Pφ
MB[14].	CONTROL0H	—	16	H'FECC0	RCAN-ET	16、32	4Pφ/4Pφ
	CONTROL0L	—	16	H'FECC2	RCAN-ET	16	4Pφ/4Pφ
	LAFMH	—	16	H'FECC4	RCAN-ET	16、32	4Pφ/4Pφ
	LAFML	—	16	H'FECC6	RCAN-ET	16	4Pφ/4Pφ
	MSG_DATA[0]	—	8	H'FECC8	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[1]	—	8	H'FECC9	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[2]	—	8	H'FECCA	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[3]	—	8	H'FECCB	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[4]	—	8	H'FECCC	RCAN-ET	8、16、32	4Pφ/4Pφ
	MSG_DATA[5]	—	8	H'FECCD	RCAN-ET	8	4Pφ/4Pφ
	MSG_DATA[6]	—	8	H'FECC E	RCAN-ET	8、16	4Pφ/4Pφ
	MSG_DATA[7]	—	8	H'FECCF	RCAN-ET	8	4Pφ/4Pφ
	CONTROL1H	—	8	H'FECD0	RCAN-ET	8、16	4Pφ/4Pφ
	CONTROL1L	—	8	H'FECD1	RCAN-ET	8	4Pφ/4Pφ
	MB[15].	CONTROL0H	—	16	H'FECE0	RCAN-ET	16、32
CONTROL0L		—	16	H'FECE2	RCAN-ET	16	4Pφ/4Pφ
LAFMH		—	16	H'FECE4	RCAN-ET	16、32	4Pφ/4Pφ
LAFML		—	16	H'FECE6	RCAN-ET	16	4Pφ/4Pφ
MSG_DATA[0]		—	8	H'FECE8	RCAN-ET	8、16、32	4Pφ/4Pφ
MSG_DATA[1]		—	8	H'FECE9	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[2]		—	8	H'FECEA	RCAN-ET	8、16	4Pφ/4Pφ
MSG_DATA[3]		—	8	H'FECEB	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[4]		—	8	H'FECEC	RCAN-ET	8、16、32	4Pφ/4Pφ
MSG_DATA[5]		—	8	H'FECED	RCAN-ET	8	4Pφ/4Pφ
MSG_DATA[6]		—	8	H'FECEE	RCAN-ET	8、16	4Pφ/4Pφ
MSG_DATA[7]		—	8	H'FECEF	RCAN-ET	8	4Pφ/4Pφ
CONTROL1H		—	8	H'FECF0	RCAN-ET	8、16	4Pφ/4Pφ
CONTROL1L		—	8	H'FECF1	RCAN-ET	8	4Pφ/4Pφ
RCAN モニタレジスタ		RCANMON	8	H'FED00	RCAN-ET	16	4Pφ/4Pφ
SS コントロールレジスタ H_0	SSCRH_0	8	H'FF200	SSU_0	16	3Pφ/3Pφ	
SS コントロールレジスタ L_0	SSCRL_0	8	H'FF201	SSU_0	16	3Pφ/3Pφ	
SS モードレジスタ_0	SSMR_0	8	H'FF202	SSU_0	16	3Pφ/3Pφ	
SS イネーブルレジスタ_0	SSER_0	8	H'FF203	SSU_0	16	3Pφ/3Pφ	

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	アクセス サイズ	アクセス ステート数
SS ステータスレジスタ_0	SSSR_0	8	H'FF204	SSU_0	16	3Pφ/3Pφ
SS コントロールレジスタ 2_0	SSCR2_0	8	H'FF205	SSU_0	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 0_0	SSTDR0_0	8	H'FF206	SSU_0	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 1_0	SSTDR1_0	8	H'FF207	SSU_0	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 2_0	SSTDR2_0	8	H'FF208	SSU_0	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 3_0	SSTDR3_0	8	H'FF209	SSU_0	16	3Pφ/3Pφ
SS レシーブデータレジスタ 0_0	SSRDR0_0	8	H'FF20A	SSU_0	16	3Pφ/3Pφ
SS レシーブデータレジスタ 1_0	SSRDR1_0	8	H'FF20B	SSU_0	16	3Pφ/3Pφ
SS レシーブデータレジスタ 2_0	SSRDR2_0	8	H'FF20C	SSU_0	16	3Pφ/3Pφ
SS レシーブデータレジスタ 3_0	SSRDR3_0	8	H'FF20D	SSU_0	16	3Pφ/3Pφ
SS コントロールレジスタ H_1	SSCRH_1	8	H'FF210	SSU_1	16	3Pφ/3Pφ
SS コントロールレジスタ L_1	SSCRL_1	8	H'FF211	SSU_1	16	3Pφ/3Pφ
SS モードレジスタ_1	SSMR_1	8	H'FF212	SSU_1	16	3Pφ/3Pφ
SS イネーブルレジスタ_1	SSER_1	8	H'FF213	SSU_1	16	3Pφ/3Pφ
SS ステータスレジスタ_1	SSSR_1	8	H'FF214	SSU_1	16	3Pφ/3Pφ
SS コントロールレジスタ 2_1	SSCR2_1	8	H'FF215	SSU_1	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 0_1	SSTDR0_1	8	H'FF216	SSU_1	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 1_1	SSTDR1_1	8	H'FF217	SSU_1	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 2_1	SSTDR2_1	8	H'FF218	SSU_1	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 3_1	SSTDR3_1	8	H'FF219	SSU_1	16	3Pφ/3Pφ
SS レシーブデータレジスタ 0_1	SSRDR0_1	8	H'FF21A	SSU_1	16	3Pφ/3Pφ
SS レシーブデータレジスタ 1_1	SSRDR1_1	8	H'FF21B	SSU_1	16	3Pφ/3Pφ
SS レシーブデータレジスタ 2_1	SSRDR2_1	8	H'FF21C	SSU_1	16	3Pφ/3Pφ
SS レシーブデータレジスタ 3_1	SSRDR3_1	8	H'FF21D	SSU_1	16	3Pφ/3Pφ
SS コントロールレジスタ H_2	SSCRH_2	8	H'FF220	SSU_2	16	3Pφ/3Pφ
SS コントロールレジスタ L_2	SSCRL_2	8	H'FF221	SSU_2	16	3Pφ/3Pφ
SS モードレジスタ_2	SSMR_2	8	H'FF222	SSU_2	16	3Pφ/3Pφ
SS イネーブルレジスタ_2	SSER_2	8	H'FF223	SSU_2	16	3Pφ/3Pφ
SS ステータスレジスタ_2	SSSR_2	8	H'FF224	SSU_2	16	3Pφ/3Pφ
SS コントロールレジスタ 2_2	SSCR2_2	8	H'FF225	SSU_2	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 0_2	SSTDR0_2	8	H'FF226	SSU_2	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 1_2	SSTDR1_2	8	H'FF227	SSU_2	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 2_2	SSTDR2_2	8	H'FF228	SSU_2	16	3Pφ/3Pφ
SS トランスミットデータレジスタ 3_2	SSTDR3_2	8	H'FF229	SSU_2	16	3Pφ/3Pφ
SS レシーブデータレジスタ 0_2	SSRDR0_2	8	H'FF22A	SSU_2	16	3Pφ/3Pφ
SS レシーブデータレジスタ 1_2	SSRDR1_2	8	H'FF22B	SSU_2	16	3Pφ/3Pφ
SS レシーブデータレジスタ 2_2	SSRDR2_2	8	H'FF22C	SSU_2	16	3Pφ/3Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
SS レシーブデータレジスタ 3_2	SSRDR3_2	8	H'FF22D	SSU_2	16	3Pφ/3Pφ
ポートHリアルタイムインプットデータレジスタ	PHRTIDR	8	H'FF240	PORT	16	3Pφ/3Pφ
A/D データレジスタ A_1	ADDRA_1	16	H'FFA90	A/D_1	16	2Pφ/2Pφ
A/D データレジスタ B_1	ADDRB_1	16	H'FFA92	A/D_1	16	2Pφ/2Pφ
A/D データレジスタ C_1	ADDRC_1	16	H'FFA94	A/D_1	16	2Pφ/2Pφ
A/D データレジスタ D_1	ADDRD_1	16	H'FFA96	A/D_1	16	2Pφ/2Pφ
A/D データレジスタ E_1	ADDRE_1	16	H'FFA98	A/D_1	16	2Pφ/2Pφ
A/D データレジスタ F_1	ADDRF_1	16	H'FFA9A	A/D_1	16	2Pφ/2Pφ
A/D データレジスタ G_1	ADDRG_1	16	H'FFA9C	A/D_1	16	2Pφ/2Pφ
A/D データレジスタ H_1	ADDRH_1	16	H'FFA9E	A/D_1	16	2Pφ/2Pφ
A/D コントロール/ステータスレジスタ_1	ADCSR_1	8	H'FFAA0	A/D_1	16	2Pφ/2Pφ
A/D コントロールレジスタ_1	ADCR_1	8	H'FFAA1	A/D_1	16	2Pφ/2Pφ
タイマスタートレジスタ	TSTRB	8	H'FFB00	TPU	16	2Pφ/2Pφ
タイマシンクロレジスタ	TSYRB	8	H'FFB01	TPU	16	2Pφ/2Pφ
タイマコントロールレジスタ_6	TCR_6	8	H'FFB10	TPU_6	16	2Pφ/2Pφ
タイマモードレジスタ_6	TMDR_6	8	H'FFB11	TPU_6	16	2Pφ/2Pφ
タイマI/OコントロールレジスタH_6	TIORH_6	8	H'FFB12	TPU_6	16	2Pφ/2Pφ
タイマI/OコントロールレジスタL_6	TIORL_6	8	H'FFB13	TPU_6	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_6	TIER_6	8	H'FFB14	TPU_6	16	2Pφ/2Pφ
タイマステータスレジスタ_6	TSR_6	8	H'FFB15	TPU_6	16	2Pφ/2Pφ
タイマカウンタ_6	TCNT_6	16	H'FFB16	TPU_6	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_6	TGRA_6	16	H'FFB18	TPU_6	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_6	TGRB_6	16	H'FFB1A	TPU_6	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_6	TGRC_6	16	H'FFB1C	TPU_6	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_6	TGRD_6	16	H'FFB1E	TPU_6	16	2Pφ/2Pφ
タイマコントロールレジスタ_7	TCR_7	8	H'FFB20	TPU_7	16	2Pφ/2Pφ
タイマモードレジスタ_7	TMDR_7	8	H'FFB21	TPU_7	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_7	TIOR_7	8	H'FFB22	TPU_7	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_7	TIER_7	8	H'FFB24	TPU_7	16	2Pφ/2Pφ
タイマステータスレジスタ_7	TSR_7	8	H'FFB25	TPU_7	16	2Pφ/2Pφ
タイマカウンタ_7	TCNT_7	16	H'FFB26	TPU_7	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_7	TGRA_7	16	H'FFB28	TPU_7	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_7	TGRB_7	16	H'FFB2A	TPU_7	16	2Pφ/2Pφ
タイマコントロールレジスタ_8	TCR_8	8	H'FFB30	TPU_8	16	2Pφ/2Pφ
タイマモードレジスタ_8	TMDR_8	8	H'FFB31	TPU_8	16	2Pφ/2Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマ I/O コントロールレジスタ_8	TIOR_8	8	H'FFB32	TPU_8	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_8	TIER_8	8	H'FFB34	TPU_8	16	2Pφ/2Pφ
タイマステータスレジスタ_8	TSR_8	8	H'FFB35	TPU_8	16	2Pφ/2Pφ
タイマカウンタ_8	TCNT_8	16	H'FFB36	TPU_8	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_8	TGRA_8	16	H'FFB38	TPU_8	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_8	TGRB_8	16	H'FFB3A	TPU_8	16	2Pφ/2Pφ
タイマコントロールレジスタ_9	TCR_9	8	H'FFB40	TPU_9	16	2Pφ/2Pφ
タイマモードレジスタ_9	TMDR_9	8	H'FFB41	TPU_9	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ H_9	TIORH_9	8	H'FFB42	TPU_9	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ L_9	TIORL_9	8	H'FFB43	TPU_9	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_9	TIER_9	8	H'FFB44	TPU_9	16	2Pφ/2Pφ
タイマステータスレジスタ_9	TSR_9	8	H'FFB45	TPU_9	16	2Pφ/2Pφ
タイマカウンタ_9	TCNT_9	16	H'FFB46	TPU_9	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_9	TGRA_9	16	H'FFB48	TPU_9	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_9	TGRB_9	16	H'FFB4A	TPU_9	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_9	TGRC_9	16	H'FFB4C	TPU_9	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_9	TGRD_9	16	H'FFB4E	TPU_9	16	2Pφ/2Pφ
タイマコントロールレジスタ_10	TCR_10	8	H'FFB50	TPU_10	16	2Pφ/2Pφ
タイマモードレジスタ_10	TMDR_10	8	H'FFB51	TPU_10	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ_10	TIOR_10	8	H'FFB52	TPU_10	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_10	TIER_10	8	H'FFB54	TPU_10	16	2Pφ/2Pφ
タイマステータスレジスタ_10	TSR_10	8	H'FFB55	TPU_10	16	2Pφ/2Pφ
タイマカウンタ_10	TCNT_10	16	H'FFB56	TPU_10	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_10	TGRA_10	16	H'FFB58	TPU_10	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_10	TGRB_10	16	H'FFB5A	TPU_10	16	2Pφ/2Pφ
タイマコントロールレジスタ_11	TCR_11	8	H'FFB60	TPU_11	16	2Pφ/2Pφ
タイマモードレジスタ_11	TMDR_11	8	H'FFB61	TPU_11	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ_11	TIOR_11	8	H'FFB62	TPU_11	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_11	TIER_11	8	H'FFB64	TPU_11	16	2Pφ/2Pφ
タイマステータスレジスタ_11	TSR_11	8	H'FFB65	TPU_11	16	2Pφ/2Pφ
タイマカウンタ_11	TCNT_11	16	H'FFB66	TPU_11	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_11	TGRA_11	16	H'FFB68	TPU_11	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_11	TGRB_11	16	H'FFB6A	TPU_11	16	2Pφ/2Pφ
ポート 1 データディレクションレジスタ	P1DDR	8	H'FFB80	I/O ポート	8	2Pφ/2Pφ
ポート 2 データディレクションレジスタ	P2DDR	8	H'FFB81	I/O ポート	8	2Pφ/2Pφ
ポート 3 データディレクションレジスタ	P3DDR	8	H'FFB82	I/O ポート	8	2Pφ/2Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ポート 6 データディレクションレジスタ	P6DDR	8	H'FFB85	I/O ポート	8	2Pφ/2Pφ
ポート A データディレクションレジスタ	PADDR	8	H'FFB89	I/O ポート	8	2Pφ/2Pφ
ポート D データディレクションレジスタ	PDDDR	8	H'FFB8C	I/O ポート	8	2Pφ/2Pφ
ポート 1 入力バッファコントロールレジスタ	P1ICR	8	H'FFB90	I/O ポート	8	2Pφ/2Pφ
ポート 2 入力バッファコントロールレジスタ	P2ICR	8	H'FFB91	I/O ポート	8	2Pφ/2Pφ
ポート 3 入力バッファコントロールレジスタ	P3ICR	8	H'FFB92	I/O ポート	8	2Pφ/2Pφ
ポート 4 入力バッファコントロールレジスタ	P4ICR	8	H'FFB93	I/O ポート	8	2Pφ/2Pφ
ポート 5 入力バッファコントロールレジスタ	P5ICR	8	H'FFB94	I/O ポート	8	2Pφ/2Pφ
ポート 6 入力バッファコントロールレジスタ	P6ICR	8	H'FFB95	I/O ポート	8	2Pφ/2Pφ
ポート A 入力バッファコントロールレジスタ	PAICR	8	H'FFB99	I/O ポート	8	2Pφ/2Pφ
ポート D 入力バッファコントロールレジスタ	PDICR	8	H'FFB9C	I/O ポート	8	2Pφ/2Pφ
ポート H レジスタ	PORTH	8	H'FFBA0	I/O ポート	8	2Pφ/2Pφ
ポート J レジスタ	PORTJ	8	H'FFBA2	I/O ポート	8	2Pφ/2Pφ
ポート K レジスタ	PORTK	8	H'FFBA3	I/O ポート	8	2Pφ/2Pφ
ポート H データレジスタ	PHDR	8	H'FFBA4	I/O ポート	8	2Pφ/2Pφ
ポート J データレジスタ	PJDR	8	H'FFBA6	I/O ポート	8	2Pφ/2Pφ
ポート K データレジスタ	PKDR	8	H'FFBA7	I/O ポート	8	2Pφ/2Pφ
ポート H データディレクションレジスタ	PHDDR	8	H'FFBA8	I/O ポート	8	2Pφ/2Pφ
ポート J データディレクションレジスタ	PJDDR	8	H'FFBAA	I/O ポート	8	2Pφ/2Pφ
ポート K データディレクションレジスタ	PKDDR	8	H'FFBAB	I/O ポート	8	2Pφ/2Pφ
ポート H 入力バッファコントロールレジスタ	PHICR	8	H'FFBAC	I/O ポート	8	2Pφ/2Pφ
ポート J 入力バッファコントロールレジスタ	PJICR	8	H'FFBAE	I/O ポート	8	2Pφ/2Pφ
ポート K 入力バッファコントロールレジスタ	PKICR	8	H'FFBAF	I/O ポート	8	2Pφ/2Pφ
ポート D ブルアップ MOS コントロールレジスタ	PDPCR	8	H'FFBB4	I/O ポート	8	2Pφ/2Pφ
ポート H ブルアップ MOS コントロールレジスタ	PHPCR	8	H'FFBB8	I/O ポート	8	2Pφ/2Pφ
ポート J ブルアップ MOS コントロールレジスタ	PJPCR	8	H'FFBBA	I/O ポート	8	2Pφ/2Pφ
ポート K ブルアップ MOS コントロールレジスタ	PKPCR	8	H'FFBBB	I/O ポート	8	2Pφ/2Pφ
ポート 2 オープンドレインコントロールレジスタ	P2ODR	8	H'FFBBC	I/O ポート	8	2Pφ/2Pφ
ポートファンクションコントロールレジスタ 9	PFCR9	8	H'FFBC9	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ A	PFCRA	8	H'FFBCA	I/O ポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ B	PFCRB	8	H'FFBCB	I/O ポート	8	2Pφ/3Pφ
ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ	SSIER	16	H'FFBCE	INTC	8	2Pφ/3Pφ
DMA ソースアドレスレジスタ_0	DSAR_0	32	H'FFC00	DMAC_0	16	21φ/21φ
DMA デスティネーションアドレスレジスタ_0	DDAR_0	32	H'FFC04	DMAC_0	16	21φ/21φ
DMA オフセットレジスタ_0	DOFR_0	32	H'FFC08	DMAC_0	16	21φ/21φ
DMA 転送カウントレジスタ_0	DTCR_0	32	H'FFC0C	DMAC_0	16	21φ/21φ

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
DMA ブロックサイズレジスタ_0	DBSR_0	32	H'FFC10	DMAC_0	16	21φ/21φ
DMA モードコントロールレジスタ_0	DMDR_0	32	H'FFC14	DMAC_0	16	21φ/21φ
DMA アドレスコントロールレジスタ_0	DACR_0	32	H'FFC18	DMAC_0	16	21φ/21φ
DMA ソースアドレスレジスタ_1	DSAR_1	32	H'FFC20	DMAC_1	16	21φ/21φ
DMA デスティネーションアドレスレジスタ_1	DDAR_1	32	H'FFC24	DMAC_1	16	21φ/21φ
DMA オフセットレジスタ_1	DOFR_1	32	H'FFC28	DMAC_1	16	21φ/21φ
DMA 転送カウントレジスタ_1	DTCR_1	32	H'FFC2C	DMAC_1	16	21φ/21φ
DMA ブロックサイズレジスタ_1	DBSR_1	32	H'FFC30	DMAC_1	16	21φ/21φ
DMA モードコントロールレジスタ_1	DMDR_1	32	H'FFC34	DMAC_1	16	21φ/21φ
DMA アドレスコントロールレジスタ_1	DACR_1	32	H'FFC38	DMAC_1	16	21φ/21φ
DMA ソースアドレスレジスタ_2	DSAR_2	32	H'FFC40	DMAC_2	16	21φ/21φ
DMA デスティネーションアドレスレジスタ_2	DDAR_2	32	H'FFC44	DMAC_2	16	21φ/21φ
DMA オフセットレジスタ_2	DOFR_2	32	H'FFC48	DMAC_2	16	21φ/21φ
DMA 転送カウントレジスタ_2	DTCR_2	32	H'FFC4C	DMAC_2	16	21φ/21φ
DMA ブロックサイズレジスタ_2	DBSR_2	32	H'FFC50	DMAC_2	16	21φ/21φ
DMA モードコントロールレジスタ_2	DMDR_2	32	H'FFC54	DMAC_2	16	21φ/21φ
DMA アドレスコントロールレジスタ_2	DACR_2	32	H'FFC58	DMAC_2	16	21φ/21φ
DMA ソースアドレスレジスタ_3	DSAR_3	32	H'FFC60	DMAC_3	16	21φ/21φ
DMA デスティネーションアドレスレジスタ_3	DDAR_3	32	H'FFC64	DMAC_3	16	21φ/21φ
DMA オフセットレジスタ_3	DOFR_3	32	H'FFC68	DMAC_3	16	21φ/21φ
DMA 転送カウントレジスタ_3	DTCR_3	32	H'FFC6C	DMAC_3	16	21φ/21φ
DMA ブロックサイズレジスタ_3	DBSR_3	32	H'FFC70	DMAC_3	16	21φ/21φ
DMA モードコントロールレジスタ_3	DMDR_3	32	H'FFC74	DMAC_3	16	21φ/21φ
DMA アドレスコントロールレジスタ_3	DACR_3	32	H'FFC78	DMAC_3	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_0	DMRSR_0	8	H'FFD20	DMAC_0	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_1	DMRSR_1	8	H'FFD21	DMAC_1	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_2	DMRSR_2	8	H'FFD22	DMAC_2	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_3	DMRSR_3	8	H'FFD23	DMAC_3	16	21φ/21φ
インタラプトプライオリティレジスタ A	IPRA	16	H'FFD40	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ B	IPRB	16	H'FFD42	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ C	IPRC	16	H'FFD44	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ D	IPRD	16	H'FFD46	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ E	IPRE	16	H'FFD48	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ F	IPRF	16	H'FFD4A	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ G	IPRG	16	H'FFD4C	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ I	IPRI	16	H'FFD50	INTC	16	21φ/31φ

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
インタラププライオリティレジスタ K	IPRK	16	H'FFD54	INTC	16	21φ/31φ
インタラププライオリティレジスタ L	IPRL	16	H'FFD56	INTC	16	21φ/31φ
インタラププライオリティレジスタ M	IPRM	16	H'FFD58	INTC	16	21φ/31φ
インタラププライオリティレジスタ N	IPRN	16	H'FFD5A	INTC	16	21φ/31φ
インタラププライオリティレジスタ O	IPRO	16	H'FFD5C	INTC	16	21φ/31φ
インタラププライオリティレジスタ Q	IPRQ	16	H'FFD60	INTC	16	21φ/31φ
インタラププライオリティレジスタ R	IPRR	16	H'FFD62	INTC	16	21φ/31φ
IRQ センسコントロールレジスタ H	ISCRH	16	H'FFD68	INTC	16	21φ/31φ
IRQ センスコントロールレジスタ L	ISCRL	16	H'FFD6A	INTC	16	21φ/31φ
バスコントロールレジスタ 2	BCR2	8	H'FFD94	BSC	16	21φ/31φ
RAM エミュレーションレジスタ	RAMER	8	H'FFD9E	BSC	16	21φ/31φ
モードコントロールレジスタ	MDCR	16	H'FFDC0	SYSTEM	16	21φ/31φ
システムコントロールレジスタ	SYSCR	16	H'FFDC2	SYSTEM	16	21φ/31φ
システムクロックコントロールレジスタ	SCKCR	16	H'FFDC4	SYSTEM	16	21φ/31φ
スタンバイコントロールレジスタ	SBYCR	16	H'FFDC6	SYSTEM	16	21φ/31φ
モジュールストップコントロールレジスタ A	MSTPCRA	16	H'FFDC8	SYSTEM	16	21φ/31φ
モジュールストップコントロールレジスタ B	MSTPCRB	16	H'FFDCA	SYSTEM	16	21φ/31φ
モジュールストップコントロールレジスタ C	MSTPCRC	16	H'FFDCC	SYSTEM	16	21φ/31φ
シリアルモードレジスタ_3	SMR_3	8	H'FFE88	SCI_3	8	2Pφ/2Pφ
ビットレートレジスタ_3	BRR_3	8	H'FFE89	SCI_3	8	2Pφ/2Pφ
シリアルコントロールレジスタ_3	SCR_3	8	H'FFE8A	SCI_3	8	2Pφ/2Pφ
トランスミットデータレジスタ_3	TDR_3	8	H'FFE8B	SCI_3	8	2Pφ/2Pφ
シリアルステータスレジスタ_3	SSR_3	8	H'FFE8C	SCI_3	8	2Pφ/2Pφ
レシーブデータレジスタ_3	RDR_3	8	H'FFE8D	SCI_3	8	2Pφ/2Pφ
スマートカードモードレジスタ_3	SCMR_3	8	H'FFE8E	SCI_3	8	2Pφ/2Pφ
シリアルモードレジスタ_4	SMR_4	8	H'FFE90	SCI_4	8	2Pφ/2Pφ
ビットレートレジスタ_4	BRR_4	8	H'FFE91	SCI_4	8	2Pφ/2Pφ
シリアルコントロールレジスタ_4	SCR_4	8	H'FFE92	SCI_4	8	2Pφ/2Pφ
トランスミットデータレジスタ_4	TDR_4	8	H'FFE93	SCI_4	8	2Pφ/2Pφ
シリアルステータスレジスタ_4	SSR_4	8	H'FFE94	SCI_4	8	2Pφ/2Pφ
レシーブデータレジスタ_4	RDR_4	8	H'FFE95	SCI_4	8	2Pφ/2Pφ
スマートカードモードレジスタ_4	SCMR_4	8	H'FFE96	SCI_4	8	2Pφ/2Pφ
フラッシュコードコントロールステータスレジスタ	FCCS	8	H'FFEA8	FLASH	8	2Pφ/2Pφ
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FFEA9	FLASH	8	2Pφ/2Pφ
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FFEAA	FLASH	8	2Pφ/2Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
フラッシュキークードレジスタ	FKEY	8	H'FFEAC	FLASH	8	2Pφ/2Pφ
フラッシュマットセレクトレジスタ	FMATS	8	H'FFEAD	FLASH	8	2Pφ/2Pφ
フラッシュトランスファディステーション アドレスレジスタ	FTDAR	8	H'FFEAE	FLASH	8	2Pφ/2Pφ
タイマコントロールレジスタ_4	TCR_4	8	H'FFEE0	TPU_4*2	16	2Pφ/2Pφ
タイマモードレジスタ_4	TMDR_4	8	H'FFEE1	TPU_4*2	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_4	TIOR_4	8	H'FFEE2	TPU_4*2	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFEE4	TPU_4*2	16	2Pφ/2Pφ
タイマステータスレジスタ_4	TSR_4	8	H'FFEE5	TPU_4*2	16	2Pφ/2Pφ
タイマカウンタ_4	TCNT_4	16	H'FFEE6	TPU_4*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFEE8	TPU_4*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFEEA	TPU_4*2	16	2Pφ/2Pφ
タイマコントロールレジスタ_5	TCR_5	8	H'FFEF0	TPU_5*2	16	2Pφ/2Pφ
タイマモードレジスタ_5	TMDR_5	8	H'FFEF1	TPU_5*2	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_5	TIOR_5	8	H'FFEF2	TPU_5*2	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFEF4	TPU_5*2	16	2Pφ/2Pφ
タイマステータスレジスタ_5	TSR_5	8	H'FFEF5	TPU_5*2	16	2Pφ/2Pφ
タイマカウンタ_5	TCNT_5	16	H'FFEF6	TPU_5*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FFEF8	TPU_5*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FFEFA	TPU_5*2	16	2Pφ/2Pφ
割り込みコントロールレジスタ	INTCR	8	H'FFF32	INTC	16	2Iφ/3Iφ
CPU プライオリティコントロールレジスタ	CPUPCR	8	H'FFF33	INTC	16	2Iφ/3Iφ
IRQ イネーブルレジスタ	IER	16	H'FFF34	INTC	16	2Iφ/3Iφ
IRQ ステータスレジスタ	ISR	16	H'FFF36	INTC	16	2Iφ/3Iφ
ポート 1 レジスタ	PORT1	8	H'FFF40	I/O ポート	8	2Pφ/-
ポート 2 レジスタ	PORT2	8	H'FFF41	I/O ポート	8	2Pφ/-
ポート 3 レジスタ	PORT3	8	H'FFF42	I/O ポート	8	2Pφ/-
ポート 4 レジスタ	PORT4	8	H'FFF43	I/O ポート	8	2Pφ/-
ポート 5 レジスタ	PORT5	8	H'FFF44	I/O ポート	8	2Pφ/-
ポート 6 レジスタ	PORT6	8	H'FFF45	I/O ポート	8	2Pφ/-
ポート A レジスタ	PORTA	8	H'FFF49	I/O ポート	8	2Pφ/-
ポート D レジスタ	PORTD	8	H'FFF4C	I/O ポート	8	2Pφ/-
ポート 1 データレジスタ	P1DR	8	H'FFF50	I/O ポート	8	2Pφ/2Pφ
ポート 2 データレジスタ	P2DR	8	H'FFF51	I/O ポート	8	2Pφ/2Pφ
ポート 3 データレジスタ	P3DR	8	H'FFF52	I/O ポート	8	2Pφ/2Pφ
ポート 6 データレジスタ	P6DR	8	H'FFF55	I/O ポート	8	2Pφ/2Pφ

20. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
ポート A データレジスタ	PADR	8	H'FFF59	I/O ポート	8	2Pφ/2Pφ
ポート D データレジスタ	PDDR	8	H'FFF5C	I/O ポート	8	2Pφ/2Pφ
PPG 出力コントロールレジスタ	PCR	8	H'FFF76	PPG*2	8	2Pφ/2Pφ
PPG 出力モードレジスタ	PMR	8	H'FFF77	PPG*2	8	2Pφ/2Pφ
ネクストデータインエーブルレジスタ H	NDERH	8	H'FFF78	PPG*2	8	2Pφ/2Pφ
ネクストデータインエーブルレジスタ L	NDERL	8	H'FFF79	PPG*2	8	2Pφ/2Pφ
アウトプットデータレジスタ H	PODRH	8	H'FFF7A	PPG*2	8	2Pφ/2Pφ
アウトプットデータレジスタ L	PODRL	8	H'FFF7B	PPG*2	8	2Pφ/2Pφ
ネクストデータレジスタ H	NDRH	8	H'FFF7C	PPG*2	8	2Pφ/2Pφ
ネクストデータレジスタ L	NDRL	8	H'FFF7D	PPG*2	8	2Pφ/2Pφ
ネクストデータレジスタ H	NDRH	8	H'FFF7E	PPG*2	8	2Pφ/2Pφ
ネクストデータレジスタ L	NDRL	8	H'FFF7F	PPG*2	8	2Pφ/2Pφ
A/D データレジスタ A_0	ADDRA_0	16	H'FFF90	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ B_0	ADDRB_0	16	H'FFF92	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ C_0	ADDRC_0	16	H'FFF94	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ D_0	ADDRD_0	16	H'FFF96	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ E_0	ADDRE_0	16	H'FFF98	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ F_0	ADDRF_0	16	H'FFF9A	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ G_0	ADDRG_0	16	H'FFF9C	A/D_0	16	2Pφ/2Pφ
A/D データレジスタ H_0	ADDRH_0	16	H'FFF9E	A/D_0	16	2Pφ/2Pφ
A/D コントロール/ステータスレジスタ_0	ADCSR_0	8	H'FFFA0	A/D_0	16	2Pφ/2Pφ
A/D コントロールレジスタ_0	ADCR_0	8	H'FFFA1	A/D_0	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFFA4	WDT		2Pφ/3Pφ
タイマカウンタ	TCNT	8	H'FFFA5	WDT		2Pφ/3Pφ
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FFFA7	WDT		2Pφ/3Pφ
タイマスタートレジスタ	TSTR	8	H'FFFBC	TPU*2	16	2Pφ/2Pφ
タイマシンクロレジスタ	TSYR	8	H'FFFBD	TPU*2	16	2Pφ/2Pφ
タイマコントロールレジスタ_0	TCR_0	8	H'FFFC0	TPU_0*2	16	2Pφ/2Pφ
タイマモードレジスタ_0	TMDR_0	8	H'FFFC1	TPU_0*2	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFFC2	TPU_0*2	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFFC3	TPU_0*2	16	2Pφ/2Pφ
タイマインタラプトインエーブルレジスタ_0	TIER_0	8	H'FFFC4	TPU_0*2	16	2Pφ/2Pφ
タイマステータスレジスタ_0	TSR_0	8	H'FFFC5	TPU_0*2	16	2Pφ/2Pφ
タイマカウンタ_0	TCNT_0	16	H'FFFC6	TPU_0*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFFC8	TPU_0*2	16	2Pφ/2Pφ

レジスタ名称	略称	ビット 数	アドレス*1	モジュール	データ バス幅	アクセス ステート数
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFFC A	TPU_0*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFFC C	TPU_0*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFFC E	TPU_0*2	16	2Pφ/2Pφ
タイマコントロールレジスタ_1	TCR_1	8	H'FFFD 0	TPU_1*2	16	2Pφ/2Pφ
タイマモードレジスタ_1	TMDR_1	8	H'FFFD 1	TPU_1*2	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_1	TIOR_1	8	H'FFFD 2	TPU_1*2	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFD 4	TPU_1*2	16	2Pφ/2Pφ
タイマステータスレジスタ_1	TSR_1	8	H'FFFD 5	TPU_1*2	16	2Pφ/2Pφ
タイマカウンタ_1	TCNT_1	16	H'FFFD 6	TPU_1*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFFD 8	TPU_1*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFFD A	TPU_1*2	16	2Pφ/2Pφ
タイマコントロールレジスタ_2	TCR_2	8	H'FFFE 0	TPU_2*2	16	2Pφ/2Pφ
タイマモードレジスタ_2	TMDR_2	8	H'FFFE 1	TPU_2*2	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_2	TIOR_2	8	H'FFFE 2	TPU_2*2	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE 4	TPU_2*2	16	2Pφ/2Pφ
タイマステータスレジスタ_2	TSR_2	8	H'FFFE 5	TPU_2*2	16	2Pφ/2Pφ
タイマカウンタ_2	TCNT_2	16	H'FFFE 6	TPU_2*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFFE 8	TPU_2*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFE A	TPU_2*2	16	2Pφ/2Pφ
タイマコントロールレジスタ_3	TCR_3	8	H'FFFF 0	TPU_3*2	16	2Pφ/2Pφ
タイマモードレジスタ_3	TMDR_3	8	H'FFFF 1	TPU_3*2	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ H_3	TIORH_3	8	H'FFFF 2	TPU_3*2	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ L_3	TIORL_3	8	H'FFFF 3	TPU_3*2	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFF 4	TPU_3*2	16	2Pφ/2Pφ
タイマステータスレジスタ_3	TSR_3	8	H'FFFF 5	TPU_3*2	16	2Pφ/2Pφ
タイマカウンタ_3	TCNT_3	16	H'FFFF 6	TPU_3*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_3	TGRA_3	16	H'FFFF 8	TPU_3*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_3	TGRB_3	16	H'FFFF A	TPU_3*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ C_3	TGRC_3	16	H'FFFF C	TPU_3*2	16	2Pφ/2Pφ
タイマジェネラルレジスタ D_3	TGRD_3	16	H'FFFF E	TPU_3*2	16	2Pφ/2Pφ

【注】 *1 アドレスの下位 20 ビットを示しています。

*2 H8SX/1527R のみ内蔵しています。

20. レジスタ一覧

20.2 レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
MCR	MCR15	MCR14	—	—	—	TST2	TST1	TST0	RCAN-ET
	MCR7	MCR6	MCR5	—	—	MCR2	MCR1	MCR0	
GSR	—	—	—	—	—	—	—	—	
	—	—	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
BCR1	TSG13	TSG12	TSG11	TSG10	—	TSG22	TSG21	TSG20	
	—	—	SJW1	SJW0	—	—	—	BSP	
BCR0	—	—	—	—	—	—	—	—	
	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	
IRR	—	—	IRR13	IRR12	—	—	IRR9	IRR8	
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
IMR	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
TEC/REC	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
TXPR1	TXPR115	TXPR114	TXPR113	TXPR112	TXPR111	TXPR110	TXPR19	TXPR18	
	TXPR17	TXPR16	TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	
TXPR0	TXPR015	TXPR014	TXPR013	TXPR012	TXPR011	TXPR010	TXPR09	TXPR08	
	TXPR07	TXPR06	TXPR05	TXPR04	TXPR03	TXPR02	TXPR01	—	
TXCR0	TXCR015	TXCR014	TXCR013	TXCR012	TXCR011	TXCR010	TXCR09	TXCR08	
	TXCR07	TXCR06	TXCR05	TXCR04	TXCR03	TXCR02	TXCR01	TXCR00	
TXACK0	TXACK015	TXACK014	TXACK013	TXACK012	TXACK011	TXACK010	TXACK09	TXACK08	
	TXACK07	TXACK06	TXACK05	TXACK04	TXACK03	TXACK02	TXACK01	—	
ABACK0	ABACK015	ABACK014	ABACK013	ABACK012	ABACK011	ABACK010	ABACK09	ABACK08	
	ABACK07	ABACK06	ABACK05	ABACK04	ABACK03	ABACK02	ABACK01	—	
RXPR0	RXPR015	RXPR014	RXPR013	RXPR012	RXPR011	RXPR010	RXPR09	RXPR08	
	RXPR07	RXPR06	RXPR05	RXPR04	RXPR03	RXPR02	RXPR01	RXPR00	
RFPR0	RFPR015	RFPR014	RFPR013	RFPR012	RFPR011	RFPR010	RFPR09	RFPR08	
	RFPR07	RFPR06	RFPR05	RFPR04	RFPR03	RFPR02	RFPR01	RFPR00	
MBIMR0	MBIMR015	MBIMR014	MBIMR013	MBIMR012	MBIMR011	MBIMR010	MBIMR09	MBIMR08	
	MBIMR07	MBIMR06	MBIMR05	MBIMR04	MBIMR03	MBIMR02	MBIMR01	MBIMR00	

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
UMSR0	UMSR015	UMSR014	UMSR013	UMSR012	UMSR011	UMSR010	UMSR09	UMSR08	RCAN-ET
	UMSR07	UMSR06	UMSR05	UMSR04	UMSR03	UMSR02	UMSR01	UMSR00	
MB[0].	IDE	RTR	—	STDID10	STDID9	STDID8	STDID7	STDID6	RCAN-ET
CONTROL0H	STDID5	STDID4	STDID3	STDID2	STDID1	STDID0	EXTID17	EXTID16	(MCR15=1)
MB[0].	—	STDID10	STDID9	STDID8	STDID7	STDID6	STDID5	STDID4	RCAN-ET
CONTROL0H	STDID3	STDID2	STDID1	STDID	RTR	IDE	EXTID17	EXTID16	(MCR15=0)
MB[0].	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	RCAN-ET
CONTROL0L	EXTID7	EXTID6	EXTID5	EXTID4	EXTID3	EXTID2	EXTID1	EXTID0	
MB[0].	IDE_LAFM	—	—	STDID_	STDID_	STDID_	STDID_	STDID_	RCAN-ET
LAFMH				LAFM10	LAFM9	LAFM8	LAFM7	LAFM6	(MCR15=1)
	STDID_	STDID_	STDID_	STDID_	STDID_	STDID_	EXTID_	EXTID_	
	LAFM5	LAFM4	LAFM3	LAFM2	LAFM1	LAFM0	LAFM17	LAFM16	
MB[0].	—	STDID_	RCAN-ET						
LAFMH		LAFM10	LAFM9	LAFM8	LAFM7	LAFM6	LAFM5	LAFM4	(MCR15=0)
	STDID_	STDID_	STDID_	STDID_	—	IDE_LAFM	EXTID_	EXTID_	
	LAFM3	LAFM2	LAFM1	LAFM0			LAFM17	LAFM16	
MB[0].	EXTID_	RCAN-ET							
LAFML	LAFM15	LAFM14	LAFM13	LAFM12	LAFM11	LAFM10	LAFM9	LAFM8	
	EXTID_								
	LAFM7	LAFM6	LAFM5	LAFM4	LAFM3	LAFM2	LAFM1	LAFM0	
MB[0].									
MSG_DATA[0]					MSG_DATA_0				
MB[0].									
MSG_DATA[1]					MSG_DATA_1				
MB[0].									
MSG_DATA[2]					MSG_DATA_2				
MB[0].									
MSG_DATA[3]					MSG_DATA_3				
MB[0].									
MSG_DATA[4]					MSG_DATA_4				
MB[0].									
MSG_DATA[5]					MSG_DATA_5				
MB[0].									
MSG_DATA[6]					MSG_DATA_6				
MB[0].									
MSG_DATA[7]					MSG_DATA_7				
MB[0].	—	—	NMC	—	—	MBC2	MBC1	MBC0	
CONTROL1H									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
MB[0]. CONTROL1L	—	—	—	—	DLC3	DLC2	DLC1	DLC0	RCAN-ET
MB[1]. CONTROL0H	IDE	RTR	—	STDID10	STDID9	STDID8	STDID7	STDID6	RCAN-ET (MCR15=1)
MB[1]. CONTROL0H	—	STDID10	STDID9	STDID8	STDID7	STDID6	STDID5	STDID4	RCAN-ET (MCR15=1)
MB[1]. CONTROL0L	EXTID15	EXTID14	EXTID13	EXTID12	EXTID11	EXTID10	EXTID9	EXTID8	RCAN-ET
MB[1]. LAFMH	IDE_LAFM	—	—	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	RCAN-ET (MCR15=1)
MB[1]. LAFMH	—	STDID_ LAFM10	STDID_ LAFM9	STDID_ LAFM8	STDID_ LAFM7	STDID_ LAFM6	STDID_ LAFM5	STDID_ LAFM4	RCAN-ET (MCR15=0)
MB[1]. LAFML	EXTID_ LAFM15	EXTID_ LAFM14	EXTID_ LAFM13	EXTID_ LAFM12	EXTID_ LAFM11	EXTID_ LAFM10	EXTID_ LAFM9	EXTID_ LAFM8	RCAN-ET
MB[1]. MSG_DATA[0]									
MB[1]. MSG_DATA[1]									
MB[1]. MSG_DATA[2]									
MB[1]. MSG_DATA[3]									
MB[1]. MSG_DATA[4]									
MB[1]. MSG_DATA[5]									
MB[1]. MSG_DATA[6]									
MB[1]. MSG_DATA[7]									
MB[1]. CONTROL1H	—	—	NMC	ATX	DART	MBC2	MBC1	MBC0	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
MB[1] CONTROL1L	-	-	-	-	DLC3	DLC2	DLC1	DLC0	RCAN-ET
MB[2]	MB[1]と同じビット構成								
MB[3]	MB[1]と同じビット構成								
↓	(繰り返し)								
MB[13]	MB[1]と同じビット構成								
MB[14]	MB[1]と同じビット構成								
MB[15]	MB[1]と同じビット構成								
RCANMON	-	CTxSTP	RCANE	-	-	-	CTxD	CRxD	
SSCRH_0	MSS	BIDE	-	SOL	SOLP	SCKS	CSS1	CSS0	SSU_0
SSCRL_0	-	SSUMS	SRES	-	-	-	DATS1	DATS0	
SSMR_0	MLS	CPOS	CPHS	-	-	CKS2	CKS1	CKS0	
SSER_0	TE	RE	-	-	TEIE	TIE	RIE	CEIE	
SSSR_0	-	ORER	-	-	TEND	TDRE	RDRF	CE	
SSCR2_0	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	-	-	
SSTDR0_0									
SSTDR1_0									
SSTDR2_0									
SSTDR3_0									
SSRDR0_0									
SSRDR1_0									
SSRDR2_0									
SSRDR3_0									
SSCRH_1	MSS	BIDE	-	SOL	SOLP	SCKS	CSS1	CSS0	SSU_1
SSCRL_1	-	SSUMS	SRES	-	-	-	DATS1	DATS0	
SSMR_1	MLS	CPOS	CPHS	-	-	CKS2	CKS1	CKS0	
SSER_1	TE	RE	-	-	TEIE	TIE	RIE	CEIE	
SSSR_1	-	ORER	-	-	TEND	TDRE	RDRF	CE	
SSCR2_1	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	-	-	
SSTDR0_1									
SSTDR1_1									
SSTDR2_1									
SSTDR3_1									
SSRDR0_1									
SSRDR1_1									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SSRDR2_1									SSU_1
SSRDR3_1									
SSCRH_2	MSS	BIDE	—	SOL	SOLP	SCKS	CSS1	CSS0	SSU_2
SSCRL_2	—	SSUMS	SRES	—	—	—	DATS1	DATS0	
SSMR_2	MLS	CPOS	CPHS	—	—	CKS2	CKS1	CKS0	
SSER_2	TE	RE	—	—	TEIE	TIE	RIE	CEIE	
SSSR_2	—	ORER	—	—	TEND	TDRE	RDRF	CE	
SSCR2_2	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	—	—	
SSTDR0_2									
SSTDR1_2									
SSTDR2_2									
SSTDR3_2									
SSRD0_2									
SSRDR1_2									
SSRDR2_2									
SSRDR3_2									
PHRTIDR	PHRTIDR7	PHRTIDR6	PHRTIDR5	PHRTIDR4	PHRTIDR3	PHRTIDR2	PHRTIDR1	PHRTIDR0	I/Oポート
ADDRA_1			—	—	—	—	—	—	A/D_1
ADDRB_1			—	—	—	—	—	—	
ADDRC_1			—	—	—	—	—	—	
ADDRD_1			—	—	—	—	—	—	
ADDRE_1			—	—	—	—	—	—	
ADDRF_1			—	—	—	—	—	—	
ADDRG_1			—	—	—	—	—	—	
ADDRH_1			—	—	—	—	—	—	
ADCSR_1	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0	
ADCR_1	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	—	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TSTRB	—	—	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYRB	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
TCR_6	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_6
TMDR_6	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_6	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_6	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_6	—	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_6	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_6	_____								
TGRA_6	_____								
TGRB_6	_____								
TGRC_6	_____								
TGRD_6	_____								
TCR_7	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_7
TMDR_7	—	—	—	—	—	MD2	MD1	MD0	
TIOR_7	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_7	—	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_7	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_7	_____								
TGRA_7	_____								
TGRB_7	_____								
TCR_8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_8
TMDR_8	—	—	—	—	—	MD2	MD1	MD0	
TIOR_8	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_8	—	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_8	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_8	_____								

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TGRA_8									TPU_8
TGRB_8									
TCR_9	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_9
TMDR_9	–	–	BFB	BFA	–	MD2	MD1	MD0	
TIORH_9	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_9	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_9	–	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_9	–	–	–	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_9									
TGRA_9									
TGRB_9									
TGRC_9									
TGRD_9									
TCR_10	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_10
TMDR_10	–	–	–	–	–	MD2	MD1	MD0	
TIOR_10	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_10	–	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_10	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
TCNT_10									
TGRA_10									
TGRB_10									
TCR_11	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_11
TMDR_11	–	–	–	–	–	MD2	MD1	MD0	
TIOR_11	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_11	–	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_11	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TCNT_11									TPU_11
TGRA_11									
TGRB_11									
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	I/Oポート
P2DDR	—	—	—	—	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P6DDR	—	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	—	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
P1ICR	P17ICR	P16ICR	P15ICR	P14ICR	P13ICR	P12ICR	P11ICR	P10ICR	
P2ICR	—	—	—	—	P23ICR	P22ICR	P21ICR	P20ICR	
P3ICR	P37ICR	P36ICR	P35ICR	P34ICR	P33ICR	P32ICR	P31ICR	P30ICR	
P4ICR	P47ICR	P46ICR	P45ICR	P44ICR	P43ICR	P42ICR	P41ICR	P40ICR	
P5ICR	P57ICR	P56ICR	P55ICR	P54ICR	P53ICR	P52ICR	P51ICR	P50ICR	
P6ICR	—	P66ICR	P65ICR	P64ICR	P63ICR	P62ICR	P61ICR	P60ICR	
PAICR	PA7ICR	PA6ICR	PA5ICR	PA4ICR	PA3ICR	PA2ICR	PA1ICR	—	
PDICR	PD7ICR	PD6ICR	PD5ICR	PD4ICR	PD3ICR	PD2ICR	PD1ICR	PD0ICR	
PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	
PORTJ	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0	
PORTK	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0	
PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
PJDR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR	
PKDR	PK7DR	PK6DR	PK5DR	PK4DR	PK3DR	PK2DR	PK1DR	PK0DR	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	
PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR	
PKDDR	PK7DDR	PK6DDR	PK5DDR	PK4DDR	PK3DDR	PK2DDR	PK1DDR	PK0DDR	
PHICR	PH7ICR	PH6ICR	PH5ICR	PH4ICR	PH3ICR	PH2ICR	PH1ICR	PH0ICR	
PJICR	PJ7ICR	PJ6ICR	PJ5ICR	PJ4ICR	PJ3ICR	PJ2ICR	PJ1ICR	PJ0ICR	
PKICR	PK7ICR	PK6ICR	PK5ICR	PK4ICR	PK3ICR	PK2ICR	PK1ICR	PK0ICR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PHPCR	PH7PCR	PH6PCR	PH5PCR	PH4PCR	PH3PCR	PH2PCR	PH1PCR	PH0PCR	
PJPCR	PJ7PCR	PJ6PCR	PJ5PCR	PJ4PCR	PJ3PCR	PJ2PCR	PJ1PCR	PJ0PCR	
PKPCR	PK7PCR	PK6PCR	PK5PCR	PK4PCR	PK3PCR	PK2PCR	PK1PCR	PK0PCR	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
P2ODR	—	—	—	—	P23ODR	P22ODR	P21ODR	P20ODR	I/Oポート
PFCR9	—	—	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B	
PFCRA	TPUMS11	TPUMS10	TPUMS9A	TPUMS9B	TPUMS8	TPUMS7	TPUMS6A	TPUMS6B	
PFCRB	—	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8	
SSIER	—	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8	INTC
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
DSAR_0									DMAC_0
DDAR_0									
DOFR_0									
DTCR_0									
DBSR_0	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_0	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	ERRF	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_0	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DSAR_1									DMAC_1
DDAR_1									
DOFR_1									
DTCR_1									
DBSR_1	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_1	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_1	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_2									DMAC_2
DDAR_2									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DOFR_2									DMAC_2
DTCR_2									
DBSR_2	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_2	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_2	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_3									DMAC_3
DDAR_3									
DOFR_3									
DTCR_3									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DBSR_3	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	DMAC_3
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_3	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_3	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DMRSR_0								DMAC_0	
DMRSR_1								DMAC_1	
DMRSR_2								DMAC_2	
DMRSR_3								DMAC_3	
IPRA	—	IPRA14	IPRA13	IPRA12	—	IPRA10	IPRA9	IPRA8	INTC
	—	IPRA6	IPRA5	IPRA4	—	IPRA2	IPRA1	IPRA0	
IPRB	—	IPRB14	IPRB13	IPRB12	—	IPRB10	IPRB9	IPRB8	
	—	IPRB6	IPRB5	IPRB4	—	IPRB2	IPRB1	IPRB0	
IPRC	—	IPRC14	IPRC13	IPRC12	—	IPRC10	IPRC9	IPRC8	
	—	IPRC6	IPRC5	IPRC4	—	IPRC2	IPRC1	IPRC0	
IPRD	—	IPRD14	IPRD13	IPRD12	—	IPRD10	IPRD9	IPRD8	
	—	IPRD6	IPRD5	IPRD4	—	—	—	—	
IPRE	—	—	—	—	—	IPRE10	IPRE9	IPRE8	
	—	—	—	—	—	—	—	—	
IPRF	—	—	—	—	—	IPRF10	IPRF9	IPRF8	
	—	IPRF6	IPRF5	IPRF4	—	IPRF2	IPRF1	IPRF0	
IPRG	—	IPRG14	IPRG13	IPRG12	—	IPRG10	IPRG9	IPRG8	
	—	IPRG6	IPRG5	IPRG4	—	IPRG2	IPRG1	IPRG0	
IPRI	—	IPRI14	IPRI13	IPRI12	—	IPRI10	IPRI9	IPRI8	
	—	IPRI6	IPRI5	IPRI4	—	IPRI2	IPRI1	IPRI0	
IPRK	—	IPRK14	IPRK13	IPRK12	—	—	—	—	
	—	—	—	—	—	—	—	—	
IPRL	—	—	—	—	—	IPRL10	IPRL9	IPRL8	
	—	IPRL6	IPRL5	IPRL4	—	IPRL2	IPRL1	IPRL0	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
IPRM	–	IPRM14	IPRM13	IPRM12	–	IPRM10	IPRM9	IPRM8	INTC
	–	IPRM6	IPRM5	IPRM4	–	IPRM2	IPRM1	IPRM0	
IPRN	–	IPRN14	IPRN13	IPRN12	–	IPRN10	IPRN9	IPRN8	
	–	IPRN6	IPRN5	IPRN4	–	IPRN2	IPRN1	IPRN0	
IPRO	–	IPRO14	IPRO13	IPRO12	–	IPRO10	IPRO9	IPRO8	
	–	IPRO6	IPRO5	IPRO4	–	–	–	–	
IPRQ	–	–	–	–	–	–	–	–	
	–	–	–	–	–	IPRQ2	IPRQ1	IPRQ0	
IPRR	–	IPRR14	IPRR13	IPRR12	–	IPRR10	IPRR9	IPRR8	
	–	IPRR6	IPRR5	IPRR4	–	IPRR2	IPRR1	IPRR0	
ISCRH	–	–	IRQ14SR	IRQ14SF	IRQ13SR	IRQ13SF	IRQ12SR	IRQ12SF	
	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF	
ISCR L	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF	
	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF	
BCR2	–	–	–	IBCCS	–	–	–	PWDBE	BSC
RAMER	–	–	–	–	RAMS	RAM2	RAM1	RAM0	
MDCR	–	–	–	–	MDS3	MDS2	MDS1	MDS0	SYSTEM
	–	–	–	–	–	–	–	–	
SYSCR	–	–	MACS	–	–	–	–	RAME	
	FLSHE	–	–	–	–	–	–	–	
SCKCR	PSTOP1	–	POSEL1	–	–	ICK2	ICK1	ICK0	
	–	PCK2	PCK1	PCK0	–	BCK2	BCK1	BCK0	
SBYCR	SSBY	–	–	STS4	STS3	STS2	STS1	STS0	
	–	–	–	–	–	–	–	–	
MSTPCRA	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8	
	–	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	
MSTPCRB	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8	
	–	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	
MSTPCRC	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8	
	–	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	
SMR_3*1	C/Ā (GM)	CHR (BLK)	PE	O/Ē	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_3
BRR_3	–	–	–	–	–	–	–	–	
SCR_3*1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_3	–	–	–	–	–	–	–	–	
SSR_3*1	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
RDR_3									SCI_3
SCMR_3	–	–	–	–	SDIR	SINV	–	SMIF	
SMR_4*1	C/ \bar{A} (GM)	CHR (BLK)	PE	O/ \bar{E}	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_4
BRR_4									
SCR_4*1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_4									
SSR_4*1	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_4									
SCMR_4	–	–	–	–	SDIR	SINV	–	SMIF	
FCCS	–	–	–	FLER	–	–	–	SCO	FLASH
FPCS	–	–	–	–	–	–	–	PPVS	
FECS	–	–	–	–	–	–	–	EPVB	
FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
TCR_4	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4*2
TMDR_4	–	–	–	–	–	MD2	MD1	MD0	
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_4	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
TCNT_4									
TGRA_4									
TGRB_4									
TCR_5	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5*2
TMDR_5	–	–	–	–	–	MD2	MD1	MD0	
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_5	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
TCNT_5									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TGRA_5									TPU_5*2
TGRB_5									
INTCR	-	-	INTM1	INTM0	NMIEG	-	-	-	INTC
CPUPCR	CPUPCE	-	-	-	IPSETE	CPUP2	CPUP1	CPUP0	
IER	-	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	-	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	I/Oポート
PORT2	-	-	-	-	P23	P22	P21	P20	
PORT3	P37	P36	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT5	P57	P56	P55	P54	P53	P52	P51	P50	
PORT6	-	P66	P65	P64	P63	P62	P61	P60	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	-	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	-	-	-	-	P23DR	P22DR	P21DR	P20DR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P6DR	-	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	-	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	-	-	-	-	PPG*2
PMR	G3INV	G2INV	-	-	G3NOV	G2NOV	-	-	
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
ADDRA_0									A/D_0
ADDRB_0									

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
ADDRC_0	_____								A/D_0
			-	-	-	-	-	-	
ADDRD_0	_____								
			-	-	-	-	-	-	
ADDRE_0	_____								
			-	-	-	-	-	-	
ADDRF_0	_____								
			-	-	-	-	-	-	
ADDRG_0	_____								
			-	-	-	-	-	-	
ADDRH_0	_____								
			-	-	-	-	-	-	
ADCSR_0	ADF	ADIE	ADST	-	CH3	CH2	CH1	CH0	
ADCR_0	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	-	-	
TCSR	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT
TCNT	_____								
RSTCSR	WOVF	RSTE	-	-	-	-	-	-	
TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU*2
TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0*2
TMDR_0	-	-	BFB	BFA	-	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0	_____								
TGRA_0	_____								
TGRB_0	_____								
TGRC_0	_____								
TGRD_0	_____								

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TCR_1	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1* ²
TMDR_1	–	–	–	–	–	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_1	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
TCNT_1	_____								
TGRA_1	_____								
TGRB_1	_____								
TCR_2	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2* ²
TMDR_2	–	–	–	–	–	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_2	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
TCNT_2	_____								
TGRA_2	_____								
TGRB_2	_____								
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3* ²
TMDR_3	–	–	BFB	BFA	–	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_3	–	–	–	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_3	_____								
TGRA_3	_____								
TGRB_3	_____								

20. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TGRC_3									TPU_3*2
TGRD_3									

【注】 *1 通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

*2 H8SX/1527R のみ内蔵しています。

20.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール
MCR	初期化	—	初期化	初期化	初期化	RCAN-ET
GSR	初期化	—	初期化	初期化	初期化	
BCR1	初期化	—	初期化	初期化	初期化	
BCR0	初期化	—	初期化	初期化	初期化	
IRR	初期化	—	初期化	初期化	初期化	
IMR	初期化	—	初期化	初期化	初期化	
TEC/REC	初期化	—	初期化	初期化	初期化	
TXPR1	初期化	—	初期化	初期化	初期化	
TXPR0	初期化	—	初期化	初期化	初期化	
TXCR0	初期化	—	初期化	初期化	初期化	
TXACK0	初期化	—	初期化	初期化	初期化	
ABACK0	初期化	—	初期化	初期化	初期化	
RXPR0	初期化	—	初期化	初期化	初期化	
RFPR0	初期化	—	初期化	初期化	初期化	
MBIMR0	初期化	—	初期化	初期化	初期化	
UMSR0	初期化	—	初期化	初期化	初期化	
MB[0]. CONTROL0H	—	—	—	—	—	
MB[0]. CONTROL0L	—	—	—	—	—	
MB[0]. LAFMH	—	—	—	—	—	
MB[0]. LAFML	—	—	—	—	—	
MB[0]. MSG_DATA[0]	—	—	—	—	—	
MB[0]. MSG_DATA[1]	—	—	—	—	—	
MB[0]. MSG_DATA[2]	—	—	—	—	—	
MB[0]. MSG_DATA[3]	—	—	—	—	—	
MB[0]. MSG_DATA[4]	—	—	—	—	—	

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール
MB[0]. MSG_DATA[5]	-	-	-	-	-	RCAN-ET
MB[0]. MSG_DATA[6]	-	-	-	-	-	
MB[0]. MSG_DATA[7]	-	-	-	-	-	
MB[0]. CONTROL1H	初期化	-	初期化	初期化	初期化	
MB[0]. CONTROL1L	初期化	-	初期化	初期化	初期化	
MB[1]. CONTROL0H	-	-	-	-	-	
MB[1]. CONTROL0L	-	-	-	-	-	
MB[1]. LAFMH	-	-	-	-	-	
MB[1]. LAFML	-	-	-	-	-	
MB[1]. MSG_DATA[0]	-	-	-	-	-	
MB[1]. MSG_DATA[1]	-	-	-	-	-	
MB[1]. MSG_DATA[2]	-	-	-	-	-	
MB[1]. MSG_DATA[3]	-	-	-	-	-	
MB[1]. MSG_DATA[4]	-	-	-	-	-	
MB[1]. MSG_DATA[5]	-	-	-	-	-	
MB[1]. MSG_DATA[6]	-	-	-	-	-	
MB[1]. MSG_DATA[7]	-	-	-	-	-	
MB[1]. CONTROL1H	初期化	-	初期化	初期化	初期化	
MB[1]. CONTROL1L	初期化	-	初期化	初期化	初期化	

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール	
MB[2]			MB[1]と同じ			RCAN-ET	
MB[3]			MB[1]と同じ				
↓			(繰り返し)				
MB[13]			MB[1]と同じ				
MB[14]			MB[1]と同じ				
MB[15]			MB[1]と同じ				
RCANMON	初期化	—	初期化	初期化	初期化	SSU_0	
SSCRH_0	初期化	—	初期化	初期化	初期化		
SSCRL_0	初期化	—	初期化	初期化	初期化		
SSMR_0	初期化	—	初期化	初期化	初期化		
SSER_0	初期化	—	初期化	初期化	初期化		
SSSR_0	初期化	—	初期化	初期化	初期化		
SSCR2_0	初期化	—	初期化	初期化	初期化		
SSTDR0_0	初期化	—	初期化	初期化	初期化		
SSTDR1_0	初期化	—	初期化	初期化	初期化		
SSTDR2_0	初期化	—	初期化	初期化	初期化		
SSTDR3_0	初期化	—	初期化	初期化	初期化		
SSRDR0_0	初期化	—	初期化	初期化	初期化		
SSRDR1_0	初期化	—	初期化	初期化	初期化		
SSRDR2_0	初期化	—	初期化	初期化	初期化		
SSRDR3_0	初期化	—	初期化	初期化	初期化		
SSCRH_1	初期化	—	初期化	初期化	初期化		SSU_1
SSCRL_1	初期化	—	初期化	初期化	初期化		
SSMR_1	初期化	—	初期化	初期化	初期化		
SSER_1	初期化	—	初期化	初期化	初期化		
SSSR_1	初期化	—	初期化	初期化	初期化		
SSCR2_1	初期化	—	初期化	初期化	初期化		
SSTDR0_1	初期化	—	初期化	初期化	初期化		
SSTDR1_1	初期化	—	初期化	初期化	初期化		
SSTDR2_1	初期化	—	初期化	初期化	初期化		
SSTDR3_1	初期化	—	初期化	初期化	初期化		
SSRDR0_1	初期化	—	初期化	初期化	初期化		
SSRDR1_1	初期化	—	初期化	初期化	初期化		
SSRDR2_1	初期化	—	初期化	初期化	初期化		
SSRDR3_1	初期化	—	初期化	初期化	初期化		

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール	
SSCRH_2	初期化	—	初期化	初期化	初期化	SSU_2	
SSCRL_2	初期化	—	初期化	初期化	初期化		
SSMR_2	初期化	—	初期化	初期化	初期化		
SSEr_2	初期化	—	初期化	初期化	初期化		
SSSR_2	初期化	—	初期化	初期化	初期化		
SSCR2_2	初期化	—	初期化	初期化	初期化		
SSTDR0_2	初期化	—	初期化	初期化	初期化		
SSTDR1_2	初期化	—	初期化	初期化	初期化		
SSTDR2_2	初期化	—	初期化	初期化	初期化		
SSTDR3_2	初期化	—	初期化	初期化	初期化		
SSRDR0_2	初期化	—	初期化	初期化	初期化		
SSRDR1_2	初期化	—	初期化	初期化	初期化		
SSRDR2_2	初期化	—	初期化	初期化	初期化		
SSRDR3_2	初期化	—	初期化	初期化	初期化		
PHRTIDR	初期化	—	—	—	—		I/Oポート
ADDRA_1	初期化	—	—	—	—	A/D_1	
ADDRB_1	初期化	—	—	—	—		
ADDRC_1	初期化	—	—	—	—		
ADDRD_1	初期化	—	—	—	—		
ADDRE_1	初期化	—	—	—	—		
ADDRF_1	初期化	—	—	—	—		
ADDRG_1	初期化	—	—	—	—		
ADDRH_1	初期化	—	—	—	—		
ADCSR_1	初期化	—	—	—	—		
ADCR_1	初期化	—	—	—	—		
TSTRB	初期化	—	—	—	—		TPU
TSYRB	初期化	—	—	—	—		
TCR_6	初期化	—	—	—	—		TPU_6
TMDR_6	初期化	—	—	—	—		
TIORH_6	初期化	—	—	—	—		
TIORL_6	初期化	—	—	—	—		
TIER_6	初期化	—	—	—	—		
TSR_6	初期化	—	—	—	—		
TCNT_6	初期化	—	—	—	—		
TGRA_6	初期化	—	—	—	—		

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール
TGRB_6	初期化	—	—	—	—	TPU_6
TGRC_6	初期化	—	—	—	—	
TGRD_6	初期化	—	—	—	—	
TCR_7	初期化	—	—	—	—	TPU_7
TMDR_7	初期化	—	—	—	—	
TIOR_7	初期化	—	—	—	—	
TIER_7	初期化	—	—	—	—	
TSR_7	初期化	—	—	—	—	
TCNT_7	初期化	—	—	—	—	
TGRA_7	初期化	—	—	—	—	
TGRB_7	初期化	—	—	—	—	TPU_8
TCR_8	初期化	—	—	—	—	
TMDR_8	初期化	—	—	—	—	
TIOR_8	初期化	—	—	—	—	
TIER_8	初期化	—	—	—	—	
TSR_8	初期化	—	—	—	—	
TCNT_8	初期化	—	—	—	—	
TGRA_8	初期化	—	—	—	—	
TGRB_8	初期化	—	—	—	—	TPU_9
TCR_9	初期化	—	—	—	—	
TMDR_9	初期化	—	—	—	—	
TIORH_9	初期化	—	—	—	—	
TIORL_9	初期化	—	—	—	—	
TIER_9	初期化	—	—	—	—	
TSR_9	初期化	—	—	—	—	
TCNT_9	初期化	—	—	—	—	
TGRA_9	初期化	—	—	—	—	
TGRB_9	初期化	—	—	—	—	
TGRC_9	初期化	—	—	—	—	TPU_10
TGRD_9	初期化	—	—	—	—	
TCR_10	初期化	—	—	—	—	
TMDR_10	初期化	—	—	—	—	
TIOR_10	初期化	—	—	—	—	
TIER_10	初期化	—	—	—	—	TPU_10
TSR_10	初期化	—	—	—	—	

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール
TCNT_10	初期化	—	—	—	—	TPU_10
TGRA_10	初期化	—	—	—	—	
TGRB_10	初期化	—	—	—	—	
TCR_11	初期化	—	—	—	—	TPU_11
TMDR_11	初期化	—	—	—	—	
TIOR_11	初期化	—	—	—	—	
TIER_11	初期化	—	—	—	—	
TSR_11	初期化	—	—	—	—	
TCNT_11	初期化	—	—	—	—	
TGRA_11	初期化	—	—	—	—	
TGRB_11	初期化	—	—	—	—	I/O ポート
P1DDR	初期化	—	—	—	—	
P2DDR	初期化	—	—	—	—	
P3DDR	初期化	—	—	—	—	
P6DDR	初期化	—	—	—	—	
PADDR	初期化	—	—	—	—	
PDDDR	初期化	—	—	—	—	
P1ICR	初期化	—	—	—	—	
P2ICR	初期化	—	—	—	—	
P3ICR	初期化	—	—	—	—	
P4ICR	初期化	—	—	—	—	
P5ICR	初期化	—	—	—	—	
P6ICR	初期化	—	—	—	—	
PAICR	初期化	—	—	—	—	
PDICR	初期化	—	—	—	—	
PORTH	—	—	—	—	—	
PORTJ	—	—	—	—	—	
PORTK	—	—	—	—	—	
PHDR	初期化	—	—	—	—	
PJDR	初期化	—	—	—	—	
PKDR	初期化	—	—	—	—	
PHDDR	初期化	—	—	—	—	
PJDDR	初期化	—	—	—	—	
PKDDR	初期化	—	—	—	—	
PHICR	初期化	—	—	—	—	

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール	
PJICR	初期化	—	—	—	—	I/O ポート	
PKICR	初期化	—	—	—	—		
PDPCR	初期化	—	—	—	—		
PHPCR	初期化	—	—	—	—		
PJPCR	初期化	—	—	—	—		
PKPCR	初期化	—	—	—	—		
P2ODR	初期化	—	—	—	—		
PFCR9	初期化	—	—	—	—		
PFCRA	初期化	—	—	—	—		
PFCRB	初期化	—	—	—	—	INTC	
SSIER	初期化	—	—	—	—		
DSAR_0	初期化	—	—	—	—		DMAC_0
DDAR_0	初期化	—	—	—	—		
DOFR_0	初期化	—	—	—	—		
DTCR_0	初期化	—	—	—	—		
DBSR_0	初期化	—	—	—	—		
DMDR_0	初期化	—	—	—	—		
DACR_0	初期化	—	—	—	—		
DSAR_1	初期化	—	—	—	—	DMAC_1	
DDAR_1	初期化	—	—	—	—		
DOFR_1	初期化	—	—	—	—		
DTCR_1	初期化	—	—	—	—		
DBSR_1	初期化	—	—	—	—		
DMDR_1	初期化	—	—	—	—		
DACR_1	初期化	—	—	—	—		
DSAR_2	初期化	—	—	—	—		DMAC_2
DDAR_2	初期化	—	—	—	—		
DOFR_2	初期化	—	—	—	—		
DTCR_2	初期化	—	—	—	—		
DBSR_2	初期化	—	—	—	—		
DMDR_2	初期化	—	—	—	—		
DACR_2	初期化	—	—	—	—		
DSAR_3	初期化	—	—	—	—	DMAC_3	
DDAR_3	初期化	—	—	—	—		
DOFR_3	初期化	—	—	—	—		

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール
DTCR_3	初期化	—	—	—	—	DMAC_3
DBSR_3	初期化	—	—	—	—	
DMDR_3	初期化	—	—	—	—	
DACR_3	初期化	—	—	—	—	
DMRSR_0	初期化	—	—	—	—	DMAC_0
DMRSR_1	初期化	—	—	—	—	DMAC_1
DMRSR_2	初期化	—	—	—	—	DMAC_2
DMRSR_3	初期化	—	—	—	—	DMAC_3
IPRA	初期化	—	—	—	—	INTC
IPRB	初期化	—	—	—	—	
IPRC	初期化	—	—	—	—	
IPRD	初期化	—	—	—	—	
IPRE	初期化	—	—	—	—	
IPRF	初期化	—	—	—	—	
IPRG	初期化	—	—	—	—	
IPRI	初期化	—	—	—	—	
IPRK	初期化	—	—	—	—	
IPRL	初期化	—	—	—	—	
IPRM	初期化	—	—	—	—	
IPRN	初期化	—	—	—	—	
IPRO	初期化	—	—	—	—	
IPRQ	初期化	—	—	—	—	
ISCRH	初期化	—	—	—	—	
ISURL	初期化	—	—	—	—	
BCR2	初期化	—	—	—	—	BSC
RAMER	初期化	—	—	—	—	
MDCR	初期化	—	—	—	—	SYSTEM
SYSR	初期化	—	—	—	—	
SCKCR	初期化	—	—	—	—	
SBYCR	初期化	—	—	—	—	
MSTPCRA	初期化	—	—	—	—	
MSTPCRB	初期化	—	—	—	—	
MSTPCRC	初期化	—	—	—	—	
SMR_3	初期化	—	—	—	—	SCI_3
BRR_3	初期化	—	—	—	—	

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール
SCR_3	初期化	—	—	—	—	SCI_3
TDR_3	初期化	—	初期化	初期化	初期化	
SSR_3	初期化	—	初期化	初期化	初期化	
RDR_3	初期化	—	初期化	初期化	初期化	
SCMR_3	初期化	—	—	—	—	
SMR_4	初期化	—	—	—	—	SCI_4
BRR_4	初期化	—	—	—	—	
SCR_4	初期化	—	—	—	—	
TDR_4	初期化	—	初期化	初期化	初期化	
SSR_4	初期化	—	初期化	初期化	初期化	
RDR_4	初期化	—	初期化	初期化	初期化	
SCMR_4	初期化	—	—	—	—	
FCCS	初期化	—	—	—	—	FLASH
FPCS	初期化	—	—	—	—	
FECS	初期化	—	—	—	—	
FKEY	初期化	—	—	—	—	
FMATS	初期化	—	—	—	—	
FTDAR	初期化	—	—	—	—	
TCR_4	初期化	—	—	—	—	TPU_4*
TMDR_4	初期化	—	—	—	—	
TIOR_4	初期化	—	—	—	—	
TIER_4	初期化	—	—	—	—	
TSR_4	初期化	—	—	—	—	
TCNT_4	初期化	—	—	—	—	
TGRA_4	初期化	—	—	—	—	
TGRB_4	初期化	—	—	—	—	
TCR_5	初期化	—	—	—	—	TPU_5*
TMDR_5	初期化	—	—	—	—	
TIOR_5	初期化	—	—	—	—	
TIER_5	初期化	—	—	—	—	
TSR_5	初期化	—	—	—	—	
TCNT_5	初期化	—	—	—	—	
TGRA_5	初期化	—	—	—	—	
TGRB_5	初期化	—	—	—	—	

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール
INTCR	初期化	—	—	—	—	INTC
CPUPCR	初期化	—	—	—	—	
IER	初期化	—	—	—	—	
ISR	初期化	—	—	—	—	
PORT1	—	—	—	—	—	I/Oポート
PORT2	—	—	—	—	—	
PORT3	—	—	—	—	—	
PORT4	—	—	—	—	—	
PORT5	—	—	—	—	—	
PORT6	—	—	—	—	—	
PORTA	—	—	—	—	—	
PORTD	—	—	—	—	—	
P1DR	初期化	—	—	—	—	
P2DR	初期化	—	—	—	—	
P3DR	初期化	—	—	—	—	
P6DR	初期化	—	—	—	—	
PADR	初期化	—	—	—	—	
PDDR	初期化	—	—	—	—	
PCR	初期化	—	—	—	—	PPG*
PMR	初期化	—	—	—	—	
NDERH	初期化	—	—	—	—	
NDERL	初期化	—	—	—	—	
PODRH	初期化	—	—	—	—	
PODRL	初期化	—	—	—	—	
NDRH	初期化	—	—	—	—	
NDRL	初期化	—	—	—	—	
ADDRA_0	初期化	—	—	—	—	A/D_0
ADDRB_0	初期化	—	—	—	—	
ADDRC_0	初期化	—	—	—	—	
ADDRD_0	初期化	—	—	—	—	
ADDRE_0	初期化	—	—	—	—	
ADDRF_0	初期化	—	—	—	—	
ADDRG_0	初期化	—	—	—	—	
ADDRH_0	初期化	—	—	—	—	
ADCSR_0	初期化	—	—	—	—	

20. レジスタ一覧

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール	
ADCR_0	初期化	—	—	—	—	A/D_0	
TCSR	初期化	—	—	—	—	WDT	
TCNT	初期化	—	—	—	—		
RSTCSR	初期化	—	—	—	—		
TSTR	初期化	—	—	—	—	TPU*	
TSYR	初期化	—	—	—	—		
TCR_0	初期化	—	—	—	—	TPU_0*	
TMDR_0	初期化	—	—	—	—		
TIORH_0	初期化	—	—	—	—		
TIORL_0	初期化	—	—	—	—		
TIER_0	初期化	—	—	—	—		
TSR_0	初期化	—	—	—	—		
TCNT_0	初期化	—	—	—	—		
TGRA_0	初期化	—	—	—	—		
TGRB_0	初期化	—	—	—	—		
TGRC_0	初期化	—	—	—	—		
TGRD_0	初期化	—	—	—	—		
TCR_1	初期化	—	—	—	—		TPU_1*
TMDR_1	初期化	—	—	—	—		
TIOR_1	初期化	—	—	—	—		
TIER_1	初期化	—	—	—	—		
TSR_1	初期化	—	—	—	—		
TCNT_1	初期化	—	—	—	—		
TGRA_1	初期化	—	—	—	—		
TGRB_1	初期化	—	—	—	—		
TCR_2	初期化	—	—	—	—	TPU_2*	
TMDR_2	初期化	—	—	—	—		
TIOR_2	初期化	—	—	—	—		
TIER_2	初期化	—	—	—	—		
TSR_2	初期化	—	—	—	—		
TCNT_2	初期化	—	—	—	—		
TGRA_2	初期化	—	—	—	—		
TGRB_2	初期化	—	—	—	—		
TCR_3	初期化	—	—	—	—	TPU_3*	
TMDR_3	初期化	—	—	—	—		

レジスタ 略称	リセット	スリープ モード	モジュール ストップ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	モジュール
TIORH_3	初期化	—	—	—	—	TPU_3*
TIORL_3	初期化	—	—	—	—	
TIER_3	初期化	—	—	—	—	
TSR_3	初期化	—	—	—	—	
TCNT_3	初期化	—	—	—	—	
TGRA_3	初期化	—	—	—	—	
TGRB_3	初期化	—	—	—	—	
TGRC_3	初期化	—	—	—	—	
TGRD_3	初期化	—	—	—	—	

【注】 * H8SX/1527R のみ内蔵しています。

21. 電気的特性

21.1 絶対最大定格

表 21.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc}	-0.3~+7.0	V
入力電圧 (ポート 4, ポート 5 以外)	V _{in}	-0.3~V _{cc} +0.3	V
入力電圧 (ポート 4)	V _{in}	-0.3~AV _{cc1} +0.3	V
入力電圧 (ポート 5)	V _{in}	-0.3~AV _{cc0} +0.3	V
アナログ電源電圧	AV _{cc0}	-0.3~+7.0	V
	AV _{cc1}	-0.3~+7.0	V
アナログ入力電圧 (ポート 4)	V _{AN}	-0.3~AV _{cc1} +0.3	V
アナログ入力電圧 (ポート 5)	V _{AN}	-0.3~AV _{cc0} +0.3	V
動作温度	T _{opr}	広温度範囲仕様品 : -40~+85*	℃
保存温度	T _{stg}	-55~+125	℃

【使用上の注意】 絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み/消去時の動作温度範囲は、広温度範囲仕様品 : 0~+85℃になります。

21. 電気的特性

21.2 DC 特性

表 21.2 DC 特性 (1)

条件 : $V_{CC}=4.5\sim 5.5V$ 、 $AV_{CC0}=4.5\sim 5.5V$ 、 $AV_{CC1}=4.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_a = -40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	IRQ 入力端子、TPU 入力端子、ポート 2、3、J、K	VT^{-}	$V_{CC}\times 0.2$	—	—	V	
		VT^{+}	—	—	$V_{CC}\times 0.7$		
		$VT^{+}-VT^{-}$	$V_{CC}\times 0.05$	—	—		
入力 High レベル電圧 (シュミットトリガ入力端子を除く)	MD 端子、RES、NMI	V_{IH}	$V_{CC}-0.7$	—	$V_{CC}+0.3$	V	
	EXTAL		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$		
	その他の入力端子		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$		
	ポート 4		$AV_{CC1}\times 0.7$	—	$AV_{CC1}+0.3$		
	ポート 5		$AV_{CC0}\times 0.7$	—	$AV_{CC0}+0.3$		
入力 Low レベル電圧 (シュミットトリガ入力端子を除く)	RES、MD 端子、NMI	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V	
	EXTAL		-0.3	—	$V_{CC}\times 0.2$		
	その他の入力端子		-0.3	—	$V_{CC}\times 0.2$		
	ポート 4		-0.3	—	$AV_{CC1}\times 0.2$		
	ポート 5		-0.3	—	$AV_{CC0}\times 0.2$		
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH} = -200\mu A$
			$V_{CC}-1.0$	—	—		$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$
入力リーク電流	RES、NMI、MD 端子	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0.5\sim V_{CC}-0.5V$
	ポート 4		—	—	1.0		$V_{in} = 0.5\sim AV_{CC1}-0.5V$
	ポート 5		—	—	1.0		$V_{in} = 0.5\sim AV_{CC0}-0.5V$

表 21.2 DC 特性 (2)

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc0}=4.5\sim 5.5V$ 、 $AV_{cc1}=4.5\sim 5.5V$ 、 $V_{ss}=AV_{ss}=0V^{*1}$ $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリープ ポートリーク 電流 (オフ状態)	ポート 1~3、6、A、D、 H、J、K	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{cc}-0.5V$
入力プル アップ MOS 電流	ポート D、H、J、K	$-I_p$	50	—	300	μA	$V_{in}=0V$
入力容量	全入力端子	C_{in}	—	—	15	pF	$V_{in}=0V$ $f=1MHz$ $T_a=25^{\circ}C$
消費電流 ^{*2}	通常動作時	I_{CC}^{*4}	—	75	87	mA	$f=48MHz$
	スリープ時		—	58	68		
	スタンバイ時 ^{*3}		—	50	300	μA	$T_a\leq 50^{\circ}C$
			—	—	1	mA	$50^{\circ}C < T_a$
	全モジュールクロック ストップ時 ^{*5}	—	36	45	mA		
アナログ 電源電流	A/D 変換中	I_{CC0}	—	3.5	5	mA	$AV_{CC0}=5.0V$
	A/D 変換待機時		—	10	100		
	A/D 変換中	I_{CC1}	—	3.5	5	mA	$AV_{CC1}=5.0V$
	A/D 変換待機時		—	10	100		
RAM スタンバイ電圧		V_{RAM}	3.0	—	—	V	

【注】 *1 A/D 変換器未使用時に AV_{CC0} 、 AV_{CC1} 、 AV_{SS} 端子を開放しないでください。 AV_{CC0} 、 AV_{CC1} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。*2 消費電流値は、 $V_{IH}=AV_{CC0}$ (ポート 5)、 AV_{CC1} (ポート 4)、 V_{CC} (その他)、 $V_{IL}=0V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 $V_{RAM}\leq V_{CC}<4.5V$ のとき、 $V_{IHmin}=V_{CC}-0.1V$ 、 $V_{ILmax}=0.1V$ とした場合の値です。*4 I_{CC} は下記の式にしたがって V_{CC} と f に依存します。 $I_{CCmax}=12(mA)+0.28(mA/(MHz\times V))\times V_{CC}\times f$ (通常動作時) $I_{CCmax}=12(mA)+0.21(mA/(MHz\times V))\times V_{CC}\times f$ (スリープ時)

*5 参考値です。

21. 電気的特性

表 21.3 出力許容電流値

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc0}=4.5\sim 5.5V$ 、 $AV_{cc1}=4.5\sim 5.5V$ 、 $V_{ss}=AV_{ss}=0V^*$

$T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	全出力端子	I_{OL}	—	—	10	mA
出力 Low レベル許容電流 (総和)	全出力端子	ΣI_{OL}	—	—	100	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子	$\Sigma -I_{OH}$	—	—	30	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 21.3 の値を超えないようにしてください。

【注】 * A/D 変換器未使用時に AV_{cc0} 、 AV_{cc1} 、 AV_{ss} 端子を開放しないでください。
 AV_{cc0} 、 AV_{cc1} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

21.3 AC 特性

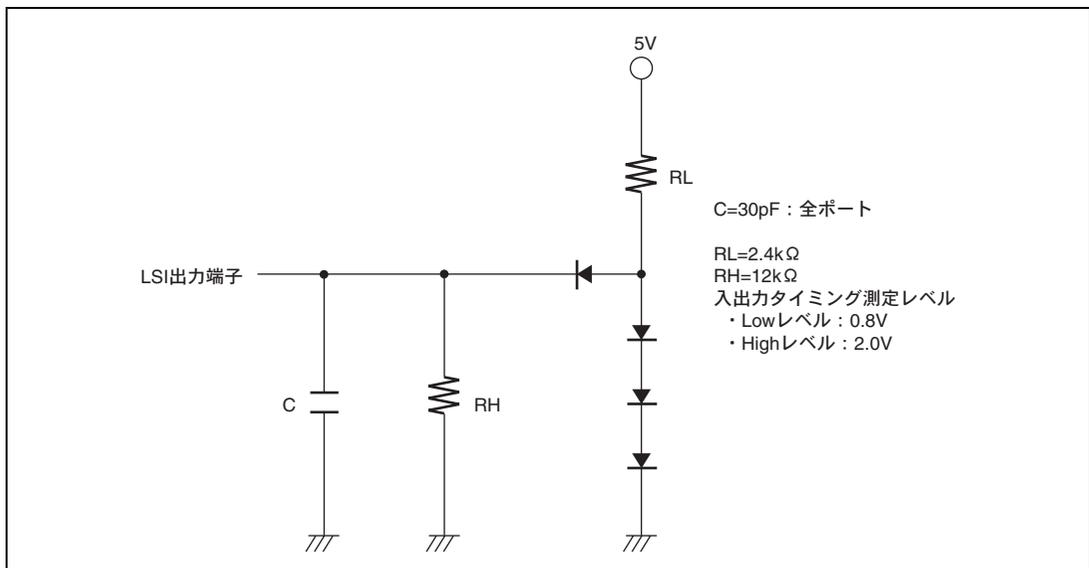


図 21.1 出力負荷回路

21.3.1 クロックタイミング

表 21.4 クロックタイミング

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc0}=4.5\sim 5.5V$ 、 $AV_{cc1}=4.5\sim 5.5V$ 、 $V_{ss}=AV_{ss}=0V$ 、 $I_{\phi}=8\sim 48MHz$ 、 $P_{\phi}=8\sim 35MHz$ $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	20.8	125	ns	図 21.2
クロックハイレベルパルス幅	t_{CH}	3	—	ns	
クロックローレベルパルス幅	t_{CL}	3	—	ns	
クロック立ち上がり時間	t_{Cr}	—	5	ns	
クロック立ち下がり時間	t_{Cr}	—	5	ns	
リセット発振安定時間(水晶)	t_{OSC1}	20	—	ms	
ソフトウェアスタンバイ発振安定時間(水晶)	t_{OSC2}	10	—	ms	図 21.3
外部クロック出力遅延安定時間	t_{DEXT}	2	—	ms	図 21.4
外部クロック入力パルス幅ローレベル	t_{EXL}	45	—	ns	図 21.5
外部クロック入力パルス幅ハイレベル	t_{EXH}	45	—	ns	
外部クロック立ち上がり時間	t_{EXr}	—	5	ns	外部クロック 入力周波数 =4~9MHz
外部クロック立ち下がり時間	t_{EXf}	—	5	ns	

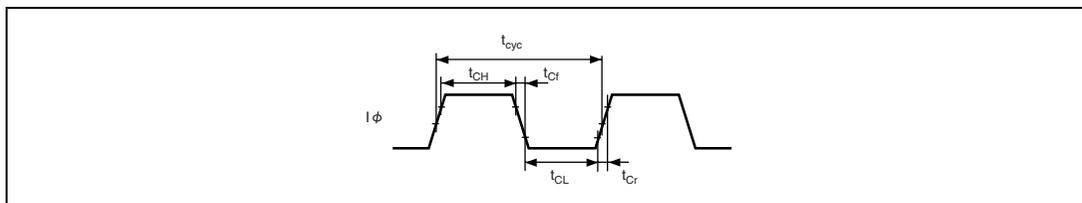


図 21.2 システムクロックタイミング

21. 電気的特性

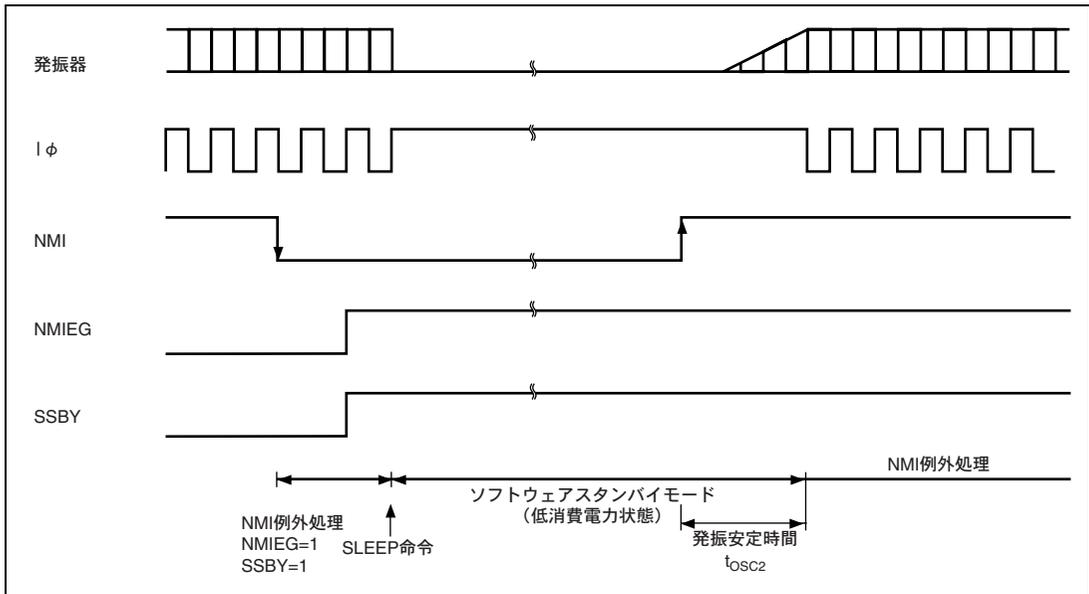


図 21.3 ソフトウェアスタンバイ発振安定時間タイミング

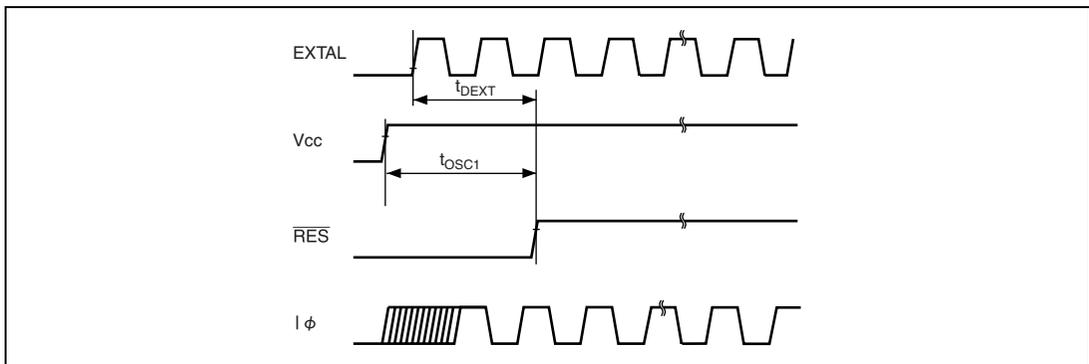


図 21.4 発振安定時間タイミング

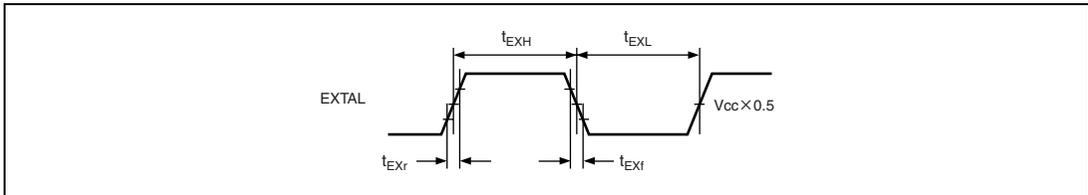


図 21.5 外部入力クロックタイミング

21.3.2 制御信号タイミング

表 21.5 制御信号タイミング

条件 : $V_{cc}=4.5\sim 5.5V$, $AV_{cc0}=4.5\sim 5.5V$, $AV_{cc1}=4.5\sim 5.5V$, $V_{ss}=AV_{ss}=0V$, $f_{\phi}=8\sim 48MHz$

$T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	1000	—	ns	図 21.6
RES パルス幅	t_{RESW}	50	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 21.7
NMI ホールド時間	t_{NMIH}	10	—	ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	ns	
\overline{IRQ} セットアップ時間	t_{IRQS}	150	—	ns	
\overline{IRQ} ホールド時間	t_{IRQH}	10	—	ns	
\overline{IRQ} パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—	ns	

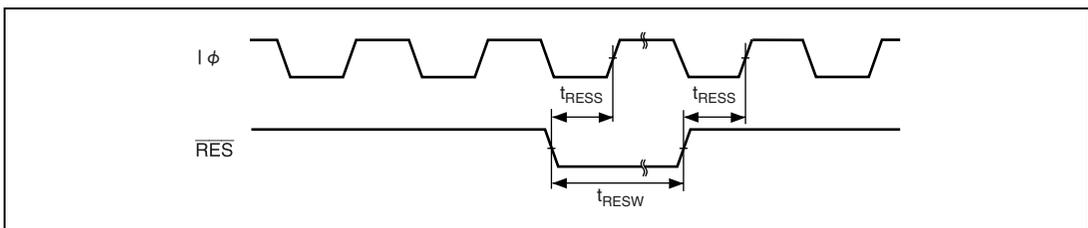


図 21.6 リセット入力タイミング

21. 電気的特性

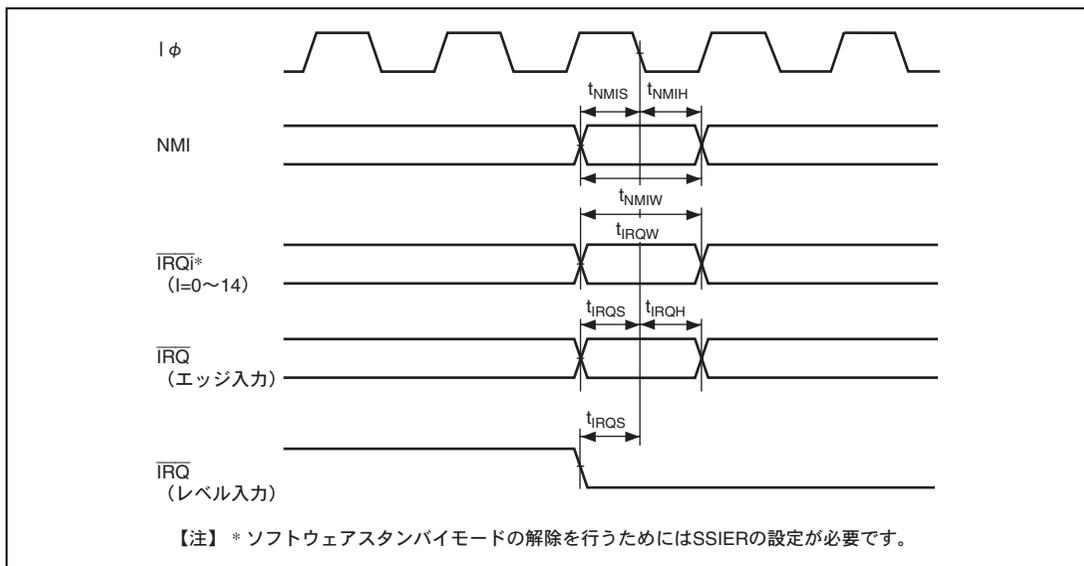


図 21.7 割り込み入力タイミング

21.3.3 内蔵周辺モジュールタイミング

表 21.6 内蔵周辺モジュールタイミング (1)

条件 : $V_{cc}=4.5\sim 5.5V$ 、 $AV_{cc0}=4.5\sim 5.5V$ 、 $AV_{cc1}=4.5\sim 5.5V$ 、 $V_{ss}=AV_{ss}=0V$ 、 $P\phi=8\sim 35MHz$ $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PWD}	—	40	ns	図 21.8	
	入力データセットアップ時間	t_{PRS}	25	—	ns		
	入力データホールド時間	t_{PRH}	25	—	ns		
	リアルタイムインポートポート データホールド時間	t_{RTIPH}	4	—	t_{cyc}	図 21.9	
TPU	タイマ出力遅延時間	t_{TOCD}	—	40	ns	図 21.10	
	タイマ入力セットアップ時間	t_{TICS}	25	—	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 21.11	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	—	t_{cyc}		
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 21.12	
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 21.13
		クロック同期		6	—		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間	t_{SCKr}	—	20	ns	図 21.13	
	入力クロック立ち下がり時間	t_{SCKf}	—	20	ns	電圧参照レベル $V_{cc}\times 0.3V\sim$ $V_{cc}\times 0.7V$	
	出力クロックサイクル	調歩同期	t_{Scyc}	30	—	t_{cyc}	図 21.13
		クロック同期		4	—		
	出力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間	t_{SCKr}	—	20	ns	図 21.13	
	出力クロック立ち下がり時間	t_{SCKf}	—	20	ns	電圧参照レベル $V_{cc}\times 0.3V\sim$ $V_{cc}\times 0.7V$	
	送信データ遅延時間	t_{TXD}	—	40	ns	図 21.14	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	40	—	ns		
	受信データホールド時間 (クロック同期)	t_{RXH}	40	—	ns		
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	ns	図 21.15	

21. 電気的特性

表 21.7 内蔵周辺モジュールタイミング (2)

条件 : Vcc=4.5~5.5V、AVcc0=4.5~5.5V、AVcc1=4.5~5.5V、Vss=AVss=0V、Pφ=8~24MHz

Ta=-40~+85°C (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
RCAN-ET *	送信データ遅延時間	t _{CTXD}	—	100	ns	図 21.16	
	受信データセットアップ時間	t _{CRXS}	100	—	ns		
	受信データホールド時間	t _{CRXH}	100	—	ns		
SSU	クロックサイクル	マスタ	4	256	t _{cyc}	図 21.17 図 21.18 図 21.19 図 21.20	
		スレーブ					
	クロックハイレベルパルス幅	マスタ	t _{HI}	80	—		ns
		スレーブ					
	クロックローレベルパルス幅	マスタ	t _{LO}	80	—		ns
		スレーブ					
	クロック立ち上がり時間		t _{RISE}	—	20		ns
	クロック立ち下がり時間		t _{FALL}	—	20		ns
	データ入力セットアップ時間	マスタ	t _{SU}	25	—		ns
		スレーブ					
	データ入力ホールド時間	マスタ	t _H	10	—		ns
		スレーブ					
	SCS セットアップ時間	マスタ	t _{LEAD}	2.5	—		t _{cyc}
		スレーブ					
	SCS ホールド時間	マスタ	t _{LAG}	2.5	—		t _{cyc}
		スレーブ					
	データ出力遅延時間	マスタ	t _{OD}	—	40		ns
		スレーブ					
	データ出力ホールド時間	マスタ	t _{OH}	30	—		ns
		スレーブ					
連続送信遅延時間	マスタ	t _{TD}	2.5	—	t _{cyc}		
	スレーブ						
スレーブアクセス時間		t _{SA}	—	1	t _{cyc}	図 21.19	
スレーブアウト開放時間		t _{REL}	—	1	t _{cyc}	図 21.20	

【注】 * RCAN-ET の入力信号は非同期信号ですが、図 21.16 に示された Pφ クロック立ち上がり (2 クロック間隔) で変化が生じたものとして判定されます。RCAN-ET の出力信号は非同期信号ですが、図 21.16 に示された Pφ クロック立ち上がり (2 クロック間隔) を基準に変化します。

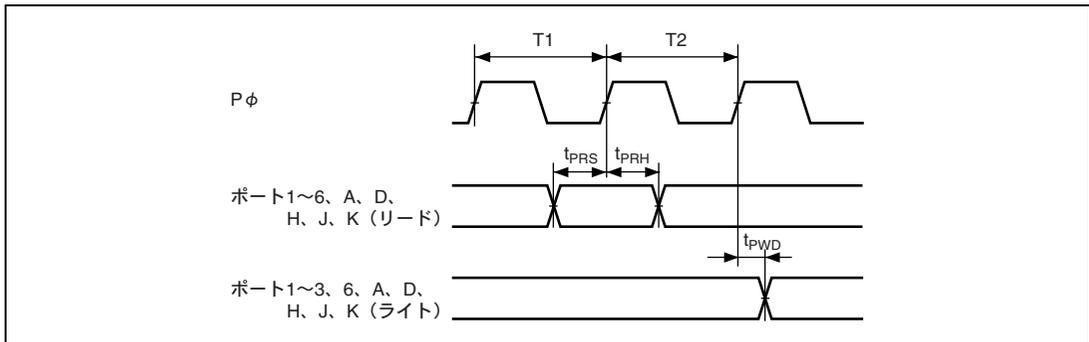


図 21.8 I/O ポート入出カタイミング

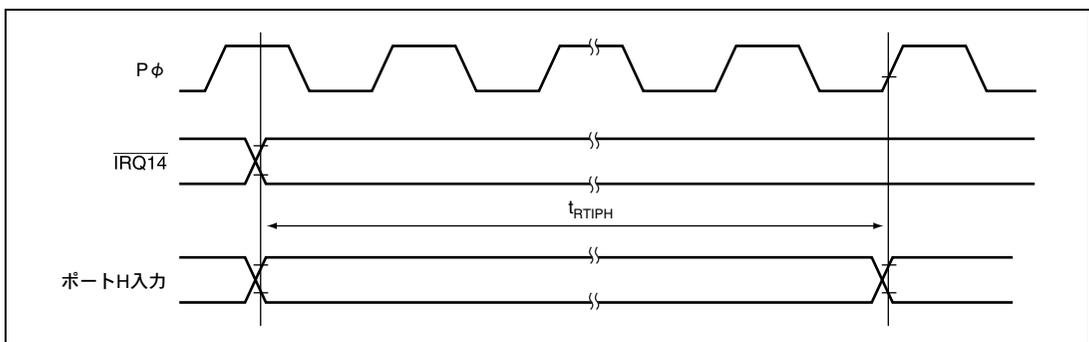
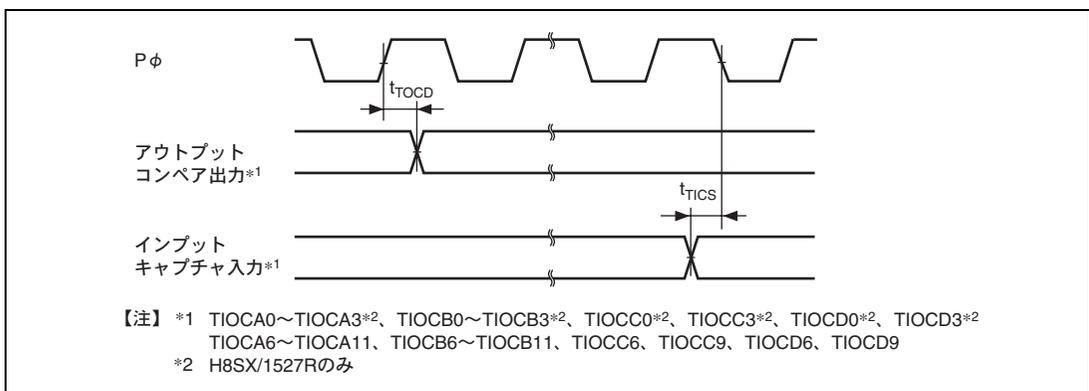


図 21.9 リアルタイムインポートポートデータ入カタイミング



【注】 *1 TIOCA0~TIOCA3*2、TIOCB0~TIOCB3*2、TIOCC0*2、TIOCC3*2、TIOCD0*2、TIOCD3*2
TIOCA6~TIOCA11、TIOCB6~TIOCB11、TIOCC6、TIOCC9、TIOCD6、TIOCD9
*2 H8SX/1527Rのみ

図 21.10 TPU 入出カタイミング

21. 電気的特性

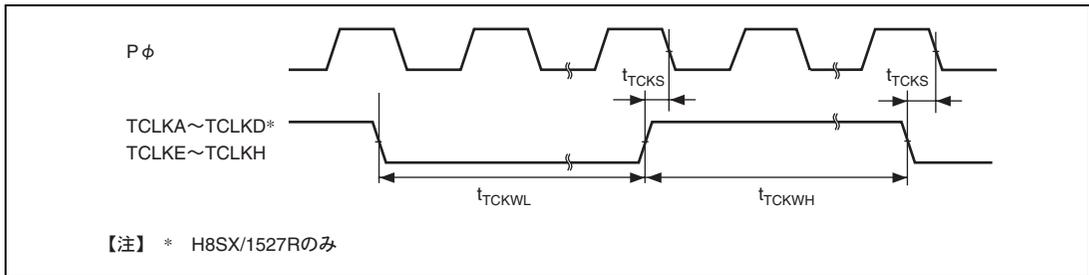


図 21.11 TPU クロック入力タイミング

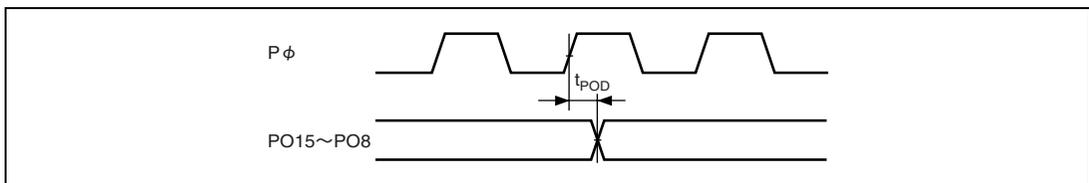


図 21.12 PPG 出カタイミン

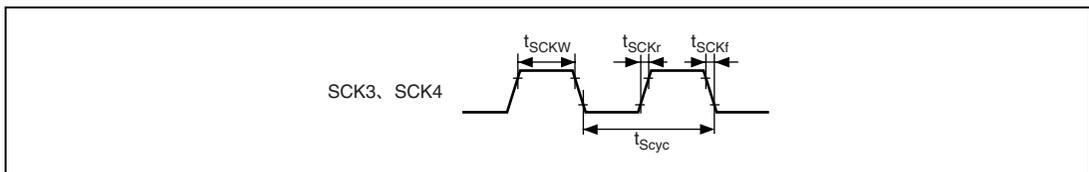


図 21.13 SCK クロック入出カタイミン

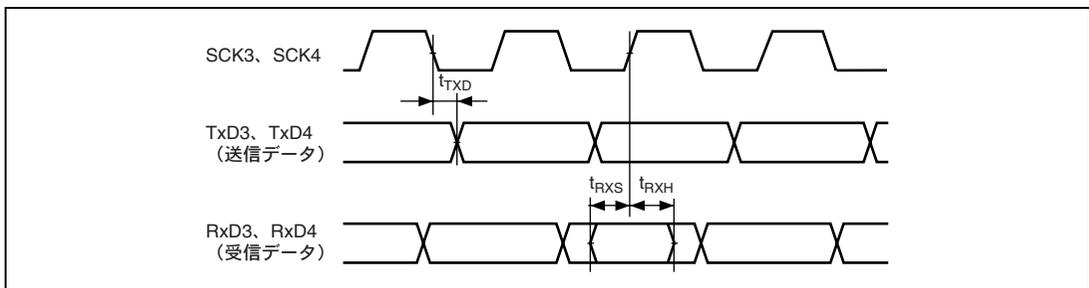


図 21.14 SCI 入出カタイミン/クック同期式モード

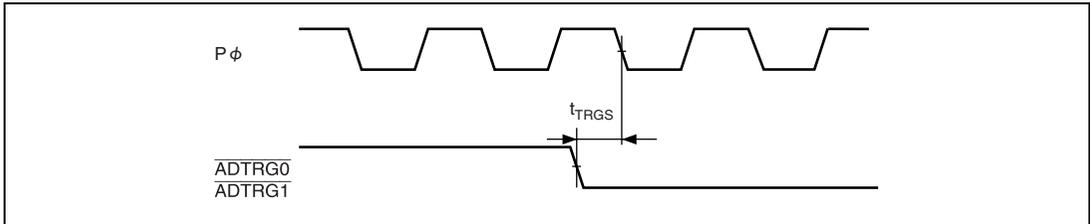


図 21.15 A/D 変換器外部トリガ入力タイミング

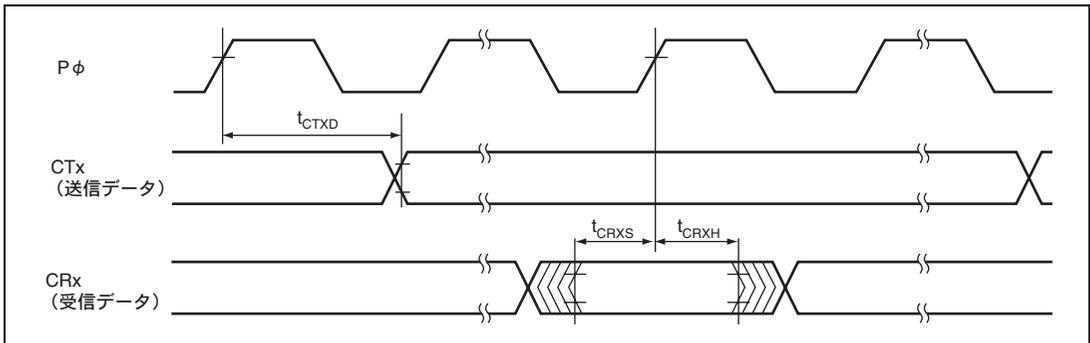


図 21.16 RCAN-ET 入出力タイミング

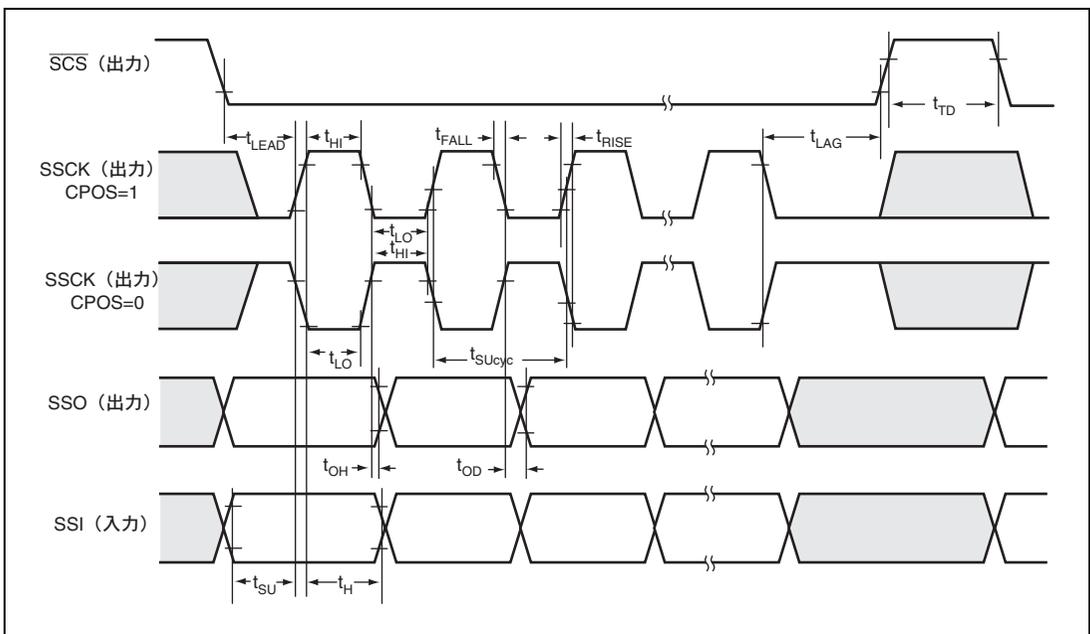


図 21.17 SSU タイミング (マスタ、CPHS=1)

21. 電気的特性

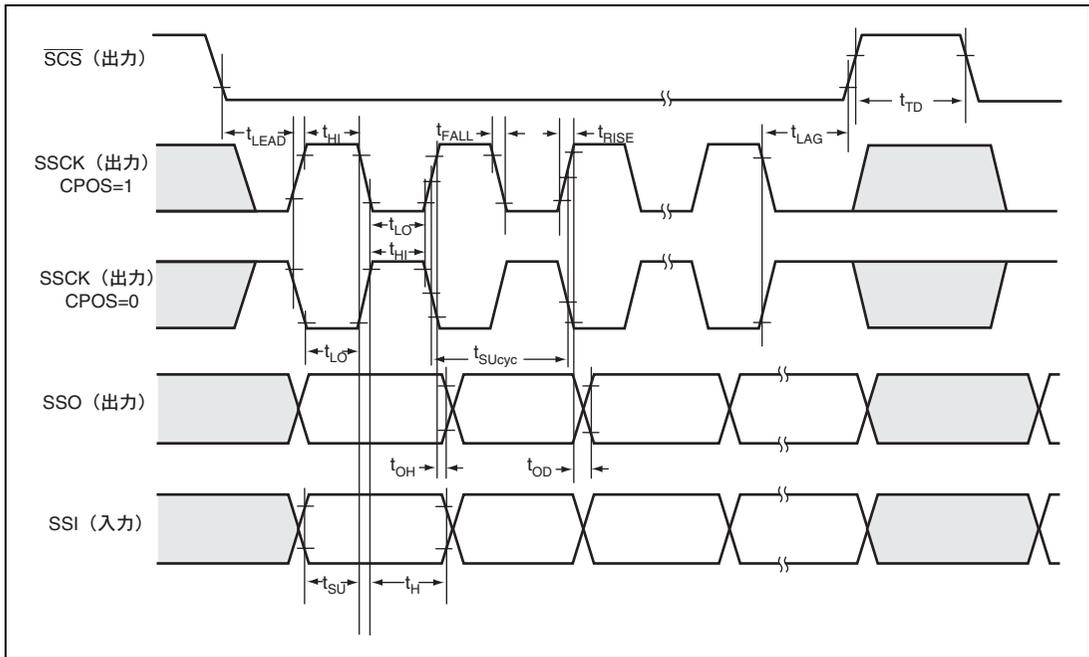


図 21.18 SSU タイミング (マスタ、CPHS=0)

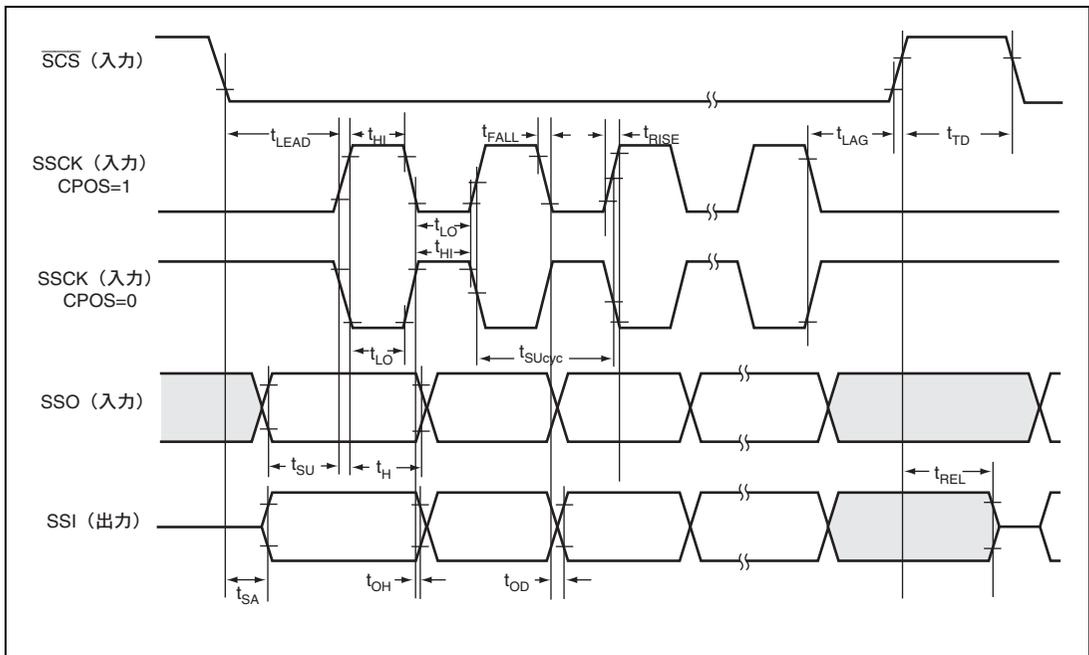


図 21.19 SSU タイミング (スレーブ、CPHS=1)

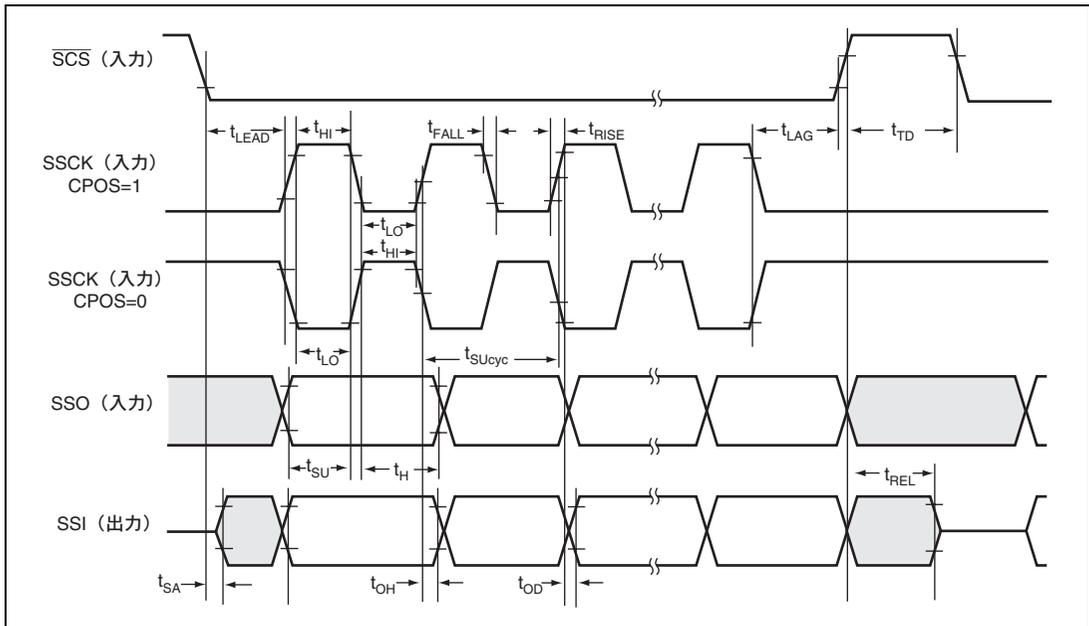


図 21.20 SSU タイミング (スレーブ、CPHS=0)

21.4 A/D 変換特性

表 21.8 A/D 変換特性

条件 : $V_{CC}=4.5\sim 5.5V$, $AV_{CC0}=4.5\sim 5.5V$, $AV_{CC1}=4.5\sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $P\phi=8\sim 35MHz$

$T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	7.4	—	200	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	$K\Omega$
非直線性誤差	—	—	± 3.5	LSB
オフセット誤差	—	—	± 3.5	LSB
フルスケール誤差	—	—	± 3.5	LSB
量子化誤差	—	± 0.5	—	LSB
絶対精度	—	—	± 4.0	LSB

21. 電気的特性

21.5 フラッシュメモリ特性

表 21.9 フラッシュメモリ特性

条件：Vcc=4.5~5.5V、AVcc0=4.5~5.5V、AVcc1=4.5~5.5V、Vss=AVss=0V、I ϕ =8~48MHz、P ϕ =8~35MHz

Ta=0~+85°C（広温度範囲仕様）

項目	記号	min	typ	max	単位	特記
書き込み時間*1、*2、*4	t _P	—	3	30	ms/128 バイト	
消去時間*1、*2、*4	t _E	—	80	800	ms/4k バイト ブロック	
		—	500	5000	ms/32k バイト ブロック	
		—	1000	10000	ms/64k バイト ブロック	
書き込み時間（総和）*1、*2、*4	Σ t _P	—	5	15	s/256k バイト	Ta=25°C、すべて 0 時
消去時間（総和）*1、*2、*4	Σ t _E	—	5	15	s/256k バイト	Ta=25°C
書き込み、消去時間（総和）*1、*2、*4	Σ t _{PE}	—	10	30	s/256k バイト	Ta=25°C
書き換え回数	N _{WEC}	100*3	—	—	回	
データ保持時間*4	t _{DRP}	10	—	—	年	

- 【注】 *1 書き込み、消去時間はデータに依存します。
*2 書き込み、消去時間にはデータ転送時間は含みません。
*3 書き換え後のすべての特性を保証する min 回数です。（保証は 1~min 値の範囲です。）
*4 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

付録

A. 各処理状態におけるポートの状態

表 A.1 各処理状態におけるポートの状態

ポート名	MCU 動作モード	リセット	ソフトウェアスタンバイモード
ポート 1	全モード	HiZ	Keep
ポート 2	全モード	HiZ	Keep
ポート 3	全モード	HiZ	Keep
ポート 4	全モード	HiZ	HiZ
ポート 5	全モード	HiZ	HiZ
ポート 6	全モード	HiZ	Keep
ポート A	全モード	HiZ	Keep
ポート D	全モード	HiZ	Keep
ポート H	全モード	HiZ	Keep
ポート J	全モード	HiZ	Keep
ポート K	全モード	HiZ	Keep

B. 型名一覧

製品分類	製品型名	マーク型名	パッケージ	コード
H8SX/1527R	R5F61527R	R5F61527R	QFP-100	PRQP0100KB-A
H8SX/1525R	R5F61525R	R5F61525R		(FP-100M)

C. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている外形寸法図を優先します。

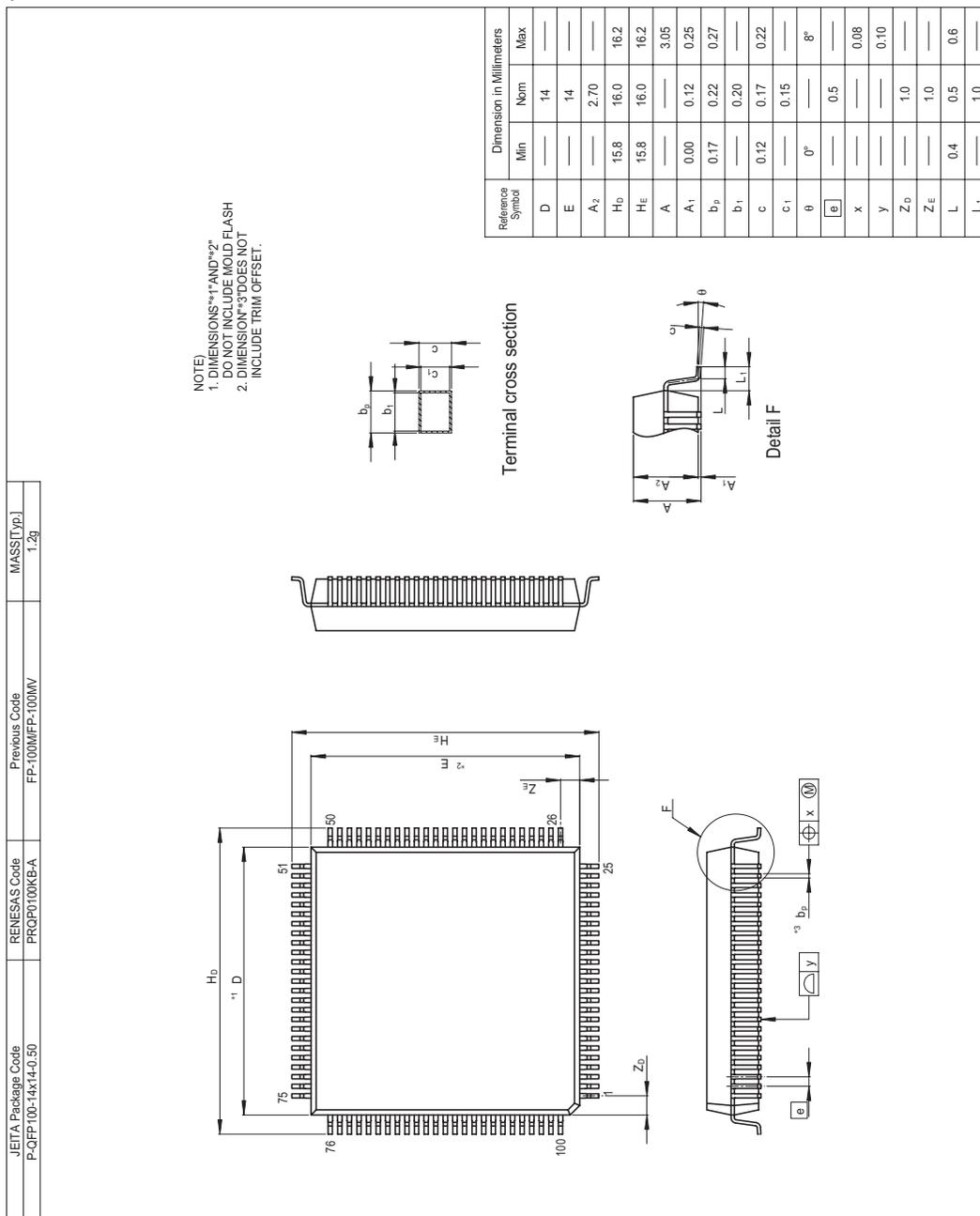


図 C.1 外形寸法図 (PRQP0100KB-A)

索引

【数字／記号】

0 出力／1 出力.....	9-45
16 ビットタイムバルスユニット (TPU)	9-1

【A】

A/D 変換器	15-1
A/D 変換精度	15-14
AC 特性	21-4
AT カット並列共振形	18-4

【B】

Bφ出力制御.....	19-14
-------------	-------

【C】

CAN バスインタフェース.....	13-58
CPU に対する DMAC の優先レベル制御機能.....	5-30

【D】

DC 特性.....	21-2
DMA コントローラ (DMAC)	7-1
DTC インタフェース	13-57

【I】

I/O ポート.....	8-1
ID コード.....	12-34
IRQn 割り込み.....	5-14

【M】

MCU 動作モード	3-1
-----------------	-----

【N】

NMI 割り込み	5-14
----------------	------

【P】

PLL 回路.....	18-5
-------------	------

【R】

RAM	16-1
RCAN-ET のメールボックスレジスタ	13-31
RCAN-ET のメモリマップ.....	13-4

RCAN-ET の割り込み要因.....	13-56
RCAN-ET の設定.....	13-43

【S】

SSU モード	14-19
---------------	-------

【あ】

アドレスエラー	4-7
アドレスエラー例外処理	4-8
アドレスマップ	3-5
アドレスモード	7-19
位相計数モード	9-59
一般不当命令	4-10
インターバルタイムモード.....	11-7
インバースコンベンション.....	12-49
インプットキャプチャ機能.....	9-46
ウォッチドッグタイマ (WDT)	11-1
ウォッチドッグタイマモード	11-6
エラーシグナル	12-48
エラープロテクト	17-48
オーバフロー	11-6
オープンドレインコントロールレジスタ.....	8-9
オフセット加算	7-32
オフセット誤差	15-14
オンボードプログラミング.....	17-27
オンボードプログラミングモード	17-27

【か】

外形寸法図	付録-2
外部クロック	18-5
外部トリガ入力	15-13
外部バスクロック (Bφ)	18-1
外部割り込み要因.....	5-14
書き込み／消去インタフェース.....	17-6
書き込み／消去インタフェースパラメータ	17-15
書き込み／消去インタフェースレジスタ.....	17-10
各処理状態におけるポートの状態	付録-1
拡張リピートエリア	7-17
拡張リピートエリア機能	7-30
各動作モードにおけるレジスタの状態.....	20-36
各ポートの出力信号有効設定一覧.....	8-28

各ポートのレジスタ構成	8-5
型名一覧	付録-1
クロック	12-27
クロック同期式モード	12-39
クロック同期式通信モード	14-27
クロック発振器	18-1
コントローラエリアネットワーク (RCAN-ET)	13-1
コントローラエリアネットワーク 2	13-1

【さ】

サイクルスチールモード	7-29
サンプル&ホールド回路	15-11
システムクロック (Iφ)	6-3, 18-1
周期カウント動作	9-43
周辺モジュールクロック (Pφ)	6-3, 18-1
周辺モジュールライトデータバッファ機能	6-5
出力トリガ	10-12
出力バッファ制御	8-10
状態遷移図	2-43
処理状態	2-42
シリアルコミュニケーションインタフェース (SCI)	12-1
シングルアドレスモード	7-20
シングルモード	15-9
シンクロナスシリアルコミュニケーションユニット (SSU)	14-1
水晶発振子	18-4
スキャンモード	15-10
スタートビット	12-24
ストップビット	12-24
スマートカードインタフェース	12-47
スリープモード	19-2, 19-10
スロット不当命令	4-10
絶対最大定格	21-1
絶対精度	15-14
全モジュールクロックストップモード	19-10
送受信データ	12-24
ソフトウェアスタンバイモード	19-2, 19-11
ソフトウェアプロテクト	17-47

【た】

ダイレクトコンベンション	12-49
ダウンロードバスフェイルリザルトパラメータ	17-17
ダブルバッファ構造	12-24
端子機能	1-9
調歩同期式モード	12-24
通信プロトコル	17-55

低消費電力	19-1
データディレクションレジスタ	8-7
データレジスタ	8-7
テストモードの設定	13-48
デュアルアドレスモード	7-19
電気的特性	21-1
転送クロック	14-15
転送モード	7-22
同期クリア	9-47
同期プリセット	9-47
動作モード別ピン配置一覧	1-6
トグル出力	9-45
トラップ命令例外処理	4-10
トレース例外処理	4-6

【な】

内蔵ポーレートジェネレータ	12-27
内部システムバス 1	6-3
内部周辺バス	6-3
内部バス	6-4
内部ブロック図	1-2
内部割り込み	5-15
入力バッファコントロールレジスタ	8-8
ノーマル転送モード	7-22
ノンオーバラップ動作	10-13

【は】

バーストモード	7-29
ハードウェアプロテクト	17-47
バスアービトラージョン	6-6
バスコントローラ (BSC)	6-1
バスモード	7-29
バス権解放状態	2-42
バス構成	6-3
パッケージ	1-1
発振器	18-4
パリティビット	12-24
非直線性誤差	15-14
ビットレート	12-18
ピン配置図	1-4
ブートモード	17-3, 17-27
ブートモードの標準シリアル通信インタフェース仕様	17-53
不当命令	4-10
不当命令例外処理	4-10
フラッシュイレースブロックセレクトパラメータ	17-24
フラッシュバス/フェイルパラメータ	17-18

フラッシュプログラム/イレース周波数 パラメータ	17-21
フラッシュマルチバースアドレスエリアパラメータ	17-22
フラッシュマルチバースデータデスティネーション パラメータ	17-23
フラッシュメモリ	17-1
フリーランニングカウンタ動作	9-43
プルアップ MOS コントロールレジスタ	8-8
フルスケール誤差	15-14
プログラマブルパルスジェネレータ (PPG)	10-1
プログラム実行状態	2-42
プログラム停止状態	2-42
ブロック構成	17-5
ブロック転送モード	7-24
プロテクト	17-47
分解能	15-14
分周器	18-5
ベクタテーブルアドレス	4-2
ベクタテーブルアドレスオフセット	4-2
ポートHリアルタイムインプットデータレジスタ	8-9
ポートファンクションコントローラ	8-31
ポートレジスタ	8-7

【ま】

マーク状態	12-24, 12-61
マルチクロック機能	6-3, 19-9
マルチプロセッサビット	12-34
マルチプロセッサ通信機能	12-34
メールボックス	13-5
メールボックスの構成	13-5
メールボックスの再設定	13-54
メッセージコントロールフィールド	13-7
メッセージデータフィールド	13-13
メッセージ受信シーケンス	13-52
メッセージ送信シーケンス	13-50
メモリマップ構成	17-4
モード 1	3-4
モード 2	3-4
モード 3	3-4
モード端子	3-1
モジュールストップ機能	19-9

【や】

ユーザブートマップ	17-4
ユーザブートモード	17-3, 17-39
ユーザプログラムモード	17-3, 17-30

ユーザマップ	17-4
--------------	------

【ら】

ライトモード	17-3, 17-53
ライトデータバッファ機能	6-5
リセット	4-4
リセット状態	2-42
リセット例外処理	4-4
リピート転送モード	7-23
量子化誤差	15-14
例外処理	4-1
例外処理後のスタックの状態	4-11
例外処理状態	2-42
例外処理ベクタテーブル	4-2
レジスタ	

ABACK0	13-37, 20-2, 20-18, 20-36
ADCR	15-8, 20-16, 20-33, 20-46
ADCSR	15-7, 20-16, 20-33, 20-45
ADDR	15-6, 20-16, 20-32, 20-45
BCR0	13-21, 20-2, 20-18, 20-36
BCR1	13-21, 20-2, 20-18, 20-36
BCR2	6-2, 20-14, 20-30, 20-43
BRR	12-18, 20-14, 20-30, 20-43
CCR	2-14
CPUPCR	5-4, 20-15, 20-32, 20-45
DACR	7-13, 20-13, 20-26, 20-42
DBSR	7-6, 20-13, 20-26, 20-42
DDAR	7-4, 20-12, 20-26, 20-42
DDR	8-5, 8-7, 20-11, 20-25, 20-41
DMDR	7-7, 20-13, 20-26, 20-42
DMRSR	7-18, 20-13, 20-29, 20-43
DOFR	7-5, 20-12, 20-26, 20-42
DPFR	17-17
DR	8-7, 20-15, 20-32, 20-45
DSAR	7-4, 20-12, 20-26, 20-42
DTCR	7-5, 20-12, 20-26, 20-42
EXR	2-15
FCCS	17-10, 20-14, 20-31, 20-44
FEBS	17-24
FECS	17-12, 20-14, 20-31, 20-44
FKEY	17-12, 20-15, 20-31, 20-44
FMATS	17-13, 20-15, 20-31, 20-44
FMPAR	17-22
FMPDR	17-23
FPCS	17-11, 20-14, 20-31, 20-44
FPEFEQ	17-21
FPFR	17-18

FTDAR	17-14, 20-15, 20-31, 20-44
GSR	13-19, 20-2, 20-18, 20-36
ICR.....	8-8, 20-12, 20-25, 20-41
IER.....	5-6, 20-15, 20-32, 20-45
IMR	13-30, 20-2, 20-18, 20-36
INTCR.....	5-3, 20-15, 20-32, 20-45
IPR.....	5-5, 20-13, 20-29, 20-43
IRR.....	13-25, 20-2, 20-18, 20-36
ISCRH.....	5-8, 20-14, 20-30, 20-43
ISCRL	5-8, 20-14, 20-30, 20-43
ISR.....	5-11, 20-15, 20-32, 20-45
MAC	2-15
MBIMR0	13-40, 20-2, 20-18, 20-36
MCR.....	13-13, 20-2, 20-18, 20-36
MDCR	3-2, 20-14, 20-30, 20-43
MSTPCRA.....	19-5, 20-14, 20-30, 20-43
MSTPCRB.....	19-5, 20-14, 20-30, 20-43
MSTPCRC	19-8, 20-14, 20-30, 20-43
NDERH	10-3, 20-16, 20-32, 20-45
NDERL.....	10-3, 20-16, 20-32, 20-45
NDRH.....	10-5, 20-16, 20-32, 20-45
NDRL	10-5, 20-16, 20-32, 20-45
ODR.....	8-9, 20-12, 20-26, 20-42
PC.....	2-13
PCR	8-8, 10-7, 20-12, 20-16, 20-25, 20-32, 20-42, 20-45
PFCR9	8-31, 20-12, 20-26, 20-42
PFCRA.....	8-32, 20-12, 20-26, 20-42
PFCRB.....	8-33, 20-12, 20-26, 20-42
PHRTIDR.....	8-9, 20-10, 20-22, 20-39
PMR	10-8, 20-16, 20-32, 20-45
PODRH.....	10-4, 20-16, 20-32, 20-45
PODRL.....	10-4, 20-16, 20-32, 20-45
PORT	8-7, 20-15, 20-32, 20-45
RAMER.....	17-26, 20-14, 20-30, 20-43
RCANMON.....	13-42, 20-8, 20-21, 20-38
RDR	12-4, 20-14, 20-31, 20-44
REC	13-30, 20-2, 20-18, 20-36
RFPRO	13-39, 20-2, 20-18, 20-36
RSR	12-4
RSTCSR	11-4, 20-16, 20-33, 20-46
RXPRO	13-38, 20-2, 20-18, 20-36
SBR.....	2-15
SBYCR.....	19-3, 20-14, 20-30, 20-43
SCKCR	18-2, 20-14, 20-30, 20-43
SCMR	12-17, 20-14, 20-31, 20-44
SCR	12-8, 20-14, 20-30, 20-44
SMR	12-5, 20-14, 20-30, 20-43
SSCR2	14-11, 20-9, 20-21, 20-38
SSCRH.....	14-5, 20-8, 20-21, 20-38
SSCRL	14-6, 20-8, 20-21, 20-38
SSER	14-8, 20-8, 20-21, 20-38
SSIER.....	5-13, 20-12, 20-26, 20-42
SSMR	14-7, 20-8, 20-21, 20-38
SSR.....	12-11, 20-14, 20-30, 20-44
SSRDR.....	14-14, 20-9, 20-21, 20-38
SSSR	14-9, 20-9, 20-21, 20-38
SSTDR.....	14-13, 20-9, 20-21, 20-38
SSTRSR.....	14-15
SYSCR.....	3-3, 20-14, 20-30, 20-43
TCNT.....	9-40, 11-3, 20-16, 20-33, 20-46
TCR	9-14, 20-16, 20-33, 20-46
TCSR	11-3, 20-16, 20-33, 20-46
TDR	12-4, 20-14, 20-30, 20-44
TEC	13-30, 20-2, 20-18, 20-36
TGR.....	9-40, 20-16, 20-33, 20-46
TIER	9-36, 20-16, 20-33, 20-46
TIOR.....	9-19, 20-16, 20-33, 20-46
TMDR	9-17, 20-16, 20-33, 20-46
TSR	9-37, 12-5, 20-16, 20-33, 20-46
TSTR.....	9-40, 20-16, 20-33, 20-46
TSYR.....	9-41, 20-16, 20-33, 20-46
TXACK0	13-36, 20-2, 20-18, 20-36
TXCR0.....	13-35, 20-2, 20-18, 20-36
TXPR0.....	13-32, 20-2, 20-18, 20-36
TXPR1.....	13-32, 20-2, 20-18, 20-36
UMSR0.....	13-41, 20-2, 20-19, 20-36
VBR.....	2-15
汎用レジスタ	2-12
レジスタビット一覧	20-18
ローカルアクセプタンスフィルタマスク (LAFM) ..	13-12
【わ】	
割り込み	4-9
割り込み応答時間	5-27
割り込みコントローラ	5-1
割り込み制御モード 0	5-22
割り込み制御モード 2	5-24
割り込み要因	5-14
割り込み要因とベクタアドレスオフセット	5-16
割り込み例外処理	4-9
割り込み例外処理シーケンス	5-26
割り込み例外処理ベクタテーブル	5-15

ルネサス32ビットCISCマイクロコンピュータ
ハードウェアマニュアル
H8SX/1520Rグループ

発行年月日 2006年3月2日 Rev.1.00
発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

H8SX/1520R グループ ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0263-0100