

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については、  
必ず本文の内容をご確認ください。

# H8S/2140Bグループ

## ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2100シリーズ

H8S/2161B	HD64F2161BV
H8S/2160B	HD64F2160BV
H8S/2141B F-ZTAT™	HD64F2141BV
H8S/2140B F-ZTAT™	HD64F2140BV
H8S/2145B F-ZTAT™	HD64F2145BV
H8S/2148B F-ZTAT™	HD64F2148BV、 HD64F2148B

## 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
  - ・ CPU およびシステム制御系
  - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、  
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、  
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。  
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。  
必ずお読みください。（使用上の注意事項は必要により記載されます。）

7. レジスター一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。  
改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上  
でご確認ください。

11. 索引

---

# はじめに

---

H8S/2140B グループは、ルネサス テクノロジオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

システム構成に必要な機能としては、データトランスファコントローラ (DTC) のバスマスタ、ROM、RAM、8 ビット PWM タイマ (PWM)、14 ビット PWM タイマ (PWMX)、16 ビットフリーランニングタイマ (FRT)、8 ビットタイマ (TMR)、タイマコネクション、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、キーボードバッファコントローラ、ホストインタフェース X-BUS インタフェース (XBS)、ホストインタフェース LPC インタフェース (LPC)、8 ビット D/A 変換器、10 ビット A/D 変換器、I/O ポートの周辺機能などを内蔵しています。また、オプションとして、I<sup>2</sup>C バスインタフェース (IIC) を内蔵することができます。

また、高性能バスコントローラを内蔵し、DRAM などの各種のメモリを高速かつ容易に接続できます。

内蔵 ROM はフラッシュメモリ (F-ZTAT\*) があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】 \* F-ZTAT は (株)ルネサス テクノロジの商標です。

**対象者** このマニュアルは、H8S/2140B グループを用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、H8S/2140B グループのハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますのであわせて御覧ください。

## 読み方

- 機能全体を理解しようとするとき。  
→ 目次に従って読んでください。  
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。  
→ 別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。
- レジスタ名が分かっている、詳細機能を知りたいとき。  
→ 本書の後ろに「索引」があります。索引からページ番号を検索してください。  
「第26章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

- 凡例 レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。  
 XXX\_N (XXX は基本レジスタ名称、N はチャンネル番号)
- ビット表記順 : 左側が上位ビット、右側が下位ビットの順に表記します。
- 数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX
- 信号の表記 : ローアクティブの信号にはオーバーバーを付けます。XXXX

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。  
 ( <http://japan.renesas.com/> )

- H8S/2140Bグループに関するユーザーズマニュアル

資料名	資料番号
H8S/2140B グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッガ (Windows 版) ユーザーズマニュアル	ADJ - 702 - 163
H8S、H8/300 シリーズ シミュレータ・デバッガ (UNIX 版) ユーザーズマニュアル	ADJ - 702 - 355
H8S、H8/300 シリーズ High-performance Embedded Workshop、High-performance Debugging Interface チュートリアル	ADJ 702 307
High-performance Embedded Workshop ユーザーズマニュアル	ADJ - 702 - 275

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージアプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055



---

# 目次

---

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-3
1.3	端子説明	1-5
1.3.1	ピン配置図	1-5
1.3.2	動作モード別端子機能	1-7
1.3.3	端子機能	1-16
2.	CPU	2-1
2.1	特長	2-1
2.1.1	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2	H8/300 CPU との相違点	2-3
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.2.1	ノーマルモード	2-4
2.2.2	アドバンスモード	2-6
2.3	アドレス空間	2-8
2.4	レジスタの構成	2-8
2.4.1	汎用レジスタ	2-9
2.4.2	プログラムカウンタ (PC)	2-11
2.4.3	エクステンドレジスタ (EXR)	2-11
2.4.4	コンディションコードレジスタ (CCR)	2-11
2.4.5	CPU 内部レジスタの初期値	2-12
2.5	データ形式	2-13
2.5.1	汎用レジスタのデータ形式	2-13
2.5.2	メモリ上でのデータ形式	2-14
2.6	命令セット	2-16
2.6.1	命令の機能別一覧	2-17
2.6.2	命令の基本フォーマット	2-26
2.7	アドレッシングモードと実効アドレスの計算方法	2-27
2.7.1	レジスタ直接 Rn	2-27
2.7.2	レジスタ間接 @ERn	2-27
2.7.3	ディスプレイメント付きレジスタ間接 @(d:16,ERn)/@(d:32,ERn)	2-27
2.7.4	ポストインクリメントレジスタ間接@ERn+/プリデクリメントレジスタ間接-ERn	2-28

2.7.5	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32.....	2-28
2.7.6	イミディエイト #xx:8/#xx:16/#xx:32.....	2-29
2.7.7	プログラムカウンタ相対 @(d:8, PC)/@(d:16, PC).....	2-29
2.7.8	メモリ間接 @@aa:8.....	2-29
2.7.9	実効アドレスの計算方法.....	2-30
2.8	処理状態.....	2-32
2.9	使用上の注意.....	2-33
2.9.1	TAS 命令使用上の注意.....	2-33
2.9.2	STM/LDM 命令使用上の注意.....	2-34
2.9.3	ビット操作命令.....	2-34
2.9.4	EEPMOV 命令.....	2-35
3.	MCU 動作モード.....	3-1
3.1	動作モードの選択.....	3-1
3.2	レジスタの説明.....	3-1
3.2.1	モードコントロールレジスタ (MDCR).....	3-2
3.2.2	システムコントロールレジスタ (SYSCR).....	3-2
3.2.3	シリアルタイマコントロールレジスタ (STCR).....	3-4
3.3	各動作モードの説明.....	3-5
3.3.1	モード1.....	3-5
3.3.2	モード2.....	3-5
3.3.3	モード3.....	3-5
3.3.4	端子機能.....	3-6
3.4	アドレスマップ.....	3-7
4.	例外処理.....	4-1
4.1	例外処理の種類と優先度.....	4-1
4.2	例外処理要因とベクタテーブル.....	4-1
4.3	リセット.....	4-2
4.3.1	リセット例外処理.....	4-2
4.3.2	リセット直後の割り込み.....	4-3
4.3.3	リセット解除後の内蔵周辺機能.....	4-3
4.4	割り込み例外処理.....	4-4
4.5	トラップ命令例外処理.....	4-4
4.6	例外処理後のスタックの状態.....	4-5
4.7	使用上の注意事項.....	4-5
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1
5.2	入出力端子.....	5-2

5.3	レジスタの説明	5-3
5.3.1	インタラプトコントロールレジスタ A ~ C (ICRA ~ ICRC)	5-3
5.3.2	アドレスブレークコントロールレジスタ (ABRKCR)	5-4
5.3.3	ブレークアドレスレジスタ A ~ C (BARA ~ BARC)	5-4
5.3.4	IRQ センスコントロールレジスタ (ISCRH、ISCRL)	5-5
5.3.5	IRQ イネーブルレジスタ (IER)	5-5
5.3.6	IRQ ステータスレジスタ (ISR)	5-6
5.3.7	キーボードマトリクス割り込みレジスタ (KMIMRA、KMIMR) ウェイクアップイベント割り込みマスクレジスタ (WUEMRB)	5-6
5.4	割り込み要因	5-8
5.4.1	外部割り込み要因	5-8
5.4.2	内部割り込み要因	5-10
5.5	割り込み例外処理ベクタテーブル	5-10
5.6	割り込み制御モードと割り込み動作	5-13
5.6.1	割り込み制御モード 0	5-13
5.6.2	割り込み制御モード 1	5-15
5.6.3	割り込み例外処理シーケンス	5-17
5.6.4	割り込み応答時間	5-19
5.6.5	割り込みによる DTC の起動	5-19
5.7	アドレスブレーク	5-21
5.7.1	特長	5-21
5.7.2	ブロック図	5-21
5.7.3	動作説明	5-22
5.7.4	使用上の注意事項	5-22
5.8	使用上の注意事項	5-24
5.8.1	割り込みの発生とディスエーブルとの競合	5-24
5.8.2	割り込みを禁止している命令	5-24
5.8.3	EEPMOV 命令実行中の割り込み	5-25
5.8.4	DTC 内蔵製品における設定について	5-25
5.8.5	IRQ ステータスレジスタ (ISR) について	5-25
6.	バスコントローラ (BSC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-2
6.3	レジスタの説明	6-3
6.3.1	バスコントロールレジスタ (BCR)	6-3
6.3.2	ウェイトステートコントロールレジスタ (WSCR)	6-4
6.4	バス制御	6-5
6.4.1	バス仕様	6-5
6.4.2	アドバンスモード	6-6
6.4.3	ノーマルモード	6-6

6.4.4	I/O セレクト信号	6-6
6.5	基本バスインタフェース	6-7
6.5.1	データサイズとデータアライメント	6-7
6.5.2	有効ストロブ	6-8
6.5.3	基本動作タイミング	6-9
6.5.4	ウェイト制御	6-17
6.6	バーストROMインタフェース	6-19
6.6.1	基本動作タイミング	6-19
6.6.2	ウェイト制御	6-20
6.7	アイドルサイクル	6-21
6.8	バスアービトレーション	6-22
6.8.1	バスマスタの優先順位	6-22
6.8.2	バス権移行タイミング	6-22
7.	データトランスファコントローラ (DTC)	7-1
7.1	特長	7-1
7.2	レジスタの説明	7-2
7.2.1	DTC モードレジスタ A (MRA)	7-3
7.2.2	DTC モードレジスタ B (MRB)	7-4
7.2.3	DTC ソースアドレスレジスタ (SAR)	7-4
7.2.4	DTC デスティネーションアドレスレジスタ (DAR)	7-4
7.2.5	DTC 転送カウントレジスタ A (CRA)	7-4
7.2.6	DTC 転送カウントレジスタ B (CRB)	7-4
7.2.7	DTC イネーブルレジスタ A ~ E (DTCERA ~ DTCERE)	7-5
7.2.8	DTC ベクタレジスタ (DTVECR)	7-5
7.3	起動要因	7-6
7.4	レジスタ情報の配置とDTCベクタテーブル	7-7
7.5	動作説明	7-9
7.5.1	ノーマルモード	7-10
7.5.2	リピートモード	7-11
7.5.3	ブロック転送モード	7-12
7.5.4	チェイン転送	7-13
7.5.5	割り込み要因	7-14
7.5.6	動作タイミング	7-14
7.5.7	DTC 実行ステート数	7-15
7.6	DTC使用手順	7-16
7.6.1	割り込みによる起動	7-16
7.6.2	ソフトウェアによる起動	7-16
7.7	DTC使用例	7-17
7.7.1	ノーマルモード	7-17

7.7.2	ソフトウェア起動 .....	7-17
7.8	使用上の注意事項 .....	7-18
7.8.1	モジュールストップモードの設定 .....	7-18
7.8.2	内蔵 RAM .....	7-18
7.8.3	DTCE ビットの設定 .....	7-18
7.8.4	サブアクティブモード、ウォッチモードへの遷移時の設定 .....	7-18
7.8.5	SCI、IIC、LPC および A/D 変換器の割り込み要因 .....	7-18
8.	I/O ポート .....	8-1
8.1	概要 .....	8-1
8.2	ポート1 .....	8-5
8.2.1	ポート1 データディレクションレジスタ (P1DDR) .....	8-5
8.2.2	ポート1 データレジスタ (P1DR) .....	8-5
8.2.3	ポート1 プルアップ MOS コントロールレジスタ (P1PCR) .....	8-6
8.2.4	端子機能 .....	8-6
8.2.5	ポート1 入力プルアップ MOS .....	8-6
8.3	ポート2 .....	8-7
8.3.1	ポート2 データディレクションレジスタ (P2DDR) .....	8-7
8.3.2	ポート2 データレジスタ (P2DR) .....	8-7
8.3.3	ポート2 プルアップ MOS コントロールレジスタ (P2PCR) .....	8-8
8.3.4	端子機能 .....	8-8
8.3.5	ポート2 入力プルアップ MOS .....	8-9
8.4	ポート3 .....	8-9
8.4.1	ポート3 データディレクションレジスタ (P3DDR) .....	8-10
8.4.2	ポート3 データレジスタ (P3DR) .....	8-10
8.4.3	ポート3 プルアップ MOS コントロールレジスタ (P3PCR) .....	8-11
8.4.4	端子機能 .....	8-11
8.4.5	ポート3 入力プルアップ MOS .....	8-11
8.5	ポート4 .....	8-12
8.5.1	ポート4 データディレクションレジスタ (P4DDR) .....	8-12
8.5.2	ポート4 データレジスタ (P4DR) .....	8-13
8.5.3	端子機能 .....	8-13
8.6	ポート5 .....	8-15
8.6.1	ポート5 データディレクションレジスタ (P5DDR) .....	8-15
8.6.2	ポート5 データレジスタ (P5DR) .....	8-16
8.6.3	端子機能 .....	8-16
8.7	ポート6 .....	8-17
8.7.1	ポート6 データディレクションレジスタ (P6DDR) .....	8-17
8.7.2	ポート6 データレジスタ (P6DR) .....	8-17
8.7.3	ポート6 プルアップ MOS コントロールレジスタ (KMPCR) .....	8-18

8.7.4	端子機能	8-18
8.7.5	ポート6 入力プルアップ MOS	8-20
8.8	ポート7	8-21
8.8.1	ポート7 入力データレジスタ (P7PIN)	8-21
8.8.2	端子機能	8-21
8.9	ポート8	8-22
8.9.1	ポート8 データディレクションレジスタ (P8DDR)	8-22
8.9.2	ポート8 データレジスタ (P8DR)	8-23
8.9.3	端子機能	8-23
8.10	ポート9	8-25
8.10.1	ポート9 データディレクションレジスタ (P9DDR)	8-26
8.10.2	ポート9 データレジスタ (P9DR)	8-26
8.10.3	端子機能	8-27
8.11	ポートA	8-29
8.11.1	ポートA データディレクションレジスタ (PADDR)	8-29
8.11.2	ポートA 出力データレジスタ (PAODR)	8-29
8.11.3	ポートA 入力データレジスタ (PAPIN)	8-30
8.11.4	端子機能	8-30
8.11.5	ポートA 入力プルアップ MOS	8-33
8.12	ポートB	8-33
8.12.1	ポートB データディレクションレジスタ (PBDDR)	8-33
8.12.2	ポートB 出力データレジスタ (PBODR)	8-34
8.12.3	ポートB 入力データレジスタ (PBPIN)	8-34
8.12.4	端子機能	8-35
8.12.5	ポートB 入力プルアップ MOS	8-37
8.13	H8S/2160B、H8S/2161Bの追加概要	8-37
8.14	ポートC、D	8-39
8.14.1	ポートC、D データディレクションレジスタ (PCDDR、PDDDR)	8-39
8.14.2	ポートC、D 出力データレジスタ (PCODR、PDODR)	8-40
8.14.3	ポートC、D 入力データレジスタ (PCPIN、PDPIN)	8-40
8.14.4	ポートC、D Nch-OD コントロールレジスタ (PCNOCR、PDNOCR)	8-41
8.14.5	端子機能	8-42
8.14.6	ポートC、D 入力プルアップ MOS	8-42
8.15	ポートE、F	8-42
8.15.1	ポートE、F データディレクションレジスタ (PEDDR、PFDDR)	8-43
8.15.2	ポートE、F 出力データレジスタ (PEODR、PFODR)	8-43
8.15.3	ポートE、F 入力データレジスタ (PEPIN、PFPIN)	8-44
8.15.4	ポートE、F Nch-OD コントロールレジスタ (PENOCR、PFNOCR)	8-45
8.15.5	端子機能	8-45
8.15.6	ポートE、F 入力プルアップ MOS	8-46
8.16	ポートG	8-46

8.16.1	ポート G データディレクションレジスタ (PGDDR) .....	8-46
8.16.2	ポート G 出力データレジスタ (PGODR) .....	8-47
8.16.3	ポート G 入力データレジスタ (PGPIN) .....	8-47
8.16.4	ポート G Nch-OD コントロールレジスタ (PGNOCR) .....	8-48
8.16.5	端子機能 .....	8-48
9.	8 ビット PWM タイマ (PWM) .....	9-1
9.1	特長 .....	9-1
9.2	入出力端子 .....	9-3
9.3	レジスタの説明 .....	9-3
9.3.1	PWM レジスタセレクト (PWSL) .....	9-4
9.3.2	PWM データレジスタ (PWDR0 ~ PWDR15) .....	9-5
9.3.3	PWM データポラリティレジスタ A、B (PWDpra、PWDprb) .....	9-6
9.3.4	PWM アウトプットイネーブルレジスタ A、B (PWOera、PWOerb) .....	9-6
9.3.5	周辺クロックセレクトレジスタ (PCSR) .....	9-7
9.4	動作説明 .....	9-8
9.5	使用上の注意事項 .....	9-10
9.5.1	モジュールストップモードの設定 .....	9-10
10.	14 ビット PWM タイマ (PWMX) .....	10-1
10.1	特長 .....	10-1
10.2	入出力端子 .....	10-2
10.3	レジスタの説明 .....	10-3
10.3.1	PWM (D/A) カウンタ H、L (DACnth、DACntl) .....	10-3
10.3.2	PWM (D/A) データレジスタ A、B (DADra、DADrb) .....	10-4
10.3.3	PWM (D/A) コントロールレジスタ (DACR) .....	10-6
10.4	バスマスタとのインタフェース .....	10-7
10.5	動作説明 .....	10-8
10.6	使用上の注意事項 .....	10-14
10.6.1	モジュールストップモードの設定 .....	10-14
11.	16 ビットフリーランニングタイマ (FRT) .....	11-1
11.1	特長 .....	11-1
11.2	入出力端子 .....	11-3
11.3	レジスタの説明 .....	11-3
11.3.1	フリーランニングカウンタ (FRC) .....	11-4
11.3.2	アウトプットコンペアレジスタ A、B (OCra、OCrB) .....	11-4
11.3.3	インプットキャプチャレジスタ A ~ D (ICra ~ ICRd) .....	11-4
11.3.4	アウトプットコンペアレジスタ AR、AF (OCrAR、OCrAF) .....	11-5
11.3.5	アウトプットコンペアレジスタ DM (OCrDM) .....	11-5

11.3.6	タイマインタラプトイネーブルレジスタ (TIER) .....	11-5
11.3.7	タイマコントロール/ステータスレジスタ (TCSR) .....	11-7
11.3.8	タイマコントロールレジスタ (TCR) .....	11-9
11.3.9	タイマアウトプットコンペアコントロールレジスタ (TOCR) .....	11-10
11.4	動作説明 .....	11-11
11.4.1	パルス出力 .....	11-11
11.5	動作タイミング .....	11-12
11.5.1	FRC のカウントタイミング .....	11-12
11.5.2	アウトプットコンペア出力タイミング .....	11-13
11.5.3	FRC のクリアタイミング .....	11-13
11.5.4	インプットキャプチャ入力タイミング .....	11-14
11.5.5	バッファ動作時のインプットキャプチャ入力タイミング .....	11-15
11.5.6	インプットキャプチャ時のフラグセットタイミング .....	11-16
11.5.7	アウトプットコンペア時のフラグセットタイミング .....	11-17
11.5.8	オーバフロー時のフラグセットタイミング .....	11-17
11.5.9	自動加算タイミング .....	11-18
11.5.10	マスク信号生成タイミング .....	11-18
11.6	割り込み要因 .....	11-19
11.7	使用上の注意事項 .....	11-20
11.7.1	FRC のライトとクリアの競合 .....	11-20
11.7.2	FRC のライトとカウントアップの競合 .....	11-21
11.7.3	OCR のライトとコンペアマッチの競合 .....	11-22
11.7.4	内部クロックの切り替えとカウンタの動作 .....	11-24
11.7.5	モジュールストップモードの設定 .....	11-25
12.	8 ビットタイマ (TMR) .....	12-1
12.1	特長 .....	12-1
12.2	入出力端子 .....	12-4
12.3	レジスタの説明 .....	12-4
12.3.1	タイマカウンタ (TCNT) .....	12-5
12.3.2	タイムコンスタントレジスタ A (TCORA) .....	12-5
12.3.3	タイムコンスタントレジスタ B (TCORB) .....	12-5
12.3.4	タイマコントロールレジスタ (TCR) .....	12-6
12.3.5	タイマコントロール/ステータスレジスタ (TCSR) .....	12-8
12.3.6	インプットキャプチャレジスタ (TICR) .....	12-12
12.3.7	タイムコンスタントレジスタ (TCORC) .....	12-12
12.3.8	インプットキャプチャレジスタ R、F (TICRR、TICRF) .....	12-12
12.3.9	タイマインプットセレクトレジスタ (TISR) .....	12-12
12.4	動作説明 .....	12-13
12.4.1	パルス出力 .....	12-13



12.5	動作タイミング	12-14
12.5.1	TCNT のカウントタイミング	12-14
12.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	12-14
12.5.3	コンペアマッチ時のタイマ出力タイミング	12-15
12.5.4	コンペアマッチによるカウンタクリアタイミング	12-15
12.5.5	TCNT の外部リセットタイミング	12-16
12.5.6	オーバフローフラグ (OVF) のセットタイミング	12-16
12.6	カスケード接続時の動作	12-17
12.6.1	16 ビットカウントモード	12-17
12.6.2	コンペアマッチカウントモード	12-17
12.7	インプットキャプチャ動作	12-17
12.8	割り込み要因	12-20
12.9	使用上の注意事項	12-21
12.9.1	TCNT のライトとカウンタクリアの競合	12-21
12.9.2	TCNT のライトとカウントアップの競合	12-22
12.9.3	TCOR のライトとコンペアマッチの競合	12-23
12.9.4	コンペアマッチ A、B の競合	12-23
12.9.5	内部クロックの切り替えと TCNT の動作	12-24
12.9.6	カスケード接続時のモード設定	12-25
12.9.7	モジュールストップモードの設定	12-25
13.	タイマコネクション	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	タイマコネクションレジスタ I ( TCONRI )	13-4
13.3.2	タイマコネクションレジスタ O ( TCONRO )	13-6
13.3.3	タイマコネクションレジスタ S ( TCONRS )	13-7
13.3.4	エッジセンスレジスタ ( SEDGR )	13-9
13.4	動作説明	13-10
13.4.1	PWM デコード ( PDC 信号生成 )	13-10
13.4.2	クランプ波形の生成 ( CL1、CL2、CL3 信号の生成 )	13-11
13.4.3	8 ビットタイマ分周波形周期測定	13-13
13.4.4	IHI 信号の 2fH モディファイ	13-14
13.4.5	IVI 信号の立ち下がりモディファイと IHI 同期	13-15
13.4.6	内部同期信号の生成 ( IHG 信号、IVG 信号、CL4 信号の生成 )	13-16
13.4.7	HSYNCO 出力	13-18
13.4.8	VSYNCO 出力	13-19
13.4.9	CBLANK 出力	13-20
13.5	使用上の注意事項	13-20

13.5.1	モジュールストップモードの設定	13-20
14.	ウォッチドッグタイマ (WDT)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3
14.3.1	タイマカウンタ (TCNT)	14-3
14.3.2	タイマコントロール/ステータスレジスタ (TCSR)	14-4
14.4	動作説明	14-7
14.4.1	ウォッチドッグタイマモード	14-7
14.4.2	インターバルタイマモード	14-8
14.4.3	$\overline{\text{RESO}}$ 信号出力タイミング	14-9
14.5	割り込み要因	14-9
14.6	使用上の注意事項	14-10
14.6.1	レジスタアクセス時の注意事項	14-10
14.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	14-11
14.6.3	CKS2 ~ CKS0 ビットの書き換え	14-11
14.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	14-11
14.6.5	$\overline{\text{RESO}}$ 信号によるシステムのリセット	14-12
14.6.6	高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値	14-12
15.	シリアルコミュニケーションインタフェース (SCI、IrDA)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	レシーブシフトレジスタ (RSR)	15-4
15.3.2	レシーブデータレジスタ (RDR)	15-4
15.3.3	トランスミットデータレジスタ (TDR)	15-4
15.3.4	トランスミットシフトレジスタ (TSR)	15-4
15.3.5	シリアルモードレジスタ (SMR)	15-5
15.3.6	シリアルコントロールレジスタ (SCR)	15-6
15.3.7	シリアルステータスレジスタ (SSR)	15-7
15.3.8	シリアルインタフェースモードレジスタ (SCMR)	15-9
15.3.9	ビットレートレジスタ (BRR)	15-10
15.3.10	キーボードコンパレータコントロールレジスタ (KBCOMP)	15-16
15.4	調歩同期式モードの動作	15-17
15.4.1	送受信フォーマット	15-18
15.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-19
15.4.3	クロック	15-20
15.4.4	SCI の初期化 (調歩同期式)	15-21

15.4.5	データ送信（調歩同期式）	15-22
15.4.6	シリアルデータ受信（調歩同期式）	15-24
15.5	マルチプロセッサ通信機能	15-27
15.5.1	マルチプロセッサシリアルデータ送信	15-28
15.5.2	マルチプロセッサシリアルデータ受信	15-29
15.6	クロック同期式モードの動作	15-32
15.6.1	クロック	15-32
15.6.2	SCI の初期化（クロック同期式）	15-33
15.6.3	シリアルデータ送信（クロック同期式）	15-34
15.6.4	シリアルデータ受信（クロック同期式）	15-36
15.6.5	シリアルデータ送受信同時動作（クロック同期式）	15-38
15.7	IrDA動作	15-40
15.8	割り込み要因	15-43
15.9	使用上の注意事項	15-44
15.9.1	モジュールストップモードの設定	15-44
15.9.2	ブレークの検出と処理	15-44
15.9.3	マーク状態とブレークの送り出し	15-44
15.9.4	受信エラーフラグと送信動作（クロック同期式モードのみ）	15-44
15.9.5	TDR へのライトと TDRE フラグの関係	15-44
15.9.6	DTC の使用上の制約	15-45
15.9.7	モード遷移時の動作	15-45
15.9.8	SCK 端子からポート端子への切り替え	15-49
16.	<b>I<sup>2</sup>C バスインタフェース (IIC) 【オプション】</b>	<b>16-1</b>
16.1	特長	16-1
16.2	入出力端子	16-4
16.3	レジスタの説明	16-4
16.3.1	I <sup>2</sup> C バスデータレジスタ (ICDR)	16-5
16.3.2	スレーブアドレスレジスタ (SAR)	16-6
16.3.3	第2スレーブアドレスレジスタ (SARX)	16-6
16.3.4	I <sup>2</sup> C バスモードレジスタ (ICMR)	16-8
16.3.5	I <sup>2</sup> C バスコントロールレジスタ (ICCR)	16-9
16.3.6	I <sup>2</sup> C バスステータスレジスタ (ICSR)	16-16
16.3.7	DDC スイッチレジスタ (DDCSWR)	16-19
16.3.8	I <sup>2</sup> C バスコントロール拡張レジスタ (ICXR)	16-21
16.4	動作説明	16-24
16.4.1	I <sup>2</sup> C バスデータフォーマット	16-24
16.4.2	初期設定	16-27
16.4.3	マスタ送信動作	16-28
16.4.4	マスタ受信動作	16-32

16.4.5	スレーブ受信動作 .....	16-39
16.4.6	スレーブ送信動作 .....	16-46
16.4.7	IRIC セットタイミングと SCL 制御 .....	16-49
16.4.8	フォーマットレスから I <sup>2</sup> C バスフォーマットへの自動切り替え .....	16-52
16.4.9	DTC による動作 .....	16-53
16.4.10	ノイズ除去回路 .....	16-54
16.4.11	内部状態の初期化 .....	16-54
16.5	割り込み要因 .....	16-55
16.6	使用上の注意事項 .....	16-56
16.6.1	モジュールストップモードの設定 .....	16-66
17.	キーボードバッファコントローラ .....	17-1
17.1	特長 .....	17-1
17.2	入出力端子 .....	17-2
17.3	レジスタの説明 .....	17-3
17.3.1	キーボードコントロールレジスタ H (KBCRH) .....	17-3
17.3.2	キーボードコントロールレジスタ L (KBCRL) .....	17-5
17.3.3	キーボードデータバッファレジスタ (KBBR) .....	17-6
17.4	動作説明 .....	17-7
17.4.1	受信動作 .....	17-7
17.4.2	送信動作 .....	17-8
17.4.3	受信中断動作 .....	17-11
17.4.4	KCLKI、KDI リードタイミング .....	17-13
17.4.5	KCLKO、KDO ライトタイミング .....	17-13
17.4.6	KBF セットタイミングと KCLK 制御 .....	17-14
17.4.7	受信タイミング .....	17-15
17.4.8	KCLK 立ち下がり割り込みの動作 .....	17-16
17.5	使用上の注意事項 .....	17-17
17.5.1	KBIOE セットと KCLK 立ち下がりエッジ検出 .....	17-17
17.5.2	モジュールストップモードの設定 .....	17-17
18.	ホストインタフェース X-BUS インタフェース (XBS) .....	18-1
18.1	特長 .....	18-1
18.2	入出力端子 .....	18-3
18.3	レジスタの説明 .....	18-4
18.3.1	システムコントロールレジスタ 2 (SYSCR2) .....	18-4
18.3.2	ホストインタフェースコントロールレジスタ (HICR) ホストインタフェースコントロールレジスタ 2 (HICR2) .....	18-5
18.3.3	入力データレジスタ (IDR) .....	18-7
18.3.4	出力データレジスタ (ODR) .....	18-7

18.3.5	ステータスレジスタ (STR) .....	18-7
18.4	動作説明 .....	18-9
18.4.1	ホストインタフェースの起動 .....	18-9
18.4.2	コントロール状態 .....	18-10
18.4.3	GATE A20 .....	18-10
18.4.4	ホストインタフェース端子シャットダウン機能 .....	18-12
18.5	割り込み要因 .....	18-13
18.5.1	IBF1、IBF2、IBF3、IBF4 .....	18-13
18.5.2	HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4 .....	18-14
18.6	使用上の注意事項 .....	18-15
18.6.1	ホストインタフェース使用上の注意 .....	18-15
18.6.2	モジュールストップモードの設定 .....	18-15
19.	ホストインタフェース LPC インタフェース (LPC) .....	19-1
19.1	特長 .....	19-1
19.2	入出力端子 .....	19-3
19.3	レジスタの説明 .....	19-4
19.3.1	ホストインタフェースコントロールレジスタ 0、1 (HICR0、HICR1) .....	19-5
19.3.2	ホストインタフェースコントロールレジスタ 2、3 (HICR2、HICR3) .....	19-10
19.3.3	LPC チャンネル 3 アドレスレジスタ (LADR3) .....	19-13
19.3.4	入力データレジスタ 1~3 (IDR1~IDR3) .....	19-14
19.3.5	出力データレジスタ 1~3 (ODR1~ODR3) .....	19-14
19.3.6	双方向データレジスタ 0~15 (TWR0~TWR15) .....	19-15
19.3.7	ステータスレジスタ 1~3 (STR1~STR3) .....	19-15
19.3.8	SERIRQ コントロールレジスタ 0、1 (SIRQCR0、SIRQCR1) .....	19-21
19.3.9	ホストインタフェースセレクトレジスタ (HISEL) .....	19-28
19.4	動作説明 .....	19-29
19.4.1	ホストインタフェースの起動 .....	19-29
19.4.2	LPC の I/O サイクル .....	19-29
19.4.3	GATE A20 .....	19-31
19.4.4	ホストインタフェースのシャットダウン機能 (LPCPD) .....	19-33
19.4.5	ホストインタフェースのシリアル割り込み動作 (SERIRQ) .....	19-37
19.4.6	ホストインタフェースのクロック起動要求 (CLKRUN) .....	19-39
19.5	割り込み要因 .....	19-39
19.5.1	IBFI1、IBFI2、IBFI3、ERRI .....	19-39
19.5.2	SMI、HIRQ1、HIRQ6、HIRQ9、HIRQ10、HIRQ11、HIRQ12 .....	19-40
19.6	使用上の注意事項 .....	19-41
19.6.1	モジュールストップモードの設定 .....	19-41
19.6.2	ホストインタフェース使用上の注意事項 .....	19-41

20.	D/A 変換器 .....	20-1
20.1	特長 .....	20-1
20.2	入出力端子 .....	20-2
20.3	レジスタの説明 .....	20-2
20.3.1	D/A データレジスタ 0、1 (DADR0、DADR1) .....	20-2
20.3.2	D/A コントロールレジスタ (DACR) .....	20-2
20.4	動作説明 .....	20-3
20.5	使用上の注意事項 .....	20-4
20.5.1	モジュールストップモードの設定 .....	20-4
21.	A/D 変換器 .....	21-1
21.1	特長 .....	21-1
21.2	入出力端子 .....	21-3
21.3	レジスタの説明 .....	21-3
21.3.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D) .....	21-4
21.3.2	A/D コントロール/ステータスレジスタ (ADCSR) .....	21-4
21.3.3	A/D コントロールレジスタ (ADCR) .....	21-5
21.3.4	キーボードコンパレータコントロールレジスタ (KBCOMP) .....	21-6
21.4	動作説明 .....	21-6
21.4.1	シングルモード .....	21-7
21.4.2	スキャンモード .....	21-7
21.4.3	入力サンプリングと A/D 変換時間 .....	21-8
21.4.4	外部トリガ入力タイミング .....	21-9
21.5	割り込み要因 .....	21-10
21.6	A/D変換精度の定義 .....	21-10
21.7	使用上の注意事項 .....	21-12
21.7.1	許容信号源インピーダンスについて .....	21-12
21.7.2	絶対精度への影響 .....	21-12
21.7.3	アナログ電源端子他の設定範囲 .....	21-12
21.7.4	ボード設計上の注意 .....	21-13
21.7.5	ノイズ対策上の注意 .....	21-13
21.7.6	モジュールストップモードの設定 .....	21-14
22.	RAM .....	22-1
23.	ROM .....	23-1
23.1	特長 .....	23-1
23.2	モード遷移図 .....	23-3
23.3	ブロック構成 .....	23-6
23.3.1	64k バイト版のブロック構成 .....	23-6

23.3.2	128k バイト版のブロック構成.....	23-7
23.3.3	256k バイト版のブロック構成.....	23-8
23.4	入出力端子.....	23-9
23.5	レジスタの説明.....	23-9
23.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1) .....	23-10
23.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2) .....	23-11
23.5.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2) .....	23-12
23.6	動作モード.....	23-15
23.7	オンボードプログラミング.....	23-15
23.7.1	ブートモード.....	23-16
23.7.2	ユーザプログラムモード.....	23-20
23.8	フラッシュメモリの書き込み / 消去.....	23-21
23.8.1	プログラム / プログラムベリファイ .....	23-21
23.8.2	イレース / イレースベリファイ.....	23-23
23.9	書き込み / 消去プロテクト.....	23-25
23.9.1	ハードウェアプロテクト.....	23-25
23.9.2	ソフトウェアプロテクト.....	23-25
23.9.3	エラープロテクト .....	23-25
23.10	フラッシュメモリの書き込み / 消去時の割り込み .....	23-26
23.11	ライターモード.....	23-26
23.12	使用上の注意事項 .....	23-27
24.	クロック発振器 .....	24-1
24.1	発振器.....	24-2
24.1.1	水晶発振子を接続する方法.....	24-2
24.1.2	外部クロックを入力する方法.....	24-3
24.2	デューティ補正回路 .....	24-5
24.3	中速クロック分周器 .....	24-5
24.4	バスマスタクロック選択回路.....	24-5
24.5	サブクロック入力回路 .....	24-6
24.6	波形形成回路.....	24-7
24.7	クロック選択回路.....	24-7
24.8	X1、X2の端子処理.....	24-7
24.9	使用上の注意事項 .....	24-8
24.9.1	発振子に関する注意事項.....	24-8
24.9.2	ボード設計上の注意事項.....	24-8
25.	低消費電力状態 .....	25-1
25.1	レジスタの説明.....	25-2
25.1.1	スタンバイコントロールレジスタ (SBYCR) .....	25-2

25.1.2	ローパワーコントロールレジスタ (LPWRCR) .....	25-4
25.1.3	モジュールストップコントロールレジスタ H、L (MSTPCR <sub>H</sub> 、MSTPCR <sub>L</sub> ) .....	25-5
25.2	モード間遷移とLSIの状態 .....	25-5
25.3	中速モード .....	25-8
25.4	スリープモード .....	25-9
25.5	ソフトウェアスタンバイモード .....	25-9
25.6	ハードウェアスタンバイモード .....	25-10
25.7	ウォッチモード .....	25-11
25.8	サブスリープモード .....	25-12
25.9	サブアクティブモード .....	25-12
25.10	モジュールストップモード .....	25-13
25.11	直接遷移 .....	25-13
25.12	使用上の注意事項 .....	25-13
25.12.1	I/O ポートの状態 .....	25-13
25.12.2	発振安定待機中の消費電流 .....	25-13
25.12.3	DTC のモジュールストップモードの設定 .....	25-13
26.	レジスタ一覧 .....	26-1
26.1	レジスタアドレス一覧 (アドレス順) .....	26-2
26.2	レジスタビット一覧 .....	26-10
26.3	各動作モードにおけるレジスタの状態 .....	26-18
26.4	レジスタ選択条件 .....	26-26
27.	電気的特性 .....	27-1
27.1	H8S/2140B、H8S/2141B、H8S/2160B、H8S/2161Bの電気的特性 .....	27-1
27.1.1	絶対最大定格 .....	27-1
27.1.2	DC 特性 .....	27-2
27.1.3	AC 特性 .....	27-7
27.1.4	A/D 変換特性 .....	27-14
27.1.5	D/A 変換特性 .....	27-15
27.1.6	フラッシュメモリ特性 .....	27-15
27.1.7	使用上の注意 .....	27-17
27.2	H8S/2145B、H8S/2148Bの電気的特性 .....	27-18
27.2.1	絶対最大定格 .....	27-18
27.2.2	DC 特性 .....	27-19
27.2.3	AC 特性 .....	27-30
27.2.4	A/D 変換特性 .....	27-38
27.2.5	D/A 変換特性 .....	27-40
27.2.6	フラッシュメモリ特性 .....	27-41
27.2.7	使用上の注意 .....	27-42



27.3	タイミング図 .....	27-44
27.3.1	クロックタイミング .....	27-44
27.3.2	制御信号タイミング .....	27-45
27.3.3	パスタイミング .....	27-46
27.3.4	内蔵周辺モジュールタイミング .....	27-50
付録	.....	付録-1
A.	各処理状態におけるI/Oポートの状態 .....	付録-1
B.	型名一覧 .....	付録-4
C.	外形寸法図 .....	付録-5
本版で改訂された箇所	.....	改-1
索引	.....	索引-1



---

# 図目次

---

1. 概要	1-1
図 1.1 H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B 内部ブロック図	1-3
図 1.2 H8S/2160B、H8S/2161B 内部ブロック図	1-4
図 1.3 H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B ピン配置図	1-5
図 1.4 H8S/2160B、H8S/2161B ピン配置図	1-6
2. CPU	2-1
図 2.1 例外処理ベクタテーブル（ノーマルモード）	2-5
図 2.2 ノーマルモードのスタック構造	2-5
図 2.3 例外処理ベクタテーブル（アドバンストモード）	2-6
図 2.4 アドバンストモードのスタック構造	2-7
図 2.5 アドレス空間	2-8
図 2.6 CPU 内部レジスタ構成	2-9
図 2.7 汎用レジスタの使用法	2-10
図 2.8 スタックの状態	2-10
図 2.9 汎用レジスタのデータ形式（1）	2-13
図 2.9 汎用レジスタのデータ形式（2）	2-14
図 2.10 メモリ上でのデータ形式	2-15
図 2.11 命令フォーマットの例	2-26
図 2.12 メモリ間接による分岐アドレスの指定	2-30
図 2.13 状態遷移図	2-33
3. MCU 動作モード	3-1
図 3.1 H8S/2140B、H8S/2160B のアドレスマップ（1）	3-7
図 3.2 H8S/2140B、H8S/2160B のアドレスマップ（2）	3-8
図 3.3 H8S/2141B、H8S/2161B のアドレスマップ（1）	3-9
図 3.4 H8S/2141B、H8S/2161B のアドレスマップ（2）	3-10
図 3.5 H8S/2145BV のアドレスマップ（1）	3-11
図 3.6 H8S/2145BV のアドレスマップ（2）	3-12
図 3.7 H8S/2145B のアドレスマップ（1）	3-13
図 3.8 H8S/2145B のアドレスマップ（2）	3-14
図 3.9 H8S/2148B のアドレスマップ（1）	3-15
図 3.10 H8S/2148B のアドレスマップ（2）	3-16

4.	例外処理	4-1
図 4.1	リセットシーケンス (モード 3)	4-3
図 4.2	例外処理終了後のスタックの状態	4-5
図 4.3	SP を奇数に設定したときの動作	4-6
5.	割り込みコントローラ	5-1
図 5.1	割り込みコントローラのブロック図	5-2
図 5.2	IRQ7、IRQ6 割り込みと KIN15 ~ KIN0 割り込みおよび WUE7 ~ WUE0 割り込み、 KMIMR、KMIMRA、WUEMRB との関係	5-8
図 5.3	IRQ7 ~ IRQ0 割り込みのブロック図	5-9
図 5.4	割り込み制御モード 0 の割り込み受け付けまでのフロー	5-14
図 5.5	割り込み制御モード 1 の状態遷移	5-15
図 5.6	割り込み制御モード 1 の割り込み受け付けまでのフロー	5-17
図 5.7	割り込み例外処理	5-18
図 5.8	DTC と割り込みコントローラ	5-20
図 5.9	アドレスブレイクのブロック図	5-21
図 5.10	アドレスブレイクタイミング例	5-23
図 5.11	割り込みの発生とディスエーブルの競合	5-24
6.	バスコントローラ (BSC)	6-1
図 6.1	バスコントローラのブロック図	6-2
図 6.2	$\overline{IOS}$ 信号出力タイミング	6-6
図 6.3	アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)	6-7
図 6.4	アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)	6-8
図 6.5	8 ビット 2 ステートアクセス空間のバスタイミング	6-9
図 6.6	8 ビット 3 ステートアクセス空間のバスタイミング	6-10
図 6.7	16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-11
図 6.8	16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-12
図 6.9	16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)	6-13
図 6.10	16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-14
図 6.11	16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-15
図 6.12	16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)	6-16
図 6.13	ウェイトステート挿入タイミング例 (端子ウェイトモード)	6-18
図 6.14	バースト ROM 空間のアクセスタイミング例 (AST = BRSTS1 = 1 の場合)	6-19
図 6.15	バースト ROM 空間のアクセスタイミング例 (AST = BRSTS1 = 0 の場合)	6-20
図 6.16	アイドルサイクルの動作例	6-21
7.	データトランスファコントローラ (DTC)	7-1
図 7.1	DTC のブロック図	7-2
図 7.2	DTC 起動要因制御ブロック図	7-6

図 7.3	アドレス空間上での DTC レジスタ情報の配置 .....	7-7
図 7.4	DTC 動作フローチャート .....	7-9
図 7.5	ノーマルモードのメモリマップ .....	7-10
図 7.6	リピートモードのメモリマップ .....	7-11
図 7.7	ブロック転送モードのメモリマップ .....	7-12
図 7.8	チェイン転送の動作 .....	7-13
図 7.9	DTC の動作タイミング ( ノーマルモード、リピートモードの例 ) .....	7-14
図 7.10	DTC の動作タイミング ( ブロック転送モード、ブロックサイズ=2 の例 ) .....	7-14
図 7.11	DTC の動作タイミング ( チェイン転送の例 ) .....	7-15
9.	8 ビット PWM タイマ ( PWM ) .....	9-1
図 9.1	PWM タイマのブロック図 .....	9-2
図 9.2	付加パルスタイミング例 ( PWDR 上位 4 ビットが 1000 ) .....	9-9
10.	14 ビット PWM タイマ ( PWMX ) .....	10-1
図 10.1	PWM ( D/A ) のブロック図 .....	10-2
図 10.2	PWM ( D/A ) の動作 .....	10-8
図 10.3	出力波形 ( OS = 0、DADR は TL に対応 ) .....	10-10
図 10.4	出力波形 ( OS = 1、DADR は TH に対応 ) .....	10-11
図 10.5	CFS = 1 のときの D/A データレジスタの構成 .....	10-12
図 10.6	DADR = H'0207 のときの出力波形 ( OS = 1 ) .....	10-12
11.	16 ビットフリーランニングタイマ ( FRT ) .....	11-1
図 11.1	16 ビットフリーランニングタイマのブロック図 .....	11-2
図 11.2	パルス出力例 .....	11-11
図 11.3	内部クロック動作時のカウントタイミング .....	11-12
図 11.4	外部クロック動作時のカウントタイミング .....	11-12
図 11.5	アウトプットコンペア A 出力タイミング .....	11-13
図 11.6	コンペアマッチ A 信号による FRC のクリアタイミング .....	11-13
図 11.7	インプットキャプチャ入力信号タイミング ( 通常時 ) .....	11-14
図 11.8	インプットキャプチャ入力信号タイミング ( ICRA ~ ICRD のリード時 ) .....	11-14
図 11.9	バッファ動作タイミング ( インプットキャプチャ ) .....	11-15
図 11.10	バッファ動作タイミング ( BUFEA=1 ) .....	11-16
図 11.11	ICFA ~ ICFD フラグのセットタイミング .....	11-16
図 11.12	OCFA、OCFB フラグのセットタイミング .....	11-17
図 11.13	OVF フラグのセットタイミング .....	11-17
図 11.14	OCRA の自動加算タイミング .....	11-18
図 11.15	インプットキャプチャマスク信号のセットタイミング .....	11-18
図 11.16	インプットキャプチャマスク信号のクリアタイミング .....	11-19
図 11.17	FRC のライトとクリアの競合 .....	11-20
図 11.18	FRC のライトとカウントアップの競合 .....	11-21

	図 11.19	OCR のライトとコンペアマッチの競合 (自動加算機能を使用していない場合)	.....11-22
	図 11.20	OCRAR/OCRAF のライトとコンペアマッチの競合 (自動加算機能を使用している場合)	.....11-23
12.	8 ビットタイマ (TMR)		..... 12-1
	図 12.1	8 ビットタイマ (TMR_0、TMR_1) のブロック図	.....12-2
	図 12.2	8 ビットタイマ (TMR_Y、TMR_X) のブロック図	.....12-3
	図 12.3	パルス出力例	.....12-13
	図 12.4	内部クロック動作時のカウントタイミング	.....12-14
	図 12.5	外部クロック動作時のカウントタイミング (両エッジの場合)	.....12-14
	図 12.6	コンペアマッチ時の CMF フラグのセットタイミング	.....12-15
	図 12.7	コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング	.....12-15
	図 12.8	コンペアマッチによるカウンタクリアタイミング	.....12-15
	図 12.9	外部リセット入力によるクリアタイミング	.....12-16
	図 12.10	OVF フラグのセットタイミング	.....12-16
	図 12.11	インプットキャプチャ動作タイミング	.....12-18
	図 12.12	インプットキャプチャ信号タイミング (TICRR、TICRF のリード時に、インプットキャプチャ入力を入力した場合)	.....12-18
	図 12.13	インプットキャプチャ信号の選択	.....12-19
	図 12.14	TCNT のライトとクリアの競合	.....12-21
	図 12.15	TCNT のライトとカウントアップの競合	.....12-22
	図 12.16	TCOR のライトとコンペアマッチの競合	.....12-23
13.	タイマコネクション		..... 13-1
	図 13.1	タイマコネクションのブロック図	.....13-2
	図 13.2	PWM デコードタイミング	.....13-11
	図 13.3	クランプ波形生成タイミング (CL1 信号、CL2 信号)	.....13-12
	図 13.4	クランプ波形生成タイミング (CL3 信号)	.....13-12
	図 13.5	IVI 信号と IHI 信号分周波形の周期測定タイミング	.....13-14
	図 13.6	2FH モディファイタイミング	.....13-15
	図 13.7	立ち下がりモディファイと IHI 同期タイミング	.....13-16
	図 13.8	IVG 信号、IHG 信号、CL4 信号のタイミング	.....13-17
	図 13.9	CBLANK 出力波形生成の論理	.....13-20
14.	ウォッチドッグタイマ (WDT)		..... 14-1
	図 14.1	WDT のブロック図	.....14-2
	図 14.2	ウォッチドッグタイマモード時 ( $\overline{RST}/\overline{NMI}=1$ ) の動作	.....14-7
	図 14.3	インターバルタイマモード時の動作	.....14-8
	図 14.4	OVF のセットタイミング	.....14-8
	図 14.5	$\overline{RESO}$ 信号の出力タイミング	.....14-9
	図 14.6	TCNT、TCSR へのライト (WDT_0 の例)	.....14-10
	図 14.7	TCNT のライトとカウントアップの競合	.....14-11

図 14.8	$\overline{\text{RESO}}$ 信号によるシステムのリセット回路例	14-12
15.	シリアルコミュニケーションインタフェース (SCI、IrDA)	15-1
図 15.1	SCI のブロック図	15-2
図 15.2	調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	15-17
図 15.3	調歩同期式モードの受信データサンプリングタイミング	15-19
図 15.4	出カクロックと送信データの位相関係 (調歩同期式モード)	15-20
図 15.5	SCI の初期化フローチャートの例	15-21
図 15.6	調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	15-22
図 15.7	シリアル送信のフローチャートの例	15-23
図 15.8	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	15-24
図 15.9	シリアル受信データフローチャートの例 (1)	15-25
図 15.9	シリアル受信データフローチャートの例 (2)	15-26
図 15.10	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	15-27
図 15.11	マルチプロセッサシリアル送信のフローチャートの例	15-28
図 15.12	SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)	15-29
図 15.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	15-30
図 15.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	15-31
図 15.14	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	15-32
図 15.15	SCI の初期化フローチャートの例	15-33
図 15.16	クロック同期式モードの送信時の動作例	15-34
図 15.17	シリアル送信のフローチャートの例	15-35
図 15.18	SCI の受信時の動作例	15-36
図 15.19	シリアルデータ受信フローチャートの例	15-37
図 15.20	シリアル送受信同時動作のフローチャートの例	15-39
図 15.21	IrDA ブロック図	15-40
図 15.22	IrDA 送信/受信動作	15-41
図 15.23	DTC によるクロック同期式送信時の例	15-45
図 15.24	送信時のモード遷移フローチャートの例	15-46
図 15.25	調歩同期式モード送信時 (内部クロック) の端子状態	15-47
図 15.26	クロック同期式モード送信時 (内部クロック) の端子状態	15-47
図 15.27	受信時のモード遷移フローチャートの例	15-48
図 15.28	SCK 端子からポート端子へ切り替えるときの動作	15-49
図 15.29	SCK 端子からポート端子へ切り替え時の Low 出力の回避例	15-49
16.	I <sup>2</sup> C バスインタフェース (IIC) 【オプション】	16-1
図 16.1	I <sup>2</sup> C バスインタフェースのブロック図	16-3

図 16.2	I <sup>2</sup> C バスインタフェース接続例 (本 LSI がマスタの場合) .....	16-4
図 16.3	I <sup>2</sup> C バスデータフォーマット (I <sup>2</sup> C バスフォーマット) .....	16-25
図 16.4	I <sup>2</sup> C バスデータフォーマット (フォーマットレス) (IIC_0 のみ) .....	16-25
図 16.5	I <sup>2</sup> C バスデータフォーマット (シリアルフォーマット) .....	16-25
図 16.6	I <sup>2</sup> C バスタイミング .....	16-26
図 16.7	IIC の初期化フローチャートの例 .....	16-27
図 16.8	マスタ送信モードフローチャート例 .....	16-28
図 16.9	マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき) .....	16-30
図 16.10	マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき) .....	16-31
図 16.11	マスタ受信モードフローチャート例 (HNDS=1) .....	16-32
図 16.12	マスタ受信モード動作タイミング例 (MLS=WAIT=0、HNDS=1 のとき) .....	16-34
図 16.13	マスタ受信モード動作停止条件発行タイミング例 (MLS=WAIT=0、HNDS=1 のとき) .....	16-34
図 16.14	マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1) .....	16-35
図 16.15	マスタ受信モード (1 バイトのみ受信) のフローチャート例 (WAIT=1) .....	16-36
図 16.16	マスタ受信モード動作タイミング例 (MLS=ACKB = 0、WAIT=1 のとき) .....	16-38
図 16.17	マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB = 0、WAIT=1 のとき) .....	16-39
図 16.18	スレーブ受信モードのフローチャート例 (HNDS=1) .....	16-40
図 16.19	スレーブ受信モード動作タイミング例 1 (MLS = 0、HNDS=1 のとき) .....	16-42
図 16.20	スレーブ受信モード動作タイミング例 2 (MLS = 0、HNDS=1 のとき) .....	16-42
図 16.21	スレーブ受信モードのフローチャート例 (HNDS=0) .....	16-43
図 16.22	スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0、HNDS = 0 のとき) .....	16-45
図 16.23	スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0、HNDS = 0 のとき) .....	16-45
図 16.24	スレーブ送信モードのフローチャート例 .....	16-46
図 16.25	スレーブ送信モード動作タイミング例 (MLS = 0 のとき) .....	16-48
図 16.26	IRIC フラグセットタイミングと SCL 制御 (1) .....	16-49
図 16.27	IRIC フラグセットタイミングと SCL 制御 (2) .....	16-50
図 16.28	IRIC フラグセットタイミングと SCL 制御 (3) .....	16-51
図 16.29	ノイズ除去回路のブロック図 .....	16-54
図 16.30	マスタ受信データの読み出しにおける注意 .....	16-59
図 16.31	再送のための開始条件命令発行フローチャートおよびタイミング .....	16-60
図 16.32	停止条件発行タイミング .....	16-61
図 16.33	ウェイト動作時 IRIC フラグクリアタイミング .....	16-62
図 16.34	WAIT=1 状態での IRIC フラグクリアタイミング .....	16-62
図 16.35	スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング .....	16-63
図 16.36	スレーブモードでの TRS ビット設定タイミング .....	16-64
図 16.37	アービトレーションロスト時の動作模式図 .....	16-65
17.	キーボードバッファコントローラ .....	17-1
図 17.1	キーボードバッファコントローラのブロック図 .....	17-1
図 17.2	キーボードバッファコントローラ接続方法 .....	17-2
図 17.3	受信処理フローチャートの例 .....	17-7



図 17.4	受信タイミング .....	17-8
図 17.5 (1)	送信処理フローチャートの例 .....	17-9
図 17.5 (2)	送信処理フローチャートの例 .....	17-10
図 17.6	送信タイミング .....	17-10
図 17.7 (1)	受信中断処理フローチャートの例 .....	17-11
図 17.7 (2)	受信中断処理フローチャートの例 .....	17-12
図 17.8	受信中断および送信開始 (送 / 受信切り替え) タイミング .....	17-12
図 17.9	KCLKI、KDI のリードタイミング .....	17-13
図 17.10	KCLKO、KDO のライトタイミング .....	17-13
図 17.11	KBF セットと KCLK 自動 I/O インヒビット生成のタイミング .....	17-14
図 17.12	受信カウンタと KBBR へのデータロードのタイミング .....	17-15
図 17.13	KCLK 入力の立ち下がりによる割り込み動作例 .....	17-16
図 17.14	KBIOE セットと KCLK 立ち下がりエッジ検出のタイミング .....	17-17
18.	ホストインタフェース X-BUS インタフェース (XBS) .....	18-1
図 18.1	XBS のブロック図 .....	18-2
図 18.2	GA20 出力 .....	18-11
図 18.3	HIRQ 出力の利用フロー (チャンネル 1、2 の例) .....	18-15
19.	ホストインタフェース LPC インタフェース (LPC) .....	19-1
図 19.1	LPC のブロック図 .....	19-2
図 19.2	LFRAME の代表的タイミング .....	19-30
図 19.3	アボートメカニズム .....	19-31
図 19.4	GA20 出力 .....	19-32
図 19.5	パワーダウン状態の終了タイミング .....	19-36
図 19.6	SERIRQ タイミング .....	19-37
図 19.7	クロック起動要求タイミング .....	19-39
図 19.8	HIRQ の利用フロー (チャンネル 1 の例) .....	19-41
20.	D/A 変換器 .....	20-1
図 20.1	D/A 変換器のブロック図 .....	20-1
図 20.2	D/A 変換器の動作例 .....	20-4
21.	A/D 変換器 .....	21-1
図 21.1	A/D 変換器のブロック図 .....	21-2
図 21.2	A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時) .....	21-8
図 21.3	A/D 変換タイミング .....	21-9
図 21.4	外部トリガ入力タイミング .....	21-10
図 21.5	A/D 変換精度の定義 .....	21-11
図 21.6	A/D 変換精度の定義 .....	21-11

図 21.7	アナログ入力回路の例.....	21-12
図 21.8	アナログ入力保護回路の例.....	21-13
図 21.9	アナログ入力端子等価回路.....	21-14
23.	ROM.....	23-1
図 23.1	フラッシュメモリのブロック図.....	23-2
図 23.2	フラッシュメモリに関する状態遷移.....	23-3
図 23.3	ブートモード.....	23-4
図 23.4	ユーザプログラムモード(例).....	23-5
図 23.5	64k バイト版、フラッシュメモリのブロック構成.....	23-6
図 23.6	128k バイト版、フラッシュメモリのブロック構成.....	23-7
図 23.7	256k バイト版、フラッシュメモリのブロック構成.....	23-8
図 23.8	ブートモード時の内蔵 RAM エリア.....	23-19
図 23.9	ID コードエリア.....	23-19
図 23.10	ユーザプログラムモードにおける書き込み/消去例.....	23-20
図 23.11	プログラム/プログラムベリファイフロー.....	23-22
図 23.12	イレース/イレースベリファイフロー.....	23-24
図 23.13	ライターモード時のメモリマップ.....	23-26
24.	クロック発振器.....	24-1
図 24.1	クロック発振器のブロック図.....	24-1
図 24.2	水晶発振子の接続例.....	24-2
図 24.3	水晶発振子の等価回路.....	24-2
図 24.4	外部クロックの接続例.....	24-3
図 24.5	外部クロック入力タイミング.....	24-4
図 24.6	外部クロック出力安定遅延時間タイミング.....	24-5
図 24.7	サブクロック入力タイミング.....	24-6
図 24.8	X1、X2 の端子処理.....	24-7
図 24.9	発振回路部のボード設計に関する注意事項.....	24-8
25.	低消費電力状態.....	25-1
図 25.1	モード遷移図.....	25-6
図 25.2	中速モードのタイミング.....	25-9
図 25.3	ソフトウェアスタンバイモードの応用例.....	25-10
図 25.4	ハードウェアスタンバイモードのタイミング.....	25-11
27.	電気的特性.....	27-1
図 27.1	ダーリントントランジスタ駆動回路例.....	27-6
図 27.2	LED 駆動回路例.....	27-6
図 27.3	出力負荷回路.....	27-7

図 27.4	VCL コンデンサ接続方法.....	27-17
図 27.5	VCL コンデンサ接続方法.....	27-43
図 27.6	システムクロックタイミング.....	27-44
図 27.7	発振安定時間タイミング.....	27-44
図 27.8	発振安定時間タイミング (ソフトウェアスタンバイからの復帰) .....	27-44
図 27.9	リセット入力タイミング.....	27-45
図 27.10	割り込み入力タイミング.....	27-45
図 27.11	基本バスタイミング / 2 ステートアクセス .....	27-46
図 27.12	基本バスタイミング / 3 ステートアクセス .....	27-47
図 27.13	基本バスタイミング / 3 ステートアクセス 1 ウェイト.....	27-48
図 27.14	バースト ROM アクセスタイミング / 2 ステートアクセス.....	27-49
図 27.15	バースト ROM アクセスタイミング / 1 ステートアクセス.....	27-49
図 27.16	I/O ポート入出力タイミング .....	27-50
図 27.17	FRT 入出力タイミング .....	27-50
図 27.18	FRT クロック入力タイミング .....	27-50
図 27.19	8 ビットタイマ出力タイミング .....	27-51
図 27.20	8 ビットタイマクロック入力タイミング .....	27-51
図 27.21	8 ビットタイマリセット入力タイミング .....	27-51
図 27.22	PWM、PWMX 出力タイミング .....	27-51
図 27.23	SCK クロック入力タイミング.....	27-52
図 27.24	SCI 入出力タイミング / クロック同期式モード .....	27-52
図 27.25	A/D 変換器外部トリガ入力タイミング .....	27-52
図 27.26	WDT 出力タイミング (RESO) .....	27-52
図 27.27	ホストインタフェース (XBS) タイミング .....	27-53
図 27.28	キーボードバッファコントローラタイミング .....	27-54
図 27.29	I <sup>2</sup> C バスインタフェース入出力タイミング.....	27-54
図 27.30	ホストインタフェース (LPC) タイミング.....	27-55
図 27.31	テスト測定条件 .....	27-55
付録	.....	付録-1
図 C.1	FP-100B の外形寸法図.....	付録-5
図 C.2	TFP-100B の外形寸法図.....	付録-6
図 C.3	TFP-144 の外形寸法図 .....	付録-7



---

# 表目次

---

1. 概要	1-1
表 1.1 H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B 動作モード別端子機能一覧	1-7
表 1.2 H8S/2160B、H8S/2161B 動作モード別端子機能一覧	1-11
表 1.3 端子機能	1-16
2. CPU	2-1
表 2.1 命令の分類	2-16
表 2.2 オペレーションの記号	2-17
表 2.3 データ転送命令	2-18
表 2.4 算術演算命令 (1)	2-19
表 2.4 算術演算命令 (2)	2-20
表 2.5 論理演算命令	2-21
表 2.6 シフト命令	2-21
表 2.7 ビット操作命令 (1)	2-22
表 2.7 ビット操作命令 (2)	2-23
表 2.8 分岐命令	2-24
表 2.9 システム制御命令	2-25
表 2.10 ブロック転送命令	2-25
表 2.11 アドレッシングモード一覧表	2-27
表 2.12 絶対アドレスのアクセス範囲	2-28
表 2.13 実行アドレスの計算方法 (1)	2-30
表 2.13 実行アドレスの計算方法 (2)	2-31
3. MCU 動作モード	3-1
表 3.1 MCU 動作モードの選択	3-1
表 3.2 各動作モードにおける端子機能	3-6
4. 例外処理	4-1
表 4.1 例外処理の種類と優先度	4-1
表 4.2 例外処理ベクタテーブル	4-1
表 4.3 トラップ命令例外処理後の CCR の状態	4-4
5. 割り込みコントローラ	5-1
表 5.1 端子構成	5-2

表 5.2	各割り込み要因と ICR の対応	5-3
表 5.3	割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-11
表 5.4	割り込み制御モード	5-13
表 5.5	割り込み応答時間	5-19
表 5.6	割り込み例外処理の実行状態のステート数	5-19
表 5.7	割り込み要因の選択とクリア制御	5-21
6.	バスコントローラ (BSC)	6-1
表 6.1	端子構成	6-2
表 6.2	基本拡張エリア / 基本バスインタフェースのバス仕様	6-5
表 6.3	I <sup>2</sup> S 信号を出力するアドレスの範囲	6-7
表 6.4	使用するデータバスと有効ストロープ	6-8
表 6.5	アイドルサイクルでの端子状態	6-21
7.	データトランスファコントローラ (DTC)	7-1
表 7.1	割り込み要因と DTC ベクタアドレスおよび対応する DTCE	7-8
表 7.2	ノーマルモードのレジスタ機能	7-10
表 7.3	リピートモードのレジスタ機能	7-11
表 7.4	ブロック転送モードのレジスタ機能	7-12
表 7.5	DTC の実行状態	7-15
表 7.6	実行状態に必要なステート数	7-15
8.	I/O ポート	8-1
表 8.1	H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B ポートの機能一覧	8-2
表 8.2	ポート 1 入力プルアップ MOS の状態	8-6
表 8.3	ポート 2 入力プルアップ MOS の状態	8-9
表 8.4	ポート 3 入力プルアップ MOS の状態	8-12
表 8.5	ポート 6 入力プルアップ MOS の状態	8-20
表 8.6	ポート A 入力プルアップ MOS の状態	8-33
表 8.7	ポート B 入力プルアップ MOS の状態	8-37
表 8.8	H8S/2160B、H8S/2161B 追加ポート機能	8-38
表 8.9	ポート C、D 入力プルアップ MOS の状態	8-42
表 8.10	ポート E、F 入力プルアップ MOS の状態	8-46
9.	8 ビット PWM タイマ (PWM)	9-1
表 9.1	端子構成	9-3
表 9.2	内部クロックの選択	9-5
表 9.3	$\phi = 10\text{MHz}$ 時の分解能、PWM 変換周期、キャリア周波数	9-5
表 9.4	基本パルスのデューティ比	9-8
表 9.5	基本パルスに対する付加パルスの位置	9-9

10.	14ビットPWMタイマ (PWMX) .....	10-1
表 10.1	端子構成 .....	10-2
表 10.2	16ビットビットレジスタのリード/ライト別アクセス方式 .....	10-7
表 10.3	設定値と動作内容 ( $\phi$ : 10MHz 時の例) .....	10-9
表 10.4	基本パルスに対する付加パルスの位置 (CFS = 1 の場合) .....	10-13
11.	16ビットフリーランニングタイマ (FRT) .....	11-1
表 11.1	端子構成 .....	11-3
表 11.2	FRT 割り込み要因 .....	11-19
表 11.3	内部クロックの切り替えと FRC 動作 .....	11-24
12.	8ビットタイマ (TMR) .....	12-1
表 12.1	端子構成 .....	12-4
表 12.2	TCNT に入力するクロックとカウント条件 .....	12-7
表 12.3	インプットキャプチャ信号の選択 .....	12-19
表 12.4	8ビットタイマ TMR_0、TMR_1、TMR_Y、TMR_X の割り込み要因 .....	12-20
表 12.5	タイマ出力の優先順位 .....	12-23
表 12.6	内部クロックの切り替えと TCNT の動作 .....	12-24
13.	タイマコネクション .....	13-1
表 13.1	端子構成 .....	13-3
表 13.2	同期信号接続イネーブル .....	13-5
表 13.3	TMR_X/TMR_Y のアクセス可能なレジスタ .....	13-8
表 13.4	TCR の設定例 .....	13-11
表 13.5	TCORB (パルス幅しきい値) の設定例 .....	13-11
表 13.6	TCR と TCSR の設定例 .....	13-13
表 13.7	TCR、TCSR、TCOR と OCRDM の設定例 .....	13-14
表 13.8	TCR、TCSR と TCORB の設定例 .....	13-16
表 13.9	TCR、TCSR、TCORA、TCORB、OCRAR、OCRAF と TOCR の設定例 .....	13-17
表 13.10	HSYNCO 出力モード .....	13-18
表 13.11	VSYNCO 出力モード .....	13-19
14.	ウォッチドッグタイマ (WDT) .....	14-1
表 14.1	端子構成 .....	14-3
表 14.2	WDT の割り込み要因 .....	14-9
15.	シリアルコミュニケーションインタフェース (SCI、IrDA) .....	15-1
表 15.1	端子構成 .....	15-3
表 15.2	BRR の設定値 N とビットレート B の関係 .....	15-10
表 15.3	ビットレートに対する BRR の設定例 [ 調歩同期式モード ] (1) .....	15-11

表 15.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)	15-12
表 15.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)	15-13
表 15.4	各動作周波数における最大ビットレート(調歩同期式モード)	15-14
表 15.5	外部クロック入力時の最大ビットレート(調歩同期式モード)	15-14
表 15.6	ビットレートに対する BRR の設定例〔クロック同期式モード〕	15-15
表 15.7	外部クロック入力時の最大ビットレート(クロック同期式モード)	15-15
表 15.8	シリアル送信/受信フォーマット(調歩同期式モード)	15-18
表 15.9	SSR のステータスフラグの状態と受信データの処理	15-25
表 15.10	IrCKS2 ~ IrCKS0 ビットの設定	15-42
表 15.11	SCI 割り込み要因	15-43
16.	I <sup>2</sup> C バスインタフェース (IIC) 【オプション】	16-1
表 16.1	端子構成	16-4
表 16.2	転送フォーマット	16-7
表 16.3	転送レート	16-9
表 16.4	フラグと転送状態の関係(マスタモード)	16-14
表 16.5	フラグと転送状態の関係(スレーブモード)	16-15
表 16.6	I <sup>2</sup> C バスデータフォーマット記号説明	16-26
表 16.7	DTC による動作例	16-53
表 16.8	IIC 割り込み要因	16-56
表 16.9	I <sup>2</sup> C バスタイミング(SCL、SDA 出力)	16-56
表 16.10	SCL 立ち上がり時間(t <sub>sr</sub> )の許容範囲	16-57
表 16.11	I <sup>2</sup> C バスタイミング(t <sub>sr</sub> /t <sub>sr</sub> 影響最大の場合)	16-58
17.	キーボードバッファコントローラ	17-1
表 17.1	端子構成	17-2
18.	ホストインタフェース X-BUS インタフェース (XBS)	18-1
表 18.1	端子構成	18-3
表 18.2	STR のフラグのセット/クリアタイミング	18-8
表 18.3	ホストインタフェースチャネルの選択と端子の動作	18-9
表 18.4	ホストからのホストインタフェース操作とスレーブの動作	18-10
表 18.5	GA20 (P81) のセット/クリアタイミング	18-11
表 18.6	高速 GATE A20 出力信号	18-12
表 18.7	ホストインタフェース端子シャットダウン範囲	18-13
表 18.8	入力バッファフル割り込み	18-13
表 18.9	HIRQ のセット/クリア	18-14
19.	ホストインタフェース LPC インタフェース (LPC)	19-1
表 19.1	端子構成	19-3



表 19.2	レジスタ選択 .....	19-14
表 19.3	GA20 ( P81 ) のセット / クリアタイミング .....	19-31
表 19.4	高速 GATE A20 出力信号 .....	19-32
表 19.5	ホストインタフェース端子シャットダウン範囲 .....	19-34
表 19.6	ホストインタフェースの各モードで初期化される範囲 .....	19-35
表 19.7	受信完了割り込みおよびエラー割り込み .....	19-39
表 19.8	HIRQ のセット / クリア .....	19-40
表 19.9	ホストアドレス .....	19-42
20.	D/A 変換器 .....	20-1
表 20.1	端子構成 .....	20-2
表 20.2	D/A 変換の制御 .....	20-3
21.	A/D 変換器 .....	21-1
表 21.1	端子構成 .....	21-3
表 21.2	アナログ入力チャネルと ADDR の対応 .....	21-4
表 21.3	A/D 変換時間 ( シングルモード ) .....	21-9
23.	ROM .....	23-1
表 23.1	ブートモードとユーザプログラムモードの相違点 .....	23-3
表 23.2	端子構成 .....	23-9
表 23.3	動作モードと ROM .....	23-15
表 23.4	オンボードプログラミングモードの設定方法 .....	23-15
表 23.5	ブートモードの動作 .....	23-18
表 23.6	ビットレート自動合わせ込みが可能なシステムクロック周波数 .....	23-18
24.	クロック発振器 .....	24-1
表 24.1	ダンピング抵抗値 .....	24-2
表 24.2	水晶発振子の特性 .....	24-2
表 24.3	外部クロック入力条件 .....	24-3
表 24.4	外部クロック出力安定遅延時間 .....	24-4
表 24.5	サブクロック入力条件 .....	24-6
25.	低消費電力状態 .....	25-1
表 25.1	動作周波数と待機時間 .....	25-3
表 25.2	各動作モードでの LSI の内部状態 .....	25-7
27.	電気的特性 .....	27-1
表 27.1	絶対最大定格 .....	27-1
表 27.2	DC 特性 ( 1 ) .....	27-2

表 27.2	DC 特性 (2) .....	27-4
表 27.2	DC 特性 (3) LPC 機能使用時 .....	27-5
表 27.3	出力許容電流値 .....	27-5
表 27.4	バス駆動特性 .....	27-6
表 27.5	クロックタイミング .....	27-7
表 27.6	制御信号タイミング .....	27-8
表 27.7	バスタイミング (1) (ノーマルモード時) .....	27-9
表 27.7	バスタイミング (2) (アドバンスモード時) .....	27-10
表 27.8	内蔵周辺モジュールタイミング (1) .....	27-11
表 27.8	内蔵周辺モジュールタイミング (2) .....	27-12
表 27.9	キーボードバッファコントローラタイミング .....	27-12
表 27.10	I <sup>2</sup> C バスタイミング .....	27-13
表 27.11	LPC モジュールタイミング .....	27-13
表 27.12	A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換) .....	27-14
表 27.13	A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換) .....	27-14
表 27.14	D/A 変換特性 .....	27-15
表 27.15	フラッシュメモリ特性 .....	27-15
表 27.16	絶対最大定格 .....	27-18
表 27.17	DC 特性 (1) .....	27-19
表 27.17	DC 特性 (2) .....	27-21
表 27.17	DC 特性 (3) .....	27-22
表 27.17	DC 特性 (4) .....	27-24
表 27.17	DC 特性 (5) .....	27-25
表 27.17	DC 特性 (6) .....	27-27
表 27.17	DC 特性 (7) H8S/2145BV (3V 版) LPC 機能使用時 .....	27-28
表 27.18	出力許容電流値 .....	27-28
表 27.19	バス駆動特性 .....	27-29
表 27.20	クロックタイミング .....	27-30
表 27.21	制御信号タイミング .....	27-31
表 27.22	バスタイミング (1) (ノーマルモード使用時) .....	27-32
表 27.22	バスタイミング (2) (アドバンスモード使用時) .....	27-33
表 27.23	内蔵周辺モジュールタイミング (1) .....	27-35
表 27.23	内蔵周辺モジュールタイミング (2) .....	27-36
表 27.24	キーボードバッファコントローラタイミング .....	27-37
表 27.25	I <sup>2</sup> C バスタイミング .....	27-37
表 27.26	LPC モジュールタイミング (H8S/2145B のみ) .....	27-38
表 27.27	A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換) .....	27-38
表 27.28	A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換) .....	27-39
表 27.29	D/A 変換特性 .....	27-40
表 27.30	フラッシュメモリ特性 (書き込み / 消去時の動作範囲) .....	27-41

付録 .....	付録-1
表 A.1 各処理状態における I/O ポートの状態.....	付録-1



---

# 1. 概要

---

## 1.1 特長

- 16ビット高速H8S/2000 CPU  
H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換  
汎用レジスタ：16ビット×16本  
基本命令：65種類
- 豊富な周辺機能  
データトランスファコントローラ（DTC）  
8ビットPWMタイマ（PWM）  
14ビットPWMタイマ（PWMX）  
16ビットフリーランニングタイマ（FRT）  
8ビットタイマ（TMR）  
タイマコネクション  
ウォッチドッグタイマ（WDT）  
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース（SCI、IrDA）  
I<sup>2</sup>Cバスインタフェース（IIC）  
キーボードバッファコントローラ  
ホストインタフェースX-BUSインタフェース（XBS）  
ホストインタフェースLPCインタフェース（LPC）\*  
8ビットD/A変換器  
10ビットA/D変換器  
クロック発振器

【注】 \* H8S/2148B、H8S/2145B（5V版）では、サポートしていません。

## 1. 概要

---

- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2161BV*	128k バイト	4k バイト	
	HD64F2160BV*	64k バイト	4k バイト	
	HD64F2141BV*	128k バイト	4k バイト	
	HD64F2140BV*	64k バイト	4k バイト	
	HD64F2145BV*	256k バイト	8k バイト	開発中
	HD64F2145B	256k バイト	8k バイト	
	HD64F2148BV*	128k バイト	4k バイト	
	HD64F2148B	128k バイト	4k バイト	

【注】 \* 3V 版の製品です。

- 汎用入出力ポート

入出力ポート：74本（H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B）

入出力ポート：114本（H8S/2160B、H8S/2161B）

入力ポート：8本

- 各種低消費電力モードをサポート

- 小型パッケージ

製品	パッケージ	コード	ボディサイズ	ピンピッチ
H8S/2161B、H8S/2160B	TQFP-144	TFP-144	16.0 × 16.0 mm	0.4 mm
H8S/2141B、H8S/2140B、	QFP-100B	FP-100B	14.0 × 14.0 mm	0.5 mm
H8S/2145B、H8S/2148B	TQFP-100B	TFP-100B		

## 1.2 内部ブロック図

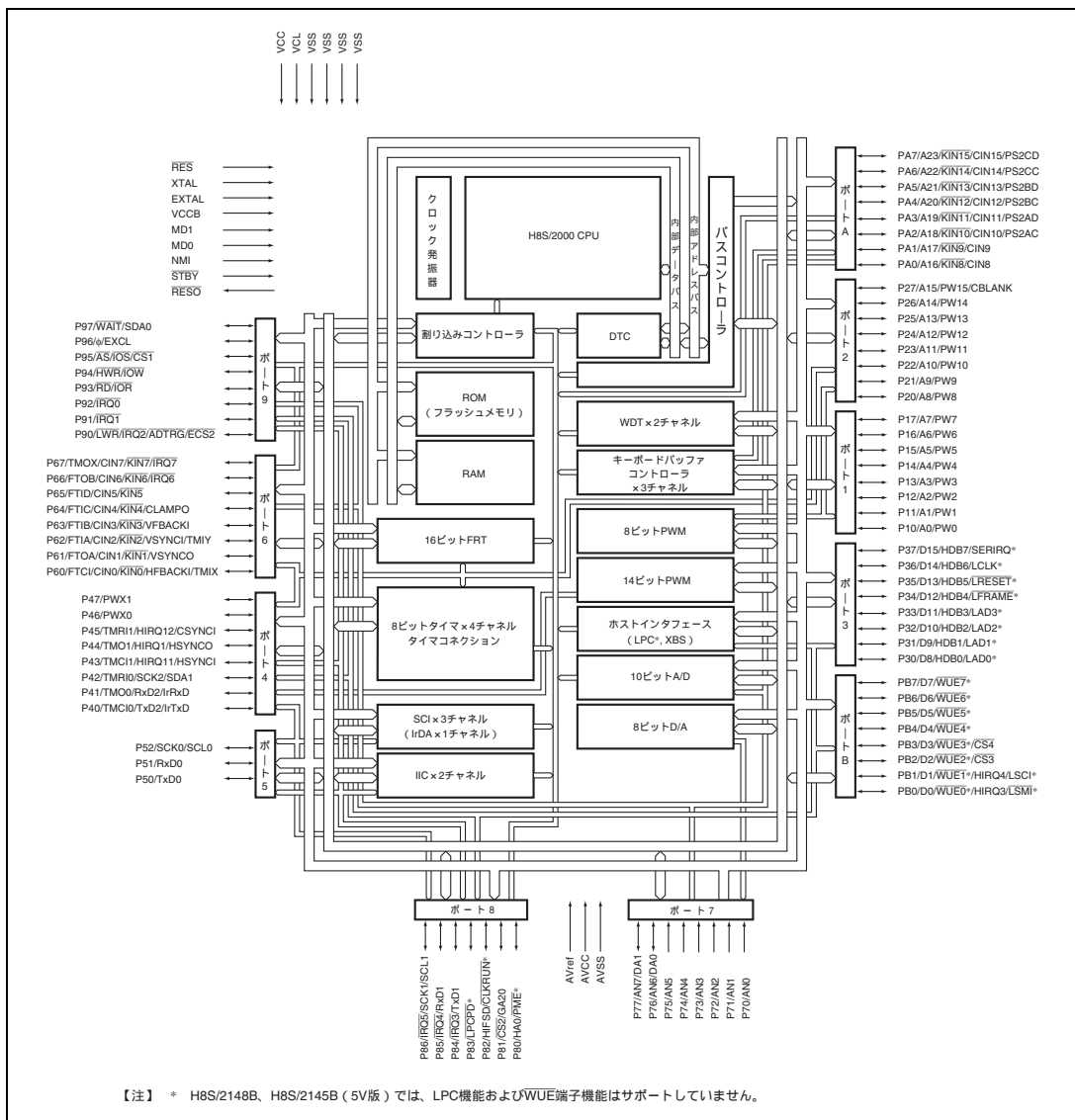


図 1.1 H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B 内部ブロック図

# 1. 概要

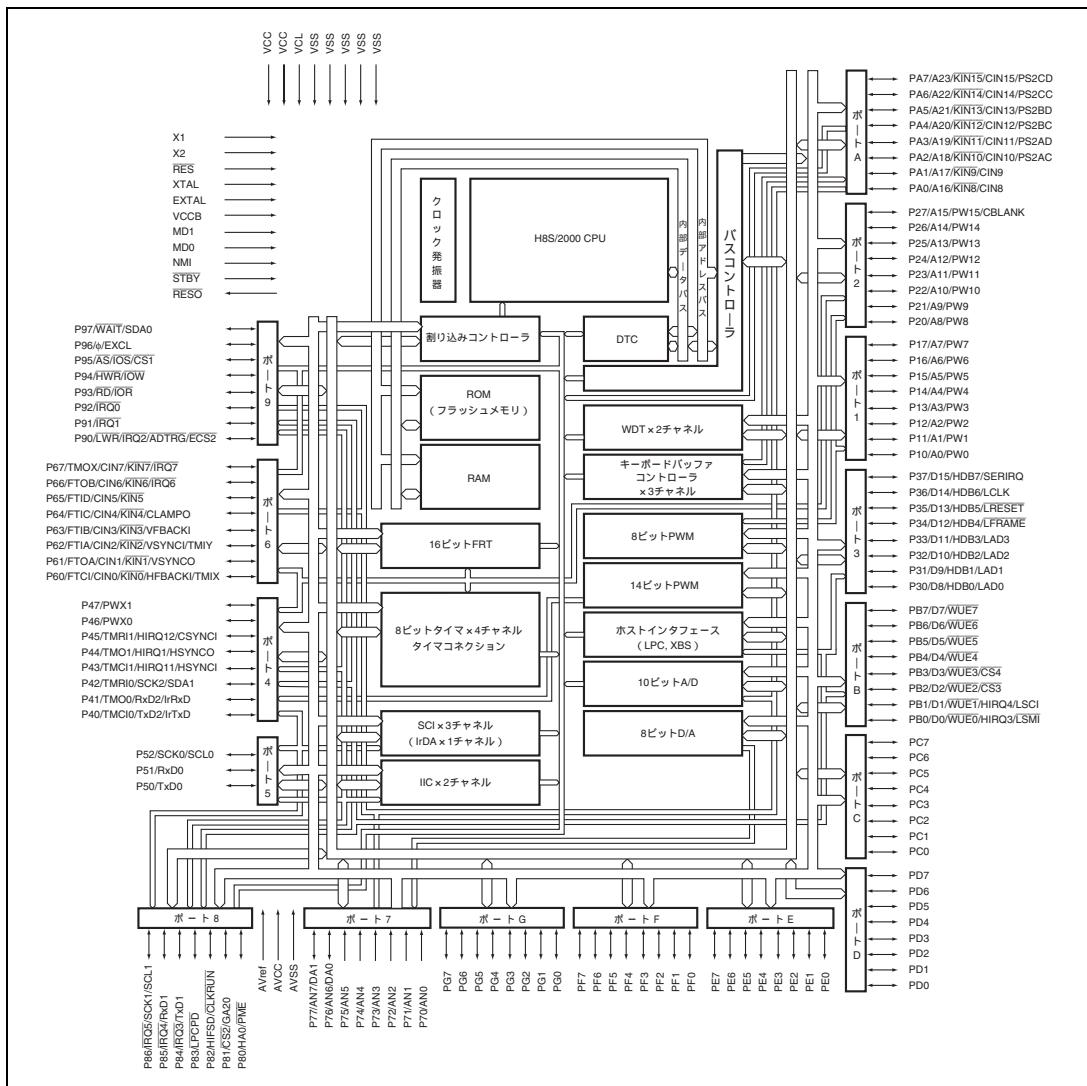


図 1.2 H8S/2160B、H8S/2161B 内部ブロック図



## 1.3 端子説明

### 1.3.1 ピン配置図

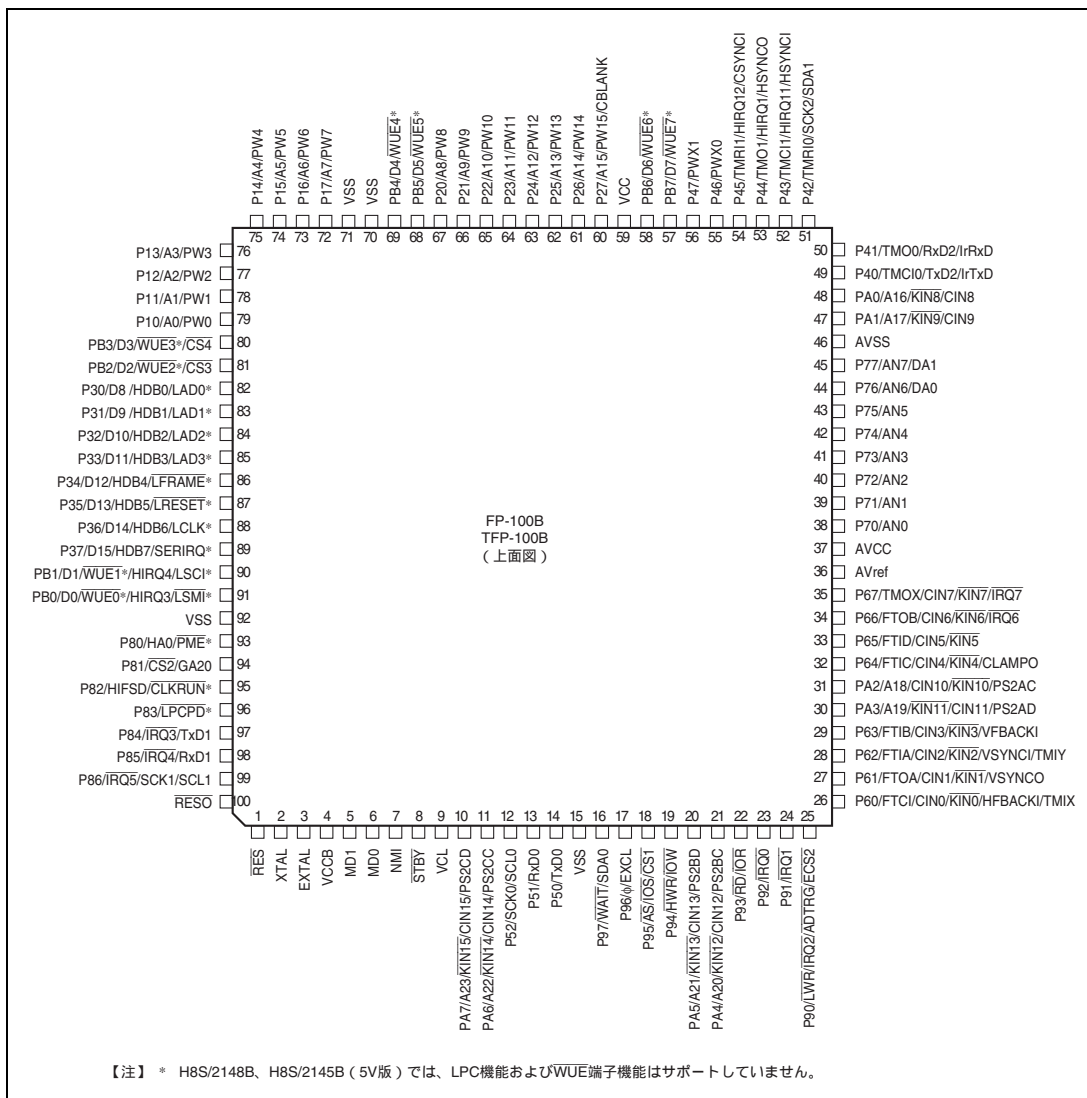


図 1.3 H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B ピン配置図

# 1. 概要

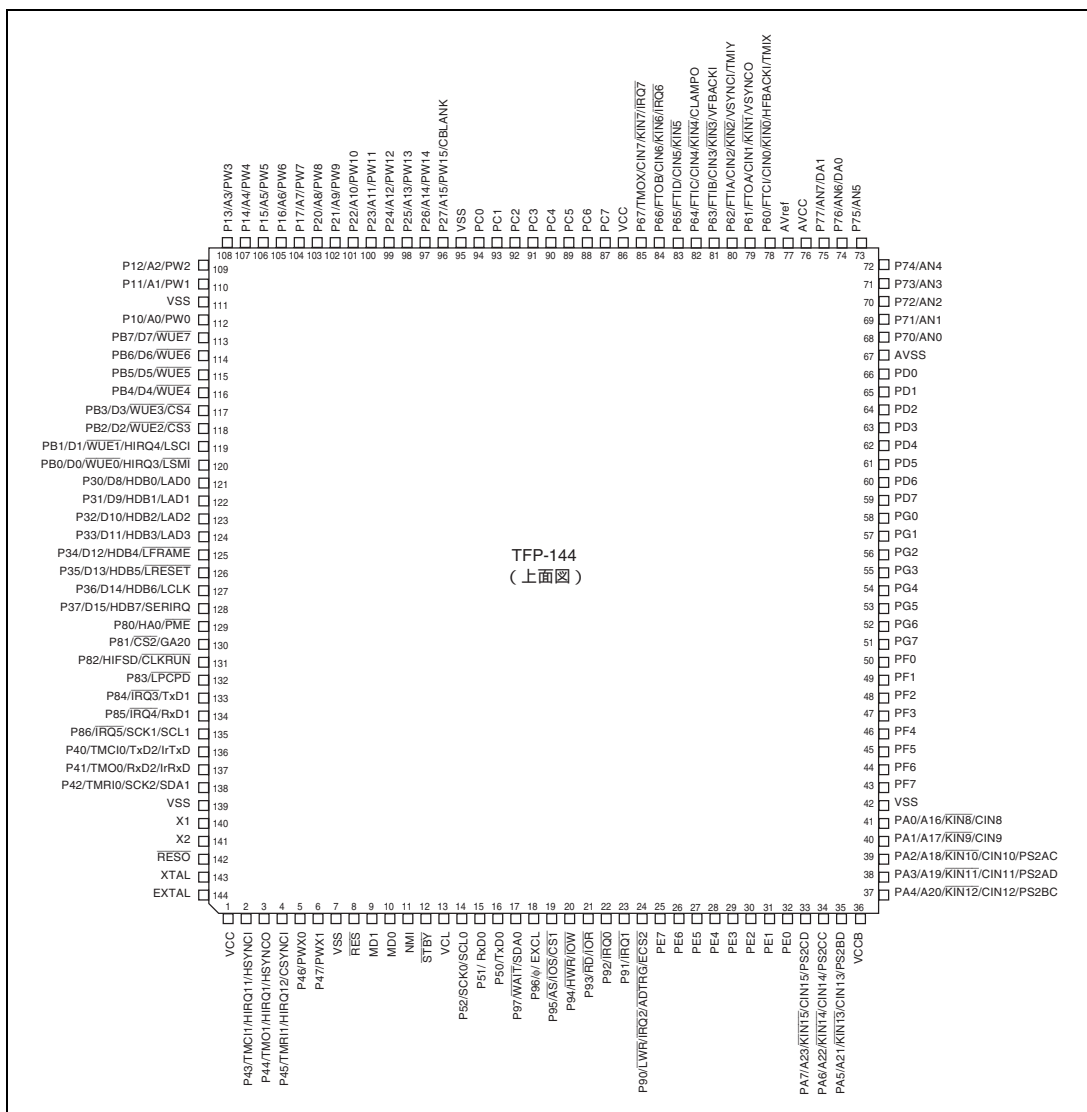


図 1.4 H8S/2160B、H8S/2161B ピン配置図

## 1.3.2 動作モード別端子機能

表 1.1 H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B 動作モード別端子機能一覧

ピン番号 FP-100B TFP-100B	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	ライト モード
1	RES	RES	RES	RES
2	XTAL	XTAL	XTAL	XTAL
3	EXTAL	EXTAL	EXTAL	EXTAL
4	VCCB	VCCB	VCCB	VCC
5	MD1	MD1	MD1	VSS
6	MD0	MD0	MD0	VSS
7	NMI	NMI	NMI	FA9
8	STBY	STBY	STBY	VCC
9	VCL	VCL	VCL	VCC
10 (B)	PA7/ CIN15/ $\overline{KIN15}$ / PS2CD	PA7/ A23/ CIN15/ $\overline{KIN15}$ / PS2CD	PA7/ CIN15/ $\overline{KIN15}$ / PS2CD	NC
11 (B)	PA6/ CIN14/ $\overline{KIN14}$ / PS2CC	PA6/ A22/ CIN14/ $\overline{KIN14}$ / PS2CC	PA6/ CIN14/ $\overline{KIN14}$ / PS2CC	NC
12 (N)	P52/ SCK0/ SCL0	P52/ SCK0/ SCL0	P52/ SCK0/ SCL0	NC
13	P51/ RxD0	P51/ RxD0	P51/ RxD0	FA17
14	P50/ TxD0	P50/ TxD0	P50/ TxD0	NC
15	VSS	VSS	VSS	VSS
16 (N)	P97/ $\overline{WAIT}$ / SDA0	P97/ $\overline{WAIT}$ / SDA0	P97/SDA0	VCC
17	P96/ $\phi$ / EXCL	P96/ $\phi$ / EXCL	P96/ $\phi$ / EXCL	NC
18	$\overline{AS}$ / $\overline{IOS}$	$\overline{AS}$ / $\overline{IOS}$	P95/ $\overline{CS1}$	FA16
19	HWR	HWR	P94/ $\overline{IOW}$	FA15
20 (B)	PA5/ CIN13/ $\overline{KIN13}$ / PS2BD	PA5/ A21/ CIN13/ $\overline{KIN13}$ / PS2BD	PA5/ CIN13/ $\overline{KIN13}$ / PS2BD	NC
21 (B)	PA4/ CIN12/ $\overline{KIN12}$ / PS2BC	PA4/ A20/ CIN12/ $\overline{KIN12}$ / PS2BC	PA4/ CIN12/ $\overline{KIN12}$ / PS2BC	NC
22	$\overline{RD}$	$\overline{RD}$	P93/ $\overline{IOR}$	$\overline{WE}$
23	P92/ $\overline{IRQ0}$	P92/ $\overline{IRQ0}$	P92/ $\overline{IRQ0}$	VSS
24	P91/ $\overline{IRQ1}$	P91/ $\overline{IRQ1}$	P91/ $\overline{IRQ1}$	VCC
25	P90/LWR/ $\overline{IRQ2}$ /ADTRG	P90/LWR / $\overline{IRQ2}$ /ADTRG	P90/ $\overline{ECS2}$ / $\overline{IRQ2}$ /ADTRG	VCC

## 1. 概要

ピン番号 FP-100B TFP-100B	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	ライト モード
26	P60/ FTCl/ CIN0/ $\overline{\text{KIN0}}$ / HFBACKI/ TMIX	P60/ FTCl/ CIN0/ $\overline{\text{KIN0}}$ / HFBACKI/ TMIX	P60/ FTCl/ CIN0/ $\overline{\text{KIN0}}$ / HFBACKI/ TMIX	NC
27	P61/ FTOA/ CIN1/ $\overline{\text{KIN1}}$ / VSYNCO	P61/ FTOA/ CIN1/ $\overline{\text{KIN1}}$ / VSYNCO	P61/ FTOA/ CIN1/ $\overline{\text{KIN1}}$ / VSYNCO	NC
28	P62/ FTIA/ CIN2/ $\overline{\text{KIN2}}$ / VSYNCl/ TMIY	P62/ FTIA/ CIN2/ $\overline{\text{KIN2}}$ / VSYNCl/ TMIY	P62/ FTIA/ CIN2/ $\overline{\text{KIN2}}$ / VSYNCl/ TMIY	NC
29	P63/ FTIB/ CIN3/ $\overline{\text{KIN3}}$ / VFBACKI	P63/ FTIB/ CIN3/ $\overline{\text{KIN3}}$ / VFBACKI	P63/ FTIB/ CIN3/ $\overline{\text{KIN3}}$ / VFBACKI	NC
30 (B)	PA3/ CIN11/ $\overline{\text{KIN11}}$ / PS2AD	PA3/A19/ CIN11/ $\overline{\text{KIN11}}$ / PS2AD	PA3/ CIN11/ $\overline{\text{KIN11}}$ / PS2AD	NC
31 (B)	PA2/ CIN10/ $\overline{\text{KIN10}}$ / PS2AC	PA2/A18/ CIN10/ $\overline{\text{KIN10}}$ / PS2AC	PA2/ CIN10/ $\overline{\text{KIN10}}$ / PS2AC	NC
32	P64 / FTIC/ CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	P64 /FTIC/ CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	P64 /FTIC/ CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	NC
33	P65/ FTID/ CIN5/ $\overline{\text{KIN5}}$	P65/ FTID/ CIN5/ $\overline{\text{KIN5}}$	P65/ FTID/ CIN5/ $\overline{\text{KIN5}}$	NC
34	P66/ FTOb/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	P66/ FTOb/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	P66/ FTOb/ CIN6/ $\overline{\text{KIN6}}$ / $\overline{\text{IRQ6}}$	NC
35	P67/ TMOX/ CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	P67/ TMOX/ CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	P67/ TMOX/ CIN7/ $\overline{\text{KIN7}}$ / $\overline{\text{IRQ7}}$	VSS
36	AVref	AVref	AVref	VCC
37	AVCC	AVCC	AVCC	VCC
38	P70/ AN0	P70/ AN0	P70/ AN0	NC
39	P71/ AN1	P71/ AN1	P71/ AN1	NC
40	P72/ AN2	P72/ AN2	P72/ AN2	NC
41	P73/ AN3	P73/ AN3	P73/ AN3	NC
42	P74/ AN4	P74/ AN4	P74/ AN4	NC
43	P75/ AN5	P75/ AN5	P75/ AN5	NC
44	P76/ AN6/ DA0	P76/ AN6/ DA0	P76/ AN6/ DA0	NC
45	P77/ AN7/ DA1	P77/ AN7/ DA1	P77/ AN7/ DA1	NC
46	AVSS	AVSS	AVSS	VSS
47 (B)	PA1/ CIN9/ $\overline{\text{KIN9}}$	PA1/A17/ CIN9/ $\overline{\text{KIN9}}$	PA1/ CIN9/ $\overline{\text{KIN9}}$	NC
48 (B)	PA0/ CIN8/ $\overline{\text{KIN8}}$	PA0/A16/ CIN8/ $\overline{\text{KIN8}}$	PA0/ CIN8/ $\overline{\text{KIN8}}$	NC
49	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	NC
50	P41/TMOO/RxD2/IrRxD	P41/TMOO/RxD2/IrRxD	P41/TMOO/RxD2/IrRxD	NC
51 (N)	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	NC

## 1. 概要

ピン番号 FP-100B TFP-100B	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	ライタ モード
52	P43/TMCI1/HSYNCI	P43/TMCI1/HSYNCI	P43/TMCI1/HIRQ11/ HSYNCI	NC
53	P44/TMO1/HSYNCO	P44/TMO1/HSYNCO	P44/TMO1/HIRQ1/ HSYNCO	NC
54	P45/TMRI1/CSYNCI	P45/TMRI1/CSYNCI	P45/TMRI1/HIRQ12/ CSYNCI	NC
55	P46/PWX0	P46/PWX0	P46/PWX0	NC
56	P47/PWX1	P47/PWX1	P47/PWX1	NC
57	PB7/D7/WUE7*	PB7/D7/WUE7*	PB7/WUE7*	NC
58	PB6/D6/WUE6*	PB6/D6/WUE6*	PB6/WUE6*	NC
59	VCC	VCC	VCC	VCC
60	A15	P27/A15/PW15/CBLANK	P27/PW15/CBLANK	$\overline{\text{CE}}$
61	A14	P26/A14/PW14	P26/PW14	FA14
62	A13	P25/A13/PW13	P25/PW13	FA13
63	A12	P24/A12/PW12	P24/PW12	FA12
64	A11	P23/A11/PW11	P23/PW11	FA11
65	A10	P22/A10/PW10	P22/PW10	FA10
66	A9	P21/A9/PW9	P21/PW9	$\overline{\text{OE}}$
67	A8	P20/A8/PW8	P20/PW8	FA8
68	PB5/D5/WUE5*	PB5/D5/WUE5*	PB5/WUE5*	NC
69	PB4/D4/WUE4*	PB4/D4/WUE4*	PB4/WUE4*	NC
70	VSS	VSS	VSS	VSS
71	VSS	VSS	VSS	VSS
72	A7	P17/A7/PW7	P17/PW7	FA7
73	A6	P16/A6/PW6	P16/PW6	FA6
74	A5	P15/A5/PW5	P15/PW5	FA5
75	A4	P14/A4/PW4	P14/PW4	FA4
76	A3	P13/A3/PW3	P13/PW3	FA3
77	A2	P12/A2/PW2	P12/PW2	FA2
78	A1	P11/A1/PW1	P11/PW1	FA1
79	A0	P10/A0/PW0	P10/PW0	FA0
80	PB3/D3/WUE3*	PB3/D3/WUE3*	PB3/WUE3*/CS4	NC
81	PB2/D2/WUE2*	PB2/D2/WUE2*	PB2/WUE2*/CS3	NC
82	D8	D8	P30/HDB0/LAD0*	FO0

## 1. 概要

ピン番号 FP-100B TFP-100B	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	ライタ モード
83	D9	D9	P31/HDB1/LAD1*	FO1
84	D10	D10	P32/HDB2/LAD2*	FO2
85	D11	D11	P33/HDB3/LAD3*	FO3
86	D12	D12	P34/HDB4/LFRAME*	FO4
87	D13	D13	P35/HDB5/LRESET*	FO5
88	D14	D14	P36/HDB6/LCLK*	FO6
89	D15	D15	P37/HDB7/SERIRQ*	FO7
90	PB1/D1/WUE1*	PB1/D1/WUE1*	PB1/HIRQ4/WUE1*/LSCI*	NC
91	PB0/D0/WUE0*	PB0/D0/WUE0*	PB0/HIRQ3/WUE0*/LSMI*	NC
92	VSS	VSS	VSS	VSS
93	P80	P80	P80/HA0/PME*	NC
94	P81	P81	P81/CS2/GA20	NC
95	P82	P82	P82/HIFSD/CLKRUN*	NC
96	P83	P83	P83/LPCPD*	NC
97	P84/IRQ3/TxD1	P84/IRQ3/TxD1	P84/IRQ3/TxD1	NC
98	P85/IRQ4/RxD1	P85/IRQ4/RxD1	P85/IRQ4/RxD1	NC
99 (N)	P86/IRQ5/SCK1/SCL1	P86/IRQ5/SCK1/SCL1	P86/IRQ5/SCK1/SCL1	NC
100	RESO	RESO	RESO	NC

【注】 ピン番号の (B) は VCCB 駆動、(N) は NMOS プッシュプル/オープンドレイン駆動を示します。

\* H8S/2148B、H8S/2145B (5V 版) では、LPC 機能および WUE 端子機能はサポートしていません。

表 1.2 H8S/2160B、H8S/2161B 動作モード別端子機能一覧

ピン番号 TFP-144	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライタ モード
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	
1	VCC	VCC	VCC	VCC
2	P43/TMC11/HSYNCl	P43/TMC11/HSYNCl	P43/TMC11/HIRQ11/ HSYNCl	NC
3	P44/TMO1/HSYNCO	P44/TMO1/HSYNCO	P44/TMO1/HIRQ1/ HSYNCO	NC
4	P45/TMRI1/CSYNCl	P45/TMRI1/CSYNCl	P45/TMRI1/HIRQ12/ CSYNCl	NC
5	P46/PWX0	P46/PWX0	P46/PWX0	NC
6	P47/PWX1	P47/PWX1	P47/PWX1	NC
7	VSS	VSS	VSS	VSS
8	$\overline{RES}$	$\overline{RES}$	$\overline{RES}$	$\overline{RES}$
9	MD1	MD1	MD1	VSS
10	MD0	MD0	MD0	VSS
11	NMI	NMI	NMI	FA9
12	$\overline{STBY}$	$\overline{STBY}$	$\overline{STBY}$	VCC
13	VCL	VCL	VCL	VCC
14 (N)	P52/SCK0/SCL0	P52/SCK0/SCL0	P52/SCK0/SCL0	FA18
15	P51/RxD0	P51/RxD0	P51/RxD0	FA17
16	P50/TxD0	P50/TxD0	P50/TxD0	NC
17 (N)	P97/WAIT/SDA0	P97/WAIT/SDA0	P97/SDA0	VCC
18	P96/ $\phi$ /EXCL	P96/ $\phi$ /EXCL	P96/ $\phi$ /EXCL	NC
19	$\overline{AS}/\overline{IOS}$	$\overline{AS}/\overline{IOS}$	P95/ $\overline{CS1}$	FA16
20	$\overline{HWR}$	$\overline{HWR}$	P94/ $\overline{IOW}$	FA15
21	$\overline{RD}$	$\overline{RD}$	P93/ $\overline{IOR}$	WE
22	P92/ $\overline{IRQ0}$	P92/ $\overline{IRQ0}$	P92/ $\overline{IRQ0}$	VSS
23	P91/ $\overline{IRQ1}$	P91/ $\overline{IRQ1}$	P91/ $\overline{IRQ1}$	VCC
24	P90/LWR/ $\overline{IRQ2}/\overline{ADTRG}$	P90/LWR/ $\overline{IRQ2}/\overline{ADTRG}$	P90/ $\overline{IRQ2}/\overline{ADTRG}/\overline{ECS2}$	VCC
25	PE7	PE7	PE7	NC
26	PE6	PE6	PE6	NC
27	PE5	PE5	PE5	NC
28	PE4	PE4	PE4	NC
29	PE3	PE3	PE3	NC
30	PE2	PE2	PE2	NC

## 1. 概要

ピン番号 TFP-144	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	ライタ モード
31	PE1	PE1	PE1	NC
32	PE0	PE0	PE0	NC
33 (B)	PA7/CIN15/ $\overline{KIN15}$ / PS2CD	PA7/A23/CIN15/ $\overline{KIN15}$ / PS2CD	PA7/CIN15/ $\overline{KIN15}$ / PS2CD	NC
34 (B)	PA6/CIN14/ $\overline{KIN14}$ / PS2CC	PA6/A22/CIN14/ $\overline{KIN14}$ / PS2CC	PA6/CIN14/ $\overline{KIN14}$ / PS2CC	NC
35 (B)	PA5/CIN13/ $\overline{KIN13}$ / PS2BD	PA5/A21/CIN13/ $\overline{KIN13}$ / PS2BD	PA5/CIN13/ $\overline{KIN13}$ / PS2BD	NC
36	VCCB	VCCB	VCCB	VCC
37 (B)	PA4/CIN12/ $\overline{KIN12}$ / PS2BC	PA4/A20/CIN12/ $\overline{KIN12}$ / PS2BC	PA4/CIN12/ $\overline{KIN12}$ / PS2BC	NC
38 (B)	PA3/CIN11/ $\overline{KIN11}$ / PS2AD	PA3/A19/CIN11/ $\overline{KIN11}$ / PS2AD	PA3/CIN11/ $\overline{KIN11}$ / PS2AD	NC
39 (B)	PA2/CIN10/ $\overline{KIN10}$ / PS2AC	PA2/A18/CIN10/ $\overline{KIN10}$ / PS2AC	PA2/CIN10/ $\overline{KIN10}$ / PS2AC	NC
40 (B)	PA1/CIN9/ $\overline{KIN9}$	PA1/A17/CIN9/ $\overline{KIN9}$	PA1/CIN9/ $\overline{KIN9}$	NC
41 (B)	PA0/CIN8/ $\overline{KIN8}$	PA0/A16/CIN8/ $\overline{KIN8}$	PA0/CIN8/ $\overline{KIN8}$	NC
42	VSS	VSS	VSS	VSS
43	PF7	PF7	PF7	NC
44	PF6	PF6	PF6	NC
45	PF5	PF5	PF5	NC
46	PF4	PF4	PF4	NC
47	PF3	PF3	PF3	NC
48	PF2	PF2	PF2	NC
49	PF1	PF1	PF1	NC
50	PF0	PF0	PF0	NC
51 (N)	PG7	PG7	PG7	NC
52 (N)	PG6	PG6	PG6	NC
53 (N)	PG5	PG5	PG5	NC
54 (N)	PG4	PG4	PG4	NC
55 (N)	PG3	PG3	PG3	NC
56 (N)	PG2	PG2	PG2	NC
57 (N)	PG1	PG1	PG1	NC
58 (N)	PG0	PG0	PG0	NC
59	PD7	PD7	PD7	NC



ピン番号 TFP-144	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライタ モード
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	
60	PD6	PD6	PD6	NC
61	PD5	PD5	PD5	NC
62	PD4	PD4	PD4	NC
63	PD3	PD3	PD3	NC
64	PD2	PD2	PD2	NC
65	PD1	PD1	PD1	NC
66	PD0	PD0	PD0	NC
67	AVSS	AVSS	AVSS	VSS
68	P70/AN0	P70/AN0	P70/AN0	NC
69	P71/AN1	P71/AN1	P71/AN1	NC
70	P72/AN2	P72/AN2	P72/AN2	NC
71	P73/AN3	P73/AN3	P73/AN3	NC
72	P74/AN4	P74/AN4	P74/AN4	NC
73	P75/AN5	P75/AN5	P75/AN5	NC
74	P76/AN6/DA0	P76/AN6/DA0	P76/AN6/DA0	NC
75	P77/AN7/DA1	P77/AN7/DA1	P77/AN7/DA1	NC
76	AVCC	AVCC	AVCC	VCC
77	AVref	AVref	AVref	VCC
78	P60/FTCI/CIN0/ $\overline{KIN0}$ / HFBACKI/TMIX	P60/FTCI/CIN0/ $\overline{KIN0}$ / HFBACKI/TMIX	P60/FTCI/CIN0/ $\overline{KIN0}$ / HFBACKI/TMIX	NC
79	P61/FTOA/CIN1/ $\overline{KIN1}$ / VSYNCO	P61/FTOA/CIN1/ $\overline{KIN1}$ / VSYNCO	P61/FTOA/CIN1/ $\overline{KIN1}$ / VSYNCO	NC
80	P62/FTIA/CIN2/ $\overline{KIN2}$ / VSYNCI/TMIY	P62/FTIA/CIN2/ $\overline{KIN2}$ / VSYNCI/TMIY	P62/FTIA/CIN2/ $\overline{KIN2}$ / VSYNCI/TMIY	NC
81	P63/FTIB/CIN3/ $\overline{KIN3}$ / VFBACKI	P63/FTIB/CIN3/ $\overline{KIN3}$ / VFBACKI	P63/FTIB/CIN3/ $\overline{KIN3}$ / VFBACKI	NC
82	P64/FTIC/CIN4/ $\overline{KIN4}$ / CLAMPO	P64/FTIC/CIN4/ $\overline{KIN4}$ / CLAMPO	P64/FTIC/CIN4/ $\overline{KIN4}$ / CLAMPO	NC
83	P65/FTID/CIN5/ $\overline{KIN5}$	P65/FTID/CIN5/ $\overline{KIN5}$	P65/FTID/CIN5/ $\overline{KIN5}$	NC
84	P66/FTOB/CIN6/ $\overline{KIN6}$ / $\overline{IRQ6}$	P66/FTOB/CIN6/ $\overline{KIN6}$ / $\overline{IRQ6}$	P66/FTOB/CIN6/ $\overline{KIN6}$ / $\overline{IRQ6}$	NC
85	P67/TMOX/CIN7/ $\overline{KIN7}$ / $\overline{IRQ7}$	P67/TMOX/CIN7/ $\overline{KIN7}$ / $\overline{IRQ7}$	P67/TMOX/CIN7/ $\overline{KIN7}$ / $\overline{IRQ7}$	VSS
86	VCC	VCC	VCC	VCC
87	PC7	PC7	PC7	NC

## 1. 概要

ピン番号 TFP-144	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	ライタ モード
88	PC6	PC6	PC6	NC
89	PC5	PC5	PC5	NC
90	PC4	PC4	PC4	NC
91	PC3	PC3	PC3	NC
92	PC2	PC2	PC2	NC
93	PC1	PC1	PC1	NC
94	PC0	PC0	PC0	NC
95	VSS	VSS	VSS	VSS
96	A15	P27/A15/PW15/CBLANK	P27/PW15/CBLANK	$\overline{\text{CE}}$
97	A14	P26/A14/PW14	P26/PW14	FA14
98	A13	P25/A13/PW13	P25/PW13	FA13
99	A12	P24/A12/PW12	P24/PW12	FA12
100	A11	P23/A11/PW11	P23/PW11	FA11
101	A10	P22/A10/PW10	P22/PW10	FA10
102	A9	P21/A9/PW9	P21/PW9	$\overline{\text{OE}}$
103	A8	P20/A8/PW8	P20/PW8	FA8
104	A7	P17/A7/PW7	P17/PW7	FA7
105	A6	P16/A6/PW6	P16/PW6	FA6
106	A5	P15/A5/PW5	P15/PW5	FA5
107	A4	P14/A4/PW4	P14/PW4	FA4
108	A3	P13/A3/PW3	P13/PW3	FA3
109	A2	P12/A2/PW2	P12/PW2	FA2
110	A1	P11/A1/PW1	P11/PW1	FA1
111	VSS	VSS	VSS	VSS
112	A0	P10/A0/PW0	P10/PW0	FA0
113	PB7/D7/ $\overline{\text{WUE7}}$	PB7/D7/ $\overline{\text{WUE7}}$	PB7/ $\overline{\text{WUE7}}$	NC
114	PB6/D6/ $\overline{\text{WUE6}}$	PB6/D6/ $\overline{\text{WUE6}}$	PB6/ $\overline{\text{WUE6}}$	NC
115	PB5/D5/ $\overline{\text{WUE5}}$	PB5/D5/ $\overline{\text{WUE5}}$	PB5/ $\overline{\text{WUE5}}$	NC
116	PB4/D4/ $\overline{\text{WUE4}}$	PB4/D4/ $\overline{\text{WUE4}}$	PB4/ $\overline{\text{WUE4}}$	NC
117	PB3/D3/ $\overline{\text{WUE3}}$	PB3/D3/ $\overline{\text{WUE3}}$	PB3/ $\overline{\text{WUE3}}/\overline{\text{CS4}}$	NC
118	PB2/D2/ $\overline{\text{WUE2}}$	PB2/D2/ $\overline{\text{WUE2}}$	PB2/ $\overline{\text{WUE2}}/\overline{\text{CS3}}$	NC
119	PB1/D1/ $\overline{\text{WUE1}}$	PB1/D1/ $\overline{\text{WUE1}}$	PB1/HIRQ4/ $\overline{\text{WUE1}}/\overline{\text{LSCI}}$	NC
120	PB0/D0/ $\overline{\text{WUE0}}$	PB0/D0/ $\overline{\text{WUE0}}$	PB0/HIRQ3/ $\overline{\text{WUE0}}/\overline{\text{LSMI}}$	NC
121	D8	D8	P30/HDB0/LAD0	FO0

ピン番号 TFP-144	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ
	モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	ライタ モード
122	D9	D9	P31/HDB1/LAD1	FO1
123	D10	D10	P32/HDB2/LAD2	FO2
124	D11	D11	P33/HDB3/LAD3	FO3
125	D12	D12	P34/HDB4/LFRAME	FO4
126	D13	D13	P35/HDB5/LRESET	FO5
127	D14	D14	P36/HDB6/LCLK	FO6
128	D15	D15	P37/HDB7/SERIRQ	FO7
129	P80	P80	P80/HA0/PME	NC
130	P81	P81	P81/CS2/GA20	NC
131	P82	P82	P82/HIFSD/CLKRUN	NC
132	P83	P83	P83/LPCPD	NC
133	P84/IRQ3/TxD1	P84/IRQ3/TxD1	P84/IRQ3/TxD1	NC
134	P85/IRQ4/RxD1	P85/IRQ4/RxD1	P85/IRQ4/RxD1	NC
135 (N)	P86/IRQ5/SCK1/SCL1	P86/IRQ5/SCK1/SCL1	P86/IRQ5/SCK1/SCL1	NC
136	P40/TMC10/TxD2/IrTxD	P40/TMC10/TxD2/IrTxD	P40/TMC10/TxD2/IrTxD	NC
137	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	NC
138 (N)	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	NC
139	VSS	VSS	VSS	VSS
140	X1	X1	X1	NC
141	X2	X2	X2	NC
142	RES0	RES0	RES0	NC
143	XTAL	XTAL	XTAL	XTAL
144	EXTAL	EXTAL	EXTAL	EXTAL

【注】 ピン番号の (B) は VCCB 駆動、(N) は NMOS プッシュプル/ オープンドレイン駆動を表します。

## 1. 概要

### 1.3.3 端子機能

表 1.3 端子機能

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
電源	VCC	59	1、86	入力	電源端子です。システムの電源に接続してください。
	VCL	9	13	入力	電源端子です。VCC に接続してください。
	VCCB	4	36	入力	ポート A の入出力バッファ用電源です。
	VSS	15、70、 71、92	7、42、95、 111、139	入力	グランド端子です。システムの電源 (0V) に接続してください。
クロック	XTAL	2	143	入力	水晶発振子接続端子です。また、EXTAL 端子は、外部クロック入力することができます。接続例については、「第 24 章 クロック発振器」を参照してください。
	EXTAL	3	144	入力	
	$\phi$	17	18	出力	外部デバイスにシステムクロックを供給します。
	EXCL	17	18	入力	32.768kHz の外部サブクロックを入力してください。
	X1	-	140	入力	オープンとしてください。
	X2	-	141	入力	オープンとしてください。
動作モード コントロール	MD1	5	9	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
	MD0	6	10		
システム制御	$\overline{\text{RES}}$	1	8	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{RESO}}$	100	142	出力	外部デバイスに対し、リセット信号を出力します。
	$\overline{\text{STBY}}$	8	12	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに移移します。
アドレスバス	A23 ~ A16	10、11、 20、21、 30、31、 47、48	33 ~ 35、 37 ~ 39、 40、41	出力	16M バイト空間を使用するときのアドレス出力端子です。
	A15 ~ A0	60 ~ 67、 72 ~ 79	96 ~ 110、112	出力	アドレス出力端子です。
データバス	D15 ~ D8	89 ~ 82	128 ~ 121	入出力	上位双方向データバスです。
	D7 ~ D0	57、58、 68、69、 80、81、 90、91	113 ~ 120	入出力	下位双方向データバスです。

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
バス制御	$\overline{\text{WAIT}}$	16	17	入力	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
	$\overline{\text{RD}}$	22	21	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{HWR}}$	19	20	出力	この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの上位側が有効です。
	$\overline{\text{LWR}}$	25	24	出力	この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの下位側が有効です。
	$\overline{\text{AS}}$ $\overline{\text{IOS}}$	18	19	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
割り込み	NMI	7	11	入力	ノンマスカブル割り込み要求端子です。
	$\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$	23 ~ 25、 97 ~ 99、 34、35	22 ~ 24、 133 ~ 135、 84、85	入力	マスク可能な割り込みを要求します。
16 ビット フリーランニング タイマ (FRT)	FTCI	26	78	入力	カウンタクロック入力端子です。
	FTOA	27	79	出力	アウトプットコンペア A の出力端子です。
	FTOB	34	84	出力	アウトプットコンペア B の出力端子です。
	FTIA	28	80	入力	インプットキャプチャ A の入力端子です。
	FTIB	29	81	入力	インプットキャプチャ B の入力端子です。
	FTIC	32	82	入力	インプットキャプチャ C の入力端子です。
	FTID	33	83	入力	インプットキャプチャ D の入力端子です。
8 ビットタイマ (TMR_0、TMR_1 TMR_X)	TMO0	50	137	出力	アウトプットコンペア機能による波形出力端子です。
	TMO1	53	3		
	TMOX	35	85		
8 ビットタイマ (TMR_X、TMR_Y)	TMCI0	49	136	入力	カウンタにを入力する外部クロックの入力端子です。
	TMCI1	52	2		
	TMRI0	51	138		
8 ビットタイマ (TMR_X、TMR_Y)	TMIX	26	78	入力	カウンタイベント入力およびカウントリセット入力端子です。
	TMIY	28	80		

## 1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
8ビットPWMタイマ (PWM)	PW15 ~ PW0	60 ~ 67、 72 ~ 79	96 ~ 110、 112	出力	PWM タイマのパルス出力端子です。
14ビットPWM タイマ (PWMX)	PWX0 PWX1	55 56	5 6	出力	PWM D/A のパルス出力端子です。
シリアル コミュニケーション インタフェース  (SCI_0、SCI_1、 SCI_2)	TxD0	14	16	出力	送信データ出力端子です。
	TxD1	97	133		
	TxD2	49	136		
	RxD0	13	15	入力	受信データ入力端子です。
	RxD1	98	134		
	RxD2	50	137		
SCK0	12	14	入出力	クロック入出力端子です。 出力形式はNMOS プッシュプルです。	
SCK1	99	135			
SCK2	51	138			
IrDA 付き SCI (SCI_2)	IrTxD	49	136	出力	IrDA 用にエンコードされたデータの入出力 端子です。
	IrRxD	50	137	入力	
キーボードバッファ コントローラ	PS2AC	31	39	入出力	キーボードバッファコントローラの同期クロ ック入出力端子です。
	PS2BC	21	37		
	PS2CC	11	34		
	PS2AD	30	38	入出力	キーボードバッファコントローラのデータ入 出力端子です。
	PS2BD	20	35		
	PS2CD	10	33		
ホスト インタフェース (XBS)	HDB7 ~ HDB0	89 ~ 82	128 ~ 121	入出力	XBS をアクセスするための双方向 8 ビットバ スです。
	$\overline{CS1}$ 、 $\overline{CS2}$ 、 $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$	18、94 25、81、 80	19、130、 24、118、 117	入力	XBS のチャンネル 1~4 を選択するための入力 端子です。 $\overline{CS2}$ と $\overline{ECS2}$ の入力端子はシステ ムコントロールレジスタにより選択します。
	$\overline{IOR}$	22	21	入力	XBS からのリードを許可する入力端子です。
	$\overline{IOW}$	19	20	入力	XBS へのライトを許可する入力端子です。
	HA0	93	129	入力	データアクセスかコマンドアクセスかを示す ための入力端子です。
	GA20	94	130	出力	GATE A20 コントロール信号出力端子です。
	HIRQ11 HIRQ1 HIRQ12 HIRQ3 HIRQ4	52 53 54 91 90	2 3 4 120 119	出力	ホストへの割り込み要求出力端子です。
	HIFSD	95	131	入力	XBS の入出力端子をハイインピーダンス / カ ットオフ状態にするための制御入力端子で す。

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
ホスト インタフェース (LPC)	LAD3~LAD0	85~82	124~121	入出力	LPC のコマンド、アドレス、データの入出力端子です。
	LFRAME	86	125	入力	LPC サイクルの始まりや異常な LPC サイクルの強制終了を示す入力端子です。
	LRESET	87	126	入力	LPC のリセットを示す入力端子です。
	LCLK	88	127	入力	LPC のクロック入力端子です。
	SERIRQ	89	128	入出力	LPC のシリアルホスト割り込み (HIRQ1、SMI、HIRQ6、HIRQ9~12) の入出力端子です。
	LSCI、 $\overline{\text{LSMI}}$ 、 PME	90、91、 93	119、 120、129	入出力	LPC の補助出力端子です。機能的には汎用入出力ポートです。
	GA20	94	130	入出力	GATE A20 コントロール信号出力端子です。出力状態のモニタ入力が可能です。
	CLKRUN	95	131	入出力	LCLK の停止状態で、LCLK の動作開始を要求する入出力端子です。
	LPCPD	96	132	入力	LPC モジュールのシャットダウンを制御する入力端子です。
キーボードバッファ コントローラ	$\overline{\text{KIN0}} \sim \overline{\text{KIN15}}$	26~29、 32~35、 48、47、 31、30、 21、20、 11、10	78~85、 41~37、 35~33	入力	マトリクスキーボードのための入力端子です。通常は $\overline{\text{KIN0}} \sim \overline{\text{KIN15}}$ をキースキャン用入力、P10~P17 と P20~P27 をキースキャン用出力として使用します。これにより、最大 16 出力×16 入力、256 キーのマトリクスが構成できます。
	$\overline{\text{WUE0}} \sim \overline{\text{WUE7}}$	91、90、 81、80、 69、68、 58、57	120~113	入力	ウェイクアップイベントの入力端子です。種々のソースからキーウェイクアップと同様のウェイクアップが可能です。
A/D 変換器	AN7~AN0	45~38	68~75	入力	アナログ入力端子です。
	CIN0~CIN15	26~29、 32~35、 48、47、 31、30、 21、20、 11、10	78~85、 41~37、 35~33	入力	A/D 変換入力端子です。ただし、デジタル入出力端子と兼用であるため、精度が低下します。
	ADTRG	25	24	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA0 DA1	44 45	74 75	出力	アナログ出力端子です。

## 1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
A/D 変換器 D/A 変換器	AVCC	37	76	入力	A/D 変換器、D/A 変換器のアナログ電源端子です。A/D 変換器、D/A 変換器を使用しない場合、システムの電源 (+3V) に接続してください。
	AVref	36	77	入力	A/D 変換器、D/A 変換器の基準電源端子です。A/D 変換器、D/A 変換器を使用しない場合、システムの電源 (+3V) に接続してください。
	AVSS	46	67	入力	A/D 変換器、D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
タイマコネクション	VSYNCI HSYNCI CSYNCI VFBACKI HFBACKI	28 52 54 29 26	80 2 4 81 78	入力	タイマコネクションの同期信号入力端子です。
	VSYNCO HSYNCO CLAMPO CBLANK	27 53 32 60	79 3 82 96	出力	タイマコネクションの同期信号出力端子です。
I <sup>2</sup> C バス インタフェース (IIC)	SCL0 SCL1	12 99	14 135	入出力	I <sup>2</sup> C クロック入出力端子です。出力形式は NMOS オープンドレイン出力です。
	SDA0 SDA1	16 51	17 138	入出力	I <sup>2</sup> C のデータ入出力端子です。出力形式は NMOS オープンドレイン出力です。
I/O ポート	P17 ~ P10	72 ~ 79	104 ~ 110、 112	入出力	8 ビットの入出力端子です。
	P27 ~ P20	60 ~ 67	96 ~ 103	入出力	8 ビットの入出力端子です。
	P37 ~ P30	89 ~ 82	128 ~ 121	入出力	8 ビットの入出力端子です。
	P47 ~ P40	56 ~ 49	6 ~ 2、 138 ~ 136	入出力	8 ビットの入出力端子です。 (P42 は NMOS プッシュプル出力です。)
	P52 ~ P50	12 ~ 14	14 ~ 16	入出力	3 ビットの入出力端子です。 (P52 は NMOS プッシュプル出力です。)
	P67 ~ P60	35 ~ 32 29 ~ 26	85 ~ 78	入出力	8 ビットの入出力端子です。
	P77 ~ P70	45 ~ 38	75 ~ 68	入力	8 ビットの入力端子です。
	P86 ~ P80	99 ~ 93	135 ~ 129	入出力	7 ビットの入出力端子です。 (P86 は NMOS プッシュプル出力です。)
P97 ~ P90	16 ~ 19 22 ~ 25	17 ~ 24	入出力	8 ビットの入出力端子です。 (P97 は NMOS プッシュプル出力です。)	



分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
I/O ポート	PA7 ~ PA0	10、11、 20、21、 30、31、 47、48	33 ~ 35、 37 ~ 41	入出力	8 ビットの入出力端子です。
	PB7 ~ PB0	57、58、 68、69、 80、81、 90、91	113 ~ 120	入出力	8 ビットの入出力端子です。
	PC7 ~ PC0	-	87 ~ 94	入出力	8 ビットの入出力端子です。
	PD7 ~ PD0	-	59 ~ 66	入出力	8 ビットの入出力端子です。
	PE7 ~ PE0	-	25 ~ 32	入出力	8 ビットの入出力端子です。
	PF7 ~ PF0	-	43 ~ 50	入出力	8 ビットの入出力端子です。
	PG7 ~ PG0	-	51 ~ 58	入出力	8 ビットの入出力端子です。 (H8S/2160B、H8S/2161B の PG7 ~ PG0 は NMOS プッシュプル出力です。)

## 1. 概要

---

---

## 2. CPU

---

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

### 2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換  
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本  
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：65 種類  
8/16/32 ビット演算命令  
乗除算命令  
強力なビット操作命令
- アドレッシングモード：8 種類  
レジスタ直接 (Rn)  
レジスタ間接 (@ERn)  
ディスプレースメント付きレジスタ間接 (@(d:16,ERn)/@(d:32,ERn))  
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)  
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)  
イミディエイト (#xx:8/#xx:16/#xx:32)  
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))  
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト  
プログラム：16M バイト  
データ：16M バイト

## 2. CPU

---

- 高速動作

頻出命令をすべて1~2ステートで実行

8/16/32ビットレジスタ間加減算：1ステート

8×8ビットレジスタ間乗算：12ステート (MULXU.B)、13ステート (MULXS.B)

16÷8ビットレジスタ間除算：12ステート (DIVXU.B)

16×16ビットレジスタ間乗算：20ステート (MULXU.W)、21ステート (MULXS.W)

32÷16ビットレジスタ間除算：20ステート (DIVXU.W)

- CPU動作モード：2種類

ノーマルモード/アドバンスモード

- 低消費電力状態

SLEEP命令により低消費電力状態に移

CPU動作クロックを選択可能

### 2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

### 2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張  
16ビット×8本の拡張レジスタおよび8ビット×1本のコントロールレジスタを追加
- アドレス空間を拡張  
ノーマルモードのとき、H8/300 CPUと同一の64kバイトのアドレス空間を使用可能  
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化  
16Mバイトのアドレス空間を有効に使用可能
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
符号付き乗除算命令などを追加  
2ビットシフト、2ビットローテート命令を追加  
複数レジスタの退避/復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張  
8ビット×1本のコントロールレジスタを追加
- 命令強化  
ビット操作命令のアドレッシングモードを強化  
2ビットシフト、2ビットローテート命令を追加  
複数レジスタの退避/復帰命令を追加  
テストアンドセット命令を追加
- 高速化  
基本的な命令を2倍に高速化

### 2.2 CPU動作モード

H8S/2000 CPUには、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大64kバイト、アドバンスモードでは16Mバイトです。動作モードはLSIのモード端子によって決まります。

#### 2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造はH8/300 CPUと同一です。

- アドレス空間

最大64kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7)は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます(ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+)により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス(EA)の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@aa:8)は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット(ワード)となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000~H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を図2.2に示します。EXRはスタックされません。詳細は「第4章 例外処理」を参照してください。

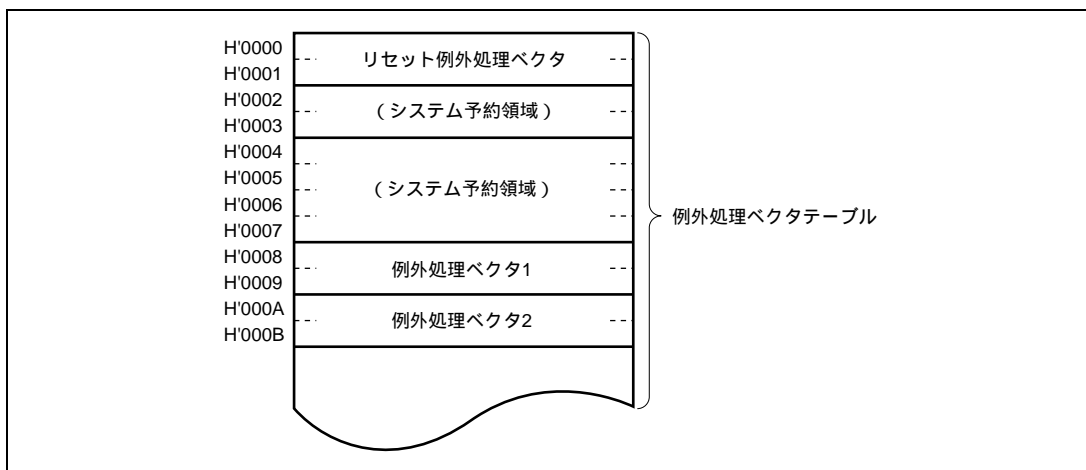


図 2.1 例外処理ベクタテーブル (ノーマルモード)

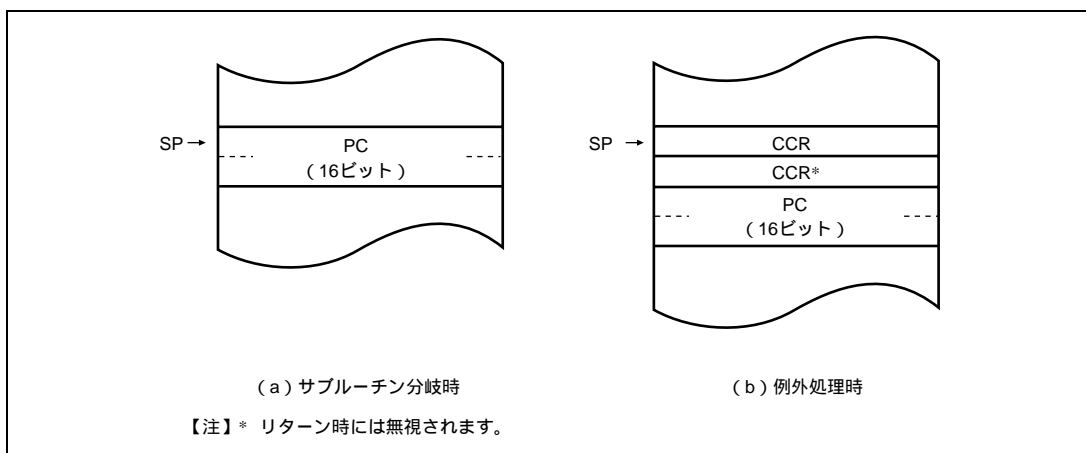


図 2.2 ノーマルモードのスタック構造

## 2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

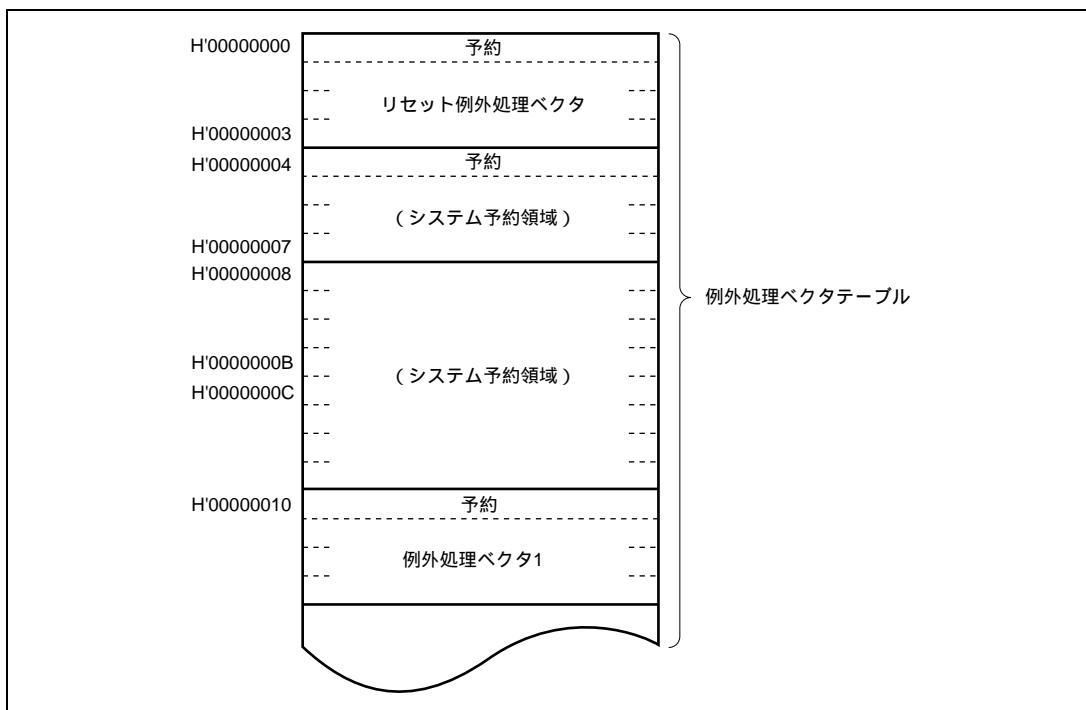


図 2.3 例外処理ベクタテーブル (アドバンストモード)



メモリ間接 (@@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を図2.4に示します。EXRはスタックされません。詳細は「第4章 例外処理」を参照してください。

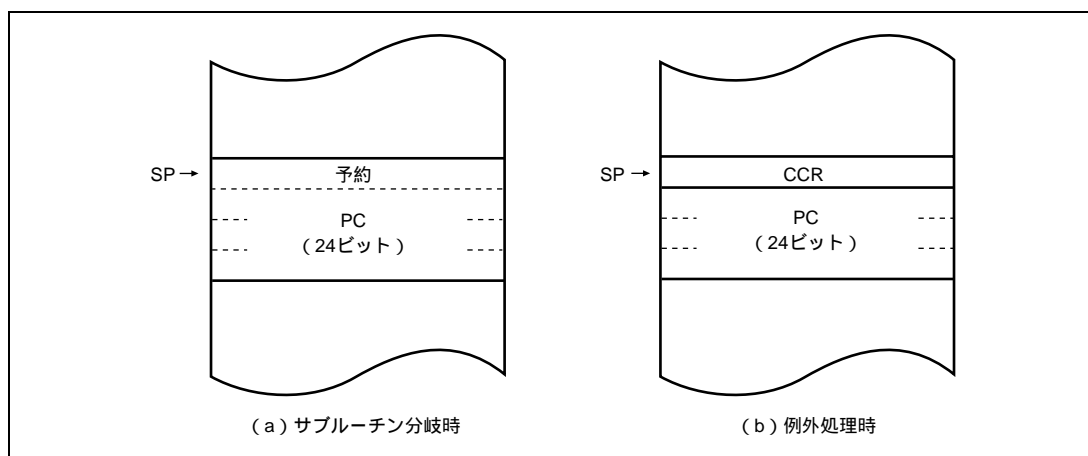


図 2.4 アドバンスモードのスタック構造

## 2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64k バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

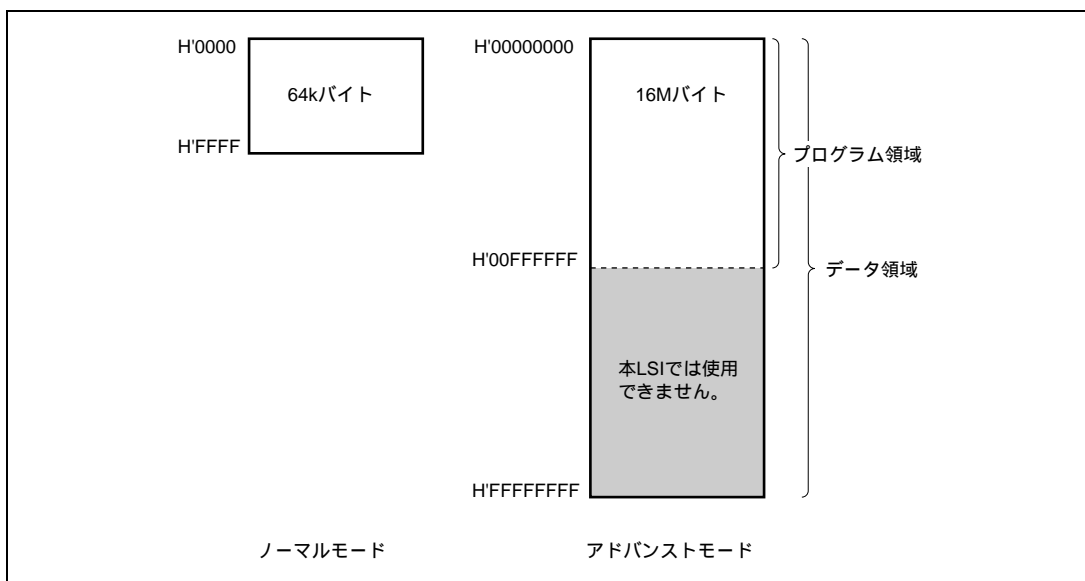


図 2.5 アドレス空間

## 2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

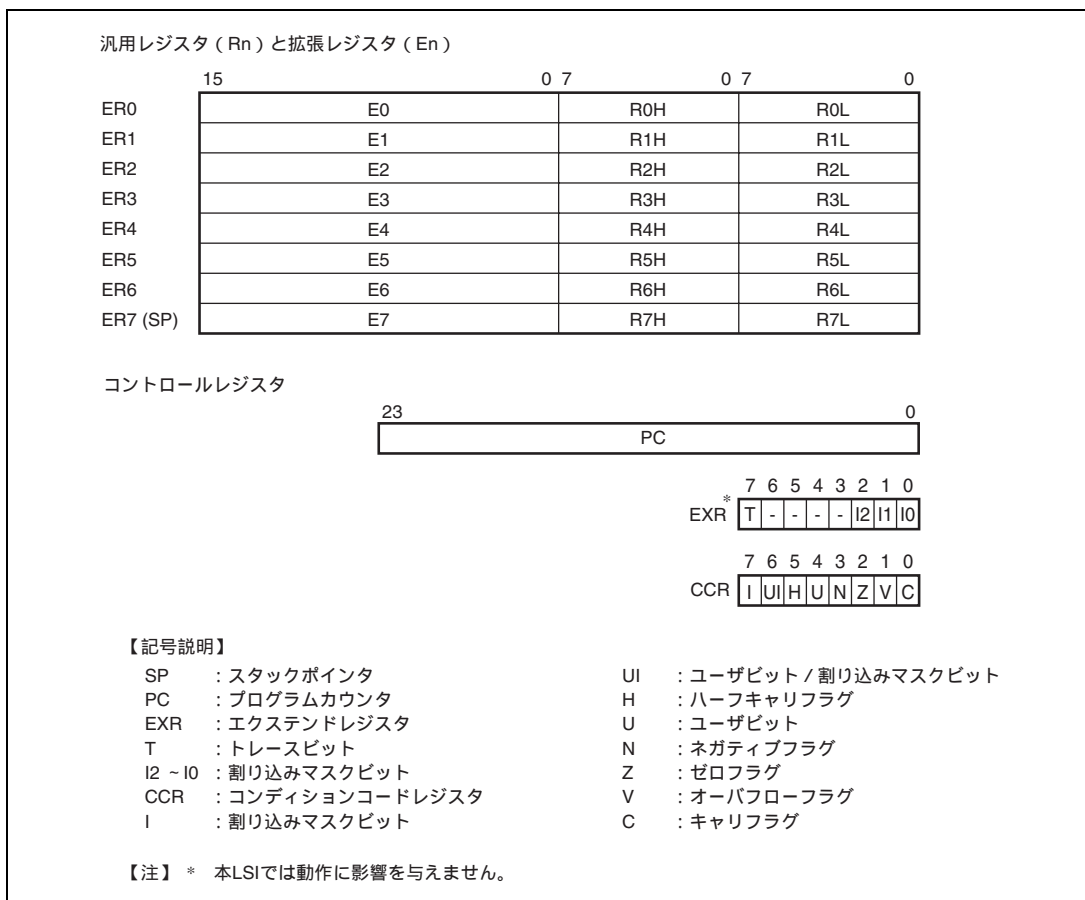


図 2.6 CPU 内部レジスタ構成

### 2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

## 2. CPU

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

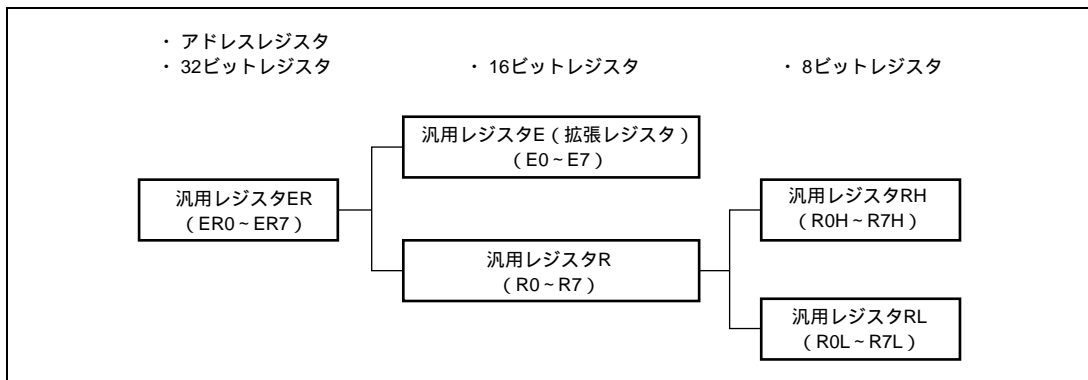


図 2.7 汎用レジスタの使用方法

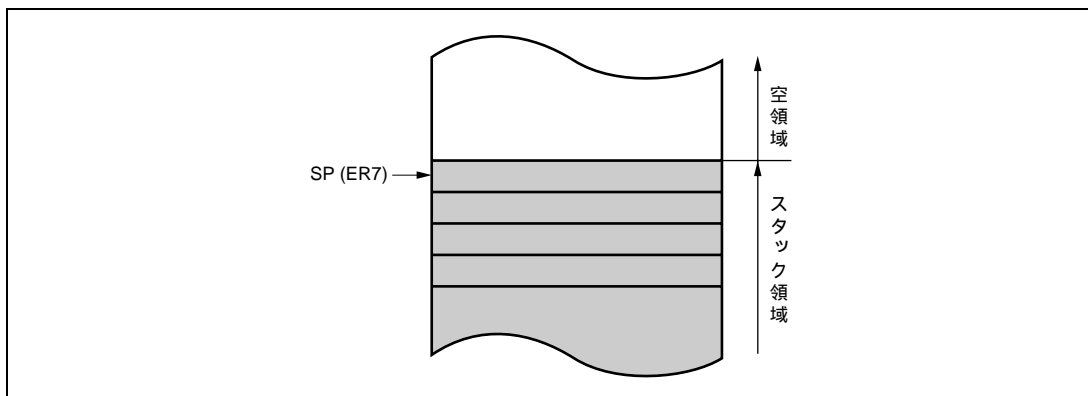


図 2.8 スタックの状態

## 2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

## 2.4.3 エクステンドレジスタ (EXR)

本 LSI では動作に影響を与えません。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット 本 LSI では動作に影響を与えません。
6~3		すべて 1	R	リザーブビットです。リードすると常に 1 がリードされます。
2~0	I2	1	R/W	割り込みマスクビット 2~0 本 LSI では動作に影響を与えません。
	I1	1	R/W	
	I0	1	R/W	

## 2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は 1 ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。

## 2. CPU

---

ビット	ビット名	初期値	R/W	説明
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"><li>• 加算結果のキャリ</li><li>• 減算結果のボロー</li><li>• シフト/ローテートのキャリ</li></ul> また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

### 2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタテーブルからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

## 2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第  $n$  ビット ( $n=0,1,2,\dots,7$ ) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

### 2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	
1ビットデータ	RnL	
4ビットBCDデータ	RnH	
4ビットBCDデータ	RnL	
バイトデータ	RnH	
バイトデータ	RnL	

図 2.9 汎用レジスタのデータ形式 (1)

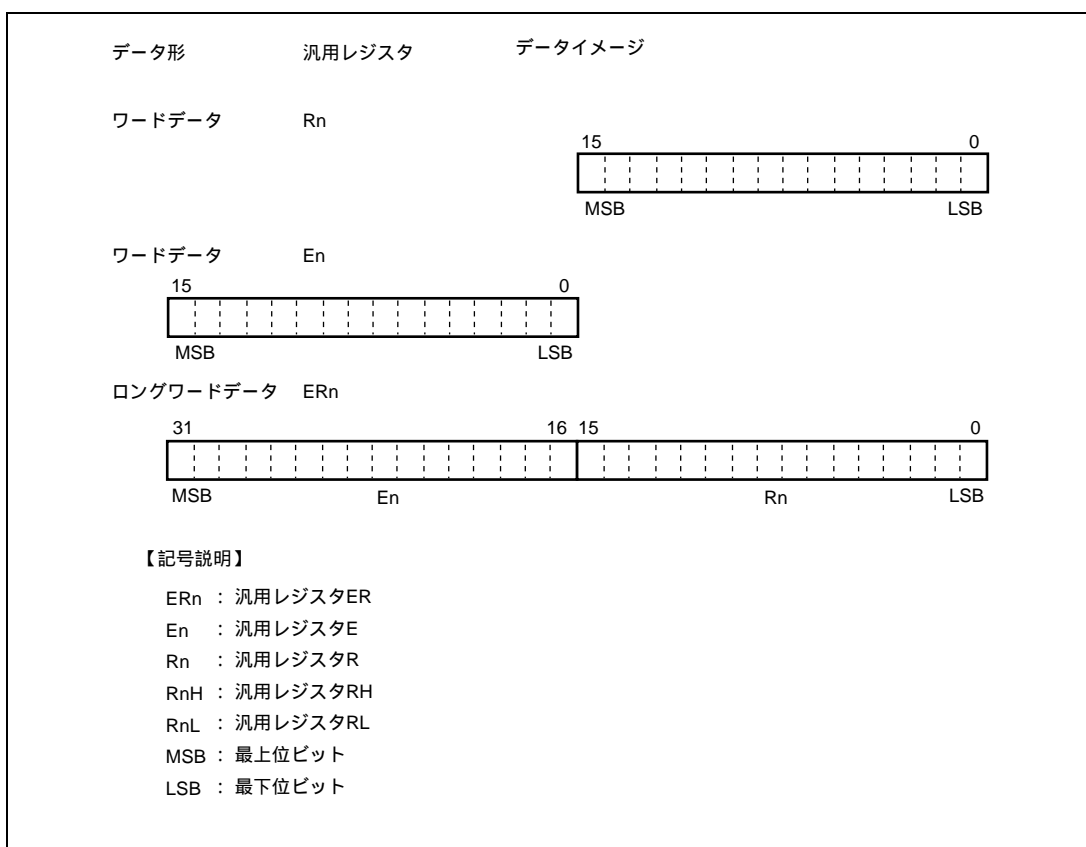


図 2.9 汎用レジスタのデータ形式 (2)

## 2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。



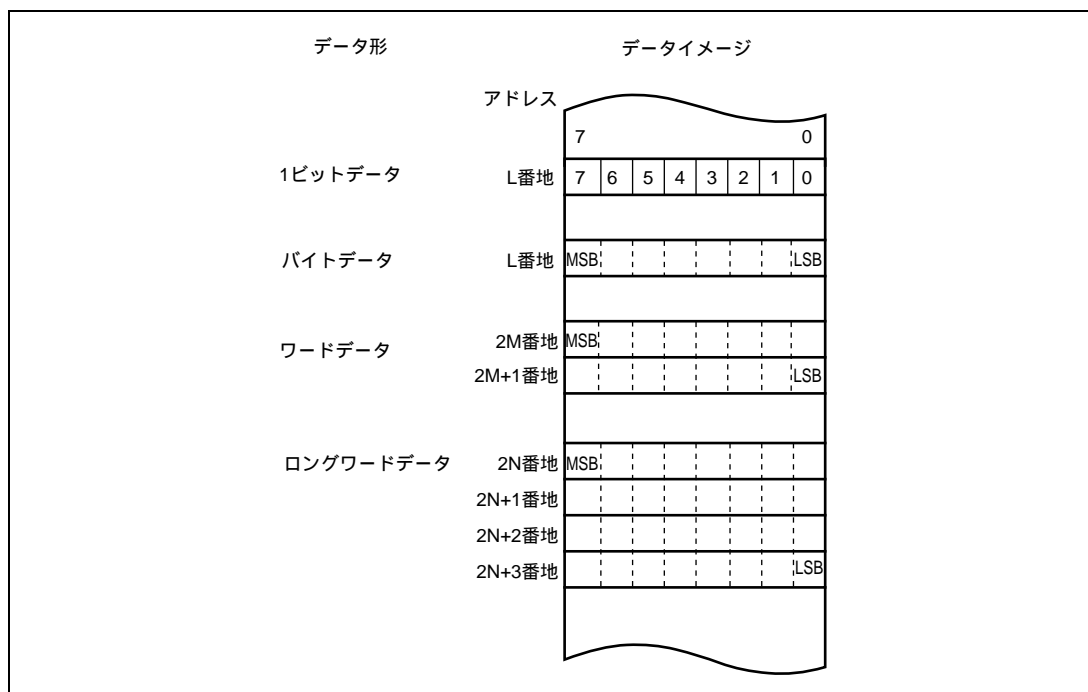


図 2.10 メモリ上でのデータ形式

## 2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP * <sup>1</sup> , PUSH * <sup>1</sup>	W/L	
	LDM* <sup>5</sup> , STM* <sup>5</sup>	L	
	MOVFP* <sup>3</sup> , MOVTP* <sup>3</sup>	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* <sup>4</sup>	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * <sup>2</sup> , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EEMOV	-	1

合計 65 種類

### 【記号説明】

B : バイト

W : ワード

L : ロングワード

### 【注】

\*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。

また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。

\*2 Bcc は条件分岐命令の総称です。

\*3 本 LSI では使用できません。

\*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

\*5 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

## 2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:8/:16/:24/:32	8/16/24/32 ビット長

【注】\* 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*1	機能
MOV	B/W/L	(EAs) →Rd、Rs→ (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM*2	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM*2	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$ , $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ , $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$ , $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ , $Rd \pm 2 \rightarrow Rd$ , $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット $\times$ 8 ビット $\rightarrow$ 16 ビット、16 ビット $\times$ 16 ビット $\rightarrow$ 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット $\times$ 8 ビット $\rightarrow$ 16 ビット、16 ビット $\times$ 16 ビット $\rightarrow$ 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット $\div$ 8 ビット $\rightarrow$ 商 8 ビット余り 8 ビット、 32 ビット $\div$ 16 ビット $\rightarrow$ 商 16 ビット余り 16 ビットの除算が可能です。

【注】\* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ* <sup>1</sup>	機能
DIVXS	B/W	Rd ÷ Rs → Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット → 商 8 ビット 余り 8 ビット、 32 ビット ÷ 16 ビット → 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0 - Rd Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W/L	Rd (ゼロ拡張) → Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd (符号拡張) → Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS* <sup>2</sup>	B	@ERd - 0、1 → (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット (ビット 7) を 1 にセットします。

【注】 \*1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

\*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs→Rd、Rd #IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd→Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】\* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd（シフト処理）→Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd（シフト処理）→Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd（ローテート処理）→Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd（ローテート処理）→Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】\* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

## 2. CPU

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~ (<ビット番号>of<EAd>)→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号>of<EAd>)→ Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>)→ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [ ~ (<ビット番号>of<EAd>) ] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [ ~ (<ビット番号>of<EAd>) ] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト



表 2.7 ビット操作命令 (2)

命令	サイズ*	機 能
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow \langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】\* サイズはオペランドサイズを示します。

B: バイト

## 2. CPU

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>CVZ=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>CVZ=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N⊕V=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N⊕V=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N⊕V)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N⊕V)=1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	CVZ=0	BLS	Low or Same	CVZ=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	Z (N⊕V)=0	BLE	Less or Equal	Z (N⊕V)=1
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	CVZ=0																																																			
BLS	Low or Same	CVZ=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	Z (N⊕V)=0																																																			
BLE	Less or Equal	Z (N⊕V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B / W	(EAs) →CCR、(EAs) →EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B / W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM→CCR、EXR #IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2→PC PC のインクリメントだけを行います。

【注】\* サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	if R4L 0 then Repeat @ER5+→@ER6+ R4L - 1→R4L Until R4L = 0 else next;
EEPMOV.W	-	if R4 0 then Repeat @ER5+→@ER6+ R4 - 1→R4 Until R4 = 0 else next;  ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

## 2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

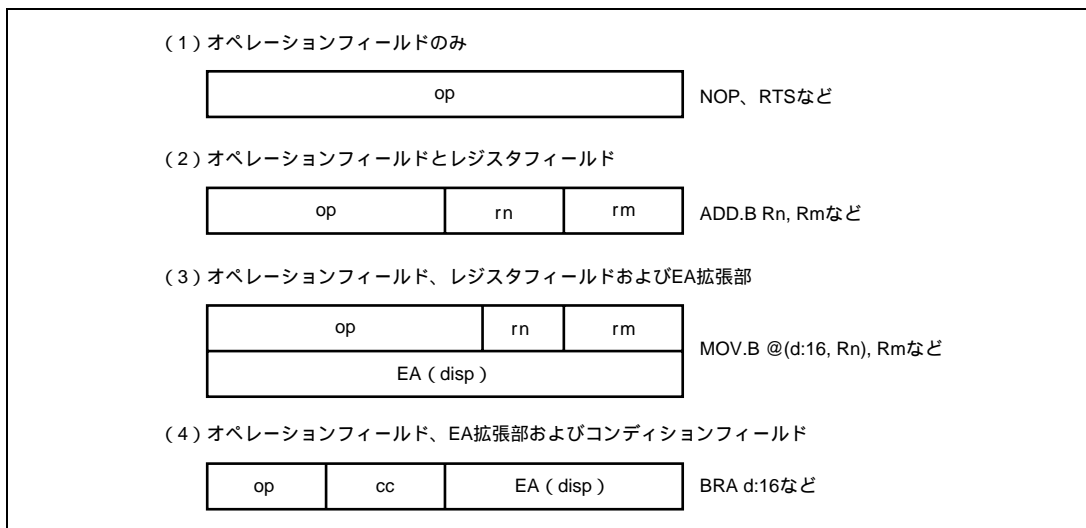


図 2.11 命令フォーマットの例

## 2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレイースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

### 2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

### 2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

### 2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn)/@(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレイースメント、または 32 ビットディスプレイースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレイースメントは符号拡張されます。

## 2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接-ERn

### (1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2、または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。

### (2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2、または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのと看、アドレスレジスタの内容が偶数になるようにしてください。

## 2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンスドモード
データ領域	8 ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16 ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32 ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

### 2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

### 2.7.7 プログラムカウンタ相対 @(d:8, PC)/@(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト ( - 63 ~ + 64 ワード) または - 32766 ~ + 32768 バイト ( - 16383 ~ + 16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

### 2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 ( ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください)。

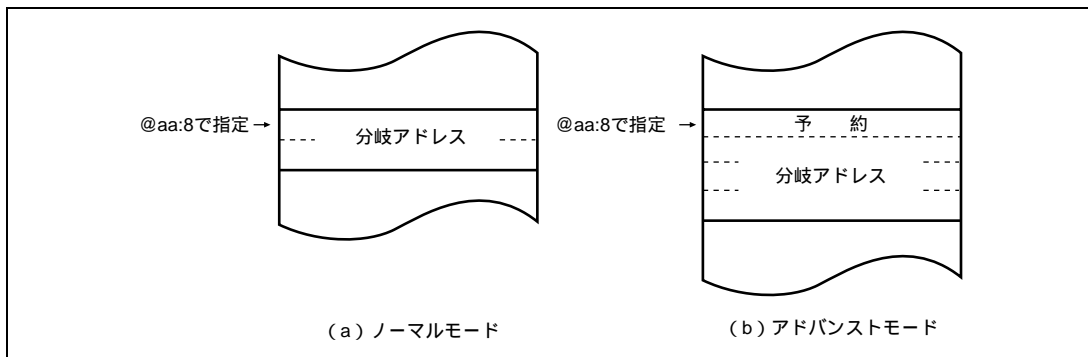


図 2.12 メモリ間接による分岐アドレスの指定

### 2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。  
 ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

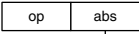


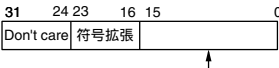

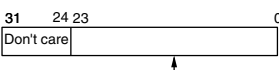


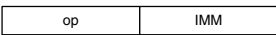
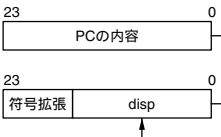
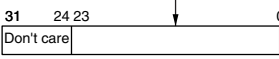


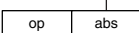

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） 	汎用レジスタの内容	31 24 23 0 Don't care
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 	汎用レジスタの内容 符号拡張 disp	31 24 23 0 Don't care
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	汎用レジスタの内容 汎用レジスタの内容 1、2、または4	31 24 23 0 Don't care

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4



表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8		
	@aa:16		
	@aa:24		
	@aa:32		
6	イミディエイト #xx:8 / #xx:16 / #xx:32		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)		
8	メモリ間接 @aa:8 ・ ノーマルモード		
	・ アドバンストモード		

### 2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

データトランスファコントローラ（DTC）を内蔵している製品で、CPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

詳細は「第6章 バスコントローラ（BSC）」を参照してください。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第25章 低消費電力状態」を参照してください。



## 2.9.2 STM/LDM 命令使用上の注意

STM/LDM 命令において、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0 ER1、ER2 ER3、ER4 ER5

3 本 : ER0 ER2、ER4 ER6

4 本 : ER0 ER3

また、ルネサス製 H8S、H8S/300 シリーズ C/C++ コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

## 2.9.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる 1 ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き変わる可能性がありますので注意してください。

例 : ポート4のDDRにBCLR命令を実行した場合

P47、P46 は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。P45 ~ P40 は出力端子に設定され、それぞれ Low レベル出力状態とします。以下に、BCLR 命令で P40 を入力端子に設定する例を示します。

### 【BCLR命令実行前】

	P47	P46	P45	P44	P43	P42	P41	P40
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

### 【BCLR命令実行】

BCLR #0 , @P4DDR

DDR に対して BCLR 命令を実行します。

### 【BCLR命令実行後】

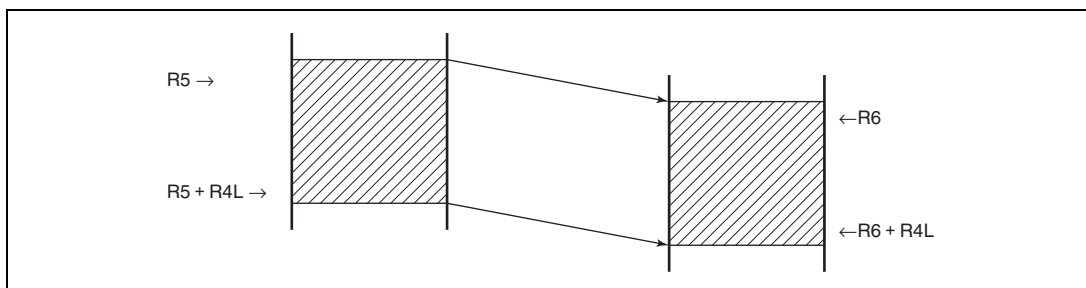
	P47	P46	P45	P44	P43	P42	P41	P40
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

## 【動作説明】

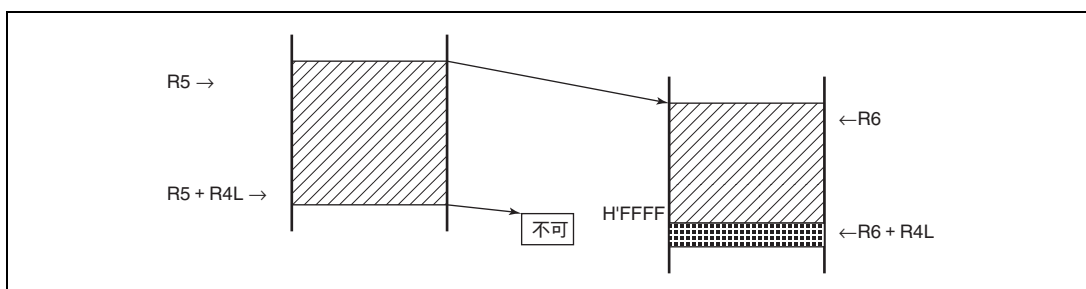
1. BCLR 命令を実行すると、CPU は P4DDR をリードします。P4DDR はライト専用レジスタですので、CPU は H'FF をリードします。したがって、この例では DDR は H'3F ですが、CPU がリードしたデータは H'FF となります。
2. CPU はリードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。
3. H'FE を DDR に書き込んで、BCLR 命令を終了します。  
その結果、DDR のビット 0 が 0 になり、P40 は入力端子になります。しかし、DDR のビット 7、6 が 1 になり、P47、P46 は出力端子に変化してしまいます。

## 2.9.4 EEPMOV 命令

1. EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



2. 転送先の最終アドレス (R6 + R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF → H'0000 とならないように)、R4L、R6 を設定してください。





---

## 3. MCU 動作モード

---

### 3.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 1～3）があります。動作モードは、モード端子（MD1、MD0）の設定で決まります。表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD1	MD0	CPU 動作モード	内容	内蔵 ROM
0	0	0			
1	0	1	ノーマル	内蔵 ROM 無効拡張モード	無効
2	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード	有効
3	1	1	ノーマル	内蔵 ROM 有効拡張モード シングルチップモード	有効

モード 1 は、外部メモリおよび周辺デバイスをアクセスすることができる拡張モードです。

モード 2、3 は、リセット後はシングルチップモードで動作を開始します。MDCR の EXPE ビットを 1 にセットすることにより拡張モードに移行することができます。

モード 0 は、本 LSI では使用できません。したがって、通常のプログラム実行状態では、モード端子は必ずモード 1～3 になるように設定してください。また、モード端子は動作中に変化させないでください。

### 3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。バスコントロールレジスタ（BCR）については「6.3.1 バスコントロールレジスタ（BCR）」を参照してください。

- モードコントロールレジスタ（MDCR）
- システムコントロールレジスタ（SYSCR）
- シリアルタイマコントロールレジスタ（STCR）

### 3. MCU 動作モード

#### 3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、動作モードの設定および現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7	EXPE	*	R/W*	拡張モードイネーブル 拡張モードを設定します。モード 1 の場合、1 に固定されておりライトは無効です。モード 2、3 の場合、初期値は 0 でリード/ライト可能です。 0 : シングルチップモード 1 : 拡張モード
6~2		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	MDS1	*	R	モードセレクト 1、0
0	MDS0	*	R	モード端子 (MD1、MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1、MDS0 ビットは MD1、MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD1、MD0) の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。

【注】 \* MD1、MD0 端子により決定されます

#### 3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、システム端子機能の選択、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、端子位置の選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CS2E	0	R/W	チップセレクト 2 イネーブル HICR の FGA20E ビットとともにホストインタフェースの制御端子 ( $\overline{CS2}$ ) の配置を指定します。詳細は「第 18 章 ホストインタフェース X-BUS インタフェース (XBS)」を参照してください。
6	IOSE	0	R/W	IOS イネーブル 拡張モード時の $\overline{AS}/\overline{IOS}$ 端子の機能を制御します。 0 : $\overline{AS}$ 端子 外部エリアアクセス時に Low 出力 1 : $\overline{IOS}$ 端子 アドレス H'(FF)F000 ~ H'(FF)F7FF の指定アドレスアクセス時に Low 出力



ビット	ビット名	初期値	R/W	説明
5 4	INTM1 INTM0	0 0	R R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00：割り込み制御モード 0 01：割り込み制御モード 1 10：設定禁止 11：設定禁止
3	XRST	1	R	外部リセット リセット要因を表すビットです。リセットは、外部リセット入力、または、ウォッチドッグタイマオーバフローにより発生できます。 0：ウォッチドッグタイマオーバフローで発生 1：外部リセットで発生
2	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりがエッジで割り込み要求を発生 1：NMI 入力の立ち上がりがエッジで割り込み要求を発生
1	HIE	0	R/W	ホストインタフェースイネーブル ホストインタフェースのレジスタ (HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2)、キーボードマトリクス割り込みおよび入力プルアップ MOS の制御レジスタ (KMIMR、KMPCR、KMIMRA)、8 ビットタイマ TMR_X、TMR_Y のレジスタ (TCR_X/TCR_Y、TCSR_X/TCSR_Y、TICRR/TCORA_Y、TICRF/TCORB_Y、TCNT_X/TCNT_Y、TCORC/TISR、TCORA_X、TCORB_X)、タイマコネクションのレジスタ (TCONRI、TCONRO、TCONRS、SEDGR) の CPU アクセスを制御します。 0：アドレス H'(FF)FFF0 ~ H'(FF)FFF7、H'(FF)FFFC ~ H'(FF)FFFF のエリアは、TMR_X、TMR_Y およびタイマコネクションのレジスタの CPU アクセスを許可 1：アドレス H'(FF)FFF0 ~ H'(FF)FFF7、H'(FF)FFFC ~ H'(FF)FFFF のエリアは、ホストインタフェースのレジスタ、キーボードマトリクス割り込みおよび入力プルアップ MOS 制御レジスタの CPU アクセスを許可
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。RAME ビットはリセットを解除したときに初期化されます。 0：内蔵 RAM 無効 1：内蔵 RAM 有効

### 3. MCU 動作モード

#### 3.2.3 シリアルタイムコントロールレジスタ (STCR)

STCR は、レジスタアクセスの制御、IIC の動作モードの制御、内蔵フラッシュメモリの制御、タイマカウンタの入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IICS	0	R/W	I <sup>2</sup> C エクストラバッファセレクト ポート A のビット 7~4 を SCL、SDA と同様の出力バッファとなるように設定します。ソフトウェアのみによる I <sup>2</sup> C インタフェースを実現する場合に利用します。 0 : PA7 ~ PA4 は通常入出力端子 1 : PA7 ~ PA4 はバス駆動可能な入出力端子
6	IICX1	0	R/W	I <sup>2</sup> C トランスファレートセレクト 1、0
5	IICX0	0	R/W	IIC の動作を制御するビットです。I <sup>2</sup> C バスモードレジスタ (ICMR) の CKS2 ~ CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。転送レートについては、表 16.3 を参照してください。
4	IICE	0	R/W	I <sup>2</sup> C マスタイネーブル IIC のレジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR)、PWMX のレジスタ (DADRAH/DACR、DADRAL、DADRBH/DACNTH、DADRBL/DACNTL)、SCI のレジスタ (SMR、BRR、SCMR) の CPU アクセスを制御します。 0 : アドレス H'(FF)FF88 ~ H'(FF)FF89、H'(FF)FF8E ~ H'(FF)FF8F のエリアは、SCL_1 のレジスタをアクセス アドレス H'(FF)FFA0 ~ H'(FF)FFA1、H'(FF)FFA6 ~ H'(FF)FFA7 のエリアは、SCL_2 のレジスタをアクセス アドレス H'(FF)FFD8 ~ H'(FF)FFD9、H'(FF)FFDE ~ H'(FF)FFDF のエリアは、SCI_0 のレジスタをアクセス 1 : アドレス H'(FF)FF88 ~ H'(FF)FF89、H'(FF)FF8E ~ H'(FF)FF8F のエリアは、IIC_1 のレジスタをアクセス アドレス H'(FF)FFA0 ~ H'(FF)FFA1、H'(FF)FFA6 ~ H'(FF)FFA7 のエリアは、PWMX のレジスタをアクセス アドレス H'(FF)FFD8 ~ H'(FF)FFD9、H'(FF)FFDE ~ H'(FF)FFDF のエリアは、IIC_0 のレジスタをアクセス
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリのレジスタ (FLMCR1、FLMCR2、EBR1、EBR2)、低消費電力状態の制御レジスタ (SBYCR、LPWRCR、MSTPCRH、MSTPCRL)、および周辺モジュールの制御レジスタ (PCSR、SYSCR2) の CPU アクセスを制御します。 0 : アドレス H'(FF)FF80 ~ H'(FF)FF87 のエリアは、低消費電力状態および周辺モジュールの制御レジスタをアクセス 1 : アドレス H'(FF)FF80 ~ H'(FF)FF87 のエリアは、フラッシュメモリの制御レジスタをアクセス
2		0	R/W	リザーブビット 1 にセットしないでください。

ビット	ビット名	初期値	R/W	説明
1	ICKS1	0	R/W	インターナルクロックソースセレクト1、0
0	ICKS0	0	R/W	タイマコントロールレジスタ (TCR) の CKS2~CKS0 ビットと組み合わせてタイマカウンタ (TCNT) に入力するクロックとカウント条件を選択します。詳細は「12.3.4 タイマコントロールレジスタ (TCR)」を参照してください。

### 3.3 各動作モードの説明

#### 3.3.1 モード1

CPU はノーマルモードで、アドレス空間は 64k バイトです。内蔵 ROM は無効です。ポート 1、2 がアドレスバス、ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR レジスタの ABW ビットを 0 にクリアすることでポート B がデータバスとなります。

#### 3.3.2 モード2

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。

リセット後はシングルチップモードに設定されており、外部アドレス空間を使用するには MDCR の EXPE ビットを 1 にセットしてください。

MDCR の EXPE ビットを 1 にセットすると、ポート 1、2、A はリセット後は入力ポートになっています。対応するデータディレクションレジスタ (DDR) を 1 にセットすることによりアドレスを出力できます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR の ABW ビットを 0 にクリアすることで、ポート B がデータバスとなります。

#### 3.3.3 モード3

CPU はノーマルモードで、アドレス空間は 64k バイトです。内蔵 ROM は有効です。モード 3 では使用できる ROM 容量は 56K バイトです。

リセット後はシングルチップモードに設定されており、外部アドレス空間を使用するには MDCR の EXPE ビットを 1 にセットしてください。

MDCR の EXPE ビットを 1 にセットすると、ポート 1、2 はリセット後は入力ポートになっています。対応するデータディレクションレジスタ (DDR) を 1 にセットすることによりアドレスバスを出力ができます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR の ABW ビットを 0 にクリアすることで、ポート B がデータバスとなります。

### 3. MCU 動作モード

---

#### 3.3.4 端子機能

動作モードにより、ポート 1~3、9、A、B の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3
ポート 1		A	P* / A	P* / A
ポート 2		A	P* / A	P* / A
ポート A		P	P* / A	P
ポート 3		D	P* / D	P* / D
ポート B		P* / D	P* / D	P* / D
ポート 9	P97	P* / C	P* / C	P* / C
	P96	C* / P	P* / C	P* / C
P95 ~ P93		C	P* / C	P* / C
P92、P91		P	P	P
P90		P* / C	P* / C	P* / C
ポート C~G		P	P	P

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- \* : リセット直後

### 3.4 アドレスマップ

各動作モードのアドレスマップを図 3.1 ~ 図 3.10 に示します。

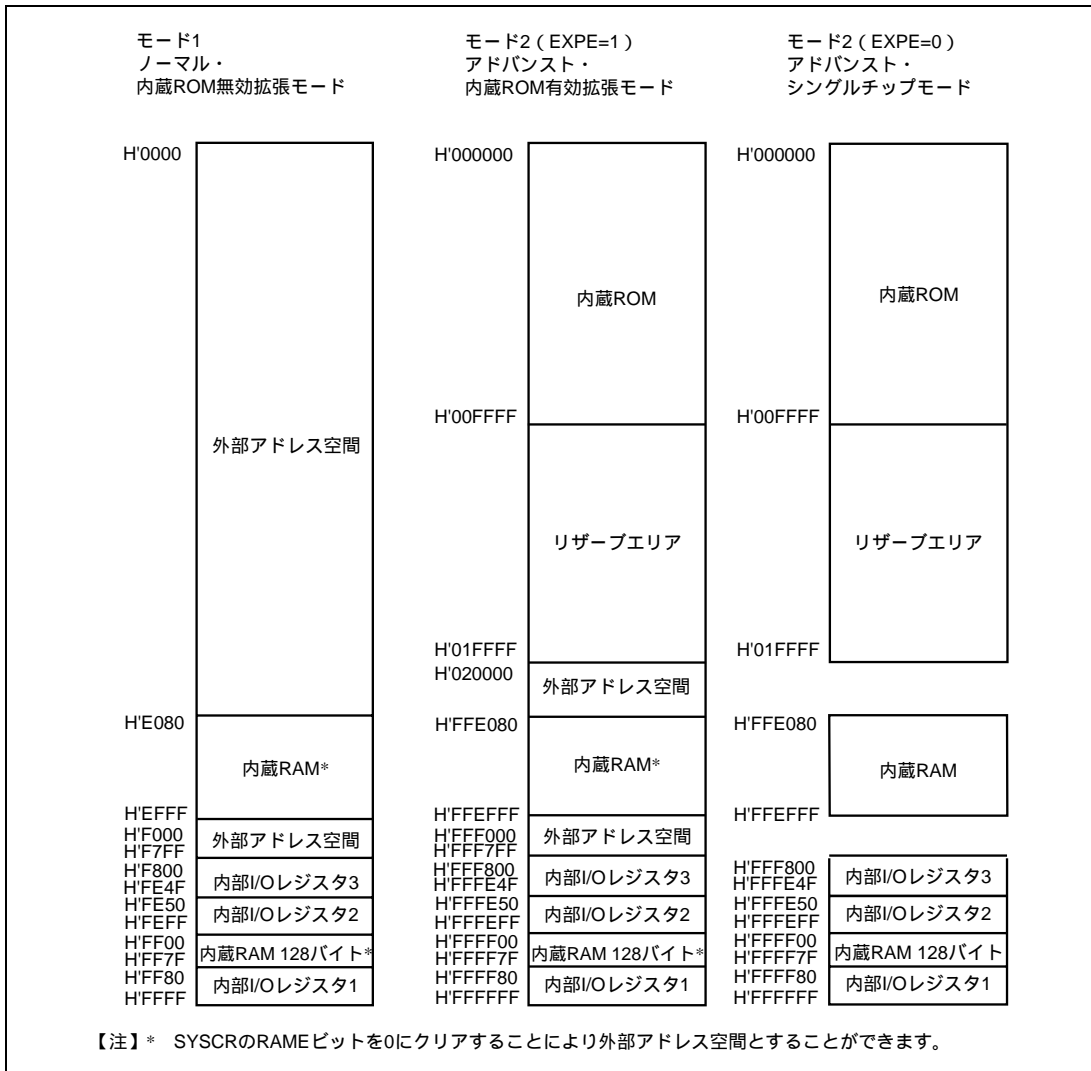


図 3.1 H8S/2140B、H8S/2160B のアドレスマップ (1)

### 3. MCU 動作モード

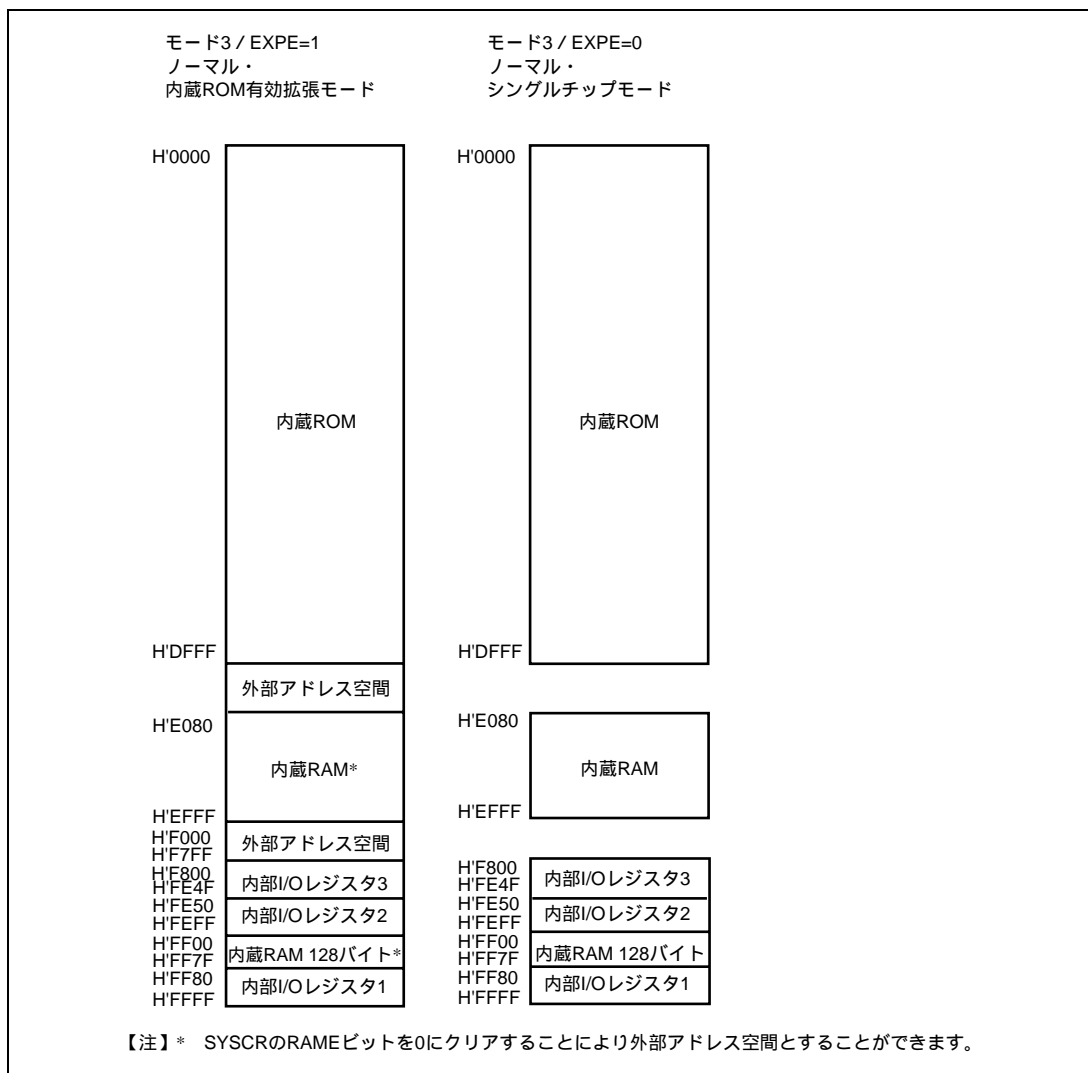


図 3.2 H8S/2140B、H8S/2160B のアドレスマップ (2)



### 3. MCU 動作モード

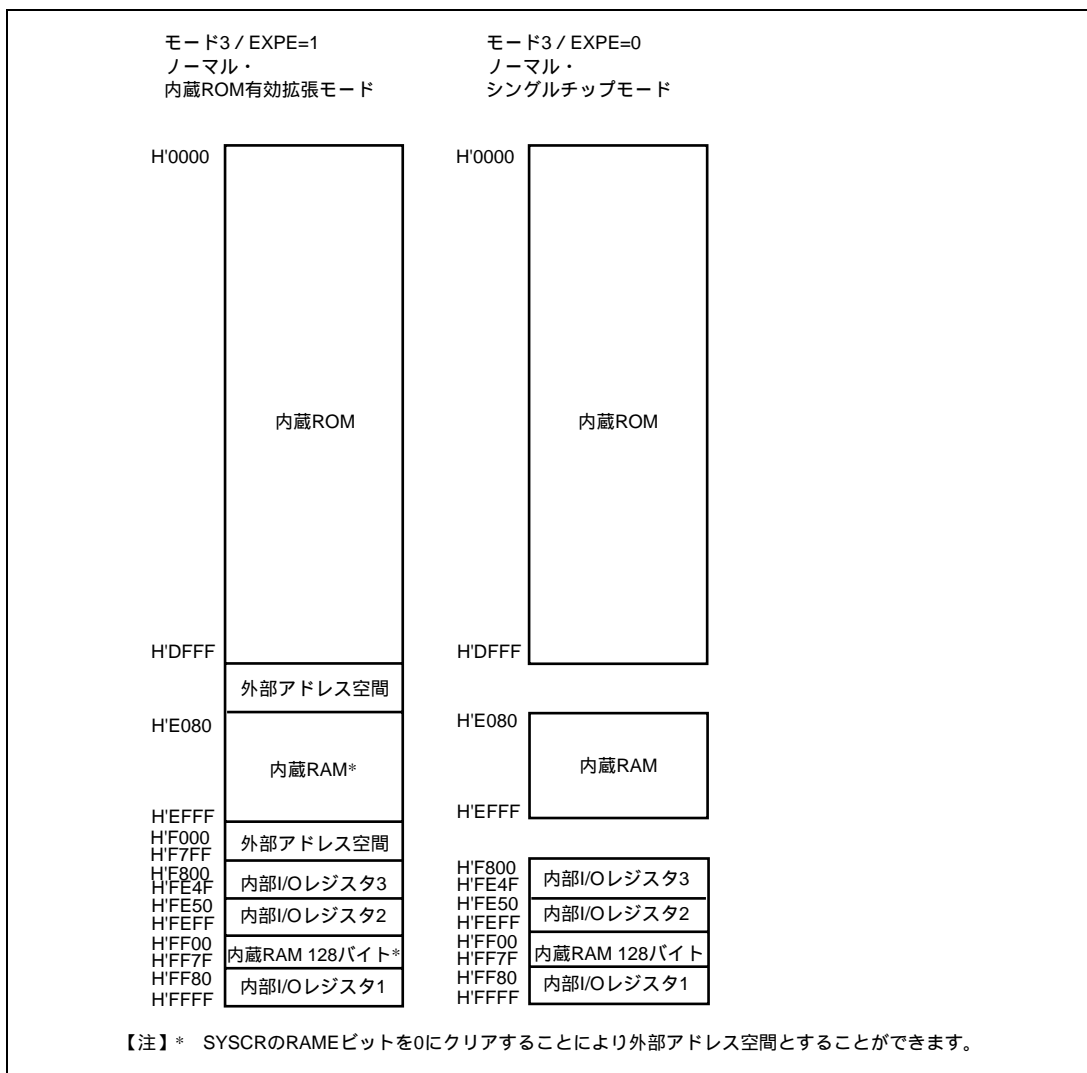


図 3.4 H8S/2141B、H8S/2161B のアドレスマップ (2)



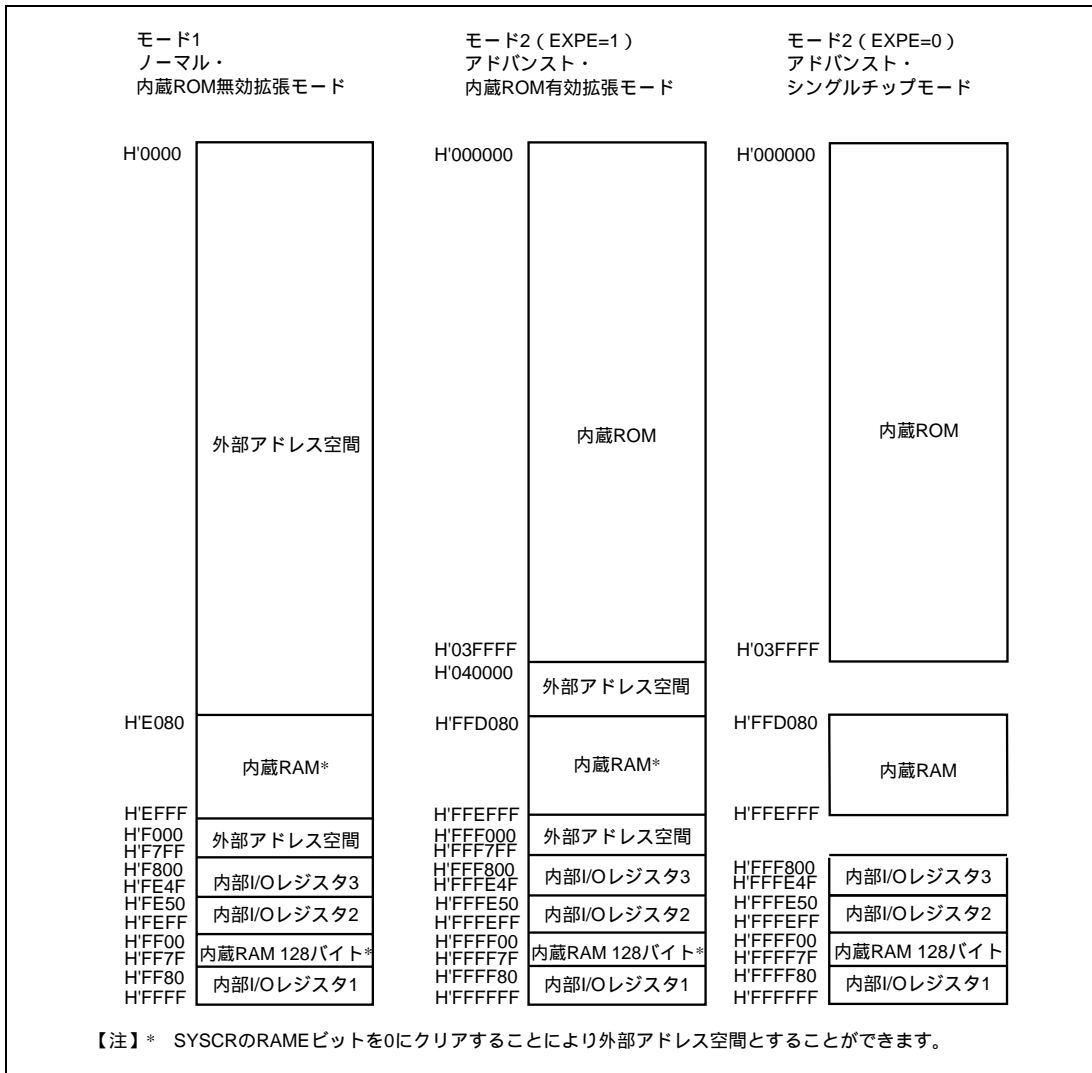


図 3.5 H8S/2145BV のアドレスマップ (1)

### 3. MCU 動作モード

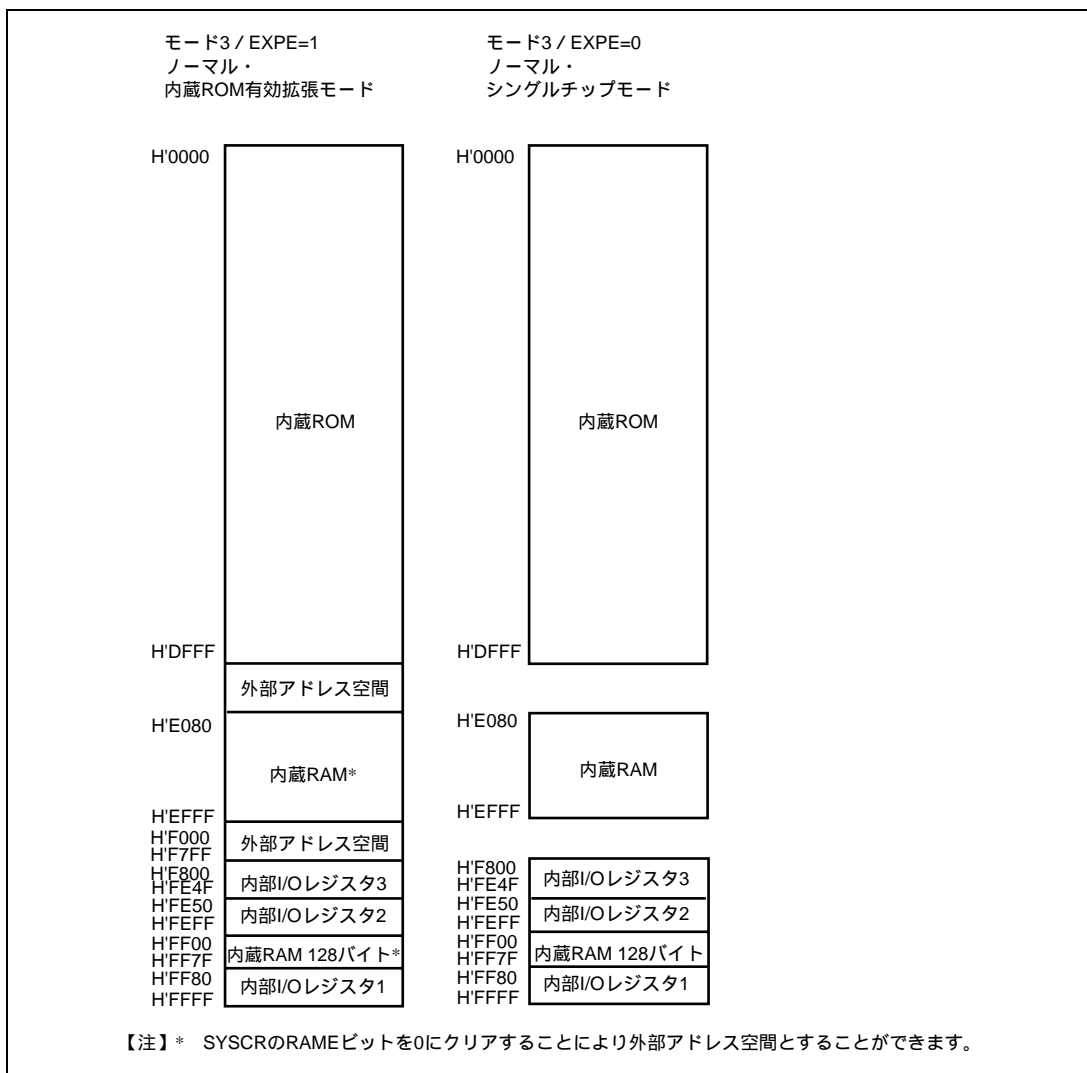


図 3.6 H8S/2145BV のアドレスマップ (2)

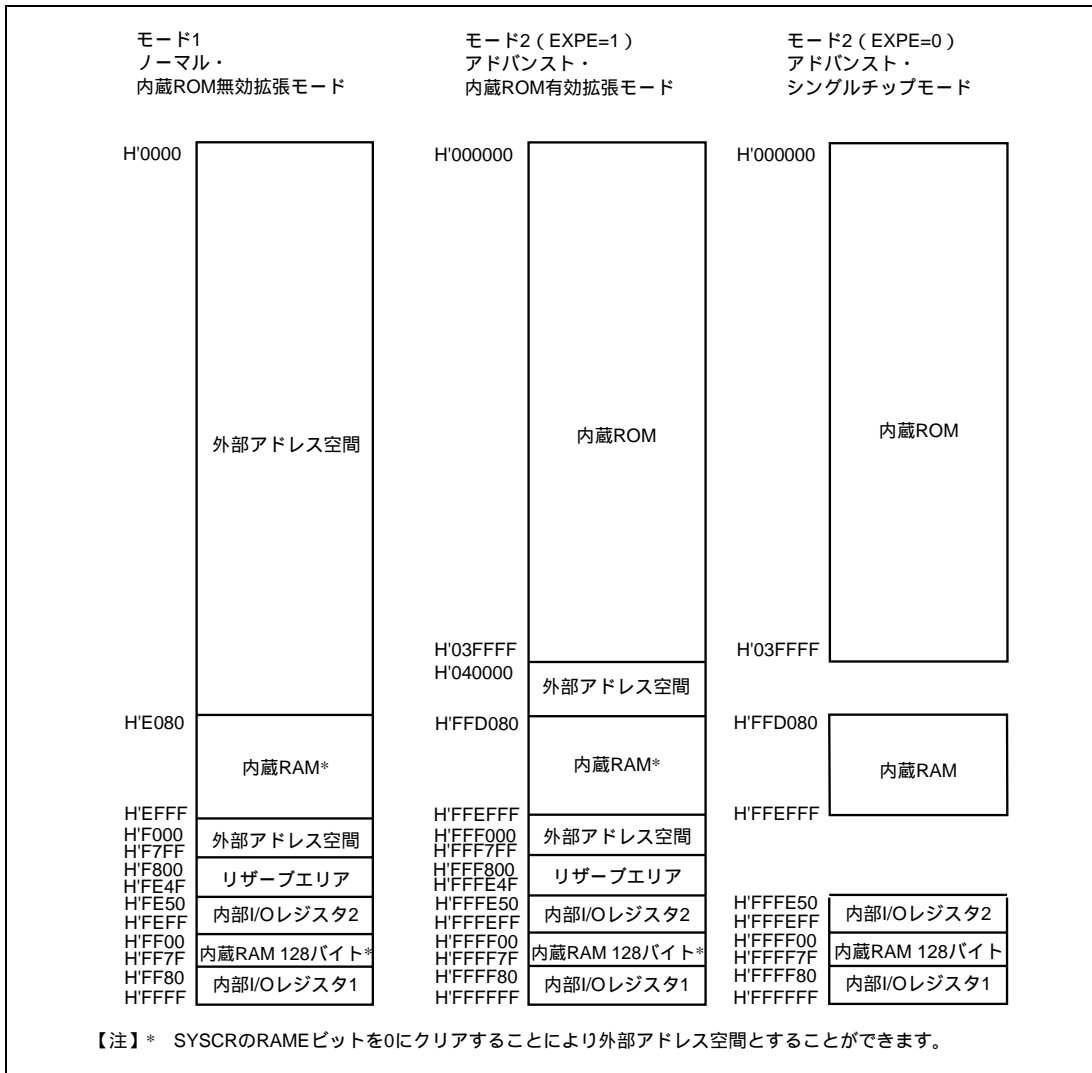


図 3.7 H8S/2145B のアドレスマップ (1)

### 3. MCU 動作モード

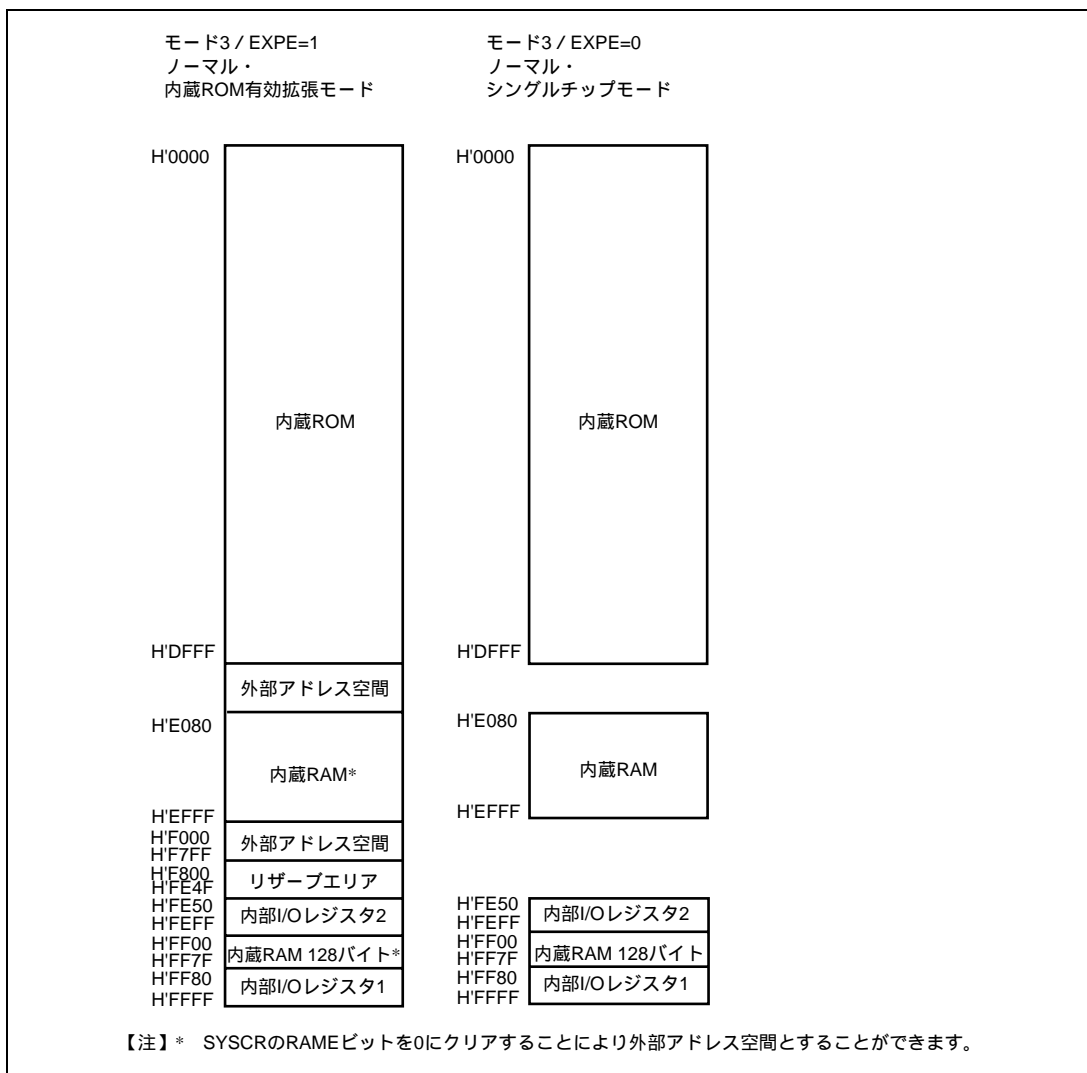


図 3.8 H8S/2145B のアドレスマップ (2)

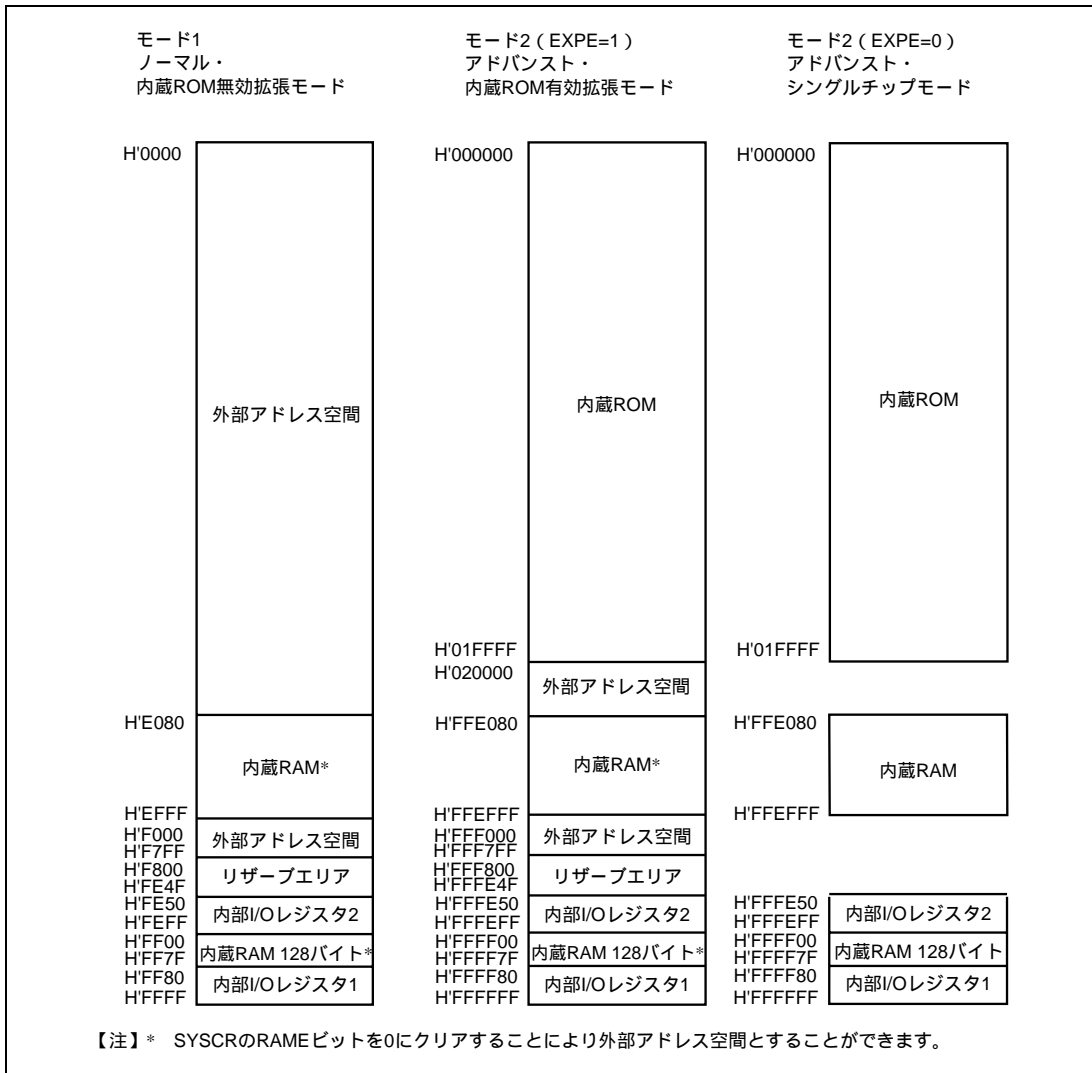


図 3.9 H8S/2148B のアドレスマップ (1)

### 3. MCU 動作モード

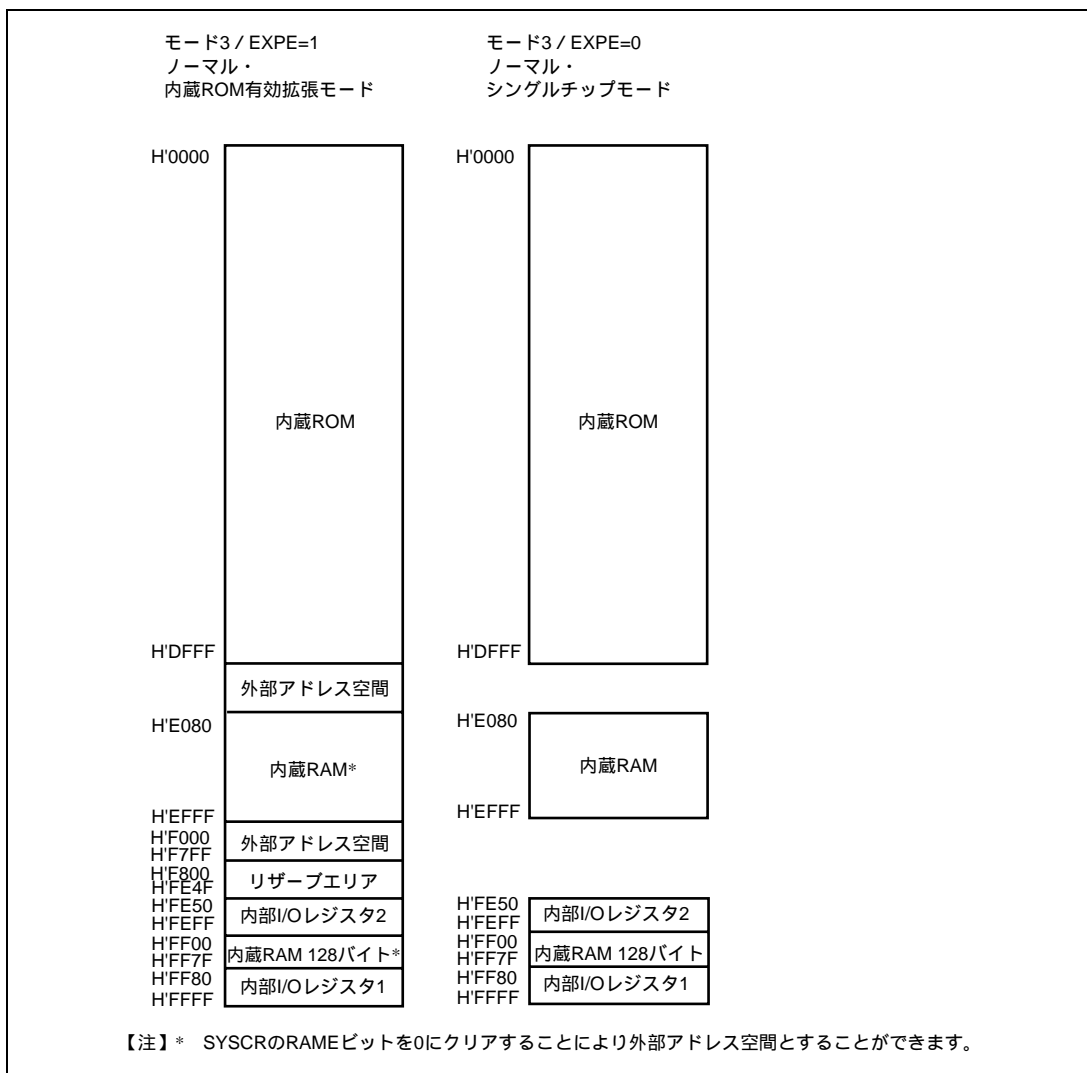


図 3.10 H8S/2148B のアドレスマップ (2)



## 4. 例外処理

例外処理要因	ベクタ番号	ベクタアドレス	
		ノーマルモード	アドバンスモード
システム予約	12	H'0018 ~ H'0019	H'000030 ~ H'000033
	15	H'001E ~ H'001F	H'00003C ~ H'00003F
外部割り込み IRQ0	16	H'0020 ~ H'0021	H'000040 ~ H'000043
外部割り込み IRQ1	17	H'0022 ~ H'0023	H'000044 ~ H'000047
外部割り込み IRQ2	18	H'0024 ~ H'0025	H'000048 ~ H'00004B
外部割り込み IRQ3	19	H'0026 ~ H'0027	H'00004C ~ H'00004F
外部割り込み IRQ4	20	H'0028 ~ H'0029	H'000050 ~ H'000053
外部割り込み IRQ5	21	H'002A ~ H'002B	H'000054 ~ H'000057
外部割り込み IRQ6	22	H'002C ~ H'002D	H'000058 ~ H'00005B
外部割り込み IRQ7	23	H'002E ~ H'002F	H'00005C ~ H'00005F
内部割り込み*	24	H'0030 ~ H'0031	H'000060 ~ H'000063
	107	H'00DE ~ H'00DF	H'0001BC ~ H'0001BF

【注】\* 内部割り込みのベクタテーブルは「5.5 割り込み例外処理ベクタテーブル」を参照してください。

## 4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$  端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$  端子を Low レベルに保持してください。また、動作中は  $\overline{\text{RES}}$  端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

### 4.3.1 リセット例外処理

$\overline{\text{RES}}$  端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1 に示します。



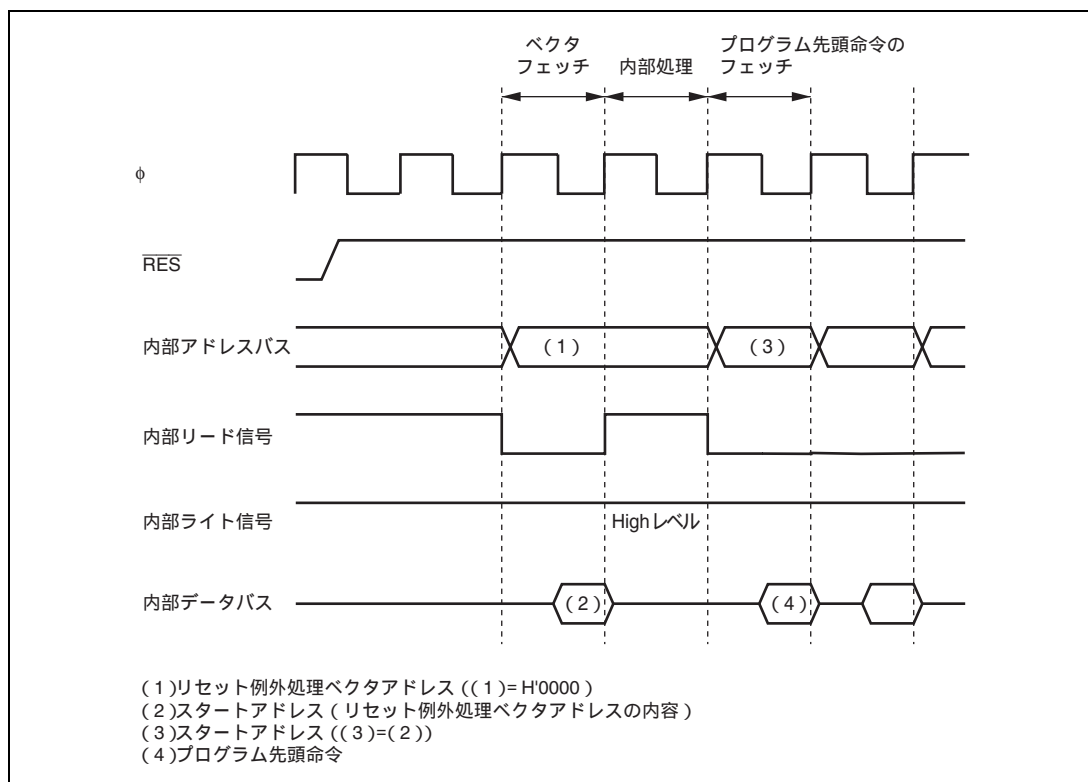


図 4.1 リセットシーケンス (モード 3)

### 4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

### 4.3.3 リセット解除後の内蔵周辺機能

リセット解除後は、モジュールストップコントロールレジスタ (MSTPCR) は初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

### 4.4 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み例外処理を開始させる要因には、外部割り込み要因 (NMI、IRQ7 ~ IRQ0、KIN15 ~ KIN0、WUE7 ~ WUE0) と、内蔵周辺モジュールからの内部割り込み要因があります。NMI は最も優先順位の高い割り込みです。割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスを PC にロードしてその番地からプログラムの実行を開始します。

### 4.5 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスを PC にロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0 ~ 3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 にトラップ命令例外処理実行後の CCR の状態を示します。

表 4.3 トラップ命令例外処理後の CCR の状態

割り込み制御モード	CCR	
	I	UI
0	1	-
1	1	1

【記号説明】

- 1 : 1 にセット  
- : 実行前の値を保持

## 4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

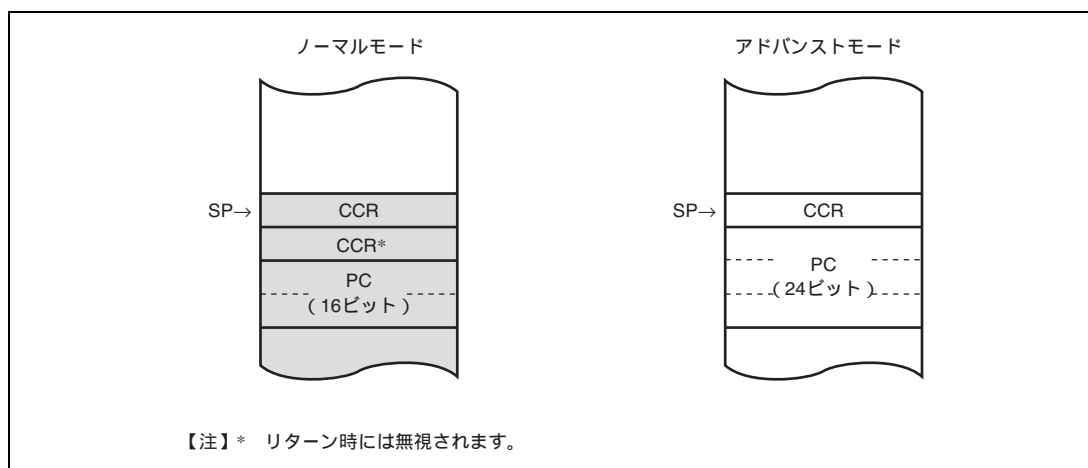


図 4.2 例外処理終了後のスタックの状態

## 4.7 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると誤動作の原因となります。SP を奇数に設定したとき作例を図 4.3 に示します。

#### 4. 例外処理

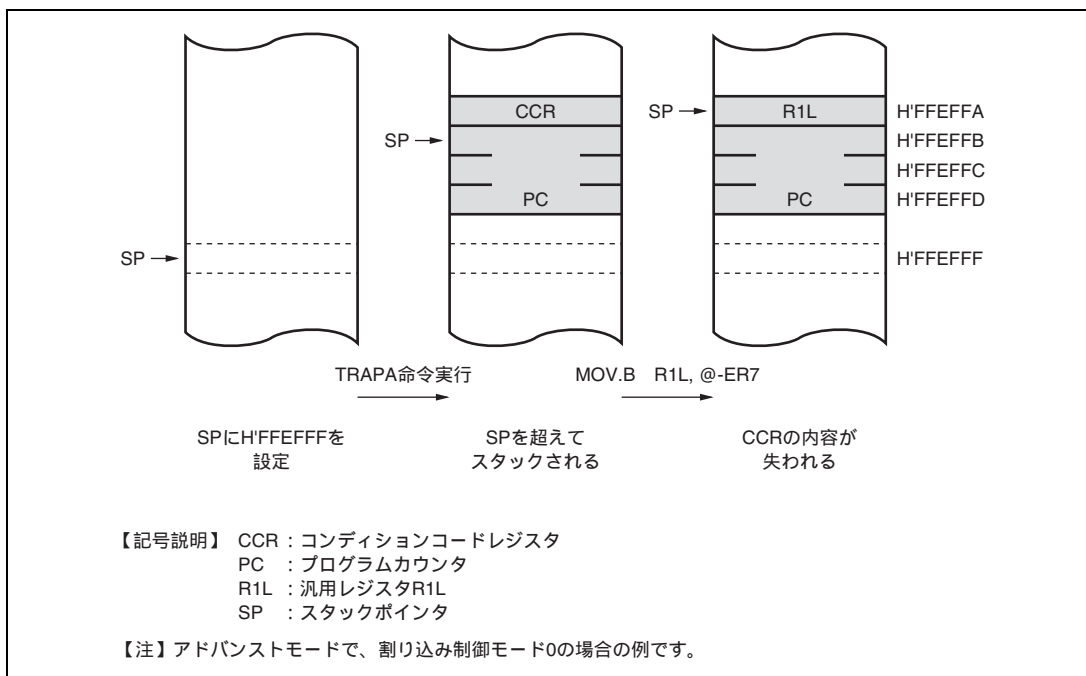


図 4.3 SP を奇数に設定したときの動作

---

## 5. 割り込みコントローラ

---

### 5.1 特長

- 2種類の割り込み制御モード  
システムコントロールレジスタ (SYSCR) のINTM1、INTM0ビットにより2種類の割り込み制御モードを設定できます。
- ICRにより、優先順位を設定可能  
インタラプトコントロールレジスタ (ICR) により、NMI、アドレスブレイク以外の割り込み要求にはモジュールごとに3レベルの優先順位を設定できます。
- 独立したベクタアドレス  
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 31本の外部割り込み端子  
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{IRQ7} \sim \overline{IRQ0}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。IRQ6割り込みは、 $\overline{IRQ6}$ からの割り込みと $\overline{KIN7} \sim \overline{KIN0}$ との兼用になっています。また、IRQ7割り込みは、 $\overline{IRQ7}$ からの割り込みと $\overline{KIN15} \sim \overline{KIN8}$ 、 $\overline{WUE7} \sim \overline{WUE0}$ との兼用になっています。 $\overline{KIN15} \sim \overline{KIN0}$ および $\overline{WUE7} \sim \overline{WUE0}$ は、それぞれユーザプログラムによりマスクできます。
- DTCの制御  
割り込み要求によりDTCを起動することができます。

## 5. 割り込みコントローラ

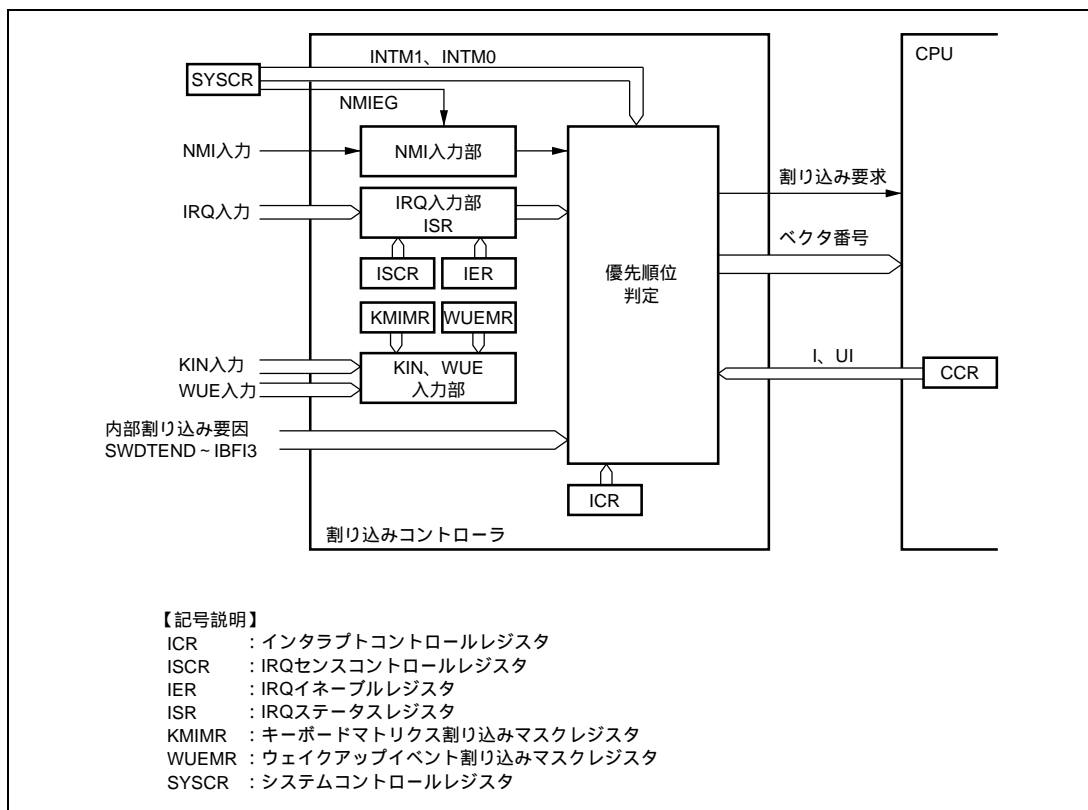


図 5.1 割り込みコントローラのブロック図

## 5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

記号	入出力	機能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能です。
$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能です。
$\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$	入力	マスク可能な外部割り込み 立ち下がりエッジ、レベルセンスのいずれかを選択可能です。
WUE7 ~ WUE0*	入力	マスク可能な外部割り込み 立ち下がりエッジ、レベルセンスのいずれかを選択可能です。

【注】 \* H8S/2148B、H8S/2145B (5V 版) ではサポートしていません。

### 5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ (SYSCR) については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- インタラプトコントロールレジスタA~C (ICRA~ICRC)
- アドレスブレイクコントロールレジスタ (ABRKCR)
- ブレークアドレスレジスタA~C (BARA~BARC)
- IRQセンスコントロールレジスタ (ISCRH、ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- キーボードマトリクス割り込みマスクレジスタ (KMIMRA、KMIMR)
- ウェイクアップイベント割り込みマスクレジスタ (WUEMRB)

#### 5.3.1 インタラプトコントロールレジスタ A~C (ICRA~ICRC)

ICR は、NMI とアドレスブレイクを除く割り込みのコントロールレベルを設定します。各割り込み要因と ICRA~ICRC の対応を表 5.2 に示します。

ビット	ビット名	初期値	R/W	説明
7~0	ICRn7~ ICRn0	すべて 0	R/W	割り込みコントロールレベル 0: 対応する割り込み要因は割り込みコントロールレベル 0 (非優先) 1: 対応する割り込み要因は割り込みコントロールレベル 1 (優先)

【注】 n: A~C

表 5.2 各割り込み要因と ICR の対応

ビット	ビット名	レジスタ		
		ICRA	ICRB	ICRC
7	ICRn7	IRQ0	A/D 変換器	SCI_0
6	ICRn6	IRQ1	FRT	SCI_1
5	ICRn5	IRQ2、IRQ3	-	SCI_2
4	ICRn4	IRQ4、IRQ5	-	IIC_0
3	ICRn3	IRQ6、IRQ7	TMR_0	IIC_1
2	ICRn2	DTC	TMR_1	-
1	ICRn1	WDT_0	TMR_X、TMR_Y	LPC*
0	ICRn0	WDT_1	XBS、キーボードバッファ コントローラ	-

【注】 n: A~C

\* LPC を内蔵していない製品では、リザーブビットとなります。0 をライトしてください。

【記号説明】

- : リザーブビットです。0 をライトしてください。

## 5. 割り込みコントローラ

### 5.3.2 アドレスブレイクコントロールレジスタ (ABRKCR)

ABRKCR は、アドレスブレイクの制御を行います。CMF フラグ、BIE フラグがいずれも 1 にセットされるとアドレスブレイクが要求されます。

ビット	ビット名	初期値	R/W	説明
7	CMF	0	R	コンディションマッチフラグ アドレスブレイク要因フラグです。BARA ~ BARC で設定したアドレスをプリフェッチしたことを示します。 [セット条件] BIE フラグが 1 のとき、BARA ~ BARC で設定したアドレスのプリフェッチを実行したとき [クリア条件] アドレスブレイク割り込み例外処理を実行したとき
6~1		すべて 0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。
0	BIE	0	R/W	ブレイク割り込みイネーブル アドレスブレイクの許可/禁止を選択します。 0: 禁止 1: 許可

### 5.3.3 ブレイクアドレスレジスタ A~C (BARA~BARC)

BAR は、アドレスブレイクを発生させるアドレスを指定します。ブレイクアドレスは、命令の第 1 バイトが存在するアドレスに設定してください。ノーマルモードでは、アドレス A23~A16 は比較されません。

#### • BARA

ビット	ビット名	初期値	R/W	説明
7~0	A23~A16	すべて 0	R/W	アドレス 23~16 A23~A16 ビットは、内部アドレスバスの A23~A16 と比較されます。

#### • BARB

ビット	ビット名	初期値	R/W	説明
7~0	A15~A8	すべて 0	R/W	アドレス 15~8 A15~A8 ビットは、内部アドレスバスの A15~A8 と比較されます。

#### • BARC

ビット	ビット名	初期値	R/W	説明
7~1	A7~A1	すべて 0	R/W	アドレス 7~1 A7~A1 ビットは、内部アドレスバスの A7~A1 と比較されます。
0		0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。



## 5.3.4 IRQ センスコントロールレジスタ (ISCRH、ISCR L)

ISCR は、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$  端子から割り込み要求を発生させる要因を選択します。

## • ISCRH

ビット	ビット名	初期値	R/W	説明
7	IRQ7SCB	0	R/W	IRQn センスコントロール B
6	IRQ7SCA	0	R/W	
5	IRQ6SCB	0	R/W	00 : $\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQn}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10 : $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=7~4)
4	IRQ6SCA	0	R/W	
3	IRQ5SCB	0	R/W	
2	IRQ5SCA	0	R/W	
1	IRQ4SCB	0	R/W	
0	IRQ4SCA	0	R/W	

## • ISCR L

ビット	ビット名	初期値	R/W	説明
7	IRQ3SCB	0	R/W	IRQn センスコントロール B
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	00 : $\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQn}}$ 入力の立ち下がりがエッジで割り込み要求を発生 10 : $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=3~0)
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	
0	IRQ0SCA	0	R/W	

## 5.3.5 IRQ イネーブルレジスタ (IER)

IER は、IRQ7 ~ IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IRQ7E	0	R/W	IRQn イネーブル (n=7~0) このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	
5	IRQ5E	0	R/W	
4	IRQ4E	0	R/W	
3	IRQ3E	0	R/W	
2	IRQ2E	0	R/W	
1	IRQ1E	0	R/W	
0	IRQ0E	0	R/W	

## 5. 割り込みコントローラ

### 5.3.6 IRQ ステータスレジスタ (ISR)

ISR は、IRQ7~IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/(W)* <sup>2</sup>	[セット条件]
6	IRQ6F	0	R/(W)* <sup>2</sup>	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/(W)* <sup>2</sup>	[クリア条件]
4	IRQ4F	0	R/(W)* <sup>2</sup>	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/(W)* <sup>2</sup>	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき (n=7~0) * <sup>1</sup>
2	IRQ2F	0	R/(W)* <sup>2</sup>	
1	IRQ1F	0	R/(W)* <sup>2</sup>	• 立ち上がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき* <sup>1</sup>
0	IRQ0F	0	R/(W)* <sup>2</sup>	

【注】 \*1 DTC を内蔵した製品において、対象フラグビットが例外処理を実行しても自動クリアされない場合があります。詳細は「5.8.4 DTC 内蔵製品における設定について」を参照してください。

\*2 フラグをクリアするための 0 ライトのみ可能です。

### 5.3.7 キーボードマトリクス割り込みレジスタ (KMIMRA、KMIMR) ウェイクアップイベント割り込みマスクレジスタ (WUEMRB)

KMIMRA、KMIMR、WUEMRB は、キーセンス割り込み入力 ( $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$ ) およびウェイクアップイベント割り込み入力 ( $\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$ ) のマスク制御を行います。

#### • KMIMRA

ビット	ビット名	初期値	R/W	説明
7	KMIMR15	1	R/W	キーボードマトリクス割り込みマスク 15~8
6	KMIMR14	1	R/W	キーセンス入力割り込み要求 (KIN 15~KIN8) を制御します。
5	KMIMR13	1	R/W	0: キーセンス入力割り込み要求を許可
4	KMIMR12	1	R/W	1: キーセンス入力割り込み要求を禁止
3	KMIMR11	1	R/W	
2	KMIMR10	1	R/W	
1	KMIMR9	1	R/W	
0	KMIMR8	1	R/W	

## • KMIMR

ビット	ビット名	初期値	R/W	説明
7	KMIMR7	1	R/W	キーボードマトリクス割り込みマスク7~0
6	KMIMR6	0	R/W	キーセンス入力割り込み要求 (KIN7~KIN0) を制御します。また、KMIMR6 は IRQ6 端子割り込み要求のマスク制御も同時に行います。 0: キーセンス入力割り込み要求を許可 1: キーセンス入力割り込み要求を禁止
5	KMIMR5	1	R/W	
4	KMIMR4	1	R/W	
3	KMIMR3	1	R/W	
2	KMIMR2	1	R/W	
1	KMIMR1	1	R/W	
0	KMIMR0	1	R/W	

## • WUEMRB\*

ビット	ビット名	初期値	R/W	説明
7	WUEMR7	1	R/W	ウェイクアップイベント割り込みマスク7~0
6	WUEMR6	1	R/W	ウェイクアップイベント入力割り込み要求 (WUE7~WUE0) を制御します。 0: ウェイクアップイベント入力割り込み要求を許可 1: ウェイクアップイベント入力割り込み要求を禁止
5	WUEMR5	1	R/W	
4	WUEMR4	1	R/W	
3	WUEMR3	1	R/W	
2	WUEMR2	1	R/W	
1	WUEMR1	1	R/W	
0	WUEMR0	1	R/W	

【注】 \* H8S/2148B、H8S/2145B (5V 版) ではサポートしていません。

IRQ7、IRQ6 割り込みと KIN15~KIN0 割り込みおよび WUE7~WUE0 割り込み、KMIMR、KMIMR、WUEMRB との関係を図 5.2 に示します。

## 5. 割り込みコントローラ

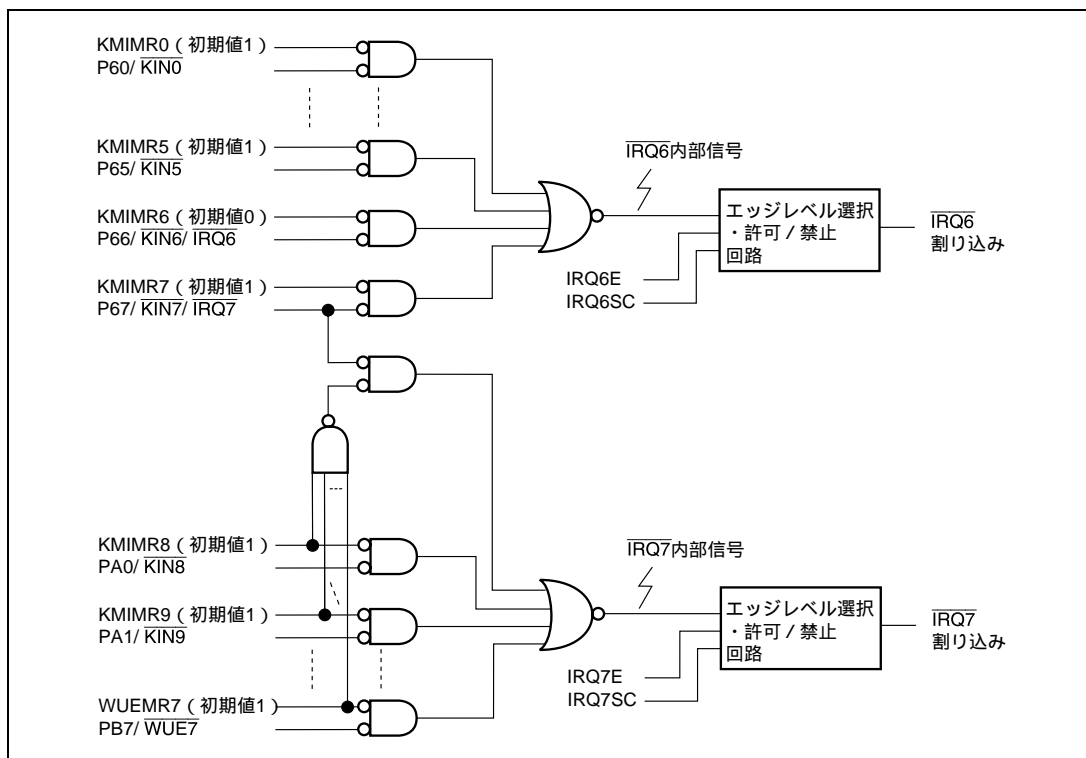


図 5.2 IRQ7、IRQ6 割り込みと KIN15 ~ KIN0 割り込みおよび WUE7 ~ WUE0 割り込み、KMIMR、KMIMRA、WUEMRB との関係

KMIMR15 ~ KMIMR8 および WUEMR7 ~ WUEMR0 の 1 ビットでも 0 にクリアされていると、 $\overline{\text{IRQ7}}$  端子からの割り込み入力が無視されます。また、 $\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$  端子、あるいは  $\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$  端子および  $\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$  端子を、キーセンス割り込み入力端子またはウェイクアップ割り込み入力端子として使用する場合は、それぞれの対応する割り込み要因 (IRQ6 あるいは IRQ7) の割り込みセンス条件を、必ず Low レベルセンスまたは立ち下がりエッジセンスに設定してください。

## 5.4 割り込み要因

### 5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ7 ~ IRQ0、KIN15 ~ KIN0、WUE7 ~ WUE0 の割り込み要因があります。WUE7 ~ WUE0 および KIN15 ~ KIN8 は IRQ7 と、KIN7 ~ KIN0 は IRQ6 と兼用になっています。このうち、NMI、IRQ7、IRQ6、IRQ2 ~ IRQ0 は、すべてソフトウェアスタンバイモードからの復帰に使用できます。

#### (1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスキットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれ

れで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

## (2) IRQ7 ~ IRQ0 割り込み

IRQ7 ~ IRQ0 割り込みは  $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$  端子の入力信号により割り込み要求を発生します。IRQ7 ~ IRQ0 割り込みには以下の特長があります。

- IRQ7 ~ IRQ0 割り込み要求により、独立のベクタアドレスで割り込み例外処理を開始できます。
- $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$  端子の Low レベル、立ち上がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ7 ~ IRQ0 割り込み要求は IER によりマスクできます。
- ICR により割り込みコントロールレベルを設定できます。
- IRQ7 ~ IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ7 ~ IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

IRQ7 ~ IRQ0 割り込みのブロック図を図 5.3 に示します。

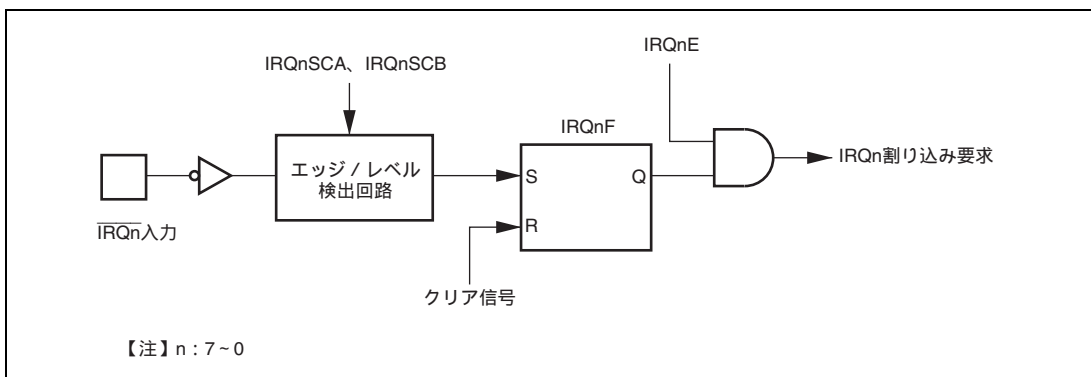


図 5.3 IRQ7 ~ IRQ0 割り込みのブロック図

$\overline{\text{IRQ6}}$  端子を IRQ6 割り込み入力端子として使用する場合は、KMIMR6 ビットを 0 にクリアしてください。

また、 $\overline{\text{IRQ7}}$  端子を IRQ7 割り込み入力端子として使用する場合は、必ず KMIMR15 ~ KMIMR8 および WUEMR7 ~ WUEMR0 の各ビットをすべて 1 にセットしてください。どれか 1 ビットでも 0 にクリアされていると、 $\overline{\text{IRQ7}}$  端子からの IRQ7 割り込み入力が無視されます。

割り込み要求フラグ IRQ7F ~ IRQ0F は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

## 5. 割り込みコントローラ

---

### (3) KIN15 ~ KIN0 割り込み、WUE7 ~ WUE0 割り込み

KIN15 ~ KIN0 割り込みおよび WUE7 ~ WUE0 割り込みは、 $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$  端子および  $\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$  端子の入力信号により要求されます。 $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$  端子および  $\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$  端子をキーセンス入力またはウェイクアップイベントとして使用する場合、対応する KMIMR ビットおよび WUEMR ビットは、そのキーセンス入力割り込みおよびウェイクアップイベント割り込みを許可するために、0 にクリアしてください。残りの使用していないキーセンス入力の KMIMR ビットおよび WUEMR ビットは、その割り込みを禁止するために 1 にセットしてください。WUE7 ~ WUE0 割り込みおよび KIN15 ~ KIN8 割り込みは IRQ7 割り込み、KIN7 ~ KIN0 割り込みは IRQ6 割り込みとなります。割り込み要求発生の端子条件、割り込み要求の許可、割り込みコントロールレベルの設定、および割り込み要求のステータス表示は、IRQ7 および IRQ6 割り込みの各設定、表示に従います。

なお、 $\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$  端子あるいは  $\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$  端子および  $\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$  端子をキーセンス割り込みおよびウェイクアップイベント割り込み入力端子として使用する場合は、それぞれの対応する割り込み要因 (IRQ6 あるいは IRQ7) の割り込みセンス条件を、必ず Low レベルセンスまたは立ち下がりエッジセンスに設定してください。

### 5.4.2 内部割り込み要因

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

1. 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
2. ICRによって割り込みのコントロールレベルを設定できます。
3. 内蔵周辺モジュールからの割り込み要求によってDTCを起動することができます。
4. 割り込み要求によってDTCを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

## 5.5 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

ICRのビットが割り当てられているモジュールは、割り込みコントロールレベルを設定することができます。割り込みコントロールレベルとCCRのI、UIビットにより、コントロールレベル1(優先)に設定したモジュールの割り込みは、コントロールレベル0(非優先)に設定したモジュールの割り込みより優先して処理できます。

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマルモード	アドバンストモード		
外部端子	NMI	7	H'000E	H'00001C		高 ▲
	IRQ0	16	H'0020	H'000040	ICRA7	
	IRQ1	17	H'0022	H'000044	ICRA6	
	IRQ2	18	H'0024	H'000048	ICRA5	
	IRQ3	19	H'0026	H'00004C		
	IRQ4	20	H'0028	H'000050	ICRA4	
	IRQ5	21	H'002A	H'000054		
	IRQ6、KIN7～KIN0 IRQ7、KIN15～KIN8、WUE7～WUE0	22 23	H'002C H'002E	H'000058 H'00005C	ICRA3	
DTC	SWDTEND (ソフトウェア起動データ 転送終了)	24	H'0030	H'000060	ICRA2	
WDT_0	WOVI0 (インターバルタイマ)	25	H'0032	H'000064	ICRA1	
WDT_1	WOVI1 (インターバルタイマ)	26	H'0034	H'000068	ICRA0	
-	アドレスブレイク	27	H'0036	H'00006C		
A/D 変換器	ADI (A/D 変換終了)	28	H'0038	H'000070	ICRB7	
	システム予約	29 ～ 47	H'003A ～ H'005E	H'000074 ～ H'0000BC		
FRT	ICIA (インプットキャプチャ A)	48	H'0060	H'0000C0	ICRB6	
	ICIB (インプットキャプチャ B)	49	H'0062	H'0000C4		
	ICIC (インプットキャプチャ C)	50	H'0064	H'0000C8		
	ICID (インプットキャプチャ D)	51	H'0066	H'0000CC		
	OCIA (アウトプットコンペア A)	52	H'0068	H'0000D0		
	OCIB (アウトプットコンペア B)	53	H'006A	H'0000D4		
	FOVI (オーバフロー)	54	H'006C	H'0000D8		
	システム予約	55	H'006E	H'0000DC		
	システム予約	56 ～ 63	H'0070 ～ H'007E	H'0000E0 ～ H'0000FC		
TMR_0	CMIA0 (コンペアマッチ A)	64	H'0080	H'000100	ICRB3	
	CMIB0 (コンペアマッチ B)	65	H'0082	H'000104		
	OVI0 (オーバフロー)	66	H'0084	H'000108		
	システム予約	67	H'0086	H'00010C		
TMR_1	CMIA1 (コンペアマッチ A)	68	H'0088	H'000110	ICRB2	
	CMIB1 (コンペアマッチ B)	69	H'008A	H'000114		
	OVI1 (オーバフロー)	70	H'008C	H'000118		
	システム予約	71	H'008E	H'00011C		
						低





## 5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード1の2種類のモードがあり、割り込み制御モードによって動作が異なります。NMI割り込みおよびアドレスブレイク割り込みは、リセット状態やハードウェアスタンバイ状態を除き常に受け付けられます。割り込み制御モードの選択はSYSCRで行います。表5.4に割り込み制御モードを示します。

表 5.4 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0	ICR	I	Iビットにより割り込みマスク制御を行います。ICRにより優先順位の設定ができます。
1		1	ICR	I、UI	I、UIビットにより3レベルの割り込みマスク制御を行います。ICRにより優先順位の設定ができます。

### 5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIとアドレスブレイクを除く割り込み要求は、ICRおよびCPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.4に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. CCRのIビットが1にセットされているときは、割り込みコントローラはNMIとアドレスブレイク以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIとアドレスブレイク割り込みを除く割り込みはマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

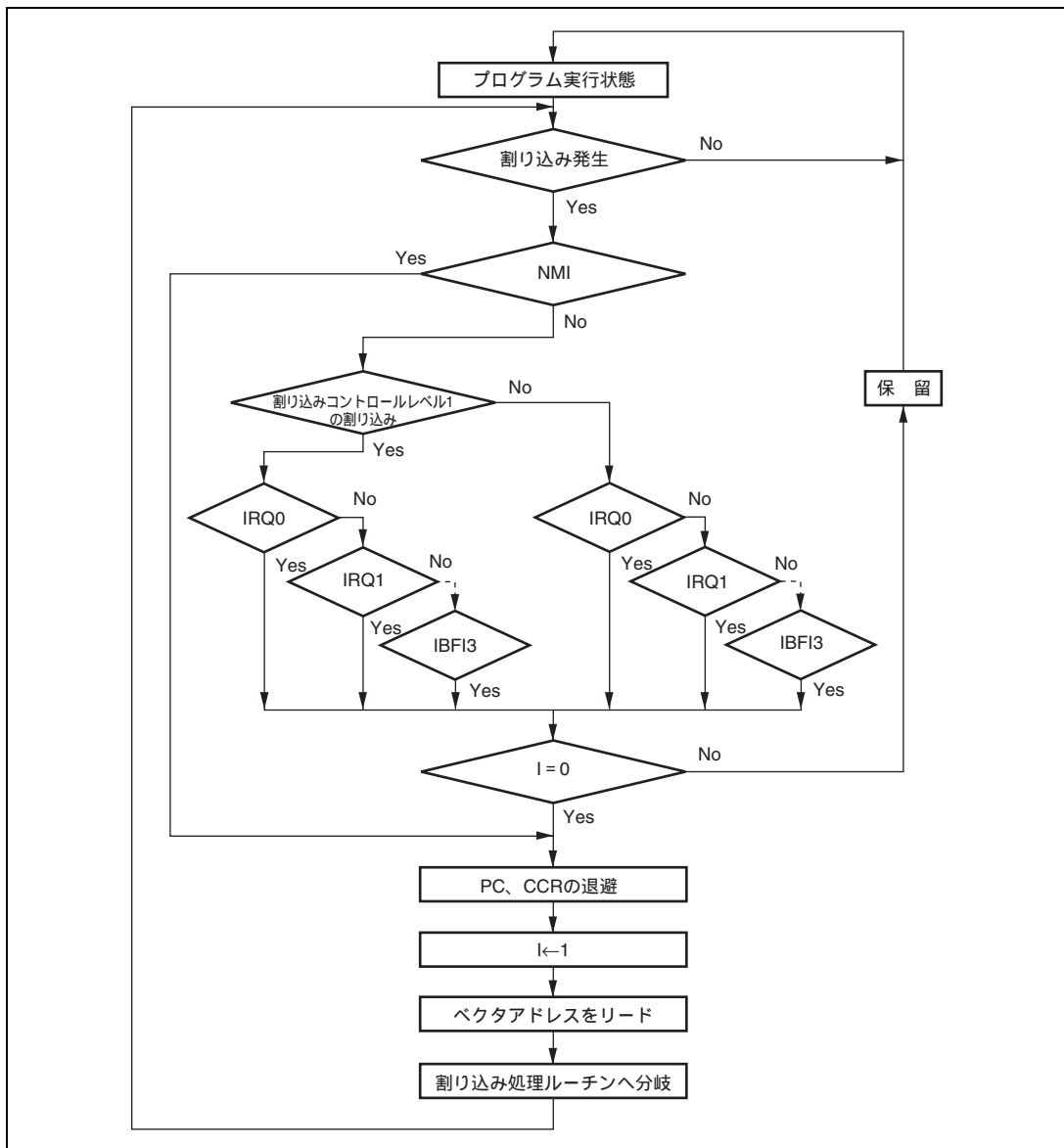


図 5.4 割り込み制御モード 0 の割り込み受け付けまでのフロー

## 5.6.2 割り込み制御モード 1

割り込み制御モード 1 では IRQ、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって 3 レベルのマスク制御を行います。

- 割り込みコントロールレベル0の割り込み要求は、CCRのIビットが0にクリアされているときは割り込み要求を受け付けます。Iビットが1にセットされているときは割り込み要求を保留します。
- 割り込みコントロールレベル1の割り込み要求は、CCRのIビット、またはUIビットが0にクリアされているときは割り込み要求を受け付けます。Iビット、およびUIビットがいずれも1にセットされているときは割り込み要求を保留します。

たとえば各割り込み要求に対応する割り込みイネーブルビットを 1 にセット、ICRA ~ ICRC をそれぞれ H'20、H'00、H'00 に設定した場合（IRQ2、IRQ3 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定）、次のようになります。このときの状態遷移を図 5.5 に示します。

- I = 0 のときはすべての割り込み要求を受け付けます。  
(優先順位：NMI > IRQ2 > IRQ3 > アドレスブレイク > IRQ0 > IRQ1...)
- I = 1、UI = 0 のときは NMI、IRQ2、IRQ3、アドレスブレイクの割り込み要求のみを受け付けます。
- I = 1、UI = 1 のときは NMI とアドレスブレイクの割り込み要求のみを受け付けます。

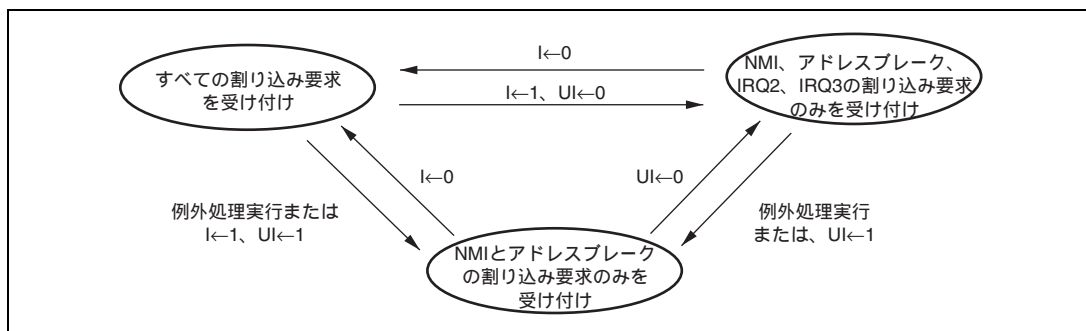


図 5.5 割り込み制御モード 1 の状態遷移

## 5. 割り込みコントローラ

---

割り込み受け付けの動作フローチャートを図 5.6 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. 割り込みコントロールレベル1の割り込み要求は、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けます。  
割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けます。Iビットが1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。  
I、UIビットがいずれも1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。  
Iビットが0にクリアされているときは、UIビットの影響を受けません。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのI、UIビットを1にセットします。これにより、NMIとアドレスブレイクを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

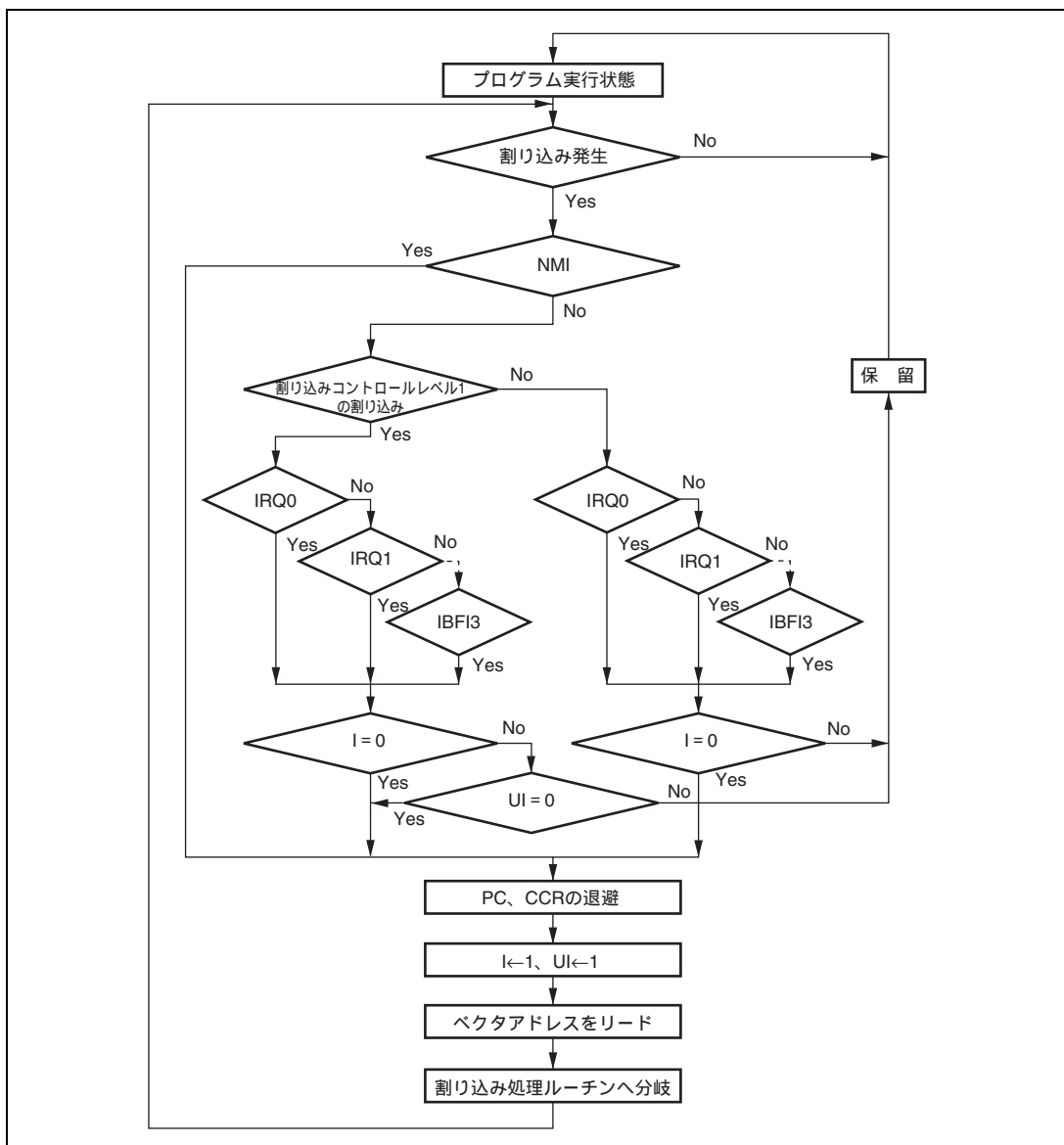


図 5.6 割り込み制御モード1の割り込み受け付けまでのフロー

### 5.6.3 割り込み例外処理シーケンス

図 5.7 に割り込み例外処理シーケンスを示します。アドバンスモードで割り込み制御モード0、プログラム領域およびスタック領域を内蔵メモリの場合の例です。



### 5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.5 に示します。表 5.5 の実行状態の記号については表 5.6 を参照してください。

表 5.5 割り込み応答時間

No.	実行状態	ノーマルモード	アドバンスモード
1	割り込み優先順位判定* <sup>1</sup>	3	
2	実行中の命令が終了するまでの待ちステート数* <sup>2</sup>	$1 - (19 + 2 \cdot S_i)$	
3	PC、CCR のスタック	$2 \times S_k$	$2 \times S_k$
4	ベクタフェッチ	$S_i$	$2 \times S_i$
5	命令フェッチ* <sup>3</sup>	$2 \times S_i$	
6	内部処理* <sup>4</sup>	2	
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32

- 【注】 \*1 内部割り込みの場合 2 ステートとなります。  
 \*2 MULXS、DIVXS 命令について示しています。  
 \*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。  
 \*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.6 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ $S_i$	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード $S_j$					
スタック操作 $S_k$					

## 【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

### 5.6.5 割り込みによる DTC の起動

割り込み要求により DTC を起動することができます。この場合以下の選択を行うことができます。

- (1) CPU に対する割り込み要求
- (2) DTC に対する起動要求
- (3) (1) ~ (2) の複数の選択

なお、DTC を起動できる割り込み要求については「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

## 5. 割り込みコントローラ

図 5.8 に DTC と割り込みコントローラのブロック図を示します。

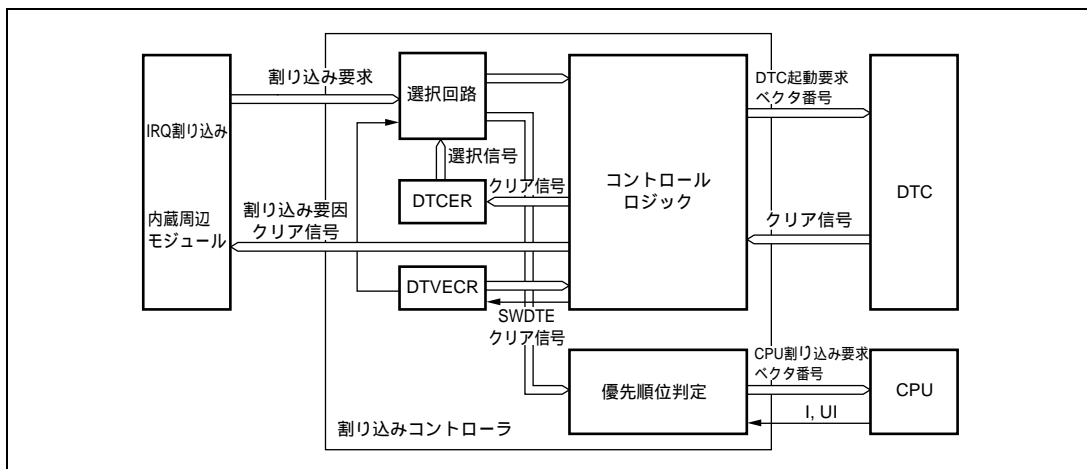


図 5.8 DTC と割り込みコントローラ

### (1) 割り込み要因の選択

割り込み要因は、DTC の DTCERA ~ DTCERE の DTCE ビットにより DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

DTC の MRB の DISEL ビットにより DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE もビットを 0 にクリアして、CPU に割り込みを要求します。

### (2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は表 7.1 を参照してください。

### (3) 動作順序

同一の割り込みを DTC の起動要因と CPU の割り込み要因に選択した場合は、DTC のデータ転送終了後、CPU の割り込み例外処理を行います。同一の割り込みを DTC の起動要因、または CPU の割り込み要因に選択した場合は、それぞれ独立に動作を行います。

表 5.7 に DTC の DTCER の DTCE ビットおよび MRB の DISEL ビットの設定による割り込み要因の選択とクリア制御を示します。



表 5.7 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択/クリア制御	
DTC		DTC	CPU
DTCE	DISEL		
0	*	×	
1	0		×
	1		

## 【記号説明】

：当該割り込みを使用します。割り込み要因のクリアを行います。

（CPUは割り込み処理ルーチンで、要因フラグをクリアしてください。）

：当該割り込みを使用します。割り込み要因をクリアしません。

×

：当該割り込みは使用できません。

\*

：Don't care

【注】 SCI、IIC、LPCおよびA/D変換器の割り込み要因はDTCが所定のレジスタをリード/ライトしたときにクリアされ、DISELビットには依存しません。

## 5.7 アドレスブ레이크

### 5.7.1 特長

本LSIでは、ABRKCR、BARの設定により、CPUによる特定アドレスのプリフェッチを判定し、アドレスブ레이크割り込みを発生させることができます。このアドレスブ레이크割り込みが発生すると、アドレスブ레이크割り込み例外処理を実行します。

本機能により、プログラム上のバグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。

### 5.7.2 ブロック図

アドレスブ레이크のブロック図を図5.9に示します。

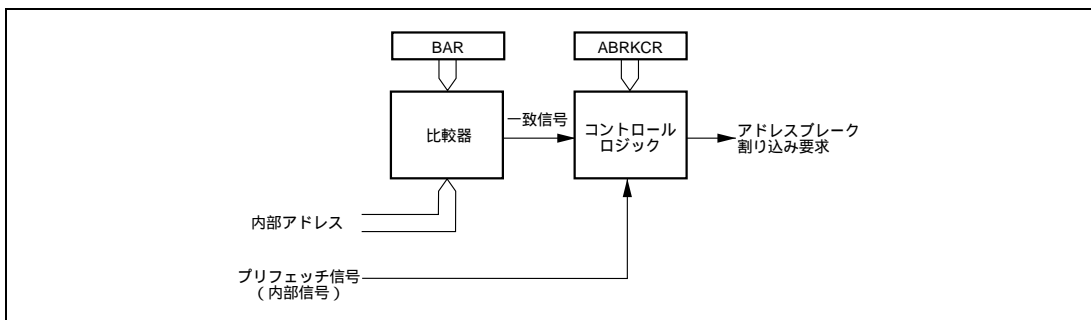


図 5.9 アドレスブ레이크のブロック図

## 5. 割り込みコントローラ

---

### 5.7.3 動作説明

ABRKCR、BAR の設定により、BAR に設定されたアドレスを CPU がプリフェッチしたときに、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク機能は、プリフェッチした時点で割り込みコントローラに対して、割り込み要求を発生し、割り込みコントローラで優先順位を判定します。割り込みが受け付けられると、そのとき実行中の命令が終了した後、割り込み例外処理を起動します。なお、アドレスブレイク割り込みでは CPU の CCR の I、UI ビットによる割り込みマスク制御は無効です。

アドレスブレイクを使用するときは、次に示すように各レジスタを設定します。

1. ブレイクアドレスをBARのA23～A1ビットに設定します。
2. ABRKCRのBIEビットを1にセットしてアドレスブレイクを許可します。

BIEビットを0にクリアしている場合、アドレスブレイクは要求されません。

設定条件が成立すると、ABRKCR の CMF フラグが 1 にセットされ、割り込みを要求します。割り込み処理ルーチンで、必要に応じて要因の判定を行ってください。

### 5.7.4 使用上の注意事項

1. アドレスブレイクでは、ブレイクアドレスを命令の第1バイトが存在するアドレスにしてください。その他のアドレスでは、条件成立とみなされない場合があります。
2. ノーマルモードの場合は、アドレスA23～A16は比較されません。
3. BARで設定したアドレスの直前の命令にブランチ命令（Bcc、BSR）、ジャンプ命令（JMP、JSR）、RTS命令、RTE命令を配置した場合、これらの命令の実行により当該アドレスに対するプリフェッチ信号が出力され、アドレスブレイクが要求される場合があります。これらの命令の直後のアドレスに対するブレイクアドレスの設定を行わない、あるいは割り込み処理ルーチンで、本来の条件成立による割り込み処理であったかの判定を行う、などの対策が必要です。
4. アドレスブレイク割り込みは、内部プリフェッチ信号とアドレスの組み合わせにより発生しますので、設定したアドレスの命令および直前の命令の内容、実行サイクルにより、割り込み例外処理の入るタイミングが異なります。図5.10にアドレスタイミング例を示します。

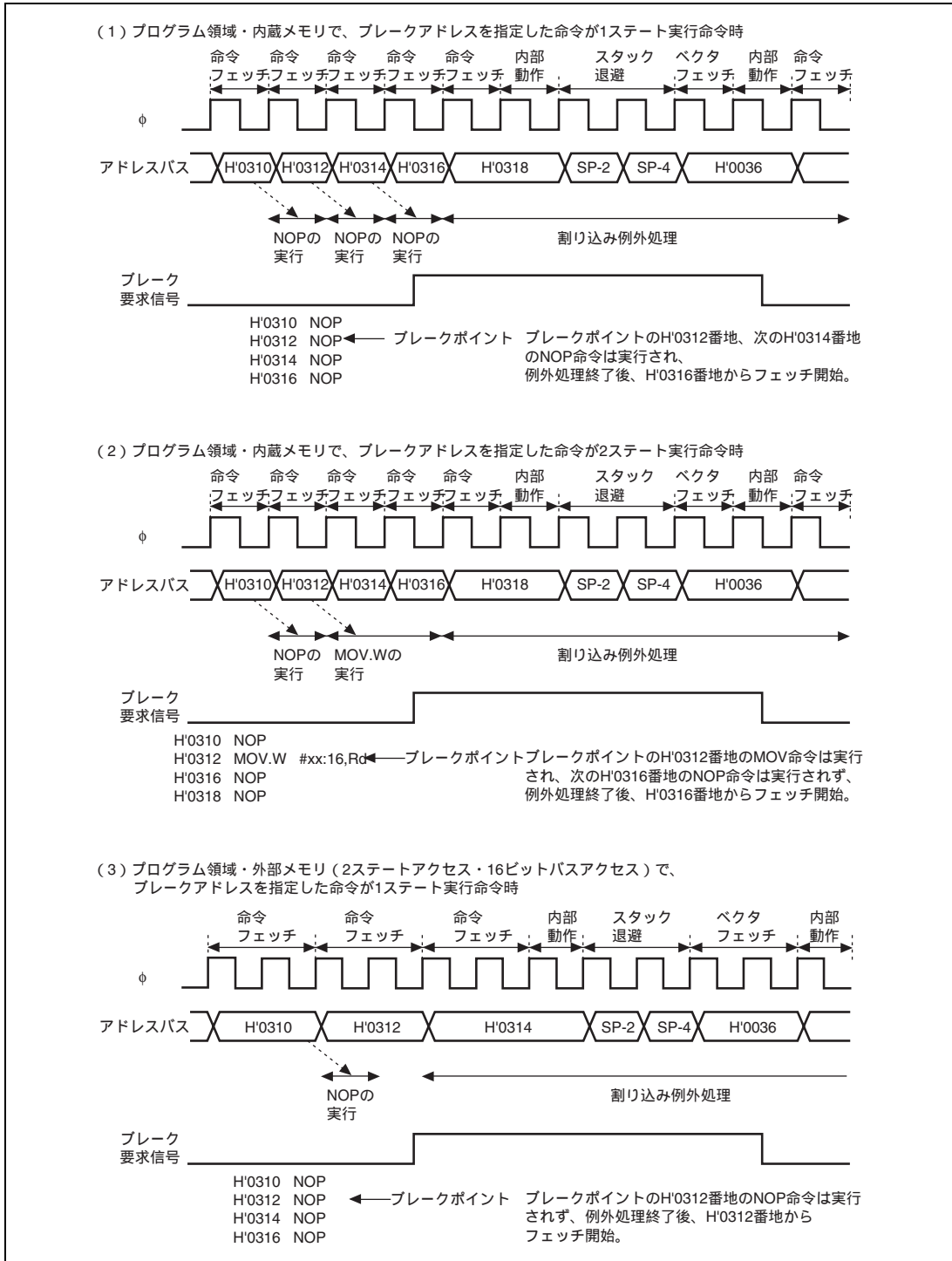


図 5.10 アドレスブレークタイミング例

## 5.8 使用上の注意事項

### 5.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TMR の TCR の CMIEA ビットを 0 にクリアする場合の例を図 5.11 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

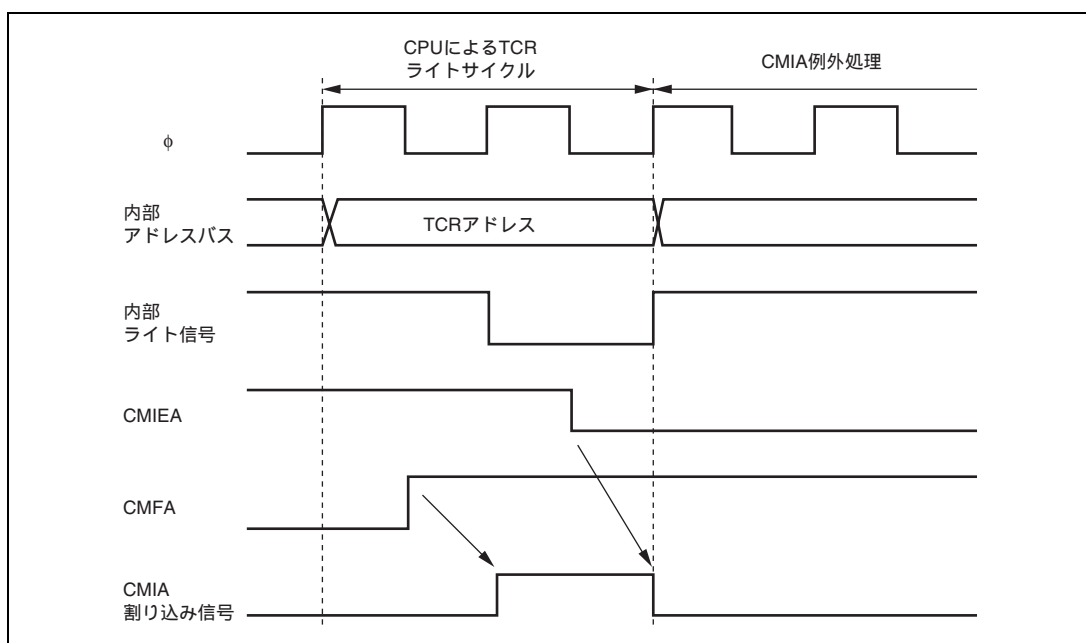


図 5.11 割り込みの発生とディスエーブルの競合

### 5.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

### 5.8.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:      EEPMOV.W
        MOV.W   R4, R4
        BNE    L1
```

### 5.8.4 DTC 内蔵製品における設定について

DTC を内蔵した製品において下記の設定で使用すると、対象フラグビットはクリア条件となる例外処理を実行しても自動クリアはされず、ビットは 1 のままとなります。

1. DTCEA3 = 1 にセットした場合 (ADI を割り込み要因に設定)、IRQ4F フラグの自動クリア
2. DTCEA2 = 1 にセットした場合 (ICIA を割り込み要因に設定)、IRQ5F フラグの自動クリア
3. DTCEA1 = 1 にセットした場合 (ICIB を割り込み要因に設定)、IRQ6F フラグの自動クリア
4. DTCEA0 = 1 にセットした場合 (OCIA を割り込み要因に設定)、IRQ7F フラグの自動クリア

DTC の起動割り込み要因と IRQ 割り込みを上記の組み合わせで使用する場合には、当該 IRQ の割り込み処理ルーチン内でソフトウェアにより割り込みフラグのクリアを行ってください。

### 5.8.5 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により  $IRQ_nF = 1$  となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。(n = 7 ~ 0)



---

## 6. バスコントローラ (BSC)

---

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間のバス幅、アクセスステート数などのバス仕様を設定することが可能です。また、BSC はバス調停機能をもっており、内部バスマスタである CPU、データトランスファコントローラ (DTC) の動作を制御します。

### 6.1 特長

- 基本バスインタフェース  
2ステートアクセス空間 / 3ステートアクセス空間を選択可能  
プログラムウェイトステートを挿入可能
- バーストROMインタフェース  
基本拡張エリアをバーストROMインタフェースに設定可能  
バーストアクセスは1または2ステートを選択可能
- アイドルサイクル挿入  
外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能
- バス権調停機能 (バスアービトレーション)  
バスアービタを内蔵し、CPUおよびDTCのバス権を調停

## 6. バスコントローラ (BSC)

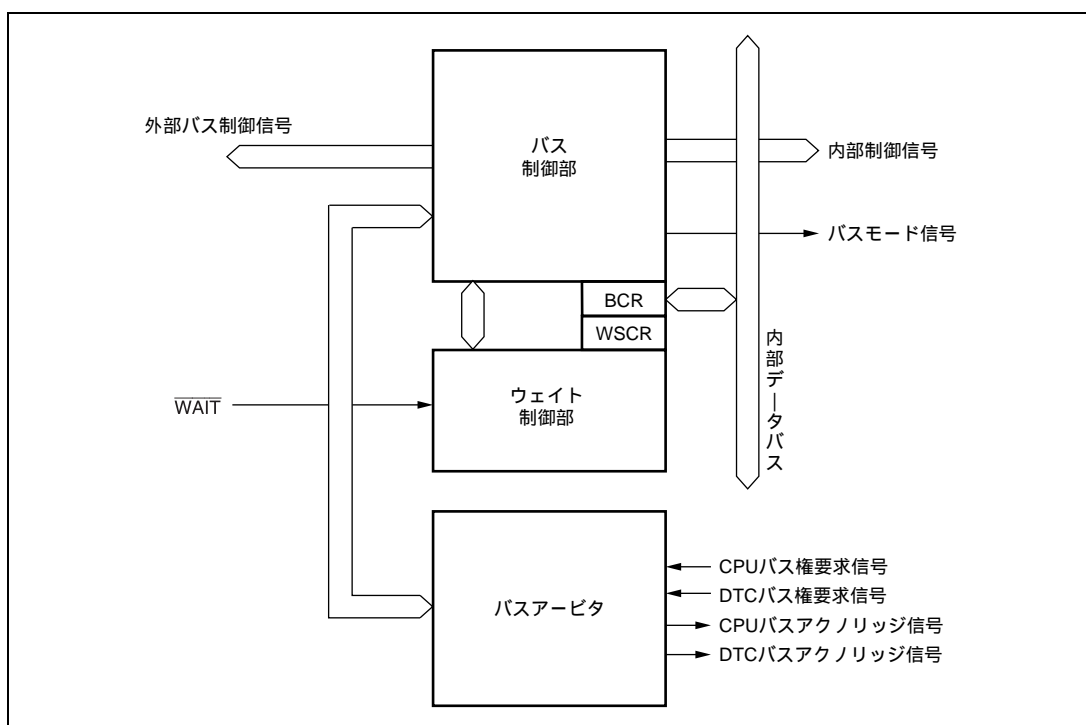


図 6.1 バスコントローラのブロック図

## 6.2 入出力端子

BSC の端子構成を表 6.1 に示します。

表 6.1 端子構成

記号	入出力	機能
$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号 (SYSCR の IOSE = 0 の場合)
$\overline{IOS}$	出力	I/O セレクト信号 (SYSCR の IOSE = 1 の場合)
$\overline{RD}$	出力	外部アドレス空間をリードしていることを示すストロープ信号
HWR	出力	外部アドレス空間をライトし、データバスの上位 (D15 ~ D8) が有効であることを示すストロープ信号
LWR	出力	外部アドレス空間をライトし、データバスの下位 (D7 ~ D0) が有効であることを示すストロープ信号
$\overline{WAIT}$	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号



## 6.3 レジスタの説明

BSC には以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- バスコントロールレジスタ (BCR)
- ウェイトステートコントロールレジスタ (WSCR)

### 6.3.1 バスコントロールレジスタ (BCR)

BCR は、外部アドレス空間のアクセスモード、 $\overline{AS}/\overline{IOS}$  端子を I/O ストローブ機能に設定したときの I/O 領域の範囲を設定します。

ビット	ビット名	初期値	R/W	説明
7		1	R/W	リザーブビット 0 をライトしないでください。
6	ICIS0	1	R/W	アイドルサイクル挿入 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルとバスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない 1: 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを 1 ステート挿入する
5	BRSTRM	0	R/W	バースト ROM イネーブル 外部アドレス空間を選択します。 0: 基本バスインタフェース 1: バースト ROM インタフェース
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0: 1 ステート 1: 2 ステート
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0: 最大 4 ワード 1: 最大 8 ワード
2		1	R/W	リザーブビット 0 をライトしないでください。
1	IOS1	1	R/W	IOS セレクト 1、0
0	IOS0	1	R/W	$\overline{IOS}$ 信号を出力するアドレスの範囲を指定します。表 6.3 を参照してください。

## 6. バスコントローラ (BSC)

### 6.3.2 ウェイトステートコントロールレジスタ (WSCR)

WSCR は、外部アドレス空間のデータバス幅、外部アドレス空間のアクセスステート数、および外部アドレス空間のウェイトモードとウェイトステート数を設定します。内蔵メモリおよび内蔵 I/O レジスタのバス幅およびアクセスステート数は WSCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説明
7、6		すべて 0	R/W R/W	リザーブビット 1 をライトしないでください。
5	ABW	1	R/W	バス幅コントロール 外部アドレス空間を 8 ビットアクセス空間とするか、16 ビットアクセス空間とするか選択します。 0 : 16 ビットアクセス空間 1 : 8 ビットアクセス空間
4	AST	1	R/W	アクセスステートコントロール 外部アドレス空間を 2 ステータスアクセス空間とするか、3 ステータスアクセス空間とするか選択します。同時にウェイトステートの挿入を許可または禁止します。 0 : 2 ステートアクセス空間 外部アドレス空間のアクセスにウェイトステートの挿入を禁止 1 : 3 ステートアクセス空間 外部アドレス空間のアクセスにウェイトステートの挿入を許可
3 2	WMS1 WMS0	0 0	R/W R/W	ウェイトモードセレクト 1、0 AST ビットが 1 にセットされたとき、外部アドレス空間をアクセスするときのウェイトモードを選択します。 00 : プログラムウェイトモード 01 : ウェイト禁止モード 10 : 端子ウェイトモード 11 : 端子オートウェイトモード
1 0	WC1 WC0	1 1	R/W R/W	ウェイトカウント 1、0 AST ビットが 1 にセットされたとき、外部アドレス空間をアクセスするときのプログラムウェイトステート数を選択します。 00 : プログラムウェイトを挿入しない 01 : プログラムウェイトを 1 ステート挿入 10 : プログラムウェイトを 2 ステート挿入 11 : プログラムウェイトを 3 ステート挿入

## 6.4 バス制御

### 6.4.1 バス仕様

外部アドレス空間のバス仕様は、バス幅、アクセスステート数、ウェイトモード・プログラムウェイトステート数の3つの要素で構成されます。内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの設定の影響を受けません。

#### (1) バス幅

バス幅は、WSCR の ABW ビットにより、8 ビットまたは 16 ビットを選択します。

#### (2) アクセスステート数

アクセスステート数は、WSCR の AST ビットにより、2 ステートまたは 3 ステートを選択します。2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。

バースト ROM インタフェースでは、AST ビットの設定に関係なくアクセスステート数が決まります。

#### (3) ウェイトモード・プログラムウェイトステート数

WSCR の AST ビットによって 3 ステートアクセス空間に設定したとき、WSCR の WMS1、WMS0、WC1、WC0 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

各エリアの基本バスインタフェースのバス仕様を表 6.2 に示します。

表 6.2 基本拡張エリア / 基本バスインタフェースのバス仕様

ABW	AST	WMS1	WMS0	WC1	WC0	バス仕様					
						バス幅	アクセスステート数	プログラムウェイトステート数			
0	0	-	-	-	-	16	2	0			
		0	1	-	-						
	1	- *	- *	0	0	0	16	3	0		
					1	0			1		
		1	0	1	-	-			8	2	0
					0	0					
1	- *	- *	0	0	0	8	3	0			
				1	0			1			
	1	0	1	-	-			8	3	0	
				0	0					1	
1	0	1	-	-	8	3	0				
			0	0			1				

【注】 \* WMS1 = 0 かつ WMS0 = 1 を除く

## 6. バスコントローラ (BSC)

### 6.4.2 アドバンストモード

外部アドレス空間の初期状態は、基本バスインタフェースで3ステートアクセス空間になっています。内蔵ROM有効拡張モードでは、内蔵ROM、内蔵RAM、内部I/Oレジスタ、およびそれらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵RAMおよびそのリザーブエリアは、SYSCRのRAMEビットを1にセットしたときに有効で、RAMEビットを0にクリアすると内蔵RAMおよびそのリザーブエリアは無効になり、対応するアドレスは外部アドレス空間になります。

### 6.4.3 ノーマルモード

外部アドレス空間の初期状態は、基本バスインタフェースで3ステートアクセス空間になっています。内蔵ROM無効拡張モードでは内蔵RAM、内部I/Oレジスタおよびそれらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵ROM有効拡張モードでは、内蔵ROM、内蔵RAM、内部I/Oレジスタおよび、それらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵RAMはSYSCRのRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると内蔵RAMは無効になり、対応するアドレスは外部アドレス空間になります。

### 6.4.4 I/O セレクト信号

本LSIは、I/Oセレクト信号( $\overline{\text{IOS}}$ )を出力することができ、設定された外部アドレス空間をアクセスしたときにLowレベルを出力します。図6.2に、 $\overline{\text{IOS}}$ 信号出力タイミング例を示します。

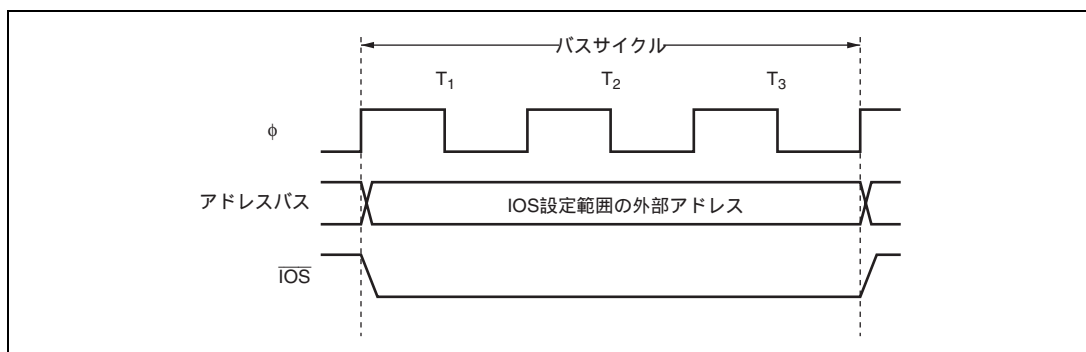


図 6.2  $\overline{\text{IOS}}$  信号出力タイミング

$\overline{\text{IOS}}$  信号の出力の許可または禁止は、SYSCRのIOSEビットの設定により行います。拡張モードでは、 $\overline{\text{IOS}}$  端子はリセットにより $\overline{\text{AS}}$  端子として動作しますので、 $\overline{\text{IOS}}$  端子として動作させる場合にはIOSEビットを1にセットしてください。詳細は「第8章 I/Oポート」を参照してください。

$\overline{\text{IOS}}$  信号を出力するアドレスの範囲は、BCRのIOS1、IOS0ビットにより設定することができます。 $\overline{\text{IOS}}$  信号を出力するアドレスの範囲を表6.3に示します。

表 6.3  $\overline{\text{IOS}}$  信号を出力するアドレスの範囲

IOS1	IOS0	IOS 信号出力範囲
0	0	H'(FF)F000 ~ H'(FF)F03F
	1	H'(FF)F000 ~ H'(FF)F0FF
1	0	H'(FF)F000 ~ H'(FF)F3FF
	1	H'(FF)F000 ~ H'(FF)F7FF (初期値)

## 6.5 基本バスインタフェース

基本バスインタフェースではROM、SRAMとの直結が可能です。基本バスインタフェースのバス仕様の選択については、表 6.2 を参照してください。

### 6.5.1 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズにはバイト、ワード、ロングワードがあります。BSC はデータアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス (D15 ~ D8) を使用するか下位側データバス (D7 ~ D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間または 16 ビットアクセス空間) とデータサイズによって制御します。

#### (1) 8 ビットアクセス空間

図 6.3 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では常に上位側データバス (D15 ~ D8) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

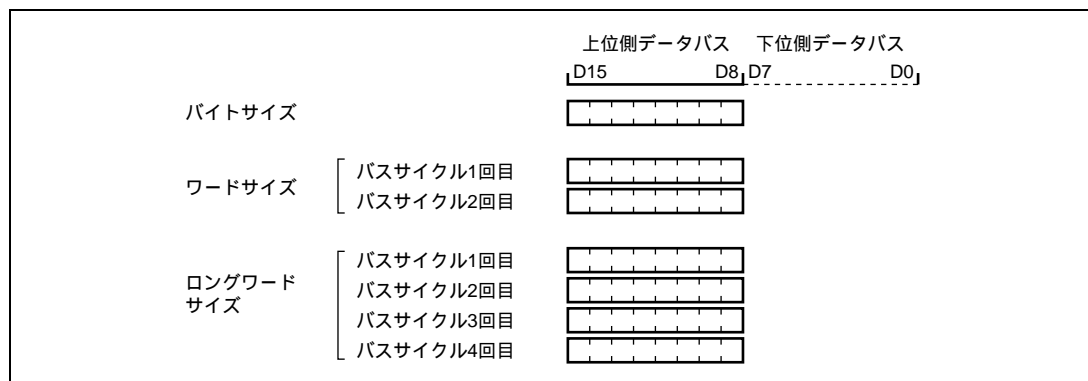


図 6.3 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

## 6. バスコントローラ (BSC)

### (2) 16ビットアクセス空間

図 6.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

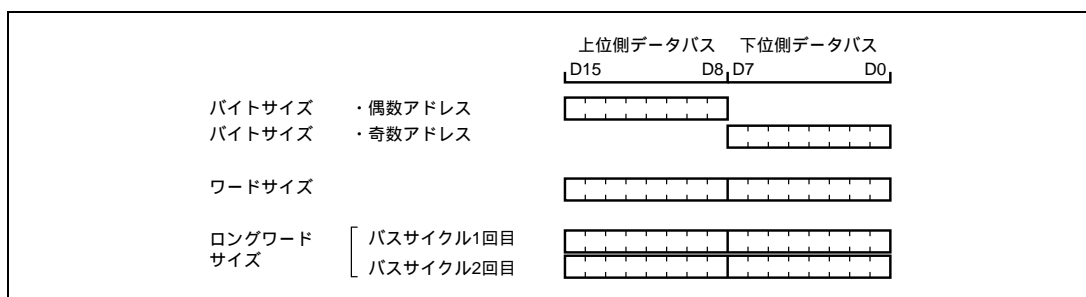


図 6.4 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

### 6.5.2 有効ストロープ

表 6.4 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時はデータバスの上位側、下位側の区別なく  $\overline{RD}$  信号が有効です。ライト時はデータバスの上位側に対して  $\overline{HWR}$  信号が、下位側に対して  $\overline{LWR}$  信号が有効です。

表 6.4 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D15~D8)	データバス下位 (D7~D0)
8ビットアクセス空間	バイト	リード	-	$\overline{RD}$	有効	ポート他
		ライト	-	$\overline{HWR}$		ポート他
16ビットアクセス空間	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数		無効	有効
		ライト	偶数	$\overline{HWR}$	有効	不定
			奇数	$\overline{LWR}$	不定	有効
	ワード	リード	-	$\overline{RD}$	有効	有効
		ライト	-	$\overline{HWR}$ , $\overline{LWR}$	有効	有効

【注】 不定 : 不定データが出力されます。

無効 : 入力状態であり、入力値は無視されます。

ポート他 : ポートまたは内蔵周辺機器の入出力端子となり、データバスとしては使用されません。

## 6.5.3 基本動作タイミング

## (1) 8ビット2ステートアクセス空間

図 6.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。ウェイトステートを挿入することはできません。

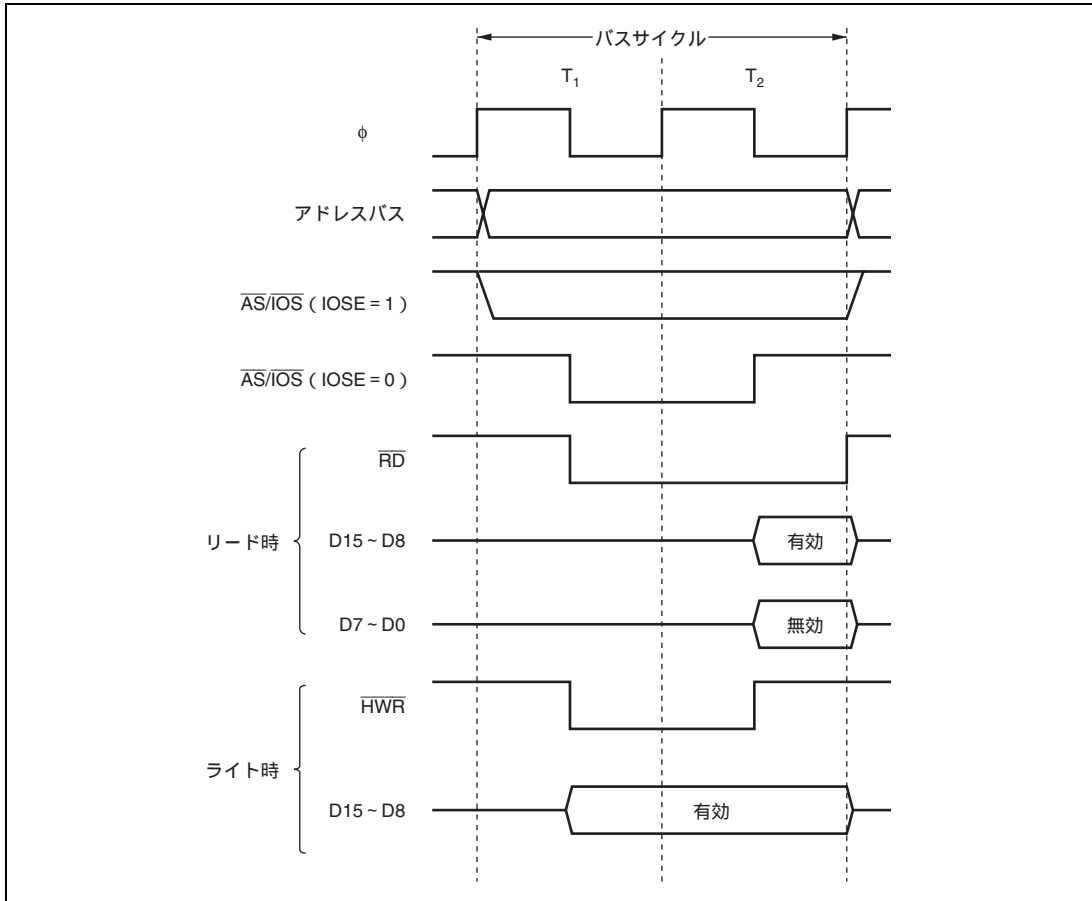


図 6.5 8ビット2ステートアクセス空間のバスタイミング

## 6. バスコントローラ (BSC)

### (2) 8ビット3ステートアクセス空間

図 6.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15 ~ D8) を使用します。ウェイトステートを挿入することができます。

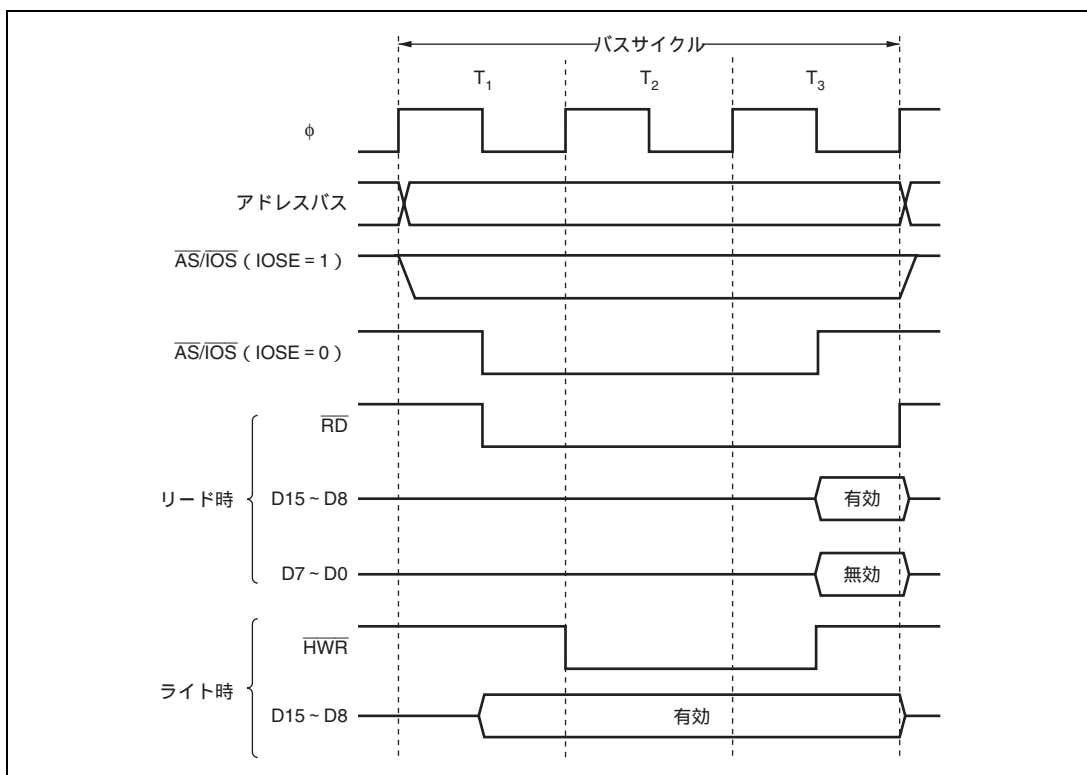


図 6.6 8 ビット 3 ステートアクセス空間のバスタイミング



## (3) 16ビット2ステートアクセス空間

図 6.7~図 6.9 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。ウェイトステートを挿入することはできません。

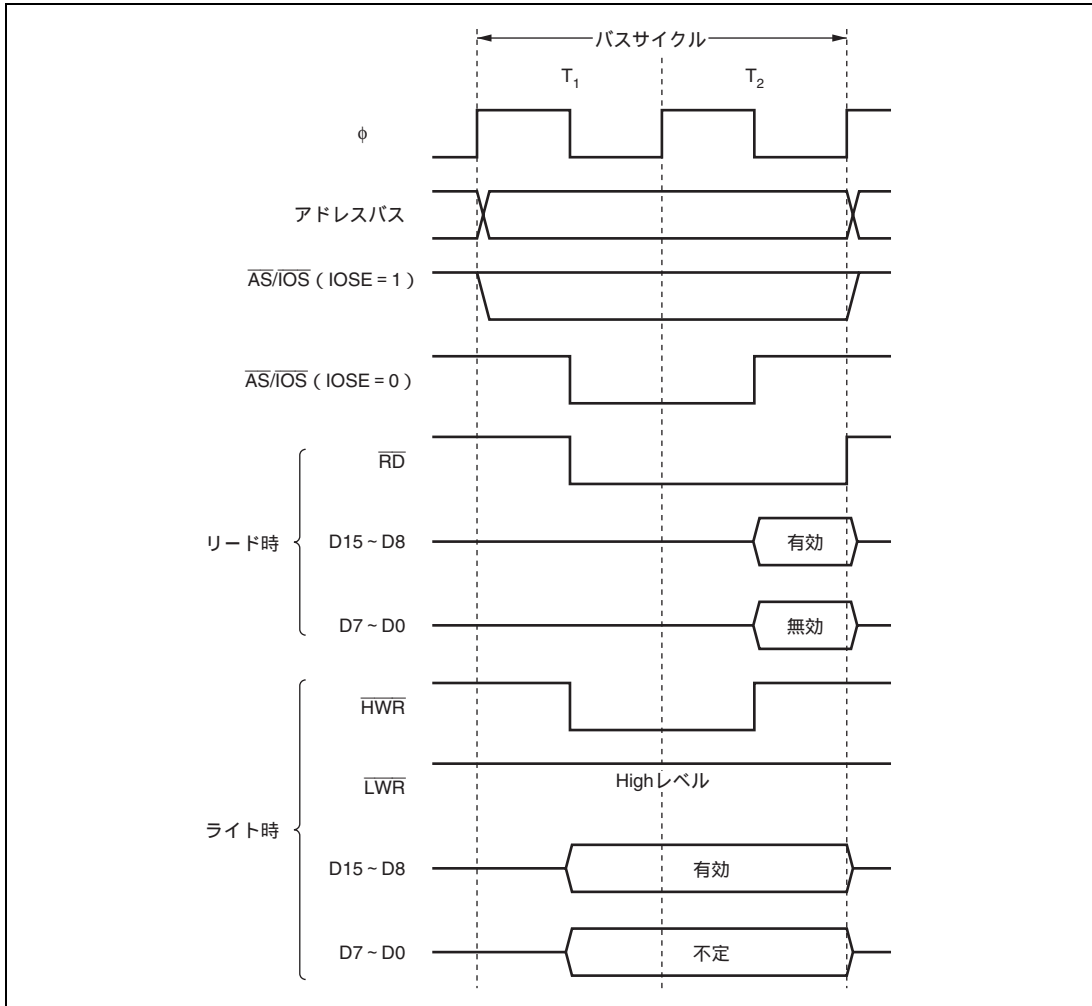


図 6.7 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

## 6. バスコントローラ (BSC)

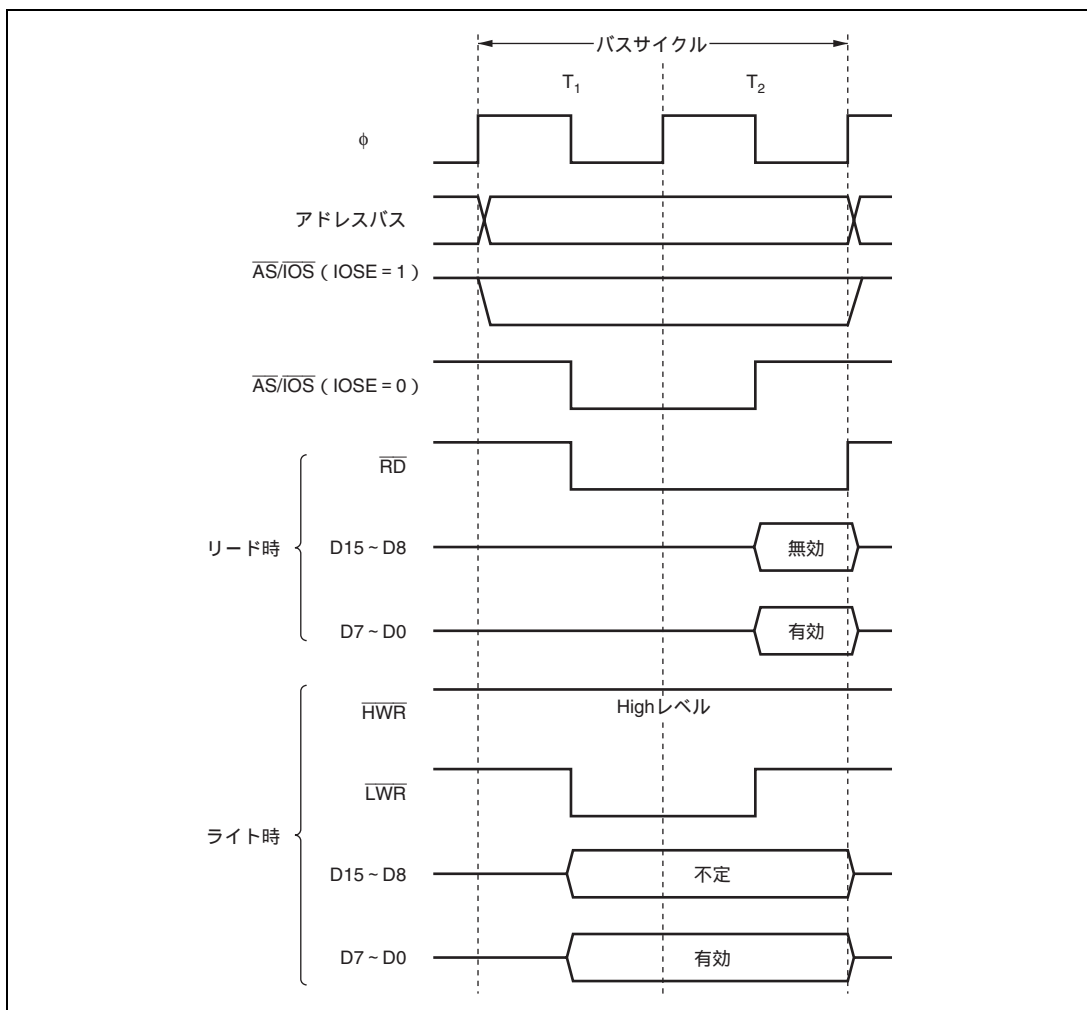


図 6.8 16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

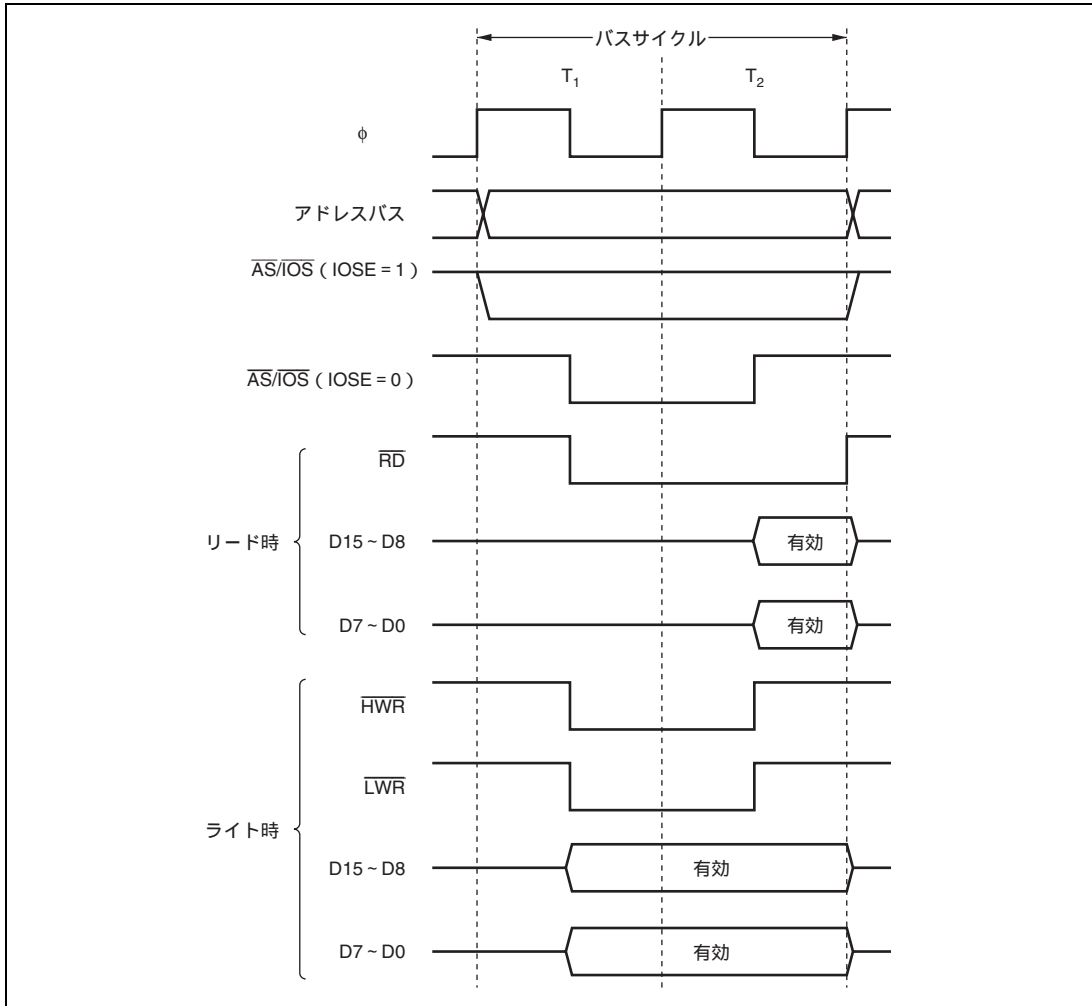


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)

## 6. バスコントローラ (BSC)

### (4) 16ビット3ステートアクセス空間

図 6.10～図 6.12 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

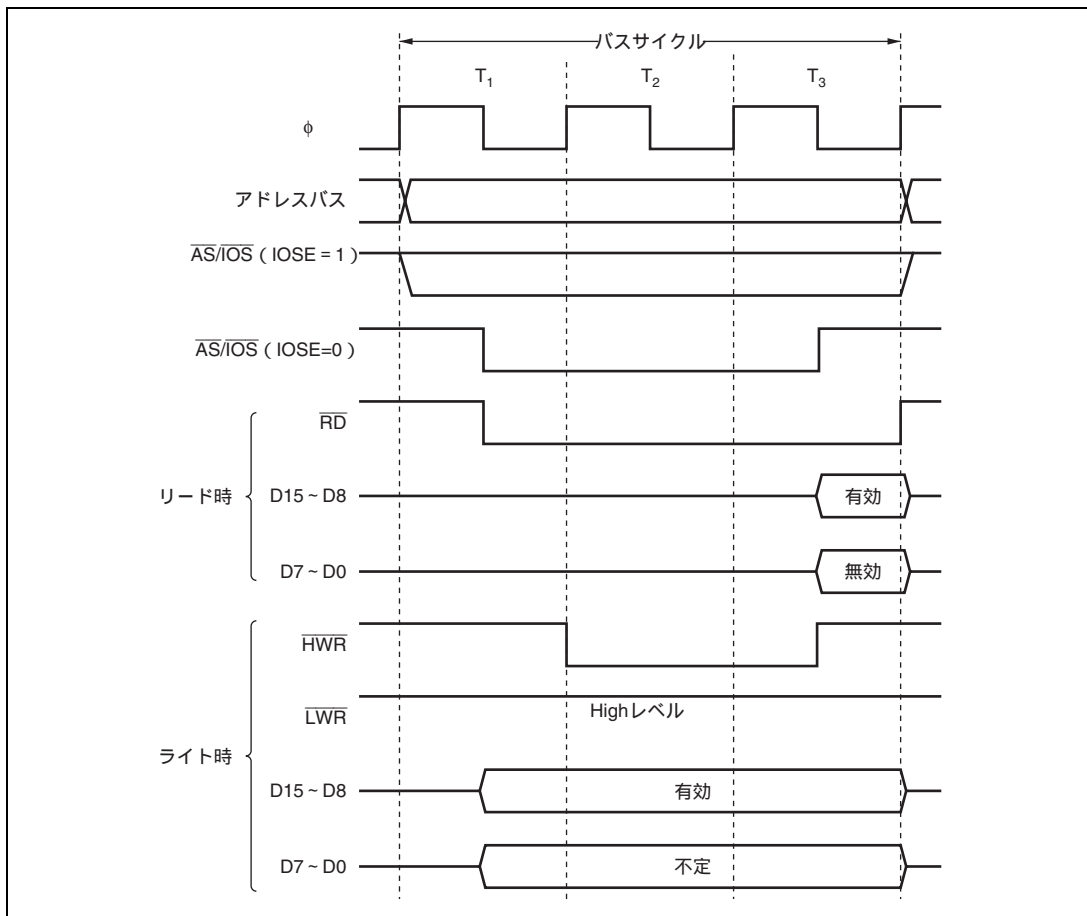


図 6.10 16ビット3ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

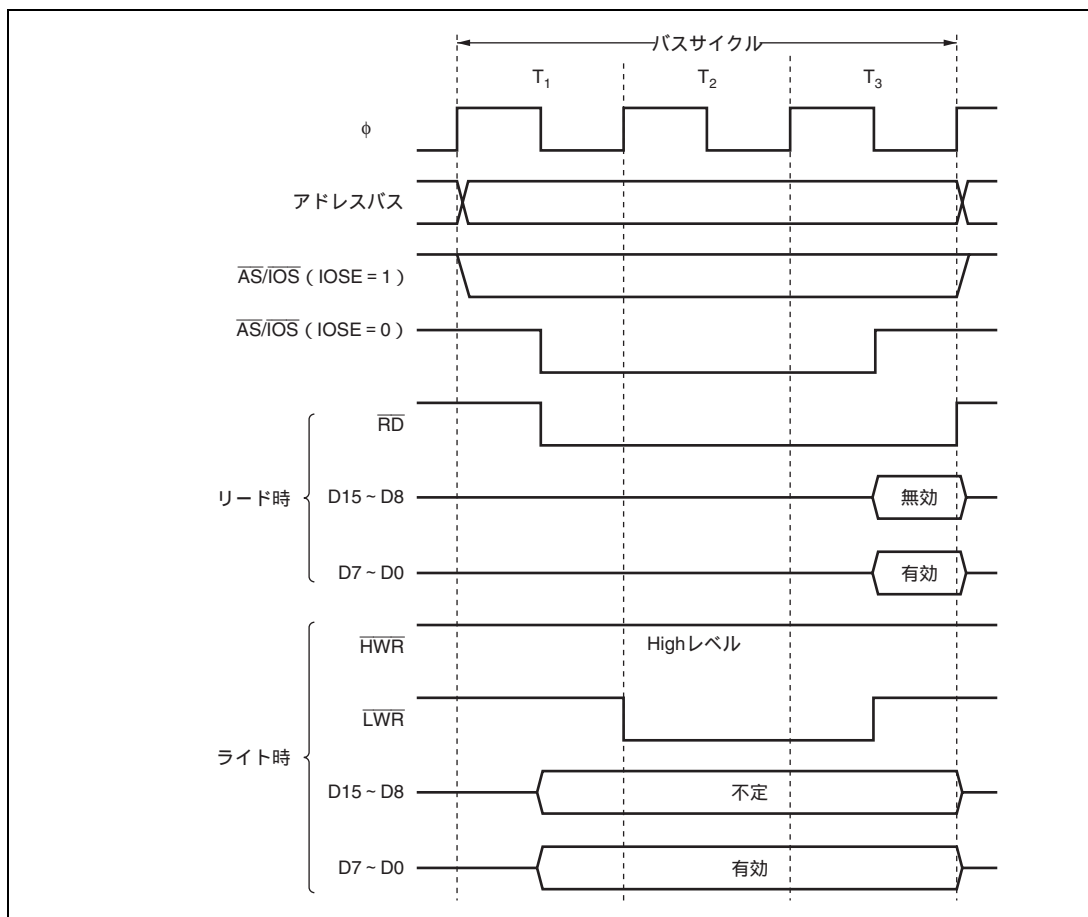


図 6.11 16ビット3ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

## 6. バスコントローラ (BSC)

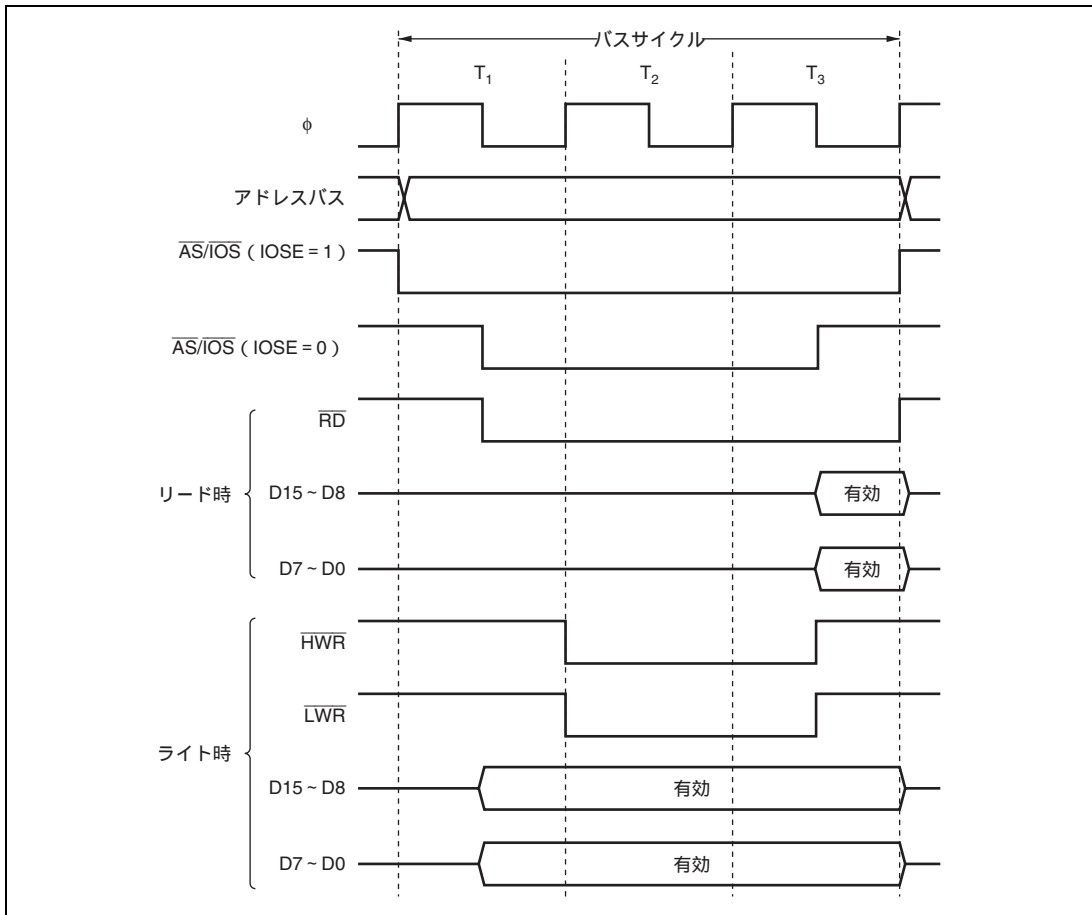


図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)

#### 6.5.4 ウェイト制御

本 LSI は外部アドレス空間をアクセスするとき、ウェイトステート ( $T_w$ ) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入、およびプログラムウェイトと  $\overline{\text{WAIT}}$  端子による端子ウェイトの組み合わせがあります。

##### (1) プログラムウェイトモード

プログラムウェイトモードでは外部アドレス空間をアクセスすると、常に WSCR の WC1、WC0 ビットにより設定されたステート数の  $T_w$  が、 $T_2$  ステートと  $T_3$  ステートの間に挿入されます。

##### (2) 端子ウェイトモード

端子ウェイトモードでは外部アドレス空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数の  $T_w$  が、 $T_2$  ステートと  $T_3$  ステートの間に挿入されます。 $T_2$  または  $T_w$  の最後のステートの  $\phi$  の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$  端子が Low レベルであると、さらに  $T_w$  が挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$  端子が High レベルになるまで  $T_w$  が挿入されます。

端子ウェイトモードは、4 ステート以上の  $T_w$  を挿入する場合や、外部デバイスごとに挿入する  $T_w$  数を変える場合などに有効です。

##### (3) 端子オートウェイトモード

端子オートウェイトモードでは外部アドレス空間をアクセスしたとき、 $T_2$  の  $\phi$  の立ち下がりのタイミングで  $\overline{\text{WAIT}}$  端子が Low レベルであると、WC1、WC0 ビットにより設定されたステート数の  $T_w$  が、 $T_2$  ステートと  $T_3$  ステートの間に挿入されます。 $\overline{\text{WAIT}}$  端子が Low レベルに保持されても、設定されたステート数を超える  $T_w$  は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を  $\overline{\text{WAIT}}$  端子に入力するだけで低速メモリと容易にインタフェースすることができます。

図 6.13 に端子ウェイトモードのウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、 $\overline{\text{WAIT}}$  入力禁止状態となっています。

## 6. バスコントローラ (BSC)

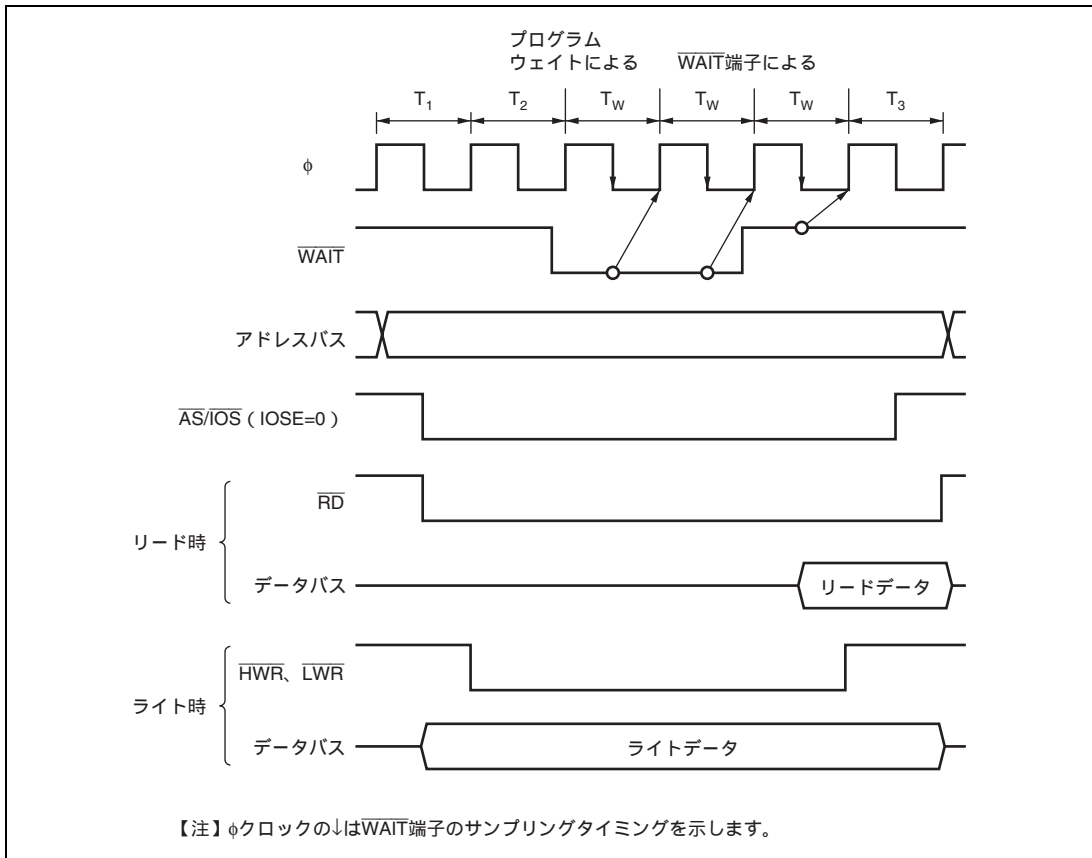


図 6.13 ウェイトステート挿入タイミング例 (端子ウェイトモード)



## 6.6 バースト ROM インタフェース

本 LSI は BCR の BRSTRM ビットを 1 にすることにより、外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。CPU の命令フェッチに限り最大 4 ワードまたは最大 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

### 6.6.1 基本動作タイミング

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)のアクセスステート数は、WSCR の AST ビットの設定に従います。AST ビットを 1 にセットすると、ウェイトステートを挿入することもできます。バーストサイクルは BCR の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.14、図 6.15 に示します。

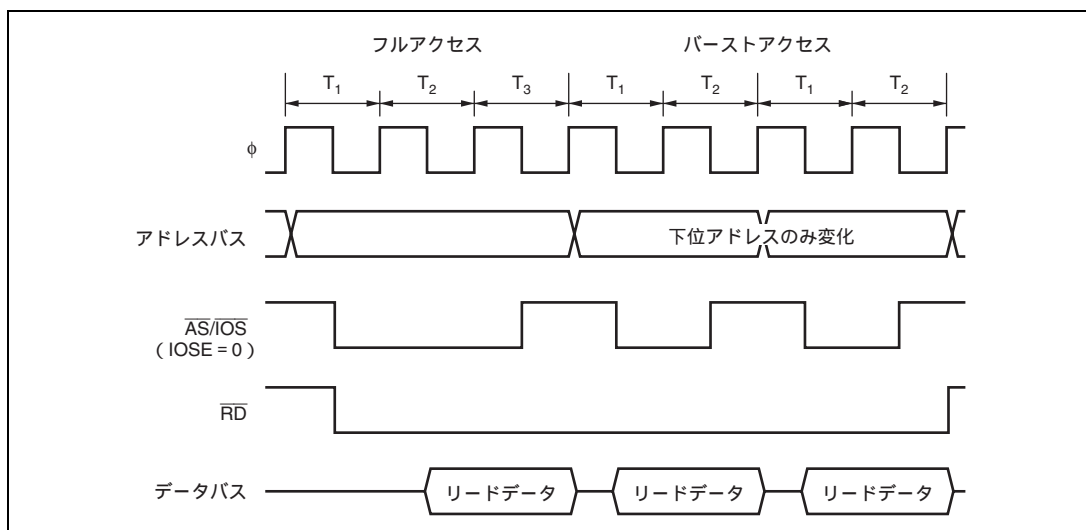


図 6.14 バースト ROM 空間のアクセスタイミング例 (AST = BRSTS1 = 1 の場合)

## 6. バスコントローラ (BSC)

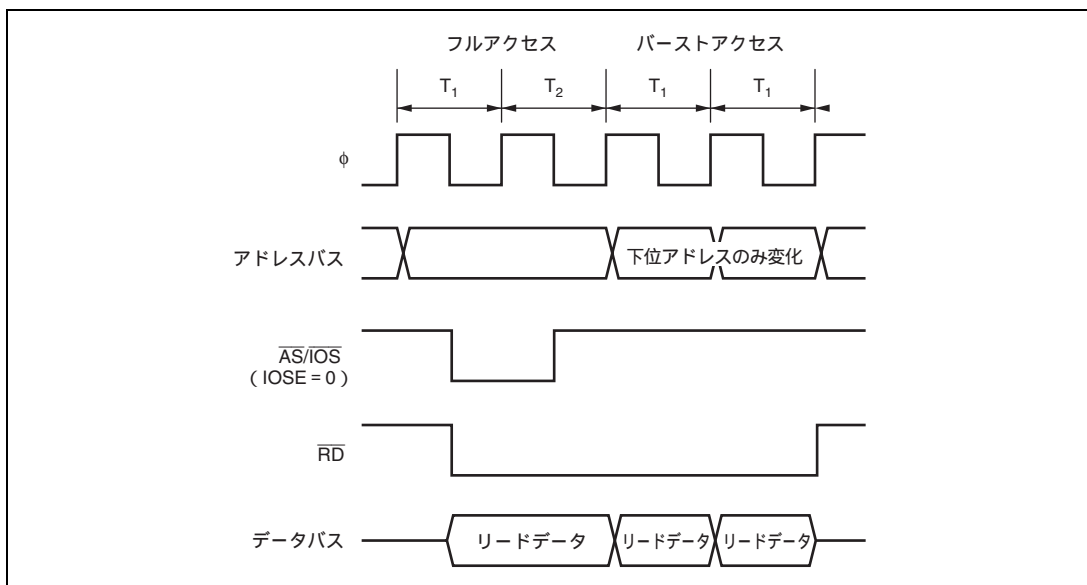


図 6.15 バースト ROM 空間のアクセスタイミング例 (AST = BRSTS1 = 0 の場合)

### 6.6.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) には、基本バスインタフェースと同様にプログラムウェイトの挿入、および  $\overline{\text{WAIT}}$  端子による端子ウェイトの挿入が可能です。詳細は「6.5.4 ウェイト制御」を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

## 6.7 アイドルサイクル

本 LSI は外部アドレス空間をアクセスするときに、リードサイクルの直後にライトサイクルが発生した場合、バスサイクルとバスサイクルの間にアイドルサイクル ( $T_1$ ) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きい ROM と、高速メモリ、I/O インタフェースとのデータ衝突を防ぐことができます。

BCR の ICIS0 ビットを 1 にセットした状態で外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.16 にアイドルサイクルの動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。図 6.16 (a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し図 6.16 (b) ではアイドルサイクルの挿入でデータの衝突を回避しています。

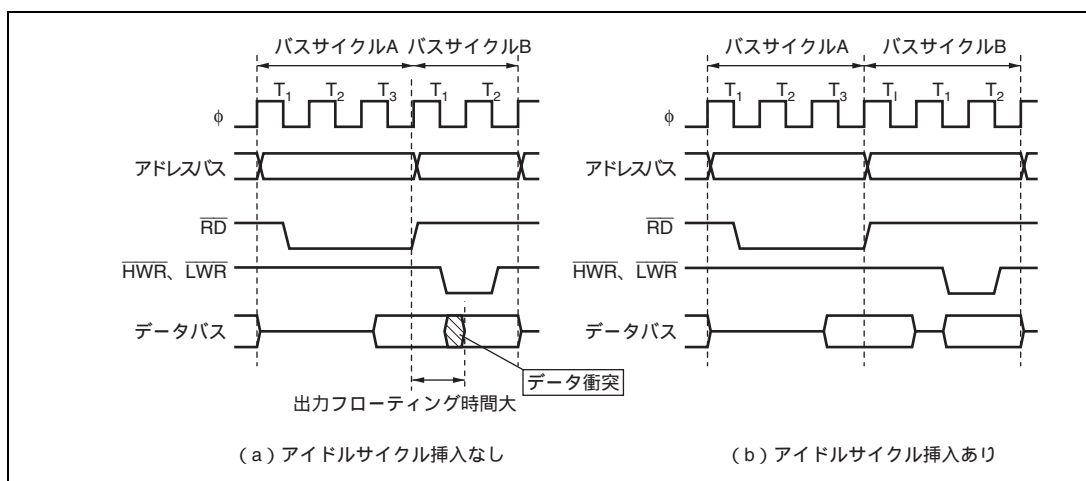


図 6.16 アイドルサイクルの動作例

アイドルサイクルでの端子状態を表 6.5 に示します。

表 6.5 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0, $\overline{\text{IOS}}$	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
$\overline{\text{AS}}$	High レベル
RD	High レベル
HWR, LWR	High レベル

### 6.8 バスアービトレーション

バスコントローラはバスマスタの動作を調停(バスアービトレーション)するバスアービタを内蔵しています。バスマスタは、CPU と DTC があり、バス権を占有した状態でリード/ライト動作を行います。

#### 6.8.1 バスマスタの優先順位

各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは、バスマスタのバス権要求信号を検出し、バス権要求であれば所定のタイミングでそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。バスマスタの優先順位は以下のとおりです。

(高) DTC > CPU (低)

#### 6.8.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときに、すぐにバス権が移行するとは限りません。バス権が移行するタイミングは次のとおりです。

##### (1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があるとバスアービタはバス権を DTC に移行します。

- DTCのバス権移行タイミング

1. バスサイクルの切れ目で、バス権を移行します。

ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合には、分割されたバスサイクルの切れ目ではバス権は移行しません。詳細は「H8S/2600 シリーズ、H8S/2000 シリーズソフトウェアマニュアル」を参照してください。

2. CPUがスリープモードの場合は、直ちにバス権を移行します。

##### (2) DTC

DTC は最も優先順位の高いバスマスタです。DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC は一連の処理が完了するまでバス権を解放しません。

---

## 7. データトランスファコントローラ (DTC)

---

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 7.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM の H'(FF)EC00 ~ H'(FF)EFFF (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

### 7.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類  
ノーマルモード、リピートモード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能 (チェーン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能

## 7. データトランスファコントローラ (DTC)

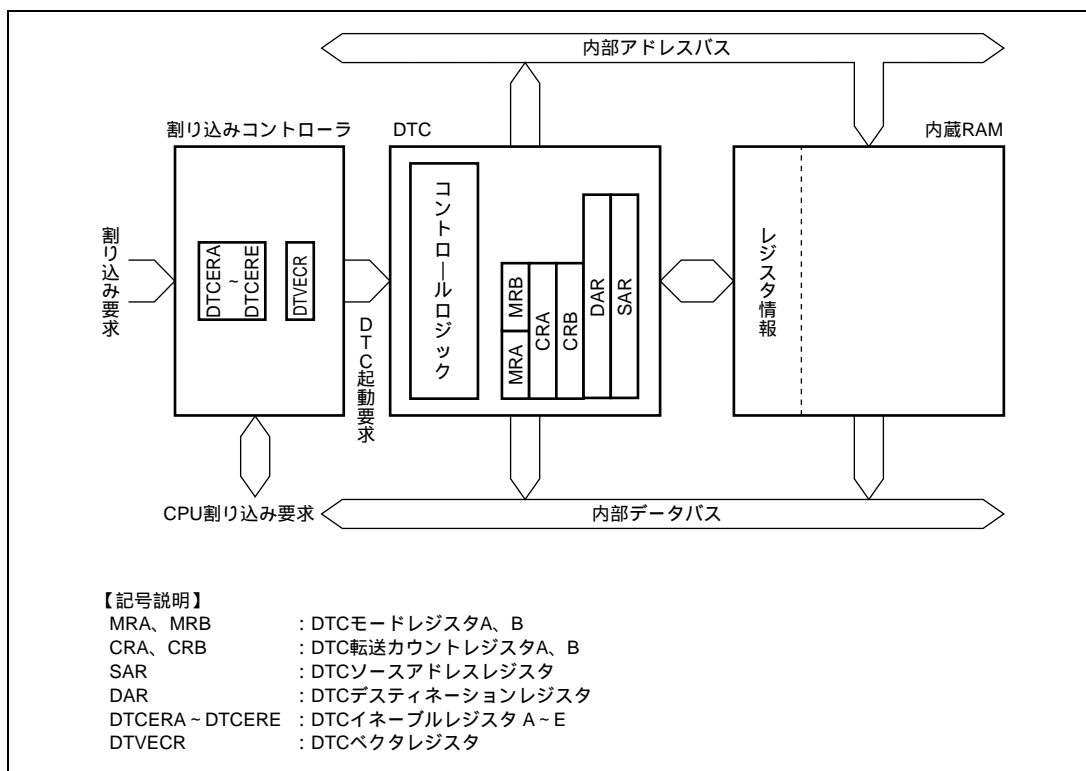


図 7.1 DTC のブロック図

## 7.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容が内蔵RAMに戻されます。

- DTCイネーブルレジスタA~E (DTCERA~DTCERE)
- DTCベクタレジスタ (DTVECR)

## 7.2.1 DTC モードレジスタ A (MRA)

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定		DTC モード DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定		DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【記号説明】

X : Don't care

## 7. データトランスファコントローラ (DTC)

### 7.2.2 DTC モードレジスタ B (MRB)

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定		DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「7.5.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。
6	DISEL	不定		DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。(DTC は起動要因となった割り込み要因フラグを 0 にクリアします。) このビットが 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。(DTC は起動要因となった割り込み要因フラグを 0 にクリアしません。)
5~0		不定		リザーブビット DTC の動作に影響を与えません。0 をライトしてください。

### 7.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 7.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

### 7.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。

### 7.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。



## 7.2.7 DTC イネーブルレジスタ A ~ E (DTCERA ~ DTCERE)

DTCER は DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERE があります。各割り込み要因と DTCE ビットの対応については表 7.1 を参照してください。DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使用してください。ただし複数の起動要因を一度に設定するときには、初期設定に限り、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTCE5	0	R/W	[クリア条件]
4	DTCE4	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
3	DTCE3	0	R/W	• 指定した回数の転送が終了したとき
2	DTCE2	0	R/W	[保持条件]
1	DTCE1	0	R/W	• DISEL ビットが 0 で、指定した回数の転送が終了していないとき
0	DTCE0	0	R/W	

## 7.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR はソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。1 のライトのみ常時可能です。0 のライトは 1 のリード後のみ可能となります。 [クリア条件] • DISEL ビットが 0 で、指定した回数の転送が終了しないとき • CPU に対し、ソフトウェア起動データ転送終了割り込み要求 (SWDTEND) が発生したあと、0 をライトしたとき [保持条件] • DISEL ビットが 1 で、データ転送を終了したとき • 指定した回数の転送が終了したとき • ソフトウェア起動によるデータ転送中
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6 ~ 0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6 ~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
3	DTVEC3	0	R/W	
2	DTVEC2	0	R/W	SWDTE=0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

### 7.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RX10 の場合、起動要因フラグは、SCI\_0 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 7.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

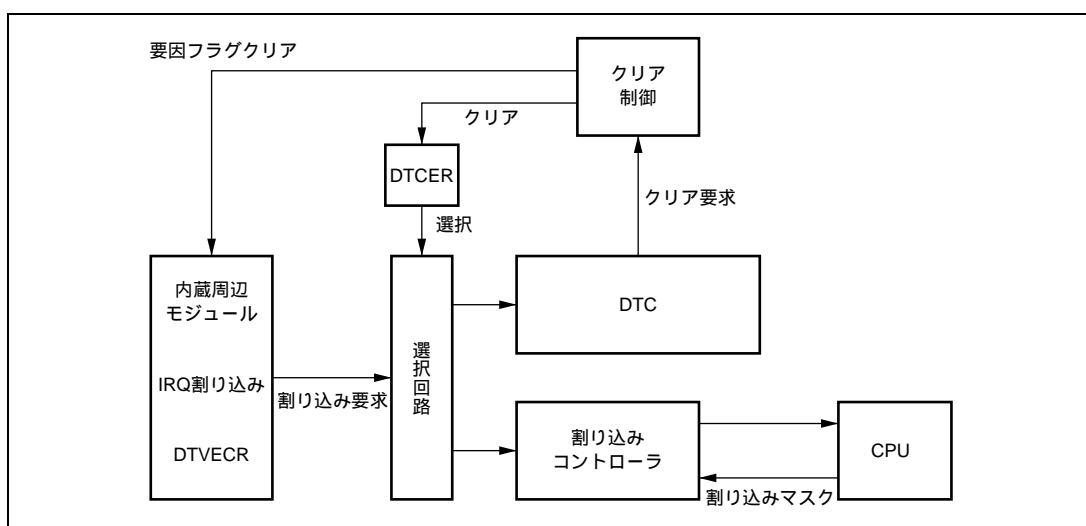


図 7.2 DTC 起動要因制御ブロック図





## 7.5 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

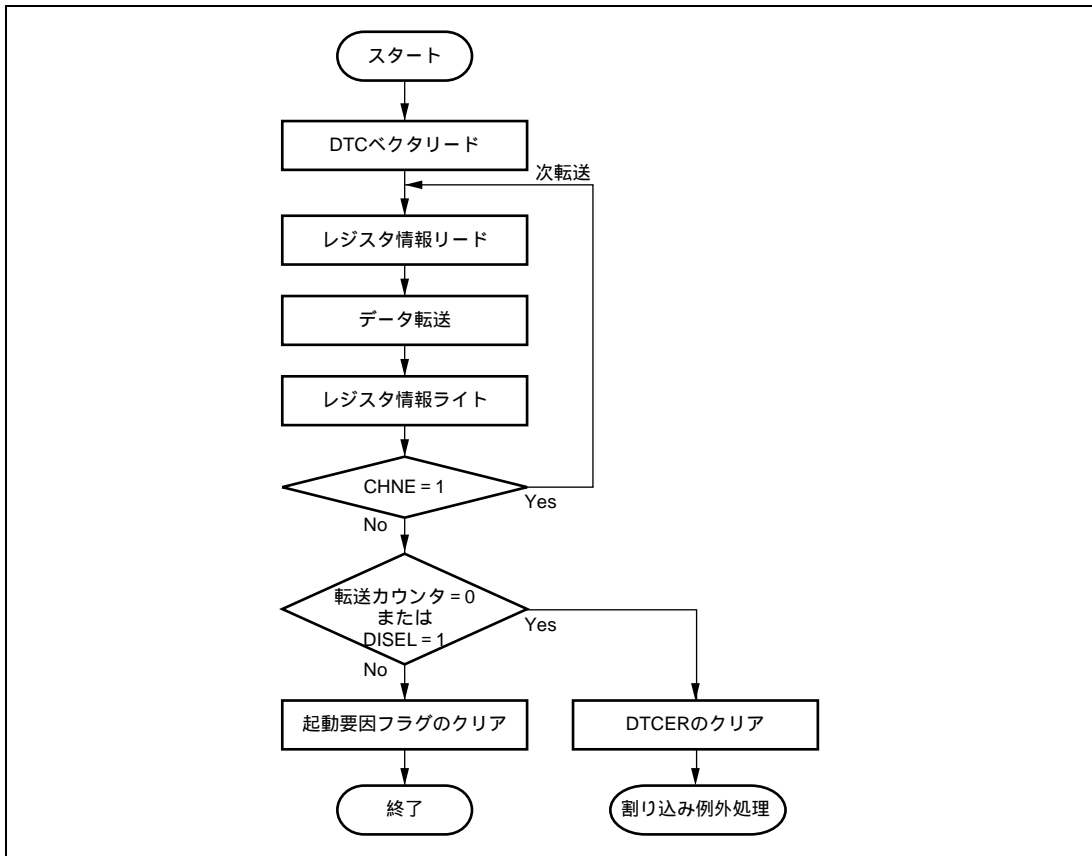


図 7.4 DTC 動作フローチャート

## 7. データトランスファコントローラ (DTC)

### 7.5.1 ノーマルモード

1つの起動要因で、1バイトまたは1ワードの転送を行います。表 7.2 にノーマルモードにおけるレジスタ機能を示します。転送回数は1~65536です。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

表 7.2 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

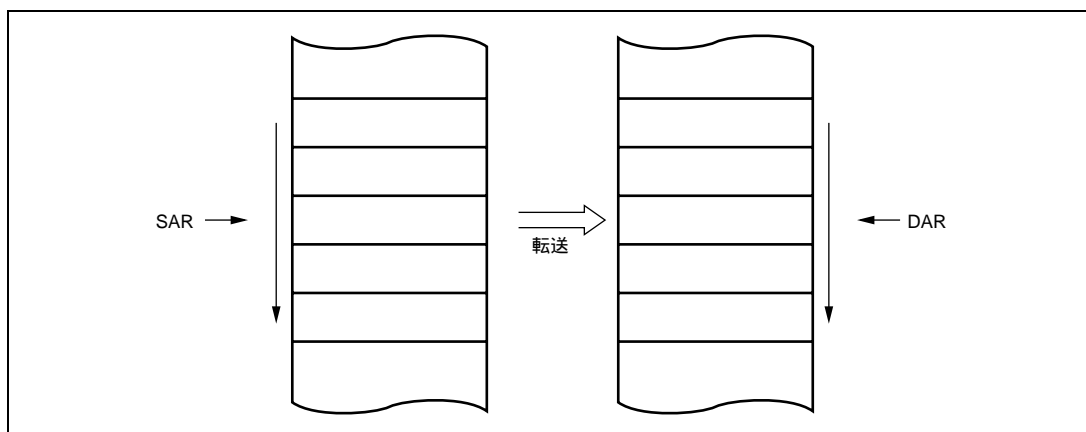


図 7.5 ノーマルモードのメモリマップ

## 7.5.2 リピートモード

1つの起動要因で、1バイトまたは1ワードの転送を行います。表 7.3 にリピートモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 7.3 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

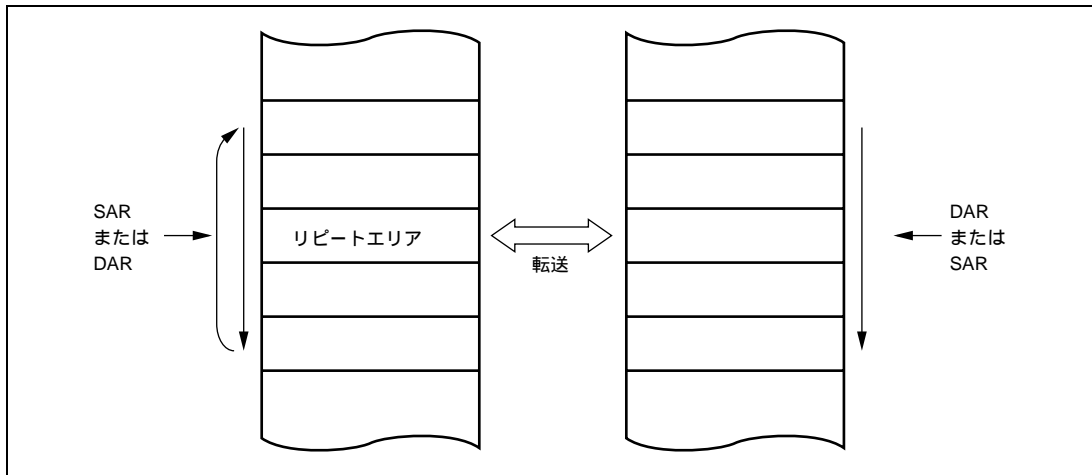


図 7.6 リピートモードのメモリマップ

## 7. データトランスファコントローラ (DTC)

### 7.5.3 ブロック転送モード

1つの起動要因で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 7.4 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数 of ブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表 7.4 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウンタレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウンタレジスタ B	CRB	転送カウンタ

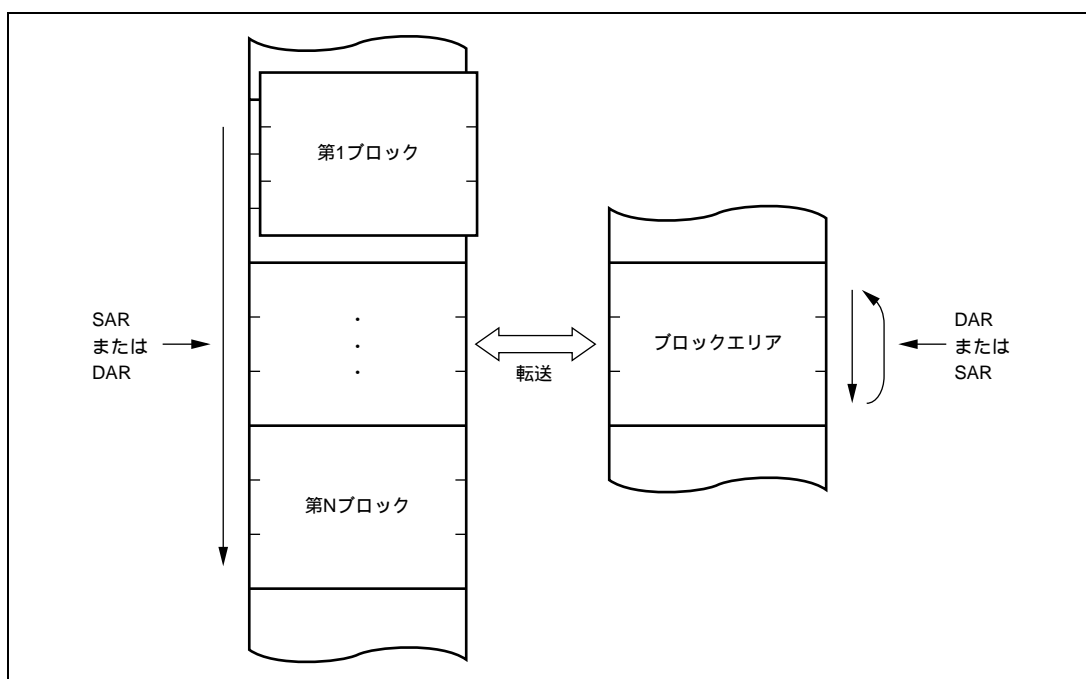


図 7.7 ブロック転送モードのメモリマップ



### 7.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB はおのこの独立に設定できます。

図 7.8 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISSEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

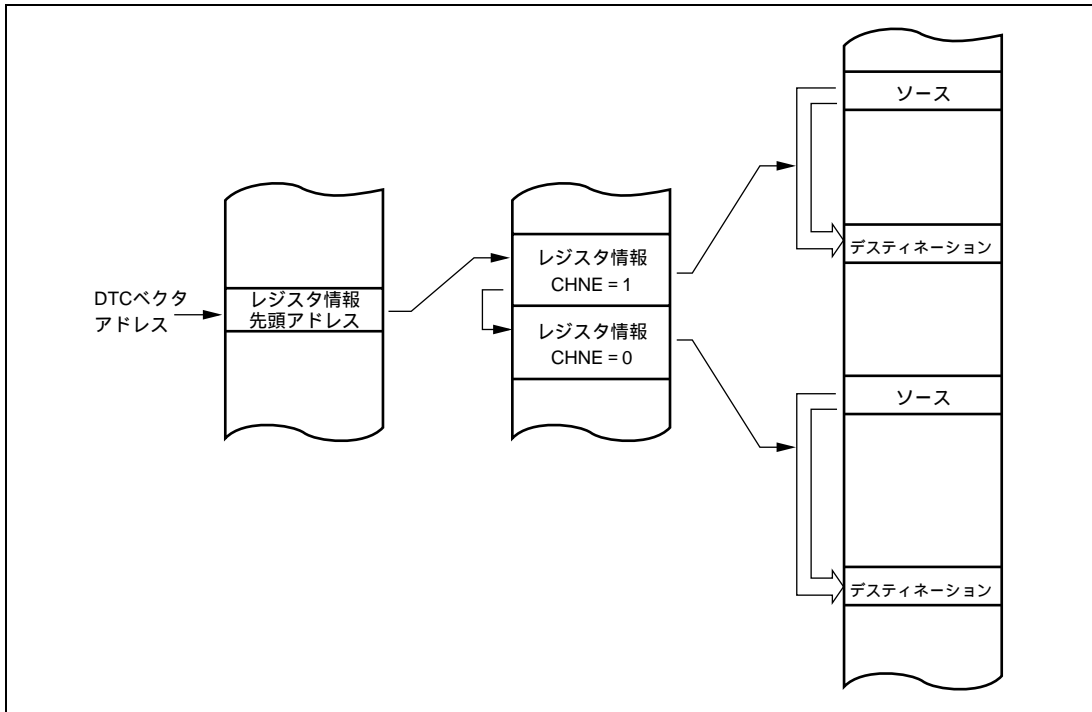


図 7.8 チェイン転送の動作

## 7. データトランスファコントローラ (DTC)

### 7.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラの割り込みコントロールレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

### 7.5.6 動作タイミング

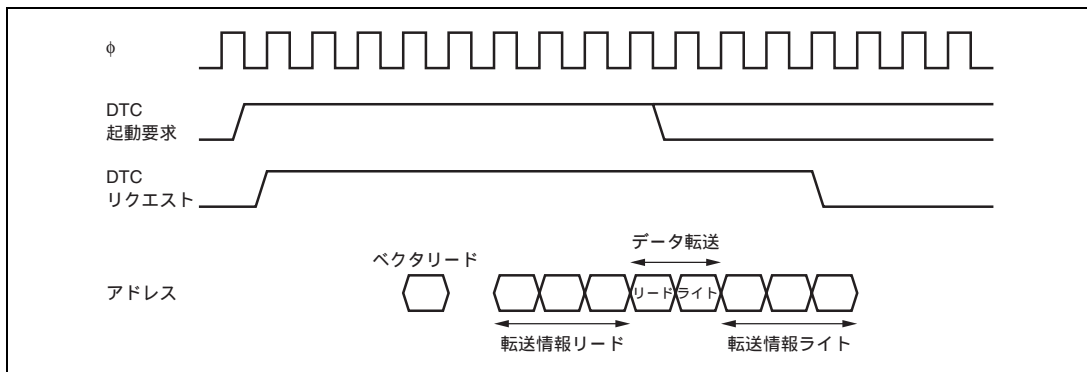


図 7.9 DTC の動作タイミング (ノーマルモード、リピートモードの例)

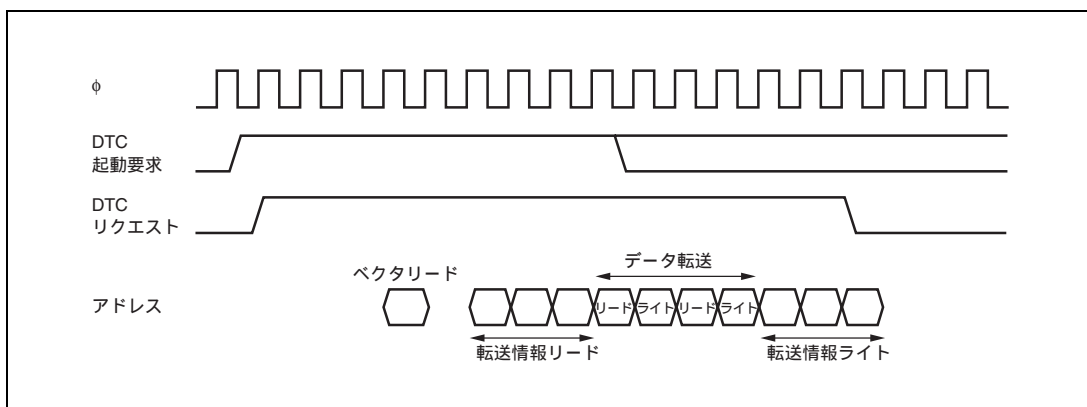


図 7.10 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

## 7. データトランスファコントローラ (DTC)

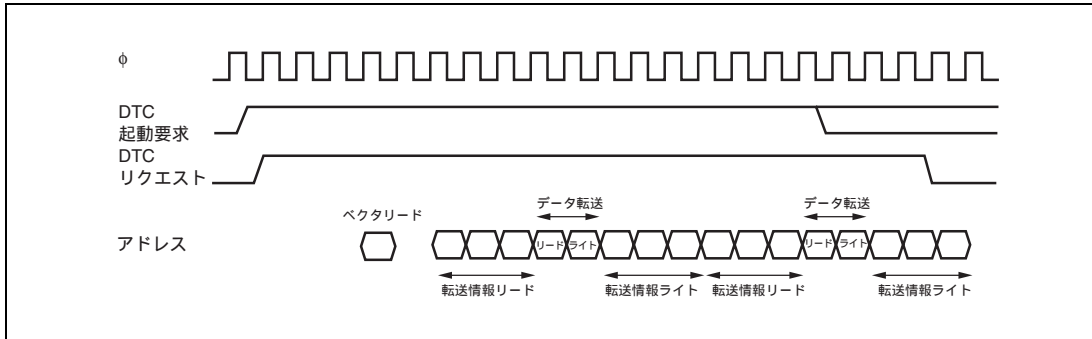


図 7.11 DTC の動作タイミング (チェーン転送の例)

### 7.5.7 DTC 実行ステート数

表 7.5 に DTC の 1 回のデータ転送の実行状態を示します。また、表 7.6 に実行状態に必要なステート数を示します。

表 7.5 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

【記号説明】

N : ブロックサイズ (CRAH、CRAL の初期設定値)

表 7.6 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリード S <sub>i</sub>	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報 S <sub>j</sub> リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリード S <sub>k</sub>	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S <sub>k</sub>	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S <sub>l</sub>	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S <sub>l</sub>	1	1	4	2	4	6+2m	2	3+m
	内部動作 S <sub>m</sub>	1							

## 7. データトランスファコントローラ (DTC)

---

実行ステート数は次の計算式で計算されます。なお、 $\Sigma$ は1つの起動要因で転送する回数分 (CHNE ビットを1にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \times S_I + \Sigma (J \times S_J + K \times S_K + L \times S_L) + M \times S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

### 7.6 DTC 使用手順

#### 7.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。  
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

#### 7.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

## 7.7 DTC 使用例

### 7.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1 = SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ノーマルモード (MD1 = MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE = 0、DISEL = 0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

### 7.7.2 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント (SM1 = 1、SM0 = 0)、デスティネーションアドレスインクリメント (DM1 = 1、DM0 = 0)、ブロック転送モード (MD = 1、MD0 = 0)、バイトサイズ (Sz = 0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE = 0) を行います。SARは転送元アドレスで H'1000、DARは転送先アドレスで H'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
3. DTVECRのSWDTE = 0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE = 1とともに、ベクタ番号 H'60 を、DTVECRにライトします。ライトデータは H'E0 です。

## 7. データトランスファコントローラ (DTC)

---

5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3]と[4]の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3]に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

## 7.8 使用上の注意事項

### 7.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTCの動作禁止/許可を設定することが可能です。初期値では、DTCの動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTCが起動中はモジュールストップモードに設定できません。詳細は、「第25章 低消費電力状態」を参照してください。

### 7.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRBの各レジスタは、内蔵RAMに配置します。DTCを使用する場合は、SYSCRのRAMEビットを0にクリアしないでください。

### 7.8.3 DTCE ビットの設定

DTCEビットの設定は、必ずBSET、BCLRなどビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

### 7.8.4 サブアクティブモード、ウォッチモードへの遷移時の設定

サブアクティブモード、ウォッチモードへの遷移前に、DTCをモジュールストップ(MSTPCRH:ビット6に1ライト)の設定にし、1に設定されていることを確認後、モード遷移してください。

### 7.8.5 SCI、IIC、LPC および A/D 変換器の割り込み要因

SCI、IIC、LPC および A/D 変換器の割り込み要因は、DTCが所定のレジスタをリード/ライトしたときにクリアされます。DISELビットには依存しません。

---

## 8. I/O ポート

---

### 8.1 概要

本 LSI には、10 本の入出力ポート（ポート 1～6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。H8S/2160B、H8S/2161B の追加ポート C～G については、「8.13 H8S/2160B、H8S/2161B の追加概要」を参照してください。

ポート機能一覧を表 8.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR、ODR）から構成されています。なお、入力専用ポートには DDR はありません。

ポート 1～3、6、A、B には、入力プルアップ MOS が内蔵されています。ポート A、B は DDR と ODR で、入力プルアップ MOS のオン/オフを制御し、ポート 1～3、6 は DDR と入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン/オフを制御します。

ポート 1～6、8、9、A、B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1～3 は LED を駆動する（シンク電流 10mA）ことができます。

ポート A の入出力は Vcc 電源から独立した、VccB 電源によって動作します。したがって、VccB の電圧が 5V であれば、ポート A 端子は 5V 入力が可能になります。

また、ポート A の PA4～PA7 はバスバッファ駆動が可能です。

なお、ポート 5 の P52、ポート 9 の P97、ポート 8 の P86、ポート 4 の P42 の出力形式は、NMOS プッシュプル出力となっています。したがって、P52、P97、P86 および P42 は 5V の入力が可能であり、DC 特性は VCC 電源に依存します。P42/SCK2、P52/SCK0、P86/SCK1、P97 出力のときは、出力 High レベル電圧を引き上げるためのプルアップ抵抗を端子に接続してください。

## 8. I/O ポート

表 8.1 H8S/2140B、H8S/2141B、H8S/2145B、H8S/2148B ポートの機能一覧

ポート	概要	モード 1	モード 2、3		入出力形態他
			(EXPE = 1)	(EXPE = 0)	
ポート 1	アドレス出力、PWM 出力端子と汎用入出力 ポートの兼用	A7 A6 A5 A4 A3 A2 A1 A0	A7/P17/PW7 A6/P16/PW6 A5/P15/PW5 A4/P14/PW4 A3/P13/PW3 A2/P12/PW2 A1/P11/PW1 A0/P10/PW0	P17/PW7 P16/PW6 P15/PW5 P14/PW4 P13/PW3 P12/PW2 P11/PW1 P10/PW0	入力プルアップ MOS 内蔵
ポート 2	アドレス出力、PWM 出力、タイマコネク ション出力端子と汎 用入出力ポートの兼 用	A15 A14 A13 A12 A11 A10 A9 A8	A15/P27/PW15/ CBLANK A14/P26/PW14 A13/P25/PW13 A12/P24/PW12 A11/P23/PW11 A10/P22/PW10 A9/P21/PW9 A8/P20/PW8	P27/PW15/CBLANK P26/PW14 P25/PW13 P24/PW12 P23/PW11 P22/PW10 P21/PW9 P20/PW8	入力プルアップ MOS 内蔵
ポート 3	データバス入出力、 XBS データバス 入出力、LPC 入出力 端子と汎用入出力ポ ートの兼用	D15 D14 D13 D12 D11 D10 D9 D8		P37/HDB7/SERIRQ* P36/HDB6/LCLK* P35/HDB5/LRESET* P34/HDB4/LFRAME* P33/HDB3/LAD3* P32/HDB2/LAD2* P31/HDB1/LAD1* P30/HDB0/LAD0*	入力プルアップ MOS 内蔵
ポート 4	PWMX 出力、 TMR_0、TMR_1 入出 力、タイマコネクシ ョン入出力、XBS の ホスト割り込み要求 出力、SCI_2 の入出 力、IrDA インタフェ ースの入出力、IIC_1 入出力端子と汎用入 出力ポートの兼用	P47/PWX1 P46/PWX0 P45/TMRI1/CSYNCl P44/TMO1/HSYNCO P43/TMCI1/HSYNCl P42/TMRI0/SCK2/SDA1 P41/TMO0/RxD2/IrRxD P40/TMCI0/TxD2/IrTxD		P47/PWX1 P46/PWX0 P45/TMRI1/HIRQ12/ CSYNCl P44/TMO1/HIRQ1/ HSYNCO P43/TMCI1/HIRQ11/ HSYNCl P42/TMRI0/SCK2/ SDA1 P41/TMO0/RxD2/ IrRxD P40/TMCI0/TxD2/ IrTxD	



ポート	概要	モード 1	モード 2、3		入出力形態他
			(EXPE = 1)	(EXPE = 0)	
ポート 5	SCI_0 の入出力、 IIC_0 入出力端子と 汎用入出力ポートの 兼用	P52/SCK0/SCL0 P51/RxD0 P50/TxD0			
ポート 6	割り込み入力、FRT の入出力、TMR_X、 TMR_Y 入出力、タイ マコネクションの入 出力、キーセンス割 り込み入力、拡張 A/D 入力端子と汎用 入出力ポートの兼用	P67/IRQ7/TMOX/KIN7/CIN7 P66/IRQ6/FTOB/KIN6/CIN6 P65/FTID/KIN5/CIN5 P64/FTIC/KIN4/CIN4/CLAMPO P63/FTIB/KIN3/CIN3/VFBACKI P62/FTIA/TMIY/KIN2/CIN2/VSYNCl P61/FTOA/KIN1/CIN1/VSYNCO P60/FTCI/TMIX/KIN0/CIN0/HFBACKI			入力プルアップ MOS 内蔵
ポート 7	A/D 変換器のアナロ グ入力、 D/A 変換器のアナロ グ出力端子と汎用入 力ポートの兼用	P77/AN7/DA1 P76/AN6/DA0 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0			
ポート 8	割り込み入力、 SCI_1 入出力、XBS の制御入出力、LPC の入出力、IIC_1 入 出力端子と汎用入出力 ポートの兼用	P86/IRQ5/SCK1/SCL1 P85/IRQ4/RxD1 P84/IRQ3/TxD1 P83 P82 P81 P80		P86/IRQ5/SCK1/SCL1 P85/IRQ4/RxD1 P84/IRQ3/TxD1 P83/LPCPD* P82/HIFSD/CLKRUN* P81/CS2/GA20 P80/HA0/PME*	

## 8. I/O ポート

ポート	概要	モード 1	モード 2、3		入出力形態他
			(EXPE = 1)	(EXPE = 0)	
ポート 9	拡張データベース制御 入出力、IIC_0 入出 力、サブクロック入 力、φ出力、割り込み 入力、XBS の制御入 力、A/D 変換器の外 部トリガ入力端子 と汎用入出力ポート の兼用	P97/ $\overline{\text{WAIT}}$ /SDA0 P96/ $\phi$ /EXCL $\overline{\text{AS}}$ / $\overline{\text{IOS}}$ HWR RD P92/ $\overline{\text{IRQ0}}$ P91/ $\overline{\text{IRQ1}}$ P90/ $\overline{\text{LWR}}$ / $\overline{\text{IRQ2}}$ / $\overline{\text{ADTRG}}$		P97/SDA0 P96/ $\phi$ /EXCL P95/ $\overline{\text{CS1}}$ P94/ $\overline{\text{IOW}}$ P93/ $\overline{\text{IOR}}$ P92/ $\overline{\text{IRQ0}}$ P91/ $\overline{\text{IRQ1}}$ P90/ $\overline{\text{IRQ2}}$ / $\overline{\text{ADTRG}}$ / $\overline{\text{ECS2}}$	
ポート A	アドレス出力、キー センス割り込み入 力、拡張 A/D 入力、 キーボードバッファ コントローラ入出力 端子と汎用入出力ポ ートの兼用	PA7/ $\overline{\text{KIN15}}$ / $\overline{\text{CIN15}}$ / PS2CD PA6/ $\overline{\text{KIN14}}$ / $\overline{\text{CIN14}}$ / PS2CC PA5/ $\overline{\text{KIN13}}$ / $\overline{\text{CIN13}}$ / PS2BD PA4/ $\overline{\text{KIN12}}$ / $\overline{\text{CIN12}}$ / PS2BC PA3/ $\overline{\text{KIN11}}$ / $\overline{\text{CIN11}}$ / PS2AD PA2/ $\overline{\text{KIN10}}$ / $\overline{\text{CIN10}}$ / PS2AC PA1/ $\overline{\text{KIN9}}$ / $\overline{\text{CIN9}}$ PA0/ $\overline{\text{KIN8}}$ / $\overline{\text{CIN8}}$	PA7/A23/ $\overline{\text{KIN15}}$ / CIN15/PS2CD PA6/A22/ $\overline{\text{KIN14}}$ / CIN14/PS2CC PA5/A21/ $\overline{\text{KIN13}}$ / CIN13/PS2BD PA4/A20/ $\overline{\text{KIN12}}$ / CIN12/PS2BC PA3/A19/ $\overline{\text{KIN11}}$ / CIN11/PS2AD PA2/A18/ $\overline{\text{KIN10}}$ / CIN10/PS2AC PA1/A17/ $\overline{\text{KIN9}}$ / $\overline{\text{CIN9}}$ PA0/A16/ $\overline{\text{KIN8}}$ / $\overline{\text{CIN8}}$	PA7/ $\overline{\text{KIN15}}$ / $\overline{\text{CIN15}}$ / PS2CD PA6/ $\overline{\text{KIN14}}$ / $\overline{\text{CIN14}}$ / PS2CC PA5/ $\overline{\text{KIN13}}$ / $\overline{\text{CIN13}}$ /PS2BD PA4/ $\overline{\text{KIN12}}$ / $\overline{\text{CIN12}}$ / PS2BC PA3/ $\overline{\text{KIN11}}$ / $\overline{\text{CIN11}}$ / PS2AD PA2/ $\overline{\text{KIN10}}$ / $\overline{\text{CIN10}}$ / PS2AC PA1/ $\overline{\text{KIN9}}$ / $\overline{\text{CIN9}}$ PA0/ $\overline{\text{KIN8}}$ / $\overline{\text{CIN8}}$	入力プルアップ MOS 内蔵
ポート B	ウェイクアップイベ ント割り込み入力、 データベース入出力、 XBS の制御入出力、 LPC の入出力端子と 汎用入出力ポートの 兼用	PB7/D7/ $\overline{\text{WUE7}}$ * PB6/D6/ $\overline{\text{WUE6}}$ * PB5/D5/ $\overline{\text{WUE5}}$ * PB4/D4/ $\overline{\text{WUE4}}$ * PB3/D3/ $\overline{\text{WUE3}}$ * PB2/D2/ $\overline{\text{WUE2}}$ * PB1/D1/ $\overline{\text{WUE1}}$ * PB0/D0/ $\overline{\text{WUE0}}$ *		PB7/ $\overline{\text{WUE7}}$ * PB6/ $\overline{\text{WUE6}}$ * PB5/ $\overline{\text{WUE5}}$ * PB4/ $\overline{\text{WUE4}}$ * PB3/ $\overline{\text{WUE3}}$ */ $\overline{\text{CS4}}$ PB2/ $\overline{\text{WUE2}}$ */ $\overline{\text{CS3}}$ PB1/ $\overline{\text{WUE1}}$ */HIRQ4/ LSCI* PB0/ $\overline{\text{WUE0}}$ */HIRQ3/ $\overline{\text{LSM1}}$ *	入力プルアップ MOS 内蔵

【注】 \* H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

## 8.2 ポート 1

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、アドレスバス出力端子、PWM 出力端子と兼用になっており、動作モードによって端子機能が切り替わります。ポート 1 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 1 は以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1プルアップMOSコントロールレジスタ (P1PCR)

### 8.2.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR は、ポート 1 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	モード 1 のとき P1DDR の設定値にかかわらず、ポート 1 の各端子はアドレス出力となります。 モード 2、3 (EXPE = 1) のとき P1DDR を 1 にセットすると対応するポート 1 の各端子はアドレス出力または PWM 出力となり、0 にクリアすると入力ポートになります。 モード 2、3 (EXPE = 0) のとき P1DDR を 1 にセットすると対応するポート 1 の各端子は出力ポートまたは PWM 出力となり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

### 8.2.2 ポート 1 データレジスタ (P1DR)

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P17DR	0	R/W	このレジスタをリードすると、P1DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P1DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

## 8. I/O ポート

### 8.2.3 ポート 1 プルアップ MOS コントロールレジスタ (P1PCR)

PIPCR はポート 1 の入力プルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P17PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P16PCR	0	R/W	
5	P15PCR	0	R/W	
4	P14PCR	0	R/W	
3	P13PCR	0	R/W	
2	P12PCR	0	R/W	
1	P11PCR	0	R/W	
0	P10PCR	0	R/W	

### 8.2.4 端子機能

- P17/A7/PW7、P16/A6/PW6、P15/A5/PW5、P14/A4/PW4、P13/A3/PW3、P12/A2/PW2、P11/A1/PW1、P10/A0/PW0

動作モードと PWM の PWOERA の OEn ビットと P1nDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1	モード 2、3 (EXPE = 1)		モード 2、3 (EXPE = 0)			
P1nDDR	-	0	1	0	1		
OEn	-	-	0	1	-	0	1
端子機能	A7 ~ A0 出力端子	P17 ~ P10 入力端子	A7 ~ A0 出力端子	PW7 ~ PW0 出力端子	P17 ~ P10 入力端子	P17 ~ P10 出力端子	PW7 ~ PW0 出力端子

【注】 n = 7 ~ 0

### 8.2.5 ポート 1 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン / オフを指定できます。

入力プルアップ MOS の状態を表 8.2 に示します。

表 8.2 ポート 1 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1	OFF		OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P1DDR = 0 かつ P1PCR = 1 のときオン状態、その他のときはオフ状態です。

## 8.3 ポート 2

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、アドレスバス出力端子、PWM 出力端子、タイマコネクシヨンの出力端子と兼用になっており、動作モードによって端子機能が切り替わります。ポート 2 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 2 には以下のレジスタがあります。

- ポート 2 データディレクションレジスタ (P2DDR)
- ポート 2 データレジスタ (P2DR)
- ポート 2 プルアップ MOS コントロールレジスタ (P2PCR)

### 8.3.1 ポート 2 データディレクションレジスタ (P2DDR)

P2DDR はポート 2 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P27DDR	0	W	モード 1 のとき P2DDR の設定値にかかわらず、対応するポート 2 の各端子はアドレス出力となります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	モード 2、3 (EXPE = 1) のとき P2DDR を 1 にセットすると対応するポート 2 の各端子はアドレス出力または PWM 出力となり、0 にクリアすると入力ポートになります。なお、P27 ~ P24 については、IOSE ビット = 1 にすることによりアドレス出力から出力ポートに切り替わります。また、P27 は、P27DDR にかかわらず周辺機能出力とすることができます。ポート 2 をアドレス出力として使用する場合は、外部空間のアクセスを正常に行うために周辺機能出力に設定しないでください。
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	モード 2、3 (EXPE = 0) のとき P2DDR を 1 にセットすると対応するポート 2 の各端子は PWM 出力または出力ポートとなり、0 にクリアすると入力ポートになります。 P27 は、P27DDR にかかわらず周辺機能出力とすることができます。

### 8.3.2 ポート 2 データレジスタ (P2DR)

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P27DR	0	R/W	P2DDR が 1 のときポート 2 のリードを行うと、P2DR の値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が 0 のときポート 2 のリードを行うと、端子の状態が読み出されます。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

## 8. I/O ポート

### 8.3.3 ポート 2 ブルアップ MOS コントロールレジスタ (P2PCR)

P2PCR はポート 2 の入力ブルアップ MOS のオン / オフを制御します。

ビット	ビット名	初期値	R/W	説明
7	P27PCR	0	R/W	モード 2、3 のとき、入力ポート状態で、P2PCR を 1 にセットすると、入力ブルアップ MOS はオンします。
6	P26PCR	0	R/W	
5	P25PCR	0	R/W	
4	P24PCR	0	R/W	
3	P23PCR	0	R/W	
2	P22PCR	0	R/W	
1	P21PCR	0	R/W	
0	P20PCR	0	R/W	

### 8.3.4 端子機能

ポート 2 をアドレス出力として使用する場合は、外部空間のアクセスを正常に行うために周辺機能出力に設定しないでください。

- P27/A15/PW15/CBLANK

動作モードと SYSCR の IOSE ビット、タイマコネクションの TCONRO の CBOE ビット、PWM の PWOERB の OE15 ビットと P27DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE = 1)				モード2、3 (EXPE = 0)				
		0		1		0		1		
CBOE	—	0		1		0		1		
P27DDR	—	0	1		—	0	1	—		
OE15	—	—	0	1	—	—	0	1	—	
IOSE	—	—	0	1	—	—	—	—	—	
端子機能	A15 出力端子	P27 入力端子	A15 出力端子	P27 出力端子	PW15 出力端子	CBLANK 出力端子	P27 入力端子	P27 出力端子	PW15 出力端子	CBLANK 出力端子

- P26/A14/PW14、P25/A13/PW13、P24/A12/PW12

動作モードと SYSCR の IOSE ビット、PWM の PWOERB の OEm ビットと P2nDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード1	モード2、3 (EXPE = 1)				モード2、3 (EXPE = 0)		
		0	1		0	1		
P2nDDR	—	0	1		0	1		
OEm	—	—	0	1	—	0	1	
IOSE	—	—	0	1	—	1	—	
端子機能	A14 ~ A12 出力端子	P26 ~ P24 入力端子	A14 ~ A12 出力端子	P26 ~ P24 出力端子	PW14 ~ PW12 出力端子	P26 ~ P24 入力端子	P26 ~ P24 出力端子	PW14 ~ PW12 出力端子

【注】 n = 6 ~ 4

m = 14 ~ 12

- P23/A11/PW11、P22/A10/PW10、P21/A9/PW9、P20/A8/PW8

動作モードとPWMのPWOERBのOEmビットとP2nDDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1		モード 2、3 (EXPE = 1)				モード 2、3 (EXPE = 0)							
P2nDDR	-		0		1		0		1					
OEm	-		-		0		1		-					
端子機能	A11 ~ A8 出力端子		P23 ~ P20 入力端子		A11 ~ A8 出力端子		PW11 ~ PW8 出力端子		P23 ~ P20 入力端子		P23 ~ P20 出力端子		PW11 ~ PW8 出力端子	

【注】 n = 3 ~ 0

m = 11 ~ 8

### 8.3.5 ポート 2 入力プルアップ MOS

ポート 2 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン / オフを指定できます。

入力プルアップ MOS の状態を表 8.3 に示します。

表 8.3 ポート 2 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1	OFF		OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P2DDR = 0 かつ P2PCR = 1 のときオン状態、その他のときはオフ状態です。

## 8.4 ポート 3

ポート 3 は 8 ビットの入出力ポートです。ポート 3 は双方向データバス、XBS 双方向データバス、LPC 入出力端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3プルアップMOSコントロールレジスタ (P3PCR)

## 8. I/O ポート

### 8.4.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P37DDR	0	W	モード 1、2、3 (EXPE = 1) のとき P3DDR による入出力の方向は無視され、自動的にデータ入出力となります。 モード 2、3 (EXPE = 0) のとき P3DDR を 1 にセットすると対応するポート 3 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P36DDR	0	W	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

### 8.4.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P37DR	0	R/W	P3DDR が 1 のときポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。P3DDR が 0 のときポート 3 のリードを行うと、端子の状態が読み出されます。
6	P36DR	0	R/W	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	



### 8.4.3 ポート 3 プルアップ MOS コントロールレジスタ (P3PCR)

P3PCR は、ポート 3 に内蔵された入力プルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	P37PCR	0	R/W	モード 2、3 (EXPE=0) では、入力ポート状態で、P3PCR を 1 にセットすると、入力プルアップ MOS はオンします。 入力プルアップ MOS は、ホストインタフェースイネーブル時には使用できません。
6	P36PCR	0	R/W	
5	P35PCR	0	R/W	
4	P34PCR	0	R/W	
3	P33PCR	0	R/W	
2	P32PCR	0	R/W	
1	P31PCR	0	R/W	
0	P30PCR	0	R/W	

### 8.4.4 端子機能

- P37/D15/HDB7/SERIRQ\*、P36/D14/HDB6/LCLK\*、P35/D13/HDB5/LRESET\*、P34/D12/HDB4/LFRAME\*、P33/D11/HDB3/LAD3\*、P32/D10/HDB2/LAD2\*、P31/D9/HDB1/LAD1\*、P30/D8/HDB0/LAD0\*

動作モードと SYSCR2 の HI12E ビット、ホストインタフェース (LPC) の HICR0 の LPC3E ~ LPC1E ビットと P3nDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)	モード 2、3 (EXPE=0)			
		すべてが 0			いずれかが 1
LPCmE	すべてが 0	すべてが 0			いずれかが 1
HI12E	0	0	1	0	0
P3nDDR	-	0	1	-	0
端子機能	D15 ~ D8 入出力端子	P37 ~ P30 入力端子	P37 ~ P30 出力端子	HDB7 ~ HDB0 入出力端子	LPC 入出力端子

【注】 上記一覧表に記載されていないビットの組み合わせは行わないでください。

m = 3 ~ 1 : LPC3E ~ LPC1E ビットの少なくとも 1 つが 1 にセットされると、LPC 入出力端子 (SERIRQ、LCLK、LRESET、LFRAME、LAD3 ~ LAD0) になります。

n = 7 ~ 0

\* H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

### 8.4.5 ポート 3 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.4 に示します。

## 8. I/O ポート

表 8.4 ポート 3 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1)	OFF		OFF	
2、3 (EXPE=0)			ON/OFF	

### 【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P3DDR = 0 かつ P3PCR = 1 のときオン状態、その他のときはオフ状態です。

## 8.5 ポート 4

ポート 4 は、8 ビットの入出力ポートです。ポート 4 は、PWMX 出力端子、TMR\_0、TMR\_1 の入出力端子、タイムコネクションの入出力端子、SCI\_2 の入出力端子、IrDA インタフェースの入出力端子、XBS 出力端子、IIC\_1 の入出力端子と兼用になっています。P42、SCK2 の出力形式は、NMOS プッシュプル出力となっています。また、SDA1 の出力形式は、NMOS オープンドレイン出力となっています。ポート 4 の端子機能は、いずれの動作モードでも共通です。ポート 4 には以下のレジスタがあります。

- ポート4データディレクションレジスタ (P4DDR)
- ポート4データレジスタ (P4DR)

### 8.5.1 ポート 4 データディレクションレジスタ (P4DDR)

P4DDR はポート 4 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説 明
7	P47DDR	0	W	P4DDR を 1 にセットすると対応するポート 4 の各端子は出力となり、0 にクリアすると入力になります。 ソフトウェアスタンバイモードでは 14 ビット PWM と SCI_2 は初期化されるため、TMR_0、TMR_1、XBS、IIC_1、P4DDR、P4DR の指定によって端子状態が決定されます。
6	P46DDR	0	W	
5	P45DDR	0	W	
4	P44DDR	0	W	
3	P43DDR	0	W	
2	P42DDR	0	W	
1	P41DDR	0	W	
0	P40DDR	0	W	

## 8.5.2 ポート 4 データレジスタ (P4DR)

P4DR は、ポート 4 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P47DR	0	R/W	P4DDR が 1 のときポート 4 のリードを行うと、P4DR の値を直接リードします。そのため端子の状態の影響を受けません。P4DDR が 0 のときポート 4 のリードを行うと、端子の状態が読み出されます。
6	P46DR	0	R/W	
5	P45DR	0	R/W	
4	P44DR	0	R/W	
3	P43DR	0	R/W	
2	P42DR	0	R/W	
1	P41DR	0	R/W	
0	P40DR	0	R/W	

## 8.5.3 端子機能

- P47/PWX1

14 ビット PWM の DACR の OEB ビットと P47DDR ビットの組み合わせにより、次のように切り替わります。

OEB	0		1
P47DDR	0	1	
端子機能	P47 入力端子	P47 出力端子	PWX1 出力端子

- P46/PWX0

14 ビット PWM の DACR の OEA ビットと P46DDR ビットの組み合わせにより、次のように切り替わります。

OEA	0		1
P46DDR	0	1	
端子機能	P46 入力端子	P46 出力端子	PWX0 出力端子

- P45/TMRI1/HIRQ12/CSYNCI

SYSCR2 の HI12E ビットと P45DDR ビットの組み合わせにより、次のように切り替わります。

P45DDR	0		1	
HI12E	0	0	0	1
端子機能	P45 入力端子	P45 出力端子	HIRQ12 出力端子	
		TMRI1 入力端子、CSYNCI 入力端子*		

【注】 \* TMR\_1 の TCR1 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットした場合は、TMRI1 入力端子として使用します。また、CSYNCI 入力端子として使用可能です。

## 8. I/O ポート

- P44/TMO1/HIRQ1/HSYNCO

SYSCR2 の HI12E ビット、TMR\_1 の TCSR の OS3 ~ OS0 ビット、タイマコネクションの TCONRO の HOE ビット、および P44DDR ビットの組み合わせにより、次のように切り替わります。

HOE	0				1
OS3 ~ OS0	すべてが 0			いずれかが 1	
P44DDR	0	1			
HI12E		0	1		
端子機能	P44 入力端子	P44 出力端子	HIRQ1 出力端子	TMO1 出力端子	HSYNCO 出力端子

- P43/TMC11/HIRQ11/HSYNCI

SYSCR2 の HI12E ビットと P43DDR ビットの組み合わせにより、次のように切り替わります。

P43DDR	0		1	
HI12E			0	1
端子機能	P43 入力端子	P43 出力端子		HIRQ11 出力端子
TMC11 入力端子、HSYNCI 入力端子*				

【注】 \* TMR\_1 の TCR1 の CKS2 ~ CKS0 ビットで外部クロックを選択した場合に、TMC11 入力端子として使用します。また、HSYNCI 入力端子として使用可能です。

- P42/TMRI0/SCK2/SDA1

IIIC\_1 の ICCR の ICE ビット、SCI\_2 の SCR の CKE1、CKE0 ビット、SMR の C/Ā ビット、および P42DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0				1	
CKE1	0			1	0	
C/Ā	0		1	0		
CKE0	0		1	0		
P42DDR	0	1				
端子機能	P42 入力端子	P42 出力端子	SCK2 出力端子	SCK2 出力端子	SCK2 入力端子	SDA1 入出力端子
TMRI0 入力端子*						

【注】 \* SDA1 入出力端子として使用する場合は、SCI\_2 の SCR の CKE1、CKE0 ビット、SMR の C/Ā ビットの各ビットを必ず 0 にクリアしてください。なお、SDA1 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。TMR\_0 の TCR0 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットした場合は、TMRI0 入力端子として使用します。また、P42 出力端子、SCK2 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

- P41/TMO0/RxD2/IrRxD

TMR\_0 の TCSR の OS3 ~ OS0 ビット、SCI\_2 の SCR の RE ビットおよび P41DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0	すべてが 0		いずれかが 1
RE	0	1	0
P41DDR	0	1	
端子機能	P41 入力端子	P41 出力端子	RxD2/IrRxD 入力端子 TMO0 出力端子

【注】 TMO0 出力端子として使用する場合は、SCI\_2 の SCR の RE ビットを必ず 0 にクリアしてください。

- P40/TMCi0/TxD2/IrTxD

SCI\_2 の SCR の TE ビットと P40DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P40DDR	0	1	
端子機能	P40 入力端子	P40 出力端子	TxD2/IrTxD 出力端子
	TMCi0 入力端子*		

【注】 \* TMR\_0 の TCR0 の CKS2 ~ CKS0 ビットで外部クロックを選択した場合に、TMCi0 入力端子として使用します。

## 8.6 ポート 5

ポート 5 は、3 ビットの入出力ポートです。ポート 5 は、SCI\_0 の入出力端子、IIC\_0 の入出力端子と兼用になっています。P52、SCK0 の出力形式は、NMOS プッシュプル出力となっています。また、SCL0 の出力形式は、NMOS オープンドレイン出力となっています。ポート 5 には以下のレジスタがあります。

- ポート 5 データディレクションレジスタ (P5DDR)
- ポート 5 データレジスタ (P5DR)

### 8.6.1 ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、ポート 5 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 1		リザーブビット 初期値を変更しないでください。
2	P52DDR	0	W	P5DDR を 1 にセットすると対応するポート 5 の各端子は出力となり、0 にクリアすると入力になります。ソフトウェアスタンバイモードでは、SCI_0 は初期化されるため、IIC_0 の ICCR、P5DDR、P5DR の指定によって端子状態が決定されます。
1	P51DDR	0	W	
0	P50DDR	0	W	

## 8. I/O ポート

### 8.6.2 ポート 5 データレジスタ (P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 1		リザーブビット 初期値を変更しないでください。
2	P52DR	0	R/W	P5DDR が 1 のときポート 5 のリードを行うと、P5DR の値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が 0 のときポート 5 のリードを行うと、端子の状態が読み出されます。
1	P51DR	0	R/W	
0	P50DR	0	R/W	

### 8.6.3 端子機能

- P52/SCK0/SCL0

SCI\_0 の SMR の C/A ビット、SCR の CKE0、CKE1 ビット、IIC\_0 の ICCR の ICE ビット、および P52DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0					1
CKE1	0				1	0
C/A	0			1		0
CKE0	0		1			0
P52DDR	0	1				
端子機能	P52 入力端子	P52 出力端子	SCK0 出力端子	SCK0 出力端子	SCK0 入力端子	SCL0 入出力端子

【注】 SCL0 入出力端子として使用する場合は、SCI\_0 の SCR の CKE1、CKE0 ビット、SMR の C/A ビットの各ビットを必ず 0 にクリアしてください。なお、SCL0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。また、P52 出力端子、SCK0 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

- P51/RxD0

SCI\_0 の SCR の RE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P51DDR	0		1
端子機能	P51 入力端子	P51 出力端子	RxD0 入力端子

- P50/TxD0

SCI\_0 の SCR の TE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P50DDR	0		1
端子機能	P50 入力端子	P50 出力端子	TxD0 出力端子

## 8.7 ポート 6

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、FRT の入出力端子、TMR\_X の入出力端子、TMR\_Y の入力端子、タイマコネクションの入出力端子、キーセンス割り込み入力端子、拡張 A/D 入力端子、割り込み入力端子と兼用になっています。また、ポート 6 の入力レベルを 4 段階に切り替えることができます。ポート 6 の端子機能はいずれの動作モードでも共通です。なお、システムコントロールレジスタ 2 (SYSCR2) については「第 18 章 ホストインタフェース X-BUS インタフェース (XBS)」を参照してください。ポート 6 には以下のレジスタがあります。

- ポート 6 データディレクションレジスタ (P6DDR)
- ポート 6 データレジスタ (P6DR)
- ポート 6 プルアップ MOS コントロールレジスタ (KMPCR)
- システムコントロールレジスタ 2 (SYSCR2)

### 8.7.1 ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、ポート 6 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P67DDR	0	W	P6DDR を 1 にセットすると対応するポート 6 の各端子は出力となり、0 にクリアすると入力になります。
6	P66DDR	0	W	
5	P65DDR	0	W	
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

### 8.7.2 ポート 6 データレジスタ (P6DR)

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P67DR	0	R/W	P6DDR が 1 のときポート 6 のリードを行うと、P6DR の値を直接リードします。そのため端子の状態の影響を受けません。P6DDR が 0 のときポート 6 のリードを行うと、端子の状態が読み出されます。
6	P66DR	0	R/W	
5	P65DR	0	R/W	
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

## 8. I/O ポート

### 8.7.3 ポート 6 プルアップ MOS コントロールレジスタ (KMPCR)

KMPCR は、ポート 6 に内蔵された入力プルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	KM7PCR	0	R/W	P6DDR を 0 にクリアした (入力ポート) 状態で、KMPCR を 1 にセットすると、入力プルアップ MOS はオンします。
6	KM6PCR	0	R/W	
5	KM5PCR	0	R/W	
4	KM4PCR	0	R/W	
3	KM3PCR	0	R/W	
2	KM2PCR	0	R/W	
1	KM1PCR	0	R/W	
0	KM0PCR	0	R/W	

### 8.7.4 端子機能

- P67/TMOX/CIN7/ $\overline{\text{KIN7}}$ /IRQ7

TMR\_X の TCSR の OS3 ~ OS0 ビットと P67DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0	すべてが 0		いずれかが 1
P67DDR	0	1	
端子機能	P67 入力端子	P67 出力端子	TMOX 出力端子
	$\overline{\text{IRQ7}}$ 入力端子、 $\overline{\text{KIN7}}$ 入力端子、CIN7 入力端子*		

【注】 \* IER の IRQ7E ビットを 1 にセットした場合、 $\overline{\text{IRQ7}}$  入力端子として使用します。また、常時  $\overline{\text{KIN7}}$ 、CIN7 入力端子として使用可能です。

- P66/FTOB/CIN6/ $\overline{\text{KIN6}}$ /IRQ6

FRT の TOCR の OEB ビットと P66DDR ビットの組み合わせにより、次のように切り替わります。

OEB	0		1
P66DDR	0	1	
端子機能	P66 入力端子	P66 出力端子	FTOB 出力端子
	$\overline{\text{IRQ6}}$ 入力端子、 $\overline{\text{KIN6}}$ 入力端子、CIN6 入力端子*		

【注】 \* KMIMR の KMIMR6 ビットが 0 の状態で IER の IRQ6E ビットを 1 にセットした場合、 $\overline{\text{IRQ6}}$  入力端子として使用します。また、常時  $\overline{\text{KIN6}}$ 、CIN6 入力端子として使用可能です。



- P65/FTID/CIN5/ $\overline{KIN5}$

P65DDR	0	1
端子機能	P65 入力端子	P65 出力端子
	FTID 入力端子、 $\overline{KIN5}$ 入力端子、CIN5 入力端子*	

【注】 \* 常時 FTID、 $\overline{KIN5}$ 、CIN5 入力端子として使用可能です。

- P64/FTIC/CIN4/ $\overline{KIN4}$ /CLAMPO

タイマコネクションの TCONRO の CLOE ビットと P64DDR ビットの組み合わせにより、次のように切り替わります。

CLOE	0		1
P64DDR	0	1	
端子機能	P64 入力端子	P64 出力端子	CLAMPO 出力端子
	FTIC 入力端子、 $\overline{KIN4}$ 入力端子、CIN4 入力端子*		

【注】 \* 常時 FTIC、 $\overline{KIN4}$ 、CIN4 入力端子として使用可能です。

- P63/FTIB/CIN3/ $\overline{KIN3}$ /VFBACKI

P63DDR	0	1
端子機能	P63 入力端子	P63 出力端子
	FTIB 入力端子、VFBACKI 入力端子、 $\overline{KIN3}$ 入力端子、CIN3 入力端子*	

【注】 \* 常時 FTIB、 $\overline{KIN3}$ 、CIN3、VFBACKI 入力端子として使用可能です。

- P62/FTIA/CIN2/ $\overline{KIN2}$ /VSYNCI/TMIY

P62DDR	0	1
端子機能	P62 入力端子	P62 出力端子
	FTIA 入力端子、VSYNCI 入力端子、TMIY 入力端子、 $\overline{KIN2}$ 入力端子、CIN2 入力端子*	

【注】 \* 常時 FTIA、TMIY、 $\overline{KIN2}$ 、CIN2、VSYNCI 入力端子として使用可能です。

## 8. I/O ポート

- P61/FTOA/CIN1/ $\overline{\text{KIN1}}$ /VSYNCO

FRT の TOCR の OEA ビット、タイムコネクションの TCONRO の VOE ビット、および P61DDR ビットの組み合わせにより、次のように切り替わります。

VOE	0		1	
OEA	0		1	
P61DDR	0	1		
端子機能	P61 入力端子	P61 出力端子	FTOA 入力端子	VSYNCO 出力端子
	$\overline{\text{KIN1}}$ 入力端子、CIN1 入力端子*			

【注】 VSYNCO 端子として使用する場合は、FRT の TOCR の OEA ビットを必ず 0 にクリアしてください。常時  $\overline{\text{KIN1}}$ 、CIN1 入力端子として使用可能です。

- P60/FTCI/CIN0/ $\overline{\text{KIN0}}$ /HFBACKI/TMIX

P60DDR	0		1	
端子機能	P60 入力端子		P60 出力端子	
	FTCI 入力端子、HFBACKI 入力端子、TMIX 入力端子、 $\overline{\text{KIN0}}$ 入力端子、CIN0 入力端子*			

【注】 \* FRT の TCR の CKS1、CKS0 ビットで外部クロックを選択した場合に、FTCI 入力端子として使用します。常時 TMIX、 $\overline{\text{KIN0}}$ 、CIN0、HFBACKI 入力端子として使用可能です。

### 8.7.5 ポート 6 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

P6PUE ビットによりプルアップ MOS 電流仕様を変更することができます。なお、内蔵周辺機能の出力端子に設定した場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS の状態を表 8.5 に示します。

表 8.5 ポート 6 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3		OFF		ON/OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で P6DDR = 0 かつ KMPCR = 1 のときオン状態、その他のときはオフ状態です。

## 8.8 ポート 7

ポート 7 は、8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子との兼用になっています。ポート 7 の端子機能はいずれの動作モードでも共通です。ポート 7 には以下のレジスタがあります。

- ポート 7 入力データレジスタ (P7PIN)

### 8.8.1 ポート 7 入力データレジスタ (P7PIN)

P7PIN は、ポート 7 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	P77PIN	不定*	R	P7PIN のリードを行うと、常に端子の状態が読み出されます。P7PIN は PBDDR と同じアドレスであり、ライトを行うと PBDDR にデータが書き込まれ、ポート B の設定が変わります。
6	P76PIN	不定*	R	
5	P75PIN	不定*	R	
4	P74PIN	不定*	R	
3	P73PIN	不定*	R	
2	P72PIN	不定*	R	
1	P71PIN	不定*	R	
0	P70PIN	不定*	R	

【注】 \* P77 ~ P70 端子の状態により決定されます。

### 8.8.2 端子機能

- P77/AN7/DA1

D/A 変換器の DACR の DAE ビットと DAOE1 ビットの組み合わせにより、次のように切り替わります。

DAOE1	0		1
DAE	0	1	
端子機能	P77 入力端子	DA1 出力端子	DA1 出力端子
	AN7 入力端子*		

【注】 \* 常時 AN7 入力端子として使用可能です。

## 8. I/O ポート

- P76/AN6/DA0

D/A 変換器の DACR の DAE ビットと DAOE0 ビットの組み合わせにより、次のように切り替わります。

DAOE0	0		1
DAE	0	1	
端子機能	P76 入力端子	DA0 出力端子	DA0 出力端子
	AN6 入力端子*		

【注】 \* 常時 AN6 入力端子として使用可能です。

- P75/AN5、P74/AN4、P73/AN3、P72/AN2、P71/AN1、P70/AN0

端子機能	P75 ~ P70 入力端子
	AN5 ~ AN0 入力端子*

【注】 \* 常時 AN5 ~ AN0 入力端子として使用可能です。

## 8.9 ポート 8

ポート 8 は、8 ビットの入出力ポートです。ポート 8 は、SCL<sub>1</sub> の入出力端子、IIC<sub>1</sub> の入出力端子、XBS 入出力端子、LPC 入出力端子、割り込み入力端子と兼用になっています。P86、SCK1 の出力形式は、NMOS プッシュプル出力となります。また、SCL<sub>1</sub> の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。ポート 8 の端子機能は、ホストインタフェース機能を除き、いずれの動作モードでも共通です。ポート 8 には以下のレジスタがあります。

- ポート 8 データディレクションレジスタ (P8DDR)
- ポート 8 データレジスタ (P8DR)

### 8.9.1 ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、ポート 8 の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット 初期値を変更しないでください。
6	P86DDR	0	W	P8DDR は PBPIN と同じアドレスであり、リードするとポート B の状態が読み出されます。 P8DDR を 1 にセットすると対応するポート 8 の各端子は出力となり、0 にクリアすると入力になります。
5	P85DDR	0	W	
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

## 8.9.2 ポート 8 データレジスタ (P8DR)

P8DR は、ポート 8 の各端子 (P86 ~ P80) の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7		1		リザーブビット 初期値を変更しないでください。
6	P86DR	0	R/W	P8DDR が 1 のときポート 8 のリードを行うと、P8DR の値を直接リードします。そのため端子の状態の影響を受けません。P8DDR が 0 のときポート 8 のリードを行うと、端子の状態が読み出されます。
5	P85DR	0	R/W	
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

## 8.9.3 端子機能

- P86/ $\overline{\text{IRQ5}}$ /SCK1/SCL1

SCL1 の SMR の  $\overline{\text{C/A}}$  ビット、SCR の CKE0、CKE1 ビット、IIC\_1 の ICCR の ICE ビット、および P86DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0					1
CKE1	0				1	0
$\overline{\text{C/A}}$	0			1		0
CKE0	0		1			0
P86DDR	0	1				
端子機能	P86 入力端子	P86 出力端子	SCK1 出力端子	SCK1 出力端子	SCK1 入力端子	SCL1 入出力端子
	IRQ5 入力端子*					

【注】 \* IER の IRQ5E ビットを 1 にセットした場合、 $\overline{\text{IRQ5}}$  入力端子として使用します。SCL1 入出力端子として使用する場合は、SCL1 の SCR の CKE1、CKE0 ビット、SMR の  $\overline{\text{C/A}}$  ビットの各ビットを必ず 0 にクリアしてください。SCL1 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。P86 出力端子、SCK1 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

- P85/ $\overline{\text{IRQ4}}$ /RxD1

SCL1 の SCR の RE ビットと P85DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P85DDR	0	1	
端子機能	P85 入力端子	P85 出力端子	RxD1 入力端子
	IRQ4 入力端子*		

【注】 \* IER の IRQ4E ビットを 1 にセットした場合、 $\overline{\text{IRQ4}}$  入力端子として使用します。

## 8. I/O ポート

- P84/ $\overline{\text{IRQ3}}$ /TxD1

SCI\_1 の SCR の TE ビットと P84DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P84DDR	0	1	
端子機能	P84 入力端子	P84 出力端子	TxD1 出力端子
	IRQ3 入力端子*		

【注】 \* IER の IRQ3E ビットを 1 にセットした場合、 $\overline{\text{IRQ3}}$  入力端子として使用します。

- P83/ $\overline{\text{LPCPD}}$ \*<sup>2</sup>

P83DDR ビットにより、次のように切り替わります。

P83DDR	0	1
端子機能	P83 入力端子	P83 出力端子
	$\overline{\text{LPCPD}}$ 入力端子* <sup>1*2</sup>	

【注】 \*1 HICR0 の LPC3E ~ LPC1E ビットの少なくともひとつを 1 にセットした場合、 $\overline{\text{LPCPD}}$  入力端子として使用します。  
 $\overline{\text{LPCPD}}$  入力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。

\*2 H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

- P82/HIFSD/ $\overline{\text{CLKRUN}}$ \*<sup>2</sup>

SYSCR2 の HI12E ビットおよび SDE ビット、HICR0 の LPC3E ~ LPC1E ビット、および P82DDR ビットの組み合わせにより、次のように切り替わります。

LPC3E ~ LPC1E	すべてが 0				いずれかが 1	
HI12E	0		1		0* <sup>1</sup>	
SDE			0	1		
P82DDR	0	1	0	1	0* <sup>1</sup>	
端子機能	P82 入力端子	P82 出力端子	P82 入力端子	P82 出力端子	HIFSD 入力端子	$\overline{\text{CLKRUN}}$ * <sup>2</sup> 入出力端子

【注】 HIFSD 入力端子および  $\overline{\text{CLKRUN}}$  入出力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。

\*1 LPC3E ~ LPC1E ビットの少なくともひとつを 1 とする場合は、HI12E ビットと P82DDR ビットは 0 にクリアしてください。

\*2 H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

- P81/ $\overline{CS2}$ /GA20

SYSCR2 の HI12E ビット、SYSCR の CS2E ビット、HICR の FGA20E ビット、HICR0 の FGA20E ビット、および P81DDR ビットの組み合わせにより、次のように切り替わります。

FGA20E (LPC)	0							1
HI12E	0			1				0* <sup>1</sup>
FGA20E (XBS)	0				1			
CS2E	0			1				
P81DDR	0	1	0	1		0	1	0* <sup>1</sup>
端子機能	P81 入力端子	P81 出力端子	P81 入力端子	P81 出力端子	$\overline{CS2}$ 入力端子* <sup>2</sup>	P81 入力端子	GA20 出力端子	GA20 出力端子
	GA20 入力端子* <sup>2</sup>							

【注】 \*1 HICR0 の FGA20E ビットを 1 とする場合は、HI12E ビットと P81DDR ビットを 0 にクリアしてください。

\*2 GA20 出力端子、 $\overline{CS2}$  入力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。

- P80/HA0/ $\overline{PME}$ \*<sup>3</sup>

SYSCR2 の HI12E ビット、HICR0 の PMEE ビット、および P80DDR ビットの組み合わせにより、次のように切り替わります。

PMEE	0			1
HI12E	0		1	0* <sup>1</sup>
P80DDR	0	1		0* <sup>1</sup>
端子機能	P80 入力端子		P80 出力端子	HA0 入力端子* <sup>2</sup>
	PME 出力端子			
PME 入力端子* <sup>2</sup> * <sup>3</sup>				

【注】 \*1 HICR0 の PMEE ビットを 1 とする場合は、HI12E ビットと P80DDR ビットを 0 にクリアしてください。

\*2 HA0 入力端子、 $\overline{PME}$  入出力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。

\*3 H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

## 8.10 ポート 9

ポート 9 は、8 ビットの入出力ポートです。ポート 9 は、割り込み入力端子、A/D 変換器の入力端子、XBS 入力端子、IIC\_0 の入出力端子、サブクロック入力端子、バス制御入出力端子およびシステムクロック ( $\phi$ ) 出力端子と兼用になっています。P97 の出力形式は、NMOS プッシュプル出力となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。ポート 9 には以下のレジスタがあります。

- ポート 9 データディレクションレジスタ (P9DDR)
- ポート 9 データレジスタ (P9DR)

## 8. I/O ポート

### 8.10.1 ポート9 データディレクションレジスタ (P9DDR)

P9DDR は、ポート9の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P97DDR	0	W	<p>P9DDR は、モード1の場合 H'40 に、モード2、3の場合 H'00 に初期化されます。</p> <p>モード1、2、3 (EXPE=1) のとき</p> <p>P97 端子は、ウェイトモードの設定によりバス制御入力 (<math>\overline{\text{WAIT}}</math>)、IIC_0 の入出力端子 (SDA0) または入出力ポートになります。入出力ポートの場合、P97DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。P96 端子は、P96DDR を 1 にセットすると<math>\phi</math>出力端子、0 にクリアするとサブクロック入力 (EXCL) または入力ポートになります。P95 ~ P93 端子は、P95DDR ~ P93DDR による入出力の方向は無視され、自動的にバス制御出力 (<math>\overline{\text{AS}}/\text{IOS}</math>、HWR、RD) となります。P92 ~ P91 端子は、P92DDR ~ P91DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。</p> <p>P90 端子は、WSCR の ABW ビットを 0 にクリアすると、P90DDR による入出力の方向は無視され、バス制御出力 (<math>\overline{\text{LWR}}</math>) となります。ABW ビットを 1 にセットした状態では、P90DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。</p> <p>モード2、3 (EXPE=0) のとき</p> <p>P9DDR を 1 にセットすると P96 端子は<math>\phi</math>出力端子、P97、P95 ~ P90 端子は出力ポートとなります。P9DDR を 0 にクリアすると各端子は入力ポートになります。</p>
6	P96DDR	1/0*	W	
5	P95DDR	0	W	
4	P94DDR	0	W	
3	P93DDR	0	W	
2	P92DDR	0	W	
1	P91DDR	0	W	
0	P90DDR	0	W	

【注】 \* P96DDR の初期値はモード1の場合 1 に、モード2、3の場合 0 になります。

### 8.10.2 ポート9 データレジスタ (P9DR)

P9DR は、ポート9の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P97DR	0	R/W	<p>P96 以外では、P9DDR が 1 のときポート9のリードを行うと、P9DR の値を直接リードします。そのため端子の状態の影響を受けません。P9DDR が 0 のときポート9のリードを行うと、端子の状態が読み出されます。</p> <p>P96 では、常に端子の状態が読み出されます。</p>
6	P96DR	不定*	R	
5	P95DR	0	R/W	
4	P94DR	0	R/W	
3	P93DR	0	R/W	
2	P92DR	0	R/W	
1	P91DR	0	R/W	
0	P90DR	0	R/W	

【注】 \* P96 端子の状態により決定されます。



## 8.10.3 端子機能

- P97/ $\overline{\text{WAIT}}$ /SDA0

動作モード、WSCRのWMS1ビット、IIC\_0のICCRのICEビット、およびP97DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE = 1)				モード 2、3 (EXPE = 0)		
WMS1	0			1			
ICE	0		1		0		1
P97DDR	0	1			0	1	
端子機能	P97 入力端子	P97 出力端子	SDA0 入出力端子	$\overline{\text{WAIT}}$ 入力端子	P97 入力端子	P97 出力端子	SDA0 入出力端子

【注】 P97 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

- P96/ $\phi$ /EXCL

LPWRCRのEXCLEビットとP96DDRビットの組み合わせにより、次のように切り替わります。

P96DDR	0		1
EXCLE	0		1
端子機能	P96 入力端子		EXCL 入力端子
			$\phi$ 出力端子

【注】 EXCL 入力端子として使用する場合は、P96DDRを0にクリアしてください。

- P95/ $\overline{\text{AS}}$ / $\overline{\text{IOS}}$ / $\overline{\text{CS1}}$

動作モード、SYSCRのIOSEビット、SYSCR2のHI12Eビット、およびP95DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE = 1)			モード 2、3 (EXPE = 0)		
HI12E				0		1
P95DDR				0	1	
IOSE	0	1				
端子機能	$\overline{\text{AS}}$ 出力端子	$\overline{\text{IOS}}$ 出力端子		P95 入力端子	P95 出力端子	$\overline{\text{CS1}}$ 入力端子

- P94/HWR/ $\overline{\text{IOW}}$

動作モード、SYSCR2のHI12Eビット、およびP94DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE = 1)	モード 2、3 (EXPE = 0)		
HI12E		0		1
P94DDR		0	1	
端子機能	HWR 出力端子	P94 入力端子	P94 出力端子	$\overline{\text{IOW}}$ 入力端子

## 8. I/O ポート

### • P93/ $\overline{RD}$ / $\overline{IOR}$

動作モード、SYSCR2のHI12Eビット、およびP93DDRビットの組み合わせにより、次のように切り替わりません。

動作モード	モード 1、2、3 (EXPE=1)	モード 2、3 (EXPE=0)		
HI12E		0		1
P93DDR		0	1	
端子機能	$\overline{RD}$ 出力端子	P93 入力端子	P93 出力端子	$\overline{IOR}$ 入力端子

### • P92/ $\overline{IRQ0}$

P92DDR	0	1
端子機能	P92 入力端子	P92 出力端子
	$\overline{IRQ0}$ 入力端子*	

【注】 \* IERのIRQ0Eビットを1にセットした場合、 $\overline{IRQ0}$ 入力端子として使用します。

### • P91/ $\overline{IRQ1}$

P91DDR	0	1
端子機能	P91 入力端子	P91 出力端子
	$\overline{IRQ1}$ 入力端子*	

【注】 \* IERのIRQ1Eビットを1にセットした場合、 $\overline{IRQ1}$ 入力端子として使用します。

### • P90/ $\overline{LWR}$ / $\overline{IRQ2}$ / $\overline{ADTRG}$ / $\overline{ECS2}$

動作モード、WSCRのABWビット、SYSCR2のHI12Eビット、CS2Eビット、HICRのFGA20Eビット、およびP90DDRビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE=1)			モード 2、3 (EXPE=0)		
ABW	0	1				
HI12E				いずれかが 0		1
FGA20E						1
CS2E						1
P90DDR		0	1	0	1	
端子機能	$\overline{LWR}$ 出力端子	P90 入力端子	P90 出力端子	P90 入力端子	P90 出力端子	$\overline{ECS2}$ 入力端子
		$\overline{IRQ2}$ 入力端子、 $\overline{ADTRG}$ 入力端子*				

【注】 \* モード 1、2、3 (EXPE=1) でかつ WSCRのABWビットを1にセットしたとき、およびモード 2、3 (EXPE=0) のときに、IERのIRQ2Eビットを1にセットした場合、 $\overline{IRQ2}$ 入力端子として使用します。A/D変換器のADCRのTRGS1、TRGS0ビットをいずれも1にセットした場合、 $\overline{ADTRG}$ 入力端子として使用します。

## 8.11 ポート A

ポート A は、8 ビットの入出力ポートです。ポート A は、キーボードバッファコントローラ入出力端子、キーセンス割り込み入力端子、拡張 A/D 入力端子、アドレス出力端子と兼用になっています。ポート A の端子機能は動作モードによって切り替わります。ポート A の入出力は、V<sub>cc</sub> 電源から独立した V<sub>ccB</sub> 電源によって動作します。ポート A の端子は、V<sub>ccB</sub> の電圧が 5V であれば、5V まで入力可能です。ポート A には以下のレジスタがあります。PADDR と PAPIN は、同一のアドレスにアサインされています。

- ポートAデータディレクションレジスタ (PADDR)
- ポートA出力データレジスタ (PAODR)
- ポートA入力データレジスタ (PAPIN)

### 8.11.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説 明
7	PA7DDR	0	W	モード 1、モード 2 (EXPE=0)、モード 3 のとき PADDR を 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。 モード 2 (EXPE=1) のとき PADDR を 1 にセットすると対応するポート A の各端子はアドレス出力となり、0 にクリアすると入力ポートになります。なお IOSE ビット=1 にすることによりアドレス入出力から出力ポートに切り替わります。 動作モードによらず KBIOE ビット=1 にすることにより PA7~PA2 端子は PA7DDR~PA2DDR による入出力の方向は無視され、キーボードバッファコントローラ入出力端子となります。 PADDR は PAPIN と同じアドレスであり、リードするとポート A の状態が読み出されます。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

### 8.11.2 ポート A 出力データレジスタ (PAODR)

PAODR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PA7ODR	0	R/W	PADDR の内容とかわりなく、常に PAODR のリード/ライトが可能です。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

## 8. I/O ポート

### 8.11.3 ポート A 入力データレジスタ (PAPIN)

PAPIN はポート A の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PA7PIN	不定*	R	PAPIN のリードを行うと、常に端子の状態が読み出されます。 PAPIN は PADDR と同じアドレスであり、ライトを行うとポート A の設定が変わります。
6	PA6PIN	不定*	R	
5	PA5PIN	不定*	R	
4	PA4PIN	不定*	R	
3	PA3PIN	不定*	R	
2	PA2PIN	不定*	R	
1	PA1PIN	不定*	R	
0	PA0PIN	不定*	R	

【注】 \* PA7 - PA0 端子の状態により決定されます。

### 8.11.4 端子機能

- PA7/A23/KIN15/CIN15/PS2CD

動作モードとキーボードバッファコントローラの KBCRH\_2 の KBIOE ビット、SYSCR の IOSE ビット、および PA7DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3			モード 2 (EXPE=1)			
	0		1	0		1	
KBIOE	0		1	0		1	
PA7DDR	0	1		0	1		
IOSE					0	1	
端子機能	PA7 入力端子	PA7 出力端子	PS2CD 出力端子	PA7 入力端子	A23 出力端子	PA7 出力端子	PS2CD 出力端子
	KIN15 入力端子、CIN15 入力端子、PS2CD 入力端子*						

【注】 \* KBIOE ビットを 1 にセットするか、または STCR の IICS ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。常時 PS2CD、KIN15、CIN15 入力端子として使用可能です。

- PA6/A22/ $\overline{\text{KIN14}}$ /CIN14/PS2CC

動作モードとキーボードバッファコントローラの KBCRH\_2 の KBIOE ビット、SYSCR の IOSE ビット、および PA6DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE = 0)、3			モード 2 (EXPE = 1)			
KBIOE	0		1	0			1
PA6DDR	0	1		0	1		
IOSE					0	1	
端子機能	PA6 入力端子	PA6 出力端子	PS2CC 出力端子	PA6 入力端子	A22 出力端子	PA6 出力端子	PS2CC 出力端子
	KIN14 入力端子、CIN14 入力端子、PS2CC 入力端子*						

【注】 \* KBIOE ビットを 1 にセットするか、または STCR の IICS ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。常時 PS2CC、 $\overline{\text{KIN14}}$ 、CIN14 入力端子として使用可能です。

- PA5/A21/ $\overline{\text{KIN13}}$ /CIN13/PS2BD

動作モードとキーボードバッファコントローラの KBCRH\_1 の KBIOE ビット、SYSCR の IOSE ビット、および PA5DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE = 0)、3			モード 2 (EXPE = 1)			
KBIOE	0		1	0			1
PA5DDR	0	1		0	1		
IOSE					0	1	
端子機能	PA5 入力端子	PA5 出力端子	PS2BD 出力端子	PA5 入力端子	A21 出力端子	PA5 出力端子	PS2BD 出力端子
	KIN13 入力端子、CIN13 入力端子、PS2BD 入力端子*						

【注】 \* KBIOE ビットを 1 にセットするか、または STCR の IICS ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。常時 PS2BD、 $\overline{\text{KIN13}}$ 、CIN13 入力端子として使用可能です。

- PA4/A20/ $\overline{\text{KIN12}}$ /CIN12/PS2BC

動作モードとキーボードバッファコントローラの KBCRH\_1 の KBIOE ビット、SYSCR の IOSE ビット、および PA4DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE = 0)、3			モード 2 (EXPE = 1)			
KBIOE	0		1	0			1
PA4DDR	0	1		0	1		
IOSE					0	1	
端子機能	PA4 入力端子	PA4 出力端子	PS2BC 出力端子	PA4 入力端子	A20 出力端子	PA4 出力端子	PS2BC 出力端子
	KIN12 入力端子、CIN12 入力端子、PS2BC 入力端子*						

【注】 \* KBIOE ビットを 1 にセットするか、または STCR の IICS ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。常時 PS2BC、 $\overline{\text{KIN12}}$ 、CIN12 入力端子として使用可能です。

## 8. I/O ポート

### • PA3/A19/ $\overline{\text{KIN11}}$ /CIN11/PS2AD

動作モードとキーボードバッファコントローラの KBCRH\_0 の KBIOE ビット、SYSCR の IOSE ビット、および PA3DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3			モード 2 (EXPE=1)			
KBIOE	0		1	0			1
PA3DDR	0	1		0	1		
IOSE					0	1	
端子機能	PA3 入力端子	PA3 出力端子	PS2AD 出力端子	PA3 入力端子	A19 出力端子	PA3 出力端子	PS2AD 出力端子
	$\overline{\text{KIN11}}$ 入力端子、CIN11 入力端子、PS2AD 入力端子*						

【注】 \* KBIOE ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。常時 PS2AD、 $\overline{\text{KIN11}}$ 、CIN11 入力端子として使用可能です。

### • PA2/A18/ $\overline{\text{KIN10}}$ /CIN10/PS2AC

動作モードとキーボードバッファコントローラの KBCRH\_0 の KBIOE ビット、SYSCR の IOSE ビット、および PA2DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3			モード 2 (EXPE=1)			
KBIOE	0		1	0			1
PA2DDR	0	1		0	1		
IOSE					0	1	
端子機能	PA2 入力端子	PA2 出力端子	PS2AC 出力端子	PA2 入力端子	A18 出力端子	PA2 出力端子	PS2AC 出力端子
	$\overline{\text{KIN10}}$ 入力端子、CIN10 入力端子、PS2AC 入力端子*						

【注】 \* KBIOE ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。常時 PS2AC、 $\overline{\text{KIN10}}$ 、CIN10 入力端子として使用可能です。

### • PA1/A17/ $\overline{\text{KIN9}}$ /CIN9

動作モードと SYSCR の IOSE ビットおよび PA1DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE=0)、3		モード 2 (EXPE=1)		
PA1DDR	0	1	0	1	
IOSE				0	1
端子機能	PA1 入力端子	PA1 出力端子	PA1 入力端子	A17 出力端子	PA1 出力端子
	$\overline{\text{KIN9}}$ 入力端子、CIN9 入力端子*				

【注】 \* 常時  $\overline{\text{KIN9}}$ 、CIN9 入力端子として使用可能です。

- PA0/A16/ $\overline{\text{KIN8}}$ /CIN8

動作モードと SYSCR の IOSE ビットおよび PA0DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2 (EXPE = 0)、3		モード 2 (EXPE = 1)		
PA0DDR	0	1	0	1	
IOSE				0	1
端子機能	PA0 入力端子	PA0 出力端子	PA0 入力端子	A16 出力端子	PA0 出力端子
	$\overline{\text{KIN8}}$ 入力端子、CIN8 入力端子*				

【注】 \* 常時  $\overline{\text{KIN8}}$ 、CIN8 入力端子として使用可能です。

### 8.11.5 ポート A 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

PA7~PA4 は IICS = 1 にセットした状態では、入力プルアップ MOS は常にオフとなります。PA7~PA2 が、キーボードバッファコントローラ用端子として選択されている場合は、入力プルアップ MOS は常にオフとなります。入力プルアップ MOS の状態を表 8.6 に示します。

表 8.6 ポート A 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1~3		OFF	ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で PADDR = 0 かつ PAODR = 1 のときオン状態、その他のときはオフ状態です。

## 8.12 ポート B

ポート B は、8 ビットの入出力ポートです。ポート B は、XBS 入出力端子、LPC 入出力端子、ウェイクアップイベント割り込み入力端子とデータバス入出力端子と兼用になっています。ポート B の端子機能は動作モードによって端子機能が切り替わります。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B 出力データレジスタ (PBODR)
- ポート B 入力データレジスタ (PBPIN)

### 8.12.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR は、ポート B の各端子の入出力をビットごとに指定します。

## 8. I/O ポート

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	PBDDR は P7PIN と同じアドレスであり、リードするとポート 7 の端子状態が読み出されます。 モード 1、2、3 (EXPE=1) のとき WSCR の ABW ビットを 0 にクリアすると、PBDDR による入出力の方向は無視され、自動的にデータ入出力 (D7~D0) となります。ABW ビットを 1 にセットした状態では、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

### 8.12.2 ポート B 出力データレジスタ (PBODR)

PBODR は、ポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7ODR	0	R/W	PBDDR の内容とかわりなく、常に PBODR のリード/ライトが可能です。
6	PB6ODR	0	R/W	
5	PB5ODR	0	R/W	
4	PB4ODR	0	R/W	
3	PB3ODR	0	R/W	
2	PB2ODR	0	R/W	
1	PB1ODR	0	R/W	
0	PB0ODR	0	R/W	

### 8.12.3 ポート B 入力データレジスタ (PBPIN)

PBPIN はポート B の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説明
7	PB7PIN	不定*	R	PBPIN のリードを行うと、常に端子の状態が読み出されます。PBPIN は P8DDR と同じアドレスであり、ライトを行うと P8DDR にデータが書き込まれポート 8 の設定が変わります。
6	PB6PIN	不定*	R	
5	PB5PIN	不定*	R	
4	PB4PIN	不定*	R	
3	PB3PIN	不定*	R	
2	PB2PIN	不定*	R	
1	PB1PIN	不定*	R	
0	PB0PIN	不定*	R	

【注】 \* PB7～PB0 端子の状態により決定されます。



## 8.12.4 端子機能

- PB7/D7/ $\overline{WUE7}^{*2}$ 、PB6/D6/ $\overline{WUE6}^{*2}$ 、PB5/D5/ $\overline{WUE5}^{*2}$ 、PB4/D4/ $\overline{WUE4}^{*2}$

動作モードと PBnDDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、モード 2、3 (EXPE = 1)			モード 2、3 (EXPE = 0)	
ABW	0			1	
PBnDDR	0		1	0	1
端子機能	Dn 入出力端子	PBn 入力端子	PBn 出力端子	PBn 入力端子	PBn 出力端子
		$\overline{WUE}n$ 入力端子 <sup>*1</sup>			

【注】 \*1 データバスとして使用する場合以外、常時  $\overline{WUE}n$  入力端子として使用可能です。(n = 7 ~ 4)

\*2 H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

- PB3/D3/ $\overline{WUE3}^{*2}/\overline{CS4}$

動作モードと SYSCR2 の HI12E ビット、CS4E ビット、WSCR の ABW ビット、および PB3DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、モード 2、3 (EXPE = 1)			モード 2、3 (EXPE = 0)		
HI12E				いずれかが 0		1
CS4E						1
ABW	0			1		
PB3DDR	0		1	0	1	
端子機能	D3 入出力端子	PB3 入力端子	PB3 出力端子	PB3 入力端子	PB3 出力端子	$\overline{CS4}$ 入力端子
		$\overline{WUE3}$ 入力端子 <sup>*1</sup>				

【注】 \*1 データバスとして使用する場合以外、常時  $\overline{WUE3}$  入力端子として使用可能です。 $\overline{CS4}$  入力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。

\*2 H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

- PB2/D2/ $\overline{WUE2}^{*2}/\overline{CS3}$

動作モードと SYSCR2 の HI12E ビット、CS3E ビット、WSCR の ABW ビット、および PB2DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、モード 2、3 (EXPE = 1)			モード 2、3 (EXPE = 0)		
HI12E				いずれかが 0		1
CS3E						1
ABW	0			1		
PB2DDR	0		1	0	1	
端子機能	D2 入出力端子	PB2 入力端子	PB2 出力端子	PB2 入力端子	PB2 出力端子	$\overline{CS3}$ 入力端子
		$\overline{WUE2}$ 入力端子 <sup>*1</sup>				

【注】 \*1 データバスとして使用する場合以外、常時  $\overline{WUE2}$  入力端子として使用可能です。 $\overline{CS3}$  入力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。

\*2 H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

## 8. I/O ポート

### • PB1/D1/ $\overline{WUE1}$ /HIRQ4/LSCI\*<sup>4</sup>

動作モードと SYSCR2 の HI12E ビット、CS4E ビット、ホストインタフェース (LPC) の HICR0 の LSCIE ビット、WSCR の ABW ビット、および PB1DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE = 1)			モード 2、3 (EXPE = 0)			
LSCIE	0* <sup>3</sup>			0		1	
HI12E				いずれかが 0		1	0* <sup>1</sup>
CS4E						1	
ABW	0	1					
PB1DDR		0	1	0	1	0* <sup>1</sup>	
端子機能	D1 入出力端子	PB1 入力端子	PB1 出力端子	PB1 入力端子	PB1 出力端子	HIRQ4 出力端子	LSCI* <sup>4</sup> 出力端子
				LSCI 入力端子* <sup>2</sup>			
		$\overline{WUE1}$ 入力端子* <sup>2*4</sup>					

【注】 \*1 HICR0 の LSCIE ビットを 1 とする場合は、HI12E ビットと PB1DDR ビットを 0 にクリアしてください。

\*2 データバスとして使用する場合以外、通常  $\overline{WUE1}$  入力として使用可能です。HIRQ4 出力端子および LSCI 入力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。

\*3 モード 1、2、3 (EXPE=1) のときは、LSCIE ビットを 0 にクリアしてください。

\*4 H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

### • PB0/D0/ $\overline{WUE0}$ /HIRQ3/ $\overline{LSMI}$ \*<sup>4</sup>

動作モードと SYSCR2 の HI12E ビット、CS3E ビット、ホストインタフェース (LPC) の HICR0 の LSMIE ビット、WSCR の ABW ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	モード 1、2、3 (EXPE = 1)			モード 2、3 (EXPE = 0)			
LSMIE	0* <sup>3</sup>			0		1	
HI12E				いずれかが 0		1	0* <sup>1</sup>
CS3E						1	
ABW	0	1					
PB0DDR		0	1	0	1	0* <sup>1</sup>	
端子機能	D0 入出力端子	PB1 入力端子	PB0 出力端子	PB0 入力端子	PB0 出力端子	HIRQ3 出力端子	$\overline{LSMI}$ * <sup>4</sup> 出力端子
				$\overline{LSMI}$ 入力端子* <sup>2</sup>			
		$\overline{WUE0}$ 入力端子* <sup>2</sup>					

【注】 \*1 HICR0 の LSMIE ビットを 1 とする場合は、HI12E ビットと PB0DDR ビットを 0 にクリアしてください。

\*2 データバスとして使用する場合以外、常時  $\overline{WUE0}$  入力端子として使用可能です。HIRQ3 出力端子および  $\overline{LSMI}$  入出力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。

\*3 モード 1、2、3 (EXPE=1) のときは、LSMIE ビットを 0 にクリアしてください。

\*4 H8S/2148B、H8S/2145B (5V 版) では、サポートしていません。

### 8.12.5 ポート B 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン/オフを指定できます。

内蔵周辺機能の出力端子に設定した場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS の状態を表 8.7 に示します。

表 8.7 ポート B 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1) かつ WSCR の ABW=0 のとき	OFF		OFF	
1、2、3 (EXPE=1) かつ WSCR の ABW=1 のとき、または 2、3 (EXPE=0) のとき			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : 端子が入力状態で PBDDR = 0 かつ PBODR = 1 のときオン状態、その他のときはオフ状態です。

### 8.13 H8S/2160B、H8S/2161B の追加概要

H8S/2160B、H8S/2161B には、15 本の入出力ポート (ポート 1~6、8、9、A~G) と 1 本の入力専用ポート (ポート 7) があります。

追加ポート機能一覧を表 8.8 に示します。ポート 1~9、A、B の機能は H8S/2140B、H8S/2141B、H8S/2148B、H8S/2145B、と同様ですので、表 8.1 に示してあります。

各追加ポートは、入出力を制御するデータディレクションレジスタ (DDR) と、出力データを格納するデータレジスタ (ODR) から構成されています。

ポート C~F には、入力プルアップ MOS が内蔵されており、DDR と ODR で入力プルアップ MOS のオン/オフを制御します。

ポート C~G は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

ポート G の出力形式は、NMOS プッシュプル出力となります。ポート G の端子は、5V まで入力可能です。

ポート G を出力端子として使用するときは、出力 High レベル電圧を引き上げるためのプルアップ抵抗を端子に接続してください。

## 8. I/O ポート

表 8.8 H8S/2160B、H8S/2161B 追加ポート機能

ポート	概要	モード 1	モード 2、3		入出力形態他
			(EXPE = 1)	(EXPE = 0)	
ポート C	8 ビット 入出力ポート	PC7 PC6 PC5 PC4 PC3 PC2 PC1 PC0			入力プルアップ MOS 内蔵
ポート D	8 ビット 入出力ポート	PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0			入力プルアップ MOS 内蔵
ポート E	8 ビット 入出力ポート	PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0			入力プルアップ MOS 内蔵
ポート F	8 ビット 入出力ポート	PF7 PF6 PF5 PF4 PF3 PF2 PF1 PF0			入力プルアップ MOS 内蔵
ポート G	8 ビット 入出力ポート	PG7 PG6 PG5 PG4 PG3 PG2 PG1 PG0			

## 8.14 ポート C、D

ポート C、D は、2 セットの 8 ビットの入出力ポートです。ポート C、D の端子機能はいずれの動作モードでも共通です。

- ポート C データディレクションレジスタ (PCDDR)
- ポート C 出力データレジスタ (PCODR)
- ポート C 入力データレジスタ (PCPIN)
- ポート C Nch-OD コントロールレジスタ (PCNOCR)
- ポート D データディレクションレジスタ (PDDDR)
- ポート D 出力データレジスタ (PDODR)
- ポート D 入力データレジスタ (PDPIN)
- ポート D Nch-OD コントロールレジスタ (PDNOCR)

### 8.14.1 ポート C、D データディレクションレジスタ (PCDDR、PDDDR)

PCDDR、PDDDR は、ポート C、D の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PC7DDR	0	W	0: ポート C の各端子は入力となります。 1: ポート C の各端子は出力となります。 PCDDR は PCPIN と同じアドレスであり、リードするとポート C の状態が読み出されます。
6	PC6DDR	0	W	
5	PC5DDR	0	W	
4	PC4DDR	0	W	
3	PC3DDR	0	W	
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

ビット	ビット名	初期値	R/W	説明
7	PD7DDR	0	W	0: ポート D の各端子は入力となります。 1: ポート D の各端子は出力となります。 PDDDR は PDPIN と同じアドレスであり、リードするとポート C の状態が読み出されます。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

## 8. I/O ポート

### 8.14.2 ポート C、D 出力データレジスタ (PCODR、PDODR)

PCODR、PDODR は、ポート C、D の各端子の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PC7ODR	0	R/W	PCDDR の内容とかわりなく、常に PCODR のリード/ライトが可能です。
6	PC6ODR	0	R/W	
5	PC5ODR	0	R/W	
4	PC4ODR	0	R/W	
3	PC3ODR	0	R/W	
2	PC2ODR	0	R/W	
1	PC1ODR	0	R/W	
0	PC0ODR	0	R/W	

ビット	ビット名	初期値	R/W	説 明
7	PD7ODR	0	R/W	PDDDR の内容とかわりなく、常に PDODR のリード/ライトが可能です。
6	PD6ODR	0	R/W	
5	PD5ODR	0	R/W	
4	PD4ODR	0	R/W	
3	PD3ODR	0	R/W	
2	PD2ODR	0	R/W	
1	PD1ODR	0	R/W	
0	PD0ODR	0	R/W	

### 8.14.3 ポート C、D 入力データレジスタ (PCPIN、PDPIN)

PCPIN、PDPIN のリードを行うと、常に端子の状態が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PC7PIN	不定*	R	PCPIN はポート C の端子の状態を反映します。PCPIN は PCDDR と同じアドレスであり、ライトを行うとポート C の設定が変わります。
6	PC6PIN	不定*	R	
5	PC5PIN	不定*	R	
4	PC4PIN	不定*	R	
3	PC3PIN	不定*	R	
2	PC2PIN	不定*	R	
1	PC1PIN	不定*	R	
0	PC0PIN	不定*	R	

【注】 \* PC7～PC0 端子の状態により決定されます。

ビット	ビット名	初期値	R/W	説明
7	PD7PIN	不定*	R	PDPIN はポート D の端子の状態を反映します。PDPIN は PDDDR と同じアドレスであり、ライトを行うとポート D の設定が変わります。
6	PD6PIN	不定*	R	
5	PD5PIN	不定*	R	
4	PD4PIN	不定*	R	
3	PD3PIN	不定*	R	
2	PD2PIN	不定*	R	
1	PD1PIN	不定*	R	
0	PD0PIN	不定*	R	

【注】 \* PD7～PD0 端子の状態により決定されます。

#### 8.14.4 ポート C、D Nch-OD コントロールレジスタ (PCNOCR、PDNOCR)

PCNOCR、PDNOCR は、出力に指定されたときの、ポート C、D の各端子の出カドライバタイプをビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PC7NOCR	0	R/W	0 : CMOS (P チャネルドライバが有効) 1 : N チャネルオープンドレイン (P チャネルドライバが無効)
6	PC6NOCR	0	R/W	
5	PC5NOCR	0	R/W	
4	PC4NOCR	0	R/W	
3	PC3NOCR	0	R/W	
2	PC2NOCR	0	R/W	
1	PC1NOCR	0	R/W	
0	PC0NOCR	0	R/W	

ビット	ビット名	初期値	R/W	説明
7	PD7NOCR	0	R/W	0 : CMOS (P チャネルドライバが有効) 1 : N チャネルオープンドレイン (P チャネルドライバが無効)
6	PD6NOCR	0	R/W	
5	PD5NOCR	0	R/W	
4	PD4NOCR	0	R/W	
3	PD3NOCR	0	R/W	
2	PD2NOCR	0	R/W	
1	PD1NOCR	0	R/W	
0	PD0NOCR	0	R/W	

## 8. I/Oポート

### 8.14.5 端子機能

DDR	0		1			
NOCR	-		0		1	
ODR	0	1	0	1	0	1
N-ch.ドライバ	OFF		ON	OFF	ON	OFF
P-ch.ドライバ	OFF		OFF	ON	OFF	
入力プルアップ MOS	OFF	ON	OFF			
端子機能	入力端子		出力端子			

### 8.14.6 ポート C、D 入力プルアップ MOS

ポート C、D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.9 に示します。

表 8.9 ポート C、D 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1~3	OFF	OFF	ON/OFF	ON/OFF

#### 【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR=0 かつ PCODR=1 ( PDDDR=0 かつ PDODR=1 ) のときオン状態、その他のときはオフ状態です。

## 8.15 ポート E、F

ポート E、F は、2 セットの 8 ビット入出力ポートです。ポート E、F の端子機能はいずれの動作モードでも共通です。

- ポート E データディレクションレジスタ ( PEDDR )
- ポート E 出力データレジスタ ( PEODR )
- ポート E 入力データレジスタ ( PEPIN )
- ポート E Nch-OD コントロールレジスタ ( PENOCR )
- ポート F データディレクションレジスタ ( PFDDR )
- ポート F 出力データレジスタ ( PFODR )
- ポート F 入力データレジスタ ( PFPIN )
- ポート F Nch-OD コントロールレジスタ ( PFNOCR )



### 8.15.1 ポート E、F データディレクションレジスタ (PEDDR、PFDDR)

PEDDR、PFDDR は、ポート E、F の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PE7DDR	0	W	0 : ポート E の各端子は入力となります。 1 : ポート E の各端子は出力となります。 PEDDR は PEPIN と同じアドレスであり、リードするとポート E の状態が読み出されます。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	0	W	0 : ポート F の各端子は入力となります。 1 : ポート F の各端子は出力となります。 PFDDR は PFPIN と同じアドレスであり、リードするとポート F の状態が読み出されます。
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

### 8.15.2 ポート E、F 出力データレジスタ (PEODR、PFODR)

PEODR、PFODR は、ポート E、F の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7ODR	0	R/W	PEDDR の内容とかわりなく、常に PEODR のリード/ライトが可能です。
6	PE6ODR	0	R/W	
5	PE5ODR	0	R/W	
4	PE4ODR	0	R/W	
3	PE3ODR	0	R/W	
2	PE2ODR	0	R/W	
1	PE1ODR	0	R/W	
0	PE0ODR	0	R/W	

## 8. I/O ポート

ビット	ビット名	初期値	R/W	説明
7	PF7ODR	0	R/W	PFDDR の内容とかわかりなく、常に PFODR のリード/ライトが可能です。
6	PF6ODR	0	R/W	
5	PF5ODR	0	R/W	
4	PF4ODR	0	R/W	
3	PF3ODR	0	R/W	
2	PF2ODR	0	R/W	
1	PF1ODR	0	R/W	
0	PF0ODR	0	R/W	

### 8.15.3 ポート E、F 入力データレジスタ (PEPIN、PFPIN)

PEPIN、PFPIN のリードを行うと、常に端子状態が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PE7PIN	不定*	R	PEPIN はポート E の端子の状態を反映します。PEPIN は PEDDR と同じアドレスであり、ライトを行うとポート E の設定が変わります。
6	PE6PIN	不定*	R	
5	PE5PIN	不定*	R	
4	PE4PIN	不定*	R	
3	PE3PIN	不定*	R	
2	PE2PIN	不定*	R	
1	PE1PIN	不定*	R	
0	PE0PIN	不定*	R	

【注】 \* PE7 ~ PE0 端子の状態により決定されます。

ビット	ビット名	初期値	R/W	説明
7	PF7PIN	不定*	R	PFPIN はポート F の端子の状態を反映します。PFPIN は PFDDR と同じアドレスであり、ライトを行うとポート F の設定が変わります。
6	PF6PIN	不定*	R	
5	PF5PIN	不定*	R	
4	PF4PIN	不定*	R	
3	PF3PIN	不定*	R	
2	PF2PIN	不定*	R	
1	PF1PIN	不定*	R	
0	PF0PIN	不定*	R	

【注】 \* PF7 ~ PF0 端子の状態により決定されます。

## 8.15.4 ポート E、F Nch-OD コントロールレジスタ (PENOCR、PFNOCR)

PENOCR、PFNOCR は、出力に指定されたときの、ポート E、F の各端子の出力ドライバタイプをビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PE7NOCR	0	R/W	0 : CMOS (P チャンネルドライバが有効) 1 : N チャンネルオープンドレイン (P チャンネルドライバが無効)
6	PE6NOCR	0	R/W	
5	PE5NOCR	0	R/W	
4	PE4NOCR	0	R/W	
3	PE3NOCR	0	R/W	
2	PE2NOCR	0	R/W	
1	PE1NOCR	0	R/W	
0	PE0NOCR	0	R/W	

ビット	ビット名	初期値	R/W	説明
7	PF7NOCR	0	R/W	0 : CMOS (P チャンネルドライバが有効) 1 : N チャンネルオープンドレイン (P チャンネルドライバが無効)
6	PF6NOCR	0	R/W	
5	PF5NOCR	0	R/W	
4	PF4NOCR	0	R/W	
3	PF3NOCR	0	R/W	
2	PF2NOCR	0	R/W	
1	PF1NOCR	0	R/W	
0	PF0NOCR	0	R/W	

## 8.15.5 端子機能

DDR	0		1			
NOCR	-		0		1	
ODR	0	1	0	1	0	1
N-ch. ドライバ	OFF		ON	OFF	ON	OFF
P-ch. ドライバ	OFF		OFF	ON	OFF	
入力プルアップ MOS	OFF	ON	OFF			
端子機能	入力端子		出力端子			

## 8. I/O ポート

### 8.15.6 ポート E、F 入力プルアップ MOS

ポート E、F は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.10 に示します。

表 8.10 ポート E、F 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1~3	OFF	OFF	ON/OFF	ON/OFF

#### 【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR=0 かつ PEODR=1 (PFDDR=0 かつ PFODR=1) のときオン状態、その他のときはオフ状態です。

## 8.16 ポート G

ポート G は、8 ビットの入出力ポートです。ポート G の端子機能はいずれの動作モードでも共通です。ポート G の出力形式は、NMOS オープンドレイン出力となっています。

- ポート G データディレクションレジスタ (PGDDR)
- ポート G 出力データレジスタ (PGODR)
- ポート G 入力データレジスタ (PGPIN)
- ポート G Nch-OD コントロールレジスタ (PGNOCR)

### 8.16.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR は、ポート G の各端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PG7DDR	0	W	0: ポート G の各端子は入力となります。 1: ポート G の各端子は出力となります。 PGDDR は PGPIN と同じアドレスであり、リードするとポート G の状態が読み出されます。
6	PG6DDR	0	W	
5	PG5DDR	0	W	
4	PG4DDR	0	W	
3	PG3DDR	0	W	
2	PG2DDR	0	W	
1	PG1DDR	0	W	
0	PG0DDR	0	W	

### 8.16.2 ポート G 出力データレジスタ (PGODR)

PGODR は、ポート G の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PG7ODR	0	R/W	PGDDR の内容とかがわりなく、常に PGODR のリード/ライトが可能です。
6	PG6ODR	0	R/W	
5	PG5ODR	0	R/W	
4	PG4ODR	0	R/W	
3	PG3ODR	0	R/W	
2	PG2ODR	0	R/W	
1	PG1ODR	0	R/W	
0	PG0ODR	0	R/W	

### 8.16.3 ポート G 入力データレジスタ (PGPIN)

PGPIN のリードを行うと、常に端子状態が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PG7PIN	不定*	R	PGPIN はポート G の端子の状態を反映します。PGPIN は PGDDR と同じアドレスであり、ライトを行うとポート G の設定が変わります。
6	PG6PIN	不定*	R	
5	PG5PIN	不定*	R	
4	PG4PIN	不定*	R	
3	PG3PIN	不定*	R	
2	PG2PIN	不定*	R	
1	PG1PIN	不定*	R	
0	PG0PIN	不定*	R	

【注】 \* PG7～PG0 端子の状態により決定されます。

## 8. I/O ポート

### 8.16.4 ポート G Nch-OD コントロールレジスタ (PGNOCR)

PGNOCR は、出力に指定されたときの、ポート G の各端子の出力ドライバタイプをビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	PG7NOCR	0	R/W	0 : NMOS プッシュプル (Vcc 側 N チャンネルドライバが有効) 1 : Vss 側 N チャンネルオープンドレイン (Vcc 側 N チャンネルドライバが無効)
6	PG6NOCR	0	R/W	
5	PG5NOCR	0	R/W	
4	PG4NOCR	0	R/W	
3	PG3NOCR	0	R/W	
2	PG2NOCR	0	R/W	
1	PG1NOCR	0	R/W	
0	PG0NOCR	0	R/W	

### 8.16.5 端子機能

DDR	0		1			
	-		0		1	
NOCR	0	1	0	1	0	1
Vss 側 N-ch. ドライバ	OFF		ON	OFF	ON	OFF
Vcc 側 N-ch. ドライバ	OFF		OFF	ON	OFF	
端子機能	入力端子		出力端子			

---

## 9. 8ビット PWM タイマ (PWM)

---

本 LSI は、16 本の出力を持つ PWM (Pulse Width Modulation) を内蔵しています。16 本の出力波形は共通のタイムベースから生成され、パルス分割方式により高いキャリア周波数の PWM 出力が可能です。

### 9.1 特長

- パルス分割により、最大625kHzのキャリア周波数での動作可能 (10MHz動作時)
- デューティ0~100%を1/256の分解能で設定可能 (100%はポート出力で実現)
- PWM出力のイネーブル/ディスエーブルの切り替え、直接出力/反転出力の切り替えが可能

## 9. 8ビットPWMタイマ (PWM)

PWM タイマのブロック図を図 9.1 に示します。

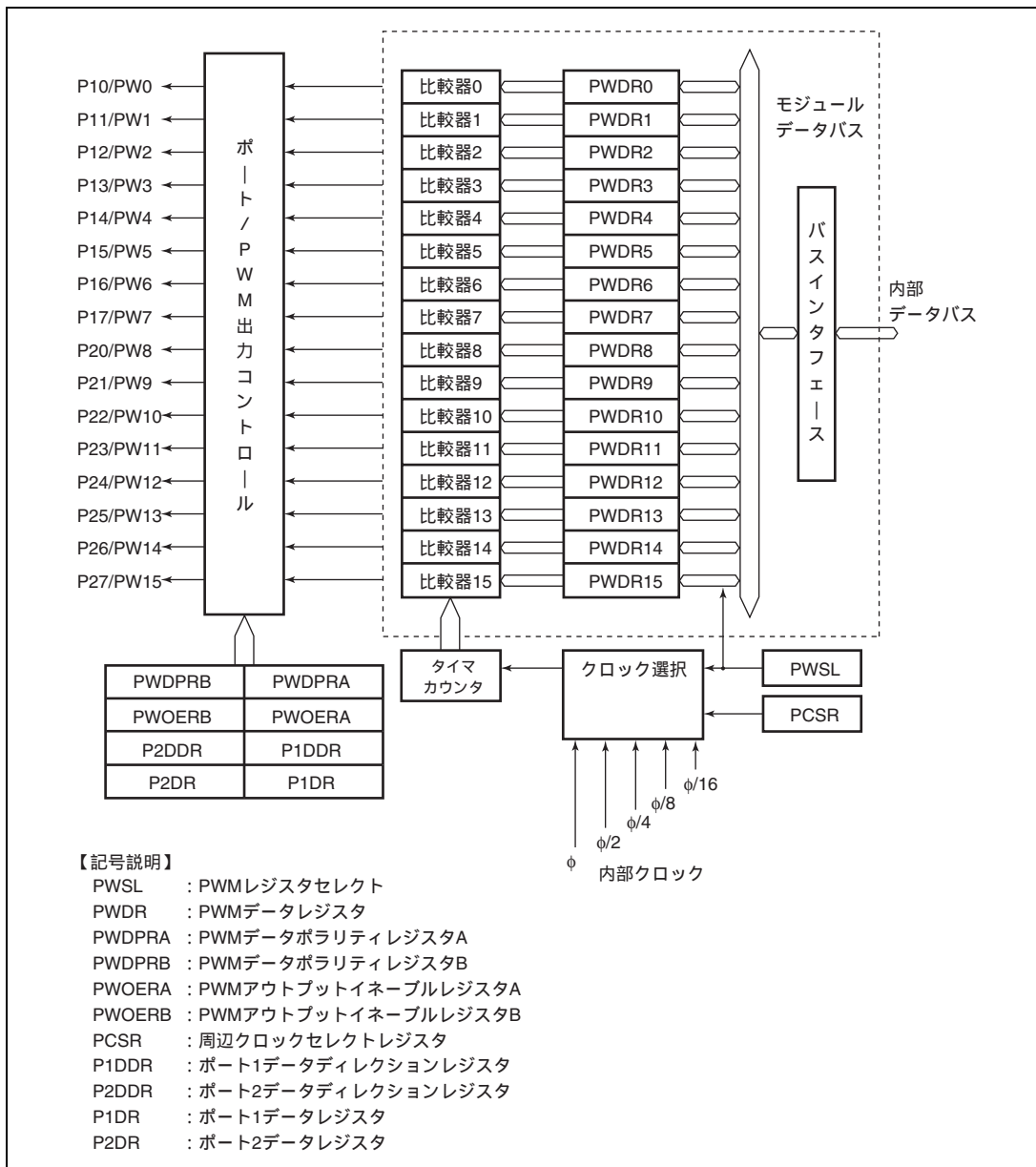


図 9.1 PWM タイマのブロック図



## 9.2 入出力端子

PWM の出力端子を表 9.1 に示します。

表 9.1 端子構成

名 称	記号	入出力	機 能
PWM 出力端子 15~0	PW15~PW0	出力	PWM タイマパルス出力 15~0

## 9.3 レジスタの説明

PWM には以下のレジスタがあります。PCSR をアクセスするためには、シリアルタイムコントロールレジスタ (STCR) の FLSHE ビットを 0 にクリアする必要があります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- PWMレジスタセレクト (PWSL)
- PWMデータレジスタ0~15 (PWDR0~PWDR15)
- PWMデータポラリティレジスタA (PWPRA)
- PWMデータポラリティレジスタB (PWPRB)
- PWMアウトプットイネーブルレジスタA (PWOERA)
- PWMアウトプットイネーブルレジスタB (PWOERB)
- 周辺クロックセレクトレジスタ (PCSR)

## 9. 8ビットPWMタイマ (PWM)

### 9.3.1 PWM レジスタセレクト (PWSL)

PWSL は、入力クロックの選択および PWM データレジスタの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	PWCKE	0	R/W	PWM クロックイネーブル
6	PWCKS	0	R/W	PWM クロックセレクト PCSR の PWCKB、PWCKA ビットとともに、PWM の TCNT に入力する内部クロックを選択します。表 9.2 を参照してください。 分解能、PWM 変換周期、キャリア周波数は、選択した内部クロックにより次の式で求めることができます。 分解能 (最小パルス幅) = 1 / 内部クロック周波数 PWM 変換周期 = 分解能 × 256 キャリア周波数 = 16 / PWM 変換周期 システムクロック (φ) が 10MHz のときの分解能、PWM 変換周期、キャリア周波数は表 9.3 のようになります。
5		1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4		0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	RS3	0	R/W	レジスタセレクト PWM データレジスタを選択します。 0000 : PWDR0 選択      1000 : PWDR8 選択 0001 : PWDR1 選択      1001 : PWDR9 選択 0010 : PWDR2 選択      1010 : PWDR10 選択 0011 : PWDR3 選択      1011 : PWDR11 選択 0100 : PWDR4 選択      1100 : PWDR12 選択 0101 : PWDR5 選択      1101 : PWDR13 選択 0110 : PWDR6 選択      1110 : PWDR14 選択 0111 : PWDR7 選択      1111 : PWDR15 選択
2	RS2	0	R/W	
1	RS1	0	R/W	
0	RS0	0	R/W	

表 9.2 内部クロックの選択

PWSL		PCSR		説明
PWCKE	PWCKS	PWCKB	PWCKA	
0	-	-	-	クロック入力禁止 (初期値)
1	0	-	-	$\phi$ (システムクロック) を選択
	1	0	0	$\phi / 2$ を選択
			1	$\phi / 4$ を選択
	1	1	0	$\phi / 8$ を選択
1			$\phi / 16$ を選択	

表 9.3  $\phi = 10\text{MHz}$  時の分解能、PWM 変換周期、キャリア周波数

内部クロック周波数	分解能	PWM 変換周期	キャリア周波数
$\phi$	100ns	25.6 $\mu\text{s}$	625kHz
$\phi / 2$	200ns	51.2 $\mu\text{s}$	312.5kHz
$\phi / 4$	400ns	102.4 $\mu\text{s}$	156.3kHz
$\phi / 8$	800ns	204.8 $\mu\text{s}$	78.1kHz
$\phi / 16$	1600ns	409.6 $\mu\text{s}$	39.1kHz

### 9.3.2 PWM データレジスタ (PWDR0 ~ PWDR15)

PWDR は 8 ビットのリード/ライト可能なレジスタです。PWM には 16 本の PWDR があります。出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWDR に設定する値が、変換周期内の 0/1 比に対応します。上位 4 ビットは基本パルスのデューティ比を 0/16 ~ 15/16 まで 1/16 の分解能で指定し、下位 4 ビットは 16 基本パルスで構成される変換周期内にいくつの付加パルスを付加するかを指定します。したがって、変換周期内の 0/1 比は 0/256 ~ 255/256 まで指定可能です。256/256 (100%) を出力する場合はポート出力を利用してください。PWDR の初期値は H'00 です。

## 9. 8ビットPWM タイマ (PWM)

### 9.3.3 PWM データポラリティレジスタ A、B (PWDPRA、PWDPRB)

PWDPRA は PWM の出力位相を選択します。

#### • PWDPRA

ビット	ビット名	初期値	R/W	説明
7	OS7	0	R/W	アウトプットセレクト 7~0
6	OS6	0	R/W	PWM の出力位相を選択します。OS7~OS0 ビットがそれぞれ PW7~PW0 出力に対応します。 0 : PWM 直接出力 (PWDR の値が出力の High 幅に対応) 1 : PWM 反転出力 (PWDR の値が出力の Low 幅に対応)
5	OS5	0	R/W	
4	OS4	0	R/W	
3	OS3	0	R/W	
2	OS2	0	R/W	
1	OS1	0	R/W	
0	OS0	0	R/W	

#### • PWDPRB

ビット	ビット名	初期値	R/W	説明
7	OS15	0	R/W	アウトプットセレクト 15~8
6	OS14	0	R/W	PWM の出力位相を選択します。OS15~OS8 ビットがそれぞれ PW15~PW8 出力に対応します。 0 : PWM 直接出力 (PWDR の値が出力の High 幅に対応) 1 : PWM 反転出力 (PWDR の値が出力の Low 幅に対応)
5	OS13	0	R/W	
4	OS12	0	R/W	
3	OS11	0	R/W	
2	OS10	0	R/W	
1	OS9	0	R/W	
0	OS8	0	R/W	

### 9.3.4 PWM アウトプットイネーブルレジスタ A、B (PWOERA、PWOERB)

PWOER は PWM 出力とポート出力を切り替えます。

#### • PWOERA

ビット	ビット名	初期値	R/W	説明
7	OE7	0	R/W	アウトプットイネーブル 7~0
6	OE6	0	R/W	P1nDDR とともに、P1n/PWn 端子の状態を指定します。OE7~OE0 ビットがそれぞれ PW7~PW0 出力に対応します。 P1nDDR OEn : 端子状態 0X : ポート入力 10 : ポート出力または PWM の 256/256 出力 11 : PWM 出力 (0~255/256 出力)
5	OE5	0	R/W	
4	OE4	0	R/W	
3	OE3	0	R/W	
2	OE2	0	R/W	
1	OE1	0	R/W	
0	OE0	0	R/W	

#### 【記号説明】

X : Don't care

- PWOERB

ビット	ビット名	初期値	R/W	説明
7	OE15	0	R/W	アウトプットイネーブル 15~8
6	OE14	0	R/W	P2DDR とともに、P2n/PWn 端子の状態を指定します。OE15~OE8 ビットがそれぞれ PW15~PW8 出力に対応します。
5	OE13	0	R/W	
4	OE12	0	R/W	P2nDDR OEn : 端子状態
3	OE11	0	R/W	0X : ポート入力
2	OE10	0	R/W	10 : ポート出力または PWM の 256/256 出力
1	OE9	0	R/W	11 : PWM 出力 (0~255/256 出力)
0	OE8	0	R/W	

【記号説明】 X : Don't care

DDR=1、OE=0 のとき PWM の 256/256 出力を実現するためには、該当端子をポート出力にする必要があります。該当端子をポート出力にするためには、シングルチップモードか、内蔵 ROM 有効拡張モードで SYSCR の IOSE = 1 かつ CS256E = 0 にしてください。それ以外の状態では、該当端子にアドレスバスが出力されるのでご注意ください。

また、該当端子がポート出力のときに出力されるのは、DR のデータです。PWM の 256/256 出力に対応する値は OS ビットで決まるので、この値をあらかじめ DR に設定してください。

### 9.3.5 周辺クロックセレクトレジスタ (PCSR)

PCSR は PWM の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。初期値を変更しないでください。
2	PWCKB	0	R/W	PWM クロックセレクト B、A PWSL の PWCKE、PWCKS ビットとともに、クロックカウンタに入力する内部クロックを選択します。表 9.2 を参照してください。
1	PWCKA	0	R/W	
0		0	R	リザーブビット リードすると常に 0 が読み出されます。初期値を変更しないでください。

## 9.4 動作説明

PWDR の上位 4 ビットは、基本パルスのデューティ比を 0 / 16 ~ 15 / 16 まで 1 / 16 の分解能で指定します。表 9.4 に基本パルスのデューティ比を示します。

表 9.4 基本パルスのデューティ比

上位4ビット	基本パルス波形 (内部)
0000	0 1 2 3 4 5 6 7 8 9 A B C D E F 0
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1000	
1001	
1010	
1011	
1100	
1101	
1110	
1111	

PWDR の下位 4 ビットは、16 基本パルスに対する付加パルスの付加位置を指定します。付加パルスは、基本パルスの立ち上がりエッジの前に分解能分の幅の High 期間 (OS=0 の場合) を付加します。PWDR の上位 4 ビットが 0000 の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。表 9.5 に基本パルスに対応する付加パルスの位置を、図 9.2 に付加パルスタイミング例を示します。

表 9.5 基本パルスに対する付加パルスの位置

下位 4 ビット	基本パルス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0000																
0001																
0010																
0011																
0100																
0101																
0110																
0111																
1000																
1001																
1010																
1011																
1100																
1101																
1110																
1111																

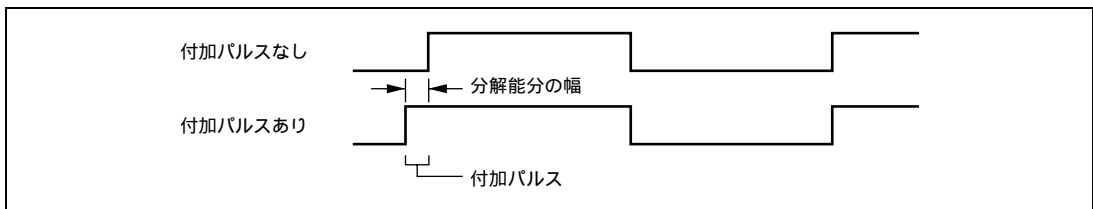


図 9.2 付加パルスタイミング例 (PWDR 上位 4 ビットが 1000)

### 9.5 使用上の注意事項

#### 9.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PWM の動作停止 / 許可を設定することが可能です。初期値ではPWM の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力状態」を参照してください。



---

## 10. 14 ビット PWM タイマ ( PWMX )

---

本 LSI は 2 チャンネルの 14 ビット PWM ( Pulse Width Modulator ) を内蔵しています。LSI 外部にローパスフィルタを接続することにより、14 ビット D/A 変換器として使用できます。

### 10.1 特長

- リップルの少ないパルス分割方式
- 2種類の分解能を選択可能
  - システムクロック周期
  - システムクロック周期×2
- 2種類の基本周期を設定可能
  - 基本周期 $T \times 64$
  - 基本周期 $T \times 256$  (  $T =$  分解能 )
- 4種類の動作速度を設定可能
- 4種類の動作クロック ( 基本周期2種類×分解能2種類 ) を選択可能

## 10. 14 ビット PWM タイマ (PWMX)

PWM (D/A) のブロック図を図 10.1 に示します。

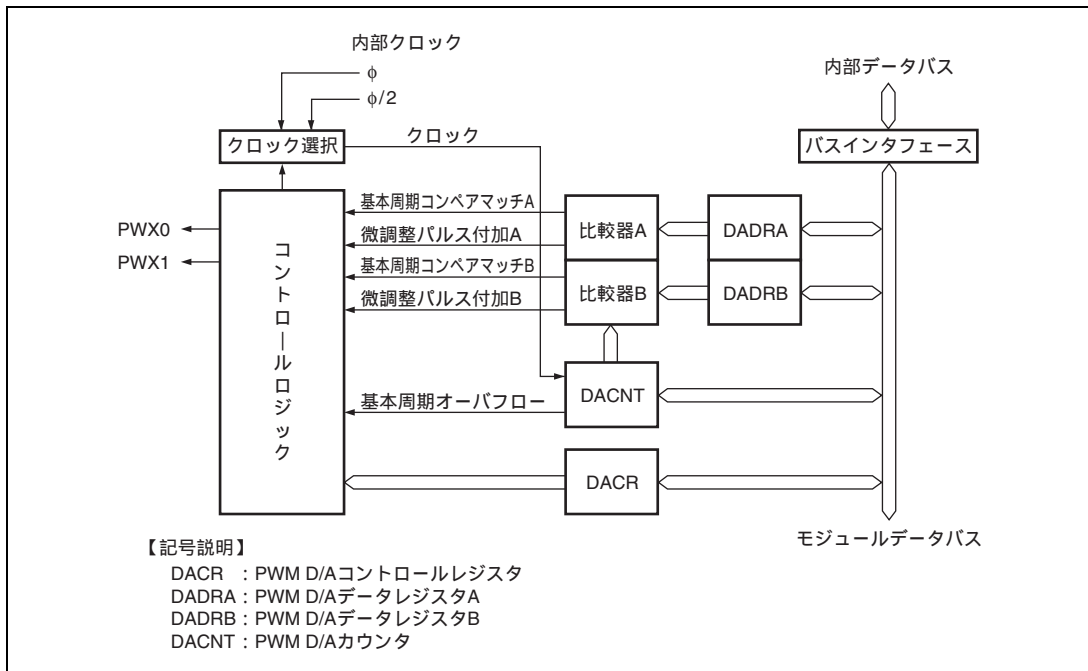


図 10.1 PWM (D/A) のブロック図

## 10.2 入出力端子

PWM(D/A)の入出力端子を表 10.1 に示します。

表 10.1 端子構成

名称	記号	入出力	機能
PWM 出力端子 X0	PWX0	出力	PWMX チャンネル A の PWM 出力
PWM 出力端子 X1	PWX1	出力	PWMX チャンネル B の PWM 出力

## 10.3 レジスタの説明

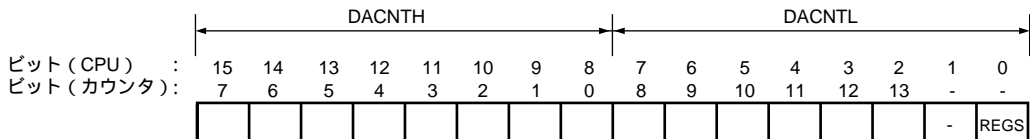
PWM (D/A) には以下のレジスタがあります。PWM (D/A) のレジスタは、他のレジスタと同一のアドレスに割り当てられています。レジスタの選択は、シリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- PWM (D/A) カウンタH (DACNTH)
- PWM (D/A) カウンタL (DACNTL)
- PWM (D/A) データレジスタAH (DADRAH)
- PWM (D/A) データレジスタAL (DADRAL)
- PWM (D/A) データレジスタBH (DADRBH)
- PWM (D/A) データレジスタBL (DADRBL)
- PWM (D/A) コントロールレジスタ (DACR)

【注】 DADRA と DACR、DADRB と DACNT のアドレスは同一です。レジスタの切り替えは DACNT または DADRB の REGS ビットで行います。

### 10.3.1 PWM (D/A) カウンタ H、L (DACNTH、DACNTL)

DACNT は 14 ビットのリード/ライト可能なアップカウンタです。入力クロックは DACR の CKS ビットにより選択します。DACNT は、2 チャンネルの PWM(D/A) のタイムベースとして使用されます。14 ビット精度で使用する場合には全ビットを、12 ビット精度で使用する場合には上位 2 ビットを無視し、下位 12 ビットを利用します。DACNT は 16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.4 バスマスタとのインタフェース」を参照してください。



#### • DACNTH

ビット	ビット名	初期値	R/W	説明
7~0	UC7~UC0	すべて 0	R/W	上位アップカウンタ

## 10. 14 ビット PWM タイマ (PWMX)

### • DACNTL

ビット	ビット名	初期値	R/W	説明
7~2	UC8 ~ UC13	すべて 0	R/W	下位アップカウンタ
1	-	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。 このビットはアクセス可能にするレジスタを選択します。 0 : DADRA と DADRB がアクセス可能 1 : DACR と DACNT がアクセス可能

### 10.3.2 PWM (D/A) データレジスタ A、B (DADRA、DADRB)

DADRA は PWM(D/A)チャネル A に、DADRB は PWM(D/A)チャネル B に対応します。DADR は 16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.4 バスマスタとのインタフェース」を参照してください。

### • DADRA

ビット	ビット名	初期値	R/W	説明
15	DA13	1	R/W	D/A データ 13~0 D/A 変換データを設定します。このレジスタの値は DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、下位 2 ビット DA1、DA0 をそれぞれ 0 に固定します。この下位 2 ビットデータは DACNT の上位 2 ビットに対応しています。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	
0		1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

## • DADRB

ビット	ビット名	初期値	R/W	説明
15	DA13	1	R/W	D/A データ 13~0
14	DA12	1	R/W	D/A 変換データを設定します。このレジスタの値は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、下位 2 ビット DA1、DA0 をそれぞれ 0 に固定します。この下位 2 ビットデータは DACNT の上位 2 ビットに対応しています。
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。 0 : DADRA と DADRB がアクセス可能 1 : DACR と DACNT がアクセス可能

## 10. 14 ビット PWM タイマ (PWMX)

### 10.3.3 PWM (D/A) コントロールレジスタ (DACR)

DACR は、テストモードの設定、出力の許可、出力位相および動作速度を選択します。

ビット	ビット名	初期値	R/W	説明
7	TEST	0	R/W	<p>テストモード</p> <p>テスト状態を選択します。このビットは LSI のテストのために使用しますので、通常は 0 に設定してください。</p> <p>0 : PWM(D/A)はユーザ状態となり、通常の動作をします</p> <p>1 : PWM(D/A)はテスト状態となり、正しい変換結果は得られません</p>
6	PWME	0	R/W	<p>PWM イネーブル</p> <p>DACNT の動作 / 停止を選択します。</p> <p>0 : DACNT は 14 ビットのアップカウンタとして動作</p> <p>1 : DACNT = H'0003 で停止</p>
5, 4		すべて 1	R	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
3	OEB	0	R/W	<p>アウトプットイネーブル B</p> <p>PWM(D/A)チャンネル B の出力の許可 / 禁止を選択します。</p> <p>0 : PWM(D/A)チャンネル B 出力 (PWX1 出力端子) を禁止</p> <p>1 : PWM(D/A)チャンネル B 出力 (PWX1 出力端子) を許可</p>
2	OEA	0	R/W	<p>アウトプットイネーブル A</p> <p>PWM(D/A)チャンネル A の出力の許可 / 禁止を選択します。</p> <p>0 : PWM(D/A)チャンネル A 出力 (PWX0 出力端子) を禁止</p> <p>1 : PWM(D/A)チャンネル A 出力 (PWX0 出力端子) を許可</p>
1	OS	0	R/W	<p>アウトプットセレクト</p> <p>PWM(D/A)の出力位相を選択します。</p> <p>0 : PWM(D/A)直接出力</p> <p>1 : PWM(D/A)反転出力</p>
0	CKS	0	R/W	<p>クロックセレクト</p> <p>PWM(D/A)の分解能を選択します。分解能はシステムクロック (<math>\phi</math>) が 10MHz の場合、100ns と 200ns が選択できます。</p> <p>0 : 分解能 (T) = システムクロック周期 (<math>t_{yc}</math>) で動作</p> <p>1 : 分解能 (T) = システムクロック周期 (<math>t_{yc}</math>) <math>\times</math> 2 で動作</p>

## 10.4 バスマスタとのインタフェース

DACNT、DADRA、DADRB は 16 ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間のデータバスは 8 ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8 ビットのテンポラリレジスタ (TEMP) を介して行います。各レジスタのリード/ライトは次のような動作で行われます。

### (1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP にストアされます。次に下位バイトのライトにより、TEMP にある上位バイトの値と合わせて 16 ビットデータとしてレジスタにライトされます。

### (2) レジスタからのリード時の動作

上位バイトのリードにより、上位バイトの値は CPU に転送され、下位バイトの値は TEMP に転送されます。次に下位バイトのリードにより、TEMP にある下位バイトの値が CPU に転送されます。

これらのレジスタのアクセスは MOV 命令を使用し、常に 16 ビット単位で行い、上位バイト、下位バイトの順序で行ってください。上位バイトのみ、下位バイトのみのアクセスではデータは正しく転送されません。なお、ビット操作命令は使用できません。

#### 例 1 DACNT へのライト

MOV . W R0 , @DACNT      DACNT へ R0 の内容をライト

#### 例 2 DADRA のリード

MOV . W @DADRA , R0      DADRA の内容を R0 に転送

表 10.2 16 ビットレジスタのリード/ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA、DADRB				×
DACNT		×		×

#### 【記号説明】

: 許されているアクセスを示します。

ワード単位のアクセスとは上位バイト、下位バイトの順序で連続してアクセスすることを含みます。

× : その単位のアクセスでは、結果が保証されません。

## 10.5 動作説明

PWX 端子からは、図 10.2 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス (CFS = 0 の場合 256、CFS = 1 の場合 64) の 0 レベル幅の合計 (TL) が DADR のデータと対応しています。OS = 0 の場合、この波形が直接出力されます。OS = 1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計 (TH) が DADR のデータと対応しています。出力波形を図 10.3、図 10.4 に示します。

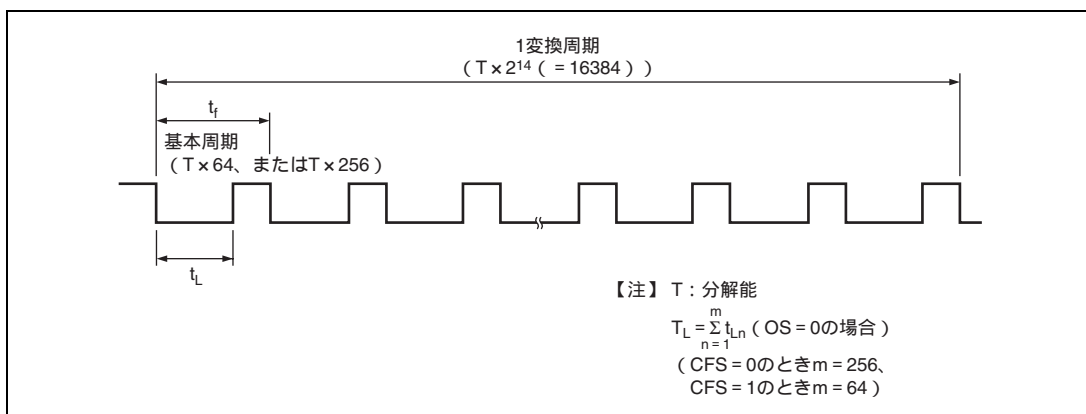


図 10.2 PWM (D/A) の動作

CKS、CFS、OS ビットの設定と、分解能、基本周期、変換周期との関係を表 10.3 に示します。DADR の内容がある値以上ではないと PWM 出力は固定レベルとなります。



表 10.3 設定値と動作内容 (φ: 10MHz 時の例)

CKS	分解能 T (μs)	CFS	基本 周期 (μs)	変換 周期 (μs)	TL/TH (OS=0/OS=1)	DADR 固定ビット				変換 周期* (μs)	
						変換精度 (ビット数)	ビットデータ				
							3	2	1		0
0	0.1	0	6.4	1638.4	(1) 常時 Low/High レベル出力 (DADR = H'0001 ~ H'03FD)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
		1	25.6		(1) 常時 Low/High レベル出力 (DADR = H'0003 ~ H'00FF)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
1	0.2	0	12.8	3276.8	(1) 常時 Low/High レベル出力 DADR = H'0001 ~ H'03FD (2) (データ値) × T DADR = H'0401 ~ H'FFFD	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8
		1	51.2		(1) 常時 Low/High レベル出力 DADR = H'0003 ~ H'00FF (2) (データ値) × T DADR = H'0103 ~ H'FFFF	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8

【注】 \* DADR の特定のビットを固定することにより得られる変換周期です。

10. 14ビットPWMタイマ (PWMX)

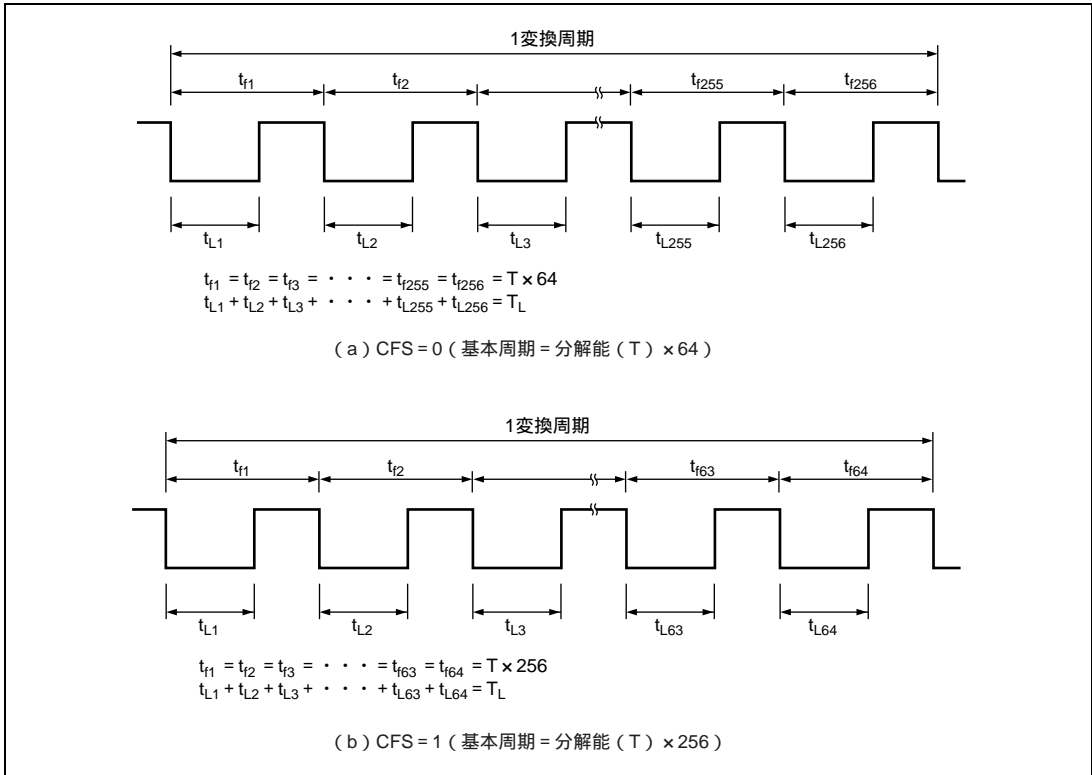


図 10.3 出力波形 (OS = 0、DADR は TL に対応)

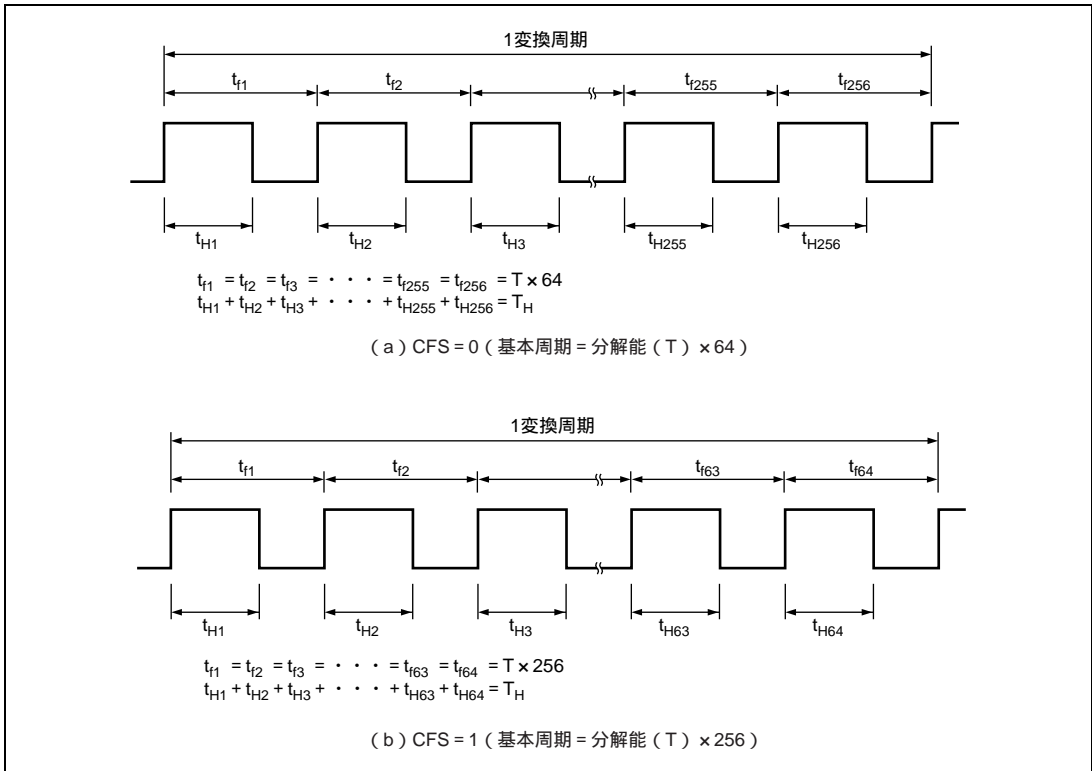


図 10.4 出力波形 (OS = 1、DADR は TH に対応)

## 10. 14 ビット PWM タイマ (PWMX)

付加パルスについては、CFS = 1 (基本周期 = 分解能 (T) × 256) かつ OS = 1 (PWMX 反転出力) の設定を例に示します。CFS = 1 のとき、図 10.5 に示すように DADR の上位 8 ビット (DA13 ~ DA6) で基本パルスのデューティ比が、次の 6 ビット (DA5 ~ DA0) で付加パルスの位置が決定されます。

表 10.4 に付加パルスの位置を示します。

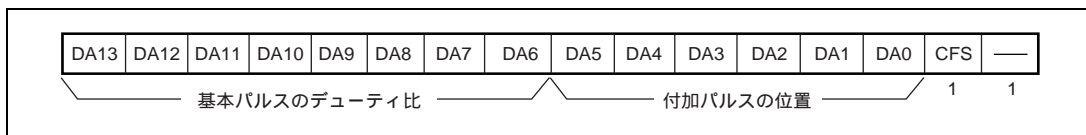


図 10.5 CFS = 1 のときの D/A データレジスタの構成

ここでは、DADR = H'0207 (B'0000 0010 0000 0111) の場合を考えます。図 10.6 に出力波形を示します。CFS = 1 であり、上位 8 ビットの値が B'0000 0010 ですので、基本パルスは High 幅が  $2/256 \times (T)$  のデューティ比となります。

次に続く 6 ビットの値が B'0000 01 ですので、表 10.4 より、付加パルスは基本パルス No.63 の位置でのみ出力されます。付加パルスは基本パルスに  $1/256 \times (T)$  だけ追加される形となります。

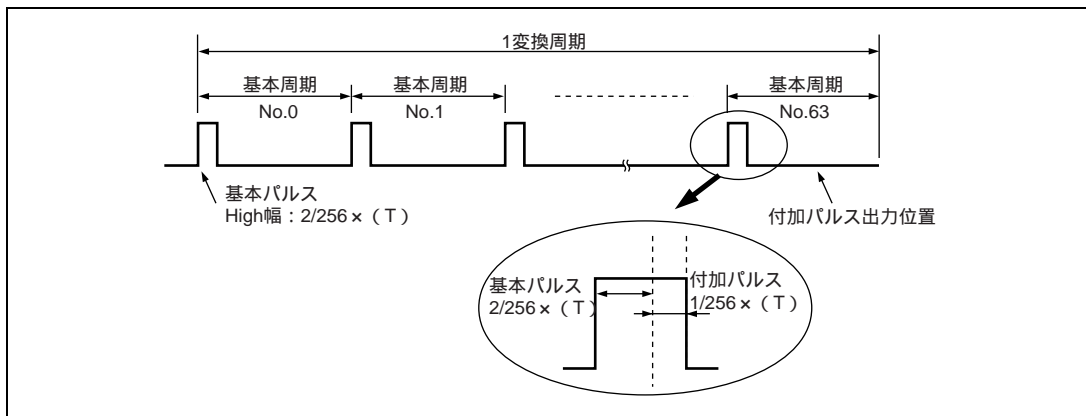


図 10.6 DADR = H'0207 のときの出力波形 (OS = 1)

なお、CFS = 0 (基本周期 = 分解能 (T) × 64) の場合、基本パルスのデューティ比は上位 6 ビットで、付加パルスの位置はその次の 8 ビットで決定されるという点以外は、同様な考え方となります。



### 10.6 使用上の注意事項

#### 10.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PWMXの動作停止/許可を設定することが可能です。初期値ではPWMXの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第25章 低消費電力状態」を参照してください。

---

## 11. 16ビットフリーランニングタイマ (FRT)

---

本 LSI は、16 ビットフリーランニングタイマ (FRT : Free Running Timer) を内蔵しています。FRT は 16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能です。また、入力パルスの幅や外部クロックの周期を測定することができます。

### 11.1 特長

- 4種類のカウンタ入力クロックを選択可能  
3種類の内部クロック ( $\phi/2$ 、 $\phi/8$ 、 $\phi/32$ ) と、外部クロックのうちから選択できます (外部イベントのカウンタが可能)。
- 2本の独立したコンパレータ  
2種類の波形出力が可能です。
- 4本の独立したインプットキャプチャ  
立ち上がり / 立ち下がりエッジの選択が可能です。  
バッファ動作を指定できます。
- カウンタのクリア指定が可能  
コンペアマッチAによりカウンタの値をクリアすることができます。
- 7種類の割り込み要因  
コンペアマッチ×2要因、インプットキャプチャ×4要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。
- 自動加算機能による特殊動作  
OCRAの内容にOCRARおよびOCRAFの内容を自動的に加算し、ソフトウェアの介入なしに周期的な波形を生成することができます。ICRDの内容とOCRDMの内容×2を自動的に加算し、この間のインプットキャプチャ動作を制限することができます。

## 11. 16ビットフリーランニングタイマ (FRT)

FRTのブロック図を図11.1に示します。

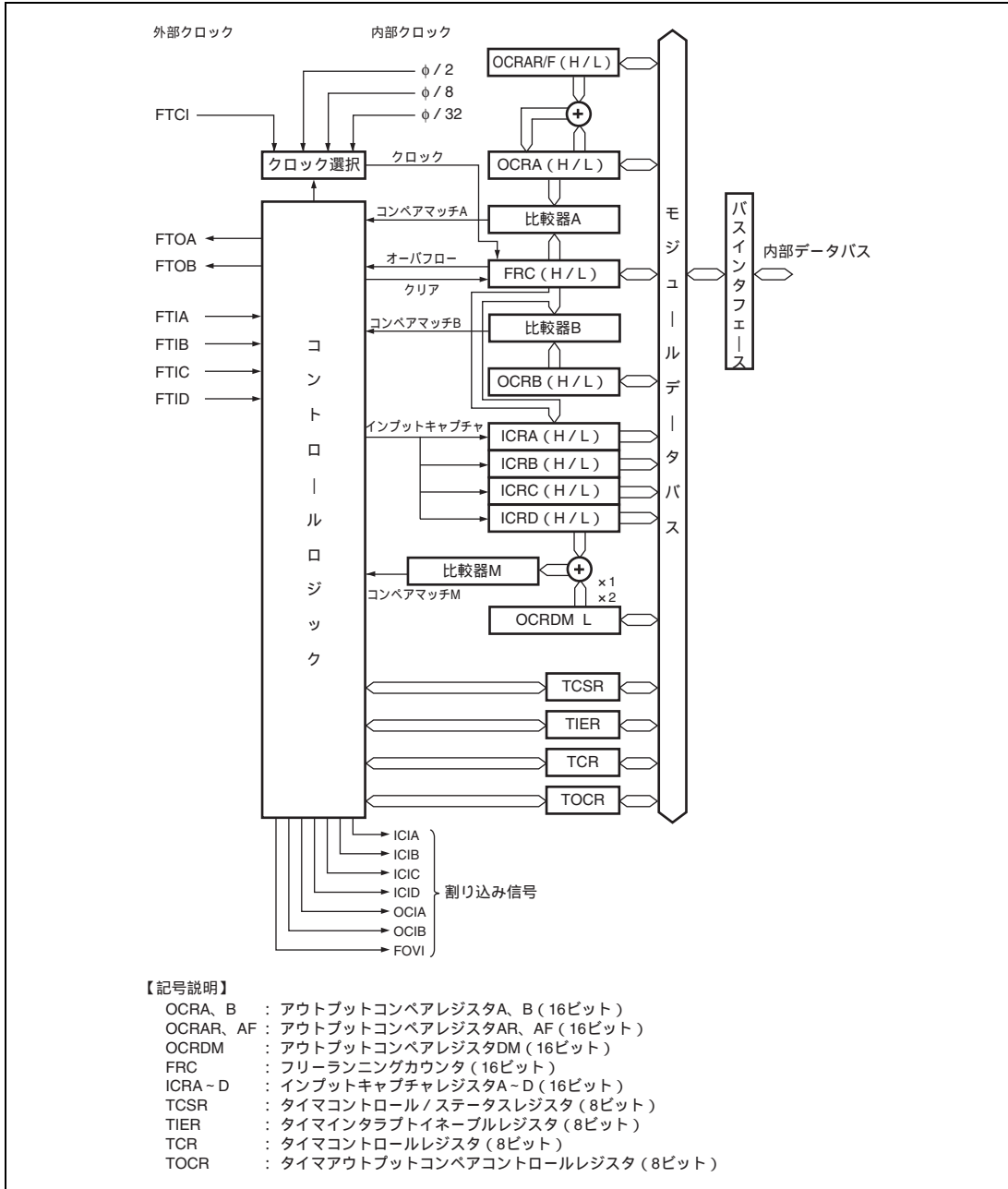


図 11.1 16ビットフリーランニングタイマのブロック図



## 11.2 入出力端子

FRT の入出力端子を表 11.1 に示します。

表 11.1 端子構成

名 称	記号	入出力	機 能
カウンタクロック入力端子	FTCI	入力	FRC のカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ A 入力端子	FTIA	入力	インプットキャプチャ A の入力
インプットキャプチャ B 入力端子	FTIB	入力	インプットキャプチャ B の入力
インプットキャプチャ C 入力端子	FTIC	入力	インプットキャプチャ C の入力
インプットキャプチャ D 入力端子	FTID	入力	インプットキャプチャ D の入力

## 11.3 レジスタの説明

FRT には以下のレジスタがあります。

- フリーランニングカウンタ (FRC)
- アウトプットコンペアレジスタ A (OCRA)
- アウトプットコンペアレジスタ B (OCRB)
- インプットキャプチャレジスタ A (ICRA)
- インプットキャプチャレジスタ B (ICRB)
- インプットキャプチャレジスタ C (ICRC)
- インプットキャプチャレジスタ D (ICRD)
- アウトプットコンペアレジスタ AR (OCRAR)
- アウトプットコンペアレジスタ AF (OCRAF)
- アウトプットコンペアレジスタ DM (OCRDM)
- タイマインタラプトイネーブルレジスタ (TIER)
- タイマコントロール / ステータスレジスタ (TCSR)
- タイマコントロールレジスタ (TCR)
- タイマアウトプットコンペアコントロールレジスタ (TOCR)

【注】 OCRA と OCRB のアドレスは同一です。レジスタの切り替えは TOCR の OCSR ビットで行います。また、ICRA、ICRB、ICRC と OCRAR、OCRAF、OCRDM のアドレスは同一です。レジスタの切り替えは TOCR の ICRS ビットで行います。

## 11. 16ビットフリーランニングタイム (FRT)

---

### 11.3.1 フリーランニングカウンタ (FRC)

FRCは16ビットのリード/ライト可能なアップカウンタです。入力クロックはTCRのCKS1、CKS0ビットにより選択します。FRCはコンペアマッチAによりクリアすることができます。FRCがH'FFFFからH'0000にオーバフローすると、TCSRのOVFが1にセットされます。FRCは8ビット単位のアクセスはできません。常に16ビットでアクセスしてください。FRCの初期値はH'0000です。

### 11.3.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

OCRは16ビットのリード/ライト可能なレジスタです。FRTには2本のOCRがあります。OCRの値はFRCの値と常に比較されています。両者の値が一致(コンペアマッチ)すると、TCSRのOCFA、OCFBフラグが1にセットされます。このときTOCRのOEA、OEBビットが1にセットされていると、TOCRのOLVLA、OLVLBビットで設定した出力レベルの値がアウトプットコンペア出力端子(FTOA、FTOB)に出力されます。リセット後、コンペアマッチが発生するまでFTOA、FTOBは0出力です。OCRは8ビット単位のアクセスはできません。常に16ビットでアクセスしてください。OCRの初期値はH'FFFFです。

### 11.3.3 インプットキャプチャレジスタ A~D (ICRA~ICRD)

ICRは16ビットのリード専用のレジスタです。FRTには4本のICRがあります。インプットキャプチャ入力信号(FTIA~FTID)の立ち上がり、または立ち下がりエッジが検出されるとFRCの値がICRA~ICRDに転送されます。このとき同時にTCSRのICFA~ICFDフラグが1にセットされます。FRCからICRへの転送はICFの値にかかわらず行われます。インプットキャプチャ信号の検出エッジはTCRのIEDGA~IEDGDビットにより選択できます。

また、ICRCはICRAのバッファレジスタとして、ICRDはICRBのバッファレジスタとしてそれぞれ使用することもできます。この機能はTCRのBUFEA、BUFEBビットにより選択できます。

たとえばICRAがインプットキャプチャレジスタとして、ICRCがICRAのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、FRCの値がICRAに、ICRAの値がバッファレジスタICRCに転送されます。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上にしてください。

ICRA~ICRDは8ビット単位のアクセスはできません。常に16ビット単位でアクセスしてください。ICRの初期値はH'0000です。

### 11.3.4 アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)

OCRAR、OCRAF は 16 ビットのリード/ライト可能なレジスタです。TOCR の OCRAMS ビットを 1 にセットすると、OCRA を OCRAR、OCRAF を使用した動作モードに設定されます。OCRAR、OCRAF の値は交互に OCRA に自動的に加算され、OCRA に書き込まれます。書き込みはコンペアマッチ A のタイミングで行われます。OCRAMS ビットを 1 にセットした後の最初のコンペアマッチ A では、OCRAF が加算されます。コンペアマッチ A の動作は、OCRAR、OCRAF のいずれを加算した後のコンペアマッチかによって異なります。TOCR の OLVLA ビットの設定は無視され、OCRAF 加算後のコンペアマッチ A では 1 を出力、OCRAR 加算後のコンペアマッチ A では 0 を出力します。

OCRA の自動加算機能を使用する場合には、FRC の入力クロックを内部クロック $\phi/2$ で、かつ OCRAR (または OCRAF) の値を H'0001 以下に設定しないでください。

OCRAR、OCRAF は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRAR、OCRAF の初期値は H'FFFF です。

### 11.3.5 アウトプットコンペアレジスタ DM (OCRDM)

OCRDM は 16 ビットのリード/ライト可能なレジスタです。OCRDM の上位 8 ビットは H'00 に固定にされています。TOCR の ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外の場合、ICRD を OCRDM を使用した動作モードに設定されます。インプットキャプチャ D が発生した時点をもスク期間の開始とします。続いて ICRD の内容に OCRDM の値を 2 倍して加算した値を FRC と比較し、一致した時点をもスク期間の終了とします。マスク期間中は、新たなインプットキャプチャ D の発生は禁止されています。ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 の場合はマスク期間は発生しません。

OCRDM は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRDM の初期値は H'0000 です。

### 11.3.6 タイミントラプトイネーブルレジスタ (TIER)

TIER は、割り込み要求の許可/禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	ICIAE	0	R/W	インプットキャプチャインタラプト A イネーブル TCSR の ICFA フラグが 1 にセットされたとき、ICFA フラグによる割り込み要求 (ICIA) を許可または禁止します。 0 : ICFA による割り込み要求 (ICIA) を禁止 1 : ICFA による割り込み要求 (ICIA) を許可
6	ICIBE	0	R/W	インプットキャプチャインタラプト B イネーブル TCSR の ICFB フラグが 1 にセットされたとき、ICFB フラグによる割り込み要求 (ICIB) を許可または禁止します。 0 : ICFB による割り込み要求 (ICIB) を禁止 1 : ICFB による割り込み要求 (ICIB) を許可

## 11. 16 ビットフリーランニングタイム (FRT)

ビット	ビット名	初期値	R/W	説明
5	ICICE	0	R/W	<p>インプットキャプチャインタラプト C イネーブル</p> <p>TCSR の ICFC フラグが 1 にセットされたとき、ICFC フラグによる割り込み要求 (ICIC) を許可または禁止します。</p> <p>0 : ICFC による割り込み要求 (ICIC) を禁止</p> <p>1 : ICFC による割り込み要求 (ICIC) を許可</p>
4	ICIDE	0	R/W	<p>インプットキャプチャインタラプト D イネーブル</p> <p>TCSR の ICFD フラグが 1 にセットされたとき、ICFD フラグによる割り込み要求 (ICID) を許可または禁止します。</p> <p>0 : ICFD による割り込み要求 (ICID) を禁止</p> <p>1 : ICFD による割り込み要求 (ICID) を許可</p>
3	OCIAE	0	R/W	<p>アウトプットコンペインインタラプト A イネーブル</p> <p>TCSR の OCFA フラグが 1 にセットされたとき、OCFA フラグによる割り込み要求 (OCIA) を許可または禁止します。</p> <p>0 : OCFA による割り込み要求 (OCIA) を禁止</p> <p>1 : OCFA による割り込み要求 (OCIA) を許可</p>
2	OCIBE	0	R/W	<p>アウトプットコンペインインタラプト B イネーブル</p> <p>TCSR の OCFB フラグが 1 にセットされたとき、OCFB フラグによる割り込み要求 (OCIB) を許可または禁止します。</p> <p>0 : OCFB による割り込み要求 (OCIB) を禁止</p> <p>1 : OCFB による割り込み要求 (OCIB) を許可</p>
1	OVIE	0	R/W	<p>タイマオーバーフローインタラプトイネーブル</p> <p>TCSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割り込み要求 (FOVI) を許可または禁止します。</p> <p>0 : OVF による割り込み要求 (FOVI) を禁止</p> <p>1 : OVF による割り込み要求 (FOVI) を許可</p>
0		1	R	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>

## 11.3.7 タイマコントロール / ステータスレジスタ (TCSR)

TCSR は、カウンタクリアの選択、割り込み要求信号の許可 / 禁止制御を行います。

ビット	ビット名	初期値	R/W	説明
7	ICFA	0	R/(W)*	<p>インプットキャプチャフラグ A</p> <p>インプットキャプチャ信号により FRC の値が ICRA に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき</p> <p>[クリア条件]</p> <p>ICFA = 1 の状態で ICFA リード後、ICFA に 0 をライトしたとき</p>
6	ICFB	0	R/(W)*	<p>インプットキャプチャフラグ B</p> <p>インプットキャプチャ信号により FRC の値が ICRB に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRC に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき</p> <p>[クリア条件]</p> <p>ICFB = 1 の状態で ICFB をリード後、ICFB に 0 をライトしたとき</p>
5	ICFC	0	R/(W)*	<p>インプットキャプチャフラグ C</p> <p>インプットキャプチャ信号により、FRC の値が ICRC に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、FTIC 入力端子に IEDGC ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRC へのデータ転送は行われません。パツファ動作では、このフラグは ICICE ビットを 1 にセットすることにより外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号が発生したとき</p> <p>[クリア条件]</p> <p>ICFC = 1 の状態で ICFC をリード後、ICFC に 0 をライトしたとき</p>

## 11. 16 ビットフリーランニングタイム (FRT)

ビット	ビット名	初期値	R/W	説明
4	ICFD	0	R/(W)*	<p>インプットキャプチャフラグ D</p> <p>インプットキャプチャ信号により、FRC の値が ICRD に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、FTID 入力端子に IEDGD ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRD へのデータ転送は行われません。バッファ動作では、このフラグは ICFD は ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>インプットキャプチャ信号が発生したとき</p> <p>[クリア条件]</p> <p>ICFD = 1 の状態で ICFD をリード後、ICFD に 0 をライトしたとき</p>
3	OCFA	0	R/(W)*	<p>アウトプットコンペアフラグ A</p> <p>FRC と OCRA の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>FRC = OCRA になったとき</p> <p>[クリア条件]</p> <p>OCFA = 1 の状態で OCFA をリード後、OCFA に 0 をライトしたとき</p>
2	OCFB	0	R/(W)*	<p>アウトプットコンペアフラグ B</p> <p>FRC と OCRB の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>FRC = OCRB になったとき</p> <p>[クリア条件]</p> <p>OCFB = 1 の状態で OCFB をリード後、OCFB に 0 をライトしたとき</p>
1	OVF	0	R/(W)*	<p>タイマオーバーフロー</p> <p>FRC のオーバーフローの発生を示すフラグです。フラグをクリアするための 0 ライトのみ可能です。</p> <p>[セット条件]</p> <p>FRC の値がオーバーフロー (H'FFFF→H'0000) したとき</p> <p>[クリア条件]</p> <p>OVF = 1 の状態で OVF をリード後、OVF に 0 をライトしたとき</p>
0	CCLRA	0	R/W	<p>カウンタクリア A</p> <p>コンペアマッチ A (FRC と OCRA の一致信号) により FRC をクリアするか、しないかを選択します。</p> <p>0 : FRC のクリアを禁止</p> <p>1 : コンペアマッチ A により FRC をクリア</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 11.3.8 タイマコントロールレジスタ (TCR)

TCR は、インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IEDGA	0	R/W	インプットエッジセレクト A インプットキャプチャ A 入力 (FTIA) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ A 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ A 入力の立ち上がりエッジでキャプチャ
6	IEDGB	0	R/W	インプットエッジセレクト B インプットキャプチャ B 入力 (FTIB) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ B 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ B 入力の立ち上がりエッジでキャプチャ
5	IEDGC	0	R/W	インプットエッジセレクト C インプットキャプチャ C 入力 (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ C 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ C 入力の立ち上がりエッジでキャプチャ
4	IEDGD	0	R/W	インプットエッジセレクト D インプットキャプチャ D 入力 (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。 0: インプットキャプチャ D 入力の立ち下がりエッジでキャプチャ 1: インプットキャプチャ D 入力の立ち上がりエッジでキャプチャ
3	BUFEA	0	R/W	バッファイネーブル A ICRC を ICRA のバッファレジスタとして使用するかしないかを選択します。 0: ICRC を ICRA のバッファレジスタとして使用しない 1: ICRC を ICRA のバッファレジスタとして使用する
2	BUFEB	0	R/W	バッファイネーブル B ICRD を ICRB のバッファレジスタとして使用するかしないかを選択します。 0: ICRD を ICRB のバッファレジスタとして使用しない 1: ICRD を ICRB のバッファレジスタとして使用する
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	FRC に入力するクロックを選択します。 00: 内部クロック $\phi$ /2 をカウント 01: 内部クロック $\phi$ /8 をカウント 10: 内部クロック $\phi$ /32 をカウント 11: 外部クロック入力端子 (FTCI) の立ち上がりエッジでカウント

## 11. 16 ビットフリーランニングタイム (FRT)

### 11.3.9 タイマアウトプットコンペアコントロールレジスタ (TOCR)

TOCR は、アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、ICRD、OCRA の動作モード、およびインプットキャプチャレジスタ A、B、C のアクセスの切り替え制御を行います。

ビット	ビット名	初期値	R/W	説明
7	ICRDMS	0	R/W	インプットキャプチャ D モードセレクト ICRD を通常の動作モードにするか、OCRDM を使用した動作モードにするかを選択します。 0 : ICRD を通常の動作モードに設定 1 : ICRD を OCRDM を使用した動作モードに設定
6	OCRAMS	0	R/W	アウトプットコンペア A モードセレクト OCRA を通常の動作モードにするか、OCRAR、OCRAF を使用した動作モードにするかを選択します。 0 : OCRA を通常の動作モードに設定 1 : OCRA を OCRAR、OCRAF を使用した動作モードに設定
5	ICRS	0	R/W	インプットキャプチャレジスタセレクト ICRA と OCRAR、ICRB と OCRAF、ICRC と OCRDM のアドレスは同一です。このアドレスをリード/ライトするとき、どちらのレジスタを選択するか制御します。ICRA、ICRB、ICRC 動作には影響を与えません。 0 : ICRA、ICRB と ICRC レジスタを選択 1 : OCRAR、OCRAF と OCRDM レジスタを選択
4	OCRS	0	R/W	アウトプットコンペアレジスタセレクト OCRA と OCRB のアドレスは同一です。このアドレスをリード/ライトするとき、どちらのレジスタを選択するか制御します。OCRA、OCRB の動作には影響を与えません。 0 : OCRA レジスタを選択 1 : OCRB レジスタを選択
3	OEA	0	R/W	アウトプットイネーブル A アウトプットコンペア A 出力端子 (FTOA) を制御します。 0 : アウトプットコンペア A 出力を禁止 1 : アウトプットコンペア A 出力を許可
2	OEB	0	R/W	アウトプットイネーブル B アウトプットコンペア B 出力端子 (FTOB) を制御します。 0 : アウトプットコンペア B 出力を禁止 1 : アウトプットコンペア B 出力を許可



ビット	ビット名	初期値	R/W	説明
1	OLVLA	0	R/W	アウトプットレベル A コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプット コンペア A 出力端子 (FTOA) の出力レベルを選択します。OCRAMS ビットが 1 の場合は無視されます。 0: コンペアマッチ A で 0 出力 1: コンペアマッチ A で 1 出力
0	OLVLB	0	R/W	アウトプットレベル B コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプット コンペア B 出力端子 (FTOB) の出力レベルを選択します。 0: コンペアマッチ B により 0 出力 1: コンペアマッチ B により 1 出力

## 11.4 動作説明

### 11.4.1 パルス出力

デューティ 50% のパルスを任意の位相差で出力させた例を図 11.2 に示します。TCSR の CCLRA ビットを 1 にセットし、コンペアマッチが発生するたびに OLVLA、OLVLB ビットをソフトウェアにより反転させます。

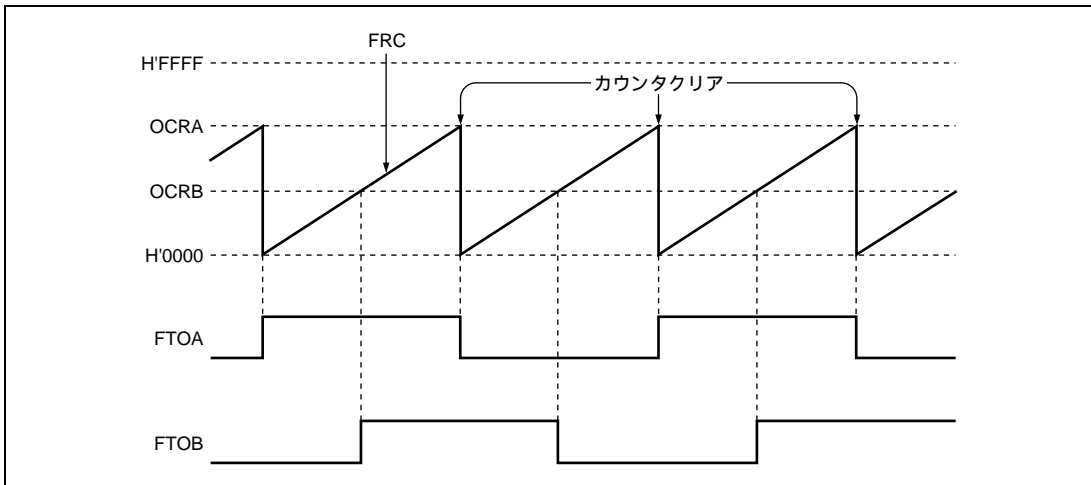


図 11.2 パルス出力例

## 11.5 動作タイミング

### 11.5.1 FRC のカウントタイミング

内部クロック動作の場合の FRC のカウントタイミングを図 11.3 に示します。また、外部クロック動作の場合の FRC のカウントタイミングを図 11.4 に示します。なお、外部クロックのパルス幅は 1.5 システムクロック ( $\phi$ ) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意が必要です。

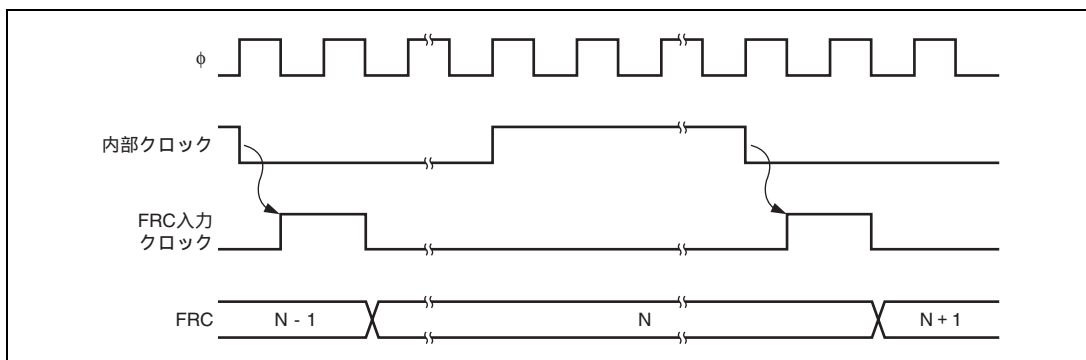


図 11.3 内部クロック動作時のカウントタイミング

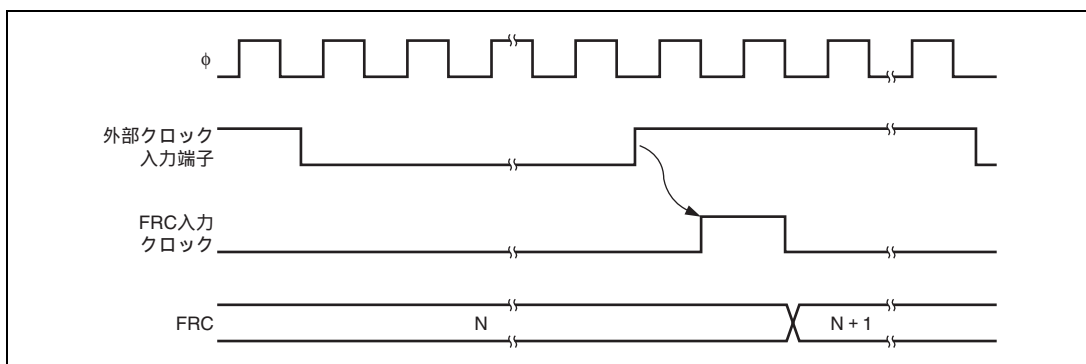


図 11.4 外部クロック動作時のカウントタイミング

### 11.5.2 アウトプットコンペア出力タイミング

コンペアマッチ信号は、FRC と OCR の値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TOCR の OLVL ビットで設定される出力値がアウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。アウトプットコンペア A 出力タイミングを図 11.5 に示します。

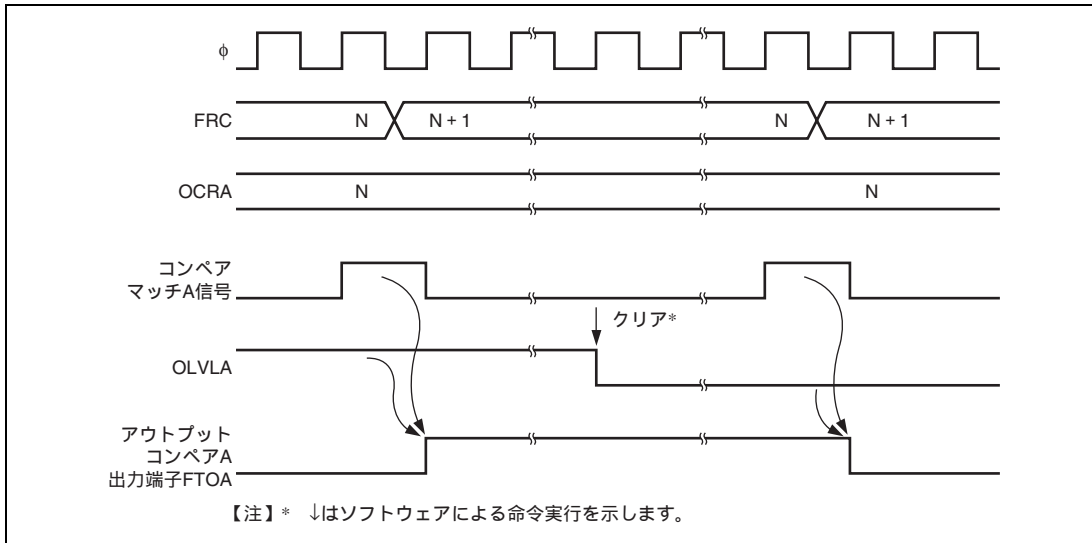


図 11.5 アウトプットコンペア A 出力タイミング

### 11.5.3 FRC のクリアタイミング

FRC はコンペアマッチ A 信号でクリアすることができます。このタイミングを図 11.6 に示します。

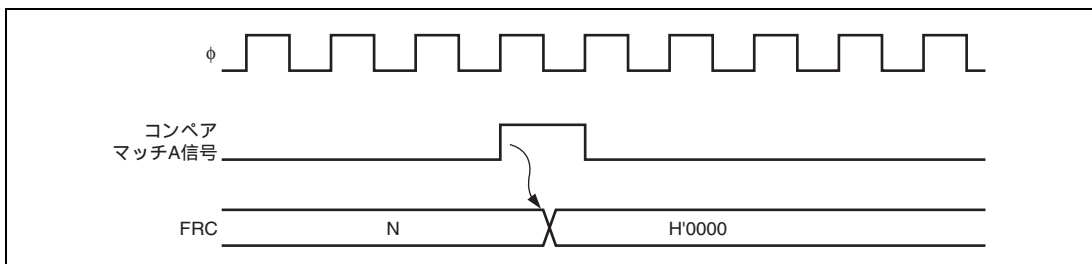


図 11.6 コンペアマッチ A 信号による FRC のクリアタイミング

### 11.5.4 インพุットキャプチャ入力タイミング

インพุットキャプチャ入力は、TCR の IEDGA ~ IEDGD ビットの設定により立ち上がりエッジ / 立ち下がりエッジの選択ができます。立ち上がりエッジを選択した場合のタイミングを図 11.7 に示します。

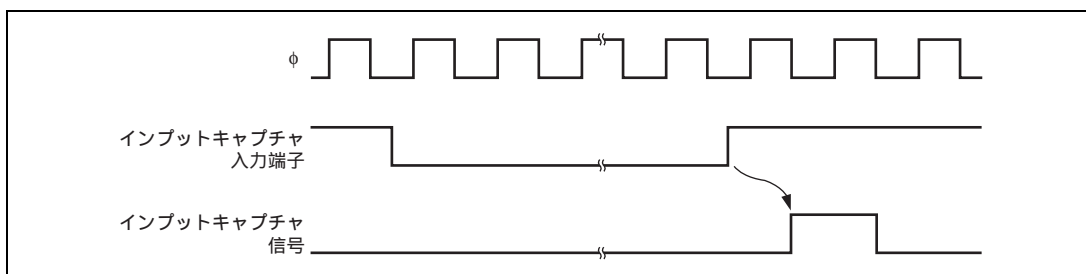


図 11.7 インพุットキャプチャ入力信号タイミング (通常時)

また、ICRA ~ ICRD のリード時に、対応するインพุットキャプチャ信号を入力するとインพุットキャプチャ信号は 1 システムクロック ( $\phi$ ) 遅延されます。このタイミングを図 11.8 に示します。

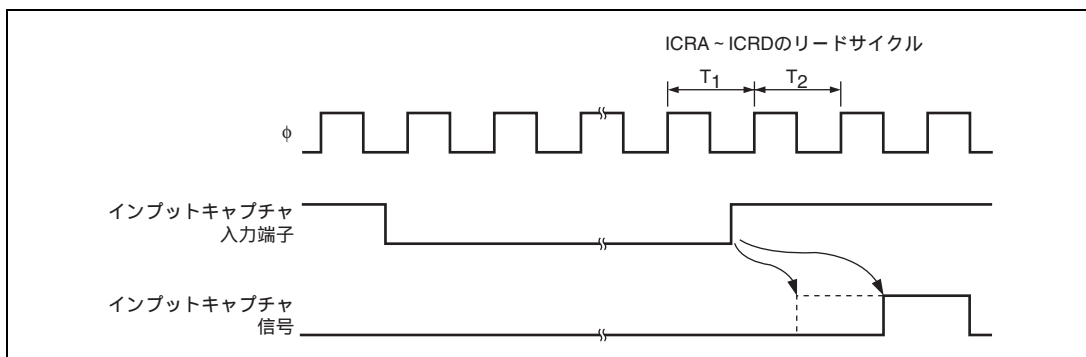


図 11.8 インพุットキャプチャ入力信号タイミング (ICRA ~ ICRD のリード時)

### 11.5.5 バッファ動作時のインプットキャプチャ入力タイミング

ICRC または ICRD を ICRA または ICRB のバッファとして動作させることができます。ICRC を ICRA のバッファレジスタとして使用し (BUFEA = 1)、立ち上がり / 立ち下がり両エッジ指定 (IEDGA = 1、IEDGC = 0 または IEDGA = 0、IEDGC = 1) とした場合のインプットキャプチャ入力タイミングを図 11.9 に示します。

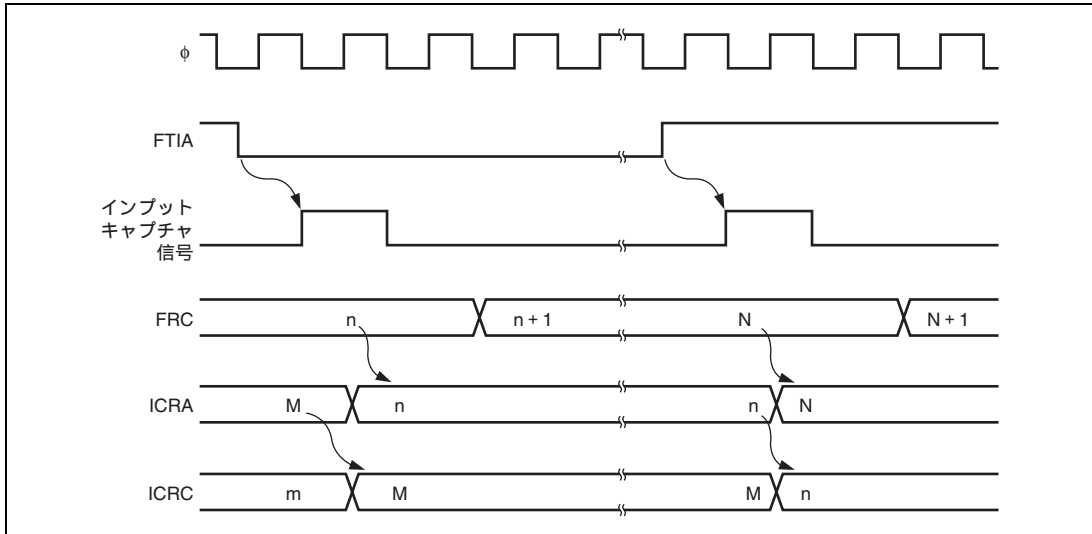


図 11.9 バッファ動作タイミング (インプットキャプチャ)

インプットキャプチャフラグは、ICRC または ICRD をバッファレジスタとして使用した場合でも各インプットキャプチャ入力の指定されたエッジに対応してセットされます。たとえば、ICRC を ICRA のバッファレジスタとして使用しているとき、インプットキャプチャ入力に IEDGC ビットで指定したエッジになると ICFC フラグがセットされ、そのとき ICICE ビットがセットされていれば割り込み要求が発生します。ただし、FRC の値は ICRC には転送されません。また、バッファ動作時に、インプットキャプチャ入力信号が発生するタイミングでデータ転送レジスタ (ICRA と ICRC または ICRB と ICRD) のリードが行われると、インプットキャプチャ入力信号は 1 システムクロック ( $\phi$ ) 遅延されます。BUFEA = 1 のときのバッファ動作タイミングを図 11.10 に示します。

## 11. 16 ビットフリーランニングタイム (FRT)

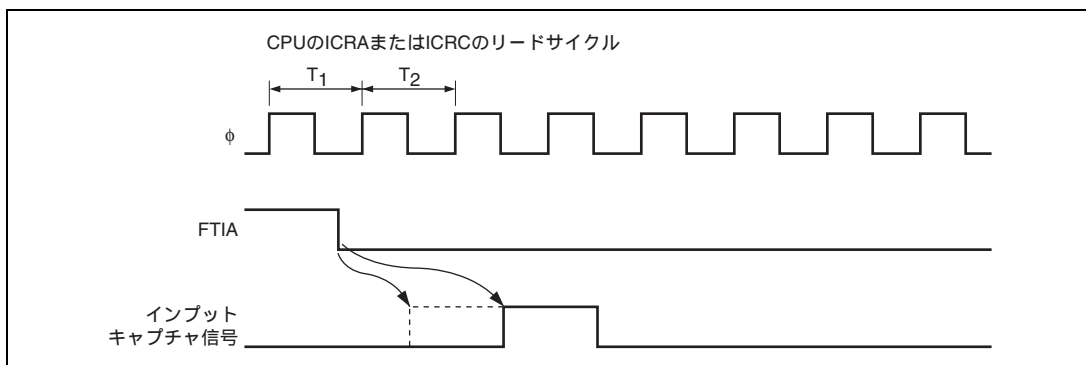


図 11.10 バッファ動作タイミング (BUFEA=1)

### 11.5.6 インプットキャプチャ時のフラグセットタイミング

インプットキャプチャ信号入力により ICFA ~ ICFD フラグは 1 にセットされ、FRC の値が対応する ICRA ~ ICRD に転送されます。ICFA ~ ICFD フラグのセットタイミングを図 11.11 に示します。

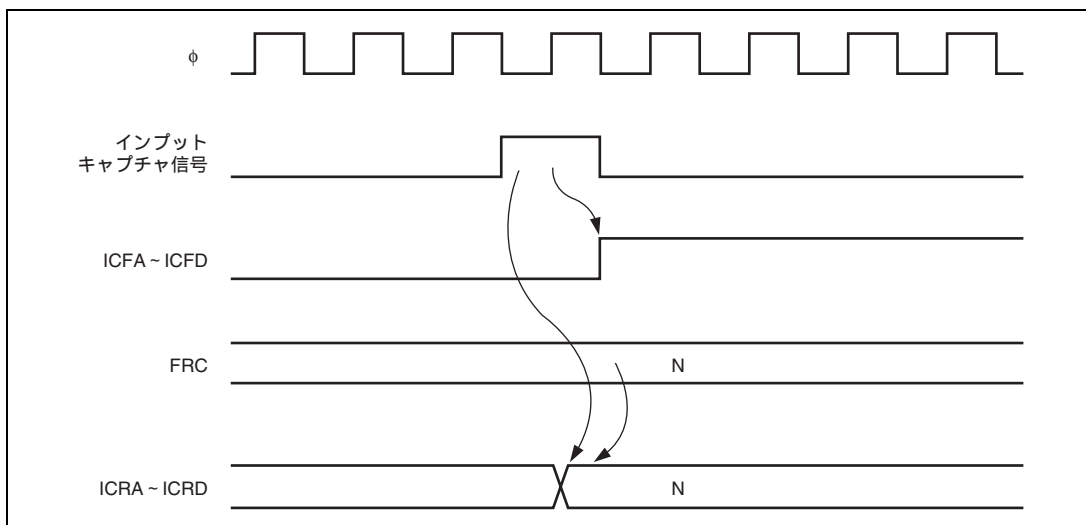


図 11.11 ICFA ~ ICFD フラグのセットタイミング

### 11.5.7 アウトプットコンペア時のフラグセットタイミング

OCFA、OCFB フラグは、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。OCRA、OCRB と FRC の値が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB フラグのセットタイミングを図 11.12 に示します。

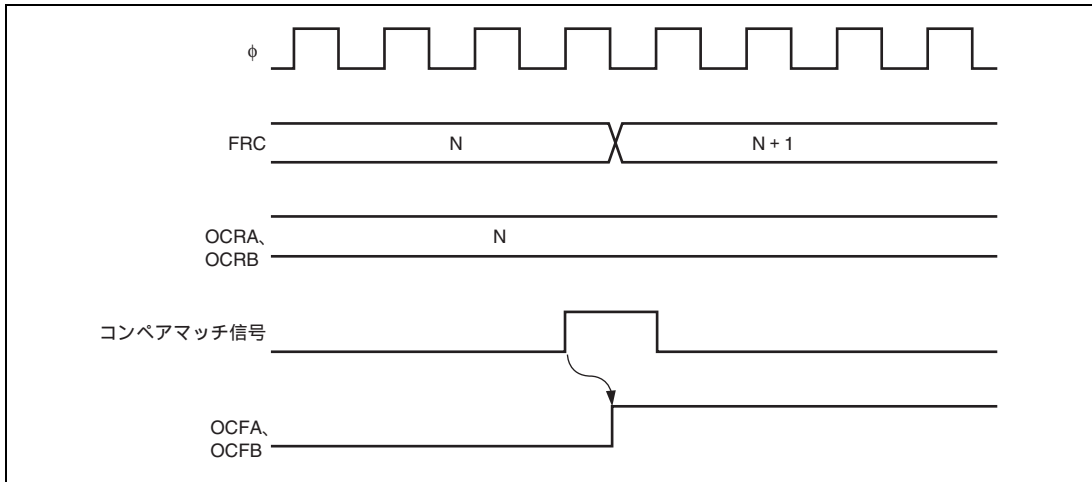


図 11.12 OCFA、OCFB フラグのセットタイミング

### 11.5.8 オーバフロー時のフラグセットタイミング

OVF フラグは、FRC がオーバフロー (H'FFFF→H'0000) したとき 1 にセットされます。OVF フラグのセットタイミングを図 11.13 に示します。

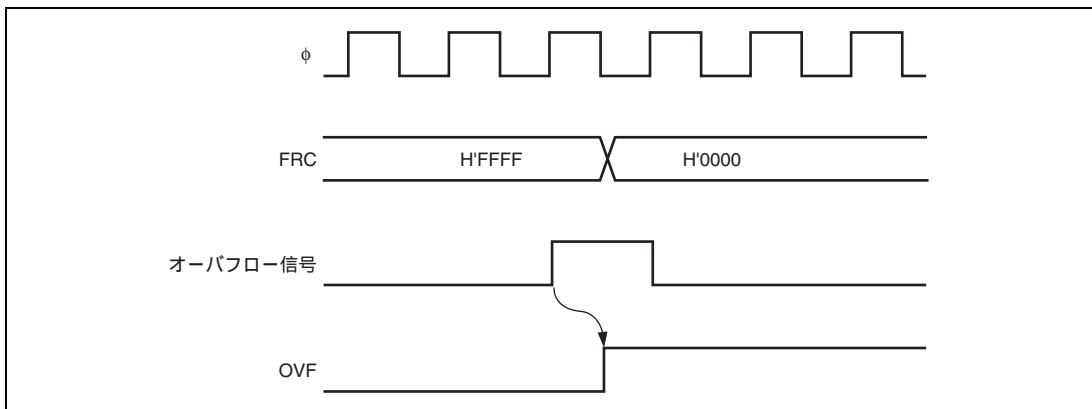


図 11.13 OVF フラグのセットタイミング

### 11.5.9 自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図 11.14 に示します。

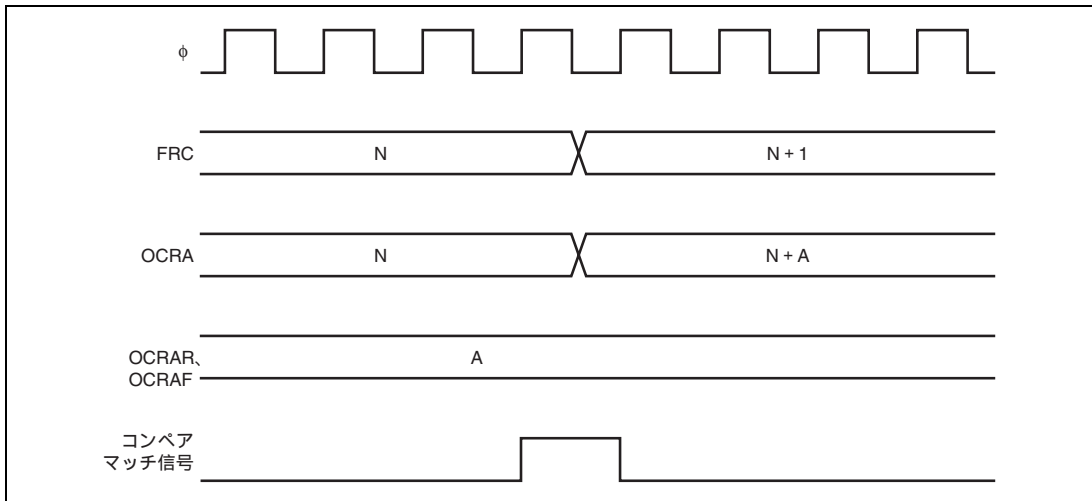


図 11.14 OCRA の自動加算タイミング

### 11.5.10 マスク信号生成タイミング

TOCR の ICRDMS ビットが 1 にセットされている場合、ICRDM の値が H'0000 以外であると、ICRD のインプットキャプチャ信号をマスクする信号が生成されます。マスク信号はインプットキャプチャ信号によりセットされます。マスク信号は ICRD の値に OCRDM の値を 2 倍して加算した値と、FRC のコンペアマッチによりクリアされます。マスク信号のセットタイミングを図 11.15 に示します。マスク信号のクリアタイミングを図 11.16 に示します。

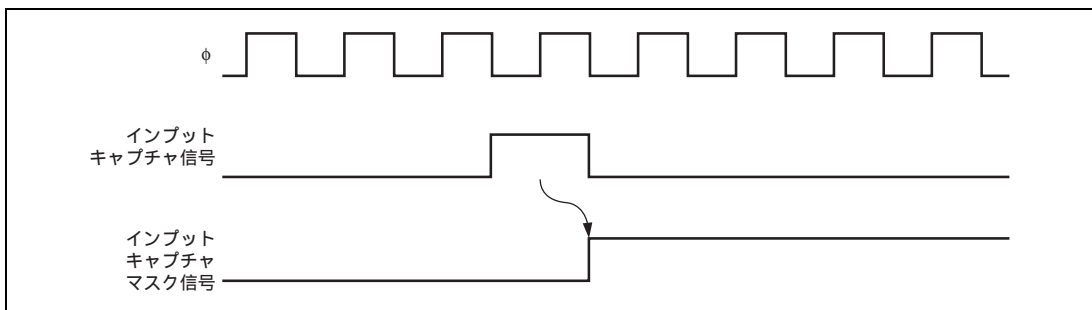


図 11.15 インプットキャプチャマスク信号のセットタイミング



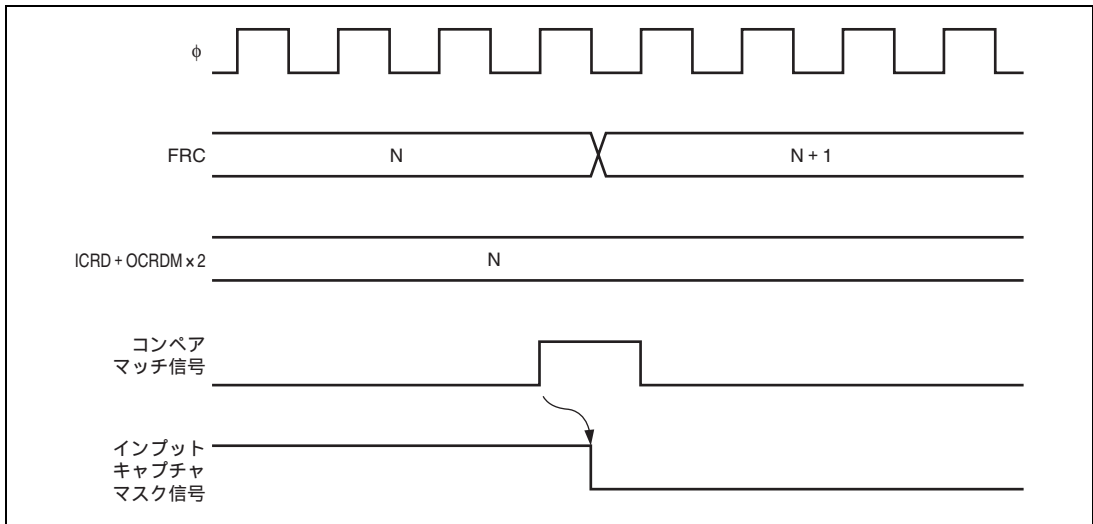


図 11.16 インプットキャプチャマスク信号のクリアタイミング

## 11.6 割り込み要因

FRT の割り込み要因は ICIA ~ ICID、OCIA、OCIB および FOVI の 7 つあります。各割り込み要因は TIER の各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。表 11.2 に各割り込み要因と優先順位を示します。

ICIA、ICIB、OCIA、OCIB 割り込みは、内蔵 DTC の起動要因とすることができます。

表 11.2 FRT 割り込み要因

名 称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
ICIA	ICRA のインプットキャプチャ	ICFA	可	高 ↑ ↓ 低
ICIB	ICRB のインプットキャプチャ	ICFB	可	
ICIC	ICRC のインプットキャプチャ	ICFC	不可	
ICID	ICRD のインプットキャプチャ	ICFD	不可	
OCIA	OCRA のコンペアマッチ	OCFA	可	
OCIB	OCRB のコンペアマッチ	OCFB	可	
FOVI	FRC のオーバーフロー	OVF	不可	

## 11.7 使用上の注意事項

### 11.7.1 FRC のライトとクリアの競合

FRC のライトサイクルの次の状態でカウンタクリア信号が発生すると、FRC へのライトは行われず、FRC のクリアが優先されます。このタイミングを図 11.17 に示します。

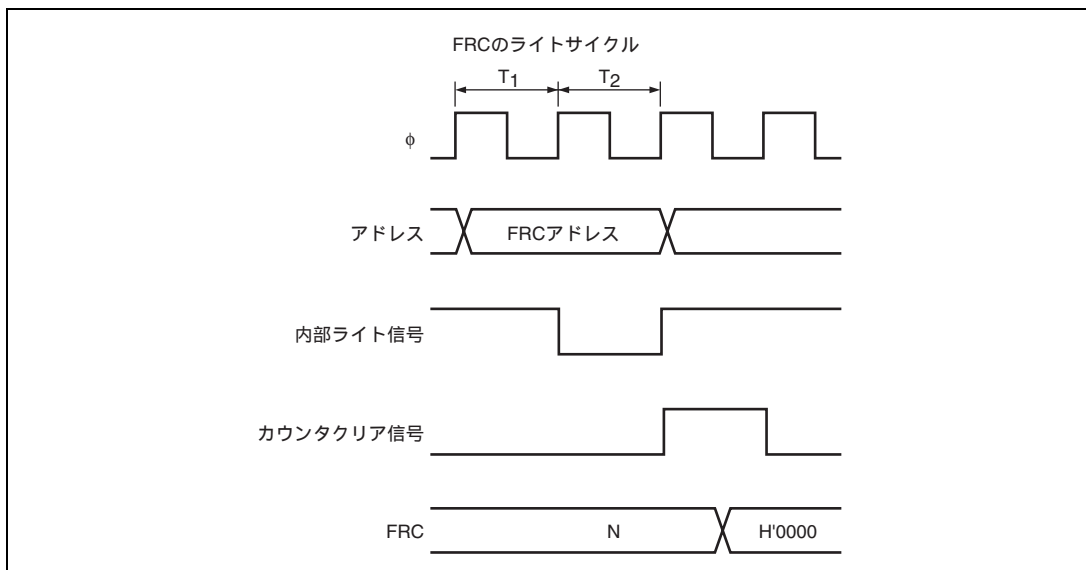


図 11.17 FRC のライトとクリアの競合

### 11.7.2 FRC のライトとカウントアップの競合

FRC のライトサイクルの次のステートでカウントアップが発生しても、カウントアップされず、カウンタライต์が優先されます。このタイミングを図 11.18 に示します。

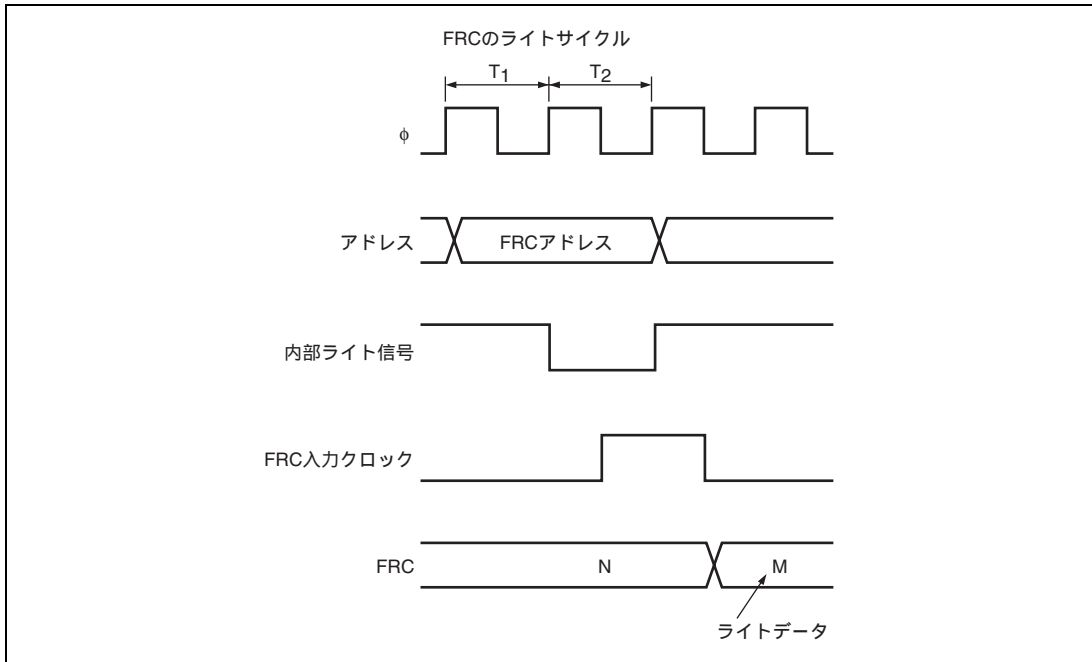


図 11.18 FRC のライトとカウントアップの競合

### 11.7.3 OCRのライトとコンペアマッチの競合

OCRA、OCRBのライトサイクルの次のステートでコンペアマッチが発生した場合、OCRのライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図11.19に示します。

OCRAの自動加算機能を選択しているとき、OCRA、OCRAR、OCRAFライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAFのライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図11.20に示します。

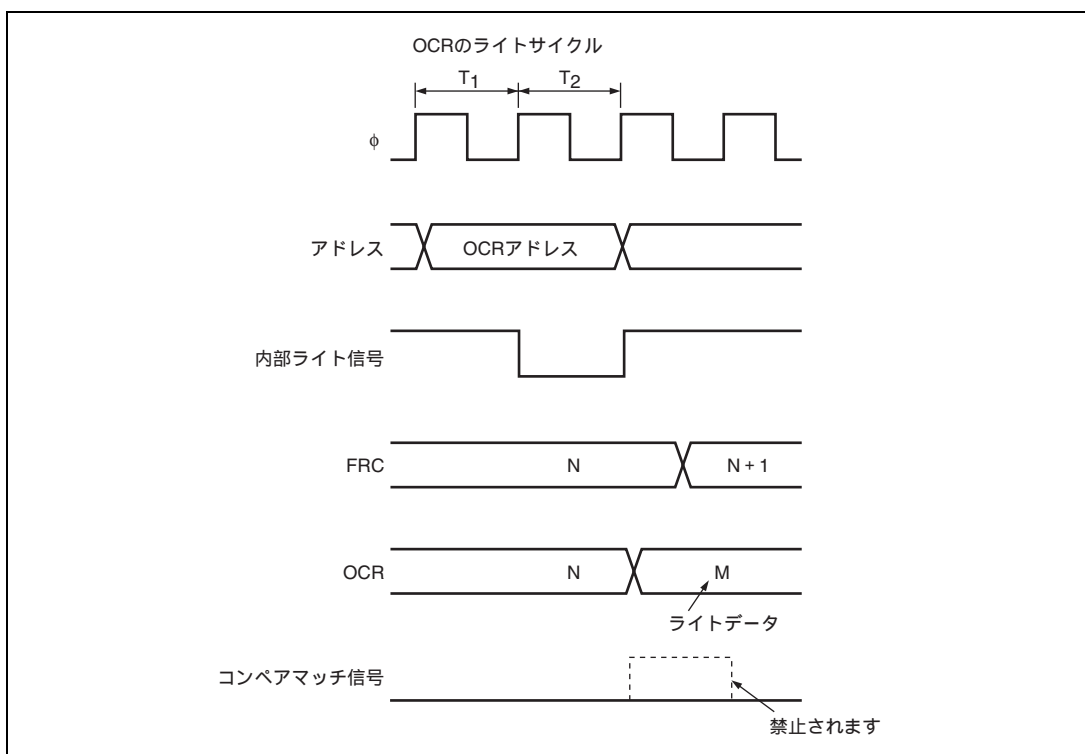


図 11.19 OCRのライトとコンペアマッチの競合 (自動加算機能を使用していない場合)

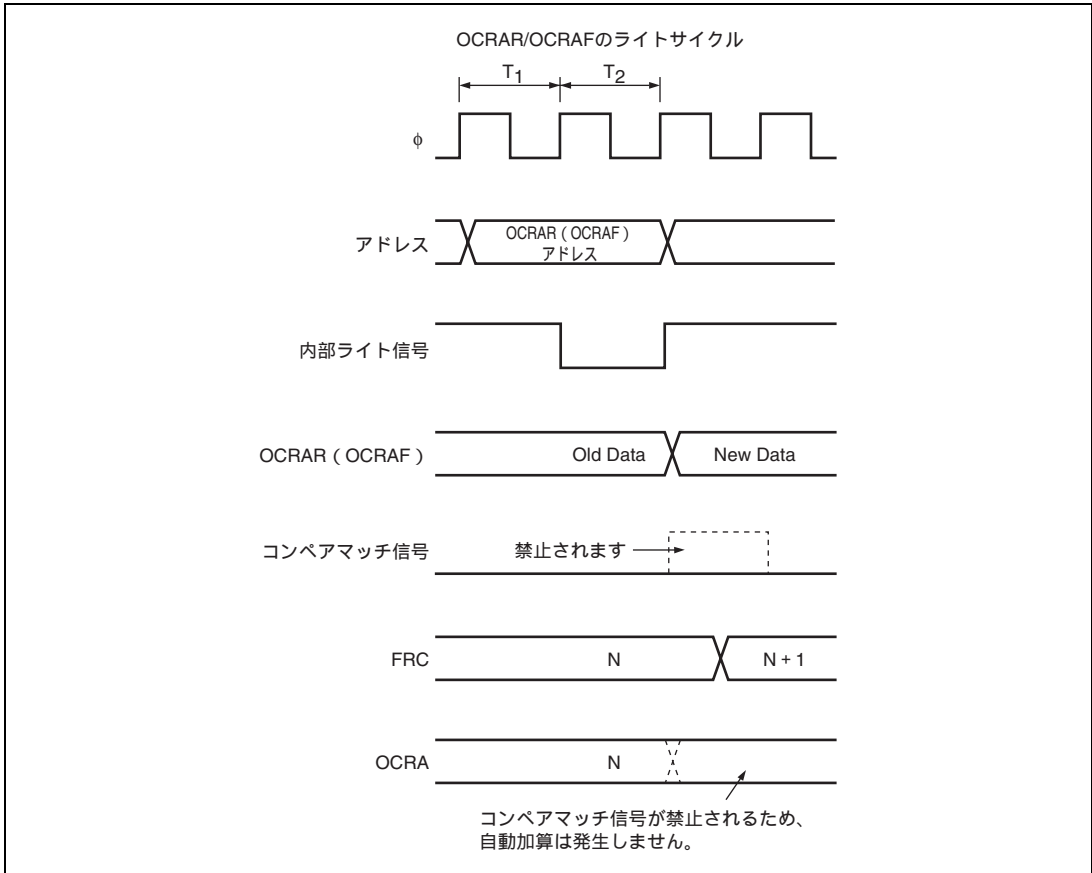


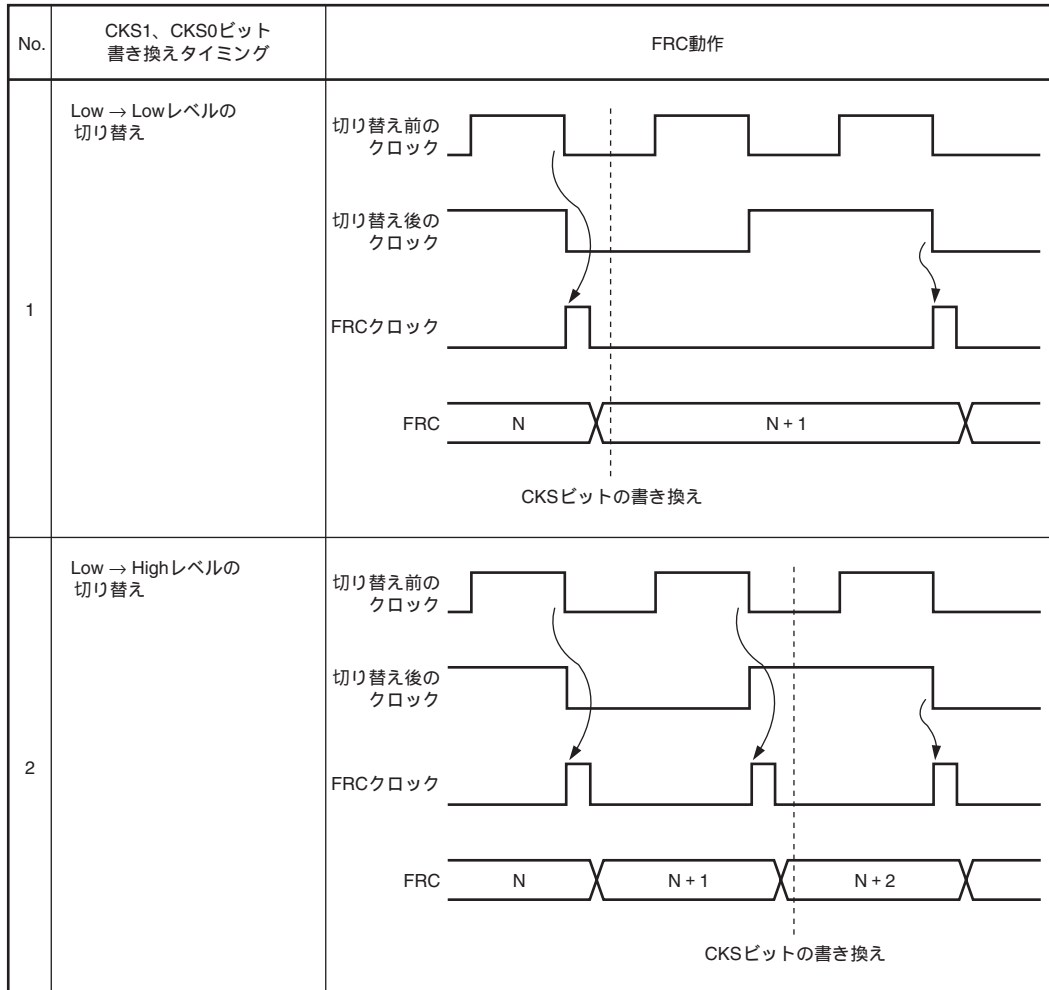
図 11.20 OCRAR/OCRAF のライトとコンペアマッチの競合 (自動加算機能を使用している場合)

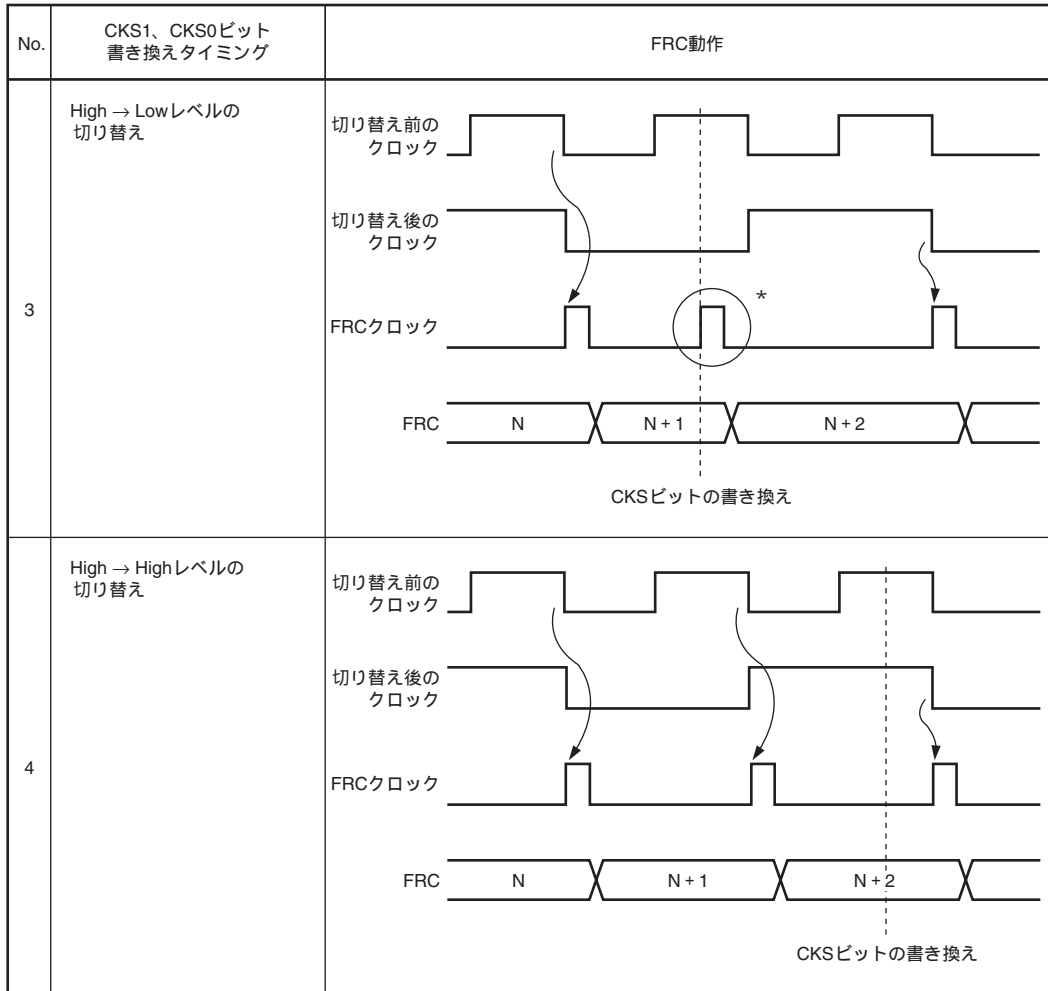
### 11.7.4 内部クロックの切り替えとカウンタの動作

内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と FRC 動作の関係を表 11.3 に示します。

内部クロックを使用する場合、システムクロック ( $\phi$ ) を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため、表 11.3 の No.3 のように切り替え前のクロック High→切り替え後のクロック Low レベルになるような切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 11.3 内部クロックの切り替えと FRC 動作





【注】 \* 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRCはカウントアップされます。

### 11.7.5 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、FRTの動作停止/許可を設定することが可能です。初期値ではFRTの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第25章 低消費電力状態」を参照してください。

## 11. 16ビットフリーランニングタイム (FRT)

---



---

## 12. 8ビットタイマ (TMR)

---

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR\_0、TMR\_1) を内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

また、本 LSI は 2 チャンネルの類似の 8 ビットタイマ (TMR\_Y、TMR\_X) を内蔵しており、タイマコネクシオンに接続して使用できます。

### 12.1 特長

- クロックを選択可能

TMR\_0、TMR\_1：6種類の内部クロックと、外部クロックのうちから選択できます。

TMR\_Y、TMR\_X：3種類の内部クロックと、外部クロックのうちから選択できます。

- カウンタのクリア指定が可能

コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。

- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御

独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です (TMR\_Yにはタイマ出力端子がありません)。

- TMR\_0、TMR\_1のカスケード接続が可能

(TMR\_Y、TMR\_Xのカスケード接続はできません。)

TMR\_0を上位、TMR\_1を下位とする16ビットタイマとして動作可能です (16ビットカウントモード)。

TMR\_1はTMR\_0のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。

- 複数の割り込み要因

TMR\_0、TMR\_1、TMR\_Y：コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。

TMR\_X：インプットキャプチャがあります。

## 12. 8ビットタイマ (TMR)

8ビットタイマのブロック図を図12.1、図12.2に示します。TMR\_X、TMR\_Yも同様の構成ですが、カスケード接続はできません。またTMR\_Xにはインプットキャプチャ機能が追加されています。詳細は「第13章 タイマコネクション」を参照してください。

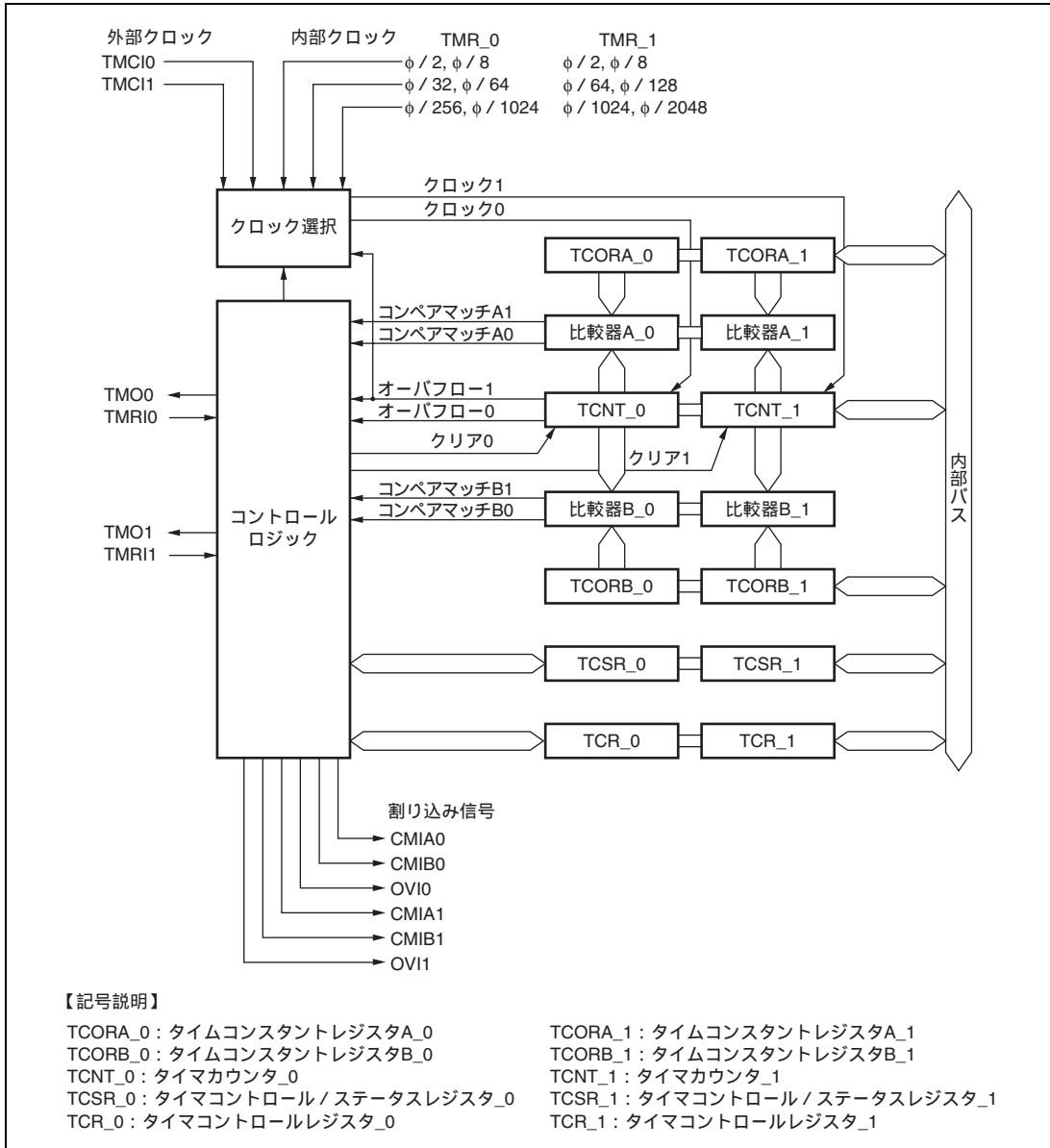


図12.1 8ビットタイマ (TMR\_0、TMR\_1) のブロック図

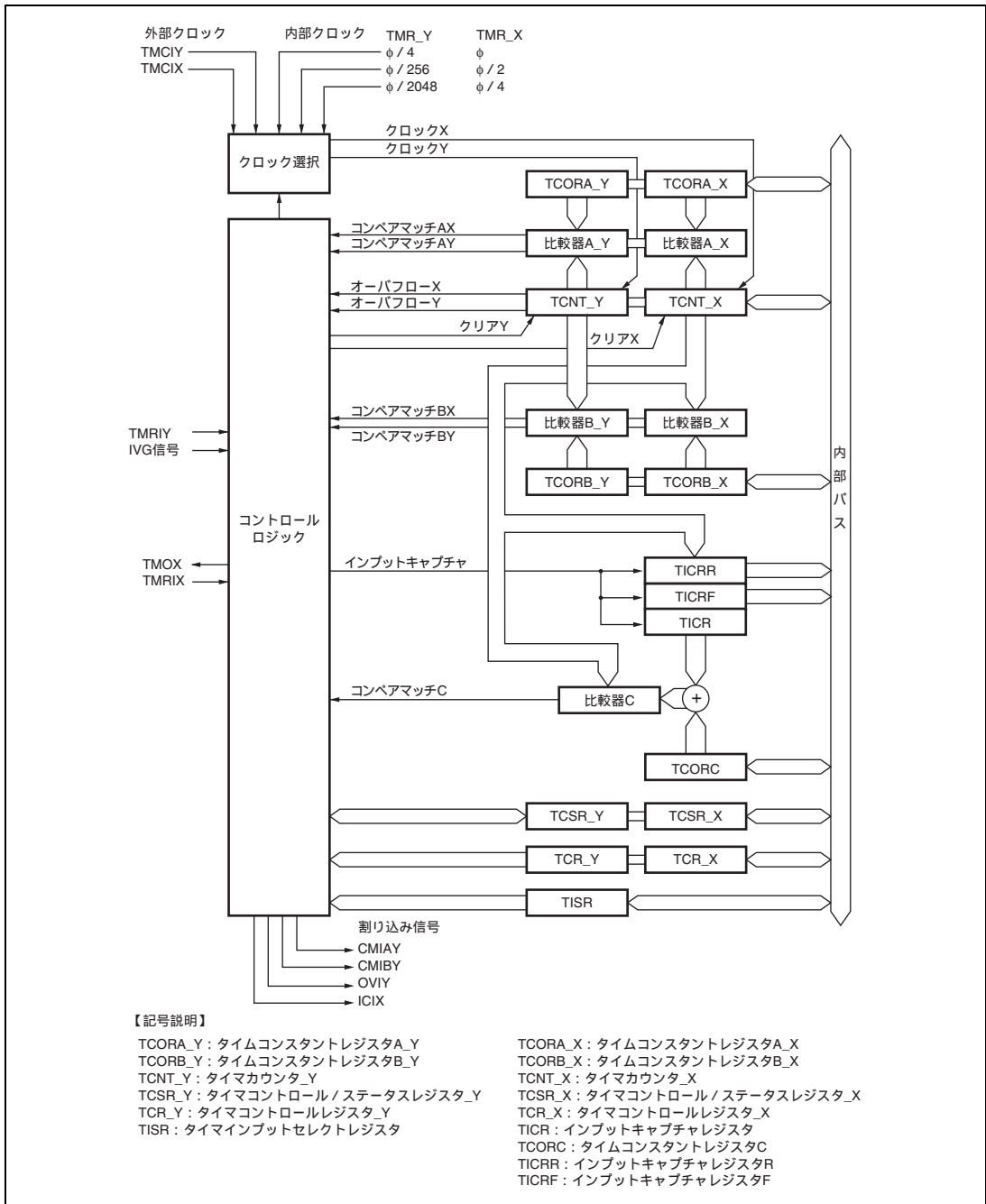


図 12.2 8ビットタイマ (TMR\_Y、TMR\_X) のブロック図

## 12.2 入出力端子

TMRの入出力端子を表 12.1 に示します。

表 12.1 端子構成

チャンネル	名称	記号	入出力	機能
TMR_0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
TMR_1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力
TMR_Y	タイマクロック /リセット入力端子	VSYNCI/TMIY (TMCiY/TMRIY)	入力	カウンタ外部クロック入力 /リセット入力
TMR_X	タイマ出力端子	TMOX	出力	コンペアマッチ出力
	タイマクロック /リセット入力端子	HFBACKI/TMIX (TMCiX/TMRIx)	入力	カウンタ外部クロック入力 /リセット入力

## 12.3 レジスタの説明

TMRにはチャンネルごとに以下のレジスタがあります。なお、シリアルタイマコントロールレジスタについては「3.2.3 シリアルタイマコントロールレジスタ (STCR)」、タイマコネクショレジスタについては「13.3.3 タイマコネクショレジスタ S (TCONRS)」を参照してください。

- タイマカウンタ (TCNT)
- タイムコンスタントレジスタA (TCORA)
- タイムコンスタントレジスタB (TCORB)
- タイマコントロールレジスタ (TCR)
- タイマコントロール/ステータスレジスタ (TCSR)
- タイマインプットセレクトレジスタ (TISR) \*<sup>1</sup>
- タイムコンスタントレジスタC (TCORC) \*<sup>2</sup>
- インプットキャプチャレジスタR (TICRR) \*<sup>2</sup>
- インプットキャプチャレジスタF (TICRF) \*<sup>2</sup>

【注】 \*<sup>1</sup> TISRはTMR\_Yのみです。

\*<sup>2</sup> TCORC、TICRR、TICRFはTMR\_Xのみです。

### 12.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのリード/ライト可能なアップカウンタです。TCNT\_0、TCNT\_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー(H'FF→H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

### 12.3.2 タイムコンスタントレジスタA (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA\_0、TCORA\_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

### 12.3.3 タイムコンスタントレジスタB (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB\_0、TCORB\_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

## 12. 8ビットタイマ (TMR)

### 12.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。TMR_X では本ビットの値にかかわらず CMIB 割り込みは発生しません。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。TMR_X では本ビットの値にかかわらず CMIA 割り込みは発生しません。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。TMR_X では本ビットの値にかかわらず OVI 割り込みは発生しません。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0
3	CCLR0	0	R/W	TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	STCR の ICKS1、ICKS0 ビットとの組み合わせで、TCNT に入力するクロック
0	CKS0	0	R/W	とカウント条件を選択します。表 12.2 を参照してください。

表 12.2 TCNT に入力するクロックとカウント条件

チャネル	TCR			STCR		説 明
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	-	-	クロック入力を禁止
	0	0	1	-	0	内部クロック $\phi$ /8 立ち下がりエッジでカウント
	0	0	1	-	1	内部クロック $\phi$ /2 立ち下がりエッジでカウント
	0	1	0	-	0	内部クロック $\phi$ /64 立ち下がりエッジでカウント
	0	1	0	-	1	内部クロック $\phi$ /32 立ち下がりエッジでカウント
	0	1	1	-	0	内部クロック $\phi$ /1024 立ち下がりエッジでカウント
	0	1	1	-	1	内部クロック $\phi$ /256 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	-	-	クロック入力を禁止
	0	0	1	0	-	内部クロック $\phi$ /8 立ち下がりエッジでカウント
	0	0	1	1	-	内部クロック $\phi$ /2 立ち下がりエッジでカウント
	0	1	0	0	-	内部クロック $\phi$ /64 立ち下がりエッジでカウント
	0	1	0	1	-	内部クロック $\phi$ /128 立ち下がりエッジでカウント
	0	1	1	0	-	内部クロック $\phi$ /1024 立ち下がりエッジでカウント
	0	1	1	1	-	内部クロック $\phi$ /2048 立ち下がりエッジでカウント
	1	0	0	-	-	TCNT_0 のコンペアマッチ A でカウント*
TMR_Y	0	0	0	-	-	クロック入力を禁止
	0	0	1	-	-	内部クロック $\phi$ /4 立ち下がりエッジでカウント
	0	1	0	-	-	内部クロック $\phi$ /256 立ち下がりエッジでカウント
	0	1	1	-	-	内部クロック $\phi$ /2048 立ち下がりエッジでカウント
	1	0	0	-	-	クロック入力を禁止
TMR_X	0	0	0	-	-	クロック入力を禁止
	0	0	1	-	-	内部クロック $\phi$ でカウント
	0	1	0	-	-	内部クロック $\phi$ /2 立ち下がりエッジでカウント
	0	1	1	-	-	内部クロック $\phi$ /4 立ち下がりエッジでカウント
	1	0	0	-	-	クロック入力を禁止
共通	1	0	1	-	-	外部クロックの立ち上がりエッジでカウント
	1	1	0	-	-	外部クロックの立ち下がりエッジでカウント
	1	1	1	-	-	外部クロックの立ち上がり / 立ち下がり両エッジでカウント

【注】 \* TMR\_0 のクロック入力を TCNT\_1 のオーバフロー信号とし、TMR\_1 のクロック入力を TCNT\_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。

## 12. 8ビットタイマ (TMR)

### 12.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_0 の値と TCORB_0 の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき • CMIB 割り込みにより、DTC が起動されたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_0 の値と TCORA_0 の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき • CMIA 割り込みにより、DTC が起動されたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT_0 の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガインエーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0: コンペアマッチ A による A/D 変換開始要求を禁止 1: コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB_0 と TCNT_0 のコンペアマッチ B による TMO0 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA_0 と TCNT_0 のコンペアマッチ A による TMO0 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。



## • TCSR\_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_1 の値と TCORB_1 の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき • CMIB 割り込みにより、DTC が起動されたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_1 の値と TCORA_1 の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき • CMIA 割り込みにより、DTC が起動されたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT_1 の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4		1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3, 2 TCORB_1 と TCNT_1 のコンペアマッチ B による TMO1 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1, 0 TCORA_1 と TCNT_1 のコンペアマッチ A による TMO1 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 12. 8 ビットタイマ (TMR)

### • TCSR\_Y

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* <sup>1</sup>	コンペアマッチフラグ B [セット条件] TCNT_Y の値と TCORB_Y の値が一致したとき [クリア条件] • CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき • CMIB 割り込みにより、DTC が起動されたとき
6	CMFA	0	R/(W)* <sup>1</sup>	コンペアマッチフラグ A [セット条件] TCNT_Y の値と TCORA_Y の値が一致したとき [クリア条件] • CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき • CMIA 割り込みにより、DTC が起動されたとき
5	OVF	0	R/(W)* <sup>1</sup>	タイマオーバフローフラグ [セット条件] TCNT_Y の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICIE	0	R/W	インプットキャプチャインタラプトイネーブル TCSR_X の ICF が 1 にセットされたとき、ICF による割り込み要求 (ICIX) の許可または禁止を選択します。 0 : ICF による割り込み要求 (ICIX) を禁止 1 : ICF による割り込み要求 (ICIX) を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3, 2 TCORB_Y と TCNT_Y のコンペアマッチ B による TMOY 端子* <sup>2</sup> の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1, 0 TCORA_Y と TCNT_Y のコンペアマッチ A による TMOY 端子* <sup>2</sup> の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 本製品には TMOY 外部出力端子はありません。

## • TCSR\_X

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT_X の値と TCORB_X の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき • CMIB 割り込みにより、DTC が起動されたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT_X の値と TCORA_X の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき • CMIA 割り込みにより、DTC が起動されたとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT_X の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICF	0	R/(W)*	インプットキャプチャフラグ [セット条件] タイマコネクションの TCONRI の ICST ビットが 1 にセットされた後、外部リセット信号に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき [クリア条件] ICF=1 の状態で ICF をリードした後、ICF に 0 をライトしたとき
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_X と TCNT_X のコンペアマッチ B による TMOX 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力(トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_X と TCNT_X のコンペアマッチ A による TMOX 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力(トグル出力)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 12. 8ビットタイマ (TMR)

### 12.3.6 インプットキャプチャレジスタ (TICR)

TICRは8ビットのレジスタです。外部リセット入力の立ち下がりでTCNTの内容がTICRに転送されます。CPUから直接アクセスすることはできません。TICRの機能はタイマコネクシオンで使用されます。詳細は「第13章 タイマコネクシオン」を参照してください。

### 12.3.7 タイムコンスタントレジスタ (TCORC)

TCORCは8ビットのリード/ライト可能なレジスタです。TCORCとTICRの内容を加算した値はTCNTと常に比較され、一致するとコンペアマッチC信号が発生されます。ただし、TCORCへのライトサイクルのT2ステートとTICRのインプットキャプチャサイクルでの比較は禁止されています。TCORCの初期値はH'FFです。TCORCの機能はタイマコネクシオンで使用されます。詳細は「第13章 タイマコネクシオン」を参照してください。

### 12.3.8 インプットキャプチャレジスタ R、F (TICRR、TICRF)

TICRR、TICRFは8ビットのリード専用のレジスタです。TICRR、TICRFは、タイマコネクシオンのTCONRIのICSTビットが1にセットされているときに、外部リセット入力の立ち上がり、立ち下がりの順でTCNTの内容が転送されます。1回のキャプチャ動作が終了するとICSTビットは0にクリアされます。TICRR、TICRFの初期値はH'00です。TICRR、TICRFの機能はタイマコネクシオンで使用されます。詳細は「第13章 タイマコネクシオン」を参照してください。

### 12.3.9 タイムインプットセレクトレジスタ (TISR)

TISRは、カウンタ外部クロック/リセット入力の信号源を選択します。

ビット	ビット名	初期値	R/W	説明
7~1		すべて1	R/(W)	リザーブビット 初期値を変更しないでください。
0	IS	0	R/W	インプットセレクト TMR_Yのカウンタ外部クロック/リセット入力の信号源として、内部同期信号 (IVG 信号)またはタイマクロック/リセット入力端子 VSYNCI/TMIY(TMCIY/TMRIY)を選択します。 0 : IVG 信号を選択 1 : VSYNCI/TMIY(TMCIY/TMRIY)を選択

## 12.4 動作説明

### 12.4.1 パルス出力

任意のデューティパルスを出力させる例を図 12.3 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

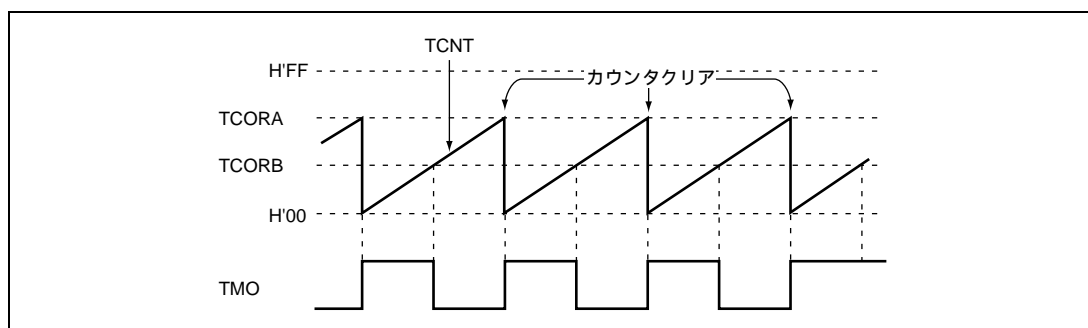


図 12.3 パルス出力例

## 12.5 動作タイミング

### 12.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.4 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 12.5 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

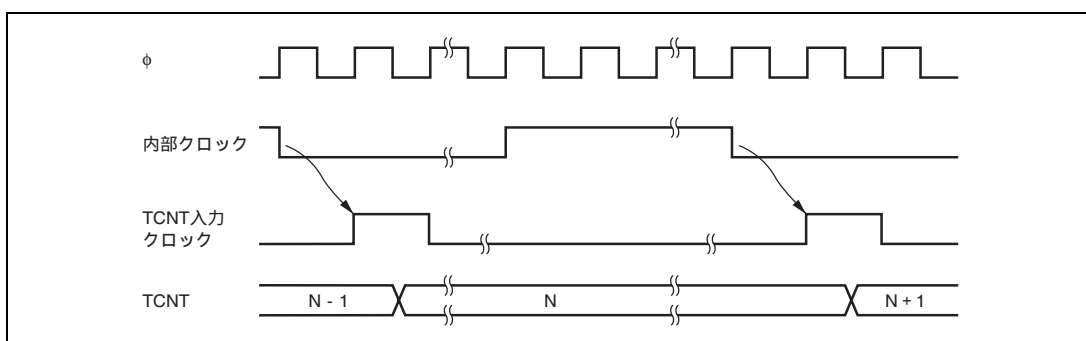


図 12.4 内部クロック動作時のカウントタイミング

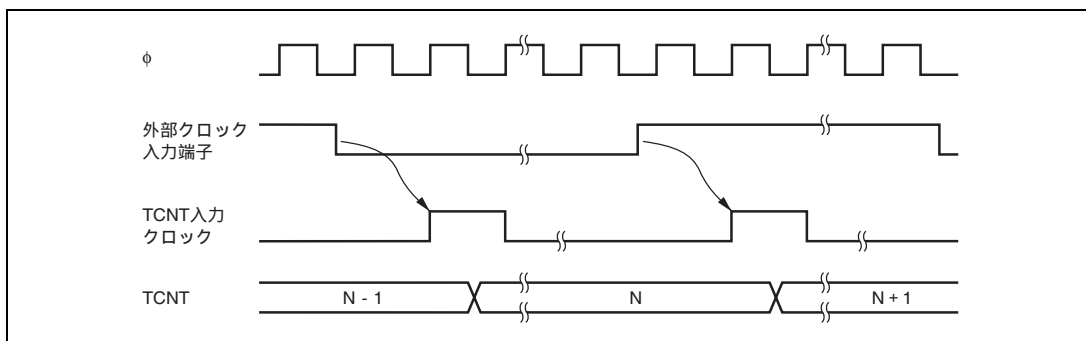


図 12.5 外部クロック動作時のカウントタイミング (両エッジの場合)

### 12.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCNT と TCOR の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 12.6 に示します。

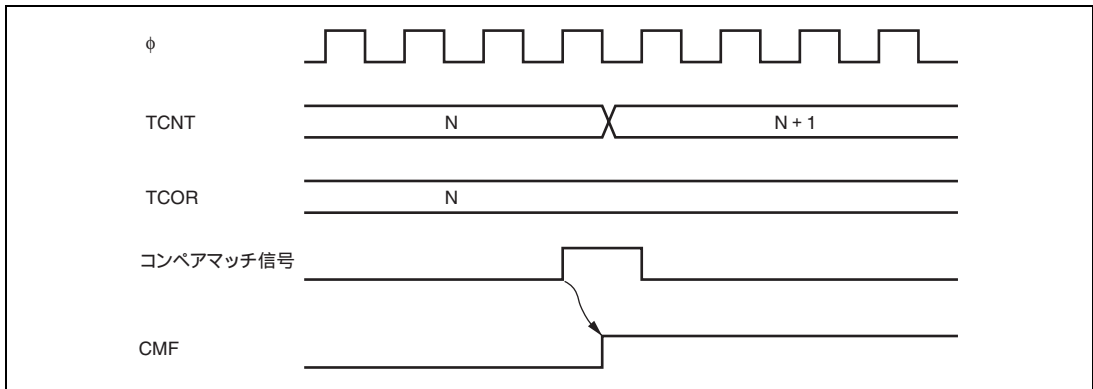


図 12.6 コンペアマッチ時の CMF フラグのセットタイミング

### 12.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 12.7 に示します。

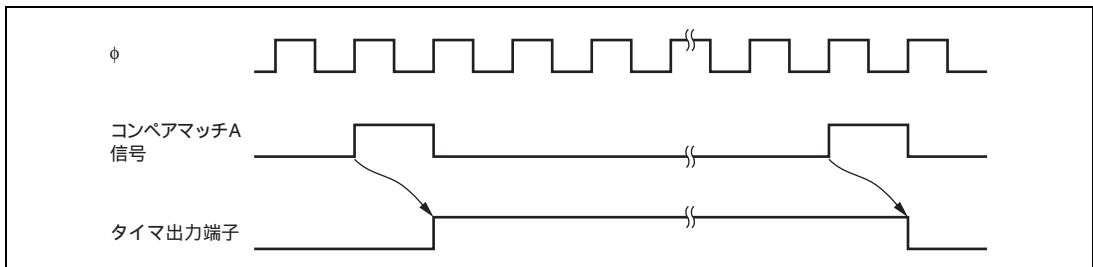


図 12.7 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

### 12.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 12.8 に示します。

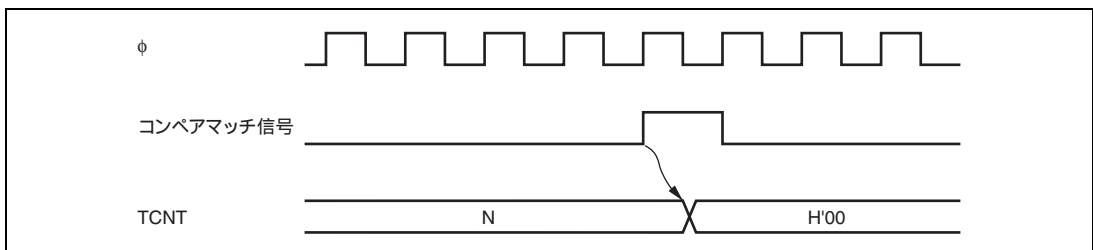


図 12.8 コンペアマッチによるカウンタクリアタイミング

### 12.5.5 TCNT の外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 12.9 に示します。

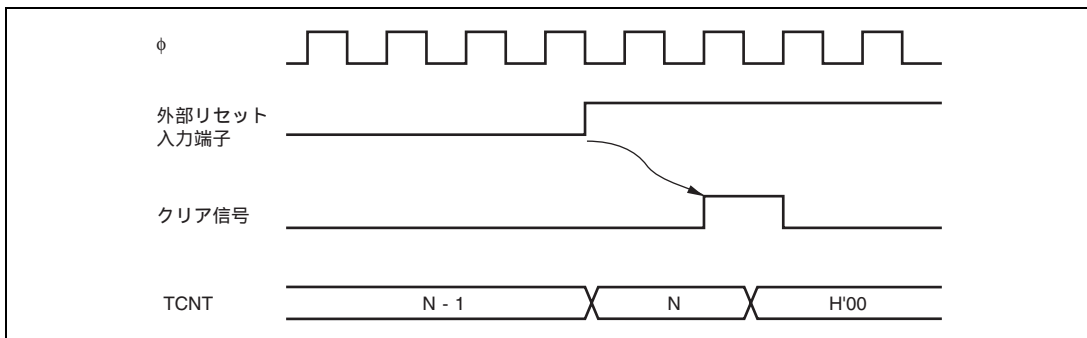


図 12.9 外部リセット入力によるクリアタイミング

### 12.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバーフロー ( $H'FF \rightarrow H'00$ ) したとき出力されるオーバーフロー信号により1にセットされます。OVFフラグのセットタイミングを図 12.10 に示します。

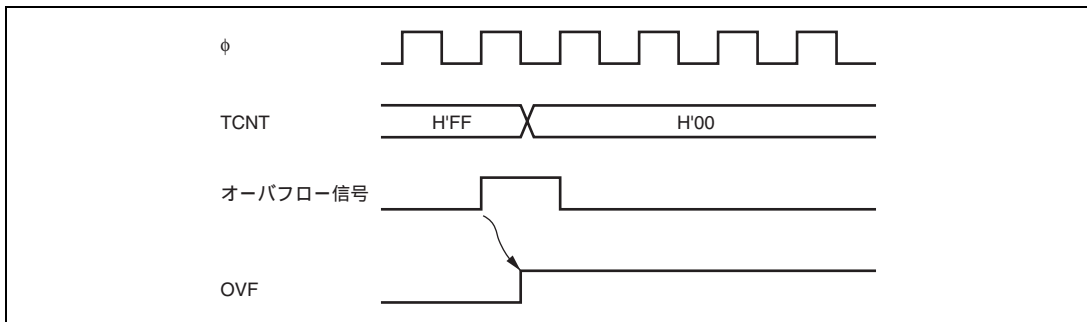


図 12.10 OVF フラグのセットタイミング



## 12.6 カスケード接続時の動作

TCR\_0、TCR\_1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットタイマモードか、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1のタイマでカウントするコンペアマッチカウントモードにすることができます。

### 12.6.1 16ビットカウントモード

TCR\_0 の CKS2~CKS0 ビットが B'100 のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

#### (1) コンペアマッチフラグのセット

- TCSR\_0のCMFフラグは、16ビットのコンペアマッチが発生したときにセットされます。
- TCSR\_1のCMFフラグは、下位8ビットのコンペアマッチが発生したときに1にセットされます。

#### (2) カウンタクリア指定

- TCR\_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされます。また、TMI0端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT\_0、TCNT\_1の両方) がクリアされません。
- TCR\_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

#### (3) 端子出力

- TCSR\_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR\_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

### 12.6.2 コンペアマッチカウントモード

TCR\_1 の CKS2~CKS0 ビットが B'100 のとき、TCNT\_1 はチャンネル0のコンペアマッチ A をカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

## 12.7 インプットキャプチャ動作

TMR\_X には、インプットキャプチャレジスタ (TICR、TICRR、TICRF) があります。TICRR と TICRF は、タイマコネクシオンの TCONRI レジスタの ICST ビットの制御で1回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。ICST ビットが1にセットされた後、TMRX に立ち上がりエッジ→立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれ転送され、ICST ビットは0にクリアされます。

また、TCONRI レジスタのその他のビットの設定により TMRX 入力信号を切り替えることができます。

## 12. 8ビットタイマ (TMR)

### (1) インพุットキャプチャ入力タイミング

インพุットキャプチャ機能を設定した場合の動作タイミングを図 12.11 に示します。

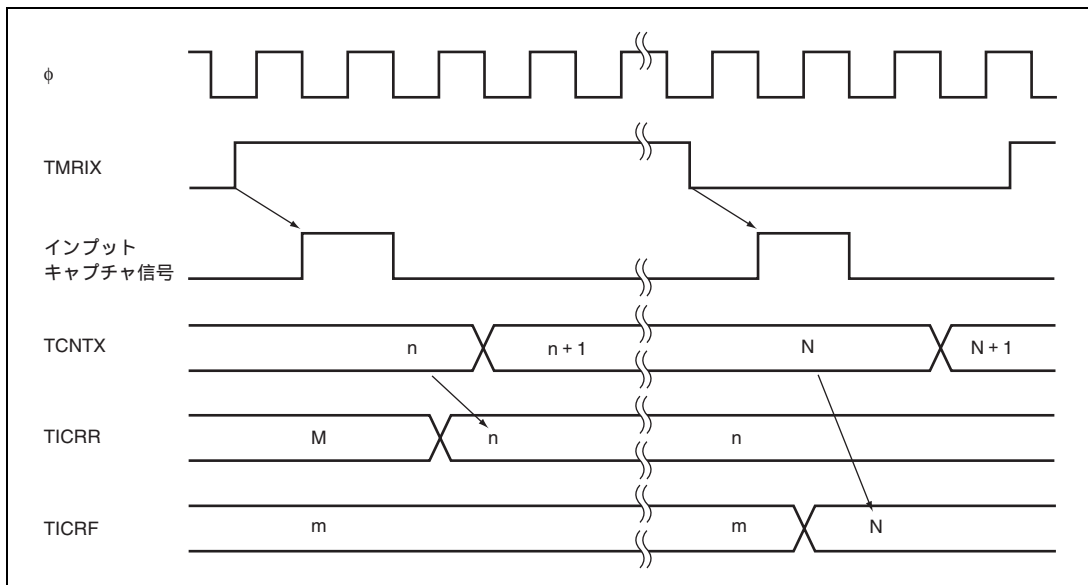


図 12.11 インพุットキャプチャ動作タイミング

また、TICRR、TICRF のリード時に、インพุットキャプチャ入力を入力すると、インพุットキャプチャ信号は 1 システムクロック ( $\phi$ ) 遅延されます。このタイミングを図 12.12 に示します。

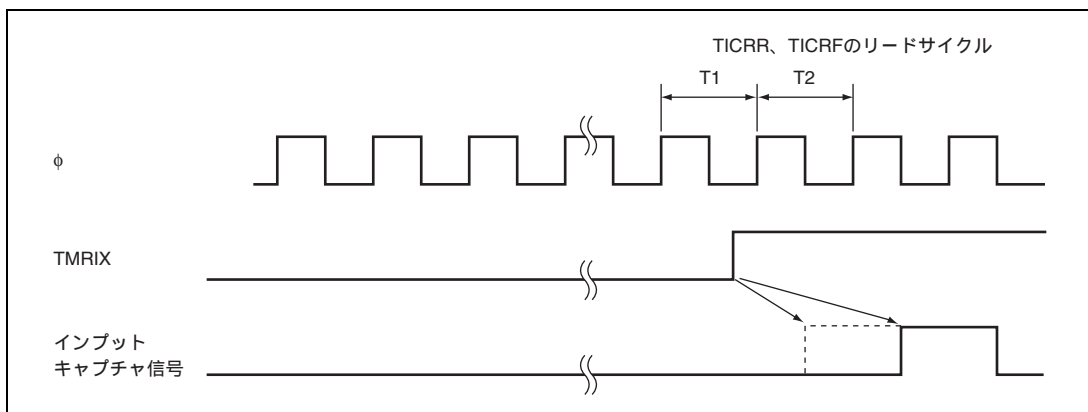


図 12.12 インพุットキャプチャ信号タイミング  
(TICRR、TICRF のリード時に、インพุットキャプチャ入力を入力した場合)

(2) インพุットキャプチャ入力信号の選択

タイマコネクションの TCONRI レジスタの各ビットの設定により、TMR\_X のインพุットキャプチャ入力信号 (TMRX) を切り替えることができます。

インพุットキャプチャ信号の選択を図 12.13 および表 12.3 に示します。

詳細は「13.3.1 タイマコネクションレジスタ1(TCONRI)」を参照してください。

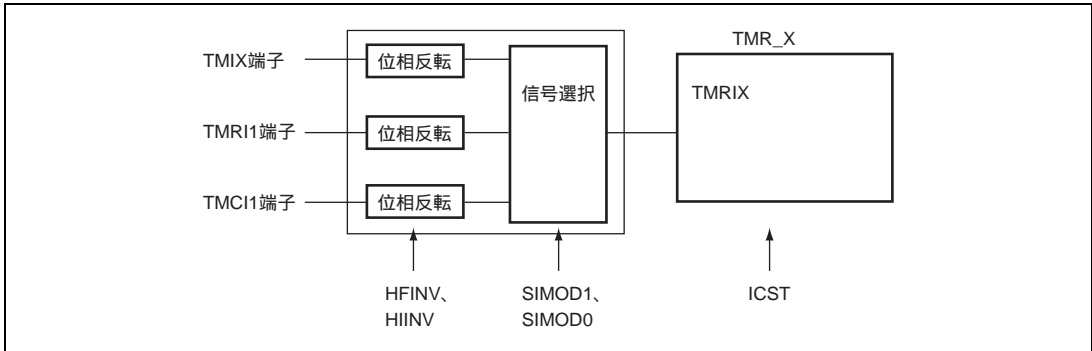


図 12.13 インพุットキャプチャ信号の選択

表 12.3 インพุットキャプチャ信号の選択

TCONRI					説 明
ビット 4	ビット 7	ビット 6	ビット 3	ビット 1	
ICST	SIMOD1	SIMOD0	HFINV	HIINV	
0					インพุットキャプチャ機能を使用しない
1	0	0	0		TMUX 端子の入力信号を選択
			1		TMUX 端子入力の反転信号を選択
		1	0		TMR1 端子の入力信号を選択
			1		TMR1 端子入力の反転信号を選択
	1	1	0		TMC1 端子の入力信号を選択
			1		TMC1 端子入力の反転信号を選択

## 12.8 割り込み要因

TMR\_0、TMR\_1、TMR\_Yの割り込み要因は、CMIA、CMIB、OVIの3種類があります。TMR\_Xの割り込み要因は、ICIXがあります。表12.4に各割り込み要因と優先順位を示します。各割り込み要因は、TCRまたはTCSRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

CMIA、CMIB割り込みは、内蔵DTCの起動要因とすることができます。

表 12.4 8ビットタイマ TMR\_0、TMR\_1、TMR\_Y、TMR\_X の割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
TMR_0	CMIA0	TCORA_0のコンペアマッチ	CMFA	可	高  低
	CMIB0	TCORB_0のコンペアマッチ	CMFB	可	
	OVI0	TCNT_0のオーバーフロー	OVF	不可	
TMR_1	CMIA1	TCORA_1のコンペアマッチ	CMFA	可	
	CMIB1	TCORB_1のコンペアマッチ	CMFB	可	
	OVI1	TCNT_1のオーバーフロー	OVF	不可	
TMR_Y	CMIA_Y	TCORA_Yのコンペアマッチ	OMFA	可	
	CMIB_Y	TCORB_Yのコンペアマッチ	CMFB	可	
	OVI_Y	TCNT_Yのオーバーフロー	OVF	不可	
TMR_X	ICIX	インプットキャプチャ	ICF	不可	

## 12.9 使用上の注意事項

### 12.9.1 TCNTのライトとカウンタクリアの競合

図 12.14 のように TCNT のライトサイクル中の T2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

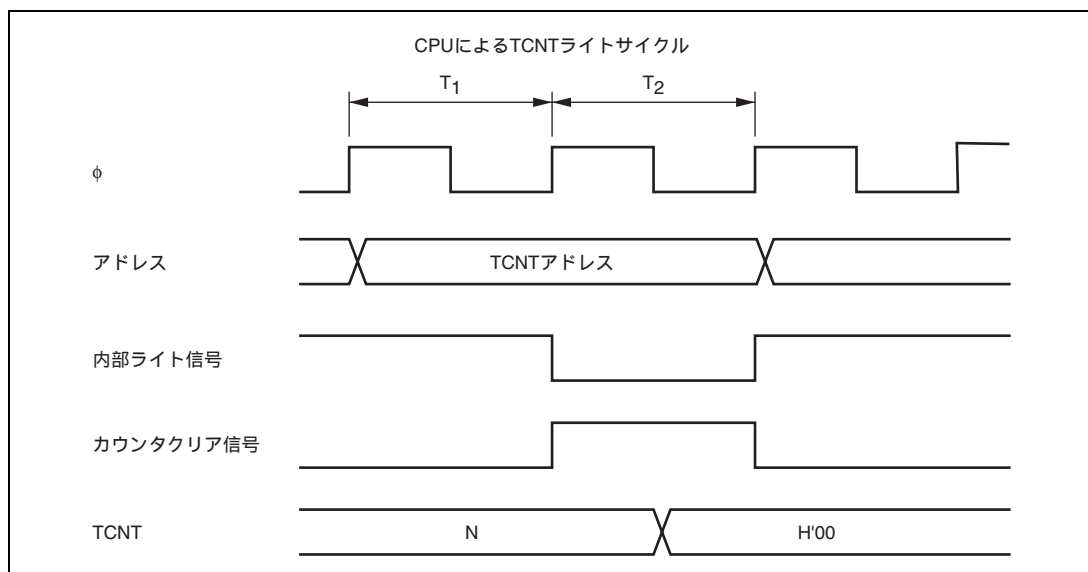


図 12.14 TCNT のライトとクリアの競合

### 12.9.2 TCNTのライトとカウントアップの競合

図 12.15 のように TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

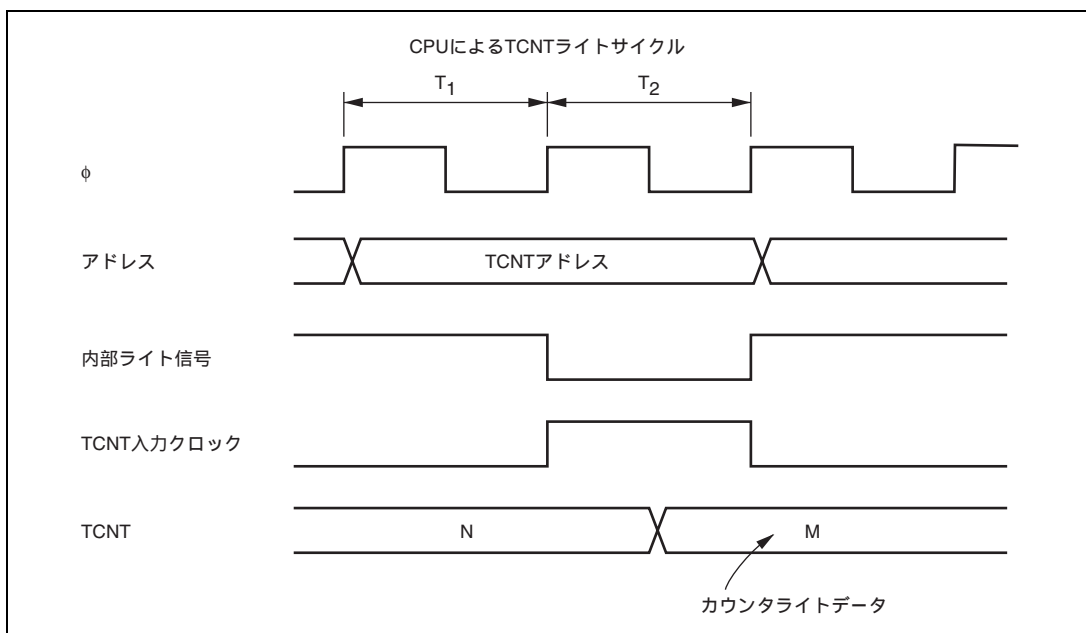


図 12.15 TCNT のライトとカウントアップの競合

### 12.9.3 TCORのライトとコンペアマッチの競合

図 12.16 のように TCOR のライトサイクル中の T2 ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。TMR\_X では TCCR のインプットキャプチャは、TCORC へのライトと同様にコンペアマッチと競合します。このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

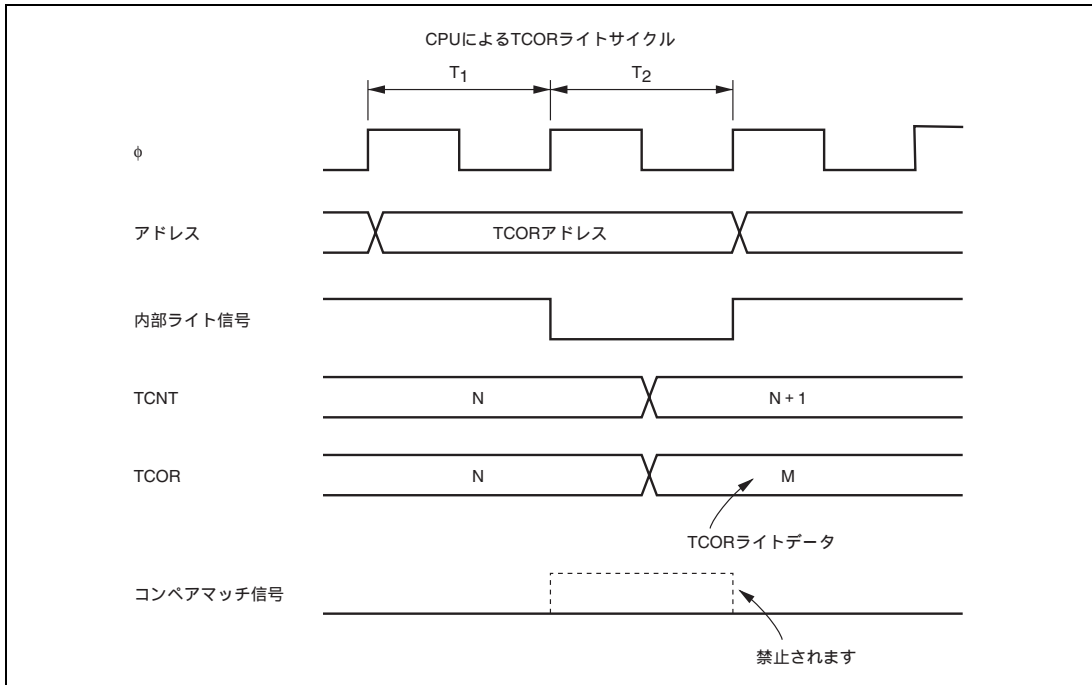


図 12.16 TCOR のライトとコンペアマッチの競合

### 12.9.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.5 に示すタイマ出力の優先順位に従って動作します。

表 12.5 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

### 12.9.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 12.6 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 12.6 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.6 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* <sup>1</sup> の切り替え	
2	Low→High レベル* <sup>2</sup> の切り替え	



No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル <sup>*3</sup> の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 \*1 Low レベル→停止、および停止→Low レベルの場合を含みます。

\*2 停止→High レベルの場合を含みます。

\*3 High レベル→停止を含みます。

\*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

### 12.9.6 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT\_0、TCNT\_1の入カクロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

### 12.9.7 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TMRの動作停止/許可を設定することが可能です。初期値ではTMRの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第25章 低消費電力状態」を参照してください。

## 12. 8 ビットタイマ (TMR)

---

---

## 13. タイマコネクション

---

本 LSI は、タイマコネクションに 16 ビットのフリーランニングタイマ (FRT) と 3 チャンネルの 8 ビットタイマ (TMR\_1、TMR\_X、TMR\_Y) を接続し、PWM デコードやクランプ波形生成などの機能を実現することができます。

### 13.1 特長

- 5本の入力端子、4本の出力端子は、それぞれ位相反転を指定可能  
タイマコネクションの内部信号は、すべて正論理です。
- 入力端子には、信号入力検出を容易にするエッジ検出回路が接続
- TMR\_XでPWM入力信号のデコードが可能
- TMR\_Xでクランプ波形生成が可能
- TMR\_1で分周した外部クロック信号をFRTのキャプチャ入力信号として利用可能
- FRTとTMR\_Yで内部同期信号を生成
- 入力信号やタイマコネクションで生成、モディファイした信号を選択して出力

### 13. タイマコネクション

タイマコネクションのブロック図を図 13.1 に示します。

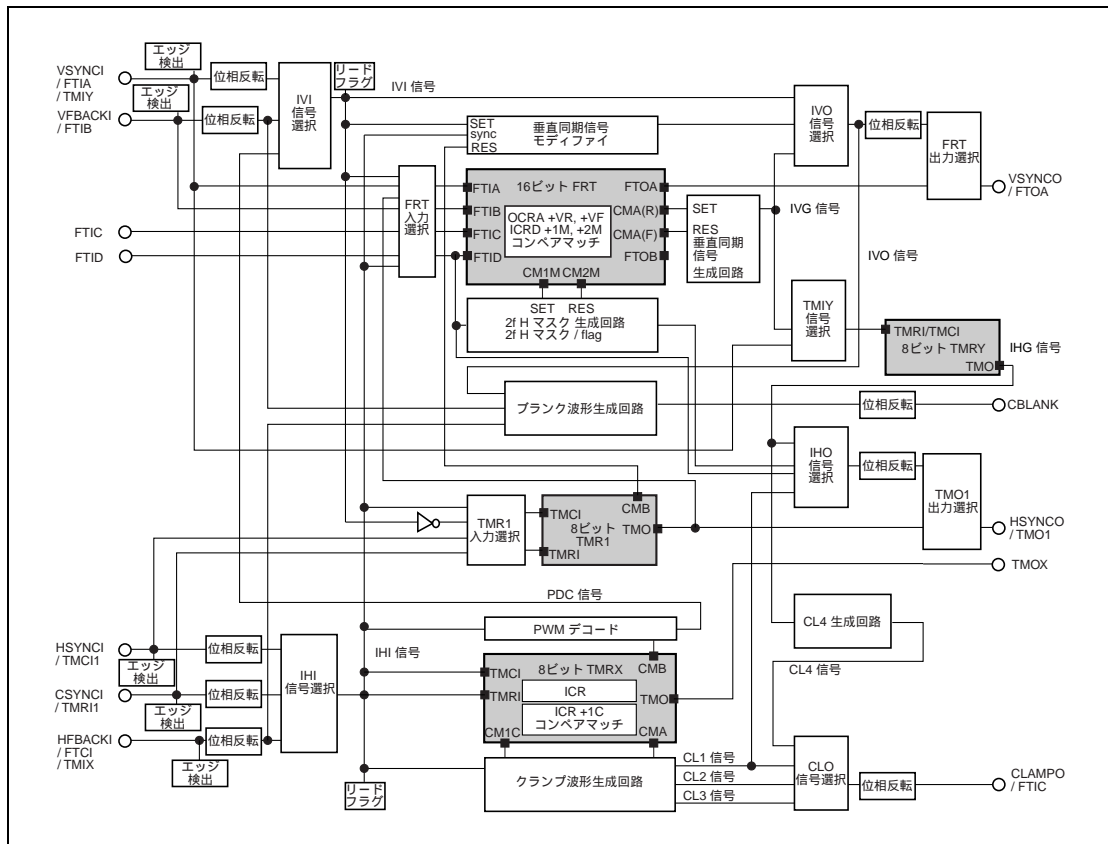


図 13.1 タイマコネクションのブロック図

## 13.2 入出力端子

タイマコネクションの入出力端子を表 13.1 に示します。

表 13.1 端子構成

名 称	記 号	入出力	機 能
垂直同期信号入力端子	VSYNCl	入力	垂直同期信号入力端子、FTIA 入力端子または TMIY 入力端子
水平同期信号入力端子	HSYNCl	入力	水平同期信号入力端子または TMC1 入力端子
複合同期信号入力端子	CSYNCl	入力	複合同期信号入力端子または TMR1 入力端子
予備垂直同期信号入力端子	VFBACKI	入力	予備垂直同期信号入力端子または FTIB 入力端子
予備水平同期信号入力端子	HFBACKI	入力	予備水平同期信号入力端子、FTCI 入力端子または TMIX 入力端子
垂直同期信号出力端子	VSYNCO	出力	垂直同期信号出力端子または FTOA 出力端子
水平同期信号出力端子	HSYNCO	出力	水平同期信号出力端子または TMO1 出力端子
クランプ波形出力端子	CLAMPO	出力	クランプ波形出力端子または FTIC 入力端子
ブランク波形出力端子	CBLANK	出力	ブランク波形出力端子

## 13.3 レジスタの説明

タイマコネクションには以下のレジスタがあります。

- タイマコネクションレジスタ I (TCONRI)
- タイマコネクションレジスタ O (TCONRO)
- タイマコネクションレジスタ S (TCONRS)
- エッジセンスレジスタ (SEDGR)

## 13. タイマコネクション

### 13.3.1 タイマコネクションレジスタ I ( TCONRI )

TCONRI はタイマ相互の接続、同期信号入力 of の信号源や位相反転などを制御します。

ビット	ビット名	初期値	R/W	説明
7 6	SIMOD1 SIMOD0	0 0	R/W R/W	<p>入力同期モード選択 1、0</p> <p>IHI 信号、IVI 信号 of の信号源を選択します。</p> <ul style="list-style-type: none"> <li>• モード名称           <ul style="list-style-type: none"> <li>00 : 無信号</li> <li>01 : S オン G モード</li> <li>10 : コンボジットモード</li> <li>11 : セパレートモード</li> </ul> </li> <li>• IHI 信号           <ul style="list-style-type: none"> <li>00 : HFBACKI 入力</li> <li>01 : CSYNCI 入力</li> <li>1x : HSYNCI 入力</li> </ul> </li> <li>• IVI 信号           <ul style="list-style-type: none"> <li>00 : VFBACKI 入力</li> <li>01 : PDC 入力</li> <li>10 : PDC 入力</li> <li>11 : VSYNCI 入力</li> </ul> </li> </ul>
5	SCONE	0	R/W	<p>同期信号接続イネーブル</p> <p>FRT の FTI 入力、TMR_1 の TMI1 入力、TMC11/TMRI1 入力 of の信号源を選択します。表 13.2 を参照してください。</p>
4	ICST	0	R/W	<p>インプットキャプチャスタートビット</p> <p>TMR_X の外部リセット入力( TMRIX )は、IHI 信号に接続されています。TMR_X はインプットキャプチャレジスタ( TICR、TICRR、TICRF )があります。TICRR と TICRF は、このビット of の制御で 1 回限りのキャプチャ動作を行い、パルス幅を測定することができます。このビットが 1 にセットされたとき、TMRIX に立ち上がりエッジ、立ち下がりエッジ of の順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれキャプチャされ、このビットはクリアされます。</p> <p>[セット条件]</p> <p>ICST = 0 の状態で ICST リード後、ICST に 1 をライトしたとき</p> <p>[クリア条件]</p> <p>TMRIX に立ち上がりエッジ、立ち下がりエッジ of の順でエッジを検出したとき</p>

ビット	ビット名	初期値	R/W	説明
3	HFINV	0	R/W	入力同期信号反転
2	VFINV	0	R/W	予備水平同期信号 (HFBACKI)、予備垂直同期信号 (VFBACKI)、水平同期信号 (HSYNCI)、複合同期信号 (CSYNCI) および垂直同期信号 (VSYNCI) の入力位相の反転を選択します。
1	HIINV	0	R/W	
0	VIINV	0	R/W	
				HFINV 0: HFBACKI 端子の状態をそのまま HFBACKI 入力とする 1: HFBACKI 端子の状態を反転して HFBACKI 入力とする
				VFINV 0: VFBACKI 端子の状態をそのまま VFBACKI 入力とする 1: VFBACKI 端子の状態を反転して VFBACKI 入力とする
				HIINV 0: HSYNCI、CSYNCI 端子の状態をそのまま HSYNCI、CSYNCI 入力とする 1: HSYNCI、CSYNCI 端子の状態を反転して HSYNCI、CSYNCI 入力とする
				VIINV 0: VSYNCI 端子の状態をそのまま VSYNCI 入力とする 1: VSYNCI 端子の状態を反転して VSYNCI 入力とする

## 【記号説明】

x : Don't care

表 13.2 同期信号接続イネーブル

SCONE	モード名称	FTIA	FTIB	FTIC	FTID	TMCI1	TMRI1
0	通常接続 (初期値)	FTIA 入力	FTIB 入力	FTIC 入力	FTID 入力	TMCI1 入力	TMRI1 入力
1	同期信号接続 モード	IVI 信号	TMO1 信号	VFBACKI 入力	IHI 信号	IHI 信号	IVI 反転信号

## 13. タイマコネクション

### 13.3.2 タイマコネクションレジスタ O ( TCONRO )

TCONRO は出力信号の出力制御や位相反転などを制御します。

ビット	ビット名	初期値	R/W	説明
7	HOE	0	R/W	<p>出力許可</p> <p>水平同期信号 ( HSYNCO )、垂直同期信号 ( VSYNCO )、クランプ波形 ( CLAMPO ) およびブランク波形 ( CBLANK ) 出力の許可 / 禁止を制御します。出力を禁止した当該端子の状態は、ポートの DR、DDR および FRT、TMR、PWM の設定によって決定されます。</p> <p>出力の許可 / 禁止の制御はポート、FRT、TMR の入力機能には影響を与えませんが、FRT や TMR の入力信号の一部は、TCONRI の SCONRI ビットにより決定されます。</p> <p>HOE</p> <p>0 : P44/TMO1/HIRQ1/HSYNCO 端子は、P44/TMO1/HIRQ1 端子として動作する。</p> <p>1 : P44/TMO1/HIRQ1/HSYNCO 端子は、HSYNCO 端子として動作する。</p> <p>VOE</p> <p>0 : P61/FTOA/CIN1/<math>\overline{KIN1}</math>/VSYNCO 端子は、P61/FTOA/CIN1/<math>\overline{KIN1}</math> 端子として動作する。</p> <p>1 : P61/FTOA/CIN1/<math>\overline{KIN1}</math>/VSYNCO 端子は、VSYNCO 端子として動作する。</p> <p>CLOE</p> <p>0 : P64/FTIC/CIN4/<math>\overline{KIN4}</math>/CLAMPO 端子は、P64/FTIC/CIN4/<math>\overline{KIN4}</math> 端子として動作する。</p> <p>1 : P64/FTIC/CIN4/<math>\overline{KIN4}</math>/CLAMPO 端子は、CLAMPO 端子として動作する。</p> <p>CBOE</p> <p>0 : P27/A15/PW15/CBLANK 端子は、P27/A15/PW15 端子として動作する。</p> <p>モード 1 の場合</p> <p>1 : P27/A15/PW15/CBLANK 端子は、A15 端子として動作する。</p> <p>モード 2、3 の場合</p> <p>1 : P27/A15/PW15/CBLANK 端子は、CBLANK として動作する。</p>
6	VOE	0	R/W	
5	CLOE	0	R/W	
4	CBOE	0	R/W	



ビット	ビット名	初期値	R/W	説明
3	HOINV	0	R/W	出力同期信号反転 水平同期信号 (HSYNCO)、垂直同期信号 (VSYNCO)、クランプ波形 (CLAMPO) およびブランク波形 (CBLANK) の出力位相の反転を選択します。 HOINV 0: IHO 信号をそのまま HSYNCO 出力とする。 1: IHO 信号を反転して HSYNCO 出力とする。 VOINV 0: IVO 信号をそのまま VSYNCO 出力とする。 1: IVO 信号を反転して VSYNCO 出力とする。 CLOINV 0: CLO 信号 (CL1、CL2、CL3 または CL4 信号) をそのまま CLAMPO 出力とする。 1: CLO 信号 (CL1、CL2、CL3 または CL4 信号) を反転して CLAMPO 出力とする。 CBOINV 0: CBLANK 信号をそのまま CBLANK 出力とする。 1: CBLANK 信号を反転して CBLANK 出力とする。
2	VOINV	0	R/W	
1	CLOINV	0	R/W	
0	CBOINV	0	R/W	

### 13.3.3 タイマコネクションレジスタ S ( TCONRS )

TCONRS は TMR\_X、TMR\_Y のアクセスや、同期信号出力の信号源および生成方法を選択します。

ビット	ビット名	初期値	R/W	説明
7	TMRX/Y	0	R/W	TMR_X/TMR_Y アクセス選択 表 13.3 を参照してください。 0: アドレス H'(FF)FFF0 ~ H'(FF)FFF5 で TMR_X のレジスタをアクセスする 1: アドレス H'(FF)FFF0 ~ H'(FF)FFF5 で TMR_Y のレジスタをアクセスする
6	ISGENE	0	R/W	内部同期信号選択 IHO 信号、IVO 信号および CLO 信号の信号源として、HOMOD1、HOMOD0、VOMOD1、VOMOD0、CLMOD1、CLMOD0 とともに、内部同期信号 (IHG 信号、IVG 信号、CL4 信号) を選択します。
5	HOMOD1	0	R/W	水平同期出力モード選択 1、0 IHO 信号の信号源および生成方法を選択します。 • ISGENE=0 の場合 00: IHI 信号 (2fH モディファイなし) を選択 01: IHI 信号 (2fH モディファイあり) を選択 1x: CL1 信号を選択 • ISGENE=1 の場合 xx: IHG 信号を選択
4	HOMOD0	0	R/W	

### 13. タイマコネクション

ビット	ビット名	初期値	R/W	説明
3	VOMOD1	0	R/W	垂直同期出力モード選択 1、0 IVO 信号の信号源および生成方法を選択します。 • ISGENE=0 の場合 00 : IVI 信号 (立ち下がりモディファイなし、IHI 同期なし) を選択 01 : IVI 信号 (立ち下がりモディファイなし、IHI 同期あり) を選択 10 : IVI 信号 (立ち下がりモディファイあり、IHI 同期なし) を選択 11 : IVI 信号 (立ち下がりモディファイあり、IHI 同期あり) を選択 • ISGENE=1 の場合 xx : IVG 信号を選択
2	VOMOD0	0	R/W	
1	CLMOD1	0	R/W	クランプ波形モード選択 1、0 CLO 信号 (クランプ波形) の信号源を選択します。 • ISGENE=0 の場合 00 : CL1 信号を選択 01 : CL2 信号を選択 1x : CL3 信号を選択 • ISGENE=1 の場合 xx : CL4 信号を選択
0	CLMOD0	0	R/W	

【記号説明】

X : Don't care

表 13.3 TMR\_X/TMR\_Y のアクセス可能なレジスタ

TMRX/Y	H'FFF0	H'FFF1	H'FFF2	H'FFF3	H'FFF4	H'FFF5	H'FFF6	H'FFF7
0	TMR_X	TMR_X	TMR_X	TMR_X	TMR_X	TMR_X	TMR_X	TMR_X
	TCR_X	TCSR_X	TICRR	TICRF	TCNT_X	TCORC		
1	TMR_Y	TMR_Y	TMR_Y	TMR_Y	TMR_Y	TMR_Y		
	TCR_Y	TCSR_Y	TCORA_Y	TCORB_Y	TCNT_Y	TISR		

## 13.3.4 エッジセンスレジスタ (SEDGR)

SEDGR はタイマコネクション入力端子の立ち上がりエッジの検出、2fH モディファイの成立の検出、および IVI 信号、IHI 信号の位相判定に利用します。

ビット	ビット名	初期値	R/W	説明
7	VEDG	0	R/(W)* <sup>1</sup>	VSYNCI エッジ VSYNCI 端子の立ち上がりエッジを検出します。 [セット条件] VSYNCI 端子の立ち上がりエッジを検出したとき [クリア条件] VEDG=1 の状態で VEDG をリード後、VEDG に 0 をライトしたとき
6	HEDG	0	R/(W)* <sup>1</sup>	HSYNCI エッジ HSYNCI 端子の立ち上がりエッジを検出します。 [セット条件] HSYNCI 端子の立ち上がりエッジを検出したとき [クリア条件] HEDG=1 の状態で HEDG をリード後、HEDG に 0 をライトしたとき
5	CEDG	0	R/(W)* <sup>1</sup>	CSYNCI エッジ CSYNCI 端子の立ち上がりエッジを検出します。 [セット条件] CSYNCI 端子の立ち上がりエッジを検出したとき [クリア条件] CEDG=1 の状態で CEDG をリード後、CEDG に 0 をライトしたとき
4	HFEDG	0	R/(W)* <sup>1</sup>	HFBACKI エッジ HFBACKI 端子の立ち上がりエッジを検出します。 [セット条件] HFBACKI 端子の立ち上がりエッジを検出したとき [クリア条件] HFEDG=1 の状態で HFEDG をリード後、HFEDG に 0 をライトしたとき
3	VFEDG	0	R/(W)* <sup>1</sup>	VFBACKI エッジ VFBACKI 端子の立ち上がりエッジを検出します。 [セット条件] VFBACKI 端子の立ち上がりエッジを検出したとき [クリア条件] VFEDG=1 の状態で VFEDG をリード後、VFEDG に 0 をライトしたとき

## 13. タイマコネクション

ビット	ビット名	初期値	R/W	説明
2	PREQF	0	R/(W)* <sup>1</sup>	<p>プリイコライゼーションフラグ</p> <p>IHI 信号の 2fH モディファイの条件成立を検出します。2fH モディファイの条件成立とは、マスク期間中に IHI 信号に立ち上がり / 立ち下がりエッジが発生したことを表します。詳細は「13.4.4 IHI 信号の 2fH モディファイ」を参照してください。</p> <p>[セット条件] IHI 信号の 2fH モディファイの条件成立を検出したとき</p> <p>[クリア条件] PREQF=1 の状態で PREQF をリード後、PREQF に 0 をライトしたとき</p>
1	IHI	不定* <sup>2</sup>	R	<p>IHI 信号レベル</p> <p>IHI 信号のレベルをリードします。IHI 信号は TCONRI により信号源および位相反転が選択されます。このビットをリードして入力信号の正負を判定し TCONRI を書き換えることにより、IHI 信号を正位相に保ってください。</p> <p>0 : IHI 信号が Low レベル 1 : IHI 信号が High レベル</p>
0	IVI	不定* <sup>2</sup>	R	<p>IVI 信号レベル</p> <p>IVI 信号のレベルをリードします。IVI 信号は TCONRI により信号源および位相反転が選択されます。このビットをリードして入力信号の正負を判定し TCONRI を書き換えることにより、IVI 信号を正位相に保ってください。</p> <p>0 : IVI 信号が Low レベル 1 : IVI 信号が High レベル</p>

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 端子の状態によって決定されます。

## 13.4 動作説明

### 13.4.1 PWM デコード (PDC 信号生成)

タイマコネクションと TMR\_X により、パルス幅で 0 / 1 を表現する PWM 信号をデコードすることができます。この場合立ち上がりエッジが一定周期で発生する信号を IHI 信号として選択してください。

TMR\_X の TCNT は内部クロックをカウントし、外部リセット信号 (IHI 信号) の立ち上がりエッジでクリアされるように設定します。TCORB にはパルス幅判定のしきい値となる数値をライトします。PWM デコード回路には、IHI 信号をデータ、コンペアマッチ信号 B (CMB) をクロックとするディレイラッチがあります。PWM デコード回路は、IHI 信号の立ち上がりによる TCNT のリセット後、最初のコンペアマッチ信号 B のタイミングでの IHI 信号の状態 (パルス幅判定結果) を PDC 信号として出力します。

パルス幅判定のしきい値決定のために、TMR\_X の TICRR と TICRF を用いたパルス幅測定を利用することができます。

TMR\_X の TCR と TCORB の設定例を表 13.4、表 13.5 に、PWM デコードタイミングを図 13.2 に示します。

表 13.4 TCR の設定例

ビット	略称	内容	説明
7	CMIEB	0	コンペアマッチ、オーバーフローによる割り込みを禁止
6	CMIEA	0	
5	OVIE	0	
4, 3	CCLR1、 CCLR0	11	外部リセット信号 (IHI 信号) の立ち上がりエッジにより TCNT をクリア
2~0	CKS2~0	001	内部クロックφでカウント

表 13.5 TCORB (パルス幅しきい値) の設定例

	φ : 10MHz	φ : 12MHz	φ : 16MHz	φ : 20MHz
H'07	0.8μs	0.67μs	0.5μs	0.4μs
H'0F	1.6μs	1.33μs	1μs	0.8μs
H'1F	3.2μs	2.67μs	2μs	1.6μs
H'3F	6.4μs	5.33μs	4μs	3.2μs
H'7F	12.8μs	10.67μs	8μs	6.4μs

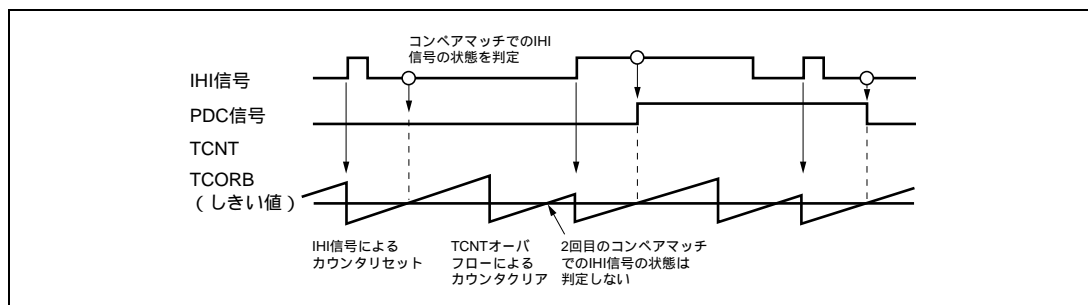


図 13.2 PWM デコードタイミング

### 13.4.2 クランプ波形の生成 (CL1、CL2、CL3 信号の生成)

タイマコネクションと TMR\_X により、入力信号 (IHI 信号) 波形に同期してデューティや立ち上がり / 立ち下がりが異なるクランプ波形を生成できます。クランプ波形が生成できる信号は、CL1、CL2、CL3 信号の 3 通りです。また、TMR\_Y を利用することにより CL4 信号を生成できます。

CL1 信号は IHI 信号の立ち上がりと同タイミングで立ち上がります。CL2 信号は CL1 信号が High のときに IHI 信号の立ち下がりと同タイミングで立ち上がります。CL1 と CL2 信号の立ち下がりには TCORA で指定できます。CL3 信号は IHI 信号の立ち下がりシステムクロックでサンプリングしたタイミングで立ち上がります。CL3 信号の立ち下がりには TCORC で指定できます。また、IHI 信号の立ち上がりでも CL3 信号は立ち下がります。

TMR\_X の TCNT は内部クロックをカウントし、外部リセット信号 (IHI 信号) の立ち上がりエッジでクリアさ

### 13. タイマコネクション

れるように設定してください。

TCORAにはCL1信号のパルス幅となる数値をライトしてください。なお、TMR\_Xのカウントクロックを内部クロックの $\phi$ に設定した場合はTCORAにはH'02以上の値を、 $\phi/2$ に設定した場合はH'01以上の値をライトしてください。内部クロック $\phi$ に設定した場合のCL1信号パルス幅は、(TCORAの設定値 $+3 \pm 0.5$ )となります。CL2信号を使用する場合は、IHI信号のパルス幅より大きくなるように数値を設定してください。

TCORCにはCL3信号のパルス幅となる数値をライトしてください。TMR\_XにはTICRがあり、TICRは外部リセット信号の逆エッジ(この場合IHI信号の立ち下がりエッジ)でTCNTの値をキャプチャします。CL3信号の立ち下がりタイミングはTICRの内容とTCORCの内容を加算した値で決まります。なお、TCORCにより設定した立ち下がりタイミングの前にIHI信号の立ち上がりエッジが発生した場合、IHI信号によりCL3信号は立ち下がりますので注意が必要です。

TMR\_XのTCRの設定例は表13.4と同様です。クランプ波形のタイミングを図13.3と図13.4に示します。

CL1、CL2信号は立ち上がりがIHI信号のエッジに同期し、立ち下がりがシステムクロックに同期します。そのため、パルス幅がシステムクロックの分解能分変動します。

CL3信号は立ち上がり/立ち下がりともシステムクロックに同期します。パルス幅は一定ですが、IHI信号との位相関係がシステムクロックの分解能分変動します。

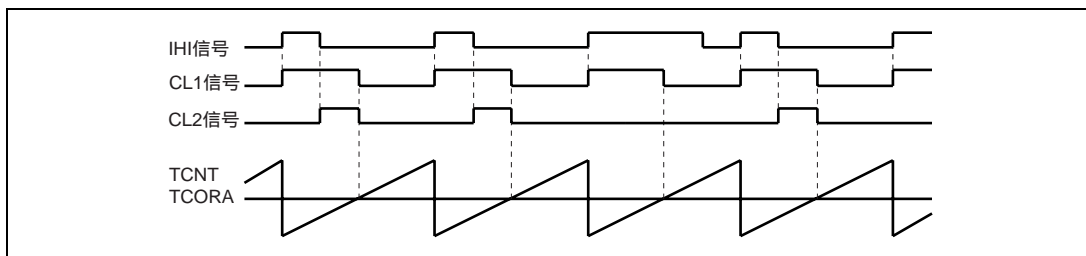


図 13.3 クランプ波形生成タイミング (CL1 信号、CL2 信号)

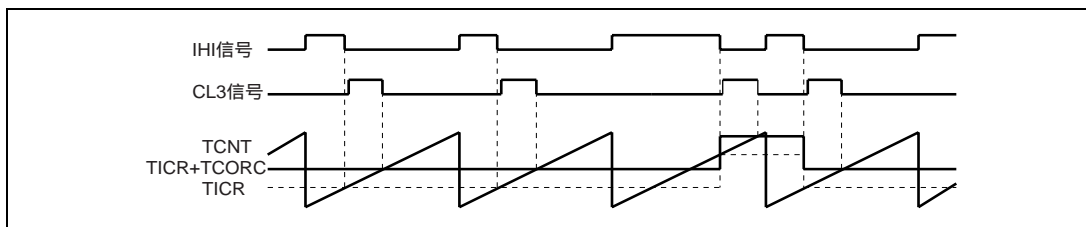


図 13.4 クランプ波形生成タイミング (CL3 信号)

### 13.4.3 8ビットタイマ分周波形周期測定

タイマコネクションと TMR\_1、FRT により、IHI 信号分周波形の周期を測定できます。TMR\_1 は、IVI 信号の反転信号の立ち上がりエッジでクリアすることができるため、IHI 信号分周波形の立ち上がり / 立ち下がり を IVI 信号に同期化することができます。これにより、周期判定を効率的に行うことが可能です。

IHI 信号分周波形の周期を測定する場合、TMR\_1 の TCNT は外部クロック (IHI 信号) をカウントし、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアされるように設定してください。TCORA には分周の倍率となる数値をライトし、TCSR の OS ビットには TMO 出力方式を指定します。

TMR\_1 の TCR と TCSR、および FRT の TCR と TCSR の設定例を表 13.6 に、IVI 信号と IHI 信号分周波形の周期測定タイミングを図 13.5 に示します。IHI 信号分周波形の周期は  $(ICRD(3) - ICRD(2)) \times$  分解能で求めることができます。

表 13.6 TCR と TCSR の設定例

レジスタ	ビット	略称	内容	説明
TMR_1 の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4, 3	CCLR 1, 0	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジにより TCNT をクリア
	2~0	CKS2~0	101	外部クロック (IHI 信号) の立ち上がりエッジにより TCNT をカウントアップ
TMR_1 の TCSR	3~0	OS3~0	0011	コンペアマッチ B で変化せず、コンペアマッチ A で反転出力 (トグル出力) : 512 分周
			1001	TCORB<TCORA の条件で、コンペアマッチ B で 1 出力、コンペアマッチ A で 0 出力 : 256 分周
FRT の TCR	6	IEDGB	0 / 1	0 : インพุットキャプチャ入力 B (IHI 分周信号波形) の立ち下がりエッジで FRC の値を ICRB に転送 1 : インพุットキャプチャ入力 B (IHI 分周信号波形) の立ち上がりエッジで FRC の値を ICRB に転送
	1, 0	CKS1, 0	01	内部クロック $\phi/8$ で FRC をカウントアップ
FRT の TCSR	0	CCLRA	0	FRC のクリアを禁止

### 13. タイマコネクション

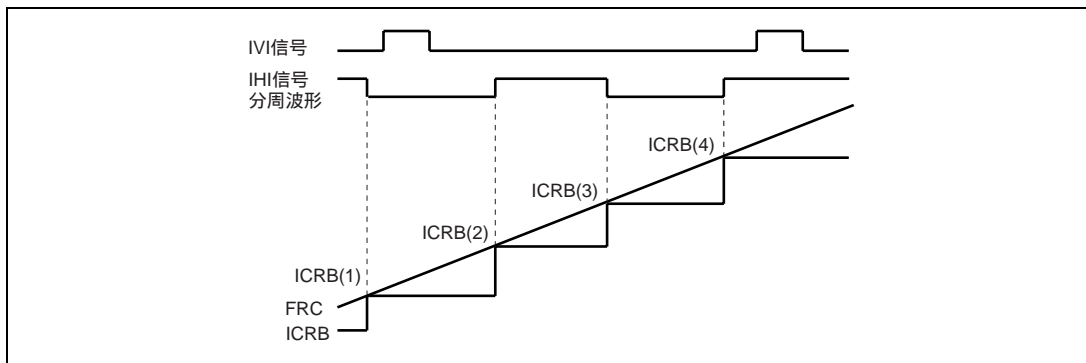


図 13.5 IVI 信号と IHI 信号分周波形の周期測定タイミング

#### 13.4.4 IHI 信号の 2fH モディファイ

タイマコネクションと FRT により、IHI 信号の一部に 2 倍の周波数をもつ部分が存在してもこれを除去することができます。この機能が正常動作するためには、IHI 信号のデューティは約 30%以下か約 70%以上である必要があります。

FRT の ICRD はキャプチャしたデータに 8 ビットの OCRDM の内容および OCRDM の内容を 2 倍して自動的に加算し、このタイミングでコンペアマッチを発生することができます。このふたつのコンペアマッチの間の期間をマスク期間とよびます。OCRDM には、IHI 信号の周期の約 1/3 に相当する数値をライトします。ICRD は、IHI 信号の立ち上がりでキャプチャを行うよう設定します。

IHO 信号選択回路に供給される IHI 信号は、通常 IHI 信号の立ち上がりでセットされ、立ち下がりでリセットされるため、波形は IHI 信号と同じです。2fH モディファイを選択すると、マスク期間中の IHI 信号のエッジ検出が禁止されます。また、マスク期間中のキャプチャも禁止されます。

FRT の TCR、TCSR、TOCR と OCRDM の設定例を表 13.7 に、2fH モディファイのタイミングを図 13.6 に示します。

表 13.7 TCR、TCSR、TOCR と OCRDM の設定例

レジスタ	ビット	略称	内容	説明
FRT の TCR	4	IEDGD	1	インプットキャプチャ入力 D (IHI 信号) の立ち上がりエッジで FRC の値を ICRD に転送
	1, 0	CKS1、0	01	内部クロック $\phi/8$ で FRC をカウントアップ
FRT の TCSR	0	CCLRA	0	FRC のクリアを禁止
FRT の TOCR	7	ICRDMS	1	ICRD を OCRDM を使用した動作モードに設定
FRT の OCRDM	7~0	OCRDM 7~0	H'01 ~ H'FF	ICRD の動作をマスクする期間を設定



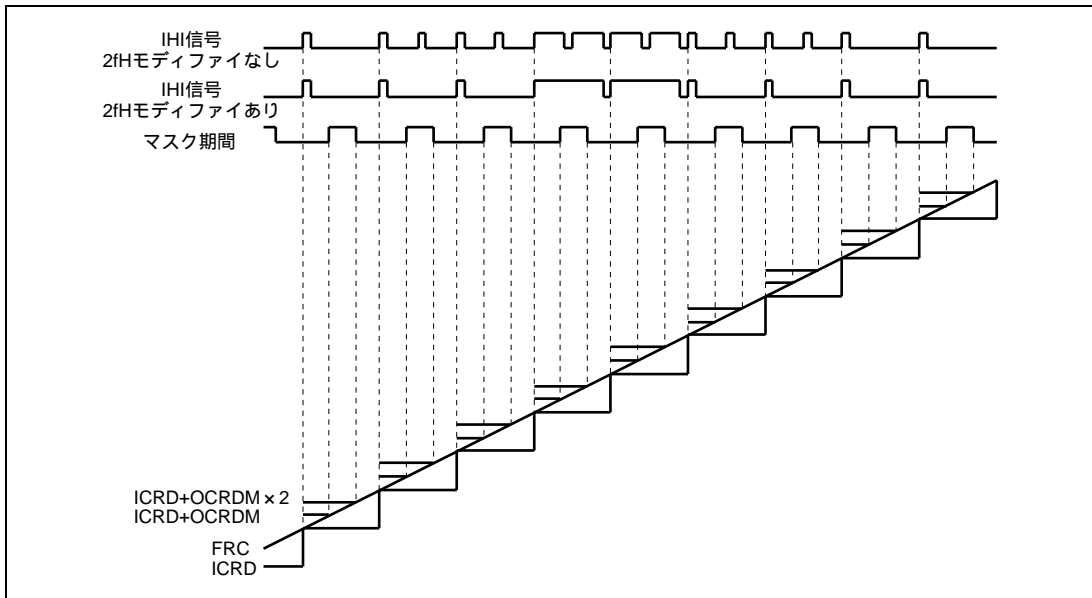


図 13.6 2fH モディファイタイミング

### 13.4.5 IVI 信号の立ち下がりモディファイと IHI 同期

タイマコネクションと TMR\_1 により、IVI 信号の立ち下がり IHI 信号波形の指定した個数分後方へ移動することができます。また、IVI 信号の立ち下がり IHI 信号の立ち上がりに同期させることができます。

8 ビットタイマ分周波形周期測定のために TMR\_1 の TCNT は、外部クロック (IHI 信号) をカウントし、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアされるように設定します。TOCRB には、IVI 信号立ち下げまでの IHI 信号の個数をライトします。

I/O 信号選択回路に供給される IVI 信号は、通常 IVI 信号の立ち上がりでセットされ、立ち下がりでリセットされるため、波形は IVI 信号と同じです。立ち下がりモディファイを選択すると、リセットは TMR\_1 の TCORB のコンペアマッチで行われます。

上記のように生成された波形は立ち下がりモディファイ選択の有無にかかわらず、立ち下がり IHI 信号の立ち上がりに同期させることができます。

TMR\_1 の TCR、TCSR と TCORB の設定例を表 13.8 に、立ち下がりモディファイと IHI 同期のタイミングを図 13.7 に示します。

### 13. タイマコネクション

表 13.8 TCR、TCSR と TCORB の設定例

レジスタ	ビット	略 称	内 容	説 明
TMR_1 の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4, 3	CCLR 1, 0	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジにより TCNT をクリア
	2~0	CKS2~0	101	外部クロック (IHI 信号) の立ち上がりエッジにより TCNT をカウントアップ
TMR_1 の TCSR	3~0	OS3~0	0011	コンペアマッチ B で変化せず、コンペアマッチ A で反転出力 (トグル出力)
			1001	TCORB<TCORA の条件でコンペアマッチ B で 1 出力、 コンペアマッチ A で 0 出力
TMR_1 の TCORB			H'03 (例)	IVI 信号の反転信号立ち上がり後、4 番目 (例) の IHI 信号の立ち上がりでコンペアマッチ

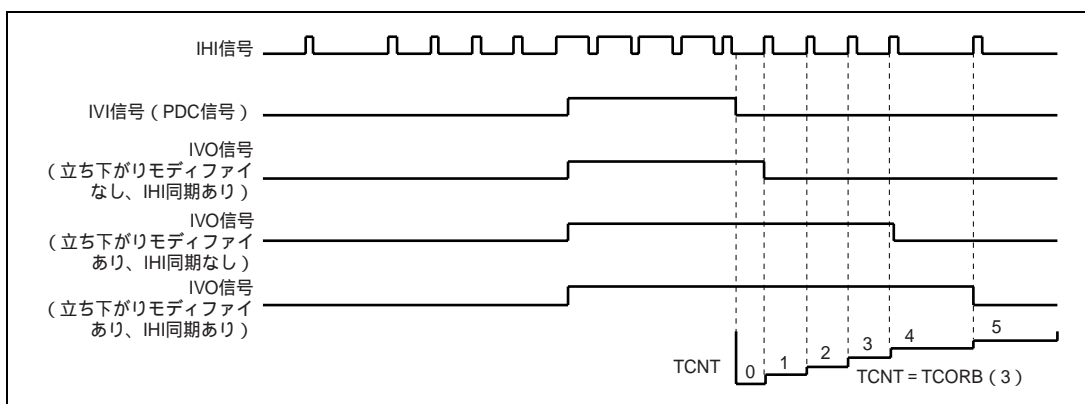


図 13.7 立ち下がりモディファイと IHI 同期タイミング

#### 13.4.6 内部同期信号の生成 (IHG 信号、IVG 信号、CL4 信号の生成)

タイマコネクションと FRT、TMR\_Y により、IHI、IVI 信号に相当する内部信号 (IHG、IVG 信号) を自動的に生成することができます。IHG 信号は IVG 信号の立ち上がりに同期するため、IHG 信号周期を一定に保つには、IVG 信号周期の約数とする必要があります。また、IHG 信号に同期して CL4 信号を生成することができます。

FRT の OCRA の内容は、コンペアマッチを発生するたびに、OCRAR と OCRAF の内容を交互に自動的に加算した内容に更新することができます。OCRAR には IVG 信号の 0 期間に相当する値を、また OCRAF には IVG 信号の 1 期間に相当する値をライトします。IVG 信号は、OCRAR 加算後のコンペアマッチでセットされ、OCRAF 加算後のコンペアマッチでリセットされます。

IHG 信号は TMR\_Y のタイマ出力です。TMR\_Y は内部クロックをカウントし、TCORA のコンペアマッチで TCNT をクリアして周期を定めるとともにタイマ出力をセットするように設定します。TCORB は、タイマ出力をリセットするように設定します。TMR\_Y のリセット入力 (TMRI) としては IVG 信号が接続されており、IVG 信

号の立ち上がりを TCORA のコンペアマッチと同様に扱うことができます。

CL4 信号は、IHG 信号の立ち下がりから 1 システムクロック以内の遅れで立ち上がり、6 システムクロックの 1 期間をもつ波形です。

TMR\_Y の TCR、TCSR、TCORA と TCORB、および FRT の TCR、OCRAR、OCRAF と TOCR の設定例を表 13.9 に、IHG 信号、IVG 信号のタイミングを図 13.8 に示します。

表 13.9 TCR、TCSR、TCORA、TCORB、OCRAR、OCRAF と TOCR の設定例

レジスタ	ビット	略称	内容	説明	
TMR_Y の TCR	7	CMIEB	0	コンペアマッチ、オーバーフローによる割り込みを禁止	
	6	CMIEA	0		
	5	OVIE	0		
	4, 3	CCLR1、0	01	コンペアマッチ A により TCNT をクリア	
	2~0	CKS2~0	001	内部クロック $\phi/4$ で TCNT をカウントアップ	
TMR_Y の TCSR	3~0	OS3~0	0110	コンペアマッチ B で 0 出力 コンペアマッチ A で 1 出力	
TMR_Y の TCORA			H'3F (例)	IHG 信号の周期は $\phi \times 256$	
TMR_Y の TCORB			H'03 (例)	IHG 信号の 1 の期間は $\phi \times 16$	
FRT の TCR	1, 0	CKS1、0	01	内部クロック $\phi/8$ で FRC をカウントアップ	
FRT の OCRAR			H'7FEF (例)	IVG 信号の 0 の期間は $\phi \times 262016$	IVG 信号の周期は $\phi \times 262144$ (IHG 信号の 1024 倍)
FRT の OCRAF			H'000F (例)	IVG 信号の 1 の期間は $\phi \times 128$	
FRT の TOCR	6	OCRAMS	1	OCRA を OCRAR、OCRAF を使用した動作モードに設定	

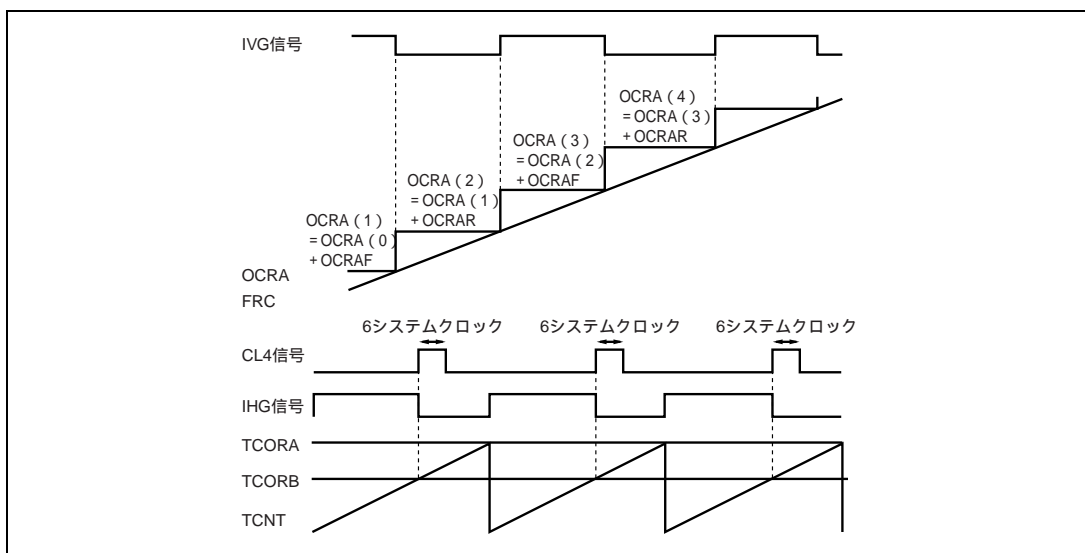


図 13.8 IVG 信号、IHG 信号、CL4 信号のタイミング

### 13. タイマコネクション

#### 13.4.7 HSYNCO 出力

HSYNCO 出力は IHI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。HSYNCO 出力モードを表 13.10 に示します。

表 13.10 HSYNCO 出力モード

モード名称	IHI 信号	IHO 信号	IHO 信号の意味
無信号	HFBACKI 入力	IHI 信号 (2fH モディファイなし)	HFBACKI 入力をそのまま出力
		IHI 信号 (2fH モディファイあり)	HFBACKI 入力に周波数が倍の部分がなければ意味なし
		CL1 信号	HFBACKI 入力の 1 期間を変更して出力
		IHG 信号	内部同期信号を出力
S オン G モード	CSYNCI 入力	IHI 信号 (2fH モディファイなし)	CSYNCI 入力 (複合同期信号) をそのまま出力
		IHI 信号 (2fH モディファイあり)	CSYNCI 入力 (複合同期信号) の周波数が倍の部分を除去して出力
		CL1 信号	CSYNCI 入力 (複合同期信号) の水平同期信号部分を分離して出力
		IHG 信号	内部同期信号を出力
コンボジット モード	HSYNCI 入力	IHI 信号 (2fH モディファイなし)	HSYNCI 入力 (複合同期信号) をそのまま出力
		IHI 信号 (2fH モディファイあり)	HSYNCI 入力 (複合同期信号) の周波数が倍の部分を除去して出力
		CL1 信号	HSYNCI 入力 (複合同期信号) の水平同期信号部分を分離して出力
		IHG 信号	内部同期信号を出力
セパレート モード	HSYNCI 入力	IHI 信号 (2fH モディファイなし)	HSYNCI 入力 (水平同期信号) をそのまま出力
		IHI 信号 (2fH モディファイあり)	HSYNCI 入力 (水平同期信号) に周波数が倍の部分がなければ意味なし
		CL1 信号	HSYNCI 入力 (水平同期信号) の 1 期間を変更して出力
		IHG 信号	内部同期信号出力

## 13.4.8 VSYNCO 出力

VSYNCO 出力は IVI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。VSYNCO 出力モードを表 13.11 に示します。

表 13.11 VSYNCO 出力モード

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
無信号	VFBACKI 入力	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	VFBACKI 入力をそのまま出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	VFBACKI 入力 HFBACKI 入力に同期していれば意 味なし
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	VFBACKI 入力の立ち下がりモディファイして 出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	VFBACKI 入力の立ち下がりモディファイし、 HFBACKI 入力に同期し出力
		IVG 信号	内部同期信号を出力
S オン G モード、 または コンボジット モード	PDC 信号	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	CSYNCI / HSYNCI 入力(複合同期信号)の垂直同期 信号部分を分離して出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	CSYNCI / HSYNCI 入力(複合同期信号)の垂直同期 信号部分を分離し、CSYNCI / HSYNCI 入力に同期し て出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	CSYNCI / HSYNCI 入力(複合同期信号)の垂直同期 信号部分を分離し、立ち下がりモディファイして 出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	CSYNCI / HSYNCI 入力(複合同期信号)の垂直同期 信号部分を分離し、立ち下がりモディファイし、 CSYNCI / HSYNCI 入力に同期して出力
		IVG 信号	内部同期信号を出力

## 13. タイマコネクション

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
セパレート モード	VSYNCl 入力	IVI 信号 (立ち下がりモディファイなし、IHI 同期なし)	VSYNCl 入力 (垂直同期信号) をそのまま出力
		IVI 信号 (立ち下がりモディファイなし、IHI 同期あり)	VSYNCl 入力 (垂直同期信号) が HSYNCl 入力 (水 平同期信号) に同期していれば意味なし
		IVI 信号 (立ち下がりモディファイあり、IHI 同期なし)	VSYNCl 入力 (垂直同期信号) の立ち下がりをもデ ィファイして出力
		IVI 信号 (立ち下がりモディファイあり、IHI 同期あり)	VSYNCl 入力 (垂直同期信号) の立ち下がりをもデ ィファイし、HSYNCl 入力 (水平同期信号) に同期 して出力
		IVG 信号	内部同期信号出力

### 13.4.9 CBLANK 出力

タイマコネクションで生成、選択した信号を用いて、複合同期信号に準じた波形 (ブランキング波形) を生成することができます。ブランキング波形は 1 種類で、HFBACKI 入力と VFBACKI 入力を、TCONRI の HFINV ビットと VFINV ビットで位相の正負を正としたものと、IVO 信号とを合成することによって生成します。CBLANK 出力波形生成の論理を図 13.9 に示します。

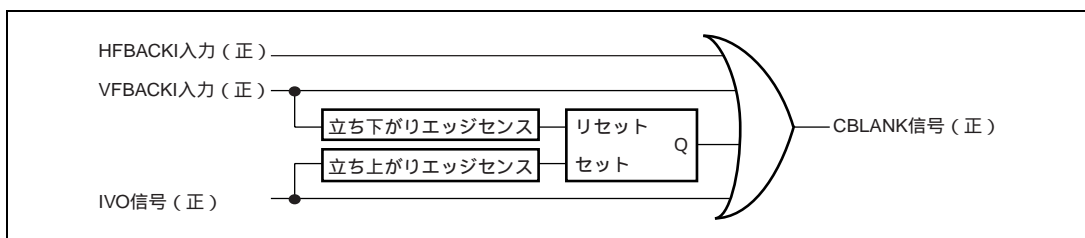


図 13.9 CBLANK 出力波形生成の論理

## 13.5 使用上の注意事項

### 13.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、タイマコネクションの動作停止 / 許可を設定することが可能です。初期値ではタイマコネクションの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力状態」を参照してください。

---

## 14. ウォッチドッグタイマ (WDT)

---

本 LSI は、2 チャンネルのウォッチドッグタイマ (WDT\_0、WDT\_1) を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバーフローすると、本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。また、外部にオーバーフロー信号 ( $\overline{\text{RESO}}$ ) を出力することができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT\_0、WDT\_1 のブロック図を図 14.1 に示します。

### 14.1 特長

- WDT\_0は8種類、WDT\_1は16種類のカウント入カクロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

#### ウォッチドッグタイマモード

- カウンタがオーバーフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能
- 内部リセットを選択した場合、カウンタがオーバーフローすると $\overline{\text{RESO}}$ 端子からLowレベル信号を出力

#### インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

## 14. ウォッチドッグタイマ (WDT)

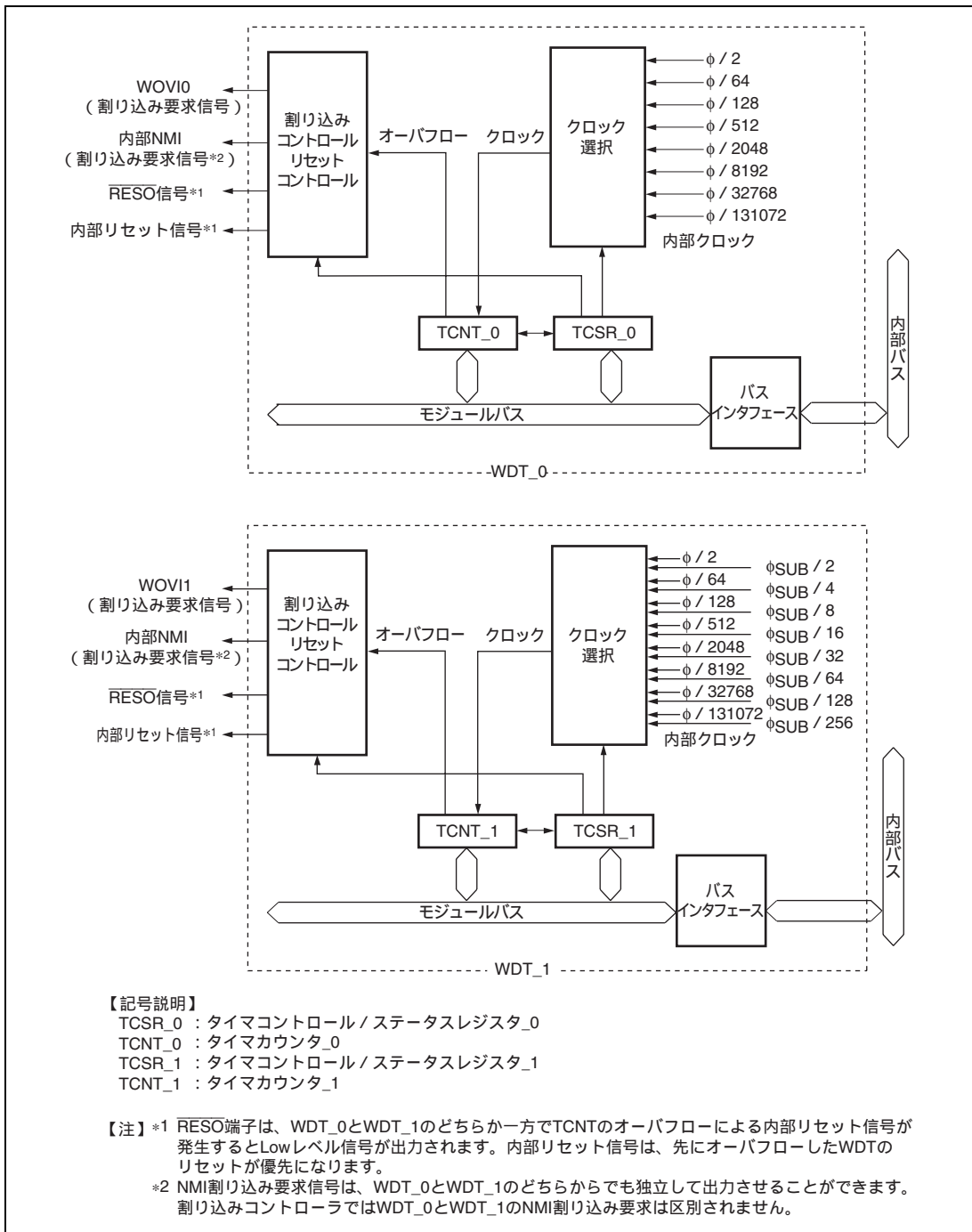


図 14.1 WDT のブロック図



## 14.2 入出力端子

WDTの入出力端子を表 14.1 に示します。

表 14.1 端子構成

名 称	記号	入出力	機 能
リセット出力端子	$\overline{\text{RESO}}$	出力	ウォッチドッグタイマモード時のカウンタオーパフロー信号出力
外部サブクロック入力端子	EXCL	入力	WDT_1 のプリスケアラのカウンタ入カクロック

## 14.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は「14.6.1 レジスタアクセス時の注意事項」を参照してください。システムコントロールレジスタについては、「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)

### 14.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

## 14. ウォッチドッグタイマ (WDT)

### 14.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

• TCSR\_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* <sup>1</sup>	<p>オーバフローフラグ</p> <p>TCNT がオーバフロー (H'FF→H'00) したことを示します。</p> <p>[セット条件]</p> <p>TCNT がオーバフロー (H'FF→H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• OVF=1 の状態で、TCSR をリード後*<sup>2</sup>、OVF に 0 をライトしたとき</li> <li>• TME ビットに 0 をライトしたとき</li> </ul>
6	WT/ $\bar{W}$	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード 1 : ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4		0	R/(W)	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>
3	RST/ $\overline{NMI}$	0	R/W	<p>リセットまたは NMI</p> <p>TCNT がオーバフローしたときに、内部リセットか NMI 割り込み要求かを選択します。</p> <p>0 : NMI 割り込みを要求 1 : 内部リセットを要求</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。( )内は<math>\phi=10\text{MHz}</math>のときのオーバフロー周期を表します。</p> <p>000 : <math>\phi/2</math> (周期 51.2<math>\mu\text{s}</math>) 001 : <math>\phi/64</math> (周期 1.64ms) 010 : <math>\phi/128</math> (周期 3.28ms) 011 : <math>\phi/512</math> (周期 13.1ms) 100 : <math>\phi/2048</math> (周期 52.4ms) 101 : <math>\phi/8192</math> (周期 209.7ms) 110 : <math>\phi/32768</math> (周期 0.84s) 111 : <math>\phi/131072</math> (周期 3.36s)</p>

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

14. ウォッチドッグタイマ (WDT)

• TCSR\_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* <sup>1</sup>	<p>オーバーフローフラグ</p> <p>TCNT がオーバーフロー (H'FF→H'00) したことを示します。</p> <p>[セット条件]</p> <p>TCNT がオーバーフロー (H'FF→H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• OVF=1 の状態で、TCSR をリード後*<sup>2</sup>、OVF に 0 をライトしたとき</li> <li>• TME ビットに 0 をライトしたとき</li> </ul>
6	WT/ $\bar{W}$	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0: インターバルタイマモード</p> <p>1: ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	PSS	0	R/W	<p>プリスケラセレクト</p> <p>TCNT に入力するクロックを選択します。</p> <p>0: <math>\phi</math>ベースのプリスケラ (PSM) の分周クロックをカウント</p> <p>1: <math>\phi</math>SUB ベースのプリスケラ (PSS) の分周クロックをカウント</p>
3	RST/ $\bar{NMI}$	0	R/W	<p>リセットまたは NMI</p> <p>TCNT がオーバーフローしたときに、内部リセットか NMI 割り込み要求かを選択します。</p> <p>0: NMI 割り込みを要求</p> <p>1: 内部リセットを要求</p>

## 14. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	TCNT に入力するクロックを選択します。( )内は $\phi = 10\text{MHz}$ 、 $\phi\text{SUB}=32.768\text{kHz}$ のときのオーバフロー周期を表します。 PSS = 0 の場合 000 : $\phi/2$ (周期 51.2 $\mu\text{s}$ ) 001 : $\phi/64$ (周期 1.64ms) 010 : $\phi/128$ (周期 3.28ms) 011 : $\phi/512$ (周期 13.1ms) 100 : $\phi/2048$ (周期 52.4ms) 101 : $\phi/8192$ (周期 209.7ms) 110 : $\phi/32768$ (周期 0.84s) 111 : $\phi/131072$ (周期 3.36s) PSS = 1 の場合 000 : $\phi\text{SUB}/2$ (周期 15.6ms) 001 : $\phi\text{SUB}/4$ (周期 31.3ms) 010 : $\phi\text{SUB}/8$ (周期 62.5ms) 011 : $\phi\text{SUB}/16$ (周期 125ms) 100 : $\phi\text{SUB}/32$ (周期 250ms) 101 : $\phi\text{SUB}/64$ (周期 500ms) 110 : $\phi\text{SUB}/128$ (周期 1s) 111 : $\phi\text{SUB}/256$ (周期 2s)
0	CKS0	0	R/W	

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

## 14.4 動作説明

### 14.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSRのWT/ $\overline{IT}$ ビット=1に、TMEビット=1に設定してください。ウォッチドッグタイマとして動作しているとき、システムの暴走などによりTCNTの値が書き換えられずオーバーフローすると、内部リセットまたはNMI割り込み要求を発生します。システムが正常に動作している間は、TCNTのオーバーフローは発生しません。TCNTがオーバーフローする前に必ずTCNTの値を書き換えて(通常はH'00をライトする)、オーバーフローを発生させないようにプログラミングしてください。

TCSRのRST/ $\overline{NMI}$ ビットを1にセットしておく、図14.2に示すようにTCNTがオーバーフローしたときに、本LSIの内部をリセットする信号が518システムクロックの間出力され、 $\overline{RES0}$ 端子から132ステートの間Lowレベルが出力されます。また、RST/ $\overline{NMI}$ ビットを0にクリアしておく、TCNTがオーバーフローしたときに、NMI割り込み要求を発生します。このとき $\overline{RES0}$ 端子はHighレベルのままです。

ウォッチドッグタイマからの内部リセット要求と $\overline{RES}$ 端子からのリセット入力、同一ベクタで処理されます。リセット要因はSYSCRのXRSTビットの内容によって判別できます。ウォッチドッグタイマからの内部リセット要求と $\overline{RES}$ 端子からのリセット入力が同時に発生したときは、 $\overline{RES}$ 端子からのリセット入力が優先され、SYSCRのXRSTビットは1にセットされます。

ウォッチドッグタイマからのNMI割り込み要求とNMI端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからのNMI割り込み要求とNMI端子からの割り込み要求を同時に扱うことは避けてください。

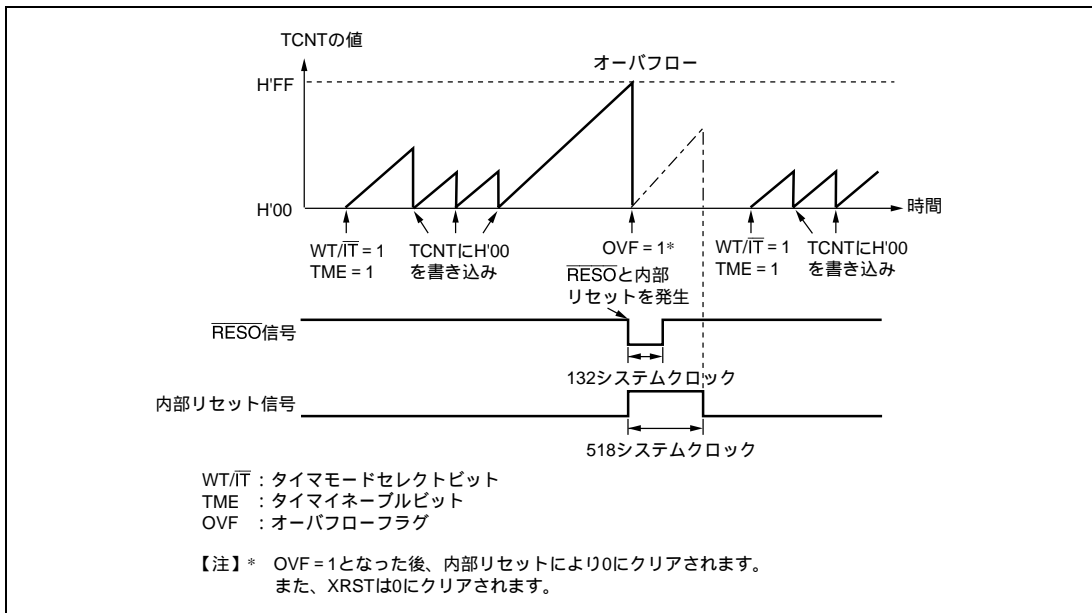


図 14.2 ウォッチドッグタイマモード時 (RST/ $\overline{NMI}$ =1) の動作

## 14. ウォッチドッグタイマ (WDT)

### 14.4.2 インターバルタイマモード

インターバルタイマとして動作しているときは、図 14.3 に示すように TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 14.4 に示します。

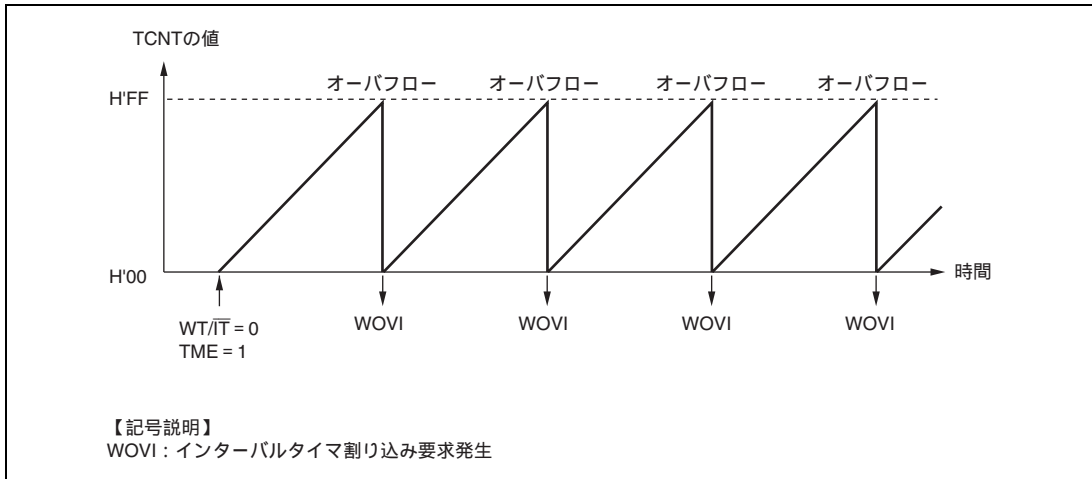
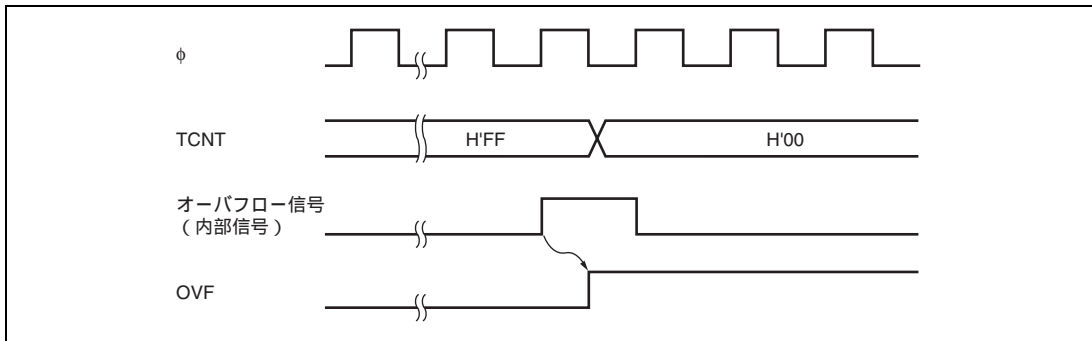


図 14.3 インターバルタイマモード時の動作



### 14.4.3 $\overline{\text{RESO}}$ 信号出力タイミング

ウォッチドッグタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされます。このとき  $\text{RST}/\overline{\text{NMI}}$  ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。また、同時に  $\overline{\text{RESO}}$  端子から Low レベルを出力します。これらのタイミングを図 14.5 に示します。

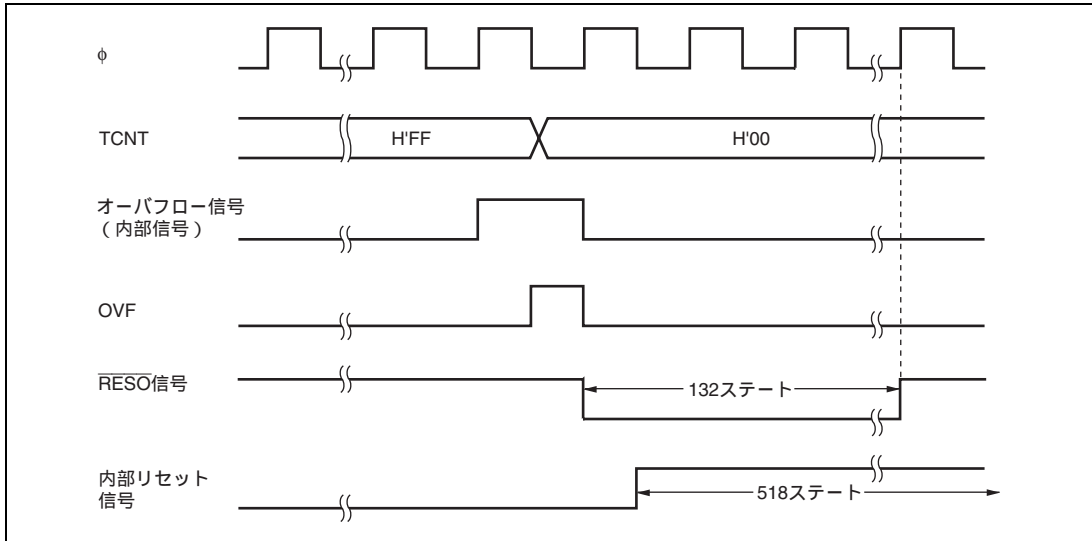


図 14.5  $\overline{\text{RESO}}$  信号の出力タイミング

## 14.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) が発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時は、オーバーフローにより NMI 割り込み要求が発生します。

表 14.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバーフロー	OVF	不可

## 14.6 使用上の注意事項

### 14.6.1 レジスタアクセス時の注意事項

TCNT、TCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。次の方法で、リード/ライトを行ってください。

#### (1) TCNT、TCSR へのライト (WDT\_0 の例)

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 14.6 に示すようにして転送してください。TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。

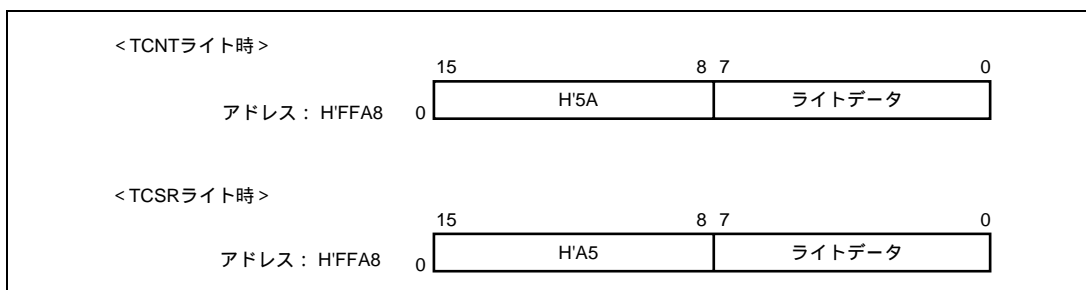


図 14.6 TCNT、TCSR へのライト (WDT\_0 の例)

#### (2) TCNT、TCSR からのリード (WDT\_0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。



### 14.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.7 に示します。

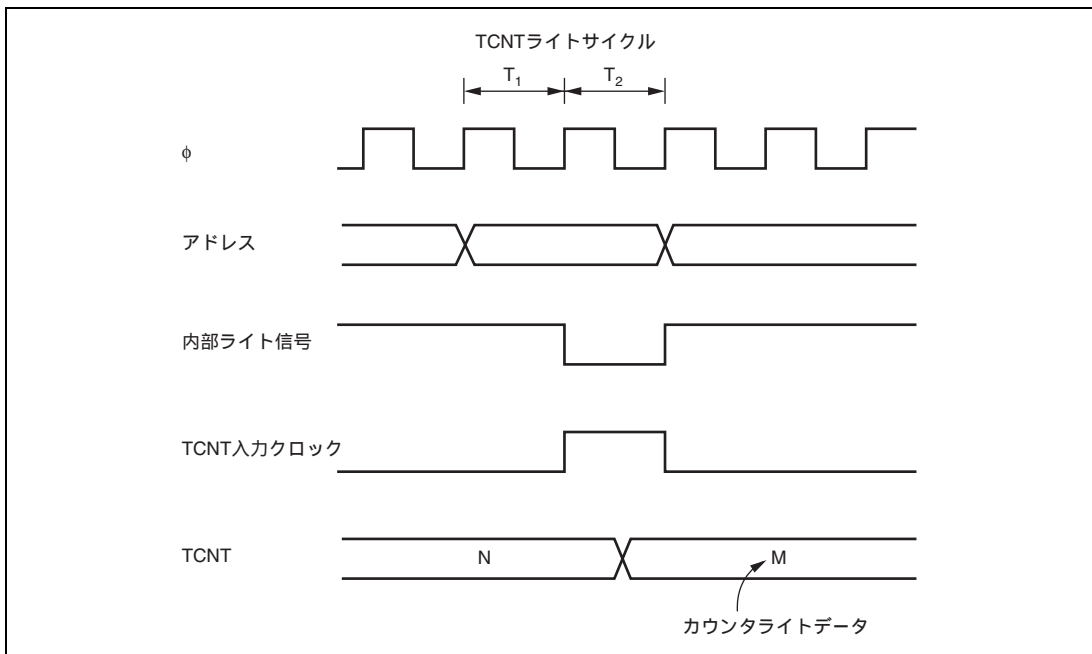


図 14.7 TCNT のライトとカウントアップの競合

### 14.6.3 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 14.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

### 14.6.5 $\overline{\text{RESO}}$ 信号によるシステムのリセット

$\overline{\text{RESO}}$  出力信号を  $\overline{\text{RES}}$  端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{RESO}}$  信号は、 $\overline{\text{RES}}$  端子に論理的に入力しないようにしてください。 $\overline{\text{RESO}}$  信号でシステム全体をリセットするときは、図 14.8 に示すような回路で行ってください。

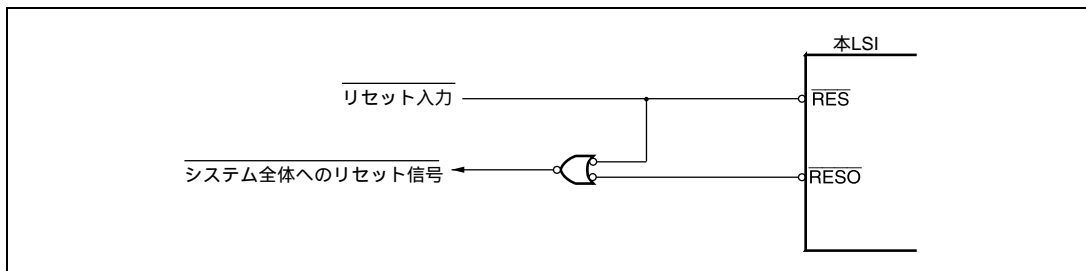


図 14.8  $\overline{\text{RESO}}$  信号によるシステムのリセット回路例

### 14.6.6 高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値

WDT\_1 を時計用クロックのカウンタとして使用し、かつ高速モードとサブアクティブモード間、あるいは高速モードとウォッチモード間を遷移する場合には、内部クロックの切り替えにともなうカウンタ値のずれが生じます。

高速モードからサブアクティブモードまたはウォッチモードへの遷移時には、WDT\_1 の制御クロックがメインクロックからサブクロックに切り替わるタイミングで約 2~3 クロックサイクル分カウントアップタイミングが遅くなります。また、サブクロック動作時にはメインクロック発振器がストップするため、ウォッチモードまたはサブアクティブモードから高速モードへの遷移時には、内部発振が安定するまでクロックは供給されなくなります。このため、発振を開始し SBYCR の STS2 ~ STS0 ビットで設定された発振安定待機時間はカウントアップを停止し、この期間分のカウンタ値のずれが生じます。

WDT\_1 を時計用クロックのカウンタとして使用するときは注意してください。なお、同じモード内で動作している間は、カウンタ値のずれは発生しません。

---

## 15. シリアルコミュニケーションインタフェース (SCI、IrDA)

---

本 LSI は独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

SCI\_2 は、IrDA (Infrared Data Association) 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

### 15.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能  
送受信クロックソースとして外部クロックの選択も可能です。
- LSBファースト / MSBファースト選択可能 (調歩同期式7ビットデータを除く)

- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます。

#### 調歩同期式モード

- データ長 : 7ビット / 8ビット選択可能
- ストップビット長 : 1ビット / 2ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時、RxD端子のレベルを直接リードすることでブレークを検出可能

#### クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー

## 15. シリアルコミュニケーションインタフェース (SCI)

- クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能

SCIのブロック図を図 15.1 に示します。

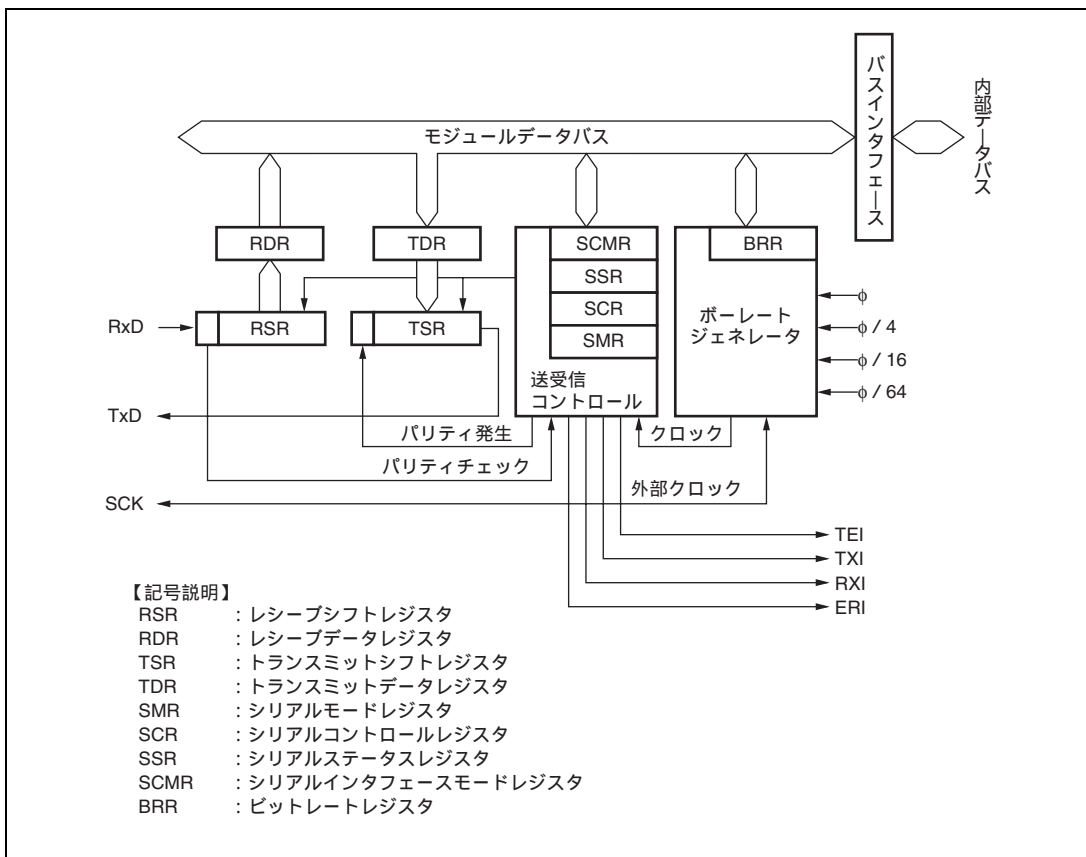


図 15.1 SCIのブロック図

## 15.2 入出力端子

SCIには、表 15.1 の入出力端子があります。

表 15.1 端子構成

チャンネル	記号*	入出力	機 能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2/IrRxD	入力	チャンネル2の受信データ入力端子 (通常/IrDA)
	TxD2/IrTxD	出力	チャンネル2の送信データ出力端子 (通常/IrDA)

【注】 \* 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

## 15.3 レジスタの説明

SCIにはチャンネルごとに以下のレジスタがあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットデータレジスタ (TDR)
- トランスミットシフトレジスタ (TSR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ (SCR)
- シリアルステータスレジスタ (SSR)
- シリアルインタフェースモードレジスタ (SCMR)
- ビットレートレジスタ (BRR)
- キーボードコンバータコントロールレジスタ (KBCOMP)

### 15.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

### 15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

### 15.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。TDR の初期値は H'FF です。

### 15.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

## 15.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	C/ $\bar{A}$	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ $\bar{E}$	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ $\bar{E}$ ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1、0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00: $\phi$ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、BRR 中の n の値を表します。

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「15.8 割り込み要因」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル(調歩同期式モードで SMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル 1、0 クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00 : 内部クロック (SCK 端子は入出力ポートとして使用できます) 01 : 内部クロック (SCK 端子からビットレートと同じ周波数のクロックを出力します) 1x : 外部クロック (ビットレートの 16 倍の周波数のクロックを SCK 端子に入力してください。) クロック同期式の場合 0x : 内部クロック (SCK 端子はクロック出力端子となります。) 1x : 外部クロック (SCK 端子はクロック入力端子となります。)

【記号説明】

x : Don't care



## 15.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込み要求による DTC で RDR のデータをリードしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • RDRF=1 の状態で次のデータを受信したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] • ストップビットが 0 のとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき 2 ストップのときも 1 ビット目のストップビットのみチェックします。

## 15. シリアルコミュニケーションインタフェース (SCI)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
2	TEND	1	R	トランスミットエンド [セット条件] • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき • TXI割り込み要求によるDTCでTDRヘデータをライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 \* フラグをクリアするための0ライトのみ可能です。

## 15.3.8 シリアルインタフェースモードレジスタ (SCMR)

SCMR は SCI 機能およびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W	データトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 1: TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	データインバート 送受信データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1		1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	シリアルコミュニケーションインタフェースモードセレクト 0: 通常の調歩同期式またはクロック同期式モード 1: リザーブモード

## 15.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モードにおける BRR の設定値 N とビットレート B の関係を表 15.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 15.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (MHz)

n : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

通常の調歩同期式モードにおける BRR の値 N の設定例を表 15.3 に、各動作周波数における設定可能な最大ビットレートを表 15.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 15.6 に示します。また、表 15.5、表 15.7 に外部クロック入力時の最大ビットレートを示します。

15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する BRR の設定例 (調歩同期式モード) (1)

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250				0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

【記号説明】 - : 設定可能ですが誤差がでます。

【注】 誤差はなるべく 1%以内になるように設定してください。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する BRR の設定例 (調歩同期モード) (2)

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	N	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	N	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

【記号説明】 - : 設定可能ですが誤差がでます。

【注】 誤差はなるべく 1%以内になるように設定してください。

表 15.3 ビットレートに対する BRR の設定例 (調歩同期モード) (3)

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	16	0.00

ビットレート (bit/s)	動作周波数 $\phi$ (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	- 0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	- 1.36
31250	0	17	0.00	0	19	- 1.70	0	19	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73

【記号説明】 - : 設定可能ですが誤差があります。

【注】 誤差はなるべく 1%以内になるように設定してください。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.4 各動作周波数における最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	最大ビットレート (bit/s)	N	N	$\phi$ (MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0	9.8304	307200	0	0
2.097152	65536	0	0	10	312500	0	0
2.4576	76800	0	0	12	375000	0	0
3	93750	0	0	12.288	384000	0	0
3.6864	115200	0	0	14	437500	0	0
4	125000	0	0	14.7456	460800	0	0
4.9152	153600	0	0	16	500000	0	0
5	156250	0	0	17.2032	537600	0	0
6	187500	0	0	18	562500	0	0
6.144	192000	0	0	19.6608	614400	0	0
7.3728	230400	0	0	20	625000	0	0
8	250000	0	0				

表 15.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250	9.8304	2.4576	153600
2.097152	0.5243	32768	10	2.5000	156250
2.4576	0.6144	38400	12	3.0000	187500
3	0.7500	46875	12.288	3.0720	192000
3.6864	0.9216	57600	14	3.5000	218750
4	1.0000	62500	14.7456	3.6864	230400
4.9152	1.2288	76800	16	4.0000	250000
5	1.2500	78125	17.2032	4.3008	268800
6	1.5000	93750	18	4.5000	281250
6.144	1.5360	96000	19.6608	4.9152	307200
7.3728	1.8432	115200	20	5.0000	312500
8	2.0000	125000			



表 15.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	動作周波数 $\phi$ (MHz)											
	2		4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-								
250	2	124	2	249	3	124	-	-	3	249		
500	1	249	2	124	2	249	-	-	3	124	-	-
1k	1	124	1	249	2	124	-	-	2	249	-	-
2.5k	0	199	1	99	1	199	1	249	2	99	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	19
500k	0	0*	0	1*	0	3	0	4	0	7	0	9
1M			0	0	0	1			0	3	0	4
2.5M							0	0*			0	1
5M											0	0*

## 【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

\* : 連続送信 / 連続受信はできません。

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	$\phi$ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3	12	2.0000	2000000.0
4	0.6667	666666.7	14	2.3333	2333333.3
6	1.0000	1000000.0	16	2.6667	2666666.7
8	1.3333	1333333.3	18	3.0000	3000000.0
10	1.6667	1666666.7	20	3.3333	3333333.3

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.3.10 キーボードコンパレータコントロールレジスタ (KBCOMP)

KBCOMP は、SCI および A/D 変換器の機能選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI_2 の入出力端子を通常の SCI 端子にするか IrDA 端子にするかを選択します。 0 : TxD2/IrTxD、RxD2/IrRxD 端子は、TxD2、RxD2 として動作 1 : TxD2/IrTxD、RxD2/IrRxD 端子は、IrTxD、IrRxD として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト 2~0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000 : $B \times 3/16$ (B=ビットレート) 001 : $\phi / 2$ 010 : $\phi / 4$ 011 : $\phi / 8$ 100 : $\phi / 16$ 101 : $\phi / 32$ 110 : $\phi / 64$ 111 : $\phi / 128$
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3	KBADE	0	R/W	
2	KBCH2	0	R/W	A/D 変換器に関するビットです。詳細は「21.3.4 キーボードコンパレータコントロールレジスタ (KBCOMP)」を参照してください。
1	KBCH1	0	R/W	
0	KBCH0	0	R/W	

## 15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

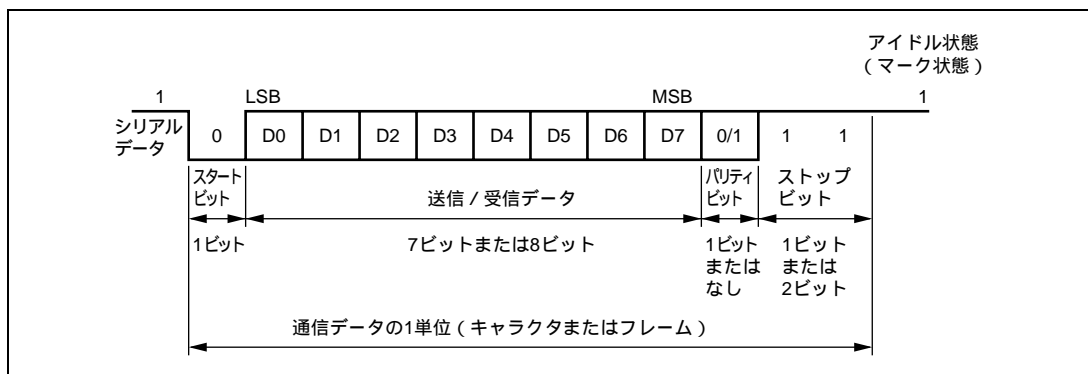


図 15.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.8 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

表 15.8 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

### 15.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図15.3に示すように受信データを基本クロックの8番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} (1 + F) - (L - 0.5) F \right| \times 100 \quad [\%] \quad \cdots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

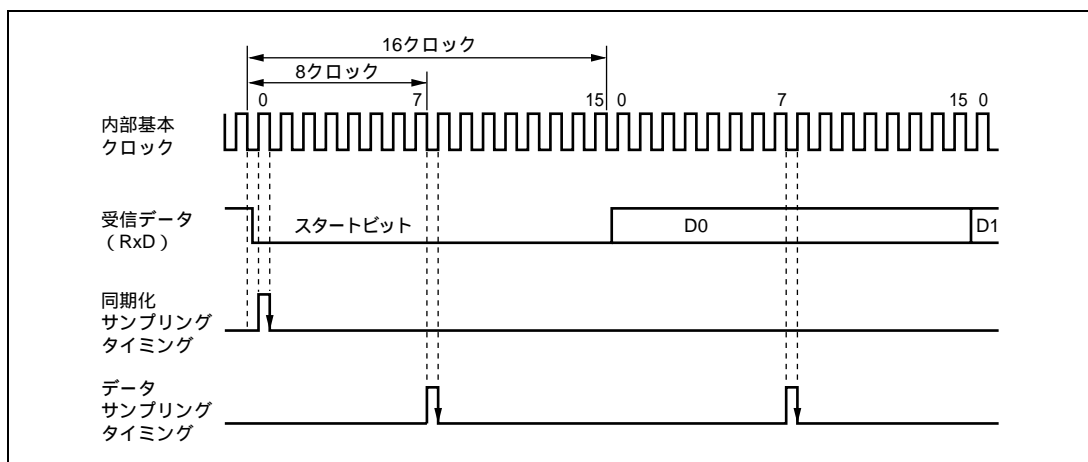


図 15.3 調歩同期式モードの受信データサンプリングタイミング

### 15.4.3 クロック

SCIの送受信クロックは、SMRの $C/\bar{A}$ ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図15.4に示すように送信データの中央でクロックが立ち上がります。

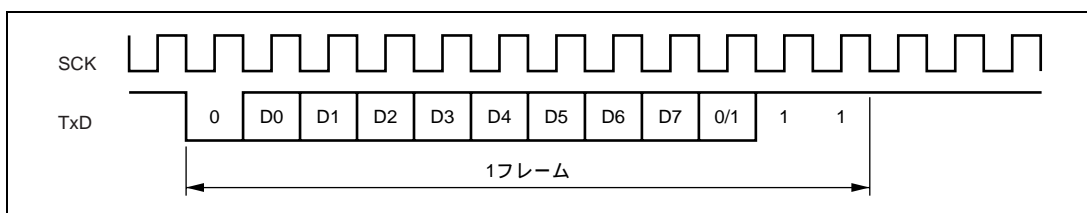


図 15.4 出力クロックと送信データの位相関係 (調歩同期式モード)

## 15.4.4 SCIの初期化 (調歩同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図15.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、SSRのTDREは1にセットされますが、REを0にクリアしても、SSRのRDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の間も含めてクロックを供給してください。

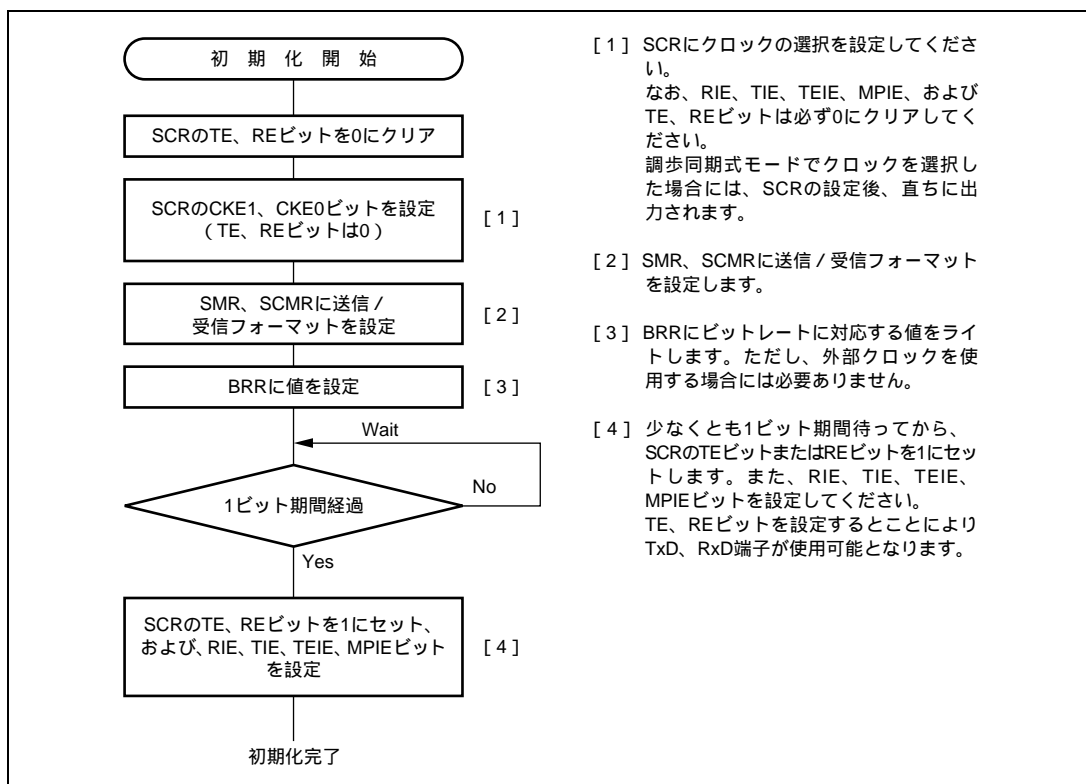


図 15.5 SCIの初期化フローチャートの例

### 15.4.5 データ送信 (調歩同期式)

図 15.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。

図 15.7 にデータ送信のフローチャートの例を示します。

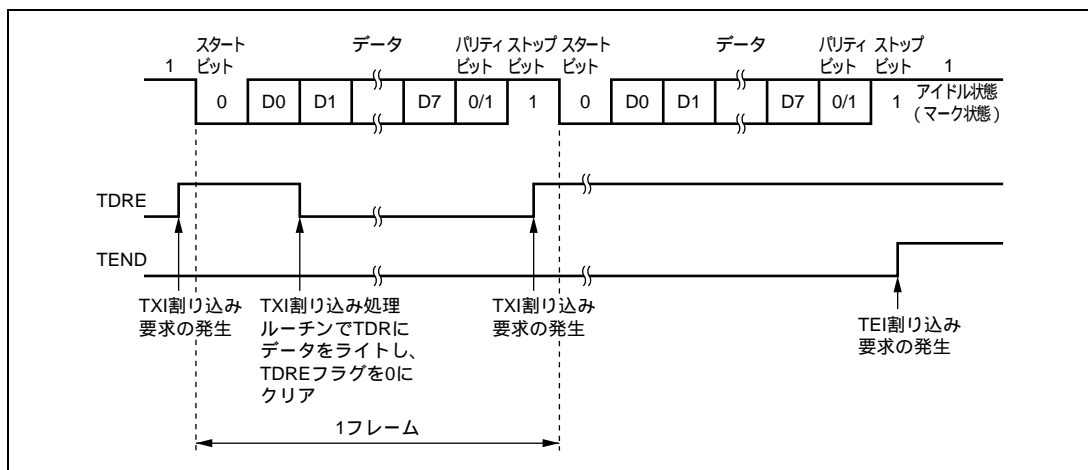


図 15.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)



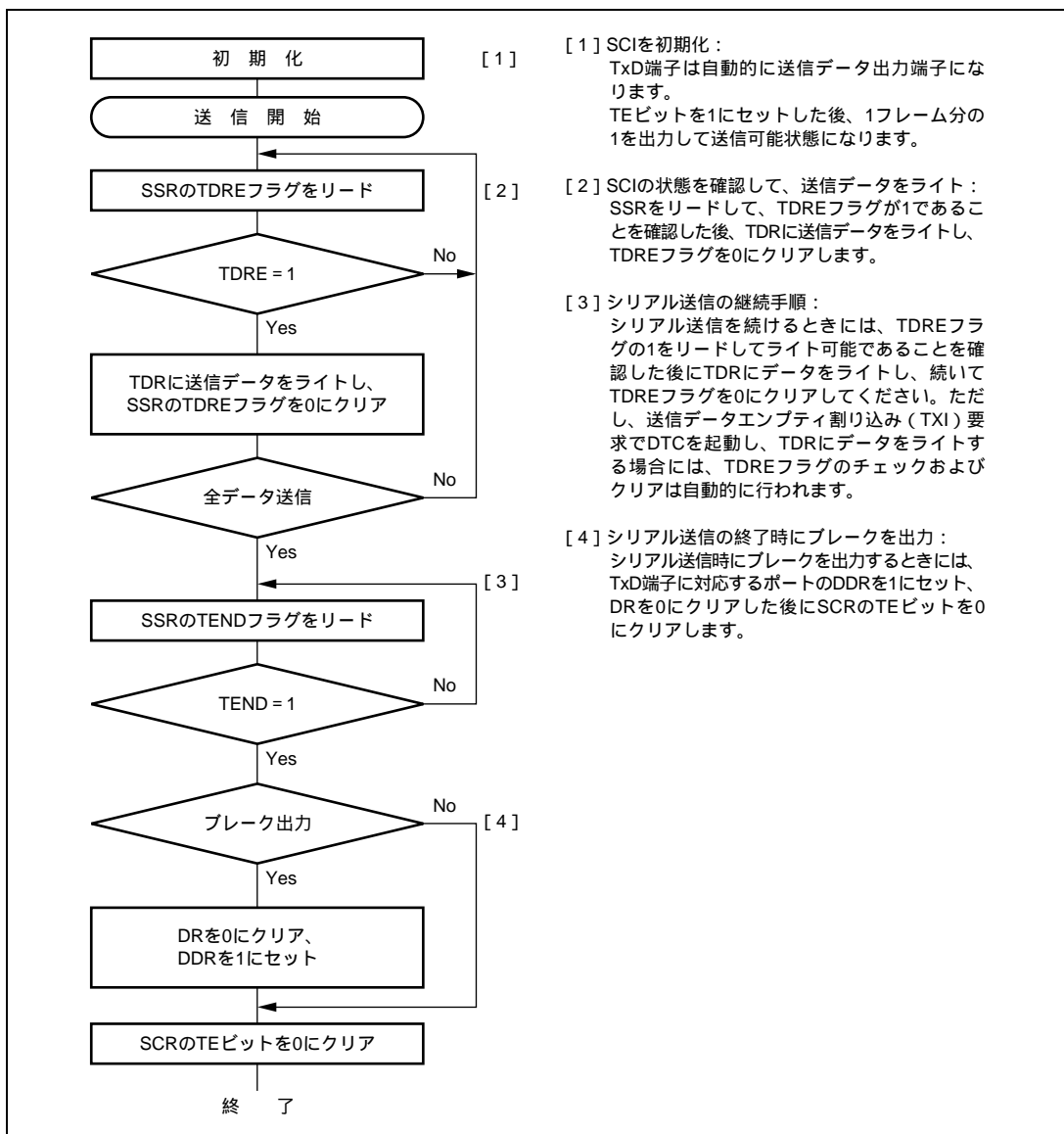


図 15.7 シリアル送信のフローチャートの例

### 15.4.6 シリアルデータ受信 (調歩同期式)

図 15.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

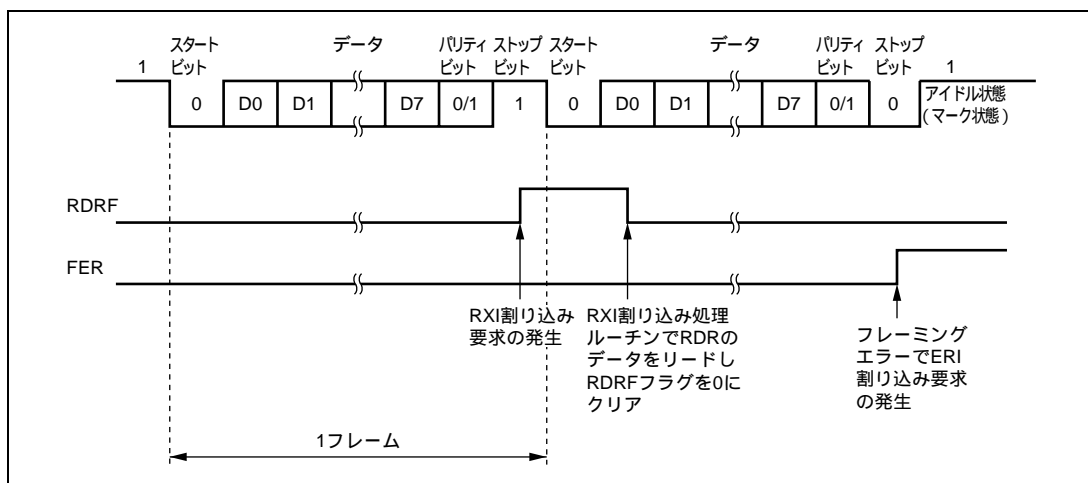


図 15.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 15.9 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.9 にデータ受信のためのフローチャートの例を示します。

表 15.9 SSRのステータスフラグの状態と受信データの処理

SSRのステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDRへ転送	フレーミングエラー
0	0	0	1	RDRへ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDRへ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 \* RDRFは、データ受信前の状態を保持します。

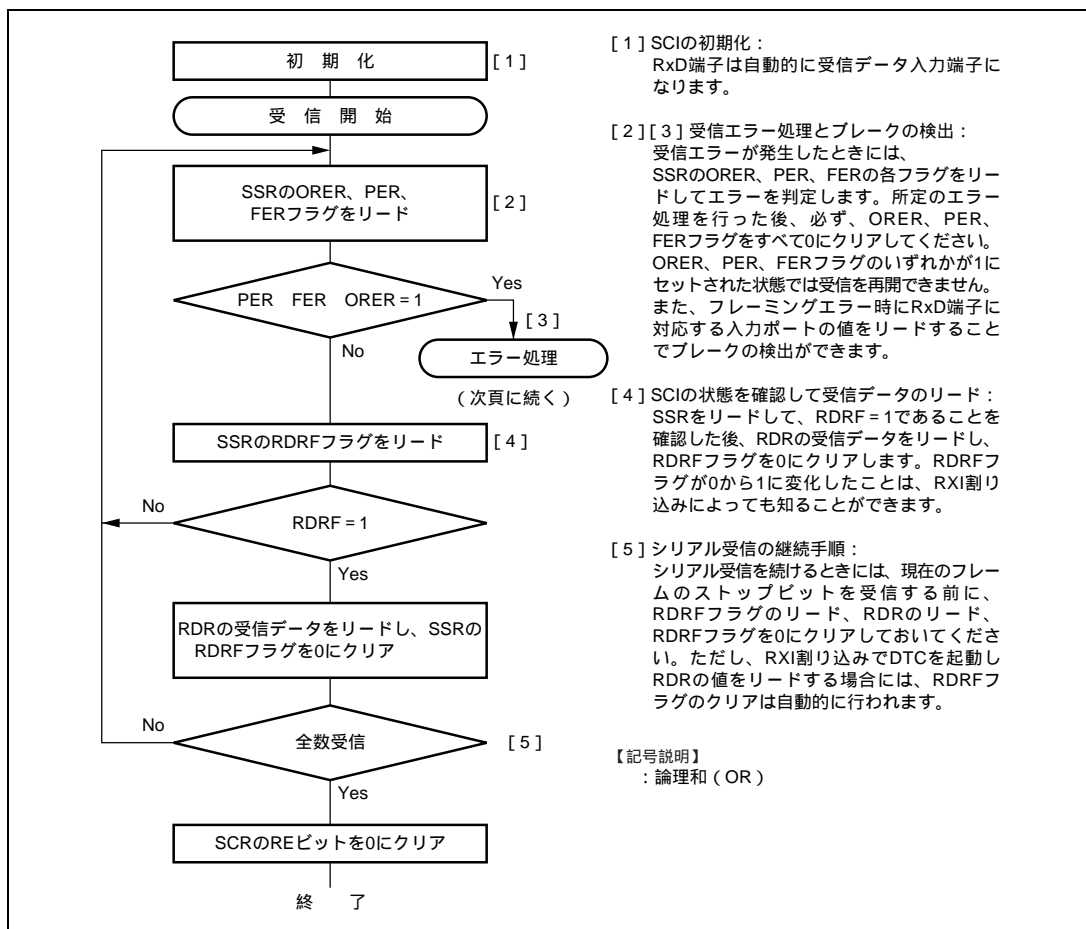


図 15.9 シリアル受信データフローチャートの例 (1)

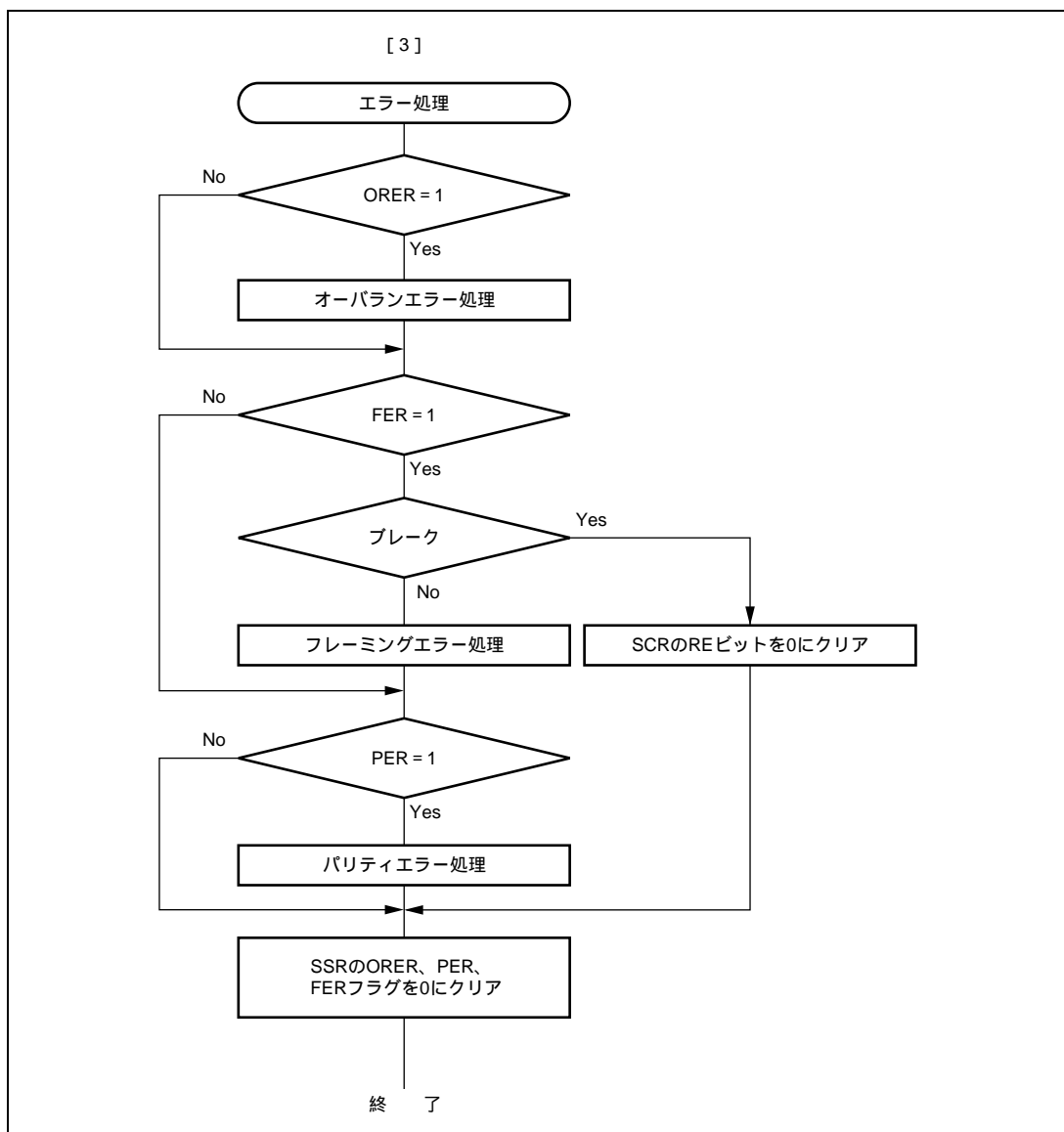


図 15.9 シリアル受信データフローチャートの例 (2)

## 15.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におのおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

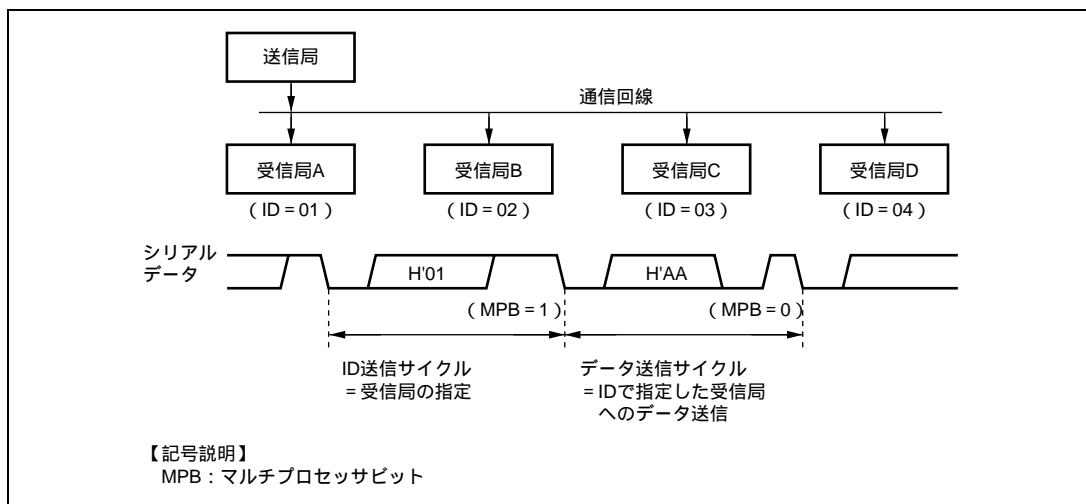


図 15.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

### 15.5.1 マルチプロセッサシリアルデータ送信

図 15.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

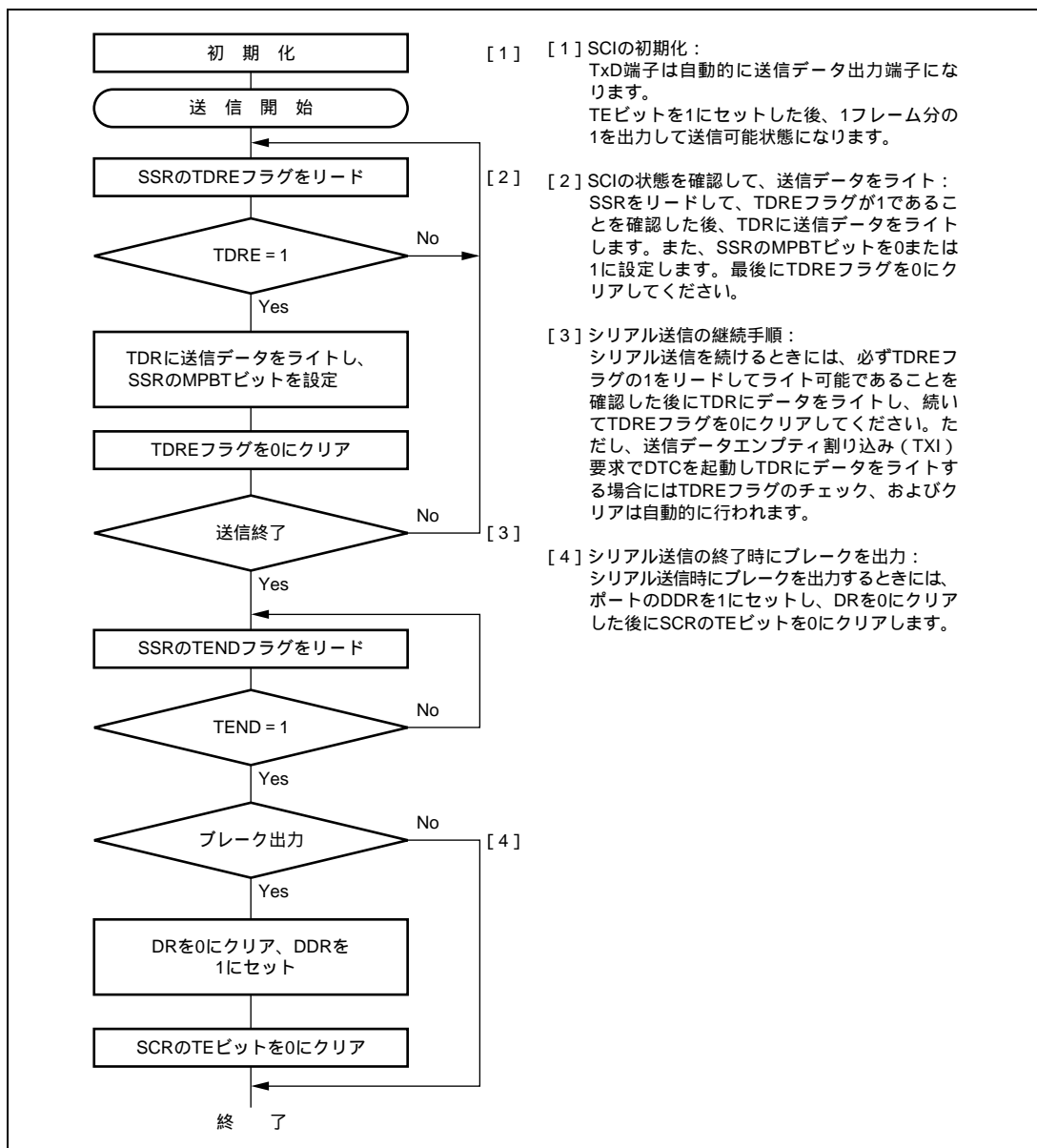


図 15.11 マルチプロセッサシリアル送信のフローチャートの例

## 15.5.2 マルチプロセッサシリアルデータ受信

図 15.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 15.12 に受信時の動作例を示します。

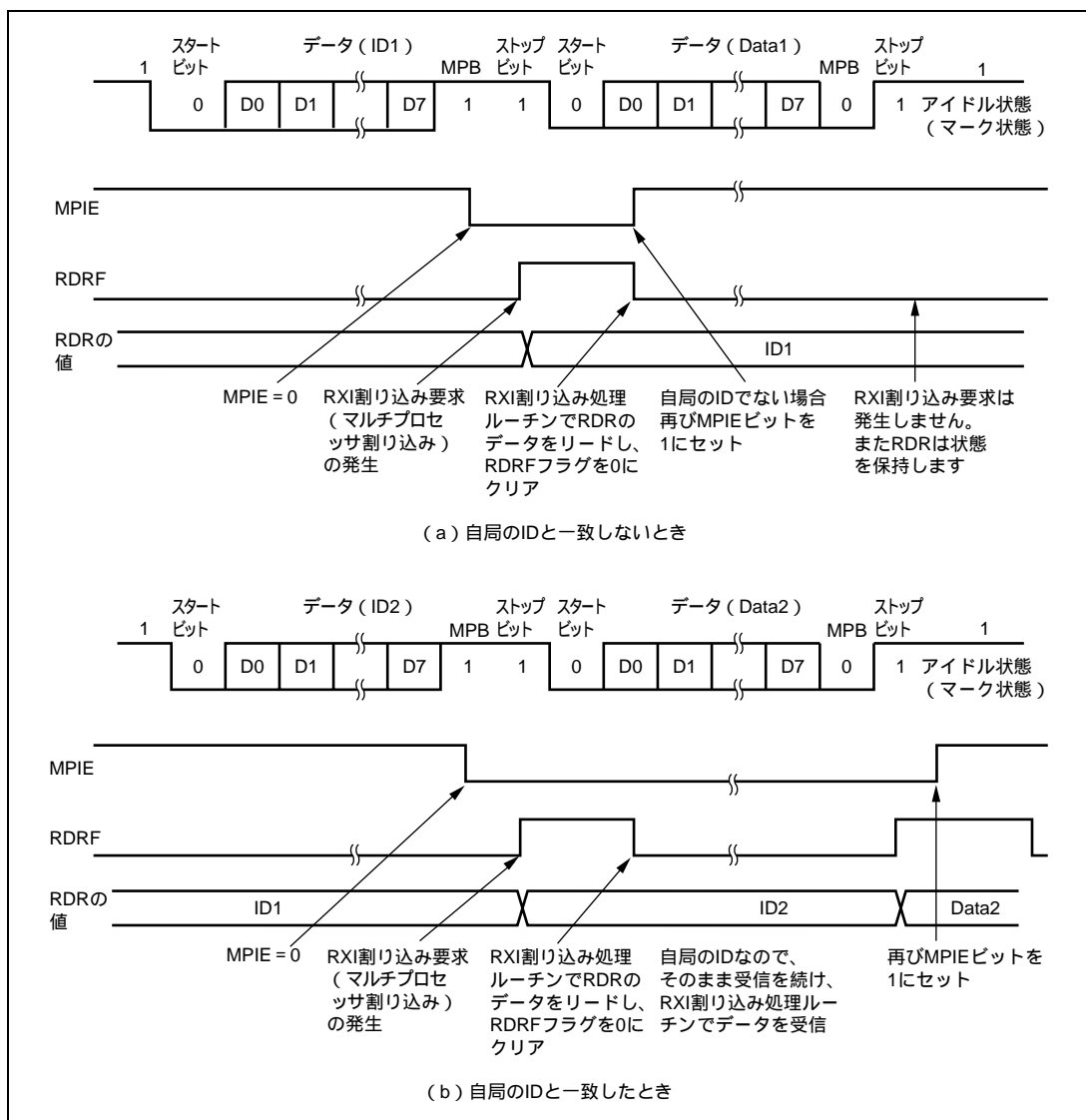


図 15.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)





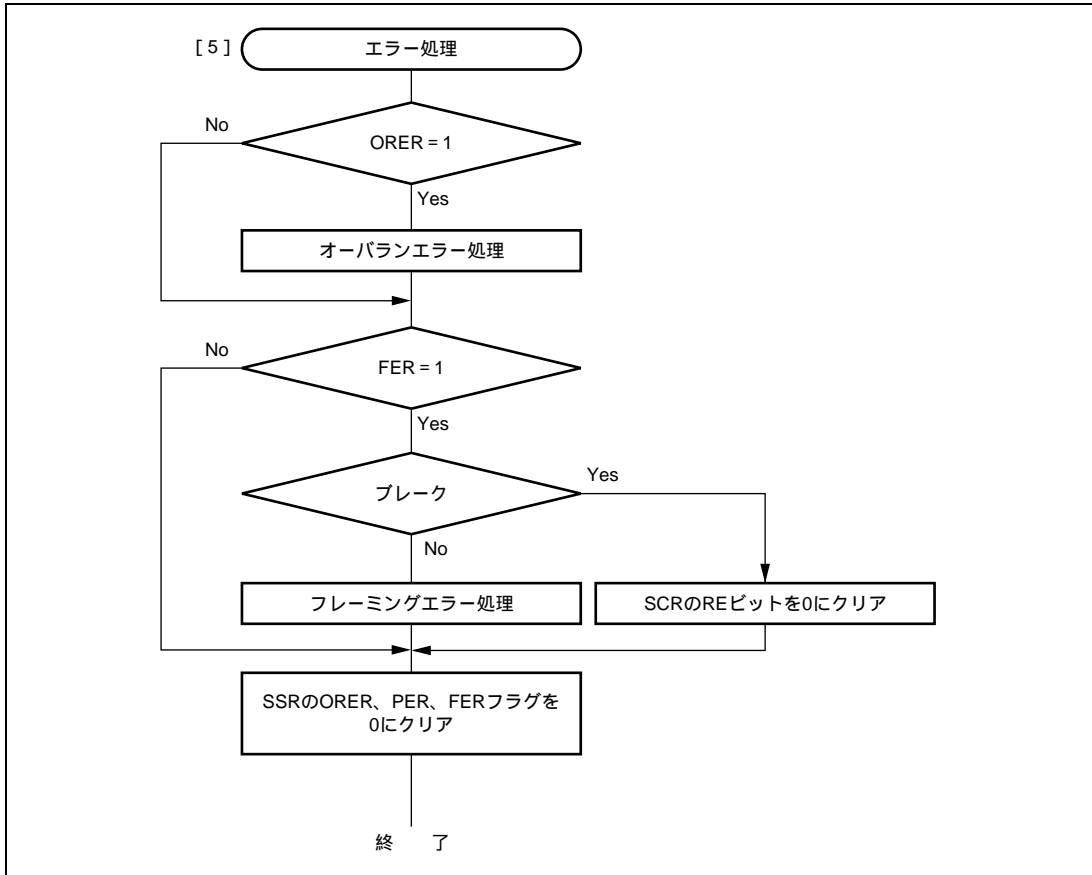


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

## 15.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 15.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がり同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保持します。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

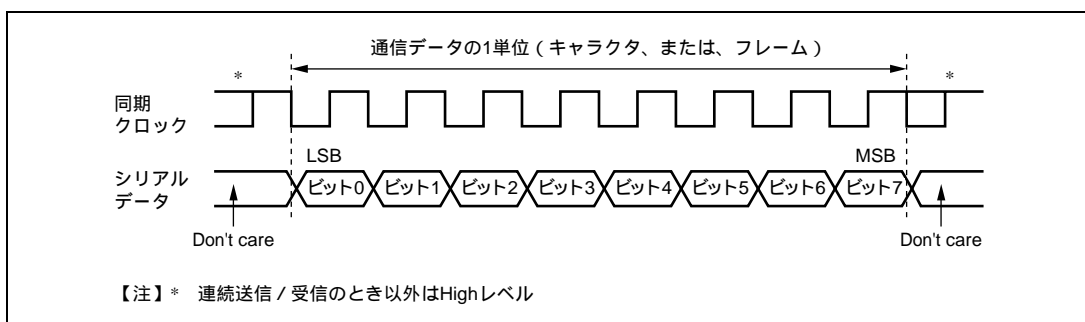


図 15.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

### 15.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

## 15.6.2 SCIの初期化 (クロック同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図15.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、SSRのTDREは1にセットされますが、REを0にクリアしても、SSRのRDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

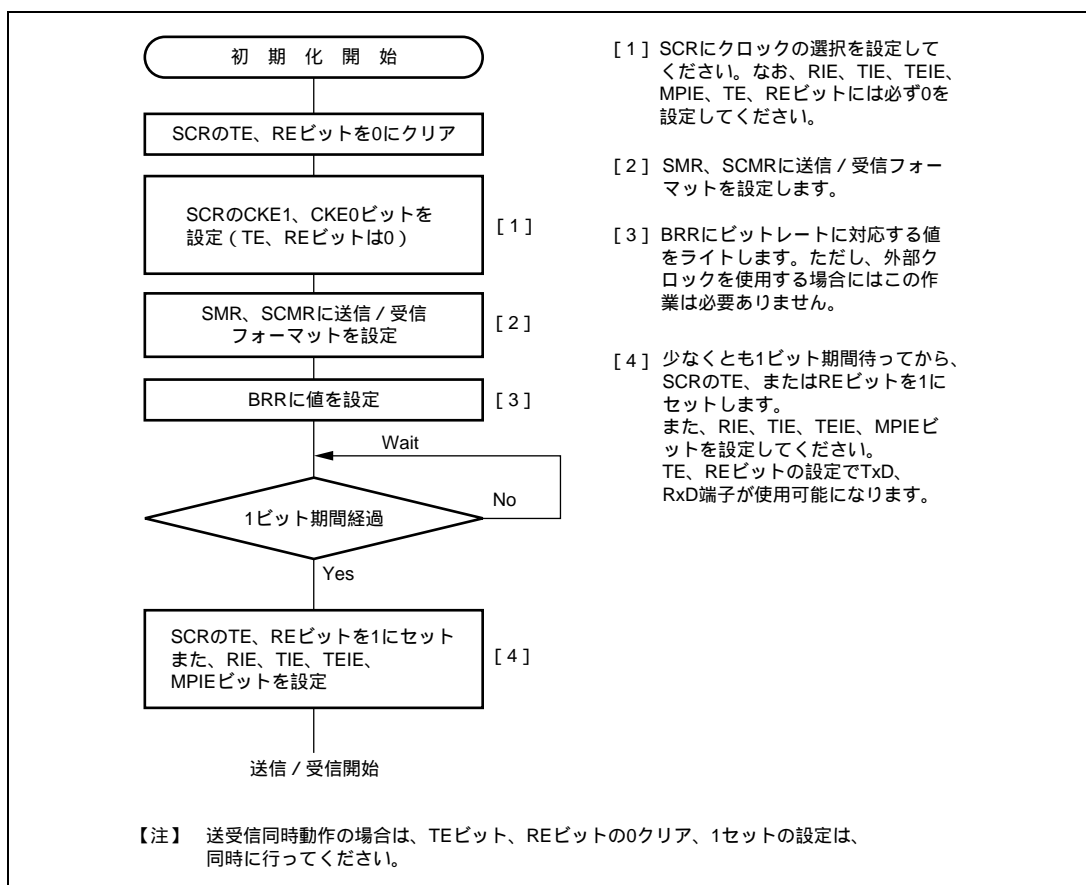


図 15.15 SCIの初期化フローチャートの例

### 15.6.3 シリアルデータ送信 (クロック同期式)

図 15.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCI は SSR の TDRE を監視し、クリアされると TDR にデータが書き込まれたと認識して TDR から TSR にデータを転送します。
2. TDR から TSR にデータを転送すると、TDRE を 1 にセットして送信を開始します。このとき、SCR の TIE が 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込みルーチンで、前に転送したデータの送信が終了するまでに TDR に次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE をチェックします。
5. TDRE が 0 であると次の送信データを TDR から TSR にデータを転送し、次のフレームの送信を開始します。
6. TDRE が 1 であると SSR の TEND に 1 をセットし、最終ビット出力状態を保持します。このとき SCR の TEIE が 1 にセットされていると TEI 割り込み要求を発生します。SCK 端子は High レベルに固定されます。

図 15.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

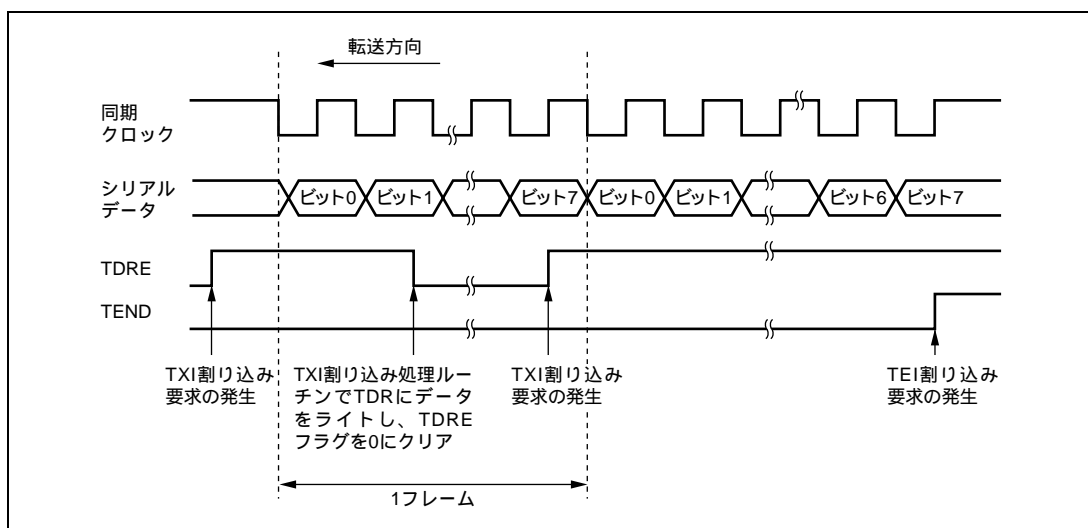


図 15.16 クロック同期式モードの送信時の動作例

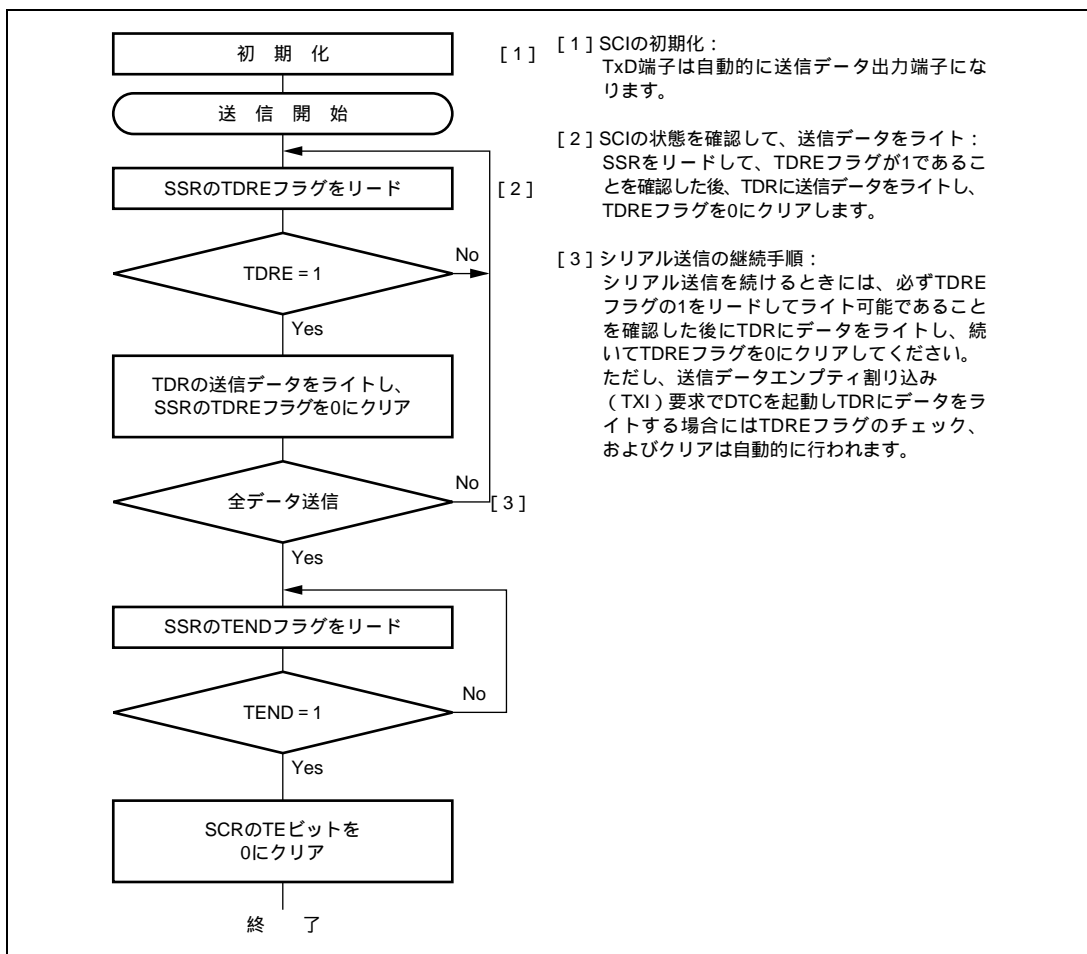


図 15.17 シリアル送信のフローチャートの例

### 15.6.4 シリアルデータ受信 (クロック同期式)

図 15.18 にクロック同期モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCI は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを RSR に取り込みます。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求が発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

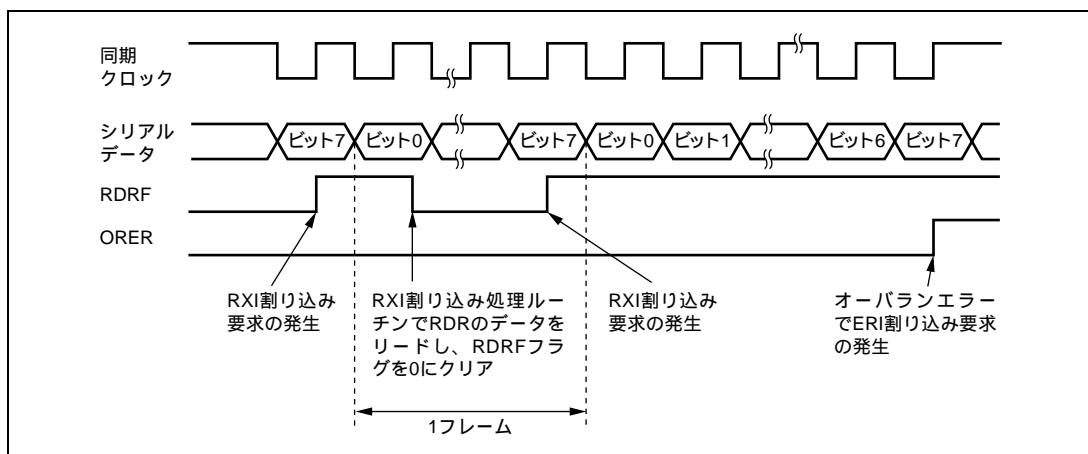


図 15.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.19 にデータ受信のためのフローチャートの例を示します。

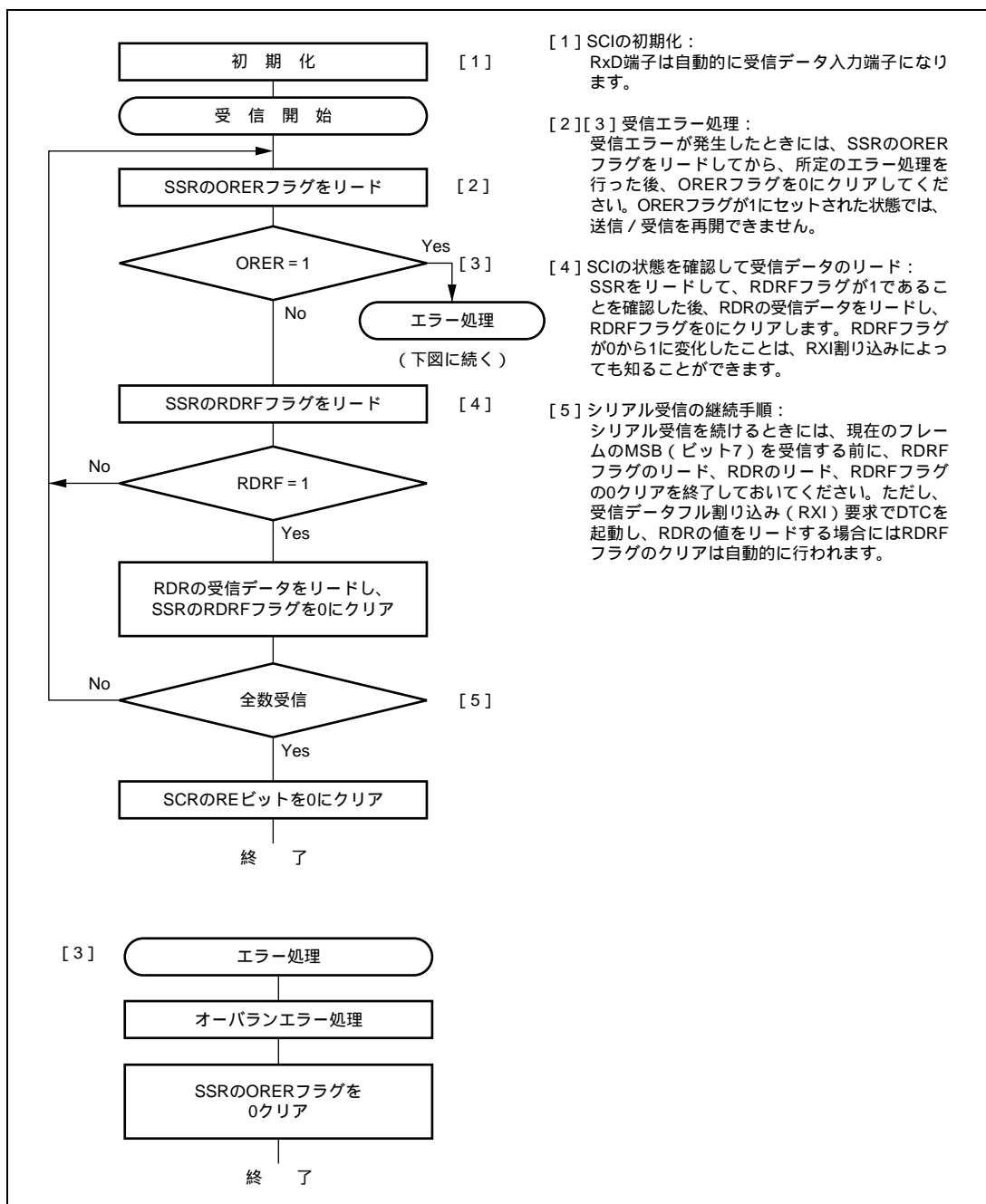


図 15.19 シリアルデータ受信フローチャートの例

### 15.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、SSR の TDRE および TEND が 1 にセットされていることを確認した後、SCR の TE ビットを 0 にクリアしてから TE および RE ビットを 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから SSR の RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE ビットを 1 命令で同時に 1 にセットしてください。



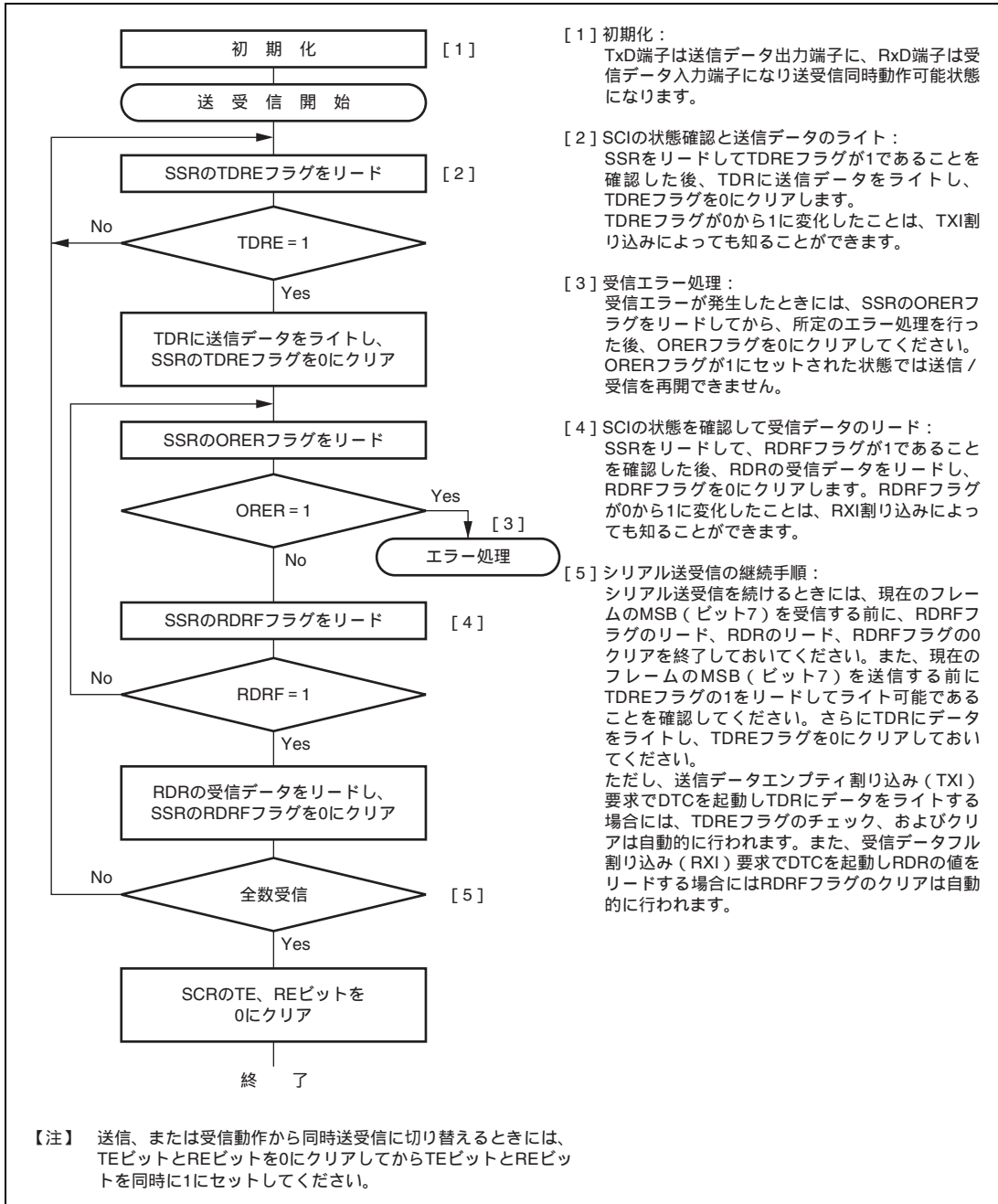


図 15.20 シリアル送受信同時動作のフローチャートの例

## 15.7 IrDA 動作

SCI\_2 は IrDA 動作が可能です。図 15.21 に IrDA のブロック図を示します。

KBCOMP の IrE ビットで IrDA 機能をイネーブルにすると、SCI\_2 の TxD2、RxD2 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTxD、IrRxD 端子)。これを赤外線送受信トランシーバレシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより設定を変更してください。

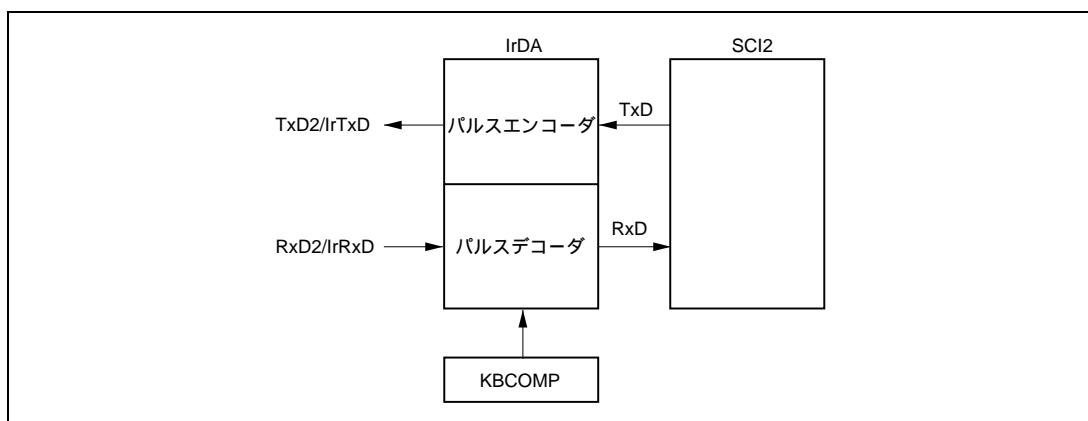


図 15.21 IrDA ブロック図

### (1) 送信

送信時に SCI から出力信号 (UART フレーム) は、IrDA インタフェースにより IR フレームに変換されます (図 15.22 参照)。

シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の  $3/16$  の High パルスが出力されます (初期値)。なお、High パルスは KBCOMP の IrCKS2~0 ビットの設定値により変化させることも可能です。

High パルス幅は最小  $1.41\mu\text{s}$ 、最大  $(3/16 + 2.5\%) \times \text{ビットレート}$ 、または  $(3/16 \times \text{ビットレート}) + 1.08\mu\text{s}$  と定められています。システムクロック  $\phi$  が 20MHz のとき、 $1.41\mu\text{s}$  以上で最大の High パルス幅は  $1.6\mu\text{s}$  が設定可能です。

シリアルデータが 1 のときはパルスは出力されません。

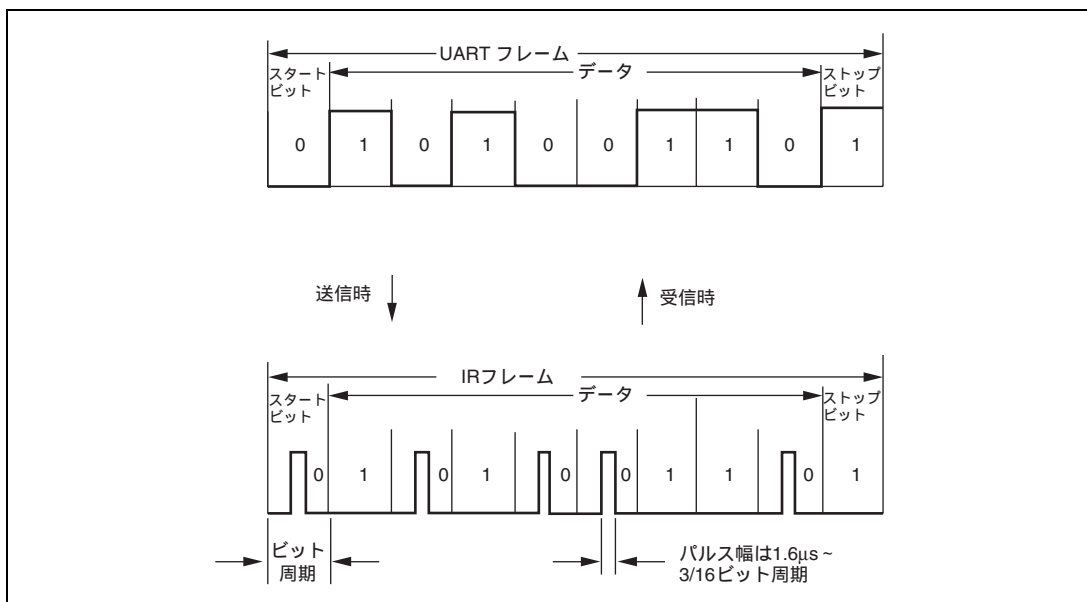


図 15.22 IrDA 送信 / 受信動作

## (2) 受信

受信時に IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI\_2 に入力されます。

High パルスが検出されたときには 0 データを出力し、1 ビット期間中にパルスがないときには 1 データを出力します。最小パルス幅の 1.41μs より短いパルスは 0 信号として認識しますのでご注意ください。

## (3) High パルス幅の選択

送信時にビットレート  $\times 3/16$  よりパルス幅を短くする場合に、適用可能な IrCKS2 ~ IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 15.10 に示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.10 IrCKS2 ~ IrCKS0 ビットの設定

動作周波数 φ (MHz)	ビットレート (bps) (上段) / ビット周期 × 3/16 (μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	-
2.097152	010	010	010	010	010	-
2.4576	010	010	010	010	010	-
3	011	011	011	011	011	-
3.6864	011	011	011	011	011	011
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101

【記号説明】 - : SCI側のビットレート設定ができません。

## 15.8 割り込み要因

表 15.11 にシリアルコミュニケーションインタフェースにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 15.11 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	ERI0	受信エラー	ORER、FER、PER	不可	高 ▲ ↑ ↓ 低
	RXI0	受信データフル	RDRF	可	
	TXI0	送信データエンプティ	TDRE	可	
	TEI0	送信終了	TEND	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	
	RXI1	受信データフル	RDRF	可	
	TXI1	送信データエンプティ	TDRE	可	
	TEI1	送信終了	TEND	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	
	RXI2	受信データフル	RDRF	可	
	TXI2	送信データエンプティ	TDRE	可	
	TEI2	送信終了	TEND	不可	

### 15.9 使用上の注意事項

#### 15.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作停止/許可を設定することが可能です。初期値ではSCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第25章 低消費電力状態」を参照してください。

#### 15.9.2 ブレークの検出と処理

フレーミングエラー検出時に、RxD端子の値を直接リードすることでブレークを検出できます。ブレークではRxD端子からの入力がすべて0になりますので、SSRのFERがセットされ、またPERもセットされる可能性があります。SCIは、ブレークを受信した後も受信動作を続けます。したがってFERを0にクリアしても再びFERが1にセットされますので注意してください。

#### 15.9.3 マーク状態とブレークの送り出し

SCRのTEが0のとき、TxD端子はポートのDRとDDRにより入出力方向とレベルが決まるI/Oポートになります。これを利用してTxD端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TEを1にセットするまで、通信回線をマーク状態(1の状態)にするためには、DDR=1、DR=1を設定します。このとき、TEが0にクリアされていますので、TxD端子はI/Oポートとなっており1が出力されます。一方、データ送信時にブレークを送出したいときは、DDR=1、DR=0に設定した後TEを0にクリアします。TEを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から0が出力されます。

#### 15.9.4 受信エラーフラグと送信動作(クロック同期式モードのみ)

SSRの受信エラーフラグ(ORER、FER、PER)が1にセットされた状態では、SSRのTDREを0にクリアしても送信を開始できません。必ず送信開始時には受信エラーフラグを0にクリアしておいてください。また、SCRのREを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

#### 15.9.5 TDRへのライトとTDREフラグの関係

TDRへのデータのライトはSSRのTDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態新しいデータをTDRにライトすると、TDRに格納されていたデータはまだTSRに転送されていないため失われてしまいます。したがって、TDRへの送信データのライトは必ずTDREフラグが1にセットされていることを確認してから行ってください。

### 15.9.6 DTC の使用上の制約

同期クロックに外部クロックソースを使用する場合は、DTC または RFU による TDR の更新後、 $\phi$ クロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR の更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります (図 15.23)。

DTC により RDR のリードを行うときは、必ず起動要因を当該 SCI の受信完了割り込み要因 (RXI) に設定してください。

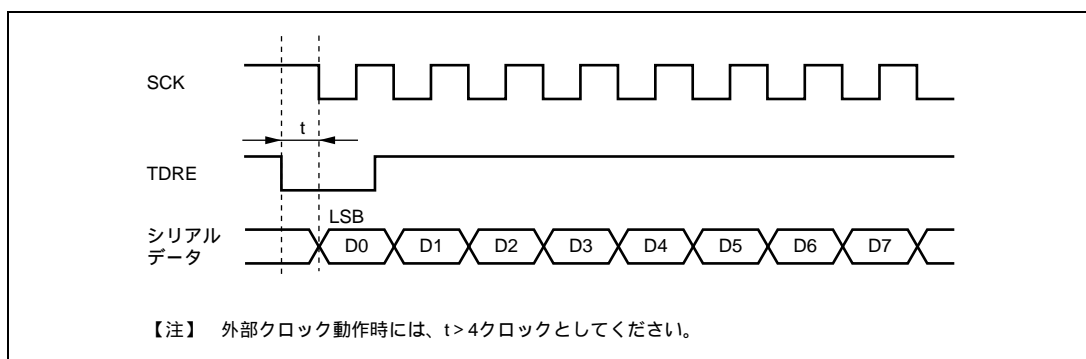


図 15.23 DTC によるクロック同期式送信時の例

### 15.9.7 モード遷移時の動作

#### (1) 送信

モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードへ遷移するときは、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE = 1$  に設定し、SSR リード→TDR ライト→TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 15.24 に送信時のモード遷移フローチャートの例を示します。図 15.25、図 15.26 に送信時の端子状態を示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードへ遷移するときは、動作を停止 ( $TE = TIE = TEIE = 0$ ) してから行ってください。モード解除後に  $TE = 1$ 、 $TIE = 1$  に設定すると、TXI 割り込み要求が発生して DTC による送信が始まります。

## 15. シリアルコミュニケーションインタフェース (SCI)

### (2) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときには、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 15.27 に受信時のモード遷移フローチャートの例を示します。

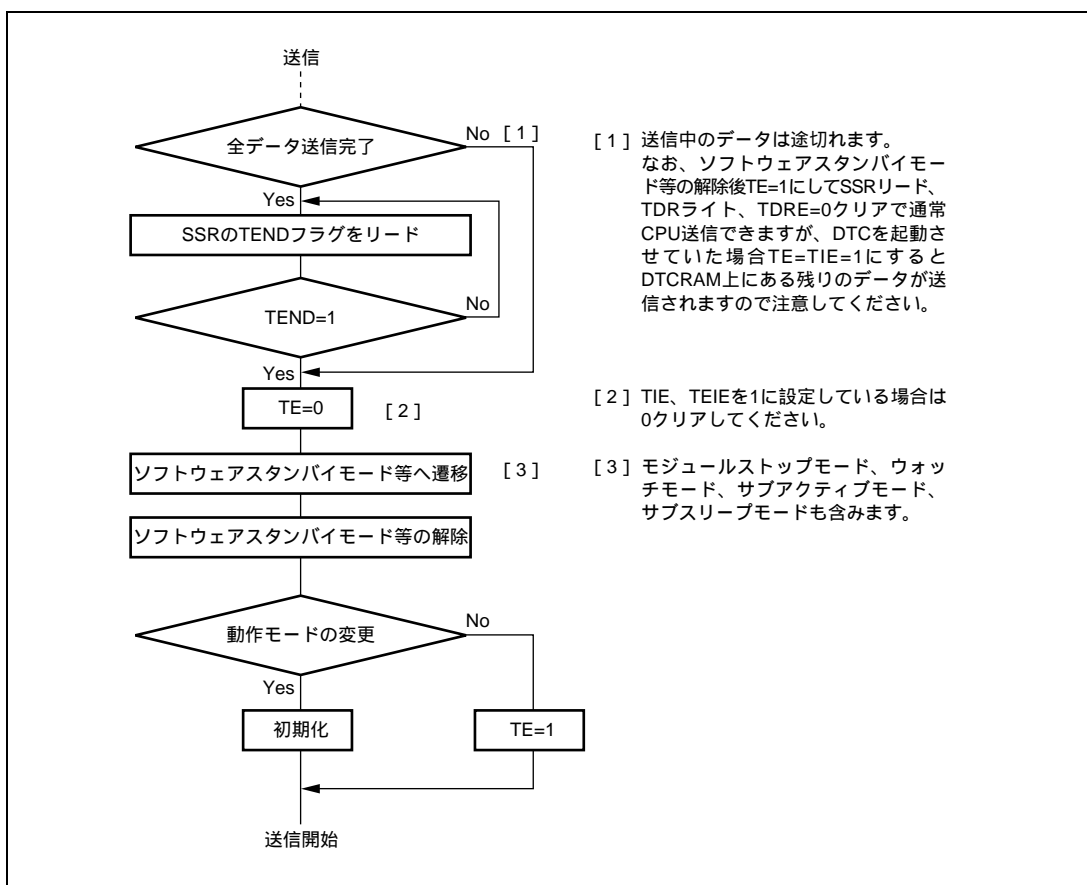


図 15.24 送信時のモード遷移フローチャートの例



## 15. シリアルコミュニケーションインタフェース (SCI)

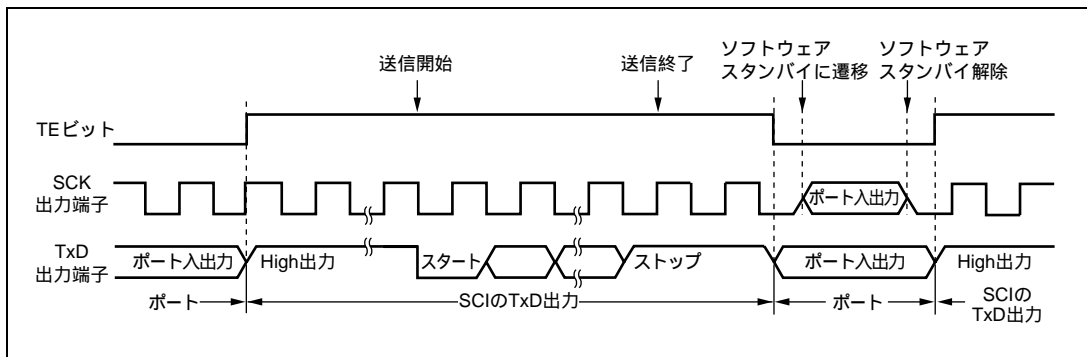


図 15.25 調歩同期式モード送信時 (内部クロック) の端子状態

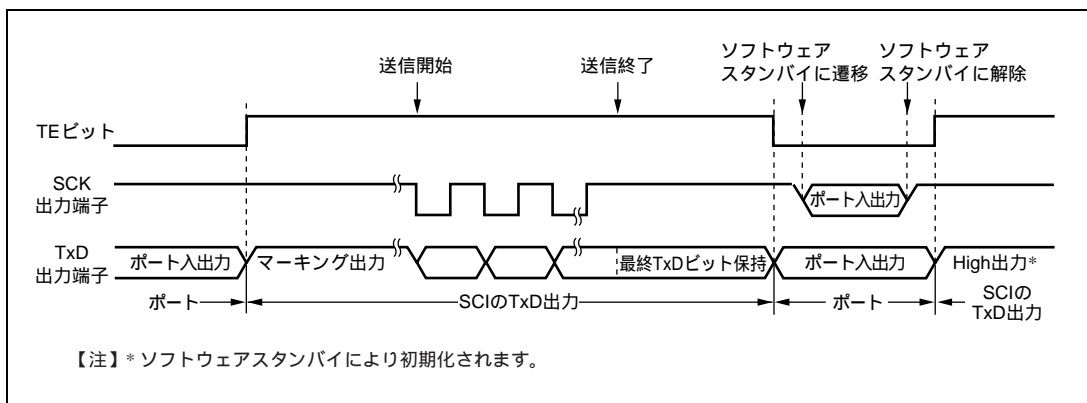


図 15.26 クロック同期式モード送信時 (内部クロック) の端子状態

## 15. シリアルコミュニケーションインタフェース (SCI)

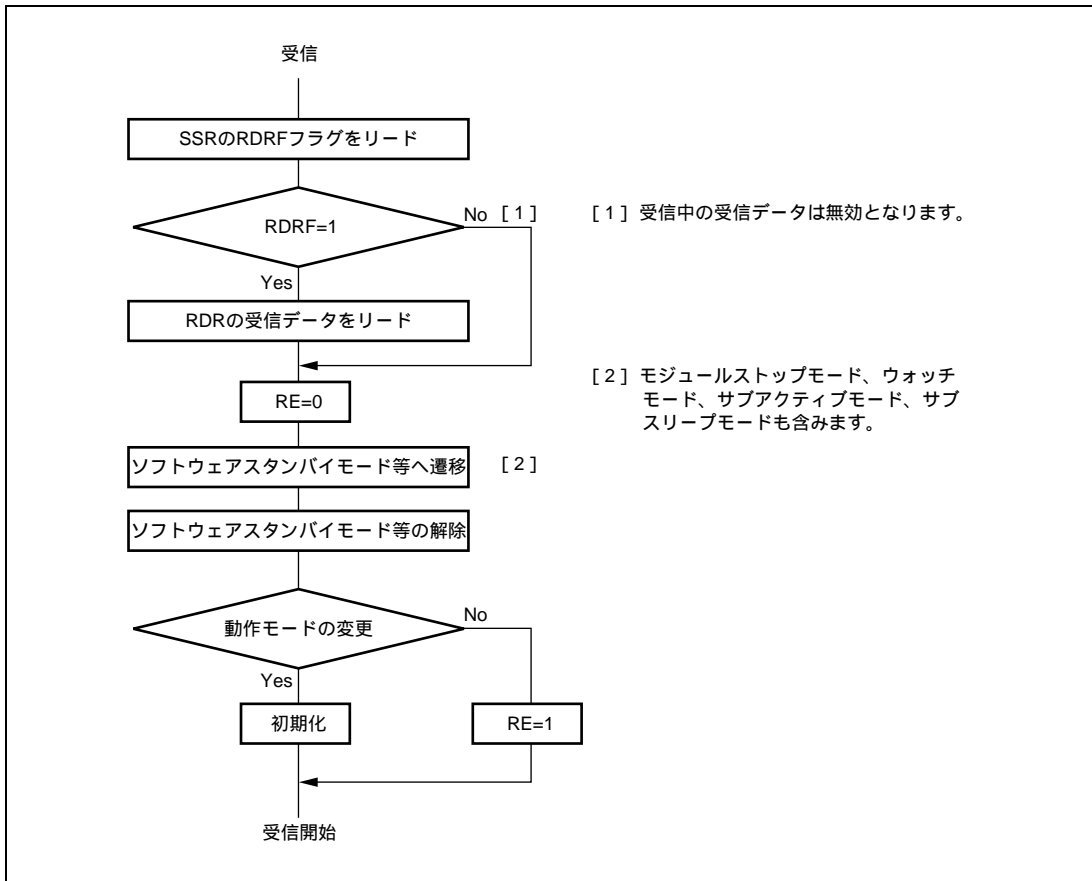


図 15.27 受信時のモード遷移フローチャートの例

## 15.9.8 SCK 端子からポート端子への切り替え

送信終了状態で SCK 端子をポート端子に切り替えるとき、図 15.28 に示すように半サイクルの Low 出力後にポート出力となります。

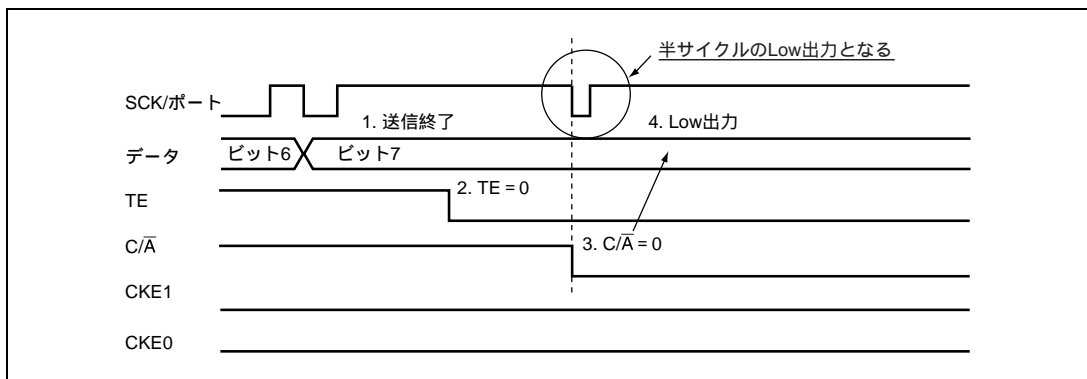


図 15.28 SCK 端子からポート端子へ切り替えるときの動作

SCK 端子をポート端子に切り替えるときに発生する Low 出力を回避するためには、SCK 端子を入力状態にして (SCK/ポート端子を外部回路で Pull-up)、DDR = 1、DR = 1、 $C/\bar{A} = 1$ 、CKE1 = 0、CKE0 = 0、TE = 1 の状態で次の 1~5 の順で設定してください。

1. シリアルデータ送信終了
2. TEビット = 0
3. CKE1ビット = 1
4.  $C/\bar{A}$ ビット = 0 (ポート出力に切り替え)
5. CKE1ビット = 0

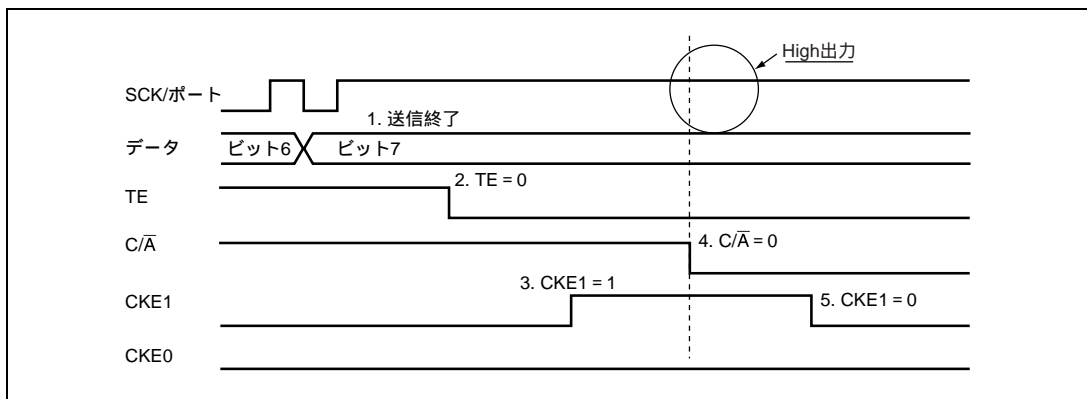


図 15.29 SCK 端子からポート端子へ切り替え時の Low 出力の回避例



---

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

---

I<sup>2</sup>C バスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。

- F-ZTAT版では製品型名は同一ですが、本オプション機能を使用する場合には、必ずその旨当社営業担当者にご連絡をお願いします。

本 LSI は、2 チャネルの I<sup>2</sup>C バスインタフェースを内蔵しています。I<sup>2</sup>C バスインタフェースは、Philips 社の提唱している I<sup>2</sup>C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I<sup>2</sup>C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

### 16.1 特長

- アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

I<sup>2</sup>Cバスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作

クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

フォーマットレス (IIC\_0のみ)：ノンアドレッシングフォーマットでフォーマットレス専用クロック端子あり、スレーブ動作専用

- I<sup>2</sup>Cバスフォーマットは、Philips社提唱のI<sup>2</sup>Cバスインタフェースに準拠
- I<sup>2</sup>Cバスフォーマットで、スレーブアドレスを2通り設定可能
- I<sup>2</sup>Cバスフォーマットで、マスタモード時、開始、停止条件の自動生成
- I<sup>2</sup>Cバスフォーマットで、受信時、アクノリッジの出力レベルを選択可能
- I<sup>2</sup>Cバスフォーマットで、送信時、アクノリッジビットの自動ロード機能
- I<sup>2</sup>Cバスフォーマットで、マスタモード時のウェイトビット機能  
アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグを0にクリアすることで解除。
- I<sup>2</sup>Cバスフォーマットでのウェイト機能  
データ転送後、SCLをLowレベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

---

- 割り込み要因

データ転送終了時 (I<sup>2</sup>C バスフォーマットで送信モード遷移時、ICDR 内データ転送発生時、およびウェイト時を含む)

アドレス一致時: I<sup>2</sup>C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき (マスタ競合負け後のアドレス受信を含む)

アービトレーションロスト発生時

開始条件検出時 (マスタモード)

停止条件検出時 (スレーブモード時)

- マスタモード時、16種類の内部クロック選択可能

- バスを直接駆動 (SCL / SDA 端子)

P52/SCL0、P97/SDA0、P86/SCL1、P42/SDA1の4端子は、通常時はNMOSプッシュプル出力、バス駆動機能選択時はNMOSオープンドレイン出力。

- フォーマットレスからI<sup>2</sup>Cバスフォーマットへ自動切り替えが可能 (IIC\_0のみ)

スレーブモードのフォーマットレス (開始条件 / 終了条件なし、ノンアドレッシング) の動作

データ端子共通 (SDA)、クロック端子独立 (VSYNCL、SCL) の端子構成で動作

SCLの立ち下がりで、自動的にフォーマットレスからI<sup>2</sup>Cバスフォーマットに切り替え

I<sup>2</sup>C バスインタフェースのブロック図を図 16.1 に示します。

入出力端子の外部回路接続例を、図 16.2 に示します。I<sup>2</sup>C バスインタフェースの入出力端子は通常ポートと端子構造が違うため、端子に印加可能な電圧仕様が異なります。

詳細は「第 27 章 電気的特性」を参照してください。

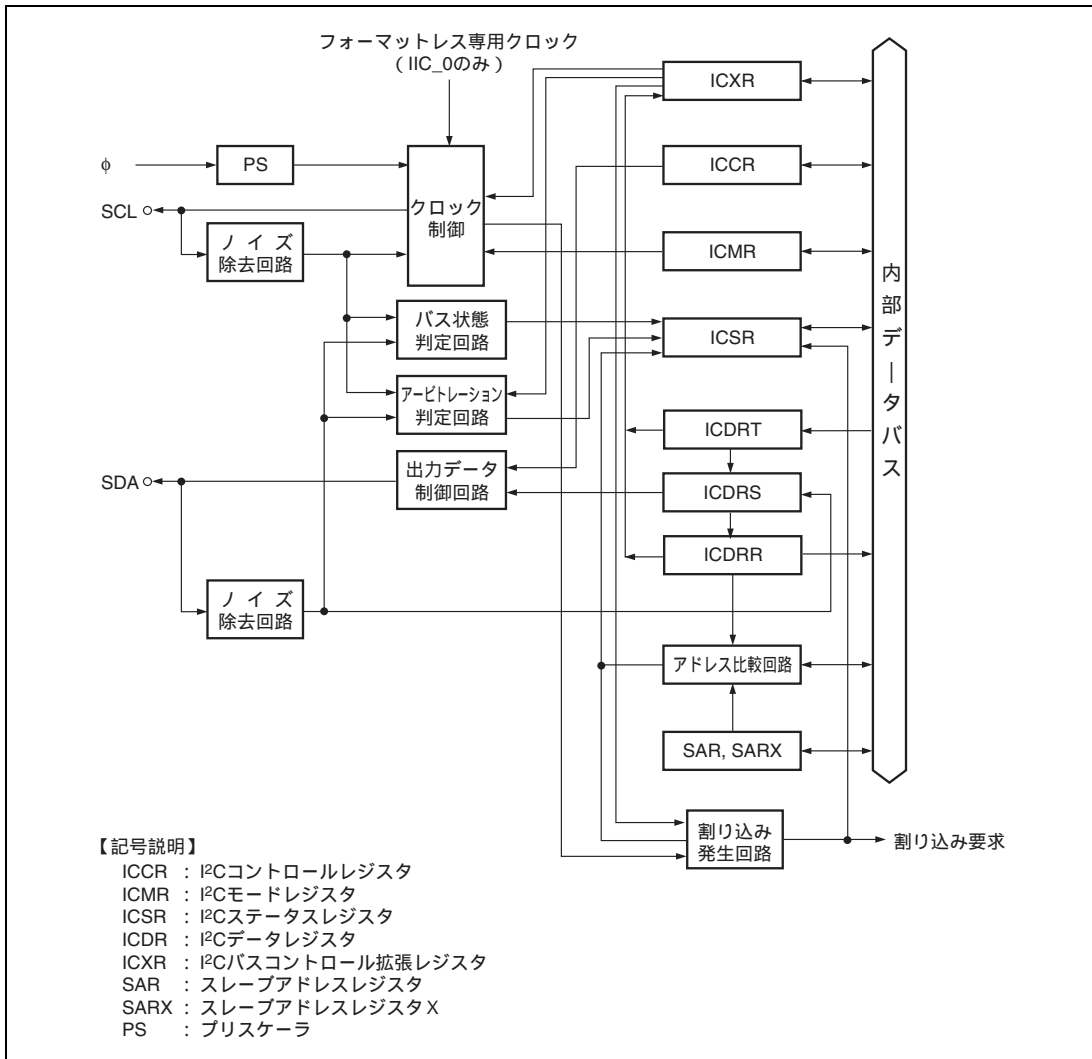


図 16.1 I<sup>2</sup>C バスインタフェースのブロック図

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

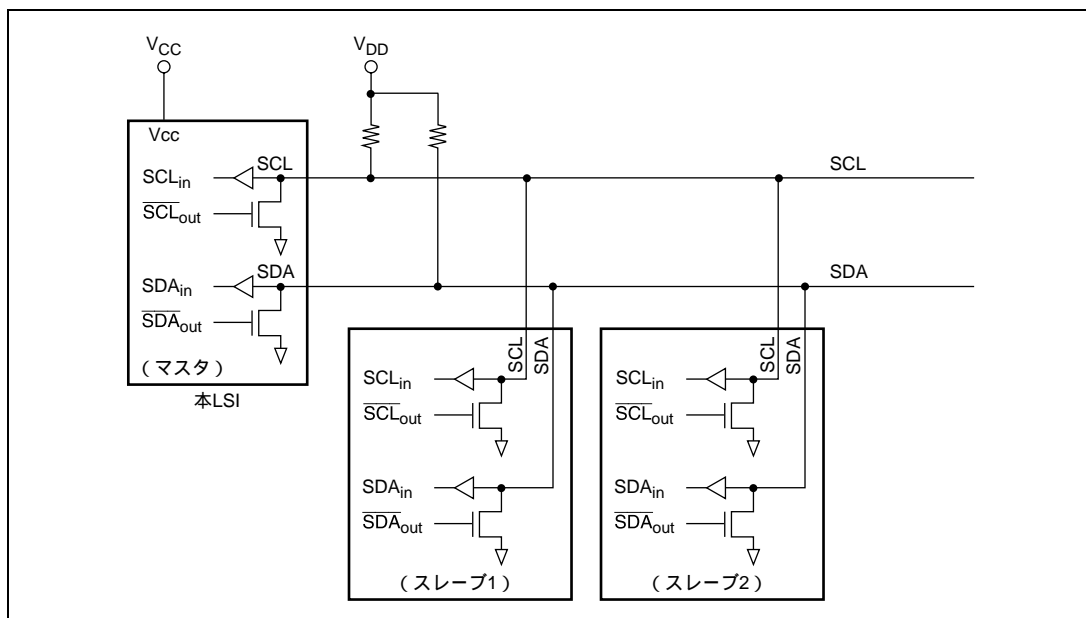


図 16.2 I<sup>2</sup>C バスインタフェース接続例 (本 LSI がマスターの場合)

### 16.2 入出力端子

I<sup>2</sup>C バスインタフェースで使用する端子を表 16.1 に示します。

表 16.1 端子構成

チャンネル	記号*	入出力	機能
0	SCL0	入出力	IIC_0 シリアルクロック入出力端子
	SDA0	入出力	IIC_0 シリアルデータの入出力端子
	VSYNCl	入力	IIC_0 フォーマットレスシリアルクロック入力端子
1	SCL1	入出力	IIC_1 シリアルクロック入出力端子
	SDA1	入出力	IIC_1 シリアルデータの入出力端子

【注】 \* 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

### 16.3 レジスタの説明

IIC にはチャンネルごとに以下のレジスタがあります。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCR の ICE ビットによりアクセスできるレジスタが変わります。ICE=0 のとき SAR と SARX、ICE=1 のとき ICMR と ICDR がアクセスできます。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- I<sup>2</sup>C バスコントロールレジスタ (ICCR)
- I<sup>2</sup>C バスステータスレジスタ (ICSR)
- I<sup>2</sup>C バスデータレジスタ (ICDR)



- I<sup>2</sup>Cバスモードレジスタ (ICMR)
- スレープアドレスレジスタ (SAR)
- 第2スレープアドレスレジスタ (SARX)
- I<sup>2</sup>Cバスコントロール拡張レジスタ (ICXR)
- DDCスイッチレジスタ (DDCSWR) \*

【注】 \* DDCSWR は IIC\_0 のみです。

### 16.3.1 I<sup>2</sup>C バスデータレジスタ (ICDR)

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして機能します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、ICXR の ICDRF フラグ、ICDRE フラグなどの状態に影響を与えます。

送信データの ICDR へのライトは、I<sup>2</sup>C バスフォーマットのマスタ送信モードでは開始条件検出後に行ってください。開始条件を検出すると、それ以前のライトデータは無視されます。また、スレープ送信モードでは、スレープアドレスが一致し TRS ビットが 1 に自動的に切り替わった後にライトしてください。

送信モード (TRS=1) で ICDRT に次のデータがある場合 (ICDRE フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に送信終了後、自動的に ICDRT から ICDRS へデータが転送されます。ICDRE フラグが 1 で次の送信データのライトを待っている状態では、ICDR ライトにより自動的に ICDRT から ICDRS へデータが転送されます。受信モード (TRS=0) では ICDRT から ICDRS へデータ転送は行われません。受信モードでの ICDR への書き込みは行わないでください。

受信データの ICDR からの読み出しは、ICDRS から ICDRR へデータが転送された後で行います。

受信モードで ICDRR に以前のデータがない場合 (ICDRF フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に受信終了後、自動的に ICDRS から ICDRR にデータが転送されます。ICDRF フラグが 1 の状態でさらに受信データを受け取っている場合、ICDR リードにより自動的に ICDRS から ICDRR へデータが転送されます。送信モードでは ICDRS から ICDRR へデータ転送は行われません。受信モードに設定した上でリードしてください。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側に、MLS ビットが 1 のとき MSB 側に詰めて格納されません。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR のリセット時の値は不定です。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

### 16.3.2 スレーブアドレスレジスタ (SAR)

SAR は転送フォーマットの設定およびスレーブアドレスを格納します。I<sup>2</sup>C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、FS ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVA6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	フォーマットセレクト SARX の FSX ビットおよび DDCSWR の SW ビットとの組み合わせで転送フォーマットを選択します。表 16.2 を参照してください。 なお、ゼネラルコールアドレスの認識を行う場合は、必ず本ビットを 0 に設定してください。

### 16.3.3 第 2 スレーブアドレスレジスタ (SARX)

SARX は転送フォーマットの設定および第 2 スレーブアドレスを格納します。スレーブモードでは受信したアドレスが第 2 スレーブアドレスに一致したときに DTC を利用した送受信動作が可能になります。I<sup>2</sup>C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SARX の上位 7 ビットを比較して一致したとき、FSX ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVAX6	0	R/W	第 2 スレーブアドレス 6~0 第 2 スレーブアドレスを設定します。
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	0	R/W	フォーマットセレクト X SAR の FS ビットおよび DDCSWR の SW ビットとの組み合わせで転送フォーマットを選択します。表 16.2 を参照してください。

表 16.2 転送フォーマット

DDCSWR	SAR	SARX	動作モード
SW	FS	FSX	
0	0	0	I <sup>2</sup> C バスフォーマット <ul style="list-style-type: none"> <li>• SAR と SARX のスレーブアドレスを認識</li> <li>• ゼネラルコールアドレスを認識</li> </ul>
		1	I <sup>2</sup> C バスフォーマット <ul style="list-style-type: none"> <li>• SAR のスレーブアドレスを認識</li> <li>• SARX のスレーブアドレスを無視</li> <li>• ゼネラルコールアドレスを認識</li> </ul>
	1	0	I <sup>2</sup> C バスフォーマット <ul style="list-style-type: none"> <li>• SAR のスレーブアドレスを無視</li> <li>• SARX のスレーブアドレスを認識</li> <li>• ゼネラルコールアドレスを無視</li> </ul>
		1	クロック同期式シリアルフォーマット <ul style="list-style-type: none"> <li>• SAR と SARX のスレーブアドレスを無視</li> <li>• ゼネラルコールアドレスを無視</li> </ul>
1	0	0	フォーマットレス (開始条件 / 停止条件を検出ししない)
		1	• アクノリッジビットあり
	1	0	フォーマットレス (開始条件 / 停止条件を検出ししない)
		1	• アクノリッジビットなし DDCSWR の設定により I <sup>2</sup> C バスフォーマットへの自動切り替えを行う場合は、本モードに設定しないでください。

- I<sup>2</sup>C バスフォーマット :  
アドレスリングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット :  
ノンアドレスリングフォーマットでアクノリッジビットなし、マスタモード専用
- フォーマットレス (IIC\_0のみ) :  
ノンアドレスリングフォーマットでアクノリッジビットありまたはアクノリッジビットなし、スレーブモード専用、開始条件 / 停止条件の検出しなし

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

### 16.3.4 I<sup>2</sup>C バスモードレジスタ (ICMR)

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト 選択 0 : MSB ファースト 1 : LSB ファースト I <sup>2</sup> C バスフォーマットで使用するとき、本ビットを 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット I <sup>2</sup> C バスフォーマットでマスタモードのときのみ有効。 0: ウェイト状態は挿入されず、データとアクノリッジを連続して転送します。 1: データの最終ビットのクロック(8 クロック目)が立ち下がった後、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態 (SCL=Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 詳細は「16.4.7 IRIC セットタイミングと SCL 制御」を参照してください。
5	CKS2	0	R/W	転送クロック選択 2~0
4	CKS1	0	R/W	STCR レジスタの IICX1 ビット (IIC_1)、IICX0 ビット (IIC_0) との組み合わせで転送クロックの周波数を選択します。マスタモード時に使用します。表 16.3 を参照してください。
3	CKS0	0	R/W	
2	BC2	0	R/W	ビットカウンタ 2~0
1	BC1	0	R/W	次に転送するフレームのビット数を指定します。設定は転送フレーム間で行ってください。また、000 以外を設定する場合は、SCL が Low 状態のときに行ってください。
0	BC0	0	R/W	ビットカウンタは、開始条件検出時 000 に初期化されます。また、データ転送終了後、再び 000 に戻ります。  I <sup>2</sup> C バスフォーマット                      クロック同期式シリアルフォーマット 000 : 9 ビット                              000 : 8 ビット 001 : 2 ビット                              001 : 1 ビット 010 : 3 ビット                              010 : 2 ビット 011 : 4 ビット                              011 : 3 ビット 100 : 5 ビット                              100 : 4 ビット 101 : 6 ビット                              101 : 5 ビット 110 : 7 ビット                              110 : 6 ビット 111 : 8 ビット                              111 : 7 ビット

表 16.3 転送レート

STCR ビット 5、6	ビット 5	ビット 4	ビット 3	クロック	転送レート				
					IICX	CKS2	CKS1	CKS0	$\phi=5\text{MHz}$
0	0	0	0	$\phi/28$	179kHz	286kHz	357kHz	571kHz*	714kHz*
			1	$\phi/40$	125kHz	200kHz	250kHz	400kHz	500kHz*
		1	0	$\phi/48$	104kHz	167kHz	208kHz	333kHz	417kHz*
			1	$\phi/64$	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	$\phi/80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	$\phi/100$	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	$\phi/112$	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	$\phi/56$	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	$\phi/80$	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	$\phi/96$	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	$\phi/160$	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	$\phi/200$	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	$\phi/224$	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	$\phi/256$	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

【注】 \* I<sup>2</sup>C バスインタフェース仕様 (通常モード: 最大 100kHz、高速モード: 最大 400kHz) の範囲外となります。

### 16.3.5 I<sup>2</sup>C バスコントロールレジスタ (ICCR)

ICCR は I<sup>2</sup>C バスインタフェースの制御、および割り込みフラグの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I <sup>2</sup> C バスインタフェースイネーブル 0: 本モジュールは機能を停止し、内部状態をクリアします。 SAR および SARX がアクセス可能になります。 1: 本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICMR および ICDR がアクセス可能になります。
6	IEIC	0	R/W	I <sup>2</sup> C バスインタフェース割り込みイネーブル 0: I <sup>2</sup> C バスインタフェースから CPU に対する割り込み要求を禁止 1: I <sup>2</sup> C バスインタフェースから CPU に対する割り込み要求を許可

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択</p> <p>送信/受信選択</p> <p>00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード</p> <p>I<sup>2</sup>C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、I<sup>2</sup>C バスフォーマットのスレーブ受信モードのとき、開始条件直後の第1フレームの R/W ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。</p> <p>転送中の TRS ビットの変更は、データ転送終了時まで保留され、転送終了後に切り替わります。</p> <p>[ MST クリア条件 ]</p> <p>(1) ソフトウェアにより 0 をライトしたとき (2) I<sup>2</sup>C バスフォーマットのマスタモードで、バス競合負けしたとき</p> <p>[ MST セット条件 ]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (MST クリア条件(1)の場合) (2) MST=0 をリード後、1 をライトしたとき (MST クリア条件(2)の場合)</p> <p>[ TRS クリア条件 ]</p> <p>(1) ソフトウェアにより 0 をライトしたとき (TRS セット条件(3)以外の場合) (2) TRS = 1 をリード後、0 をライトしたとき (TRS セット条件(3)の場合) (3) I<sup>2</sup>C バスフォーマットのマスタモードで、バス競合負けしたとき (4) DDCSWR の SW ビットが 1 から 0 に変化したとき</p> <p>[ TRS セット条件 ]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (TRS クリア条件(3)(4)以外の場合) (2) TRS = 0 をリード後、1 をライトしたとき (TRS クリア条件(3)(4)の場合) (3) I<sup>2</sup>C バスフォーマットのスレーブモードで第1フレームのアドレス一致後に R/W ビットとして 1 を受信したとき</p>
3	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信したアクノリッジビットの内容を無視して連続的に転送を行います。受信したアクノリッジビットの内容は ICSR の ACKB ビットに反映されず、常に 0 となります。</p> <p>1: I<sup>2</sup>C バスフォーマットで受信したアクノリッジビットが 1 ならば転送を中断します。</p> <p>アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、意味をもたず 1 固定の場合があります。</p>

16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
2	BBSY	0	R/W	バスビジー
0	SCP	1	W	<p>開始条件 / 停止条件発行禁止ビット</p> <p>マスタモード時</p> <ul style="list-style-type: none"> <li>• BBSY = 0 かつ SCP = 0 ライト : 停止条件発行</li> <li>• BBSY = 1 かつ SCP = 0 ライト : 開始条件、再送開始条件発行</li> </ul> <p>スレーブモード時</p> <ul style="list-style-type: none"> <li>• BBSY フラグのライトは無効</li> </ul> <p>[ BBSY セット条件 ]</p> <ul style="list-style-type: none"> <li>• SCL = High レベルの状態 で SDA が High レベルから Low レベルに変化し、開始条件が発行されたと認識したとき</li> </ul> <p>[ BBSY クリア条件 ]</p> <ul style="list-style-type: none"> <li>• SCL = High レベルの状態 で SDA が Low レベルから High レベルに変化し、停止条件が発行されたと認識したとき</li> </ul> <p>開始条件 / 停止条件の発行は、MOV 命令を用います。</p> <p>開始条件の発行に先立って、I<sup>2</sup>C バスインタフェースをマスタ送信モードに設定する必要があります。 BBSY = 1 かつ SCP = 0 をライトする以前に、MST = 1 かつ TRS = 1 を設定してください。</p> <p>BBSY フラグをリードすることにより、I<sup>2</sup>C バス ( SCL, SDA ) が占有されているか開放されているかを確認できます。</p> <p>SCP ビットは、リードすると常に 1 が読み出されます。また、0 をライトしてもデータは格納されません。</p>

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R(W)*	<p>I<sup>2</sup>C バスインタフェース割り込み要求フラグ</p> <p>I<sup>2</sup>C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。</p> <p>SAR の FS ビットと SARX の FSX ビットおよび、ICMR の WAIT ビットの組み合わせにより IRIC フラグのセットタイミングが異なりますので、「16.4.7 IRIC セットタイミングと SCL 制御」を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>I<sup>2</sup>C バスフォーマットでマスタモード           <ul style="list-style-type: none"> <li>開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため ICDRE フラグが 1 にセットされたとき)</li> <li>WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき (送受信クロックの 8 クロック目の立ち下がりのとき)</li> <li>データ転送終了時 (ウェイト挿入なしで送受信クロックの 9 クロック目の立ち上がりのとき)</li> <li>バス競合負けの後、自分のスレーブアドレスを受信したとき (開始条件に続く第 1 フレーム)</li> <li>ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</li> <li>ALIE ビットが 1 の状態でバス競合負けし、AL フラグが 1 にセットされたとき</li> </ul> </li> <li>I<sup>2</sup>C バスフォーマットでスレーブモード           <ul style="list-style-type: none"> <li>スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、</li> <li>および、その後の再送開始条件または停止条件検出までのデータ転送終了時 (送受信クロックの 9 クロック目の立ち上がりのとき)</li> <li>ゼネラルコールアドレスを検出したとき (R<math>\bar{W}</math> ビットとして 0 を受信し、ADZ フラグが 1 にセットされたとき)、</li> <li>および、その後の再送開始条件または停止条件検出までのデータ受信終了時 (受信クロックの 9 クロック目の立ち上がりのとき)</li> <li>ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき)</li> <li>STOPIM ビットが 0 の状態で停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき)</li> </ul> </li> </ul>



ビット	ビット名	初期値	R/W	説明
				<ul style="list-style-type: none"> <li>• クロック同期式シリアルフォーマット、およびフォーマットレスデータ転送終了時 (シリアルフォーマットモードでは送受信クロックの8クロック目立ち上がりのとき、フォーマットレスモードでは送受信クロックの9クロック目立ち上がりのとき)</li> <li>シリアルフォーマットで開始条件を検出したとき</li> <li>DDCSWR の SW ビットを1にセットしたとき</li> <li>• すべての動作モードで、ICDRE または ICDRF フラグが1にセットされる条件が発生したとき</li> <li>送信モードで開始条件を検出したとき (送信モードで開始条件を検出し ICDRE フラグが1にセットされたとき)</li> <li>ICDR レジスタバッファデータ転送時 (送信モードで ICDRT から ICDRS にデータが転送され ICDRE フラグが1にセットされたとき、または受信モードで ICDRS から ICDRR にデータが転送され ICDRF フラグが1にセットされたとき)</li> <li>[クリア条件]</li> <li>• IRIC = 1 の状態でリードした後、0 をライトしたとき</li> <li>• DTC で ICDR をリード/ライトしたとき (クリア条件とならない場合もあるため、詳細は下記 DTC の動作説明参照)</li> </ul>

【注】 \* フラグを0にクリアするための0ライトのみ可能です。

DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

I<sup>2</sup>C バスフォーマットで IRIC = 1 となり割り込みが発生した場合には、IRIC = 1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に關しては注意が必要です。

ICDRE または ICDRF フラグがセットされたとき、IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I<sup>2</sup>C バスフォーマットでスレープモードの場合に、スレープアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、ICDRE または ICDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード/ライトは完了しているため ICDRE または ICDRF フラグはクリアされています。各フラグと転送状態の関係を表 16.4 と表 16.5 に示します。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

表 16.4 フラグと転送状態の関係 (マスタモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
1	1	0	0	0	0	0↓	0	0↓	0↓	0	-	0	アイドル状態 (フラグクリア要)
1	1	1↑	0	0	1↑	0	0	0	0	0	-	1↑	開始条件検出
1	-	1	0	0	-	0	0	0	0	-	-	-	ウェイト状態
1	1	1	0	0	-	0	0	0	0	1↑	-	-	送信終了 (ACKE=1 かつ ACKB=1)
1	1	1	0	0	1↑	0	0	0	0	0	-	1↑	ICDRE=0 の状態から 送信終了
1	1	1	0	0	-	0	0	0	0	0	-	0↓	上記状態から ICDR ライト
1	1	1	0	0	-	0	0	0	0	0	-	1	ICDRE=1 の状態から 送信終了
1	1	1	0	0	-	0	0	0	0	0	-	0↓	上記状態から、または 開始条件検出後の ICDR ライト
1	1	1	0	0	1↑	0	0	0	0	0	-	1↑	上記状態から ICDRT→ ICDRS データ転送 (自動)
1	0	1	0	0	1↑	0	0	0	0	-	1↑	-	ICDRF=0 の状態から受 信終了
1	0	1	0	0	-	0	0	0	0	-	0↓	-	上記状態から ICDR リード
1	0	1	0	0	-	0	0	0	0	-	1	-	ICDRF=1 の状態から 受信終了
1	0	1	0	0	-	0	0	0	0	-	0↓	-	上記状態から ICDR リード
1	0	1	0	0	1↑	0	0	0	0	-	1↑	-	上記状態から ICDRS→ ICDRR データ転送 (自動)
0↓	0↓	1	0	0	-	0	1↑	0	0	-	-	-	アービトレーション ロスト
1	-	0↓	0	0	-	0	0	0	0	-	-	0↓	停止条件検出

【注】 0:0 状態保持 1:1 状態保持 - : 以前の状態を保持 0↓:0 にクリア 1↑:1 にセット

表 16.5 フラグと転送状態の関係 (スレーブモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
0	0	0	0	0	0	0	0	0	0	0	-	0	アイドル状態 (フラグクリア要)
0	0	1↑	0	0	0	0↓	0	0	0	0	-	1↑	開始条件検出
0	1↑/0 (*1)	1	0	0	0	0	-	1↑	0	0	1↑	1	第1フレームでSAR に一致(SARX SAR)
0	0	1	0	0	0	0	-	1↑	1↑	0	1↑	1	第1フレームでゼネ ラルコールアドレス に一致(SARX H'00)
0	1↑/0 (*1)	1	0	0	1↑	1↑	-	0	0	0	1↑	1	第1フレームでSARX に一致(SAR SARX)
0	1	1	0	0	-	-	-	-	0	1↑	-	-	送信終了 ( ACKE=1 かつ ACKB=1 )
0	1	1	0	0	1↑/0 (*2)	-	-	-	0	0	-	1↑	ICDRE=0の状態から 送信終了
0	1	1	0	0	-	-	0↓	0↓	0	0	-	0↓	上記状態から ICDR ライト
0	1	1	0	0	-	-	-	-	0	0	-	1	ICDRE=1の状態から 送信終了
0	1	1	0	0	-	-	0↓	0↓	0	0	-	0↓	上記状態から ICDR ライト
0	1	1	0	0	1↑/0 (*2)	-	0	0	0	0	-	1↑	上記状態から ICDRT →ICDRS データ転送 (自動)
0	0	1	0	0	1↑/0 (*2)	-	-	-	-	-	1↑	-	ICDRF=0の状態から 受信終了
0	0	1	0	0	-	-	0↓	0↓	0↓	-	0↓	-	上記状態から ICDR リード
0	0	1	0	0	-	-	-	-	-	-	1	-	ICDRF=1の状態から 受信終了
0	0	1	0	0	-	-	0↓	0↓	0↓	-	0↓	-	上記状態から ICDR リード
0	0	1	0	0	1↑/0 (*2)	-	0	0	0	-	1↑	-	上記状態から ICDRS →ICDRR データ転送 (自動)
0	-	0↓	1↑/0 (*3)	0/1↑ (*3)	-	-	-	-	-	-	-	0↓	停止条件検出

【注】 0:0状態保持 1:1状態保持 -:以前の状態を保持 0↓:0にクリア 1↑:1にセット

- \*1 アドレスに続く R/W ビットとして1を受信した場合に1にセット
- \*2 AASX ビットに1がセットされている場合に1にセット
- \*3 ESTP=1のとき STOP=0、または STOP=1のとき ESTP=0

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

### 16.3.6 I<sup>2</sup>C バスステータスレジスタ (ICSR)

ICSR はステータスフラグで構成されます。表 16.4、表 16.5 をあわせて参照してください。

ビット	ビット名	初期値	R/W	説明
7	ESTP	0	R/(W)*	エラー停止条件検出フラグ I <sup>2</sup> C バスフォーマットでスレープモードのとき有効 [セット条件] <ul style="list-style-type: none"><li>• フレームの転送の途中で停止条件を検出したとき</li></ul> [クリア条件] <ul style="list-style-type: none"><li>• ESTP = 1 の状態をリードした後、0 をライトしたとき</li><li>• IRIC フラグが 0 にクリアされたとき</li></ul>
6	STOP	0	R/(W)*	正常停止条件検出フラグ I <sup>2</sup> C バスフォーマットでスレープモードのとき有効 [セット条件] <ul style="list-style-type: none"><li>• フレームの転送の完了後に停止条件を検出したとき</li></ul> [クリア条件] <ul style="list-style-type: none"><li>• STOP = 1 の状態をリードした後、0 をライトしたとき</li><li>• IRIC フラグが 0 にクリアされたとき</li></ul>
5	IRTR	0	R/(W)*	I <sup>2</sup> C バスインタフェース連続送受信割り込み要求フラグ I <sup>2</sup> C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が DTC 起動可能な 1 フレームデータ送受信の終了であることを示します。 IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。 [セット条件] <ul style="list-style-type: none"><li>• I<sup>2</sup>C バスインタフェースでスレープモードのとき AASX = 1 の状態で、ICDRE または ICDRF フラグが 1 にセットされたとき</li><li>• I<sup>2</sup>C バスインタフェースでマスターモード、クロック同期式シリアルフォーマット、およびフォーマットレスのとき ICDRE または ICDRF フラグが 1 にセットされたとき</li></ul> [クリア条件] <ul style="list-style-type: none"><li>• IRTR = 1 の状態をリードした後、0 をライトしたとき</li><li>• ICE = 1 の状態で IRIC フラグが 0 にクリアされたとき</li></ul>

16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
4	AASX	0	R/(W)*	<p>第 2 スレーブアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6 ~ SVAX0 と一致したことを示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードでかつ FSX = 0 で第 2 スレーブアドレスを検出したとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>AASX = 1 の状態をリードした後、0 をライトしたとき</li> <li>開始条件を検出したとき</li> <li>マスタモードのとき</li> </ul>
3	AL	0	R/(W)*	<p>アービトレーションロストフラグ</p> <p>マスタモード時にバス競合負けをしたことを示します。</p> <p>[ セット条件 ]</p> <p>ALSL=0 のとき</p> <ul style="list-style-type: none"> <li>マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき</li> <li>マスタモードで SCL の立ち下がりで内部 SCL が High レベルのとき</li> </ul> <p>ALSL=1 のとき</p> <ul style="list-style-type: none"> <li>マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき</li> <li>マスタ送信モードで開始条件命令実行後、自分が SDA 端子を Low に立ち下げる前に他デバイスにより SDA 端子が Low に立ち下げられたとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>ICDR にデータをライト (送信時)、データをリード (受信時) したとき</li> <li>AL = 1 の状態をリードした後、0 をライトしたとき</li> </ul>
2	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6 ~ SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードかつ FS = 0 でスレーブアドレスまたはゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき</li> </ul> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき</li> <li>AAS = 1 の状態をリードした後、0 をライトしたとき</li> <li>マスタモードのとき</li> </ul>

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
1	ADZ	0	R/(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I<sup>2</sup>C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>スレーブ受信モードかつ、FSX=0 または FS=0 でゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき</li> <li>ADZ=1 の状態をリード後、0 をライトしたとき</li> <li>マスタモードのとき</li> </ul> <p>FS=1 かつ FSX=0 でゼネラルコールアドレスを検出した場合、ADZ フラグは 1 にセットされますが、ゼネラルコールアドレスは認識されません (AAS フラグは 1 にセットされません)。</p>
0	ACKB	0	R/W	<p>アクノリッジビット</p> <p>アクノリッジデータを格納するビットです。</p> <p>送信モード</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>送信モードかつ ACKE=1 でアクノリッジビットとして 1 を受信したとき</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>送信モードかつ ACKE=1 でアクノリッジビットとして 0 を受信したとき</li> <li>ACKE ビットに 0 をライトしたとき</li> </ul> <p>受信モード</p> <p>0: データを受信した後、アクノリッジデータとして 0 を送出します。</p> <p>1: データを受信した後、アクノリッジデータとして 1 を送出します。</p> <p>本ビットをリードすると、送信時 (TRS=1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS=0 のとき) には設定した値が読み出されます。</p> <p>また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。ICSR レジスタのフラグをビット操作命令によって書き換えた場合は、ACKB ビットのリード値でアクノリッジデータの設定値を書き換えますので、再度アクノリッジデータを設定し直してください。</p> <p>マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに 0 をライトして ACKB フラグを 0 にクリアしてください。</p>

【注】 \* フラグを 0 にクリアするための 0 ライトのみ可能です。

## 16.3.7 DDC スイッチレジスタ (DDCSWR)

DDCSWR は IIC\_0 のフォーマット自動切り替え機能の制御および IIC の内部ラッチクリアの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SWE	0	R/W	DDC モードスイッチイネーブル 0: IIC_0 の、フォーマットレスから I <sup>2</sup> C バスフォーマットへの自動切り替えを禁止する 1: IIC_0 の、フォーマットレスから I <sup>2</sup> C バスフォーマットへの自動切り替えを許可する
6	SW	0	R/W	DDC モードスイッチ 0: IIC_0 を I <sup>2</sup> C バスフォーマットで使用する 1: IIC_0 をフォーマットレスで使用する [セット条件] • SW = 0 の状態をリードした後、1 をライトしたとき [クリア条件] • ソフトウェアにより 0 をライトしたとき • SWE = 1 で、SCL に立ち下がりエッジを検出したとき
5	IE	0	R/W	DDC モードスイッチ割り込み許可ビット 0: フォーマット自動切り替え実行時の割り込みを禁止 1: フォーマット自動切り替え実行時の割り込みを許可
4	IF	0	R/(W)* <sup>1</sup>	DDC モードスイッチ割り込みフラグ IIC_0 でフォーマット自動切り替えが実行され、CPU への割り込み要求が発生したことを示します。 [セット条件] • SWE = 1 で、SCL に立ち下がりエッジを検出したとき [クリア条件] • IF = 1 の状態をリードした後、0 をライトしたとき

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
3	CLR3	1	W* <sup>2</sup>	IIC クリア 3~0
2	CLR2	1	W* <sup>2</sup>	IIC_0、IIC_1 の内部状態の初期化を制御します。
1	CLR1	1	W* <sup>2</sup>	00--: 設定禁止
0	CLR0	1	W* <sup>2</sup>	0100: 設定禁止 0101: IIC_0 内部ラッチクリア 0110: IIC_1 内部ラッチクリア 0111: IIC_0、IIC_1 内部ラッチクリア 1---: 設定無効  本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IIC モジュールの内部状態が初期化されます。  本ビットはライト動作のみ可能で、リードすると常に 1 が読み出されます。なお、本ビットへのライトデータは保持されません。  IIC 内部状態の初期化を行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。CLR3~CLR0 ビットに対する BCLR などのビット操作命令は使用しないでください。  再度クリアが必要な場合は、すべてのビットとも設定に従い書き込みする必要があります。  本ビットの機能を使用しない場合は、DDCSWR レジスタライト時の CLR3~CLR0 ビットにはすべて 1 を設定するようにしてください。

【注】 \*1 フラグを 0 にクリアするための 0 ライトのみ可能です。

\*2 リードすると常に 1 が読み出されます。



16.3.8 I<sup>2</sup>C バスコントロール拡張レジスタ (ICXR)

ICXR は I<sup>2</sup>C バスインタフェースの割り込み動作の許可/禁止、連続受信動作の許可/禁止、受信や送信状態の確認を行います。

ビット	ビット名	初期値	R/W	説明
7	STOPIM	0	R/W	<p>停止条件割り込み要因マスク</p> <p>スレープモード動作時に停止条件検出での割り込み発生を許可 / 禁止を選択します。</p> <p>0: スレープモード動作時、停止条件検出(STOP=1 または ESTP=1)での IRIC フラグセットおよび割り込み発生を許可</p> <p>1: 停止条件検出での IRIC フラグセットおよび割り込み発生を禁止</p>
6	HNDS	0	R/W	<p>ハンドシェーク受信動作選択</p> <p>受信モードで連続受信動作をするかどうかを選択します。</p> <p>0: 連続受信動作を許可</p> <p>1: 連続受信動作を禁止</p> <p>HNDS ビットが 0 にクリアされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、引き続き受信動作を行います。</p> <p>HNDS ビットが 1 にセットされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、SCL を Low レベルに固定し、次のデータ転送を禁止します。ICDR の受信データをリードすることにより SCL バスラインを開放し、次フレームの受信動作を行います。</p>

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
5	ICDRF	0	R	<p>受信データ読み出し要求フラグ</p> <p>受信モードでの ICDR (ICDRR) の状態を示すフラグです。</p> <p>0: ICDR (ICDRR) にあるデータはすでにリードされている、あるいは初期状態であることを示します。</p> <p>1: 正常に受信が完了し、データが ICDRS から ICDRR へ転送され、受信完了後にまだ読み出されていないことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>データが正常に受信され、ICDRS から ICDRR へデータが転送されたとき</li> </ul> <p>(1) ICDRF=0 状態でデータ受信完了したとき (9 クロック目の立ち上がり)</p> <p>(2) ICDRF=1 状態でデータ受信完了後、受信モードで ICDR をリードしたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>ICDR (ICDRR) をリードしたとき</li> <li>ICE ビットに 0 をライトしたとき</li> <li>DDCSWR レジスタ CLR3 ~ CLR0 ビットで内部状態を初期化したとき</li> </ul> <p>[セット条件] (2) の場合、ICDR (ICDRR) をリードしたときに一度 ICDRF は 0 クリアされますが、直ちに ICDRS から ICDRR へデータが転送されるため再び ICDRF は 1 にセットされます。</p> <p>なお、送信モード (TRS=1) で ICDR をリードしたときは、ICDRS から ICDRR へのデータ転送が行われませんので、正常なデータの読み出しができません。ICDR のデータを読み出すときは受信モード (TRS=0) で ICDR をリードしてください。</p>

ビット	ビット名	初期値	R/W	説明
4	ICDRE	0	R	<p>送信データ書き込み要求フラグ</p> <p>送信モードでの ICDR (ICDRT) の状態を示すフラグです。</p> <p>0: ICDR (ICDRT) に次に送信するデータが書き込まれている、あるいは初期状態であることを示します。</p> <p>1: 送信データが ICDRT から ICDRS へ転送され送信中である、あるいは開始条件を検出または送信完了しており、次の送信データをライトすることが可能な状態であることを示します。</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• I<sup>2</sup>C バスフォーマット、シリアルフォーマットでバスラインの状態から開始条件成立を検出したとき</li> <li>• I<sup>2</sup>C バスモードからフォーマットレスに設定を切り替えたとき (DDCSWR レジスタの SW ビットに 1 を設定したとき)</li> <li>• ICDRT から ICDRS にデータが転送されたとき</li> </ul> <p>(1) ICDRE=0 状態でデータ送信完了したとき (9 クロック目の立ち上がり)</p> <p>(2) ICDRE = 1 状態でデータ送信完了後、送信モードで ICDR をライトしたとき</p> <p>[ クリア条件 ]</p> <ul style="list-style-type: none"> <li>• ICDR (ICDRT) に送信データをライトしたとき</li> <li>• I<sup>2</sup>C バスフォーマットまたはシリアルフォーマットで停止条件を検出したとき</li> <li>• ICE ビットに 0 をライトしたとき</li> <li>• DDCSWR レジスタ CLR3 ~ CLR0 ビットで内部状態を初期化したとき</li> </ul> <p>I<sup>2</sup>C バスフォーマットで ACKE ビットを 1 に設定し、アクノリッジビット判定を有効にしている場合、アクノリッジビットが 1 でデータ送信が完了した場合、ICDRE はセットされません。</p> <p>[ セット条件 ] (2) の場合、ICDR (ICDRT) にライトしたときに一度 ICDRE は 0 クリアされますが、直ちに ICDRT から ICDRS へデータが転送されるため再び ICDRE は 1 にセットされます。</p> <p>なお、TRS=0 のときは ICDRE フラグの値は無効ですので、ICDR へのライト動作は行わないでください。</p>
3	ALIE	0	R/W	<p>アービトレーションロスト割り込みイネーブル</p> <p>アービトレーションロスト発生時に IRIC フラグを 1 にセットし、割り込み発生を許可するかどうかを選択します。</p> <p>0: アービトレーションロスト発生時の割り込み要求を禁止</p> <p>1: アービトレーションロスト発生時の割り込み要求を許可</p>

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

ビット	ビット名	初期値	R/W	説明
2	ALSL	0	R/W	アービトレーションロスト条件セレクト アービトレーションロスト発生条件を選択します。 0 : SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致 または、SCL 端子が他デバイスにより立ち下げられたとき 1 : SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致 または、アイドル状態または開始条件命令実行後、他デバイスにより SDA 端子を立ち下げられたとき
1	FNC1	0	R/W	ファンクションビット 1、0
0	FNC0	0	R/W	一部の使用上の制限事項を解除するためのビットです。 詳細は、「16.6 使用上の注意事項」を参照してください。 00 : 動作制限対策無効 01 : 設定禁止 10 : 設定禁止 11 : 動作制限対策有効

### 16.4 動作説明

I<sup>2</sup>C バスインタフェースには、I<sup>2</sup>C バスフォーマットとシリアルフォーマットがあります。

#### 16.4.1 I<sup>2</sup>C バスデータフォーマット

I<sup>2</sup>C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 16.3 に示します。開始条件に続く第 1 フレームは必ず 9 ビット構成となります。

IIC\_0 のみフォーマットレスでの動作が可能です。これを図 16.4 に示します。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 16.5 に示します。また、I<sup>2</sup>C バスのタイミングを図 16.6 に示します。

図 16.3 ~ 図 16.6 の記号説明を表 16.6 に示します。

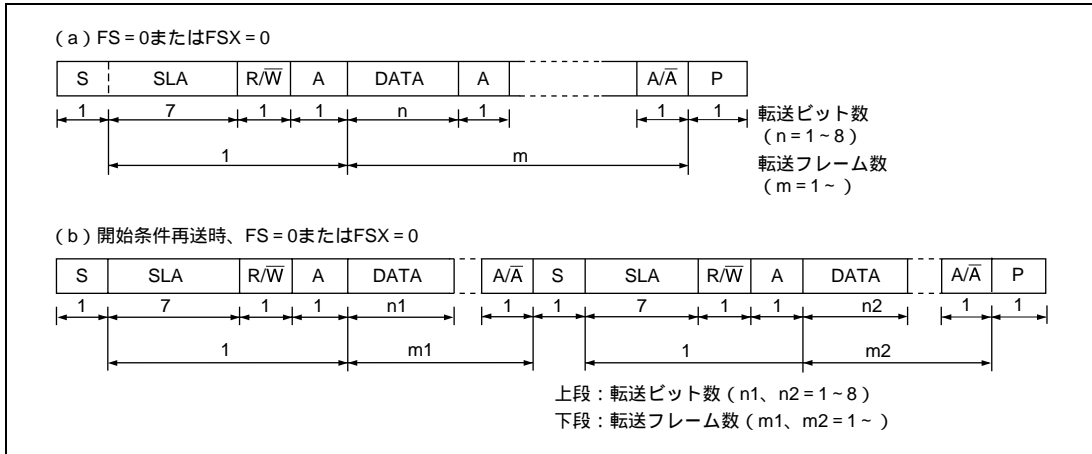


図 16.3 I<sup>2</sup>C バスデータフォーマット (I<sup>2</sup>C バスフォーマット)

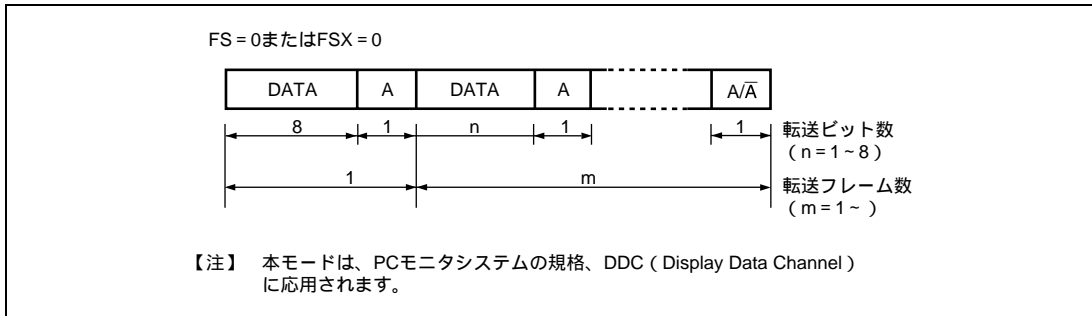


図 16.4 I<sup>2</sup>C バスデータフォーマット (フォーマットレス) (IIC\_0のみ)

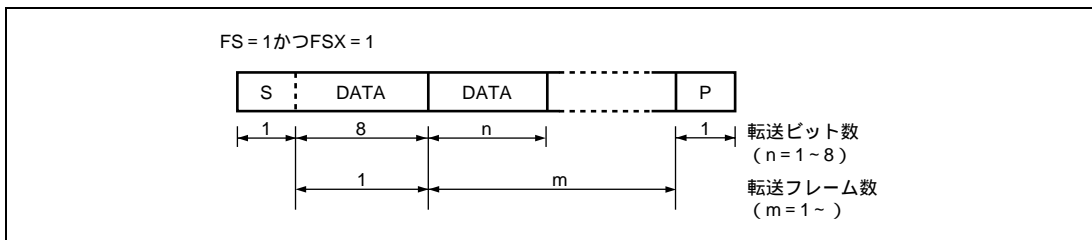


図 16.5 I<sup>2</sup>C バスデータフォーマット (シリアルフォーマット)

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

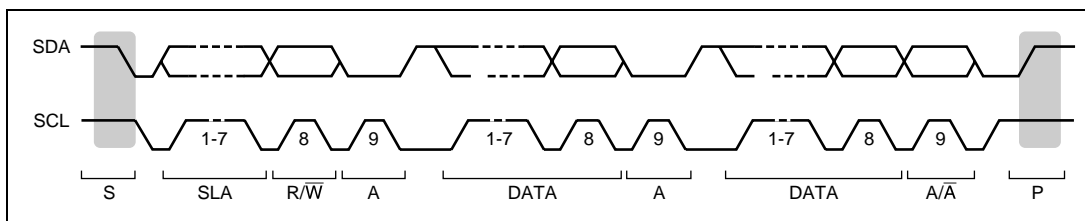


図 16.6 I<sup>2</sup>C バスタイミング

表 16.6 I<sup>2</sup>C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信 / 受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2 ~ BC0 ビットで設定します。また MSB ファースト / LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

## 16.4.2 初期設定

データ送信 / 受信を開始するとき、以下の手順に従い IIC を初期化してください。

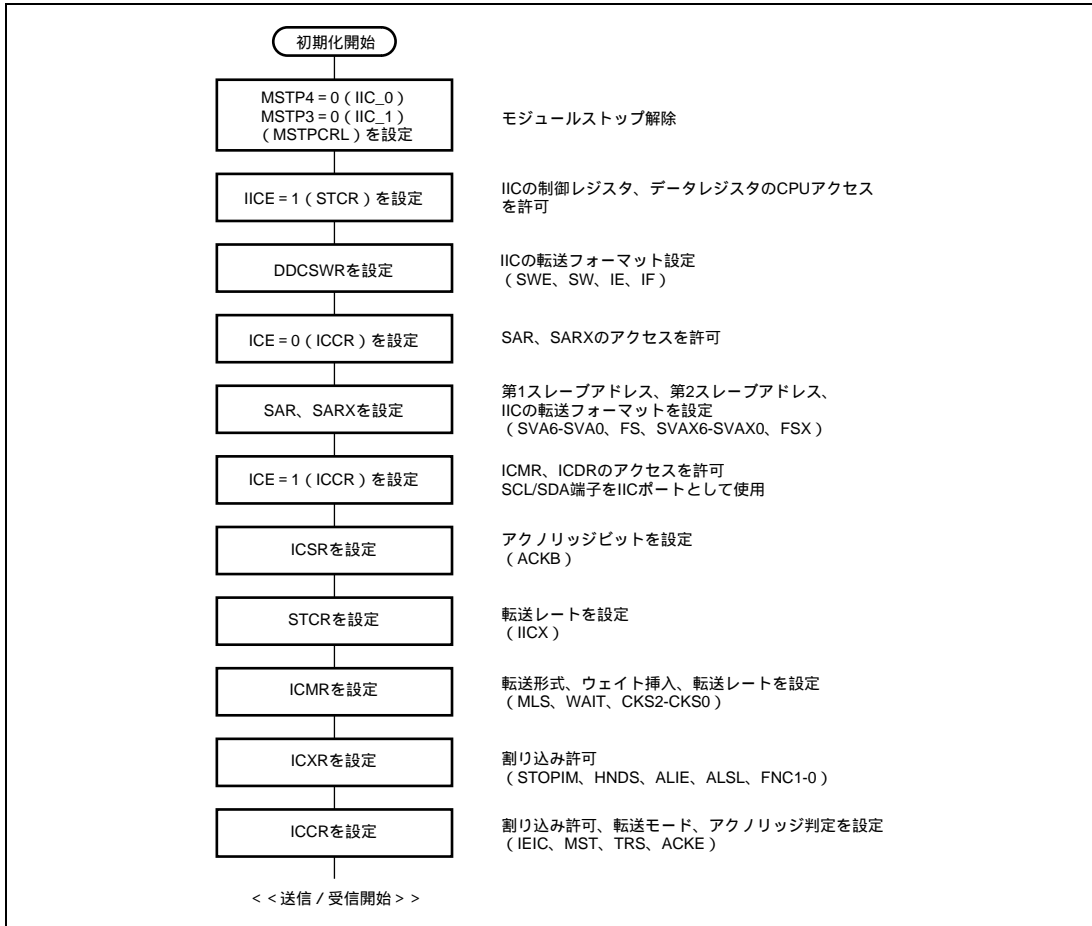


図 16.7 IIC の初期化フローチャートの例

【注】 ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。

送受信動作の途中で ICMR レジスタに対しライト動作を行うと、ビットカウンタ BC2-BC0 の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

### 16.4.3 マスタ送信動作

I<sup>2</sup>C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

図 16.8 にマスタ送信モードのフローチャート例を示します。

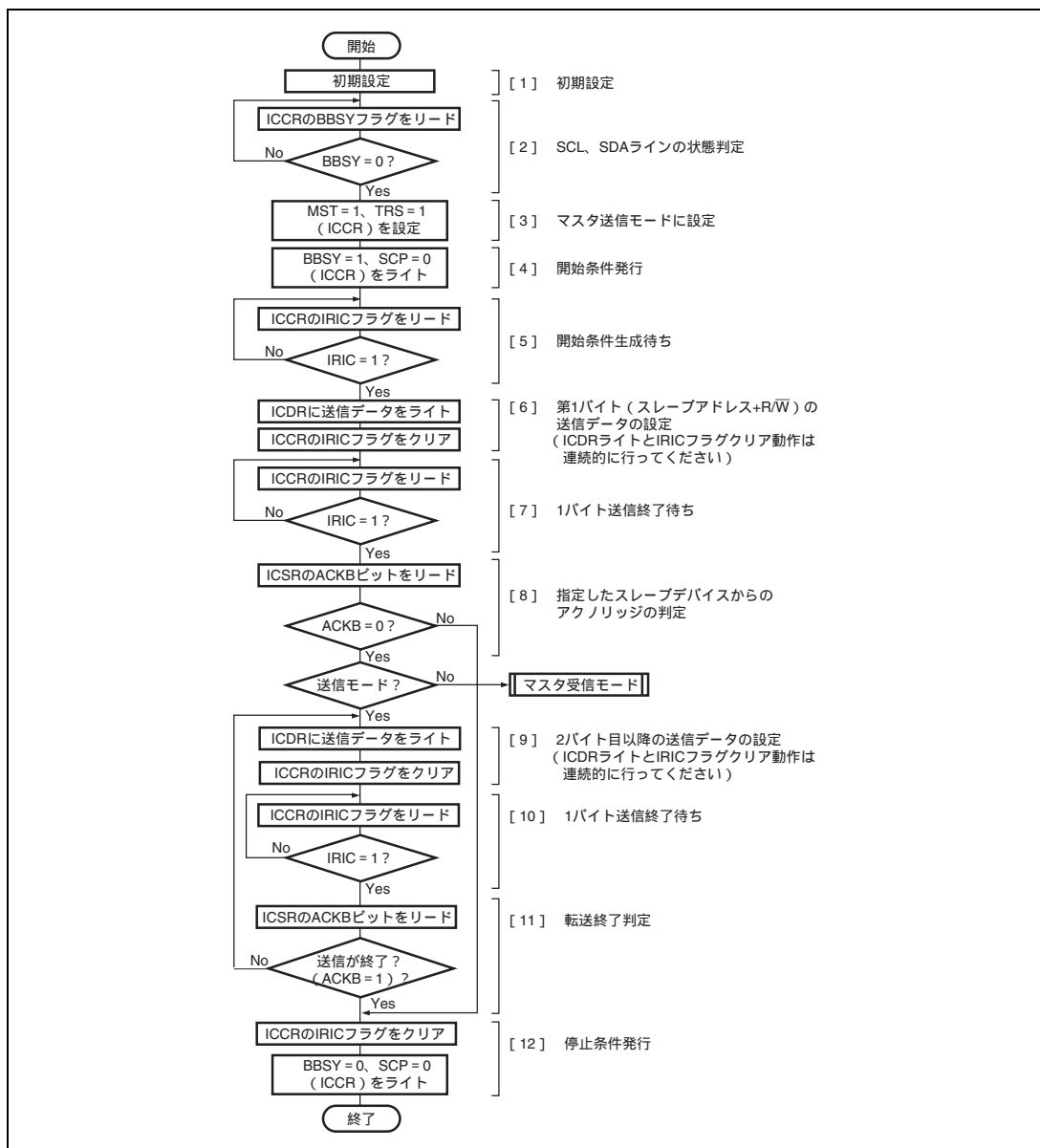


図 16.8 マスタ送信モードフローチャート例



以下に ICDR (ICDRT) のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「16.4.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ (スレーブアドレス+R/ $\bar{W}$ ) をライトします。  
I<sup>2</sup>Cバスフォーマット (SARのFSビットまたはSARXのFSXビットが0のとき) では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信 / 受信の方向(R/ $\bar{W}$ )を示します。  
次に転送終了を判断するためIRICフラグを0にクリアします。  
ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。  
マスタデバイスは送信クロックとICDRにライトされたデータを順次送出します。選択された (スレーブアドレスが一致した) スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。  
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB=0であることを確認します。  
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。  
次に転送終了を判断するためIRICフラグを0にクリアします。  
ここで 6.同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。  
次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。  
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

11. ICSRのACKBビットをリードします。

スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、9.に降り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行います。

12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

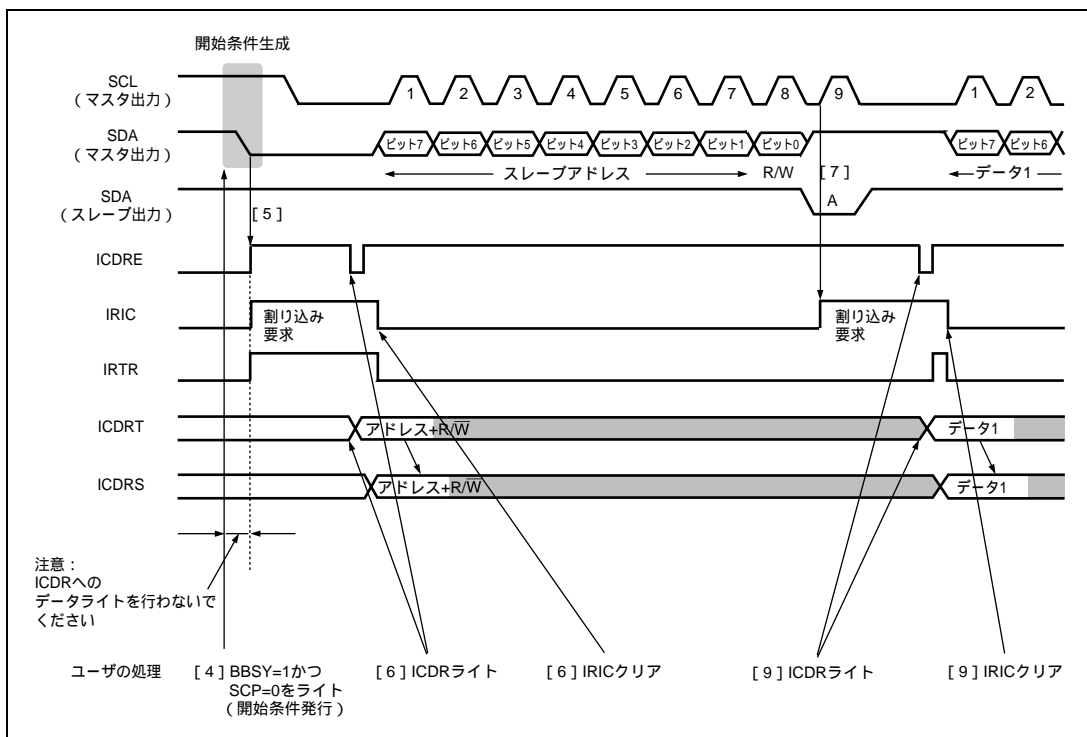


図 16.9 マスタ送信モード動作タイミング例 (MLS = WAIT = 0 のとき)

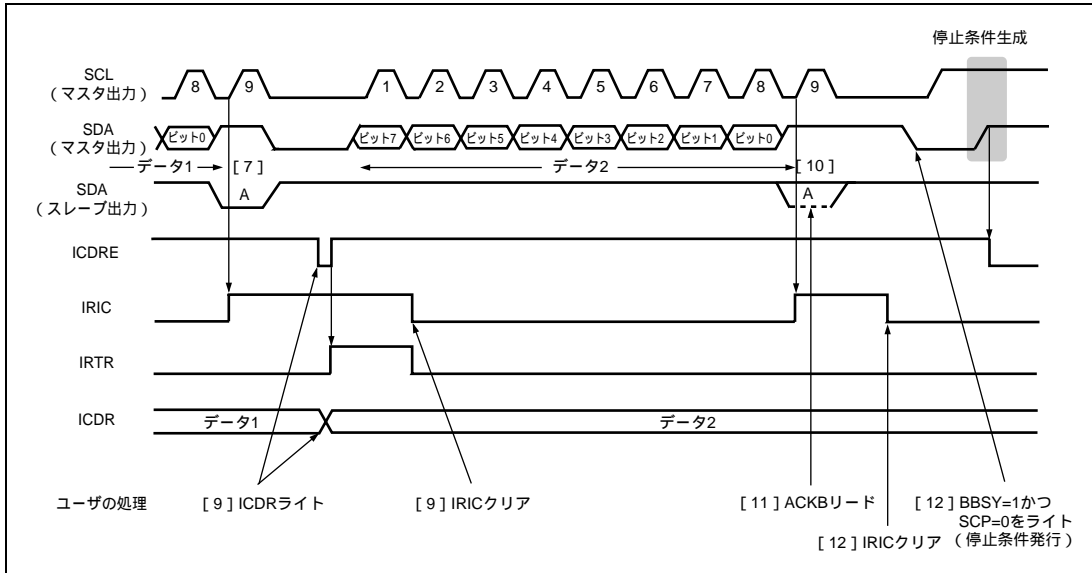


図 16.10 マスタ送信モード停止条件発行動作タイミング例 (MLS = WAIT = 0 のとき)

### 16.4.4 マスタ受信動作

I<sup>2</sup>C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アックノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス + R $\overline{W}$  (1: リード) のデータを送信し、スレーブデバイスを選択した後、受信動作に切り替えます。

(1) HNDS 機能を利用した受信動作 (HNDS=1)

図 16.11 にマスタ受信モードのフローチャート例 (HNDS=1) を示します。

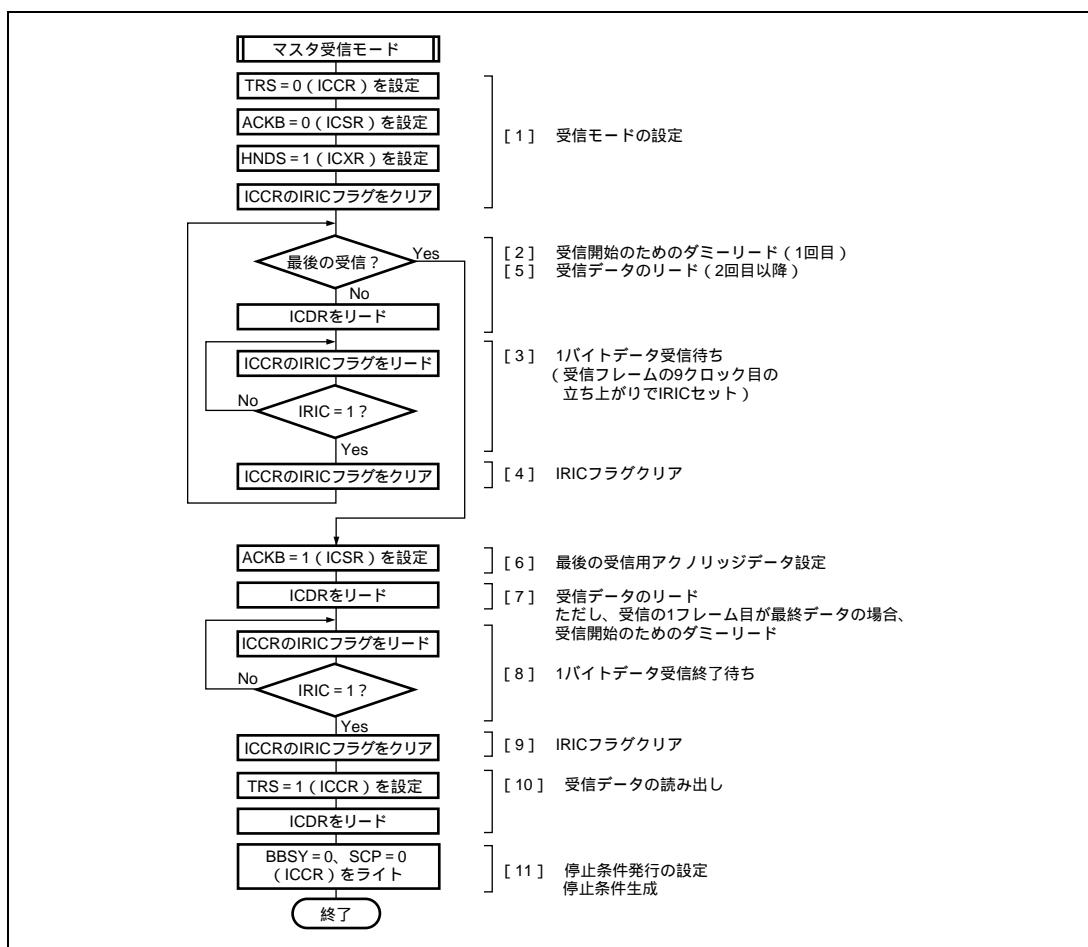


図 16.11 マスタ受信モードフローチャート例 (HNDS=1)

以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。  
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)  
ICXRのHNDSビットを1にセットします。  
受信完了を判断するためIRICフラグを0にクリアします。  
受信の1フレーム目が最後の受信データの場合は、6以降の終了処理を行ってください。
2. ICDRをリード(ダミーリード)すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。(受信クロックの立ち上がりに同期してSDA端子のデータをICDRSに順次格納します。)
3. 受信フレームの9クロック目でマスタデバイスはSDAをLowレベルにし、アクノリッジを返します。受信データは9クロック目の立ち上がりでICDRSからICDRRに転送され、ICDRF、IRIC、IRTRの各フラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。  
マスタデバイスは受信クロックの9クロック目の立ち下がりからICDRのデータをリードするまでSCLをLowレベルにします。
4. 次の割り込みを判断するためIRICフラグを0にクリアします。  
次のフレームが最後の受信データの場合は、6以降の終了処理を行ってください。
5. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスは次のデータ受信のため、引き続き受信クロックを出力します。  
  
3から5を繰り返し行うことにより、データを受信することができます。
6. ACKBビットを1にセットします。(最後の受信用アクノリッジデータの設定)
7. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスはデータ受信のため、受信クロックを出力します。
8. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICDRF、IRIC、IRTRの各フラグが1にセットされます。
9. IRICフラグを0にクリアします。
10. TRSビットを1にセット後、ICDRの受信データをリードします。このとき、ICDRFフラグが0にクリアされません。
11. 停止条件生成のため、ICCRにBBSY=0かつSCP=0をライトします。  
これによりSCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

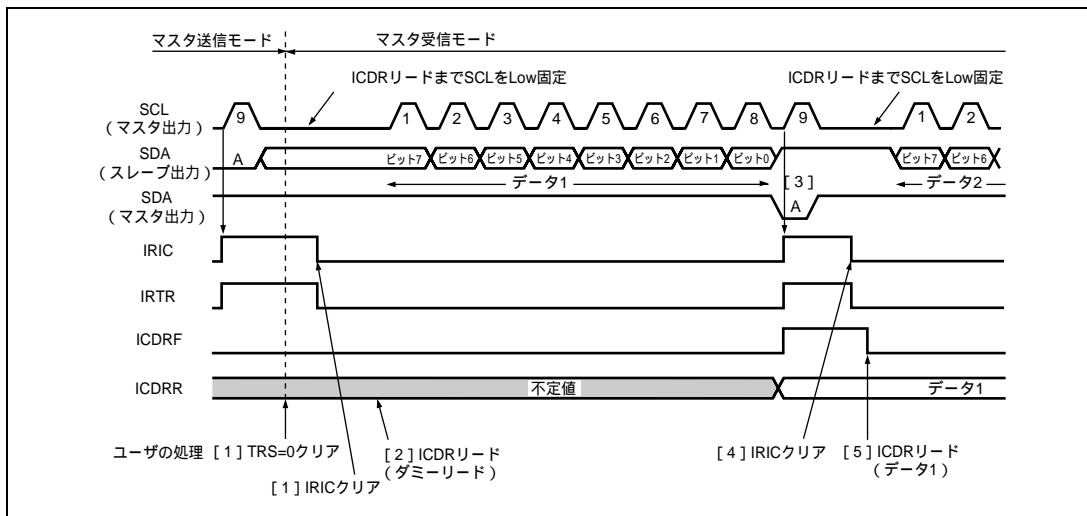


図 16.12 マスタ受信モード動作タイミング例 (MLS=WAIT=0、HNDS=1 のとき)

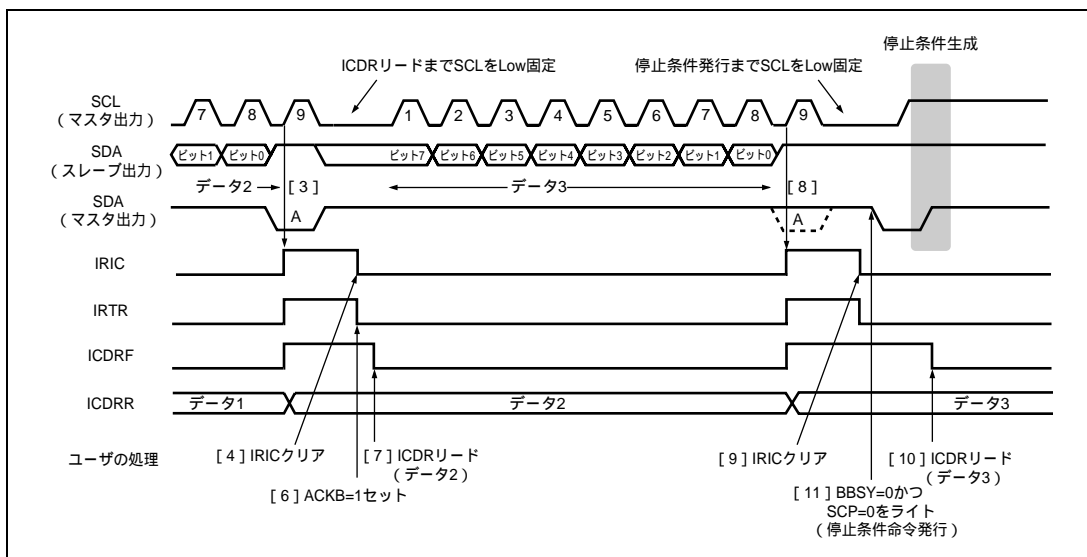


図 16.13 マスタ受信モード動作停止条件発行タイミング例 (MLS=WAIT=0、HNDS=1 のとき)

### (2) ウェイトを利用した受信動作

図 16.14、図 16.15 にマスタ受信モードのフローチャート例 (WAIT=1) を示します。

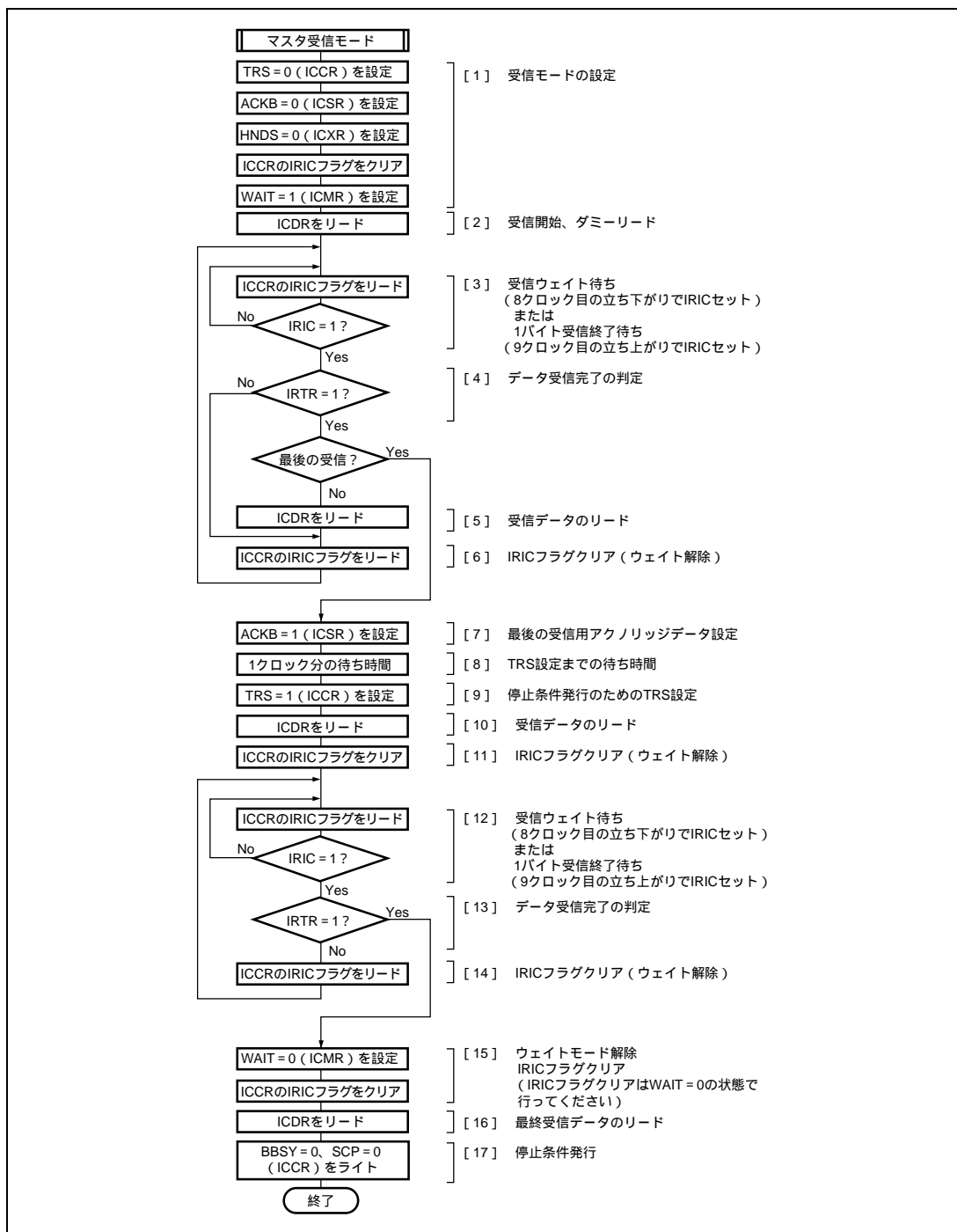


図 16.14 マスタ受信モード (複数バイト数受信) のフローチャート例 (WAIT=1)

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

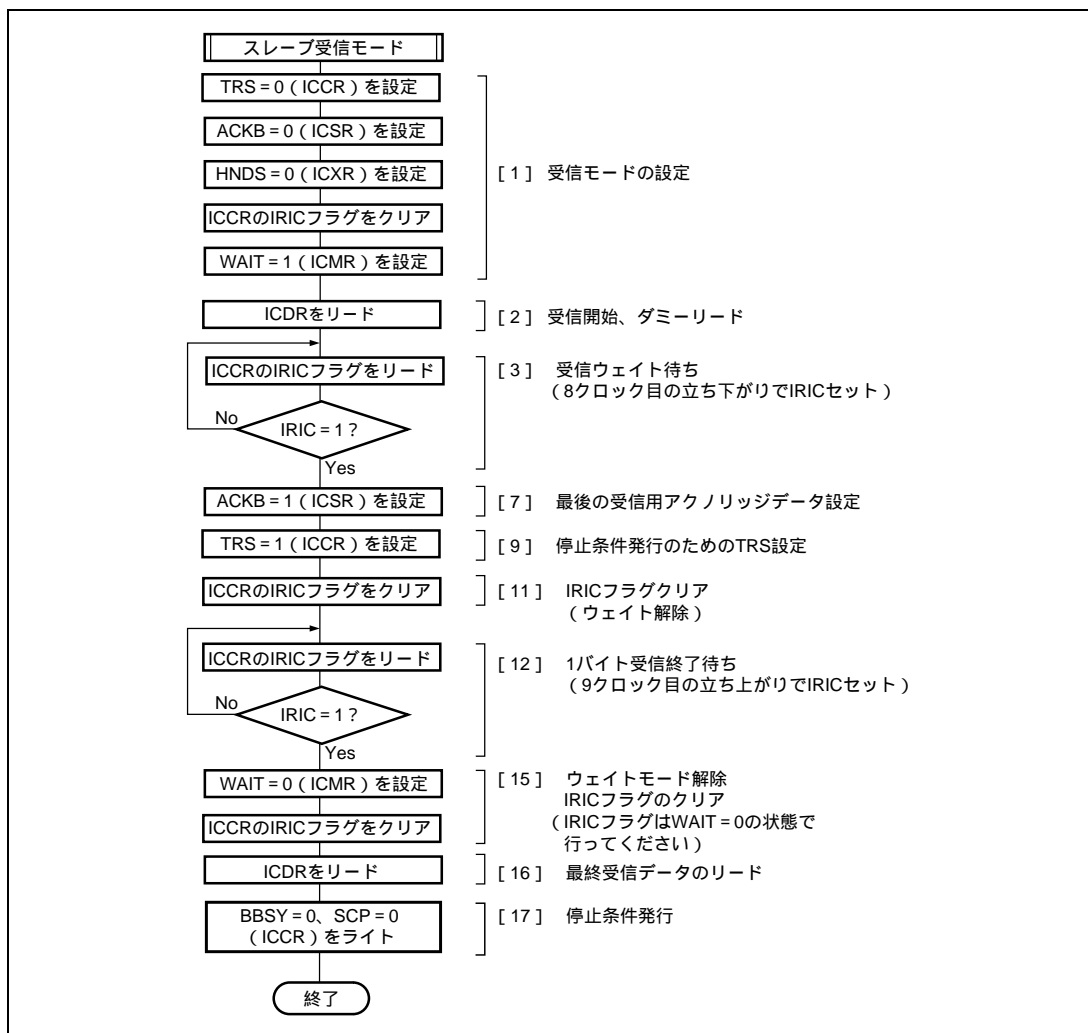


図 16.15 マスタ受信モード (1バイトのみ受信) のフローチャート例 (WAIT=1)

以下にウェイト動作 (WAIT ビット) を利用し、ICDR (ICDRR) のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1バイトのみ受信の場合は一部手順が省略されますので、図 16.15 のフローチャートに従って動作を行ってください。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。

ICSRのACKBビットを0にクリアします。(アクリッジデータの設定)

ICXRのHNDSビットを0にクリアします。(ハンドシェイク機能の解除)

IRICフラグを0にクリアし、その後にICMRのWAITビットを1にセットします。



2. ICDRをリード (ダミーリード) すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
  - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
  - (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。
4. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は6.のIRICフラグクリアでウェイト解除を行います。

IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、7.の終了処理を行ってください。
5. IRTRフラグが1の場合は、ICDRの受信データをリードします。
6. IRICフラグを0にクリアします。3.(1)の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

3.から6.を繰り返し行うことにより、データを受信することができます。
7. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。
8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間を取り、次の受信データの1クロック目が立ち上がるのを待ちます。
9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。
10. ICDRの受信データをリードします。
11. IRICフラグを0にクリアします。
12. IRICフラグが以下の2条件で1にセットされます。
  - (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
  - (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。マスタデバイスは引き続き次の受信データの受信クロックを出力します。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

13. ICSRのIRTRフラグをリードします。

IRTRフラグが0の場合は14.のIRICフラグクリアでウェイト解除を行います。

IRTRフラグが1で受信動作が完了している場合は、15.の停止条件発行処理を行ってください。

14. IRTRフラグが0の場合は、IRICフラグを0にクリアし、ウェイトを解除します。

受信動作の完了を検出するため12.のIRICフラグリードに戻ります。

15. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。

その後、IRICフラグを0にクリアします。

IRICフラグのクリアはWAIT=0の状態で行ってください。

(IRICフラグを0にクリアした後にWAITビットを0にクリアし、停止条件発行命令を実行した場合、停止条件が正常に出力されない場合があります。)

16. ICDRにある最終受信データをリードします。

17. ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

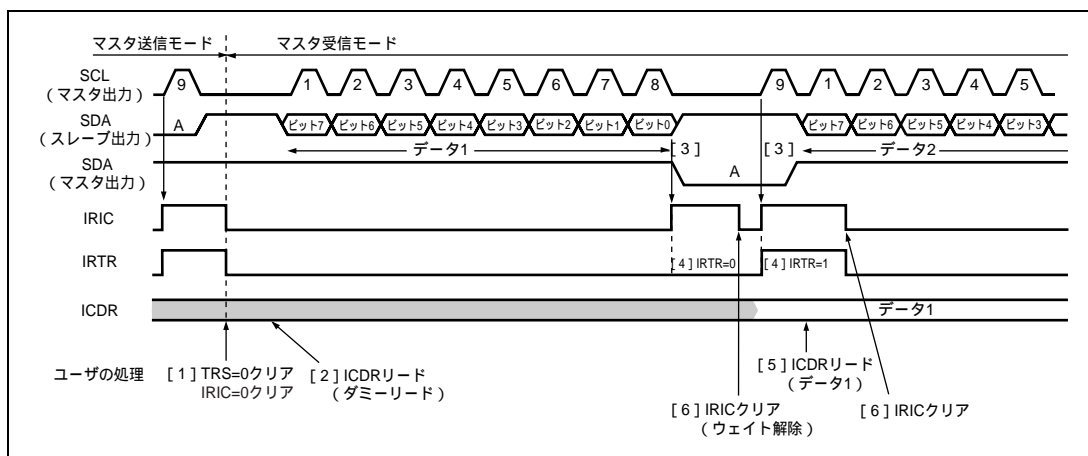


図 16.16 マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

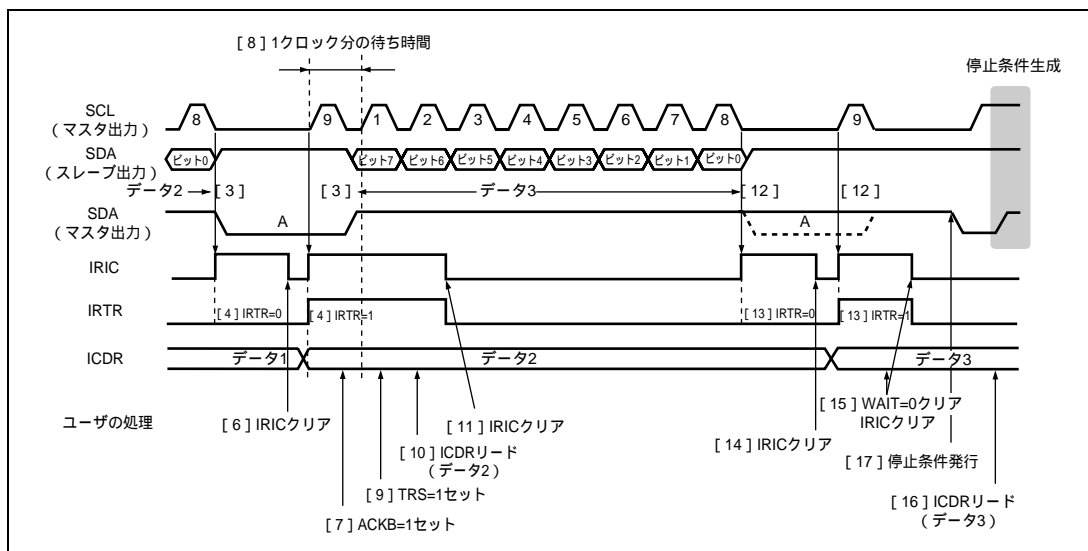


図 16.17 マスタ受信モード停止条件発行動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

### 16.4.5 スレーブ受信動作

I<sup>2</sup>C バスフォーマットによるスレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

スレーブデバイスは、マスタが発行する開始条件後の第 1 フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

#### (1) HNDS 機能を利用した受信動作 (HNDS=1)

図 16.18 にスレーブ受信モードのフローチャート例 (HNDS=1) を示します。

16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

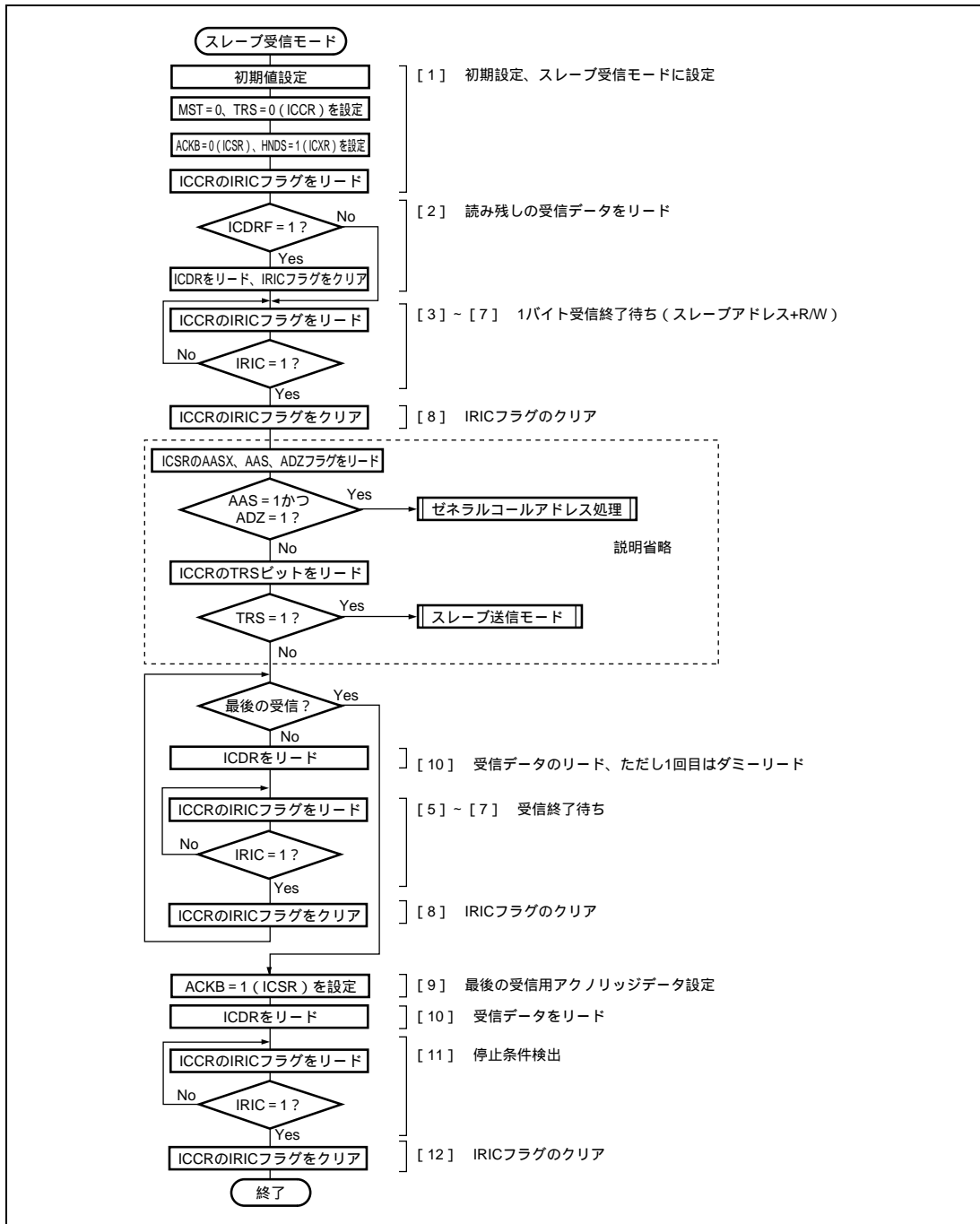


図 16.18 スレープ受信モードのフローチャート例 (HNDS=1)

以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. 「16.4.2 初期設定」に従い初期設定を行います。

MST、TRS ビットをそれぞれ 0 にクリアしてスレーブ受信モードに設定します。また、HNDS ビットを 1 にセットし、ACKB ビットを 0 に設定します。受信完了を判断するため、ICCR の IRIC フラグを 0 にクリアします。

2. ICDRF フラグが 0 であることを確認します。もし ICDRF フラグが 1 にセットされているときは、ICDR をリードし、その後で IRIC フラグを 0 にクリアしておきます。
3. マスタデバイスの出力した開始条件を検出すると、ICCR の BBSY フラグが 1 にセットされます。マスタデバイスは、開始条件に引き続き 7 ビットのスレーブアドレスと送受信の方向 (R/W) のデータを送信クロックに合せ順次出力します。
4. 開始条件後の第 1 フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8 ビット目のデータ (R/W) が 0 のとき TRS ビットは 0 のまま変化せず、スレーブ受信動作を行います。8 ビット目のデータ (R/W) が 1 のとき TRS ビットは 1 にセットされ、スレーブ送信動作を行います。

なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。

5. 受信フレームの 9 クロック目でスレーブデバイスは ACKB ビットに設定したデータをアクノリッジとして返します。
6. 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。このとき、IEIC ビットが 1 にセットされていると、CPU に対し割り込み要求を発生します。  
また、AASX ビットが 1 にセットされていると IRTR フラグも 1 にセットされます。
7. 9 クロック目の立ち上がりで、受信データは ICDRS から ICDRR に転送され、ICDRF フラグが 1 にセットされます。スレーブデバイスは受信クロックの 9 クロック目の立ち下がりから ICDR のデータをリードするまで SCL を Low レベルにします。
8. STOP ビットが 0 にクリアされていることを確認し、IRIC フラグを 0 にクリアします。
9. 次のフレームが最後の受信フレームのときは ACKB ビットを 1 にセットしておきます。
10. ICDR をリードすると、ICDRF フラグが 0 にクリアされ、SCL バスラインを開放します。これによりマスタデバイスは次のデータの転送が可能となります。

5 から 10 を繰り返し行うことにより、受信動作を継続できます。

11. 停止条件 (SCL が High レベルのとき、SDA が Low レベルから High レベルに変化) が検出されると、BBSY フラグが 0 にクリアされます。また、STOP ビットが 1 にセットされます。このとき STOPIM ビットが 0 にクリアされていると IRIC フラグは 1 にセットされます。

12. STOP ビットが 1 にセットされていることを確認し、IRIC フラグを 0 にクリアします。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

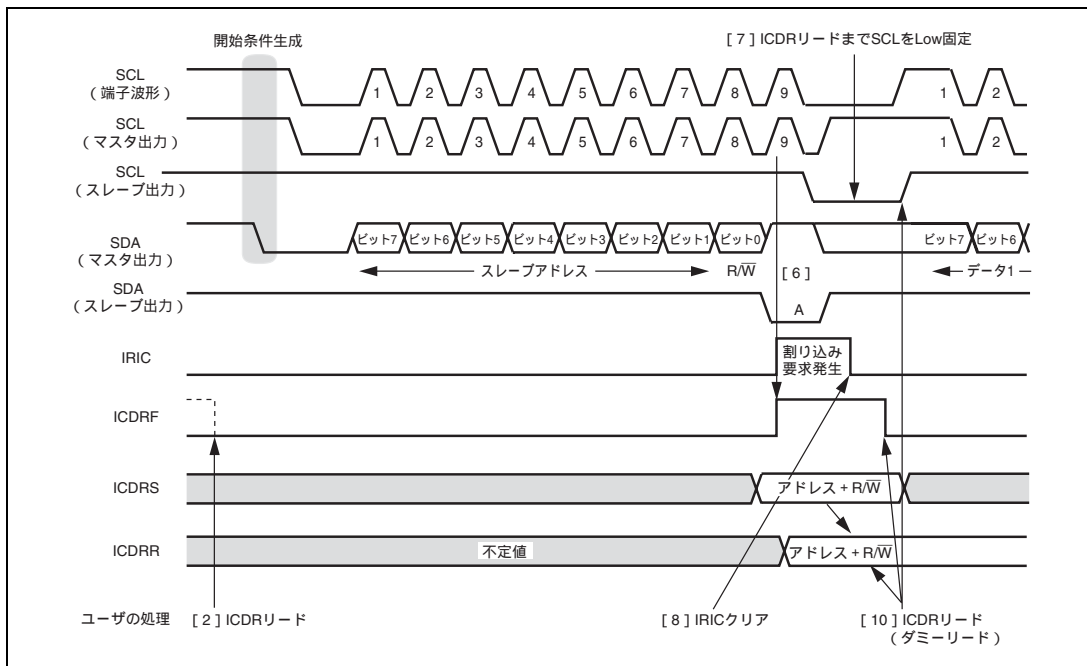


図 16.19 スレーブ受信モード動作タイミング例 1 (MLS = 0、HNDS = 1 のとき)

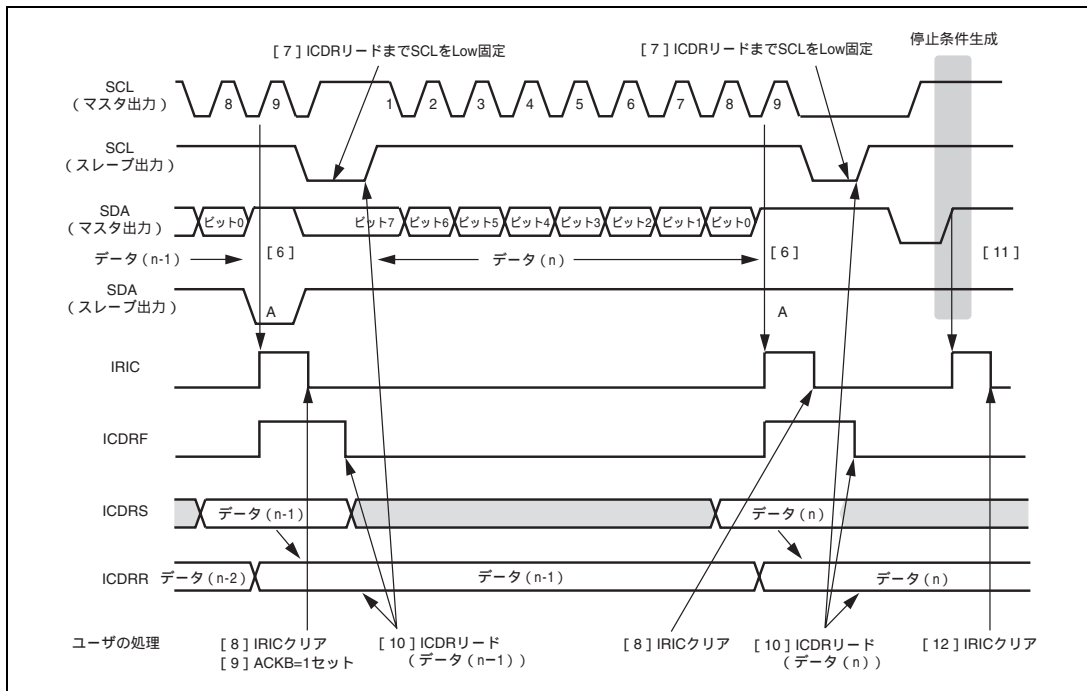


図 16.20 スレーブ受信モード動作タイミング例 2 (MLS = 0、HNDS = 1 のとき)

(2) 連続受信動作

図 16.21 にスレーブ受信モードのフローチャート例 (HNDS=0) を示します。

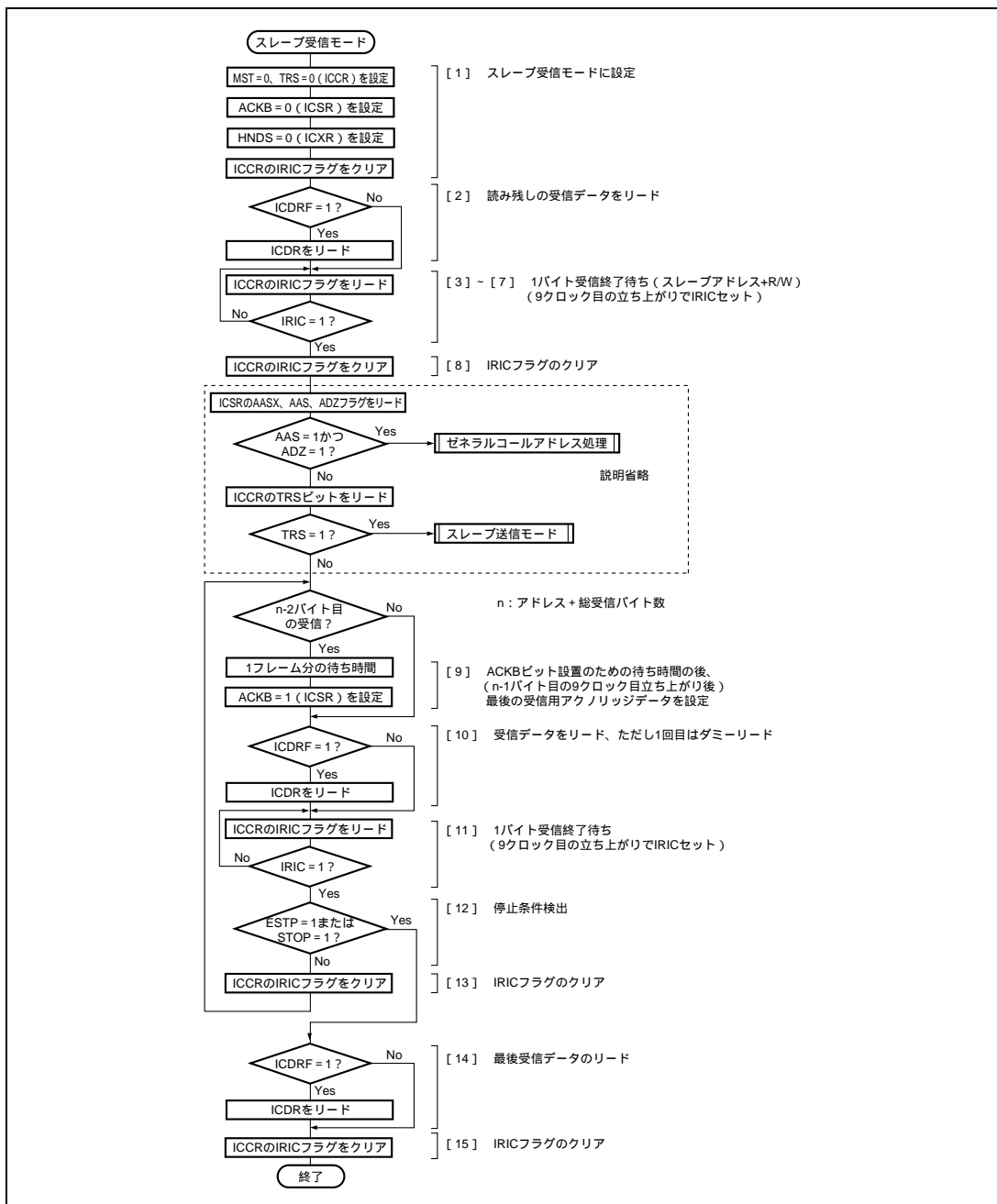


図 16.21 スレーブ受信モードのフローチャート例 (HNDS=0)

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

---

以下にスレーブ受信モードの受信手順と動作を示します。

1. 「16.4.2 初期設定」に従い初期設定を行います。  
MST、TRSビットをそれぞれ0にクリアしてスレーブ受信モードに設定します。また、HNDSビットを0にセットし、ACKBビットを0に設定します。受信完了を判断するため、ICCRのIRICフラグを0にクリアします。
2. ICDRFフラグが0であることを確認します。ICDRFフラグが1にセットされているときは、ICDRをリードし、その後でIRICフラグを0にクリアしておきます。
3. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。マスタデバイスは、開始条件に引き続き7ビットのスレーブアドレスと送受信の方向 ( $R/\bar{W}$ ) のデータを送信クロックに合せ順次出力します。
4. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ ( $R/\bar{W}$ ) が0のときTRSビットは0のまま変化せず、スレーブ受信動作を行います。8ビット目のデータ ( $R/\bar{W}$ ) が1のときTRSビットは1にセットされ、スレーブ送信動作を行います。  
なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。
5. 受信フレームの9クロック目でスレーブデバイスはACKBビットに設定したデータをアクノリッジとして返します。
6. 9クロック目の立ち上がりでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。  
また、AASXビットが1にセットされているとIRTRフラグも1にセットされます。
7. 9クロック目の立ち上がりで、受信データはICDRSからICDRRに転送され、ICDRFフラグが1にセットされます。
8. STOPビットが0にクリアされていることを確認し、IRICフラグを0にクリアします。
9. 次にリードするデータが最後から2つ前の受信フレームのときはACKBビット設定のため最低1フレーム分の待ち時間を設けます。最後から1つ前の受信フレームの9クロック目が立ち上がった後にACKBビットを1にセットしておきます。
10. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。  
ICDRをリードすると、ICDRFフラグが0にクリアされます。
11. 9クロック目の立ち上がりまたは、ICDRリード動作により受信データがICDRSからICDRRに転送されるとIRICフラグおよびICDRFフラグが1にセットされます。
12. 停止条件 (SCLがHighレベルのとき、SDAがLowレベルからHighレベルに変化) が検出されると、BBSYフラグが0にクリアされます。また、STOPフラグまたは、ESTPフラグが1にセットされます。このときSTOPIMビットが0にクリアされているとIRICフラグは1にセットされます。この場合は14.の最終受信データのリードを行います。
13. IRICフラグを0にクリアします。



- 9から13を繰り返し行うことにより、受信動作を継続できます。
14. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。
15. IRICフラグを0にクリアします。

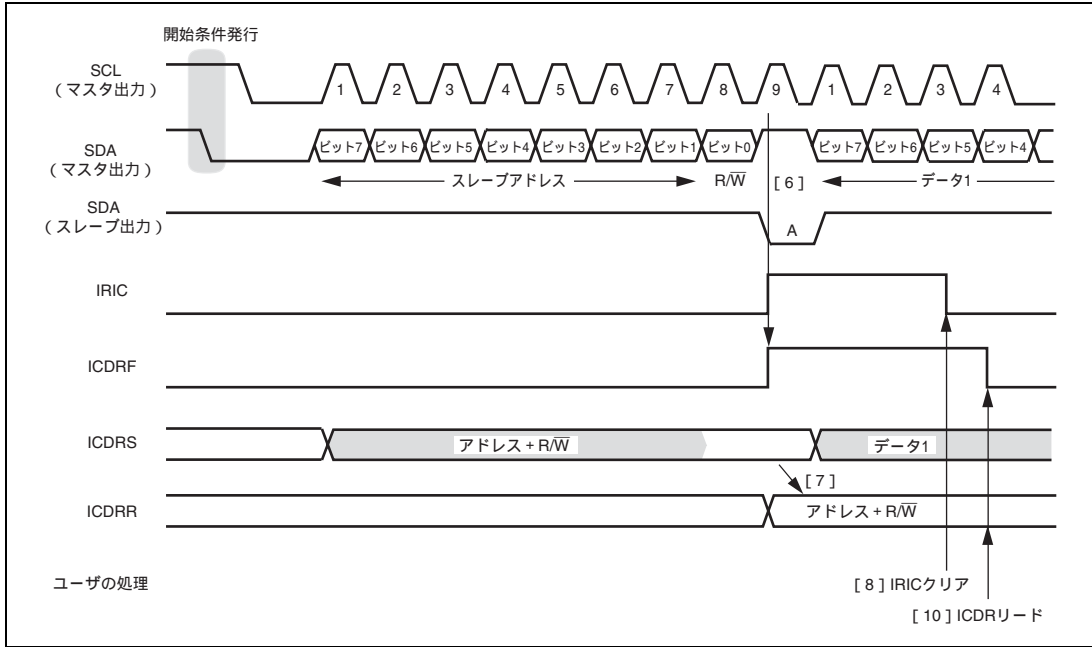


図 16.22 スレーブ受信モード動作タイミング例 1 (MLS = ACKB = 0、HNDS = 0 のとき)

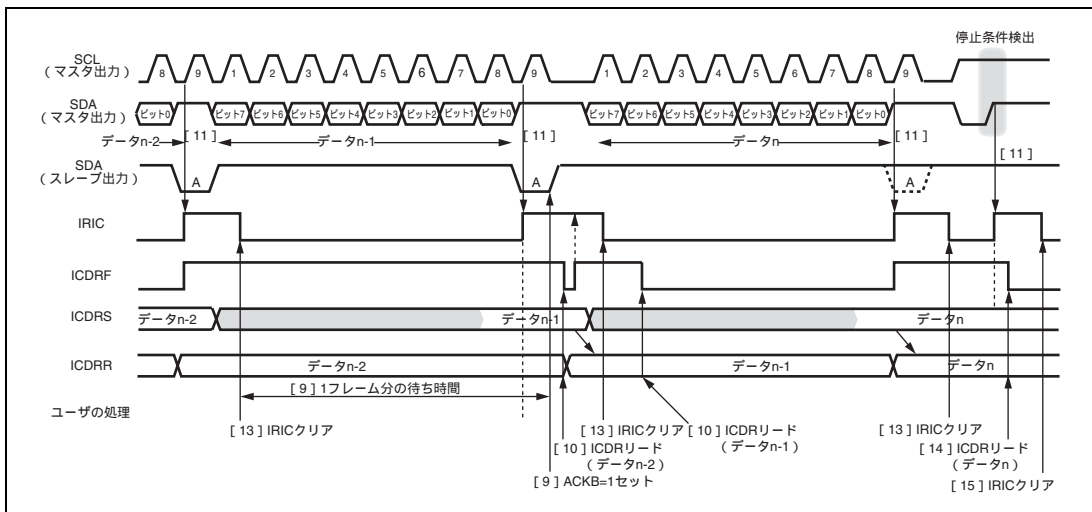


図 16.23 スレーブ受信モード動作タイミング例 2 (MLS = ACKB = 0、HNDS = 0 のとき)

### 16.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第1フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ8ビット目のデータ（R/W）が1（リード）のときに ICCR の TRS ビットが自動的に1にセットされ、スレーブ送信モードになります。

図 16.24 にスレーブ送信モードのフローチャート例を示します。

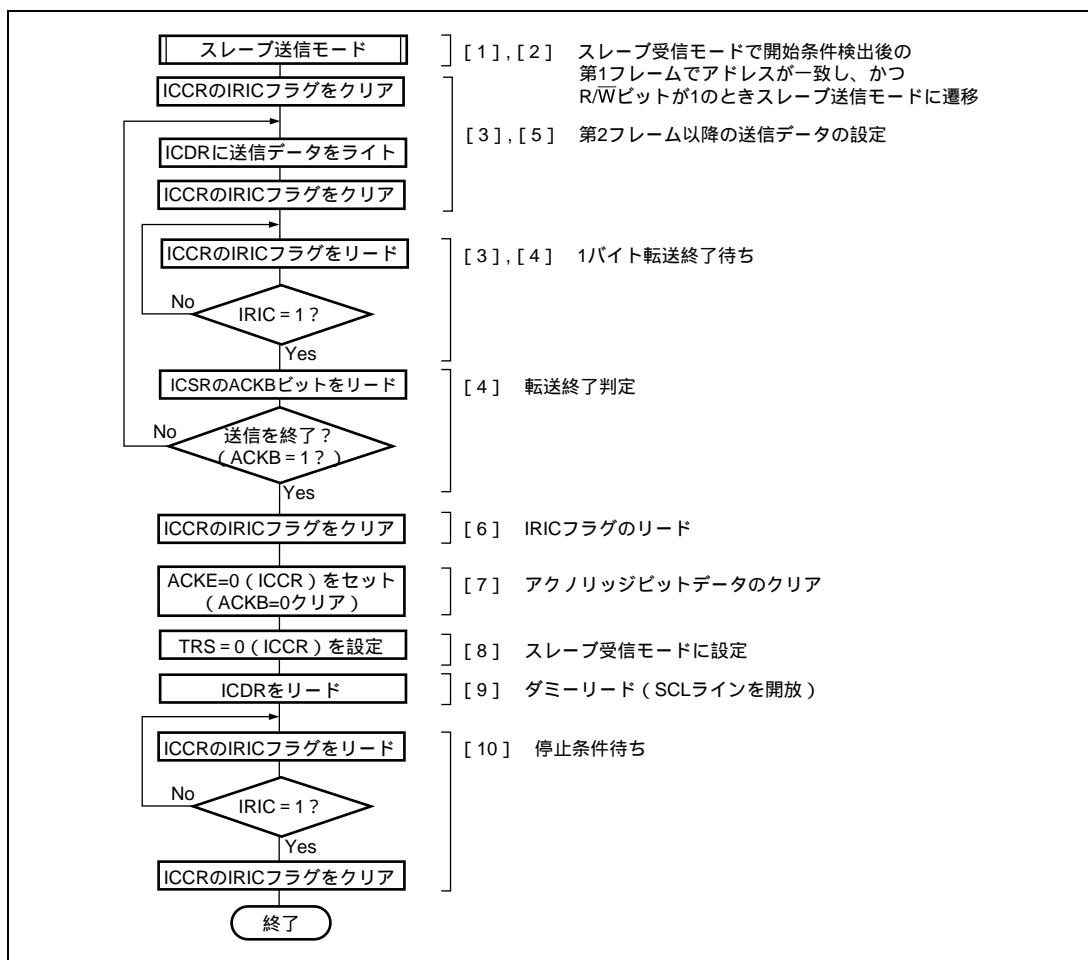


図 16.24 スレーブ送信モードのフローチャート例

スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出し、アクリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。

2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。また、8ビット目のデータ (R/W) が1のときTRSビットが1にセットされ、自動的にスレーブ送信モードになります。9クロックの立ち上がりのタイミングでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされているとCPUに対し割り込み要求を発生します。このとき、ICDREフラグは1にセットされています。スレーブデバイスは送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにしマスタデバイスが次の転送クロックを出力できないようにします。
  3. IRICフラグを0にクリア後、ICDRに送信データをライトします。このときICDREフラグは0にクリアされます。ライトされたデータはICDRSに転送され、ICDREフラグとIRICフラグが再び1にセットされます。スレーブデバイスはマスタデバイスが出力するクロックに従い、ICDRSに転送されたデータを順次送出します。送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
  4. マスタデバイスは転送フレームの9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。ICDREフラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、ICDREフラグとIRICフラグが再び1にセットされます。ICDREフラグが1にセットされていると、送信クロックの9クロック目の立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。
  5. 送信を続ける場合は、次に送信するデータをICDRにライトします。このときICDREフラグは0にクリアされます。送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
- 4から5を繰り返し行うことにより、送信動作を継続できます。
6. IRICフラグを0にクリアします。
  7. 送信を終了する場合は、ICCRのACKEビットを0にクリアし、ACKBビットに格納されているアクノリッジビットの値を0にクリアします。
  8. 次のアドレス受信動作のため、TRSビットを0にクリアし、スレーブ受信モードに設定します。
  9. スレーブ側でSDAを開放するためにICDRをダミーリードします。
  10. SCLがHighレベルのときSDAがLowレベルからHighレベルに変化して停止条件を検出すると、ICCRのBBSYフラグが0にクリアされ、ICSRのSTOPフラグが1にセットされます。ICSRのSTOPIMビットが0の場合は、IRICフラグが1にセットされます。IRICフラグがセットされているときは、IRICフラグを0にクリアします。

16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

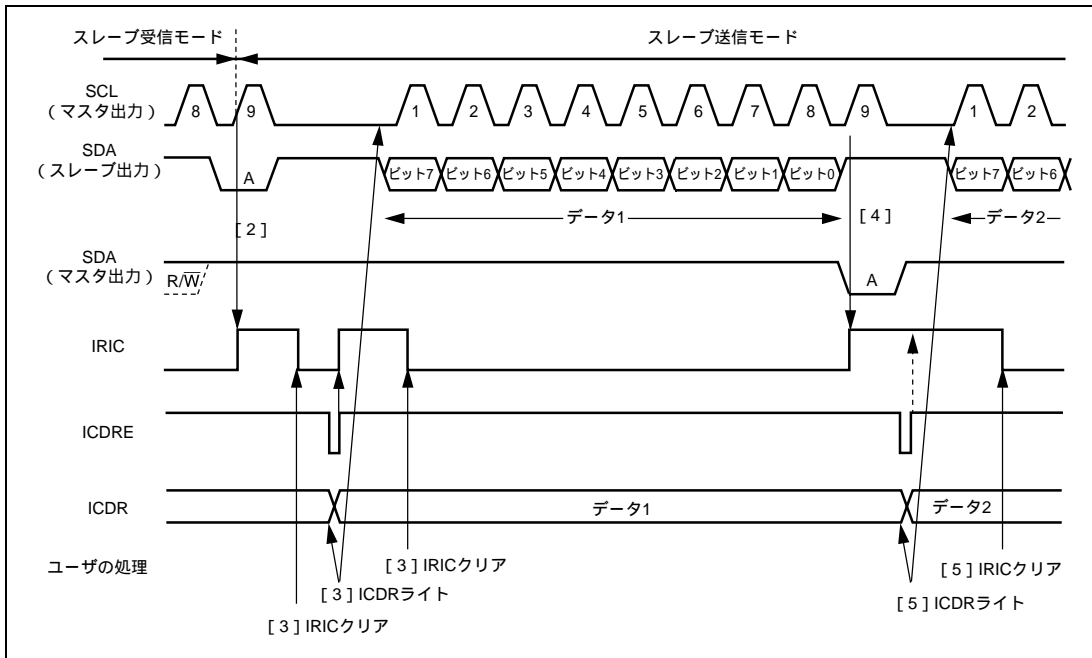


図 16.25 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

## 16.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、ICDRE や ICDRF フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 16.26 ~ 図 16.28 に IRIC セットタイミングと SCL 制御を示します。

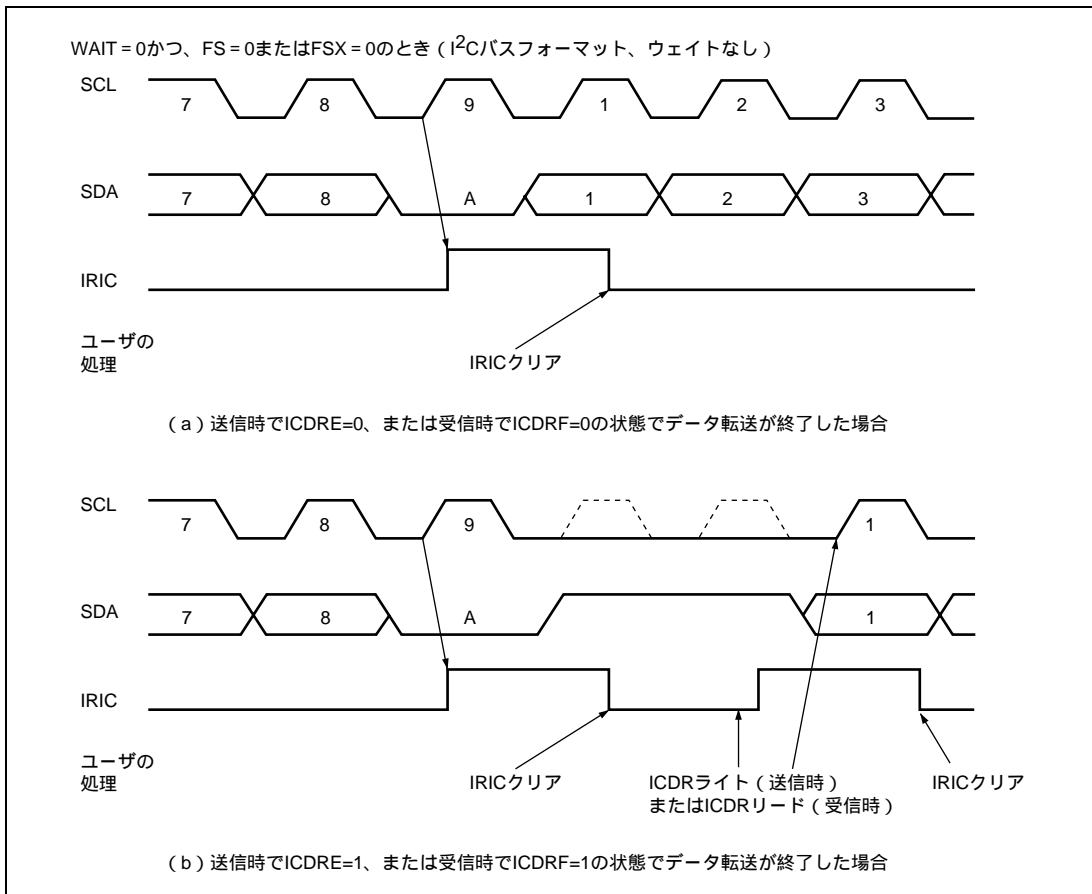


図 16.26 IRIC フラグセットタイミングと SCL 制御 (1)

16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

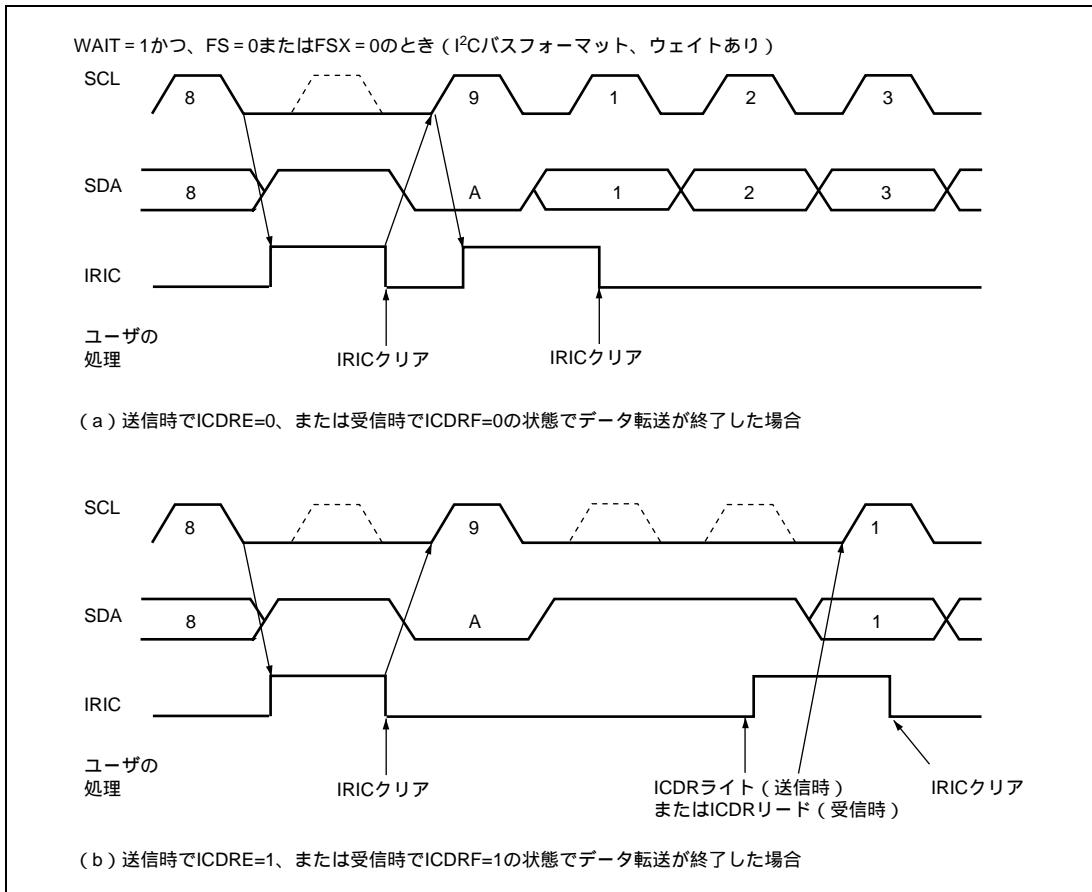


図 16.27 IRIC フラグセットタイミングと SCL 制御 (2)

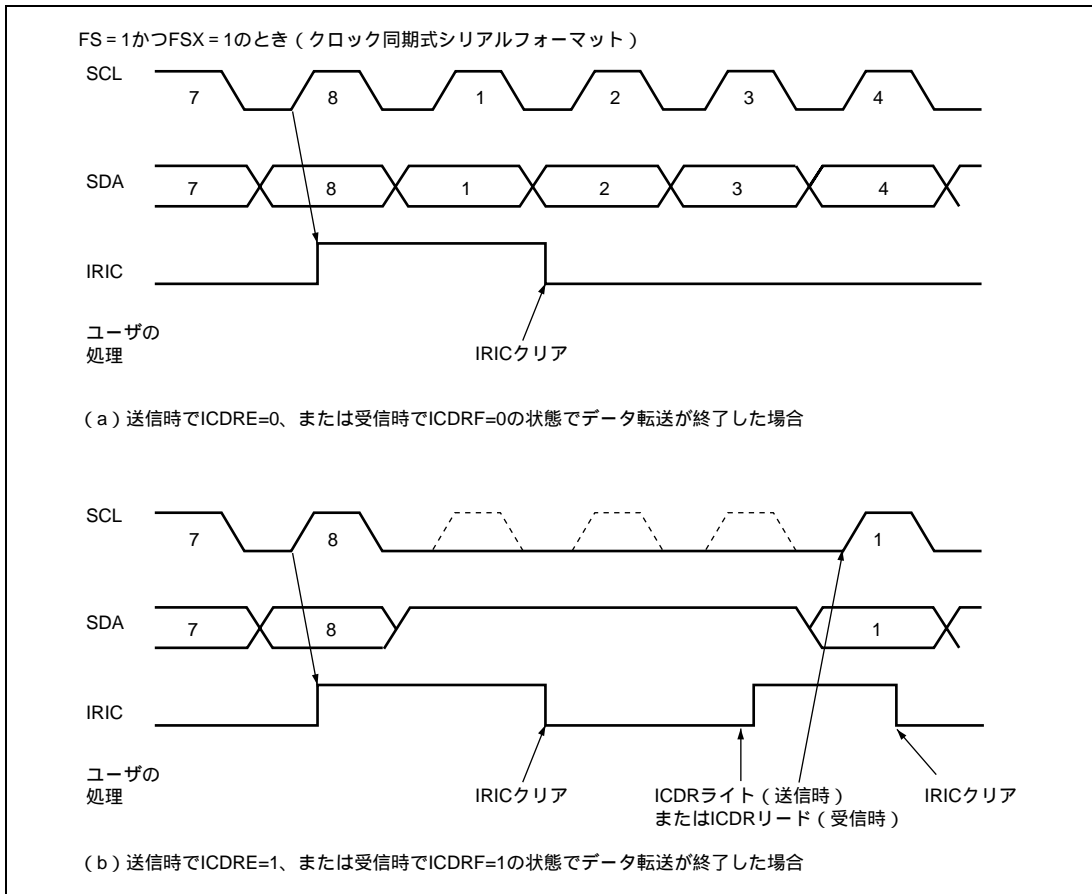


図 16.28 IRIC フラグセットタイミングと SCL 制御 (3)

### 16.4.8 フォーマットレスから I<sup>2</sup>C バスフォーマットへの自動切り替え

DDCSWR の SW ビットを 1 にセットすると、IIC\_0 の動作モードを、フォーマットレスにすることができます。フォーマットレスから I<sup>2</sup>C バスフォーマット (スレーブモード) へは、SCL の立ち下がりを検出すると自動的に切り替えられます。

この動作の前提として、以下の 4 つの条件が必要です。

1. フォーマットレスと I<sup>2</sup>C バスフォーマットのデータ端子 (SDA) が共通
2. フォーマットレスと I<sup>2</sup>C バスフォーマットのクロック端子が独立  
(フォーマットレス : VSYNCL、I<sup>2</sup>C バスフォーマット : SCL)
3. フォーマットレス時には SCL 端子は 1 固定 (Low ドライブしない)
4. ICCR の TRS ビット以外が、I<sup>2</sup>C バスフォーマットでの動作可能な設定

自動切り替えは、SCL の立ち下がりエッジを検出して DDCSWR の SW ビットを自動的に 0 にクリアすることにより、フォーマットレス→I<sup>2</sup>C バスフォーマットの方向で行われます。I<sup>2</sup>C バスフォーマット→フォーマットレスの切り替えは、DDCSWR の SW ビットをソフトウェアで 1 にセットすることによって行います。

フォーマットレス時には、I<sup>2</sup>C バスインタフェースの動作モードを制御するビット (MSL ビット、TRS ビット等) を書き換えないでください。I<sup>2</sup>C バスフォーマット→フォーマットレスの切り替え時には、フォーマットレスでの転送方向 (送信 / 受信) に合わせて TRS ビットを 1 にセットまたは 0 にクリアした後に SW ビットを 1 にセットしてください。フォーマットレス→I<sup>2</sup>C バスフォーマット (スレーブモード) の自動切り替え後はスレーブアドレス受信待ちとするため、TRS ビットは自動的に 0 にクリアされます。

フォーマットレスで動作中に SCL の立ち下がりを検出すると、I<sup>2</sup>C バスインタフェースは、停止条件を待たず、その時点でフォーマットを切り替えます。



### 16.4.9 DTC による動作

本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に ICDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると ICDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。

DTC が起動されると、所定のデータ転送を実行した後、ICDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、全く意味をもたず 1 固定の場合があります。

I<sup>2</sup>C バスフォーマットでは、スレーブアドレスと R/W ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 16.7 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 16.7 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス + R/W ビット送信 / 受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード		CPU で処理 (ICDR リード)		
本体データ送信 / 受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H'FF) ライト			DTC で処理 (ICDR ライト)	
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の転送要求処理	1 回目: CPU でクリア 2 回目: CPU で停止条件発行	不要	ダミーデータ (H'FF) 送出中に停止条件を検出して自動的にクリア	不要
DTC 転送データフレーム数設定	送信: 実データ数 + 1 (+1 は、スレーブアドレス + R/W ビット分)	受信: 実データ数	送信: 実データ数 + 1 (+1 は、ダミーデータ (H'FF) 分)	受信: 実データ数

## 16.4.10 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.29 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

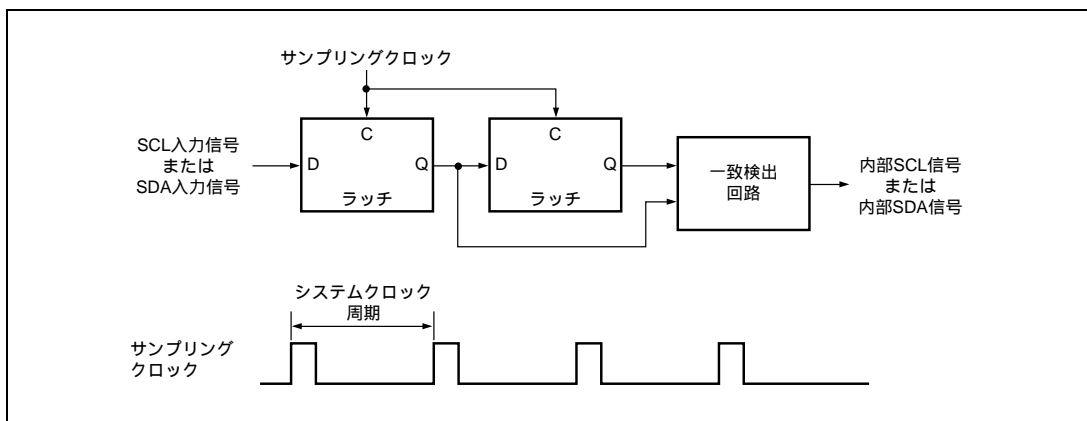


図 16.29 ノイズ除去回路のブロック図

## 16.4.11 内部状態の初期化

本 IIC モジュールは、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能をもっています。

初期化は、(1) DDCSWR レジスタの CLR3 ~ CLR0 ビットの設定、または (2) ICE ビットのクリアにより実行されます。CLR3 ~ CLR0 ビットの設定の詳細は、「16.3.7 DDC スイッチレジスタ (DDCSWR)」を参照してください。

## (1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ICDRE、ICDRF 内部フラグ
- 送信 / 受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA 端子出力状態を保持するための内部ラッチ（ウェイト、クロック、データ出力など）

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、ICXR (ICDRE、ICDRF フラグ以外)、DDCSWR)
- ICMR、ICCR、ICSR、DDCSWR 各レジスタのフラグのセット / クリアのためのレジスタリード情報保持用内部ラッチ

- ICMRのビットカウンタ (BC2 ~ BC0) の値
- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

#### (2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- DDCSWRにより初期化を行う場合、CLR3 ~ CLR0ビットのライトデータは保持されません。IICクリアを行う場合は、必ずMOV命令を使用し、CLR3 ~ CLR0ビットを同時に書き込んでください。BCLRなどのビット操作命令は使用しないでください。
- また、再度クリアが必要な場合は、同様にすべてのビットとも設定に従い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点でIICモジュールは送受信を中止しSCL、SDA端子を開放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、開放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

1. CLR3 ~ CLR0ビットの設定、またはICEビットによる内部状態の初期化実行
2. BBSYビットを0にクリアするための、停止条件発行命令実行 (BBSY = 0かつSCP = 0ライト)、および転送レートの2クロック分の期間ウェイト
3. CLR3 ~ CLR0ビットの設定、またはICEビットによる内部状態の初期化の再実行
4. IICの各レジスタの初期化 (再設定)

## 16.5 割り込み要因

IIC の割り込み要因は、IICI と DDCSWI があります。表 16.8 に各割り込み要因と優先順位を示します。各割り込み要因は、ICCR、DDCSWR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

IICI 割り込みは、内蔵 DTC の起動要因とすることができます。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

表 16.8 IIC 割り込み要因

チャンネル	名称	イネーブルビット	割り込み要因	割り込みフラグ	DTCの起動	優先順位
0	IIC10	IEIC	I <sup>2</sup> C バスインタフェース割り込み要求	IRIC	可	高 ↑ 低
	DDCSWI	IE	フォーマット自動切り替え割り込み	IF	不可	
1	IIC11	IEIC	I <sup>2</sup> C バスインタフェース割り込み要求	IRIC	可	低

### 16.6 使用上の注意事項

- マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDAがともにLowレベルになっていることを確認してください。その後、停止条件生成のための命令を発行してください。BBSY=1となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。
- 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
  - ICE = 1かつTRS = 1かつICDRにライトしたとき (ICDRT→ICDRSの自動転送を含む)
  - ICE = 1かつTRS = 0かつICDRをリードしたとき (ICDRS→ICDRRの自動転送を含む)
- SCL、SDA出力は、内部クロックに同期して表16.9に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 16.9 I<sup>2</sup>C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	$t_{SCL0}$	28 $t_{cyc}$ ~ 256 $t_{cyc}$	ns	図 28.29 (参考)
SCL 出力 High パルス幅	$t_{SCLHO}$	0.5 $t_{SCL0}$	ns	
SCL 出力 Low パルス幅	$t_{SCLLO}$	0.5 $t_{SCL0}$	ns	
SDA 出力バスフリー時間	$t_{BUFO}$	0.5 $t_{SCL0}$ 1 $t_{cyc}$	ns	
開始条件出力ホールド時間	$t_{STAH0}$	0.5 $t_{SCL0}$ 1 $t_{cyc}$	ns	
再送開始条件出力セットアップ時間	$t_{STAS0}$	1 $t_{SCL0}$	ns	
停止条件出力セットアップ時間	$t_{STOSO}$	0.5 $t_{SCL0}$ +2 $t_{cyc}$	ns	
データ出力セットアップ時間 (マスタ時)	$t_{SDAS0}$	1 $t_{SCLLO}$ 3 $t_{cyc}$	ns	
データ出力セットアップ時間 (スレーブ時)		1 $t_{SCLL}$ (6 $t_{cyc}$ または12 $t_{cyc}$ *)	ns	
データ出力ホールド時間	$t_{SDAHO}$	3 $t_{cyc}$	ns	

【注】 \* IICX が 0 のとき 6  $t_{cyc}$ 、IICX が 1 のとき 12  $t_{cyc}$  となります。

4. SCL、SDA入力は、内部クロックに同期してサンプリングされます。そのため、ACタイミングは、「第27章 電気的特性」のI<sup>2</sup>Cバスタイミングに示すように、システムクロック周期 $t_{cyc}$ に依存しています。システムクロック周波数が5MHzに満たないと、I<sup>2</sup>CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。
5. SCLの立ち上がり時間 $t_{sr}$ は、I<sup>2</sup>Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I<sup>2</sup>Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 $t_{sr}$ （Lowレベルから $V_{IH}$ まで変化する時間）が、I<sup>2</sup>Cバスインタフェースの入力クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表16.10に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 16.10 SCL 立ち上がり時間 ( $t_{sr}$ ) の許容範囲

IICX	$t_{cyc}$ 表示	時間表示 [ns]						
		I <sup>2</sup> C バス仕様(max.)	$\phi=$ 5MHz	$\phi=$ 8MHz	$\phi=$ 10MHz	$\phi=$ 16MHz	$\phi=$ 20MHz	
0	7.5 $t_{cyc}$	標準モード	1000	←	937	750	468	375
		高速モード	300	←	←	←	←	←
1	17.5 $t_{cyc}$	標準モード	1000	←	←	←	←	875
		高速モード	300	←	←	←	←	←

6. SCL、SDAの立ち上がり、立ち下がり時間は、I<sup>2</sup>Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I<sup>2</sup>CバスインタフェースのSCL、SDA出力タイミングは、表16.9に示すように $t_{cyc}$ によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI<sup>2</sup>Cバスインタフェースの仕様を満足しない場合があります。表16.11は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

$t_{BUFO}$ はどの周波数でもI<sup>2</sup>Cバスインタフェースの仕様を満足しません。これに対しては、(a) 停止条件発行後、開始条件の発行まで必要なインターバル（1 $\mu$ s程度）を確保するようプログラムする必要があります。あるいは、(b) I<sup>2</sup>Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の $t_{SCLLO}$ 、標準モード時の $t_{STASO}$ では、 $t_{sr}/t_{sr}$ をワーストケースとして計算した場合にI<sup>2</sup>Cバスインタフェースの仕様を満足しません。(a) プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b) 転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c) I<sup>2</sup>Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

表 16.11 I<sup>2</sup>C バスタイミング ( $t_{Sr}/t_{Sf}$  影響最大の場合)

項目	tcyc 表示	時間表示 (最大転送レート時) [ns]							
			tsr/tsf 影響(max.)	I <sup>2</sup> C バス 仕様(min.)	φ= 5MHz	φ= 8MHz	φ= 10MHz	φ= 16MHz	φ= 20MHz
$t_{SCLHO}$	$0.5t_{SCLO}$ ( $-t_{Sr}$ )	標準モード	-1000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950
$t_{SCLLO}$	$0.5t_{SCLO}$ ( $-t_{Sf}$ )	標準モード	-250	4700	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000 <sup>*1</sup>	1000 <sup>*1</sup>	1000 <sup>*1</sup>	1000 <sup>*1</sup>	1000 <sup>*1</sup>
$t_{BUFO}$	$0.5t_{SCLO}-1tcyc$ ( $-t_{Sr}$ )	標準モード	-1000	4700	3800 <sup>*1</sup>	3875 <sup>*1</sup>	3900 <sup>*1</sup>	3938 <sup>*1</sup>	3950 <sup>*1</sup>
		高速モード	-300	1300	750 <sup>*1</sup>	825 <sup>*1</sup>	850 <sup>*1</sup>	888 <sup>*1</sup>	900 <sup>*1</sup>
$t_{STAHO}$	$0.5t_{SCLO}-1tcyc$ ( $-t_{Sf}$ )	標準モード	-250	4000	4550	4625	4650	4688	4700
		高速モード	-250	600	800	875	900	938	950
$t_{STASO}$	$1t_{SCLO}$ ( $-t_{Sr}$ )	標準モード	-1000	4700	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200
$t_{STOSO}$	$0.5t_{SCLO}+2tcyc$ ( $-t_{Sr}$ )	標準モード	-1000	4000	4400	4250	4200	4125	4100
		高速モード	-300	600	1350	1200	1150	1075	1050
$t_{SDASO}$ マスタ時	$1t_{SCLLO}^{*3}-3tcyc$ ( $-t_{Sr}$ )	標準モード	-1000	250	3100	3325	3400	3513	3550
		高速モード	-300	100	400	625	700	813	850
$t_{SDASO}$ スレーブ時	$1t_{SCLL}^{*3}-12tcyc^{*2}$ ( $-t_{Sr}$ )	標準モード	-1000	250	1300	2200	2500	2950	3100
		高速モード	-300	100	-1400 <sup>*1</sup>	-500 <sup>*1</sup>	-200 <sup>*1</sup>	250	400
$t_{SDAHO}$	3tcyc	標準モード	0	0	600	375	300	188	150
		高速モード	0	0	600	375	300	188	150

【注】 \*1 I<sup>2</sup>C バスインタフェースの仕様を満足しません。以下の4つの対応などが必要です。

(1) 開始/停止条件発行のインターバルを確保する。(2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。(3) 転送レートを下げて調整する。(4) 入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2 ~ CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I<sup>2</sup>C バスインタフェースの仕様を満足するか検討してください。

\*2 IICX ビットが1 のときです。IICX ビットを0 に設定すると、( $t_{SCLL}-6t_{cyc}$ ) となります。

\*3 I<sup>2</sup>C バス仕様値 (標準モード: 4700ns min.、高速モード: 1300ns min.) で計算しています。

## 7. マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。この後で受信データはICDRのリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRSの受信データはICDR (ICDRR) に転送されなくなりますので、第2バイト目のデータは、読み出すことができなくなります。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態 (TRSビットが0の状態) で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態(ICDRレジスタをリードしてください)。

このとき、停止条件発行のための命令実行 (ICCRのBBSY=0かつSCP=0をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDRのデータ) を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず図16.30 (a) の期間中 (ICCRレジスタのBBSYビットの0クリア確認後) に行ってください。

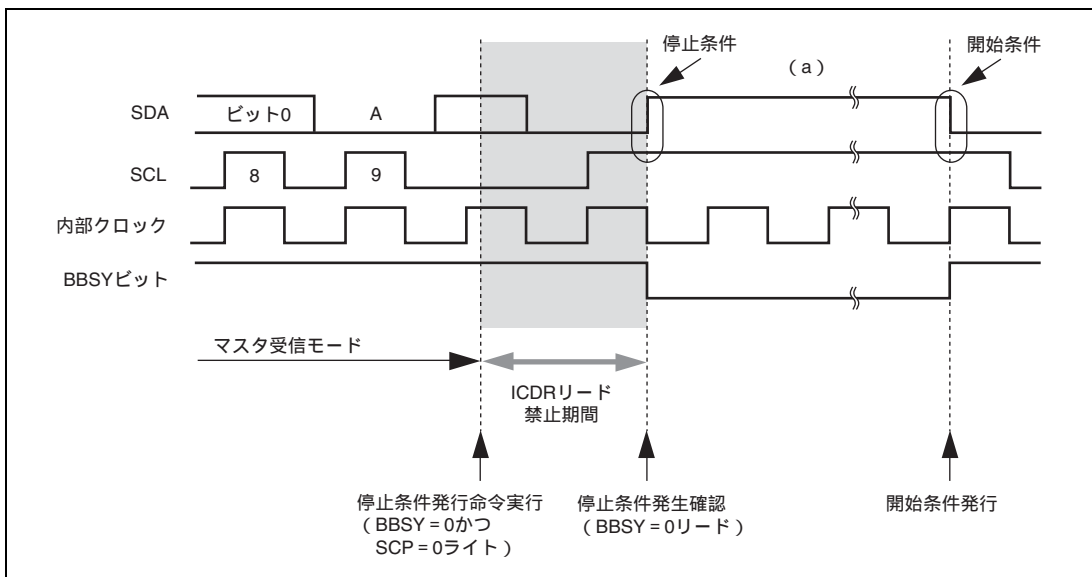


図 16.30 マスタ受信データの読み出しにおける注意

【注】 本使用上の制限はICXRレジスタのFNC1、FNC0ビットに11を設定することで解除することができます。

8. 再送のための開始条件発行時の注意事項

図16.31に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成した後でICDRに送信データをライトしてください。

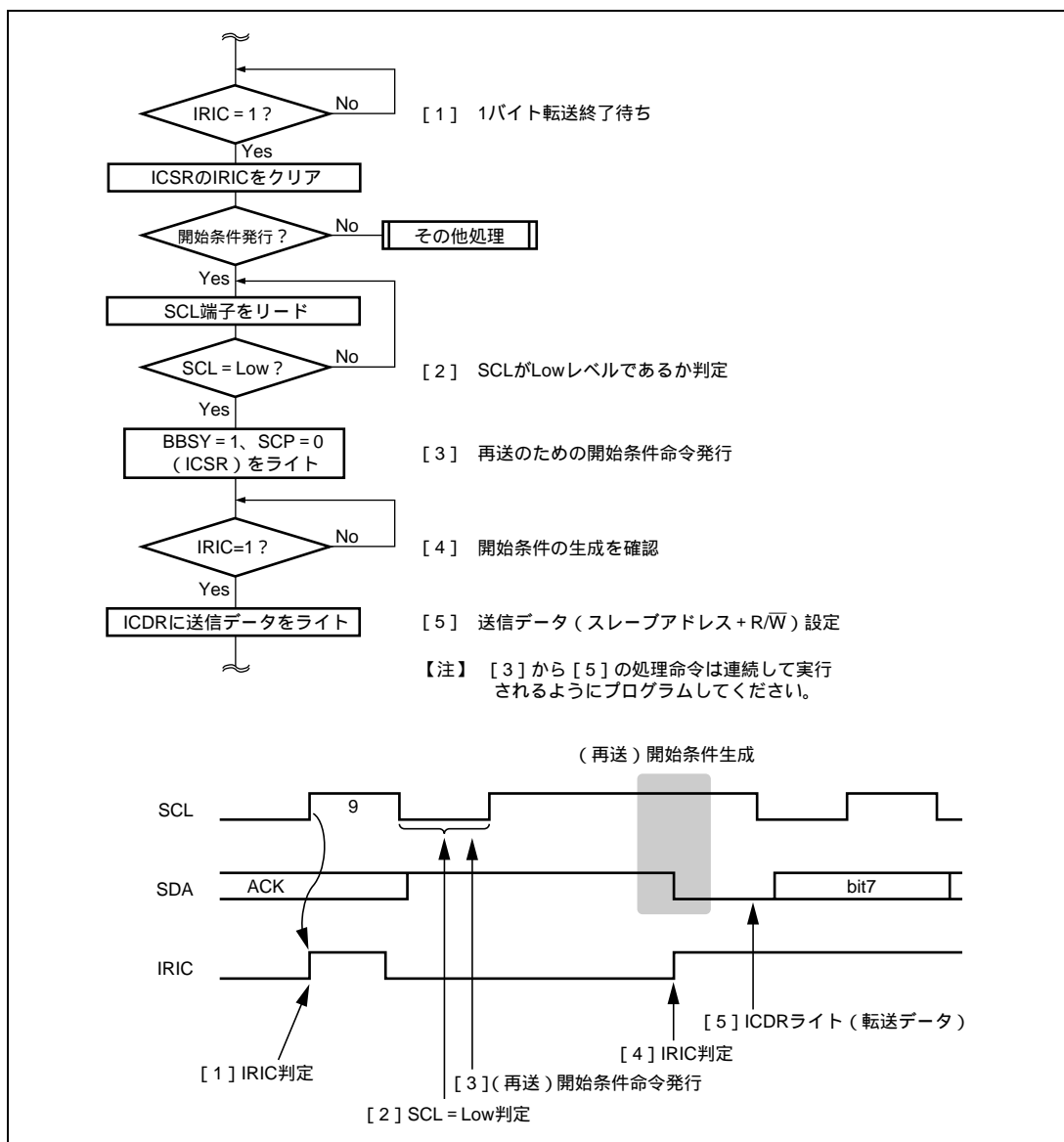


図 16.31 再送のための開始条件命令発行フローチャートおよびタイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに 11 を設定することで解除することができます。



9. I<sup>2</sup>Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

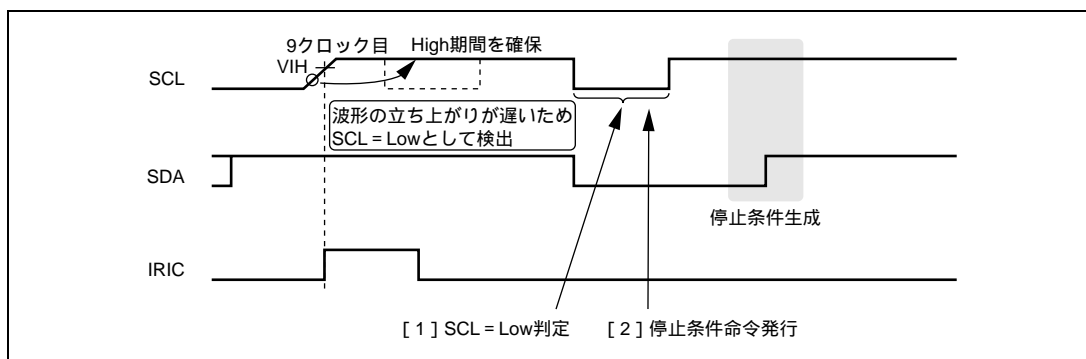


図 16.32 停止条件発行タイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに 11 を設定することで解除することができます。

## 10. ウェイト動作に関する注意事項

## (a) 現象が発生する条件

以下の条件が重なったとき、ウェイト機能を使用したマスタモード動作において8クロック目の立ち下がり後にウェイトが入らず、9クロック目のクロックパルスが連続的に出力されることがあります。

- (1) マスタモード動作で、ICMRレジスタのWAITビットに1を設定してウェイト動作を行っている場合
- (2) 割り込みフラグIRICビットを、7クロック目の立ち下がりから8クロック目の立ち下がり間の期間に1から0にクリアした場合

## (b) 不具合現象

本来8クロック目の立ち下がり後のウェイト状態でIRICフラグビットを1から0にクリアすることでウェイト状態が解除されます。

今回のケースでは7クロック目の立ち下がりから8クロック目の立ち下がり間の期間にIRICフラグビットをクリアした場合、IRICフラグクリアの情報が内部的に保持されてしまい、8クロック目立ち下がり時にウェイト動作が入った直後にウェイト状態が解除されてしまうものです。

## (c) 制限事項

9クロック目立ち上がり時にIRICフラグが1にセットされたあと、7クロック目が立ち上がる前(BC2～BC0カウンタの値が2以上のとき)にIRICフラグをクリアしてください。

もし割り込み処理等でIRICフラグクリアが遅れてBCカウンタの値が1または0になった場合は、BC2～BC0カウンタが0になったあとSCL端子が'L'状態になったことを確認してからIRICフラグをクリアしてください(図16.33参照)。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

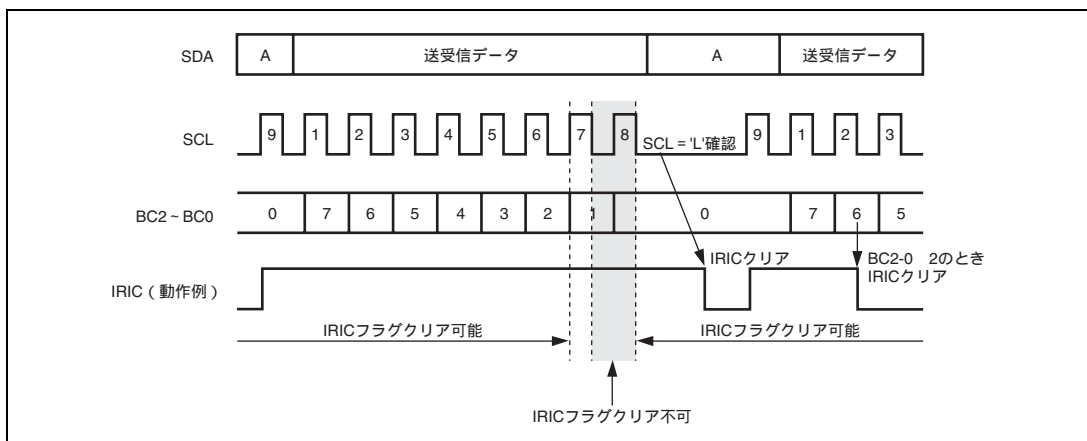


図 16.33 ウェイト動作時 IRIC フラグクリアタイミング

### 11. ウェイト機能使用時のIRICフラグクリアの注意事項

I<sup>2</sup>Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT=1の状態ではIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

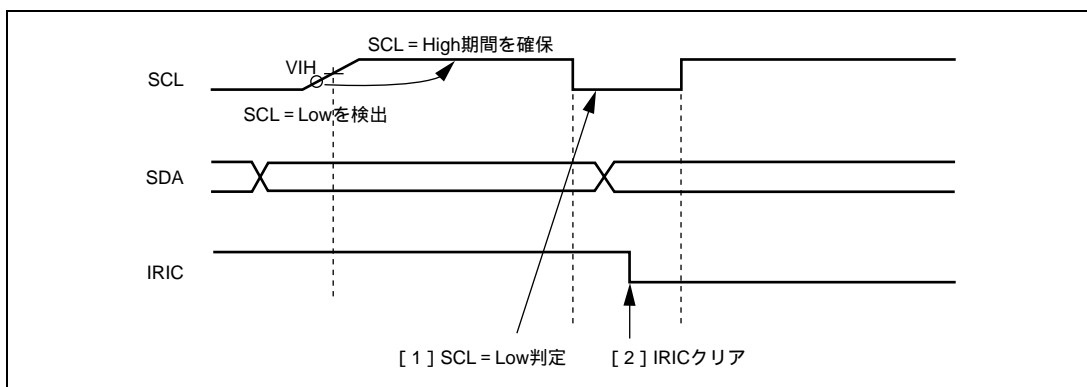


図 16.34 WAIT=1 状態での IRIC フラグクリアタイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに 11 を設定することで解除することができます。

## 12. スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I<sup>2</sup>Cバスインタフェースのスレーブモード送信動作では、図16.35の網がけ期間中にICDRのリードまたは、ICCRのリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタのリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRのリード動作、およびICCRのリード/ライト動作を完了させるようにしてください。
- ICMRのBC2~BC0ビットカウンタをモニタし、BC2~BC0=000(8クロック目または9クロック目)の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRのリードまたは、ICCRのリード/ライト動作を行ってください。

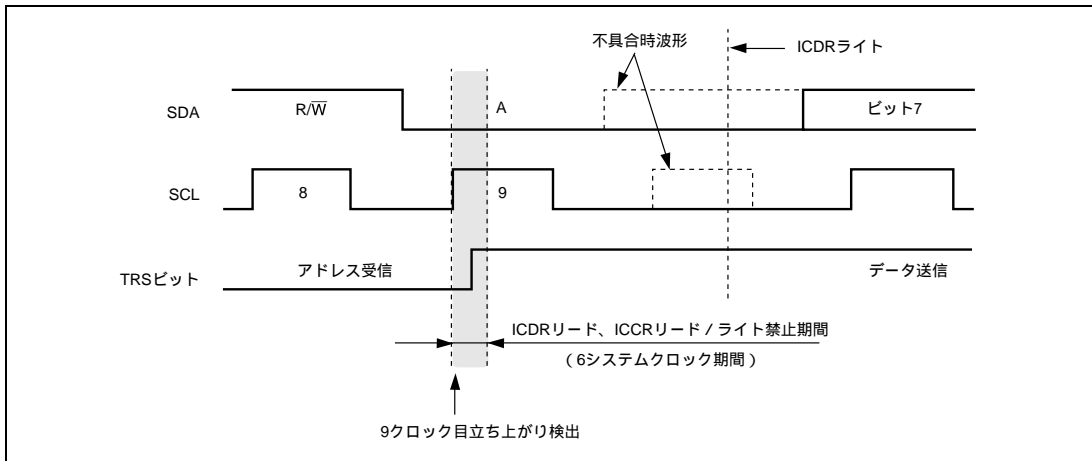


図 16.35 スレーブ送信モードでのICDRリード、ICCRアクセスタイミング

【注】 本使用上の制限はICXRレジスタのFNC1、FNC0ビットに11を設定することで解除することができます。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

### 13. スレーブモードでのTRSビット設定の注意事項

I<sup>2</sup>Cバスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出、または停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（図16.36 (a) の期間）は、ICCRのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（図16.36 (b) の期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1（送信モード）のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレーブモードのアドレス受信を行う場合は、図16.36 (a) の期間中に、TRSビットを0クリアしてください。

スレーブモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRのダミーリードにより行います。

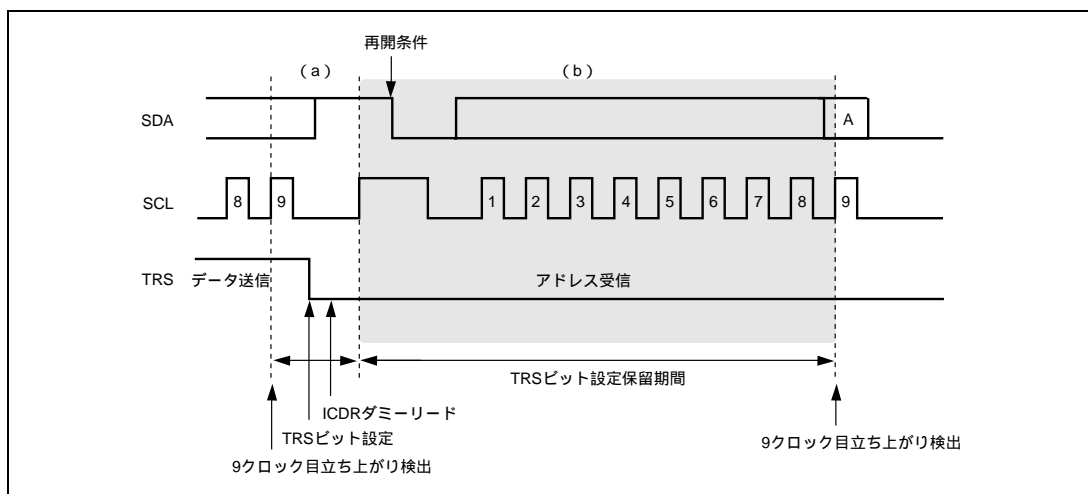


図 16.36 スレーブモードでの TRS ビット設定タイミング

【注】 本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに 11 を設定することで解除することができます。

### 14. マスタモードでのアービトレーションロスト発生時の注意事項

I<sup>2</sup>Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、

SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I<sup>2</sup>Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます（図16.37参照）。

マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

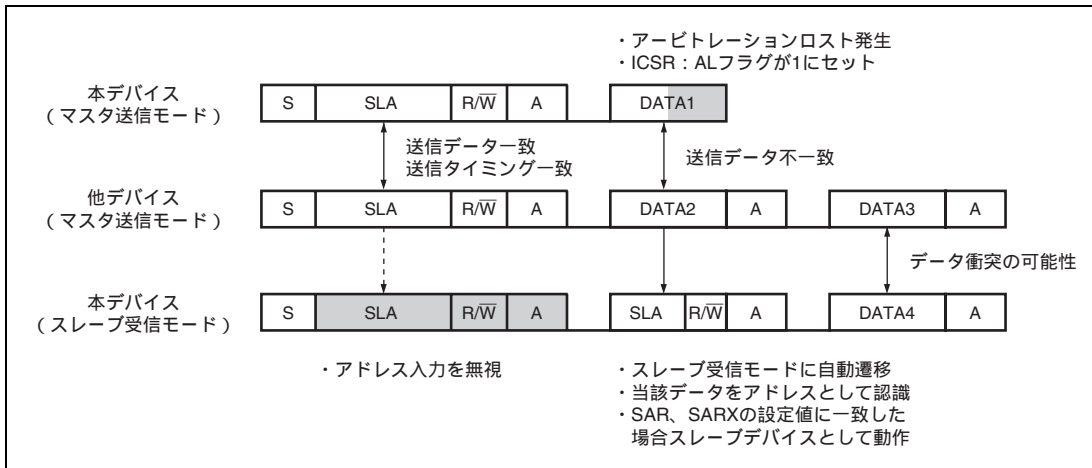


図 16.37 アービトレーションロスト時の動作模式図

本来のI<sup>2</sup>Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。

- (a) MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する。
- (b) MSTビットに1を設定する。
- (c) MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後も、ICCRのBBSYフラグが0であることを確認する。

#### 15. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード (TRS=1) でのICDRリード動作または、受信モード (TRS=0) でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRのアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

## 16. I<sup>2</sup>C バスインタフェース (IIC) 【オプション】

---

### 16. スレーブモードでのACKビットとTRSビットの注意事項

I<sup>2</sup>Cバスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして1を受信 (ACKB=1) した後に、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレーブモードで送信モード (TRS=1) の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDREフラグセットおよびアクノリッジビットとして1を受信 (ACKB=1) することでIRICフラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I<sup>2</sup>Cバスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして1を受信した場合には、ICCRのACKビットをいったん0にクリアすることで、ACKビットを0に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。  
スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図16.24に従って送信を終了してください。

### 16.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IICの動作停止/許可を設定することが可能です。初期値ではIICの動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第25章 低消費電力状態」を参照してください。

## 17. キーボードバッファコントローラ

本 LSI は、3 チャネルのキーボードバッファコントローラを内蔵しています。キーボードバッファコントローラは、PS/2 インタフェースに準拠した機能を備えています。

キーボードバッファコントローラを用いたデータ転送は、データライン (KD) 一本、クロックライン (KCLK) 一本で構成され、コネクタやプリント基盤の面積などを経済的に使用できます。図 17.1 にキーボードバッファコントローラのブロック図を示します。

### 17.1 特長

- PS/2インタフェースに準拠
- バスを直接駆動 (KCLK、KD端子)
- 割り込み要因：データ受信完了時、クロックのエッジ検出時
- エラー検出：パリティエラー、ストップビットモニタ

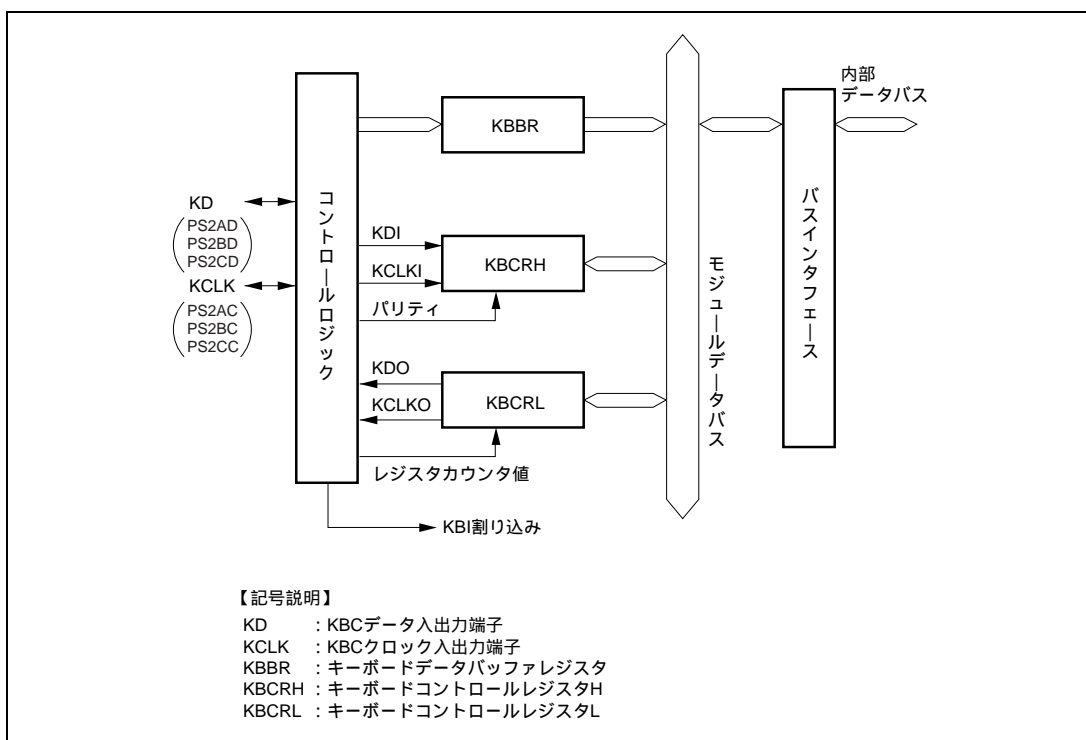


図 17.1 キーボードバッファコントローラのブロック図

## 17. キーボードバッファコントローラ

キーボードバッファコントローラの接続方法を図 17.2 に示します。

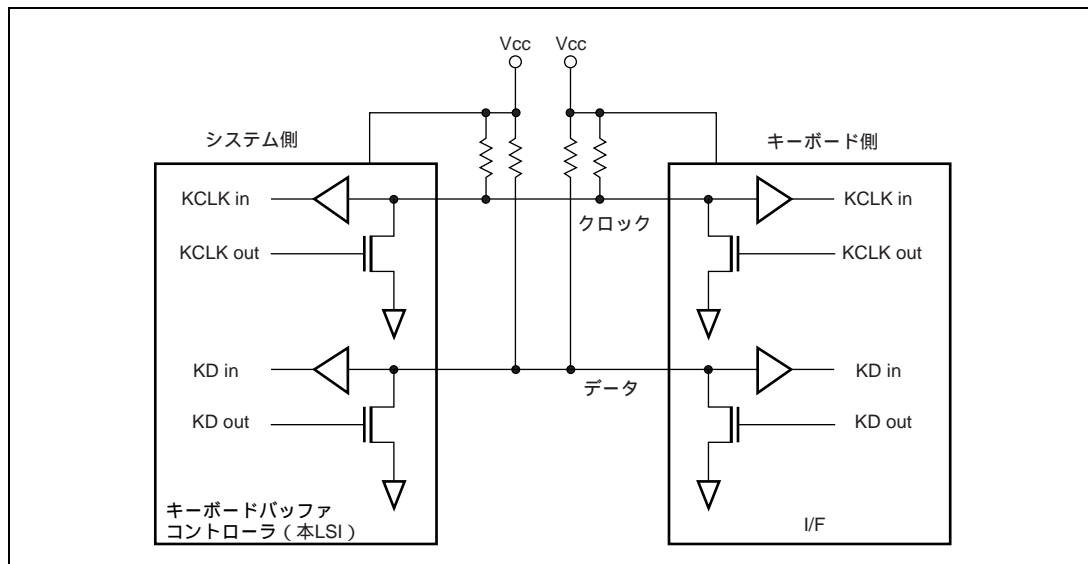


図 17.2 キーボードバッファコントローラ接続方法

## 17.2 入出力端子

キーボードバッファコントローラで使用する端子を表 17.1 に示します。

表 17.1 端子構成

チャンネル	名称	略称*	入出力	機能
0	KBC クロック入出力端子 (KCLK0)	PS2AC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD0)	PS2AD	入出力	KBC データ入出力
1	KBC クロック入出力端子 (KCLK1)	PS2BC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD1)	PS2BD	入出力	KBC データ入出力
2	KBC クロック入出力端子 (KCLK2)	PS2CC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD2)	PS2CD	入出力	KBC データ入出力

【注】 \* 外部入出力端子名です。本文中ではチャンネルを省略し、クロック入出力端子を KCLK、データ入出力端子を KD と記載します。



### 17.3 レジスタの説明

キーボードバッファコントローラにはチャンネルごとに以下のレジスタがあります。

- キーボードコントロールレジスタH (KBCRH)
- キーボードコントロールレジスタL (KBCRL)
- キーボードデータバッファレジスタ (KBBR)

#### 17.3.1 キーボードコントロールレジスタ H (KBCRH)

KBCRH は、キーボードバッファコントローラの動作状態を示します。

ビット	ビット名	初期値	R/W	説明
7	KBIOE	0	R/W	キーボードインアウトイネーブル キーボードバッファコントローラを使用するかしないかを選択します。 0: 本モジュールは非動作 (KCLK、KD 信号端子はポート機能状態) 1: 本モジュールは送受信可能 (KCLK、KD 信号端子はバス駆動状態)
6	KCLKI	1	R	キーボードクロックイン KCLK 入出力端子をモニタするビットです。ライトは無効です。 0: KCLK 入出力端子は Low レベル 1: KCLK 入出力端子は High レベル
5	KDI	1	R	キーボードデータイン KDI 入出力端子をモニタするビットです。ライトは無効です。 0: KD 入出力端子は Low レベル 1: KD 入出力端子は High レベル
4	KBFSEL	1	R/W	キーボードバッファレジスタフルセレクト KBF ビットをキーボードバッファレジスタフルフラグとして使用するか、 KCLK の立ち下がりによる割り込みフラグとして使用するかを選択します。 KBFSEL=0 として使用する場合には、KBCRL の KBE ビットを 0 にして受信 禁止状態にしてください。 0: KBF ビットを KCLK の立ち下がりによる割り込みフラグとして使用する 1: KBF ビットをキーボードバッファフルフラグとして使用する
3	KBIE	0	R/W	キーボードインタラプトイネーブル キーボードバッファコントローラから CPU に対する、割り込みの許可または 禁止を選択します。 0: 割り込み要求を禁止 1: 割り込み要求を許可

## 17. キーボードバッファコントローラ

ビット	ビット名	初期値	R/W	説明
2	KBF	0	R/(W)*	<p>キーボードバッファレジスタフル データの受信が完了し、受信したデータが KBBR に入っていることを示します。</p> <p>0: [クリア条件] KBF = 1 の状態をリードした後、0 をライトしたとき</p> <p>1: [セット条件] ・ KBFSEL = 1 の状態でデータが正常に受信され、KBBR ヘデータが転送されたとき (キーボードバッファレジスタフルフラグ) ・ KBFSEL = 0 の状態で KCLK の立ち下がりエッジを検出したとき (KCLK 割り込みフラグ)</p>
1	PER	0	R/(W)*	<p>パリティエラー 奇数パリティのエラーが発生したことを示します。</p> <p>0: [クリア条件] PER = 1 の状態でリードした後、0 をライトしたとき</p> <p>1: [セット条件] 奇数パリティのエラーが発生したとき</p>
0	KBS	0	R	<p>キーボードストップ 受信データのストップビットを示します。KBF = 1 のときのみ有効です。</p> <p>0: ストップビット 0 を受信 1: ストップビット 1 を受信</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 17.3.2 キーボードコントロールレジスタ L (KBCRL)

KBCRL は、受信カウンタのカウンタ許可、キーボードバッファコントローラ端子出力の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	KBE	0	R/W	キーボードイネーブル KBBR への受信データのロードの許可、または禁止を選択します。 0 : KBBR への受信データのロードを禁止 1 : KBBR への受信データのロードを許可
6	KCLKO	1	R/W	キーボードクロックアウト KBC クロック入出力端子の出力を制御します。 0 : KBC クロック入出力端子は Low レベル 1 : KBC クロック入出力端子は High レベル
5	KDO	1	R/W	キーボードデータアウト KBC データ入出力端子の出力を制御します。 0 : KBC データ入出力端子は Low レベル 1 : KBC データ入出力端子は High レベル
4	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	RXCR3	0	R	レシブカウンタ 受信したデータのビットを示します。KCLK の立ち下がりでカウントアップします。ライトは無効です。 レシブカウンタはリセット時および KBE の 0 ライト時に、0000 に初期化されます。また、ストップビット受信後、0000 に戻ります。  0000 : 0001 : スタートビット 0010 : KB0 0011 : KB1 0100 : KB2 0101 : KB3 0110 : KB4 0111 : KB5 1000 : KB6 1001 : KB7 1010 : パリティビット 1011 : 11 -- :
2	RXCR2	0	R	
1	RXCR1	0	R	
0	RXCR0	0	R	

## 17. キーボードバッファコントローラ

---

### 17.3.3 キーボードデータバッファレジスタ (KBBR)

KBBR は、受信データを格納します。

KBBR の値は、KBF=1 のときのみ有効です。

ビット	ビット名	初期値	R/W	説明
7	KB7	0	R	キーボードデータ 7~0 8 ビットの読み出し専用のデータです。 リセットまたはスタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、モジュールストップモード時、または KBIOE ビットが 0 にクリアされたときに、H'00 に初期化されます。
6	KB6	0	R	
5	KB5	0	R	
4	KB4	0	R	
3	KB3	0	R	
2	KB2	0	R	
1	KB1	0	R	
0	KB0	0	R	

## 17.4 動作説明

### 17.4.1 受信動作

受信動作では、KCLK (クロック)、KD (データ) とも、キーボード側が出力し、本デバイス (システム側) は、入力となります。KD は、スタートビット、データ 8 ビット (LSB から)、奇数パリティ、ストップビットの順で受信します。KD の値は、KCLK が Low レベルのとき有効です。受信処理フローチャートの例を図 17.3、受信タイミングを図 17.4 に示します。

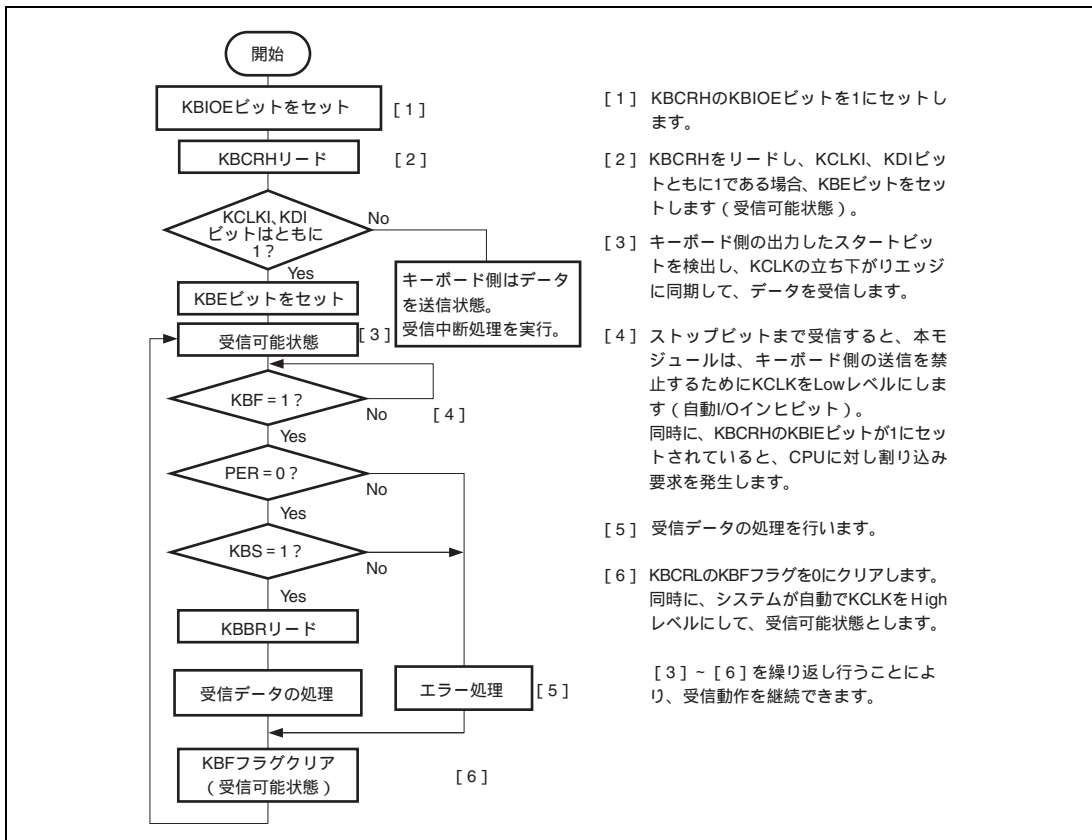


図 17.3 受信処理フローチャートの例

## 17. キーボードバッファコントローラ

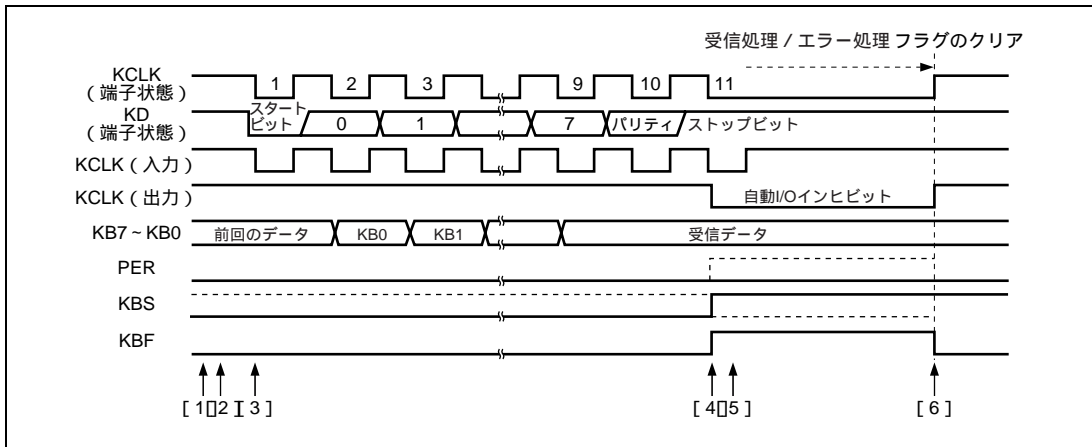


図 17.4 受信タイミング

### 17.4.2 送信動作

送信動作では、KCLK (クロック) は、キーボード側が出力し、KD (データ) は、本デバイス (システム側) が出力します。KD は、スタートビット、データ 8 ビット (LSB から)、奇数パリティ、ストップビットの順で、出力します。KD の値は、KCLK が High レベルのとき、有効です。送信処理フローチャートの例を図 17.5、送信タイミングを図 17.6 に示します。

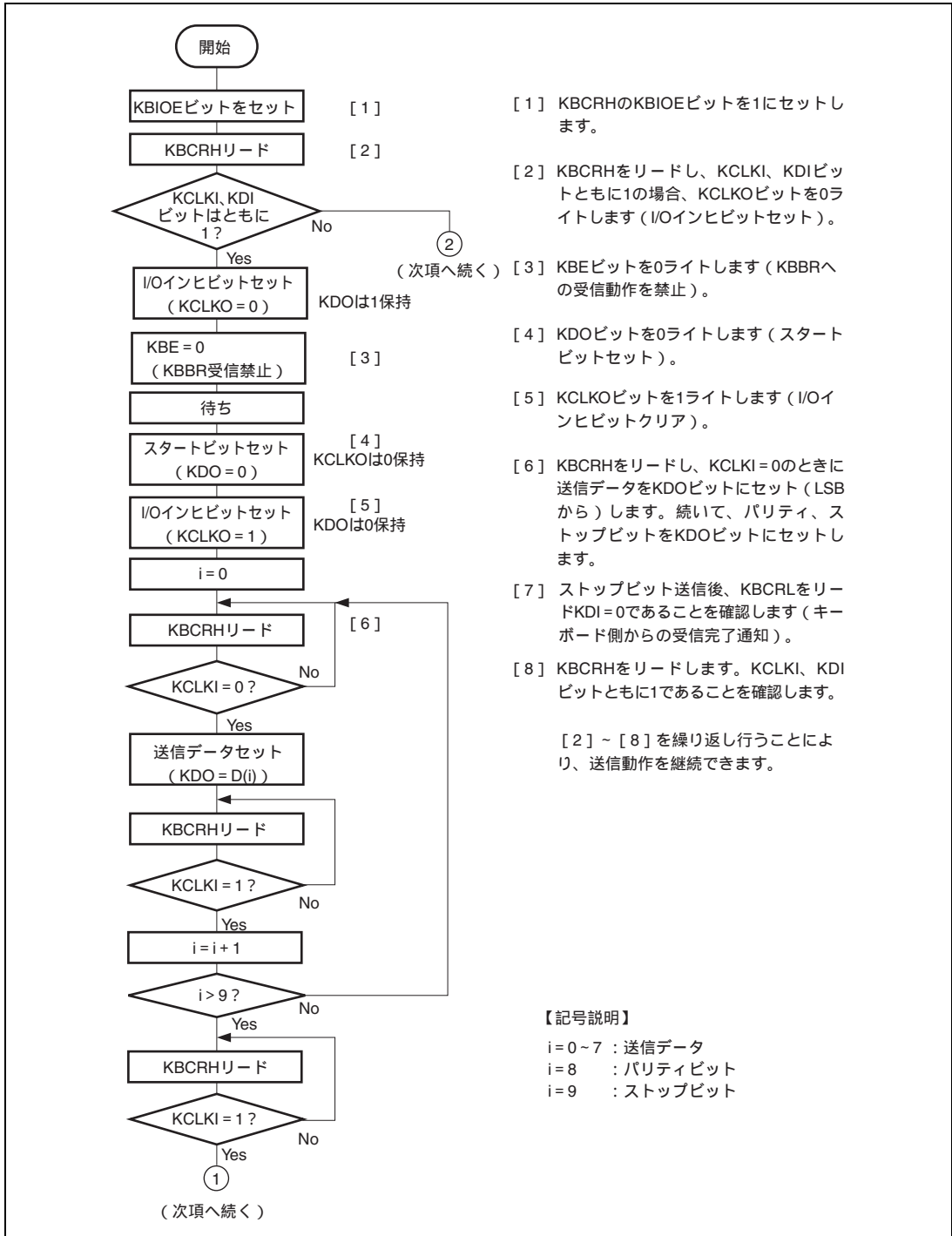


図 17.5 (1) 送信処理フローチャートの例

## 17. キーボードバッファコントローラ

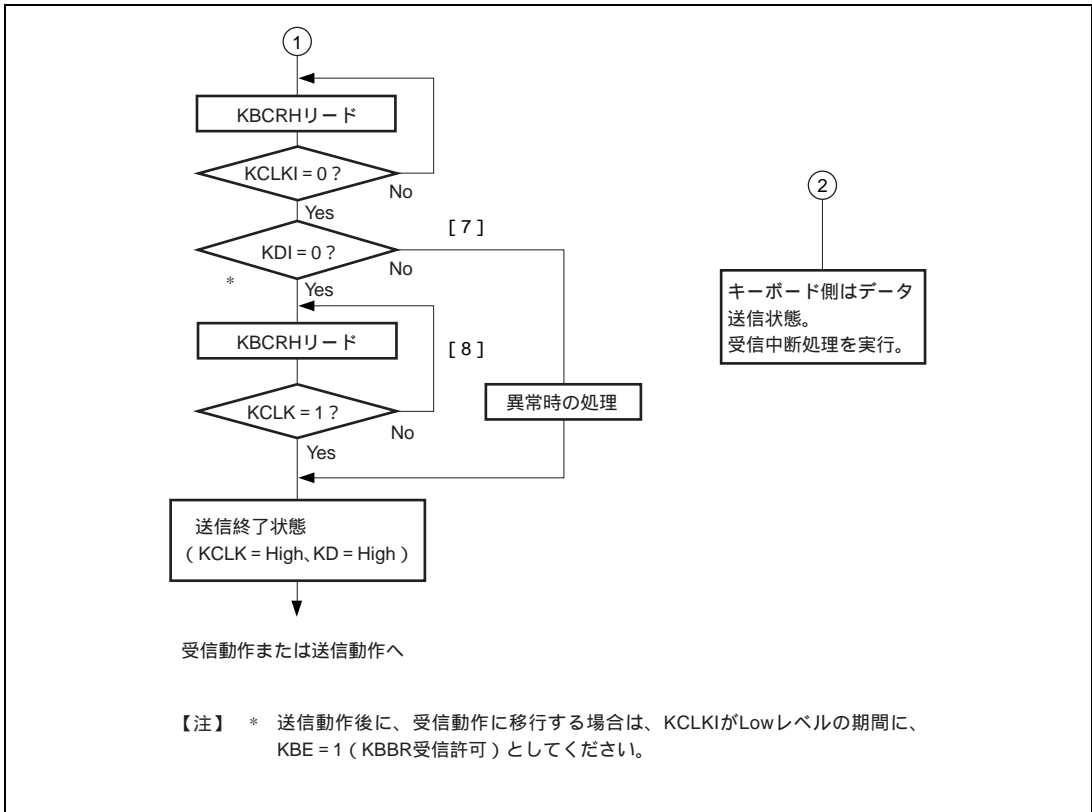


図 17.5 (2) 送信処理フローチャートの例

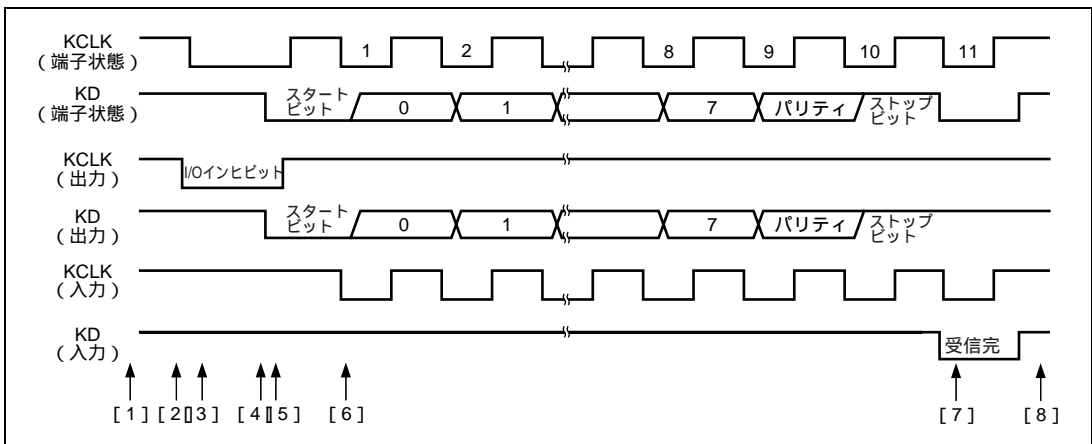


図 17.6 送信タイミング



17.4.3 受信中断動作

本 LSI (システム側) は、プロトコル異常発生時などに、本 LSI に接続されている LSI (キーボード側) からの送信を強制的に中断させることができます。この場合、システムはクロックを Low レベルに保持します。受信動作中は、キーボード側も同期用のクロックを出力していますが、キーボードからの出力クロックが High レベルのタイミングで、クロックを監視しています。このタイミングでクロックが Low レベルの場合、キーボードはシステムからの中断要求であると判断し、キーボード側からのデータ送信を中断します。このように、システムが一定期間クロックを Low レベルに保持することによって、受信動作を中断させることができます。受信中断処理フローチャートの例を図 17.7、受信中断タイミングを図 17.8 に示します。

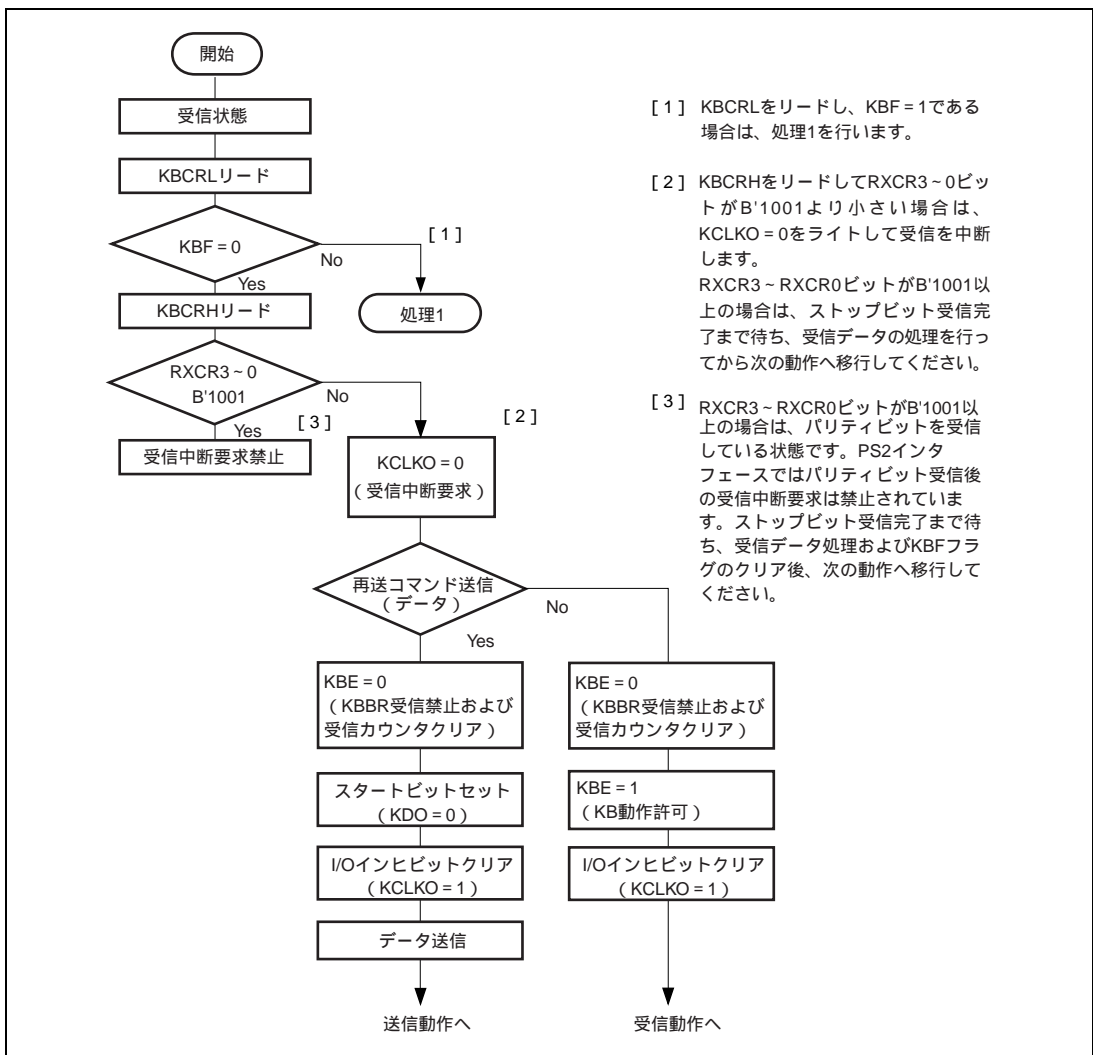


図 17.7 ( 1 ) 受信中断処理フローチャートの例

## 17. キーボードバッファコントローラ

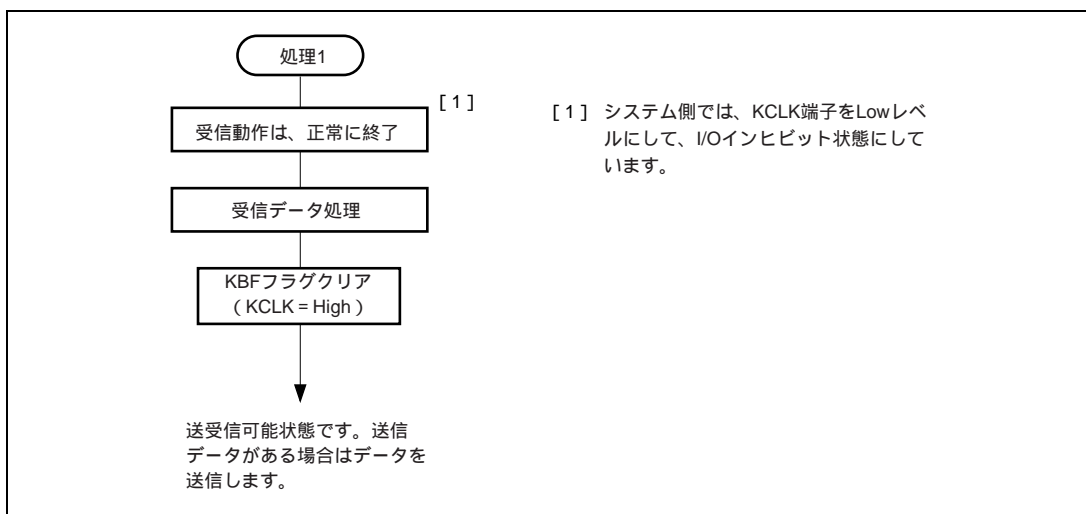


図 17.7 (2) 受信中断処理フローチャートの例

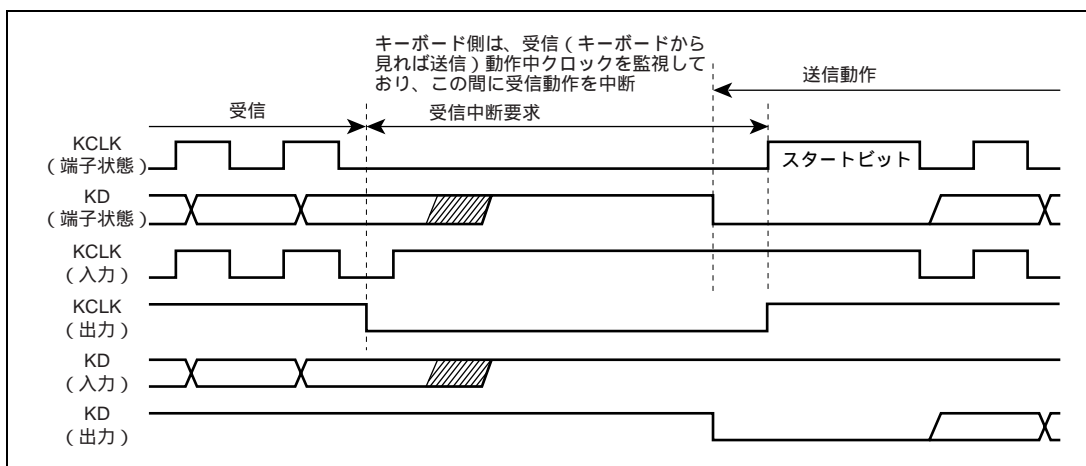


図 17.8 受信中断および送信開始（送 / 受信切り替え）タイミング

### 17.4.4 KCLKI、KDI リードタイミング

KCLKI、KDI リードタイミングを図 17.9 に示します。

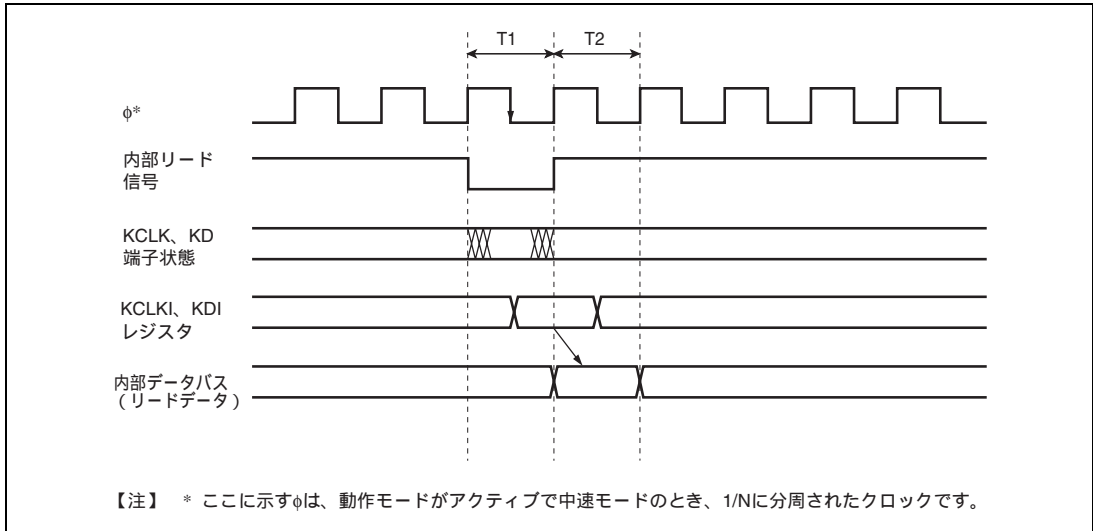


図 17.9 KCLKI、KDI のリードタイミング

### 17.4.5 KCLKO、KDO ライトタイミング

KCLKO、KDO ライトタイミングと KCLK、KD 端子状態を図 17.10 に示します。

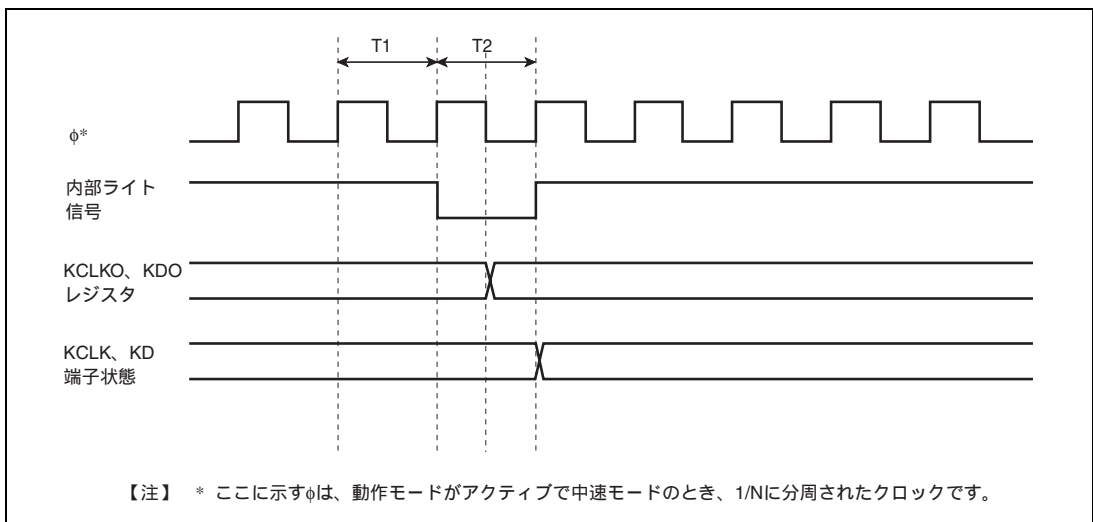


図 17.10 KCLKO、KDO のライトタイミング

### 17.4.6 KBF セットタイミングと KCLK 制御

KBF セットタイミングと KCLK 端子状態を図 17.11 に示します。

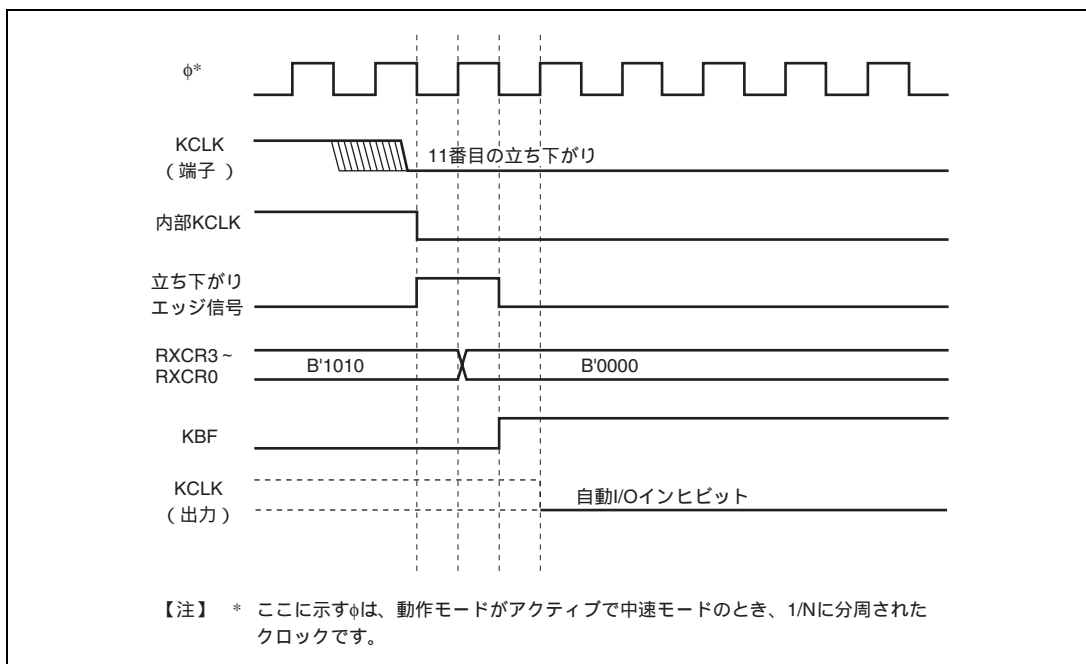


図 17.11 KBF セットと KCLK 自動 I/O インヒビット生成のタイミング

### 17.4.7 受信タイミング

受信タイミングを図 17.12 に示します。

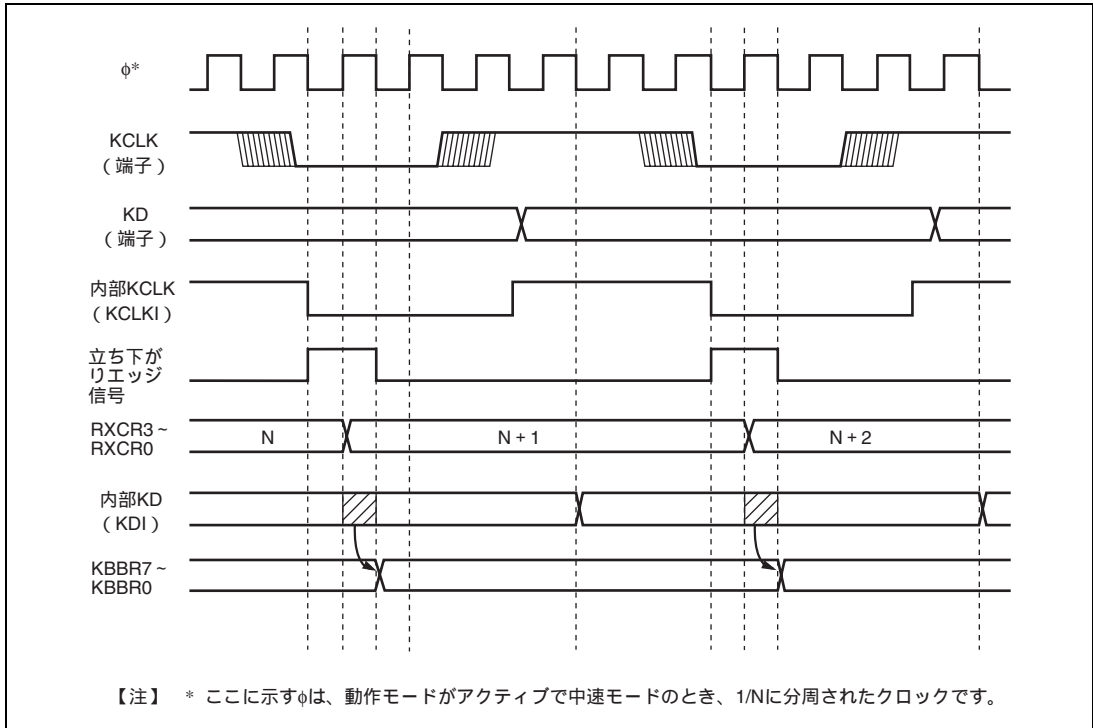


図 17.12 受信カウンタと KBBR へのデータロードのタイミング

### 17.4.8 KCLK 立ち下がり割り込みの動作

本 LSI は KBCRH の KBFSEL ビットを 0 にクリアすることにより、KBCRL の KBF ビットを KCLK 入力の立ち下がりによる割り込みフラグとして使用できます。

図 17.13 に設定方法、および動作例を示します。

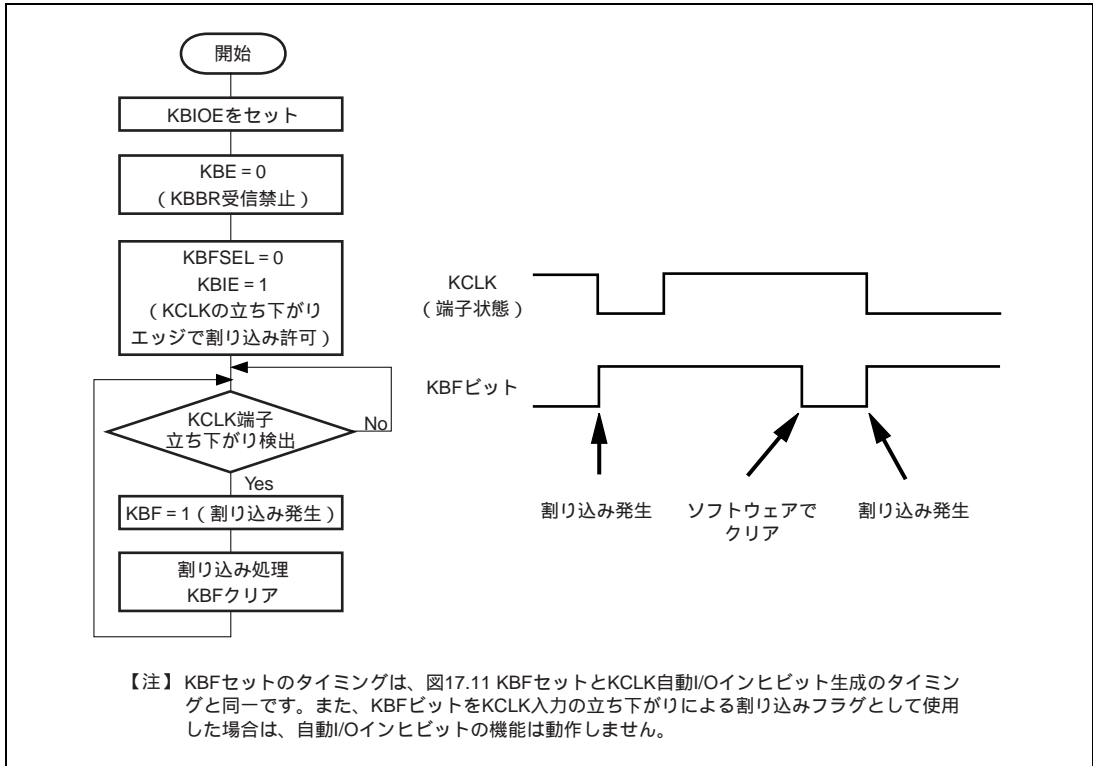


図 17.13 KCLK 入力の立ち下がりによる割り込み動作例

## 17.5 使用上の注意事項

### 17.5.1 KBIOE セットと KCLK 立ち下がりエッジ検出

KBIOE が 0 のとき、内部 KCLK、内部 KD は 1 に固定されています。したがって、KBIOE ビットを 1 にセットするときに、KCLK 端子が Low の場合、エッジ検出回路が動作し、KCLK 立ち下がりエッジを検出します。

このとき、KBFSEL ビットが 0、KBE ビットが 0 の場合、KBF ビットがセットされます。図 17.14 に KBIOE セットタイミングと KCLK 立ち下がりエッジ検出のタイミングを示します。

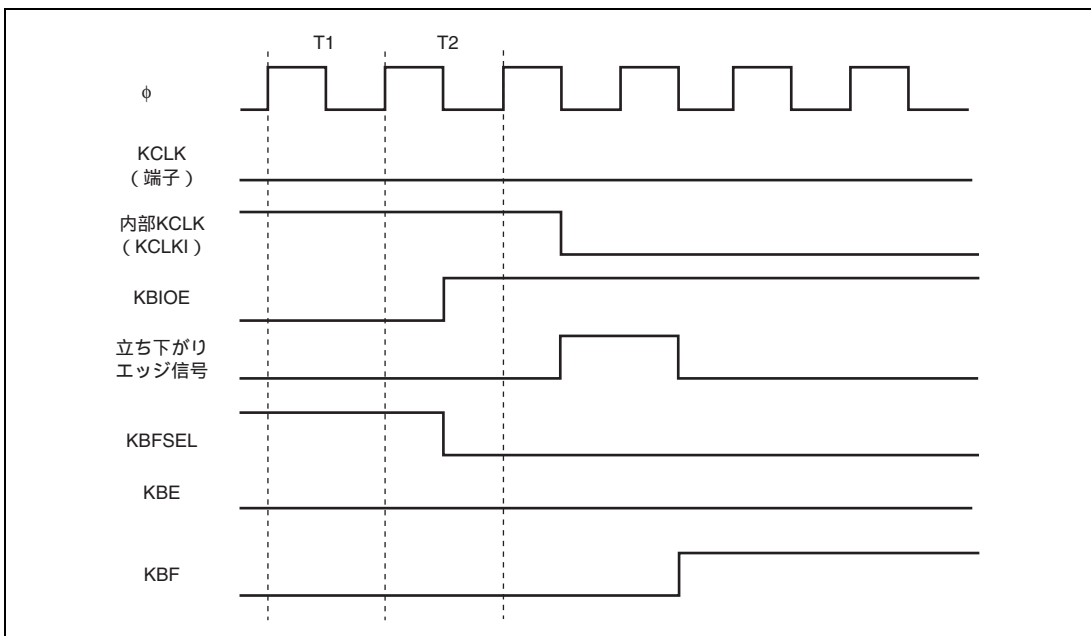


図 17.14 KBIOE セットと KCLK 立ち下がりエッジ検出のタイミング

### 17.5.2 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、キーボードバッファコントローラの動作停止/許可を設定することが可能です。初期値ではキーボードバッファコントローラの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力状態」を参照してください。

## 17. キーボードバッファコントローラ

---



---

## 18. ホストインタフェース X-BUS インタフェース (XBS)

---

本 LSI は、ISA バス (X-BUS) に接続可能なホストインタフェース (HIF: Host InterFace) を内蔵しています。また、LPC インタフェースを内蔵しています。以下、それぞれのホストインタフェース (HIF) を、XBS および LPC と略称します。

XBS は、本 LSI の内部 CPU とホストとの 4 チャンネルの平行インタフェース機能です。

ホストからの 7 つのコントロール信号 ( $\overline{CS1}$ 、 $\overline{CS2}$  または  $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、HA0、 $\overline{IOR}$ 、 $\overline{IOW}$ )、ホストへの 6 つの出力信号 (GA20、HIRQ1、HIRQ11、HIRQ12、HIRQ3、HIRQ4)、およびコマンド / データ入出力バスとしての 8 ビットデータバス (HDB7 ~ HDB0) を介してホストとの通信を行います。 $\overline{CS1}$ 、 $\overline{CS2}$  ( $\overline{ECS2}$ )、 $\overline{CS3}$  と  $\overline{CS4}$  信号は 4 つのインタフェースチャンネルのうち 1 つを選択する信号です。

### 18.1 特長

- 高速GATE A20機能対応
- HIFSD端子によりXBSモジュールのシャットダウンが可能
- 5つのホスト割り込み要求



## 18.2 入出力端子

XBS の入出力端子を表 18.1 に示します。

表 18.1 端子構成

名称	略称	ポート	入出力	機能
I/O リード	$\overline{\text{IOR}}$	P93	入力	ホストインタフェースリード信号
I/O ライト	$\overline{\text{IOW}}$	P94	入力	ホストインタフェースライト信号
チップセレクト 1	$\overline{\text{CS1}}$	P95	入力	IDR_1、ODR_1、STR_1 に対するホストインタフェースチップセレクト信号
チップセレクト 2*	$\overline{\text{CS2}}$	P81	入力	IDR_2、ODR_2、STR_2 に対するホストインタフェースチップセレクト信号
	$\overline{\text{ECS2}}$	P90		
チップセレクト 3	$\overline{\text{CS3}}$	PB2	入力	IDR_3、ODR_3、STR_3 に対するホストインタフェースチップセレクト信号
チップセレクト 4	$\overline{\text{CS4}}$	PB3	入力	IDR_4、ODR_4、STR_4 に対するホストインタフェースチップセレクト信号
コマンド/データ	HA0	P80	入力	ホストインタフェースアドレス選択信号 ホストリード時は、ステータスレジスタ (STR_1 ~ STR_4) かデータレジスタ (ODR_1 ~ ODR_4) かを選択します。ホストライト時は、データレジスタ (IDR_1 ~ IDR_4) へのライトが、コマンドライトかデータライトかを表します。
データバス	HDB7 ~ HDB0	P37 ~ P30	入出力	ホストインタフェースデータバス
ホスト割り込み 11	HIRQ11	P43	出力	ホスト割り込み要求出力 11 をホストへ出力
ホスト割り込み 1	HIRQ1	P44	出力	ホスト割り込み要求出力 1 をホストへ出力
ホスト割り込み 12	HIRQ12	P45	出力	ホスト割り込み要求出力 12 をホストへ出力
ホスト割り込み 3	HIRQ3	PB0	出力	ホスト割り込み要求出力 3 をホストへ出力
ホスト割り込み 4	HIRQ4	PB1	出力	ホスト割り込み要求出力 4 をホストへ出力
GATE A20	GA20	P81	出力	GATE A20 コントロール信号出力
HIF シャットダウン	HIFSD	P82	入力	ホストインタフェースのシャットダウン制御信号

【注】 \* STCR の CS2E ビットと HICR の FGA20E ビットの設定により、 $\overline{\text{CS2}}$  または  $\overline{\text{ECS2}}$  を選択することができます。XBS のチャンネル 2 および  $\overline{\text{CS2}}$  端子は、CS2E=1 のときに使用可能です。CS2E=1 のとき、FGA20E=0 で  $\overline{\text{CS2}}$  が有効になり、FGA20E=1 で  $\overline{\text{ECS2}}$  が有効になります。本文中では  $\overline{\text{CS2}}$  と略称します。

### 18.3 レジスタの説明

XBS には以下のレジスタがあります。XBS のレジスタのうち HICR、IDR\_1、IDR\_2、ODR\_1、ODR\_2、STR\_1、STR\_2 の各レジスタは、SYSCR の HIE ビットが 1 の場合にのみアクセス可能です。SYSCR についての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- システムコントロールレジスタ2 (SYSCR2)
- ホストインタフェースコントロールレジスタ (HICR)
- ホストインタフェースコントロールレジスタ2 (HICR2)
- 入力データレジスタ (IDR)
- 出力データレジスタ (ODR)
- ステータスレジスタ (STR)

#### 18.3.1 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、ポート 6 とホストインタフェースの動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	KWUL1	0	R/W	キーウェイクアップレベル 1、0
6	KWUL0	0	R/W	ポート 6 の入力レベルを設定します。ポート 6 兼用端子の入力レベルも切り替わります。 00: ポート 6 は標準入力レベル 01: ポート 6 は入力レベル 1 10: ポート 6 は入力レベル 2 11: ポート 6 は入力レベル 3
5	P6PUE	0	R/W	ポート 6 入力プルアップ MOS エクストラ ポート 6 入力プルアップ MOS の電流仕様を選択します。 0: 標準電流仕様 1: 電流制限仕様
4		0		リザーブビット 1 をライトしないでください。
3	SDE	0	R/W	シャットダウンイネーブル 0: ホストインタフェース端子のシャットダウン機能を禁止 1: ホストインタフェース端子のシャットダウン機能を許可 シャットダウン機能許可時は HIFSD 端子の状態により、ホストインタフェース端子機能を停止させ出力をハイインピーダンスにすることができます。

## 18. ホストインタフェース X-BUS インタフェース (XBS)

ビット	ビット名	初期値	R/W	説明
2	CS4E	0	R/W	CS4 イネーブル 0: チャンネル4の機能を禁止 1: チャンネル4の機能を許可 (チャンネル4の端子がイネーブルとなります。) HI12E ビットが1のときに、許可の設定が有効です。
1	CS3E	0	R/W	CS3 イネーブル 0: チャンネル3の機能を禁止 1: チャンネル3の機能を許可 (チャンネル3の端子がイネーブルとなります。) HI12E ビットが1のときに、許可の設定が有効です。
0	HI12E	0	R/W	ホストインタフェースイネーブルビット 0: ホストインタフェースの機能を禁止 1: ホストインタフェースの機能を許可 (CS2E ~ CS4E、FGA20E、SDE ビットの設定が有効になります。) シングルチップモードのときに、許可の設定が有効です。

### 18.3.2 ホストインタフェースコントロールレジスタ (HICR) ホストインタフェースコントロールレジスタ 2 (HICR2)

HICR は、ホストインタフェースチャンネル 1、2 の割り込みと高速 GATE A20 機能を制御します。また、HICR2 は、ホストインタフェースチャンネル 3、4 の割り込みを制御します。

• HICR

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~3		すべて 1			リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	IBFIE2	0	R/W		入力データレジスタフル割り込みイネーブル 2 内部 CPU に対して IBF2 割り込みを許可または禁止します。 0: 入力データレジスタ (IDR_2) 受信完了割り込み要求を禁止 1: 入力データレジスタ (IDR_2) 受信完了割り込み要求を許可
1	IBFIE1	0	R/W		入力データレジスタフル割り込みイネーブル 1 内部 CPU に対して IBF1 割り込みを許可または禁止します。 0: 入力データレジスタ (IDR_1) 受信完了割り込み要求を禁止 1: 入力データレジスタ (IDR_1) 受信完了割り込み要求を許可

## 18. ホストインタフェース X-BUS インタフェース (XBS)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
0	FGA20E	0	R/W		<p>高速 GATE A20 イネーブルビット</p> <p>P81DDR = 0 のとき</p> <p>0 : XBS の高速 GATE A20 機能を禁止</p> <p>1 : 設定禁止</p> <p>P81DDR = 1 のとき</p> <p>0 : XBS の高速 GATE A20 機能を禁止</p> <p>1 : XBS の高速 GATE A20 機能を許可</p> <p>高速 GATE A20 が禁止された場合、通常の GATE A20 は P81 出力をファームウェアで操作することで実現できます。ホストインタフェース (XBS) の高速 GATE A20 機能を許可する場合には、P81 の DDR ビットを 1 にセットしてください。そのため、P81 の DR をリードしても、P81/GA20 端子の状態をモニタすることはできません。高速 GATE A20 機能は、LPC にも存在します。P81/GA20 端子の状態をモニタする場合は、LPC の GA20 ビットをリードしてください。</p>

### • HICR2

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~3		すべて 1			<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
2	IBFIE4	0	R/W		<p>入力データレジスタフル割り込みイネーブル 4</p> <p>内部 CPU に対して IBF4 割り込みを許可または禁止します。</p> <p>0 : 入力データレジスタ (IDR_4) 受信完了割り込み要求を禁止</p> <p>1 : 入力データレジスタ (IDR_4) 受信完了割り込み要求を許可</p>
1	IBFIE3	0	R/W		<p>入力データレジスタフル割り込みイネーブル 3</p> <p>内部 CPU に対して IBF3 割り込みを許可または禁止します。</p> <p>0 : 入力データレジスタ (IDR_3) 受信完了割り込み要求を禁止</p> <p>1 : 入力データレジスタ (IDR_3) 受信完了割り込み要求を許可</p>
0		0			<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

### 18.3.3 入力データレジスタ (IDR)

IDR は、ホストからスレーブ (本 LSI) に対して入力されるデータが格納されるレジスタです。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IDR7		R	W	CS $\bar{n}$ (n=1~4) が Low レベルの時に、IO $\bar{W}$ の立ち上がりエッジで、ホストデータバスの内容が IDR $_n$ にライトされます。HA0 の状態は STR $_n$ の C/ $\bar{D}$ ビットに反映され、コマンドライトとデータライトの識別に用いられます。
6	IDR6		R	W	
5	IDR5		R	W	
4	IDR4		R	W	
3	IDR3		R	W	
2	IDR2		R	W	
1	IDR1		R	W	
0	IDR0		R	W	

### 18.3.4 出力データレジスタ (ODR)

ODR は、スレーブ (本 LSI) からホストに対して出力されるデータを格納するレジスタです。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	ODR7		R/W	R	HA0 が Low レベル、CS $\bar{n}$ (n=1~4) が Low レベルのとき、IO $\bar{R}$ が Low レベルとき、ホストデータバスへ ODR $_n$ の内容が出力されます。
6	ODR6		R/W	R	
5	ODR5		R/W	R	
4	ODR4		R/W	R	
3	ODR3		R/W	R	
2	ODR2		R/W	R	
1	ODR1		R/W	R	
0	ODR0		R/W	R	

### 18.3.5 ステータスレジスタ (STR)

STR は、ホストインタフェース処理中の状態を表示します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~4	DBU	すべて 0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。

## 18. ホストインタフェース X-BUS インタフェース (XBS)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	C/D	0	R	R	コマンド/データ ホストが IDR に対してライトを行ったときの、HA0 の状態がライトされ、IDR の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDR) の内容はデータ 1: 入力データレジスタ (IDR) の内容はコマンド
2	DBU	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF	0	R	R	入力データレジスタフル スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。高速 GATE A20 を使用しているときは IBF フラグのセット/クリア条件が変わります。詳細は表 18.5 を参照してください。 0: [クリア条件] スレーブが IDR をリード 1: [セット条件] ホストが IDR にライト
0	OBF	0	R/(W)*	R	出力データレジスタフル 0: [クリア条件] ホストが ODR をリード、またはスレーブが OBF ビットに 0 ライト 1: [セット条件] スレーブが ODR にライト

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

表 18.2 に STR のフラグをセット/クリアするタイミングを示します。

表 18.2 STR のフラグのセット/クリアタイミング

フラグ	セット条件	クリア条件
C/D	HA0 が High レベルのときのホストライト ( $\overline{IO\overline{W}}$ ) 信号の立ち上がりエッジ	HA0 が Low レベルのときのホストライト ( $\overline{IO\overline{W}}$ ) 信号の立ち上がりエッジ
IBF*	IDR ヘライトするためのホストライト ( $\overline{IO\overline{W}}$ ) 信号の立ち上がりエッジ	IDR からリードするためのスレーブの内部リード信号の立ち下がりエッジ
OBF	ODR ヘライトするためのスレーブの内部ライト信号の立ち下がりエッジ	ODR からリードするためのホストリード ( $\overline{IO\overline{R}}$ ) 信号の立ち上がりエッジ

【注】 \* 高速 GATE A20 を使用しているときは、IBF フラグのセット/クリア条件が変わります。詳細は、表 18.5 を参照してください。



## 18.4 動作説明

### 18.4.1 ホストインタフェースの起動

シングルチップモードで SYSCR2 の HI12E ビットを 1 にセットすることによりホストインタフェースが起動します。ホストインタフェースを起動することにより、関連する I/O ポート (データ用ポート 3、コントロール用ポート 8 およびポート 9、ホスト割り込み要求用ポート 4) はすべてホストインタフェース専用となります。さらに CS3E ビットおよび CS4E ビットを 1 にセットすることにより、ホストインタフェースのチャンネル数を 4 チャンネルまで拡張することが可能となり、チャンネル 3、4 の関連する I/O ポート (コントロールおよびホスト割り込み要求用ポート B の一部) がホストインタフェース専用となります。

表 18.3 にホストインタフェースのホストインタフェースチャンネルの選択と端子の動作を示します。

表 18.3 ホストインタフェースチャンネルの選択と端子の動作

HI12E	CS2E	CS3E	CS4E	動作
0	—	—	—	ホストインタフェース機能停止
1	0	0	0	ホストインタフェースチャンネル 1 のみ動作 チャンネル 2~4 は動作停止 (P43、P81、P90、PB0~PB3 各端子機能は入出力ポートとして動作し、 $\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 入力は動作しません。)
			1	ホストインタフェースチャンネル 1、4 の機能が動作 チャンネル 2~3 は動作停止 (P43、P81、P90、PB0、PB2 各端子機能は入出力ポートとして動作し、 $\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS3}$ 入力は動作しません。)
		1	0	ホストインタフェースチャンネル 1、3 の機能が動作 チャンネル 2、4 は動作停止 (P43、P81、P90、PB1、PB3 各端子機能は入出力ポートとして動作し、 $\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS4}$ 入力は動作しません。)
			1	ホストインタフェースチャンネル 1、3、4 の機能が動作 チャンネル 2 は動作停止 (P43、P81、P90 各端子機能は入出力ポートとして動作し、 $\overline{CS2}$ または $\overline{ECS2}$ 入力は動作しません。)
	1	0	0	ホストインタフェースチャンネル 1、2 の機能が動作 チャンネル 3、4 は動作停止 (PB0~PB3 各端子機能は入出力ポートとして動作し、 $\overline{CS3}$ 、 $\overline{CS4}$ 入力は動作しません。)
			1	ホストインタフェースチャンネル 1、2、4 の機能が動作 チャンネル 3 は動作停止 (PB0、PB2 各端子機能は入出力ポートとして動作し、 $\overline{CS3}$ 入力は動作しません。)
		1	0	ホストインタフェースチャンネル 1~3 の機能が動作 チャンネル 4 は動作停止 (PB1、PB3 各端子機能は入出力ポートとして動作し、 $\overline{CS4}$ 入力は動作しません。)
			1	ホストインタフェースチャンネル 1~4 の機能が動作

## 18. ホストインタフェース X-BUS インタフェース (XBS)

### 18.4.2 コントロール状態

表 18.4 にホストインタフェースのホストからのホストインタフェース操作とスレーブ (本 LSI) の動作を示します。

表 18.4 ホストからのホストインタフェース操作とスレーブの動作

$\overline{\text{CS}}_n$ 以外	$\overline{\text{CS}}_n$	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$	HA0	動 作	
1	0	0	0	0	設定禁止	
				1	設定禁止	
			1	0	出力データレジスタ $_n$ (ODR $_n$ ) からデータをリード	
				1	ステータスレジスタ $_n$ (STR $_n$ ) からステータスをリード	
		1	0	0	0	入力データレジスタ $_n$ (IDR $_n$ ) へデータをライト
					1	入力データレジスタ $_n$ (IDR $_n$ ) へコマンドをライト
			1	0	0	アイドル状態
					1	アイドル状態

(n=1~4)

### 18.4.3 GATE A20

GATE A20 は 8086\*系 CPU を使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレス A20 をマスクすることができます。本出力は通常 GATE A20 としてファームウェアで制御されますが、HICR の FGA20E ビットを 1 にセットすることによりハードウェアで処理速度を上げた、高速 GATE A20 機能を使用することが可能です。

【注】 \* 米国インテル社のマイクロプロセッサの名称です。

#### (1) 通常の GATE A20 の動作

H'D1 コマンドとデータの組み合わせで GATE A20 の出力を制御することができます。スレーブ (本 LSI) がデータを受信するときは、通常は IBF1 割り込みによる割り込みルーチン使用して IDR1 をリードします。このとき、ファームウェアにより H'D1 コマンドに続くデータのビット 1 の値をコピーして GATE A20 端子に出力します。

#### (2) 高速 GATE A20 の動作

FGA20E ビットを 1 にセットすると、P81/GA20 は高速 GA20 信号の専用端子となります。P81 を出力端子として割り当てるために P81 の DDR ビットを 1 にセットしてください。P81 の DDR ビットを 1 にセットすると、P81 の DR をリードしても P81/GA20 端子の状態をモニタすることはできません。P81/GA20 端子の状態をモニタする場合は、LPC の HICR2 の GA20 ビットをリードしてください。端子は最初に初期値である 1 を出力します。その後ホストはコマンド / データを送ることにより本端子の出力を操作することができます。本機能は  $\overline{\text{CS}}_1$  によりアクセスされる IDR1 レジスタによってのみ使用できます。この場合、スレーブ (本 LSI) はホストから入力されてくるコマンドをデコードします。ホストコマンド H'D1 が検出されると、このホストコマンドに続くデータのビット 1 が GA20 出力端子から出力されます。本動作は、ファームウェアや割り込みに依存しないため、通常の割り込みを使用した処理よりも高速です。表 18.5 に GA20 (P81) のセット / クリアの条件を、図 18.2 に GA20 出力のフローを示します。また、表 18.6 に GA20 出力信号の値を示します。

表 18.5 GA20 (P81) のセット/クリアタイミング

端子名	セット条件	クリア条件
GA20 (P81)	H'D1 ホストコマンドに続くデータのビット1が1のときに、ホストライト信号 (IOW) の立ち上がりエッジが入力されたとき	H'D1 ホストコマンドに続くデータのビット1が0のときに、ホストライト信号 (IOW) の立ち上がりエッジが入力されたとき または、HICR の FGA20E ビットを0クリアしたとき

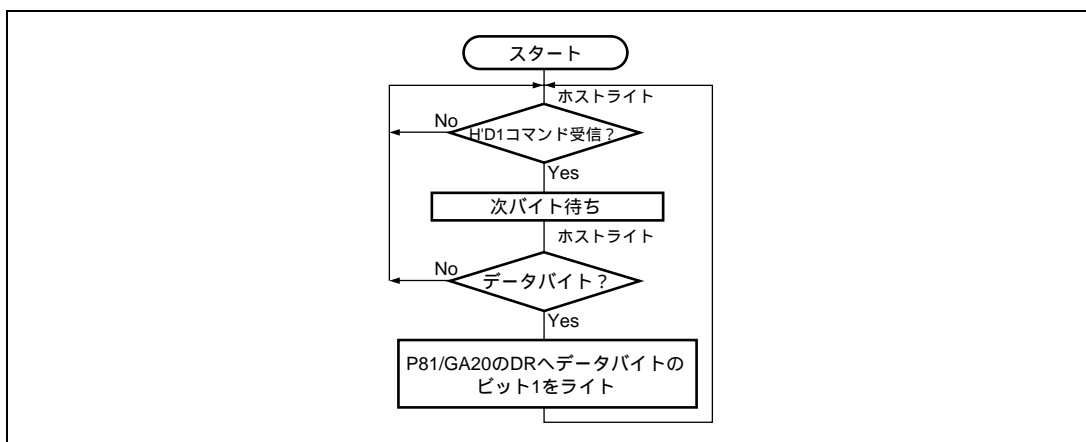


図 18.2 GA20 出力

## 18. ホストインタフェース X-BUS インタフェース (XBS)

表 18.6 高速 GATE A20 出力信号

HA0	データ / コマンド	内部 CPU 割り込みフラグ (IBF)	GA20 (P81)	備考
1	H'D1 コマンド	0	Q	ターンオン
0	1 データ*1	0	1	シーケンス
1	H'FF コマンド	0	Q (1)	
1	H'D1 コマンド	0	Q	ターンオフ
0	0 データ*2	0	0	シーケンス
1	H'FF コマンド	0	Q (0)	
1	H'D1 コマンド	0	Q	ターンオン
0	1 データ*1	0	1	シーケンス
1 / 0	H'FF · H'D1 コマンド以外	1	Q (1)	(短縮形)
1	H'D1 コマンド	0	Q	ターンオフ
0	0 データ*2	0	0	シーケンス
1 / 0	H'FF · H'D1 コマンド以外	1	Q (0)	(短縮形)
1	H'D1 コマンド	0	Q	シーケンス
1	H'D1 以外のコマンド	1	Q	の取消し
1	H'D1 コマンド	0	Q	シーケンス
1	H'D1 コマンド	0	Q	の再トリガ
1	H'D1 コマンド	0	Q	シーケンス
0	任意のデータ	0	1 / 0	の連続実行
1	H'D1 コマンド	0	Q (1 / 0)	

【注】 \*1 ビット 1 が 1 の任意のデータ

\*2 ビット 1 が 0 の任意のデータ

### 18.4.4 ホストインタフェース端子シャットダウン機能

HIFSD 端子の状態により、ホストインタフェース出力をハイインピーダンスにすることができます。HI12E ビットが 1 のときに、SYSCR2 レジスタの SDE ビットを 1 にセットすることにより、HIFSD 端子がイネブルになります。ホストインタフェースは HIFSD 端子を常にモニタし、HIFSD 端子が Low レベルになるとホストインタフェース出力端子 (HIRQ1、HIRQ11、HIRQ12、HIRQ3、HIRQ4、GA20) をハイインピーダンスにします。同時にホストインタフェース入力端子 ( $\overline{CS1}$ 、 $\overline{CS2}$  または  $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{IOW}$ 、 $\overline{IOR}$ 、HA0) は端子の状態にかかわらずディスエーブル状態 (内部で High 入力状態に固定) となり、同様にこれらの端子の兼用機能 (入力部) も内部で信号固定されます。これにより、ホストインタフェース入出力端子 (HDB7 ~ HDB0) もハイインピーダンス状態になります。

HIFSD 端子が Low の期間中この状態を保持し、HIFSD 端子を High レベルに戻すと、各端子は通常のホストインタフェース用端子としての動作を復帰します。

表 18.7 にホストインタフェース端子シャットダウン範囲を示します。

表 18.7 ホストインタフェース端子シャットダウン範囲

略称	ポート	シャット ダウン範囲	入出力	選択条件
$\overline{I\!O\!R}$	P93		入力	HI12E=1
$\overline{I\!O\!W}$	P94		入力	HI12E=1
$\overline{CS1}$	P95		入力	HI12E=1
$\overline{CS2}$	P81		入力	HI12E=1 かつ CS2E=1 かつ FGA20E=0
$\overline{ECS2}$	P90		入力	HI12E=1 かつ CS2E=1 かつ FGA20E=1
$\overline{CS3}$	PB2		入力	HI12E=1 かつ CS3E=1
$\overline{CS4}$	PB3		入力	HI12E=1 かつ CS4E=1
HA0	P80		入力	HI12E=1
HDB7 ~ HDB0	P37 ~ P30		入出力	HI12E=1
HIRQ11	P43		出力	HI12E=1 かつ CS2E=1 かつ P43DDR=1
HIRQ1	P44		出力	HI12E=1 かつ P44DDR=1
HIRQ12	P45		出力	HI12E=1 かつ P45DDR=1
HIRQ3	PB0		出力	HI12E=1 かつ CS3E=1 かつ PB0DDR=1
HIRQ4	PB1		出力	HI12E=1 かつ CS4E=1 かつ PB1DDR=1
GA20	P81		出力	HI12E=1 かつ FGA20E=1
HIFSD	P82	—	入力	HI12E=1 かつ SDE=1

## 【記号説明】

：シャットダウン機能によりシャットダウンされる端子

なお、P90 シャットダウン時は  $\overline{IRQ2/ADTRG}$ 、P43 シャットダウン時は  
TMCH1/HSYNCl、P45 シャットダウン時は TMRI/CSYNCl の各入力信号も固定されます。

：レジスタの設定による XBS 機能選択時のみシャットダウンされる端子

—：シャットダウンされない端子

## 18.5 割り込み要因

## 18.5.1 IBF1、IBF2、IBF3、IBF4

ホストインタフェースはスレーブ(本 LSI)に対して IBF1、IBF2、IBF3、IBF4 の 4 つの割り込み要求があります。これらはそれぞれ入力データレジスタ IDR\_1、IDR\_2、IDR\_3、IDR\_4 についての入力バッファフル割り込みです。割り込み要求は対応するイネーブルビットをセットすることにより許可されます。

表 18.8 入力バッファフル割り込み

割り込み	説明
IBF1	IBFIE1 が 1 にセットされた状態で、IDR_1 が受信完了になったときに要求
IBF2	IBFIE2 が 1 にセットされた状態で、IDR_2 が受信完了になったときに要求
IBF3	IBFIE3 が 1 にセットされた状態で、IDR_3 が受信完了になったときに要求
IBF4	IBFIE4 が 1 にセットされた状態で、IDR_4 が受信完了になったときに要求

## 18.5.2 HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4

ポート 4 データレジスタ (P4DR) の P45DR ~ P43DR ビットおよびポート B 出力データレジスタ (PBODR) の PB1ODR ~ PB0ODR ビットは、SYSCR2 レジスタ HI12E = 1 のときホスト割り込み要求ラッチとして使用できます。

ホスト割り込み要求出力として使用する場合は当該端子のデータディレクションレジスタ (DDR) の各ビットを 1 に設定してください。

P4DR の対応するビットはホストリード ( $\overline{IOR}$ ) によって 0 にクリアされます。 $\overline{CS1}$  が Low レベル、HA0 が Low レベルのとき、ホストリード ( $\overline{IOR}$ ) で ODR\_1 をリードすると HIRQ1 と HIRQ12 が 0 にクリアされます。 $\overline{CS2}$  が Low レベル、HA0 が Low レベルのときホストリード ( $\overline{IOR}$ ) で ODR\_2 をリードすると HIRQ11 が 0 にクリアされます。また、PBODR の対応するビットはホストリード ( $\overline{IOR}$ ) によって 0 にクリアされます。 $\overline{CS3}$  が Low レベル、HA0 が Low レベルのとき、ホストリード ( $\overline{IOR}$ ) で ODR\_3 をリードすると HIRQ3 が 0 にクリアされます。 $\overline{CS4}$  が Low レベル、HA0 が Low レベルのときホストリード ( $\overline{IOR}$ ) で ODR\_4 をリードすると HIRQ4 が 0 にクリアされます。通常、内蔵ファームウェアはホスト割り込み要求を発生させるために、対応するビットに 1 をライトします。ホストは割り込み処理を起動し、割り込み処理で出力データレジスタ (ODR\_1 ~ ODR\_4) をリードします。このときのホストリードによってホスト割り込みラッチが 0 にクリアされます。

表 18.9 にこれらのビットのセットとクリアの方法を示します。また、図 18.3 に処理フローを示します。

表 18.9 HIRQ のセット/クリア

ホスト 割り込み信号	セット条件	クリア条件
HIRQ11 (P43)	内部 CPU が、P43DR ビットの 0 リード後、1 をライト	P43DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ_2 (ODR_2) をホストリード
HIRQ1 (P44)	内部 CPU が、P44DR ビットの 0 リード後、1 をライト	P44DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ_1 (ODR_1) をホストリード
HIRQ12 (P45)	内部 CPU が、P45DR ビットの 0 リード後、1 をライト	P45DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ_1 (ODR_1) をホストリード
HIRQ3 (PB0)	内部 CPU が、PB0ODR ビットの 0 リード後、1 をライト	PB0ODR ビットに内部 CPU から 0 ライト、 または出力データレジスタ_3 (ODR_3) をホストリード
HIRQ4 (PB1)	内部 CPU が、PB1ODR ビットの 0 リード後、1 をライト	PB1ODR ビットに内部 CPU から 0 ライト、 または出力データレジスタ_4 (ODR_4) をホストリード

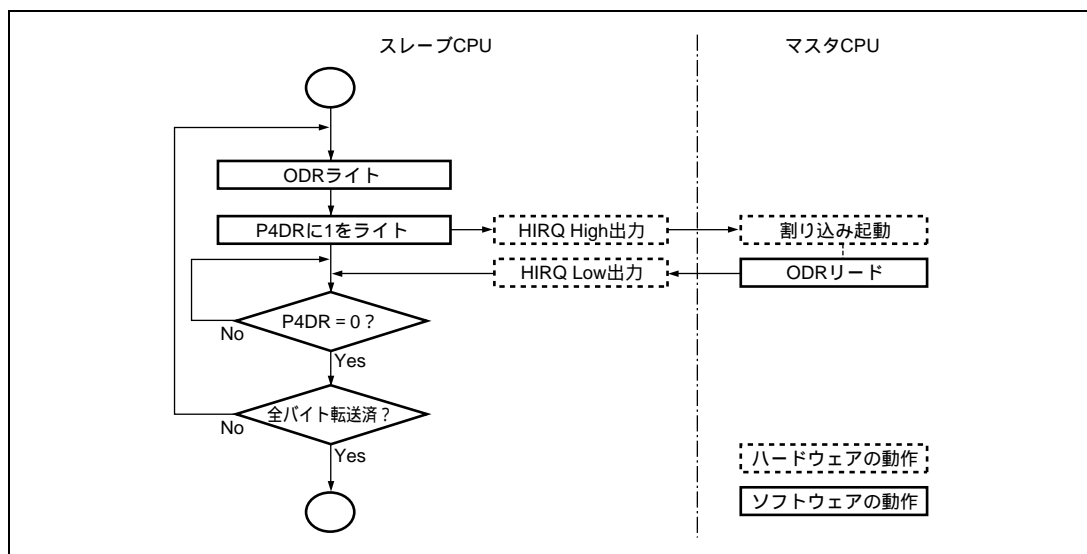


図 18.3 HIRQ 出力の利用フロー（チャンネル 1、2 の例）

- HIRQ のセット / クリアの競合

CPU による P4DR または PBODR のリード / ライトと、ホストからの P4DR (HIRQ11、HIRQ1、HIRQ12) または PBODR (HIRQ3、HIRQ4) のクリアが競合した場合、ホストによるクリアが CPU による P4DR または PBODR のリード / ライト期間中は、保留されます。P4DR あるいは PBODR のクリアは、リード / ライト終了後実行されます。

## 18.6 使用上の注意事項

### 18.6.1 ホストインタフェース使用上の注意

ホストインタフェースはホストとスレーブ（本 LSI）からの非同期データのバッファリングを提供しています。必要な機能を実現し、データの競合を防ぐためにはインタフェースのプロトコルが必要です。たとえば、ホストとスレーブ（本 LSI）が同時に IDR や ODR をアクセスしようとする、データは破壊されてしまいます。これには、割り込みを用いた、簡単な手順を構成することが有効です。

また、 $\overline{CS1}$  ~  $\overline{CS4}$  の各端子のうち 2 本以上を同時に Low レベルにして IDR や ODR をアクセスしようすると、チップ内部での信号の競合が発生し、貫通電流が流れることがあります。このような使い方はしないでください。

### 18.6.2 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、XBS の動作停止 / 許可を設定することが可能です。初期値では XBS の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力状態」を参照してください。

## 18. ホストインタフェース X-BUS インタフェース (XBS)

---



---

## 19. ホストインタフェース LPC インタフェース(LPC)

---

本 LSI は、LPC インタフェースを内蔵しています。

LPC は、33MHz の PCI クロックに同期して、転送の種類、アドレスおよびデータをシリアルに転送します。アドレス/データ用に 4 本、ホスト割り込み要求用に 1 本の信号線を用います。本モジュールは I/O リードサイクルおよび I/O ライトサイクルの転送にのみ対応します。

そのほか、低消費電力機能として、PCI クロックを制御する機能やホストインタフェースをシャットダウンする機能があります。

### 19.1 特長

- LPCインタフェースのI/OリードサイクルおよびI/Oライトサイクルに対応

転送の種類/アドレス/データを、4本の信号線 (LAD3~LAD0) で転送します。

制御信号として、クロック (LCLK)、リセット ( $\overline{\text{LRESET}}$ )、フレーム ( $\overline{\text{LFRAME}}$ ) 信号を使用します。

- データレジスタとステータスレジスタからなるレジスタセットを3セットで構成

基本のレジスタセットは、入力レジスタ (IDR)、出力レジスタ (ODR)、ステータスレジスタ (STR) の3バイトからなります。

チャンネル1、2は、I/OアドレスをそれぞれH'60/H'64およびH'62/H'66に固定しています。高速GATE A20機能があります。

チャンネル3は、I/Oアドレスを設定可能です。基本のレジスタセットのほか双方向データレジスタ16バイトを操作可能です。

- SERIRQに対応

ホスト割り込み要求を、1本の信号線 (SERIRQ) でシリアルに転送します。

チャンネル1は、HIRQ1とHIRQ12を生成可能です。

チャンネル2、3は、SMI、HIRQ6、HIRQ9~HIRQ11を生成可能です。

クワイエットモードとコンティニューアスモードの切り替えに対応します。

$\overline{\text{CLKRUN}}$ 信号を操作し、PCIクロック (LCLK) の再起動を要求可能です。

- 割り込み要因：11種類

$\overline{\text{LPCPD}}$ 信号を入力し、LPCモジュールをシャットダウンすることができます。

汎用入出力として $\overline{\text{PME}}$ 、 $\overline{\text{LSMI}}$ 、LSCIの3端子があります。

## 19. ホストインタフェース (LPC)

LPCのブロック図を図 19.1 に示します。

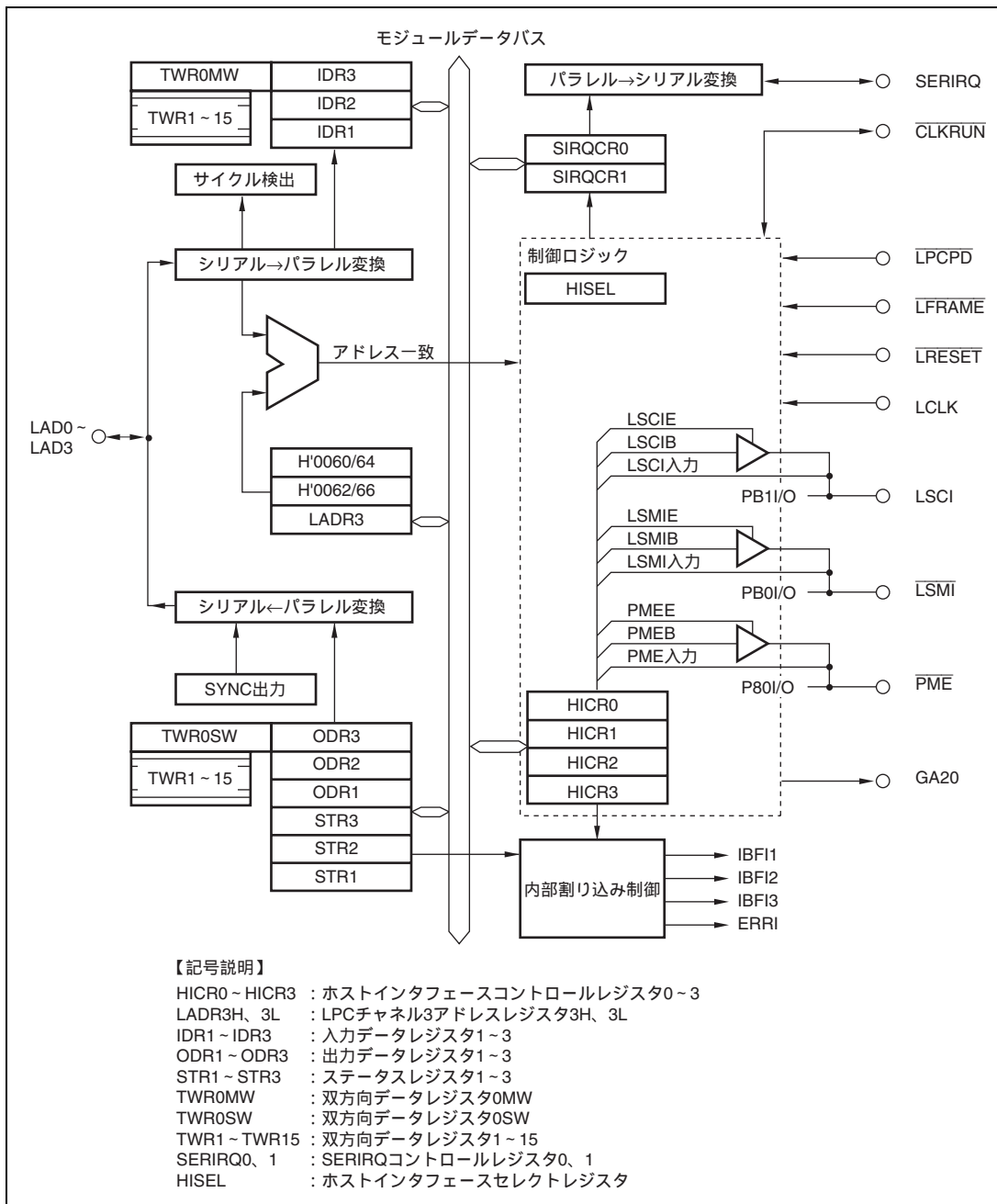


図 19.1 LPCのブロック図

## 19.2 入出力端子

LPC の入出力端子を表 19.1 に示します。

表 19.1 端子構成

名称	略 称	ポート	入出力	機 能
LPC アドレス / データ 3~0	LAD3 ~ LAD0	P33 ~ P30	入出力	LCLK に同期した、シリアル (4 信号線) の、転送サイクル種類 / アドレス / データ信号
LPC フレーム	LFRAME	P34	入力* <sup>1</sup>	転送サイクルの開始および強制終了信号
LPC リセット	LRESET	P35	入力* <sup>1</sup>	LPC インタフェースのリセット信号
LPC クロック	LCLK	P36	入力	33MHz の PCI クロック信号
シリアル インタラプト リクエスト	SERIRQ	P37	入出力* <sup>1</sup>	LCLK に同期した、シリアルホスト割り込み要求信号 ( SMI, IRQ1, IRQ6, IRQ9 ~ IRQ12 )
LSCI 汎用出力	LSCI	PB1	出力* <sup>1</sup> * <sup>2</sup>	汎用出力
LSMI 汎用出力	LSMI	PB0	出力* <sup>1</sup> * <sup>2</sup>	汎用出力
PME 汎用出力	PME	P80	出力* <sup>1</sup> * <sup>2</sup>	汎用出力
GATE A20	GA20	P81	出力* <sup>1</sup> * <sup>2</sup>	GATE A20 コントロール信号出力
LPC クロックラン	CLKRUN	P82	入出力* <sup>1</sup> * <sup>2</sup>	シリアルホスト割り込み要求時の、 LCLK 再起動要求信号
LPC パワーダウン	LPCPD	P83	入力* <sup>1</sup>	LPC モジュールのシャットダウン信号

【注】 \*1 LPC インタフェースの制御入出力機能以外に、端子状態をモニタする入力が可能です。

\*2 0 出力のみ可能です。1 出力時はハイインピーダンスとなるため、VCC へのプルアップ抵抗を外付けする必要があります。

### 19.3 レジスタの説明

LPC には以下のレジスタがあります。SYSCR、SYSCR2 において、XBS に関するビットの設定は本 LSI の LPC の動作に影響を与えません。しかし、プログラム開発ツール (エミュレータ) の構成上の制約から、LPC を使用するときは、SYSCR2 の HI12E ビットは 1 にセットしないでください。詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」および「18.3.1 システムコントロールレジスタ 2 (SYSCR2)」を参照してください。

- ホストインタフェースコントロールレジスタ0 (HICR0)
- ホストインタフェースコントロールレジスタ1 (HICR1)
- ホストインタフェースコントロールレジスタ2 (HICR2)
- ホストインタフェースコントロールレジスタ3 (HICR3)
- LPCチャンネル3アドレスレジスタ (LADR3H、3L)
- 入力データレジスタ1 (IDR1)
- 出力データレジスタ1 (ODR1)
- ステータスレジスタ1 (STR1)
- 入力データレジスタ2 (IDR2)
- 出力データレジスタ2 (ODR2)
- ステータスレジスタ2 (STR2)
- 入力データレジスタ3 (IDR3)
- 出力データレジスタ3 (ODR3)
- ステータスレジスタ3 (STR3)
- 双方向データレジスタ0~15 (TWR0~TWR15)
- SERIRQコントロールレジスタ0 (SIRQCR0)
- SERIRQコントロールレジスタ1 (SIRQCR1)
- ホストインタフェースセレクトレジスタ (HISEL)

## 19.3.1 ホストインタフェースコントロールレジスタ 0、1 (HICR0、HICR1)

HICR0、HICR1 には、ホストインタフェースの機能を許可 / 禁止する制御ビット、端子出力およびホストインタフェースの内部状態を決める制御ビット、およびホストインタフェースの内部状態をモニタするステータスフラグがあります。

## • HICR0

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LPC3E	0	R/W		LPC イネーブル 3~1 シングルチップモードでホストインタフェース機能を許可または禁止します。許可時 (3 ビットのうち、いずれかが 1 にセット) は、LAD3~LAD0、LFRAME、LRESET、LCLK、SERIRQ、CLKRUN、LPCPD 端子を利用して、スレーブ (本 LSI) とホスト間のデータ転送処理を行います。 • LPC3E 0 : LPC チャンネル 3 の動作を禁止 IDR3、ODR3、STR3、TWR0~TWR15 に関してアドレス (LADR3) 一致発生なし 1 : LPC チャンネル 3 の動作を許可 • LPC2E 0 : LPC チャンネル 2 の動作を禁止 IDR2、ODR2、STR2 に関してアドレス (H'0062, 66) 一致発生なし 1 : LPC チャンネル 2 の動作を許可 • LPC1E 0 : LPC チャンネル 1 の動作を禁止 IDR1、ODR1、STR1 に関してアドレス (H'0060, 64) 一致発生なし 1 : LPC チャンネル 1 の動作を許可
6	LPC2E	0	R/W		
5	LPC1E	0	R/W		

## 19. ホストインタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	FGA20E	0	R/W		<p>高速 GATE A20 イネーブル</p> <p>高速 GATE A20 の機能を許可または禁止します。高速 GATE A20 が禁止された場合、通常の GATE A20 は P81 出力をファームウェアで操作することで実現できます。</p> <p>高速 GATE A20 の機能を許可する場合は、P81DDR は 1 にセットしないでください。</p> <p>0 : 高速 GATE A20 機能を禁止</p> <ul style="list-style-type: none"> <li>・ 端子の兼用機能の入出力を許可</li> <li>・ GA20 出力の内部状態を 1 に初期化</li> </ul> <p>1 : 高速 GATE A20 機能を許可</p> <ul style="list-style-type: none"> <li>・ GA20 端子出力はオープンドレイン (VCC ヘブルアップ 抵抗外付け要)</li> </ul>
3	SDWNE	0	R/W		<p>LPC ソフトウェアシャットダウンイネーブル</p> <p>ホストインタフェースをシャットダウンを制御します。LPC シャットダウン機能の詳細、および LPC リセットおよび LPC シャットダウンで初期化される範囲は、「19.4.4 ホストインタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0 : 通常状態、LPC ソフトウェアシャットダウンの設定許可 [クリア条件]</p> <ul style="list-style-type: none"> <li>・ 0 ライト</li> <li>・ LPC ハードウェアリセットおよび LPC ソフトウェアリセット</li> <li>・ LPC ハードウェアシャットダウン解除 (LPCPD 信号立ち上がりエッジ)</li> </ul> <p>1 : LPC ハードウェアシャットダウン状態の設定許可</p> <ul style="list-style-type: none"> <li>・ <math>\overline{\text{LPCPD}}</math> 信号ローレベル時にハードウェアシャットダウン状態</li> </ul> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ SDWNE=0 リード後の 1 ライト</li> </ul>
2	PMEE	0	R/W		<p>PME 出力イネーブル</p> <p>HICR1 の PMEB ビットとの組み合わせにより PME 出力を制御します。PME 端子出力はオープンドレインであり、VCC へのプルアップ抵抗の外付けが必要です。</p> <p>PME 出力機能を使用する場合は、P80DDR は 1 にセットしないでください。</p> <p>PMEEPMEB</p> <p>0    x : PME 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1    0 : PME 出力を許可、PME 端子出力は 0 レベル</p> <p>1    1 : PME 出力を許可、PME 端子出力はハイインピーダンス</p>

### 【記号説明】

x : Don't care

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	LSMIE	0	R/W		<p>LSMI 出力イネーブル</p> <p>HICR1 の LSMIB ビットとの組み合わせにより LSMI 出力を制御します。LSMI 端子出力はオープンドレインであり、VCC へのプルアップ抵抗の外付けが必要です。</p> <p>LSMI 出力機能を使用する場合は、PB0DDR は 1 にセットしないでください。</p> <p>LSMIE LSMIB</p> <p>0 x : LSMI 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1 0 : LSMI 出力を許可、LSMI 端子出力は 0 レベル</p> <p>1 1 : LSMI 出力を許可、LSMI 端子出力はハイインピーダンス</p>
0	LSCIE	0	R/W		<p>LSCI 出力イネーブル</p> <p>HICR1 の LSCIB ビットとの組み合わせにより LSCI 出力を制御します。LSCI 端子出力はオープンドレインであり、VCC へのプルアップ抵抗の外付けが必要です。</p> <p>LSCI 出力機能を使用する場合は、PB1DDR は 1 にセットしないでください。</p> <p>LSCIE LSCIB</p> <p>0 x : LSCI 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1 0 : LSCI 出力を許可、LSCI 端子出力は 0 レベル</p> <p>1 1 : LSCI 出力を許可、LSCI 端子出力はハイインピーダンス</p>

## 【記号説明】

x : Don't care

## 19. ホストインタフェース (LPC)

### • HICR1

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LPCBSY	0	R		<p>LPC ビジー</p> <p>ホストインタフェースが、転送サイクルを処理中であることを示します。</p> <p>0 : ホストインタフェースが転送サイクル待ち状態</p> <ul style="list-style-type: none"> <li>バスアイドル、または処理対象外の転送サイクル中</li> <li>転送サイクル中、転送の種類またはアドレスが未確定の状態</li> </ul> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>LPC ハードウェアリセットまたは LPC ソフトウェアリセット</li> <li>LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン</li> <li>処理対象転送サイクルの強制終了 (アボート)</li> <li>処理対象転送サイクルの正常終了</li> </ul> <p>1 : ホストインタフェースが転送サイクル処理中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>転送の種類およびアドレスの一致</li> </ul>
6	CLKREQ	0	R		<p>LCLK リクエスト</p> <p>ホストインタフェースの SERIRQ が、LCLK の再起動を要求中であることを示します。</p> <p>0 : LCLK の再起動要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>LPC ハードウェアリセットまたは LPC ソフトウェアリセット</li> <li>LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン</li> <li>SERIRQ がコンティニューアスモードに設定された</li> <li>クワイエットモード時に、新たにホストに転送する割り込みがなくなった</li> </ul> <p>1 : LCLK の再起動要求あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>クワイエットモード時・LCLK 停止中に SERIRQ 割り込み出力の必要が生じた</li> </ul>



ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
5	IRQBSY	0	R		<p>SERIRQ ビジー</p> <p>ホストインタフェースの SERIRQ が、転送処理中であることを示します。</p> <p>0 : SERIRQ の転送フレーム開始待ち状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• LPC ハードウェアリセットまたは LPC ソフトウェアリセット</li> <li>• LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン</li> <li>• SERIRQ の転送フレーム終了</li> </ul> <p>1 : SERIRQ の転送処理中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SERIRQ の転送フレーム開始</li> </ul>
4	LRSTB	0			<p>LPC ソフトウェアリセットビット</p> <p>ホストインタフェースをリセットします。LPC リセットで初期化される範囲は、「19.4.4 ホストインタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0 : 通常状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 0 ライト</li> <li>• LPC ハードウェアリセット</li> </ul> <p>1 : LPC ソフトウェアリセット状態</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• LRSTB=0 リード後の 1 ライト</li> </ul>

## 19. ホストインタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	SDWNB	0	R/W		<p>LPC ソフトウェアシャットダウンビット</p> <p>ホストインタフェースをシャットダウンを制御します。LPC シャットダウン機能の詳細、および LPC リセットおよび LPC シャットダウンで初期化される範囲は、「19.4.4 ホストインタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0: 通常状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• 0 ライト</li> <li>• LPC ハードウェアリセットおよび LPC ソフトウェアリセット</li> <li>• LPC ハードウェアシャットダウン</li> <li>• LPC ソフトウェアシャットダウン解除 (SDWNE=0 のとき、<math>\overline{\text{LPCPD}}</math> 信号立ち上がりエッジ)</li> </ul> <p>1: LPC ソフトウェアシャットダウン状態</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SDWNB=0 リード後の 1 ライト</li> </ul>
2	PMEB	0	R/W		<p>PME 出力ビット</p> <p>PMEE ビットとの組み合わせにより PME 出力を制御します。詳細は HICR0 の PMEE ビットを参照してください。</p>
1	LSMIB	0	R/W		<p>LSMI 出力ビット</p> <p>LSMIE ビットとの組み合わせにより LSMI 出力を制御します。詳細は HICR0 の LSMIE ビットを参照してください。</p>
0	LSCIB	0	R/W		<p>LSCI 出力ビット</p> <p>HICR1 の LSCIE ビットとの組み合わせにより LSCI 出力を制御します。詳細は LSCIE ビットを参照してください。</p>

### 19.3.2 ホストインタフェースコントロールレジスタ 2、3 (HICR2、HICR3)

HICR2 のビットは 6~0 は、ホストインタフェースのスレーブ (本 LSI) に対する割り込みを制御します。HICR2 のビット 7 および HICR3 は、ホストインタフェースの端子状態をモニタします。

端子モニタビットは、ホストインタフェースの動作状態や端子を兼用する機能の動作状態にかかわらず、端子の状態をモニタすることができます。

## • HICR2

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	GA20	不定	R		GA20 端子モニタ
6	LRST	0	R/(W)*		LPC リセット割り込みフラグ LPC ハードウェアリセット発生時に ERR1 割り込みを発生させるフラグです。 0 : [クリア条件] • LRST=1 リード後の 0 ライト 1 : [セット条件] • LRESET 端子の立ち下がりエッジ検出
5	SDWN	0	R/(W)*		LPC シャットダウン割り込みフラグ LPC ハードウェアシャットダウン要求発生時に ERR1 割り込みを発生させる割り込みフラグです。 0 : [クリア条件] • SDWN=1 リード後の 0 ライト • LPC ハードウェアリセットおよび LPC ソフトウェアリセット 1 : [セット条件] • LPCPD 端子の立ち下がりエッジ検出
4	ABRT	0	R/(W)*		LPC アボート割り込みフラグ LPC 転送サイクルの強制終了 (アボート) 発生時に ERR1 割り込みを発生させる割り込みフラグです。 0 : [クリア条件] • ABRT=1 リード後の 0 ライト • LPC ハードウェアリセットおよび LPC ソフトウェアリセット • LPC ハードウェアシャットダウンおよび LPC ソフトウェアシャットダウン 1 : [セット条件] • LPC 転送サイクル中の $\overline{\text{LFRAME}}$ 端子の立ち下がりエッジ検出

## 19. ホストインタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	IBFIE3	0	R/W		IDR3、TWR 受信完了割り込みイネーブル スレーブ (本 LSI) に対して IBFI3 割り込みを許可または禁止します。 0: 入力データレジスタ (IDR3) および TWR の受信完了割り込み要求を禁止 1: [LADR3 の TWRIE=0 の場合] 入力データレジスタ (IDR3) 受信完了割り込み要求を許可 [LADR3 の TWRIE=1 の場合] 入力データレジスタ (IDR3) および TWR 受信完了割り込み要求を許可
2	IBFIE2	0	R/W		IDR2 受信完了割り込みイネーブル スレーブ (本 LSI) に対して IBFI2 割り込みを許可または禁止します。 0: 入力データレジスタ (IDR2) 受信完了割り込み要求を禁止 1: 入力データレジスタ (IDR2) 受信完了割り込み要求を許可
1	IBFIE1	0	R/W		IDR1 受信完了割り込みイネーブル スレーブ (本 LSI) に対して IBFI1 割り込みを許可または禁止します。 0: 入力データレジスタ (IDR1) 受信完了割り込み要求を禁止 1: 入力データレジスタ (IDR1) 受信完了割り込み要求を許可
0	ERRIE	0	R/W		エラー割り込みイネーブル (ERRIE) スレーブ (本 LSI) に対して ERRI 割り込みを許可または禁止します。 0: エラー割り込み要求を禁止 1: エラー割り込み要求を許可

【注】 \* ビット 6~4 はフラグをクリアするための 0 ライトのみ可能です。

### • HICR3

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LFRAME	不定	R		$\overline{\text{LFRAME}}$ 端子モニタ
6	CLKRUN	不定	R		CLKRUN 端子モニタ
5	SERIRQ	不定	R		SERIRQ 端子モニタ
4	LRESET	不定	R		$\overline{\text{LRESET}}$ 端子モニタ
3	LPCPD	不定	R		LPCPD 端子モニタ
2	PME	不定	R		$\overline{\text{PME}}$ 端子モニタ
1	LSMI	不定	R		$\overline{\text{LSMI}}$ 端子モニタ
0	LSCI	不定	R		LSCI 端子モニタ

### 19.3.3 LPC チャンネル 3 アドレスレジスタ (LADR3)

LADR3 は 8 ビットのリード/ライト可能な 2 本のレジスタで、LPC チャンネル 3 のホストアドレスの設定、および、双方向データレジスタの動作の制御を行います。LADR3 のアドレス部分は、チャンネル 3 動作時 (LPC3E を 1 にセットした状態) では、内容を変更しないでください。

#### • LADR3H

ビット	ビット名	初期値	R/W	説明
7	Bit15	0	R/W	チャンネル 3 アドレスビット 15~8  LPC3E=1 の場合、LPC の I/O サイクルで受信した I/O アドレスは、LADR3 の内容と比較されます。IDR3、ODR3、STR3 のアドレス一致判定時には、LADR3 のビット 0 を 0 とみなし、ビット 2 の内容は無視します。TWR0 ~ 15 のアドレス一致判定時には、LADR3 のビット 4 を反転し、ビット 3~0 の内容は無視します。アドレス一致判定時に無視したビットによるレジスタの選択を表 19.2 に示します。
6	Bit14	0	R/W	
5	Bit13	0	R/W	
4	Bit12	0	R/W	
3	Bit11	0	R/W	
2	Bit10	0	R/W	
1	Bit9	0	R/W	
0	Bit8	0	R/W	

#### • LADR3L

ビット	ビット名	初期値	R/W	説明
7	Bit7	0	R/W	チャンネル 3 アドレスビット 7~3
6	Bit6	0	R/W	
5	Bit5	0	R/W	
4	Bit4	0	R/W	
3	Bit3	0	R/W	
2		0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
1	Bit1	0	R/W	チャンネル 3 アドレスビット 1
0	TWRE	0	R/W	双方向データレジスタタイネーブル 双方向データレジスタの動作を許可または禁止します。 0 : TWR の動作を禁止 TWR に関して I/O アドレスの一致判定を停止 1 : TWR の動作を許可

## 19. ホストインタフェース (LPC)

表 19.2 レジスタ選択

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット4	ビット3	ビット2	ビット1	ビット0		
bit4	bit3	0	bit1	0	I/O ライト	IDR3 ライト、C/D $\bar{3}$ ←0
bit4	bit3	1	bit1	0	I/O ライト	IDR3 ライト、C/D $\bar{3}$ ←1
bit4	bit3	0	bit1	0	I/O リード	ODR3 リード
bit4	bit3	1	bit1	0	I/O リード	STR3 リード
$\bar{\text{bit}}4$	0	0	0	0	I/O ライト	TWR0MW ライト
$\bar{\text{bit}}4$	0	0	0	1	I/O ライト	TWR1 ライト
	1	1	1	1		TWR15 ライト
$\bar{\text{bit}}4$	0	0	0	0	I/O リード	TWR0SW リード
$\bar{\text{bit}}4$	0	0	0	1	I/O リード	TWR1 リード
	1	1	1	1		TWR15 リード

### 19.3.4 入力データレジスタ 1~3 (IDR1~IDR3)

IDR は、スレーブ (本 LSI) に対しては 8 ビットのリード専用の、ホストに対しては 8 ビットのライト専用のレジスタです。I/O アドレスによってホストから選択されるレジスタは以下のようになります。IDR3 の選択については、「19.3.3 LPC チャンネル 3 アドレスレジスタ (LADR3)」を参照してください。LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされます。I/O アドレスのビット 2 は STR の C/D $\bar{2}$  ビットに反映され、コマンドライトとデータライトの識別に用いられます。IDR1~IDR3 の初期値は不定です。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
0000 0000 0110	0	0	0	0	I/O ライト	IDR1 ライト、C/D $\bar{1}$ ←0
0000 0000 0110	0	1	0	0	I/O ライト	IDR1 ライト、C/D $\bar{1}$ ←1
0000 0000 0110	0	0	1	0	I/O ライト	IDR2 ライト、C/D $\bar{2}$ ←0
0000 0000 0110	0	1	1	0	I/O ライト	IDR2 ライト、C/D $\bar{2}$ ←1

### 19.3.5 出力データレジスタ 1~3 (ODR1~ODR3)

ODR は、スレーブ (本 LSI) に対しては 8 ビットのリード/ライト可能な、ホストに対しては 8 ビットのリード専用のレジスタです。I/O アドレスによってホストから選択されるレジスタは以下のようになります。ODR3 の選択については、「19.3.3 LPC チャンネル 3 アドレスレジスタ (LADR3)」を参照してください。LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。ODR1~ODR3 の初期値は不定です。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
0000 0000 0110	0	0	0	0	I/O リード	ODR1 リード
0000 0000 0110	0	0	1	0	I/O リード	ODR2 リード

### 19.3.6 双方向データレジスタ 0~15 (TWR0~TWR15)

TWR は、スレーブ (本 LSI) とホストで、どちらからもリード/ライト可能な 16 バイトの 8 ビットレジスタです。ただし、TWR0 は、ホストアドレス、スレーブアドレスとも同一のアドレスにふたつのレジスタ (TWR0MW、TWR0SW) が割り当てられています。TWR0MW は、ホストからはライト専用、スレーブからはリード専用のレジスタです。TWR0SW は、スレーブからはライト専用、ホストからはリード専用のレジスタです。ホストとスレーブがライトを開始する場合、それぞれ TWR0 にライトした後、そのライトが有効だったかをステータスフラグで確認することにより同時アクセス時のアクセス権の調停を行います。I/O アドレスによってホストから選択されるレジスタは、「19.3.3 LPC チャンネル 3 アドレスレジスタ (LADR3)」を参照してください。

LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされ、LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。TWR0~TWR15 の初期値は不定です。

### 19.3.7 ステータスレジスタ 1~3 (STR1~STR3)

STR は、8 ビットのレジスタで、ホストインタフェース処理中の状態を表示します。STR1~STR3 のビット 3、1、0、および STR3 のビット 7~4 は、ホストとスレーブ (本 LSI) のいずれもリード専用です。ただし、STR1~STR3 のビット 0、および STR3 のビット 6、4 は、スレーブ (本 LSI) から 0 フラグをクリアするための 0 ライトのみ可能です。I/O アドレスによってホストから選択されるレジスタは以下のようになります。STR3 の選択については、「19.3.3 LPC チャンネル 3 アドレスレジスタ (LADR3)」を参照してください。LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。STR1~STR3 の初期値は H'00 です。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
0000 0000 0110	0	1	0	0	I/O リード	STR1 リード
0000 0000 0110	0	1	1	0	I/O リード	STR2 リード

## 19. ホストインタフェース (LPC)

### • STR1

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU17	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU16	0	R/W	R	
5	DBU15	0	R/W	R	
4	DBU14	0	R/W	R	
3	C/D $\bar{1}$	0	R	R	コマンド/データ ホストが IDR に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR の内容がデータかコマンドかを識別します。 0 : 入力データレジスタ (IDR) の内容はデータ 1 : 入力データレジスタ (IDR) の内容はコマンド
2	DBU12	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF1	0	R	R	入力データレジスタフル ホストが IDR にライトすると 1 にセットされます。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。スレーブ (本 LSI) が IDR をリードすると IBF ビットは 0 にクリアされます。 なお、高速 GATE A20 を使用しているときは IBF1 フラグのセット/クリア条件が変わります。詳細は表 19.4 を参照してください。 0 : [クリア条件] スレーブが IDR をリード 1 : [セット条件] I/O ライトサイクルにより IDR にホストライト
0	OBF1	0	R(W)*	R	出力データレジスタフル スレーブ (本 LSI) が ODR へライトすると 1 にセットされます。ホストが ODR をリードすると、OBF ビットは 0 にクリアされます。 0 : [クリア条件] I/O リードサイクルにより ODR をホストリード、 またはスレーブが OBF ビットに 0 ライト 1 : [セット条件] スレーブが ODR にライト

【注】 \* フラグをクリアするための 0 ライトのみ可能です。



## • STR2

ビット	ビット名	初期値	R/W		説 明
			スレーブ	ホスト	
7	DBU27	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU26	0	R/W	R	
5	DBU25	0	R/W	R	
4	DBU24	0	R/W	R	
3	C/D2	0	R	R	コマンド/データ ホストが IDR に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR の内容がデータかコマンドかを識別します。 0 : 入力データレジスタ (IDR) の内容はデータ 1 : 入力データレジスタ (IDR) の内容はコマンド
2	DBU22	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF2	0	R	R	入力データレジスタフル ホストが IDR にライトすると 1 にセットされます。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。スレーブ (本 LSI) が IDR をリードすると IBF ビットは 0 にクリアされます。 なお、高速 GATE A20 を使用しているときは IBF1 フラグのセット/クリア条件が変わります。詳細は表 19.4 を参照してください。 0 : [クリア条件] スレーブが IDR をリード 1 : [セット条件] I/O ライトサイクルにより IDR にホストライト
0	OBF2	0	R/(W)*	R	出力データレジスタフル スレーブ (本 LSI) が ODR ヘライトすると 1 にセットされます。ホストが ODR をリードすると、OBF ビットは 0 にクリアされます。 0 : [クリア条件] I/O リードサイクルにより ODR をホストリード、 またはスレーブが OBF ビットに 0 ライト 1 : [セット条件] スレーブが ODR にライト

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 19. ホストインタフェース (LPC)

- STR3 (TWRE = 1 または SELSTR3 = 0 のとき)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IBF3B	0	R	R	<p>双方向データレジスタ入力データフル</p> <p>ホストが TWR15 にライトすると 1 にセットされます。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。スレーブ (本 LSI) が TWR15 をリードすると IBF3B ビットは 0 にクリアされます。</p> <p>0: [クリア条件] スレーブが TWR15 をリード</p> <p>1: [セット条件] I/O ライトサイクルにより TWR15 にホストライト</p>
6	OBF3B	0	R/(W)*	R	<p>双方向データレジスタ出力データフル (OBF3B)</p> <p>スレーブ (本 LSI) が TWR15 へライトすると 1 にセットされます。ホストが TWR15 をリードすると、OBF3B ビットは 0 にクリアされます。</p> <p>0: [クリア条件] I/O リードサイクルにより TWR15 をホストリード、 またはスレーブが OBF3B ビットに 0 ライト</p> <p>1: [セット条件] スレーブが TWR15 にライト</p>
5	MWMF	0	R	R	<p>マスタライトモードフラグ</p> <p>ホストが TWR0 にライトすると 1 にセットされます。スレーブ (本 LSI) が TWR15 をリードすると MWMF ビットは 0 にクリアされます。</p> <p>0: [クリア条件] スレーブが TWR15 をリード</p> <p>1: [セット条件] SWMF=0 の状態で、I/O ライトサイクルにより TWR0 にホストライト</p>
4	SWMF	0	R/(W)*	R	<p>スレーブライトモードフラグ</p> <p>スレーブ (本 LSI) が TWR0 へライトすると 1 にセットされます。マスタとスレーブの同時ライト時にはマスタのライトが優先されます。ホストが TWR15 をリードすると、SWMF ビットは 0 にクリアされます。</p> <p>0: [クリア条件] I/O リードサイクルにより TWR15 をホストリード、 またはスレーブが SWMF ビットに 0 ライト</p> <p>1: [セット条件] MWMF=0 の状態で、スレーブが TWR0 にライト</p>

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	C/D3	0	R	R	<p>コマンド/データ</p> <p>ホストが IDR に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR の内容がデータかコマンドかを識別します。</p> <p>0 : 入力データレジスタ (IDR) の内容はデータ</p> <p>1 : 入力データレジスタ (IDR) の内容はコマンド</p>
2	DBU32	0	R/W	R	<p>ユーザ定義ビット</p> <p>ユーザが必要に応じて使用できるビットです。</p>
1	IBF3A	0	R	R	<p>入力データレジスタフル</p> <p>ホストが IDR にライトすると 1 にセットされます。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。スレーブ (本 LSI) が IDR をリードすると IBF ビットは 0 にクリアされます。</p> <p>なお、高速 GATE A20 を使用しているときは IBF1 フラグのセット/クリア条件が変わります。詳細は表 19.4 を参照してください。</p> <p>0 : [クリア条件]</p> <p>スレーブが IDR をリード</p> <p>1 : [セット条件]</p> <p>I/O ライトサイクルにより IDR にホストライト</p>
0	OBF3A	0	R/(W)*	R	<p>出力データレジスタフル</p> <p>スレーブ (本 LSI) が ODR ヘライトすると 1 にセットされます。ホストが ODR をリードすると、OBF ビットは 0 にクリアされます。</p> <p>0 : [クリア条件]</p> <p>I/O リードサイクルにより ODR をホストリード、 またはスレーブが OBF ビットに 0 ライト</p> <p>1 : [セット条件]</p> <p>スレーブが ODR にライト</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 19. ホストインタフェース (LPC)

• STR3 (TWRE = 0 で SELSTR3 = 1 のとき)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU37	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU36	0	R/W	R	
5	DBU35	0	R/W	R	
4	DBU34	0	R/W	R	
3	C/D $\bar{3}$	0	R	R	コマンド/データ ホストが IDR に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR の内容がデータかコマンドかを識別します。 0 : 入力データレジスタ (IDR) の内容はデータ 1 : 入力データレジスタ (IDR) の内容はコマンド
2	DBU32	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF3A	0	R	R	入力データレジスタフル ホストが IDR にライトすると 1 にセットされます。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。スレーブ (本 LSI) が IDR をリードすると IBF ビットは 0 にクリアされます。 なお、高速 GATE A20 を使用しているときは IBF1 フラグのセット/クリア条件が変わります。詳細は表 19.4 を参照してください。 0 : [クリア条件] スレーブが IDR をリード 1 : [セット条件] I/O ライトサイクルにより IDR にホストライト
0	OBF3A	0	R(W)*	R	出力データレジスタフル スレーブ (本 LSI) が ODR へライトすると 1 にセットされます。ホストが ODR をリードすると、OBF ビットは 0 にクリアされます。 0 : [クリア条件] I/O リードサイクルにより ODR をホストリード、 またはスレーブが OBF ビットに 0 ライト 1 : [セット条件] スレーブが ODR にライト

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

## 19.3.8 SERIRQ コントロールレジスタ 0、1 (SIRQCR0、SIRQCR1)

SIRQCR には、SERIRQ の動作モードを示すステータスビットと、SERIRQ の割り込みソースを指定するビットがあります。

## • SIRQCR0

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	Q $\bar{C}$	0	R		クワイエット / コンティニューアスモードフラグ SERIRQ の転送サイクルの最後で、ホストにより指定されたモードを示します。  0: コンティニューアスモード [クリア条件] <ul style="list-style-type: none"> <li>LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>SERIRQ 転送サイクルのストップフレームによる指定</li> </ul> 1: クワイエットモード [セット条件] <ul style="list-style-type: none"> <li>SERIRQ 転送サイクルのストップフレームによる指定</li> </ul>
6	SELREQ	0	R/W		スタートフレーム起動要求選択 クワイエットモードでホスト割り込み要求がクリアされた場合のスタートフレーム起動要求について、1つ以上の割り込み要求がクリアされたときにスタートフレーム起動を要求するか、すべての割り込み要求がクリアされたときにスタートフレーム起動を要求するかを選択します。  0: クワイエットモードですべての割り込み要求がクリアされたとき、スタートフレーム起動要求 1: クワイエットモードで1つ以上の割り込み要求がクリアされたとき、スタートフレーム起動要求
5	IEDIR	0	R/W		割り込みイネーブルダイレクトモード LPC チャネル 2 とチャネル 3 の SERIRQ の割り込み要因 (SMI、IRQ6、IRQ9 ~ 11) の発生を、OBF に関連付けて行うか、ホスト割り込み許可ビットのみで行うかを制御します。  0: ホスト割り込みは、ホスト割り込み許可ビットと、対応する OBF が両方とも 1 にセットされたときに要求されます。 1: ホスト割り込みは、ホスト割り込み許可ビットが 1 にセットされたときに要求されます。

## 19. ホストインタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	SMIE3B	0	R/W		<p>ホスト SMI 割り込みイネーブル 3B TWR15 ライトにより OBF3B がセットされた場合の、ホスト SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF3B および SMIE3B によるホスト SMI 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> <li>・ SMIE3B への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF3B の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1 : [IEDIR=0 の場合] OBF3B の 1 セットによるホスト SMI 割り込み要求を許可 [IEDIR=1 の場合] ホスト SMI 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> <li>・ SMIE3B=0 リード後の 1 ライト</li> </ul>
3	SMIE3A	0	R/W		<p>ホスト SMI 割り込みイネーブル 3A ODR3 ライトにより OBF3A がセットされた場合の、ホスト SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および SMIE3A によるホスト SMI 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> <li>・ SMIE3A への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF3A の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1 : [IEDIR=0 の場合] OBF3A の 1 セットによるホスト SMI 割り込み要求を許可 [IEDIR=1 の場合] ホスト SMI 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> <li>・ SMIE3A=0 リード後の 1 ライト</li> </ul>

19. ホストインタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
2	SMIE2	0	R/W		<p>ホスト SMI 割り込みイネーブル 2 ODR2 ライトにより OBF2 がセットされた場合の、ホスト SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および SMIE2 によるホスト SMI 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> <li>・ SMIE2 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF2 の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1 : [IEDIR=0 の場合] OBF2 の 1 セットによるホスト SMI 割り込み要求を許可 [IEDIR=1 の場合] ホスト SMI 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> <li>・ SMIE2=0 リード後の 1 ライト</li> </ul>
1	IRQ12E1	0	R/W		<p>ホスト IRQ12 割り込みイネーブル 1 ODR1 ライトにより OBF1 がセットされた場合の、ホスト IRQ12 割り込み要求を許可または禁止します。</p> <p>0 : OBF1 および IRQ12E1 によるホスト IRQ12 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ12E1 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF1 の 0 クリア</li> </ul> <p>1 : OBF1 の 1 セットによるホスト IRQ12 割り込み要求を許可 [セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ12E1=0 リード後の 1 ライト</li> </ul>
0	IRQ1E1	0	R/W		<p>ホスト IRQ1 割り込みイネーブル 1 ODR1 ライトにより OBF1 がセットされた場合の、ホスト IRQ1 割り込み要求を許可または禁止します。</p> <p>0 : OBF1 および IRQ1E1 によるホスト IRQ1 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ1E1 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF1 の 0 クリア</li> </ul> <p>1 : OBF1 の 1 セットによるホスト IRQ1 割り込み要求を許可 [セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ1E1=0 リード後の 1 ライト</li> </ul>

## 19. ホストインタフェース (LPC)

### • SIRQCR1

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IRQ11E3	0	R/W		<p>ホスト IRQ11 割り込みイネーブル 3 ODR3 ライトにより OBF3A がセットされた場合の、ホスト IRQ11 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ11E3 によるホスト IRQ11 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ11E3 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF3A の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1 : [IEDIR=0 の場合] OBF3A の 1 セットによるホスト IRQ11 割り込み要求を許可</p> <p>[IEDIR=1 の場合] ホスト IRQ11 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ11E3=0 リード後の 1 ライト</li> </ul>
6	IRQ10E3	0	R/W		<p>ホスト IRQ10 割り込みイネーブル 3 ODR3 ライトにより OBF3A がセットされた場合の、ホスト IRQ10 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ10E3 によるホスト IRQ10 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ10E3 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF3A の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1 : [IEDIR=0 の場合] OBF3A の 1 セットによるホスト IRQ10 割り込み要求を許可</p> <p>[IEDIR=1 の場合] ホスト IRQ10 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ10E3=0 リード後の 1 ライト</li> </ul>



ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
5	IRQ9E3	0	R/W		<p>ホスト IRQ9 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、ホスト IRQ9 割り込み要求を許可または禁止します。</p> <p>0: OBF3A および IRQ9E3 によるホスト IRQ9 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ9E3 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF3A の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1: [IEDIR=0 の場合] OBF3A の 1 セットによるホスト IRQ9 割り込み要求を許可</p> <p>[IEDIR=1 の場合] ホスト IRQ9 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ9E3=0 リード後の 1 ライト</li> </ul>
4	IRQ6E3	0	R/W		<p>ホスト IRQ6 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、ホスト IRQ6 割り込み要求を許可または禁止します。</p> <p>0: OBF3A および IRQ6E3 によるホスト IRQ6 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ6E3 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF3A の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1: [IEDIR=0 の場合] OBF3A の 1 セットによるホスト IRQ6 割り込み要求を許可</p> <p>[IEDIR=1 の場合] ホスト IRQ6 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ6E3=0 リード後の 1 ライト</li> </ul>
3	IRQ11E2	0	R/W		<p>ホスト IRQ11 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、ホスト IRQ11 割り込み要求を許可または禁止します。</p> <p>0: OBF2 および IRQ11E2 によるホスト IRQ11 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ11E2 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF2 の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1: [IEDIR=0 の場合] OBF2 の 1 セットによるホスト IRQ11 割り込み要求を許可</p> <p>[IEDIR=1 の場合] ホスト IRQ11 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ11E2=0 リード後の 1 ライト</li> </ul>

## 19. ホストインタフェース (LPC)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
2	IRQ10E2	0	R/W		<p>ホスト IRQ10 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、ホスト IRQ10 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および IRQ10E2 によるホスト IRQ10 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ10E2 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF2 の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1 : [IEDIR=0 の場合] OBF2 の 1 セットによるホスト IRQ10 割り込み要求を許可</p> <p>[IEDIR=1 の場合] ホスト IRQ10 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ10E2=0 リード後の 1 ライト</li> </ul>
1	IRQ9E2	0	R/W		<p>ホスト IRQ9 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、ホスト IRQ9 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および IRQ9E2 によるホスト IRQ9 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ9E2 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF2 の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1 : [IEDIR=0 の場合] OBF2 の 1 セットによるホスト IRQ9 割り込み要求を許可</p> <p>[IEDIR=1 の場合] ホスト IRQ9 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ9E2=0 リード後の 1 ライト</li> </ul>

ビット	ビット名	初期値	R/W		説 明
			スレーブ	ホスト	
0	IRQ6E2	0	R/W		<p>ホスト IRQ6 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、ホスト IRQ6 割り込み要求を許可または禁止します。</p> <p>0: OBF2 および IRQ6E2 によるホスト IRQ6 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>・ IRQ6E2 への 0 ライト</li> <li>・ LPC ハードウェアリセット、LPC ソフトウェアリセット</li> <li>・ OBF2 の 0 クリア (IEDIR=0 の場合)</li> </ul> <p>1: [IEDIR=0 の場合] OBF2 の 1 セットによるホスト IRQ6 割り込み要求を許可</p> <p>[IEDIR=1 の場合] ホスト IRQ6 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>・ IRQ6E2=0 リード後の 1 ライト</li> </ul>

## 19. ホストインタフェース (LPC)

### 19.3.9 ホストインタフェースセレクトレジスタ (HISEL)

HISEL は、STR3 のビット 7~4 の機能を選択します。また、各フレームのホスト割り込み要求信号の出力を選択できます。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	SELSTR3	0	W	-	STR3 レジスタ機能選択 3 LADR3L の TWRE ビットとの組み合わせにより、STR3 のビット 7~4 の機能を選択します。詳細は、「19.3.7 ステータスレジスタ 1~3 (STR1~STR3) を参照してください。 0: STR3 のビット 7~4 は、ホストインタフェースのステータスビット 1: [TWRE=1 のとき] STR3 のビット 7~4 は、ホストインタフェースのステータスビット [TWRE=0 のとき] STR3 のビット 7~4 は、ユーザ定義ビット
6	SELIRQ11	0	W	-	SERIRQ 出力選択 LPC のホスト割り込み要求 (HIRQ11、HIRQ10、HIRQ9、HIRQ6、SMI、HIRQ12、HIRQ1) の端子出力状態を選択します。 0: [ホスト割り込み要求がクリアされているとき] SERIRQ 端子出力はハイインピーダンス [ホスト割り込み要求がセットされているとき] SERIRQ 端子出力は 0 レベル 1: [ホスト割り込み要求がクリアされているとき] SERIRQ 端子出力は 0 レベル [ホスト割り込み要求がセットされているとき] SERIRQ 端子出力はハイインピーダンス
5	SELIRQ10	0	W	-	
4	SELIRQ9	0	W	-	
3	SELIRQ6	0	W	-	
2	SELSMI	0	W	-	
1	SELIRQ12	1	W	-	
0	SELIRQ1	1	W	-	

## 19.4 動作説明

### 19.4.1 ホストインタフェースの起動

シングルチップモードで HICR0 の LPC3E ~ LPC1E ビットのいずれかひとつを 1 にセットすることにより、ホストインタフェースが起動します。ホストインタフェースを起動することにより、関連する I/O ポート (ポート 37 ~ 30、ポート 83、82) はホストインタフェース専用入出力となります。さらに FGA20E、PMEE、LSMIE、および LSCIE ビットを 1 にセットすることにより、関連する I/O ポート (ポート 81、80、ポート B0、B1) がホストインタフェースの入出力に加わります。

リセット解除後のホストインタフェースの起動は、以下の手順に従ってください。

1. 信号線の状態をリードして、LPCモジュールを接続可能であることを確認します。  
また、LPCモジュールの内部状態が初期状態であることを確認します。
2. チャンネル3を使用する場合は、LADR3を設定してチャンネル3のI/Oアドレスおよび双方向データレジスタの使用の有無を決定します。
3. 使用するチャンネルのイネーブルビット (LPC3E ~ LPC1E) をセットします。
4. 使用する付加機能のイネーブルビット (GA20E、PMEE、LSMIE、LSCIE) をセットします。
5. その他の機能の選択ビット (SDWNE、IEDIR) を設定します。
6. 念のため、割り込みフラグ (LRST、SDWN、ABRT、OBF) をクリアします。  
IBFをクリアするために、IDRやTWR15をリードします。
7. 必要に応じて割り込みイネーブルビット (IBFIE3 ~ IBFIE1、ERRIE) を設定します。

### 19.4.2 LPC の I/O サイクル

LPC の転送サイクルには、メモリリード、メモリライト、I/O リード、I/O ライト、DMA リード、DMA ライト、バスマスタメモリリード、バスマスタメモリライト、バスマスタ I/O リード、バスマスタ I/O ライトの、合計 10 種類が存在します。本 LSI の LPC は、このうち I/O リードと I/O ライトのみをサポートします。

LPC の転送サイクルは、バスアイドル状態で  $\overline{\text{LFRAME}}$  信号が Low レベルになることにより起動されます。バスアイドルでない状態で  $\overline{\text{LFRAME}}$  信号が Low レベルになると、その LPC 転送サイクルの強制終了 (アバート) が要求されたことを意味します。

I/O リードサイクルおよび I/O ライトサイクルでは、LCLK に同期して、次の順番で LAD3 ~ 0 を用いて転送が行われます。スレープからの同期返送サイクルは、B'0000 以外の値を返送してホストを待たせることが可能ですが、本 LSI の LPC では必ず B'0000 を返送します。

ホストインタフェースは、受信したアドレスが LPC のレジスタ (IDR、ODR、STR、TWR) のホストアドレスに一致した場合にビジーとなり、ステートカウンタ 12 のターンアラウンドを出力することによりアイドル状態に戻ります。レジスタおよびフラグの変更は、このタイミングで行われるため、転送サイクルの強制終了 (アバート) があった場合にはレジスタおよびフラグの内容の変更は行われません。

## 19. ホストインタフェース (LPC)

ステート カウント	I/O リードサイクル			I/O ライトサイクル		
	内容	駆動元	値(3~0)	内容	駆動元	値(3~0)
1	スタート	ホスト	0000	スタート	ホスト	0000
2	サイクル種類 / 方向	ホスト	0000	サイクル種類 / 方向	ホスト	0010
3	アドレス 1	ホスト	bit15 ~ 12	アドレス 1	ホスト	bit15 ~ 12
4	アドレス 2	ホスト	bit11 ~ 8	アドレス 2	ホスト	bit11 ~ 8
5	アドレス 3	ホスト	bit 7 ~ 4	アドレス 3	ホスト	bit 7 ~ 4
6	アドレス 4	ホスト	bit 3 ~ 0	アドレス 4	ホスト	bit 3 ~ 0
7	ターンアラウンド (リカバー)	ホスト	1111	データ 1	ホスト	bit 3 ~ 0
8	ターンアラウンド	なし	ZZZZ	データ 2	ホスト	bit 7 ~ 4
9	同期	スレーブ	0000	ターンアラウンド (リカバー)	ホスト	1111
10	データ 1	スレーブ	bit 3 ~ 0	ターンアラウンド	なし	ZZZZ
11	データ 2	スレーブ	bit 7 ~ 4	同期	スレーブ	0000
12	ターンアラウンド (リカバー)	スレーブ	1111	ターンアラウンド (リカバー)	スレーブ	1111
13	ターンアラウンド	なし	ZZZZ	ターンアラウンド	なし	ZZZZ

$\overline{\text{LFRAME}}$ 、LCLK、LAD 信号のタイミングを図 19.2、図 19.3 に示します。

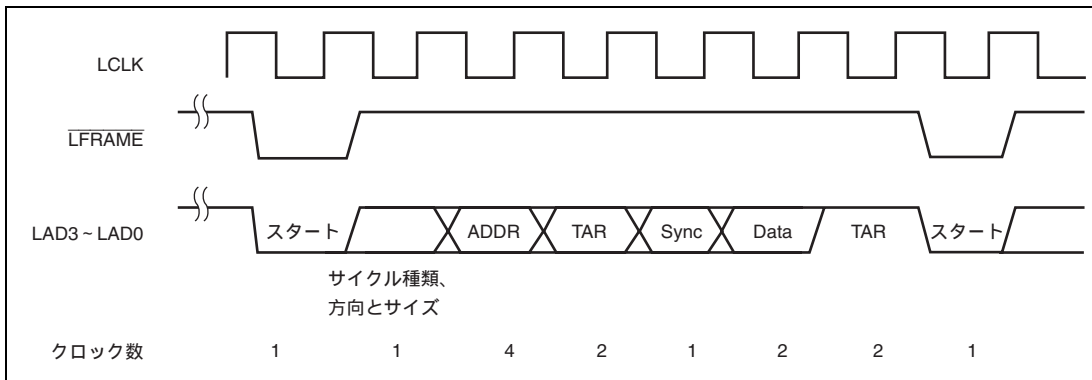


図 19.2 LFRAME の代表的タイミング

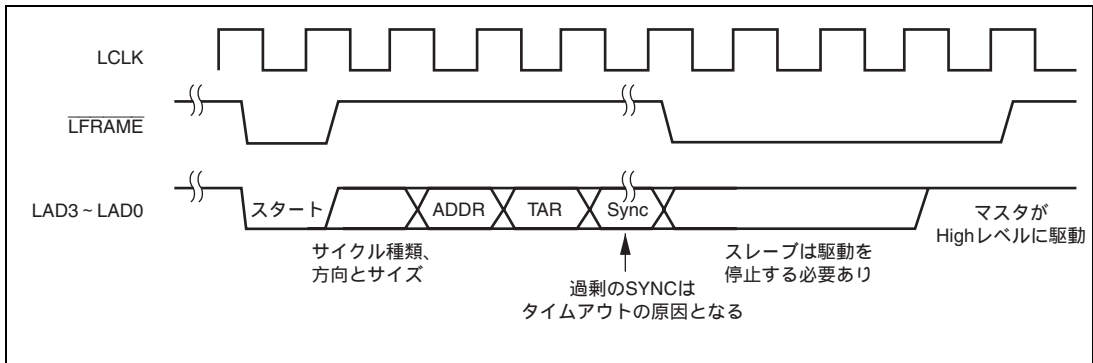


図 19.3 アポートメカニズム

### 19.4.3 GATE A20

GATE A20 は 8086\*系 CPU を使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレス A20 をマスクすることができます。本出力は通常 GATE A20 としてファームウェアで制御されますが、HICR0 の FGA20E ビットを 1 にセットすることによりハードウェアで処理速度を上げた、高速 GATE A20 機能を使用することが可能です。

【注】 \* 米国インテル社のマイクロプロセッサの名称です。

#### (1) 通常の GATE A20 の動作

H'D1 コマンドとデータの組み合わせで GATE A20 の出力を制御することができます。スレーブ (本 LSI) がデータを受信するときは、通常は IBF1 割り込みによる割り込みルーチンを使用して IDR1 をリードします。このとき、ファームウェアにより H'D1 コマンドに続くデータのビット 1 の値をコピーして GATE A20 端子に出力します。

#### (2) 高速 GATE A20 の動作

GA20 出力の内部状態は、FGA20E=0 であることにより 1 に初期化されます。FGA20E ビットを 1 にセットすると、P81/GA20 は高速 GA20 信号の出力端子となります。P81/GA20 端子の状態をモニタする場合は、HICR2 の GA20 ビットをリードしてください。

端子は、最初に初期値である 1 を出力します。その後ホストはコマンド / データを送ることにより本端子の出力を操作することができます。本機能は IDR1 レジスタによってのみ使用できます。この場合、ホストインタフェースはホストから入力されてくるコマンドをデコードします。ホストコマンド H'D1 が検出されると、このホストコマンドに続くデータのビット 1 が GA20 出力端子から出力されます。本動作は、ファームウェアや割り込みに依存しないため、通常の割り込みを使用した処理よりも高速です。表 19.3 に GA20 (P81) のセット / クリアの条件を、図 19.4 に GA20 出力のフローを示します。また、表 19.4 に GA20 出力信号の値を示します。

表 19.3 GA20 (P81) のセット / クリアタイミング

端子名	セット条件	クリア条件
GA20 (P81)	H'D1 ホストコマンドに続くデータのビット 1 が 1 のとき	H'D1 ホストコマンドに続くデータのビット 1 が 0 のとき

19. ホストインタフェース (LPC)

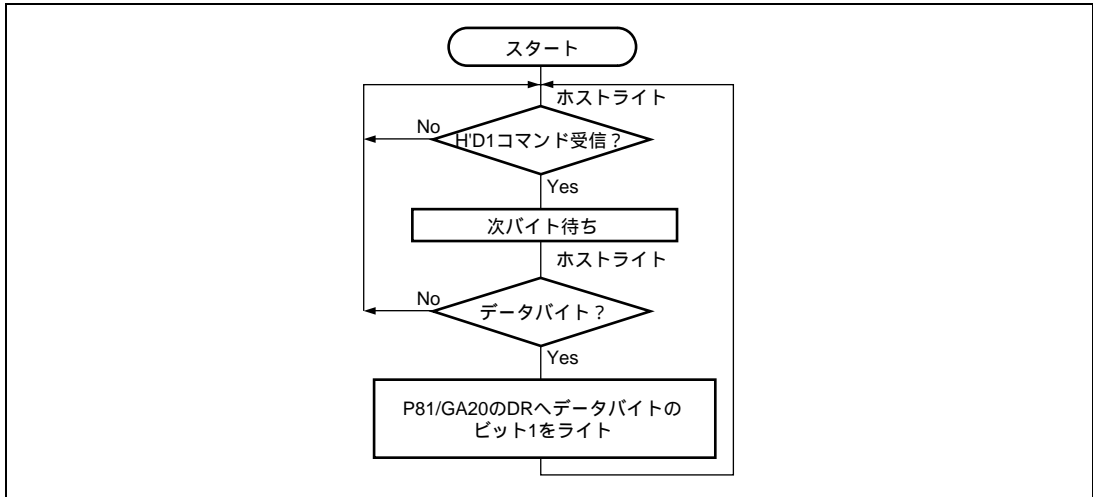


図 19.4 GA20 出力

表 19.4 高速 GATE A20 出力信号

HA0	データ / コマンド	内部 CPU 割り込みフラグ (IBF)	GA20 (P81)	備 考
1	H'D1 コマンド	0	Q	ターンオン
0	1 データ*1	0	1	シーケンス
1	H'FF コマンド	0	Q (1)	
1	H'D1 コマンド	0	Q	ターンオフ
0	0 データ*2	0	0	シーケンス
1	H'FF コマンド	0	Q (0)	
1	H'D1 コマンド	0	Q	ターンオン
0	1 データ*1	0	1	シーケンス
1 / 0	H'FF · H'D1 コマンド以外	1	Q (1)	(短縮形)
1	H'D1 コマンド	0	Q	ターンオフ
0	0 データ*2	0	0	シーケンス
1 / 0	H'FF · H'D1 コマンド以外	1	Q (0)	(短縮形)
1	H'D1 コマンド	0	Q	シーケンス
1	H'D1 以外のコマンド	1	Q	の取消し
1	H'D1 コマンド	0	Q	シーケンス
1	H'D1 コマンド	0	Q	の再トリガ
1	H'D1 コマンド	0	Q	シーケンス
0	任意のデータ	0	1 / 0	の連続実行
1	H'D1 コマンド	0	Q (1 / 0)	

【注】 \*1 ビット1が1の任意のデータ

\*2 ビット1が0の任意のデータ



#### 19.4.4 ホストインタフェースのシャットダウン機能 (LPCPD)

$\overline{\text{LPCPD}}$  端子の状態により、ホストインタフェースをシャットダウン状態にすることができます。ホストインタフェースのシャットダウン状態には、LPC ハードウェアシャットダウン状態と LPC ソフトウェアシャットダウン状態の 2 種類があります。LPC ハードウェアシャットダウン状態は  $\overline{\text{LPCPD}}$  端子で、LPC ソフトウェアシャットダウン状態は SDWNB ビットで制御されます。いずれの状態でも、ホストインタフェースは部分的にリセット状態となり、 $\overline{\text{LRESET}}$  信号および  $\overline{\text{LPCPD}}$  信号以外の外部信号の影響を受けなくなります。

シャットダウン状態での消費電流を低減するためには、スレーブをスリープモードまたはソフトウェアスタンバイモードに設定することが有効です。ソフトウェアスタンバイモードに設定した場合には、 $\overline{\text{LPCPD}}$  信号によるシャットダウン状態の解除の前にソフトウェアスタンバイモードを解除しておく手段が必要です。

SDWNE ビットをあらかじめ 1 にセットしておく、 $\overline{\text{LPCPD}}$  信号の立ち下がりと同時に LPC ハードウェアシャットダウン状態になり、事前の準備ができません。一方、SDWNB ビットによって LPC ソフトウェアシャットダウン状態に設定すると、 $\overline{\text{LPCPD}}$  信号の立ち上がりと同時に LPC ソフトウェアシャットダウン状態の解除ができません。これを考慮して、LPC ソフトウェアシャットダウンと LPC ハードウェアシャットダウンを組み合わせた操作手順を以下に示します。

1. SDWNE ビットは 0 にクリアしておきます。
2. ERRIE ビットを 1 にセットしておき、SDWN フラグによる割り込みを待ちます。
3. SDWN フラグによる ERRI 割り込みが発生したら、ホストインタフェースの内部状態フラグを確認し、処理すべき事項があれば処理します。
4. SDWNB ビットを 1 にセットして LPC ソフトウェアスタンバイモードを設定します。
5. SDWNE ビットを 1 にセットして LPC ハードウェアスタンバイモードに移行します。  
SDWNB ビットは自動的にクリアされます。
6.  $\overline{\text{LPCPD}}$  信号の状態を確認して、(3)~(5)の操作中に  $\overline{\text{LPCPD}}$  信号が立ち上がっていないことを確認します。もし立ち上がっていれば、SDWNE を 0 にクリアして(1)の状態に戻ります。
7. 必要に応じて、スレーブをスリープモードまたはソフトウェアスタンバイモードに設定します。
8. ソフトウェアスタンバイモードを設定した場合は、LPC と関係のない手段でソフトウェアスタンバイモードを解除します。
9.  $\overline{\text{LPCPD}}$  信号の立ち上がりエッジを検出すると、SDWNE ビットが自動的に 0 にクリアされます。スレーブがスリープモードに設定されている場合は、 $\overline{\text{LRESET}}$  信号入力や LPC の転送サイクルの完了などによって解除されます。

表 19.5 にホストインタフェース端子シャットダウン範囲を示します。

## 19. ホストインタフェース (LPC)

表 19.5 ホストインタフェース端子シャットダウン範囲

略 称	ポート	シャット ダウン範囲	入出力	備 考
LAD3 ~ LAD0	P33 ~ P30		入出力	Hi-Z
LFRAME	P34		入力	Hi-Z
LRESET	P35	×	入力	LPC ハードウェアリセット機能はアクティブ
LCLK	P36		入力	Hi-Z
SERIRQ	P37		入出力	Hi-Z
LSCI	PB1		入出力	Hi-Z、LSCIE=1 のときのみ
LSMI	PB0		入出力	Hi-Z、LSMIE=1 のときのみ
PME	P80		入出力	Hi-Z、PMEE=1 のときのみ
GA20	P81		入出力	Hi-Z、FGA20E=1 のときのみ
CLKRUN	P82		入力	Hi-Z
LPCPD	P83	×	入力	シャットダウン状態解除に必要

【記号説明】

- : シャットダウン機能によりシャットダウンされる端子
- : レジスタの設定による LPC 機能選択時のみシャットダウンされる端子
- × : シャットダウンされない端子

LPC シャットダウン状態では、LPC の内部状態および一部のレジスタビットが初期化されます。LPC リセット状態との優先順位は以下のようになっています。

1. システムリセット ( $\overline{STBY}$ 、 $\overline{RES}$ 端子入力、WDT0オーバーフローによるリセット)
  - LPC3E ~ LPC1Eビットはじめ、すべてのレジスタビットを初期化します。
2. LPCハードウェアリセット ( $\overline{LRESET}$ 端子入力によるリセット)
  - LRSTB、SDWNE、SDWNBビットを0にクリアします。
3. LPCソフトウェアリセット (LRSTBによるリセット)
  - SDWNE、SDWNBビットを0にクリアします。
4. LPCハードウェアシャットダウン
  - SDWNBビットを0にクリアします。
5. LPCソフトウェアシャットダウン

各モードで初期化される範囲を表 19.6 に示します。

表 19.6 ホストインタフェースの各モードで初期化される範囲

初期化対象	システム リセット	LPC リセット	LPC シャット ダウン
LPC 転送サイクルシーケンサ (内部状態) および LPCBSY フラグ、ABRT フラグ	初期化	初期化	初期化
SERIRQ 転送サイクルシーケンサ (内部状態) および CLKREQ、IRQBSY フラグ	初期化	初期化	初期化
ホストインタフェースフラグ (IBF1, IBF2, IBF3A, IBF3B, MWMF, C/D1, C/D2, C/D3, OBF1, OBF2, OBF3A, OBF3B, SWMF, DBU) および GA20 (内部状態)	初期化	初期化	保持
ホスト割り込みイネーブル (IRQ1E1, IRQ12E1, SMIE2, IRQ6E2, IRQ9E2 ~ IRQ11E2, SMIE3B, SMIE3A, IRQ6E3, IRQ9E3 ~ IRQ11E3) および Q/C フラグ、SELREQ ビット	初期化	初期化	保持
LRST フラグ	初期化 (0)	セット/クリア 可能	セット/クリア 可能
SDWN フラグ	初期化 (0)	初期化 (0)	セット/クリア 可能
LRSTB ビット	初期化 (0)	HR : 0 SR : 1	0 (セット可能)
SDWNB ビット	初期化 (0)	初期化 (0)	HS : 0 SS : 1
SDWNE ビット	初期化 (0)	初期化 (0)	HS : 1 SS : 0 または 1
ホストインタフェース動作制御ビット (LPC3E ~ LPC1E, FGA20E, LADR3, IBFIE1 ~ IBFIE3, PMEE, PMEB, LSMIE, LSMIB, LSCIE, LSCIB, TWRE, SELSTR3, SELIRQ1, SELSMI, SELIRQ6, SELIRQ9, SELIRQ10, SELIRQ11, SELIRQ12)	初期化	保持	保持
LRESET 信号	入力  (ポート 機能)	入力	入力
LPCPD 信号		入力	入力
LAD3 ~ LAD0, LFRAME, LCLK, SERIRQ, CLKRUN 信号		入力	Hi-Z
PME, LSMI, LSCI, GA20 信号 (機能選択時)		出力	Hi-Z
PME, LSMI, LSCI, GA20 信号 (機能非選択時)		ポート機能	

【注】 システムリセット : STBY 入力、RES 入力、WDT オーバフローによるリセット

LPC リセット : LPC ハードウェアリセット (HR)、LPC ソフトウェアリセット (SR) によるリセット

LPC シャットダウン : LPC ハードウェアシャットダウン (HS)、LPC ソフトウェアシャットダウン (SS) によるリセット

## 19. ホストインタフェース (LPC)

$\overline{\text{LPCPD}}$ 、 $\overline{\text{LRESET}}$  信号のタイミングを図 19.5 に示します。

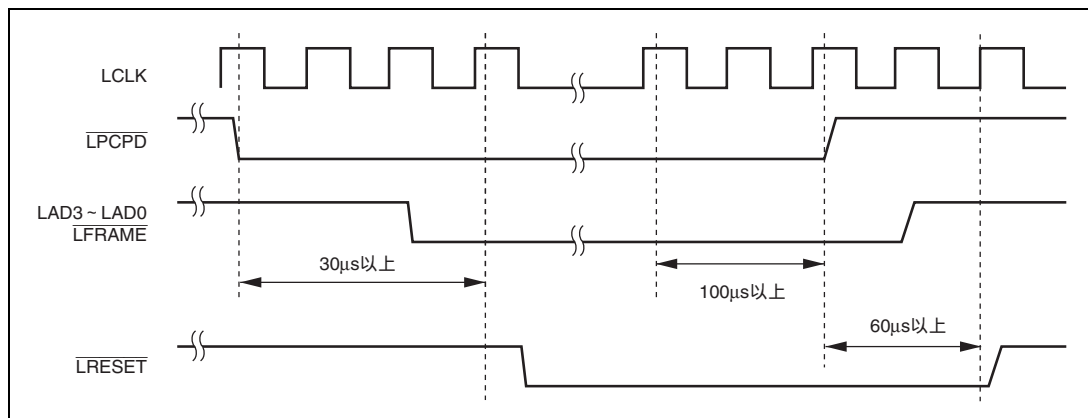


図 19.5 パワーダウン状態の終了タイミング

### 19.4.5 ホストインタフェースのシリアル割り込み動作 (SERIRQ)

SERIRQ 端子により、ホストインタフェースからホスト割り込み要求をすることができます。SERIRQ 端子によるホスト割り込み要求は、ホストまたは周辺機能から発生されるシリアル割り込み転送サイクルの開始フレームから起算して LCLK をカウントし、当該割り込みに対応するフレームで要求信号を発生します。このタイミングを図 19.6 に示します。

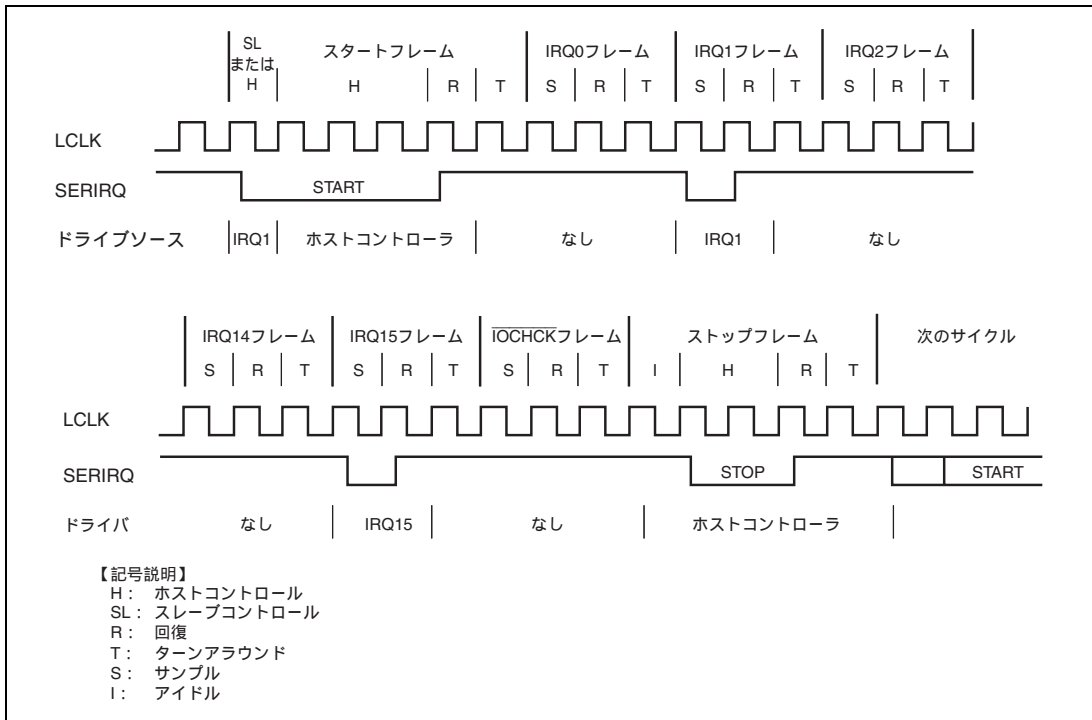


図 19.6 SERIRQ タイミング

シリアル割り込み転送サイクルのフレームの配列は次のとおりです。各フレームのステート数のうち 2 ステートは、フレームの終わりに SERIRQ 信号を 1 レベルに戻すリカバーステートと、SERIRQ 信号をドライブをしないターンアラウンドステートです。リカバーステートは、直前のステートをドライブしていたホストまたはスレーブがドライブする必要があります。

## 19. ホストインタフェース (LPC)

フレーム カウント	シリアル割り込み転送サイクル			備 考
	内 容	駆動元	ステート数	
0	スタート	スレーブ ホスト	6	クワイエットモード時のみ、 先頭ステートのスレーブ駆動可能 続く3ステートをホストが0 駆動
1	IRQ0	スレーブ	3	
2	IRQ1	スレーブ	3	LPC チャンネル 1 で駆動可能
3	SMI	スレーブ	3	LPC チャンネル 2、3 で駆動可能
4	IRQ3	スレーブ	3	
5	IRQ4	スレーブ	3	
6	IRQ5	スレーブ	3	
7	IRQ6	スレーブ	3	LPC チャンネル 2、3 で駆動可能
8	IRQ7	スレーブ	3	
9	IRQ8	スレーブ	3	
10	IRQ9	スレーブ	3	LPC チャンネル 2、3 で駆動可能
11	IRQ10	スレーブ	3	LPC チャンネル 2、3 で駆動可能
12	IRQ11	スレーブ	3	LPC チャンネル 2、3 で駆動可能
13	IRQ12	スレーブ	3	LPC チャンネル 1 で駆動可能
14	IRQ13	スレーブ	3	
15	IRQ14	スレーブ	3	
16	IRQ15	スレーブ	3	
17	IOCHCK	スレーブ	3	
18	ストップ	ホスト	不定	先頭に1ステート以上のアイドルステート その後ホストが2または3ステート0 駆動 2ステート：次はクワイエットモード 3ステート：次はコンティニユアモード

シリアル割り込みには、コンティニユアモードとクワイエットモードがあり、次の転送サイクルがいずれのモードで起動されるかは、ひとつ前に終了したシリアル割り込み転送サイクルの停止フレームで選択されています。

コンティニユアモードでは、ホストが定期的にホスト割り込み転送サイクルを起動します。クワイエットモードでは、ホストの他に、要求すべき割り込み要因をもつスレーブが割り込み転送サイクルを起動することができます。クワイエットモードでは、必ずしもホストが割り込み転送サイクルを起動する必要がないため、クロック (LCLK) 供給を中断して低消費電力状態に入ることが可能です。このときスレーブが割り込み要求を転送するためには、事前にクロックの再起動をホストに要求する必要があります。詳細は「19.4.6 ホストインタフェースのクロック起動要求 (CLKRUN)」を参照してください。

### 19.4.6 ホストインタフェースのクロック起動要求 (CLKRUN)

$\overline{\text{CLKRUN}}$  端子により、ホストにクロック (LCLK) の再起動を要求することができます。LPC のデータ転送およびコンティニユアスモードの SERIRQ では、転送サイクルはホストにより起動されるため、クロックの再起動を要求することはありません。クワイエットモードの SERIRQ では、ホスト割り込み要求が発生すると  $\overline{\text{CLKRUN}}$  信号を駆動し、ホストにクロック (LCLK) の再起動を要求します。このタイミングを図 19.7 に示します。

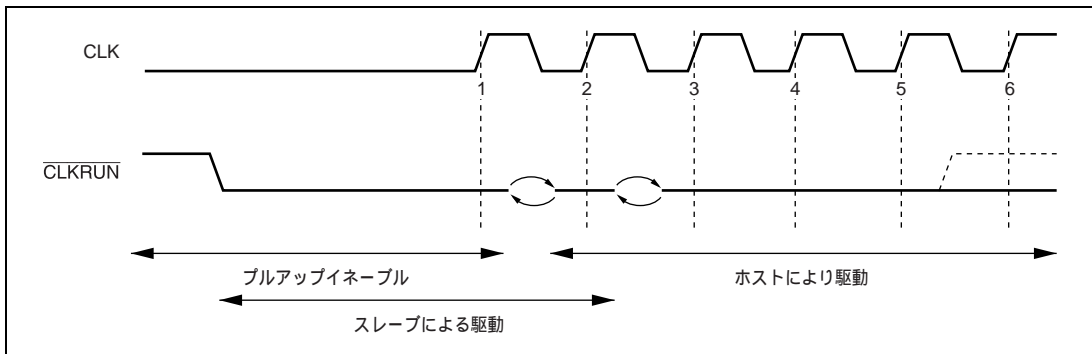


図 19.7 クロック起動要求タイミング

クワイエットモードの SERIRQ 以外の場合でクロックの再起動が必要な場合は、 $\overline{\text{PME}}$  信号等を用いた別プロトコルによる対応が必要です。

## 19.5 割り込み要因

### 19.5.1 IBFI1、IBFI2、IBFI3、ERRI

ホストインタフェースはスレープ (本 LSI) に対して IBFI1、IBFI2、IBFI3、ERRI の 4 つの割り込み要求があります。IBFI1、IBFI2、IBFI3 はそれぞれ入力データレジスタ IDR1、IDR2、IDR3、および TWR についての受信完了割り込みです。ERRI は、LPC リセット、LPC シャットダウン、転送サイクルのアポートなど、特別な状態が発生したことを示す割り込みです。割り込み要求は対応するイネーブルビットをセットすることにより許可されます。

表 19.7 受信完了割り込みおよびエラー割り込み

割り込み	説明
IBFI1	IBFIE1 が 1 にセットされ、IDR1 が受信完了になったとき
IBFI2	IBFIE2 が 1 にセットされ、IDR2 が受信完了になったとき
IBFI3	IBFIE3 が 1 にセットされ、IDR3 が受信完了になったとき または、TWRE と IBFIE3 が 1 にセットされ、TWR15 まで受信完了になったとき
ERRI	ERRIE が 1 にセットされ、LRST、SDWN、ABRT のいずれかが 1 にセットされたときに要求

## 19.5.2 SMI、HIRQ1、HIRQ6、HIRQ9、HIRQ10、HIRQ11、HIRQ12

ホストインタフェースは、SERIRQにより7種類のホスト割り込みを要求することができます。HIRQ1とHIRQ12はLPCチャンネル1専用で、SMI、HIRQ6、HIRQ9、HIRQ10およびHIRQ11はLPCチャンネル2とチャンネル3のどちらからでも要求できます。

ホスト割り込み要求のクリアにはふたつの方法があります。

SIRQCR0のIEDIRビットが0にクリアされている場合は、ホスト割り込み要因とLPCチャンネルは、すべてホスト割り込み要求イネーブルビットで関連付けられています。対応するLPCチャンネルのODRまたはTWR15がホストにリードされることによりOBFフラグが0にクリアされると、対応するホスト割り込みイネーブルビットが自動的に0にクリアされ、ホスト割り込み要求がクリアされます。

SIRQCR0のIEDIRビットが1にセットされていると、LPCチャンネル2と3のホスト割り込み要求は、ホスト割り込みイネーブルビットのみによって要求されます。また、LPCチャンネル2、3のOBFがクリアされても、ホスト割り込みイネーブルビットはクリアされません。したがって、SMIE2、SMIE3AとSMIE3B、IRQ6E2とIRQ6E3、IRQ9E2とIRQ9E3、IRQ10E2とIRQ10E3、IRQ11E2とIRQ11E3は、それぞれ機能上の違いはなくなります。ホスト割り込み要求をクリアするには、ホスト割り込みイネーブルビットをクリアする必要があります。

表 19.8 に、これらのビットのセットとクリアの方法を示します。また、図 19.8 に処理フローを示します。

表 19.8 HIRQ のセット/クリア

ホスト割り込み	セット条件	クリア条件
HIRQ1 (IEDIR=1でも同様)	内部CPUが、ODR1にライトした後、IRQ1E1ビットの0リード後、1をライト	IRQ1E1ビットに内部CPUから0ライト、またはODR1をホストリード
HIRQ12 (IEDIR=1でも同様)	内部CPUが、ODR1にライトした後、IRQ12E1ビットの0リード後、1をライト	IRQ12E1ビットに内部CPUから0ライト、ODR1をホストリード
SMI (IEDIR=0)	内部CPUが、 ODR2にライトした後、SMIE2ビットの0リード後、1をライト ODR3にライトした後、SMIE3Aビットの0リード後、1をライト TWR15にライトした後、SMIE3Bビットの0リード後、1をライト	SMIE2ビットに内部CPUから0ライト、またはODR2をホストリード SMIE3Aビットに内部CPUから0ライト、またはODR3をホストリード SMIE3Bビットに内部CPUから0ライト、またはTWR15をホストリード
SMI (IEDIR=1)	内部CPUが、 SMIE2ビットの0リード後、1をライト SMIE3Aビットの0リード後、1をライト SMIE3Bビットの0リード後、1をライト	SMIE2ビットに内部CPUから0ライト SMIE3Aビットに内部CPUから0ライト SMIE3Bビットに内部CPUから0ライト
HIRQi (i=6、9~11) (IEDIR=0)	内部CPUが、 ODR2にライトした後、IRQiE2ビットの0リード後、1をライト ODR3にライトした後、IRQiE3ビットの0リード後、1をライト	IRQiE2ビットに内部CPUから0ライト、またはODR2をホストリード IRQiE3ビットに内部CPUから0ライト、またはODR3をホストリード
HIRQi (i=6、9~11) (IEDIR=1)	内部CPUが、 IRQiE2ビットの0リード後、1をライト IRQiE3ビットの0リード後、1をライト	IRQiE2ビットに内部CPUから0ライト IRQiE3ビットに内部CPUから0ライト



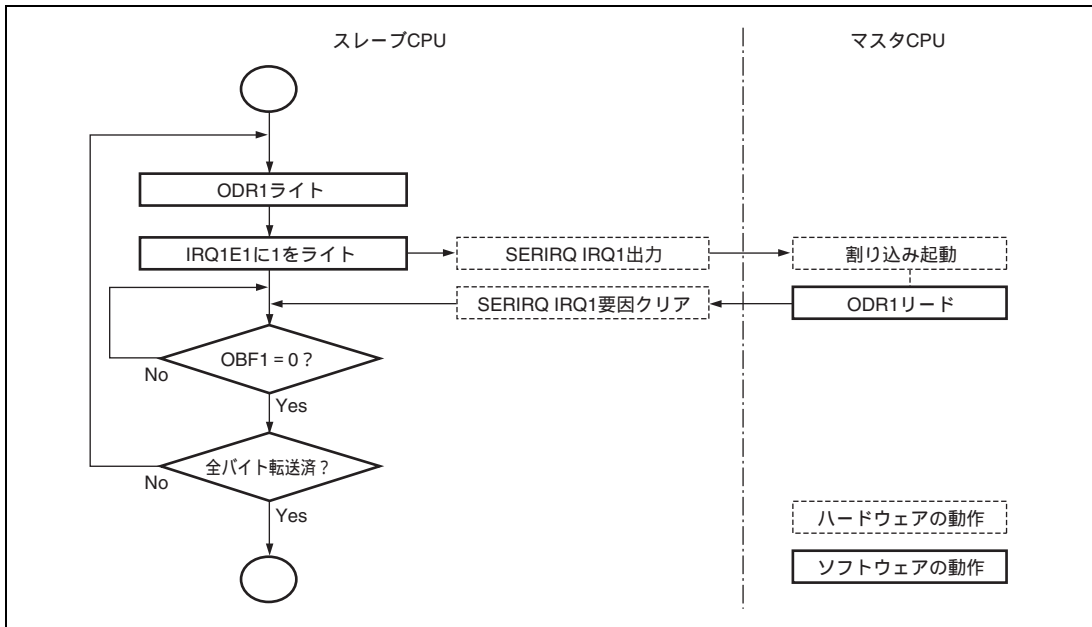


図 19.8 HIRQの利用フロー (チャンネル1の例)

## 19.6 使用上の注意事項

### 19.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、LPCの動作停止/許可を設定することが可能です。初期値ではLPCの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第25章 低消費電力状態」を参照してください。

### 19.6.2 ホストインタフェース使用上の注意事項

ホストインタフェースはホストとスレーブ(本LSI)からの非同期データのバッファリングを提供しています。データアクセスの競合を防ぐためには、STR中のフラグを利用したインタフェースのプロトコルが必要です。たとえば、ホストとスレーブ(本LSI)が同時にIDRやODRをアクセスしようとすると、正しいデータが得られません。同時アクセスを防ぐためには、IBFやOBFを利用して、書き込みの終わったデータのみをアクセスする必要があります。

双方向データレジスタ(TWR)では、IDRやODRと異なり、転送の方向が固定されていません。これを解決するために、STR中にMWMFとSWMFがあります。TWR0にライトした後、TWR1~TWR15の書き込み権を得られたのをMWMFとSWMFを利用して確認する必要があります。

LADR3とIDR3、ODR3、STR3、TWR0MW、TWR0SW、TWR1~TWR15レジスタのホストアドレス例を表19.9に示します。

## 19. ホストインタフェース (LPC)

---

表 19.9 ホストアドレス

レジスタ	LADR3 = H'A24F の場合のホストアドレス	LADR3 = H'3FD0 の場合のホストアドレス
IDR3	H'A24A と H'A24E	H'3FD0 と H'3FD4
ODR3	H'A24A	H'3FD0
STR3	H'A24E	H'3FD4
TWR0MW	H'A250	H'3FC0
TWR0SW	H'A250	H'3FC0
TWR1	H'A251	H'3FC1
TWR2	H'A252	H'3FC2
TWR3	H'A253	H'3FC3
TWR4	H'A254	H'3FC4
TWR5	H'A255	H'3FC5
TWR6	H'A256	H'3FC6
TWR7	H'A257	H'3FC7
TWR8	H'A258	H'3FC8
TWR9	H'A259	H'3FC9
TWR10	H'A25A	H'3FCA
TWR11	H'A25B	H'3FCB
TWR12	H'A25C	H'3FCC
TWR13	H'A25D	H'3FCD
TWR14	H'A25E	H'3FCE
TWR15	H'A25F	H'3FCF

## 20. D/A 変換器

### 20.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 $\mu$ s（負荷容量20pF時）
- 出力電圧：0V～AVref
- ソフトウェアスタンバイモード時のD/A出力保持機能

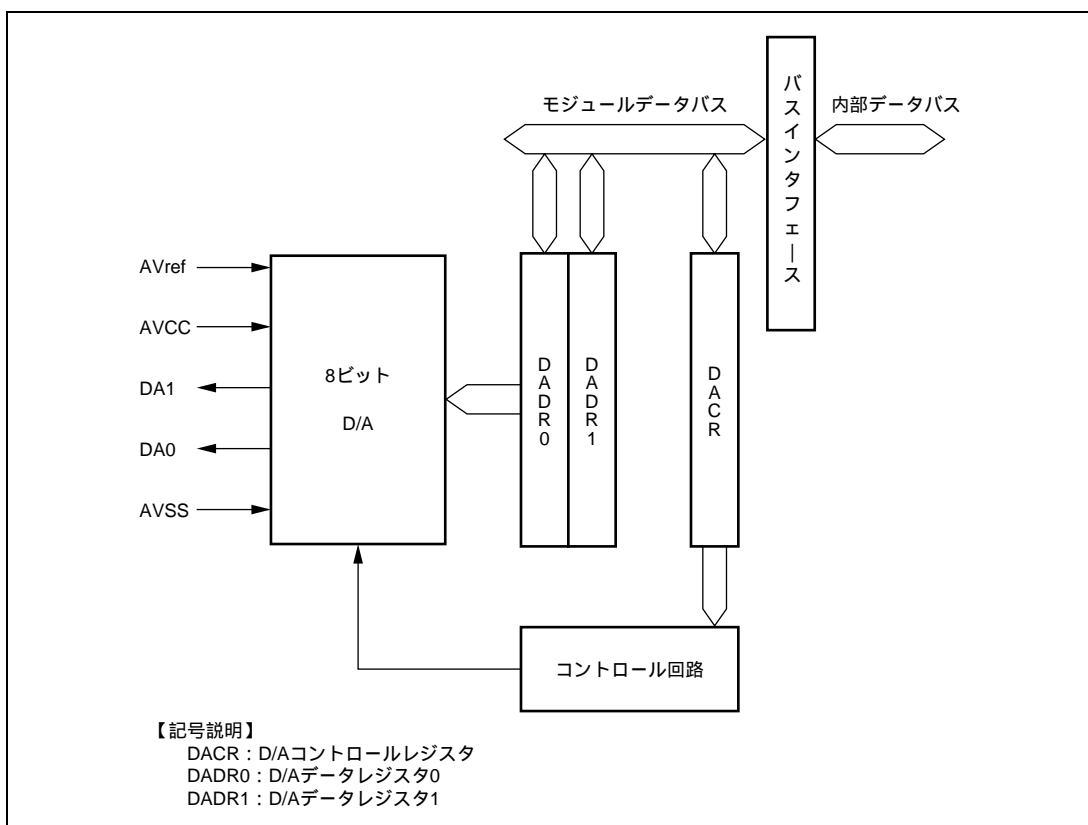


図 20.1 D/A 変換器のブロック図

## 20.2 入出力端子

D/A 変換器で使用する入出力端子を表 20.1 に示します。

表 20.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電源端子	AVref	入力	アナログ部の基準電圧

## 20.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ (DACR)

### 20.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

D/A データレジスタは、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、D/A データレジスタの値が変換され、アナログ出力端子に出力されます。DADR0、DADR1 の初期値は H'00 です。

### 20.3.2 D/A コントロールレジスタ (DACR)

DACR は D/A 変換器の動作を制御します。

ビット	ビット名	初期値	R/W	説 明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA1 を禁止 1 : チャンネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : アナログ出力 DA0 を禁止 1 : チャンネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可

ビット	ビット名	初期値	R/W	説明
5	DAE	0	R/W	D/A イネーブル DAOE1、DAOE0 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE1、DAOE0 ビットにより制御されます。詳細は表 20.2 を参照してください。
4~0		すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 20.2 D/A 変換の制御

ビット 7	ビット 6	ビット 5	説明	
DAOE1	DAOE0	DAE		
0	0		D/A 変換を禁止	
		1	0	チャンネル 0 の D/A 変換を許可 チャンネル 1 の D/A 変換を禁止
			1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止 チャンネル 1 の D/A 変換を許可	
			1	チャンネル 0、1 の D/A 変換を許可
		1	チャンネル 0、1 の D/A 変換を許可	

## 20.4 動作説明

2 チャンネルの D/A 変換器は、それぞれ独立に変換を行うことができます。

DACR の DAOE ビットを 1 にセットすると、D/A 変換が許可され変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを図 20.2 に示します。

1. DADR0 に変換データをライトします。
2. DACR の DAOE0 ビットを 1 にセットすると、D/A 変換が開始されます。 $t_{\text{DCONV}}$  時間経過後、変換結果がアナログ出力端子 DA0 より出力されます。DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADR の内容}}{256} \times \text{AVref}$$

3. DADR0 を書き換えると、直ちに変換が開始されます。 $t_{\text{DCONV}}$  時間経過後、変換結果が出力されます。
4. DAOE0 ビットを 0 にクリアすると、アナログ出力を禁止します。

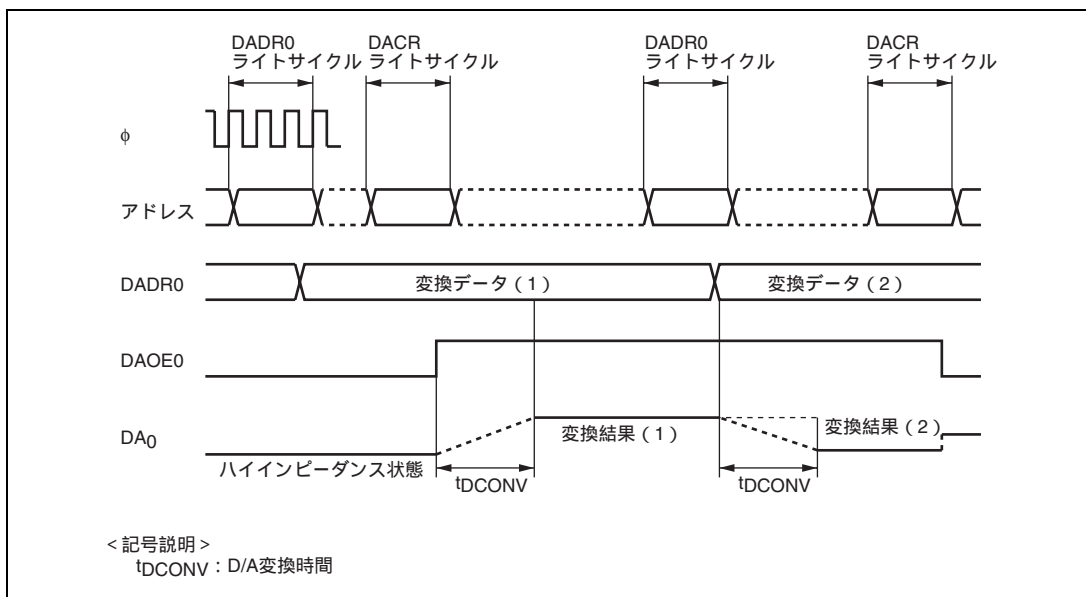


図 20.2 D/A 変換器の動作例

## 20.5 使用上の注意事項

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE1、DAOE0、DAE ビットをすべて 0 にクリアして D/A 出力を禁止にしてください。

### 20.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作停止 / 許可を設定することが可能です。初期値では D/A 変換器の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力状態」を参照してください。

---

## 21. A/D 変換器

---

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力および最大 16 チャンネルのデジタル入力を選択することができます。デジタル入力は多値入力判定のコンパレータなどの用途に最適です。

### 21.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネルのアナログ入力と16チャンネルのデジタル入力
- リファレンス電源電圧端子（AVref）をアナログ基準電圧として、アナログ変換電圧範囲を設定可能
- 変換時間：1チャンネル当たり13.4 $\mu$ s（10MHz動作時）
- 動作モード：2種類
  - シングルモード：1チャンネルのA/D変換
  - スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本
  - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
  - ソフトウェア
  - 8ビットタイマ（TMR）の変換開始トリガ
  - 外部トリガ信号
- 割り込み要因
  - A/D変換終了割り込み要求（ADI）を発生

## 21. A/D 変換器

A/D 変換器のブロック図を図 21.1 に示します。

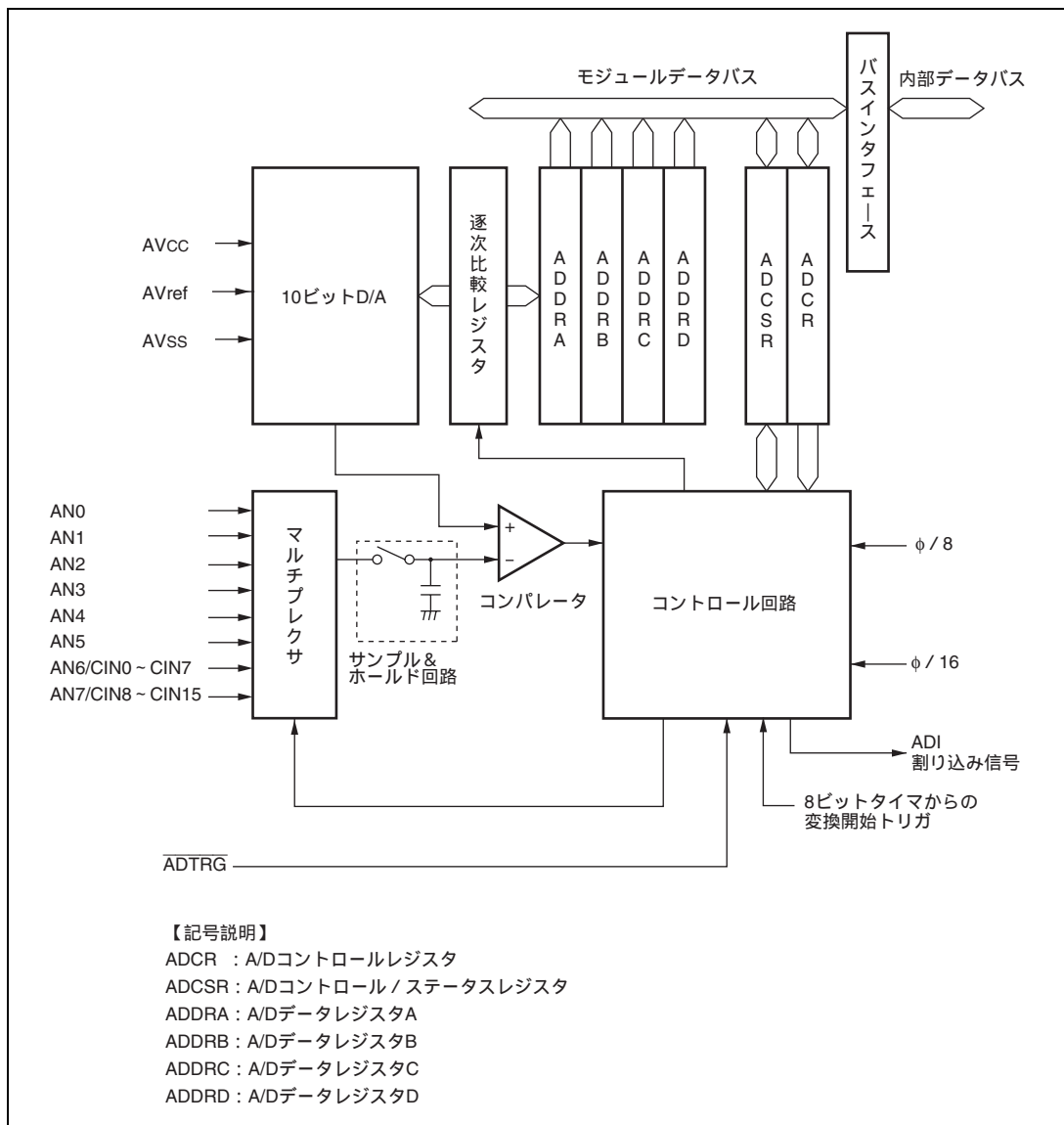


図 21.1 A/D 変換器のブロック図



## 21.2 入出力端子

A/D 変換器で使用する端子を表 21.1 に示します。8 本のアナログ入力端子は 4 チャンネル×2 グループに分割されています。アナログ入力端子 0~3 (AN0~AN3) がグループ 0、アナログ入力端子 4~7 (AN4~AN7) がグループ 1 になっています。AN6、AN7 は拡張 A/D 変換入力端子 (CIN0~CIN15) を選択することができます。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 21.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電源端子	AVref	入力	アナログ部の基準電圧
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力端子
拡張 A/D 変換入力端子 0~15	CIN0 ~ CIN15	入力	拡張 A/D 変換入力 (デジタル入力端子) チャンネル 0~15 デジタル入力端子として使用可能

## 21.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/D データレジスタ A (ADDRA)
- A/D データレジスタ B (ADDRB)
- A/D データレジスタ C (ADDRC)
- A/D データレジスタ D (ADDRD)
- A/D コントロール / ステータスレジスタ (ADCSR)
- A/D コントロールレジスタ (ADCR)
- キーボードコンバータコントロールレジスタ (KBCOMP)

### 21.3.1 A/D データレジスタ A ~ D ( ADDR<sub>A</sub> ~ ADDR<sub>D</sub> )

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDR<sub>A</sub> ~ ADDR<sub>D</sub> の 4 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 21.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイト下位バイトの順でアクセスしてください。

表 21.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		変換結果が格納される A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDR <sub>A</sub>
AN1	AN5	ADDR <sub>B</sub>
AN2	AN6 または CIN0 ~ CIN7	ADDR <sub>C</sub>
AN3	AN7 または CIN8 ~ CIN15	ADDR <sub>D</sub>

### 21.3.2 A/D コントロール / ステータスレジスタ ( ADCSR )

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [ セット条件 ] <ul style="list-style-type: none"> <li>• シングルモードで A/D 変換が終了したとき</li> <li>• スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき</li> </ul> [ クリア条件 ] <ul style="list-style-type: none"> <li>• 1 の状態をリードした後、0 をライトしたとき</li> <li>• ADI 割り込みにより DTC が起動され、ADDR をリードしたとき</li> </ul>
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 1 にセットすると A/D 変換を開始します。0 にクリアすると A/D 変換を停止します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。SCAN ビットの設定は、A/D 変換停止時 (ADST=0) に行ってください。 0 : シングルモード 1 : スキャンモード

ビット	ビット名	初期値	R/W	説明
3	CKS	0	R/W	クロックセレクト A/D 変換時間を設定します。入力チャネルの設定は、A/D 変換停止時(ADST=0)に行ってください。 0 : 変換時間=266 ステート (Max) 1 : 変換時間=134 ステート (Max) 変換時間の切り替えは、ADST=0 の状態で行ってください。
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	チャンネルセレクト 2~0 アナログ入力チャネルを選択します。入力チャネルの設定は、A/D 変換停止時(ADST=0)に行ってください。 SCAN=0 のとき                      SCAN=1 のとき 000 : AN0                              000 : AN0 001 : AN1                              001 : AN0、AN1 010 : AN2                              010 : AN0 ~ AN2 011 : AN3                              011 : AN0 ~ AN3 100 : AN4                              100 : AN4 101 : AN5                              101 : AN4、AN5 110 : AN6 または CIN0 ~ CIN7      110 : AN4 ~ AN6 または CIN0 ~ CIN7 111 : AN7 または CIN8 ~ CIN15    111 : AN4 ~ AN6 または CIN0 ~ CIN7、AN7 または CIN8 ~ CIN15

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 21.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7 6	TRGS1 TRGS0	0 0	R/W R/W	タイマトリガセレクト 1、0 トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時(ADST=0)に行ってください。 00 : 外部トリガによる A/D 変換の開始を禁止 01 : 外部トリガによる A/D 変換の開始を禁止 10 : TMR からの変換トリガによる A/D 変換の開始を許可 11 : $\overline{\text{ADTRG}}$ による A/D 変換の開始を許可
5~0		すべて 1	R	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。

## 21. A/D 変換器

### 21.3.4 キーボードコンパレータコントロールレジスタ (KBCOMP)

KBCOMP は、A/D 変換する CIN 入力チャンネルの選択、CIN7 ~ CIN0 のコンパレータスキャン機能を許可 / 禁止します。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	SCI に関するビットです。詳細は「15.3.10 キーボードコンパレータコントロールレジスタ (KBCOMP)」を参照してください。
6	IrCKS2	0	R/W	
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3	KBADE	0	R/W	キーボード A/D イネーブル (AN6、AN7) KBCH2 ~ KBCH0 ビットとの組み合わせにより、A/D 変換器チャンネル 6、7 をアナログ端子とするかデジタル端子とするかを選択します。詳細はビット 2 ~ 0 を参照してください。A/D 変換器のアナログ端子を、デジタル入力端子 (CIN0 ~ CIN7、CIN8 ~ CIN15) に設定します。
2	KBCH2	0	R/W	キーボード A/D チャンネルセレクト 2 ~ 0 KBADE ビットの組み合わせにより、デジタル入力端子から、A/D 変換するチャンネルを選択します。入力チャンネルの設定は、変換停止中に行ってください。 チャンネル 6      チャンネル 7 0xxx : AN6          AN7 1000 : CIN0          CIN8 1001 : CIN1          CIN9 1010 : CIN2          CIN10 1011 : CIN3          CIN11 1100 : CIN4          CIN12 1101 : CIN5          CIN13 1110 : CIN6          CIN14 1111 : CIN7          CIN15
1	KBCH1	0	R/W	
0	KBCH0	0	R/W	

#### 【記号説明】

x : Don't care

## 21.4 動作説明

A/D 変換器は逐次比較方式で分解能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

### 21.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

### 21.4.2 スキャンモード

スキャンモードは、複数チャンネル（1 チャンネルを含む）のアナログ入力を常にモニタするような応用に適しています。ソフトウェア、タイマまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル（CH2 = 0 のとき AN0、CH2 = 1 のとき AN4）から A/D 変換は開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル（AN1 または AN5）の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

スキャンモードで 3 チャンネル（AN0 ~ AN2）を選択して A/D 変換を行う場合の動作例を以下に示します。

動作タイミングを図 21.2 に示します。

1. 動作モードをスキャンモードに（SCAN = 1）、スキャングループを 0 に（CH2 = 0）、アナログ入力チャンネルを AN0 ~ AN2（CH1 = 1、CH0 = 0）に設定して A/D 変換を開始（ADST = 1）します。
2. 第 1 チャンネル（AN0）の A/D 変換が開始され A/D 変換が終了すると、変換結果を ADDR0 に転送します。  
次に第 2 チャンネル（AN1）が自動的に選択され、変換を開始します。
3. 同様に第 3 チャンネル（AN2）まで変換を行います。
4. 選択されたすべてのチャンネル（AN0 ~ AN2）の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル（AN0）を選択し、変換が行われます。

このとき ADIE ビットが 1 にセットされていると A/D 変換終了後、ADI 割り込みを発生します。

5. ADST ビットが 1 にセットされている間は、2. ~ 4. を繰り返します。

ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル（AN0）から変換が行われます。

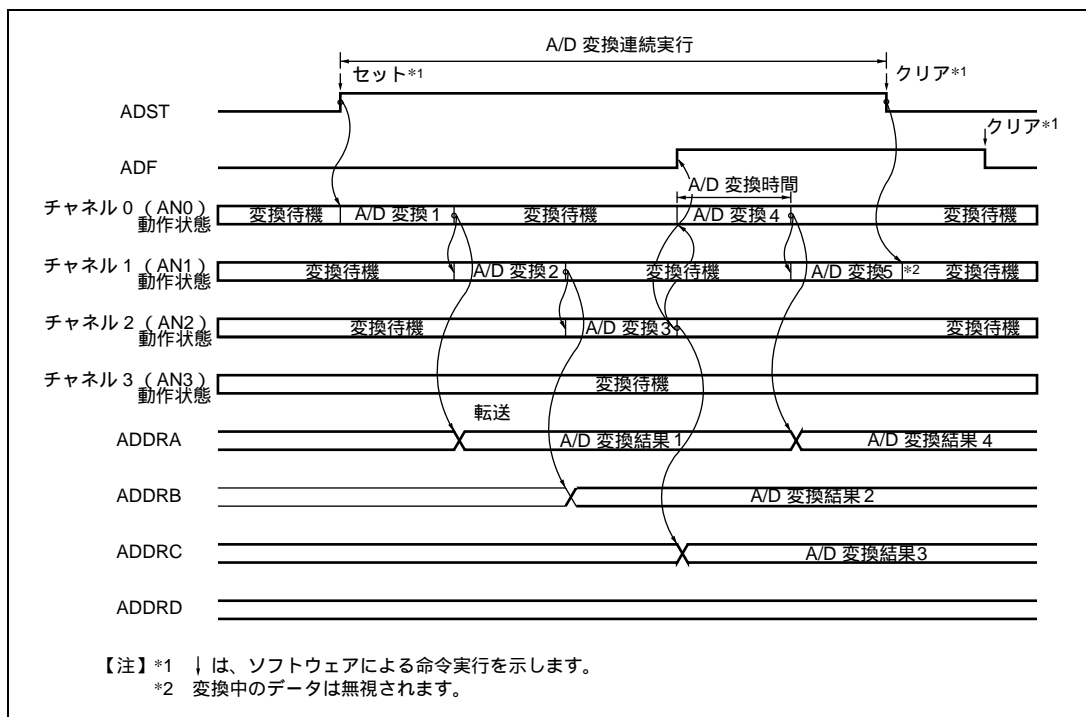


図 21.2 A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)

### 21.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 ( $t_D$ ) 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 21.3 に示します。また、A/D 変換時間を表 21.3 に示します。

A/D 変換時間 ( $t_{CONV}$ ) は、図 21.3 に示すように、 $t_D$  と入力サンプリング時間 ( $t_{SPL}$ ) を含めた時間となります。ここで  $t_D$  は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 21.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 21.3 に示す値が 1 回目の変換時間となります。2 回目以降は CKS=0 の場合は 256 ステート (固定)、CKS=1 の場合は 128 ステート (固定) となります。

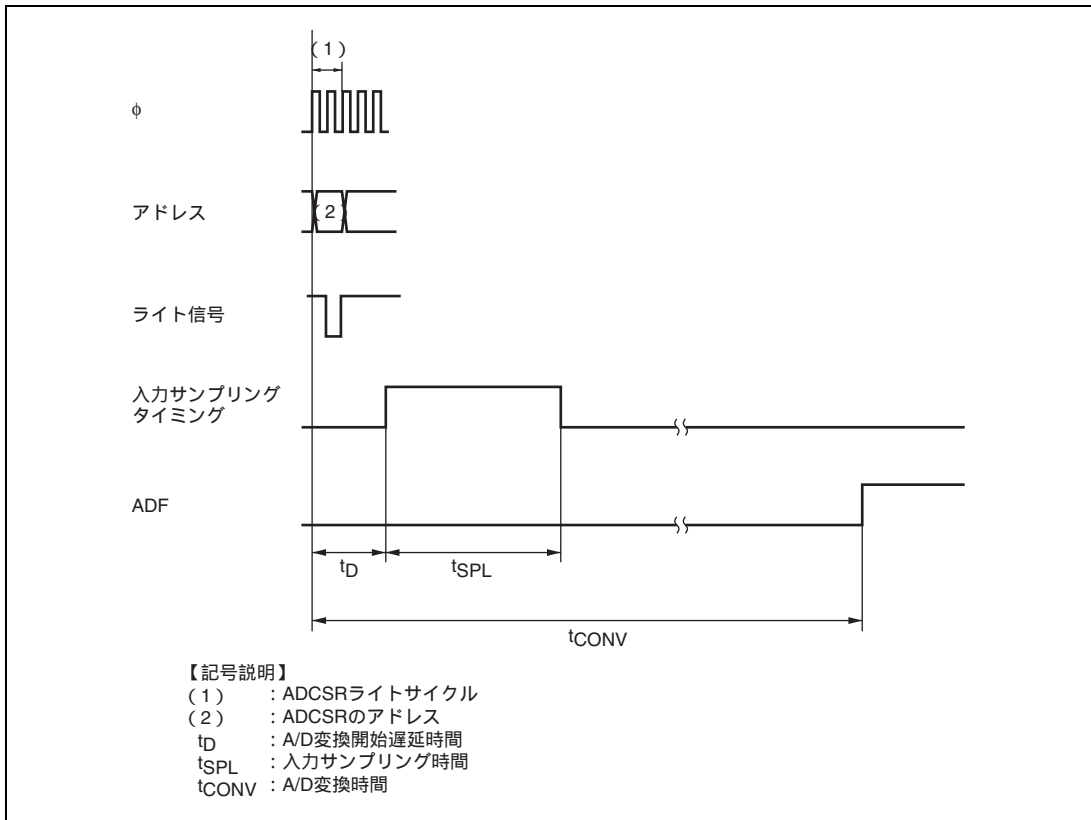


図 21.3 A/D 変換タイミング

表 21.3 A/D 変換時間 (シングルモード)

項目	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	$t_D$	10	-	17	6	-	9
入力サンプリング時間	$t_{SPL}$	-	63	-	-	31	-
A/D 変換時間	$t_{CONV}$	259	-	266	131	-	134

【注】 表中の数値の単位はステートです。

#### 21.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、 $\overline{ADTRG}$  端子から入力されます。 $\overline{ADTRG}$  の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード / スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 21.4 に示します。

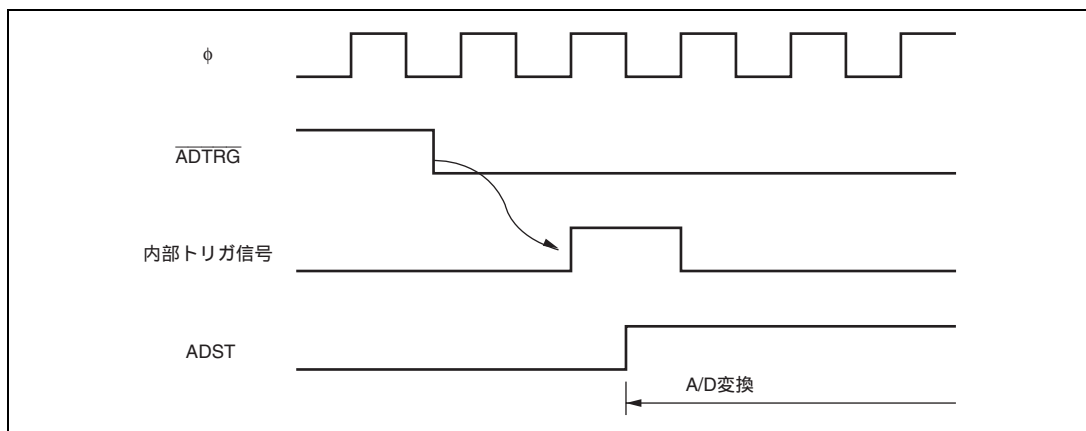


図 21.4 外部トリガ入力タイミング

## 21.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネブルになります。

## 21.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図21.5)

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差 (図21.6)

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差 (図21.6)

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図21.6)

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む



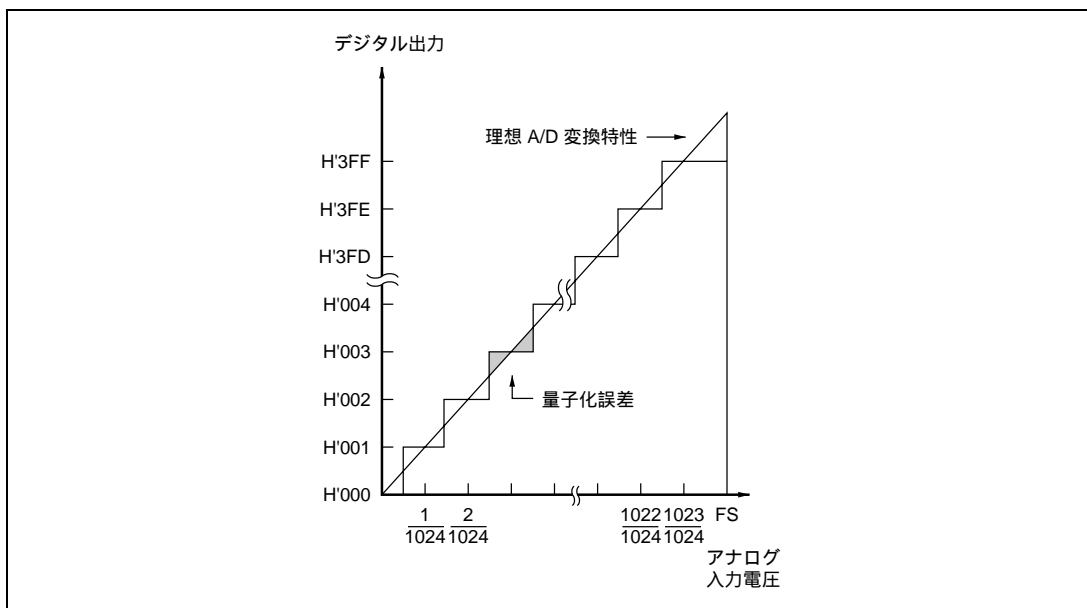


図 21.5 A/D 変換精度の定義

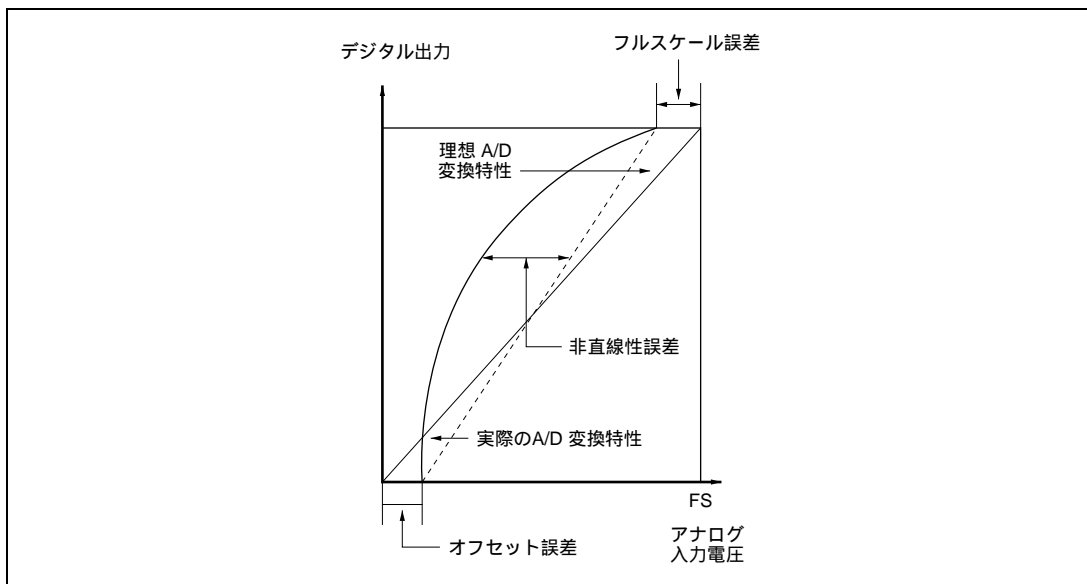


図 21.6 A/D 変換精度の定義

## 21.7 使用上の注意事項

### 21.7.1 許容信号源インピーダンスについて

本 LSI (3V 版) のアナログ入力は、信号源インピーダンスが  $5\text{k}\Omega$  以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが  $5\text{k}\Omega$  を超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の  $10\text{k}\Omega$  だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が  $5\text{mV}/\mu\text{s}$  以上）には追従できないことがあります（図 21.7）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。5V 版については「第 27 章 電気的特性」を参照してください。

### 21.7.2 絶対精度への影響

容量を付加することにより、グラウンドとのカップリングを受けることとなりますので、グラウンドにノイズがあると絶対精度が悪化する可能性がありますので、必ず  $AV_{SS}$  等の電氣的に安定なグラウンドに接続してください。

またフィルター回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

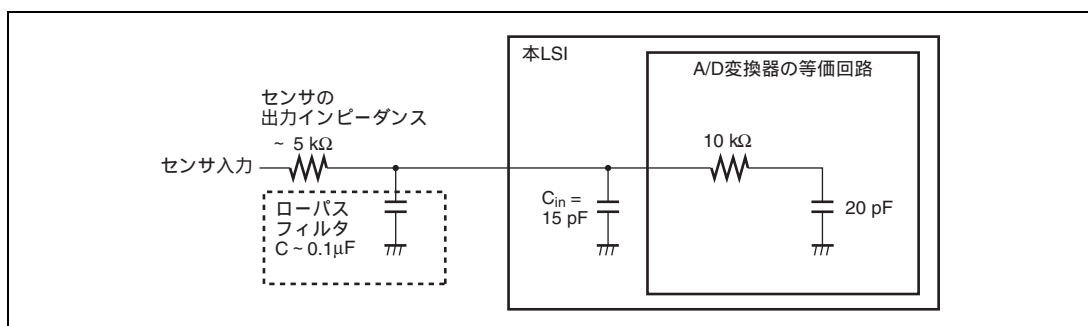


図 21.7 アナログ入力回路の例

### 21.7.3 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子  $AN_n$  に印加する電圧は  $AV_{SS}$   $AN_n$   $AV_{ref}$  の範囲としてください。 ( $n=0\sim 7$ )

- デジタル入力電圧の範囲

デジタル入力端子  $CIN_n$  に印加する電圧は  $AV_{SS}$   $CIN_n$   $AV_{ref}$  かつ  $V_{SS}$   $CIN_n$   $V_{CC}$  の範囲としてください。

( $n=0\sim 15$ )

- $AV_{CC}$ 、 $AV_{SS}$  と  $V_{CC}$ 、 $V_{SS}$  の関係

AVcc、AVssとVcc、Vssとの関係はAVss = Vssとし、さらに、A/D変換器を使用しないときもAVcc、AVss端子をオープンにしないでください。

- AVref端子の設定範囲

AVref端子によるリファレンス電圧の設定範囲はAVref - AVccにしてください。

### 21.7.4 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子 (AN0 ~ AN7)、アナログ基準電圧 (AVref)、アナログ電源電圧 (AVcc) は、アナロググランド (AVss) で、デジタル回路と分離してください。さらに、アナロググランド (AVss) は、ボード上の安定したグランド (Vss) に一点接続してください。

### 21.7.5 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN7)、アナログ基準電圧 (AVref) の破壊を防ぐために、図 21.8 に示すように AVcc - AVss 間に保護回路を接続してください。AVcc、AVref に接続するバイパスコンデンサ、AN0 ~ AN7 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0 ~ AN7 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス ( $R_{in}$ ) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

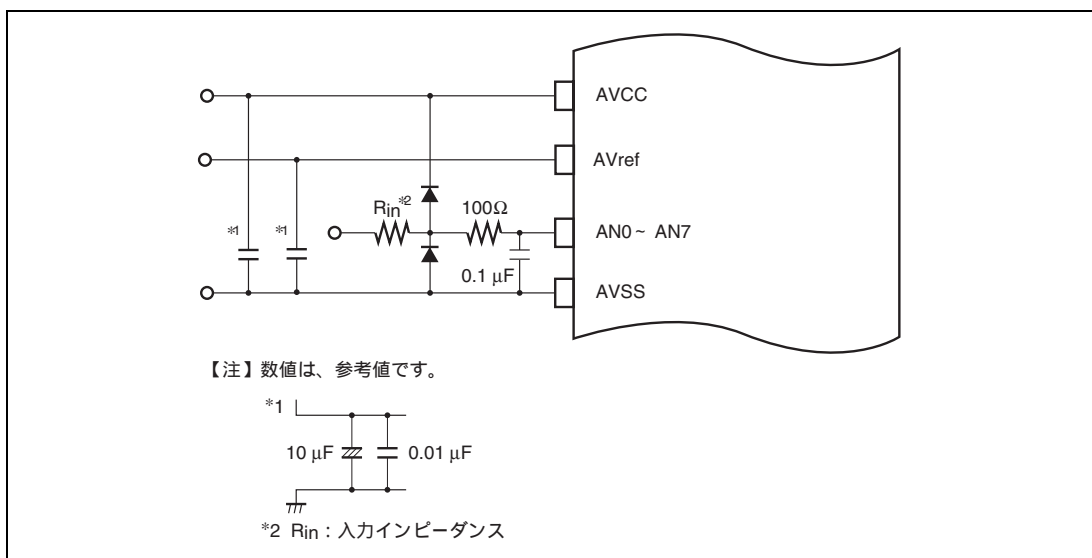


図 21.8 アナログ入力保護回路の例

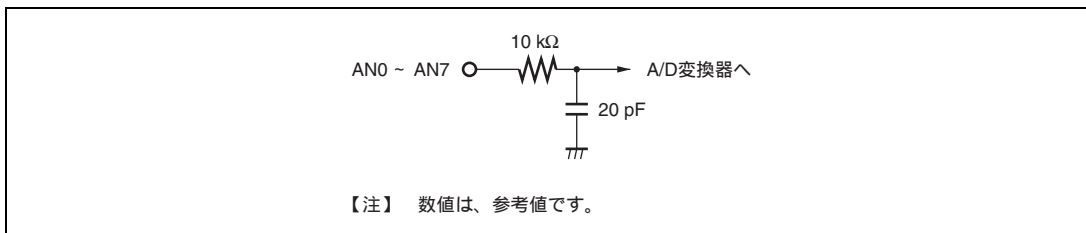


図 21.9 アナログ入力端子等価回路

### 21.7.6 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作停止 / 許可を設定することが可能です。初期値では A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 25 章 低消費電力状態」を参照してください。

---

## 22. RAM

---

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブルビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8S/2161B	4k バイト	H'E080 ~ H'FFFF、H'FF00 ~ H'FF7F
	H8S/2160B	4k バイト	H'E080 ~ H'FFFF、H'FF00 ~ H'FF7F
	H8S/2141B	4k バイト	H'E080 ~ H'FFFF、H'FF00 ~ H'FF7F
	H8S/2140B	4k バイト	H'E080 ~ H'FFFF、H'FF00 ~ H'FF7F
	H8S/2145B	8k バイト	H'D080 ~ H'FFFF、H'FF00 ~ H'FF7F
	H8S/2148B	4k バイト	H'E080 ~ H'FFFF、H'FF00 ~ H'FF7F



---

## 23. ROM

---

本 LSI に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 23.1 に示します。

### 23.1 特長

- 容量

製品区分	ROM 容量	ROM アドレス
H8S/2161B	128k バイト	H'000000 ~ H'01FFFF (モード 2) H'0000 ~ H'DFFF (モード 3)
H8S/2160B	64k バイト	H'000000 ~ H'00FFFF (モード 2) H'0000 ~ H'DFFF (モード 3)
H8S/2141B	128k バイト	H'000000 ~ H'01FFFF (モード 2) H'0000 ~ H'DFFF (モード 3)
H8S/2140B	64k バイト	H'000000 ~ H'00FFFF (モード 2) H'0000 ~ H'DFFF (モード 3)
H8S/2145B	256k バイト	H'000000 ~ H'03FFFF (モード 2) H'0000 ~ H'DFFF (モード 3)
H8S/2148B	128k バイト	H'000000 ~ H'01FFFF (モード 2) H'0000 ~ H'DFFF (モード 3)

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは、64kバイト版で8kバイト×2ブロック、16kバイト×1ブロック、28kバイト×1ブロック、1kバイト×4ブロックに、128kバイト版で32kバイト×2ブロック、8kバイト×2ブロック、16kバイト×1ブロック、28kバイト×1ブロック、1kバイト×4ブロックに、256kバイト版で64kバイト×3ブロック、32kバイト×1ブロック、4kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き込み / 消去時間

書き込み時間は128バイト同時書き込みで10ms (typ.)、1バイトあたり換算約80μs (typ.) です。

消去時間はブロックあたり100ms (typ.) です。

- 書き換え回数

100回まで書き換え可能です。

- オンボードプログラミングモード：2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、ユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み / 消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

- ライタモード

オンボードプログラミングの他にPROMライタを用いて書き込み / 消去を行うライタモードがあります。

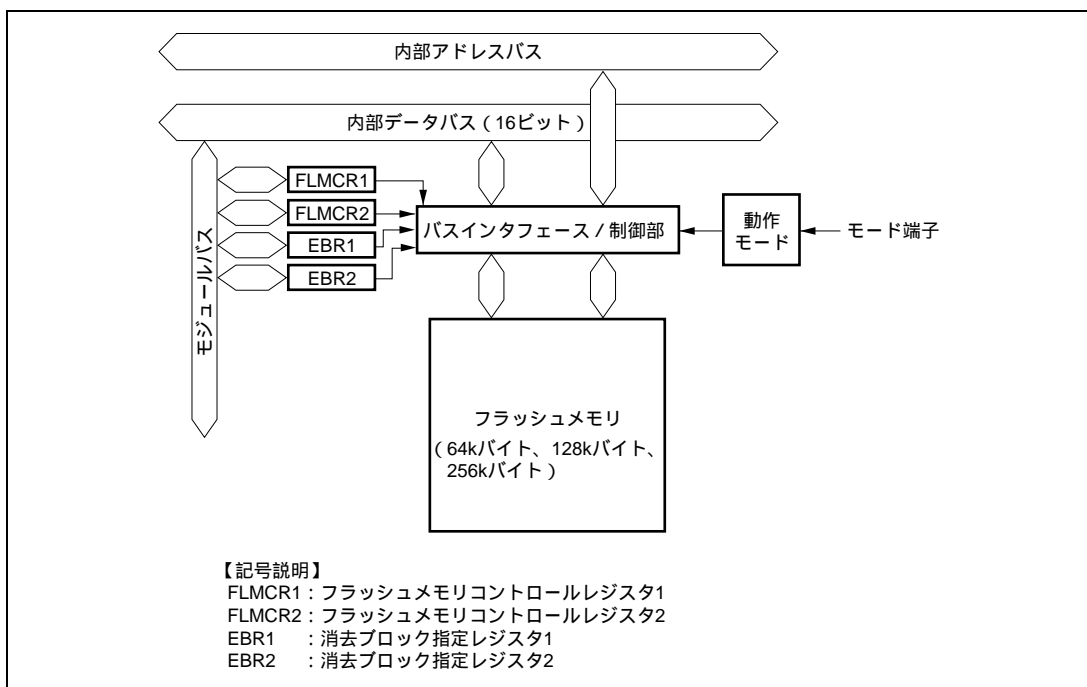


図 23.1 フラッシュメモリのブロック図



## 23.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本LSIは図23.2に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

表23.1にブートモードとユーザプログラムモードの相違点を示します。図23.3にブートモードを、図23.4にユーザプログラムモードを示します。

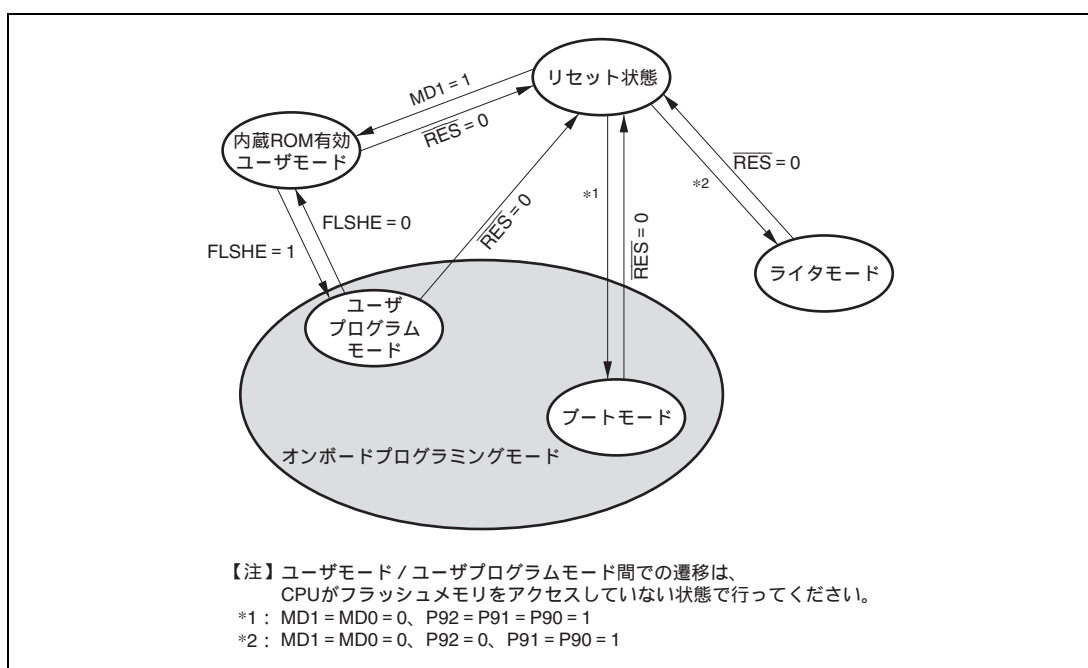
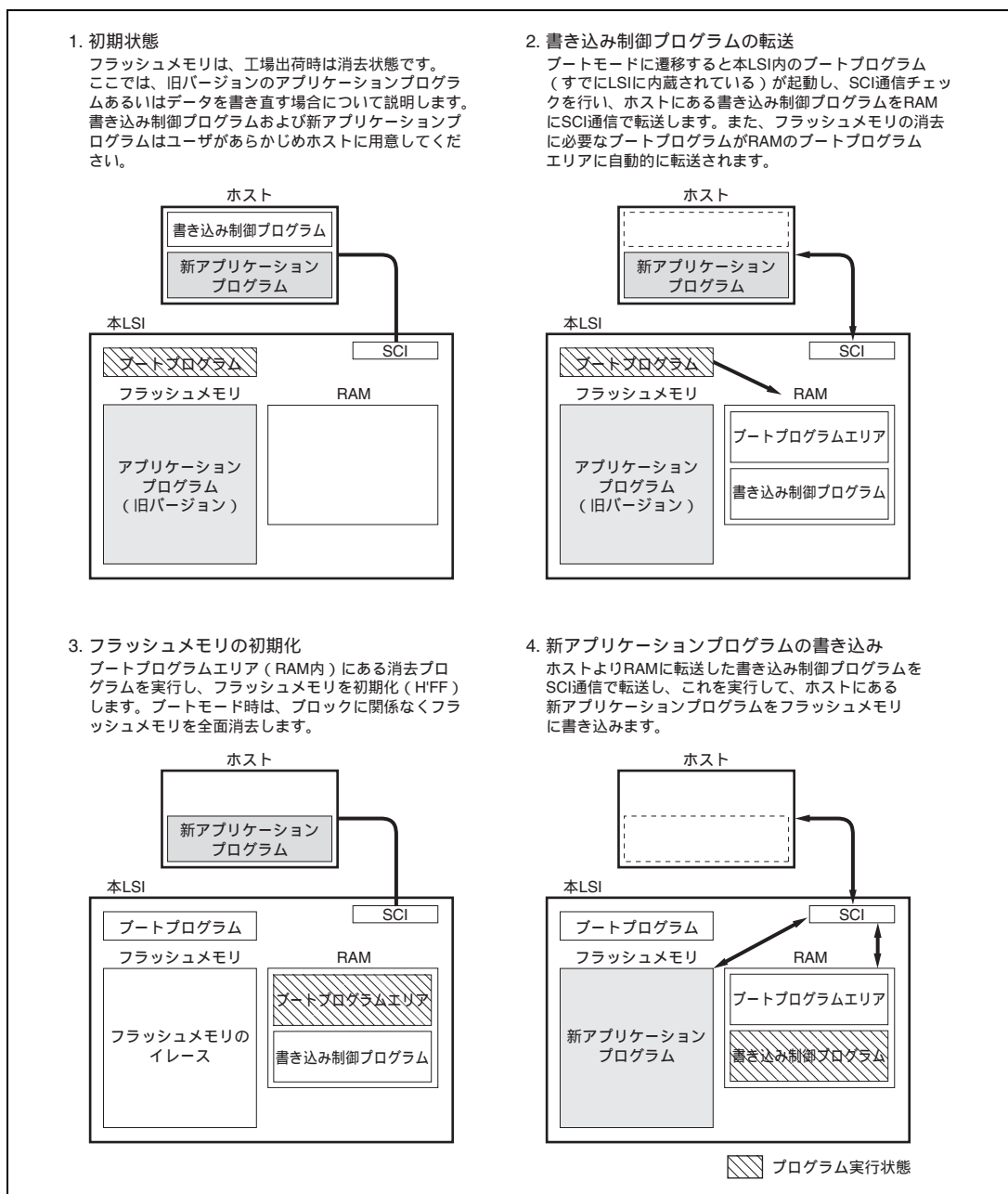


図 23.2 フラッシュメモリに関する状態遷移

表 23.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/プログラムベリファイ	プログラム/プログラムベリファイ イレース/イレースベリファイ

【注】 \* 推奨するアルゴリズムに沿って、ユーザ側で用意してください。



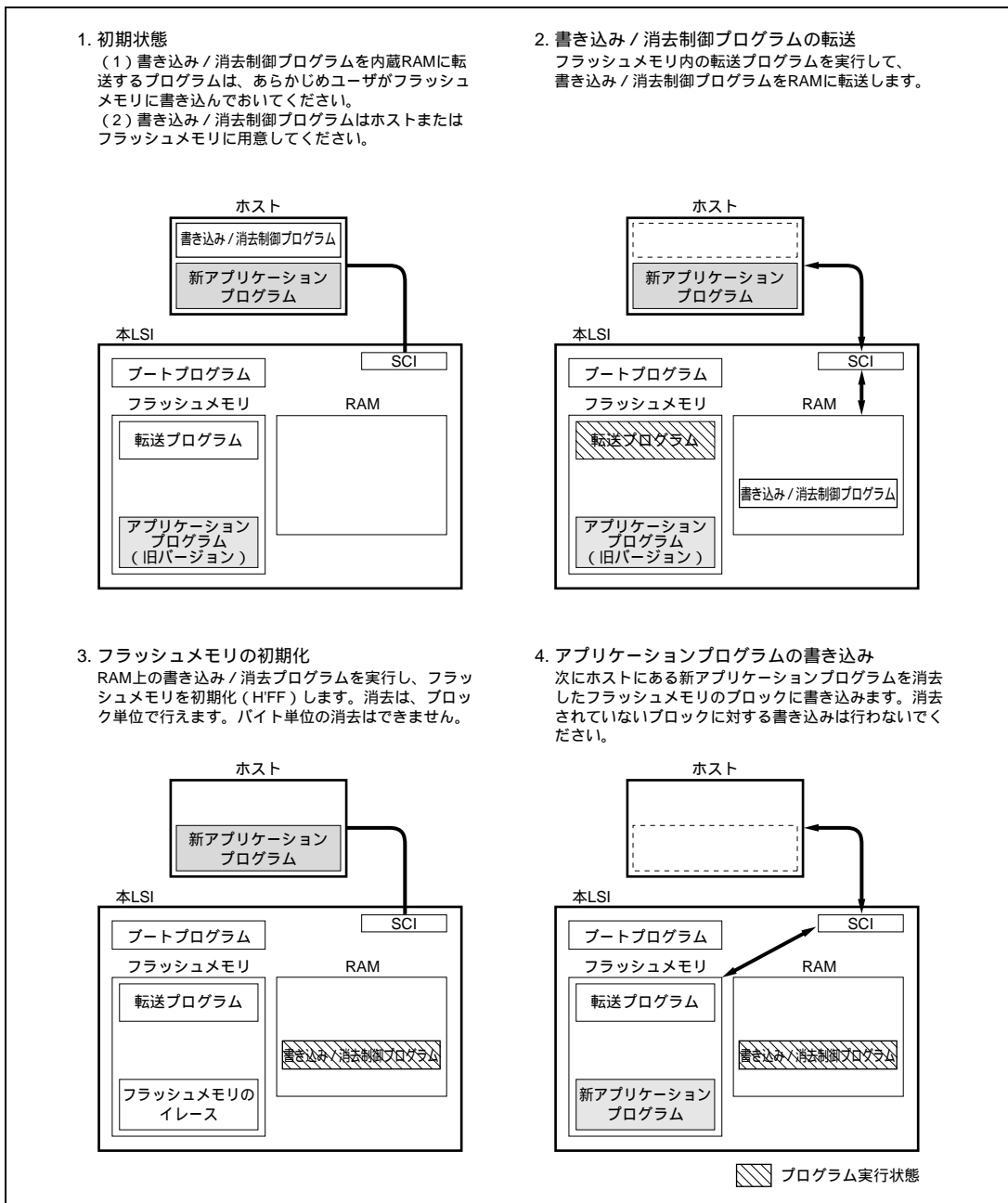


図 23.4 ユーザプログラムモード (例)

## 23.3 ブロック構成

### 23.3.1 64k バイト版のブロック構成

図 23.5 に 64k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 8k バイト (2 ブロック)、16k バイト (1 ブロック)、28k バイト (1 ブロック)、1k バイト (4 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

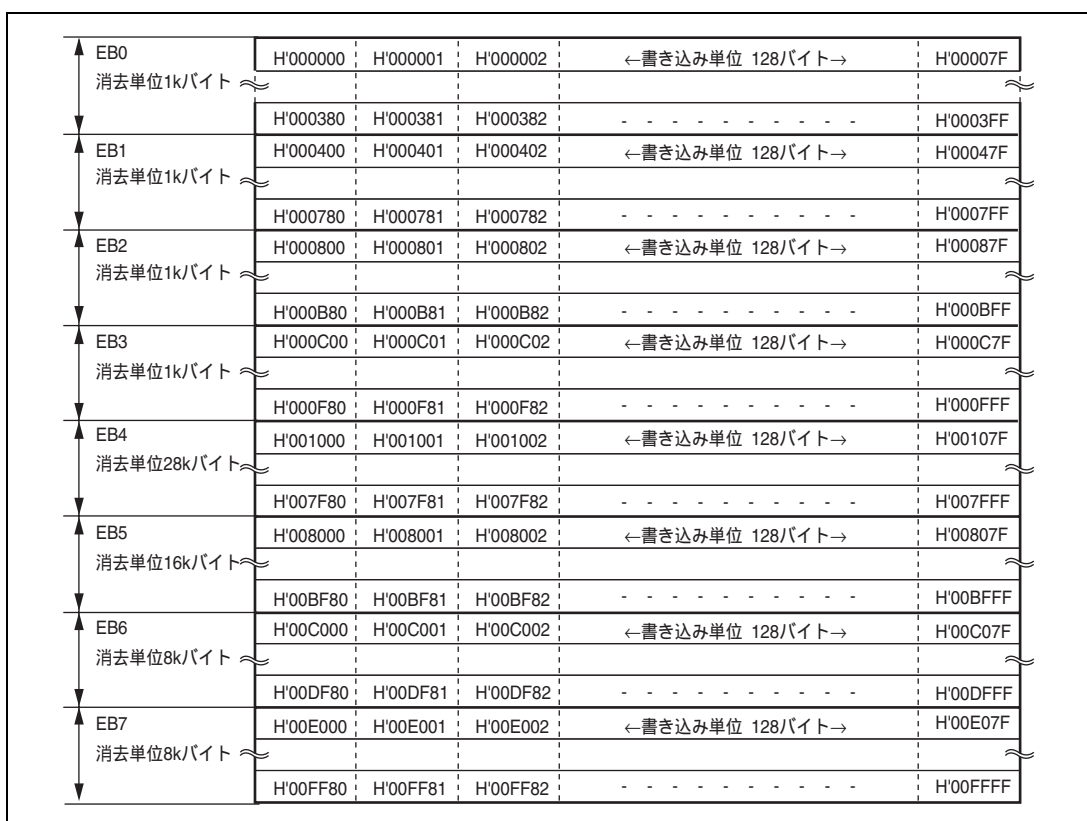


図 23.5 64k バイト版、フラッシュメモリのブロック構成

### 23.3.2 128k バイト版のブロック構成

図 23.6 に 128k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 32k バイト (2 ブロック)、8k バイト (2 ブロック)、16k バイト (1 ブロック)、28k バイト (1 ブロック)、1k バイト (4 ブロック) に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位1kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000380	H'000381	H'000382	- - - - -	H'0003FF
EB1 消去単位1kバイト	H'000400	H'000401	H'000402	←書き込み単位 128バイト→	H'00047F
	H'000780	H'000781	H'000782	- - - - -	H'0007FF
EB2 消去単位1kバイト	H'000800	H'000801	H'000802	←書き込み単位 128バイト→	H'00087F
	H'000B80	H'000B81	H'000B82	- - - - -	H'000BFF
EB3 消去単位1kバイト	H'000C00	H'000C01	H'000C02	←書き込み単位 128バイト	H'000C7F
	H'000F80	H'000F81	H'000F82	- - - - -	H'000FFF
EB4 消去単位28kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'007F80	H'007F81	H'007F82	- - - - -	H'007FFF
EB5 消去単位16kバイト	H'008000	H'008001	H'008002	←書き込み単位 128バイト→	H'00807F
	H'00BF80	H'00BF81	H'00BF82	- - - - -	H'00BFFF
EB6 消去単位8kバイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト→	H'00C07F
	H'00DF80	H'00DF81	H'00DF82	- - - - -	H'00DFFF
EB7 消去単位8kバイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00FF80	H'00FF81	H'00FF82	- - - - -	H'00FFFF
EB8 消去単位32kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'017F80	H'017F81	H'017F82	- - - - -	H'017FFF
EB9 消去単位32kバイト	H'018000	H'018001	H'018002	←書き込み単位 128バイト→	H'01807F
	H'01FF80	H'01FF81	H'01FF82	- - - - -	H'01FFFF

図 23.6 128k バイト版、フラッシュメモリのブロック構成

## 23.3.3 256k バイト版のブロック構成

図 23.7 に 256k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 64k バイト(3 ブロック)、32k バイト(1 ブロック)、4k バイト(8 ブロック)に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位4kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000F80	H'000F81	H'000F82	- - - - -	H'000FFF
EB1 消去単位4kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'001F80	H'001F81	H'001F82	- - - - -	H'001FFF
EB2 消去単位4kバイト	H'002000	H'002001	H'002002	←書き込み単位 128バイト	H'00207F
	H'002F80	H'002F81	H'002F82	- - - - -	H'002FFF
EB3 消去単位4kバイト	H'003000	H'003001	H'003002	←書き込み単位 128バイト→	H'00307F
	H'003F80	H'003F81	H'003F82	- - - - -	H'003FFF
EB4 消去単位32kバイト	H'004000	H'004001	H'004002	←書き込み単位 128バイト→	H'00407F
	H'00BF80	H'00BF81	H'00BF82	- - - - -	H'00BFFF
EB5 消去単位4kバイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト	H'00C07F
	H'00CF80	H'00CF81	H'00CF82	- - - - -	H'00CFFF
EB6 消去単位4kバイト	H'00D000	H'00D001	H'00D002	←書き込み単位 128バイト→	H'00D07F
	H'00DF80	H'00DF81	H'00DF82	- - - - -	H'00DFFF
EB7 消去単位4kバイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00EF80	H'00EF81	H'00EF82	- - - - -	H'00EFFF
EB8 消去単位4kバイト	H'00F000	H'00F001	H'00F002	←書き込み単位 128バイト→	H'00F07F
	H'00FF80	H'00FF81	H'00FF82	- - - - -	H'00FFFF
EB9 消去単位64kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'01FF80	H'01FF81	H'01FF82	- - - - -	H'01FFFF
EB10 消去単位64kバイト	H'020000	H'020001	H'020002	←書き込み単位 128バイト→	H'02007F
	H'02FF80	H'02FF81	H'02FF82	- - - - -	H'02FFFF
EB11 消去単位64kバイト	H'030000	H'030001	H'030002	←書き込み単位 128バイト→	H'03007F
	H'03FF80	H'03FF81	H'03FF82	- - - - -	H'03FFFF

図 23.7 256k バイト版、フラッシュメモリのブロック構成

## 23.4 入出力端子

フラッシュメモリは表 23.2 に示す端子により制御されます。

表 23.2 端子構成

端子名	入出力	機能
$\overline{\text{RES}}$	入力	リセット
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
P92	入力	本 LSI の動作モードを設定
P91	入力	本 LSI の動作モードを設定
P90	入力	本 LSI の動作モードを設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

## 23.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。FLMCR1、FLMCR2、EBR1、EBR2 をアクセスするためには、シリアルタイムコントロールレジスタ (STCR) の FLSHE ビットを 1 にセットする必要があります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)

### 23.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 は FLMCR2 と組み合わせて設定することで、フラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「23.8 フラッシュメモリの書き込み / 消去」を参照してください。

FLMCR1 はリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードで H'80 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	FWE	1	R	フラッシュライトイネーブル 内蔵フラッシュメモリへの書き込み / 消去を制御します。リードすると常に 1 が読み出されます。ライトは無効です。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み / 消去が可能となります。0 のときこのレジスタの EV、PV、E、P ビットと FLMCR2 の ESU、PSU ビットと EBR1、EBR2 の各ビットは 1 にセットできません。また、これらのビットと同時に 0 にクリアしないでください。
5, 4	-	すべて 0	R R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	EV	0	R/W	イレースベリファイ SWE=1 の状態でこのビットを 1 にセットするとイレースベリファイモードへ遷移し、0 にクリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ SWE=1 の状態でこのビットを 1 にセットするとプログラムベリファイモードへ遷移し、0 にクリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE=1、ESU=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、0 にクリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE=1、PSU=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、0 にクリアするとプログラムモードを解除します。



### 23.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) の有無のモニタと、フラッシュメモリのプログラム / イレースモードへのセットアップを行います。FLMCR2 はリセット、ハードウェアスタンバイモードで H'00 に初期化されます。ESU ビット、PSU ビットはソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード、および FLMCR1 の SWE ビットが 0 のとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	フラッシュメモリエラー このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「23.9.3 エラープロテクト」を参照してください。
6~2		すべて 0	R(W)	リザーブビット 初期値を変更しないでください。
1	ESU	0	R/W	イレースセットアップ SWE=1 の状態でこのビットを 1 にセットするとイレースセットアップ状態となり、0 にクリアするとセットアップ状態を解除します。FLMCR1 の E ビットを 1 にセットする前に、このビットを 1 にセットしてください。
0	PSU	0	R/W	プログラムセットアップ SWE=1 の状態でこのビットを 1 にセットするとプログラムセットアップ状態となり、0 にクリアするとセットアップ状態を解除します。FLMCR1 の P ビットを 1 にセットする前に、このビットを 1 にセットしてください。

### 23.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。EBR1、EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード、および FLMCR1 の SWE ビットが 0 のとき H'00 に初期化されます。このレジスタは 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1、EBR2 は 0 に自動クリアされます。

#### • EBR1 (64k バイト版)

ビット	ビット名	初期値	R/W	説明
7~0	-	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。

#### • EBR2 (64k バイト版)

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W*	このビットが 1 のとき EB7 (H'00E000 ~ H'00FFFF) の 8k バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'00C000 ~ H'00DFFF) の 8k バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'008000 ~ H'00BFFF) の 16k バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'001000 ~ H'007FFF) の 28k バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'000C00 ~ H'000FFF) の 1k バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'000800 ~ H'000BFF) の 1k バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'000400 ~ H'0007FF) の 1k バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000 ~ H'0003FF) の 1k バイトが消去対象となります。

【注】 \* ノーマルモードの場合は 0 が読み出され、ライトは無効です。

• EBR1 (128k バイト版)

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
1	EB9	0	R/W*	このビットが 1 のとき EB9 (H'018000 ~ H'01FFFF) の 32k バイトが消去対象となります。
0	EB8	0	R/W*	このビットが 1 のとき EB8 (H'010000 ~ H'017FFF) の 32k バイトが消去対象となります。

• EBR2 (128k バイト版)

ビット	ビット名	初期値	R/W	説 明
7	EB7	0	R/W*	このビットが 1 のとき EB7 (H'00E000 ~ H'00FFFF) の 8k バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 (H'00C000 ~ H'00DFFF) の 8k バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 (H'008000 ~ H'00BFFF) の 16k バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 (H'001000 ~ H'007FFF) の 28k バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 (H'000C00 ~ H'000FFF) の 1k バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 (H'000800 ~ H'000BFF) の 1k バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 (H'000400 ~ H'0007FF) の 1k バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 (H'000000 ~ H'0003FF) の 1k バイトが消去対象となります。

【注】 \* ノーマルモードの場合は 0 が読み出され、ライトは無効です。

## 23. ROM

### • EBR1 (256k バイト版)

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	R/(W)	リザーブビット 初期値を変更しないでください。
3	EB11	0	R/W*	このビットが1のとき EB11 (H'030000 ~ H'03FFFF) の 64k バイトが消去対象となります。
2	EB10	0	R/W*	このビットが1のとき EB10 (H'020000 ~ H'02FFFF) の 64k バイトが消去対象となります。
1	EB9	0	R/W*	このビットが1のとき EB9 (H'010000 ~ H'01FFFF) の 64k バイトが消去対象となります。
0	EB8	0	R/W*	このビットが1のとき EB8 (H'00F000 ~ H'00FFFF) の 4k バイトが消去対象となります。

### • EBR2 (256k バイト版)

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W*	このビットが1のとき EB7 (H'00E000 ~ H'00EFFF) の 4k バイトが消去対象となります。
6	EB6	0	R/W	このビットが1のとき EB6 (H'00D000 ~ H'00DFFF) の 4k バイトが消去対象となります。
5	EB5	0	R/W	このビットが1のとき EB5 (H'00C000 ~ H'00CFFF) の 4k バイトが消去対象となります。
4	EB4	0	R/W	このビットが1のとき EB4 (H'004000 ~ H'00BFFF) の 32k バイトが消去対象となります。
3	EB3	0	R/W	このビットが1のとき EB3 (H'003000 ~ H'003FFF) の 4k バイトが消去対象となります。
2	EB2	0	R/W	このビットが1のとき EB2 (H'002000 ~ H'002FFF) の 4k バイトが消去対象となります。
1	EB1	0	R/W	このビットが1のとき EB1 (H'001000 ~ H'001FFF) の 4k バイトが消去対象となります。
0	EB0	0	R/W	このビットが1のとき EB0 (H'000000 ~ H'000FFF) の 4k バイトが消去対象となります。

【注】 \* ノーマルモードの場合は0が読み出され、ライトは無効です。

## 23.6 動作モード

フラッシュメモリはCPUと16ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1ステートでアクセスできます。偶数番地が上位8ビット、奇数番地が下位8ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵ROMの有効または無効の設定はモード端子(MD1、MD0)およびMDCRのEXPEビットにより行います。この設定を表23.3に示します。

ノーマルモード(モード3)のとき、使用できるROMは最大56kバイトになります。

表 23.3 動作モードとROM

動作モード			モード端子		MDCR	内蔵ROM
MCU動作モード	CPU動作モード	内容	MD1	MD0	EXPE	
モード1	ノーマル	内蔵ROM無効拡張モード	0	1	1	無効
モード2	アドバンスト	シングルチップモード	1	0	0	有効(64k/128k/256kバイト)
	アドバンスト	内蔵ROM有効拡張モード	1	0	1	
モード3	ノーマル	シングルチップモード	1	1	0	有効(56kバイト)
	ノーマル	内蔵ROM有効拡張モード	1	1	1	

## 23.7 オンボードプログラミング

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ペリファイを行うことができます。本モードには、2種類の動作モード(ブートモード、ユーザプログラムモード)があります。ブートモードの設定方法は、表23.4を参照してください。ユーザプログラムモードは、ソフトウェアで制御ビットを設定し動作可能です。また、フラッシュメモリに関する各モードへの状態遷移図は、図23.2を参照してください。

表 23.4 オンボードプログラミングモードの設定方法

モード設定		MD1	MD0	P92	P91	P90
ブートモード		0	0	1*	1*	1*
ユーザプログラムモード	モード2(アドバンストモード)	1	0	-	-	-
	モード3(ノーマルモード)	1	1	-	-	-

【注】 \* ブートモード起動後はI/Oポートとして使用可能です。

### 23.7.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 23.5 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「23.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。ブートモードは、フラッシュメモリに書き込まれているデータがある場合(全データが1でないとき)、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
2. SCL1は調歩同期モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCL1のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD1端子がHighの状態で行ってください。必要に応じてRxD1端子およびTxD1端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートがかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表23.6の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。実行が終了した本エリアにホスト側から送信される書き込み制御プログラムを格納します。格納できるエリアはH'FFE080 ~ H'FFE87F\*<sup>1</sup>番地です。ただし、H'FFE080 ~ H'FFE087\*<sup>2</sup>番地はIDコードを配置します。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。図23.8にブートモード時の内蔵RAMエリアを示します。
6. 書き込み制御プログラム(RAMエリアのH'FFE088\*<sup>3</sup>)に分岐するときSCL1は送受信動作を終了(SCRのRE=0、TE=0)しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD1端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、モード端子を設定してリセットを解除\*<sup>1</sup>してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。

8. ブートモードの途中でモード端子の入力レベルを変化させないでください。リセット中にモード端子の入力レベルを変化（たとえばLowレベル→Highレベル）させると、動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号（ $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ ）の状態が変化\*5します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、外部の信号と衝突しないように注意してください。
9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

- 【注】
- \*1 H8S/2140B、H8S/2141B、H8S/2148B、H8S/2160B、H8S/2161B のアドレス番地です。H8S/2145B は H'FFD080 ~ H'FFD87F 番地になります。
  - \*2 H8S/2140B、H8S/2141B、H8S/2148B、H8S/2160B、H8S/2161B のアドレス番地です。H8S/2145B は H'FFD080 ~ H'FFD087 番地になります。
  - \*3 H8S/2140B、H8S/2141B、H8S/2148B、H8S/2160B、H8S/2161B の RAM エリアのアドレスです。H8S/2145B の RAM エリアは H'FFD088 になります。
  - \*4 モード端子の入力はリセット解除後、モードプログラミングセットアップ時間 ( $t_{mos} = 4$  ステート) を満足する必要があります。
  - \*5 アドレス兼用ポートは、リセット中にモード端子がモード 1 の設定になったとき、アドレスとして Low レベルを出力します。それ以外のモードではハイインピーダンス状態となります。また、バス制御出力信号はリセット中にモード端子がモード 1 の設定になったとき、High レベルを出力します。それ以外のモードではハイインピーダンス状態となります。

表 23.5 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐  <div style="text-align: center;"> </div>
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 ↓ H'00を正常に受信したらH'55送信 ↓ H'AA受信	H'00,H'00・・・H'00 ↓ H'00 ↓ H'55 ↓ H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_1のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 ↓ H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 ↓ 書き込み制御プログラムを1バイトごとに送信(N回繰り返し)	上位バイト、下位バイト ↓ エコーバック ↓ H'XX ↓ エコーバック	受信した2バイトデータをホストへエコーバック ↓ 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し)
フラッシュメモリ消去	ブートプログラム消去エラー ↓ H'AA受信	H'FF ↓ H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 23.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本LSIのシステムクロック周波数範囲(3V版)	本LSIのシステムクロック周波数範囲(5V版)
19200bps	8 ~ 10MHz	8 ~ 20MHz
9600bps	4 ~ 10MHz	4 ~ 20MHz
4800bps	2 ~ 10MHz	2 ~ 18MHz



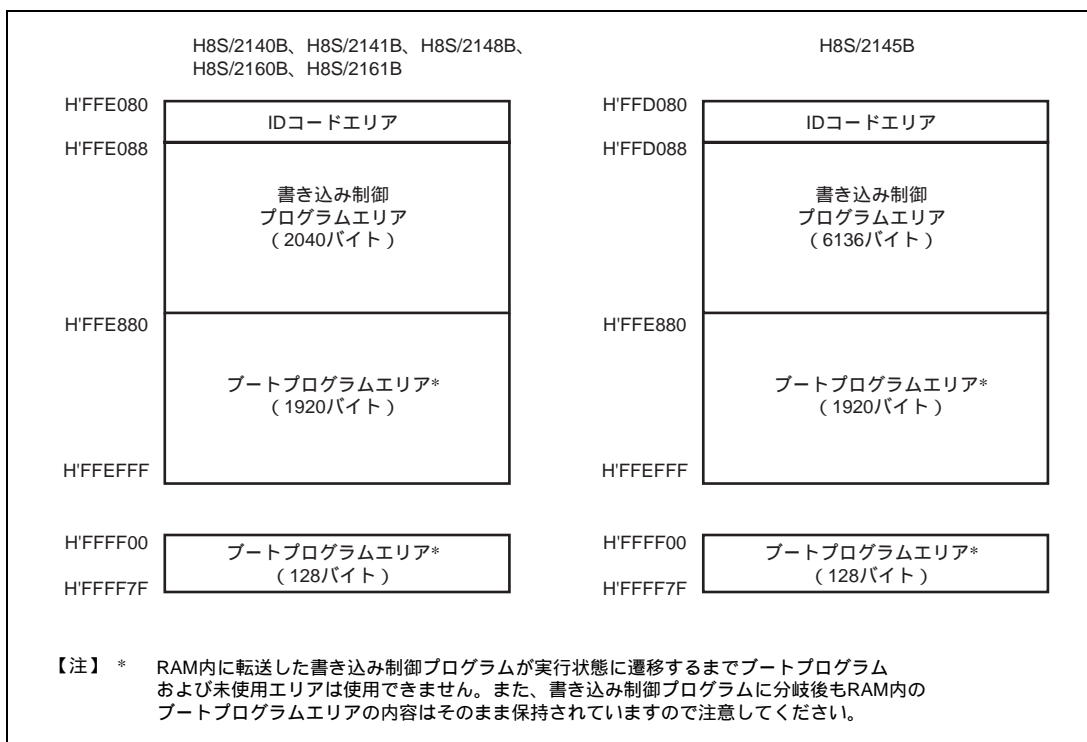


図 23.8 ブートモード時の内蔵 RAM エリア

本 LSI のブートモードでは 8 バイトの ID コードエリアの内容を確認し、本 LSI に対応した書き込み制御プログラムであるか識別します。ブートモードで使用する書き込み制御プログラムをオリジナルで作成する際には、8 バイトの ID コードをプログラムの先頭に追加してください。

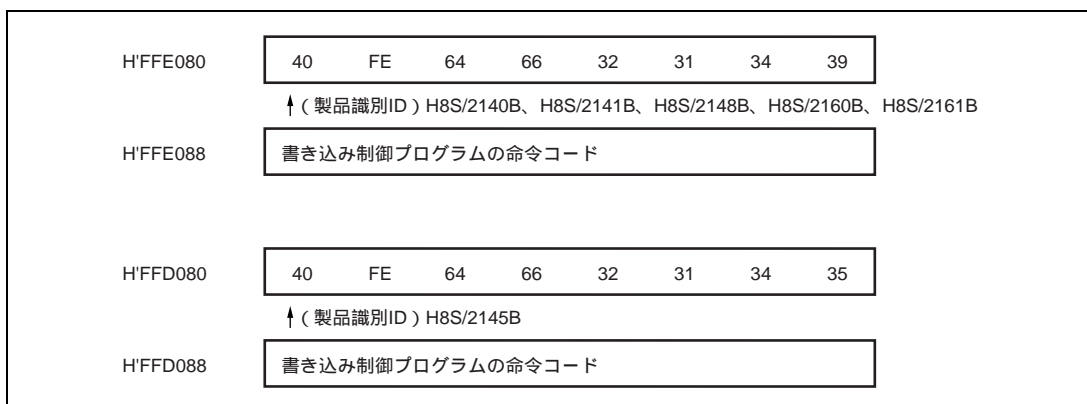


図 23.9 ID コードエリア

### 23.7.2 ユーザプログラムモード

ユーザモードではユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができるユーザプログラムモードがあります。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 23.10 にユーザプログラムモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「23.8 フラッシュメモリの書き込み / 消去」に沿ったものを用意してください。

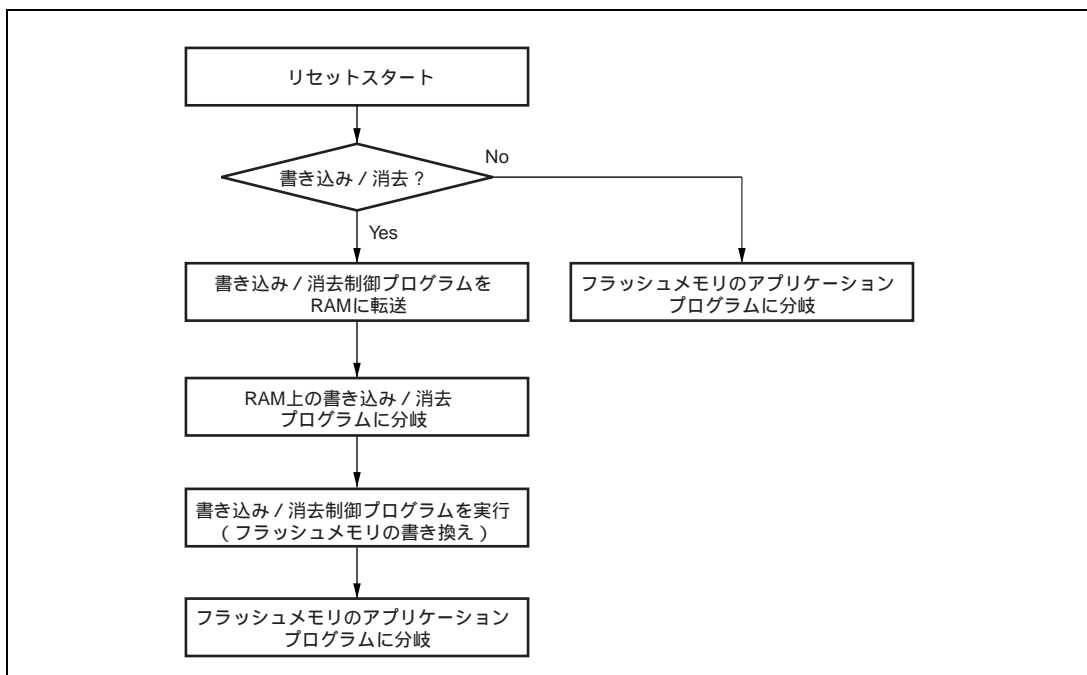


図 23.10 ユーザプログラムモードにおける書き込み/消去例

## 23.8 フラッシュメモリの書き込み / 消去

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1、FLMCR2の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザプログラムモードでの書き込み / 消去プログラムではこれらのモードを組み合わせることで書き込み / 消去を行います。フラッシュメモリへの書き込みは「23.8.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「23.8.2 イレース / イレースベリファイ」に沿って行ってください。

### 23.8.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 23.11 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図23.11に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は図23.11に従ってください。
6. ウォッチドッグタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバーフロー周期は  $(y + z2 + \alpha + \beta)$   $\mu\text{s}$ より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、(N)回を超えないようにしてください。

23. ROM

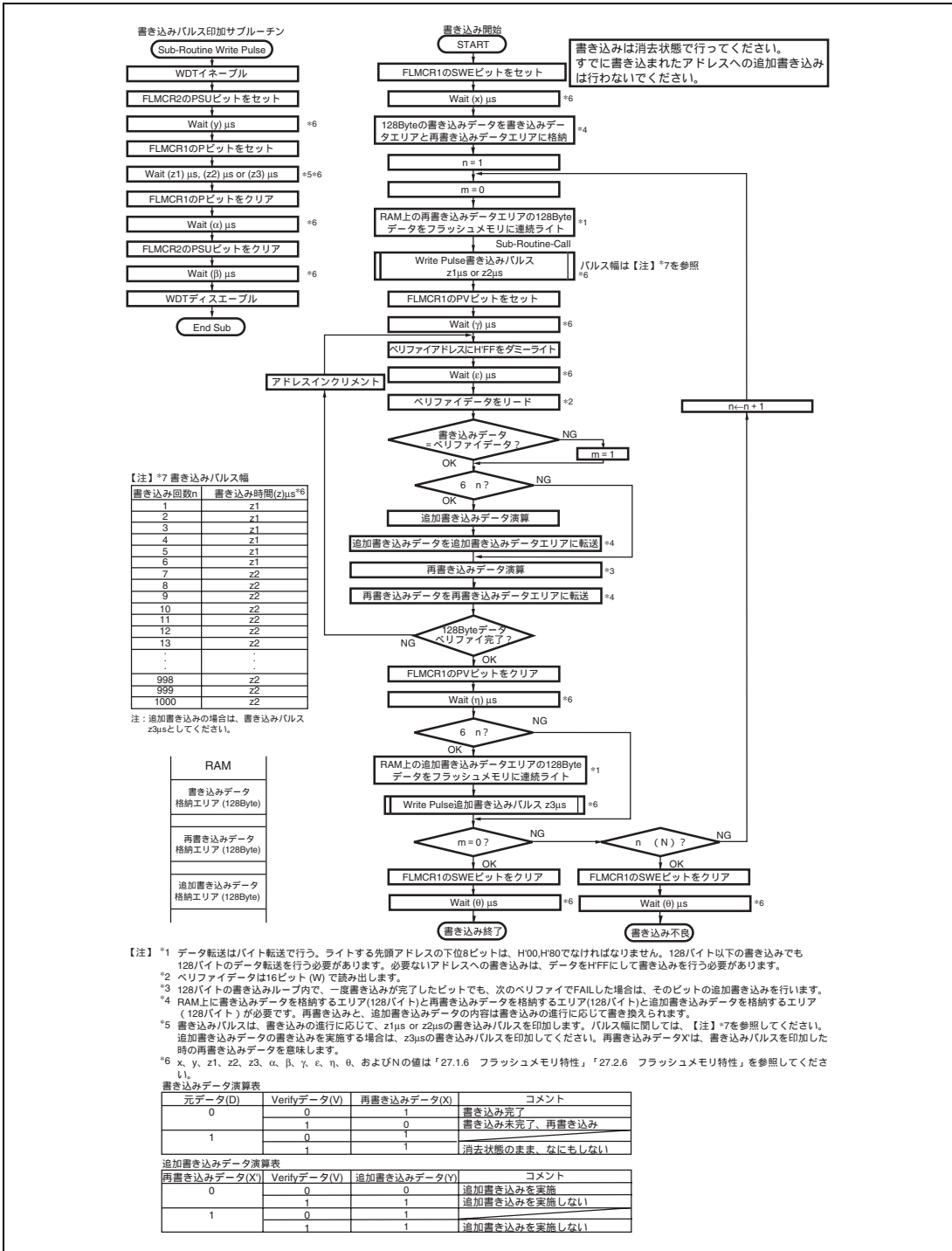


図 23.11 プログラム / プログラムペリファイフロー

## 23.8.2 イレース/イレースベリファイ

消去は図 23.12 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、2（EBR1、EBR2）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドッグタイマの設定はプログラムの暴走等による過剰消去を避けるためのものです。オーバフロー周期は  $(y+z+\alpha+\beta)$  msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が（N）回を超えないようにしてください。

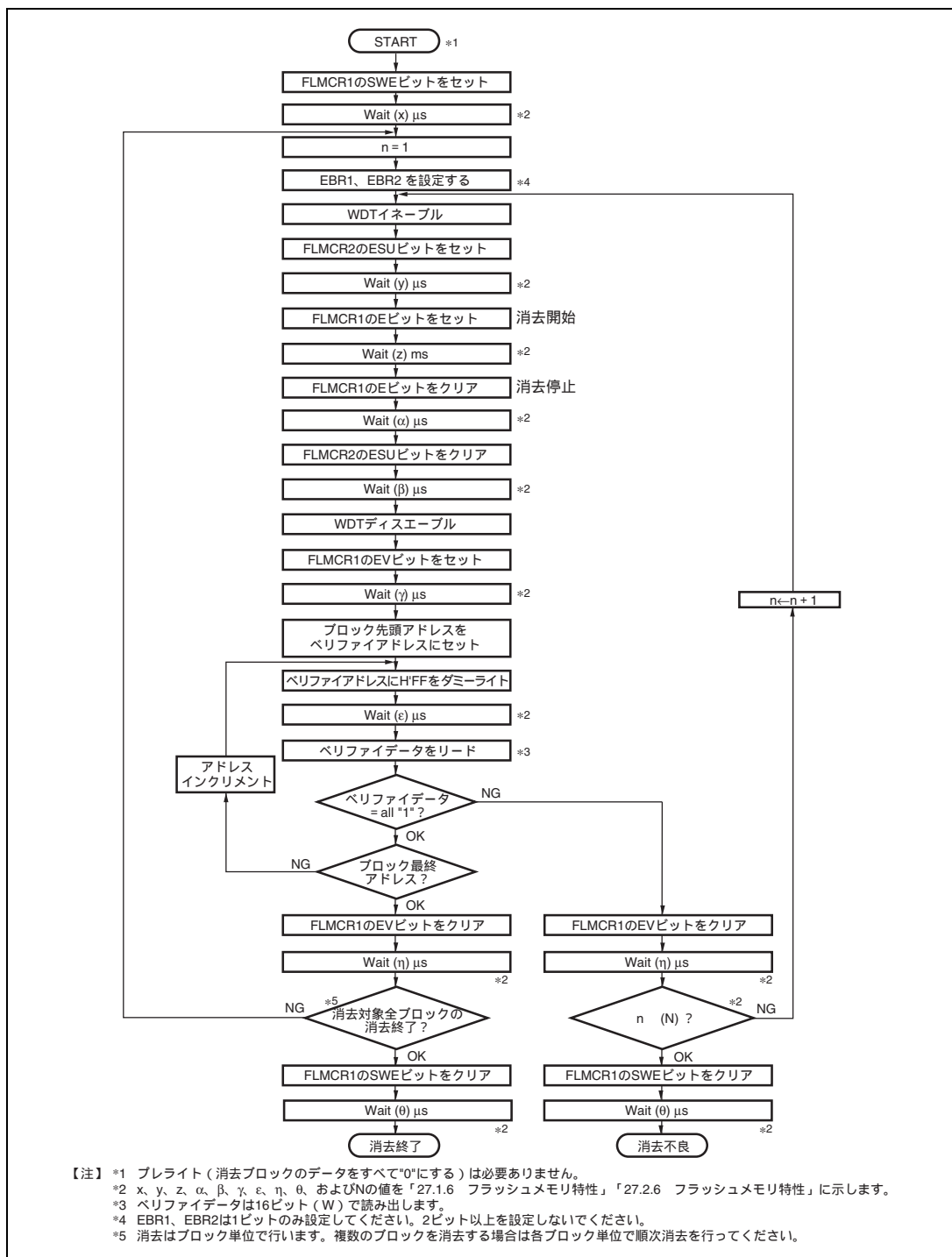


図 23.12 イレース/イレースペリファイフロー

## 23.9 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクトにはハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類あります。

### 23.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセット(WDTのオーバフローリセット含む)、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードへの状態遷移によりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1、2 (FLMCR1、FLMCR2)、消去ブロック指定レジスタ1、2 (EBR1、EBR2) が初期化されます。 $\overline{\text{RES}}$  端子によるリセットでは、電源投入後発振が安定するまで  $\overline{\text{RES}}$  端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した  $\overline{\text{RES}}$  パルス幅の間  $\overline{\text{RES}}$  端子を Low レベルに保持してください。

### 23.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、消去ブロック指定レジスタ1、2 (EBR1、EBR2) の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

### 23.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行 (ソフトウェアスタンバイ、スリープ、サブアクティブ、サブスリープ、ウォッチモードへの遷移)
- 書き込み / 消去中に CPU がバス権を失ったとき

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットまたはハードウェアスタンバイモードによってのみ解除できます。

## 23.10 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）、およびブートモードでのブートプログラム実行中\*1は、書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。

1. 書き込み、消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなります。
2. 書き込み / 消去中の割り込み例外処理では正常なベクタリードができないため\*2、結果としてCPUが暴走してしまいます。
3. ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなります。

【注】 \*1 書き込み制御プログラムによる書き込みが完了するまでは、CPU 内部と外部で割り込み要求を禁止する必要があります。

\*2 以下の2つの理由によって正常なベクタリードが行われません。

- ・書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません（値は不定）。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

## 23.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 64k バイト、128k バイト、256k バイトフラッシュメモリ内蔵マイコンデバイスタイプ\*をサポートしているライタを使用してください。図 23.13 にライタモード時のメモリマップを示します。

【注】 \* 3V 版の製品および 5V 版の製品は、PROM ライタの書き込み電圧を 3.3V に設定してください。

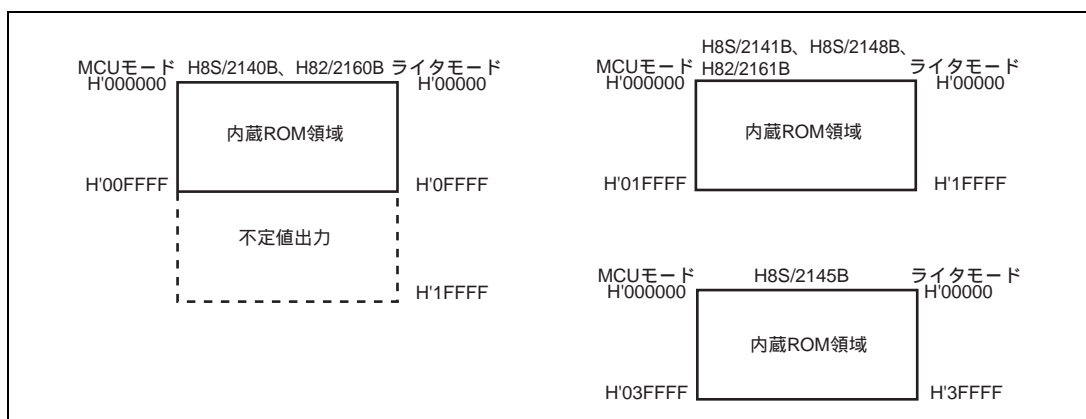


図 23.13 ライタモード時のメモリマップ



## 23.12 使用上の注意事項

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み/消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。3V 版の製品および 5V 版の製品の PROM ライタは、ルネサス 64 k バイト、128 k バイト、256 k バイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧 3.3V をサポートしているものを使用してください。また、ライタの設定を HN28F101 や書き込み電圧を 5.0V にセットしないでください。

(2) 電源投入/切断時の注意

$V_{CC}$  電源の印加/切断時は  $\overline{RES}$  端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

(3) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

(4) SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に 100 $\mu$ s 以上の待ち時間を置いて行ってください。SWE ビットをセットするとフラッシュメモリのデータを書き換えできますが、SWE = 1 のときは、プログラムベリファイ/イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ (プログラム/イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中に SWE ビットのクリアを行わないでください。

(5) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

フラッシュメモリへの書き込み/消去を行う場合は、書き込み/消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(6) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(7) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(8) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。



## 24. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック ( $\phi$ )、バスマスタクロック、および内部クロックを生成します。クロック発振器は、発振器、デューティ補正回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、波形形成回路で構成されます。クロック発振器のブロック図を図 24.1 に示します。

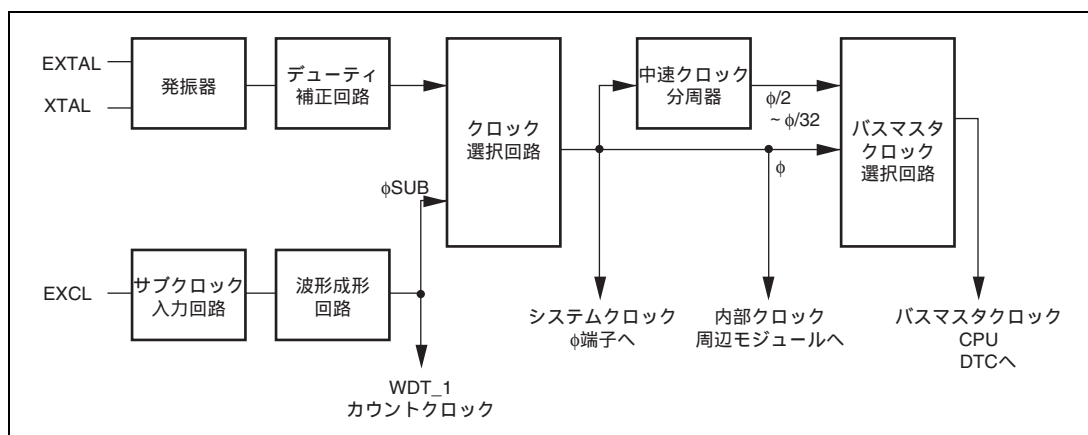


図 24.1 クロック発振器のブロック図

高速モード、中速モードでのバスマスタクロックの選択は、スタンバイコントロールレジスタの SCK2 ~ SCK0 ビットの設定によりソフトウェアで行います。また、スタンバイコントロールレジスタについては、「25.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

サブクロック入力は、ローパワーコントロールレジスタの EXCLE ビットの設定によりソフトウェアで制御します。ローパワーコントロールレジスタについては「25.1.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

## 24.1 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

### 24.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 24.2 に示します。ダンピング抵抗  $R_d$  は表 24.1 に示すものを使用してください。水晶発振子は AT カット並列共振形を使用してください。

水晶発振子の等価回路を図 24.3 に示します。水晶発振子は表 24.2 に示す特性のものを使用してください。水晶発振子は、システムクロック ( $\phi$ ) と同一の周波数のものを使用してください。

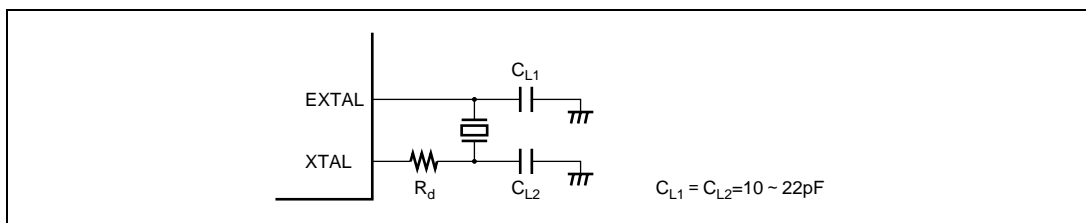


図 24.2 水晶発振子の接続例

表 24.1 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	16	20
$R_d$ ( $\Omega$ )	1k	500	200	0	0	0	0

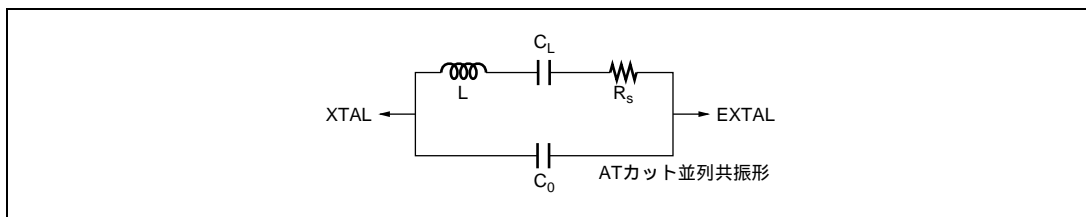


図 24.3 水晶発振子の等価回路

表 24.2 水晶発振子の特性

周波数 (MHz)	2	4	8	10	12	16	20
$R_{smax}$ ( $\Omega$ )	500	120	80	70	60	50	40
$C_0$ max (pF)	7						

### 24.1.2 外部クロックを入力する方法

外部クロック入力の接続例を図 24.4 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時は外部クロックを High レベルにしてください。外部クロックの入力条件を表 24.3 に示します。外部クロックはシステムクロック ( $\phi$ ) と同一の周波数としてください。

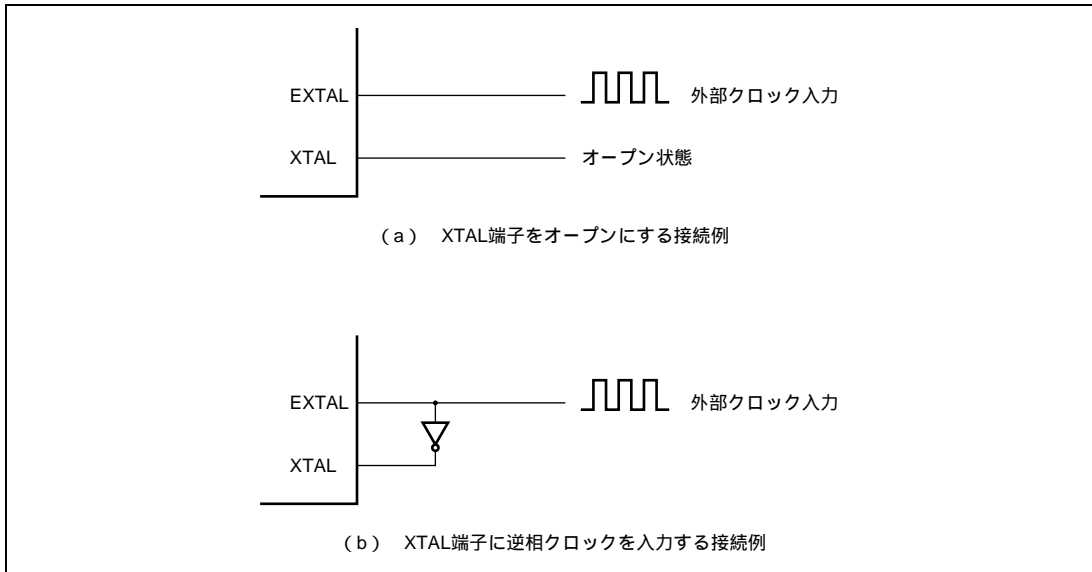


図 24.4 外部クロックの接続例

表 24.3 外部クロック入力条件

項目	記号	$V_{CC} = 2.7 \sim 3.6V$		$V_{CC} = 5.0V \pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック入力パルス幅 Low レベル	$t_{EXL}$	40	-	20	-	ns	図 24.5	
外部クロック入力パルス幅 High レベル	$t_{EXH}$	40	-	20	-	ns		
外部クロック立ち上がり時間	$t_{EXr}$	-	10	-	5	ns		
外部クロック立ち下がり時間	$t_{EXf}$	-	10	-	5	ns		
クロックパルス幅 Low レベル	$t_{CL}$	0.4	0.6	0.4	0.6	tcyc	$\phi$ 5MHz	図 27.6
		80	-	80	-	ns	$\phi < 5MHz$	
クロックパルス幅 High レベル	$t_{CH}$	0.4	0.6	0.4	0.6	tcyc	$\phi$ 5MHz	
		80	-	80	-	ns	$\phi < 5MHz$	

## 24. クロック発振器

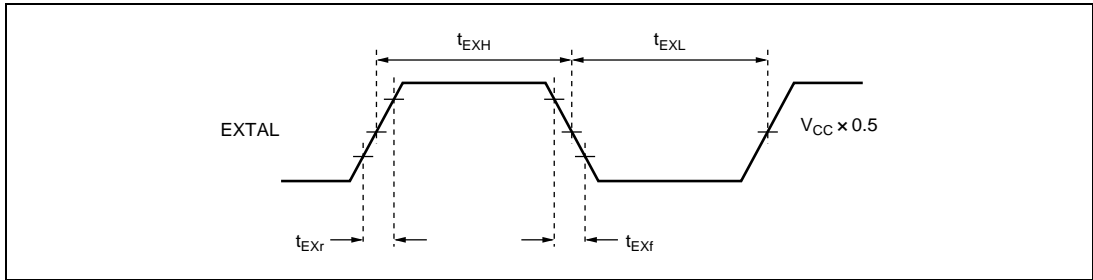


図 24.5 外部クロック入力タイミング

発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 ( $t_{\text{DEXT}}$ ) 経過後に内部クロック信号出力が確定します。 $t_{\text{DEXT}}$  期間中はクロック信号出力が確定していませんので、リセット信号を Low レベルにしリセット状態を保持してください。表 24.4 に外部クロック出力安定遅延時間、図 24.6 に外部クロック出力安定遅延時間タイミングを示します。

表 24.4 外部クロック出力安定遅延時間

条件 :  $V_{\text{CC}}=2.7\text{V} \sim 5.5\text{V}$ 、 $AV_{\text{CC}}=2.7\text{V} \sim 5.5\text{V}$ 、 $V_{\text{SS}}=AV_{\text{SS}}=0\text{V}$

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	$t_{\text{DEXT}}^*$	500	-	$\mu\text{s}$	図 24.6

【注】\*  $t_{\text{DEXT}}$  は、RES パルス幅 ( $t_{\text{RESW}}$ ) を含みます。

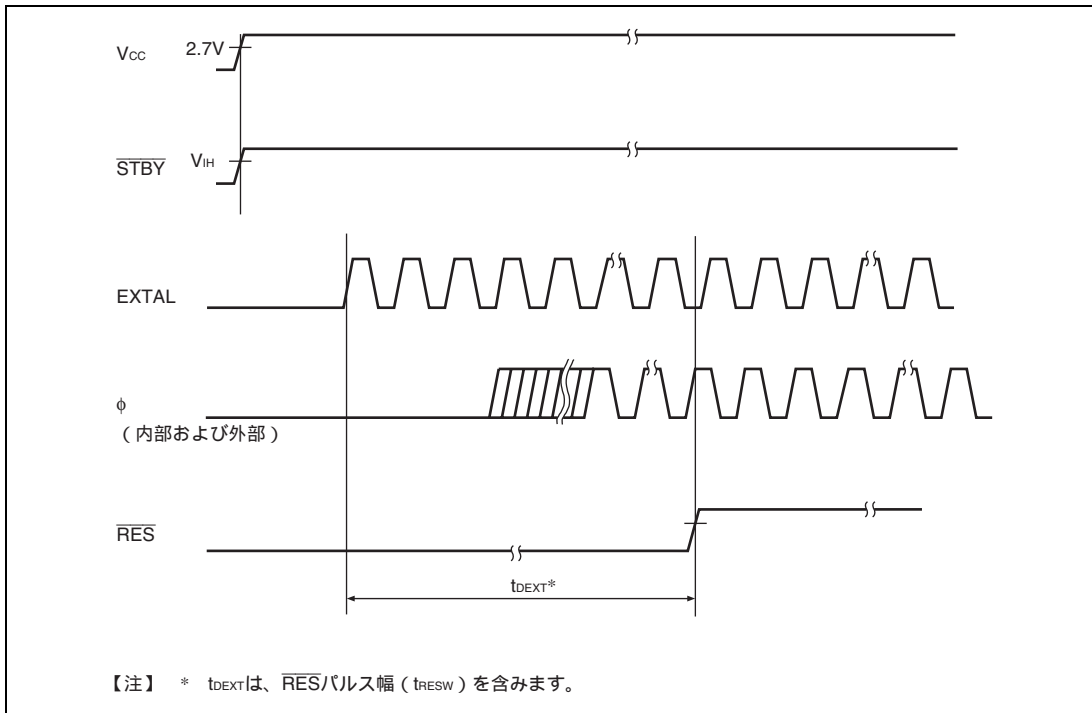


図 24.6 外部クロック出力安定遅延時間タイミング

## 24.2 デューティ補正回路

デューティ補正回路は発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正してシステムクロック ( $\phi$ ) を生成します。

## 24.3 中速クロック分周器

中速クロック分周器は、システムクロック ( $\phi$ ) を分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$  を生成します。

## 24.4 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SBYCR の SCK2~SCK0 ビットによりシステムクロック ( $\phi$ )、または中速クロック ( $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ ) から選択します。

## 24.5 サブクロック入力回路

EXCL 端子からのサブクロック入力を制御します。

### (1) サブクロックを入力する方法

サブクロックを使用する場合は、EXCL 端子から 32.768kHz の外部クロックを入力してください。このとき P9DDR の P96DDR ビットを 0 にクリアし、LPWRCR の EXCLE ビットを 1 にセットしてください。

サブクロックの入力条件を表 24.5 に示します。サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

表 24.5 サブクロック入力条件

項目	記号	$V_{CC} = 2.7 \sim 5.5V$			単位	測定条件
		Min	typ	Max		
サブクロック入力 パルス幅 Low レベル	$t_{EXCLL}$	-	15.26	-	$\mu s$	図 24.7
サブクロック入力 パルス幅 High レベル	$t_{EXCLH}$	-	15.26	-	$\mu s$	
サブクロック入力 立ち上がり時間	$t_{EXCLr}$	-	-	10	ns	
サブクロック入力 立ち下がり時間	$t_{EXCLf}$	-	-	10	ns	

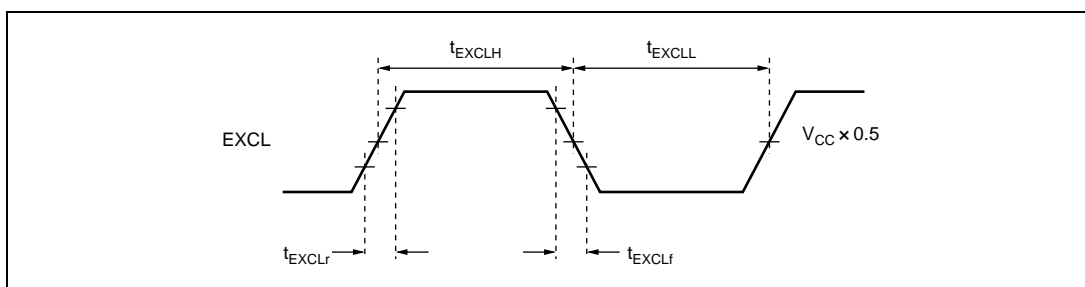


図 24.7 サブクロック入力タイミング

### (2) サブクロックを必要としない場合

サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。



### (3) サブクロック使用上の注意

低消費電力モード遷移時に、32kHz クロック入力許可 (EXCLE=1) から、SLEEP 命令実行 (低消費電力モード遷移) までの間に、32kHz クロックの取り込み (2 サイクル以上) が行われないと、サブクロック入力回路が初期化されず、マイコンが動作不具合を起こす場合があります。

サブクロックを使用する場合、32kHz クロック入力許可 (EXCLE=1) から、32kHz クロックの取り込み (2 サイクル分以上) を実施したうえで、低消費電力モードへ遷移してください。

また、サブクロックを使わない場合は、サブクロック入力をイネーブルにしない (EXCLE=0) ください。

## 24.6 波形成形回路

EXCL 端子から入力されたサブクロックのノイズ除去のため、 $\phi$ クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。

サブアクティブモード、サブスリープモード、およびウォッチモードではサンプリングされません。

## 24.7 クロック選択回路

LSI 内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、リセット状態、スタンバイモードからの復帰時には、EXTAL、XTAL 端子の発振器で生成されるクロックをシステムクロックとして選択します。

サブアクティブモード、サブスリープモード、ウォッチモードでは、EXCL 端子から入力されるサブクロックをシステムクロックとして選択します。このとき、CPU、TMR\_0、TMR\_1、WDT\_0、WDT\_1、ポート、割り込みコントローラなどのモジュールおよび機能は $\phi$ SUB により動作し、各タイマのカウントクロックやサンプリングクロックも $\phi$ SUB を分周したクロックとなります。

## 24.8 X1、X2 の端子処理

図 24.8 に示すように X1、X2 端子をオープンとしてください。

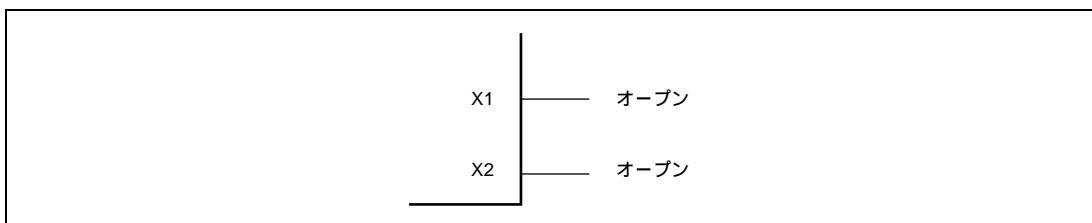


図 24.8 X1、X2 の端子処理

## 24.9 使用上の注意事項

### 24.9.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本書で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 24.9.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。また、図 24.9 に示すように発振回路の近くには他の信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

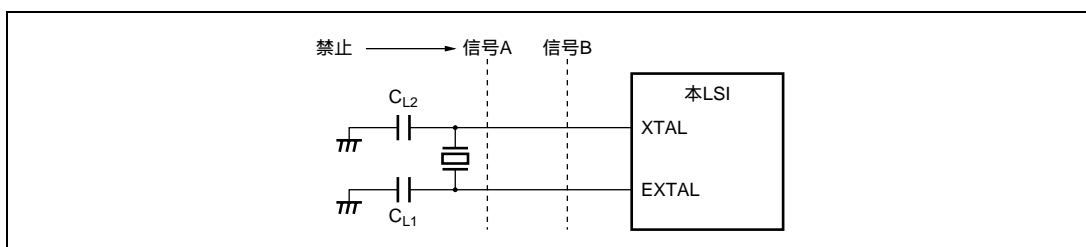


図 24.9 発振回路部のボード設計に関する注意事項

---

## 25. 低消費電力状態

---

リセット解除後の動作モードには、通常の高速モードでのプログラム実行状態のほかに消費電力を著しく低下させる7種類の低消費電力モードがあります。このほか、内蔵周辺モジュールを選択的に停止させて消費電力を低下させるモジュールストップモードがあります。

- 中速モード

CPUを動作させるシステムクロックの周波数は $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ の中から選択できます。

- サブアクティブモード

CPUはサブクロックで動作します。TMR\_0、TMR\_1、WDT\_0、WDT\_1以外の内蔵周辺モジュールは動作を停止します。

- スリープモード

CPUは動作を停止しますが、内蔵周辺モジュールは動作します。

- サブスリープモード

CPUおよびTMR\_0、TMR\_1、WDT\_0、WDT\_1以外の内蔵周辺モジュールは動作を停止します。

- ウォッチモード

CPUおよびWDT\_1以外の内蔵周辺モジュールは動作を停止します。

- ソフトウェアスタンバイモード

クロック発振器が停止し、CPUおよび内蔵周辺モジュールは動作を停止します。

- ハードウェアスタンバイモード

クロック発振器が停止し、CPUおよび内蔵周辺モジュールはリセット状態になります。

- モジュールストップモード

上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることができます。

## 25.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。SBYCR、LPWRCR、MSTPCR<sub>H</sub>、MSTPCR<sub>L</sub> をアクセスするためには、シリアルタイムコントロールレジスタ (STCR) の FLSHE ビットを 0 にクリアする必要があります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- ローパワーコントロールレジスタ (LPWRCR)
- モジュールストップコントロールレジスタ<sub>H</sub> (MSTPCR<sub>H</sub>)
- モジュールストップコントロールレジスタ<sub>L</sub> (MSTPCR<sub>L</sub>)

### 25.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0: スリープモードに遷移 1: ソフトウェアスタンバイモード、サブアクティブモードまたはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき 0: サブスリープモードに遷移 1: ウォッチモードまたは高速モードに遷移 割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除する際に、クロック発振器が発振を開始してからクロックが安定するまでの待機ステート数を設定します。動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように設定してください。設定値と待機ステート数の関係は表 25.1 のとおりです。 外部クロックを使用する場合は任意の選択が可能です。通常の場合は最小値を推奨します。
5	STS1	0	R/W	
4	STS0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3		0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	SCK2	0	R/W	システムクロックセレクト2~0 高速モードおよび中速モードでのバスマスタのクロックを選択します。 なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合にはSCK2~SCK0をB'000にしてください。  000：高速モード 001：中速クロックは $\phi/2$ 010：中速クロックは $\phi/4$ 011：中速クロックは $\phi/8$ 100：中速クロックは $\phi/16$ 101：中速クロックは $\phi/32$ 11X：
1	SCK1	0	R/W	
0	SCK0	0	R/W	

【記号説明】

X：Don't care

表 25.1 動作周波数と待機時間

STS2	STS1	STS0	待機時間	20MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192 ステート	0.4	0.8	1.0	1.3	2.0	4.1	ms
0	0	1	16384 ステート	0.8	1.6	2.0	2.7	4.1	8.2	
0	1	0	32768 ステート	2.0	3.3	4.1	5.5	8.2	16.4	
0	1	1	65536 ステート	4.1	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	8.2	13.1	16.4	21.8	32.8	65.5	
1	0	1	262144 ステート	16.4	26.2	32.8	43.6	65.6	131.2	
1	1	0	リザーブ	-	-	-	-	-	-	
1	1	1	16 ステート*	0.8	1.6	2.0	2.7	4.0	8.0	$\mu$ s

	：推奨設定時間
--	---------

【注】\* フラッシュメモリ内蔵版では本設定は使用しないでください。

## 25. 低消費電力状態

### 25.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	DTON	0	R/W	<p>ダイレクトトランスファオンフラグ</p> <p>SLEEP 命令実行後の遷移先を指定します。</p> <p>高速モードまたは中速モードで SLEEP 命令を実行したとき</p> <p>0: スリープモード、ソフトウェアスタンバイモードまたはウォッチモードに遷移</p> <p>1: サブアクティブモードに直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移</p> <p>サブアクティブモードで SLEEP 命令を実行したとき</p> <p>0: サブスリープモードまたはウォッチモードに遷移</p> <p>1: 高速モードに直接遷移、またはサブスリープモードに遷移</p>
6	LSON	0	R/W	<p>ロースピードオンフラグ</p> <p>SLEEP 命令実行後の遷移先を指定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。</p> <p>高速モードまたは中速モードで SLEEP 命令を実行したとき</p> <p>0: スリープモード、ソフトウェアスタンバイモード、またはウォッチモードに遷移</p> <p>1: ウォッチモード、またはサブアクティブモードに遷移</p> <p>サブアクティブモードで SLEEP 命令を実行したとき</p> <p>0: ウォッチモードまたは高速モードに直接遷移</p> <p>1: サブスリープモードまたはウォッチモードに遷移</p> <p>ウォッチモードを解除したとき</p> <p>0: 高速モードに遷移</p> <p>1: サブアクティブモードに遷移</p>
5	NESEL	0	R/W	<p>ノイズ除去サンプリング周波数選択</p> <p>EXCL 端子から入力されたサブクロック (<math>\phi_{SUB}</math>) を、システムクロック発振器で生成されたクロック (<math>\phi</math>) により、サンプリングする周波数を選択します。<math>\phi = 5\text{MHz}</math> 以上のときは 0 をセットしてください。</p> <p>0: <math>\phi</math> の 32 分周クロックでサンプリング</p> <p>1: <math>\phi</math> の 4 分周クロックでサンプリング</p>
4	EXCLE	0	R/W	<p>サブクロック入力イネーブル</p> <p>EXCL 端子からのサブクロック入力を制御します。</p> <p>0: EXCL 端子からのサブクロック入力禁止</p> <p>1: EXCL 端子からのサブクロック入力許可</p>
3		0	R/W	<p>リザーブビット</p> <p>リードすると不定値が読み出されます。1 にセットしないでください。</p>
2~0		すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>

### 25.1.3 モジュールストップコントロールレジスタ H、L (MSTPCRH、MSTPCRL)

MSTPCRH、MSTPCRL は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールストップモードになります。

#### • MSTPCRH

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP15	0*	R/W	
6	MSTP14	0	R/W	データトランスファコントローラ (DTC)
5	MSTP13	1	R/W	16 ビットフリーランニングタイマ (FRT)
4	MSTP12	1	R/W	8 ビットタイマ (TMR_0、TMR_1)
3	MSTP11	1	R/W	8 ビット PWM タイマ (PWM)、14 ビット PWM タイマ (PWMX)
2	MSTP10	1	R/W	D/A 変換器
1	MSTP9	1	R/W	A/D 変換器
0	MSTP8	1	R/W	8 ビットタイマ (TMR_X、TMR_Y)、タイマコネクシオン

【注】\* 1 にセットしないでください。

#### • MSTPCRL

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
6	MSTP6	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
5	MSTP5	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
4	MSTP4	1	R/W	I <sup>2</sup> C バスインタフェース_0 (IIC_0)
3	MSTP3	1	R/W	I <sup>2</sup> C バスインタフェース_1 (IIC_1)
2	MSTP2	1	R/W	ホストインタフェース (XBS)、キーボードバッファコントローラ、キーボードマトリクス割り込みマスクレジスタ (KMIMR)、キーボードマトリクス割り込みマスクレジスタ A (KMIMRA)、ポート 6 ブルアップ MOS コントロールレジスタ (KMPCR)
1	MSTP1	1*	R/W	
0	MSTP0	1	R/W	ホストインタフェース (LPC)、ウェイクアップイベント割り込みマスクレジスタ B (WUEMRB)

【注】 \* リード/ライト可ですが、動作に影響を与えません。

## 25.2 モード間遷移と LSI の状態

図 25.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。STBY 入力によりすべてのモードからハードウェアスタンバイモードに遷移します。また、RES 入力によりハードウェアスタンバイモードを除くすべてのモードからリセット状態に遷移します。表 25.2 に各動作モードでの LSI の内部状態を示します。

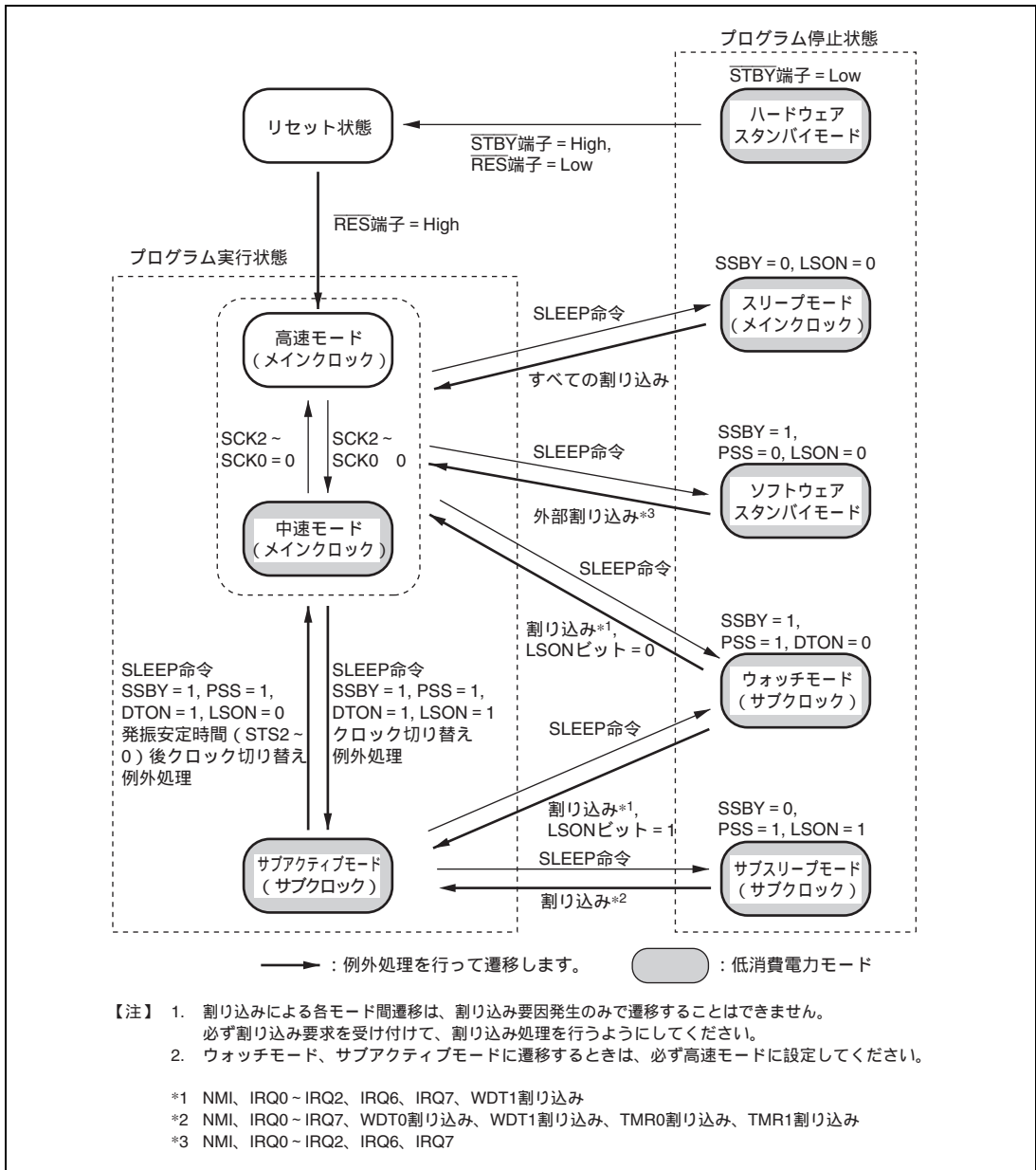


図 25.1 モード遷移図



表 25.2 各動作モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ		
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止		
サブクロック入力		動作	動作	動作	動作	動作	動作	動作	停止	停止		
CPU 動作	命令実行	動作	中速動作	停止	動作	停止	サブ クロック	停止	停止	停止		
	レジスタ			保持		保持		動作			保持	保持
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	停止		
	IRQ0~7											
	KIN0~15											
	WUE0~7											
周辺 モジュール	DTC	動作	中速動作	動作	動作 / 停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)		
	WDT_1				動作	動作	動作	動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)
	WDT_0				停止	動作 / 停止 (保持)	停止 (保持)	停止 (保持)				
	TMR_0、1				動作 / 停止 (保持)				停止 (保持)	停止 (保持)		
	FRT						停止 (保持)	停止 (保持)				
	TMR_X、Y								停止 (保持)	停止 (保持)		
	タイマ コネク ション						停止 (保持)	停止 (保持)				
	IIC_0								停止 (保持)	停止 (保持)		
	IIC_1						停止 (保持)	停止 (保持)				
	LPC								停止 (保持)	停止 (保持)		
	SCI_0						動作 / 停止 (リセット)	停止 (リセット)			停止 (リセット)	停止 (リセット)
	SCI_1								動作 / 停止 (リセット)	停止 (リセット)		
	SCI_2					動作 / 停止 (リセット)	停止 (リセット)	停止 (リセット)			停止 (リセット)	
	PWM				動作 / 停止 (リセット)				停止 (リセット)	停止 (リセット)		停止 (リセット)
	PWMX					動作 / 停止 (リセット)	停止 (リセット)	停止 (リセット)			停止 (リセット)	
	XBS、キー ボードバッ ファコント ローラ				動作 / 停止 (リセット)				停止 (リセット)	停止 (リセット)		停止 (リセット)

## 25. 低消費電力状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
周辺 モジュール	D/A 変換器	動作	動作	動作	動作 / 停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	A/D 変換器									
	RAM	動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持
	I/O	動作	動作	動作	動作	保持	動作	動作	保持	ハイインピー ダンス

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作停止  
 停止（リセット）は、内部レジスタおよび内部状態を初期化  
 モジュールストップモードは、対象モジュールのみ停止（リセットまたは保持）

### 25.3 中速モード

SBYCR の SCK2～SCK0 ビットの設定により、そのバスサイクルの終了時点で中速モードになります。動作クロックは $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$  から選択できます。バスマスタ以外の内蔵周辺機能はシステムクロック ( $\phi$ ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは4ステートアクセス、内部 I/O レジスタは8ステートアクセスになります。

中速モードは、SCK2～SCK0 ビットをいずれも0にクリアすると、そのバスサイクルの終了時点で高速モードに遷移します。

SBYCR の SSBY ビットが0、LPWRCR の LSON ビットが0のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。SSBY ビットが1、LPWRCR の LSON ビットが0、TCSR (WDT\_1) の PSS ビットが0のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$  端子を Low レベルにすると中速モードは解除されリセット状態に遷移します。ウォッチドッグタイマのオーバーフローによるリセットによっても同様です。

$\overline{\text{STBY}}$  端子を Low レベルにすると、中速モードは解除されハードウェアスタンバイモードに遷移します。

図 25.2 に中速モードのタイミングを示します。

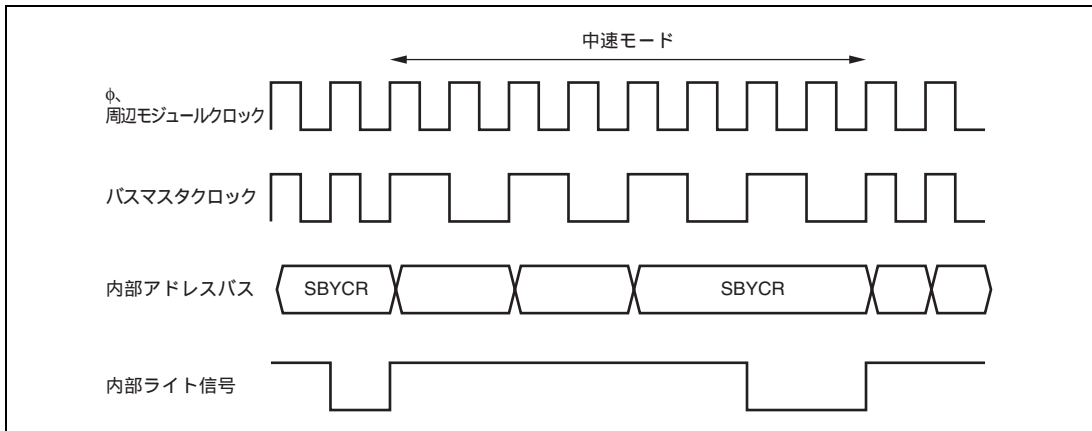


図 25.2 中速モードのタイミング

## 25.4 スリープモード

SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは動作します。CPU の内部レジスタの内容は保持されます。

スリープモードは、割り込み、 $\overline{\text{RES}}$  端子、または  $\overline{\text{STBY}}$  端子によって解除されます。

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されているとき、または NMI 以外の割り込みが CPU でマスクされているとスリープモードは解除できません。

$\overline{\text{RES}}$  端子を Low レベルにすると、スリープモードは解除されリセット状態になります。発振安定時間経過後、 $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、スリープモードは解除されハードウェアスタンバイモードに遷移します。

## 25.5 ソフトウェアスタンバイモード

SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、TCSR (WDT\_1) の PSS が 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、クロック発振器が停止し、CPU および内蔵周辺機能が停止します。ただし、規定の電圧が与えられている限り、CPU のレジスタと内蔵 RAM のデータおよび SCI、PWM、PWMX を除く内蔵周辺機能と I/O ポートの状態は保持されます。

ソフトウェアスタンバイモードは、外部割り込み (NMI、IRQ0 ~ IRQ2、IRQ6、IRQ7)、 $\overline{\text{RES}}$  入力、または  $\overline{\text{STBY}}$  入力によって解除されます。

外部割り込み要求信号が入力されると、システムクロック発振器が発振を開始します。SBYCR の STS2 ~ STS0 ビットによって設定された時間が経過するとソフトウェアスタンバイモードが解除され、割り込み例外処理を開始します。IRQ0 ~ IRQ2、IRQ6、IRQ7 割り込みでソフトウェアスタンバイモードを解除するときには、対応するイネーブルビットを 1 にセットし、かつ IRQ0 ~ IRQ2、IRQ6、IRQ7 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、IRQ0 ~ IRQ2、IRQ6、IRQ7 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、または割り込みが CPU でマスクされている場合には、ソフトウェアスタンバイモ

ードは解除されません。

$\overline{\text{RES}}$  端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ソフトウェアスタンバイモードは解除されハードウェアスタンバイモードに遷移します。

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

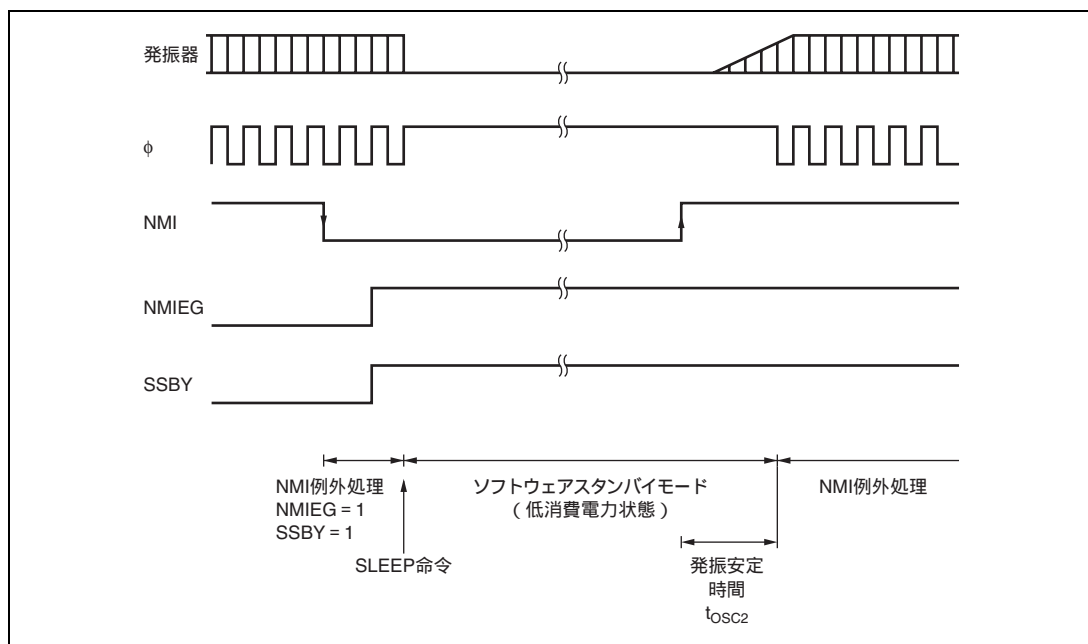


図 25.3 ソフトウェアスタンバイモードの応用例

## 25.6 ハードウェアスタンバイモード

$\overline{\text{STBY}}$  端子を Low レベルにすると、どのモードからでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になります。規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$  端子を Low レベルにする前に、SYSCR の RAME ビットを 0

にクリアしてください。また、ハードウェアスタンバイモード中に、モード端子 (MD1、MD0) の状態を変化させないでください。

ハードウェアスタンバイモードは、 $\overline{\text{RES}}$  入力と  $\overline{\text{STBY}}$  入力によって解除されます。

$\overline{\text{RES}}$  端子を Low レベルの状態、 $\overline{\text{STBY}}$  端子を High レベルにするとクロック発振器が発振を開始します。 $\overline{\text{RES}}$  端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理を開始します。

図 25.4 にハードウェアスタンバイモードのタイミング例を示します。

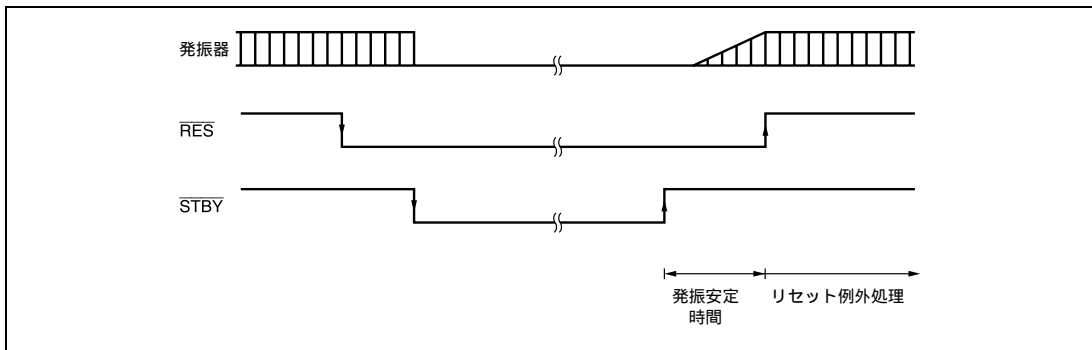


図 25.4 ハードウェアスタンバイモードのタイミング

## 25.7 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR(WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモードでは、CPU および WDT\_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは、割り込み (WOV11、NMI、IRQ0~IRQ2、IRQ6、IRQ7)、 $\overline{\text{RES}}$  入力、または  $\overline{\text{STBY}}$  入力によって解除されます。

割り込みが発生するとウォッチモードは解除され、LPWRCR の LSON ビットが 0 のときは高速モードあるいは中速モードに、LSON ビットが 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2~STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0~IRQ2、IRQ6、IRQ7 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

$\overline{\text{RES}}$  端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 25.8 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR (WDT\_1) の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、TMR\_0、TMR\_1、WDT\_0、WDT\_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは、割り込み(内蔵周辺機能からの割り込み、NMI、IRQ0~IRQ7)、 $\overline{\text{RES}}$  入力、または  $\overline{\text{STBY}}$  入力によって解除されます。

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ0~IRQ7 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

$\overline{\text{RES}}$  端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 25.9 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 1、TCSR (WDT\_1) の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビットが 1 の状態であれば、サブアクティブモードに直接遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR\_0、TMR\_1、WDT\_0、WDT\_1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SBYCR の SCK2~SCK0 の各ビットを必ず 0 としてください。

サブアクティブモードは、SLEEP 命令、 $\overline{\text{RES}}$  入力、または  $\overline{\text{STBY}}$  入力によって解除されます。

SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR (WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR (WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 0、TCSR (WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、高速モードに直接遷移します。

直接遷移の詳細は「25.11 直接遷移」を参照してください。

$\overline{\text{RES}}$  端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後  $\overline{\text{RES}}$  端子を High レベルにすると、CPU はリセット例外処理を開始します。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

## 25.10 モジュールストップモード

モジュールストップモードはすべての内蔵周辺モジュールに対して設定できます。

MSTPCR の各モジュールに対応した MSTP ビットを 1 にセットすると、そのモジュールはバスサイクルの終了時点でモジュールストップモードへ遷移します。0 にクリアするとモジュールストップモードは解除され、バスサイクルの終了時点で動作を再開します。モジュールストップモードでは、SCI、D/A 変換器、A/D 変換器、PWM、PWMX を除く周辺モジュールの内部状態は保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

## 25.11 直接遷移

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの 3 つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移例外処理を開始します。

高速モードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 1、DTON ビットが 1、TSCR (WDT\_1) の PSS ビットが 1 にセットした状態で SLEEP 命令を実行すると、サブアクティブモードに遷移します。

サブアクティブモードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、DTON ビットが 1、TSCR (WDT\_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、SBYCR の STS2 ~ STS0 により設定された時間を経過した後、直接高速モードに遷移します。

## 25.12 使用上の注意事項

### 25.12.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

### 25.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

### 25.12.3 DTC のモジュールストップモードの設定

DTC のモジュールストップモードの設定と、DTC のバス権要求が競合すると、バス権要求が優先され、MSTP ビットは 1 にセットされません。

DTC のバスサイクル終了後に再び MSTP ビットに 1 をライトしてください。





---

## 26. レジスタ一覧

---

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

### 1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

### 2. ビット構成一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット番号が表示されているものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットのレジスタの場合、MSB側のビットを記載しています。

### 3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

### 4. レジスタ選択条件

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- レジスタ選択条件については「3.2.2 システムコントロールレジスタ (SYSCR)」、「3.2.3 シリアルタイムコントロールレジスタ (STCR)」、「25.1.3 モジュールストップコントロールレジスタH、L (MSTPCRH、MSTPCL)」および各モジュールのレジスタ説明を参照してください。

## 26.1 レジスタアドレス一覧 (アドレス順)

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
ポートG オープンドレインコントロールレジスタ	PGNOCR* <sup>1</sup>	8	H'FE16	PORT	8	3
ポートE オープンドレインコントロールレジスタ	PENOCR* <sup>1</sup>	8	H'FE18	PORT	8	3
ポートF オープンドレインコントロールレジスタ	PFNOCR* <sup>1</sup>	8	H'FE19	PORT	8	3
ポートC オープンドレインコントロールレジスタ	PCNOCR* <sup>1</sup>	8	H'FE1C	PORT	8	3
ポートD オープンドレインコントロールレジスタ	PDNOCR* <sup>1</sup>	8	H'FE1D	PORT	8	3
双方向データレジスタ 0MW	TWR0MW	8	H'FE20	LPC	8	3
双方向データレジスタ 0SW	TWR0SW	8	H'FE20	LPC	8	3
双方向データレジスタ 1	TWR1	8	H'FE21	LPC	8	3
双方向データレジスタ 2	TWR2	8	H'FE22	LPC	8	3
双方向データレジスタ 3	TWR3	8	H'FE23	LPC	8	3
双方向データレジスタ 4	TWR4	8	H'FE24	LPC	8	3
双方向データレジスタ 5	TWR5	8	H'FE25	LPC	8	3
双方向データレジスタ 6	TWR6	8	H'FE26	LPC	8	3
双方向データレジスタ 7	TWR7	8	H'FE27	LPC	8	3
双方向データレジスタ 8	TWR8	8	H'FE28	LPC	8	3
双方向データレジスタ 9	TWR9	8	H'FE29	LPC	8	3
双方向データレジスタ 10	TWR10	8	H'FE2A	LPC	8	3
双方向データレジスタ 11	TWR11	8	H'FE2B	LPC	8	3
双方向データレジスタ 12	TWR12	8	H'FE2C	LPC	8	3
双方向データレジスタ 13	TWR13	8	H'FE2D	LPC	8	3
双方向データレジスタ 14	TWR14	8	H'FE2E	LPC	8	3
双方向データレジスタ 15	TWR15	8	H'FE2F	LPC	8	3
入力データレジスタ 3	IDR3	8	H'FE30	LPC	8	3
出力データレジスタ 3	ODR3	8	H'FE31	LPC	8	3
ステータスレジスタ 3	STR3	8	H'FE32	LPC	8	3
LPC チャネルアドレスレジスタ H	LADR3H	8	H'FE34	LPC	8	3
LPC チャネルアドレスレジスタ L	LADR3L	8	H'FE35	LPC	8	3
SERIRQ コントロールレジスタ 0	SIRQCR0	8	H'FE36	LPC	8	3
SERIRQ コントロールレジスタ 1	SIRQCR1	8	H'FE37	LPC	8	3
入力データレジスタ 1	IDR1	8	H'FE38	LPC	8	3
出力データレジスタ 1	ODR1	8	H'FE39	LPC	8	3
ステータスレジスタ 1	STR1	8	H'FE3A	LPC	8	3
入力データレジスタ 2	IDR2	8	H'FE3C	LPC	8	3

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
出力データレジスタ 2	ODR2	8	H'FE3D	LPC	8	3
ステータスレジスタ 2	STR2	8	H'FE3E	LPC	8	3
ホストインタフェースセレクトレジスタ	HISEL	8	H'FE3F	LPC	8	3
ホストインタフェースコントロールレジスタ 0	HICR0	8	H'FE40	LPC	8	3
ホストインタフェースコントロールレジスタ 1	HICR1	8	H'FE41	LPC	8	3
ホストインタフェースコントロールレジスタ 2	HICR2	8	H'FE42	LPC	8	3
ホストインタフェースコントロールレジスタ 3	HICR3	8	H'FE43	LPC	8	3
ウェイクアップイベント割り込みマスクレジスタ B	WUEMRB* <sup>2</sup>	8	H'FE44	INT	8	3
ポート G 出力データレジスタ	PGODR* <sup>1</sup>	8	H'FE46	PORT	8	3
ポート G 入力データレジスタ	PGPIN* <sup>1</sup>	8	H'FE47 (リード時)	PORT	8	3
ポート G データディレクションレジスタ	PGDDR* <sup>1</sup>	8	H'FE47 (ライト時)	PORT	8	3
ポート E 出力データレジスタ	PEODR* <sup>1</sup>	8	H'FE48	PORT	8	3
ポート F 出力データレジスタ	PFODR* <sup>1</sup>	8	H'FE49	PORT	8	3
ポート E 入力データレジスタ	PEPIN* <sup>1</sup>	8	H'FE4A (リード時)	PORT	8	3
ポート E データディレクションレジスタ	PEDDR* <sup>1</sup>	8	H'FE4A (ライト時)	PORT	8	3
ポート F 入力データレジスタ	PFPIN* <sup>1</sup>	8	H'FE4B (リード時)	PORT	8	3
ポート F データディレクションレジスタ	PFDDR* <sup>1</sup>	8	H'FE4B (ライト時)	PORT	8	3
ポート C 出力データレジスタ	PCODR* <sup>1</sup>	8	H'FE4C	PORT	8	3
ポート D 出力データレジスタ	PDODR* <sup>1</sup>	8	H'FE4D	PORT	8	3
ポート C 入力データレジスタ	PCPIN* <sup>1</sup>	8	H'FE4E (リード時)	PORT	8	3
ポート C データディレクションレジスタ	PCDDR* <sup>1</sup>	8	H'FE4E (ライト時)	PORT	8	3
ポート D 入力データレジスタ	PDPIN* <sup>1</sup>	8	H'FE4F (リード時)	PORT	8	3
ポート D データディレクションレジスタ	PDDDR* <sup>1</sup>	8	H'FE4F (ライト時)	PORT	8	3
ホストインタフェースコントロールレジスタ 2	HICR2	8	H'FE80	XBS	8	2
入力データレジスタ_3	IDR_3	8	H'FE81	XBS	8	2
出力データレジスタ_3	ODR_3	8	H'FE82	XBS	8	2
ステータスレジスタ_3	STR_3	8	H'FE83	XBS	8	2
入力データレジスタ_4	IDR_4	8	H'FE84	XBS	8	2
出力データレジスタ_4	ODR_4	8	H'FE85	XBS	8	2
ステータスレジスタ_4	STR_4	8	H'FE86	XBS	8	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
I <sup>2</sup> C バス拡張コントロールレジスタ_0	ICXR_0	8	H'FED4	IIC_0	8	2
I <sup>2</sup> C バス拡張コントロールレジスタ_1	ICXR_1	8	H'FED5	IIC_1	8	2
キーボードコントロールレジスタ H_0	KBCRH_0	8	H'FED8	キーボード バッファ コントローラ_0	8	2
キーボードコントロールレジスタ L_0	KBCRL_0	8	H'FED9	キーボード バッファ コントローラ_0	8	2
キーボードデータバッファレジスタ_0	KBBR_0	8	H'FEDA	キーボード バッファ コントローラ_0	8	2
キーボードコントロールレジスタ H_1	KBCRH_1	8	H'FEDC	キーボード バッファ コントローラ_1	8	2
キーボードコントロールレジスタ L_1	KBCRL_1	8	H'FEDD	キーボード バッファ コントローラ_1	8	2
キーボードデータバッファレジスタ_1	KBBR_1	8	H'FEDE	キーボード バッファ コントローラ_1	8	2
キーボードコントロールレジスタ H_2	KBCRH_2	8	H'FEE0	キーボード バッファ コントローラ_2	8	2
キーボードコントロールレジスタ L_2	KBCRL_2	8	H'FEE1	キーボード バッファ コントローラ_2	8	2
キーボードデータバッファレジスタ_2	KBBR_2	8	H'FEE2	キーボード バッファ コントローラ_2	8	2
キーボードコンパレータコントロールレジスタ	KBCOMP	8	H'FEE4	IrDA/ 拡張 A/D	8	2
DDC スイッチレジスタ	DDCSWR	8	H'FEE6	IIC_0	8	2
インタラプトコントロールレジスタ A	ICRA	8	H'FEE8	INT	8	2
インタラプトコントロールレジスタ B	ICRB	8	H'FEE9	INT	8	2
インタラプトコントロールレジスタ C	ICRC	8	H'FEEA	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FEEB	INT	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FEEC	INT	8	2
IRQ センスコントロールレジスタ L	ISCR_L	8	H'FEED	INT	8	2
DTC イネーブルレジスタ A	DTCERA	8	H'FEEE	DTC	8	2
DTC イネーブルレジスタ B	DTCERB	8	H'FEEF	DTC	8	2
DTC イネーブルレジスタ C	DTCERC	8	H'FEF0	DTC	8	2
DTC イネーブルレジスタ D	DTCERD	8	H'FEF1	DTC	8	2
DTC イネーブルレジスタ E	DTCERE	8	H'FEF2	DTC	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
DTC ベクタレジスタ	DTVECR	8	H'FEF3	DTC	8	2
アドレスブレークコントロールレジスタ	ABRKCR	8	H'FEF4	INT	8	2
ブレークアドレスレジスタ A	BARA	8	H'FEF5	INT	8	2
ブレークアドレスレジスタ B	BARB	8	H'FEF6	INT	8	2
ブレークアドレスレジスタ C	BARC	8	H'FEF7	INT	8	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FF80	FLASH	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FF81	FLASH	8	2
周辺クロックセレクトレジスタ	PCSR	8	H'FF82	PWM	8	2
消去ブロック指定レジスタ 1	EBR1	8	H'FF82	FLASH	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FF83	SYSTEM	8	2
消去ブロック指定レジスタ 2	EBR2	8	H'FF83	FLASH	8	2
スタンドバイコントロールレジスタ	SBYCR	8	H'FF84	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FF85	SYSTEM	8	2
モジュールストップコントロールレジスタ H	MSTPCRH	8	H'FF86	SYSTEM	8	2
モジュールストップコントロールレジスタ L	MSTPCL	8	H'FF87	SYSTEM	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF88	SCI_1	8	2
I <sup>2</sup> C バスコントロールレジスタ_1	ICCR_1	8	H'FF88	IIC_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF89	SCI_1	8	2
I <sup>2</sup> C バスステータスレジスタ_1	ICSR_1	8	H'FF89	IIC_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF8A	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF8B	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF8C	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF8D	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF8E	SCI_1	8	2
I <sup>2</sup> C バスデータレジスタ_1	ICDR_1	8	H'FF8E	IIC_1	8	2
第 2 スレーブアドレスレジスタ_1	SARX_1	8	H'FF8E	IIC_1	8	2
I <sup>2</sup> C バスモードレジスタ_1	ICMR_1	8	H'FF8F	IIC_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FF8F	IIC_1	8	2
タイミンタラプトイネーブルレジスタ	TIER	8	H'FF90	FRT	8	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FF91	FRT	8	2
フリーランニングカウンタ H	FRCH	8	H'FF92	FRT	8	2
フリーランニングカウンタ L	FRCL	8	H'FF93	FRT	8	2
アウトプットコントロールレジスタ AH	OCRAH	8	H'FF94	FRT	8	2
アウトプットコントロールレジスタ BH	OCRBH	8	H'FF94	FRT	8	2
アウトプットコントロールレジスタ AL	OCRAL	8	H'FF95	FRT	8	2
アウトプットコントロールレジスタ BL	OCRBL	8	H'FF95	FRT	8	2
タイマコントロールレジスタ	TCR	8	H'FF96	FRT	8	2
タイマアウトプットコンペアコントロールレジスタ	TOCR	8	H'FF97	FRT	8	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
インプットキャプチャレジスタ AH	ICRAH	8	H'FF98	FRT	8	2
アウトプットコントロールレジスタ ARH	OCRARH	8	H'FF98	FRT	8	2
インプットキャプチャレジスタ AL	ICRAL	8	H'FF99	FRT	8	2
アウトプットコントロールレジスタ ARL	OCRARL	8	H'FF99	FRT	8	2
インプットキャプチャレジスタ BH	ICRBH	8	H'FF9A	FRT	8	2
アウトプットコントロールレジスタ AFH	OCRAFH	8	H'FF9A	FRT	8	2
インプットキャプチャレジスタ BL	ICRBL	8	H'FF9B	FRT	8	2
アウトプットコントロールレジスタ AFL	OCRAFL	8	H'FF9B	FRT	8	2
インプットキャプチャレジスタ CH	ICRCH	8	H'FF9C	FRT	8	2
アウトプットコンペアレジスタ DMH	OCRDMH	8	H'FF9C	FRT	8	2
インプットキャプチャレジスタ CL	ICRCL	8	H'FF9D	FRT	8	2
アウトプットコンペアレジスタ DML	OCRDML	8	H'FF9D	FRT	8	2
インプットキャプチャレジスタ DH	ICRDH	8	H'FF9E	FRT	8	2
インプットキャプチャレジスタ DL	ICRDL	8	H'FF9F	FRT	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FFA0	SCI_2	8	2
PWM(D/A)コントロールレジスタ	DACR	8	H'FFA0	PWMX	8	2
PWM(D/A)データレジスタ AH	DADRAH	8	H'FFA0	PWMX	8	2
PWM(D/A)データレジスタ AL	DADRAL	8	H'FFA1	PWMX	8	2
ビットレートレジスタ_2	BRR_2	8	H'FFA1	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FFA2	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FFA3	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FFA4	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FFA5	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FFA6	SCI_2	8	2
PWM(D/A)カウンタ H	DACNTH	8	H'FFA6	PWMX	8	2
PWM(D/A)データレジスタ BH	DADRBH	8	H'FFA6	PWMX	8	2
PWM(D/A)カウンタ L	DACNTL	8	H'FFA7	PWMX	8	2
PWM(D/A)データレジスタ BL	DADRBL	8	H'FFA7	PWMX	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8	WDT	8	2
タイマカウンタ_0	TCNT_0	8	H'FFA8 (ライト時)	WDT_0	8	2
タイマカウンタ_0	TCNT_0	8	H'FFA9 (リード時)	WDT_0	8	2
ポート A 出力データレジスタ	PAODR	8	H'FFAA	PORT	8	2
ポート A 入力データレジスタ	PAPIN	8	H'FFAB	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FFAB	PORT	8	2
ポート 1 ブルアップ MOS コントロールレジスタ	P1PCR	8	H'FFAC	PORT	8	2
ポート 2 ブルアップ MOS コントロールレジスタ	P2PCR	8	H'FFAD	PORT	8	2
ポート 3 ブルアップ MOS コントロールレジスタ	P3PCR	8	H'FFAE	PORT	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FFB0	PORT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポート2データディレクションレジスタ	P2DDR	8	H'FFB1	PORT	8	2
ポート1データレジスタ	P1DR	8	H'FFB2	PORT	8	2
ポート2データレジスタ	P2DR	8	H'FFB3	PORT	8	2
ポート3データディレクションレジスタ	P3DDR	8	H'FFB4	PORT	8	2
ポート4データディレクションレジスタ	P4DDR	8	H'FFB5	PORT	8	2
ポート3データレジスタ	P3DR	8	H'FFB6	PORT	8	2
ポート4データレジスタ	P4DR	8	H'FFB7	PORT	8	2
ポート5データディレクションレジスタ	P5DDR	8	H'FFB8	PORT	8	2
ポート6データディレクションレジスタ	P6DDR	8	H'FFB9	PORT	8	2
ポート5データレジスタ	P5DR	8	H'FFBA	PORT	8	2
ポート6データレジスタ	P6DR	8	H'FFBB	PORT	8	2
ポートB出力データレジスタ	PBODR	8	H'FFBC	PORT	8	2
ポートB入力データレジスタ	PBPIN	8	H'FFBD (リード時)	PORT	8	2
ポート8データディレクションレジスタ	P8DDR	8	H'FFBD (ライト時)	PORT	8	2
ポート7入力データレジスタ	P7PIN	8	H'FFBE (リード時)	PORT	8	2
ポートBデータディレクションレジスタ	PBDDR	8	H'FFBE (ライト時)	PORT	8	2
ポート8データレジスタ	P8DR	8	H'FFBF	PORT	8	2
ポート9データディレクションレジスタ	P9DDR	8	H'FFC0	PORT	8	2
ポート9データレジスタ	P9DR	8	H'FFC1	PORT	8	2
インタラプティブレジスタ	IER	8	H'FFC2	INT	8	2
シリアルタイムコントロールレジスタ	STCR	8	H'FFC3	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FFC4	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FFC5	SYSTEM	8	2
バスコントロールレジスタ	BCR	8	H'FFC6	BSC	8	2
ウェイトステートコントロールレジスタ	WSCR	8	H'FFC7	BSC	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFC8	TMR_0	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFC9	TMR_1	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFCA	TMR_0	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFCB	TMR_1	16	2
タイムコンスタントレジスタA_0	TCORA_0	8	H'FFCC	TMR_0	16	2
タイムコンスタントレジスタA_1	TCORA_1	8	H'FFCD	TMR_1	16	2
タイムコンスタントレジスタB_0	TCORB_0	8	H'FFCE	TMR_0	16	2
タイムコンスタントレジスタB_1	TCORB_1	8	H'FFCF	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFD0	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFD1	TMR_1	16	2

## 26. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
PWM アウトプットイネーブルレジスタ B	PWOERB	8	H'FFD2	PWM	8	2
PWM アウトプットイネーブルレジスタ A	PWOERA	8	H'FFD3	PWM	8	2
PWM データポラリティレジスタ B	PWDPRB	8	H'FFD4	PWM	8	2
PWM データポラリティレジスタ A	PWDPR A	8	H'FFD5	PWM	8	2
PWM レジスタセレクト	PWSL	8	H'FFD6	PWM	8	2
PWM データレジスタ 0~15	PWDR 0~15	8	H'FFD7	PWM	8	2
シリアルモードレジスタ_0	SMR_0	8	H'FFD8	SCI_0	8	2
I <sup>2</sup> C バスコントロールレジスタ_0	ICCR_0	8	H'FFD8	IIC_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FFD9	SCI_0	8	2
I <sup>2</sup> C バスステータスレジスタ_0	ICSR_0	8	H'FFD9	IIC_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FFDA	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FFDB	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FFDC	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FFDD	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FFDE	SCI_0	8	2
I <sup>2</sup> C バスデータレジスタ_0	ICDR_0	8	H'FFDE	IIC_0	8	2
第2スレーブアドレスレジスタ_0	SARX_0	8	H'FFDE	IIC_0	8	2
I <sup>2</sup> C バスモードレジスタ_0	ICMR_0	8	H'FFDF	IIC_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FFDF	IIC_0	8	2
A/D データレジスタ AH	ADDRAH	8	H'FFE0	A/D 変換器	8	2
A/D データレジスタ AL	ADDRAL	8	H'FFE1	A/D 変換器	8	2
A/D データレジスタ BH	ADDRBH	8	H'FFE2	A/D 変換器	8	2
A/D データレジスタ BL	ADDRBL	8	H'FFE3	A/D 変換器	8	2
A/D データレジスタ CH	ADDRCH	8	H'FFE4	A/D 変換器	8	2
A/D データレジスタ CL	ADDRCL	8	H'FFE5	A/D 変換器	8	2
A/D データレジスタ DH	ADDRDH	8	H'FFE6	A/D 変換器	8	2
A/D データレジスタ DL	ADDRDL	8	H'FFE7	A/D 変換器	8	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FFE8	A/D 変換器	8	2
A/D コントロールレジスタ	ADCR	8	H'FFE9	A/D 変換器	8	2
タイマコントロール/ステータスレジスタ	TCSR_1	8	H'FFEA	WDT_1	8	2
タイマカウンタ_1	TCNT_1	8	H'FFEA (ライト時)	WDT_1	8	2
タイマカウンタ_1	TCNT_1	8	H'FFEB (リード時)	WDT_1	8	2
ホストインタフェースコントロールレジスタ	HICR	8	H'FFF0	XBS	8	2
タイマコントロールレジスタ_X	TCR_X	8	H'FFF0	TMR_X	16	2
タイマコントロールレジスタ_Y	TCR_Y	8	H'FFF0	TMR_Y	16	2
キーボードマトリクス割り込みレジスタ 6	KMIMR	8	H'FFF1	INT	8	2



レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマコントロール/ステータスレジスタ_X	TCSR_X	8	H'FFF1	TMR_X	16	2
タイマコントロール/ステータスレジスタ_Y	TCSR_Y	8	H'FFF1	TMR_Y	16	2
ブルアップ MOS コントロールレジスタ	KMPCR	8	H'FFF2	PORT	8	2
インプットキャプチャレジスタ R	TICRR	8	H'FFF2	TMR_X	16	2
タイムコンスタントレジスタ A_Y	TCORA_Y	8	H'FFF2	TMR_Y	16	2
キーボードマトリクス割り込みレジスタ A	KMIMRA	8	H'FFF3	INT	8	2
インプットキャプチャレジスタ F	TICRF	8	H'FFF3	TMR_X	16	2
タイムコンスタントレジスタ B_Y	TCORB_Y	8	H'FFF3	TMR_Y	16	2
入力データレジスタ_1	IDR_1	8	H'FFF4	XBS	8	2
タイマカウンタ_X	TCNT_X	8	H'FFF4	TMR_X	16	2
タイマカウンタ_Y	TCNT_Y	8	H'FFF4	TMR_Y	16	2
出力データレジスタ_1	ODR_1	8	H'FFF5	XBS	8	2
タイマコンスタントレジスタ C	TCORC	8	H'FFF5	TMR_X	16	2
タイムインプットセレクトレジスタ	TISR	8	H'FFF5	TMR_Y	16	2
ステータスレジスタ_1	STR_1	8	H'FFF6	XBS	8	2
タイマコンスタントレジスタ A_X	TCORA_X	8	H'FFF6	TMR_X	16	2
タイマコンスタントレジスタ B_X	TCORB_X	8	H'FFF7	TMR_X	16	2
D/A データレジスタ 0	DADR0	8	H'FFF8	D/A 変換器	8	2
D/A データレジスタ 1	DADR1	8	H'FFF9	D/A 変換器	8	2
D/A コントロールレジスタ	DACR	8	H'FFFA	D/A 変換器	8	2
入力データレジスタ_2	IDR_2	8	H'FFFC	XBS	8	2
タイマコネクションレジスタ I	TCONRI	8	H'FFFC	タイマコネ クション	8	2
出力データレジスタ_2	ODR_2	8	H'FFFD	XBS	8	2
タイマコネクションレジスタ O	TCONRO	8	H'FFFD	タイマコネ クション	8	2
ステータスレジスタ_2	STR_2	8	H'FFFE	XBS	8	2
タイマコネクションレジスタ S	TCONRS	8	H'FFFE	タイマコネ クション	8	2
エッジセンスレジスタ	SEDGR	8	H'FFFF	タイマコネ クション	8	2

【注】 \*1 H8S/2160B、H8S/2161B で使用できます。

\*2 H8S/2148B、H8S/2145B (5V 版) ではサポートしていません。

## 26.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビットレジスタは、8 ビットずつ 2 段で表しています。

レジスタ 略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
PGNOCR* <sup>1</sup>	PG7NOCR	PG6NOCR	PG5NOCR	PG4NOCR	PG3NOCR	PG2NOCR	PG1NOCR	PG0NOCR	PORT
PENOCR* <sup>1</sup>	PE7NOCR	PE6NOCR	PE5NOCR	PE4NOCR	PE3NOCR	PE2NOCR	PE1NOCR	PE0NOCR	
PFNOCR* <sup>1</sup>	PF7NOCR	PF6NOCR	PF5NOCR	PF4NOCR	PF3NOCR	PF2NOCR	PF1NOCR	PF0NOCR	
PCNOCR* <sup>1</sup>	PC7NOCR	PC6NOCR	PC5NOCR	PC4NOCR	PC3NOCR	PC2NOCR	PC1NOCR	PC0NOCR	LPC
PDNOCR* <sup>1</sup>	PD7NOCR	PD6NOCR	PD5NOCR	PD4NOCR	PD3NOCR	PD2NOCR	PD1NOCR	PD0NOCR	
TWR0MW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR0SW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR9	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR10	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR11	bit7	bit6	bit5	bit4	bit3	bit2	Bit1	bit0	
TWR12	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR13	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR14	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR15	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
IDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR3* <sup>2</sup>	IBF3B	OBF3B	MWMF	SWMF	C/D <sup>3</sup>	DBU32	IBF3A	OBF3A	
STR3* <sup>3</sup>	DBU37	DBU36	DBU35	DBU34	C/D <sup>3</sup>	DBU32	IBF3A	OBF3A	
LADR3H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
LADR3L	bit7	bit6	bit5	bit4	bit3	-	bit1	TWRE	
SIRQCR0	Q/C	SELREQ	IEDIR	SMIE3B	SMIE3A	SMIE2	IRQ12E1	IRQ1E1	
SIRQCR1	IRQ11E3	IRQ10E3	IRQ9E3	IRQ6E3	IRQ11E2	IRQ10E2	IRQ9E2	IRQ6E2	
IDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR1	DBU17	DBU16	DBU15	DBU14	C/D <sup>1</sup>	DBU12	IBF1	OBF1	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IDR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	LPC
ODR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR2	DBU27	DBU26	DBU25	DBU24	C/D2	DBU22	IBF2	OBF2	
HISEL	SELSTR3	SELIRQ11	SELIRQ10	SELIRQ9	SELIRQ6	SELSMI	SELIRQ12	SELIRQ1	
HICR0	LPC3E	LPC2E	LPC1E	FGA20E	SDWNE	PMEE	LSMIE	LSCIE	
HICR1	LPCBSY	CLKREQ	IRQBSY	LRSTB	SDWNB	PMEB	LSMIB	LSCIB	
HICR2	GA20	LRST	SDWN	ABRT	IBFIE3	IBFIE2	IBFIE1	ERRIE	
HICR3	LFRAME	CLKRUN	SERIRQ	LRESET	LPCPD	PME	LSMI	LSCI	
WUEMRB*5	WUEMR7	WUEMR6	WUEMR5	WUEMR4	WUEMR3	WUEMR2	WUEMR1	WUEMR0	INT
PGODR*1	PG7ODR	PG6ODR	PG5ODR	PG4ODR	PG3ODR	PG2ODR	PG1ODR	PG0ODR	PORT
PGPIN*1	PG7PIN	PG6PIN	PG5PIN	PG4PIN	PG3PIN	PG2PIN	PG1PIN	PG0PIN	
PGDDR*1	PG7DDR	PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	
PEODR*1	PE7ODR	PE6ODR	PE5ODR	PE4ODR	PE3ODR	PE2ODR	PE1ODR	PE0ODR	
PFODR*1	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR	
PEPIN*1	PE7PIN	PE6PIN	PE5PIN	PE4PIN	PE3PIN	PE2PIN	PE1PIN	PE0PIN	
PEDDR*1	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFPIN*1	PF7PIN	PF6PIN	PF5PIN	PF4PIN	PF3PIN	PF2PIN	PF1PIN	PF0PIN	
PFDDR*1	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
PCODR*1	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR	
PDODR*1	PD7ODR	PD6ODR	PD5ODR	PD4ODR	PD3ODR	PD2ODR	PD1ODR	PD0ODR	
PCPIN*1	PC7PIN	PC6PIN	PC5PIN	PC4PIN	PC3PIN	PC2PIN	PC1PIN	PC0PIN	
PCDDR*1	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDPIN*1	PD7PIN	PD6PIN	PD5PIN	PD4PIN	PD3PIN	PD2PIN	PD1PIN	PD0PIN	
PDDDR*1	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
HICR2	-	-	-	-	-	IBFIE4	IBFIE3	-	XBS
IDR_3	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	
ODR_3	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	
STR_3	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF	
IDR_4	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	
ODR_4	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	
STR_4	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF	
ICXR_0	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_0
ICXR_1	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_1
KBCRH_0	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS	キーボード
KBCRL_0	KBE	KCLKO	KDO	-	RXCR3	RXCR2	RXCR1	RXCR0	バッファコン トローラ_0
KBBR_0	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
KBCRH_1	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS	キーボード
KBCRL_1	KBE	KCLKO	KDO	-	RXCR3	RXCR2	RXCR1	RXCR0	バッファコン トローラ_1
KBBR_1	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0	
KBCRH_2	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS	キーボード
KBCRL_2	KBE	KCLKO	KDO	-	RXCR3	RXCR2	RXCR1	RXCR0	バッファコン トローラ_2
KBBR_2	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0	
KBCOMP	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0	IrDA/ 拡張 A/D
DDCSWR	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0	IIC_0
ICRA	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0	INT
ICRB	ICRB7	ICRB6	ICRB5	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0	
ICRC	ICRC7	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	ICRC0	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
ISURL	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
DTCEA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCEB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCEC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	
DTCED	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCEE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTVEC	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
ABRKCR	CMF	-	-	-	-	-	-	BIE	INT
BARA	A23	A22	A21	A20	A19	A18	A17	A16	
BARB	A15	A14	A13	A12	A11	A10	A9	A8	
BARC	A7	A6	A5	A4	A3	A2	A1	-	
FLMCR1	FWE	SWE	-	-	EV	PV	E	P	FLASH
FLMCR2	FLER	-	-	-	-	-	ESU	PSU	
PCSR	-	-	-	-	-	PWCKB	PWCKA	-	PWM
EBR1 <sup>※4</sup>	-	-	-	-	EB11	EB10	EB9	EB8	FLASH
SYSCR2	KWUL1	KWUL0	P6PUE	-	SDE	CS4E	CS3E	HI12E	SYSTEM
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	FLASH
SBYCR	SSBY	STS2	STS1	STS0	-	SCK2	SCK1	SCK0	SYSTEM
LPWRCR	DTON	LSON	NESEL	EXCLE	-	-	-	-	
MSTPCRH	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
SMR_1	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCL_1

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICCR_1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_1
BRR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCL_1
ICSR_1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_1
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCL_1
TDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_1	-	-	-	-	SDIR	SINV	-	SMIF	
ICDR_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_1
SARX_1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	-	FRT
TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
FRCH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
FRCL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRAH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRBH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRAL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRBL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
TOCR	ICRDM5	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB	
ICRAH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRARH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
ICRAL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRARL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRBH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRAFH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
ICRBL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRAFL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRCH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRDMH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
ICRCL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRDML	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRDH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
ICRDL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR_2	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCL_2
DACR	TEST	PWME	-	-	OEB	OEA	OS	CKS	PWMX
DADRAH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
DADRAL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	-	
BRR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCL_2
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_2	-	-	-	-	SDIR	SINV	-	SMIF	
DACNTH	UC7	UC6	UC5	UC4	UC3	UC2	UC1	UC0	PWMX
DADRBH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
DACNTL	UC8	UC9	UC10	UC11	UC12	UC13	-	REGS	
DADRBL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS	
TCSR_0	OVF	WT/ $\bar{IT}$	TME	-	RST/ $\bar{NMI}$	CKS2	CKS1	CKS0	WDT_0
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	PORT
PAPIN	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR	
P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR	
P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR	
P5DDR	-	-	-	-	-	P52DDR	P51DDR	P50DDR	
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P5DR	-	-	-	-	-	P52DR	P51DR	P50DR	
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR	
PBPIN	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
P8DDR	-	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	PORT
P7PIN	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
P8DR	-	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR	
P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	
P9DR	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR	
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	INT
STCR	IICS	IICX1	IICX0	IICE	FLSHE	-	ICKS1	ICKS0	SYSTEM
SYSCR	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME	
MDCR	EXPE	-	-	-	-	-	MDS1	MDS0	
BCR	-	ICIS0	BRSTRM	BRSTS1	BRSTS0	-	IOS1	IOS0	BSC
WSCR	-	-	ABW	AST	WMS1	WMS0	WC1	WC0	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0、
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0	
TCORA_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORA_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	PWM
PWOERA	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0	
PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8	
PWDPRA	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0	
PWSL	PWCKE	PWCKS	-	-	RS3	RS2	RS1	RS0	
PWDR0 ~ 15	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SMR_0	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI_0
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_0
BRR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCI_0
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_0
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_0
TDR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
RDR_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

## 26. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SCMR_0	-	-	-	-	SDIR	SINV	-	SMIF	SCL_0
ICDR_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_0
SARX_0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
ADDRAL	AD1	AD0	-	-	-	-	-	-	
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0	-	-	-	-	-	-	
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0	-	-	-	-	-	-	
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0	-	-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	-	-	-	-	-	-	
TCSR_1	OVF	WT/ $\overline{IT}$	TME	PSS	RST/ $\overline{NMI}$	CKS2	CKS1	CKS0	WDT_1
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
HICR	-	-	-	-	-	IBFIE2	IBFIE1	FGA20E	XBS
TCR_X	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_X
TCR_Y	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_Y
KMIMR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	INT
TCSR_X	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0	TMR_X
TCSR_Y	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0	TMR_Y
KMPCR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	PORT
TICRR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_X
TCORA_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_Y
KMIMRA	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8	INT
TICRF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_X
TCORB_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_Y
IDR_1	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	XBS
TCNT_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_X
TCNT_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_Y
ODR_1	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	XBS
TCORC	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_X
TISR	-	-	-	-	-	-	-	IS	TMR_Y
STR_1	DBU17	DBU16	DBU15	DBU14	C/ $\overline{D}$ 1	DBU12	IBF1	OBF1	XBS



レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCORA_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	TMR_X
TCORB_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
DADR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	D/A 変換器
DADR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
DACR	DAOE1	DAOE0	DAE	-	-	-	-	-	
IDR_2	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	XBS
TCONRI	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV	タイマコネクション
ODR_2	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	XBS
TCONRO	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV	タイマコネクション
STR_2	DBU27	DBU26	DBU25	DBU24	C/D2	DBU22	IBF2	OBF2	XBS
TCONRS	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0	タイマコネクション
SEDGR	VEDG	HEDG	CEDG	HFEDG	VFEDG	PREQF	IHI	IVI	

【注】 \*1 H8S/2160B、H8S/2161B で使用できません。

\*2 LADR3L の TWRE = 1 または SELSTR3 = 0 のとき

\*3 LADR3L の TWRE = 0 かつ SELSTR3 = 1 のとき

\*4 64k バイト版フラッシュメモリでは、すべてリザーブビットです。  
128k バイト版フラッシュメモリでは、EB11 ビットと EB10 ビットがリザーブビットです。

\*5 H8S/2148B、H8S/2145B (5V 版) ではサポートしていません。

## 26. レジスタ一覧

### 26.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PGNOCR* <sup>1</sup>	初期化								初期化	PORT
PENOCR* <sup>1</sup>	初期化								初期化	
PFNOCR* <sup>1</sup>	初期化								初期化	
PCNOCR* <sup>1</sup>	初期化								初期化	
PDNOCR* <sup>1</sup>	初期化								初期化	
TWR0MW										LPC
TWR0SW										
TWR1										
TWR2										
TWR3										
TWR4										
TWR5										
TWR6										
TWR7										
TWR8										
TWR9										
TWR10										
TWR11										
TWR12										
TWR13										
TWR14										
TWR15										
IDR3										
ODR3										
STR3	初期化								初期化	
LADR3H	初期化								初期化	
LADR3L	初期化								初期化	
SIRQCR0	初期化								初期化	
SIRQCR1	初期化								初期化	
IDR1										
ODR1										
STR1	初期化								初期化	
IDR2										

## 26. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
ODR2										LPC
STR2	初期化								初期化	
HISEL	初期化								初期化	
HICR0	初期化								初期化	
HICR1	初期化								初期化	
HICR2	初期化								初期化	
HICR3										
WUEMRB* <sup>2</sup>	初期化								初期化	INT
PGODR* <sup>1</sup>	初期化								初期化	PORT
PGPIN* <sup>1</sup>										
PGDDR* <sup>1</sup>	初期化								初期化	
PEODR* <sup>1</sup>	初期化								初期化	
PFODR* <sup>1</sup>	初期化								初期化	
PEPIN* <sup>1</sup>										
PEDDR* <sup>1</sup>	初期化								初期化	
PFPIN* <sup>1</sup>										
PFDDR* <sup>1</sup>	初期化								初期化	
PCODR* <sup>1</sup>	初期化								初期化	
PDODR* <sup>1</sup>	初期化								初期化	
PCPIN* <sup>1</sup>										
PCDDR* <sup>1</sup>	初期化								初期化	
PDPIN* <sup>1</sup>										
PDDDR* <sup>1</sup>	初期化								初期化	
HICR2	初期化								初期化	XBS
IDR_3										
ODR_3										
STR_3	初期化								初期化	
IDR_4									初期化	
ODR_4									初期化	
STR_4	初期化								初期化	
ICXR_0	初期化								初期化	IIC_0
ICXR_1	初期化								初期化	IIC_1
KBCRH_0	初期化		初期化		初期化	初期化	初期化	初期化	初期化	キーボード
KBCRL_0	初期化		初期化		初期化	初期化	初期化	初期化	初期化	バッファコン トローラ_0
KBBR_0	初期化		初期化		初期化	初期化	初期化	初期化	初期化	

## 26. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
KBCRH_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	キーボード
KBCRL_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	バッファコン トローラ_1
KBBR_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
KBCRH_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	キーボード
KBCRL_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	バッファコン トローラ_2
KBBR_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
KBCOMP	初期化								初期化	IrDA/ A/D変換器
DDCSWR	初期化								初期化	IIC_0
ICRA	初期化								初期化	INT
ICRB	初期化								初期化	
ICRC	初期化								初期化	
ISR	初期化								初期化	
ISCRH	初期化								初期化	
ISCR_L	初期化								初期化	
DTCERA	初期化								初期化	DTC
DTCERB	初期化								初期化	
DTCERC	初期化								初期化	
DTCERD	初期化								初期化	
DTCERE	初期化								初期化	
DTVECR	初期化								初期化	
ABRKCR	初期化								初期化	INT
BARA	初期化								初期化	
BARB	初期化								初期化	
BARC	初期化								初期化	
FLMCR1	初期化		初期化		初期化	初期化		初期化	初期化	FLASH
FLMCR2	初期化		初期化		初期化	初期化		初期化	初期化	
PCSR	初期化								初期化	PWM
EBR1	初期化		初期化		初期化	初期化		初期化	初期化	FLASH
SYSCR2	初期化								初期化	SYSTEM
EBR2	初期化		初期化		初期化	初期化		初期化	初期化	FLASH
SBYCR	初期化								初期化	SYSTEM
LPWRCR	初期化								初期化	
MSTPCR_H	初期化								初期化	
MSTPCR_L	初期化								初期化	

## 26. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
SMR_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	SCL_1
ICCR_1	初期化								初期化	IIC_1
BRR_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	SCL_1
ICSR_1	初期化								初期化	IIC_1
SCR_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	SCL_1
TDR_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
SSR_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
RDR_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
SCMR_1	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
ICDR_1										IIC_1
SARX_1	初期化							初期化		
ICMR_1	初期化							初期化		
SAR_1	初期化							初期化		
TIER	初期化							初期化		FRT
TCSR	初期化							初期化		
FRCH	初期化							初期化		
FRCL	初期化							初期化		
OCRAH	初期化							初期化		
OCRBH	初期化							初期化		
OCRAL	初期化							初期化		
OCRBL	初期化							初期化		
TCR	初期化							初期化		
TOCR	初期化							初期化		
ICRAH	初期化							初期化		
OCRARH	初期化							初期化		
ICRAL	初期化							初期化		
OCRARL	初期化							初期化		
ICRBH	初期化							初期化		
OCRAFH	初期化							初期化		
ICRBL	初期化							初期化		
OCRAFL	初期化							初期化		
ICRCH	初期化							初期化		
OCRDMH	初期化							初期化		
ICRCL	初期化							初期化		
OCRDML	初期化							初期化		

## 26. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
ICRDH	初期化								初期化	FRT
ICRDL	初期化								初期化	
SMR_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	SCI_2
DACR	初期化		初期化		初期化	初期化	初期化	初期化	初期化	PWMX
DADRAH	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
DADRAL	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
BRR_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	SCI_2
SCR_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
TDR_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
SSR_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
RDR_2	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
SCMR_2	初期化								初期化	
DACNTH	初期化		初期化		初期化	初期化	初期化	初期化	初期化	PWMX
DADRBH	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
DACNTL	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
DADRBL	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
TCSR_0	初期化								初期化	WDT_0
TCNT_0	初期化								初期化	
PAODR	初期化								初期化	PORT
PAPIN										
PADDR	初期化								初期化	
P1PCR	初期化								初期化	
P2PCR	初期化								初期化	
P3PCR	初期化								初期化	
P1DDR	初期化								初期化	
P2DDR	初期化								初期化	
P1DR	初期化								初期化	
P2DR	初期化								初期化	
P3DDR	初期化								初期化	
P4DDR	初期化								初期化	
P3DR	初期化								初期化	
P4DR	初期化								初期化	
P5DDR	初期化								初期化	
P6DDR	初期化								初期化	
P5DR	初期化								初期化	
P6DR	初期化								初期化	
PBODR	初期化								初期化	

## 26. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
PBPIN										PORT
P8DDR	初期化								初期化	
P7PIN										
PBDDR	初期化								初期化	
P8DR	初期化								初期化	
P9DDR	初期化								初期化	
P9DR	初期化								初期化	
IER	初期化								初期化	INT
STCR	初期化								初期化	SYSTEM
SYSCR	初期化								初期化	
MDCR	初期化								初期化	
BCR	初期化								初期化	BSC
WSCR	初期化								初期化	
TCR_0	初期化								初期化	TMR_0、
TCR_1	初期化								初期化	TMR_1
TCSR_0	初期化								初期化	
TCSR_1	初期化								初期化	
TCORA_0	初期化								初期化	
TCORA_1	初期化								初期化	
TCORB_0	初期化								初期化	
TCORB_1	初期化								初期化	
TCNT_0	初期化								初期化	
TCNT_1	初期化								初期化	
PWOERB	初期化								初期化	PWM
PWOERA	初期化								初期化	
PWDPRB	初期化								初期化	
PWDPRA	初期化								初期化	
PWSL	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
PWDR 0 ~ 15	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
SMR_0	初期化		初期化		初期化	初期化	初期化	初期化	初期化	SCI_0
ICCR_0	初期化								初期化	IIC_0
BRR_0	初期化		初期化		初期化	初期化	初期化	初期化	初期化	SCI_0
ICSR_0	初期化								初期化	IIC_0
SCR_0	初期化		初期化		初期化	初期化	初期化	初期化	初期化	SCI_0
TDR_0	初期化		初期化		初期化	初期化	初期化	初期化	初期化	
SSR_0	初期化		初期化		初期化	初期化	初期化	初期化	初期化	

## 26. レジスタ一覧

レジスタ 略称	リセット	高速/ 中速	ウォッチ スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
RDR_0	初期化		初期化	初期化	初期化	初期化	初期化	初期化	SCL_0
SCMR_0	初期化		初期化	初期化	初期化	初期化	初期化	初期化	
ICDR_0									IIC_0
SARX_0	初期化							初期化	
ICMR_0	初期化							初期化	
SAR_0	初期化							初期化	
ADDRAH	初期化	初期化		初期化	初期化	初期化	初期化	初期化	A/D変換器
ADDRAL	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
ADDRBH	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	初期化		初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化							初期化	WDT_1
TCNT_1	初期化							初期化	
HICR	初期化							初期化	XBS
TCR_X	初期化							初期化	TMR_X
TCR_Y	初期化							初期化	TMR_Y
KMIMR	初期化							初期化	INT
TCSR_X	初期化							初期化	TMR_X
TCSR_Y	初期化							初期化	TMR_Y
KMPCR	初期化							初期化	PORT
TICRR	初期化							初期化	TMR_X
TCORA_Y	初期化							初期化	TMR_Y
KMIMRA	初期化							初期化	INT
TICRF	初期化							初期化	TMR_X
TCORB_Y	初期化							初期化	TMR_Y
IDR_1									XBS
TCNT_X	初期化							初期化	TMR_X
TCNT_Y	初期化							初期化	TMR_Y
ODR_1									XBS
TCORC	初期化							初期化	TMR_X
TISR	初期化							初期化	TMR_Y



レジスタ 略称	リセット	高速/ 中速	ウォッチ	スリープ	サブ アクティブ	サブ スリープ	モジュール ストップ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ	モジュール
STR_1	初期化								初期化	XBS
TCORA_X	初期化								初期化	TMR_X
TCORB_X	初期化								初期化	
DADR0	初期化								初期化	D/A 変換器
DADR1	初期化								初期化	
DACR	初期化								初期化	
IDR_2										XBS
TCONRI	初期化								初期化	タイマコネ クション
ODR_2										XBS
TCONRO	初期化								初期化	タイマコネ クション
STR_2	初期化								初期化	XBS
TCONRS	初期化								初期化	タイマコネ クション
SEDGR	初期化								初期化	クション

【注】 \*1 H8S/2160B、H8S/2161B で使用できます。

\*2 H8S/2148B、H8S/2145B (5V 版) ではサポートしていません。

## 26.4 レジスタ選択条件

下位アドレス	レジスタ名称	H8S/2140B、H8S/2141B、 H8S/2145B、H8S/2148B レジスタ選択条件	H8S/2160B、H8S/2161B レジスタ選択条件	モジュール名
H'FE16	PGNOCR	-	条件なし	PORT
H'FE18	PENOCR			
H'FE19	PFNOCR			
H'FE1C	PCNOCR			
H'FE1D	PDNOCR			
H'FE20	TWR0MW	MSTP0=0, ( HI12E=0 ) *	←	LPC
	TWR0SW			
H'FE21	TWR1			
H'FE22	TWR2			
H'FE23	TWR3			
H'FE24	TWR4			
H'FE25	TWR5			
H'FE26	TWR6			
H'FE27	TWR7			
H'FE28	TWR8			
H'FE29	TWR9			
H'FE2A	TWR10			
H'FE2B	TWR11			
H'FE2C	TWR12			
H'FE2D	TWR13			
H'FE2E	TWR14			
H'FE2F	TWR15			
H'FE30	IDR3			
H'FE31	ODR3			
H'FE32	STR3			
H'FE34	LADR3H			
H'FE35	LADR3L			
H'FE36	SIRQCR0			

下位アドレス	レジスタ名称	H8S/2140B、H8S/2141B、 H8S/2145B、H8S/2148B レジスタ選択条件	H8S/2160B、H8S/2161B レジスタ選択条件	モジュール名
H'FE37	SIRQCR1	MSTP0=0, (HI12E=0)*	←	LPC
H'FE38	IDR1			
H'FE39	ODR1			
H'FE3A	STR1			
H'FE3C	IDR2			
H'FE3D	ODR2			
H'FE3E	STR2			
H'FE3F	HISEL			
H'FE40	HICR0			
H'FE41	HICR1			
H'FE42	HICR2			
H'FE43	HICR3			
H'FE44	WUEMRB			
H'FE46	PGODR	-	条件なし	PORT
H'FE47	PGPIN (リード)			
	PGDDR (ライト)			
H'FE48	PEODR			
H'FE49	PFODR			
H'FE4A	PEPIN (リード)			
	PEDDR (ライト)			
H'FE4B	PFPIN (リード)			
	PFDDR (ライト)			
H'FE4C	PCODR			
H'FE4D	PDODR			
H'FE4E	PCPIN (リード)			
	PCDDR (ライト)			
H'FE4F	PDPIN (リード)			
	PDDDR (ライト)			
H'FE80	HICR2	MSTP2=0	←	XBS
H'FE81	IDR_3			
H'FE82	ODR_3			
H'FE83	STR_3			
H'FE84	IDR_4			
H'FE85	ODR_4			
H'FE86	STR_4			

## 26. レジスタ一覧

下位アドレス	レジスタ名称	H8S/2140B、H8S/2141B、 H8S/2145B、H8S/2148B レジスタ選択条件	H8S/2160B、H8S/2161B レジスタ選択条件	モジュール名			
H'FED4	ICXR_0	条件なし	←	IIC_0			
H'FED5	ICXR_1			IIC_1			
H'FED8	KBCRH_0	MSTP2=0	←	キーボード バッファ コントローラ			
H'FED9	KBCRL_0						
H'FEDA	KBBR_0						
H'FEDC	KBCRH_1						
H'FEDD	KBCRL_1						
H'FEDE	KBBR_1						
H'FEE0	KBCRH_2						
H'FEE1	KBCRL_2						
H'FEE2	KBBR_2						
H'FEE4	KBCOMP				条件なし	←	IrDA/拡張 A/D
H'FEE6	DDCSWR	MSTP4=0	←	IIC_0			
H'FEE8	ICRA	条件なし	←	INT			
H'FEE9	ICRB						
H'FEEA	ICRC						
H'FEEB	ISR						
H'FEEC	ISCRH						
H'FEED	ISCR_L						
H'FEEE	DTCERA				条件なし	←	DTC
H'FEEF	DTCERB						
H'FEF0	DTCERC						
H'FEF1	DTCERD						
H'FEF2	DTCERE						
H'FEF3	DTVECR						
H'FEF4	ABRKCR	条件なし	←	INT			
H'FEF5	BARA						
H'FEF6	BARB						
H'FEF7	BARC						
H'FF80	FLMCR1				STCR の FLSHE=1	←	FLASH
H'FF81	FLMCR2						
H'FF82	PCSR	STCR の FLSHE=0	←	PWM			
	EBR1	STCR の FLSHE=1	←	FLASH			
H'FF83	SYSCR2	STCR の FLSHE=0	←	SYSTEM			
	EBR2	STCR の FLSHE=1	←	FLASH			
H'FF84	SBYCR	STCR の FLSHE=0	←	SYSTEM			
H'FF85	LPWRCR						
H'FF86	MSTPCR_H						
	MSTPCR_L						

下位アドレス	レジスタ名称	H8S/2140B、H8S/2141B、 H8S/2145B、H8S/2148B レジスタ選択条件	H8S/2160B、H8S/2161B レジスタ選択条件	モジュール名	
H'FF87	MSTPCRL	STCR の FLSHE=0	←	SYSTEM	
H'FF88	SMR_1	MSTP6=0 STCR の IICE=0	←	SCI_1	
	ICCR_1	MSTP3=0 STCR の IICE=1	←	IIC_1	
H'FF89	BRR_1	MSTP6=0 STCR の IICE=0	←	SCI_1	
	ICSR_1	MSTP3=0 STCR の IICE=1	←	IIC_1	
H'FF8A	SCR_1	MSTP6=0	←	SCI_1	
H'FF8B	TDR_1				
H'FF8C	SSR_1				
H'FF8D	RDR_1				
H'FF8E	SCMR_1				MSTP6=0 STCR の IICE=0
H'FF8E	ICDR_1	MSTP3=0 STCR の IICE=1	ICCR1 の ICE=1	←	IIC_1
	SARX_1		ICCR1 の ICE=0	←	
	H'FF8F		ICMR_1	ICCR1 の ICE=1	
H'FF8F	SAR_1		ICCR1 の ICE=0	←	
H'FF90	TIER	MSTP13=0	←	FRT	
H'FF91	TCSR				
H'FF92	FRCH				
H'FF93	FRCL				
H'FF94	OCRAH	MSTP13 =0	TOCR の OCRS=0	←	FRT
	OCRBH		TOCR の OCRS=1		
H'FF95	OCRAL		TOCR の OCRS=0		
	OCRBL		TOCR の OCRS=1		
H'FF96	TCR				
H'FF97	TOCR				
H'FF98	ICRAH		TOCR の ICRS=0		
	OCRARH		TOCR の ICRS=1		
H'FF99	ICRAL		TOCR の ICRS=0		
	OCRARL		TOCR の ICRS=1		
H'FF9A	ICRBH		TOCR の ICRS=0		
	OCRAFH		TOCR の ICRS=1		
H'FF9B	ICRBL		TOCR の ICRS=0		
	OCRAFL		TOCR の ICRS=1		
H'FF9C	ICRCH		TOCR の ICRS=0		
	OCRDMH		TOCR の ICRS=1		
H'FF9D	ICRCL		TOCR の ICRS=0		
	OCRDML		TOCR の ICRS=1		
H'FF9E	ICRDH				

## 26. レジスタ一覧

下位アドレス	レジスタ名称	H8S/2140B、H8S/2141B、 H8S/2145B、H8S/2148B レジスタ選択条件	H8S/2160B、H8S/2161B レジスタ選択条件	モジュール名	
H'FF9F	ICRDL	MSTP13=0	←	FRT	
H'FFA0	SMR_2	MSTP5=0 STCR の IICE=0	←	SCI_2	
H'FFA0	DADRAH	MSTP11=0 STCR の IICE=1	DACNT/ DADRB の REGS=0	←	PWMX
	DACR		DACNT/D ADRB の REGS=1		
H'FFA1	BRR_2	MSTP5=0 STCR の IICE=0	←	SCI_2	
	DADRAL	MSTP11=0 STCR の IICE=1	DACNT/ DADRB の REGS=0	←	PWMX
H'FFA2	SCR_2	MSTP5=0	←	SCI_2	
H'FFA3	TDR_2				
H'FFA4	SSR_2				
H'FFA5	RDR_2				
H'FFA6	SCMR_2				MSTP5=0 STCR の IICE=0
H'FFA6	DADRBH	MSTP11=0 STCR の IICE=1	DACNT/ DADRB の REGS=0	←	PWMX
	DACNTH		DACNT/ DADRB の REGS=1		
H'FFA7	DADRBL		DACNT/ DADRB の REGS=0		
	DACNTL		DACNT/ DADRB の REGS=1		
H'FFA8	TCSR_0	条件なし	←	WDT_0	
	TCNT_0 (ライト)				
H'FFA9	TCNT_0 (リード)				
H'FFAA	PAODR	条件なし	←	PORT	
H'FFAB	PAPIN (リード)				
	PADDR (ライト)				
H'FFAC	P1PCR				
H'FFAD	P2PCR				
H'FFAE	P3PCR				
H'FFB0	P1DDR				

下位アドレス	レジスタ名称	H8S/2140B、H8S/2141B、 H8S/2145B、H8S/2148B レジスタ選択条件	H8S/2160B、H8S/2161B レジスタ選択条件	モジュール名
H'FFB1	P2DDR	条件なし	←	PORT
H'FFB2	P1DR			
H'FFB3	P2DR			
H'FFB4	P3DDR			
H'FFB5	P4DDR			
H'FFB6	P3DR			
H'FFB7	P4DR			
H'FFB8	P5DDR			
H'FFB9	P6DDR			
H'FFBA	P5DR			
H'FFBB	P6DR			
H'FFBC	PBODR			
H'FFBD	P8DDR (ライト)			
	PBPIN (リード)			
H'FFBE	P7PIN (リード)			
	PBDDR (ライト)			
H'FFBF	P8DR			
H'FFC0	P9DDR			
H'FFC1	P9DR			
H'FFC2	IER	条件なし	←	INT
H'FFC3	STCR	条件なし	←	SYSTEM
H'FFC4	SYSCR			
H'FFC5	MDCR			
H'FFC6	BCR			
H'FFC7	WSCR	条件なし	←	BSC
H'FFC8	TCR_0	MSTP12=0	←	TMR_0, TMR_1
H'FFC9	TCR_1			
H'FFCA	TCSR_0			
H'FFCB	TCSR_1			
H'FFCC	TCORA_0			
H'FFCD	TCORA_1			
H'FFCE	TCORB_0			
H'FFCF	TCORB_1			
H'FFD0	TCNT_0			
H'FFD1	TCNT_1			
H'FFD2	PWOERB	条件なし	←	PWM
H'FFD3	PWOERA			
H'FFD4	PWDPRB			

## 26. レジスタ一覧

下位アドレス	レジスタ名称	H8S/2140B、H8S/2141B、 H8S/2145B、H8S/2148B レジスタ選択条件	H8S/2160B、H8S/2161B レジスタ選択条件	モジュール名	
H'FFD5	PWDPRA	条件なし	←	PWM	
H'FFD6	PWSL	MSTP11=0	←		
H'FFD7	PWDR0 ~ 15				
H'FFD8	SMR_0	MSTP7=0 STCR の IICE=0	←	SCI_0	
	ICCR_0	MSTP4=0 STCR の IICE=1	←	IIC_0	
H'FFD9	BRR_0	MSTP7=0 STCR の IICE=0	←	SCI_0	
	ICSR_0	MSTP4=0 STCR の IICE=1	←	IIC_0	
H'FFDA	SCR_0	MSTP7=0	←	SCI_0	
H'FFDB	TDR_0				
H'FFDC	SSR_0				
H'FFDD	RDR_0				
H'FFDE	SCMR_0				MSTP7=0 STCR の IICE=0
H'FFDF	ICDR_0	MSTP4=0 STCR の IICE=1	ICCR0 の ICE=1	←	IIC_0
	SARX_0		ICCR0 の ICE=0		
	ICMR_0	MSTP4=0 STCR の IICE=1	ICCR0 の ICE=1		
	SAR_0		ICCR0 の ICE=0		
H'FFE0	ADDRAH	MSTP9=0	←	A/D	
H'FFE1	ADDRAL				
H'FFE2	ADDRBH				
H'FFE3	ADDRBL				
H'FFE4	ADDRCH				
H'FFE5	ADDRCL				
H'FFE6	ADDRDH				
H'FFE7	ADDRDL				
H'FFE8	ADCSR				
H'FFE9	ADCR				
H'FFEA	TCSR_1	条件なし	←	WDT_1	
	TCNT_1(ライト)				
H'FFEB	TCNT_1(リード)				
H'FFF0	HICR	MSTP2=0 SYSCR の HIE=1	←	XBS	
	TCR_X	MSTP8=0 SYSCR の HIE=0	TCONRS の TMRX/Y=0	←	TMR_X
	TCR_Y		TCONRS の TMRX/Y=1		TMR_Y
H'FFF1	KMIMR	MSTP2=0 SYSCR の HIE=1	←	INT	



下位アドレス	レジスタ名称	H8S/2140B、H8S/2141B、 H8S/2145B、H8S/2148B レジスタ選択条件	H8S/2160B、H8S/2161B レジスタ選択条件	モジュール名
H'FFF1	TCSR_X	MSTP8=0 SYSCR の HIE=0	← TCONRS の TMRX/Y=0	TMR_X
	TCSR_Y		← TCONRS の TMRX/Y=1	TMR_Y
H'FFF2	KMPCR	MSTP2=0 SYSCR の HIE=1	←	PORT
	TICRR	MSTP8=0 SYSCR の HIE=0	← TCONRS の TMRX/Y=0	TMR_X
	TCORA_Y		← TCONRS の TMRX/Y=1	TMR_Y
H'FFF3	KMIMRA	MSTP2=0 SYSCR の HIE=1	←	INT
	TICRF	MSTP8=0 SYSCR の HIE=0	← TCONRS の TMRX/Y=0	TMR_X
	TCORB_Y		← TCONRS の TMRX/Y=1	TMR_Y
H'FFF4	IDR_1	MSTP2=0 SYSCR の HIE=1	←	XBS
	TCNT_X	MSTP8=0 SYSCR の HIE=0	← TCONRS の TMRX/Y=0	TMR_X
	TCNT_Y		← TCONRS の TMRX/Y=1	TMR_Y
H'FFF5	ODR_1	MSTP2=0 SYSCR の HIE=1	←	XBS
	TCORC	MSTP8=0 SYSCR の HIE=0	← TCONRS の TMRX/Y=0	TMR_X
	TISR		← TCONRS の TMRX/Y=1	TMR_Y
H'FFF6	STR_1	MSTP2=0 SYSCR の HIE=1	←	XBS
	TCORA_X	MSTP8=0 SYSCR の HIE=0	← TCONRS の TMRX/Y=0	TMR_X
H'FFF7	TCORB_X			
H'FFF8	DADR0	MSTP10=0	←	D/A
H'FFF9	DADR1			
H'FFFA	DACR			
H'FFFC	IDR_2	MSTP2=0 SYSCR の HIE=1	←	XBS
	TCONRI	MSTP8=0 SYSCR の HIE=0	←	タイマ コネクション
H'FFFD	ODR_2	MSTP2=0 SYSCR の HIE=1	←	XBS
	TCONRO	MSTP8=0 SYSCR の HIE=0	←	タイマ コネクション
H'FFFE	STR_2	MSTP2=0 SYSCR の HIE=1	←	XBS
	TCONRS	MSTP8=0 SYSCR の HIE=0	←	タイマ コネクション
H'FFFF	SEDGR			

【注】 \* XBS 関連のビットの設定は、LPC の動作に影響を与えませんが、プログラム開発ツール（エミュレータ）の構成上の制約から、LPC を使用する場合は、SYSCR2 の HI12E ビットは 1 にセットしないでください。



## 27. 電気的特性

### 27.1 H8S/2140B、H8S/2141B、H8S/2160B、H8S/2161B の電気的特性

#### 27.1.1 絶対最大定格

絶対最大定格を表 27.1 に示します。

表 27.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	$V_{CC}$ 、 $V_{CL}$	-0.3 ~ +4.3	V
入出力バッファ電源電圧	$V_{CCB}$	-0.3 ~ +7.0	V
入力電圧 (ポート 6、7、A、P97、P86、P52、P42 以外) (H8S/2160B、H8S/2161B にはポート C~G を追加)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート A で CIN 入力非選択時)	$V_{in}$	-0.3 ~ $V_{CCB} + 0.3$	V
入力電圧 (ポート 6 で、CIN 入力選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$ と -0.3 ~ $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート A で、CIN 入力選択時)	$V_{in}$	-0.3 ~ $V_{CCB} + 0.3$ と -0.3 ~ $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (P97、P86、P52、P42)	$V_{in}$	-0.3 ~ +7.0	V
入力電圧 (ポート 7)	$V_{in}$	-0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	$AV_{ref}$	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +4.3	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	$T_{opr}$	-20 ~ +75	
動作温度 (FLASH メモリ書き込み / 消去時)	$T_{opr}$	-20 ~ +75	
保存温度	$T_{stg}$	-55 ~ +125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

$V_{CC}$ 、 $AV_{CC}$ 、 $V_{CL}$  端子の電圧によって最大定格が決まる端子については、印加電圧が 4.3V を超えることのないよう、また  $V_{CCB}$  によって最大定格が決まる端子については印加電圧が 7.0V を超えることのないよう注意願います。

$V_{CC}$  端子と  $V_{CL}$  端子をともに  $V_{CC}$  電源に接続して使用してください。

## 27. 電氣的特性

### 27.1.2 DC 特性

DC 特性を表 27.2 に示します。また、出力許容電流値、バス駆動特性をそれぞれを表 27.3、表 27.4 に示します。

表 27.2 DC 特性 (1)

条件 :  $V_{CC} = 2.7V \sim 3.6V^{*9}$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 3.6V$ 、

$AV_{ref}^{*1} = 2.7V - AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67 ~ P60 <sup>*2*6</sup> 、 KIN15 ~ KIN8 <sup>*7</sup> 、 IRQ2 ~ IRQ0 <sup>*3</sup> 、 IRQ5 ~ IRQ3	(1) <sup>*8</sup>	$V_T^-$	$V_{CC} \times 0.2$		V		
			$V_T^+$		$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$ $V_{CCB} \times 0.05$				
シュミット トリガ入力電圧 (レベル切替時) <sup>*6</sup>	P67 ~ P60 (KWUL = 00)	(1) <sup>*8</sup>	$V_T^-$	$V_{CC} \times 0.2$		V		
			$V_T^+$		$V_{CC} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				
	P67 ~ P60 (KWUL = 01)		$V_T^-$	$V_{CC} \times 0.3$				
			$V_T^+$		$V_{CC} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				
	P67 ~ P60 (KWUL = 10)		$V_T^-$	$V_{CC} \times 0.4$				
			$V_T^+$		$V_{CC} \times 0.8$			
	P67 ~ P60 (KWUL = 11)		$V_T^-$	$V_{CC} \times 0.45$				
			$V_T^+$		$V_{CC} \times 0.9$			
$V_T^+ - V_T^-$	0.05							
入力 High レベル電圧	RES、STBY、NMI、 MD1 ~ MD0 EXTAL PA7 ~ PA0 <sup>*7</sup> ポート 7 P97、P86、 P52、P42	(2)	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
				$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
				$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$		
				$V_{CC} \times 0.7$		$AV_{CC} + 0.3$		
				$V_{CC} \times 0.7$		5.5		
	$V_{CC} \times 0.7$				$V_{CC} + 0.3$			
上記(1)(2)以外の入力端子 (H8S/2160B、H8S/2161B にはポート C ~ G を追加)								

項目		記号	min	typ	max	単位	測定条件	
入力 Low レベル電圧	RES、STBY、 MD1～MD0	$V_{IL}$	- 0.3		$V_{CC} \times 0.1$	V		
	PA7～PA0		- 0.3		$V_{CCB} \times 0.2$			$V_{CCB} = 2.7V \sim 4.0V$
				0.8	$V_{CCB} = 4.0V \sim 5.5V$			
	NMI、EXTAL ほか、上記(1)(3) 以外の入力端子 (H8S/2160B、H8S/2161B にはポート C～G を追加)		- 0.3		$V_{CC} \times 0.2$		$V_{CC} = 2.7V \sim 3.6V$	
出力 High レベル電圧	全出力端子 (P97、P86、P52、P42 を除く)*4*5*6*8 (H8S/2160B、H8S/2161B にはポート C～F を追加)	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$	
			$V_{CCB} - 0.5$			V	$I_{OH} = -1mA$ ( $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 4.5V$ )	
	P97、P86、P52、P42*4 (H8S/2160B、H8S/2161B にはポート G を追加)		0.5			V	$I_{OH} = -200\mu A$	
出力 Low レベル電圧	全出力端子 ( $\overline{RESO}$ を除く)*5 (H8S/2160B、H8S/2161B にはポート C～G を追加)	$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$	
	ポート 1、2、3				1.0	V	$I_{OL} = 5mA$	
	$\overline{RESO}$				0.4	V	$I_{OL} = 1.6mA$	

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 3.6V の範囲の電圧を印加してください。このとき、 $AV_{ref}$ 、 $AV_{CC}$  としてください。

\*2 P67～P60 にはそれと兼用の周辺機能入力を含みます。

\*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  端子を含みます。

\*4 P52/SCK0/SCL0、P97/SDA0、P86/SCK1/SCL1、P42/SCK2/SDA1、ポート G は NMOS プッシュプル出力です。SCL0、SDA0、SCL1、SDA1 (ICE=1) として出力する場合は NMOS オープンドレイン出力となりますので High レベル出力するためにはプルアップ抵抗を外付けする必要があります。

P52/SCK0、P97、P86/SCK1、P42/SCK2 (ICE=0) ポート G の High レベルは NMOS で駆動されます。

SCK0、SCK1、SCK2 端子を出力として使用する場合は、High レベルを出力するため、プルアップ抵抗を外付けする必要があります。

\*5 IICS=0、ICE=0 および KBIOE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。

\*6 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC}+0.3V$ 、CIN 入力選択時は  $V_{CC}+0.3V$  と  $AV_{CC}+0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

\*7 ポート A の印加電圧の上限は、CIN 入力非選択時は  $V_{CCB}+0.3V$ 、CIN 入力選択時は  $V_{CCB}+0.3V$  と  $AV_{CC}+0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

\*8 ポート A の特性は、 $V_{CCB}$  依存、その他の端子の特性は  $V_{CC}$  依存です。

\*9 フラッシュメモリへの書き込み / 消去動作は、 $V_{CC} = 3.0V \sim 3.6V$  の範囲としてください。

## 27. 電気的特性

表 27.2 DC 特性 (2)

条件:  $V_{CC} = 2.7V \sim 3.6V^{*5}$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 3.6V$ 、

$AV_{ref}^{*1} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1 ~ MD0				1.0			
	ポート 7				1.0			
スリーステートリーク電流 (オフ状態)	ポート 1 ~ 6、8、9、A*4、B (H8S/2160B、H8S/2161B にはポート C ~ G を追加)	$ I_{TSI} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ 、 $V_{in} = 0.5 \sim V_{CCB} - 0.5V$	
入力プルアップ MOS 電流	ポート 1 ~ 3	$-I_p$	5		150	$\mu A$	$V_{in} = 0V$ $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$	
	ポート 6 (P6PUE = 0)、B (H8S/2160B、H8S/2161B にはポート C ~ F を追加)		30		300			
	ポート A*4		30		600			
	ポート 6 (P6PUE = 1)		3		100			
入力容量	RES	(4)	$C_{in}$			80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI					50		
	P52、P97、P42、P86、PA7 ~ PA2					20		
	上記(4)以外の入力端子 (H8S/2160B、H8S/2161B にはポート C ~ G を追加)					15		
消費電流*2	通常動作時	$I_{CC}$		30	40	$mA$	$f = 10MHz$	
	スリープ時			20	32	$mA$	$f = 10MHz$	
	スタンバイ時*3			1	5.0	$\mu A$	$T_a = 50$ $50 < T_a$	
アナログ電源電流	A/D、D/A 変換中	$AI_{CC}$		1.2	2.0	$mA$		
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	$AV_{CC} = 2.0V \sim 3.6V$	
リファレンス電源電流	A/D 変換中	$AI_{ref}$		0.5	1.0	$mA$		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	$AV_{ref} = 2.0V \sim AV_{CC}$	
アナログ電源電圧*1		$AV_{CC}$	2.7		3.6	$V$	動作時	
			2.0		3.6	$V$	待機時、非使用時	
RAM スタンバイ電圧		$V_{RAM}$	2.0			$V$		

- 【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。  
A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 3.6V の範囲の電圧を印加してください。このとき、 $AV_{ref}$ 、 $AV_{CC}$  としてください。
- \*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- \*3  $V_{RAM}$ 、 $V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$  とした場合の値です。
- \*4 ポート A の特性は  $V_{CCB}$  依存、その他の端子の特性は  $V_{CC}$  依存です。
- \*5 フラッシュメモリへの書き込み / 消去は、 $V_{CC} = 3.0V \sim 3.6V$  の範囲としてください。

表 27.2 DC 特性 (3) LPC 機能使用時

条件 :  $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $AV_{CC}^* = 2.7V \sim 3.6V$ 、

$AV_{ref}^* = 2.7V \sim AV_{CC}^*$ 、 $V_{SS} = AV_{SS}^* = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min	max	単位	測定条件
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.5$		V	
入力 Low レベル電圧	$V_{IL}$		$V_{CC} \times 0.3$	V	
出力 High レベル電圧	$V_{OH}$	$V_{CC} \times 0.9$		V	$I_{OH} = -0.5mA$
出力 Low レベル電圧	$V_{OL}$		$V_{CC} \times 0.1$	V	$I_{OL} = 1.5mA$

【注】 \* A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 3.6V$  の範囲の電圧を印加してください。このとき、 $AV_{ref}$ 、 $AV_{CC}$  としてください。

表 27.3 出力許容電流値

条件 :  $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1、SCL0、SDA1、SDA0、 PS2AC ~ PS2CC、 PS2AD ~ PS2CD、 PA7 ~ PA4(バス駆動機能選択)			10	mA
	ポート 1 ~ 3			2	
	RES0			1	
	上記以外の出力端子			1	
出力 Low レベル許容電流 (総和)	ポート 1 ~ 3 の総和	$\Sigma I_{OL}$		40	mA
	上記を含む、全出力端子の総和			60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$		30	mA

【注】 1. LSI の信頼性を確保するため、出力電流値は表 27.3 の値を超えないようにしてください。

2. ダーリントントランジスタや、LED を直接駆動する場合には、図 27.1、図 27.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

## 27. 電気的特性

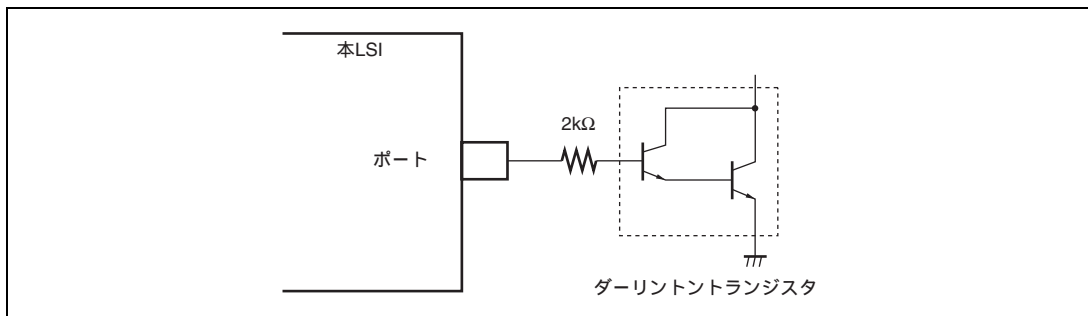


図 27.1 ダーリントトランジスタ駆動回路例

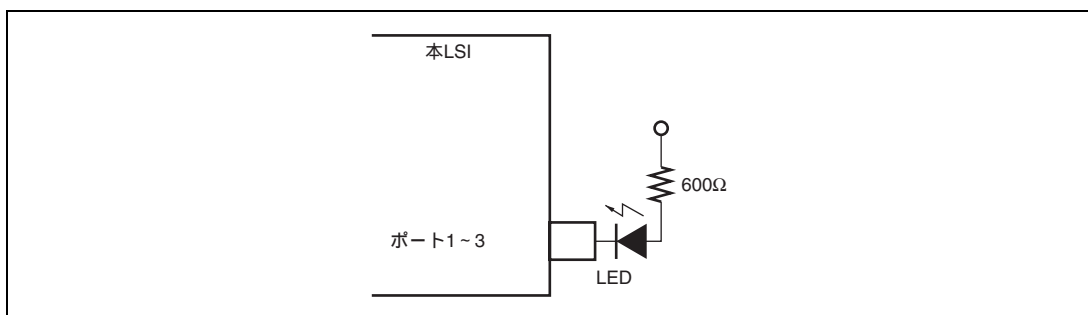


図 27.2 LED 駆動回路例

表 27.4 バス駆動特性

条件 :  $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

対象端子 : SCL1 ~ SCL0、SDA1 ~ SDA0 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	$V_T^-$	$V_{CC} \times 0.3$			V	$V_{CC} = 2.7V \sim 3.6V$
	$V_T^+$			$V_{CC} \times 0.7$		$V_{CC} = 2.7V \sim 3.6V$
	$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				$V_{CC} = 2.7V \sim 3.6V$
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$		5.5	V	$V_{CC} = 2.7V \sim 3.6V$
入力 Low レベル電圧	$V_{IL}$	-0.5		$V_{CC} \times 0.3$	V	$V_{CC} = 2.7V \sim 3.6V$
出力 Low レベル電圧	$V_{OL}$			0.5	V	$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステート リーク電流 (オフ状態)	$ I_{TS} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	$t_{of}$	$20 + 0.1Cb$		250	ns	$V_{CC} = 2.7V \sim 3.6V$



条件：  $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CC}B = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

対象端子： PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD

PA7 ~ PA4 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	$V_{OL}$			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC}B = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$

### 27.1.3 AC 特性

図 27.3 に AC 特性測定条件を示します。

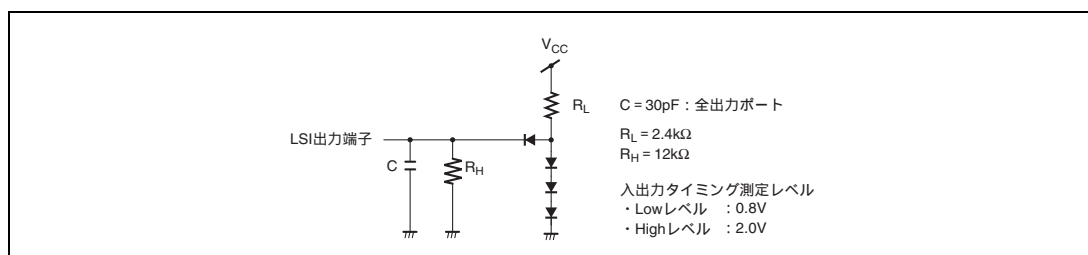


図 27.3 出力負荷回路

#### (1) クロックタイミング

表 27.5 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック ( $\phi$ ) 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 24 章 クロック発振器」を参照してください。

表 27.5 クロックタイミング

条件：  $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CC}B = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件		単位	参照図
		10MHz			
		min	max		
クロックサイクル時間	$t_{cyc}$	100	500	ns	図 27.6
クロックハイレベルパルス幅	$t_{CH}$	30		ns	図 27.6
クロックローレベルパルス幅	$t_{CL}$	30		ns	
クロック立ち上がり時間	$t_{Cr}$		20	ns	
クロック立ち下がり時間	$t_{Cr}$		20	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20		ms	図 27.7
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8		ms	図 27.8
外部クロック出力安定遅延時間	$t_{DEXT}$	500		$\mu s$	図 27.7

## 27. 電気的特性

### (2) 制御信号タイミング

表 27.6 に制御信号タイミングを示します。サブクロック ( $\phi = 32.768\text{kHz}$ ) で動作可能な外部割り込みは、NMI、IRQ0 ~ IRQ2、IRQ6、IRQ7 のみです。

表 27.6 制御信号タイミング

条件 :  $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$ 、 $V_{CCB} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、  
 $\phi = 32.768\text{kHz}$ 、 $2\text{MHz} \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件		単位	測定条件
		10MHz			
		Min	max		
RES セットアップ時間	$t_{RESS}$	300		ns	図 27.9
RES パルス幅	$t_{RESW}$	20		$t_{cyc}$	
NMI セットアップ時間 (NMI)	$t_{NMIS}$	250		ns	図 27.10
NMI ホールド時間 (NMI)	$t_{NMIH}$	10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		ns	
IRQ セットアップ時間 ( $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ )	$t_{IRQS}$	250		ns	
IRQ ホールド時間 ( $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ )	$t_{IRQH}$	10		ns	
IRQ パルス幅 (IRQ7、IRQ6、IRQ2 ~ IRQ0) (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		ns	

## (3) バスタイミング

表 27.7 にバスタイミングを示します。サブクロック ( $\phi = 32.768\text{kHz}$ ) 動作では、外部拡張モードの動作は保証されません。

表 27.7 バスタイミング (1) (ノーマルモード時)

条件:  $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$ 、 $V_{CCB} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 2\text{MHz} \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件		単位	測定条件
		10MHz			
		min	max		
アドレス遅延時間	$t_{AD}$		40	ns	図 27.11 ~
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 20$		ns	図 27.15
$\overline{CS}$ 遅延時間 ( $\overline{IOS}$ )	$t_{CSD}$		40	ns	
AS 遅延時間	$t_{ASD}$		60	ns	
RD 遅延時間 1	$t_{RSD1}$		60	ns	
RD 遅延時間 2	$t_{RSD2}$		60	ns	
リードデータセットアップ時間	$t_{RDS}$	35		ns	
リードデータホールド時間	$t_{RDH}$	0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 60$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 60$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 60$	ns	
HWR、LWR 遅延時間 1	$t_{WRD1}$		60	ns	
HWR、LWR 遅延時間 2	$t_{WRD2}$		60	ns	
HWR、LWR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 40$		ns	
HWR、LWR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 40$		ns	
ライトデータ遅延時間	$t_{WDD}$		60	ns	
ライトデータセットアップ時間	$t_{WDS}$	0		ns	
ライトデータホールド時間	$t_{WDH}$	20		ns	
WAIT セットアップ時間	$t_{WTS}$	60		ns	
WAIT ホールド時間	$t_{WTH}$	10		ns	

## 27. 電気的特性

表 27.7 バスタイミング (2) (アドバンスモード時)

条件 :  $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		単位	測定条件
		10MHz			
		min	max		
アドレス遅延時間	$t_{AD}$		60	ns	図 27.11 ~
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 20$		ns	図 27.15
CS 遅延時間 (IOS)	$t_{CSD}$		60	ns	
AS 遅延時間	$t_{ASD}$		60	ns	
RD 遅延時間 1	$t_{RSD1}$		60	ns	
RD 遅延時間 2	$t_{RSD2}$		60	ns	
リードデータセットアップ時間	$t_{RDS}$	35		ns	
リードデータホールド時間	$t_{RDH}$	0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 80$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 80$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 80$	ns	
HWR、LWR 遅延時間 1	$t_{WRD1}$		60	ns	
HWR、LWR 遅延時間 2	$t_{WRD2}$		60	ns	
HWR、LWR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 40$		ns	
HWR、LWR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 40$		ns	
ライトデータ遅延時間	$t_{WDD}$		60	ns	
ライトデータセットアップ時間	$t_{WDS}$	0		ns	
ライトデータホールド時間	$t_{WDH}$	20		ns	
WAIT セットアップ時間	$t_{WTS}$	60		ns	
WAIT ホールド時間	$t_{WTH}$	10		ns	

## (4) 内蔵周辺モジュールタイミング

表 27.8~表 27.11 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ( $\phi = 32.768\text{kHz}$ ) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0~2、6、7)、ウォッチドッグタイマ、8 ビットタイマ (チャンネル 0、1) のみです。

表 27.8 内蔵周辺モジュールタイミング (1)

条件:  $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$ 、 $V_{CCB} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 32.768\text{kHz}$ 、2MHz ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目		記号	条件		単位	測定条件	
			10MHz				
			min	max			
I/O ポート	出力データ遅延時間	$t_{PWD}$		100	ns	図 27.16	
	入力データセットアップ時間	$t_{PRS}$	50				
	入力データホールド時間	$t_{PRH}$	50				
FRT	タイマ出力遅延時間	$t_{FTOD}$		100	ns	図 27.17	
	タイマ入力セットアップ時間	$t_{FTIS}$	50				
	タイマクロック入力セットアップ時間	$t_{FTCS}$	50				
	タイマクロック パルス幅	単エッジ指定	$t_{FTCWH}$	1.5	$t_{cyc}$	図 27.18	
		両エッジ指定	$t_{FTCWL}$	2.5			
TMR	タイマ出力遅延時間	$t_{TMOD}$		100	ns		図 27.19
	タイマリセット入力セットアップ時間	$t_{TMRS}$	50				
	タイマクロック入力セットアップ時間	$t_{TMCS}$	50				
	タイマクロック パルス幅	単エッジ指定	$t_{TMCWH}$	1.5	$t_{cyc}$	図 27.20	
		両エッジ指定	$t_{TMCWL}$	2.5			
PWM、 PWMX	パルス出力遅延時間	$t_{PWOOD}$		100	ns		図 27.22
SCI	入力クロック サイクル	調歩同期	$t_{Syc}$	4	$t_{cyc}$		図 27.23
		クロック同期		6			
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	$t_{Syc}$		
	入力クロック立ち上がり時間	$t_{SCKr}$		1.5	$t_{cyc}$		
	入力クロック立ち下がり時間	$t_{SCKf}$		1.5			
	送信データ遅延時間 (クロック同期)	$t_{TXD}$		100	ns	図 27.24	
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	100				
受信データホールド時間 (クロック同期)	$t_{RXH}$	100					
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	50		ns	図 27.25	
WDT	RES0 出力遅延時間	$t_{RESD}$		200	ns	図 27.26	
	RES0 出力パルス幅	$t_{RESOW}$	132				$t_{cyc}$

【注】 \* サブクロック動作時に使用可能な内蔵周辺モジュールのみ

## 27. 電氣的特性

表 27.8 内蔵周辺モジュールタイミング (2)

条件 :  $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数、  
 $T_a = -20 \sim +75$

項目	記号	条件		単位	測定条件		
		10MHz					
		min	max				
XBS リード サイクル	$\overline{CS}/HA0$ セットアップ時間	$t_{HAR}$	10		ns	図 27.27	
	$\overline{CS}/HA0$ ホールド時間	$t_{HRA}$	10				
	$\overline{IO\overline{R}}$ パルス幅	$t_{HRPW}$	220				
	HDB 遅延時間	$t_{HRD}$		200			
	HDB ホールド時間	$t_{HRF}$	0	40			
	HIRQ 遅延時間	$t_{HIRQ}$		200			
XBS ライト サイクル	$\overline{CS}/HA0$ セットアップ時間	$t_{HAW}$	10		ns		
	$\overline{CS}/HA0$ ホールド時間	$t_{HWA}$	10				
	$\overline{IO\overline{W}}$ パルス幅	$t_{HWPW}$	100				
	HDB セット アップ時間	高速 GATE A20 を使用しない	$t_{HDW}$	50			
				85			
	HDB ホールド時間	$t_{HWD}$	25				
	GA20 遅延時間	$t_{HGA}$		180			

表 27.9 キーボードバッファコントローラタイミング

条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{CCB} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数、  
 $T_a = -20 \sim +75$

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
KCLK、KD 出力立ち下がり時間	$t_{KBF}$	$20 + 0.1Cb$		250	ns	図 27.28	
KCLK、KD 入力データホールド時間	$t_{KBIH}$	150					
KCLK、KD 入力データセットアップ時間	$t_{KBIS}$	150					
KCLK、KD 出力遅延時間	$t_{KBOD}$			450			
KCLK、KD の容量性負荷	$C_b$			400			pF

表 27.10 I<sup>2</sup>C バスタイミング条件 :  $V_{CC} = 2.7 \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $\phi = 5MHz$  ~ 最大動作周波数、 $T_a = -20 \sim +75$ 

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL 入力サイクル時間	$t_{SCL}$	12			$t_{cyc}$		図 27.29
SCL 入力 High パルス幅	$t_{SCLH}$	3			$t_{cyc}$		
SCL 入力 Low パルス幅	$t_{SCLL}$	5			$t_{cyc}$		
SCL、SDA 入力立ち上がり時間	$t_{SI}$			7.5*	$t_{cyc}$		
SCL、SDA 入力立ち下がり時間	$t_{SJ}$			300	ns		
SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$			1	$t_{cyc}$		
SDA 入力バスフリー時間	$t_{BUF}$	5			$t_{cyc}$		
開始条件入力ホールド時間	$t_{STAH}$	3			$t_{cyc}$		
再送開始条件入力セットアップ時間	$t_{STAS}$	3			$t_{cyc}$		
停止条件入力セットアップ時間	$t_{STOS}$	3			$t_{cyc}$		
データ入力セットアップ時間	$t_{SDAS}$	0.5			$t_{cyc}$		
データ入力ホールド時間	$t_{SDAH}$	0			ns		
SCL、SDA の容量性負荷	$C_b$			400	pF		

【注】 \* I<sup>2</sup>C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$  とすることが可能です。詳細は「16.6 使用上の注意事項」を参照してください。

表 27.11 LPC モジュールタイミング

条件 :  $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz$  ~ 最大動作周波数、 $T_a = -20 \sim +75$ 

項目	記号	min	typ	max	単位	測定条件
入カクロックサイクル	$t_{Lcyc}$	30			ns	図 27.30
入カクロックパルス幅 (H)	$t_{LCKH}$	11				
入カクロックパルス幅 (L)	$t_{LCKL}$	11				
送信信号遅延時間	$t_{TXD}$	2		11		
送信信号フローティング遅延時間	$t_{OFF}$			28		
受信信号セットアップ時間	$t_{RXS}$	7				
受信信号ホールド時間	$t_{RXH}$	0				

## 27. 電気的特性

### 27.1.4 A/D 変換特性

A/D 変換特性を表 27.12、表 27.13 に示します。

表 27.12 A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換)

条件 :  $V_{CC} = 2.7V \sim 3.6V$ 、 $AV_{CC} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{CC}B = 2.7V \sim 5.5V$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	条件			単位
	10MHz			
	min	typ	max	
分解能	10			ビット
変換時間			13.4	$\mu s$
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k $\Omega$
非直線性誤差			$\pm 7.0$	LSB
オフセット誤差			$\pm 7.5$	LSB
フルスケール誤差			$\pm 7.5$	LSB
量子化誤差			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$	LSB

表 27.13 A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換)

条件 :  $V_{CC} = 3.0V \sim 3.6V$ 、 $AV_{CC} = 3.0V \sim 3.6V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{CC}B = 3.0V \sim 5.5V$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	条件			単位
	10MHz			
	min	typ	max	
分解能	10			ビット
変換時間			13.4	$\mu s$
アナログ入力容量			20	pF
許容信号源インピーダンス			5	k $\Omega$
非直線性誤差			$\pm 11.0$	LSB
オフセット誤差			$\pm 11.5$	LSB
フルスケール誤差			$\pm 11.5$	LSB
量子化誤差			$\pm 0.5$	LSB
絶対精度			$\pm 12.0$	LSB



## 27.1.5 D/A 変換特性

D/A 変換特性を表 27.14 に示します。

表 27.14 D/A 変換特性

条件 :  $V_{CC} = 2.7V \sim 3.6V$ 、 $AV_{CC} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{CC}B = 2.7V \sim 5.5V$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	条件			単位
	10MHz			
	min	typ	max	
分解能	8			ビット
変換時間	負荷容量 20pF		10	$\mu s$
絶対精度	負荷抵抗 2M $\Omega$		$\pm 2.0$	LSB
	負荷抵抗 4M $\Omega$		$\pm 2.0$	

## 27.1.6 フラッシュメモリ特性

表 27.15 にフラッシュメモリ特性を示します。

表 27.15 フラッシュメモリ特性

条件 :  $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min.	typ.	max.	単位	測定条件	
書き込み時間 <sup>*1*</sup> <sup>2*</sup> <sup>4</sup>	$t_p$		10	200	ms/128 バイト		
消去時間 <sup>*1*</sup> <sup>3*</sup> <sup>6</sup>	$t_E$		100	1200	ms/ブロック		
書き換え回数	$N_{WEC}$	100 <sup>*8</sup>	10000 <sup>*9</sup>		回		
データ保持時間 <sup>*10</sup>	$t_{DRP}$	10			年		
書き込み時	SWE-bit セット後のウェイト時間 <sup>*1</sup>	x	1		$\mu s$		
	PSU-bit セット後のウェイト時間 <sup>*1</sup>	y	50		$\mu s$		
	P-bit セット後のウェイト時間 <sup>*1*</sup> <sup>4</sup>	z1	28	30	32	$\mu s$	1 n 6
		z2	198	200	202	$\mu s$	7 n 1000
		z3	8	10	12	$\mu s$	追加書き込み
	P-bit クリア後のウェイト時間 <sup>*1</sup>	$\alpha$	5		$\mu s$		
	PSU-bit クリア後のウェイト時間 <sup>*1</sup>	$\beta$	5		$\mu s$		
	PV-bit セット後のウェイト時間 <sup>*1</sup>	$\gamma$	4		$\mu s$		
	ダミーライト後のウェイト時間 <sup>*1</sup>	$\epsilon$	2		$\mu s$		
	PV-bit クリア後のウェイト時間 <sup>*1</sup>	$\eta$	2		$\mu s$		
	SWE-bit クリア後のウェイト時間 <sup>*1</sup>	$\theta$	100		$\mu s$		
最大書き込み回数 <sup>*1*</sup> <sup>4*</sup> <sup>5</sup>	N			1000	回		

## 27. 電気的特性

項目	記号	min.	typ.	max.	単位	測定条件
消去時	SWE-bit セット後のウェイト時間*1	x	1		μs	
	ESU-bit セット後のウェイト時間*1	y	100		μs	
	E-bit セット後のウェイト時間*1*6	z	10	100	ms	
	E-bit クリア後のウェイト時間*1	α	10		μs	
	ESU-bit クリア後のウェイト時間*1	β	10		μs	
	EV-bit セット後のウェイト時間*1	γ	20		μs	
	ダミーライト後のウェイト時間*1	ε	2		μs	
	EV-bit クリア後のウェイト時間*1	η	4		μs	
	SWE-bit クリア後のウェイト時間*1	θ	100		μs	
	最大消去回数*1*6*7	N			120	回

- 【注】 \*1 各時間の設定は、プログラム/イレースのアルゴリズムに従い行ってください。
- \*2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）
- \*3 1 ブロックを消去する時間（フラッシュメモリコントロールレジスタ（FLMCR1）の E-bit をセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）
- \*4 書き込み時間の最大値（ $t_p(\max)$ ）  

$$t_p(\max) = (P\text{-bit セット後のウェイト時間}(z1) + (z3)) \times 6$$

$$+ P\text{-bit セット後のウェイト時間}(z2) \times ((N) - 6)$$
- \*5 最大書き込み回数（N）は、実際の（z1、z2、z3）の設定値に合わせ、書き込み時間の最大値（ $t_p(\max)$ ）以下となるよう設定してください。また、P-bit セット後のウェイト時間（z1、z2、z3）は、下記のように書き込み回数（n）の値によって切り替えてください。
- 書き込み回数 n
- 1 n 6z1 = 30μs、z3 = 10μs
- 7 n 100z2 = 200μs
- \*6 消去時間の最大値（ $t_e(\max)$ ）  

$$t_e(\max) = E\text{-bit セット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$
- \*7 最大消去回数（N）は、実際の（z）の設定値に合わせ、消去時間の最大値（ $t_e(\max)$ ）以下となるよう設定してください。
- \*8 書き換え後のすべての特性を保証する min 回数です（保証は 1 ~ min 値の範囲です）。
- \*9 25 のときの参考値（通常この値まで書き換えは機能するという目安です）
- \*10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

## 27.1.7 使用上の注意

外付けコンデンサ接続方法を図 27.4 に示します。VCL 端子には、VCC 端子とともにシステムの電源に接続してください。

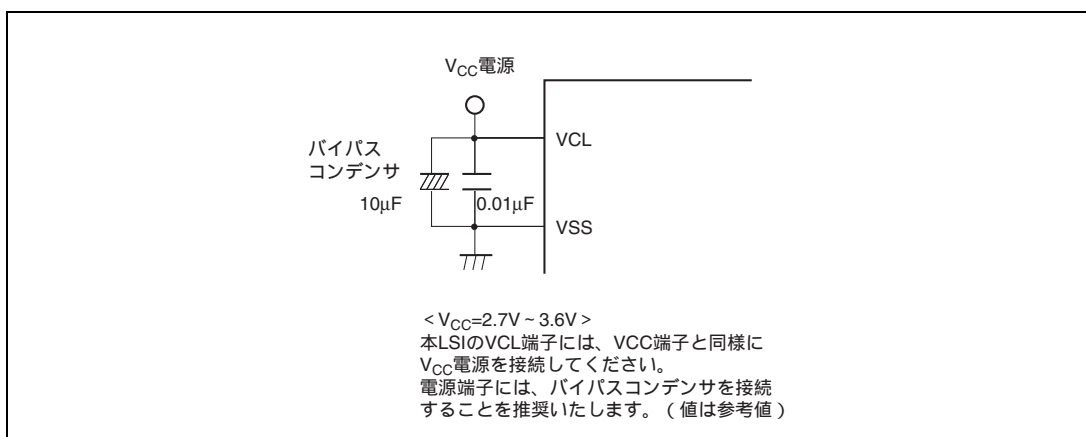


図 27.4 VCL コンデンサ接続方法

## 27.2 H8S/2145B、H8S/2148B の電氣的特性

## 27.2.1 絶対最大定格

絶対最大定格を表 27.16 に示します。

表 27.16 絶対最大定格

項目	記号	定格値	単位
電源電圧*1	$V_{CC}$	-0.3 ~ +7.0	V
入出力バッファ用電源電圧 (ポート A 用電源)	$V_{CCB}$	-0.3 ~ +7.0	V
電源電圧 (3V 品)*1	$V_{CC}$	-0.3 ~ +4.3	V
電源電圧 (VCL 端子)*2	$V_{CL}$	-0.3 ~ +4.3	V
入力電圧 (ポート 6、7、A、P97、P86、P52、P42 以外)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート A で CIN 入力非選択時)	$V_{in}$	-0.3 ~ $V_{CCB} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力選択時)	$V_{in}$	-0.3 ~ $V_{CC} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (ポート A で CIN 入力選択時)	$V_{in}$	-0.3 ~ $V_{CCB} + 0.3$ と $AV_{CC} + 0.3$ の いずれか低い電圧	V
入力電圧 (P97、P86、P52、P42)	$V_{in}$	-0.3 ~ +7.0	V
入力電圧 (ポート 7)	$V_{in}$	-0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	$AV_{ref}$	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	$AV_{CC}$	-0.3 ~ +7.0	V
アナログ電源電圧 (3V 品)	$AV_{CC}$	-0.3 ~ +4.3	V
アナログ入力電圧	$V_{AN}$	-0.3 ~ $AV_{CC} + 0.3$	V
動作温度	$T_{opr}$	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
動作温度 (FLASH メモリ書き込み / 消去時)	$T_{opr}$	通常仕様品 : -20 ~ +75 広温度範囲仕様品 : -40 ~ +85	
保存温度	$T_{stg}$	-55 ~ +125	

## 【使用上の注意】

- 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
- 5V / 4V 品の入力端子への印加電圧は、最大でも 7.0V 以下としてください。また、3V 品の入力端子 (ポート A を除く) への印加電圧は、最大でも 4.3V 以下としてください。

【注】 \*1 VCC1 端子への印加電圧です。

低電圧品 (3V 品) では VCC1 端子と VCL 端子とともに  $V_{CC}$  電源に接続して使用するため、絶対に  $V_{CL}$  の定格値を超えないようにしてください。

\*2 チップ内部の動作電源電圧端子です。

5V 品 / 4V 品では VCL 端子には電源電圧を印加しないでください。VCL 端子と GND との間には、内部電圧安定化のため必ず外付けのコンデンサを接続してください。

## 27.2.2 DC 特性

DC 特性を表 27.17 に示します。また、出力許容電流値、バス駆動特性をそれぞれ表 27.18、表 27.19 に示します。

表 27.17 DC 特性 (1)

条件 :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目			記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) <sup>*2,*6</sup> 、 KIN15 ~ KIN8 <sup>*7,*8</sup> 、 IRQ2 ~ IRQ0 <sup>*3</sup> 、 IRQ5 ~ IRQ3	(1)	$V_T^-$	1.0			V	
			$V_T^+$			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
			$V_T^+ - V_T^-$	0.4				
シュミット トリガ入力電圧 (レベル 切替時) <sup>*6</sup>	P67 ~ P60 (KWUL = 01)	(2)	$V_T^-$	$V_{CC} \times 0.3$			V	
			$V_T^+$			$V_{CC} \times 0.7$		
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				
	P67 ~ P60 (KWUL = 10)		$V_T^-$	$V_{CC} \times 0.4$				
			$V_T^+$			$V_{CC} \times 0.8$		
			$V_T^+ - V_T^-$	$V_{CC} \times 0.03$				
	P67 ~ P60 (KWUL = 11)		$V_T^-$	$V_{CC} \times 0.45$				
			$V_T^+$			$V_{CC} \times 0.9$		
$V_T^+ - V_T^-$	0.05							
入力 High レベル電圧	RES、STBY、NMI、 MD1、MD0	(2)	$V_{IH}$	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V	
	EXTAL			$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
	PA7 ~ PA0 <sup>*7</sup>			$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$		
	ポート 7			2.0		$AV_{CC} + 0.3$		
	P97、P86、P52、P42			$V_{CC} \times 0.7$		5.5		
	上記(1)(2)以外の入力端子			2.0		$V_{CC} + 0.3$		
入力 Low レベル電圧	RES、STBY、MD1、MD0	(3)	$V_{IL}$	- 0.3		0.5	V	
	PA7 ~ PA0			- 0.3		1.0		
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			- 0.3		0.8		

## 27. 電気的特性

項目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子 (P97、P52、P86、P42 を除く)*5*8	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
			$V_{CCB} - 0.5$			V	$I_{OH} = -1mA$
	P97、P52、P86、P42*4		2.0			V	$I_{OH} = -200\mu A$
出力 Low レベル電圧	全出力端子(RESOを除く)*5	$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$
	ポート 1~3				1.0	V	$I_{OL} = 10mA$
	RESO				0.4	V	$I_{OL} = 2.6mA$

- 【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子を開放しないでください。  
A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、AV<sub>ref</sub>、AV<sub>CC</sub> としてください。
- \*2 P67 ~ P60 にはそれと兼用の周辺機能入力を含みます。
- \*3  $\overline{IRQ2}$  には、それと兼用の  $\overline{ADTRG}$  端子を含みます。
- \*4 P52/SCK0/SCL0、P97/SDA0、P86/SCK1/SCL1、P42/SCK2/SDA1、ポート G は NMOS プッシュプル出力です。SCL0、SDA0、SCL1、SDA1 (ICE=1) として出力する場合は NMOS オープンドレイン出力となりますので High レベル出力するためにはプルアップ抵抗を外付けする必要があります。  
P52/SCK0、P97、P86/SCK1、P42/SCK2 (ICE=0) ポート G の High レベルは NMOS で駆動されます。SCK0、SCK1、SCK2 端子を出力として使用する場合は、High レベルを出力するため、プルアップ抵抗を外付けする必要があります。
- \*5 IICS=0、ICE=0 および KBIOE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。
- \*6 ポート 6 の印加電圧の上限は、CIN 入力非選択時は  $V_{CC}+0.3V$ 、CIN 入力選択時は  $V_{CC}+0.3V$  と  $AV_{CC}+0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- \*7 ポート A の印加電圧の上限は、CIN 入力非選択時は  $V_{CCB}+0.3V$ 、CIN 入力選択時は  $V_{CCB}+0.3V$  と  $AV_{CC}+0.3V$  のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- \*8 ポート A の特性は、 $V_{CCB}$  依存、その他の端子が出力モードの場合、 $V_{CC}$  依存です。

表 27.17 DC 特性 (2)

条件:  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC}^{*1} = 5.0V \pm 10\%$ 、 $AV_{ref}^{*1} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1、MD0				1.0			
	ポート 7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープ状態 リーク電流 (オフ状態)	ポート 1~6、8、9、A <sup>*4</sup> 、B	$ I_{TST} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ $V_{in} = 0.5 \sim V_{CCB} - 0.5V$	
入力プルアップ MOS 電流	ポート 1~3	$-I_p$	30		300	$\mu A$	$V_{in} = 0V$	
	ポート A <sup>*4</sup> 、B、 ポート 6 (P6PUE = 0)		60		600			
	ポート 6 (P6PUE = 1)		15		200			
入力容量	RES	(4) $C_{in}$			80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI				50			
	P52、P97、P42、 P86、PA7~PA2				20			
	上記(4)以外の入力端子				15			
消費電流 <sup>*2</sup>	通常動作時	$I_{CC}$		55	70	$mA$	$f = 20MHz$	
	スリープ時			36	55			$f = 20MHz$
	スタンバイ時 <sup>*3</sup>			1.0	5.0			$T_a = 50$ $50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$		1.2	2.0	$mA$		
	A/D、D/A 変換待機時			0.01	5.0			$AV_{CC} = 2.0V \sim 5.5V$
リファレンス 電源電流	A/D 変換中	$AI_{ref}$		0.5	1.0	$mA$		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0			$\mu A$
アナログ電源電圧 <sup>*1</sup>		$AV_{CC}$	4.5		5.5	$V$	動作時	
			2.0		5.5		待機時、非使用時	
RAM スタンバイ電圧		$V_{RAM}$	2.0			$V$		

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{ref}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 $AV_{ref}$ 、 $AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 4.5V$  のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$  とした場合の値です。

\*4 ポート A の特性は  $V_{CCB}$  依存、その他の端子の特性は  $V_{CC}$  依存です。

## 27. 電気的特性

表 27.17 DC 特性 (3)

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件			
シュミット トリガ入力電圧	P67~P60 (KWUL = 00) <sup>*2,*6</sup> 、 KIN15 ~ KIN8 <sup>*7,*8</sup> 、 $\overline{IRQ2} \sim \overline{IRQ0}$ <sup>*3</sup> 、 $\overline{IRQ5} \sim \overline{IRQ3}$	(1)	$V_T^-$	1.0			V	$V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$		
			$V_T^+$			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$				
			$V_T^+ - V_T^-$	0.4						
					$V_T^-$	0.8			V	$V_{CC} = 4.0V \sim 4.5V$ 、 $V_{CCB} = 4.0V \sim 4.5V$
					$V_T^+$			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
					$V_T^+ - V_T^-$	0.3				
シュミット トリガ入力電圧 (レベル 切換時) <sup>*6</sup>	P67~P60 (KWUL = 01)	(2)	$V_T^-$	$V_{CC} \times 0.3$			V	$V_{CC} = 4.0V \sim 5.5V$		
			$V_T^+$			$V_{CC} \times 0.7$				
	$V_T^+ - V_T^-$		$V_{CC} \times 0.05$							
	P67~P60 (KWUL = 10)		$V_T^-$	$V_{CC} \times 0.4$						
			$V_T^+$			$V_{CC} \times 0.8$				
	P67~P60 (KWUL = 11)		$V_T^+ - V_T^-$	$V_{CC} \times 0.03$						
			$V_T^-$	$V_{CC} \times 0.45$						
	$V_T^+$				$V_{CC} \times 0.9$					
$V_T^+ - V_T^-$	0.05									
入力 High レベル電圧	RES、STBY、NMI、 MD1、MD0	(2)	$V_{IH}$	$V_{CC} - 0.7$		$V_{CC} + 0.3$	V			
	EXTAL			$V_{CC} \times 0.7$		$V_{CC} + 0.3$				
	PA7 ~ PA0 <sup>*7</sup>			$V_{CCB} \times 0.7$		$V_{CCB} + 0.3$				
	ポート 7			2.0		$AV_{CC} + 0.3$				
	P97、P86、 P52、P42			$V_{CC} \times 0.7$		5.5				
	上記(1)(2)以外の入力端子			2.0		$V_{CC} + 0.3$				
入力 Low レベル電圧	RES、STBY、 MD1、MD0	(3)	$V_{IL}$	-0.3		0.5	V	$V_{CCB} = 4.5V \sim 5.5V$ $V_{CCB} = 4.0V \sim 4.5V$		
	PA7 ~ PA0			-0.3		1.0				
				-0.3		0.8				
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			-0.3		0.8				



項目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子 (P97、P52、P86、P42 を除く*) <sup>*5*</sup> <sup>*8</sup>	$V_{OH}$	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
			$V_{CC}B - 0.5$			V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CC}B = 4.5V \sim 5.5V$
			3.5			V	$I_{OH} = -1mA$ 、 $V_{CC} = 4.0V \sim 4.5V$ 、 $V_{CC}B = 4.0V \sim 4.5V$
	P97、P52、P86、P42 <sup>*4</sup>		1.5			V	$I_{OH} = -200\mu A$
出力 Low レベル電圧	全出力端子(RESOを除く) <sup>*5</sup>	$V_{OL}$			0.4	V	$I_{OL} = 1.6mA$
	ポート 1～3				1.0	V	$I_{OL} = 10mA$
	RESO				0.4	V	$I_{OL} = 2.6mA$

- 【注】 \*1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。  
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源( $V_{CC}$ )に接続するなどの方法で2.0V～5.5Vの範囲の電圧を印加してください。このとき、 $AV_{ref}$ 、 $AV_{CC}$ としてください。
- \*2 P67～P60にはそれと兼用の周辺機能入力を含みます。
- \*3  $\overline{IRQ2}$ には、それと兼用の $\overline{ADTRG}$ 端子を含みます。
- \*4 P52/SCK0/SCL0、P97/SDA0、P86/SCK1/SCL1、P42/SCK2/SDA1、ポートGはNMOSプッシュプル出力です。  
SCL0、SDA0、SCL1、SDA1(ICE=1)として出力する場合はNMOSオープンドレイン出力となりますのでHighレベル出力するためにはプルアップ抵抗を外付けする必要があります。  
P52/SCK0、P97、P86/SCK1、P42/SCK2(ICE=0)ポートGのHighレベルはNMOSで駆動されます。  
SCK0、SCK1、SCK2端子を出力として使用する場合は、Highレベルを出力するため、プルアップ抵抗を外付けする必要があります。
- \*5 IICS=0、ICE=0およびKBIOE=0の場合です。バス駆動機能を選択した場合のLowレベル出力は別途定めます。
- \*6 ポート6の印加電圧の上限は、CIN入力非選択時は $V_{CC}+0.3V$ 、CIN入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- \*7 ポートAの印加電圧の上限は、CIN入力非選択時は $V_{CC}B+0.3V$ 、CIN入力選択時は $V_{CC}B+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- \*8 ポートAの特性は $V_{CC}B$ 依存、その他の端子の特性は $V_{CC}$ 依存です。

## 27. 電気的特性

表 27.17 DC 特性 (4)

条件:  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC}^{*1} = 4.0V \sim 5.5V$ 、 $AV_{ref}^{*1} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	STBY、NMI、MD1、MD0				1.0		
	ポート7				1.0		
スリープステートリーク電流 (オフ状態)	ポート1~6、8、9、A*4、B	$ I_{TSL} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ 、 $V_{in} = 0.5 \sim V_{CCB} - 0.5V$
入力プルアップ MOS 電流	ポート1~3	$-I_p$	30		300	$\mu A$	$V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{CCB} = 4.5V \sim 5.5V$
	ポートA*4、B、 ポート6 (P6PUE = 0)		60		600		
	ポート6 (P6PUE = 1)		15		200		
	ポート1~3		20		200	$\mu A$	$V_{in} = 0V$ 、 $V_{CC} = 4.0V \sim 4.5V$ 、 $V_{CCB} = 4.0V \sim 4.5V$
	ポートA*4、B、 ポート6 (P6PUE = 0)		40		500		
	ポート6 (P6PUE = 1)		10		150		
入力容量	RES	(4) $C_{in}$			80	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	NMI				50		
	P52、P97、P42、 P86、PA7~PA2				20		
	上記(4)以外の入力端子				15		
消費電流*2	通常動作時	$I_{CC}$		45	58	mA	$f = 16MHz$
	スリープ時			30	46	mA	$f = 16MHz$
	スタンバイ時*3			1.0	5.0	$\mu A$	$T_a = 50$ $50 < T_a$
アナログ電源電流	A/D、D/A 変換中	$AI_{CC}$		1.2	2.0	mA	
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	$AV_{CC} = 2.0V \sim 5.5V$
リファレンス電源電流	A/D 変換中	$AI_{ref}$		0.5	1.0	mA	
	A/D、D/A 変換中			2.0	5.0		
	A/D、D/A 変換待機時			0.01	5.0	$\mu A$	$AV_{ref} = 2.0V \sim AV_{CC}$
アナログ電源電圧*1		$AV_{CC}$	4.0		5.5	V	動作時
RAM スタンバイ電圧			2.0		5.5	V	待機時、非使用時

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{ref}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 5.5V$  の範囲の電圧を印加してください。このとき、 $AV_{ref}$   $AV_{CC}$  としてください。

\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

\*3  $V_{RAM}$   $V_{CC} < 4.0V$  のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CCB} - 0.2V$ 、 $V_{IL} \max = 0.2V$  とした場合の値です。

\*4 ポート A の特性は  $V_{CCB}$  依存、その他の端子の特性は  $V_{CC}$  依存です。

表 27.17 DC 特性 (5)

条件 :  $V_{CC} = 2.7V \sim 3.6V$  \*<sup>9</sup>、 $V_{CC}B = 2.7V \sim 5.5V$ 、 $AV_{CC}$ \*<sup>1</sup> =  $2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim 3.6V$ 、 $V_{SS} = AV_{SS}$ \*<sup>1</sup> =  $0V$ 、 $T_g = -20 \sim +75$ 

項目		記号	min	typ	max	単位	測定条件		
シュミット トリガ入力電圧	P67 ~ P60 (KWUL = 00) * <sup>2</sup> * <sup>6</sup> 、 $\overline{KIN15} \sim \overline{KIN8}$ * <sup>7</sup> * <sup>8</sup> 、 $\overline{IRQ2} \sim \overline{IRQ0}$ * <sup>3</sup> 、 $\overline{IRQ5} \sim \overline{IRQ3}$	(1)	$V_T^-$	$V_{CC} \times 0.2$ $V_{CC}B \times 0.2$			V		
			$V_T^+$			$V_{CC} \times 0.7$ $V_{CC}B \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$ $V_{CC}B \times 0.05$					
シュミット トリガ入力電圧 (レベル 切替時)* <sup>6</sup>	P67 ~ P60 (KWUL = 01)	(2)	$V_T^-$	$V_{CC} \times 0.3$			V		
			$V_T^+$			$V_{CC} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{CC} \times 0.05$					
	P67 ~ P60 (KWUL = 10)		$V_T^-$	$V_{CC} \times 0.4$					$V_{CC} \times 0.8$
			$V_T^+$						
			$V_T^+ - V_T^-$	$V_{CC} \times 0.03$					
	P67 ~ P60 (KWUL = 11)		$V_T^-$	$V_{CC} \times 0.45$					$V_{CC} \times 0.9$
			$V_T^+$						
			$V_T^+ - V_T^-$	0.05					
入力 High レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、NMI、 MD1、MD0	(2)	$V_{IH}$	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V		
	EXTAL			$V_{CC} \times 0.7$		$V_{CC} + 0.3$			
	PA7 ~ PA0* <sup>7</sup>			$V_{CC}B \times 0.7$		$V_{CC}B + 0.3$			
	ポート 7			$V_{CC} \times 0.7$		$AV_{CC} + 0.3$			
	P97、P86、 P52、P42			$V_{CC} \times 0.7$		5.5			
	上記(1)(2)以外の入力端子			$V_{CC} \times 0.7$		$V_{CC} + 0.3$			
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ 、 MD1、MD0	(3)	$V_{IL}$	- 0.3		$V_{CC} \times 0.1$	V		
	PA7 ~ PA0			- 0.3		$V_{CC}B \times 0.2$			$V_{CC}B =$ 2.7V ~ 4.0V
						0.8			$V_{CC}B =$ 4.0V ~ 5.5V
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			- 0.3		$V_{CC} \times 0.2$			$V_{CC} =$ 2.7V ~ 3.6V

## 27. 電氣的特性

項目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子 (P97、P52、P86、P42 を除く*) <sup>*5,*8</sup>	V <sub>OH</sub>	V <sub>CC</sub> - 0.5			V	I <sub>OH</sub> = -200μA
			V <sub>CC</sub> B - 0.5			V	I <sub>OH</sub> = -1mA (V <sub>CC</sub> = 2.7V ~ 3.6V、 V <sub>CC</sub> B = 2.7V ~ 4.0V)
	P97、P52、P86、P42 <sup>*4</sup>	0.5			V	I <sub>OH</sub> = -200μA	
出力 Low レベル電圧	全出力端子(RES0を除く) <sup>*5</sup>	V <sub>OL</sub>			0.4	V	I <sub>OL</sub> = 1.6mA
	ポート 1~3				1.0	V	I <sub>OL</sub> = 5mA
	RES0				0.4	V	I <sub>OL</sub> = 1.6mA

- 【注】 \*1 A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref、AVSS端子を開放しないでください。  
A/D変換器、D/A変換器を使用しない場合でも、AVCC、AVref端子は電源(V<sub>CC</sub>)に接続するなどの方法で2.0V~3.6Vの範囲の電圧を印加してください。このとき、AV<sub>ref</sub>、AV<sub>CC</sub>としてください。
- \*2 P67~P60にはそれと兼用の周辺機能入力を含みます。
- \*3  $\overline{\text{IRQ2}}$ には、それと兼用の $\overline{\text{ADTRG}}$ 端子を含みます。
- \*4 P52/SCK0/SCL0、P97/SDA0、P86/SCK1/SCL1、P42/SCK2/SDA1、ポートGはNMOSプッシュプル出力です。SCL0、SDA0、SCL1、SDA1(ICE=1)として出力する場合はNMOSオープンドレイン出力となりますのでHighレベル出力するためにはプルアップ抵抗を外付けする必要があります。  
P52/SCK0、P97、P86/SCK1、P42/SCK2(ICE=0)ポートGのHighレベルはNMOSで駆動されます。SCK0、SCK1、SCK2端子を出力として使用する場合は、Highレベルを出力するため、プルアップ抵抗を外付けする必要があります。
- \*5 IICS=0、ICE=0およびKBIOE=0の場合です。バス駆動機能を選択した場合のLowレベル出力は別途定めます。
- \*6 ポート6の印加電圧の上限は、CIN入力非選択時はV<sub>CC</sub>+0.3V、CIN入力選択時はV<sub>CC</sub>+0.3VとAV<sub>CC</sub>+0.3Vのいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- \*7 ポートAの印加電圧の上限は、CIN入力非選択時はV<sub>CC</sub>B+0.3V、CIN入力選択時はV<sub>CC</sub>B+0.3VとAV<sub>CC</sub>+0.3Vのいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- \*8 ポートAの特性は、V<sub>CC</sub>B依存、その他の端子の特性はV<sub>CC</sub>依存です。
- \*9 フラッシュメモリへの書き込み/消去動作は、V<sub>CC</sub>=3.0V~3.6Vの範囲としてください。

表 27.17 DC 特性 (6)

条件:  $V_{CC} = 2.7V \sim 3.6V^{*5}$ 、 $V_{CC}B = 2.7V \sim 5.5V$ 、 $AV_{CC}^{*1} = 2.7V \sim 3.6V$ 、 $AV_{ref}^{*1} = 2.7V \sim 3.6V$ 、 $V_{SS} = AV_{SS}^{*1} = 0V$ 、 $T_a = -20 \sim +75$ 

項目		記号	min	typ	max	単位	測定条件	
入力リーク電流	RES	$ I_{in} $			10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$	
	STBY、NMI、MD1~MD0				1.0			
	ポート7				1.0			$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリーステート リーク電流 (オフ状態)	ポート1~6、8、9、A*4、 B	$ I_{Tst} $			1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$ 、 $V_{in} = 0.5 \sim V_{CC}B - 0.5V$	
入力プリアップ MOS 電流	ポート1~3	$-I_p$	5		150	$\mu A$	$V_{in} = 0V$ $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CC}B = 2.7V \sim 3.6V$	
	ポートA*4、B、 ポート6 (P6PUE = 0)		30		300			
	ポート6 (P6PUE = 1)		3		100			
入力容量	RES	(4) $C_{in}$			80	$pF$	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$	
	NMI				50			
	P52、P97、P42、 P86、PA7~PA2				20			
	上記(4)以外の入力端子				15			
消費電流*2	通常動作時	$I_{CC}$		30	40	$mA$	$f = 10MHz$	
	スリープ時			20	32			$f = 10MHz$
	スタンバイ時*3			1.0	5.0			$\mu A$
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$		1.2	2.0	$mA$		
	A/D、D/A 変換待機時			0.01	5.0			$\mu A$
リファレンス 電源電流	A/D 変換中	$AI_{ref}$		0.5	1.0	$mA$		
	A/D、D/A 変換中			2.0	5.0			
	A/D、D/A 変換待機時			0.01	5.0			$\mu A$
アナログ電源電圧*1		$AV_{CC}$	2.7		3.6	$V$	動作時	
			2.0		3.6		待機時、非使用時	
RAM スタンバイ電圧		$V_{RAM}$	2.0			$V$		

【注】 \*1 A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{ref}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 3.6V$  の範囲の電圧を印加してください。このとき、 $AV_{ref}$ 、 $AV_{CC}$  としてください。\*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CC}B - 0.2V$ 、 $V_{IL} \max = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プリアップ MOS をオフ状態にした場合の値です。\*3  $V_{RAM}$   $V_{CC} < 2.7V$  のとき、 $V_{IH} \min = V_{CC} - 0.2V$ 、 $V_{CC}B - 0.2V$ 、 $V_{IL} \max = 0.2V$  とした場合の値です。\*4 ポート A の特性は  $V_{CC}B$  依存、その他の端子の特性は  $V_{CC}$  依存です。\*5 フラッシュメモリへの書き込み / 消去は  $V_{CC} = 3.0V \sim 3.6V$  の範囲としてください。

## 27. 電気的特性

表 27.17 DC 特性 (7) H8S/2145BV (3V 版) LPC 機能使用時

条件 :  $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $AV_{CC}^* = 2.7V \sim 3.6V$ 、

$AV_{ref}^* = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS}^* = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min	max	単位	測定条件
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.5$		V	
入力 Low レベル電圧	$V_{IL}$		$V_{CC} \times 0.3$	V	
出力 High レベル電圧	$V_{OH}$	$V_{CC} \times 0.9$		V	$I_{OH} = -0.5mA$
出力 Low レベル電圧	$V_{OL}$		$V_{CC} \times 0.1$	V	$I_{OL} = 1.5mA$

【注】 \* A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

A/D 変換器、D/A 変換器を使用しない場合でも、 $AV_{CC}$ 、 $AV_{ref}$  端子は電源 ( $V_{CC}$ ) に接続するなどの方法で  $2.0V \sim 3.6V$  の範囲の電圧を印加してください。このとき、 $AV_{ref}$ 、 $AV_{CC}$  としてください。

表 27.18 出力許容電流値

条件 :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1、SCL0、SDA1、SDA0、 PS2AC ~ PS2CC、 PS2AD ~ PS2CD、 PA7 ~ PA4(バス駆動機能選択)	$I_{OL}$		20	mA
	ポート 1 ~ 3				
	$\overline{RESO}$				
	上記以外の出力端子				
出力 Low レベル許容電流 (総和)	ポート 1 ~ 3 の総和	$\Sigma I_{OL}$		80	mA
	上記を含む、全出力端子の総和				
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$		40	mA

条件： $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1、SCL0、SDA1、SDA0、 PS2AC ~ PS2CC、 PS2AD ~ PS2CD、 PA7 ~ PA4(バス駆動機能選択)			10	mA
	ポート 1 ~ 3			2	
	$\overline{RESO}$			1	
	上記以外の出力端子			1	
出力 Low レベル許容電流 (総和)	ポート 1 ~ 3 の総和	$\Sigma I_{OL}$		40	mA
	上記を含む、全出力端子の総和			60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$		30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 27.18 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 27.1、図 27.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

表 27.19 バス駆動特性

条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$  (3V 品)、 $V_{SS} = 0V$

対象端子：SCL1 ~ SCL0、SDA1 ~ SDA0 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	$V_T^-$	$V_{CC} \times 0.3$			V	
	$V_T^+$			$V_{CC} \times 0.7$		
	$V_T^+ - V_T^-$	$V_{CC} \times 0.05$				
入力 High レベル電圧	$V_{IH}$	$V_{CC} \times 0.7$		5.5	V	
入力 Low レベル電圧	$V_{IL}$	-0.5		$V_{CC} \times 0.3$	V	
出力 Low レベル電圧	$V_{OL}$			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC} = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$
入力容量	$C_{in}$			20	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
スリーステート リーク電流 (オフ状態)	$ I_{TSI} $			1.0	$\Sigma A$	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
SCL、SDA 出力 立ち下がり時間	$t_{OI}$	$20 + 0.1Cb$		250	ns	

## 27. 電気的特性

条件： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$  (3V品)、 $V_{CC}B = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$

対象端子：PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD、  
PA7～PA4 (バス駆動機能選択)

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	$V_{OL}$			0.8	V	$I_{OL} = 16mA$ 、 $V_{CC}B = 4.5V \sim 5.5V$
				0.5		$I_{OL} = 8mA$
				0.4		$I_{OL} = 3mA$

### 27.2.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、および内蔵周辺機能タイミングを以下に示します。AC 特性測定条件は図 27.3 を参照してください。

#### (1) クロックタイミング

表 27.20 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック ( $\phi$ ) 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 24 章 クロック発振器」を参照してください。

表 27.20 クロックタイミング

条件 A： $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CC}B = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B： $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC}B = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C： $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CC}B = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
クロックサイクル時間	$t_{yc}$	100	500	62.5	500	50	500	ns	図 27.6
クロックハイレベルパルス幅	$t_{CH}$	30		20		17		ns	図 27.6
クロックローレベルパルス幅	$t_{CL}$	30		20		17		ns	
クロック立ち上がり時間	$t_{Cr}$		20		10		8	ns	
クロック立ち下がり時間	$t_{Cf}$		20		10		8	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	20		10		10		ms	図 27.7
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	8		8		8		ms	図 27.8
外部クロック出力安定遅延時間	$t_{DEXT}$	500		500		500		$\mu s$	



## (2) 制御信号タイミング

表 27.21 に制御信号タイミングを示します。サブクロック( $\phi = 32.768\text{kHz}$ )で動作可能な外部割り込みは、NMI、IRQ0 ~ IRQ2、IRQ6、IRQ7 のみです。

表 27.21 制御信号タイミング

条件 A :  $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{CCB} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 32.768\text{kHz}$ 、 $2\text{MHz} \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{CCB} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 32.768\text{kHz}$ 、 $2\text{MHz} \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$ 、 $V_{CCB} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 32.768\text{kHz}$ 、 $2\text{MHz} \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
RES セットアップ時間	$t_{RESS}$	300		200		200		ns	図 27.9 図 27.10
RES パルス幅	$t_{RESW}$	20		20		20		$t_{cyc}$	
NMI セットアップ時間 (NMI)	$t_{NMIS}$	250		150		150		ns	
NMI ホールド時間 (NMI)	$t_{NMIH}$	10		10		10		ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200		200		200		ns	
IRQ セットアップ時間 (IRQ7 ~ IRQ0)	$t_{IRQS}$	250		150		150		ns	
IRQ ホールド時間 (IRQ7 ~ IRQ0)	$t_{IRGH}$	10		10		10		ns	
IRQ パルス幅 (IRQ7、IRQ6、IRQ2 ~ IRQ0) (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200		200		200		ns	

## 27. 電気的特性

### (3) バスタイミング

表 27.22 にバスタイミングを示します。サブクロック ( $\phi = 32.768\text{kHz}$ ) 動作では、外部拡張モードの動作は保証されません。

表 27.22 バスタイミング (1) (ノーマルモード使用時)

条件 A :  $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{CCB} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 2\text{MHz}$  ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{CCB} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 2\text{MHz}$  ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$ 、 $V_{CCB} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 2\text{MHz}$  ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	Max	min	max		
アドレス遅延時間	$t_{AD}$		40		30		20	ns	図 27.11 ~ 図 27.15
アドレスセットアップ時間	$t_{AS}$	$0.5 \times t_{cyc} - 30$		$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
CS 遅延時間 (IOS)	$t_{CSD}$		40		30		20	ns	
AS 遅延時間	$t_{ASD}$		60		45		30	ns	
RD 遅延時間 1	$t_{RSD1}$		60		45		30	ns	
RD 遅延時間 2	$t_{RSD2}$		60		45		30	ns	
リードデータセットアップ時間	$t_{RDS}$	35		20		15		ns	
リードデータホールド時間	$t_{RDH}$	0		0		0		ns	
リードデータアクセス時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 60$		$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 2	$t_{ACC2}$		$1.5 \times t_{cyc} - 50$		$1.5 \times t_{cyc} - 35$		$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	$t_{ACC3}$		$2.0 \times t_{cyc} - 60$		$2.0 \times t_{cyc} - 40$		$2.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	$t_{ACC4}$		$2.5 \times t_{cyc} - 50$		$2.5 \times t_{cyc} - 35$		$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	$t_{ACC5}$		$3.0 \times t_{cyc} - 60$		$3.0 \times t_{cyc} - 40$		$3.0 \times t_{cyc} - 30$	ns	
HWR、LWR 遅延時間 1	$t_{WRD1}$		60		45		30	ns	
HWR、LWR 遅延時間 2	$t_{WRD2}$		60		45		30	ns	
HWR、LWR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 40$		$1.0 \times t_{cyc} - 30$		$1.0 \times t_{cyc} - 20$		ns	

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	Max	min	max		
HWR、LWR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 40$		$1.5 \times t_{cyc} - 30$		$1.5 \times t_{cyc} - 20$		ns	図 27.11 ~ 図 27.15
ライトデータ遅延時間	$t_{WDD}$		60		45		30	ns	
ライトデータセット アップ時間	$t_{WDS}$	0		0		0		ns	
ライトデータホールド 時間	$t_{WDH}$	20		15		10		ns	
WAIT セットアップ 時間	$t_{WTS}$	60		45		30		ns	
WAIT ホールド時間	$t_{WTH}$	10		5		5		ns	

表 27.22 バスタイミング (2) (アドバンスモード使用時)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CC}B = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC}B = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CC}B = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	max	min	max		
アドレス遅延時間	$t_{AD}$		60		45		30	ns	図 27.11 ~ 図 27.15
アドレスセットアップ 時間	$t_{AS}$	$0.5 \times t_{cyc} - 50$		$0.5 \times t_{cyc} - 35$		$0.5 \times t_{cyc} - 25$		ns	
アドレスホールド時間	$t_{AH}$	$0.5 \times t_{cyc} - 20$		$0.5 \times t_{cyc} - 15$		$0.5 \times t_{cyc} - 10$		ns	
$\overline{CS}$ 遅延時間 (IOS)	$t_{CSD}$		60		45		30	ns	
$\overline{AS}$ 遅延時間	$t_{ASD}$		60		45		30	ns	
RD 遅延時間 1	$t_{RSD1}$		60		45		30	ns	
$\overline{RD}$ 遅延時間 2	$t_{RSD2}$		60		45		30	ns	
リードデータセット アップ時間	$t_{RDS}$	35		20		15		ns	
リードデータホールド 時間	$t_{RDH}$	0		0		0		ns	
リードデータアクセス 時間 1	$t_{ACC1}$		$1.0 \times t_{cyc} - 80$		$1.0 \times t_{cyc} - 55$		$1.0 \times t_{cyc} - 40$	ns	

## 27. 電気的特性

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		16MHz		20MHz			
		min	max	min	Max	min	max		
リードデータアクセス 時間 2	$t_{ACC2}$		$1.5 \times$ $t_{cyc} - 50$		$2.5 \times$ $t_{cyc} - 35$		$2.5 \times$ $t_{cyc} - 25$	ns	図 27.11 ~ 図 27.15
リードデータアクセス 時間 3	$t_{ACC3}$		$2.0 \times$ $t_{cyc} - 80$		$3.0 \times$ $t_{cyc} - 55$		$3.0 \times$ $t_{cyc} - 40$	ns	
リードデータアクセス 時間 4	$t_{ACC4}$		$2.5 \times$ $t_{cyc} - 50$		$2.5 \times$ $t_{cyc} - 35$		$2.5 \times$ $t_{cyc} - 25$	ns	
リードデータアクセス 時間 5	$t_{ACC5}$		$3.0 \times$ $t_{cyc} - 80$		$3.0 \times$ $t_{cyc} - 55$		$3.0 \times$ $t_{cyc} - 40$	ns	
HWR、LWR 遅延時間 1	$t_{WRD1}$		60		45		30	ns	
HWR、LWR 遅延時間 2	$t_{WRD2}$		60		45		30	ns	
HWR、LWR パルス幅 1	$t_{WSW1}$	$1.0 \times$ $t_{cyc} - 40$		$1.0 \times$ $t_{cyc} - 30$		$1.0 \times$ $t_{cyc} - 20$		ns	
HWR、LWR パルス幅 2	$t_{WSW2}$	$1.5 \times$ $t_{cyc} - 40$		$1.5 \times$ $t_{cyc} - 30$		$1.5 \times$ $t_{cyc} - 20$		ns	
ライトデータ遅延時間	$t_{WDD}$		60		45		30	ns	
ライトデータセット アップ時間	$t_{WDS}$	0		0		0		ns	
ライトデータホールド 時間	$t_{WDH}$	20		15		10		ns	
WAIT セットアップ 時間	$t_{WTS}$	60		45		30		ns	
WAIT ホールド時間	$t_{WTH}$	10		5		5		ns	

## (4) 内蔵周辺モジュールタイミング

表 27.23 ~ 表 27.26 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ( $\phi = 32.768\text{kHz}$ ) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0 ~ 2、6、7)、ウォッチドッグタイマ、8 ビットタイマ (チャンネル 0、1) のみです。

表 27.23 内蔵周辺モジュールタイミング (1)

条件 A :  $V_{CC} = 5.0\text{V} \pm 10\%$ 、 $V_{CCB} = 5.0\text{V} \pm 10\%$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 32.768\text{kHz}^*$ 、 $2\text{MHz}$  ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{CCB} = 4.0\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 32.768\text{kHz}^*$ 、 $2\text{MHz}$  ~ 最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7\text{V} \sim 3.6\text{V}$ 、 $V_{CCB} = 2.7\text{V} \sim 5.5\text{V}$ 、 $V_{SS} = 0\text{V}$ 、

$\phi = 32.768\text{kHz}^*$ 、 $2\text{MHz}$  ~ 最大動作周波数、 $T_a = -20 \sim +75$

項目		記号	条件 C		条件 B		条件 A		単位	測定条件	
			10MHz		16MHz		20MHz				
			min	max	min	max	min	max			
I/O ポート	出力データ遅延時間		$t_{PVD}$	100		50		50	ns	図 27.16	
	入力データセットアップ時間		$t_{PRS}$	50		30		30			
	入力データホールド時間		$t_{PRH}$	50		30		30			
FRT	タイマ出力遅延時間		$t_{FTOD}$	100		50		50	ns	図 27.17	
	タイマ入力セットアップ時間		$t_{FTIS}$	50		30		30			
	タイマクロック入力セットアップ時間		$t_{FTCS}$	50		30		30			
	タイマクロック パルス幅	単エッジ指定	$t_{FTCWH}$	1.5		1.5		1.5	$t_{cyc}$	図 27.18	
		両エッジ指定	$t_{FTCWL}$	2.5		2.5		2.5			
TMR	タイマ出力遅延時間		$t_{TMOD}$	100		50		50	ns	図 27.19	
	タイマリセット入力セットアップ時間		$t_{TMRS}$	50		30		30			
	タイマクロック入力セットアップ時間		$t_{TMCS}$	50		30		30			
	タイマクロック パルス幅	単エッジ指定	$t_{TMCWH}$	1.5		1.5		1.5	$t_{cyc}$	図 27.20	
		両エッジ指定	$t_{TMCWL}$	2.5		2.5		2.5			
PWM、 PWMX	パルス出力遅延時間		$t_{PWOD}$	100		50		50	ns	図 27.22	
SCI	入クロック サイクル	調歩同期	$t_{Soyc}$	4		4		4	$t_{cyc}$	図 27.23	
		クロック同期		6		6		6			
	入クロックパルス幅		$t_{SCKW}$	0.4	0.6	0.4	0.6	0.4	0.6		$t_{Soyc}$
	入クロック立ち上がり時間		$t_{SCKr}$		1.5		1.5		1.5		$t_{cyc}$
	入クロック立ち下がり時間		$t_{SCKl}$		1.5		1.5		1.5		$t_{cyc}$

## 27. 電気的特性

項目		記号	条件 C		条件 B		条件 A		単位	測定条件
			10MHz		16MHz		20MHz			
			min	max	min	max	min	max		
SCI	送信データ遅延時間 (クロック同期)	$t_{TXD}$		100		50		50	ns	図 27.24
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	100		50		50			
	受信データホールド時間 (クロック同期)	$t_{RXH}$	100		50		50			
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	50		30		30		ns	図 27.25
WDT	RESO 出力遅延時間	$t_{RESO}$		200		120		100	ns	図 27.26
	RESO 出力パルス幅	$t_{RESOW}$	132		132		132			

【注】 \* サブクロック動作時に使用可能な内蔵周辺モジュールのみ

表 27.23 内蔵周辺モジュールタイミング (2)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目		記号	条件 C		条件 B		条件 A		単位	測定条件	
			10MHz		16MHz		20MHz				
			min	max	min	max	min	max			
HIF リード サイクル	CS/HA0 セットアップ時間	$t_{HAR}$	10		10		10		ns	図 27.27	
	CS/HA0 ホールド時間	$t_{HRA}$	10		10		10				
	IOR パルス幅	$t_{HRPW}$	220		120		120				
	HDB 遅延時間	$t_{HRD}$		200		100		100			
	HDB ホールド時間	$t_{HRF}$	0	40	0	25	0	25			
	HIRQ 遅延時間	$t_{HIRQ}$		200		120		120			
HIF ライト サイクル	CS/HA0 セットアップ時間	$t_{HAW}$	10		10		10		ns		
	CS/HA0 ホールド時間	$t_{HWA}$	10		10		10				
	IOW パルス幅	$t_{HWPW}$	100		60		60				
	HDB セット	高速 GATE A20 を 使用しない	$t_{HDW}$	50		30		30			
	アップ時間	高速 GATE A20 を 使用する		85		55		45			
	HDB ホールド時間		$t_{HWD}$	25		15		15			
	GA20 遅延時間	$t_{HGA}$		180		90		90	ns		

表 27.24 キーボードバッファコントローラタイミング

条件 :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$  (3V品)、 $V_{CCB} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、  
 $\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
KCLK、KD 出力立ち下がり時間	$t_{KBF}$	$20 + 0.1C_b$		250	ns		図 27.28
KCLK、KD 入力データホールド時間	$t_{KBIH}$	150			ns		
KCLK、KD 入力データセットアップ時間	$t_{KBIS}$	150			ns		
KCLK、KD 出力遅延時間	$t_{KBOD}$			450	ns		
KCLK、KD の容量性負荷	$C_b$			400	pF		

表 27.25 I<sup>2</sup>C バスタイミング

条件 :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC} = 2.7V \sim 3.6V$  (3V品)、 $V_{SS} = 0V$ 、  
 $\phi = 5MHz \sim$  最大動作周波数

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL 入力サイクル時間	$t_{SCL}$	12			$t_{cyc}$		図 27.29
SCL 入力 High パルス幅	$t_{SCLH}$	3			$t_{cyc}$		
SCL 入力 Low パルス幅	$t_{SCLL}$	5			$t_{cyc}$		
SCL、SDA 入力立ち上がり時間	$t_{Sr}$			7.5*	$t_{cyc}$		
SCL、SDA 入力立ち下がり時間	$t_{Sf}$			300	ns		
SCL、SDA 入カスパイクパルス除去時間	$t_{SP}$			1	$t_{cyc}$		
SDA 入力バスフリー時間	$t_{BUF}$	5			$t_{cyc}$		
開始条件入力ホールド時間	$t_{STAH}$	3			$t_{cyc}$		
再送開始条件入力セットアップ時間	$t_{STAS}$	3			$t_{cyc}$		
停止条件入力セットアップ時間	$t_{STOS}$	3			$t_{cyc}$		
データ入力セットアップ時間	$t_{SDAS}$	0.5			$t_{cyc}$		
データ入力ホールド時間	$t_{SDAH}$	0			ns		
SCL、SDA の容量性負荷	$C_b$			400	pF		

【注】 \* I<sup>2</sup>C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$  とすることが可能です。詳細は「16.6 使用上の注意事項」を参照してください。

## 27. 電気的特性

表 27.26 LPC モジュールタイミング (H8S/2145B のみ)

条件 :  $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位	測定条件
入力クロックサイクル	$t_{LcyC}$	30			ns	図 27.30
入力クロックパルス幅 (H)	$t_{LCKH}$	11				
入力クロックパルス幅 (L)	$t_{LCKL}$	11				
送信信号遅延時間	$t_{TXD}$	2		11		
送信信号フローティング遅延時間	$t_{OFF}$			28		
受信信号セットアップ時間	$t_{RXS}$	7				
受信信号ホールド時間	$t_{RXH}$	0				

### 27.2.4 A/D 変換特性

A/D 変換特性を表 27.27、表 27.28 に示します。

表 27.27 A/D 変換特性 (AN7 ~ AN0 入力 : 134 / 266 ステート変換)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 3.6V$ 、 $AV_{CC} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間*3			13.4			8.4			6.7	$\mu s$
アナログ入力容量			20			20			20	pF
許容信号源インピーダンス			5			$10^{*1}$			$10^{*1}$	k $\Omega$
						$5^{*2}$			$5^{*2}$	
非直線性誤差			$\pm 7.0$			$\pm 3.0$			$\pm 3.0$	LSB
オフセット誤差			$\pm 7.5$			$\pm 3.5$			$\pm 3.5$	LSB
フルスケール誤差			$\pm 7.5$			$\pm 3.5$			$\pm 3.5$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 8.0$			$\pm 4.0$			$\pm 4.0$	LSB

【注】 \*1 変換時間  $11.17\mu s$  (CKS=1 で  $\phi = 12MHz$ 、または CKS=0) のとき

\*2 変換時間  $< 11.17\mu s$  (CKS=1 で  $\phi > 12MHz$ ) のとき

\*3 シングルモードで最大動作周波数のとき



表 27.28 A/D 変換特性 (CIN15 ~ CIN0 入力 : 134 / 266 ステート変換)

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 3.0V \sim 3.6V^{*4}$ 、 $AV_{CC} = 3.0V \sim 3.6V^{*4}$ 、 $AV_{ref} = 3.0V \sim AV_{CC}^{*4}$ 、

$V_{CCB} = 3.0V \sim 5.5V^{*4}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			16MHz			20MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10			10			10			ビット
変換時間 <sup>*3</sup>			13.4			8.4			6.7	$\mu s$
アナログ入力容量			20			20			20	pF
許容信号源			5			$10^{*1}$			$10^{*1}$	k $\Omega$
インピーダンス						$5^{*2}$			$5^{*2}$	
非直線性誤差			$\pm 11.0$			$\pm 5.0$			$\pm 5.0$	LSB
オフセット誤差			$\pm 11.5$			$\pm 5.5$			$\pm 5.5$	LSB
フルスケール誤差			$\pm 11.5$			$\pm 5.5$			$\pm 5.5$	LSB
量子化誤差			$\pm 0.5$			$\pm 0.5$			$\pm 0.5$	LSB
絶対精度			$\pm 12.0$			$\pm 6.0$			$\pm 6.0$	LSB

【注】 \*1 変換時間  $11.17\mu s$  (CKS=1 で  $\phi = 12MHz$ 、または CKS=0) のとき

\*2 変換時間  $< 11.17\mu s$  (CKS=1 で  $\phi > 12MHz$ ) のとき

\*3 シングルモードで最大動作周波数のとき

\*4 CIN を使用する場合は、 $V_{CC} = 3.0V \sim 3.6V$ 、 $AV_{CC} = 3.0V \sim 3.6V$ 、 $AV_{ref} = 3.0V \sim 3.6V$ 、 $V_{CCB} = 3.0V \sim 5.5V$  の範囲としてください。

## 27. 電気的特性

### 27.2.5 D/A 変換特性

D/A 変換特性を表 27.29 に示します。

表 27.29 D/A 変換特性

条件 A :  $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 B :  $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

条件 C :  $V_{CC} = 2.7V \sim 3.6V$ 、 $AV_{CC} = 2.7V \sim 3.6V$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$\phi = 2MHz \sim$  最大動作周波数、 $T_a = -20 \sim +75$

項目		条件 C			条件 B			条件 A			単位
		10MHz			16MHz			20MHz			
		min	typ	max	min	typ	max	min	typ	max	
分解能		8			8			8			ビット
変換時間	負荷容量 20pF			10			10			10	$\mu s$
絶対精度	負荷抵抗 2M $\Omega$		$\pm 2.0$	$\pm 3.0$		$\pm 1.0$	$\pm 1.5$		$\pm 1.0$	$\pm 1.5$	LSB
	負荷抵抗 4M $\Omega$			$\pm 2.0$			$\pm 1.0$			$\pm 1.0$	

## 27.2.6 フラッシュメモリ特性

表 27.30 にフラッシュメモリ特性を示します。

表 27.30 フラッシュメモリ特性（書き込み / 消去時の動作範囲）

5V 版条件 :  $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$ （通常仕様品）、 $T_a = -40 \sim +85$ （広温度範囲仕様品）

3V 版条件 :  $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min.	typ.	max.	単位	測定条件
書き込み時間 <sup>*1*</sup> <sup>2*</sup> <sup>4*</sup>		tP		10	200	ms/ 128 バイト	
消去時間 <sup>*1*</sup> <sup>3*</sup> <sup>6*</sup>		tE		100	1200	ms/ブロック	
書き換え回数		$N_{WEC}$			100	回	
書き込み時	SWE-bit セット後のウェイト時間 <sup>*1*</sup>	x	1			$\mu s$	
	PSU-bit セット後のウェイト時間 <sup>*1*</sup>	y	50			$\mu s$	
	P-bit セット後のウェイト時間 <sup>*1*</sup> <sup>4*</sup>	z1	28	30	32	$\mu s$	1 n 6
		z2	198	200	202	$\mu s$	7 n 1000
		z3	8	10	12	$\mu s$	追加書き込み
	P-bit クリア後のウェイト時間 <sup>*1*</sup>	$\alpha$	5			$\mu s$	
	PSU-bit クリア後のウェイト時間 <sup>*1*</sup>	$\beta$	5			$\mu s$	
	PV-bit セット後のウェイト時間 <sup>*1*</sup>	$\gamma$	4			$\mu s$	
	ダミーライト後のウェイト時間 <sup>*1*</sup>	$\varepsilon$	2			$\mu s$	
	PV-bit クリア後のウェイト時間 <sup>*1*</sup>	$\eta$	2			$\mu s$	
	SWE-bit クリア後のウェイト時間 <sup>*1*</sup>	$\theta$	100			$\mu s$	
	最大書き込み回数 <sup>*1*</sup> <sup>4*</sup> <sup>5*</sup>	N			1000	回	
消去時	SWE-bit セット後のウェイト時間 <sup>*1*</sup>	x	1			$\mu s$	
	ESU-bit セット後のウェイト時間 <sup>*1*</sup>	y	100			$\mu s$	
	E-bit セット後のウェイト時間 <sup>*1*</sup> <sup>6*</sup>	z	10		100	ms	
	E-bit クリア後のウェイト時間 <sup>*1*</sup>	$\alpha$	10			$\mu s$	
	ESU-bit クリア後のウェイト時間 <sup>*1*</sup>	$\beta$	10			$\mu s$	
	EV-bit セット後のウェイト時間 <sup>*1*</sup>	$\gamma$	20			$\mu s$	
	H'FF ダミーライト後のウェイト時間 <sup>*1*</sup>	$\varepsilon$	2			$\mu s$	
	EV-bit クリア後のウェイト時間 <sup>*1*</sup>	$\eta$	4			$\mu s$	
	SWE-bit クリア後のウェイト時間 <sup>*1*</sup>	$\theta$	100			$\mu s$	
	最大消去回数 <sup>*1*</sup> <sup>6*</sup> <sup>7*</sup>	N			120	回	

【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い行ってください。

\*2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）

\*3 1 ブロックを消去する時間（フラッシュメモリコントロールレジスタ（FLMCR1）の E-bit をセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）

## 27. 電気的特性

---

- \*4 書き込み時間の最大値 (  $tP(max)$  )

$$tP(max) = (P\text{-bit セット後のウェイト時間}(z1) + (z3)) \times 6 \\ + P\text{-bit セット後のウェイト時間}(z2) \times ((N) - 6)$$

- \*5 最大書き込み回数 (  $N$  ) は、実際の (  $z1$ 、 $z2$ 、 $z3$  ) の設定値に合わせ、書き込み時間の最大値 (  $tP(max)$  ) 以下となるよう設定してください。また、P-bit セット後のウェイト時間 (  $z1$ 、 $z2$ 、 $z3$  ) は、下記のように書き込み回数 (  $n$  ) の値によって切り替えてください。

書き込み回数  $n$

$$1 \leq n \leq 6 \quad z1 = 30\mu s, z3 = 10\mu s$$

$$7 \leq n \leq 1000 \quad z2 = 200\mu s$$

- \*6 消去時間の最大値 (  $tE(max)$  )

$$tE(max) = E\text{-bit セット後のウェイト時間}(z) \times \text{最大消去回数}(N)$$

- \*7 最大消去回数 (  $N$  ) は、実際の (  $z$  ) の設定値に合わせ、消去時間の最大値 (  $tE(max)$  ) 以下となるよう設定してください。

### 27.2.7 使用上の注意

#### 1. 内部降圧品

H8S/2148 Bマスク品 (HD64F2148B) は、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。

この内部降圧端子 (VCL端子) とVSS端子間には、内部電圧安定用のコンデンサ (  $0.47\mu F$  を1個または2個並列) を接続する必要があります。

外付けコンデンサ接続方法は図27.5を参照してください。

電源 (  $V_{cc}$  ) 電源が3.6Vを超える5V品および4V品の場合は、内部降圧製品のVCL端子には、 $V_{cc}$  電源は接続しないでください。(VCC1端子には従来どおり、 $V_{cc}$  電源を接続してください。)

また、電源 (  $V_{cc}$  ) 電源が3.6V以下の3V品の場合は、VCL端子には、VCC1端子とともにシステムの電源に接続してください。

なお、内部降圧非対応のF-ZTAT版から内部降圧対応のF-ZTAT Bマスク品に切り替えを行う場合には、VCL端子は、内部降圧非対応品のVCC2端子と同じピン配置になります。このため、基板パターンを設計する場合には切り替え前後の回路の違いを考慮する必要がありますので、ご注意願います。

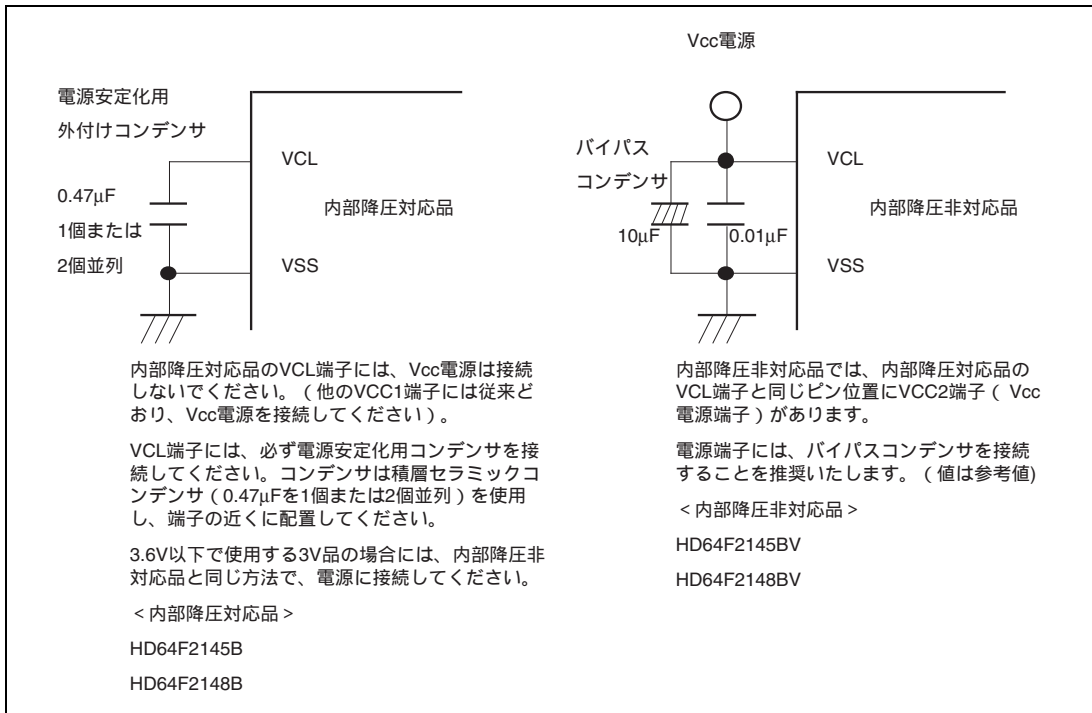


図 27.5 VCL コンデンサ接続方法

## 27.3 タイミング図

### 27.3.1 クロックタイミング

クロックタイミングを以下に示します。

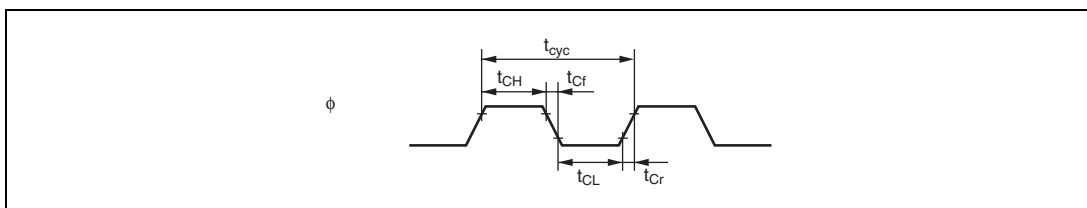


図 27.6 システムクロックタイミング

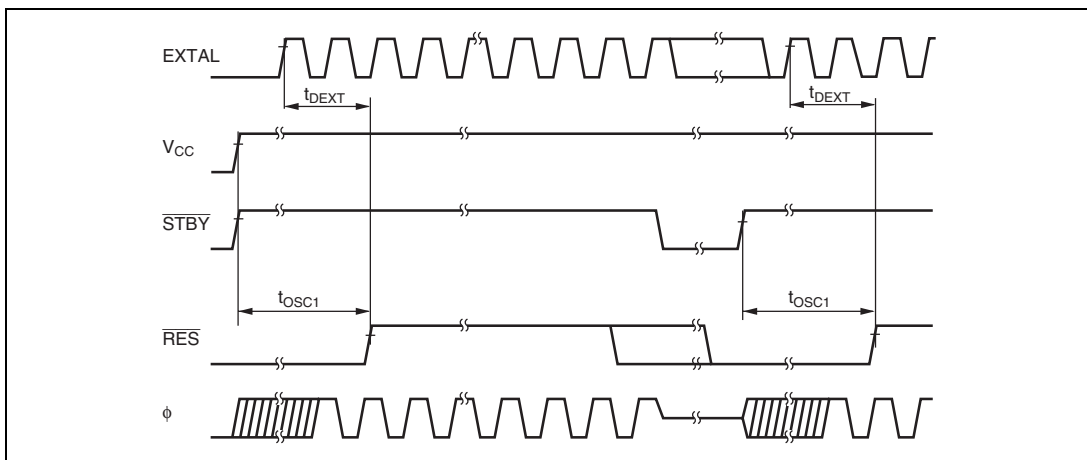


図 27.7 発振安定時間タイミング

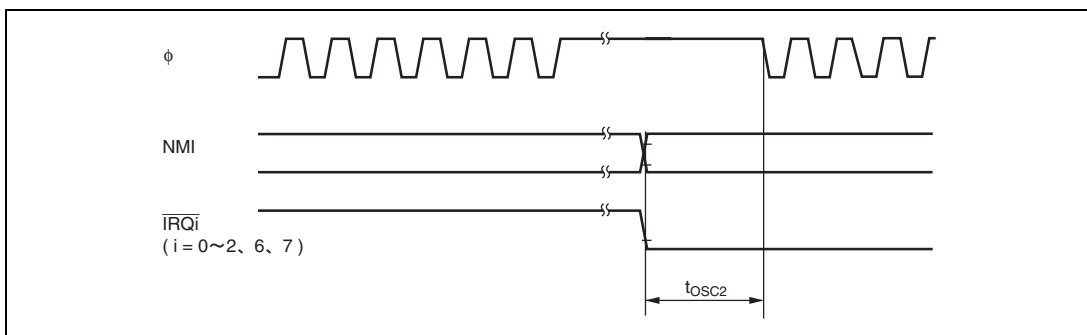


図 27.8 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

### 27.3.2 制御信号タイミング

制御信号タイミングを以下に示します。

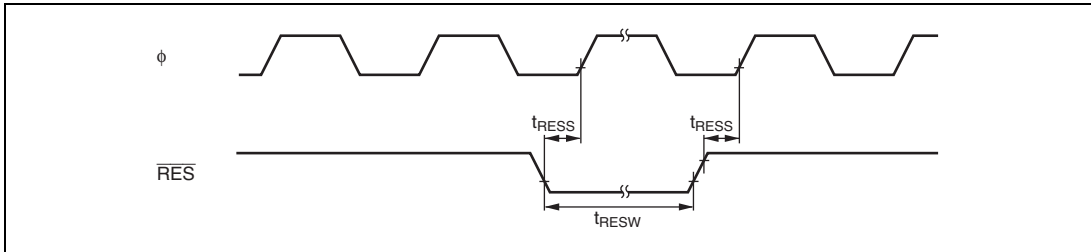


図 27.9 リセット入力タイミング

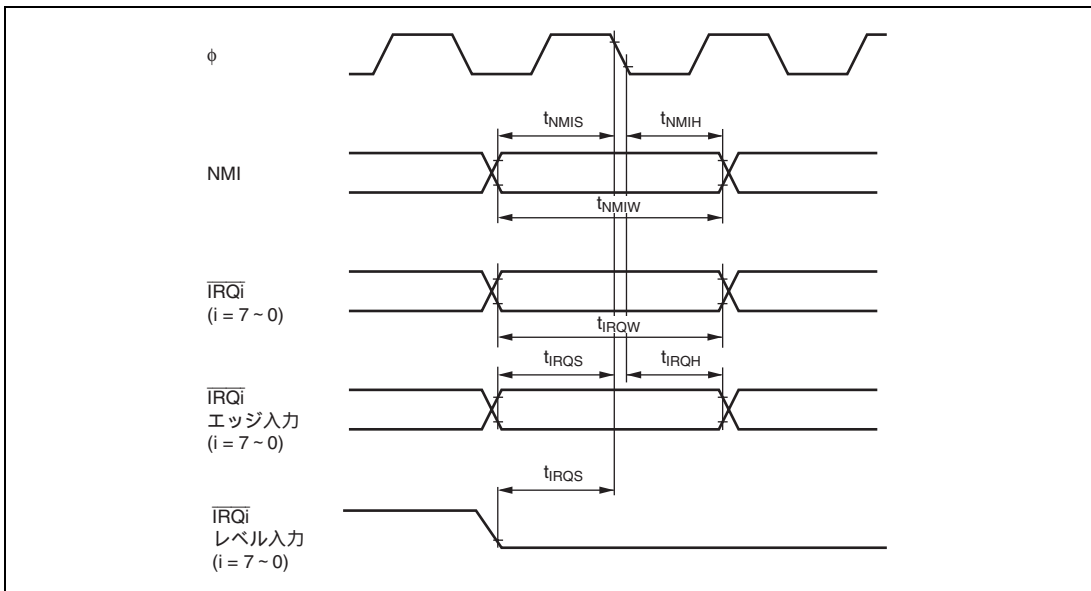


図 27.10 割り込み入力タイミング

### 27.3.3 バスタイミング

バスタイミングを以下に示します。

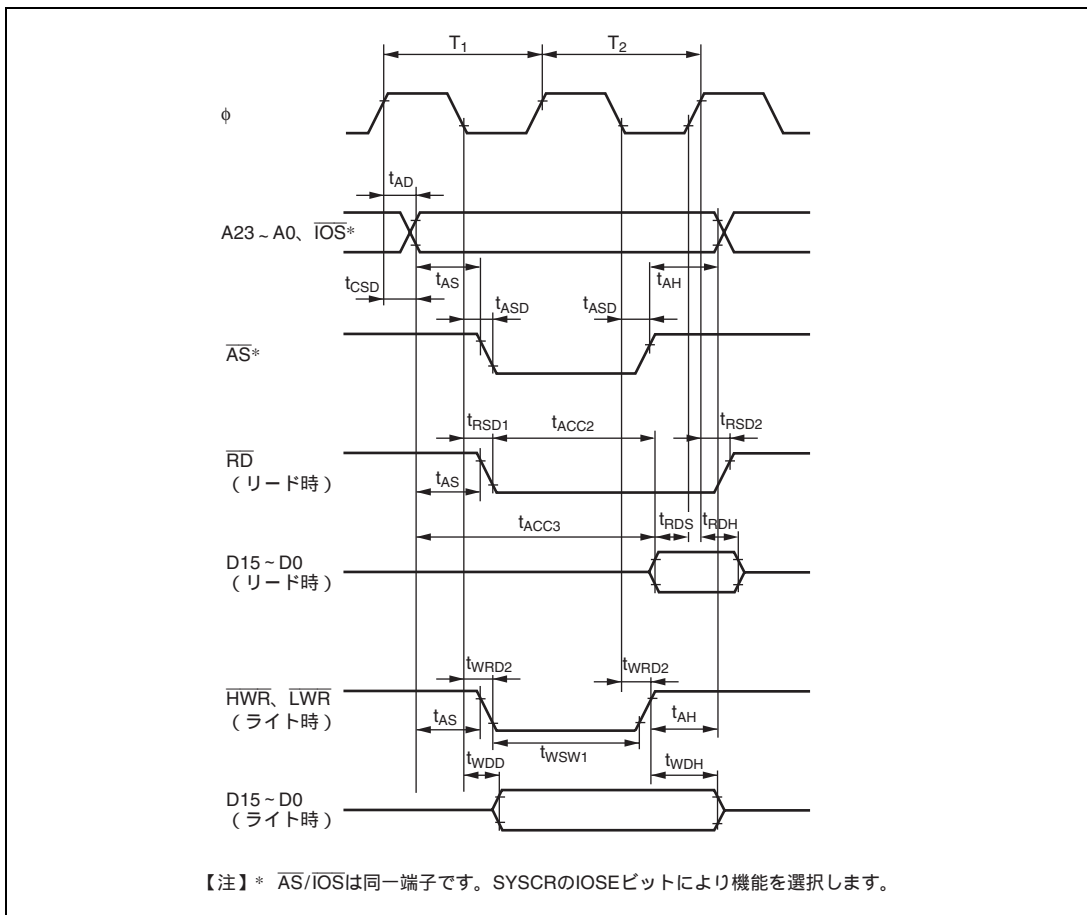


図 27.11 基本バスタイミング / 2 ステートアクセス



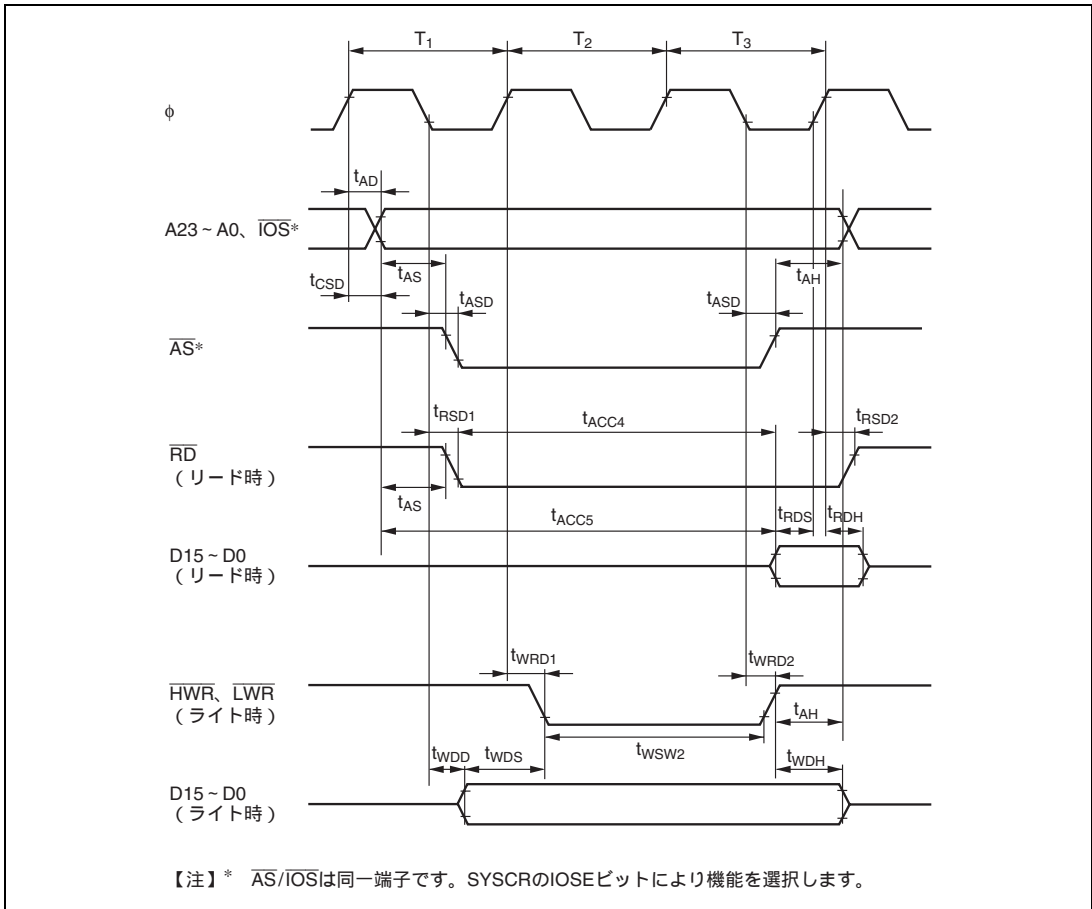


図 27.12 基本バスタイミング / 3 ステートアクセス

## 27. 電気的特性

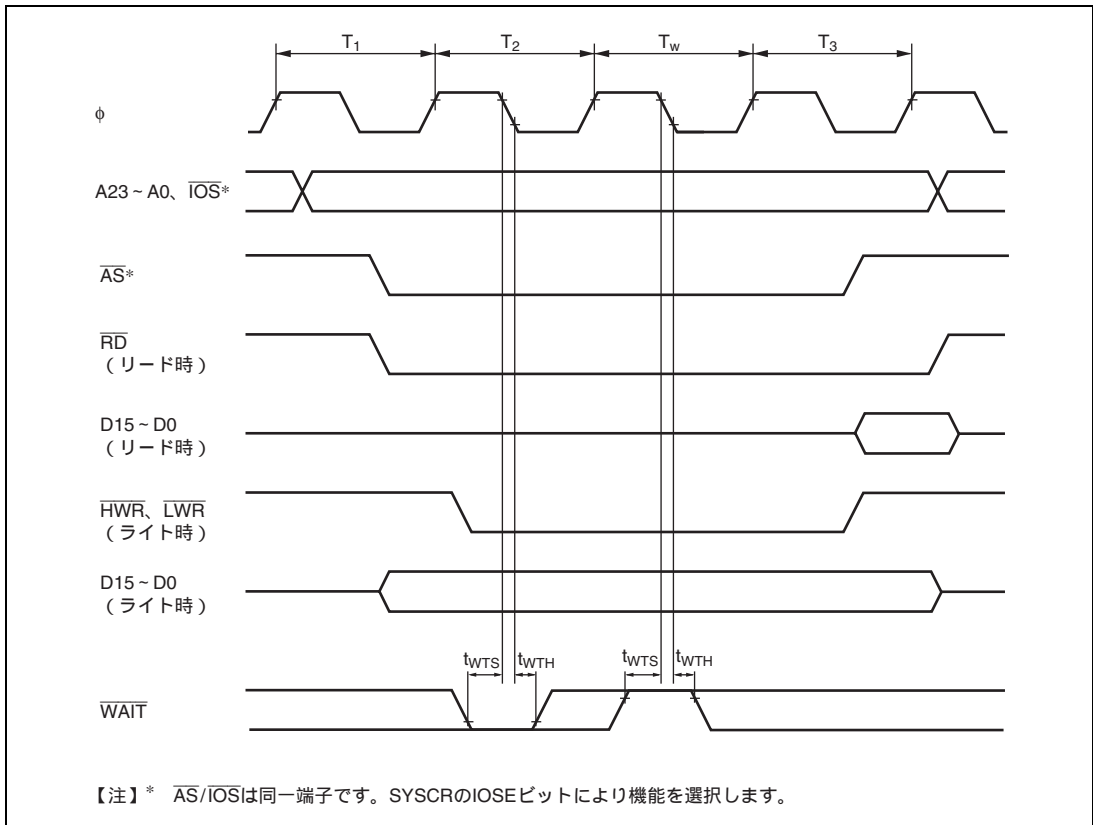


図 27.13 基本バスタイミング / 3 ステートアクセス 1 ウェイト

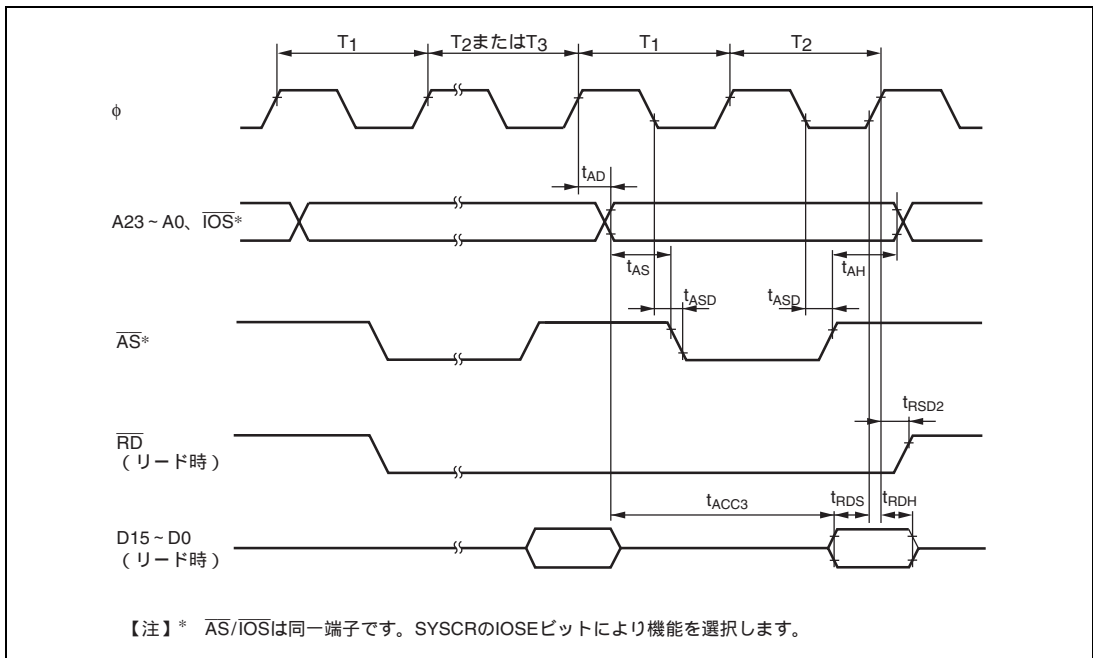


図 27.14 パースト ROM アクセスタイミング / 2 ステートアクセス

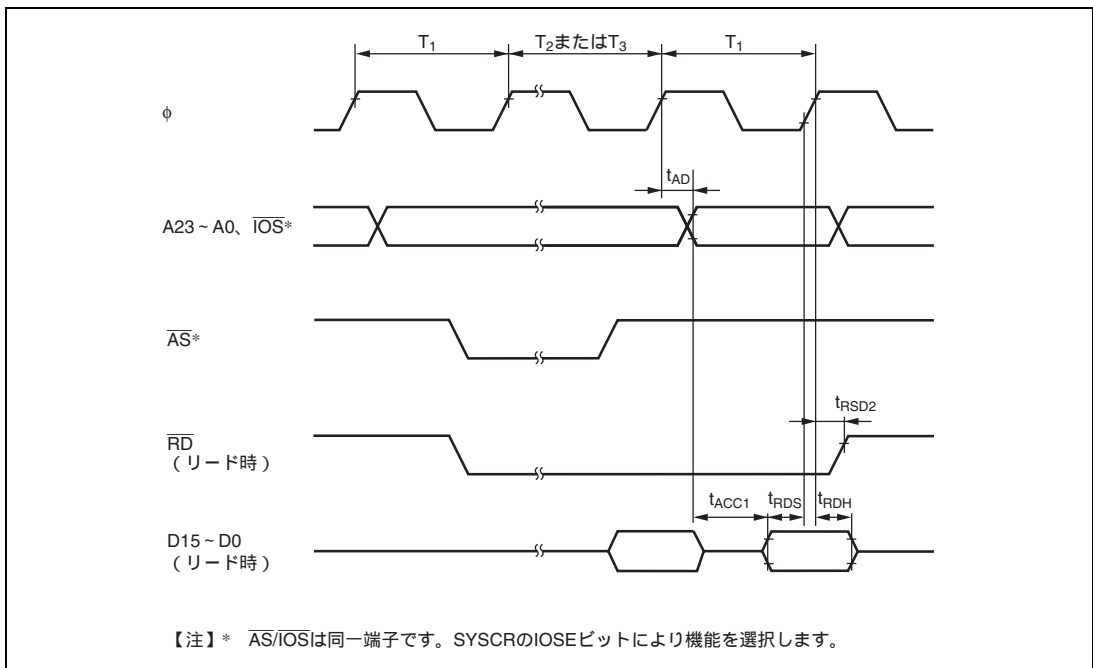


図 27.15 パースト ROM アクセスタイミング / 1 ステートアクセス

### 27.3.4 内蔵周辺モジュールタイミング

内蔵周辺モジュールタイミングを以下に示します。

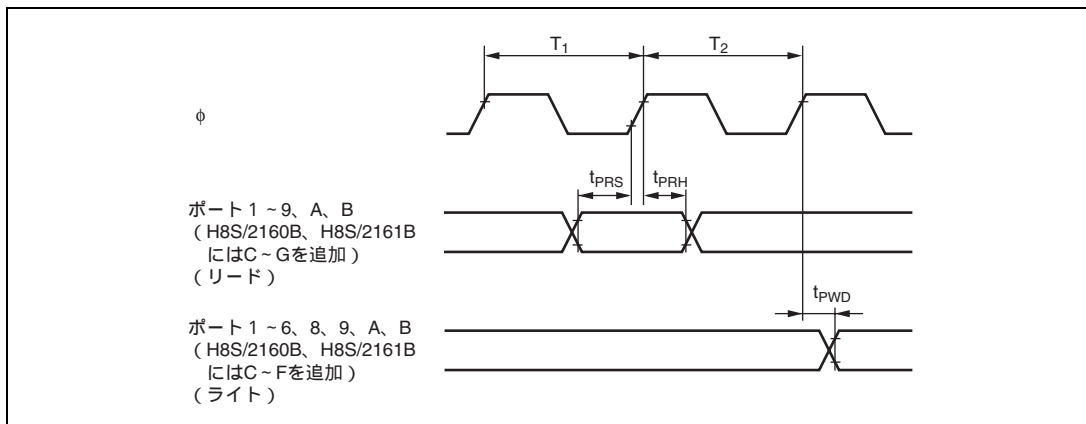


図 27.16 I/O ポート入出力タイミング

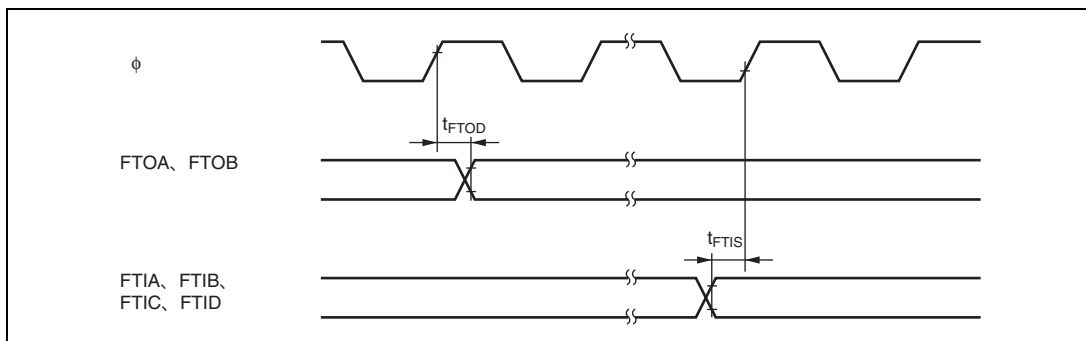


図 27.17 FRT 入出力タイミング

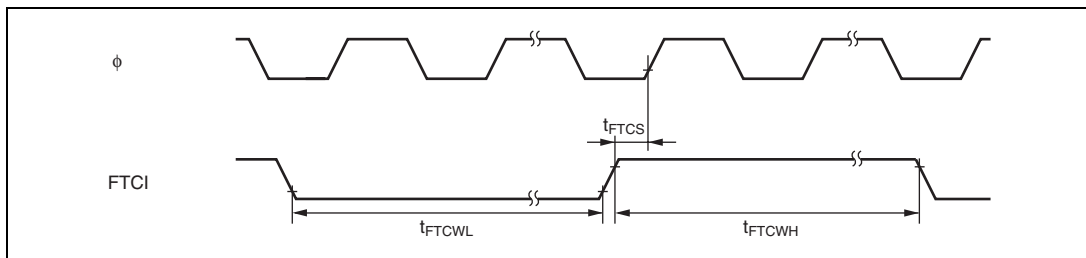


図 27.18 FRT クロック入力タイミング

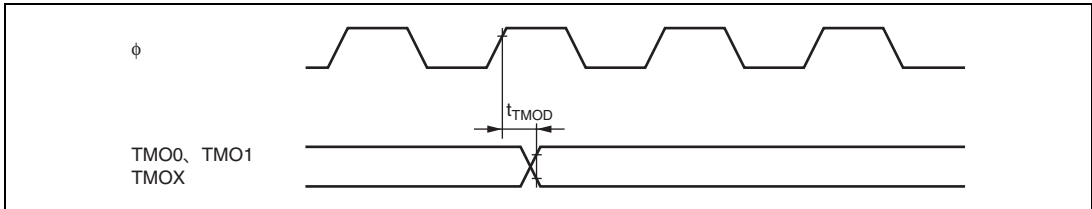


図 27.19 8ビットタイマ出力タイミング

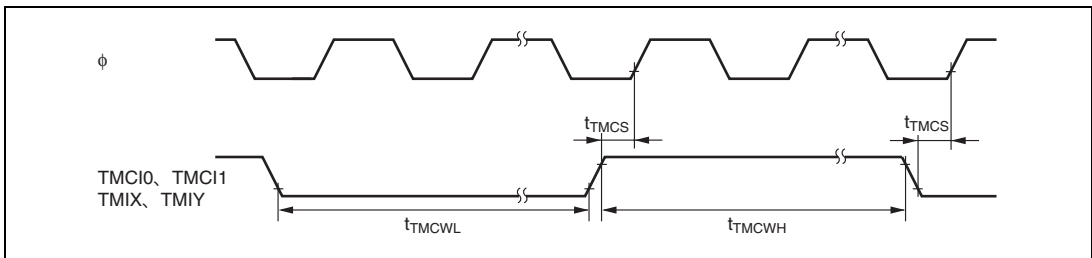


図 27.20 8ビットタイマクロック入力タイミング

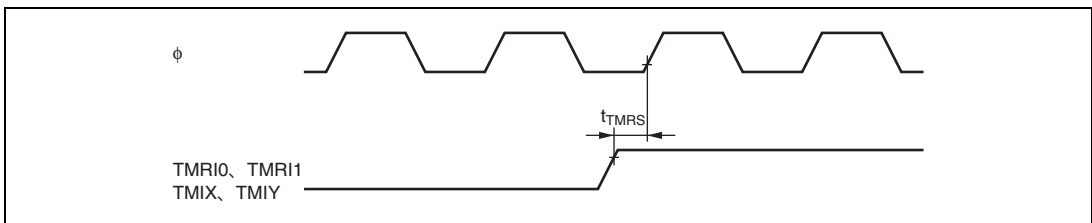


図 27.21 8ビットタイマリセット入力タイミング

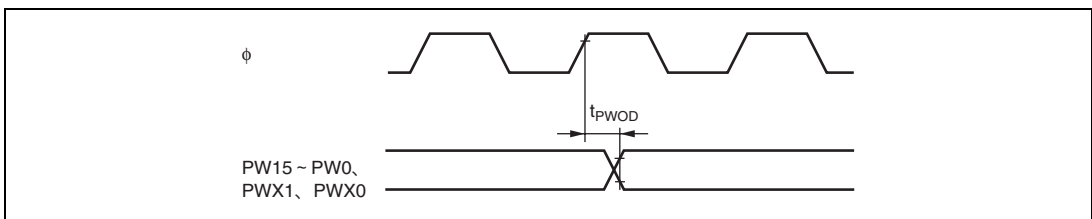


図 27.22 PWM、PWMX 出力タイミング

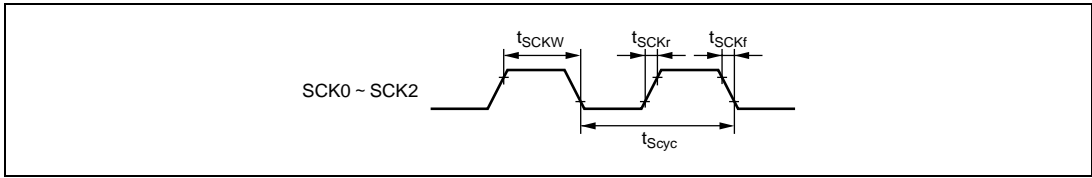


図 27.23 SCK クロック入力タイミング

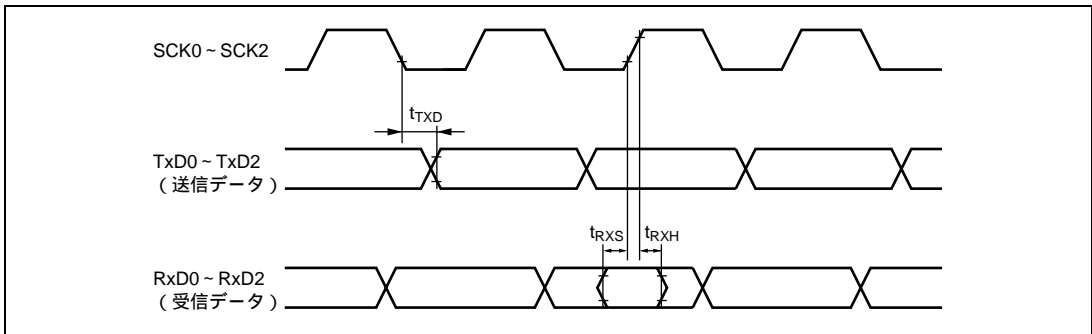


図 27.24 SCI 入出力タイミング / クロック同期式モード

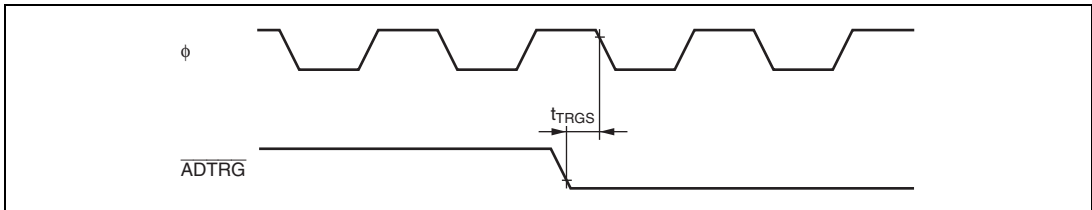


図 27.25 A/D 変換器外部トリガ入力タイミング

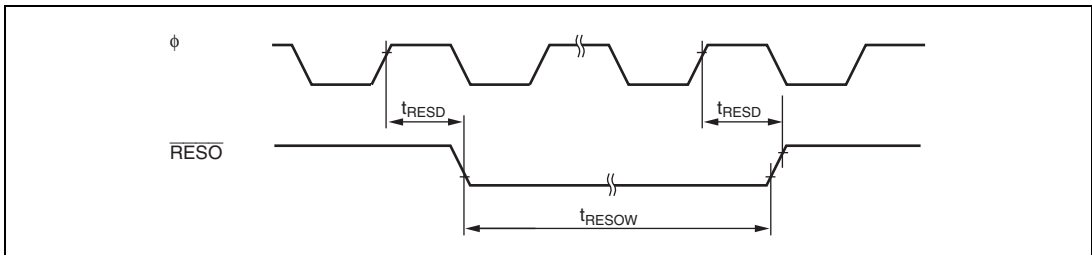


図 27.26 WDT 出力タイミング (RESO)

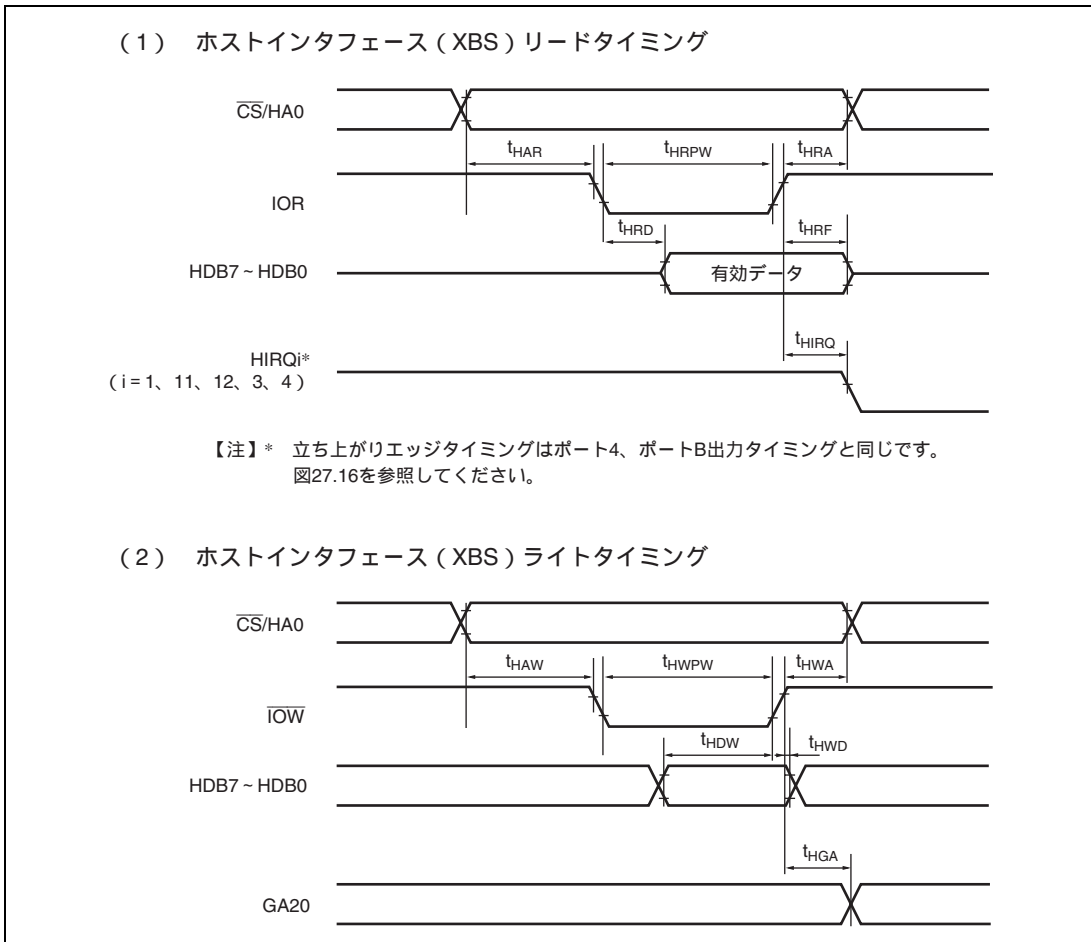


図 27.27 ホストインタフェース (XBS) タイミング

## 27. 電気的特性

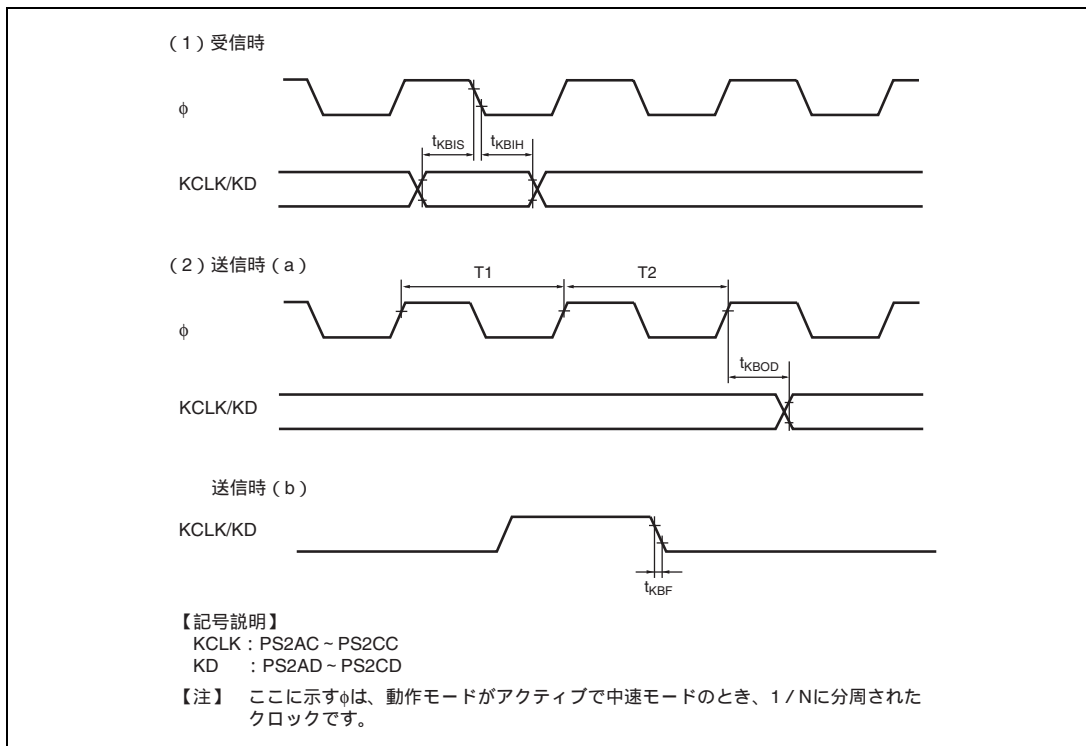


図 27.28 キーボードバッファコントローラタイミング

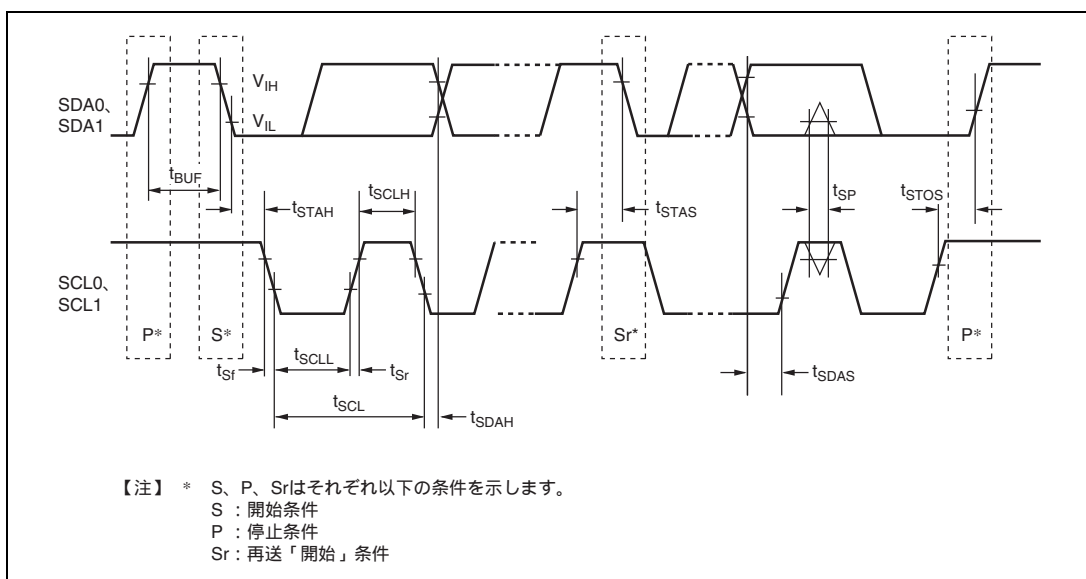


図 27.29 I<sup>2</sup>C バスインタフェース入出力タイミング



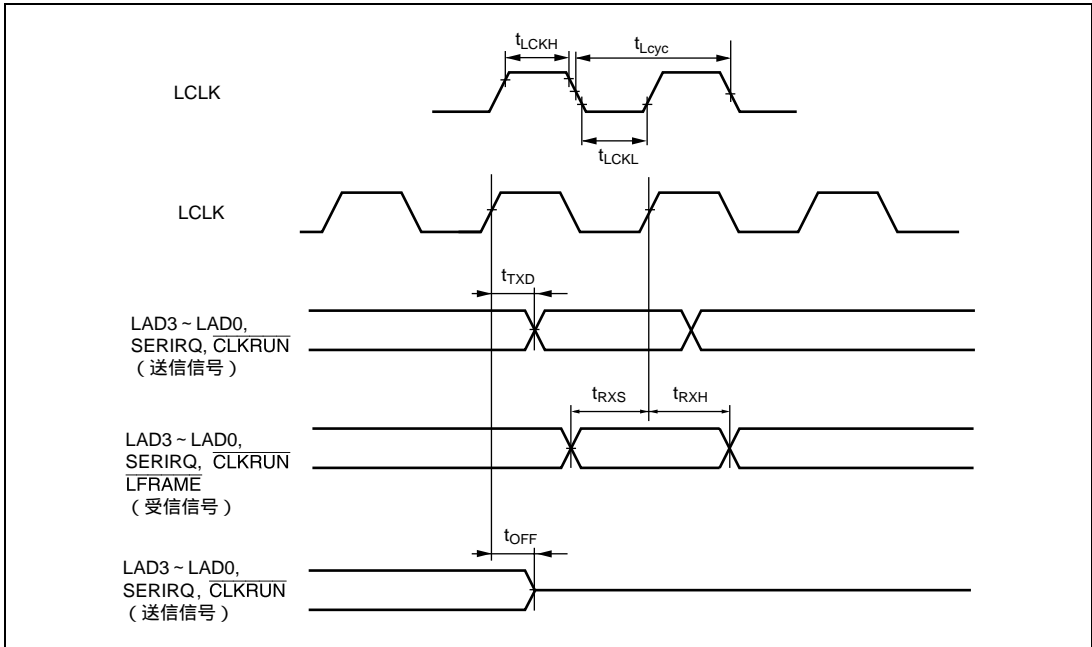


図 27.30 ホストインタフェース (LPC) タイミング

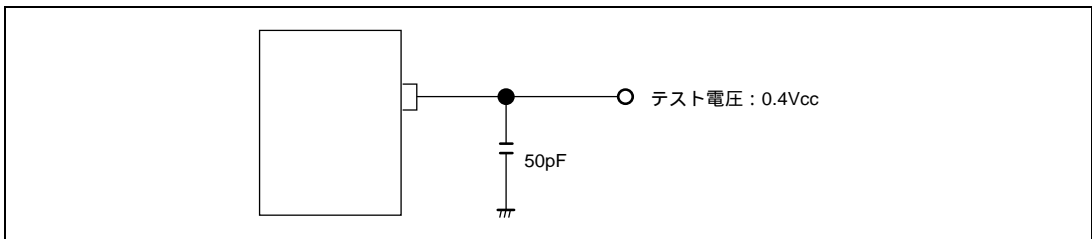


図 27.31 テスタ測定条件



# 付録

## A. 各処理状態における I/O ポートの状態

表 A.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェ アスタンバ イモード	ソフトウェ アスタンバ イモード	ウォッチ モード	スリープ モード	サブ スリープ モード	サブ アクティブ モード	プログラム 実行状態	
ポート 1 A7 ~ A0	1	L	T	keep*	keep*	keep*	keep*	A7 ~ A0	A7 ~ A0	
	2、3 (EXPE=1)	T						アドレス 出力/ 入力ポート	アドレス 出力/ 入力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポート 2 A15 ~ A8	1	L	T	keep*	keep*	keep*	keep*	A15 ~ A8	A15 ~ A8	
	2、3 (EXPE=1)	T						アドレス 出力/ 入力ポート	アドレス 出力/ 入力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポート 3 D15 ~ D8	1	T	T	T	T	T	T	D15 ~ D8	D15 ~ D8	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート	
ポート 4	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート 5	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									

付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェ アスタンバ イモード	ソフトウェ アスタンバ イモード	ウォッチ モード	スリープ モード	サブ スリープ モード	サブ アクティブ モード	プログラム 実行状態					
ポート 6	1	T	T	Keep	keep	keep	keep	入出力ポート	入出力ポート					
	2、3 (EXPE=1)													
	2、3 (EXPE=0)													
ポート 7	1	T	T	T	T	T	T	入力ポート	入力ポート					
	2、3 (EXPE=1)													
	2、3 (EXPE=0)													
ポート 8	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート					
	2、3 (EXPE=1)													
	2、3 (EXPE=0)													
ポート 97 WAIT	1	T	T	T / keep	T / keep	T / keep	T / keep	WAIT / 入出力ポート	WAIT / 入出力ポート					
	2、3 (EXPE=1)			keep	keep	keep	keep	入出力ポート	入出力ポート					
	2、3 (EXPE=0)													
ポート 96 φ EXCL	1	クロック 出力	T	[DDR=1] H	EXCL 入力	[DDR=1] クロック 出力	EXCL 入力	EXCL 入力	クロック 出力 / EXCL 入力 / 入力ポート					
	2、3 (EXPE=1)	T		[DDR=0] T		[DDR=0]								
	2、3 (EXPE=0)					T								
ポート 95-93 AS、HWR、 RD	1	H	T	H	H	H	H	AS、HWR、RD	AS、HWR、RD					
	2、3 (EXPE=1)	T		keep						keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)													
ポート 92、91	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート					
	2、3 (EXPE=1)													
	2、3 (EXPE=0)													

ポート名 端子名	MCU 動作モード	リセット	ハードウェ アスタンバ イモード	ソフトウェ アスタンバ イモード	ウォッチ モード	スリープ モード	サブ スリープ モード	サブ アクティブ モード	プログラム 実行状態	
ポート 90 LWR	1	T	T	H / keep	H / keep	H / keep	H / keep	LWR / 入出力ポート	LWR / 入出力ポート	
	2, 3 (EXPE=1)									
	2, 3 (EXPE=0)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート A A23 ~ A16	1	T	T	keep*	keep*	keep*	keep*	入出力ポート	入出力ポート	
	2, 3 (EXPE=1)							A23 - A16 / 入出力ポート	A23 - A16 / 入出力ポート	
	2, 3 (EXPE=0)							入出力ポート	入出力ポート	
ポート B D7 ~ D0	1	T	T	T / keep	T / keep	T / keep	T / keep	D7 - D0 / 入出力ポート	D7 - D0 / 入出力ポート	
	2, 3 (EXPE=1)									
	2, 3 (EXPE=0)			keep	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート C ~ G (H8S/2160B、 H8S/2161B)	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2, 3 (EXPE=1)									
	2, 3 (EXPE=0)									

## 【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

Keep : 入力ポートはハイインピーダンス (DDR=0、PCR=1 の場合、入力プルアップ MOS は ON 状態を保持)

出力ポートは保持

なお、端子により内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR : データディレクションレジスタ

【注】 \* アドレス出力の場合、最後にアクセスしたアドレスを保持

## B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ(コード)
H8S/2161B	フラッシュメモリ版(3V版)	HD64F2161BV	F2161BVTE10	144ピン TQFP (TFP-144)
H8S/2160B	フラッシュメモリ版(3V版)	HD64F2160BV	F2160BVTE10	
H8S/2141B	フラッシュメモリ版(3V版)	HD64F2141BV	F2141BVFA10	100ピン QFP (FP-100B)
			F2141BVTE10	100ピン TQFP (TFP-100B)
H8S/2140B	フラッシュメモリ版(3V版)	HD64F2140BV	F2140BVFA10	100ピン QFP (FP-100B)
			F2140BVTE10	100ピン TQFP (TFP-100B)
H8S/2145B	フラッシュメモリ版(3V版)	HD64F2145BV	F2145BVFA10	100ピン QFP (FP-100B)
			F2145BVTE10	100ピン TQFP (TFP-100B)
	フラッシュメモリ版(5V版)	HD64F2145B	F2145BFA20	100ピン QFP (FP-100B)
			F2145BTE20	100ピン TQFP (TFP-100B)
H8S/2148B	フラッシュメモリ版(3V版)	HD64F2148BV	F2148BVFA10	100ピン QFP (FP-100B)
			F2148BVTE10	100ピン TQFP (TFP-100B)
	フラッシュメモリ版(5V版)	HD64F2148B	F2148BFA20	100ピン QFP (FP-100B)
			F2148BTE20	100ピン TQFP (TFP-100B)

## 【記号説明】

(\*\*\*)は ROM コードです。

【注】 上記製品は開発中、計画中の製品も含まれます。各製品の状況につきましては、当社営業担当者に確認してください。

C. 外形寸法図

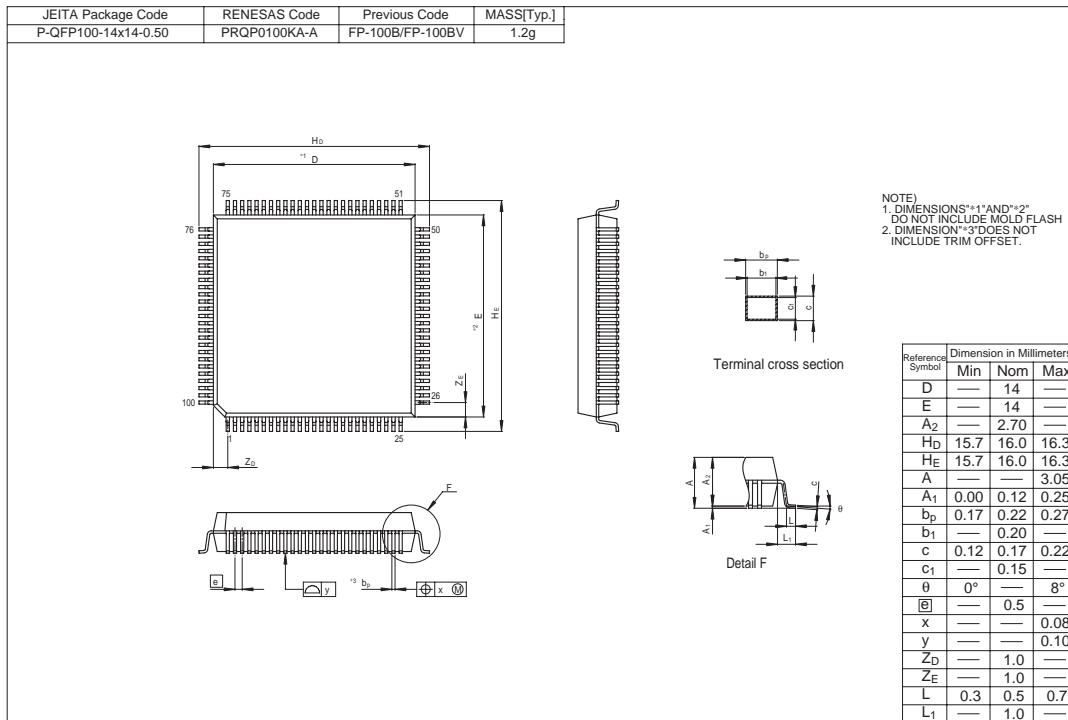


図 C.1 FP-100B の外形寸法図

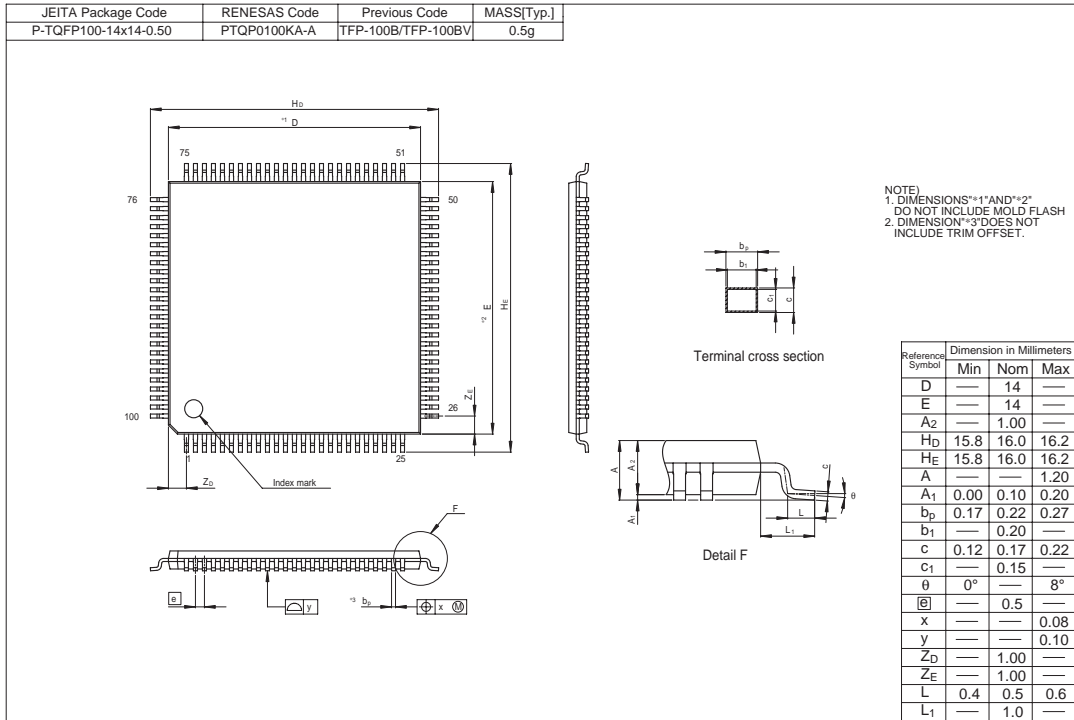


図 C.2 TFP-100B の外形寸法図



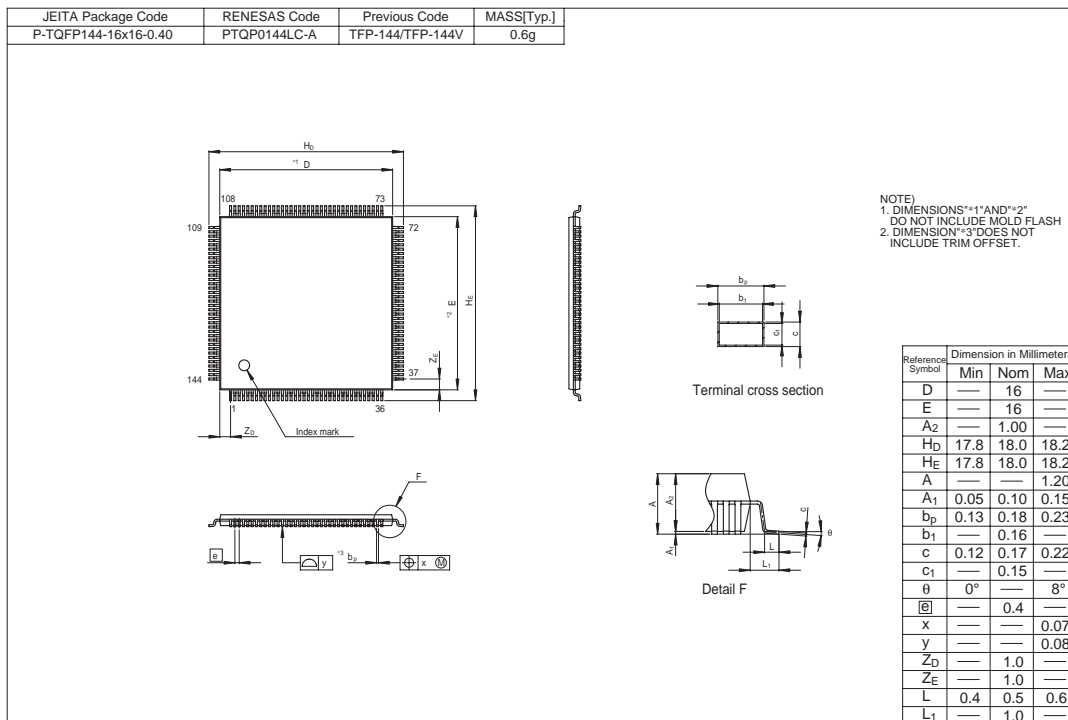






図 C.3 TFP-144 の外形寸法図



## 本版で改訂された箇所

修正項目	ページ	修正箇所																									
全体		社名変更による変更 (修正前) 日立製作所 → (修正後) ルネサス テクノロジ 呼称変更による変更 (修正前) H8S/2140B シリーズ → (修正後) H8S/2140B グループ																									
	-	マスク ROM 版 (HD6432161BV、HD6432161BVW、HD6432160BV、HD6432160BVW) を削除																									
1.1 特長	1-2	<ul style="list-style-type: none"> <li>内蔵メモリ HD64F2145B から「計画中」を削除 マスク ROM 版を削除</li> </ul> <hr/> <ul style="list-style-type: none"> <li>内蔵メモリ TQFP-144 (修正前) 18.0×18.0 mm → (修正後) 16.0×16.0 mm QFP-100B、TQFP-100B (修正前) 16.0×16.0 mm → (修正後) 14.0×14.0 mm</li> </ul>																									
2.4.3 エクステンドレジスタ (EXR)	2-11	表を修正 ビット 6~3 の R/W (修正前)  → (修正後) R																									
2.4.5 CPU 内部レジスタの初期値	2-12	説明を修正 …例外処理によってベクタテーブルからスタートアドレスを…																									
6.3.1 バスコントロールレジスタ (BCR)	6-3	説明を修正 BCR は外部アドレス空間のアクセスモード、AS/IOS 端子を…																									
8.7.4 端子機能	8-20	<ul style="list-style-type: none"> <li>P61/FTOA/CIN1/KIN1/VSYNCO</li> </ul> OEA を修正 <table border="1" data-bbox="587 1265 1207 1371"> <tr> <td>VOE</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>OEA</td> <td>0</td> <td colspan="2">1</td> <td></td> </tr> <tr> <td>P61DDR</td> <td>0</td> <td>1</td> <td></td> <td></td> </tr> <tr> <td>端子機能</td> <td>P61 入力端子</td> <td>P61 出力端子</td> <td>FTOA 入力端子</td> <td>VSYNCO 出力端子</td> </tr> <tr> <td colspan="5" style="text-align: center;">KIN1 入力端子、CIN1 入力端子*</td> </tr> </table>	VOE	0			1	OEA	0	1			P61DDR	0	1			端子機能	P61 入力端子	P61 出力端子	FTOA 入力端子	VSYNCO 出力端子	KIN1 入力端子、CIN1 入力端子*				
VOE	0			1																							
OEA	0	1																									
P61DDR	0	1																									
端子機能	P61 入力端子	P61 出力端子	FTOA 入力端子	VSYNCO 出力端子																							
KIN1 入力端子、CIN1 入力端子*																											
9.1 特長 図 9.1 PWM タイマのブロック図	9-2	図 9.1 を修正 (修正前) クロックカウンタ → (修正後) タイマカウンタ																									
16.6 使用上の注意事項	16-61、 16-63	10. ウェイト動作に関する注意事項 14. マスタモードでのアービトラレーションロスト発生時の注意事項 説明を追加																									
24.5 サブクロック入力回路	24-6、 24-7	(2) サブクロックを必要としない場合 (3) サブクロック使用上の注意 説明を追加																									

修正項目	ページ	修正箇所																																										
27.1.6 フラッシュメモリ特性 表 27.15 フラッシュメモリ特性	27-15	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min.</th> <th>typ.</th> <th>max.</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>書き込み時間<sup>a) b) c)</sup></td> <td><math>t_w</math></td> <td></td> <td>10</td> <td>200</td> <td>ms/128バイト</td> <td></td> </tr> <tr> <td>消去時間<sup>a) b) c)</sup></td> <td><math>t_e</math></td> <td></td> <td>100</td> <td>1200</td> <td>ms/ブロック</td> <td></td> </tr> <tr> <td>書き換え回数</td> <td><math>N_{acc}</math></td> <td>100<sup>a)</sup></td> <td>10000<sup>b)</sup></td> <td></td> <td>回</td> <td></td> </tr> <tr> <td>データ保持時間<sup>a)</sup></td> <td><math>t_{dpp}</math></td> <td>10</td> <td></td> <td></td> <td>年</td> <td></td> </tr> <tr> <td>書き込み時 SWE-bit セット後のウェイト時間<sup>a)</sup></td> <td>x</td> <td>1</td> <td></td> <td></td> <td>s</td> <td></td> </tr> </tbody> </table>	項目	記号	min.	typ.	max.	単位	測定条件	書き込み時間 <sup>a) b) c)</sup>	$t_w$		10	200	ms/128バイト		消去時間 <sup>a) b) c)</sup>	$t_e$		100	1200	ms/ブロック		書き換え回数	$N_{acc}$	100 <sup>a)</sup>	10000 <sup>b)</sup>		回		データ保持時間 <sup>a)</sup>	$t_{dpp}$	10			年		書き込み時 SWE-bit セット後のウェイト時間 <sup>a)</sup>	x	1			s	
項目	記号	min.	typ.	max.	単位	測定条件																																						
書き込み時間 <sup>a) b) c)</sup>	$t_w$		10	200	ms/128バイト																																							
消去時間 <sup>a) b) c)</sup>	$t_e$		100	1200	ms/ブロック																																							
書き換え回数	$N_{acc}$	100 <sup>a)</sup>	10000 <sup>b)</sup>		回																																							
データ保持時間 <sup>a)</sup>	$t_{dpp}$	10			年																																							
書き込み時 SWE-bit セット後のウェイト時間 <sup>a)</sup>	x	1			s																																							
	27-16	<p>注*8 ~ *10 を追加</p> <p>【注】*8 書き換え後のすべての特性を保証する min 回数です（保証は 1 ~ min 値の範囲です）。</p> <p>*9 25°C のときの参考値(通常この値まで書き換えは機能するという目安です)</p> <p>*10 書き換えが min 値を含む使用範囲内で行われたときのデータ保持特性です。</p>																																										
27.2.7 使用上の注意	27-42	注意事項 1. を削除																																										
付録 C. 外形寸法図 図 C.1 FP-100B の外形寸法図	付録-5	図 C.1 を差し替え																																										
図 C.2 TFP-100B の外形寸法図	付録-6	図 C.2 を差し替え																																										
図 C.3 TFP-144 の外形寸法図	付録-7	図 C.3 を差し替え																																										

---

# 索引

---

14 ビット PWM タイマ .....	10-1	EBR1 .....	23-12, 26-5, 26-12, 26-20, 26-28
16 ビットカウントモード .....	12-17	EBR2 .....	23-12, 26-5, 26-12, 26-20, 26-28
16 ビットフリーランニングタイマ .....	11-1	EEPMOV 命令 .....	2-35
2fH モディファイ .....	13-14	ERI .....	15-43
8 ビット PWM タイマ .....	9-1	ERRI .....	19-39
8 ビットタイマ .....	12-1	FLMCR1 .....	23-10, 26-5, 26-12, 26-20, 26-28
A/D 変換器 .....	21-1	FLMCR2 .....	23-11, 26-5, 26-12, 26-20, 26-28
ABRKCR .....	5-4, 26-5, 26-12, 26-20, 26-28	FOV .....	11-19
ADCR .....	21-5, 26-8, 26-16, 26-24, 26-32	FRC .....	11-4, 26-5, 26-13, 26-21, 26-29
ADCSR .....	21-4, 26-8, 26-16, 26-24, 26-32	GATE A20 .....	18-10, 19-31
ADDR .....	21-4, 26-8, 26-16, 26-24, 26-32	HICR .....	18-5, 26-8, 26-16, 26-24, 26-32
ADI .....	21-10	HICR0 .....	19-5, 26-3, 26-11, 26-19, 26-27
BAR .....	5-4, 26-5, 26-12, 26-20, 26-28	HICR1 .....	19-5, 26-3, 26-11, 26-19, 26-27
Bcc .....	2-24	HICR2 .....	19-10, 26-3, 26-11, 26-19, 26-27
BCR .....	6-3, 26-7, 26-15, 26-23, 26-31	HICR3 .....	19-10, 26-3, 26-11, 26-19, 26-27
BRR .....	15-10, 26-8, 26-15, 26-23, 26-32	HIRQ .....	18-14
CBLANK 出力 .....	13-20	HISEL .....	19-28, 26-3, 26-11, 26-19, 26-27
CMI .....	12-20	HSYNCO 出力 .....	13-18
CMIA .....	12-20	°C バスインタフェース (IIC) .....	16-1
CMIA Y .....	12-20	°C バスデータフォーマット .....	16-24
CMIB .....	12-20	IBF .....	18-13
CMIB Y .....	12-20	ICCR .....	16-9, 26-8, 26-15, 26-23, 26-32
CRA .....	7-4	ICDR .....	16-5, 26-8, 26-16, 26-24, 26-32
CRB .....	7-4	ICI .....	11-19
D/A 変換器 .....	20-1	ICIX .....	12-20
DACNT .....	10-3, 26-6, 26-14, 26-22, 26-30	ICMR .....	16-8, 26-8, 26-16, 26-24, 26-32
DACR .....	10-6, 20-2, 26-6, 26-9, 26-14, 26-17, 26-22, 26-25, 26-30, 26-33	ICR .....	5-3, 11-4, 26-4, 26-6, 26-12, 26-13, 26-20, 26-21, 26-28, 26-29
DADR0 .....	26-9, 26-17, 26-25, 26-33	ICSR .....	16-16, 26-8, 26-15, 26-23, 26-32
DADR1 .....	20-2, 26-9, 26-17, 26-25, 26-33	ICXR .....	16-21, 26-4, 26-11, 26-19, 26-28
DAR .....	7-4	IDR .....	18-7, 26-2, 26-10, 26-18, 26-27
DDCSWI .....	16-56	IER .....	5-5, 26-7, 26-15, 26-23, 26-31
DDCSWR .....	16-19, 26-4, 26-12, 26-20, 26-28	IHI 信号分周波形 .....	13-13
DT CER .....	7-5, 26-4, 26-12, 26-20, 26-28	IICI .....	16-56
DTC ベクタテーブル .....	7-7	IrDA 動作 .....	15-40
DTVECR .....	7-5, 26-5, 26-12, 26-20, 26-28	ISCR .....	5-5, 26-4, 26-12, 26-20, 26-28
EA 拡張部 .....	2-26	ISR .....	5-6, 26-4, 26-12, 26-20, 26-28

---

KBBR	17-6, 26-4, 26-11, 26-19, 26-28	PBDDR	8-33, 26-7, 26-15, 26-23, 26-31
KBCOMP	21-6, 26-4, 26-12, 26-20, 26-28	PBODR	8-34, 26-7, 26-14, 26-22, 26-31
KBCR	17-3, 26-4, 26-11, 26-19, 26-28	PBPIN	8-34, 26-7, 26-14, 26-23, 26-31
KMIMR	5-6, 26-8, 26-16, 26-24, 26-32	PCDDR	8-39, 26-3, 26-11, 26-19, 26-27
KMIMRA	5-6, 26-9, 26-16, 26-24, 26-33	PCNOCR	8-41, 26-2, 26-10, 26-18, 26-26
KMPCR	8-18, 26-9, 26-16, 26-24, 26-33	PCODR	8-40, 26-3, 26-11, 26-19, 26-27
LADR3	19-13, 26-2, 26-10, 26-18, 26-26	PCPIN	8-40, 26-3, 26-11, 26-19, 26-27
LPWRCR	25-4, 26-5, 26-12, 26-20, 26-28	PCSR	9-7, 26-5, 26-12, 26-20, 26-28
MDCR	3-2, 26-7, 26-15, 26-23, 26-31	PDDDR	8-39, 26-3, 26-11, 26-19, 26-27
MRA	7-3	PDNOCR	8-41, 26-2, 26-10, 26-18, 26-26
MRB	7-4	PDODR	8-40, 26-3, 26-11, 26-19, 26-27
MSTPCR	25-5, 26-5, 26-12, 26-20, 26-28	PDPIN	8-40, 26-3, 26-11, 26-19, 26-27
NMI 割り込み	5-8, 14-9	PEDDR	8-43, 26-3, 26-11, 26-19, 26-27
OCI	11-19	PENOCR	8-45, 26-2, 26-10, 26-18, 26-26
OCR	11-4, 26-6, 26-13, 26-21, 26-29	PEODR	8-43, 26-3, 26-11, 26-19, 26-27
OCRDM	11-5	PEPIN	8-44, 26-3, 26-11, 26-19, 26-27
ODR	18-7, 19-14, 26-2, 26-18, 26-27	PFDDR	8-43, 26-3, 26-11, 26-19, 26-27
ODR1	26-10	PFNOCR	8-45, 26-2, 26-10, 26-18, 26-26
OVI	12-20	PFODR	8-43, 26-3, 26-11, 26-19, 26-27
OVIY	12-20	PFPIN	8-44, 26-3, 26-11, 26-19, 26-27
P1DDR	8-5, 26-6, 26-14, 26-22, 26-30	PGDDR	8-46, 26-3, 26-11, 26-19, 26-27
P1DR	8-5, 26-7, 26-14, 26-22, 26-31	PGNOCR	8-48, 26-2, 26-10, 26-18, 26-26
P1PCR	8-6, 26-6, 26-14, 26-22, 26-30	PGODR	8-47, 26-3, 26-11, 26-19, 26-27
P2DDR	8-7, 26-7, 26-14, 26-22, 26-31	PGPIN	8-47, 26-3, 26-11, 26-19, 26-27
P2DR	8-7, 26-7, 26-14, 26-22, 26-31	PWDPR	9-6, 26-8, 26-15, 26-23, 26-31
P2PCR	8-8, 26-6, 26-14, 26-22, 26-30	PWDR	9-5, 26-8, 26-15, 26-23, 26-32
P3DDR	8-10, 26-7, 26-14, 26-22, 26-31	PWM デコード	13-10
P3DR	8-10, 26-7, 26-14, 26-22, 26-31	PWOER	9-6, 26-8, 26-15, 26-23, 26-31
P3PCR	8-11, 26-6, 26-14, 26-22, 26-30	PWSL	9-4, 26-8, 26-15, 26-23, 26-32
P4DDR	8-12, 26-7, 26-14, 26-22, 26-31	RDR	15-4, 26-8, 26-15, 26-24, 26-32
P4DR	8-13, 26-7, 26-14, 26-22, 26-31	RSR	15-4
P5DDR	8-15, 26-7, 26-14, 26-22, 26-31	RXI	15-43
P5DR	8-16, 26-7, 26-14, 26-22, 26-31	SAR	7-4, 16-6, 26-8, 26-16, 26-24, 26-32
P6DDR	8-17, 26-7, 26-14, 26-22, 26-31	SARX	16-6, 26-8, 26-16, 26-24, 26-32
P6DR	8-17, 26-7, 26-14, 26-22, 26-31	SBYCR	25-2, 26-5, 26-12, 26-20, 26-28
P7PIN	8-21, 26-7, 26-15, 26-23, 26-31	SCMR	15-9, 26-8, 26-16, 26-24, 26-32
P8DDR	8-22, 26-7, 26-15, 26-23, 26-31	SCR	15-6, 26-8, 26-15, 26-23, 26-32
P8DR	8-23, 26-7, 26-15, 26-23, 26-31	SEDGR	13-9, 26-9, 26-17, 26-25, 26-33
P9DDR	8-26, 26-7, 26-15, 26-23, 26-31	SIRQCR	19-21, 26-2, 26-10, 26-18, 26-26
P9DR	8-26, 26-7, 26-15, 26-23, 26-31	SMI	19-40
PADDR	8-29, 26-6, 26-14, 26-22, 26-30	SMR	15-5, 26-8, 26-15, 26-23, 26-32
PAODR	8-29, 26-6, 26-14, 26-22, 26-30	SSR	15-7, 26-8, 26-15, 26-23, 26-32
PAPIN	8-30, 26-6, 26-14, 26-22, 26-30	STCR	3-4, 26-7, 26-15, 26-23, 26-31

STR.....	18-7, 26-2, 26-10, 26-18, 26-27	ウォッチドッグタイマモード .....	14-7
SWDTEND.....	7-14	ウォッチモード .....	25-11
SYSCR .....	3-2, 26-7, 26-15, 26-23, 26-31	エクステンドレジスタ .....	2-11
SYSCR2 .....	18-4, 26-5, 26-12, 26-20, 26-28	エラープロテクト.....	23-25
TCNT .....	12-5, 14-3, 26-6, 26-7, 26-14, .....	オーバランエラー.....	15-24
	26-15, 26-22, 26-23, 26-30, 26-31	オペレーションフィールド.....	2-26
TCNT のカウントタイミング.....	12-14	オンボードプログラミング.....	23-15
TCONRI.....	13-4, 26-9, 26-17, 26-25, 26-33	カウントタイミング.....	11-12
TCONRO .....	13-6, 26-9, 26-17, 26-25, 26-33	カスケード接続時.....	12-17
TCONRS.....	13-7, 26-9, 26-17, 26-25, 26-33	キーボードバッファコントローラ .....	17-1
TCOR.....	12-5, 26-7, 26-15, 26-23, 26-31	クランプ波形の生成.....	13-11
TCORC.....	12-12, 26-9, 26-16, 26-24, 26-33	クリアタイミング.....	11-13
TCR.....	11-9, 12-6, 26-5, 26-7, 26-13, .....	クロック同期式モード .....	15-32
	26-15, 26-21, 26-23, 26-29, 26-31	クロック発振器 .....	24-1
TCSR .....	11-7, 12-8, 14-4, 26-5, 26-6, 26-7, 26-13, 26-14, .....	コンディションコードレジスタ.....	2-11
	26-15, 26-21, 26-22, 26-23, 26-29, 26-30, 26-31	コンディションフィールド.....	2-26
TDR.....	15-4, 26-8, 26-15, 26-23, 26-32	コンペアマッチカウントモード.....	12-17
TEI .....	15-43	サブアクティブモード .....	25-12
TICR.....	12-12	サブスリープモード.....	25-12
TICRF .....	12-12, 26-9, 26-16, 26-24, 26-33	システム制御命令.....	2-25
TICRR.....	12-12, 26-9, 26-16, 26-24, 26-33	シフト命令.....	2-21
TIER.....	11-5, 26-5, 26-13, 26-21, 26-29	シャットダウン機能.....	18-12
TISR.....	12-12, 26-9, 26-16, 26-24, 26-33	シリアルコミュニケーションインタフェース.....	15-1
TOCR.....	11-10, 26-5, 26-13, 26-21, 26-29	シリアルフォーマット .....	16-25
TSR.....	15-4	シングルモード .....	21-7
TWR.....	19-15, 26-2, 26-10, 26-18, 26-26	スタックの状態 .....	4-5
TXI .....	15-43	スタックポインタ.....	2-10
VSYNCO 出力 .....	13-19	スリープモード .....	25-9
WOVI .....	14-9	ソフトウェアスタンバイモード.....	25-9
WSCR.....	6-4, 26-7, 26-15, 26-23, 26-31	ソフトウェアによる起動.....	7-14, 7-16
WUEMRB .....	5-6, 26-3, 26-11, 26-19, 26-27	ソフトウェアプロテクト.....	23-25
アイドルサイクル.....	6-21	ソフトウェア起動.....	7-17
アウトプットコンペア出力.....	11-13	タイマコネクション.....	13-1
アドレスマップ.....	3-7	チェイン転送.....	7-13
アドレス空間.....	2-8	ディスプレイメント付きレジスタ間接.....	2-27
アドレッシングモード.....	2-27	データトランスファコントローラ.....	7-1
アナログ入力チャネル.....	21-4	データ転送命令 .....	2-18
イミディエイト.....	2-29	トグル出力.....	12-23
イレース / イレースベリファイ.....	23-23	トラップ命令例外処理.....	4-4
インターバルタイマモード .....	14-8	ノイズ除去回路 .....	16-54
インプットキャプチャ入力.....	11-14	ノーマルモード .....	7-10, 7-17
ウェイト制御.....	6-17	パーストROM インタフェース .....	6-19
ウォッチドッグタイマ.....	14-1	ハードウェアスタンバイモード.....	25-10

ハードウェアプロテクト .....	23-25	リピートモード .....	7-11
バスアービトラージョン .....	6-22	レジスタフィールド .....	2-26
バッファ動作 .....	11-15	レジスタ間接 .....	2-27
パリティエラー .....	15-24	レジスタ情報 .....	7-7
パルス出力 .....	11-11	レジスタ直接 .....	2-27
ビットレート .....	15-10	外部トリガ .....	21-9
ビット操作命令 .....	2-22, 2-34	割り込みコントローラ .....	5-1
ブートモード .....	23-16	割り込みマスクビット .....	2-11
フォーマットレス .....	16-25	割り込み制御モード .....	5-13
フラッシュメモリ .....	23-1	割り込み例外処理 .....	4-4
プリデクリメントレジスタ間接 .....	2-28	割り込み例外処理ベクタテーブル .....	5-10
ブレーク .....	15-44	算術演算命令 .....	2-19
フレーミングエラー .....	15-24	実効アドレス .....	2-27, 2-30
プログラム / プログラムベリファイ .....	23-21	書き込み / 消去プロテクト .....	23-25
プログラムカウンタ .....	2-11	消去ブロック .....	23-6
プログラムカウンタ相対 .....	2-29	水晶発振子 .....	24-2
ブロック構成 .....	23-6	絶対アドレス .....	2-28
ブロック転送モード .....	7-12	中速モード .....	25-8
ブロック転送命令 .....	2-25	調歩同期式モード .....	15-17
ポストインクリメントレジスタ間接 .....	2-28	直接遷移 .....	25-13
ホストインタフェース .....	8-17, 19-1	低消費電力状態 .....	25-1
ホストインタフェース X-BUS インタフェース .....	18-1	動作モードの選択 .....	3-1
マーク状態 .....	15-44	汎用レジスタ .....	2-9
マルチプロセッサ通信機能 .....	15-27	分岐命令 .....	2-24
メモリ間接 .....	2-29	変換時間 .....	21-8
モジュールストップモード .....	25-13	命令セット .....	2-16
ユーザプログラムモード .....	23-20	例外処理 .....	4-1
ライトモード .....	23-26	例外処理ベクタテーブル .....	4-1
リセット .....	4-2	論理演算命令 .....	2-21
リセット例外処理 .....	4-2		



---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8S/2140Bグループ

発行年月 2002年3月 第1版  
2006年3月13日 Rev.3.00  
発行 株式会社ルネサス テクノロジ 営業企画統括部  
〒100-0004 東京都千代田区大手町 2-6-2  
編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

営業お問合せ窓口  
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)

# H8S/2140B グループ ハードウェアマニュアル



ルネサス エレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0333-0300