

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8S/2113 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 16 ビットシングルチップマイクロコンピュータ
H8S ファミリ／H8S/2100 シリーズ

H8S/2113 R4F2113

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
 2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
 3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
 6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
 10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

H8S/2113 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	-	-
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明 ※周辺機能の使用方法はアプリケーションノートを参照してください。	H8S/2113 グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	H8S/2600 シリーズ、 H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143
アプリケーションノート	周辺機能の使用法、応用例 参考プログラム アセンブリ言語、C 言語によるプログラムの作成方法	ルネサス エレクトロニクスホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名. レジスタ名. ビット名」または「レジスタ名. ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0 : コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

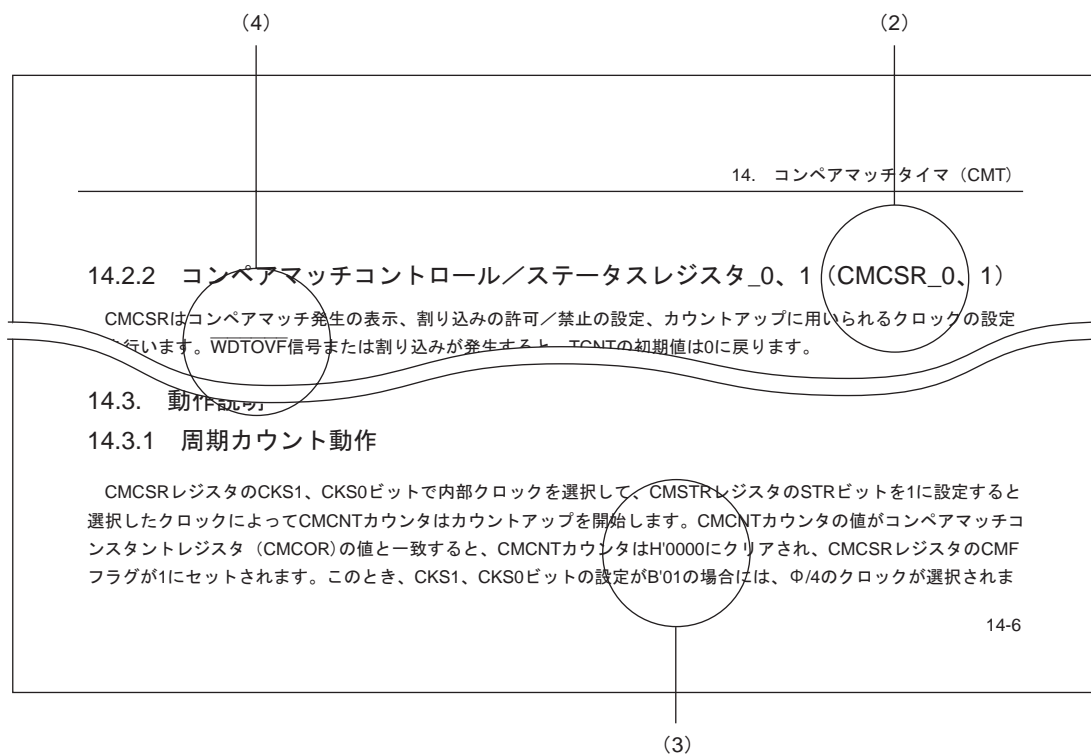
2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、10進数はnnnnで表します。

(例) 2進数 : B'11または11
16進数 : H'EFA0または0xEFA0
10進数 : 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF



【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。

(1) ビット	(2) ビット名	(3) 初期値	(4) R/W	(5) 説明
15 14	—	0 0	R R	リザーブビット 読み出すと常に0が読み出されます。
13~11	ASID2~0	すべて0	R/W	アドレス識別子 端子機能の有効/無効を設定できます。
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
9	—	1	R	リザーブビット 読み出すと常に1が読み出されます。
—	—	0	—	—

【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「—」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

— : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。

ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。

リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、

ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 本製品固有の略語または略称

略称	英語名	日本語名
BSC	Bus Controller	バスコントローラ
CPG	Clock Pulse Generator	クロック発振器
INT	Interrupt Controller	割り込みコントローラ
SCI	Serial Communication Interface	シリアルコミュニケーションインタフェース
TMR	8-Bit Timer	8ビットタイマ
TPU	16-Bit Timer Pulse Unit	16ビットタイマパルスユニット
WDT	Watchdog Timer	ウォッチドッグタイマ

- その他の略語または略称

略語／略称	英語名	日本語名
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
IEBus	Inter Equipment bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 特長.....	1-1
1.1.1 用途.....	1-1
1.1.2 仕様概要.....	1-2
1.2 製品一覧.....	1-6
1.3 ブロック図.....	1-7
1.4 端子説明.....	1-8
1.4.1 ピン配置図.....	1-8
1.4.2 動作モード別端子機能一覧.....	1-11
1.4.3 端子機能.....	1-17
2. CPU.....	2-1
2.1 特長.....	2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点.....	2-2
2.2 CPU動作モード.....	2-3
2.3 アドレス空間.....	2-5
2.4 レジスタの構成.....	2-6
2.4.1 汎用レジスタ.....	2-7
2.4.2 プログラムカウンタ (PC).....	2-8
2.4.3 エクステンドレジスタ (EXR).....	2-8
2.4.4 コンディションコードレジスタ (CCR).....	2-8
2.4.5 CPU 内部レジスタの初期値.....	2-9
2.5 データ形式.....	2-10
2.5.1 汎用レジスタのデータ形式.....	2-10
2.5.2 メモリ上でのデータ形式.....	2-12
2.6 命令セット.....	2-13
2.6.1 命令の機能別一覧.....	2-14
2.6.2 命令の基本フォーマット.....	2-23
2.7 アドレッシングモードと実効アドレスの計算方法.....	2-24
2.7.1 レジスタ直接 Rn.....	2-24
2.7.2 レジスタ間接 @ERn.....	2-24
2.7.3 ディスプレイメント付きレジスタ間接 @ (d:16,ERn) /@ (d:32,ERn).....	2-24
2.7.4 ポストインクリメントレジスタ間接 @ERn+ /プリデクリメントレジスタ間接 @-ERn.....	2-25
2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32.....	2-25

2.7.6	イミディエイト #xx:8/#xx:16/#xx:32	2-26
2.7.7	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)	2-26
2.7.8	メモリ間接 @@aa:8	2-26
2.7.9	実効アドレスの計算方法	2-27
2.8	処理状態	2-29
2.9	使用上の注意事項	2-31
2.9.1	TAS 命令	2-31
2.9.2	STM/LDM 命令	2-31
2.9.3	ビット操作命令	2-31
2.9.4	EEPMOV 命令	2-32
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-1
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-2
3.2.3	シリアルタイマコントロールレジスタ (STCR)	3-3
3.3	各動作モードの説明	3-4
3.3.1	モード 2	3-4
3.4	アドレスマップ	3-4
4.	リセット	4-1
4.1	リセットの種類	4-1
4.2	入出力端子	4-3
4.3	レジスタの説明	4-4
4.3.1	リセット発生要因フラグレジスタ (RSTFR)	4-4
4.3.2	システムコントロールレジスタ (SYSCR)	4-5
4.4	端子リセット	4-6
4.5	パワーオンリセット/低電圧検知リセット0	4-6
4.6	低電圧検知リセット1	4-7
4.7	ウォッチドッグタイマリセット	4-7
4.8	リセット発生要因の判定	4-8
5.	低電圧検知回路 (LVD)	5-1
5.1	特長	5-1
5.2	レジスタの説明	5-3
5.2.1	低電圧検知回路コントロールプロテクトレジスタ (VDCPR)	5-4
5.2.2	低電圧検知回路 1 コントロールレジスタ H (LD1CRH)	5-5

5.2.3	低電圧検知回路 1 コントロールレジスタ L (LD1CRL)	5-7
5.2.4	低電圧検知回路 0 コントロールレジスタ H (LD0CRH)	5-8
5.2.5	低電圧検知回路 0 コントロールレジスタ L (LD0CRL)	5-9
5.3	動作説明	5-10
5.3.1	パワーオンリセット	5-10
5.3.2	低電圧検知機能	5-11
6.	例外処理	6-1
6.1	例外処理の種類と優先度	6-1
6.2	例外処理要因とベクタテーブル	6-2
6.3	リセット	6-4
6.3.1	リセット例外処理	6-4
6.3.2	リセット直後の割り込み	6-6
6.3.3	リセット解除後の内蔵周辺機能	6-6
6.4	割り込み例外処理	6-6
6.5	トラップ命令例外処理	6-7
6.6	例外処理後のスタックの状態	6-8
6.7	使用上の注意事項	6-9
7.	割り込みコントローラ	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-4
7.3.1	インタラプトコントロールレジスタ A~D (ICRA~ICRD)	7-5
7.3.2	アドレスブレイクコントロールレジスタ (ABRKCR)	7-6
7.3.3	ブレイクアドレスレジスタ A~C (BARA~BARC)	7-6
7.3.4	IRQ センスコントロールレジスタ (ISCR16H、ISCR16L、ISCRH、ISCRL)	7-7
7.3.5	IRQ イネーブルレジスタ (IER16、IER)	7-9
7.3.6	IRQ ステータスレジスタ (ISR16、ISR)	7-10
7.3.7	IRQ センスポートセレクトレジスタ 16 (ISSR16) IRQ センスポートセレクトレジスタ (ISSR)	7-11
7.3.8	キーボードマトリクス割り込みマスクレジスタ (KMIMRA、KMIMRB) ウェイクアップイベント割り込みマスクレジスタ (WUEMRA、WUEMRB)	7-12
7.3.9	ウェイクアップセンスコントロールレジスタ (WUESCRA、WUESCRB) ウェイクアップ入力割り込みステータスレジスタ (WUESRA、WUESRB) ウェイクアップイネーブルレジスタ (WUEER)	7-14
7.4	割り込み要因	7-16
7.4.1	外部割り込み要因	7-16
7.4.2	内部割り込み要因	7-18

7.5	割り込み例外処理ベクタテーブル.....	7-19
7.6	割り込み制御モードと割り込み動作.....	7-24
7.6.1	割り込み制御モード 0	7-26
7.6.2	割り込み制御モード 1	7-28
7.6.3	割り込み例外処理シーケンス.....	7-30
7.6.4	割り込み応答時間	7-32
7.7	アドレスブレイク	7-33
7.7.1	特長.....	7-33
7.7.2	ブロック図.....	7-33
7.7.3	動作説明	7-34
7.7.4	使用上の注意事項	7-34
7.8	使用上の注意事項	7-36
7.8.1	割り込みの発生とディスエーブルとの競合.....	7-36
7.8.2	割り込みを禁止している命令.....	7-37
7.8.3	EEPMOV 命令実行中の割り込み.....	7-37
7.8.4	ソフトウェアスタンバイモード、ウォッチモード時の外部割り込み端子について.....	7-37
7.8.5	ノイズキャンセラの切り替え.....	7-37
7.8.6	IRQ ステータスレジスタ (ISR) について.....	7-37
8.	バスコントローラ (BSC)	8-1
8.1	レジスタの説明	8-1
8.1.1	バスコントロールレジスタ (BCR)	8-1
8.1.2	ウェイトステートコントロールレジスタ (WSCR)	8-2
9.	I/O ポート	9-1
9.1	レジスタの説明	9-6
9.1.1	データディレクションレジスタ (PnDDR) (n=1~6、8、9、A~J)	9-7
9.1.2	データレジスタ (PnODR) (n=1~6、8、9、A~J)	9-7
9.1.3	入力データレジスタ (PnPIN) (n=1~9、A~J)	9-8
9.1.4	プルアップ MOS コントロールレジスタ (PnPCR) (n=1~6、8、9、B~F、H)	9-8
9.1.5	ノイズキャンセライネーブルレジスタ (PnNCE) (n=4、6、C、G)	9-9
9.1.6	ノイズキャンセラ判定制御レジスタ (PnNCMC) (n=4、6、C、G)	9-9
9.1.7	ノイズキャンセル周期設定レジスタ (PnNCCS) (n=4、6、C、G)	9-10
9.1.8	ポート Nch-OD コントロールレジスタ (PnNOCR) (n=A、C~J)	9-11
9.2	端子機能.....	9-12
9.2.1	ポート 1.....	9-12
9.2.2	ポート 2.....	9-12
9.2.3	ポート 3.....	9-12

9.2.4	ポート 4	9-13
9.2.5	ポート 5	9-16
9.2.6	ポート 6	9-17
9.2.7	ポート 7	9-17
9.2.8	ポート 8	9-18
9.2.9	ポート 9	9-20
9.2.10	ポート A	9-21
9.2.11	ポート B	9-22
9.2.12	ポート C	9-25
9.2.13	ポート D	9-29
9.2.14	ポート E	9-31
9.2.15	ポート F	9-32
9.2.16	ポート G	9-35
9.2.17	ポート H	9-39
9.2.18	ポート I	9-39
9.2.19	ポート J	9-39
9.3	周辺機能端子の移動	9-40
9.3.1	ポートコントロールレジスタ 0 (PTCNT0)	9-40
9.3.2	ポートコントロールレジスタ 1 (PTCNT1)	9-41
9.3.3	ポートコントロールレジスタ 2 (PTCNT2)	9-41
10. 8ビット PWM タイマ (PWMU)		10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	レジスタの説明	10-4
10.3.1	PWM クロックコントロールレジスタ (PWMCKCR)	10-5
10.3.2	PWM 出力コントロールレジスタ (PWMOUTCR)	10-5
10.3.3	PWM モードコントロールレジスタ (PWMMDCR)	10-7
10.3.4	PWM 位相コントロールレジスタ (PWMPCCR)	10-8
10.3.5	PWM プリスケアララッチレジスタ (PRELAT)	10-9
10.3.6	PWM デューティ設定ラッチレジスタ (REGLAT)	10-9
10.3.7	PWM プリスケアラレジスタ 0~5 (PWMPRE0~PWMPRE5)	10-10
10.3.8	PWM デューティ設定レジスタ 0~5 (PWMREG0~PWMREG5)	10-12
10.4	動作説明	10-14
10.4.1	単パルスモード (8 ビット、12 ビット、16 ビット)	10-14
10.4.2	パルス分割モード	10-17
10.5	使用上の注意事項	10-20
10.5.1	モジュールストップモードの設定	10-20

10.5.2	16/12 ビット単パルス PWM タイマ使用上の注意点	10-20
11.	16 ビットタイマパルスユニット (TPU)	11-1
11.1	特長	11-1
11.2	入出力端子	11-5
11.3	レジスタの説明	11-6
11.3.1	タイマコントロールレジスタ (TCR)	11-7
11.3.2	タイマモードレジスタ (TMDR)	11-9
11.3.3	タイマ I/O コントロールレジスタ (TIOR)	11-10
11.3.4	タイマインタラプトイネーブルレジスタ (TIER)	11-19
11.3.5	タイマステータスレジスタ (TSR)	11-20
11.3.6	タイマカウンタ (TCNT)	11-22
11.3.7	タイマジェネラルレジスタ (TGR)	11-22
11.3.8	タイマスタートレジスタ (TSTR)	11-23
11.3.9	タイマシンクロレジスタ (TSYR)	11-23
11.4	バスマスタとのインタフェース	11-24
11.4.1	16 ビットレジスタ	11-24
11.4.2	8 ビットレジスタ	11-24
11.5	動作説明	11-26
11.5.1	基本動作	11-26
11.5.2	同期動作	11-31
11.5.3	バッファ動作	11-32
11.5.4	PWM モード	11-36
11.5.5	位相計数モード	11-40
11.6	割り込み要因	11-45
11.6.1	割り込み要因と優先順位	11-45
11.6.2	A/D 変換器の起動	11-46
11.7	動作タイミング	11-47
11.7.1	入出力タイミング	11-47
11.7.2	割り込み信号タイミング	11-51
11.8	使用上の注意事項	11-54
11.8.1	入力クロックの制限事項	11-54
11.8.2	周期設定上の注意事項	11-54
11.8.3	TCNT のライトとクリアの競合	11-55
11.8.4	TCNT のライトとカウントアップの競合	11-55
11.8.5	TGR のライトとコンペアマッチの競合	11-56
11.8.6	バッファレジスタのライトとコンペアマッチの競合	11-56
11.8.7	TGR のリードとインプットキャプチャの競合	11-57

11.8.8	TGR のライトとインプットキャプチャの競合	11-57
11.8.9	バッファレジスタのライトとインプットキャプチャの競合	11-58
11.8.10	オーバフロー／アンダフローとカウンタクリアの競合	11-58
11.8.11	TCNT のライトとオーバフロー／アンダフローの競合	11-59
11.8.12	入出力端子の兼用	11-59
11.8.13	モジュールストップモード時の設定	11-59
12. 8 ビットタイマ (TMR)	12-1
12.1	特長	12-1
12.2	入出力端子	12-4
12.3	レジスタの説明	12-5
12.3.1	タイマカウンタ (TCNT)	12-6
12.3.2	タイムコンスタントレジスタ A (TCORA)	12-6
12.3.3	タイムコンスタントレジスタ B (TCORB)	12-6
12.3.4	タイマコントロールレジスタ (TCR)	12-7
12.3.5	タイマクロックセレクトレジスタ (TCKR_0、TCKR_1)	12-8
12.3.6	タイマコントロール／ステータスレジスタ (TCSR)	12-11
12.3.7	インプットキャプチャレジスタ R、F (TICRR、TICRF)	12-15
12.3.8	タイマコネクションレジスタ I (TCONRI)	12-15
12.3.9	タイマ XY コントロールレジスタ (TCRXY)	12-15
12.4	動作説明	12-16
12.4.1	パルス出力	12-16
12.5	動作タイミング	12-17
12.5.1	TCNT のカウントタイミング	12-17
12.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	12-18
12.5.3	コンペアマッチ時のタイマ出力タイミング	12-18
12.5.4	コンペアマッチによるカウンタクリアタイミング	12-19
12.5.5	TCNT の外部リセットタイミング	12-19
12.5.6	オーバフローフラグ (OVF) のセットタイミング	12-20
12.6	TMR_0、TMR_1 のカスケード接続	12-20
12.6.1	16 ビットカウントモード	12-20
12.6.2	コンペアマッチカウントモード	12-21
12.7	TMR_Y、TMR_X のカスケード接続	12-21
12.7.1	16 ビットカウントモード	12-21
12.7.2	コンペアマッチカウントモード	12-21
12.7.3	インプットキャプチャ動作	12-22
12.8	割り込み要因	12-23
12.9	使用上の注意事項	12-24

12.9.1	TCNT のライトとカウンタクリアの競合	12-24
12.9.2	TCNT のライトとカウントアップの競合	12-25
12.9.3	TCOR のライトとコンペアマッチの競合	12-26
12.9.4	コンペアマッチ A、B の競合	12-26
12.9.5	内部クロックの切り替えと TCNT の動作	12-27
12.9.6	カスケード接続時のモード設定	12-28
12.9.7	モジュールストップモードの設定	12-28
13.	16 ビットサイクルメジャーメントタイマ (TCM)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-4
13.3.1	TCM タイマカウンタ (TCMCNT)	13-5
13.3.2	TCM 周期上限レジスタ (TCMMLCM)	13-5
13.3.3	TCM 周期下限レジスタ (TCMMINCM)	13-5
13.3.4	TCM インพุットキャプチャレジスタ (TCMICR)	13-6
13.3.5	TCM インพุットキャプチャバッファレジスタ (TCMICRF)	13-6
13.3.6	TCM ステータスレジスタ (TCMCSR)	13-6
13.3.7	TCM コントロールレジスタ (TCMCR)	13-8
13.3.8	TCM インタラプトイネーブルレジスタ (TCMIER)	13-9
13.4	動作説明	13-11
13.4.1	タイマモード	13-11
13.4.2	周期測定モード	13-13
13.5	割り込み要因	13-17
13.6	使用上の注意事項	13-18
13.6.1	TCMCNT ライトとカウントアップの競合	13-18
13.6.2	TCMMLCM のライトとコンペアマッチの競合	13-18
13.6.3	インพุットキャプチャと TCMICR リードの競合	13-19
13.6.4	周期測定モード時のエッジ検出とレジスタ (TCMMLCM、TCMMINCM) ライトの競合	13-19
13.6.5	周期測定モードのエッジ検出と TCMCR の TCMMD5 ビットクリアの競合	13-20
13.6.6	TCMCKI と TCMMCI の設定	13-20
13.6.7	モジュールストップモードの設定	13-20
14.	ウォッチドッグタイマ (WDT)	14-1
14.1	特長	14-1
14.2	入出力端子	14-3
14.3	レジスタの説明	14-3

14.3.1	タイマカウンタ (TCNT)	14-4
14.3.2	タイマコントロール/ステータスレジスタ (TCSR)	14-4
14.3.3	タイマクロック拡張セレクタ (TCSRE)	14-7
14.4	動作説明	14-8
14.4.1	ウォッチドッグタイマモード.....	14-8
14.4.2	インターバルタイマモード.....	14-9
14.5	割り込み要因.....	14-9
14.6	使用上の注意事項	14-10
14.6.1	レジスタアクセス時の注意事項.....	14-10
14.6.2	タイマカウンタ (TCNT) のライトカウントアップの競合.....	14-10
14.6.3	TCSR の CKS2~CKS0 ビットと TCSRE の CKS3~CKS0 ビットの書き換え.....	14-10
14.6.4	PSS ビットの書き換え.....	14-11
14.6.5	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	14-11
14.6.6	ウォッチモード、ソフトウェアスタンバイモード解除時の WDT_1 のレジスタアクセス	14-11
15.	シリアルコミュニケーションインタフェース (SCI)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	レシーブシフトレジスタ (RSR)	15-4
15.3.2	レシーブデータレジスタ (RDR)	15-4
15.3.3	トランスミットデータレジスタ (TDR)	15-4
15.3.4	トランスミットシフトレジスタ (TSR)	15-4
15.3.5	シリアルモードレジスタ (SMR)	15-5
15.3.6	シリアルコントロールレジスタ (SCR)	15-8
15.3.7	シリアルステータスレジスタ (SSR)	15-11
15.3.8	スマートカードモードレジスタ (SCMR)	15-15
15.3.9	ビットレートレジスタ (BRR)	15-16
15.3.10	シリアル拡張モードレジスタ (SEMR)	15-21
15.4	調歩同期式モードの動作	15-22
15.4.1	送受信フォーマット	15-23
15.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-24
15.4.3	クロック	15-25
15.4.4	倍速動作	15-25
15.4.5	SCI の初期化 (調歩同期式)	15-26
15.4.6	シリアルデータ送信 (調歩同期式)	15-27
15.4.7	シリアルデータ受信 (調歩同期式)	15-29

15.5	マルチプロセッサ通信機能	15-32
15.5.1	マルチプロセッサシリアルデータ送信	15-33
15.5.2	マルチプロセッサシリアルデータ受信	15-34
15.6	クロック同期式モードの動作	15-37
15.6.1	クロック	15-37
15.6.2	SCI の初期化 (クロック同期式)	15-38
15.6.3	シリアルデータ送信 (クロック同期式)	15-39
15.6.4	シリアルデータ受信 (クロック同期式)	15-41
15.6.5	シリアルデータ送受信同時動作 (クロック同期式)	15-43
15.7	スマートカードインタフェースの動作説明	15-45
15.7.1	接続例	15-45
15.7.2	データフォーマット (ブロック転送モード時を除く)	15-45
15.7.3	ブロック転送モード	15-47
15.7.4	受信データサンプリングタイミングと受信マージン	15-47
15.7.5	初期設定	15-48
15.7.6	シリアルデータ送信 (ブロック転送モードを除く)	15-49
15.7.7	シリアルデータ受信 (ブロック転送モードを除く)	15-52
15.7.8	クロック出力制御	15-53
15.8	割り込み要因	15-55
15.8.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	15-55
15.8.2	スマートカードインタフェースモードにおける割り込み	15-56
15.9	使用上の注意事項	15-57
15.9.1	モジュールストップモードの設定	15-57
15.9.2	ブレークの検出と処理	15-57
15.9.3	マーク状態とブレークの送り出し	15-57
15.9.4	受信エラーフラグと送信動作 (クロック同期式モードのみ)	15-57
15.9.5	TDR へのライトと TDRE フラグの関係	15-57
15.9.6	低消費電力状態遷移時の動作	15-58
15.9.7	送信、受信、送受信中のレジスタ書き込みの注意事項	15-60
16.	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-3
16.3.1	レシーブシフトレジスタ (FRSR)	16-4
16.3.2	レシーブバッファレジスタ (FRBR)	16-4
16.3.3	トランスミッタシフトレジスタ (FTSR)	16-5
16.3.4	トランスミッタホールディングレジスタ (FTHR)	16-5

16.3.5	ディバイザラッチ H、L (FDLH、FDLL)	16-5
16.3.6	割り込みイネーブルレジスタ (FIER)	16-6
16.3.7	割り込み識別レジスタ (FIIR)	16-6
16.3.8	FIFO 制御レジスタ (FFCR)	16-8
16.3.9	ライン制御レジスタ (FLCR)	16-8
16.3.10	モデム制御レジスタ (FMCR)	16-10
16.3.11	ラインステータスレジスタ (FLSR)	16-11
16.3.12	モデムステータスレジスタ (FMSR)	16-14
16.3.13	スクラッチパッドレジスタ (FSCR)	16-16
16.3.14	SCIF コントロールレジスタ (SCIFCR)	16-16
16.4	動作説明	16-17
16.4.1	ボーレート	16-17
16.4.2	調歩同期式通信の動作	16-18
16.4.3	SCIF の初期化	16-19
16.4.4	フロー制御を行った送受信	16-22
16.4.5	LPC インタフェースからのデータ送受信	16-28
16.5	割り込み要因	16-30
16.6	使用上の注意事項	16-30
16.6.1	SCLK に LCLK を選択した場合の低消費電力モード	16-30
16.6.2	キャラクタタイムアウトと FLSR の DR ビットクリアの競合動作	16-30
17.	I ² C バスインタフェース (IIC)	17-1
17.1	特長	17-1
17.2	入出力端子	17-5
17.3	レジスタの説明	17-6
17.3.1	I ² C バスデータレジスタ (ICDR)	17-7
17.3.2	スレーブアドレスレジスタ (SAR)	17-8
17.3.3	第 2 スレーブアドレスレジスタ (SARX)	17-8
17.3.4	I ² C バスクロックセクタレジスタ (ICCKR)	17-10
17.3.5	I ² C バスモードレジスタ (ICMR)	17-11
17.3.6	I ² C バスコントロールレジスタ (ICCR)	17-12
17.3.7	I ² C バスステータスレジスタ (ICSR)	17-19
17.3.8	I ² C バスコントロール初期化レジスタ (ICRES)	17-23
17.3.9	I ² C バスコントロール拡張レジスタ (ICXR)	17-24
17.4	動作説明	17-28
17.4.1	I ² C バスデータフォーマット	17-28
17.4.2	初期設定	17-30
17.4.3	マスタ送信動作	17-31

17.4.4	マスタ受信動作	17-36
17.4.5	スレーブ受信動作	17-39
17.4.6	スレーブ送信動作	17-43
17.4.7	IRIC セットタイミングと SCL 制御	17-46
17.4.8	ノイズ除去回路	17-49
17.4.9	内部状態の初期化	17-49
17.5	割り込み要因	17-50
17.6	使用上の注意事項	17-51
17.6.1	モジュールストップモードの設定	17-54
18.	SMBus 2.0 インタフェース (SMBUS)	18-1
18.1	特長	18-1
18.2	入出力端子	18-2
18.3	レジスタの説明	18-2
18.3.1	PEC 演算データ入力レジスタ (PECX)	18-2
18.3.2	PEC 演算データ再入力レジスタ (PECY)	18-2
18.3.3	PEC 演算結果出力レジスタ (PECZ)	18-3
18.4	動作説明	18-3
18.4.1	SMBus 2.0 データフォーマット	18-3
18.4.2	PEC 演算モジュールの使用方法	18-4
18.5	使用上の注意事項	18-5
18.5.1	モジュールストップモードの設定	18-5
19.	キーボードバッファコントロールユニット (PS2)	19-1
19.1	特長	19-1
19.2	入出力端子	19-2
19.3	レジスタの説明	19-3
19.3.1	キーボードコントロールレジスタ 1 (KBCR1)	19-4
19.3.2	キーボードバッファコントロールレジスタ 2 (KBCR2)	19-5
19.3.3	キーボードコントロールレジスタ H (KBCRH)	19-6
19.3.4	キーボードコントロールレジスタ L (KBCRL)	19-8
19.3.5	キーボードデータバッファレジスタ (KBBR)	19-9
19.3.6	キーボードバッファ送信データレジスタ (KBTR)	19-9
19.4	動作説明	19-10
19.4.1	受信動作	19-10
19.4.2	送信動作	19-12
19.4.3	受信中断動作	19-13
19.4.4	KBF セットタイミングと KCLK 制御	19-15

19.4.5	データ受信中の動作	19-16
19.4.6	KCLK 立ち下がり割り込みの動作.....	19-17
19.4.7	1st KCLK 立ち下がり割り込みの動作.....	19-18
19.4.8	ノイズキャンセル回路	19-21
19.5	使用上の注意事項	19-22
19.5.1	KBIOE セットと KCLK 立ち下がりエッジ検出.....	19-22
19.5.2	KDO ビット (KBCRL) による KD 出力と自動送信による KD 出力の関係.....	19-22
19.5.3	モジュールストップモードの設定.....	19-23
19.5.4	中速モード	19-23
19.5.5	送信完了フラグ (KBTE) について	19-23
20.	LPC インタフェース (LPC)	20-1
20.1	特長	20-1
20.2	入出力端子	20-3
20.3	レジスタの説明	20-4
20.3.1	ホストインタフェースコントロールレジスタ 0、1 (HICR0、HICR1)	20-7
20.3.2	ホストインタフェースコントロールレジスタ 2、3 (HICR2、HICR3)	20-12
20.3.3	ホストインタフェースコントロールレジスタ 4 (HICR4)	20-14
20.3.4	ホストインタフェースコントロールレジスタ 5 (HICR5)	20-16
20.3.5	ホストインタフェースコントロールレジスタ 6 (HICR6)	20-17
20.3.6	LPC チャンネル 1 アドレスレジスタ H、L (LADR1H、LADR1L)	20-18
20.3.7	LPC チャンネル 2 アドレスレジスタ H、L (LADR2H、LADR2L)	20-19
20.3.8	LPC チャンネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)	20-20
20.3.9	LPC チャンネル 4 アドレスレジスタ H、L (LADR4H、LADR4L)	20-21
20.3.10	LPC チャンネル A アドレスレジスタ H、L (LADRAH、LADRAL)	20-23
20.3.11	入力データレジスタ 1~4、A (IDR1~IDR4、IDRA)	20-23
20.3.12	出力データレジスタ 1~4、A (ODR1~ODR4、ODRA)	20-24
20.3.13	双方向データレジスタ 0~15 (TWR0~TWR15)	20-25
20.3.14	CH4 双方向データレジスタ 0~31 (TWDR0~TWDR31)	20-26
20.3.15	ステータスレジスタ 1~4、A (STR1~STR4、STRA)	20-26
20.3.16	SERIRQ コントロールレジスタ 0 (SIRQCR0)	20-35
20.3.17	SERIRQ コントロールレジスタ 1 (SIRQCR1)	20-38
20.3.18	SERIRQ コントロールレジスタ 2 (SIRQCR2)	20-42
20.3.19	SERIRQ コントロールレジスタ 3 (SIRQCR3)	20-45
20.3.20	SERIRQ コントロールレジスタ 4 (SIRQCR4)	20-45
20.3.21	SERIRQ コントロールレジスタ 5 (SIRQCR5)	20-47
20.3.22	SCIF アドレスレジスタ (SCIFADRH、SCIFADRL)	20-48
20.3.23	ホストインタフェースセレクトレジスタ (HISEL)	20-49

20.3.24	クロックランコントロールレジスタ (CKRCR)	20-50
20.4	動作説明	20-51
20.4.1	LPC インタフェースの起動	20-51
20.4.2	LPC の I/O サイクル	20-52
20.4.3	GATE A20	20-54
20.4.4	LPC インタフェースのシャットダウン機能 (LPCPD)	20-56
20.4.5	LPC インタフェースのシリアル割り込み動作 (SERIRQ)	20-60
20.4.6	LPC インタフェースのクロック起動要求	20-62
20.4.7	LPC インタフェースから SCIF 制御	20-62
20.5	割り込み要因	20-63
20.5.1	IBFI1、IBFI2、IBFI3、IBFI4、IBFIA、OBEI、ERRI	20-63
20.5.2	SMI、HIRQ1、HIRQ3、HIRQ4、HIRQ5、HIRQ6、HIRQ7、HIRQ8、HIRQ9、 HIRQ10、HIRQ11、HIRQ12、HIRQ13、HIRQ14、HIRQ15	20-63
20.6	使用上の注意事項	20-66
20.6.1	データアクセスの競合	20-66
21.	FSI インタフェース	21-1
21.1	特長	21-1
21.2	入出力端子	21-3
21.3	レジスタの説明	21-4
21.3.1	FSI コントロールレジスタ 1 (FSICR1)	21-5
21.3.2	FSI コントロールレジスタ 2 (FSICR2)	21-7
21.3.3	FSI バイトカウンタレジスタ (FSIBNR)	21-8
21.3.4	FSI インストラクションレジスタ (FSIINS)	21-9
21.3.5	FSI リードインストラクションレジスタ (FSIRDINS)	21-9
21.3.6	FSI プログラムインストラクションレジスタ (FSIPPINS)	21-9
21.3.7	WRSR インストラクションレジスタ (WRSRINS)	21-10
21.3.8	RDSR インストラクションレジスタ (RDSRINS)	21-10
21.3.9	FSI ステータスレジスタ (FSISTR)	21-11
21.3.10	FSI 送信データレジスタ 0~7 (FSITDR0~FSITDR7)	21-12
21.3.11	FSI 受信データレジスタ (FSIRDR)	21-12
21.3.12	FSI アクセスホストベースアドレスレジスタ H、L (FSIHBARH、FSIHBARL)	21-12
21.3.13	FSI フラッシュメモリサイズレジスタ (FSISR)	21-13
21.3.14	FSI コマンドホストベースアドレスレジスタ H、L (CMDHBARH、CMDHBARL)	21-13
21.3.15	FSI コマンドレジスタ (FSICMDR)	21-14
21.3.16	FSILPC コマンドステータスレジスタ 1 (FSILSTR1)	21-14
21.3.17	FSILPC コマンドステータスレジスタ 2 (FSILSTR2)	21-16
21.3.18	FSI ジェネラルパーパスレジスタ 1~F (FSIGPR1~FSIGPRF)	21-17

21.3.19	FSILPC コントロールレジスタ (SLCR)	21-17
21.3.20	FSI アドレスレジスタ H、M、L (FSIARH、FSIARM、FSIARL)	21-18
21.3.21	FSI ライトデータレジスタ HH、HL、LH、LL (FSIWDRHH、FSIWDRHL、FSIWDR LH、FSIWDRLL)	21-19
21.4	動作説明	21-20
21.4.1	LPC/FW メモリサイクル	21-20
21.4.2	SPI フラッシュメモリ転送	21-22
21.4.3	フラッシュメモリ命令一覧	21-22
21.4.4	FSI メモリサイクル (LPC-SPI ダイレクト転送)	21-23
21.4.5	FSI メモリサイクル (LPC-SPI コマンド転送)	21-29
21.5	リセット条件	21-39
21.6	割り込み要因	21-40
22.	シンクロナスシリアルコミュニケーションユニット (SSU)	22-1
22.1	特長	22-1
22.2	入出力端子	22-3
22.3	レジスタの説明	22-4
22.3.1	SS コントロールレジスタ H (SSCRH)	22-5
22.3.2	SS コントロールレジスタ L (SSCRL)	22-7
22.3.3	SS モードレジスタ (SSMR)	22-8
22.3.4	SS イネーブルレジスタ (SSER)	22-9
22.3.5	SS ステータスレジスタ (SSSR)	22-10
22.3.6	SS コントロールレジスタ 2 (SSCR2)	22-12
22.3.7	SS トランスミットデータレジスタ 0~3 (SSTDR0~SSTDR3)	22-13
22.3.8	SS レシーブデータレジスタ 0~3 (SSRDR0~SSRDR3)	22-14
22.3.9	SS シフトレジスタ (SSTRSR)	22-14
22.4	動作説明	22-15
22.4.1	転送クロック	22-15
22.4.2	クロックの位相、極性とデータの関係	22-15
22.4.3	データ入出力端子とシフトレジスタの関係	22-16
22.4.4	各通信モードと端子機能	22-17
22.4.5	SSU モード	22-19
22.4.6	$\overline{\text{SCS}}$ 端子制御とコンフリクトエラー	22-27
22.4.7	クロック同期式通信モード	22-28
22.5	割り込み要求	22-34
22.6	使用上の注意事項	22-34
22.6.1	モジュールストップモードの設定	22-34

23. PECI インタフェース	23-1
23.1 特長	23-1
23.2 入出力端子	23-3
23.3 レジスタの説明	23-4
23.3.1 PECI コントロールレジスタ (PECR)	23-5
23.3.2 PECI ステータスレジスタ (PESTR)	23-6
23.3.3 PECI タイミングカウントプリレジスタ (PECNT0_PRE)	23-7
23.3.4 PECI タイミングカウントジェネラルレジスタ (PECNT0_GR)	23-8
23.3.5 PECI タイミングカウントアドレスジェネラルレジスタ (PECNT0_GRA)	23-8
23.3.6 PECI アドレスレジスタ (PEADD)	23-8
23.3.7 PECI 書き込みバイト数レジスタ (PEWBNR)	23-9
23.3.8 PECI 読み出しバイト数レジスタ (PERBNR)	23-9
23.3.9 PECI クライアント書き込みフレームチェックシーケンスレジスタ (PECWFCSR)	23-9
23.3.10 PECI クライアント読み出しフレームチェックシーケンスレジスタ (PECRFCSR)	23-9
23.3.11 PECI FIFO レジスタ (PEFIFO)	23-10
23.4 動作説明	23-11
23.4.1 PECI の設定	23-12
23.4.2 コマンド	23-13
23.4.3 アポート	23-14
23.5 リセット条件	23-14
23.6 割り込み要因	23-15
24. A/D 変換器	24-1
24.1 特長	24-1
24.2 入出力端子	24-3
24.3 レジスタの説明	24-4
24.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)	24-4
24.3.2 A/D コントロール/ステータスレジスタ (ADCSR)	24-5
24.3.3 A/D コントロールレジスタ (ADCR)	24-7
24.4 動作説明	24-8
24.4.1 シングルモード	24-8
24.4.2 スキャンモード	24-9
24.4.3 入力サンプリングと A/D 変換時間	24-12
24.5 割り込み要因	24-14
24.6 A/D変換精度の定義	24-14
24.7 使用上の注意事項	24-16
24.7.1 モジュールストップ機能の設定	24-16
24.7.2 ソフトウェアスタンバイ時の A/D 変換保持機能	24-16

24.7.3	A/D 変換の再スタート.....	24-16
24.7.4	許容信号源インピーダンスについて.....	24-17
24.7.5	絶対精度への影響.....	24-18
24.7.6	アナログ電源端子他の設定範囲.....	24-18
24.7.7	ボード設計上の注意.....	24-18
24.7.8	ノイズ対策上の注意.....	24-19
25.	バッテリーバックアップ RAM (BBR)	25-1
25.1	特長.....	25-1
25.2	レジスタの説明.....	25-3
25.2.1	BBR ステータスレジスタ (BBR0~BBR63)	25-3
25.2.2	BBR 書き込み保護レジスタ (BWPRT)	25-3
25.3	動作説明.....	25-3
25.4	使用上の注意.....	25-4
25.4.1	VBAT 電源による BBR レジスタ保持について.....	25-4
25.4.2	モジュールストップモードの設定.....	25-4
25.4.3	電源の設定.....	25-4
26.	RAM.....	26-1
27.	フラッシュメモリ.....	27-1
27.1	特長.....	27-1
27.2	フラッシュメモリマット構成.....	27-3
27.3	ブロック構成.....	27-4
27.4	レジスタの説明.....	27-5
27.4.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	27-5
27.4.2	フラッシュメモリデータブロックプロテクトレジスタ (DFPR)	27-6
27.4.3	フラッシュメモリステータスレジスタ (FLMSTR)	27-7
27.4.4	フラッシュマットセレクトレジスタ (FMATS)	27-8
27.5	モード遷移図.....	27-9
27.6	オンボードプログラミングモード.....	27-11
27.6.1	ユーザプログラミングモード.....	27-11
27.6.2	EW0 モード.....	27-12
27.7	ソフトウェアコマンド.....	27-13
27.7.1	リードアレイ.....	27-15
27.7.2	ロックビットリードコマンド.....	27-15
27.7.3	クリアステータスレジスタ.....	27-15
27.7.4	プログラム.....	27-15

27.7.5	ブロックイレース	27-17
27.7.6	ブロックブランクチェック	27-18
27.7.7	ロックビットプログラムコマンド	27-19
27.7.8	シーケンサステータス (FMRDY ビット)	27-20
27.7.9	イレースステータス (FMEBSF ビット)	27-20
27.7.10	プログラムステータス (FMPRSF ビット)	27-20
27.8	フルステータスチェック	27-21
27.9	ユーザプログラムモードの注意事項	27-23
27.9.1	割り込み (EW0 モード) 禁止	27-23
27.9.2	アクセス方法	27-23
27.9.3	書き換え (EW0 モード)	27-23
27.9.4	コマンド、データの書き込み	27-23
27.9.5	ソフトウェアスタンバイモード	27-23
27.10	ブートモード	27-23
27.10.1	ユーザブートモード	27-25
27.11	ユーザマットとユーザブートマットの切り替え	27-28
27.12	プロテクト	27-29
27.13	ソフトウェアプロテクト	27-29
27.14	ロックビットプロテクト	27-29
27.15	ライターモード	27-30
27.16	ブートモードの標準シリアル通信インタフェース仕様	27-30
27.17	使用上の注意事項	27-55
28.	クロック発振器	28-1
28.1	発振回路	28-2
28.1.1	水晶発振子を接続する方法	28-2
28.1.2	外部クロックを入力する方法	28-3
28.2	デューティ補正回路	28-5
28.3	サブクロック入力回路	28-5
28.4	クロック選択回路	28-6
28.5	使用上の注意事項	28-6
28.5.1	発振子に関する注意事項	28-6
28.5.2	ボード設計上の注意事項	28-7
29.	低消費電力状態	29-1
29.1	レジスタの説明	29-1
29.1.1	スタンバイコントロールレジスタ (SBYCR)	29-2
29.1.2	ローパワーコントロールレジスタ (LPWRCR)	29-3

29.1.3	モジュールストップコントロールレジスタ H、L、A、B (MSTPCRH、MSTPCRL、MSTPCRA、MSTPCRB)	29-4
29.2	モード間遷移とLSIの状態	29-6
29.3	中速モード	29-8
29.4	スリープモード	29-9
29.5	ソフトウェアスタンバイモード	29-9
29.6	ウォッチモード	29-10
29.7	モジュールストップモード	29-11
29.8	使用上の注意事項	29-11
29.8.1	I/O ポートの状態	29-11
29.8.2	発振安定待機中の消費電流	29-11
30.	レジスタ一覧	30-1
30.1	レジスタアドレス一覧 (アドレス順)	30-2
30.2	レジスタビット一覧	30-18
30.3	各動作モードにおけるレジスタの状態	30-34
30.4	レジスタ選択条件	30-49
30.5	レジスタアドレス一覧 (モジュール別)	30-64
31.	電气的特性	31-1
31.1	絶対最大定格	31-1
31.2	DC特性	31-2
31.3	AC特性	31-7
31.3.1	クロックタイミング	31-7
31.3.2	制御信号タイミング	31-9
31.3.3	内蔵周辺モジュールタイミング	31-11
31.4	A/D変換特性	31-24
31.5	フラッシュメモリ特性	31-25
31.6	パワーオンリセット特性	31-26
31.6.1	パワーオンリセット/低電圧検知回路 0 特性	31-26
31.6.2	低電圧検知回路 1 特性	31-27
31.7	使用上の注意事項	31-28
付録		付録-1
A.	各処理状態におけるI/Oポートの状態	付録-1
B.	型名一覧	付録-2
C.	外形寸法図	付録-3
D.	未使用端子の処理について	付録-6

本版で修正または追加された箇所..... 改訂-1

索引..... 索引-1

1. 概要

1.1 特長

H8S/2113 グループは、ルネサスオリジナルマイコン H8/300、H8/300H、H8S の各 CPU に対し上位互換アーキテクチャを持ち、内部 16 ビット構成の H8S/2000 CPU をコアとする CISC (Complex Instruction Set Computer) マイコンです。

周辺機能として、FIFO 内蔵シリアルコミュニケーションインタフェース、I²C バスインタフェース、A/D 変換器、豊富なタイマを内蔵しており、低コストでのシステム構築を可能にします。これらは、低消費電力モードにより、ダイナミックな消費電力制御が可能です。内蔵 ROM は、フラッシュメモリ (F-ZTATTM*) であり 128K バイトの容量を持っています。

【注】 * F-ZTAT は (株) ルネサスエレクトロニクスの商標です。

1.1.1 用途

応用分野例 : PC 周辺機器、OA 機器、民生機器など

1.1.2 仕様概要

表 1.1 に、本マイコンの仕様概要を示します。

表 1.1 仕様概要

分類	モジュール／機能	説明
メモリ	ROM	<ul style="list-style-type: none"> ROM 展開：フラッシュメモリ版 H8S/2113 128K バイト
	RAM	<ul style="list-style-type: none"> RAM 容量：12K バイト
CPU	CPU	<ul style="list-style-type: none"> 16 ビット高速 H8S/2000 CPU (CISC タイプ) H8/300 CPU、H8/300H CPU および H8S CPU に対してオブジェクトレベルで上位互換 汎用レジスタ方式 (汎用レジスタ：16 ビット×16 本) アドレッシングモード：8 種類 アドレス空間：4G バイト (プログラム：4G バイト、データ：4G バイト) 基本命令数 65 種類 (ビット演算、乗除算、ビット操作命令など) 最小命令実行時間 (ns) 50.0ns @システムクロック ϕ =20MHz、Vcc=3.0~3.6V (ADD 命令) 動作時
	動作モード	<ul style="list-style-type: none"> アドバンスド・シングルチップモード
	MCU 動作モード	<ul style="list-style-type: none"> モード 2：シングルチップモード (MD2 端子が Low レベル、MD1 端子が High レベル、MD0 端子が Low レベルのとき) モード 4：ブートモード (MD2 端子が High レベル、MD1、MD0 端子が Low レベルのとき) モード 6：オンチップエミュレーションモード (MD2、MD1 端子が High レベル、MD0 端子が Low レベルのとき) ただし、MD0 端子はチップ内部で 0 に固定されています。 低消費電力状態 (SLEEP 命令により低消費電力状態に遷移)
割り込み (要因)	割り込み コントローラ	<ul style="list-style-type: none"> 外部割り込み端子：49 本 (NMI、IRQ15~IRQ0 (ExIRQ15~ExIRQ7)、KIN15~KIN0、WUE15~WUE0) 内部割り込み要因数：61 本 2 種類の割り込み制御モード (システムコントロールレジスタで指定) 2 レベルの割り込み優先順位を設定可能 (インタラプトコントロールレジスタで指定) 独立したベクタアドレス

分類	モジュール/機能	説明
クロック	クロック発振器 (CPG)	<ul style="list-style-type: none"> クロック発生回路 : 2 回路 クロック発振器とサブクロック入力回路 システムクロック (ϕ) 同期 : 8~20MHz 低消費電力状態 : 5 種類 中速モード、スリープモード、ウォッチモード、ソフトウェアスタンバイモード、モジュールストップモード
A/D コンバータ	A/D 変換器 (ADC)	<ul style="list-style-type: none"> 分解能 (10 ビット) \times 入力チャネル数 (12 チャネル) サンプル&ホールド機能付き 変換時間 : 1 チャネル当たり 4 μs (A/D 変換用クロック ADCLK=10MHz 動作時) 動作モード : 2 種類 (シングルモード、スキャンモード) A/D 変換開始方法 : 3 種類 (ソフトウェア、2 種類のタイマ (TPU/TMR) のトリガ)
タイマ	8 ビット PWM タイマ (PWMU)	<ul style="list-style-type: none"> 8 ビット A/B \times 6 チャネル 4 種類のクロックを選択可能 チャネルごとに周期を設定可能 8 ビット単パルスモード、12 ビット単パルスモード、16 ビット単パルスモード、8 ビットパルス分割モードをサポート
	16 ビットタイマパルスユニット (TPU)	<ul style="list-style-type: none"> 16 ビット \times 3 チャネル (汎用パルスタイマユニット) 各チャネルごとに 8 種類のカウンタ入力クロックを選択可能 最大 8 本のパルス入出力が可能 カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大 7 相の PWM 出力が可能 チャネルによりバッファ動作、位相計数モード (二相エンコーダ入力) をサポート インプットキャプチャ機能をサポート アウトプットコンペア機能 (コンペアマッチによる波形出力) をサポート
	16 ビットサイクルメジャーメントタイマ (TCM)	<ul style="list-style-type: none"> 16 ビット \times 3 チャネル 7 種類のクロックを選択可能 : 内部クロック 6 種類または外部クロック 入力波形の周期を測定可能
	8 ビットタイマ (TMR)	<ul style="list-style-type: none"> 8 ビット \times 4 チャネル (16 ビット \times 2 チャネルとしても動作可能) 7 種類のクロックを選択可能 : 内部クロック 6 種類または外部クロック 任意のデューティのパルス出力や PWM 出力が可能
ウォッチドッグタイマ	ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> 8 ビット \times 2 チャネル (8 種類のカウンタ入力クロックを選択可能) ウォッチドッグタイマモードとインターバルタイマモードを切り替えて使用可能

分類	モジュール／機能	説明
シリアル インタフェース	FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> チャンネル数：1 チャンネル（調歩同期式モード） 16 段の送受信用 FIFO バッファ構造 全二重通信が可能 内蔵ボーレートジェネレータにより任意のビットレートを設定可能 LPC ホストから直接制御可能
	シリアルコミュニケー ションインタフェース (SCI)	<ul style="list-style-type: none"> チャンネル数：1 チャンネル（非同同期式／クロック同期式兼用） 全二重通信が可能 任意のビットレート、LSB ファースト／MSB ファーストを選択可能
スマートカード／ SIM		<ul style="list-style-type: none"> SCI モジュールで、スマートカード（SIM）インタフェースをサポート
高機能通信	I ² C バスインタフェース (IIC)	<ul style="list-style-type: none"> チャンネル数：3 チャンネル（うち 1 チャンネルは入出力端子を切り替え可能） 連続送信／受信が可能 送受信フォーマット：2 種類 I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作 クロック同期シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用
	SMBus2.0 インタフェ ース (SMBUS)	<ul style="list-style-type: none"> SMBus2.0 インタフェースをサポート IIC_0 と通信機能を共有 PEC (Packet Error Checking 演算器) を内蔵
	キーボードバッファ コントロールユニット (PS2)	<ul style="list-style-type: none"> チャンネル数：3 チャンネル PS/2 インタフェースに準拠 バスを直接駆動可能 割り込みおよびエラー検出 パリティエラー、ストップビットモニタ、受信完了通知モニタ
	LPC インタフェース (LPC)	<ul style="list-style-type: none"> I/O チャンネル数：4 チャンネル POST コード出力チャンネル数：1 チャンネル PCI クロックに同期して、転送の種類、アドレスおよびデータをシリアル転送 LPC インタフェースの I/O リードサイクルおよび I/O ライトサイクルに対応 LPC インタフェースのシャットダウン機能 (LPCPD) に対応
	FSI インタフェース (FSI)	<ul style="list-style-type: none"> チャンネル数：1 チャンネル SPI フラッシュメモリ通信に対応 マスタ動作可能 LPC リセット、LPC シャットダウンに対応
	シンクロナスシリアル コミュニケーション ユニット (SSU)	<ul style="list-style-type: none"> チャンネル数：1 チャンネル マスタモード／スレーブモードを選択可能 標準モード／双方向モードを選択可能 全二重通信が可能 連続シリアル通信が可能

分類	モジュール/機能	説明
高機能通信	PECI インタフェース (PECI)	<ul style="list-style-type: none"> • チャンネル数 : 1 チャンネル • PEGI 3.0 通信に対応 • One-wire bus で通信 • CRC 演算器を内蔵
	バッテリーバックアップ RAM (BBR)	<ul style="list-style-type: none"> • 容量 : 64 バイト • VBAT 電源でのデータ保持
	I/O ポート	<ul style="list-style-type: none"> • 入力専用 : 8 本 • 入出力 : 114 本 (TQFP-144V、TLP-145) 、 130 本 (BP-176V) • プルアップ抵抗 : 88 本 (TQFP-144V、TLP-145、BP-176V) • LED 駆動可能 : 40 本 • ノイズキャンセラ内蔵 : 32 本
	パッケージ	<ul style="list-style-type: none"> • 薄型 144 ピン QFP パッケージ (PTQP0144LC-A) (旧コード : TFP-144V、ボディサイズ : 16×16mm、ピンピッチ : 0.40mm) • 176 ピン BGA パッケージ (PLBG0176GA-A) (旧コード : BP-176V、ボディサイズ : 13×13mm、ピンピッチ : 0.80mm) • 145 ピン TLP パッケージ (PTLG0145JB-A) (ボディサイズ : 9×9mm、ピンピッチ : 0.65mm) • 鉛フリー版パッケージ
	動作周波数/電源電圧	<ul style="list-style-type: none"> • 動作周波数 : 8~20MHz • 電源電圧 : Vcc=3.0~3.6V、AVcc=3.0~3.6V • 消費電流 : 20mA typ (Vcc=3.3V、AVcc=3.3V、ϕ =20MHz)
	動作周囲温度 (°C)	<ul style="list-style-type: none"> • -20~+75°C (通常仕様品)

1.2 製品一覧

表 1.2 に製品一覧表、図 1.1 に製品型名の読み方を示します。

表 1.2 製品一覧表

製品型名	ROM 容量	RAM 容量	パッケージ	備考
R4F2113	128K バイト	12K バイト	PTQP0144LC-A PLBG0176GA-A PTLG0145JB-A	フラッシュメモリ版

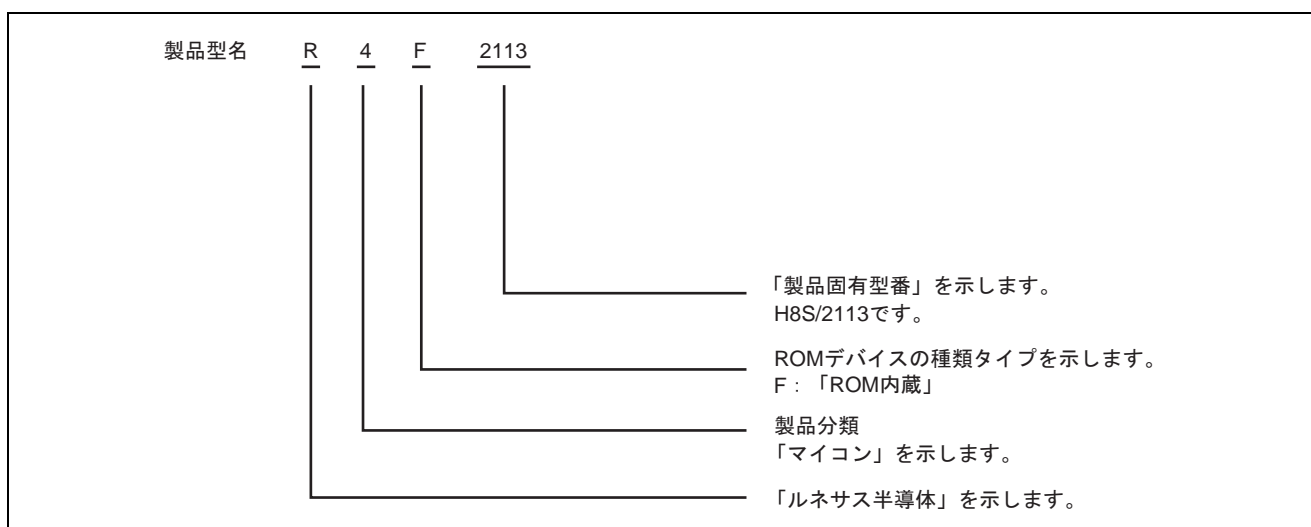


図 1.1 製品型名の読み方

1.3 ブロック図

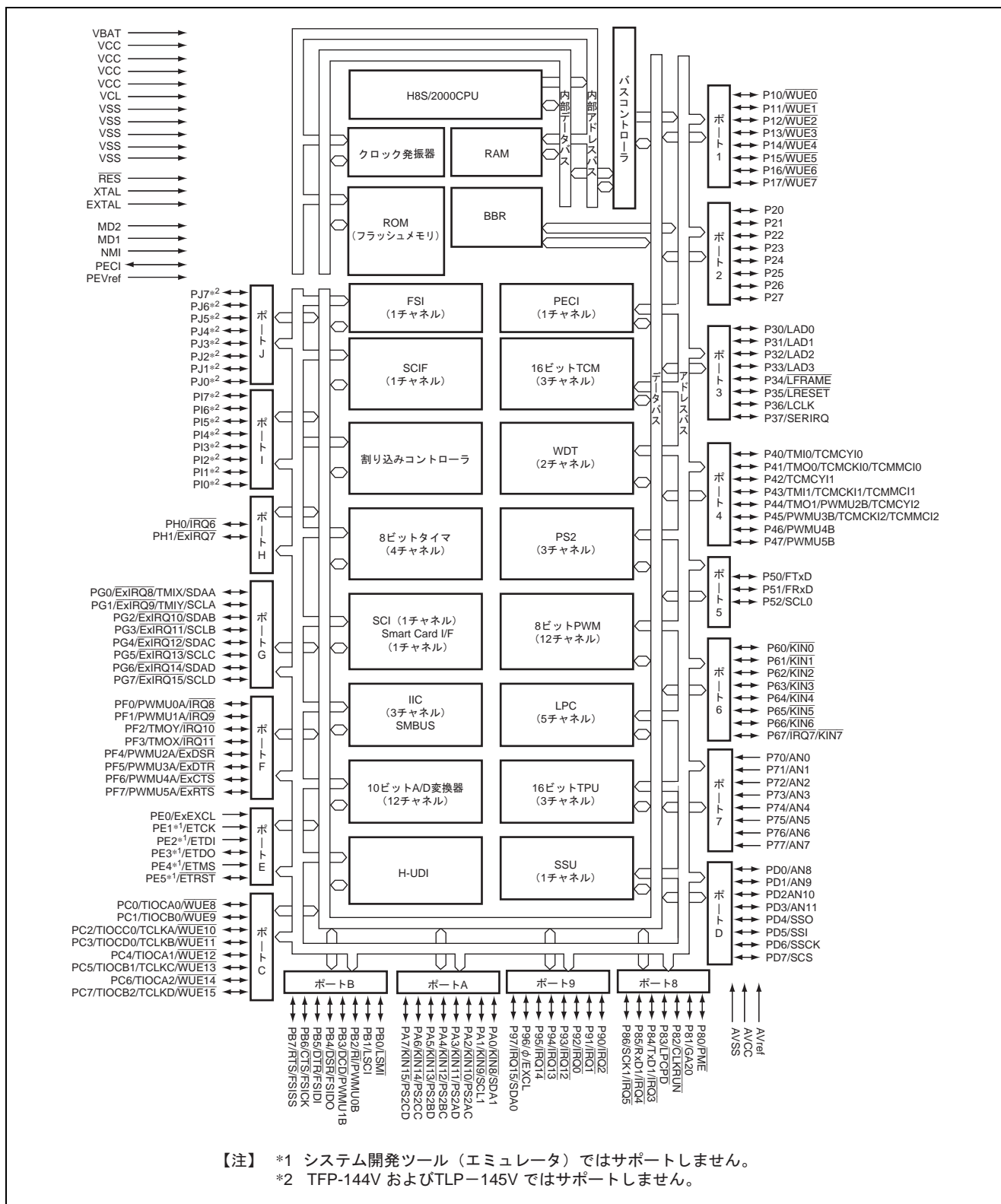


図 1.2 ブロック図

1.4 端子説明

1.4.1 ピン配置図

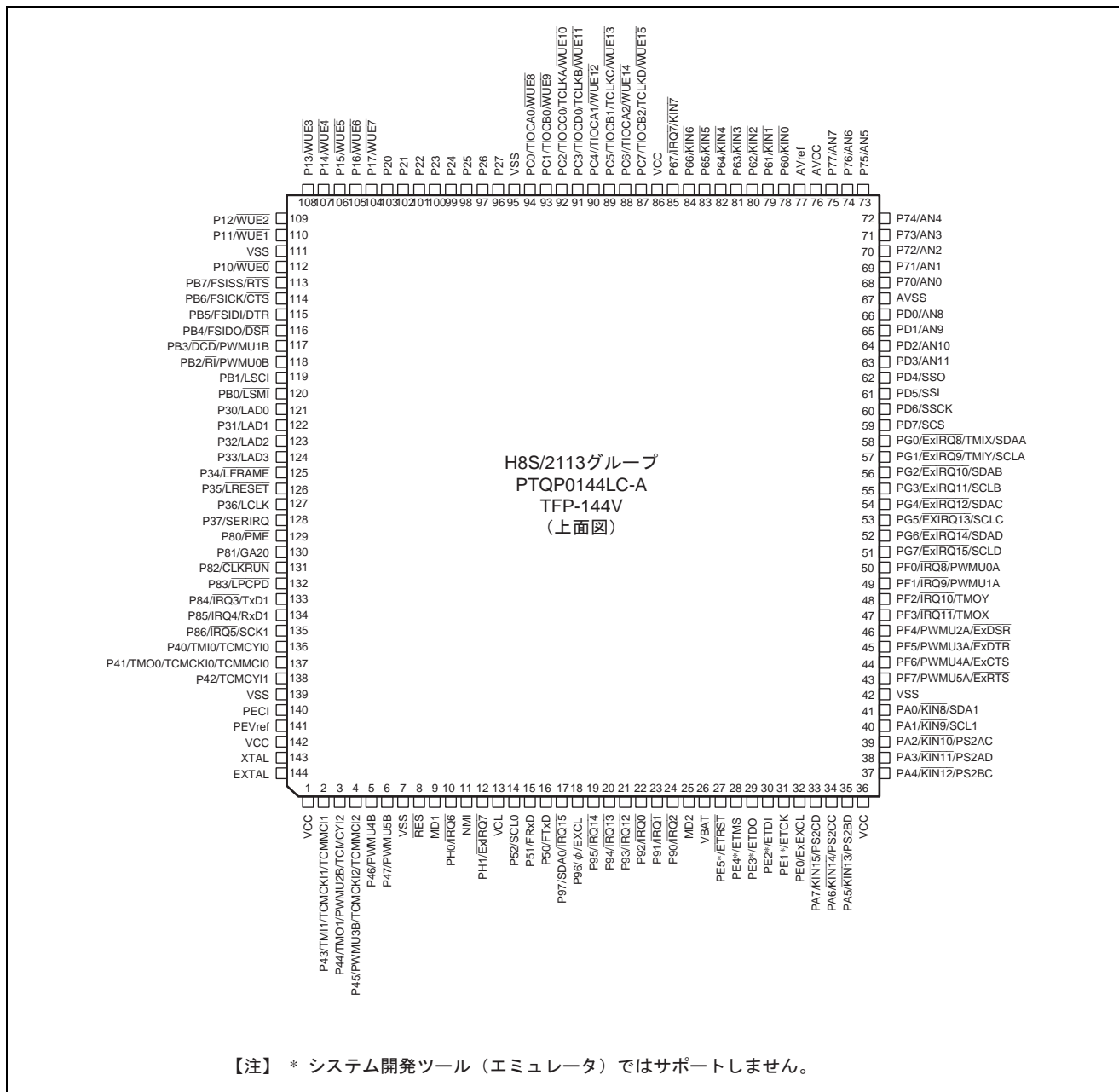


図 1.3 ピン配置図 (TFP-144V)

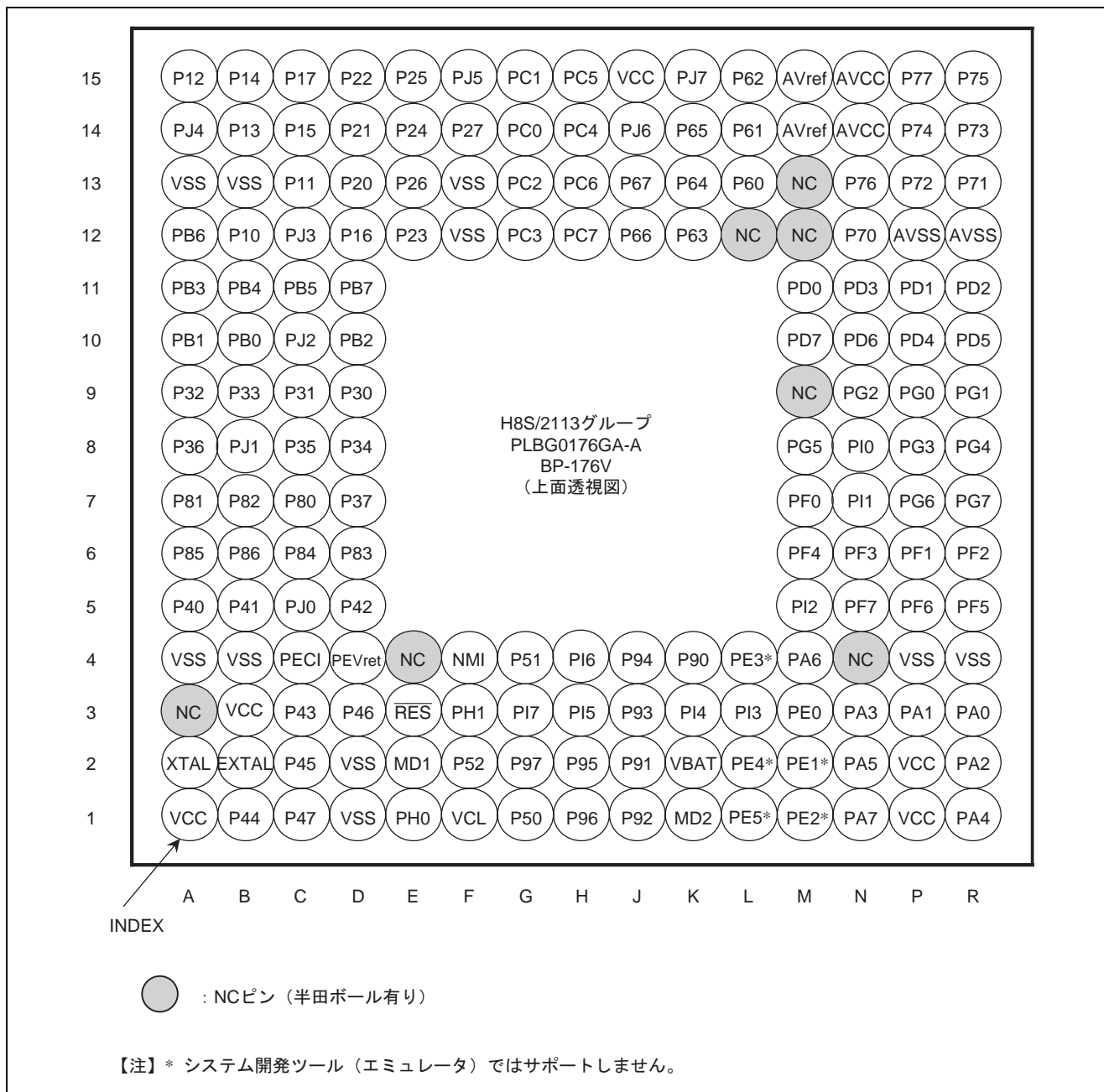


図 1.4 ピン配置図 (BP-176V)

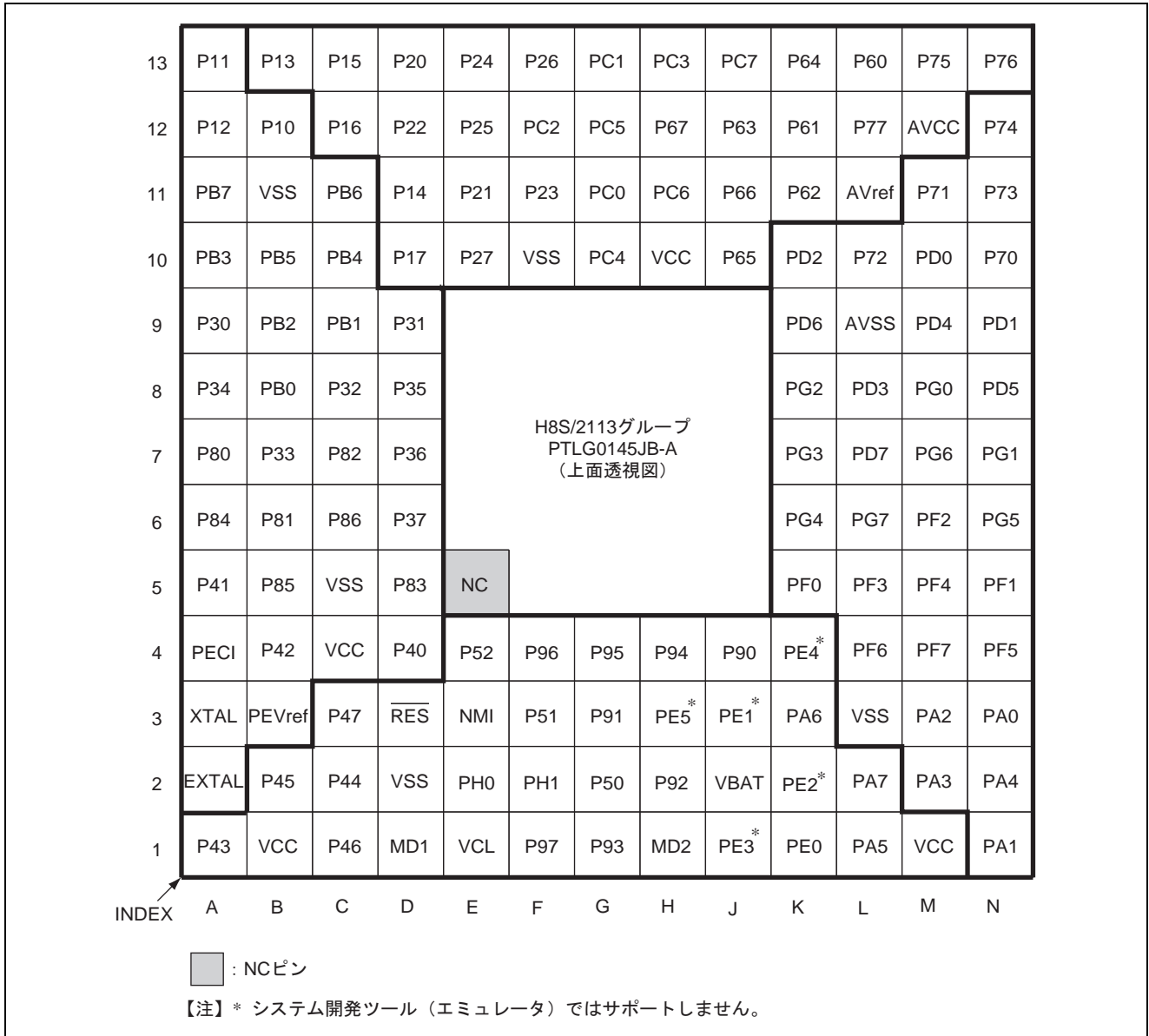


図 1.5 ピン配置図 (TLP-145V)

1.4.2 動作モード別端子機能一覧

表 1.3 動作モード別端子機能一覧

ピン番号			端子名
TFP-144V	BP-176V	TLP-145V	シングルチップモード
			モード 2 (EXPE=0)
1	A1	B1	VCC
2	C3	A1	P43/TMI1/TCMCKI1/TCMMCI1
3	B1	C2	P44/TMO1/PWMU2B/TCMCYI2
4	C2	B2	P45/PWMU3B/TCMCKI2/TCMMCI2
5	D3	C1	P46/PWMU4B
6	C1	C3	P47/PWMU5B
7	D2	D2	VSS
—	E4	—	NC
8	E3	D3	$\overline{\text{RES}}$
—	D1	—	VSS
9	E2	D1	MD1
10	E1	E2	PH0/ $\overline{\text{IRQ6}}$
11	F4	E3	NMI
12	F3	F2	PH1/Ex $\overline{\text{IRQ7}}$
13	F1	E1	VCL
14 (T)	F2 (T)	E4 (T)	P52/SCL0
15	G4	F3	P51/FRxD
—	G3 (T)	—	PI1
16	G1	G2	P50/FTxD
17 (T)	G2 (T)	F1 (T)	P97/SDA0/ $\overline{\text{IRQ15}}$
—	H4 (T)	—	PI6
—	H3 (T)	—	PI5
18	H1	F4	P96/ ϕ /EXCL
19	H2	G4	P95/ $\overline{\text{IRQ14}}$
20	J4	H4	P94/ $\overline{\text{IRQ13}}$
21	J3	G1	P93/ $\overline{\text{IRQ12}}$
22	J1	H2	P92/ $\overline{\text{IRQ0}}$
23	J2	G3	P91/ $\overline{\text{IRQ1}}$
24	K4	J4	P90/ $\overline{\text{IRQ2}}$
—	K3 (T)	—	PI4
25	K1	H1	MD2

ピン番号			端子名
TFP-144V	BP-176V	TLP-145V	シングルチップモード モード 2 (EXPE=0)
26	K2	J2	VBAT
—	L3 (T)	—	PI3
27	L1	H3	PE5*/ETRST
28	L2	K4	PE4*/ETMS
29	L4	J1	PE3*/ETDO
30	M1	K2	PE2*/ETDI
31	M2	J3	PE1*/ETCK
32	M3	K1	PE0/ExEXCL
33 (T)	N1 (T)	L2 (T)	PA7/ $\overline{\text{KIN15}}$ /PS2CD
34 (T)	M4 (T)	K3 (T)	PA6/ $\overline{\text{KIN14}}$ /PS2CC
35 (T)	N2 (T)	L1 (T)	PA5/ $\overline{\text{KIN13}}$ /PS2BD
36	P1	M1	VCC
—	P2	—	VCC
37 (T)	R1 (T)	N2 (T)	PA4/ $\overline{\text{KIN12}}$ /PS2BC
38 (T)	N3 (T)	M2 (T)	PA3/ $\overline{\text{KIN11}}$ /PS2AD
39 (T)	R2 (T)	M3 (T)	PA2/ $\overline{\text{KIN10}}$ /PS2AC
40 (T)	P3 (T)	N1 (T)	PA1/ $\overline{\text{KIN9}}$ /SCL1
—	N4	—	NC
41 (T)	R3 (T)	N3 (T)	PA0/ $\overline{\text{KIN8}}$ /SDA1
42	P4	L3	VSS
—	M5 (T)	—	PI2
—	R4	—	VSS
43	N5	M4	PF7/PWMU5A/ExRTS
44	P5	L4	PF6/PWMU4A/ExCTS
45	R5	N4	PF5/PWMU3A/ExDTR
46	M6	M5	PF4/PWMU2A/ExDSR
47	N6	L5	PF3/ $\overline{\text{IRQ11}}$ /TMOX
48	R6	M6	PF2/ $\overline{\text{IRQ10}}$ /TMOY
49	P6	N5	PF1/ $\overline{\text{IRQ9}}$ /PWMU1A
50	M7	K5	PF0/ $\overline{\text{IRQ8}}$ /PWMU0A
—	N7 (T)	—	PI1
51 (T)	R7 (T)	L6 (T)	PG7/Ex $\overline{\text{IRQ15}}$ /SCLD
52 (T)	P7 (T)	M7 (T)	PG6/Ex $\overline{\text{IRQ14}}$ /SDAD
53 (T)	M8 (T)	N6 (T)	PG5/Ex $\overline{\text{IRQ13}}$ /SCLC

ピン番号			端子名
TFP-144V	BP-176V	TLP-145V	シングルチップモード モード 2 (EXPE=0)
—	N8 (T)	—	PI0
54 (T)	R8 (T)	K6 (T)	PG4/ExIRQ12/SDAC
55 (T)	P8 (T)	K7 (T)	PG3/ExIRQ11/SCLB
—	M9	—	NC
56 (T)	N9 (T)	K8 (T)	PG2/ExIRQ10/SDAB
57 (T)	R9 (T)	N7 (T)	PG1/ExIRQ9/TMIY/SCLA
58 (T)	P9 (T)	M8 (T)	PG0/ExIRQ8/TMIX/SDAA
59	M10	L7	PD7/SCS
60	N10	K9	PD6/SSCK
61	R10	N8	PD5/SSI
62	P10	M9	PD4/SSO
63	N11	L8	PD3/AN11
64	R11	K10	PD2/AN10
65	P11	N9	PD1/AN9
66	M11	M10	PD0/AN8
67	R12	L9	AVSS
—	P12	—	AVSS
68	N12	N10	P70/AN0
69	R13	M11	P71/AN1
—	M12	—	NC
70	P13	L10	P72/AN2
71	R14	N11	P73/AN3
72	P14	N12	P74/AN4
73	R15	M13	P75/AN5
74	N13	N13	P76/AN6
75	P15	L12	P77/AN7
76	N14	M12	AVCC
—	M13	—	NC
—	N15	—	AVCC
77	M14	L11	AVref
—	L12	E5	NC
—	M15	—	AVref
78	L13	L13	P60/KIN0
79	L14	K12	P61/KIN1

ピン番号			端子名
TFP-144V	BP-176V	TLP-145V	シングルチップモード モード 2 (EXPE=0)
80	L15	K11	P62/KIN $\bar{2}$
81	K12	J12	P63/KIN $\bar{3}$
82	K13	K13	P64/KIN $\bar{4}$
—	K15 (T)	—	PJ7
83	K14	J10	P65/KIN $\bar{5}$
84	J12	J11	P66/KIN $\bar{6}$
85	J13	H12	P67/IRQ $\bar{7}$ /KIN $\bar{7}$
86	J15	H10	VCC
—	J14 (T)	—	PJ6
87	H12	J13	PC7/TIOCB2/TCLKD/WUE $\bar{15}$
88	H13	H11	PC6/TIOCA2/WUE $\bar{14}$
89	H15	G12	PC5/TIOCB1/TCLKC/WUE $\bar{13}$
90	H14	G10	PC4/TIOCA1/WUE $\bar{12}$
91	G12	H13	PC3/TIOCD0/TCLKB/WUE $\bar{11}$
92	G13	F12	PC2/TIOCC0/TCLKA/WUE $\bar{10}$
93	G15	G13	PC1/TIOCB0/WUE $\bar{9}$
94	G14	G11	PC0/TIOCA0/WUE $\bar{8}$
95	F12	F10	VSS
—	F13	—	VSS
—	F15 (T)	—	PJ5
96	F14	E10	P27
97	E13	F13	P26
98	E15	E12	P25
99	E14	E13	P24
100	E12	F11	P23
101	D15	D12	P22
102	D14	E11	P21
103	D13	D13	P20
104	C15	D10	P17/WUE $\bar{7}$
105	D12	C12	P16/WUE $\bar{6}$
106	C14	C13	P15/WUE $\bar{5}$
107	B15	D11	P14/WUE $\bar{4}$
108	B14	B13	P13/WUE $\bar{3}$
109	A15	A12	P12/WUE $\bar{2}$

TFP-144V	ピン番号		端子名
	BP-176V	TLP-145V	シングルチップモード
			モード 2 (EXPE=0)
110	C13	A13	P11/WUE1
—	A14 (T)	—	PJ4
111	B13	B11	VSS
—	C12 (T)	—	PJ3
—	A13	—	VSS
112	B12	B12	P10/WUE0
113	D11	A11	PB7/RTS/FSISS
114	A12	C11	PB6/CTS/FSICK
115	C11	B10	PB5/DTR/FSIDI
116	B11	C10	PB4/DSR/FSIDO
117	A11	A10	PB3/DCD/PWMU1B
118	D10	B9	PB2/RI/PWMU0B
—	C10 (T)	—	PJ2
119	A10	C9	PB1/LSCI
120	B10	B8	PB0/LSMI
121	D9	A9	P30/LAD0
122	C9	D9	P31/LAD1
123	A9	C8	P32/LAD2
124	B9	B7	P33/LAD3
125	D8	A8	P34/LFRAME
126	C8	D8	P35/LRESET
127	A8	D7	P36/LCLK
—	B8 (T)	—	PJ1
128	D7	D6	P37/SERIRQ
129	C7	A7	P80/PME
130	A7	B6	P81/GA20
131	B7	C7	P82/CLKRUN
132	D6	D5	P83/LPCPD
133	C6	A6	P84/IRQ3/TxD1
134	A6	B5	P85/IRQ4/RxD1
135	B6	C6	P86/IRQ5/SCK1
—	C5 (T)	—	PJ0
136	A5	D4	P40/TMI0/TCMCYI0
137	B5	A5	P41/TMO0/TCMCKI0/TCMMCIO

ピン番号			端子名
TFP-144V	BP-176V	TLP-145V	シングルチップモード モード 2 (EXPE=0)
138	D5	B4	P42/TCMCY11
139	A4	C5	VSS
—	B4	—	VSS
140	C4	A4	PECI
—	A3	—	NC
141	D4	B3	PEVref
142	B3	C4	VCC
143	A2	A3	XTAL
144	B2	A2	EXTAL

【注】 ピン番号の (T) は 5V Tolerant 入力端子を表します。

* システム開発ツール (エミュレータ) ではサポートしません。

1.4.3 端子機能

表 1.4 端子機能

分類	記号	ピン番号			入出力	名称および機能
		TFP-144V	BP-176V	TLP-145V		
電源	VCC	1、36、86、 142	A1、J15、 P1、P2、B3	B1、M1、 H10、C4	入力	電源端子です。システムの電源に接続してください。また、VSS 端子との間にバイパスコンデンサを接続してください（端子近くに配置）。
	VCL	13	F1	E1	入力	内部降圧電源用の外付け容量端子です。内部降圧電源安定化のための外付けコンデンサを介して VSS に接続してください（端子近くに配置）。
	VSS	7、42、95、 111、139	D1、D2、 P4、R4、 F12、F13、 B13、A13、 A4、B4	D2、L3、 F10、B11、 C5	入力	グランド端子です。システムの電源 (0V) に接続してください。
	VBAT	26	K2	J2	入力	BBR 用電源端子です。BBR を使用しない場合は VCC に接続してください。
クロック	XTAL	143	A2	A3	入力	水晶発振子接続端子です。また、EXTAL 端子は、外部クロック入力することができます。
	EXTAL	144	B2	A2	入力	接続例については、「第 28 章 クロック発振器」を参照してください。
	ϕ	18	H1	F4	出力	外部デバイスにシステムクロックを供給します。
	EXCL	18	H1	F4	入力	32.768kHz の外部サブクロックを入力してください。EXCL または ExEXCL のどちらの端子から入力するかを選択できます。
	ExEXCL	32	M3	K1	入力	
動作モード コントロール	MD2	25	K1	H1	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
	MD1	9	E2	D1		
システム制御	$\overline{\text{RES}}$	8	E3	D3	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
割り込み	NMI	11	F4	E3	入力	ノンマスクابل割り込み要求端子です。
	$\overline{\text{IRQ15}} \sim$ $\overline{\text{IRQ0}}$	17、 19~21、 47~50、 85、10、 135~133、 24~22	G2、H2、J4、 J3、N6、R6、 P6、M7、 J13、E1、 B6、A6、 C6、K4、J2、 J1	F1、G4、H4、 G1、L5、M6、 N5、K5、 H12、E2、 C6、B5、A6、 J4、G3、H2	入力	マスク可能な割り込みを要求します。 $\overline{\text{IRQn}}$ または ExIRQm のどちらの端子から入力するかを選択できます。(n=15~0、m=15~7)
	$\text{ExIRQ15} \sim$ ExIRQ7	51~58、12	R7、P7、 M8、R8、 P8、N9、 R9、P9、F3	L6、M7、N6、 K6、K7、K8、 N7、M8、F2	入力	

分類	記号	ピン番号			入出力	名称および機能
		TFP-144V	BP-176V	TLP-145V		
H-UDI	ETRST* ²	27	L1	H3	入力	エミュレータ用インタフェース端子です。 H-UDI を起動する／しないにかかわらず、必ず ETRST 端子を Low レベルにして、リセットしてください。このとき、ETRST 端子は ETCK に対して 20 クロックの間、Low レベルに保持してください。その後 H-UDI を起動する場合は、ETRST 端子を High レベルにして、ETCK、ETMS、ETDI 端子を任意に設定してください。H-UDI を起動しない通常動作の場合は、ETCK、ETMS、ETDI、ETDO 端子は High レベルにプルアップしてください。ETRST 端子はチップ内部でプルアップされます。
	ETMS	28	L2	K4	入力	
	ETDO	29	L4	J1	出力	
	ETDI	30	M1	K2	入力	
	ETCK	31	M2	J3	入力	
8 ビットタイマ (TMR_0、TMR_1 TMR_X、TMR_Y)	TMO0	137	B5	A5	出力	アウトプットコンペア機能による波形出力端子です。
	TMO1	3	B1	C2		
	TMOX	47	N6	L5		
	TMOY	48	R6	M6		
	TMI0	136	A5	D4	入力	カウンタイベント入力およびカウントリセット入力端子です。
	TMI1	2	C3	A1		
	TMIX	58	P9	M8		
TMIY	57	R9	N7			
16 ビットタイマ パルスユニット (TPU)	TCLKA	92	G13	F12	入力	タイマの外部クロック入力端子です。
	TCLKB	91	G12	H13		
	TCLKC	89	H15	G12		
	TCLKD	87	H12	J13		
	TIOCA0	94	G14	G11	入出力	TGRA_0~TGRD_0 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。
	TIOCB0	93	G15	G13		
	TIOCC0	92	G13	F12		
	TIOCD0	91	G12	H13		
	TIOCA1	90	H14	G10	入出力	TGRA_1~TGRB_1 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。
	TIOCB1	89	H15	G12		
TIOCA2	88	H13	H11	入出力	TGRA_2~TGRB_2 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。	
TIOCB2	87	H12	J13			
16 ビット サイクル メジャーメント タイマ (TCM)	TCMCKI2~ TCMCKI0	4、2、137	C2、C3、B5	B2、A1、A5	入力	タイマの外部クロック入力端子です。
	TCMMC12~ TCMMC10	4、2、137	C2、C3、 B5	B2、A1、A5	入力	周期測定イネーブル入力端子です。
	TCMCY12~ TCMCY10	3、138、136	B1、D5、A5	C2、B4、D4	入力	タイマのインプットキャプチャ入力端子です。

分類	記号	ピン番号			入出力	名称および機能
		TFP-144V	BP-176V	TLP-145V		
8ビットPWM タイマU (PWMU)	PWMU5A~ PWMU0A PWMU5B~ PWMU0B	43~46、 49、50、 6~3、 117、118	N5、P5、 R5、M6、 P6、M7、 C1、D3、 C2、B1、 A11、D10	M4、L4、N4、 M5、N5、K5、 C3、C1、B2、 C2、A10、 B9	出力	PWM タイマのパルス出力端子です。
シリアル コミュニ ケーション インターフェース (SCI_1)	TxD1	133	C6	A6	出力	送信データ出力端子です。
	RxD1	134	A6	B5	入力	受信データ入力端子です。
	SCK1	135	B6	C6	入出力	クロック入出力端子です。
キーボード バッファ コントロール ユニット (PS2)	PS2AC	39	R2	M3	入出力	キーボードバッファコントローラの同期ク ロック入出力端子です。
	PS2BC	37	R1	N2		
	PS2CC	34	M4	K3	入出力	キーボードバッファコントローラのデータ 入出力端子です。
	PS2AD	38	N3	M2		
PS2BD	35	N2	L1			
PS2CD	33	N1	L2			
キーボード制御	$\overline{\text{KIN15}}$ ~ $\overline{\text{KIN0}}$	33~35、 37~41、 85~78	N1、M4、 N2、R1、 N3、R2、 P3、R3、 J13、J12、 K14、K13、 K12、L15、 L14、L13	L2、K3、L1、 N2、M2、 M3、N1、 N3、H12、 J11、J10、 K13、J12、 K11、K12、 L13	入力	マトリクスキーボードのための入力端子で す。通常は KIN15~KIN0 をキースキャン用 入力、P17~P10 と P27~P20 をキースキャン 用出力として使用します。これにより、最 大 16 出力×16 入力、256 キーのマトリクス が構成できます。
	$\overline{\text{WUE15}}$ ~ $\overline{\text{WUE0}}$	87~94 104~110、 112	H12、H13、 H15、H14、 G12、G13、 G15、G14、 C15、D12、 C14、B15、 B14、A15、 C13、B12	J13、H11、 G12、G10、 H13、F12、 G13、G11、 D10、C12、 C13、D11、 B13、A12、 A13、B12	入力	ウェイクアップイベントの入力端子です。 種々のソースからキーウェイクアップと同 様のウェイクアップが可能です。 割り込み要求フラグを備えています。
FIFO 内蔵 シリアル コミュニ ケーション インターフェース (SCIF)	FTxD	16	G1	G2	出力	送信データ出力端子です。
	FRxD	15	G4	F3	入力	受信データ入力端子です。
	$\overline{\text{RI}}$	118	D10	B9	入力	リングインジケータ入力端子です。
	$\overline{\text{DCD}}$	117	A11	A10	入力	データキャリア検出入力端子です。
	$\overline{\text{DSR}}$	116	B11	C10	入力	データセットレディ入力端子です。

分類	記号	ピン番号			入出力	名称および機能
		TFP-144V	BP-176V	TLP-145V		
FIFO 内蔵 シリアルコミュニ ケーション インターフェース (SCIF)	$\overline{\text{DTR}}$	115	C11	B10	出力	データターミナルレディ出力端子です。
	$\overline{\text{CTS}}$	114	A12	C11	入力	送信許可入力端子です。
	$\overline{\text{RTS}}$	113	D11	A11	出力	送信要求出力端子です。
	$\overline{\text{ExDSR}}$	46	M6	M5	入力	データセットレディ入力端子です。
	$\overline{\text{ExDTR}}$	45	R5	N4	出力	データターミナルレディ出力端子です。
	$\overline{\text{ExCTS}}$	44	P5	L4	入力	送信許可入力端子です。
	$\overline{\text{ExRTS}}$	43	N5	M4	出力	送信要求出力端子です。
LPC インターフェース (LPC)	LAD3~ LAD0	124~121	B9, A9, C9, D9	B7, C8, D9, A9	入出力	LPC のコマンド、アドレス、データの入出力 端子です。
	$\overline{\text{LFRAME}}$	125	D8	A8	入力	LPC サイクルの始まりや異常な LPC サイクル の強制終了を示す入力端子です。
	$\overline{\text{LRESET}}$	126	C8	D8	入力	LPC のリセットを示す入力端子です。
	LCLK	127	A8	D7	入力	LPC のクロック入力端子です。
	SERIRQ	128	D7	D6	入出力	LPC のシリアルホスト割り込み (HIRQ1~ HIRQ15) の入出力端子です。
	LSCI, $\overline{\text{LSMI}}$ 、 $\overline{\text{PME}}$	119、120、 129	A10, B10、 C7	C9, B8, A7	入出力	LPC の補助出力端子です。機能的には汎用入 出力ポートです。
	GA20	130	A7	B6	入出力	GATE A20 コントロール信号出力端子です。 出力状態のモニタ入力が可能です。
	$\overline{\text{CLKRUN}}$	131	B7	C7	入出力	LCLK の停止状態で、LCLK の動作開始を要 求する入出力端子です。
$\overline{\text{LPCPD}}$	132	D6	D5	入力	LPC モジュールのシャットダウンを制御す る入力端子です。	
FSI インターフェース (FSI)	FSISS	113	D11	A11	出力	FSI スレーブセレクト端子です。
	FSICK	114	A12	C11	出力	クロック出力端子です。
	FSIDI	115	C11	B10	入力	受信データ入力端子です。
	FSIDO	116	B11	C10	出力	送信データ出力端子です。
シンクロナス シリアル コミュニ ケーション ユニット (SSU)	SSCK	59	M10	L7	入出力	クロック入出力です。
	SSI	60	N10	K9	入出力	データ入出力です。
	SSO	61	R10	N8	入出力	データ入出力です。
	SCS	62	P10	M9	入出力	チップセレクト入出力です。

分類	記号	ピン番号			入出力	名称および機能
		TFP-144V	BP-176V	TLP-145V		
A/D 変換器	AN11~AN0	63~66、 75~68	N11、R11、 P11、M11、 P15、N13、 R15、P14、 R14、P13、 R13、N12	L8、K10、 N9、M10、 L12、N13、 M13、N12、 N11、L10、 M11、N10	入力	アナログ入力端子です。
	AVCC	76	N14、N15	M12	入力	A/D 変換器のアナログ電源端子です。A/D 変換器を使用しない場合、システムの電源 (+3V) に接続してください。
	AVref	77	M14、M15	L11	入力	A/D 変換器の基準電源端子です。A/D 変換器を使用しない場合、システムの電源 (+3V) に接続してください。
	AVSS	67	R12、P12	L9	入力	A/D 変換器のグランド端子です。システムの電源 (0V) に接続してください。
I ² C/SMBus2.0 バス インタフェース (IIC_0/SMBUS)	SCL0	14	F2	E4	入出力	IIC/SMBUS クロック入出力端子です。出力形式は NMOS オープンドレイン出力です。
	SDA0	17	G2	F1	入出力	IIC/SMBUS のデータ入出力端子です。出力形式は NMOS オープンドレイン出力です。
I ² C バス インタフェース (IIC_1、IIC_2)	SCL1	40	P3	N1	入出力	I ² C クロック入出力端子です。出力形式は NMOS オープンドレイン出力です。SCL1 および SCLD~SCLA のどの端子から入出力するかを選択できます。
	SCLD	51	R7	L6		
	SCLC	53	M8	N6		
	SCLB	55	P8	K7		
	SCLA	57	R9	N7		
	SDA1	41	R3	N3	入出力	I ² C のデータ入出力端子です。出力形式は NMOS オープンドレイン出力です。SDA1 および SDAD~SDAA のどの端子から入出力するかを選択できます。
	SDAD	52	P7	M7		
	SDAC	54	R8	K6		
	SDAB	56	N8	K8		
	SDAA	58	P9	M8		
PECI	PECI	140	C4	A4	入出力	PECI のデータ入出力端子です。
	PEVref	141	D4	B3	入力	PECI の電源端子です。
I/O ポート	P17~P10	104~110、 112	C15、D12、 C14、B15、 B14、A15、 C13、B12	D10、C12、 C13、D11、 B13、A12、 A13、B12	入出力	8 ビットの入出力端子です。
	P27~P20	96~103	F14、E13、 E15、E14、 E12、D15、 D14、D13	E10、F13、 E12、E13、 F11、D12、 E11、D13	入出力	8 ビットの入出力端子です。

分類	記号	ピン番号			入出力	名称および機能
		TFP-144V	BP-176V	TLP-145V		
I/O ポート	P37~P30	128~121	D7, A8, C8, D8, B9, A9, C9, D9	D6, D7, D8, A8, B7, C8, D9, A9	入出力	8 ビットの入出力端子です。
	P47~P40	6~2, 138~136	C1, D3, C2, B1, C3, D5, B5, A5	C3, C1, B2, C2, A1, B4, A5, D7	入出力	8 ビットの入出力端子です。
	P52~P50	14~16	F2, G4, G1	E4, F3, G2	入出力	3 ビットの入出力端子です。
	P67~P60	85~78	J13, J12, K14, K13, K12, L15, L14, L13	H12, J11, J10, K13, J12, K11, K12, L13	入出力	8 ビットの入出力端子です。
	P77~P70	75~68	P15, N13, R15, P14, R14, P13, R13, N12	L12, N13, M13, N12, N11, L10, M11, N10	入力	8 ビットの入力端子です。
	P86~P80	135~129	B6, A6, C6, D6, B7, A7, C7	C6, B5, A6, D5, C7, B6, A7	入出力	7 ビットの入出力端子です。
	P97~P90	17~24	G2, H1, H2, J4, J3, J1, J2, K4	F1, F4, G4, H4, G1, H2, G3, J4	入出力	8 ビットの入出力端子です。
	PA7~PA0	33~35, 37~41	N1, M4, N2, R1, N3, R2, P3, R3	L2, K3, L1, N2, M2, M3, N1, N3	入出力	8 ビットの入出力端子です。
	PB7~PB0	113~120	D11, A12, C11, B11, A11, D10, A10, B10	A11, C11, B10, C10, A10, B9, C9, B8	入出力	8 ビットの入出力端子です。
	PC7~PC0	87~94	H12, H13, H15, H14, G12, G13, G15, G14	J13, H11, G12, G10, H13, F12, G13, G11	入出力	8 ビットの入出力端子です。
PD7~PD0	59~66	M10, N10, R10, P10, N11, R11, P11, M11	L7, K9, N8, M9, L8, K10, N9, M10	入出力	8 ビットの入出力端子です。	

分類	記号	ピン番号			入出力	名称および機能
		TFP-144V	BP-176V	TLP-145V		
I/O ポート	PE5~PE0* ¹	27~32	L1、L2、L4、 M1、M2、M3	H3、K4、J1、 K2、J3、K1	入出力	6ビットの入出力端子です。
	PF7~PF0	43~50	N5、P5、 R5、M6、 N6、R6、 P6、M7	M4、L4、N4、 M5、L5、M6、 N5、K5	入出力	8ビットの入出力端子です。
	PG7~PG0	51~58	R7、P7、 M8、R8、 P8、N9、 R9、P9	L6、M7、N6、 K6、K7、K8、 N7、M8	入出力	8ビットの入出力端子です。
	PH1~PH0	12、10	F3、E1	F2、E2	入出力	2ビットの入出力端子です。
	P17~PI0	—	G3、H4、 H3、K3、L3、 M5、N7、 N8	—	入出力	8ビットの入出力端子です。
	PJ7~PJ0	—	B3、K15、 J14、F15、 A14、C12、 C10、B8、 C5	—	入出力	8ビットの入出力端子です。

【注】 *1 PE5~PE1 端子はシステム開発ツール（エミュレータ）ではサポートしません。

*2 $\overline{\text{ETRST}}$ 端子に印加するリセット信号については、以下の注意が必要です。

電源投入時、 $\overline{\text{RES}}$ 端子が電圧を"L"にしている場合は、 $\overline{\text{ETRST}}$ 端子に必ずリセット信号を印加してください。

エミュレータの $\overline{\text{ETRST}}$ 端子が LSI のシステム側の動作に影響がないように回路を分離してください。

LSI のシステムリセットがエミュレータの $\overline{\text{ETRST}}$ 端子に影響を与えないように回路を分離してください。

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適な CPU です。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：65 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイメント付レジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

- 高速動作
 - 頻出命令をすべて1~2 ステートで実行
 - 8/16/32 ビットレジスタ間加減算：1 ステート
 - 8×8 ビットレジスタ間乗算：12 ステート (MULXU.B)、13 ステート (MULXS.B)
 - 16÷8 ビットレジスタ間除算：12 ステート (DIVXU.B)
 - 16×16 ビットレジスタ間乗算：20 ステート (MULXU.W)、21 ステート (MULXS.W)
 - 32÷16 ビットレジスタ間除算：20 ステート (DIVXU.W)
- CPU動作モード：
 - アドバンスモード
 - 低消費電力状態
 - SLEEP 命令により低消費電力状態に遷移
 - CPU 動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成
 - MAC レジスタは、H8S/2600 CPU のみサポートしています。
- 基本命令
 - MAC、CLRMAC、LDMAC、STMAC の4命令は、H8S/2600 CPU のみサポートしています。
- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.2 CPU 動作モード

本 LSI は、アドバンスモードで動作します。サポートするアドレス空間は、16M バイトです。動作モードは LSI のモード端子によって決まります。

- アドレス空間
最大 16M バイトの空間をリニアにアクセス可能です。
- 拡張レジスタ (En)
拡張レジスタ (E0~E7) は 16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。
- 命令セット
命令およびアドレッシングモードはすべて使用できます。
- 例外処理ベクタテーブル、メモリ間接の分岐アドレス
本 LSI では、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します (図 2.1 参照)。例外処理ベクタテーブルは「第 6 章 例外処理」を参照してください。

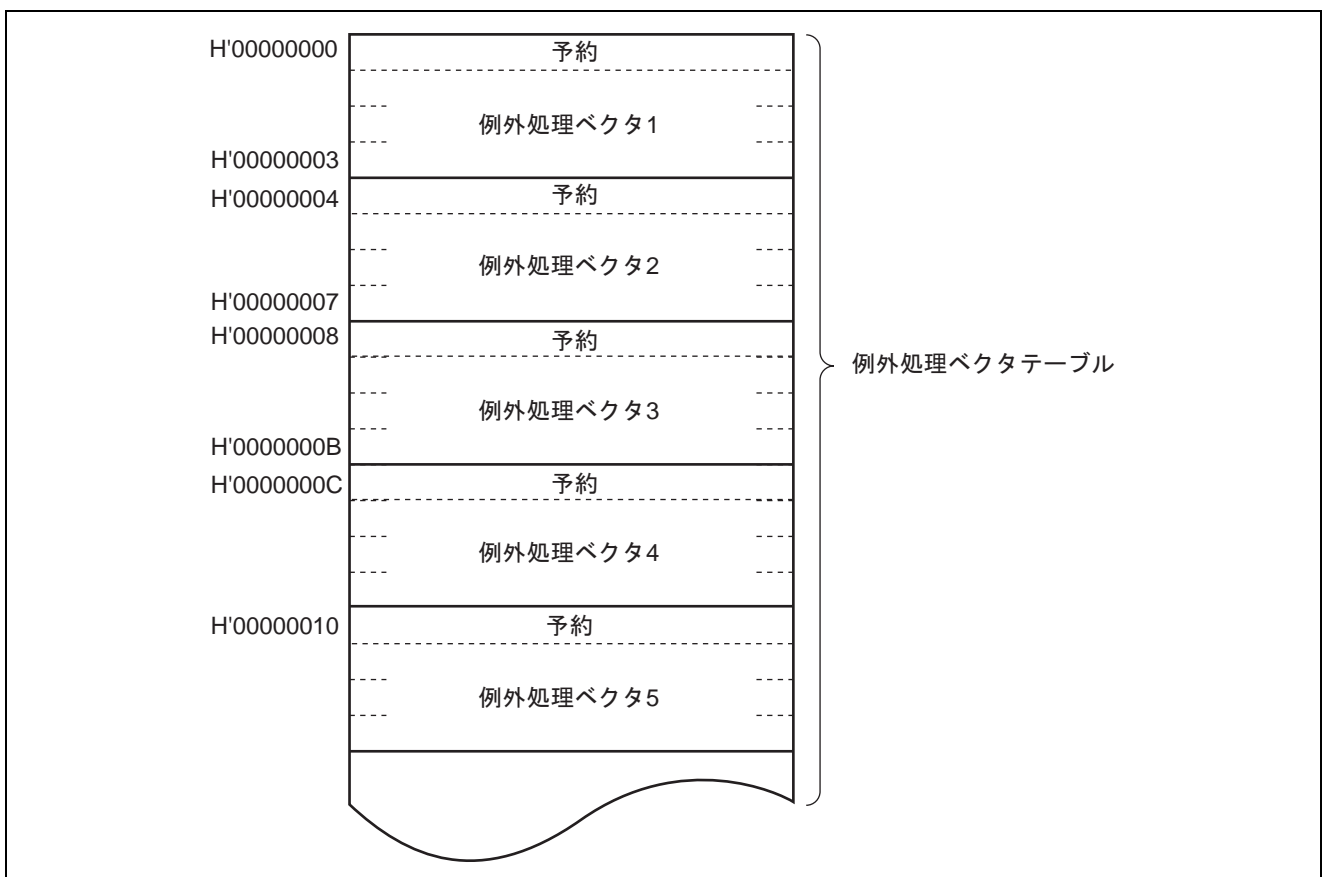


図 2.1 例外処理ベクタテーブル

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000~H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.2 に示します。EXR は割り込み制御モード 0 ではスタックされません。割り込み制御モードの詳細は「第 6 章 例外処理」を参照してください。

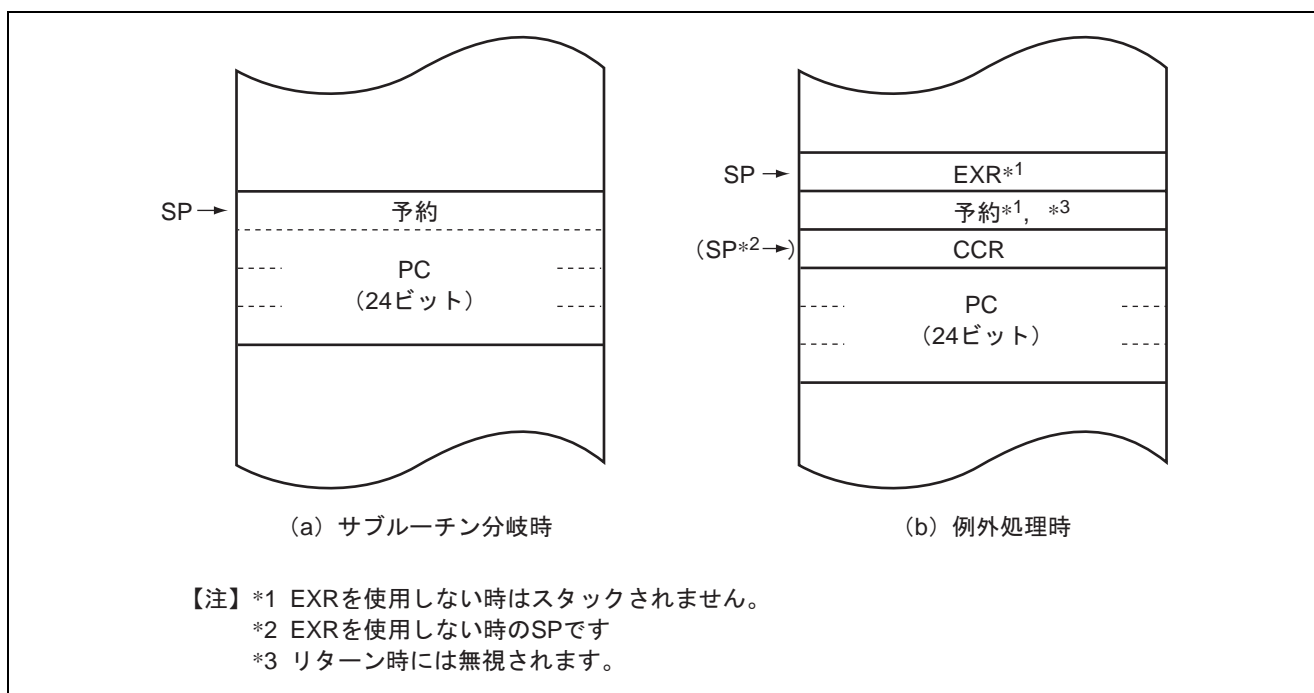


図 2.2 スタック構造

2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.3 に示します。H8S/2000 CPU は、最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。詳細は「第 3 章 MCU 動作モード」を参照してください。

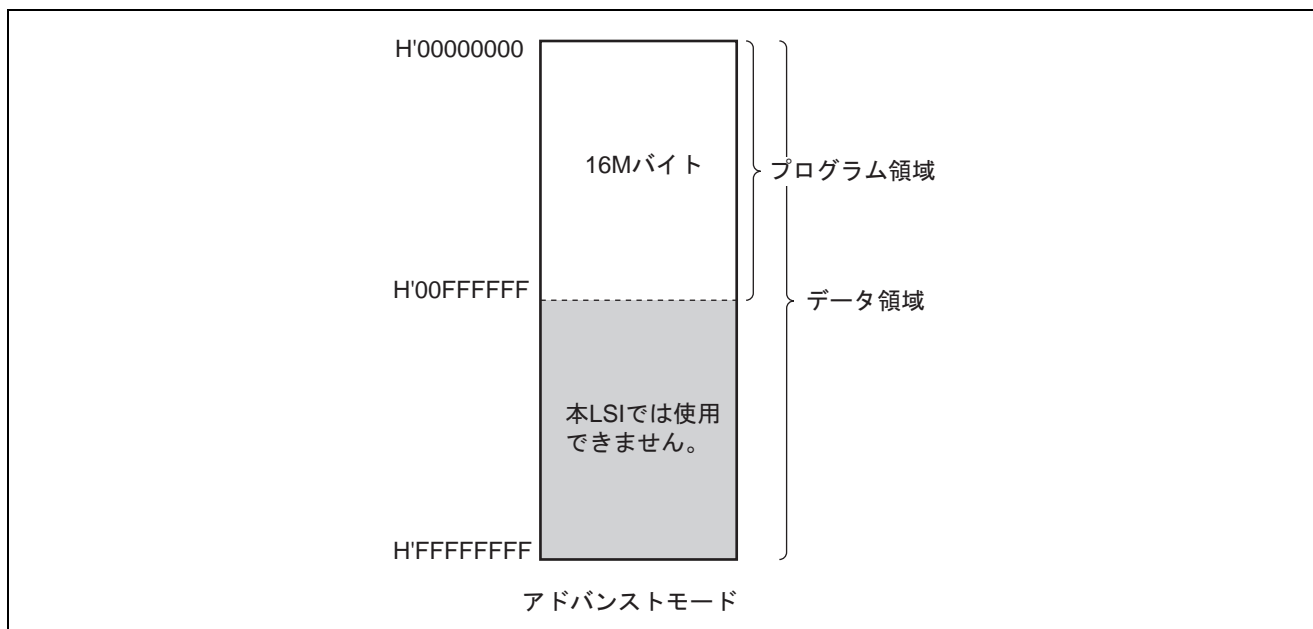


図 2.3 アドレス空間

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.4 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

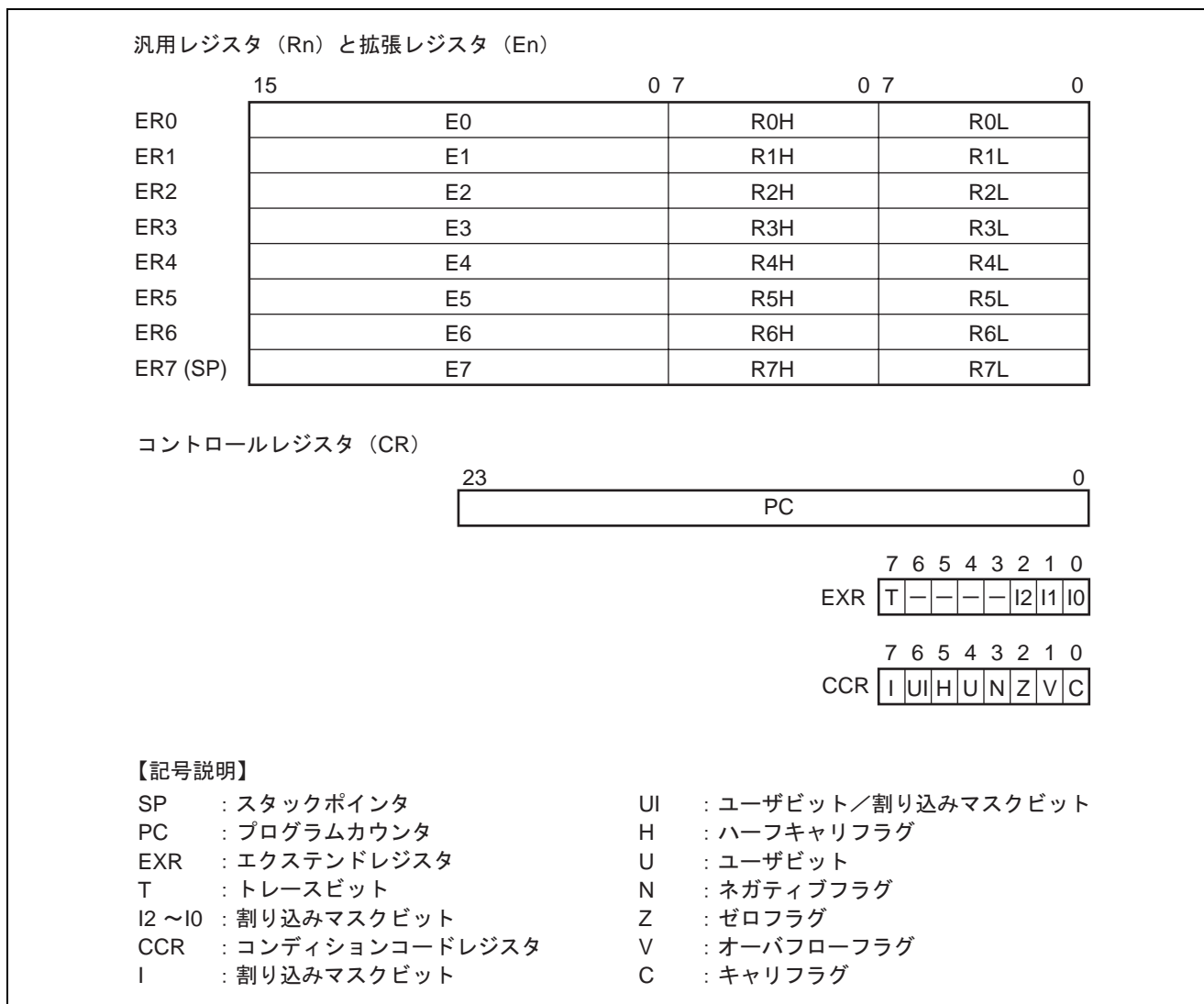


図 2.4 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.5 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0~ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.6 に示します。

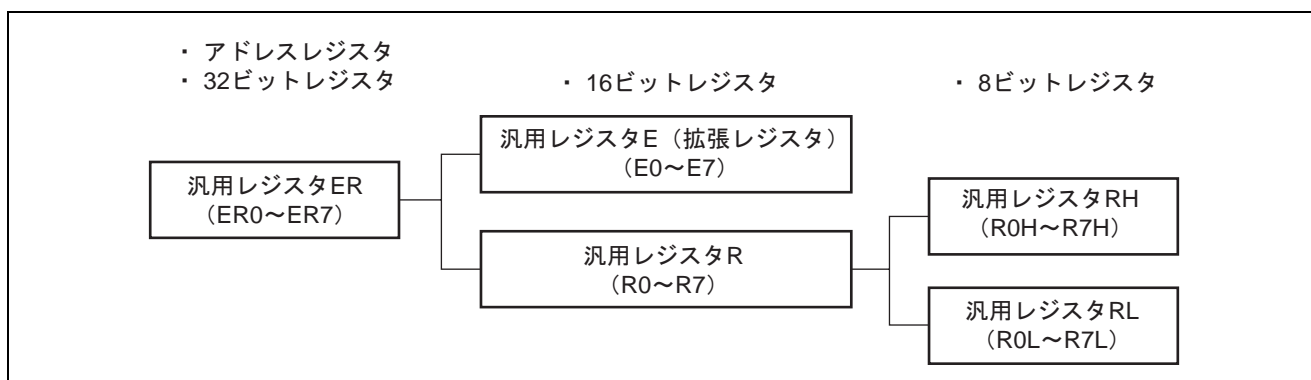


図 2.5 汎用レジスタの使用方法

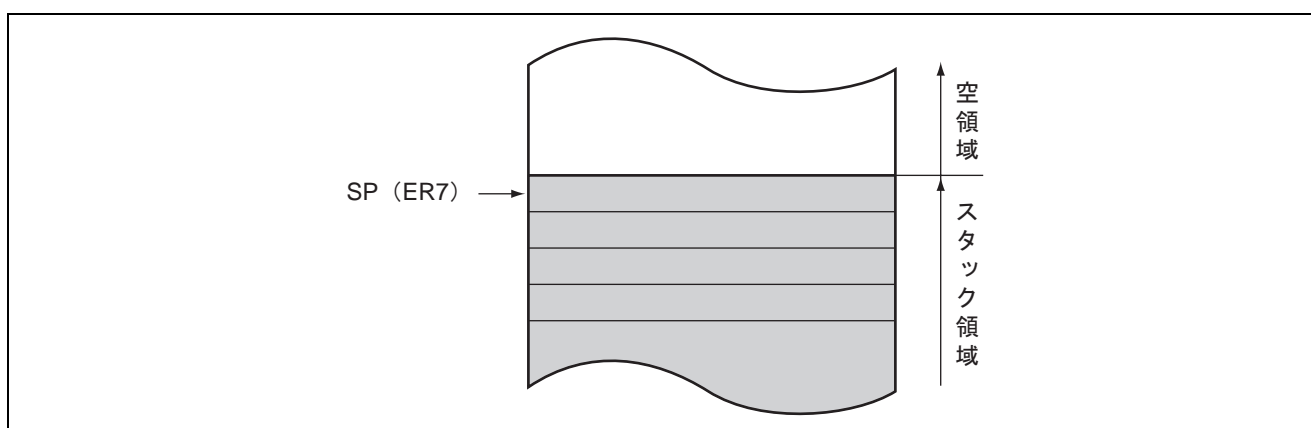


図 2.6 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

本 LSI では動作に影響を与えません。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット 本 LSI では動作に影響を与えません。
6~3	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。
2	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。
1	I1	1	R/W	本 LSI では動作に影響を与えません。
0	I0	1	R/W	

2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく、受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 7 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット	ビット名	初期値	R/W	説明
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア（LDC、STC、ANDC、ORC、XORC 命令）でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> • 加算結果のキャリ • 減算結果のボロー • シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット ($n=0,1,2,\dots,7$) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.7 に示します。

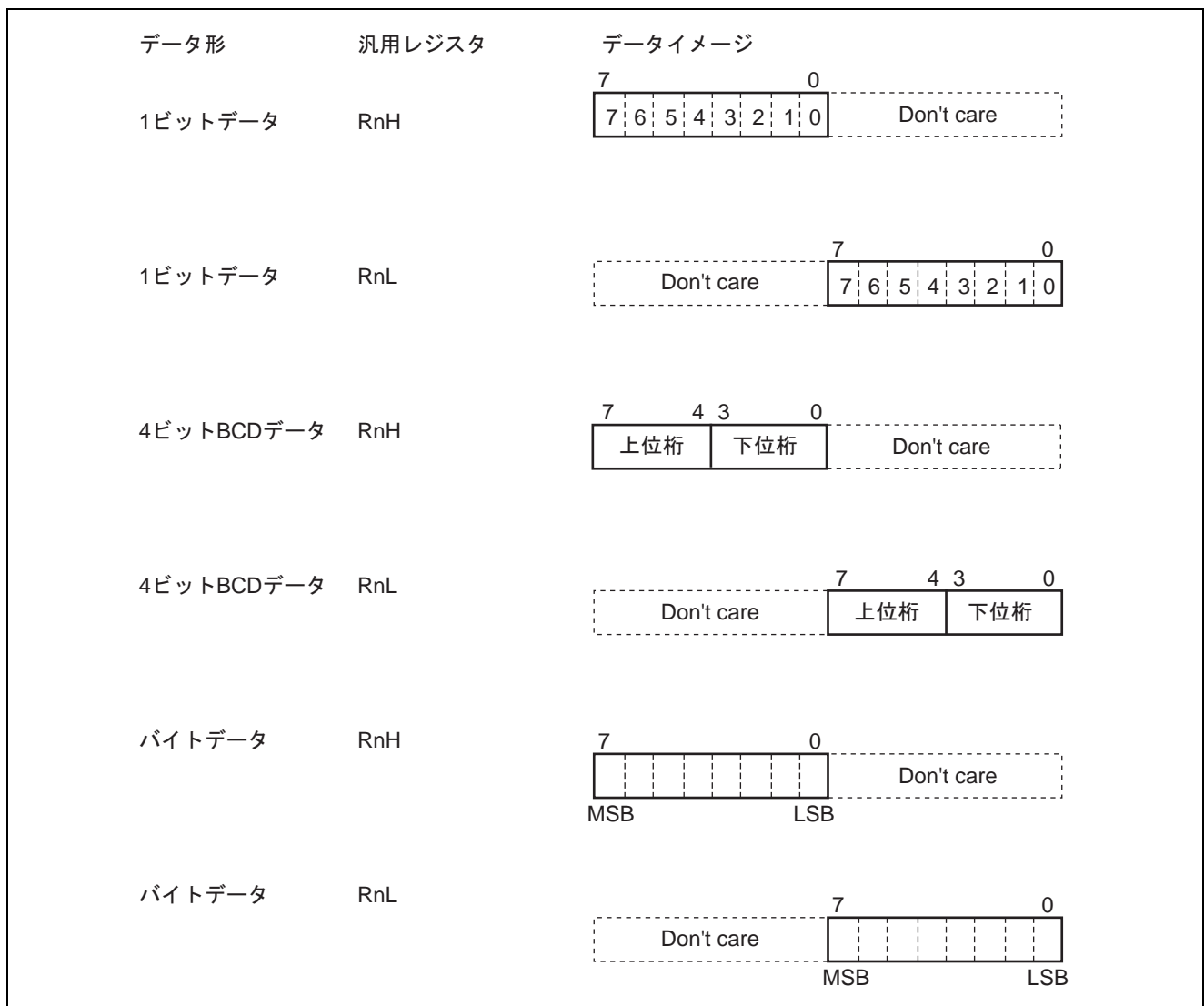


図 2.7 汎用レジスタのデータ形式 (1)

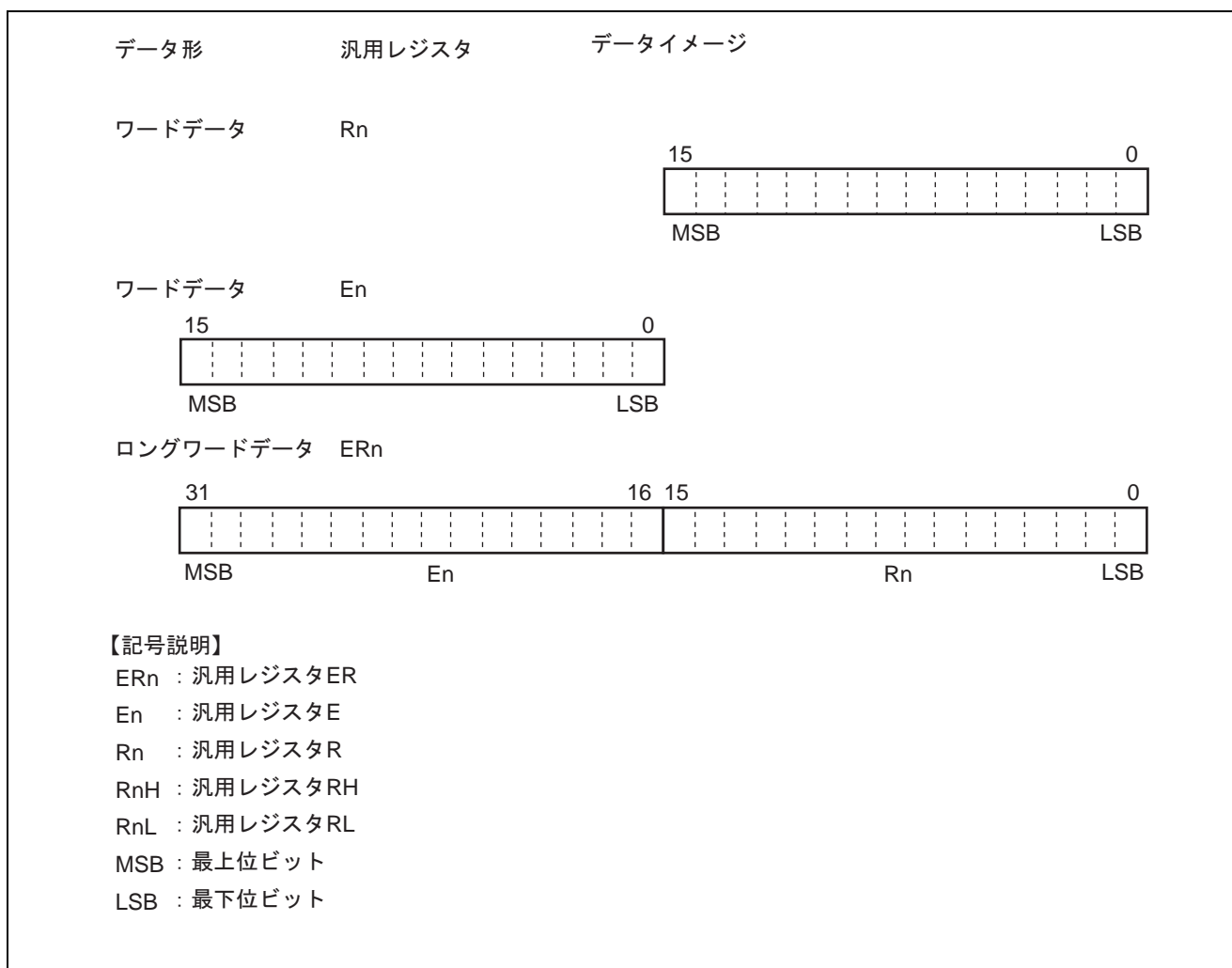


図 2.7 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.8 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

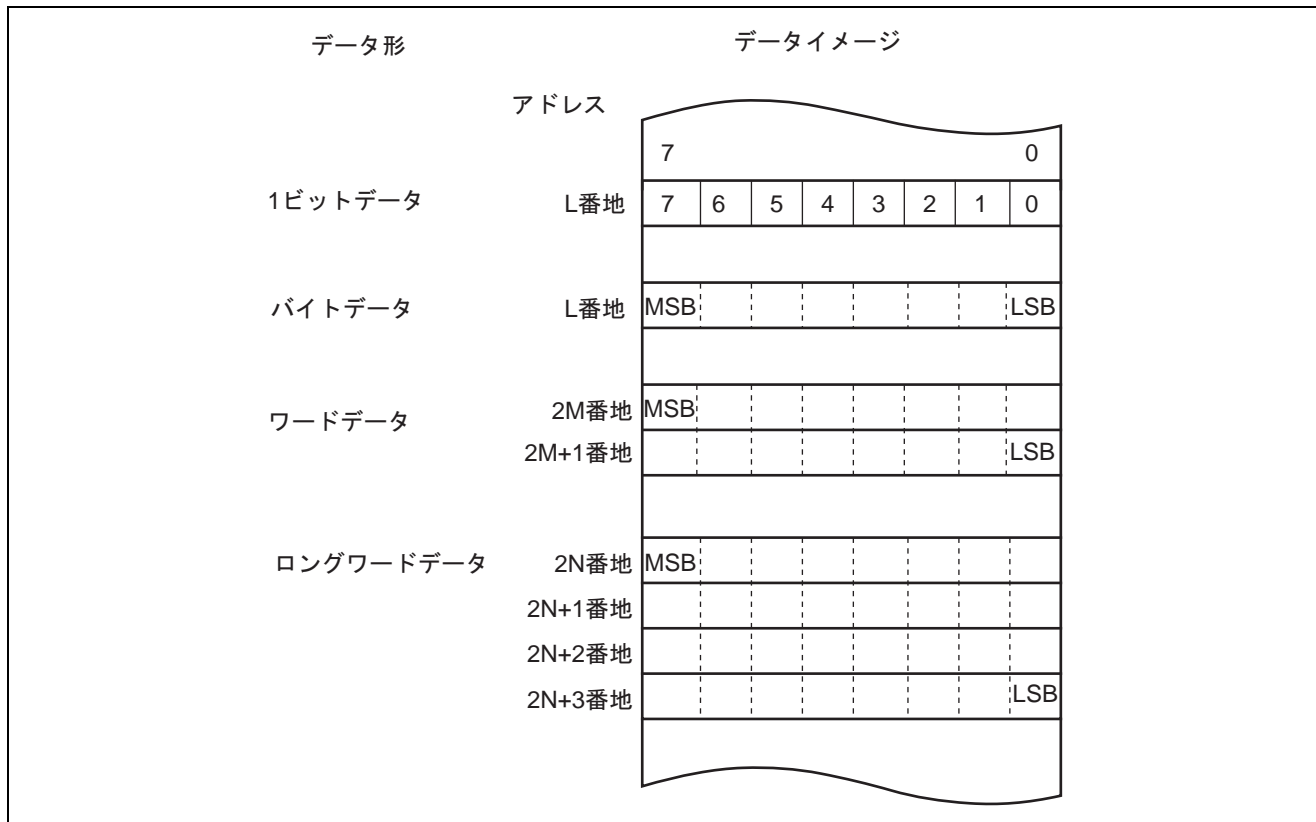


図 2.8 メモリ上でのデータ形式

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP* ¹ , PUSH* ¹	W/L	
	LDM* ⁵ , STM* ⁵	L	
	MOVFP* ³ , MOVTP* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* ⁴	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	—	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	—	9
ブロック転送命令	EPMOV	—	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

- *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *5 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.3 データ転送命令

命令	サイズ* ¹	機能
MOV	B/W/L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM* ²	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM* ²	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては使えません。

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$ 、 $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 、 $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) $\rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット 余り 16 ビットの除算が可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ* ¹	機能
DIVXS	B/W	Rd ÷ Rs → Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット → 商 8 ビット 余り 8 ビット、 32 ビット ÷ 16 ビット → 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0 - Rd → Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd（ゼロ拡張）→ Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd（符号拡張）→ Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd - 0、1 → (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$, $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$, $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$, $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd (シフト処理) $\rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd (シフト処理) $\rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd (ローテート処理) $\rightarrow Rd$ 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) $\rightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1 → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~ (<ビット番号>of<EAd>) → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号>of<EAd>) → Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C ∧ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C ∧ [~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C ∨ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C ∨ [~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.7 ビット操作命令 (2)

命令	サイズ*	機能
BXOR	B	$C \oplus (<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	$(<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	$\sim (<\text{ビット番号}> \text{of} <\text{EAd}>) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	$C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C \rightarrow (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグを反転して転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	—	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>CVZ=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>CVZ=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(Low)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$ZV(N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$ZV(N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	CVZ=0	BLS	Low or Same	CVZ=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(Low)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$ZV(N \oplus V) = 0$	BLE	Less or Equal	$ZV(N \oplus V) = 1$
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	CVZ=0																																																			
BLS	Low or Same	CVZ=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(Low)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$ZV(N \oplus V) = 0$																																																			
BLE	Less or Equal	$ZV(N \oplus V) = 1$																																																			
JMP	—	指定されたアドレスへ無条件に分岐します。																																																			
BSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	—	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs) →CCR、(EAs) →EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	—	if R4L ≠ 0 then Repeat @ER5+ → @ER6+ R4L - 1 → R4L Until R4L = 0 else next;
EEPMOV.W	—	if R4 ≠ 0 then Repeat @ER5+ → @ER6+ R4 - 1 → R4 Until R4 = 0 else next;
<p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>		

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.9 に命令フォーマットの例を示します。

- オペレーションフィールド
命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。
- レジスタフィールド
汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。
- EA 拡張部
イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。
- コンディションフィールド
Bcc 命令の分岐条件を指定します。

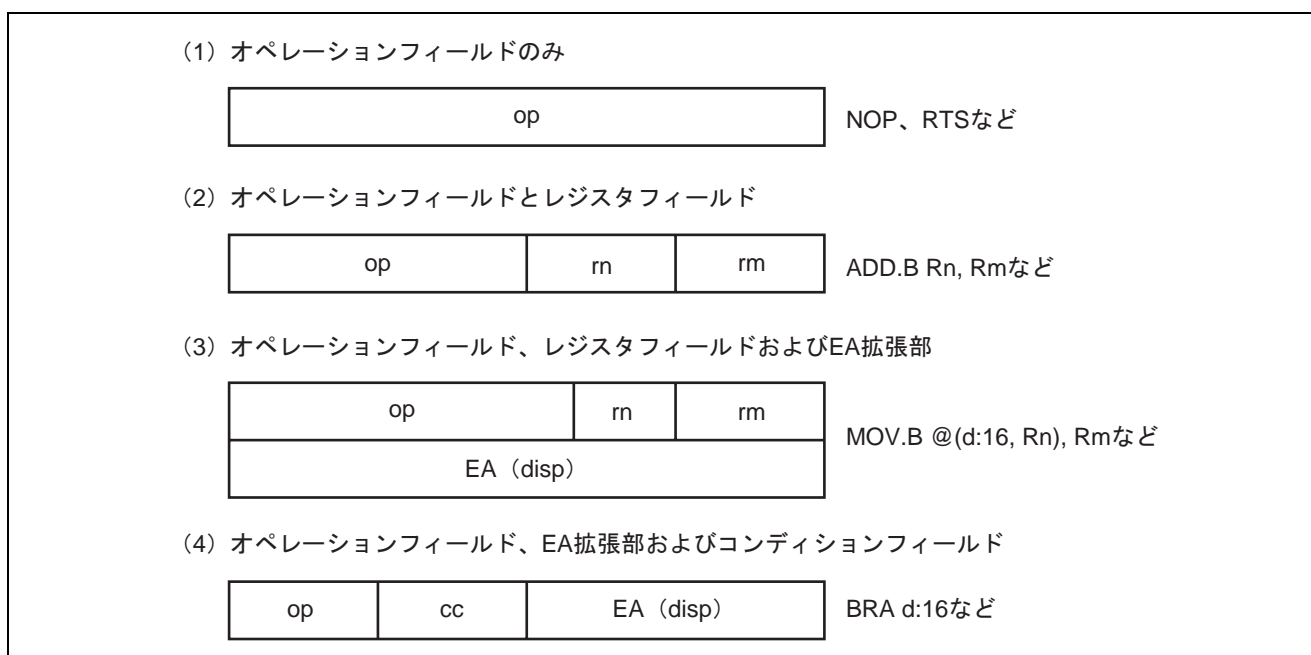


図 2.9 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。32 ビットレジスタとしては ER0~ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) /@(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接 @ERn+/ プリデクリメントレジスタ間接 @-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		アドバンストモード
データ領域	8 ビット (@aa:8)	H'FFFF00~H'FFFFFF
	16 ビット (@aa:16)	H'000000~H'007FFF、 H'FF8000~H'FFFFFF
	32 ビット (@aa:32)	H'000000~H'FFFFFF
プログラム領域	24 ビット (@aa:24)	

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト

(-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (H'000000 ~ H'0000FF) 番地です。

メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 6 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ形式」を参照してください）。

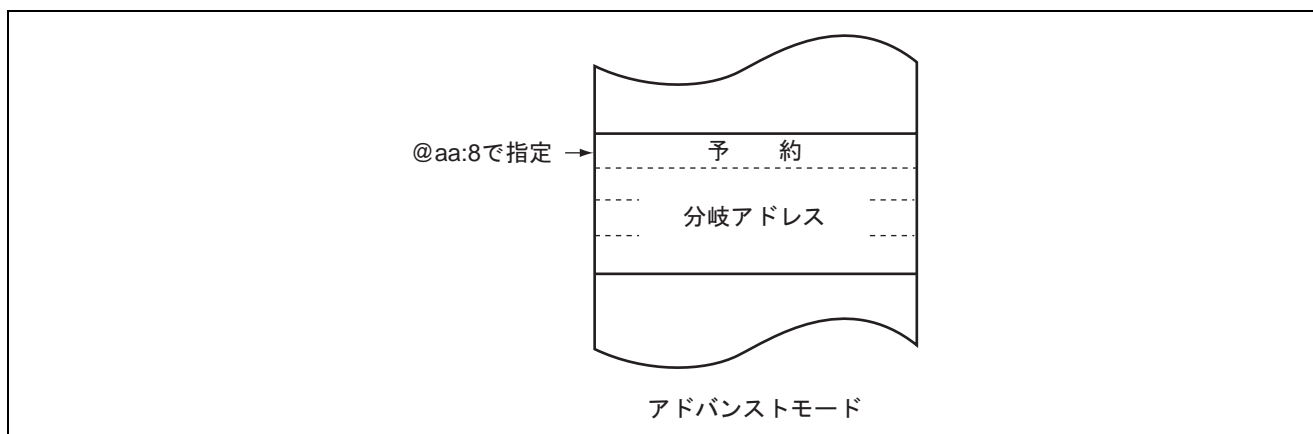
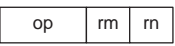
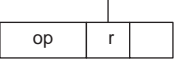
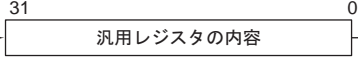
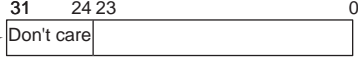
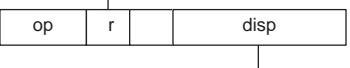
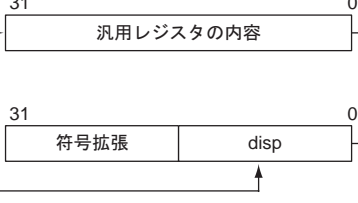
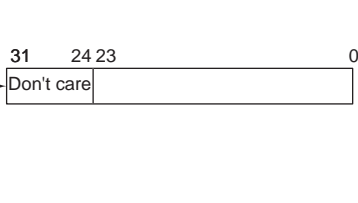
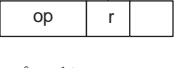
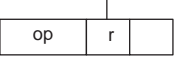
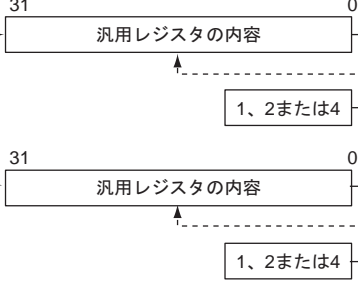
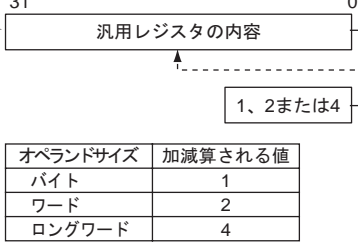
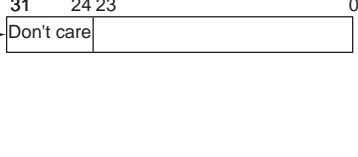
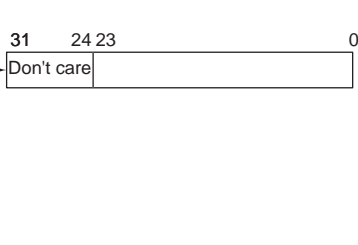


図 2.10 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） 		
3	ディスペースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 		
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	 	 

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8/#xx:16/#xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @@aa:8 ・ノーマルモード* 		
	・アドバンストモード 		

【注】 * 本 LSI では使用できません。

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、およびプログラム停止状態の 4 種類があります。処理状態間の状態遷移図を図 2.11 に示します。

- リセット状態
CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子を Low レベルから High レベルにすると、リセット例外処理を開始します。リセットの詳細は「第 6 章 例外処理」を参照してください。ウォッチドッグタイマのオーバーフローまたは低電圧検出回路の低電圧検知によってもリセットすることもできます。
- 例外処理状態
例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第 6 章 例外処理」を参照してください。
- プログラム実行状態
CPU がプログラムを順次実行している状態です。
- プログラム停止状態
CPU が動作を停止し、消費電力を低下させた状態です。SLEEP 命令の実行、またはソフトウェアスタンバイモードへの遷移で CPU はプログラム停止状態になります。詳細は「第 29 章 低消費電力状態」を参照してください。

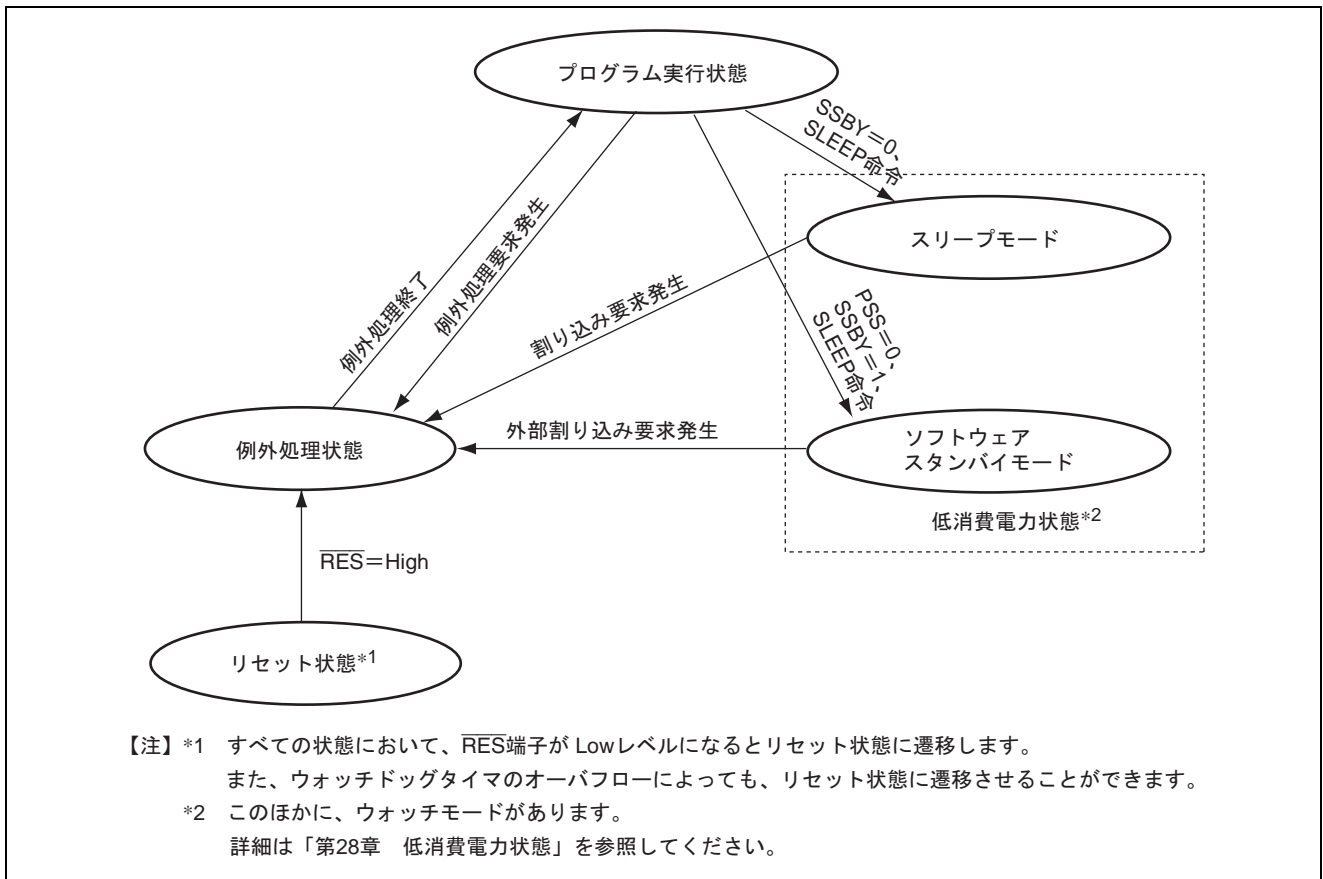


図 2.11 状態遷移図

2.9 使用上の注意事項

2.9.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようお願いいたします。

2.9.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポイントであるため、退避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。一命令で退避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本 : ER0—ER1、ER2—ER3、ER4—ER5

3 本 : ER0—ER2、ER4—ER6

4 本 : ER0—ER3

また、ルネサス製 H8S、H8S/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

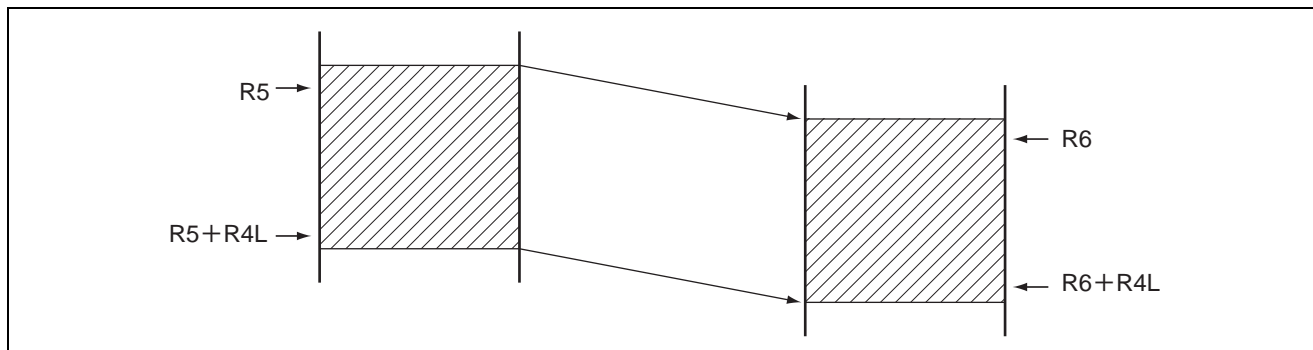
2.9.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

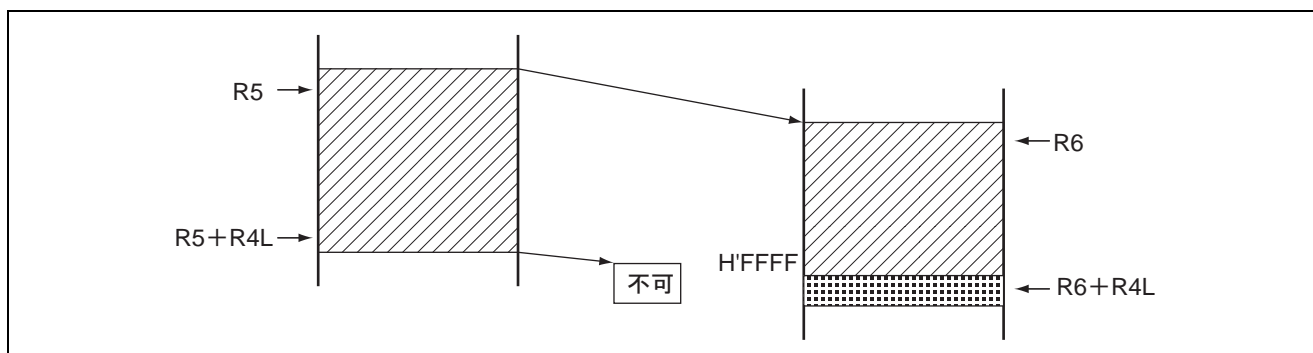
また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.9.4 EEPMOV 命令

1. EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



2. 転送先の最終アドレス (R6+R4Lの値) がH'FFFFを超えないように (実行途中でR6の値がH'FFFF→H'0000とならないように)、R4L、R6を設定してください。



3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 2、4、6）があります。動作モードは、モード端子（MD2、MD1）の設定で決まります。表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0*	CPU 動作モード	内 容	内蔵 ROM
2	0	1	0	アドバンスト	シングルチップモード	有効
4	1	0	0	—	フラッシュ書き込み/消去	—
6	1	1	0	エミュレーション	オンチップエミュレーションモード	有効

【注】 * MD0 は端子として存在せず、チップ内で 0 に固定されています。

モード 2 は、シングルチップモードで動作します。

モード 0、1、3、5、7 は、本 LSI では使用できません。モード 4、6 は、特殊な動作モードです。したがって、通常のプログラム実行状態では、モード端子は必ずモード 2 になるように設定してください。また、モード端子は動作中に変化させないでください。リセット解除後は MDCR レジスタのリードによるモード端子入力のラッチを行ってください。

モード 4 は、フラッシュメモリの書き込み/消去を行うためのブートモードです。詳細は「第 27 章 フラッシュメモリ」を参照してください。

モード 6 は、オンチップエミュレーションモードです。JTAG を用いてオンチップエミュレータ (E10A) により制御され、オンチップエミュレーションが可能です。

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

表 3.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
モードコントロールレジスタ	MDCR	R/W	—	H'FF90	8
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FF91	8
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FF9E	8

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、動作モードの設定および現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7	EXPE	0	R/W	リザーブビット 初期値を変更しないでください。
6~4	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	—	0	R/W	リザーブビット 初期値を変更しないでください。
2	MDS2	—*	R	モードセレクト 2、1 モード端子 (MD2、MD1) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS2、MDS1 ビットは MD2、MD1 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。 MDCR をリードすると、モード端子 (MD2、MD1) の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
1	MDS1	—*	R	
0	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

【注】 * MD2、MD1 端子により決定されます。

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット 初期値を変更しないでください。
6	—	0	R/W	
5	INTM1	0	R	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 割り込み制御モードについては「7.6 割り込み制御モードと割り込み動作」を参照してください。 00 : 割り込み制御モード 0 01 : 割り込み制御モード 1 10 : 設定禁止 11 : 設定禁止
4	INTM0	0	R/W	
3	XRST	1	R	リセット要因 リセット要因を表すビットです。リセットは、端子リセット入力、パワーオンリセットまたは、ウォッチドッグタイマオーバフローにより発生できます。 0 : ウォッチドッグタイマオーバフローで発生 1 : リセット (端子リセット、パワーオンリセット) で発生

ビット	ビット名	初期値	R/W	説明
2	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0 : NMI 入力の立ち下がりエッジで割り込み要求を発生 1 : NMI 入力の立ち上がりエッジで割り込み要求を発生
1	—	0	R/W	リザーブビット 初期値を変更しないでください。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

3.2.3 シリアルタイムコントロールレジスタ (STCR)

STCR は、タイマカウンタの入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IICX2* ¹	0	R/W	I ² C_2 トランスファレートセレクト IIC_2 の動作を制御するビットです。I ² C_2 バスモードレジスタ (ICMR_2) の CKS2~CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。 転送レートについては、表 17.4 を参照してください。
6	IICX1* ¹	0	R/W	I ² C_1 トランスファレートセレクト IIC_1 の動作を制御するビットです。I ² C_1 バスモードレジスタ (ICMR_1) の CKS2~CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。 転送レートについては、表 17.4 を参照してください。
5	IICX0* ¹	0	R/W	I ² C_0 トランスファレートセレクト IIC_0 の動作を制御するビットです。I ² C_0 バスモードレジスタ (ICMR_0) の CKS2~CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。 転送レートについては、表 17.4 を参照してください。
4~2	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
1	ICKS1* ²	0	R/W	インターナルクロックソースセレクト 1、0
0	ICKS0* ²	0	R/W	TMR_0、TMR_1 タイマコントロールレジスタ (TCR) の CKS2~CKS0 ビットと組み合わせてタイマカウンタ (TCNT) に入力するクロックとカウント条件を選択します。詳細は「12.3.4 タイマコントロールレジスタ (TCR)」を参照してください。

【注】 *1 IICX2、IICX1、IICX0 をアクセスする場合はそれぞれ MSTPCRB の MSTPB4、MSTPCRL の MSTP3、MSTPCRL の MSTP4 を 0 にクリアしてください。

*2 ICKS1 または ICKS0 をアクセスする場合は MSTPCRH の MSTP12 を 0 にクリアしてください。

3.3 各動作モードの説明

3.3.1 モード2

CPU はアドバンスト・シングルチップモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。

3.4 アドレスマップ

アドレスマップを図 3.1 に示します。

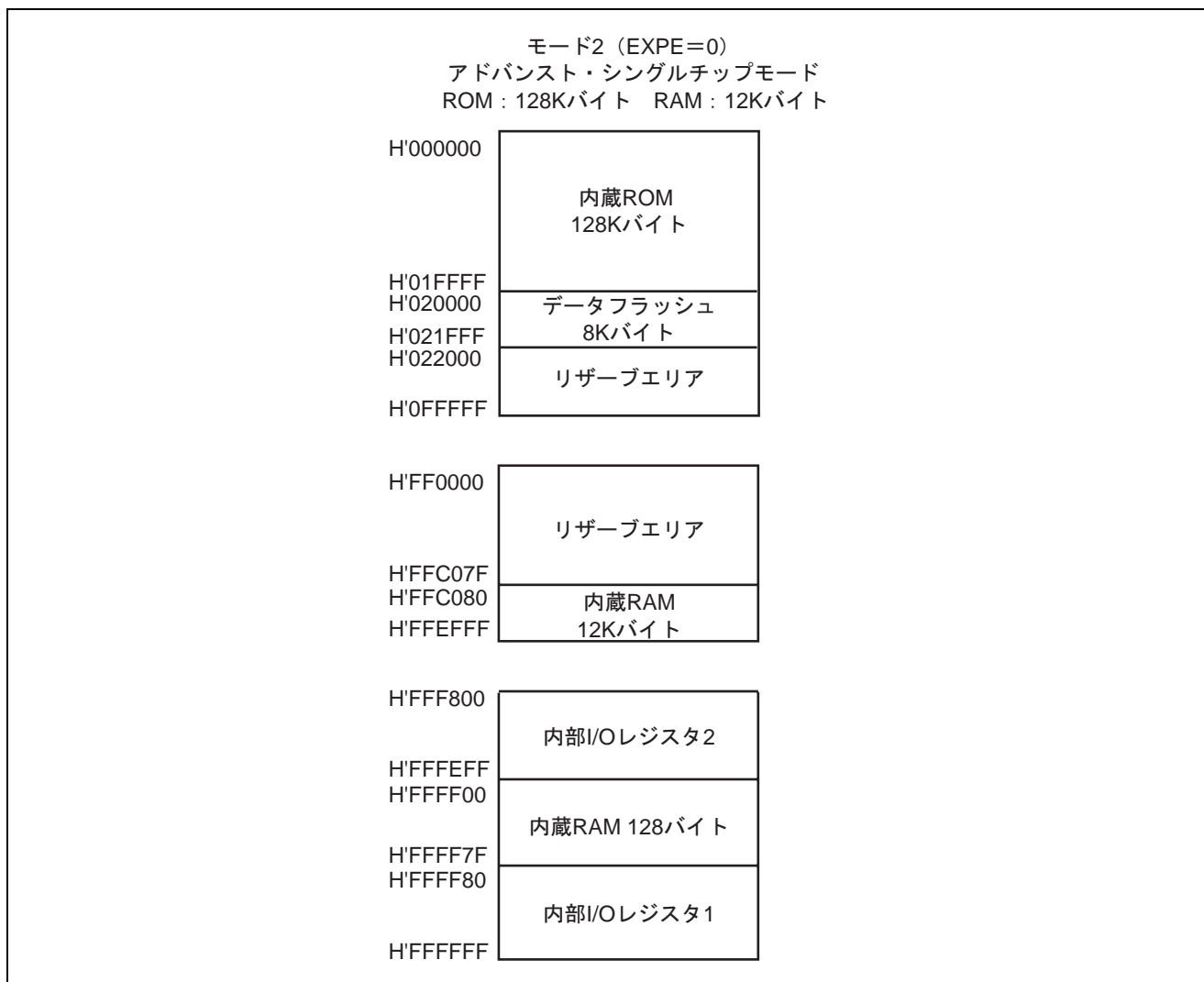


図 3.1 アドレスマップ

4. リセット

4.1 リセットの種類

リセットには端子リセット、パワーオンリセット／低電圧検知リセット 0、低電圧検知リセット 1、ウォッチドッグタイマリセットがあります。

表 4.1 にリセットの名称と要因を示します。

リセットにより、内部状態は初期化され、端子は初期状態になります。図 4.1 に各リセットによって初期化される対象を示します。

パワーオンリセットを使用される場合、 $\overline{\text{RES}}$ 端子を High レベルに固定してください。

表 4.1 リセットの名称と要因

リセットの名称	要 因
端子リセット	RES 端子の入力電圧が"L"
パワーオンリセット／低電圧検知リセット 0	Vcc の上昇／下降（監視電圧：Vdet0）
低電圧検知リセット 1	Vcc の下降（監視電圧：Vdet1）
ウォッチドッグタイマリセット	ウォッチドッグタイマのオーパフロー

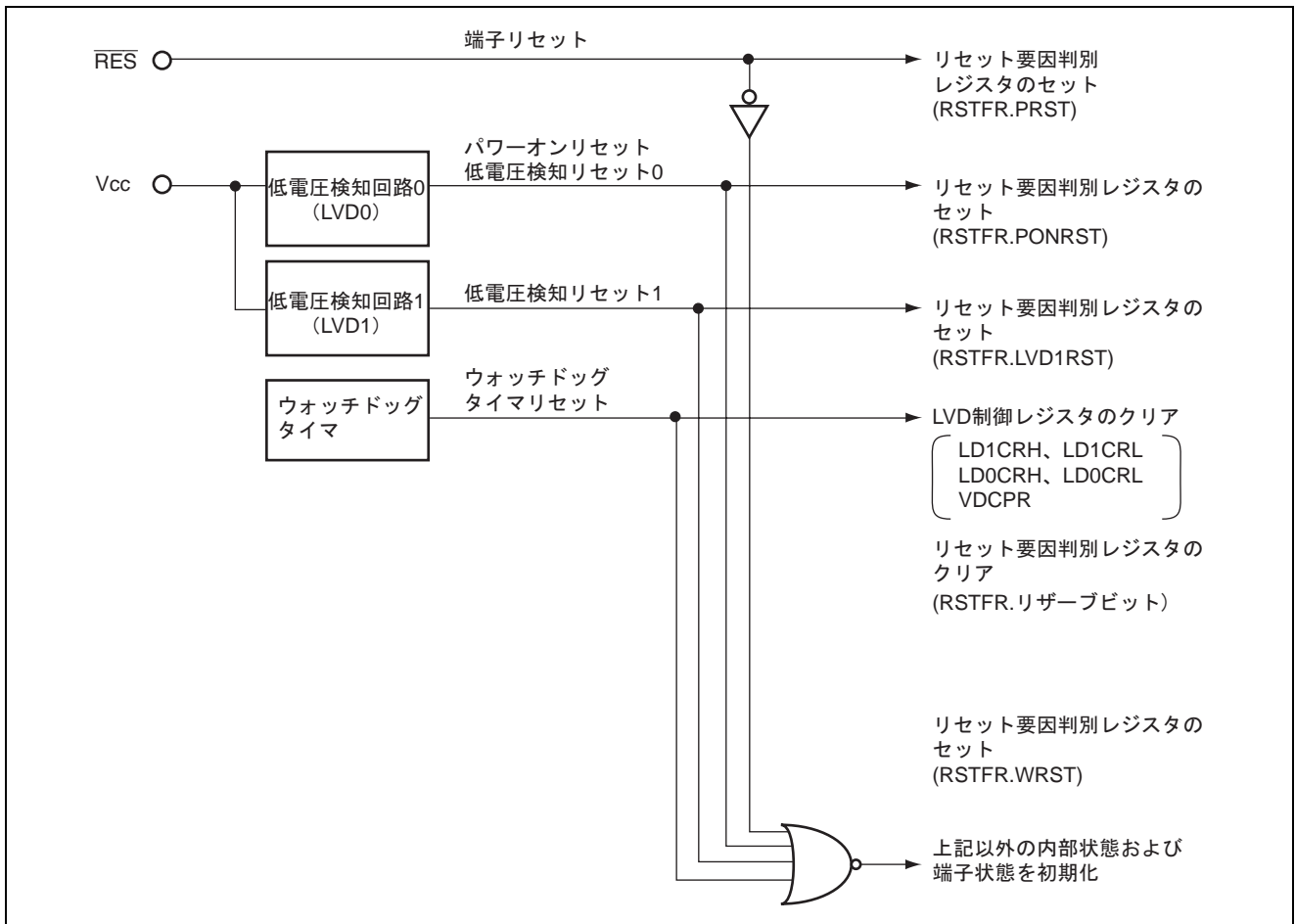


図 4.1 リセット回路のブロック図

レジスタの中には、いずれのリセットでも初期化されないものがあります。CPU 内部レジスタについて以下に説明します。

CPU 内部レジスタのうち PC は、リセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタ、CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に MOV.L 命令を使用して、SP の初期化を行ってください。詳細については、「2. CPU」を参照してください。CPU 以外の初期化されないレジスタについては、各章のレジスタ説明を参照してください。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「6.3 リセット」を参照してください。

4.2 入出力端子

リセットに関連する端子の構成を表 4.2 に示します。

表 4.2 端子構成

名称	記号	入出力	機能
リセット	$\overline{\text{RES}}$	入力	リセット入力

4.3 レジスタの説明

リセットに関連するレジスタには以下のものがあります。

表 4.3 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
リセット発生要因フラグレジスタ	RSTFR	R/W	(H'10)*	H'FB40	8
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FF91	8

【注】 * $\overline{\text{RES}}$ 端子によるリセット発生時の初期値

4.3.1 リセット発生要因フラグレジスタ (RSTFR)

RSTFR は、内部リセットの発生要因を示します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—			リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	—			
4	PRST	(0)* ¹	R/(W)* ²	$\overline{\text{RES}}$ 端子リセット検出フラグ 1: $\overline{\text{RES}}$ 端子によるリセットが発生 0: $\overline{\text{RES}}$ 端子リセットの発生なし
3	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
2	LVD1RST	(0)* ¹	R/(W)* ²	低電圧検知リセット1検出フラグ 1: 低電圧検知リセット1によるリセットが発生 0: 低電圧検知リセット1の発生なし
1	PONRST	(0)* ¹	R/(W)* ²	パワーオンリセット/低電圧検知リセット0検出フラグ 1: パワーオンリセット/低電圧検知リセット0によるリセットが発生 0: パワーオンリセット/低電圧検知リセット0の発生なし
0	WRST	(0)* ¹	R/(W)* ²	ウォッチドッグタイマリセット検出フラグ 1: ウォッチドッグタイマのオーバフローによるリセットが発生 0: ウォッチドッグタイマリセットの発生なし

【注】 *1 各ビットの初期値はリセットの種類によって変化します。

*2 本レジスタの各フラグは0をライトすることでクリアできます。本レジスタへのライト時、リザーブビットは必ず0を書いてください。

4.3.2 システムコントロールレジスタ (SYSCR)

SYSCR は、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	初期値を変更しないでください。
5	INTM1	0	R	割り込み制御選択モード 1、0
4	INTM0	0	R/W	割り込みコントローラの割り込み制御モードを選択します。 割り込み制御モードについては「7.6 割り込み制御モードと割り込み動作」を参照してください。 00 : 割り込み制御モード 0 01 : 割り込み制御モード 1 10 : 設定禁止 11 : 設定禁止
3	XRST	1	R	リセット要因 リセット要因を表すビットです。リセットは、端子リセット、パワーオンリセット、低電圧検知リセット、またはウォッチドッグタイマオーバフローにより発生できます。 0 : ウォッチドッグタイマオーバフローで発生 1 : リセット (端子リセット、パワーオンリセット、低電圧検知リセット) で発生
2	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0 : NMI 入力の立ち下がリエッジで割り込み要求を発生 1 : NMI 入力の立ち上がリエッジで割り込み要求を発生
1	—	0	R/W	リザーブビット 初期値を変更しないでください。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

4.4 端子リセット

$\overline{\text{RES}}$ 端子によるリセットです。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

端子リセットで本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中にリセット入力を行なう場合は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。

4.5 パワーオンリセット／低電圧検知リセット 0

低電圧検知回路 0 (LVD0) による内部リセットです。

$\overline{\text{RES}}$ 端子を High レベルにした状態で電源を投入すると、パワーオンリセットが発生します。Vcc が Vdet0 を超えると、ある一定の時間 (パワーオンリセット時間) 経過後、パワーオンリセットは解除されます。パワーオンリセット時間は、外部電源および LSI が安定するための時間です。

$\overline{\text{RES}}$ 端子を High レベルにした状態で電源電圧が低下し Vcc が Vdet0 以下になると、低電圧検知リセット 0 が発生します。次に Vcc が上昇し Vpor を超えると、パワーオンリセット時間経過後、低電圧検知リセット 0 は解除されます。

パワーオンリセット／低電圧検知リセット 0 の詳細は「第 5 章 低電圧検知回路 (LVD)」および「第 31 章 電気的特性」を参照してください。

図 4.2 にパワーオンリセット／低電圧検知リセット 0 の動作を示します。

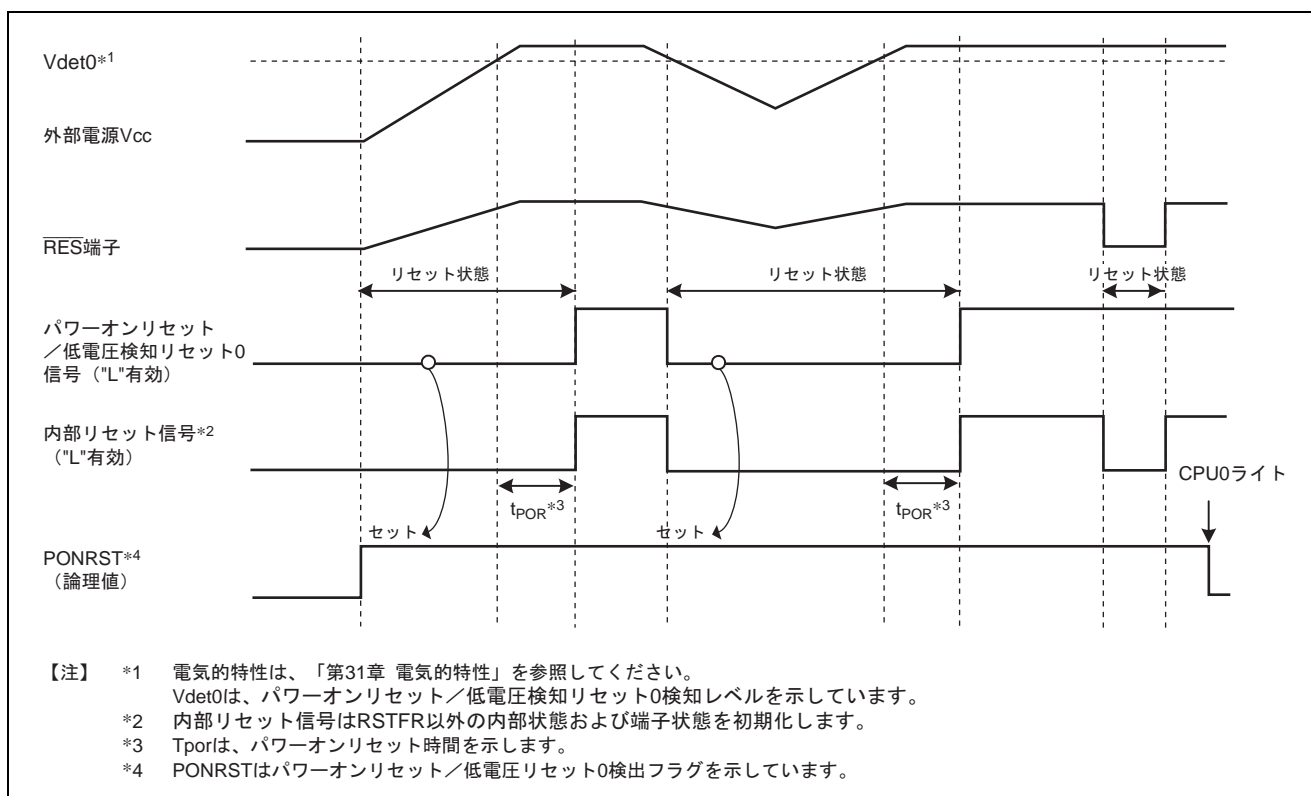


図 4.2 パワーオンリセット動作

4.6 低電圧検知リセット 1

低電圧検知回路 1 (LVD1) による内部リセットです。

LDICRL の LD1E ビットに 1 をセットし、かつ LDICRH の VD1RE ビットを 1 にセットした状態で、Vcc が Vdet1 以下になると、低電圧検知リセット 1 が発生します。次に Vcc が上昇し Vdet1 を越えると、パワーオンリセット時間経過後、低電圧検知リセット 1 は解除されます。

低電圧検知リセット 1 の詳細は「第 5 章 低電圧検知回路 (LVD)」および「第 31 章 電気的特性」を参照してください。

4.7 ウォッチドッグタイマリセット

ウォッチドッグタイマによる内部リセットです。

TCSR の RST/ $\overline{\text{NMI}}$ ビットを 1 にセットすると、TCNT がオーバフローしたときに、ウォッチドッグタイマリセットが発生します。

ウォッチドッグタイマリセットの詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.8 リセット発生要因の判定

RSTFR、SYSCR をリードすることで、いずれのリセット発生によりリセット例外処理が実行されたかを確認することができます。図 4.3 にリセット発生要因の判定フローの例を示します。

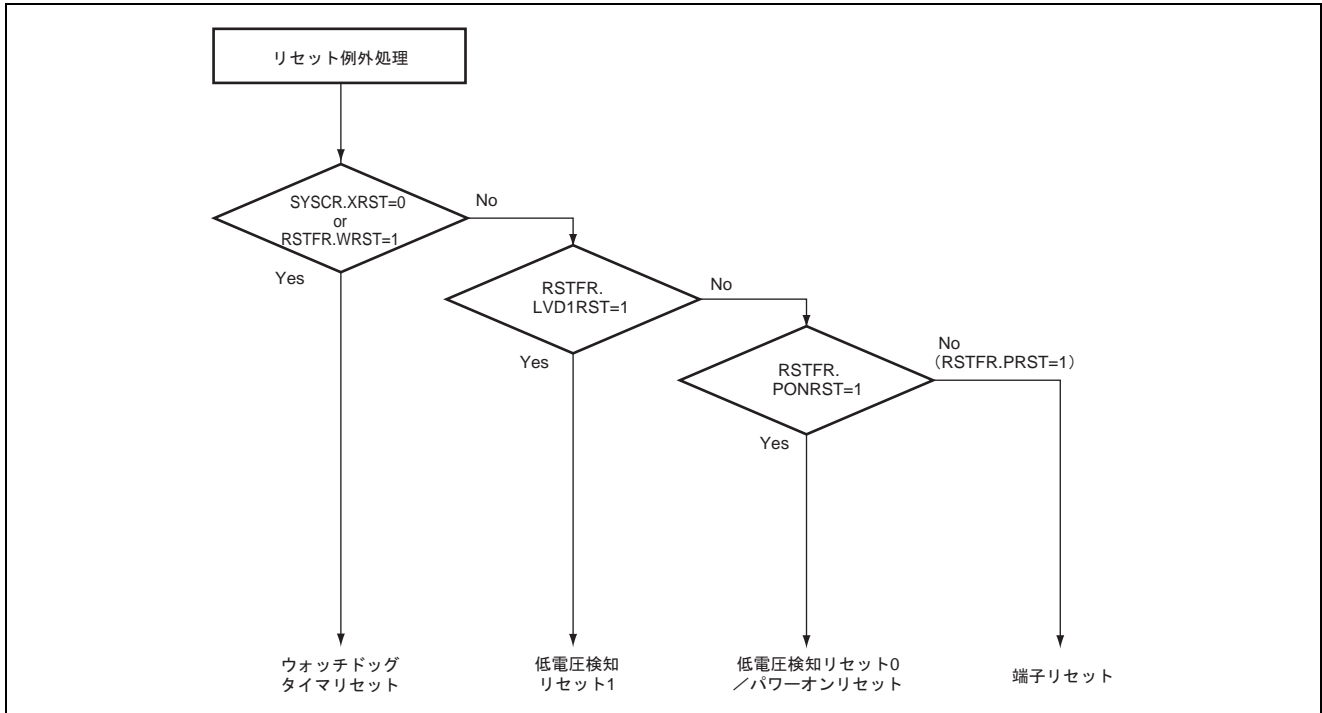


図 4.3 リセット発生要因判定フロー例

5. 低電圧検知回路 (LVD)

本 LSI は低電圧検知回路 (LVD0、LVD1) を内蔵しています。

低電圧検知回路は、Vcc の電圧レベルを監視する回路です。Vcc が低下し電圧検知レベルを下回ると、電圧検知回路は本 LSI 内部をリセットすることができます。また、Vcc の上昇または降下を検知し、割り込みを発生させることができます。

5.1 特長

- パワーオンリセット機能
電源投入時に内部リセットを発生
Vcc が電圧検知レベルより上昇した場合、リセットを解除
- 低電圧検知機能
低電圧検知リセット : Vcc が電圧検知レベルより降下した場合、内部リセットを発生
低電圧検知割り込み : Vcc が電圧検知レベルより降下または上昇した場合に割り込みを発生
電圧検知レベル : LVD1 は 2 段階、LVD0 は 2 段階より選択可能

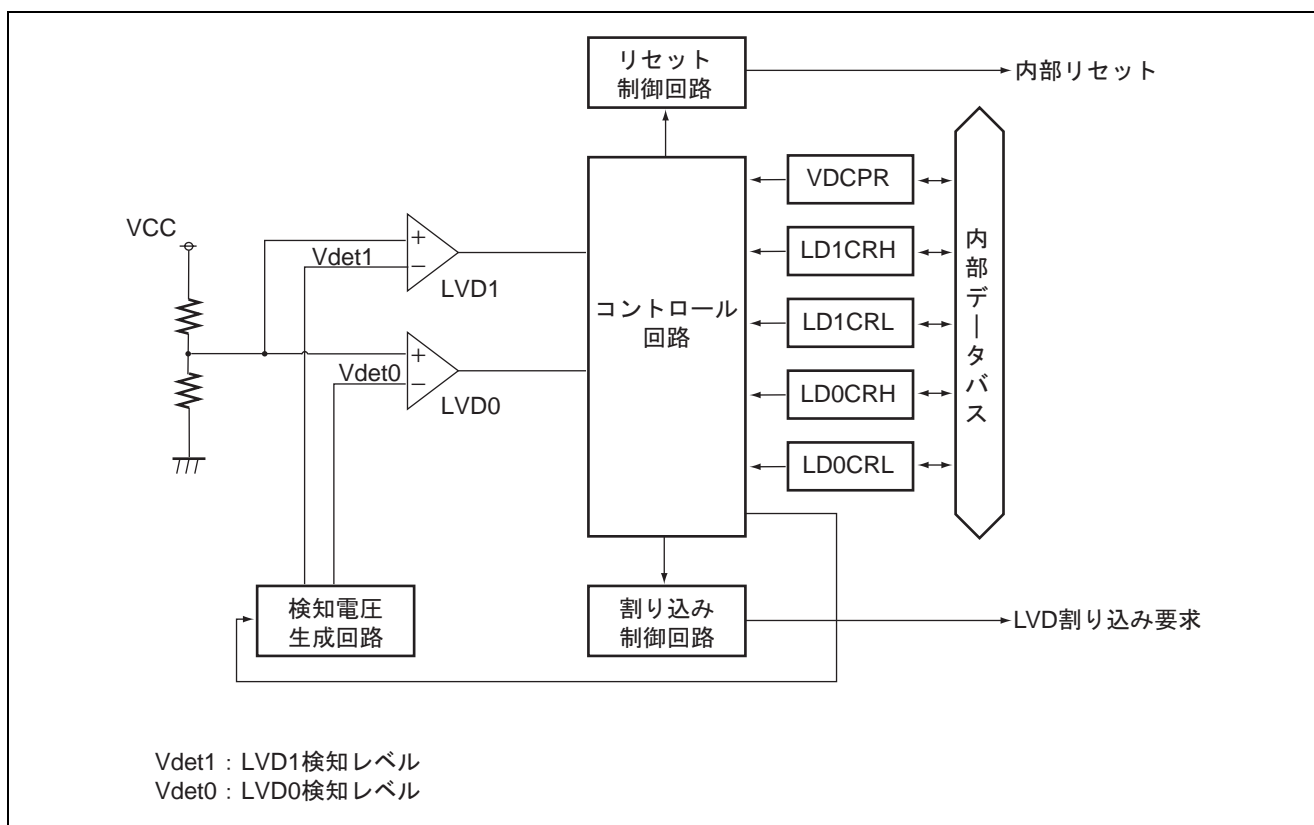


図 5.1 低電圧検知回路のブロック図

5.2 レジスタの説明

LVD のレジスタを以下の表に示します。

表 5.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
低電圧検知回路コントロールプロテクトレジスタ	VDCPR	R/W	H'80	H'FB49	8
低電圧検知回路 1 コントロールレジスタ H	LD1CRH	R/W	H'00	H'FB44	8
低電圧検知回路 1 コントロールレジスタ L	LD1CRL	R/W	H'00	H'FB45	8
低電圧検知回路 0 コントロールレジスタ H	LD0CRH	R/W	H'01	H'FB46	8
低電圧検知回路 0 コントロールレジスタ L	LD0CRL	R/W	H'80	H'FB47	8

5.2.1 低電圧検知回路コントロールプロテクトレジスタ (VDCPR)

低電圧検知回路のプロテクトを制御するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	WRI	1	W	VDCPR 書き込み禁止 0: VDCPR ビット書き込み許可 1: VDCPR ビット書き込み禁止 このビットの書き込み値が0のときのみ、このレジスタに対する書き込みが有効になります。リードすると常に1が読み出されます。
6~2	—	すべて0	R/W	リザーブビット リードすると0が読み出されます。ライト時は0を書いてください。
1	—	0	R	リザーブビット リードすると0が読み出されます。ライト時は0を書いてください。
0	LDPRC	0	R/W	低電圧検知回路コントロールレジスタ書き込み許可 0: 低電圧検知回路コントロールレジスタの書き込み禁止 1: 低電圧検知回路コントロールレジスタの書き込み許可 このビットが1のとき、低電圧検知回路コントロールレジスタ (LD1CRH、LD1CRL、LC0CRH、LD0CRL) の書き込みが有効になります。 低電圧検知回路コントロールレジスタをライトすると LDPRC は0にクリアされま す。

【注】 本レジスタへ書き込みを行う場合は、必ず MOV 命令を使用してください。

5.2.2 低電圧検知回路 1 コントロールレジスタ H (LD1CRH)

低電圧検知回路 1 (LVD1) を制御するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	VD1DF	0	R/W	LVD1 電源電圧降下フラグ [セット条件] • Vcc が Vdet1 以下に降下したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • LVD1 回路がスタンバイ状態のとき
6	VD1UF	0	R/W	LVD1 電源電圧上昇フラグ [セット条件] • Vcc が Vdet1 以下に降下し、Vdet0 以下に降下する前に Vdet1 以上に上昇したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • LVD1 回路がスタンバイ状態のとき
5 4	—	すべて 0	R/W	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
3	—	0	R/W	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
2	VD1IRCS	0	R/W	LVD1 割り込み要求発生条件選択 0 : Vcc が Vdet1 以上になるとき 1 : Vcc が Vdet1 以下になるとき VD1MS=1 時は本設定に関係なく、Vdet1 以下になるとリセット要求が発生します。
1	VD1MS	0	R/W	LVD1 モード選択 0 : Vdet1 通過時に割り込み要求発生 1 : Vdet1 通過時にリセット要求発生
0	VD1RE	0	R/W	LVD1 割り込み/リセット要求イネーブル VD1E ビットが 1 のとき有効 0 : 電圧検知時の割り込み/リセット要求を禁止 1 : 電圧検知時の割り込み/リセット要求を許可

表 5.3 に LD1CRH の設定値と選択機能の関係を示します。LD1CRH は表 5.3 の設定にしてください。

表 5.3 LD1CRH の設定と選択機能

LD1CRH		選択機能		
VD1MS	VD1IRCS	LVD1 低電圧検知リセット	LVD1 電圧降下検知割り込み	LVD1 電圧上昇検知割り込み
1	X	○	—	—
0	1	—	○	—
0	0	—	—	○

【記号説明】 X : Don't care

5.2.3 低電圧検知回路 1 コントロールレジスタ L (LD1CRL)

低電圧検知回路 1 (LVD1) を制御するレジスタです。

ビット	ビット名	R/W	初期値	説明
7	VD1E	R/W	0	LVD1 回路イネーブル 0 : 停止 1 : 動作
6	—	R	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
5~3	—	R/W	すべて 0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
2	VD1LS2	R/W	0	LVD1 検知電圧レベル選択 000 : 設定禁止 001 : 設定禁止 010 : 設定禁止 011 : 3.10V 100 : 3.25V 101 : 設定禁止 110 : 設定禁止 111 : 設定禁止 上記は typ 条件の下降検知レベルを示しています。 【注】 LVD1 検知電圧レベルは必ず LVD0 検知レベルよりも高い電圧値を選択してください。
1	VD1LS1	R/W	0	
0	VD1LS0	R/W	0	

5.2.4 低電圧検知回路 0 コントロールレジスタ H (LD0CRH)

低電圧検知回路 0 (LVD0) を制御するレジスタです。

ビット	ビット名	R/W	初期値	説明
7	—	R	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
6	—	R/W	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
5	—	R/W	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
4	—	R/W	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
3	—	R/W	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
2	—	R/W	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
1	—	R/W	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
0	—	R	1	リザーブビット リードすると 1 が読み出されます。ライト時は 1 をライトしてください。

【注】 本レジスタは LVD1 リセットでは初期化されません。

5.2.5 低電圧検知回路 0 コントロールレジスタ L (LD0CRL)

低電圧検知回路 0 (LVD0) を制御するレジスタです。

ビット	ビット名	R/W	初期値	説明
7	—	R	1	リザーブビット リードすると 1 が読み出されます。ライト時は 1 をライトしてください。
6	—	R	0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
5~2	—	R/W	すべて 0	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
0	VD0LS1	R/W	0	LVD0 検知電圧レベル選択 0 : 2.35V 1 : 2.85V 上記は typ 条件の検知レベルを示しています。 パワーオンリセット時の検知レベルは 2.35V です。 【注】 LVD0 検知電圧レベルは必ず LVD1 検知レベルよりも低い電圧値を選択してください。

【注】 本レジスタは LVD1 リセットでは初期化されません。

5.3 動作説明

5.3.1 パワーオンリセット

パワーオンリセットは電源投入時、LVD0によりVccを監視してLSI全体を初期化するリセットです。
RES端子をHighレベルにした状態で電源を投入すると、パワーオンリセットが発生します。VccがVdet0（パワーオンリセット発生時は2.35V）を超えると、ある一定の時間（パワーオンリセット時間）経過後、パワーオンリセットは解除されます。パワーオンリセット時間は、外部電源およびLSIが安定するための時間です。

図5.2にパワーオンリセットの動作タイミングを示します。

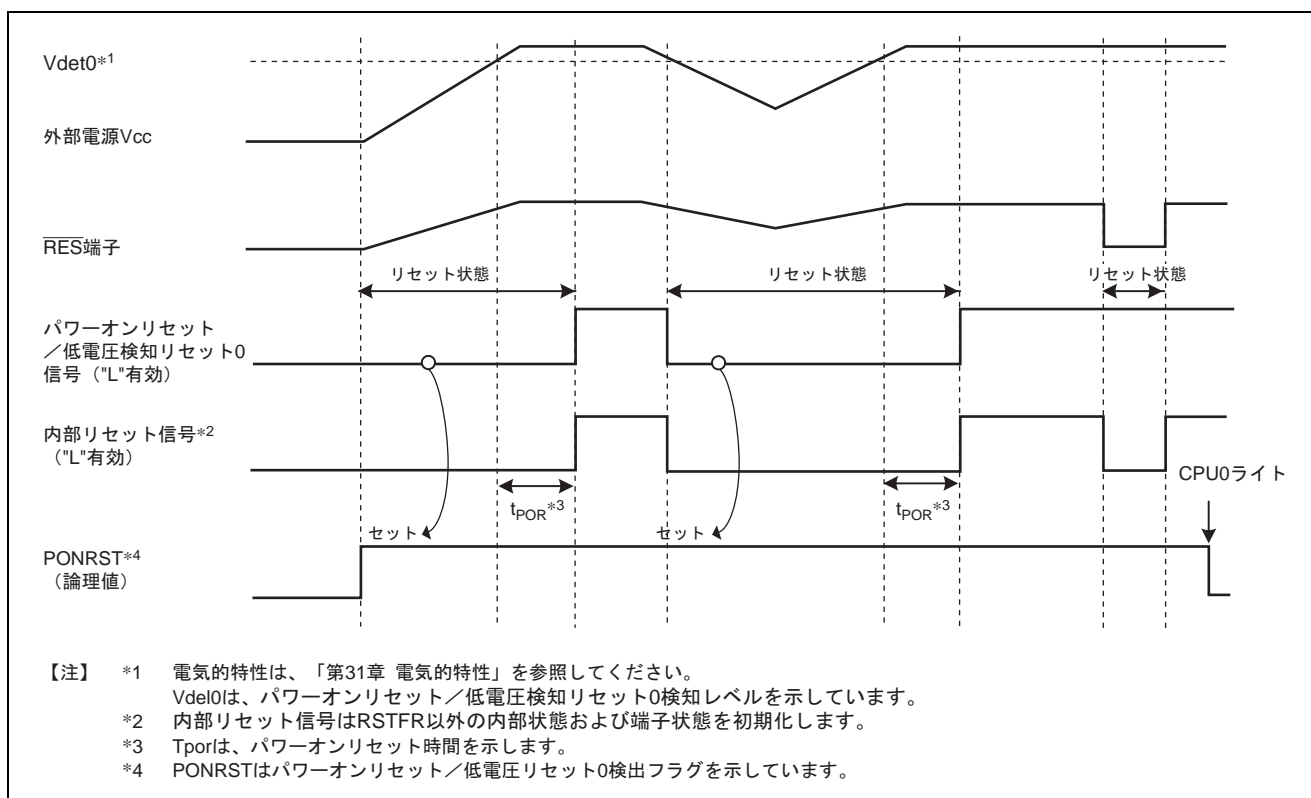


図 5.2 パワーオンリセットの動作タイミング

5.3.2 低電圧検知機能

(1) 低電圧検知リセット 1 (LVDR1)

LVDR1 は LVD1 回路によるリセットです。LVDR1 の動作タイミングを図 5.3 に示します。

LVD1 回路はパワーオンリセット解除後、停止状態になります。LVDR1 を動作させるためには、LD1CRL の VD1E ビットを 1 にセットし、検知電圧および低電圧検知回路 1 が安定するまでの時間 T_{lvd1on} 経過後、LD1CRH の VD1MS ビットを 1 にセット、VD1RE ビットを 1 にセットします。また、LVDR1 を停止する場合は、LD1CRH の VD1RE ビットを 0 にクリアした後、LD1CRL の VD1E ビットを 0 にクリアします。低電圧検知リセット 1 の設定手順例を図 5.4 に示します。

LVDR1 は Vcc が低下して Vdet1 以下になると、低電圧検知リセット 1 が発生します。パワーオンリセットが発生しない限り、低電圧検知リセット 1 状態を維持します。Vcc が再度 Vdet1 電圧以上に上昇した後、ある一定の時間経過後（低電圧検知リセット 1 時間）、低電圧検知リセット 1 が解除されます。

また、Vcc が Vdet0 以下になると本 LSI はパワーオンリセット動作になります。

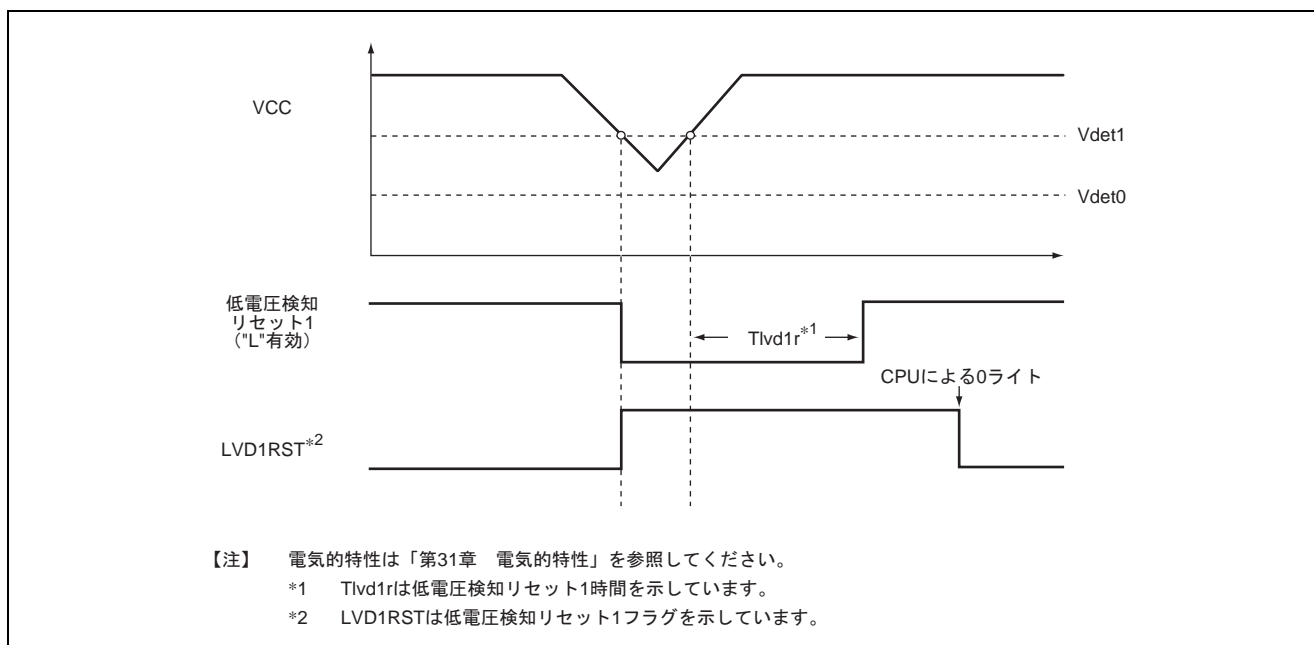


図 5.3 低電圧検知リセット 1 動作タイミング

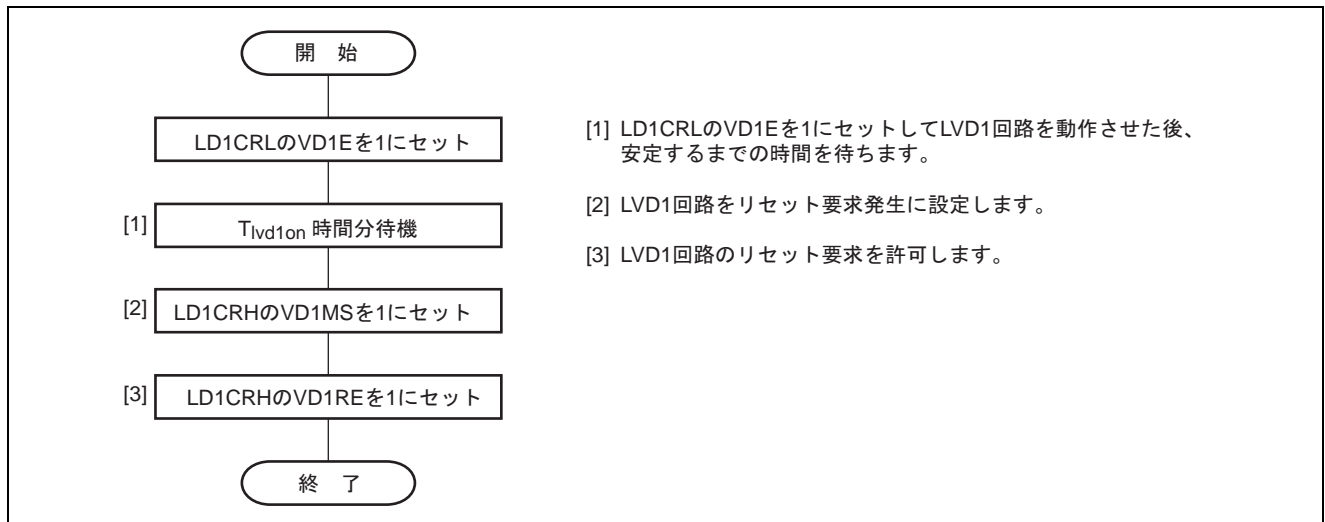


図 5.4 低電圧検知リセット 1 設定手順例

(2) 低電圧検知割り込み 1 (LVDI1)

LVDI1 は LVD1 回路による割り込みです。LVDI1 の動作タイミングを図 5.5 に示します。

LVD1 回路はパワーオンリセット解除後、停止状態になります。LVDI1 を動作させるには LD1CRL の VD1E ビットを 1 にセットし、検知電圧および低電圧検知回路 1 が安定するまでの時間 T_{lvd1on} 経過後、LD1CRH の VD1MS ビットを 0 にクリア、VD1RE ビットを 1 にセットします。また、LVDI1 を停止する場合は、LD1CRH の VD1RE ビットを 0 にクリアした後、LD1CRL の VD1E ビットを 0 にクリアします。低電圧検知割り込み 1 の設定手順例を図 5.6 に示します。

LVDI1 は V_{cc} が V_{det1} 電圧以下になると、LD1CRH の VD1DF ビットが 1 にセットされます。このとき LD1CRH の VD1IRCS ビットが 1 であれば、LVD1 割り込み要求を発生します。

また、 V_{cc} が V_{det0} 電圧まで降下せず、再び V_{det1} 電圧以上に上昇すると、LD1CRH の VD1UF ビットが 1 にセットされます。このとき LD1CRH の VD1IRCS ビットが 0 であれば、LVD1 割り込み要求を発生します。

また、 V_{cc} が V_{det0} 電圧以下になると本 LSI はパワーオンリセット動作になります。

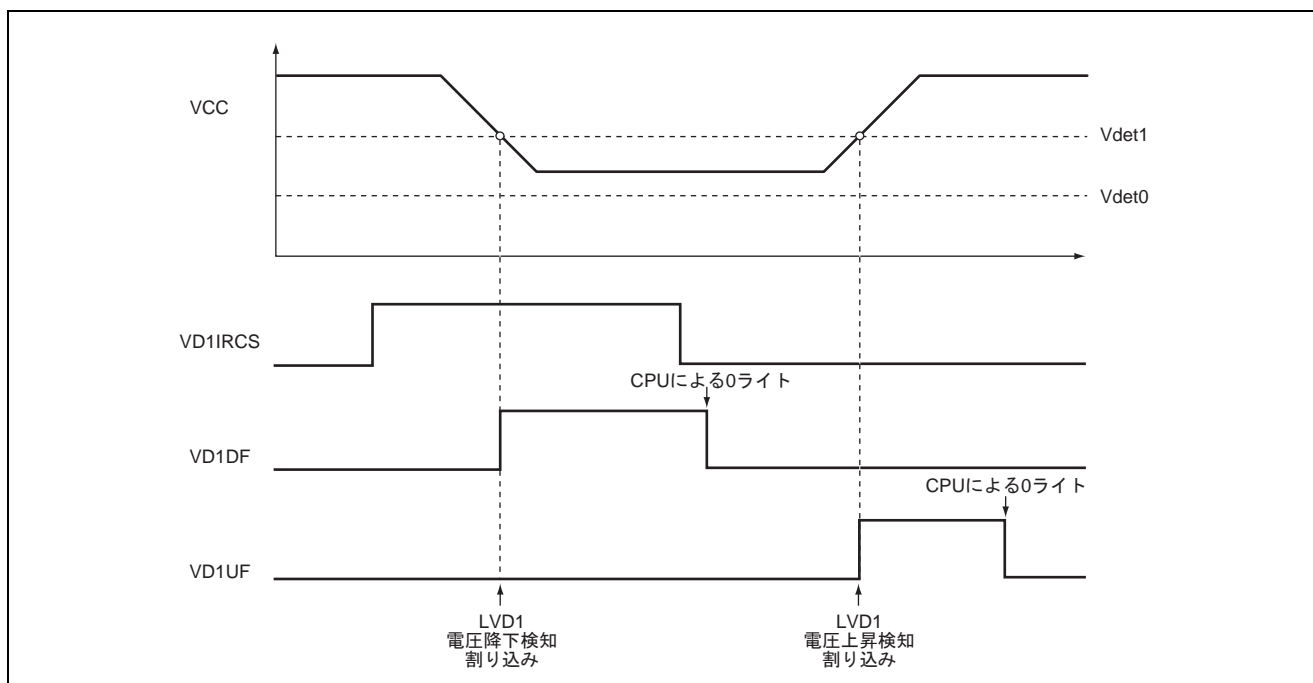


図 5.5 低電圧検知割り込み回路 1 動作タイミング

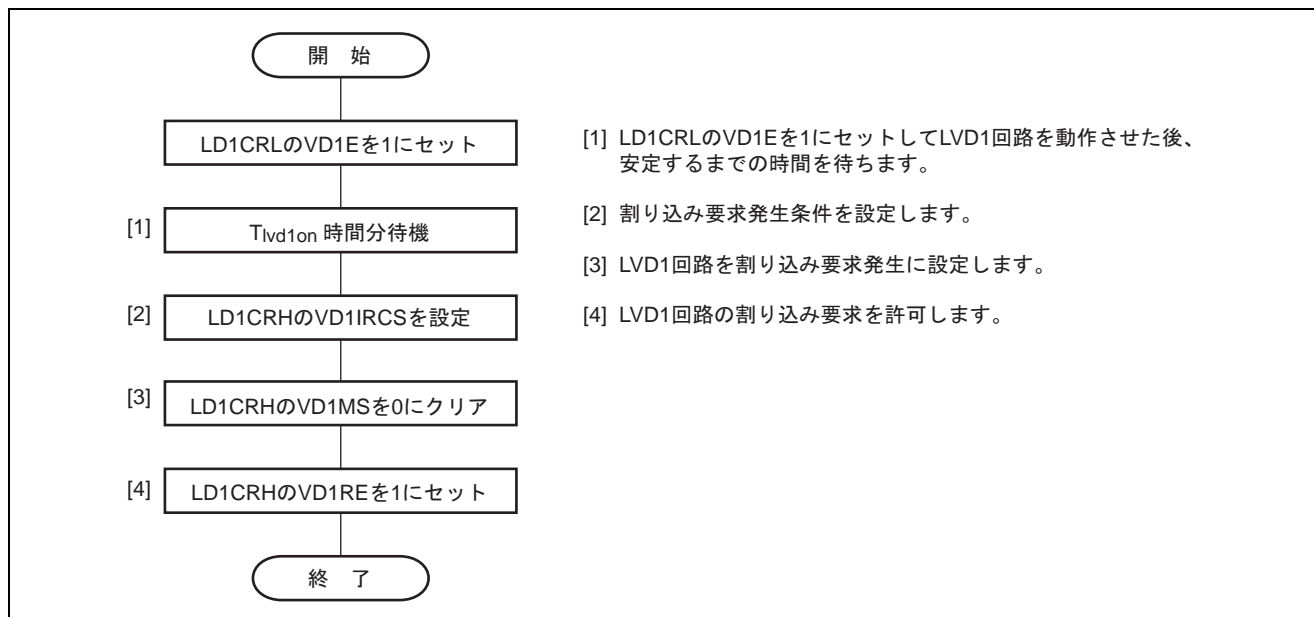


図 5.6 低電圧検知割り込み 1 設定手順例

(3) 低電圧検知リセット 0 (LVDR0)

LVDR0 は LVD0 回路によるリセットです。LVDR0 の動作タイミングを図 5.7 に示します。

LVDR0 はパワーオンリセット解除後、常に有効状態になります。

LVDR0 は Vcc が低下して Vdet0 以下になると、パワーオンリセットが発生します。Vcc が再度 Vdet0 以上に上昇しパワーオンリセット時間経過後、内部リセットが解除されます。

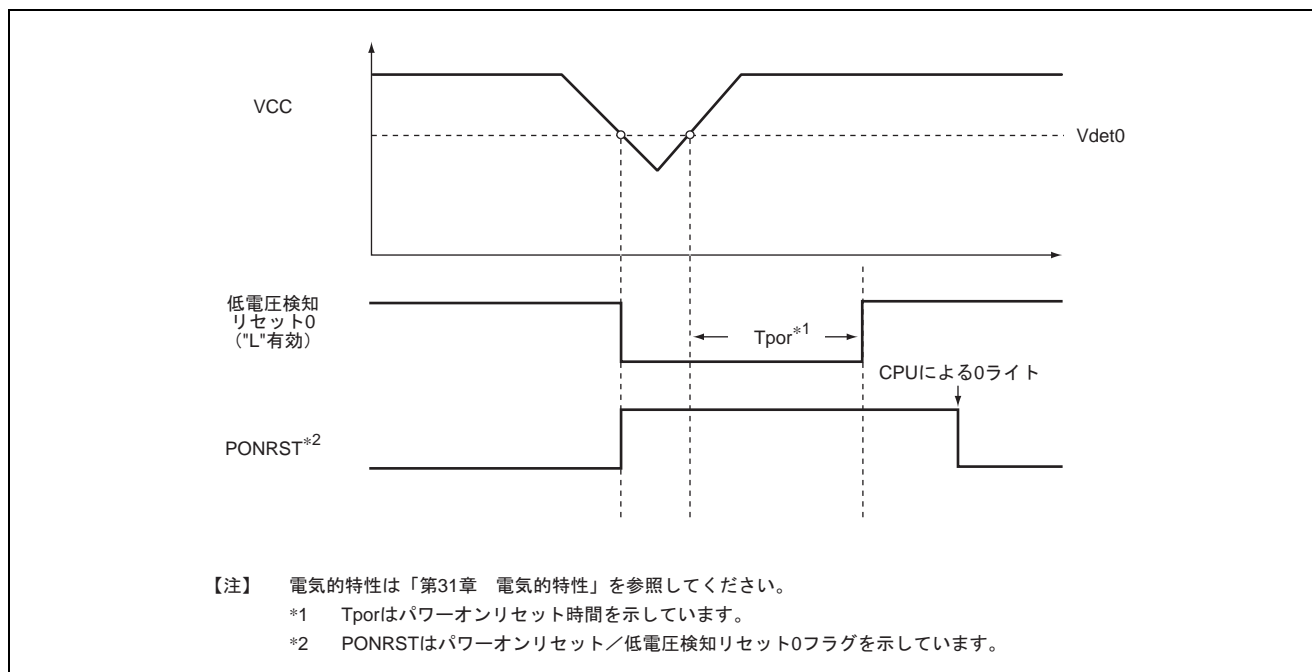


図 5.7 低電圧検知リセット 0 動作タイミング

6. 例外処理

6.1 例外処理の種類と優先度

例外処理要因には表 6.1 に示すようにリセット、割り込み、およびトラップ命令があります。これらの例外処理要因には表 6.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。

表 6.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、ウォッチドッグタイマのオーバフロー、またはパワーオンリセット回路の低電圧検知により開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ただし、ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	トラップ命令	トラップ (TRAPA) 命令の実行により開始します。 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

6.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 6.2 に示します。

表 6.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス
		アドバンスモード
リセット	0	H'000000~H'000003
システム予約	1	H'000004~H'000007
	6	H'000018~H'00001B
外部割り込み NMI	7	H'00001C~H'00001F
トラップ命令 (4 要因)	8	H'000020~H'000023
	9	H'000024~H'000027
	10	H'000028~H'00002B
	11	H'00002C~H'00002F
システム予約	12	H'000030~H'000033
	15	H'00003C~H'00003F
外部割り込み IRQ0	16	H'000040~H'000043
外部割り込み IRQ1	17	H'000044~H'000047
外部割り込み IRQ2	18	H'000048~H'00004B
外部割り込み IRQ3	19	H'00004C~H'00004F
外部割り込み IRQ4	20	H'000050~H'000053
外部割り込み IRQ5	21	H'000054~H'000057
外部割り込み IRQ6	22	H'000058~H'00005B
外部割り込み IRQ7	23	H'00005C~H'00005F
内部割り込み*	24	H'000060~H'000063
	29	H'000074~H'000077
外部割り込み KIN7~KIN0	30	H'000078~H'00007B
外部割り込み KIN15~KIN8	31	H'00007C~H'00007F
外部割り込み WUE7~WUE0	32	H'000080~H'000083
外部割り込み WUE15~WUE8	33	H'000084~H'000087
内部割り込み*	34	H'000088~H'00008B
	55	H'0000DC~H'0000DF

例外処理要因	ベクタ番号	ベクタアドレス
		アドバンスモード
外部割り込みIRQ8	56	H'0000E0~H'0000E3
外部割り込みIRQ9	57	H'0000E4~H'0000E7
外部割り込みIRQ10	58	H'0000E8~H'0000EB
外部割り込みIRQ11	59	H'0000EC~H'0000EF
外部割り込みIRQ12	60	H'0000F0~H'0000F3
外部割り込みIRQ13	61	H'0000F4~H'0000F7
外部割り込みIRQ14	62	H'0000F8~H'0000FB
外部割り込みIRQ15	63	H'0000FC~H'0000FF
内部割り込み*	64	H'000100~H'000103
	127	H'0001FC~H'0001FF

【注】 * 内部割り込みのベクタテーブルは「7.5 割り込み例外処理ベクタテーブル」を参照してください。

6.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。端子リセットで本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中にリセット入力を行なう場合は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローまたはパワーオンリセット回路の低電圧検知によって、リセット状態とすることもできます。詳細は「第 4 章 リセット」または「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

6.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになったときおよびパワーオンリセットが解除されたとき、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 6.1 に示します。

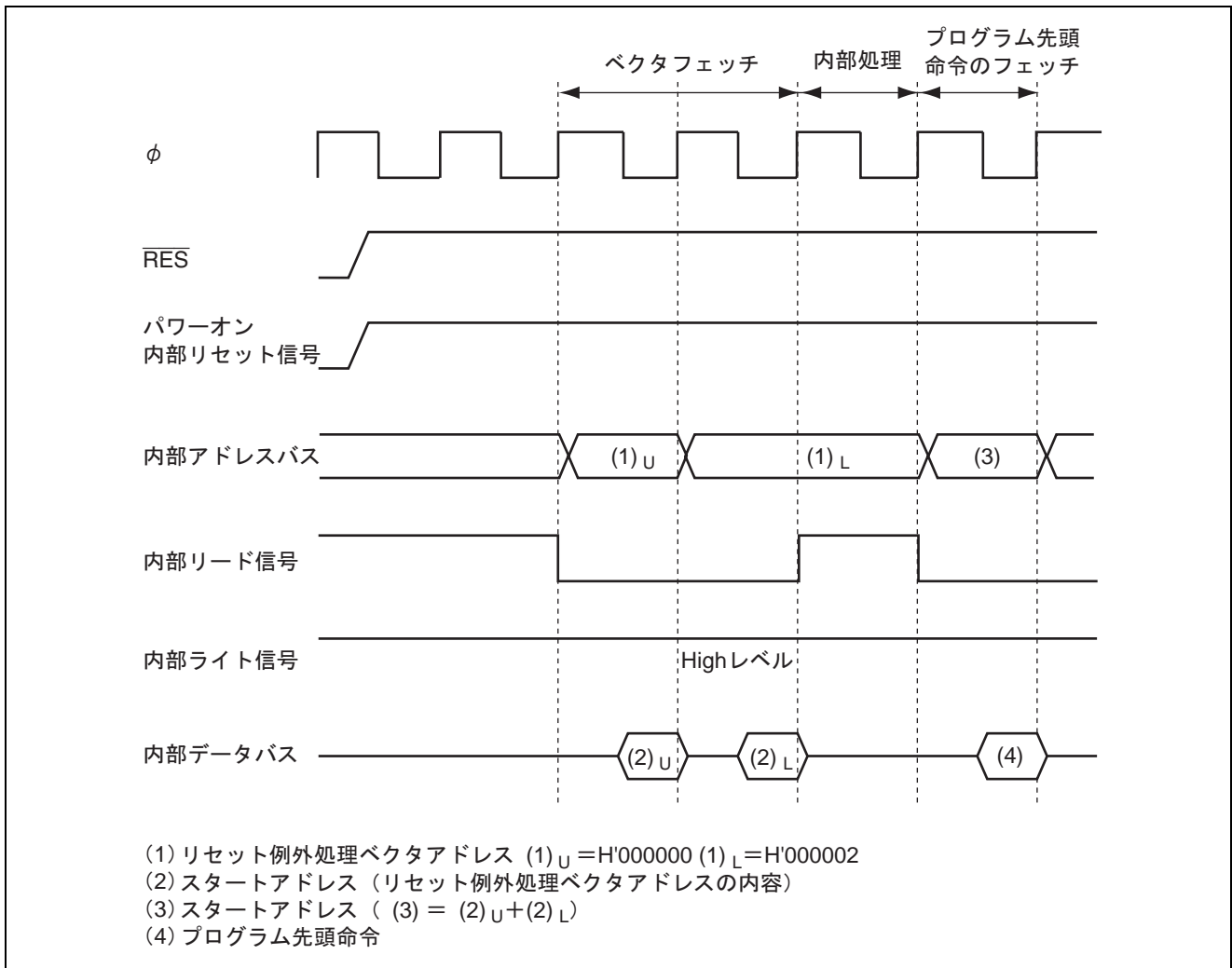


図 6.1 リセットシーケンス (モード 2)

6.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx : 32, SP)。

6.3.3 リセット解除後の内蔵周辺機能

リセット解除後は、モジュールストップコントロールレジスタ (MSTPCR_H、MSTPCR_L、MSTPCR_A、MSTPCR_B) は初期化され、すべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。モジュールストップモードについての詳細は「第 29 章 低消費電力状態」を参照してください。

6.4 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み例外処理を開始させる要因には、外部割り込み要因 (NMI、IRQ₁₅~IRQ₀、KIN₁₅~KIN₀、WUE₁₅~WUE₀) と、内蔵周辺モジュールからの内部割り込み要因があります。NMI は最も優先順位の高い割り込みです。割り込みについての詳細は「第 7 章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスを PC にロードしてその番地からプログラムの実行を開始します。

6.5 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 6.3 にトラップ命令例外処理実行後の CCR の状態を示します。

表 6.3 トラップ命令例外処理後の CCR の状態

割り込み制御モード	CCR	
	I	UI
0	1にセット	実行前の値を保持
1	1にセット	1にセット

6.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 6.2 に示します。

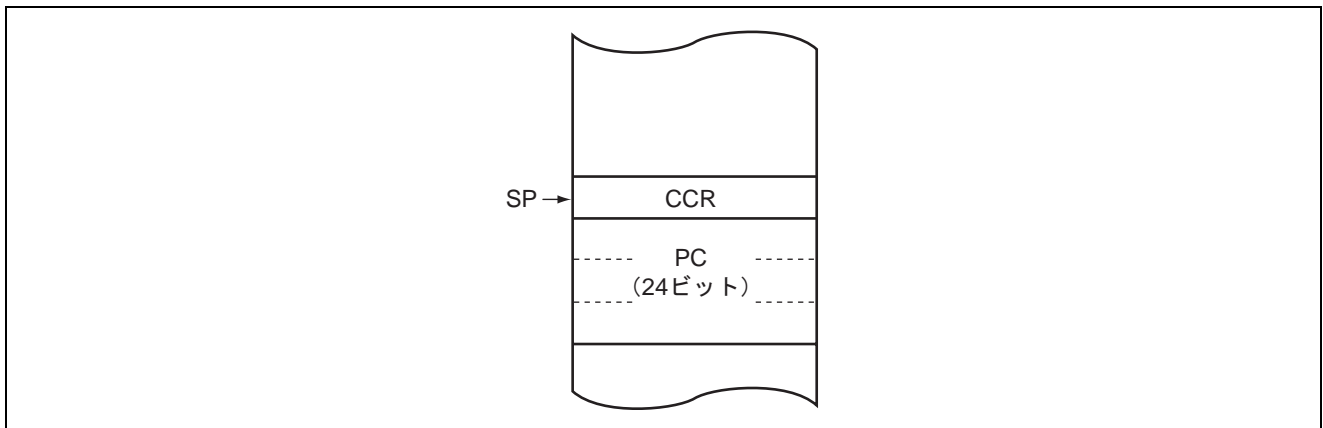


図 6.2 例外処理終了後のスタックの状態

6.7 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は

PUSH.W Rn (MOV.W Rn, @-SP)

PUSH.L ERn (MOV.L ERn, @-SP)

また、レジスタの復帰は

POP.W Rn (MOV.W @SP+, Rn)

POP.L ERn (MOV.L @SP+, ERn)

を使用してください。

SP を奇数に設定すると誤動作の原因となります。SP を奇数に設定したときの動作例を図 6.3 に示します。

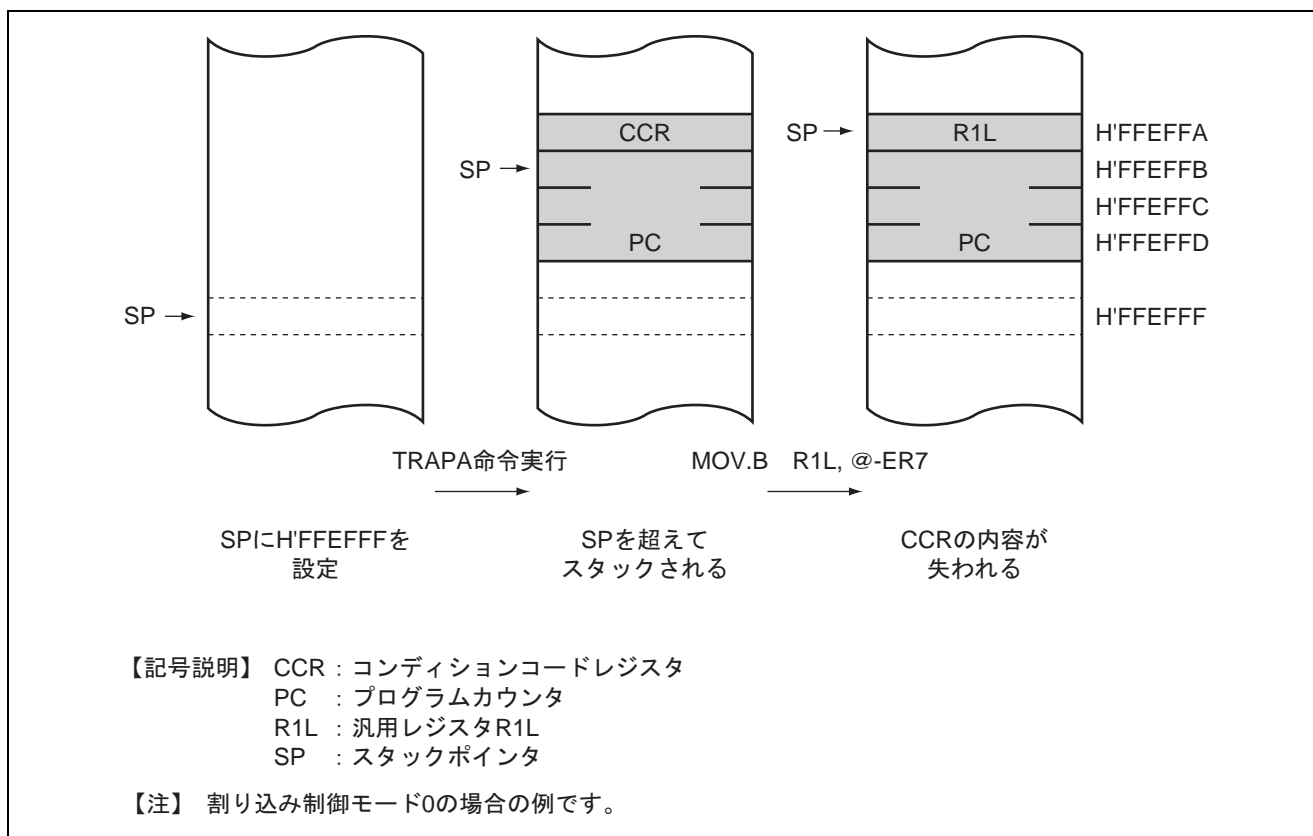


図 6.3 SP を奇数に設定したときの動作

7. 割り込みコントローラ

7.1 特長

- 2種類の割り込み制御モード
システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより 2 種類の割り込み制御モードを設定できます。
- ICRにより、優先順位を設定可能
インタラプトコントロールレジスタ (ICR) により、NMI、アドレスブレーク以外の割り込み要求にはモジュールごとに優先順位を設定できます。
- 3レベルの割り込みマスク制御
割り込み制御モード、CCR の I、UI ビット、および ICR により 3 レベルの割り込みマスク制御を行うことができます。
- 49本の外部割り込み端子
NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{\text{IRQ15}}\sim\overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。 $\overline{\text{WUE15}}\sim\overline{\text{WUE0}}$ は立ち下がりエッジ、立ち上がりエッジのいずれかをそれぞれ独立に選択できます。 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ は立ち下がりエッジで割り込みが要求されます。
- $\overline{\text{IRQ15}}\sim\overline{\text{IRQ7}}$ と $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ7}}$ で割り込み入力の兼用ポートの選択が可能

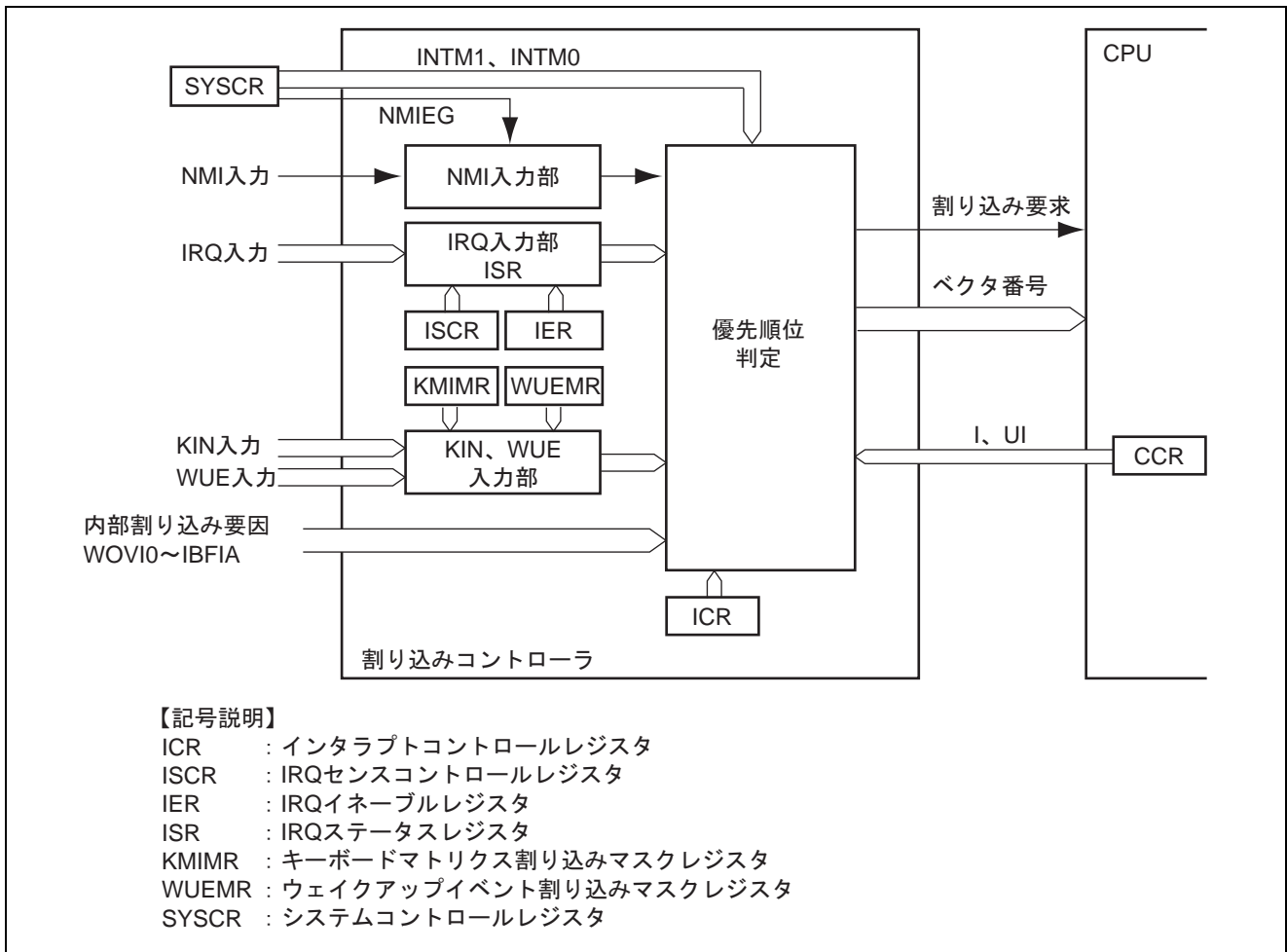


図 7.1 割り込みコントローラのブロック図

7.2 入出力端子

割り込みコントローラの端子構成を表 7.1 に示します。

表 7.1 端子構成

端子名	入出力	機能
NMI	入力	ノンマスクブル外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能です。
$\overline{\text{IRQ15}}\sim\overline{\text{IRQ0}}$ $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ7}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能です。IRQ15~IRQ7 割り込みは、 $\overline{\text{IRQm}}$ または $\overline{\text{ExIRQm}}$ のどの端子から入力するかを選択できます。 (m=15~7)
$\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジで割り込みを要求します。
$\overline{\text{WUE15}}\sim\overline{\text{WUE0}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジのいずれかを独立に選択可能です。

7.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ (SYSCR) については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

表 7.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
インタラプトコントロールレジスタ A	ICRA	R/W	H'00	H'FEE8	8
インタラプトコントロールレジスタ B	ICRB	R/W	H'00	H'FEE9	8
インタラプトコントロールレジスタ C	ICRC	R/W	H'00	H'FEEA	8
インタラプトコントロールレジスタ D	ICRD	R/W	H'00	H'FE87	8
アドレスブレイクコントロールレジスタ	ABRKCR	R/W	—	H'FEF4	8
ブレイクアドレスレジスタ A	BARA	R/W	H'00	H'FEF5	8
ブレイクアドレスレジスタ B	BARB	R/W	H'00	H'FEF6	8
ブレイクアドレスレジスタ C	BARC	R/W	H'00	H'FEF7	8
IRQ センスコントロールレジスタ 16H	ISCR16H	R/W	H'00	H'FEFA	8
IRQ センスコントロールレジスタ 16L	ISCR16L	R/W	H'00	H'FEFB	8
IRQ センスコントロールレジスタ H	ISCRH	R/W	H'00	H'FEEC	8
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FEED	8
IRQ イネーブルレジスタ 16	IER16	R/W	H'00	H'FEF8	8
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FFC2	8
IRQ ステータスレジスタ 16	ISR16	R/W	H'00	H'FEF9	8
IRQ ステータスレジスタ	ISR	R/W	H'00	H'FEEB	8
IRQ センスポートセレクトレジスタ 16	ISSR16	R/W	H'00	H'FEFC	8
IRQ センスポートセレクトレジスタ	ISSR	R/W	H'00	H'FEFD	8
キーボードマトリクス割り込みマスクレジスタ A	KMIMRA	R/W	H'FF	H'FE83	8
キーボードマトリクス割り込みマスクレジスタ B	KMIMRB	R/W	H'FF	H'FE81	8
ウェイクアップイベント割り込みマスクレジスタ A	WUEMRA	R/W	H'FF	H'FE45	8
ウェイクアップイベント割り込みマスクレジスタ B	WUEMRB	R/W	H'FF	H'FE44	8
ウェイクアップセンスコントロールレジスタ A (WUE15~WUE8)	WUESCRA	R/W	H'00	H'FE84	8
ウェイクアップセンスコントロールレジスタ B (WUE7~WUE0)	WUESCRB	R/W	H'00	H'FE96	8
ウェイクアップ入力割り込みステータスレジスタ A (WUE15~WUE8)	WUESRA	R/W	H'00	H'FE85	8
ウェイクアップ入力割り込みステータスレジスタ B (WUE7~WUE0)	WUESRB	R/W	H'00	H'FE97	8
ウェイクアップイネーブルレジスタ	WUEER	R/W	H'00	H'FE86	8

7.3.1 インタラプトコントロールレジスタ A~D (ICRA~ICRD)

ICR は、NMI を除く割り込みのコントロールレベルを設定します。各割り込み要因と ICRA~ICRD の対応を表 7.3 に示します。

ビット	ビット名	初期値	R/W	説明
7~0	ICRn7 ~ ICRn0	すべて 0	R/W	割り込みコントロールレベル 0 : 対応する割り込み要因は割り込みコントロールレベル 0 (非優先) 1 : 対応する割り込み要因は割り込みコントロールレベル 1 (優先)

【注】 n : A~D

表 7.3 各割り込み要因と ICR の対応

ビット	ビット名	レジスタ			
		ICRA	ICRB	ICRC	ICRD
7	ICRn7	IRQ0	A/D 変換器	SCIF	IRQ8~IRQ11
6	ICRn6	IRQ1	TCM_0、TCM_1、 TCM_2	SCI_1	IRQ12~IRQ15
5	ICRn5	IRQ2、IRQ3	SSU	—	KIN0~KIN15
4	ICRn4	IRQ4、IRQ5	—	IIC_0 (SMBUS)	WUE0~WUE15
3	ICRn3	IRQ6、IRQ7	TMR_0	IIC_1、IIC_2	TPU_0
2	ICRn2	LVD1	TMR_1	FSI	TPU_1
1	ICRn1	WDT_0	TMR_X、TMR_Y	LPC	TPU_2
0	ICRn0	WDT_1	PS2	PECI	—

【注】 n : A~D

— : リザーブビットです。初期値を変更しないでください。

7.3.2 アドレスブレイクコントロールレジスタ (ABRKCR)

ABRKCR は、アドレスブレイクの制御を行います。CMF フラグ、BIE フラグがいずれも 1 にセットされるとアドレスブレイクが要求されます。

ビット	ビット名	初期値	R/W	説明
7	CMF	0	R	コンディションマッチフラグ アドレスブレイク要因フラグです。BARA~BARC で設定したアドレスをプリフェッチしたことを示します。 [クリア条件] <ul style="list-style-type: none"> アドレスブレイク割り込みを例外処理を実行したとき [セット条件] <ul style="list-style-type: none"> BIE フラグが 1 のとき、BARA~BARC で設定したアドレスのプリフェッチを実行したとき
6~1	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	BIE	0	R/W	ブレイク割り込みイネーブル アドレスブレイクの許可/禁止を選択します。 0: 禁止 1: 許可

7.3.3 ブレイクアドレスレジスタ A~C (BARA~BARC)

BAR は、ブレイクアドレスを発生させるアドレスを指定します。ブレイクアドレスは、命令の第 1 バイトが存在するアドレスに設定してください。

• BARA

ビット	ビット名	初期値	R/W	説明
7~0	A23~A16	すべて 0	R/W	アドレス 23~16 A23~A16 ビットは、内部アドレスバスの A23~A16 と比較されます。

• BARB

ビット	ビット名	初期値	R/W	説明
7~0	A15~A8	すべて 0	R/W	アドレス 15~8 A15~A8 ビットは、内部アドレスバスの A15~A8 と比較されます。

• BARC

ビット	ビット名	初期値	R/W	説明
7~1	A7~A1	すべて 0	R/W	アドレス 7~1 A7~A1 ビットは、内部アドレスバスの A7~A1 と比較されます。
0	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

7.3.4 IRQ センسコントロールレジスタ (ISCR16H, ISCR16L, ISCRH, ISCR L)

ISCR は、 $\overline{\text{IRQ15}}\sim\overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ6}}$ 端子から割り込み要求を発生させる要因を選択します。

• ISCR16H

ビット	ビット名	初期値	R/W	説明
7	IRQ15SCB	0	R/W	IRQn センスコントロール B
6	IRQ15SCA	0	R/W	IRQn センスコントロール A
5	IRQ14SCB	0	R/W	B A
4	IRQ14SCA	0	R/W	0 0: $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
3	IRQ13SCB	0	R/W	0 1: $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
2	IRQ13SCA	0	R/W	1 0: $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
1	IRQ12SCB	0	R/W	1 1: $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで
0	IRQ12SCA	0	R/W	割り込み要求を発生
(n=15~12)				
【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ 16 (ISSR16) により選択します。				

• ISCR16L

ビット	ビット名	初期値	R/W	説明
7	IRQ11SCB	0	R/W	IRQn センスコントロール B
6	IRQ11SCA	0	R/W	IRQn センスコントロール A
5	IRQ10SCB	0	R/W	B A
4	IRQ10SCA	0	R/W	0 0: $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
3	IRQ9SCB	0	R/W	0 1: $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
2	IRQ9SCA	0	R/W	1 0: $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
1	IRQ8SCB	0	R/W	1 1: $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで
0	IRQ8SCA	0	R/W	割り込み要求を発生
(n=11~8)				
【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ 16 (ISSR16) により選択します。				

• ISCRH

ビット	ビット名	初期値	R/W	説明
7	IRQ7SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A B A 0 0 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生 0 1 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 1 0 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 1 1 : $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=7~4) 【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ (ISSR) により選択します。ExIRQ6、ExIRQ5、ExIRQ4 端子はサポートしません。
6	IRQ7SCA	0	R/W	
5	IRQ6SCB	0	R/W	
4	IRQ6SCA	0	R/W	
3	IRQ5SCB	0	R/W	
2	IRQ5SCA	0	R/W	
1	IRQ4SCB	0	R/W	
0	IRQ4SCA	0	R/W	

• ISCRL

ビット	ビット名	初期値	R/W	説明
7	IRQ3SCB	0	R/W	IRQn センスコントロール B IRQn センスコントロール A B A 0 0 : $\overline{\text{IRQn}}$ 入力の Low レベルで割り込み要求を発生 0 1 : $\overline{\text{IRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生 1 0 : $\overline{\text{IRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生 1 1 : $\overline{\text{IRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生 (n=3~0)
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	
4	IRQ2SCA	0	R/W	
3	IRQ1SCB	0	R/W	
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	
0	IRQ0SCA	0	R/W	

7.3.5 IRQ イネーブルレジスタ (IER16、IER)

IER は、IRQ15~IRQ0 割り込み要求をイネーブルにします。

• IER16

ビット	ビット名	初期値	R/W	説 明
7	IRQ15E	0	R/W	IRQn イネーブル このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。 (n=15~8)
6	IRQ14E	0	R/W	
5	IRQ13E	0	R/W	
4	IRQ12E	0	R/W	
3	IRQ11E	0	R/W	
2	IRQ10E	0	R/W	
1	IRQ9E	0	R/W	
0	IRQ8E	0	R/W	

• IER

ビット	ビット名	初期値	R/W	説 明
7	IRQ7E	0	R/W	IRQn イネーブル このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。 (n=7~0)
6	IRQ6E	0	R/W	
5	IRQ5E	0	R/W	
4	IRQ4E	0	R/W	
3	IRQ3E	0	R/W	
2	IRQ2E	0	R/W	
1	IRQ1E	0	R/W	
0	IRQ0E	0	R/W	

7.3.6 IRQ ステータスレジスタ (ISR16、ISR)

ISR は、IRQ15~IRQ0 割り込み要求フラグレジスタです。

• ISR16

ビット	ビット名	初期値	R/W	説明
7	IRQ15F	0	R/(W)*	[セット条件]
6	IRQ14F	0	R/(W)*	• ISCR16 で選択した割り込み要因が発生したとき
5	IRQ13F	0	R/(W)*	[クリア条件]
4	IRQ12F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ11F	0	R/(W)*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力が High レベルの状態 で、割り込み例外処理を実行したとき
2	IRQ10F	0	R/(W)*	• 立ち下がリエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
1	IRQ9F	0	R/(W)*	
0	IRQ8F	0	R/(W)*	

(n=15~8)

【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ 16 (ISSR16) により選択します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• ISR

ビット	ビット名	初期値	R/W	説明
7	IRQ7F	0	R/(W)*	[セット条件]
6	IRQ6F	0	R/(W)*	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/(W)*	[クリア条件]
4	IRQ4F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/(W)*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力が High レベルの状態 で、割り込み例外処理を実行したとき
2	IRQ2F	0	R/(W)*	• 立ち下がリエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

(n=7~0)

【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ (ISSR) により選択します。 $\overline{\text{ExIRQ6}}$ ~ $\overline{\text{ExIRQ0}}$ 端子はサポートしません。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

7.3.7 IRQ センSPORTセレクトレジスタ 16 (ISSR16) IRQ センSPORTセレクトレジスタ (ISSR)

ISSR16、ISSR は、IRQ15~IRQ0 割り込みの外部入力を $\overline{\text{IRQ15}}\sim\overline{\text{IRQ7}}$ 端子と $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ7}}$ 端子から選択します。

• ISSR16

ビット	ビット名	初期値	R/W	説明
7	ISS15	0	R/W	0 : P97/ $\overline{\text{IRQ15}}$ を選択します。 1 : PG7/ $\overline{\text{ExIRQ15}}$ を選択します。
6	ISS14	0	R/W	0 : P95/ $\overline{\text{IRQ14}}$ を選択します。 1 : PG6/ $\overline{\text{ExIRQ14}}$ を選択します。
5	ISS13	0	R/W	0 : P94/ $\overline{\text{IRQ13}}$ を選択します。 1 : PG5/ $\overline{\text{ExIRQ13}}$ を選択します。
4	ISS12	0	R/W	0 : P93/ $\overline{\text{IRQ12}}$ を選択します。 1 : PG4/ $\overline{\text{ExIRQ12}}$ を選択します。
3	ISS11	0	R/W	0 : PF3/ $\overline{\text{IRQ11}}$ を選択します。 1 : PG3/ $\overline{\text{ExIRQ11}}$ を選択します。
2	ISS10	0	R/W	0 : PF2/ $\overline{\text{IRQ10}}$ を選択します。 1 : PG2/ $\overline{\text{ExIRQ10}}$ を選択します。
1	ISS9	0	R/W	0 : PF1/ $\overline{\text{IRQ9}}$ を選択します。 1 : PG1/ $\overline{\text{ExIRQ9}}$ を選択します。
0	ISS8	0	R/W	0 : PF0/ $\overline{\text{IRQ8}}$ を選択します。 1 : PG0/ $\overline{\text{ExIRQ8}}$ を選択します。

• ISSR

ビット	ビット名	初期値	R/W	説明
7	ISS7	0	R/W	0 : P67/ $\overline{\text{IRQ7}}$ を選択します。 1 : PH1/ $\overline{\text{ExIRQ7}}$ を選択します。
6~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

7.3.8 キーボードマトリクス割り込みマスクレジスタ (KMIMRA、KMIMRB) ウェイクアップイベント割り込みマスクレジスタ (WUEMRA、WUEMRB)

KMIMR、WUEMR は、キーセンス割り込み入力 ($\overline{KIN15} \sim \overline{KIN0}$) およびウェイクアップイベント割り込み入力 ($\overline{WUE15} \sim \overline{WUE0}$) のマスク制御を行います。

• KMIMRA

ビット	ビット名	初期値	R/W	説明
7	KMIMR15	1	R/W	キーボードマトリクス割り込みマスク
6	KMIMR14	1	R/W	キーセンス入力割り込み要求 (KIN15~KIN8) を制御します。
5	KMIMR13	1	R/W	0: キーセンス入力割り込み要求を許可
4	KMIMR12	1	R/W	1: キーセンス入力割り込み要求を禁止
3	KMIMR11	1	R/W	
2	KMIMR10	1	R/W	
1	KMIMR9	1	R/W	
0	KMIMR8	1	R/W	

• KMIMRB

ビット	ビット名	初期値	R/W	説明
7	KMIMR7	1	R/W	キーボードマトリクス割り込みマスク
6	KMIMR6	1	R/W	キーセンス入力割り込み要求 (KIN7~KIN0) を制御します。
5	KMIMR5	1	R/W	0: キーセンス入力割り込み要求を許可
4	KMIMR4	1	R/W	1: キーセンス入力割り込み要求を禁止
3	KMIMR3	1	R/W	
2	KMIMR2	1	R/W	
1	KMIMR1	1	R/W	
0	KMIMR0	1	R/W	

• WUEMRA

ビット	ビット名	初期値	R/W	説明
7	WUEMR15	1	R/W	ウェイクアップイベント割り込みマスク
6	WUEMR14	1	R/W	ウェイクアップイベント入力割り込み要求 (WUE15~WUE8) を制御します。
5	WUEMR13	1	R/W	0: ウェイクアップイベント入力割り込み要求を許可
4	WUEMR12	1	R/W	1: ウェイクアップイベント入力割り込み要求を禁止
3	WUEMR11	1	R/W	
2	WUEMR10	1	R/W	
1	WUEMR9	1	R/W	
0	WUEMR8	1	R/W	

• WUEMRB

ビット	ビット名	初期値	R/W	説明
7	WUEMR7	1	R/W	ウェイクアップイベント割り込みマスク
6	WUEMR6	1	R/W	ウェイクアップイベント入力割り込み要求 (WUE7~WUE0) を制御します。
5	WUEMR5	1	R/W	0: ウェイクアップイベント入力割り込み要求を許可
4	WUEMR4	1	R/W	1: ウェイクアップイベント入力割り込み要求を禁止
3	WUEMR3	1	R/W	
2	WUEMR2	1	R/W	
1	WUEMR1	1	R/W	
0	WUEMR0	1	R/W	

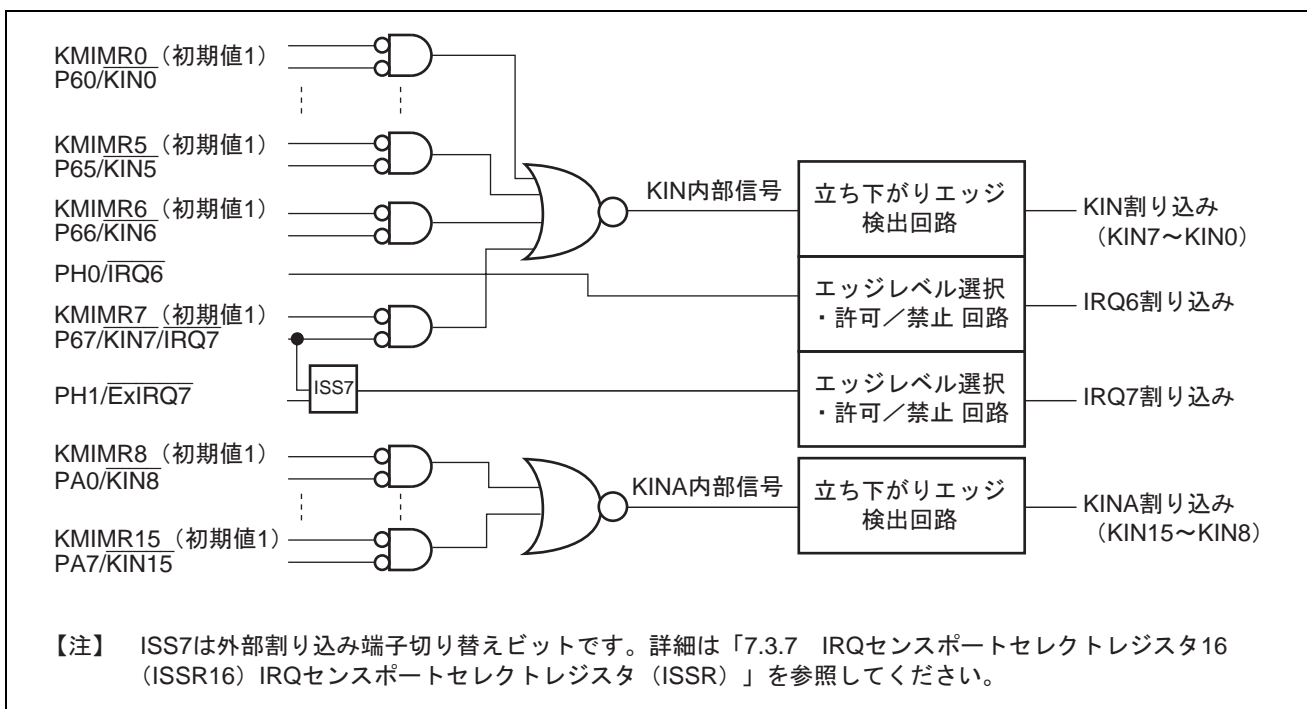


図 7.2 IRQ7、IRQ6 割り込みと KIN15~KIN0 割り込み、KMIMRA、KMIMRB との関係

7.3.9 ウェイクアップセンスコントロールレジスタ (WUESCRA、WUESCRB) ウェイクアップ入力割り込みステータスレジスタ (WUESRA、WUESRB) ウェイクアップイネーブルレジスタ (WUEER)

WUESCR、WUESR、WUEER は、ウェイクアップイベント割り込み入力 (WUE15~WUE0) の割り込み要因を選択、割り込み要求フラグレジスタ、割り込み許可/禁止を制御します。

• WUESCRA

ビット	ビット名	初期値	R/W	説明
7	WUE15SC	0	R/W	ウェイクアップイベント割り込み要因選択
6	WUE14SC	0	R/W	ウェイクアップイベント割り込み入力 (WUE15~WUE8) の割り込み要求を発生させる要因を選択します。 0 : $\overline{WUE_n}$ 入力の立ち下がりエッジで割り込み要求を発生 1 : WUE_n 入力の立ち上がりエッジで割り込み要求を発生 (n=15~8)
5	WUE13SC	0	R/W	
4	WUE12SC	0	R/W	
3	WUE11SC	0	R/W	
2	WUE10SC	0	R/W	
1	WUE9SC	0	R/W	
0	WUE8SC	0	R/W	

• WUESCRB

ビット	ビット名	初期値	R/W	説明
7	WUE7SC	0	R/W	ウェイクアップイベント割り込み要因選択
6	WUE6SC	0	R/W	ウェイクアップイベント割り込み入力 (WUE7~WUE0) の割り込み要求を発生させる要因を選択します。 0 : $\overline{WUE_n}$ 入力の立ち下がりエッジで割り込み要求を発生 1 : WUE_n 入力の立ち上がりエッジで割り込み要求を発生 (n=7~0)
5	WUE5SC	0	R/W	
4	WUE4SC	0	R/W	
3	WUE3SC	0	R/W	
2	WUE2SC	0	R/W	
1	WUE1SC	0	R/W	
0	WUE0SC	0	R/W	

• WUESRA

ビット	ビット名	初期値	R/W	説明
7	WUE15F	0	R/(W)*	ウェイクアップ入力割り込み (WUE15~WUE8) 要求フラグレジスタ
6	WUE14F	0	R/(W)*	ウェイクアップ入力割り込み (WUE15~WUE8) 要求の発生を示すステータス
5	WUE13F	0	R/(W)*	フラグです。
4	WUE12F	0	R/(W)*	[セット条件]
3	WUE11F	0	R/(W)*	• ウェイクアップ入力割り込みが発生したとき。
2	WUE10F	0	R/(W)*	[クリア条件]
1	WUE9F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
0	WUE8F	0	R/(W)*	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• WUESRB

ビット	ビット名	初期値	R/W	説明
7	WUE7F	0	R/(W)*	ウェイクアップ入力割り込み (WUE7~WUE0) 要求フラグレジスタ
6	WUE6F	0	R/(W)*	ウェイクアップ入力割り込み (WUE7~WUE0) 要求の発生を示すステータスフ
5	WUE5F	0	R/(W)*	ラグです。
4	WUE4F	0	R/(W)*	[セット条件]
3	WUE3F	0	R/(W)*	• ウェイクアップ入力割り込みが発生したとき。
2	WUE2F	0	R/(W)*	[クリア条件]
1	WUE1F	0	R/(W)*	• 1の状態をリードした後、0をライトしたとき
0	WUE0F	0	R/(W)*	

【注】 * フラグをクリアするための0ライトのみ可能です。

• WUEER

ビット	ビット名	初期値	R/W	説明
7	WUEAE	0	R/W	WUE15~WUE8 イネーブル このビットが1のとき WUE 割り込み要求がイネーブルになります。 0 : ウェイクアップ入力割り込み要求を禁止 1 : ウェイクアップ入力割り込み要求を許可
6	WUEBE	0	R/W	WUE7~WUE0 イネーブル このビットが1のとき WUE 割り込み要求がイネーブルになります。 0 : ウェイクアップ入力割り込み要求を禁止 1 : ウェイクアップ入力割り込み要求を許可
5~0	—	すべて0	R/W	リザーブビット 初期値を変更しないでください。

7.4 割り込み要因

7.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ15～IRQ0、KIN15～KIN0、WUE15～WUE0 の割り込み要因があります。これらは、すべてソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれかで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

(2) IRQ15～IRQ0 割り込み

IRQ15～IRQ0 割り込みは $\overline{\text{IRQ15}}\sim\overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ7}}$ 端子の入力信号により割り込み要求を発生します。IRQ15～IRQ0 割り込みには以下の特長があります。

- IRQ15～IRQ0 割り込み要求により、独立のベクタアドレスで割り込み例外処理を開始できます。
- $\overline{\text{IRQ15}}\sim\overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ7}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ15～IRQ0 割り込み要求は IER によりマスクできます。
- IRQ15～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ15～IRQ0 割り込み要求を $\overline{\text{IRQn}}$ 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 $\overline{\text{IRQ}}$ 入力を割り込み処理開始まで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQ}}$ 入力を High レベルに戻し、かつ ISR の IRQnF ビット ($n=15\sim 0$) を 0 にクリアしてください。割り込み処理開始前に、当該 $\overline{\text{IRQ}}$ 入力を High レベルに戻すと当該割り込みが実行されない場合があります。

IRQ15～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートの DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

IRQ15～IRQ0 割り込みのブロック図を図 7.3 に示します。

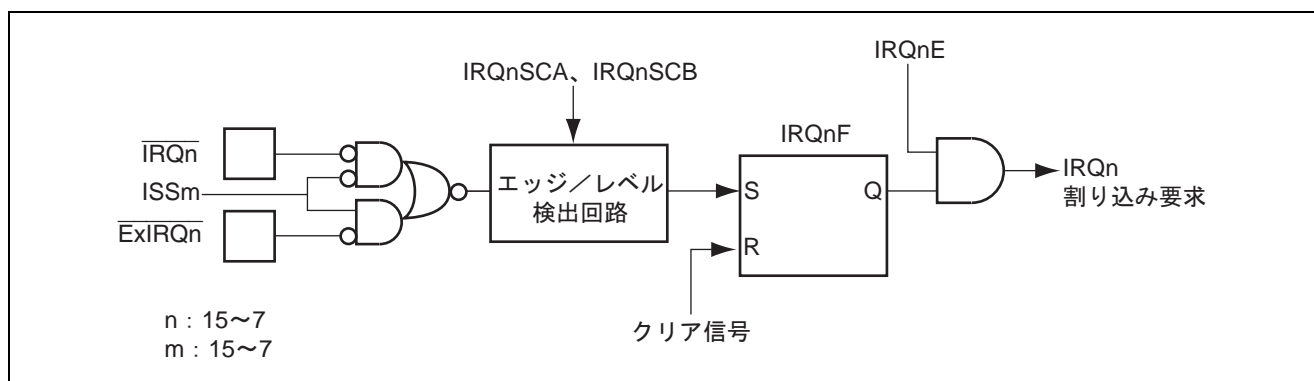


図 7.3 IRQ15～IRQ7 割り込みのブロック図

(3) KIN15~KIN0 割り込み

KIN15~KIN0 割り込みは、 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ 端子の入力信号により要求されます。KIN15~KIN0 割り込みは以下の特長があります。

- KIN15~KIN8、KIN7~KIN0の各々がひとつのグループとなっています。同一グループの割り込み要求は、同一のベクタアドレスから割り込み例外処理を開始します。
- $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ 端子の立ち下がりエッジで割り込み要求を発生します。
- KIN15~KIN0割り込み要求はKMIMRA、KMIMRBによりマスクできます。
- KIN15~KIN0割り込み要求のステータスは表示されません。

IRQ7 割り込みは ISS7 ビットの切り替えにより $\overline{\text{IRQ7}}$ 端子および $\overline{\text{ExIRQ7}}$ 端子の選択ができ、KMIMR15~KMIMR8 に依存しません。KIN15~KIN0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートの DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

(4) WUE15~WUE0 割り込み

WUE15~WUE0 割り込みは $\overline{WUE15} \sim \overline{WUE0}$ 端子の入力信号により割り込み要求を発生します。WUE15~WUE0 割り込みには以下の特長があります。

- WUE15~WUE8、WUE7~WUE0の各々がひとつのグループとなっています。同一グループの割り込み要求は、同一のベクタアドレスから割り込み例外処理を開始します。
- $\overline{WUE15} \sim \overline{WUE0}$ 端子の立ち下がりエッジ、立ち上がりエッジのいずれで割り込み要求を発生させるか、WUESCRで選択できます。
- WUE15~WUE0割り込み要求はWUEERによりマスクできます。
- WUE15~WUE0割り込み要求のステータスは、WUESRに表示されます。WUESRのフラグはソフトウェアで0にクリアすることができます。

WUE15~WUE0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートのDDRを0にクリアしてそのほかの機能の入出力端子としては使用しないでください。

WUE15~WUE0 割り込みのブロック図を図 7.4 に示します。

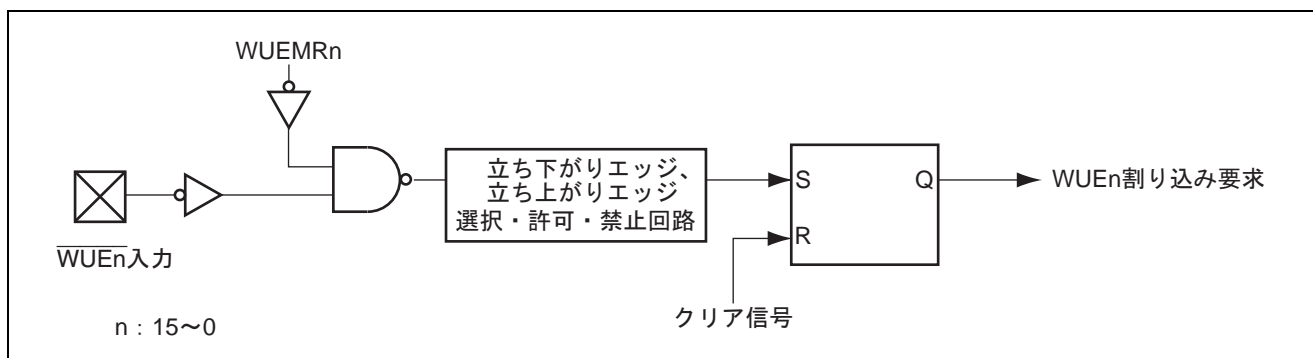


図 7.4 WUE15~WUE0 割り込みのブロック図

7.4.2 内部割り込み要因

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

1. 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
2. ICRによって割り込みのコントロールレベルを設定できます。

7.5 割り込み例外処理ベクタテーブル

表 7.4 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。

デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

ICR のビットが割り当てられているモジュールは、割り込みコントロールレベルを設定することができます。割り込みコントロールレベルと CCR の I、UI ビットにより、コントロールレベル 1（優先）に設定したモジュールの割り込みは、コントロールレベル 0（非優先）に設定したモジュールの割り込みより優先して処理できます。

表 7.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス	ICR	優先 順位
			アドバンスモード		
外部端子	NMI	7	H'00001C	—	↑ 高
	IRQ0	16	H'000040	ICRA7	
	IRQ1	17	H'000044	ICRA6	
	IRQ2	18	H'000048	ICRA5	
	IRQ3	19	H'00004C		
	IRQ4	20	H'000050	ICRA4	
	IRQ5	21	H'000054		
	IRQ6	22	H'000058	ICRA3	
—	システム予約	23	H'00005C		
—	システム予約	24	H'000060	—	
WDT_0	WOVI0 (インターバルタイマ)	25	H'000064	ICRA1	
WDT_1	WOVI1 (インターバルタイマ)	26	H'000068	ICRA0	
—	アドレスブレーク	27	H'00006C	—	
A/D 変換器	ADI (A/D 変換終了)	28	H'000070	ICRB7	
LVD	LVD1	29	H'000074	ICRA2	
外部端子	KIN7~KIN0	30	H'000078	ICRD5	
	KIN15~KIN8	31	H'00007C		
外部端子	WUE7~WUE0	32	H'000080	ICRD4	
	WUE15~WUE8	33	H'000084		
TPU_0	TGI0A (TGR0A インพุットキャプチャ/コンペアマッチ)	34	H'000088	ICRD3	
	TGI0B (TGR0B インพุットキャプチャ/コンペアマッチ)	35	H'00008C		
	TGI0C (TGR0C インพุットキャプチャ/コンペアマッチ)	36	H'000090		
	TGI0D (TGR0D インพุットキャプチャ/コンペアマッチ)	37	H'000094		
	TCI0V (オーバフロー-0)	38	H'000098		
TPU_1	TGI1A (TGR1A インพุットキャプチャ/コンペアマッチ)	39	H'00009C	ICRD2	
	TGI1B (TGR1B インพุットキャプチャ/コンペアマッチ)	40	H'0000A0		
	TCI1V (オーバフロー-1)	41	H'0000A4		
	TCI1U (アンダフロー-1)	42	H'0000A8		
TPU_2	TGI2A (TGR2A インพุットキャプチャ/コンペアマッチ)	43	H'0000AC	ICRD1	
	TGI2B (TGR2B インพุットキャプチャ/コンペアマッチ)	44	H'0000B0		
	TCI2V (オーバフロー-2)	45	H'0000B4		
	TCI2U (アンダフロー-2)	46	H'0000B8		
—	システム予約	47	H'0000BC	—	↓ 低

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス	ICR	優先 順位
			アドバンスモード		
TCM_0	TIC10 (インプットキャプチャ)	48	H'0000C0	ICRB6	↑ 高
	TCM10 (コンペアマッチ)				
	TOVM10 (周期オーバフロー)				
	TUDI0 (周期アンダフロー)				
	TOVI0 (オーバフロー)				
TCM_1	TIC11 (インプットキャプチャ)	49	H'0000C4		
	TCM11 (コンペアマッチ)				
	TOVM11 (周期オーバフロー)				
	TUDI1 (周期アンダフロー)				
	TOVI1 (オーバフロー)				
TCM_2	TIC12 (インプットキャプチャ)	50	H'0000C8		
	TCM12 (コンペアマッチ)				
	TOVM12 (周期オーバフロー)				
	TUDI2 (周期アンダフロー)				
	TOVI2 (オーバフロー)				
—	システム予約	51	H'0000CC	—	
SSU_2	SSER (受信エラー)	52	H'0000D0	ICRB5	
	SSRX (受信完了)	53	H'0000D4		
	SSTX (送信データエンプティ)	54	H'0000D8		
—	システム予約	55	H'0000DC	—	
外部端子	IRQ8	56	H'0000E0	ICRD7	
	IRQ9	57	H'0000E4		
	IRQ10	58	H'0000E8		
	IRQ11	59	H'0000EC		
	IRQ12	60	H'0000F0	ICRD6	
	IRQ13	61	H'0000F4		
	IRQ14	62	H'0000F8		
	IRQ15	63	H'0000FC		
TMR_0	CMIA0 (コンペアマッチ A)	64	H'000100	ICRB3	
	CMIB0 (コンペアマッチ B)	65	H'000104		
	OVI0 (オーバフロー)	66	H'000108		
—	システム予約	67	H'00010C	—	
TMR_1	CMIA1 (コンペアマッチ A)	68	H'000110	ICRB2	
	CMIB1 (コンペアマッチ B)	69	H'000114		
	OVI1 (オーバフロー)	70	H'000118		
—	システム予約	71	H'00011C	—	↓ 低

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス	ICR	優先 順位
			アドバンストモード		
TMR_X	CMIAY (コンペアマッチ A)	72	H'000120	ICRB1	高 ↑
TMR_Y	CMIBY (コンペアマッチ B)	73	H'000124		
	OVIY (オーバフロー)	74	H'000128		
	ICIX (インプットキャプチャ)	75	H'00012C		
	CMIAX (コンペアマッチ A)	76	H'000130		
	CMIBX (コンペアマッチ B)	77	H'000134		
	OVIX (オーバフロー)	78	H'000138		
FSI	FSII (送信/受信完了)	79	H'00013C		
—	システム予約	80	H'000140	—	
		81	H'000144		
SCIF	SCIF (SCIF 割り込み)	82	H'000148	ICRC7	
PECI	PETEI (通信終了)	83	H'00014C	ICRC0	
	PEWFCEI (ライト FCS エラー)				
	PERFCEI (リード FCS エラー)				
SCI_1	ERI1 (受信エラー1)	84	H'000150	ICRC6	
	RXI1 (受信完了 1)	85	H'000154		
	TXI1 (送信データエンプティ 1)	86	H'000158		
	TEI1 (送信終了 1)	87	H'00015C		
—	システム予約	88	H'000160	—	
		91	H'00016C		
IIC_0 (SMBUS)	IIC10 (1 バイト送信/受信完了)	92	H'000170	ICRC4	
—	システム予約	93	H'000174	—	
IIC_1	IIC11 (1 バイト送信/受信完了)	94	H'000178	ICRC3	
IIC_2	IIC12 (1 バイト送信/受信完了)	95	H'00017C		
PS2	KBIA (受信完了 A)	96	H'000180	ICRB0	
	KBIB (受信完了 B)	97	H'000184		
	KBIC (受信完了 C)	98	H'000188		
	KBTIA (送信完了 A) /KBCA (1st KCLKA)	99	H'00018C	ICRB0	
	KBTIB (送信完了 B) /KBCB (1st KCLKB)	100	H'000190		
	KBTIC (送信完了 C) /KBCC (1st KCLKC)	101	H'000194		
—	システム予約	102	H'000198	—	低
		103	H'00019C		

割り込み要因 発生元	名 称	ベクタ 番号	ベクタアドレス	ICR	優先 順位
			アドバンスモード		
FSI	LFSII (コマンド受信) / (ライト受信)	104	H'0001A0	ICRC1	高 ↑ 低
—	システム予約	105	H'0001A4	—	
LPC	OBEI (ODR1~4 送信完了)	106	H'0001A8	ICRC1	
	IBFI4 (IDR4 受信完了)	107	H'0001AC		
	ERRI (転送エラー他)	108	H'0001B0		
	IBFI1 (IDR1 受信完了)	109	H'0001B4		
	IBFI2 (IDR2 受信完了)	110	H'0001B8		
	IBFI3 (IDR3 受信完了)	111	H'0001BC		
—	システム予約	112	H'0001C0	—	
		113	H'0001C4		
		127	H'0001FC		

7.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード1の2種類のモードがあり、割り込み制御モードによって動作が異なります。NMI 割り込みおよびアドレスブレイク割り込みは、リセット状態を除き常に受け付けられます。割り込み制御モードの選択は SYSCR で行います。表 7.5 に割り込み制御モードを示します。

表 7.5 割り込み制御モード

割り込み制御モード	SYSCR		優先順位設定レジスタ	割り込みマスクビット	説明
	INTM1	INTM0			
0	0	0	ICR	I	I ビットにより割り込みマスク制御を行います。ICR により優先順位の設定ができます。
1		1	ICR	I、UI	I、UI ビットにより 3 レベルの割り込みマスク制御を行います。ICR により優先順位の設定ができます。

図 7.5 に優先順位判定回路のブロック図を示します。

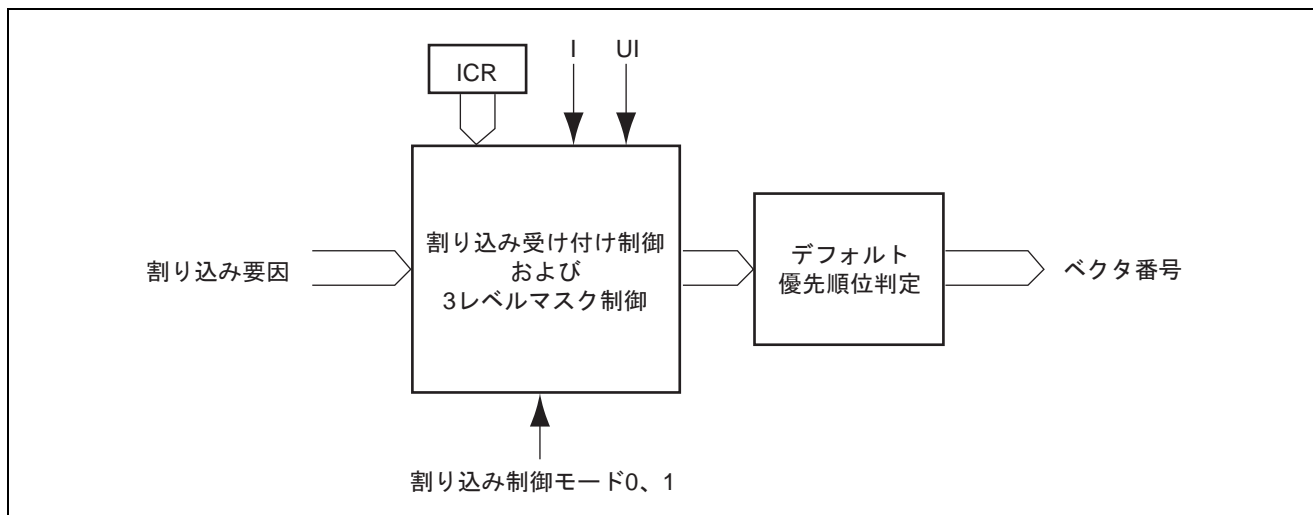


図 7.5 割り込み制御動作のブロック図

(1) 割り込み受け付け制御および3レベル制御

割り込み制御モード0、1のとき、CCRのI、UIビット、およびICR（割り込みコントロールレベル）により割り込み受け付け制御、3レベルのマスク制御を行います。

表7.6に、割り込み制御モードと選択可能な割り込みについて示します。

表 7.6 割り込み制御モードと選択される割り込み

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	*	すべての割り込み（割り込みコントロールレベル1を優先）
	1	*	NMI割り込み、アドレスブレイク割り込み
1	0	*	すべての割り込み（割り込みコントロールレベル1を優先）
	1	0	NMI、アドレスブレイク割り込みおよび割り込みコントロールレベル1の割り込み
		1	

【記号説明】

* : Don't care

(2) デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICRに対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表7.7に割り込み制御モードと動作および制御信号機能を示します。

表 7.7 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設 定			割り込み受け付け制御 3レベル制御			デフォルト優先順位判定
	INTM1	INTM0		I	UI	ICR	
0	0	0	○	IM	—	PR	○
1		1	○	IM	IM	PR	○

【記号説明】

○ : 割り込み動作制御を行います。

IM : 割り込みマスクビットとして使用します。

PR : 優先順位を設定します。

— : 使用しません。

7.6.1 割り込み制御モード0

割り込み制御モード0ではNMIとアドレスブレイク割り込みを除く割り込み要求は、ICRおよびCPUのCCRのIビットによってマスク制御されます。割り込み受け付け動作のフローチャートを図7.6に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. CCRのIビットが1にセットされているときは、割り込みコントローラはNMIとアドレスブレイク以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIとアドレスブレイク割り込みを除く割り込みはマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

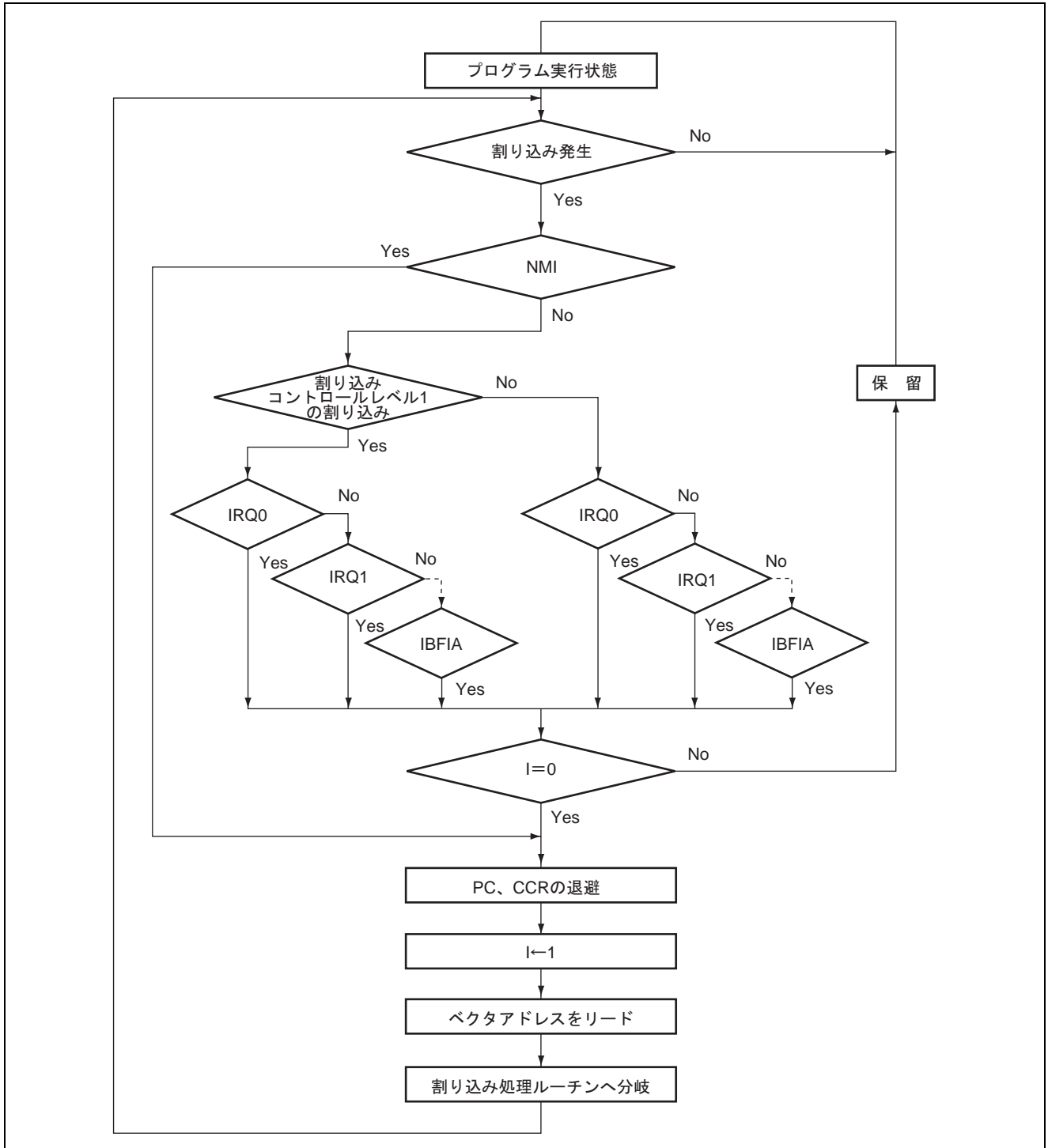


図 7.6 割り込み制御モード 0 の割り込み受け付けまでのフロー

7.6.2 割り込み制御モード 1

割り込み制御モード1ではNMIとアドレスブレイク割り込みを除く割り込み要求は、ICRおよびCPUのCCRのI、UIビットによって3レベルのマスク制御を行います。

- 割り込みコントロールレベル0の割り込み要求は、CCRのIビットが0にクリアされているときは割り込み要求を受け付けます。Iビットが1にセットされているときは割り込み要求を保留します。
- 割り込みコントロールレベル1の割り込み要求は、CCRのIビット、またはUIビットが0にクリアされているときは割り込み要求を受け付けます。Iビット、およびUIビットがいずれも1にセットされているときは割り込み要求を保留します。

たとえば各割り込み要求に対応する割り込みイネーブルビットを1にセット、ICRA~ICRDをそれぞれH'20、H'00、H'00、H'00に設定した場合（IRQ2、IRQ3割り込みをコントロールレベル1に、その他の割り込みをコントロールレベル0に設定）、次のようになります。このときの状態遷移を図7.7に示します。

- I=0のときはすべての割り込み要求を受け付けます。
（優先順位：NMI>IRQ2>IRQ3>IRQ0>IRQ1…）
- I=1、UI=0のときはNMI、IRQ2、IRQ3とアドレスブレイクの割り込み要求のみを受け付けます。
- I=1、UI=1のときはNMIとアドレスブレイクの割り込み要求のみを受け付けます。

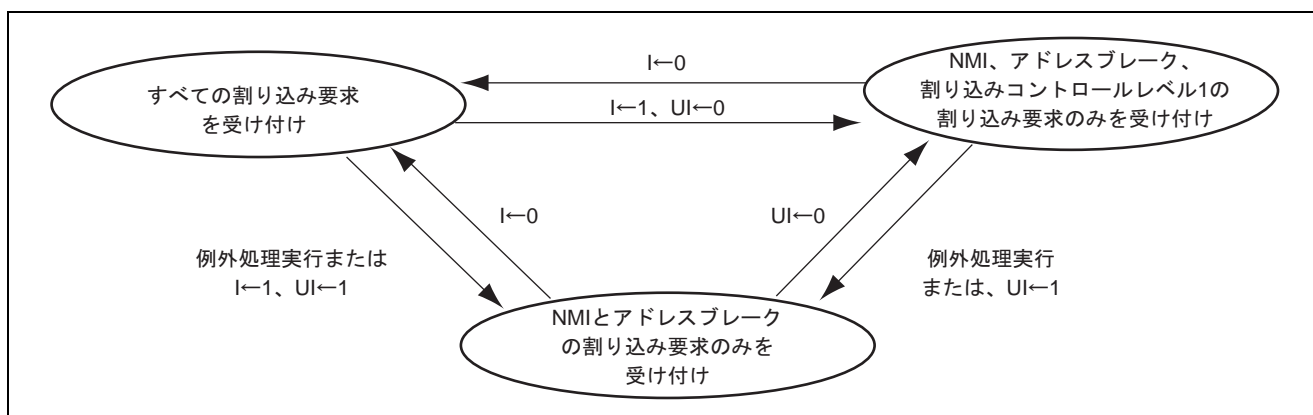


図 7.7 割り込み制御モード 1 の状態遷移

割り込み受け付けの動作フローチャートを図 7.8 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. 割り込みコントロールレベル1の割り込み要求は、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けます。
割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けます。Iビットが1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。
I、UIビットがいずれも1にセットされているときはNMIとアドレスブレイクの割り込み要求のみ受け付け、その他は保留します。
Iビットが0にクリアされているときは、UIビットの影響を受けません。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのI、UIビットを1にセットします。これにより、NMIとアドレスブレイクを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

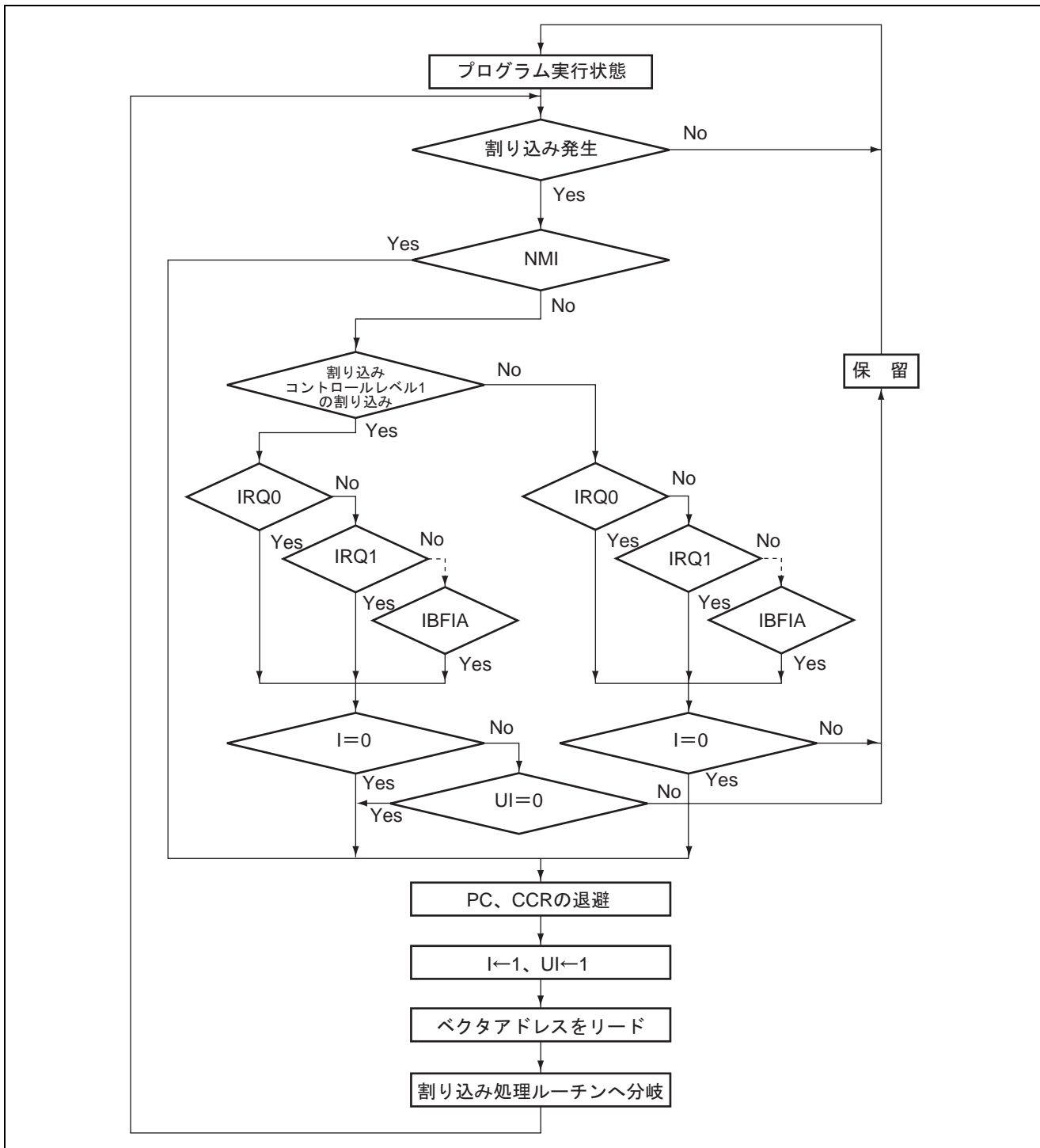


図 7.8 割り込み制御モード 1 の割り込み受け付けまでのフロー

7.6.3 割り込み例外処理シーケンス

図 7.9 に割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0、プログラム領域およびスタック領域を内蔵メモリの場合の例です。

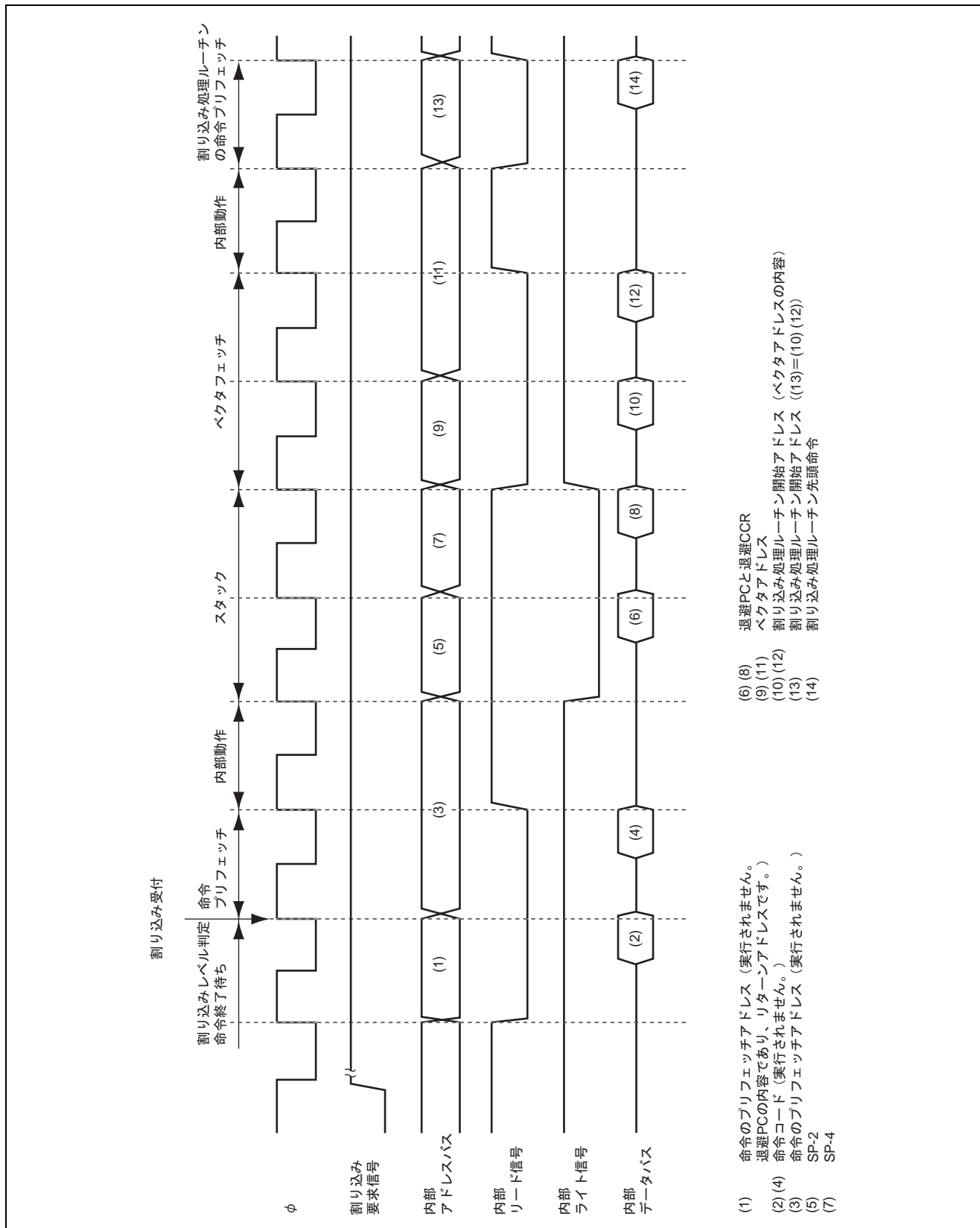


図 7.9 割り込み例外処理

7.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 7.8 に示します。

表 7.8 割り込み応答時間

No.	実行状態	アドバンスモード
1	割り込み優先順位判定* ¹	3
2	実行中の命令が終了するまでの待ち状態数* ²	1~21
3	PC、CCR のスタック	2
4	ベクタフェッチ	2
5	命令フェッチ* ³	2
6	内部処理* ⁴	2
合計（内蔵メモリ使用時）		12~32

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
- *2 MULXS、DIVXS 命令について示しています。
- *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
- *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

7.7 アドレスブレイク

7.7.1 特長

本 LSI では、ABRKCR、BAR の設定により、CPU による特定アドレスのプリフェッチを判定し、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク割り込みが発生すると、アドレスブレイク割り込み例外処理を実行します。

本機能によりプログラム上、バグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。

7.7.2 ブロック図

アドレスブレイクのブロック図を図 7.10 に示します。

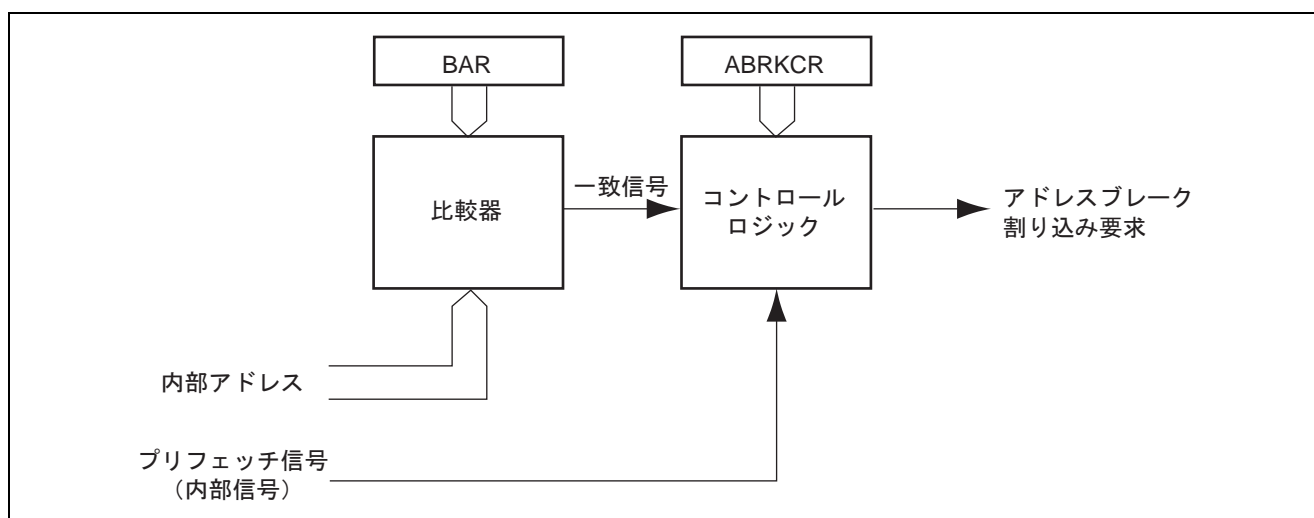


図 7.10 アドレスブレイクのブロック図

7.7.3 動作説明

ABRKCR、BAR の設定により、BAR に設定されたアドレスを CPU がプリフェッチしたときに、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク機能は、プリフェッチした時点で割り込みコントローラに対して、割り込み要求を発生し、割り込みコントローラで優先順位を判定します。割り込みが受け付けられると、そのとき実行中の命令が終了した後、割り込み例外処理を起動します。なお、アドレスブレイク割り込みでは CPU の CCR の I、UI ビットによる割り込みマスク制御は無効です。

アドレスブレイクを使用するときは、次のように各レジスタを設定します。

1. ブレイクアドレスをBARのA23～A1ビットに設定します。
2. ABRKCRのBIEビットを1にセットしてアドレスブレイクを許可します。
BIE ビットを 0 にクリアしている場合、アドレスブレイクは要求されません。

設定条件が成立すると、ABRKCR の CMF フラグが 1 にセットされ、割り込みを要求します。割り込み処理ルーチンで、必要に応じて要因の判定を行ってください。

7.7.4 使用上の注意事項

1. アドレスブレイクでは、ブレイクアドレスを命令の第1バイトが存在するアドレスにしてください。その他のアドレスでは、条件成立とみなされない場合があります。
2. BARで設定したアドレスの直前の命令にブランチ命令（Bcc、BSR）、ジャンプ命令（JMP、JSR）、RTS命令、RTE命令を配置した場合、これらの命令の実行により当該アドレスに対するプリフェッチ信号が出力され、アドレスブレイクが要求される場合があります。これらの命令の直後のアドレスに対するブレイクアドレスの設定を行わない、あるいは割り込み処理ルーチンで、本来の条件成立による割り込み処理であったかの判定を行う、などの対策が必要です。
3. アドレスブレイク割り込みは、内部プリフェッチ信号とアドレスの組み合わせにより発生しますので、設定したアドレスの命令および直前の命令内容、実行サイクルにより、割り込み例外処理の入るタイミングが異なります。図7.11にアドレスタイミング例を示します。

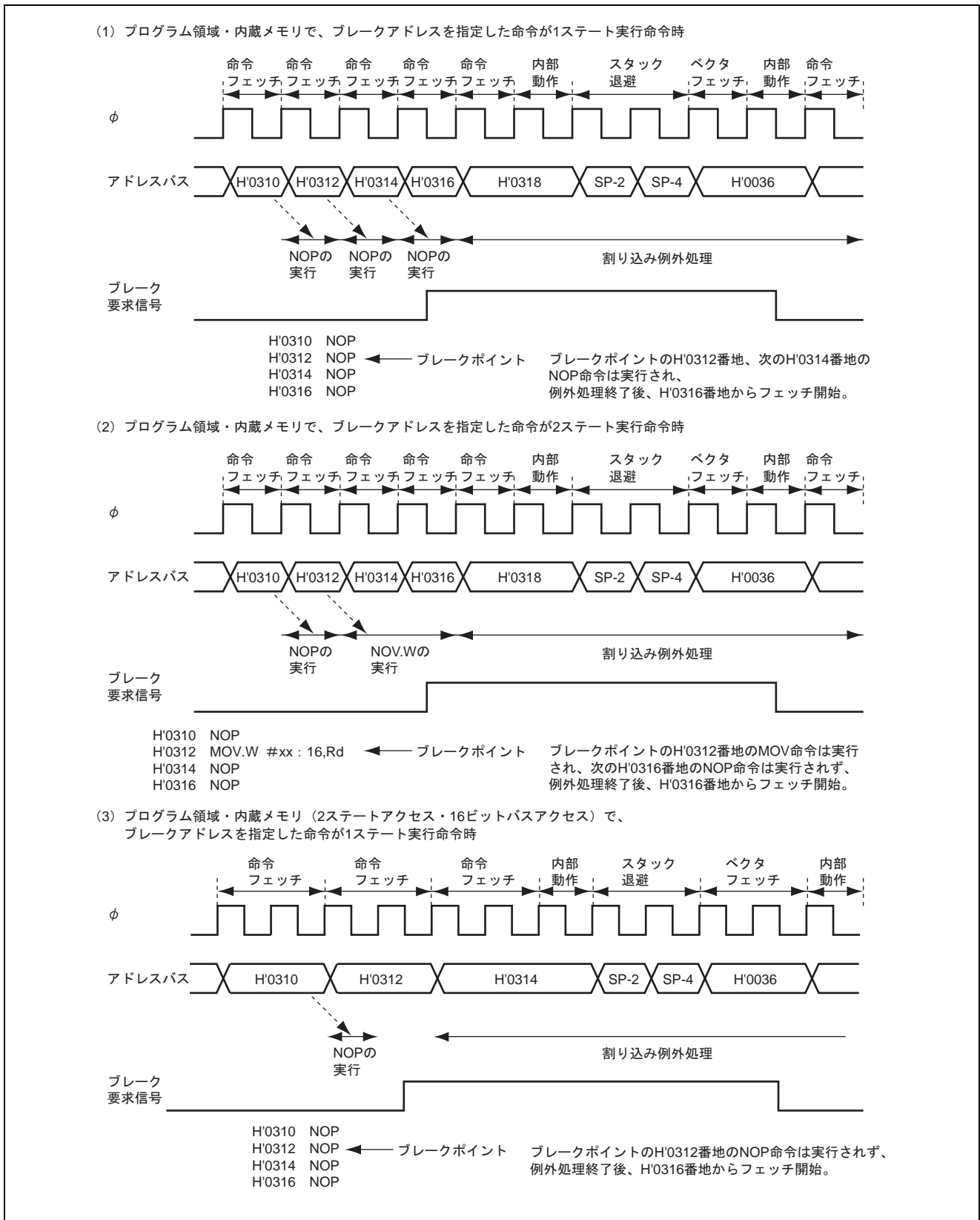


図 7.11 アドレスブレークタイミング例

7.8 使用上の注意事項

7.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TMR の TCR の CMIEA ビットを 0 にクリアする場合の例を図 7.12 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

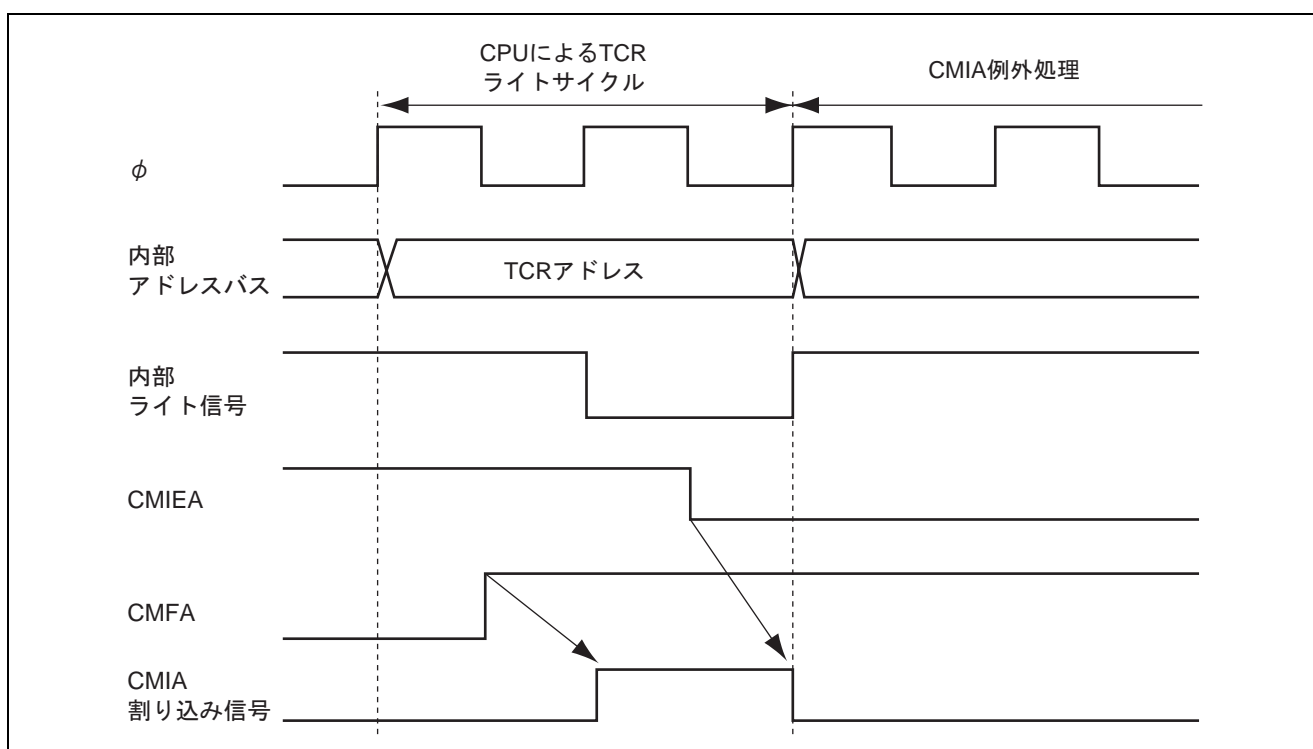


図 7.12 割り込みの発生とディスエーブルの競合

7.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

7.8.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:      EEPMOV.W
        MOV.W   R4,R4
        BNE    L1
```

7.8.4 ソフトウェアスタンバイモード、ウォッチモード時の外部割り込み端子について

- ソフトウェアスタンバイモード、ウォッチモード時に外部割り込み端子 ($\overline{\text{IRQ15}}\sim\overline{\text{IRQ0}}$ 、 $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ7}}$ 、 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ 、 $\overline{\text{WUE15}}\sim\overline{\text{WUE0}}$) として使用する場合は端子をフローティングとしないでください。
- ソフトウェアスタンバイモード、ウォッチモード時に外部割り込み端子 ($\overline{\text{IRQ7}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ8}}$ 、 $\overline{\text{KIN7}}\sim\overline{\text{KIN0}}$ 、 $\overline{\text{WUE15}}\sim\overline{\text{WUE8}}$) を使用する場合、ノイズキャンセラはディスエーブルとしてください。

7.8.5 ノイズキャンセラの切り替え

ノイズキャンセラの切り替えは外部割り込み端子 ($\overline{\text{IRQ7}}$ 、 $\overline{\text{ExIRQ15}}\sim\overline{\text{ExIRQ8}}$ 、 $\overline{\text{KIN7}}\sim\overline{\text{KIN0}}$ 、 $\overline{\text{WUE15}}\sim\overline{\text{WUE8}}$) を High レベルの状態で行ってください。

7.8.6 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により $\text{IRQnF}=1$ となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。(n=15~0)

8. バスコントローラ (BSC)

本 LSI には、外部拡張機能がないため、バスコントローラの機能は内蔵していません。しかし、類似製品とのソフトウェアの流用性などを考慮し、バスコントローラ関連の制御レジスタを不適切な値に設定しないよう注意する必要があります。

8.1 レジスタの説明

BSC には以下のレジスタがあります。

表 8.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
バスコントロールレジスタ	BCR	R/W	H'D3	H'FF9A	8
ウェイトステートコントロールレジスタ	WSCR	R/W	H'F3	H'FF9B	8

8.1.1 バスコントロールレジスタ (BCR)

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット 初期値を変更しないでください。
6	ICIS0	1	R/W	アイドルサイクル挿入 初期値を変更しないでください。
5	BRSTRM	0	R/W	バースト ROM イネーブル 初期値を変更しないでください。
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 初期値を変更しないでください。
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 初期値を変更しないでください。
2	—	0	R/W	リザーブビット 初期値を変更しないでください。
1	IOS1	1	R/W	IOS セレクト 1、0
0	IOS0	1	R/W	初期値を変更しないでください。

8.1.2 ウェイトステートコントロールレジスタ (WSCR)

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて1	R/W	リザーブビット 初期値を変更しないでください。
5	ABW	1	R/W	バス幅コントロール 初期値を変更しないでください。
4	AST	1	R/W	アクセスステートコントロール 初期値を変更しないでください。
3	WMS1	0	R/W	ウェイトモードセレクト 1、0
2	WMS0	0	R/W	初期値を変更しないでください。
1	WC1	1	R/W	ウェイトカウント 1、0
0	WC0	1	R/W	初期値を変更しないでください。

9. I/O ポート

ポート機能一覧を表 9.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートには入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (ODR)、端子の状態をリードするポート入力データレジスタ (PIN) があります。

ポート 1~4、6、8、9、B~F、H には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。

また、ポート 1~3、C、D は LED を駆動する (シンク電流 5mA) ことができます。また、P52、P97、ポート A、G、I、J は、5V Tolerant 入力となっています。

表 9.1 ポート機能一覧

ポート名	概要	ピ ッ ト	機能			入力プル アップ MOS 機能	LED 駆動可能 (シンク電流 5mA)	ノイズ キャンセラ 内蔵
			入出力	入力	出力			
ポート 1	ウェイクアップ入力端 子と兼用汎用入出力 ポート	7	P17	WUE7	—	○	○	—
		6	P16	WUE6	—			
		5	P15	WUE5	—			
		4	P14	WUE4	—			
		3	P13	WUE3	—			
		2	P12	WUE2	—			
		1	P11	WUE1	—			
		0	P10	WUE0	—			
ポート 2	汎用入出力ポート	7	P27	—	—	○	○	—
		6	P26	—	—			
		5	P25	—	—			
		4	P24	—	—			
		3	P23	—	—			
		2	P22	—	—			
		1	P21	—	—			
		0	P20	—	—			

ポート名	概要	ビット	機能			入力 アップ MOS 機能	LED 駆動可能 (シンク電流 5mA)	ノイズ キャンセラ 内蔵
			入出力	入力	出力			
ポート 3	LPC 入出力と兼用 汎用入出力ポート	7	P37/SERIRQ	—	—	○	○	—
		6	P36	LCLK	—			
		5	P35	$\overline{\text{LRESET}}$	—			
		4	P34	$\overline{\text{LFRAME}}$	—			
		3	P33/LAD3	—	—			
		2	P32/LAD2	—	—			
		1	P31/LAD1	—	—			
		0	P30/LAD0	—	—			
ポート 4	PWMU_B 出力、 TCM 入力、TMR_0、 TMR_1 入出力と兼用 汎用入出力ポート	7	P47	—	PWMU5B	○	—	○
		6	P46	—	PWMU4B			
		5	P45	TCMCKI2/TCMMCI2	PWMU3B			
		4	P44	TCMCYI2	PWMU2B/TMO1			
		3	P43	TMI1/TCMCKI1/TCMMCI1	—			
		2	P42	TCMCYI1	—			
		1	P41	TCMCKI0/TCMMCI0	TMO0			
		0	P40	TMI0/TCMCYI0	—			
ポート 5	SMBUS/IIC_0、SCIF 入 出力と兼用汎用入出力 ポート	2	P52/SCL0	—	—	—	—	—
		1	P51	FRxD	—	○	—	—
		0	P50	—	FTxD	○	—	—
ポート 6	割り込み入力、 キーボード入力と兼用 汎用入出力ポート	7	P67	$\overline{\text{IRQ7/KIN7}}$	—	○	—	○
		6	P66	$\overline{\text{KIN6}}$	—			
		5	P65	$\overline{\text{KIN5}}$	—			
		4	P64	$\overline{\text{KIN4}}$	—			
		3	P63	$\overline{\text{KIN3}}$	—			
		2	P62	$\overline{\text{KIN2}}$	—			
		1	P61	$\overline{\text{KIN1}}$	—			
		0	P60	$\overline{\text{KIN0}}$	—			
ポート 7	A/D 変換器アナログ 入力と兼用汎用入力 ポート	7	—	P77/AN7	—	—	—	—
		6	—	P76/AN6	—			
		5	—	P75/AN5	—			
		4	—	P74/AN4	—			
		3	—	P73/AN3	—			
		2	—	P72/AN2	—			
		1	—	P71/AN1	—			
		0	—	P70/AN0	—			

ポート名	概要	ピ ット	機能			入力 アップ MOS 機能	LED 駆動可能 (シンク電流 5mA)	ノイズ キャンセラ 内蔵
			入出力	入力	出力			
ポート 8	割り込み入力、 SCL_1、LPC 入出力と 兼用汎用入出力ポート	6	P86/SCK1	$\overline{\text{IRQ5}}$	—	—	—	—
		5	P85	$\overline{\text{IRQ4/RxD1}}$	—	—	—	—
		4	P84	$\overline{\text{IRQ3}}$	TxD1	—	—	—
		3	P83	$\overline{\text{LPCPD}}$	—	—	—	—
		2	P82/CLKRUN	—	—	—	—	—
		1	P81/GA20	—	—	—	—	—
		0	P80/PME	—	—	—	—	—
ポート 9	外部サブクロック、 割り込み入力、 SMBUS/IIC_0 入出力、 システムクロック出力 と兼用汎用入出力 ポート	7	P97/SDA0	$\overline{\text{IRQ15}}$	—	—	—	—
		6	—	P96/EXCL	ϕ	—	—	—
		5	P95	$\overline{\text{IRQ14}}$	—	○	—	—
		4	P94	$\overline{\text{IRQ13}}$	—	—	—	—
		3	P93	$\overline{\text{IRQ12}}$	—	—	—	—
		2	P92	$\overline{\text{IRQ0}}$	—	—	—	—
		1	P91	$\overline{\text{IRQ1}}$	—	—	—	—
		0	P90	$\overline{\text{IRQ2}}$	—	—	—	—
ポート A	キーボード入力、 PS2 入出力、IIC_1 入出 力と兼用汎用入出力ポ ート	7	PA7/PS2CD	$\overline{\text{KIN15}}$	—	—	—	—
		6	PA6/PS2CC	$\overline{\text{KIN14}}$	—	—	—	—
		5	PA5/PS2BD	$\overline{\text{KIN13}}$	—	—	—	—
		4	PA4/PS2BC	$\overline{\text{KIN12}}$	—	—	—	—
		3	PA3/PS2AD	$\overline{\text{KIN11}}$	—	—	—	—
		2	PA2/PS2AC	$\overline{\text{KIN10}}$	—	—	—	—
		1	PA1/SCL1	$\overline{\text{KIN9}}$	—	—	—	—
		0	PA0/SDA1	$\overline{\text{KIN8}}$	—	—	—	—
ポート B	LPC、SCIF、FSI 入出 力、PWMU_B 出力と 兼用汎用入出力ポート	7	PB7	—	$\overline{\text{RTS/FSISS}}$	○	—	—
		6	PB6	$\overline{\text{CTS}}$	FSICK	—	—	—
		5	PB5	FSIDI	DTR	—	—	—
		4	PB4	$\overline{\text{DSR}}$	FSIDO	—	—	—
		3	PB3	$\overline{\text{DCD}}$	PWMU1B	—	—	—
		2	PB2	$\overline{\text{RI}}$	PWMU0B	—	—	—
		1	PB1/LSCI	—	—	—	—	—
		0	PB0/ $\overline{\text{LSMI}}$	—	—	—	—	—

ポート名	概要	ピ ツ ト	機能			入力プ ラップ MOS 機能	LED 駆動可能 (シンク電流 5mA)	ノイズ キャンセ ラ内蔵
			入出力	入力	出力			
ポート C	ウェイクアップ入力、 TPU 入出力と兼用汎用 入出力ポート	7	PC7/TIOCB2	WUE15/TCLKD	—	○	○	○
		6	PC6/TIOCA2	WUE14	—			
		5	PC5/TIOCB1	WUE13/TCLKC	—			
		4	PC4/TIOCA1	WUE12	—			
		3	PC3/TIOCD0	WUE11/TCLKB	—			
		2	PC2/TIOCC0	WUE10/TCLKA	—			
		1	PC1/TIOCB0	WUE9	—			
		0	PC0/TIOCA0	WUE8	—			
ポート D	A/D 変換アナログ入力、 SSU 入出力と兼用汎用 入出力 ポート	7	PD7/SSCS	—	—	○	○	—
		6	PD6/SSCK	—	—			
		5	PD5/SSI	—	—			
		4	PD4/SSO	—	—			
		3	PD3	AN11	—			
		2	PD2	AN10	—			
		1	PD1	AN9	—			
		0	PD0	AN8	—			
ポート E	外部サブクロック 入力、エミュレータ入 出力と兼用汎用入出力 ポート	5	PE5* ¹	ETRST	—	○	—	—
		4	PE4* ¹	ETMS	—			
		3	PE3* ¹	—	ETDO			
		2	PE2* ¹	ETDI	—			
		1	PE1* ¹	ETCK	—			
		0	PE0	ExEXCL	—			
ポート F	割り込み入力、 TMR_X、TMR_Y、 PWMU_A 出力、SCIF 拡張入出力と兼用汎用 入出力ポート	7	PF7	—	PWMU5A/ExRTS	○	—	—
		6	PF6	ExCTS	PWMU4A			
		5	PF5	—	PWMU3A/ExDTR			
		4	PF4	ExDSR	PWMU2A			
		3	PF3	IRQ11	TMOX			
		2	PF2	IRQ10	TMOY			
		1	PF1	IRQ9	PWMU1A			
		0	PF0	IRQ8	PWMU0A			

ポート名	概要	ビット	機能			入力プルアップ MOS 機能	LED 駆動可能 (シンク電流 5mA)	ノイズ キャンセ ラ内蔵
			入出力	入力	出力			
ポート G	割り込み、 TMR_X、TMR_Y 入力、 IIC_2 入出力と兼用汎 用入出力ポート	7	PG7/SCLD	$\overline{\text{ExIRQ15}}$	—	—	—	○
		6	PG6/SDAD	$\overline{\text{ExIRQ14}}$	—			
		5	PG5/SCLC	$\overline{\text{ExIRQ13}}$	—			
		4	PG4/SDAC	$\overline{\text{ExIRQ12}}$	—			
		3	PG3/SCLB	$\overline{\text{ExIRQ11}}$	—			
		2	PG2/SDAB	$\overline{\text{ExIRQ10}}$	—			
		1	PG1/SCLA	$\overline{\text{ExIRQ9/TMIY}}$	—			
		0	PG0/SDAA	$\overline{\text{ExIRQ8/TMIX}}$	—			
ポート H	割り込み入力と兼用 汎用入出力ポート	1	PH1	$\overline{\text{ExIRQ7}}$	—	○	—	—
		0	PH0	$\overline{\text{IRQ6}}$	—			
ポート I	兼用汎用入出力 ポート	7	PI7* ²	—	—	—	—	—
		6	PI6* ²	—	—			
		5	PI5* ²	—	—			
		4	PI4* ²	—	—			
		3	PI3* ²	—	—			
		2	PI2* ²	—	—			
		1	PI1* ²	—	—			
		0	PI0* ²	—	—			
ポート J	兼用汎用入出力 ポート	7	PJ7* ²	—	—	—	—	—
		6	PJ6* ²	—	—			
		5	PJ5* ²	—	—			
		4	PJ4* ²	—	—			
		3	PJ3* ²	—	—			
		2	PJ2* ²	—	—			
		1	PJ1* ²	—	—			
		0	PJ0* ²	—	—			

【注】 *1 システム開発ツール（エミュレータ）ではサポートしません。

*2 TFP-144V および TLP-145V ではサポートしません

9.1 レジスタの説明

各ポートのレジスタを表 9.2 に示します。

表 9.2 各ポートのレジスタ構成

ポート	端子数	レジスタ							
		DDR	ODR	PIN	PCR	NCE	NCMC	NCCS	NOCR
ポート1	8	○	○	○	○	—	—	—	—
ポート2	8	○	○	○	○	—	—	—	—
ポート3	8	○	○	○	○	—	—	—	—
ポート4	8	○	○	○	○	○	○	○	—
ポート5	3	○	○	○	○	—	—	—	—
ポート6	8	○	○	○	○	○	○	○	—
ポート7	8	—	—	○	—	—	—	—	—
ポート8	7	○	○	○	○	—	—	—	—
ポート9	8	○	○	○	○	—	—	—	—
ポートA	8	○	○	○	—	—	—	—	○
ポートB	8	○	○	○	○	—	—	—	—
ポートC	8	○	○	○	○	○	○	○	○
ポートD	8	○	○	○	○	—	—	—	○
ポートE	6	○	○	○	○	—	—	—	○
ポートF	8	○	○	○	○	—	—	—	○
ポートG	8	○	○	○	—	○	○	○	○
ポートH	2	○	○	○	○	—	—	—	○
ポートI	8*	○	○	○	—	—	—	—	○
ポートJ	8*	○	○	○	—	—	—	—	○

【記号説明】

○ : レジスタあり

— : レジスタなし

【注】 * ポートIとポートJはTFP-144V および TLP-145V ではサポートしません。

9.1.1 データディレクションレジスタ (PnDDR) (n=1~6、8、9、A~J)

DDR は、ポートの入出力をビットごとに指定するレジスタです。

P5DDR の上位 5 ビット、P8DDR の上位 1 ビット、PEDDR の上位 2 ビットと PHDDR の上位 6 ビットがそれぞれリザーブビットです。

ビット	ビット名	初期値	R/W	説明
7	Pn7DDR	0	R/W	このビットを 1 にセットすると、対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	Pn6DDR	0	R/W	
5	Pn5DDR	0	R/W	
4	Pn4DDR	0	R/W	
3	Pn3DDR	0	R/W	
2	Pn2DDR	0	R/W	
1	Pn1DDR	0	R/W	
0	Pn0DDR	0	R/W	

9.1.2 データレジスタ (PnODR) (n=1~6、8、9、A~J)

ODR は、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

P5ODR の上位 5 ビット、P8ODR の上位 1 ビット、P96ODR ビット、PEODR の上位 2 ビットと PHODR の上位 6 ビットはそれぞれリザーブビットです。

ビット	ビット名	初期値	R/W	説明
7	Pn7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	Pn6ODR	0	R/W	
5	Pn5ODR	0	R/W	
4	Pn4ODR	0	R/W	
3	Pn3ODR	0	R/W	
2	Pn2ODR	0	R/W	
1	Pn1ODR	0	R/W	
0	Pn0ODR	0	R/W	

9.1.3 入力データレジスタ (PnPIN) (n=1~9、A~J)

PIN は、ポートの端子の状態を反映する 8 ビットのリード専用レジスタです。PIN のライトは無効です。P5PIN の上位 5 ビット、P8PIN の上位 1 ビット、PEPIN の上位 2 ビットと PHPIN の上位 6 ビットはそれぞれリザーブビットです。

ビット	ビット名	初期値	R/W	説明
7	Pn7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。
6	Pn6PIN	不定*	R	
5	Pn5PIN	不定*	R	
4	Pn4PIN	不定*	R	
3	Pn3PIN	不定*	R	
2	Pn2PIN	不定*	R	
1	Pn1PIN	不定*	R	
0	Pn0PIN	不定*	R	

【注】 * Pn7~Pn0 端子の状態により決定されます。

9.1.4 プルアップ MOS コントロールレジスタ (PnPCR) (n=1~6、8、9、B~F、H)

PCR は、ポートの入力プルアップ MOS のオン/オフを制御するレジスタです。

端子が入力状態のとき、PCR が 1 にセットされているビットに対応する端子の入力プルアップ MOS がオンします。P5PCR の上位 6 ビット、P8PCR の上位 1 ビット、P9PCR の上位 1 ビット、PEPCR の上位 2 ビットと PHPCR の上位 6 ビットはそれぞれリザーブビットです。

ビット	ビット名	初期値	R/W	説明
7	Pn7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	Pn6PCR	0	R/W	
5	Pn5PCR	0	R/W	
4	Pn4PCR	0	R/W	
3	Pn3PCR	0	R/W	
2	Pn2PCR	0	R/W	
1	Pn1PCR	0	R/W	
0	Pn0PCR	0	R/W	

9.1.5 ノイズキャンセライネーブルレジスタ (PnNCE) (n=4、6、C、G)

NCE は、ポート n 端子のノイズキャンセル回路のイネーブルとディセーブルをビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	Pn7NCE	0	R/W	このビットを 1 にセットするとノイズキャンセル回路をイネーブルにして、PnNCCS で設定したサンプリング周期で端子設定状態を PnPIN に取り込みます。
6	Pn6NCE	0	R/W	
5	Pn5NCE	0	R/W	
4	Pn4NCE	0	R/W	
3	Pn3NCE	0	R/W	
2	Pn2NCE	0	R/W	
1	Pn1NCE	0	R/W	
0	Pn0NCE	0	R/W	

9.1.6 ノイズキャンセラ判定制御レジスタ (PnNCMC) (n=4、6、C、G)

NCMC は、ポート n 端子の入力信号で 1 期待か 0 期待かをビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	Pn7NCMC	0	R/W	1 期待 : 1 が安定入力時にポートデータレジスタに 1 が格納されます。 0 期待 : 0 が安定入力時にポートデータレジスタに 0 が格納されます。
6	Pn6NCMC	0	R/W	
5	Pn5NCMC	0	R/W	
4	Pn4NCMC	0	R/W	
3	Pn3NCMC	0	R/W	
2	Pn2NCMC	0	R/W	
1	Pn1NCMC	0	R/W	
0	Pn0NCMC	0	R/W	

9.1.7 ノイズキャンセル周期設定レジスタ (PnNCCS) (n=4、6、C、G)

NCCS は、ノイズキャンセラのサンプリング周期を設定します。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 不定	R/W	リザーブビット リード値は不定です。ライトするときは0をライトしてください。
2	PnNCCK2	0	R/W	ノイズキャンセラのサンプリング周期を設定します。 $\phi = 10\text{MHz}$ 時 000 : 0.80us $\phi/2$ 001 : 12.8us $\phi/32$ 010 : 3.3ms $\phi/8192$ 011 : 6.6ms $\phi/16384$ 100 : 13.1ms $\phi/32768$ 101 : 26.2ms $\phi/65536$ 110 : 52.4ms $\phi/131072$ 111 : 104.9ms $\phi/262144$
1	PnNCCK1	0	R/W	
0	PnNCCK0	0	R/W	

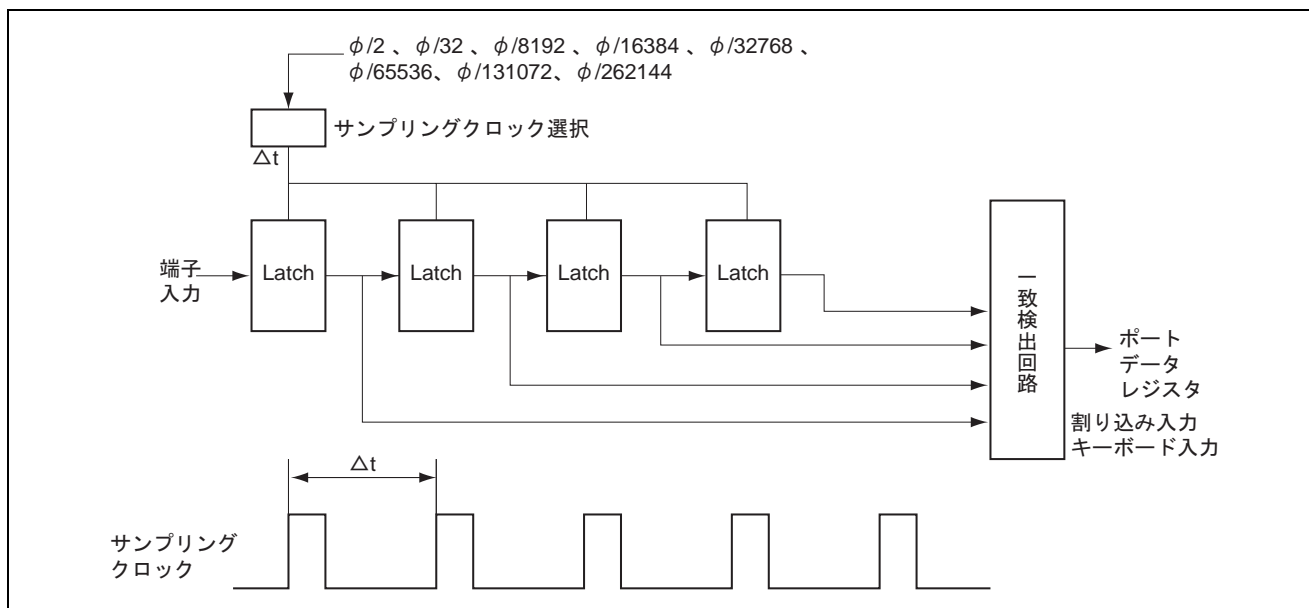


図 9.1 ノイズキャンセル回路

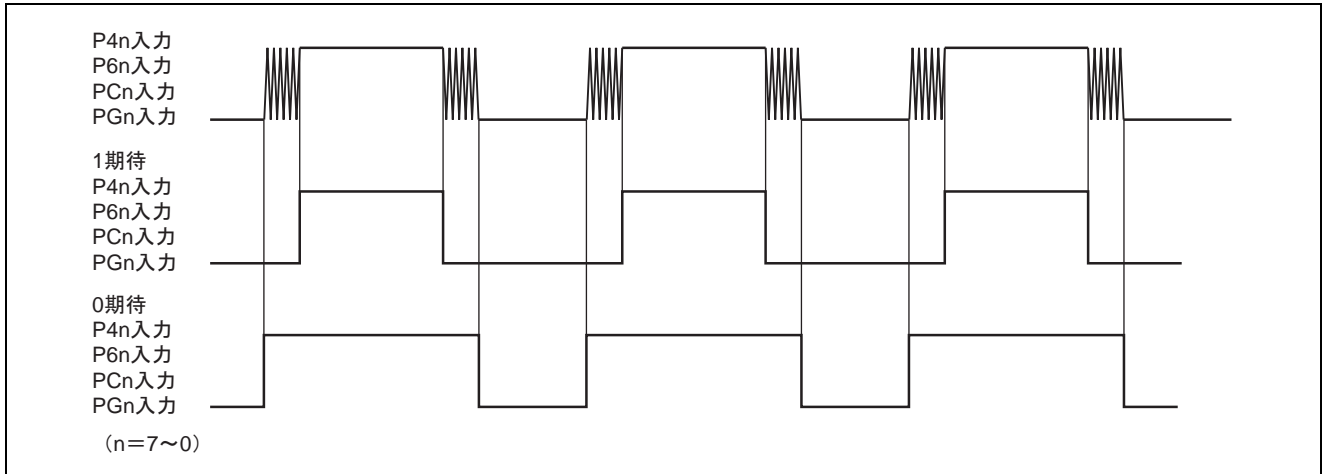


図 9.2 ノイズキャンセル動作概念図

9.1.8 ポート Nch-OD コントロールレジスタ (PnNOCR) (n=A、C~J)

NOCR は、出力に指定されたときの、ポート n の各端子の出力ドライバタイプをビットごとに指定します。PENOCR の上位 2 ビット、PHNOCR の上位 6 ビットはリザーブビットです。

ビット	ビット名	初期値	R/W	説明
7	Pn7NOCR	0	R/W	ポート A、C、D、E、F、G、H、I、J 0 : CMOS (P チャンネルドライバが有効) 1 : N チャンネルオープンドレイン (P チャンネルドライバが無効)
6	Pn6NOCR	0	R/W	
5	Pn5NOCR	0	R/W	
4	Pn4NOCR	0	R/W	
3	Pn3NOCR	0	R/W	
2	Pn2NOCR	0	R/W	
1	Pn1NOCR	0	R/W	
0	Pn0NOCR	0	R/W	

9.2 端子機能

9.2.1 ポート 1

- (1) P17/ $\overline{WUE7}$ 、P16/ $\overline{WUE6}$ 、P15/ $\overline{WUE5}$ 、P14/ $\overline{WUE4}$ 、P13/ $\overline{WUE3}$ 、P12/ $\overline{WUE2}$ 、P11/ $\overline{WUE1}$ 、P10/ $\overline{WUE0}$

P1nDDR ビットにより、次のように切り替わります。

割り込みコントローラの WUEMRB の WUEMRn ビットを 0 にクリアすると \overline{WUEn} 入力端子になります。

P1nDDR	0	1
端子機能	P1n 入力端子	P1n 出力端子
	\overline{WUEn} 入力端子	

(n=7~0)

9.2.2 ポート 2

- (1) P27~P20

P2nDDR ビットにより、次のように切り替わります。

P2nDDR	0	1
端子機能	P2n 入力端子	P2n 出力端子

(n=7~0)

9.2.3 ポート 3

- (1) P37/SERIRQ、P36/LCLK、P35/ \overline{LRESET} 、P34/ \overline{LFRAME} 、P33/LAD3、P32/LAD2、P31/LAD1、P30/LAD0

FSI の SLCR の FSILIE ビット、HICR6 の LPCAE ビット、LPC の HICR5 の SCIFE ビット、HICR4 の LPC4E ビット、HICR0 の LPC3E~LPC1E ビットと P3nDDR ビットの組み合わせにより、次のように切り替わります。表中の LPCENABLE は、次の論理式で表されます。

$$\text{LPCENABLE}=1 : \text{FSILIE} + \text{SCIFE} + \text{LPC4E} + \text{LPC3E} + \text{LPC2E} + \text{LPC1E} + \text{LPCAE}$$

LPCENABLE	0		1
P3nDDR	0	1	—
端子機能	P3n 入力端子	P3n 出力端子	LPC 入出力端子

(n=7~0)

9.2.4 ポート 4

(1) P47/PWMU5B

PWMU_B の PWMOUTCR の PWM5E ビットおよび P47DDR ビットの組み合わせにより、次のように切り替わります。

P47DDR	0	1	
PWM5E	—	0	1
端子機能	P47 入力端子	P47 出力端子	PWMU5B 出力端子

(2) P46/PWMU4B

PWMU_B の PWMOUTCR の PWM4E ビット、PWMPER の CNTMD45A ビット、PWMOUTCR の CNTMD45B ビット、および P46DDR ビットの組み合わせにより、次のように切り替わります。表中の PWM4OE は、次の論理式で表されます。

$$\text{PWM4OE} = 1 : \text{PWM4E} \cdot \overline{\text{CNTMD45A}} \cdot \overline{\text{CNTMD45B}}$$

P46DDR	0	1	
PWM4OE	—	0	1
端子機能	P46 入力端子	P46 出力端子	PWMU4B 出力端子

(3) P45/PWMU3B/TCMCKI2/TCMMCI2

PWMU_B の PWMOUTCR の PWM3E ビットおよび P45DDR ビットの組み合わせにより、次のように切り替わります。TCM_2 の TCMCR の CKS2~CKS0 ビットで外部クロックを選択すると、TCMCKI2 入力端子になります。TCM_2 の TCMIER の CMMS ビットを 1 にセットすると、TCMMCI2 入力端子になります。

P45DDR	0	1	
PWM3E	—	0	1
端子機能	P45 入力端子	P45 出力端子	PWMU3B 出力端子
	TCMCKI2 入力端子/TCMMCI2 入力端子		

(4) P44/TMO1/PWMU2B/TCMCY12

TMR_1 の TCR の OS3～OS0 ビット、PWMU_B の PWMOUTCR の PWM2E ビット、PWMPCR の CNTMD23A ビット、PWMOUTCR の CNTMD23B ビット、および P44DDR ビットの組み合わせにより、次のように切り替わります。TCM_2 の TCMIER_2 の TCMPE ビットを 1 にセットすると、TCMCY2 入力端子になります。表中の PWM2OE は、次の論理式で表されます。

$$\text{PWM2OE} = 1 : \text{PWM2E} \cdot \overline{\text{CNTMD23A}} \cdot \overline{\text{CNTMD23B}}$$

OS3～OS0	すべてが 0			いずれかが 1
P44DDR	0	1		—
PWM2OE	—	0	1	—
端子機能	P44 入力端子	P44 出力端子	PWMU2B 出力端子	TMO1 出力端子
	TCMCY12 入力端子			

(5) P43/TMI1/TCMCKI1/TCMMCI1

P43DDR ビットにより、次のように切り替わります。TMI1 は TMR11 と TMC11 の兼用入力端子です。TMR_1 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMI1 (TMR11) 入力端子になります。TMR_1 の TCR の CKS2～CKS0 ビットで外部クロックを選択すると、TMI1 (TMC11) 入力端子になります。TCM_1 の TCMCR の CKS2～CKS0 ビットで外部クロックを選択すると、TCMCKI1 入力端子になります。TCM_1 の TCMIER の CMMS ビットを 1 にセットすると、TCMMCI1 入力端子になります。

P43DDR	0	1
端子機能	P43 入力端子	P43 出力端子
	TMI1 入力端子/TCMCKI1 入力端子/TCMMCI1 入力端子	

(6) P42/TCMCY11

P42DDR ビットにより、次のように切り替わります。TCM_1 の TCMIER_1 の TCMPE ビットを 1 にセットすると TCMCY11 入力端子になります。

P42DDR	0	1
端子機能	P42 入力端子	P42 出力端子
	TCMCY11 入力端子	

(7) P41/TMO0/TCMCKI0/TCMMCIO

TMR_0 の TCSR の OS3～OS0 ビットおよび P41DDR ビットの組み合わせにより、次のように切り替わります。TCM_0 の TCMCR の CKS2～CKS0 ビットで外部クロックを選択すると、TCMCKI0 入力端子になります。TCM_0 の TCMIER の CMMS ビットを 1 にセットすると、TCMMCIO 入力端子になります。

OS3～OS0	すべてが 0		いずれかが 1
P41DDR	0	1	—
端子機能	P41 入力端子	P41 出力端子	TMO0 出力端子
	TCMCKI0 入力端子/TCMMCIO 入力端子		

(8) P40/TMI0/TCMCYI0

P40DDR ビットにより、次のように切り替わります。TMI0 は TMRIO と TMCIO の兼用入力端子です。TMR_0 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMI0 (TMRIO) 入力端子になります。TMR_0 の TCR の CKS2～CKS0 ビットで外部クロックを選択すると、TMI0 (TMCIO) 入力端子になります。TCM_0 の TCMIER_0 の TCMPIE ビットを 1 にセットすると TCMCYI0 入力端子になります。

P40DDR	0	1
端子機能	P40 入力端子	P40 出力端子
	TMI0 入力端子/TCMCYI0 入力端子	

9.2.5 ポート 5

(1) P52/SCL0

IIC_0 の ICCR の ICE ビットと P52DDR ビットの組み合わせにより、次のように切り替わります。

ICE	0		1
P52DDR	0	1	—
端子機能	P52 入力端子	P52 出力端子	SCL0 入出力端子

【注】 SCL0 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、P52 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(2) P51/FRxD

SCIF の SCIFCR の SCIFOE1 ビット、HICR5 の SCIFE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。

SCIFENABLE=1 : SCIFOE1+SCIFE

SCIFENABLE	0		1
P51DDR	0	1	—
端子機能	P51 入力端子	P51 出力端子	FRxD 入力端子

(3) P50/FTxD

SCIF の SCIFCR の SCIFOE1 ビット、HICR5 の SCIFE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。

SCIFENABLE=1 : SCIFOE1+SCIFE

SCIFENABLE	0		1
P50DDR	0	1	—
端子機能	P50 入力端子	P50 出力端子	FTxD 出力端子

9.2.6 ポート 6

(1) P67/ $\overline{\text{IRQ7}}$ / $\overline{\text{KIN7}}$

割り込みコントローラの KMIMRB の KMIM7 ビットを 0 にクリアすると、 $\overline{\text{KIN7}}$ 入力端子になります。ISSR の ISS7 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ7E ビットを 1 にセットすると $\overline{\text{IRQ7}}$ 入力端子として使用できます。

P67DDR ビットにより、次のように切り替わります。

P67DDR	0	1
端子機能	P67 入力端子	P67 出力端子
	$\overline{\text{IRQ7}}$ 入力端子/ $\overline{\text{KIN7}}$ 入力端子	

(2) P66/ $\overline{\text{KIN6}}$ 、P65/ $\overline{\text{KIN5}}$ 、P64/ $\overline{\text{KIN4}}$ 、P63/ $\overline{\text{KIN3}}$ 、P62/ $\overline{\text{KIN2}}$ 、P61/ $\overline{\text{KIN1}}$ 、P60/ $\overline{\text{KIN0}}$

割り込みコントローラの KMIMRB の KMIMn ビットを 0 にクリアすると、 $\overline{\text{KINn}}$ 入力端子になります。

P6nDDR ビットにより、次のように切り替わります。

P6nDDR	0	1
端子機能	P6n 入力端子	P6n 出力端子
	$\overline{\text{KINn}}$ 入力端子	

(n=6~0)

9.2.7 ポート 7

(1) P77/ $\overline{\text{AN7}}$ 、P76/ $\overline{\text{AN6}}$ 、P75/ $\overline{\text{AN5}}$ 、P74/ $\overline{\text{AN4}}$ 、P73/ $\overline{\text{AN3}}$ 、P72/ $\overline{\text{AN2}}$ 、P71/ $\overline{\text{AN1}}$ 、P70/ $\overline{\text{AN0}}$

端子機能	$\overline{\text{ANn}}$ / $\overline{\text{P7n}}$ 入力
------	--

(n=7~0)

9.2.8 ポート 8

(1) P86/ $\overline{\text{IRQ5}}$ /SCK1

SCI_1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビットと P86DDR ビットの組み合わせにより、次のように切り替わります。割り込みコントローラの IER の IRQ5E ビットを 1 にセットすると $\overline{\text{IRQ5}}$ 入力端子として使用できます。

CKE1	0				1
C/ $\overline{\text{A}}$	0		1		—
CKE0	0		1	—	—
P86DDR	0	1	—	—	—
端子機能	P86 入力端子	P86 出力端子	SCK1 出力端子	SCK1 出力端子	SCK1 入力端子
	$\overline{\text{IRQ5}}$ 入力端子				

(2) P85/ $\overline{\text{IRQ4}}$ /RxD1

SCI_1 の SCR の RE ビットと P85DDR ビットの組み合わせにより、次のように切り替わります。割り込みコントローラの IER の IRQ4E ビットを 1 にセットすると $\overline{\text{IRQ4}}$ 入力端子として使用できます。

RE	0		1
P85DDR	0	1	—
端子機能	P85 入力端子	P85 出力端子	RxD1 入力端子
	$\overline{\text{IRQ4}}$ 入力端子		

(3) P84/ $\overline{\text{IRQ3}}$ /TxD1

SCI_1 の SCR の TE ビットと P84DDR ビットの組み合わせにより、次のように切り替わります。割り込みコントローラの IER の IRQ3E ビットを 1 にセットすると $\overline{\text{IRQ3}}$ 入力端子として使用できます。

TE	0		1
P84DDR	0	1	—
端子機能	P84 入力端子	P84 出力端子	TxD1 出力端子
	$\overline{\text{IRQ3}}$ 入力端子		

(4) P83/ $\overline{\text{LPCPD}}$

FSI の SLCR の FSILIE ビット、LPC の HICR6 の LPCAE ビット、LPC の HICR5 の SCIFE ビット、HICR4 の LPC4E ビット、HICR0 の LPC3E~LPC1E ビットと P83DDR ビットの組み合わせにより、次のように切り替わります。表中の LPCENABLE は、次の論理式で表されます。

$$\text{LPCENABLE}=1 : \text{FSILIE} + \text{SCIFE} + \text{LPC4E} + \text{LPC3E} + \text{LPC2E} + \text{LPC1E} + \text{LPCAE}$$

LPCENABLE	0		1
P83DDR	0	1	—
端子機能	P83 入力端子	P83 出力端子	$\overline{\text{LPCPD}}$ 入力端子

(5) P82/ $\overline{\text{CLKRUN}}$

FSI の SLCR の FSILIE ビット、LPC の HICR6 の LPCAE ビット、LPC の HICR5 の SCIFE ビット、HICR4 の LPC4E ビット、HICR0 の LPC3E~LPC1E ビットと P82DDR ビットの組み合わせにより、次のように切り替わります。表中の LPCENABLE は、次の論理式で表されます。

$$\text{LPCENABLE}=1 : \text{FSILIE} + \text{SCIFE} + \text{LPC4E} + \text{LPC3E} + \text{LPC2E} + \text{LPC1E} + \text{LPCAE}$$

LPCENABLE	0		1
P82DDR	0	1	—
端子機能	P82 入力端子	P82 出力端子	$\overline{\text{CLKRUN}}$ 入出力端子

(6) P81/GA20

LPC の HICR0 の FGA20E ビット、および P81DDR ビットの組み合わせにより、次のように切り替わります。

FGA20E	0		1
P81DDR	0	1	—
端子機能	P81 入力端子	P81 出力端子	GA20 出力端子

(7) P80/ $\overline{\text{PME}}$

LPC の HICR0 の PMEE ビット、および P80DDR ビットの組み合わせにより、次のように切り替わります。

PMEE	0		1
P80DDR	0	1	—
端子機能	P80 入力端子	P80 出力端子	$\overline{\text{PME}}$ 出力端子

9.2.9 ポート 9

(1) P97/ $\overline{\text{IRQ15}}$ /SDA0

IIC_0 の ICCR の ICE ビットと P97DDR の組み合わせにより、次のように切り替わります。ISSR16 の ISS15 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ15E ビットを 1 にセットすると $\overline{\text{IRQ15}}$ 入力端子として使用できます。

ICE	0		1
P97DDR	0	1	—
端子機能	P97 入力端子	P97 出力端子	SDA0 入出力端子
	$\overline{\text{IRQ15}}$ 入力端子		

【注】 SDA0 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、P97 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(2) P96/ ϕ /EXCL

PTCNT0 の EXCLS ビット、LPWRCR の EXCLE ビットのレジスタ設定、および P96DDR ビットの組み合わせにより、次のように切り替わります。

P96DDR	0		1
EXCLS	0	1	—
EXCLE	0	1	—
端子機能	P96 入力端子	EXCL 入力端子	P96 入力端子 ϕ 出力端子

(3) P95/ $\overline{\text{IRQ14}}$ 、P94/ $\overline{\text{IRQ13}}$ 、P93/ $\overline{\text{IRQ12}}$ 、P92/ $\overline{\text{IRQ0}}$ 、P91/ $\overline{\text{IRQ1}}$ 、P90/ $\overline{\text{IRQ2}}$

P9nDDR ビットにより、次のように切り替わります。ISSR16 の ISSm ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQmE ビットを 1 にすると $\overline{\text{IRQm}}$ 入力端子として使用できます。

割り込みコントローラの IER の IRQkE ビットを 1 にすると $\overline{\text{IRQk}}$ 入力端子として使用できます。

P9nDDR	0	1
端子機能	P9n 入力端子	P9n 出力端子
	$\overline{\text{IRQm}}$ 入力端子/ $\overline{\text{IRQk}}$ 入力端子	

(n=5~0)

(m=14~12)

(k=2~0)

9.2.10 ポート A

(1) PA7/ $\overline{\text{KIN15}}$ /PS2CD、PA6/ $\overline{\text{KIN14}}$ /PS2CC、PA5/ $\overline{\text{KIN13}}$ /PS2BD、PA4/ $\overline{\text{KIN12}}$ /PS2BC、PA3/ $\overline{\text{KIN11}}$ /PS2AD、PA2/ $\overline{\text{KIN10}}$ /PS2AC

PS2 の KBCRH の KBIOE ビットと PAnDDR ビットの組み合わせにより、次のように切り替わります。割り込みコントローラの KMIMRA の KMIMRm ビットを 0 にクリアすると $\overline{\text{KINm}}$ 入力端子になります。

KBIOE	0		1
PAnDDR	0	1	—
端子機能	PA n 入力端子	PA n 出力端子	PS2 入出力端子
	$\overline{\text{KINm}}$ 入力端子		

(n=7~2、m=15~10)

【注】 KBIOE ビットを 1 にセットすると NMOS オープンドレイン出力となり、直接バス駆動が可能です。

(2) PA1/SCL1/ $\overline{\text{KIN9}}$

IIC_1 の ICCR の ICE ビットと PA1DDR ビットにより、次のように切り替わります。割り込みコントローラの KMIMRA の KMIMR9 ビットを 0 にクリアすると $\overline{\text{KIN9}}$ 入力端子になります。

ICE	0		1
PA1DDR	0	1	—
端子機能	PA1 入力端子	PA1 出力端子	SCL1 入出力端子
	$\overline{\text{KIN9}}$ 入力端子		

【注】 SCL1 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

(3) PA0/SDA1/ $\overline{\text{KIN8}}$

IIC_1 の ICCR の ICE ビットと PA0DDR ビットにより、次のように切り替わります。割り込みコントローラの KMIMRA の KMIMR8 ビットを 0 にクリアすると $\overline{\text{KIN8}}$ 入力端子になります。

ICE	0		1
PA0DDR	0	1	—
端子機能	PA0 入力端子	PA0 出力端子	SDA1 入出力端子
	$\overline{\text{KIN8}}$ 入力端子		

【注】 SDA1 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

9.2.11 ポート B

(1) PB7/ $\overline{\text{RTS}}$ / $\overline{\text{FSISS}}$

LPC の HICR5 の SCIFE ビット、FSI の FSICR1 の FSIE ビット、PTCNT0 の EXSCIFS ビットと PB7DDR の組み合わせにより、次のように切り替わります。

表中の SCIFOE は、次の論理式で表されます。

$$\text{SCIFOE}=1 : (\overline{\text{SCIFE}} \cdot \text{SCIFOE1} \cdot \overline{\text{SCIFOE0}} + \text{SCIFE} \cdot \overline{\text{SCIFOE0}}) \cdot \overline{\text{EXSCIFS}}$$

FSIE	0		1	
SCIFOE	0		1	—
PB7DDR	0	1	—	—
端子機能	PB7 入力端子	PB7 出力端子	$\overline{\text{RTS}}$ 出力端子	$\overline{\text{FSISS}}$ 出力端子

(2) PB6/ $\overline{\text{CTS}}$ / $\overline{\text{FSICK}}$

FSI の FSICR1 の FSIE ビットと PB6DDR ビットにより、次のように切り替わります。

LPC の HICR5 の SCIFE ビットを 1 にセットし、PTCNT0 の EXSCIFS ビットを 0 にクリアすると、CTS 入力端子として使用できます。

FSIE	0		1	
PB6DDR	0	1	—	
端子機能	PB6 入力端子	PB6 出力端子	FSICK 出力端子	
	$\overline{\text{CTS}}$ 入力端子			

(3) PB5/ $\overline{\text{DTR}}$ / $\overline{\text{FSIDI}}$

LPC の HICR5 の SCIFE ビット、FSI の FSICR1 の FSIE ビット、PTCNT0 の EXSCIFS ビットと PB5DDR の組み合わせにより、次のように切り替わります。

表中の SCIFOE は、次の論理式で表されます。

$$\text{SCIFOE}=1 : (\overline{\text{SCIFE}} \cdot \text{SCIFOE1} \cdot \overline{\text{SCIFOE0}} + \text{SCIFE} \cdot \overline{\text{SCIFOE0}}) \cdot \overline{\text{EXSCIFS}}$$

FSIE	0		1	
SCIFOE	0		1	—
PB5DDR	0	1	—	—
端子機能	PB5 入力端子	PB5 出力端子	$\overline{\text{DTR}}$ 出力端子	FSIDI 入力端子

(4) PB4/ $\overline{\text{DSR}}$ /FSIDO

FSI の FSICR1 の FSIE ビットと PB4DDR ビットにより、次のように切り替わります。

LPC の HICR5 の SCIFE ビットを 1 にセットし、PTCNT0 の EXSCIFS ビットを 0 にクリアすると、DSR 入力端子として使用できます。

FSIE	0		1
PB4DDR	0	1	—
端子機能	PB4 入力端子	PB4 出力端子	FSIDO 出力端子
	$\overline{\text{DSR}}$ 入力端子		

(5) PB3/ $\overline{\text{DCD}}$ /PWMU1B

PWMU_B の PWM の PWM1E ビット、および PB3DDR ビットの組み合わせにより、次のように切り替わります。

PB3DDR	0	1	
PWM1E	—	0	1
端子機能	PB3 入力端子	PB3 出力端子	PWMU1B 出力端子
	$\overline{\text{DCD}}$ 入力端子		

(6) PB2/ $\overline{\text{RI}}$ /PWMU0B

PWMU_B の PWMOUTCR の PWM0E ビット、PWMMDCR の CNTMD01A ビット、PWMMDCR の CNTMD01B ビットおよび PB2DDR ビットの組み合わせにより、次のように切り替わります。表中の PWM0OE は、次の論理式で表されます。

$$\text{PWM0OE} = 1 : \text{PWM0E} \cdot \overline{\text{CNTMD01A}} \cdot \overline{\text{CNTMD01B}}$$

PB2DDR	0	1	
PWM0OE	—	0	1
端子機能	PB2 入力端子	PB2 出力端子	PWMU0B 出力端子
	$\overline{\text{RI}}$ 入力端子		

(7) PB1/LSCI

LPC の HICR0 の LSCIE ビット、および PB1DDR ビットの組み合わせにより、次のように切り替わります。

LSCIE	0		1
PB1DDR	0	1	—
端子機能	PB1 入力端子	PB1 出力端子	LSCI 出力端子

(8) PB0/ $\overline{\text{LSM}}\overline{\text{I}}$

LPC の HICR0 の LSMIE ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。

LSMIE	0		1
PB0DDR	0	1	—
端子機能	PB0 入力端子	PB0 出力端子	$\overline{\text{LSM}}\overline{\text{I}}$ 出力端子

9.2.12 ポート C

(1) PC7/ $\overline{WUE15}$ /TIOCB2/TCLKD

TPU チャンネル 2 の設定、TPU の TCR_0 の TPSC2~TPSC0 ビットと PC7DDR により次のように切り替わります。

割り込みコントローラの WUEMRA の WUEMR15 ビットを 0 にクリアすると $\overline{WUE15}$ 入力端子になります。

TPU チャンネル 2 の設定	入力設定または初期値		出力設定
PC7DDR	0	1	—
端子機能	PC7 入力端子	PC7 出力端子	TIOCB2 出力端子
	TIOCB2 入力端子* ²		
	$\overline{WUE15}$ 入力端子 / TCLKD 入力端子* ¹		

【注】 *1 TCR_0 の TPSC2~TPSC0=B'111 のとき、TCLKD 入力端子となります。また、チャンネル 2 を位相計数モードに設定すると TCLKD 入力端子となります。

*2 TPU チャンネル 2 のタイマの動作モードが通常動作または位相計数モードで TIOR_2 の IOB3=1 のとき、TIOCB2 入力端子となります。

(2) PC6/ $\overline{WUE14}$ /TIOCA2

TPU チャンネル 2 の設定と PC6DDR により次のように切り替わります。

割り込みコントローラの WUEMRA の WUEMR14 ビットを 0 にクリアすると $\overline{WUE14}$ 入力端子になります。

TPU チャンネル 2 の設定	入力設定または初期値		出力設定
PC6DDR	0	1	—
端子機能	PC6 入力端子	PC6 出力端子	TIOCA2 出力端子
	TIOCA2 入力端子*		
	$\overline{WUE14}$ 入力端子		

【注】 * TPU チャンネル 2 のタイマの動作モードが通常動作または位相計数モードで TIOR_2 の IOA3=1 のとき、TIOCA2 入力端子となります。

(3) PC5/ $\overline{WUE13}$ /TIOCB1/TCLKC

TPU チャンネル 1 の設定、TPU の TCR_0、TCR_2 の TPSC2~TPSC0 ビットと PC5DDR により次のように切り替わります。

割り込みコントローラの WUEMRA の WUEMR13 ビットを 0 にクリアすると $\overline{WUE13}$ 入力端子になります。

TPU チャンネル 1 の設定	入力設定または初期値		出力設定
PC5DDR	0	1	—
端子機能	PC5 入力端子	PC5 出力端子	TIOCB1 出力端子
	TIOCB1 入力端子* ²		
	$\overline{WUE13}$ 入力端子 / TCLKC 入力端子* ¹		

【注】 *¹ TCR_0、TCR_2 のいずれかの設定が TPSC2~TPSC0=B'110 のとき、TCLKC 入力端子となります。また、チャンネル 1 を位相計数モードに設定すると TCLKC 入力端子となります。

*² TPU チャンネル 1 のタイマの動作モードが通常動作または位相計数モードで TIOR_1 の IOB3~IOB0=B'10xx のとき、TIOCB1 入力端子となります。(x : Don't care)

(4) PC4/ $\overline{WUE12}$ /TIOCA1

TPU チャンネル 1 の設定と PC4DDR により次のように切り替わります。

割り込みコントローラの WUEMRA の WUEMR12 ビットを 0 にクリアすると $\overline{WUE12}$ 入力端子になります。

TPU チャンネル 1 の設定	入力設定または初期値		出力設定
PC4DDR	0	1	—
端子機能	PC4 入力端子	PC4 出力端子	TIOCA1 出力端子
	TIOCA1 入力端子*		
	$\overline{WUE12}$ 入力端子		

【注】 * TPU チャンネル 1 のタイマの動作モードが通常動作または位相計数モードで TIOR_1 の IOA3~IOA0=B'10xx のとき、TIOCA1 入力端子となります。(x : Don't care)

(5) PC3/ $\overline{WUE11}$ /TIOCD0/TCLKB

TPU チャンネル0の設定、TPUのTCR_0~TCR_2のTPSC2~TPSC0ビットとPC3DDRにより次のように切り替わります。

割り込みコントローラのWUEMRAのWUEMR11ビットを0にクリアすると $\overline{WUE11}$ 入力端子になります。

TPU チャンネル0の設定	入力設定または初期値		出力設定
PC3DDR	0	1	—
端子機能	PC3 入力端子	PC3 出力端子	TIOCD0 出力端子
	TIOCD0 入力端子*2		
	$\overline{WUE11}$ 入力端子 / TCLKB 入力端子*1		

【注】 *1 TCR_0~TCR_2のいずれかの設定がTPSC2~TPSC0=B'101のとき、TCLKB入力端子となります。また、チャンネル0を位相計数モードに設定するとTCLKB入力端子となります。

*2 TPUチャンネル0のタイマの動作モードが通常動作または位相計数モードでTIOR_0のIOD3~IOD0=B'10xxのとき、TIOCD0入力端子となります。(x : Don't care)

(6) PC2/ $\overline{WUE10}$ /TIOCC0/TCLKA

TPU チャンネル0の設定、TPUのTCR_0~TCR_2のTPSC2~TPSC0ビットとPC2DDRにより次のように切り替わります。

割り込みコントローラのWUEMRAのWUEMR10ビットを0にクリアすると $\overline{WUE10}$ 入力端子になります。

TPU チャンネル0の設定	入力設定または初期値		出力設定
PC2DDR	0	1	—
端子機能	PC2 入力端子	PC2 出力端子	TIOCC0 出力端子
	TIOCC0 入力端子*2		
	$\overline{WUE10}$ 入力端子 / TCLKA 入力端子*1		

【注】 *1 TCR_0~TCR_2のいずれかの設定がTPSC2~TPSC0=B'100のとき、TCLKA入力端子となります。また、チャンネル0を位相計数モードに設定するとTCLKA入力端子となります。

*2 TPUチャンネル0のタイマの動作モードが通常動作または位相計数モードでTIOR_0のIOC3~IOC0=B'10xxのとき、TIOCC0入力端子となります。(x : Don't care)

(7) PC1/ $\overline{\text{WUE9}}$ /TIOCB0

TPU チャンネル0 の設定と PC1DDR により次のように切り替わります。

割り込みコントローラの WUEMRA の WUEMR9 ビットを 0 にクリアすると $\overline{\text{WUE9}}$ 入力端子になります。

TPU チャンネル0 の設定	入力設定または初期値		出力設定
PC1DDR	0	1	—
端子機能	PC1 入力端子	PC1 出力端子	TIOCB0 出力端子
	TIOCB0 入力端子*		
	WUE9 入力端子		

【注】 * TPU チャンネル0 のタイマの動作モードが通常動作または位相計数モードで TIORH_0 の IOB3~IOB0=B'10xx のとき、TIOCB0 入力端子となります。(x : Don't care)

(8) PC0/ $\overline{\text{WUE8}}$ /TIOCA0

TPU チャンネル0 の設定と PC0DDR により次のように切り替わります。

割り込みコントローラの WUEMRA の WUEMR8 ビットを 0 にクリアすると $\overline{\text{WUE8}}$ 入力端子になります。

TPU チャンネル0 の設定	入力設定または初期値		出力設定
PC0DDR	0	1	—
端子機能	PC0 入力端子	PC0 出力端子	TIOCA0 出力端子
	TIOCA0 入力端子*		
	WUE8 入力端子		

【注】 * TPU チャンネル0 のタイマの動作モードが通常動作または位相計数モードで TIORH_0 の IOA3~IOA0=B'10xx のとき、TIOCA0 入力端子となります。(x : Don't care)

9.2.13 ポート D

(1) PD7/ $\overline{\text{SCS}}$

SSU の SSCRH の MSS、CSS1、CSS0 ビット、SSCRL の SSUMS ビットと PD7DDR の組み合わせにより、次のように切り替わります。

表中の SCSIE、SCSOE は次の論理式で表されます。

$$\text{SCSIE}=1 : (\overline{\text{SSUMS}} \cdot \overline{\text{MSS}}) + (\overline{\text{SSUMS}} \cdot \text{MSS} \cdot \overline{\text{CSS1}} \cdot \text{CSS0}) + (\overline{\text{SSUMS}} \cdot \text{MSS} \cdot \text{CSS1} \cdot \overline{\text{CSS0}})$$

$$\text{SCSOE}=1 : \overline{\text{SSUMS}} \cdot \text{MSS} \cdot \text{CSS1}$$

SCSIE	0			1
SCSOE	0		1	0
PD7DDR	0	1	—	—
端子機能	PD7 入力端子	PD7 出力端子	$\overline{\text{SCS}}$ 出力端子	$\overline{\text{SCS}}$ 入力端子

(2) PD6/SSCK

SSU の SSCRH の MSS、SCKS ビット、SSCRL の SSUMS ビット、PD6DDR ビットの組み合わせにより、次のように切り替わります。

表中の SSCKIE、SSCKOE は次の論理式で表されます。

$$\text{SSCKIE}=1 : (\overline{\text{SSUMS}} \cdot \overline{\text{MSS}} \cdot \text{SCKS}) + (\text{SSUMS} \cdot \overline{\text{MSS}} \cdot \text{SCKS})$$

$$\text{SSCKOE}=1 : \text{MSS} \cdot \text{SCKS}$$

SSCKIE	0			1
SSCKOE	0		1	0
PD6DDR	0	1	—	—
端子機能	PD6 入力端子	PD6 出力端子	SSCK 出力端子	SSCK 入力端子

(3) PD5/SSI

SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビットと PD5DDR ビットの組み合わせにより、次のように切り替わります。

表中の SSIIE、SSIOE は次の論理式で表されます。

$$\text{SSIIE}=1 : (\overline{\text{SSUMS}} \cdot \overline{\text{BIDE}} \cdot \text{MSS} \cdot \text{RE}) + (\text{SSUMS} \cdot \overline{\text{BIDE}} \cdot \text{RE})$$

$$\text{SSIOE}=1 : \overline{\text{SSUMS}} \cdot \overline{\text{BIDE}} \cdot \overline{\text{MSS}} \cdot \text{TE}$$

SSIIE	0			1
SSIOE	0		1	0
PD5DDR	0	1	—	—
端子機能	PD5 入力端子	PD5 出力端子	SSI 出力端子	SSI 入力端子

(4) PD4/SSO

SSU の SSCRH の MSS、BIDE ビット、SSCRL の SSUMS ビット、SSER の TE、RE ビットと PD4DDR ビットの組み合わせにより、次のように切り替わります。

表中の SSOIE、SSOOE は次の論理式で表されます。

$$\text{SSOIE}=1 : (\overline{\text{SSUMS}} \cdot \overline{\text{BIDE}} \cdot \overline{\text{MSS}} \cdot \text{RE}) + (\overline{\text{SSUMS}} \cdot \text{BIDE} \cdot \overline{\text{TE}} \cdot \text{RE})$$

$$\text{SSOOE}=1 : (\overline{\text{SSUMS}} \cdot \overline{\text{BIDE}} \cdot \text{MSS} \cdot \text{TE}) + (\overline{\text{SSUMS}} \cdot \text{BIDE} \cdot \overline{\text{RE}} \cdot \text{TE}) + (\text{SSUMS} \cdot \overline{\text{BIDE}} \cdot \text{TE})$$

SSOIE	0			1
SSOOE	0		1	0
PD4DDR	0	1	—	—
端子機能	PD4 入力端子	PD4 出力端子	SSO 出力端子	SSO 入力端子

(5) PD3/AN11、PD2/AN10、PD1/AN9、PD0/AN8

PDnDDR ビットにより、次のように切り替わります。

アナログ入力端子として使用する場合は、出力端子に設定しないでください。

PDnDDR	0		1	
端子機能	PDn 入力端子		PDn 出力端子	
	ANm 入力端子			

(n=3~0)

(m=11~8)

9.2.14 ポート E

(1) PE5/ $\overline{\text{ETRST}}$ 、PE4/ETMS、PE3/ETDO、PE2/ETDI、PE1/ETCK

動作モードと PEnDDR ビットの組み合わせにより、次のように切り替わります。

動作モード	オンチップエミュレーションモード	シングルチップモード	
PEnDDR	—	0	1
端子機能	エミュレータ入出力端子	PEn 入力端子	PEn 出力端子

(n=5~1)

【注】 システム開発ツール（エミュレータ）では PE5~PE1 はサポートしていません。

(2) PE0/ExEXCL

PTCNT0 の EXCLS ビット、LPWRCR の EXCLE ビットと PE0DDR ビットの組み合わせにより、次のように切り替わります。

PTCNT0 の EXCLS ビットを 1 にセットし、LPWRCR の EXCLE ビットを 1 にセットすると ExEXCL 入力端子になります。

PE0DDR	0			1
EXCLS	0	1		—
EXCLE	—	0	1	—
端子機能	PE0 入力端子	PE0 入力端子	ExEXCL 入力端子	PE0 出力端子

9.2.15 ポート F

(1) PF7/PWMU5A/ $\overline{\text{ExRTS}}$

LPC の HICR5 の SCIFE ビット、PTCNT0 の EXSCIFS ビット、PWMU_A の PWMOUTCR の PWM5E ビット、および PF7DDR ビットの組み合わせにより、次のように切り替わります。

表中の EXSCIFOE は、次の論理式で表されます。

$$\text{EXSCIFOE}=1 : (\overline{\text{SCIFE}} \cdot \text{SCIFOE1} \cdot \overline{\text{SCIFOE0}} + \text{SCIFE} \cdot \overline{\text{SCIFOE0}}) \cdot \text{EXSCIFS}$$

EXSCIFOE	0			1
PF7DDR	0	1		—
PWM5E	—	0	1	—
端子機能	PF7 入力端子	PF7 出力端子	PWMU5A 出力端子	$\overline{\text{ExRTS}}$ 出力端子

(2) PF6/PWMU4A/ $\overline{\text{ExCTS}}$

LPC の HICR5 の SCIFE ビット、PWMU_A の PWMOUTCR の PWM4E ビット、PWMPCR の CNTMD45A ビット、PWMOUTCR の CNTMD45B ビット、および PF6DDR ビットの組み合わせにより、次のように切り替わります。

LPC の HICR5 の SCIFE ビットを 1 にセットし、PTCNT0 の EXSCIFS ビットを 1 にセットすると、 $\overline{\text{ExCTS}}$ 入力端子として使用できます。

表中の PWM4OE は、次の論理式で表されます。

$$\text{PWM4OE}=1 : \text{PWM4E} \cdot \overline{\text{CNTMD45A}} \cdot \overline{\text{CNTMD45B}}$$

PF5DDR	0	1	
PWM4OE	—	0	1
端子機能	PF5 入力端子	PF5 出力端子	PWMU4A 出力端子
	$\overline{\text{ExCTS}}$ 入力端子		

(3) PF5/PWMU3A/ $\overline{\text{ExDTR}}$

LPC の HICR5 の SCIFE ビット、PTCNT0 の EXSCIFS ビット、PWMU_A の PWMOUTCR の PWM3E ビット、および PF5DDR ビットの組み合わせにより、次のように切り替わります。

表中の EXSCIFOE は、次の論理式で表されます。

$$\text{EXSCIFOE}=1 : (\overline{\text{SCIFE}} \cdot \text{SCIFOE1} \cdot \overline{\text{SCIFOE0}} + \text{SCIFE} \cdot \overline{\text{SCIFOE0}}) \cdot \text{EXSCIFS}$$

EXSCIFOE	0			1
PF5DDR	0	1		—
PWM3E	—	0	1	—
端子機能	PF5 入力端子	PF5 出力端子	PWMU3A 出力端子	$\overline{\text{ExDTR}}$ 出力端子

(4) PF4/PWMU2A/ $\overline{\text{ExDSR}}$

LPC の HICR5 の SCIFE ビット、PWMU_A の PWMOUTCR の PWM2E ビット、PWMPCR の CNTMD23A ビット、PWMOUTCR の CNTMD23B ビット、および PF4DDR ビットの組み合わせにより、次のように切り替わります。

LPC の HICR5 の SCIFE ビットを 1 にセットし、PTCNT0 の EXSCIFS ビットを 1 にセットすると、 $\overline{\text{ExDSR}}$ 入力端子として使用できます。

表中の PWM2OE は、次の論理式で表されます。

$$\text{PWM2OE}=1 : \text{PWM2E} \cdot \overline{\text{CNTMD23A}} \cdot \overline{\text{CNTMD23B}}$$

PF4DDR	0	1	
PWM2OE	—	0	1
端子機能	PF4 入力端子	PF4 出力端子	PWMU2A 出力端子
	$\overline{\text{ExDSR}}$ 入力端子		

(5) PF3/TMOX/ $\overline{\text{IRQ11}}$

TMR_X の TCSR の OS3~OS0 ビットと PF3DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS11 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ11E ビットを 1 にセットすると $\overline{\text{IRQ11}}$ 入力端子として使用できます。

OS3~OS0	すべて 0		いずれかが 1
PF3DDR	0	1	—
端子機能	PF3 入力端子	PF3 出力端子	TMOX 出力端子
	$\overline{\text{IRQ11}}$ 入力端子		

(6) PF2/TMOY/ $\overline{\text{IRQ10}}$

TMR_Y の TCSR の OS3~OS0 ビットと PF2DDR ビットの組み合わせにより、次のように切り替わります。ISSR16 の ISS10 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ10E ビットを 1 にセットすると $\overline{\text{IRQ10}}$ 入力端子として使用できます。

OS3~OS0	すべて 0		いずれかが 1
PF2DDR	0	1	—
端子機能	PF2 入力端子	PF2 出力端子	TMOY 出力端子
	$\overline{\text{IRQ10}}$ 入力端子		

(7) PF1/ $\overline{\text{IRQ9}}$ /PWMU1A

PWMU_A の PWMOUTCR の PWM1E ビットと PF1DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS9 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ9E ビットを 1 にセットすると $\overline{\text{IRQ9}}$ 入力端子として使用できます。

PF1DDR	0	1	
PWM1E	—	0	1
端子機能	PF1 入力端子	PF1 出力端子	PWMU1A 出力端子
	$\overline{\text{IRQ9}}$ 入力端子		

(8) PF0/ $\overline{\text{IRQ8}}$ /PWMU0A

PWMU_A の PWMOUTCR の PWM0E ビット、PWMMDCR の CNTMD01A ビット、PWMMDCR の CNTMD01B ビット、および PF0DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS8 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ8E ビットを 1 にセットすると $\overline{\text{IRQ8}}$ 入力端子として使用できます。表中の PWM0OE は、次の論理式で表されます。

$$\text{PWM0OE} = 1 : \text{PWM0E} \cdot \overline{\text{CNTMD01A}} \cdot \overline{\text{CNTMD01B}}$$

PF0DDR	0	1	
PWM0OE	—	0	1
端子機能	PF0 入力端子	PF0 出力端子	PWMU0A 出力端子
	$\overline{\text{IRQ8}}$ 入力端子		

9.2.16 ポート G

(1) PG7/SCLD/ $\overline{\text{ExIRQ15}}$

IIC_2 の ICCR の ICE ビット、PTCNT1 の IIC2BS と IIC2AS ビット、および PG7DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS15 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ15E ビットを 1 にセットすると $\overline{\text{ExIRQ15}}$ 入力端子として使用できます。

表中の SCLD_EN は、次の論理式で表されます。

$$\text{SCLD_EN}=1 : \text{ICE} \cdot \text{IIC2BS} \cdot \text{IIC2AS}$$

SCLD_EN	0		1
PG7DDR	0	1	—
端子機能	PG7 入力端子	PG7 出力端子	SCLD 入出力端子
	$\overline{\text{ExIRQ15}}$ 入力端子		

【注】 SCLD の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、PG7 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(2) PG6/SDAD/ $\overline{\text{ExIRQ14}}$

IIC_2 の ICCR の ICE ビット、PTCNT1 の IIC2BS と IIC2AS ビット、および PG6DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS14 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ14E ビットを 1 にセットすると $\overline{\text{ExIRQ14}}$ 入力端子として使用できます。

表中の SDAD_EN は、次の論理式で表されます。

$$\text{SDAD_EN}=1 : \text{ICE} \cdot \text{IIC2BS} \cdot \text{IIC2AS}$$

SDAD_EN	0		1
PG6DDR	0	1	—
端子機能	PG6 入力端子	PG6 出力端子	SDAD 入出力端子
	$\overline{\text{ExIRQ14}}$ 入力端子		

【注】 SDAD の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、PG6 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(3) PG5/SCLC/ $\overline{\text{ExIRQ13}}$

IIC_2 の ICCR の ICE ビット、PTCNT1 の IIC2BS と IIC2AS ビット、および PG5DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS13 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ13E ビットを 1 にセットすると $\overline{\text{ExIRQ13}}$ 入力端子として使用できます。

表中の SCLC_EN は、次の論理式で表されます。

$$\text{SCLC_EN}=1 : \text{ICE} \cdot \text{IIC2BS} \cdot \overline{\text{IIC2AS}}$$

SCLC_EN	0		1
PG5DDR	0	1	—
端子機能	PG5 入力端子	PG5 出力端子	SCLC 入出力端子
	$\overline{\text{ExIRQ13}}$ 入力端子		

【注】 SCLC の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、PG5 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(4) PG4/SDAC/ $\overline{\text{ExIRQ12}}$

IIC_2 の ICCR の ICE ビット、PTCNT1 の IIC2BS と IIC2AS ビット、および PG4DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS12 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ12E ビットを 1 にセットすると $\overline{\text{ExIRQ12}}$ 入力端子として使用できます。

表中の SDAC_EN は、次の論理式で表されます。

$$\text{SDAC_EN}=1 : \text{ICE} \cdot \text{IIC2BS} \cdot \overline{\text{IIC2AS}}$$

SDAC_EN	0		1
PG4DDR	0	1	—
端子機能	PG4 入力端子	PG4 出力端子	SDAC 入出力端子
	$\overline{\text{ExIRQ12}}$ 入力端子		

【注】 SDAC の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、PG4 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(5) PG3/SCLB/ $\overline{\text{ExIRQ11}}$

IIC_2 の ICCR の ICE ビット、PTCNT1 の IIC2BS と IIC2AS ビット、および PG3DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS11 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ11E ビットを 1 にセットすると $\overline{\text{ExIRQ11}}$ 入力端子として使用できます。

表中の SCLB_EN は、次の論理式で表されます。

$$\text{SCLB_EN}=1 : \text{ICE} \cdot \overline{\text{IIC2BS}} \cdot \text{IIC2AS}$$

SCLB_EN	0		1
PG3DDR	0	1	—
端子機能	PG3 入力端子	PG3 出力端子	SCLB 入出力端子
	$\overline{\text{ExIRQ11}}$ 入力端子		

【注】 SCLB の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、PG3 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(6) PG2/SDAB/ $\overline{\text{ExIRQ10}}$

IIC_2 の ICCR の ICE ビット、PTCNT1 の IIC2BS と IIC2AS ビット、および PG2DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS10 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ10E ビットを 1 にセットすると $\overline{\text{ExIRQ10}}$ 入力端子として使用できます。

表中の SDAB_EN は、次の論理式で表されます。

$$\text{SDAB_EN}=1 : \text{ICE} \cdot \overline{\text{IIC2BS}} \cdot \text{IIC2AS}$$

SDAB_EN	0		1
PG2DDR	0	1	—
端子機能	PG2 入力端子	PG2 出力端子	SDAB 入出力端子
	$\overline{\text{ExIRQ10}}$ 入力端子		

【注】 SDAB の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、PG2 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(7) PG1/SCLA/ExIRQ9/TMIY

IIC₂ の ICCR の ICE ビット、PTCNT1 の IIC2BS と IIC2AS ビット、および PG1DDR ビットの組み合わせにより、次のように切り替わります。

TMIY は TMRIY と TMCYIY の兼用入力端子です。TMR_Y の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMIY (TMRIY) 入力端子になります。TMR_Y の TCR の CKS2~CKS0 ビットで外部クロックを選択すると、TMIY (TMCYIY) 入力端子になります。

ISSR16 の ISS9 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ9E ビットを 1 にセットすると ExIRQ9 入力端子として使用できます。

表中の SCLA_EN は、次の論理式で表されます。

$$SCLA_EN = 1 : ICE \cdot \overline{IIC2BS} \cdot \overline{IIC2AS}$$

SCLA_EN	0		1
PG1DDR	0	1	—
端子機能	PG1 入力端子	PG1 出力端子	SCLA 入出力端子
	ExIRQ9 入力端子/TMIY 入力端子		

【注】 SCLA の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、PG1 出力端子に設定した場合の出力形式は、CMOS 出力となります。

(8) PG0/SDAA/ExIRQ8/TMIX

IIC₂ の ICCR の ICE ビット、PTCNT1 の IIC2BS と IIC2AS ビット、および PG0DDR ビットの組み合わせにより、次のように切り替わります。

TMIX は TMRIX と TMCIX の兼用入力端子です。TMR_X の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMIX (TMRIX) 入力端子になります。TMR_X の TCR の CKS2~CKS0 ビットで外部クロックを選択すると、TMIX (TMCIX) 入力端子になります。

ISSR16 の ISS8 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ8E ビットを 1 にセットすると ExIRQ8 入力端子として使用できます。

表中の SDAA_EN は、次の論理式で表されます。

$$SDAA_EN = 1 : ICE \cdot \overline{IIC2BS} \cdot \overline{IIC2AS}$$

SDAA_EN	0		1
PG0DDR	0	1	—
端子機能	PG0 入力端子	PG0 出力端子	SDAA 入出力端子
	ExIRQ8 入力端子/TMIX 入力端子		

【注】 SDAA の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、PG0 出力端子に設定した場合の出力形式は、CMOS 出力となります。

9.2.17 ポート H

(1) PH1/ $\overline{\text{ExIRQ7}}$

PH1DDR ビットにより、次のように切り替わります。

ISSR の ISS7 ビットを 1 にセットし、割り込みコントローラの IER の IRQ7E ビットを 1 にセットすると $\overline{\text{ExIRQ7}}$ 入力端子として使用できます。

PH1DDR	0	1
端子機能	PH1 入力端子	PH1 出力端子
	$\overline{\text{ExIRQ7}}$ 入力端子	

(2) PH0/ $\overline{\text{IRQ6}}$

PH0DDR ビットにより、次のように切り替わります。

割り込みコントローラの IER の IRQ6E ビットを 1 にセットすると $\overline{\text{IRQ6}}$ 入力端子として使用できます。

PH0DDR	0	1
端子機能	PH0 入力端子	PH0 出力端子
	$\overline{\text{IRQ6}}$ 入力端子	

9.2.18 ポート I

(1) PI7、PI6、PI5、PI4、PI3、PI2、PI1、PI0

PI_nDDR ビットにより、次のように切り替わります。

PI _n DDR	0	1
端子機能	PI _n 入力端子	PI _n 出力端子

(n=7~0)

9.2.19 ポート J

(1) PJ7、PJ6、PJ5、PJ4、PJ3、PJ2、PJ1、PJ0

PJ_nDDR ビットにより、次のように切り替わります。

PJ _n DDR	0	1
端子機能	PJ _n 入力端子	PJ _n 出力端子

(n=7~0)

9.3 周辺機能端子の移動

外部サブクロック入力、SCIF 入出力、IIC_2 入出力では、兼用の入出力ポートを変更することができます。外部割り込みは、ISSR16 および ISSR の設定で変更できます。外部サブクロック入力と SCIF 入出力は PTCNT0 の設定で、IIC 入出力は PTCNT1 の設定で兼用となる入出力ポートが変更されます。変更先の周辺機能端子名は、元の端子名の先頭に「Ex」を付加して表示します。各周辺機能の説明では元の端子名のみを使用します。

ポートコントロールレジスタには以下のレジスタがあります。

- ポートコントロールレジスタ0 (PTCNT0)
- ポートコントロールレジスタ1 (PTCNT1)
- ポートコントロールレジスタ2 (PTCNT2)

9.3.1 ポートコントロールレジスタ 0 (PTCNT0)

PTCNT0 は、外部サブクロック入力の兼用ポートと SCIF 入出力の兼用ポートを選択します。

ビット	ビット名	初期値	R/W	説明
7~2	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
1	EXSCIFS	0	R/W	0 : PB7/ $\overline{\text{RTS}}$ を選択します。 PB6/ $\overline{\text{CTS}}$ を選択します。 PB5/ $\overline{\text{DTR}}$ を選択します。 PB4/ $\overline{\text{DSR}}$ を選択します。 1 : PF7/ $\overline{\text{ExRTS}}$ を選択します。 PF6/ $\overline{\text{ExCTS}}$ を選択します。 PF5/ $\overline{\text{ExDTR}}$ を選択します。 PF4/ $\overline{\text{ExDSR}}$ を選択します。
0	EXCLS	0	R/W	0 : P96/EXCL を選択します。 1 : PE0/ExEXCL を選択します。

9.3.2 ポートコントロールレジスタ 1 (PTCNT1)

PTCNT1 は、IIC_2 入出力の兼用ポートを選択します。

IIC_2 端子を使用する場合は、対応する端子の PGjODR を 1 にセットしてください (j=7~0)。

ビット	ビット名	初期値	R/W	説明
7	IIC2BS	0	R/W	IIC_2 の入出力端子を選択します。
6	IIC2AS	1	R/W	IIC2BS IIC2AS 0 0 : PG1/SCLA, PG0/SDAA を選択します。 0 1 : PG3/SCLB, PG2/SDAB を選択します。 1 0 : PG5/SCLC, PG4/SDAC を選択します。 1 1 : PG7/SCLD, PG6/SDAD を選択します。
5~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

9.3.3 ポートコントロールレジスタ 2 (PTCNT2)

PTCNT2 は、SCI 入出力反転を選択します。

ビット	ビット名	初期値	R/W	説明
7~6	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
5	RxD1RS	0	R/W	0 : RxD1 直接入力 1 : RxD1 反転入力
4	TxD1RS	0	R/W	0 : TxD1 直接出力 1 : TxD1 反転出力
3~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

10. 8ビットPWMタイマ (PWMU)

本 LSI は 2 チャンネルの 8 ビット PWM タイマ A、B (PWMU_A、PWMU_B) を内蔵しています。この二つの PWMU にはそれぞれ 6 チャンネルの PWM 波形を出力します。PWMU の各 PWM チャンネルはそれぞれ独立して動作できます。8 ビットの単パルス方式により、6 チャンネルの長周期の PWM 出力が可能です。16 ビット/12 ビットの単パルス方式により、3 チャンネルの長周期の PWM 出力も可能です。また、8 ビットのパルス分割方式により、高いキャリア周波数の PWM 出力も可能です。LSI 外部にローパスフィルタを接続することにより、8 ビット D/A 変換器として使用できます。

10.1 特長

- 4種類のカウンタ入力クロックを選択可能
内部クロック (ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$) のうちから選択できます。
- チャンネル毎に独立動作、チャンネルごとに周期可変
2チャンネルのカスケード接続が可能
チャンネル 1 (上位)、チャンネル 0 (下位) とする 16/12 ビット単パルス PWM タイマとして動作可能
チャンネル 3 (上位)、チャンネル 2 (下位) とする 16/12 ビット単パルス PWM タイマとして動作可能
チャンネル 5 (上位)、チャンネル 4 (下位) とする 16/12 ビット単パルス PWM タイマとして動作可能
- 8ビット単パルスモード
最大 78.1kHz のキャリア周波数での動作可能 (20MHz 動作時)
デューティ比 0/255~255/255 のパルス出力設定可能
PWM 出力のイネーブル/ディスエーブルの切り替え、直接出力/反転出力の切り替えが可能
- 12ビット単パルスモード
2チャンネルをカスケード接続することで動作可能
最大 4.9kHz のキャリア周波数での動作可能 (20MHz 動作時)
デューティ比 0/4095~4095/4095 のパルス出力設定可能
PWM 出力のイネーブル/ディスエーブルの切り替え、直接出力/反転出力の切り替えが可能
- 16ビット単パルスモード
2チャンネルをカスケード接続することで動作可能
最大 305.2Hz のキャリア周波数での動作可能 (20MHz 動作時)
デューティ比 0/65535~65535/65535 のパルス出力設定可能
PWM 出力のイネーブル/ディスエーブルの切り替え、直接出力/反転出力の切り替えが可能
- 8ビットパルス分割モード
最大 1.25MHz のキャリア周波数での動作可能 (20MHz 動作時)
デューティ比 0/16~15/16 のパルス出力設定可能
PWM 出力のイネーブル/ディスエーブルの切り替え、直接出力/反転出力の切り替えが可能

PWMU のブロック図を図 10.1 に示します。

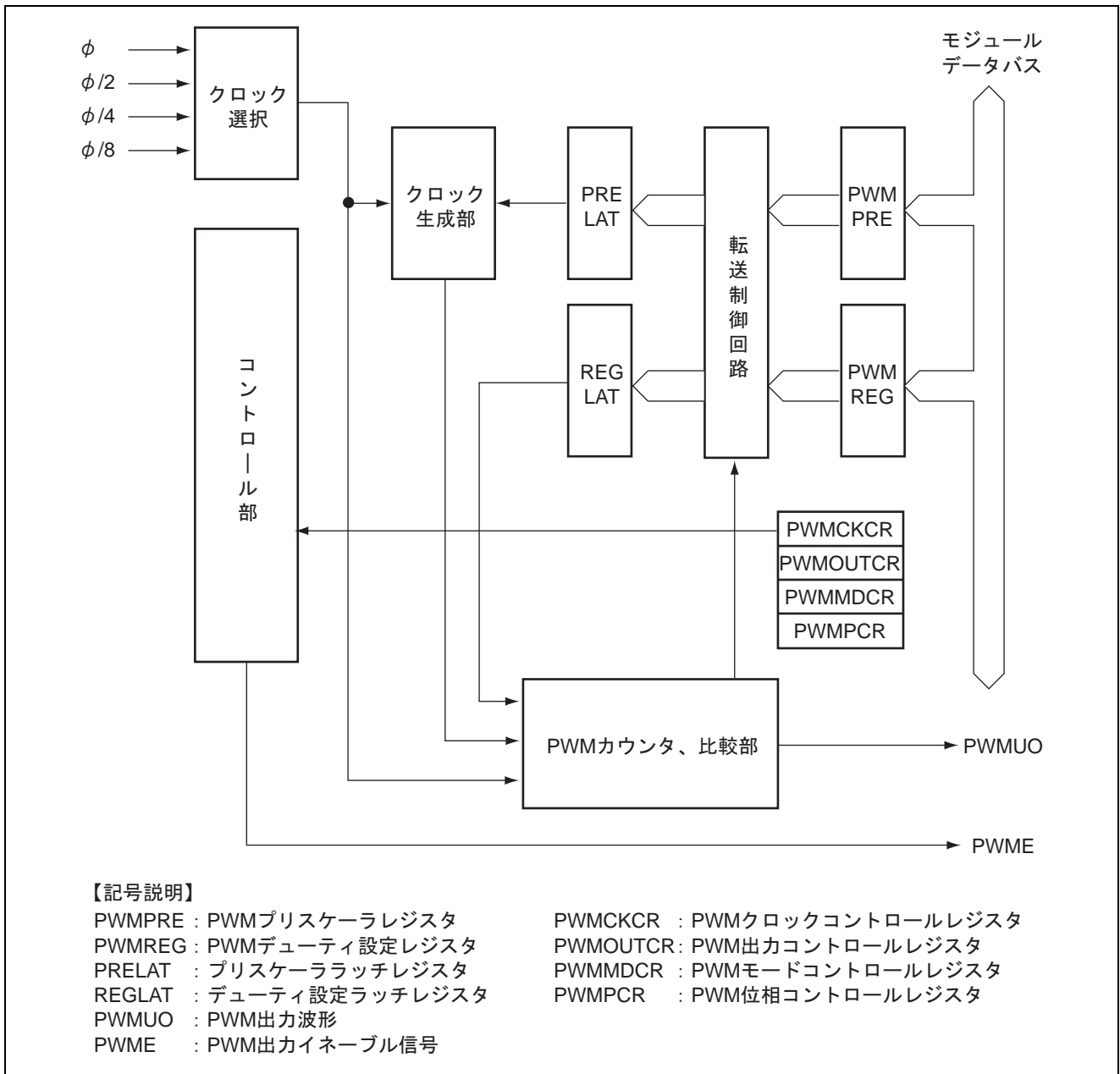


図 10.1 PWMU ブロック図

10.2 入出力端子

PWMU の端子構成を表 10.1 に示します。

表 10.1 端子構成

チャンネル		端子名	入出力	機能
チャンネル A	0	PWMU0A	出力	PWM パルス出力 (8ビット単パルス、8ビットパルス分割)
	1	PWMU1A	出力	PWM パルス出力 (8/12/16ビット単パルス、8ビットパルス分割)
	2	PWMU2A	出力	PWM パルス出力 (8ビット単パルス、8ビットパルス分割)
	3	PWMU3A	出力	PWM パルス出力 (8/12/16ビット単パルス、8ビットパルス分割)
	4	PWMU4A	出力	PWM パルス出力 (8ビット単パルス、8ビットパルス分割)
	5	PWMU5A	出力	PWM パルス出力 (8/12/16ビット単パルス、8ビットパルス分割)
チャンネル B	0	PWMU0B	出力	PWM パルス出力 (8ビット単パルス、8ビットパルス分割)
	1	PWMU1B	出力	PWM パルス出力 (8/12/16ビット単パルス、8ビットパルス分割)
	2	PWMU2B	出力	PWM パルス出力 (8ビット単パルス、8ビットパルス分割)
	3	PWMU3B	出力	PWM パルス出力 (8/12/16ビット単パルス、8ビットパルス分割)
	4	PWMU4B	出力	PWM パルス出力 (8ビット単パルス、8ビットパルス分割)
	5	PWMU5B	出力	PWM パルス出力 (8/12/16ビット単パルス、8ビットパルス分割)

10.3 レジスタの説明

PWMU には以下のレジスタがあります。

表 10.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	データバス幅
チャンネル A	PWM クロックコントロールレジスタ_A	PWMCKCR_A	R/W	H'00	H'FD0C	8
	PWM 出力コントロールレジスタ_A	PWMOUTCR_A	R/W	H'00	H'FD0D	8
	PWM モードコントロールレジスタ_A	PWMMDCR_A	R/W	H'00	H'FD0E	8
	PWM 位相コントロールレジスタ_A	PWMPCR_A	R/W	H'00	H'FD0F	8
	PWM プリスケーラレジスタ 0_A	PWMPRE0_A	R/W	H'00	H'FD01	8
	PWM プリスケーラレジスタ 1_A	PWMPRE1_A	R/W	H'00	H'FD03	8
	PWM プリスケーラレジスタ 2_A	PWMPRE2_A	R/W	H'00	H'FD05	8
	PWM プリスケーラレジスタ 3_A	PWMPRE3_A	R/W	H'00	H'FD07	8
	PWM プリスケーラレジスタ 4_A	PWMPRE4_A	R/W	H'00	H'FD09	8
	PWM プリスケーラレジスタ 5_A	PWMPRE5_A	R/W	H'00	H'FD0B	8
	PWM デューティ設定レジスタ 0_A	PWMREG0_A	R/W	H'00	H'FD00	8
	PWM デューティ設定レジスタ 1_A	PWMREG1_A	R/W	H'00	H'FD02	8
	PWM デューティ設定レジスタ 2_A	PWMREG2_A	R/W	H'00	H'FD04	8
	PWM デューティ設定レジスタ 3_A	PWMREG3_A	R/W	H'00	H'FD06	8
	PWM デューティ設定レジスタ 4_A	PWMREG4_A	R/W	H'00	H'FD08	8
PWM デューティ設定レジスタ 5_A	PWMREG5_A	R/W	H'00	H'FD0A	8	
チャンネル B	PWM クロックコントロールレジスタ_B	PWMCKCR_B	R/W	H'00	H'FD1C	8
	PWM 出力コントロールレジスタ_B	PWMOUTCR_B	R/W	H'00	H'FD1D	8
	PWM モードコントロールレジスタ_B	PWMMDCR_B	R/W	H'00	H'FD1E	8
	PWM 位相コントロールレジスタ_B	PWMPCR_B	R/W	H'00	H'FD1F	8
	PWM プリスケーラレジスタ 0_B	PWMPRE0_B	R/W	H'00	H'FD11	8
	PWM プリスケーラレジスタ 1_B	PWMPRE1_B	R/W	H'00	H'FD13	8
	PWM プリスケーラレジスタ 2_B	PWMPRE2_B	R/W	H'00	H'FD15	8
	PWM プリスケーラレジスタ 3_B	PWMPRE3_B	R/W	H'00	H'FD17	8
	PWM プリスケーラレジスタ 4_B	PWMPRE4_B	R/W	H'00	H'FD19	8
	PWM プリスケーラレジスタ 5_B	PWMPRE5_B	R/W	H'00	H'FD1B	8
	PWM デューティ設定レジスタ 0_B	PWMREG0_B	R/W	H'00	H'FD10	8
	PWM デューティ設定レジスタ 1_B	PWMREG1_B	R/W	H'00	H'FD12	8
	PWM デューティ設定レジスタ 2_B	PWMREG2_B	R/W	H'00	H'FD14	8
	PWM デューティ設定レジスタ 3_B	PWMREG3_B	R/W	H'00	H'FD16	8
	PWM デューティ設定レジスタ 4_B	PWMREG4_B	R/W	H'00	H'FD18	8
PWM デューティ設定レジスタ 5_B	PWMREG5_B	R/W	H'00	H'FD1A	8	

10.3.1 PWM クロックコントロールレジスタ (PWMCKCR)

PWMCKCR は PWM クロックソースを選択します。

ビット	ビット名	初期値	R/W	説明
7, 6	CLK1, CLK0	すべて 0	R/W	クロックセレクト 1, 0 PWM カウントクロックソースを選択します。 CLK1 CLK0 0 0 : 内部クロック ϕ を選択 0 1 : 内部クロック $\phi/2$ を選択 1 0 : 内部クロック $\phi/4$ を選択 1 1 : 内部クロック $\phi/8$ を選択
5~0	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

10.3.2 PWM 出力コントロールレジスタ (PWMOUTCR)

PWMOUTCR は PWM のチャンネル毎の出力を許可/禁止、カウンタ動作の許可/禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	CNTMD45B	0	R/W	チャンネル 4, 5, 12 ビットカウントセレクト 0 : チャンネル 4, 5 を 8 ビットカウント動作モードに設定します。 1 : チャンネル 4, 5 を 12 ビットカウント動作モードに設定します。 12 ビットカウント動作モードを選択するときは 16 ビットカウント動作モードは非選択 (CNTMD45A=0) にしてください。 詳細は、表 10.5 を参照してください。
6	CNTMD23B	0	R/W	チャンネル 2, 3, 12 ビットカウントセレクト 0 : チャンネル 2, 3 を 8 ビットカウント動作モードに設定します。 1 : チャンネル 2, 3 を 12 ビットカウント動作モードに設定します。 12 ビットカウント動作モードを選択するときは 16 ビットカウント動作モードは非選択 (CNTMD23A=0) にしてください。 詳細は、表 10.4 を参照してください。
5	PWM5E	0	R/W	PWMU5 出力イネーブルビット 0 : PWMU5 出力禁止、カウンタ動作禁止 1 : PWMU5 出力許可、カウンタ動作許可

ビット	ビット名	初期値	R/W	説明
4	PWM4E	0	R/W	PWMU4 出カインェーブルビット <ul style="list-style-type: none"> • 8ビット単パルス／パルス分割モード時 <ul style="list-style-type: none"> 0 : PWMU4 出力禁止、カウンタ動作禁止 1 : PWMU4 出力許可、カウンタ動作許可 • 12/16ビット単パルスモード時 <ul style="list-style-type: none"> 0 : PWMU4 出力禁止、カウンタ動作禁止 1 : PWMU4 出力禁止、カウンタ動作許可
3	PWM3E	0	R/W	PWMU3 出カインェーブルビット <ul style="list-style-type: none"> 0 : PWMU3 出力禁止、カウンタ動作禁止 1 : PWMU3 出力許可、カウンタ動作許可
2	PWM2E	0	R/W	PWMU2 出カインェーブルビット <ul style="list-style-type: none"> • 8ビット単パルス／パルス分割モード時 <ul style="list-style-type: none"> 0 : PWMU2 出力禁止、カウンタ動作禁止 1 : PWMU2 出力許可、カウンタ動作許可 • 12/16ビット単パルスモード時 <ul style="list-style-type: none"> 0 : PWMU2 出力禁止、カウンタ動作禁止 1 : PWMU2 出力禁止、カウンタ動作許可
1	PWM1E	0	R/W	PWMU1 出カインェーブルビット <ul style="list-style-type: none"> 0 : PWMU1 出力禁止、カウンタ動作禁止 1 : PWMU1 出力許可、カウンタ動作許可
0	PWM0E	0	R/W	PWMU0 出カインェーブルビット <ul style="list-style-type: none"> • 8ビット単パルス／パルス分割モード時 <ul style="list-style-type: none"> 0 : PWMU0 出力禁止、カウンタ動作禁止 1 : PWMU0 出力許可、カウンタ動作許可 • 12/16ビット単パルスモード時 <ul style="list-style-type: none"> 0 : PWMU0 出力禁止、カウンタ動作禁止 1 : PWMU0 出力禁止、カウンタ動作許可

10.3.3 PWMモードコントロールレジスタ (PWMMDCR)

PWMMDCRはPWMのチャンネル毎のカウントモードおよび動作モードを選択します。

ビット	ビット名	初期値	R/W	説明
7	CNTMD01B	0	R/W	チャンネル0、1、12ビットカウントセレクト 0: チャンネル0、1を8ビットカウント動作モードに設定します。 1: チャンネル0、1を12ビットカウント動作モードに設定します。 12ビットカウント動作モードを選択するときは16ビットカウント動作モードは非選択 (CNTMD01A=0) にしてください。 詳細は、表 10.3 を参照してください。
6	CNTMD01A	0	R/W	チャンネル0、1、16ビットカウントセレクト 0: チャンネル0、1を8ビットカウント動作モードに設定します。 1: チャンネル0、1を16ビットカウント動作モードに設定します。 16ビットカウント動作モードを選択するときは12ビットカウント動作モードは非選択 (CNTMD01B=0) にしてください。 詳細は、表 10.3 を参照してください。
5	PWMSL5	0	R/W	チャンネル5動作モードセレクト 0: 単パルスモード 1: パルス分割モード (8ビットカウンタモードに設定してください)
4	PWMSL4	0	R/W	チャンネル4動作モードセレクト 0: 単パルスモード 1: パルス分割モード (8ビットカウンタモードに設定してください)
3	PWMSL3	0	R/W	チャンネル3動作モードセレクト 0: 単パルスモード 1: パルス分割モード (8ビットカウンタモードに設定してください)
2	PWMSL2	0	R/W	チャンネル2動作モードセレクト 0: 単パルスモード 1: パルス分割モード (8ビットカウンタモードに設定してください)
1	PWMSL1	0	R/W	チャンネル1動作モードセレクト 0: 単パルスモード 1: パルス分割モード (8ビットカウンタモードに設定してください)
0	PWMSL0	0	R/W	チャンネル0動作モードセレクト 0: 単パルスモード 1: パルス分割モード (8ビットカウンタモードに設定してください)

10.3.4 PWM位相コントロールレジスタ (PWMPCCR)

PWMPCCRはPWMのチャンネルごとのカウントモードおよび出力位相を選択します。

ビット	ビット名	初期値	R/W	説明
7	PH5S	0	R/W	チャンネル5出力位相セレクト 0: PWMU5 直接出力 1: PWMU5 反転出力
6	PH4S	0	R/W	チャンネル4出力位相セレクト 0: PWMU4 直接出力 1: PWMU4 反転出力
5	PH3S	0	R/W	チャンネル3出力位相セレクト 0: PWMU3 直接出力 1: PWMU3 反転出力
4	PH2S	0	R/W	チャンネル2出力位相セレクト 0: PWMU2 直接出力 1: PWMU2 反転出力
3	PH1S	0	R/W	チャンネル1出力位相セレクト 0: PWMU1 直接出力 1: PWMU1 反転出力
2	PH0S	0	R/W	チャンネル0出力位相セレクト 0: PWMU0 直接出力 1: PWMU0 反転出力
1	CNTMD45A	0	R/W	チャンネル4、5、16ビットカウントセレクト 0: チャンネル4、5を8ビットカウント動作モードに設定します。 1: チャンネル4、5を16ビットカウント動作モードに設定します。 16ビットカウント動作モードを選択するときは12ビットカウント動作モードは非選択 (CNTMD45B=0) にしてください。 詳細は、表 10.5 を参照してください。
0	CNTMD23A	0	R/W	チャンネル2、3、16ビットカウントセレクト 0: チャンネル2、3を8ビットカウント動作モードに設定します。 1: チャンネル2、3を16ビットカウント動作モードに設定します。 16ビットカウント動作モードを選択するときは12ビットカウント動作モードは非選択 (CNTMD23B=0) にしてください。 詳細は、表 10.4 を参照してください。

10.3.5 PWM プリスケーララッチレジスタ (PRELAT)

PRELATはPWMPREのシフトレジスタです。1パルス完了時、PWMPREのデータは自動的にPRELATへ転送されます。CPUから直接アクセスすることはできません。

10.3.6 PWM デューティ設定ラッチレジスタ (REGLAT)

REGLATはPWMREGのシフトレジスタです。1パルス完了時、PWMREGのデータは自動的にREGLATへ転送されます。CPUから直接アクセスすることはできません。

表 10.3 チャンネル0、1のカウンタ動作

PWMMDCRの CNTMD01A	PWMMDCRの CNTMD01B	チャンネル0、1のカウンタ動作
0	0	8ビットカウンタ動作
0	1	12ビットカウンタ動作 (上位：チャンネル1、下位：チャンネル0)
1	0	16ビットカウンタ動作 (上位：チャンネル1、下位：チャンネル0)
1	1	設定禁止

【注】 12/16ビットカウンタを選択した場合は、単パルスモードに設定してください。

表 10.4 チャンネル2、3のカウンタ動作

PWMPCRの CNTMD23A	PWMOUTCRの CNTMD23B	チャンネル2、3のカウンタ動作
0	0	8ビットカウンタ動作
0	1	12ビットカウンタ動作 (上位：チャンネル3、下位：チャンネル2)
1	0	16ビットカウンタ動作 (上位：チャンネル3、下位：チャンネル2)
1	1	設定禁止

【注】 12/16ビットカウンタを選択した場合は、単パルスモードに設定してください。

表 10.5 チャンネル4、5のカウンタ動作

PWMPCR の CNTMD45A	PWMOUTCR の CNTMD45B	チャンネル4、5のカウンタ動作
0	0	8ビットカウンタ動作
0	1	12ビットカウンタ動作 (上位：チャンネル5、下位：チャンネル4)
1	0	16ビットカウンタ動作 (上位：チャンネル5、下位：チャンネル4)
1	1	設定禁止

【注】 12/16ビットカウンタを選択した場合は、単パルスモードに設定してください。

10.3.7 PWMプリスケアラレジスタ0~5 (PWMPRE0~PWMPRE5)

PWMPREは8ビットのリード/ライト可能なレジスタです。PWM周期を設定します。初期値は、H'00です。PWMPREの値をnとするとPWM周期は以下のようになります。

(1) 8ビット単パルスモード

$$\text{PWM 周期} = [255 \times (n+1)] / \text{内部クロック周波数} \quad (0 \leq n \leq 255)$$

表 10.6 $\phi = 20\text{MHz}$ 時の分解能、PWM変換周期、キャリア周波数 (8ビットカウンタ動作)

内部 クロック 周波数	分解能	PWM変換周期		キャリア周波数	
				単パルス方式	
		Min.	Max.	Min.	Max.
ϕ	50ns	12.8 μs	3.3ms	306.4Hz	78.4kHz
$\phi/2$	100ns	25.5 μs	6.5ms	153.2Hz	39.2kHz
$\phi/4$	200ns	51.0 μs	13.1ms	76.6Hz	19.6kHz
$\phi/8$	400ns	102.0 μs	26.1ms	38.3Hz	9.8kHz

(2) 12ビット単パルスモード

12ビット単パルスモードに設定した場合は、PWMPRE0、PWMPRE2、PWMPRE4がそれぞれ有効になります。PWMPRE1、PWMPRE3、PWMPRE5の設定は無効です。

$$\text{PWM 周期} = [4095 \times (n+1)] / \text{内部クロック周波数} \quad (0 \leq n \leq 255)$$

表 10.7 $\phi = 20\text{MHz}$ 時の分解能、PWM 変換周期、キャリア周波数 (12ビットカウンタ動作)

内部 クロック 周波数	分解能	PWM 変換周期		キャリア周波数	
				単パルス方式	
		Min.	Max.	Min.	Max.
ϕ	50ns	204.8 μs	52.4ms	19.1Hz	4.9kHz
$\phi/2$	100ns	409.5 μs	104.8ms	9.5Hz	2.4kHz
$\phi/4$	200ns	819.0 μs	209.7ms	4.8Hz	1.2kHz
$\phi/8$	400ns	1.6ms	419.3ms	2.4Hz	0.6kHz

(3) 16ビット単パルスモード

16ビット単パルスモードに設定した場合は、PWMPRE0、PWMPRE2、PWMPRE4がそれぞれ有効になります。PWMPRE1、PWMPRE3、PWMPRE5の設定は無効です。

$$\text{PWM 周期} = [65535 \times (n+1)] / \text{内部クロック周波数} \quad (0 \leq n \leq 255)$$

表 10.8 $\phi = 20\text{MHz}$ 時の分解能、PWM 変換周期、キャリア周波数 (16ビットカウンタ動作)

内部 クロック 周波数	分解能	PWM 変換周期		キャリア周波数	
				単パルス方式	
		Min.	Max.	Min.	Max.
ϕ	50ns	3.3ms	838.8ms	1.2Hz	305.2Hz
$\phi/2$	100ns	6.6ms	1.7s	0.6Hz	152.6Hz
$\phi/4$	200ns	13.1ms	3.4s	0.3Hz	76.3Hz
$\phi/8$	400ns	26.2ms	6.7s	0.1Hz	38.1Hz

(4) 8 ビットパルス分割モード

$$\text{PWM 周期} = [16 \times (n+1)] / \text{内部クロック周波数} \quad (0 \leq n \leq 255)$$

$$\text{PWM 変換周期} = [256 \times (n+1)] / \text{内部クロック周波数} \quad (0 \leq n \leq 255)$$

表 10.9 $\phi=20\text{MHz}$ 時の分解能、PWM 変換周期、キャリア周波数 (8 ビットカウンタ動作)

内部クロック周波数	分解能	PWM 変換周期		キャリア周波数 (1/PWM 周期)	
		Min.	Max.	Min.	Max.
ϕ	50ns	12.8 μs	3.3ms	4882.8Hz	1250.0kHz
$\phi/2$	100ns	25.6 μs	6.6ms	2441.4Hz	625.0kHz
$\phi/4$	200ns	51.2 μs	13.1ms	1220.7Hz	312.5kHz
$\phi/8$	400ns	102.4 μs	26.2ms	610.4Hz	156.3kHz

10.3.8 PWM デューティ設定レジスタ 0~5 (PWMREG0~PWMREG5)

PWMREG は 8 ビットのリード/ライト可能なレジスタです。PWM 出力パルスの High 期間 (デューティ) を設定します。初期値は H'00 です。

(1) 8 ビット単パルスモード

PWM 出力するパルスの High 期間を直接指定します。PWMREG により PWM 出力パルスのデューティ比 0/255~255/255 まで 1/255 の分解能で指定します。

PWMREG の値を m とすると出力パルスの High 期間は以下のようになります。

$$\text{出力パルスの High 期間} = (\text{PWM 周期} \times m) / 255 \quad (0 \leq m \leq 255)$$

(2) 12 ビット単パルスモード

PWM 出力するパルスの High 期間を直接指定します。PWMREG により、PWM 出力パルスのデューティ比 0/4095~4095/4095 まで 1/4095 の分解能で指定します。

PWMREG の値を m とすると出力パルスの High 期間は以下のようになります。

$$\text{出力パルスの High 期間} = (\text{PWM 周期} \times m) / 4095 \quad (0 \leq m \leq 4095)$$

PWMREG1 (上位) と PWMREG0 (下位)、PWMREG3 (上位) と PWMREG2 (下位)、PWMREG5 (上位) と PWMREG4 (下位) の組み合わせで、パルスの High 期間をそれぞれ設定します。

【注】 上位レジスタのビット 3~0 と下位レジスタの設定が有効です。上位レジスタのビット 7~4 は無効です。また、下位側のレジスタを設定した後で、上位側のレジスタを設定してください。上位側のレジスタを先に設定すると期待通りの出力にならない場合があります。

(3) 16 ビット単パルスモード

PWM 出力するパルスの High 期間を直接指定します。PWMREG をカスケード接続することで、PWM 出力パルスのデューティ比 0/65535~65535/65535 まで 1/65535 の分解能で指定します。

PWMREG の値を m とすると出力パルスの High 期間は以下のようになります。

$$\text{出力パルスの High 期間} = (\text{PWM 周期} \times m) / 65535 \quad (0 \leq m \leq 65535)$$

PWMREG1 (上位) と PWMREG0 (下位)、PWMREG3 (上位) と PWMREG2 (下位)、PWMREG5 (上位) と PWMREG4 (下位) の組み合わせ (カスケード接続) で、パルスの High 期間をそれぞれ設定します。

(4) 8 ビットパルス分割モード

PWM 出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWMREG に設定する値のうち、上位 4 ビットは基本パルスのデューティ比を 0/16~15/16 まで 1/16 の分解能で指定し、下位 4 ビットは基本パルスで構成される変換周期内に付加パルスをいくつ付加するかを指定します。

10.4 動作説明

PWMU は、8 ビット単パルスモード、12 ビット単パルスモード、16 ビット単パルスモードおよび 8 ビット分割パルスモードで動作します。

10.4.1 単パルスモード (8 ビット、12 ビット、16 ビット)

8 ビット単パルスモードのブロック図を図 10.2 に、12 ビット単パルスモードおよび 16 ビット単パルスモードのブロック図を図 10.3 に示します。

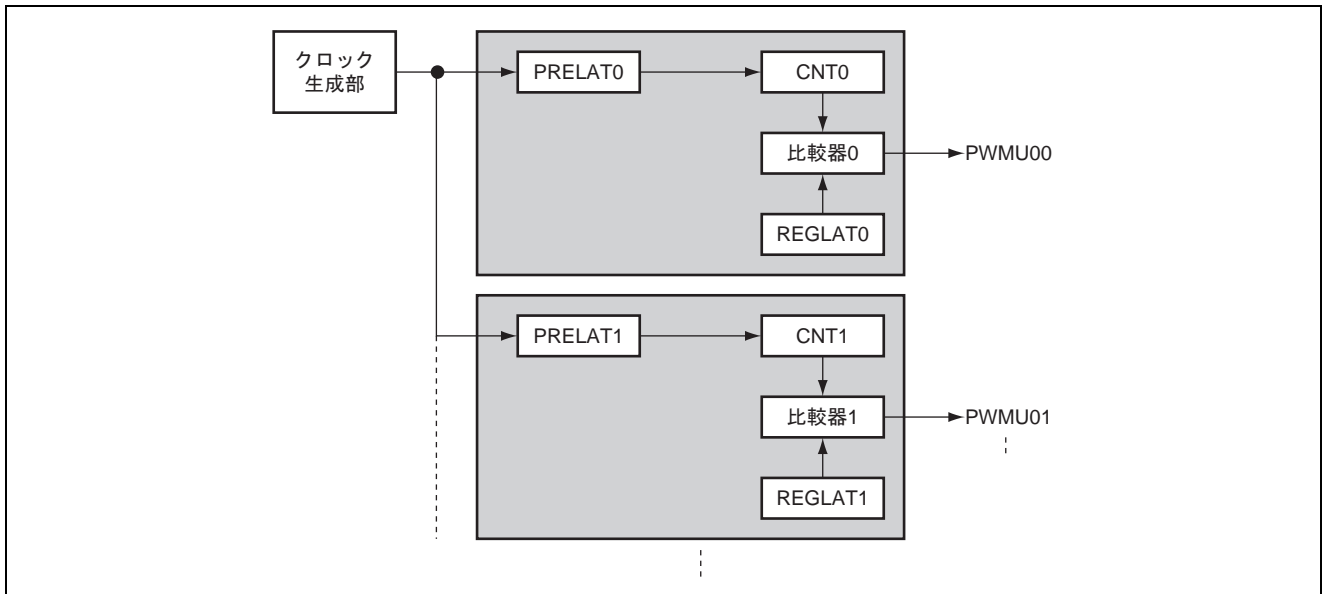


図 10.2 8 ビット単パルスモードのブロック図

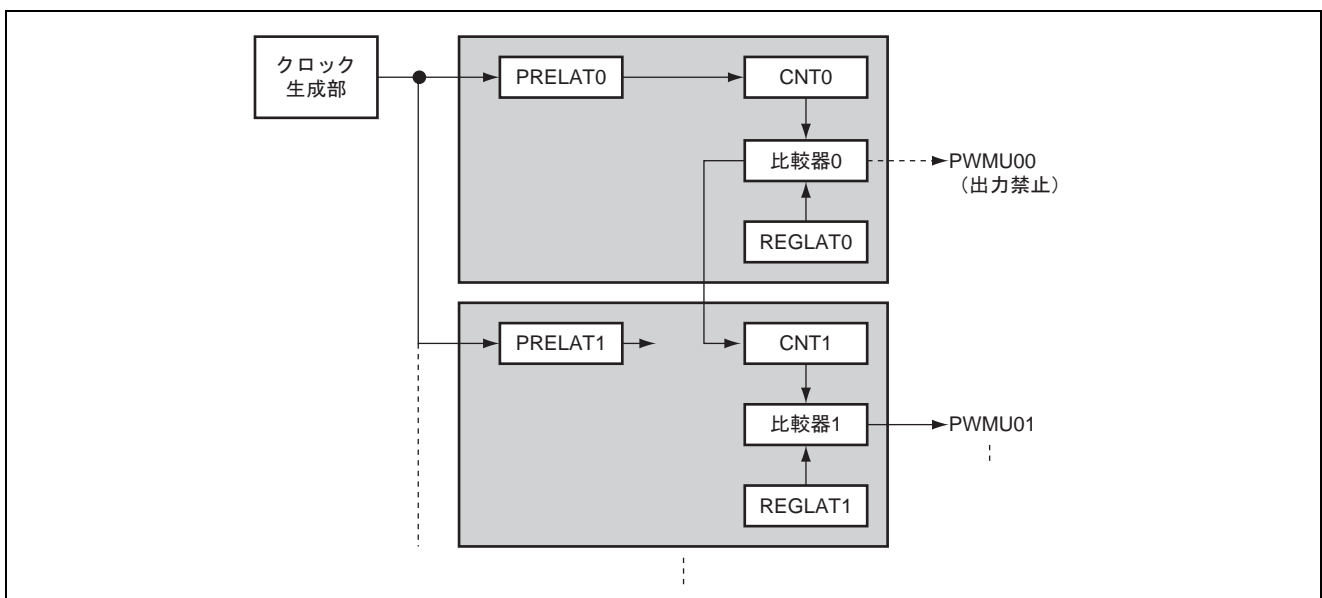


図 10.3 12 ビット、16 ビット単パルスモードのブロック図

PWMOUTCR レジスタの PWMnE ビット (n=0~5) を 1 にセットすると、PWMU は High から始まるパルスを出力します。REGLAT には PWMREG の更新値が、PRELAT には PWMPRE の更新値が書き込まれます。

REGLAT の値がデューティカウンタの値より小さい時、PWMU は High を出力します (直接出力選択時)。デューティカウンタは PWM クロックによりカウントアップします。PWM クロックは、PRELAT の値をダウンカウントして生成します。クロック生成用カウンタが H'00 のとき、PWM クロックが生成されます。

デューティカウンタとクロック生成用カウンタの動作例を図 10.4 に示します。

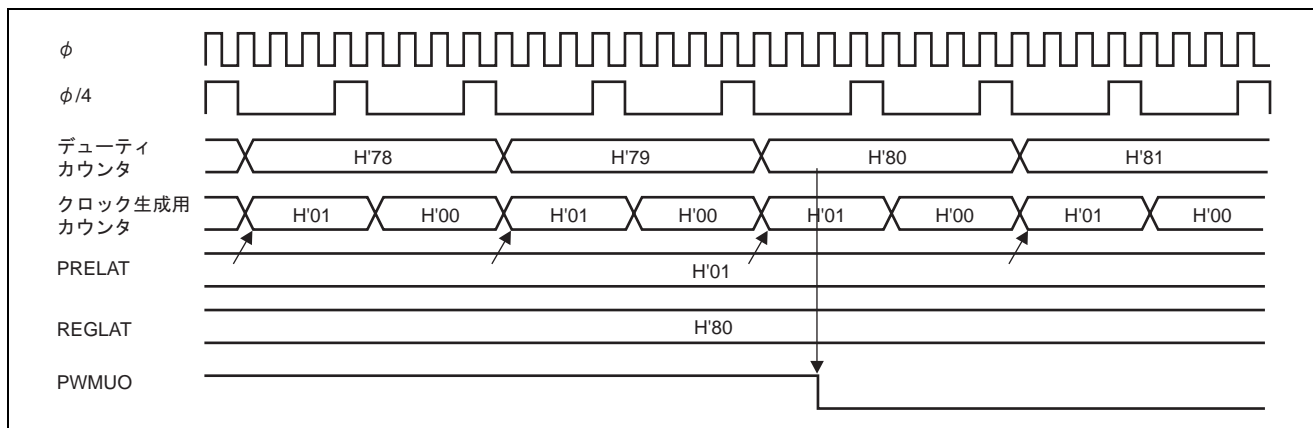


図 10.4 デューティカウンタとクロック生成用カウンタの動作例 (カウントクロックソースに $\phi/4$ を選択、PWMPRE=H'01、PWMREG=H'80 に設定した場合)

デューティカウンタの値と PWMU 出力のタイミングを以下に示します。

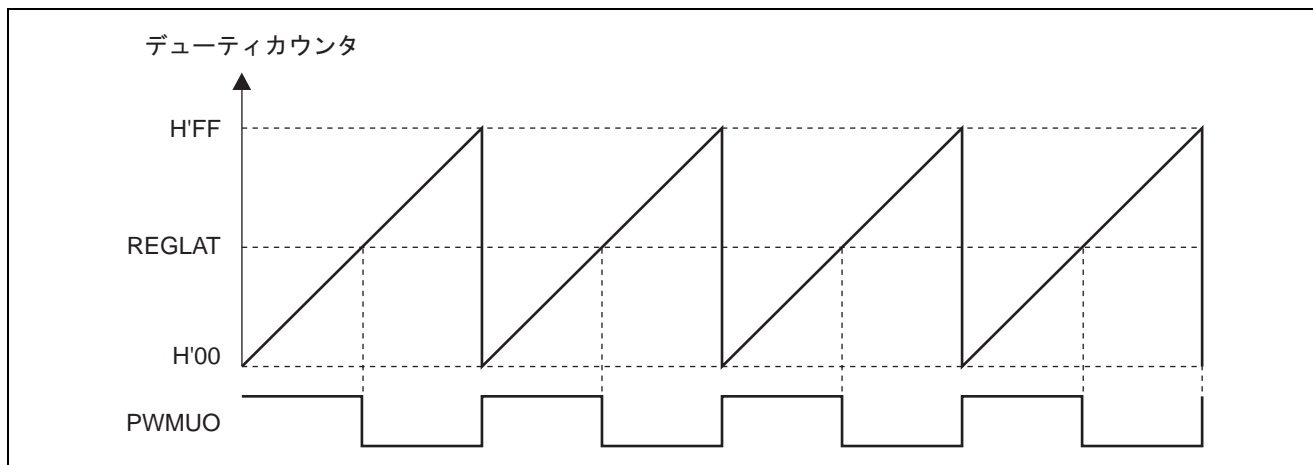


図 10.5 デューティカウンタの値と PWMU 出力のタイミング

PWM出力中に PWMREG を変更した場合、デューティカウンタがオーバーフローした時（次の PWM 周期の開始時）に PWMREG の値を REGLAT にロードします。PWMREG を変更した場合の PWMU 出力波形を以下に示します。

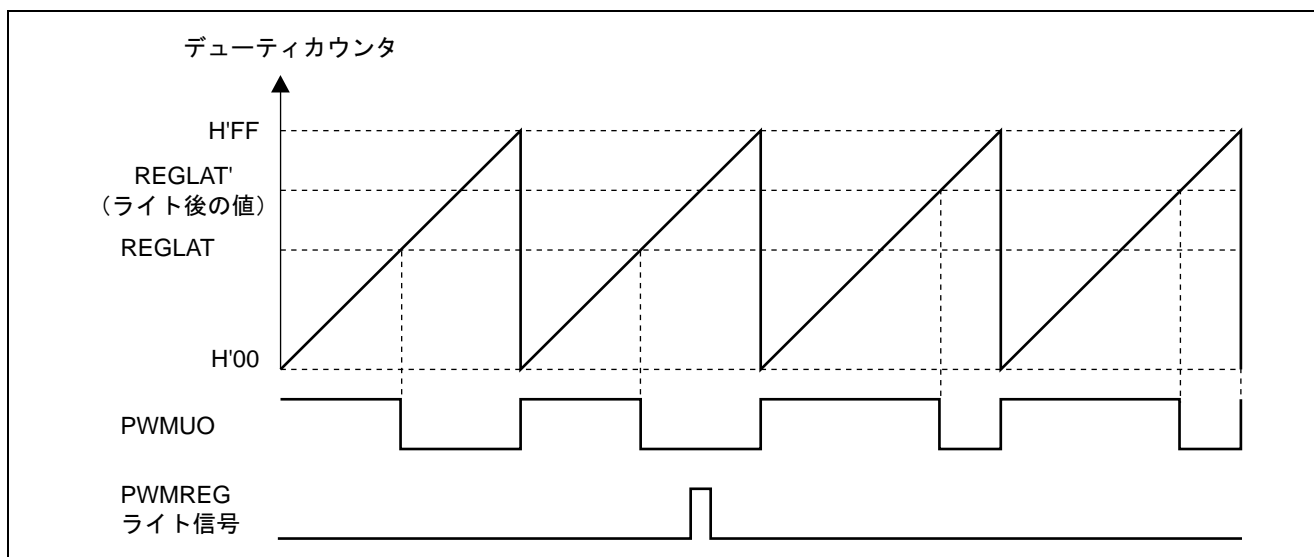


図 10.6 PWMREG を変更した場合の PWMU 出力波形

PWM出力中に PWMPRE を変更した場合、次の PWM 周期から、PWM 周期が変化します。クロック生成カウンタがアンダフローした時に、PWMPRE の値を PRELAT にロードします。PWMPRE を変更した場合の PRELAT 更新タイミングを以下に示します。

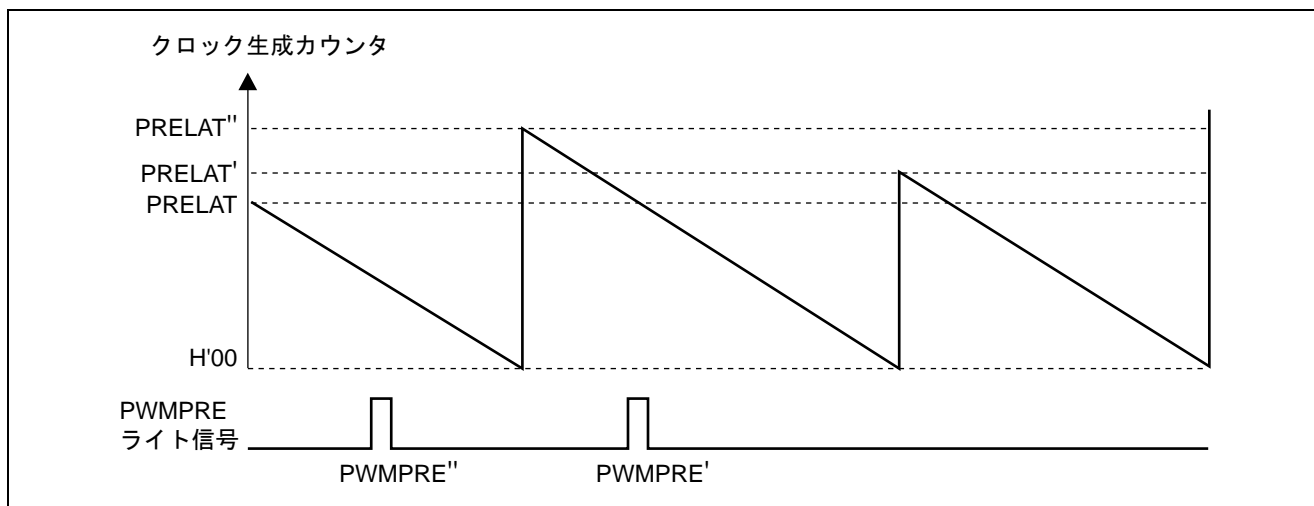


図 10.7 PWMPRE を変更した場合の PRELAT 更新タイミング

10.4.2 パルス分割モード

パルス分割モードでは、PWMREG の上位 4 ビットは、基本パルスのデューティ比を 0/16~15/16 まで 1/16 の分解能で指定します。以下に基本パルスのデューティ比を示します。

表 10.10 基本パルスのデューティ比

上位4ビット	基本パルス波形 (内部)
	0 1 2 3 4 5 6 7 8 9 A B C D E F
B'0000	
B'0001	
B'0010	
B'0011	
B'0100	
B'0101	
B'0110	
B'0111	
B'1000	
B'1001	
B'1010	
B'1011	
B'1100	
B'1101	
B'1110	
B'1111	

→ ←
分解能

PWMREG の下位 4 ビットは、16 基本パルスに対する付加パルスの付加位置を指定します。付加パルスは、基本パルスの立ち上がりエッジの前に分解能分の幅の High 期間 (PHnS=0 の場合) を付加します。PWMREG の上位 4 ビットが B'0000 の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。以下に基本パルスに対応する付加パルスの位置を、図 10.8 に付加パルスタイミング例を示します。

表 10.11 基本パルスに対する付加パルスの位置

下位 4 ビット	基本パルス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
B'0000																
B'0001																○
B'0010								○								○
B'0011								○				○				○
B'0100				○				○				○				○
B'0101				○				○				○		○		○
B'0110				○		○		○				○		○		○
B'0111				○		○		○		○		○		○		○
B'1000		○		○		○		○		○		○		○		○
B'1001		○		○		○		○		○		○		○	○	○
B'1010		○		○		○	○	○		○		○		○	○	○
B'1011		○		○		○	○	○		○	○	○		○	○	○
B'1100		○	○	○		○	○	○		○	○	○		○	○	○
B'1101		○	○	○		○	○	○		○	○	○	○	○	○	○
B'1110		○	○	○	○	○	○	○		○	○	○	○	○	○	○
B'1111		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

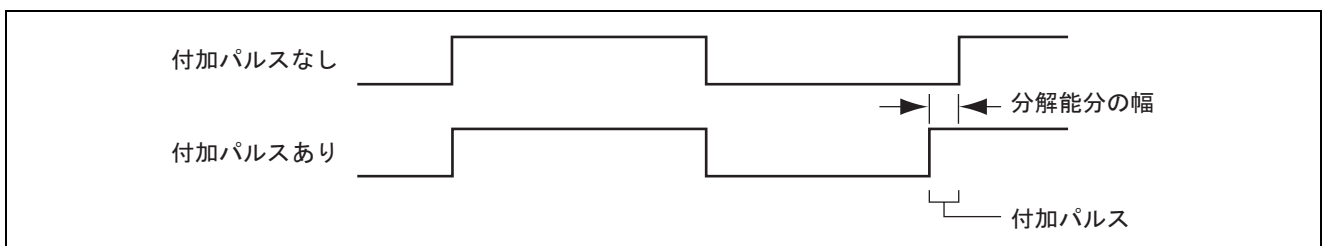


図 10.8 付加パルスタイミング例 (PWMREG 上位 4 ビットが B'1000)

(1) 設定例

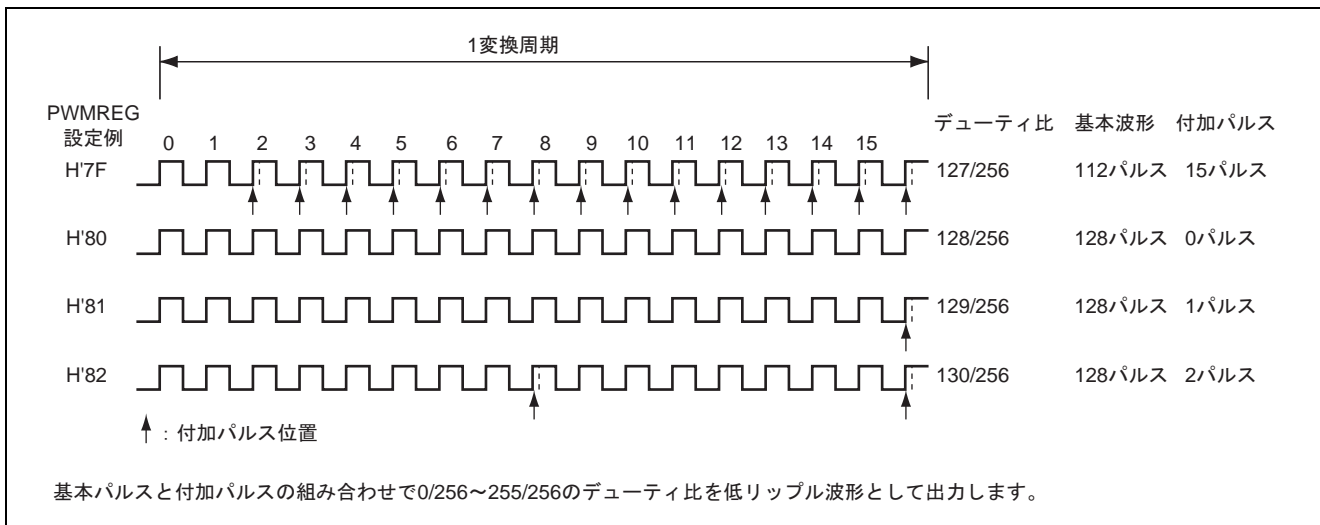


図 10.9 PWMU の設定例

(2) D/A として使用する場合の回路例

PWMU 出力パルスを D/A として使用する場合の回路例を示します。ローパスフィルタを接続にすることにより、リップルの少ないアナログ出力を生成することが可能です。パルス分割方式を使用することで、よりリップルの少ない D/A 出力を行うことができます。

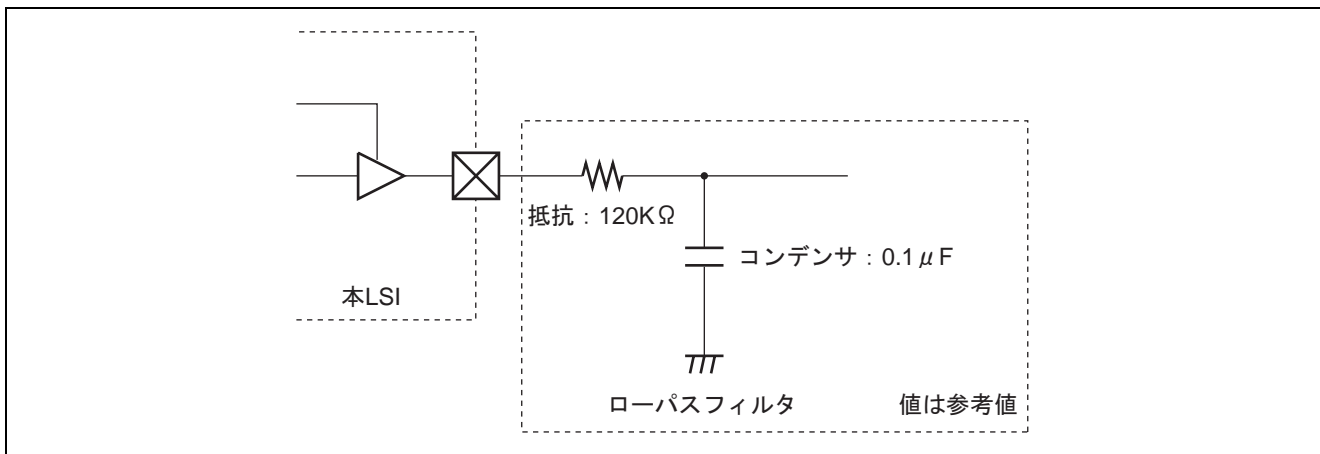


図 10.10 D/A として使用する場合の回路例

10.5 使用上の注意事項

10.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PWMU の動作停止/許可を設定することが可能です。初期値では PWMU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 29 章 低消費電力状態」を参照してください。

10.5.2 16/12 ビット単パルス PWM タイマ使用上の注意点

16/12 ビット単パルス PWM タイマとして使用する場合にはデューティ比を切り換えるために PWMREGn (n=0~5) の上位 8 ビットと下位 8 ビットを個別にライトする必要があります。

そのため、ライト動作に時間差が発生することから、その期間中のパルス波形のデューティ比が意図しない値となる可能性があります。

また PWMREGn のライト動作中に割り込み処理が入ると異常デューティ比パルスが出続ける可能性があるため、割り込み処理が入らないよう注意してください。

11. 16 ビットタイマパルスユニット (TPU)

本 LSI は、3 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットのブロック図を図 11.1 に、機能一覧を表 11.1 に示します。

11.1 特長

- 最大8本のパルス入出力が可能
- チャンネル0、2は8種類、チャンネル1は7種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能
コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、任意デューティの PWM 出力、同期動作と組み合わせることによる最大 7 相の PWM 出力
- チャンネル0はバッファ動作を設定可能
- チャンネル1、2は各々独立に位相計数モードを設定可能
- 内部16ビットバスによる高速アクセス
- 13種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能

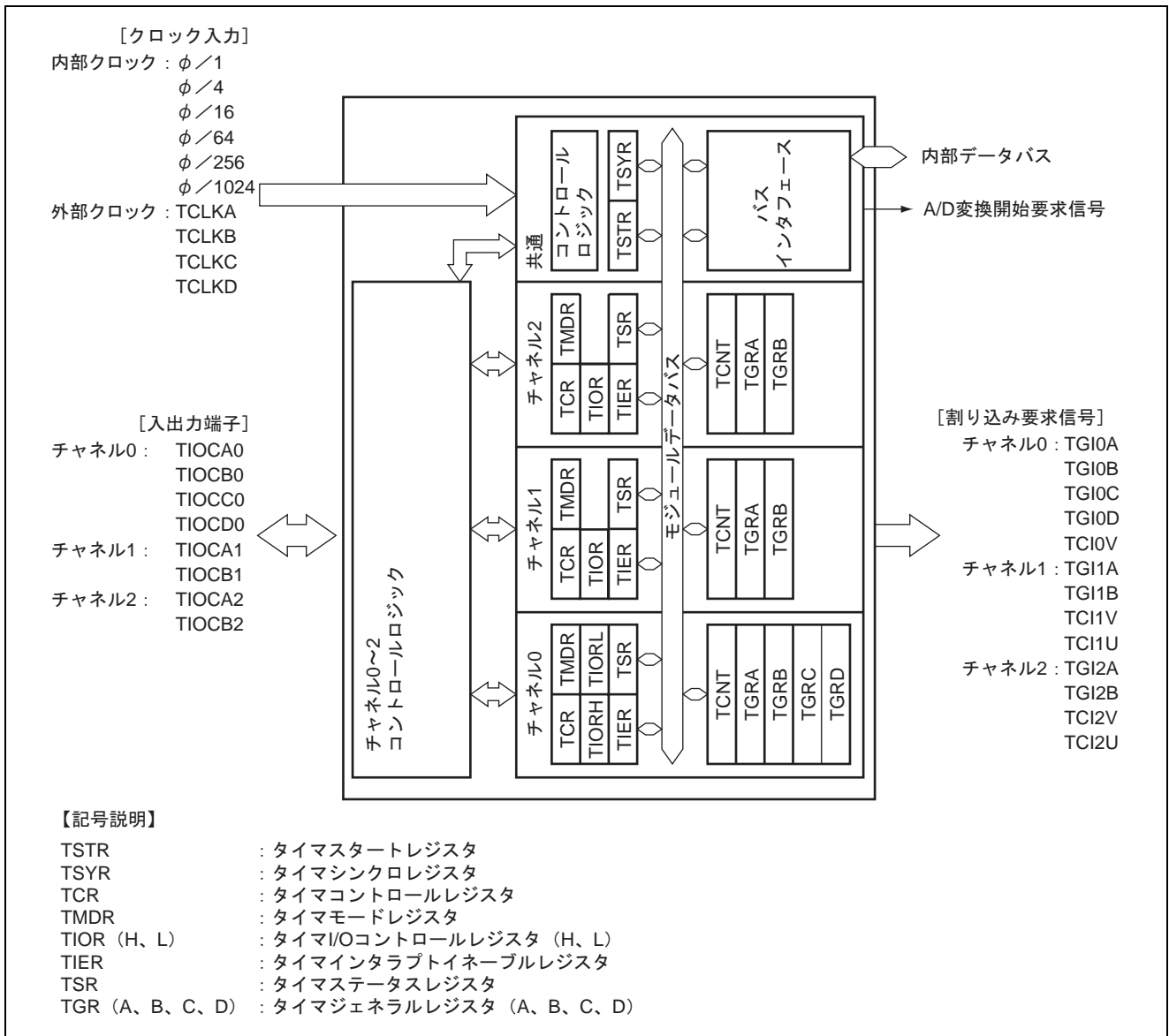


図 11.1 TPU のブロック図

表 11.1 TPU の機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2
カウントクロック	φ/1 φ/4 φ/16 φ/64 TCLKA TCLKB TCLKC TCLKD	φ/1 φ/4 φ/16 φ/64 φ/256 TCLKA TCLKB	φ/1 φ/4 φ/16 φ/64 φ/1024 TCLKA TCLKB TCLKC
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2
カウンタクリア機能	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
コンペア マッチ 出力	0 出力	○	○
	1 出力	○	○
	トグル 出力	○	○
インプットキャプチャ機能	○	○	○
同期動作	○	○	○
PWM モード	○	○	○
位相計数モード	—	○	○
バッファ動作	○	—	—

項目	チャンネル0	チャンネル1	チャンネル2
A/D 変換開始トリガ	TGRA_0 のコンペアマッチ または インプットキャプチャ	TGRA_1 のコンペアマッチ または インプットキャプチャ	TGRA_2 のコンペアマッチ または インプットキャプチャ
割り込み要因	5 要因 <ul style="list-style-type: none"> • コンペアマッチ ／インプットキャプチャ 0A • コンペアマッチ ／インプットキャプチャ 0B • コンペアマッチ ／インプットキャプチャ 0C • コンペアマッチ ／インプットキャプチャ 0D • オーバフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ ／インプットキャプチャ 1A • コンペアマッチ ／インプットキャプチャ 1B • オーバフロー • アンダフロー 	4 要因 <ul style="list-style-type: none"> • コンペアマッチ ／インプットキャプチャ 2A • コンペアマッチ ／インプットキャプチャ 2B • オーバフロー • アンダフロー

【記号説明】

○ : 可能

- : 不可

11.2 入出力端子

表 11.2 TPU の端子構成

チャンネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子

11.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。

表 11.3 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	データバス幅
チャンネル 0	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FE50	8
	タイマモードレジスタ_0	TMDR_0	R/W	H'C0	H'FE51	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FE52	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FE53	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	R/W	H'40	H'FE54	8
	タイマステータスレジスタ_0	TSR_0	R/W	H'C0	H'FE55	8
	タイマカウンタ_0	TCNT_0	R/W	H'0000	H'FE56	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FE58	16
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FE5A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FE5C	16
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FE5E	16
チャンネル 1	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FD40	8
	タイマモードレジスタ_1	TMDR_1	R/W	H'C0	H'FD41	8
	タイマ I/O コントロールレジスタ_1	TIOR_1	R/W	H'00	H'FD42	8
	タイマインタラプトイネーブルレジスタ_1	TIER_1	R/W	H'40	H'FD44	8
	タイマステータスレジスタ_1	TSR_1	R/W	H'C0	H'FD45	8
	タイマカウンタ_1	TCNT_1	R/W	H'0000	H'FD46	16
	タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FD48	16
	タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FD4A	16
チャンネル 2	タイマコントロールレジスタ_2	TCR_2	R/W	H'00	H'FE70	8
	タイマモードレジスタ_2	TMDR_2	R/W	H'C0	H'FE71	8
	タイマ I/O コントロールレジスタ_2	TIOR_2	R/W	H'00	H'FE72	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	R/W	H'40	H'FE74	8
	タイマステータスレジスタ_2	TSR_2	R/W	H'C0	H'FE75	8
	タイマカウンタ_2	TCNT_2	R/W	H'0000	H'FE76	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FE78	16
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FE7A	16
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FEB0	8
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FEB1	8

11.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、チャンネル 0~2 に各 1 本、計 3 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2~0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 11.4 表 11.5 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	
3	CKEG0	0	R/W	<p>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: $\phi/4$ の両エッジ = $\phi/2$ の立ち上がりエッジ)。チャンネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ を選択した場合は本設定は無視され、立ち上がりエッジカウント選択になります。</p> <p>00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント</p> <p>【記号説明】 X: Don't care</p>
2	TPSC2	0	R/W	タイマプリスケラ 2~0
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	
				TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 11.6~表 11.8 TPSC2~TPSC0 を参照してください。

表 11.4 CCLR2~CCLR0 (チャンネル 0)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 11.5 CCLR2~CCLR0 (チャンネル 1、2)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2 ではビット 7 はリザーブです。リードすると常に 0 が読み出しされます。ライトは無効です。

表 11.6 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : ϕ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 11.7 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : ϕ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : $\phi/256$ でカウント
	1	1	1	設定禁止

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

表 11.8 TPSC2~TPSC0 (チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : ϕ でカウント
	0	0	1	内部クロック : $\phi/4$ でカウント
	0	1	0	内部クロック : $\phi/16$ でカウント
	0	1	1	内部クロック : $\phi/64$ でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : $\phi/1024$ でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

11.3.2 タイマモードレジスタ (TMDR)

TMDR は各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 3 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット
6	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0
2	MD2	0	R/W	MD3~MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 11.9 を参照してください。

表 11.9 MD3~MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	設定禁止

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

11.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0 に 2 本、チャンネル 1、2 に各 1 本、計 4 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

• TIORH_0、TIOR_1、TIOR_2

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3~0 TGRB の機能を設定します。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3~0 TGRA の機能を設定します。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

• TIORL_0

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~0 TGRD の機能を設定します。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3~0 TGRC の機能を設定します。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 11.10 TIORH_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

表 11.11 TIORH_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

表 11.12 TIORL_0 (チャンネル 0)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ*	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

【注】 * TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.13 TIORL_0 (チャンネル 0)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペア レジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

【注】 * TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.14 TIOR_1 (チャンネル 1)

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

表 11.15 TIOR_1 (チャンネル 1)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x : Don't care

表 11.16 TIOR_2 (チャンネル 2)

ビット 7	ビット 6	ビット 5	ビット 4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 11.17 TIOR_2 (チャンネル 2)

ビット 3	ビット 2	ビット 1	ビット 0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

11.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 3 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	—	1	R	リザーブビット リードすると 1 が読み出しされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0 ではリザーブビットです。 リードすると常に 0 が読み出しされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されません。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を禁止
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

11.3.5 タイマステータスレジスタ (TSR)

TSR は各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 3 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。リードすると常に 1 が読み出されます。 ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です
5	TCFU	0	R/(W)*	アンダフローフラグ チャンネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0 ではリザーブビットです。リードすると常に 0 が読み出されます。 ライトは無効です。 [セット条件] • TCNT の値がアンダフロー (H'0000→H'FFFF) したとき [クリア条件] • TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R/(W)*	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。 [セット条件] • TCNT の値がオーバフロー (H'FFFF→H'0000) したとき [クリア条件] • TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル0のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル1、2ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TGFD=1の状態ではTGFDをリード後、TGFDに0をライトしたとき
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル0のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル1、2ではリザーブビットです。リードすると常に0が読み出されます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TGFC=1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRBのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R(W)*	<p>インプットキャプチャ／アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード／ライト可能なカウンタです。各チャンネルに 1 本、計 3 本の TCNT があります。TCNT は、リセット時に H'0000 に初期化されます。TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード／ライト可能なアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャンネル 0 に 4 本、チャンネル 1、2 に各 2 本、計 8 本のジェネラルレジスタがあります。チャンネル 0 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR は、リセット時に H'FFFF に初期化されます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA—TGRC、TGRB—TGRD になります。

11.3.8 タイマスタートレジスタ (TSTR)

TSTR はチャンネル 0~2 の TCNT の動作/停止を選択するレジスタです。対応するビットを 1 にセットしたチャンネルの TCNT がカウント動作を行います。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止させてから行ってください。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
2	CST2	0	R/W	カウンタスタート 2~0
1	CST1	0	R/W	TCNT の動作または停止を選択します。
0	CST0	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNTn のカウント動作は停止 1 : TCNTn はカウント動作 (n=2~0)

11.3.9 タイマシンクロレジスタ (TSYR)

TSYR はチャンネル 0~2 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
2	SYNC2	0	R/W	タイマ同期 2~0
1	SYNC1	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
0	SYNC0	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNTn は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1 : TCNTn は同期動作 TCNT の同期プリセット/同期クリアが可能 (n=2~0)

11.4 バスマスタとのインタフェース

11.4.1 16 ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し／書き込みが可能です。

8 ビット単位での読み出し／書き込みはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 11.2 に示します。

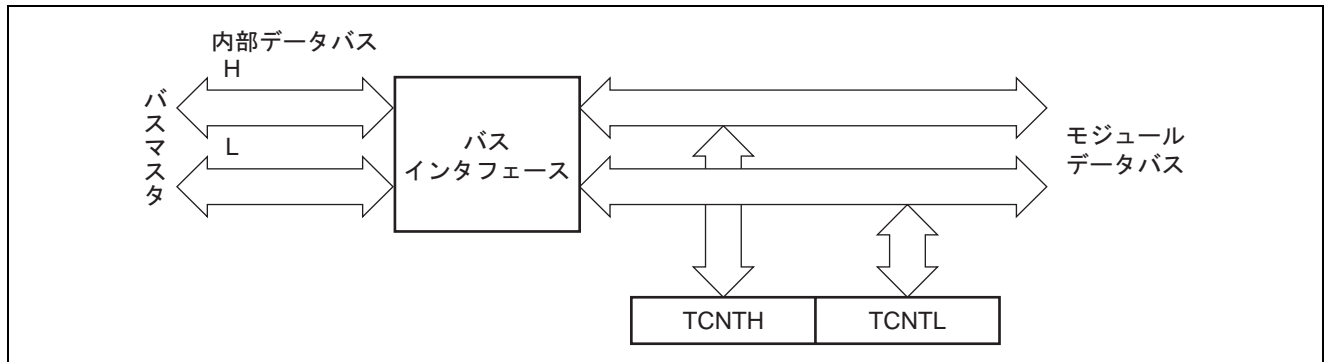


図 11.2 16 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TCNT (16 ビット))

11.4.2 8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し／書き込みが可能です。また、8 ビット単位での読み出し／書き込みもできます。

8 ビットレジスタのアクセス動作例を図 11.3～図 11.5 に示します。

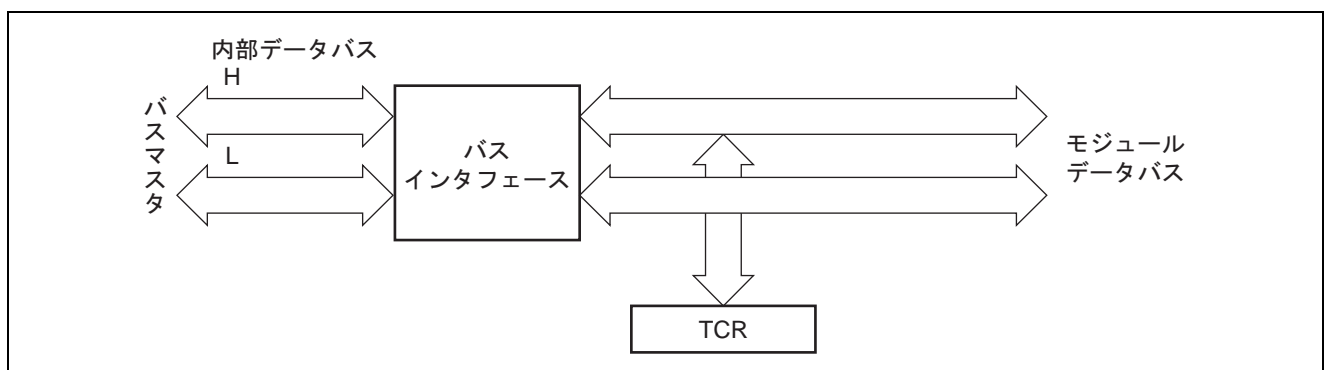


図 11.3 8 ビットレジスタのアクセス動作 (バスマスタ \leftrightarrow TCR (上位 8 ビット))

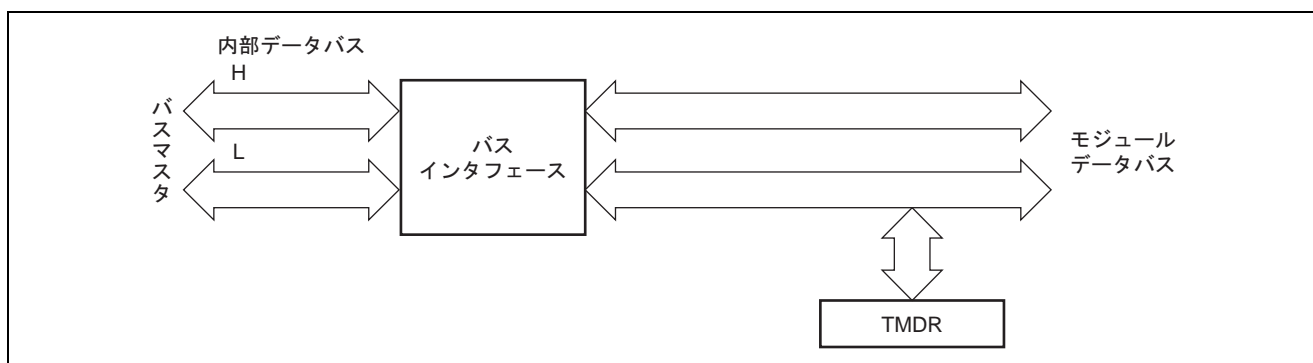


図 11.4 8 ビットレジスタのアクセス動作 (バスマスタ ↔ TMDR (下位 8 ビット))

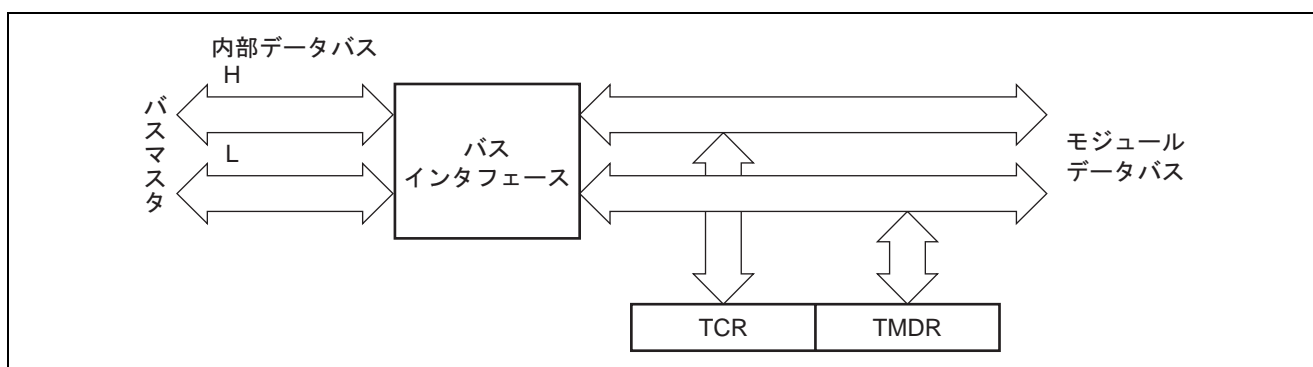


図 11.5 8 ビットレジスタのアクセス動作 (バスマスタ ↔ TCR、TMDR (16 ビット))

11.5 動作説明

11.5.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0～CST2 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 11.6 に示します。

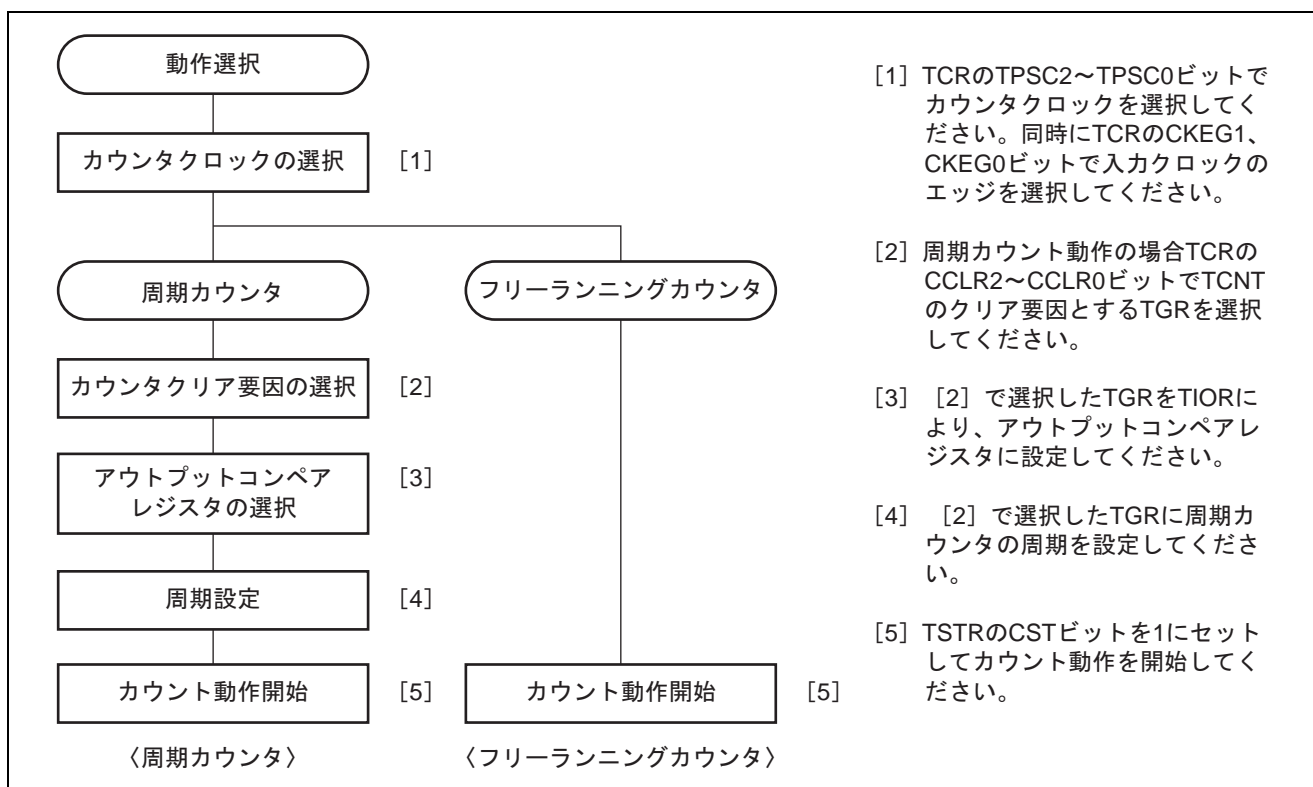


図 11.6 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー (H'FFFF→H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 11.7 に示します。

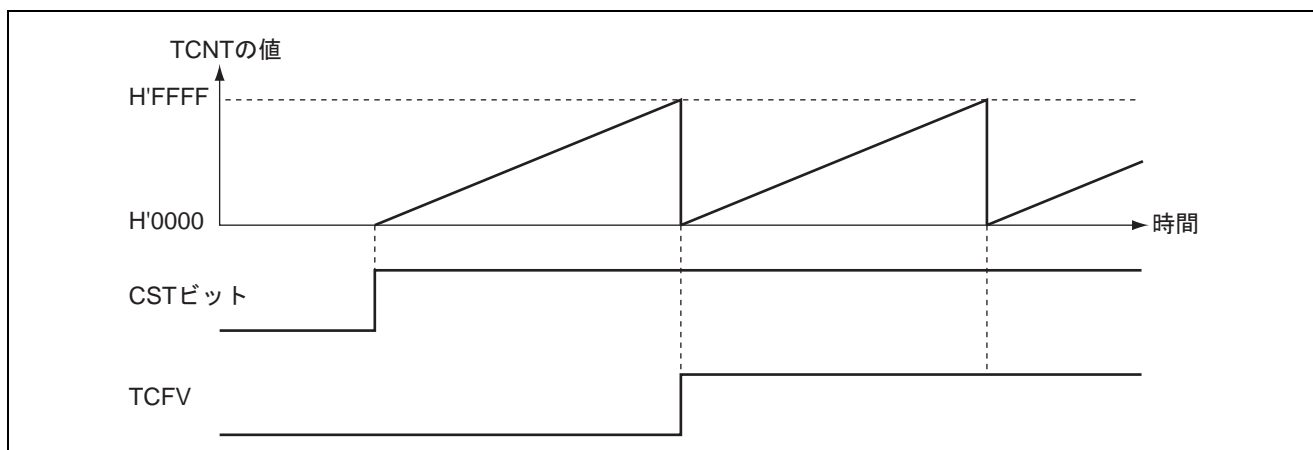


図 11.7 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2～CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 11.8 に示します。

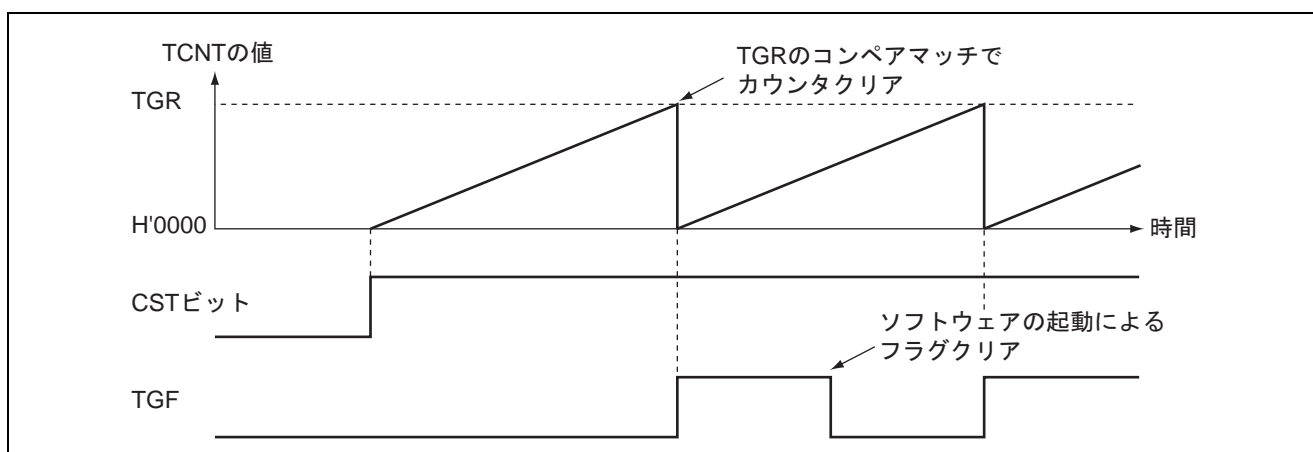


図 11.8 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.9 に示します。

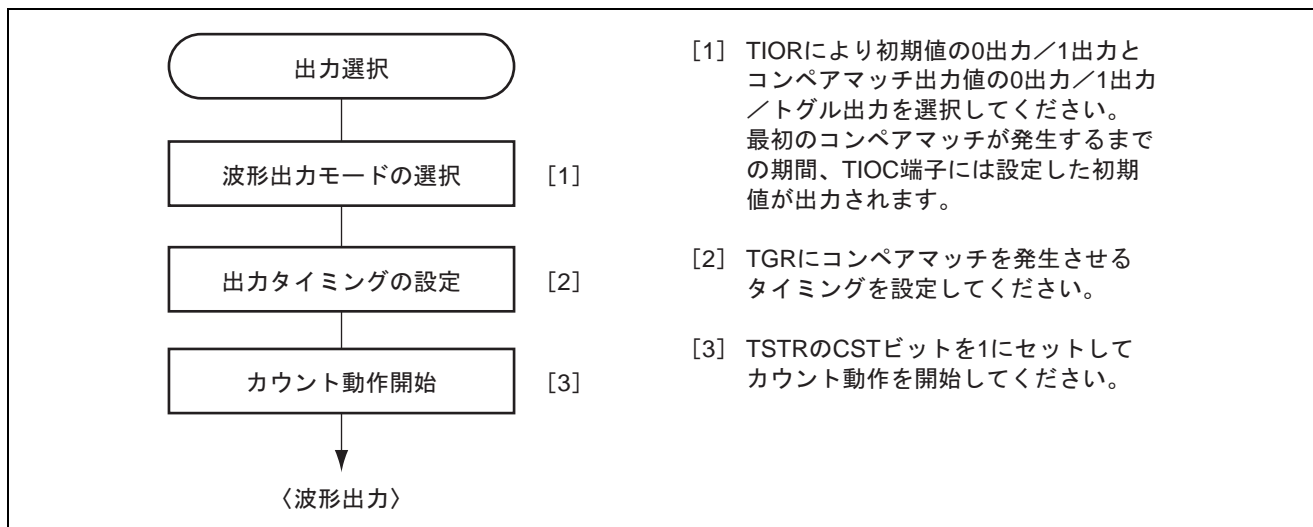


図 11.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力/1 出力例を図 11.10 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

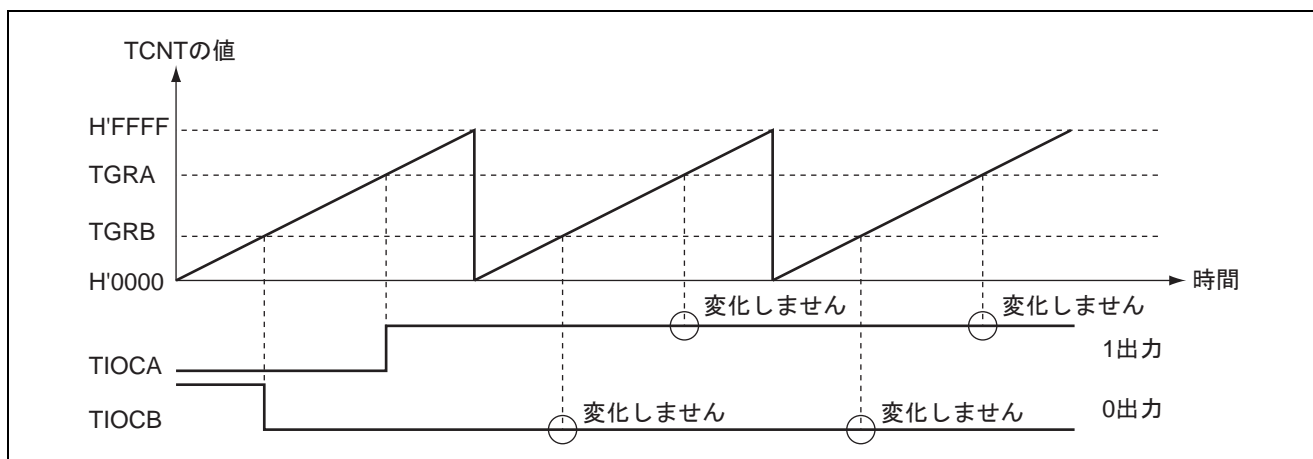


図 11.10 0 出力/1 出力の動作例

トグル出力の例を図 11.11 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

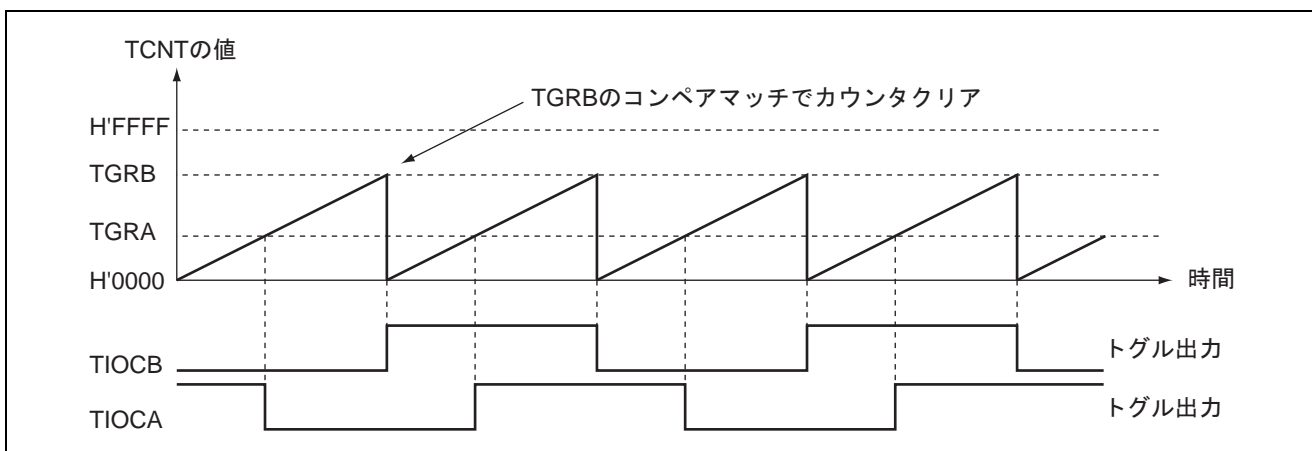


図 11.11 トグル出力の動作例

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 11.12 に示します。

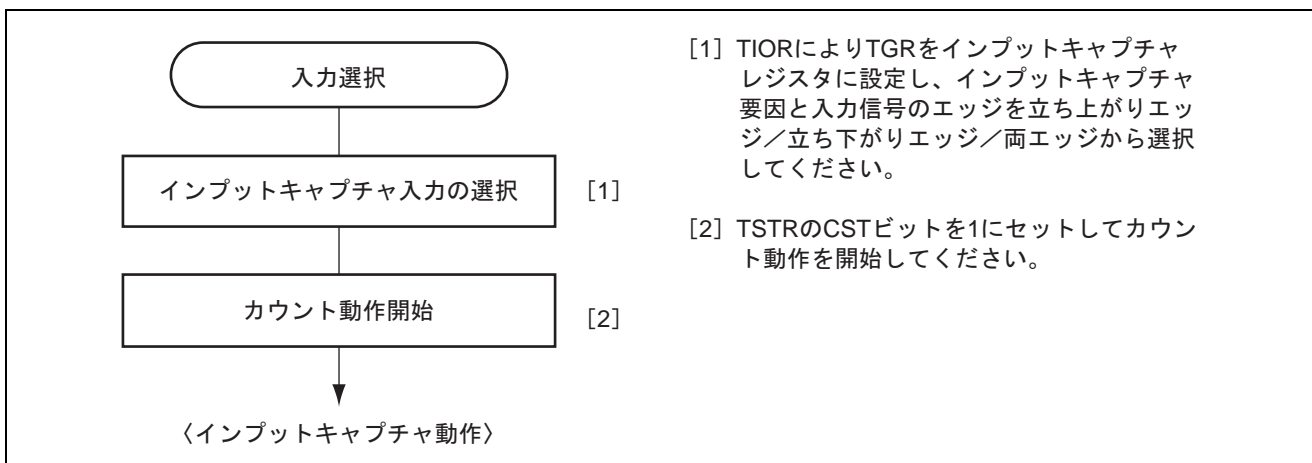


図 11.12 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 11.13 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

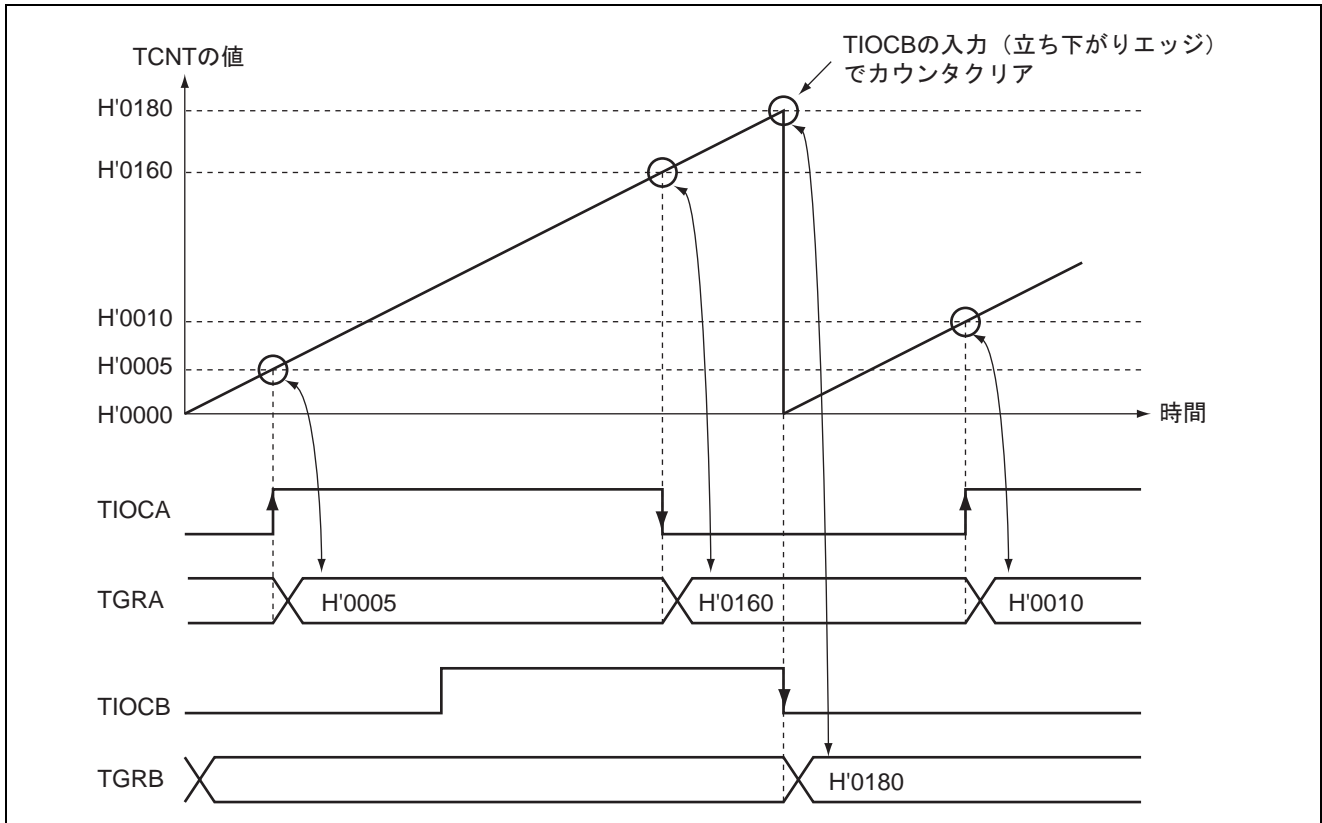


図 11.13 インพุットキャプチャ動作例

11.5.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。
チャンネル 0~2 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 11.14 に示します。

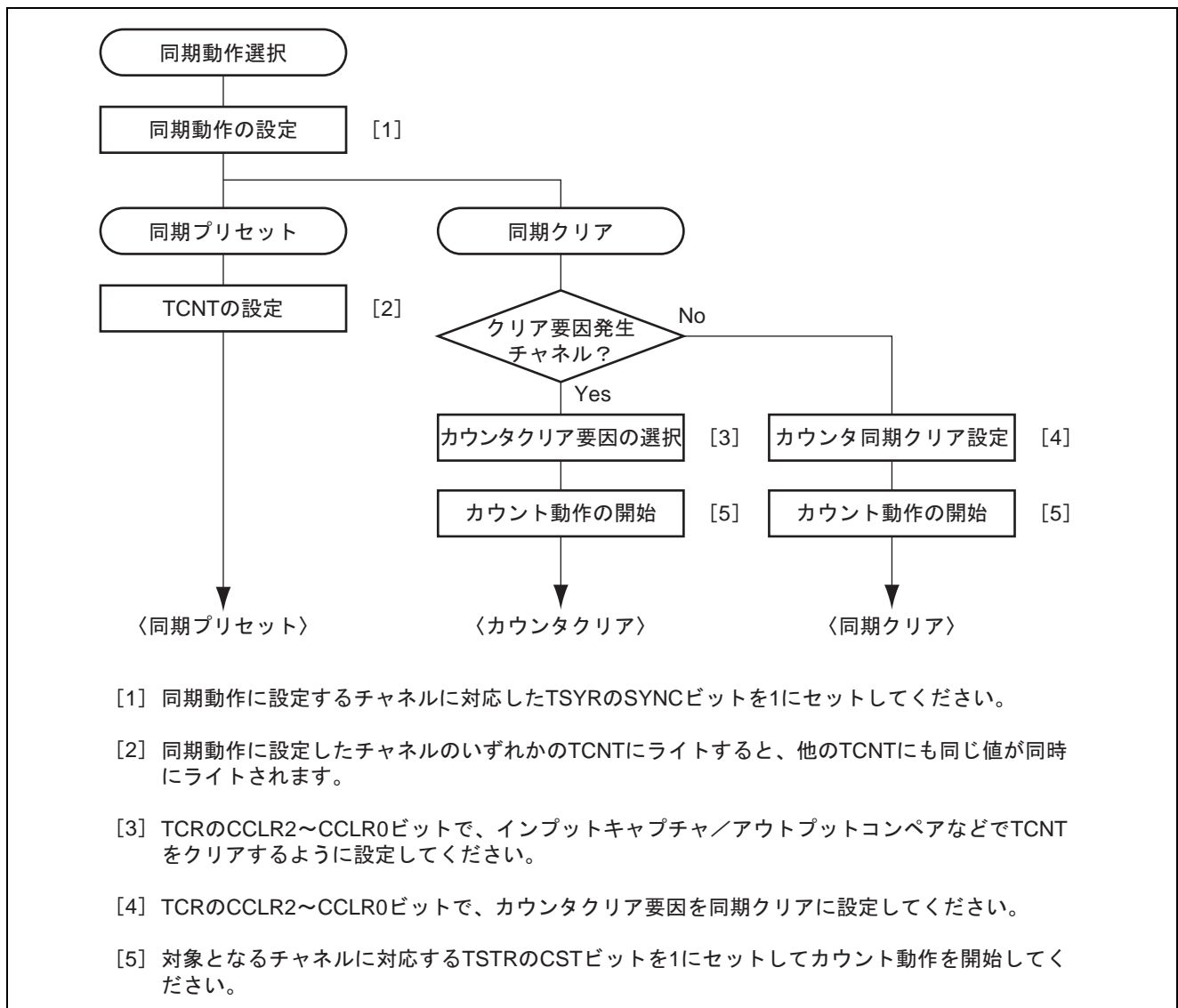


図 11.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 11.15 に示します。

チャンネル 0~2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0~2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「11.5.4 PWM モード」を参照してください。

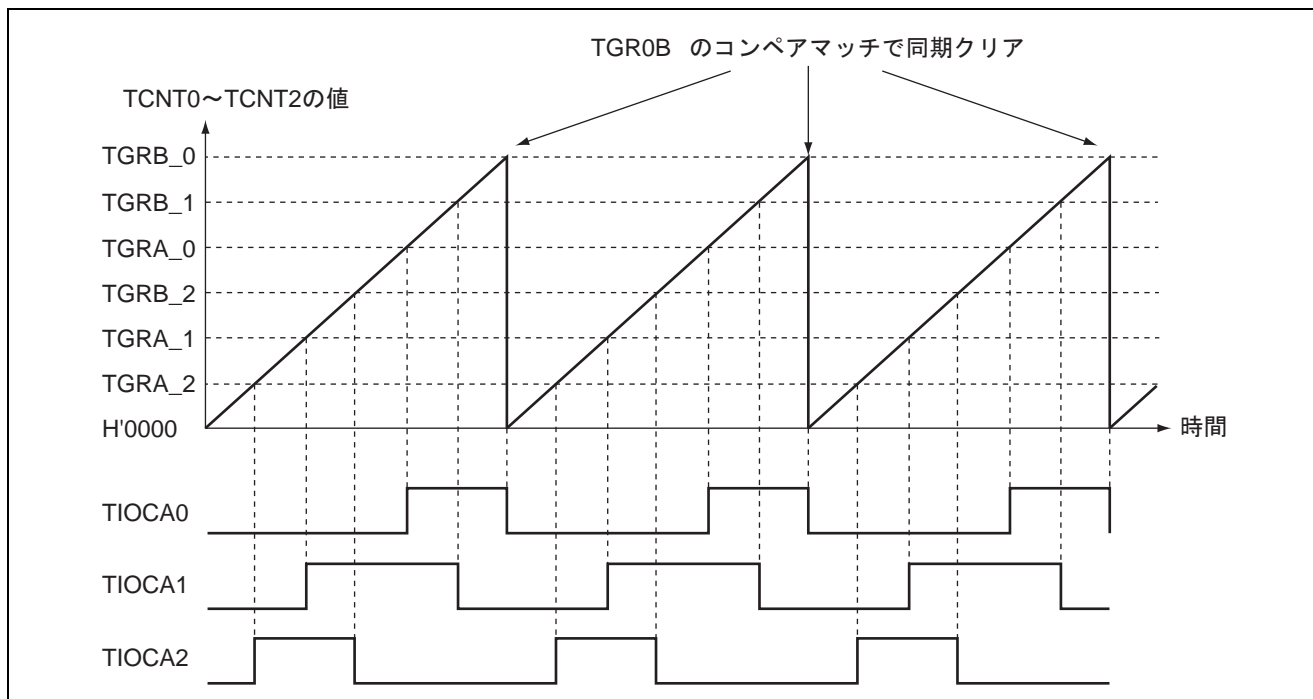


図 11.15 同期動作の動作例

11.5.3 バッファ動作

バッファ動作は、チャンネル 0 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。表 11.18 にバッファ動作時のレジスタの組み合わせを示します。

表 11.18 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0

• TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。この動作を図 11.16 に示します。

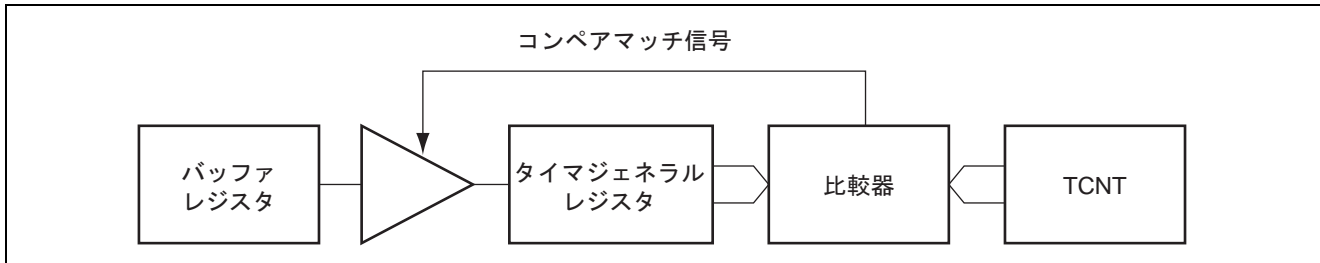


図 11.16 コンペアマッチバッファ動作

• TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイマジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 11.17 に示します。

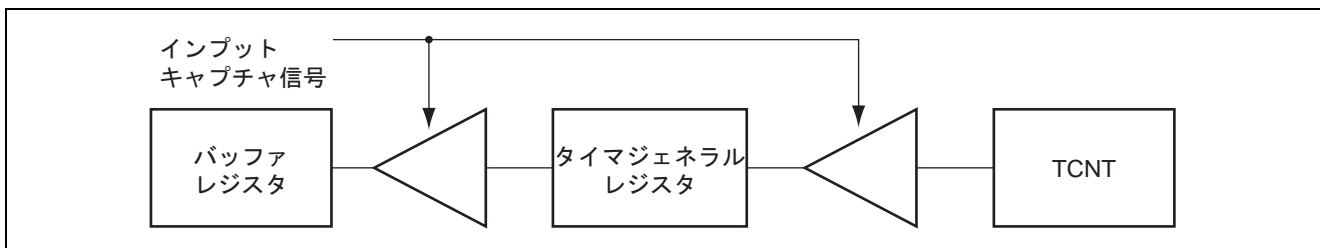


図 11.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.18 に示します。

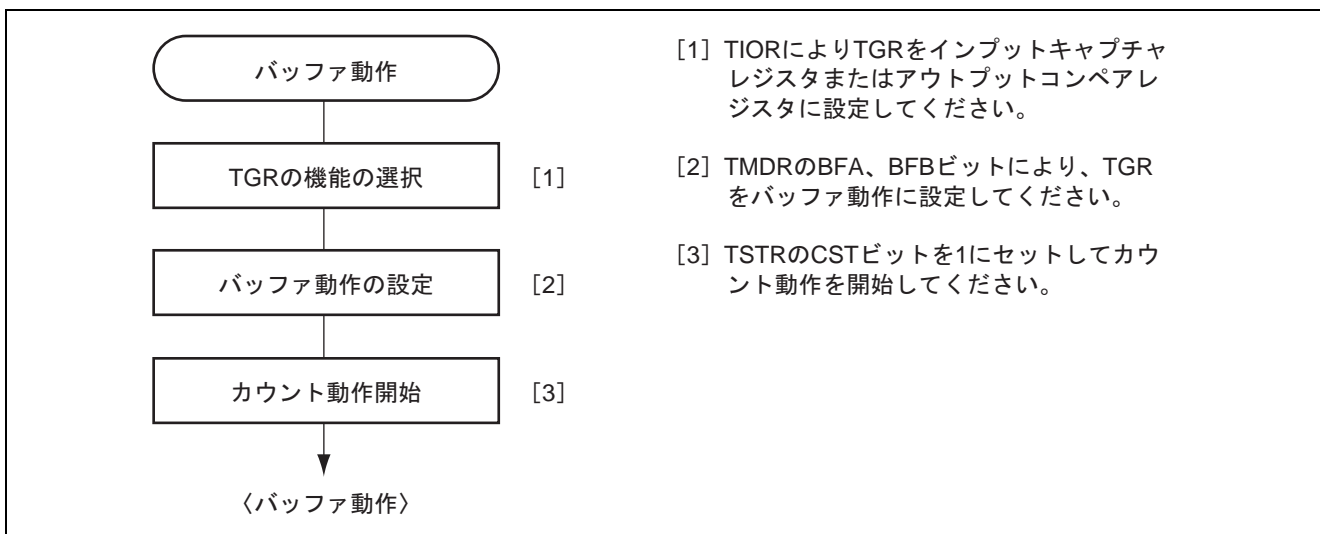


図 11.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図11.19に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「11.5.4 PWMモード」を参照してください。

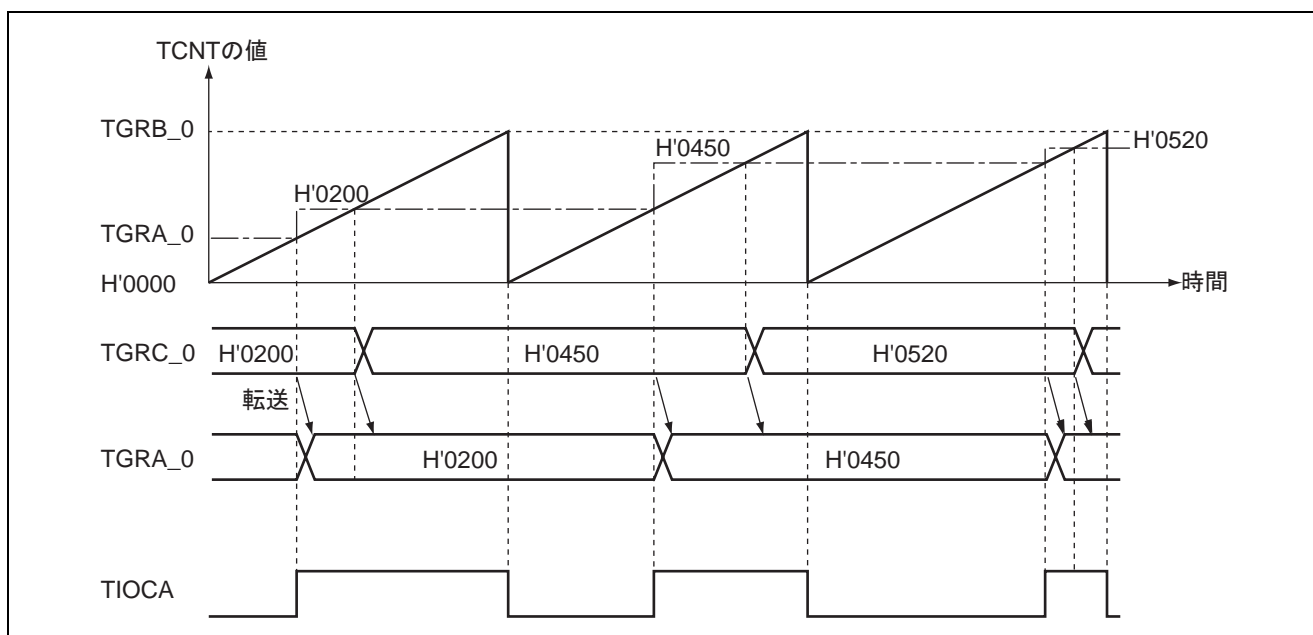


図 11.19 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 11.20 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

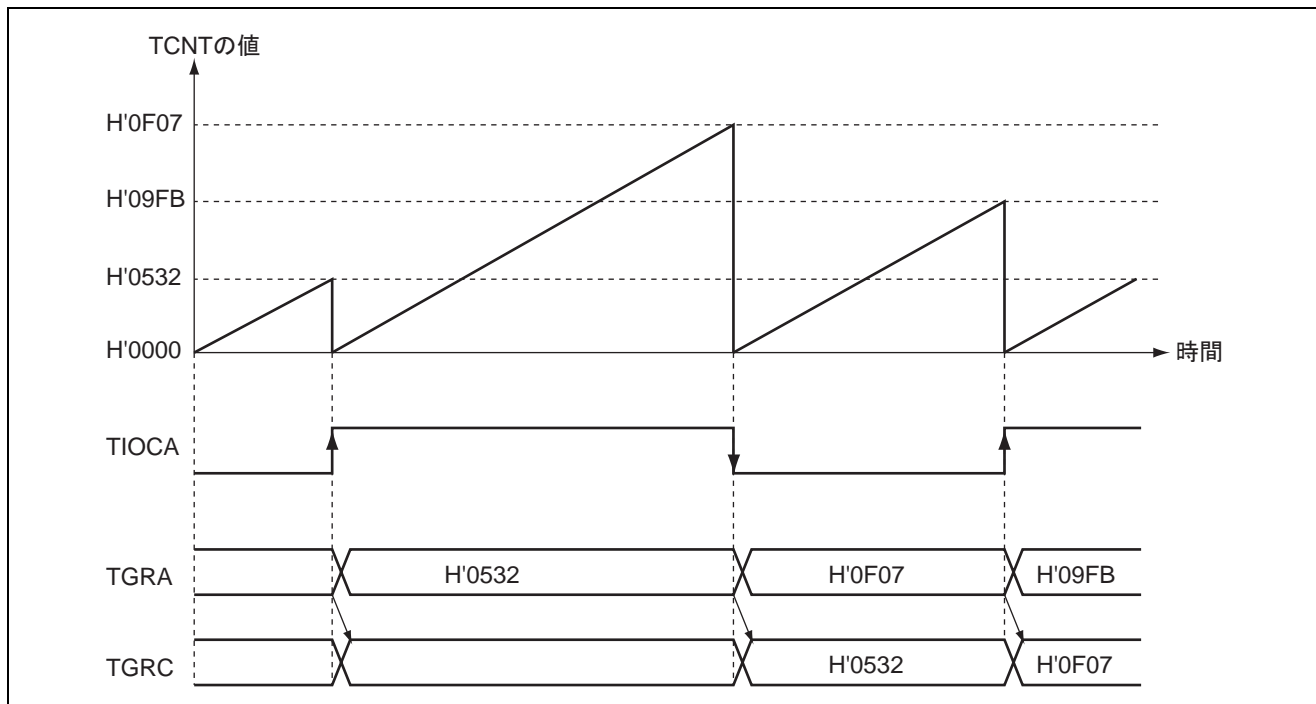


図 11.20 バッファ動作例 (2)

11.5.4 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(1) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 4 相の PWM 出力が可能です。

(2) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 7 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 11.19 に示します。

表 11.19 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2

【注】 PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

(a) PWM モードの設定手順例

PWM モードの設定手順例を図 11.21 に示します。

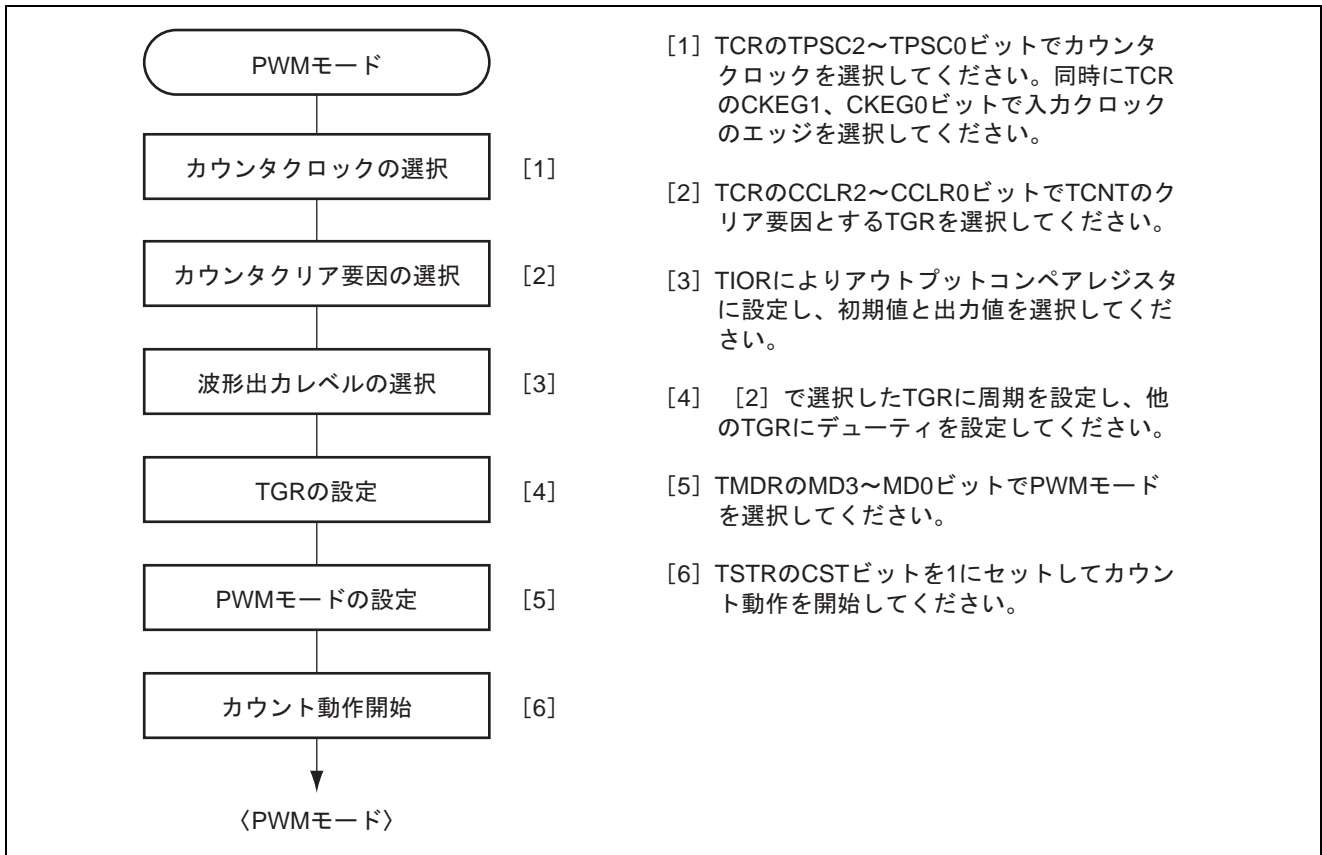


図 11.21 PWM モードの設定手順例

(b) PWM モードの動作例

PWM モード1 の動作例を図 11.22 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

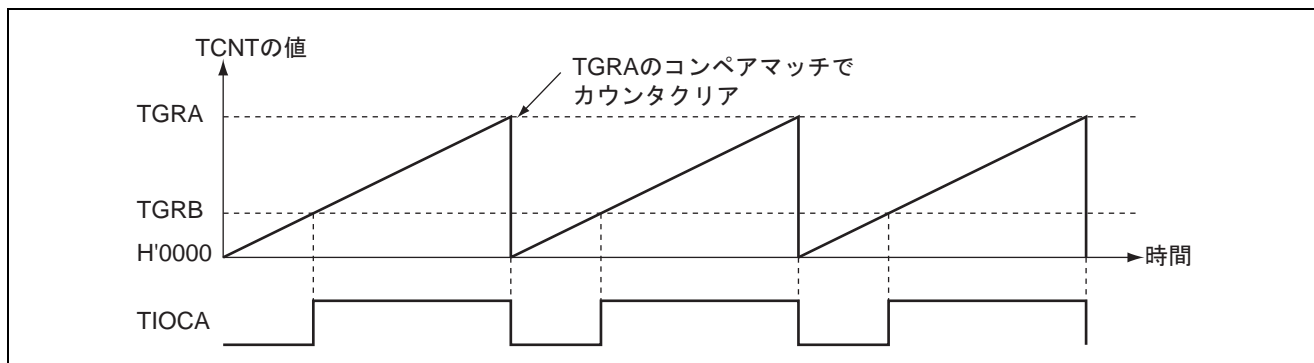


図 11.22 PWM モードの動作例 (1)

PWM モード2 の動作例を図 11.23 に示します。

この図は、チャンネル0 と1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

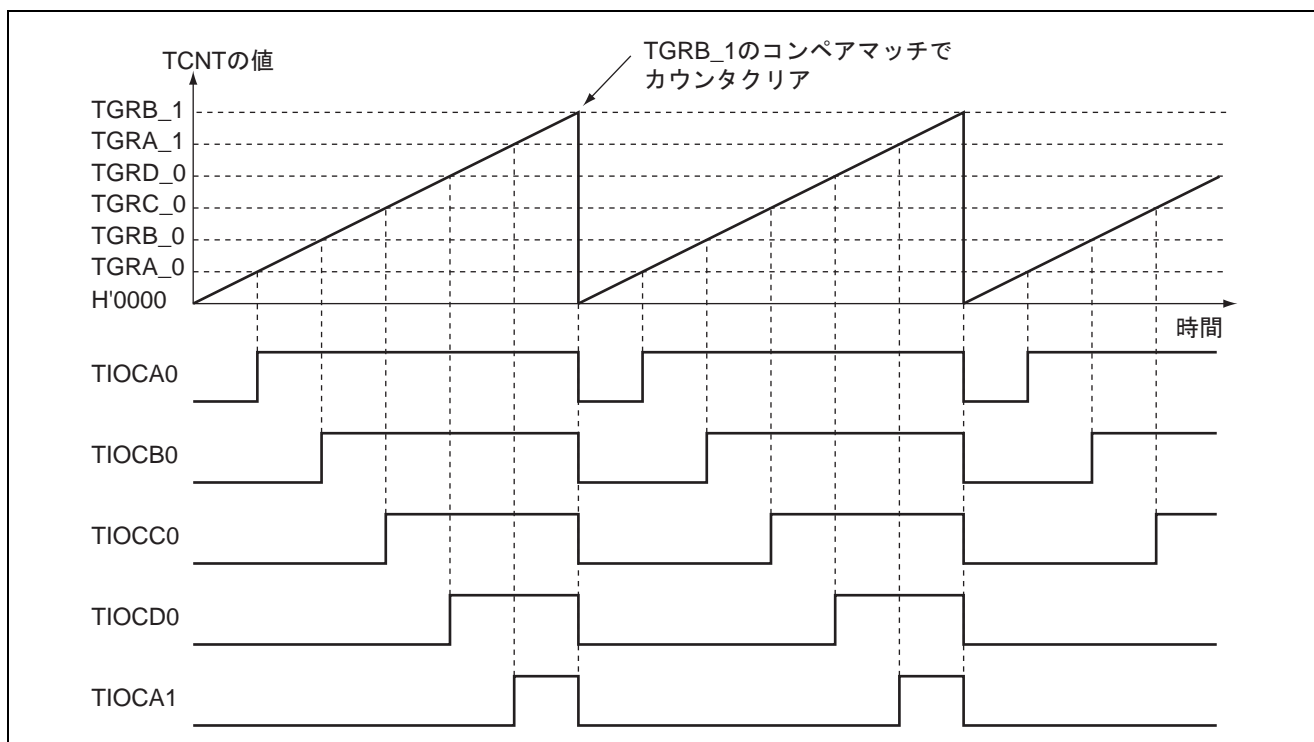


図 11.23 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 11.24 に示します。

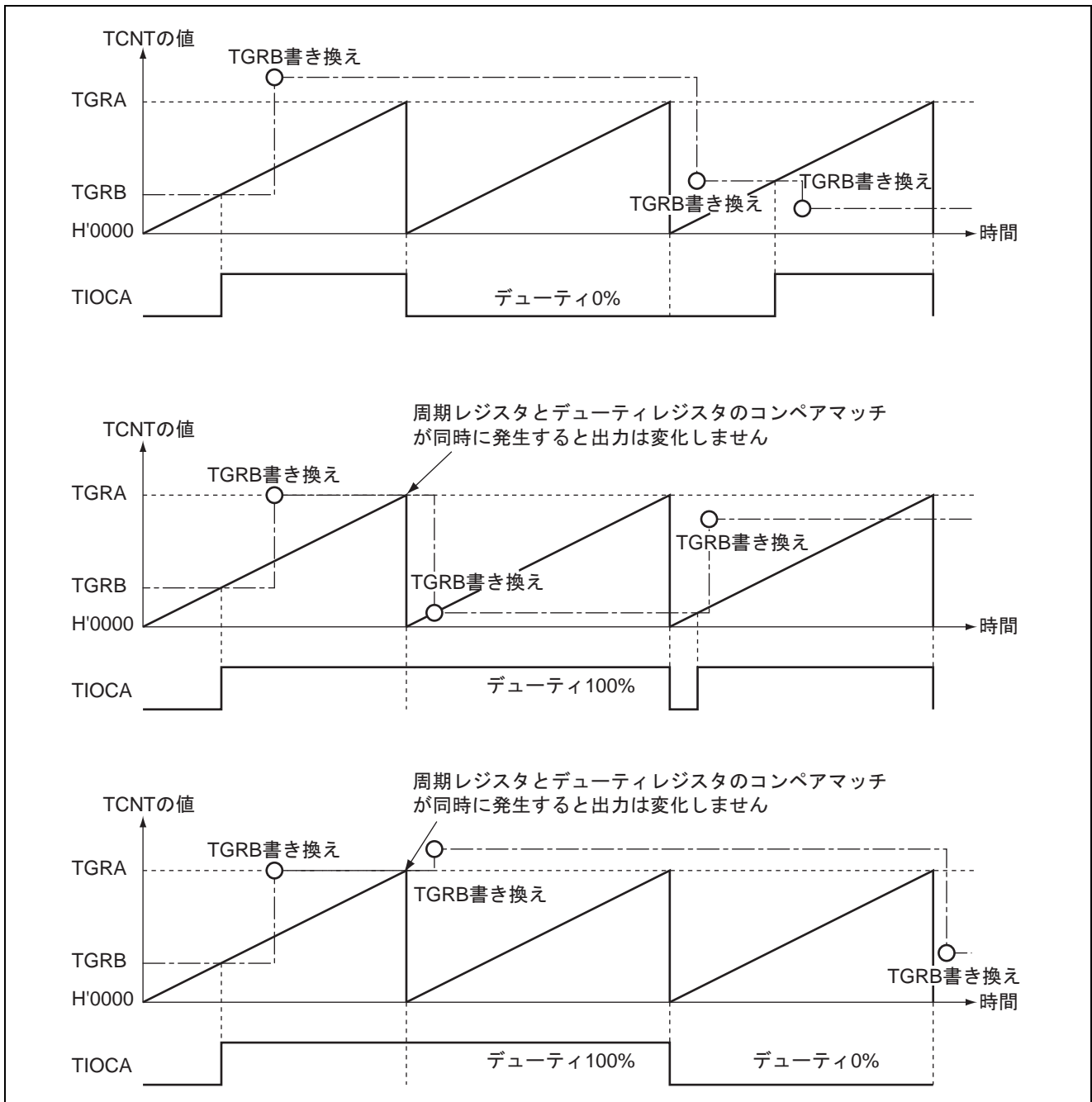


図 11.24 PWM モード動作例 (3)

11.5.5 位相計数モード

位相計数モードは、チャンネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2~TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 11.20 に外部クロック端子とチャンネルの対応を示します。

表 11.20 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.25 に示します。

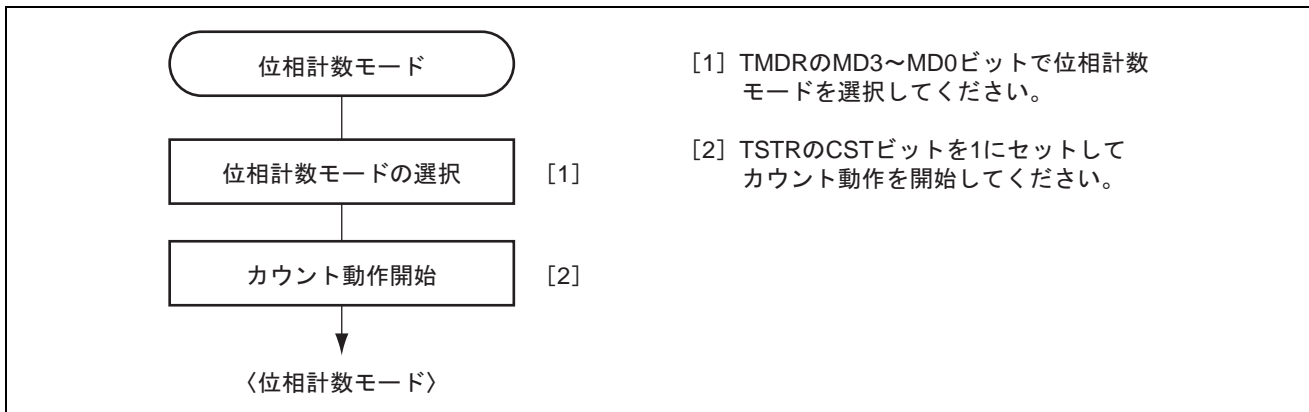


図 11.25 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ/ダウンカウントします。また、カウント条件により 4つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 11.26 に、TCNT のアップ/ダウンカウント条件を表 11.21 に示します。

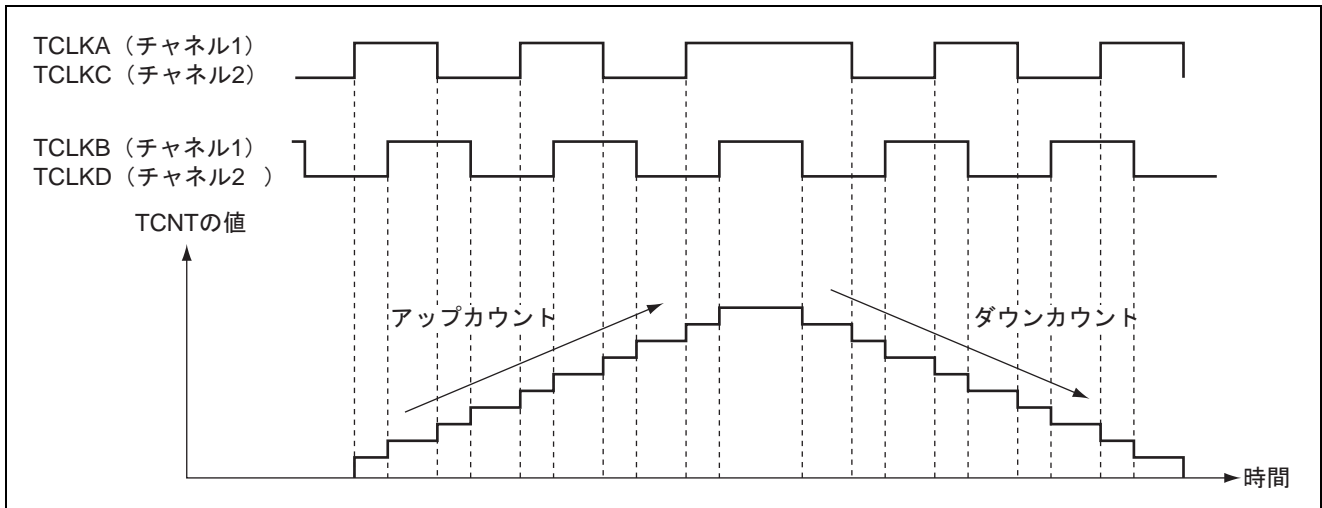


図 11.26 位相計数モード 1 の動作例

表 11.21 位相計数モード 1 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 11.27 に、TCNT のアップ/ダウンカウント条件を表 11.22 に示します。

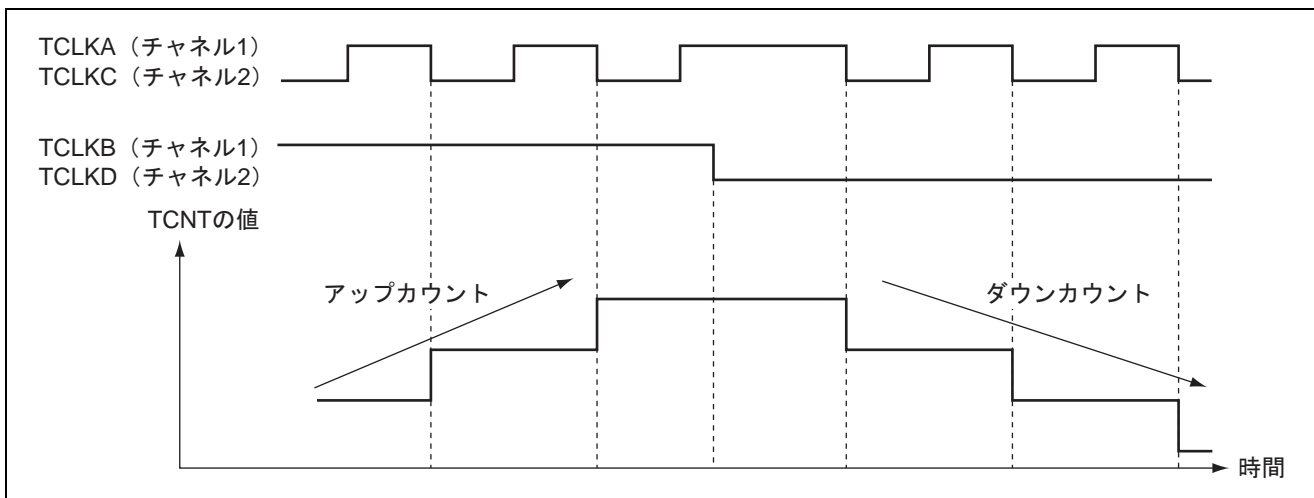


図 11.27 位相計数モード 2 の動作例

表 11.22 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.28 に、TCNT のアップ/ダウンカウント条件を表 11.23 に示します。

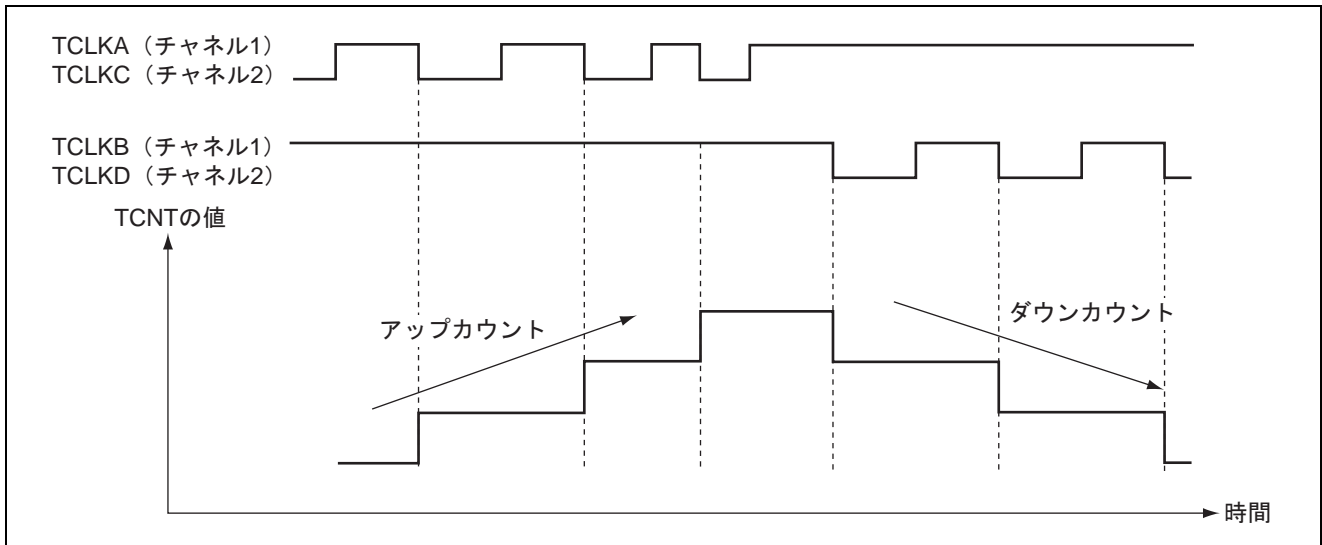


図 11.28 位相計数モード 3 の動作例

表 11.23 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.29 に、TCNT のアップ/ダウンカウント条件を表 11.24 に示します。

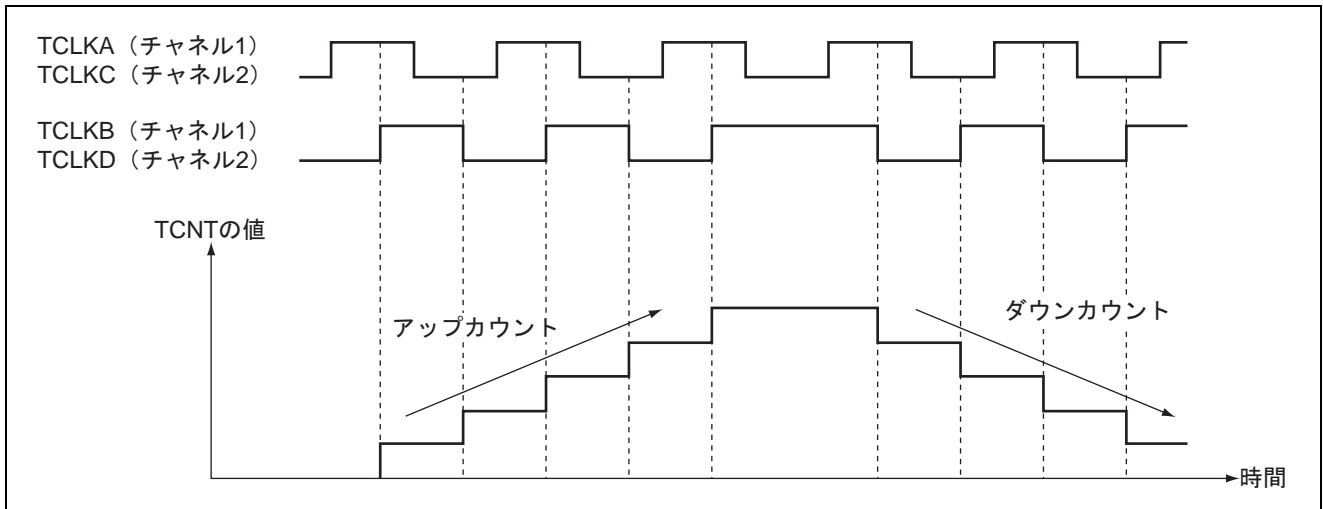


図 11.29 位相計数モード 4 の動作例

表 11.24 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1) TCLKC (チャンネル 2)	TCLKB (チャンネル 1) TCLKD (チャンネル 2)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

11.6 割り込み要因

11.6.1 割り込み要因と優先順位

TPU の割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可/禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第 7 章 割り込みコントローラ」を参照してください。

表 11.25 に TPU の割り込み要因の一覧を示します。

表 11.25 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込みフラグ	優先順位*
0	TGI0A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA	高 ↑ ↓ 低
	TGI0B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB	
	TGI0C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC	
	TGI0D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD	
	TCI0V	TCNT_0 のオーバフロー	TCFV	
1	TGI1A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA	
	TGI1B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB	
	TCI1V	TCNT_1 のオーバフロー	TCFV	
	TCI1U	TCNT_1 のアンダフロー	TCFU	
2	TGI2A	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA	
	TGI2B	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB	
	TCI2V	TCNT_2 のオーバフロー	TCFV	
	TCI2U	TCNT_2 のアンダフロー	TCFU	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0 に各 4 本、チャンネル 1、2 に各 2 本、計 8 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 3 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

11.6.2 A/D 変換器の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチによって、A/D 変換器を起動できます。

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 3 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

11.7 動作タイミング

11.7.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.30 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.31 に示します。

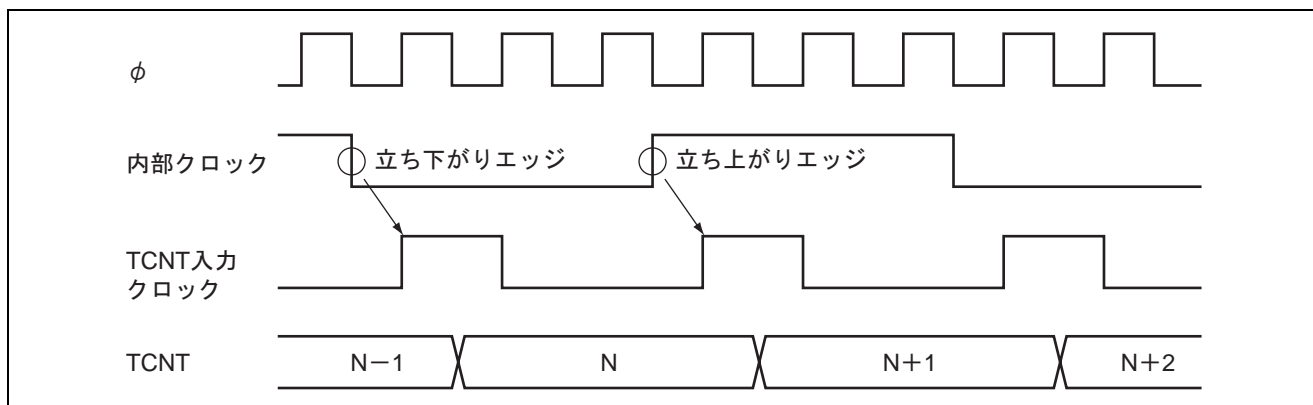


図 11.30 内部クロック動作時のカウントタイミング

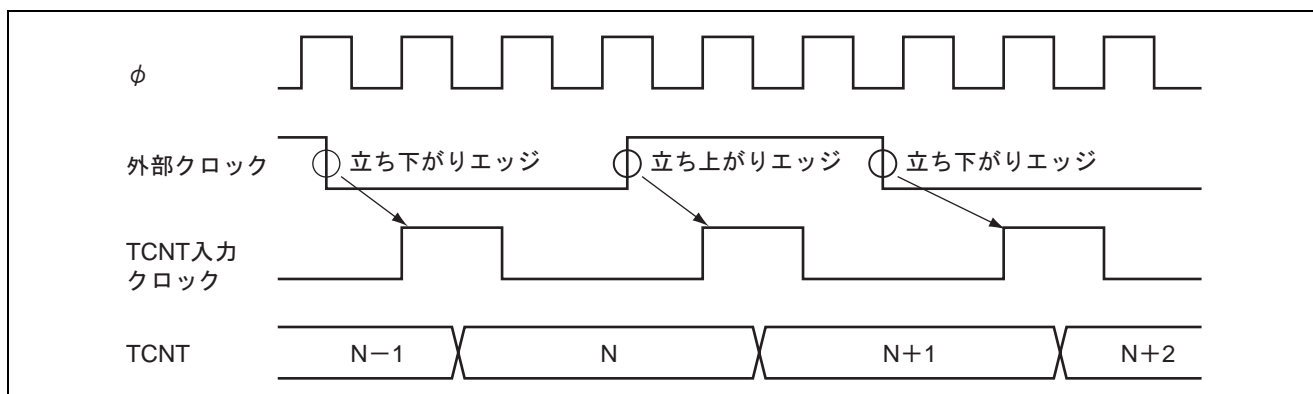


図 11.31 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOB で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 11.32 に示します。

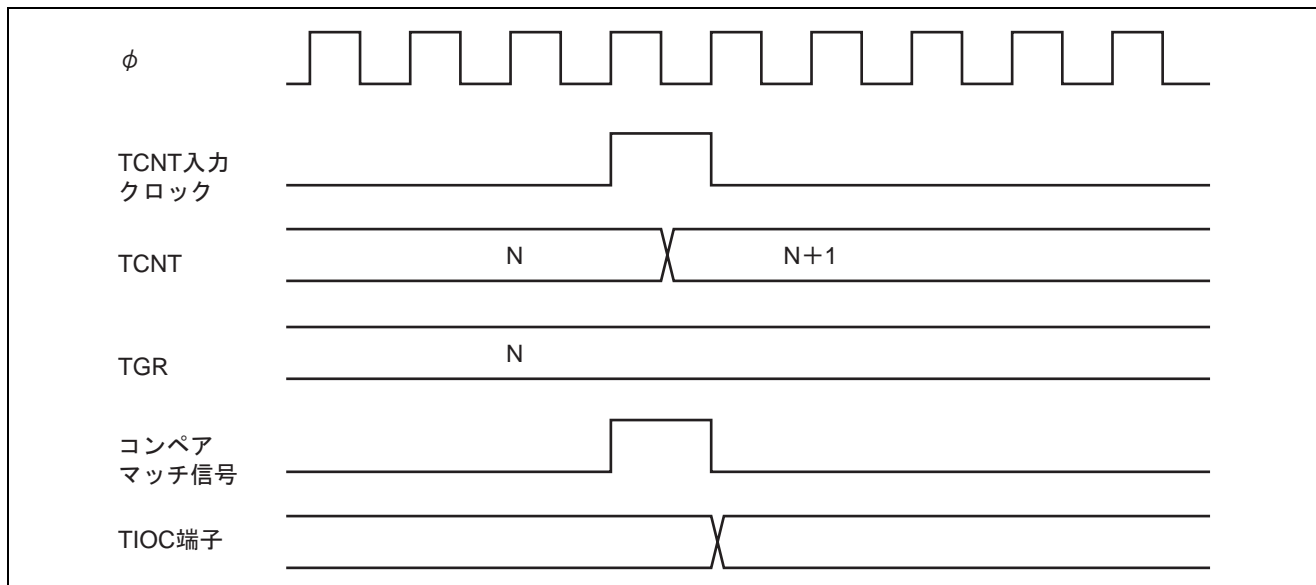


図 11.32 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 11.33 に示します。

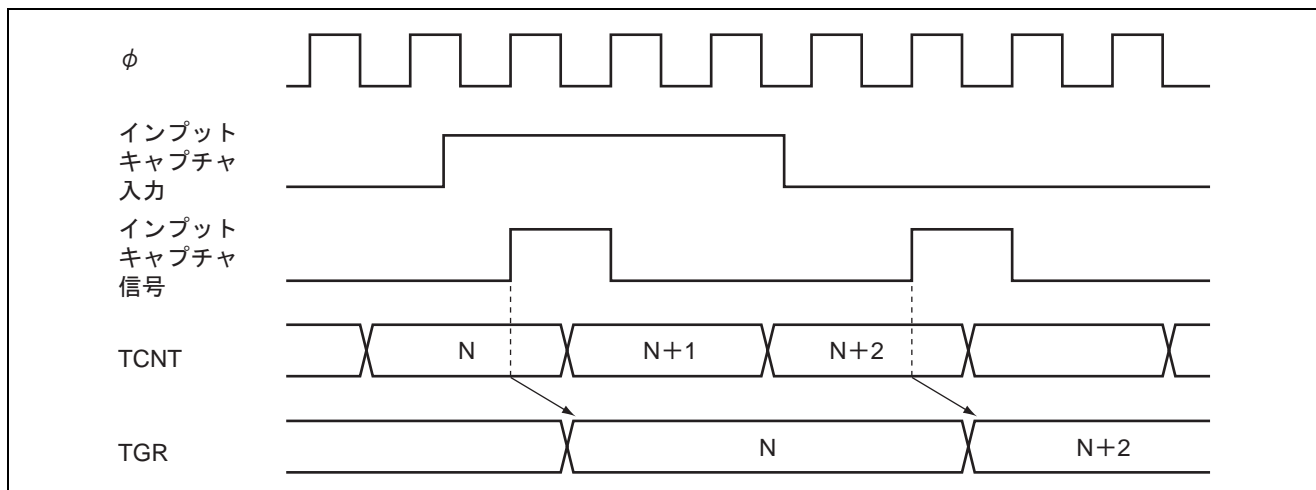


図 11.33 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.35 に示します。

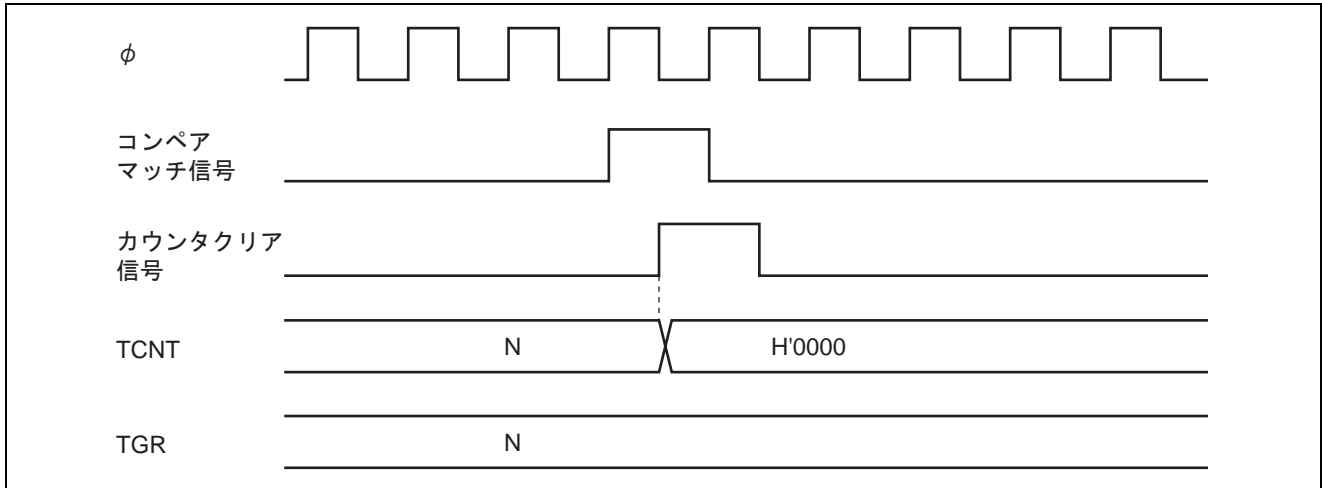


図 11.34 カウンタクリアタイミング (コンペアマッチ)

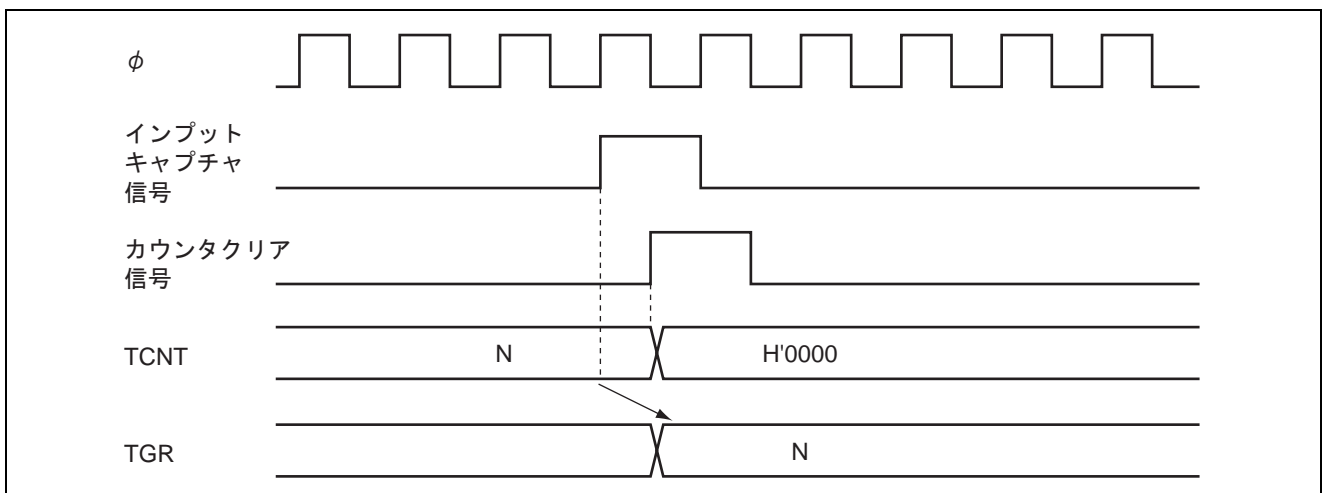


図 11.35 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.36、図 11.37 に示します。

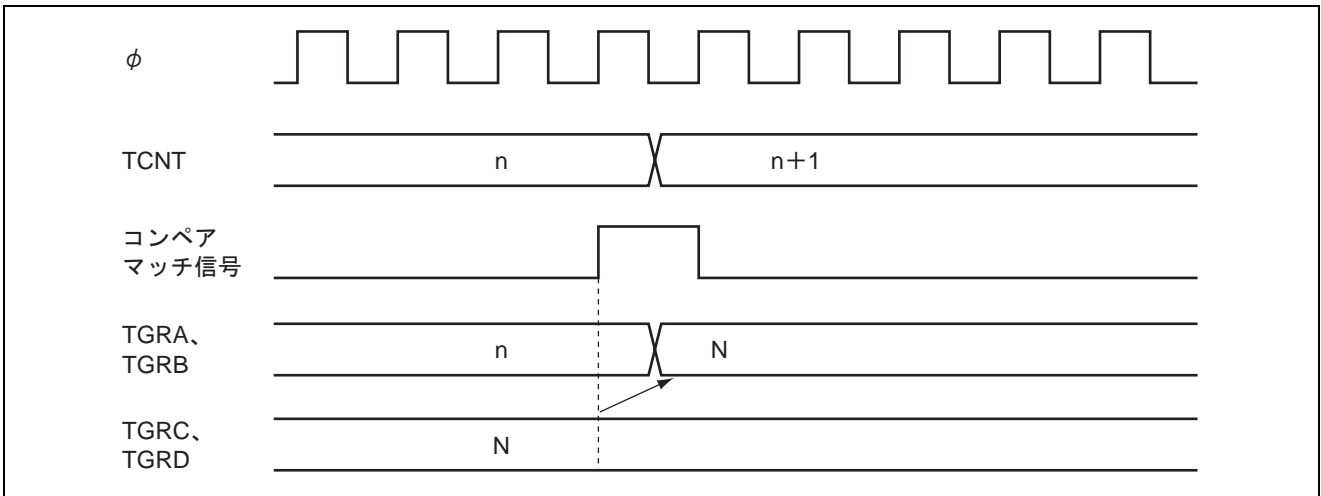


図 11.36 バッファ動作タイミング (コンペアマッチ)

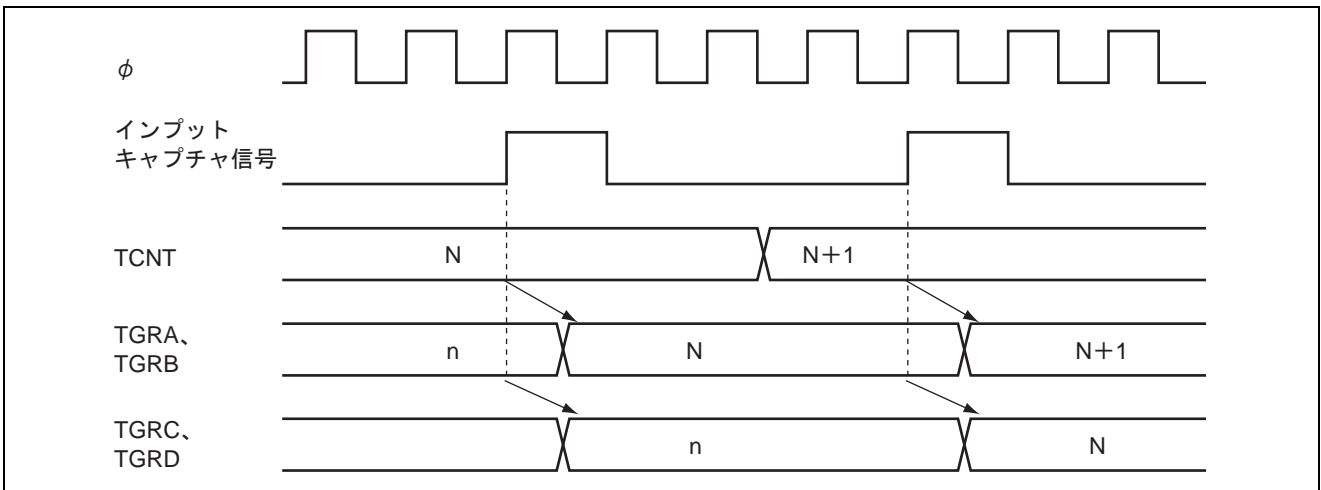


図 11.37 バッファ動作タイミング (入力キャプチャ)

11.7.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.38 に示します。

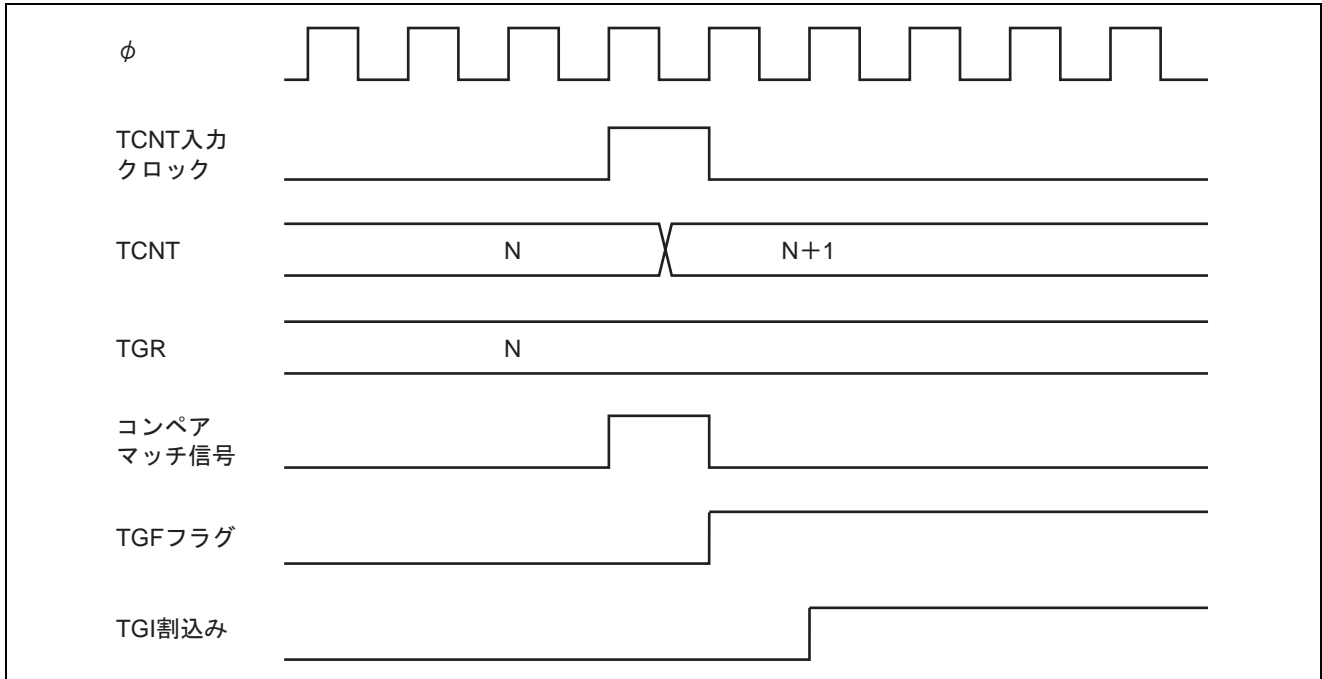


図 11.38 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.39 に示します。

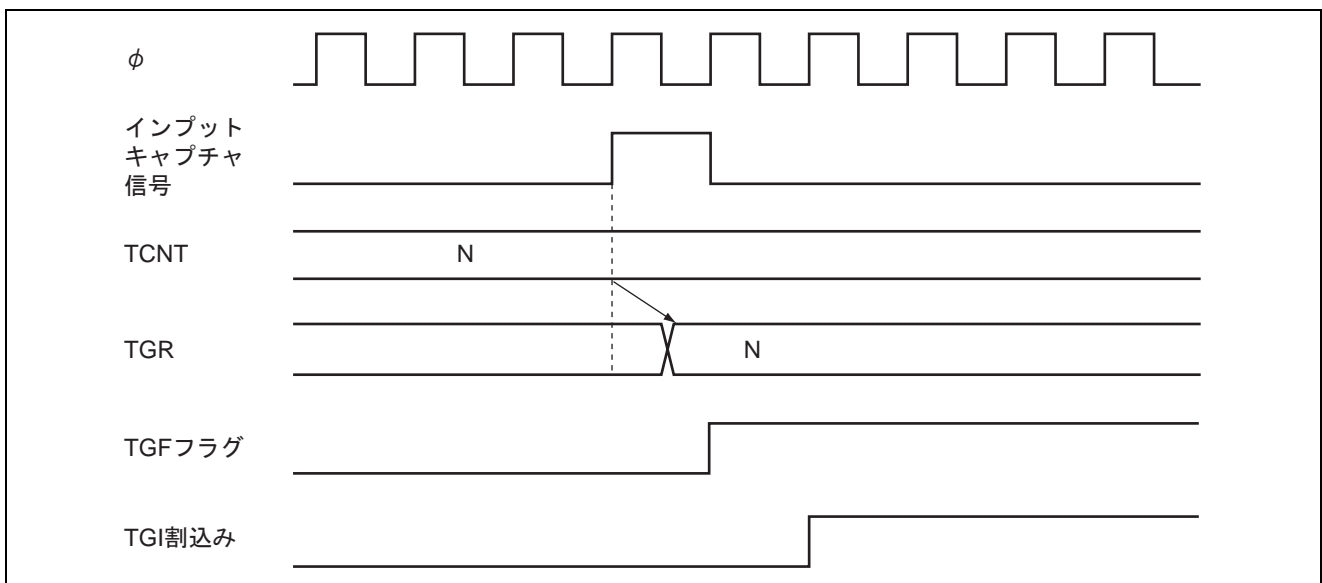


図 11.39 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.41 に示します。

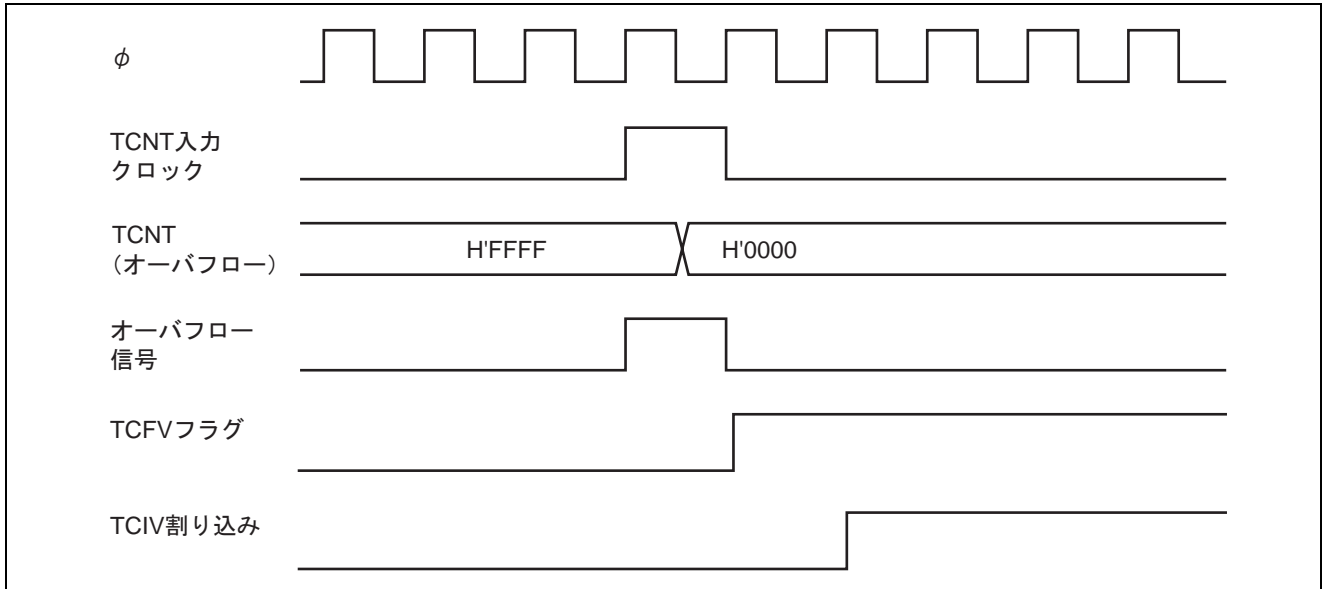


図 11.40 TCIV 割り込みのセットタイミング

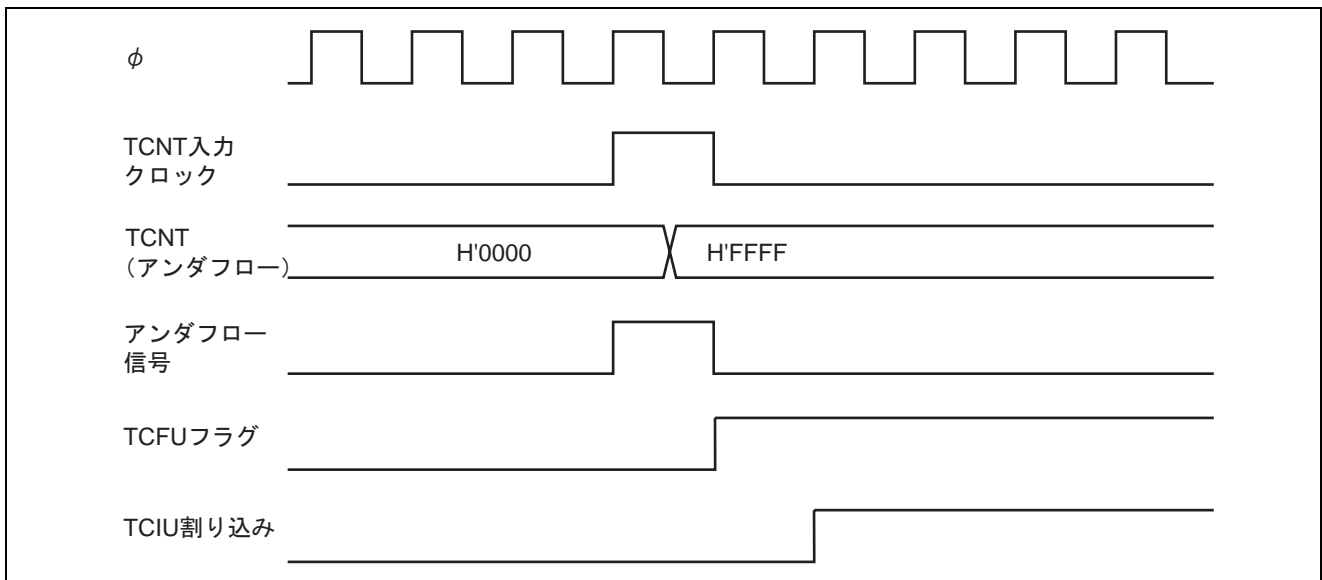


図 11.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。CPUによるステータスフラグのクリアタイミングを図 11.42 に示します。

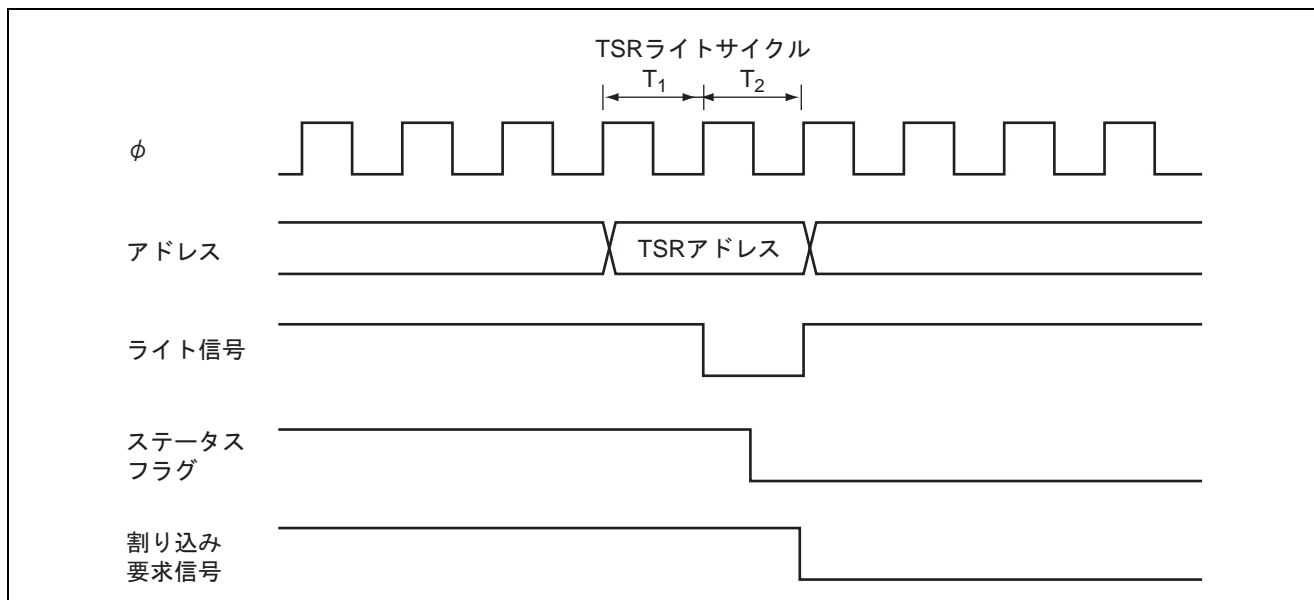


図 11.42 CPUによるステータスフラグのクリアタイミング

11.8 使用上の注意事項

11.8.1 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.43 に示します。

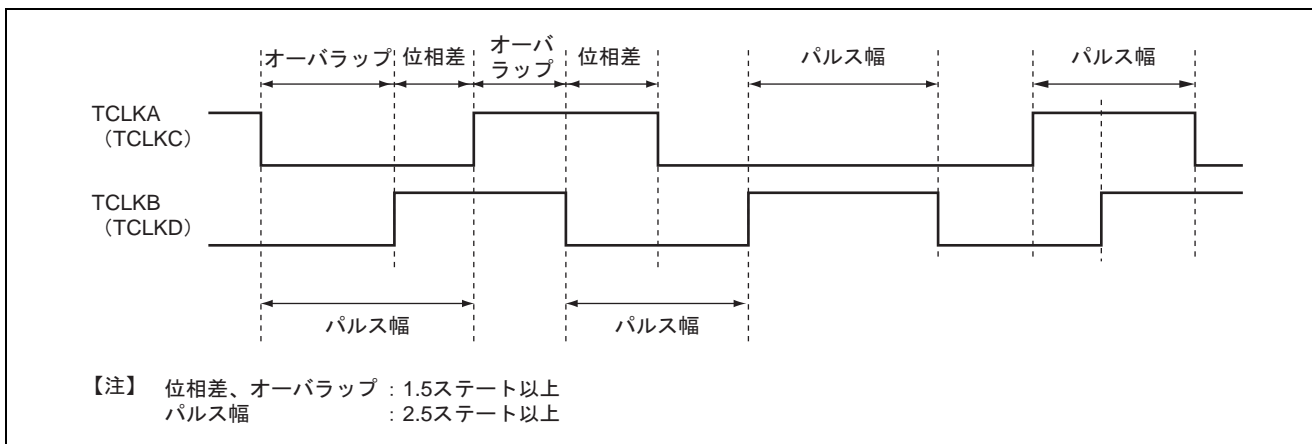


図 11.43 位相計数モード時の位相差、オーバーラップ、およびパルス幅

11.8.2 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

- f : カウンタ周波数
- φ : 動作周波数
- N : TGR の設定値

11.8.3 TCNT のライトとクリアの競合

TCNT のライトサイクル中の T_2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。

このタイミングを図 11.44 に示します。

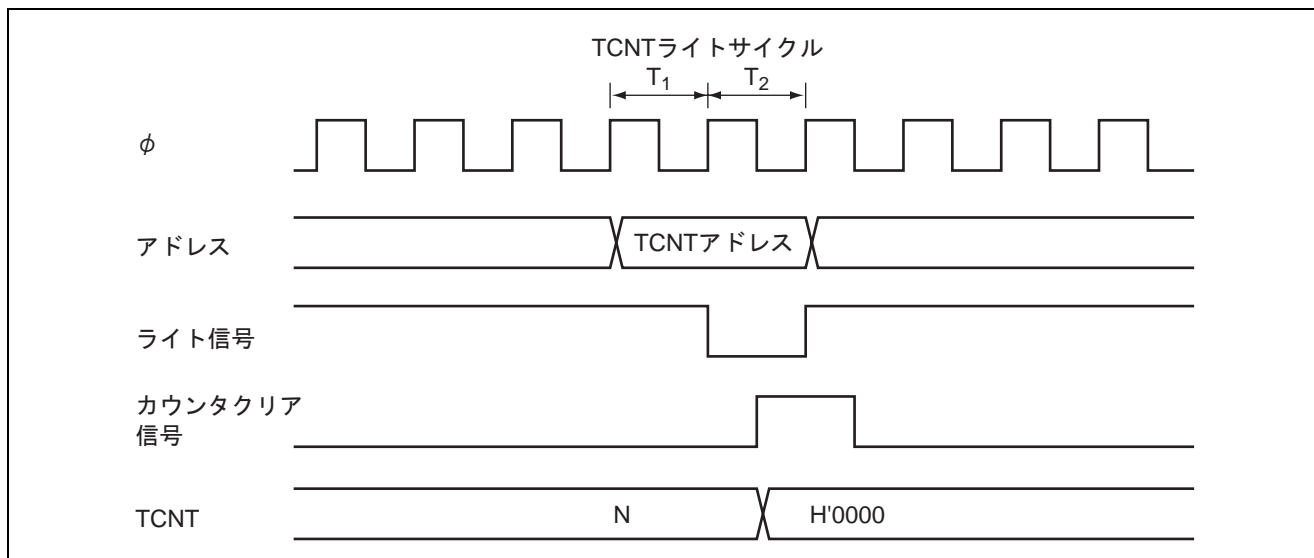


図 11.44 TCNT のライトとクリアの競合

11.8.4 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 11.45 に示します。

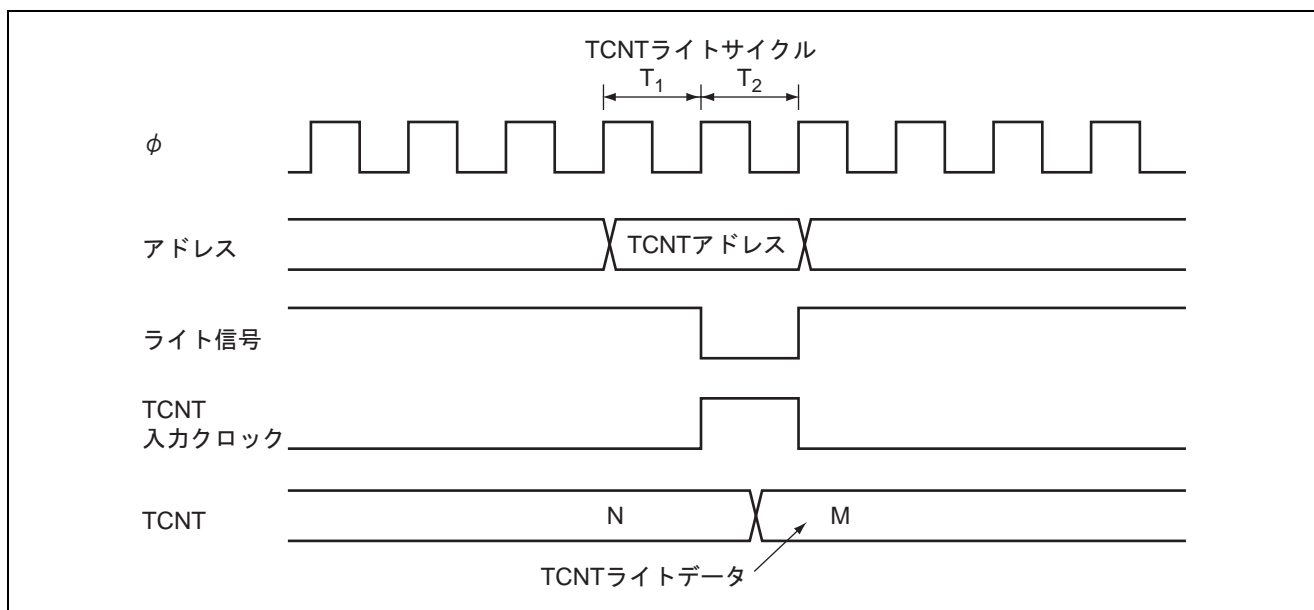


図 11.45 TCNT のライトとカウントアップの競合

11.8.5 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。このタイミングを図 11.46 に示します。

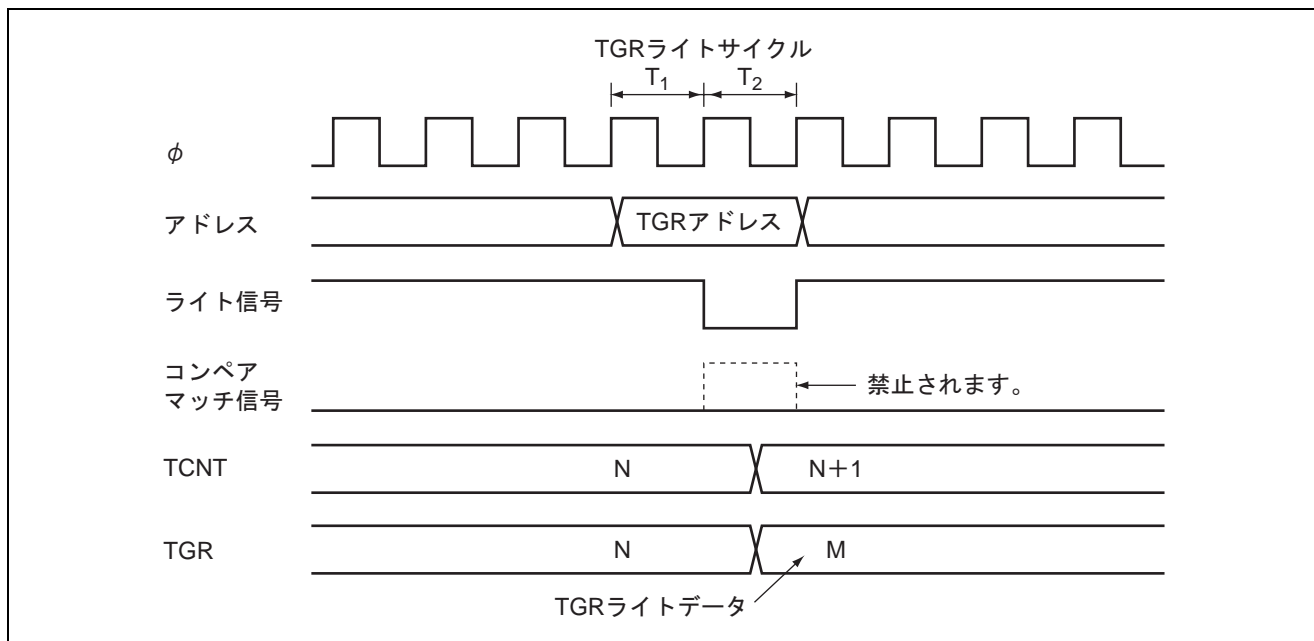


図 11.46 TGR のライトとコンペアマッチの競合

11.8.6 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。このタイミングを図 11.47 に示します。

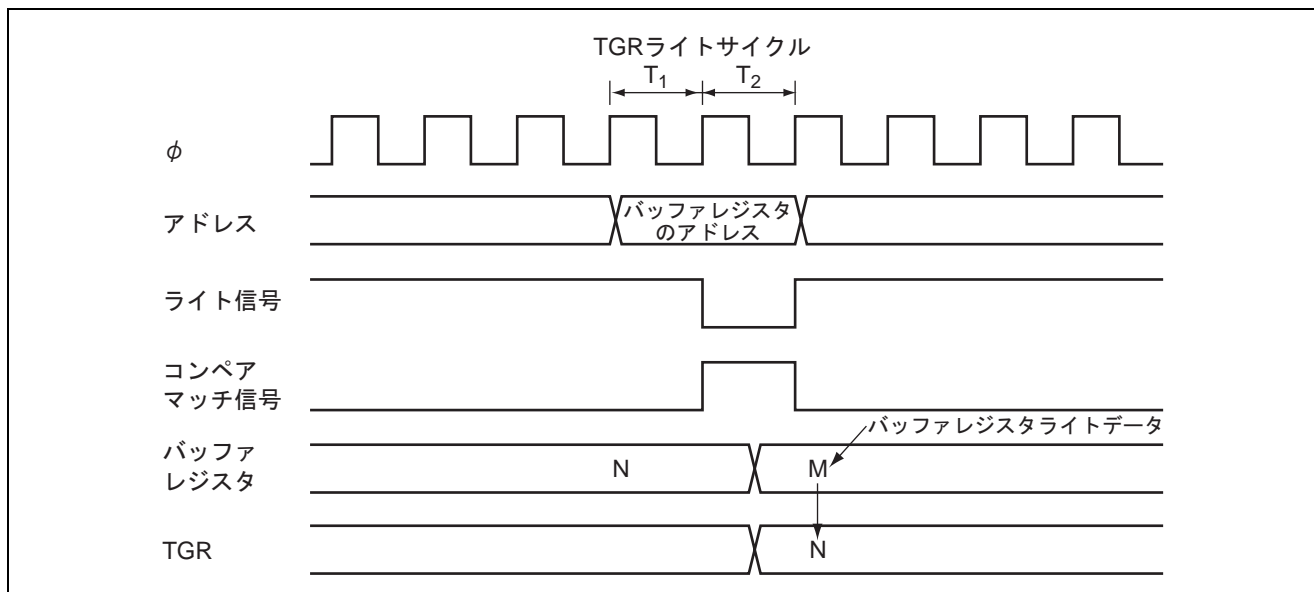


図 11.47 バッファレジスタのライトとコンペアマッチの競合

11.8.7 TGR のリードと入力キャプチャの競合

TGR のリードサイクル中の T_1 ステートで入力キャプチャ信号が発生すると、リードされるデータは入力キャプチャ転送後のデータとなります。

このタイミングを図 11.48 に示します。

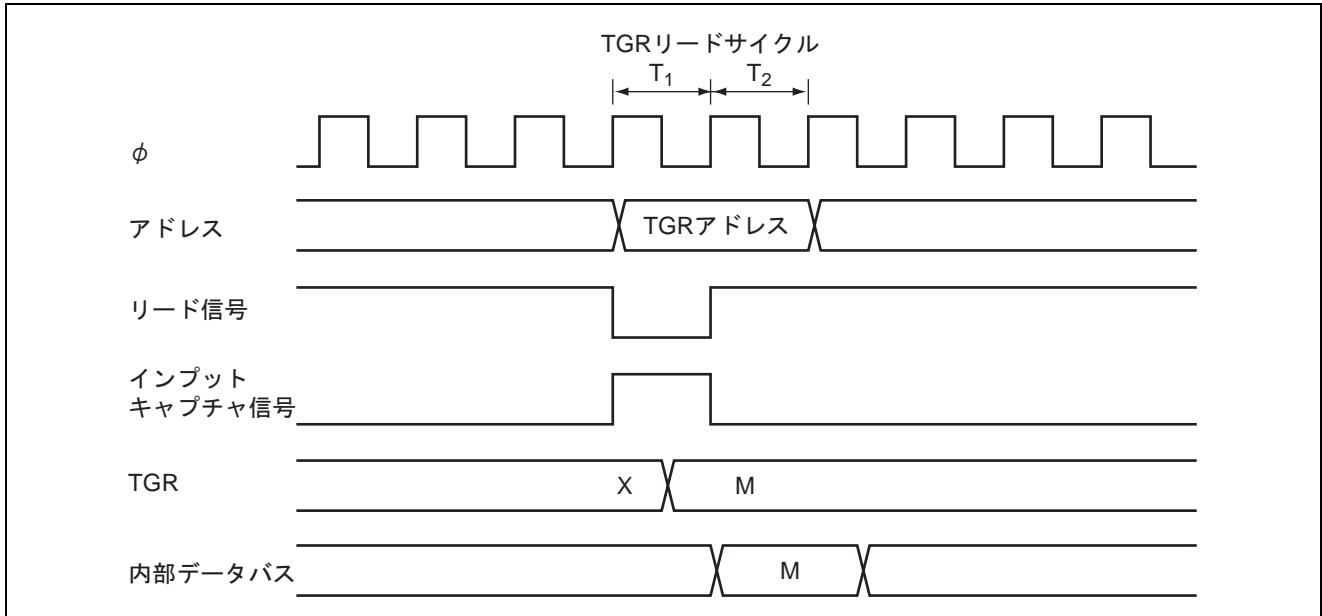


図 11.48 TGR のリードと入力キャプチャの競合

11.8.8 TGR のライトと入力キャプチャの競合

TGR のライトサイクル中の T_2 ステートで入力キャプチャ信号が発生すると、TGR へのライトは行われず、入力キャプチャが優先されます。

このタイミングを図 11.49 に示します。

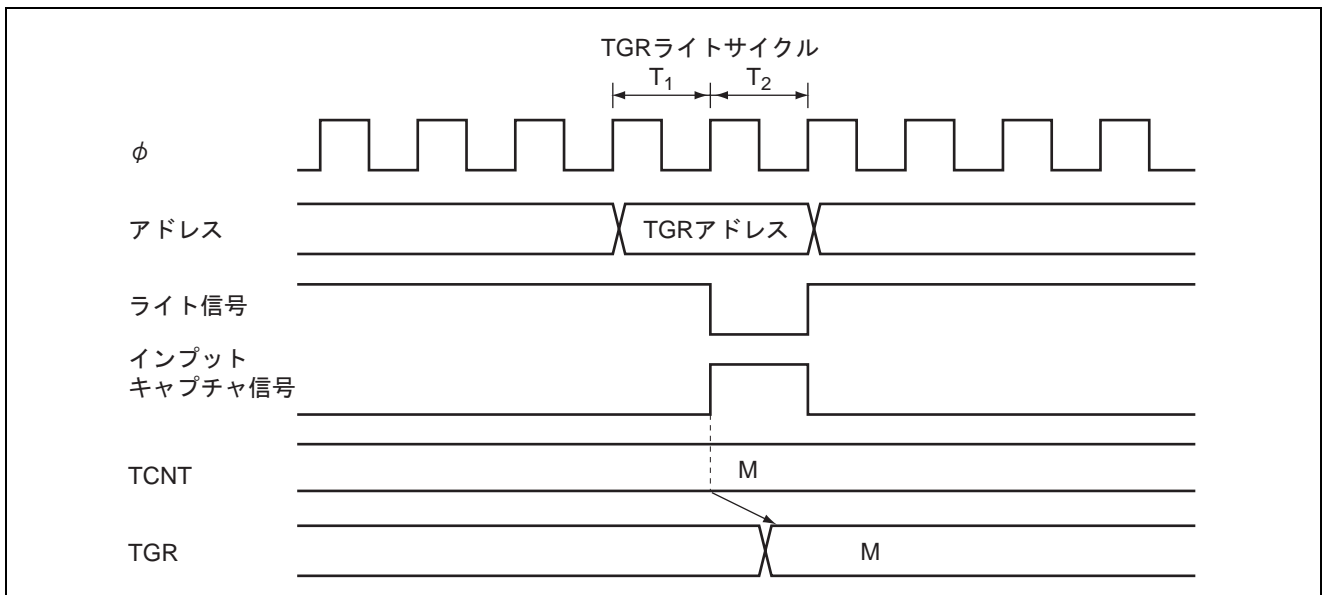


図 11.49 TGR のライトと入力キャプチャの競合

11.8.9 バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T₂ ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 11.50 に示します。

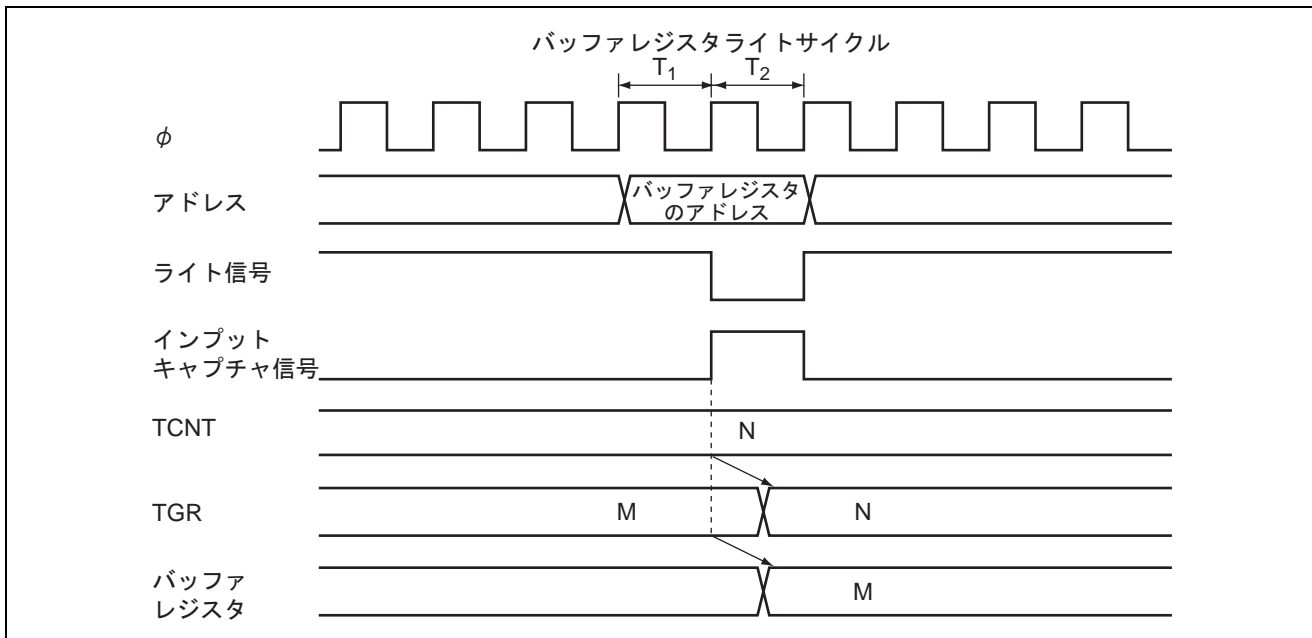


図 11.50 バッファレジスタのライトとインプットキャプチャの競合

11.8.10 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.51 に示します。

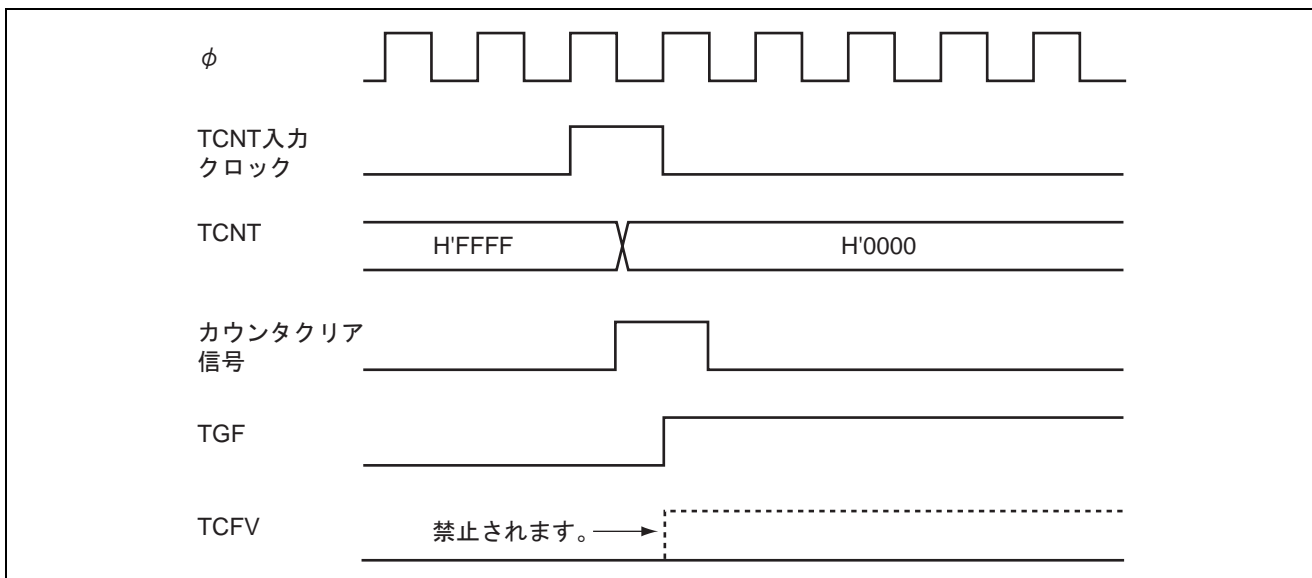


図 11.51 オーバフローとカウンタクリアの競合

11.8.11 TCNT のライトとオーバーフロー／アンダフローの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップ／カウントダウンが発生し、オーバーフロー／アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 11.52 に示します。

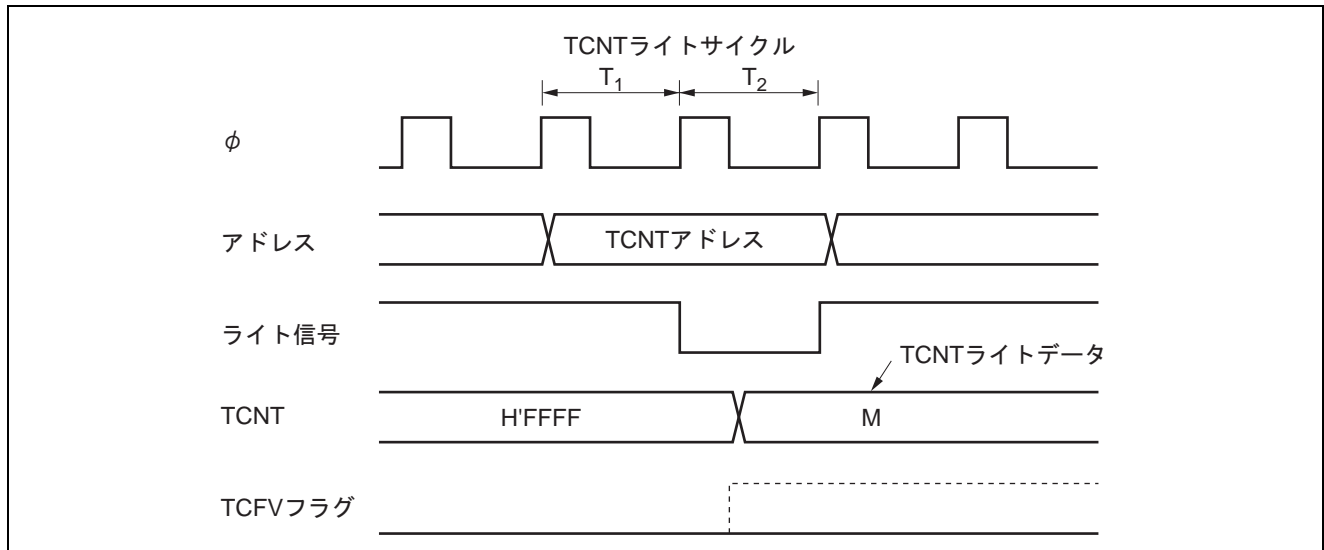


図 11.52 TCNT のライトとオーバーフローの競合

11.8.12 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

11.8.13 モジュールストップモード時の設定

モジュールストップコントロールレジスタにより、TPU の動作停止／許可を設定することが可能です。初期値では TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 29 章 低消費電力状態」を参照してください。

12. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 4 チャンネルの 8 ビットタイマ (TMR_0、TMR_1、TMR_Y、TMR_X) を内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

12.1 特長

- クロックを選択可能
6 種類の内部クロックと、外部クロックのうちから選択できます。
- カウンタのクリア指定が可能
コンペアマッチ A、コンペアマッチ B、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能
TMR_0、TMR_1 のカスケード接続：
TMR_0 を上位、TMR_1 を下位とする 16 ビットタイマとして動作可能です。(16 ビットカウントモード)
TMR_1 は TMR_0 のコンペアマッチをカウント可能です。(コンペアマッチカウントモード)
TMR_Y、TMR_X のカスケード接続：
TMR_Y を上位、TMR_X を下位とする 16 ビットタイマとして動作可能です。
(16 ビットカウントモード)
TMR_X は TMR_Y のコンペアマッチをカウント可能です。(コンペアマッチカウントモード)
- 複数の割り込み要因
TMR_0、TMR_1、TMR_Y：コンペアマッチ A、コンペアマッチ B、オーバフローの 3 種類があります。
TMR_X：コンペアマッチ A、コンペアマッチ B、オーバフロー、インプットキャプチャの 4 種類があります。

8ビットタイマのブロック図を図12.1、図12.2に示します。
 TMR_Xには、入力キャプチャ機能が追加されています。

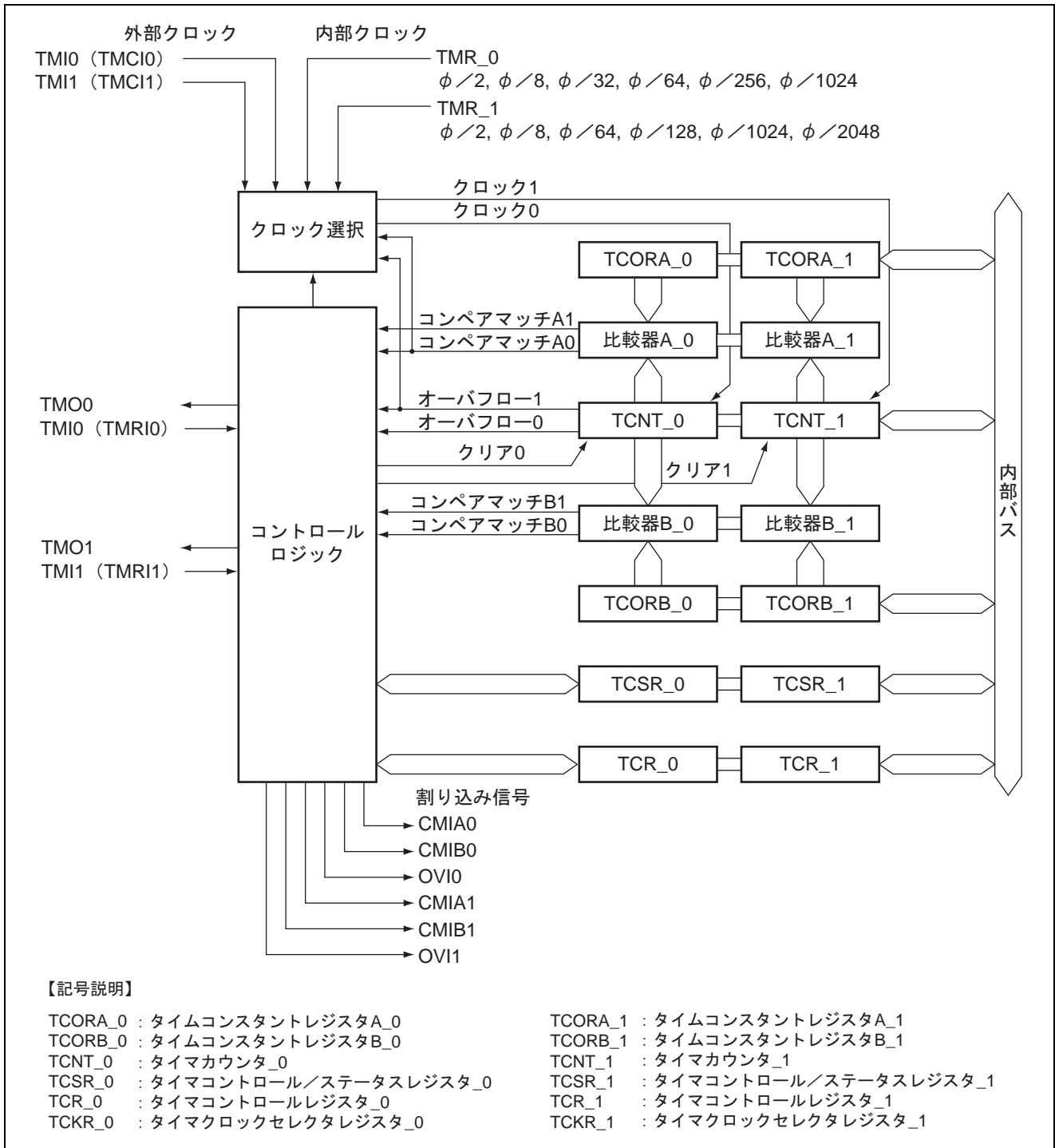


図12.1 8ビットタイマ (TMR_0、TMR_1) のブロック図

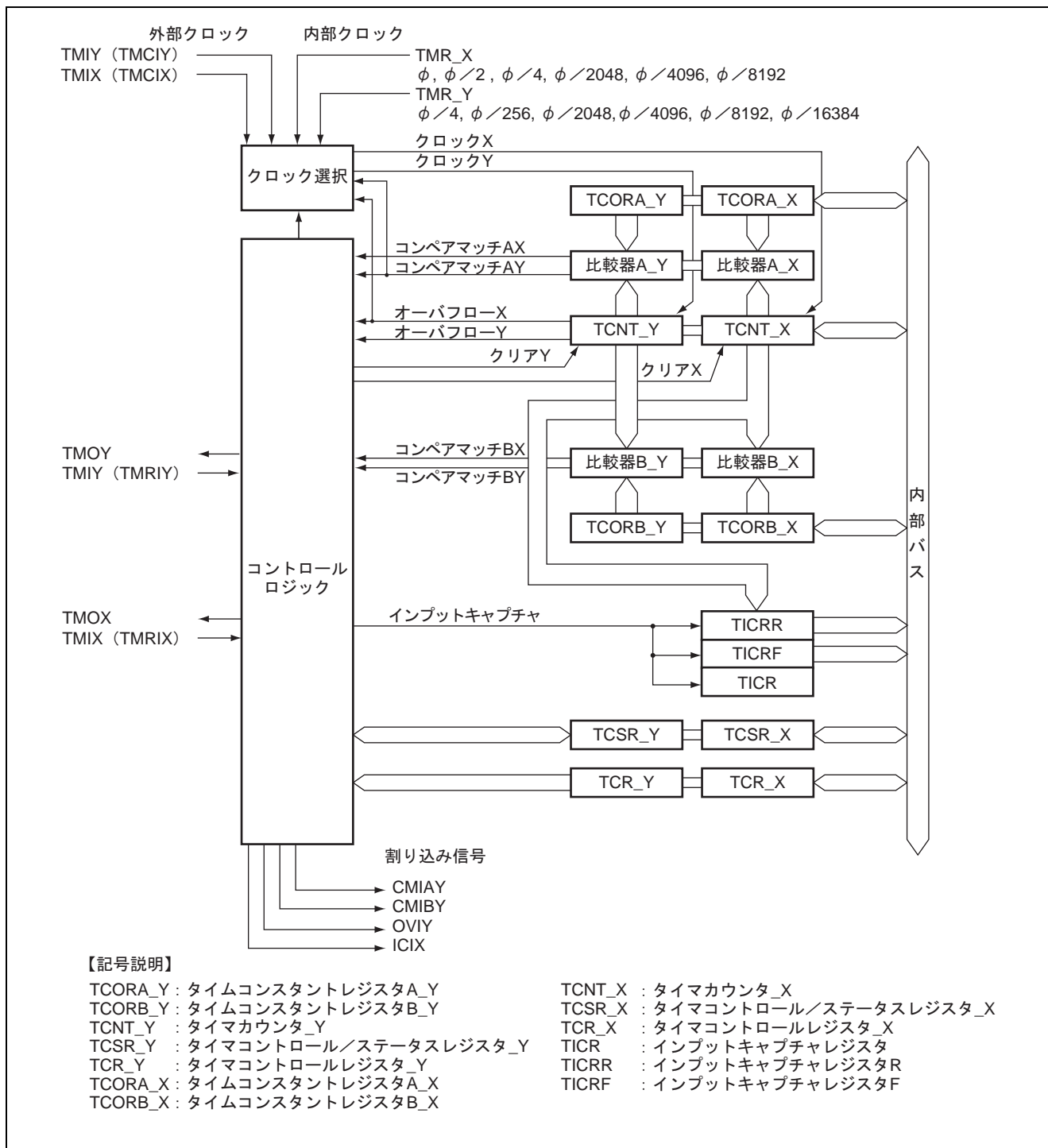


図 12.2 8ビットタイマ (TMR_Y、TMR_X) のブロック図

12.2 入出力端子

TMR の入出力端子を表 12.1 に示します。

表 12.1 端子構成

チャンネル	端子名	入出力	機能
TMR_0	TMO0	出力	コンペアマッチ出力
	TMIO (TMCIO/TMRI0)	入力	カウンタ外部クロック入力/リセット入力
TMR_1	TMO1	出力	コンペアマッチ出力
	TMI1 (TMC11/TMRI1)	入力	カウンタ外部クロック入力/リセット入力
TMR_Y	TMIY (TMC1Y/TMRIY)	入力	カウンタ外部クロック入力/リセット入力
	TMOY	出力	コンペアマッチ出力
TMR_X	TMOX	出力	コンペアマッチ出力
	TMIX (TMC1X/TMRIX)	入力	カウンタ外部クロック入力/リセット入力

12.3 レジスタの説明

TMR には以下のレジスタがあります。なお、シリアルタイマコントロールレジスタについては「3.2.3 シリアルタイマコントロールレジスタ (STCR)」を参照してください。

表 12.2 レジスタの構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	データ バス幅
チャンネル 0	タイマカウンタ_0	TCNT_0	R/W	H'00	H'FFD0	16
	タイムコンスタントレジスタ A_0	TCORA_0	R/W	H'FF	H'FFCC	16
	タイムコンスタントレジスタ B_0	TCORB_0	R/W	H'FF	H'FFCE	16
	タイマコントロールレジスタ_0	TCR_0	R/W	H'00	H'FFC8	8
	タイマコントロール/ステータスレジスタ_0	TCSR_0	R/W	H'00	H'FFCA	8
	タイマクロックセクタレジスタ_0	TCKR_0	R/W	H'F0	H'FFD2	8
チャンネル 1	タイマカウンタ_1	TCNT_1	R/W	H'00	H'FFD1	16
	タイムコンスタントレジスタ A_1	TCORA_1	R/W	H'FF	H'FFCD	16
	タイムコンスタントレジスタ B_1	TCORB_1	R/W	H'FF	H'FFCF	16
	タイマコントロールレジスタ_1	TCR_1	R/W	H'00	H'FFC9	8
	タイマコントロール/ステータスレジスタ_1	TCSR_1	R/W	H'10	H'FFCB	8
	タイマクロックセクタレジスタ_1	TCKR_1	R/W	H'F0	H'FFD3	8
チャンネル Y	タイマカウンタ_Y	TCNT_Y	R/W	H'00	H'FECC	8
	タイムコンスタントレジスタ A_Y	TCORA_Y	R/W	H'FF	H'FECA	8
	タイムコンスタントレジスタ B_Y	TCORB_Y	R/W	H'FF	H'FECE	8
	タイマコントロールレジスタ_Y	TCR_Y	R/W	H'00	H'FEC8	8
	タイマコントロール/ステータスレジスタ_Y	TCSR_Y	R/W	H'00	H'FEC9	8
チャンネル X	タイマカウンタ_X	TCNT_X	R/W	H'00	H'FFF4	8
	タイムコンスタントレジスタ A_X	TCORA_X	R/W	H'FF	H'FFF6	8
	タイムコンスタントレジスタ B_X	TCORB_X	R/W	H'FF	H'FFF7	8
	タイマコントロールレジスタ_X	TCR_X	R/W	H'00	H'FFF0	8
	タイマコントロール/ステータスレジスタ_X	TCSR_X	R/W	H'00	H'FFF1	8
	インプットキャプチャレジスタ R	TICRR	R	H'00	H'FFF2	8
	インプットキャプチャレジスタ F	TICRF	R	H'00	H'FFF3	8
	タイマコネクションレジスタ I	TCONRI	R/W	H'00	H'FFFC	8
共通	タイマ XY コントロールレジスタ	TCRXY	R/W	H'CF	H'FEC6	8

12.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのリード/ライト可能なアップカウンタです。TCNT_0、TCNT_1は16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー (H'FF→H'00) すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

12.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1は16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチA) とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

12.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1は16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチB) とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

12.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0
3	CCLR0	0	R/W	TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	STCR の ICKS1、ICKS0 ビットとの組み合わせで、TCNT に入力するクロック
0	CKS0	0	R/W	とカウント条件を選択します。表 12.3 を参照してください。

12.3.5 タイマクロックセクタレジスタ (TCKR_0、TCKR_1)

TCKR は TCNT の入力クロックの選択の制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	R/W	リザーブビット 初期値を変更しないでください。
3	CKS3	0	R/W	クロックセレクト 3 組み合わせで、TCNT に入力するクロックとカウント条件を選択します。表 12.3 を参照してください。
2~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

表 12.3 TCNT に入力するクロックとカウント条件 (1)

チャンネル	TCR			STCR* ¹		TCKR_1* ¹	TCKR_0* ¹	説明
	CKS2	CKS1	CKS0	ICKS1	ICKS0	CKS3	CKS3	
TMR_0	0	0	0	—	—	—	—	クロック入力を禁止
	0	0	1	—	0	—	0	内部クロック $\phi/8$ 立ち下がりエッジでカウント
	0	0	1	—	1	—	1	内部クロック $\phi/2$ 立ち下がりエッジでカウント
	0	1	0	—	0	—	0	内部クロック $\phi/64$ 立ち下がりエッジでカウント
	0	1	0	—	1	—	1	内部クロック $\phi/32$ 立ち下がりエッジでカウント
	0	1	1	—	0	—	0	内部クロック $\phi/1024$ 立ち下がりエッジで カウント
	0	1	1	—	1	—	1	内部クロック $\phi/256$ 立ち下がりエッジで カウント
	1	0	0	—	—	—	—	TCNT_1 のオーバフロー信号でカウント* ²
TMR_1	0	0	0	—	—	—	—	クロック入力を禁止
	0	0	1	0	—	0	—	内部クロック $\phi/8$ 立ち下がりエッジでカウント
	0	0	1	1	—	1	—	内部クロック $\phi/2$ 立ち下がりエッジでカウント
	0	1	0	0	—	0	—	内部クロック $\phi/64$ 立ち下がりエッジでカウント
	0	1	0	1	—	1	—	内部クロック $\phi/128$ 立ち下がりエッジで カウント
	0	1	1	0	—	0	—	内部クロック $\phi/1024$ 立ち下がりエッジで カウント
	0	1	1	1	—	1	—	内部クロック $\phi/2048$ 立ち下がりエッジで カウント
	1	0	0	—	—	—	—	TCNT_0 のコンペアマッチ A でカウント* ²
共通	1	0	1	—	—	—	—	外部クロックの立ち上がりエッジでカウント
	1	1	0	—	—	—	—	外部クロックの立ち下がりエッジでカウント
	1	1	1	—	—	—	—	外部クロックの立ち上がり/立ち下がり両エッジで カウント

【注】 *1 STCR の ICKS1 と TCKR_1 の CKS3、STCR の ICKS0 と TCKR_0 の CKS3 はどちらか一方のビットを設定してください。

STCR の ICKS1 をセットすると TCKR_1 の CKS3 もセットされます。TCKR_1 の CKS3 をセットすると STCR の ICKS1 もセットされます。

STCR の ICKS0 をセットすると TCKR_0 の CKS3 もセットされます。TCKR_0 の CKS3 をセットすると STCR の ICKS0 もセットされます。

*2 TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。これらの設定は行わないでください。

表 12.3 TCNT に入力するクロックとカウント条件 (2)

チャンネル	TCR			TCRXY		説明
	CKS2	CKS1	CKS0	CKSX	CKSY	
TMR_Y	0	0	0	—	0	クロック入力を禁止
	0	0	1	—	0	$\phi/4$ でカウント
	0	1	0	—	0	$\phi/256$ でカウント
	0	1	1	—	0	$\phi/2048$ でカウント
	1	0	0	—	0	クロック入力を禁止
	0	0	0	—	1	クロック入力を禁止
	0	0	1	—	1	$\phi/4096$ でカウント
	0	1	0	—	1	$\phi/8192$ でカウント
	0	1	1	—	1	$\phi/16384$ でカウント
	1	0	0	—	1	TCNT_X のオーバフローでカウント*
	1	0	1	—	x	外部クロック : 立ち上がりエッジカウント
	1	1	0	—	x	外部クロック : 立ち下がりエッジカウント
1	1	1	—	x	外部クロック : 両エッジカウント	
TMR_X	0	0	0	0	—	クロック入力を禁止
	0	0	1	0	—	ϕ でカウント
	0	1	0	0	—	$\phi/2$ でカウント
	0	1	1	0	—	$\phi/4$ でカウント
	1	0	0	0	—	クロック入力を禁止
	0	0	0	1	—	クロック入力を禁止
	0	0	1	1	—	$\phi/2048$ でカウント
	0	1	0	1	—	$\phi/4096$ でカウント
	0	1	1	1	—	$\phi/8192$ でカウント
	1	0	0	1	—	TCNT_Y のコンペアマッチ A でカウント*
	1	0	1	x	—	外部クロック : 立ち上がりエッジカウント
	1	1	0	x	—	外部クロック : 立ち下がりエッジカウント
1	1	1	x	—	外部クロック : 両エッジカウント	

【注】 * TMR_Y のクロック入力を TCNT_X のオーバフロー信号とし、TMR_X のクロック入力を TCNT_Y のコンペアマッチ信号とするとカウントアップクロックが発生しません。これらの設定は行わないでください。

【記号説明】 x : Don't care

— : 無効

12.3.6 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] • TCNT_0 の値と TCORB_0 の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] • TCNT_0 の値と TCORA_0 の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] • TCNT_0 の値が H'FF から H'00 にオーバフローしたとき [クリア条件] • OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2 TCORB_0 と TCNT_0 のコンペアマッチ B による TMO0 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1、0 TCORA_0 と TCNT_0 のコンペアマッチ A による TMO0 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
0	OS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] • TCNT_1 の値と TCORB_1 の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] • TCNT_1 の値と TCORA_1 の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] • TCNT_1 の値が H'FF から H'00 にオーバフローしたとき [クリア条件] • OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_1 と TCNT_1 のコンペアマッチ B による TMO1 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_1 と TCNT_1 のコンペアマッチ A による TMO1 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_Y

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] • TCNT_Y の値と TCORB_Y の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] • TCNT_Y の値と TCORA_Y の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] • TCNT_Y の値が H'FF から H'00 にオーバフローしたとき [クリア条件] • OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICIE	0	R/W	インプットキャプチャインタラプトイネーブル TCSR_X の ICF が 1 にセットされたとき、ICF による割り込み要求 (ICIX) の許可または禁止を選択します。 0 : ICF による割り込み要求 (ICIX) を禁止 1 : ICF による割り込み要求 (ICIX) を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_Y と TCNT_Y のコンペアマッチ B による TMOY 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_Y と TCNT_Y のコンペアマッチ A による TMOY 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_X

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] • TCNT_X の値と TCORB_X の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] • TCNT_X の値と TCORA_X の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] • TCNT_X の値が H'FF から H'00 にオーバフローしたとき [クリア条件] • OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICF	0	R/(W)*	インプットキャプチャフラグ [セット条件] • 外部リセット信号に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき [クリア条件] • ICF=1 の状態で ICF をリードした後、ICF に 0 をライトしたとき
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_X と TCNT_X のコンペアマッチ B による TMOX 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_X と TCNT_X のコンペアマッチ A による TMOX 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.3.7 インプットキャプチャレジスタ R、F (TICRR、TICRF)

TICRR、TICRF は 8 ビットのリード専用のレジスタです。TICRR、TICRF は、TCONRI の ICST ビットが 1 にセットされている場合に、外部リセット入力 (TMRX) の立ち上がり、立ち下がりの順で TCNT の内容が転送されます。1 回のキャプチャ動作が終了すると ICST ビットは 0 にクリアされます。TICRR、TICRF の初期値は H'00 です。

12.3.8 タイマコネクションレジスタ I (TCONRI)

TCONRI はインプットキャプチャ機能を制御します。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
4	ICST	0	R/W	インプットキャプチャスタートビット TMR_X はインプットキャプチャレジスタ (TICRR、TICRF) があります。TICRR と TICRF は、このビットの制御で 1 回限りのキャプチャ動作を行い、パルス幅を測定することができます。このビットが 1 にセットされたとき、TMRX に立ち上がりエッジ、立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれキャプチャされ、このビットはクリアされます。 [クリア条件] • TMRX に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき [セット条件] • ICST=0 の状態で ICST リード後、ICST に 1 をライトしたとき
3~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

12.3.9 タイマ XY コントロールレジスタ (TCRXY)

TCRXY は TMR_X、TMR_Y の出力端子および内部クロックを選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リードすると常に 1 が読み出されます。
6	—	1	R	ライトは無効です。
5	CKSX	0	R/W	TMR_X クロックセレクト 選択の詳細は、表 12.3 を参照してください。
4	CKSY	0	R/W	TMR_X クロックセレクト 選択の詳細は、表 12.3 を参照してください。
3~0	—	すべて 1	R	リードすると常に 1 が読み出されます。 ライトは無効です。

12.4 動作説明

12.4.1 パルス出力

任意のデューティパルスを出力させる例を図 12.3 に示します。

TCORA のコンペアマッチにより TCNT がクリアされるように TCR の CCLR1 ビットを 0 にクリア、CCLR0 ビットを 1 にセットします。

TCORA のコンペアマッチにより 1 出力、TCORB のコンペアマッチにより 0 出力になるように TCSR の OS3 ~ OS0 ビットを B'0110 に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

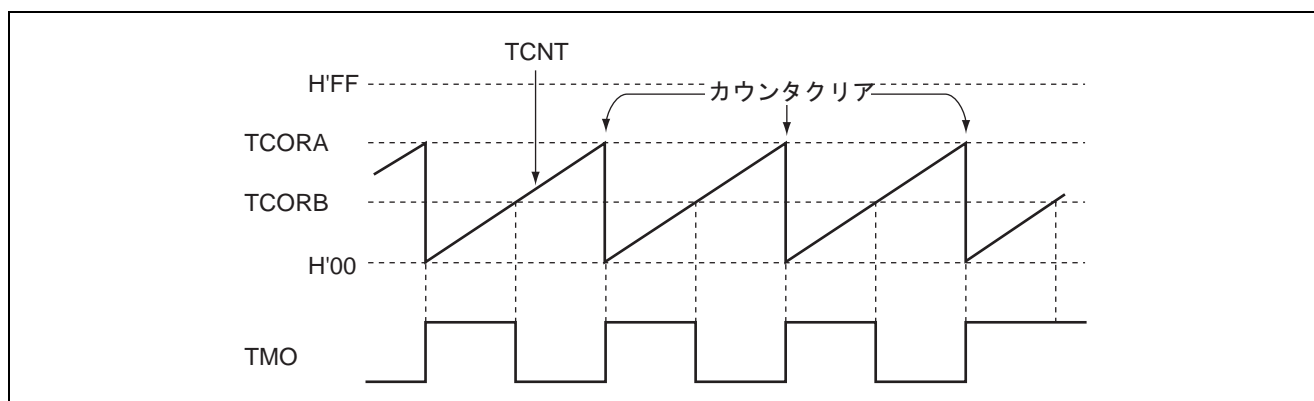


図 12.3 パルス出力例

12.5 動作タイミング

12.5.1 TCNTのカウントタイミング

内部クロック動作の場合のTCNTのカウントタイミングを図12.4に示します。また、外部クロック動作の場合のTCNTのカウントタイミングを図12.5に示します。なお外部クロックのパルス幅は、単エッジの場合は1.5ステート以上、両エッジの場合は2.5ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

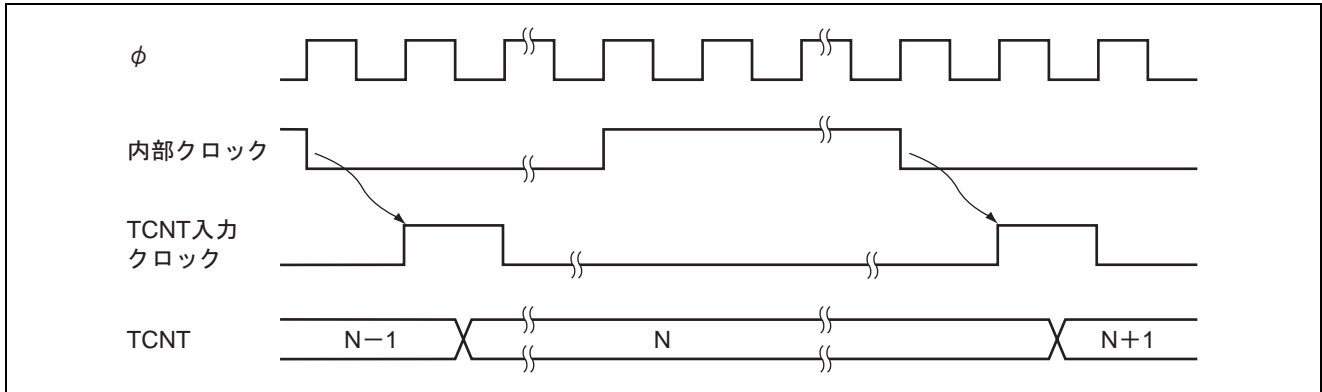


図 12.4 内部クロック動作時のカウントタイミング

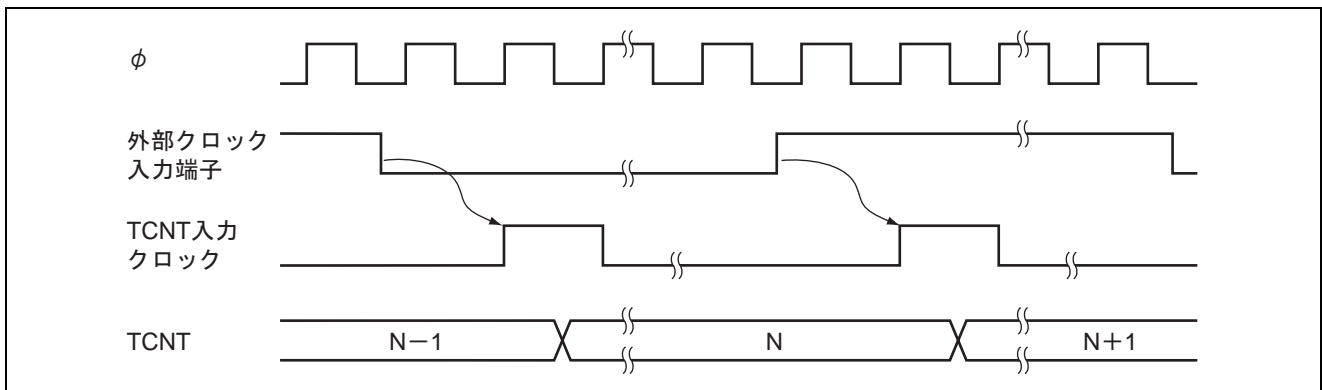


図 12.5 外部クロック動作時のカウントタイミング (両エッジの場合)

12.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCNT と TCOR の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 12.6 に示します。

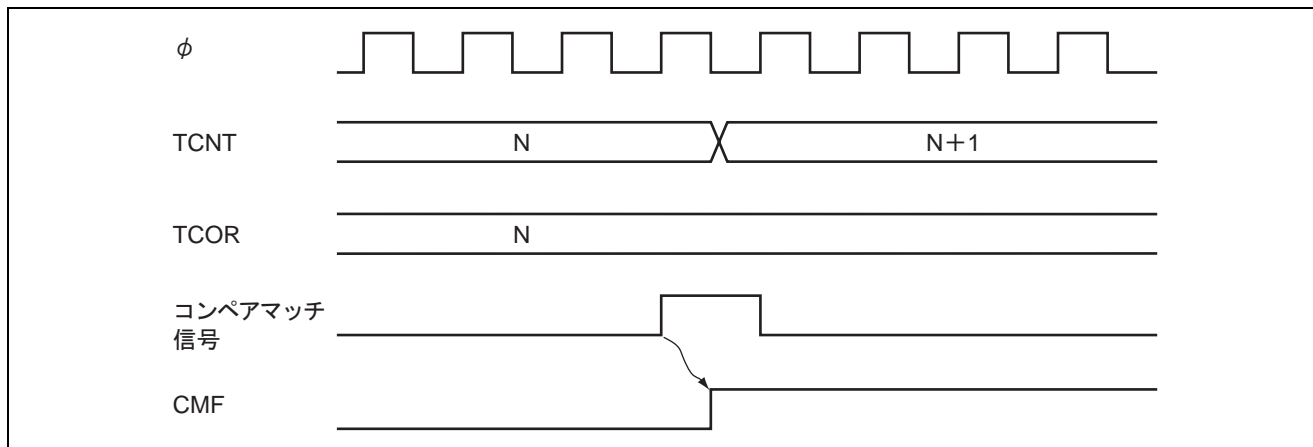


図 12.6 コンペアマッチ時の CMF フラグのセットタイミング

12.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 12.7 に示します。

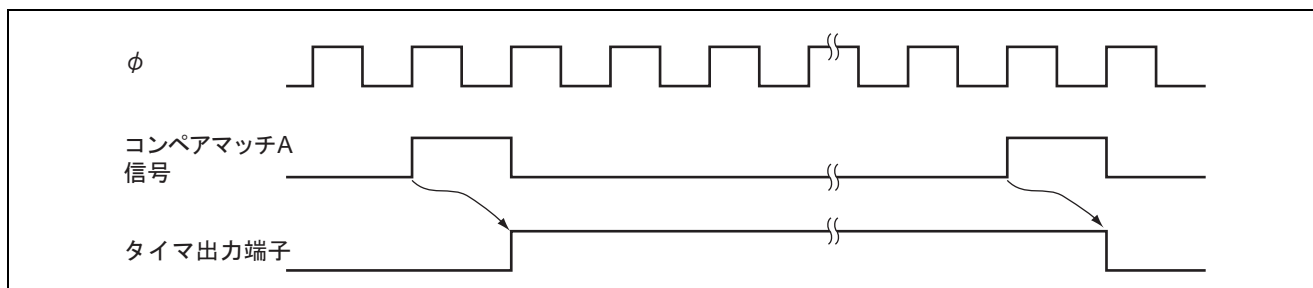


図 12.7 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

12.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 12.8 に示します。

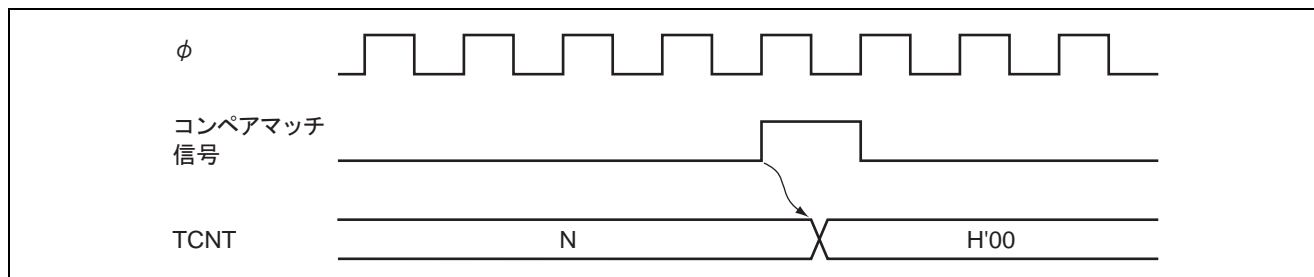


図 12.8 コンペアマッチによるカウンタクリアタイミング

12.5.5 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は 1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 12.9 に示します。

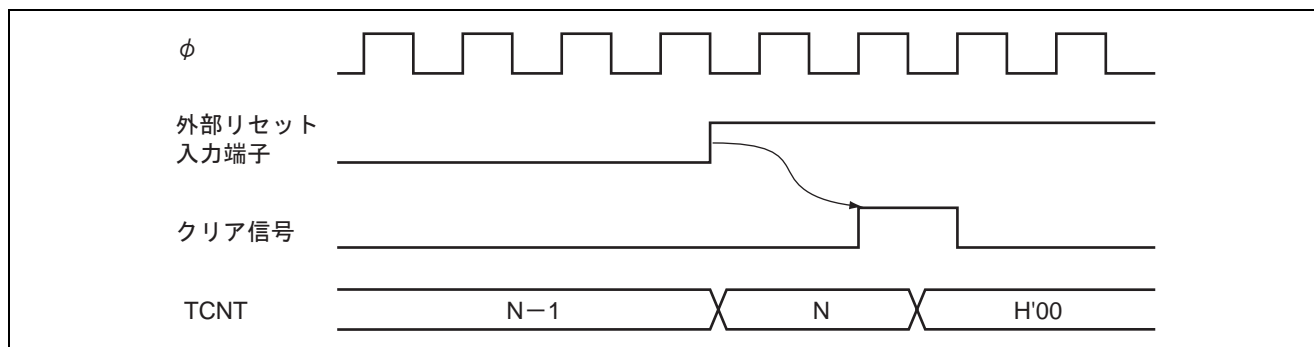


図 12.9 外部リセット入力によるクリアタイミング

12.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 12.10 に示します。

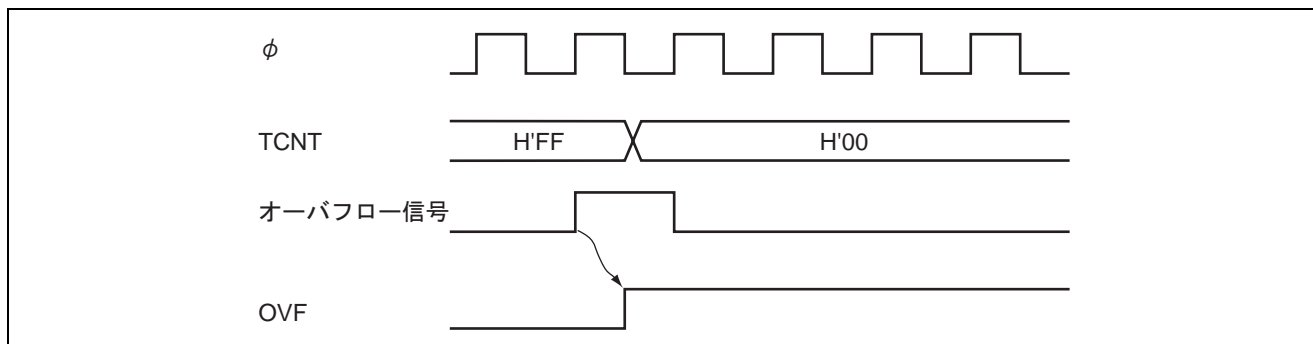


図 12.10 OVF フラグのセットタイミング

12.6 TMR_0、TMR_1 のカスケード接続

TCR_0、TCR_1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、16 ビットタイマモードか、コンペアマッチカウントモードにすることができます。

12.6.1 16 ビットカウントモード

TCR_0 の CKS2～CKS0 ビットが B'100 のとき、タイマは TMR_0 を上位 8 ビット、TMR_1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- TCSR_1 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。

(2) カウンタクリア指定

- TCR_0 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアを設定した場合、16 ビットのコンペアマッチが発生したとき 16 ビットカウンタ (TCNT_0、TCNT_1 の両方) がクリアされます。また、TMIO 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TCNT_0、TCNT_1 の両方) がクリアされます。
- TCR_1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみカウンタクリアはできません。

(3) 端子出力

- TCSR_0 の OS3～OS0 ビットによる TMO0 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- TCSR_1 の OS3～OS0 ビットによる TMO1 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

12.6.2 コンペアマッチカウントモード

TCR_1 の CKS2~CKS0 ビットが B'100 のとき、TCNT_1 は TMR_0 のコンペアマッチ A をカウントします。TMR_0、TMR_1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

12.7 TMR_Y、TMR_X のカスケード接続

TCR_Y、TCR_X のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、TCRXY の CKSX および CKSY ビットの設定により 16 ビットカウントモードか、コンペアマッチカウントモードにすることができます。

12.7.1 16 ビットカウントモード

TCR_Y の CKS2~CKS0 ビットが B'100 かつ TCRXY の CKSY ビットが 1 のとき、TMR_Y を上位 8 ビット、TMR_X を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_Y の CMF フラグは、上位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。
- TCSR_X の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。

(2) カウンタクリア指定

- TCR_Y の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアを設定した場合、TCNT_Y の上位 8 ビットのみクリアされます。また、TMR1Y 端子によるカウンタクリアを設定した場合も TCNT_Y の上位 8 ビットのみクリアされます。
- TCR_X の CCLR1、CCLR0 ビットの設定は有効で TCNT_X の下位 8 ビットのカウンタクリアができます。

(3) 端子出力

- TCSR_Y の OS3~OS0 ビットによる TMOY 端子の出力制御は上位 8 ビットのコンペアマッチ条件に従います。
- TCSR_X の OS3~OS0 ビットによる TMOX 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

12.7.2 コンペアマッチカウントモード

TCR_X の CKS2~CKS0 ビットが B'100 かつ TCRXY の CKSX ビットが 1 のとき、TCNT_X は TMR_Y のコンペアマッチ A をカウントします。TCNT_X、TMR_Y の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

12.7.3 インพุットキャプチャ動作

TMR_Xには、インพุットキャプチャレジスタ (TICRR、TICRF) があります。TICRR と TICRF は、1回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。TMRIX (TMR_Xのインพุットキャプチャ入力信号) に立ち上がりエッジ→立ち下がりエッジの順でエッジが検出されると、そのときのTCNT_Xの内容が TICRR、TICRF にそれぞれ転送されます。

(1) インพุットキャプチャ入力タイミング

インพุットキャプチャ機能を設定した場合の動作タイミングを図 12.11 に示します。

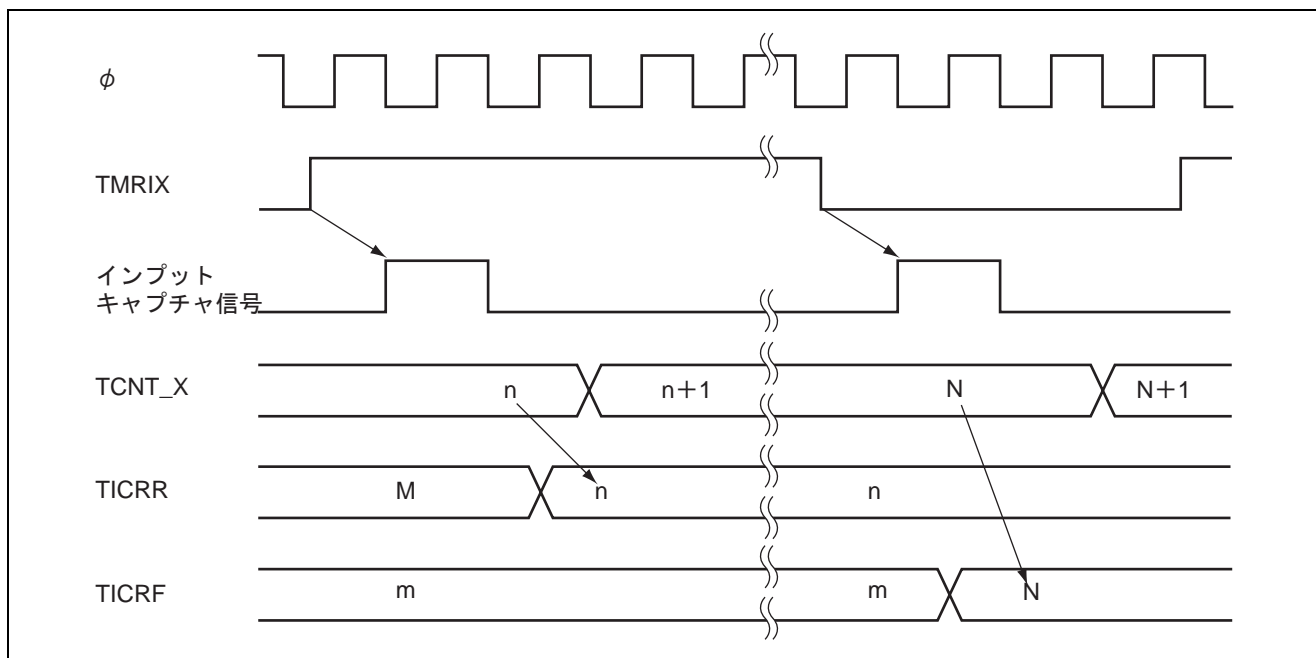


図 12.11 インพุットキャプチャ動作タイミング

また、TICRR、TICRF のリード時に、インพุットキャプチャ入力を入力すると、インพุットキャプチャ信号は1システムクロック (ϕ) 遅延されます。このタイミングを図 12.12 に示します。

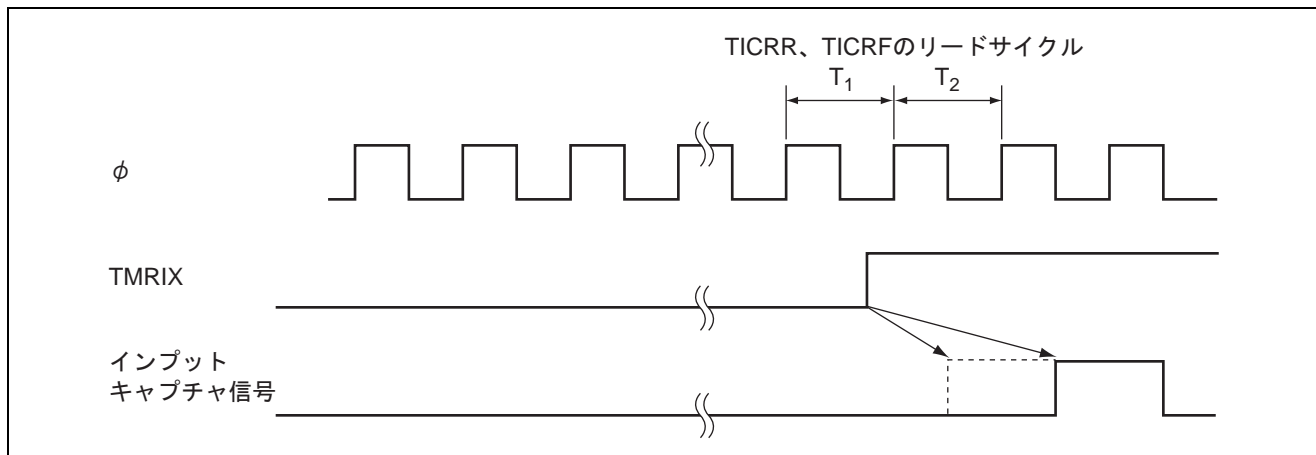


図 12.12 インพุットキャプチャ信号タイミング (TICRR、TICRF のリード時に、インพุットキャプチャ入力を入力した場合)

(2) インプットキャプチャ入力信号の選択

TCONRI レジスタの ICST ビットの設定により、TMRIX を選択することができます。インプットキャプチャ信号の選択を表 12.4 に示します。

表 12.4 インプットキャプチャ信号の選択

TCONRI	説 明
ビット 4	
ICST	
0	インプットキャプチャ機能を使用しない
1	TMRIX 端子の入力信号を選択

12.8 割り込み要因

TMR_0、TMR_1、TMR_Y の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。TMR_X の割り込み要因は、CMIA、CMIB、OVI、ICIX の 4 種類があります。表 12.5 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 12.5 8ビットタイマ TMR_0、TMR_1、TMR_Y、TMR_X の割り込み要因

チャンネル	名 称	割り込み要因	割り込みフラグ	優先順位
TMR_0	CMIA0	TCORA_0 のコンペアマッチ	CMFA	高  低
	CMIB0	TCORB_0 のコンペアマッチ	CMFB	
	OVI0	TCNT_0 のオーバーフロー	OVI	
TMR_1	CMIA1	TCORA_1 のコンペアマッチ	CMFA	
	CMIB1	TCORB_1 のコンペアマッチ	CMFB	
	OVI1	TCNT_1 のオーバーフロー	OVI	
TMR_Y	CMIAY	TCORA_Y のコンペアマッチ	OMFA	
	CMIBY	TCORB_Y のコンペアマッチ	CMFB	
	OVIY	TCNT_Y のオーバーフロー	OVI	
TMR_X	ICIX	インプットキャプチャ	ICF	
	CMIA_X	TCORA_X のコンペアマッチ	CMFA	
	CMIB_X	TCORB_X のコンペアマッチ	CMFB	
	OVI_X	TCNT_X のオーバーフロー	OVI	

12.9 使用上の注意事項

12.9.1 TCNT のライトとカウンタクリアの競合

図 12.13 のように TCNT のライトサイクル中の T_2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

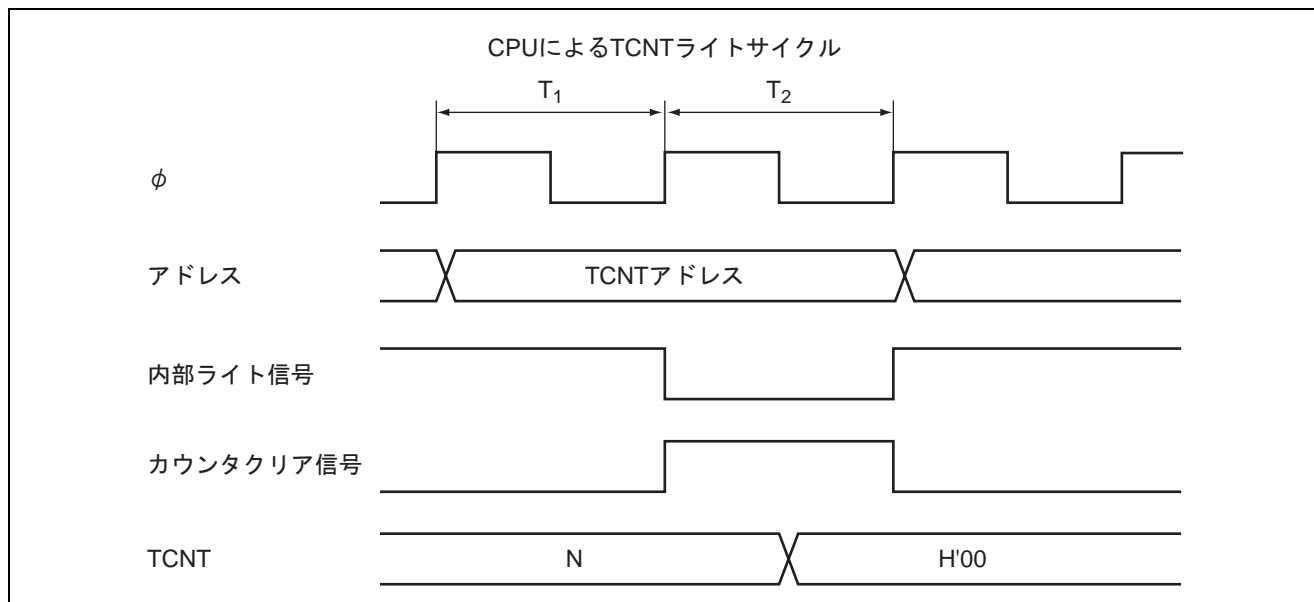


図 12.13 TCNT のライトとクリアの競合

12.9.2 TCNT のライトとカウントアップの競合

図 12.14 のように TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

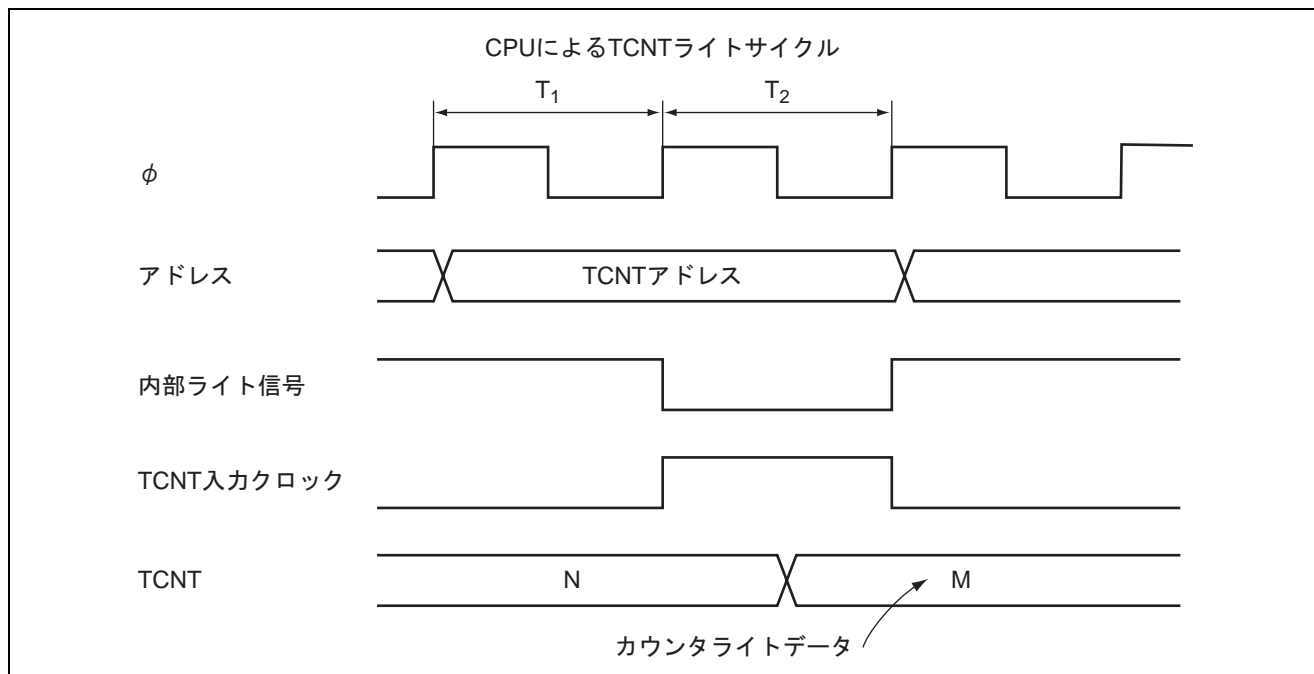


図 12.14 TCNT のライトとカウントアップの競合

12.9.3 TCOR のライトとコンペアマッチの競合

図 12.15 のように TCOR のライトサイクル中の T₂ ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。TMR_X では T1CR のインプットキャプチャは、コンペアマッチと競合します。このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

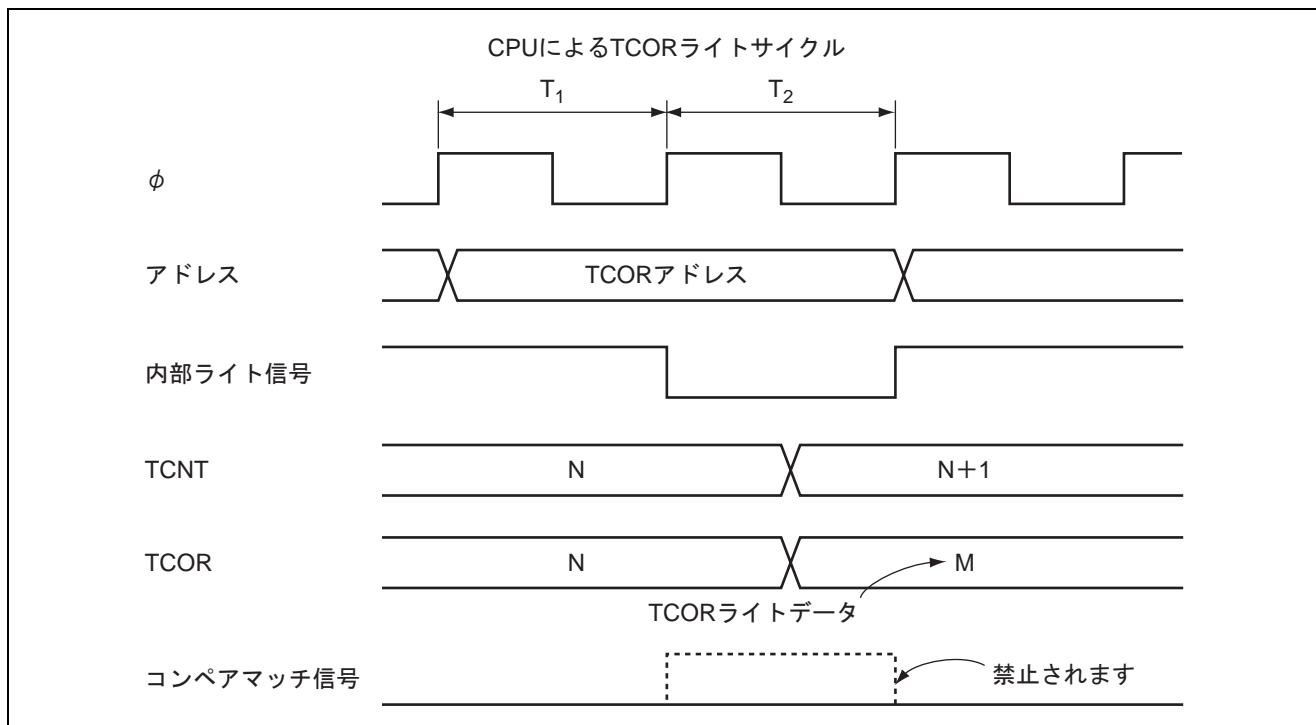


図 12.15 TCOR のライトとコンペアマッチの競合

12.9.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.6 に示すタイマ出力の優先順位に従って動作します。

表 12.6 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

12.9.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 12.7 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 12.7 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.7 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

No	CKS1、CKS0 ビット書き換えタイミング	TCNT クロックの動作
3	High→Low レベル* ³ の切り替え	
4	High→High レベルの切り替え	

- 【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。
 *2 停止→High レベルの場合を含みます。
 *3 High レベル→停止を含みます。
 *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

12.9.6 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0 と TCNT_1、TCNT_X と TCNT_Y の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

12.9.7 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TMR の動作停止/許可を設定することが可能です。初期値では TMR の動作は停止します。モジュールストップモードを解除することにより、レジスタアクセスが可能になります。詳細は、「第 29 章 低消費電力状態」を参照してください。

13. 16 ビットサイクルメジャーメントタイマ (TCM)

本 LSI は 3 チャンネルの 16 ビットサイクルメジャーメントタイマ (TCM) を内蔵しています。TCM は 16 ビットのカウンタをベースにして、入力波形の周期を測定することができます。

13.1 特長

- 入力波形の周期を測定可能
- 測定エッジを選択可能
- 16ビットのコンペアマッチ
- 16ビットの分解能力
- カウンタのクロックを選択可能
7種類の内蔵クロックと、外部クロックのうちから選択可能
- 5つの割り込み要因
 - カウンタオーバフロー
 - 周期上限オーバフロー
 - 周期下限アンダフロー
 - コンペアマッチ
 - インプットキャプチャ発生

TCMのブロック図を図13.1に示します。

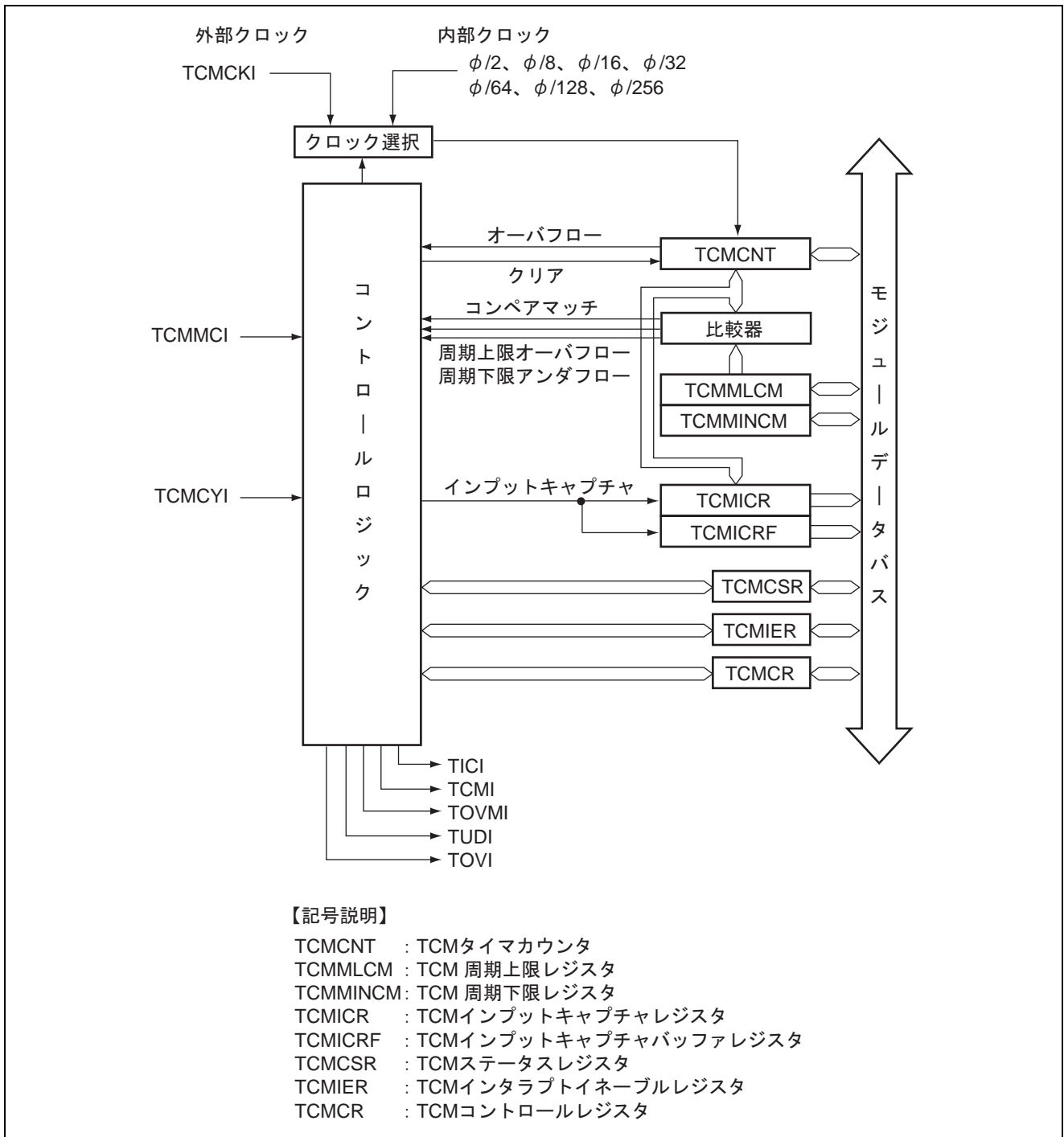


図 13.1 TCM ブロック図

13.2 入出力端子

TCM の端子構成を表 13.1 に示します。

表 13.1 端子構成

チャンネル	端子名	入出力	機能
0	TCMCKI0 (TCMMCIO)	入力	カウンタ外部クロック入力 周期測定コントロール入力
	TCMCYI0	入力	外部イベント入力
1	TCMCKI1 (TCMMC11)	入力	カウンタ外部クロック入力 周期測定コントロール入力
	TCMCYI1	入力	外部イベント入力
2	TCMCKI2 (TCMMC12)	入力	カウンタ外部クロック入力 周期測定コントロール入力
	TCMCYI2	入力	外部イベント入力

13.3 レジスタの説明

TCM には以下のレジスタがあります。

表 13.2 レジスタの構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	データ バス幅
チャンネル 0	TCM タイマカウンタ_0	TCMCNT_0	R/W	H'0000	H'FBC0	16
	TCM 周期上限レジスタ_0	TCMMLCM_0	R/W	H'FFFF	H'FBC2	16
	TCM 周期下限レジスタ_0	TCMMINCM_0	R/W	H'0000	H'FBCC	16
	TCM インพุットキャプチャレジスタ_0	TCMICR_0	R	H'0000	H'FBC4	16
	TCM インพุットキャプチャバッファレジスタ_0	TCMICRF_0	R	H'0000	H'FBC6	16
	TCM ステータスレジスタ_0	TCMCSR_0	R/W	H'00	H'FBC8	8
	TCM コントロールレジスタ_0	TCMCR_0	R/W	H'00	H'FBC9	8
	TCM インタラプトイネーブルレジスタ_0	TCMIER_0	R/W	H'00	H'FBCA	8
チャンネル 1	TCM タイマカウンタ_1	TCMCNT_1	R/W	H'0000	H'FBD0	16
	TCM 周期上限レジスタ_1	TCMMLCM_1	R/W	H'FFFF	H'FBD2	16
	TCM 周期下限レジスタ_1	TCMMINCM_1	R/W	H'0000	H'FBDC	16
	TCM インพุットキャプチャレジスタ_1	TCMICR_1	R	H'0000	H'FBD4	16
	TCM インพุットキャプチャバッファレジスタ_1	TCMICRF_1	R	H'0000	H'FBD6	16
	TCM ステータスレジスタ_1	TCMCSR_1	R/W	H'00	H'FBD8	8
	TCM コントロールレジスタ_1	TCMCR_1	R/W	H'00	H'FBD9	8
	TCM インタラプトイネーブルレジスタ_1	TCMIER_1	R/W	H'00	H'FBDA	8
チャンネル 2	TCM タイマカウンタ_2	TCMCNT_2	R/W	H'0000	H'FBE0	16
	TCM 周期上限レジスタ_2	TCMMLCM_2	R/W	H'FFFF	H'FBE2	16
	TCM 周期下限レジスタ_2	TCMMINCM_2	R/W	H'0000	H'FBEC	16
	TCM インพุットキャプチャレジスタ_2	TCMICR_2	R	H'0000	H'FBE4	16
	TCM インพุットキャプチャバッファレジスタ_2	TCMICRF_2	R	H'0000	H'FBE6	16
	TCM ステータスレジスタ_2	TCMCSR_2	R/W	H'00	H'FBE8	8
	TCM コントロールレジスタ_2	TCMCR_2	R/W	H'00	H'FBE9	8
	TCM インタラプトイネーブルレジスタ_2	TCMIER_2	R/W	H'00	H'FBEA	8

13.3.1 TCM タイマカウンタ (TCMCNT)

TCMCNT は 16 ビットのリード/ライト可能なアップカウンタです。入力クロックは TCMCR の CKS2～CKS0 のビットにより選択します。CKS2～CKS0 が B'111 にセットされたとき、外部クロックが選択されます。TCMCSR の CKSEG により、外部クロックの立ち上がりエッジ/立ち下がりエッジを選択します。

TCMCNT は H'FFFF から H'0000 にオーバフローすると、TCMCSR の OVF が 1 にセットされます。タイマモードの場合、TCMCNT は TCMCR の CST ビットが 0 にクリアされていると、H'0000 に初期化されます。周期測定モードの場合、TCMCNT は測定周期 (1 つの入力波形周期が 1 つの測定周期になります) の 1 番目のエッジ検出 (TCMCR の IEDG ビットにより選択可能) によりクリアします。

タイマモードの場合、TCMCNT は常にライト可能です。周期測定モードの場合、TCMCNT の書き換えはできません。TCMCNT は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMCNT の初期値は H'0000 です。

13.3.2 TCM 周期上限レジスタ (TCMMLCM)

TCMMLCM は 16 ビットのリード/ライト可能なレジスタです。TCMCR の TCMMD5 ビットを 0 に設定 (タイマモード) した場合、TCMMLCM はコンペアマッチレジスタとして使用可能です。TCMCR の TCMMD5 ビットを 1 に設定 (周期測定モード) した場合、TCMMLCM は周期上限レジスタとして使用可能です。

タイマモードでは、TCMMLCM の値は TCMCNT と常に比較され、一致すると TCMCSR の CMF が 1 にセットされます。ただし、TCMMLCM へのライトサイクルの後半での比較は禁止されています。

周期測定モードでは、TCMMLCM は測定周期の上限値を設定可能です。測定周期中の 2 番目のエッジ (次の周期の 1 番目のエッジ) を検出すると TCMCNT の値が TCMICR に転送されます。このとき同時に TCMICR の値と TCMMLCM の値を比較します。TCMICR の値が TCMMLCM の値より大きいと、TCMCSR の MAXOVF フラグが 1 にセットされます。TCMMLCM は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMMLCM の初期値は H'FFFF です。

13.3.3 TCM 周期下限レジスタ (TCMMINCM)

TCMMINCM は 16 ビットのリード/ライト可能なレジスタです。TCMCR の TCMMD5 ビットを 1 に設定 (周期測定モード) した場合、TCMMINCM は周期下限レジスタとして使用可能です。

周期測定モードでは、TCMMINCM は測定周期の下限値を設定可能です。測定周期中の 2 番目のエッジ (TCMCR の IEDG ビットにより選択可能) を検出すると TCMCNT の値が TCMICR に転送されます。このとき同時に TCMICR の値と TCMMINCM の値を比較します。TCMICR の値が TCMMINCM の値より小さいと、TCMCSR の MINUDF フラグが 1 にセットされます。TCMMLCM は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMMINCM の初期値は H'0000 です。

13.3.4 TCM インพุットキャプチャレジスタ (TCMICR)

TCMICR は 16 ビットのリード専用のレジスタです。タイマモードの場合、TCMCR の IEDG ビットにより選択したエッジで TCMCNT の値が TCMICR に転送されます。このとき、同時に TCMCSR の ICPF フラグが 1 にセットされます。周期測定モードの場合、測定周期中の 2 番目のエッジを検出すると TCMCNT の値が TCMICR に転送されます。このとき同時に TCMCSR の ICPF フラグが 1 にセットされます。TCMICR は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMICR の初期値は H'0000 です。

13.3.5 TCM インพุットキャプチャバッファレジスタ (TCMICRF)

TCMICRF は 16 ビットのリード専用のレジスタです。TCMICR のバッファレジスタとして使用します。インพุットキャプチャが発生したとき、TCMICR の値を TCMICRF に転送します。

TCMICR、TCMICRF は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。TCMICRF の初期値は H'0000 です。

13.3.6 TCM ステータスレジスタ (TCMCSR)

TCMCSR は 8 ビットのリード/ライト可能なレジスタです。割り込み要因の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	タイマオーバフロー TCMCNT のオーバフローの発生を示すフラグです。 [セット条件] • TCMCNT の値がオーバフロー (H'FFFF→H'0000) したとき [クリア条件] • OVF=1 の状態で OVF をリード後、OVF に 0 をライトしたとき
6	MAXOVF	0	R/(W)*	測定周期上限オーバフロー 周期測定モードで測定した波形の測定周期が TCMMLCM に設定した上限に対してオーバフロー発生を示すフラグです。 [セット条件] • TCMICR の値が TCMMLCM の値より大きいとき [クリア条件] • MAXOVF=1 の状態で MAXOVF をリード後、MAXOVF に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
5	CMF	0	R/(W)*	<p>コンペアマッチフラグ (タイマモードのみ有効)</p> <p>[セット条件]</p> <ul style="list-style-type: none"> タイマモードで TCMCNT の値と TCMMLCM の値が一致したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> CMF=1 の状態で CMF をリード後、CMF に 0 をライトしたとき <p>【注】 周期測定モードでは、TCMCNT の値と TCMMLCM の値が一致しても CMF は 1 にセットされません。</p>
4	CKSEG	0	R/W	<p>外部クロックエッジセレクト</p> <p>TCMCR の CKS2~CKS0 で外部クロック (B'111) にセットされたときの外部カウントクロックエッジを選択します。</p> <p>0 : 外部クロック立ち下がりエッジでカウント</p> <p>1 : 外部クロック立ち上がりエッジでカウント</p>
3	ICPF	0	R/(W)*	<p>インプットキャプチャ発生</p> <p>タイマモードでは、インプットキャプチャ信号により、TCMCNT の値が TCMICR に転送されたことを示すステータスフラグです。本フラグは、TCMMDS ビットが 0 にクリアされているとき、TCMCYI 入力端子に IEDG ビットで選択したインプットキャプチャ信号が発生するとセットされます。</p> <p>周期測定モードでは、測定周期中の 2 番目のエッジ (TCMCR の IEDG ビットにより選択可能) を検出し、TCMCNT の値が TCMICR に転送されたことを示すフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> インプットキャプチャ信号が発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICPF=1 の状態で ICPF をリード後、ICPF に 0 をライトしたとき
2	MINUDF	0	R/(W)*	<p>測定周期下限アンダフロー</p> <p>周期測定モードで測定した波形の測定周期が TCMMINCM に設定した下限に対してアンダフロー発生を示すフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> TCMICR の値が TCMMINCM の値より小さいとき <p>[クリア条件]</p> <ul style="list-style-type: none"> MINUDF=1 の状態で MINUDF をリード後、MINUDF に 0 をライトしたとき
1	MCICTL	0	R/W	<p>TCMMCI 入力極性反転</p> <p>0 : TCMMCI 入力を反転して使用</p> <p>1 : TCMMCI 入力を直接使用</p> <p>【注】 CST=0、TCMMDS=0 のときに、本ビットを変更してください。</p>
0	—	0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

13.3.7 TCM コントロールレジスタ (TCMCR)

TCMCR は 8 ビットのリード/ライト可能なレジスタです。入力キャプチャ入力エッジの選択、TCMCNT のカウンタ開始またカウンタのクロックの選択、動作モードの切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7	CST	0	R/W	<p>カウンタスタート</p> <p>タイマモードでは、本ビットを 1 にセットすると TCMCNT がカウントを開始します。0 にクリアすると TCMCNT はカウント動作を停止し、H'0000 に初期化されて、入力キャプチャ動作も停止します。</p> <p>周期測定モードでは TCMCNT を H'0000 に初期化するために 0 にクリアしてください。</p>
6	POCTL	0	R/W	<p>TCMCYI 入力極性反転</p> <p>0 : TCMCYI 入力を直接使用</p> <p>1 : TCMCYI 入力を反転して使用</p> <p>【注】 CST=0、TCMMDS=0 のときに、本ビットを変更してください。</p>
5	CPSPE	0	R/W	<p>入力キャプチャ停止イネーブル</p> <p>周期測定モードで MAXOVF、MINUDF のいずれか 1 つのフラグが 1 にセットされたときの TCMCNT のカウントアップおよび入力キャプチャの動作/停止を制御します。タイマモードでは動作に影響を与えません。</p> <p>0 : フラグが 1 にセットされたとき、カウントアップおよび入力キャプチャ動作を継続</p> <p>1 : フラグが 1 にセットされたとき、カウントアップおよび入力キャプチャ動作を禁止</p>
4	IEDG	0	R/W	<p>入力エッジセレクト</p> <p>タイマモードでは、POCTL ビットとの組み合わせで TCMCYI 入力の立ち上がりエッジまた立ち下がりエッジのどちらのエッジで入力キャプチャするかを選択します。</p> <p>周期測定モードでは、POCTL ビットとの組み合わせで、TCMCYI 入力の立ち上がりエッジまた立ち下がりエッジのどちらのエッジで測定するかを選択します。</p> <p>POCTL=0 の場合</p> <p>0 : TCMCYI 入力の立ち上がりエッジを選択</p> <p>1 : TCMCYI 入力の立ち下がりエッジを選択</p> <p>POCTL=1 の場合</p> <p>0 : TCMCYI 入力の立ち下がりエッジを選択</p> <p>1 : TCMCYI 入力の立ち上がりエッジを選択</p>

ビット	ビット名	初期値	R/W	説明
3	TCMMDS	0	R/W	TCM モードセレクト TCM の動作モードを選択します。 0 : タイマモード タイマモードのとき、インプットキャプチャとコンペアマッチとして機能します。 1 : 周期測定モード 本ビットを 1 にセットすると TCMCNT がカウントを開始します。 TCMCNT を H'0000 に初期化するため、周期測定モードに設定する前に、TCMCR の CST を 0 クリアしてください。
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2、1、0 TCMCNT に入力するクロックを選択します。 000 : 内部クロック $\phi/2$ をカウント 001 : 内部クロック $\phi/8$ をカウント 010 : 内部クロック $\phi/16$ をカウント 011 : 内部クロック $\phi/32$ をカウント 100 : 内部クロック $\phi/64$ をカウント 101 : 内部クロック $\phi/128$ をカウント 110 : 内部クロック $\phi/256$ をカウント 111 : 外部クロックをカウント (TCMCSR の CKSEG により、外部クロックのエッジを選択してください。) 【注】 CST=0、TCMMDS=0 のときに、本ビットを変更してください。

13.3.8 TCM インタラプトイネーブルレジスタ (TCMIER)

TCMIER は 8 ビットリード/ライト可能なレジスタです。割り込み要求の許可/禁止を制御します。

ビット	ビット名	初期値	R/W	説明
7	OVIE	0	R/W	カウンタオーバフローインタラプトイネーブル TCMCSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割り込み要求を許可または禁止します。 0 : OVF による割り込み要求を禁止 1 : OVF による割り込み要求を許可
6	MAXOVIE	0	R/W	周期上限オーバフローインタラプトイネーブル TCMCSR の MAXOVF フラグが 1 にセットされたとき、MAXOVF フラグによる割り込み要求を許可または禁止します。 0 : MAXOVF による割り込み要求を禁止 1 : MAXOVF による割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5	CMIE	0	R/W	<p>コンペアマッチインタラプトイネーブル</p> <p>TCMCSR の CMF が 1 にセットされたとき、CMF による割り込み要求を許可または禁止します。</p> <p>0 : CMF による割り込み要求を禁止</p> <p>1 : CMF による割り込み要求を許可</p>
4	TCMIPE	0	R/W	<p>インプットキャプチャ入力イネーブル</p> <p>端子入力の無効/有効を設定します。インプットキャプチャおよび周期測定モードを使用する場合は、本ビットを 1 にセットしてください。</p> <p>0 : 無効</p> <p>1 : 有効</p> <p>【注】 CST=0、TCMMDS=0 のときに、本ビットを変更してください。</p>
3	ICPIE	0	R/W	<p>インプットキャプチャインタラプトイネーブル</p> <p>TCMCSR の ICPF フラグが 1 にセットされたとき、ICPF フラグによる割り込み要求を許可または禁止します。</p> <p>0 : ICPF による割り込み要求を禁止</p> <p>1 : ICPF による割り込み要求を許可</p>
2	MINUDIE	0	R/W	<p>周期下限アンダフローインタラプトイネーブル</p> <p>TCMCSR の MINUDF フラグが 1 にセットされたときの TUDI 割り込み要求を許可または禁止します。</p> <p>0 : MINUDF による割り込み要求を禁止</p> <p>1 : MINUDF による割り込み要求を許可</p>
1	CMMS	0	R/W	<p>周期測定モードセレクト</p> <p>周期測定モード時に TCMMCI 信号を使用/未使用を選択します。</p> <p>0 : TCMMCI 信号は未使用 (常に周期測定を行います)</p> <p>1 : TCMMCI 信号を使用</p> <p>TCMCSR の MCICL=0 の場合、TCMMCI が Low の期間のみ周期測定を行います。MCICL=1 の場合、TCMMCI が High の期間のみ周期測定を行います。</p> <p>【注】 CST=0、TCMMDS=0 のときに、本ビットを変更してください。</p>
0	—	0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>

13.4 動作説明

TCM は、タイマモードおよび周期測定モードで動作します。リセット直後、TCM はタイマモードに設定されています。

13.4.1 タイマモード

TCMCR の TCMMD5 ビットを 0 にクリアすると、TCM はタイマモードで動作します。

(1) カウンタ動作

タイマモードでは、フリーランニングカウンタとして動作可能です。TCMCR の CST ビットを 1 にセットすると、TCMCNT はカウントアップ動作を開始します。TCMCNT が H'FFFF から H'0000 にオーバーフローすると、TCMCSR の OVF ビットが 1 にセットされ、TCMIER の OVIE ビットが 1 であれば割り込み要求を発生します。フリーランニングカウンタの動作例を図 13.2 に示します。また、外部クロック動作の場合の TCMCNT カウントタイミングを図 13.3 に示します。なお外部クロックのパルス幅は、1.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

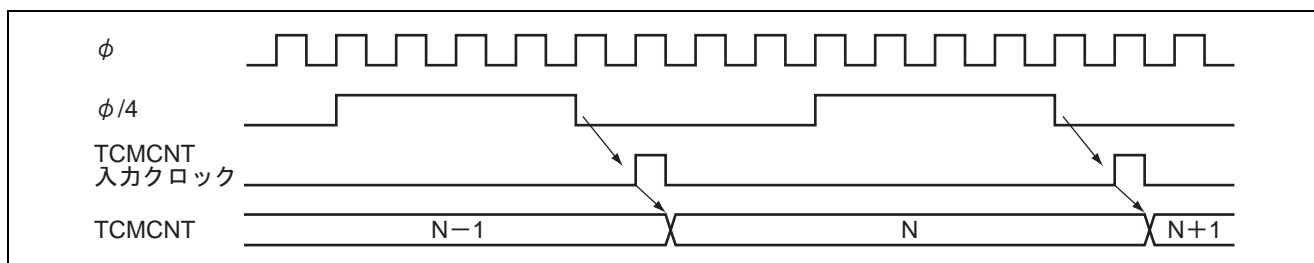


図 13.2 フリーランニングカウンタの動作例

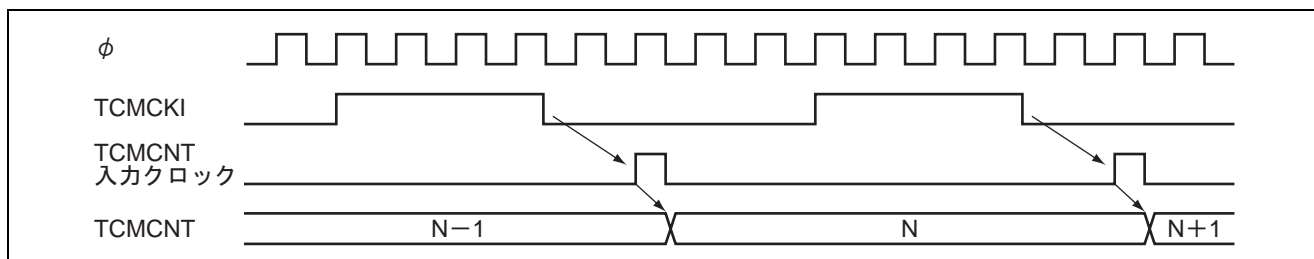


図 13.3 外部クロック動作時のカウントタイミング (立ち下がりエッジの場合)

(2) インพุットキャプチャ

タイマモードでは、TCMCYI 端子の入力エッジを検出して TCMCNT の値を TCMICR に転送します。このとき同時に TCMCSR の ICPF フラグがセットされます。検出エッジは TCMCR の IEDG ビットの設定により、立ち上がりまたは立ち下がりから選択できます。インพุットキャプチャ動作タイミング例を図 13.4 に、インพุットキャプチャのバッファ動作例を図 13.5 に示します。

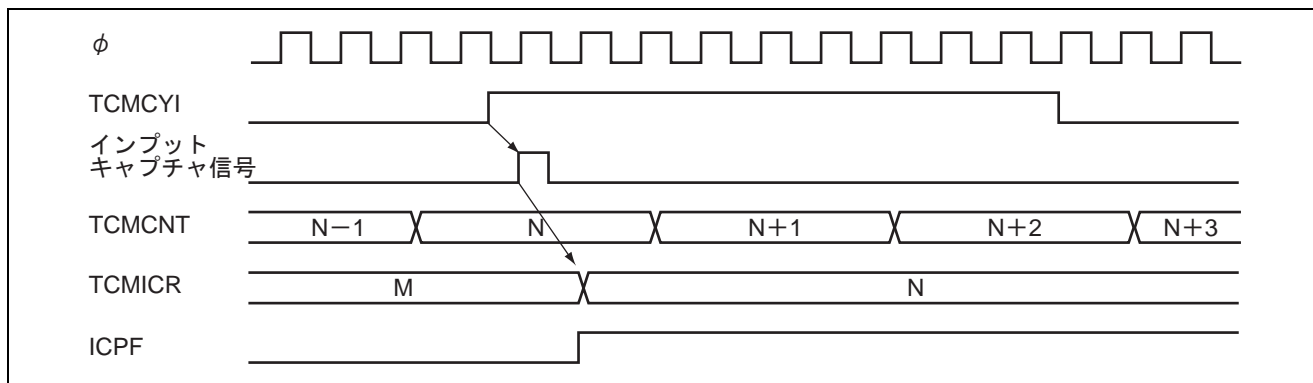


図 13.4 インพุットキャプチャ動作タイミング例 (立ち上がりエッジ選択時)

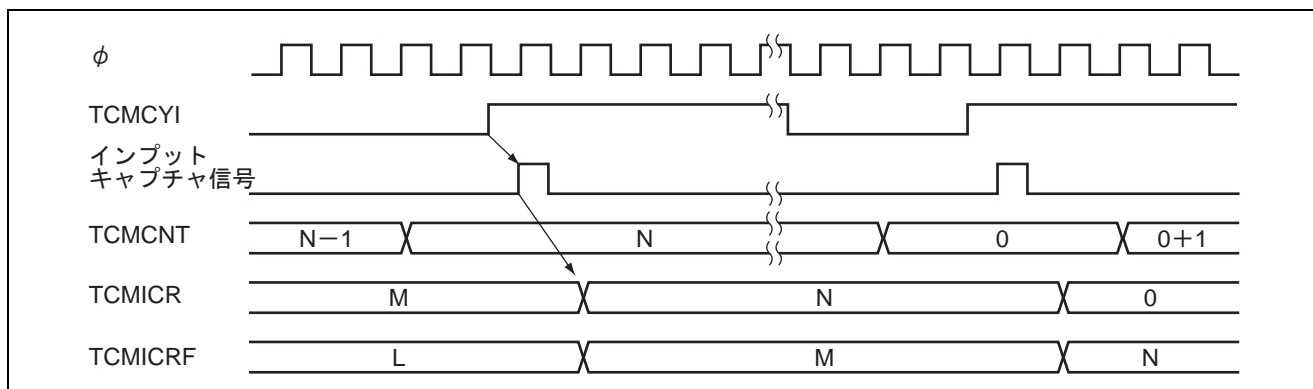


図 13.5 インพุットキャプチャのバッファ動作例

(3) コンペアマッチ時の CMF のセットタイミング

TCMCSR の CMF フラグのセットは、タイマモードで TCMCNT と TCMMLCM の値が一致した最後のステート (TCMCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCMCNT と TCMMLCM の値が一致した後、TCMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。詳細は、「13.6.2 TCMMLCM のライトとコンペアマッチの競合」を参照してください。CMF フラグのセットタイミングを図 13.6 に示します。

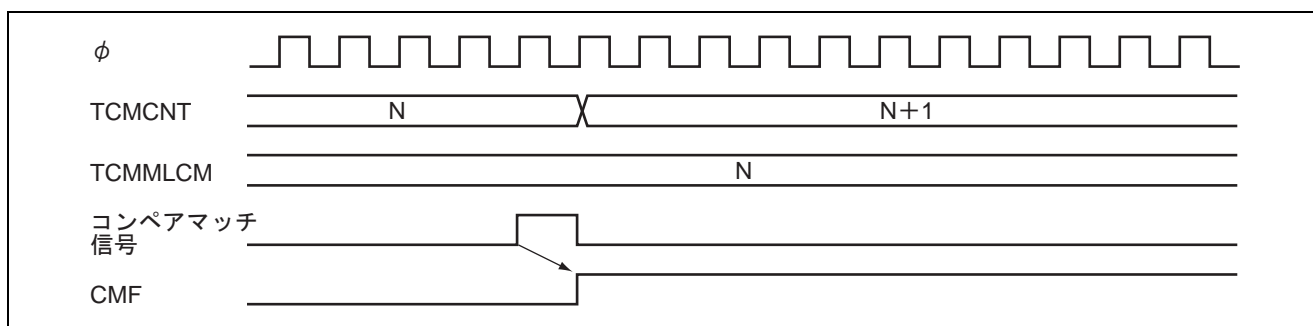


図 13.6 コンペアマッチ時の CMF フラグのセットタイミング

13.4.2 周期測定モード

TCMCR の TCMMD5 ビットを 1 にセットすると、TCM は周期測定モードで動作します。

(1) カウンタ動作

TCMCR の TCMMD5 ビットを 1 にセットすると、周期測定モードに設定され、TCMCR の CST ビットの設定にかかわらず、カウントアップ動作を行います。測定周期の 1 番目のエッジを検出するごとに、TCMCNT は H'0000 にクリアされ、カウントアップ動作を続けます。周期測定モード時のカウンタの動作例を図 13.7 に示します。

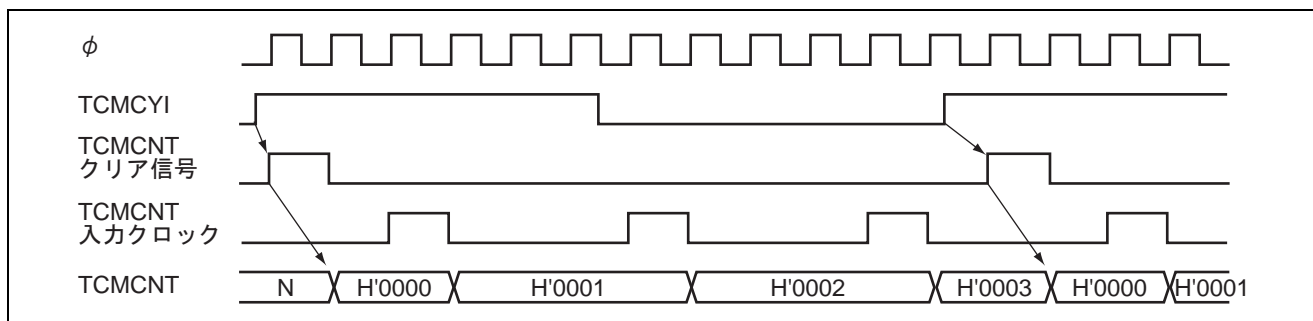


図 13.7 周期測定モード時のカウンタの動作例

(2) 周期測定

周期測定モードでは、1 つの TCM 入力波形周期が 1 つの測定周期になります。最初に、TCMMD5=0、CST=0 に設定して TCMCNT を H'0000 にクリアします。次に、TCMMLCM/TCMMINCM レジスタに測定周期の上限値/下限値を設定します。最後に、TCMCR の TCMMD5 ビットを 1 にセットすると、周期測定モードになります。TCMCNT は選択されたクロックに従って、カウントアップします。測定周期の 1 番目のエッジ (TCMCR の IEDG ビットにより選択可能) を検出すると TCMCNT は自動的に H'0000 にクリアされます。

2 番目のエッジを検出すると TCMCNT の値が TCMICR に転送されます。このとき、同時に TCMICR の値が TCMMLCM/TCMMINCM の値と比較されます。TCMICR の値が TCMMLCM の値よりも大きい場合は、TCMCSR の MAXOVF ビットが 1 にセットされます。TCMICR の値が TCMMINCM の値よりも小さい場合は、TCMCSR の MINUDF ビットが 1 にセットされます。TCMIER の設定により対応する割り込み要求を発生させることができます。また、2 番目のエッジを検出すると TCMCNT は H'0000 にクリアされ、次の測定を開始します。

TCMCR の CPSPE ビットが 0 にクリアされている場合、MAXOVF/MINUDF フラグが 1 にセットされても、次の周期測定を開始します。

TCMCR の CPSPE ビットが 1 にセットされている場合、MAXOVF/MINUDF が 1 にセットされると TCMCNT はカウントアップを停止し、周期測定を停止します。MAXOVF/MINUDF を 0 にクリアすると TCMCNT は自動的に H'0000 にクリアされて、カウントアップを開始し、周期測定を再開します。

図 13.8 に周期測定のタイミング例を示します。

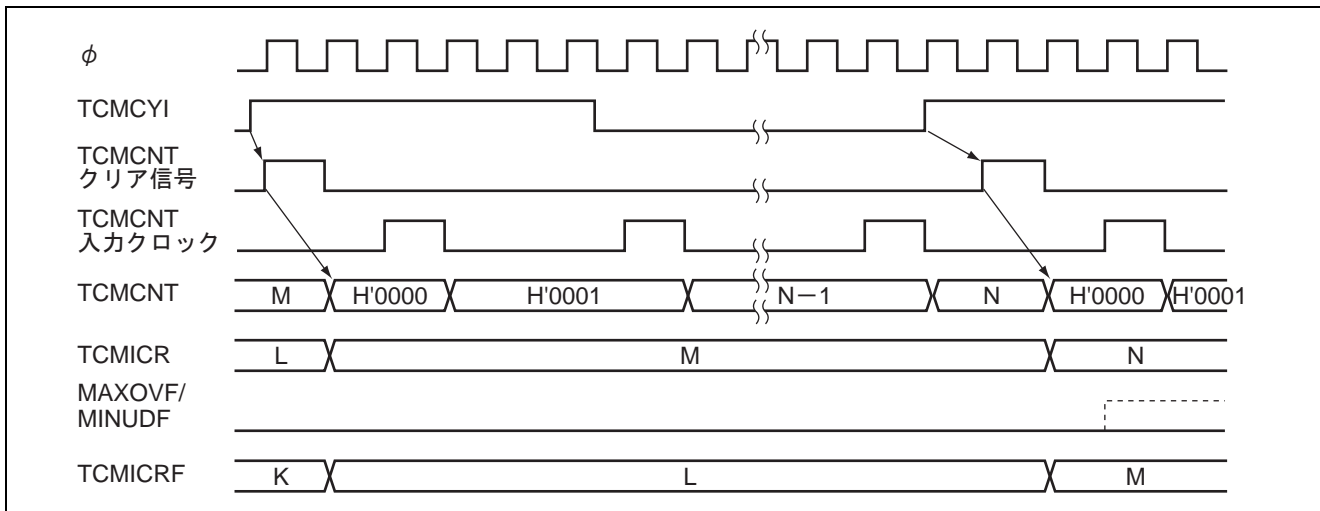


図 13.8 周期測定のためのタイミング例

TCMIER の CMMS ビットが 1 にセットされている場合、TCMMCI 信号が High 期間のみ (TCMCSR の MCICTL = 1 の場合) 周期測定を行います。図 13.9 に CMMS ビットが 1 にセットされているときの周期測定のためのタイミング例を示します。

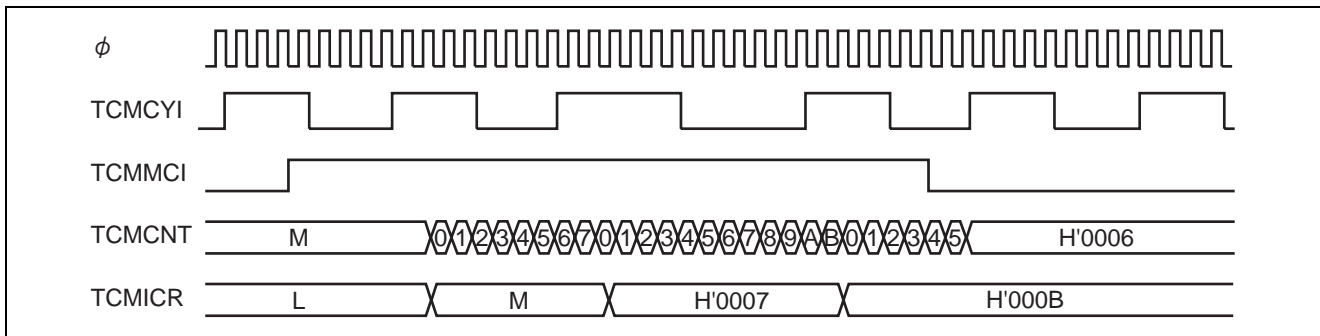


図 13.9 CMMS ビットが 1 にセットされているときの周期測定のためのタイミング例

(3) 外部イベント (TCMCYI) 停止判定

タイマオーバフローフラグを使用して、外部イベント (TCMCYI) 停止状態を判定することができます。外部イベント停止状態は2種類の条件があります。

周期測定モードを開始してから、1番目のエッジ (TCMCR の IEDG ビットにより選択可能) を検出するまでに、タイマオーバフローが発生すると外部イベント停止状態と判定することができます。

図 13.10 に外部イベント停止状態のタイミング例 (1) を示します。

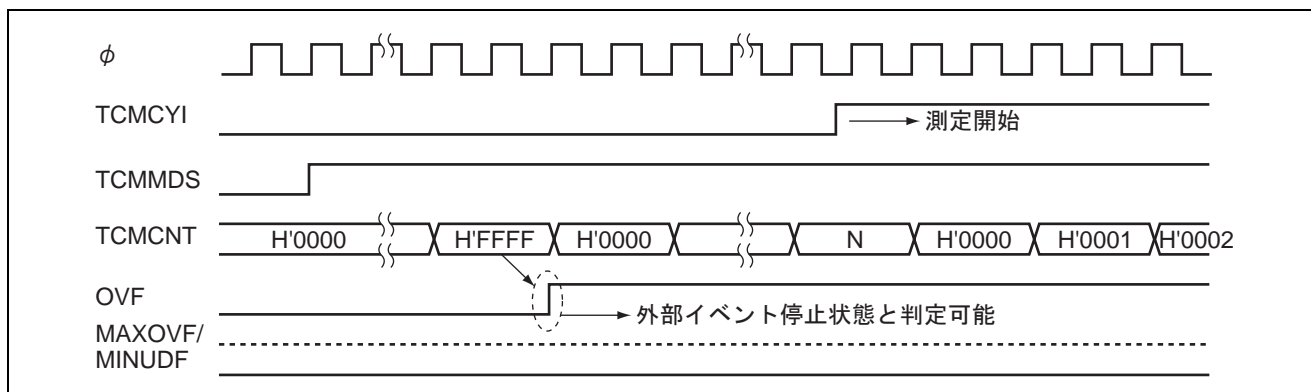


図 13.10 外部イベント停止状態のタイミング例 (1)

TCMCR の CPSPE ビットが 1 にセットされている場合に、MAXOVF/MINUDF が 1 にセットされると、周期測定を停止します。その後、MAXOVF/MINUDF を 0 にクリアすると、周期測定を再開します。ここで、周期測定を再開後に 1 回目のエッジを検出するまでに、タイマオーバフローが発生すると外部イベント停止状態と判定することができます。

図 13.11 に外部イベント停止状態のタイミング例 (2) を示します。

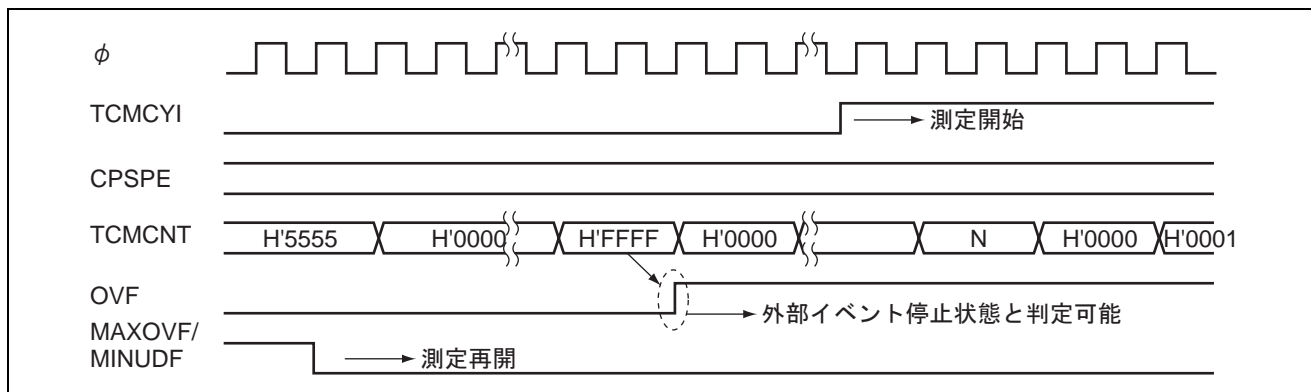


図 13.11 外部イベント停止状態のタイミング例 (2)

(4) 周期測定モードの設定例

周期測定モードを使用する場合のフローチャート例を図 13.12 に示します。

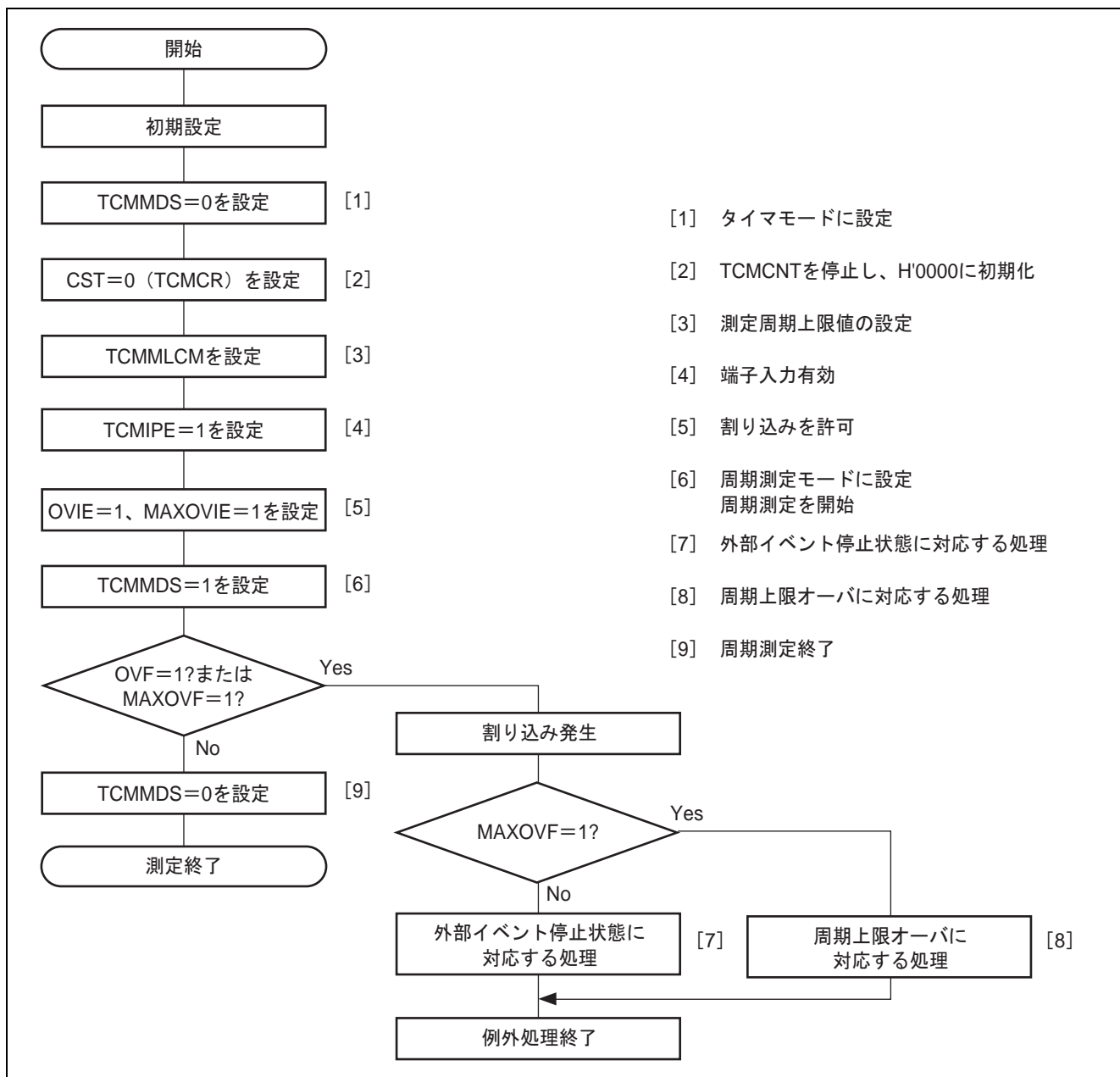


図 13.12 周期測定モード設定例

13.5 割り込み要因

TCM の割り込み要因は TICI、TCMI、TOVMI、TUDI および TOVI の 5 つあります。各割り込み要因は TCMIER の各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。各チャンネルの割り込み要因は 1 つのベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。

表 13.3 各割り込み要因と優先順位を示します。

表 13.3 TCM 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	優先順位
TCM_0	TICI0	TCMICR_0 のインプットキャプチャ	ICPF_0	高  低
	TCMI0	TCMMLCM_0 のコンペアマッチ	CMF_0	
	TOVMI0	TCMMLCM_0 のオーバフロー	MAXOVF_0	
	TUDI0	TCMMINCM_0 のアンダフロー	MINUDF_0	
	TOVI0	TCMCNT_0 のオーバフロー	OVF_0	
TCM_1	TICI1	TCMICR_1 のインプットキャプチャ	ICPF_1	
	TCMI1	TCMMLCM_1 のコンペアマッチ	CMF_1	
	TOVMI1	TCMMLCM_1 のオーバフロー	MAXOVF_1	
	TUDI1	TCMMINCM_1 のアンダフロー	MINUDF_1	
	TOVI1	TCMCNT_1 のオーバフロー	OVF_1	
TCM_2	TICI2	TCMICR_2 のインプットキャプチャ	ICPF_2	
	TCMI2	TCMMLCM_2 のコンペアマッチ	CMF_2	
	TOVMI2	TCMMLCM_2 のオーバフロー	MAXOVF_2	
	TUDI2	TCMMINCM_2 のアンダフロー	MINUDF_2	
	TOVI2	TCMCNT_2 のオーバフロー	OVF_2	

13.6 使用上の注意事項

13.6.1 TCMCNT ライトとカウントアップの競合

TCMCNT のライトサイクルの後半でカウントアップが発生すると、TCMCNT のカウントアップは行われず、TCMCNT のライトが優先されます。このタイミングを図 13.13 に示します。

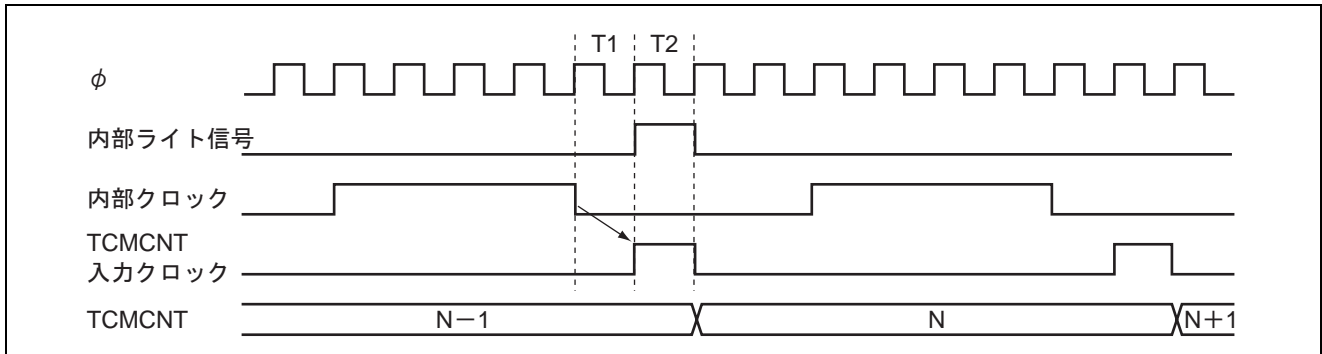


図 13.13 TCMCNT ライトとカウントアップの競合

13.6.2 TCMMLCM のライトとコンペアマッチの競合

タイマモードで、TCMMLCM のライトサイクルの後半でコンペアマッチが発生しても、TCMMLCM のライトが優先されコンペアマッチ信号は禁止されます。このタイミングを図 13.14 に示します。

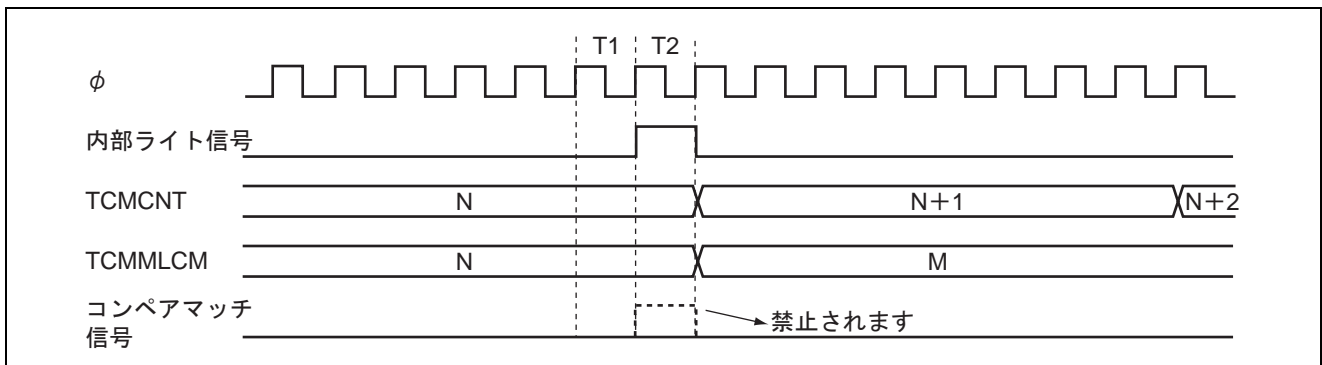


図 13.14 TCMMLCM のライトとコンペアマッチの競合

13.6.3 インพุットキャプチャと TCMICR リードの競合

タイマモードで TCMICR をリード時に、対応するインพุットキャプチャ信号を検出すると、インพุットキャプチャ信号は 1 システムクロック (ϕ) 遅延されます。このタイミングを図 13.15 に示します。

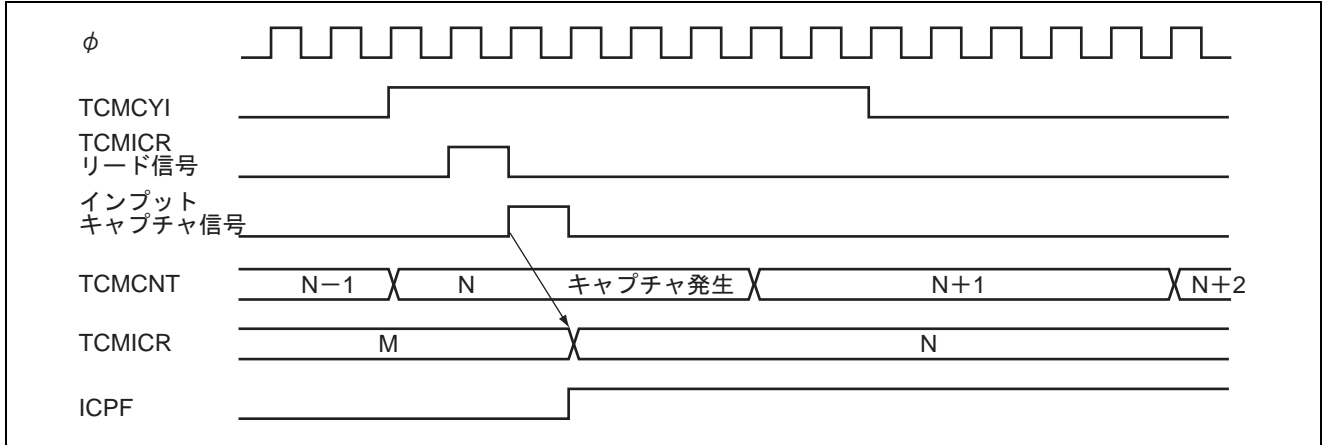


図 13.15 インพุットキャプチャと TCMICR リードの競合

13.6.4 周期測定モード時のエッジ検出とレジスタ (TCMMLCM、TCMMINCM) ライトの競合

周期測定モードでレジスタ (TCMMLCM、TCMMINCM) のライトサイクルの後半で TCMCYI のエッジを検出すると、検出したエッジ信号は 1 システムクロック (ϕ) 遅延されます。

このタイミングを図 13.16 に示します。

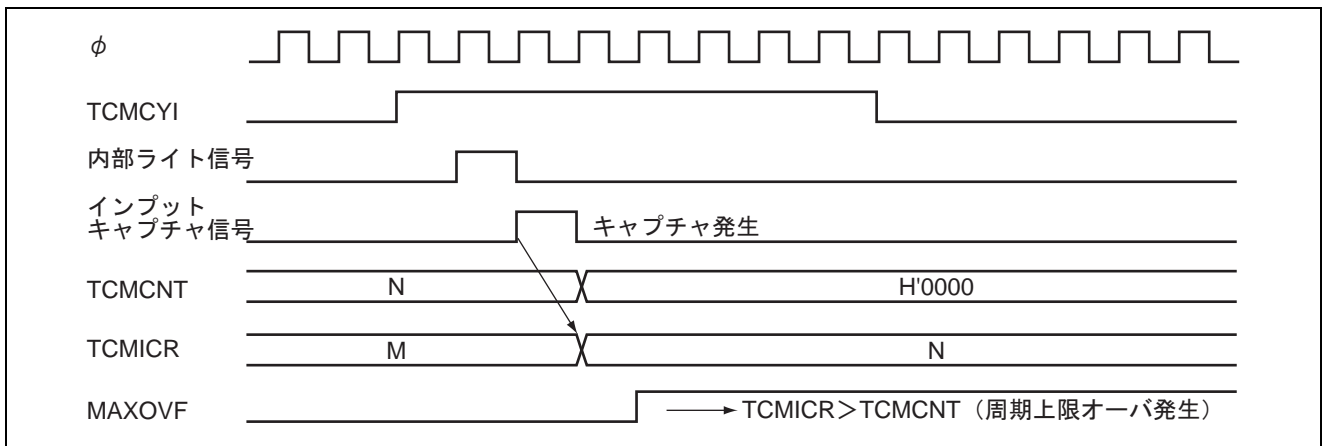


図 13.16 エッジ検出とレジスタライトの競合 (周期測定モード)

13.6.5 周期測定モードのエッジ検出と TCMCR の TCMMDS ビットクリアの競合

周期測定モードで TCMCR の CST ビットが 1 にセットされている場合、TCMCR の TCMMDS ビットをクリアするときに TCMCYI のエッジを検出すると、本タイマは検出したエッジ信号により周期測定モードの動作を行います。次のエッジ検出によりタイマモードの動作を行います。周期測定モードでは CST ビットを 0 にクリアしてください。

このタイミングを図 13.17 に示します。

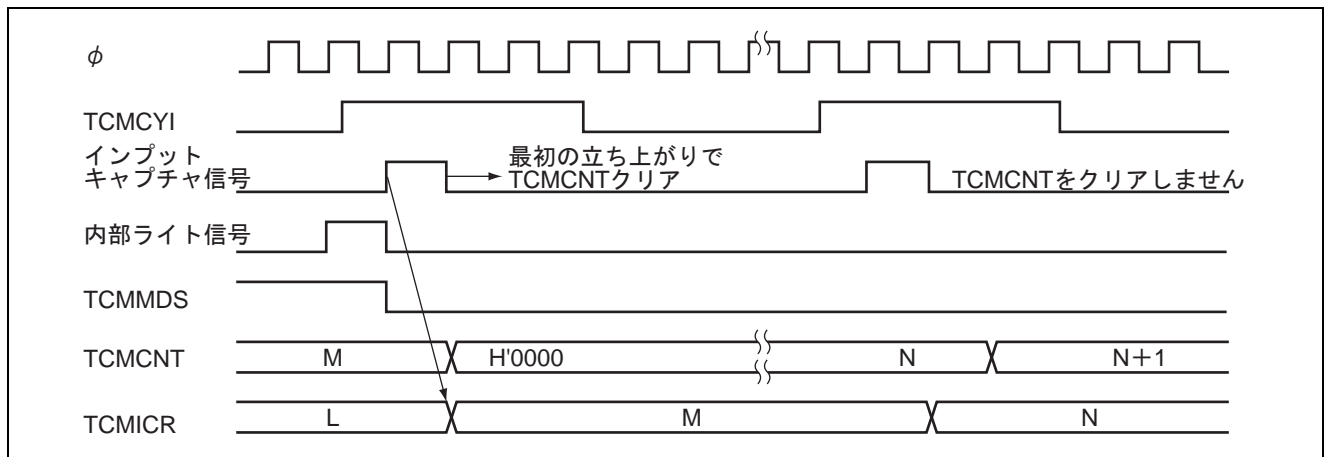


図 13.17 エッジ検出と TCMMDS クリアの競合 (周期測定モードからタイマモードへの切り替え)

13.6.6 TCMCKI と TCMMCI の設定

本 LSI では、TCMCKI と TCMMCI は同一端子に割り付けられています。このため、外部クロックの選択と TCMMCI 信号を同時に使用することができません。CKS2~CKS0=B'111、CMMS=B'1 に設定しないでください。

13.6.7 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TCM の動作停止/許可を設定することが可能です。初期値では TCM の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 29 章 低消費電力状態」を参照してください。

14. ウォッチドッグタイマ (WDT)

本 LSI は、2 チャンネルのウォッチドッグタイマ (WDT_0、WDT_1) を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバーフローすると、本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT_0、WDT_1 のブロック図を図 14.1 に示します。

14.1 特長

- WDT_0は8種類、WDT_1は24種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

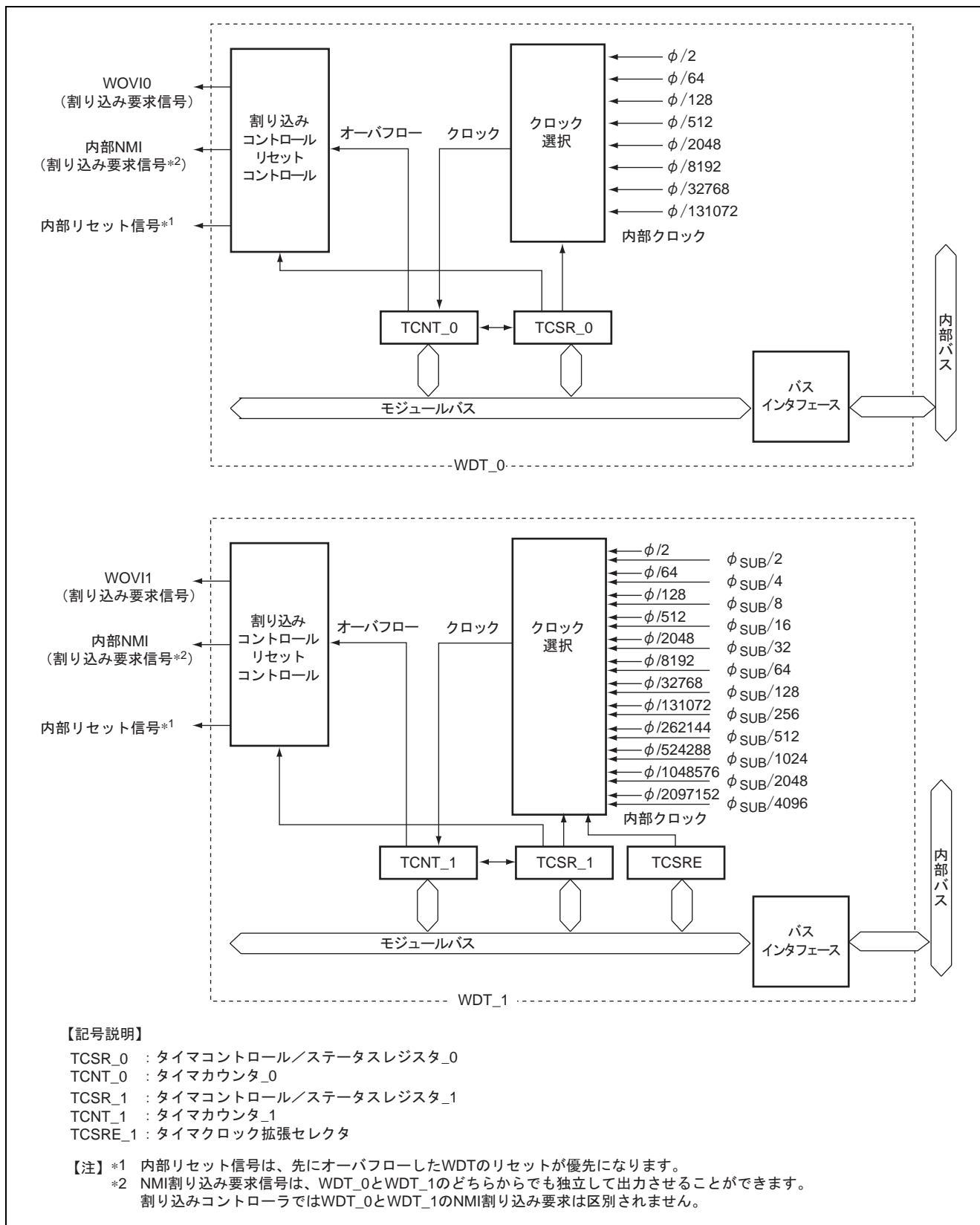


図 14.1 WDT のブロック図

14.2 入出力端子

WDT の入出力端子を表 14.1 に示します。

表 14.1 端子構成

名 称	端子名	入出力	機 能
外部サブクロック入力端子	EXCL	入力	WDT_1 のプリスケアラのカウンタ入カクロック

14.3 レジスタの説明

WDT にはチャンネルごとに以下のレジスタがあります。TCNT、TCSR、TCSRE は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は「14.6.1 レジスタアクセス時の注意事項」を参照してください。システムコントロールレジスタについては、「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

表 14.2 レジスタの構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	データバス幅
チャンネル 0	タイマカウンタ_0	TCNT_0	R/W	H'00	H'FFA8 H'FFA9*	16 8
	タイマコントロール/ステータスレジスタ_0	TCSR_0	R/W	H'00	H'FFA8 H'FFA8*	16 8
チャンネル 1	タイマカウンタ_1	TCNT_1	R/W	H'00	H'FFEA H'FFEB*	16 8
	タイマコントロール/ステータスレジスタ_1	TCSR_1	R/W	H'00	H'FFEA H'FFEA*	16 8
	タイマクロック拡張セクタ_1	TCSRE_1	R/W	H'00	H'FFEC H'FFEC*	16 8

【注】 * 上段：ライト時、下段：リード時のアドレス

14.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

14.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>TCNT がオーバフロー (H'FF→H'00) したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TCNT がオーバフロー (H'FF→H'00) したとき <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき
6	WT/ \overline{IT}	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード 1 : ウォッチドッグタイマモード</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	—	0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>
3	RST/ \overline{NMI}	0	R/W	<p>リセットまたは NMI</p> <p>TCNT がオーバフローしたときに、内部リセットか NMI 割り込み要求かを選択します。</p> <p>0 : NMI 割り込みを要求 1 : 内部リセットを要求</p>

ビット	ビット名	初期値	R/W	説明
2	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。() 内は $\phi = 20\text{MHz}$ のときのオーバフロー周期を表します。 000 : $\phi/2$ (周期 25.6 μs) 001 : $\phi/64$ (周期 819.2 μs) 010 : $\phi/128$ (周期 1.6ms) 011 : $\phi/512$ (周期 6.6ms) 100 : $\phi/2048$ (周期 26.2ms) 101 : $\phi/8192$ (周期 104.9ms) 110 : $\phi/32768$ (周期 419.4ms) 111 : $\phi/131072$ (周期 1.68s)
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)* ¹	オーバフローフラグ TCNT がオーバフロー (H'FF→H'00) したことを示します。 [セット条件] • TCNT がオーバフロー (H'FF→H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。 [クリア条件] • OVF=1 の状態で、TCSR をリード後* ² 、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき
6	WT/ $\bar{\text{IT}}$	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。 0 : インターバルタイマモード 1 : ウォッチドッグタイマモード
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4	PSS	0	R/W	プリスケーラセレクト TCNT に入力するクロックを選択します。 0 : ϕ ベースのプリスケーラ (PSM) の分周クロックをカウント 1 : ϕ_{SUB} ベースのプリスケーラ (PSS) の分周クロックをカウント

ビット	ビット名	初期値	R/W	説明
3	RST/NMI	0	R/W	リセットまたは NMI TCNT がオーバフローしたときに、内部リセットか NMI 割り込み要求かを選択します。 0 : NMI 割り込みを要求 1 : 内部リセットを要求
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。() 内は $\phi = 20\text{MHz}$ 、 $\phi_{\text{SUB}} = 32.768\text{kHz}$ のときのオーバフロー周期を表します。 PSS=0 の場合 000 : $\phi / 2$ (周期 $25.6\mu\text{s}$) 001 : $\phi / 64$ (周期 $819.2\mu\text{s}$) 010 : $\phi / 128$ (周期 1.6ms) 011 : $\phi / 512$ (周期 6.6ms) 100 : $\phi / 2048$ (周期 26.2ms) 101 : $\phi / 8192$ (周期 104.9ms) 110 : $\phi / 32768$ (周期 419.4ms) 111 : $\phi / 131072$ (周期 1.68s) PSS=1 の場合 000 : $\phi_{\text{SUB}} / 2$ (周期 15.6ms) 001 : $\phi_{\text{SUB}} / 4$ (周期 31.3ms) 010 : $\phi_{\text{SUB}} / 8$ (周期 62.5ms) 011 : $\phi_{\text{SUB}} / 16$ (周期 125ms) 100 : $\phi_{\text{SUB}} / 32$ (周期 250ms) 101 : $\phi_{\text{SUB}} / 64$ (周期 500ms) 110 : $\phi_{\text{SUB}} / 128$ (周期 1s) 111 : $\phi_{\text{SUB}} / 256$ (周期 2s)

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

14.3.3 タイマクロック拡張セレクタ (TCSRE)

TCSRE_1 は、TCNT に入力するクロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	EXCNTE	0	R/W	TCSRE_1 レジスタの CKS3~CKS0 のイネーブルビットです。 0 : TCSR_1 の CKS2~0 が有効になります。TCSRE_1 の CKS3~0 は無効です。 1 : TCSRE_1 の CKS3~0 が有効になります。TCSR_1 の CKS2~0 は無効です。
6~4	—	すべて 0	—	リザーブビット
3	CKS3	0	R/W	クロックセレクト 3~0
2	CKS2	0	R/W	TCNT に入力するクロックを選択します。() 内は $\phi=20\text{MHz}$ 、 $\phi\text{SUB}=32.768\text{kHz}$ のときのオーバフロー周期を表します。 PSS=0 の場合 0000 : $\phi/2$ (周期 25.6 μs) 0001 : $\phi/64$ (周期 819.2 μs) 0010 : $\phi/128$ (周期 1.6ms) 0011 : $\phi/512$ (周期 6.6ms) 0100 : $\phi/2048$ (周期 26.2ms) 0101 : $\phi/8192$ (周期 104.9ms) 0110 : $\phi/32768$ (周期 419.4ms) 0111 : $\phi/131072$ (周期 1.68s) 1000 : $\phi/262144$ (周期 3.36s) 1001 : $\phi/524288$ (周期 6.71s) 1010 : $\phi/1048576$ (周期 13.42s) 1011 : $\phi/2097152$ (周期 26.8s) 11xx : 設定不可 PSS=1 の場合 0000 : $\phi\text{SUB}/2$ (周期 15.6ms) 0001 : $\phi\text{SUB}/4$ (周期 31.3ms) 0010 : $\phi\text{SUB}/8$ (周期 62.5ms) 0011 : $\phi\text{SUB}/16$ (周期 125ms) 0100 : $\phi\text{SUB}/32$ (周期 250ms) 0101 : $\phi\text{SUB}/64$ (周期 500ms) 0110 : $\phi\text{SUB}/128$ (周期 1s) 0111 : $\phi\text{SUB}/256$ (周期 2s) 1000 : $\phi\text{SUB}/512$ (周期 4s) 1001 : $\phi\text{SUB}/1024$ (周期 8s) 1010 : $\phi\text{SUB}/2048$ (周期 16s) 1011 : $\phi\text{SUB}/4096$ (周期 32s) 11xx : 設定不可 【注】 TCSRE_1 の EXCNTE=1 時のみ有効です。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

14.4 動作説明

14.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときには、TCSR の WT/\overline{IT} ビット=1 に、TME ビット=1 に設定してください。ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、内部リセットまたは NMI 割り込み要求を発生します。システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバーフローを発生させないようにプログラミングしてください。

TCSR の RST/\overline{NMI} ビットを 1 にセットしておく、図 14.2 に示すように TCNT がオーバーフローしたときに、本 LSI の内部をリセットする信号が 131079 システムクロックの間出力されます。また、 RST/\overline{NMI} ビットを 0 にクリアしておく、TCNT がオーバーフローしたときに、NMI 割り込み要求を発生します。

ウォッチドッグタイマからの内部リセット要求と \overline{RES} 端子からのリセット入力およびパワーオンリセットは、同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。ウォッチドッグタイマからの内部リセット要求と \overline{RES} 端子からのリセット入力が同時に発生したときは、 \overline{RES} 端子からのリセット入力が優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

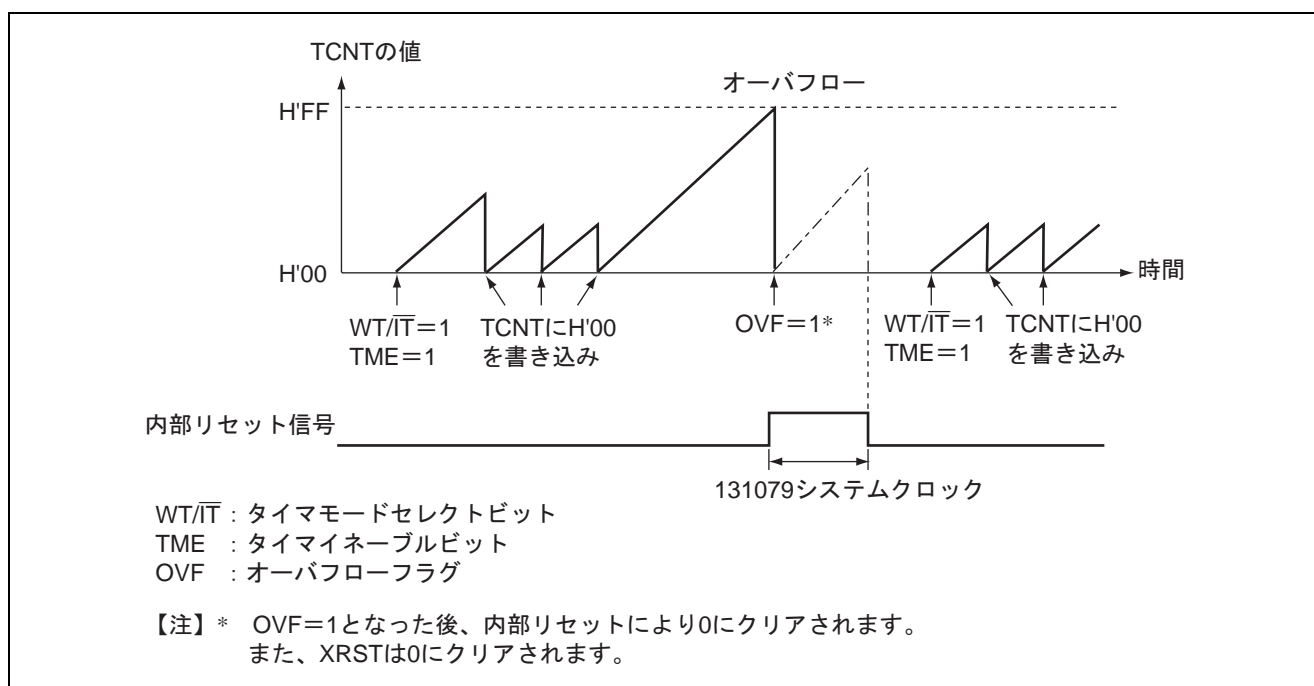


図 14.2 ウォッチドッグタイマモード時 ($RST/\overline{NMI}=1$) の動作

14.4.2 インターバルタイマモード

インターバルタイマとして動作しているときは、**図 14.3** に示すように TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF フラグが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

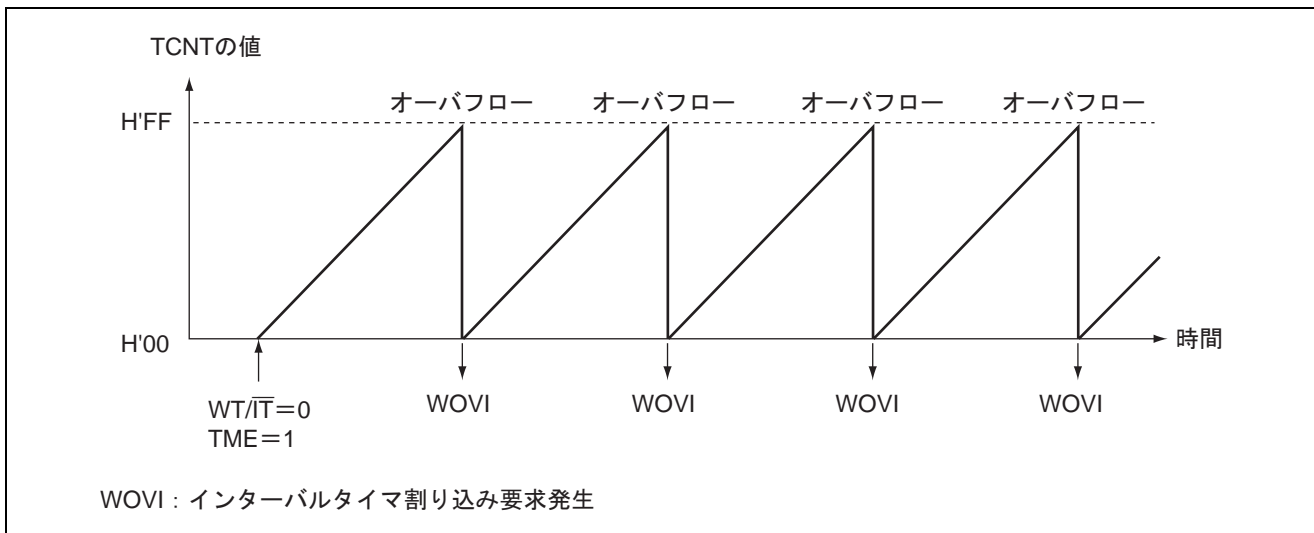


図 14.3 インターバルタイマモード時の動作

14.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) が発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時は、オーバーフローにより NMI 割り込み要求が発生します。

表 14.3 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNT のオーバーフロー	OVF

14.6 使用上の注意事項

14.6.1 レジスタアクセス時の注意事項

TCNT、TCSR、TCSRE は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、TCSRE へのライト

TCNT、TCSR、TCSRE へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、**図 14.4** に示すようにして転送してください。TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。同じく、TCSRE へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータに転送してください。

<TCNTライト時>	TCNTライトアドレス :	15	8 7	0
		H'5A		ライトデータ
<TCSRライト時>	TCSRライトアドレス :	15	8 7	0
		H'A5		ライトデータ
<TCSREライト時>	TCSREライトアドレス :	15	8 7	0
		H'A5		ライトデータ

図 14.4 TCNT、TCSR、TCSRE へのライト

(2) TCNT、TCSR、TCSRE からのリード

リードは、一般のレジスタと同様の方法で行うことができます。

14.6.2 タイマカウンタ (TCNT) のライトカウントアップの競合

TCNT のライトサイクル中にカウントアップが発生しても、カウントアップされずに TCNT のカウンタライトが優先されます。

14.6.3 TCSR の CKS2~CKS0 ビットと TCSRE の CKS3~CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2~CKS0 ビット、また TCSRE の CKS3~CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。TCSR の CKS2~CKS0 ビットと TCSRE の CKS3~CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.6.4 PSS ビットの書き換え

WDT の動作中に TCSR_1 の PSS ビットを書き換えると、正しい動作が行われない場合があります。PSS ビットを書き換えるときは、必ず WDT を停止させて (TME ビットを 0 にクリアして) から行ってください。

14.6.5 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.6.6 ウォッチモード、ソフトウェアスタンバイモード解除時の WDT_1 のレジスタアクセス

WDT_1 へのサブクロック入力許可時、割り込みでウォッチモードまたはソフトウェアスタンバイモードを解除直後に WDT_1 のレジスタをアクセスする場合は、レジスタアクセス前に $65\mu\text{s}$ のプログラムウェイトを挿入してください。

15. シリアルコミュニケーションインタフェース (SCI)

本 LSI は 1 チャネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。

15.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類
送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能
- ストップビット長 : 1ビット/2ビット選択可能
- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時、RxD端子のレベルを直接リードすることでブレークを検出可能
- マルチプロセッサ間通信が可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

SCI のブロック図を図 15.1 に示します。

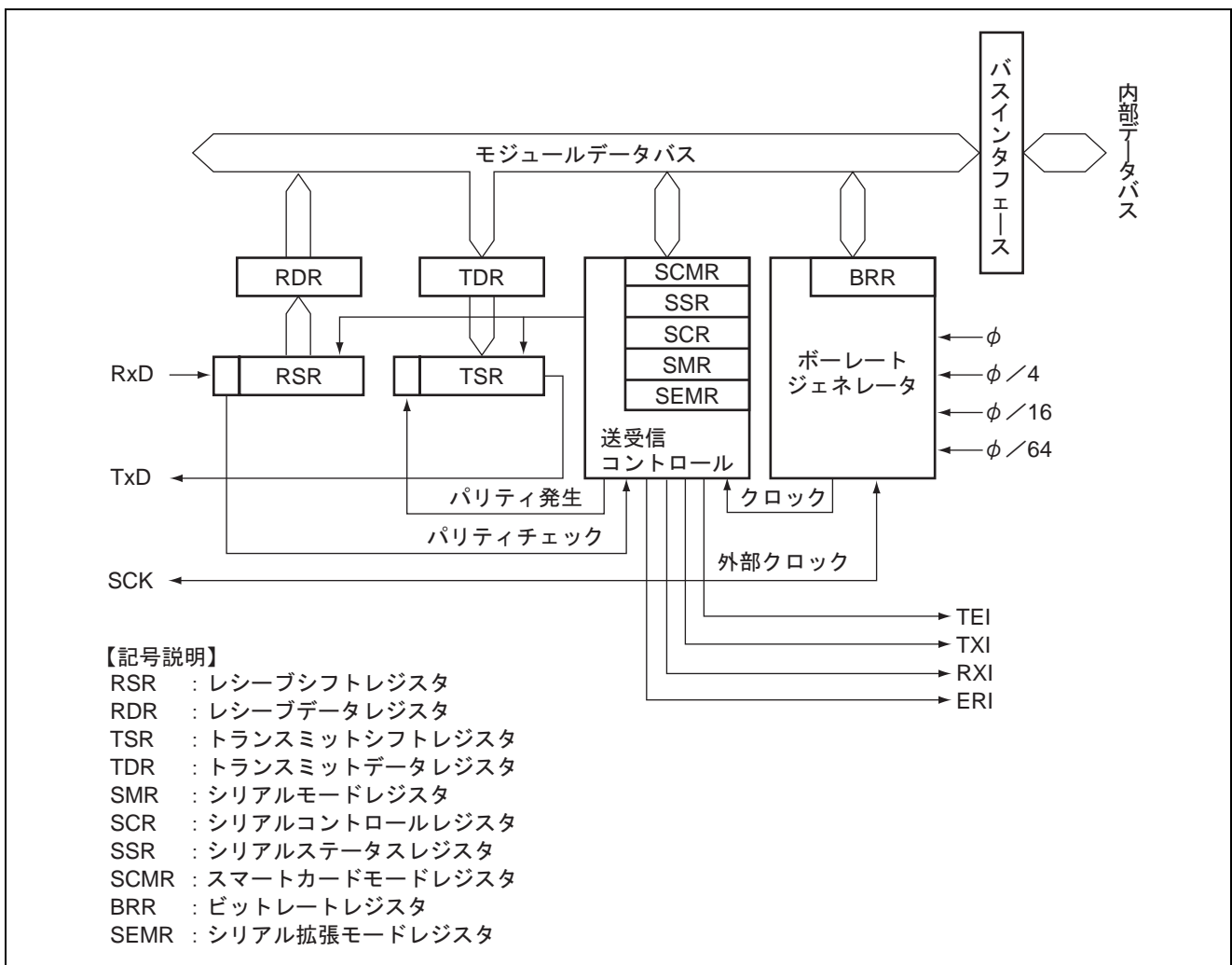


図 15.1 SCI のブロック図

15.2 入出力端子

SCI には、表 15.1 の入出力端子があります。

表 15.1 端子構成

チャンネル	端子名*	入出力	機能
1	SCK1	入出力	チャンネル 1 のクロック入出力端子
	RxD1	入力	チャンネル 1 の受信データ入力端子
	TxD1	出力	チャンネル 1 の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15.3 レジスタの説明

SCI にはチャンネルごとに以下のレジスタがあります。シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	データバス幅
チャンネル 1	シリアルモードレジスタ_1	SMR_1	R/W	H'00	H'FF88	8
	ビットレートレジスタ_1	BRR_1	R/W	H'FF	H'FF89	8
	シリアルコントロールレジスタ_1	SCR_1	R/W	H'00	H'FF8A	8
	トランスミットデータレジスタ_1	TDR_1	R/W	H'FF	H'FF8B	8
	シリアルステータスレジスタ_1	SSR_1	R/W	H'84	H'FF8C	8
	レシーブデータレジスタ_1	RDR_1	R	H'00	H'FF8D	8
	スマートカードモードレジスタ_1	SCMR_1	R/W	H'F2	H'FF8E	8
	シリアル拡張モードレジスタ	SEMR_1	R/W	H'00	H'FF8F	8

15.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

15.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につき送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード/ライト可能ですが、TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。TDR の初期値は H'FF です。

15.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

15.3.5 シリアルモードレジスタ (SMR)

SMRは通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMRは通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	C/A	0	R/W*	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W*	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W*	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/E	0	R/W*	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が奇数個になるようにパリティビットを決定します。
3	STOP	0	R/W*	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W*	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/E ビットの設定は無効です。
1	CKS1	0	R/W*	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W*	

【注】 * TE=RE=0 の場合のみライト可能です。

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W* ¹	GSM モード このビットを1にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu* ² に前倒しされ、クロック出力制御機能が追加されます。詳細は「15.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W* ¹	このビットを1にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「15.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W* ¹	パリティイネーブル このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。
4	O/E	0	R/W* ¹	パリティモード 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「15.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W* ¹ R/W* ¹	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を、SCMR の BCP2 ビットと組み合わせて選択します。 BCP2、BCP1、BCP0 の設定値 000 : 93 クロック (S=93) 001 : 128 クロック (S=128) 010 : 186 クロック (S=186) 011 : 512 クロック (S=512) 100 : 32 クロック (S=32) (初期値) 101 : 64 クロック (S=64) 110 : 372 クロック (S=372) 111 : 256 クロック (S=256) 詳細は、「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。Sは「15.3.9 ビットレートレジスタ (BRR)」中のSの値を表します。

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W*1	クロックセレクト 1、0
0	CKS0	0	R/W*1	<p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : ϕ クロック (n=0)</p> <p>01 : $\phi/4$ クロック (n=1)</p> <p>10 : $\phi/16$ クロック (n=2)</p> <p>11 : $\phi/64$ クロック (n=3)</p> <p>このビットの設定値とポーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。</p>

【注】 *1 TE=RE=0 の場合のみライト可能です。

*2 etu : Elementary Time Unit 1 ビットの転送期間

15.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「15.8 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアするか、TIE ビットを0にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから1をリードした後、0にクリアするか、RIE ビットを0にクリアすることで行うことができます。
5	TE	0	R/W* ¹	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを0にクリアするとシリアル送信を開始します。なお、TE ビットを1にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを0にして、送信動作を禁止すると、SSR の TDRE フラグは1に固定されます。
4	RE	0	R/W* ¹	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを0にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

ビット	ビット名	初期値	R/W	説明
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常受信動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 クリアし、RXI、ERI 割り込み要求 (SCR の RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。</p> <p>TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W*2 R/W*2	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内部クロック (SCK 端子は入出力ポートとして使用できます)</p> <p>01 : 内部クロック (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1x : 外部クロック (ビットレートの 16 倍の周波数のクロックを SCK 端子に入力してください。)</p> <p>クロック同期式の場合</p> <p>0x : 内部クロック (SCK 端子はクロック出力端子となります。)</p> <p>1x : 外部クロック (SCK 端子はクロック入力端子となります。)</p>

【記号説明】 x : Don't care

【注】 *1 TE=RE=0 の場合のみ、1 をライト可能です。いったん、TE、RE ビットのいずれかを 1 にセットした後は、TE=RE=0 のライトのみ可能になります。

*2 TE=RE=0 の場合のみライト可能です。

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W* ¹	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W* ¹	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効) スマートカードインタフェースではこのビットには0をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0をライトして使用してください。
1 0	CKE1 CKE0	0 0	R/W* ² R/W* ²	クロックイネーブル 1、0 SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「15.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1x : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力

【記号説明】 x : Don't care

【注】 *1 TE=RE=0 の場合のみ、1 をライト可能です。いったん、TE、RE ビットのいずれかを1にセットした後は、TE=RE=0 のライトのみ可能になります。

*2 TE=RE=0 の場合のみライト可能です。

15.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF=0のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送され、TDR がデータライト可能になったとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。 [セット条件] <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。 [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ストップビットが0のとき <p>2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態では、以降の受信データはRDRに転送されません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、FERフラグは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降の受信データはRDRに転送されません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、PERフラグは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCRのTEが0のとき 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

• スマートカードインタフェース (SCMRのSMIF=1のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* ¹	<p>トランスミットデータレジスタエンプティ</p> <p>TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR の TE が 0 のとき TDR から TSR にデータが転送され、TDR がデータライト可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
6	RDRF	0	R/(W)* ¹	<p>レシーブデータレジスタフル</p> <p>RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* ¹	<p>オーバーランエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、ORER フラグは影響を受けず状態を保持します。</p>
4	ERS	0	R/(W)* ¹	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)* ¹	<p>パリティエラー</p> <p>受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降の受信データはRDRに転送されません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、PERフラグは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データをTDRに転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCRのTE=0のとき 1バイトのデータを送信して一定期間後、ERS=0かつTDRE=1のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0のとき、送信開始から2.5etu*²後</p> <p>GM=0、BLK=1のとき、送信開始から1.5etu*²後</p> <p>GM=1、BLK=0のとき、送信開始から1.0etu*²後</p> <p>GM=1、BLK=1のとき、送信開始から1.0etu*²後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 etu : Elementary Time Unit1 ビットの転送期間

15.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	BCP2	1	R/W*	基本クロックパルス 2 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR の BCP1、BCP0 ビットと組み合わせて選択します。 設定値は「15.3.5 シリアルモードレジスタ (SMR)」を参照してください。
6~4	—	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W*	スマートカードデータ転送ファディレクション シリアル/パラレル変換の方向を選択します。 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W*	スマートカードデータインバート 送受信データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0 : TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1 : TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W*	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

【注】 * TE=RE=0 の場合のみライト可能です。

15.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 15.2 に示します。BRR の初期値は H'FF です。BRR は、CPU からのリードは常に可能ですが、ライトは TE=RE=0 の場合のみ可能です。

表 15.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	
スマートカード インタフェース	$B = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

ϕ : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n	SCMR の設定	SMR の設定値		S
CKS1	CKS0		BCP2	BCP1	BCP0	
0	0	0	0	0	0	93
0	1	1	0	0	1	128
1	0	2	0	1	0	186
1	1	3	0	1	1	512
			1	0	0	32
			1	0	1	64
			1	1	0	372
			1	1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 15.3 に、各動作周波数における設定可能な最大ビットレートを表 15.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 15.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 15.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 15.5、表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (1)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	12.288			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	159	0.00	2	181	0.16	2	191	0.00	2	207	0.16
300	2	79	0.00	2	90	0.16	2	95	0.00	2	103	0.16
600	1	159	0.00	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	9	0.00	-	-	-	0	11	0.00	0	12	0.16

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 - : 設定可能ですが誤差がです。

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (2)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	16	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 - : 設定可能ですが誤差がでます。

表 15.4 各動作周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	n	N	ϕ (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0	14.7456	460800	0	0
9.8304	307200	0	0	16	500000	0	0
10	312500	0	0	17.2032	537600	0	0
12	375000	0	0	18	562500	0	0
12.288	384000	0	0	19.6608	614400	0	0
14	437500	0	0	20	625000	0	0

表 15.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000	14.7456	3.6864	230400
9.8304	2.4576	153600	16	4.0000	250000
10	2.5000	156250	17.2032	4.3008	268800
12	3.0000	187500	18	4.5000	281250
12.288	3.0720	192000	19.6608	4.9152	307200
14	3.5000	218750	20	5.0000	312500

表 15.6 ビットレートに対する BRR の設定例 [クロック同期式モード]

ビット レート (bit/s)	動作周波数 φ (MHz)								
	8		10		16		20		
	n	N	n	N	n	N	n	N	
110									
250	3	124	—	—	3	249			
500	2	249	—	—	3	124	—	—	
1k	2	124	—	—	2	249	—	—	
2.5k	1	199	1	249	2	99	2	124	
5k	1	99	1	124	1	199	1	249	
10k	0	199	0	249	1	99	1	124	
25k	0	79	0	99	0	159	0	199	
50k	0	39	0	49	0	79	0	99	
100k	0	19	0	24	0	39	0	49	
250k	0	7	0	9	0	15	0	19	
500k	0	3	0	4	0	7	0	9	
1M	0	1			0	3	0	4	
2.5M			0	0*			0	1	
5M							0	0*	

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

* : 連続送信/連続受信はできません。

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	16	2.6667	2666666.7
10	1.6667	1666666.7	18	3.0000	3000000.0
12	2.0000	2000000.0	20	3.3333	3333333.3
14	2.3333	2333333.3			

表 15.8 ビットレートに対する BRR の設定例
(スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	10.00			13.00			14.2848		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	30	0	1	-8.99	0	1	0.00

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	12.01	0	2	-15.99	0	2	-6.65

表 15.9 各動作周波数における最大ビットレート
(スマートカードインタフェースモードで $S=372$ のとき)

ϕ (MHz)	最大ビットレート (bit/s)	n	N	ϕ (MHz)	最大ビットレート (bit/s)	n	N
10.00	13441	0	0	16.00	21505	0	0
13.00	17473	0	0	18.00	24194	0	0
14.2848	19200	0	0	20.00	26882	0	0

15.3.10 シリアル拡張モードレジスタ (SEMR)

SEMR は、調歩同期式モード時の 1 ビット期間の基本クロックを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。
3	ABCS	0	R/W*	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作
2~0	—	すべて 0	—	リザーブビット リードすると常に 0 が読み出されます。

【注】 * TE=RE=0 の場合のみライト可能です。

15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

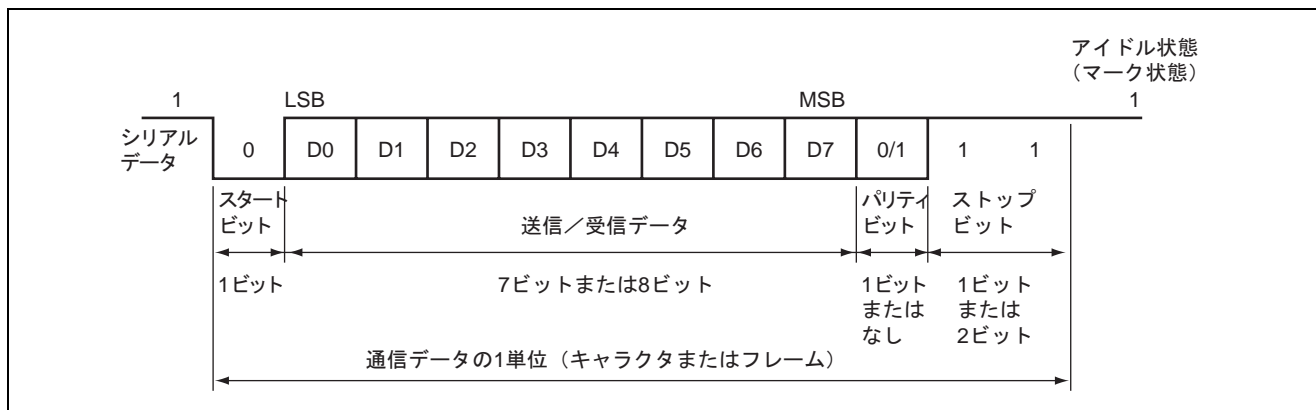


図 15.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

表 15.10 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

15.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍（倍速動作時は8倍）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 15.3**に示すように受信データを基本クロックの8ヶ目（倍速動作時は4ヶ目）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left[0.5 - \frac{1}{2N} \right] - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (SEMR の ABCS=0 のとき N=16、ABCS=1 のとき N=8)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) =0、D (クロックのデューティ) =0.5、N=16 とすると、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30%の余裕を持たせてください。

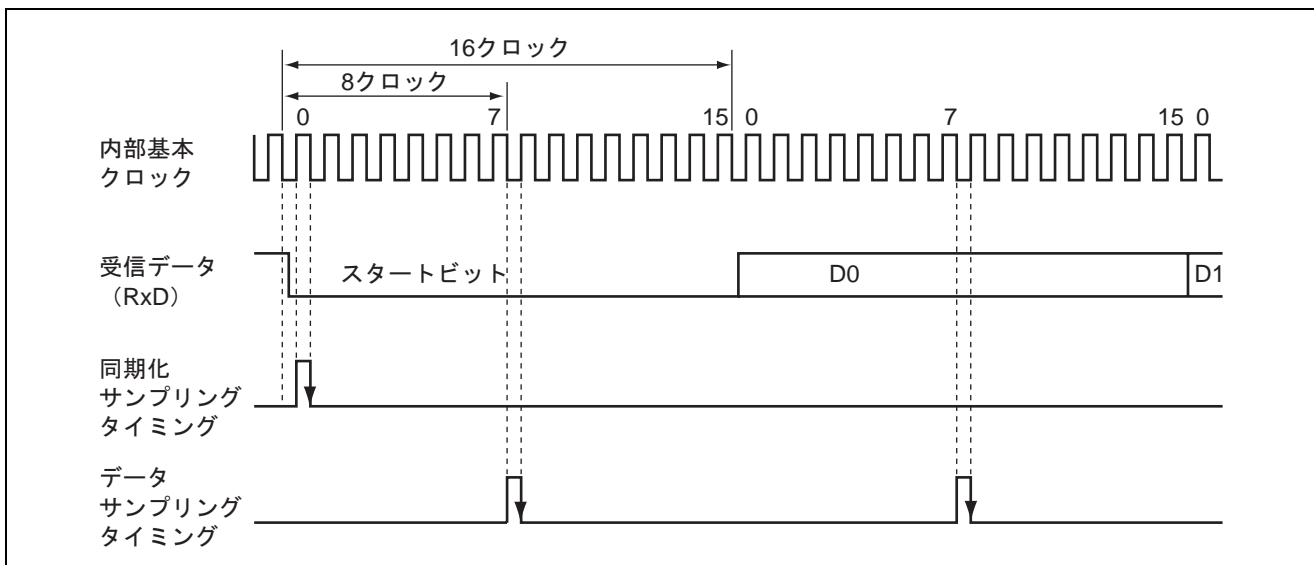


図 15.3 調歩同期式モードの受信データサンプリングタイミング

15.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍（倍速動作時は8倍）の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図15.4に示すように送信データの中央でクロックが立ち上がります。

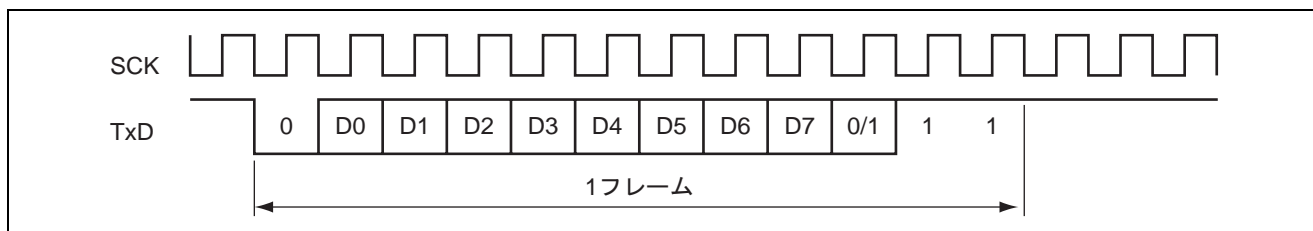


図 15.4 出カクロックと送信データの位相関係（調歩同期式モード）

15.4.4 倍速動作

「15.4.3 クロック」の動作に加えて、SEMRのABCSビットの設定により倍速動作が可能です。

通常のビットレートの16倍の周波数のクロックの動作を倍速動作では、8倍の周波数のクロックで動作させることができます。同一の基本クロックで2倍の転送レートで動作することができます。

倍速動作は、内部ボーレートジェネレータの生成する内部クロック、またはSCK端子から入力される外部クロックのいずれでも設定が可能です。

15.4.5 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、**図 15.5** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

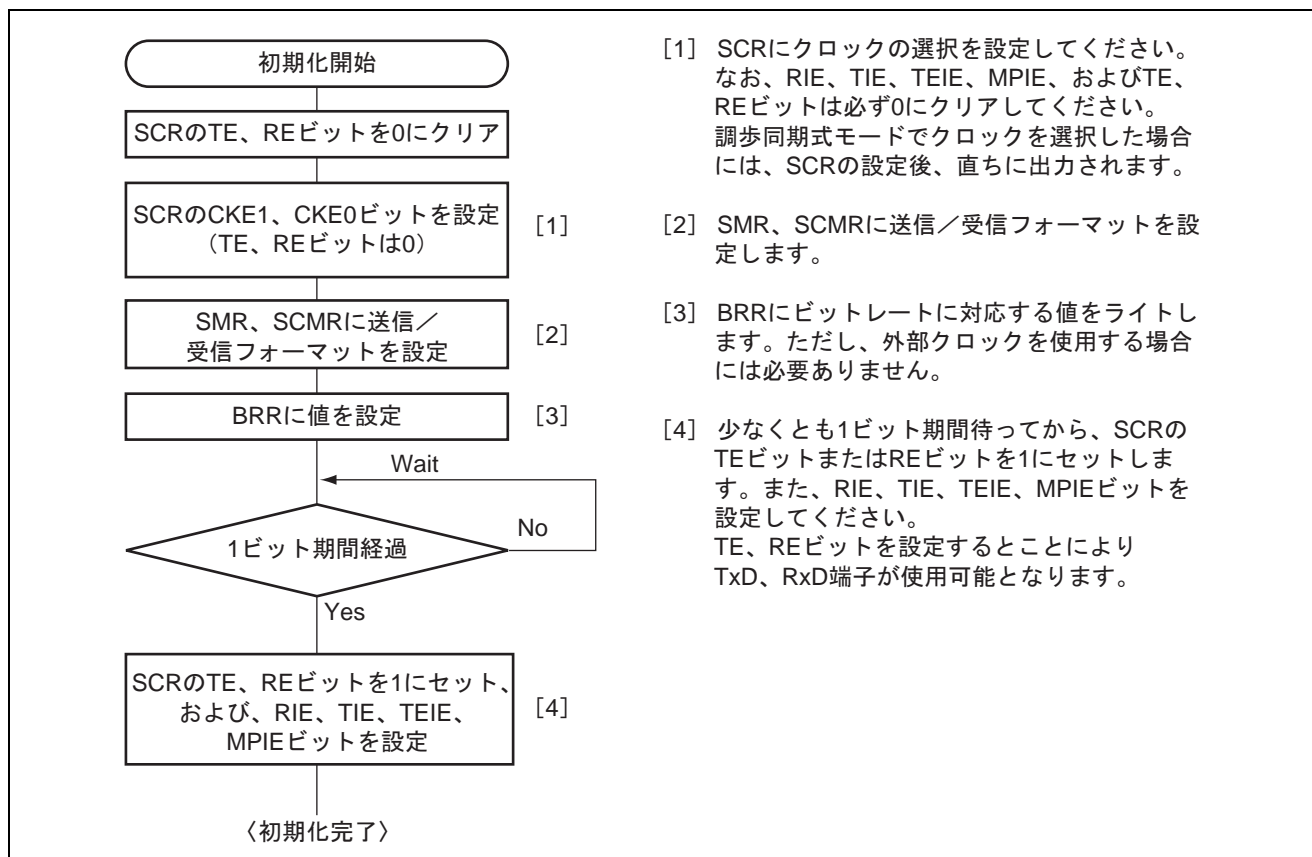


図 15.5 SCI の初期化フローチャートの例

15.4.6 シリアルデータ送信（調歩同期式）

図 15.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。

図 15.7 にデータ送信のフローチャートの例を示します。

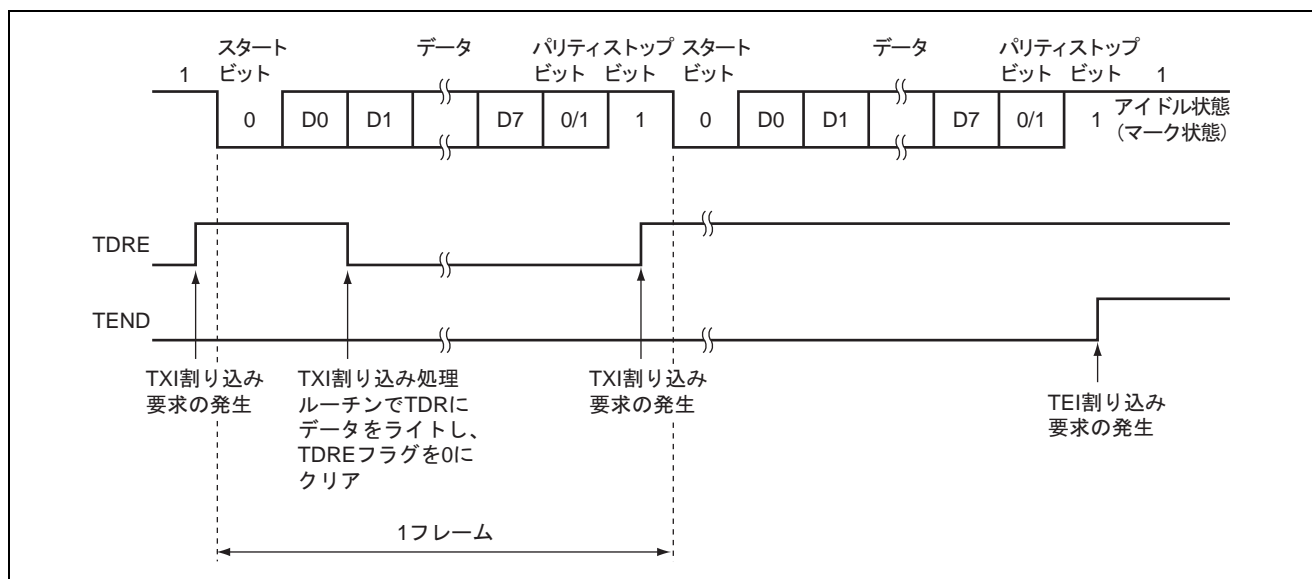


図 15.6 調歩同期式モードの送信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

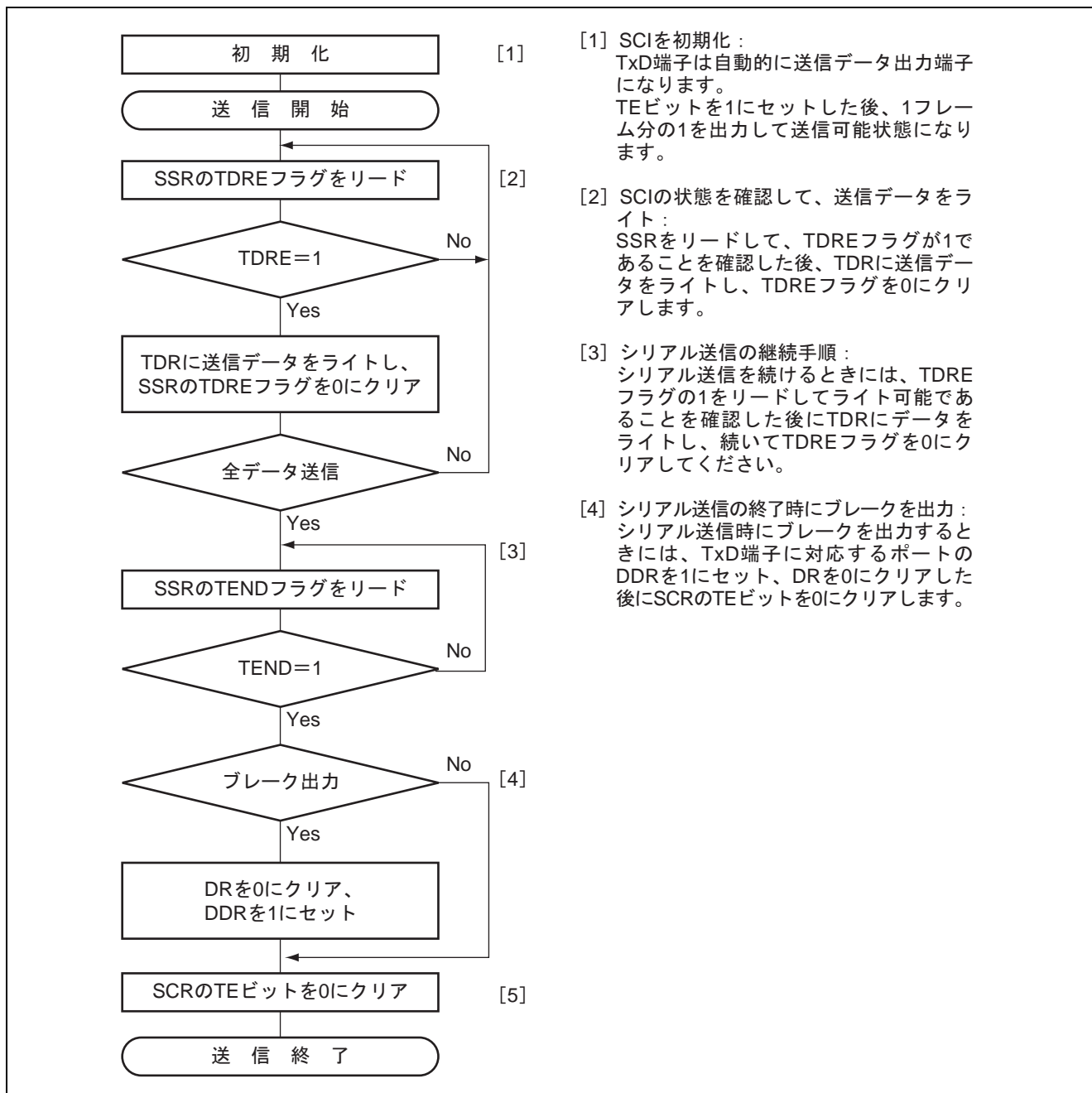


図 15.7 シリアル送信のフローチャートの例

15.4.7 シリアルデータ受信（調歩同期式）

図 15.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERフラグをセットします。このときSCRのRIEビットが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERフラグをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERフラグをセットし、受信データをRDRに転送します。このときSCRのRIEビットが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFフラグをセットし、受信データをRDRに転送します。このときSCRのRIEビットが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

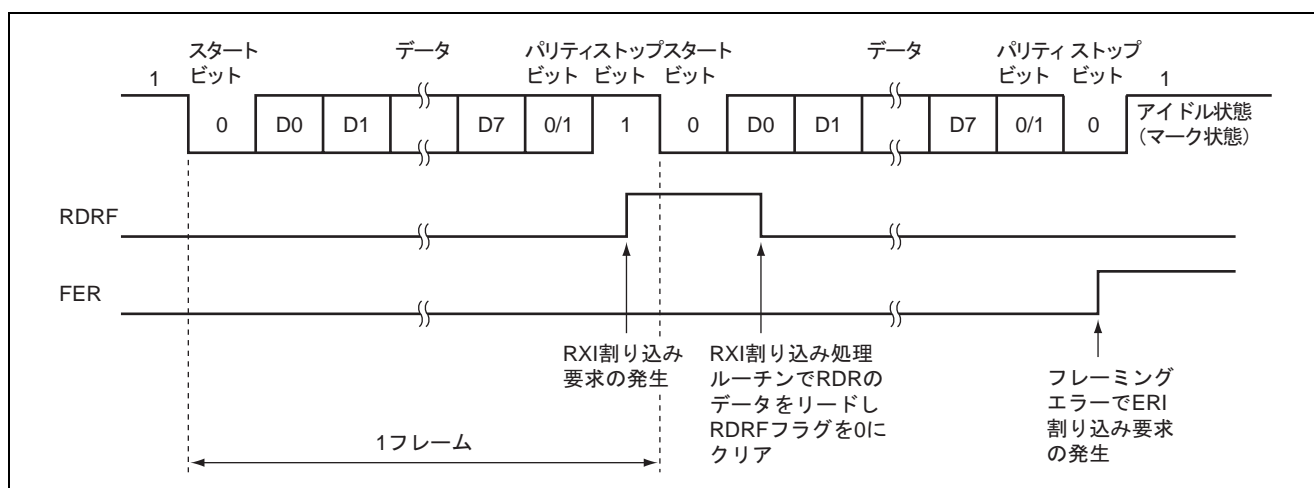


図 15.8 SCI の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 15.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF の各フラグを 0 にクリアしてください。図 15.9 にデータ受信のためのフローチャートの例を示します。

表 15.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

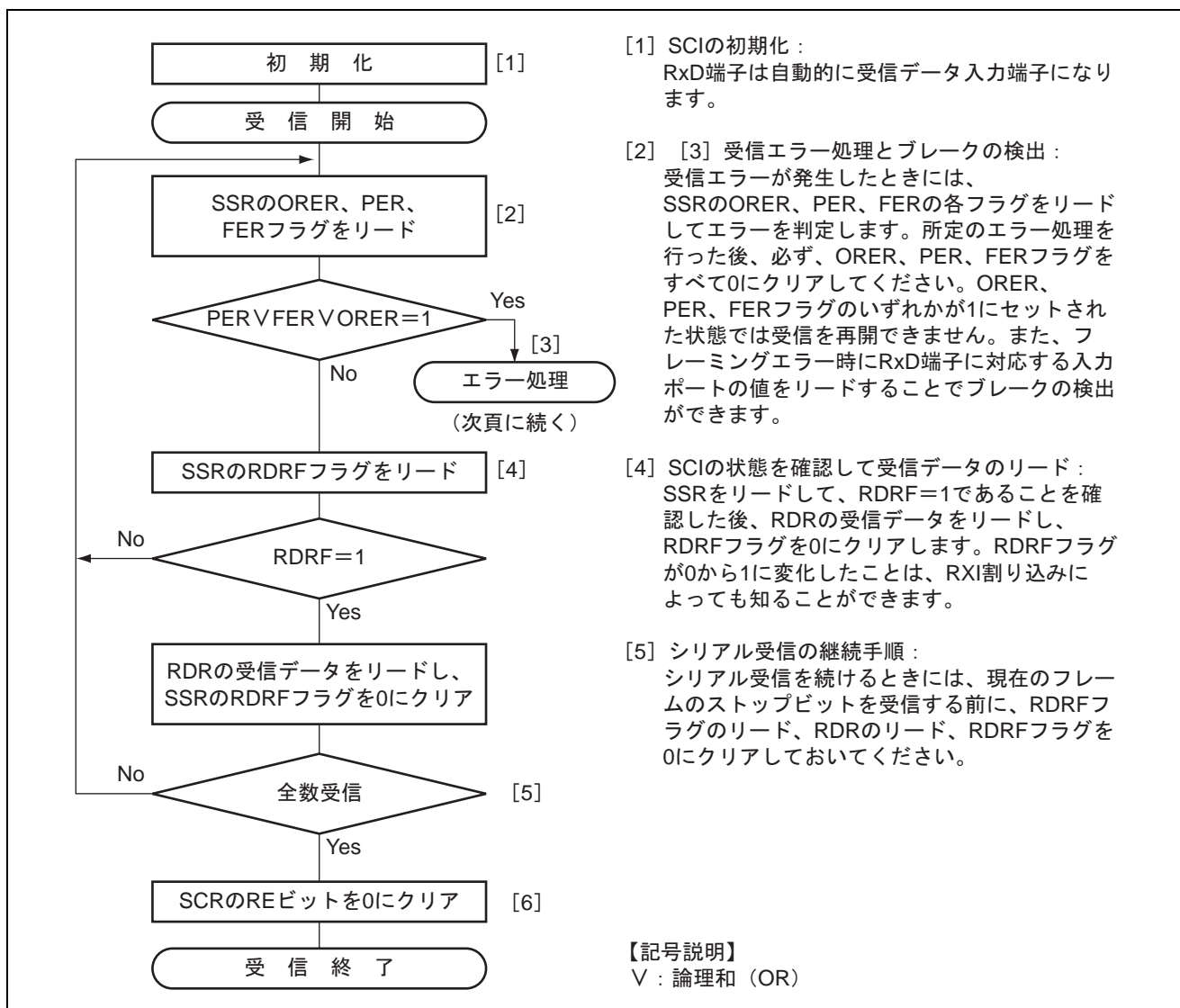


図 15.9 シリアル受信データフローチャートの例 (1)

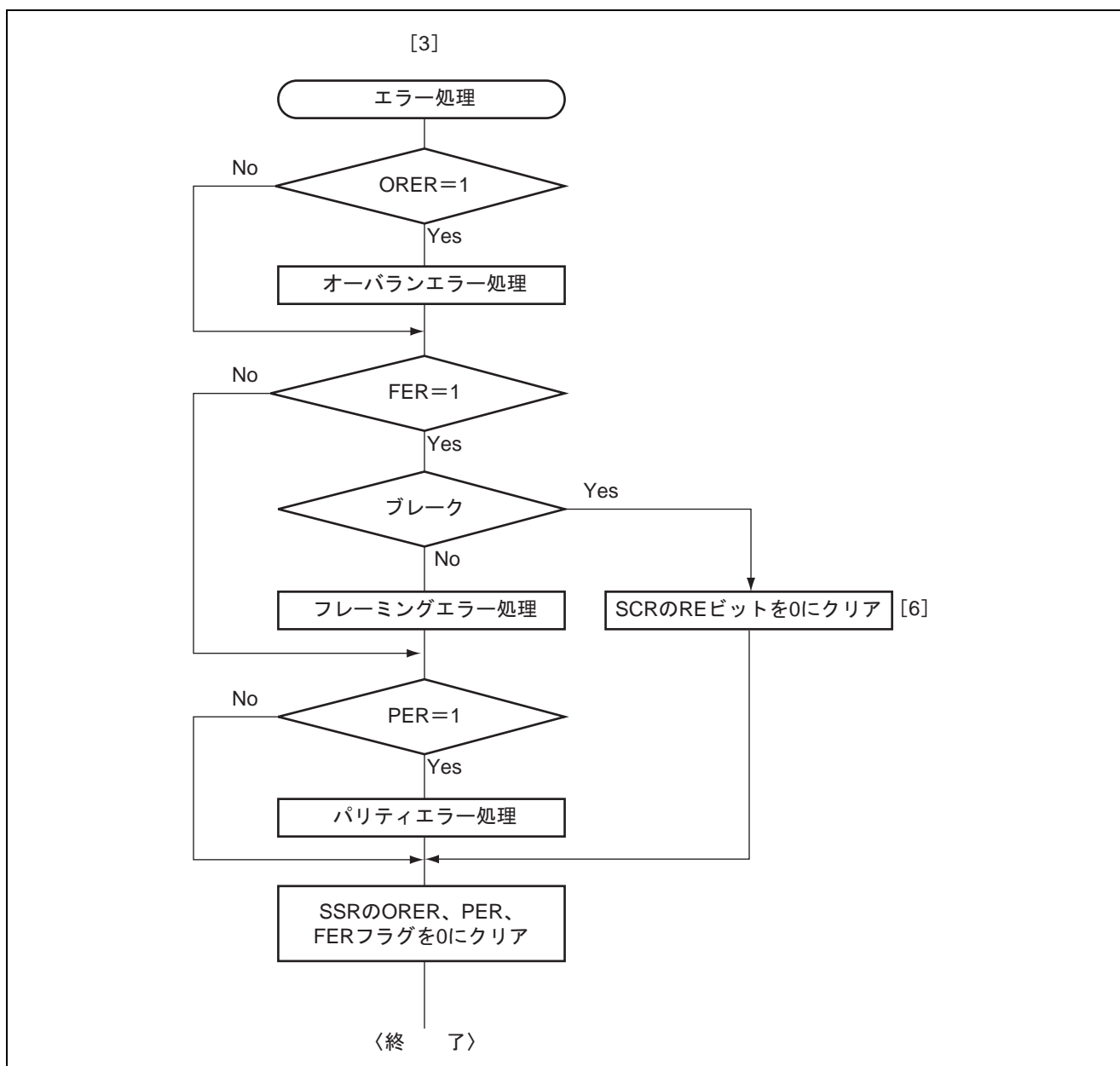


図 15.9 シリアル受信データフローチャートの例 (2)

15.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

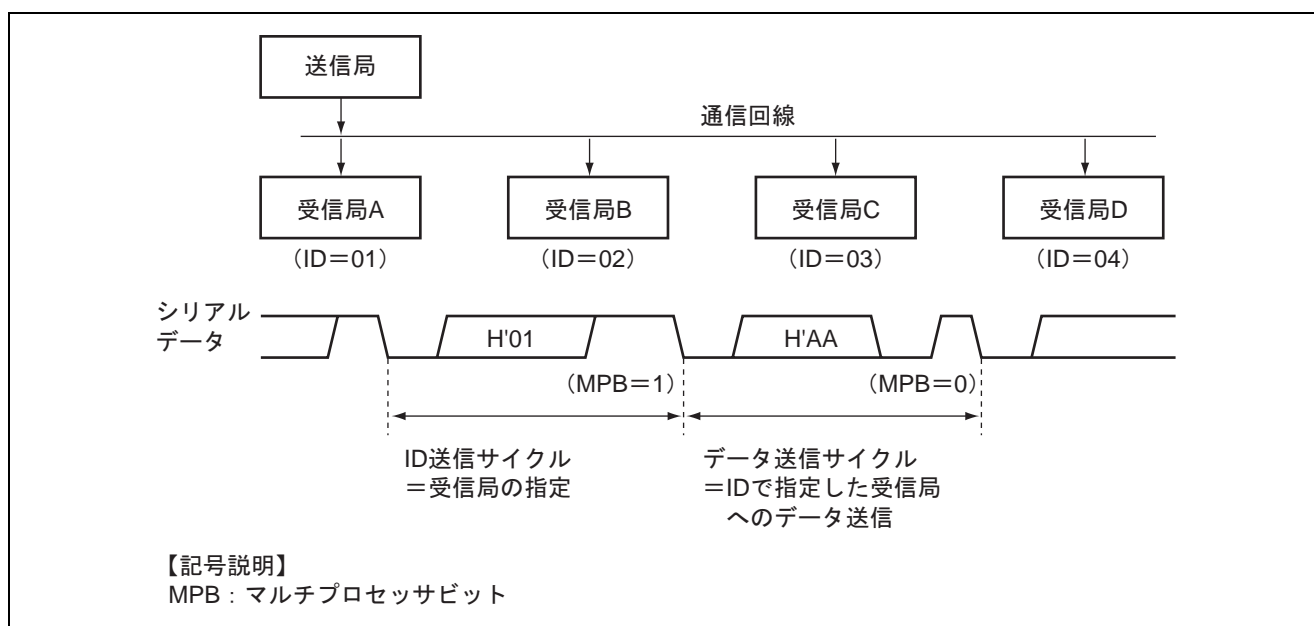


図 15.10 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

15.5.1 マルチプロセッサシリアルデータ送信

図 15.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

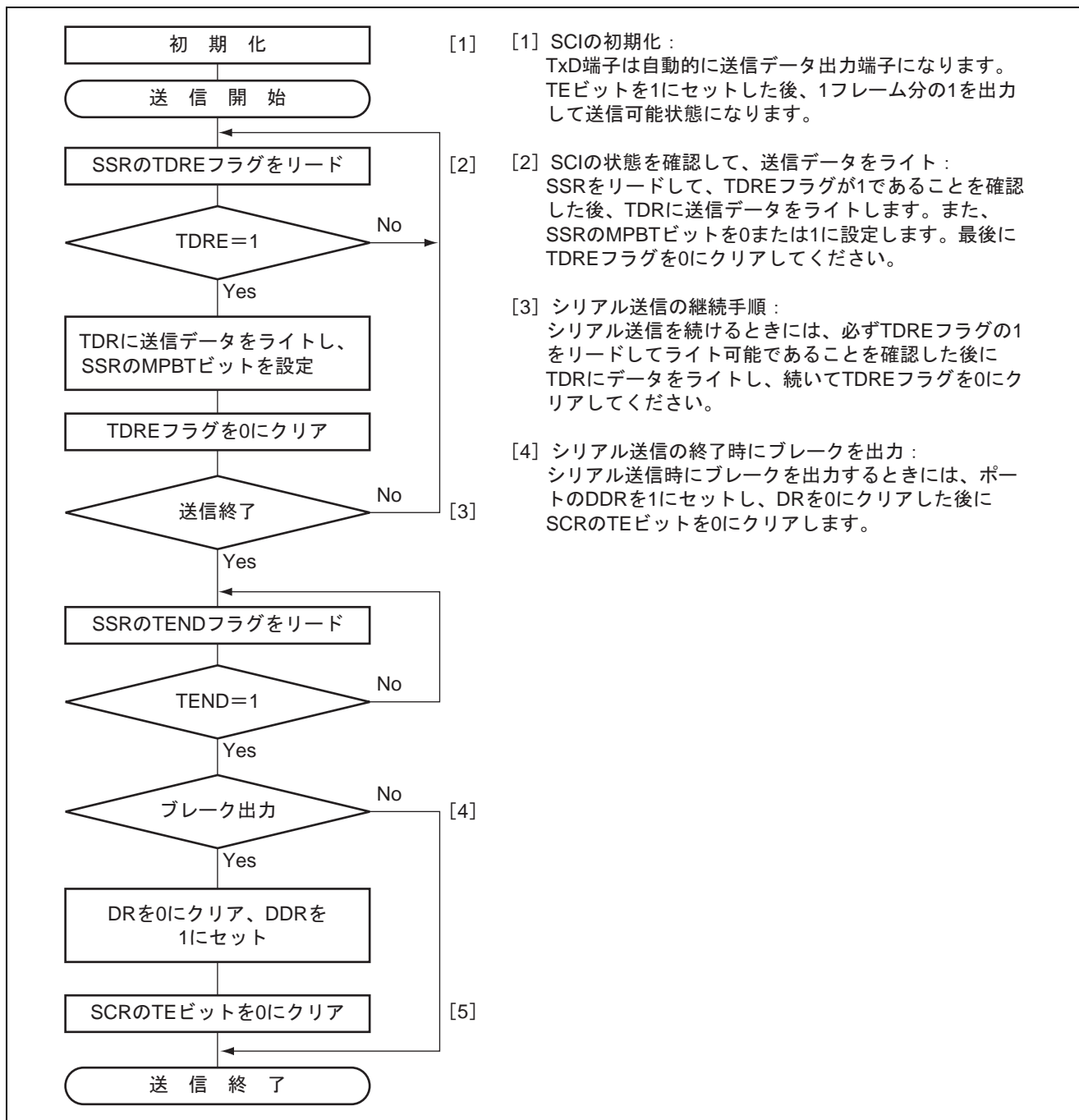


図 15.11 マルチプロセッサシリアル送信のフローチャートの例

15.5.2 マルチプロセッサシリアルデータ受信

図 15.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとびます。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 15.12 に受信時の動作例を示します。

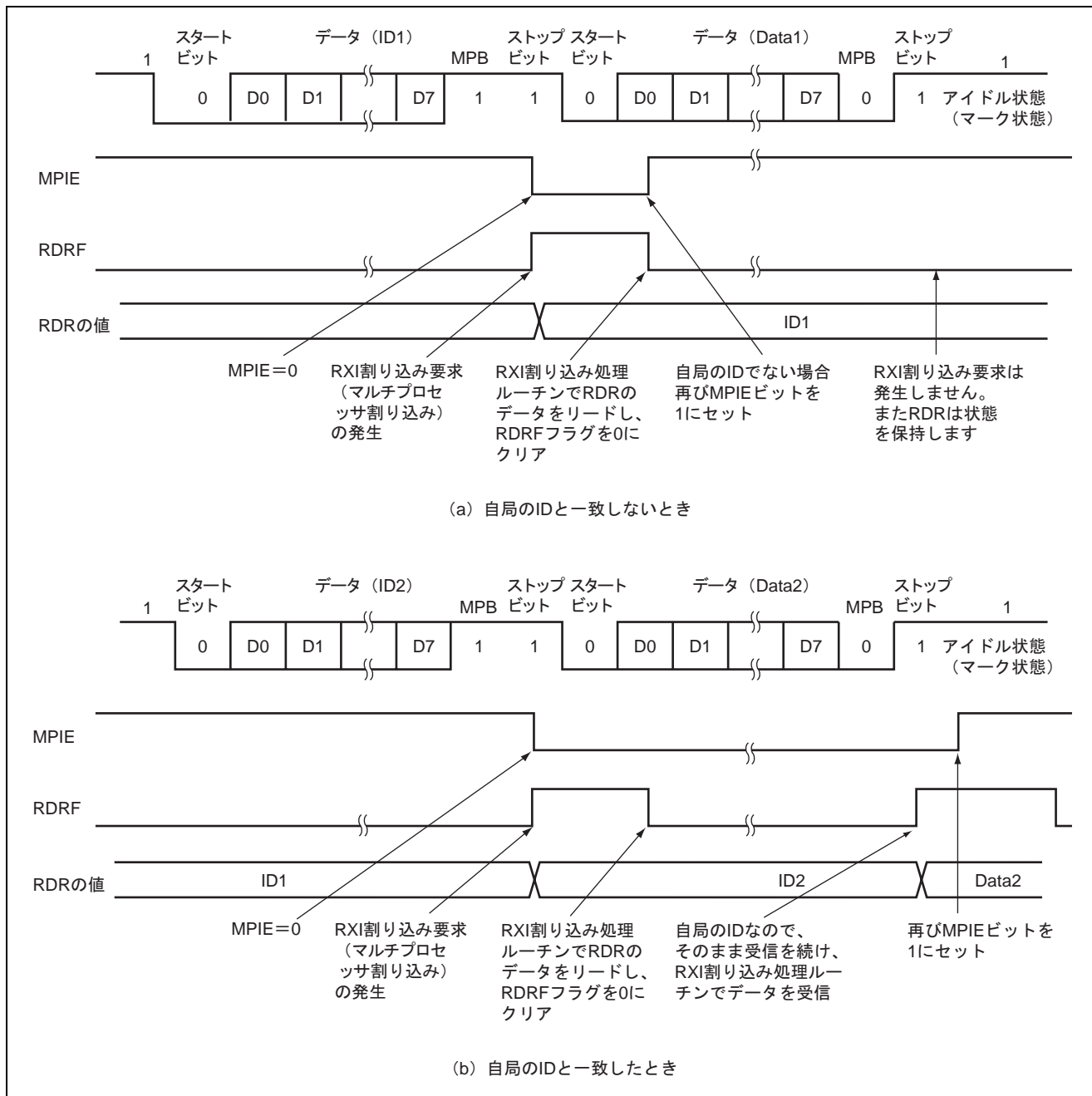


図 15.12 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

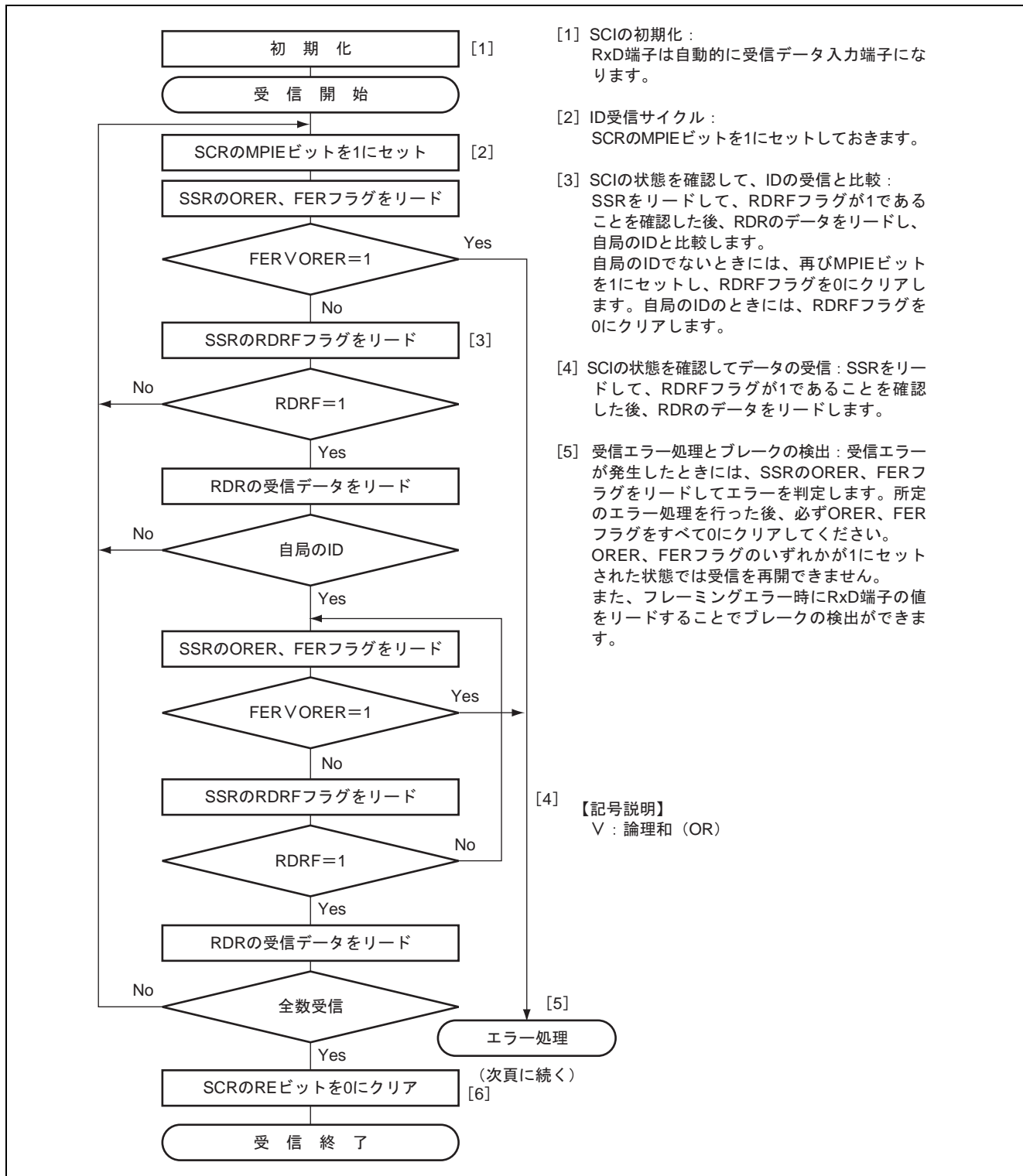


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

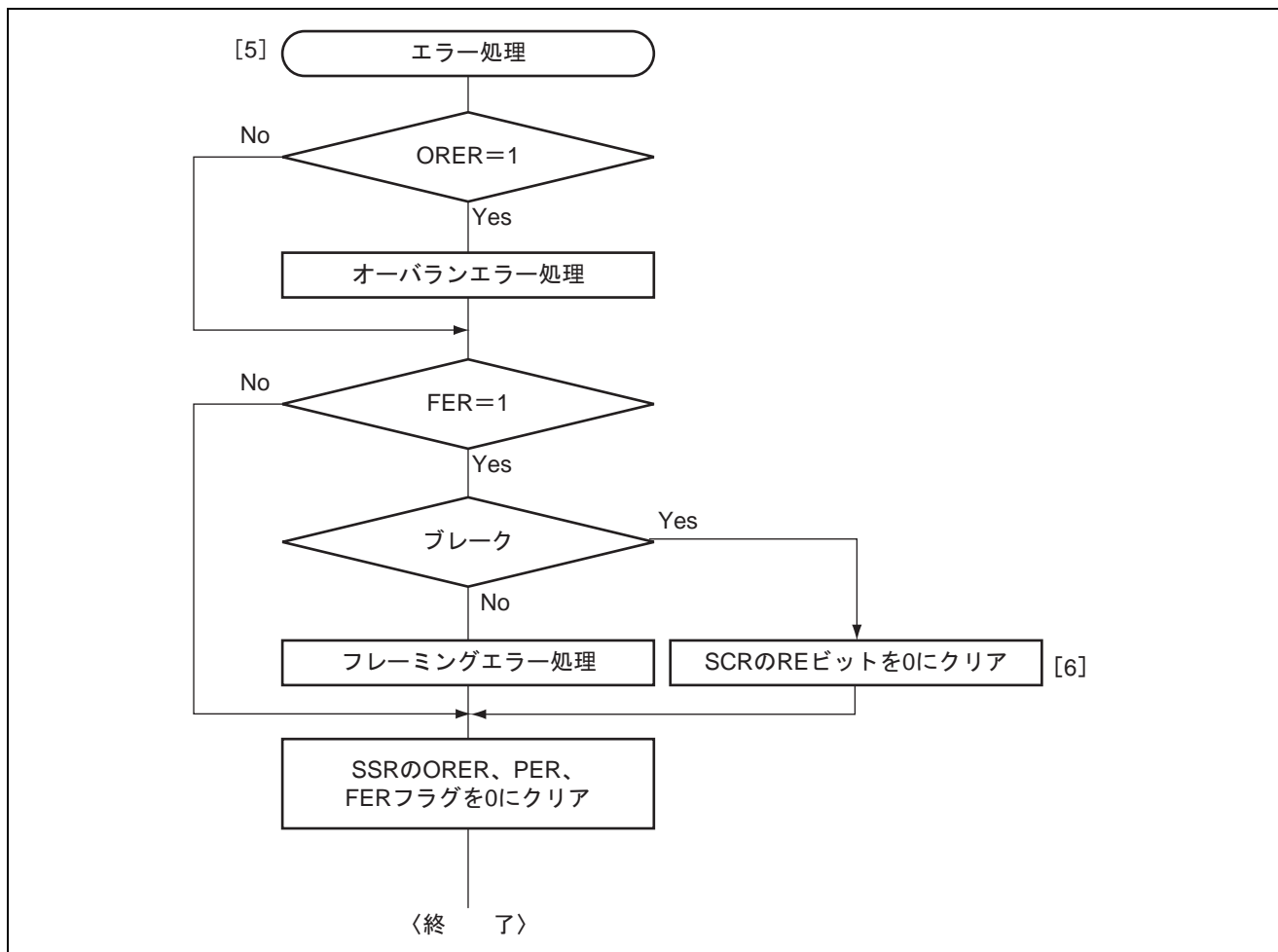


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

15.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 15.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

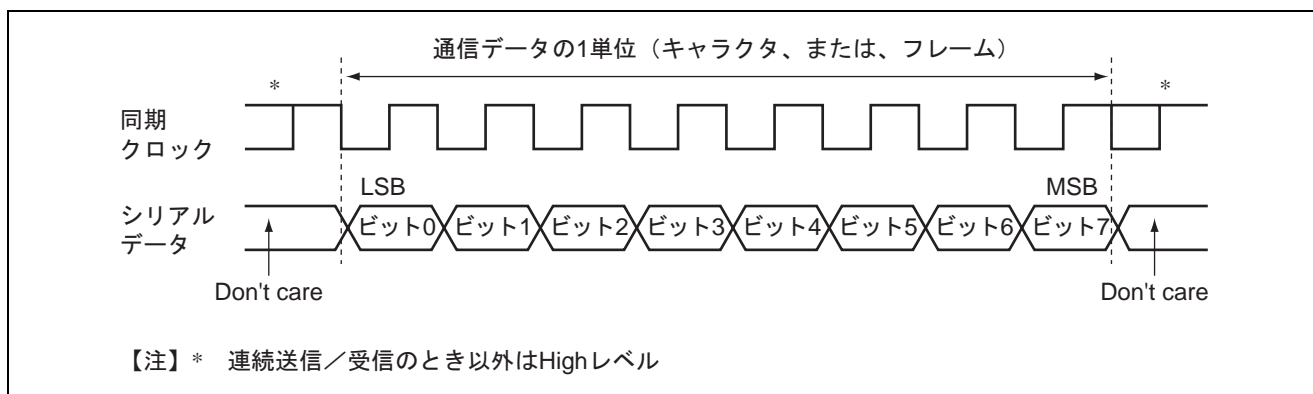


図 15.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

15.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

15.6.2 SCI の初期化 (クロック同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、**図 15.15** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

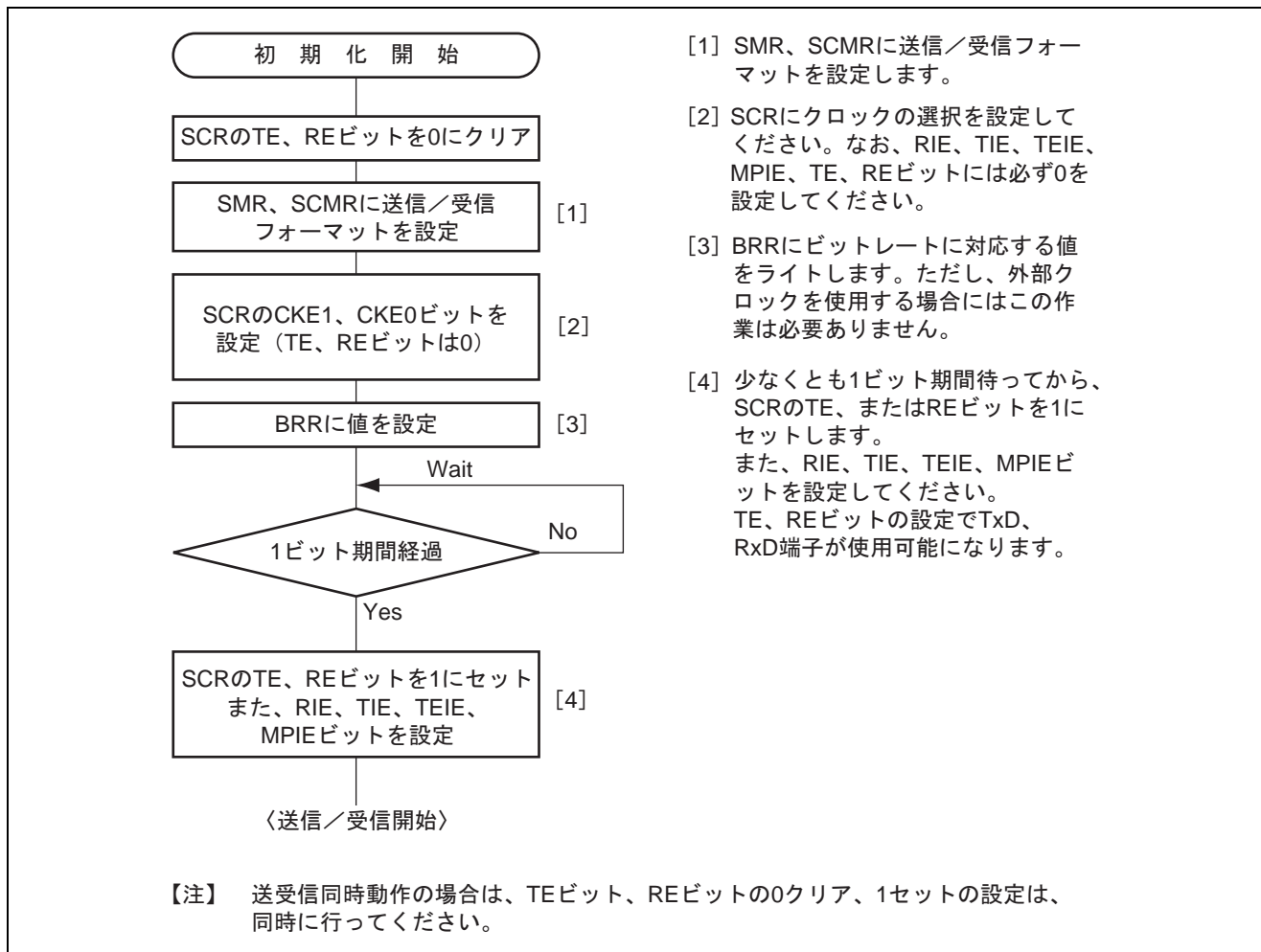


図 15.15 SCI の初期化フローチャートの例

15.6.3 シリアルデータ送信 (クロック同期式)

図 15.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。SCK端子はHighレベルに固定されます。

図 15.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグはRE ビットをクリアしただけではクリアされませんので注意してください。

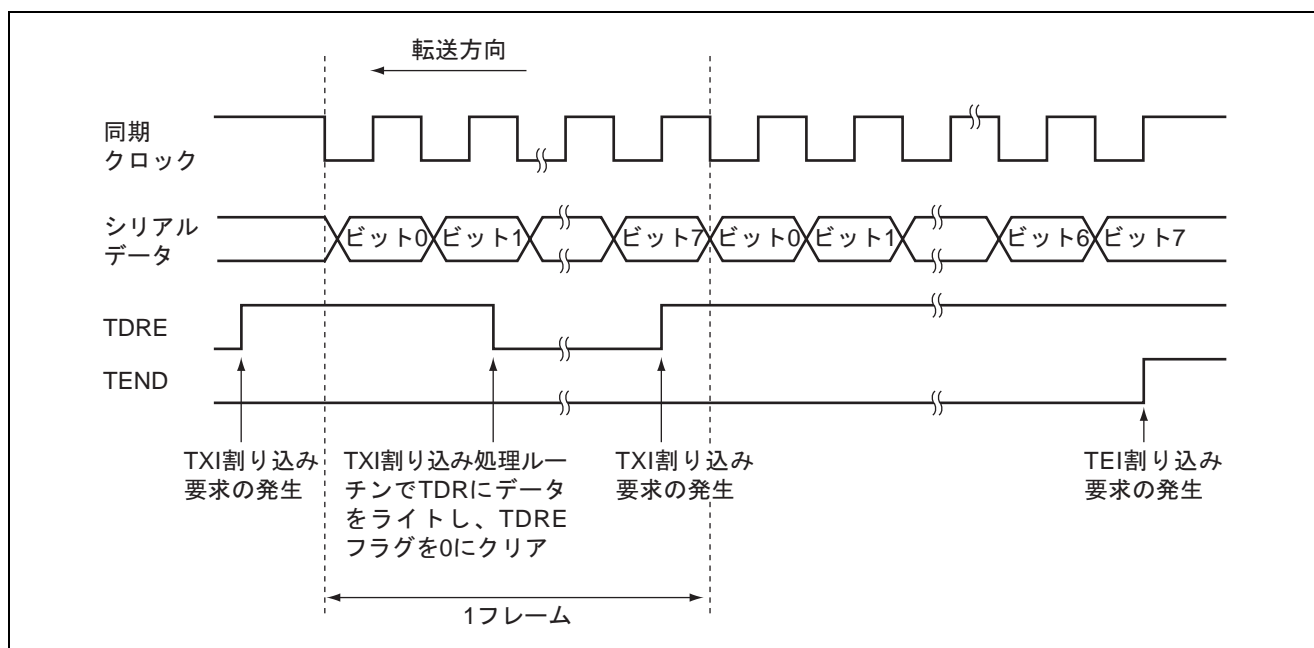


図 15.16 クロック同期式モードの送信時の動作例

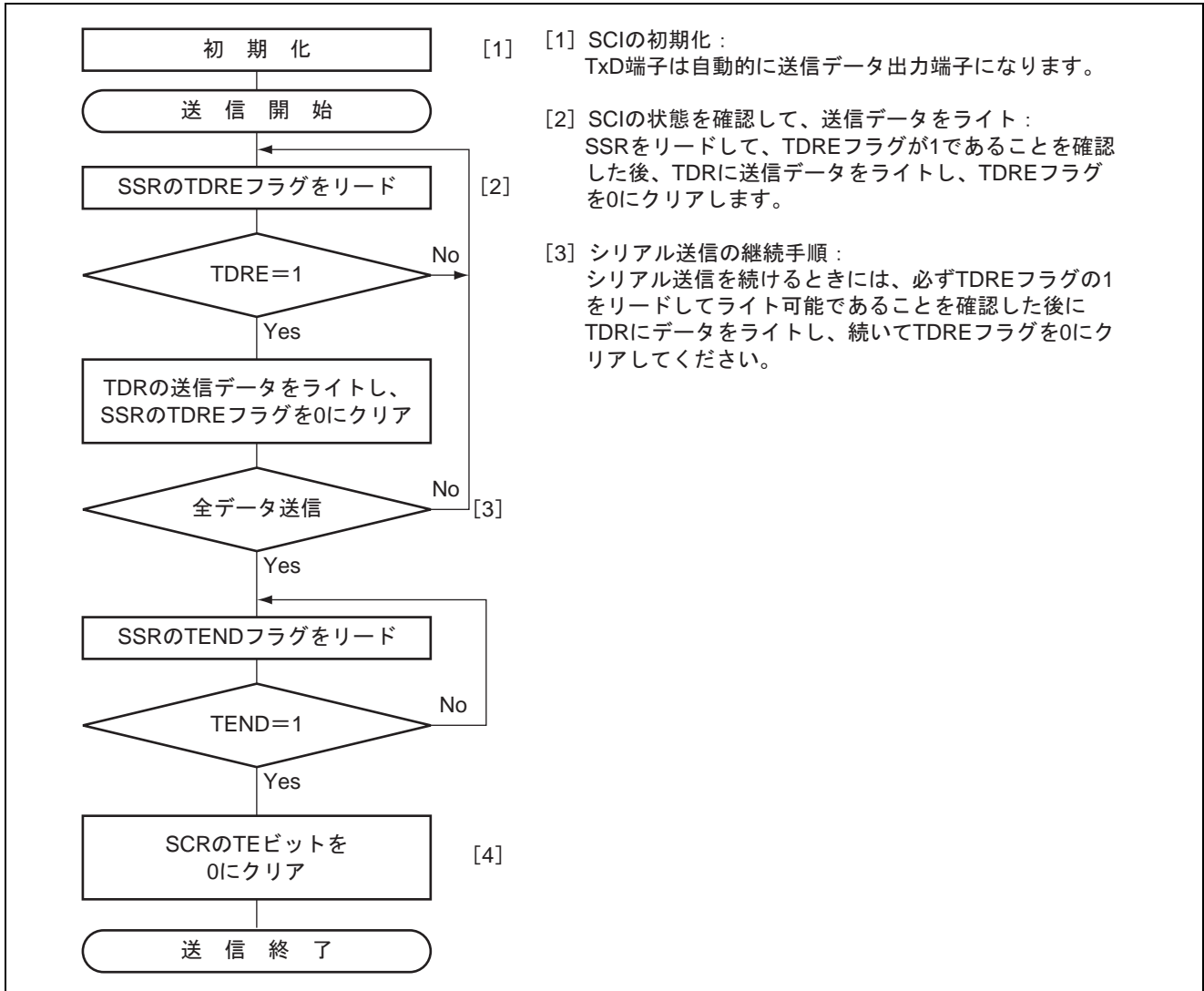


図 15.17 シリアル送信のフローチャートの例

15.6.4 シリアルデータ受信 (クロック同期式)

図 15.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRDRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

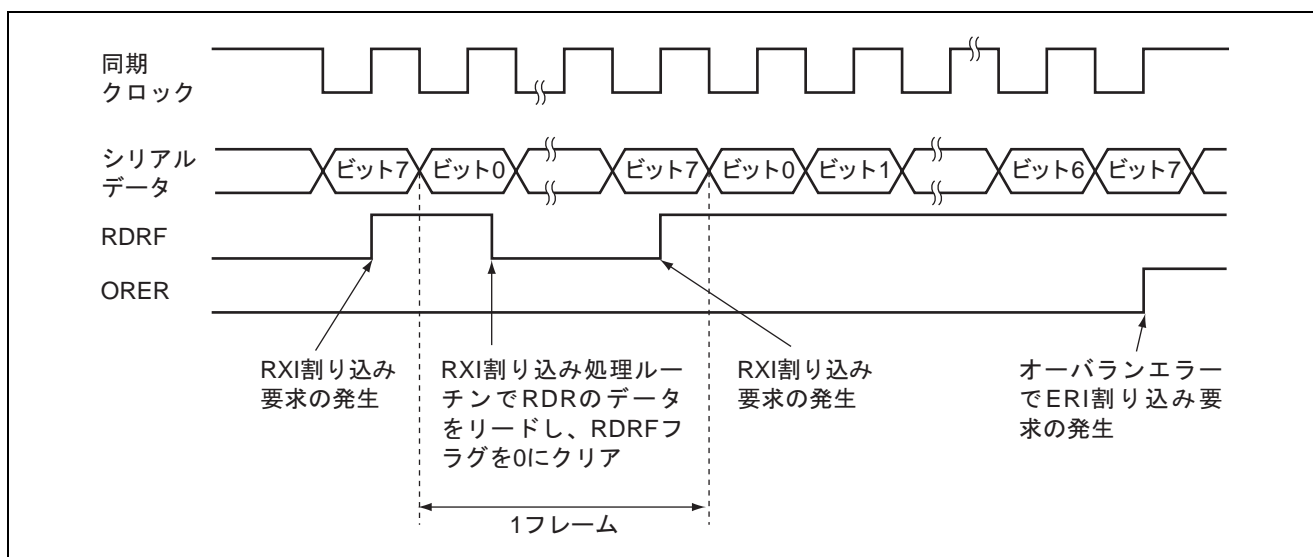
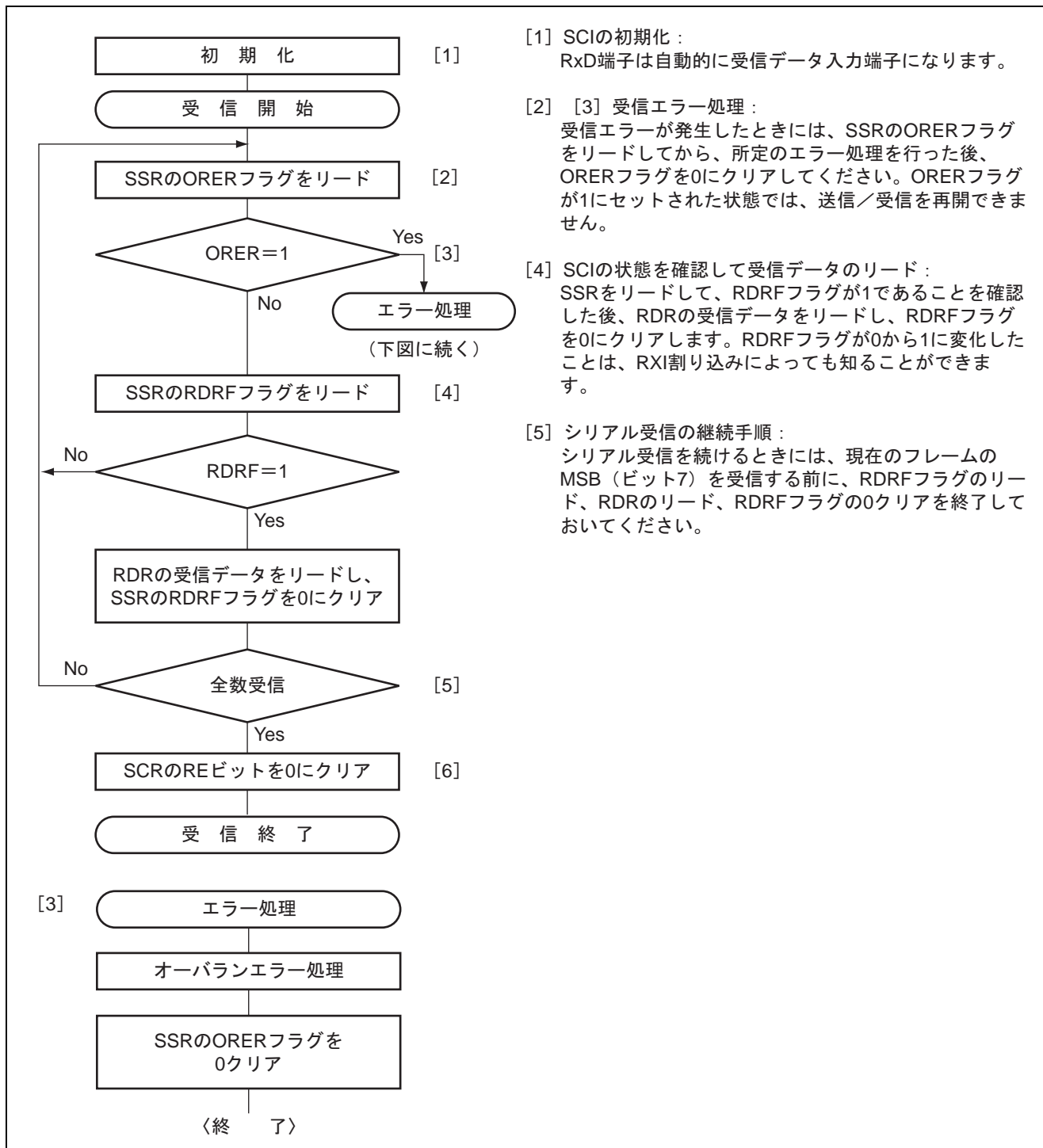


図 15.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.19 にデータ受信のためのフローチャートの例を示します。



- [1] SCIの初期化：
RxD端子は自動的に受信データ入力端子になります。
- [2] [3] 受信エラー処理：
受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信／受信を再開できません。
- [4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRFフラグが1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。
- [5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。

図 15.19 シリアルデータ受信フローチャートの例

15.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、SSR の TDRE および TEND が 1 にセットされていることを確認した後、SCR の TE ビットを 0 にクリアしてから TE および RE ビットを 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから SSR の RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE ビットを 1 命令で同時に 1 にセットしてください。

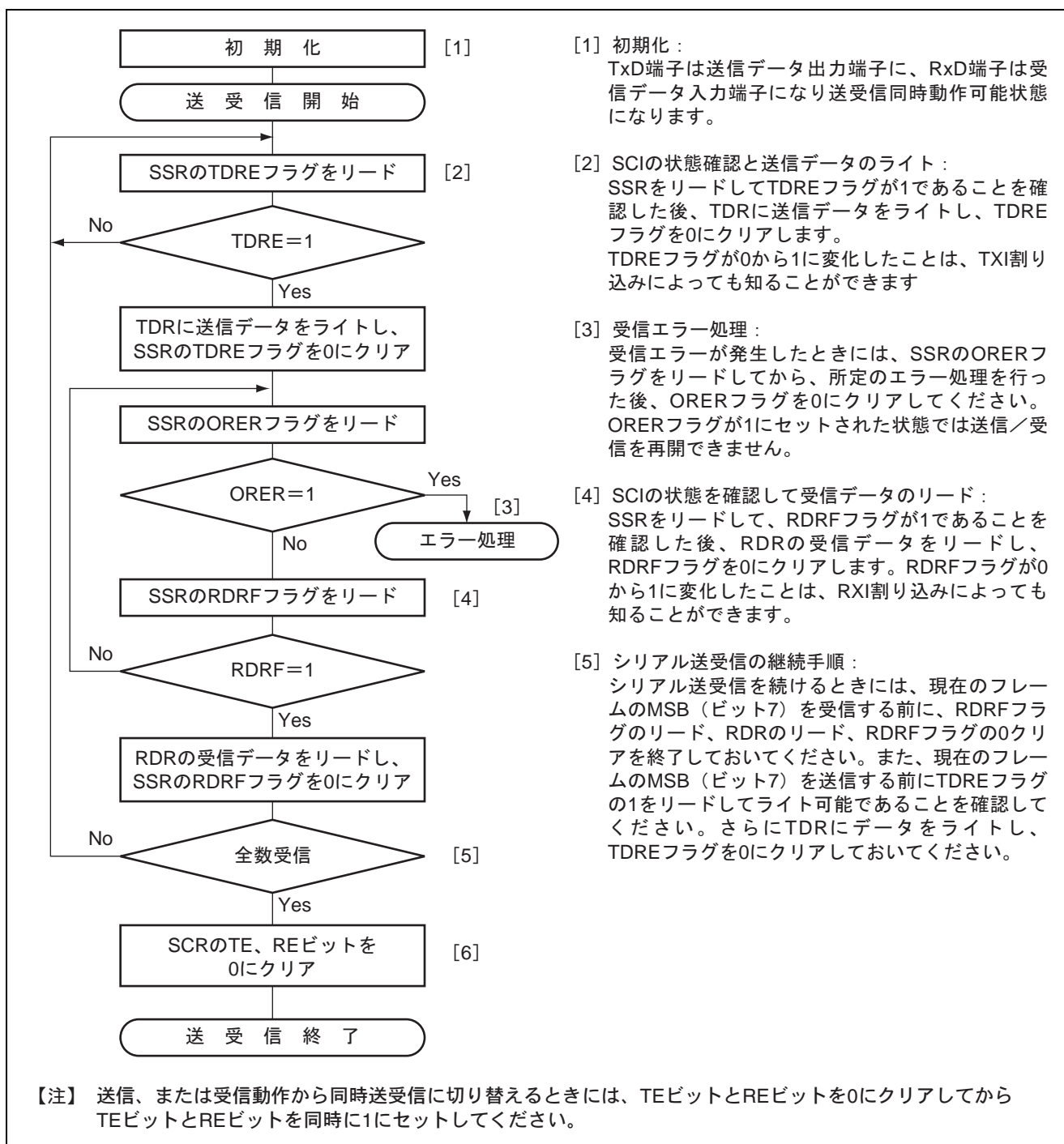


図 15.20 シリアル送受信同時動作のフローチャートの例

15.7 スマートカードインタフェースの動作説明

SCI はシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠した IC カード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

15.7.1 接続例

図 15.21 にスマートカードとの接続例を示します。IC カードとは 1 本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 V_{CC} 側にプルアップしてください。IC カードを接続しない状態で SCR の RE、TE ビットをそれぞれ 1 に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCI で生成するクロックを IC カードに供給する場合は、SCK 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

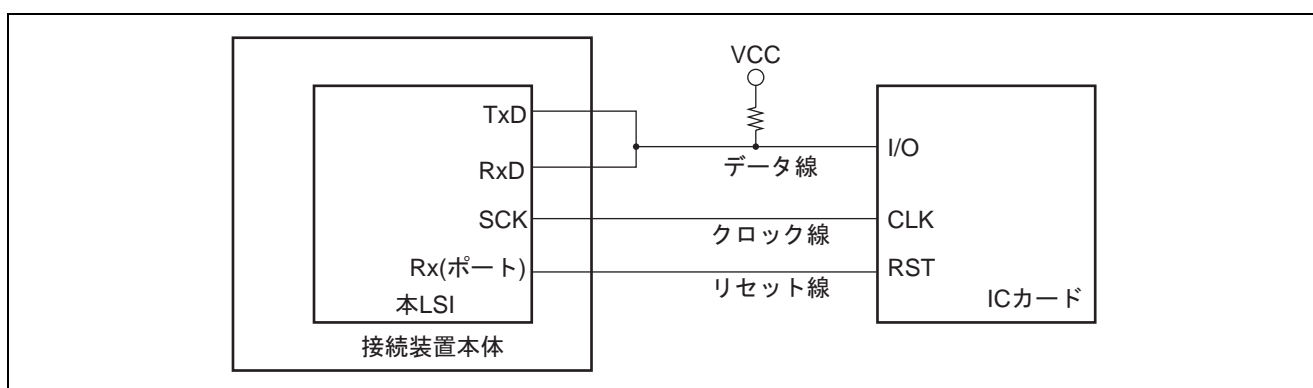


図 15.21 スマートカードインタフェース端子接続概要

15.7.2 データフォーマット（ブロック転送モード時を除く）

図 15.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

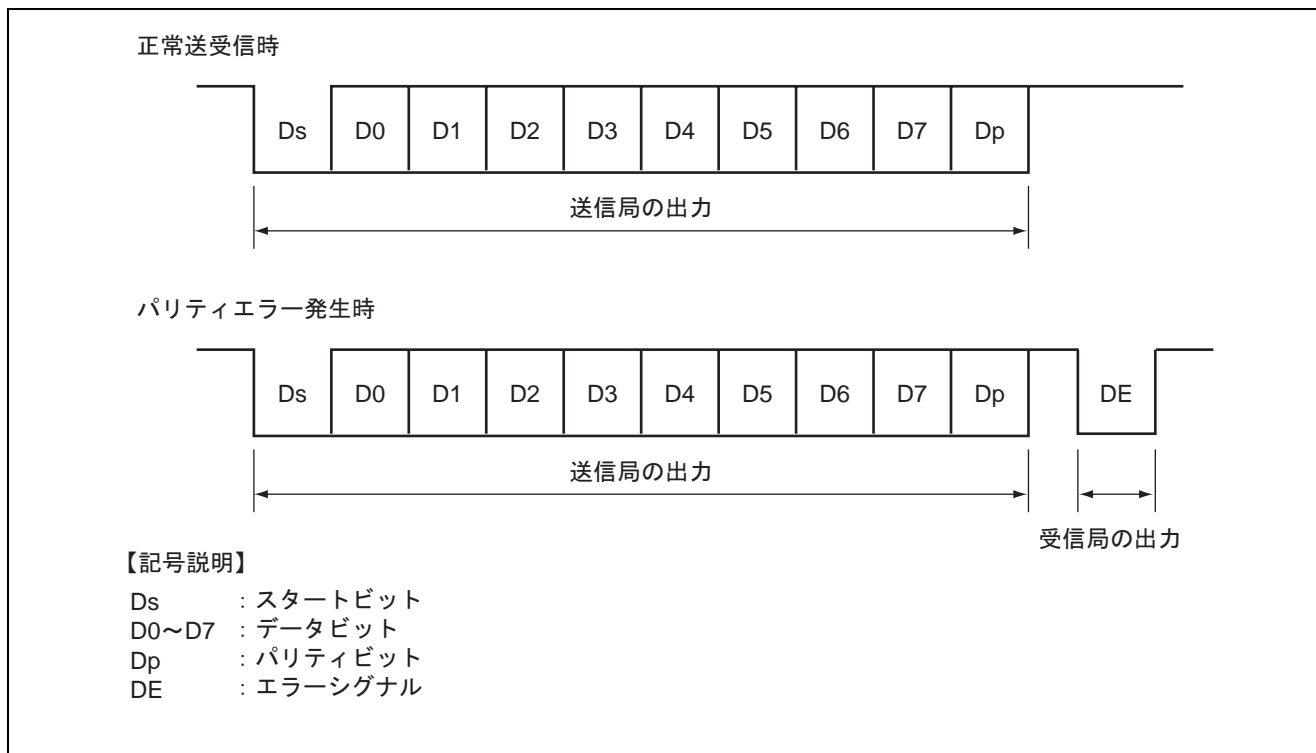


図 15.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は次のように行ってください。

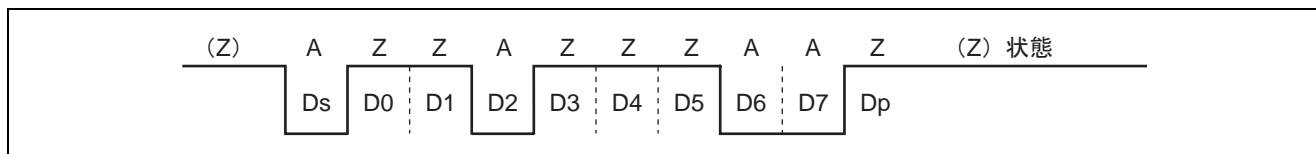


図 15.23 ダイレクトコンベンション (SDIR=SINV=O/E=0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO/Eビットには0をセットしてください。

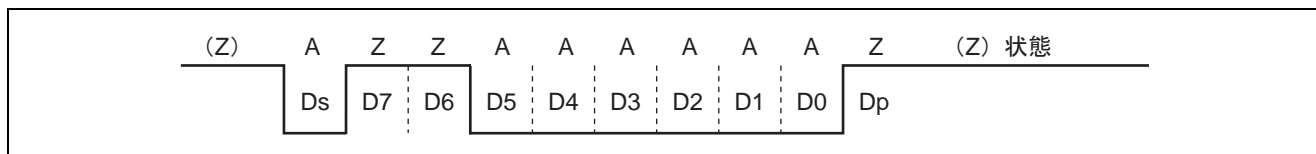


図 15.24 インバースコンベンション (SDIR=SINV=O/E=1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7~D0 のみ反転させます。このため、送受信とも SMR の O/E ビットに 1 を設定してパリティビットを反転させてください。

15.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、SSRのTENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

15.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP2、BCP1、BCP0の設定によりビットレートの93倍、128倍、186倍、512倍、32倍、64倍、372倍、256倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 15.25**に示すように受信データを基本クロックのそれぞれ46、64、93、256、16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=93、128、186、512、32、64、372、256)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=10)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$M = \{ 0.5 - 1 / (2 \times 372) \} \times 100 [\%] = 49.866\%$$

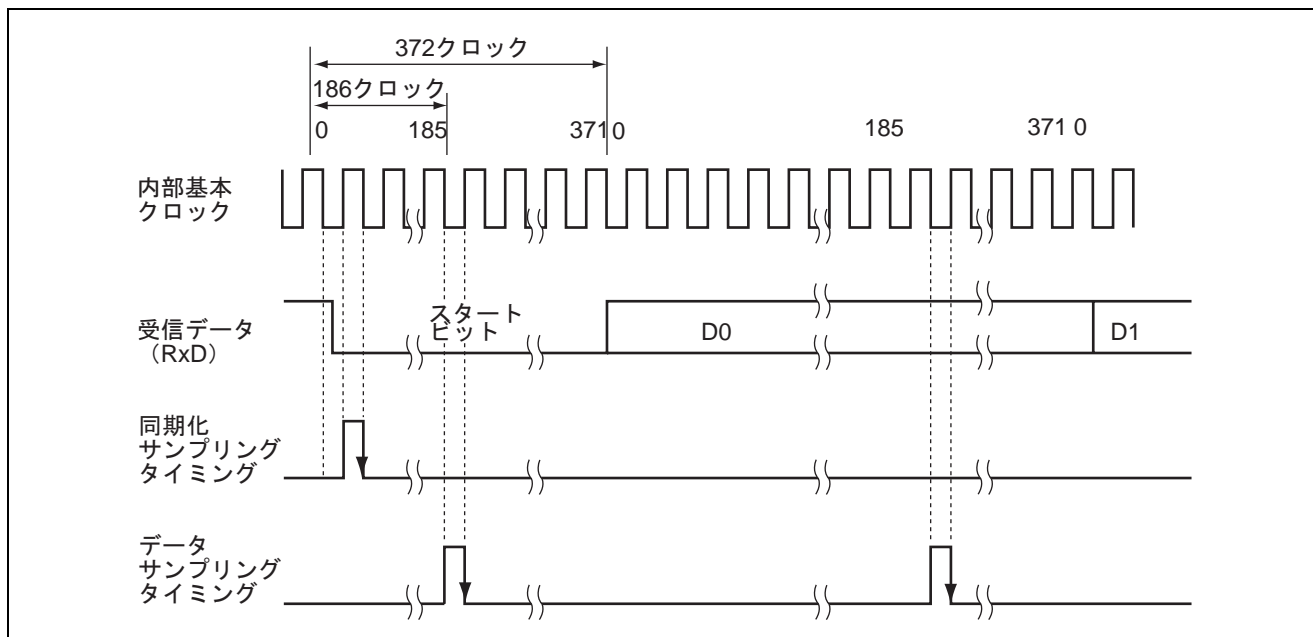


図 15.25 スマートカードインタフェースモード時の受信データサンプリングタイミング
(372 倍のクロック使用時)

15.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグORER、ERS、PERを0にクリアしてください。
3. SMRのGM、BLK、O/E、BCP1、BCP0、CKS1、CKS0ビットおよびSCMRのBCP2ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

15.7.6 シリアルデータ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 15.26 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR の ERS ビットが 1 にセットされます。このとき、SCR の RIE ビットがセットされていると ERI 割り込み要求が発生します。次のパリティビットのサンプリングまでに ERS をクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSR の TEND はセットされません。TDR から TSR に再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSR の ERS ビットはセットされません。再転送を含む 1 フレームの送信が完了したと判断して、SSR の TEND がセットされます。このとき SCR の TIE がセットされていれば、TXI 割り込み要求が発生します。送信データを TDR に書き込むことにより次のデータが送信されます。

送信処理フローの例を図 15.28 に示します。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求が発生します。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持されます。したがって、エラー発生時の再送信を含め、SCI が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求が発生させ、ERS をクリアしてください。

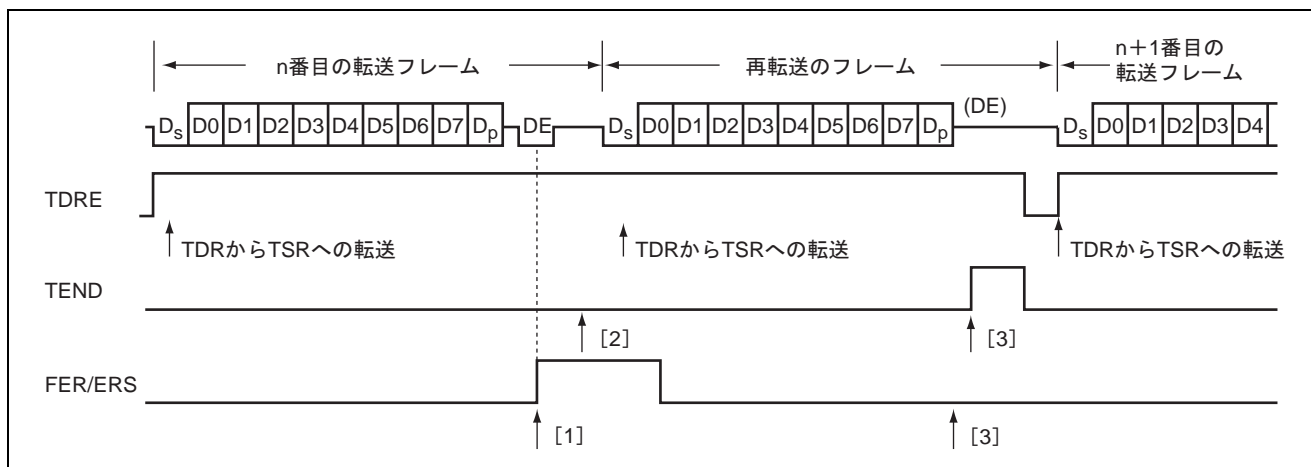


図 15.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 15.27 に TEND フラグ発生タイミングを示します。

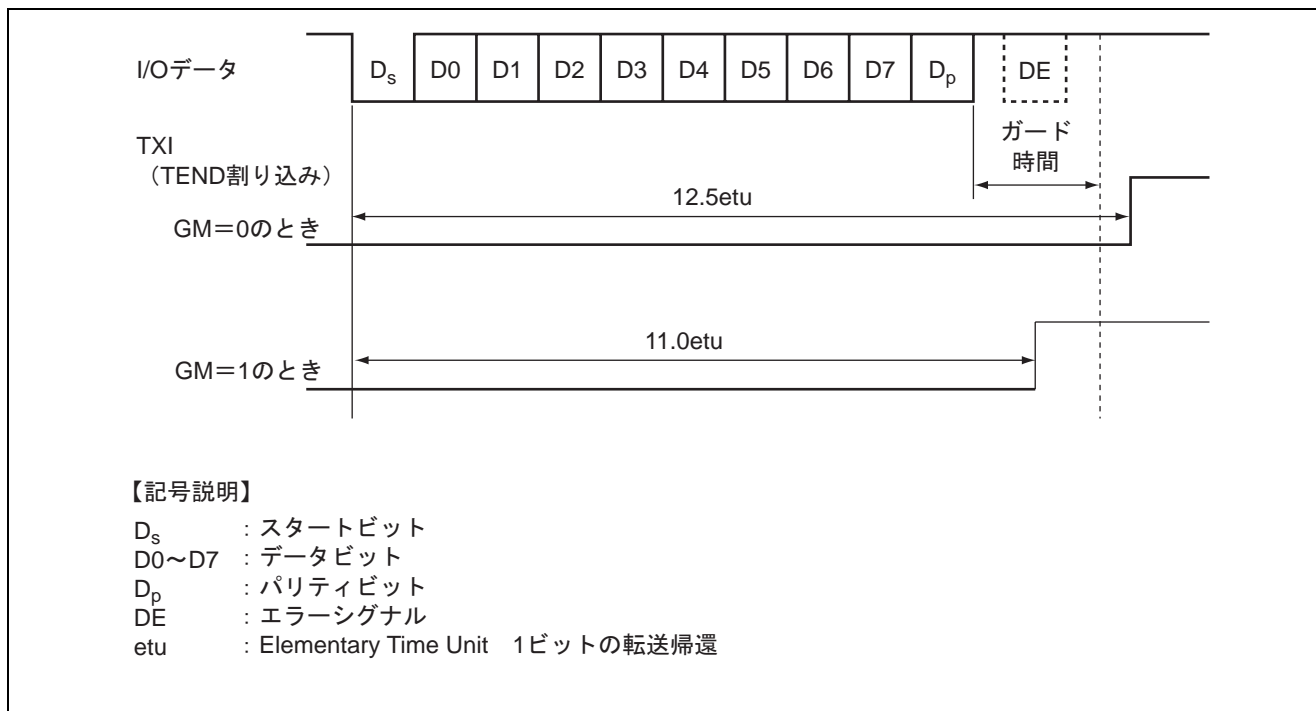


図 15.27 送信動作時の TEND フラグ発生タイミング

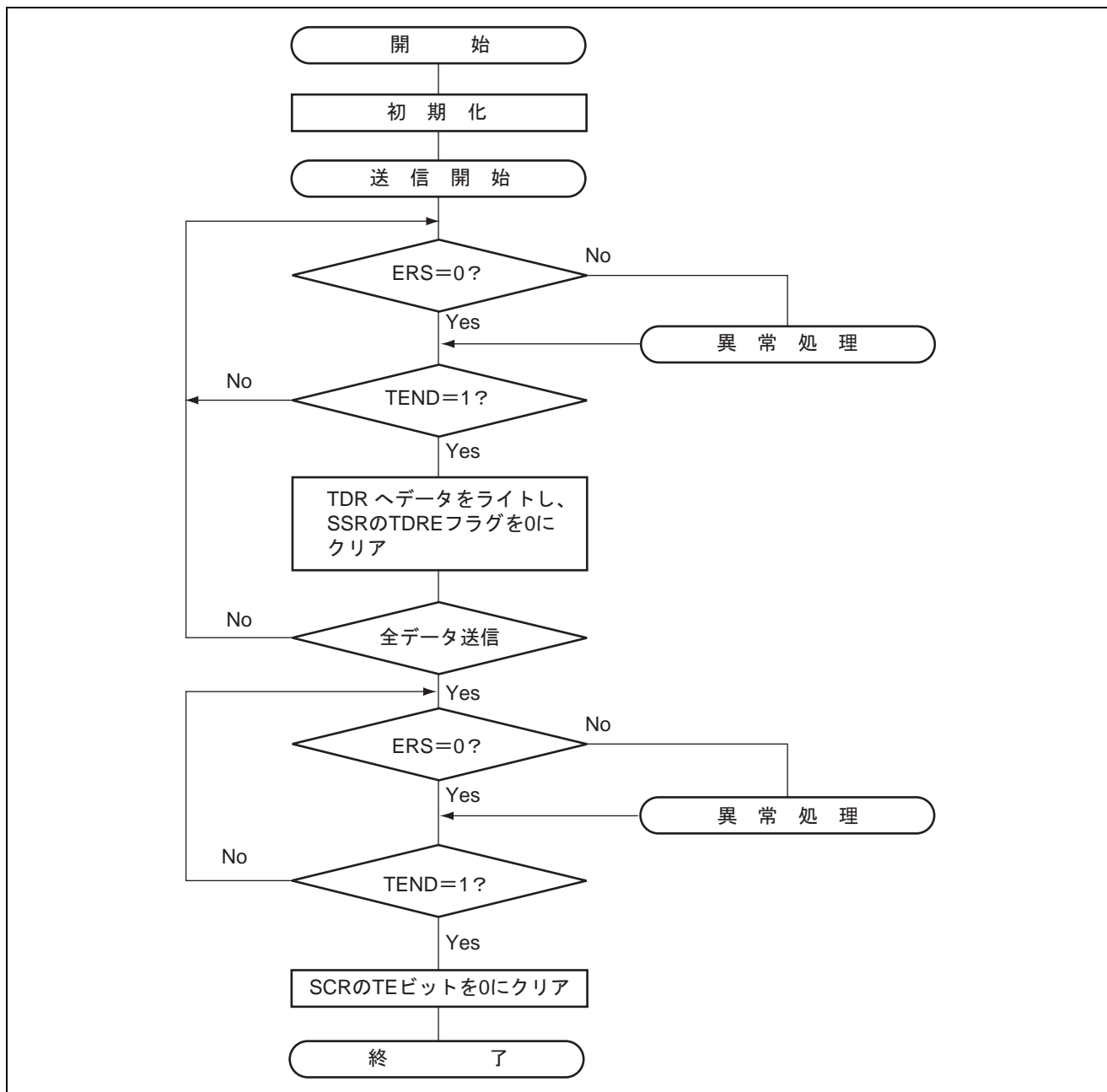


図 15.28 送信処理フローの例

15.7.7 シリアルデータ受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 15.29 示します。

1. 受信データにパリティエラーを検出すると SSR の PER ビットが 1 にセットされます。このとき、SCR の RIE がセットされていると ERI 割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでに PER ビットをクリアしてください。
2. パリティエラーを検出したフレームでは SSR の RDRF ビットはセットされません。
3. パリティエラーが検出されない場合は、SSR の PER ビットはセットされません。正常に受信を完了したと判断して、SSR の RDRF が 1 にセットされます。このとき SCR の RIE ビットがセットされていれば、RXI 割り込み要求を発生します。

受信フローの例を図 15.30 に示します。受信動作では、RIE ビットを 1 にセットしておくで RDRF フラグが 1 にセットされると RXI 要求を発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み（ERI）要求を発生しますのでエラーフラグをクリアしてください。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「15.4 調歩同期式モードの動作」を参照してください。

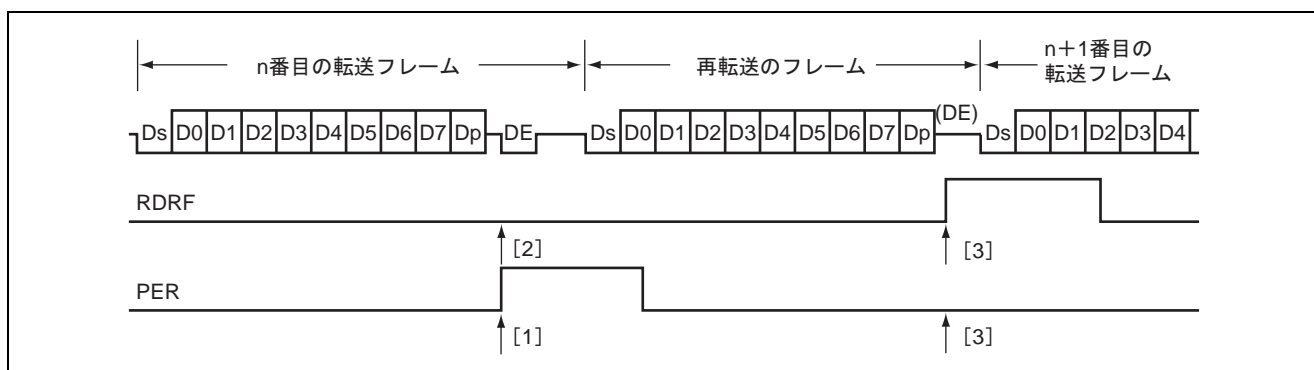


図 15.29 SCI 受信モードの場合の再転送動作

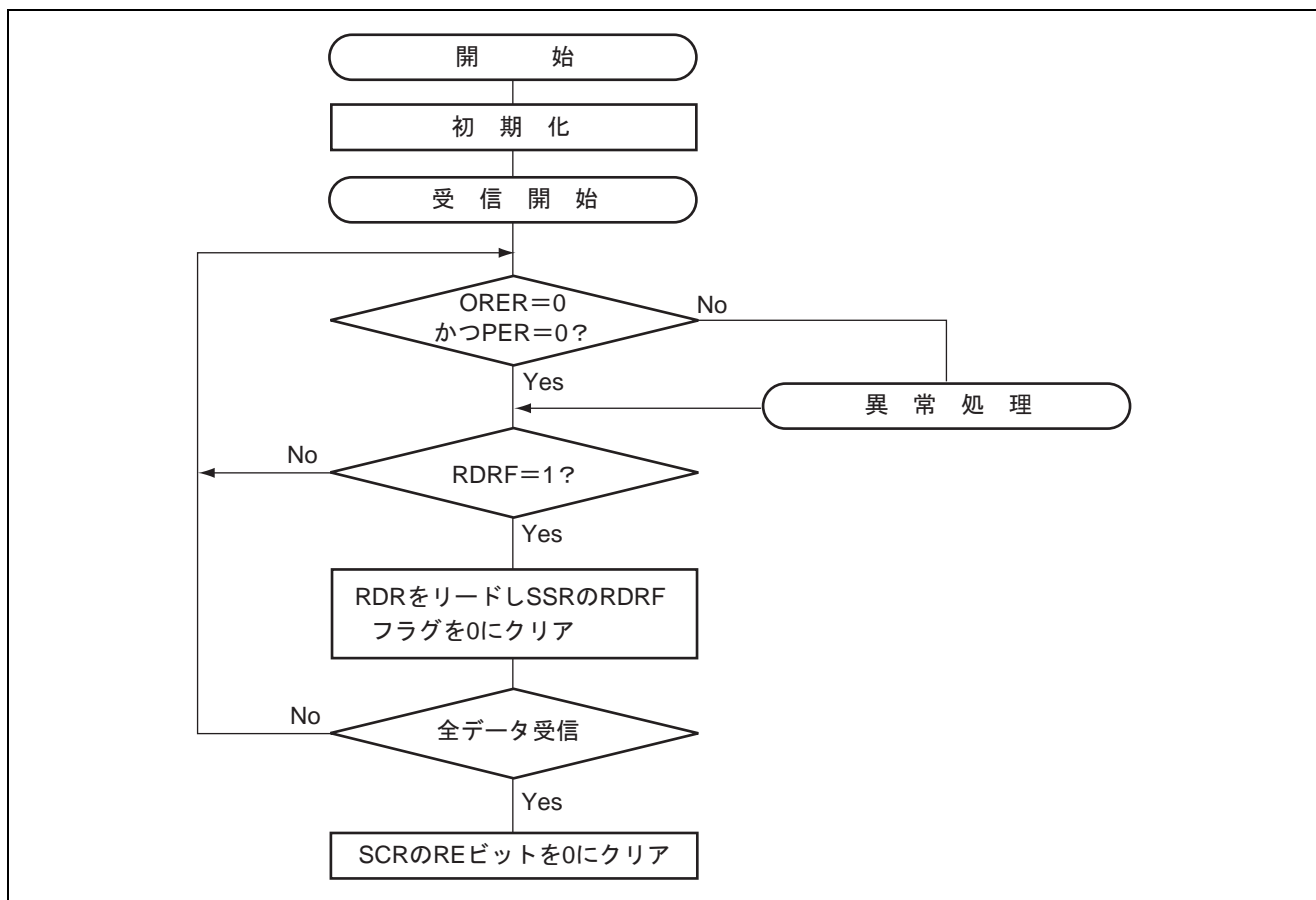


図 15.30 受信フローの例

15.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 15.31 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

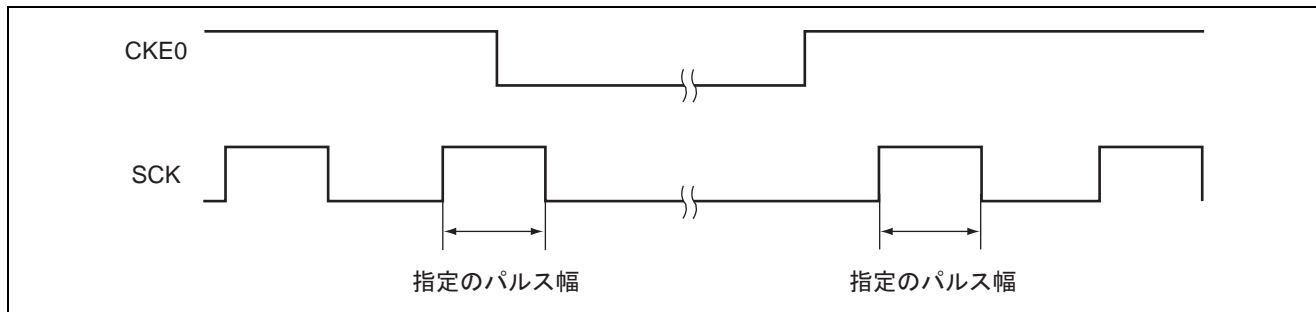


図 15.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

• 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

• スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するポートのデータレジスタ (ODR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間にデューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

• ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

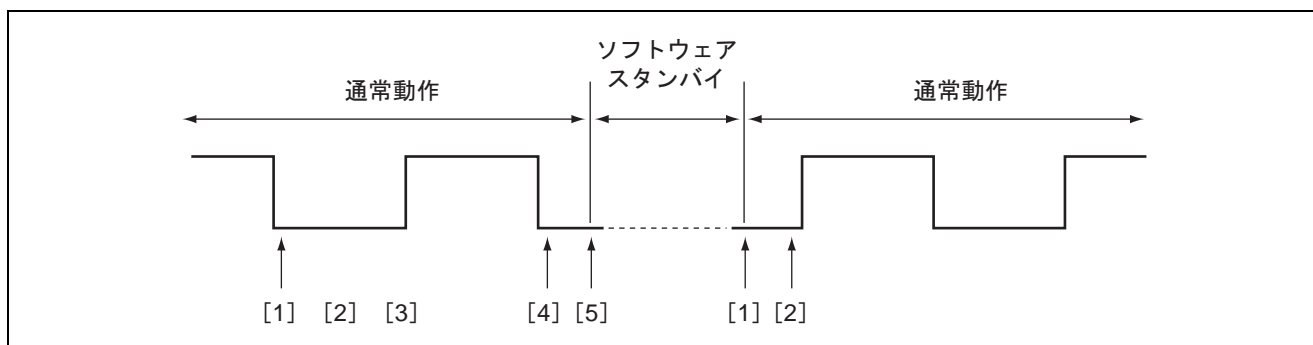


図 15.32 クロック停止・再起動手順

15.8 割り込み要因

15.8.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 15.12 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。SCR の TE ビットが 0 の時には、TDRE フラグを 0 にクリアすることはできません。このため、SCR の TIE を 1 にセットしないでください。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 15.12 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	優先順位
1	ERI1	受信エラー	ORER、FER、PER	高 ↑ 低
	RXI1	受信データフル	RDRF	
	TXI1	送信データエンプティ	TDRE	
	TEI1	送信終了	TEND	

15.8.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 15.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 15.13 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	優先順位
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	高 ↑ 低
	RXI1	受信データフル	RDRF	
	TXI1	送信データエンプティ	TDRE	

送信動作では、SSR の TEND フラグが 1 にセットされると TXI 割り込み要求が発生します。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持されます。したがって、エラー発生時の再送信を含め、SCI が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR の ERS フラグは自動的にクリアされませんので、SCR の RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求が発生させ、ERS をクリアしてください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。CPU に対し ERI 割り込み要求が発生しますのでエラーフラグをクリアしてください。

15.9 使用上の注意事項

15.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作停止/許可を設定することが可能です。初期値では SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 29 章 低消費電力状態」を参照してください。

15.9.2 ブレークの検出と処理

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、SSR の FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

15.9.3 マーク状態とブレークの送り出し

SCR の TE が 0 のとき、TxD 端子はポートの ODR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR=1、ODR=1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送り出したいときは、DDR=1、ODR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

15.9.4 受信エラーフラグと送信動作 (クロック同期式モードのみ)

SSR の受信エラーフラグ (ORER) が 1 にセットされた状態では、SSR の TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には受信エラーフラグを 0 にクリアしておいてください。また、SCR の RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

15.9.5 TDR へのライトと TDRE フラグの関係

TDR へのデータのライトは SSR の TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータはまだ TSR に転送されていないため失われてしまいます。したがって、TDR への送信データのライトは必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

15.9.6 低消費電力状態遷移時の動作

(1) 送信

モジュールストップモードまたはソフトウェアスタンバイモードへ遷移するときは、動作を停止 (TE=TIE=TEIE=0) してから行ってください。TSR、TDRE および TEND はリセットされます。モジュールストップモードまたはソフトウェアスタンバイモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に TE=1 に再設定すると High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、TE=1 に設定し、SSR リード→TDR ライト→TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 15.33 に送信時のモード遷移フローチャートの例を示します。図 15.34、図 15.35 に送信時の端子状態を示します。

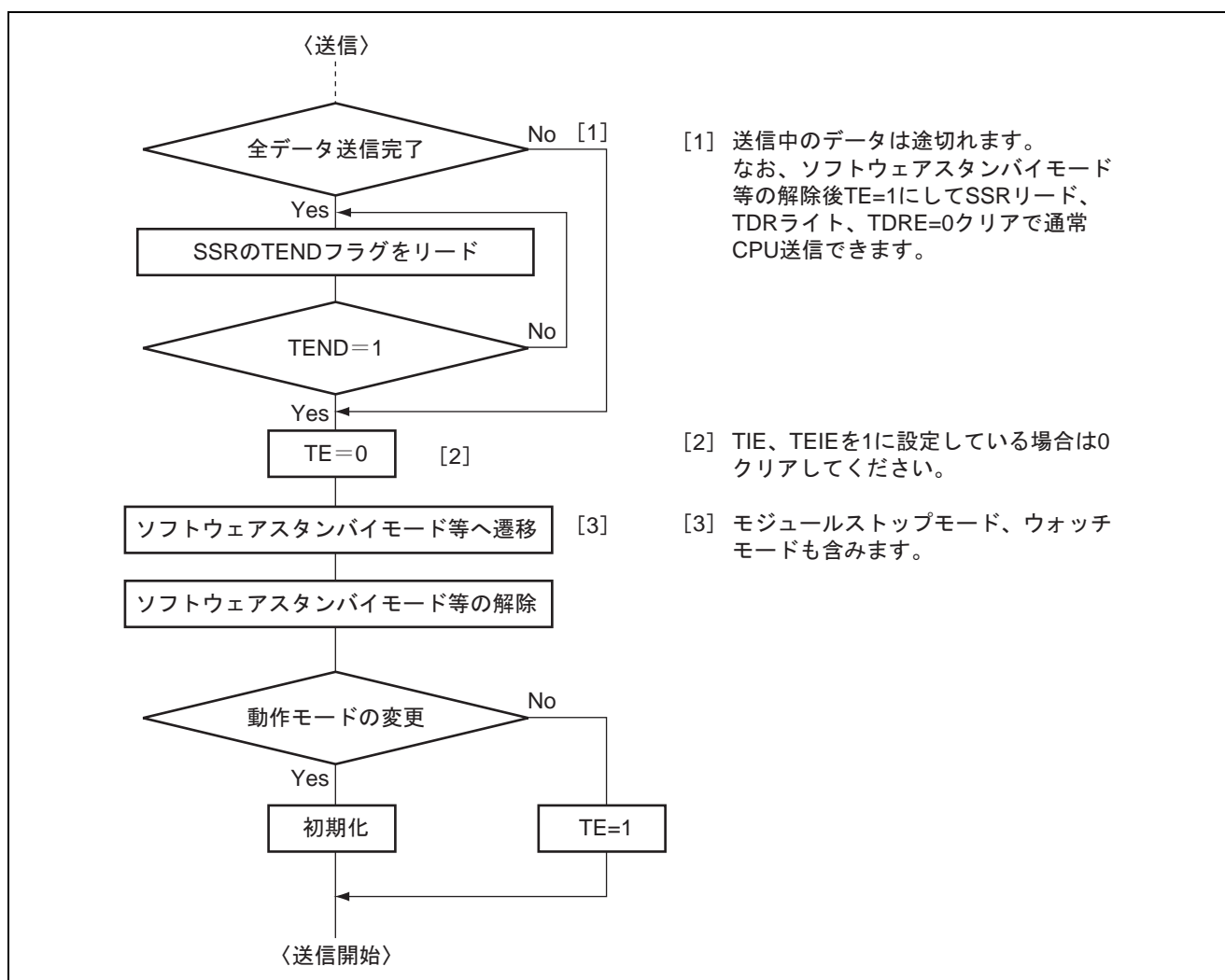


図 15.33 送信時のモード遷移フローチャートの例

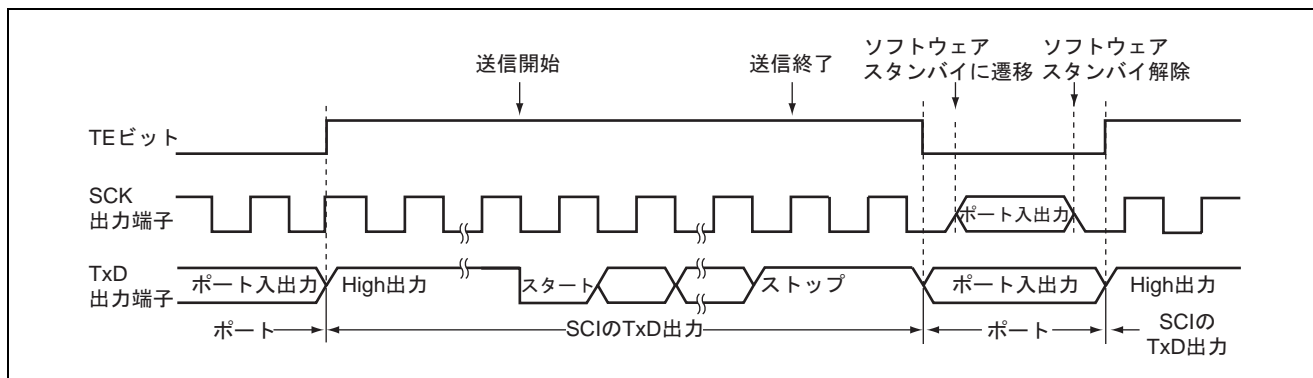


図 15.34 調歩同期式モード送信時（内部クロック）の端子状態

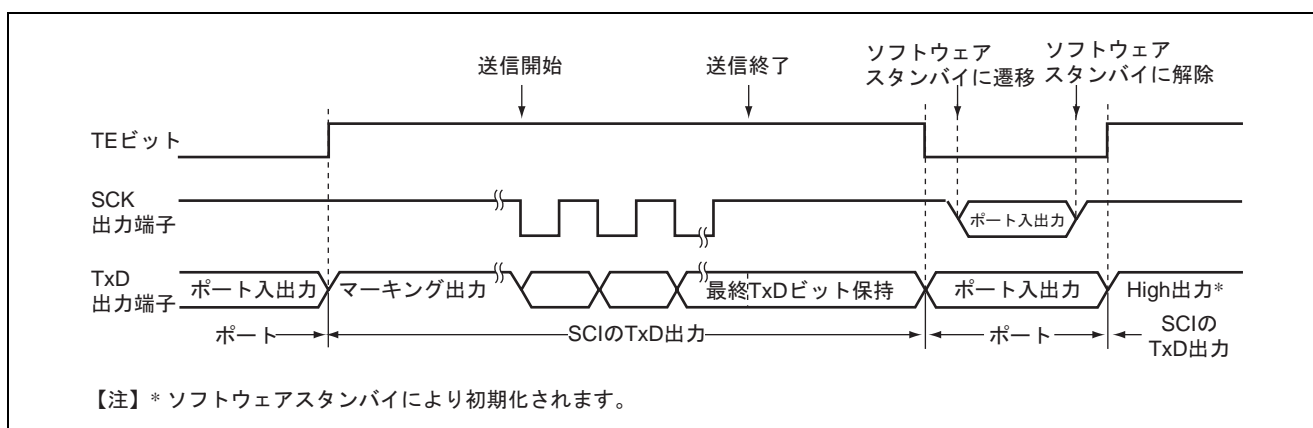


図 15.35 クロック同期式モード送信時（内部クロック）の端子状態

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモードまたはウォッチモードへ遷移するときには、受信動作を停止 (RE=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 15.36 に受信時のモード遷移フローチャートの例を示します。

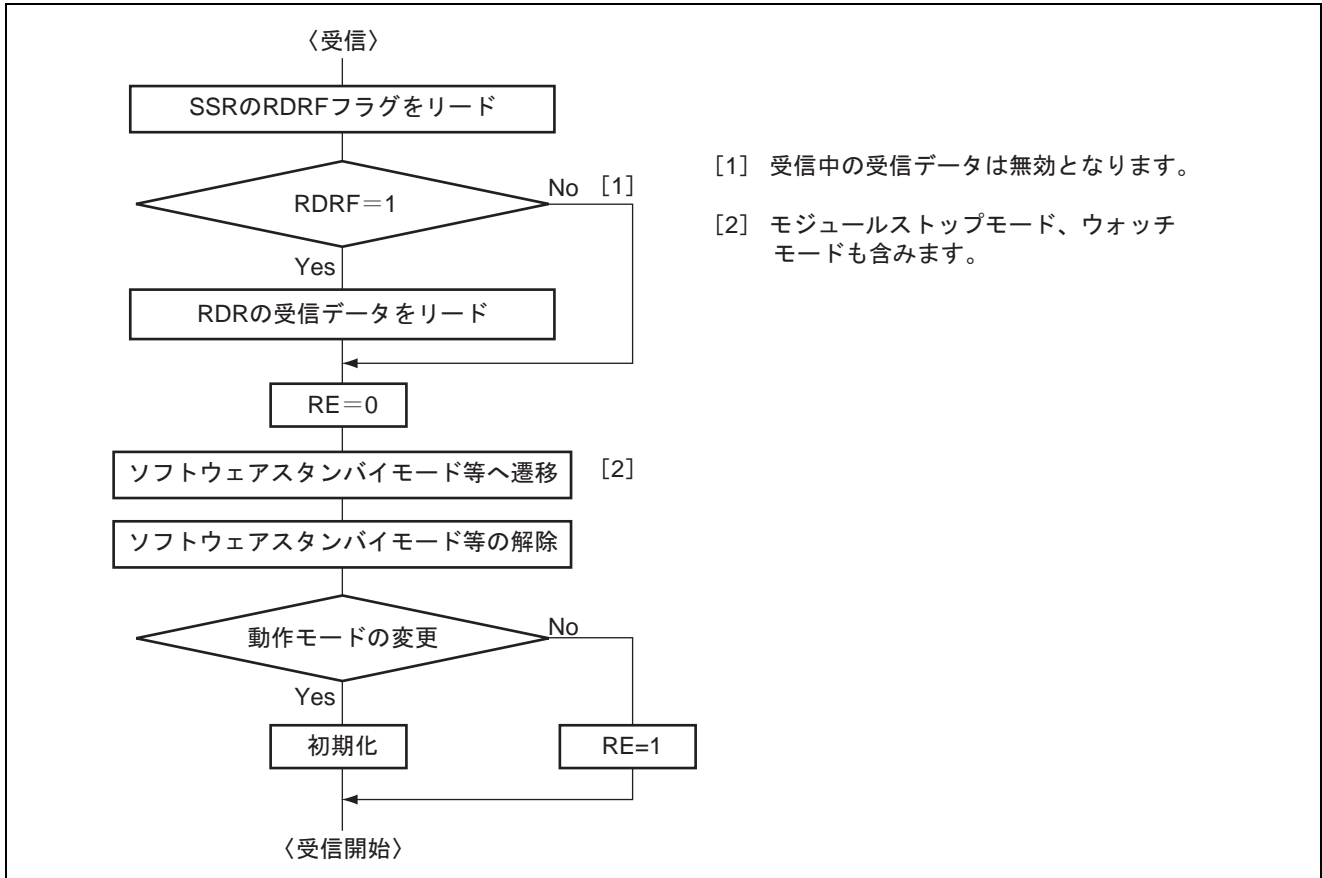


図 15.36 受信時のモード遷移フローチャートの例

15.9.7 送信、受信、送受信中のレジスタ書き込みの注意事項

送信、受信、送受信を開始するために、SCR の TE、RE ビットを 1 にした後は、SMR、SCR、BRR、SCMR、SEMR への書き込みは行わないでください。レジスタ値と同値の上書きも行わないでください。ただし、送信、受信、送受信終了時の SCR の TE、RE ビットの 0 クリアのための書き込みはのぞきます。

読み出しについては常に可能です。

16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

本 LSI は、1 チャネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF: Serial Communication Interface with FIFO) を内蔵しています。SCIF は調歩同期式のシリアル通信が可能です。

調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。送受信に FIFO バッファを各々16 段内蔵しており、効率の良い高速連続通信を行うことができます。

また、SCIF は LPC インタフェースと接続しており、LPC ホストから直接制御することができます。

16.1 特長

- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっており、シリアルデータを連続で送受信できます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- モデムコントロール機能内蔵
- データ長：5、6、7、8ビットから選択可能
- パリティ：偶数パリティ/奇数パリティ/パリティなしから選択可能
- ストップビット長：1、1.5、2ビットから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出

SCIF のブロック図を以下に示します。

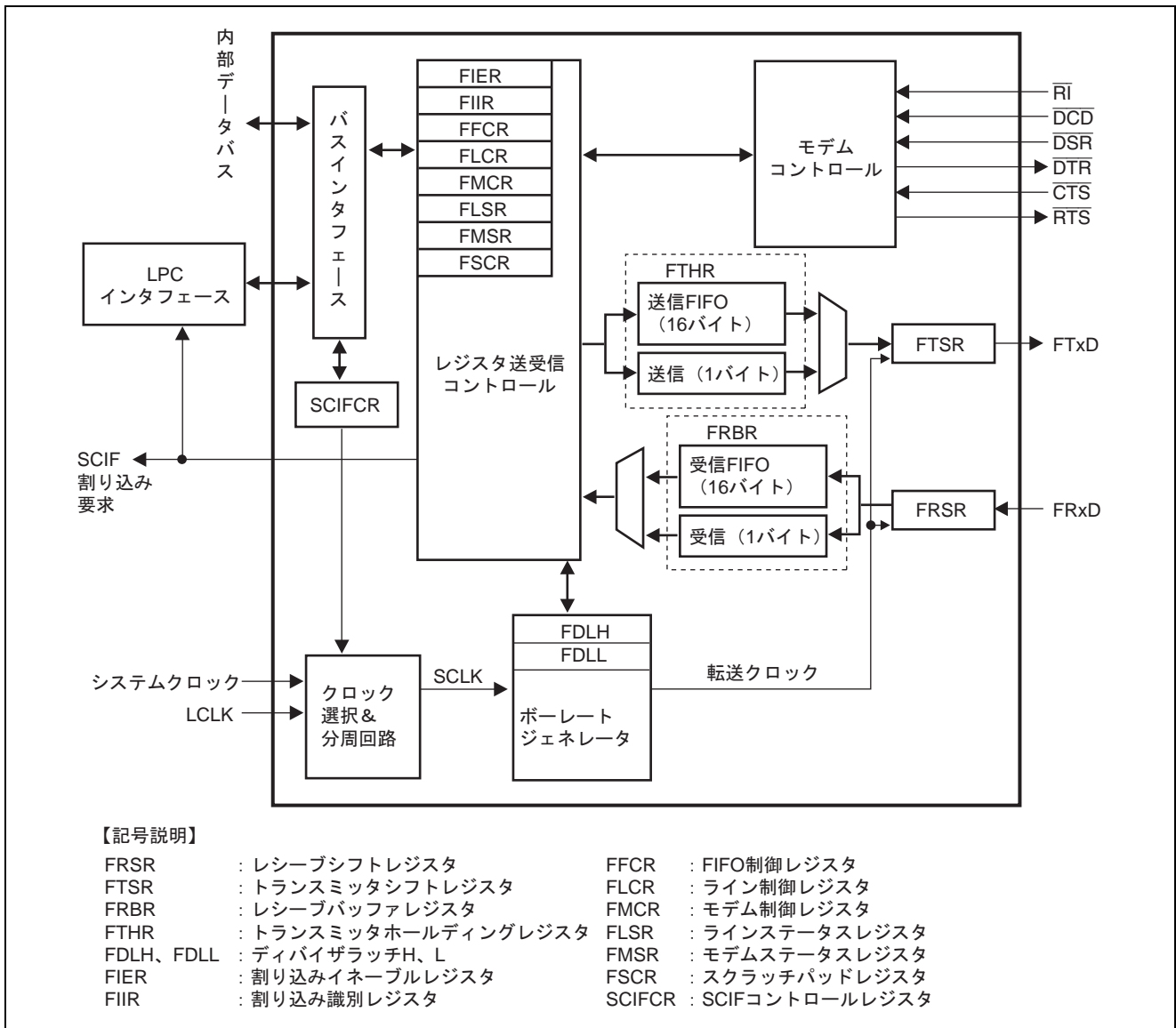


図 16.1 SCIF のブロック図

16.2 入出力端子

SCIF の入出力端子を表 16.1 に示します。

表 16.1 端子構成

端子名	入出力	機能
FTxD	出力	送信データ出力端子
FRxD	入力	受信データ入力端子
\overline{RI}	入力	リングインジケータ入力端子
\overline{DCD}	入力	データキャリア検出入力端子
\overline{DSR}	入力	データセットレディ入力端子
\overline{DTR}	出力	データターミナルレディ出力端子
\overline{CTS}	入力	送信許可入力端子
\overline{RTS}	出力	送信要求出力端子

16.3 レジスタの説明

SCIF には以下のレジスタがあります。SCIF のレジスタ構成を以下に示します。HICR5 の SCIFE ビットと MSTPCRB のビット 3 によりレジスタへのアクセスが切り替わります。詳細は表 16.3 を参照してください。なお、SCIF アドレスレジスタ H、L (SCIFADRH、SCIFADRL) および SERIRQ コントロールレジスタ 4 (SIRQCR4) については「第 20 章 LPC インタフェース (LPC)」を参照してください。

表 16.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
ホストインタフェースコントロールレジスタ 5	HICR5	R/W	H'00	H'FE33	8
モジュールストップコントロールレジスタ B	MSTPCRB	R/W	H00	H'FF99	8
レシーブバッファレジスタ	FRBR	R	H'00	H'FC20	8
トランスミッタホールディングレジスタ	FTHR	W	—		
ディバイザラッチ L	FDLL	R/W	H'00		
割り込みイネーブルレジスタ	FIER	R/W	H'00	H'FC21	8
ディバイザラッチ H	FDLH	R/W	H'00		
割り込み識別レジスタ	FIIR	R	H'01	H'FC22	8
FIFO 制御レジスタ	FFCR	W	H'00		
ライン制御レジスタ	FLCR	R/W	H'00	H'FC23	8
モデム制御レジスタ	FMCR	R/W	H'00	H'FC24	8
ラインステータスレジスタ	FLSR	R	H'60	H'FC25	8
モデムステータスレジスタ	FMSR	R	—	H'FC26	8
スクラッチパッドレジスタ	FSCR	R/W	H'00	H'FC27	8

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
SCIF コントロールレジスタ	SCIFCR	R/W	H'00	H'FC28	8
SCIF アドレスレジスタ H	SCIFADRH	R/W	H'03	H'FDC4	8
SCIF アドレスレジスタ L	SCIFADRL	R/W	H'F8	H'FDC5	8
シリアル IRQ コントロールレジスタ 4	SIRQCR4	R/W	H'00	H'FE3B	8

表 16.3 レジスタアクセス

HICR5 の SCIFE ビット	0		1	
MSTPCRB のビット 3	0	1	0	1
SCIFCR	H8S CPU アクセス* ²	アクセス不可	H8S CPU アクセス* ²	アクセス不可
SCIFCR 以外	H8S CPU アクセス* ²	アクセス不可	LPC アクセス* ¹	LPC アクセス* ¹

【注】 *1 LPC アクセスに設定時は H8S CPU からの書き込みは禁止されます。また、読み出し時は H'FF が読み出されます。

*2 H8S CPU アクセスに設定時は LPC からの書き込みは禁止されます。また、読み出し時は H'00 が読み出されます。

16.3.1 レシーブシフトレジスタ (FRSR)

FRSR は FRxD 端子から入力されたシリアルデータをパラレルデータに変換するための受信レジスタです。シリアルデータは LSB (ビット 0) から受信したデータを格納します。1 フレーム分のシリアルデータを受信すると、データは FRBR に転送されます。

FRSR は CPU/LPC インタフェースからはリードできません。

16.3.2 レシーブバッファレジスタ (FRBR)

FRBR は受信したシリアルデータを格納するための 8 ビットのリード専用レジスタです。FLSR の DR ビットがセットされているとき、正しいデータをリードすることができます。

FIFO ディセーブル時は、次のデータを受信する前に FRBR のデータをリードしなければなりません。リードする前にデータを受信すると上書きされ、オーバランエラーになります。

FIFO イネーブル時はレジスタをリードしたとき、受信 FIFO の先頭をリードします。受信 FIFO がいっぱいになると、それ以降の受信データは失われオーバランエラーになります。

ビット	ビット名	初期値	R/W	説明
7~0	bit7~bit0	すべて 0	R	受信したシリアルデータを格納します。 FIFO イネーブル時は 16 バイトになります。

16.3.3 トランスミッタシフトレジスタ (FTSR)

FTSR は FTxD 端子からパラレルデータをシリアルデータに変換して送信するレジスタです。1 フレーム分のシリアルデータを送信すると、データは FTHR から転送されます。シリアルデータは LSB (ビット 0) から送信されます。

FTSR は H8S CPU/LPC インタフェースからはライトできません。

16.3.4 トランスミッタホールディングレジスタ (FTHR)

FTHR は送信するシリアルデータを格納するための 8 ビットのライト専用レジスタで、FLCR の DLAB ビットが 0 のときアクセス可能です。FLSR の THRE ビットがセットされているときに送信データをライトしてください。

FIFO ディセーブルで THRE ビットがセットされているとき、FTHR にデータをライトすることができます。THRE ビットがセットされていないときに FTHR にデータをライトすると、データは上書きされます。

FIFO イネーブルで THRE ビットがセットされているとき、16 バイトまでデータをライトすることができます。FIFO が満杯の状態データをライトすると、ライトしたデータは無効になります。

ビット	ビット名	初期値	R/W	説明
7~0	bit7~bit0	—	W	送信するシリアルデータを格納します。 FIFO イネーブル時は 16 バイトになります。

16.3.5 ディバイザラッチ H、L (FDLH、FDLL)

FDLH、FDLL はボーレートを設定するためのレジスタで、FLCR の DLAB ビットが 1 のときアクセス可能です。分周は $1 \sim (2^{16}-1)$ の範囲が設定可能で、FDLH、FDLL が 0 (初期値) のとき分周回路は停止します。

• FDLH

ビット	ビット名	初期値	R/W	説明
7~0	bit7~bit0	すべて 0	R/W	ディバイザラッチの上位 8 ビット

• FDLL

ビット	ビット名	初期値	R/W	説明
7~0	bit7~bit0	すべて 0	R/W	ディバイザラッチの下位 8 ビット

ボーレート = (ボーレートジェネレータに入力するクロックの周波数) / (16 × ディバイザ値)

16.3.6 割り込みイネーブルレジスタ (FIER)

FIER は割り込みの許可/禁止を設定するためのレジスタで、FLCR の DLAB ビットが 0 のときアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	EDSSI	0	R/W	モデムステータス割り込みイネーブル 0 : モデムステータス割り込み禁止 1 : モデムステータス割り込み許可
2	ELSI	0	R/W	受信ラインステータス割り込みイネーブル 0 : 受信ラインステータス割り込み禁止 1 : 受信ラインステータス割り込み許可
1	ETBEI	0	R/W	FTHR エンプティ割り込みイネーブル 0 : FTHR エンプティ割り込み禁止 1 : FTHR エンプティ割り込み許可
0	ERBFI	0	R/W	受信データレディ割り込みイネーブル FIFO イネーブル時はキャラクタタイムアウト割り込みを含みます。 0 : 受信データレディ割り込み禁止 1 : 受信データレディ割り込み許可

16.3.7 割り込み識別レジスタ (FIIR)

FIIR は割り込み要因を識別するビットで構成されます。詳細は表 16.4 を参照してください。

ビット	ビット名	初期値	R/W	説明
7	FIFOE1	0	R	FIFO イネーブル 1、0 送信、受信 FIFO の設定状態を示します。 00 : 送信、受信 FIFO ディスエーブル 11 : 送信、受信 FIFO イネーブル
6	FIFOE0	0	R	
5~4	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	INTID2	0	R	インタラプト ID2、1、0 実行待ちの割り込みの中でもっとも優先順位の高い割り込みを示します。 000 : モデムステータス 001 : FTHR エンプティ 010 : 受信データレディ 011 : 受信ラインステータス 110 : キャラクタタイムアウト (FIFO イネーブル時)
2	INTID1	0	R	
1	INTID0	0	R	

ビット	ビット名	初期値	R/W	説明
0	INTPEND	1	R	インタラプトペンディング 実行待ちの割り込みの有無を示すビットです。 0 : 実行待ちの割り込みあり 1 : 実行待ちの割り込みなし

表 16.4 割り込み制御機能

FIIR			割り込みセット/クリア				
INTID			INTPEND	優先 順位	割り込み種類	割り込み要因	割り込みクリア
2	1	0					
0	0	0	1	—	割り込みなし	なし	—
0	1	1	0	1 (高)	受信ラインステータス	オーバランエラー、 パリティエラー、 フレーミングエラー、 ブレイク割り込み	FLSR リード
0	1	0	0	2	受信データレディ	受信データあり、 FIFO トリガレベル	FRBR リードまたは受信 FIFO がトリガレベル以 下
1	1	0	0	2	キャラクタタイムアウト (FIFO イネーブル時)	受信 FIFO にデータが 1 キャラクタ以上ある状 態で、4 キャラクタタイ ム間受信 FIFO にデータ の入出力がない	FRBR リード
0	0	1	0	3	FTHR エンプティ	FTHR エンプティ	FIIR リードまたは FTHR ライト
0	0	0	0	4 (低)	モデムステータス	CTS、DSR、RI、DCD	FMSR リード

16.3.8 FIFO 制御レジスタ (FFCR)

FFCR は送信、受信 FIFO を制御するためのライト専用レジスタです。

ビット	ビット名	初期値	R/W	説明
7	RCVRTRIG1	0	W	受信 FIFO 割り込みトリガレベル 1、0
6	RCVRTRIG0	0	W	受信 FIFO 割り込みのトリガレベルを設定します。 00 : 1 バイト 01 : 4 バイト 10 : 8 バイト 11 : 14 バイト
5~4	—	—	—	リザーブビット ライトは無効です。
3	DMAMODE	0	—	DMA モード サポートしていません。ライトは無効です。
2	XMITFRST	0	W	送信 FIFO リセット 1 をライトすると送信 FIFO のデータがクリアされます。ただし、FTSR のデータはクリアされません。 このビットは自動的にクリアされます。
1	RCVFRST	0	W	受信 FIFO リセット 1 をライトすると受信 FIFO のデータがクリアされます。ただし、FRSR のデータはクリアされません。 このビットは自動的にクリアされます。
0	FIFOE	0	W	FIFO イネーブル 0 : 送信、受信 FIFO ディスエーブル 送信、受信 FIFO の全バイトがクリアされます。 1 : 送信、受信 FIFO イネーブル

16.3.9 ライン制御レジスタ (FLCR)

FLCR は送受信データのフォーマットを設定します。

ビット	ビット名	初期値	R/W	説明
7	DLAB	0	R/W	ディバイザラッチアドレスビット FDLL、FDLH は FRBR/FTHR、FIER と同一アドレスに配置されています。DLAB はどちらのレジスタをアクセスするかを選択します。 0 : FRBR/FTHR、FIER のアクセスを許可 1 : FDLL、FDLH のアクセスを許可

ビット	ビット名	初期値	R/W	説明
6	BREAK	0	R/W	ブ레이크コントロール シリアル出力信号 FTxD を Low レベルにしてブ레이크を発生させます。ブ레이크状態はビットをクリアすることにより解除されます。 0 : ブ레이크解除 1 : ブ레이크発生
5	STICK PARITY	0	R	スティックパリティ 本 LSI ではサポートしていません。 リードすると常に 0 が読み出されます。ライトは無効です。
4	EPS	0	R/W	パリティセレクト PEN ビットが 1 のとき、パリティの偶数/奇数を選択します。 0 : 奇数パリティ 1 : 偶数パリティ
3	PEN	0	R/W	パリティイネーブル 送信時のパリティビットの付加、受信時のパリティチェックあり/なしの選択を行います。 0 : パリティビットの付加/チェックなし 1 : パリティビットの付加/チェックあり
2	STOP	0	R/W	ストップビット 送信時のストップビットの長さを選択します。受信時は設定にかかわらず、最初のストップビットのみをチェックします。 0 : 1 ストップビット 1 : 1.5 ストップビット (データ長 : 5 ビット) 2 ストップビット (データ長 : 6~8 ビット)
1 0	CLS1 CLS0	0 0	R/W R/W	キャラクタレングスセレクト 1、0 送受信キャラクタのデータ長を設定します。 00 : データ長 5 ビット 01 : データ長 6 ビット 10 : データ長 7 ビット 11 : データ長 8 ビット

16.3.10 モデム制御レジスタ (FMCR)

FMCR は出力信号を制御します。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
4	LOOP BACK	0	R/W	ループバックテスト 送信データ出力と受信データ入力が入部接続され、送信データ出力端子 (FRxD) = 1、受信入力端子は外部との接続が切り離されます。また、モデム制御入力の 4 端子 ($\overline{\text{DSR}}$ 、 $\overline{\text{CTS}}$ 、 $\overline{\text{RI}}$ 、 $\overline{\text{DCD}}$) は外部との接続が切り離され、それぞれモデム制御出力の 4 信号 ($\overline{\text{DTR}}$ 、 $\overline{\text{RTS}}$ 、 $\overline{\text{OUT1}}$ 、 $\overline{\text{OUT2}}$) に内部で接続されます。ループバックモード時に送信データは直ちに受信されます。また、割り込みの許可/禁止は SCIFCR の OUT2LOOP ビットと FIER で設定します。 0 : ループバック機能を禁止 1 : ループバック機能を許可
3	OUT2	0	R/W	$\overline{\text{OUT2}}$ • 通常動作時 SCIF 割り込みの許可/禁止を設定します。 0 : 割り込み禁止 1 : 割り込み許可 • ループバックテスト時 $\overline{\text{DCD}}$ 入力端子に内部接続されます。
2	OUT1	0	R/W	$\overline{\text{OUT1}}$ • 通常動作時 動作に影響しません。 • ループバックテスト時 $\overline{\text{RI}}$ 入力端子に内部接続されます。
1	RTS	0	R/W	リクエストトゥーセンド $\overline{\text{RTS}}$ 出力を制御します。 0 : $\overline{\text{RTS}}$ 出力ハイレベル 1 : $\overline{\text{RTS}}$ 出力はロウレベル
0	DTR	0	R/W	データターミナルレディ $\overline{\text{DTR}}$ 出力を制御します。 0 : $\overline{\text{DTR}}$ 出力はハイレベル 1 : $\overline{\text{DTR}}$ 出力はロウレベル

16.3.11 ラインステータスレジスタ (FLSR)

FLSR はデータ転送のステータス情報を示すリード専用レジスタです。

ビット	ビット名	初期値	R/W	説明
7	RXFIFOERR	0	R	<p>受信 FIFO エラー</p> <p>FIFO イネーブル時に、パリティエラー、フレーミングエラー、ブレーク割り込みのデータエラーが少なくとも一つ発生したことを示します。</p> <p>0 : 受信 FIFO エラーなし</p> <p>[クリア条件]</p> <p>FRBR をリードするかまたは、FIFO クリアによってエラー要因となるデータが FIFO になくなった状態で FLSR をリードしたとき</p> <p>1 : 受信 FIFO エラーあり</p> <p>[セット条件]</p> <p>FIFO 内にパリティエラー、フレーミングエラー、ブレーク割り込みのデータエラーが少なくとも一つ発生</p>
6	TEMT	1	R	<p>トランスミッタエンプティ</p> <p>送信データがあるかどうかを示します。</p> <ul style="list-style-type: none"> FIFO ディセーブル時 <ul style="list-style-type: none"> 0 : FTNR または FTNR に送信データあり <p>[クリア条件]</p> <p>FTNR に送信データライト</p> <p>1 : FTNR と FTNR に送信データなし</p> <p>[セット条件]</p> <p>FTNR と FTNR の送信データがなくなったとき</p> <ul style="list-style-type: none"> FIFO イネーブル時 <ul style="list-style-type: none"> 0 : 送信 FIFO または FTNR に送信データあり <p>[クリア条件]</p> <p>FTNR に送信データライト</p> <p>1 : 送信 FIFO と FTNR に送信データなし</p> <p>[セット条件]</p> <p>送信 FIFO と FTNR の送信データがなくなったとき</p>

ビット	ビット名	初期値	R/W	説明
5	THRE	1	R	<p>FTHR エンプティ 送信のための新しいデータの受け入れ準備ができています。</p> <ul style="list-style-type: none"> FIFO イネーブル時 <ul style="list-style-type: none"> 0: 送信 FIFO に 1 バイト以上の送信データあり <p>[クリア条件] FTHR に送信データライト</p> <ul style="list-style-type: none"> 1: 送信 FIFO に送信データなし <p>[セット条件] 送信 FIFO が空になったとき</p> <ul style="list-style-type: none"> FIFO ディセーブル時 <ul style="list-style-type: none"> 0: FTHR に送信データあり <p>[クリア条件] FTHR に送信データライト</p> <ul style="list-style-type: none"> 1: FTHR に送信データなし <p>[セット条件] FTHR のデータを FTSR に転送完了</p>
4	BI	0	R	<p>ブ레이크割り込み 受信データのブ레이크信号検出を示します。FIFO イネーブル時は、FIFO 内の個々の受信データにより発生しこの受信データが FIFO の先頭にあるときにセットされます。また、次のデータ受信は、受信データ入力がマーク状態に遷移し有効なスタートビットを受信した後に開始します。</p> <ul style="list-style-type: none"> 0: ブ레이크信号未検出 <p>[クリア条件] FLSR リード</p> <ul style="list-style-type: none"> 1: ブ레이크信号検出 <p>[セット条件] 1 フレーム長以上の受信時間を超えて受信データ入力がスペース (Low レベル) 状態に保持</p>

ビット	ビット名	初期値	R/W	説明
3	FE	0	R	<p>フレーミングエラー</p> <p>受信データのストップビットが有効でないことを示します。FIFO イネーブル時は、FIFO 内の個々の受信データにより発生しこの受信データが FIFO の先頭にあるときにセットされます。フレーミングエラー後、UART は再同期化を試みます。この際フレーミングエラーは次のスタートビットによるものと想定し、このスタートビットをサンプリングしてスタートビットとします。</p> <p>0: フレーミングエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>1: フレーミングエラーあり</p> <p>[セット条件]</p> <p>受信データのストップビットが無効</p>
2	PE	0	R	<p>パリティエラー</p> <p>FLCR の PEN ビットが 1 のとき、受信したデータにパリティエラーがあることを示します。FIFO イネーブル時は FIFO 内の個々の受信データにより発生し、この受信データが FIFO の先頭にあるときにセットされます。</p> <p>0: パリティエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>ただし、オーバランエラー時にセットされた場合は FLSR を 2 回リード</p> <p>1: パリティエラーあり</p> <p>[セット条件]</p> <p>受信データがパリティエラー</p>

ビット	ビット名	初期値	R/W	説明
1	OE	0	R	<p>オーバランエラー</p> <p>オーバランエラーが発生したことを示すビットです。</p> <ul style="list-style-type: none"> FIFO ディセーブル時 <p>FRBR の受信データがリードされずに次のデータを受信完了したときにオーバランエラーが発生し、前のデータは失われます。</p> <ul style="list-style-type: none"> FIFO イネーブル時 <p>FIFO が満杯になり、次のデータを受信完了したときにオーバランエラーが発生します。FIFO 内のデータは保持されますが、最後に受信したデータは失われます。</p> <p>0 : オーバランエラーなし</p> <p>[クリア条件]</p> <p>FLSR リード</p> <p>1 : オーバランエラー</p> <p>[セット条件]</p> <p>オーバランエラー発生時</p>
0	DR	0	R	<p>データレディ</p> <p>FRBR または FIFO に受信データが格納されたことを示します。</p> <p>0 : 受信データなし</p> <p>[クリア条件]</p> <p>FRBR をリード、または FIFO 内のデータをすべてリード</p> <p>1 : 受信データあり</p> <p>[セット条件]</p> <p>データを受信</p>

16.3.12 モデムステータスレジスタ (FMSR)

FMSR は、モデム制御端子の状態または変化を示すリード専用レジスタです。

ビット	ビット名	初期値	R/W	説明
7	DCD	不定	R	<p>データキャリアディテクト</p> <p>$\overline{\text{DCD}}$ 入力端子の反転した状態を示します。</p>
6	RI	不定	R	<p>リングインジケータ</p> <p>$\overline{\text{RI}}$ 入力端子の反転した状態を示します。</p>
5	DSR	不定	R	<p>データセットレディ</p> <p>$\overline{\text{DSR}}$ 入力端子の反転した状態を示します。</p>
4	CTS	不定	R	<p>クリアトゥセンド</p> <p>$\overline{\text{CTS}}$ 入力端子の反転した状態を示します。</p>

ビット	ビット名	初期値	R/W	説明
3	DDCD	0	R	デルタデータキャリアインジケータ DDCD ビットをリード後に $\overline{\text{DCD}}$ 入力信号が変化したことを示します。 0 : FMSR リード後に $\overline{\text{DCD}}$ 入力信号変化なし [クリア条件] FMSR をリード 1 : FMSR リード後、 $\overline{\text{DCD}}$ 入力信号が変化 [セット条件] $\overline{\text{DCD}}$ 入力信号が変化
2	TERI	0	R	トレイリングエッジリングインジケータ TERI ビットをリード後に $\overline{\text{RI}}$ 入力信号が立ち上がったことを示します。 0 : FMSR リード後に $\overline{\text{RI}}$ 入力信号変化なし [クリア条件] FMSR をリード 1 : FMSR リード後、 $\overline{\text{RI}}$ 入力信号の立ち上り [セット条件] $\overline{\text{RI}}$ 入力端子の立ち上り
1	DDSR	0	R	デルタデータセットレディインジケータ DDSR ビットをリード後に $\overline{\text{DSR}}$ 入力信号が変化したことを示します。 0 : FMSR リード後に $\overline{\text{DSR}}$ 入力信号変化なし [クリア条件] FMSR をリード 1 : FMSR リード後、 $\overline{\text{DSR}}$ 入力信号が変化 [セット条件] $\overline{\text{DSR}}$ 入力信号が変化
0	DCTS	0	R	デルタクリアトゥーセンドインジケータ DCTS ビットをリード後に $\overline{\text{CTS}}$ 入力信号が変化していることを示します。 0 : FMSR リード後に $\overline{\text{CTS}}$ 入力信号変化なし [クリア条件] FMSR をリード 1 : FMSR リード後、 $\overline{\text{CTS}}$ 入力信号が変化 [セット条件] $\overline{\text{CTS}}$ 入力信号が変化

16.3.13 スクラッチパッドレジスタ (FSCR)

FSCR は SCIF の制御には使用しません。プログラムの一時的なデータ保持に使用することができます。

ビット	ビット名	初期値	R/W	説明
7~0	bit7~bit0	すべて 0	R/W	プログラムの一時データ保持に使用します。

16.3.14 SCIF コントロールレジスタ (SCIFCR)

SCIFCR は SCIF の各種動作を制御します。SCIFCR は CPU からのみアクセスが可能です。

ビット	ビット名	初期値	R/W	説明
7	SCIFOE1	0	R/W	SCIF の PORT 出力の許可/禁止を設定します
6	SCIFOE0	0	R/W	詳細は表 16.5 を参照してください。
5	—	0	R/W	リザーブビット 初期値を変更しないでください
4	OUT2LOOP	0	R/W	ループバックテスト時の割り込みを許可/禁止します。 0: 割り込み許可 1: 割り込み禁止
3	CKSEL1	0	R/W	ポーレートジェネレータへ入力するクロック (SCLK) を選択します。 00: LCLK を 18 分周したクロック 01: システムクロックを 11 分周したクロック 10: リザーブ (選択禁止) (LCLK) 11: リザーブ (選択禁止) (システムクロック)
2	CKSEL0	0	R/W	
1	SCIFRST	0	R/W	ポーレートジェネレータ、FRSR、FTSR をリセットします。 0: 通常動作 1: リセット
0	REGRST	0	R/W	SCIFCR 以外で H8S CPU 又は LPC インタフェースからアクセス可能なレジスタをリセットします。 0: 通常動作 1: リセット

表 16.5 SCIF 出力設定

HICR5 ビット 3	0				1			
	0		1		0		1	
SCIFCR ビット 7								
SCIFCR ビット 6	0	1	0	1	0	1	0	1
PB7* ¹ 、PB5 端子* ¹ 、 PF7* ² 、PF5* ² 端子	PORT	PORT	SCIF	PORT	SCIF	PORT	SCIF	PORT
P50 端子	PORT	PORT	SCIF	SCIF	SCIF	SCIF	SCIF	SCIF

【注】 *1 PB7、PB5、P50 端子の出力を PORT に設定した場合でも P51、PB2~PB4、PB6 は SCIF へ入力されます。

*2 これらの端子は PTCNT0 レジスタの EXSCIFS ビットで、機能が切り替わります。詳細は「第 9 章 I/O ポート」を参照してください。

16.4 動作説明

16.4.1 ボーレート

SCIF はボーレートジェネレータを内蔵しており、FDLH、FDLL と SCIFCR の CKSEL ビットにより、任意のボーレートを設定できます。表 16.6 にボーレートの設定例を示します。

表 16.6 ボーレートの設定例

CKSEL1, 0	00		01		01	
	LCLK (33MHz) の 18 分周		システムクロック (20MHz) の 11 分周		システムクロック (10MHz) の 11 分周	
ボーレート	FDLH、 FDLL (Hex)	エラー (%)	FDLH、 FDLL (Hex)	エラー (%)	FDLH、 FDLL (Hex)	エラー (%)
50	08F4	0.01%	08E1	0.01%	0470	0.03%
75	05F8	0.01%	05EB	0.01%	02F6	0.06%
110	0412	0.03%	0409	0.01%	0205	0.09%
300	017E	0.01%	017B	0.06%	00BD	0.21%
600	00BF	0.01%	00BD	0.21%	005F	0.32%
1200	005F	0.51%	005F	0.32%	002F	0.74%
1800	0040	0.54%	003F	0.21%	0020	1.36%
2400	0030	0.54%	002F	0.74%	0018	1.36%
4800	0018	0.54%	0018	1.36%	000C	1.36%
9600	000C	0.54%	000C	1.36%	0006	1.36%
14400	0008	0.54%	0008	1.36%	0004	1.36%
19200	0006	0.54%	0006	1.36%	0003	1.36%
38400	0003	0.54%	0003	1.36%	—	—
57600	0002	0.54%	0002	1.36%	0001	1.36%
115200	0001	0.54%	0001	1.36%	—	—

16.4.2 調歩同期式通信の動作

調歩同期式シリアル通信の一般的なフォーマットを図 16.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ (LSB ファースト: 最下位ビットから)、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCIF は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

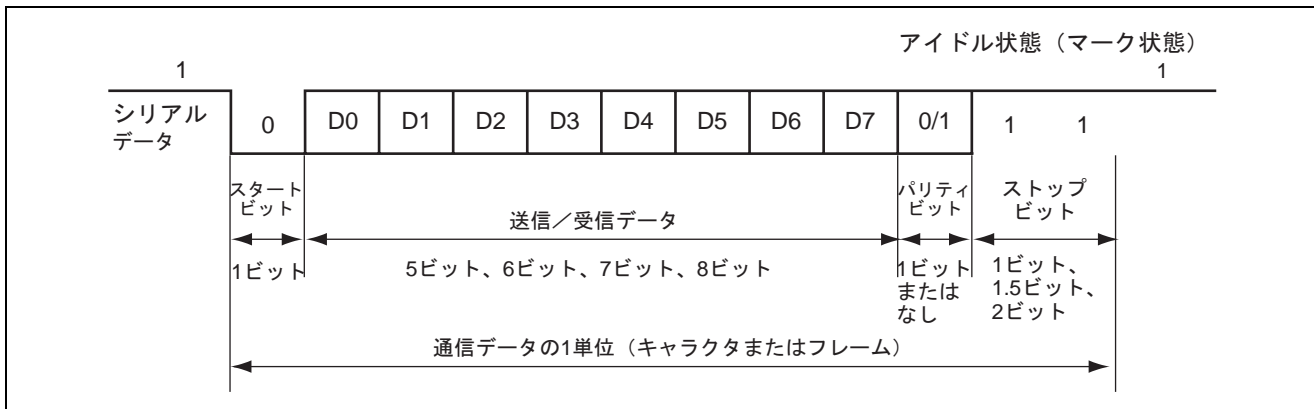


図 16.2 シリアル送信/受信データフォーマット
(8 ビットデータ/パリティあり/2 ストップビットの例)

16.4.3 SCIF の初期化

(1) SCIF の初期化

データ送受信前に図 16.3 のフローチャート例に従って初期化を行ってください。

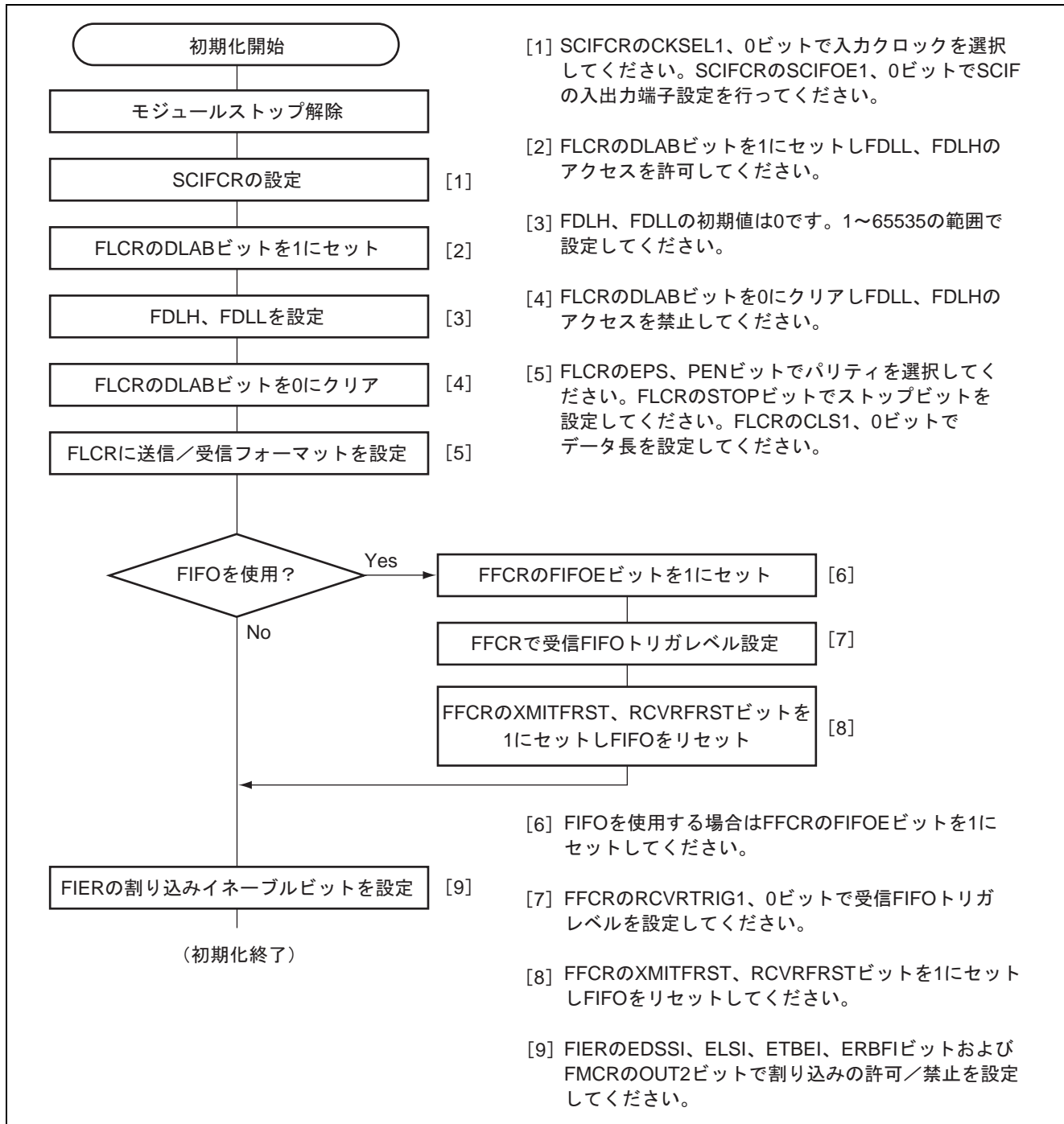


図 16.3 初期化フローチャートの例

(2) シリアルデータ送信

図 16.4 に送信フローチャートの例を示します。

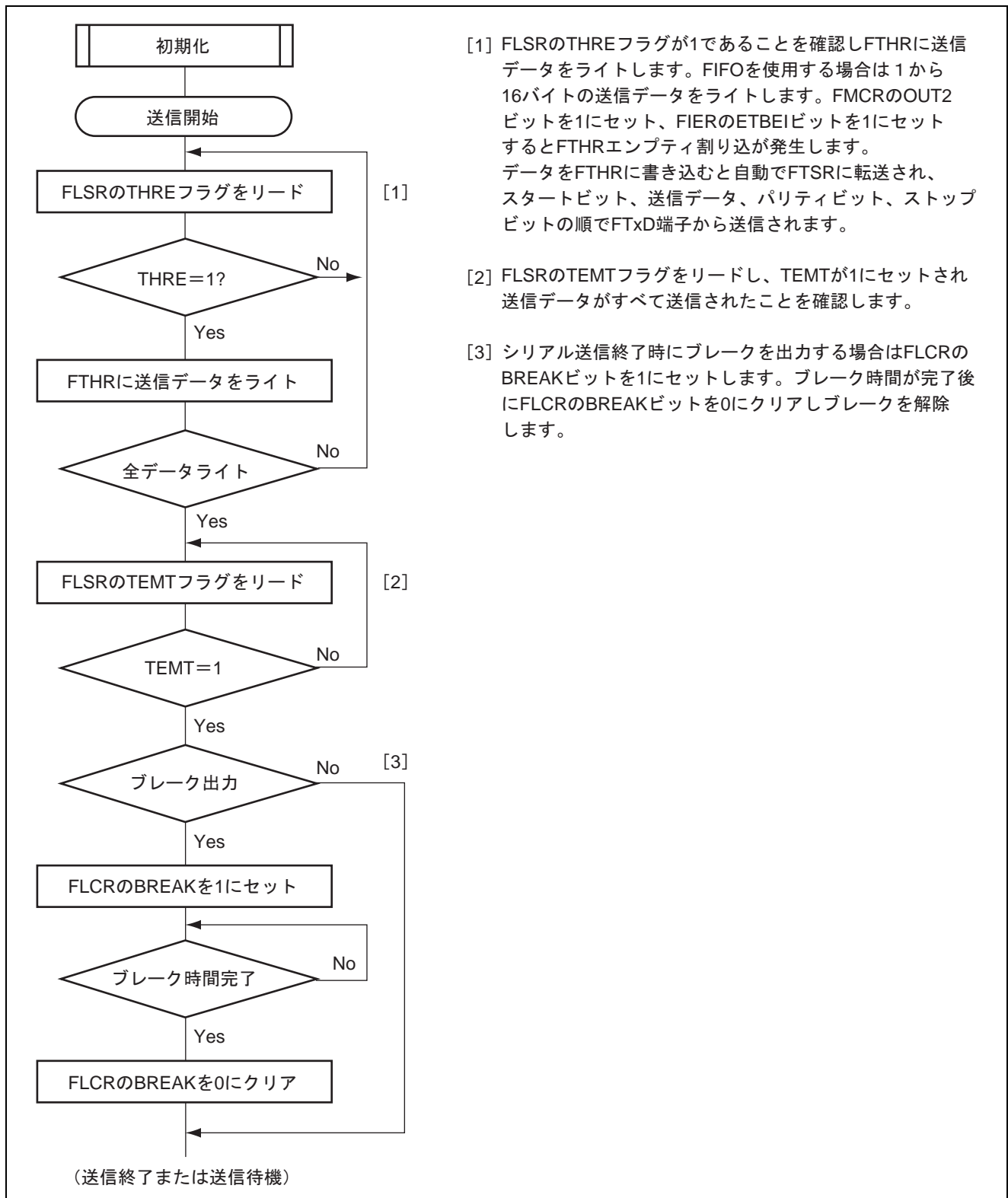


図 16.4 データ送信フローチャートの例

(3) シリアルデータ受信

図 16.5 に受信フローチャートの例を示します。

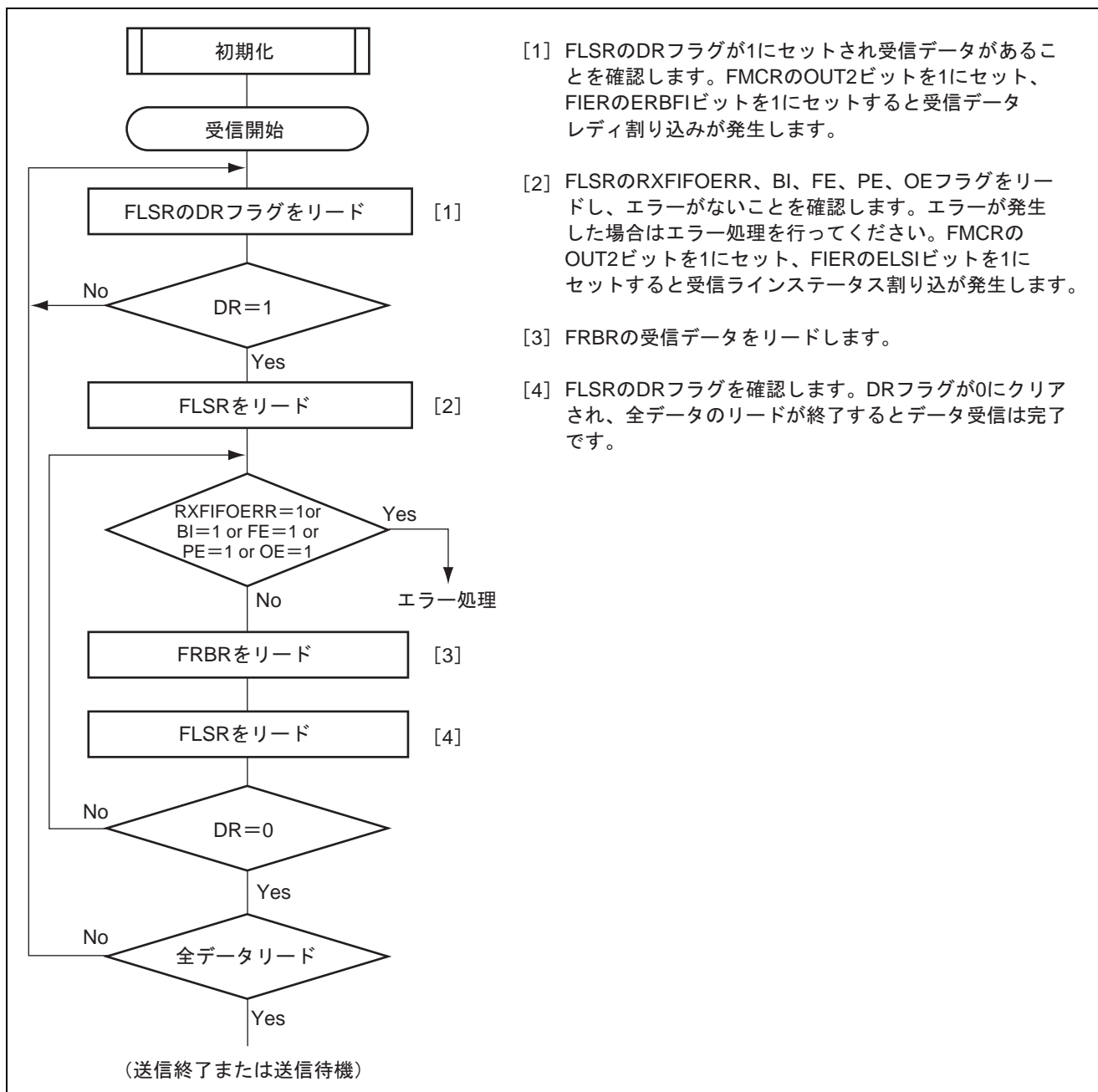


図 16.5 データ受信フローチャートの例

16.4.4 フロー制御を行った送受信

CTS/RTS を使用したフロー制御を行う場合の送受信の例を示します。

(1) 初期化

図 16.6 に初期化フローチャートの例を示します。

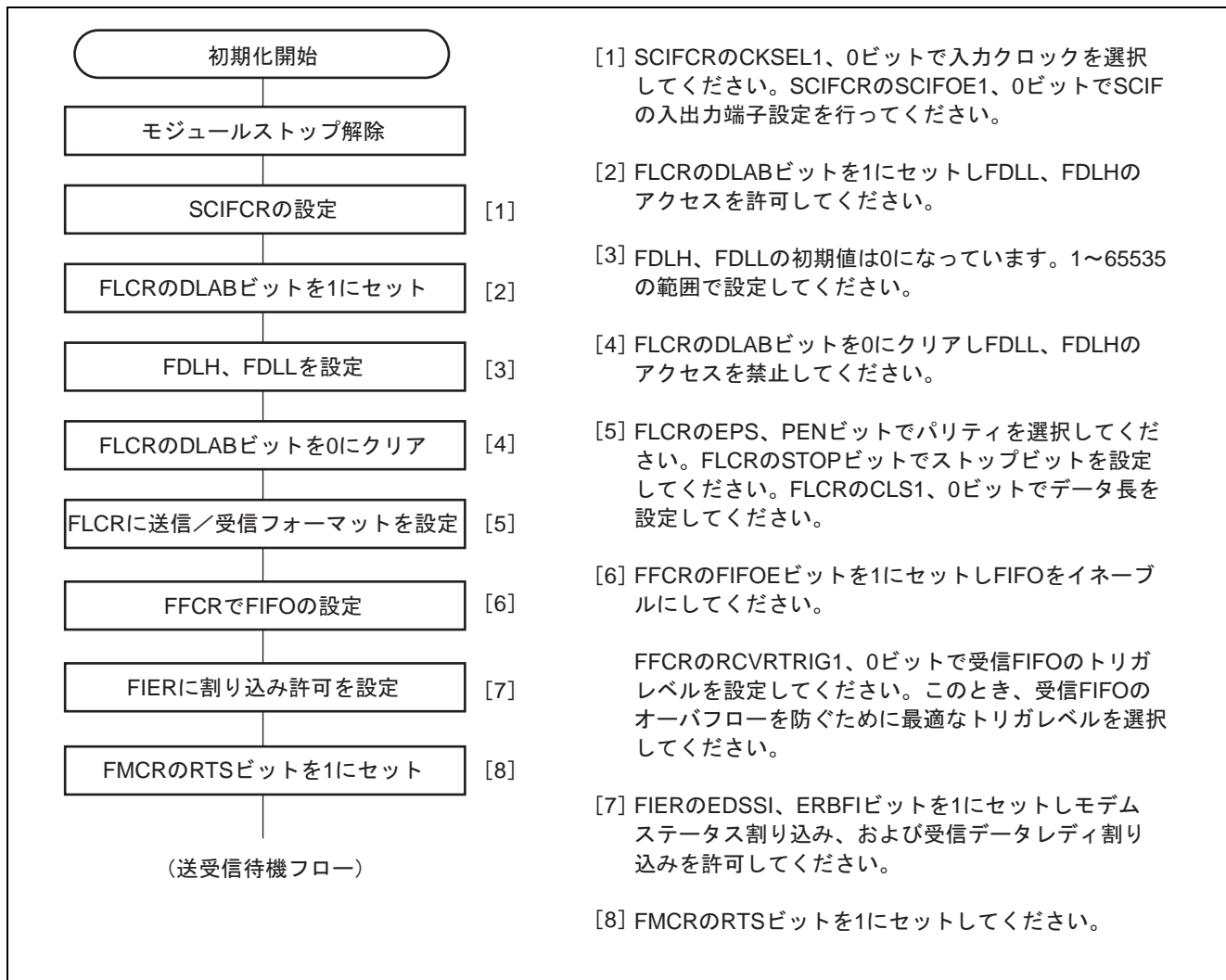


図 16.6 初期化フローチャートの例

(2) 送受信待機

図 16.7 に送受信待機フローチャートの例を示します。

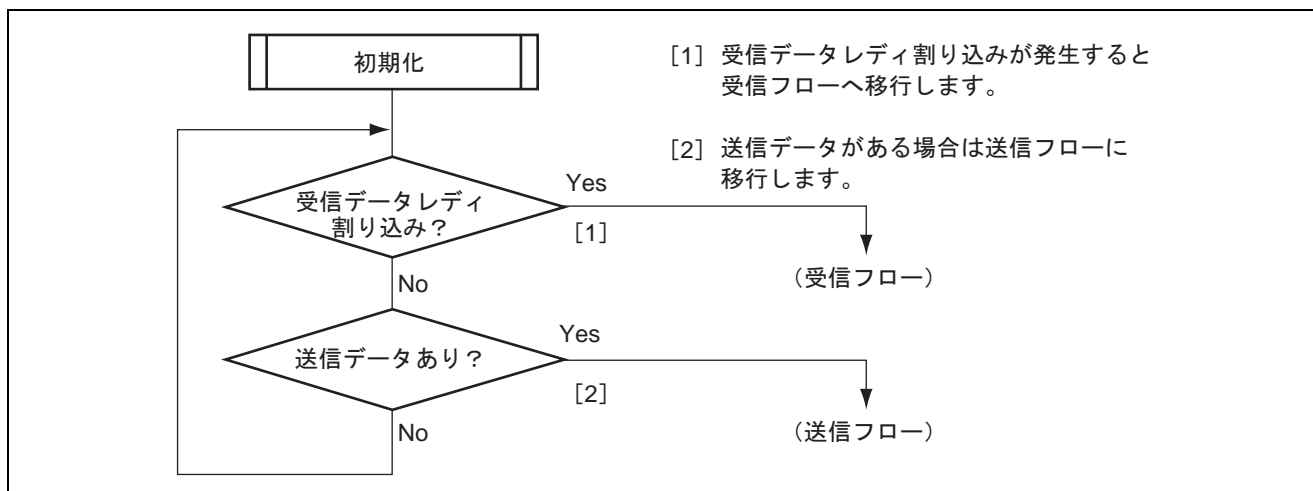


図 16.7 送受信待機フローチャートの例

(3) 送信

図 16.8 に送信フローチャートの例を示します。

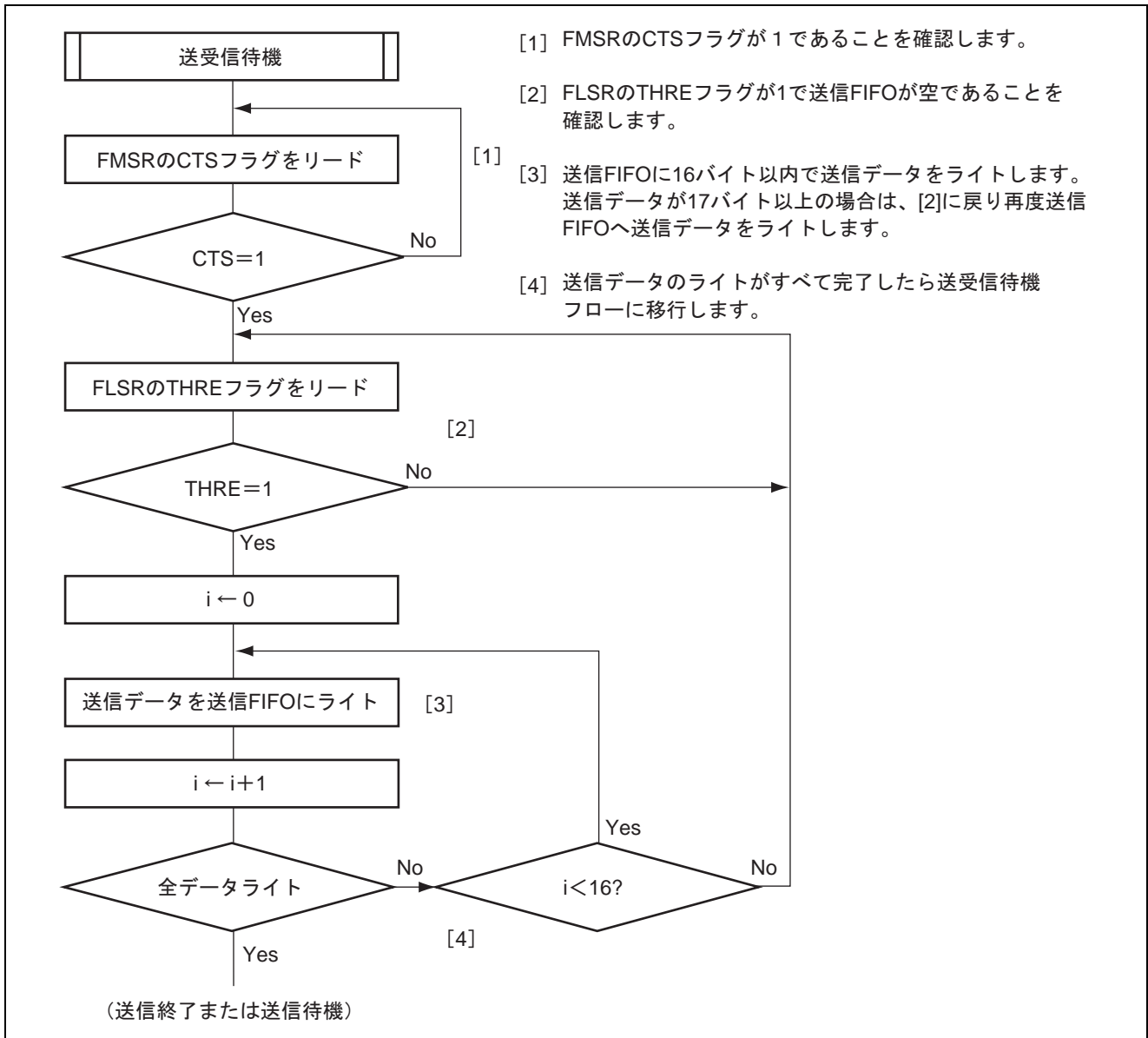


図 16.8 送信フローチャートの例

(4) 送信中断

図 16.9 に送信中断フローチャートの例を示します。

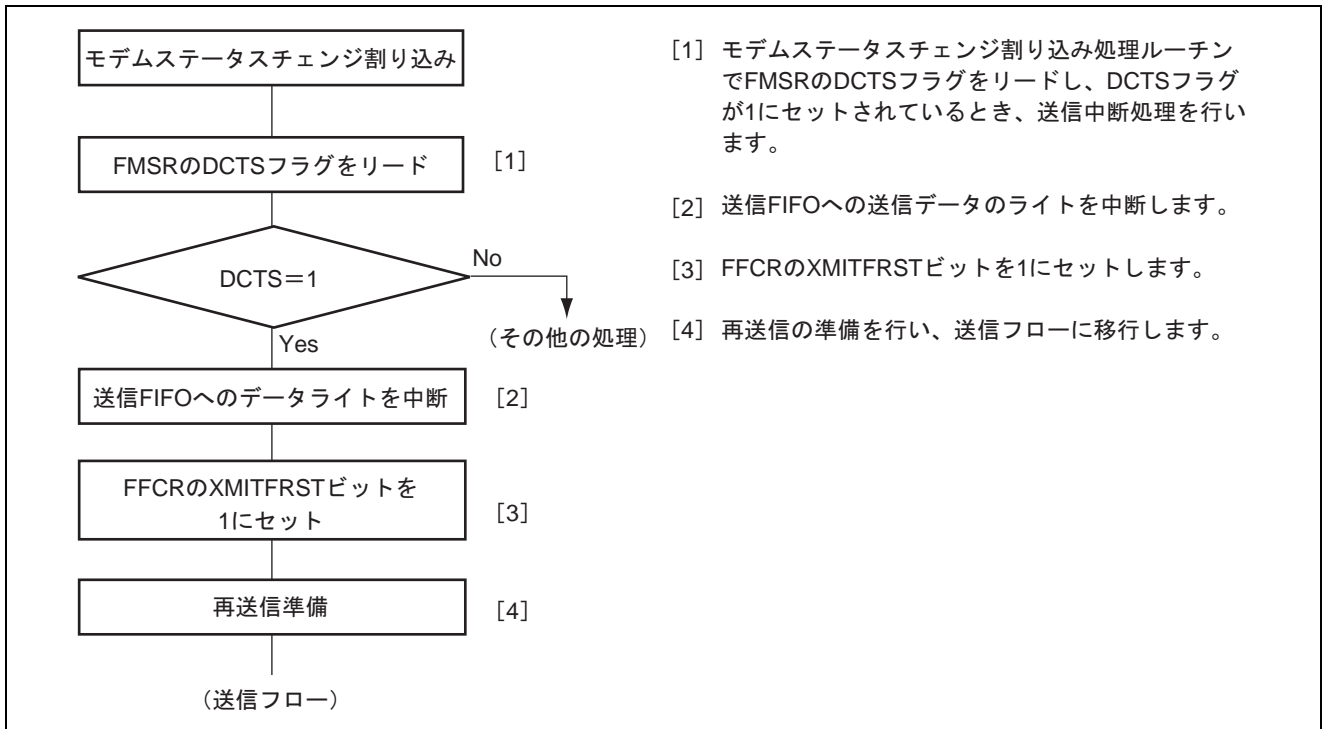


図 16.9 送信中断フローチャートの例

(5) 受信

図 16.10 に受信フローチャートの例を示します。

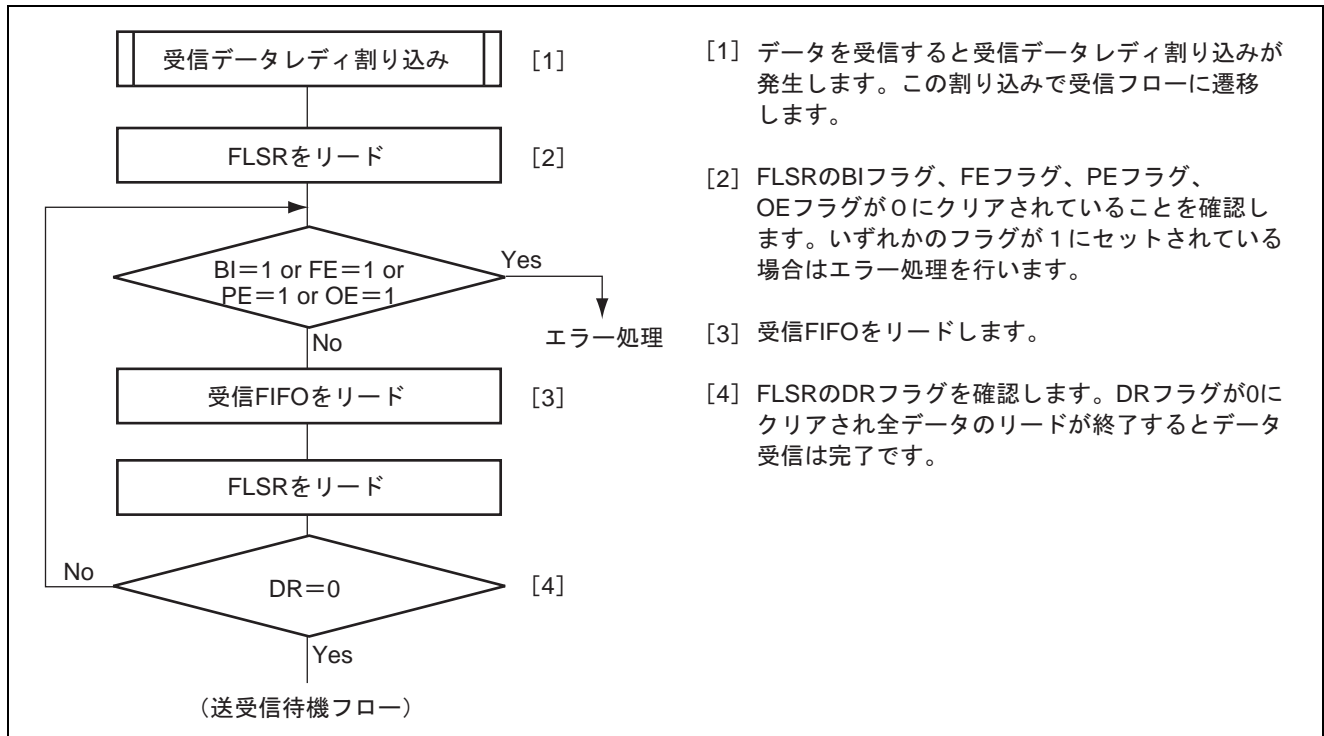


図 16.10 受信フローチャートの例

(6) 受信中断

図 16.11 に受信中断フローチャートの例を示します。

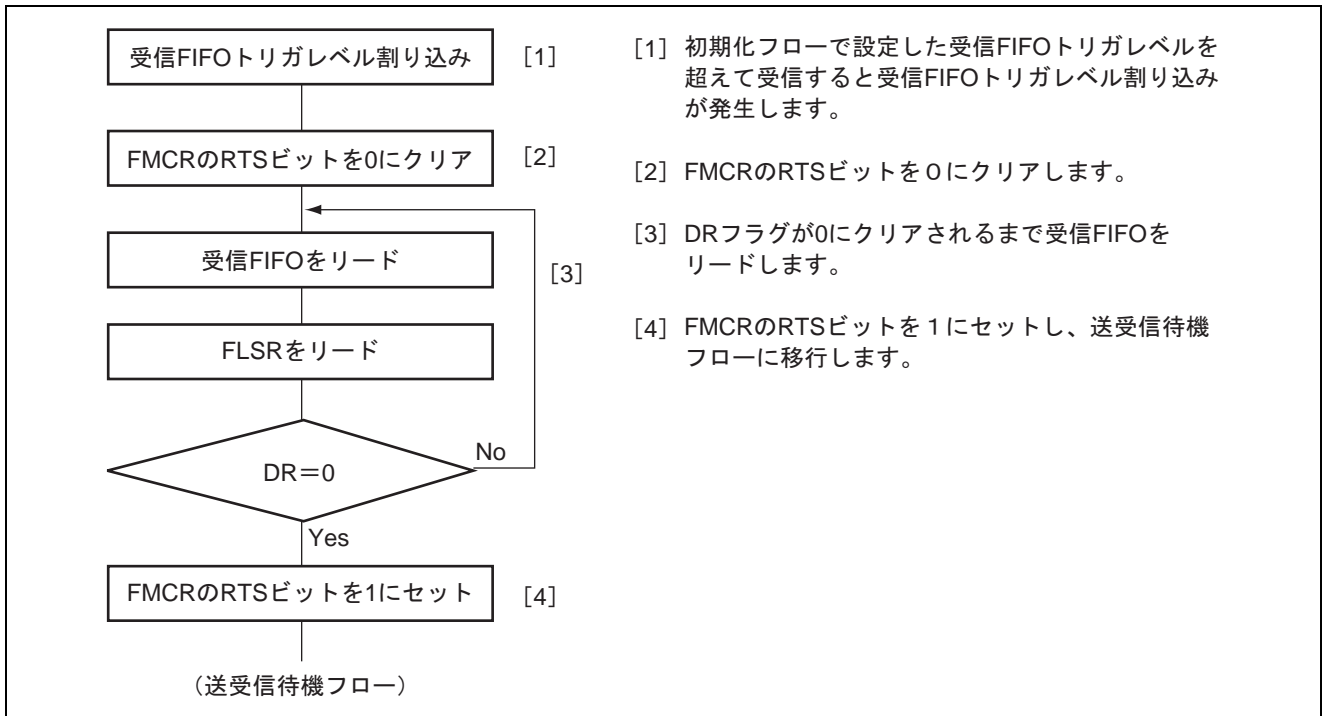


図 16.11 受信中断フローチャートの例

16.4.5 LPC インタフェースからのデータ送受信

表 16.3 に示すように HICR5 の SCIFE ビットを 1 にセットすると SCIFCR 以外のレジスタが LPC インタフェースからアクセス可能となります。CPU から SCIFCR の初期設定を行い HICR5 の SCIFE ビットを 1 にセットすることによって図 16.3～図 16.5 に示す初期設定、データ送信、データ受信のフロー設定が、LPC インタフェースから可能となります。LPC インタフェースの I/O アドレスと SCIF レジスタのアクセス対応を表 16.7 に示します。なお、LPC インタフェースの詳細な設定方法は「第 20 章 LPC インタフェース (LPC)」を参照してください。

表 16.7 SCIF のレジスタと LPC I/O アドレス対応

LPC インタフェース I/O アドレス				R/W	条件	SCIF のレジスタ
ビット 15～3	ビット 2	ビット 1	ビット 0			
SCIFADR (bit15～3)	0	0	0	R	FLCR[7]=0	FRBR
				W	FLCR[7]=0	FTHR
				R/W	FLCR[7]=1	FDLL
SCIFADR (bit15～3)	0	0	1	R/W	FLCR[7]=0	FIER
				R/W	FLCR[7]=1	FDLH
SCIFADR (bit15～3)	0	1	0	R	—	FIIR
				W	—	FFCR
SCIFADR (bit15～3)	0	1	1	R/W	—	FLCR
SCIFADR (bit15～3)	1	0	0	R/W	—	FMCR
SCIFADR (bit15～3)	1	0	1	R	—	FLSR
SCIFADR (bit15～3)	1	1	0	R	—	FMSR
SCIFADR (bit15～3)	1	1	1	R/W	—	FSCR

また、LPC インタフェースからのデータ送受信に関連するレジスタの各モードで初期化される範囲を表 16.8 に示します。

表 16.8 レジスタの各モードで初期化される範囲

レジスタ名		システム リセット	SCIFRST	REGRST	XMITFRST	RCVFRST	LPC リセット	LPC シャットダウン、 アポード
SCIFADRH	bit15~8	初期化	保持	保持	保持	保持	保持	保持
SCIFADRL	bit7~0	初期化	保持	保持	保持	保持	保持	保持
HICR5	SCIFE	初期化	保持	保持	保持	保持	保持	保持
SIRQCR4	bit7~4、 SCSIRQ3~SCSIRQ0	初期化	保持	保持	保持	保持	保持	保持
SCIFCR	SCIFOE1、SCIFOE0、 OUT2LOOP、CKSEL1、 CKSEL0、SCIFRST、 REGRST	初期化	保持	保持	保持	保持	保持	保持
FRBR	bit7~0	初期化	保持	初期化	保持	保持	初期化	保持
FTHR	bit7~0	初期化	保持	初期化	保持	保持	初期化	保持
FDLL	bit7~0	初期化	保持	初期化	保持	保持	初期化	保持
FDLH	bit7~0	初期化	保持	初期化	保持	保持	初期化	保持
FIIR	FIFOE1、FIFOE0、 INTID2~INTID0、 INTPEND	初期化	保持	初期化	保持	保持	初期化	保持
FFCR	RCVRTRIG1、 RCVRTRIG0、 XMITFRST、 RCVFRST、FIFOE	初期化	保持	初期化	保持	保持	初期化	保持
FLCR	DLAB、BREAK、EPS、 PEN、STOP、CLS1、 CLS0	初期化	保持	初期化	保持	保持	初期化	保持
FMCRCR	LOOP BACK、OUT2、 OUT1、RTS、DTR	初期化	保持	初期化	保持	保持	初期化	保持
FLSRCR	RXFIFOERR、BI、FE、 PE、OE、	初期化	保持	初期化	保持	保持	初期化	保持
	TEMT、THRE	初期化	保持	初期化	初期化*	保持	初期化	保持
	DR	初期化	保持	初期化	保持	初期化*	初期化	保持
FMSRCR	DDCD、TERI、DDSR、 DCTS	初期化	保持	初期化	保持	保持	初期化	保持
FSCRCR	bit7~0	初期化	保持	初期化	保持	保持	初期化	保持
SCIF 転送 シーケンサ (内部状態)	—	初期化	初期化	保持	保持	保持	初期化	保持

【注】 * FFCR の FIFOE ビットが 1 の場合

16.5 割り込み要因

表 16.9 に割り込み要因を示します。各割り込み要因には共通の 1 つの割り込みベクタが割り当てられています。

LPC で SCIF を使用する場合、H8S CPU に対して割り込みを要求しません。LPC インタフェースの SERIRQ によりホストへ割り込みが要求されます。

表 16.9 割り込み要因

名称	割り込み要因	優先順位
受信ラインステータス	オーバランエラー、パリティエラー、フレーミングエラー、ブレーク割り込み	高 ↑ 低
受信データレディ	受信データあり、FIFO トリガレベル	
キャラクタタイムアウト (FIFO イネーブル時)	受信 FIFO にデータが 1 キャラクタ以上ある状態で、4 キャラクタタイム間受信 FIFO にデータの入出力がない	
FTHR エンプティ	FTHR エンプティ	
モデムステータス	CTS、DSR、RI、DCD	

表 16.10 に割り込み要因とベクタアドレスおよび優先順位一覧を示します。

表 16.10 割り込み要因とベクタアドレスおよび優先順位一覧

割り込み 要因発生元	割り込み名称	ベクタ番号	ベクタアドレス	ICR
SCIF	SCIF (SCIF 割り込み)	82	H'000148	ICRC7

16.6 使用上の注意事項

16.6.1 SCLK に LCLK を選択した場合の低消費電力モード

SCLK に LCLK の 18 分周クロックを選択している場合でウォッチモード、ソフトウェアスタンバイモードの各モードに遷移する場合は、LPC インタフェースのシャットダウン機能を使用して LCLK をストップしてください。

16.6.2 キャラクタタイムアウトと FLSR の DR ビットクリアの競合動作

キャラクタタイムアウトと FRBR リードによる FLSR の DR ビットクリアが同時に発生した場合、FIIR は H'CC、FLSR の DR ビットは 0 を示します。キャラクタタイムアウトで FRBR をリードする場合、データのとりこぼしを防ぐため、FLSR の DR ビットが 1 にセットされてからリードしてください。

17. I²C バスインタフェース (IIC)

本 LSI は、3 チャネルの I²C バスインタフェースを内蔵しています。I²C バスインタフェースは、Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

17.1 特長

- アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能
I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、
マスタ動作専用
- I²C バスフォーマットは、Philips 社提唱の I²C バスインタフェースに準拠
- I²C バスフォーマットで、スレーブアドレスを 2 通り設定可能
- I²C バスフォーマットで、マスタモード時、開始、停止条件の自動生成
- I²C バスフォーマットで、受信時、アクノリッジの出力レベルを選択可能
- I²C バスフォーマットで、送信時、アクノリッジビットの自動ロード機能
- I²C バスフォーマットで、マスタモード時のウェイトビット機能
アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグを 0 にクリアすることで解除。
- I²C バスフォーマットでのウェイト機能
データ転送後、SCL を Low レベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。
- 割り込み要因
データ転送終了時 (I²C バスフォーマットで送信モード遷移時、ICDR 内データ転送発生時、およびウェイト時を含む)
アドレス一致時：I²C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき (マスタ競合負け後のアドレス受信を含む)
アービトレーションロスト発生時
開始条件検出時 (マスタモード)
停止条件検出時 (スレーブモード時)
- マスタモード時、15 種類の内部クロック選択可能

- バスを直接駆動 (SCL/SDA端子)

P52/SCL0、P97/SDA0、PA1/SCL1、PA0/SDA1、PG1/SCLA、PG0/SDAA、PG3/SCLB、PG2/SDAB、PG5/SCLC、PG4/SDAC、PG7/SCLD、PG6/SDAD の 12 端子は、通常時は CMOS 出力、バス駆動機能選択時は NMOS オープンドレイン出力。

【注】 本 IIC モジュールを使用する場合は、必ず初期設定として ICXR レジスタの HNDS ビットを 1 に、FNC1、FNC0 ビットをおのおの 1 に設定してください。これ以外の設定を行った場合は本マニュアルに記載されている項目以外の動作制約が発生します。

I²C バスインタフェースのブロック図を図 17.1 に示します。

入出力端子の外部回路接続例を、図 17.2 に示します。I²C バスインタフェースの入出力端子は通常ポートと端子構造が異なるため、端子に印加可能な電圧仕様が異なります。

詳細は「第 31 章 電気的特性」を参照してください。

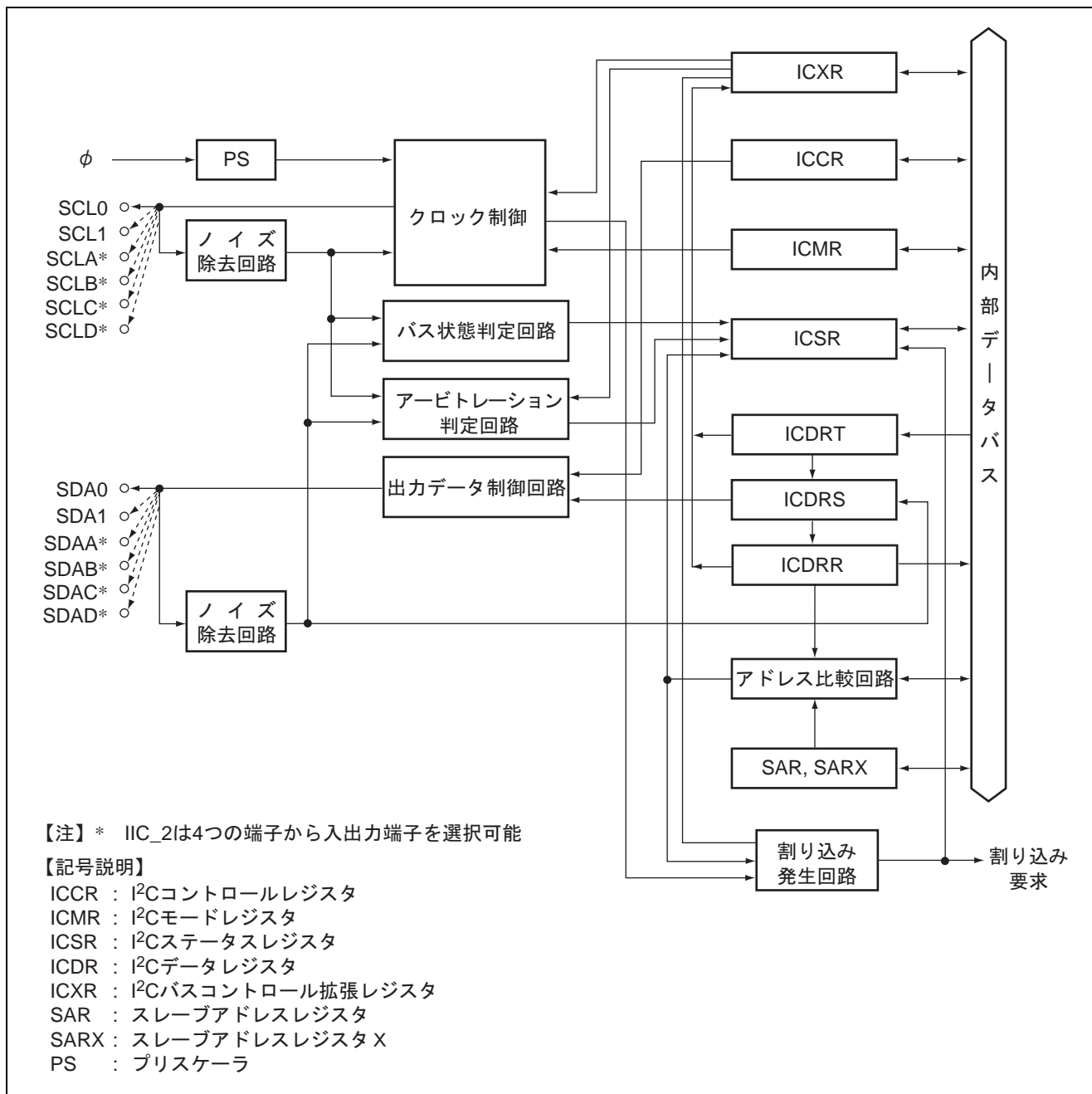


図 17.1 I²C バスインタフェースのブロック図

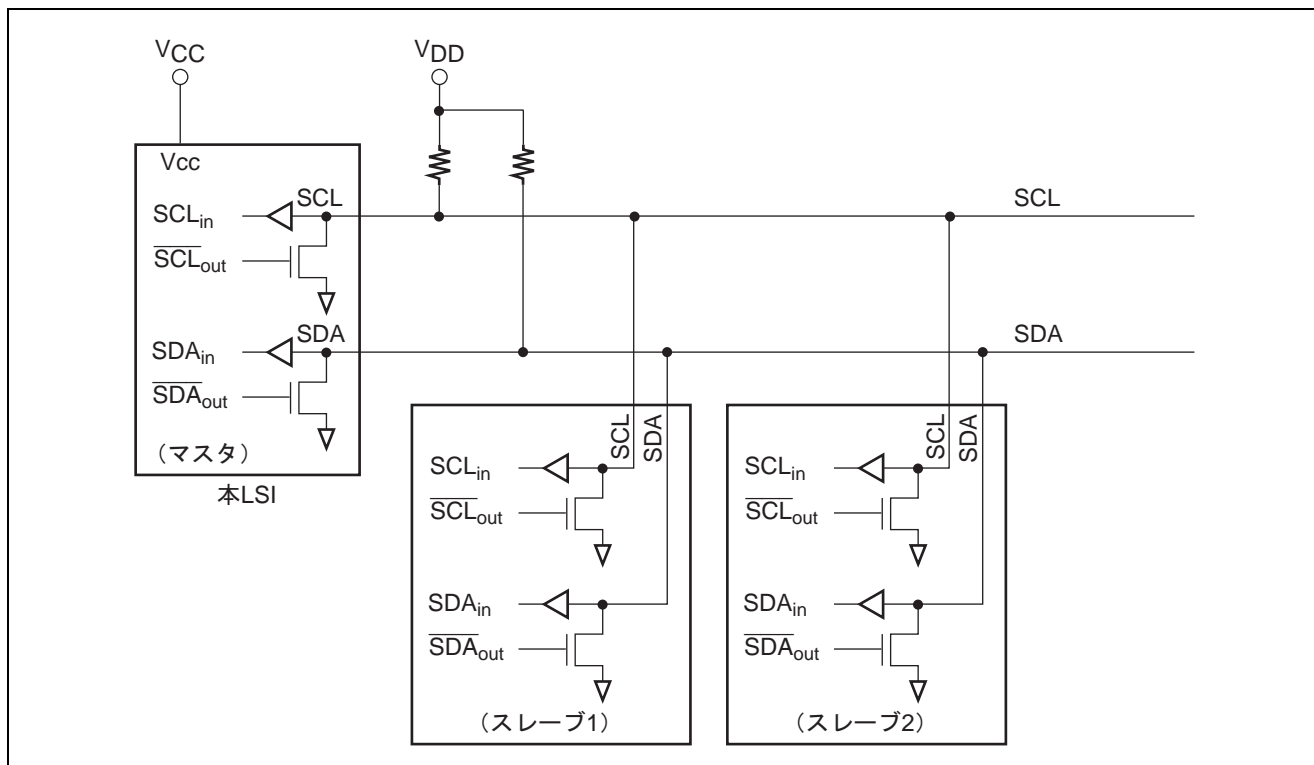


図 17.2 I²C バスインタフェース接続例 (本 LSI がマスタの場合)

17.2 入出力端子

I²C バスインタフェースで使用する端子を表 17.1 に示します。

IIC_2 における SCL、SDA 入出力端子は 4 つの端子から 1 つを選択して使用することができます。1 つのチャンネルに 2 つ以上の入出力端子を設定しないでください。

端子の設定方法は「9.3.2 ポートコントロールレジスタ 1 (PTCNT1)」を参照してください。

表 17.1 端子構成

チャンネル	記号*	入出力	機 能
0	SCL0	入出力	IIC_0 シリアルクロック入出力端子
	SDA0	入出力	IIC_0 シリアルデータの入出力端子
1	SCL1A	入出力	IIC_1 シリアルクロック入出力端子
	SDA1A	入出力	IIC_1 シリアルデータの入出力端子
2	SCLA	入出力	IIC_2 シリアルクロック入出力端子
	SDAA	入出力	IIC_2 シリアルデータの入出力端子
	SCLB	入出力	IIC_2 シリアルクロック入出力端子
	SDAB	入出力	IIC_2 シリアルデータの入出力端子
	SCLC	入出力	IIC_2 シリアルクロック入出力端子
	SDAC	入出力	IIC_2 シリアルデータの入出力端子
	SCLD	入出力	IIC_2 シリアルクロック入出力端子
	SDAD	入出力	IIC_2 シリアルデータの入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

17.3 レジスタの説明

IICにはチャンネルごとに以下のレジスタがあります。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCRのICEビットによりアクセスできるレジスタが変わります。ICE=0のときSARとSARX、ICE=1のときICMRとICDRがアクセスできます。

表 17.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	データバス幅
チャンネル 0	I ² C バスコントロールレジスタ_0	ICCR_0	R/W	H'01	H'FFD8	8
	I ² C バスステータスレジスタ_0	ICSR_0	R/W	H'00	H'FFD9	8
	I ² C バスコントロール初期化レジスタ_0	ICRES_0	R/W	H'0F	H'FFDA	8
	I ² C バスクロックセクタレジスタ_0	ICCKR_0	R/W	H'00	H'FFDB	8
	I ² C バスコントロール拡張レジスタ_0	ICXR_0	R/W	H'00	H'FFDC	8
	I ² C バスデータレジスタ_0	ICDR_0	R/W	H'FF	H'FFDE	8
	第2スレーブアドレスレジスタ_0	SARX_0	R/W	H'01	H'FFDE	8
	I ² C バスモードレジスタ_0	ICMR_0	R/W	H'00	H'FFDF	8
	スレーブアドレスレジスタ_0	SAR_0	R/W	H'00	H'FFDF	8
チャンネル 1	I ² C バスコントロールレジスタ_1	ICCR_1	R/W	H'01	H'FED0	8
	I ² C バスステータスレジスタ_1	ICSR_1	R/W	H'00	H'FED1	8
	I ² C バスコントロール初期化レジスタ_1	ICRES_1	R/W	H'0F	H'FED2	8
	I ² C バスクロックセクタレジスタ_1	ICCKR_1	R/W	H'00	H'FED3	8
	I ² C バスコントロール拡張レジスタ_1	ICXR_1	R/W	H'00	H'FED4	8
	I ² C バスデータレジスタ_1	ICDR_1	R/W	H'FF	H'FED6	8
	第2スレーブアドレスレジスタ_1	SARX_1	R/W	H'01	H'FED6	8
	I ² C バスモードレジスタ_1	ICMR_1	R/W	H'00	H'FED7	8
	スレーブアドレスレジスタ_1	SAR_1	R/W	H'00	H'FED7	8
チャンネル 2	I ² C バスコントロールレジスタ_2	ICCR_2	R/W	H'01	H'FE88	8
	I ² C バスステータスレジスタ_2	ICSR_2	R/W	H'00	H'FE89	8
	I ² C バスコントロール初期化レジスタ_2	ICRES_2	R/W	H'0F	H'FE8A	8
	I ² C バスクロックセクタレジスタ_2	ICCKR_2	R/W	H'00	H'FE8B	8
	I ² C バスコントロール拡張レジスタ_2	ICXR_2	R/W	H'00	H'FE8C	8
	I ² C バスデータレジスタ_2	ICDR_2	R/W	H'FF	H'FE8E	8
	第2スレーブアドレスレジスタ_2	SARX_2	R/W	H'01	H'FE8E	8
	I ² C バスモードレジスタ_2	ICMR_2	R/W	H'00	H'FE8F	8
	スレーブアドレスレジスタ_2	SAR_2	R/W	H'00	H'FE8F	8

17.3.1 I²C バスデータレジスタ (ICDR)

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして機能します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、ICXR の ICDRF フラグ、ICDRE フラグなどの状態に影響を与えます。

ICDR への送信データライトは、I²C バスフォーマットのマスタ送信モードでは開始条件検出後に行ってください。開始条件を検出すると、それ以前のライトデータは無視されます。また、スレーブ送信モードでは、スレーブアドレスが一致し TRS ビットが 1 に自動的に切り替わった後にライトしてください。

送信モード (TRS=1) では ICDRE フラグが 1 のときに ICDRT に送信データをライトすることができます。

ICDRT に送信データをライトすると ICDRE フラグは 0 にクリアされます。このとき送信動作の終了で ICDRS が空になると自動的に ICDRT から ICDRS へデータが転送され、ICDRE フラグが 1 にセットされます。ICDRS に送信待ちまたは送信中のデータがある場合はライトされたデータは ICDRT に保持されます。

受信モード (TRS=0) では ICDRT から ICDRS へのデータ転送は行われませんので、受信モードでの ICDRT へのライトは行わないでください。

受信モード (TRS=0) では ICDRF フラグが 1 のときに ICDRR の受信データをリードすることができます。

ICDRR の受信データをリードすると ICDRF フラグは 0 にクリアされます。このとき受信動作の終了で ICDRS に受信データが格納されると自動的に ICDRS から ICDRR へデータが転送され、ICDRF フラグが 1 にセットされます。ICDRR に未読の受信データがある場合は新たに受信したデータは ICDRS に保持されます。

送信モード (TRS=1) では ICDRS から ICDRR へのデータ転送は行われませんので、送信モードでの ICDRR へのリードは行わないでください。(マスタ受信モード推奨動作フローの最終受信データリードのケースは除きます)

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側に、MLS ビットが 1 のとき MSB 側に詰めて格納されます。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR のリセット時の値は H'FF です。

17.3.2 スレーブアドレスレジスタ (SAR)

SAR は転送フォーマットの設定およびスレーブアドレスを格納します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、FS ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVA6	0	R/W	スレーブアドレス 6~0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	フォーマットセレクト SARX の FSX ビットとの組み合わせで転送フォーマットを選択します。 表 17.3 を参照してください。 なお、ゼネラルコールアドレスの認識を行う場合は、必ず本ビットを 0 に設定してください。

17.3.3 第 2 スレーブアドレスレジスタ (SARX)

SARX は転送フォーマットの設定および第 2 スレーブアドレスを格納します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SARX の上位 7 ビットを比較して一致したとき、FSX ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	SVAX6	0	R/W	第 2 スレーブアドレス 6~0 第 2 スレーブアドレスを設定します。
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	フォーマットセレクト X SAR の FS ビットとの組み合わせで転送フォーマットを選択します。 表 17.3 を参照してください。

表 17.3 転送フォーマット

SAR	SARX	動作モード
FS	FSX	
0	0	I ² C バスフォーマット <ul style="list-style-type: none"> • SAR と SARX のスレーブアドレスを認識 • ゼネラルコールアドレスを認識
	1	I ² C バスフォーマット <ul style="list-style-type: none"> • SAR のスレーブアドレスを認識 • SARX のスレーブアドレスを無視 • ゼネラルコールアドレスを認識
1	0	I ² C バスフォーマット <ul style="list-style-type: none"> • SAR のスレーブアドレスを無視 • SARX のスレーブアドレスを認識 • ゼネラルコールアドレスを無視
	1	クロック同期式シリアルフォーマット <ul style="list-style-type: none"> • SAR と SARX のスレーブアドレスを無視 • ゼネラルコールアドレスを無視

- I²Cバスフォーマット：
アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット：
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

17.3.4 I²C バスクロックセクタレジスタ (ICCKR)

ICCKR は SCL レベルサンプリングタイミングおよび転送クロックを設定します。

ビット	ビット名	初期値	R/W	説 明																																				
7	CHKSEL	0	R/W	<p>SCL レベルサンプリングタイミング選択</p> <p>SCL のレベルサンプリングタイミングを設定します。</p> <p>本 LSI は、SCL の立ち上がり開始から本設定で選択したシステムクロック数を経過した後に SCL のレベル判定を行います。</p> <p>そのとき SCL を Low レベルと判定すると SCL の High 出力期間を 1 ビット分延長します。</p> <p>サンプリングタイミングが早すぎると、頻繁に SCL の延長が行われ意図した転送レートが得られない場合があります。</p> <p>SCL の立ち上がり時間に合わせて、適切な値に本設定を選択してください。</p> <table border="0"> <tr> <td>IICX_n/CKS3、CKS2、CHKSEL</td> <td colspan="3">システムクロック (φ) 数</td> </tr> <tr> <td>0 0 0</td> <td colspan="3">: 10 クロック</td> </tr> <tr> <td>0 0 1</td> <td colspan="3">: 10 クロック</td> </tr> <tr> <td>0 1 0</td> <td colspan="3">: 10 クロック</td> </tr> <tr> <td>0 1 1</td> <td colspan="3">: 20 クロック</td> </tr> <tr> <td>1 0 0</td> <td colspan="3">: 10 クロック</td> </tr> <tr> <td>1 0 1</td> <td colspan="3">: 20 クロック</td> </tr> <tr> <td>1 1 0</td> <td colspan="3">: 20 クロック</td> </tr> <tr> <td>1 1 1</td> <td colspan="3">: 40 クロック</td> </tr> </table> <p>(n=0、1、2)</p>	IICX _n /CKS3、CKS2、CHKSEL	システムクロック (φ) 数			0 0 0	: 10 クロック			0 0 1	: 10 クロック			0 1 0	: 10 クロック			0 1 1	: 20 クロック			1 0 0	: 10 クロック			1 0 1	: 20 クロック			1 1 0	: 20 クロック			1 1 1	: 40 クロック		
IICX _n /CKS3、CKS2、CHKSEL	システムクロック (φ) 数																																							
0 0 0	: 10 クロック																																							
0 0 1	: 10 クロック																																							
0 1 0	: 10 クロック																																							
0 1 1	: 20 クロック																																							
1 0 0	: 10 クロック																																							
1 0 1	: 20 クロック																																							
1 1 0	: 20 クロック																																							
1 1 1	: 40 クロック																																							
6~4	—	すべて 0	R/W	リザーブビット																																				
3	CKS3	0	R/W	<p>転送クロック選択 3</p> <p>ICMR レジスタの CKS2 ビット~CKS0 ビットとの組み合わせで転送クロックの周波数を選択します。マスタモード時に使用します。表 17.4 を参照してください。</p>																																				
2~0	—	すべて 0	R/W	リザーブビット																																				

17.3.5 I²C バスモードレジスタ (ICMR)

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト / LSB ファースト 選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときは、本ビットを 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット I ² C バスフォーマットでマスタモードのときのみ有効。 0 : ウェイト状態は挿入されず、データとアクノリッジを連続して転送します。 1 : データの最終ビットのクロック (8 クロック目) が立ち下がった後、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態 (SCL = Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 マスタ送信モードを使用する場合は必ず WAIT = 1 に設定してください。 詳細は「17.4.3 マスタ送信動作」および「17.4.7 IRIC セットタイミミングと SCL 制御」を参照してください。
5	CKS2	0	R/W	転送クロック 選択 2 ~ 0
4	CKS1	0	R/W	ICCKR レジスタの CKS3 ビットとの組み合わせで転送クロックの周波数を選択します。マスタモード時に使用します。 表 17.4 を参照してください。
3	CKS0	0	R/W	
2	BC2	0	R/W	ビットカウンタ 2 ~ 0 次に転送するフレームのビット数を指定します。設定は転送フレーム間で行ってください。また、B'000 以外を設定する場合は、SCL が Low 状態のときに行ってください。 ビットカウンタは、開始条件検出時 B'000 に初期化されます。また、データ転送終了後、再び B'000 に戻ります。 I ² C バスフォーマット クロック同期式シリアルフォーマット 000 : 9 ビット 000 : 8 ビット 001 : 2 ビット 001 : 1 ビット 010 : 3 ビット 010 : 2 ビット 011 : 4 ビット 011 : 3 ビット 100 : 5 ビット 100 : 4 ビット 101 : 6 ビット 101 : 5 ビット 110 : 7 ビット 110 : 6 ビット 111 : 8 ビット 111 : 7 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

表 17.4 転送レート

STCR ビット 5、6、7*1	ICCKR ビット 3*1	ビット 2	ビット 1	ビット 0	クロック	転送レート				
						IICXn	CKS3	CKS2	CKS1	CKS0
0	0	0	0	0	φ / 28	286kHz	357kHz	571kHz*2	714kHz*2	
				1	φ / 40	200kHz	250kHz	400kHz	500kHz*2	
			1	0	φ / 48	167kHz	208kHz	333kHz	417kHz*2	
				1	φ / 64	125kHz	156kHz	250kHz	313kHz	
			1	0	φ / 80	100kHz	125kHz	200kHz	250kHz	
				1	φ / 100	80.0kHz	100kHz	160kHz	200kHz	
		1	0	0	0	φ / 80	143kHz	179kHz	286kHz	357kHz
					1	φ / 80	100kHz	125kHz	200kHz	250kHz
			1	0	φ / 96	83.3kHz	104kHz	167kHz	208kHz	
				1	φ / 128	62.5kHz	78.1kHz	125kHz	156kHz	
			1	0	φ / 160	50.0kHz	62.5kHz	100kHz	125kHz	
				1	φ / 200	40.0kHz	50.0kHz	80.0kHz	100kHz	
1	0	φ / 224	35.7kHz	44.6kHz	71.4kHz	89.3kHz				
	1	φ / 256	31.3kHz	39.1kHz	62.5kHz	78.1kHz				

(n=0、1、2)

【注】 *1 STCR の IICXn と ICCKR の CKS3 はどちらか一方のビットを設定してください。

STCR の IICXn をセットすると ICCKR の CKS3 もセットされます。ICCKR の CKS3 をセットすると IICXn もセットされます。

*2 I²C バスインタフェース仕様（通常モード：最大 100kHz、高速モード：最大 400kHz）の範囲外となりますので、動作は保証できません。

17.3.6 I²C バスコントロールレジスタ (ICCR)

ICCR は I²C バスインタフェースの制御、および割り込みフラグの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0 : 本モジュールは機能を停止し、内部状態をクリアします。 SAR および SARX がアクセス可能になります。 1 : 本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICMR および ICDR がアクセス可能になります。
6	IEIC	0	R/W	I ² C バスインタフェース割り込みイネーブル 0 : I ² C バスインタフェースから CPU に対する割り込み要求を禁止 1 : I ² C バスインタフェースから CPU に対する割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5 4	MST TRS	0 0	R/W R/W	<p>マスタ/スレーブ選択</p> <p>送信/受信選択</p> <p>MST TRS</p> <p>0 0: スレーブ受信モード</p> <p>0 1: スレーブ送信モード</p> <p>1 0: マスタ受信モード</p> <p>1 1: マスタ送信モード</p> <p>I²C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、I²C バスフォーマットのスレーブ受信モードのとき、開始条件直後の第 1 フレームの R/W ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。</p> <p>転送中の TRS ビットの変更は、データ転送終了時まで保留され、転送終了後 (9 クロック目の立ち上がり時) に切り替わります。</p> <p>[MST クリア条件]</p> <p>(1) ソフトウェアにより 0 をライトしたとき</p> <p>(2) I²C バスフォーマットのマスタモードで、バス競合負けしたとき</p> <p>[MST セット条件]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (MST クリア条件(1)の場合)</p> <p>(2) MST=0 をリード後、1 をライトしたとき (MST クリア条件(2)の場合)</p> <p>[TRS クリア条件]</p> <p>(1) ソフトウェアにより 0 をライトしたとき (TRS セット条件(3)以外の場合)</p> <p>(2) TRS=1 をリード後、0 をライトしたとき (TRS セット条件(3)の場合)</p> <p>(3) I²C バスフォーマットのマスタモードで、バス競合負けしたとき</p> <p>[TRS セット条件]</p> <p>(1) ソフトウェアにより 1 をライトしたとき (TRS クリア条件(3)以外の場合)</p> <p>(2) TRS=0 をリード後、1 をライトしたとき (TRS クリア条件(3)の場合)</p> <p>(3) I²C バスフォーマットのスレーブモードで第 1 フレームのアドレス一致後に R/W ビットとして 1 を受信したとき</p>
3	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信したアクノリッジビットの内容を無視して連続的に転送を行います。受信したアクノリッジビットの内容は ICSR の ACKB ビットに反映されず、常に 0 となります。</p> <p>1: I²C バスフォーマットで受信したアクノリッジビットが 1 ならば転送を中断します。</p> <p>アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、意味をもたず 1 固定の場合があります。</p>

ビット	ビット名	初期値	R/W	説明
2	BBSY	0	R/W*	バスビジー
0	SCP	1	W	<p>開始条件/停止条件発行禁止ビット</p> <p>マスタモード時</p> <ul style="list-style-type: none"> • BBSY=0 かつ SCP=0 ライト：停止条件発行 • BBSY=1 かつ SCP=0 ライト：開始条件、再送開始条件発行 <p>スレーブモード時</p> <ul style="list-style-type: none"> • BBSY フラグのライトは無効 <p>[BBSY セット条件]</p> <ul style="list-style-type: none"> • SCL=High レベルの状態 で SDA が High レベルから Low レベルに変化し、開始条件が発行されたと認識したとき <p>[BBSY クリア条件]</p> <ul style="list-style-type: none"> • SCL=High レベルの状態 で SDA が Low レベルから High レベルに変化し、停止条件が発行されたと認識したとき <p>開始条件/停止条件の発行は、MOV 命令を用います。</p> <p>開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY=1 かつ SCP=0 をライトする以前に、MST=1 かつ TRS=1 を設定してください。</p> <p>BBSY フラグをリードすることにより、I²C バス (SCL, SDA) が占有されているか開放されているかを確認できます。</p> <p>SCP ビットは、リードすると常に 1 が読み出されます。また、0 をライトしてもデータは格納されません。</p>

【注】 * BBSY フラグはライトしてもフラグの値は変化しません。

ビット	ビット名	初期値	R/W	説明
1	IRIC	0	R/(W)*	<p>I²C バスインタフェース割り込み要求フラグ</p> <p>I²C バスインタフェースがCPUに対して割り込み要求を発生させたことを示します。</p> <p>SAR の FS ビットと SARX の FSX ビットおよび、ICMR の WAIT ビットの組み合わせにより IRIC フラグのセットタイミングが異なりますので、「17.4.7 IRIC セットタイミングと SCL 制御」を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • すべての動作モード <ol style="list-style-type: none"> (1) 送信モードで開始条件を検出し ICDRE フラグが1にセットされたとき (2) 送信モードで ICDRT から ICDRS にデータが転送され ICDRE フラグに1がセットされたとき (3) 受信モードで ICDRS から ICDRR にデータが転送され ICDRF フラグに1がセットされたとき (4) 送信モードで ACKE=1 のとき、データ転送終了時にアクノリッジビットとして1を受信し、ACKB フラグに1がセットされたとき。 • I²C バスフォーマットマスタモード <ol style="list-style-type: none"> (1) WAIT=1 のとき、データとアクノリッジの間にウェイトが挿入されたとき (2) ALIE=1 のとき、バス競合負けが発生し AL フラグに1がセットされたとき • I²C バスフォーマットスレーブモード <ol style="list-style-type: none"> (1) 開始条件に続く第1フレーム受信終了時、スレーブアドレス (SVA または SVAX) が一致し AAS または AASX フラグが1にセットされたとき。 (2) 開始条件に続く第1フレーム受信終了時、ゼネラルコールアドレスを検出し ADZ フラグが1にセットされたとき。(SAR レジスタの FS ビットが0の場合) (3) STOPIM=0 のとき、停止条件を検出し STOP または ESTP フラグが1にセットされたとき <p>【注】スレーブアドレスが一致せず、かつゼネラルコールアドレスも検出されない場合 (AAS、AASX、ADZ フラグがすべて0の状態)、送受信動作は行われません。したがって、ICDRE、ICDRF フラグはセットされず、それに伴う IRIC フラグのセットも発生しません。ただしこの場合でも STOPIM=0 に設定されていれば(3)の要因で IRIC フラグはセットされます。もし停止条件の検出が不要な場合は STOPIM=1 に設定して IRIC フラグがセットされないようにしてください。</p> <p>[クリア条件]</p> <p>IRIC=1 の状態でリードした後、0 をライトしたとき</p>

【注】 * フラグを0にクリアするための0ライトのみ可能です。

I²C バスフォーマットで IRIC=1 となり割り込みが発生した場合には、IRIC=1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

ICDRE または ICDRF フラグがセットされたとき、IRTR フラグがセットされる場合とされない場合があります。

IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。各フラグと転送状態の関係を表 17.5 と表 17.6 に示します。

表 17.5 フラグと転送状態の関係 (マスタモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
1	1	0	0	0	0	0↓	0	0↓	0↓	0	—	0	アイドル状態 (フラグクリア要)
1	1	1↑	0	0	1↑	0	0	0	0	0	—	1↑	開始条件検出
1	—	1	0	0	—	0	0	0	0	—	—	—	ウェイト状態
1	1	1	0	0	—	0	0	0	0	1↑	—	—	送信終了 (ACK=1 かつ ACKB=1)
1	1	1	0	0	1↑	0	0	0	0	0	—	1↑	ICDRE=0の状態から 送信終了
1	1	1	0	0	—	0	0	0	0	0	—	0↓	上記状態から ICDR ライト
1	1	1	0	0	—	0	0	0	0	0	—	1	ICDRE=1の状態から 送信終了
1	1	1	0	0	—	0	0	0	0	0	—	0↓	上記状態から、または 開始条件検出後の ICDR ライト
1	1	1	0	0	1↑	0	0	0	0	0	—	1↑	上記状態から ICDRT→ ICDRS データ転送 (自動)
1	0	1	0	0	1↑	0	0	0	0	—	1↑	—	ICDRF=0の状態から 受信終了
1	0	1	0	0	—	0	0	0	0	—	0↓	—	上記状態から ICDR リード
1	0	1	0	0	—	0	0	0	0	—	1	—	ICDRF=1の状態から 受信終了
1	0	1	0	0	—	0	0	0	0	—	0↓	—	上記状態から ICDR リード
1	0	1	0	0	1↑	0	0	0	0	—	1↑	—	上記状態から ICDRS→ ICDRR データ転送 (自動)
0↓	0↓	1	0	0	—	0	1↑	0	0	—	—	—	アービトレーション ロスト
1	—	0↓	0	0	—	0	0	0	0	—	—	0↓	停止条件検出

【注】 0:0 状態保持 1:1 状態保持 —: 以前の状態を保持 0↓:0にクリア 1↑:1にセット

表 17.6 フラグと転送状態の関係 (スレーブモード)

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
0	0	0	0	0	0	0	0	0	0	0	—	0	アイドル状態 (フラグクリア要)
0	0	1↑	0	0	0	0↓	0	0	0	0	—	1↑	開始条件検出
0	1↑/0 (*1)	1	0	0	0	0	—	1↑	0	0	1↑	1	第1フレームでSARに 一致 (SARX≠SAR)
0	0	1	0	0	0	0	—	1↑	1↑	0	1↑	1	第1フレームでゼネラ ルコールアドレスに 一致 (SARX≠H'00)
0	1↑/0 (*1)	1	0	0	1↑	1↑	—	0	0	0	1↑	1	第1フレームでSARX に一致 (SAR≠SARX)
0	1	1	0	0	—	—	—	—	0	1↑	—	—	送信終了 (ACK=1 かつ ACKB=1)
0	1	1	0	0	1↑/0 (*2)	—	—	—	0	0	—	1↑	ICDRE=0の状態から 送信終了
0	1	1	0	0	—	—	0↓	0↓	0	0	—	0↓	上記状態からICDR ライト
0	1	1	0	0	—	—	—	—	0	0	—	1	ICDRE=1の状態から 送信終了
0	1	1	0	0	—	—	0↓	0↓	0	0	—	0↓	上記状態からICDR ライト
0	1	1	0	0	1↑/0 (*2)	—	0	0	0	0	—	1↑	上記状態からICDR→ ICDRS データ転送 (自動)
0	0	1	0	0	1↑/0 (*2)	—	—	—	—	—	1↑	—	ICDRF=0の状態から 受信終了
0	0	1	0	0	—	—	0↓	0↓	0↓	—	0↓	—	上記状態からICDR リード
0	0	1	0	0	—	—	—	—	—	—	1	—	ICDRF=1の状態から 受信終了
0	0	1	0	0	—	—	0↓	0↓	0↓	—	0↓	—	上記状態からICDR リード
0	0	1	0	0	1↑/0 (*2)	—	0	0	0	—	1↑	—	上記状態からICDRS→ ICDRR データ転送 (自動)
0	—	0↓	1↑/0 (*3)	0/1↑ (*3)	—	—	—	—	—	—	—	0↓	停止条件検出

【注】 0:0 状態保持 1:1 状態保持 —: 以前の状態を保持 0↓:0にクリア 1↑:1にセット

*1 アドレスに続く R/W ビットとして1を受信した場合に1にセット

*2 AASX ビットに1がセットされている場合に1にセット

*3 ESTP=1 のとき STOP=0、または STOP=1 のとき ESTP=0

17.3.7 I²C バスステータスレジスタ (ICSR)

ICSR はステータスフラグで構成されます。表 17.5、表 17.6 を併せて参照してください。

ビット	ビット名	初期値	R/W	説明
7	ESTP	0	R/(W)*	<p>エラー停止条件検出フラグ</p> <p>I²C バスフォーマットでスレーブモードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレームの転送の途中で停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ESTP=1 の状態をリードした後、0 をライトしたとき IRIC フラグが 0 にクリアされたとき
6	STOP	0	R/(W)*	<p>正常停止条件検出フラグ</p> <p>I²C バスフォーマットでスレーブモードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> フレームの転送の完了後に停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> STOP=1 の状態をリードした後、0 をライトしたとき IRIC フラグが 0 にクリアされたとき
5	IRTR	0	R/(W)*	<p>I²C バスインタフェース連続送受信割り込み要求フラグ</p> <p>I²C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が 1 フレームデータ送受信の終了であることを示します。</p> <p>IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> I²C バスインタフェースでスレーブモードのとき AASX=1 の状態で、ICDRE または ICDRF フラグが 1 にセットされたとき I²C バスインタフェースでマスターモード、クロック同期式シリアルフォーマット ICDRE または ICDRF フラグが 1 にセットされたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> IRTR=1 の状態をリードした後、0 をライトしたとき ICE=1 の状態で IRIC フラグが 0 にクリアされたとき

ビット	ビット名	初期値	R/W	説明
4	AASX	0	R/(W)*	<p>第 2 スレーブアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6~SVAX0 と一致したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ FSX=0 で第 2 スレーブアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> AASX=1 の状態をリードした後、0 をライトしたとき 開始条件を検出したとき マスタモードのとき
3	AL	0	R/(W)*	<p>アービトレーションロストフラグ</p> <p>マスタモード時にバス競合負けをしたことを示します。</p> <p>[セット条件]</p> <p>ALSL=0 時</p> <ul style="list-style-type: none"> マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき マスタモードで SCL の立ち下がりで内部 SCL が High レベルのとき <p>ALSL=1 時</p> <ul style="list-style-type: none"> マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき マスタ送信モードで開始条件命令実行後、自分が SDA 端子を Low に立ち下げる前に他デバイスにより SDA 端子が Low に立ち下げられたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、データをリード (受信時) したとき AL=1 の状態をリードした後、0 をライトしたとき
2	AAS	0	R/(W)*	<p>スレーブアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6~SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ FS=0 でスレーブアドレスまたはゼネラルコールアドレス (R/W ビットも含めた 1 フレームが H'00) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき AAS=1 の状態をリードした後、0 をライトしたとき マスタモードのとき

ビット	ビット名	初期値	R/W	説明
1	ADZ	0	R/(W)*	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス (H'00) を検出したことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつ、FSX=0 または FS=0 でゼネラルコールアドレス (R\bar{W} ビットも含めた 1 フレームが H'00) を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき ADZ=1 の状態をリード後、0 をライトしたとき マスタモードのとき <p>FS=1 かつ FSX=0 でゼネラルコールアドレスを検出した場合、ADZ フラグは 1 にセットされますが、ゼネラルコールアドレスは認識されません (AAS フラグは 1 にセットされません)。</p>

ビット	ビット名	初期値	R/W	説明
0	ACKB	0	R/W	<p>アクノリッジビット</p> <p>アクノリッジデータを格納するビットです。</p> <p>送信モードと受信モードでビットの機能が異なります。</p> <p>送信モード</p> <p>受信デバイスから返送されたアクノリッジデータが格納されます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 送信モードかつ ACKE=1 でアクノリッジビットとして 1 を受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 送信モードかつ ACKE=1 でアクノリッジビットとして 0 を受信したとき ACKE ビットに 0 をライトしたとき <p>受信モード</p> <p>送信デバイスに返送するアクノリッジデータを設定します。</p> <p>0: データを受信した後、アクノリッジデータとして 0 を送出します。</p> <p>1: データを受信した後、アクノリッジデータとして 1 を送出します。</p> <p>本ビットをリードすると、送信時 (TRS=1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS=0 のとき) には設定した値が読み出されます。</p> <p>本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。</p> <p>【注】送信モードのとき、ICSR レジスタの ACKB フラグ以外のビットをビット操作命令によって書き換えた場合は、ACKB ビットにロードされた値で受信モードで使用するアクノリッジデータの設定値を書き換えますので、受信モードに切り替えた際は再度アクノリッジデータを設定し直してください。</p> <p>マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに 0 をライトして ACKB フラグを 0 にクリアしてください。</p>

【注】 * フラグを 0 にクリアするための 0 ライトのみ可能です。

17.3.8 I²C バスコントロール初期化レジスタ (ICRES)

ICRES は IIC の内部ラッチクリアの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
4	—	0	R	リザーブビット
3	CLR3	1	W*	IIC クリア 3~0
2	CLR2	1	W*	IIC の内部状態の初期化を制御します。
1	CLR1	1	W*	00 -- : 設定禁止
0	CLR0	1	W*	0100 : 設定禁止 0101 : IIC 内部ラッチクリア 0110 : 設定禁止 0111 : IIC 内部ラッチクリア 1 --- : 設定無効
<p>本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IIC モジュールの内部状態が初期化されます。</p> <p>本ビットはライト動作のみ可能で、リードすると常に 1 が読み出されます。なお、本ビットへのライトデータは保持されません。</p> <p>IIC 内部状態の初期化を行う場合は、必ず MOV 命令を使用し、CLR3~CLR0 ビットを同時に書き込んでください。CLR3~CLR0 ビットに対する BCLR などのビット操作命令は使用しないでください。</p> <p>再度クリアが必要な場合は、すべてのビットとも設定に従い書き込みする必要があります。</p>				

【注】 * リードすると常に 1 が読み出されます。

17.3.9 I²C バスコントロール拡張レジスタ (ICXR)

ICXR は I²C バスインタフェースの割り込み動作の許可/禁止、ハンドシェーク制御の有効/無効、受信や送信状態の確認を行います。

ビット	ビット名	初期値	R/W	説明
7	STOPIM	0	R/W	<p>停止条件割り込み要因マスク</p> <p>スレーブモード動作時に停止条件検出での割り込み発生の許可/禁止を選択します。</p> <p>0: スレーブモード動作時、停止条件検出 (STOP=1 または ESTP=1) での IRIC フラグセットおよび割り込み発生を許可</p> <p>1: 停止条件検出での IRIC フラグセットおよび割り込み発生を禁止</p>
6	HNDS	0	R/W	<p>ハンドシェーク受信動作選択受信モードでのハンドシェーク制御の有効/無効を選択します。</p> <p>0: ハンドシェーク制御が無効</p> <p>1: ハンドシェーク制御が有効</p> <p>【注】 IIC モジュールを使用する場合は必ず 1 に設定してください。</p> <p>HNDS ビットが 0 にクリアされている場合は、ICDRR が空 (ICDRF フラグが 0) の状態で受信動作を終了すると、連続して次の受信動作を行います。このとき、SCL には連続的にクロックが出力されます。</p> <p>この場合、最終データの受信後に不要なクロックがバスに出力されないように動作シーケンスを組む必要があります。</p> <p>HNDS ビットが 1 にセットされている場合は、受信動作を終了すると SCL を Low レベルに固定してクロックの出力を停止します。ICDR の受信データをリードすると SCL が開放され、次フレームの受信動作を開始します。</p>

ビット	ビット名	初期値	R/W	説明
5	ICDRF	0	R	<p>受信データ読み出し要求フラグ</p> <p>受信モードでの ICDR (ICDRR) の状態を示すフラグです。</p> <p>0 : ICDR (ICDRR) にあるデータは既にリードされている、あるいは初期状態であることを示します。</p> <p>1 : 正常に受信が完了し、データが ICDRS から ICDRR へ転送され、受信完了後にまだ読み出されていないことを示します。</p> <p>[セット条件]</p> <p>データが正常に受信され、ICDRS から ICDRR へデータが転送されたとき</p> <p>(1) ICDRF=0 状態でデータ受信完了したとき (9 クロック目立ち上がり)</p> <p>(2) ICDRF=1 状態でデータ受信完了後、受信モードで ICDR をリードしたとき</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • ICDR (ICDRR) をリードしたとき • ICE ビットに 0 をライトしたとき • ICRES レジスタ CLR3~CLR0 ビットで内部状態を初期化したとき <p>[セット条件] (2)の場合、ICDR (CDRR) をリードしたときに一度 ICDRF は 0 クリアされますが、直ちに ICDRS から ICDRR へデータが転送されるため再び ICDRF は 1 にセットされます。</p> <p>なお、送信モード (TRS=1) で ICDR をリードしたときは、ICDRS から ICDRR へのデータ転送が行われませんので、正常なデータの読み出しができません。ICDR のデータを読み出すときは受信モード (TRS=0) で ICDR をリードしてください。</p>

ビット	ビット名	初期値	R/W	説明
4	ICDRE	0	R	<p>送信データ書き込み要求フラグ</p> <p>送信モードでの ICDR (ICDRT) の状態を示すフラグです。</p> <p>0 : ICDR (ICDRT) に次に送信するデータが書き込まれている、あるいは初期状態であることを示します。</p> <p>1 : 送信データが ICDRT から ICDRS へ転送され送信中である、あるいは開始条件を検出または送信完了しており、次の送信データをライトすることが可能な状態であることを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • I²C バスフォーマット、シリアルフォーマットでバスラインの状態から開始条件成立を検出したとき • ICDRT から ICDRS にデータが転送されたとき <ol style="list-style-type: none"> (1) ICDRE=0 状態でデータ送信完了したとき (9 クロック目立ち上がり) (2) ICDRE=1 状態でデータ送信完了後、送信モードで ICDR をライトしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • ICDR (ICDRT) に送信データをライトしたとき • I²C バスフォーマットまたはシリアルフォーマットで停止条件を検出したとき • ICE ビットに 0 をライトしたとき • ICRES レジスタ CLR3~CLR0 ビットで内部状態を初期化したとき <p>I²C バスフォーマットで ACKE ビットを 1 に設定し、アクノリッジビット判定を有効にしている場合、アクノリッジビットが 1 でデータ送信が完了した場合、ICDRE はセットされません。</p> <p>[セット条件] (2)の場合、ICDR (ICDRT) にライトしたときに一度 ICDRE は 0 クリアされますが、直ちに ICDRT から ICDRS へデータが転送されるため再び ICDRE は 1 にセットされます。</p> <p>なお、TRS=0 のときは ICDRE フラグの値は無効ですので、ICDR へのライト動作は行わないでください。</p>
3	ALIE	0	R/W	<p>アービトレーションロスト割り込みイネーブル</p> <p>アービトレーションロスト発生時に IRIC フラグを 1 にセットし、割り込み発生を許可するかどうかを選択します。</p> <p>0 : アービトレーションロスト発生時の割り込み要求を禁止</p> <p>1 : アービトレーションロスト発生時の割り込み要求を許可</p>

ビット	ビット名	初期値	R/W	説明
2	ALSL	0	R/W	<p>アービトレーションロスト条件セレクト</p> <p>アービトレーションロスト発生条件を選択します。</p> <p>0 : SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致 または、SCL 端子が他デバイスにより立ち下げられたとき</p> <p>1 : SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致 または、アイドル状態または開始条件命令実行後、他デバイスにより SDA 端子を立ち下げられたとき</p>
1	—	0	R/W	リザーブビット
0	—	0	R/W	初期値を変更しないでください。

17.4 動作説明

I²C バスインタフェースには、I²C バスフォーマットとシリアルフォーマットがあります。

17.4.1 I²C バスデータフォーマット

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 17.3 に示します。開始条件に続く第 1 フレームは必ず 9 ビット構成となります。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 17.4 に示します。また、I²C バスのタイミングを図 17.5 に示します。

図 17.3~図 17.5 の記号説明を表 17.7 に示します。

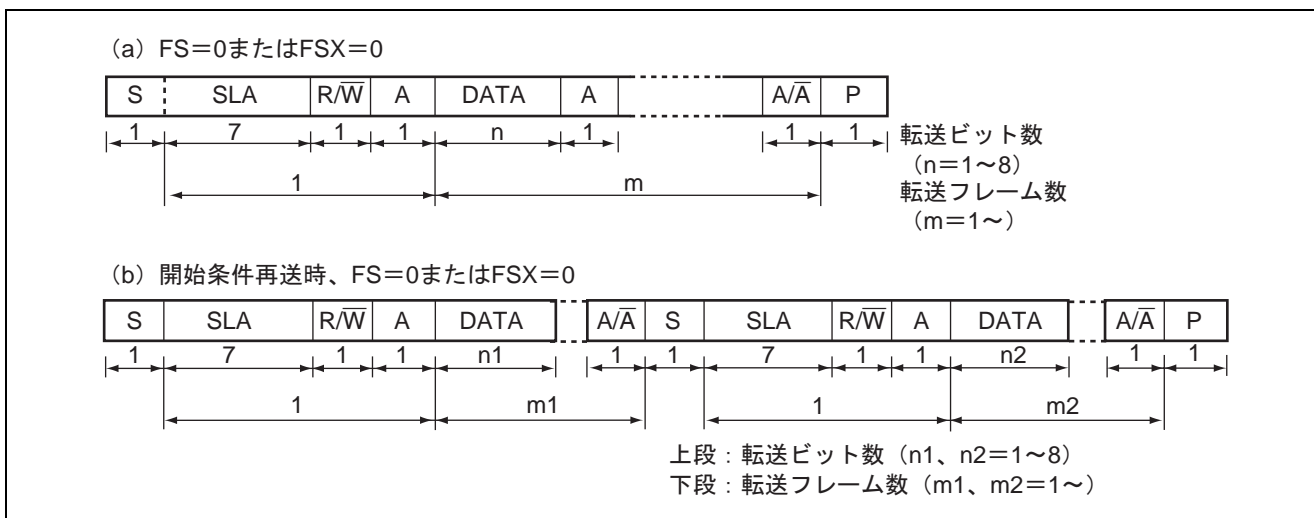


図 17.3 I²C バスデータフォーマット (I²C バスフォーマット)

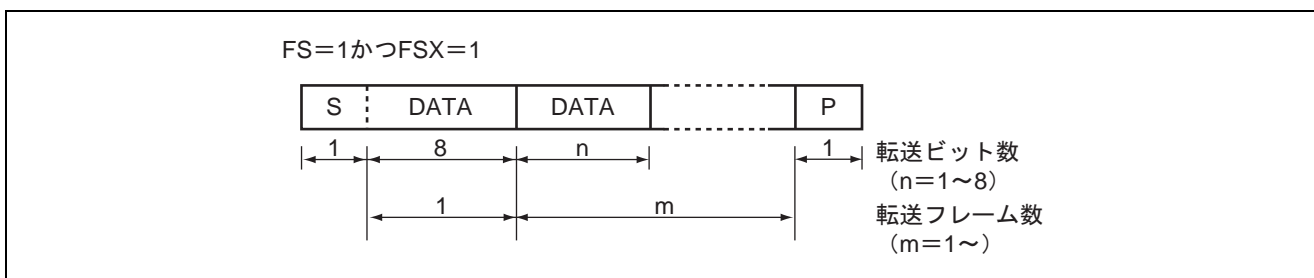


図 17.4 I²C バスデータフォーマット (シリアルフォーマット)

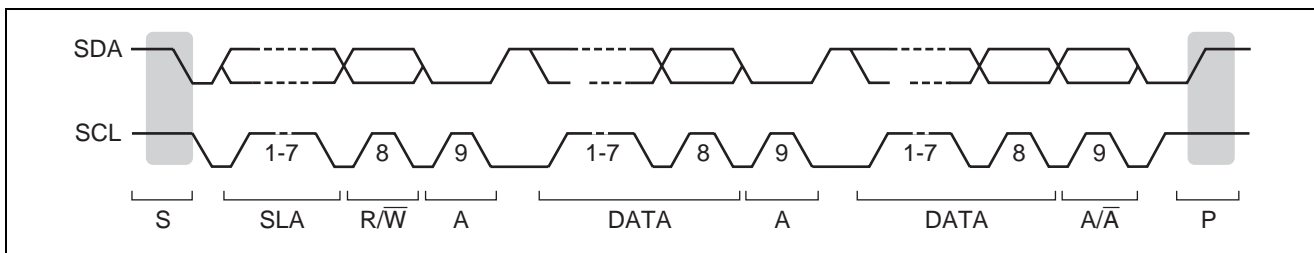


図 17.5 I²C バスタイミング

表 17.7 I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL=High レベルの状態では SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信/受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクノリッジを返します)。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2~BC0 ビットで設定します。 また MSB ファースト/LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL=High レベルの状態では SDA を Low レベルから High レベルに変化させます。

17.4.2 初期設定

データ送信/受信を開始するとき、以下の手順に従い IIC を初期化してください。

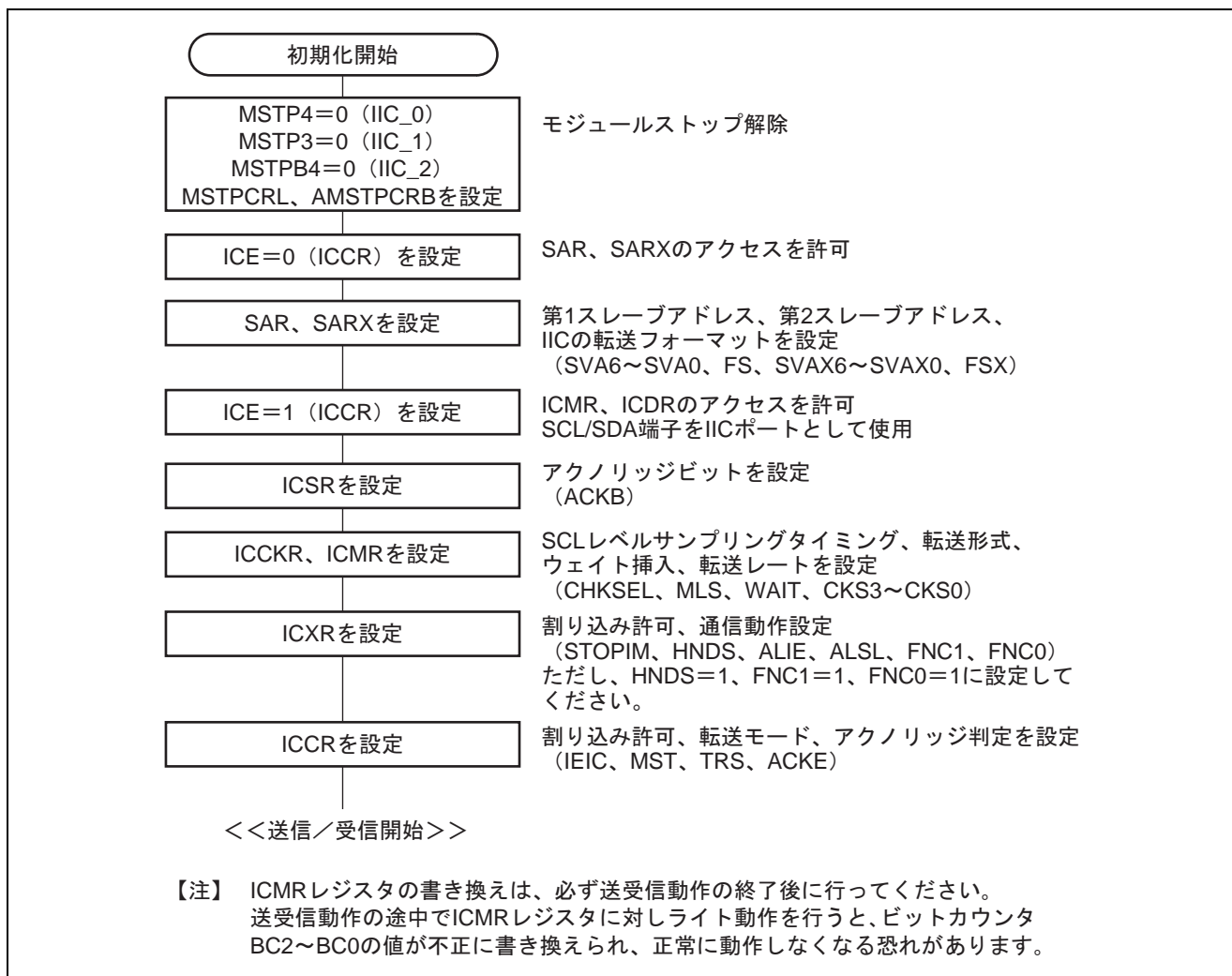


図 17.6 IIC の初期化フローチャートの例

17.4.3 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

図 17.7 (1)、図 17.7 (2) にマスタ送信モードのフローチャート例を示します。

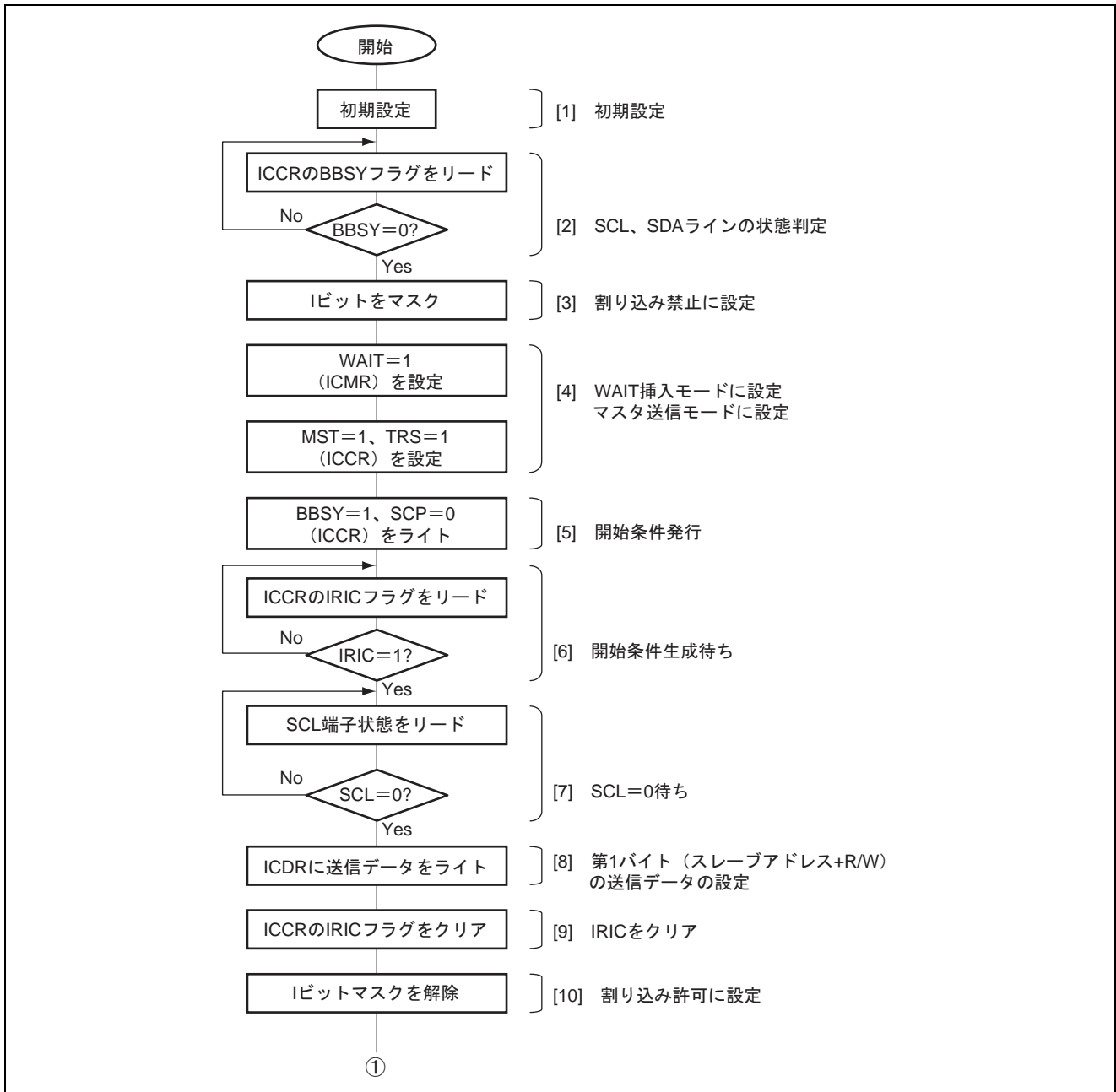


図 17.7 マスタ送信モードフローチャート例 (1)

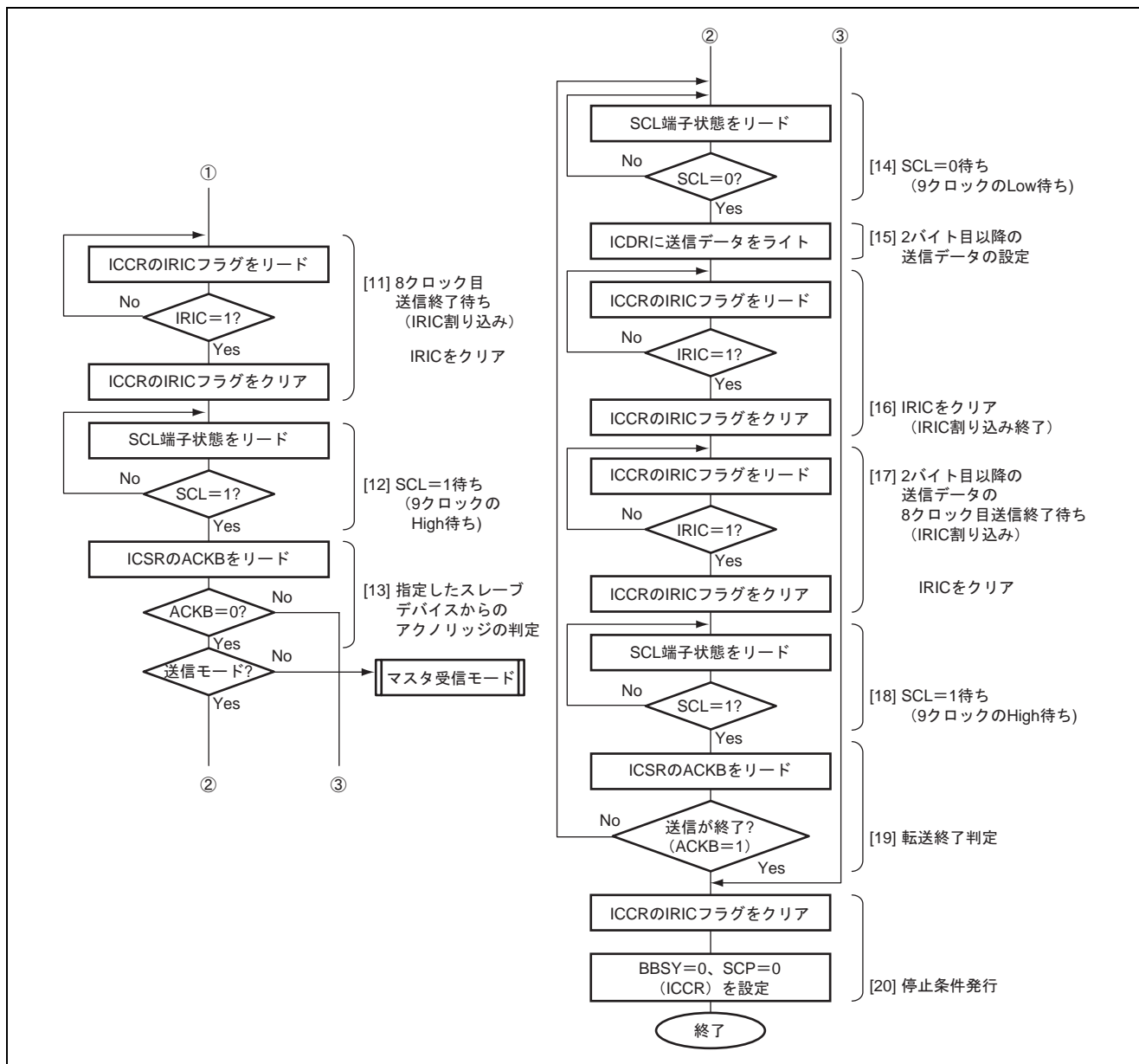


図 17.7 マスタ送信モードフローチャート例 (2)

以下にマスタモード送信手順と動作を示します。

1. 「17.4.2 初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. CCRをI=1かつUI=1にセットします。NMI、アドレスブレイク割り込みを含むすべての割り込み処理が発生しないようにしてください。
4. ICMRのWAITビットを1にセットしてWAIT挿入モードに設定、ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
5. ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
6. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求が発生します。
7. 開始条件を検出後、SCL端子をモニタし、HighレベルからLowレベルになるまで待ちます。
各チャンネルのSCL端子に対応する入力データレジスタ(チャンネル0:P5PINのビット2、チャンネル1:PAPINのビット1、チャンネル2:PGPINのビット7、5、3、1)をリードすることでモニタできます。
8. 開始条件を検出後、ICDRにデータ(スレーブアドレス+R \bar{W})をライトします。
I²C バスフォーマット(SARのFSビットまたはSARXのFSXビットが0のとき)では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信/受信の方向(R \bar{W})を示します。
9. 送信クロックの8クロック目の立ち下がり判断のためIRICフラグを0にクリアします。
10. CCRをI=0かつUI=0にクリアします。
11. 送信クロックの8クロック目の立ち下がり判断でIRICフラグが1にセットされます。選択された(スレーブアドレスが一致した)スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。CCRをI=1かつUI=1にセットします。NMI、アドレスブレイク割り込みを含むすべての割り込み処理が発生しないようにしてください。次にIRICフラグを0にクリアし、9クロック目の立ち上がり生成します。
12. SCL端子をモニタし、SCL端子がHighレベルであることを確認します。
13. ICSRのACKBビットをリードしてACKB=0であることを確認します。
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
14. SCL端子をモニタし、HighレベルからLowレベルになるまで待ちます。
マスタ受信モードに移行する場合はICMRのWAITビットを0にクリアしてマスタ受信モードに移行してください。
15. 2バイト目以降の送信データを送信する場合はICDRにデータをライトします。
16. 送信クロックの8クロック目の立ち下がり判断のためIRICフラグを0にクリアします。
CCRをI=0かつUI=0にクリアします。
17. 送信クロックの8クロック目の立ち下がり判断でIRICフラグが1にセットされます。選択された(スレーブアドレスが一致した)スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
CCRをI=1かつUI=1にセットします。NMI、アドレスブレイク割り込みを含むすべての割り込み処理が発生しないようにしてください。次にIRICフラグを0にクリアし、9クロック目の立ち上がり生成します。
18. SCL端子をモニタし、SCL端子がHighレベルであることを確認します。

19. ICSRのACKBビットをリードしてACKB=0であることを確認します。
スレーブデバイスがアクノリッジを返さず ACKB=1 となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
20. IRICフラグを0にクリアします。
ICCR の ACKE ビットに 0 をライトし、受信した ACKB ビットの内容を 0 にクリアします。
ICCR に BBSY=0 かつ SCP=0 をライトします。これにより、SCL が High レベルのとき SDA を Low レベルから High レベルに変化させ、停止条件を生成します。

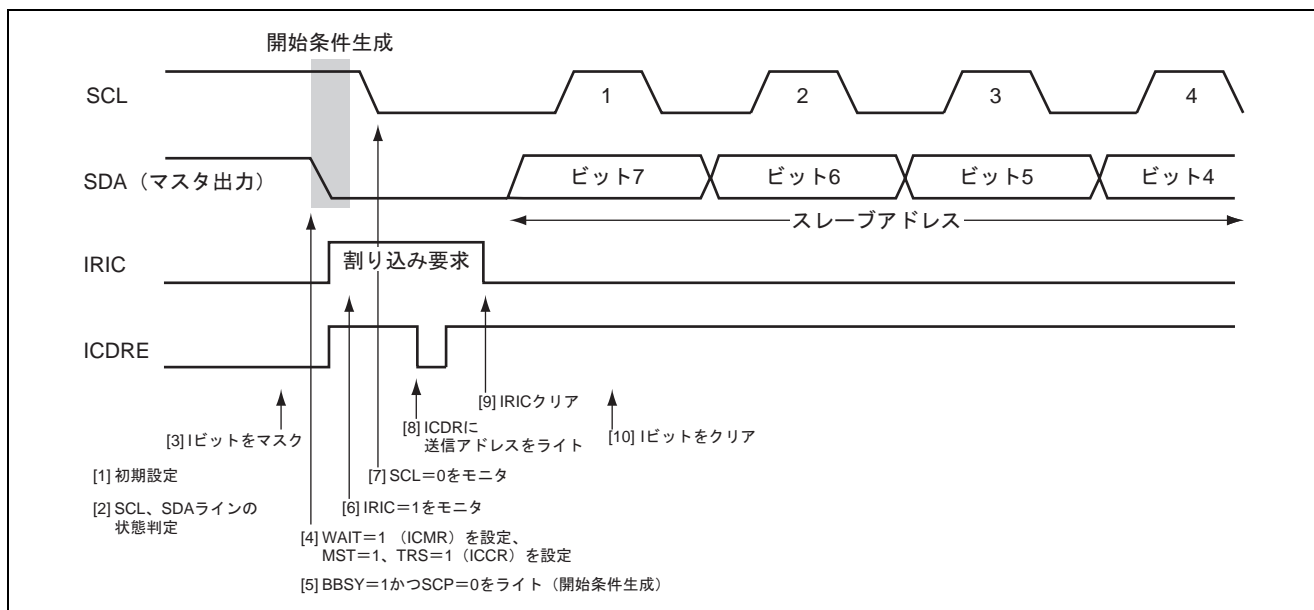


図 17.8 マスタ送信モード開始条件発行動作タイミング例 (MLS=0、WAIT=1 のとき)

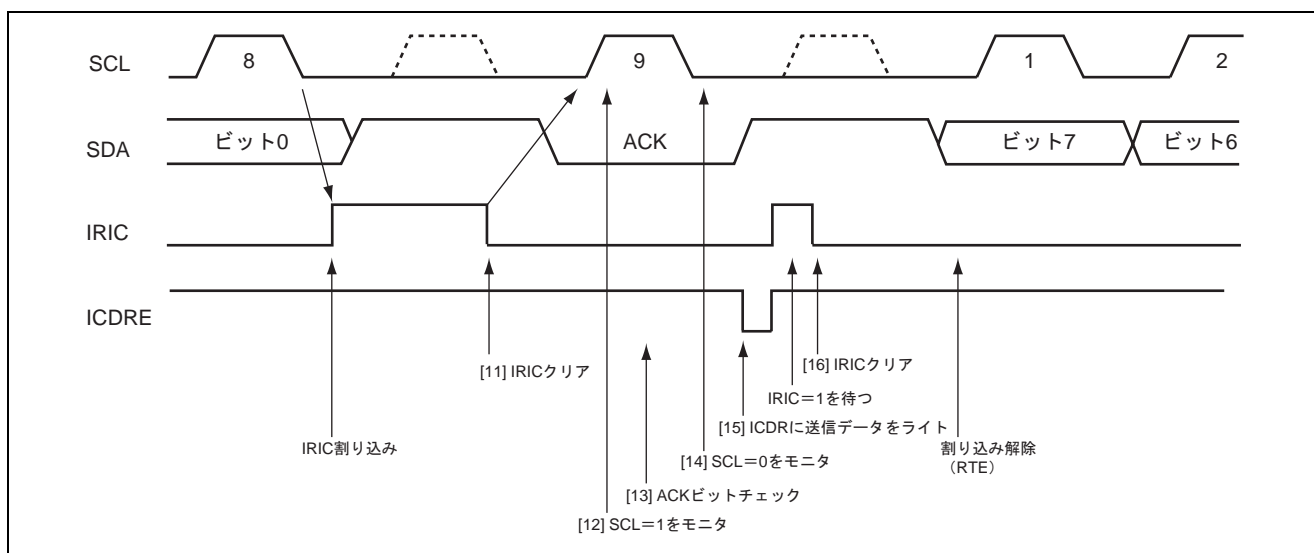


図 17.9 マスタ送信モード動作タイミング例 (MLS=0、WAIT=1 のとき)

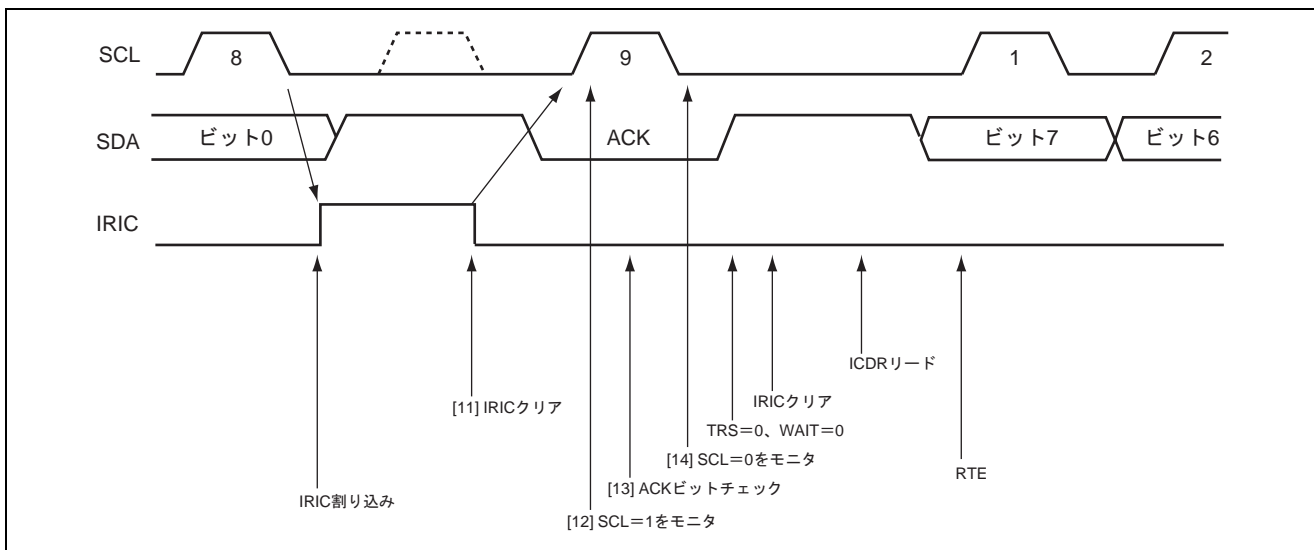


図 17.10 マスタ送信モードからマスタ受信モードへの切り替え動作タイミング例 (MLS=0、WAIT=1 のとき)

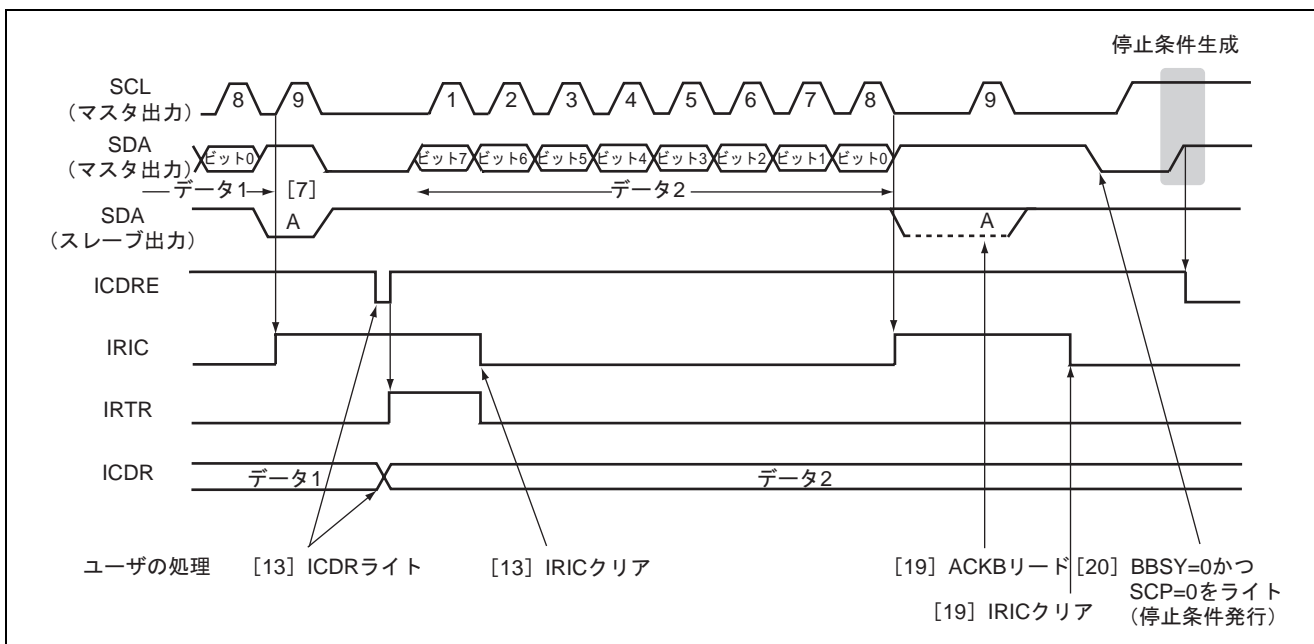


図 17.11 マスタ送信モード停止条件発行動作タイミング例 (MLS=0、WAIT=1 のとき)

17.4.4 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス+R \overline{W} (1:リード) のデータを送信し、スレーブデバイスを選択した後、受信動作に切り替えます。

図 17.12 にマスタ受信モードのフローチャート例を示します。

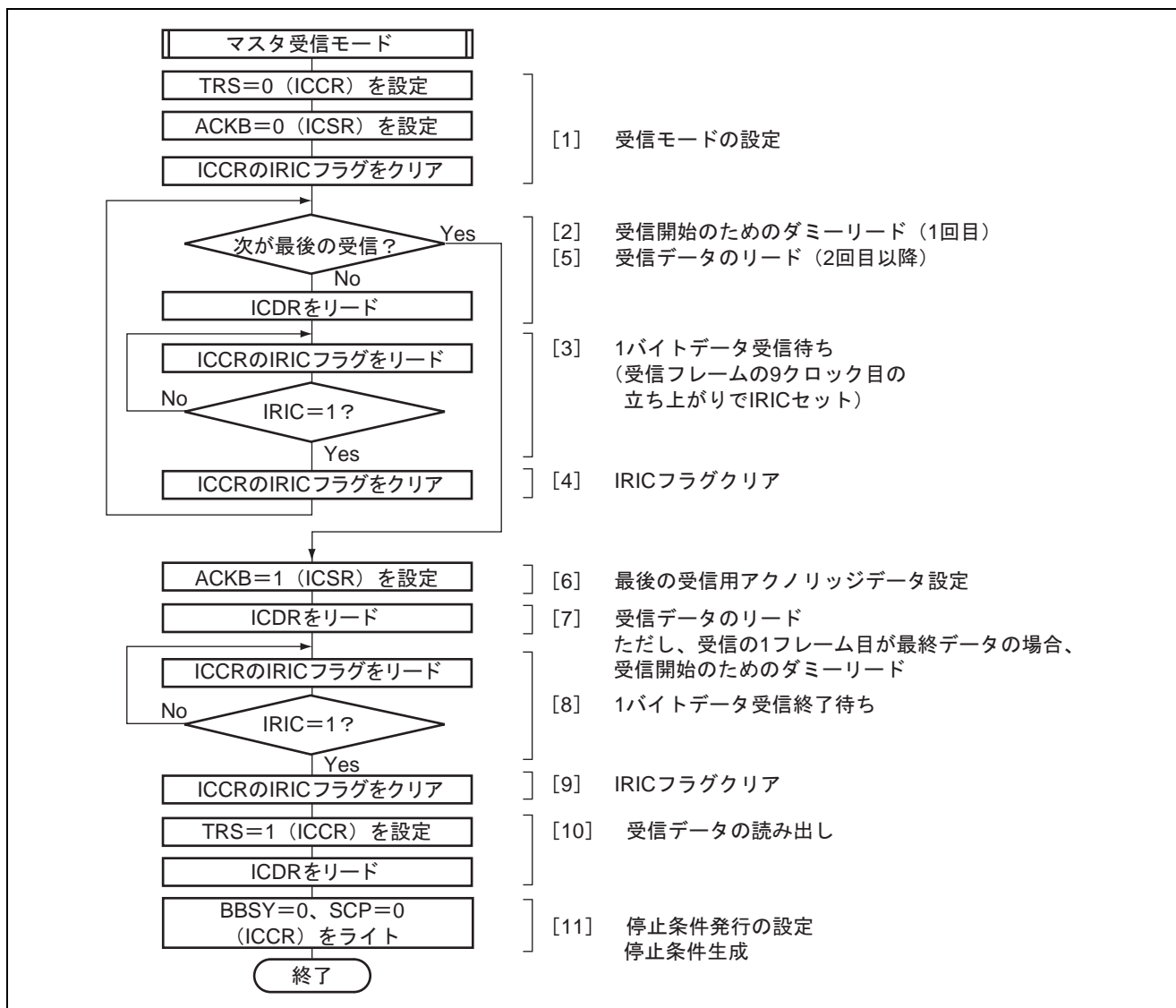


図 17.12 マスタ受信モードフローチャート例

以下にマスタモード受信手順と動作を示します。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。
ICSRのACKBビットを0にクリアします。(アクノリッジデータの設定)
受信完了を判断するためIRICフラグを0にクリアします。
受信の1フレーム目が最後の受信データの場合は、6以降の終了処理を行ってください。
2. ICDRをリード(ダミーリード)すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。(受信クロックの立ち上がりに同期してSDA端子のデータをICDRSに順次格納します。)
3. 受信フレームの9クロック目でマスタデバイスはSDAをLowレベルにし、アクノリッジを返します。受信データは9クロック目の立ち上がりでICDRSからICDRRに転送され、ICDRF、IRIC、IRTRの各フラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。
マスタデバイスは受信クロックの9クロック目の立ち下がりからICDRのデータをリードするまでSCLをLowレベルにします。
4. 次の割り込みを判断するためIRICフラグを0にクリアします。
次のフレームが最後の受信データの場合は、6以降の終了処理を行ってください。
5. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスは次のデータ受信のため、引き続き受信クロックを出力します。

3から5を繰り返し行うことにより、データを受信することができます。
6. ACKBビットを1にセットします。(最後の受信用アクノリッジデータの設定)
7. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスはデータ受信のため、受信クロックを出力します。
8. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICDRF、IRIC、IRTRの各フラグが1にセットされます。
9. IRICフラグを0にクリアします。
10. TRSビットを1にセット後、ICDRの受信データをリードします。このとき、ICDRFフラグが0にクリアされます。
11. 停止条件生成のため、ICCRにBBSY=0かつSCP=0をライトします。
これによりSCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

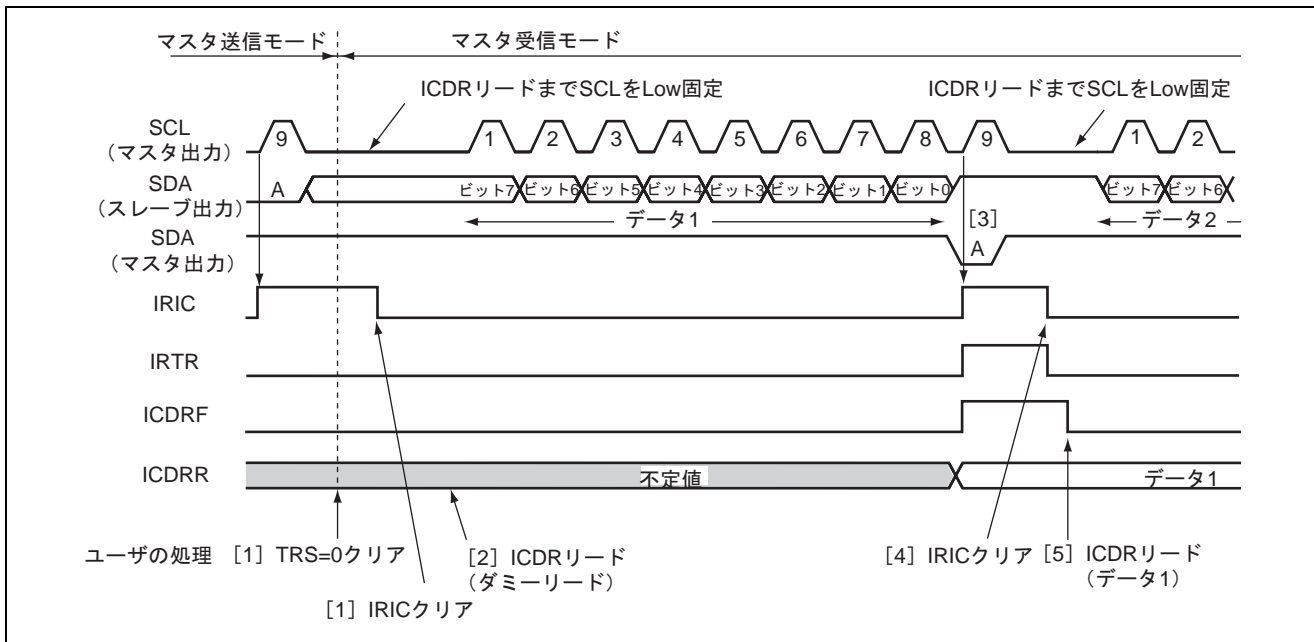


図 17.13 マスタ受信モード動作タイミング例 (MLS=WAIT=0 のとき)

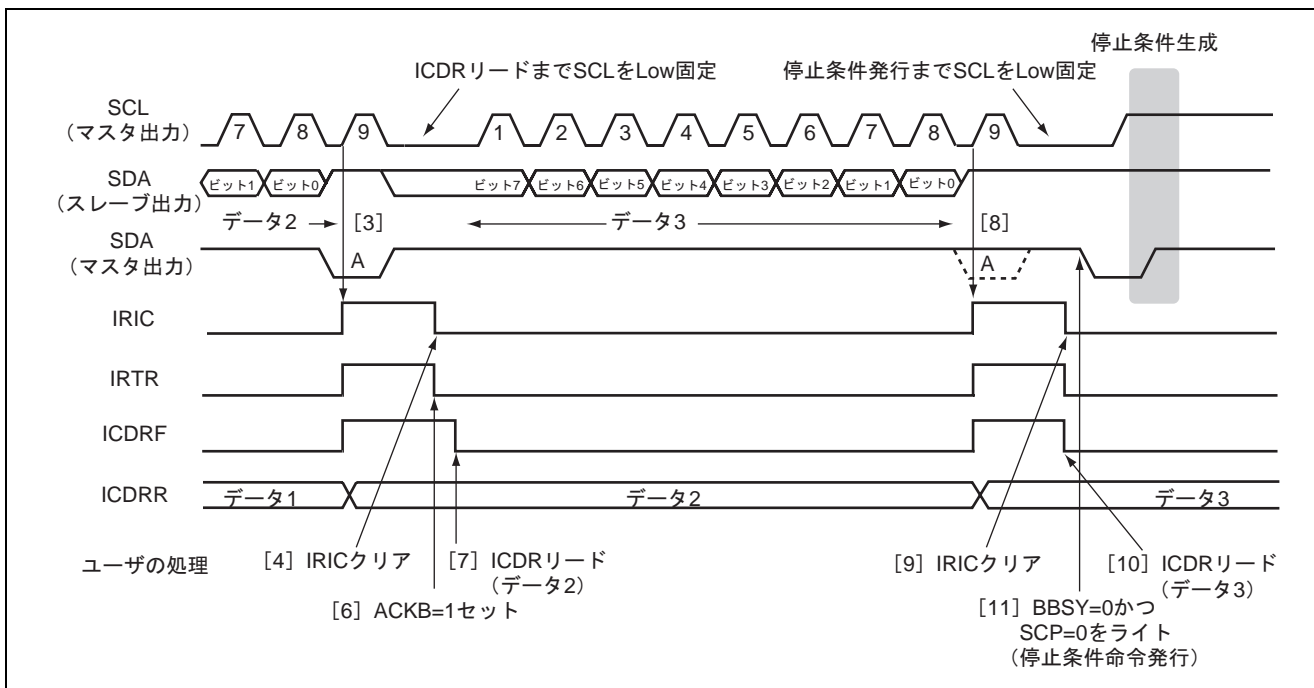


図 17.14 マスタ受信モード動作停止条件発行タイミング例 (MLS=WAIT=0 のとき)

17.4.5 スレーブ受信動作

I²C バスフォーマットによるスレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

スレーブデバイスは、マスタが発行する開始条件後の第 1 フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

図 17.15 にスレーブ受信モードのフローチャート例を示します。

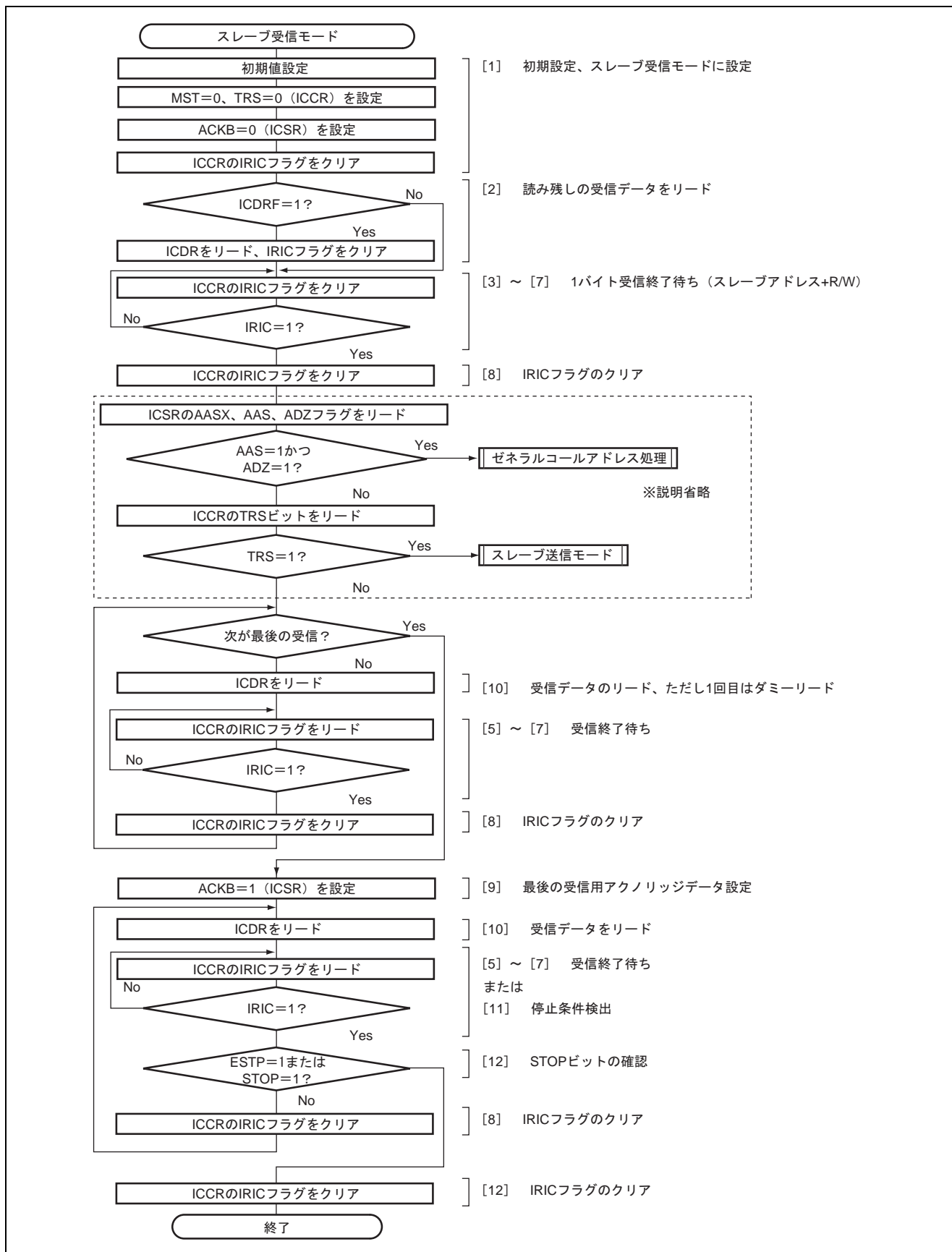


図 17.15 スレーブ受信モードのフローチャート例

以下にスレーブモード受信手順と動作を示します。

1. 「17.4.2 初期設定」に従い初期設定を行います。
MST、TRS ビットをそれぞれ 0 にクリアしてスレーブ受信モードに設定します。また、ACKB ビットを 0 に設定します。受信完了を判断するため、ICCR の IRIC フラグを 0 にクリアします。
 2. ICDRF フラグが 0 であることを確認します。もし ICDRF フラグが 1 にセットされているときは、ICDR をリードし、その後で IRIC フラグを 0 にクリアしておきます。
 3. マスタデバイスの出力した開始条件を検出すると、ICCR の BBSY フラグが 1 にセットされます。マスタデバイスは、開始条件に引き続き 7 ビットのスレーブアドレスと送受信の方向 (R/\bar{W}) のデータを送信クロックに合せ順次出力します。
 4. 開始条件後の第 1 フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8 ビット目のデータ (R/\bar{W}) が 0 のとき TRS ビットは 0 のまま変化せず、スレーブ受信動作を行います。8 ビット目のデータ (R/\bar{W}) が 1 のとき TRS ビットは 1 にセットされ、スレーブ送信動作を行います。
 5. なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。
 6. 受信フレームの 9 クロック目でスレーブデバイスは ACKB ビットに設定したデータをアクリッジとして返します。
 7. 9 クロック目の立ち上がりで IRIC フラグが 1 にセットされます。このとき、IEIC ビットが 1 にセットされていると、CPU に対し割り込み要求を発生します。
また、AASX ビットが 1 にセットされていると IRTR フラグも 1 にセットされます。
 8. 9 クロック目の立ち上がりで、受信データは ICDRS から ICDRR に転送され、ICDRF フラグが 1 にセットされます。スレーブデバイスは受信クロックの 9 クロック目の立ち下がりから ICDR のデータをリードするまで SCL を Low レベルにします。
 9. STOP ビットが 0 にクリアされていることを確認し、IRIC フラグを 0 にクリアします。
 10. 次のフレームが最後の受信フレームのときは ACKB ビットを 1 にセットしておきます。
 11. ICDR をリードすると、ICDRF フラグが 0 にクリアされ、SCL バスラインを開放します。これによりマスタデバイスは次のデータの転送が可能となります。
5. から 10. を繰り返し行うことにより、受信動作を継続できます。
12. 停止条件 (SCL が High レベルのとき、SDA が Low レベルから High レベルに変化) が検出されると、BBSY フラグが 0 にクリアされます。また、STOP ビットが 1 にセットされます。このとき STOPIM ビットが 0 にクリアされていると IRIC フラグは 1 にセットされます。
 13. STOP ビットが 1 にセットされていることを確認し、IRIC フラグを 0 にクリアします。

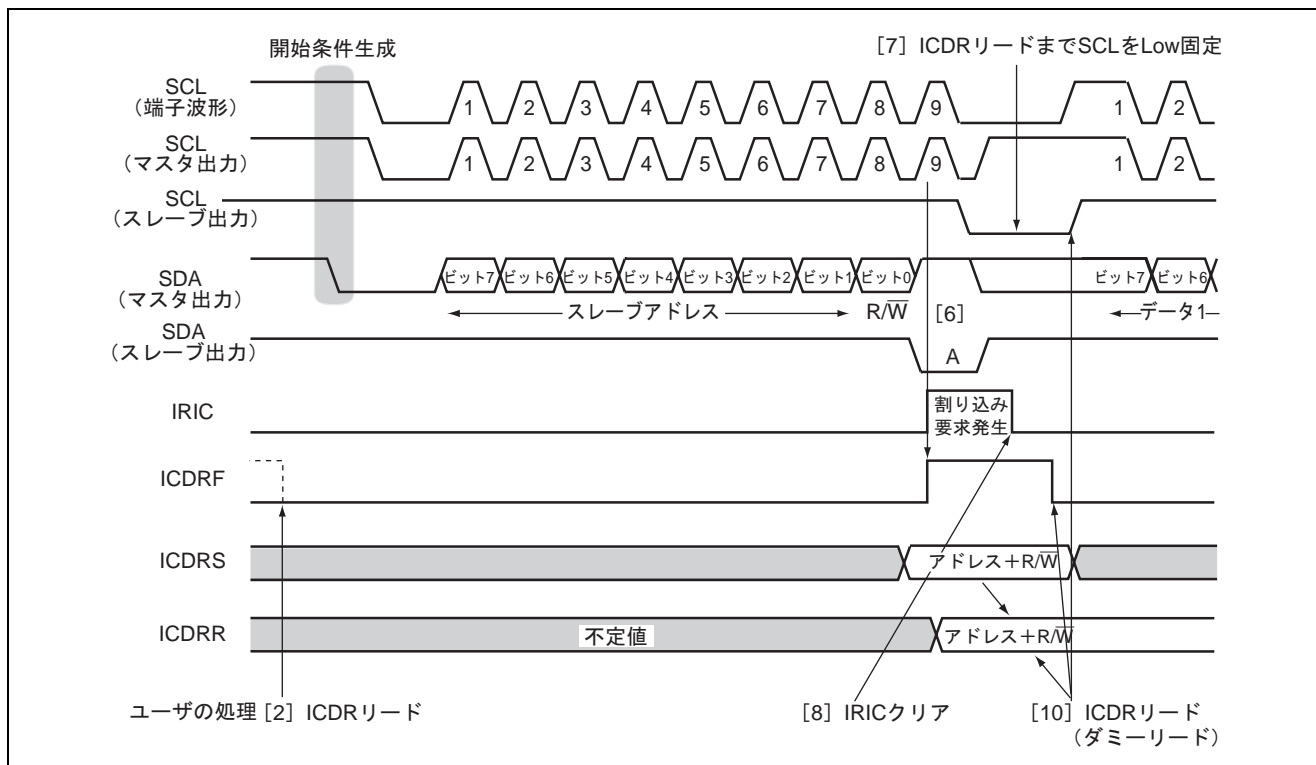


図 17.16 スレーブ受信モード動作タイミング例 1 (MLS=0 のとき)

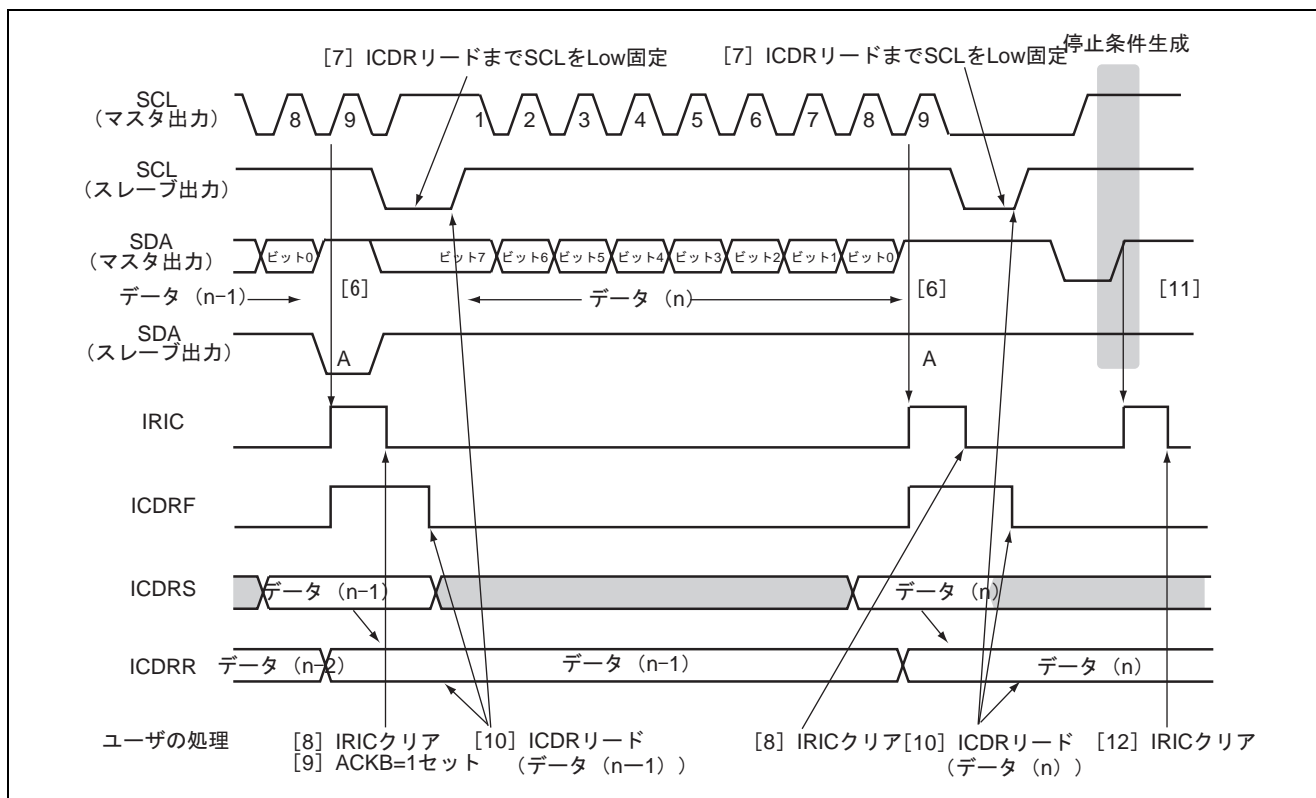


図 17.17 スレーブ受信モード動作タイミング例 2 (MLS=0 のとき)

17.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第1フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ8ビット目のデータ（R/W）が1（リード）のときに ICCR の TRS ビットが自動的に1にセットされ、スレーブ送信モードになります。

図 17.18 にスレーブ送信モードのフローチャート例を示します。

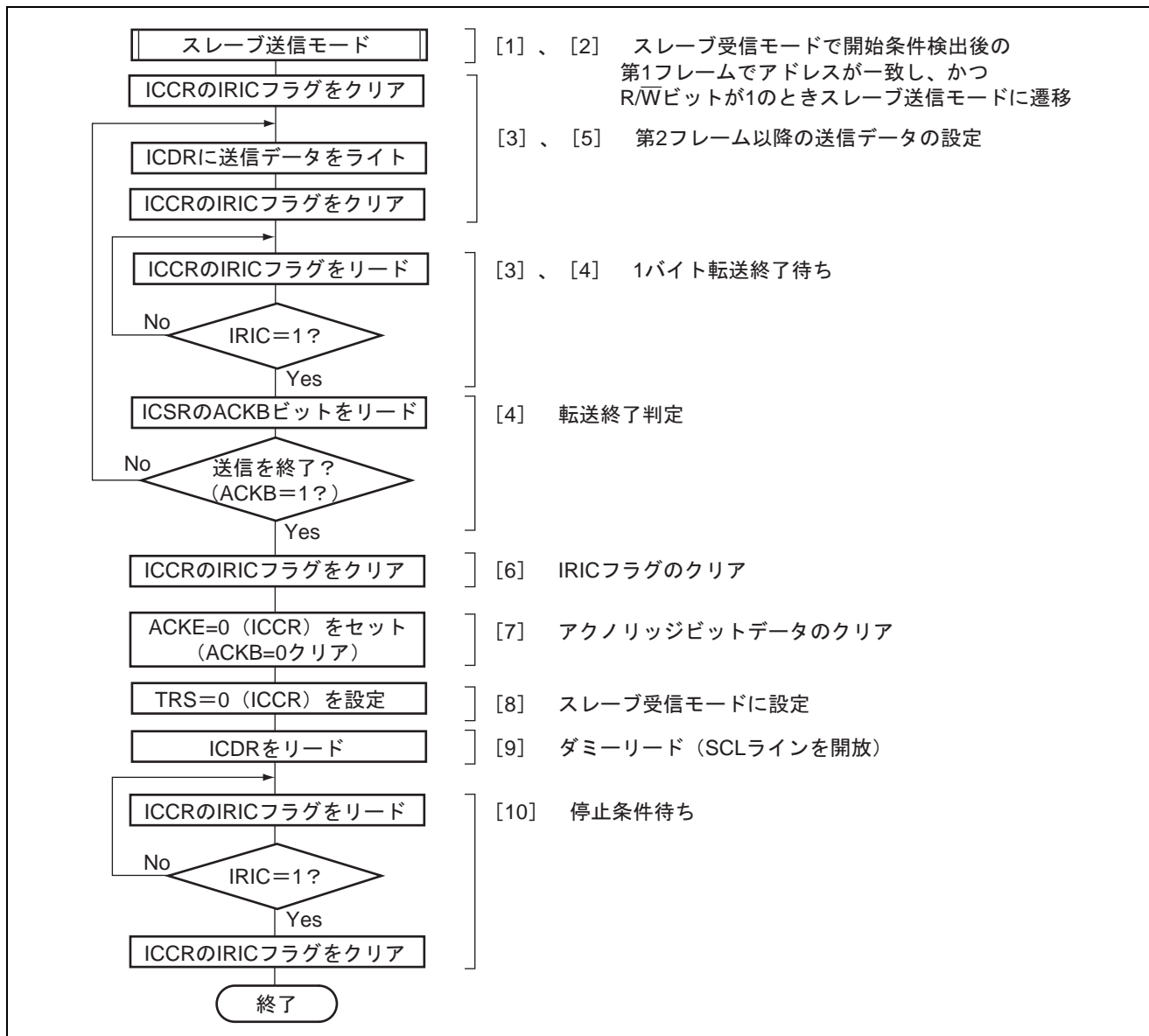


図 17.18 スレーブ送信モードのフローチャート例

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。また、8ビット目のデータ (R/W) が1のときTRSビットが1にセットされ、自動的にスレーブ送信モードになります。9クロックの立ち上がりのタイミングでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされているとCPUに対し割り込み要求を発生します。このとき、ICDREフラグは1にセットされています。スレーブデバイスは送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにしマスタデバイスが次の転送クロックを出力できないようにします。
3. IRICフラグを0にクリア後、ICDRに送信データをライトします。このときICDREフラグは0にクリアされます。ライトされたデータはICDRSに転送され、ICDREフラグとIRICフラグが再び1にセットされます。スレーブデバイスはマスタデバイスが出力するクロックに従い、ICDRSに転送されたデータを順次送出します。
送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
4. マスタデバイスは転送フレームの9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。ICDREフラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、ICDREフラグとIRICフラグが再び1にセットされます。ICDREフラグが1にセットされていると、送信クロックの9クロック目の立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。
5. 送信を続ける場合は、次に送信するデータをICDRにライトします。このときICDREフラグは0にクリアされます。送信完了を検知するためにIRICフラグを0にクリアします。ICDRライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
4.から 5.を繰り返すことにより、送信動作を継続できます。
6. IRICフラグを0にクリアします。
7. 送信を終了する場合は、ICCRのACKEビットを0にクリアし、ACKBビットに格納されているアクノリッジビットの値を0にクリアします。
8. 次のアドレス受信動作のため、TRSビットを0にクリアし、スレーブ受信モードに設定します。
9. スレーブ側でSCLを開放するためにICDRをダミーリードします。
10. SCLがHighレベルのときSDAがLowレベルからHighレベルに変化して停止条件を検出すると、ICCRのBBSYフラグが0にクリアされ、ICSRのSTOPフラグが1にセットされます。ICXRのSTOPIMビットが0の場合は、IRICフラグが1にセットされます。IRICフラグがセットされているときは、IRICフラグを0にクリアします。

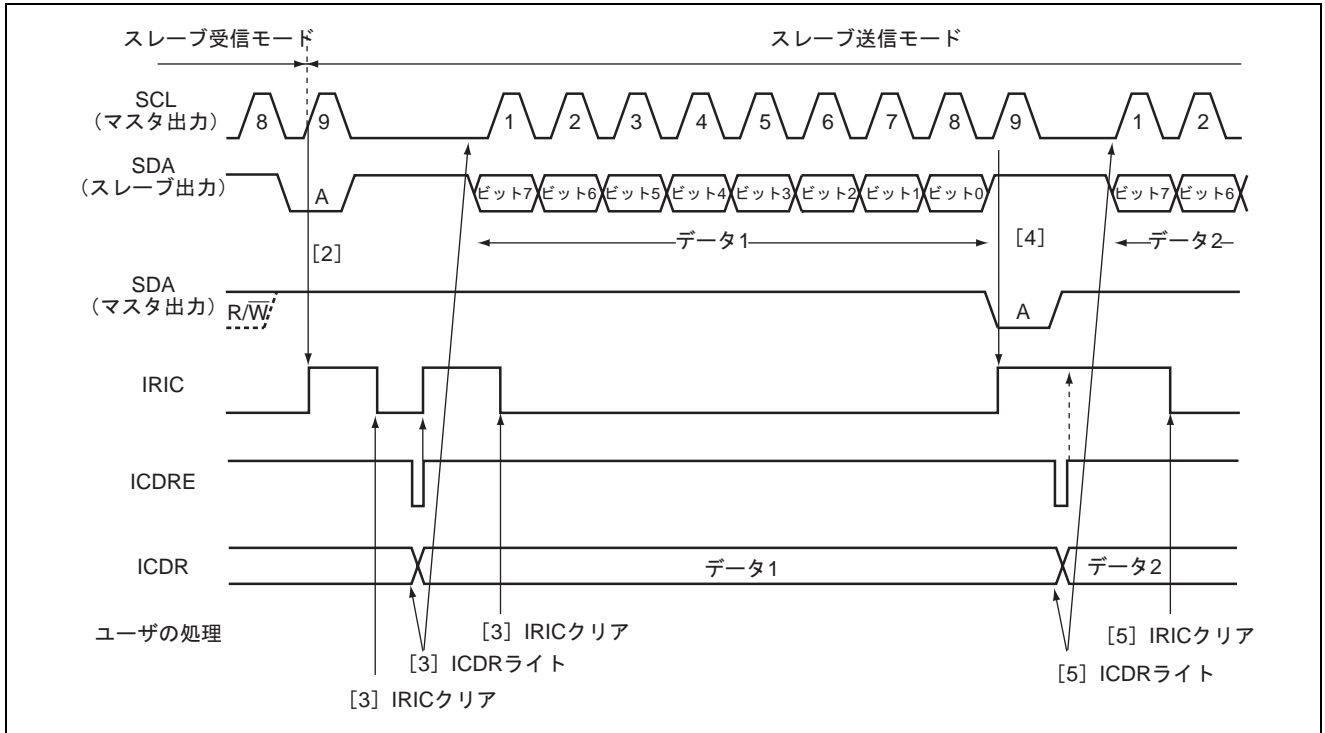


図 17.19 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

17.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、ICDRE や ICDRF フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 17.20～図 17.22 に IRIC セットタイミングと SCL 制御を示します。

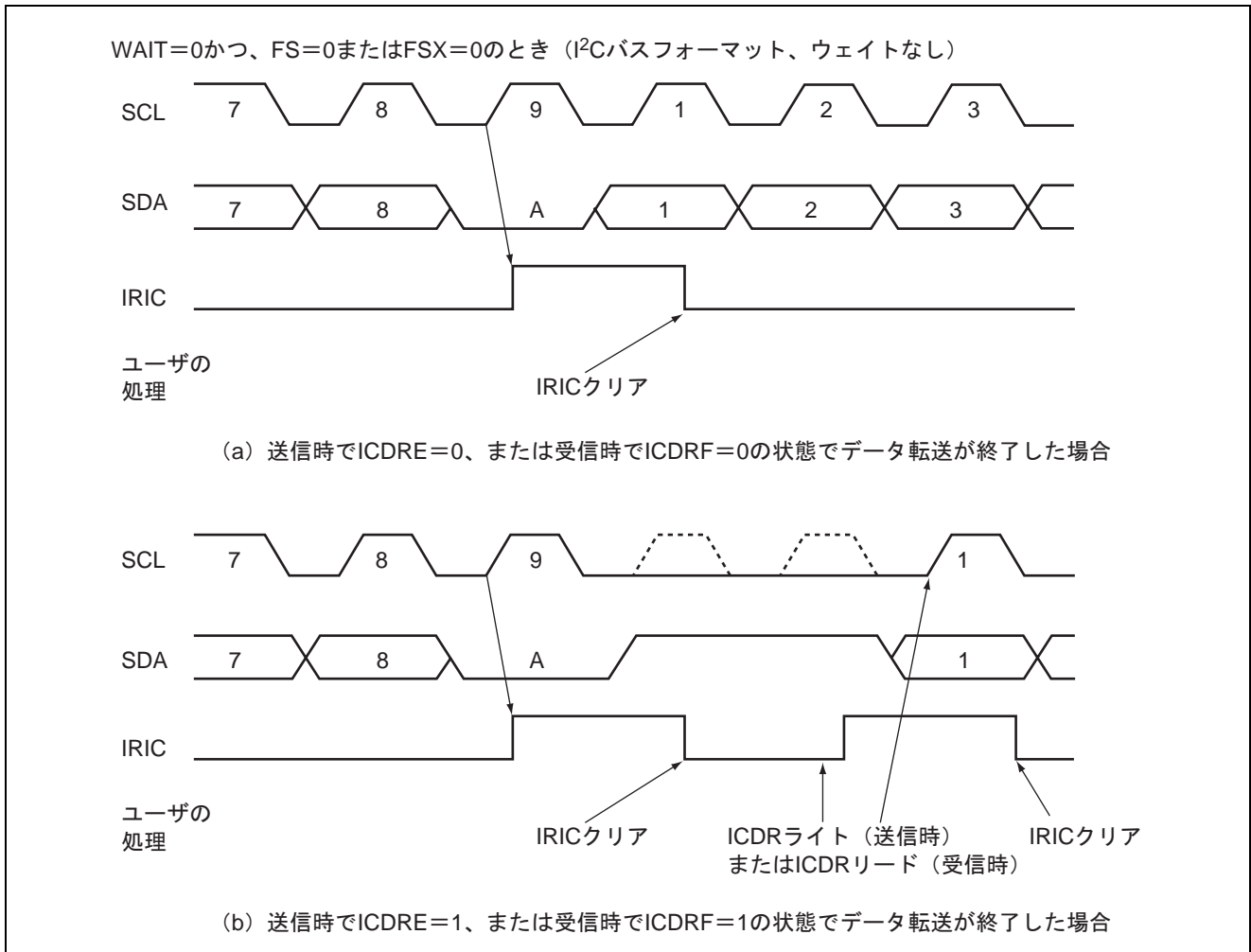


図 17.20 IRIC フラグセットタイミングと SCL 制御 (1)

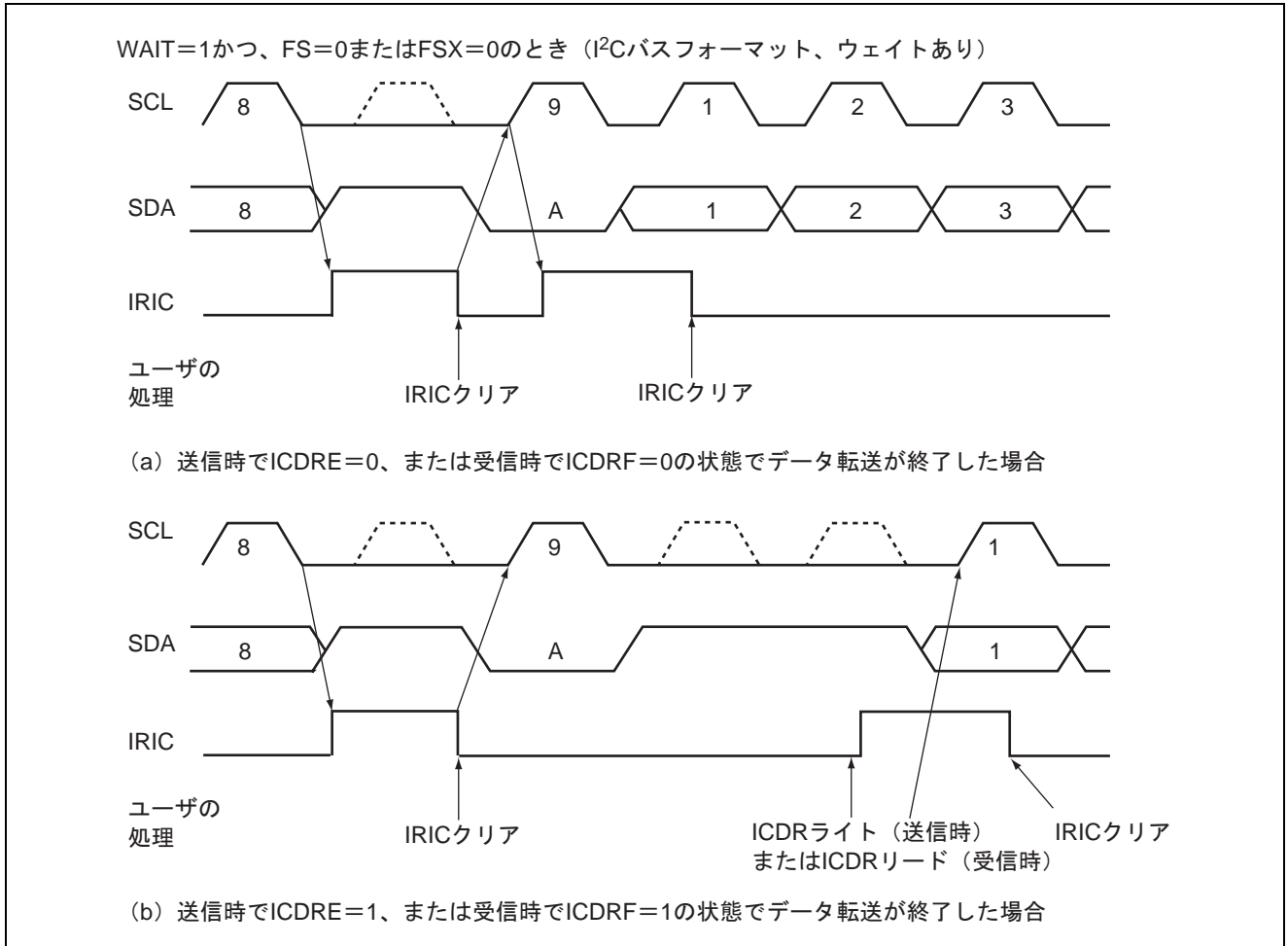


図 17.21 IRIC フラグセットタイミングと SCL 制御 (2)

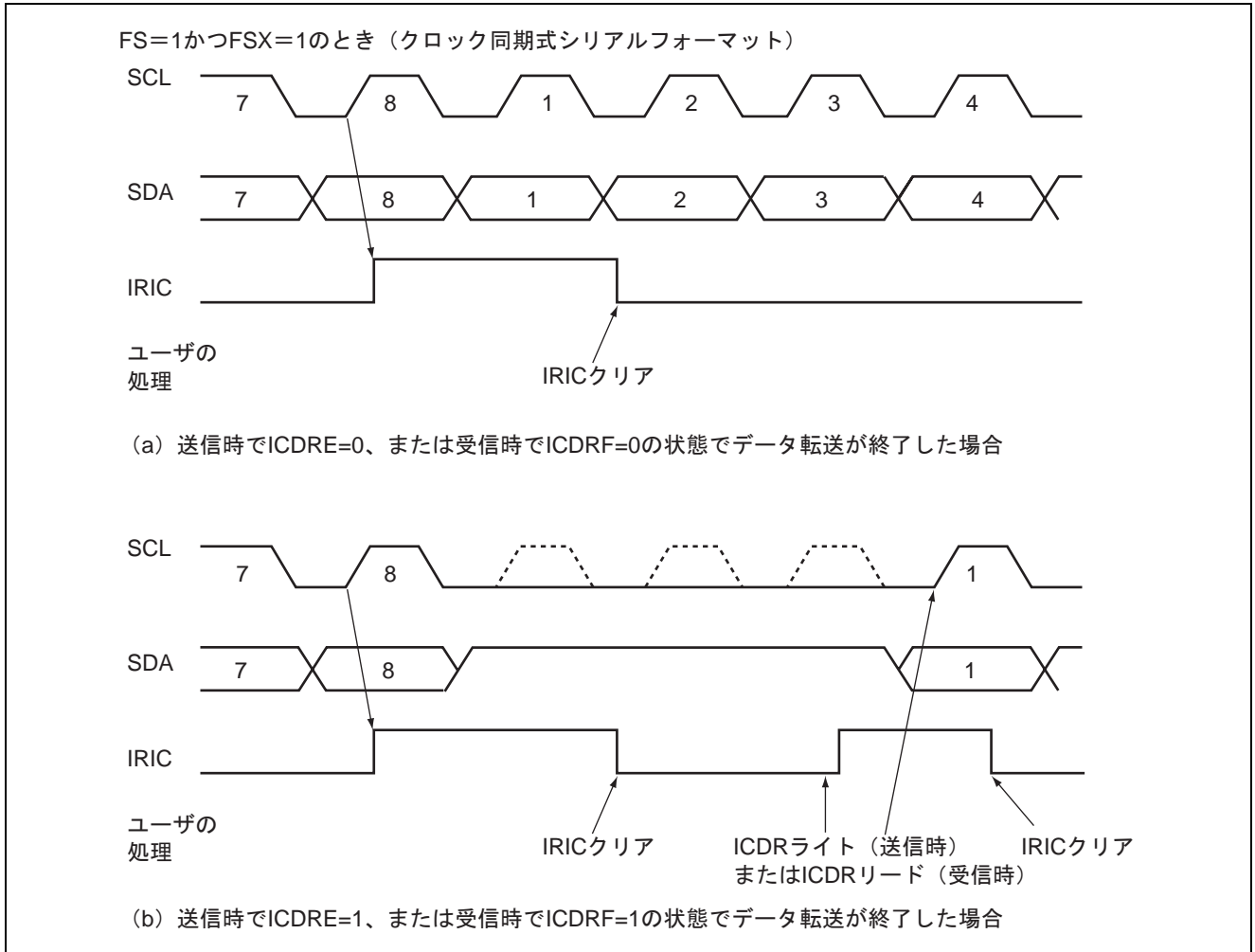


図 17.22 IRIC フラグセットタイミングと SCL 制御 (3)

17.4.8 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 17.23 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

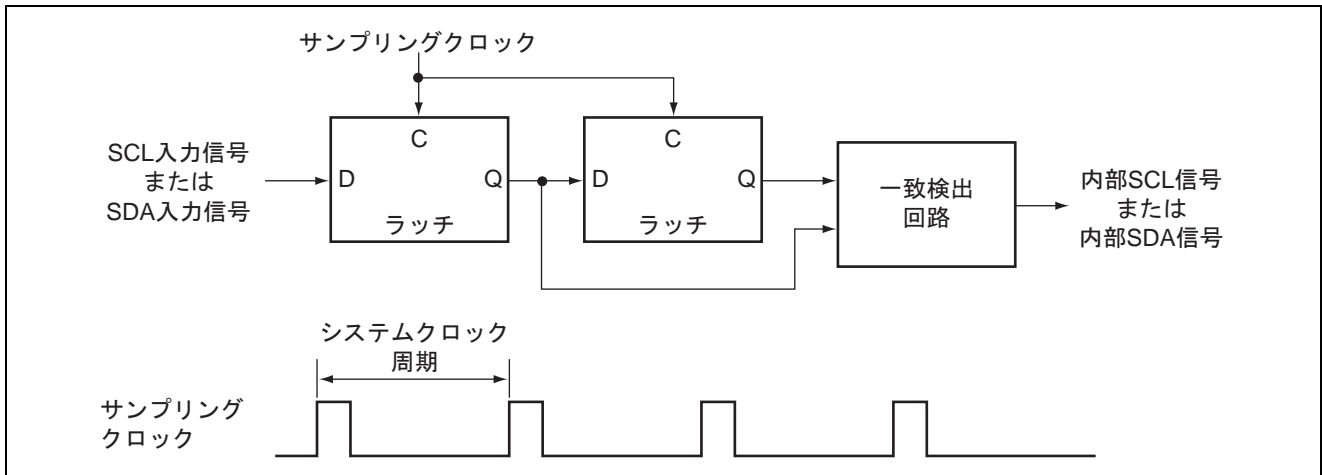


図 17.23 ノイズ除去回路のブロック図

17.4.9 内部状態の初期化

本 IIC モジュールは、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能もっています。

初期化は、(1) ICRES レジスタの CLR3~CLR0 ビットの設定、または (2) ICE ビットのクリアにより実行されます。CLR3~CLR0 ビットの設定の詳細は、「17.3.8 I²C バスコントロール初期化レジスタ (ICRES)」を参照してください。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ICDRE、ICDRF 内部フラグ
- 送信/受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA 端子出力状態を保持するための内部ラッチ（ウェイト、クロック、データ出力など）

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、ICXR (ICDRE、ICDRF フラグ以外))
- ICMR、ICCR、ICSR 各レジスタのフラグのセット/クリアのためのレジスタリード情報保持用内部ラッチ
- ICMR のビットカウンタ (BC2~BC0) の値
- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

(2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- ICRESにより初期化を行う場合、CLR3～CLR0ビットのライトデータは保持されません。IICクリアを行う場合は、必ずMOV命令を使用し、CLR3～CLR0ビットを同時に書き込んでください。BCLRなどのビット操作命令は使用しないでください。
- また、再度クリアが必要な場合は、同様にすべてのビットとも設定に従い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点でIICモジュールは送受信を中止しSCL、SDA端子を開放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、開放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

1. CLR3～CLR0ビットの設定、またはICEビットによる内部状態の初期化実行
2. BBSYビットを0にクリアするための、停止条件発行命令実行 (BBSY=0かつSCP=0ライト) および、転送レート2クロック分の期間ウェイト
3. CLR3～CLR0ビットの設定、またはICEビットによる内部状態の初期化の再実行
4. IICの各レジスタの初期化 (再設定)

17.5 割り込み要因

IIC の割り込み要因は、IIC1 があります。表 17.8 に各割り込み要因と優先順位を示します。各割り込み要因は、ICCR 割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 17.8 IIC 割り込み要因

チャンネル	名称	イネーブルビット	割り込み要因	割り込みフラグ	優先順位
0	IIC10	IEIC	I ² C バスインタフェース割り込み要求	IRIC	高 ↑ 低
1	IIC11	IEIC	I ² C バスインタフェース割り込み要求	IRIC	
2	IIC12	IEIC	I ² C バスインタフェース割り込み要求	IRIC	

17.6 使用上の注意事項

1. マスタモードで、開始条件生成のための命令を発行した際に、実際に開始条件がI²Cバスに出力される前に停止条件生成のための命令を発行すると、開始条件も停止条件も正常に出力されなくなります。
2. 次転送のスタート条件が次の2条件となっています。ICDRをリード/ライトする場合は注意してください。
 - ICE=1かつTRS=1かつICDRにライトしたとき (ICDRT→ICDRSの自動転送を含む)
 - ICE=1かつTRS=0かつICDRをリードしたとき (ICDRS→ICDRRの自動転送を含む)
3. SCL、SDA出力は、内部クロックに同期して表17.9に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり/立ち下がり時間によって定まります。

表 17.9 I²C バスタイミング (SCL、SDA 出力)

項目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t _{SCLO}	28t _{cyc} ~256t _{cyc}	ns	図 28.22 (参考)
SCL 出力 High パルス幅	t _{SCLHO}	0.5t _{SCLO}	ns	
SCL 出力 Low パルス幅	t _{SCLLO}	0.5t _{SCLO}	ns	
SDA 出力バスフリー時間	t _{BUFO}	0.5t _{SCLO} -1t _{cyc}	ns	
開始条件出力ホールド時間	t _{STAHO}	0.5t _{SCLO} -1t _{cyc}	ns	
再送開始条件出力セットアップ時間	t _{STASO}	1t _{SCLO}	ns	
停止条件出力セットアップ時間	t _{STOSO}	0.5t _{SCLO} +2t _{cyc}	ns	
データ出力セットアップ時間 (マスタ時)	t _{SDASO}	1t _{SCLLO} -3t _{cyc}	ns	
データ出力セットアップ時間 (スレーブ時)		1t _{SCLL} - (6t _{cyc} または 12t _{cyc} *)	ns	
データ出力ホールド時間	t _{SDAHO}	3t _{cyc}	ns	

【注】 * IICX/CKS3 が 0 のとき 6t_{cyc}、IICX/CKS3 が 1 のとき 12t_{cyc} となります。

4. SCLの立ち上がり時間 t_{Sr} は、I²Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 t_{Sr} （Lowレベルから V_{IH} まで変化する時間）が、I²Cバスインタフェースの入力クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表17.10に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 17.10 SCL 立ち上がり時間 (t_{Sr}) の許容範囲

IICX/ CKS3	t_{cyc} 表示		時間表示 [ns]				
			I ² C バス仕様 (max.)	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$
0	7.5 t_{cyc}	標準モード	1000	937	750	468	375
		高速モード	300	←	←	←	←
1	17.5 t_{cyc}	標準モード	1000	←	←	←	875
		高速モード	300	←	←	←	←

5. SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、表17.11に示すように t_{cyc} によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。表17.11は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO} はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては、(a) 停止条件発行後、開始条件の発行まで必要なインターバル（1 μ s程度）を確保するようプログラムする必要があります。あるいは、(b) I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の t_{SCLLO} 、標準モード時の t_{STASO} では、 t_{Sr}/t_{Sf} をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。(a) プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b) 転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c) I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

表 17.11 I²C バスタイミング (t_{Sr}/t_{Sf} 影響最大の場合)

項目	tcyc 表示	時間表示 (最大転送レート時) [ns]						
			t_{Sr}/t_{Sf} 影響 (max.)	I ² C バス 仕様 (min.)	$\phi = 8\text{MHz}$	$\phi = 10\text{MHz}$	$\phi = 16\text{MHz}$	$\phi = 20\text{MHz}$
t_{SCLHO}	$0.5t_{SCLLO}$ ($-t_{Sr}$)	標準モード	-1000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950
t_{SCLLO}	$0.5t_{SCLLO}$ ($-t_{Sr}$)	標準モード	-250	4700	4750	4750	4750	4750
		高速モード	-250	1300	1000* ¹	1000* ¹	1000* ¹	1000* ¹
t_{BUFO}	$0.5t_{SCLLO}-1tcyc$ ($-t_{Sr}$)	標準モード	-1000	4700	3875* ¹	3900* ¹	3939* ¹	3950* ¹
		高速モード	-300	1300	825* ¹	850* ¹	888* ¹	900* ¹
t_{STAHO}	$0.5t_{SCLLO}-1tcyc$ ($-t_{Sf}$)	標準モード	-250	4000	4625	4650	4688	4700
		高速モード	-250	600	875	900	938	950
t_{STASO}	$1t_{SCLLO}$ ($-t_{Sr}$)	標準モード	-1000	4700	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200
t_{STOSO}	$0.5t_{SCLLO}+2tcyc$ ($-t_{Sr}$)	標準モード	-1000	4000	4250	4200	4125	4100
		高速モード	-300	600	1200	1150	1075	1050
t_{SDASO} マスタ時	$1t_{SCLLO}*3-3tcyc$ ($-t_{Sr}$)	標準モード	-1000	250	3325	3400	3513	3550
		高速モード	-300	100	625	700	813	850
t_{SDASO} スレーブ時	$1t_{SCLLO}*3-12tcyc*2$ ($-t_{Sr}$)	標準モード	-1000	250	2200	2500	2950	3100
		高速モード	-300	100	-500* ¹	-200* ¹	250	400
t_{SDAHO}	$3tcyc$	標準モード	0	0	375	300	188	150
		高速モード	0	0	375	300	188	150

【注】 *1 I²C バスインタフェースの仕様を満足しません。以下の4つの対応などが必要です。

- (1) 開始/停止条件発行のインターバルを確保する。
- (2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。
- (3) 転送レートを下げて調整する。
- (4) 入カタイミングが本出カタイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX/CKS3 ビット、CKS2~CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合せ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 IICX/CKS3 ビットが1 のときです。IICX/CKS3 ビットを0 に設定すると、($t_{SCLL}-6t_{cyc}$) となります。

*3 I²C バス仕様値 (標準モード : 4700ns min.、高速モード : 1300ns min.) で計算しています。

6. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード (TRS=1) での ICDR リード動作または、受信モード (TRS=0) での ICDR ライト動作を行った場合、条件によっては送受信動作終了後の SCL 端子の Low 固定が行われず、正規の ICDR のアクセス動作以前にクロックが SCL バスラインに出力される場合があります。

ICDR をアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

7. スレーブモードでのACKEビットとTRSビットの注意事項

I²C バスインタフェースにおいて、送信モード (TRS=1) でアクノリッジビットとして1を受信 (ACKB=1) した後に、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレーブモードで送信モード (TRS=1) の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDRE フラグセットおよびアクノリッジビットとして1を受信 (ACKB=1) することでIRIC フラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I²C バスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして1を受信した場合には、ICCRのACKEビットをいったん0にクリアすることで、ACKBビットを0に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード (TRS=0) にセットしてください。
スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、**図 17.16** に従って送信を終了してください。

17.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IIC の動作停止/許可を設定することが可能です。初期値では IIC の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「**第 29 章 低消費電力状態**」を参照してください。

18. SMBus 2.0 インタフェース (SMBUS)

本 LSI は、1 チャンネルの SMBus 2.0 インタフェース (SMBUS) を内蔵しています。SMBUS は、通信モジュールを I²C バスインタフェース (IIC) モジュールのチャンネル 0 と兼用しています。

SMBUS には、PEC (Packet Error Checking) 演算を行うハードウェアモジュールを内蔵しています。

本章では PEC 演算モジュールについて説明します。通信機能の詳細については「第 17 章 I²C バスインタフェース (IIC)」を参照してください。

18.1 特長

- SMBus 2.0 インタフェースに準拠。PEC 付き送受信フォーマットに対応
- 通信モジュールを I²C バスモジュールのチャンネル 0 と兼用
- PEC 演算モジュールを内蔵し、ハードウェアによる CRC-8 の高速演算が可能
CRC-8 (8bit Cyclic Redundancy Check) : $C(x) = x^8 + x^2 + x + 1$

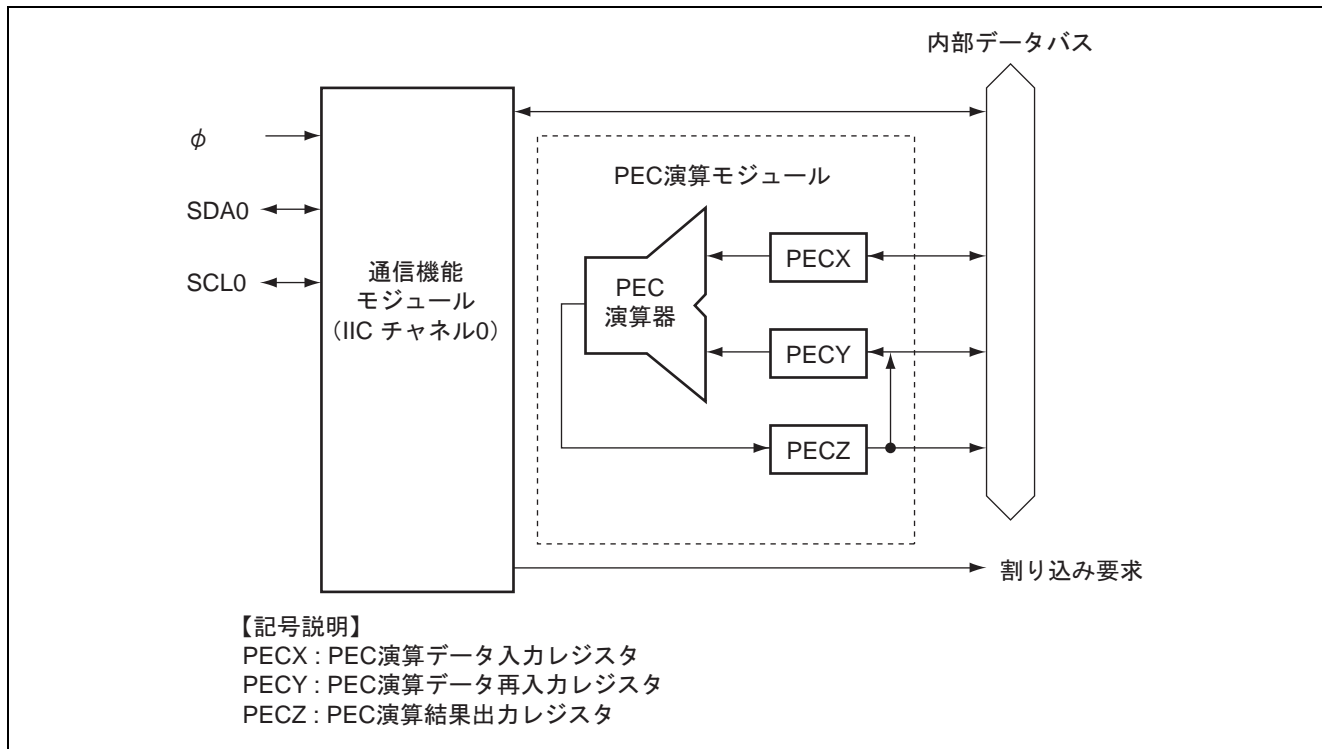


図 18.1 SMBus バスインタフェースのブロック図

18.2 入出力端子

SMBUS で使用する端子を表 18.1 に示します。

表 18.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCL0	入出力	SMBUS シリアルクロック入出力端子
	SDA0	入出力	SMBUS シリアルデータの入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

18.3 レジスタの説明

SMBUS の PEC 演算モジュールには以下のレジスタがあります。SMBUS のレジスタ構成を以下に示します。なお、通信機能モジュールのレジスタの詳細については「第 17 章 I²C バスインタフェース (IIC)」のチャンネル 0 を参照してください。

表 18.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
PEC 演算データ入力レジスタ	PECX	R/W	H'00	H'FD60	8
PEC 演算データ再入力レジスタ	PECY	R/W	H'00	H'FD61	8
PEC 演算結果出力レジスタ	PECZ	R	H'00	H'FD63	8

18.3.1 PEC 演算データ入力レジスタ (PECX)

PECX は PEC 演算対象のデータを格納します。

ビット	ビット名	初期値	R/W	説明
7~0	PECX7~ PECX0	すべて 0	R/W	PEC 演算入力データ 7~0 PEC 演算対象のデータを格納します。

18.3.2 PEC 演算データ再入力レジスタ (PECY)

PECY は PEC 演算を複数バイト数のデータに対して行うために、直前の PECZ の内容を再入力するためのレジスタです。

PECX にデータをライトすると、同時に PECZ の内容が PECY に転送されます。

ビット	ビット名	初期値	R/W	説明
7~0	PECY7~ PECY0	すべて 0	R/W	PEC 演算再入力データ 7~0 PECZ から転送された PEC 演算対象のデータを格納します。

18.3.3 PEC 演算結果出力レジスタ (PECZ)

PECZ は PECX と PECY の内容に対し CRC-8 の演算を行った結果が格納されます。

ビット	ビット名	初期値	R/W	説明
7~0	PECZ7~ PECZ0	すべて 0	R	PEC 演算出力データ 7~0 PEC 演算結果を格納します。

18.4 動作説明

SMBUS は I²C バスインタフェースと共通のフォーマットを使用しています。転送データの最終バイトの後に PEC の送受信を行い、受信データの誤り検出を行うことができます。

18.4.1 SMBus 2.0 データフォーマット

SMBus 2.0 フォーマットの模式図を図 18.2 に示します。

図 18.2 の記号説明を表 18.3 に示します。

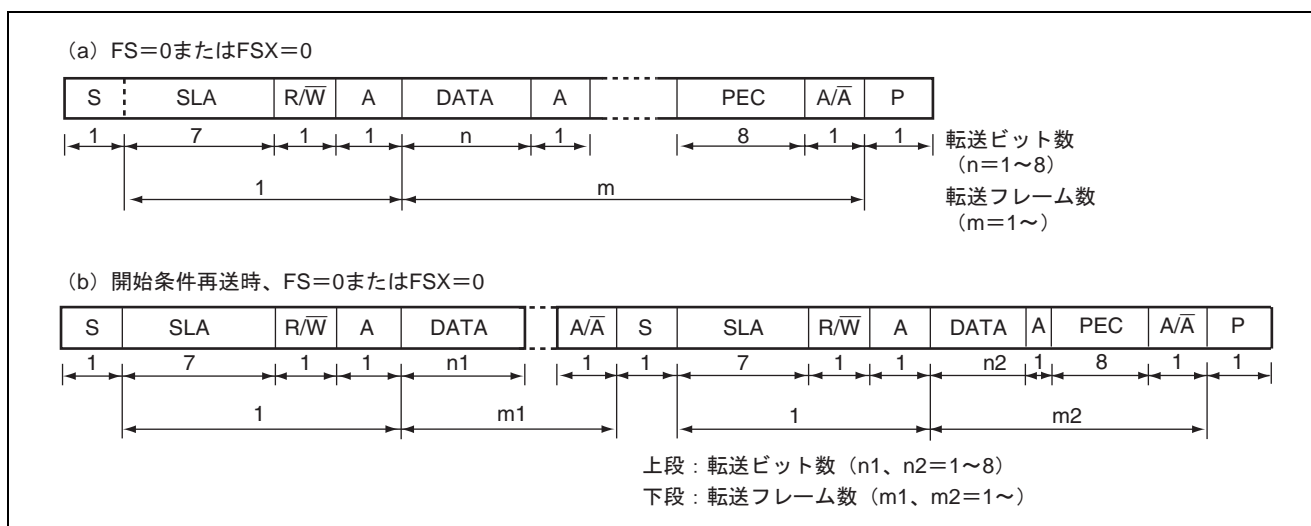


図 18.2 SMBus 2.0 データフォーマット

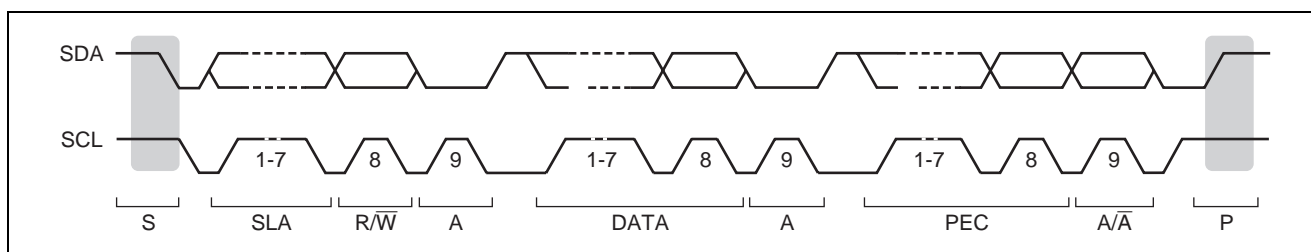


図 18.3 SMBus 2.0 バスタイミング

表 18.3 SMBus 2.0 データフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL=High レベルの状態です。SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信/受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA を Low レベルにします (マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクノリッジを返します)。
DATA	送受信データを示します。
PEC	PEC データを示します。
P	停止条件を示します。マスタデバイスが SCL=High レベルの状態です。SDA を Low レベルから High レベルに変化させます。

18.4.2 PEC 演算モジュールの使用方法

PEC 演算は PECX と PECY へのライト動作によって行われます。演算結果は PECZ よりリードします。SMBUS のデータ送信/受信で PEC 演算を行う場合は以下の手順で行ってください。

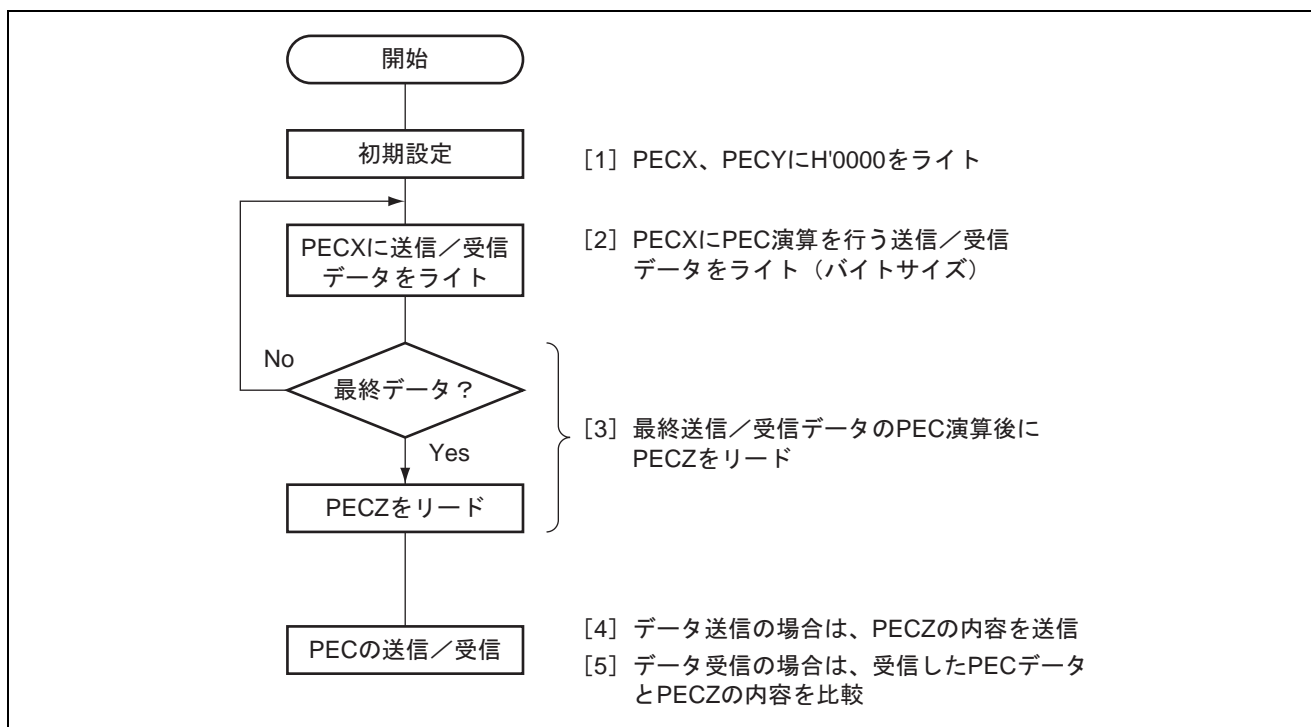


図 18.4 PEC 演算のフローチャート例

1. 送受信動作を開始する前にPEC演算モジュールの初期化を行います。PECX、PECYに対してワードサイズでH'0000をライトしてください。またはバイトサイズのH'00をPECX、PECYの順番でライトしてください。
2. アドレスおよびデータの送受信ごとに送信データまたは受信データをバイトサイズでPECXレジスタにライトしてください。ただし、PEC演算の途中で、PECYに対しライト動作を行わないでください。
3. 最終送信／受信データをPECXにライトした後にPECZをリードし、PEC演算結果を読み出します。
4. データ送信の場合はPEC演算結果の送信を行います。
5. データ受信の場合は、受信したPECデータとPEC演算結果の比較を行います。データが一致することでデータを正常に受信できたことを確認することができます。

18.5 使用上の注意事項

18.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SMBUS の動作停止／許可を設定することが可能です。初期値では SMBUS の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 29 章 低消費電力状態」を参照してください。

19. キーボードバッファコントロールユニット (PS2)

本 LSI は、3 チャンネルのキーボードバッファコントロールユニット (PS2) を内蔵しています。PS2 は、PS/2 インタフェースに準拠した機能を備えています。

PS2 を用いたデータ転送は、データライン (KD) 一本、クロックライン (KCLK) 一本で構成され、コネクタやプリント基盤の面積などを経済的に使用できます。図 19.1 に PS2 のブロック図を示します。

19.1 特長

- PS/2インタフェースに準拠
- バスを直接駆動 (KCLK、KD端子)
- 割り込み要因：データ受信完了時、データ送信完了時、クロックの立ち下がりエッジ検出時、1stクロックの立ち下がりエッジ検出時
- エラー検出：パリティエラー、ストップビットモニタ、受信完了通知モニタ

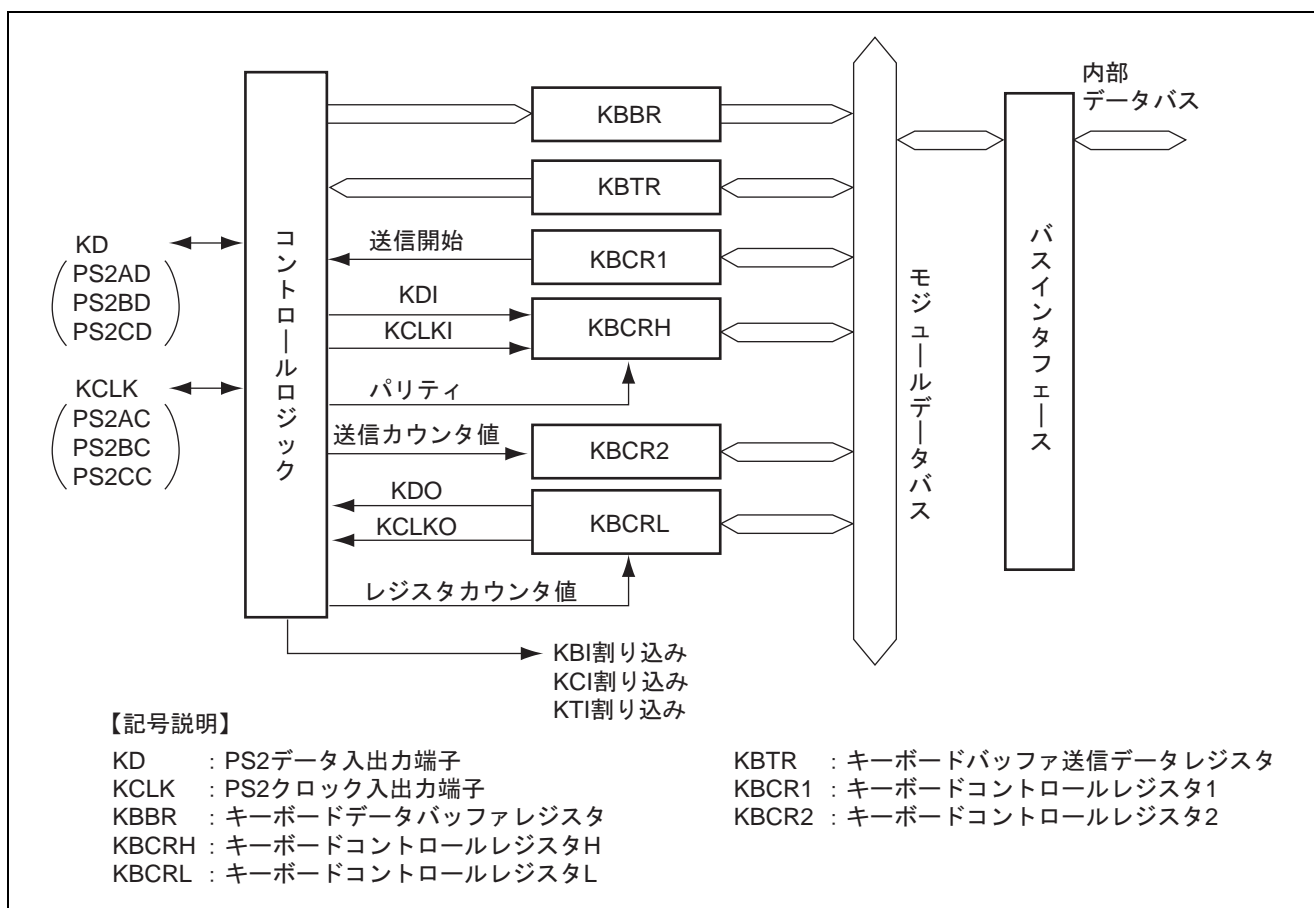


図 19.1 PS2 のブロック図

PS2 の接続方法を図 19.2 に示します。

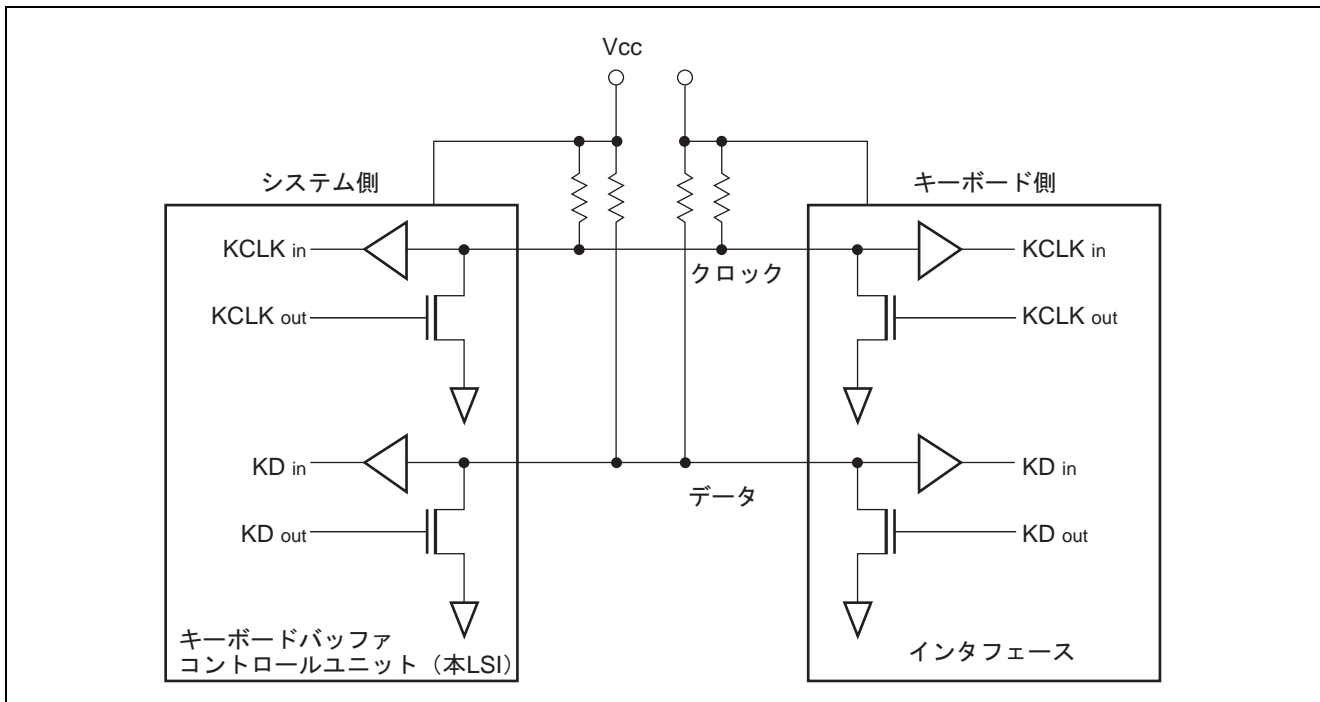


図 19.2 PS2 接続方法

19.2 入出力端子

キーボードバッファコントロールユニットで使用する端子を表 19.1 に示します。

表 19.1 端子構成

チャンネル	名 称	略称*	入出力	機 能
0	PS2 クロック入出力端子 (KCLK0)	PS2AC	入出力	PS2 クロック入出力
	PS2 データ入出力端子 (KD0)	PS2AD	入出力	PS2 データ入出力
1	PS2 クロック入出力端子 (KCLK1)	PS2BC	入出力	PS2 クロック入出力
	PS2 データ入出力端子 (KD1)	PS2BD	入出力	PS2 データ入出力
2	PS2 クロック入出力端子 (KCLK2)	PS2CC	入出力	PS2 クロック入出力
	PS2 データ入出力端子 (KD2)	PS2CD	入出力	PS2 データ入出力

【注】 * 外部入出力端子名です。本文中ではチャンネルを省略し、クロック入出力端子を KCLK、データ入出力端子を KD と記載します。

19.3 レジスタの説明

PS2 にはチャンネルごとに以下のレジスタがあります。

表 19.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	データバス幅
チャンネル 0	キーボードコントロールレジスタ H_0	KBCRH_0	R/W	H'70	H'FED8	8
	キーボードコントロールレジスタ L_0	KBCRL_0	R/W	H'70	H'FED9	8
	キーボードデータバッファレジスタ_0	KBBR_0	R	H'00	H'FEDA	8
	キーボードコントロールレジスタ 2_0	KBCR2_0	R/W	H'00	H'FEDB	8
	キーボードコントロールレジスタ 1_0	KBCR1_0	R/W	H'00	H'FEC0	8
	キーボードバッファ送信データレジスタ_0	KBTR_0	R/W	H'FF	H'FEC1	8
チャンネル 1	キーボードコントロールレジスタ H_1	KBCRH_1	R/W	H'70	H'FEDC	8
	キーボードコントロールレジスタ L_1	KBCRL_1	R/W	H'70	H'FEDD	8
	キーボードデータバッファレジスタ_1	KBBR_1	R	H'00	H'FEDE	8
	キーボードコントロールレジスタ 2_1	KBCR2_1	R/W	H'00	H'FEDF	8
	キーボードコントロールレジスタ 1_1	KBCR1_1	R/W	H'00	H'FEC2	8
	キーボードバッファ送信データレジスタ_1	KBTR_1	R/W	H'FF	H'FEC3	8
チャンネル 2	キーボードコントロールレジスタ H_2	KBCRH_2	R/W	H'70	H'FEE0	8
	キーボードコントロールレジスタ L_2	KBCRL_2	R/W	H'70	H'FEE1	8
	キーボードデータバッファレジスタ_2	KBBR_2	R	H'00	H'FEE2	8
	キーボードコントロールレジスタ 2_2	KBCR2_2	R/W	H'00	H'FEE3	8
	キーボードコントロールレジスタ 1_2	KBCR1_2	R/W	H'00	H'FEC4	8
	キーボードバッファ送信データレジスタ_2	KBTR_2	R/W	H'FF	H'FEC5	8

19.3.1 キーボードコントロールレジスタ 1 (KBCR1)

KBCR1 は送信制御、割り込みの制御、パリティの選択および送信エラーの検出を行います。

ビット	ビット名	初期値	R/W	説明
7	KBTS	0	R/W	送信開始 データの送信を開始、または禁止を選択します。 0: データの送信を禁止 [クリア条件] • 0 をライト • KBTE が 1 にセットされたとき • KBIOE が 0 にクリアされたとき 1: データの送信を開始 [セット条件] • KBTS=0 をリードした後、1 をライトしたとき
6	PS	0	R/W	送信パリティ選択 奇数パリティ/偶数パリティを選択します。 0: 奇数パリティを選択 1: 偶数パリティを選択
5	KCIE	0	R/W	1st KCLK 立ち下がり割り込みイネーブル 1st KCLK 立ち下がり割り込みの禁止/許可を選択します。 0: 1st KCLK 立ち下がり割り込みを禁止 1: 1st KCLK 立ち下がり割り込みを許可
4	KTIE	0	R/W	送信完了割り込みイネーブル 送信完了割り込みの禁止/許可を選択します。 0: 送信完了割り込みを禁止 1: 送信完了割り込みを許可
3	KNCE	0	R/W	KCLK 端子入力ノイズキャンセル回路の無効/有効を選択します。 0: KCLK 端子入力ノイズキャンセル回路無効 1: KCLK 端子入力ノイズキャンセル回路有効 ノイズキャンセル回路の詳細は「19.4.8 ノイズキャンセル回路」を参照してください。
2	KCIF	0	R/(W)*	1st KCLK 立ち下がり割り込みフラグ 1st KCLK 立ち下がりを検出したことを示します。また、KCIE=1 で KCIF=1 になると CPU に割り込みを要求します。 0: [クリア条件] KCIF=1 をリードした後、0 をライト 1: [セット条件] 1st KCLK 立ち下がりを検出したとき ただし、ソフトウェアスタンバイモード、ウォッチモードからの解除時はセットされません (内部フラグはセットされます)。

ビット	ビット名	初期値	R/W	説明
1	KBTE	0	R/(W)*	送信完了フラグ データの送信が完了したことを示します。また、KTIE=1でKBTE=1になるとCPUに割り込みを要求します。 0: [クリア条件] KBTE=1をリードした後、0をライト 1: [セット条件] KBTRのデータすべて送信完了したとき (11th KCLKの立ち上がりでセット)
0	KTER	0	R	送信エラー 受信完了通知を格納します。KBTE=1のときのみ有効です。 0: 受信完了通知として0を受信したとき 1: 受信完了通知として1を受信したとき

【注】 * フラグをクリアするための0ライトのみ可能です。

19.3.2 キーボードバッファコントロールレジスタ 2 (KBCR2)

KBCR2は4ビットのカウンタで、KCLKの立ち下がりに同期してカウントアップします。送信データは、送信カウンタに同期し、KBTRのデータをLSBより順次KDに出力します。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて1	R	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
3	TXCR3	0	R	トランスミットカウンタ
2	TXCR2	0	R	送信データのビットを示します。KCLKの立ち下がりでカウントアップします。
1	TXCR1	0	R	トランスミットカウンタはリセット時、KBTSが0にクリアされたとき、KBIOE
0	TXCR0	0	R	が0にクリアされたとき、KBTEが1にセットされたときに初期化されます。 0000: クリア 0001: KBT0 0010: KBT1 0011: KBT2 0100: KBT3 0101: KBT4 0110: KBT5 0111: KBT6 1000: KBT7 1001: パリティビット 1010: ストップビット 1011: 送信完了通知

19.3.3 キーボードコントロールレジスタ H (KBCRH)

KBCRH は、キーボードバッファコントロールユニットの動作状態を示します。

ビット	ビット名	初期値	R/W	説明
7	KBIOE	0	R/W	キーボードインアウトイネーブル キーボードバッファコントロールユニットを使用するか、使用しないかを選択します。 0 : 本モジュールは非動作 (KCLK、KD 信号端子はポート機能状態) 1 : 本モジュールは送受信可能 (KCLK、KD 信号端子はバス駆動状態)
6	KCLKI	1	R	キーボードクロックイン KCLK 入出力端子をモニタするビットです。ライトは無効です。 0 : KCLK 入出力端子は Low レベル 1 : KCLK 入出力端子は High レベル
5	KDI	1	R	キーボードデータイン KDI 入出力端子をモニタするビットです。ライトは無効です。 0 : KD 入出力端子は Low レベル 1 : KD 入出力端子は High レベル
4	KBFSEL	1	R/W	キーボードバッファレジスタフルセレクト KBF ビットをキーボードバッファレジスタフルフラグとして使用するか、KCLK の立ち下がりによる割り込みフラグとして使用するかを選択します。KCLK の立ち下がりによる割り込みフラグとして使用する場合には、KBCRL の KBE ビットを 0 にして受信禁止状態にしてください。 0 : KBF ビットを KCLK の立ち下がりによる割り込みフラグとして使用する 1 : KBF ビットをキーボードバッファフルフラグとして使用する
3	KBIE	0	R/W	キーボードインタラプトイネーブル キーボードバッファコントロールユニットから CPU に対する、割り込みの許可または禁止を選択します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
2	KBF	0	R/(W)*	<p>キーボードバッファレジスタフル データの受信が完了し、受信したデータがKBBRに入っていることを示します。 また、KBIE=1でKBF=1になるとCPUに割り込みを要求します。</p> <p>0: [クリア条件] KBF=1の状態をリードした後、0をライトしたとき</p> <p>1: [セット条件] ・KBFSEL=1の状態が正常に受信され、KBBRへデータが転送されたとき (キーボードバッファレジスタフルフラグ) ・KBFSEL=0の状態がKCLKの立ち下がりエッジを検出したとき (KCLK割り込みフラグ)</p>
1	PER	0	R/(W)*	<p>パリティエラー 奇数パリティのエラーが発生したことを示します。</p> <p>0: [クリア条件] PER=1の状態をリードした後、0をライトしたとき</p> <p>1: [セット条件] 奇数パリティのエラーが発生したとき</p>
0	KBS	0	R	<p>キーボードストップ 受信データのストップビットを示します。KBF=1のときのみ有効です。</p> <p>0: ストップビット0を受信 1: ストップビット1を受信</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

19.3.4 キーボードコントロールレジスタ L (KBCRL)

KBCRL は、受信カウンタのカウンタ許可、キーボードバッファコントロールユニット端子出力の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	KBE	0	R/W	キーボードイネーブル KBBR への受信データのロードの許可、または禁止を選択します。 0 : KBBR への受信データのロードを禁止 1 : KBBR への受信データのロードを許可
6	KCLKO	1	R/W	キーボードクロックアウト PS2 クロック入出力端子の出力を制御します。 0 : PS2 クロック入出力端子は Low レベル 1 : PS2 クロック入出力端子は High レベル
5	KDO	1	R/W	キーボードデータアウト PS2 データ入出力端子の出力を制御します。 0 : PS2 データ入出力端子は Low レベル 1 : PS2 データ入出力端子は High レベル 自動送信を使用しスタートビット (KDO=0) が自動クリア (KDO=1) された場合は、1 をリード後 0 ライトとなります。
4	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	RXCR3	0	R	レシーブカウンタ 受信したデータのビットを示します。KCLK の立ち下がりでカウントアップします。ライトは無効です。 レシーブカウンタはリセット時および KBE の 0 ライト時に初期化されます。 また、ストップビット受信後、B'0000 に戻ります。 0000 : — 0001 : スタートビット 0010 : KB0 0011 : KB1 0100 : KB2 0101 : KB3 0110 : KB4 0111 : KB5 1000 : KB6 1001 : KB7 1010 : パリティビット 1011 : — 11xx : —
2	RXCR2	0	R	
1	RXCR1	0	R	
0	RXCR0	0	R	

19.3.5 キーボードデータバッファレジスタ (KBBR)

KBBR は、受信データを格納します。KBBR の値は、KBF=1 のときのみ有効です。

ビット	ビット名	初期値	R/W	説明
7	KB7	0	R	キーボードデータ 7~0 8 ビットの読み出し専用のデータです。 リセット時、または KBIOE ビットが 0 にクリアされたときに、H'00 に初期化されます。
6	KB6	0	R	
5	KB5	0	R	
4	KB4	0	R	
3	KB3	0	R	
2	KB2	0	R	
1	KB1	0	R	
0	KB0	0	R	

19.3.6 キーボードバッファ送信データレジスタ (KBTR)

KBTR は、送信データを格納します。

ビット	ビット名	初期値	R/W	説明
7	KBT7	1	R/W	キーボードバッファ送信データレジスタ 7~0 リセット時、H'FF に初期化されます。
6	KBT6	1	R/W	
5	KBT5	1	R/W	
4	KBT4	1	R/W	
3	KBT3	1	R/W	
2	KBT2	1	R/W	
1	KBT1	1	R/W	
0	KBT0	1	R/W	

19.4 動作説明

19.4.1 受信動作

受信動作では、KCLK (クロック)、KD (データ) とともに、キーボード側が出力し、本 LSI (システム側) は、入力となります。KD は、スタートビット、データ 8 ビット (LSB から)、奇数パリティ、ストップビットの順で受信します。KD の値は、KCLK が Low レベルのとき有効です。受信処理フローチャートの例を図 19.3、受信タイミングを図 19.4 に示します。

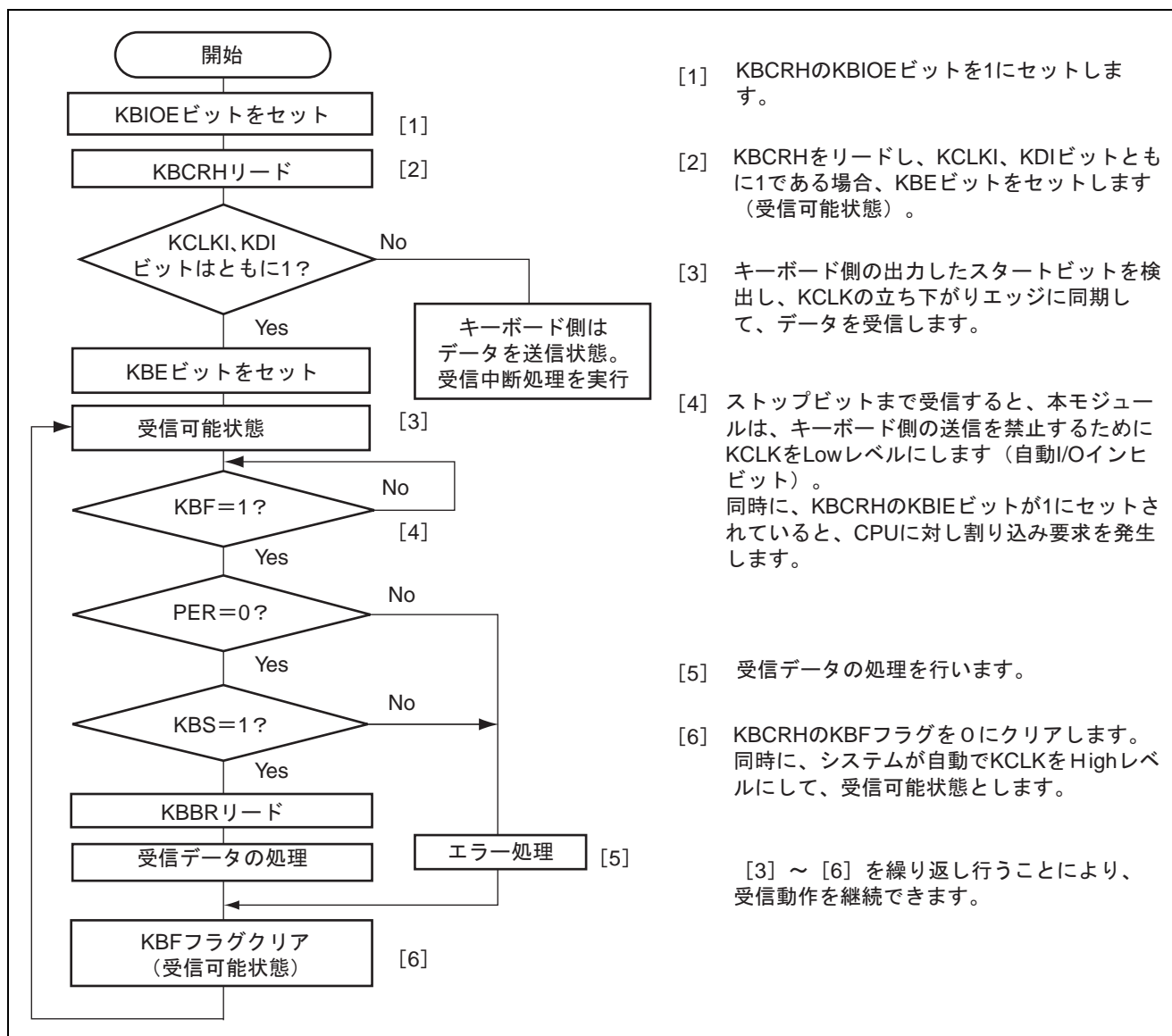


図 19.3 受信処理フローチャートの例

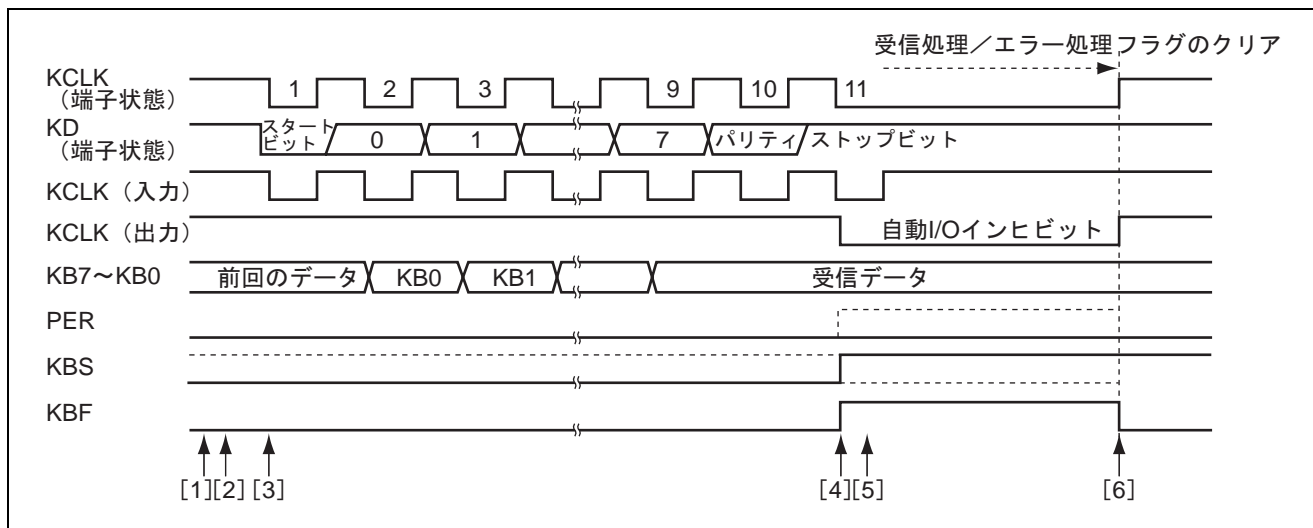


図 19.4 受信タイミング

19.4.2 送信動作

送信動作では、KCLK (クロック) は、キーボード側が出力し、KD (データ) は、本デバイス (システム側) が出力します。KD は、スタートビット、データ 8 ビット (LSB から)、パリティ、ストップビットの順で、出力します。KD の値は、KCLK が High レベルのとき、有効です。送信処理フローチャートの例を図 19.5、送信タイミングを図 19.6 に示します。

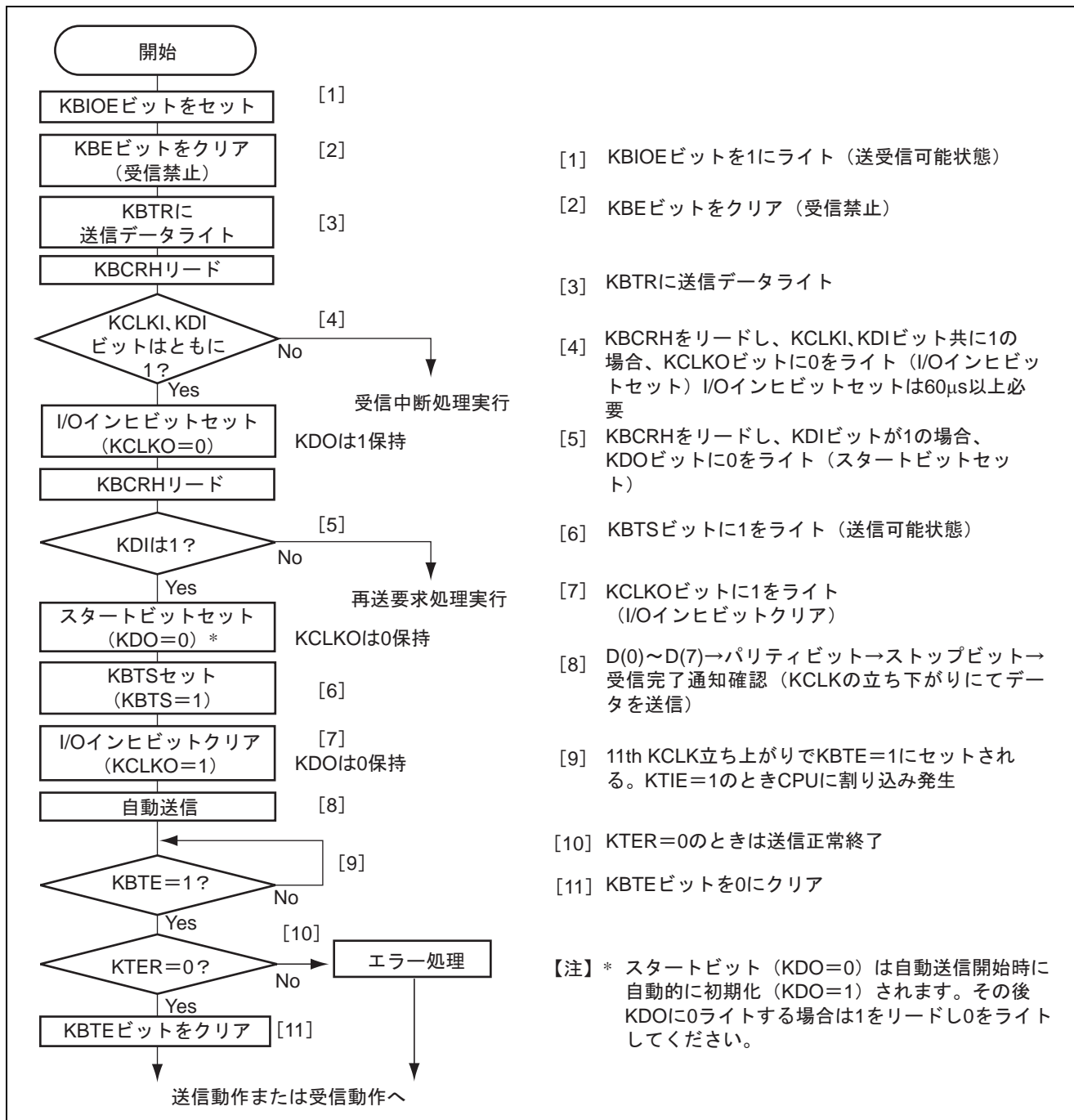


図 19.5 送信処理フローチャートの例

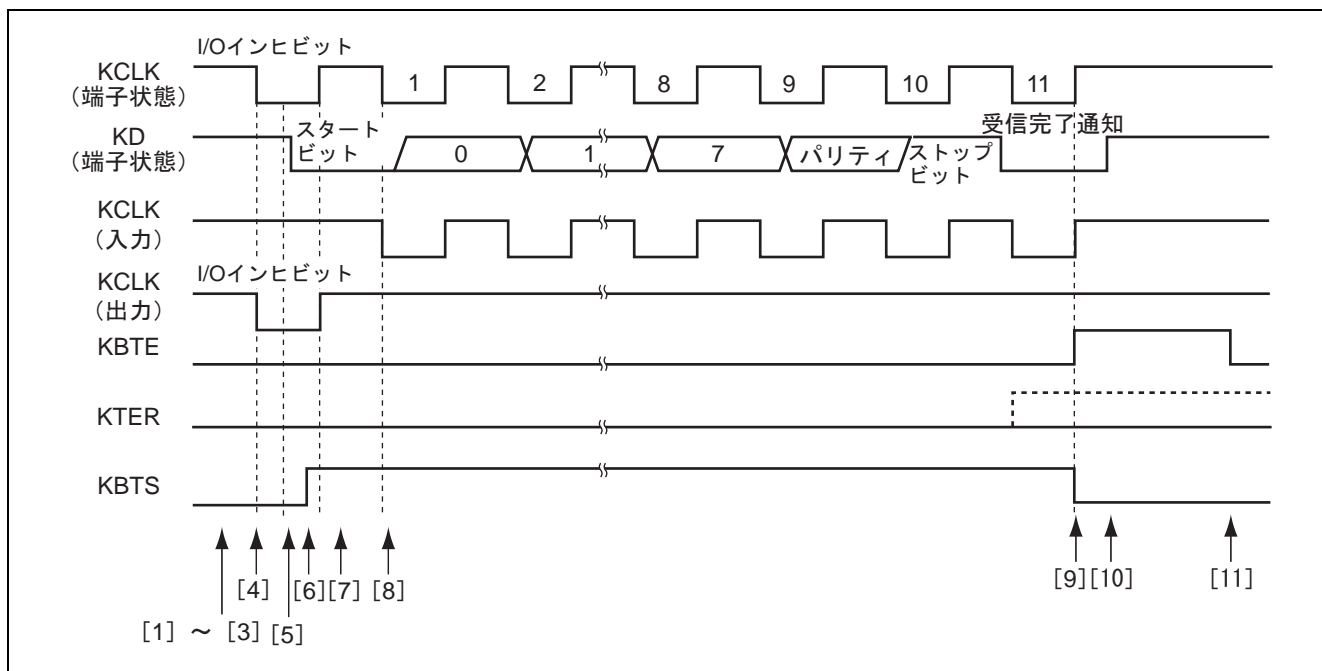


図 19.6 送信タイミング

19.4.3 受信中断動作

本 LSI (システム側) は、プロトコル異常発生時などに、本 LSI に接続されている LSI (キーボード側) からの送信を強制的に中断させることができます。この場合、システムはクロックを Low レベルに保持します。受信動作中は、キーボード側も同期用のクロックを出力していますが、キーボードからの出力クロックが High レベルのタイミングで、クロックを監視しています。このタイミングでクロックが Low レベルの場合、キーボードはシステムからの中断要求であると判断し、キーボード側からのデータ送信を中断します。このように、システムが一定期間クロックを Low レベルに保持することによって、受信動作を中断させることができます。受信中断処理フローチャートの例を図 19.7、受信中断タイミングを図 19.8 に示します。

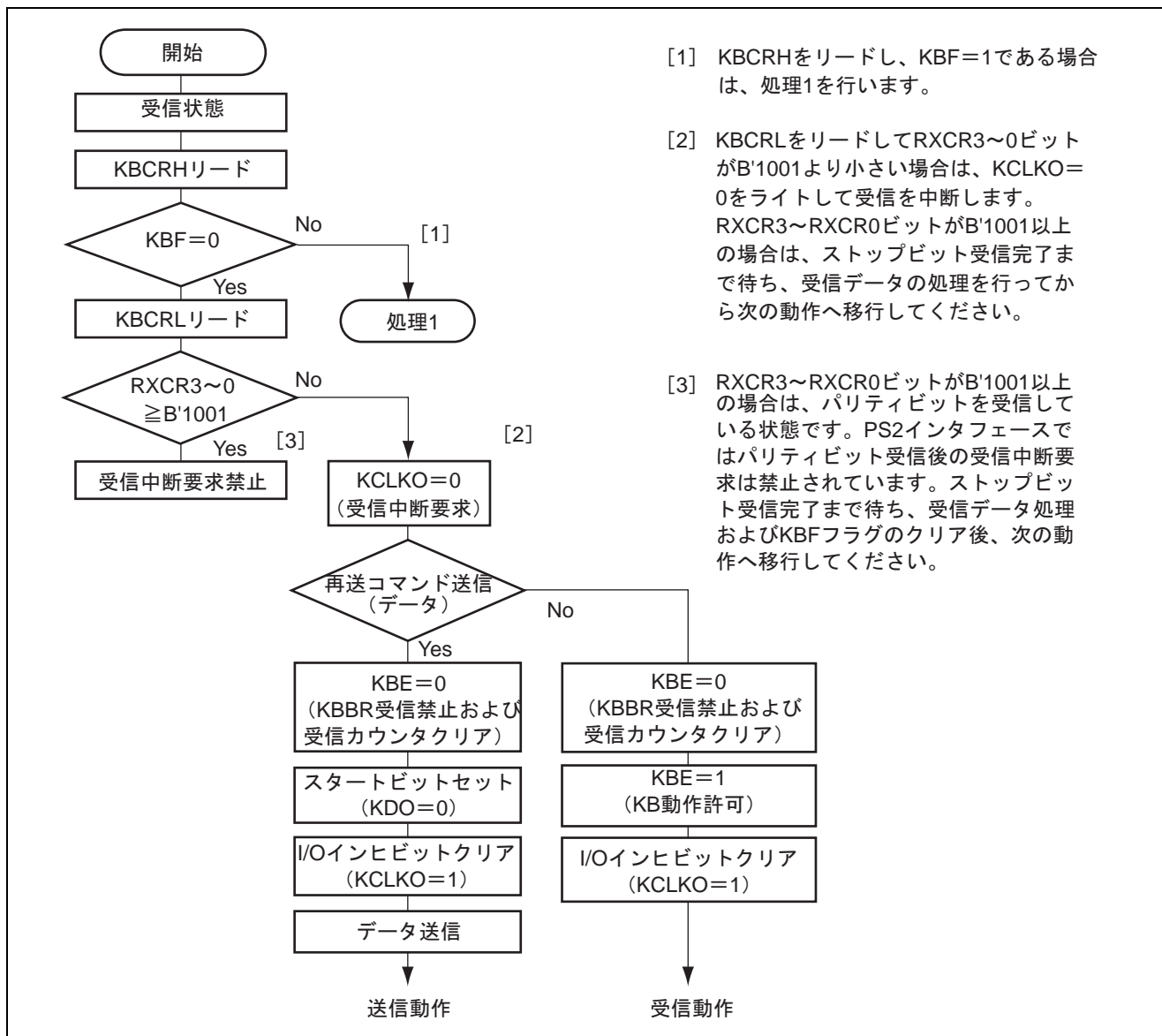


図 19.7 受信中断処理フローチャートの例 (1)

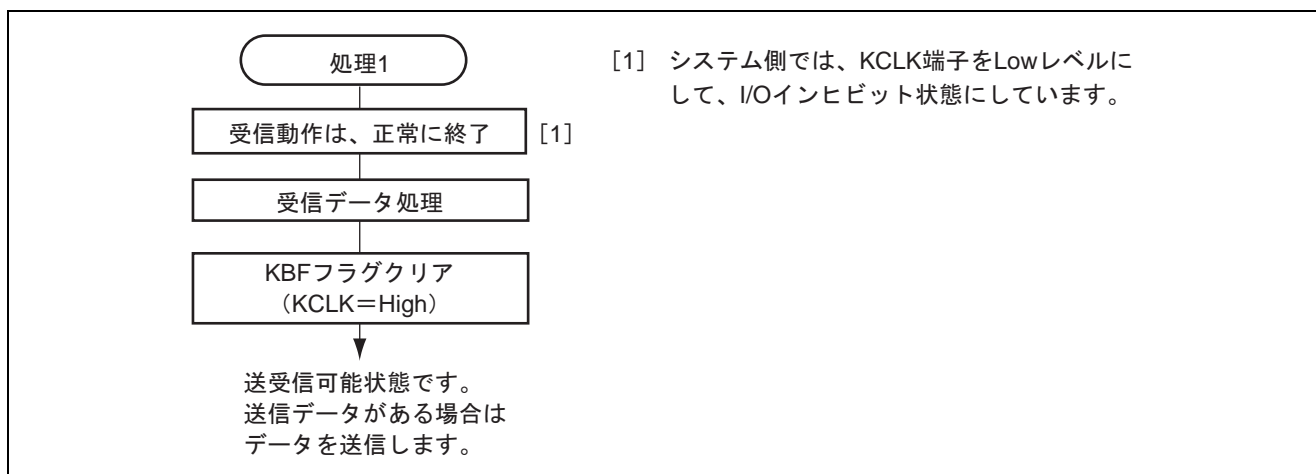


図 19.7 受信中断処理フローチャートの例 (2)

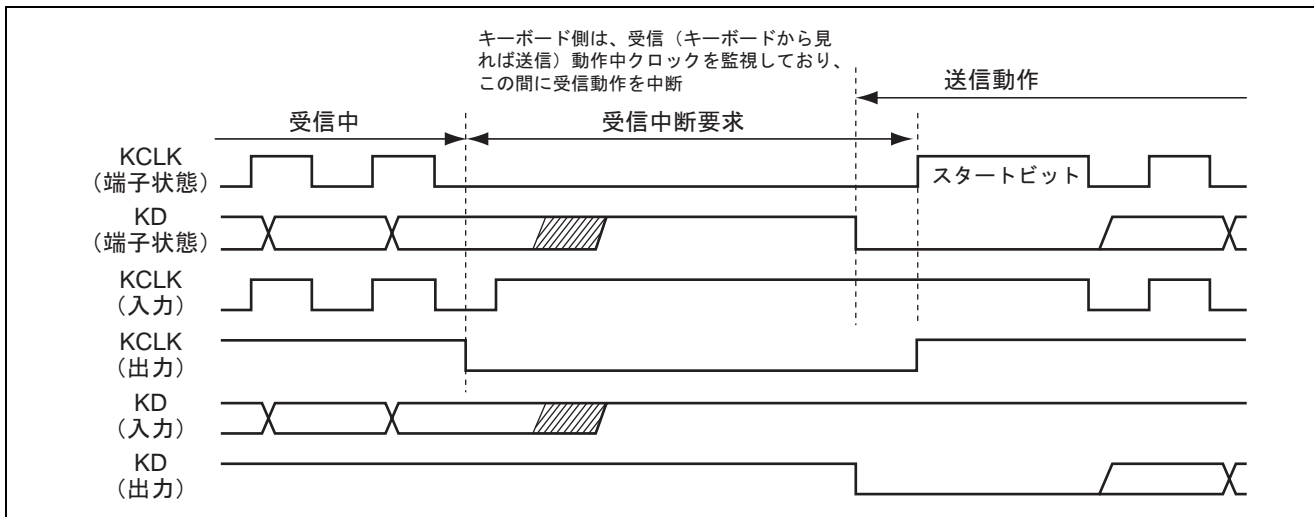


図 19.8 受信中断および送信開始（送信／受信切り替え）タイミング

19.4.4 KBF セットタイミングと KCLK 制御

KBF セットタイミングと KCLK 端子状態を図 19.9 に示します。

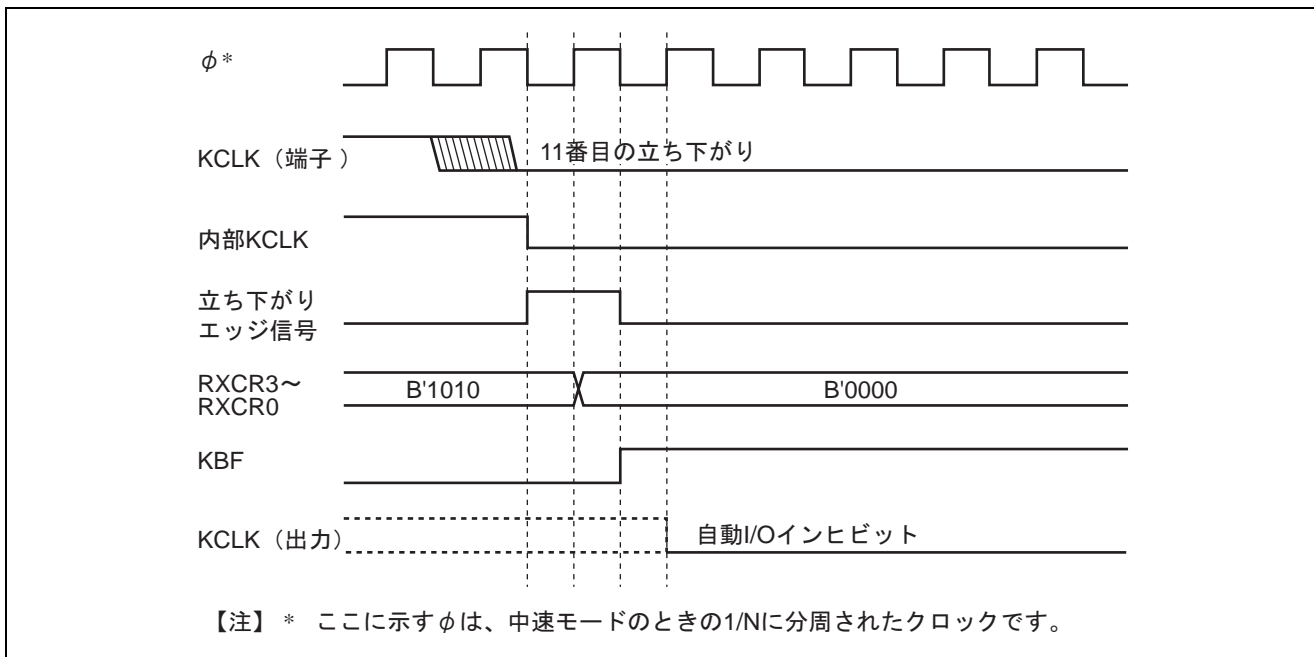


図 19.9 KBF セットと KCLK 自動 I/O インヒビット生成のタイミング

19.4.5 データ受信中の動作

KBCRH の KBS ビットを 1 にセットした場合、他のキーボードバッファコントロールユニット受信時*は自動的に KCLK をプルダウンします。図 19.10 に受信タイミングと KCLK を示します。

【注】 * 1st KCLK 立ち下がりから受信完了 (KBF=1) までの期間。

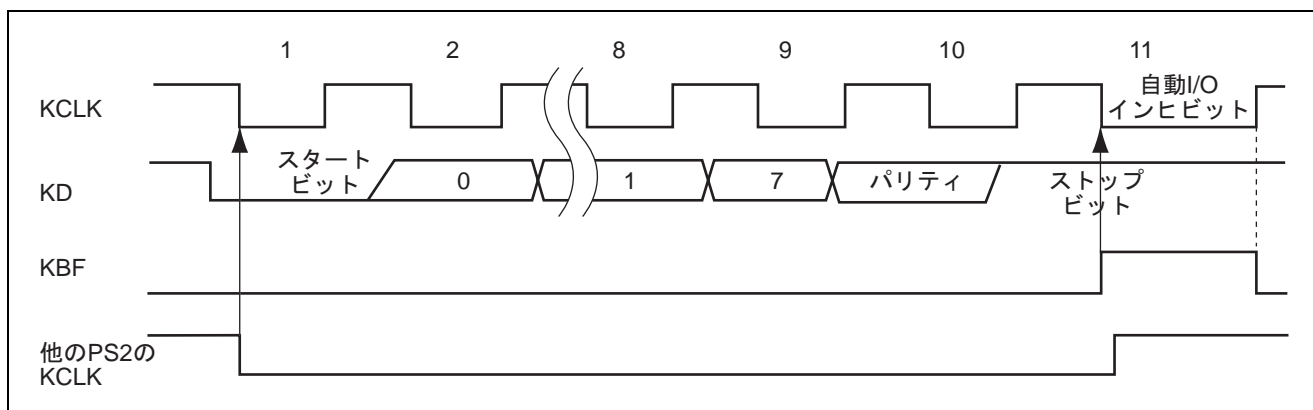


図 19.10 受信タイミングと KCLK

19.4.6 KCLK 立ち下がり割り込みの動作

本 LSI は KBCRH の KBFSEL ビットを 0 にクリアすることにより、KBCRH の KBF ビットを KCLK 入力の立ち下がりによる割り込みフラグとして使用できます。

図 19.11 に設定方法、および動作例を示します。

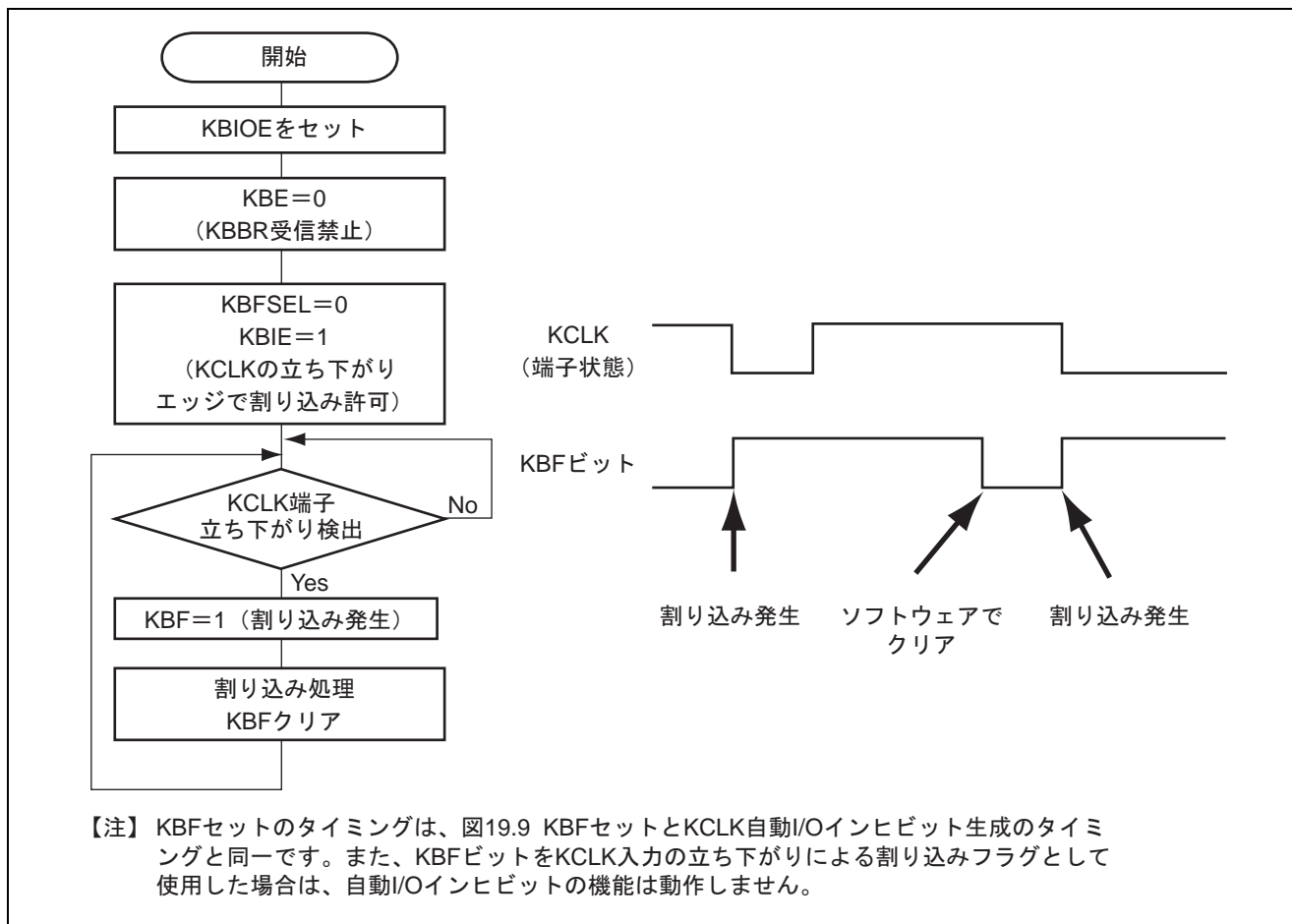


図 19.11 KCLK 入力の立ち下がりによる割り込み動作例

19.4.7 1st KCLK 立ち下がり割り込みの動作

受信および送信時に 1st KCLK 立ち下がりを検出し、割り込みの発生が可能です。また、ソフトウェアスタンバイモード、ウォッチモードの解除が可能です。

• 受信動作時

KBIOE=1 かつ KBE=1 のときに 1st KCLK 立ち下がりを検出した場合、KCIF がセットされます。
このとき KCIE=1 の場合 CPU に割り込みを要求します。

KCIF は KBCRL の RXCR3~RXCR0 が B'0000→B'0001 にカウントアップするタイミングでセットされます。

• 送信動作時

KBIOE=1 かつ KBTS=1 のときに 1st KCLK 立ち下がりを検出した場合、KCIF がセットされます。
このとき KCIE=1 の場合 CPU に割り込みを要求します。

KCIF は KBCR2 の TXCR3~TXCR0 が B'0000→B'0001 にカウントアップするタイミングでセットされます。

• 割り込みの判別

1st KCLK 立ち下がり割り込みが受信か送信中のどちらで発生したかは、KBE ビット、KBTS ビット、KBTE ビットにて判別できます。

受信時 : KBE=1

送信時 : KBTS=1 または KBTE=1 (KBTS は送信完了後自動クリアされるため KBTE=1 を確認)

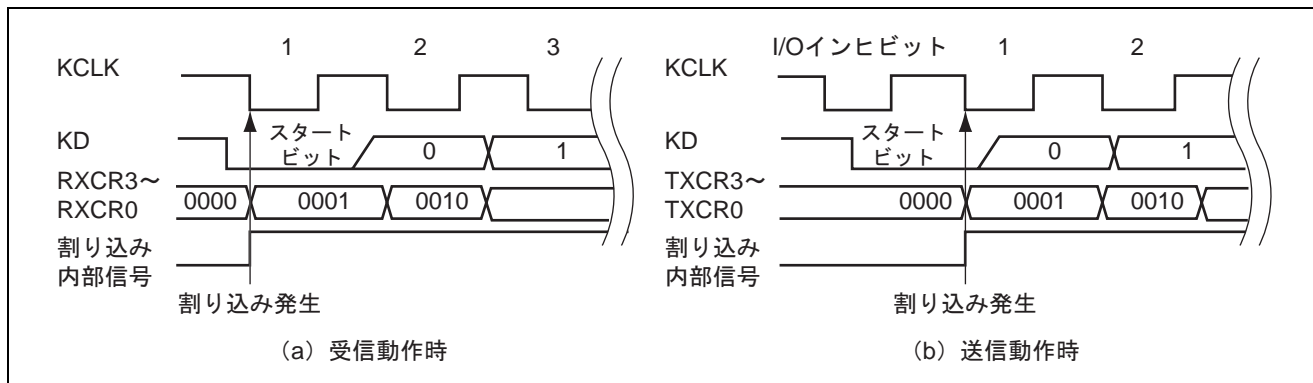


図 19.12 1st KCLK 割り込みタイミング

- ソフトウェアスタンバイモード、ウォッチモードの解除

1st KCLK 立ち下がり割り込みでソフトウェアスタンバイモード、ウォッチモードの解除が可能です。ただしこの場合、ソフトウェアスタンバイモード、ウォッチモード遷移後の最初の KCLK にて割り込みが発生しません (図 19.14 参照)。

解除動作についての注意事項を示します。

- KBIOE=1、KCIE=1でソフトウェアスタンバイモード、ウォッチモードに遷移した場合、1st KCLK立ち下がり割り込みでの解除が可能になります (KBE、KBTSは影響しません)。

- 1st KCLK立ち下がり割り込みでソフトウェアスタンバイモード、ウォッチモードを解除した場合、KCIF フラグはセットされません (内部フラグのみセットされます)。

1st KCLK 割り込み処理ルーチンでは、KCIF ビットを確認し KCIF=0 である場合ソフトウェアスタンバイモード、ウォッチモードの解除後の割り込みであることを確認できます。

- ソフトウェアスタンバイモード、ウォッチモード時に受信クロックを受け、解除した場合、受信は無効です。割り込み処理ルーチンで受信中断処理を行い、再送要求を行ってください。
- 送信中にソフトウェアスタンバイモード、ウォッチモードに遷移し1st KCLK立ち下がり割り込みで解除した場合、解除直後はソフトウェアスタンバイモード、ウォッチモード遷移前の状態が保持されています。割り込み処理ルーチンで初期化の処理が必要です。また、割り込み発生について図19.14の (b)、(c) のような注意が必要です。

- ソフトウェアスタンバイモード、ウォッチモード解除時の割り込み優先順位はICRの設定に従います。

- 1st KCLKの割り込みは、通常の実行時とソフトウェアスタンバイモード、ウォッチモード時の割り込み経路およびフラグのセットが異なります。1st KCLKの割り込み経路の概略を図19.13に示します。

信号 A : 通常実行時の割り込み信号経路

信号 B : ソフトウェアスタンバイモード、ウォッチモード時の割り込み信号経路

ソフトウェアスタンバイモード、ウォッチモード時は PS2 を介さず直接割り込みコントロールブロックへ KCLK を入力し、立ち下がりエッジを検出して割り込みを発生します。このため、KCIF のフラグはセットされません。また、この場合割り込みコントロールブロック内部にフラグを持っておりこれがセットされます。内部フラグは CPU に割り込みを要求後自動的にクリアされます。セットおよびクリアタイミングを図 19.15 に示します。

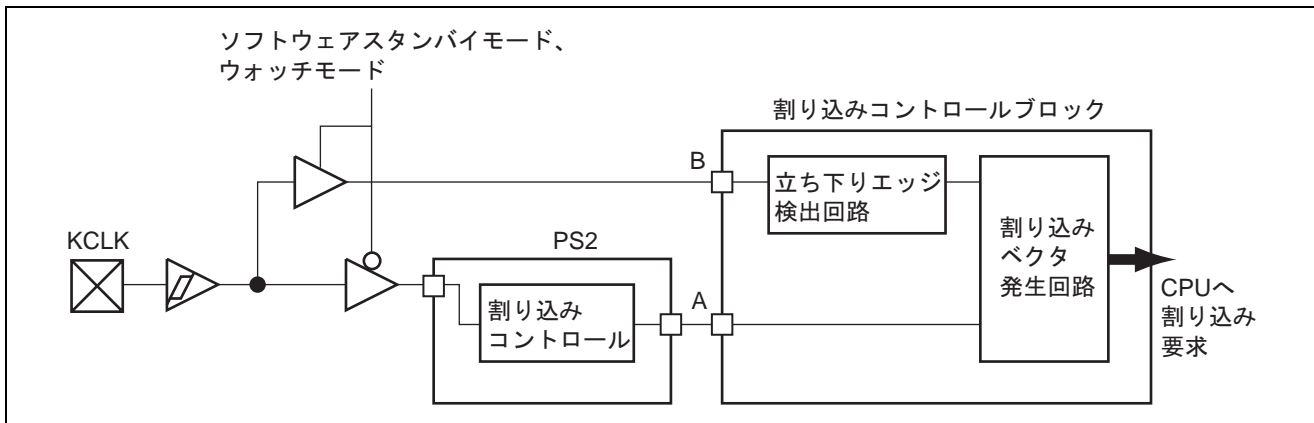


図 19.13 1st KCLK 割り込み経路図

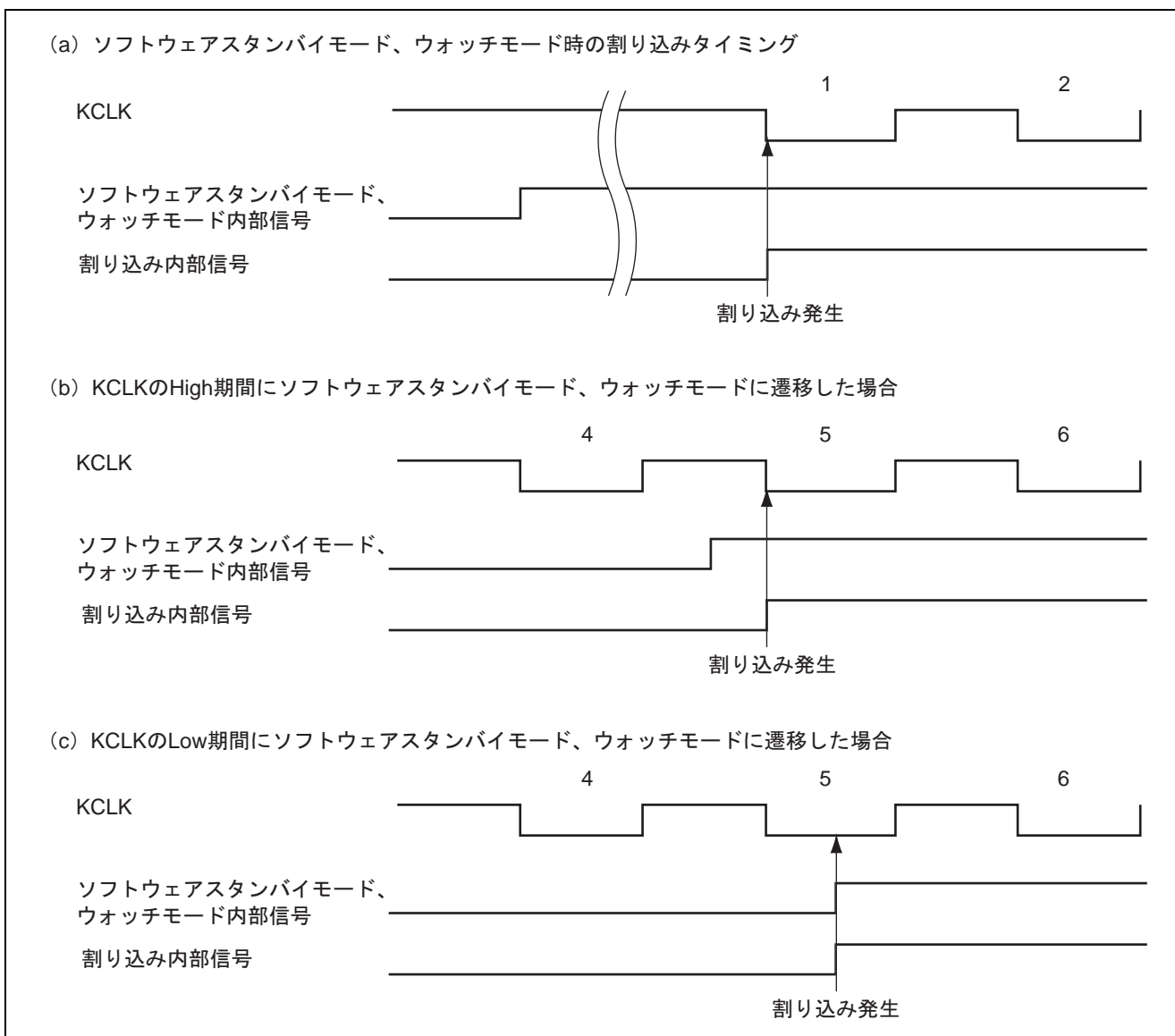


図 19.14 ソフトウェアスタンバイモード、ウォッチモード時の割り込みタイミング

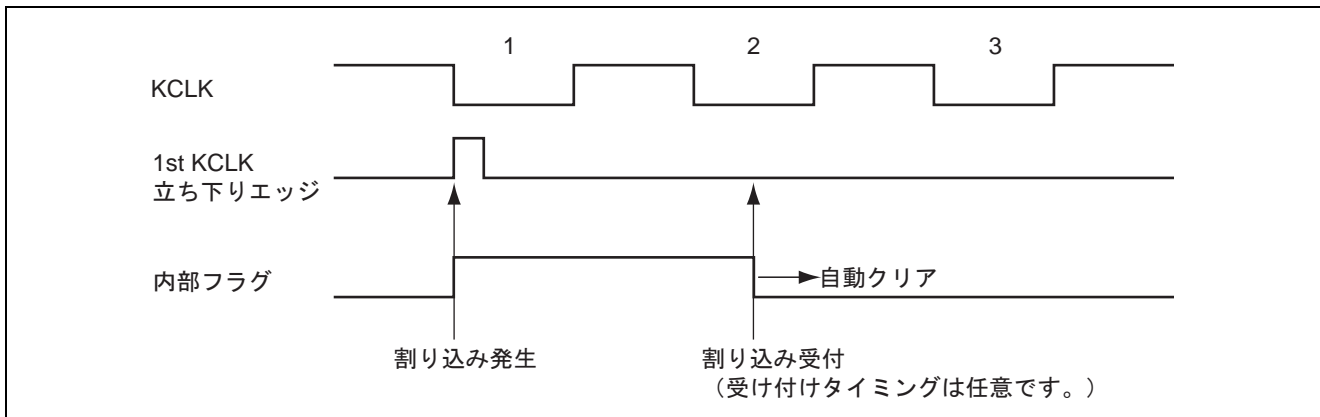


図 19.15 ソフトウェアスタンバイモード、ウォッチモード時の 1st KCLK 立ち下がり割り込み内部フラグ

19.4.8 ノイズキャンセル回路

KBCR1 の KNCE ビットを 1 に設定すると、KCLK 端子の状態は PS2 内のノイズキャンセル回路を経由して内部に取り込まれます。図 19.16 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。KCLK はシステムクロックでサンプリングされ、2 段のラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

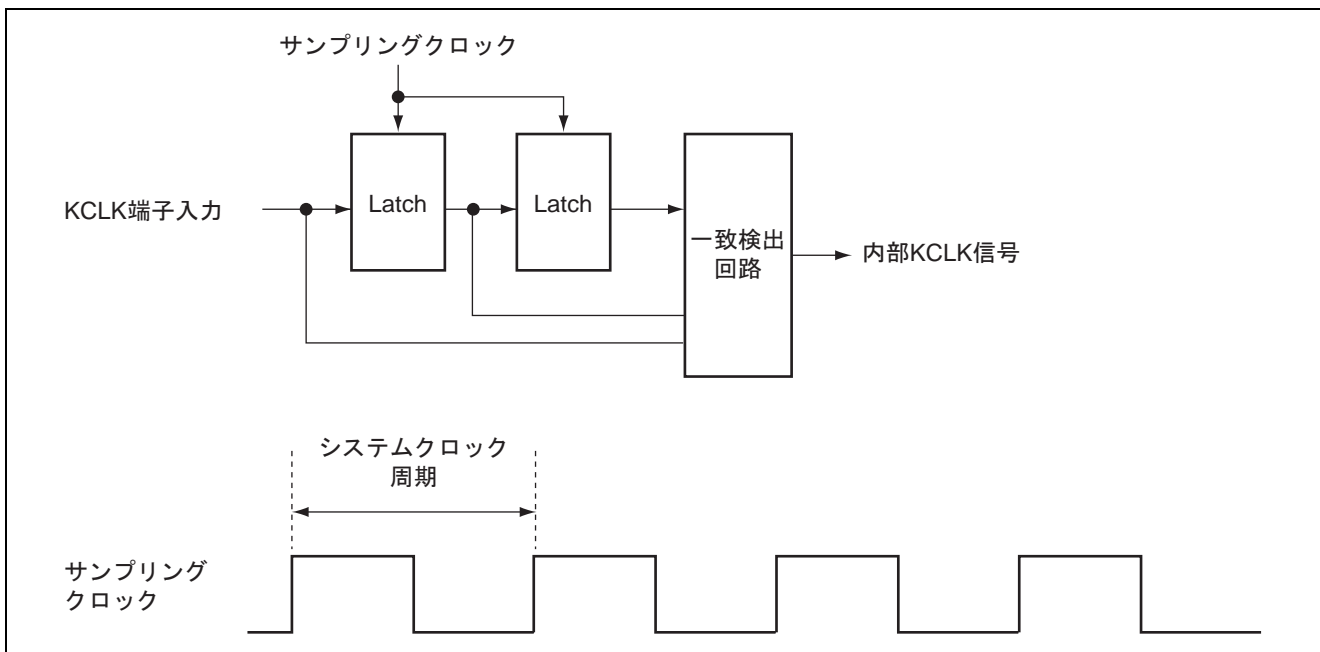


図 19.16 ノイズキャンセル回路のブロック図 (KNCE ビット=1 のとき)

19.5 使用上の注意事項

19.5.1 KBIOE セットと KCLK 立ち下がりエッジ検出

KBIOE が 0 のとき、内部 KCLK、内部 KD は 1 に固定されています。したがって、KBIOE ビットを 1 にセットするときに、KCLK 端子が Low の場合、エッジ検出回路が動作し、KCLK 立ち下がりエッジを検出します。

このとき、KBFSEL ビットが 0、KBE ビットが 0 の場合、KBF ビットがセットされます。図 19.17 に KBIOE セットタイミングと KCLK 立ち下がりエッジ検出のタイミングを示します。

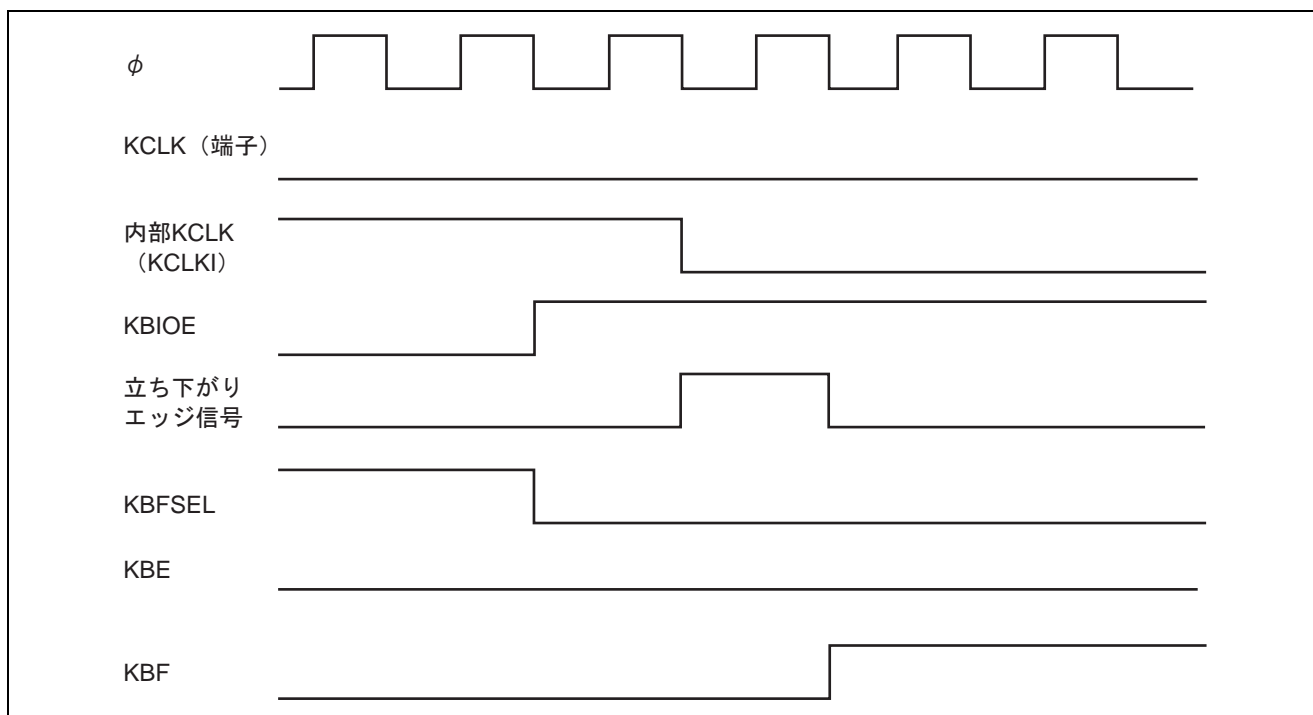


図 19.17 KBIOE セットと KCLK 立ち下がりエッジ検出のタイミング

19.5.2 KDO ビット (KBCRL) による KD 出力と自動送信による KD 出力の関係

図 19.18 に KDO ビット (KBCRL) による KD 出力と自動送信による KD 出力の関係を示します。KBTS=1 で TXCR が 0 でない場合は自動送信による KD 出力に切り替わります。この場合は、KDO ビット (KBCRL) による KD 出力はマスクされます。

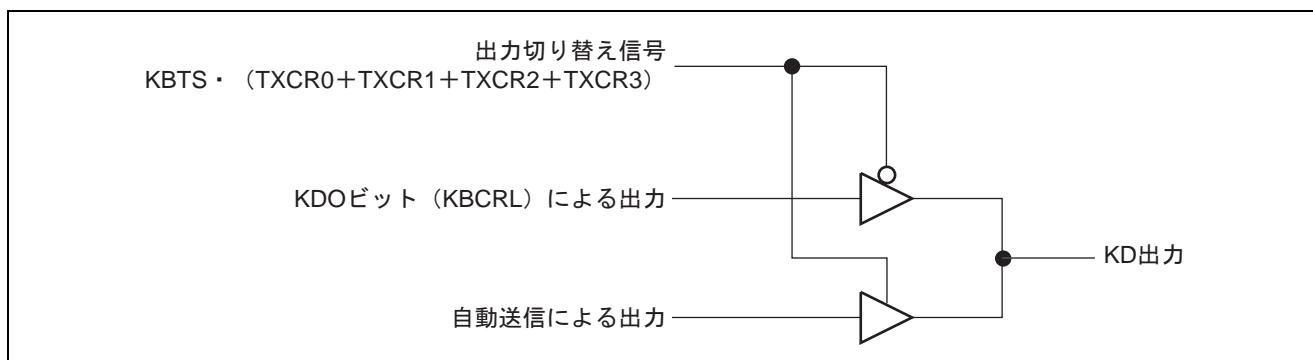


図 19.18 KDO 出力の関係

19.5.3 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、キーボードバッファコントロールユニットの動作停止/許可を設定することが可能です。初期値ではキーボードバッファコントロールユニットの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「[第29章 低消費電力状態](#)」を参照してください。

19.5.4 中速モード

中速モード時 PS2 は中速クロックにて動作します。PS2 を正常に動作させるには、中速クロックを 300kHz 以上としてください。

19.5.5 送信完了フラグ (KBTE) について

TXCR3~TXCR0 ビットが B'1011 (送信完了通知) のときに KBIOE=0 または KBTS=0 として TXCR を初期化した場合送信完了フラグ (KBTE) がセットされます。また、そのときの KTER は無効です。

20. LPC インタフェース (LPC)

本 LSI は、LPC インタフェースを内蔵しています。

LPC は、データレジスタとステータスレジスタからなるレジスタセットを 4 セットと、コントロールレジスタと高速 GATE A20 ロジックおよびホスト割り込み要求回路から構成されています。

LPC は、33MHz の PCI クロックに同期して、転送の種類、アドレスおよびデータをシリアルに転送します。アドレス/データ用に 4 本、ホスト割り込み要求用に 1 本の信号線を用い、I/O リードサイクルと I/O ライトサイクルの転送に対応します。そのほか、低消費電力機能として、PCI クロックを制御する機能や LPC インタフェースをシャットダウンする機能があります。

20.1 特長

- LPC インタフェースの I/O リードサイクルおよび I/O ライトサイクルに対応
転送の種類/アドレス/データを、4 本の信号線 (LAD3~LAD0) で転送します。
制御信号として、クロック (LCLK)、リセット ($\overline{\text{LRESET}}$)、フレーム ($\overline{\text{LFRAME}}$) 信号を用います。
- データレジスタとステータスレジスタからなるレジスタセットを 4 セットで構成
基本のレジスタセットは、入力レジスタ (IDR)、出力レジスタ (ODR)、ステータスレジスタ (STR) の 3 バイトからなります。
チャンネル 1~4 は、I/O アドレスを H'0000~H'FFFF に設定可能です。
チャンネル 1 は、高速 GATE A20 機能があります。
チャンネル 3 は、基本レジスタセットのほか双方向データレジスタ 16 バイトを操作可能です。
チャンネル 4 は、基本レジスタセットのほか双方向データレジスタ 32 バイトを操作可能です。
- POST コード出力チャンネル
POST コード出力チャンネルとして、チャンネル A (I/O アドレス H'0080) を操作可能です。
- SCIF に対応
LPC インタフェースは SCIF と接続しており、LPC ホストから SCIF を直接制御することができます。
- SERIRQ に対応
ホスト割り込み要求を、1 本の信号線 (SERIRQ) でシリアルに転送します。
チャンネル 1 は、HIRQ1、HIRQ12 を生成可能です。
チャンネル 2、3 は、SMI、HIRQ6、HIRQ9~HIRQ11 をそれぞれ生成可能です。
チャンネル 4、SCIF は、HIRQ1、SMI、HIRQ3~HIRQ15 をそれぞれ生成可能です。
クワイエットモードとコンティニューアモードの切り替えに対応します。
 $\overline{\text{CLKRUN}}$ 信号を操作し、PCI クロック (LCLK) の再起動を要求可能です。
- 低消費電力機能、割り込みほか
 $\overline{\text{LPCPD}}$ 信号を入力し、LPC モジュールをシャットダウンすることができます。
汎用入出力として $\overline{\text{PME}}$ 、 $\overline{\text{LSMI}}$ 、LSCI の 3 端子があります。

LPC のブロック図を 図 20.1 に示します。

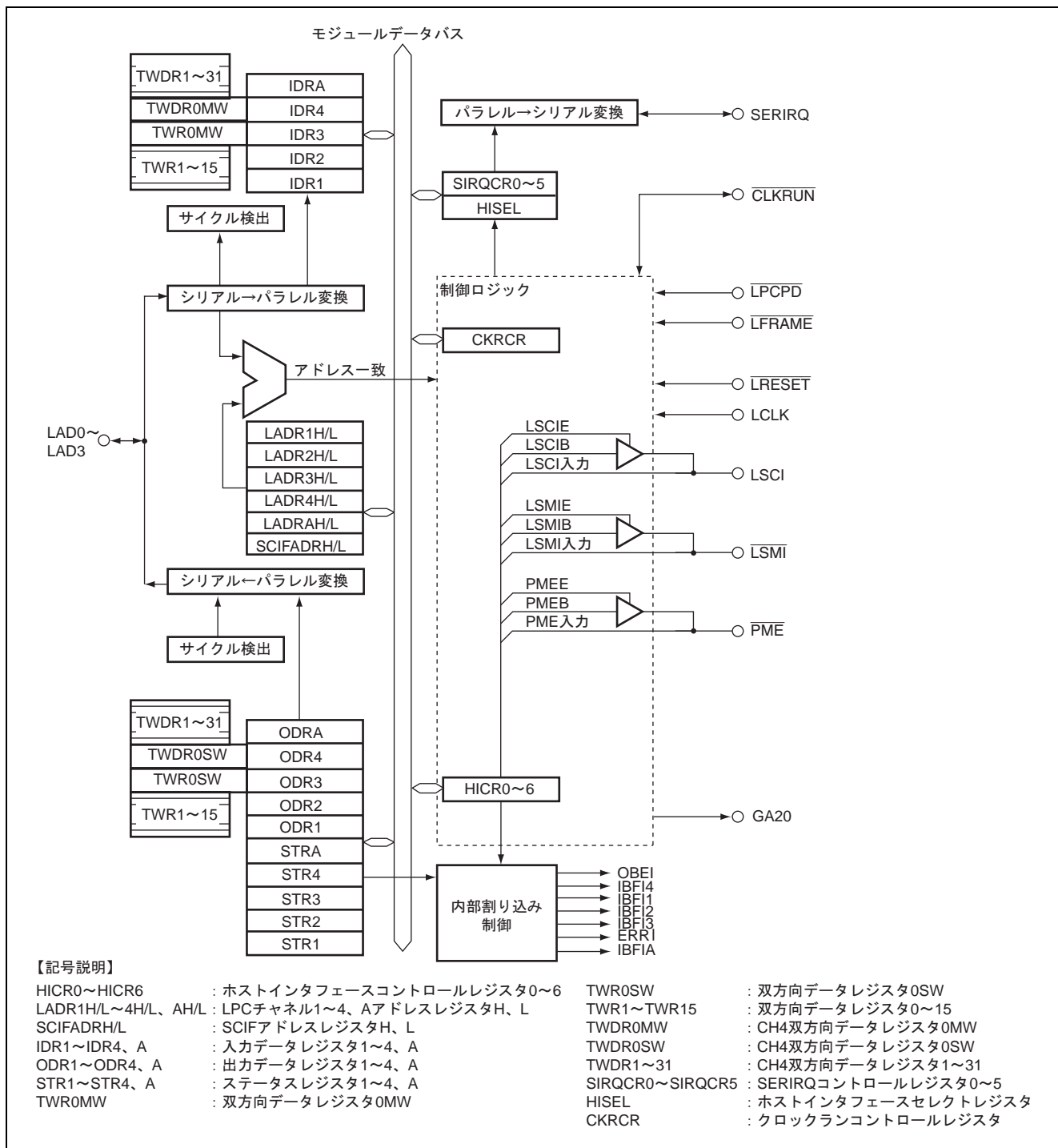


図 20.1 LPC のブロック図

20.2 入出力端子

LPC の入出力端子を表 20.1 に示します。

表 20.1 端子構成

名称	略 称	入出力	機 能
LPC アドレス/ データ 3~0	LAD3 LAD2 LAD1 LAD0	入出力	LCLK に同期した、シリアル (4 信号線) の、転送サイクル種類/ アドレス/データ信号
LPC フレーム	$\overline{\text{LFRAME}}$	入力* ¹	転送サイクルの開始および強制終了信号
LPC リセット	$\overline{\text{LRESET}}$	入力* ¹	LPC インタフェースのリセット信号
LPC クロック	LCLK	入力	33MHz の PCI クロック信号
シリアルインタラプト リクエスト	SERIRQ	入出力* ¹	LCLK に同期した、シリアルホスト割り込み要求信号
LSCI 汎用出力	LSCI	出力* ¹ * ²	汎用出力
LSMI 汎用出力	$\overline{\text{LSMI}}$	出力* ¹ * ²	汎用出力
PME 汎用出力	$\overline{\text{PME}}$	出力* ¹ * ²	汎用出力
GATE A20	GA20	出力* ¹ * ²	GATE A20 コントロール信号出力
LPC クロックラン	$\overline{\text{CLKRUN}}$	入出力* ¹ * ²	シリアルホスト割り込み要求時の、LCLK 再起動要求信号
LPC パワーダウン	$\overline{\text{LPCPD}}$	入力* ¹	LPC モジュールのシャットダウン信号

【注】 *1 LPC インタフェースの制御入出力機能以外に、端子状態をモニタする入力が可能です。

*2 0 出力のみ可能です。1 出力時はハイインピーダンスとなるため、Vcc へのプルアップ抵抗を外付けする必要があります。

20.3 レジスタの説明

LPC のレジスタ構成を以下に示します。

表 20.2 レジスタ構成

レジスタ名	略称	R/W		初期値	アドレス	データバス幅
		スレーブ	ホスト			
ホストインタフェースコントロールレジスタ 0	HICR0	R/W	—	H'00	H'FE40	8
ホストインタフェースコントロールレジスタ 1	HICR1	R/W	—	H'00	H'FE41	8
ホストインタフェースコントロールレジスタ 2	HICR2	R/W	—	—	H'FE42	8
ホストインタフェースコントロールレジスタ 3	HICR3	R	—	—	H'FE43	8
ホストインタフェースコントロールレジスタ 4	HICR4	R/W	—	H'00	H'FDD9	8
ホストインタフェースコントロールレジスタ 5	HICR5	R/W	—	H'00	H'FE33	8
ホストインタフェースコントロールレジスタ 6	HICR6	R/W	—	H'00	H'FE4C	8
LPC チャネル 1 アドレスレジスタ H	LADR1H	R/W	—	H'00	H'FDC0	8
LPC チャネル 1 アドレスレジスタ L	LADR1L	R/W	—	H'60	H'FDC1	8
LPC チャネル 2 アドレスレジスタ H	LADR2H	R/W	—	H'00	H'FDC2	8
LPC チャネル 2 アドレスレジスタ L	LADR2L	R/W	—	H'62	H'FDC3	8
LPC チャネル 3 アドレスレジスタ H	LADR3H	R/W	—	H'00	H'FE34	8
LPC チャネル 3 アドレスレジスタ L	LADR3L	R/W	—	H'00	H'FE35	8
LPC チャネル 4 アドレスレジスタ H	LADR4H	R/W	—	H'00	H'FDD4	8
LPC チャネル 4 アドレスレジスタ L	LADR4L	R/W	—	H'00	H'FDD5	8
LPC チャネル A アドレスレジスタ H	LADRAH	R/W	—	H'00	H'FDD0	8
LPC チャネル A アドレスレジスタ L	LADRAL	R/W	—	H'80	H'FDD1	8
入力データレジスタ 1	IDR1	R	W	H'00	H'FE38	8
入力データレジスタ 2	IDR2	R	W	H'00	H'FE3C	8
入力データレジスタ 3	IDR3	R	W	H'00	H'FE30	8
入力データレジスタ 4	IDR4	R	W	H'00	H'FDD6	8
入力データレジスタ A	IDRA	R	W	H'00	H'FDD2	8
出力データレジスタ 1	ODR1	R/W	R	H'00	H'FE39	8
出力データレジスタ 2	ODR2	R/W	R	H'00	H'FE3D	8
出力データレジスタ 3	ODR3	R/W	R	H'00	H'FE31	8
出力データレジスタ 4	ODR4	R/W	R	H'00	H'FDD7	8
出力データレジスタ A	ODRA	R/W	R	H'00	H'FDD3	8
ステータスレジスタ 1	STR1	R/W	R	H'00	H'FE3A	8
ステータスレジスタ 2	STR2	R/W	R	H'00	H'FE3E	8
ステータスレジスタ 3	STR3	R/W	R	H'00	H'FE32	8
ステータスレジスタ 4	STR4	R/W	R	H'00	H'FDD8	8

レジスタ名	略称	R/W		初期値	アドレス	データバス幅
		スレーブ	ホスト			
ステータスレジスタ A	STRA	R/W	R	H'00	H'FE4D	8
CH4 双方向データレジスタ 0MW	TWDR0MW	R	W	H'00	H'FDE0	8
CH4 双方向データレジスタ 0SW	TWDR0SW	W	R	H'00	H'FDE0	8
CH4 双方向データレジスタ 1	TWDR1	R/W	R/W	H'00	H'FDE1	8
CH4 双方向データレジスタ 2	TWDR2	R/W	R/W	H'00	H'FDE2	8
CH4 双方向データレジスタ 3	TWDR3	R/W	R/W	H'00	H'FDE3	8
CH4 双方向データレジスタ 4	TWDR4	R/W	R/W	H'00	H'FDE4	8
CH4 双方向データレジスタ 5	TWDR5	R/W	R/W	H'00	H'FDE5	8
CH4 双方向データレジスタ 6	TWDR6	R/W	R/W	H'00	H'FDE6	8
CH4 双方向データレジスタ 7	TWDR7	R/W	R/W	H'00	H'FDE7	8
CH4 双方向データレジスタ 8	TWDR8	R/W	R/W	H'00	H'FDE8	8
CH4 双方向データレジスタ 9	TWDR9	R/W	R/W	H'00	H'FDE9	8
CH4 双方向データレジスタ 10	TWDR10	R/W	R/W	H'00	H'FDEA	8
CH4 双方向データレジスタ 11	TWDR11	R/W	R/W	H'00	H'FDEB	8
CH4 双方向データレジスタ 12	TWDR12	R/W	R/W	H'00	H'FDEC	8
CH4 双方向データレジスタ 13	TWDR13	R/W	R/W	H'00	H'FDED	8
CH4 双方向データレジスタ 14	TWDR14	R/W	R/W	H'00	H'FDEE	8
CH4 双方向データレジスタ 15	TWDR15	R/W	R/W	H'00	H'FDEF	8
CH4 双方向データレジスタ 16	TWDR16	R/W	R/W	H'00	H'FDF0	8
CH4 双方向データレジスタ 17	TWDR17	R/W	R/W	H'00	H'FDF1	8
CH4 双方向データレジスタ 18	TWDR18	R/W	R/W	H'00	H'FDF2	8
CH4 双方向データレジスタ 19	TWDR19	R/W	R/W	H'00	H'FDF3	8
CH4 双方向データレジスタ 20	TWDR20	R/W	R/W	H'00	H'FDF4	8
CH4 双方向データレジスタ 21	TWDR21	R/W	R/W	H'00	H'FDF5	8
CH4 双方向データレジスタ 22	TWDR22	R/W	R/W	H'00	H'FDF6	8
CH4 双方向データレジスタ 23	TWDR23	R/W	R/W	H'00	H'FDF7	8
CH4 双方向データレジスタ 24	TWDR24	R/W	R/W	H'00	H'FDF8	8
CH4 双方向データレジスタ 25	TWDR25	R/W	R/W	H'00	H'FDF9	8
CH4 双方向データレジスタ 26	TWDR26	R/W	R/W	H'00	H'FDFA	8
CH4 双方向データレジスタ 27	TWDR27	R/W	R/W	H'00	H'FDFB	8
CH4 双方向データレジスタ 28	TWDR28	R/W	R/W	H'00	H'FD FC	8
CH4 双方向データレジスタ 29	TWDR29	R/W	R/W	H'00	H'FDFD	8
CH4 双方向データレジスタ 30	TWDR30	R/W	R/W	H'00	H'FD FE	8
CH4 双方向データレジスタ 31	TWDR31	R/W	R/W	H'00	H'FD FF	8

レジスタ名	略称	R/W		初期値	アドレス	データバス幅
		スレーブ	ホスト			
双方向データレジスタ 0MW	TWR0MW	R	W	H'00	H'FE20	8
双方向データレジスタ 0SW	TWR0SW	W	R	H'00	H'FE20	8
双方向データレジスタ 1	TWR1	R/W	R/W	H'00	H'FE21	8
双方向データレジスタ 2	TWR2	R/W	R/W	H'00	H'FE22	8
双方向データレジスタ 3	TWR3	R/W	R/W	H'00	H'FE23	8
双方向データレジスタ 4	TWR4	R/W	R/W	H'00	H'FE24	8
双方向データレジスタ 5	TWR5	R/W	R/W	H'00	H'FE25	8
双方向データレジスタ 6	TWR6	R/W	R/W	H'00	H'FE26	8
双方向データレジスタ 7	TWR7	R/W	R/W	H'00	H'FE27	8
双方向データレジスタ 8	TWR8	R/W	R/W	H'00	H'FE28	8
双方向データレジスタ 9	TWR9	R/W	R/W	H'00	H'FE29	8
双方向データレジスタ 10	TWR10	R/W	R/W	H'00	H'FE2A	8
双方向データレジスタ 11	TWR11	R/W	R/W	H'00	H'FE2B	8
双方向データレジスタ 12	TWR12	R/W	R/W	H'00	H'FE2C	8
双方向データレジスタ 13	TWR13	R/W	R/W	H'00	H'FE2D	8
双方向データレジスタ 14	TWR14	R/W	R/W	H'00	H'FE2E	8
双方向データレジスタ 15	TWR15	R/W	R/W	H'00	H'FE2F	8
SERIRQ コントロールレジスタ 0	SIRQCR0	R/W	—	H'00	H'FE36	8
SERIRQ コントロールレジスタ 1	SIRQCR1	R/W	—	H'00	H'FE37	8
SERIRQ コントロールレジスタ 2	SIRQCR2	R/W	—	H'00	H'FDDA	8
SERIRQ コントロールレジスタ 3	SIRQCR3	R/W	—	H'00	H'FDDB	8
SERIRQ コントロールレジスタ 4	SIRQCR4	R/W	—	H'00	H'FE3B	8
SERIRQ コントロールレジスタ 5	SIRQCR5	R/W	—	H'00	H'FE4E	8
ホストインタフェースセレクトレジスタ	HISEL	R/W	—	H'03	H'FE3F	8
SCIF アドレスレジスタ H	SCIFADRH	R/W	—	H'03	H'FDC4	8
SCIF アドレスレジスタ L	SCIFADRL	R/W	—	H'F8	H'FDC5	8
クロックランコントロールレジスタ	CKRCR	R/W	—	H'00	H'FDDF	8

【注】 レジスタ構成に記載している「R/W」の表記方法は下記のとおりです。

1. 「R/W スレーブ」は、スレーブ（本 LSI）からのアクセスを表示しています。
2. 「R/W ホスト」は、ホストからのアクセスを表示しています。

20.3.1 ホストインタフェースコントロールレジスタ 0、1 (HICR0、HICR1)

HICR0、HICR1 には、LPC インタフェースの機能を許可/禁止する制御ビット、端子出力および LPC インタフェースの内部状態を決める制御ビット、および LPC インタフェースの内部状態をモニタするステータスフラグがあります。

• HICR0

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LPC3E	0	R/W	—	LPC イネーブル 3~1 LPC インタフェース機能を許可または禁止します。許可時 (3 ビットのうち、いずれかが 1 にセット) は、LAD3~LAD0、 $\overline{\text{LFRAME}}$ 、 $\overline{\text{LRESET}}$ 、LCLK、SERIRQ、 $\overline{\text{CLKRUN}}$ 、 $\overline{\text{LPCPD}}$ 端子を利用して、スレーブ (本 LSI) とホスト間のデータ転送処理を行います。 <ul style="list-style-type: none"> • LPC3E 0 : LPC チャネル 3 の動作を禁止 IDR3、ODR3、STR3、TWR0~TWR15 に関してアドレス (LADR3) 一致発生なし 1 : LPC チャネル 3 の動作を許可 • LPC2E 0 : LPC チャネル 2 の動作を禁止 IDR2、ODR2、STR2 に関してアドレス LADR2 一致発生なし 1 : LPC チャネル 2 の動作を許可 • LPC1E 0 : LPC チャネル 1 の動作を禁止 IDR1、ODR1、STR1 に関してアドレス LADR1 一致発生なし 1 : LPC チャネル 1 の動作を許可
6	LPC2E	0	R/W	—	
5	LPC1E	0	R/W	—	
4	FGA20E	0	R/W	—	高速 GATE A20 イネーブル 高速 GATE A20 の機能を許可または禁止します。高速 GATE A20 が禁止された場合、通常の GATE A20 は P81 出力をファームウェアで操作することで実現できます。 <ul style="list-style-type: none"> 0 : 高速 GATE A20 機能を禁止 端子の兼用機能の入出力を許可 GA20 出力の内部状態を 1 に初期化 1 : 高速 GATE A20 機能を許可 GA20 端子出力はオープンドレイン (V_{CC} ヘプリアップ抵抗 外付け要)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	SDWNE	0	R/W	—	<p>LPC ソフトウェアシャットダウンイネーブル</p> <p>LPC インタフェースのシャットダウンを制御します。LPC シャットダウン機能の詳細、および LPC リセットおよび LPC シャットダウンで初期化される範囲は、「20.4.4 LPC インタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0: 通常状態、LPC ソフトウェアシャットダウンの設定許可 [クリア条件]</p> <ul style="list-style-type: none"> 0 ライト LPC ハードウェアリセットおよび LPC ソフトウェアリセット LPC ハードウェアシャットダウン解除 ($\overline{\text{LPCPD}}$ 信号立ち上がりエッジ) <p>1: LPC ハードウェアシャットダウン状態の設定許可 $\overline{\text{LPCPD}}$ 信号ローレベル時にハードウェアシャットダウン状態 [セット条件]</p> <ul style="list-style-type: none"> SDWNE=0 リード後の 1 ライト
2	PMEE	0	R/W	—	<p>PME 出カインーブル</p> <p>HICR1 の PMEB ビットとの組み合わせにより PME 出力を制御します。$\overline{\text{PME}}$ 端子出力はオープンドレインであり、Vcc へのプルアップ抵抗の外付けが必要です。</p> <p>PMEE PMEB</p> <p>0 x: PME 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1 0: PME 出力を許可、$\overline{\text{PME}}$ 端子出力は 0 レベル</p> <p>1 1: PME 出力を許可、$\overline{\text{PME}}$ 端子出力はハイインピーダンス</p>
1	LSMIE	0	R/W	—	<p>LSMI 出カインーブル</p> <p>HICR1 の LSMIB ビットとの組み合わせにより LSMI 出力を制御します。$\overline{\text{LSMI}}$ 端子出力はオープンドレインであり、Vcc へのプルアップ抵抗の外付けが必要です。</p> <p>LSMIE LSMIB</p> <p>0 x: LSMI 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1 0: LSMI 出力を許可、$\overline{\text{LSMI}}$ 端子出力は 0 レベル</p> <p>1 1: LSMI 出力を許可、$\overline{\text{LSMI}}$ 端子出力はハイインピーダンス</p>

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
0	LSCIE	0	R/W	—	<p>LSCI 出カインーブル</p> <p>HICR1 の LSCIB ビットとの組み合わせにより LSCI 出力を制御します。LSCI 端子出力はオープンドレインであり、Vcc へのプルアップ抵抗の外付けが必要です。</p> <p>LSCIE LSCIB</p> <p>0 x : LSCI 出力を禁止、端子の兼用機能の入出力を許可</p> <p>1 0 : LSCI 出力を許可、LSCI 端子出力は 0 レベル</p> <p>1 1 : LSCI 出力を許可、LSCI 端子出力はハイインピーダンス</p>

【注】 x : Don't care

• HICR1

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LPCBSY	0	R	—	<p>LPC ビジー</p> <p>LPC インタフェースが、転送サイクルを処理中であることを示します。</p> <p>0 : LPC インタフェースが転送サイクル待ち状態 バスアイドル、または処理対象外の転送サイクル中 転送サイクル中、転送の種類またはアドレスが未確定の状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> LPC ハードウェアリセットまたは LPC ソフトウェアリセット LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン 処理対象転送サイクルの強制終了 (アボート) 処理対象転送サイクルの正常終了 <p>1 : LPC インタフェースが転送サイクル処理中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 転送の種類およびアドレスの一致

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
6	CLKREQ	0	R	—	<p>LCLK リクエスト</p> <p>LPC インタフェースの SERIRQ が、LCLK の再起動を要求中であることを示します。</p> <p>0 : LCLK の再起動要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • LPC ハードウェアリセットまたは LPC ソフトウェアリセット • LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン • SERIRQ がコンティニューアスモードに設定されたクワイエットモード時に、新たにホストに転送する割り込みがなくなった <p>1 : LCLK の再起動要求あり</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • クワイエットモード時・LCLK 停止中に SERIRQ 割り込み出力の必要が生じた
5	IRQBSY	0	R	—	<p>SERIRQ ビジー</p> <p>LPC インタフェースの SERIRQ が、転送処理中であることを示します。</p> <p>0 : SERIRQ の転送フレーム開始待ち状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • LPC ハードウェアリセットまたは LPC ソフトウェアリセット • LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン • SERIRQ の転送フレーム終了 <p>1 : SERIRQ の転送処理中</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SERIRQ の転送フレーム開始
4	LRSTB	0	R/W	—	<p>LPC ソフトウェアリセットビット</p> <p>LPC インタフェースをリセットします。LPC リセットで初期化される範囲は、「20.4.4 LPC インタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0 : 通常状態</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 0 ライト • LPC ハードウェアリセット <p>1 : LPC ソフトウェアリセット状態</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • LRSTB=0 リード後の 1 ライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	SDWNB	0	R/W	—	<p>LPC ソフトウェアシャットダウンビット</p> <p>LPC インタフェースのシャットダウンを制御します。LPC シャットダウン機能の詳細、LPC リセットおよび LPC シャットダウンで初期化される範囲は、「20.4.4 LPC インタフェースのシャットダウン機能 (LPCPD)」を参照してください。</p> <p>0 : 通常状態 [クリア条件]</p> <ul style="list-style-type: none"> • 0 ライト • LPC ハードウェアリセットおよび LPC ソフトウェアリセット • LPC ハードウェアシャットダウン (SDWNE=1 のとき、$\overline{\text{LPCPD}}$ 信号立ち下がりエッジ) <p>1 : LPC ソフトウェアシャットダウン状態 [セット条件]</p> <ul style="list-style-type: none"> • SDWNB=0 リード後の 1 ライト
2	PMEB	0	R/W	—	<p>PME 出力ビット</p> <p>PMEE ビットとの組み合わせにより PME 出力を制御します。詳細は HICR0 の PMEE ビットを参照してください。</p>
1	LSMIB	0	R/W	—	<p>LSMI 出力ビット</p> <p>LSMIE ビットとの組み合わせにより LSMI 出力を制御します。詳細は HICR0 の LSMIE ビットを参照してください。</p>
0	LSCIB	0	R/W	—	<p>LSCI 出力ビット</p> <p>HICR0 の LSCIE ビットとの組み合わせにより LSCI 出力を制御します。詳細は LSCIE ビットを参照してください。</p>

20.3.2 ホストインタフェースコントロールレジスタ 2、3 (HICR2、HICR3)

HICR2 は、LPC インタフェースのスレーブ (本 LSI) に対する割り込みを制御します。HICR3 および HICR2 のビット 7 は、LPC インタフェースの端子状態をモニタします。HICR2 のビット 6~0 は、リセット時に H'00 に初期化されます。それ以外のビットの状態は、端子の状態によって決定されます。端子モニタビットは、LPC インタフェースの動作状態や端子を兼用する機能の動作状態にかかわらず、端子の状態をモニタすることができます。

• HICR2

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	GA20	不定	R	—	GA20 端子モニタ
6	LRST	0	R/(W)*	—	LPC リセット割り込みフラグ LPC ハードウェアリセット発生時に ERR1 割り込みを発生させるフラグです。 0: [クリア条件] LRST=1 リード後の 0 ライト 1: [セット条件] $\overline{\text{LRESET}}$ 端子の立ち下がりエッジ検出
5	SDWN	0	R/(W)*	—	LPC シャットダウン割り込みフラグ LPC ハードウェアシャットダウン要求発生時に ERR1 割り込みを発生させる割り込みフラグです。 0: [クリア条件] SDWN=1 リード後の 0 ライト LPC ハードウェアリセット ($\overline{\text{LRESET}}$ 端子の立ち下がりエッジ検出) LPC ソフトウェアリセット (LRSTB=1) 1: [セット条件] $\overline{\text{LPCPD}}$ 端子の立ち下がりエッジ検出

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	ABRT	0	R/(W)*	—	<p>LPC アボート割り込みフラグ</p> <p>LPC 転送サイクルの強制終了 (アボート) 発生時に ERRI 割り込みを発生させる割り込みフラグです。</p> <p>0: [クリア条件]</p> <ul style="list-style-type: none"> • ABRT=1 リード後の 0 ライト • LPC ハードウェアリセット ($\overline{\text{LRESET}}$ 端子の立ち下がリエッジ検出) LPC ソフトウェアリセット (LRSTB=1) • LPC ハードウェアシャットダウン (SDWNE=1 かつ $\overline{\text{LPCPD}}$ 端子の立ち下がリエッジ検出) • LPC ソフトウェアシャットダウン (SDWNB=1) <p>1: [セット条件]</p> <p>LPC 転送サイクル中の $\overline{\text{LFRAME}}$ 端子の立ち下がリエッジ検出</p>
3	IBFIE3	0	R/W	—	<p>IDR3、TWR 受信完了割り込みイネーブル</p> <p>スレーブ(本 LSI)に対して IBFI3 割り込みを許可または禁止します。</p> <p>0: 入力データレジスタ (IDR3) および TWR の受信完了割り込み要求を禁止</p> <p>1: [LADR3 の TWRE=0 の場合] 入力データレジスタ (IDR3) 受信完了割り込み要求を許可 [LADR3 の TWRE=1 の場合] 入力データレジスタ (IDR3) および TWR 受信完了割り込み要求を許可</p>
2	IBFIE2	0	R/W	—	<p>IDR2 受信完了割り込みイネーブル</p> <p>スレーブ(本 LSI)に対して IBFI2 割り込みを許可または禁止します。</p> <p>0: 入力データレジスタ (IDR2) 受信完了割り込み要求を禁止</p> <p>1: 入力データレジスタ (IDR2) 受信完了割り込み要求を許可</p>
1	IBFIE1	0	R/W	—	<p>IDR1 受信完了割り込みイネーブル</p> <p>スレーブ(本 LSI)に対して IBFI1 割り込みを許可または禁止します。</p> <p>0: 入力データレジスタ (IDR1) 受信完了割り込み要求を禁止</p> <p>1: 入力データレジスタ (IDR1) 受信完了割り込み要求を許可</p>
0	ERRIE	0	R/W	—	<p>エラー割り込みイネーブル (ERRIE)</p> <p>スレーブ(本 LSI)に対して ERRI 割り込みを許可または禁止します。</p> <p>0: エラー割り込み要求を禁止</p> <p>1: エラー割り込み要求を許可</p>

【注】 * ビット 6~4 はフラグをクリアするための 0 ライトのみ可能です。

• HICR3

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LFRAME	不定	R	—	LFRAME 端子モニタ
6	CLKRUN	不定	R	—	CLKRUN 端子モニタ
5	SERIRQ	不定	R	—	SERIRQ 端子モニタ
4	LRESET	不定	R	—	LRESET 端子モニタ
3	LPCPD	不定	R	—	LPCPD 端子モニタ
2	PME	不定	R	—	PME 端子モニタ
1	LSMI	不定	R	—	LSMI 端子モニタ
0	LSCI	不定	R	—	LSCI 端子モニタ

20.3.3 ホストインタフェースコントロールレジスタ 4 (HICR4)

HICR4 は、LPC インタフェースのスレーブ (本 LSI) のチャンネル 4 に対する動作を許可/禁止、割り込みを制御、CH4 双方向データレジスタ動作の許可/禁止、STR4 レジスタのビット 7~4 の機能を選択します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	—	0	R/W	—	リザーブビット 初期値を変更しないでください。
6	LPC4E	0	R/W	—	LPC イネーブル 4 0 : LPC チャンネル 4 の動作を禁止 IDR4、ODR4、STR4、TWDR0~TWDR31 に関して アドレス (LADR4) 一致発生なし 1 : LPC チャンネル 4 の動作を許可
5	IBFIE4	0	R/W	—	IDR4、TWDR 受信完了割り込みイネーブル スレーブ (本 LSI) に対して IBFI4 割り込みを許可または禁止します。 0 : 入力データレジスタ (IDR4) および TWDR の受信完了割り込み要求を禁止 1 : [TWDRE=0 の場合] 入力データレジスタ (IDR4) 受信完了割り込み要求を許可 [TWDRE=1 の場合] 入力データレジスタ (IDR4) および TWDR 受信完了割り込み要求を許可

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	TWDRE	0	R/W	—	<p>CH4 双方向データレジスタイネーブル</p> <p>CH4 双方向データレジスタの動作を許可または禁止し、STR4 のビット 7~4 の機能を選択します。</p> <p>0 : TWDR の動作を禁止</p> <p>TWDR に関して I/O アドレス一致発生なし</p> <p>STR4 のビット 7~4 はユーザが必要に応じて使用できるリード/ライト可能なビットになります。</p> <p>1 : TWDR の動作を許可</p> <p>STR4 のビット 7~4 はホストインタフェース処理中の状態を表示</p>
3~0	—	すべて 0	R/W	—	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

20.3.4 ホストインタフェースコントロールレジスタ 5 (HICR5)

HICR5 は、SCIF インタフェースに対する動作を許可／禁止、OBEI 割り込みを制御します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	OBEIE	0	R/W	—	アウトプットバッファEMPTY割り込みイネーブル スレーブ (本 LSI) に対して OBEI 割り込みを許可または禁止します。 0: アウトプットバッファEMPTY割り込み要求を禁止 1: アウトプットバッファEMPTY割り込み要求を許可
6	OBEI	0	R/W	—	アウトプットバッファEMPTY割り込みフラグ 0: [クリア条件] OBEI=1 リード後の 0 ライト LPC ハードウェアリセットおよび LPC ソフトウェアリセット 1: [セット条件] OBF1、OBF2、OBF3A、OBF3B、OBF4A、OBF4B および OBFA のいずれかがクリアされたとき
5~4	—	すべて 0	R/W	—	リザーブビット 初期値を変更しないでください。
3	SCIFE	0	R/W	—	SCIF イネーブル SCIF の LPC ホストからのアクセスを許可または禁止を設定します。 0: SCIF の LPC ホストからのアクセスを禁止 1: SCIF の LPC ホストからのアクセスを許可
2~0	—	すべて 0	R/W	—	リザーブビット 初期値を変更しないでください。

20.3.5 ホストインタフェースコントロールレジスタ 6 (HICR6)

HICR6 は、LPC インタフェースのスレーブ（本 LSI）のチャンネル A に対する動作を許可/禁止、割り込み、拡張機能を制御します。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	LPCAE	0	R/W	—	LPC イネーブル A 0 : LPC チャンネル A の動作を禁止 IDRA、ODRA、STRA に関してアドレス (LADRA) 一致発生なし 1 : LPC チャンネル A の動作を許可 ELPCAE=0 の場合 IDRA(データライト)、ODRA に関してアドレス (LADRA) 一致発生あり ELPCAE=1 の場合 IDRA (データライト、コマンドライト)、ODRA、STRA に関してアドレス (LADRA) 一致発生あり
6	ELPCAE	0	R/W	—	拡張 LPC チャンネル A イネーブル 0 : LPC チャンネル A 拡張機能無効 1 : LPC チャンネル A 拡張機能有効
5	IBFIEA	0	R/W	—	IDRA 受信完了割り込みイネーブル スレーブ（本 LSI）に対して IBFIA 割り込みを許可または禁止します。 0 : 入力データレジスタ (IDRA) 受信完了割り込み要求を禁止 1 : 入力データレジスタ (IDRA) 受信完了割り込み要求を許可
4~0	—	すべて 0	R/W	—	リザーブビット 初期値を変更しないでください。

20.3.6 LPC チャンネル 1 アドレスレジスタ H、L (LADR1H、LADR1L)

LADR1 は LPC チャンネル 1 のホストアドレスの設定を行います。LADR1 は、チャンネル 1 動作時 (LPC1E を 1 にセットした状態) では、内容を変更しないでください。

• LADR1H

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit15	0	R/W	—	チャンネル 1 アドレスビット 15~8 LPC チャンネル 1 のホストアドレスの設定を行います。
6	bit14	0	R/W	—	
5	bit13	0	R/W	—	
4	bit12	0	R/W	—	
3	bit11	0	R/W	—	
2	bit10	0	R/W	—	
1	bit9	0	R/W	—	
0	bit8	0	R/W	—	

• LADR1L

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit7	0	R/W	—	チャンネル 1 アドレスビット 7~3 LPC チャンネル 1 のホストアドレスの設定を行います。
6	bit6	1	R/W	—	
5	bit5	1	R/W	—	
4	bit4	0	R/W	—	
3	bit3	0	R/W	—	
2	bit2	0	R/W	—	リザーブビット アドレス一致判定では無視されます。
1	bit1	0	R/W	—	チャンネル 1 アドレスビット 1、0
0	bit0	0	R/W	—	LPC チャンネル 1 のホストアドレスの設定を行います。

• ホスト選択レジスタ

I/O アドレス			転送サイクル	ホスト選択レジスタ
bit15~3	bit2	bit1、0		
LADR1 (bit15~3)	0	LADR1 (bit1、0)	I/O ライト	IDR1 ライト (データ)
LADR1 (bit15~3)	1	LADR1 (bit1、0)	I/O ライト	IDR1 ライト (コマンド)
LADR1 (bit15~3)	0	LADR1 (bit1、0)	I/O リード	ODR1 リード
LADR1 (bit15~3)	1	LADR1 (bit1、0)	I/O リード	STR1 リード

【注】 チャンネル 1 を使用する場合は、LADR1 をチャンネル 2、3、4、A および SCIF と異なるアドレスに設定してください。

20.3.7 LPC チャンネル 2 アドレスレジスタ H、L (LADR2H、LADR2L)

LADR2 は LPC チャンネル 2 のホストアドレスの設定を行います。LADR2 は、チャンネル 2 動作時 (LPC2E を 1 にセットした状態) では、内容を変更しないでください。

• LADR2H

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit15	0	R/W	—	チャンネル 2 アドレスビット 15~8 LPC チャンネル 2 のホストアドレスの設定を行います。
6	bit14	0	R/W	—	
5	bit13	0	R/W	—	
4	bit12	0	R/W	—	
3	bit11	0	R/W	—	
2	bit10	0	R/W	—	
1	bit9	0	R/W	—	
0	bit8	0	R/W	—	

• LADR2L

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit7	0	R/W	—	チャンネル 2 アドレスビット 7~3 LPC チャンネル 2 のホストアドレスの設定を行います。
6	bit6	1	R/W	—	
5	bit5	1	R/W	—	
4	bit4	0	R/W	—	
3	bit3	0	R/W	—	
2	bit2	0	R/W	—	リザーブビット アドレス一致判定では無視されます。
1	bit1	1	R/W	—	チャンネル 2 アドレスビット 1、0
0	bit0	0	R/W	—	LPC チャンネル 2 のホストアドレスの設定を行います。

• ホスト選択レジスタ

I/O アドレス			転送サイクル	ホスト選択レジスタ
bit15~3	bit2	bit1、0		
LADR2 (bit15~3)	0	LADR2 (bit1、0)	I/O ライト	IDR2 ライト (データ)
LADR2 (bit15~3)	1	LADR2 (bit1、0)	I/O ライト	IDR2 ライト (コマンド)
LADR2 (bit15~3)	0	LADR2 (bit1、0)	I/O リード	ODR2 リード
LADR2 (bit15~3)	1	LADR2 (bit1、0)	I/O リード	STR2 リード

【注】 チャンネル 2 を使用する場合は、LADR2 をチャンネル 1、3、4、A および SCIF と異なるアドレスに設定してください。

20.3.8 LPC チャンネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)

LADR3 は LPC チャンネル 3 のホストアドレスの設定、および、双方向データレジスタの動作の制御を行います。LADR3 のアドレス部分は、チャンネル 3 動作時 (LPC3E を 1 にセットした状態) では、内容を変更しないでください。

• LADR3H

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit15	0	R/W	—	チャンネル 3 アドレスビット 15~8 LPC チャンネル 3 のホストアドレスの設定を行います。
6	bit14	0	R/W	—	
5	bit13	0	R/W	—	
4	bit12	0	R/W	—	
3	bit11	0	R/W	—	
2	bit10	0	R/W	—	
1	bit9	0	R/W	—	
0	bit8	0	R/W	—	

• LADR3L

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit7	0	R/W	—	チャンネル 3 アドレスビット 7~3 LPC チャンネル 3 のホストアドレスの設定を行います。
6	bit6	0	R/W	—	
5	bit5	0	R/W	—	
4	bit4	0	R/W	—	
3	bit3	0	R/W	—	
2	—	0	R/W	—	リザーブビット 初期値を変更しないでください。
1	bit1	0	R/W	—	チャンネル 3 アドレスビット 1 LPC チャンネル 3 のホストアドレスの設定を行います。
0	TWRE	0	R/W	—	双方向データレジスタイネーブル 双方向データレジスタの動作を許可または禁止します。 0 : TWR の動作を禁止 TWR に関して I/O アドレスの一致判定を停止 1 : TWR の動作を許可

LPC3E=1 の場合、LPC の I/O サイクルで受信した I/O アドレスは、LADR3 の内容と比較されます。IDR3、ODR3、STR3 のアドレス一致判定時には、LADR3 のビット 0 を 0 とみなし、ビット 2 の内容は無視します。TWR0~TWR15 のアドレス一致判定時には、LADR3 のビット 4 を反転し、ビット 3~0 の内容は無視します。

• ホスト選択レジスタ

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
bit4	bit3	0	bit1	0	I/O ライト	IDR3 ライト、C/D3←0
bit4	bit3	1	bit1	0	I/O ライト	IDR3 ライト、C/D3←1
bit4	bit3	0	bit1	0	I/O リード	ODR3 リード
bit4	bit3	1	bit1	0	I/O リード	STR3 リード
$\overline{\text{bit4}}$	0	0	0	0	I/O ライト	TWR0MW ライト
$\overline{\text{bit4}}$	0	0	0	1	I/O ライト	TWR1 ライト
	:	:	:	:		~
	1	1	1	1		TWR15 ライト
$\overline{\text{bit4}}$	0	0	0	0	I/O リード	TWR0SW リード
$\overline{\text{bit4}}$	0	0	0	1	I/O リード	TWR1 リード
	:	:	:	:		~
	1	1	1	1		TWR15 リード

【注】 チャンネル 3 を使用する場合は、LADR3 の設定をチャンネル 1、2、4、A および SCIF と異なるアドレスに設定してください。

20.3.9 LPC チャンネル 4 アドレスレジスタ H、L (LADR4H、LADR4L)

LADR4 は、LPC チャンネル 4 のホストアドレスの設定を行います。LADR4 は、チャンネル 4 動作時 (LPC4E を 1 にセットした状態) では、内容を変更しないでください。

• LADR4H

ビット	ビット名	初期値	R/W		説 明
			スレーブ	ホスト	
7	bit15	0	R/W	—	チャンネル 4 アドレスビット 15~8 LPC チャンネル 4 のホストアドレスの設定を行います。
6	bit14	0	R/W	—	
5	bit13	0	R/W	—	
4	bit12	0	R/W	—	
3	bit11	0	R/W	—	
2	bit10	0	R/W	—	
1	bit9	0	R/W	—	
0	bit8	0	R/W	—	

• LADR4L

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	bit7	0	R/W	—	チャンネル4 アドレスビット7~3 LPC チャンネル4 のホストアドレスの設定を行います。
6	bit6	0	R/W	—	
5	bit5	0	R/W	—	
4	bit4	0	R/W	—	
3	bit3	0	R/W	—	
2	bit2	0	R/W	—	リザーブビット アドレス一致判定では無視されます。
1	bit1	0	R/W	—	チャンネル4 アドレスビット1、0
0	bit0	0	R/W	—	LPC チャンネル4 のホストアドレスの設定を行います。

LPC4E=1 の場合、LPC の I/O サイクルで受信した I/O アドレスは、LADR4 の内容と比較されます。IDR4、ODR4、STR4 のアドレス一致判定時には、ビット2 の内容は無視します。TWDR0~TWDR31 のアドレス一致判定時には、LADR4 のビット5 を反転し、ビット4~0 の内容は無視します。

• ホスト選択レジスタ

I/O アドレス						転送 サイクル	ホスト選択レジスタ
Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
bit5	bit4	bit3	0	bit1	bit0	I/O ライト	IDR4 ライト、C/D4←0
bit5	bit4	bit3	1	bit1	bit0	I/O ライト	IDR4 ライト、C/D4←1
bit5	bit4	bit3	0	bit1	bit0	I/O リード	ODR4 リード
bit5	bit4	bit3	1	bit1	bit0	I/O リード	STR4 リード
$\overline{\text{bit5}}$	0	0	0	0	0	I/O ライト	TWDR0MW ライト
$\overline{\text{bit5}}$	0	0	0	0	1	I/O ライト	TWDR1 ライト ~ TWDR31 ライト
:	:	:	:	:	:		
1	1	1	1	1	1		
$\overline{\text{bit5}}$	0	0	0	0	0	I/O リード	TWDR0SW リード
$\overline{\text{bit5}}$	0	0	0	0	1	I/O リード	TWDR1 リード ~ TWDR31 リード
:	:	:	:	:	:		
1	1	1	1	1	1		

【注】 チャンネル4 を使用する場合は、LADR4 をチャンネル1、2、3、A および SCIF と異なるアドレスに設定してください。

20.3.10 LPC チャンネル A アドレスレジスタ H、L (LADRAH、LADRAL)

LADRA は LPC チャンネル A のホストアドレスの設定を行います。LADRA は、チャンネル A 動作時 (LPCAE を 1 にセットした状態) では、内容を変更しないでください。

• LADRAH

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~0	bit15~bit8	H'00	R/W	—	チャンネル A アドレスビット 15~8 LPC チャンネル A のホストアドレスの設定を行います。

• LADRAL

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7~0	Bit7~bit0	H'80	R/W	—	チャンネル A アドレスビット 7~0 LPC チャンネル A のホストアドレスの設定を行います。

• ホスト選択レジスタ

I/O アドレス		転送 サイクル	ホスト選択レジスタ
ビット15~1	ビット0		
LADRA (bit15~1)	0	I/Oライト	IDRAライト (データ)
LADRA (bit15~1)	1	I/Oライト	IDRAライト (コマンド)
LADRA (bit15~1)	0	I/Oリード	ODRAリード
LADRA (bit15~1)	1	I/Oリード	STRAリード

【注】 チャンネル A を使用する場合は、LADRA を 1、2、3、4 および SCIF と異なるアドレスに設定してください。

20.3.11 入力データレジスタ 1~4、A (IDR1~IDR4、IDRA)

IDR1~IDR4、IDRA は 8 ビットの、スレーブ (本 LSI) に対してはリード専用の、ホストに対してはライト専用のレジスタです。I/O アドレスによってホストから選択されるレジスタは以下のようになります。LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされます。I/O アドレスのビット 2 は STR の C/\bar{D} ビットに反映され、コマンドライトとデータライトの識別に用いられます。IDR1~IDR4、IDRA の初期値は H'00 です。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~4	bit3	0	bit1	bit0	I/O ライト	IDRn ライト、 $C/\bar{D}n \leftarrow 0$
bit15~4	bit3	1	bit1	bit0	I/O ライト	IDRn ライト、 $C/\bar{D}n \leftarrow 1$

(n=1~4)

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~4	bit3	bit2	bit1	0	I/O ライト	IDRA ライト、 $C/\bar{D}A \leftarrow 0$
bit15~4	bit3	bit2	bit1	1	I/O ライト	IDRA ライト、 $C/\bar{D}A \leftarrow 1$

20.3.12 出力データレジスタ 1~4、A (ODR1~ODR4、ODRA)

ODR1~ODR4、ODRA は 8 ビットの、スレーブ (本 LSI) に対してはリード/ライト可能な、ホストに対してはリード専用のレジスタです。I/O アドレスによってホストから選択されるレジスタは以下のようになります。LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。ODR1~ODR4、ODRA の初期値は H'00 です。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~4	bit3	0	bit1	bit0	I/O リード	ODRn リード

(n=1~4)

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~4	bit3	bit2	bit1	0	I/O リード	ODRA リード

20.3.13 双方向データレジスタ 0~15 (TWR0~TWR15)

TWR0~TWR15 は、スレーブ (本 LSI) とホストで、どちらからもリード/ライト可能な 16 バイトの 8 ビットレジスタです。ただし、TWR0 は、ホストアドレス、スレーブアドレスとも同一のアドレスにふたつのレジスタ (TWR0MW、TWR0SW) が割り当てられています。TWR0MW は、ホストからはライト専用、スレーブからはリード専用のレジスタです。TWR0SW は、スレーブからはライト専用、ホストからはリード専用のレジスタです。ホストとスレーブがライトを開始する場合、それぞれ TWR0 にライトした後、そのライトが有効だったかをステータスフラグで確認することにより同時アクセス時のアクセス権の調停を行います。ホストにアクセス権がある場合、TWR0 には TWR0MW が選択され、ホストが TWR0SW をリードすると TWR0MR の状態が読み出されます。スレーブによる TWR0SW へのライトは無効です。スレーブにアクセス権がある場合、TWR0 には TWR0SW が選択され、スレーブが TWR0MW をリードすると TWR0SW の状態が読み出されます。ホストによる TWR0MW へのライトは無効です。

I/O アドレスによってホストから選択されるレジスタは、「20.3.8 LPC チャンネル 3 アドレスレジスタ H、L (LADR3H、LADR3L)」を参照してください。

LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされ、LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。TWR0~TWR15 の初期値は H'00 です。

20.3.14 CH4 双方向データレジスタ 0~31 (TWDR0~TWDR31)

TWDR0~TWDR31 は、スレーブ (本 LSI) とホストで、どちらからもリード/ライト可能な 32 バイトの 8 ビットレジスタです。ただし、TWDR0 は、ホストアドレス、スレーブアドレスとも同一のアドレスにふたつのレジスタ (TWDR0MW、TWDR0SW) が割り当てられています。TWDR0MW は、ホストからはライト専用、スレーブからはリード専用のレジスタです。TWDR0SW は、スレーブからはライト専用、ホストからはリード専用のレジスタです。ホストとスレーブがライトを開始する場合、それぞれ TWDR0 にライトした後、そのライトが有効だったかをステータスフラグで確認することにより同時アクセス時のアクセス権の調停を行います。ホストにアクセス権がある場合、TWDR0 には TWDR0MW が選択され、ホストが TWDR0SW をリードすると TWDR0MR の状態が読み出されます。スレーブによる TWDR0SW へのライトは無効です。スレーブにアクセス権がある場合、TWDR0 には TWDR0SW が選択され、スレーブが TWDR0MW をリードすると TWDR0SW の状態が読み出されます。ホストによる TWDR0MW へのライトは無効です。

LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされ、LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。TWDR0~TWDR31 の初期値は H'00 です。

20.3.15 ステータスレジスタ 1~4、A (STR1~STR4、STRA)

STR1~STR4、STRA は、8 ビットのレジスタで、LPC インタフェース処理中の状態を表示します。I/O アドレスによってホストから選択されるレジスタは以下のようになります。LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~4	bit3	1	bit1	bit0	I/O リード	STRn リード

(n=1~4)

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
bit15~4	bit3	bit2	bit1	1	I/O リード	STRA リード

• STR1

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU17	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU16	0	R/W	R	
5	DBU15	0	R/W	R	
4	DBU14	0	R/W	R	
3	C/D1	0	R	R	コマンド/データ ホストが IDR1 に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR1 の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDR1) の内容はデータ 1: 入力データレジスタ (IDR1) の内容はコマンド
2	DBU12	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF1	0	R	R	入力データレジスタフル スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 なお、高速 GATE A20 を使用しているときは IBF1 フラグのセット/クリア条件が変わります。詳細は表 20.5 を参照してください。 0: [クリア条件] スレーブが IDR1 をリード 1: [セット条件] I/O ライトサイクルにより IDR1 にホストライト
0	OBF1	0	R/(W)*	R	出力データレジスタフル 0: [クリア条件] I/O リードサイクルにより ODR1 をホストリード、またはスレーブが OBF1 ビットに 0 ライト 1: [セット条件] スレーブが ODR1 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• STR2

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU27	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU26	0	R/W	R	
5	DBU25	0	R/W	R	
4	DBU24	0	R/W	R	
3	C \bar{D} 2	0	R	R	コマンド/データ ホストが IDR2 に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR2 の内容がデータかコマンドかを識別します。 0 : 入力データレジスタ (IDR2) の内容はデータ 1 : 入力データレジスタ (IDR2) の内容はコマンド
2	DBU22	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF2	0	R	R	入力データレジスタフル スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0 : [クリア条件] スレーブが IDR2 をリード 1 : [セット条件] I/O ライトサイクルにより IDR2 にホストライト
0	OBF2	0	R/(W)*	R	出力データレジスタフル 0 : [クリア条件] I/O リードサイクルにより ODR2 をホストリード、またはスレーブが OBF2 ビットに 0 ライト 1 : [セット条件] スレーブが ODR2 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• STR3 (TWRE=1またはSELSTR3=0のとき)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IBF3B	0	R	R	双方向データレジスタ入力データフルフラグ スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0: [クリア条件] スレーブが TWR15 をリード 1: [セット条件] ホストが I/O ライトサイクルにより TWR15 にライト
6	OBF3B	0	R/(W)*	R	双方向データレジスタ出力データフルフラグ 0: [クリア条件] ホストが I/O リードサイクルにより TWR15 をリード、またはスレーブが OBF3B ビットに 0 ライト 1: [セット条件] スレーブが TWR15 にライト
5	MWMF	0	R	R	マスタライトモードフラグ 0: [クリア条件] スレーブが TWR15 をリード 1: [セット条件] ホストが SWMF=0 の状態で、I/O ライトサイクルにより TWR0 にライト
4	SWMF	0	R/(W)*	R	スレーブライトモードフラグ マスタとスレーブの同時ライト時にはマスタのライトが優先されません。 0: [クリア条件] ホストが I/O リードサイクルにより TWR15 をリード、またはスレーブが SWMF ビットに 0 ライト 1: [セット条件] MWMF=0 の状態で、スレーブが TWR0 にライト
3	C/D3	0	R	R	コマンド/データフラグ ホストが IDR3 に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR3 の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDR3) の内容はデータ 1: 入力データレジスタ (IDR3) の内容はコマンド
2	DBU32	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	IBF3A	0	R	R	入力データレジスタフル スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0: [クリア条件] スレーブが IDR3 をリード 1: [セット条件] ホストが I/O ライトサイクルにより IDR3 にライト
0	OBF3A	0	R/(W)*	R	出力データレジスタフル 0: [クリア条件] I/O リードサイクルにより ODR3 をホストリード、またはスレーブが OBF3A ビットに 0 ライト 1: [セット条件] スレーブが ODR3 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• STR3 (TWRE=0でSELSTR3=1のとき)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU37	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU36	0	R/W	R	
5	DBU35	0	R/W	R	
4	DBU34	0	R/W	R	
3	C/D3	0	R	R	コマンド/データ ホストが IDR3 に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR3 の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDR3) の内容はデータ 1: 入力データレジスタ (IDR3) の内容はコマンド
2	DBU32	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF3A	0	R	R	入力データレジスタフル スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0: [クリア条件] スレーブが IDR3 をリード 1: [セット条件] I/O ライトサイクルにより IDR3 にホストライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
0	OBF3A	0	R/(W)*	R	出力データレジスタフル 0: [クリア条件] I/O リードサイクルにより ODR3 をホストリード、またはスレーブが OBF3A ビットに 0 ライト 1: [セット条件] スレーブが ODR3 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• STR4 (TWDRE=0)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBU47	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBU46	0	R/W	R	
5	DBU45	0	R/W	R	
4	DBU44	0	R/W	R	
3	C/D4	0	R	R	コマンド/データ ホストが IDR4 に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR4 の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDR4) の内容はデータ 1: 入力データレジスタ (IDR4) の内容はコマンド
2	DBU42	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBF4A	0	R	R	入力データレジスタフル スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0: [クリア条件] スレーブが IDR4 をリード 1: [セット条件] I/O ライトサイクルにより IDR4 にホストライト
0	OBF4A	0	R/(W)*	R	出力データレジスタフル 0: [クリア条件] I/O リードサイクルにより ODR4 をホストリード、またはスレーブが OBF4A ビットに 0 ライト 1: [セット条件] スレーブが ODR4 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• STR4 (TWDRE=1)

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IBF4B	0	R	R	CH4 双方向データレジスタ入力データフルフラグ スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0: [クリア条件] ・スレーブが TWDR31 をリード 1: [セット条件] ・ホストが I/O ライトサイクルにより TWDR31 にライト
6	OBF4B	0	R/(W)*	R	CH4 双方向データレジスタ出力データフルフラグ 0: [クリア条件] ・ホストが I/O リードサイクルにより TWDR31 をリード、またはスレーブが OBF4B ビットに 0 ライト 1: [セット条件] ・スレーブが TWDR31 にライト
5	MWM4F	0	R	R	マスタライトモードフラグ 0: [クリア条件] ・スレーブが TWDR31 をリード 1: [セット条件] ・ホストが SWM4F=0 の状態で、I/O ライトサイクルにより TWDR0 にライト
4	SWM4F	0	R/(W)*	R	スレーブライトモードフラグ マスタとスレーブの同時ライト時にはマスタのライトが優先されません。 0: [クリア条件] ・ホストが I/O リードサイクルにより TWDR31 をリード、またはスレーブが SWM4F ビットに 0 ライト 1: [セット条件] ・MWM4F=0 の状態で、スレーブが TWDR0 にライト
3	C/D4	0	R	R	コマンド/データ ホストが IDR4 に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR4 の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDR4) の内容はデータ 1: 入力データレジスタ (IDR4) の内容はコマンド
2	DBU42	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	IBF4A	0	R	R	入力データレジスタフル スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0: [クリア条件] ・スレーブが IDR4 をリード 1: [セット条件] ・I/O ライトサイクルにより IDR4 にホストライト
0	OBF4A	0	R/(W)*	R	出力データレジスタフル 0: [クリア条件] ・I/O リードサイクルにより ODR4 をホストリード、またはスレーブが OBF4A ビットに 0 ライト 1: [セット条件] ・スレーブが ODR4 にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

• STRA

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	DBUA7	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
6	DBUA6	0	R/W	R	
5	DBUA5	0	R/W	R	
4	DBUA4	0	R/W	R	
3	C/DA	0	R	R	コマンド/データ ホストが IDRA に対してライトを行ったときの、I/O アドレスのビット 0 の状態がライトされ、IDRA の内容がデータかコマンドかを識別します。 0: 入力データレジスタ (IDRA) の内容はデータ 1: 入力データレジスタ (IDRA) の内容はコマンド
2	DBUA2	0	R/W	R	ユーザ定義ビット ユーザが必要に応じて使用できるビットです。
1	IBFA	0	R	R	入力データレジスタフル スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。 0: [クリア条件] ・スレーブが IDRA をリード 1: [セット条件] ・I/O ライトサイクルにより IDRA にホストライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
0	OBFA	0	R/(W)*	R	出力データレジスタフル 0: [クリア条件] ・I/O リードサイクルにより ODRA をホストリード、またはスレーブが OBFA ビットに 0 ライト 1: [セット条件] ・スレーブが ODRA にライト

【注】 * フラグをクリアするための 0 ライトのみ可能です。

20.3.16 SERIRQ コントロールレジスタ 0 (SIRQCR0)

SIRQCR0 には、SERIRQ の動作モードを示すステータスビットと、SERIRQ の割り込みソースを指定するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	Q/C	0	R	—	<p>クワイエット/コンティニューアスモードフラグ</p> <p>SERIRQ の転送サイクルの最後で、ホストにより指定されたモードを示します。</p> <p>0 : コンティニューアスモード</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • LPC ハードウェアリセット、LPC ソフトウェアリセット • SERIRQ 転送サイクルのストップフレームによる指定 <p>1 : クワイエットモード</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SERIRQ 転送サイクルのストップフレームによる指定
6	SELREQ	0	R/W	—	<p>スタートフレーム起動要求選択</p> <p>クワイエットモードでホスト割り込み要求がクリアされた場合のスタートフレーム起動の条件を選択します。</p> <p>0 : すべての割り込み要求がクリアされたとき</p> <p>1 : 1 つ以上の割り込み要求がクリアされたとき</p>
5	IEDIR2	0	R/W	—	<p>割り込みイネーブルダイレクトモード 2</p> <p>LPC チャネル 2 の SERIRQ の割り込み要因の発生を、OBF に関連付けて行うか、ホスト割り込み許可ビットのみで行うかを制御します。</p> <p>0 : ホスト割り込みは、ホスト割り込み許可ビットと、対応する OBF が両方とも 1 にセットされたときに要求</p> <p>1 : ホスト割り込みは、ホスト割り込み許可ビットが 1 にセットされたときに要求</p>

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	SMIE3B	0	R/W	—	<p>ホスト SMI 割り込みイネーブル 3B</p> <p>TWR15 ライトにより OBF3B がセットされた場合の、SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF3B および SMIE3B による SMI 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SMIE3B への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF3B の 0 クリア (IEDIR3=0 の場合) <p>1 : [IEDIR3=0 の場合]</p> <p>OBF3B の 1 セットによる SMI 割り込み要求を許可</p> <p>[IEDIR3=1 の場合]</p> <p>SMI 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SMIE3B=0 リード後の 1 ライト
3	SMIE3A	0	R/W	—	<p>ホスト SMI 割り込みイネーブル 3A</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および SMIE3A による SMI 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SMIE3A への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF3A の 0 クリア (IEDIR3=0 の場合) <p>1 : [IEDIR3=0 の場合]</p> <p>OBF3A の 1 セットによる SMI 割り込み要求を許可</p> <p>[IEDIR3=1 の場合]</p> <p>SMI 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SMIE3A=0 リード後の 1 ライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
2	SMIE2	0	R/W	—	<p>ホスト SMI 割り込みイネーブル 2 ODR2 ライトにより OBF2 がセットされた場合の、SMI 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および SMIE2 による SMI 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> SMIE2 への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF2 の 0 クリア (IEDIR2=0 の場合) <p>1 : [IEDIR2=0 の場合] OBF2 の 1 セットによる SMI 割り込み要求を許可 [IEDIR2=1 の場合] SMI 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> SMIE2=0 リード後の 1 ライト
1	IRQ12E1	0	R/W	—	<p>ホスト IRQ12 割り込みイネーブル 1 ODR1 ライトにより OBF1 がセットされた場合の、HIRQ12 割り込み要求を許可または禁止します。</p> <p>0 : OBF1 および IRQ12E1 による HIRQ12 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> IRQ12E1 への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF1 の 0 クリア <p>1 : OBF1 の 1 セットによる HIRQ12 割り込み要求を許可 [セット条件]</p> <ul style="list-style-type: none"> IRQ12E1=0 リード後の 1 ライト
0	IRQ1E1	0	R/W	—	<p>ホスト IRQ1 割り込みイネーブル 1 ODR1 ライトにより OBF1 がセットされた場合の、HIRQ1 割り込み要求を許可または禁止します。</p> <p>0 : OBF1 および IRQ1E1 による HIRQ1 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> IRQ1E1 への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF1 の 0 クリア <p>1 : OBF1 の 1 セットによる HIRQ1 割り込み要求を許可 [セット条件]</p> <ul style="list-style-type: none"> IRQ1E1=0 リード後の 1 ライト

20.3.17 SERIRQ コントロールレジスタ 1 (SIRQCR1)

SIRQCR1 には、SERIRQ の割り込み要求の許可または禁止を指定するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IRQ11E3	0	R/W	—	<p>ホスト IRQ11 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、HIRQ11 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ11E3 による HIRQ11 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ11E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3=0 の場合) <p>1 : [IEDIR3=0 の場合] OBF3A の 1 セットによる HIRQ11 割り込み要求を許可</p> <p>[IEDIR3=1 の場合] HIRQ11 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ11E3=0 リード後の 1 ライト
6	IRQ10E3	0	R/W	—	<p>ホスト IRQ10 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、HIRQ10 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ10E3 による HIRQ10 割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • IRQ10E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3=0 の場合) <p>1 : [IEDIR3=0 の場合] OBF3A の 1 セットによる HIRQ10 割り込み要求を許可</p> <p>[IEDIR3=1 の場合] HIRQ10 割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • IRQ10E3=0 リード後の 1 ライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
5	IRQ9E3	0	R/W	—	<p>ホスト IRQ9 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、HIRQ9 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ9E3 による HIRQ9 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ9E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3=0 の場合) <p>1 : [IEDIR3=0 の場合] OBF3A の 1 セットによる HIRQ9 割り込み要求を許可 [IEDIR3=1 の場合] HIRQ9 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ9E3=0 リード後の 1 ライト
4	IRQ6E3	0	R/W	—	<p>ホスト IRQ6 割り込みイネーブル 3</p> <p>ODR3 ライトにより OBF3A がセットされた場合の、HIRQ6 割り込み要求を許可または禁止します。</p> <p>0 : OBF3A および IRQ6E3 による HIRQ6 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ6E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR3=0 の場合) <p>1 : [IEDIR3=0 の場合] OBF3A の 1 セットによる HIRQ6 割り込み要求を許可 [IEDIR3=1 の場合] HIRQ6 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ6E3=0 リード後の 1 ライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	IRQ11E2	0	R/W	—	<p>ホスト IRQ11 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、HIRQ11 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および IRQ11E2 による HIRQ11 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ11E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR2=0 の場合) <p>1 : [IEDIR2=0 の場合] OBF2 の 1 セットによる HIRQ11 割り込み要求を許可 [IEDIR2=1 の場合] HIRQ11 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ11E2=0 リード後の 1 ライト
2	IRQ10E2	0	R/W	—	<p>ホスト IRQ10 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、HIRQ10 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および IRQ10E2 による HIRQ10 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ10E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR2=0 の場合) <p>1 : [IEDIR2=0 の場合] OBF2 の 1 セットによる HIRQ10 割り込み要求を許可 [IEDIR2=1 の場合] HIRQ10 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ10E2=0 リード後の 1 ライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
1	IRQ9E2	0	R/W	—	<p>ホスト IRQ9 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、HIRQ9 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および IRQ9E2 による HIRQ9 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ9E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR2=0 の場合) <p>1 : [IEDIR2=0 の場合] OBF2 の 1 セットによる HIRQ9 割り込み要求を許可 [IEDIR2=1 の場合] HIRQ9 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ9E2=0 リード後の 1 ライト
0	IRQ6E2	0	R/W	—	<p>ホスト IRQ6 割り込みイネーブル 2</p> <p>ODR2 ライトにより OBF2 がセットされた場合の、HIRQ6 割り込み要求を許可または禁止します。</p> <p>0 : OBF2 および IRQ6E2 による HIRQ6 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ6E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR2=0 の場合) <p>1 : [IEDIR2=0 の場合] OBF2 の 1 セットによる HIRQ6 割り込み要求を許可 [IEDIR2=1 の場合] HIRQ6 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ6E2=0 リード後の 1 ライト

20.3.18 SERIRQ コントロールレジスタ 2 (SIRQCR2)

SIRQCR2 には、SERIRQ の割り込み要求の許可または禁止を指定するビットがあります。また、ホスト割り込み要求信号の出力を選択するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IEDIR3	0	R/W	—	<p>割り込みイネーブルダイレクトモード 3</p> <p>LPC チャンネル 3 の SERIRQ の割り込み要因の発生を、OBF に関連づけて行うか、ホスト割り込み許可ビットのみで行うかを制御します。</p> <p>0 : ホスト割り込みは、ホスト割り込み許可ビットと、対応する OBF が両方とも 1 にセットされたときに要求</p> <p>1 : ホスト割り込みは、ホスト割り込み許可ビットが 1 にセットされたときに要求</p>
6	IEDIR4	0	R/W	—	<p>割り込みイネーブルダイレクトモード 4</p> <p>LPC チャンネル 4 の SERIRQ の割り込み要因の発生を、OBF に関連づけて行うか、ホスト割り込み許可ビットのみで行うかを制御します。</p> <p>0 : ホスト割り込みは、ホスト割り込み許可ビットと、対応する OBF が両方とも 1 にセットされたときに要求</p> <p>1 : ホスト割り込みは、ホスト割り込み許可ビットが 1 にセットされたときに要求</p>
5	IRQ11E4	0	R/W	—	<p>ホスト IRQ11 割り込みイネーブル 4</p> <p>ODR4 ライトにより OBF4A がセットされた場合の、HIRQ11 の割り込み要求を許可または禁止します。</p> <p>0 : OBF4 および IRQ11E4 による HIRQ11 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ11E4 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF4A の 0 クリア (IEDIR4=0 の場合) <p>1 : [IEDIR4=0 の場合] OBF4A の 1 セットによる HIRQ11 割り込み要求を許可 [IEDIR4=1 の場合] HIRQ11 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ11E4=0 リード後の 1 ライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
4	IRQ10E4	0	R/W	—	<p>ホスト IRQ10 割り込みイネーブル 4</p> <p>ODR4 ライトにより OBF4A がセットされた場合の、HIRQ10 の割り込み要求を許可または禁止します。</p> <p>0 : OBF4 および IRQ10E4 による HIRQ10 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ10E4 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF4A の 0 クリア (IEDIR4=0 の場合) <p>1 : [IEDIR4=0 の場合]</p> <p>OBF4A の 1 セットによる HIRQ10 割り込み要求を許可 [IEDIR4=1 の場合]</p> <p>HIRQ10 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ10E4=0 リード後の 1 ライト
3	IRQ9E4	0	R/W	—	<p>ホスト IRQ9 割り込みイネーブル 4</p> <p>ODR4 ライトにより OBF4A がセットされた場合の、HIRQ9 の割り込み要求を許可または禁止します。</p> <p>0 : OBF4 および IRQ9E4 による HIRQ9 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ9E4 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF4A の 0 クリア (IEDIR4=0 の場合) <p>1 : [IEDIR4=0 の場合]</p> <p>OBF4A の 1 セットによる HIRQ9 割り込み要求を許可 [IEDIR4=1 の場合]</p> <p>HIRQ9 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ9E4=0 リード後の 1 ライト

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
2	IRQ6E4	0	R/W	—	<p>ホスト IRQ6 割り込みイネーブル 4</p> <p>ODR4 ライトにより OBF4A がセットされた場合の、HIRQ6 の割り込み要求を許可または禁止します。</p> <p>0 : OBF4 および IRQ6E4 による HIRQ6 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • IRQ6E4 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF4A の 0 クリア (IEDIR4=0 の場合) <p>1 : [IEDIR4=0 の場合]</p> <p>OBF4A の 1 セットによる HIRQ6 割り込み要求を許可 [IEDIR4=1 の場合]</p> <p>HIRQ6 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • IRQ6E4=0 リード後の 1 ライト
1	SMIE4	0	R/W	—	<p>ホスト SMI 割り込みイネーブル 4</p> <p>ODR4 ライトにより OBF4A がセットされた場合の、SMI の割り込み要求を許可または禁止します。</p> <p>0 : OBF4 および SMIE4 による SMI 割り込みの要求を禁止 [クリア条件]</p> <ul style="list-style-type: none"> • SMIE4 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF4A の 0 クリア (IEDIR4=0 の場合) <p>1 : [IEDIR4=0 の場合]</p> <p>OBF4A の 1 セットによる SMI 割り込み要求を許可 [IEDIR4=1 の場合]</p> <p>SMI 割り込みを要求 [セット条件]</p> <ul style="list-style-type: none"> • SMIE4=0 リード後の 1 ライト
0	—	0	R/W	—	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

20.3.19 SERIRQ コントロールレジスタ 3 (SIRQCR3)

SIRQCR3 には、ホスト割り込み要求信号の出力を選択するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	SELIRQ15	0	R/W	—	ホスト IRQ 割り込み選択
6	SELIRQ14	0	R/W	—	SERIRQ 出力を選択するビットです。
5	SELIRQ13	0	R/W	—	0 : [ホスト割り込み要求がクリアされている場合]
4	SELIRQ8	0	R/W	—	SERIRQ 端子出力はハイインピーダンス
3	SELIRQ7	0	R/W	—	[ホスト割り込み要求がセットされている場合]
2	SELIRQ5	0	R/W	—	SERIRQ 端子出力はローレベル
1	SELIRQ4	0	R/W	—	1 : [ホスト割り込み要求がクリアされている場合]
0	SELIRQ3	0	R/W	—	SERIRQ 端子出力はローレベル
					[ホスト割り込み要求がセットされている場合] SERIRQ 端子出力はハイインピーダンス

20.3.20 SERIRQ コントロールレジスタ 4 (SIRQCR4)

SIRQCR4 には、TWDR および SCIF の SERIRQ 割り込み要求を選択するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	TWSIRQ3	0	R/W	—	TWDR SERIRQ 要求
6	TWSIRQ2	0	R/W	—	TWDR のホスト割り込み要求を選択します。
5	TWSIRQ1	0	R/W	—	0000 : ホスト割り込み要求なし
4	TWSIRQ0	0	R/W	—	0001 : HIRQ1
					0010 : SMI
					0011 : HIRQ3
					0100 : HIRQ4
					0101 : HIRQ5
					0110 : HIRQ6
					0111 : HIRQ7
					1000 : HIRQ8
					1001 : HIRQ9
					1010 : HIRQ10
					1011 : HIRQ11
					1100 : HIRQ12
					1101 : HIRQ13
					1110 : HIRQ14
					1111 : HIRQ15

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
3	SCSIRQ3	0	R/W	—	SCIF SERIRQ 要求
2	SCSIRQ2	0	R/W	—	SCIF のホスト割り込み要求を選択します。
1	SCSIRQ1	0	R/W	—	0000 : ホスト割り込み要求なし
0	SCSIRQ0	0	R/W	—	0001 : HIRQ1
					0010 : SMI
					0011 : HIRQ3
					0100 : HIRQ4
					0101 : HIRQ5
					0110 : HIRQ6
					0111 : HIRQ7
					1000 : HIRQ8
					1001 : HIRQ9
					1010 : HIRQ10
					1011 : HIRQ11
					1100 : HIRQ12
					1101 : HIRQ13
					1110 : HIRQ14
					1111 : HIRQ15

20.3.21 SERIRQ コントロールレジスタ 5 (SIRQCR5)

SIRQCR5 には、SERIRQ の割り込み要求の許可または禁止を指定するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	IRQE4B	0	R/W	—	<p>ホスト割り込みイネーブル 4B</p> <p>TWDR31 ライトにより OBF4B がセットされた場合の、ホスト割り込み要求を許可または禁止します。</p> <p>0 : OBF4B および IRQE4B によるホスト割り込みの要求を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> IRQE4B への 0 ライト LPC ハードウェアリセット、LPC ソフトウェアリセット OBF4B の 0 クリア (IEDIR4=0 の場合) <p>1 : [IEDIR4=0 の場合]</p> <p>OBF4B の 1 セットによるホスト割り込み要求を許可</p> <p>[IEDIR4=1 の場合]</p> <p>ホスト割り込みを要求</p> <p>[セット条件]</p> <ul style="list-style-type: none"> IRQE4B=0 リード後の 1 ライト
6~0	—	すべて 0	R/W	—	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

20.3.22 SCIF アドレスレジスタ (SCIFADRH、SCIFADRL)

SCIFADR は、SCIF のホストアドレスの設定を行います。SCIFADR は、SCIF 動作時 (SCIFE を 1 にセットした状態) では、内容を変更しないでください。

• SCIFADRH

ビット	ビット名	初期値	R/W		説 明
			スレーブ	ホスト	
7	—	0	R/W	—	SCIF アドレスビット 15~8 SCIF のホストアドレスの設定を行います。
6	—	0	R/W	—	
5	—	0	R/W	—	
4	—	0	R/W	—	
3	—	0	R/W	—	
2	—	0	R/W	—	
1	—	1	R/W	—	
0	—	1	R/W	—	

• SCIFADRL

ビット	ビット名	初期値	R/W		説 明
			スレーブ	ホスト	
7	—	1	R/W	—	SCIF アドレスビット 7~0 SCIF のホストアドレスの設定を行います。
6	—	1	R/W	—	
5	—	1	R/W	—	
4	—	1	R/W	—	
3	—	1	R/W	—	
2	—	0	R/W	—	
1	—	0	R/W	—	
0	—	0	R/W	—	

【注】 SCIF を使用する場合は、SCIFADR の設定をチャンネル 1、2、3、4、A と異なるアドレスに設定してください。

20.3.23 ホストインタフェースセレクトレジスタ (HISEL)

HISEL は、STR3 レジスタのビット 7~4 の機能を選択することができます。また、各フレームのホスト割り込み要求信号の出力を選択することができます。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	SELSTR3	0	R/W	—	<p>ステータスレジスタ 3 の選択</p> <p>LADR3L の TWRE ビットとの組み合わせにより、STR3 のビット 7~4 の機能を選択します。STR3 についての詳細は、「20.3.15 ステータスレジスタ 1~4、A (STR1~STR4、STRA)」を参照してください。</p> <p>0 : ホストインタフェース処理中の状態を表示します。</p> <p>1 : [TWRE=0] のとき ユーザが必要に応じて使用できるリード/ライト可能なビットになります。</p> <p>[TWRE=1] のとき ホストインタフェース処理中の状態を表示します。</p>
6	SELIRQ11	0	R/W	—	<p>ホスト IRQ 割り込み選択</p> <p>SERIRQ 出力を選択するビットです。</p> <p>0 : [ホスト割り込み要求がクリアされている場合] SERIRQ 端子出力はハイインピーダンス</p> <p>[ホスト割り込み要求がセットされている場合] SERIRQ 端子出力はローレベル</p> <p>1 : [ホスト割り込み要求がクリアされている場合] SERIRQ 端子出力はローレベル</p> <p>[ホスト割り込み要求がセットされている場合] SERIRQ 端子出力はハイインピーダンス</p>
5	SELIRQ10	0	R/W	—	
4	SELIRQ9	0	R/W	—	
3	SELIRQ6	0	R/W	—	
2	SELSMI	0	R/W	—	
1	SELIRQ12	1	R/W	—	
0	SELIRQ1	1	R/W	—	

20.3.24 クロックランコントロールレジスタ (CKRCR)

CKRCR には、LCLK 停止時の $\overline{\text{CLKRUN}}$ 信号による LCLK 再起動要求を制御するビットがあります。

ビット	ビット名	初期値	R/W		説明
			スレーブ	ホスト	
7	CKREA	0	R/W	—	クロックリクエストイネーブル A FSI 転送中に LCLK が停止した場合の CLKRUN 信号による LCLK 再起動要求を許可または禁止します。 FSI の転送クロックに LCLK を選択している時のみ有効です。 0 : CLKRUN 信号による LCLK 再起動要求禁止 1 : CLKRUN 信号による LCLK 再起動要求許可
6	CKREB	0	R/W	—	クロックリクエストイネーブル B LCLK が停止した場合の CLKRUN 信号による LCLK 再起動要求を許可または禁止します。 ホスト割り込み要求がない状態でも CLKRUN 信号による LCLK 再起動要求が可能です。 0 : CLKRUN 信号による LCLK 再起動要求禁止 1 : CLKRUN 信号による LCLK 再起動要求許可
5~0	—	すべて 0	R/W	—	リザーブビット 初期値を変更しないでください。

20.4 動作説明

20.4.1 LPC インタフェースの起動

HICR0 の LPC3E~LPC1E ビット、HICR4 の LPC4E ビット、HICR6 の LPCAE ビットのいずれかひとつを 1 にセットすることにより、LPC インタフェースが起動します。LPC インタフェースを起動することにより、関連する I/O ポートは LPC インタフェース専用入出力となります。さらに HICR0 の FGA20E、PMEE、LSMIE および LSCIE ビットを 1 にセットすることにより、関連する I/O ポートが LPC インタフェースの入出力に加わります。

リセット解除後の LPC インタフェースの起動は、以下の手順に従ってください。

1. 信号線の状態をリードして、LPCを接続可能であることを確認します。
また、LPC の内部状態が初期状態であることを確認します。
2. チャンネル1、2を使用する場合は、LADR1、LADR2を設定してI/Oアドレスを決定します。
3. チャンネル3、4を使用する場合は、LADR3、LADR4を設定してチャンネル3、チャンネル4のI/Oアドレスおよび双方向データレジスタの使用の有無を決定します。
4. チャンネルAを使用する場合は、LADRAを設定してI/Oアドレスを決定し、チャンネルAの拡張機能を有効にする場合は拡張チャンネルAイネーブルビット (ELPCAE) をセットします。
5. 使用するチャンネルのイネーブルビット (LPCAE、LPC4E~LPC1E) をセットします。
6. 使用する付加機能のイネーブルビット (FGA20E、PMEE、LSMIE、LSCIE) をセットします。
7. その他の機能の選択ビット (SDWNE、IEDIR) を設定します。
8. 念のため、割り込みフラグ (LRST、SDWN、ABRT、OBF、OBEI) をクリアします。IBFをクリアするために、IDRやTWR15やTWDR31をリードします。
9. 受信完了割り込みが必要なときは、受信完了割り込みイネーブルビット (IBFIEA、IBFIE4~IBFIE1、ERRIE、OBEIE) を設定します。

20.4.2 LPC の I/O サイクル

LPC の転送サイクルには、LPC メモリリード、LPC メモリライト、I/O リード、I/O ライト、DMA リード、DMA ライト、バスマスタメモリリード、バスマスタメモリライト、バスマスタ I/O リード、バスマスタ I/O ライト、FW メモリリード、FW メモリライトの、合計 12 種類が存在します。本 LSI の LPC は、このうち I/O リード、I/O ライトをサポートします。

LPC の転送サイクルは、バスアイドル状態で $\overline{\text{LFRAME}}$ 信号が Low レベルになることにより起動されます。バスアイドルでない状態で $\overline{\text{LFRAME}}$ 信号が Low レベルになると、その LPC 転送サイクルの強制終了（アボート）が要求されたことを表します。

I/O リードサイクルおよび I/O ライトサイクルでは、LCLK に同期して、次の順番で LAD3~LAD0 を用いて転送が行われます。スレーブからの同期返送サイクルは、B'0000 以外の値を返送してホストを待たせることが可能ですが、本 LSI の LPC では必ず B'0000 を返送します。

LPC インタフェースは、受信したアドレスが LPC のレジスタ（IDR、ODR、STR、TWR、TWDR）のホストアドレスに一致した場合にビジーとなり、ステートカウンタ 12 のターンアラウンドを出力することによりアイドル状態に戻ります。レジスタおよびフラグの変更は、このタイミングで行われるため、転送サイクルの強制終了（アボート）があった場合にはレジスタおよびフラグの内容の変更は行われません。

$\overline{\text{LFRAME}}$ 、LCLK、LAD 信号のタイミングを図 20.2、図 20.3 に示します。

表 20.3 LPC I/O サイクル

ステート カウンタ	I/O リードサイクル			I/O ライトサイクル		
	内容	駆動元	値 (3~0)	内容	駆動元	値 (3~0)
1	スタート	ホスト	0000	スタート	ホスト	0000
2	サイクル種類/方向	ホスト	0000	サイクル種類/方向	ホスト	0010
3	アドレス 1	ホスト	bit15~12	アドレス 1	ホスト	bit15~12
4	アドレス 2	ホスト	bit11~8	アドレス 2	ホスト	bit11~8
5	アドレス 3	ホスト	bit7~4	アドレス 3	ホスト	bit7~4
6	アドレス 4	ホスト	bit3~0	アドレス 4	ホスト	bit3~0
7	ターンアラウンド (リカバー)	ホスト	1111	データ 1	ホスト	bit3~0
8	ターンアラウンド	なし	ZZZZ	データ 2	ホスト	bit7~4
9	同期	スレーブ	0000	ターンアラウンド (リカバー)	ホスト	1111
10	データ 1	スレーブ	bit3~0	ターンアラウンド	なし	ZZZZ
11	データ 2	スレーブ	bit7~4	同期	スレーブ	0000
12	ターンアラウンド (リカバー)	スレーブ	1111	ターンアラウンド (リカバー)	スレーブ	1111
13	ターンアラウンド	なし	ZZZZ	ターンアラウンド	なし	ZZZZ

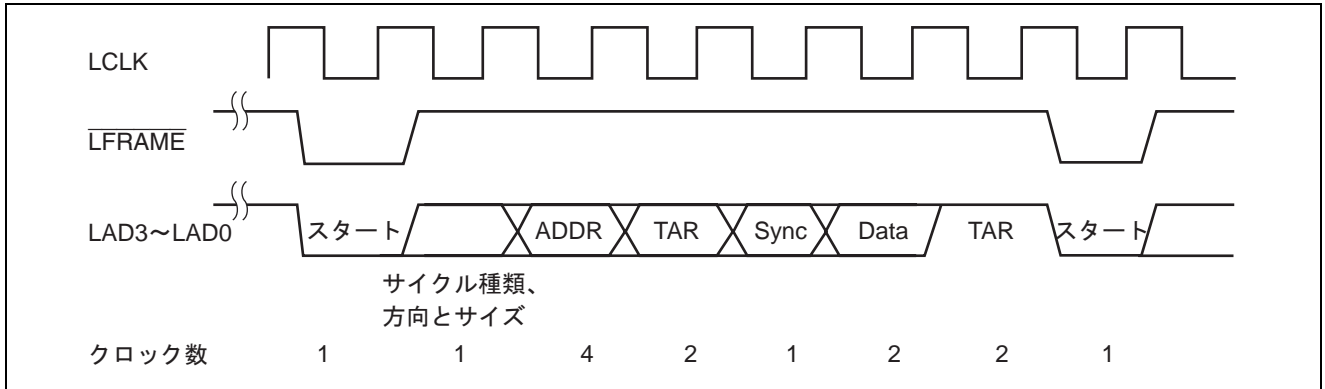


図 20.2 LFRAME のタイミング例

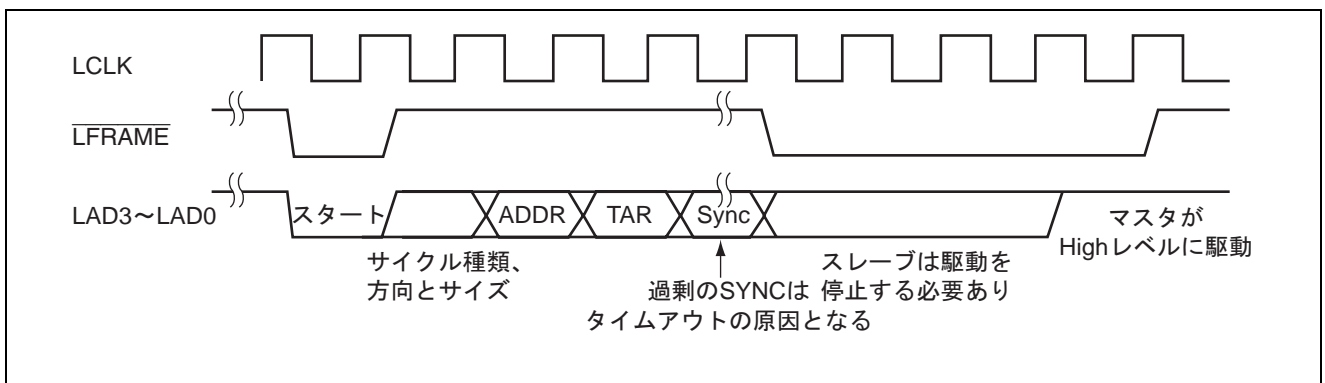


図 20.3 アボートメカニズム

20.4.3 GATE A20

GATE A20 は 8086*系 CPU を使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレス A20 をマスクすることができます。本出力は通常 GATE A20 としてファームウェアで制御されますが、HICR0 の FGA20E ビットを 1 にセットすることによりハードウェアで処理速度を上げた、高速 GATE A20 機能を使用することが可能です。

【注】 * 米国インテル社のマイクロプロセッサの名称です。

(1) 通常の GATE A20 の動作

H'D1 コマンドとデータの組み合わせで GATE A20 の出力を制御することができます。スレーブ (本 LSI) がデータを受信するときは、通常は IBFI1 割り込みによる割り込みルーチンを使用して IDR1 をリードします。このとき、ファームウェアにより H'D1 コマンドに続くデータのビット 1 の値をコピーして GATE A20 端子に出力します。

(2) 高速 GATE A20 の動作

GA20 出力の内部状態は、FGA20E=0 であることにより 1 に初期化されます。FGA20E ビットを 1 にセットすると、GA20 は高速 GA20 信号の出力端子となります。GA20 端子の状態をモニタする場合は、HICR2 の GA20 ビットをリードしてください。

端子は、最初に初期値である 1 を出力します。その後ホストはコマンド/データを送ることにより本端子の出力を操作することができます。本機能は IDR1 によってのみ使用できます。この場合、ホストインタフェースはホストから入力されてくるコマンドをデコードします。ホストコマンド H'D1 が検出されると、このホストコマンドに続くデータのビット 1 が GA20 出力端子から出力されます。本動作は、ファームウェアや割り込みに依存しないため、通常の割り込みを使用した処理よりも高速です。表 20.4 に GA20 のセット/クリアの条件を、図 20.4 に GA20 出力のフローを示します。また、表 20.5 に GA20 出力信号の値を示します。

表 20.4 GA20 のセット/クリアタイミング

端子名	セット条件	クリア条件
GA20	H'D1 ホストコマンドに続くデータのビット 1 が 1 のとき	H'D1 ホストコマンドに続くデータのビット 1 が 0 のとき

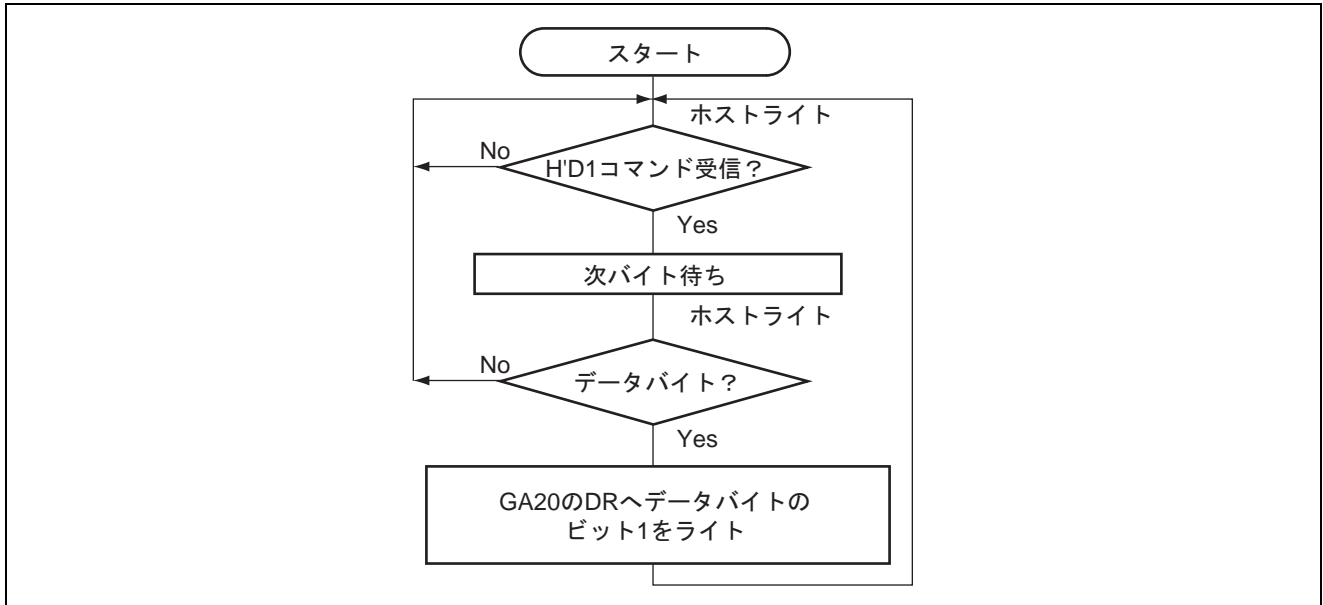


図 20.4 GA20 出力

表 20.5 高速 GATE A20 出力信号

C/D1	データ/コマンド	内部 CPU 割り込みフラグ (IBF)	GA20	備考
1	H'D1 コマンド	0	Q	ターンオンシーケンス
0	1 データ*1	0	1	
1	H'FF コマンド	0	Q (1)	
1	H'D1 コマンド	0	Q	ターンオフシーケンス
0	0 データ*2	0	0	
1	H'FF コマンド	0	Q (0)	
1	H'D1 コマンド	0	Q	ターンオンシーケンス (短縮形)
0	1 データ*1	0	1	
1/0	H'FF・H'D1 コマンド以外	1	Q (1)	
1	H'D1 コマンド	0	Q	ターンオフシーケンス (短縮形)
0	0 データ*2	0	0	
1/0	H'FF・H'D1 コマンド以外	1	Q (0)	
1	H'D1 コマンド	0	Q	シーケンスの取消し
1	H'D1 以外のコマンド	1	Q	
1	H'D1 コマンド	0	Q	シーケンスの再トリガ
1	H'D1 コマンド	0	Q	
1	H'D1 コマンド	0	Q	シーケンスの連続実行
0	任意のデータ	0	1/0	
1	H'D1 コマンド	0	Q (1/0)	

【注】 *1 ビット1が1の任意のデータ

*2 ビット1が0の任意のデータ

20.4.4 LPC インタフェースのシャットダウン機能 (LPCPD)

$\overline{\text{LPCPD}}$ 端子の状態により、LPC インタフェースをシャットダウン状態にすることができます。LPC インタフェースのシャットダウン状態には、LPC ハードウェアシャットダウン状態と LPC ソフトウェアシャットダウン状態の 2 種類があります。LPC ハードウェアシャットダウン状態は $\overline{\text{LPCPD}}$ 端子で、LPC ソフトウェアシャットダウン状態は SDWNB ビットで制御されます。いずれの状態でも、LPC インタフェースは部分的にリセット状態となり、 $\overline{\text{LRESET}}$ 信号および $\overline{\text{LPCPD}}$ 信号以外の外部信号の影響を受けなくなります。

シャットダウン状態での消費電流を低減するためには、スレーブをスリープモードまたはソフトウェアスタンバイモードに設定することが有効です。ソフトウェアスタンバイモードに設定した場合には、 $\overline{\text{LPCPD}}$ 信号によるシャットダウン状態の解除の前にソフトウェアスタンバイモードを解除しておく手段が必要です。

SDWNE ビットをあらかじめ 1 にセットしておく、 $\overline{\text{LPCPD}}$ 信号の立ち下がりと同時に LPC ハードウェアシャットダウン状態になります。LPC ハードウェアシャットダウンの操作手順を以下に示します。

1. SDWNE ビットを 1 にセットしておきます。
2. ERRIE ビットを 1 にセットしておき、SDWN フラグによる割り込みを待ちます。
3. SDWN フラグによるERRI割り込みが発生したら、LPC インタフェースの内部状態フラグを確認し、処理すべき事項があれば処理します。
4. $\overline{\text{LPCPD}}$ 信号の状態を確認して、 $\overline{\text{LPCPD}}$ 信号が立ち上がっていないことを確認します。もし立ち上がっている場合は、SDWNE を 0 にクリアして (1) の状態に戻ります。
5. スリープモードまたはソフトウェアスタンバイモードを設定します。ソフトウェアスタンバイモードを設定した場合は、LPC ハードウェアシャットダウン解除前にLPCと関係のない手段でソフトウェアスタンバイモードを解除します。
6. $\overline{\text{LPCPD}}$ 信号の立ち上がりエッジを検出すると、SDWNE ビットが自動的に 0 にクリアされます。スレーブがスリープモードに設定されている場合は、 $\overline{\text{LRESET}}$ 信号入力やLPCの転送サイクルの完了などによって解除されます。

表 20.6 に LPC インタフェース端子シャットダウン範囲を示します。

表 20.6 LPC インタフェース端子シャットダウン範囲

略 称	シャット ダウン範囲	入出力	備 考
LAD3~LAD0	○	入出力	Hi-Z
$\overline{\text{LFRAME}}$	○	入力	Hi-Z
$\overline{\text{LRESET}}$	×	入力	LPC ハードウェアリセット機能はアクティブ
LCLK	×	入力	シャットダウン状態解除に必要
SERIRQ	○	入出力	Hi-Z
LSCI	△	入出力	Hi-Z、LSCIE=1 のときのみ
LSMI	△	入出力	Hi-Z、LSMIE=1 のときのみ
PME	△	入出力	Hi-Z、PMEE=1 のときのみ
GA20	△	入出力	Hi-Z、FGA20E=1 のときのみ
$\overline{\text{CLKRUN}}$	○	入力	Hi-Z
$\overline{\text{LPCPD}}$	×	入力	シャットダウン状態解除に必要

【記号説明】

○：シャットダウン機能によりシャットダウンされる端子

△：レジスタの設定による LPC 機能選択時のみシャットダウンされる端子

×：シャットダウンされない端子

LPC シャットダウン状態では、LPC の内部状態および一部のレジスタビットが初期化されます。LPC リセット状態との優先順位は以下のようになっています。

1. システムリセット ($\overline{\text{RES}}$ 端子入力、パワーオンリセットおよびWDTオーバフローによるリセット)
LPC4E~LPC1Eビットをはじめ、すべてのレジスタビットを初期化します。
2. LPCハードウェアリセット ($\overline{\text{LRESET}}$ 端子入力によるリセット)
LRSTB、SDWNE、SDWNB ビットを 0 にクリアします。
3. LPCソフトウェアリセット (LRSTBによるリセット)
SDWNE、SDWNB ビットを 0 にクリアします。
4. LPCハードウェアシャットダウン
SDWNB ビットを 0 にクリアします。
5. LPCソフトウェアシャットダウン

各モードで初期化される範囲を表 20.7 に示します。

表 20.7 LPC インタフェースの各モードで初期化される範囲

初期化対象	システムリセット	LPC リセット	LPC シャットダウン
LPC 転送サイクルシーケンサ (内部状態) および LPCBSY フラグ、ABRT フラグ	初期化	初期化	初期化
SERIRQ 転送サイクルシーケンサ (内部状態) および CLKREQ、IRQBSY フラグ	初期化	初期化	初期化
LPC インタフェースフラグ (IBF1、IBF2、IBF3A、IBF3B、IBF4A、IBF4B、IBFA、MWMF、 MWM4F、C/D1、C/D2、C/D3、C/D4、C/D4A、OBF1、OBF2、 OBF3A、OBF3B、OBF4A、OBF4B、OBFA、SWMF、SWM4F、 DBU、OBEI) および GA 20 (内部状態)	初期化	初期化	保持
ホスト割り込みイネーブル (IRQ1E1、IRQ12E1、SMIE2、IRQ6E2、 IRQ9E2~IRQ11E2、SMIE3B、SMIE3A、IRQ6E3、 IRQ9E3~IRQ11E3、SELREQ、SMIE4、IRQ6E4、 IRQ9E4~IRQ11E4、IRQE4B、IEDIR2~IEDIR4) および Q/C フラグ	初期化	初期化	保持
LRST フラグ	初期化 (0)	セット/クリア可能	セット/クリア可能
SDWN フラグ	初期化 (0)	初期化 (0)	セット/クリア可能
LRSTB ビット	初期化 (0)	HR : 0 SR : 1	0 (セット可能)
SDWNB ビット	初期化 (0)	初期化 (0)	HS : 0 SS : 1
SDWNE ビット	初期化 (0)	初期化 (0)	HS : 1 SS : 0 または 1
LPC インタフェース動作制御ビット (LPC4E~LPC1E、LPCAE、ELPCAE、FGA20E、 LADR1~LADR4、LADRA、IBFIE1~IBFIE4、IBFIEA、PMEE、 PMEB、LSMIE、LSMIB、LSCIE、LSCIB、TWRE、TWDRE、 SELSTR3、SELIRQ1、SELSMI、SELIRQ3~SELIRQ15、 OBEIE、SCIFE、IDR1~IDR4、IDRA、ODR1~ODR4、ODRA、 TWR0~TWR15、TWDR0~TWDR31、 TWSIRQ0~TWSIRQ3、SCSIRQ0~SCSIRQ3、 SCIFADRHL、CKREA、CKREB)	初期化	保持	保持
$\overline{\text{LRESET}}$ 、 $\overline{\text{LPCPD}}$ 、LCLK 信号	入力 (ポート機能)	入力	入力
LAD3~LAD0、 $\overline{\text{LFRAME}}$ 、SERIRQ、 $\overline{\text{CLKRUN}}$ 信号		入力	Hi-Z
$\overline{\text{PME}}$ 、 $\overline{\text{LSMI}}$ 、LSCI、GA20 信号 (機能選択時)		出力	Hi-Z
$\overline{\text{PME}}$ 、 $\overline{\text{LSMI}}$ 、LSCI、GA20 信号 (機能非選択時)		ポート機能	

- 【注】 システムリセット： $\overline{\text{RES}}$ 端子入力、パワーオンリセットおよび WDT オーバフローによるリセット
 LPC リセット：LPC ハードウェアリセット (HR)、LPC ソフトウェアリセット (SR) によるリセット
 LPC シャットダウン：LPC ハードウェアシャットダウン (HS)、LPC ソフトウェアシャットダウン (SS) によるリセット

$\overline{\text{LPCPD}}$ 、 $\overline{\text{LRESET}}$ 信号のタイミングを図 20.5 に示します。

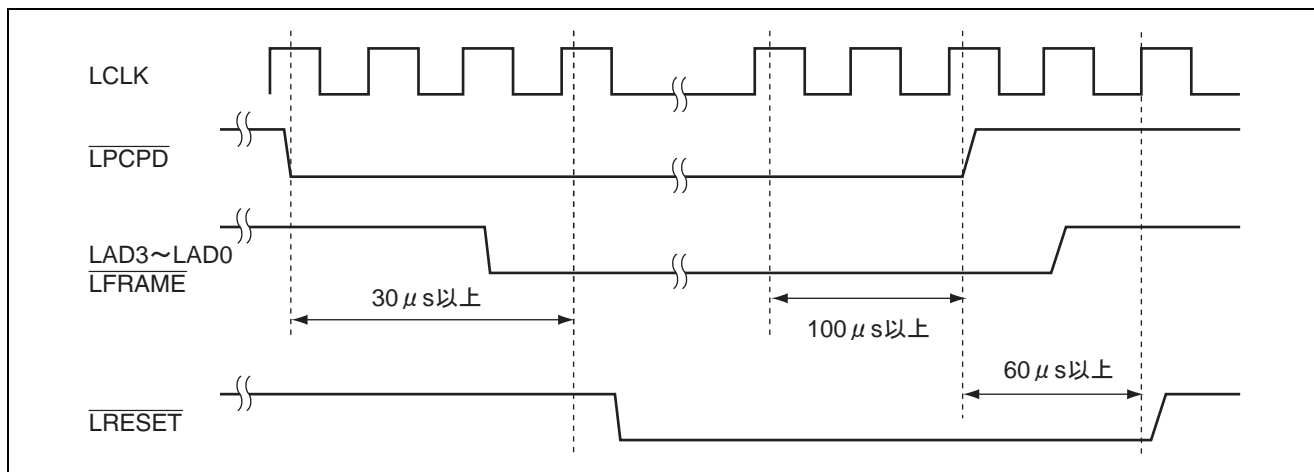


図 20.5 パワーダウン状態の終了タイミング

20.4.5 LPC インタフェースのシリアル割り込み動作 (SERIRQ)

SERIRQ 端子により、LPC インタフェースからホスト割り込み要求をすることができます。SERIRQ 端子によるホスト割り込み要求は、ホストまたは周辺機能から発生されるシリアル割り込み転送サイクルの開始フレームから起算して LCLK をカウントし、当該割り込みに対応するフレームで要求信号を発生します。このタイミングを図 20.6 に示します。

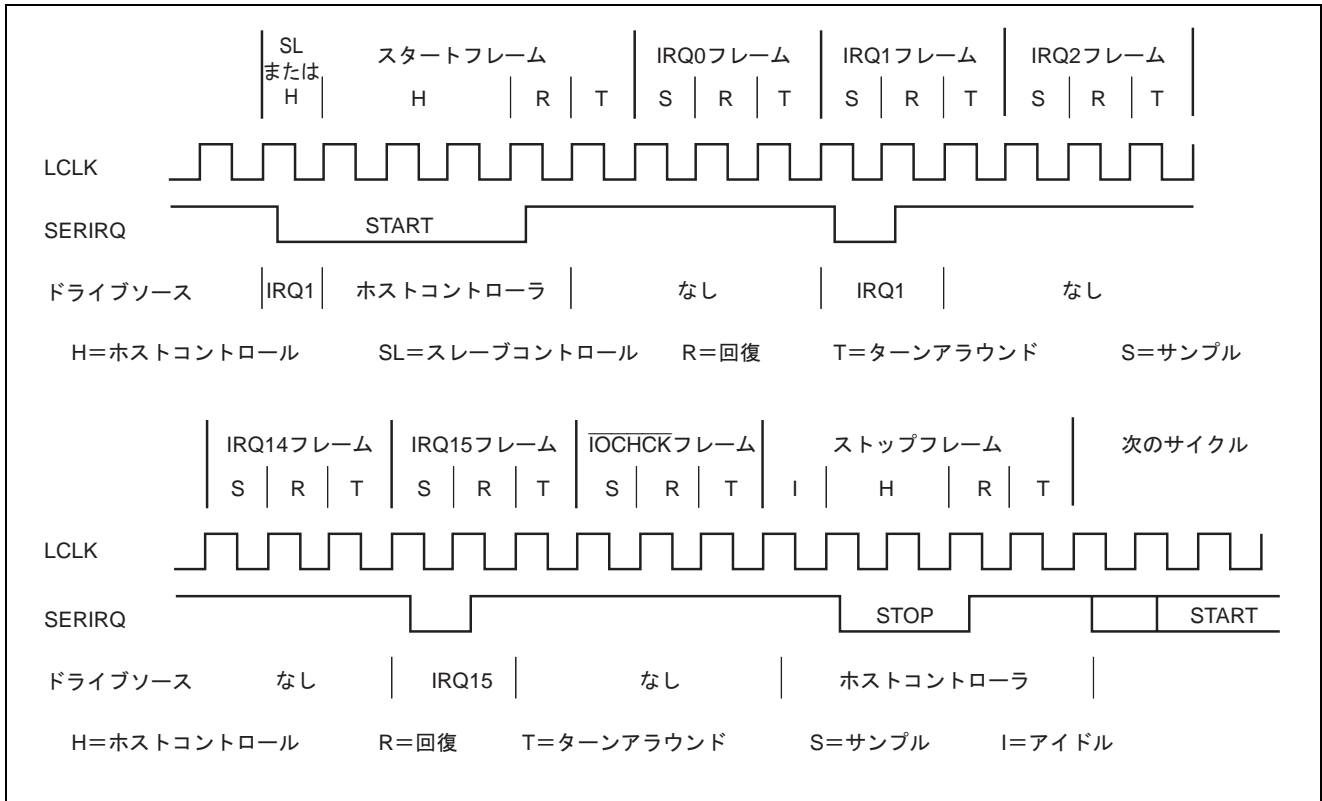


図 20.6 SERIRQ タイミング

シリアル割り込み転送サイクルのフレームの配列は次の通りです。各フレームのステート数のうち2ステートは、フレームの終わりにSERIRQ信号を1レベルに戻すリカバーステートと、SERIRQ信号をドライブしないターンアラウンドステートです。リカバーステートは、直前のステートをドライブしていたホストまたはスレーブがドライブする必要があります。

表 20.8 シリアル割り込み転送サイクルのフレームの配列

フレーム カウント	シリアル割り込み転送サイクル			備 考
	内 容	駆動元	ステート数	
0	スタート	スレーブ ホスト	6	クワイエットモード時のみ、先頭ステートのスレーブ駆動可能 続く3ステートをホストが0駆動
1	IRQ0	スレーブ	3	
2	IRQ1	スレーブ	3	LPC チャンネル 1、4、SCIF で駆動可能
3	SMI	スレーブ	3	LPC チャンネル 2、3、4、SCIF で駆動可能
4	IRQ3	スレーブ	3	LPC チャンネル 4、SCIF で駆動可能
5	IRQ4	スレーブ	3	LPC チャンネル 4、SCIF で駆動可能
6	IRQ5	スレーブ	3	LPC チャンネル 4、SCIF で駆動可能
7	IRQ6	スレーブ	3	LPC チャンネル 2、3、4、SCIF で駆動可能
8	IRQ7	スレーブ	3	LPC チャンネル 4、SCIF で駆動可能
9	IRQ8	スレーブ	3	LPC チャンネル 4、SCIF で駆動可能
10	IRQ9	スレーブ	3	LPC チャンネル 2、3、4、SCIF で駆動可能
11	IRQ10	スレーブ	3	LPC チャンネル 2、3、4、SCIF で駆動可能
12	IRQ11	スレーブ	3	LPC チャンネル 2、3、4、SCIF で駆動可能
13	IRQ12	スレーブ	3	LPC チャンネル 1、4、SCIF で駆動可能
14	IRQ13	スレーブ	3	LPC チャンネル 4、SCIF で駆動可能
15	IRQ14	スレーブ	3	LPC チャンネル 4、SCIF で駆動可能
16	IRQ15	スレーブ	3	LPC チャンネル 4、SCIF で駆動可能
17	IOCHCK	スレーブ	3	
18	ストップ	ホスト	不定	先頭に1ステート以上のアイドルステート その後ホストが2または3ステート0駆動 2ステート：次はクワイエットモード 3ステート：次はコンティニューアスモード

シリアル割り込みには、コンティニユアスモードとクワイエットモードがあり、次の転送サイクルがいずれのモードで起動されるかは、ひとつ前に終了したシリアル割り込み転送サイクルの停止フレームで選択されています。

コンティニユアスモードでは、ホストが定期的にホスト割り込み転送サイクルを起動します。クワイエットモードでは、ホストの他に、要求すべき割り込み要因をもつスレーブが割り込み転送サイクルを起動することができます。クワイエットモードでは、必ずしもホストが割り込み転送サイクルを起動する必要がないため、クロック (LCLK) 供給を中断して低消費電力状態に入ることが可能です。このときスレーブが割り込み要求を転送するためには、事前にクロックの再起動をホストに要求する必要があります。詳細は「20.4.6 LPC インタフェースのクロック起動要求」を参照してください。

20.4.6 LPC インタフェースのクロック起動要求

$\overline{\text{CLKRUN}}$ 端子により、ホストにクロック (LCLK) の再起動を要求することができます。LPC のデータ転送およびコンティニユアスモードの SERIRQ では、転送サイクルはホストにより起動されるため、クロックの再起動を要求することはありません。クワイエットモードの SERIRQ では、ホスト割り込み要求が発生すると $\overline{\text{CLKRUN}}$ 信号を駆動し、ホストにクロック (LCLK) の再起動を要求します。このタイミングを図 20.7 に示します。

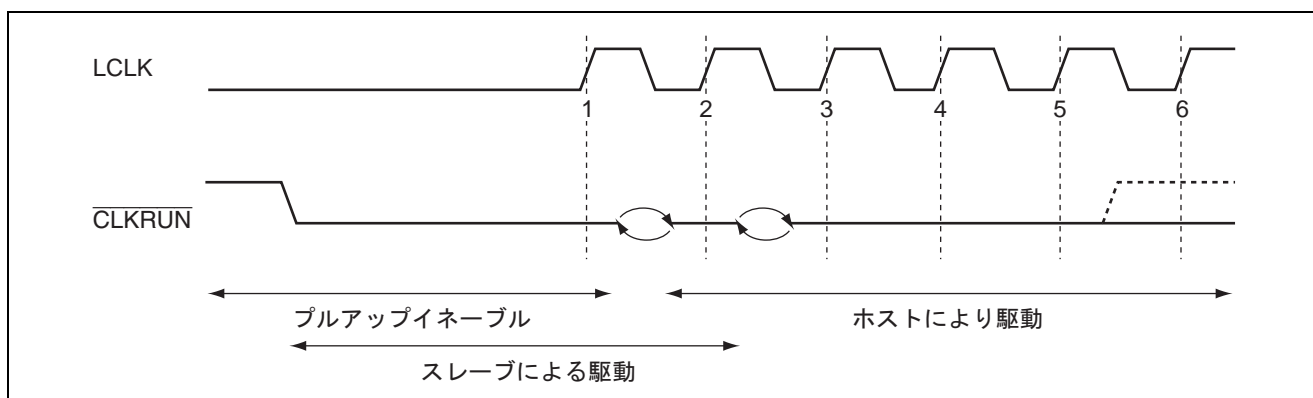


図 20.7 クロック起動要求タイミング

クワイエットモードの SERIRQ 以外の場合でクロックの再起動が必要な場合は、 $\overline{\text{PME}}$ 信号等を用いた別プロトコルによる対応が必要です。

20.4.7 LPC インタフェースから SCIF 制御

HICR5 の SCIFE ビットを 1 にセットすると、LPC ホストは SCIF と通信することができます。モジュール SCIF のレジスタ SCIFCR を除いて、LPC インタフェースは SCIF のレジスタにアクセス可能となります。詳細送受信動作は「第 16 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)」を参照してください。

20.5 割り込み要因

20.5.1 IBFI1、IBFI2、IBFI3、IBFI4、IBFIA、OBEI、ERRI

LPC インタフェースはスレーブ（本 LSI）に対して IBFI1、IBFI2、IBFI3、IBFI4、IBFIA、OBEI、ERRI の 7 つの割り込み要求があります。IBFI1、IBFI2、IBFI3、IBFI4、IBFIA はそれぞれ入力データレジスタ IDR1、IDR2、IDR3 および TWR、IDR4 および TWDR、IDRA についての受信完了割り込みです。ERRI は、LPC リセット、LPC シャットダウン、転送サイクルのアボートなど、特別な状態が発生したことを示す割り込みです。OBEI は、アウトプットバッファエンプティ割り込みです。割り込み要求は対応するイネーブルビットをセットすることにより許可されます。

表 20.9 受信完了割り込みおよびエラー割り込み

割り込み	説明
IBFI1	IBFIE1 が 1 にセットされ、IDR1 が受信完了になったとき
IBFI2	IBFIE2 が 1 にセットされ、IDR2 が受信完了になったとき
IBFI3	IBFIE3 が 1 にセットされ、IDR3 が受信完了になったときまたは、TWR と IBFIE3 が 1 にセットされ、TWR15 まで受信完了になったとき
IBFI4	IBFIE4 が 1 にセットされ、IDR4 が受信完了になったときまたは、TWDR と IBFIE4 が 1 にセットされ、TWDR31 まで受信完了になったとき
IBFIA	IBFIEA が 1 にセットされ、IDRA が受信完了になったとき
OBEI	OBEIE が 1 にセットされ、OBEI が 1 にセットされたとき
ERRI	ERRIE が 1 にセットされ、LRST、SDWN、ABRT のいずれかが 1 にセットされたとき

20.5.2 SMI、HIRQ1、HIRQ3、HIRQ4、HIRQ5、HIRQ6、HIRQ7、HIRQ8、HIRQ9、HIRQ10、HIRQ11、HIRQ12、HIRQ13、HIRQ14、HIRQ15

LPC インタフェースは、SERIRQ により 15 種類のホスト割り込みを要求することができます。HIRQ1 と HIRQ12 は LPC チャネル 1、チャネル 4 および SCIF で要求できます。SMI、HIRQ6、HIRQ9、HIRQ10 および HIRQ11 は LPC チャネル 2、チャネル 3、チャネル 4 および SCIF のどちらからでも要求できます。HIRQ3、HIRQ4、HIRQ5、HIRQ7、HIRQ8、HIRQ13、HIRQ14 および HIRQ15 は LPC チャネル 4 および SCIF で要求できます。

LPC チャネルを使用する時、ホスト割り込み要求のクリアにはふたつの方法があります。

SIRQCR の IEDIR ビットが 0 にクリアされている場合は、ホスト割り込み要因と LPC チャネルは、すべてホスト割り込み要求イネーブルビットで関連付けられています。対応する LPC チャネルの ODR または TWR15 または TWDR31 がホストにリードされることにより OBF フラグが 0 にクリアされると、対応するホスト割り込みイネーブルビットが自動的に 0 にクリアされ、ホスト割り込み要求がクリアされます。

SIRQCR の IEDIR ビットが 1 にセットされていると、ホスト割り込み要求は、ホスト割り込みイネーブルビットのみによって要求されます。また、OBF がクリアされても、ホスト割り込みイネーブルビットはクリアされません。したがって、SMIE2、SMIE3A、SMIE3B と SMIE4、IRQ6En、IRQ9En、IRQ10En、IRQ11En は、それぞれ機能上の違いはなくなります。ホスト割り込み要求をクリアするには、ホスト割り込みイネーブルビットをクリアする必要があります。（n=2~4）

SCIF チャンネルを使用する時、SCIF のレジスタ FMSR のビット DDCD がクリアされると、ホスト割り込み要求がクリアされます。

表 20.10 に、LPC チャンネルを使用する時、これらのビットのセットとクリアの方法を示します。表 20.11 に、SCIF チャンネルを使用する時、これらのビットのセットとクリアの方法を示します。また、図 20.8 に処理フローを示します。

表 20.10 LPC チャンネルを使用する場合の HIRQ のセット/クリア

ホスト割り込み	セット条件	クリア条件
HIRQ1	内部 CPU が、ODR1 にライトした後、 IRQ1E1 ビットの 0 リード後、1 をライト	IRQ1E1 ビットに内部 CPU から 0 ライト、 または ODR1 をホストリード
HIRQ12	内部 CPU が、ODR1 にライトした後、 IRQ12E1 ビットの 0 リード後、1 をライト	IRQ12E1 ビットに内部 CPU から 0 ライト、 ODR1 をホストリード
SMI (IEDIR2=0 または IEDIR3=0 または IEDIR4=0)	内部 CPU が、 ODR2 にライトした後、SMIE2 ビットの 0 リード後、1 をライト ODR3 にライトした後、SMIE3A ビットの 0 リード後、1 をライト TWR15 にライトした後、SMIE3B ビットの 0 リード後、1 をライト ODR4 にライトした後、SMIE4 ビットの 0 リード後、1 をライト	SMIE2 ビットに内部 CPU から 0 ライト、 または ODR2 をホストリード SMIE3A ビットに内部 CPU から 0 ライト、 または ODR3 をホストリード SMIE3B ビットに内部 CPU から 0 ライト、 または TWR15 をホストリード SMIE4 ビットに内部 CPU から 0 ライト、 または ODR4 をホストリード
SMI (IEDIR2=1 または IEDIR3=1 または IEDIR4=1)	内部 CPU が、 SMIE2 ビットの 0 リード後、1 をライト SMIE3A ビットの 0 リード後、1 をライト SMIE3B ビットの 0 リード後、1 をライト SMIE4 ビットの 0 リード後、1 をライト	SMIE2 ビットに内部 CPU から 0 ライト SMIE3A ビットに内部 CPU から 0 ライト SMIE3B ビットに内部 CPU から 0 ライト SMIE4 ビットに内部 CPU から 0 ライト
HIRQi (i=6、9、10、11) (IEDIR2=0 または IEDIR3=0 または IEDIR4=0)	内部 CPU が、 ODR2 にライトした後、IRQiE2 ビットの 0 リード後、1 をライト ODR3 にライトした後、IRQiE3 ビットの 0 リード後、1 をライト ODR4 にライトした後、IRQiE4 ビットの 0 リード後、1 をライト	IRQiE2 ビットに内部 CPU から 0 ライト、 または ODR2 をホストリード IRQiE3 ビットに内部 CPU から 0 ライト、 または ODR3 をホストリード IRQiE4 ビットに内部 CPU から 0 ライト、 または ODR4 をホストリード
HIRQi (i=6、9、10、11) (IEDIR2=1 または IEDIR3=1 または IEDIR4=1)	内部 CPU が、 IRQiE2 ビットの 0 リード後、1 をライト IRQiE3 ビットの 0 リード後、1 をライト IRQiE4 ビットの 0 リード後、1 をライト	IRQiE2 ビットに内部 CPU から 0 ライト IRQiE3 ビットに内部 CPU から 0 ライト IRQiE4 ビットに内部 CPU から 0 ライト

ホスト割り込み	セット条件	クリア条件
HIRQi (i=1~15) (IEDIR4=0)	内部 CPU が SIRQCR4 で TWDR の該当 SERIRQ ホスト割り込み要求を設定 (詳細設定は、レジスタ SIRQCR4 を参照してください)。 内部 CPU が TWDR31 にライトした後、IRQE4B ビットの 0 リード後、1 をライト	IRQE4B ビットに内部 CPU から 0 ライト、または TWDR31 をホストリード
HIRQi (i=1~15) (IEDIR4=1)	内部 CPU が SIRQCR4 で TWDR の該当 SERIRQ ホスト割り込み要求を設定。 内部 CPU が IRQE4B ビットの 0 リード後、1 をライト	IRQE4B ビットに内部 CPU から 0 ライト

表 20.11 SCIF チャンルを使用する場合の HIRQ のセット/クリア

ホスト割り込み	セット条件	クリア条件
HIRQi (i=1~15)	内部 CPU が SIRQCR4 で SCIF の該当 SERIRQ ホスト割り込み要求を設定 (詳細設定は、レジスタ SIRQCR4 を参照してください)。 SCIF 入力信号 \overline{DCD} 変化を検出	FMSR をリード、レジスタ FMSR のビット DDCD をクリア

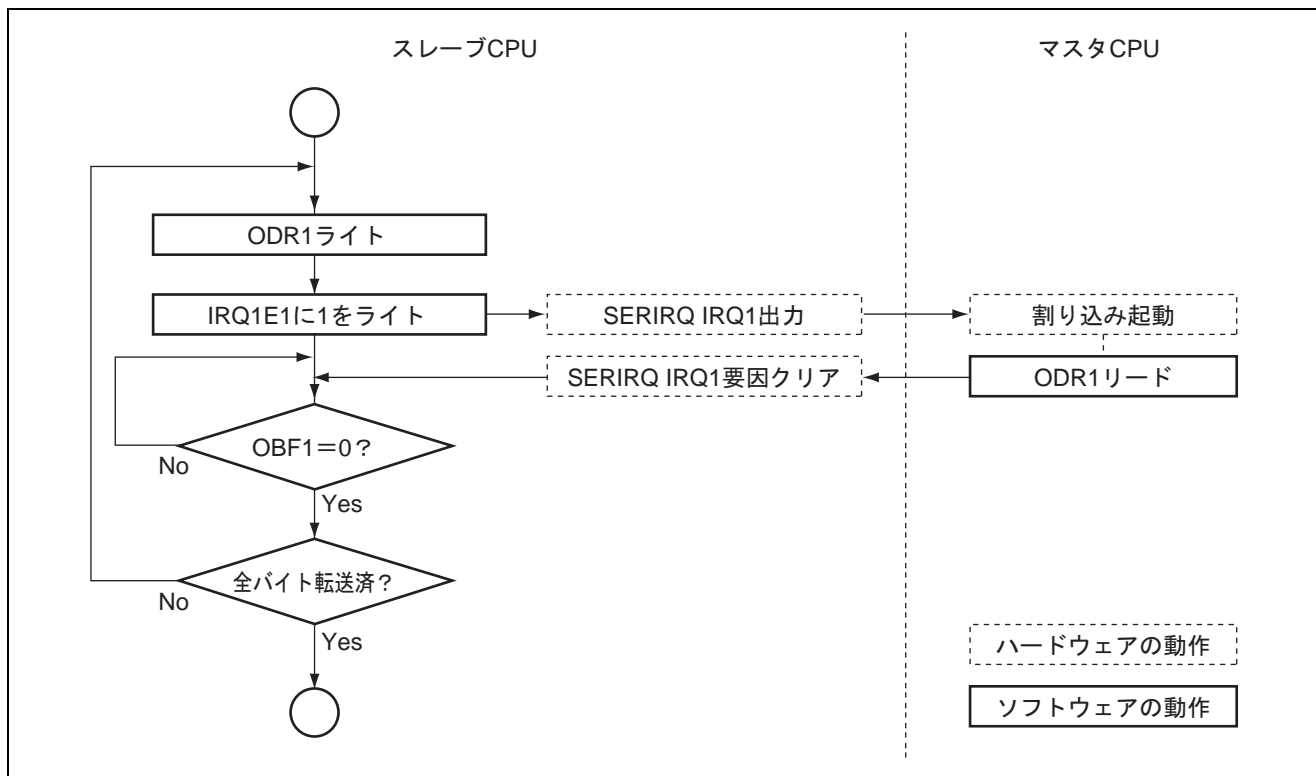


図 20.8 HIRQ の処理フロー (チャンネル 1 の例)

20.6 使用上の注意事項

20.6.1 データアクセスの競合

LPC インタフェースはホストとスレーブ(本 LSI)からの非同期データのバッファリングを提供しています。データアクセスの競合を防ぐためには、STR 中のフラグを利用したインタフェースのプロトコルが必要です。

たとえば、ホストとスレーブ(本 LSI) が同時に IDR や ODR をアクセスしようとすると、正しいデータが得られません。同時アクセスを防ぐためには、IBF や OBF を利用して、書き込みの終わったデータのみをアクセスする必要があります。

双方向データレジスタ (TWR、TWDR) では、IDR や ODR と異なり、転送の方向が固定されていません。これを解決するために、STR 中に MWMF (MWM4F) と SWMF (SWM4F) があります。TWR0 にライトした後、TWR1～TWR15 の書き込み権を得られたのを MWMF と SWMF を利用して確認する必要があります。TWDR0 にライトした後、TWDR1～TWDR31 の書き込み権を得られたのを MWM4F と SWM4F を利用して確認する必要があります。

LADR3 と IDR3、ODR3、STR3、TWR0MW、TWR0SW、TWR1～TWR15 レジスタのホストアドレス例を表 20.12 に示します。

表 20.12 チャンネル 3 ホストアドレス

レジスタ	LADR3=H'A24F の場合のホストアドレス	LADR3=H'3FD0 の場合のホストアドレス
IDR3	H'A24A と H'A24E	H'3FD0 と H'3FD4
ODR3	H'A24A	H'3FD0
STR3	H'A24E	H'3FD4
TWR0MW	H'A250	H'3FC0
TWR0SW	H'A250	H'3FC0
TWR1	H'A251	H'3FC1
TWR2	H'A252	H'3FC2
TWR3	H'A253	H'3FC3
TWR4	H'A254	H'3FC4
TWR5	H'A255	H'3FC5
TWR6	H'A256	H'3FC6
TWR7	H'A257	H'3FC7
TWR8	H'A258	H'3FC8
TWR9	H'A259	H'3FC9
TWR10	H'A25A	H'3FCA
TWR11	H'A25B	H'3FCB
TWR12	H'A25C	H'3FCC
TWR13	H'A25D	H'3FCD
TWR14	H'A25E	H'3FCE
TWR15	H'A25F	H'3FCF

LADR4 と IDR4、ODR4、STR4、TWDR0MW、TWDR0SW、TWDR1～TWDR31 レジスタのホストアドレス例を表 20.13 に示します。

表 20.13 チャンネル 4 ホストアドレス

レジスタ	LADR4=H'B35F の場合のホストアドレス	LADR4=H'1FF0 の場合のホストアドレス
IDR4	H'B35F と H'B35B	H'1FF0 と H'1FF4
ODR4	H'B35B	H'1FF0
STR4	H'B35F	H'1FF4
TWDR0MW	H'B360	H'1FC0
TWDR0SW	H'B360	H'1FC0
TWDR1	H'B361	H'1FC1
TWDR2	H'B362	H'1FC2
TWDR3	H'B363	H'1FC3
TWDR4	H'B364	H'1FC4
TWDR5	H'B365	H'1FC5
TWDR6	H'B366	H'1FC6
TWDR7	H'B367	H'1FC7
TWDR8	H'B368	H'1FC8
TWDR9	H'B369	H'1FC9
TWDR10	H'B36A	H'1FCA
TWDR11	H'B36B	H'1FCB
TWDR12	H'B36C	H'1FCC
TWDR13	H'B36D	H'1FCD
TWDR14	H'B36E	H'1FCE
TWDR15	H'B36F	H'1FCF
TWDR16	H'B370	H'1FD0
TWDR17	H'B371	H'1FD1
TWDR18	H'B372	H'1FD2
TWDR19	H'B373	H'1FD3
TWDR20	H'B374	H'1FD4
TWDR21	H'B375	H'1FD5
TWDR22	H'B376	H'1FD6
TWDR23	H'B377	H'1FD7
TWDR24	H'B378	H'1FD8
TWDR25	H'B379	H'1FD9
TWDR26	H'B37A	H'1FDA
TWDR27	H'B37B	H'1FDB
TWDR28	H'B37C	H'1FDC
TWDR29	H'B37D	H'1FDD

レジスタ	LADR4=H'B35F の場合のホストアドレス	LADR4=H'1FF0 の場合のホストアドレス
TWDR30	H'B37E	H'1FDE
TWDR31	H'B37F	H'1FDF

21. FSI インタフェース

本 LSI は SPI-FLASH インタフェースを内蔵しています。SPI フラッシュメモリとの通信に対応します。FSI (SPI Flash Memory Serial Interface) は LPC および本 LSI の CPU をマスタとして通信します。

FSI のブロック図を図 21.1 に示します。

21.1 特長

- SPIフラッシュメモリ通信に対応
- マスタとして動作可能
- 転送クロックは、システムクロック ϕ および LCLK から選択可能
- 割り込み要因：4種類
送信終了、受信完了、コマンド受信、ライト受信割り込み
- LPC-SPIダイレクト転送：
Read 命令、Byte/Page・AAI-Program 命令に対応
Byte および AAI-Program 命令はダイレクトブロック転送に対応
- LPC-SPIコマンド転送：
上記以外の命令に対応
- LPC-SPIダイレクトコマンド転送：
WREN・WRDI・EWSR 命令、Chip/Bulk-Erase 命令、WRSR・RDSR 命令に対応
- LPCインタフェースのLPC/FWメモリサイクルに対応
- FWメモリサイクルのバイト/ワード/ロングワード転送に対応
- 独立したLPC通信許可ビット
- LPCリセット、LPCシャットダウンに対応

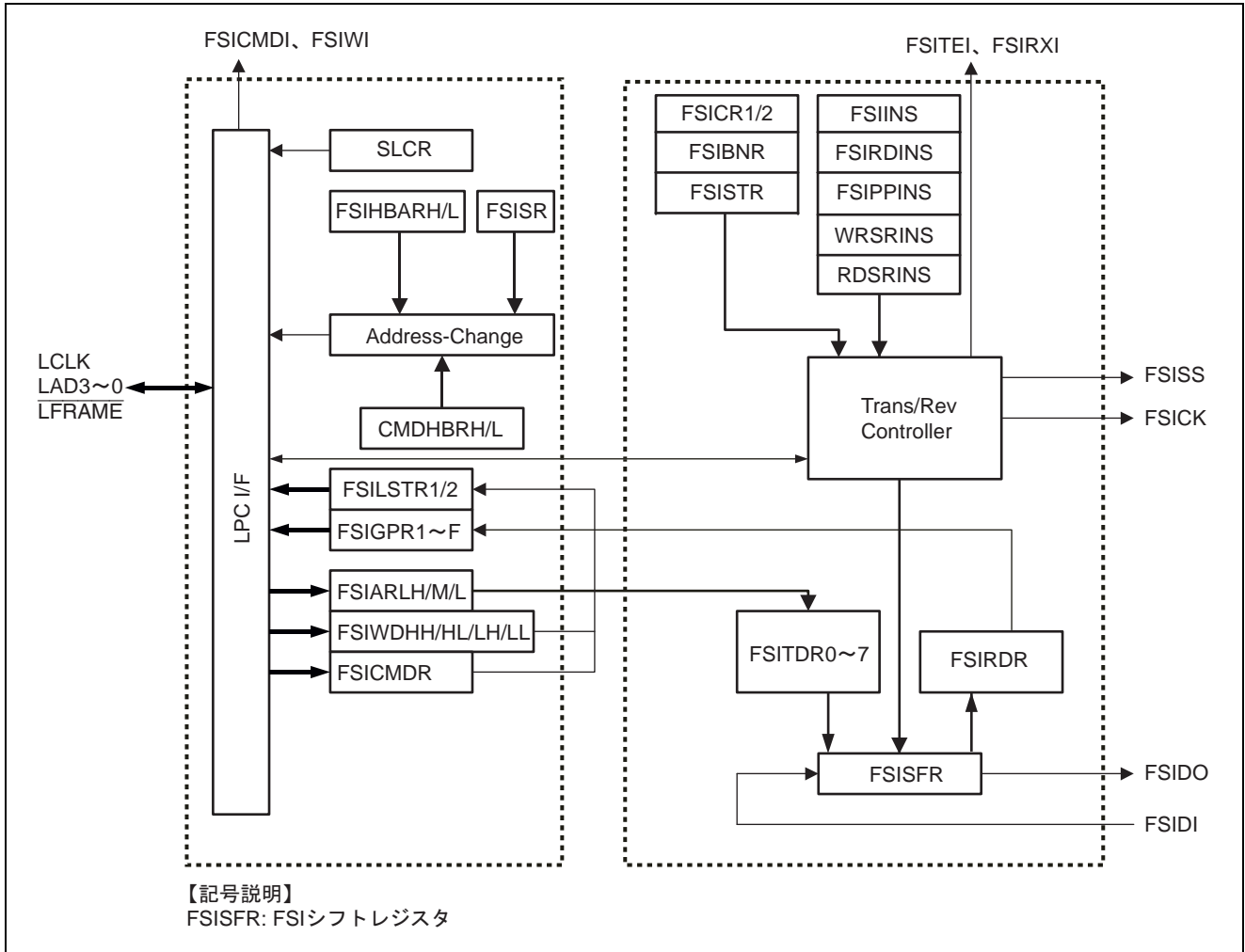


図 21.1 FSI のブロック図

21.2 入出力端子

FSI の入出力端子を表 21.1 に示します。

表 21.1 端子構成

名称	端子名	入出力	機能
FSI スレーブセレクト	FSISS	出力	FSI スレーブセレクト信号
FSI クロック	FSICK	出力	FSI クロック信号
FSI マスタデータ入力	FSIDI	入力	FSI データ入力信号
FSI マスタデータ出力	FSIDO	出力	FSI アドレス/方向/データ出力信号

LPC インタフェースの入出力端子については、「20.2 入出力端子」を参照してください。
FSIE を 1 にセットしたときの各端子の初期状態を以下に示します。

表 21.2 端子の初期状態 (FSIE=1 のとき)

名称	端子名	機能
FSI スレーブセレクト	FSISS	High 出力
FSI クロック	FSICK	Low 出力
FSI マスタデータ入力	FSIDI	入力
FSI マスタデータ出力	FSIDO	High 出力

21.3 レジスタの説明

FSI には以下のレジスタがあります。

表 21.3 レジスタ構成

レジスタ名称	レジスタ略称	R/W		初期値	アドレス
		EC	Host		
FSI コントロールレジスタ 1	FSICR1	R/W	—	H'00	H'FC90
FSI コントロールレジスタ 2	FSICR2	R/W	—	H'00	H'FC91
FSI バイトカウントレジスタ	FSIBNR	R/W	—	H'00	H'FC92
FSI インストラクションレジスタ	FSIINS	R/W	—	H'00	H'FC93
FSI リードインストラクションレジスタ	FSIRDINS	R/W	—	H'03	H'FC94
FSI プログラムインストラクションレジスタ	FSIPPINS	R/W	—	H'02	H'FC95
FSI ステータスレジスタ	FSISTR	R/W	—	H'00	H'FC96
FSI 送信データレジスタ 0	FSITDR0	R/W	—	H'00	H'FC98
FSI 送信データレジスタ 1	FSITDR1	R/W	—	H'00	H'FC99
FSI 送信データレジスタ 2	FSITDR2	R/W	—	H'00	H'FC9A
FSI 送信データレジスタ 3	FSITDR3	R/W	—	H'00	H'FC9B
FSI 送信データレジスタ 4	FSITDR4	R/W	—	H'00	H'FC9C
FSI 送信データレジスタ 5	FSITDR5	R/W	—	H'00	H'FC9D
FSI 送信データレジスタ 6	FSITDR6	R/W	—	H'00	H'FC9E
FSI 送信データレジスタ 7	FSITDR7	R/W	—	H'00	H'FC9F
FSI 受信データレジスタ	FSIRD	R	—	H'00	H'FCA0
WRSR インストラクションレジスタ	WRSRINS	R/W	—	H'01	H'FCA4
RDSR インストラクションレジスタ	RDSRINS	R/W	—	H'05	H'FCA5
FSI アクセスホストベースアドレスレジスタ H	FSIHBARH	R/W	—	H'00	H'FC50
FSI アクセスホストベースアドレスレジスタ L	FSIHBARL	R/W	—	H'00	H'FC51
FSI フラッシュメモリアドレスレジスタ	FSISR	R/W	—	H'00	H'FC52
FSI コマンドホストベースアドレスレジスタ H	CMDHBARH	R/W	—	H'00	H'FC53
FSI コマンドホストベースアドレスレジスタ L	CMDHBARL	R/W	—	H'00	H'FC54
FSI コマンドレジスタ	FSICMDR	R	—	H'00	H'FC55
FSILPC コマンドステータスレジスタ 1	FSILSTR1	R/W	R	H'00	H'FC56
FSI ジェネラルパーパスレジスタ 1	FSIGPR1	R/W	R	H'00	H'FC57
FSI ジェネラルパーパスレジスタ 2	FSIGPR2	R/W	R	H'00	H'FC58
FSI ジェネラルパーパスレジスタ 3	FSIGPR3	R/W	R	H'00	H'FC59
FSI ジェネラルパーパスレジスタ 4	FSIGPR4	R/W	R	H'00	H'FC5A
FSI ジェネラルパーパスレジスタ 5	FSIGPR5	R/W	R	H'00	H'FC5B
FSI ジェネラルパーパスレジスタ 6	FSIGPR6	R/W	R	H'00	H'FC5C
FSI ジェネラルパーパスレジスタ 7	FSIGPR7	R/W	R	H'00	H'FC5D

レジスタ名称	レジスタ略称	R/W		初期値	アドレス
		EC	Host		
FSI ジェネラルパーパスレジスタ 8	FSIGPR8	R/W	R	H'00	H'FC5E
FSI ジェネラルパーパスレジスタ 9	FSIGPR9	R/W	R	H'00	H'FC5F
FSI ジェネラルパーパスレジスタ A	FSIGPRA	R/W	R	H'00	H'FC60
FSI ジェネラルパーパスレジスタ B	FSIGPRB	R/W	R	H'00	H'FC61
FSI ジェネラルパーパスレジスタ C	FSIGPRC	R/W	R	H'00	H'FC62
FSI ジェネラルパーパスレジスタ D	FSIGPRD	R/W	R	H'00	H'FC63
FSI ジェネラルパーパスレジスタ E	FSIGPRE	R/W	R	H'00	H'FC64
FSI ジェネラルパーパスレジスタ F	FSIGPRF	R/W	R	H'00	H'FC65
FSILPC コントロールレジスタ	SLCR	R/W	—	H'00	H'FC66
FSI アドレスレジスタ H	FSIARH	R	—	H'00	H'FC67
FSI アドレスレジスタ M	FSIARM	R	—	H'00	H'FC68
FSI アドレスレジスタ L	FSIARL	R	—	H'00	H'FC69
FSI ライトデータレジスタ HH	FSIWDRHH	R	—	H'00	H'FC6A
FSI ライトデータレジスタ HL	FSIWDRHL	R	—	H'00	H'FC6B
FSI ライトデータレジスタ LH	FSIWDR LH	R	—	H'00	H'FC6C
FSI ライトデータレジスタ LL	FSIWDRLL	R	—	H'00	H'FC6D
FSI LPC コマンドステータスレジスタ 2	FSILSTR2	R/W	R	H'01	H'FC6E

- 【注】
- これらのレジスタをアクセスする場合は、MSTPCRL のビット 0 (MSTP0) および MSTPCRA のビット 2 (MSTPA2) をクリアしてください。
 - レジスタ説明に記載している「R/W」の表記方法は下記のとおりです。
 - 「R/W EC」は、EC（本 LSI、Embedded Controller）からのアクセスを示しています。
 - 「R/W Host」は、ホストからのアクセスを示しています。

21.3.1 FSI コントロールレジスタ 1 (FSICR1)

FSICR1 には、FSI の内部信号をリセットする制御ビット、FSI の機能を許可/禁止する制御ビット、FSI の機能を選択する制御ビットがあります。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7	SRES	0	R/W	—	ソフトリセット FSI 内部シーケンサの初期化を制御します。 0 : 通常状態 1 : 内部シーケンサクリア 本ビットのライト動作により対応するモジュールの内部シーケンサへのクリア信号が発生し、FSI の内部状態が初期化されます。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
6	FSIE	0	R/W	—	FSI イネーブル 0 : FSI の動作を禁止 1 : FSI の動作を許可 FSIE を 1 にセットしたときの各端子の初期状態を以下に示します。 FSISS : High 出力 FSICK : Low 出力 FSIDO : High 出力 FSIDI : 入力
5	FRDE	0	R/W	—	Fast-Read イネーブル 0 : FSI は通常リード動作 1 : FSI は Fast リード動作
4	AAIE	0	R/W	—	AAI (Auto Address Increment) Program イネーブル 0 : FSI は Byte-Program 動作 1 : FSI は AAI Program 動作
3 2	CPHS CPOS	0 0	R/W R/W	— —	CPHS : FSICK クロック極性選択 CPOS : FSICK クロック位相選択 CPHS CPOS 0 0 : FSICK 初期値=Low レベル FSICK の立ち下がりでデータ変化 1 1 : 設定禁止 0 1 : 設定禁止 1 0 : 設定禁止
1	—	0	R/W	—	リザーブビット 初期値を変更しないでください。
0	CKSEL	0	R/W	—	クロックセレクト 0 : FSICK にシステムクロックを選択 1 : FSICK に LCLK を選択

21.3.2 FSI コントロールレジスタ 2 (FSICR2)

FSICR2 には、FSI の通信を許可／禁止する制御ビット、FSI の内部割り込みを許可／禁止する制御ビットがあります。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7	TE	0	R/W	—	FSI 送信イネーブル LFBUSY との組み合わせにより、FSI 送信を制御します。 0 : FSI 送信待ち状態 [クリア条件] FSI データ送信完了 1 : [LFBUSY=0 の場合] 送信開始 [LFBUSY=1 の場合] FSI 送信処理中 (自動セット)
6	RE	0	R/W	—	FSI 受信イネーブル LFBUSY との組み合わせにより、FSI 受信を制御します。 0 : FSI 受信待ち状態 [クリア条件] FSI データ受信完了 1 : [LFBUSY=0 の場合] 受信開始 [LFBUSY=1 の場合] FSI 受信処理中 (自動セット)
5	FSITEIE	0	R/W	—	FSI 送信終了割り込みイネーブル 0 : FSITEI 割り込み要求を禁止 1 : FSITEI 割り込み要求を許可
4	FSIRXIE	0	R/W	—	FSI 受信完了割り込みイネーブル 0 : FSIRXI 割り込み要求を禁止 1 : FSIRXI 割り込み要求を許可
3~0	—	すべて 0	R/W	—	リザーブビット 初期値を変更しないでください。

21.3.3 FSI バイトカウントレジスタ (FSIBNR)

FSIBNR は FSI 送信および FSI 受信バイト数を設定します。FSICMDI 割り込みおよび FSIWI 割り込み処理以外では、本レジスタを設定しないでください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~4	TBN3 TBN2 TBN1 TBN0	0 0 0 0	R/W	—	送信バイト数 3~0 送信するデータのバイト数を指定します。1 バイトの FSI 送信が終了するごとに TBN の値をデクリメント (-1) します。FSI 送信が完了すると TBN は、B'0000 にクリアされます。 0000 : 送信データなし 0001 : 1 バイト送信 0010 : 2 バイト送信 0011 : 3 バイト送信 0100 : 4 バイト送信 0101 : 5 バイト送信 0110 : 6 バイト送信 0111 : 7 バイト送信 1000 : 8 バイト送信 1001~1111 : 設定禁止 9 バイト以上送信に設定すると、FSITDR7 のデータを送信します。
3	—	0	R/W	—	リザーブビット 初期値を変更しないでください。
2~0	RBN2 RBN1 RBN0	0 0 0	R/W	—	受信バイト数 2~0 受信するデータのバイト数を指定します。FSI 受信完了後 (FSISTR の FSIRXI が 1 にセットされているとき)、FSIRDR をリードするごとに RBN の値をデクリメント (-1) します。 すべてのデータをリードすると RBN は、B'000 にクリアされます。 000 : 受信データなし 001 : 1 バイト受信 010 : 2 バイト受信 011 : 3 バイト受信 100 : 4 バイト受信 101~111 : 設定禁止 5 バイト以上受信に設定すると FSIRDR の内容を上書きします。

21.3.4 FSI インストラクションレジスタ (FSIINS)

FSIINS はコマンド転送時に SPI フラッシュメモリに送信する命令を設定します。LFBUSY が 1 にセットされている場合、EC (本 LSI) による本レジスタへのライトは無効です。FSICMDI 割り込みおよび FSIWI 割り込み処理以外では、本レジスタを設定しないでください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	すべて 0	R/W	—	SPI フラッシュメモリへ送信する命令を格納します。

21.3.5 FSI リードインストラクションレジスタ (FSIRDINS)

FSIRDINS はリードオペレーション命令を設定します。リードオペレーション時に FSITDR に転送されます。LFBUSY が 1 にセットされている場合、EC (本 LSI) による本レジスタへのライトは無効です。変更する場合、本モジュールの初期設定で変更してください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	H'03	R/W	—	リードオペレーション命令を格納します。

21.3.6 FSI プログラムインストラクションレジスタ (FSIPPINS)

FSIPPINS はプログラムオペレーション命令を設定します。プログラムオペレーション時に FSITDR に転送されます。LFBUSY が 1 にセットされている場合、EC (本 LSI) による本レジスタへのライトは無効です。変更する場合、本モジュールの初期設定で変更してください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	H'02	R/W	—	プログラムオペレーション命令を格納します。

21.3.7 WRSR インストラクションレジスタ (WRSRINS)

WRSRINS はダイレクトコマンド転送時の WRSR 命令インストラクションを格納します。変更する場合、本モジュールの初期設定で変更してください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	H'01	R/W	—	WRSR 命令のインストラクションを格納します。

21.3.8 RDSR インストラクションレジスタ (RDSRINS)

RDSRINS はダイレクトコマンド転送時の RDSR 命令インストラクションを格納します。変更する場合、本モジュールの初期設定で変更してください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	H'05	R/W	—	RDSR 命令のインストラクションを格納します。

21.3.9 FSI ステータスレジスタ (FSISTR)

FSISTR は EC (本 LSI) と SPI フラッシュメモリ間の転送処理状態を示します。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7	FSITEI	0	R/(W)*	—	FSI 送信終了割り込みフラグ [セット条件] ・ SPI フラッシュメモリへライトデータ送信終了時 [クリア条件] ・ FSITEI=1 リード後の 0 ライト
6	OBF	0	R	—	送信データレジスタフル EC (本 LSI) によるライトデータの有無を示します。 0: ライトデータなし [クリア条件] ・ SPI フラッシュメモリへのデータ送信が終了したとき 1: ライトデータあり [セット条件] ・ TE ビットを 1 にセットしたとき
5	FSIRXI	0	R	—	FSI 受信完了割り込みフラグ EC (本 LSI) へのリードデータの有無を示します。 0: リードデータなし [クリア条件] [LFBUSY=0 の場合] ・ EC がすべての受信データをリードしたとき (RBN が 0 にクリアされたとき) [LFBUSY=1 の場合] ・ ホストがすべての受信データをリードしたとき (自動クリア) 1: リードデータあり [セット条件] ・ 受信データが FSIRD R に転送されたとき
4~0	—	すべて 0	R/W	—	リザーブビット 初期値を変更しないでください。

【注】 * ビット 7 はフラグをクリアするための 0 ライトのみ可能です。

21.3.10 FSI 送信データレジスタ 0~7 (FSITDR0~FSITDR7)

FSITDR は 8 バイトの送信データを格納します。SPI フラッシュメモリに FSITDR0 から FSITDR7 の順で合計 8 バイトのアドレス、命令、データを連続送信できます。LFBUSY が 1 にセットされている場合、EC (本 LSI) による本レジスタへのライトは無効です。FSICMDI 割り込みおよび FSIWI 割り込み処理以外では、本レジスタを設定しないでください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	すべて 0	R/W	—	送信データを格納します。

21.3.11 FSI 受信データレジスタ (FSIRDR)

FSIRDR は 4 バイトの受信データを格納します。SPI フラッシュメモリから合計 4 バイトのデータを連続受信できます。FSICMDI 割り込み処理以外では、本レジスタをリードしないでください。4 バイトの受信レジスタは 1 つのアドレスを兼用しています。FSIBNR の RBN の値により、どの受信レジスタを読むかを決定します。RBN=B'000 の場合、H'00 が読み出されます。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	すべて 0	R	—	受信データを格納します。

21.3.12 FSI アクセスホストベースアドレスレジスタ H、L (FSIHBARH、FSIHBARL)

FSIHBARH/L はホストアドレスを SPI フラッシュメモリアドレスに変換する際の、ホスト先頭アドレスの上位 16 ビットを設定します。ここで設定された先頭アドレスと FSISR で設定されたメモリサイズにより、ホストアドレスの入力範囲が決まります。範囲外のホストアドレスが入力された場合 Sync を返しません。FW メモリサイクルを使用する場合、FSIHBARH の bit31~28 が IDSEL として設定されます。FSI 動作時 (FSIE または FSILIE をセットした状態) では、内容を変更しないでください。

- FSIHBARH

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit31~bit24	すべて 0	R/W	—	ホスト先頭アドレス[31:24]を設定します。

- FSIHBARL

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit23~bit16	すべて 0	R/W	—	ホスト先頭アドレス[23:16]を設定します。 bit19~bit16 は動作に影響を与えません。

21.3.13 FSI フラッシュメモリサイズレジスタ (FSISR)

FSISR は SPI フラッシュメモリのメモリサイズを設定します。FSISR で設定されたサイズによりホストアドレスの入力範囲が決まります。SPI フラッシュメモリのメモリ容量をオーバーするホストアドレスの入力は禁止です。FSI 動作時 (FSIE または FSILIE をセットした状態) では、内容を変更しないでください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~2	—	すべて 0	R/W	—	リザーブビット 初期値を変更しないでください。
1	FSIMS1	0	R/W	—	SPI フラッシュメモリのメモリサイズを設定します。 00 : 1MB 01 : 2MB 10 : 4MB 11 : 8MB
0	FSIMS0	0	R/W	—	

21.3.14 FSI コマンドホストベースアドレスレジスタ H、L (CMDHBARH、CMDHBARL)

CMDHBARH/L はコマンドアドレスを設定する際の、ホスト先頭アドレスの上位 16 ビットを設定します。

下位 16 ビットは H'F000~H'F00F の範囲が FSI コマンドインダイレクトアドレスとなります。下位 16 ビットは H'F010~H'F013 の範囲が FSI コマンドダイレクトアドレスとなります。範囲外のホストアドレスが入力された場合 Sync を返しません。FW メモリサイクルを使用する場合、CMDHBARH の bit31~28 が IDSEL として設定されます。FSI 動作時 (FSIE または FSILIE をセットした状態) では、内容を変更しないでください。

- CMDHBARH

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit31~bit24	すべて 0	R/W	—	ホスト先頭アドレス[31:24]を設定します。

- CMDHBARL

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit23~bit16	すべて 0	R/W	—	ホスト先頭アドレス[23:16]を設定します。

21.3.15 FSI コマンドレジスタ (FSICMDR)

FSICMDR は FSI コマンド受信時のコマンドデータを格納します。FSICMDR は FSICMDI がクリアされている場合、コマンドデータを格納します。FSICMDI がセットされている場合、コマンドデータの格納は行いません。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	すべて 0	R	—	FSI コマンドを格納します。

21.3.16 FSILPC コマンドステータスレジスタ 1 (FSILSTR1)

FSILSTR1 は LPC の内部状態を示します。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7	CMDBUSY	0	R/W*	R	FSI コマンドビジーフラグ 0 : FSI コマンド終了 [クリア条件] ・ CMDBUSY=1 リード後の 0 ライト 1 : FSI コマンド実行中 [セット条件] ・ FSI コマンド受信
6	FSICMDI	0	R/W*	R	FSI コマンド割り込みフラグ 0 : FSI コマンド割り込み終了 [クリア条件] ・ FSICMDI=1 リード後の 0 ライト 1 : FSI コマンド割り込み中 [セット条件] ・ FSI コマンド受信
5	FSIDMYE	0	R/W	R	FSI ダミーイネーブル 0 : FSI ダミーディスエーブル 1 : FSI ダミーイネーブル
4	FSIWBUSY	0	R/W*	R	FSI ライトビジーフラグ 0 : FSI ライト転送終了 [クリア条件] ・ FSIWBUSY=1 リード後の 0 ライト 1 : FSI ライト転送中 [セット条件] ・ FLDCT=0 時の SPI フラッシュメモリライト受信

ビット	ビット名	初期値	R/W		説明
			EC	Host	
3	FSIWI	0	R/W*	R	FSI ライト割り込みフラグ 0 : FSI ライト割り込み終了 [クリア条件] ・ FSIWI=1 リード後の 0 ライト 1 : FSI ライト割り込み中 [セット条件] ・ FLDCT=0 時の SPI フラッシュメモリライト受信
2	LFBUSY	0	R	R	LPC-SPI ダイレクト転送ビジーフラグ LPC-SPI ダイレクト転送の処理状態を示します。 0 : ダイレクト転送終了 1 : ダイレクト転送中
1	BBUSY	0	R	R	バッファビジー ダイレクトブロック転送有効時 (BTTRG≠0) の FSIWDR バッファ状態を示します。 0 : FSIWDR にバッファデータなし [クリア条件] ・ FSIWDR のデータが FSITDR に転送されたとき 1 : FSIWDR にバッファデータあり [セット条件] ・ FSIWDR にデータがライトされたとき
0	—	0	R/W	R	リザーブビット 初期値を変更しないでください。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

21.3.17 FSILPC コマンドステータスレジスタ 2 (FSILSTR2)

FSILSTR2 は LPC の内部状態を示します。LPC ホストからリードする場合、SLCR の DCE ビットを 1 にセットしてください。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7	—	0	R/W	R	リザーブビット 初期値を変更しないでください。
6	SRDCBUSY	0	R	R	ステータスレジスタダイレクトコマンド転送ビジーフラグ WRSR、RDSR 命令のダイレクトコマンド転送処理状態を示します。 0 : WRSR または RDSR 命令のダイレクトコマンド転送終了 1 : WRSR または RDSR 命令のダイレクトコマンド転送中
5	DCBUSY	0	R	R	ダイレクトコマンド転送ビジーフラグ ダイレクトコマンド転送処理状態を示します。 0 : ダイレクトコマンド転送終了 1 : ダイレクトコマンド転送中
4	FSIDWBUSY	0	R	R	FSI ダイレクトライトビジーフラグ LPC-SPI ダイレクト転送時の FSI ライト転送処理状態を示します。 0 : FSI ライト転送終了 1 : FSI ライト転送中
3	FSIDRBUSY	0	R	R	FSI ダイレクトリードビジーフラグ LPC-SPI ダイレクト転送時の FSI リード転送処理状態を示します。 0 : FSI リード転送終了 1 : FSI リード転送中
2~0	SIZE2 SIZE1 SIZE0	0 0 1	R R R	R R R	転送バイト数モニタ LPC/FW メモリサイクル受信時の転送バイト数を示します。ECCPU から Byte/Page-Program、AAI-Program 命令を行う場合、本ビットで転送バイト数を確認できます。 001 : LPC/FW メモリサイクル (バイト転送) 010 : FW メモリサイクル (ワード転送) 100 : FW メモリサイクル (ロングワード転送) バイト/ワード/ロングワード転送以外の転送があった場合は、前値を保持します。 【注】本ビットは上記以外の値は設定されません。

21.3.18 FSI ジェネラルパーパスレジスタ 1~F (FSIGPR1~FSIGPRF)

FSIGPR は FSI コマンド割り込み処理結果等を格納します。

- FSIGPR1~FSIGPRF

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	すべて 0	R/W	R	FSI コマンド割り込み処理結果等を格納します。

21.3.19 FSILPC コントロールレジスタ (SLCR)

SLCR には FSI の LPC ホストインタフェース機能を許可または禁止する制御ビット、FSI 割り込みイネーブルビット、FSI の動作モードを制御するビットがあります。

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7	FSILIE	0	R/W	—	FSILPC インタフェースイネーブル FSI の LPC ホストインタフェース機能を許可または禁止します。禁止にした場合アドレス一致を行わず、Sync を返しません。 0 : LPC ホストインタフェース機能禁止 1 : LPC ホストインタフェース機能許可
6	FSICMDIE	0	R/W	—	FSI コマンド割り込みイネーブル 0 : FSI コマンド割り込み禁止 1 : FSI コマンド割り込み許可
5	FSIWIE	0	R/W	—	FSI ライト割り込みイネーブル 0 : FSI ライト割り込み禁止 1 : FSI ライト割り込み許可
4	FLDCT	0	R/W	—	FSILPC ダイレクト SPI フラッシュメモリライト時のアクセスモードを選択します。詳細は「21.4.5 (8) SPI フラッシュメモリライト動作モード」を参照してください。 0 : LPC-SPI インダイレクト転送 1 : LPC-SPI ダイレクト転送
3	FLWAIT	0	R/W	—	FSILPC ウェイト SPI フラッシュメモリライト、ダイレクトコマンド転送時のアクセスモードを選択します。詳細は「21.4.5 (8) SPI フラッシュメモリライト動作モード」、「21.4.5 (2) ダイレクトコマンド転送」を参照してください。 0 : ウェイト制御なし 1 : ウェイト制御あり

ビット	ビット名	初期値	R/W		説明
			EC	Host	
2	DCE	0	R/W	—	ダイレクトコマンド転送イネーブル 0 : ダイレクトコマンド転送禁止 1 : ダイレクトコマンド転送許可
1 0	BTTRG1 BTTRG0	すべて 0	R/W	—	ダイレクトブロック転送トリガレベル 1、0 FSIWDR にバッファするバイト数を指定します。指定されたバイト数が FSIWDR にライトされると FSIWDR のデータが FSITDR へ転送され、LPC-SPI ダイレクト転送を開始します。 00 : 1 バイト 01 : 2 バイト 10 : 4 バイト 11 : 設定禁止

21.3.20 FSI アドレスレジスタ H、M、L (FSIARH、FSIARM、FSIARL)

FSIAR は SPI フラッシュメモリアドレスを格納します。ホストアドレスが FSIHBAR と一致すると FSIAR の値が更新されます。コマンドアクセスでは FSIAR の値は更新されません。

- FSIARH

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit23~bit16	すべて 0	R	—	SPI フラッシュメモリアドレス[23:16]を格納します。

- FSIARM

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit15~bit8	すべて 0	R	—	SPI フラッシュメモリアドレス[15:8]を格納します。

- FSIARL

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	すべて 0	R	—	SPI フラッシュメモリアドレス[7:0]を格納します。

21.3.21 FSI ライトデータレジスタ HH、HL、LH、LL (FSIWDRHH、FSIWDRHL、FSIWDR LH、FSIWDRLL)

FSIWDR は SPI フラッシュメモリへのライトデータを格納します。LPC/FW メモリライトサイクルでホストアドレスが FSIHBAR と一致すると FSIWDR の値が更新されます。コマンドアクセスでは FSIWDR の値は更新されません。

- FSIWDRHH

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit31~bit24	すべて 0	R	—	SPI フラッシュメモリライトデータ[31:24]を格納します。

- FSIWDRHL

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit23~bit16	すべて 0	R	—	SPI フラッシュメモリライトデータ[23:16]を格納します。

- FSIWDR LH

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit15~bit8	すべて 0	R	—	SPI フラッシュメモリライトデータ[15:8]を格納します。

- FSIWDRLL

ビット	ビット名	初期値	R/W		説明
			EC	Host	
7~0	bit7~bit0	すべて 0	R	—	SPI フラッシュメモリライトデータ[7:0]を格納します。

21.4 動作説明

21.4.1 LPC/FW メモリサイクル

LPC/FW メモリリードサイクルおよび LPC/FW メモリライトサイクルでは、LCLK に同期して、次の順番で LAD3～LAD0 を用いて転送が行われます。スレーブからの同期返送サイクルは、B'1010 の値を返送してエラー発生をホストに知らせることが可能ですが、本 LSI の FSI は必ず B'0000 (Ready) / B'0110 (Long Wait) を返送します。

FSI は、受信したアドレスがレジスタ (FSIHBARH、FSIHBARL、FSISR、CMDHBAR) に設定されたホストアクセスできる領域のアドレスに一致した場合にビジーとなり、FSI がターンアラウンドを出力することによりアイドル状態に戻ります。

表 21.4 LPC メモリサイクル

ステート カウント	LPC メモリリードサイクル			LPC メモリライトサイクル		
	内容	駆動元	値 (3～0)	内容	駆動元	値 (3～0)
1	スタート	ホスト	0000	スタート	ホスト	0000
2	サイクル種類/ 方向	ホスト	0100	サイクル種類/ 方向	ホスト	0110
3	アドレス 1	ホスト	bit31～28	アドレス 1	ホスト	bit31～28
4	アドレス 2	ホスト	bit27～24	アドレス 2	ホスト	bit27～24
5	アドレス 3	ホスト	bit23～20	アドレス 3	ホスト	bit23～20
6	アドレス 4	ホスト	bit19～16	アドレス 4	ホスト	bit19～16
7	アドレス 5	ホスト	bit15～12	アドレス 5	ホスト	bit15～12
8	アドレス 6	ホスト	bit11～8	アドレス 6	ホスト	bit11～8
9	アドレス 7	ホスト	bit7～4	アドレス 7	ホスト	bit7～4
10	アドレス 8	ホスト	bit3～0	アドレス 8	ホスト	bit3～0
11	ターンアラウンド (リカバー)	ホスト	1111	データ 1	ホスト	bit3～0
12	ターンアラウンド	なし	ZZZZ	データ 2	ホスト	bit7～4
13	ウェイト*	スレーブ	0110	ターンアラウンド (リカバー)	ホスト	1111
14	同期	スレーブ	0000	ターンアラウンド	なし	ZZZZ
15	データ 1	スレーブ	bit3～0	ウェイト*	スレーブ	0110
16	データ 2	スレーブ	bit7～4	同期	スレーブ	0000
17	ターンアラウンド (リカバー)	スレーブ	1111	ターンアラウンド (リカバー)	スレーブ	1111
18	ターンアラウンド	なし	ZZZZ	ターンアラウンド	なし	ZZZZ

【注】 * ウェイト数は、システムクロックにより異なります。

表 21.5 FW メモリサイクル (バイト転送)

ステート カウント	FW メモリリードサイクル			FW メモリライトサイクル		
	内容	駆動元	値 (3~0)	内容	駆動元	値 (3~0)
1	スタート	ホスト	1101	スタート	ホスト	1110
2	デバイス選択	ホスト	ID3~ID0	デバイス選択	ホスト	ID3~ID0
3	アドレス 1	ホスト	bit27~24	アドレス 1	ホスト	bit27~24
4	アドレス 2	ホスト	bit23~20	アドレス 2	ホスト	bit23~20
5	アドレス 3	ホスト	bit19~16	アドレス 3	ホスト	bit19~16
6	アドレス 4	ホスト	bit15~12	アドレス 4	ホスト	bit15~12
7	アドレス 5	ホスト	bit11~8	アドレス 5	ホスト	bit11~8
8	アドレス 6	ホスト	bit7~4	アドレス 6	ホスト	bit7~4
9	アドレス 7	ホスト	bit3~0	アドレス 7	ホスト	bit3~0
10	サイズ	ホスト	0000	サイズ	ホスト	0000
11	ターンアラウンド (リカバー)	ホスト	1111	データ 1	ホスト	bit3~0
12	ターンアラウンド	なし	ZZZZ	データ 2	ホスト	bit7~4
13	ウェイト*	スレーブ	0110	ターンアラウンド (リカバー)	ホスト	1111
14	同期	スレーブ	0000	ターンアラウンド	なし	ZZZZ
15	データ 1	スレーブ	bit3~0	ウェイト*	スレーブ	0110
16	データ 2	スレーブ	bit7~4	同期	スレーブ	0000
17	ターンアラウンド (リカバー)	スレーブ	1111	ターンアラウンド (リカバー)	スレーブ	1111
18	ターンアラウンド	なし	ZZZZ	ターンアラウンド	なし	ZZZZ

【注】 * ウェイト数は、システムクロックにより異なります。

FSI は、FW メモリリードサイクルおよびFW メモリライトサイクルのバイト/ワード/ロングワード転送をサポートします。ワード転送の場合アドレスの最下位ビットを、ロングワード転送の場合下位 2 ビットを 0 として扱います。

21.4.2 SPI フラッシュメモリ転送

SPI フラッシュメモリ転送では、FSICK に同期して、FSIDO、FSIDI を用いて転送を行います。FSICK の初期値を High 固定または Low 固定のいずれかに設定することができます。

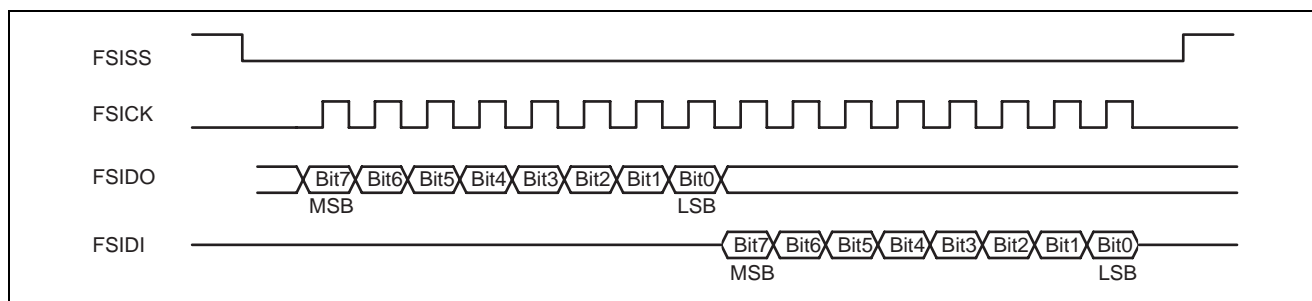


図 21.2 SPI フラッシュメモリ転送例

21.4.3 フラッシュメモリ命令一覧

表 21.6 に命令 (INS) 一覧を示します。

表 21.6 命令 (INS) 一覧

命令名称	命令説明
WREN	ライトイネーブルセット
WRDI	ライトイネーブルリセット
RDSR	ステータスレジスタリード
WRSR	ステータスレジスタライト
READ	SPI フラッシュメモリリード
Fast-Read	SPI フラッシュメモリファーストリード
Byte-Program	SPI フラッシュメモリバイトプログラム
Page-Program	SPI フラッシュメモリページプログラム
AAI-Program	アドレスオートインクリメントプログラム
Sector-Erase	セクターイレース
Block-Erase	ブロックイレース
Chip/Bulk-Erase	チップ/バルクイレース
RDID	製造 ID/製品 ID リード
EWSR	ステータスレジスタライトイネーブル
DP (Deep Power Down)	ディーブパワーダウン
RES	リリースディーブパワーダウン

21.4.4 FSI メモリサイクル (LPC-SPI ダイレクト転送)

FSI は、ホストと SPI フラッシュメモリとのダイレクト転送をサポートします。LPC/FW メモリライトサイクルで入力されたホストアドレスが、FSIHBARH、FSIHBARL、FSISR に設定したホストアドレスに一致すると、FSI メモリサイクルを開始します。LPC/FW メモリライトサイクルでは、Byte/Page-Program 命令と AAI-Program 命令の3種類の命令をサポートします。LPC/FW メモリリードサイクルでは、Read 命令と Fast-Read 命令の2種類の命令をサポートします。Byte/Page-Program 命令と AAI-Program 命令で LPC-SPI ダイレクト転送を選択する場合、SLCR の FLDCT を 1 に設定してください。Read 命令と Fast-Read 命令は FLDCT の状態に関係なく LPC-SPI ダイレクト転送になります。

(1) FSI アドレス変換

FSIHBARH、FSIHBARL、FSISR の設定により、ホストアドレスを SPI フラッシュメモリアドレスに変換します。ホストアドレス空間は H'0000_0000~H'FFFF_FFFF、SPI フラッシュメモリアドレス空間は H'00_0000~H'FF_FFFF です。図 21.3 に FSI メモリアドレス変換例を示します。

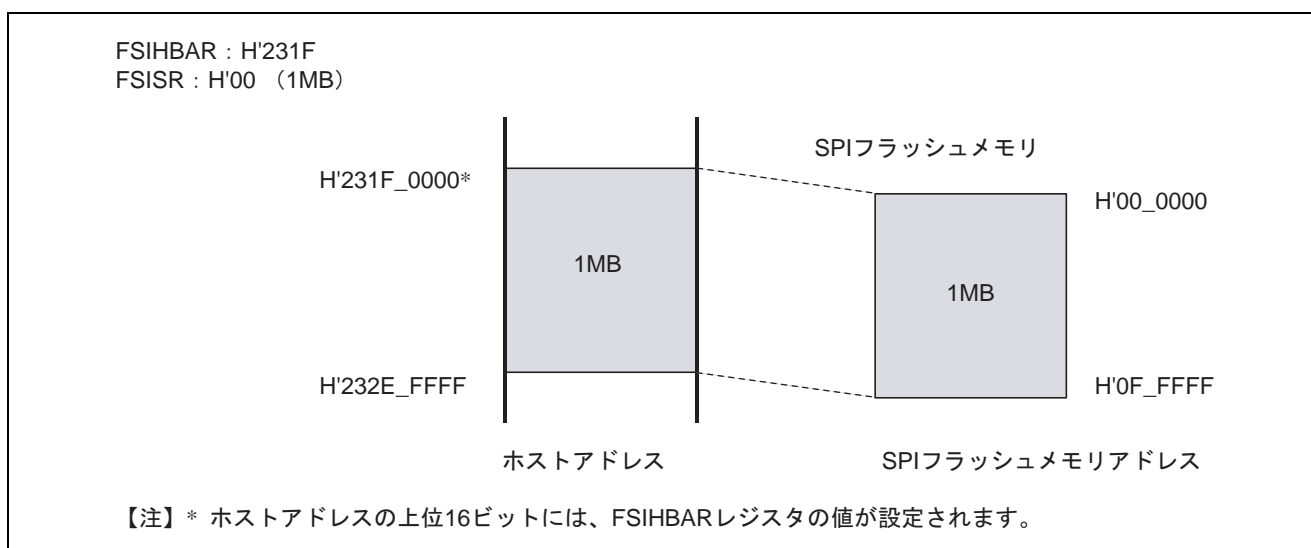


図 21.3 FSI メモリアドレス変換例

図 21.3 に示すように、H'231F_0000~H'232E_FFFF の範囲で LPC/FW メモリライトサイクルによるアクセスがあると、SPI フラッシュメモリへのアクセスを行います。範囲外のホストアドレス入力は Sync を返しません。SPI フラッシュメモリへのアクセス時、LPC バスにロングウェイトが挿入されます。LPC メモリサイクルではバイト、FW メモリサイクルではバイト/ワード/ロングワード転送が可能です。

(2) Byte/Page-Program 命令

FSICR1 の AAIE が 0、FSILSTR1 の FSIDMYE が 0、SLCR の FLDCT が 1、SLCR の FLWAIT が 1 の場合、LPC/FW メモリライトサイクルが発生すると、SPI フラッシュメモリアドレスを FSIAR に、ライトデータを FSIWDR に格納します。その後、あらかじめ FSIPPINS に格納していた Byte/Page-Program 命令とともに FSITDR に転送します。SYNC (LongWait) を返送後、FSICR2 の TE がセットされ、Byte/Page-Program 命令を開始します。送信が終了すると、SYNC (Ready)、TAR をホストに返送します。Byte-Program 命令を実行する場合、

LPC メモリライトサイクルまたは FW メモリライトサイクルのバイト転送でアクセスしてください。図 21.4 に FSITDR へのデータ転送例を示します。図 21.5 に Page-Program 命令実行タイミングを示します。

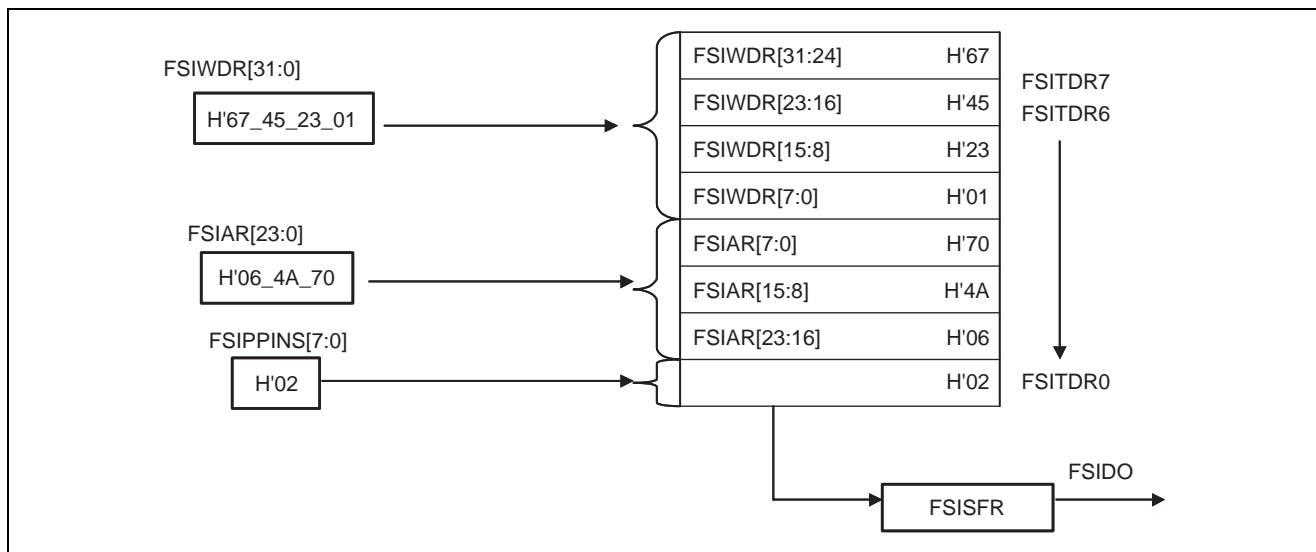


図 21.4 FSITDR へのデータ転送例

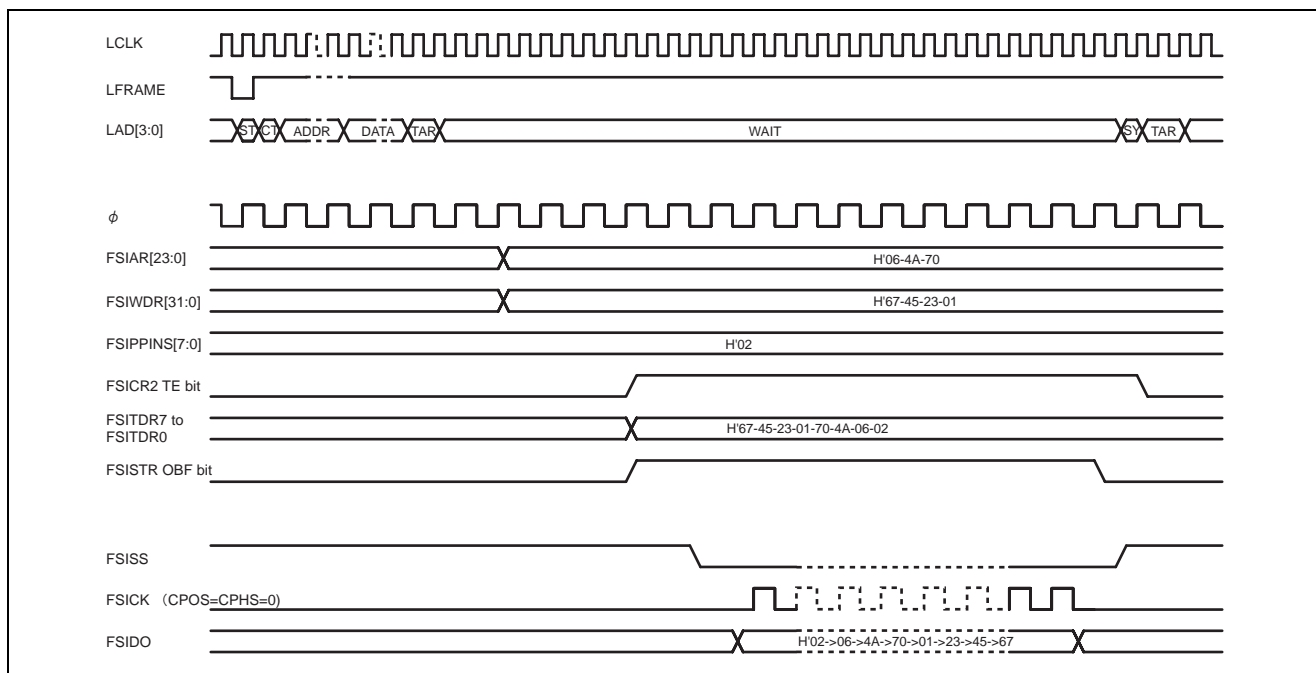


図 21.5 Page-Program 命令実行タイミング

(3) AAI-Program 命令

FSICR1 の AAIE が 1、FSILSTR1 の FSIDMYE が 0、SLCR の FLDCT が 1、SLCR の FLWAIT が 1 の場合、LPC/FW メモリライトサイクルが発生すると、フラッシュメモリアドレスを FSIAR に、ライトデータを FSIWDR に格納します。その後、FSI ハードウェアに格納していた AAI-Program 命令とともに FSITDR に転送します。SYNC (Long Wait) を返送後に、送信イネーブル信号 TE がセットされ、AAI-Program 命令を開始します。1 バイト目は命令、アドレス、データの順に、2 バイト目以降は命令、データの順に SPI フラッシュメモリに送信します。送信が終了すると、SYNC (Ready)、TAR をホストに返送します。FW メモリライトサイクルのワード/ロングワード転送でアクセスした場合、それぞれ 2 バイト、4 バイトの AAI-Program 命令を実行します。AAI-Program 命令 (1 バイト目) に戻るには、AAIE を一度クリアするか、FSICR1 の SRES で FSI 内部シーケンスを初期化してください。図 21.6、図 21.7 に AAI-Program 実行タイミングを示します。

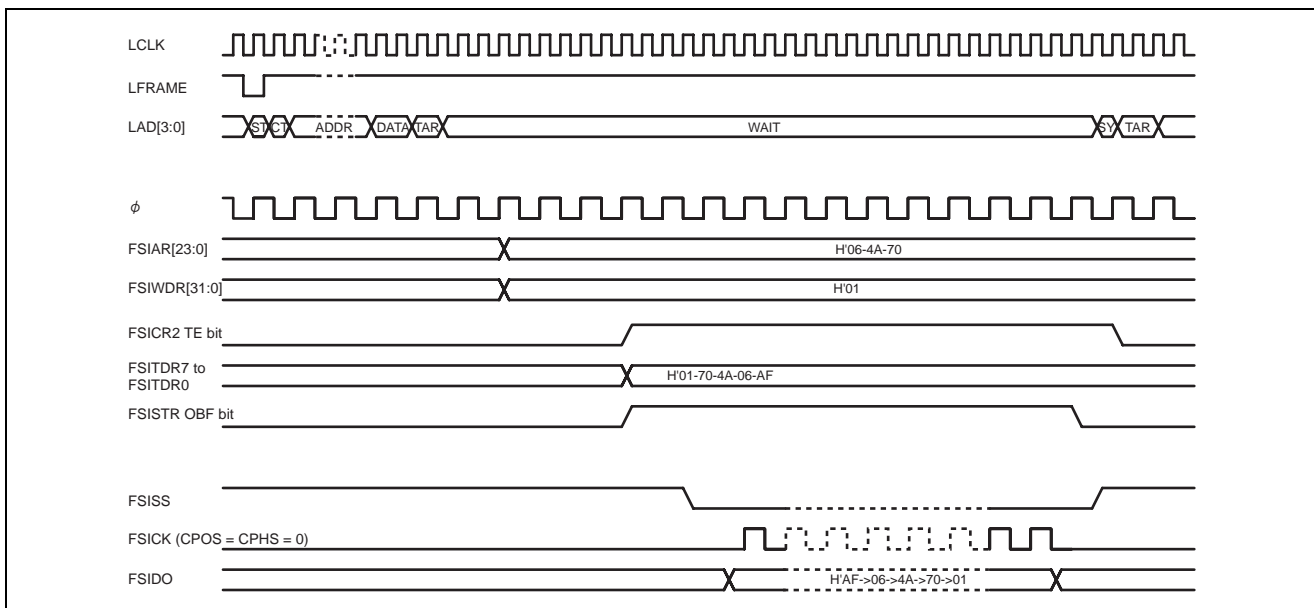


図 21.6 AAI-Program 命令 (1 バイト目) 実行タイミング

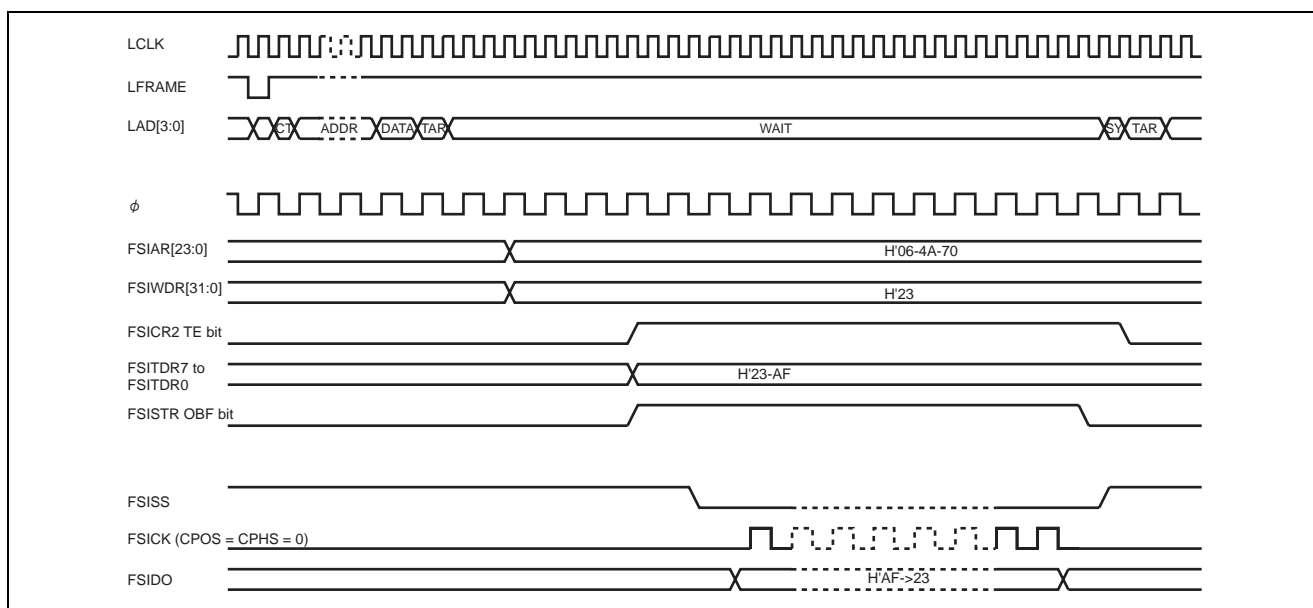


図 21.7 AAI-Program 命令 (2 バイト目以降) 実行タイミング

(4) Read 命令

FSICR1 の FRDE が 0 の場合、LPC/FW メモリリードサイクルが発生すると、SPI フラッシュメモリアドレスを FSIAR に格納します。その後、あらかじめ FSIRDINS に格納していた命令とともに FSITDR に転送します。SYNC (Long Wait) を返送後、FSICR2 の RE がセットされ、Read 命令を開始します。リードデータは FSIRDR に格納します。受信が終了すると、SYNC (Ready)、リードデータ、TAR をホストに返送します。

図 21.8 に FSIRDR へのデータ転送例、図 21.9 に Read 実行タイミングを示します。

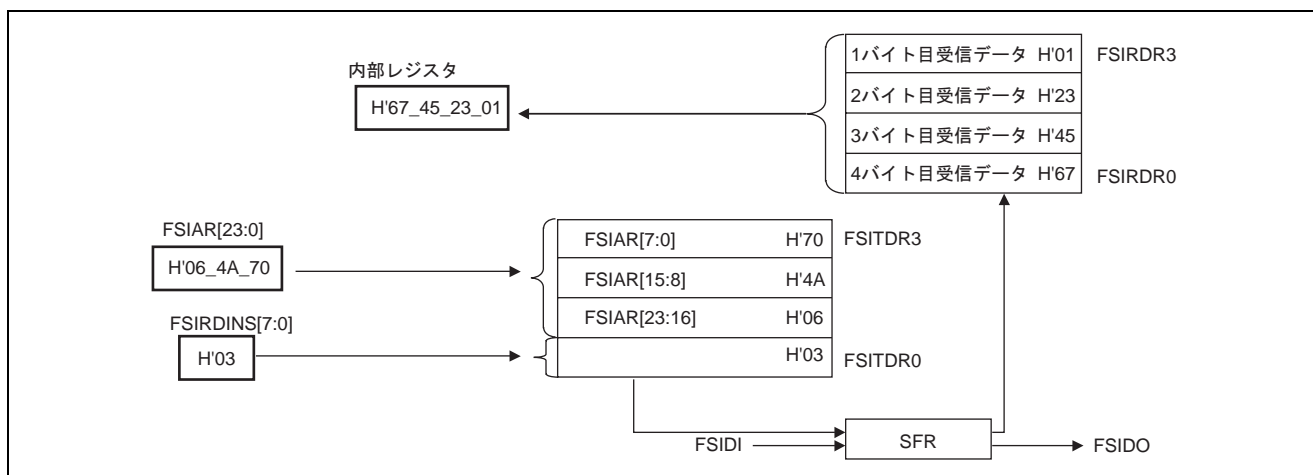


図 21.8 FSIRDR へのデータ転送例

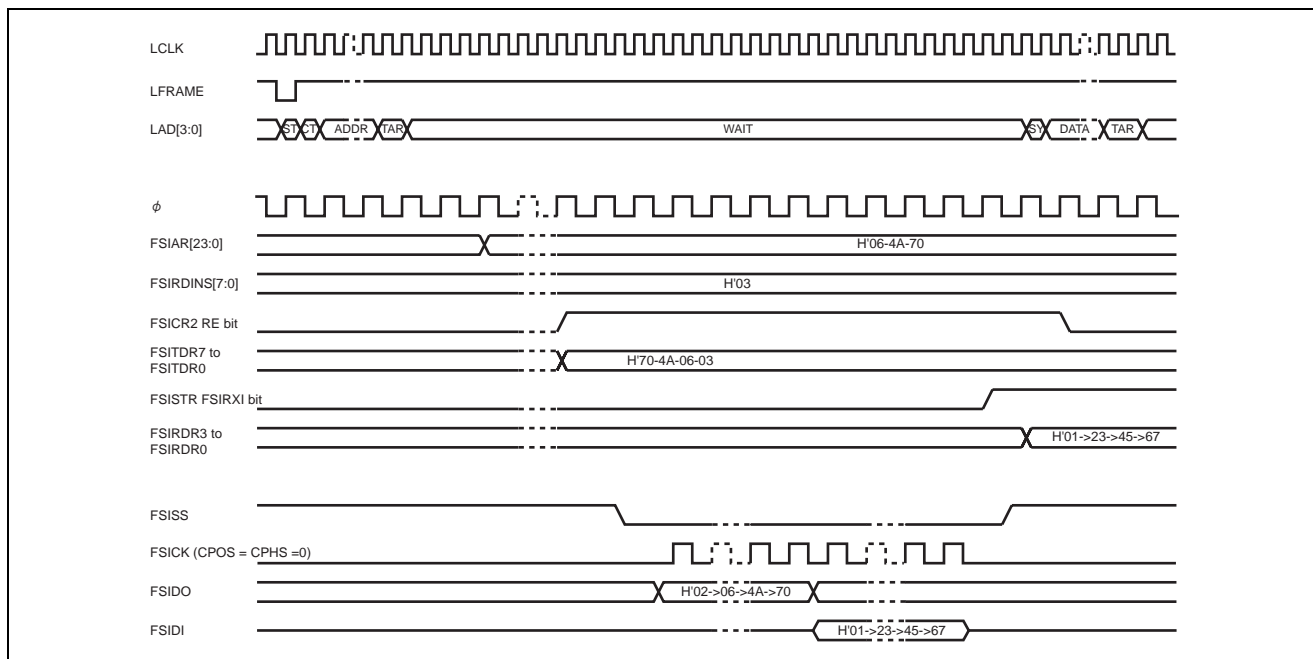


図 21.9 Read 命令実行タイミング

(5) Fast-Read 命令

FSICR1 の FRDE が 1 の場合、LPC/FW メモリリードサイクルが発生すると、SPI フラッシュメモリアドレスを FSIAR に格納します。その後、あらかじめ FSIRDINS に格納していた命令とともに FSITDR に転送します。SYNC (LongWait) を返送後、FSICR2 の RE がセットされ、Fast-Read 命令を開始します。リードデータは FSIRDR に格納します。受信が終了すると、SYNC (Ready)、リードデータ、TAR をホストに返送します。

図 21.10 に Read 実行タイミングを示します。

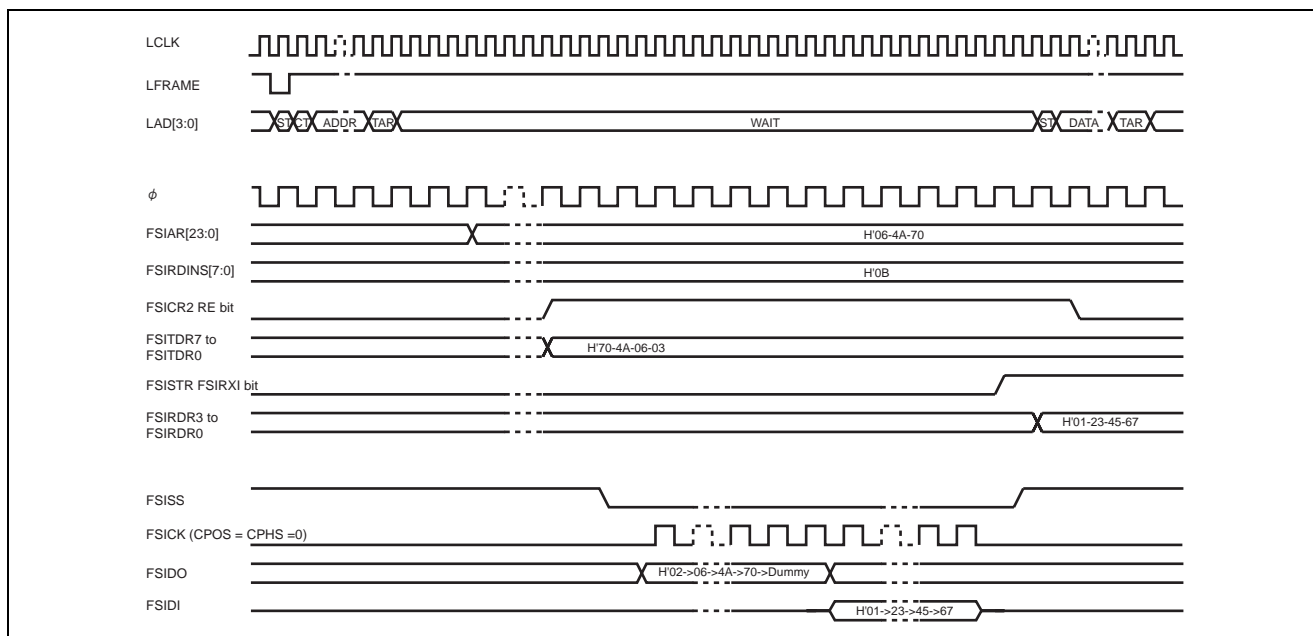


図 21.10 Fast-Read 命令実行タイミング

(6) ダイレクトブロック転送

ダイレクトブロック転送は複数の Byte-Program 命令を 1 つにまとめ、まとまった書き込みデータを一括して SPI フラッシュメモリへ転送します。本 FSI では SLCR の BTTRG の設定により最大 4 バイトの書き込みデータを 1 つにまとめることができます。本転送を使用することで、SPI フラッシュメモリ転送回数を減らすことができ、書き込み時間を短縮することができます。

ダイレクトブロック転送を使用する場合、SLCR の FLDCT を 1 にセットしてください。

(a) Byte-Program 命令

LPC ホストは FSILSTR1 の LFBUSY および BBUSY が 0 にクリアされていることを確認し、Byte-Program 命令を実行してください。FSI は BBUSY を 1 にセットし、FSIAR に SPI フラッシュメモリアドレスを、FSIWDRLL に書き込みデータを格納します。

2 回目以降の Byte-Program 命令は、FSIAR を保持したまま書き込みデータを FSIWDRLLH、FSIWDRHL、FSIWDRHH の順に順次格納していきます。

BTTRG で設定したバイト数が FSIWDR に格納されると FSI は BBUSY をクリア、LPC-SPI ダイレクト転送を起動し SPI フラッシュメモリ転送を開始します。

LPC ホストは転送の完了を、FLWAIT=1 の場合は LPC バスのロングウェイト解除で、FLWAIT=0 の場合は LFBUSY のクリアで確認してください。

(b) AAI-Program 命令

ダイレクトブロック転送は AAI-Program 命令にも対応しています。

動作内容は a) Byte-Program と同じです。2 回目以降の SPI フラッシュメモリ転送ではアドレスが省略されません。

(c) ダイレクトブロック転送中のフラグ状態

表 21.7 にダイレクトブロック転送中のフラグ状態を示します。

表 21.7 ダイレクトブロック転送中のフラグ状態

	LFBUSY	BBUSY	FSIDWBUSY	FSIDRBUSY
アイドル	0	0	0	0
バッファ期間中	0	1	0	0
LPC-SPI ダイレクト転送中	1	0	1	0

バッファ期間中および LPC-SPI ダイレクト転送中は、Byte-Program 命令、AAI_Program 命令および FSILSTR1 または FSILSTR2 のリード以外は行わないでください。

他の命令を実行する場合、必ずアイドル中に行ってください。

21.4.5 FSI メモリサイクル (LPC-SPI コマンド転送)

FSI は Byte/Page-Program、AAI-Program、Read、Fast-Read、WREN、WRDI、EWSR、Chip/Bulk-Erase、WRSR、RDSR 命令をダイレクトコマンド転送、それ以外の命令をコマンド転送でサポートします。

(1) FSI ダイレクトコマンド空間

CMDHBAR の設定により、特定のホストアドレス空間を FSI のコマンド空間として使用します。図 21.11 に FSI コマンド空間設定例を示します。

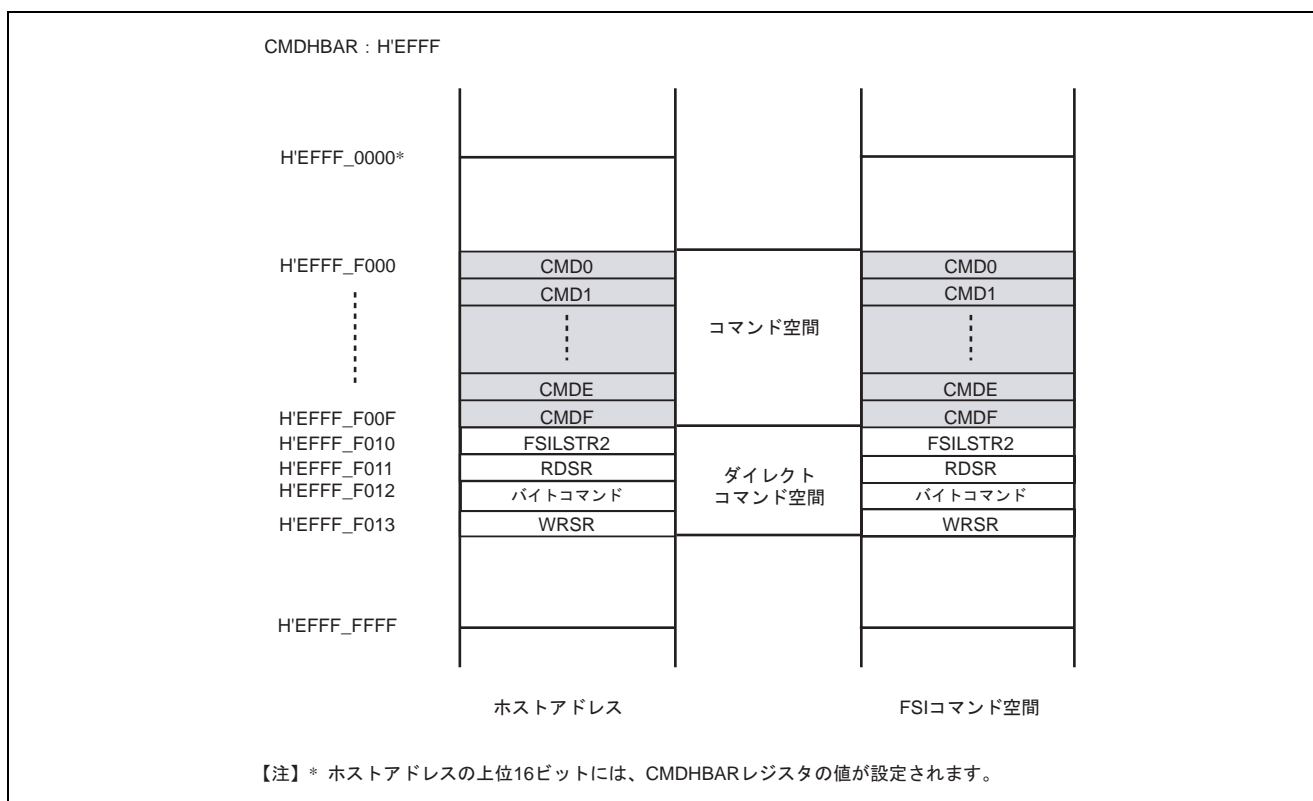


図 21.11 FSI コマンド空間設定例

CMDHBAR を H'EFFE に設定した場合、ホストアドレス H'EFFE_F000~H'EFFE_F00F がコマンド空間となります。ホストアドレス H'EFFE_F010~H'EFFE_F013 がダイレクトコマンド空間となります。H'EFFE_F010 は FSILSTR2 アドレス、H'EFFE_F011 は RDSR 命令アドレス、H'EFFE_F012 はバイトコマンド (WREN、WRDI、EWSR、chip/Bulk-Erase) 命令アドレス、H'EFFE_F013 は WRSR 命令アドレスとなります。

(2) ダイレクトコマンド転送

ダイレクトコマンド転送は SLCR の FLWAIT ビットの状態により 2 つの動作モードをサポートします。ダイレクトコマンド転送を使用する場合、SLCR の DCE ビットを 1 にセットしてください。

表 21.8 ダイレクトコマンド転送 動作モード

動作モード	FLWAIT	内容
モード 1	0	ダイレクトコマンド転送中、LPC バスにロングウェイトは挿入されません。LPC ホストはダイレクトコマンドの完了を FSILSTR1 の LFBUSY ビットをポーリングして確認してください。
モード 2	1	ダイレクトコマンド転送中、LPC バスにロングウェイトが挿入されます。ロングウェイトの解除は FSILSTR1 の LFBUSY ビットのクリア(ハードウェアによる自動クリア)で行います。

(a) バイトコマンド (WREN、WRDI、EWSR、Chip/Bulk-Erase) 命令のダイレクトコマンド転送

SLCR の DCE ビットを 1 にセットし、LPC/FW メモリバイトライトサイクルでバイトコマンドアドレスをアクセスすると FSILSTR1 の LFBUSY をセットし、LPC ライトデータをインストラクションとしたインストラクションのみの SPI フラッシュメモリ転送を起動します。

SLCR の FLWAIT=0 の場合、LPC バスにロングウェイトは挿入されません。LPC ホストは FSILSTR1 をリードし、LFBUSY がクリアされたことでコマンド転送の完了を確認してください。LFBUSY=1 中は FSILSTR1 または FSILSTR2 以外のリードは行わないでください。

SLCR の FLWAIT=1 の場合、LPC バスにロングウェイトが挿入されロングウェイトの解除がコマンド転送の完了となります。

(b) WRSR 命令のダイレクトコマンド転送

SLCR の DCE ビットを 1 にセットし、LPC/FW メモリバイトライトサイクルで WRSR アドレスをアクセスすると FSILSTR1 の LFBUSY をセットし、WRSRINS をインストラクション、LPC ライトデータをデータとした 1 バイトの SPI フラッシュメモリライト転送を起動します。

SLCR の FLWAIT=0 の場合、LPC バスにロングウェイトは挿入されません。LPC ホストは FSILSTR1 をリードし、LFBUSY がクリアされたことでコマンド転送の完了を確認してください。LFBUSY=1 中は FSILSTR1 または FSILSTR2 以外のリードは行わないでください。

SLCR の FLWAIT=1 の場合、LPC バスにロングウェイトが挿入されロングウェイトの解除がコマンド転送の完了となります。

(c) RDSR 命令のダイレクトコマンド転送

SLCR の DCE ビットを 1 にセットし、LPC/FW メモリバイトリードサイクルで RDSR アドレスをアクセスすると FSILSTR1 の LFBUSY をセットし、RDSRINS をインストラクションとした 1 バイトの SPI フラッシュメモリリード転送を起動します。

SLCR の FLWAIT=0 の場合、LPC バスにロングウェイトは挿入されません。LPC ホストは FSILSTR1 をリードし、LFBUSY がクリアされたことでコマンド転送の完了を確認してください。LFBUSY=1 中は FSILSTR1 または FSILSTR2 以外のリードは行わないでください。初回の RDSR 命令の LPC リードデータはダミーデータになります。SPI フラッシュメモリのステータスはコマンド転送完了後、2 回目の RDSR 命令でリードすることができます。2 回目の RDSR 命令では SPI フラッシュメモリリード転送は起動しません。

SLCR の FLWAIT=1 の場合、LPC バスにロングウェイトが挿入されロングウェイトの解除がコマンド転送の完了となります。ロングウェイト解除後の LPC リードデータがステータスとなります。

(d) ダイレクトコマンド転送中のフラグ状態

表 21.9 に各ダイレクトコマンド転送中のフラグ状態を示します。

表 21.9 各ダイレクトコマンド転送中のフラグ状態

ダイレクトコマンド名	転送中状態				
	LFBUSY	SRDCBUSY	DCBUSY	FSIDWBUSY	FSIDRBUSY
バイトコマンド (WREN、WRDI、EWSR、Chip/Bulk-Erase) 命令	1	0	1	1	0
RDSR 命令	1	1	1	0	1
WRSR 命令	1	1	1	1	0

(3) FSI コマンドライト

コマンド空間に LPC/FW メモリライトサイクルが発生すると、FSI は FSI-FLASH コマンドライト動作を行います。図 21.12 に FSI コマンドライト例を示します。

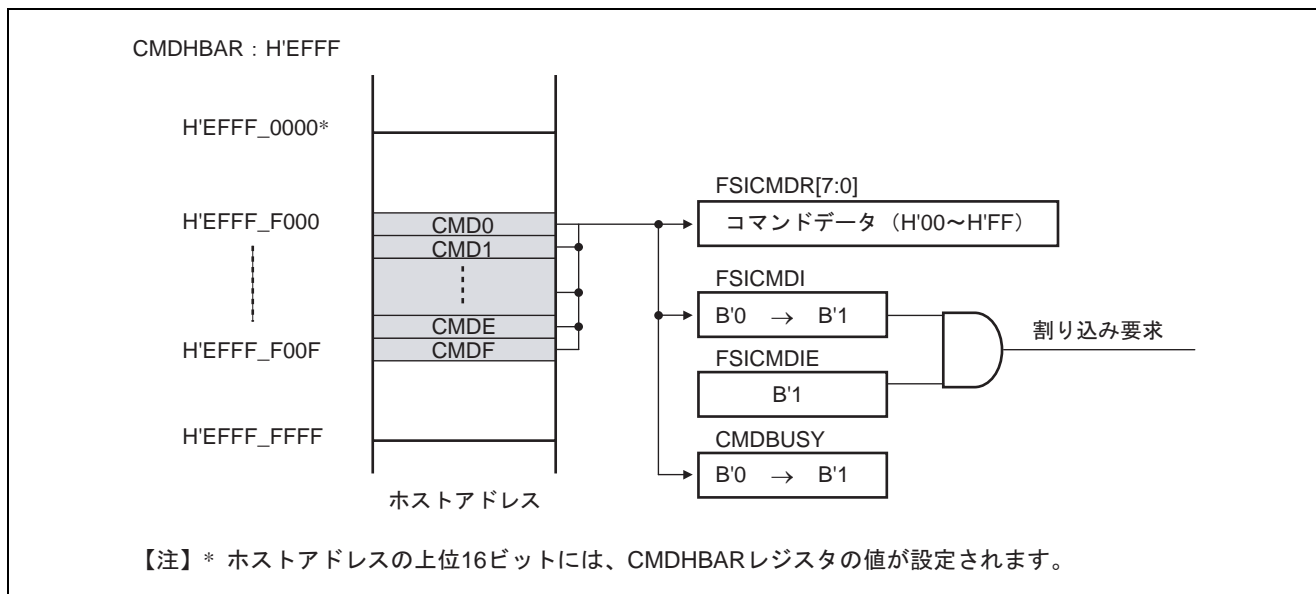


図 21.12 FSI コマンドライト例

CMDHBAR を H'EFFF に設定した場合、ホストアドレス H'EFFF_F000~H'EFFF_F00F の範囲で LPC/FW メモリライトサイクルがあると、FSICMDR にライトデータを格納し、FSILSTR1 の CMDBUSY と FSICMDI をセットします。このとき、FSICMDIE の状態により割り込み要求が発生します。範囲外のホストアドレスは Sync を返しません。FSI コマンドライトの場合 LPC バスにウェイトは挿入されません。CMDBUSY がセットされている場合、FSI コマンドリード以外に Sync を返しません。

(4) FSI コマンドリード

図 21.13 に FSI コマンドリード例を示します。

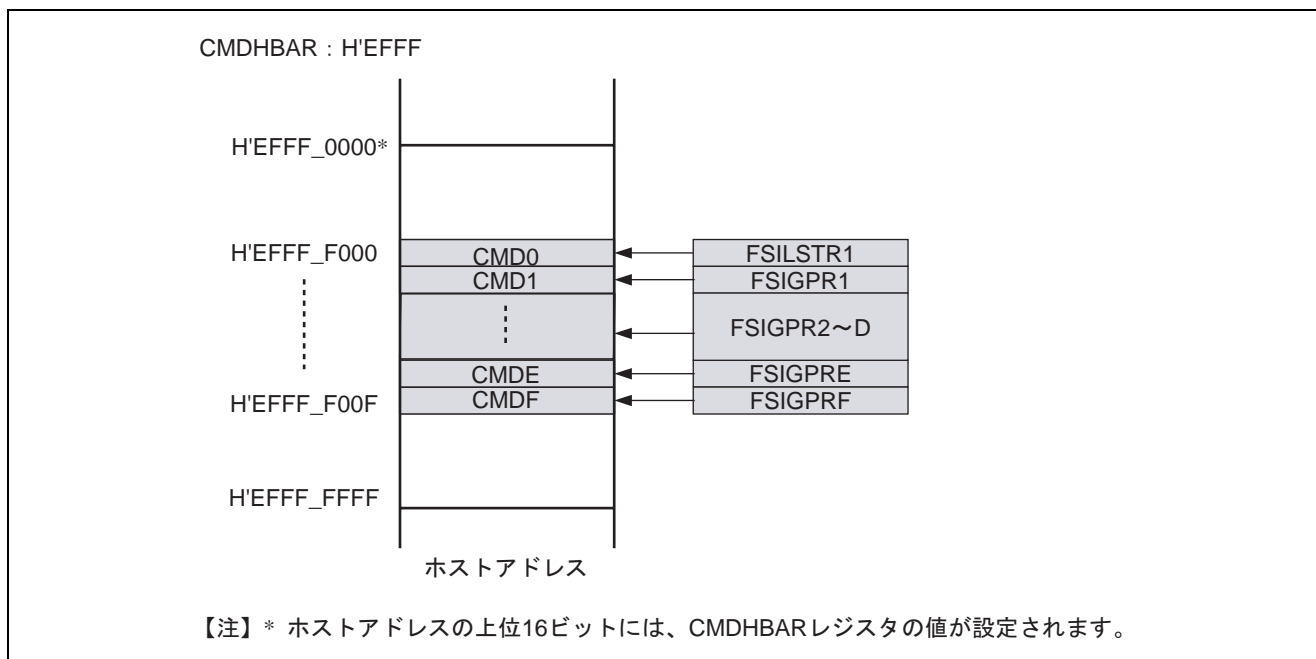


図 21.13 FSI コマンドリード例

CMDHBAR を H'EFFE に設定した場合、ホストアドレス H'EFFE_F000~H'EFFE_F00F の範囲で LPC/FW メモリリードサイクルによるアクセスがあると、FSILSTR1 または FSIGPR1~F のデータを返します。範囲外のホストアドレス入力には Sync を返しません。FSI コマンドリードの場合 LPC バスにウェイトは挿入されません。FSIGPR をリードする場合、FSILSTR1 の CMDBUSY が 0 にクリアされたことを確認してからリードしてください。

(5) FSI ダミーライト

図 21.14 に FSI ダミーライト例を示します。

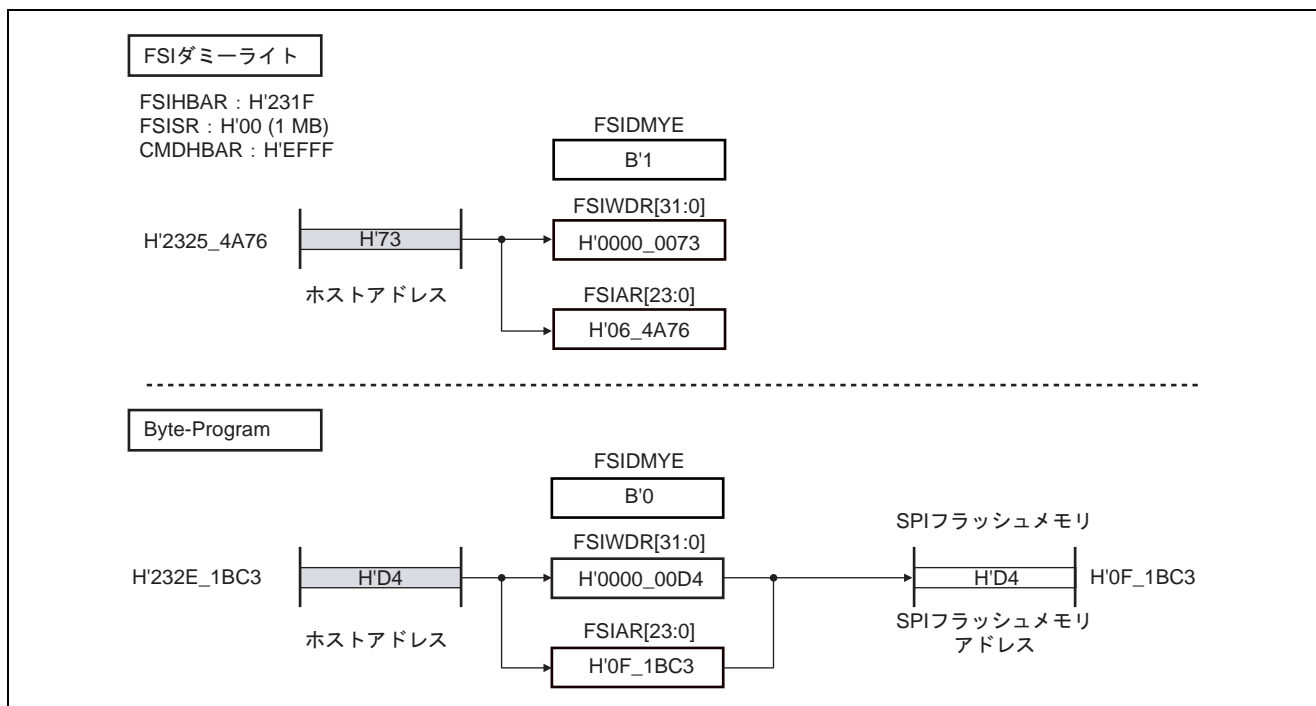


図 21.14 FSI ダミーライト例

FSILSTR1 の FSIDMYE が 1 の場合、LPC/FW メモリライトサイクルが発生すると FSI は SPI フラッシュメモリへのアクセスは行わず、FSIAR と FSIWDR に SPI フラッシュメモリアドレスおよびライトデータを格納します。

(6) FSI コマンド使用例 1 (SPI フラッシュメモリイレース)

FSI コマンドを使用することで、SPI フラッシュメモリに対し、さまざまな命令を実行することができます。SPI フラッシュメモリイレース実行例を図 21.15 に示します。

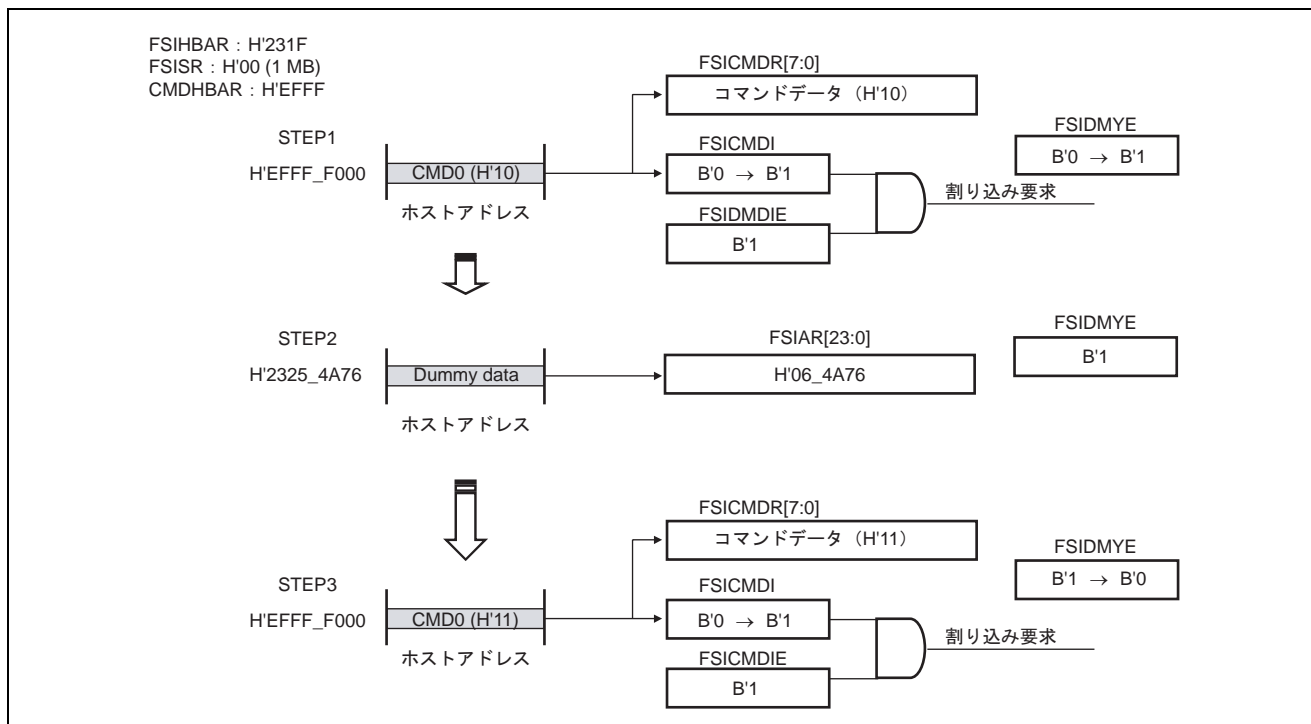


図 21.15 SPI フラッシュメモリイレース実行例

SPI フラッシュメモリをイレースする場合、SPI フラッシュメモリアドレスを FSIAR に格納し、SPI コマンドにより SPI フラッシュメモリに対してイレース命令を実行します。FSIAR へのアドレスの格納は、イレースを行うセクタまたはブロックのアドレスへホストがデータライトすることで行います。SPI フラッシュメモリプログラミングと区別するため、FSIDMYE を使用し、以下の手順でイレースを行います。

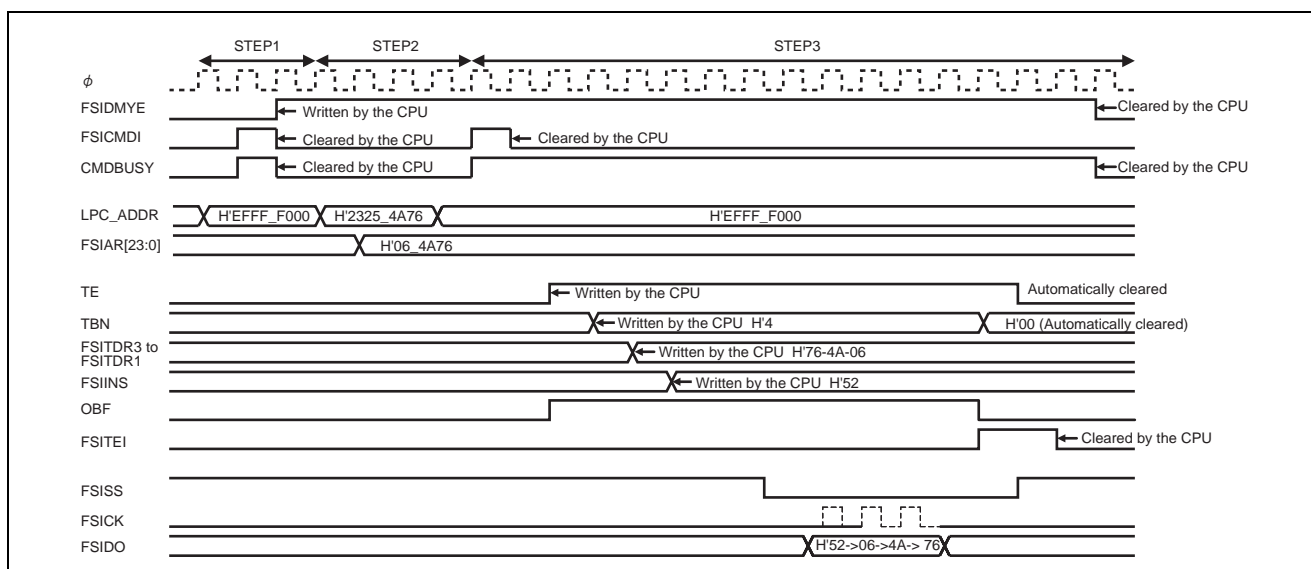


図 21.16 SPI フラッシュメモリイレース実行タイミング

• STEP1

1. イレース設定コマンドをライト (ホスト)
2. FSICMDI割り込み要求発生
3. FSILSTR1のFSIDMYEをセット、FSILSTR1のFSICMDI、CMDBUSYをクリア
4. 割り込み処理終了
5. FSILSTR1のFSIDMYEがセット、CMDBUSYおよびFSICMDIがクリアされていることを確認 (ホスト)

• STEP2

1. イレースを行うセクタまたはブロックアドレスヘダミーライト (ホスト)
2. FSIARにSPIフラッシュメモリアドレス、FSIWDRにライトデータを格納*

【注】 * FSIWDRに格納されたデータは、ユーザ側で必要に応じて使用してください。

• STEP3

1. イレース設定コマンドをライト (ホスト)
2. FSICMDI割り込み要求発生
3. FSILSTR1のFSICMDIをクリア
4. SPIフラッシュメモリエレースを実行
 - FSICR2 の TE をセット
 - FSIBNR の TBN を 4 バイト送信に設定
 - FSIAR に格納されている FSI アドレスを FSITDR1~3 にライト
 - イレース命令を FSIINS にライト (SPI フラッシュメモリエレースを開始)
5. 割り込み処理終了
6. FSITEI割り込み要求発生
7. FSILSTR1のFSIDMYE、CMDBUSYをクリア
8. 割り込み処理終了
9. FSILSTR1のFSIDMYE、CMDBUSY、FSICMDIがクリアされていることを確認 (ホスト)

(7) FSI コマンド使用例 2 (SPI フラッシュメモリステータスリード)

SPI フラッシュメモリステータスリード実行タイミング例を図 21.17 に示します。

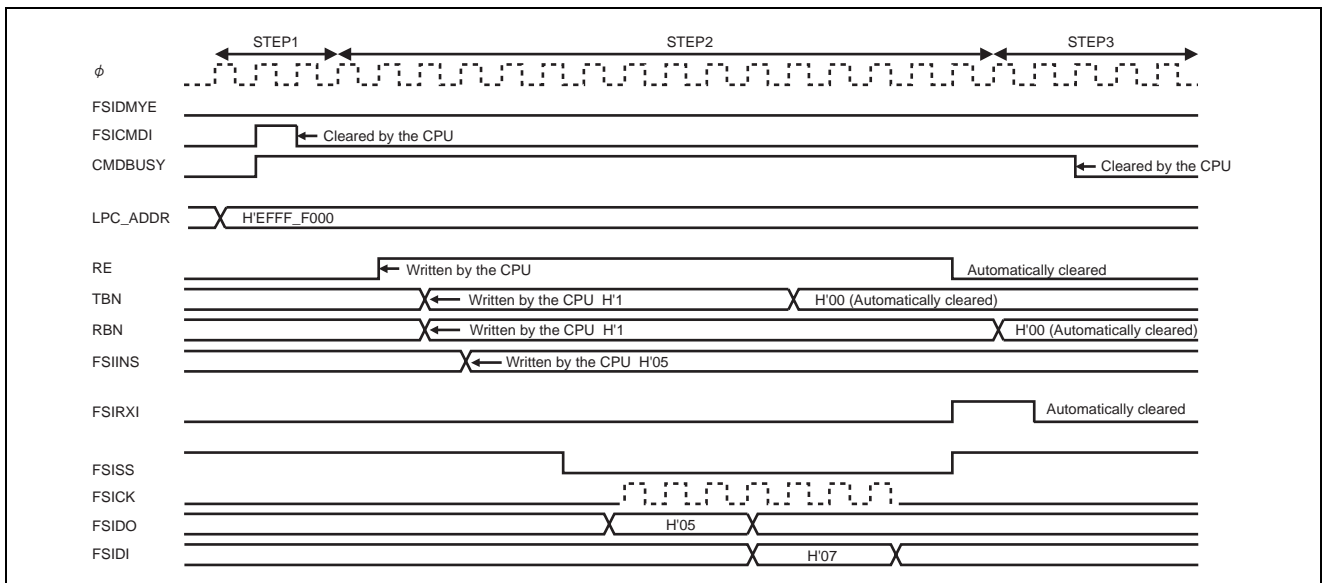


図 21.17 SPI フラッシュメモリステータスリード命令実行タイミング

- STEP1

- ステータスリード設定コマンドをライト (ホスト)
- FSICMDI割り込み要求発生
- FSILSTR1のFSICMDIをクリア
- FSILSTR1のCMDBUSYがセット、FSICMDIがクリアされていることを確認 (ホスト)

- STEP2

- SPIフラッシュメモリステータスリードを実行
 - FSICR2のREをセット
 - FSIBNRのTBNを1バイト送信に設定: FSIBNRのRBNを1バイト受信に設定
 - ステータスリード命令をFSIINSにライト (SPIフラッシュメモリステータスリード命令を開始)
- 割り込み処理終了

- STEP3

- FSIRXI割り込み要求発生
- FSIRDRのリードデータをSPIGPRにライト
- FSILSTR1のCMDBUSYをクリア
- 割り込み処理終了
- FSILSTR1のCMDBUSYとFSICMDIがクリアされていることを確認 (ホスト)
- FSIGPRからSPIフラッシュメモリのステータスをリード (ホスト)

(8) SPI フラッシュメモリライト動作モード

LPC/FW メモリライトサイクルによる SPI フラッシュメモリへのライト動作は FLDCT および FLWAIT の状態により 4 つの動作モードに分かれます。

表 21.10 LPC/FW メモリライトサイクルによる SPI フラッシュメモリへのライト動作

動作モード	FLDCT	FLWAIT	選択レジスタ	内 容
モード 1	0	0	FSIWBUSY←1 FSIWI←1	SPI フラッシュメモリへのライト動作は EC CPU で制御してください。LPC バスにウェイトは挿入されません。ホストはライト転送の完了を FSIWBUSY で確認してください。
モード 2	0	1	FSIWBUSY←1 FSIWI←1	SPI フラッシュメモリへのライト動作は EC CPU で制御してください。LPC バスにウェイトが挿入されます。ウェイトは FSIWBUSY のクリアで解除されます。
モード 3	1	0	LFBUSY←1 (自動クリア)	SPI フラッシュメモリへのライト動作は FSI で制御します。LPC バスにウェイトは挿入されません。ホストはライト転送の完了を LFBUSY で確認してください。
モード 4	1	1	LFBUSY←1 (自動クリア)	SPI フラッシュメモリへのライト動作は FSI で制御します。LPC バスにウェイトが挿入されます。ウェイトは LFBUSY のクリアで解除されます。

21.5 リセット条件

FSI インタフェースは、LPC シャットダウンモードをサポートします。各モードで初期化される範囲を以下に示します。

表 21.11 各モードで初期化される範囲

レジスタ名		システム リセット	LPC リセット	LPC シャット ダウン	LPC アポート	FSI リセット
FSIHBARH/L	Bit7~0	初期化	保持	保持	保持	保持
FSISR	Bit7~0	初期化	保持	保持	保持	保持
CMDHBARH/L	Bit7~0	初期化	保持	保持	保持	保持
FSICMDR	Bit7~0	初期化	保持	保持	保持	保持
FSILSTR1	Bit7、6、4、3	初期化	初期化	保持	保持	保持
	Bit2、1	初期化	初期化	保持	保持	初期化
	Bit5、0	初期化	保持	保持	保持	保持
FSILSTR2	Bit7	初期化	保持	保持	保持	保持
	Bit6~3	初期化	初期化	保持	保持	初期化
	Bit2~0	初期化	保持	保持	保持	保持
SPIGPR1~F	Bit7~0	初期化	保持	保持	保持	保持
SLCR	Bit7~0	初期化	保持	保持	保持	保持
FSIARH/M/L	Bit7~0	初期化	保持	保持	保持	保持
FSIWRHH/HL/LH/LL	Bit7~0	初期化	保持	保持	保持	保持
LPC 内部シーケンサ		初期化	初期化	初期化	初期化	保持
FSICR1	Bit7~0	初期化	保持	保持	保持	保持
FSICR2	Bit7~6	初期化	保持	保持	保持	初期化
	Bit5~0	初期化	保持	保持	保持	保持
FSIBNR	Bit7~4	初期化	保持	保持	保持	初期化
	Bit3	初期化	保持	保持	保持	保持
	Bit2~0	初期化	保持	保持	保持	初期化
FSIINS	Bit7~0	初期化	保持	保持	保持	保持
FSIRDINS	Bit7~0	初期化	保持	保持	保持	保持
FSIPPINS	Bit7~0	初期化	保持	保持	保持	保持
WRSRINS	Bit7~0	初期化	保持	保持	保持	保持
RDSRINS	Bit7~0	初期化	保持	保持	保持	保持
FSISTR	Bit7	初期化	保持	保持	保持	初期化
	Bit6、5	初期化	保持	保持	保持	初期化
	Bit4~0	初期化	保持	保持	保持	保持

レジスタ名		システム リセット	LPC リセット	LPC シャット ダウン	LPC アボート	FSI リセット
FSITDR7~0	Bit7~0	初期化	保持	保持	保持	保持
FSIRDR	Bit7~0	初期化	保持	保持	保持	保持
FSI 内部シーケンサ		初期化	保持	保持	保持	初期化

21.6 割り込み要因

FSI はスレーブ（本 LSI）に対して FSITEI、FSIRXI、FSICMDI、FSIWI の 4 つの割り込み要因があります。FSITEI はスレーブによる SPI フラッシュメモリライト転送時の送信終了割り込みです。FSIRXI はスレーブによる SPI フラッシュメモリリード転送時の受信完了割り込みです。FSICMDI はホストによる FSI コマンドライト時のコマンド受信割り込みです。FSIWI はホストによる SPI フラッシュメモリライト時のライト受信割り込みです。割り込み要求は対応するイネーブルビットを 1 にセットすることにより許可されます。

表 21.12 FSI 割り込み要因

割り込み名称	割り込み要因		割り込み許可ビット
FSII	FSITEI	送信終了	FSITEIE
	FSIRXI	受信完了	FSIRXIE
LFSII	FSICMDI	FSI コマンド受信	FSICMDIE
	FSIWI	FSI ライト受信	FSIWIE

22. シンクロナスシリアルコミュニケーションユニット (SSU)

本 LSI は独立した 1 チャネルのシンクロナスシリアルコミュニケーションユニット (SSU: Synchronous Serial communication Unit) を備えています。SSU には、本 LSI がマスタデバイスとして外部にクロックを出力し同期シリアル通信を行うマスタモードと、外部デバイスからのクロックを入力し同期シリアル通信を行うスレーブモードがあります。また、クロック極性とクロック位相の異なるデバイス間との同期シリアル通信が可能です。図 22.1 に SSU のブロック図を示します。

22.1 特長

- SSUモードとクロック同期式通信モードを選択可能
- マスタモードとスレーブモードが選択可能
- 標準モードと双方向モードが選択可能
- クロック位相とクロック極性の異なる他のデバイスとの同期シリアル通信が可能
- 送受信データ長を8ビット/16ビット/24ビット/32ビットで選択可能
- 全二重通信が可能
送信と受信を同時に実行可能なシフトレジスタを装備
- 連続シリアル通信が可能
- LSBファースト方式/MSBファースト方式が選択可能
- クロックソースとして7種類の内部クロック ($\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$) と外部クロックを選択可能
- 割り込み要因: 5種類
送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラーの5種類の割り込み要因
- モジュールストップモードの設定が可能*

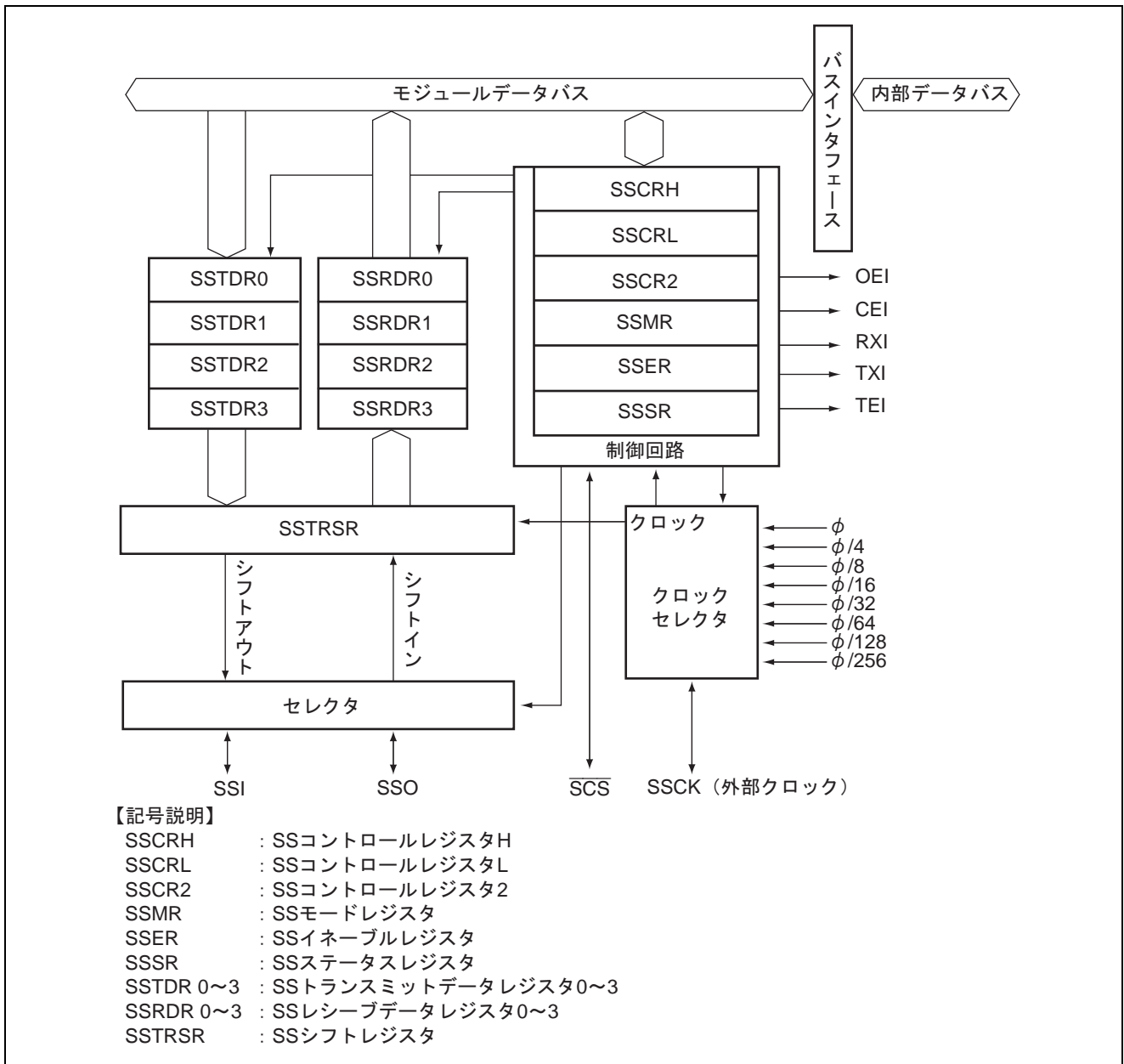


図 22.1 SSU のブロック図

22.2 入出力端子

SSU には、表 22.1 の入出力端子があります。

表 22.1 端子構成

端子名*	入出力	機 能
SSCK	入出力	SSU クロック入出力端子
SSI	入出力	SSU データ入出力端子
SSO	入出力	SSU データ入出力端子
$\overline{\text{SCS}}$	入出力	SSU チップセレクト入出力端子

【注】 * 本文中では端子名を省略し、それぞれ SSCK、SSI、SSO、 $\overline{\text{SCS}}$ と略称します。

22.3 レジスタの説明

SSU には以下のレジスタがあります。

- SSコントロールレジスタH (SSCRH)
- SSコントロールレジスタL (SSCRL)
- SSモードレジスタ (SSMR)
- SSイネーブルレジスタ (SSER)
- SSステータスレジスタ (SSSR)
- SSコントロールレジスタ2 (SSCR2)
- SSトランスミットデータレジスタ0 (SSTD0)
- SSトランスミットデータレジスタ1 (SSTD1)
- SSトランスミットデータレジスタ2 (SSTD2)
- SSトランスミットデータレジスタ3 (SSTD3)
- SSレシーブデータレジスタ0 (SSRD0)
- SSレシーブデータレジスタ1 (SSRD1)
- SSレシーブデータレジスタ2 (SSRD2)
- SSレシーブデータレジスタ3 (SSRD3)
- SSシフトレジスタ (SSTRSR)

22.3.1 SS コントロールレジスタ H (SSCRH)

SSCRH は、マスタ/スレーブデバイス選択、双方向モードイネーブル、SSO 端子の出力値選択、SSCK 端子選択、SCS 端子選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	MSS	0	R/W	<p>マスタ/スレーブデバイス選択</p> <p>SSU をマスタモードとして使用するか、スレーブモードとして使用するかを選択します。マスタモードで使用する場合は、SSCK 端子から転送クロックを出力します。SSSR の CE ビットがセットされた場合、このビットは自動的にクリアされます。</p> <p>0: スレーブモードを選択 1: マスタモードを選択</p>
6	BIDE	0	R/W	<p>双方向モードイネーブル</p> <p>シリアルデータ入力端子、出力端子を 2 端子使用するか、1 端子のみ使用するかを選択します。ただし、双方向モードを選択した場合、送受信を同時に行うことはできません。詳細は、「22.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。</p> <p>0: 標準モード (データ入力端子とデータ出力端子の 2 端子を使用して通信) 1: 双方向モード (データ入力とデータ出力を 1 端子のみで通信)</p>
5	—	0	R/W	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。</p>
4	SOL	0	R/W	<p>シリアルデータ出力値選択</p> <p>送信完了後のシリアルデータ出力は、送信データの最終ビットの値を保存しますが、送信前または、送信後にシリアルデータの出力レベルを変更できます。出力レベルを変更する場合は、SOLP ビットを 0 にして MOV 命令で行ってください。なおデータ転送中にこのビットにライトすると誤動作の原因となりますので、送信中は操作しないでください。</p> <p>0: シリアルデータの出力を Low レベルに変更 1: シリアルデータの出力を High レベルに変更</p>
3	SOLP	1	R/W	<p>SOL ビットライトプロテクト</p> <p>シリアルデータの出力レベルを変更する場合には、SOL=1 かつ SOLP=0、または SOL=0 かつ SOLP=0 を MOV 命令で行ってください。</p> <p>0: SOL の値によって出力レベルを変更可能 1: SOL の値によって出力レベルを変更不可能</p> <p>リード時は常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
2	SCKS	0	R/W	<p>SSCK 端子選択</p> <p>SSCK 端子をポートとして機能させるか、シリアルクロック端子として機能させるかを選択します。SSCK 端子をシリアルクロック端子として用いる場合には、このビットを 1 にセットしてください。</p> <p>0 : I/O ポートとして機能</p> <p>1 : シリアルクロック端子として機能</p>
1 0	CSS1 CSS0	0 0	R/W R/W	<p>SCS 端子選択</p> <p>\overline{SCS} 端子をポートとして機能させるか、\overline{SCS} 入力または \overline{SCS} 出力として機能させるかを選択します。ただし、MSS=0 のときは、CSS1、CSS0 ビットの設定にかかわらず \overline{SCS} 端子は、入力端子として機能します。</p> <p>00 : I/O ポート</p> <p>01 : \overline{SCS} 入力として機能</p> <p>10 : \overline{SCS} 自動入出力機能 (転送前、転送後は \overline{SCS} 入力、転送中は Low 出力)</p> <p>11 : \overline{SCS} 自動出力機能 (転送前、転送後は High 出力、転送中は Low 出力)</p>

22.3.2 SS コントロールレジスタ L (SSCRL)

SSCRL は、動作モード、ソフトウェアリセット、送受信データのデータ長を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	SSUMS	0	R/W	SSU モードとクロック同期式通信モードを選択します。 0 : SSU モード 1 : クロック同期式通信モード
5	SRES	0	R/W	ソフトウェアリセット 本ビットを1にセットすると SSU 内部シーケンサを強制的にリセットします。その後、本ビットは自動的にクリアされ、SSSR の ORER、TEND、TDRE、RDRF、CE の各ビットおよび、SSER の TE、RE ビットが初期化されます。その他の SSU 内部レジスタ値は保持されます。 なお、転送を途中で中断したい場合には、本ビットに1を書き込んで、内部シーケンサをリセットしてください。
4~2	—	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
1	DATS1	0	R/W	送受信データ長選択
0	DATS0	0	R/W	シリアルデータのデータ長を選択します。 00 : 8 ビットデータ長 01 : 16 ビットデータ長 10 : 32 ビットデータ長 11 : 24 ビットデータ長

22.3.3 SS モードレジスタ (SSMR)

SSMR は、MSB ファースト/LSB ファースト選択、クロック極性選択、クロック位相選択、転送クロックレートを選択します。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト/LSB ファースト選択 シリアルデータを MSB ファーストで転送するか、LSB ファーストで転送するかを選択します。 0 : LSB ファースト 1 : MSB ファースト
6	CPOS	0	R/W	クロック極性選択 SSCK クロックの極性を選択します。 0 : アイドル時に High 出力、アクティブ時に Low 出力 1 : アイドル時に Low 出力、アクティブ時に High 出力
5	CPHS	0	R/W	クロック位相選択 (SSU モード時のみ有効) SSCK クロックの位相を選択します。 0 : 最初のエッジでデータ変化 1 : 最初のエッジでデータラッチ
4	—	0	R/W	リザーブビット
3	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
2	CKS2	0	R/W	転送クロックレート選択
1	CKS1	0	R/W	内部クロックを選択した場合の転送クロックレートを選擇します。
0	CKS0	0	R/W	000 : リザーブ 001 : $\phi/4$ 010 : $\phi/8$ 011 : $\phi/16$ 100 : $\phi/32$ 101 : $\phi/64$ 110 : $\phi/128$ 111 : $\phi/256$

22.3.4 SS イネーブルレジスタ (SSER)

SSER は、トランスミットイネーブル、レシーブイネーブル、および割り込み要求イネーブルを設定します。

ビット	ビット名	初期値	R/W	説明
7	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
6	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
5	—	0	R/W	リザーブビット
4	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
3	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。
2	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると TXI 割り込み要求がイネーブルになります。
1	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると RXI 割り込みおよび、OEI 割り込み要求がイネーブルになります。
0	CEIE	0	R/W	コンフリクトエラーインタラプトイネーブル このビットを 1 にセットすると CEI 割り込み要求がイネーブルになります。

22.3.5 SS ステータスレジスタ (SSSR)

SSSR は、各種割り込みのステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	ORER	0	R/W	オーバランエラー RDRF=1 の状態で、次のデータを受信するとオーバランエラーが発生し、異常終了したことを示します。SSRDR は、オーバランエラーが発生する前の1フレーム分の受信データを保持し、後から受信したデータは失われます。さらに ORER=1 にセットされた状態でそれ以降のシリアル受信を続けることはできません。またシリアル送信も続けることはできません。 [セット条件] RDRF=1 の状態で、次のシリアル受信の1バイトが完了したとき [クリア条件] <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください。)
5	—	0	R/W	リザーブビット
4	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
3	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> SSCR2 の TENDSTS が 0 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信時 SSCR2 の TENDSTS が 1 のとき、TDRE=1 の状態で、送信データの最後尾ビットの送信後 [クリア条件] <ul style="list-style-type: none"> TEND=1 の状態をリードした後、TEND フラグに0をライトしたとき SSTDR ヘデータをライトしたとき (割り込みを使用し、CPUによってクリアする場合、0ライト後必ずフラグをリードしてください。)

ビット	ビット名	初期値	R/W	説明
2	TDRE	1	R/W	<p>トランスミットデータエンプティ SSTDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SSER の TE が 0 のとき SSTDR から SSTRSR にデータが転送され、SSTDR にデータライトが可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき TE=1 で、SSTDR ヘデータをライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)
1	RDRF	0	R/W	<p>レシーブデータレジスタフル SSRDR 内のデータの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> シリアル受信が正常終了し、SSTRSR から SSRDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態をリードした後、RDRF フラグに 0 をライトしたとき SSRDR から受信データをリードしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)
0	CE	0	R/W	<p>コンフリクトエラー／インコンプリートエラー SSUMS=0 (SSU モード)、MSS=1 (マスタデバイス) の状態で、外部より \overline{SCS} から 0 が入力されたとき、コンフリクトエラーが発生したことを示します。また、SSUMS=0 (SSU モード)、MSS=0 (スレーブデバイス) の状態で、\overline{SCS} 端子が 1 になったとき、マスタデバイスが転送動作を打ち切ったと判断し、インコンプリートエラーを発生させます。CE=1 にセットされた状態で、それ以降のシリアル受信を続けることはできません。また、シリアル送信を続けることもできません。再転送を開始する前に必ず SSCRL の SRES を 1 にセットして、内部シーケンサをリセットしてください。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタデバイス (SSCRH の MSS=1) のとき \overline{SCS} 端子に Low レベルが入力されたとき スレーブデバイス (SSCRH の MSS=0) のとき転送途中で \overline{SCS} 端子が 1 になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し、CPU によってクリアする場合、0 ライト後必ずフラグをリードしてください。)

22.3.6 SS コントロールレジスタ 2 (SSCR2)

SSCR2 は、SSO 端子、SSI 端子、SSCK 端子、 $\overline{\text{SCS}}$ 端子のオープンドレイン出力、 $\overline{\text{SCS}}$ 端子のアサートタイミング、SSO 端子のデータ出力タイミング、TEND ビットのセットタイミングを設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	SDOS	0	R/W	シリアルデータオープンドレイン出力選択 シリアルデータ出力端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。シリアルデータ出力端子はレジスタ設定値によって変わります。詳細は「22.4.3 データ入出力端子とシフトレジスタの関係」を参照してください。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
6	SSCKOS	0	R/W	SSCK 端子のオープンドレイン出力選択 SSCK 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
5	SCSOS	0	R/W	$\overline{\text{SCS}}$ 端子のオープンドレイン出力選択 $\overline{\text{SCS}}$ 端子を CMOS 出力にするか、NMOS オープンドレイン出力にするかを選択します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
4	TENDSTS	0	R/W	TEND ビットのセットタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : 最後尾ビットの送信中に TEND ビットをセット 1 : 最後尾ビットの送信後に TEND ビットをセット
3	SCSATS	0	R/W	$\overline{\text{SCS}}$ 端子のアサートタイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : t_{LEAD} 、 t_{LAG} の出力期間の min を $1/2 \times t_{\text{SUcyc}}$ とする 1 : t_{LEAD} 、 t_{LAG} の出力期間の min を $3/2 \times t_{\text{SUcyc}}$ とする
2	SSODTS	0	R/W	SSO 端子のデータ出力タイミングを選択 (SSU モード、マスタ設定時のみ有効) 0 : BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき SSO 端子はデータを出力 1 : BIDE=0、MSS=1、TE=1、または BIDE=1、TE=1、RE=0 のとき、かつ $\overline{\text{SCS}}$ 端子の Low レベル期間中で SSO 端子はデータを出力
1	—	0	R/W	リザーブビット
0	—	0	R/W	リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

22.3.7 SS トランスミットデータレジスタ 0~3 (SSTDR0~SSTDR3)

SSTDR は、送信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSTDR0、16 ビットデータ長を選択した場合は SSTDR0、SSTDR1、24 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、32 ビットデータ長を選択した場合は SSTDR0、SSTDR1、SSTDR2、SSTDR3 が有効になります。有効になっていない SSTDR へはアクセスしないでください。

SSU は、SSTRSR の空きを検出すると、SSTDR にライトされた送信データを SSTRSR に転送してシリアル送信を開始します。SSTRSR のシリアルデータ送信中に SSTDR に次のデータをライトしておくこと、連続シリアル送信ができます。

SSTDR は CPU と DMAC から常にリード/ライト可能ですが、シリアル通信を確実にを行うためには、SSTDR へのライトは、必ず SSSR の TDRE が 1 にセットされていることを確認してから行ってください。

表 22.2 DATS ビットの設定と SSTDR の対応表

SSTDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	有効
1	無効	有効	有効	有効
2	無効	無効	有効	有効
3	無効	無効	有効	無効

22.3.8 SS レシーブデータレジスタ 0~3 (SSRDR0~SSRDR3)

SSRDR は、受信データを格納するための 8 ビットレジスタです。SSCRL の DATS1、DATS0 ビットの設定により、8 ビットデータ長を選択した場合は SSRDR0、16 ビットデータ長を選択した場合は SSRDR0、SSRDR1、24 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、32 ビットデータ長を選択した場合は SSRDR0、SSRDR1、SSRDR2、SSRDR3 が有効になります。有効になっていない SSRDR へはアクセスしないでください。

SSU は、1 バイトのデータ受信を完了すると、SSTRSR から SSRDR へ受信したシリアルデータを転送して格納します。この後、SSTRSR は受信可能となります。このように、SSTRSR と SSRDR はダブルバッファになっているため、連続受信動作が可能です。

SSRDR のリードは、SSSR レジスタの RDRF ビットが 1 にセットされていることを確認して行ってください。SSRDR はリード専用レジスタです。CPU からライトすることはできません。

表 22.3 DATS ビットの設定と SSRDR の対応表

SSRDR	DATS[1:0] (SSCRL[1:0])			
	00	01	10	11 (設定無効)
0	有効	有効	有効	有効
1	無効	有効	有効	有効
2	無効	無効	有効	有効
3	無効	無効	有効	無効

22.3.9 SS シフトレジスタ (SSTRSR)

SSTRSR は、シリアルデータを送受信するためのシフトレジスタです。

SSTDR から SSTRSR に送信データが転送される際のビット 0 には、SSMR の MLS=0 のとき SSTDR のビット 0 が転送され (LSB ファースト通信)、MLS=1 のとき SSTDR のビット 7 が転送されます (MSB ファースト通信)。その後、SSTRSR の LSB (ビット 0) から順に SSO 端子にデータを送り出すことでシリアルデータ送信を行います。

また、受信時は、SSI 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順に SSTRSR にセットします。1 バイトのデータ受信を完了すると、SSTRSR のデータを自動的に SSRDR へ転送します。SSTRSR は CPU から直接アクセスすることはできません。

22.4 動作説明

22.4.1 転送クロック

転送クロックは7種類の内部クロックと外部クロックから選択できます。まず、本モジュールを使用する場合はSSCRHのSCKSを1にセットしてSSCK端子をシリアルクロックとして選択しておく必要があります。SSCRHのMSS=1のときは、内部クロックが選択されSSCK端子が出力になります。転送が開始されるとSSMRのCKS2~CKS0に設定された転送レートのクロックがSSCK端子から出力されます。MSS=0のときは外部クロックが選択され、SSCK端子は入力端子になります。

22.4.2 クロックの位相、極性とデータの関係

SSCRLのSSUMS=0のとき、SSMRのCPOSとCPHSの組み合わせでクロックの位相、極性および転送データの関係が変わります。これらの関係を図22.2に示します。SSUMS=1のとき、CPOSの設定は有効ですが、CPHSの設定は無効となります。

なお、SSMRのMLSの設定により、MSBファーストで転送するかLSBファーストで転送するかを選択できます。MLS=0のときはLSBからMSBの順で転送されます。また、MLS=1のときは、MSBからLSBの順で転送されます。

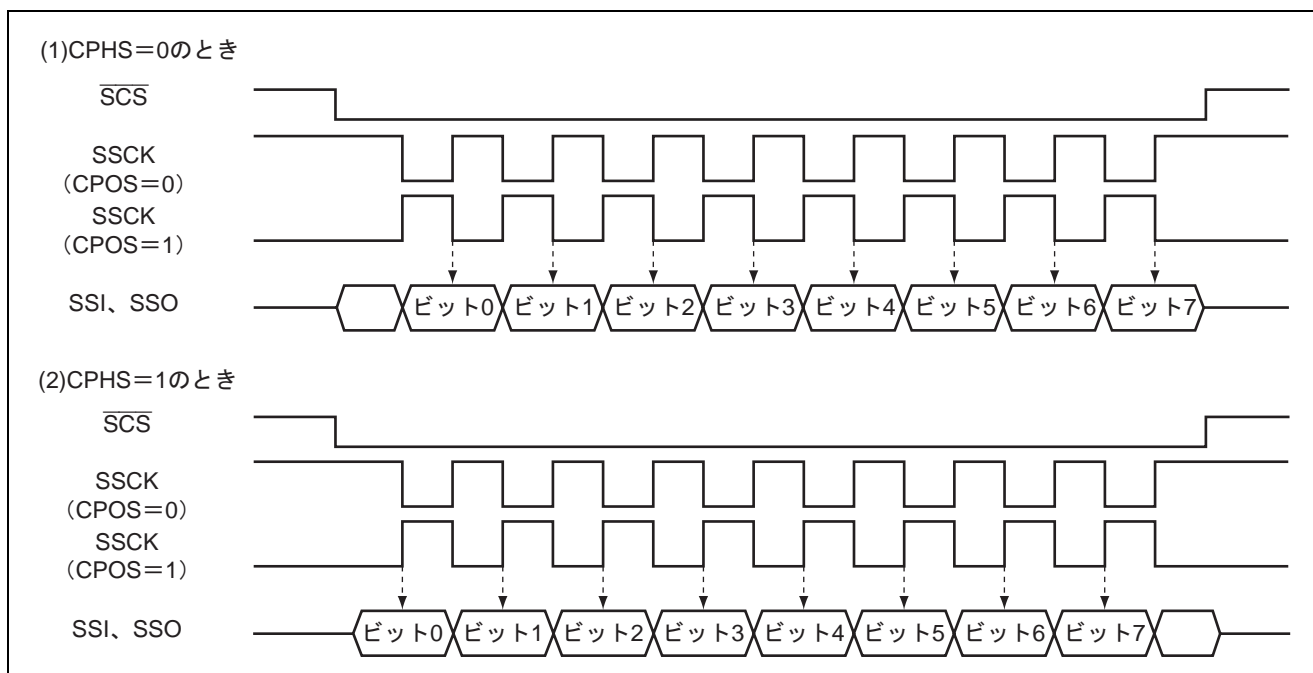


図 22.2 クロックの位相、極性とデータの関係

22.4.3 データ入出力端子とシフトレジスタの関係

SSCRH の MSS、BIDE と、SSCRL の SSUMS の組み合わせにより、データ入出力端子と SS シフトレジスタ (SSTRSR) の接続関係が変わります。これらの接続関係を図 22.3 に示します。

SSU は、BIDE=0、MSS=1 (標準、マスタモード) で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します (図 22.3 (1))。また、BIDE=0、MSS=0 (標準、スレーブモード) で動作しているとき、SSI 端子からシリアルデータを送信し、SSO 端子からシリアルデータを受信します (図 22.3 (2))。

BIDE=1 (双方向モード) では、マスタモード、スレーブモードにかかわらず、SSO 端子からシリアルデータの送信または受信を行います (図 22.3 (3)、図 22.3 (4))。

ただし、TE と RE を同時に 1 にセットしての送受信同時動作はできません。必ず、TE または RE のどちらか 1 つを選択してください。

SSUMS=1 で動作しているとき、SSO 端子からシリアルデータを送信し、SSI 端子からシリアルデータを受信します。MSS=1 のときは SSCK 端子から内部クロックを出力し、MSS=0 のときは SSCK 端子は入力端子となります (図 22.3 (5)、図 22.3 (6))。

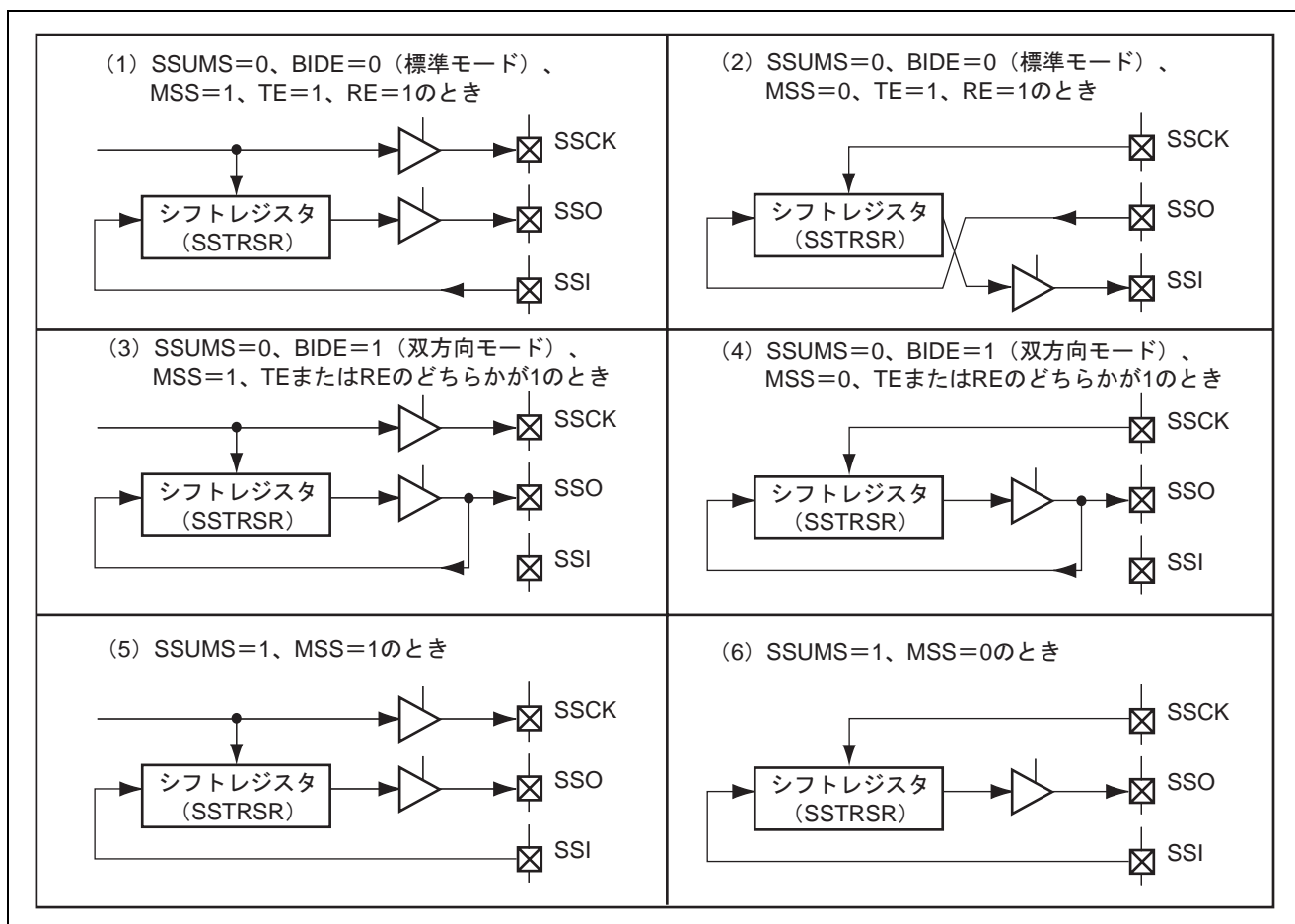


図 22.3 データ入出力端子とシフトレジスタの関係

22.4.4 各通信モードと端子機能

SSU は各通信モードとレジスタの設定により入出力端子 (SSI、SSO、SSCK、 \overline{SCS}) の機能を切り替えます。入力端子として使用する場合、ポートデータディレクションレジスタ (DDR) の対応する端子のビットを 0 にクリアしてください。各通信モードと入出力端子の関係を表 22.4～表 22.6 に示します。

表 22.4 各通信モードと SSI、SSO 端子の状態

通信モード	レジスタ状態					端子状態	
	SSUMS	BIDE	MSS	TE	RE	SSI	SSO
SSU 通信モード	0	0	0	0	1	—	入力
				1	0	出力	—
				1	1	出力	入力
			1	0	1	入力	—
				1	0	—	出力
				1	1	入力	出力
SSU (双方向) 通信モード	0	1	0	0	1	—	入力
				1	0	—	出力
			1	0	1	—	入力
				1	0	—	出力
クロック同期式通 信モード	1	0	0	0	1	入力	—
				1	0	—	出力
				1	1	入力	出力
			1	0	1	入力	—
				1	0	—	出力
				1	1	入力	出力

【記号説明】 * : Don't care

— : SSU として端子を用いない (I/O ポートとして使用可能)

表 22.5 各通信モードと SSCK 端子の状態

通信モード	レジスタ状態			端子状態
	SSUMS	MSS	SCKS	SSCK
SSU 通信モード	0	0	0	—
			1	入力
		1	0	—
			1	出力
クロック同期式 通信モード	1	0	0	—
			1	入力
		1	0	—
			1	出力

【記号説明】 — : SSU として端子を用いない (I/O ポートとして使用可能)

表 22.6 各通信モードと \overline{SCS} 端子の状態

通信モード	レジスタ状態				端子状態	
	SSUMS	MSS	CSS1	CSS0	\overline{SCS}	
SSU 通信モード	0	0	*	*	入力	
		1	0	0	0	—
			0	1	1	入力
			1	0	0	自動入出力
			1	1	1	出力
クロック同期式 通信モード	1	*	*	*	—	

【記号説明】 * : Don't care

— : SSU として端子を用いない (I/O ポートとして使用可能)

22.4.5 SSU モード

SSU モードは、クロックライン (SSCK)、データ入力ライン (SSI または SSO)、データ出力ライン (SSI または SSO)、チップセレクト ($\overline{\text{SCS}}$) の 4 本のバスを使用してデータ通信を行います。

また、データ入力ラインとデータ出力ラインを 1 端子で行う双方向モードも対応しています。

(1) SSU モードの初期設定

SSU モードの初期設定例を図 22.4 に示します。データの送信/受信前には、SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグおよび SSRDR の内容は保持されていますので注意してください。

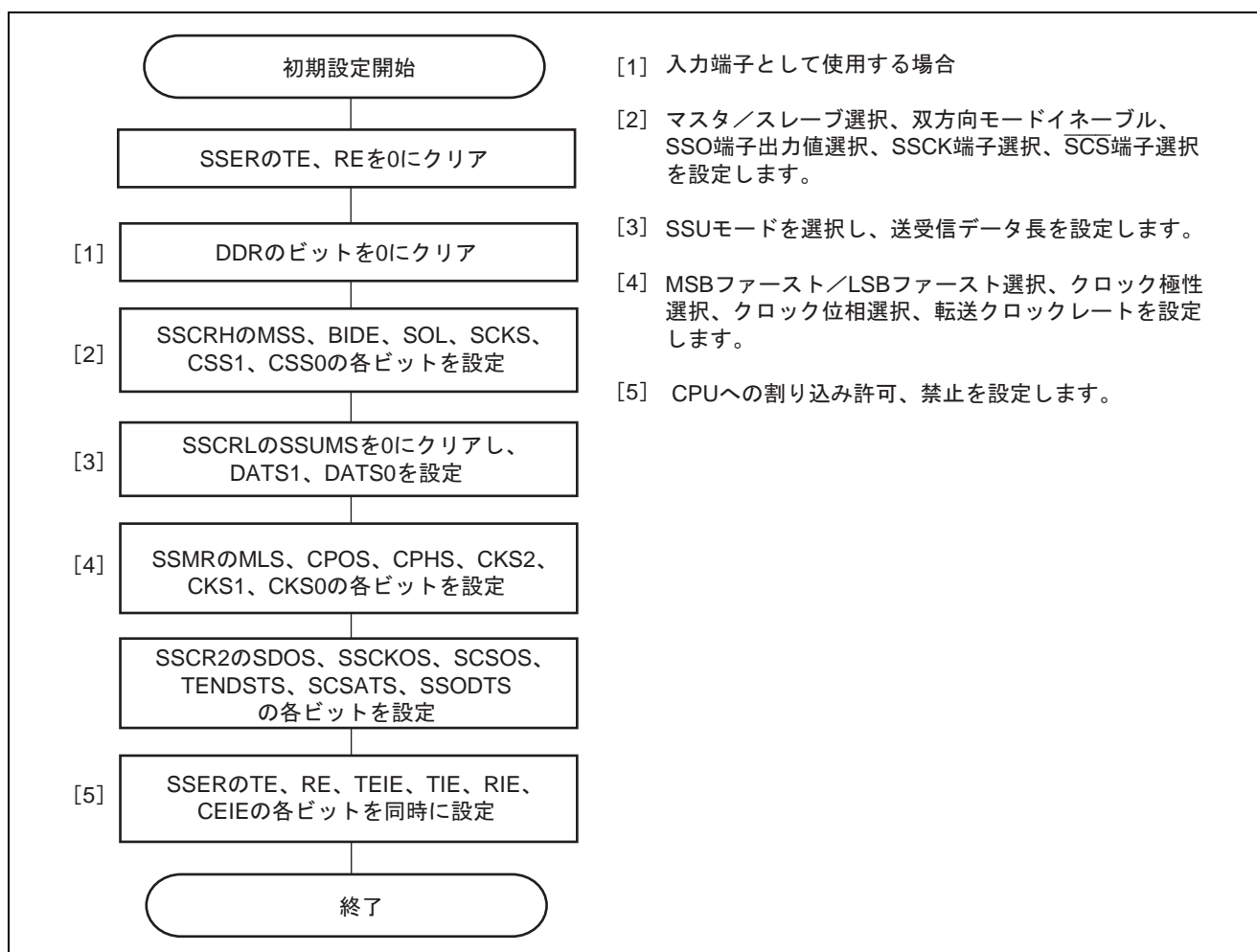


図 22.4 SSU モードの初期設定例

(2) データ送信

図 22.5 に送信時の動作例を、図 22.6 にデータ送信のフローチャートの例を示します。

データ送信時に SSU は以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。スレーブデバイスに設定すると、 $\overline{\text{SCS}}$ 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は、SSER の TE を 1 にセットした後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI 割り込み要求が発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI 割り込みが発生します。送信終了後は、SSCK 端子は SSMR の CPOS=0 のとき High レベルに固定され、CPOS=1 のときには Low レベルに固定されます。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

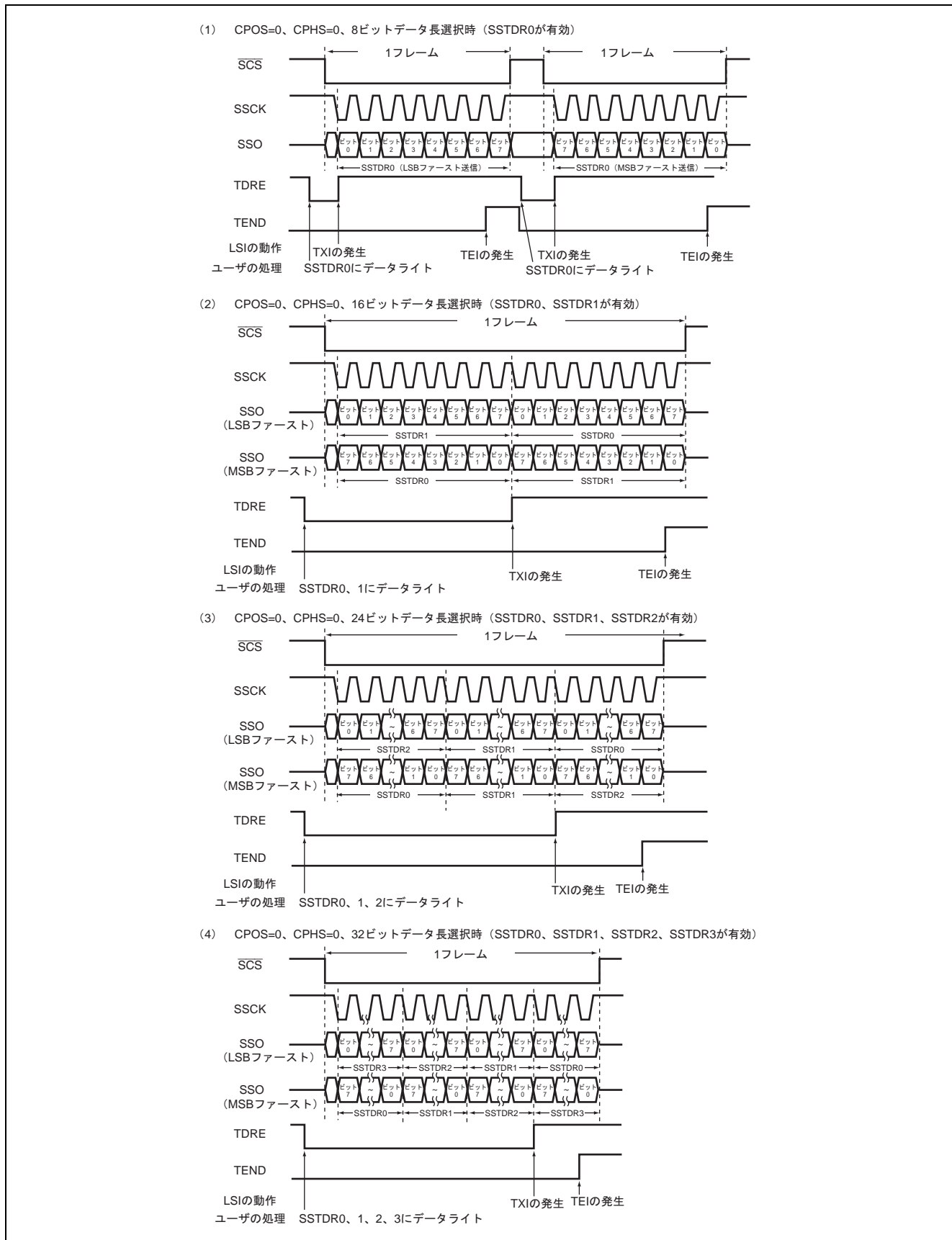


図 22.5 送信時の動作例 (SSU モード)

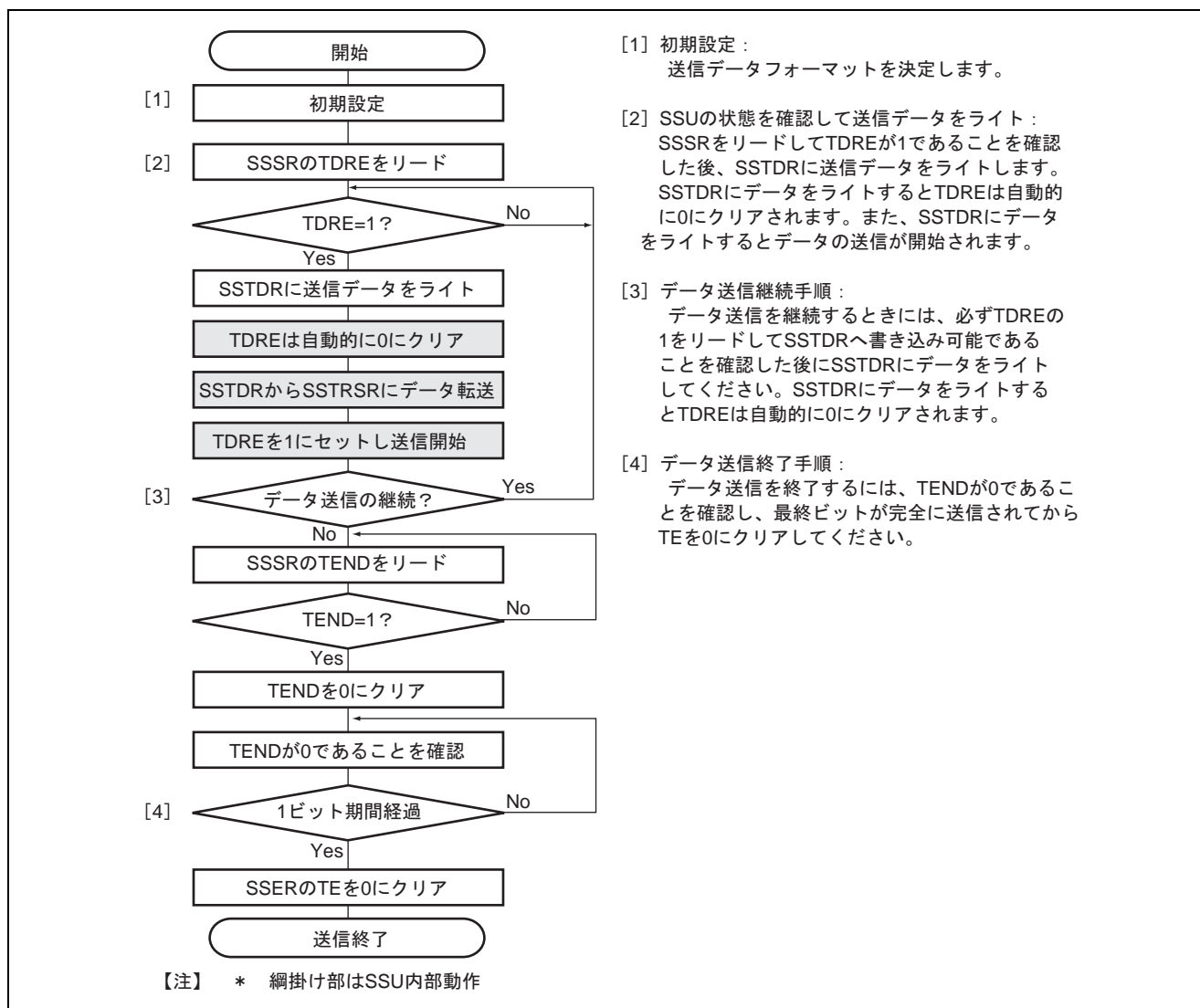


図 22.6 データ送信のフローチャート例 (SSU モード)

(3) データ受信

図 22.7 に受信時の動作例を、図 22.8 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットし、SSRDR をダミーリードすることにより受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、 $\overline{\text{SCS}}$ 端子に Low レベルが入力され、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI 割り込み要求を発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー(OEI)が発生し、受信を停止します。ORER=1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

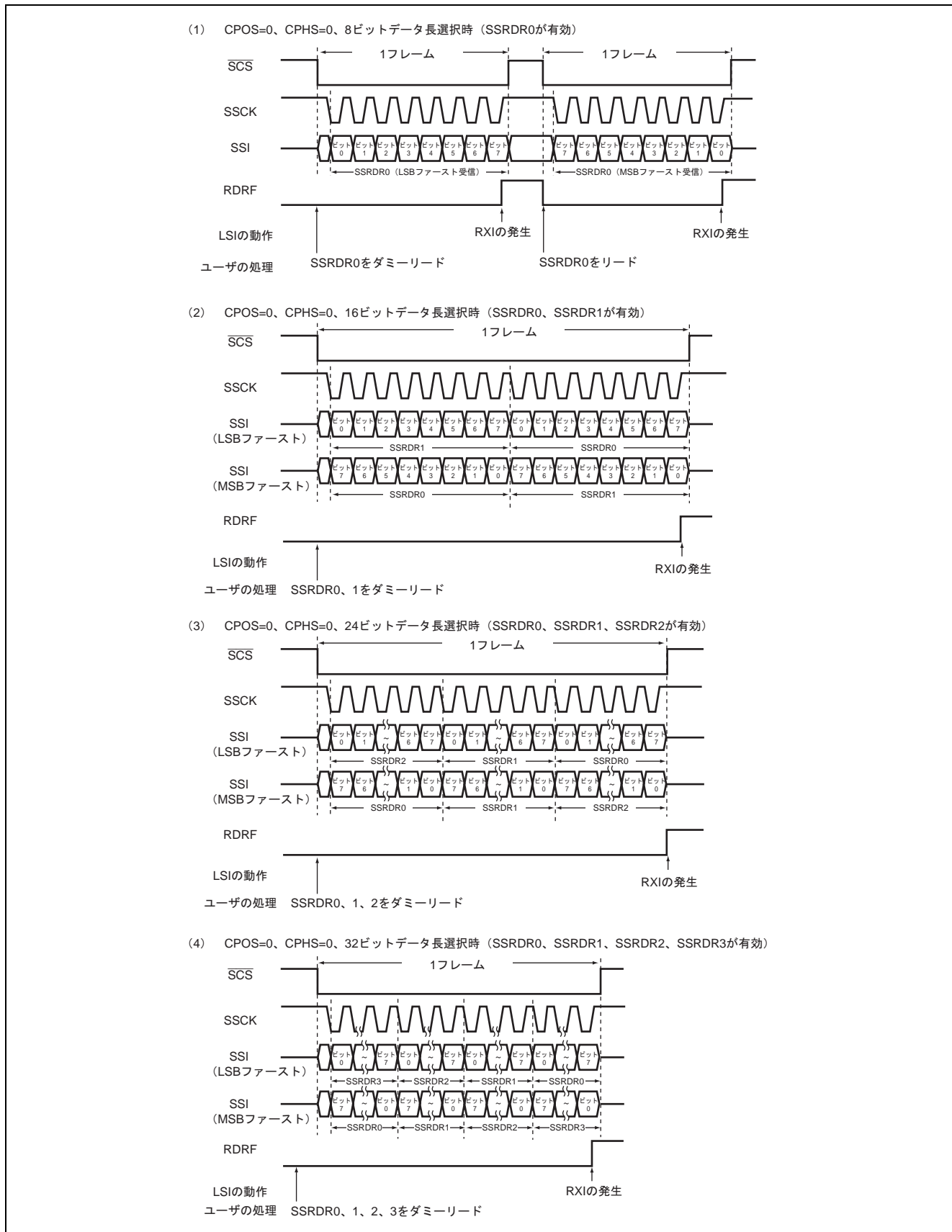
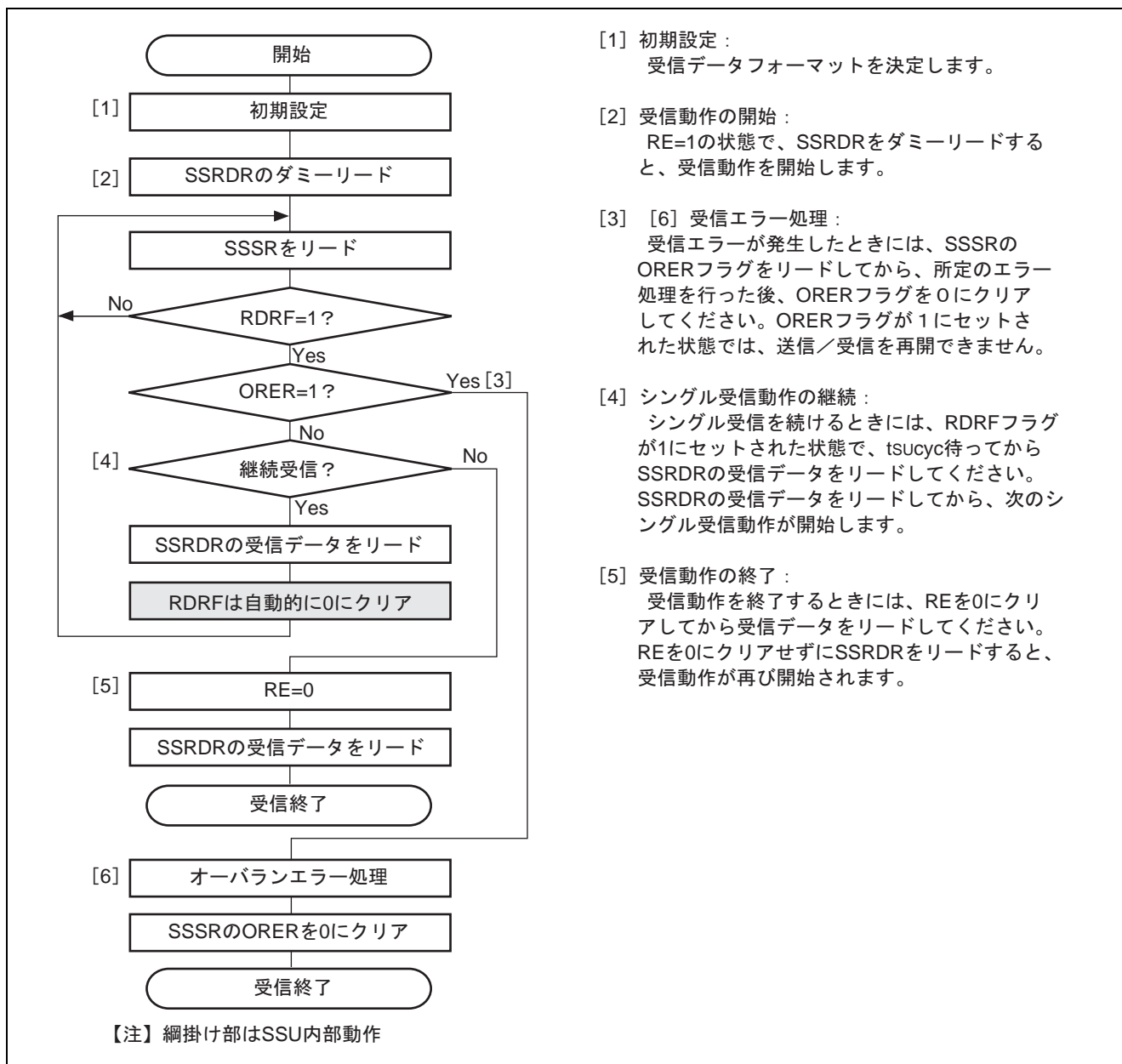


図 22.7 受信時の動作例 (SSU モード)



- [1] 初期設定：
受信データフォーマットを決定します。
- [2] 受信動作の開始：
RE=1の状態、SSRDRをダミーリードすると、受信動作を開始します。
- [3] [6] 受信エラー処理：
受信エラーが発生したときには、SSSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信／受信を再開できません。
- [4] シングル受信動作の継続：
シングル受信を続けるときには、RDRFフラグが1にセットされた状態で、tsucyc待ってからSSRDRの受信データをリードしてください。SSRDRの受信データをリードしてから、次のシングル受信動作が開始します。
- [5] 受信動作の終了：
受信動作を終了するときには、REを0にクリアしてから受信データをリードしてください。REを0にクリアせずにSSRDRをリードすると、受信動作が再び開始されます。

図 22.8 データ受信のフローチャート例 (SSU モード)

(4) データ送受信

図 22.9 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、TE=RE=1 の状態で、SSTDR に送信データをライトすることで開始されます。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から送受信モード (TE=RE=1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。

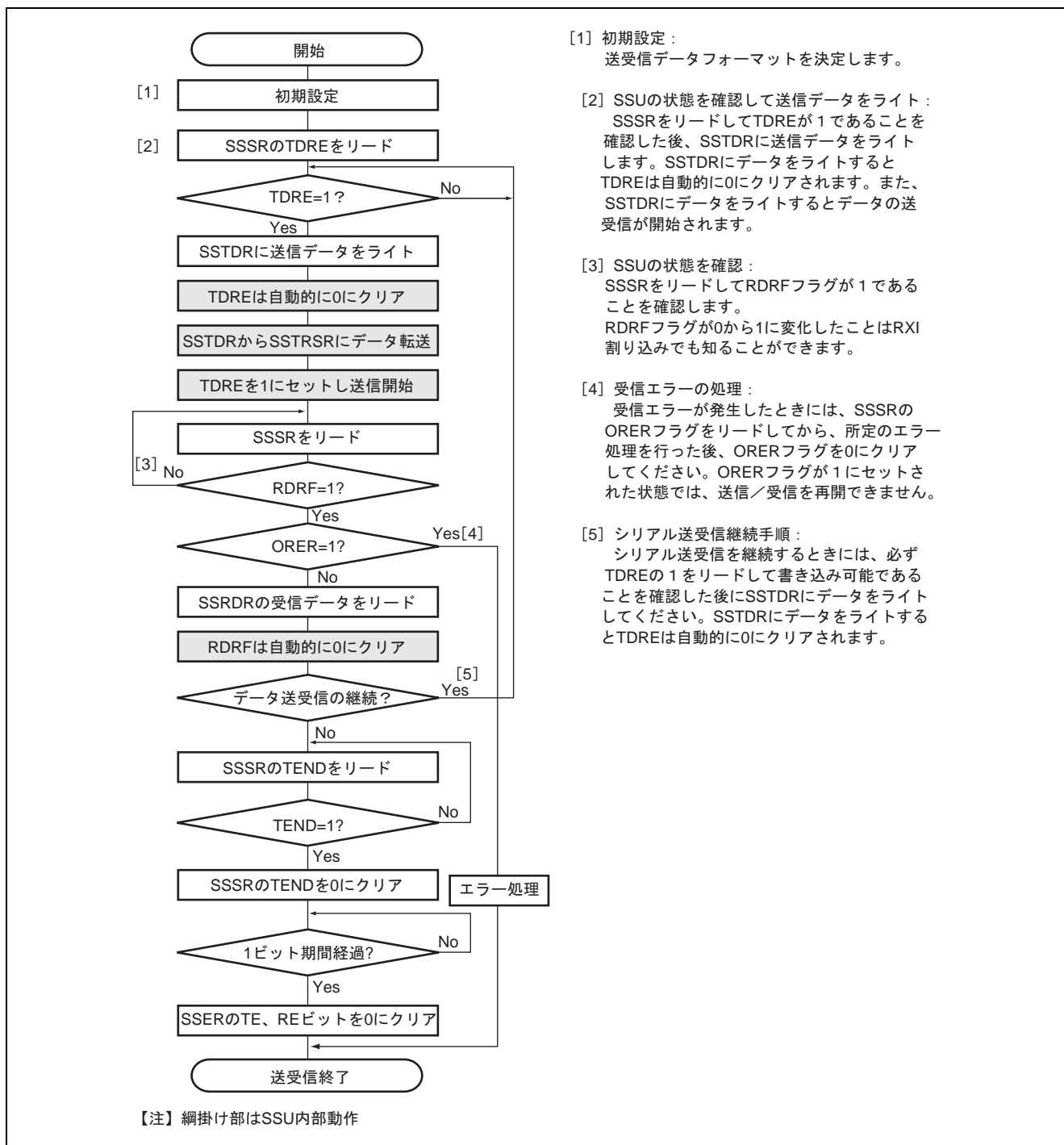


図 22.9 データ送受信同時動作のフローチャート例 (SSU モード)

22.4.6 SCS 端子制御とコンフリクトエラー

SSCRH の CSS1、CSS0=10、SSCRL の SSUMS=0 に設定した場合、SSCRH の MSS を 1 にセットしてからシリアル転送を開始する前と転送終了後に SCS 端子は入力 (Hi-Z) となり、コンフリクトエラーを検出します。この期間に SCS 端子から Low レベルが入力されるとコンフリクトエラーとなり、SSSR の CE がセットされ、MSS はクリアされます。

【注】 コンフリクトエラーがセットされた状態では、以後の送信/受信動作はできません。送信/受信を開始する前には、必ず CE を 0 にクリアしてください。

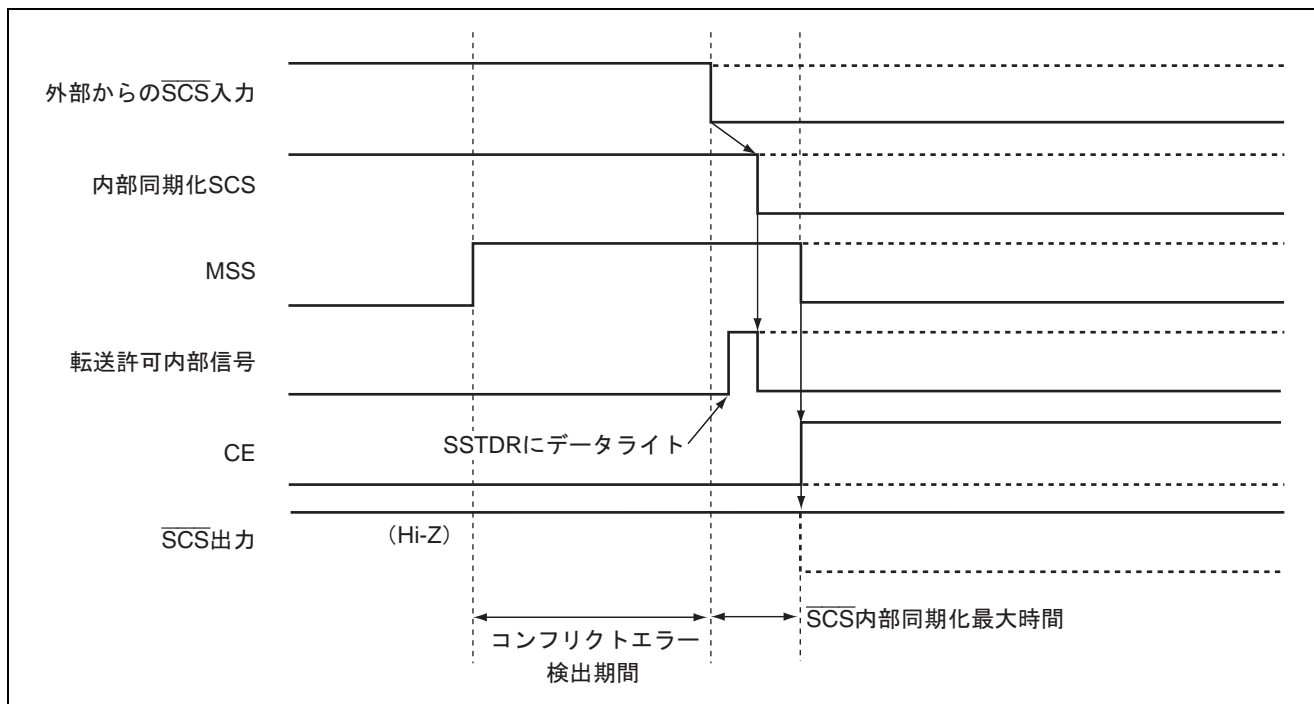


図 22.10 コンフリクトエラー検出タイミング (転送前)

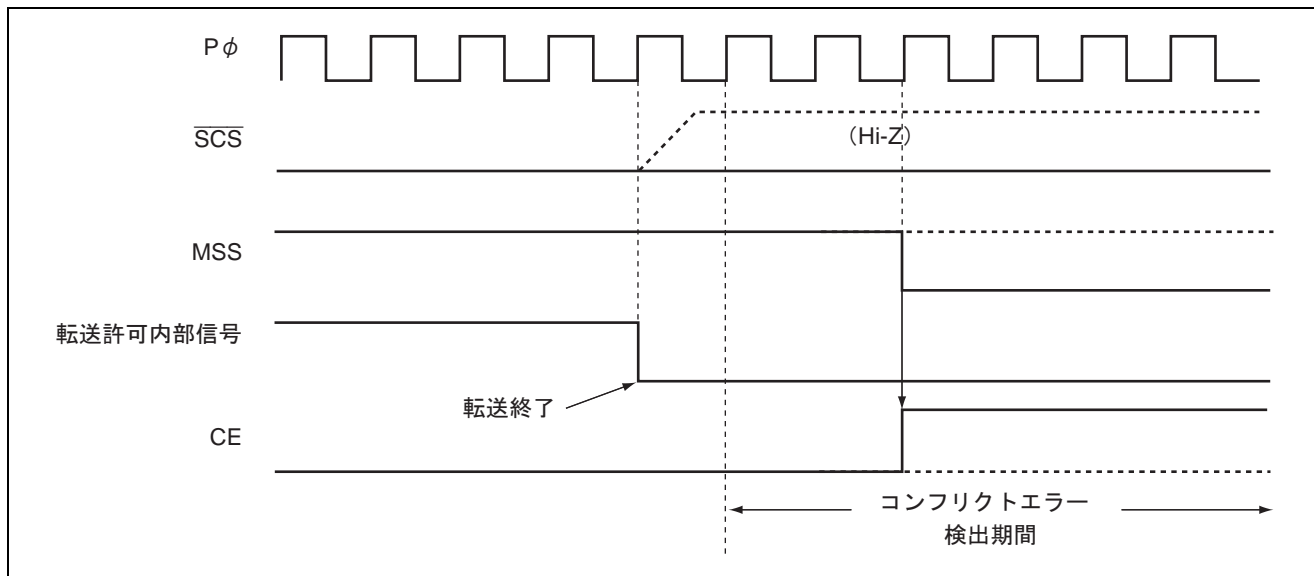


図 22.11 コンフリクトエラー検出タイミング (転送終了後)

22.4.7 クロック同期式通信モード

クロック同期式通信モードは、クロックライン (SSCK)、データ入力ライン (SSI)、データ出力ライン (SSO) の3本のバスを使用してデータ通信を行います。

(1) クロック同期式通信モードの初期設定

クロック同期式通信モードの初期設定例を図 22.12 に示します。データの送信/受信前には、まず SSER の TE および RE を 0 にクリアして初期設定を行ってください。

【注】 動作モード、通信フォーマットを変更する場合は、必ず TE および RE を 0 にクリアしてから行ってください。TE を 0 にクリアすると TDRE は 1 にセットされますが、RE を 0 にクリアしても RDRF、ORER の各フラグ および SSRDR の内容は保持されていますので注意してください。

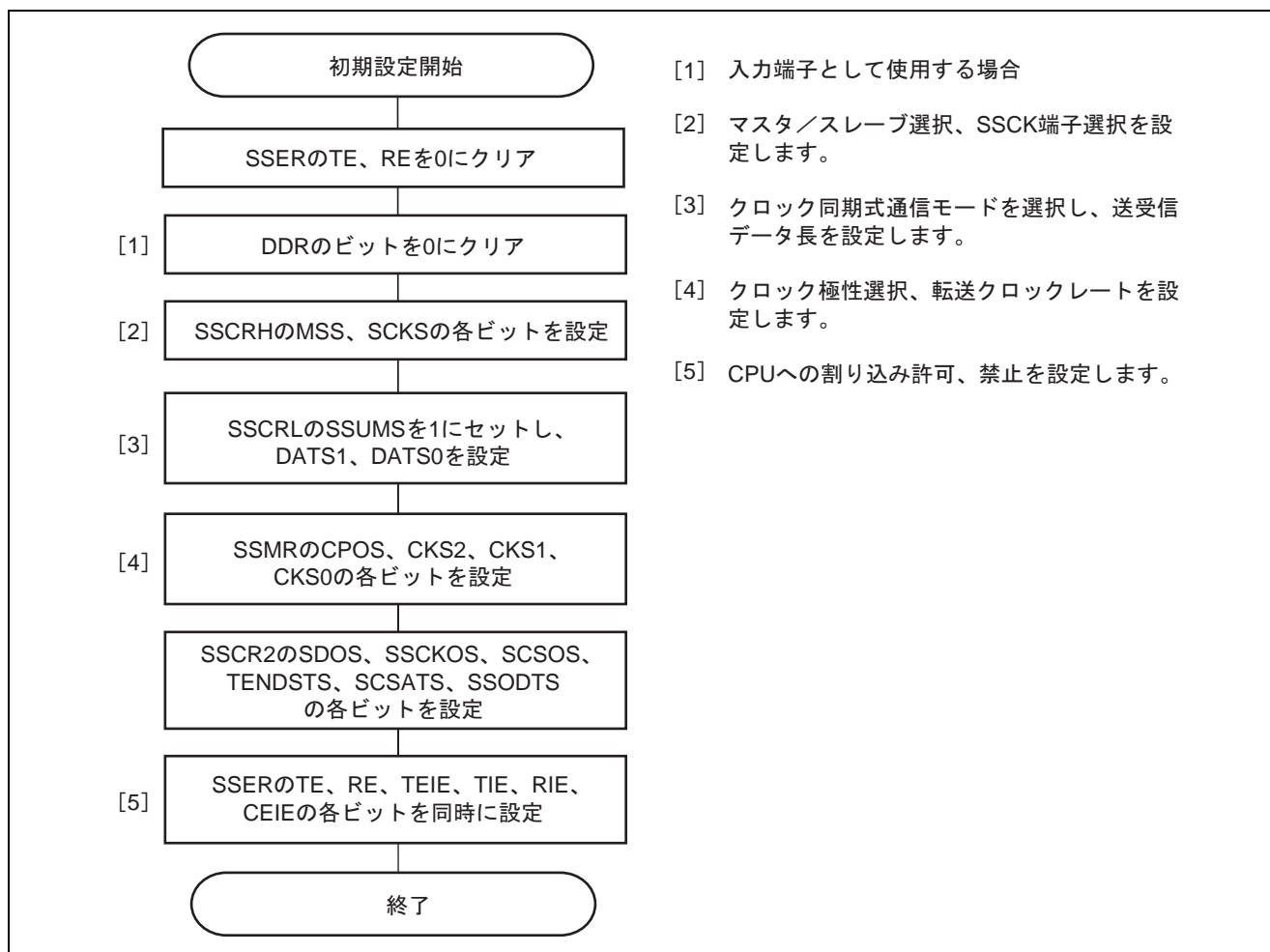


図 22.12 クロック同期式通信モードの初期設定例

(2) データ送信

図 22.13 に送信時の動作例を、図 22.14 にデータ送信のフローチャートの例を示します。データ送信時にクロック同期式通信モードでは以下のように動作します。

SSU をマスタデバイスに設定すると、転送クロックとデータを出力します。SSU をスレーブデバイスに設定し、SSCK 端子から転送クロックが入力されると、この転送クロックに同期してデータを出力します。

SSU は、SSER の TE を 1 にセットした後、SSTDR に送信データをライトすると、自動的に SSSR の TDRE が 0 にクリアされ、SSTDR から SSTRSR にデータが転送されます。その後、TDRE を 1 にセットして送信を開始します。このとき、SSER の TIE が 1 にセットされていると TXI 割り込み要求が発生します。

TDRE=0 の状態で 1 フレームのデータ転送が終了すると、SSTDR から SSTRSR にデータが転送され、次のフレームの送信を開始します。TDRE=1 の状態で 8 ビット目が送出されると、SSSR の TEND が 1 にセットされ、状態を保持します。このとき SSER の TEIE が 1 にセットされていると TEI 割り込み要求が発生します。

なお、SSSR の ORER が 1 にセットされた状態では送信は行えません。送信の前に ORER が 0 にクリアされていることを確認してください。

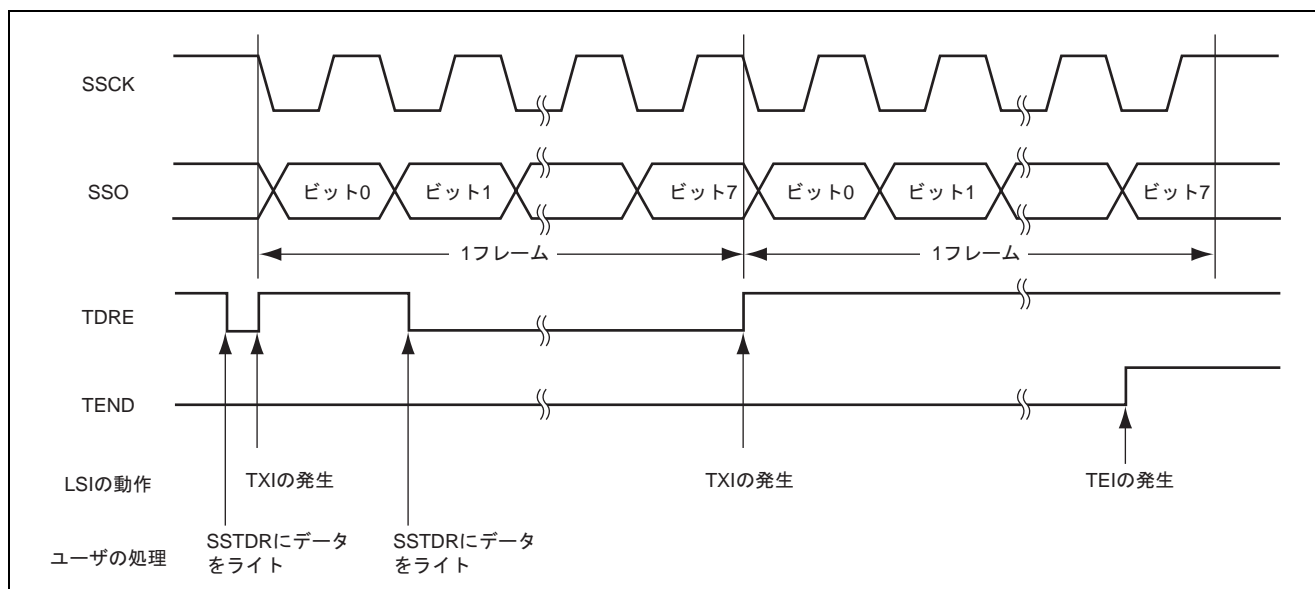
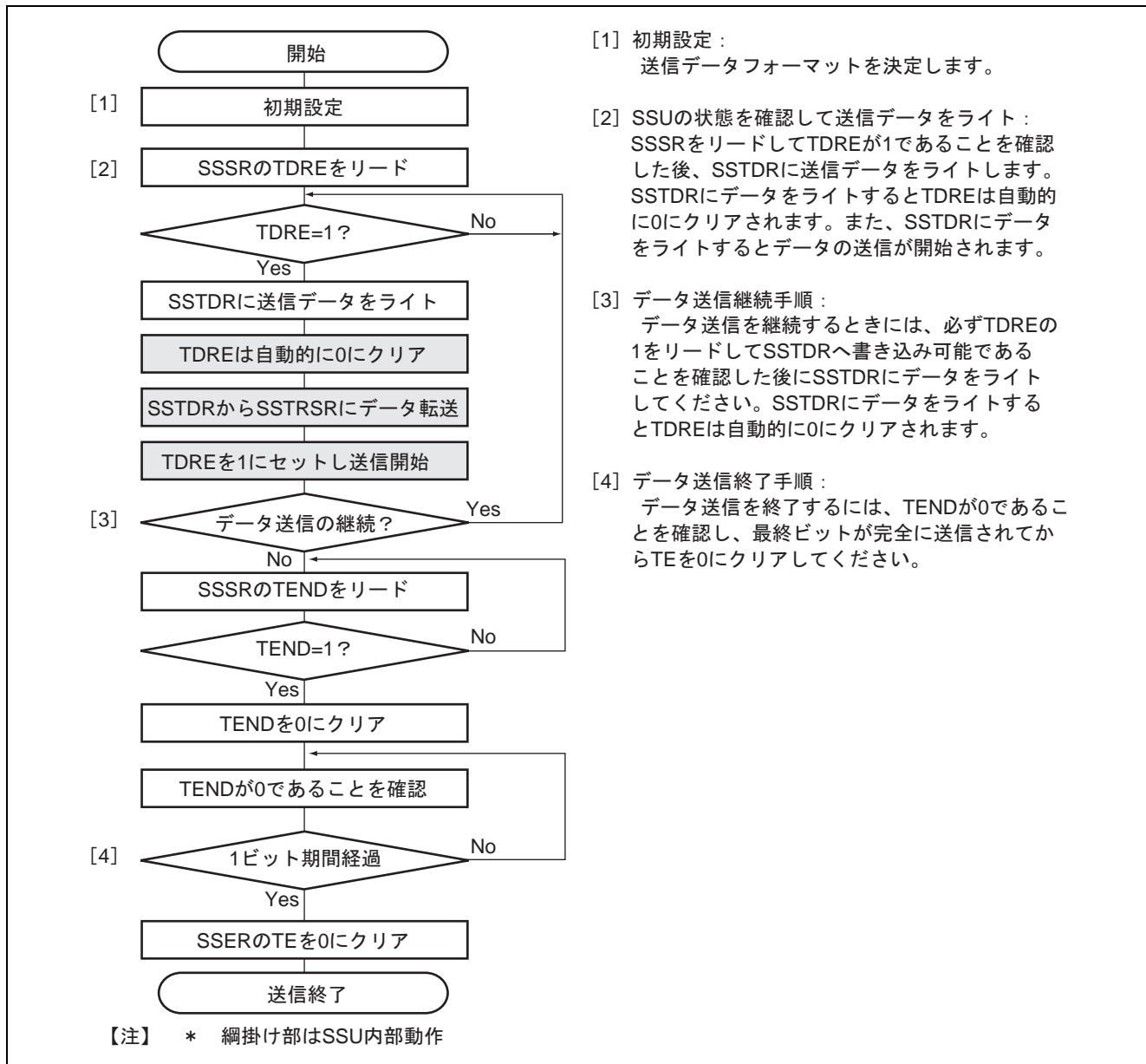


図 22.13 送信時の動作例 (クロック同期式通信モード)



- [1] 初期設定：
送信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTDRに送信データをライトします。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTDRにデータをライトするとデータの送信が開始されます。
- [3] データ送信継続手順：
データ送信を継続するときには、必ずTDREの1をリードしてSSTDRへ書き込み可能であることを確認した後にSSTDRにデータをライトしてください。SSTDRにデータをライトするとTDREは自動的に0にクリアされます。
- [4] データ送信終了手順：
データ送信を終了するには、TENDが0であることを確認し、最終ビットが完全に送信されてからTEを0にクリアしてください。

図 22.14 データ送信のフローチャート例 (クロック同期式通信モード)

(3) データ受信

図 22.15 に受信時の動作例を、図 22.16 にデータ受信のフローチャートの例を示します。データ受信時に SSU は以下のように動作します。

SSU は、SSER の RE を 1 にセットすると受信動作を開始します。

SSU をマスタデバイスに設定すると、転送クロックを出力し、受信データを入力します。スレーブデバイスに設定すると、SSCK 端子から転送クロックが入力されると、この転送クロックに同期して受信データを入力します。

1 フレームのデータを受信した後は、SSSR の RDRF が 1 にセットされ、SSRDR に受信データが格納されます。このとき、SSER の RIE が 1 にセットされていると RXI 割り込み要求が発生します。SSRDR をリードすると自動的に RDRF は 0 にクリアされます。

RDRF=1 の状態で 8 クロック目が立ち上がると、SSSR の ORER が 1 にセットされ、オーバランエラー (OEI) が発生し、受信を停止します。ORER=1 の状態では受信できませんので、受信を再開する場合は ORER を 0 にクリアしてください。

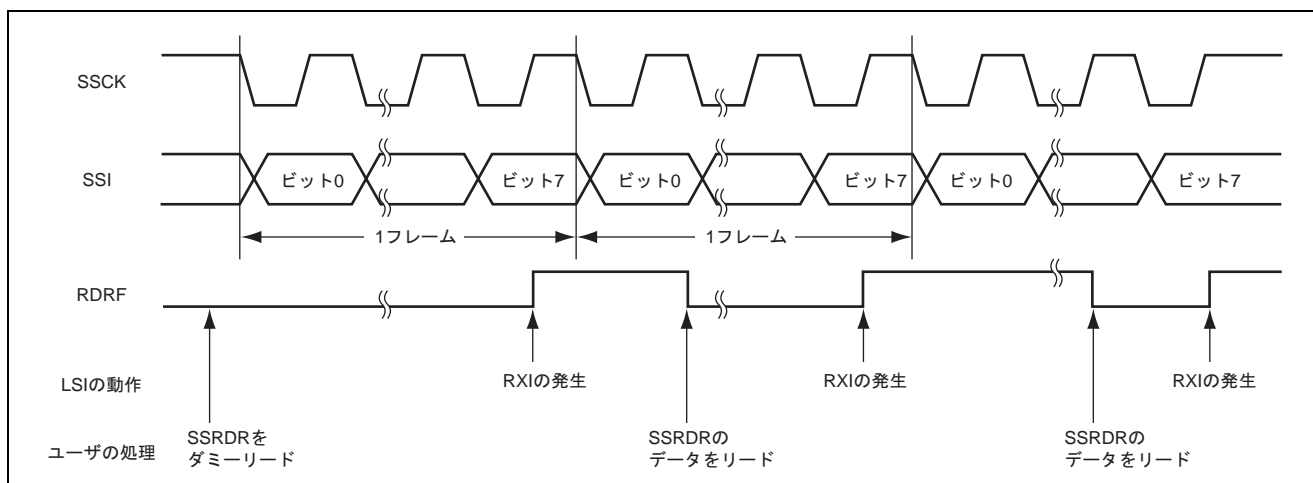
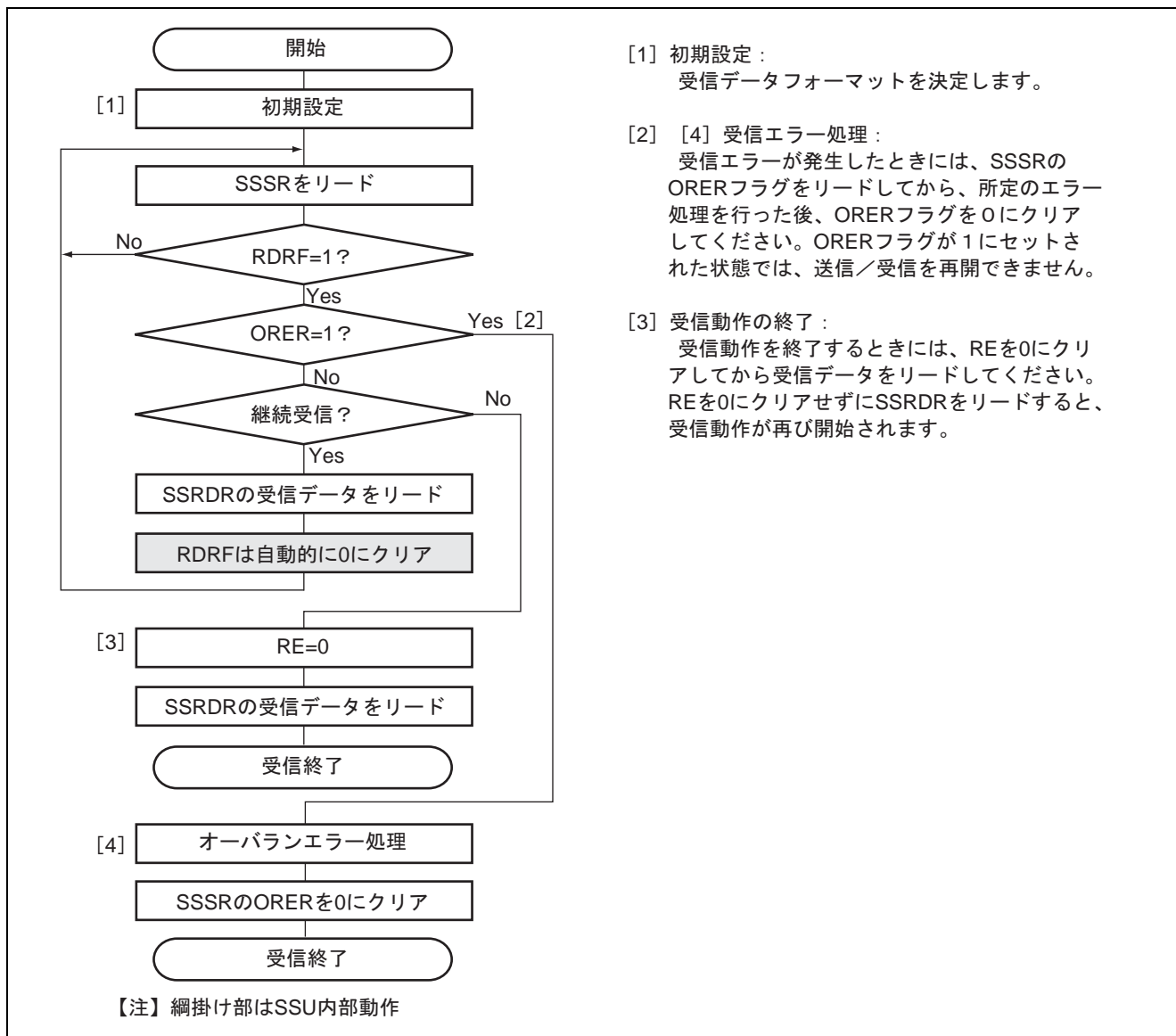


図 22.15 受信時の動作例 (クロック同期式通信モード)



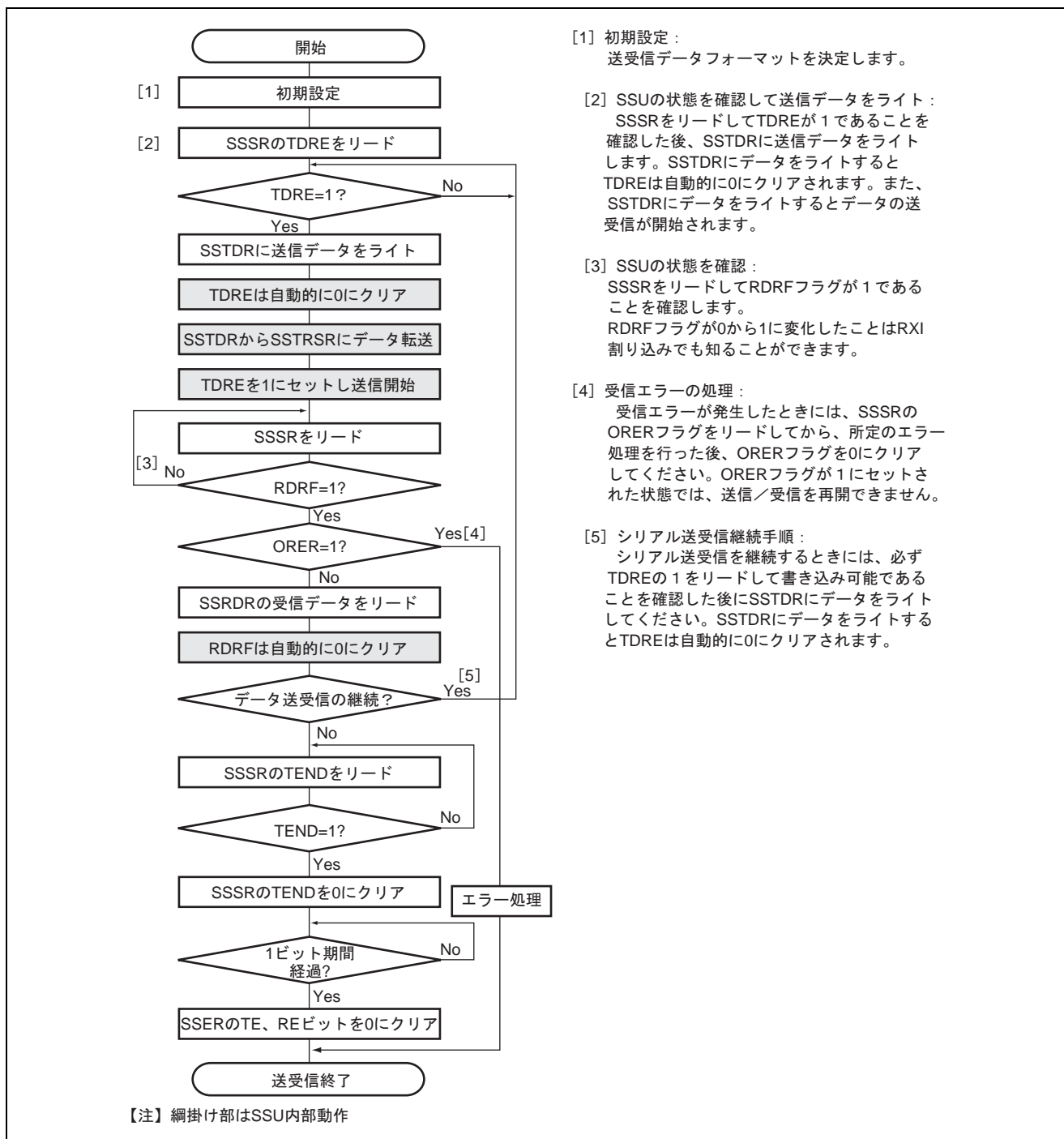
- [1] 初期設定：
受信データフォーマットを決定します。
- [2] [4] 受信エラー処理：
受信エラーが発生したときには、SSSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信／受信を再開できません。
- [3] 受信動作の終了：
受信動作を終了するときには、REを0にクリアしてから受信データをリードしてください。REを0にクリアせずにSSRDRをリードすると、受信動作が再び開始されます。

図 22.16 データ受信のフローチャート例 (クロック同期式通信モード)

(4) データ送受信

図 22.17 にデータ送受信同時動作のフローチャートの例を示します。データ送受信は、データ送信とデータ受信の複合動作となります。データ送受信は、TE=RE=1 の状態で、SSTDTR に送信データをライトすることで開始されます。

なお、送信モード (TE=1) あるいは受信モード (RE=1) から送受信モード (TE=RE=1) に切り替える場合は、一度 TE、RE を 0 にクリアしてから行ってください。また、TEND、RDRF、ORER が 0 にクリアされていることを確認した後、TE および RE を 1 にセットしてください。



- [1] 初期設定：
送受信データフォーマットを決定します。
- [2] SSUの状態を確認して送信データをライト：
SSSRをリードしてTDREが1であることを確認した後、SSTDTRに送信データをライトします。SSTDTRにデータをライトするとTDREは自動的に0にクリアされます。また、SSTDTRにデータをライトするとデータの送受信が開始されます。
- [3] SSUの状態を確認：
SSSRをリードしてRDRFフラグが1であることを確認します。
RDRFフラグが0から1に変化したことはRXI割り込みでも知ることができます。
- [4] 受信エラーの処理：
受信エラーが発生したときには、SSSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信/受信を再開できません。
- [5] シリアル送受信継続手順：
シリアル送受信を継続するときには、必ずTDREの1をリードして書き込み可能であることを確認した後にSSTDTRにデータをライトしてください。SSTDTRにデータをライトするとTDREは自動的に0にクリアされます。

図 22.17 データ送受信同時動作のフローチャート例 (クロック同期式通信モード)

22.5 割り込み要求

SSU の割り込み要求には、オーバーランエラー、コンフリクトエラー、受信データフル、送信データエンプティ、送信終了割り込みがあります。

オーバーランエラー、コンフリクトエラーの割り込み要求が SSERI、送信データエンプティ、送信終了の割り込み要求が SSTXI のベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。表 22.7 に割り込み要因を示します。

表 22.7 の割り込み条件が成立すると、割り込み要求が発生します。CPU または DMAC によるデータ転送で割り込み要因をクリアしてください。

表 22.7 SSU 割り込み要因

チャンネル	名称	割り込み要因	略称	割り込み条件	DMAC の起動
0	SSERIO	オーバーランエラー	OIE0	(RIE=1) ・ (ORER=1)	—
		コンフリクトエラー	CEI0	(CEIE=1) ・ (CE=1)	—
	SSRXIO	受信データフル	RXI0	(RIE=1) ・ (RDRF=1)	—
	SSTXI0	送信データエンプティ	TXI0	(TIE=1) ・ (TDRE=1)	—
		送信終了	TEI0	(TEIE=1) ・ (TEND=1)	—

22.6 使用上の注意事項

22.6.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SSU の動作禁止／許可を設定することが可能です。初期値では、SSU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 29 章 低消費電力状態」を参照してください。

23. PECE インタフェース

本 LSI は PECE (Platform Environment Control Interface) インタフェースを内蔵しています。プロセッサとの通信に対応します。PECE はシングルラインで通信します。データ転送の信頼性のために CRC (Cyclic-Redundancy-Check) 演算器を内蔵しています。

23.1 特長

- PECE通信に対応
- One-wire busで通信
- Originatorとして動作
- 通信速度は2kbps~1.6Mbps (1ビット周期 : 625ns~500 μ s) を選択可能
- CRC演算器を内蔵 : $C(X) = X^8 + X^2 + X + 1$
- 通信開始時にタイミング交渉 (Timing Negotiation) を実施
- 11種類の命令に対応 (Ping、GetDIB、GetTemp、RdPkgConfig、WrPkgConfig、RdIAMSRR、WrIAMSRR、RdPCICongig、WrPCICongig、RdPCICongigLocal、WrPCICongigLocal)
- 32バイトの送受信兼用FIFOを内蔵 (GetDIB 32バイトに対応)
- 割り込み要因 : 3種類
転送完了、WR-FCS (Frame Check Sequence) チェックエラー、RD-FCS チェックエラーの割り込み要因があります。
- AWFCSS機能対応

PEI のブロック図を図 23.1 に示します。

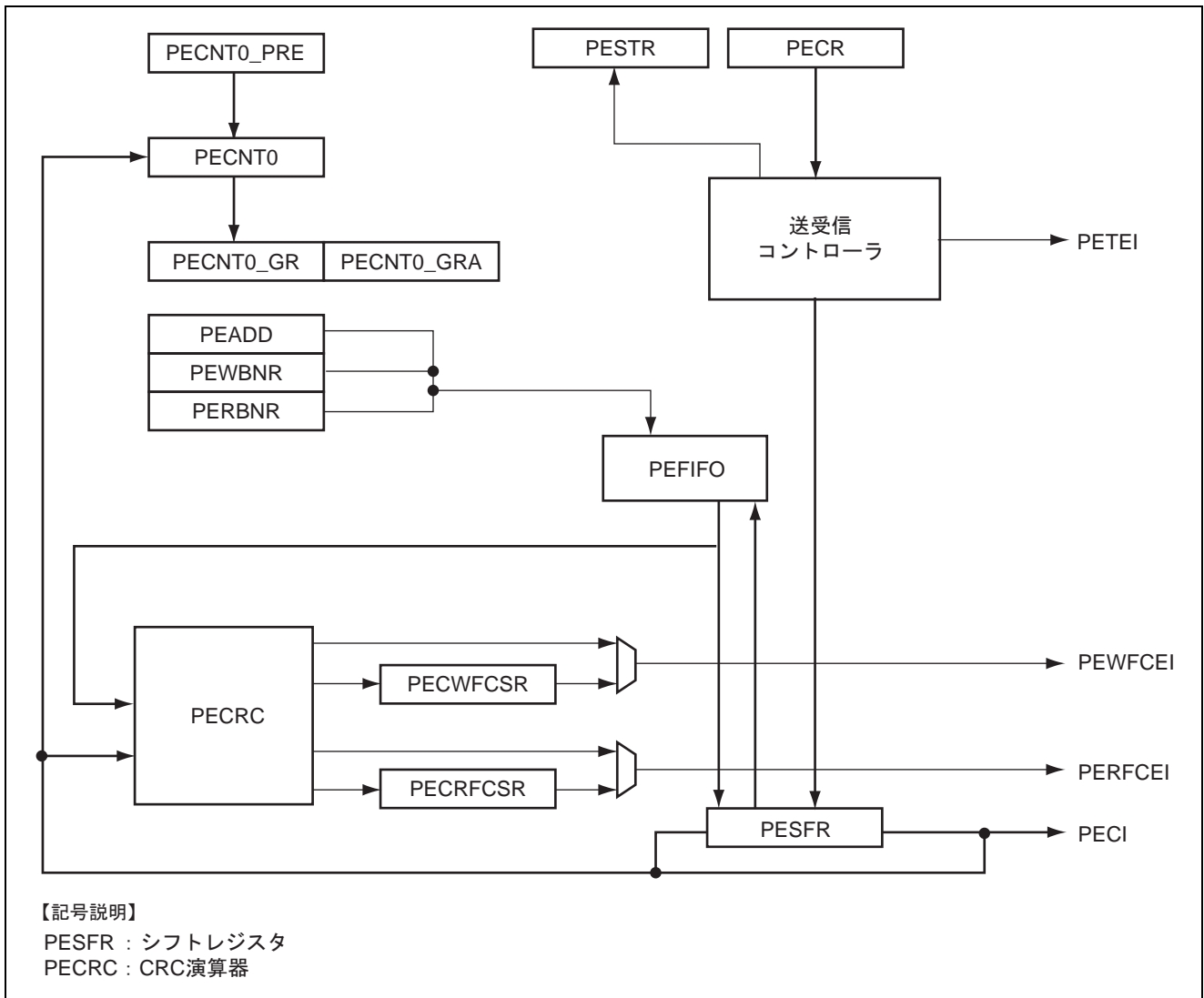


図 23.1 PEI のブロック図

23.2 入出力端子

PECl の入出力端子を表 23.1 に示します。

表 23.1 端子構成

名称	入出力	機能
PECl	入出力	PECl 通信信号
PEVref	入力	PECl の基準電源

PECR の PECIE を 1 にセットしたときの各端子の初期状態を以下に示します。

名称	略称	PECIE を 1 にセットしたときの端子の初期状態
PECl	PECl	High-Z 状態

23.3 レジスタの説明

PECE のレジスタ構成を以下に示します。

- PECEコントロールレジスタ (PECR)
- PECEステータスレジスタ (PESTR)
- PECEタイミグカウントプリレジスタ (PECNT0_PRE)
- PECEタイミグカウントジェネラルレジスタ (PECNT0_GR)
- PECEタイミグカウントアドレスジェネラルレジスタ (PECNT0_GRA)
- PECEアドレスレジスタ (PEADD)
- PECE書き込みバイト数レジスタ (PEWBNR)
- PECE読み出しバイト数レジスタ (PERBNR)
- PECEクライアント書き込みフレームチェックシーケンスレジスタ (PECWFCSR)
- PECEクライアント読み出しフレームチェックシーケンスレジスタ (PECRFCSR)
- PECE FIFOレジスタ (PEFIFO)

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
PECE コントロールレジスタ	PECR	R/W	H'00	H'FBA0	8
PECE ステータスレジスタ	PESTR	R/W	H'00	H'FBA1	8
PECE タイミグカウントプリレジスタ	PECNT0_PRE	R/W	H'0000	H'FBA2	16
PECE タイミグカウントジェネラルレジスタ	PECNT0_GR	R	H'FFFF	H'FBA4	16
PECE タイミグカウントアドレスジェネラルレジスタ	PECNT0_GRA	R/W	H'FFFF	H'FBA6	16
PECE アドレスレジスタ	PEADD	R/W	H'00	H'FBA8	8
PECE 書き込みバイト数レジスタ	PEWBNR	R/W	H'00	H'FBA9	8
PECE 読み出しバイト数レジスタ	PERBNR	R/W	H'00	H'FBAA	8
PECE クライアント書き込みフレームチェックシーケンスレジスタ	PECWFCSR	R	H'00	H'FBAD	8
PECE クライアント読み出しフレームチェックシーケンスレジスタ	PECRFCSR	R	H'00	H'FBAE	8
PECE FIFO レジスタ	PEFIFO	R/W	H'00	H'FBAF	8

【注】 レジスタをアクセスする場合は、MSTPCRA レジスタのビット 7 (MSTPA7) を 0 にクリアしてください。

23.3.1 PECE コントロールレジスタ (PECR)

PECR には、PECE の内部信号をリセットする制御ビット、PECE の通信を許可/禁止する制御ビット、PECE の機能を選択する制御ビット、本 LSI に対する割り込みを許可/禁止する制御ビットがあります。

ビット	ビット名	初期値	R/W	説明
7	PESRES	0	R/W	PECE ソフトリセット PECE の内部シーケンサの初期化を制御します。 0 : 通常状態 1 : 内部シーケンサクリア 本ビットのライト動作により対応するモジュールの内部シーケンサへのクリア信号が発生し、PECE の内部状態が初期化されます。 PESRES ビットを 1 にセットすると指定したセットアップ時間を経過するまで、次の PECE 通信を開始しません。
6	PECIE	0	R/W	PECE イネーブル 0 : PECE の動作を禁止 1 : PECE の動作を許可
5	ABTE	0	R/W	アポルトイネーブル フレームチェックエラー時のアポルト発行を制御します。 0 : フレームチェックエラー発生時、アポルト発行禁止 1 : フレームチェックエラー発生時、アポルト発行許可
4	AWFCSE	0	R/W	AWFCS 転送機能イネーブル AWFCS 転送機能を制御します。 0 : AWFCS 転送機能無効 1 : AWFCS 転送機能有効
3	STOPE	0	R/W	STOP 発行イネーブル PECE 通信の終了時のフォーマットを選択します。 0 : PECE 通信終了時、メッセージストップ期間なし 1 : PECE 通信終了時、メッセージストップ期間あり
2	PEWFCEIE	0	R/W	ライトフレームチェックエラー割り込みイネーブル 0 : PEWFCEIE 割り込み要求を禁止 1 : PEWFCEIE 割り込み要求を許可
1	PERFCEIE	0	R/W	リードフレームチェックエラー割り込みイネーブル 0 : PERFCEIE 割り込み要求を禁止 1 : PERFCEIE 割り込み要求を許可
0	PETEIE	0	R/W	通信終了割り込みイネーブル 0 : PETEIE 割り込み要求を禁止 1 : PETEIE 割り込み要求を許可

23.3.2 PECE ステータスレジスタ (PESTR)

PESTR は、PECE 通信の処理状態を示します。

ビット	ビット名	初期値	R/W	説明
7	PEBUSY	0	R	PECE ビジーフラグ [セット条件] • PECE 通信開始条件の発行時 [クリア条件] • PECE 通信終了
6	WFCSER	0	R/W* ¹	ライト FCS エラー PEWFCEI 割り込み要因です。 [セット条件] • ライト FCS チェックでエラー発生 [クリア条件] • WFCSER=1 リード後の 0 ライト
5	RFCSER	0	R/W* ¹	リード FCS エラー PERFCEI 割り込み要因です。 [セット条件] • リード FCS チェックでエラー発生 [クリア条件] • RFCSER=1 リード後の 0 ライト
4	PETEND	0	R/W* ¹	PECE 通信終了フラグ PETEI 割り込み要因です。 [セット条件] • PECE 通信完了 (アドレスタイミングネゴシエーション~メッセージストップ) [クリア条件] • PETEND=1 リード後の 0 ライト
3	NEGA	0	R/W* ¹	アドレスタイミングネゴシエーション終了フラグ [セット条件] • アドレスタイミングネゴシエーション終了 [クリア条件] • NEGA=1 リード後の 0 ライト
2	NEGM	0	R/W* ¹	メッセージタイミングネゴシエーション終了フラグ [セット条件] • メッセージタイミングネゴシエーション終了 [クリア条件] • NEGM=1 リード後の 0 ライト

ビット	ビット名	初期値	R/W	説 明
1	RDRF	0	R	受信データリードフラグ [セット条件] • 受信データをすべて FIFO に格納 (FIFO フル) [クリア条件] • CPU がすべての受信データをリード (FIFO エンプティ)
0	PECIR	不定*2	R	PECl 端子モニタ

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 PECl 端子の状態により決定されます。

23.3.3 PECl タイミングカウントプリレジスタ (PECNT0_PRE)

PECNT0_PRE はアドレス/メッセージタイミングネゴシエーション時の Originator ビットレートの High 期間を設定します。PECNT0_PRE の設定値を N とすると、Originator ビットレートの High 期間は (N+1) システムクロックとなります。

ビット	ビット名	初期値	R/W	説 明
15~0	PECNT0_PRE15~0	H'0000	R/W	アドレス/メッセージタイミングネゴシエーション時の Originator ビットレートの High 期間を格納します。 PECl 使用時は H'0001~H'FFFD の値を設定してください。

PECNT0_PRE の設定 N とビットレート B の関係

$$B = \frac{\phi \times 10^6}{(N + 2) \times 4}$$

【注】 B : ビットレート (bit/s)

N : PECNT0_PRE の設定値 (H'0001 ≤ N ≤ H'FFFD)

φ : 動作周波数 (MHz)

23.3.4 PECI タイミングカウントジェネラルレジスタ (PECNT0_GR)

PECNT0_GR はアドレス/メッセージタイミングネゴシエーションで測定した転送ビットレートの一部期間を格納します。この値はメッセージストップ時間の部分としても使用します。

ビット	ビット名	初期値	R/W	説明
15~0	PECNT0_GR15~0	H'FFFF	R	アドレス/メッセージタイミングネゴシエーションで測定した転送ビットレートの期間を格納します。

PECNT0_GR の格納値 M とビットレート B の関係

$$B = \frac{\phi \times 10^6}{(M + 1) \times 4}$$

【注】 B : ビットレート (bit/s)

M : PECNT0_GR の格納値

ϕ : 動作周波数 (MHz)

23.3.5 PECI タイミングカウントアドレスジェネラルレジスタ (PECNT0_GRA)

PECNT0_GRA は PECI 通信のセットアップ時間の周期を設定します。リセット解除後 (電源投入後)、PECI 通信開始前のセットアップ時間は 1ms 以上 (PECNT0_GRA の設定値は 0.25ms 以上) になるように設定してください。1 回目の PECI 通信でアドレスタイミングネゴシエーション時に測定した転送ビットレートの周期を PECNT0_GRA に格納します。この値を以降のセットアップ時間として使用することができます。

PECR の PECIE ビットを 1 にセットするとセットアップ時間の測定を開始します。PECIE=1 の状態では内容を変更しないでください。

ビット	ビット名	初期値	R/W	説明
15~0	PECNT0_GRA15~0	H'FFFF	R/W	セットアップ時間の周期を設定または格納します。

23.3.6 PECI アドレスレジスタ (PEADD)

PEADD はターゲットアドレス (通信クライアントアドレス) を設定します。本レジスタにライトすることで PECI 通信を開始します。PECI 通信中 (PEBUSY=1) は内容を変更しないでください。PECIE=0 (PECI の動作を禁止) または RDRF=1 のとき、PEADD のライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~0	PEADD7~0	H'00	R/W	ターゲットアドレスを設定します。

23.3.7 PECE 書き込みバイト数レジスタ (PEWBNR)

PEWBNR は書き込みバイト数 (クライアントにライトするデータバイト数) を設定します。PECE 通信中 (PEBUSY=1) は内容を変更しないでください。PECE の通信サイクルを終了すると、PEWBNR の値は H'00 になります。PEWBNR の設定値は H'00~H'20 とし、H'21~H'FF には設定しないでください。

ビット	ビット名	初期値	R/W	説明
7~0	PEWBNR7~0	H'00	R/W	書き込みバイト数を設定します。

23.3.8 PECE 読み出しバイト数レジスタ (PERBNR)

PERBNR は読み出しバイト数 (クライアントからリードするデータバイト数) を設定します。PECE 通信中 (PEBUSY=1) は内容を変更しないでください。

PECE 通信終了後に PEFIFO から受信データをリードすると PERBNR の値がデクリメント (-1) されます。すべての受信データをリードすると PERBNR の値は H'00 になります。PECE 通信中 (PEBUSY=1) に PERBNR をリードすると不定値が読み出されます。PERBNR の設定値は H'00~H'20 とし、H'21~H'FF には設定しないでください。

ビット	ビット名	初期値	R/W	説明
7~0	PERBNR7~0	H'00	R/W	読み出しバイト数を設定します。

23.3.9 PECE クライアント書き込みフレームチェックシーケンスレジスタ (PECWFCSR)

PECWFCSR はクライアントから受信した WR-FCS を格納します。

ビット	ビット名	初期値	R/W	説明
7~0	PECWFCSR7~0	H'00	R	WR-FCS を格納します。

23.3.10 PECE クライアント読み出しフレームチェックシーケンスレジスタ (PECRFCSR)

PECRFCSR はクライアントから受信した RD-FCS を格納します。

ビット	ビット名	初期値	R/W	説明
7~0	PECRFCSR7~0	H'00	R	RD-FCS を格納します。

23.3.11 PECI FIFO レジスタ (PEFIFO)

PEFIFO はライトデータ (コマンドを含む) およびリードデータを格納します。PEFIFO は1つのアドレスを兼用し、32バイトで構成しています。PECI 通信終了後 (PEBUSY=0) に PEFIFO から受信データをリードしてください。PECI 通信中 (PEBUSY=1) に PEFIFO をリードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~0	bit7~0	H'00	R/W	ライトデータおよびリードデータを格納します。

【注】 RDRF=1 の場合、PEFIFO に送信データをライトしないでください。FIFO に格納した受信データが書き換わることがあります。

23.4 動作説明

PECI は One-wire bus で通信します。通信サイクルはセットアップ、アドレスタイミングネゴシエーション、ターゲットアドレス、メッセージタイミングネゴシエーション、メッセージ転送、停止の各サイクルで構成されます。

(1) FCS の種類

FCS は、通信データの CRC 演算の比較結果により Good-FCS、Bad-FCS に分類されます。表 23.2 に各 FCS について示します。

表 23.2 各 FCS の説明

	CRC演算結果とPECWFCSRとの関係	CRC演算結果とPECRFCSRとの関係
Good-FCS	CRC演算結果=PECWFCSR	CRC演算結果=PECRFCSR
Bad-FCS	CRC演算結果≠PECWFCSR	CRC演算結果≠PECRFCSR

AWFCS は Peci ホストがライトデータを送信する場合に、信頼性を保証するための機能です。Peci ホストがライトデータを送信すると CRC 演算を行い、下記式にて AWFCS を計算します。算出した AWFCS をライトデータの直後にクライアントへ送信後、クライアントから WR-FCS を受信して転送を続けます。

計算式：

$$AWFCS[7:0] = \{ !CRC_REG[7], CRC_REG[6:0] \}$$

【記号説明】CRC_REG : CRC 演算器の計算結果

23.4.1 PECI の設定

PECR の PECIE ビットを 0 にクリアした後、以下のフローチャートに従って設定してください。PEADD にライトすると PECI 通信を開始します。PEADD は PECI 通信開始直前に設定してください。

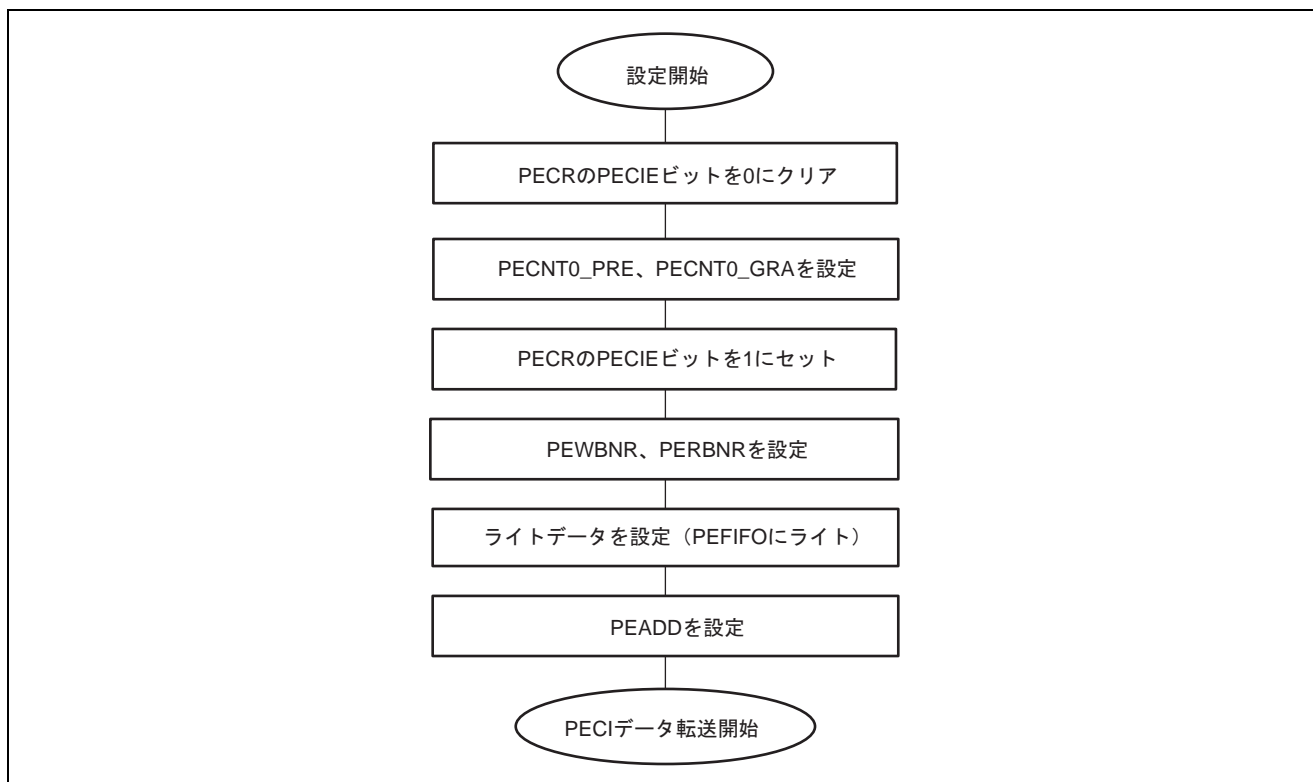


図 23.2 PECI の設定フローチャート例

23.4.2 コマンド

PECE 通信で使用するコマンドを以下に示します。新たにコマンドが追加された場合でも、PECE は 32 バイトの FIFO を使用してコマンド（ライトデータ）を送信するため、最大 32 バイト長のコマンドに対応することができます。

表 23.3 コマンド一覧

コマンド	コード	説明
Ping	n/a	クライアントが有効か無効かを調べる クライアントを取り外したか、電源を遮断したかを調べる
GetDIB	H'F7	クライアント情報を読み出す（Device Identifier Block）
GetTemp	H'01	プロセッサの温度情報を読み出す
RdPkgConfig	H'A1	プロセッサの PCS（Package Configuration 領域）のデータを読み出す
WrPkgConfig	H'A5	プロセッサの PCS（Package Configuration 領域）にデータを書き込む
RdIAMS	H'B1	プロセッサの MSRs（Model Specific Registers）のデータを読み出す
WrIAMS	H'B5	プロセッサの MSRs（Model Specific Registers）のデータを書き込む
RdPCIConfig	H'61	プラットフォームの PCI-Configure 領域データを読み出す
WrPCIConfig	H'65	プラットフォームの PCI-Configure 領域にデータを書き込む
RdPCIConfigLocal	H'E1	プロセッサの PCI-Configure 領域データを読み出す
WrPCIConfigLocal	H'E5	プロセッサの PCI-Configure 領域にデータを書き込む

23.4.3 アボート

PECE の ABTE ビットを 1 にセットすることで、WR-FCS チェック、RD-FCS チェック等でエラーが発生した場合、自動的にアボートを発行することができます。また、PECE の PESRES ビットを 1 にセットすることでアボートを発行することができます。アボートを発行した場合は、指定したセットアップ時間が経過するまでは、次の PECE 通信を開始しません。PECE の STOPE ビット、PECNT0_GR および PECNT0_GRA の値に従って、セットアップ時間が決まります。

WR-FCS チェック、RD-FCS チェックエラー以外でアボートを発生させる場合は、PECE ソフトリセットを使用してください。

23.5 リセット条件

システムリセット、PECE の PESRES ソフトリセットおよびアボートにより初期化される範囲を以下に示します。

表 23.4 PECE の初期化範囲

	システムリセット	PECE ソフトリセット		Abort
PECE	初期化	保持		保持
PEADD	初期化	保持		保持
PEWBNR	初期化	保持		保持
PERBNR	初期化	保持		保持
PECNT0_PRE	初期化	保持		保持
PECNT0_GRA	初期化	保持		保持
PECNT0_GR	初期化	PECIE=1	PECNT0_GR=PECNT0_GRA	STOP および SETUP 発行状態
		PECIE=0	保持	
PEFIFO	初期化	保持		保持
PESTR	初期化	初期化 (PECIR を除く)		PEBUSY、RDRF は初期化 それ以外は保持 (PECIR を除く)
PECWFCSR	初期化	初期化		保持
PECRFCSR	初期化	初期化		保持
内部シーケンサ	初期化	初期化		初期化

23.6 割り込み要因

PECI は本 LSI に対して PETEI、PEWFCEI、PERFCEI の 3 つの割り込み要因があります。割り込み要求は対応するイネーブルビットを 1 にセットすることにより許可されます。割り込み要求は 1 つのベクタアドレスに割り付けられているため、フラグによる要因の判別が必要です。

表 23.5 割り込み一覧

名称	名称	割り込み要因		割り込み許可ビット
PECI	PETEI	PETEND	PECI 通信終了	PETEIE
	PEWFCEI	WFCSER	ライト FCS エラー	PEWFCEIE
	PERFCEI	RFCSER	リード FCS エラー	PERFCEIE

24. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 12 チャンネルのアナログ入力を選択することができます。

A/D 変換器のブロック図を図 24.1 に示します。

24.1 特長

- 入力チャンネル：12チャンネル
- 変換サイクル：64サイクル、40サイクル（A/D変換用クロック）
- 動作モード：2種類
 - シングルモード：1チャンネルの A/D 変換
 - スキャンモード：1～4チャンネルの連続 A/D 変換、または 1～8チャンネルの連続 A/D 変換
- A/D変換用クロックを個別に設定可能（ ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ ）
- データレジスタ：8本
 - A/D 変換結果は各チャンネルに対応した 16 ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：2種類
 - ソフトウェア
 - 16 ビットタイマパルスユニット（TPU）または 8 ビットタイマ（TMR）による変換開始トリガ
- 割り込み要因
 - A/D 変換終了割り込み要求（ADI）を発生
- モジュールストップ状態への設定可能

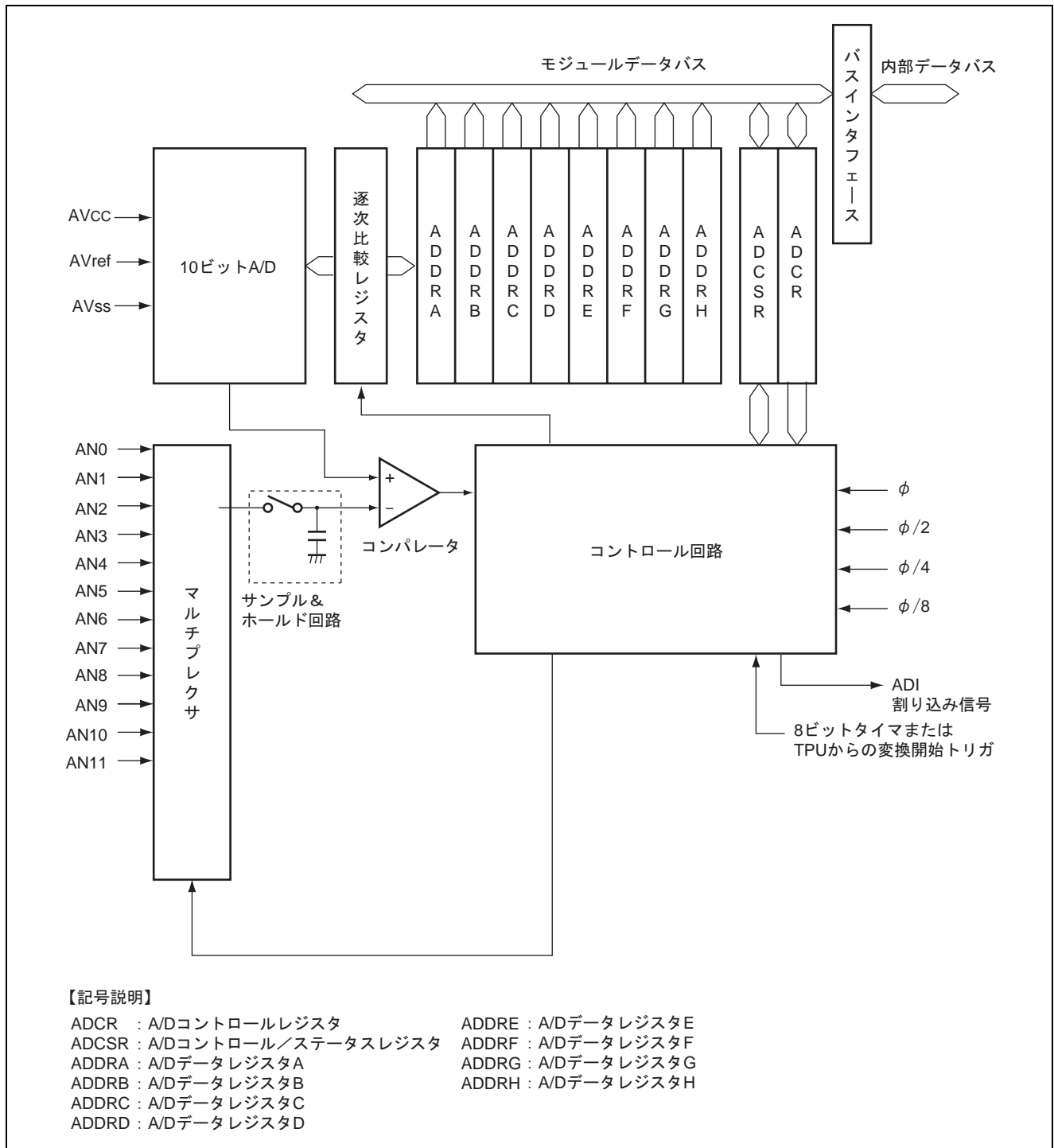


図 24.1 A/D 変換器のブロック図

24.2 入出力端子

A/D 変換器で使用する入力端子を表 24.1 に示します。

AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。AVref 端子は、A/D 変換基準電圧端子です。

12 本のアナログ入力端子は 2 チャンネルセットに分類されておりアナログ入力端子 0~7 (AN0~AN7) がチャンネルセット 0、アナログ入力端子 8~11 (AN8~AN11) がチャンネルセット 1 になっています。

表 24.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電圧端子	AVref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	チャンネルセット 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	チャンネルセット 1 のアナログ入力
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	

24.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

表 24.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
A/D データレジスタ A	ADDRA	R	H'0000	H'FC00	16
A/D データレジスタ B	ADDRB	R	H'0000	H'FC02	16
A/D データレジスタ C	ADDRC	R	H'0000	H'FC04	16
A/D データレジスタ D	ADDRD	R	H'0000	H'FC06	16
A/D データレジスタ E	ADDRE	R	H'0000	H'FC08	16
A/D データレジスタ F	ADDRF	R	H'0000	H'FC0A	16
A/D データレジスタ G	ADDRG	R	H'0000	H'FC0C	16
A/D データレジスタ H	ADDRH	R	H'0000	H'FC0E	16
A/D コントロール/ステータスレジスタ	ADCSR	R/W	H'00	H'FC10	8
A/D コントロールレジスタ	ADCR	R/W	H'00	H'FC11	8

24.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA~ADDRH の 8 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 24.3 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 16 ビット幅です。常に CPU から直接リードできます。ADDR をアクセスする場合 16 ビット単位でアクセスしてください。8 ビット単位でのアクセスは禁止です。

表 24.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		変換結果が格納される A/D データレジスタ
チャンネルセット 0 (CH3=0)	チャンネルセット 1 (CH3=1)	
AN0	AN8	ADDRA
AN1	AN9	ADDRB
AN2	AN10	ADDRC
AN3	AN11	ADDRD
AN4	—	ADDRE
AN5	—	ADDRF
AN6	—	ADDRG
AN7	—	ADDRH

24.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none"> シングルモードで A/D 変換が終了したとき スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセットによってクリアされるまで選択されたチャンネルを順次連続変換します。また、ADCR の ADSTCLR ビットが 1 にセットされているときは、選択したすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、A/D 変換を停止させます。 ADST が自動的にクリアされるタイミングは、ADF がセットされるタイミングとは異なり、ADF がセットされる前に ADST がクリアされます。
4	EXCKS	0	R/W	拡張クロックセレクト ADCR の CKS1/0 ビットと合わせて A/D 変換時間の設定を行います。詳細は、ADCR の説明をご参照ください。EXCKS ビットへのライトは CKS1/0 ビットと同時に行ってください。

ビット	ビット名	初期値	R/W	説明																																										
3	CH3	0	R/W	チャンネルセレクト 3~0																																										
2	CH2	0	R/W	ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。																																										
1	CH1	0	R/W	入力チャンネルの設定は変換停止中 (ADST=0) に行ってください。																																										
0	CH0	0	R/W	<table border="0" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 33%; vertical-align: top;">SCANE=0、 SCANS=x のとき</td> <td style="width: 33%; vertical-align: top;">SCANE=1、 SCANS=0 のとき</td> <td style="width: 33%; vertical-align: top;">SCANE=1、 SCANS=1 のとき</td> </tr> <tr> <td>0000 : AN0</td> <td>0000 : AN0</td> <td>0000 : AN0</td> </tr> <tr> <td>0001 : AN1</td> <td>0001 : AN0、AN1</td> <td>0001 : AN0、AN1</td> </tr> <tr> <td>0010 : AN2</td> <td>0010 : AN0~AN2</td> <td>0010 : AN0~AN2</td> </tr> <tr> <td>0011 : AN3</td> <td>0011 : AN0~AN3</td> <td>0011 : AN0~AN3</td> </tr> <tr> <td>0100 : AN4</td> <td>0100 : AN4</td> <td>0100 : AN0~AN4</td> </tr> <tr> <td>0101 : AN5</td> <td>0101 : AN4、AN5</td> <td>0101 : AN0~AN5</td> </tr> <tr> <td>0110 : AN6</td> <td>0110 : AN4~AN6</td> <td>0110 : AN0~AN6</td> </tr> <tr> <td>0111 : AN7</td> <td>0111 : AN4~AN7</td> <td>0111 : AN0~AN7</td> </tr> <tr> <td>1000 : AN8</td> <td>1000 : AN8</td> <td>1000 : AN8</td> </tr> <tr> <td>1001 : AN9</td> <td>1001 : AN8、AN9</td> <td>1001 : AN8、AN9</td> </tr> <tr> <td>1010 : AN10</td> <td>1010 : AN8~AN10</td> <td>1010 : AN8~AN10</td> </tr> <tr> <td>1011 : AN11</td> <td>1011 : AN8~AN11</td> <td>1011 : AN8~AN11</td> </tr> <tr> <td>11xx : 設定禁止</td> <td>11xx : 設定禁止</td> <td>11xx : 設定禁止</td> </tr> </table>	SCANE=0、 SCANS=x のとき	SCANE=1、 SCANS=0 のとき	SCANE=1、 SCANS=1 のとき	0000 : AN0	0000 : AN0	0000 : AN0	0001 : AN1	0001 : AN0、AN1	0001 : AN0、AN1	0010 : AN2	0010 : AN0~AN2	0010 : AN0~AN2	0011 : AN3	0011 : AN0~AN3	0011 : AN0~AN3	0100 : AN4	0100 : AN4	0100 : AN0~AN4	0101 : AN5	0101 : AN4、AN5	0101 : AN0~AN5	0110 : AN6	0110 : AN4~AN6	0110 : AN0~AN6	0111 : AN7	0111 : AN4~AN7	0111 : AN0~AN7	1000 : AN8	1000 : AN8	1000 : AN8	1001 : AN9	1001 : AN8、AN9	1001 : AN8、AN9	1010 : AN10	1010 : AN8~AN10	1010 : AN8~AN10	1011 : AN11	1011 : AN8~AN11	1011 : AN8~AN11	11xx : 設定禁止	11xx : 設定禁止	11xx : 設定禁止
SCANE=0、 SCANS=x のとき	SCANE=1、 SCANS=0 のとき	SCANE=1、 SCANS=1 のとき																																												
0000 : AN0	0000 : AN0	0000 : AN0																																												
0001 : AN1	0001 : AN0、AN1	0001 : AN0、AN1																																												
0010 : AN2	0010 : AN0~AN2	0010 : AN0~AN2																																												
0011 : AN3	0011 : AN0~AN3	0011 : AN0~AN3																																												
0100 : AN4	0100 : AN4	0100 : AN0~AN4																																												
0101 : AN5	0101 : AN4、AN5	0101 : AN0~AN5																																												
0110 : AN6	0110 : AN4~AN6	0110 : AN0~AN6																																												
0111 : AN7	0111 : AN4~AN7	0111 : AN0~AN7																																												
1000 : AN8	1000 : AN8	1000 : AN8																																												
1001 : AN9	1001 : AN8、AN9	1001 : AN8、AN9																																												
1010 : AN10	1010 : AN8~AN10	1010 : AN8~AN10																																												
1011 : AN11	1011 : AN8~AN11	1011 : AN8~AN11																																												
11xx : 設定禁止	11xx : 設定禁止	11xx : 設定禁止																																												

【記号説明】 x : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

24.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00 : 外部トリガによる A/D 変換開始を禁止 01 : TPU からの変換トリガによる A/D 変換開始 10 : TMR からの変換トリガによる A/D 変換開始 11 : 設定禁止
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード (1~4 チャンネルの連続 A/D 変換) 11 : スキャンモード (1~8 チャンネルの連続 A/D 変換)
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	EXCKS と合わせて、A/D 変換用クロック (ADCLK) を設定し、A/D 変換時間の設定を行います。 変換時間の設定は ADCSR の ADST ビットが 0 のときに行い、その後変換モードの設定を行うようにしてください。また、ソフトウェアスタンバイモード、モジュールストップモードに遷移させる場合は遷移の前に B'11 にセットしてください。 ADCLK は 10MHz 以下となるように CKS1、CKS0 の設定を行ってください。 EXCKS CKS1 CKS0 000 : 変換時間 =528 ステート (max)、ADCLK= $\phi/8$ 001 : 変換時間 =268 ステート (max)、ADCLK= $\phi/4$ 010 : 変換時間 =138 ステート (max)、ADCLK= $\phi/2$ 011 : 変換時間 =73 ステート (max)、ADCLK= ϕ 100 : 変換時間 =336 ステート (max)、ADCLK= $\phi/8$ 101 : 変換時間 =172 ステート (max)、ADCLK= $\phi/4$ 110 : 変換時間 =90 ステート (max)、ADCLK= $\phi/2$ 111 : 変換時間 =49 ステート (max)、ADCLK= ϕ
1	ADSTCLR	0	R/W	A/D スタートクリア スキャンモード時に ADST ビットの自動クリアの設定をします。 0 : スキャンモードの時、ADST ビットの自動的なクリアを禁止 1 : スキャンモードの時、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされます。
0	—	0	R/W	リザーブビット 初期値を変更しないでください。

【記号説明】 X : Don't care

24.4 動作説明

動作モードには、シングルモード、スキャンモードがあります。最初に A/D 変換に使用するクロックの設定を行ってください。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と、ADST ビットを 1 にセットするのは同時に行うことができます。

24.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、TPU、TMRによってADCSRのADSTビットが1にセットされると、選択されたチャンネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャンネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。

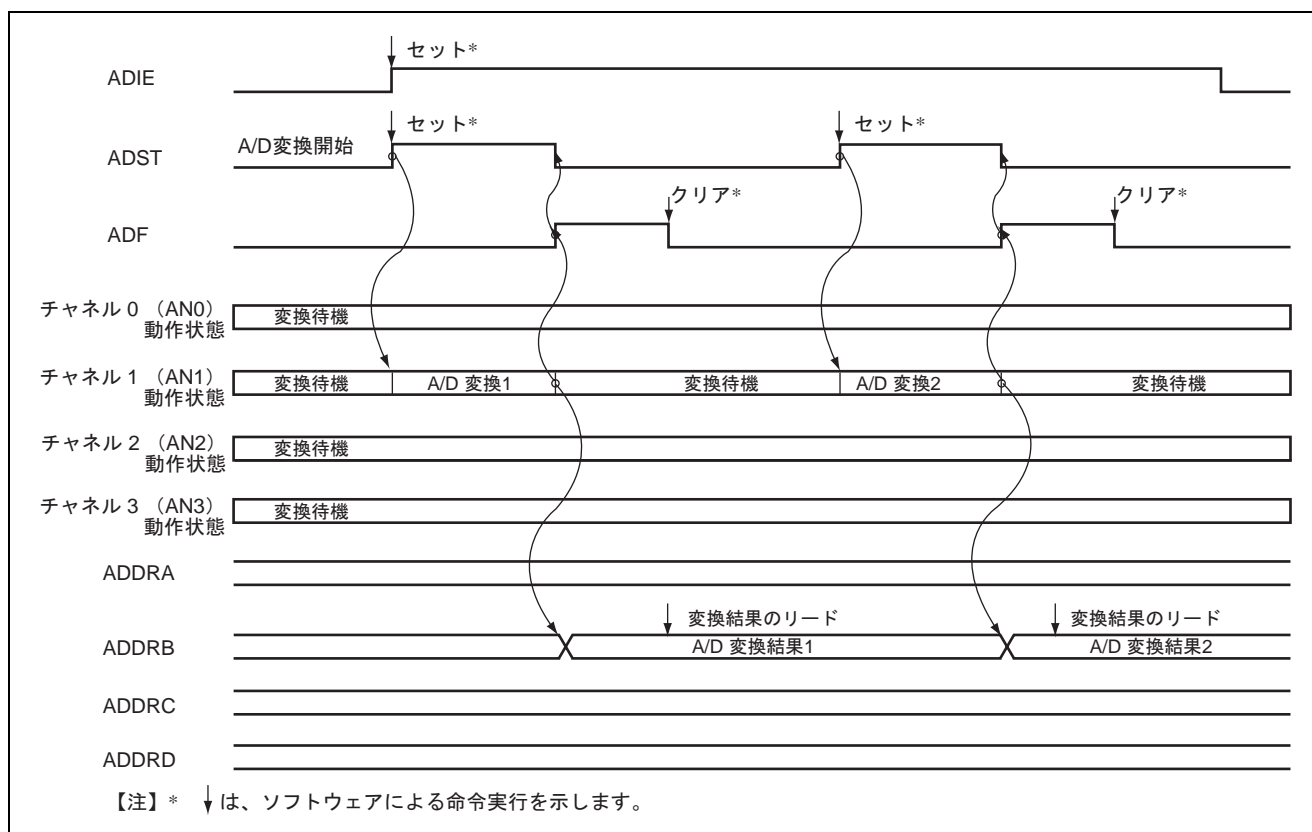


図 24.2 A/D 変換器の動作例（シングルモード、チャンネル 1 選択時）

24.4.2 スキャンモード

スキャンモードは、指定された最大 4 チャンネル、または最大 8 チャンネルのアナログ入力を以下のように順次連続して A/D 変換します。スキャンモードには A/D 変換を繰り返す連続スキャンと A/D 変換を設定されたチャンネルを 1 サイクル行う 1 サイクルスキャンがあります。

- 連続スキャンモード

1. ソフトウェア、TPU、TMRによってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換（SCANE、SCANS=B'10）、または最大8チャンネルの連続A/D変換（SCANE、SCANS=B'11）を選択できます。4チャンネルの連続A/D変換の場合は、CH3、CH2=B'00のときAN0、CH3、CH2=B'01のときAN4、CH3、CH2=B'10のときAN8からA/D変換を開始します。8チャンネルの連続A/D変換の場合はCH3=B'0のときAN0、CH3=B'1のときAN8からA/D変換を開始します。
2. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再び第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

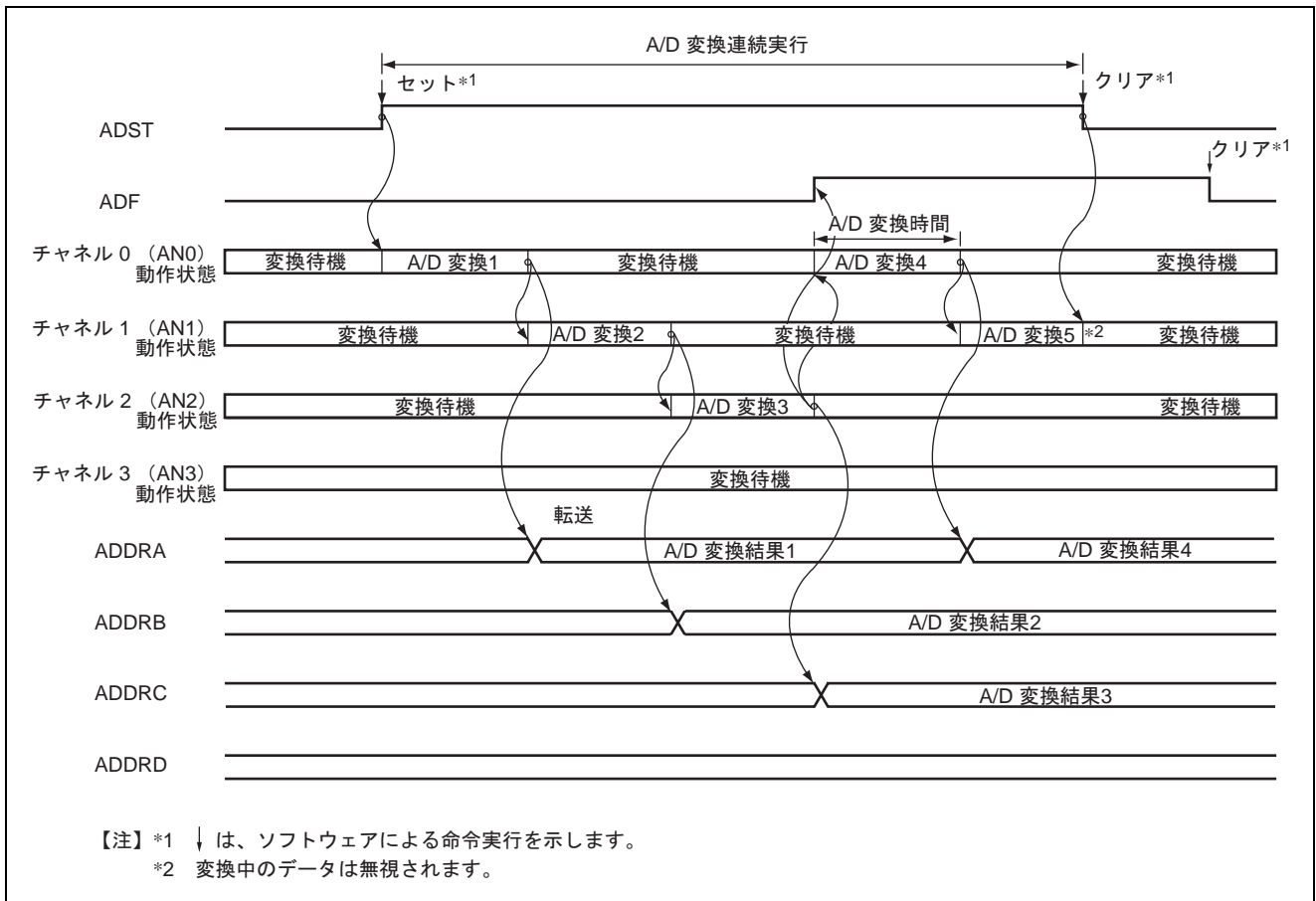


図 24.3 A/D 変換器の動作例 (連続スキャンモード、AN0~AN2 の 3 チャンネル選択時)

● 1サイクルスキャンモード

1. ADCRのADSTCLRビットを1にセットします。
2. ソフトウェア、TPU、TMRによってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換（SCANE、SCANS=B'10）、または最大8チャンネルの連続A/D変換（SCANE、SCANS=B'11）を選択できます。4チャンネルの連続A/D変換の場合は、CH3、CH2=B'00のときAN0、CH3、CH2=B'01のときAN4、CH3、CH2=B'10のときAN8からA/D変換を開始します。8チャンネルの連続A/D変換の場合は、CH3=B'0のときAN0、CH3=B'1のときAN8からA/D変換を開始します。
3. それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
4. 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。
5. ADSTビットは選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、A/D変換を中止し、A/D変換器は待機状態になります。

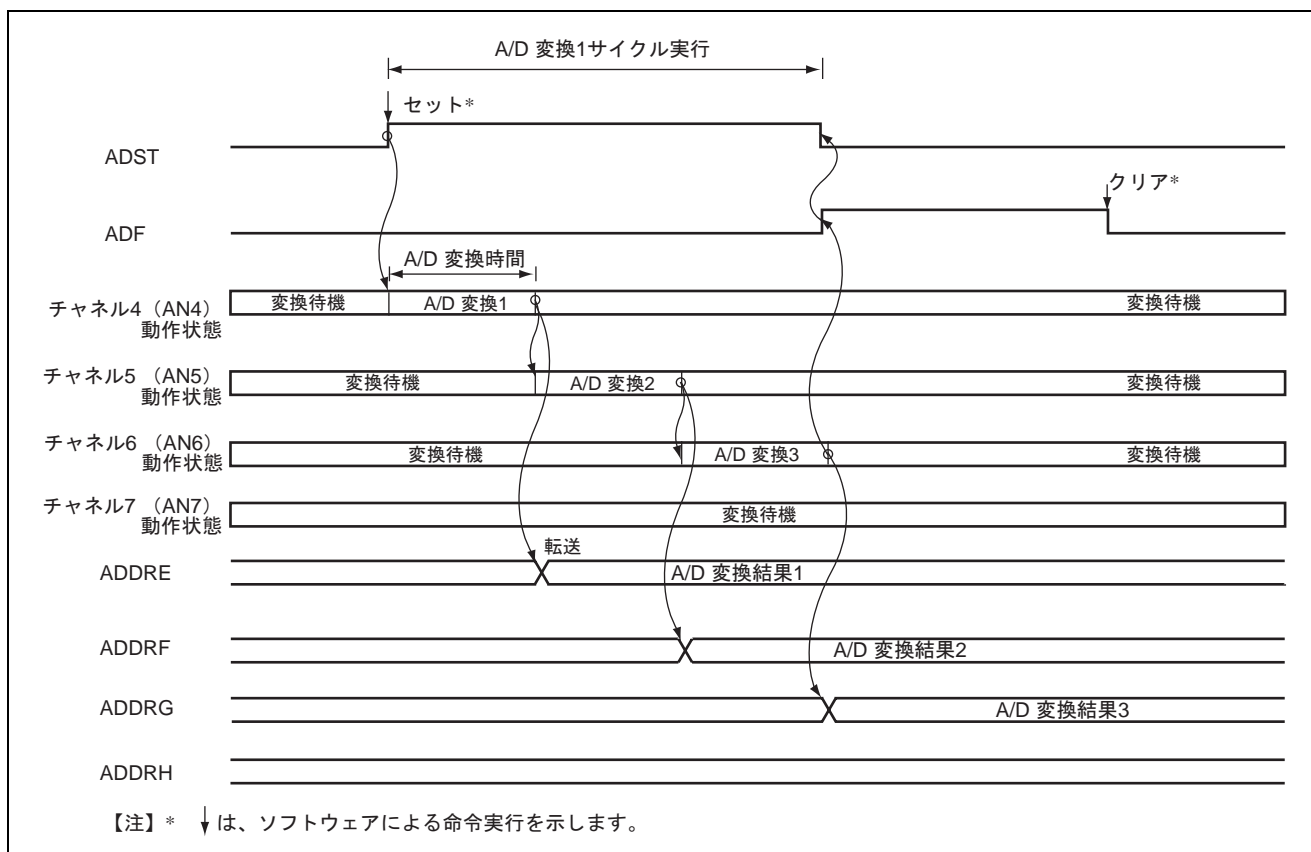


図 24.4 A/D 変換器の動作例（1サイクルスキャンモード、AN4～AN6の3チャンネル選択時）

24.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間 (t_D) 経過後、入力のサンプリングを行い、その後 A/D 変換を開始します。A/D 変換のタイミングを図 24.5 に示します。また、A/D 変換時間を表 24.4、24.5 に示します。

A/D 変換時間 (t_{CONV}) は、図 24.5 に示すように、 t_D と入力サンプリング時間 (t_{SPL}) を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 24.4、24.5 に示す範囲で変化します。

スキャンモードの変換時間は、表 24.4、24.5 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 24.6 に示す値となります。いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように ADCSR の EXCKS ビット、ADCR の CKS1、CKS0 ビットを設定してください。

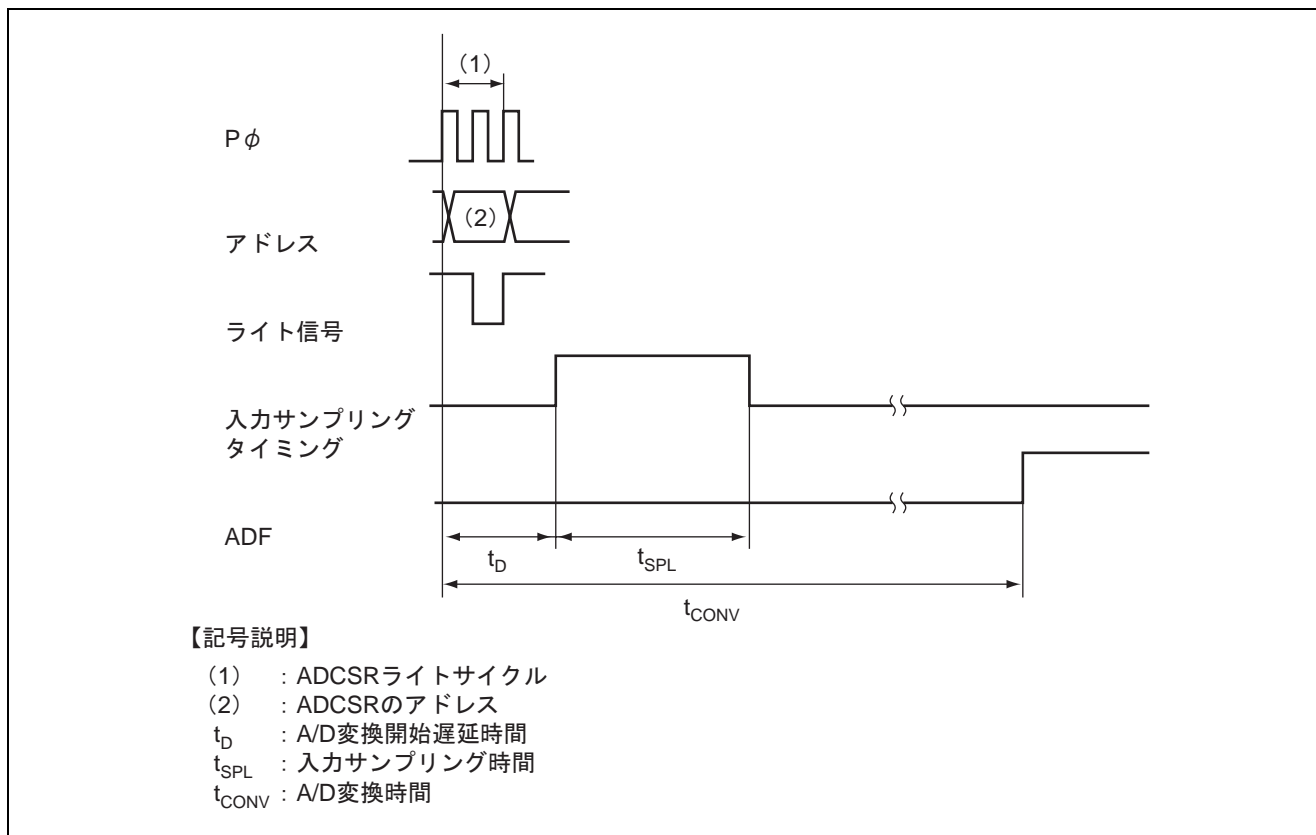


図 24.5 A/D 変換タイミング

表 24.4 A/D 変換特性 (EXCKS=0 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	4	—	14	4	—	10	4	—	8	3	—	7
入力サンプリング時間	t_{SPL}	—	312	—	—	156	—	—	78	—	—	39	—
A/D 変換時間	t_{CONV}	518	—	528	262	—	268	134	—	138	69	—	73

表 24.5 A/D 変換特性 (EXCKS=1 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	4	—	14	4	—	10	4	—	8	3	—	7
入力サンプリング時間	t_{SPL}	—	120	—	—	60	—	—	30	—	—	15	—
A/D 変換時間	t_{CONV}	326	—	336	166	—	172	86	—	90	45	—	49

【注】 表中の数値の単位はステートです。

表 24.6 A/D 変換時間 (スキャンモード)

EXCKS	CKS1	CKS0	変換時間 (ステート)
0	0	0	512 (固定)
		1	256 (固定)
	1	0	128 (固定)
		1	64 (固定)
1	0	0	320 (固定)
		1	160 (固定)
	1	0	80 (固定)
		1	40 (固定)

24.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。

表 24.7 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ
ADI	A/D 変換終了	ADF

24.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D 変換器のデジタル出力コード数
- 量子化誤差
A/D 変換器が本質的に有する偏差であり、1/2LSB で与えられる (図 24.6)
- オフセット誤差
デジタル出力が最小電圧値 B'000000000 (H'000) から B'000000001 (H'001) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 24.7)
- フルスケール誤差
デジタル出力が B'111111110 (H'3FE) から B'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 24.7)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図 24.7)
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

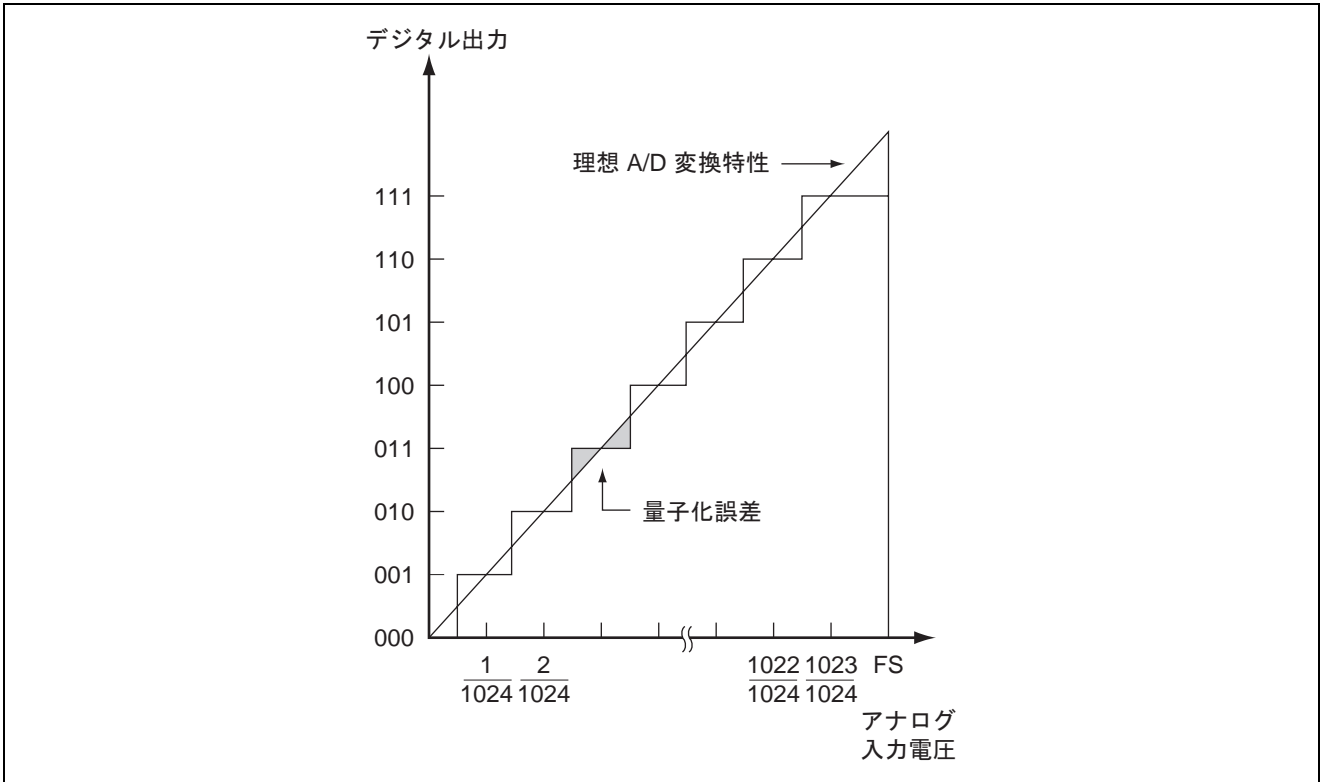


図 24.6 A/D 変換精度の定義

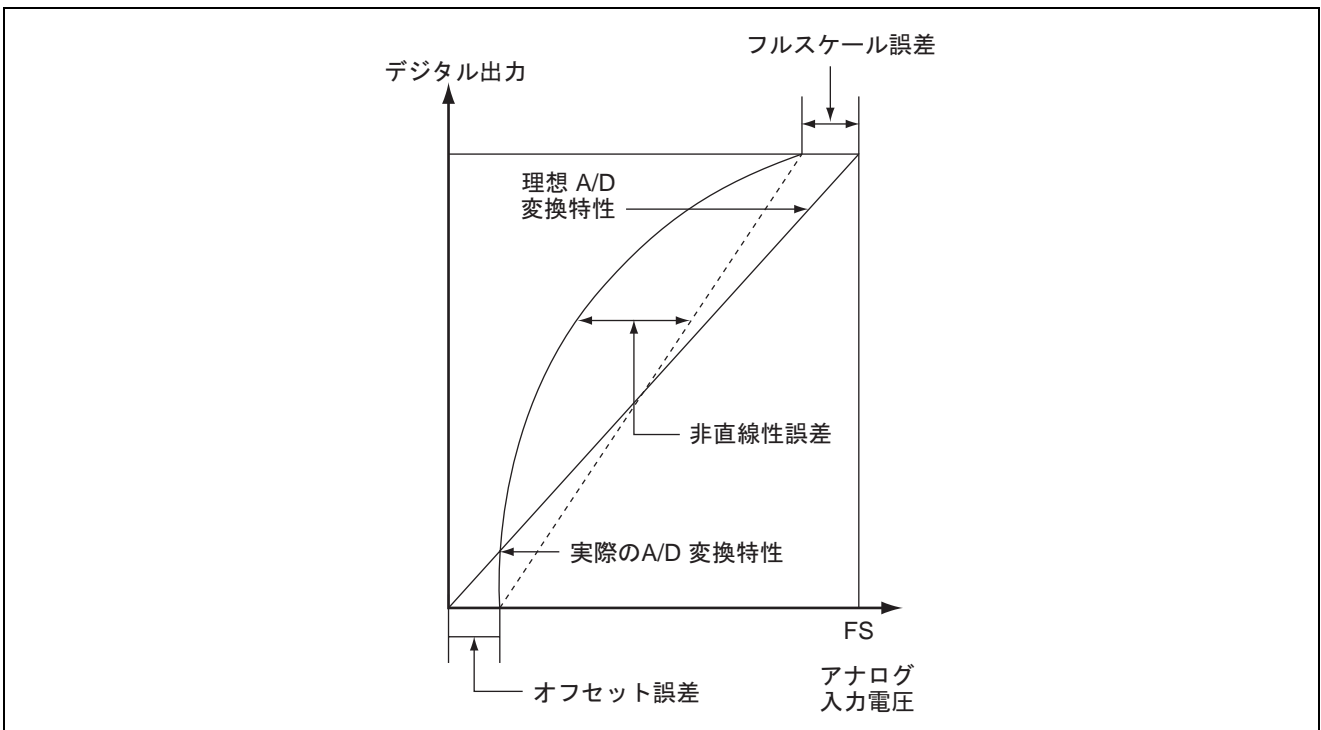


図 24.7 A/D 変換精度の定義

24.7 使用上の注意事項

24.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。A/D 変換器の動作後、モジュールストップ状態に遷移する場合は CKS1、CKS2 ビットを 1 にセットし、ADCLK を ϕ に設定し、ADST、TRGS1、TRGS0 ビットをすべて 0 にクリアして A/D 変換を禁止してください。その後、1 ワードダミーリードしてからモジュールストップコントロールレジスタを設定してください。モジュールストップコントロールレジスタの詳細は、「第 29 章 低消費電力状態」を参照してください。

24.7.2 ソフトウェアスタンバイ時の A/D 変換保持機能

A/D 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると A/D 変換は保持され、アナログ電源電流は A/D 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は CKS1、CKS2 ビットを 1 にセットして ADCLK を ϕ に設定し、ADST、TRGS1、TRGS0 ビットをすべて 0 にクリアして A/D 変換を禁止してください。その後、1 ワードダミーリードしてソフトウェアスタンバイモードに遷移させてください。

24.7.3 A/D 変換の再スタート

ADST ビットを 0 にクリアすると ADCLK に同期して A/D 変換が停止し、待機状態になります。ADST ビットを 0 にクリアしてから最大 10cyc (ϕ) までは待機状態に遷移していない場合があるため、ADCLK、動作モードやアナログ入力チャネルの変更を行わないでください。

ADST ビットが 0 にクリアされた直後に A/D 変換を再開する場合は、ADDRA~ADDRH の 16 バイトをリードしてから ADST ビットを 1 にセットし、A/D 変換を開始してください。ただし、シングルモード、または 1 サイクルスキャンモードの場合は、A/D 変換終了で ADF ビットが 1 にセットされたことを確認し、ADF ビットを 0 クリアすることで、ADST ビットを 1 にセットできます。

24.7.4 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5\text{k}\Omega$ を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できないことがあります（図 24.8）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

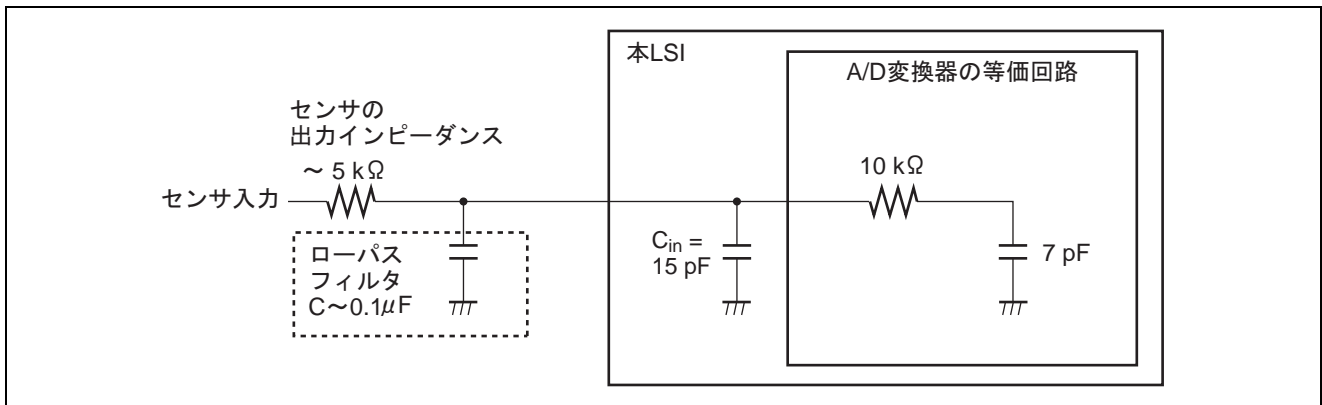


図 24.8 アナログ入力回路の例

24.7.5 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

24.7.6 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は $AV_{SS} \leq V_{AN} \leq V_{ref}$ の範囲としてください。

- AV_{SS} と V_{SS} の関係

AV_{SS} と V_{SS} との関係は $AV_{SS} = V_{SS}$ としてください。A/D 変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

- V_{ref} の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は、 $V_{ref} \leq AV_{CC}$ にしてください。

24.7.7 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 ($AN_0 \sim AN_{11}$)、アナログ基準電源 (V_{ref})、アナログ電源電圧 (AV_{CC}) は、アナロググランド (AV_{SS}) でデジタル回路と分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したグランド (V_{SS}) に一点接続してください。

24.7.8 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN11）の破壊を防ぐために、図 24.9 に示すように AV_{CC} – AV_{SS} 間に保護回路を接続してください。 AV_{CC} に接続するバイパスコンデンサ、AN0～AN11に接続するフィルタ用のコンデンサは、必ず AV_{SS} に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN11 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

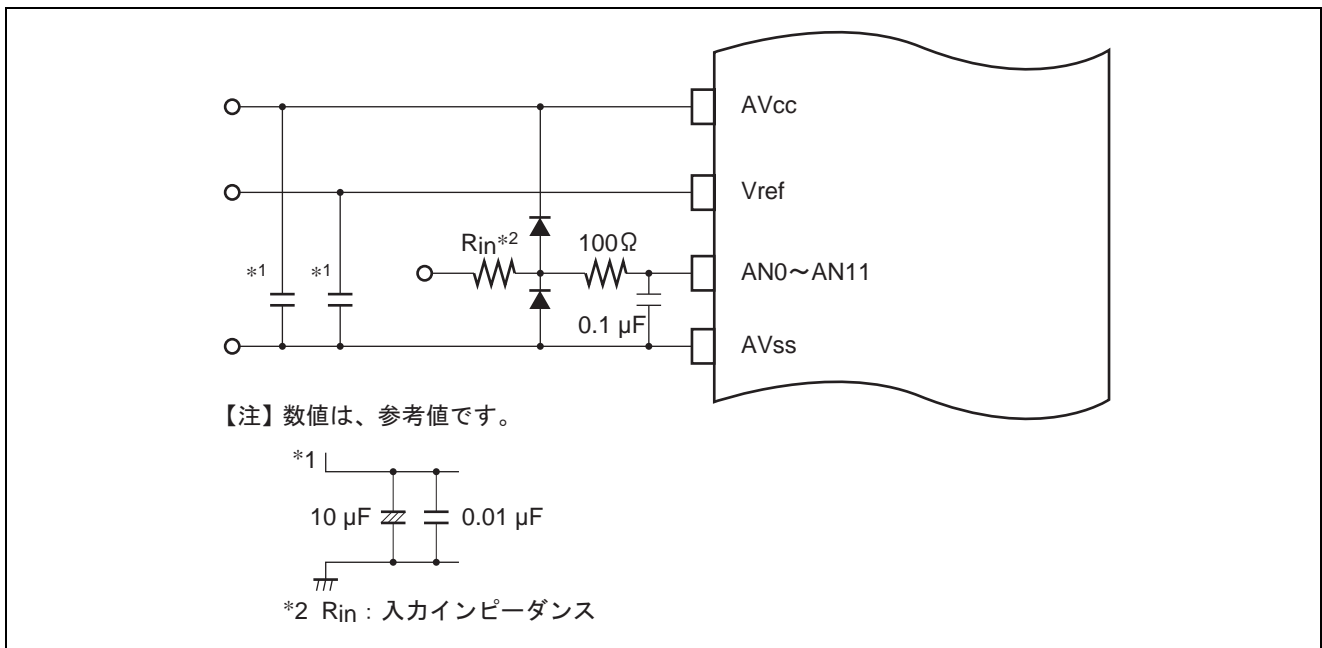


図 24.9 アナログ入力保護回路の例

表 24.8 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	15	pF
許容信号源インピーダンス	—	5	k Ω

25. バッテリーバックアップ RAM (BBR)

本 LSI は、バッテリーバックアップ RAM (BBR) を内蔵しています。
BBR は、VBAT 電源で保持する CMOS のデータレジスタで構成されています。

25.1 特長

- 64バイトのデータRAM内蔵
- VBAT電源でデータ保持：V_{CC}電源が供給されない場合もデータ保持可能

BBR のブロック図を図 25.1 に示します。

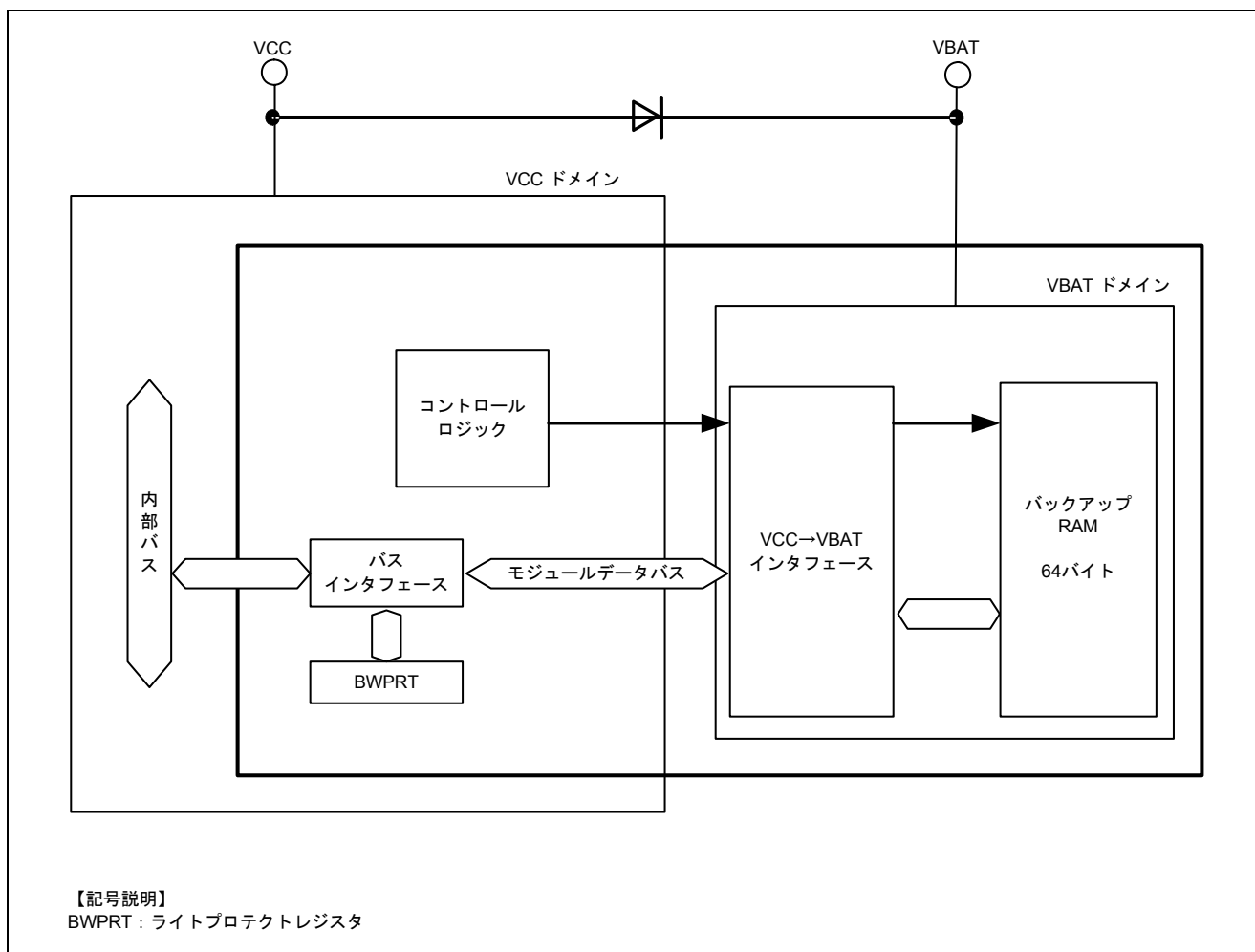


図 25.1 BBR のブロック図

25.2 レジスタの説明

表 25.1 レジスタ構成

レジスタ名	R/W	初期値	アドレス	データバス幅
BBR0~BBR63	R/W*	不定	H'FFF800~H'FFF83F	8
BWPRT	R/W*	H'00	H'FFF841	8

【注】データの R/W は、 V_{CC} のオペレーション時のみ可能です。

25.2.1 BBR ステータスレジスタ (BBR0~BBR63)

BBR には、64 バイトのデータレジスタがあります。

25.2.2 BBR 書き込み保護レジスタ (BWPRT)

BWPRT は、BBR レジスタへの書き込み許可/禁止を制御するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	DWP7	0	R/W	データ書き込み保護 本レジスタに H'AA を書き込むと、BBR0~63 および RSTFR レジスタへの書き込みが許可されます。H'AA 以外の値を書き込むと、BBR0~63 への書き込みが禁止されます。 BBR0~63 レジスタへの書き込み後は、必ず本レジスタに H'AA 以外の値を書き込んでください。
6	DWP6	0	R/W	
5	DWP5	0	R/W	
4	DWP4	0	R/W	
3	DWP3	0	R/W	
2	DWP2	0	R/W	
1	DWP1	0	R/W	
0	DWP0	0	R/W	

25.3 動作説明

BBR は VBAT 電圧でデータを保持する 64 バイトのデータレジスタです。

BBR はレジスタで構成されており、 V_{CC} が供給されている間は CPU からのリードライトアクセスが可能です。

データを BBR にライトした後に、 V_{CC} の電圧供給が止まり代わりに VBAT 電圧が供給されるとデータを保持します。

V_{CC} と VBAT 電圧の供給が止まると、データは不定となります。

BBR0~BBR63 へデータ書き込みを行うときは、BWPRT へ H'AA をライトしてください。データ書き込み後はデータ保護のため BWPRT へ H'AA 以外の値を設定してください。H'AA 以外の値を設定されているときでも、BBR0~BBR63 へのリードアクセスは可能です。

25.4 使用上の注意

25.4.1 VBAT 電源による BBR レジスタ保持について

POR は V_{CC} 電源の下降時に発行され、BBR はこの信号をモニタして VBAT 電源でのデータ保持動作に切り替えを行います。

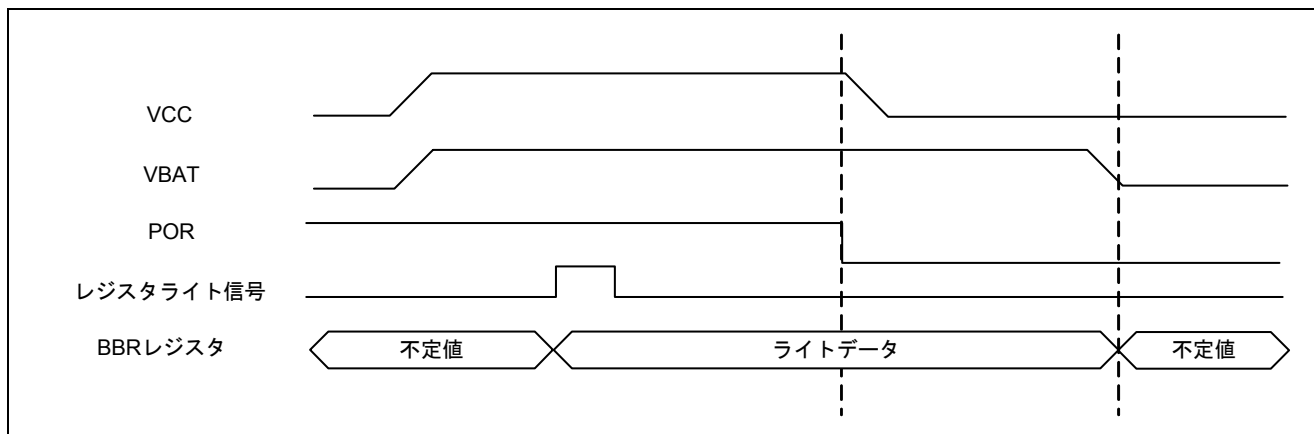


図 25.2 VBAT 電源による BBR レジスタ保持

25.4.2 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、BBR の動作停止/許可を設定することが可能です。初期値では BBR は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第29章 低消費電力状態」を参照してください。

25.4.3 電源の設定

V_{CC} 電源供給時は、VBAT 端子には V_{CC} 電圧を供給してください。BBR を使用しない場合は、VBAT 端子には V_{CC} の電圧を供給してください。

26. RAM

本 LSI は 12K バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブルビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

27. フラッシュメモリ

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 27.1 に示します。

27.1 特長

- 容量

製品区分		ROM 容量	アドレス
H8S/2113	R4F2113	128K バイト (ユーザマット)	H'000000~H'01FFFF
		16K バイト (ユーザブートマット)	H'000000~H'003FFF
		8K バイト (データフラッシュ)	H'020000~H'021FFF

- LSI起動モードに合わせた2種類のフラッシュメモリマット

内蔵しているフラッシュメモリには、同一アドレス空間に配置される 2 種類のメモリ空間 (以下メモリマットと呼びます) があり、起動時のモード設定により、どちらのメモリマットから起動するかを選択できます。また、起動後もバンク切り替え方式でマットを切り替えることも可能です。

ユーザモードでパワーオンリセット時に起動するユーザメモリマット：128K バイト

ユーザブートモードでパワーオンリセット時に起動するユーザブートメモリマット：16K バイト

- データフラッシュ

8K バイトのデータフラッシュを内蔵しています。

- 書き込み/消去方式

書き込みは 4 バイトごとの同時書き込み方式です。消去はブロック単位で行います。全面消去を行う場合も 1 ブロックずつ消去してください。

- 書き込み/消去時間

ユーザマット書き込み時間：4 バイト同時書き込み 150 μ sec (Typ.)、1 バイト当り換算 38 μ sec (Typ.)

データフラッシュ書き込み時間：4 バイト同時書き込み 300 μ sec (Typ.)、1 バイト当り換算 75 μ sec (Typ.)

消去時間：ユーザマット、データフラッシュ共に 1 ブロック当たり 200m sec (Typ.)

- 書き換え回数

データフラッシュは 10000 回まで、それ以外のブロックは 1000 回まで書き換え可能です。

- 3種類のオンボードプログラミングモード

ブートモード：内蔵 SCI を使用して、ユーザマットおよびデータフラッシュの書き込み/消去ができます。

ブートモードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

ユーザプログラムモード：任意のインタフェースでユーザマットおよびデータフラッシュの書き込み/消去ができます。

ユーザブートモード：任意のインタフェースのユーザプログラム作成が可能で、ユーザマットおよびデータフラッシュの書き込み/消去ができます。

- オフボードプログラミングモード
ライターモード：PROMライターを使用して、ユーザマット、ユーザブートマットの書き込み／消去ができます。
- プロテクト機能
誤書き込み誤消去プロテクト
ソフトウェアによりフラッシュメモリの書き込み／消去に対するプロテクト機能のロックビットプロテクトを設定可能
- アクセスサイクル
ユーザマット、ユーザブートマット：1 ステート
データフラッシュ：2 ステート

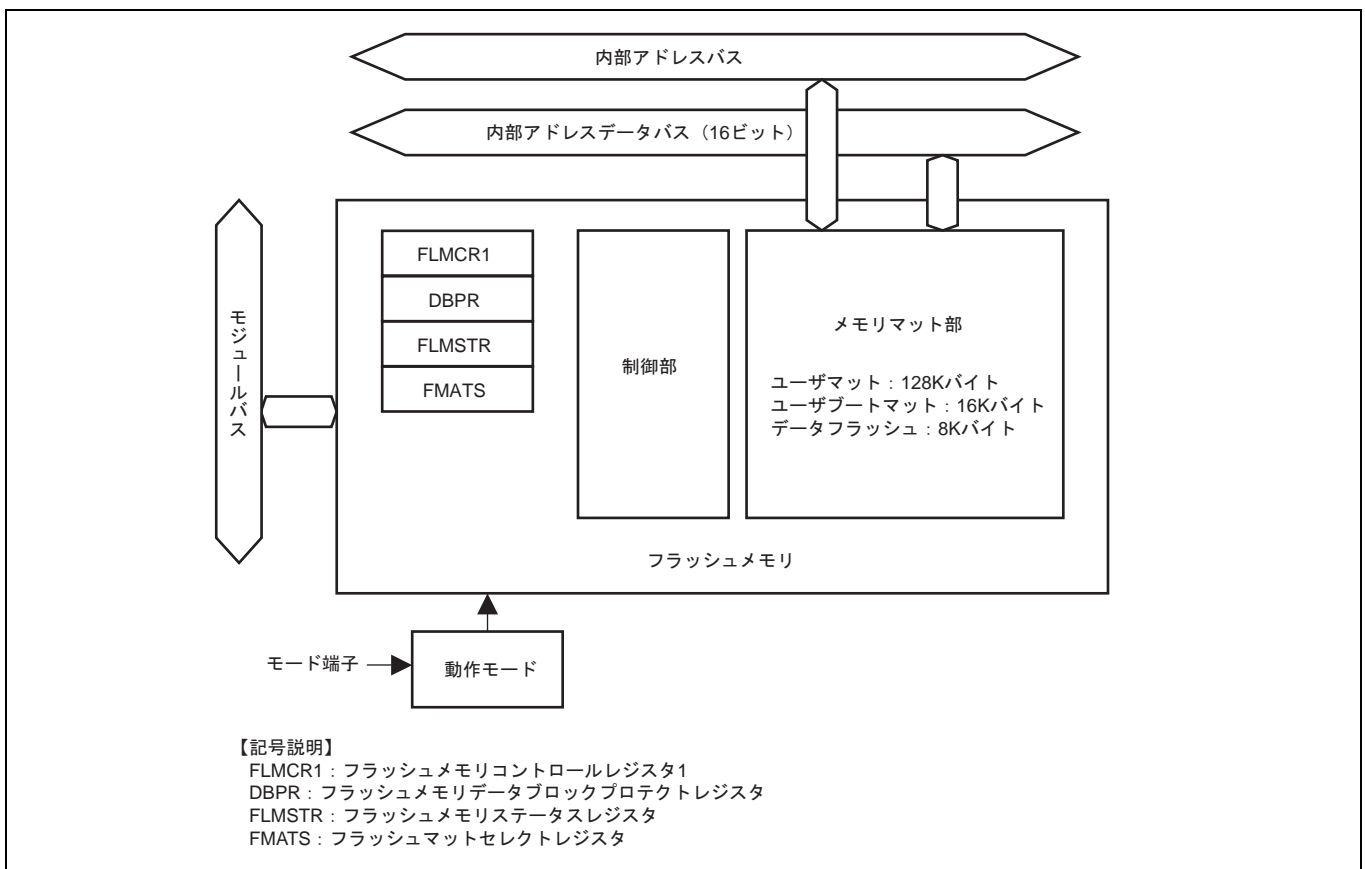


図 27.1 フラッシュメモリのブロック図

27.2 フラッシュメモリマツト構成

本 LSI のフラッシュメモリは、128K バイトのユーザマツト、16K バイトのユーザブツトマツトと 8K バイトのデータフラッシュから構成されています。

ユーザマツトとユーザブツトマツトは先頭アドレスが同じアドレスに割り当てられていますので、2つのマツト間でプログラム実行またはデータアクセスがまたがる場合は、FMATS によるマツト切り替えが必要です。

ユーザマツト/データフラッシュの読み出しはどのモードでも可能ですが、ユーザブツトマツトの書き換えはブツトモードとライターモードでのみ可能です。

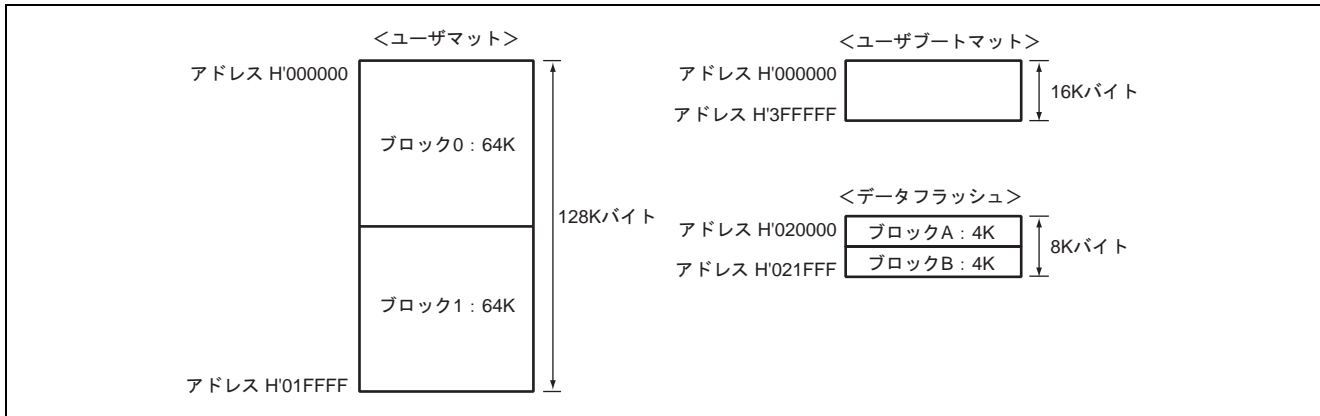


図 27.2 フラッシュメモリ構成図

ユーザマツトとユーザブツトマツトはメモリサイズが異なります。16K バイト空間以上のユーザブツトマツトをアクセスしないようにしてください。16K バイト空間以上のユーザブツトマツトを読み出した場合、不定値が読み出されます。

27.3 ブロック構成

図 27.3 にフラッシュメモリのブロック構成を示します。マイコンの動作プログラムを格納する領域（ユーザマット）とは別に、データを格納する領域（データフラッシュ）があります。太線枠は消去ブロックを表します。細線枠は書き込み単位を表し、枠内の数値はアドレスを示します。消去は図 27.3 に示す消去ブロック単位で行います。書き込みは下位アドレス 4 ビットが H'0、H'4、H'8、H'C で始まる 2 ワードもしくは 4 バイト単位で行います。

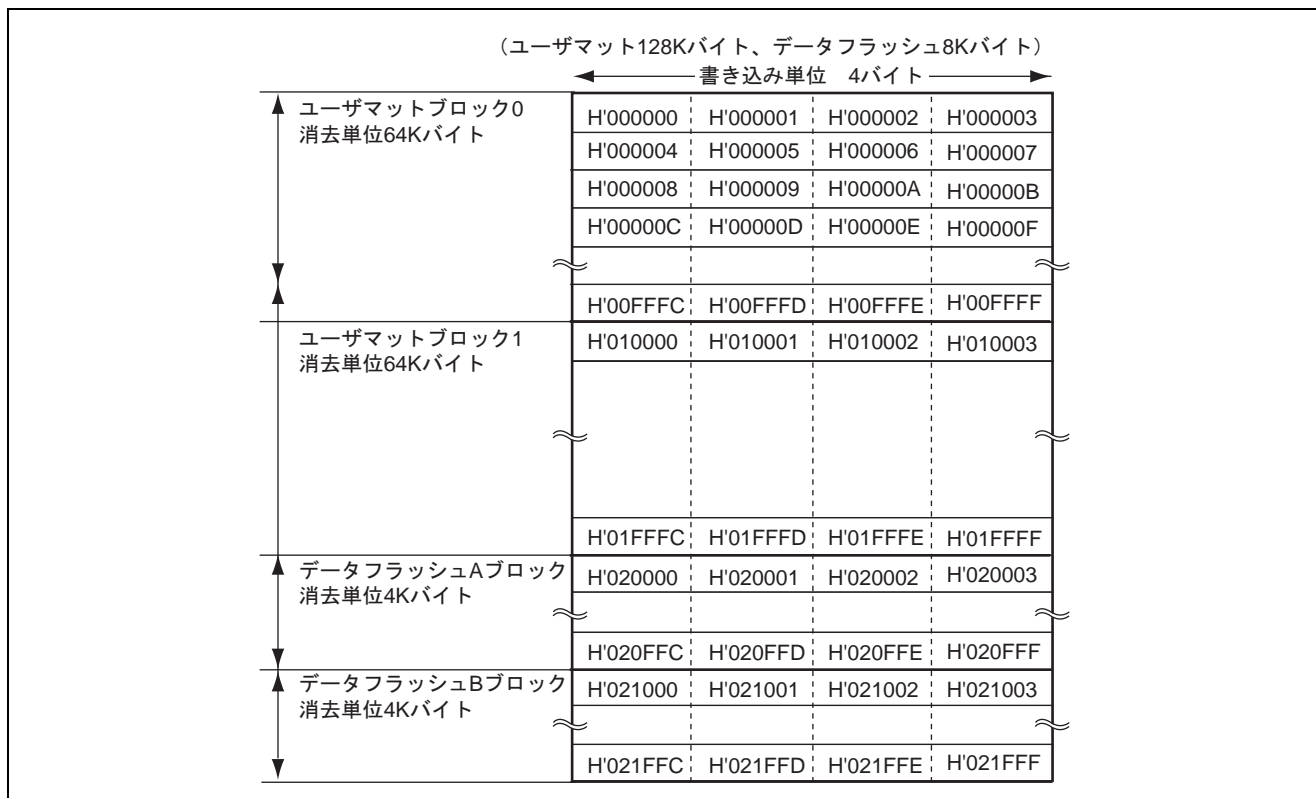


図 27.3 フラッシュメモリのブロック構成

27.4 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリデータブロックプロテクトレジスタ (DFPR)
- フラッシュメモリステータスレジスタ (FLMSTR)
- フラッシュメモリセレクトレジスタ (FMATS)

27.4.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリの書き換え/消去有効無効、書き換え/消去モード、ロックビットの有効無効、書き込み単位の設定を行います。

ビット	ビット名	初期値	R/W	説明
7, 6	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5, 4	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
3	FMLBD	0	R/W	ロックビットの有効を選択するビットです。FMLBD ビットを 1 にするとロックビットプロテクトがかかっているブロックに消去/書き込みを行うことが可能になります。FMLBD ビットとブロックのロックビットの関係は表 27.1 を参照してください。消去/書き込み不可の状態ではイレーズ/プログラムコマンドを実行すると、コマンドシーケンスエラーとなります。 0: ロックビット有効 1: ロックビット無効
2	FMWUS	1	R/W	FMWUS ビットを 0 にするとバイト命令でソフトウェアコマンドを発行できます。FMWUS ビットを 1 にするとワード命令でソフトウェアコマンドを発行できます。ソフトウェアコマンドについては「27.7 ソフトウェアコマンド」を参照してください。 0: バイト命令書き換え 1: ワード命令書き換え
1	—	0	R/W	リザーブビット 初期値を変更しないでください。
0	FMCM DEN *1 *2 *3	0	R/W	フラッシュメモリソフトウェアコマンド許可ビット このビットを 1 (ユーザプログラムモード) にすると、コマンドの受け付けが可能になります。データフラッシュへソフトウェアコマンドを発行する場合、「27.4.2 フラッシュメモリデータブロックプロテクトレジスタ (DFPR)」を設定してください。 0: フラッシュメモリソフトウェアコマンド禁止 1: フラッシュメモリソフトウェアコマンド許可

- 【注】 *1 1にするときは一度0をライトした後続けて1をライトしてください。このとき割り込みが入らないようにしてください。
- *2 FLMSTR レジスタのFMRDY ビットが0から1になるときに0になります。
- *3 FMCMDEN ビットを1にする場合は、必ずプログラムをRAM上で実行してください。

表 27.1 FMLBD とロックビットの関係と消去／書き込み動作

FMLBD	ロックビット	消去／書き込み処理
1	—	消去／書き込み可能
0	1 (消去状態)	消去／書き込み不可
	0 (書き込み状態)	

27.4.2 フラッシュメモリデータブロックプロテクトレジスタ (DFPR)

DFPR はデータフラッシュに対する書き換えをブロック単位で制御するレジスタです。データフラッシュに対する書き換え前にプロテクトを解除してください。

ビット	ビット名	初期値	R/W	説明
7~2	—	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です
1	DBPT1	0	—	データフラッシュ B E/W 禁止ビット* 0: データフラッシュ B E/W 許可 1: データフラッシュ B E/W 禁止 DBPT1 ビットを0にクリアするときは、一度1をライトした後、続けて0をライトしてください。このとき割り込みが入らないようにしてください。
0	DBPT0	0	R/W	データフラッシュ A E/W 禁止ビット* 0: データフラッシュ A E/W 許可 1: データフラッシュ A E/W 禁止 DBPT0 ビットを0にクリアするときは、一度1をライトした後、続けて0をライトしてください。このとき割り込みが入らないようにしてください。

- 【注】 * DBPT1、DBPT0 ビットは、FMCMDEN ビットが0→1になるときに1になります。
データフラッシュの書き換えを行う前にデータフラッシュのマットに対応するビットを再度0にクリアしてください。

27.4.3 フラッシュメモリステータスレジスタ (FLMSTR)

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて0	R/W	リザーブビット 初期値を変更しないでください。
5	FMEBSF	0	R	イレーズ・ブランクチェックステータスフラグ イレーズ／ブランクチェックコマンド実行時の状況を示す読み出し専用ビットです。 0：正常終了 1：エラー終了 [セット条件] ・ イレーズコマンドを実行し、正しく消去されなかったとき ・ ブランクチェックコマンドを実行し、指定ブロックがブランクではなかったとき [クリア条件] ・ クリアステータスコマンドを発行したとき
4	FMERSF	0	R	イレーズサスペンドフラグ 0：イレーズサスペンド以外 1：イレーズサスペンド中
3	FMPRSF	0	R	プログラムステータスフラグ 0：正常終了 1：エラー終了
2	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
1	FMDATRDY	1	R	フラッシュメモリデータフラッシュレディ／ビジーステータス データフラッシュの動作状態を示すビットです。 0：ビジー状態 1：レディ状態 [セット条件] ・ データフラッシュが書き込み／消去動作中以外のとき [クリア条件] ・ データフラッシュが書き込み／消去動作中のとき
0	FMRDY	1	R	フラッシュメモリレディ／ビジーステータス フラッシュメモリの動作状態を示すビットです。 0：ビジー状態 1：レディ状態 [セット条件] ・ フラッシュメモリが書き込み／消去動作中以外のとき [クリア条件] ・ フラッシュメモリが書き込み／消去動作中のとき

【注】 FMERSF、FMPRSF ビットはクリアステータスコマンドを実行すると0になります。

27.4.4 フラッシュマツトセレクトレジスタ (FMATS)

FMATS は、ユーザマツト/ユーザブツトマツトのどちらかを選択するかを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	MS7	0/1*	R/W	マツトセレクト
6	MS6	0	R/W	H'AA 以外の場合ハユーザマツト選択状態、H'AA が書かれている状態ハユーザブツトマツト選択状態です。FMATS に値を書き込むことによりマツト切り替えが発生します。マツト切り替えハ、必ず「27.11 ユーザマツトとユーザブツトマツトの切り替え」に従ってください（ユーザプログラムモードでのユーザブツトマツトの書き換えハ、FMATS でユーザブツトマツトを選択してもできません。ユーザブツトマツトの書き換えハ、ブツトモードからイタモードで実施してください）。
5	MS5	0/1*	R/W	
4	MS4	0	R/W	
3	MS3	0/1*	R/W	
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	

【注】 * ユーザブツトモードのときは 1 になります。それ以外のときは 0 になります。

27.5 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本 LSI は図 27.4 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、書き込み/消去はできません。フラッシュメモリの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、ユーザブートモード、およびライターモードがあります。表 27.2 にブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードの相違点を示します。

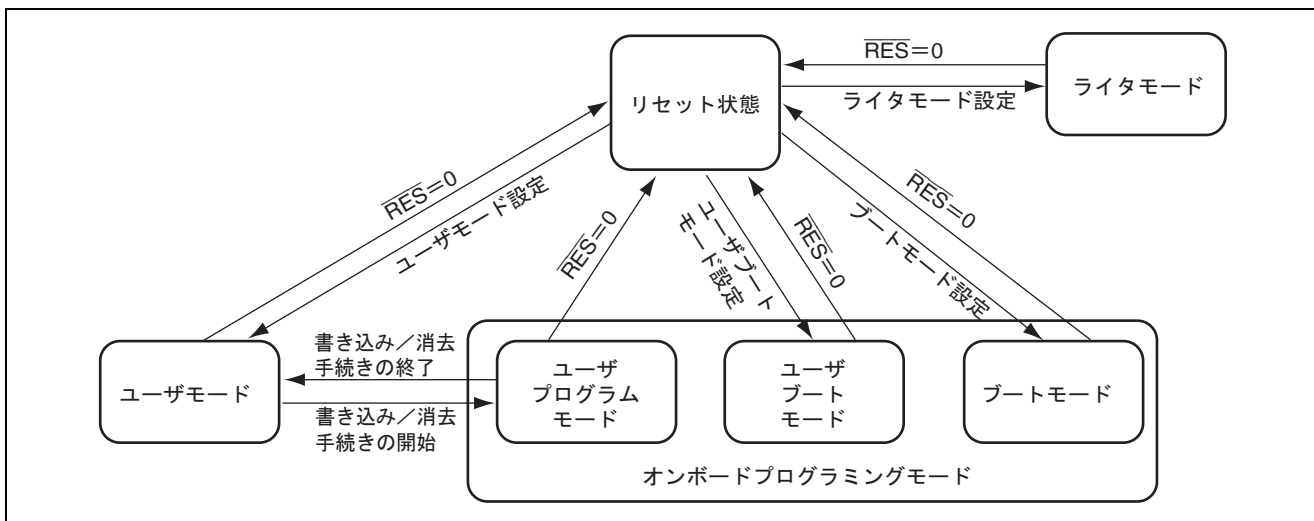


図 27.4 フラッシュメモリに関する状態遷移

表 27.2 フラッシュメモリ書き換えモードの概要

	ブートモード	ユーザプログラム モード	ユーザブート モード	ライターモード
機能概要	内蔵 SCI インタフェースを使用し てユーザマットを書き換える 標準シリアル入出力モード 1: クロック同期シリアル I/O 標準シリアル入出力モード 2: クロック非同期シリアル I/O	CPU がソフトウェアコマンドを実行すること により、ユーザマットを書き換える EW0 モード: フラッシュメモリ以外の領域 で書き換え可能		専用パラレル ライターを使用して ユーザマットを 書き換える
書き込み/消去環境	オンボード			PROM ライタ
書き込み/ 消去可能マット	ユーザマット データフラッシュ ユーザブートマット	ユーザマット データフラッシュ	ユーザマット データフラッシュ	ユーザマット ユーザブートマット
全面消去	○ (自動)	○	○	○ (自動)
ブロック分割消去	○* ¹	○	○	×
書き込みデータ転送	ホストから SCI 経由	任意のデバイス経由	任意のデバイス経由	ライター経由
リセット起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザブート マット* ²	—
ユーザモードへの遷移	モード設定変更 & リセット	FMCM DEN ビット 設定変更	モード設定変更 & リセット	—

【注】 *1 いったん、全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 本 LSI では、ユーザモードにて規定の書き込み/消去の手続きを開始したところから手続きを終了したところまでをユーザプログラムモードを規定します。書き込み/消去手続きの詳細は、「27.6.1 ユーザプログラミングモード」を参照してください。

27.6 オンボードプログラミングモード

モード端子 (MD2、MD1) をオンボードプログラミングモードに設定し、リセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミングモードへ遷移します。オンボードプログラミングモードには、ブートモード、ユーザブートモード、およびユーザプログラムモードの3種類の動作モードがあります。

各動作モードへの設定方法を表 27.3 に示します。フラッシュメモリに対する各モードへの状態遷移は、図 27.4 を参照してください。

表 27.3 オンボードプログラミングモードの設定方法

モード設定	MD2	MD1	NMI
ブートモード	1	0	1
ユーザプログラムモード	0	1	0/1
ユーザブートモード	1	0	0

27.6.1 ユーザプログラミングモード

ユーザプログラミングモードでは、CPU がソフトウェアコマンドを実行することにより、フラッシュメモリを書き換えることができます。したがって、ROM ライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザマット、データフラッシュを書き換えることができます。

プログラム、ブロックイレースのコマンドは、ユーザプログラムの各ブロック領域のみに対して実行してください。

ユーザプログラムモードには、イレースライト 0 モード (EW0 モード) があります。表 27.4 に EW0 モードの仕様を示します。

表 27.4 EW0 モードの仕様

項目	EW0 モード
動作モード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザマット
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外 (RAM など) へ転送してから実行する必要あり* ²
書き換えられる領域	ユーザマット、データフラッシュ
ソフトウェアコマンドの制限	なし
プログラム、イレース後のモード	リードステータスレジスタモード
自動書き込み、自動消去時の CPU 状態	動作* ¹
フラッシュメモリのステータス検知	プログラムで FLMSTR レジスタの FMERSF、FMERSE、FMESBF ビットをリード

【注】 *1 割り込みが起こらないようにしてください。

*2 ユーザプログラムモードでは、書き換え制御プログラムを実行する領域は内部 RAM、または外部領域で実行してください。

27.6.2 EW0 モード

RAMへ書き換えプログラムを転送し、RAM上のプログラムへ分岐したところで、FLMCR1のFMCMDENビットを1（ソフトウェアコマンド許可）にするとEW0モードになります。FLMCR1レジスタのFMCMDENビットを1（ユーザプログラミングモードを有効）にするとユーザプログラミングモードになり、コマンドの受け付けが可能となります。図27.5にEW0モードの設定と解除方法を示します。

プログラム、イレース動作の制御はソフトウェアコマンドで行います。プログラム、イレースの終了時の状態などはFLMSTRレジスタまたはステータスレジスタで確認できます。

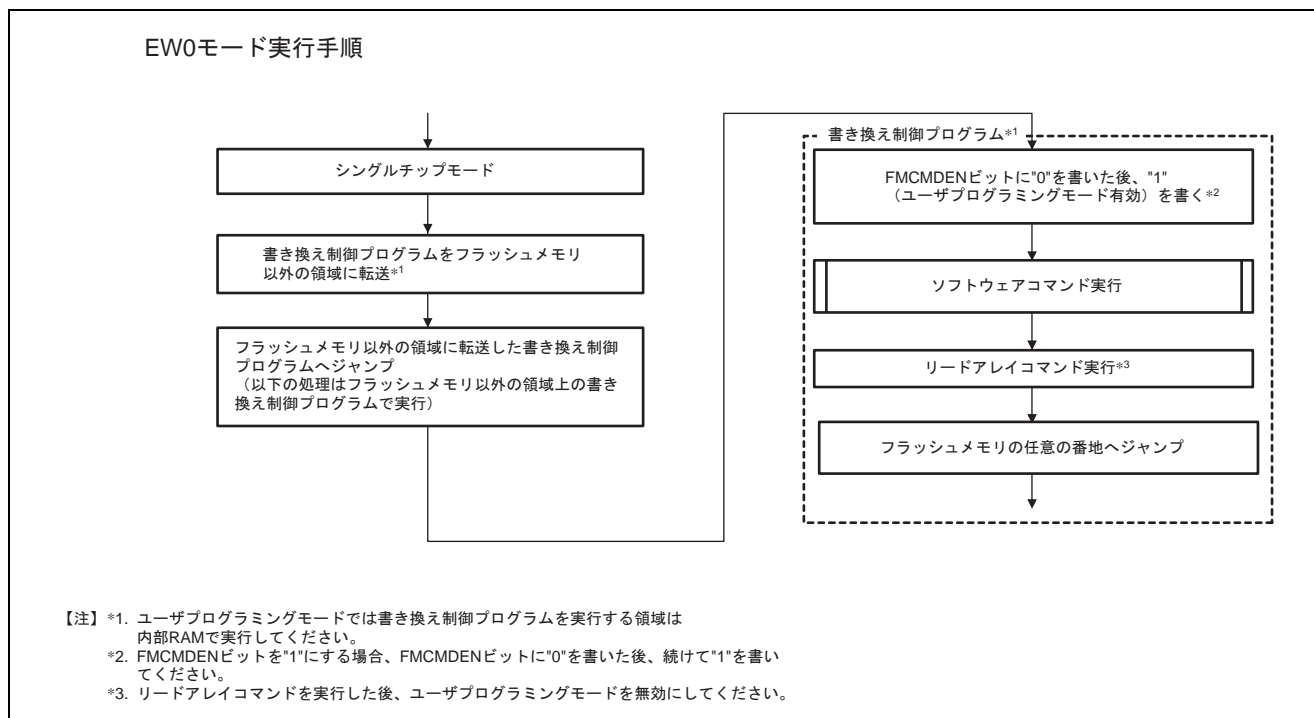


図 27.5 EW0 モードの設定と解除方法

27.7 ソフトウェアコマンド

表 27.5 にワード命令ソフトウェアコマンド一覧を、表 27.6 にバイト命令ソフトウェアコマンド一覧を示します。ワード命令を使用するか、バイト命令を使用するかは、FLMCR1 の FMWUS ビットで指定します。

表 27.5 ソフトウェアコマンド一覧表（ワード命令 FMWUS=1）

ソフトウェア コマンド	第 1 バスサイクル			第 2 バスサイクル			第 3 バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ	モード	アドレス	データ
イレーズ	ライト	x	H'2020	ライト	BA	H'D0D0			
プログラム	ライト	WA	H'4141	ライト	WA	WD1	ライト	WA	WD2
ブランクチェック	ライト	x	H'2525	ライト	BA	H'D0D0			
ロックビットプログラム	ライト	x	H'7777	ライト	BA	H'D0D0			
リードアレイ	ライト	x	H'FFFF						
クリアステータス	ライト	x	H'5050						
ロックビットリード	ライト	x	H'7171	リード	BA	H'xxxx			

【記号説明】

- x : ユーザマットまたはデータフラッシュ内の任意の番地
- xx : 8 ビットの任意のデータ
- BA : ブロックの任意の番地
- WA : 書き込み番地（アドレス下位 2 ビットは無視されます。各コマンドサイクルの書き込み番地は同一番地を設定してください。）
- WDn : 書き込みデータ（16 ビット）

表 27.6 ソフトウェアコマンド一覧表 (バイト命令 FMWUS=0)

ソフトウェア コマンド	第1バスサイクル			第2バスサイクル			第3バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ	モード	アドレス	データ
イレーズ	ライト	x	H'20	ライト	BA	H'D0			
プログラム	ライト	WA	H'41	ライト	WA	WD1	ライト	WA	WD2~ WD4
ブランクチェック	ライト	x	H'25	ライト	BA	H'D0			
ロックビットプログラム	ライト	x	H'77	ライト	BA	H'D0			
リードアレイ	ライト	x	H'FF						
クリアステータス	ライト	x	H'50						
ロックビットリード	ライト	x	H'71	リード	BA	H'xx			

【記号説明】

- x : ユーザマットまたはデータフラッシュ内の任意の番地
- xx : 8ビットの任意のデータ
- BA : ブロックの任意の番地
- WA : 書き込み番地 (アドレス下位 2 ビットは無視されます。各コマンドサイクルの書き込み番地は同一番地を設定してください。)
- WDn : 書き込みデータ (8 ビット)

27.7.1 リードアレイ

フラッシュメモリのデータが読めるモードへ遷移するコマンドです。

第一コマンドサイクルで HFF を書くと、リードアレイモードになります。次のコマンドサイクル以降で指定番地を読み出すと、指定した番地のデータが読み出せます。

リードアレイモードは他のコマンドが書かれるまでは保持されるので、複数の番地を続けて読み出せます。

27.7.2 ロックビットリードコマンド

フラッシュメモリのロックビットが読めるモードへ遷移するコマンドです。

第一コマンドサイクルで H71 をブロックの任意の番地に書くと指定されたブロックに対しロックビットリードを開始します。

ロックビットリードモードに遷移した後、指定ブロックアドレス BA をリードすると、リードしたデータのビット 14 の値でロックビットの値を知ることができます。ROM 上ではこのコマンドを実行しないでください。

27.7.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第 1 バスサイクルで H'50 を書くと、FLMSTR レジスタの FMERSF、FMPSRF は 0 になります。

27.7.4 プログラム

4 バイト単位でフラッシュメモリにデータを書き込むコマンドです。

コマンドおよびデータのサイズは、FLMCR1 の FMWUS ビットで設定できます。FMWUS ビットが 0 の場合、バイト命令での書き込みになります。第一コマンドサイクルで H'41 を書き、第二コマンドサイクル～第五コマンドサイクルで書き込み番地にデータを書くと自動的に書き込みとベリファイを開始*します。

FMWUS ビットが 1 の場合、ワード命令での書き込みになります。第一コマンドサイクルで H'4141 を書き、第二コマンドサイクル・第三コマンドサイクルで書き込み番地にデータを書くと、書き込みとベリファイを開始*します。

プログラムの終了は FLMSTR の FMRDY ビットで確認できます。FMRDY ビットは、書き込み期間中は 0、終了後は 1 になります。書き込み終了後、FLMSTR の FMPSRF ビットで書き込みの結果を知ることができます（「27.8 フルステータスチェック」参照）。図 27.6 にプログラムフローチャートを示します。

すでにプログラムされた番地に対する追加書き込みはしないでください。

また、指定されたブロックのロックビットが 0（ロック状態）で FMLBD ビットが 0（ロックビット有効）の場合、指定ブロックに対するプログラムコマンドは受け付けられません。

【注】 * 書き込み番地の下位 2 ビットは無視されます。

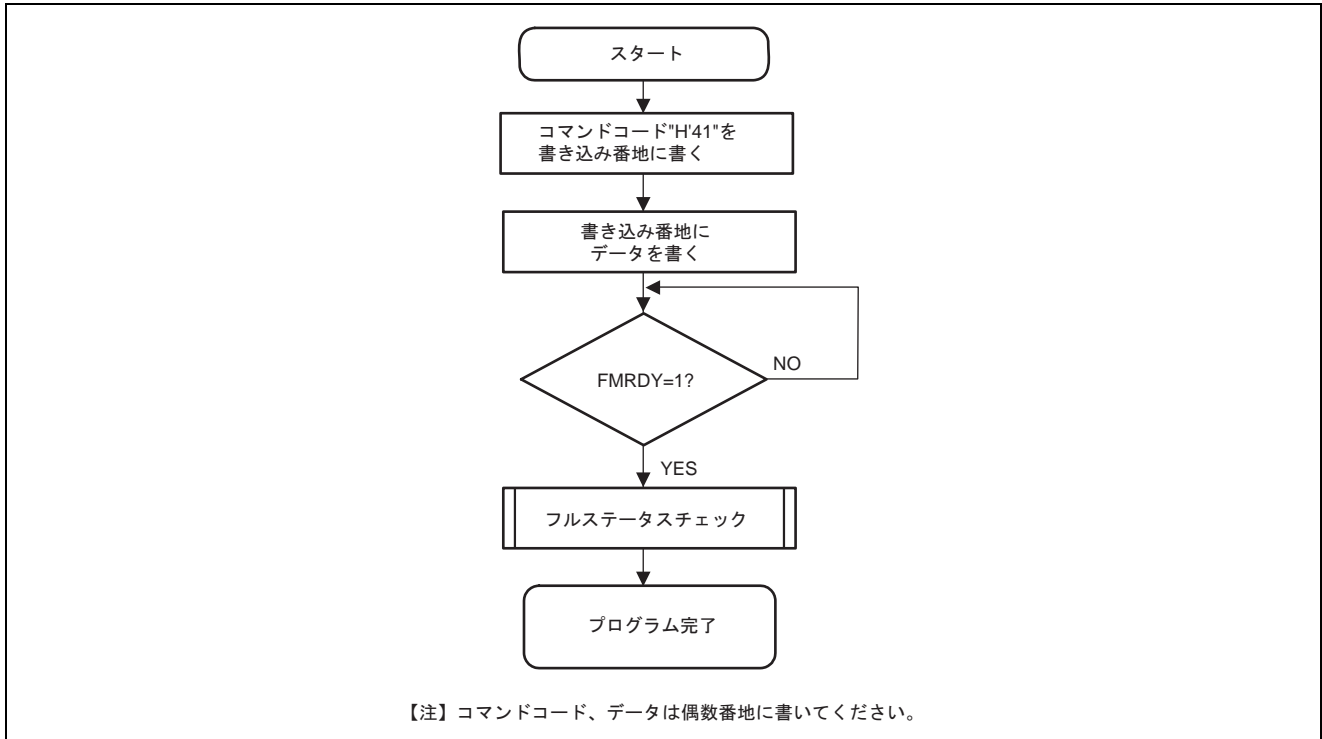


図 27.6 プログラムフローチャート

27.7.5 ブロックイレース

第1 コマンドサイクルで H'20、第2 コマンドサイクルで H'D0 をブロックの任意の番地に書くと指定されたブロックに対し自動的に消去／消去ベリファイを開始します。

消去の終了は FLMSTR の FMRDY ビットで確認できます。FMRDY ビットは、消去期間中は 0、終了後は 1 になります。

消去終了後、FLMSTR の FMEBSF ビットで消去の結果を知ることができます（「27.8 フルステータスチェック」参照）。

また、指定されたブロックのロックビットが 0（ロック状態）で FMLBD ビットが 0（ロックビット有効）の場合、指定ブロックに対するイレースコマンドは受け付けられません。

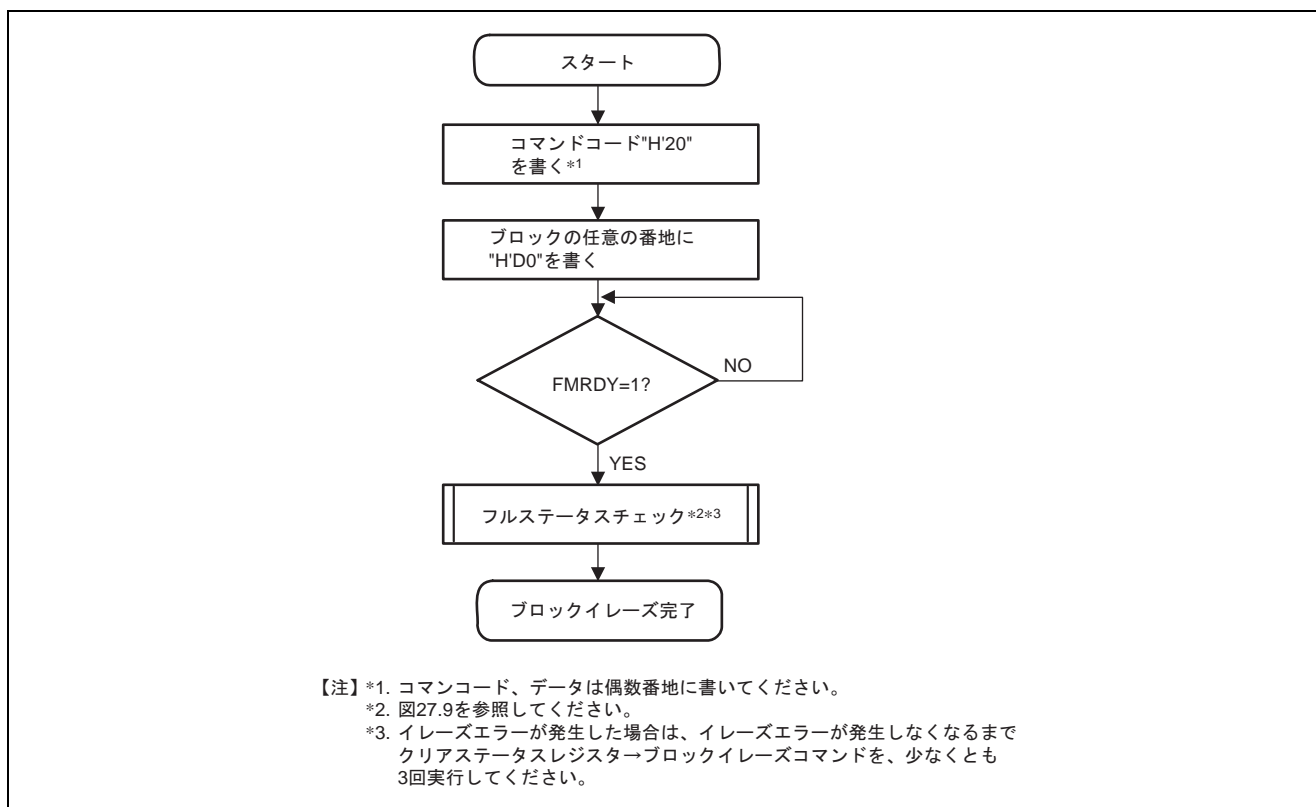


図 27.7 ブロックイレースフローチャート

27.7.6 ブロックブランクチェック

第一コマンドサイクルで H'25、第二コマンドサイクルで H'D0 をブロックの任意の番地を書く指定されたブロックに対しブランクチェックを開始します。

ブランクチェックの終了は FLMSTR の FMRDY ビットで確認できます。FMRDY ビットは、ブランクチェック期間中は 0、終了後は 1 になります。

ブランクチェック終了後、FLMSTR の FMERSF ビットでブランクチェックの結果を知ることができます（「27.8 フルステータスチェック」参照）。また、FLMSTR の FMRDY ビットはブランクチェック開始と共に 0 となり、終了と共に 1 に戻ります。

図 27.8 にブロックブランクチェックフローチャートを示します。

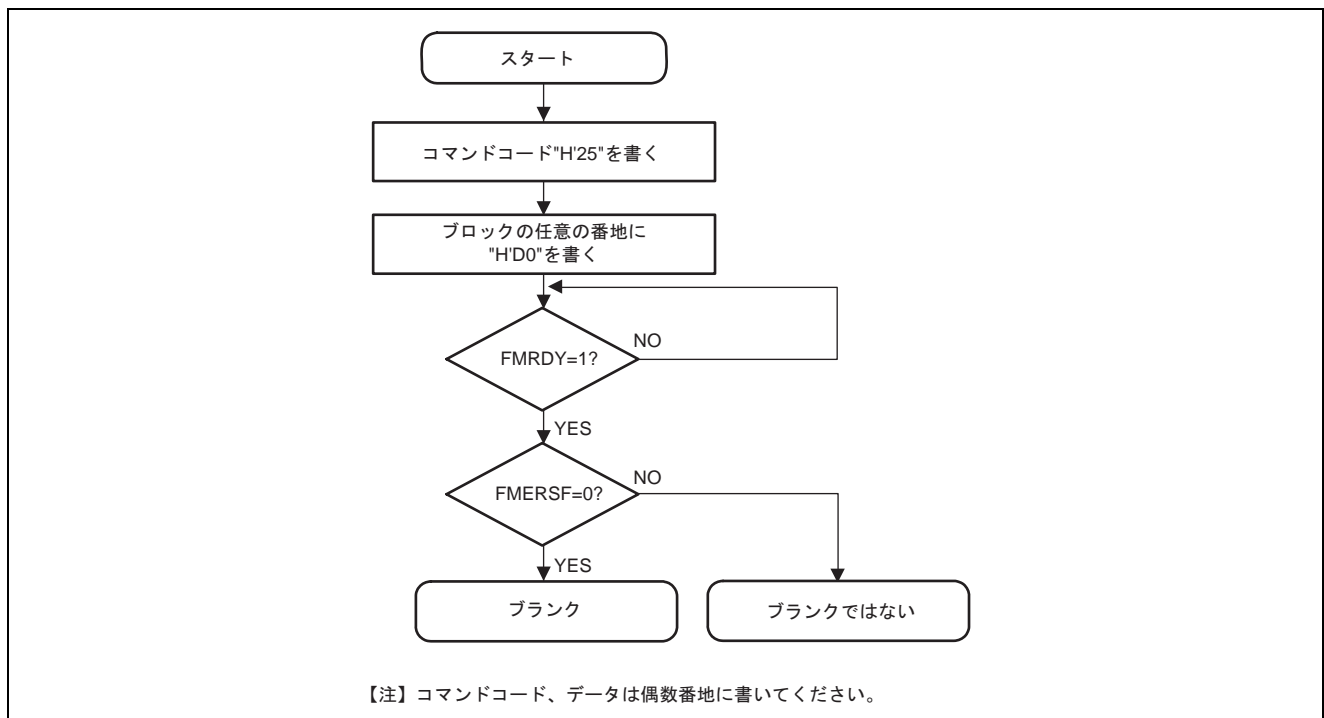


図 27.8 ブロックブランクチェックフローチャート

27.7.7 ロックビットプログラムコマンド

第一コマンドサイクルで H'77、第二コマンドサイクルで H'D0 をブロックの任意の番地に書くと指定されたブロックに対しロックビット書き込みを開始します。

ロックビット書き込みの終了は FLMSTR の FMRDY ビットで確認できます。FMRDY ビットは、ロックビット書き込み期間中は 0、終了後は 1 になります。

ロックビット書き込み終了後、FLMSTR の FMPRSF ビットで書き込みの結果を知ることができます（「27.8 フルステータスチェック」を参照）。

図 27.9 にロックビット書き込みフローを示します。また、FLMSTR の FMRDY ビットはロックビット書き込み開始と共に 0 となり、終了と共に 1 に戻ります

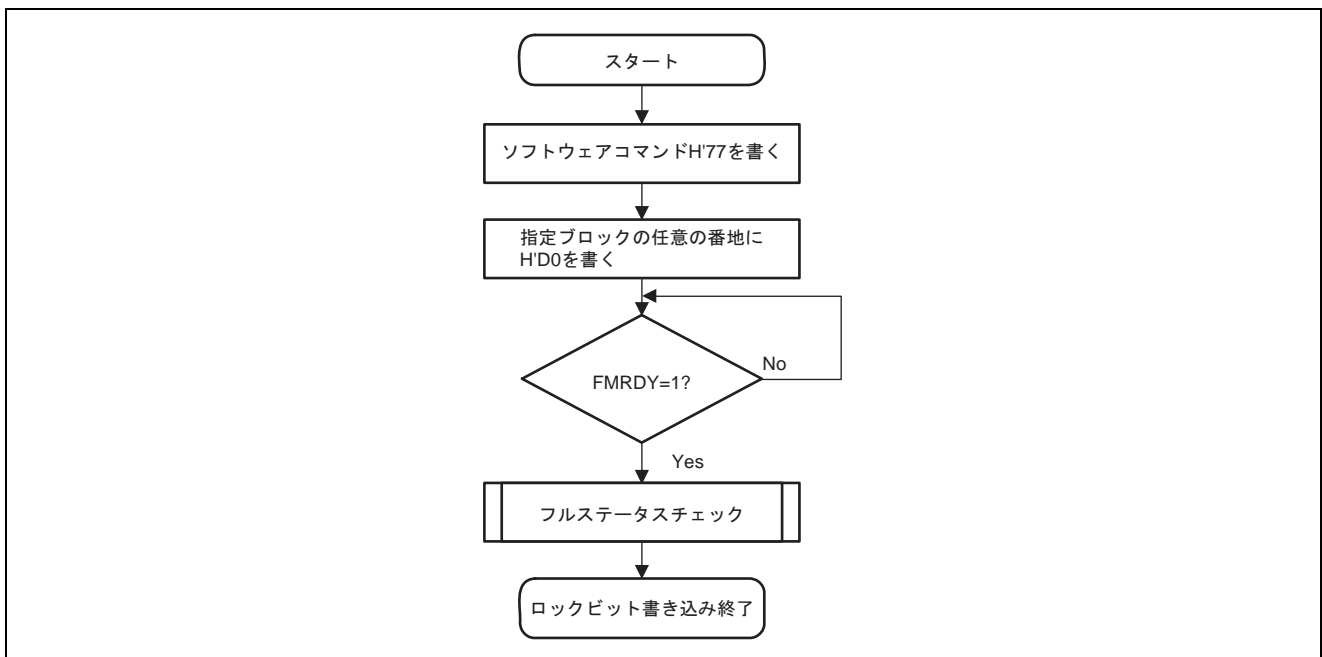


図 27.9 ロックビット書き込みフロー

27.7.8 シーケンサステータス (FMRDY ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレース、ブロックブランクチェック実行中には0、それ以外のときは1になります。

27.7.9 イレースステータス (FMEBSF ビット)

「27.8 フルステータスチェック」を参照してください。

27.7.10 プログラムステータス (FMPRSF ビット)

「27.8 フルステータスチェック」を参照してください。

27.8 フルスステータスチェック

各コマンド（リードアレイ、ロックビットリード、クリアステータスを除く）を発行した場合は、フルステータスチェックを行い、コマンド実行によるエラーの有無を確認します。

エラーが発生すると、FLMSTR の FMEBSF ビットと FMPSRF ビットが 1 になり、各エラーの発生を示します。

表 27.7 にエラーと FLMSTR の状態を、図 27.10 にフルステータスチェックのフローと各エラー発生時の対処方法を示します。

表 27.7 エラーと FLMSTR の状態

FLMSTR の状態		エラー	エラー発生条件
FMEBSF	FMPSRF		
0	0	正常終了	-
0	1	プログラムエラー	プログラムコマンドを実行し、正しく書き込みされなかったとき
		ロックビットプログラムエラー	ロックビットプログラムコマンドを実行し、正しく書き込みされなかったとき
1	0	イレーズエラー	イレーズコマンドを実行し、正しく消去されなかったとき
		ブランクチェックエラー	ブランクチェックコマンドを実行し、指定ブロックがブランクではなかったとき
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> コマンドが正しく書き込まれなかったとき 2 サイクルのコマンドの最終サイクルでデータに書いてもよい値 (H'D0 または H'FF) 以外のデータを書いたとき

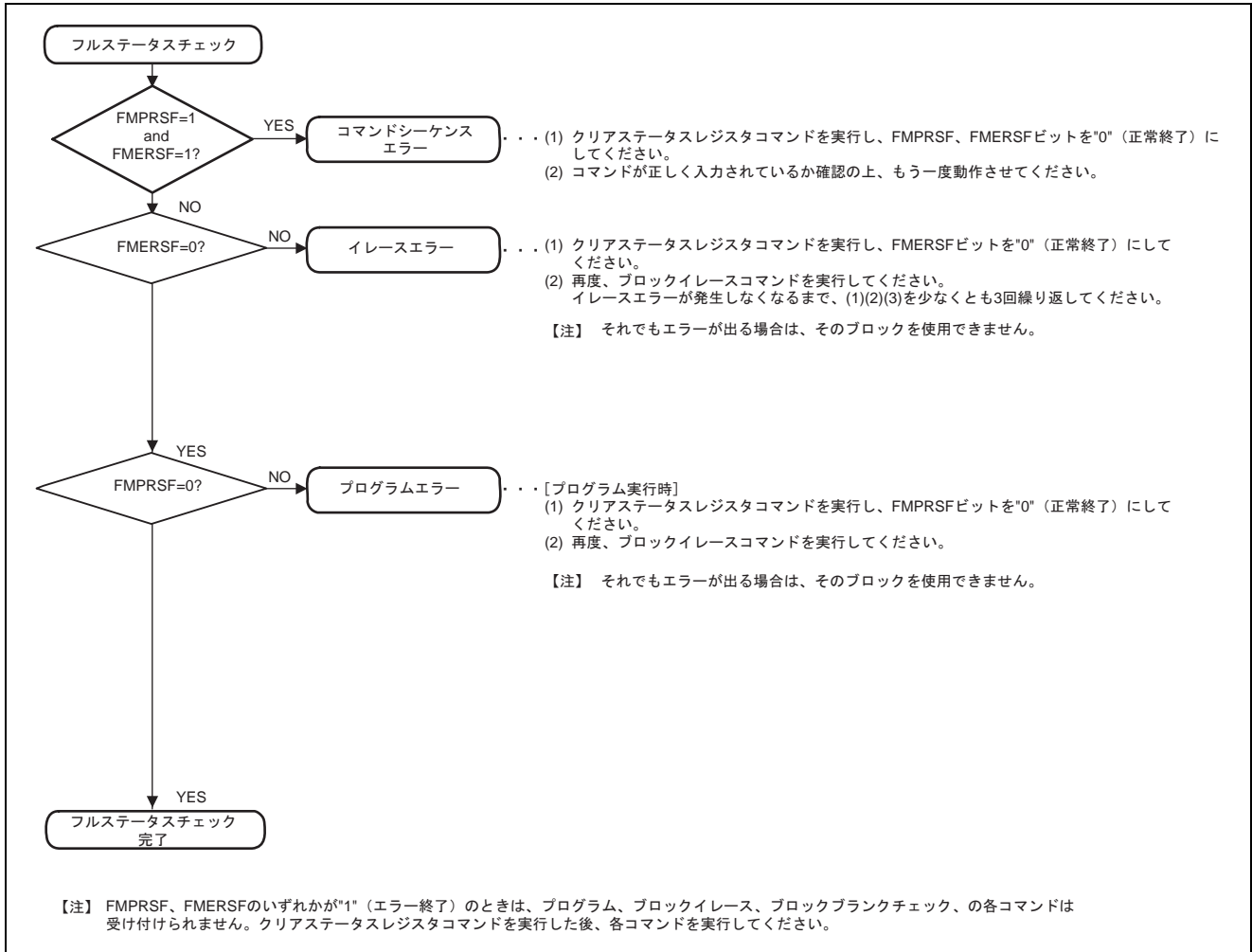


図 27.10 フルステータスチェックフローチャート、各エラー発生時の対処方法

27.9 ユーザプログラムモードの注意事項

27.9.1 割り込み（EW0 モード）禁止

- NMI割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFLMCRIレジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。NMI割り込み、ウォッチドッグタイマ割り込み発生時、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

27.9.2 アクセス方法

FMCMDEN ビットを 1 にする場合、対象となるビットに 0 を書いた後、続けて 1 を書いてください。なお、0 を書いた後、1 を書くまでに割り込みが入らないようにしてください。

27.9.3 書き換え（EW0 モード）

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、オンボードプログラムモードまたはライターモードを使用してください。

27.9.4 コマンド、データの書き込み

コマンドコード、データは 0、4、8、C・・・番地に書いてください。

27.9.5 ソフトウェアスタンバイモード

ストップモードに移行する場合は、FMCMDEN ビットを 0（ユーザプログラムモード無効）にしてから、ソフトウェアスタンバイモードに移行してください。

27.10 ブートモード

ブートモードは、SCI を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザマットやユーザブートマットへの書き込み／消去を行うモードです。

ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。使用するシリアル通信は調歩同期式モードです。図 27.11 にブートモードのシステム構成を示します。ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

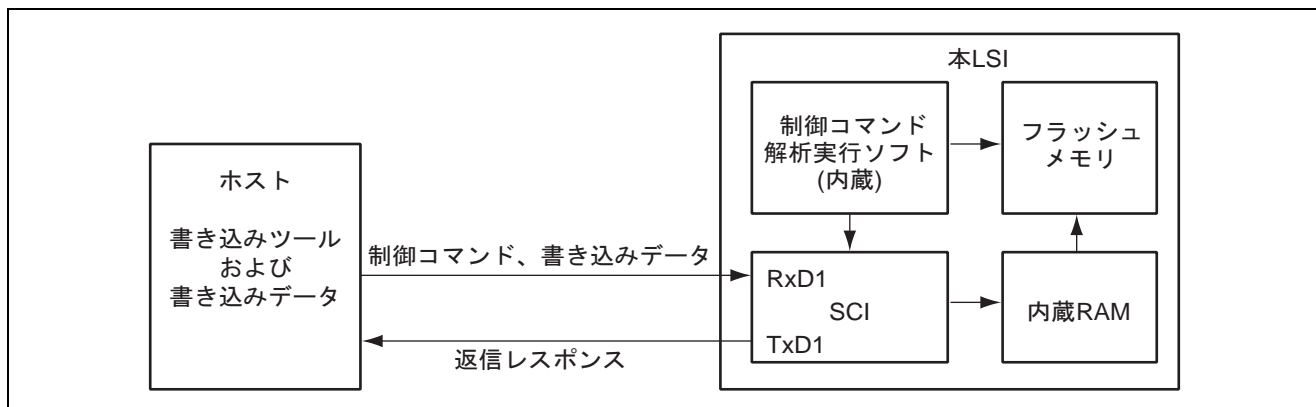


図 27.11 ブートモードのシステム構成図

ホストのシリアルインタフェース設定

SCI は調歩同期式モードに設定され、シリアル送信／受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」です。

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。

本 LSI はブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データ (H'00) のLow 期間を測定してビットレートを計算し、SCI のビットレートをホストのビットレートに合わせ込みます。

ビットレートの合わせ込みが終了すると、調整終了の合図としてホストへ H'00 を 1 バイト送信します。ホストは調整終了の合図を正常に受信したら、本 LSI へ H'55 を 1 バイト送信してください。正常に受信できなかった場合は、ブートモードを再起動してください。ホスト側のビットレートと本 LSI のシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合があります。このため、ホストの転送ビットレートと本 LSI のシステムクロック周波数を表 27.8 の範囲としてください。



図 27.12 ビットレートの自動合わせ込み

表 27.8 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
9,600 bps	8~20MHz
19,200 bps	8~20MHz

27.10.1 ユーザブートモード

本 LSI にはブートモード、ユーザプログラムモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み/消去が可能なマットはユーザマットとデータフラッシュだけです。ユーザブートマットの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 27.3 を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマット、データフラッシュ、ユーザブートマットの状態チェックが行われます。

この間の NMI およびその他の割り込みは受け付けられません。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、FMATS レジスタには H'AA が設定されています。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替えが必要です。ただし、書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態へ切り替えることはできません。

ユーザブートモードでのユーザマットの書き込み手続きを図 27.13 に示します。

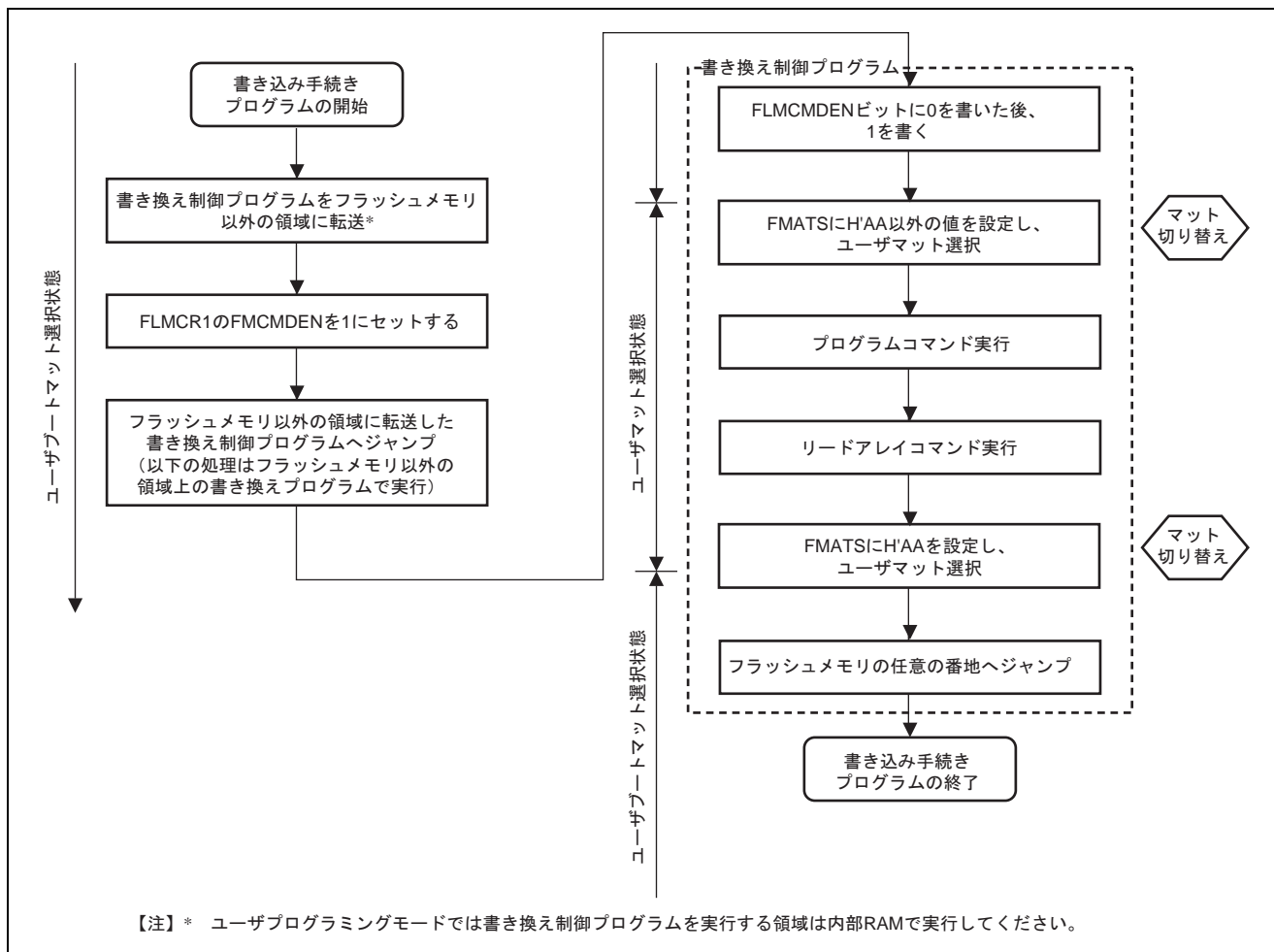


図 27.13 ユーザブートモードでのユーザーマットの書き込み手順

図 27.13 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で走行させる必要があります。ユーザマット書き込み後、再びユーザブートマットを選択することはできません。

マット切り替えは、FMATS へ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「27.11 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATSによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 27.14 に示します。

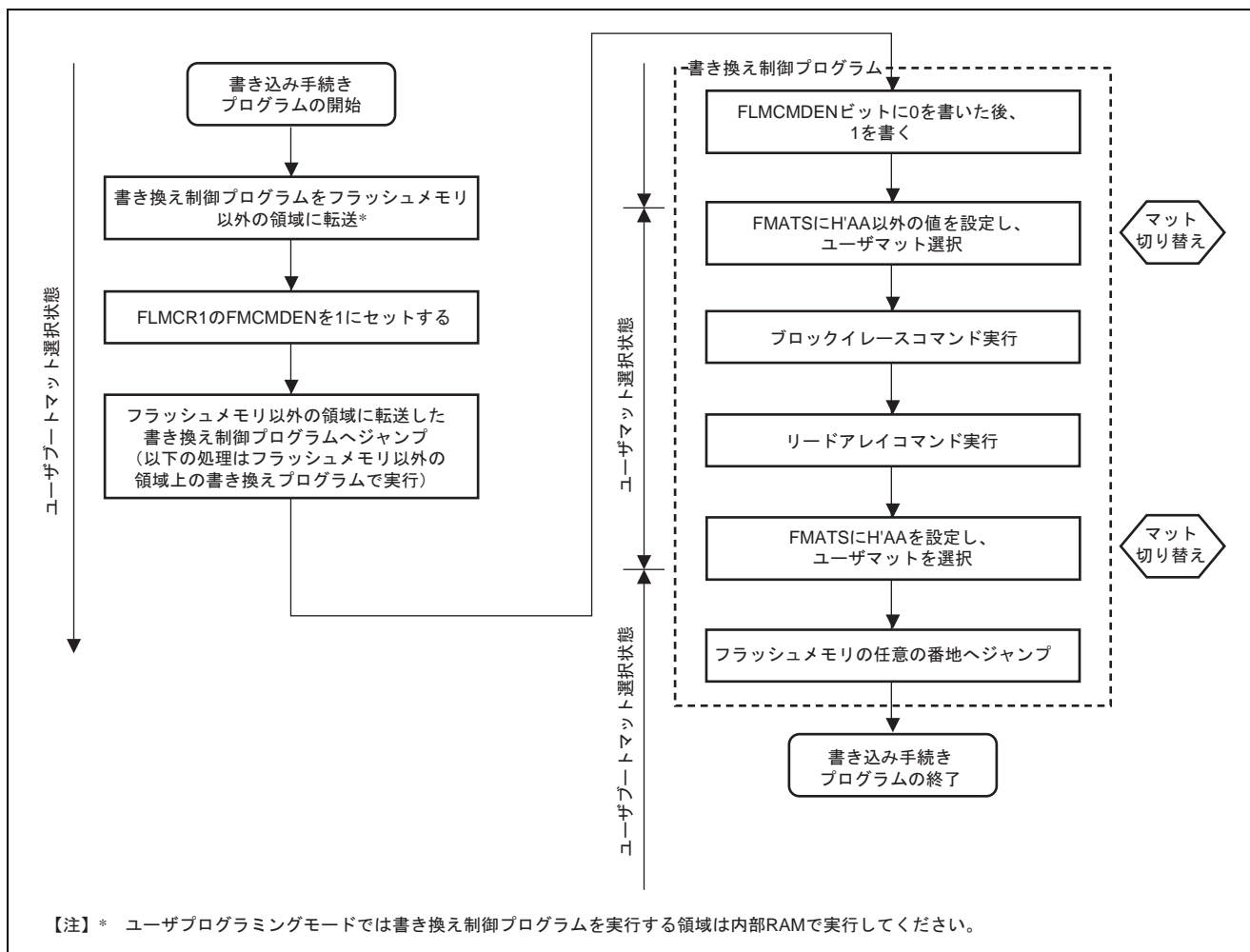


図 27.14 ユーザブートモードでのユーザマットの消去手順

図 27.14 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS へ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「27.11 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

27.11 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

1. FMATSによるマット切り替えは、必ず内蔵RAM上で実行してください。
2. 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATS書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。
(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)
3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
4. マット切り替え完了後は、各種割り込みのベクタテーブルも切り替わっていますので注意してください。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。16Kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。16Kバイト空間以上をアクセスした場合、不定値が読み出されます。

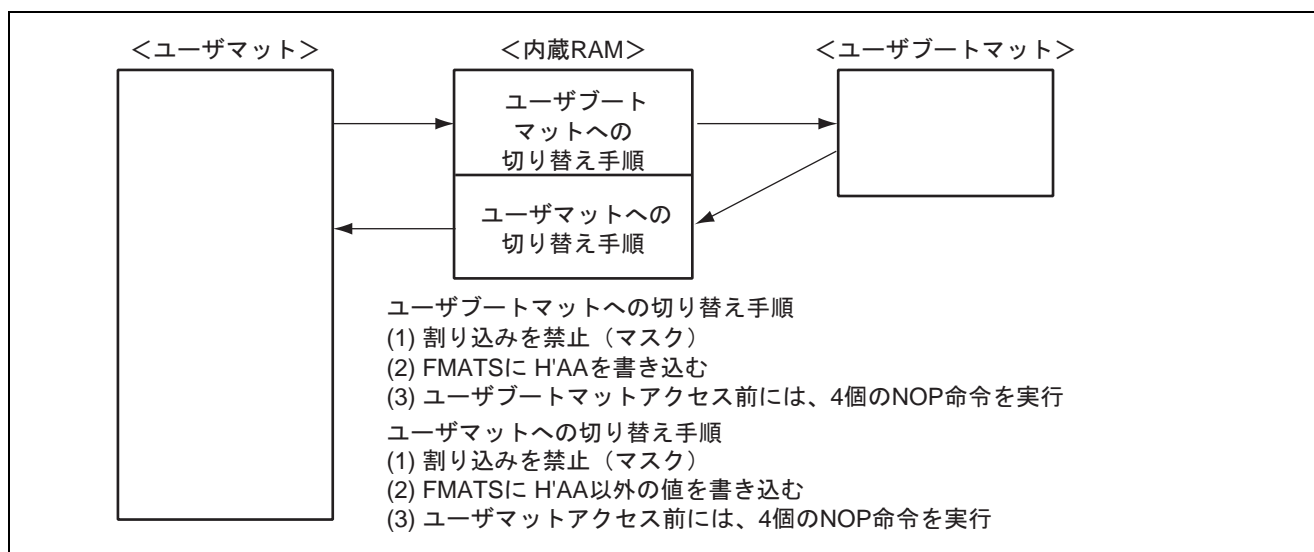


図 27.15 ユーザマット/ユーザブートマットの切り替え

27.12 プロテクト

フラッシュメモリに対する読み込み/書き込み/消去プロテクトの状態にはソフトウェアプロテクトによるもの、ロックビットプロテクトによるものがあります。

27.13 ソフトウェアプロテクト

ソフトウェアでフラッシュメモリコントロールレジスタ (FLMCR1) の FMCMDEN をクリアすることでソフトウェアコマンド無効状態になります。この状態でソフトウェアコマンドを入力してもコマンドは実行されません。

また、フラッシュメモリデータフラッシュプロテクトレジスタ (DFPR) の設定により、データフラッシュはブロック毎にプロテクトが可能です。DFPR の DFPR1 ビットおよび DFPR0 ビットを 1 に設定すると全データフラッシュがプロテクト状態になります。

27.14 ロックビットプロテクト

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMLBD ビットが 0 (ロックビット有効) のとき有効です。ロックビットにより、ブロックごとにプログラム、イレースを禁止 (ロック) できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが0のとき：ロック状態 (そのブロックはプログラム、イレースできない)
- ロックビットデータが1のとき：非ロック状態 (そのブロックはプログラム、イレースできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、0 (ロック状態) に、ブロックを消去すると 1 (非ロック状態) になります。ロックビットデータをコマンドで 1 にできません。

ロックビットデータは、リードロックビットデータコマンドで読めます。

FMLBD ビットを 1 にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります (各ロックビットデータは変化しません)。FMLBD ビットを 0 にすると、ロックビットの機能が有効になります (ロックビットデータは保持されています)。

ビットが 1 の状態で、ブロックイレースコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、各ブロックのロックビットは 1 になります。

各コマンドの詳細は、「27.7 ソフトウェアコマンド」を参照してください。

27.15 ライタモード

プログラム、およびデータの書き込み/消去が可能なモードとして、オンボードプログラミングモードの他にライタモードがあります。ライタモードでは 128K バイトのデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。

書き込み/消去対象マツトは、ユーザマツトとユーザブツトマツトです。

27.16 ブツトモードの標準シリアル通信インタフェース仕様

ブツトモードで起動するブツトプログラムは、ホストと LSI 内蔵の SCI を使ってシリアル通信を行います。ホストとブツトプログラムのシリアル通信インタフェース仕様を以下に示します。

ブツトプログラムは 3 つのステータスを持ちます。

1. ビツトレート合わせ込みステータス

ホストとシリアル通信を行うためにビツトレートを合わせ込みます。ブツトモードで起動するとブツトプログラムが起動しビツトレート合わせ込みステータスになり、ホストからのコマンドを受信しビツトレートの合わせ込みを行います。合わせ込みが終了すると問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスでデバイス、クロックモードとビツトレートを選択します。選択終了後、書き込み/消去ステータス遷移コマンドで書き込み/消去ステータスに遷移します。書き込み/消去ステータスに遷移する前にブツトプログラムは消去関連ライブラリを内蔵 RAM 上に転送し、ユーザマツト、データフラッシュ、ユーザブツトマツトを消去します。

3. 書き込み/消去ステータス

書き込み/消去を行うステータスです。ホストからのコマンドに従って書き込み/消去プログラムを内蔵 RAM に転送し、書き込み/消去を行います。コマンドによりサムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 27.16 に示します。

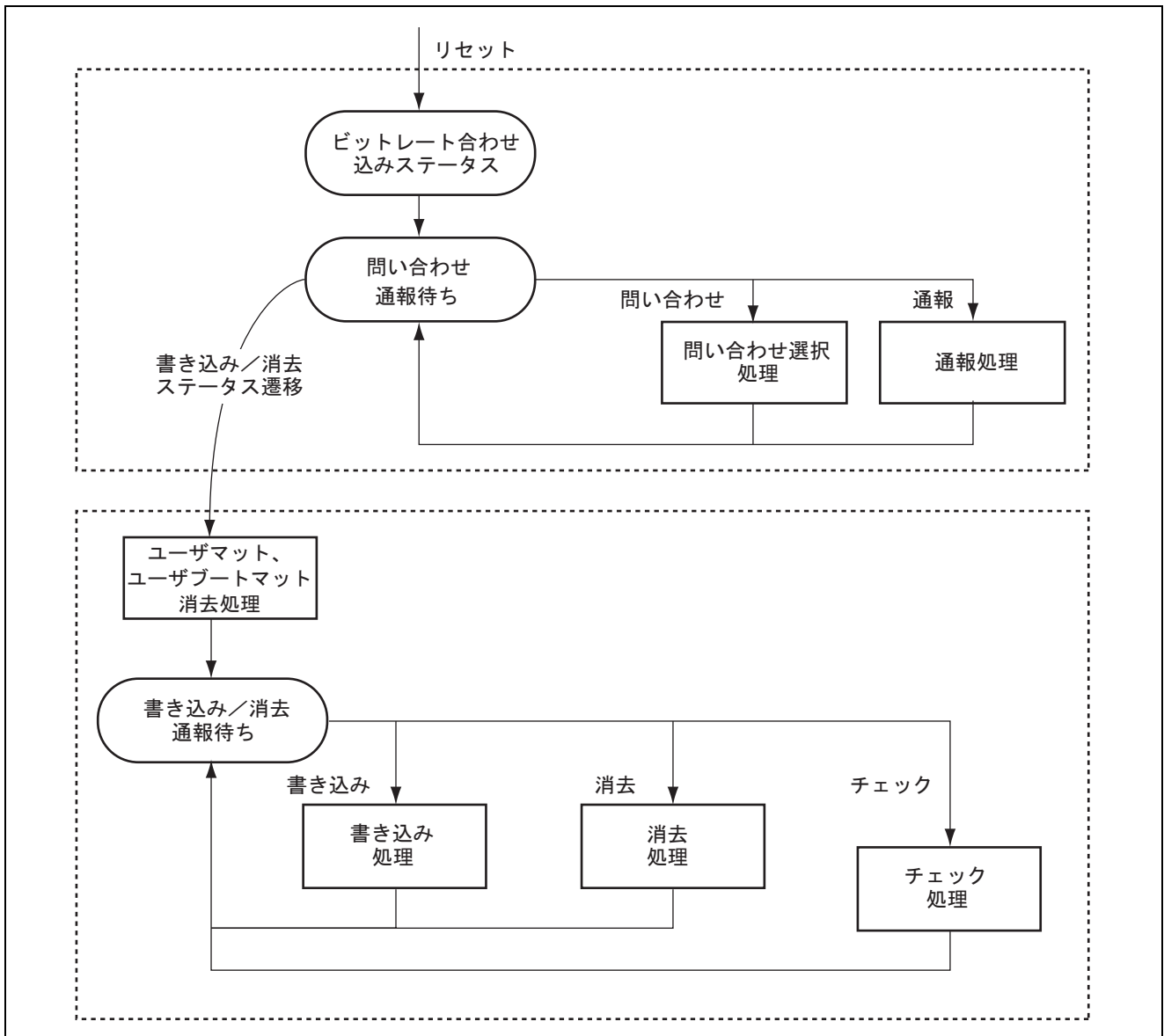


図 27.16 ブートプログラムのステータス

(1) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 の Low 期間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 27.17 に示します。

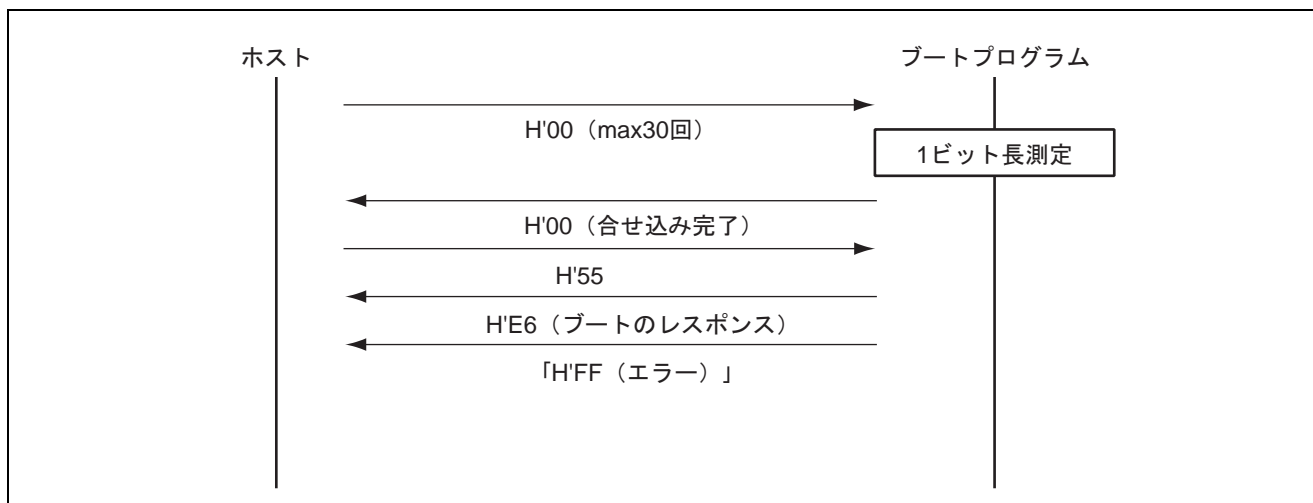


図 27.17 ビットレート合わせ込みのシーケンス

(2) 通信プロトコル

ビットレート合わせ込み終了後のホストとブートプログラムとのシリアル通信プロトコルは次のとおりです。

1. 1文字コマンドまたは1文字レスポンス
1文字のコマンドまたはレスポンスで、問い合わせと正常終了の ACK があります。
2. n文字コマンドまたはn文字レスポンス
コマンド、レスポンスに n バイトのデータを必要とするもので、選択コマンドと問い合わせに対応するレスポンスがあります。書き込みデータについては、データ長を別に決めるので、データサイズは省略します。
3. エラーレスポンス
コマンドに対するエラーレスポンスです。エラーレスポンスとエラーコードの 2 バイトです。
4. 128バイト書き込み
サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。
5. メモリリードのレスポンス
サイズが 4 バイトのレスポンスです。

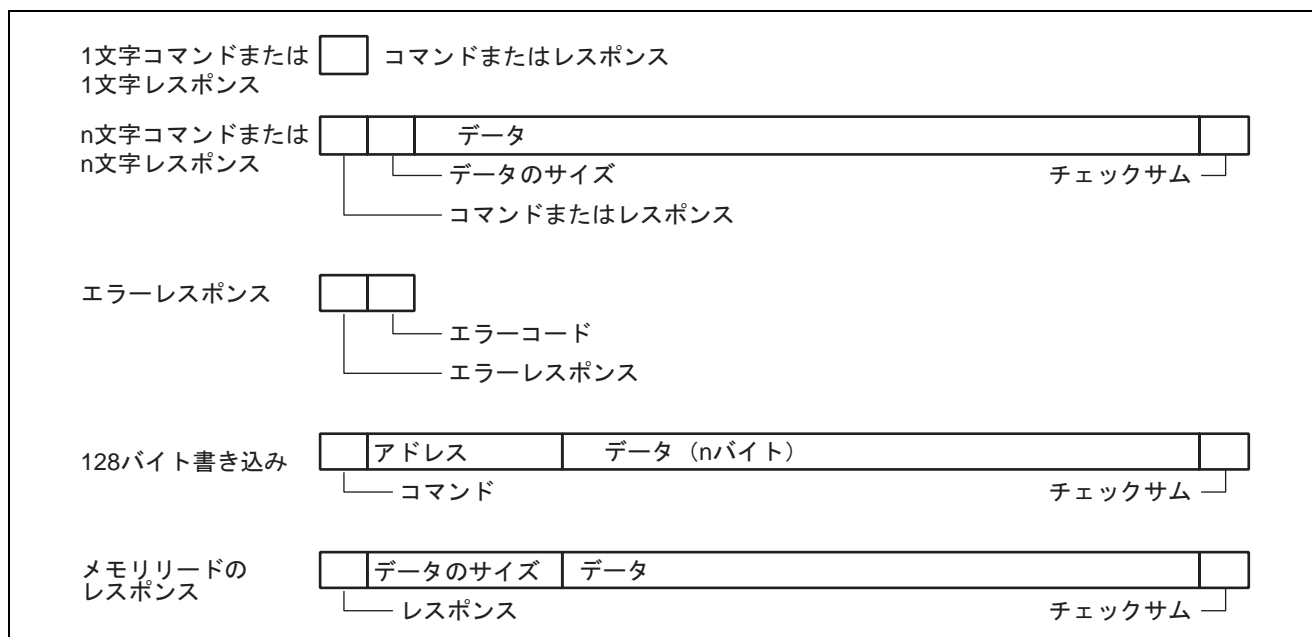


図 27.18 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリリードのレスポンスで4バイト長

(3) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報で応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 27.9 に示します。

表 27.9 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	分周比問い合わせ	分周比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'2A	データフラッシュ有無問い合わせ	データフラッシュの有無を問い合わせ
H'2B	データフラッシュ情報問い合わせ	データフラッシュの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み/消去ステータス遷移	ユーザマットを消去し、書き込み/消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドはデバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順に、ホストから送信してください。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み/消去ステータス遷移 (H'40) を受け付けるまで有効です。ホスト側は上記のコマンド送信中、ホストが必要なものを選択して問い合わせを行うことができます。H'4F は、H'40 受付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数（1バイト）：マイコン内のブートプログラムがサポートする品種数
- 文字数（1バイト）：デバイスコードとブートプログラム品名の文字数
- デバイスコード（4バイト）：サポートする品名のASCIIコード
- 品名（nバイト）：ブートプログラム型名、ASCIIコード
- SUM（1バイト）：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ（1バイト）：デバイスコードの文字数、固定値で4
- デバイスコード（4バイト）：サポートデバイス問い合わせで応答したデバイスコード（ASCIIコード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK

エラーレスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'21：デバイスコードエラー、デバイスコードが一致しない

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- クロックモード数（1バイト）：デバイスで選択可能なクロックモード数
H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラーレスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数が H'00、H'01 の場合もそれぞれその値で、クロックモード選択をしてください。

(e) 分周比問い合わせ

分周比問い合わせに対して、ブートプログラムは選択可能な分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：分周比問い合わせ

レスポンス

H'32	サイズ	種別数					
分周比	分周比	...					
...							
SUM							

- レスポンス「H'32」（1バイト）：分周比問い合わせに対する応答
- サイズ（1バイト）：種別数、分周比数、分周比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な分周比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 分周比数（1バイト）：各動作周波数で選択可能な分周比数
メインモジュール、周辺モジュールで選択可能な分周比数
- 分周比（1バイト）
 - 分周比： 分周する数値、負の数（例 2分周：H'FE[-2]）
分周比を分周比数の数だけ繰り返し、分周比数と分周比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス

H'33	サイズ	周波数の数
動作周波数最小値	動作周波数最大値	
...		
SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスで必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：分周されたクロックの最小値
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：分周されたクロックの最大値
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く

- SUM (1バイト) : サムチェック

(g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」(1バイト) : ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- レスポンス「H'34」(1バイト) : ユーザブートマット情報問い合わせに対する応答
- サイズ (1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1バイト) : 連続したユーザブートマットのエリアの数、
ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス (4バイト) : エリアの先頭アドレス
- エリア最終アドレス (4バイト) : エリアの最終アドレス、
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1バイト) : サムチェック

(h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ (1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1バイト) : 連続したユーザマットのエリアの数
ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス (4バイト) : エリアの先頭アドレス
- エリア最終アドレス (4バイト) : エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1バイト) : サムチェック

(i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

(j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(k) データフラッシュ有無問い合わせ

データフラッシュ有無問い合わせに対して、ブートプログラムはデータフラッシュの有無を応答します。

コマンド

H'2A

- コマンド「H'2A」（1バイト）：データフラッシュ有無問い合わせ

レスポンス	H'3A	サイズ	データフラッシュ有無	SUM
-------	------	-----	------------	-----

- レスポンス「H'3A」（1バイト）：データフラッシュ有無問い合わせに対する応答
- サイズ（1バイト）：データフラッシュ有無の文字数、固定値で1
- データフラッシュ有無（1バイト）：データフラッシュの有無、ロックビット情報
bit0=データフラッシュ有無（1：データフラッシュ有／0：データフラッシュ無）
bit1=データフラッシュのロックビット有無（1：ロックビット有／0：ロックビット無）

bit4=プログラム ROM のロックビット有無 (1 : ロックビット有 / 0 : ロックビット無)

bit5=ロックビットアドレスサイズ (1 : 32bit / 0 : 24bit)

- SUM (1 バイト) : サムチェック (コマンドから SUM まで加算し、H'00 となるように設定)

(l) データフラッシュ情報問い合わせ

データフラッシュ情報問い合わせに対して、ブートプログラムはデータフラッシュのエリア数とアドレス応答します。

コマンド

H'2B

- コマンド「H'2B」(1バイト) : データフラッシュ有無問い合わせ

レスポンス	H'3B	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	SUM			

- レスポンス「H'3B」(1バイト) : データフラッシュ情報問い合わせに対する応答
- サイズ (1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1バイト) : 連続したデータフラッシュのエリアの数、データフラッシュのエリアが連続の場合は H'01、存在しない場合は H'00
- エリア先頭アドレス (4バイト) : エリアの先頭アドレス、存在しない場合は不要
- エリア最終アドレス (4バイト) : エリアの最終アドレス、存在しない場合は不要
- エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1バイト) : サムチェック (コマンドから SUM まで加算し、H'00 となるように設定)

(m) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	分周比数	分周比 1	分周比 2	
	SUM			

- コマンド「H'3F」(1バイト) : 新ビットレート選択
- サイズ (1バイト) : ビットレート、入力周波数、分周比数、分周比の合計サイズ
- ビットレート (2バイト) : 新ビットレート
1/100の値とする (たとえば、19200bpsのときは192とし、H'00C0とする)
- 入力周波数 (2バイト) : ブートプログラムに入力されるクロック周波数
周波数 (MHz) の小数点2位までの値とする
(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)
- 分周比数 (1バイト) : デバイスで選択可能な分周比数
通常はメイン動作周波数と周辺モジュール動作周波数で 2
- 分周比 1 (1バイト) : メイン動作周波数の分周比
分周比 : 分周する数値、負の数値 (例 2分周 : H'FE[-2])

- 分周比2 (1バイト) : 周辺動作周波数の分周比

分周比 : 分周する数値、負の数値 (例 2分周 : H'FE[-2])

- SUM (1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」 (1バイト) : 新ビットレート選択に対する応答、選択可能なとき ACK

エラーレスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」 (1バイト) : 新ビットレート選択に対するエラー応答

- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'24 : ビットレート選択不可エラー、指定されたビットレートが選択できない

H'25 : 入力周波数エラー、入力周波数が最小値と最大値の範囲にない

H'26 : 分周比エラー、分周比が一致しない

H'27 : 動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(4) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば入力周波数エラーです。

2. 分周比

受信した分周比の値が、すでに選択されたデバイスのクロックモードに対する分周比と一致するかどうかをチェックします。一致しなければ分周比エラーです。

3. 動作周波数

受信した入力周波数と分周比とから動作周波数を計算します。入力周波数は LSI に供給される周波数で、動作周波数は実際に LSI が動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 (ϕ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が 4% 未満であるかどうかをチェックします。誤差が 4% 以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{(2 \times n - 1)}} \right] - 1 \right\} \times 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」(1バイト) : 新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 新ビットレートの確認に対する応答
- 新ビットレート選択のシーケンスを図 27.19 に示します。

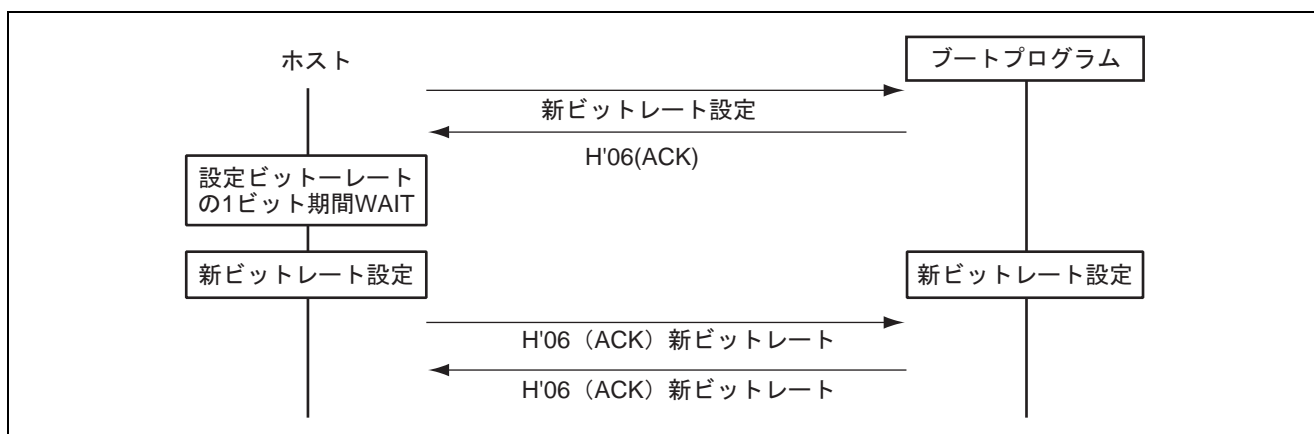


図 27.19 新ビットレート選択のシーケンス

(5) 書き込み／消去ステータス遷移

書き込み／消去ステータス遷移に対して、ブートプログラムは消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると ACK を応答し、書き込み／消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答
消去プログラムを転送した後、ユーザマット、ユーザブートマットが正常にデータを消去できたときACK

エラーレスポンス

H'C0	H'51
------	------

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(6) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラーレスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(7) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択終了後、分周比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 分周比、動作周波数の情報に従って、新ビットレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終了後、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザマット/ユーザブートマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終了後、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

(8) 書き込み/消去ステータス

書き込み/消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み/消去コマンド一覧を表 27.10 に示します。

表 27.10 書き込み/消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'61	データフラッシュのサムチェック	データフラッシュのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'62	データフラッシュのブランクチェック	データフラッシュのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

1. 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。最初に、ホストはユーザマット書き込み選択コマンドを送信します。

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 27.20 に示します。

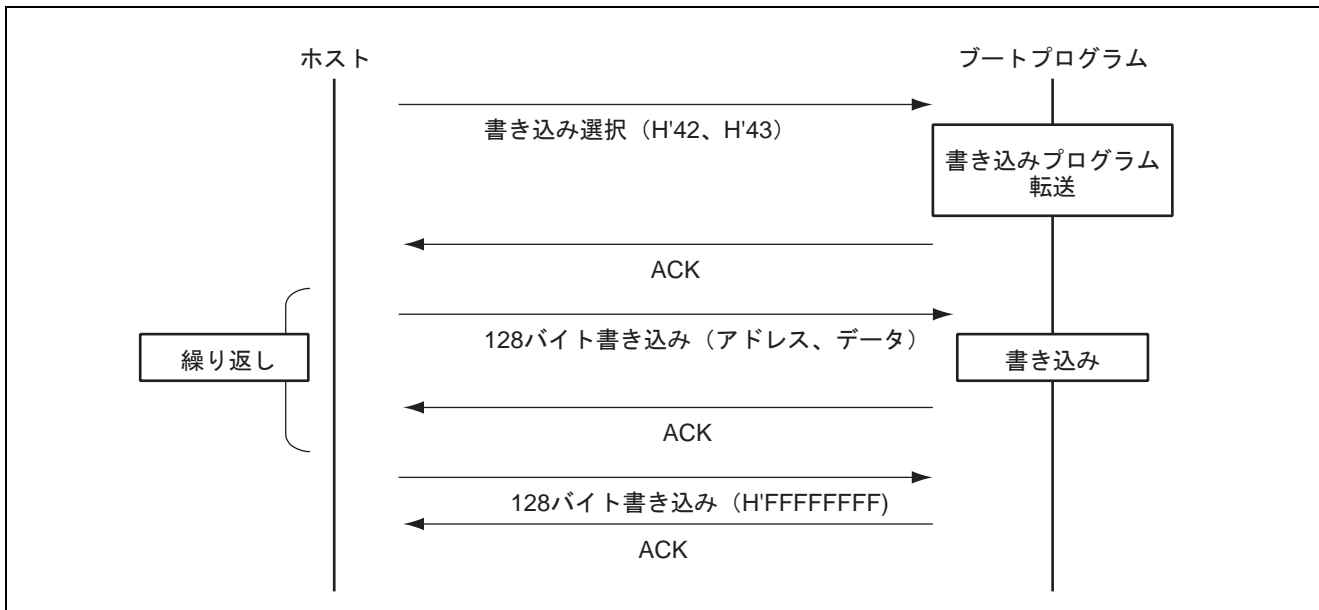


図 27.20 書き込みシーケンス

2. 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 27.21 に示します。

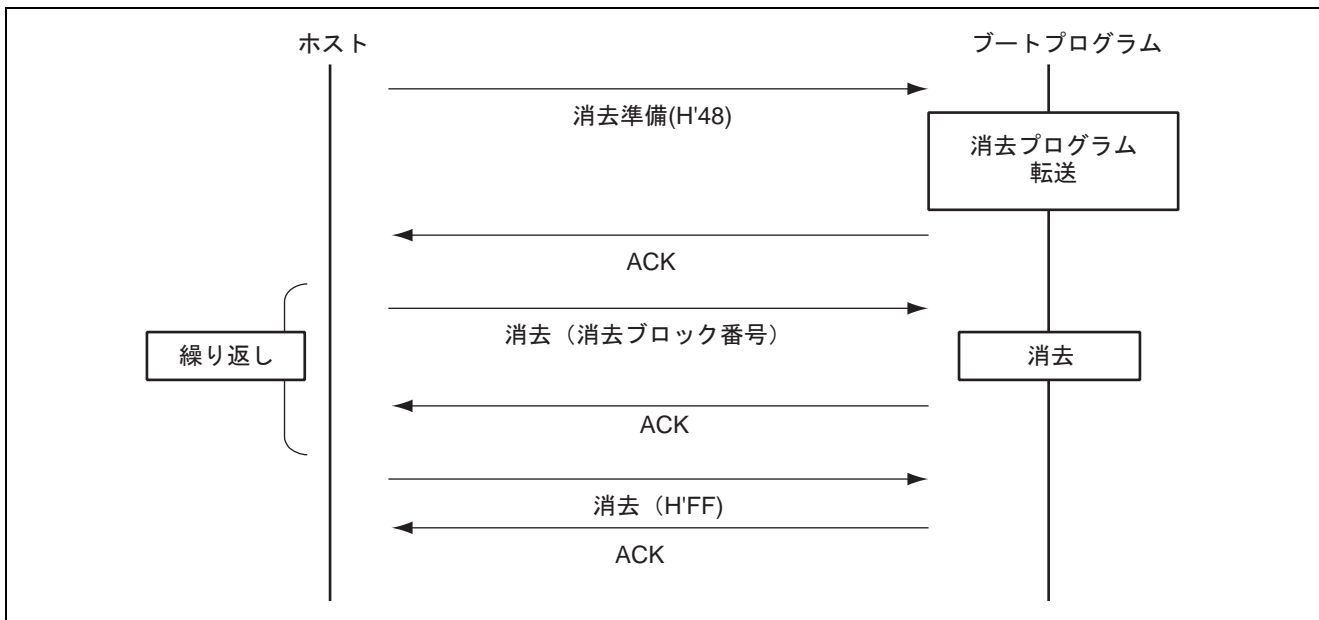


図 27.21 消去シーケンス

3. 書き込み/消去ステータス情報

(a) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド

H'42

- コマンド「H'42」（1バイト）：ユーザブートマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマット書き込み選択に対する応答、書き込みプログラムを転送したときACK

(b) ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

(c) 128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド	H'50	アドレス						
	データ	...						
	...							
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数 例) H'00,H'01,H'00,H'00 : H'01000000
- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答

- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー、アドレスが指定の範囲にない

H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位 8 ビットを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータが無い部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」 (1バイト) : 128バイト書き込み
- 書き込みアドレス (4バイト) : 終了コード (H'FF,H'FF,H'FF,H'FF)
- SUM (1バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」 (1バイト) : 128バイト書き込みに対する応答、書き込み処理が完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」 (1バイト) : 128バイト書き込みに対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

(d) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド	H'48
------	------

- コマンド「H'48」 (1バイト) : 消去選択

レスポンス	H'06
-------	------

- レスポンス「H'06」 (1バイト) : 消去選択に対する応答、消去プログラムを転送したときACK

(e) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数、固定値で1
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

エラーレスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー、ブロック番号が正しくない
 - H'51：消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

(f) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス		
	読み出しサイズ			SUM		

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）
 - H'00：ユーザブートマット
 - H'01：ユーザマット
 - エリアの指定が正しくないときはアドレスエラー
- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

レスポンス	H'52	読み出しアドレス					
	データ	...					
	SUM						

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：サムチェック

エラーレスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'2A：アドレスエラー
 - 読み出しアドレスがマットの範囲にない
 - H'2B：サイズエラー
 - 読み出しサイズがマットの範囲を超えている

(g) ユーザブートマットのサムチェック

ユーザブートマットのサムチェックに対して、ブートプログラムはユーザブートマットのデータを加算してその結果を応答します。

コマンド

H'4A

- コマンド「H'4A」（1バイト）：ユーザブートマットのサムチェック

レスポンス

H'5A	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5A」（1バイト）：ユーザブートマットのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- マットのサムチェック（4バイト）：ユーザブートマットのサムチェック値、バイト単位で加算
- SUM（1バイト）：送信データのサムチェック

(h) ユーザマットのサムチェック

ユーザマットのサムチェックに対して、ブートプログラムはユーザマットのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」（1バイト）：ユーザマットのサムチェック

レスポンス

H'5B	サイズ	ユーザマットのサムチェック	SUM
------	-----	---------------	-----

- レスポンス「H'5B」（1バイト）：ユーザマットのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- サムチェック（4バイト）：ユーザマットのサムチェック値、バイト単位で加算
- SUM（1バイト）：送信データのサムチェック

(i) データフラッシュのサムチェック

データフラッシュのサムチェックに対して、ブートプログラムはデータフラッシュのデータを加算してその結果を応答します。

コマンド

H'61

- コマンド「H'61」（1バイト）：データフラッシュのサムチェック

レスポンス

H'71	サイズ	データフラッシュのサムチェック	SUM
------	-----	-----------------	-----

- レスポンス「H'71」（1バイト）：データフラッシュのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- サムチェック（4バイト）：データフラッシュのサムチェック値、バイト単位で加算
- SUM（1バイト）：送信データのサムチェック（コマンドからSUMまで加算し、H'00となるように設定）

(j) ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」（1バイト）：ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

(k) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」（1バイト）：ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」（1バイト）：ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

(l) データフラッシュのブランクチェック

データフラッシュのブランクチェックに対して、ブートプログラムはデータフラッシュがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'62

- コマンド「H'62」（1バイト）：データフラッシュのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：データフラッシュのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'E2	H'52
------	------

- エラーレスポンス「H'E2」（1バイト）：データフラッシュのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

(m) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データの文字数、固定値で2
- STATUS（1バイト）：標準ブートプログラムのステータス
- ERROR（1バイト）：エラー状態
ERROR=0 で正常
ERROR が 0 以外で異常
- SUM（1バイト）：サムチェック

表 27.11 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

表 27.12 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	分周比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

27.17 使用上の注意事項

1. 出荷品の初期状態は消去状態です。消去来歴不明チップに対しては初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
2. 本LSIのライターモードに適合するPROMライターおよびそのプログラムバージョンについては、ソケットアダプタの取り扱い説明書を参照してください。
3. PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと、過剰電流が流れ製品が破壊することがあります。
4. PROMライターは、128Kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。また、規定したソケットアダプタ以外は使用しないでください。
5. 書き込み/消去中はフラッシュメモリに高電圧が印加されているため、書き込み/消去中にVcc電源の切断（マイコンチップのPROMライターからの取り外しを含む）は行わないでください。フラッシュメモリの永久破壊の可能性があります。リセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
6. オンボードプログラミングでは、128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。ライターモードでの128バイトの書き込み単位ブロックへの書き込みも1回のみとしてください。書き込みは、書き込み単位ブロックがすべて消去された状態で行ってください。
7. オンボードプログラミングモードで書き込み/消去を行ったチップに対して、ライターを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。
8. フラッシュメモリのキーコードエリア（H'00003C～3F）にall H'FF（4バイト）以外のデータを書き込むと、ライターモードでの読み出しができなくなります（H'00が読み出される。消去→書き換えは可能）。ライターモードによる読み出しを行う場合は、必ずキーコードエリアにall H'FFを書き込むようにしてください。
9. ライターモードでキーコードエリアにall H'FF以外のデータを書き込む場合、PROMライターおよびプログラムバージョンが対応されていないと書き込み時にベリファイエラーになります。
10. EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。
 - TRAP命令

28. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック (ϕ)、内部クロック、バスマスタクロック、およびサブクロック (ϕ SUB) を生成します。クロック発振器は、発振回路、デューティ補正回路、システムクロック選択回路、サブクロック入力回路で構成されます。クロック発振器のブロック図を図 28.1 に示します。

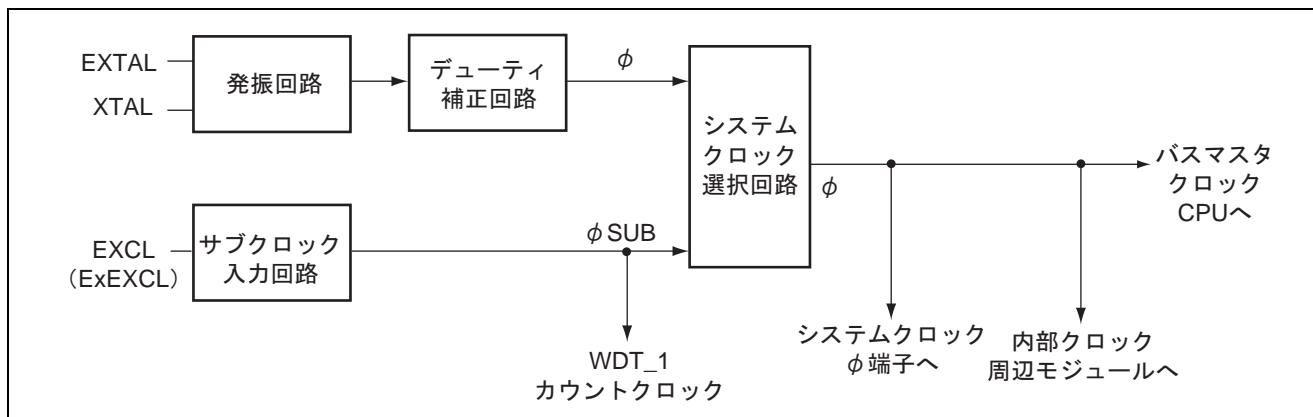


図 28.1 クロック発振器のブロック図

サブクロック入力は、ローパワーコントロールレジスタの EXCLE ビット、ポートコントロールレジスタ 0 の EXCLS ビットの設定によりソフトウェアで制御します。ローパワーコントロールレジスタについては「29.1.2 ローパワーコントロールレジスタ (LPWRCR)」を、ポートコントロールレジスタ 0 については「9.3.1 ポートコントロールレジスタ 0 (PTCNT0)」を参照してください。

28.1 発振回路

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

28.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 28.2 に示します。ダンピング抵抗 R_d は、表 28.1 に示すものを使用してください。水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子の等価回路を図 28.3 に示します。水晶発振子は表 28.2 に示す特性のものを使用してください。水晶発振子は、システムクロック (ϕ) と同一周波数のものを使用してください。

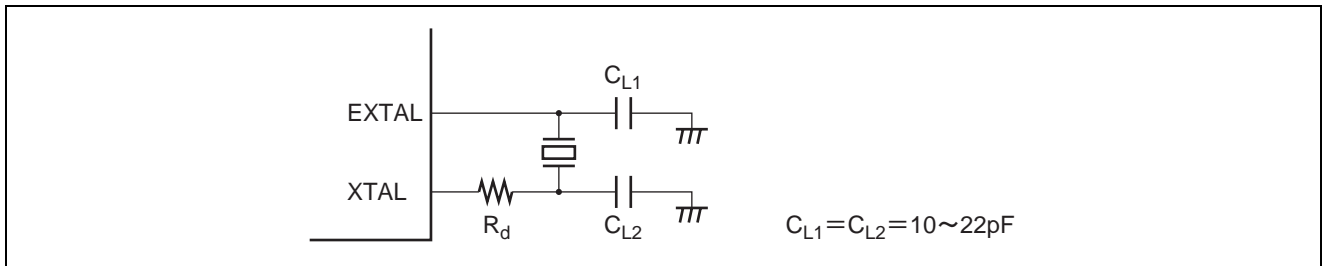


図 28.2 水晶発振子の接続例

表 28.1 ダンピング抵抗値

周波数 (MHz)	8	10	12	16	20
R_d (Ω)	200	0	0	0	0

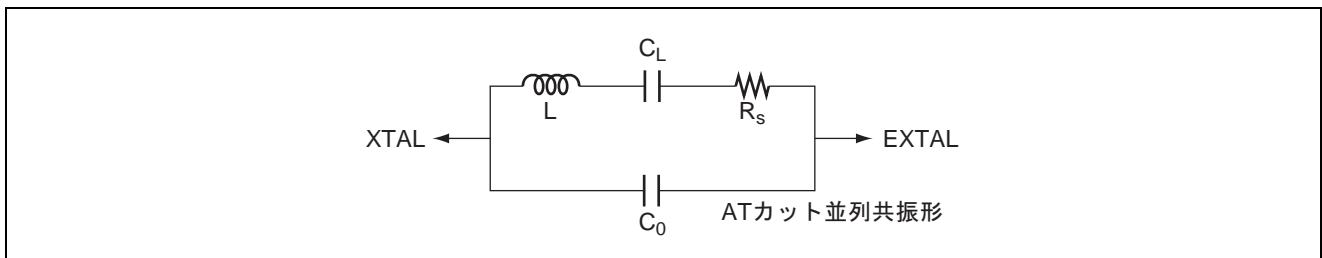


図 28.3 水晶発振子の等価回路

表 28.2 水晶発振子の特性

周波数 (MHz)	8	10	12	16	20
R_s max (Ω)	80	70	60	50	40
C_0 max (pF)	7				

28.1.2 外部クロックを入力する方法

外部クロック入力の接続例を図 28.4 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモードおよびウォッチモード時は外部クロックを High レベルにしてください。外部クロックの入力条件を表 28.3 に示します。外部クロックは、システムクロック (ϕ) と同一周波数としてください。

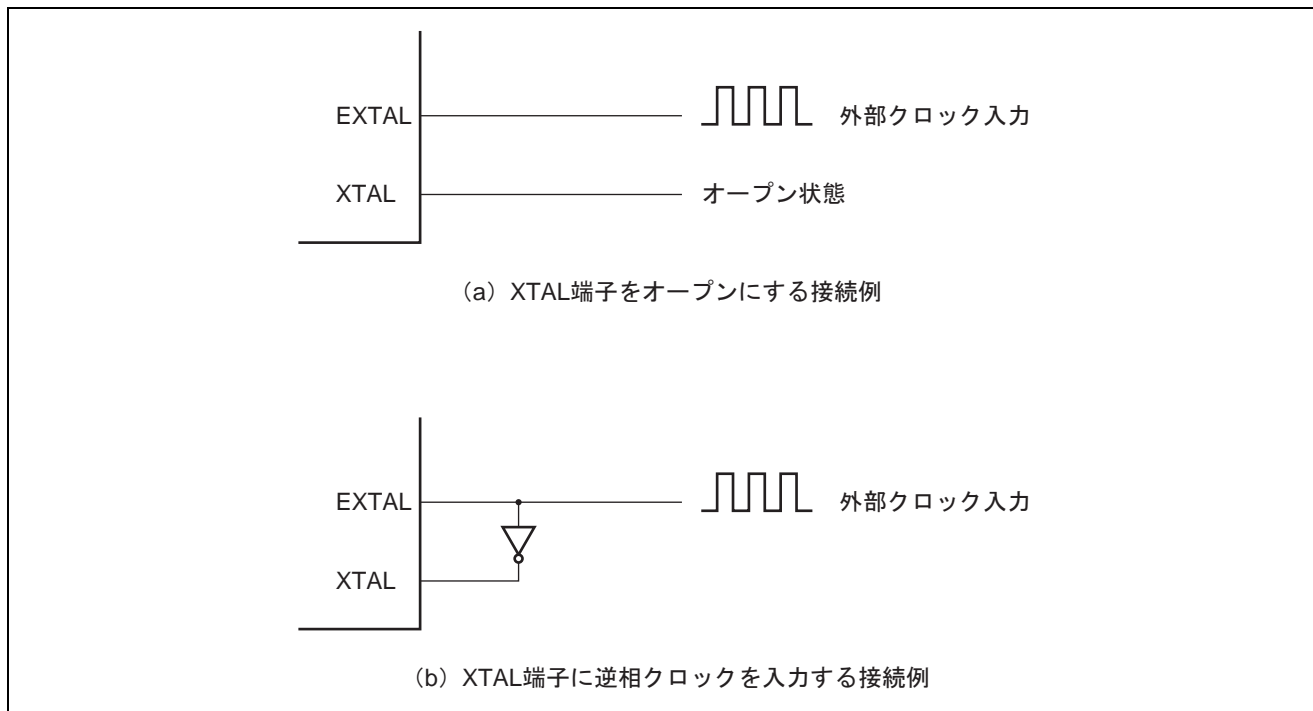


図 28.4 外部クロックの接続例

表 28.3 外部クロック入力条件

項目	記号	VCC=3.0~3.6V		単位	測定条件
		min.	max.		
外部クロック入力パルス幅 Low レベル	t_{EXL}	20	—	ns	図 28.5
外部クロック入力パルス幅 High レベル	t_{EXH}	20	—	ns	
外部クロック立ち上がり時間	t_{EXr}	—	5	ns	
外部クロック立ち下がり時間	t_{EXf}	—	5	ns	
クロックパルス幅 Low レベル	t_{cL}	0.4	0.6	t_{cyc}	図 28.4
クロックパルス幅 High レベル	t_{cH}	0.4	0.6	t_{cyc}	

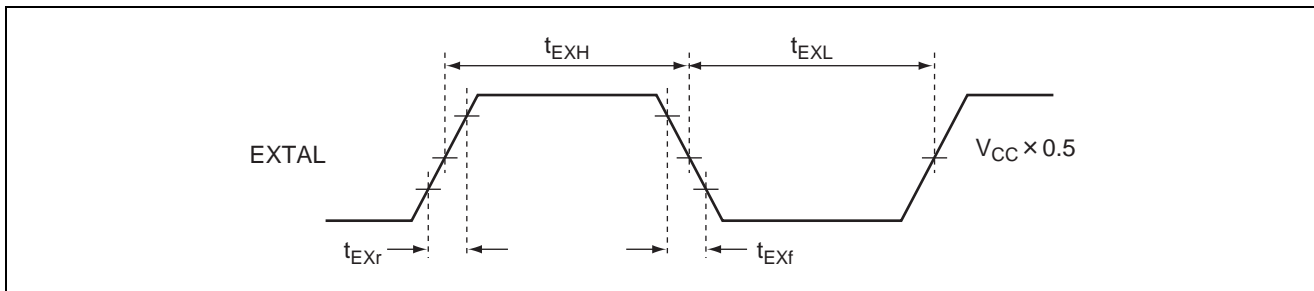


図 28.5 外部クロック入力タイミング

発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。

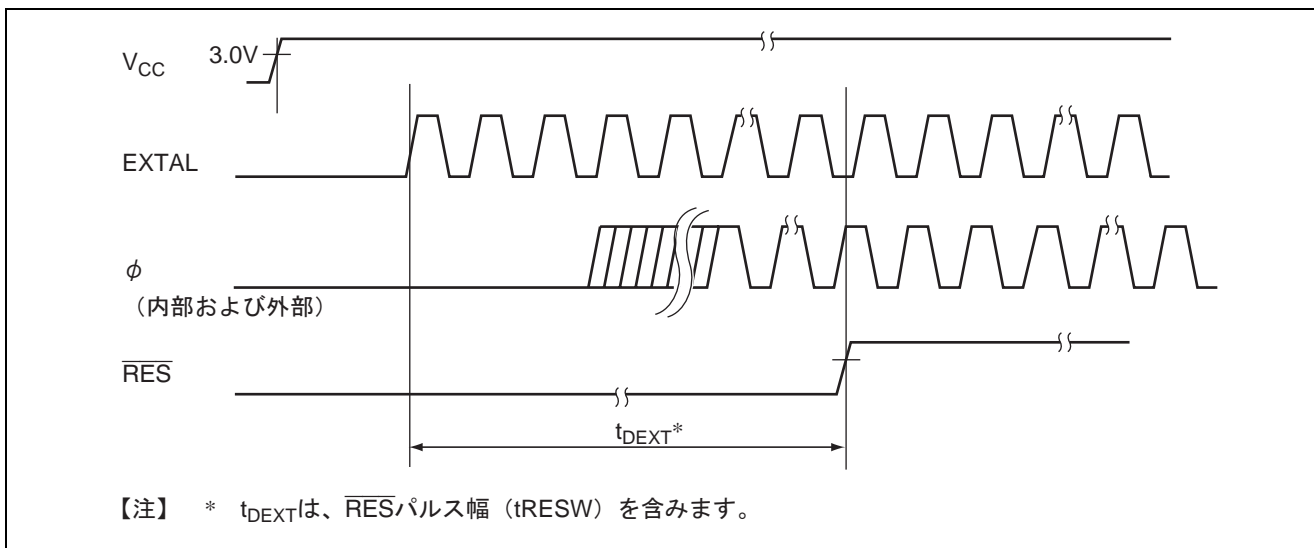
EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していませんので、リセット信号を Low レベルにしリセット状態を保持してください。表 28.4 に外部クロック出力安定遅延時間、図 28.6 に外部クロック出力安定遅延時間タイミングを示します。

表 28.4 外部クロック出力安定遅延時間

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $AV_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0V$

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500	—	μs	図 28.6

【注】 * t_{DEXT} は、RES パルス幅 (t_{RESW}) を含みます。



【注】 * t_{DEXT} は、RES パルス幅 (t_{RESW}) を含みます。

図 28.6 外部クロック出力安定遅延時間タイミング

28.2 デューティ補正回路

デューティ補正回路は発振器の出力するクロックのデューティを補正してシステムクロック (ϕ) を生成します。

28.3 サブクロック入力回路

EXCL 端子または ExEXCL 端子からのサブクロック入力を制御します。サブクロックを使用する場合は、EXCL 端子または ExEXCL 端子から 32.768kHz の外部クロックを入力してください。

EXCL 端子入力と ExEXCL 端子入力の関係を図 28.7 に示します。

サブクロック入力を使用する場合は、入力に使用する端子の DDR ビットを 0 にクリアし、入力端子状態にしてください。PTCNT0 の EXCLS ビットを 0 にクリアすることで EXCL 端子入力、1 にセットすることで ExEXCL 端子入力を選択されます。さらに、LPWRCR の EXCLE ビットを 1 にセットすることでサブクロック入力がイネーブルになります。

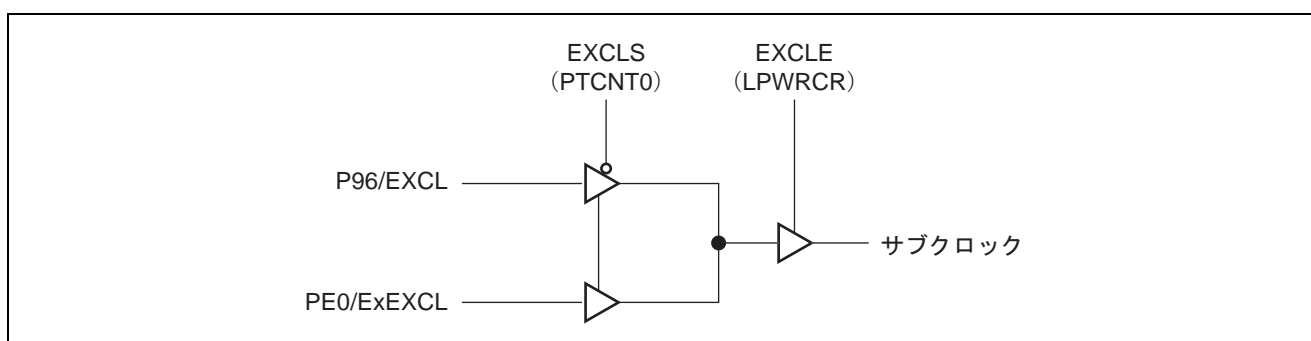


図 28.7 EXCL 端子、ExEXCL 端子からのサブクロック入力

サブクロックの入力条件を表 28.5 に示します。サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

表 28.5 サブクロック入力条件

項目	記号	VCC=3.0~3.6V			単位	測定条件
		min.	typ.	max.		
サブクロック入力パルス幅 Low レベル	t_{EXCLL}	—	15.26	—	μ s	図 28.8
サブクロック入力パルス幅 High レベル	t_{EXCLH}	—	15.26	—	μ s	
サブクロック入力立ち上がり時間	t_{EXCLr}	—	—	10	ns	
サブクロック入力立ち下がり時間	t_{EXCLf}	—	—	10	ns	

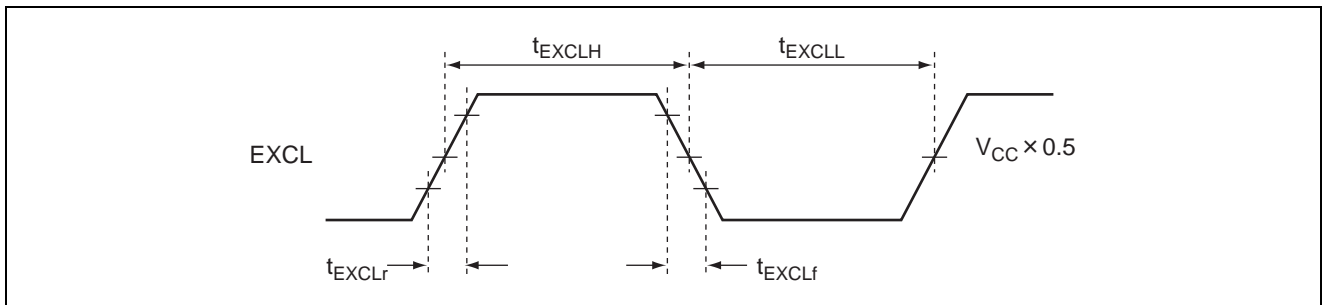


図 28.8 サブクロック入力タイミング

28.4 クロック選択回路

LSI 内部で使用するシステムクロックを選択します。

高速モード、スリープモード、リセット状態、スタンバイモードからの復帰時には XTAL、EXTAL 端子の発振器で生成されるクロックをシステムクロック (ϕ) として選択します。

ウォッチモードでは、LPWRCR の EXCLE=1 のときは、EXCL (ExEXCL) 端子から入力されるサブクロックをシステムクロックとして選択します。このとき、WDT_1、割り込みコントローラなどのモジュールおよび機能は ϕ SUB により動作し、各タイマのカウントクロックやサンプリングクロックも ϕ SUB を分周したクロックとなります。

28.5 使用上の注意事項

28.5.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本書で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

28.5.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。また、**図 28.9** に示すように発振回路の近くには他の信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

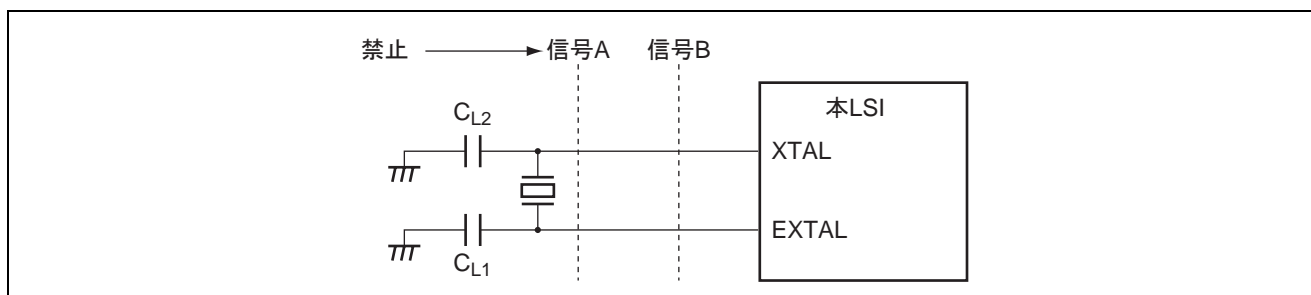


図 28.9 発振回路部のボード設計に関する注意事項

29. 低消費電力状態

リセット解除後の動作モードには、通常の高速モードでのプログラム実行状態のほかに消費電力を著しく低下させる4種類の低消費電力動作モードがあります。このほか、内蔵周辺モジュールを選択的に停止させて消費電力を低下させるモジュールストップモードがあります。

- 中速モード
CPUを動作させるシステムクロックの周波数は $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ の中から選択できます。
- スリープモード
CPUは動作を停止します。内蔵周辺モジュールは動作します。
- ウォッチモード
CPUは動作を停止します。内蔵周辺モジュールはWDT_1のみ動作します。
- ソフトウェアスタンバイモード
クロック発振器が停止し、CPU、および内蔵周辺モジュールは動作を停止します。
- モジュールストップモード
上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることができます。

29.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。なお、シリアルタイムコントロールレジスタについては「3.2.3 シリアルタイムコントロールレジスタ (STCR)」を参照してください。TSCR_1 (WDT_1) のPSSビットについては「12.3.6 タイマコントロール/ステータスレジスタ (TCSR)」のTCSR_1を参照してください。

表 29.1 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	データバス幅
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FF94	8
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FF95	8
モジュールストップコントロールレジスタ H	MSTPCRH	R/W	H'FF	H'FF96	8
モジュールストップコントロールレジスタ L	MSTPCRL	R/W	H'FF	H'FF97	8
モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'FF	H'FF98	8
モジュールストップコントロールレジスタ B	MSTPCRB	R/W	H'FF	H'FF99	8

29.1.1 スタンバイコントロールレジスタ (SBYCR)


SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0 : スリープモードに遷移 1 : ソフトウェアスタンバイモード、ウォッチモードに遷移 割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 ソフトウェアスタンバイモード、ウォッチモードを解除する際に、クロック発振器が発振を開始してからクロックが安定するまでの待機ステート数を設定します。動作周波数に応じて待機時間が 6ms (発振安定時間) 以上となるように設定してください。設定値と待機ステート数の関係は表 29.2 のとおりです。 外部クロックを使用する場合は任意の選択が可能です。通常の場合は最小値を推奨します。
5	STS1	0	R/W	
4	STS0	0	R/W	
3	—	0	R/W	リザーブビット 初期値を変更しないでください。
2	SCK2	0	R/W	システムクロックセレクト 2~0 高速モードおよび中速モードでのバスマスタのクロックを選択します。 なお、ウォッチモードに遷移して動作させる場合には SCK2~SCK0 を B'000 にしてください。 000 : 高速モード 001 : 中速クロックは $\phi/2$ 010 : 中速クロックは $\phi/4$ 011 : 中速クロックは $\phi/8$ 100 : 中速クロックは $\phi/16$ 101 : 中速クロックは $\phi/32$ 11X : 設定しないでください
1	SCK1	0	R/W	
0	SCK0	0	R/W	

【注】 X : Don't care

表 29.2 動作周波数と待機時間

STS2	STS1	STS0	待機時間	20MHz	10MHz	8MHz	単位
0	0	0	8192 ステート	0.4	0.8	1.0	ms
0	0	1	16384 ステート	0.8	1.6	2.0	
0	1	0	32768 ステート	1.6	3.3	4.1	
0	1	1	65536 ステート	3.3	6.6	8.2	
1	0	0	131072 ステート	6.6	13.1	16.4	
1	0	1	262144 ステート	13.1	26.2	32.8	
1	1	0/1	リザーブ*	—	—	—	—

 推奨設定時間

【注】 * 本設定は使用しないでください。

29.1.2 ローパワーコントロールレジスタ (LPWRCR)

LPWRCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
4	EXCLE	0	R/W	サブクロック入カインーブル EXCL 端子または ExEXCL 端子からのサブクロック入力を制御します。 0 : EXCL 端子または ExEXCL 端子からのサブクロック入力禁止 1 : EXCL 端子または ExEXCL 端子からのサブクロック入力許可
3~0	—	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

29.1.3 モジュールストップコントロールレジスタ H、L、A、B (MSTPCR_H、MSTPCR_L、MSTPCR_A、MSTPCR_B)

MSTPCR は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを1にセットするとそのモジュールはモジュールストップモードになります。

• MSTPCR_H

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP15	1	R/W	リザーブビット 初期値を変更しないでください。
6	MSTP14	1	R/W	バッテリーバックアップ RAM (BBR)
5	MSTP13	1	R/W	リザーブビット 初期値を変更しないでください。
4	MSTP12	1	R/W	8 ビットタイマ (TMR_0、TMR_1)
3	MSTP11	1	R/W	リザーブビット
2	MSTP10	1	R/W	初期値を変更しないでください。
1	MSTP9	1	R/W	A/D 変換器
0	MSTP8	1	R/W	8 ビットタイマ (TMR_X、TMR_Y)

• MSTPCR_L

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	リザーブビット 初期値を変更しないでください。
6	MSTP6	1	R/W	シリアルコミュニケーションインタフェース (SCI)
5	MSTP5	1	R/W	リザーブビット 初期値を変更しないでください。
4	MSTP4	1	R/W	I ² C バスインタフェース_0 (IIC_0/SMBUS)
3	MSTP3	1	R/W	I ² C バスインタフェース_1 (IIC_1)
2	MSTP2	1	R/W	キーボードバッファコントロールユニット_0 (PS2_0) キーボードバッファコントロールユニット_1 (PS2_1) キーボードバッファコントロールユニット_2 (PS2_2)
1	MSTP1	1	R/W	16 ビットタイマパルスユニット (TPU)
0	MSTP0	1	R/W	LPC インタフェース (LPC)

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7	1	R/W	PECI インタフェース (PECI)
6	MSTPA6	1	R/W	リザーブビット 初期値を変更しないでください。
5	MSTPA5	1	R/W	
4	MSTPA4	1	R/W	
3	MSTPA3	1	R/W	
2	MSTPA2	1	R/W	FSI インタフェース (FSI) *
1	MSTPA1	1	R/W	リザーブビット
0	MSTPA0	1	R/W	初期値を変更しないでください。

【注】 * LPC インタフェースと同時に使用する場合、MSTPCRL のビット 0(MSTP0)および MSTPCRA のビット 2(MSTPA2)をクリアしてください。

• MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPB7	1	R/W	シンクロナスシリアルコミュニケーションユニット (SSU)
6	MSTPB6	1	R/W	リザーブビット 初期値を変更しないでください。
5	MSTPB5	1	R/W	
4	MSTPB4	1	R/W	I ² C バスインタフェース_2 (IIC_2)
3	MSTPB3	1	R/W	FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)
2	MSTPB2	1	R/W	サイクルメジャーメントタイマ_2 (TCM_2)
1	MSTPB1	1	R/W	サイクルメジャーメントタイマ_0 (TCM_0) サイクルメジャーメントタイマ_1 (TCM_1)
0	MSTPB0	1	R/W	8 ビット PWMU タイマ (PWMU)

29.2 モード間遷移と LSI の状態

図 29.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。また、リセット入力によりすべてのモードからリセット状態に遷移します。リセットの種類については、「第 4 章 リセット」を参照してください。表 29.3 に各動作モードでの LSI の内部状態を示します。

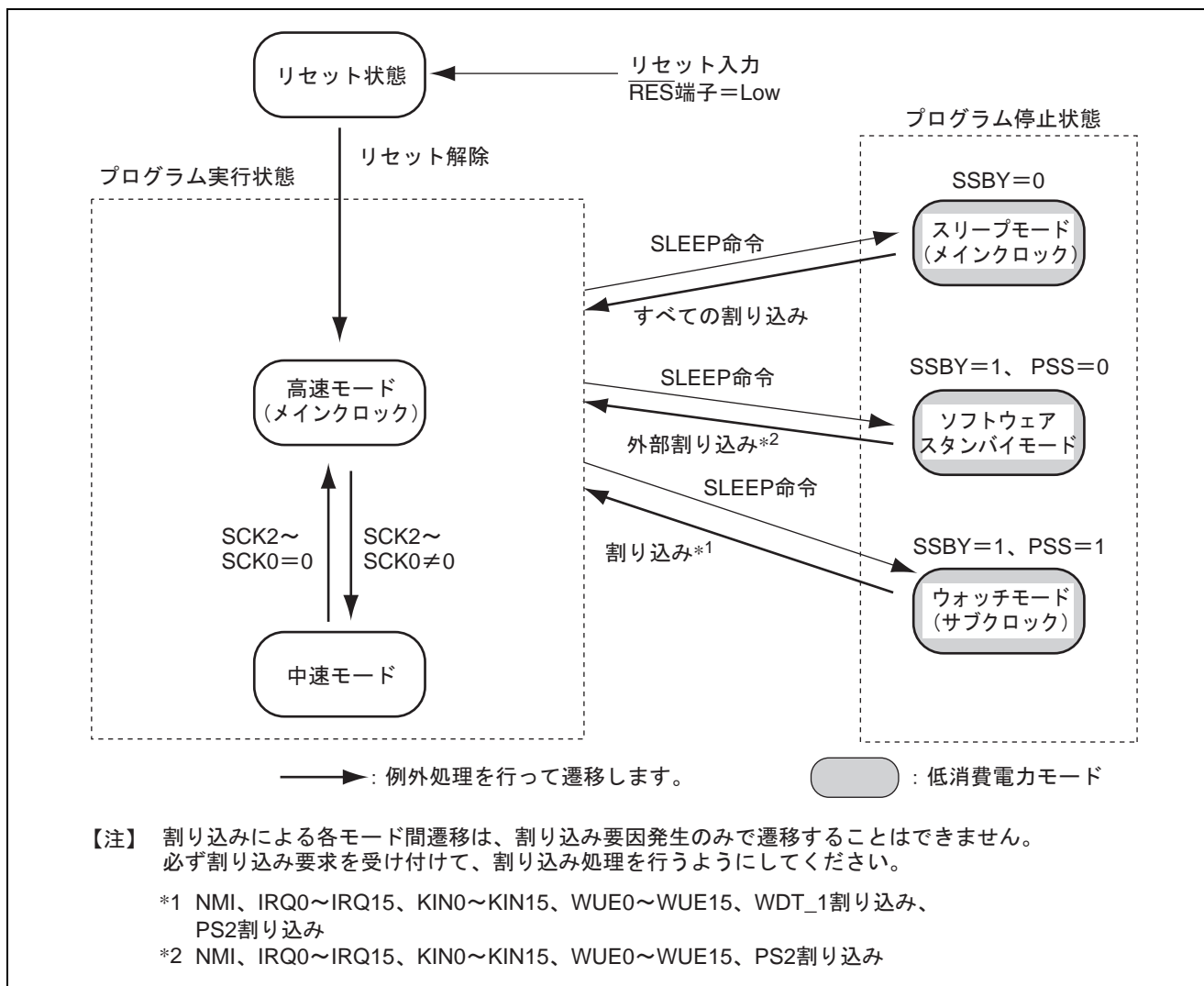


図 29.1 モード遷移図

表 29.3 各動作モードでの LSI の内部状態

		高速	中速	スリープ	モジュール ストップ	ウォッチ	ソフトウェア スタンバイ					
システムクロック発振器		動作	動作	動作	動作	停止	停止					
サブクロック入力		動作	動作	動作	動作	動作	停止					
CPU 動作	命令実行	動作	中速動作	停止	動作	停止	停止					
	レジスタ			保持		保持	保持					
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作					
	IRQ0~15											
	KIN0~15											
	WUE0~15											
周辺 モジュール	WDT_1	動作	動作	動作	動作	サブクロック 動作	停止 (保持)					
	WDT_0					動作/停止 (保持)		停止 (保持)				
	TMR_0、1				動作/停止 (保持)			動作/停止 (リセット)	動作/停止 (保持)			
	TPU											
	TCM_0~2											
	TMR_X、Y											
	SCIF											
	IIC_0 (SMBUS)、 IIC_1、IIC_2											
	LPC											
	FSI											
	SSU											
	PECI											
	PS2_0~2					中速動作						
	PWMU					動作				動作/停止 (リセット)	停止 (リセット)	停止
	SCI					動作				動作/停止 (保持)	動作/停止 (保持)	動作/停止 (保持)
	A/D 変換器											
	BBR					動作				動作	動作	動作/停止 (保持)
RAM	動作	動作	動作	動作	保持	保持						
I/O	動作	動作	動作	動作	保持	保持						

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作停止。

停止（リセット）は、内部レジスタおよび内部状態を初期化。

モジュールストップモードは、対象モジュールのみ停止（リセットまたは保持）。

29.3 中速モード

SBYCR の SCK2~SCK0 ビットの設定により、そのバスサイクルの終了時点で中速モードになります。動作クロックは $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ から選択できます。バスマスタ、PS2 以外の内蔵周辺機能はシステムクロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定された状態でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードは、SCK2~SCK0 ビットをいずれも 0 にクリアすると、そのバスサイクルの終了時点で高速モードに遷移します。

SBYCR の SSBY ビットが 0 のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。SSBY ビットが 1、TCSR (WDT_1) の PSS ビットが 0 の時 SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにすると中速モードは解除されリセット状態に遷移します。ウォッチドッグタイマのオーバフローによるリセットについても同様です。

図 29.2 に中速モードのタイミングを示します。

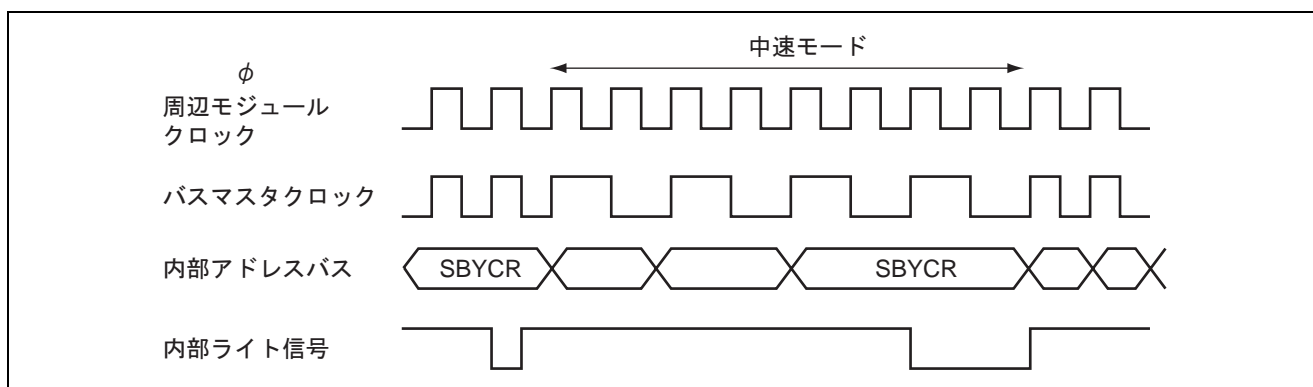


図 29.2 中速モードのタイミング

29.4 スリープモード

SBYCR の SSBY ビットが 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは動作します。CPU の内部レジスタの内容は保持されます。

スリープモードは、割り込み、 $\overline{\text{RES}}$ 端子によって解除されます。

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されているとき、または NMI 以外の割り込みが CPU でマスクされているとスリープモードは解除できません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、スリープモードは解除されリセット状態になります。規定のリセット入力期間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

29.5 ソフトウェアスタンバイモード

SBYCR の SSBY ビットが 1、TCSR (WDT_1) の PSS が 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、クロック発振器が停止し、CPU および内蔵周辺機能が停止します。ただし、規定の電圧が与えられているかぎり、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ソフトウェアスタンバイモードは、外部割り込み (NMI、IRQ0~IRQ15、KIN0~KIN15、WUE0~WUE15)、PS2 割り込み、 $\overline{\text{RES}}$ 入力によって解除されます。

外部割り込み要求信号が入力されると、システムクロック発振器が発振を開始します。SBYCR の STS2~STS0 ビットによって設定された時間が経過するとソフトウェアスタンバイモードが解除され、割り込み例外処理を開始します。IRQ0~IRQ15 割り込みでソフトウェアスタンバイモードを解除するときには対応するイネーブルビットを 1 にセットし KIN0~KIN15、WUE0~WUE15 割り込みでソフトウェアスタンバイモードを解除するときには入力を許可し、かつ IRQ0~IRQ15 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、IRQ0~IRQ15 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、KIN0~KIN15、WUE0~WUE15 割り込みについては入力が許可されていない場合、または割り込みが CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット (立ち上がりエッジ指定)、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

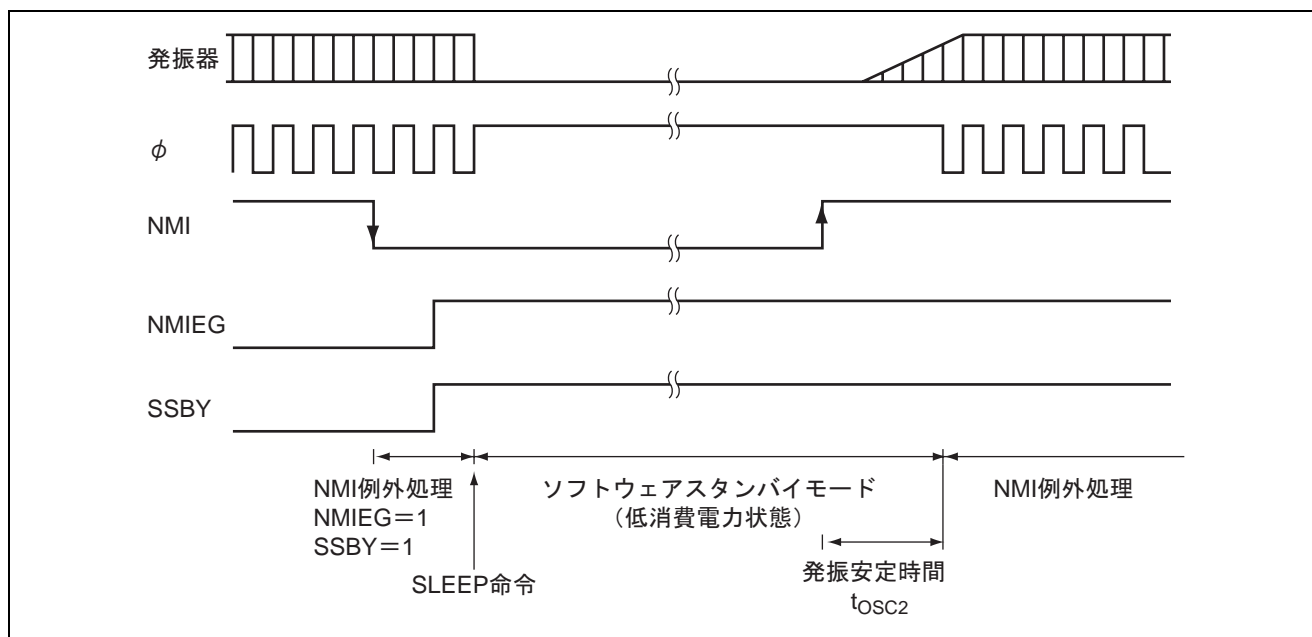


図 29.3 ソフトウェアスタンバイモードの応用例

29.6 ウォッチモード

高速モードにおいて、SBYCR の SSBY ビットが 1、TCSR (WDT_1) の PSS ビットが 1 のとき SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモードでは、CPU および WDT_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは、割り込み (WOVI1、NMI、IRQ0~IRQ15、KIN0~KIN15、WUE0~WUE15)、PS2 割り込み、 $\overline{\text{RES}}$ 入力によって解除されます。

割り込みが発生するとウォッチモードは解除され、高速モードあるいは中速モードに遷移します。高速モードに遷移するとき、SBYCR の STS2~STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0~IRQ15 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、KIN0~KIN15、WUE0~WUE15 割り込みについては入力が許可されていない場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

29.7 モジュールストップモード

モジュールストップモードは内蔵周辺モジュール単位で設定できます。

MSTPCR の各モジュールに対応した MSTP ビットを 1 にセットすると、そのモジュールはバスサイクルの終了時点でモジュールストップモードへ遷移します。0 にクリアするとモジュールストップモードは解除され、バスサイクルの終了時点で動作を再開します。モジュールストップモードでは、一部の周辺モジュールの内部状態は保持されています。

リセット解除後は、すべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

29.8 使用上の注意事項

29.8.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、またはプルアップ MOS がオン状態では出力電流分の消費電流は低減されません。

29.8.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

30. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成、動作モード別の状態、選択条件およびモジュール別のアドレスに関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）
 - 割り付けアドレスの小さいレジスタから順に記載します。
 - アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
 - モジュール名称による分類をしています。
 - アクセスサイズを表示しています。
2. レジスタビット一覧
 - 「30.1 レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
 - リザーブビットは、ビット名称部に「-」で表記しています。
 - ビット番号が表示されているものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
 - 16ビットのレジスタの場合、8ビットずつ2段で記載しています。
3. 各動作モードにおけるレジスタの状態
 - 「30.1 レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
 - 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。
4. レジスタ選択条件
 - 「30.1 レジスタアドレス一覧（アドレス順）」の順序で、レジスタの選択条件を記載しています。
 - レジスタの選択条件については「3.2.2 システムコントロールレジスタ（SYSCR）」、「29.1.3 モジュールストップコントロールレジスタH、L、A、B（MSTPCR_H、MSTPCR_L、MSTPCR_A、MSTPCR_B）」および各モジュールのレジスタ説明を参照してください。
5. 各モジュール別レジスタアドレス一覧
 - 各モジュールごとにアドレスを記載しています。
 - 複数のチャンネルを持つモジュールは、チャンネル順に記載しています。

30.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
BBR レジスタ 0	BBR0	8	H'F800	BBR	8	2
BBR レジスタ 1	BBR1	8	H'F801	BBR	8	2
BBR レジスタ 2	BBR2	8	H'F802	BBR	8	2
BBR レジスタ 3	BBR3	8	H'F803	BBR	8	2
BBR レジスタ 4	BBR4	8	H'F804	BBR	8	2
BBR レジスタ 5	BBR5	8	H'F805	BBR	8	2
BBR レジスタ 6	BBR6	8	H'F806	BBR	8	2
BBR レジスタ 7	BBR7	8	H'F807	BBR	8	2
BBR レジスタ 8	BBR8	8	H'F808	BBR	8	2
BBR レジスタ 9	BBR9	8	H'F809	BBR	8	2
BBR レジスタ 10	BBR10	8	H'F80A	BBR	8	2
BBR レジスタ 11	BBR11	8	H'F80B	BBR	8	2
BBR レジスタ 12	BBR12	8	H'F80C	BBR	8	2
BBR レジスタ 13	BBR13	8	H'F80D	BBR	8	2
BBR レジスタ 14	BBR14	8	H'F80E	BBR	8	2
BBR レジスタ 15	BBR15	8	H'F80F	BBR	8	2
BBR レジスタ 16	BBR16	8	H'F810	BBR	8	2
BBR レジスタ 17	BBR17	8	H'F811	BBR	8	2
BBR レジスタ 18	BBR18	8	H'F812	BBR	8	2
BBR レジスタ 19	BBR19	8	H'F813	BBR	8	2
BBR レジスタ 20	BBR20	8	H'F814	BBR	8	2
BBR レジスタ 21	BBR21	8	H'F815	BBR	8	2
BBR レジスタ 22	BBR22	8	H'F816	BBR	8	2
BBR レジスタ 23	BBR23	8	H'F817	BBR	8	2
BBR レジスタ 24	BBR24	8	H'F818	BBR	8	2
BBR レジスタ 25	BBR25	8	H'F819	BBR	8	2
BBR レジスタ 26	BBR26	8	H'F81A	BBR	8	2
BBR レジスタ 27	BBR27	8	H'F81B	BBR	8	2
BBR レジスタ 28	BBR28	8	H'F81C	BBR	8	2
BBR レジスタ 29	BBR29	8	H'F81D	BBR	8	2
BBR レジスタ 30	BBR30	8	H'F81E	BBR	8	2
BBR レジスタ 31	BBR31	8	H'F81F	BBR	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
BBR レジスタ 32	BBR32	8	H'F820	BBR	8	2
BBR レジスタ 33	BBR33	8	H'F821	BBR	8	2
BBR レジスタ 34	BBR34	8	H'F822	BBR	8	2
BBR レジスタ 35	BBR35	8	H'F823	BBR	8	2
BBR レジスタ 36	BBR36	8	H'F824	BBR	8	2
BBR レジスタ 37	BBR37	8	H'F825	BBR	8	2
BBR レジスタ 38	BBR38	8	H'F826	BBR	8	2
BBR レジスタ 39	BBR39	8	H'F827	BBR	8	2
BBR レジスタ 40	BBR40	8	H'F828	BBR	8	2
BBR レジスタ 41	BBR41	8	H'F829	BBR	8	2
BBR レジスタ 42	BBR42	8	H'F82A	BBR	8	2
BBR レジスタ 43	BBR43	8	H'F82B	BBR	8	2
BBR レジスタ 44	BBR44	8	H'F82C	BBR	8	2
BBR レジスタ 45	BBR45	8	H'F82D	BBR	8	2
BBR レジスタ 46	BBR46	8	H'F82E	BBR	8	2
BBR レジスタ 47	BBR47	8	H'F82F	BBR	8	2
BBR レジスタ 48	BBR48	8	H'F830	BBR	8	2
BBR レジスタ 49	BBR49	8	H'F831	BBR	8	2
BBR レジスタ 50	BBR50	8	H'F832	BBR	8	2
BBR レジスタ 51	BBR51	8	H'F833	BBR	8	2
BBR レジスタ 52	BBR52	8	H'F834	BBR	8	2
BBR レジスタ 53	BBR53	8	H'F835	BBR	8	2
BBR レジスタ 54	BBR54	8	H'F836	BBR	8	2
BBR レジスタ 55	BBR55	8	H'F837	BBR	8	2
BBR レジスタ 56	BBR56	8	H'F838	BBR	8	2
BBR レジスタ 57	BBR57	8	H'F839	BBR	8	2
BBR レジスタ 58	BBR58	8	H'F83A	BBR	8	2
BBR レジスタ 59	BBR59	8	H'F83B	BBR	8	2
BBR レジスタ 60	BBR60	8	H'F83C	BBR	8	2
BBR レジスタ 61	BBR61	8	H'F83D	BBR	8	2
BBR レジスタ 62	BBR62	8	H'F83E	BBR	8	2
BBR レジスタ 63	BBR63	8	H'F83F	BBR	8	2
BBR ライトプロテクトレジスタ	BWPRT	8	H'F841	BBR	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'F900	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'F901	PORT	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
ポート 1 出カデータレジスタ	P1ODR	8	H'F902	PORT	8	2
ポート 2 出カデータレジスタ	P2ODR	8	H'F903	PORT	8	2
ポート 1 入カデータレジスタ	P1PIN	8	H'F904	PORT	8	2
ポート 2 入カデータレジスタ	P2PIN	8	H'F905	PORT	8	2
ポート 1 ブルアップ MOS コントロールレジスタ	P1PCR	8	H'F906	PORT	8	2
ポート 2 ブルアップ MOS コントロールレジスタ	P2PCR	8	H'F907	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'F910	PORT	8	2
ポート 4 データディレクションレジスタ	P4DDR	8	H'F911	PORT	8	2
ポート 3 出カデータレジスタ	P3ODR	8	H'F912	PORT	8	2
ポート 4 出カデータレジスタ	P4ODR	8	H'F913	PORT	8	2
ポート 3 入カデータレジスタ	P3PIN	8	H'F914	PORT	8	2
ポート 4 入カデータレジスタ	P4PIN	8	H'F915	PORT	8	2
ポート 3 ブルアップ MOS コントロールレジスタ	P3PCR	8	H'F916	PORT	8	2
ポート 4 ブルアップ MOS コントロールレジスタ	P4PCR	8	H'F917	PORT	8	2
ポート 4 ノイズキャンセライネーブルレジスタ	P4NCE	8	H'F91B	PORT	8	2
ポート 4 ノイズキャンセラ判定制御レジスタ	P4NCMC	8	H'F91D	PORT	8	2
ポート 4 ノイズキャンセル周期設定レジスタ	P4NCCS	8	H'F91F	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'F920	PORT	8	2
ポート 6 データディレクションレジスタ	P6DDR	8	H'F921	PORT	8	2
ポート 5 出カデータレジスタ	P5ODR	8	H'F922	PORT	8	2
ポート 6 出カデータレジスタ	P6ODR	8	H'F923	PORT	8	2
ポート 5 入カデータレジスタ	P5PIN	8	H'F924	PORT	8	2
ポート 6 入カデータレジスタ	P6PIN	8	H'F925	PORT	8	2
ポート 5 ブルアップ MOS コントロールレジスタ	P5PCR	8	H'F926	PORT	8	2
ポート 6 ブルアップ MOS コントロールレジスタ	P6PCR	8	H'F927	PORT	8	2
ポート 6 ノイズキャンセライネーブルレジスタ	P6NCE	8	H'F92B	PORT	8	2
ポート 6 ノイズキャンセラ判定制御レジスタ	P6NCMC	8	H'F92D	PORT	8	2
ポート 6 ノイズキャンセル周期設定レジスタ	P6NCCS	8	H'F92F	PORT	8	2
ポート 8 データディレクションレジスタ	P8DDR	8	H'F931	PORT	8	2
ポート 8 出カデータレジスタ	P8ODR	8	H'F933	PORT	8	2
ポート 7 入カデータレジスタ	P7PIN	8	H'F934	PORT	8	2
ポート 8 入カデータレジスタ	P8PIN	8	H'F935	PORT	8	2
ポート 8 ブルアップ MOS コントロールレジスタ	P8PCR	8	H'F937	PORT	8	2
ポート 9 データディレクションレジスタ	P9DDR	8	H'F940	PORT	8	2
ポート 9 出カデータレジスタ	P9ODR	8	H'F942	PORT	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
ポート 9 入力データレジスタ	P9PIN	8	H'F944	PORT	8	2
ポート 9 プルアップ MOS コントロールレジスタ	P9PCR	8	H'F946	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'F950	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'F951	PORT	8	2
ポート A 出力データレジスタ	PAODR	8	H'F952	PORT	8	2
ポート B 出力データレジスタ	PBODR	8	H'F953	PORT	8	2
ポート A 入力データレジスタ	PAPIN	8	H'F954	PORT	8	2
ポート B 入力データレジスタ	PBPIN	8	H'F955	PORT	8	2
ポート B プルアップ MOS コントロールレジスタ	PBPCR	8	H'F957	PORT	8	2
ポート A N チャネルオープンドレインレジスタ	PANOCR	8	H'F958	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'F960	PORT	8	2
ポート D データディレクションレジスタ	PDDDR	8	H'F961	PORT	8	2
ポート C 出力データレジスタ	PCODR	8	H'F962	PORT	8	2
ポート D 出力データレジスタ	PDODR	8	H'F963	PORT	8	2
ポート C 入力データレジスタ	PCPIN	8	H'F964	PORT	8	2
ポート D 入力データレジスタ	PDPIN	8	H'F965	PORT	8	2
ポート C プルアップ MOS コントロールレジスタ	PCPCR	8	H'F966	PORT	8	2
ポート D プルアップ MOS コントロールレジスタ	PDPCR	8	H'F967	PORT	8	2
ポート C N チャネルオープンドレインレジスタ	PCNOCR	8	H'F968	PORT	8	2
ポート D N チャネルオープンドレインレジスタ	PDNOCR	8	H'F969	PORT	8	2
ポート C ノイズキャンセライネーブルレジスタ	PCNCE	8	H'F96A	PORT	8	2
ポート C ノイズキャンセラ判定制御レジスタ	PCNCMC	8	H'F96C	PORT	8	2
ポート C ノイズキャンセル周期設定レジスタ	PCNCCS	8	H'F96E	PORT	8	2
ポート E データディレクションレジスタ	PEDDR	8	H'F970	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'F971	PORT	8	2
ポート E 出力データレジスタ	PEODR	8	H'F972	PORT	8	2
ポート F 出力データレジスタ	PFODR	8	H'F973	PORT	8	2
ポート E 入力データレジスタ	PEPIN	8	H'F974	PORT	8	2
ポート F 入力データレジスタ	PFPIN	8	H'F975	PORT	8	2
ポート E プルアップ MOS コントロールレジスタ	PEPCR	8	H'F976	PORT	8	2
ポート F プルアップ MOS コントロールレジスタ	PFPCR	8	H'F977	PORT	8	2
ポート E N チャネルオープンドレインレジスタ	PENOCR	8	H'F978	PORT	8	2
ポート F N チャネルオープンドレインレジスタ	PFNOCR	8	H'F979	PORT	8	2
ポート G データディレクションレジスタ	PGDDR	8	H'F980	PORT	8	2
ポート H データディレクションレジスタ	PHDDR	8	H'F981	PORT	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
ポート G 出力データレジスタ	PGODR	8	H'F982	PORT	8	2
ポート H 出力データレジスタ	PHODR	8	H'F983	PORT	8	2
ポート G 入力データレジスタ	PGPIN	8	H'F984	PORT	8	2
ポート H 入力データレジスタ	PHPIN	8	H'F985	PORT	8	2
ポート H ブルアップ MOS コントロールレジスタ	PHPCR	8	H'F987	PORT	8	2
ポート GN チャネルオープンドレインレジスタ	PGNOCR	8	H'F988	PORT	8	2
ポート HN チャネルオープンドレインレジスタ	PHNOCR	8	H'F989	PORT	8	2
ポート G ノイズキャンセライネーブルレジスタ	PGNCE	8	H'F98A	PORT	8	2
ポート G ノイズキャンセラ判定制御レジスタ	PGNMC	8	H'F98C	PORT	8	2
ポート G ノイズキャンセル周期設定レジスタ	PGNCCS	8	H'F98E	PORT	8	2
ポート I データディレクションレジスタ	PIDDR	8	H'F990	PORT	8	2
ポート J データディレクションレジスタ	PJDDR	8	H'F991	PORT	8	2
ポート I 出力データレジスタ	PIODR	8	H'F992	PORT	8	2
ポート J 出力データレジスタ	PJODR	8	H'F993	PORT	8	2
ポート I 入力データレジスタ	PIPIN	8	H'F994	PORT	8	2
ポート J 入力データレジスタ	PJPIN	8	H'F995	PORT	8	2
ポート IN チャネルオープンドレインレジスタ	PINOCR	8	H'F998	PORT	8	2
ポート JN チャネルオープンドレインレジスタ	PJNOCR	8	H'F999	PORT	8	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FB20	ROM	8	2
フラッシュメモリデータブロックプロテクト レジスタ	DFPR	8	H'FB22	ROM	8	2
フラッシュメモリステータスレジスタ	FLMSTR	8	H'FB23	ROM	8	2
フラッシュマツトセレクトレジスタ	FMATS	8	H'FB25	ROM	8	2
リセット発生要因フラグレジスタ	RSTFR	8	H'FB40	SYSTEM	8	2
低電圧検知回路 1 コントロールレジスタ H	LD1CRH	8	H'FB44	SYSTEM	8	2
低電圧検知回路 1 コントロールレジスタ L	LD1CRL	8	H'FB45	SYSTEM	8	2
低電圧検知回路 0 コントロールレジスタ H	LD0CRH	8	H'FB46	SYSTEM	8	2
低電圧検知回路 0 コントロールレジスタ L	LD0CRL	8	H'FB47	SYSTEM	8	2
低電圧検知回路コントロールプロテクトレジスタ	VDCPR	8	H'FB49	SYSTEM	8	2
PECI コントロールレジスタ	PECR	8	H'FBA0	PECI	8	2
PECI ステータスレジスタ	PESTR	8	H'FBA1	PECI	8	2
PECI タイミングカウンタプリレジスタ	PECNT0_PRE	16	H'FBA2	PECI	16	2
PECI タイミングカウンタジェネラルレジスタ	PECNT0_GR	16	H'FBA4	PECI	16	2
PECI タイミングカウンタアドレスジェネラル レジスタ	PECNT0_GRA	16	H'FBA6	PECI	16	2
PECI アドレスレジスタ	PEADD	8	H'FBA8	PECI	8	2
PECI 書き込みバイト数レジスタ	PEWBNR	8	H'FBA9	PECI	8	2
PECI 読み出しバイト数レジスタ	PERBNR	8	H'FBAA	PECI	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
PECI クライアント書き込みフレームチェック シーケンスレジスタ	PECWFCSR	8	H'FBAD	PECI	8	2
PECI クライアント読み出しフレームチェック シーケンスレジスタ	PECRFCSR	8	H'FBAE	PECI	8	2
PECI FIFO レジスタ	PEFIFO	8	H'FBAF	PECI	8	2
TCM タイマカウンタレジスタ_0	TCMCNT_0	16	H'FBC0	TCM_0	16	2
TCM タイマ周期上限レジスタ_0	TCMMLCM_0	16	H'FBC2	TCM_0	16	2
TCM インพุットキャプチャレジスタ_0	TCMICR_0	16	H'FBC4	TCM_0	16	2
TCM インพุットキャプチャバッファレジスタ_0	TCMICRF_0	16	H'FBC6	TCM_0	16	2
TCM ステータスレジスタ_0	TCMCSR_0	8	H'FBC8	TCM_0	8	2
TCM コントロールレジスタ_0	TCMCR_0	8	H'FBC9	TCM_0	8	2
TCM インタラプトイネーブルレジスタ_0	TCMIER_0	8	H'FBCA	TCM_0	8	2
TCM 周期下限レジスタ_0	TCMMINCM_0	16	H'FBCC	TCM_0	16	2
TCM タイマカウンタレジスタ_1	TCMCNT_1	16	H'FBD0	TCM_1	16	2
TCM タイマ周期上限レジスタ_1	TCMMLCM_1	16	H'FBD2	TCM_1	16	2
TCM インพุットキャプチャレジスタ_1	TCMICR_1	16	H'FBD4	TCM_1	16	2
TCM インพุットキャプチャバッファレジスタ_1	TCMICRF_1	16	H'FBD6	TCM_1	16	2
TCM ステータスレジスタ_1	TCMCSR_1	8	H'FBD8	TCM_1	8	2
TCM コントロールレジスタ_1	TCMCR_1	8	H'FBD9	TCM_1	8	2
TCM インタラプトイネーブルレジスタ_1	TCMIER_1	8	H'FBDA	TCM_1	8	2
TCM 周期下限レジスタ_1	TCMMINCM_1	16	H'FBDC	TCM_1	16	2
TCM タイマカウンタレジスタ_2	TCMCNT_2	16	H'FBE0	TCM_2	16	2
TCM 周期上限レジスタ_2	TCMMLCM_2	16	H'FBE2	TCM_2	16	2
TCM インพุットキャプチャレジスタ_2	TCMICR_2	16	H'FBE4	TCM_2	16	2
TCM インพุットキャプチャバッファレジスタ_2	TCMICRF_2	16	H'FBE6	TCM_2	16	2
TCM ステータスレジスタ_2	TCMCSR_2	8	H'FBE8	TCM_2	8	2
TCM コントロールレジスタ_2	TCMCR_2	8	H'FBE9	TCM_2	8	2
TCM インタラプトイネーブルレジスタ_2	TCMIER_2	8	H'FBEA	TCM_2	8	2
TCM 周期下限レジスタ_2	TCMMINCM_2	16	H'FBEC	TCM_2	16	2
A/D データレジスタ A	ADDRA	16	H'FC00	A/D 変換器	16	2
A/D データレジスタ B	ADDRB	16	H'FC02	A/D 変換器	16	2
A/D データレジスタ C	ADDRC	16	H'FC04	A/D 変換器	16	2
A/D データレジスタ D	ADDRD	16	H'FC06	A/D 変換器	16	2
A/D データレジスタ E	ADDRE	16	H'FC08	A/D 変換器	16	2
A/D データレジスタ F	ADDRF	16	H'FC0A	A/D 変換器	16	2
A/D データレジスタ G	ADDRG	16	H'FC0C	A/D 変換器	16	2
A/D データレジスタ H	ADDRH	16	H'FC0E	A/D 変換器	16	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FC10	A/D 変換器	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
A/D コントロールレジスタ	ADCR	8	H'FC11	A/D 変換器	8	2
レシーブバッファレジスタ	FRBR	8	H'FC20	SCIF	8	2
トランスミッタホールディングレジスタ	FTHR	8	H'FC20	SCIF	8	2
ディバイザラッチ L	FDLL	8	H'FC20	SCIF	8	2
割り込みイネーブルレジスタ	FIER	8	H'FC21	SCIF	8	2
ディバイザラッチ H	FDLH	8	H'FC21	SCIF	8	2
割り込み識別レジスタ	FIIR	8	H'FC22	SCIF	8	2
FIFO 制御レジスタ	FFCR	8	H'FC22	SCIF	8	2
ライン制御レジスタ	FLCR	8	H'FC23	SCIF	8	2
モデム制御レジスタ	FMCR	8	H'FC24	SCIF	8	2
ラインステータスレジスタ	FLSR	8	H'FC25	SCIF	8	2
モデムステータスレジスタ	FMSR	8	H'FC26	SCIF	8	2
スクラッチパッドレジスタ	FSCR	8	H'FC27	SCIF	8	2
SCIF コントロールレジスタ	SCIFCR	8	H'FC28	SCIF	8	2
FSI アクセスホストベースアドレスレジスタ H	FSIHBARH	8	H'FC50	FSI	8	2
FSI アクセスホストベースアドレスレジスタ L	FSIHBARL	8	H'FC51	FSI	8	2
FSI フラッシュメモリサイズレジスタ	FSISR	8	H'FC52	FSI	8	2
FSI コマンドホストベースアドレスレジスタ H	CMDHBARH	8	H'FC53	FSI	8	2
FSI コマンドホストベースアドレスレジスタ L	CMDHBARL	8	H'FC54	FSI	8	2
FSI コマンドレジスタ	FSICMDR	8	H'FC55	FSI	8	2
FSILPC コマンドステータスレジスタ 1	FSILSTR1	8	H'FC56	FSI	8	2
FSI ジェネラルパーパスレジスタ 1	FSIGPR1	8	H'FC57	FSI	8	2
FSI ジェネラルパーパスレジスタ 2	FSIGPR2	8	H'FC58	FSI	8	2
FSI ジェネラルパーパスレジスタ 3	FSIGPR3	8	H'FC59	FSI	8	2
FSI ジェネラルパーパスレジスタ 4	FSIGPR4	8	H'FC5A	FSI	8	2
FSI ジェネラルパーパスレジスタ 5	FSIGPR5	8	H'FC5B	FSI	8	2
FSI ジェネラルパーパスレジスタ 6	FSIGPR6	8	H'FC5C	FSI	8	2
FSI ジェネラルパーパスレジスタ 7	FSIGPR7	8	H'FC5D	FSI	8	2
FSI ジェネラルパーパスレジスタ 8	FSIGPR8	8	H'FC5E	FSI	8	2
FSI ジェネラルパーパスレジスタ 9	FSIGPR9	8	H'FC5F	FSI	8	2
FSI ジェネラルパーパスレジスタ A	FSIGPRA	8	H'FC60	FSI	8	2
FSI ジェネラルパーパスレジスタ B	FSIGPRB	8	H'FC61	FSI	8	2
FSI ジェネラルパーパスレジスタ C	FSIGPRC	8	H'FC62	FSI	8	2
FSI ジェネラルパーパスレジスタ D	FSIGPRD	8	H'FC63	FSI	8	2
FSI ジェネラルパーパスレジスタ E	FSIGPRE	8	H'FC64	FSI	8	2
FSI ジェネラルパーパスレジスタ F	FSIGPRF	8	H'FC65	FSI	8	2
FSI LPC コントロールレジスタ	SLCR	8	H'FC66	FSI	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
FSI アドレスレジスタ H	FSIARH	8	H'FC67	FSI	8	2
FSI アドレスレジスタ M	FSIARM	8	H'FC68	FSI	8	2
FSI アドレスレジスタ L	FSIARL	8	H'FC69	FSI	8	2
FSI ライトデータレジスタ HH	FSIWDRHH	8	H'FC6A	FSI	8	2
FSI ライトデータレジスタ HL	FSIWDRHL	8	H'FC6B	FSI	8	2
FSI ライトデータレジスタ LH	FSIWDRLH	8	H'FC6C	FSI	8	2
FSI ライトデータレジスタ LL	FSIWDRLL	8	H'FC6D	FSI	8	2
FSI LPC コマンドステータスレジスタ 2	FSILSTR2	8	H'FC6E	FSI	8	2
SS コントロールレジスタ H	SSCRH	8	H'FC80	SSU	8	2
SS コントロールレジスタ L	SSCRL	8	H'FC81	SSU	8	2
SS モードレジスタ	SSMR	8	H'FC82	SSU	8	2
SS イネーブルレジスタ	SSER	8	H'FC83	SSU	8	2
SS ステータスレジスタ	SSSR	8	H'FC84	SSU	8	2
SS コントロールレジスタ 2	SSCR2	8	H'FC85	SSU	8	2
SS トランスミットデータレジスタ 0	SSTDR0	8	H'FC86	SSU	8	2
SS トランスミットデータレジスタ 1	SSTDR1	8	H'FC87	SSU	8	2
SS トランスミットデータレジスタ 2	SSTDR2	8	H'FC88	SSU	8	2
SS トランスミットデータレジスタ 3	SSTDR3	8	H'FC89	SSU	8	2
SS レシーブデータレジスタ 0	SSRDR0	8	H'FC8A	SSU	8	2
SS レシーブデータレジスタ 1	SSRDR1	8	H'FC8B	SSU	8	2
SS レシーブデータレジスタ 2	SSRDR2	8	H'FC8C	SSU	8	2
SS レシーブデータレジスタ 3	SSRDR3	8	H'FC8D	SSU	8	2
FSI コントロールレジスタ 1	FSICR1	8	H'FC90	FSI	8	2
FSI コントロールレジスタ 2	FSICR2	8	H'FC91	FSI	8	2
FSI バイトカウントレジスタ	FSIBNR	8	H'FC92	FSI	8	2
FSI インストラクションレジスタ	FSIINS	8	H'FC93	FSI	8	2
FSI リードインストラクションレジスタ	FSIRDINS	8	H'FC94	FSI	8	2
FSI プログラムインストラクションレジスタ	FSIPPINS	8	H'FC95	FSI	8	2
FSI ステータスレジスタ	FSISTR	8	H'FC96	FSI	8	2
FSI 送信データレジスタ 0	FSITDR0	8	H'FC98	FSI	8	2
FSI 送信データレジスタ 1	FSITDR1	8	H'FC99	FSI	8	2
FSI 送信データレジスタ 2	FSITDR2	8	H'FC9A	FSI	8	2
FSI 送信データレジスタ 3	FSITDR3	8	H'FC9B	FSI	8	2
FSI 送信データレジスタ 4	FSITDR4	8	H'FC9C	FSI	8	2
FSI 送信データレジスタ 5	FSITDR5	8	H'FC9D	FSI	8	2
FSI 送信データレジスタ 6	FSITDR6	8	H'FC9E	FSI	8	2
FSI 送信データレジスタ 7	FSITDR7	8	H'FC9F	FSI	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
FSI 受信データレジスタ	FSIRDR	8	H'FCA0	FSI	8	2
WRSR インストラクションレジスタ	WRSRINS	8	H'FCA4	FSI	8	2
RDSR インストラクションレジスタ	RDSRINS	8	H'FCA5	FSI	8	2
PWM デューティ設定レジスタ 0_A	PWMREG0_A	8	H'FD00	PWMU_A	8	2
PWM ブリスケアラレジスタ 0_A	PWMPRE0_A	8	H'FD01	PWMU_A	8	2
PWM デューティ設定レジスタ 1_A	PWMREG1_A	8	H'FD02	PWMU_A	8	2
PWM ブリスケアラレジスタ 1_A	PWMPRE1_A	8	H'FD03	PWMU_A	8	2
PWM デューティ設定レジスタ 2_A	PWMREG2_A	8	H'FD04	PWMU_A	8	2
PWM ブリスケアラレジスタ 2_A	PWMPRE2_A	8	H'FD05	PWMU_A	8	2
PWM デューティ設定レジスタ 3_A	PWMREG3_A	8	H'FD06	PWMU_A	8	2
PWM ブリスケアラレジスタ 3_A	PWMPRE3_A	8	H'FD07	PWMU_A	8	2
PWM デューティ設定レジスタ 4_A	PWMREG4_A	8	H'FD08	PWMU_A	8	2
PWM ブリスケアラレジスタ 4_A	PWMPRE4_A	8	H'FD09	PWMU_A	8	2
PWM デューティ設定レジスタ 5_A	PWMREG5_A	8	H'FD0A	PWMU_A	8	2
PWM ブリスケアラレジスタ 5_A	PWMPRE5_A	8	H'FD0B	PWMU_A	8	2
PWM クロックコントロールレジスタ_A	PWMCKCR_A	8	H'FD0C	PWMU_A	8	2
PWM 出カコントロールレジスタ_A	PWMOUTCR_A	8	H'FD0D	PWMU_A	8	2
PWM モードコントロールレジスタ_A	PWMMDCR_A	8	H'FD0E	PWMU_A	8	2
PWM 位相コントロールレジスタ_A	PWMPCR_A	8	H'FD0F	PWMU_A	8	2
PWM デューティ設定レジスタ 0_B	PWMREG0_B	8	H'FD10	PWMU_B	8	2
PWM ブリスケアラレジスタ 0_B	PWMPRE0_B	8	H'FD11	PWMU_B	8	2
PWM デューティ設定レジスタ 1_B	PWMREG1_B	8	H'FD12	PWMU_B	8	2
PWM ブリスケアラレジスタ 1_B	PWMPRE1_B	8	H'FD13	PWMU_B	8	2
PWM デューティ設定レジスタ 2_B	PWMREG2_B	8	H'FD14	PWMU_B	8	2
PWM ブリスケアラレジスタ 2_B	PWMPRE2_B	8	H'FD15	PWMU_B	8	2
PWM デューティ設定レジスタ 3_B	PWMREG3_B	8	H'FD16	PWMU_B	8	2
PWM ブリスケアラレジスタ 3_B	PWMPRE3_B	8	H'FD17	PWMU_B	8	2
PWM デューティ設定レジスタ 4_B	PWMREG4_B	8	H'FD18	PWMU_B	8	2
PWM ブリスケアラレジスタ 4_B	PWMPRE4_B	8	H'FD19	PWMU_B	8	2
PWM デューティ設定レジスタ 5_B	PWMREG5_B	8	H'FD1A	PWMU_B	8	2
PWM ブリスケアラレジスタ 5_B	PWMPRE5_B	8	H'FD1B	PWMU_B	8	2
PWM クロックコントロールレジスタ_B	PWMCKCR_B	8	H'FD1C	PWMU_B	8	2
PWM 出カコントロールレジスタ_B	PWMOUTCR_B	8	H'FD1D	PWMU_B	8	2
PWM モードコントロールレジスタ_B	PWMMDCR_B	8	H'FD1E	PWMU_B	8	2
PWM 位相コントロールレジスタ_B	PWMPCR_B	8	H'FD1F	PWMU_B	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FD40	TPU_1	8	2
タイマモードレジスタ_1	TMDR_1	8	H'FD41	TPU_1	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
タイマ I/O コントロールレジスタ H_1	TIOR_1	8	H'FD42	TPU_1	8	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FD44	TPU_1	8	2
タイマステータスレジスタ_1	TSR_1	8	H'FD45	TPU_1	8	2
タイマカウンタ_1	TCNT_1	16	H'FD46	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FD48	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FD4A	TPU_1	16	2
PEC 演算データ入力レジスタ	PECX	8	H'FD60	SMBUS	8	2
PEC 演算データ再入力レジスタ	PECY	8	H'FD61	SMBUS	8	2
PEC 演算結果出力レジスタ	PECZ	8	H'FD63	SMBUS	8	2
LPC チャンネル 1 アドレスレジスタ H	LADR1H	8	H'FDC0	LPC	8	2
LPC チャンネル 1 アドレスレジスタ L	LADR1L	8	H'FDC1	LPC	8	2
LPC チャンネル 2 アドレスレジスタ H	LADR2H	8	H'FDC2	LPC	8	2
LPC チャンネル 2 アドレスレジスタ L	LADR2L	8	H'FDC3	LPC	8	2
SCIF アドレスレジスタ H	SCIFADRH	8	H'FDC4	LPC	8	2
SCIF アドレスレジスタ L	SCIFADRL	8	H'FDC5	LPC	8	2
LPC チャンネル A アドレスレジスタ H	LADRAH	8	H'FDD0	LPC	8	2
LPC チャンネル A アドレスレジスタ L	LADRAL	8	H'FDD1	LPC	8	2
入力データレジスタ A	IDRA	8	H'FDD2	LPC	8	2
出力データレジスタ A	ODRA	8	H'FDD3	LPC	8	2
LPC チャンネル 4 アドレスレジスタ H	LADR4H	8	H'FDD4	LPC	8	2
LPC チャンネル 4 アドレスレジスタ L	LADR4L	8	H'FDD5	LPC	8	2
入力データレジスタ 4	IDR4	8	H'FDD6	LPC	8	2
出力データレジスタ 4	ODR4	8	H'FDD7	LPC	8	2
ステータスレジスタ 4	STR4	8	H'FDD8	LPC	8	2
ホストインタフェースコントロールレジスタ 4	HICR4	8	H'FDD9	LPC	8	2
SERIRQ コントロールレジスタ 2	SIRQCR2	8	H'FDDA	LPC	8	2
SERIRQ コントロールレジスタ 3	SIRQCR3	8	H'FDDB	LPC	8	2
クロックランコントロールレジスタ	CKRCR	8	H'FDDF	LPC	8	2
CH4 双方向データレジスタ 0MW	TWDR0MW	8	H'FDE0	LPC	8	2
CH4 双方向データレジスタ 0SW	TWDR0SW	8	H'FDE0	LPC	8	2
CH4 双方向データレジスタ 1	TWDR1	8	H'FDE1	LPC	8	2
CH4 双方向データレジスタ 2	TWDR2	8	H'FDE2	LPC	8	2
CH4 双方向データレジスタ 3	TWDR3	8	H'FDE3	LPC	8	2
CH4 双方向データレジスタ 4	TWDR4	8	H'FDE4	LPC	8	2
CH4 双方向データレジスタ 5	TWDR5	8	H'FDE5	LPC	8	2
CH4 双方向データレジスタ 6	TWDR6	8	H'FDE6	LPC	8	2
CH4 双方向データレジスタ 7	TWDR7	8	H'FDE7	LPC	8	2
CH4 双方向データレジスタ 8	TWDR8	8	H'FDE8	LPC	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
CH4 双方向データレジスタ 9	TWDR9	8	H'FDE9	LPC	8	2
CH4 双方向データレジスタ 10	TWDR10	8	H'FDEA	LPC	8	2
CH4 双方向データレジスタ 11	TWDR11	8	H'FDEB	LPC	8	2
CH4 双方向データレジスタ 12	TWDR12	8	H'FDEC	LPC	8	2
CH4 双方向データレジスタ 13	TWDR13	8	H'FDED	LPC	8	2
CH4 双方向データレジスタ 14	TWDR14	8	H'FDEE	LPC	8	2
CH4 双方向データレジスタ 15	TWDR15	8	H'FDEF	LPC	8	2
CH4 双方向データレジスタ 16	TWDR16	8	H'FDF0	LPC	8	2
CH4 双方向データレジスタ 17	TWDR17	8	H'FDF1	LPC	8	2
CH4 双方向データレジスタ 18	TWDR18	8	H'FDF2	LPC	8	2
CH4 双方向データレジスタ 19	TWDR19	8	H'FDF3	LPC	8	2
CH4 双方向データレジスタ 20	TWDR20	8	H'FDF4	LPC	8	2
CH4 双方向データレジスタ 21	TWDR21	8	H'FDF5	LPC	8	2
CH4 双方向データレジスタ 22	TWDR22	8	H'FDF6	LPC	8	2
CH4 双方向データレジスタ 23	TWDR23	8	H'FDF7	LPC	8	2
CH4 双方向データレジスタ 24	TWDR24	8	H'FDF8	LPC	8	2
CH4 双方向データレジスタ 25	TWDR25	8	H'FDF9	LPC	8	2
CH4 双方向データレジスタ 26	TWDR26	8	H'FDFA	LPC	8	2
CH4 双方向データレジスタ 27	TWDR27	8	H'FDFB	LPC	8	2
CH4 双方向データレジスタ 28	TWDR28	8	H'FDFC	LPC	8	2
CH4 双方向データレジスタ 29	TWDR29	8	H'FDFD	LPC	8	2
CH4 双方向データレジスタ 30	TWDR30	8	H'FD FE	LPC	8	2
CH4 双方向データレジスタ 31	TWDR31	8	H'FDFF	LPC	8	2
ポートコントロールレジスタ 0	PTCNT0	8	H'FE10	PORT	8	2
ポートコントロールレジスタ 1	PTCNT1	8	H'FE11	PORT	8	2
ポートコントロールレジスタ 2	PTCNT2	8	H'FE12	PORT	8	2
双方向データレジスタ 0MW	TWR0MW	8	H'FE20	LPC	8	2
双方向データレジスタ 0SW	TWR0SW	8	H'FE20	LPC	8	2
双方向データレジスタ 0	TWR0	8	H'FE20	LPC	8	2
双方向データレジスタ 1	TWR1	8	H'FE21	LPC	8	2
双方向データレジスタ 2	TWR2	8	H'FE22	LPC	8	2
双方向データレジスタ 3	TWR3	8	H'FE23	LPC	8	2
双方向データレジスタ 4	TWR4	8	H'FE24	LPC	8	2
双方向データレジスタ 5	TWR5	8	H'FE25	LPC	8	2
双方向データレジスタ 6	TWR6	8	H'FE26	LPC	8	2
双方向データレジスタ 7	TWR7	8	H'FE27	LPC	8	2
双方向データレジスタ 8	TWR8	8	H'FE28	LPC	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
双方向データレジスタ 9	TWR9	8	H'FE29	LPC	8	2
双方向データレジスタ 10	TWR10	8	H'FE2A	LPC	8	2
双方向データレジスタ 11	TWR11	8	H'FE2B	LPC	8	2
双方向データレジスタ 12	TWR12	8	H'FE2C	LPC	8	2
双方向データレジスタ 13	TWR13	8	H'FE2D	LPC	8	2
双方向データレジスタ 14	TWR14	8	H'FE2E	LPC	8	2
双方向データレジスタ 15	TWR15	8	H'FE2F	LPC	8	2
入力データレジスタ 3	IDR3	8	H'FE30	LPC	8	2
出力データレジスタ 3	ODR3	8	H'FE31	LPC	8	2
ステータスレジスタ 3	STR3	8	H'FE32	LPC	8	2
ホストインタフェースコントロールレジスタ 5	HICR5	8	H'FE33	LPC	8	2
LPC チャネル 3 アドレスレジスタ H	LADR3H	8	H'FE34	LPC	8	2
LPC チャネル 3 アドレスレジスタ L	LADR3L	8	H'FE35	LPC	8	2
SERIRQ コントロールレジスタ 0	SIRQCR0	8	H'FE36	LPC	8	2
SERIRQ コントロールレジスタ 1	SIRQCR1	8	H'FE37	LPC	8	2
入力データレジスタ 1	IDR1	8	H'FE38	LPC	8	2
出力データレジスタ 1	ODR1	8	H'FE39	LPC	8	2
ステータスレジスタ 1	STR1	8	H'FE3A	LPC	8	2
入力データレジスタ 2	IDR2	8	H'FE3C	LPC	8	2
SERIRQ コントロールレジスタ 4	SIRQCR4	8	H'FE3B	LPC	8	2
出力データレジスタ 2	ODR2	8	H'FE3D	LPC	8	2
ステータスレジスタ 2	STR2	8	H'FE3E	LPC	8	2
ホストインタフェースセレクトレジスタ	HISEL	8	H'FE3F	LPC	8	2
ホストインタフェースコントロールレジスタ 0	HICR0	8	H'FE40	LPC	8	2
ホストインタフェースコントロールレジスタ 1	HICR1	8	H'FE41	LPC	8	2
ホストインタフェースコントロールレジスタ 2	HICR2	8	H'FE42	LPC	8	2
ホストインタフェースコントロールレジスタ 3	HICR3	8	H'FE43	LPC	8	2
ウェイクアップイベント割り込みマスクレジスタ B	WUEMRB	8	H'FE44	INT	8	2
ウェイクアップイベント割り込みマスクレジスタ A	WUEMRA	8	H'FE45	INT	8	2
ホストインタフェースコントロールレジスタ 6	HICR6	8	H'FE4C	LPC	8	2
ステータスレジスタ A	STRA	8	H'FE4D	LPC	8	2
SERIRQ コントロールレジスタ 5	SIRQCR5	8	H'FE4E	LPC	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FE50	TPU_0	8	2
タイマモードレジスタ_0	TMDR_0	8	H'FE51	TPU_0	8	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FE52	TPU_0	8	2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FE53	TPU_0	8	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FE54	TPU_0	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
タイマステータスレジスタ_0	TSR_0	8	H'FE55	TPU_0	8	2
タイマカウンタ_0	TCNT_0	16	H'FE56	TPU_0	16	2
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FE58	TPU_0	16	2
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FE5A	TPU_0	16	2
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FE5C	TPU_0	16	2
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FE5E	TPU_0	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FE70	TPU_2	8	2
タイマモードレジスタ_2	TMDR_2	8	H'FE71	TPU_2	8	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FE72	TPU_2	8	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FE74	TPU_2	8	2
タイマステータスレジスタ_2	TSR_2	8	H'FE75	TPU_2	8	2
タイマカウンタ_2	TCNT_2	16	H'FE76	TPU_2	16	2
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FE78	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FE7A	TPU_2	16	2
キーボードマトリクス割り込みレジスタ B	KMIMRB	8	H'FE81	INT	8	2
キーボードマトリクス割り込みレジスタ A	KMIMRA	8	H'FE83	INT	8	2
ウェイクアップセンスコントロールレジスタ A	WUESCRA	8	H'FE84	INT	8	2
ウェイクアップ入力割り込みステータスレジスタ A	WUESRA	8	H'FE85	INT	8	2
ウェイクアップイネーブルレジスタ	WUEER	8	H'FE86	INT	8	2
インタラプトコントロールレジスタ D	ICRD	8	H'FE87	INT	8	2
I ² C バスコントロールレジスタ_2	ICCR_2	8	H'FE88	IIC2	8	2
I ² C バスステータスレジスタ_2	ICSR_2	8	H'FE89	IIC2	8	2
I ² C バスコントロール初期化レジスタ_2	ICRES_2	8	H'FE8A	IIC2	8	2
I ² C バスクロックセクタレジスタ_2	ICCKR_2	8	H'FE8B	IIC2	8	2
I ² C バスコントロール拡張レジスタ_2	ICXR_2	8	H'FE8C	IIC2	8	2
第 2 スレーブアドレスレジスタ_2	SARX_2	8	H'FE8E	IIC2	8	2
I ² C バスデータレジスタ_2	ICDR_2	8	H'FE8E	IIC2	8	2
スレーブアドレスレジスタ_2	SAR_2	8	H'FE8F	IIC2	8	2
I ² C バスモードレジスタ_2	ICMR_2	8	H'FE8F	IIC2	8	2
ウェイクアップセンスコントロールレジスタ B	WUESCRB	8	H'FE96	INT	8	2
ウェイクアップ入力割り込みステータスレジスタ B	WUESRB	8	H'FE97	INT	8	2
タイマスタートレジスタ	TSTR	8	H'FEB0	TPU 共通	8	2
タイマシンクロレジスタ	TSYR	8	H'FEB1	TPU 共通	8	2
キーボード送信コントロールレジスタ_0	KBCR1_0	8	H'FEC0	PS2_0	8	2
キーボードデータバッファ送信データレジスタ_0	KBTR_0	8	H'FEC1	PS2_0	8	2
キーボード送信コントロールレジスタ_1	KBCR1_1	8	H'FEC2	PS2_1	8	2
キーボードデータバッファ送信データレジスタ_1	KBTR_1	8	H'FEC3	PS2_1	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
キーボード送信コントロールレジスタ_2	KBCR1_2	8	H'FEC4	PS2_2	8	2
キーボードデータバッファ送信データレジスタ_2	KBTR_2	8	H'FEC5	PS2_2	8	2
タイマXYコントロールレジスタ	TCRXY	8	H'FEC6	TMR_X、 TMR_Y	8	2
タイマコントロールレジスタ_Y	TCR_Y	8	H'FEC8	TMR_Y	8	2
タイマコントロールステータスレジスタ_Y	TCSR_Y	8	H'FEC9	TMR_Y	8	2
タイムコンスタントレジスタ A_Y	TCORA_Y	8	H'FECA	TMR_Y	8	2
タイムコンスタントレジスタ B_Y	TCORB_Y	8	H'FECB	TMR_Y	8	2
タイマカウンタ_Y	TCNT_Y	8	H'FECC	TMR_Y	8	2
I ² C バスコントロールレジスタ_1	ICCR_1	8	H'FED0	IIC1	8	2
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FED1	IIC1	8	2
I ² C バスコントロール初期化レジスタ_1	ICRES_1	8	H'FED2	IIC1	8	2
I ² C バスクロックセクタレジスタ_1	ICCKR_1	8	H'FED3	IIC1	8	2
I ² C バスコントロール拡張レジスタ_1	ICXR_1	8	H'FED4	IIC1	8	2
第2スレーブアドレスレジスタ_1	SARX_1	8	H'FED6	IIC1	8	2
I ² C バスデータレジスタ_1	ICDR_1	8	H'FED6	IIC1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FED7	IIC1	8	2
I ² C バスモードレジスタ_1	ICMR_1	8	H'FED7	IIC1	8	2
キーボードコントロールステートレジスタ_0	KBCRH_0	8	H'FED8	PS2_0	8	2
キーボードレシーブコントロールレジスタ_0	KBCRL_0	8	H'FED9	PS2_0	8	2
キーボード受信データバッファレジスタ_0	KBBR_0	8	H'FEDA	PS2_0	8	2
キーボード送信カウントレジスタ_0	KBCR2_0	8	H'FEDB	PS2_0	8	2
キーボードコントロールステートレジスタ_1	KBCRH_1	8	H'FEDC	PS2_1	8	2
キーボードレシーブコントロールレジスタ_1	KBCRL_1	8	H'FEDD	PS2_1	8	2
キーボード受信データバッファレジスタ_1	KBBR_1	8	H'FEDE	PS2_1	8	2
キーボード送信カウントレジスタ_1	KBCR2_1	8	H'FEDF	PS2_1	8	2
キーボードコントロールステートレジスタ_2	KBCRH_2	8	H'FEE0	PS2_2	8	2
キーボードレシーブコントロールレジスタ_2	KBCRL_2	8	H'FEE1	PS2_2	8	2
キーボード受信データバッファレジスタ_2	KBBR_2	8	H'FEE2	PS2_2	8	2
キーボード送信カウントレジスタ_2	KBCR2_2	8	H'FEE3	PS2_2	8	2
インタラプトコントロールレジスタ A	ICRA	8	H'FEE8	INT	8	2
インタラプトコントロールレジスタ B	ICRB	8	H'FEE9	INT	8	2
インタラプトコントロールレジスタ C	ICRC	8	H'FEEA	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FEEB	INT	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FEEC	INT	8	2
IRQ センスコントロールレジスタ L	ISCR_L	8	H'FEED	INT	8	2
アドレスブレークコントロールレジスタ	ABRKCR	8	H'FEF4	INT	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
ブレークアドレスレジスタ A	BARA	8	H'FEF5	INT	8	2
ブレークアドレスレジスタ B	BARB	8	H'FEF6	INT	8	2
ブレークアドレスレジスタ C	BARC	8	H'FEF7	INT	8	2
IRQ イネーブルレジスタ 16	IER16	8	H'FEF8	INT	8	2
IRQ ステータスレジスタ 16	ISR16	8	H'FEF9	INT	8	2
IRQ センسコントロールレジスタ 16H	ISCR16H	8	H'FEFA	INT	8	2
IRQ センスコントロールレジスタ 16L	ISCR16L	8	H'FEFB	INT	8	2
IRQ センサポートセレクトレジスタ 16	ISSR16	8	H'FEFC	INT	8	2
IRQ センサポートセレクトレジスタ	ISSR	8	H'FEFD	INT	8	2
シリアルモードレジスタ	SMR_1	8	H'FF88	SCI_1	8	2
ビットレートレジスタ	BRR_1	8	H'FF89	SCI_1	8	2
シリアルコントロールレジスタ	SCR_1	8	H'FF8A	SCI_1	8	2
トランスミットデータレジスタ	TDR_1	8	H'FF8B	SCI_1	8	2
シリアルステータスレジスタ	SSR_1	8	H'FF8C	SCI_1	8	2
レシーブデータレジスタ	RDR_1	8	H'FF8D	SCI_1	8	2
スマートカードモードレジスタ	SCMR_1	8	H'FF8E	SCI_1	8	2
シリアル拡張モードレジスタ	SEMR_1	8	H'FF8F	SCI_1	8	2
モードコントロールレジスタ	MDCR	8	H'FF90	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FF91	SYSTEM	8	2
スタンバイコントロールレジスタ	SBYCR	8	H'FF94	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FF95	SYSTEM	8	2
モジュールストップコントロールレジスタ H	MSTPCRH	8	H'FF96	SYSTEM	8	2
モジュールストップコントロールレジスタ L	MSTPCRL	8	H'FF97	SYSTEM	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FF98	SYSTEM	8	2
モジュールストップコントロールレジスタ B	MSTPCRB	8	H'FF99	SYSTEM	8	2
バスコントロールレジスタ	BCR	8	H'FF9A	BSC	8	2
ウェイトステートコントロールレジスタ	WSCR	8	H'FF9B	BSC	8	2
シリアルタイマコントロールレジスタ	STCR	8	H'FF9E	SYSTEM	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8 (ライト時)	WDT_0	16	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8 (リード時)	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FFA8 (ライト時)	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FFA9 (リード時)	WDT_0	8	2
IRQ イネーブルレジスタ	IER	8	H'FFC2	INT	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFC8	TMR_0	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFC9	TMR_1	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFCA	TMR_0	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFCB	TMR_1	8	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFCC	TMR_0	16	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート 数
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFCD	TMR_1	16	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFCE	TMR_0	16	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFCF	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFD0	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFD1	TMR_1	16	2
タイマクロックセクタレジスタ_0	TCKR_0	8	H'FFD2	TMR_0	8	2
タイマクロックセクタレジスタ_1	TCKR_1	8	H'FFD3	TMR_1	8	2
I ² C バスコントロールレジスタ	ICCR_0	8	H'FFD8	IIC0	8	2
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFD9	IIC0	8	2
I ² C バスコントロール初期化レジスタ_0	ICRES_0	8	H'FFDA	IIC0	8	2
I ² C バスクロックセクタレジスタ_0	ICCKR_0	8	H'FFDB	IIC0	8	2
I ² C バスコントロール拡張レジスタ_0	ICXR_0	8	H'FFDC	IIC0	8	2
I ² C バスデータレジスタ_0	ICDR_0	8	H'FFDE	IIC0	8	2
第2スレーブアドレスレジスタ_0	SARX_0	8	H'FFDE	IIC0	8	2
I ² C バスモードレジスタ_0	ICMR_0	8	H'FFDF	IIC0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FFDF	IIC0	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFEA (ライト時)	WDT_1	16	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFEA (リード時)	WDT_1	8	2
タイマカウンタ_1	TCNT_1	8	H'FFEA (ライト時)	WDT_1	16	2
タイマカウンタ_1	TCNT_1	8	H'FFEB (リード時)	WDT_1	8	2
タイマクロック拡張セクタレジスタ_1	TCSRE_1	8	H'FFEC (ライト時)	WDT_1	16	2
タイマクロック拡張セクタレジスタ_1	TCSRE_1	8	H'FFEC (リード時)	WDT_1	8	2
タイマコントロールレジスタ_X	TCR_X	8	H'FFF0	TMR_X	8	2
タイマコントロール/ステータスレジスタ_X	TCSR_X	8	H'FFF1	TMR_X	8	2
インプットキャプチャレジスタ R	TICRR	8	H'FFF2	TMR_X	8	2
インプットキャプチャレジスタ F	TICRF	8	H'FFF3	TMR_X	8	2
タイマカウンタ_X	TCNT_X	8	H'FFF4	TMR_X	8	2
タイムコンスタントレジスタ A_X	TCORA_X	8	H'FFF6	TMR_X	8	2
タイムコンスタントレジスタ B_X	TCORB_X	8	H'FFF7	TMR_X	8	2
タイマコネクションレジスタ I	TCONRI	8	H'FFFC	TMR_X	8	2

30.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。
16ビットレジスタは、8ビットずつ2段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BBR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	BBR
BBR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR9	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR10	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR11	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR12	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR13	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR14	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR15	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR16	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR17	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR18	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR19	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR20	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR21	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR22	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR23	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR24	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR25	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR26	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR27	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR28	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR29	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR30	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR31	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR32	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
BBR33	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
BBR34	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	BBR	
BBR35	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR36	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR37	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR38	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR39	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR40	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR41	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR42	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR43	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR44	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR45	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR46	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR47	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR48	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR49	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR50	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR51	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR52	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR53	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR54	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR55	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR56	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR57	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR58	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR59	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR60	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR61	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR62	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BBR63	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
BWPRT	DWP7	DWP6	DWP5	DWP4	DWP3	DWP2	DWP1	DWP0		PORT
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR		
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR		
P1ODR	P17ODR	P16ODR	P15ODR	P14ODR	P13ODR	P12ODR	P11ODR	P10ODR		
P2ODR	P27ODR	P26ODR	P25ODR	P24ODR	P23ODR	P22ODR	P21ODR	P20ODR		
P1PIN	P17PIN	P16PIN	P15PIN	P14PIN	P13PIN	P12PIN	P11PIN	P10PIN		
P2PIN	P27PIN	P26PIN	P25PIN	P24PIN	P23PIN	P22PIN	P21PIN	P20PIN		

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR	PORT
P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	
P3ODR	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR	
P4ODR	P47ODR	P46ODR	P45ODR	P44ODR	P43ODR	P42ODR	P41ODR	P40ODR	
P3PIN	P37PIN	P36PIN	P35PIN	P34PIN	P33PIN	P32PIN	P31PIN	P30PIN	
P4PIN	P47PIN	P46PIN	P45PIN	P44PIN	P43PIN	P42PIN	P41PIN	P40PIN	
P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR	
P4PCR	P47PCR	P46PCR	P45PCR	P44PCR	P43PCR	P42PCR	P41PCR	P40PCR	
P4NCE	P47NCE	P46NCE	P45NCE	P44NCE	P43NCE	P42NCE	P41NCE	P40NCE	
P4NCMC	P47NCMC	P46NCMC	P45NCMC	P44NCMC	P43NCMC	P42NCMC	P41NCMC	P40NCMC	
P4NCCS	—	—	—	—	—	P4NCCK2	P4NCCK1	P4NCCK0	
P5DDR	P57DDR	P56DDR	P55DDR	P54DDR	P53DDR	P52DDR	P51DDR	P50DDR	
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P5ODR	P57ODR	P56ODR	P55ODR	P54ODR	P53ODR	P52ODR	P51ODR	P50ODR	
P6ODR	P67ODR	P66ODR	P65ODR	P64ODR	P63ODR	P62ODR	P61ODR	P60ODR	
P5PIN	P57PIN	P56PIN	P55PIN	P54PIN	P53PIN	P52PIN	P51PIN	P50PIN	
P6PIN	P67PIN	P66PIN	P65PIN	P64PIN	P63PIN	P62PIN	P61PIN	P60PIN	
P5PCR	P57PCR	P56PCR	P55PCR	P54PCR	P53PCR	P52PCR	P51PCR	P50PCR	
P6PCR	P67PCR	P66PCR	P65PCR	P64PCR	P63PCR	P62PCR	P61PCR	P60PCR	
P6NCE	P67NCE	P66NCE	P65NCE	P64NCE	P63NCE	P62NCE	P61NCE	P60NCE	
P6NCMC	P67NCMC	P66NCMC	P65NCMC	P64NCMC	P63NCMC	P62NCMC	P61NCMC	P60NCMC	
P6NCCS	—	—	—	—	—	P6NCCK2	P6NCCK1	P6NCCK0	
P8DDR	P87DDR	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
P8ODR	P87ODR	P86ODR	P85ODR	P84ODR	P83ODR	P82ODR	P81ODR	P80ODR	
P7PIN	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN	
P8PIN	P87PIN	P86PIN	P85PIN	P84PIN	P83PIN	P82PIN	P81PIN	P80PIN	
P8PCR	P87PCR	P86PCR	P85PCR	P84PCR	P83PCR	P82PCR	P81PCR	P80PCR	
P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	
P9ODR	P97ODR	P96ODR	P95ODR	P94ODR	P93ODR	P92ODR	P91ODR	P90ODR	
P9PIN	P97PIN	P96PIN	P95PIN	P94PIN	P93PIN	P92PIN	P91PIN	P90PIN	
P9PCR	P97PCR	P96PCR	P95PCR	P94PCR	P93PCR	P92PCR	P91PCR	P90PCR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	
PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR	
PAPIN	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PBPIN	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN	PORT
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	
PANOCR	PA7NOC	PA6NOC	PA5NOC	PA4NOC	PA3NOC	PA2NOC	PA1NOC	PA0NOC	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR	
PDODR	PD7ODR	PD6ODR	PD5ODR	PD4ODR	PD3ODR	PD2ODR	PD1ODR	PD0ODR	
PCPIN	PC7PIN	PC6PIN	PC5PIN	PC4PIN	PC3PIN	PC2PIN	PC1PIN	PC0PIN	
PDPIN	PD7PIN	PD6PIN	PD5PIN	PD4PIN	PD3PIN	PD2PIN	PD1PIN	PD0PIN	
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PCNOCR	PC7NOC	PC6NOC	PC5NOC	PC4NOC	PC3NOC	PC2NOC	PC1NOC	PC0NOC	
PDNOCR	PD7NOC	PD6NOC	PD5NOC	PD4NOC	PD3NOC	PD2NOC	PD1NOC	PD0NOC	
PCNCE	PC7CE	PC6NCE	PC5NCE	PC4NCE	PC3NCE	PC2NCE	PC1NCE	PC0NCE	
PCNCMC	PC7CMC	PC6NCMC	PC5NCMC	PC4NCMC	PC3NCMC	PC2NCMC	PC1NCMC	PC0NCMC	
PCNCCS	—	—	—	—	—	PCNCCK2	PCNCCK1	PCNCCK0	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
PEODR	PE7ODR	PE6ODR	PE5ODR	PE4ODR	PE3ODR	PE2ODR	PE1ODR	PE0ODR	
PFODR	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR	
PEPIN	PE7PIN	PE6PIN	PE5PIN	PE4PIN	PE3PIN	PE2PIN	PE1PIN	PE0PIN	
PFPIN	PF7PIN	PF6PIN	PF5PIN	PF4PIN	PF3PIN	PF2PIN	PF1PIN	PF0PIN	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
PFPCR	PF7PCR	PF6PCR	PF5PCR	PF4PCR	PF3PCR	PF2PCR	PF1PCR	PF0PCR	
PENOCR	PE7NOC	PE6NOC	PE5NOC	PE4NOC	PE3NOC	PE2NOC	PE1NOC	PE0NOC	
PFNOCR	PF7NOC	PF6NOC	PF5NOC	PF4NOC	PF3NOC	PF2NOC	PF1NOC	PF0NOC	
PGDDR	PG7DDR	PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	
PGODR	PG7ODR	PG6ODR	PG5ODR	PG4ODR	PG3ODR	PG2ODR	PG1ODR	PG0ODR	
PHODR	PH7ODR	PH6ODR	PH5ODR	PH4ODR	PH3ODR	PH2ODR	PH1ODR	PH0ODR	
PGPIN	PG7PIN	PG6PIN	PG5PIN	PG4PIN	PG3PIN	PG2PIN	PG1PIN	PG0PIN	
PHPIN	PH7PIN	PH6PIN	PH5PIN	PH4PIN	PH3PIN	PH2PIN	PH1PIN	PH0PIN	
PHPCR	PH7PCR	PH6PCR	PH5PCR	PH4PCR	PH3PCR	PH2PCR	PH1PCR	PH0PCR	
PGNOCR	PG7NOC	PG6NOC	PG5NOC	PG4NOC	PG3NOC	PG2NOC	PG1NOC	PG0NOC	
PHNOCR	PH7NOC	PH6NOC	PH5NOC	PH4NOC	PH3NOC	PH2NOC	PH1NOC	PH0NOC	
PGNCE	PG7NCE	PG6NCE	PG5NCE	PG4NCE	PG3NCE	PG2NCE	PG1NCE	PG0NCE	
PGNCMC	PG7NCMC	PG6NCMC	PG5NCMC	PG4NCMC	PG3NCMC	PG2NCMC	PG1NCMC	PG0NCMC	
PGNCCS	—	—	—	—	—	PGNCCK2	PGNCCK1	PGNCCK0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール		
PIDDR	PI7DDR	PI6DDR	PI5DDR	PI4DDR	PI3DDR	PI2DDR	PI1DDR	PI0DDR	PORT		
PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR			
PIODR	PI7ODR	PI6ODR	PI5ODR	PI4ODR	PI3ODR	PI2ODR	PI1ODR	PI0ODR			
PJODR	PJ7ODR	PJ6ODR	PJ5ODR	PJ4ODR	PJ3ODR	PJ2ODR	PJ1ODR	PJ0ODR			
PIPIN	PI7PIN	PI6PIN	PI5PIN	PI4PIN	PI3PIN	PI2PIN	PI1PIN	PI0PIN			
PJPIN	PJ7PIN	PJ6PIN	PJ5PIN	PJ4PIN	PJ3PIN	PJ2PIN	PJ1PIN	PJ0PIN			
PINOCR	PI7NOC	PI6NOC	PI5NOC	PI4NOC	PI3NOC	PI2NOC	PI1NOC	PI0NOC			
PJNOCR	PJ7NOC	PJ6NOC	PJ5NOC	PJ4NOC	PJ3NOC	PJ2NOC	PJ1NOC	PJ0NOC			
FLMCR1	—	—	—	—	FMLBE	FMWUS	—	FMCMDEN		ROM	
DFPR	—	—	—	—	—	—	DBPT1	DBPT0			
FLMSTR	—	—	—	—	—	—	FMDATRDY	FMRDY			
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0			
RSTFR	—	—	—	PRST	—	LVD1RST	PORRST	WRST			SYSTEM
LD1CRH	VD1DF	VD1UF	—	—	—	VD1IRCS	VD1MS	VD1RE			
LD1CRL	VD1E	—	—	—	—	VD1LS2	VD1LS1	VD1LS0			
LD0CRH	—	—	—	—	—	—	—	—			
LD0CRL	—	—	—	—	—	—	—	VD0LS1			
VDCPR	WRI	—	—	—	—	—	—	LDPRC			
PECR	PESRES	PECIE	ABTE	AWFCSE	STOPE	PEWFCEIE	PERFCEIE	PETEIE	PECI		
PESTR	PEBUSY	WFCSER	RFCSER	PETEND	NEGA	NEGM	RDRF	PECIR			
PECNT0_PRE	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_			
	PRE15	PRE14	PRE13	PRE12	PRE11	PRE10	PRE9	PRE8			
	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_			
PECNT0_GR	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_			
	GR15	GR14	GR13	GR12	GR11	GR10	GR9	GR8			
	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_			
PECNT0_GRA	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_			
	GRA15	GRA14	GRA13	GRA12	GRA11	GRA10	GRA9	GRA8			
	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_			
PECNT0_GRA	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_			
	GRA7	GRA6	GRA5	GRA4	GRA3	GRA2	GRA1	GRA0			
	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_	PECNT0_			
PEADD	PEADD7	PEADD6	PEADD5	PEADD4	PEADD3	PEADD2	PEADD1	PEADD0			
PEWBNR	PEWBNR7	PEWBNR6	PEWBNR5	PEWBNR4	PEWBNR3	PEWBNR2	PEWBNR1	PEWBNR0			
PERBNR	PERBNR7	PERBNR6	PERBNR5	PERBNR4	PERBNR3	PERBNR2	PERBNR1	PERBNR0			
PECWFCSR	PECWFCSR7	PECWFCSR6	PECWFCSR5	PECWFCSR4	PECWFCSR3	PECWFCSR2	PECWFCSR1	PECWFCSR0			
PECRFCSR	PECRFCSR7	PECRFCSR6	PECRFCSR5	PECRFCSR4	PECRFCSR3	PECRFCSR2	PECRFCSR1	PECRFCSR0			
PEFIFO	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0			

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCMCNT_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	TCM_0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMMLCM_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICR_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICRF_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMCSR_0	OVF	MAXOVF	CMF	CKSEG	ICPF	MINUDF	MCICTL	—	
TCMCR_0	CST	POCTL	CPSPE	IEDG	TCMMDS	CKS2	CKS1	CKS0	
TCMIER_0	OVIE	MAXOVIE	CMIE	TCMIPE	ICPIE	MINUDIE	CMMS	—	
TCMMINCM_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMCNT_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	TCM_1
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMMLCM_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICR_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICRF_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMCSR_1	OVF	MAXOVF	CMF	CKSEG	ICPF	MINUDF	MCICTL	—	
TCMCR_1	CST	POCTL	CPSPE	IEDG	FNIMDS	CKS2	CKS1	CKS0	
TCMIER_1	OVIE	MAXOVIE	CMIE	TCMIPE	ICPIE	MINUDIE	CMMS	—	
TCMMINCM_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMCNT_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	TCM_2
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMMLCM_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICR_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMICRF_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCMCSR_2	OVF	MAXOVF	CMF	CKSEG	ICPF	MINUDF	MCICTL	—	
TCMCR_2	CST	POCTL	CPSPE	IEDG	FNIMDS	CKS2	CKS1	CKS0	
TCMIER_2	OVIE	MAXOVIE	CMIE	TCMIPE	ICPIE	MINUDIE	CMMS	—	
TCMMINCM_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ADDRA	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	A/D 変換器
	bit1	bit0	—	—	—	—	—	—	
ADDRB	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	
	bit1	bit0	—	—	—	—	—	—	
ADDRC	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	
	bit1	bit0	—	—	—	—	—	—	
ADDRD	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	
	bit1	bit0	—	—	—	—	—	—	
ADDRE	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	
	bit1	bit0	—	—	—	—	—	—	
ADDRF	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	
	bit1	bit0	—	—	—	—	—	—	
ADDRG	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	
	bit1	bit0	—	—	—	—	—	—	
ADDRH	bit9	bit8	bit7	bit6	bit5	bit4	bit3	bit2	
	bit1	bit0	—	—	—	—	—	—	
ADCSR	ADF	ADIE	ADST	EXCKS	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	ADSTCLR	—	
FRBR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	SCIF
FTHR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FDLL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FIER	—	—	—	—	EDSSI	ELSI	ETBEI	ERBFI	
FDLH	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FIIR	FIFOE1	FIFOE0	—	—	INTID2	INTID1	INTID0	INTPEND	
FFCR	RCVTRIG1	RCVTRIG0	—	—	DMAMODE	XMITFRST	RCVFRFRST	FIFOE	
FLCR	DLAB	BREAK	STICKPARITY	EPS	PEN	STOP	CLS1	CLS0	
FMCR	—	—	—	LOOPBACK	OUT2	OUT1	RTS	DTR	
FLSR	RXFIFOERR	TEMT	THRE	BI	FE	PE	OE	DR	
FMSR	DCD	RI	DSR	CTS	DDCD	TERI	DDSR	DCTS	
FSCR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCIFCR	SCIFOE1	SCIFOE0	—	OUT2LOOP	CKSEL1	CKSEL0	SCIFRST	REGRST	
FSIHBARH	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	FSI
FSIHBARL	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	
FSISR	—	—	—	—	—	—	FSIMS1	FSIMS0	
CMDHBARH	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	
CMDHBARL	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	
FSICMDR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSILSTR1	CMDBUSY	FSICMDI	FSIDMYE	FSIWBUSY	FSIWI	LFBUSY	BBUSY	—	
FSIGPR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
FSIGPR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	FSI
FSIGPR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPR8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPR9	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPRA	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPRB	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPRC	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPRD	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPRE	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIGPRF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SLCR	FSILIE	FSICMDIE	FSIWIE	FLDCT	FLWAIT	DCE	—	—	
FSIARH	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	
FSIARM	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
FSIARL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIWDRHH	bit31	bit30	bit29	bit28	bit27	bit26	bit25	bit24	
FSIWDRHL	bit23	bit22	bit21	bit20	bit19	bit18	bit17	bit16	
FSIWDRLH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
FSIWDRLL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSILSTR2	—	SRDCBUSY	DCBYSY	FSIDWBUSY	FSIDRBUSY	SIZE2	SIZE1	SIZE0	
SSCRH	MSS	BIDE	—	SOL	SOLP	SCKS	CSS1	CSS0	SSU
SSCRL	—	SSUMS	SRES	—	—	—	DATS1	DATS0	
SSMR	MLS	CPOS	CPHS	—	—	CKS2	CKS1	CKS0	
SSER	TE	RE	—	—	TEIE	TIE	RIE	CEIE	
SSSR	—	ORER	—	—	TEND	TDRE	RDRF	CE	
SSCR2	SDOS	SSCKOS	SCSOS	TENDSTS	SCSATS	SSODTS	—	—	
SSTDR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSTDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSTDR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSTDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSRDR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSRDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSRDR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSRDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSICR1	SRES	FSIE	FRDE	AAIE	CPHS	CPOS	—	CKSEL	FSI
FSICR2	TE	RE	FSITEIE	FSIRXIE	—	—	—	—	
FSIBNR	TBN3	TBN2	TBN1	TBN0	—	RBN2	RBN1	RBN0	
FSIINS	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
FSIRDINS	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	FSI
FSIPPINS	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSISTR	FSITEI	OBF	FSIRXI	—	—	—	—	—	
FSITDR0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSITDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSITDR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSITDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSITDR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSITDR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSITDR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSITDR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FSIRDR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
WRSRINS	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
RDSRINS	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG0_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	PWMU_A
PWMPRE0_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG1_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE1_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG2_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE2_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG3_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE3_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG4_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE4_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG5_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE5_A	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMCKCR_A	CLK1	CLK0	—	—	—	—	—	—	
PWMOUTCR_A	CNTMD45B	CNTMD23B	PWM5E	PWM4E	PWM3E	PWM2E	PWM1E	PWM0E	
PWMMDCR_A	CNTMD01B	CNTMD01A	PWMSL5	PWMSL4	PWMSL3	PWMSL2	PWMSL1	PWMSL0	
PWMPCR_A	PH5S	PH4S	PH3S	PH2S	PH1S	PH0S	CNTMD45A	CNTMD23A	
PWMREG0_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	PWMU_B
PWMPRE0_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG1_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE1_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG2_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE2_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG3_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE3_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMREG4_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMPRE4_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PWMREG5_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	PWMU_B
PWMPRE5_B	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWMCKCR_B	CLK1	CLK0	—	—	—	—	—	—	
PWMOUTCR_B	CNTMD45B	CNTMD23B	PWM5E	PWM4E	PWM3E	PWM2E	PWM1E	PWM0E	
PWMMDCR_B	CNTMD01B	CNTMD01A	PWMSL5	PWMSL4	PWMSL3	PWMSL2	PWMSL1	PWMSL0	
PWMPCR_B	PH5S	PH4S	PH3S	PH2S	PH1S	PH0S	CNTMD45A	CNTMD23A	
TCR_1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRA_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRB_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PECX	PECX7	PECX6	PECX5	PECX4	PECX3	PECX2	PECX1	PECX0	SMBUS
PECY	PECY7	PECY6	PECY5	PECY4	PECY3	PECY2	PECY1	PECY0	
PECZ	PECZ7	PECZ6	PECZ5	PECZ4	PECZ3	PECZ2	PECZ1	PECZ0	
LADR1H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	LPC
LADR1L	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
LADR2H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
LADR2L	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCIFADRH	—	—	—	—	—	—	—	—	
SCIFADRL	—	—	—	—	—	—	—	—	
LADRAH	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
LADRAL	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
IDRA	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODRA	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
LADR4H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
LADR4L	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
IDR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR4* ²	DBU47	DBU46	DBU45	DBU44	C/D4	DBU42	IBF4	OBF4	
STR4* ³	IBF4B	OBF4B	MWM4F	SWM4F	C/D4	DB42	IBF4	OBF4	
HICR4	—	LPC4E	IBFIE4	TWDRE	—	—	—	—	
SIRQCR2	IEDIR3	IEDIR4	IRQ11E4	IRQ10E4	IRQ9E4	IRQ6E4	SMIE4	—	
SIRQCR3	SELIRQ15	SELIRQ14	SELIRQ13	SELIRQ8	SELIRQ7	SELIRQ5	SELIRQ4	SELIRQ3	
CKRCR	CKREA	CKREB	—	—	—	—	—	—	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TWDR0MW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	LPC
TWDR0SW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR9	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR10	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR11	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR12	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR13	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR14	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR15	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR16	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR17	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR18	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR19	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR20	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR21	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR22	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR23	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR24	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR25	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR26	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR27	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR28	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR29	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR30	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWDR31	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PTCNT0	—	—	—	—	—	—	EXSCIFS	EXCLS	PORT
PTCNT1	IIC1BS	IIC1AS	—	—	—	—	—	—	
PTCNT2	—	—	RxD1RS	TxD1RS	—	—	—	—	
TWR0MW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	LPC
TWR0SW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TWR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	LPC
TWR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR9	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR10	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR11	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR12	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR13	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR14	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TWR15	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
IDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR3*4	IBF3B	OBF3B	MWMF	SWMF	C/D $\bar{3}$	DBU32	IBF3A	OBF3A	
STR3*5	DBU37	DBU36	DBU35	DBU34	C/D $\bar{3}$	DBU32	IBF3	OBF3	
HICR5	OBEIE	OBEI	—	—	SCIFE	—	—	—	
LADR3H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
LADR3L	bit7	bit6	bit5	bit4	bit3	—	bit1	TWRE	
SIRQCR0	Q/C	SELREQ	IEDIR2	SMIE3B	SMIE3A	SMIE2	IRQ12E1	IRQ1E1	
SIRQCR1	IRQ11E3	IRQ10E3	IRQ9E3	IRQ6E3	IRQ11E2	IRQ10E2	IRQ9E2	IRQ6E2	
IDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ODR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR1	DBU17	DBU16	DBU15	DBU14	C/D $\bar{1}$	DBU12	IBF1	OBF1	
IDR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SIRQCR4	TWSIRQ3	TWSIRQ2	TWSIRQ1	TWSIRQ0	SCSIRQ3	SCSIRQ2	SCSIRQ1	SCSIRQ0	
ODR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
STR2	DBU27	DBU26	DBU25	DBU24	C/D $\bar{2}$	DBU22	IBF2	OBF2	
HISEL	SELSTR3	SELIRQ11	SELIRQ10	SELIRQ9	SELIRQ6	SELSMI	SELIRQ12	SELIRQ1	
HICR0	LPC3E	LPC2E	LPC1E	FGA20E	SDWNE	PMEE	LSMIE	LSCIE	
HICR1	LPCBSY	CLKREQ	IRQBSY	LRSTB	SDWNB	PMEB	LSMIB	LSCIB	
HICR2	GA20	LRST	SDWN	ABRT	IBFIE3	IBFIE2	IBFIE1	ERRIE	
HICR3	LFRAME	CLKRUN	SERIRQ	LRESET	LPCPD	PME	LSMI	LSCI	
WUEMRB	WUEMR7	WUEMR6	WUEMR5	WUEMR4	WUEMR3	WUEMR2	WUEMR1	WUEMR0	INT
WUEMRA	WUEMR15	WUEMR14	WUEMR13	WUEMR12	WUEMR11	WUEMR10	WUEMR9	WUEMR8	
HICR6	LPCAE	ELPCAE	IBFIEA	—	—	—	—	—	LPC
STRA	DBUA7	DBUA6	DBUA5	DBUA4	C/D \bar{A}	DBUA2	IBFA	OBFA	
SIRQCR5	IRQE4B	—	—	—	—	—	—	—	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
TMDR_0	—	—	BFB	BFA	MD3	MD2	MD1	MD0	TPU_0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNT_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TGRA_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TGRB_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TGRC_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TGRD_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TCR_2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2	
TMDR_2	—	—	—	—	MD3	MD2	MD1	MD0		
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
TCNT_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TGRA_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
TGRB_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
KMIMRB	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0		INT
KMIMRA	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8		
WUESCRA	WUE15SC	WUE14SC	WUE13SC	WUE12SC	WUE11SC	WUE10SC	WUE9SC	WUE8SC		
WUESRA	WUE15F	WUE14F	WUE13F	WUE12F	WUE11F	WUE10F	WUE9F	WUE8F		
WUEER	WUEAE	WUEBE	—	—	—	—	—	—		
ICRD	ICRD7	ICRD6	ICRD5	ICRD4	ICRD3	ICRD2	ICRD1	ICRD0		
ICCR_2	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC2	
ICSR_2	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB		
ICRES_2	—	—	—	—	CLR3	CLR2	CLR1	CLR0		
ICCKR_2	CHKSEL	—	—	—	CKS3	—	—	—		
ICXR_2	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0		
SARX_2	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX		
ICDR_2	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0		
SAR_2	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS		

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICMR_2	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	IIC2
WUESCRB	WUE7SC	WUE6SC	WUE5SC	WUE4SC	WUE3SC	WUE2SC	WUE1SC	WUE0SC	INT
WUESRB	WUE7F	WUE6F	WUE5F	WUE4F	WUE3F	WUE2F	WUE1F	WUE0F	
TSTR	—	—	—	—	—	CST2	CST1	CST0	TPU 共通
TSYR	—	—	—	—	—	SYNC2	SYNC1	SYNC0	
KBCR1_0	KBTS	PS	KCIE	KTIE	KNCE	KCIF	KBTE	KTER	PS2_0
KBTR_0	KBT7	KBT6	KBT5	KBT4	KBT3	KBT2	KBT1	KBT0	
KBCR1_1	KBTS	PS	KCIE	KTIE	KNCE	KCIF	KBTE	KTER	PS2_1
KBTR_1	KBT7	KBT6	KBT5	KBT4	KBT3	KBT2	KBT1	KBT0	
KBCR1_2	KBTS	PS	KCIE	KTIE	KNCE	KCIF	KBTE	KTER	PS2_2
KBTR_2	KBT7	KBT6	KBT5	KBT4	KBT3	KBT2	KBT1	KBT0	
TCRXY	—	—	CKSX	CKSY	—	—	—	—	TMR_X, TMR_Y
TCR_Y	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_Y
TCSR_Y	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0	
TCORA_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICCR_1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC1
ICSR_1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICRES_1	—	—	—	—	CLR3	CLR2	CLR1	CLR0	
ICCKR_1	CHKSEL	—	—	—	CKS3	—	—	—	
ICXR_1	STOPIM	HNDS1	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	
SARX_1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICDR_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICMR_1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
KBCRH_0	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS	PS2_0
KBCRL_0	KBE	KCLKO	KDO	—	RXCR3	RXCR2	RXCR1	RXCR0	
KBBR_0	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0	
KBCR2_0	—	—	—	—	TXCR3	TXCR2	TXCR1	TXCR0	
KBCRH_1	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS	PS2_1
KBCRL_1	KBE	KCLKO	KDO	—	RXCR3	RXCR2	RXCR1	RXCR0	
KBBR_1	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0	
KBCR2_1	—	—	—	—	TXCR3	TXCR2	TXCR1	TXCR0	
KBCRH_2	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS	PS2_2
KBCRL_2	KBE	KCLKO	KDO	—	RXCR3	RXCR2	RXCR1	RXCR0	
KBBR_2	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0	
KBCR2_2	—	—	—	—	TXCR3	TXCR2	TXCR1	TXCR0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
ICRA	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0	INT	
ICRB	ICRB7	ICRB6	ICRB5	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0		
ICRC	ICRC7	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	ICRC0		
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA		
ISCR_L	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA		
ABRKCR	CMF	—	—	—	—	—	—	BIE		
BARA	A23	A22	A21	A20	A19	A18	A17	A16		
BARB	A15	A14	A13	A12	A11	A10	A9	A8		
BARC	A7	A6	A5	A4	A3	A2	A1	—		
IER16	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E		
ISR16	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F		
ISCR16H	IRQ15SCB	IRQ15SCA	IRQ14SCB	IRQ14SCA	IRQ13SCB	IRQ13SCA	IRQ12SCB	IRQ12SCA		
ISCR16L	IRQ11SCB	IRQ11SCA	IRQ10SCB	IRQ10SCA	IRQ9SCB	IRQ9SCA	IRQ8SCB	IRQ8SCA		
ISSR16	ISS15	ISS14	ISS13	ISS12	ISS11	ISS10	ISS9	ISS8		
ISSR	ISS7	—	—	—	—	—	—	—		
SMR_1* ¹	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/E (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_1	
BRR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
SCR_1* ¹	TIE (TIE)	RIE (RIE)	TE (TE)	RE (RE)	MPIE (MPIE)	TEIE (TEIE)	CKE1 (CKE1)	CKE0 (CKE0)		
TDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
SSR_1* ¹	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)		
RDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
SCMR_1	BCP2	—	—	—	SDIR	SINV	—	SMIF		
SEMR_1	—	—	—	—	ABCS	—	—	—		
MDCR	EXPE	—	—	—	—	MDS2	MDS1	—		SYSTEM
SYSCR	—	—	INTM1	INTM0	XRST	NMIEG	—	RAME		
SBYCR	SSBY	STS2	STS1	STS0	—	SCK2	SCK1	SCK0		
LPWRCR	—	—	—	EXCLE	—	—	—	—		
MSTPCR_H	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8		
MSTPCR_L	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MST0		
MSTPCR_A	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTA0		
MSTPCR_B	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTB0		
BCR	—	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	IOS1	IOS0	BSC	
WSCR	—	—	ABW	AST	WMS1	WMS0	WC1	WC0		
STCR	IICX2	IICX1	IICX0	—	—	—	ICKS1	ICKS0	SYSTEM	
TCSR_0	OVF	WT/ \bar{IT}	TME	—	RST/ \bar{NM}	CKS2	CKS1	CKS0	WDT_0	
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	INT
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0、
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
TCORA_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORA_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCKR_0	—	—	—	—	CKS3	—	—	—	
TCKR_1	—	—	—	—	CKS3	—	—	—	
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC0
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICRES_0	—	—	—	—	CLR3	CLR2	CLR1	CLR0	
ICCKR_0	CHKSEL	—	—	—	CKS3	—	—	—	
ICXR_0	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	
ICDR_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
SARX_0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
TCSR_1	OVF	WT/IT	TME	PSS	RST/NM \bar{I}	CKS2	CKS1	CKS0	WDT_1
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCSRE_1	EXCNTE	—	—	—	CKS3	CKS2	CKS1	CKS0	
TCR_X	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_X
TCSR_X	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0	
TICRR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TICRF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORA_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCONRI	—	—	—	ICST	—	—	—	—	

【注】 *1 通常モードとスマートカードインタフェースモードで一部ビット名が異なります。

() : スマートカードインタフェースモード時のビット名

*2 TWDRE=0 の場合です。

*3 TWDRE=1 の場合です。

*4 TWRE=1 または SELSTR3=0 の場合です。

*5 TWRE=0 で SELSTR3=1 の場合です。

30.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
BBR0	-	-	-	-	-	-	BBR
BBR1	-	-	-	-	-	-	
BBR2	-	-	-	-	-	-	
BBR3	-	-	-	-	-	-	
BBR4	-	-	-	-	-	-	
BBR5	-	-	-	-	-	-	
BBR6	-	-	-	-	-	-	
BBR7	-	-	-	-	-	-	
BBR8	-	-	-	-	-	-	
BBR9	-	-	-	-	-	-	
BBR10	-	-	-	-	-	-	
BBR11	-	-	-	-	-	-	
BBR12	-	-	-	-	-	-	
BBR13	-	-	-	-	-	-	
BBR14	-	-	-	-	-	-	
BBR15	-	-	-	-	-	-	
BBR16	-	-	-	-	-	-	
BBR17	-	-	-	-	-	-	
BBR18	-	-	-	-	-	-	
BBR19	-	-	-	-	-	-	
BBR20	-	-	-	-	-	-	
BBR21	-	-	-	-	-	-	
BBR22	-	-	-	-	-	-	
BBR23	-	-	-	-	-	-	
BBR24	-	-	-	-	-	-	
BBR25	-	-	-	-	-	-	
BBR26	-	-	-	-	-	-	
BBR27	-	-	-	-	-	-	
BBR28	-	-	-	-	-	-	
BBR29	-	-	-	-	-	-	
BBR30	-	-	-	-	-	-	
BBR31	-	-	-	-	-	-	
BBR32	-	-	-	-	-	-	
BBR33	-	-	-	-	-	-	
BBR34	-	-	-	-	-	-	
BBR35	-	-	-	-	-	-	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
BBR36	—	—	—	—	—	—	BBR
BBR37	—	—	—	—	—	—	
BBR38	—	—	—	—	—	—	
BBR39	—	—	—	—	—	—	
BBR40	—	—	—	—	—	—	
BBR41	—	—	—	—	—	—	
BBR42	—	—	—	—	—	—	
BBR43	—	—	—	—	—	—	
BBR44	—	—	—	—	—	—	
BBR45	—	—	—	—	—	—	
BBR45	—	—	—	—	—	—	
BBR46	—	—	—	—	—	—	
BBR47	—	—	—	—	—	—	
BBR48	—	—	—	—	—	—	
BBR49	—	—	—	—	—	—	
BBR50	—	—	—	—	—	—	
BBR51	—	—	—	—	—	—	
BBR52	—	—	—	—	—	—	
BBR53	—	—	—	—	—	—	
BBR54	—	—	—	—	—	—	
BBR55	—	—	—	—	—	—	
BBR56	—	—	—	—	—	—	
BBR57	—	—	—	—	—	—	
BBR58	—	—	—	—	—	—	
BBR59	—	—	—	—	—	—	
BBR60	—	—	—	—	—	—	
BBR61	—	—	—	—	—	—	
BBR62	—	—	—	—	—	—	
BBR63	—	—	—	—	—	—	
BWPRT	初期化	—	—	—	—	—	
P1DDR	初期化	—	—	—	—	—	PORT
P2DDR	初期化	—	—	—	—	—	
P1ODR	初期化	—	—	—	—	—	
P2ODR	初期化	—	—	—	—	—	
P1PIN	—	—	—	—	—	—	
P2PIN	—	—	—	—	—	—	
P1PCR	初期化	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
P2PCR	初期化	—	—	—	—	—	PORT
P3DDR	初期化	—	—	—	—	—	
P4DDR	初期化	—	—	—	—	—	
P3ODR	初期化	—	—	—	—	—	
P4ODR	初期化	—	—	—	—	—	
P3PIN	—	—	—	—	—	—	
P4PIN	—	—	—	—	—	—	
P3PCR	初期化	—	—	—	—	—	
P4PCR	初期化	—	—	—	—	—	
P4NCE	初期化	—	—	—	—	—	
P4NCMC	初期化	—	—	—	—	—	
P4NCCS	初期化	—	—	—	—	—	
P5DDR	初期化	—	—	—	—	—	
P6DDR	初期化	—	—	—	—	—	
P5ODR	初期化	—	—	—	—	—	
P6ODR	初期化	—	—	—	—	—	
P5PIN	—	—	—	—	—	—	
P6PIN	—	—	—	—	—	—	
P5PCR	初期化	—	—	—	—	—	
P6PCR	初期化	—	—	—	—	—	
P6NCE	初期化	—	—	—	—	—	
P6NCMC	初期化	—	—	—	—	—	
P6NCCS	初期化	—	—	—	—	—	
P8DDR	初期化	—	—	—	—	—	
P8ODR	初期化	—	—	—	—	—	
P7PIN	初期化	—	—	—	—	—	
P8PIN	初期化	—	—	—	—	—	
P8PCR	初期化	—	—	—	—	—	
P9DDR	初期化	—	—	—	—	—	
P9ODR	初期化	—	—	—	—	—	
P9PIN	—	—	—	—	—	—	
P9PCR	初期化	—	—	—	—	—	
PADDR	初期化	—	—	—	—	—	
PBDDR	初期化	—	—	—	—	—	
PAODR	初期化	—	—	—	—	—	
PBODR	初期化	—	—	—	—	—	
PAPIN	—	—	—	—	—	—	
PBPIN	—	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
PBPCR	初期化	—	—	—	—	—	PORT
PANOCR	初期化	—	—	—	—	—	
PCDDR	初期化	—	—	—	—	—	
PDDDR	初期化	—	—	—	—	—	
PCODR	初期化	—	—	—	—	—	
PDODR	初期化	—	—	—	—	—	
PCPIN	—	—	—	—	—	—	
PDPIN	—	—	—	—	—	—	
PCPCR	初期化	—	—	—	—	—	
PDPCR	初期化	—	—	—	—	—	
PCNOCR	初期化	—	—	—	—	—	
PDNOCR	初期化	—	—	—	—	—	
PCNCE	初期化	—	—	—	—	—	
PCNMC	初期化	—	—	—	—	—	
PCNCCS	初期化	—	—	—	—	—	
PEDDR	初期化	—	—	—	—	—	
PFDDR	初期化	—	—	—	—	—	
PEODR	初期化	—	—	—	—	—	
PFODR	初期化	—	—	—	—	—	
PEPIN	—	—	—	—	—	—	
PFPIN	—	—	—	—	—	—	
PEPCR	初期化	—	—	—	—	—	
PFPCR	初期化	—	—	—	—	—	
PENOCR	初期化	—	—	—	—	—	
PFNOCR	初期化	—	—	—	—	—	
PGDDR	初期化	—	—	—	—	—	
PHDDR	初期化	—	—	—	—	—	
PGODR	初期化	—	—	—	—	—	
PHODR	初期化	—	—	—	—	—	
PGPIN	—	—	—	—	—	—	
PHPIN	—	—	—	—	—	—	
PHPCR	初期化	—	—	—	—	—	
PGNOCR	初期化	—	—	—	—	—	
PHNOCR	初期化	—	—	—	—	—	
PGNCE	初期化	—	—	—	—	—	
PGNMC	初期化	—	—	—	—	—	
PGNCCS	初期化	—	—	—	—	—	
PIDDR	初期化	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
PJDDR	初期化	—	—	—	—	—	PORT
PIODR	初期化	—	—	—	—	—	
PJODR	初期化	—	—	—	—	—	
PIPIN	—	—	—	—	—	—	
PJPIN	—	—	—	—	—	—	
PINOCR	初期化	—	—	—	—	—	
PJNOCR	初期化	—	—	—	—	—	
FLMCR1	初期化	—	—	—	—	—	ROM
DFPR	初期化	—	—	—	—	—	
FLMSTR	初期化	—	—	—	—	—	
FMATS	初期化	—	—	—	—	—	
RSTFR	初期化	—	—	—	—	—	SYSTEM
LD1CRH	初期化	—	—	—	—	—	
LD1CRL	初期化	—	—	—	—	—	
LD0CRH	初期化	—	—	—	—	—	
LD0CRL	初期化	—	—	—	—	—	
VDCPR	初期化	—	—	—	—	—	
PECR	初期化	—	—	—	—	—	PECI
PESTR	初期化	—	—	—	—	—	
PECNT0_PRE	初期化	—	—	—	—	—	
PECNT0_GR	初期化	—	—	—	—	—	
PECNT0_GRA	初期化	—	—	—	—	—	
PEADD	初期化	—	—	—	—	—	
PEWBNR	初期化	—	—	—	—	—	
PERBNR	初期化	—	—	—	—	—	
PECWFCSR	初期化	—	—	—	—	—	
PECRFCSR	初期化	—	—	—	—	—	
PEFIFO	初期化	—	—	—	—	—	
TCMCNT_0	初期化	—	—	—	—	—	TCM_0
TCMMLCM_0	初期化	—	—	—	—	—	
TCMICR_0	初期化	—	—	—	—	—	
TCMICRF_0	初期化	—	—	—	—	—	
TCMCSR_0	初期化	—	—	—	—	—	
TCMCR_0	初期化	—	—	—	—	—	
TCMIER_0	初期化	—	—	—	—	—	
TCMMINCM_0	初期化	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール	
TCMCNT_1	初期化	—	—	—	—	—	TCM_1	
TCMMLCM_1	初期化	—	—	—	—	—		
TCMICR_1	初期化	—	—	—	—	—		
TCMICRF_1	初期化	—	—	—	—	—		
TCMCSR_1	初期化	—	—	—	—	—		
TCMCR_1	初期化	—	—	—	—	—		
TCMIER_1	初期化	—	—	—	—	—		
TCMMINCM_1	初期化	—	—	—	—	—		
TCMCNT_2	初期化	—	—	—	—	—	TCM_2	
TCMMLCM_2	初期化	—	—	—	—	—		
TCMICR_2	初期化	—	—	—	—	—		
TCMICRF_2	初期化	—	—	—	—	—		
TCMCSR_2	初期化	—	—	—	—	—		
TCMCR_2	初期化	—	—	—	—	—		
TCMIER_2	初期化	—	—	—	—	—		
TCMMINCM_2	初期化	—	—	—	—	—		
ADDRA_0	初期化	—	—	—	—	—	A/D 変換器	
ADDRB_0	初期化	—	—	—	—	—		
ADDRBL	初期化	—	—	—	—	—		
ADDRC	初期化	—	—	—	—	—		
ADDRD	初期化	—	—	—	—	—		
ADDRE	初期化	—	—	—	—	—		
ADDRF	初期化	—	—	—	—	—		
ADDRG	初期化	—	—	—	—	—		
ADDRH	初期化	—	—	—	—	—		
ADCSR	初期化	—	—	—	—	—		
ADCR	初期化	—	—	—	—	—		
FRBR	初期化	—	初期化	—	初期化	初期化		SCIF
FTHR	初期化	—	初期化	—	初期化	初期化		
FDLL	初期化	—	初期化	—	初期化	初期化		
FIER	初期化	—	初期化	—	初期化	初期化		
FDLH	初期化	—	初期化	—	初期化	初期化		
FIIR	初期化	—	初期化	—	初期化	初期化		
FFCR	初期化	—	初期化	—	初期化	初期化		
FLCR	初期化	—	初期化	—	初期化	初期化		
FMCR	初期化	—	初期化	—	初期化	初期化		
FLSR	初期化	—	初期化	—	初期化	初期化		
FMSR	初期化	—	初期化	—	初期化	初期化		
FSCR	初期化	—	初期化	—	初期化	初期化		
SCIFCR	初期化	—	初期化	—	初期化	初期化		

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
FSIHBARH	初期化	—	—	—	—	—	FSI
FSIHBARL	初期化	—	—	—	—	—	
FSISR	初期化	—	—	—	—	—	
CMDHBARH	初期化	—	—	—	—	—	
CMDHBARL	初期化	—	—	—	—	—	
FSICMDR	初期化	—	—	—	—	—	
FSILSTR1	初期化	—	—	—	—	—	
FSIGPR1	初期化	—	—	—	—	—	
FSIGPR2	初期化	—	—	—	—	—	
FSIGPR3	初期化	—	—	—	—	—	
FSIGPR4	初期化	—	—	—	—	—	
FSIGPR5	初期化	—	—	—	—	—	
FSIGPR6	初期化	—	—	—	—	—	
FSIGPR7	初期化	—	—	—	—	—	
FSIGPR8	初期化	—	—	—	—	—	
FSIGPR9	初期化	—	—	—	—	—	
FSIGPRA	初期化	—	—	—	—	—	
FSIGPRB	初期化	—	—	—	—	—	
FSIGPRC	初期化	—	—	—	—	—	
FSIGPRD	初期化	—	—	—	—	—	
FSIGPRE	初期化	—	—	—	—	—	
FSIGPRF	初期化	—	—	—	—	—	
SLCR	初期化	—	—	—	—	—	
FSIARH	初期化	—	—	—	—	—	
FSIARM	初期化	—	—	—	—	—	
FSIARL	初期化	—	—	—	—	—	
FSIWRHH	初期化	—	—	—	—	—	
FSIWRHL	初期化	—	—	—	—	—	
FSIWRHLH	初期化	—	—	—	—	—	
FSIWRLL	初期化	—	—	—	—	—	
FSILSTR2	初期化	—	—	—	—	—	
SSCRH	初期化	—	—	—	—	—	SSU
SSCRL	初期化	—	—	—	—	—	
SSMR	初期化	—	—	—	—	—	
SSER	初期化	—	—	—	—	—	
SSSR	初期化	—	—	—	—	—	
SSCR2	初期化	—	—	—	—	—	
SSTDR0	初期化	—	—	—	—	—	
SSTDR1	初期化	—	—	—	—	—	
SSTDR2	初期化	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
SSTDR3	初期化	—	—	—	—	—	SSU
SSRDR0	初期化	—	—	—	—	—	
SSRDR1	初期化	—	—	—	—	—	
SSRDR2	初期化	—	—	—	—	—	
SSRDR3	初期化	—	—	—	—	—	
FSICR1	初期化	—	—	—	—	—	FSI
FSICR2	初期化	—	—	—	—	—	
FSIBNR	初期化	—	—	—	—	—	
FSIINS	初期化	—	—	—	—	—	
FSIRDINS	初期化	—	—	—	—	—	
FSIPPINS	初期化	—	—	—	—	—	
FSISTR	初期化	—	—	—	—	—	
FSITDR0	初期化	—	—	—	—	—	
FSITDR1	初期化	—	—	—	—	—	
FSITDR2	初期化	—	—	—	—	—	
FSITDR3	初期化	—	—	—	—	—	
FSITDR4	初期化	—	—	—	—	—	
FSITDR5	初期化	—	—	—	—	—	
FSITDR6	初期化	—	—	—	—	—	
FSITDR7	初期化	—	—	—	—	—	
FSIRDR	初期化	—	—	—	—	—	
WRSRINS	初期化	—	—	—	—	—	
RDSRINS	初期化	—	—	—	—	—	
PWMREG0_A	初期化	—	初期化	—	初期化	初期化	PWMU_A
PWMPRE0_A	初期化	—	初期化	—	初期化	初期化	
PWMREG1_A	初期化	—	初期化	—	初期化	初期化	
PWMPRE1_A	初期化	—	初期化	—	初期化	初期化	
PWMREG2_A	初期化	—	初期化	—	初期化	初期化	
PWMPRE2_A	初期化	—	初期化	—	初期化	初期化	
PWMREG3_A	初期化	—	初期化	—	初期化	初期化	
PWMPRE3_A	初期化	—	初期化	—	初期化	初期化	
PWMREG4_A	初期化	—	初期化	—	初期化	初期化	
PWMPRE4_A	初期化	—	初期化	—	初期化	初期化	
PWMREG5_A	初期化	—	初期化	—	初期化	初期化	
PWMPRE5_A	初期化	—	初期化	—	初期化	初期化	
PWMCKCR_A	初期化	—	初期化	—	初期化	初期化	
PWMOUTCR_A	初期化	—	初期化	—	初期化	初期化	
PWMMDCR_A	初期化	—	初期化	—	初期化	初期化	
PWMPCR_A	初期化	—	初期化	—	初期化	初期化	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
PWMREG0_B	初期化	—	初期化	—	初期化	初期化	PWMU_B
PWMPRE0_B	初期化	—	初期化	—	初期化	初期化	
PWMREG1_B	初期化	—	初期化	—	初期化	初期化	
PWMPRE1_B	初期化	—	初期化	—	初期化	初期化	
PWMREG2_B	初期化	—	初期化	—	初期化	初期化	
PWMPRE2_B	初期化	—	初期化	—	初期化	初期化	
PWMREG3_B	初期化	—	初期化	—	初期化	初期化	
PWMPRE3_B	初期化	—	初期化	—	初期化	初期化	
PWMREG4_B	初期化	—	初期化	—	初期化	初期化	
PWMPRE4_B	初期化	—	初期化	—	初期化	初期化	
PWMREG5_B	初期化	—	初期化	—	初期化	初期化	
PWMPRE5_B	初期化	—	初期化	—	初期化	初期化	
PWMCKCR_B	初期化	—	初期化	—	初期化	初期化	
PWMOUTCR_B	初期化	—	初期化	—	初期化	初期化	
PWMMDCR_B	初期化	—	初期化	—	初期化	初期化	
PWMPCR_B	初期化	—	初期化	—	初期化	初期化	
TCR_1	初期化	—	—	—	—	—	TPU_1
TMDR_1	初期化	—	—	—	—	—	
TIOR_1	初期化	—	—	—	—	—	
TIER_1	初期化	—	—	—	—	—	
TSR_1	初期化	—	—	—	—	—	
TCNT_1	初期化	—	—	—	—	—	
TGRA_1	初期化	—	—	—	—	—	
TGRB_1	初期化	—	—	—	—	—	
PECX	初期化	—	—	—	—	—	SMBUS
PECY	初期化	—	—	—	—	—	
PECZ	初期化	—	—	—	—	—	
LADR1H	初期化	—	—	—	—	—	LPC
LADR1L	初期化	—	—	—	—	—	
LADR2H	初期化	—	—	—	—	—	
LADR2L	初期化	—	—	—	—	—	
SCIFADRH	初期化	—	—	—	—	—	
SCIFADRL	初期化	—	—	—	—	—	
LADRAH	初期化	—	—	—	—	—	
LADRAL	初期化	—	—	—	—	—	
IDRA	初期化	—	—	—	—	—	
ODRA	初期化	—	—	—	—	—	
LADR4H	初期化	—	—	—	—	—	
LADR4L	初期化	—	—	—	—	—	
IDR4	初期化	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
ODR4	初期化	—	—	—	—	—	LPC
STR4	初期化	—	—	—	—	—	
HICR4	初期化	—	—	—	—	—	
SIRQCR2	初期化	—	—	—	—	—	
SIRQCR3	初期化	—	—	—	—	—	
CKRCR	初期化	—	—	—	—	—	
TWDR0MW	初期化	—	—	—	—	—	
TWDR0SW	初期化	—	—	—	—	—	
TWDR1	初期化	—	—	—	—	—	
TWDR2	初期化	—	—	—	—	—	
TWDR3	初期化	—	—	—	—	—	
TWDR4	初期化	—	—	—	—	—	
TWDR5	初期化	—	—	—	—	—	
TWDR6	初期化	—	—	—	—	—	
TWDR7	初期化	—	—	—	—	—	
TWDR8	初期化	—	—	—	—	—	
TWDR9	初期化	—	—	—	—	—	
TWDR10	初期化	—	—	—	—	—	
TWDR11	初期化	—	—	—	—	—	
TWDR12	初期化	—	—	—	—	—	
TWDR13	初期化	—	—	—	—	—	
TWDR14	初期化	—	—	—	—	—	
TWDR15	初期化	—	—	—	—	—	
TWDR16	初期化	—	—	—	—	—	
TWDR17	初期化	—	—	—	—	—	
TWDR18	初期化	—	—	—	—	—	
TWDR19	初期化	—	—	—	—	—	
TWDR20	初期化	—	—	—	—	—	
TWDR21	初期化	—	—	—	—	—	
TWDR22	初期化	—	—	—	—	—	
TWDR23	初期化	—	—	—	—	—	
TWDR24	初期化	—	—	—	—	—	
TWDR25	初期化	—	—	—	—	—	
TWDR26	初期化	—	—	—	—	—	
TWDR27	初期化	—	—	—	—	—	
TWDR28	初期化	—	—	—	—	—	
TWDR29	初期化	—	—	—	—	—	
TWDR30	初期化	—	—	—	—	—	
TWDR31	初期化	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
PTCNT0	初期化	—	—	—	—	—	PORT
PTCNT1	初期化	—	—	—	—	—	
PTCNT2	初期化	—	—	—	—	—	
TWR0MW	初期化	—	—	—	—	—	LPC
TWR0SW	初期化	—	—	—	—	—	
TWR0	初期化	—	—	—	—	—	
TWR1	初期化	—	—	—	—	—	
TWR2	初期化	—	—	—	—	—	
TWR3	初期化	—	—	—	—	—	
TWR4	初期化	—	—	—	—	—	
TWR5	初期化	—	—	—	—	—	
TWR6	初期化	—	—	—	—	—	
TWR7	初期化	—	—	—	—	—	
TWR8	初期化	—	—	—	—	—	
TWR9	初期化	—	—	—	—	—	
TWR10	初期化	—	—	—	—	—	
TWR11	初期化	—	—	—	—	—	
TWR12	初期化	—	—	—	—	—	
TWR13	初期化	—	—	—	—	—	
TWR14	初期化	—	—	—	—	—	
TWR15	初期化	—	—	—	—	—	
IDR3	初期化	—	—	—	—	—	
ODR3	初期化	—	—	—	—	—	
STR3	初期化	—	—	—	—	—	
HICR5	初期化	—	—	—	—	—	
LADR3H	初期化	—	—	—	—	—	
LADR3L	初期化	—	—	—	—	—	
SIRQCR0	初期化	—	—	—	—	—	
SIRQCR1	初期化	—	—	—	—	—	
IDR1	初期化	—	—	—	—	—	
ODR1	初期化	—	—	—	—	—	
STR1	初期化	—	—	—	—	—	
IDR2	初期化	—	—	—	—	—	
SIRQCR4	初期化	—	—	—	—	—	
ODR2	初期化	—	—	—	—	—	
STR2	初期化	—	—	—	—	—	
HISEL	初期化	—	—	—	—	—	
HICR0	初期化	—	—	—	—	—	
HICR1	初期化	—	—	—	—	—	
HICR2	初期化	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール	
HICR3	—	—	—	—	—	—	LPC	
WUEMRB	初期化	—	—	—	—	—	INT	
WUEMRA	初期化	—	—	—	—	—		
HICR6	初期化	—	—	—	—	—	LPC	
STRA	初期化	—	—	—	—	—		
SIRQCR5	初期化	—	—	—	—	—		
TCR_0	初期化	—	—	—	—	—	TPU_0	
TMDR_0	初期化	—	—	—	—	—		
TIORH_0	初期化	—	—	—	—	—		
TIORL_0	初期化	—	—	—	—	—		
TIER_0	初期化	—	—	—	—	—		
TSR_0	初期化	—	—	—	—	—		
TCNT_0	初期化	—	—	—	—	—		
TGRA_0	初期化	—	—	—	—	—		
TGRB_0	初期化	—	—	—	—	—		
TGRC_0	初期化	—	—	—	—	—		
TGRD_0	初期化	—	—	—	—	—		
TCR_2	初期化	—	—	—	—	—		TPU_2
TMDR_2	初期化	—	—	—	—	—		
TIOR_2	初期化	—	—	—	—	—		
TIER_2	初期化	—	—	—	—	—		
TSR_2	初期化	—	—	—	—	—		
TPCNT_2	初期化	—	—	—	—	—		
TPGRA_2	初期化	—	—	—	—	—		
TPGRB_2	初期化	—	—	—	—	—		
KMIMRB	初期化	—	—	—	—	—	INT	
KMIMRA	初期化	—	—	—	—	—		
WUESCRA	初期化	—	—	—	—	—		
WUESRA	初期化	—	—	—	—	—		
WUEER	初期化	—	—	—	—	—		
ICRD	初期化	—	—	—	—	—		
ICCR_2	初期化	—	—	—	—	—	IIC2	
ICSR_2	初期化	—	—	—	—	—		
ICRES_2	初期化	—	—	—	—	—		
ICCKR_2	初期化	—	—	—	—	—		
ICXR_2	初期化	—	—	—	—	—		
SARX_2	初期化	—	—	—	—	—		
ICDR_2	初期化	—	—	—	—	—		
SAR_2	初期化	—	—	—	—	—		
ICMR_2	初期化	—	—	—	—	—		

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
WUESCRB	初期化	—	—	—	—	—	INT
WUESRB	初期化	—	—	—	—	—	
TSTR	初期化	—	—	—	—	—	TPU 共通
TSYR	初期化	—	—	—	—	—	
KBCR1_0	初期化	—	—	—	—	—	PS2_0
KBTR_0	初期化	—	—	—	—	—	
KBCR1_1	初期化	—	—	—	—	—	PS2_1
KBTR_1	初期化	—	—	—	—	—	
KBCR1_2	初期化	—	—	—	—	—	PS2_2
KBTR_2	初期化	—	—	—	—	—	
TCRXY	初期化	—	—	—	—	—	TMR_X、 TMR_Y
TCR_Y	初期化	—	—	—	—	—	TMR_Y
TCSR_Y	初期化	—	—	—	—	—	
TCORA_Y	初期化	—	—	—	—	—	
TCORB_Y	初期化	—	—	—	—	—	
TCNT_Y	初期化	—	—	—	—	—	
ICCR_1	初期化	—	—	—	—	—	IIC1
ICSR_1	初期化	—	—	—	—	—	
ICRES_1	初期化	—	—	—	—	—	
ICCKR_1	初期化	—	—	—	—	—	
ICXR_1	初期化	—	—	—	—	—	
SARX_1	初期化	—	—	—	—	—	
ICDR_1	初期化	—	—	—	—	—	
SAR_1	初期化	—	—	—	—	—	
ICMR_1	初期化	—	—	—	—	—	
KBCRH_0	初期化	—	—	—	—	—	PS2_0
KBCRL_0	初期化	—	—	—	—	—	
KBBR_0	初期化	—	—	—	—	—	
KBCR2_0	初期化	—	—	—	—	—	
KBCRH_1	初期化	—	—	—	—	—	PS2_1
KBCRL_1	初期化	—	—	—	—	—	
KBBR_1	初期化	—	—	—	—	—	
KBCR2_1	初期化	—	—	—	—	—	
KBCRH_2	初期化	—	—	—	—	—	PS2_2
KBCRL_2	初期化	—	—	—	—	—	
KBBR_2	初期化	—	—	—	—	—	
KBCR2_2	初期化	—	—	—	—	—	

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
ICRA	初期化	—	—	—	—	—	INT
ICRB	初期化	—	—	—	—	—	
ICRC	初期化	—	—	—	—	—	
ISR	初期化	—	—	—	—	—	
ISCRH	初期化	—	—	—	—	—	
ISCR_L	初期化	—	—	—	—	—	
ABRKCR	初期化	—	—	—	—	—	
BARA	初期化	—	—	—	—	—	
BARB	初期化	—	—	—	—	—	
BARC	初期化	—	—	—	—	—	
IER16	初期化	—	—	—	—	—	
ISR16	初期化	—	—	—	—	—	
ISCR16H	初期化	—	—	—	—	—	
ISCR16L	初期化	—	—	—	—	—	
ISSR16	初期化	—	—	—	—	—	
ISSR	初期化	—	—	—	—	—	
SMR_1	初期化	—	—	—	—	—	SCL_1
BRR_1	初期化	—	—	—	—	—	
SCR_1	初期化	—	—	—	—	—	
TDR_1	初期化	—	初期化	—	初期化	初期化	
SSR_1	初期化	—	初期化	—	初期化	初期化	
RDR_1	初期化	—	初期化	—	初期化	初期化	
SCMR_1	初期化	—	—	—	—	—	
SEMR_1	初期化	—	—	—	—	—	
MDCR	初期化	—	—	—	—	—	SYSTEM
SYSCR	初期化	—	—	—	—	—	
SBYCR	初期化	—	—	—	—	—	
LPWRCR	初期化	—	—	—	—	—	
MSTPCR_H	初期化	—	—	—	—	—	
MSTPCR_L	初期化	—	—	—	—	—	
MSTPCRA	初期化	—	—	—	—	—	
MSTPCRB	初期化	—	—	—	—	—	
BCR	初期化	—	—	—	—	—	BSC
WSCR	初期化	—	—	—	—	—	
STCR	初期化	—	—	—	—	—	SYSTEM
TCSR_0	初期化	—	—	—	—	—	WDT_0
TCNT_0	初期化	—	—	—	—	—	
IER	初期化	—	—	—	—	—	INT

レジスタ略称	リセット	高速/中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュール
TCR_0	初期化	—	—	—	—	—	TMR_0、
TCR_1	初期化	—	—	—	—	—	TMR_1
TCSR_0	初期化	—	—	—	—	—	
TCSR_1	初期化	—	—	—	—	—	
TCORA_0	初期化	—	—	—	—	—	
TCORA_1	初期化	—	—	—	—	—	
TCORB_0	初期化	—	—	—	—	—	
TCORB_1	初期化	—	—	—	—	—	
TCNT_0	初期化	—	—	—	—	—	
TCNT_1	初期化	—	—	—	—	—	
TCKR_0	初期化	—	—	—	—	—	
TCKR_1	初期化	—	—	—	—	—	
ICCR_0	初期化	—	—	—	—	—	IIC0
ICSR_0	初期化	—	—	—	—	—	
ICRES_0	初期化	—	—	—	—	—	
ICCKR_0	初期化	—	—	—	—	—	
ICXR_0	初期化	—	—	—	—	—	
ICDR_0	初期化	—	—	—	—	—	
SARX_0	初期化	—	—	—	—	—	
ICMR_0	初期化	—	—	—	—	—	
SAR_0	初期化	—	—	—	—	—	
TCSR_1	初期化	—	—	—	—	—	WDT_1
TCNT_1	初期化	—	—	—	—	—	
TCSRE_1	初期化	—	—	—	—	—	
TCR_X	初期化	—	—	—	—	—	TMR_X
TCSR_X	初期化	—	—	—	—	—	
TICRR	初期化	—	—	—	—	—	
TICRF	初期化	—	—	—	—	—	
TCNT_X	初期化	—	—	—	—	—	
TCORA_X	初期化	—	—	—	—	—	
TCORB_X	初期化	—	—	—	—	—	
TCONRI	初期化	—	—	—	—	—	

30.4 レジスタ選択条件

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'F800	BBR0	MSTP13=0	BBR
H'F801	BBR1		
H'F802	BBR2		
H'F803	BBR3		
H'F804	BBR4		
H'F805	BBR5		
H'F806	BBR6		
H'F807	BBR7		
H'F808	BBR8		
H'F809	BBR9		
H'F80A	BBR10		
H'F80B	BBR11		
H'F80C	BBR12		
H'F80D	BBR13		
H'F80E	BBR14		
H'F80F	BBR15		
H'F810	BBR16		
H'F811	BBR17		
H'F812	BBR18		
H'F813	BBR19		
H'F814	BBR20		
H'F815	BBR21		
H'F816	BBR22		
H'F817	BBR23		
H'F818	BBR24		
H'F819	BBR25		
H'F81A	BBR26		
H'F81B	BBR27		
H'F81C	BBR28		
H'F81D	BBR29		
H'F81E	BBR30		
H'F81F	BBR31		
H'F820	BBR32		
H'F821	BBR33		
H'F822	BBR34		
H'F823	BBR35		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'F824	BBR36	条件なし	BBR
H'F825	BBR37		
H'F826	BBR38		
H'F827	BBR39		
H'F828	BBR40		
H'F829	BBR41		
H'F82A	BBR42		
H'F82B	BBR43		
H'F82C	BBR44		
H'F82D	BBR45		
H'F82E	BBR46		
H'F82F	BBR47		
H'F830	BBR48		
H'F831	BBR49		
H'F832	BBR50		
H'F833	BBR51		
H'F834	BBR52		
H'F835	BBR53		
H'F836	BBR54		
H'F837	BBR55		
H'F838	BBR56		
H'F839	BBR57		
H'F83A	BBR58		
H'F83B	BBR59		
H'F83C	BBR60		
H'F83D	BBR61		
H'F83E	BBR62		
H'F83F	BBR63		
H'F841	BWPRT	条件なし	PORT
H'F900	P1DDR		
H'F901	P2DDR		
H'F902	P1ODR		
H'F903	P2ODR		
H'F904	P1PIN		
H'F905	P2PIN		
H'F906	P1PCR		
H'F907	P2PCR		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'F910	P3DDR	条件なし	PORT
H'F911	P4DDR		
H'F912	P3ODR		
H'F913	P4ODR		
H'F914	P3PIN		
H'F915	P4PIN		
H'F916	P3PCR		
H'F917	P4PCR		
H'F91B	P4NCE		
H'F91D	P4NCMC		
H'F91F	P4NCCS		
H'F920	P5DDR		
H'F921	P6DDR		
H'F922	P5ODR		
H'F923	P6ODR		
H'F924	P5PIN		
H'F925	P6PIN		
H'F926	P5PCR		
H'F927	P6PCR		
H'F92B	P6NCE		
H'F92D	P6NCMC		
H'F92F	P6NCCS		
H'F931	P8DDR		
H'F933	P8ODR		
H'F934	P7PIN		
H'F935	P8PIN		
H'F937	P8PCR		
H'F940	P9DDR		
H'F942	P9ODR		
H'F944	P9PIN		
H'F946	P9PCR		
H'F950	PADDR		
H'F951	PBDDR		
H'F952	PAODR		
H'F953	PBODR		
H'F954	PAPIN		
H'F955	PBPIN		
H'F957	PBPCR		
H'F958	PANOCR		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'F960	PCDDR	条件なし	PORT
H'F961	PDDDR		
H'F962	PCODR		
H'F963	PDODR		
H'F964	PCPIN		
H'F965	PDPIN		
H'F966	PCPCR		
H'F967	PDPCR		
H'F968	PCNOCR		
H'F969	PDNOCR		
H'F96A	PCNCE		
H'F96C	PCNCMC		
H'F96E	PCNCCS		
H'F970	PEDDR		
H'F971	PFDDR		
H'F972	PEODR		
H'F973	PFODR		
H'F974	PEPIN		
H'F975	PFPIN		
H'F976	PEPCR		
H'F977	PFPCR		
H'F978	PENOCR		
H'F979	PFNOCR		
H'F980	PGDDR		
H'F981	PHDDR		
H'F982	PGODR		
H'F983	PHODR		
H'F984	PGPIN		
H'F985	PHPIN		
H'F987	PHPCR		
H'F988	PGNOCR		
H'F989	PHNOCR		
H'F98A	PGNCE		
H'F98C	PGNCMC		
H'F98E	PGNCCS		
H'F990	PIDDR		
H'F991	PJDDR		
H'F992	PIODR		
H'F993	PJODR		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名	
H'F994	PIPIN	条件なし	PORT	
H'F995	PJPIN			
H'F998	PINOCR			
H'F999	PJNOCR			
H'FB20	FLMCR1		条件なし	ROM
H'FB22	DFPR			
H'FB23	FLMSTR			
H'FB25	FMATS			
H'FB40	RSTFR			
H'FB44	LD1CRH			
H'FB45	LD1CRL			SYSTEM
H'FB46	LD0CRH			
H'FB47	LD0CRL			
H'FB49	VDCPR			
H'FBA0	PECR	MSTPA7=0	PECI	
H'FBA1	PESTR			
H'FBA2	PECNT0_PRE			
H'FBA4	PECNT0_GR			
H'FBA6	PECNT0_GRA			
H'FBA8	PEADD			
H'FBA9	PEWBNR			
H'FBAA	PERBNR			
H'FBAD	PECWFCSR			
H'FBAE	PECRFCSR			
H'FBAF	PEFIFO			
H'FBC0	TCMCNT_0	MSTPB1=0	TCM_0	
H'FBC2	TCMMLCM_0			
H'FBC4	TCMICR_0			
H'FBC6	TCMICRF_0			
H'FBC8	TCMCSR_0			
H'FBC9	TCMCR_0			
H'FBCA	TCMIER_0			
H'FBCC	TCMMINCM_0			
H'FBD0	TCMCNT_1			TCM_1
H'FBD2	TCMMLCM_1			
H'FBD4	TCMICR_1			
H'FBD6	TCMICRF_1			
H'FBD8	TCMCSR_1			
H'FBD9	TCMCR_1			
H'FBDA	TCMIER_1			
H'FBDC	TCMMINCM_1			

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FBE0	TCMCNT_2	MSTPB2=0	TCM_2
H'FBE2	TCMMLCM_2		
H'FBE4	TCMICR_2		
H'FBE6	TCMICRF_2		
H'FBE8	TCMCSR_2		
H'FBE9	TCMCR_2		
H'FBEA	TCMIER_2		
H'FBEC	TCMMINCM_2		
H'FC00	ADDRA	MSTP9=0	A/D 変換器
H'FC02	ADDRB		
H'FC04	ADDRC		
H'FC06	ADDRD		
H'FC08	ADDRE		
H'FC0A	ADDRF		
H'FC0C	ADDRG		
H'FC0E	ADDRH		
H'FC10	ADCSR		
H'FC11	ADCR		
H'FC20	FRBR		
H'FC20	FTHR		
H'FC20	FDLL		
H'FC21	FIER		
H'FC21	FDLH		
H'FC22	FIIR		
H'FC22	FFCR		
H'FC23	FLCR		
H'FC24	FMCR		
H'FC25	FLSR		
H'FC26	FMSR		
H'FC27	FSCR		
H'FC28	SCIFCR		
H'FC50	FSIHBARH	MSTP0=0 MSTPA2=0	FSI
H'FC51	FSIHBARL		
H'FC52	FSISR		
H'FC53	CMDHBARH		
H'FC54	CMDHBARL		
H'FC55	FSICMDR		
H'FC56	FSILSTR1		
H'FC57	FSIGPR1		
H'FC58	FSIGPR2		
H'FC59	FSIGPR3		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FC5A	FSIGPR4	MSTP0=0	FSI
H'FC5B	FSIGPR5	MSTPA2=0	
H'FC5C	FSIGPR6		
H'FC5D	FSIGPR7		
H'FC5E	FSIGPR8		
H'FC5F	FSIGPR9		
H'FC60	FSIGPRA		
H'FC61	FSIGPRB		
H'FC62	FSIGPRC		
H'FC63	FSIGPRD		
H'FC64	FSIGPRE		
H'FC65	FSIGPRF		
H'FC66	SLCR		
H'FC67	FSIARH		
H'FC68	FSIARM		
H'FC69	FSIARL		
H'FC6A	FSIWDRHH		
H'FC6B	FSIWDRHL		
H'FC6C	FSIWDLRH		
H'FC6D	FSIWDRLL		
H'FC6E	FSILSTR2		
H'FC80	SSCRH	MSTPB7=0	SSU
H'FC81	SSCRL		
H'FC82	SSMR		
H'FC83	SSER		
H'FC84	SSSR		
H'FC85	SSCR2		
H'FC86	SSTDR0		
H'FC87	SSTDR1		
H'FC88	SSTDR2		
H'FC89	SSTDR3		
H'FC8A	SSRDR0		
H'FC8B	SSRDR1		
H'FC8C	SSRDR2		
H'FC8D	SSRDR3		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FC90	FSICR1	MSTP0=0	FSI
H'FC91	FSICR2	MSTPA2=0	
H'FC92	FSIBNR		
H'FC93	FSIINS		
H'FC94	FSIRDINS		
H'FC95	FSIPPINS		
H'FC96	FSISTR		
H'FC98	FSITDR0		
H'FC99	FSITDR1		
H'FC9A	FSITDR2		
H'FC9B	FSITDR3		
H'FC9C	FSITDR4		
H'FC9D	FSITDR5		
H'FC9E	FSITDR6		
H'FC9F	FSITDR7		
H'FCA0	FSIRDR		
H'FCA4	WRSRINS		
H'FCA5	RDSRINS		
H'FCE0	PWMREG0_A	MSTPB0=0	PWMU_A
H'FCE1	PWMPRE0_A		
H'FCE2	PWMREG1_A		
H'FCE3	PWMPRE1_A		
H'FCE4	PWMREG2_A		
H'FCE5	PWMPRE2_A		
H'FCE6	PWMREG3_A		
H'FCE7	PWMPRE3_A		
H'FCE8	PWMREG4_A		
H'FCE9	PWMPRE4_A		
H'FCEA	PWMREG5_A		
H'FCEB	PWMPRE5_A		
H'FCEC	PWMCKCR_A		
H'FCED	PWMOUTCR_A		
H'FCEE	PWMMDCR_A		
H'FCEF	PWMPCR_A		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FD10	PWMREG0_B	MSTPB0=0	PWMU_B
H'FD11	PWMPRE0_B		
H'FD12	PWMREG1_B		
H'FD13	PWMPRE1_B		
H'FD14	PWMREG2_B		
H'FD15	PWMPRE2_B		
H'FD16	PWMREG3_B		
H'FD17	PWMPRE3_B		
H'FD18	PWMREG4_B		
H'FD19	PWMPRE4_B		
H'FD1A	PWMREG5_B		
H'FD1B	PWMPRE5_B		
H'FD1C	PWMCKCR_B		
H'FD1D	PWMOUTCR_B		
H'FD1E	PWMMDCR_B		
H'FD1F	PWMPCR_B		
H'FD40	TCR_1		
H'FD41	TMDR_1		
H'FD42	TIOR_1		
H'FD44	TIER_1		
H'FD45	TSR_1		
H'FD46	TCNT_1		
H'FD48	TGRA_1		
H'FD4A	TGRB_1		
H'FD60	PECX	MSTP4=0	SMBUS
H'FD61	PECY		
H'FD63	PECZ		
H'FDC0	LADR1H	MSTP0=0	LPC
H'FDC1	LADR1L		
H'FDC2	LADR2H		
H'FDC3	LADR2L		
H'FDC4	SCIFADRH		
H'FDC5	SCIFADRL		
H'FDD0	LADRAH		
H'FDD1	LADRAL		
H'FDD2	IDRA		
H'FDD3	ODRA		
H'FDD4	LADR4H		
H'FDD5	LADR4L		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FDD6	IDR4	MSTP0=0	LPC
H'FDD7	ODR4		
H'FDD8	STR4		
H'FDD9	HICR4		
H'FDDA	SIRQCR2		
H'FDDB	SIRQCR3		
H'FDDF	CKRCR		
H'FDE0	TWDR0MW		
H'FDE0	TWDR0SW		
H'FDE1	TWDR1		
H'FDE2	TWDR2		
H'FDE3	TWDR3		
H'FDE4	TWDR4		
H'FDE5	TWDR5		
H'FDE6	TWDR6		
H'FDE7	TWDR7		
H'FDE8	TWDR8		
H'FDE9	TWDR9		
H'FDEA	TWDR10		
H'FDEB	TWDR11		
H'FDEC	TWDR12		
H'FDED	TWDR13		
H'FDEE	TWDR14		
H'FDEF	TWDR15		
H'FDF0	TWDR16		
H'FDF1	TWDR17		
H'FDF2	TWDR18		
H'FDF3	TWDR19		
H'FDF4	TWDR20		
H'FDF5	TWDR21		
H'FDF6	TWDR22		
H'FDF7	TWDR23		
H'FDF8	TWDR24		
H'FDF9	TWDR25		
H'FDFA	TWDR26		
H'FDFB	TWDR27		
H'FDFC	TWDR28		
H'FDFD	TWDR29		
H'FDFE	TWDR30		
H'FDFF	TWDR31		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FE10	PTCNT0	条件なし	PORT
H'FE11	PTCNT1		
H'FE12	PTCNT2		
H'FE20	TWR0MW	MSTP0=0	LPC
H'FE20	TWR0SW		
H'FE20	TWR0		
H'FE21	TWR1		
H'FE22	TWR2		
H'FE23	TWR3		
H'FE24	TWR4		
H'FE25	TWR5		
H'FE26	TWR6		
H'FE27	TWR7		
H'FE28	TWR8		
H'FE29	TWR9		
H'FE2A	TWR10		
H'FE2B	TWR11		
H'FE2C	TWR12		
H'FE2D	TWR13		
H'FE2E	TWR14		
H'FE2F	TWR15		
H'FE30	IDR3		
H'FE31	ODR3		
H'FE32	STR3		
H'FE33	HICR5		
H'FE34	LADR3H		
H'FE35	LADR3L		
H'FE36	SIRQCR0		
H'FE37	SIRQCR1		
H'FE38	IDR1		
H'FE39	ODR1		
H'FE3A	STR1		
H'FE3C	IDR2		
H'FE3B	SIRQCR4		
H'FE3D	ODR2		
H'FE3E	STR2		
H'FE3F	HISEL		
H'FE40	HICR0		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FE41	HICR1	MSTP0=0	LPC
H'FE42	HICR2		
H'FE43	HICR3		
H'FE44	WUEMRB	条件なし	INT
H'FE45	WUEMRA		
H'FE50	TCR_0	MSTP1=0	TPU_0
H'FE51	TMDR_0		
H'FE52	TIORH_0		
H'FE53	TIORL_0		
H'FE54	TIER_0		
H'FE4C	HICR6		
H'FE4D	STRA		
H'FE4E	SIRQCR5		
H'FE55	TSR_0		
H'FE56	TCNT_0		
H'FE58	TGRA_0		
H'FE5A	TGRB_0		
H'FE5C	TGRC_0		
H'FE5E	TGRD_0		
H'FE70	TCR_2		TPU_2
H'FE71	TMDR_2		
H'FE72	TIOR_2		
H'FE74	TIER_2		
H'FE75	TSR_2		
H'FE76	TCNT_2		
H'FE78	TGRA_2		
H'FE7A	TGRB_2		
H'FE81	KMIMRB	条件なし	INT
H'FE83	KMIMRA		
H'FE84	WUESCRA		
H'FE85	WUESRA		
H'FE86	WUEER		
H'FE87	ICRD		
H'FE88	ICCR_2	MSTPB4=0	IIC_2
H'FE89	ICSR_2		
H'FE8A	ICRES_2		
H'FE8B	ICCKR_2		
H'FE8C	ICXR_2		

下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名	
H'FE8E	SARX_2	MSTPB4=0	ICCR_2 の ICE=0	IIC_2	
H'FE8E	ICDR_2		ICCR_2 の ICE=1		
H'FE8F	SAR_2		ICCR_2 の ICE=0		
H'FE8F	ICMR_2		ICCR_2 の ICE=1		
H'FE96	WUESCRB	条件なし		INT	
H'FE97	WUESRB				
H'FEB0	TSTR	MSTP1=0		TPU 共通	
H'FEB1	TSYR				
H'FEC0	KBCR1_0	MSTP2=0		PS2_0	
H'FEC1	KBTR_0			PS2_1	
H'FEC2	KBCR1_1			PS2_2	
H'FEC3	KBTR_1				
H'FEC4	KBCR1_2				
H'FEC5	KBTR_2				
H'FEC6	TCRXY	MSTP8=0		TMR_X、TMR_Y	
H'FEC8	TCR_Y			TMR_Y	
H'FEC9	TCSR_Y				
H'FECA	TCORA_Y				
H'FECE	TCORB_Y				
H'FECC	TCNT_Y				
H'FED0	ICCR_1	MSTP3=0		IIC1	
H'FED1	ICSR_1				
H'FED2	ICRES_1				
H'FED3	ICCKR_2				
H'FED4	ICXR_1				
H'FED6	SARX_1				ICCR_1 の ICE=0
H'FED6	ICDR_1				ICCR_1 の ICE=1
H'FED7	SAR_1				ICCR_1 の ICE=0
H'FED7	ICMR_1	ICCR_1 の ICE=1			
H'FED8	KBCRH_0	MSTP2=0		PS2_0	
H'FED9	KBCRL_0				
H'FEDA	KBBR_0				
H'FEDB	KBCR2_0				
H'FEDC	KBCRH_1			PS2_1	
H'FEDD	KBCRL_1				
H'FEDE	KBBR_1				
H'FEDF	KBCR2_1				
H'FEE0	KBCRH_2			PS2_2	
H'FEE1	KBCRL_2				
H'FEE2	KBBR_2				
H'FEE3	KBCR2_2				

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FEE8	ICRA	条件なし	INT
H'FEE9	ICRB		
H'FEEA	ICRC		
H'FEF7	ISR		
H'FEEC	ISCRH		
H'FEED	ISCR L		
H'FEF4	ABRKCR		
H'FEF5	BARA		
H'FEF6	BARB		
H'FEF7	BARC		
H'FEF8	IER16		
H'FEF9	ISR16		
H'FEFA	ISCR16H		
H'FEFB	ISCR16L		
H'FEFC	ISSR16		
H'FEFD	ISSR		
H'FF88	SMR_1	MSTP6=0	SCI_1
H'FF89	BRR_1		
H'FF8A	SCR_1		
H'FF8B	TDR_1		
H'FF8C	SSR_1		
H'FF8D	RDR_1		
H'FF8E	SCMR_1		
H'FF8F	SEMR_1		
H'FF90	MDCR	条件なし	SYSTEM
H'FF91	SYSCR		
H'FF94	SBYCR		
H'FF95	LPWRCR		
H'FF96	MSTPCR H		
H'FF97	MSTPCR L		
H'FF98	MSTPCR A		
H'FF99	MSTPCR B		
H'FF9A	BCR		
H'FF9B	WSCR		
H'FF9E	STCR	bit7 : MSTPB4=0 bit6 : MSTP3=0 bit5 : MSTP4=0 bit4~2 : 条件なし bit1~0 : MSTP12=0	SYSTEM

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名		
H'FFA8	TCSR_0	条件なし	WDT_0		
H'FFA8 (ライト時)	TCNT_0				
H'FFC2	IER	条件なし	SYSTEM		
H'FFC8	TCR_0	MSTP12=0	TMR_0、TMR_1		
H'FFC9	TCR_1				
H'FFCA	TCSR_0				
H'FFCB	TCSR_1				
H'FFCC	TCORA_0				
H'FFCD	TCORA_1				
H'FFCE	TCORB_0				
H'FFCF	TCORB_1				
H'FFD0	TCNT_0				
H'FFD1	TCNT_1				
H'FFD2	TCKR_0				
H'FFD3	TCKR_1				
H'FFD8	ICCR_0			MSTPB4=0	IIC0
H'FFD9	ICSR_0				
H'FFDA	ICRES_0				
H'FFDB	ICCKR_0				
H'FFDC	ICXR_0				
H'FFDE	ICDR_0	ICCR_0 の ICE=0			
H'FFDE	SARX_0	ICCR_0 の ICE=1			
H'FFDF	ICMR_0	ICCR_0 の ICE=0			
H'FFDF	SAR_0	ICCR_0 の ICE=1			
H'FFEA	TCSR_1	条件なし	WDT_1		
H'FFFA (ライト時)	TCNT_1				
H'FFEC	TCSRE_1				
H'FFF0	TCR_X	MSTP8=0	TMR_X		
H'FFF1	TCSR_X				
H'FFF2	TICRR				
H'FFF3	TICRF				
H'FFF4	TCNT_X				
H'FFF6	TCORA_X				
H'FFF7	TCORB_X				
H'FFFC	TCONRI				

30.5 レジスタアドレス一覧（モジュール別）

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
INT	WUEMRB	8	H'FE44	8	2
INT	WUEMRA	8	H'FE45	8	2
INT	KMIMRB	8	H'FE81	8	2
INT	KMIMRA	8	H'FE83	8	2
INT	WUESCRA	8	H'FE84	8	2
INT	WUESRA	8	H'FE85	8	2
INT	WUEER	8	H'FE86	8	2
INT	ICRD	8	H'FE87	8	2
INT	WUESCRB	8	H'FE96	8	2
INT	WUESRB	8	H'FE97	8	2
INT	ICRA	8	H'FEE8	8	2
INT	ICRB	8	H'FEE9	8	2
INT	ICRC	8	H'FEEA	8	2
INT	ISR	8	H'FEEB	8	2
INT	ISCRH	8	H'FEEC	8	2
INT	ISCR L	8	H'FEED	8	2
INT	ABRKCR	8	H'FEF4	8	2
INT	BARA	8	H'FEF5	8	2
INT	BARB	8	H'FEF6	8	2
INT	BARC	8	H'FEF7	8	2
INT	IER16	8	H'FEF8	8	2
INT	ISR16	8	H'FEF9	8	2
INT	ISCR16H	8	H'FEFA	8	2
INT	ISCR16L	8	H'FEFB	8	2
INT	ISSR16	8	H'FEFC	8	2
INT	ISSR	8	H'FEFD	8	2
INT	IER	8	H'FFC2	8	2
BSC	BCR	8	H'FF8A	8	2
BSC	WSCR	8	H'FF8B	8	2
BSC	BBR0	8	H'F800	8	2
BSC	BBR1	8	H'F801	8	2
BSC	BBR2	8	H'F802	8	2
BSC	BBR3	8	H'F803	8	2
BSC	BBR4	8	H'F804	8	2
BSC	BBR5	8	H'F805	8	2
BSC	BBR6	8	H'F806	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
BSC	BBR7	8	H'F807	8	2
BSC	BBR8	8	H'F808	8	2
BSC	BBR9	8	H'F809	8	2
BSC	BBR10	8	H'F80A	8	2
BSC	BBR11	8	H'F80B	8	2
BSC	BBR12	8	H'F80C	8	2
BSC	BBR13	8	H'F80D	8	2
BSC	BBR14	8	H'F80E	8	2
BSC	BBR15	8	H'F80F	8	2
BSC	BBR16	8	H'F810	8	2
BSC	BBR17	8	H'F811	8	2
BSC	BBR18	8	H'F812	8	2
BSC	BBR19	8	H'F813	8	2
BSC	BBR20	8	H'F814	8	2
BSC	BBR21	8	H'F815	8	2
BSC	BBR22	8	H'F816	8	2
BSC	BBR23	8	H'F817	8	2
BSC	BBR24	8	H'F818	8	2
BSC	BBR25	8	H'F819	8	2
BSC	BBR26	8	H'F81A	8	2
BSC	BBR27	8	H'F81B	8	2
BSC	BBR28	8	H'F81C	8	2
BSC	BBR29	8	H'F81D	8	2
BSC	BBR30	8	H'F81E	8	2
BSC	BBR31	8	H'F81F	8	2
BSC	BBR32	8	H'F820	8	2
BSC	BBR33	8	H'F821	8	2
BSC	BBR34	8	H'F822	8	2
BSC	BBR35	8	H'F823	8	2
BSC	BBR36	8	H'F824	8	2
BSC	BBR37	8	H'F825	8	2
BSC	BBR38	8	H'F826	8	2
BSC	BBR39	8	H'F827	8	2
BSC	BBR40	8	H'F828	8	2
BSC	BBR41	8	H'F829'	8	2
BSC	BBR42	8	H'F82A	8	2
BSC	BBR43	8	H'F82B	8	2
BSC	BBR44	8	H'F82C	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
BSC	BBR45	8	H'F82D	8	2
BSC	BBR46	8	H'F82E	8	2
BSC	BBR47	8	H'F82F	8	2
BSC	BBR48	8	H'F830	8	2
BSC	BBR49	8	H'F831	8	2
BSC	BBR50	8	H'F832	8	2
BSC	BBR51	8	H'F833	8	2
BSC	BBR52	8	H'F834	8	2
BSC	BBR53	8	H'F835	8	2
BSC	BBR54	8	H'F836	8	2
BSC	BBR55	8	H'F837	8	2
BSC	BBR56	8	H'F838	8	2
BSC	BBR57	8	H'F839	8	2
BSC	BBR58	8	H'F83A	8	2
BSC	BBR59	8	H'F83B	8	2
BSC	BBR60	8	H'F83C	8	2
BSC	BBR61	8	H'F83D	8	2
BSC	BBR62	8	H'F83E	8	2
BSC	BBR63	8	H'F83F	8	2
BSC	BWPRT	8	H'F841	8	2
PORT	P1DDR	8	H'F900	8	2
PORT	P2DDR	8	H'F901	8	2
PORT	P1ODR	8	H'F902	8	2
PORT	P2ODR	8	H'F903	8	2
PORT	P1PIN	8	H'F904	8	2
PORT	P2PIN	8	H'F905	8	2
PORT	P1PCR	8	H'F906	8	2
PORT	P2PCR	8	H'F907	8	2
PORT	P3DDR	8	H'F910	8	2
PORT	P4DDR	8	H'F911	8	2
PORT	P3ODR	8	H'F912	8	2
PORT	P4ODR	8	H'F913	8	2
PORT	P3PIN	8	H'F914	8	2
PORT	P4PIN	8	H'F915	8	2
PORT	P3PCR	8	H'F916	8	2
PORT	P4PCR	8	H'F917	8	2
PORT	P4NCE	8	H'F91B	8	2
PORT	P4NCMC	8	H'F91D	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
PORT	P4NCCS	8	H'F91F	8	2
PORT	P5DDR	8	H'F920	8	2
PORT	P6DDR	8	H'F921	8	2
PORT	P5ODR	8	H'F922	8	2
PORT	P6ODR	8	H'F923	8	2
PORT	P5PIN	8	H'F924	8	2
PORT	P6PIN	8	H'F925	8	2
PORT	P5PCR	8	H'F926	8	2
PORT	P6PCR	8	H'F927	8	2
PORT	P6NCE	8	H'F92B	8	2
PORT	P6NCCS	8	H'F92D	8	2
PORT	P6NCCS	8	H'F92F	8	2
PORT	P8DDR	8	H'F931	8	2
PORT	P8ODR	8	H'F933	8	2
PORT	P7PIN	8	H'F934	8	2
PORT	P8PIN	8	H'F935	8	2
PORT	P8PCR	8	H'F937	8	2
PORT	P9DDR	8	H'F940	8	2
PORT	P9ODR	8	H'F942	8	2
PORT	P9PIN	8	H'F944	8	2
PORT	P9PCR	8	H'F946	8	2
PORT	PADDR	8	H'F950	8	2
PORT	PBDDR	8	H'F951	8	2
PORT	PAODR	8	H'F952	8	2
PORT	PBODR	8	H'F953	8	2
PORT	PAPIN	8	H'F954	8	2
PORT	PBPIN	8	H'F955	8	2
PORT	PBPCR	8	H'F957	8	2
PORT	PANOCR	8	H'F958	8	2
PORT	PCDDR	8	H'F960	8	2
PORT	PDDDR	8	H'F961	8	2
PORT	PCODR	8	H'F962	8	2
PORT	PDODR	8	H'F963	8	2
PORT	PCPIN	8	H'F964	8	2
PORT	PDPIN	8	H'F965	8	2
PORT	PCPCR	8	H'F966	8	2
PORT	PDPCR	8	H'F967	8	2
PORT	PCNOCR	8	H'F968	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
PORT	PDNOCR	8	H'F969	8	2
PORT	PCNCE	8	H'F96A	8	2
PORT	PCNCMC	8	H'F96C	8	2
PORT	PCNCCS	8	H'F96E	8	2
PORT	PEDDR	8	H'F970	8	2
PORT	PFDDR	8	H'F971	8	2
PORT	PEODR	8	H'F972	8	2
PORT	PFODR	8	H'F973	8	2
PORT	PEPIN	8	H'F974	8	2
PORT	PFPIN	8	H'F975	8	2
PORT	PEPCR	8	H'F976'	8	2
PORT	PFPCR	8	H'F977	8	2
PORT	PENOCR	8	H'F978	8	2
PORT	PFNOCR	8	H'F979	8	2
PORT	PGDDR	8	H'F980	8	2
PORT	PHDDR	8	H'F981	8	2
PORT	PGODR	8	H'F982	8	2
PORT	PHODR	8	H'F983	8	2
PORT	PGPIN	8	H'F984	8	2
PORT	PHPIN	8	H'F985	8	2
PORT	PHPCR	8	H'F987	8	2
PORT	PGNOCR	8	H'F988	8	2
PORT	PHNOCR	8	H'F989	8	2
PORT	PGNCE	8	H'F98A	8	2
PORT	PGNCMC	8	H'F98C	8	2
PORT	PGNCCS	8	H'F98E	8	2
PORT	PIDDR	8	H'F990	8	2
PORT	PJDDR	8	H'F991	8	2
PORT	PIODR	8	H'F992	8	2
PORT	PJODR	8	H'F993	8	2
PORT	PIPIN	8	H'F994	8	2
PORT	PJPIN	8	H'F995	8	2
PORT	PINOOCR	8	H'F998	8	2
PORT	PJNOCR	8	H'F999	8	2
PORT	PTCNT0	8	H'FE10	8	2
PORT	PTCNT1	8	H'FE11	8	2
PORT	PTCNT2	8	H'FE12	8	2
TCM_0	TCMCNT_0	16	H'FBC0	16	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
TCM_0	TCMMLCM_0	16	H'FBC2	16	2
TCM_0	TCMICR_0	16	H'FBC4	16	2
TCM_0	TCMICRF_0	16	H'FBC6	16	2
TCM_0	TCMCSR_0	8	H'FBC8	8	2
TCM_0	TCMCR_0	8	H'FBC9	8	2
TCM_0	TCMIER_0	8	H'FBCA	8	2
TCM_0	TCMMINCM_0	16	H'FBCC	16	2
TCM_1	TCMCNT_1	16	H'FBD0	16	2
TCM_1	TCMMLCM_1	16	H'FBD2	16	2
TCM_1	TCMICR_1	16	H'FBD4	16	2
TCM_1	TCMICRF_1	16	H'FBD6	16	2
TCM_1	TCMCSR_1	8	H'FBD8	8	2
TCM_1	TCMCR_1	8	H'FBD9	8	2
TCM_1	TCMIER_1	8	H'FBDA	8	2
TCM_1	TCMMINCM_1	16	H'FBDC	16	2
TCM_2	TCMCNT_2	16	H'FBE0	16	2
TCM_2	TCMMLCM_2	16	H'FBE2	16	2
TCM_2	TCMICR_2	16	H'FBE4	16	2
TCM_2	TCMICRF_2	16	H'FBE6	16	2
TCM_2	TCMCSR_2	8	H'FBE8	8	2
TCM_2	TCMCR_2	8	H'FBE9	8	2
TCM_2	TCMIER_2	8	H'FBEA	8	2
TCM_2	TCMMINCM_2	16	H'FBEC	16	2
FSI	FSIHBARH	8	H'FC50	8	2
FSI	FSIHBARL	8	H'FC51	8	2
FSI	FSISR	8	H'FC52	8	2
FSI	CMDHBARH	8	H'FC53	8	2
FSI	CMDHBARL	8	H'FC54	8	2
FSI	FSICMDR	8	H'FC55	8	2
FSI	FSILSTR1	8	H'FC56	8	2
FSI	FSIGPR1	8	H'FC57	8	2
FSI	FSIGPR2	8	H'FC58	8	2
FSI	FSIGPR3	8	H'FC59	8	2
FSI	FSIGPR4	8	H'FC5A	8	2
FSI	FSIGPR5	8	H'FC5B	8	2
FSI	FSIGPR6	8	H'FC5C	8	2
FSI	FSIGPR7	8	H'FC5D	8	2
FSI	FSIGPR8	8	H'FC5E	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
FSI	FSIGPR9	8	H'FC5F	8	2
FSI	FSIGPRA	8	H'FC60	8	2
FSI	FSIGPRB	8	H'FC61	8	2
FSI	FSIGPRC	8	H'FC62	8	2
FSI	FSIGPRD	8	H'FC63	8	2
FSI	FSIGPRE	8	H'FC64	8	2
FSI	FSIGPRF	8	H'FC65	8	2
FSI	SLCR	8	H'FC66	8	2
FSI	FSIARH	8	H'FC67	8	2
FSI	FSIARM	8	H'FC68	8	2
FSI	FSIARL	8	H'FC69	8	2
FSI	FSIWRHH	8	H'FC6A	8	2
FSI	FSIWRHL	8	H'FC6B	8	2
FSI	FSIWRHLH	8	H'FC6C	8	2
FSI	FSIWRLL	8	H'FC6D	8	2
FSI	FSILSTR2	8	H'FC6E	8	2
FSI	FSICR1	8	H'FC90	8	2
FSI	FSICR2	8	H'FC91	8	2
FSI	FSIBNR	8	H'FC92	8	2
FSI	FSIINS	8	H'FC93	8	2
FSI	FSIRDINS	8	H'FC94	8	2
FSI	FSIPPINS	8	H'FC95	8	2
FSI	FSISTR	8	H'FC96	8	2
FSI	FSITDR0	8	H'FC98	8	2
FSI	FSITDR1	8	H'FC99	8	2
FSI	FSITDR2	8	H'FC9A	8	2
FSI	FSITDR3	8	H'FC9B	8	2
FSI	FSITDR4	8	H'FC9C	8	2
FSI	FSITDR5	8	H'FC9D	8	2
FSI	FSITDR6	8	H'FC9E	8	2
FSI	FSITDR7	8	H'FC9F	8	2
FSI	FSIRDR	8	H'FCA0	8	2
FSI	WRSRINS	8	H'FCA4	8	2
FSI	RDSRINS	8	H'FCA5	8	2
PWMU_A	PWMREG0_A	8	H'FD00	8	2
PWMU_A	PWMPRE0_A	8	H'FD01	8	2
PWMU_A	PWMREG1_A	8	H'FD02	8	2
PWMU_A	PWMPRE1_A	8	H'FD03	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
PWMU_A	PWMREG2_A	8	H'FD04	8	2
PWMU_A	PWMPRE2_A	8	H'FD05	8	2
PWMU_A	PWMREG3_A	8	H'FD06	8	2
PWMU_A	PWMPRE3_A	8	H'FD07	8	2
PWMU_A	PWMREG4_A	8	H'FD08	8	2
PWMU_A	PWMPRE4_A	8	H'FD09	8	2
PWMU_A	PWMREG5_A	8	H'FD0A	8	2
PWMU_A	PWMPRE5_A	8	H'FD0B	8	2
PWMU_A	PWMCKCR_A	8	H'FD0C	8	2
PWMU_A	PWMOUTCR_A	8	H'FD0D	8	2
PWMU_A	PWMMDCR_A	8	H'FD0E	8	2
PWMU_A	PWMPCR_A	8	H'FD0F	8	2
PWMU_B	PWMREG0_B	8	H'FD10	8	2
PWMU_B	PWMPRE0_B	8	H'FD11	8	2
PWMU_B	PWMREG1_B	8	H'FD12	8	2
PWMU_B	PWMPRE1_B	8	H'FD13	8	2
PWMU_B	PWMREG2_B	8	H'FD14	8	2
PWMU_B	PWMPRE2_B	8	H'FD15	8	2
PWMU_B	PWMREG3_B	8	H'FD16	8	2
PWMU_B	PWMPRE3_B	8	H'FD17	8	2
PWMU_B	PWMREG4_B	8	H'FD18	8	2
PWMU_B	PWMPRE4_B	8	H'FD19	8	2
PWMU_B	PWMREG5_B	8	H'FD1A	8	2
PWMU_B	PWMPRE5_B	8	H'FD1B	8	2
PWMU_B	PWMCKCR_B	8	H'FD1C	8	2
PWMU_B	PWMOUTCR_B	8	H'FD1D	8	2
PWMU_B	PWMMDCR_B	8	H'FD1E	8	2
PWMU_B	PWMPCR_B	8	H'FD1F	8	2
TPU_0	TCR_0	8	H'FE50	8	2
TPU_0	TMDR_0	8	H'FE51	8	2
TPU_0	TIORH_0	8	H'FE52	8	2
TPU_0	TIORL_0	8	H'FE53	8	2
TPU_0	TIER_0	8	H'FE54	8	2
TPU_0	TSR_0	8	H'FE55	8	2
TPU_0	TCNT_0	16	H'FE56	16	2
TPU_0	TGRA_0	16	H'FE58	16	2
TPU_0	TGRB_0	16	H'FE5A	16	2
TPU_0	TGRC_0	16	H'FE5C	16	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
TPU_0	TGRD_0	16	H'FE5E	16	2
TPU_1	TCR_1	8	H'FD40	8	2
TPU_1	TMDR_1	8	H'FD41	8	2
TPU_1	TIOR_1	8	H'FD42	8	2
TPU_1	TIER_1	8	H'FD44	8	2
TPU_1	TSR_1	8	H'FD45	8	2
TPU_1	TCNT_1	16	H'FD46	16	2
TPU_1	TGRA_1	16	H'FD48	16	2
TPU_1	TGRB_1	16	H'FD4A	16	2
TPU_2	TCR_2	8	H'FE70	8	2
TPU_2	TMDR_2	8	H'FE71	8	2
TPU_2	TIOR_2	8	H'FE72	8	2
TPU_2	TIER_2	8	H'FE74	8	2
TPU_2	TSR_2	8	H'FE75	8	2
TPU_2	TCNT_2	16	H'FE76	16	2
TPU_2	TGRA_2	16	H'FE78	16	2
TPU_2	TGRB_2	16	H'FE7A	16	2
TPU 共通	TSTR	8	H'FEB0	8	2
TPU 共通	TSYR	8	H'FEB1	8	2
TMR_0	TCR_0	8	H'FFC8	8	2
TMR_0	TCSR_0	8	H'FFCA	8	2
TMR_0	TCORA_0	8	H'FFCC	16	2
TMR_0	TCORB_0	8	H'FFCE	16	2
TMR_0	TCNT_0	8	H'FFD0	16	2
TMR_0	TCKR_0	8	H'FFD2	8	2
TMR_1	TCR_1	8	H'FFC9	8	2
TMR_1	TCSR_1	8	H'FFCB	8	2
TMR_1	TCORA_1	8	H'FFCD	16	2
TMR_1	TCORB_1	8	H'FFCF	16	2
TMR_1	TCNT_1	8	H'FFD1	16	2
TMR_1	TCKR_1	8	H'FFD3	8	2
TMR_X	TCR_X	8	H'FFF0	8	2
TMR_X	TCSR_X	8	H'FFF1	8	2
TMR_X	TICRR	8	H'FFF2	8	2
TMR_X	TICRF	8	H'FFF3	8	2
TMR_X	TCNT_X	8	H'FFF4	8	2
TMR_X	TCORA_X	8	H'FFF6	8	2
TMR_X	TCORB_X	8	H'FFF7	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
TMR_X	TCONRI	8	H'FFFC	8	2
TMR_Y	TCR_Y	8	H'FEC8	8	2
TMR_Y	TCSR_Y	8	H'FEC9	8	2
TMR_Y	TCORA_Y	8	H'FECA	8	2
TMR_Y	TCORB_Y	8	H'FECEB	8	2
TMR_Y	TCNT_Y	8	H'FECC	8	2
TMR_X、 TMR_Y	TCRXY	8	H'FEC6	8	2
WDT_0	TCSR_0	8	H'FFA8 (ライト時)	16	2
WDT_0	TCSR_0	8	H'FFA8 (リード時)	16	2
WDT_0	TCNT_0	8	H'FFA8 (ライト時)	16	2
WDT_0	TCNT_0	8	H'FFA9 (リード時)	8	2
WDT_1	TCSR_1	8	H'FFEA (ライト時)	16	2
WDT_1	TCSR_1	8	H'FFEA (リード時)	8	2
WDT_1	TCNT_1	8	H'FFFA (ライト時)	16	2
WDT_1	TCNT_1	8	H'FFEB (リード時)	8	2
WDT_1	TCSRE_1	8	H'FFEC (ライト時)	16	2
WDT_1	TCSRE_1	8	H'FFEC (リード時)	8	2
SCI_1	SMR_1	8	H'FF88	8	2
SCI_1	BRR_1	8	H'FF89	8	2
SCI_1	SCR_1	8	H'FF8A	8	2
SCI_1	TDR_1	8	H'FF8B	8	2
SCI_1	SSR_1	8	H'FF8C	8	2
SCI_1	RDR_1	8	H'FF8D	8	2
SCI_1	SCMR_1	8	H'FF8E	8	2
SCI_1	SEMR_1	8	H'FF8F	8	2
IIC0	ICCR_0	8	H'FFD8	8	2
IIC0	ICSR_0	8	H'FFD9	8	2
IIC0	ICRES_0	8	H'FFDA	8	2
IIC0	ICCKR_0	8	H'FFDB	8	2
IIC0	ICXR_0	8	H'FFDC	8	2
IIC0	ICDR_0	8	H'FFDE	8	2
IIC0	SARX_0	8	H'FFDE	8	2
IIC0	ICMR_0	8	H'FFDF	8	2
IIC0	SAR_0	8	H'FFDF	8	2
IIC1	ICCR_1	8	H'FED0	8	2
IIC1	ICSR_1	8	H'FED1	8	2
IIC1	ICRES_1	8	H'FED2	8	2
IIC1	ICCKR_1	8	H'FED3	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
IIC1	ICXR_1	8	H'FED4	8	2
IIC1	SARX_1	8	H'FED6	8	2
IIC1	ICDR_1	8	H'FED6	8	2
IIC1	SAR_1	8	H'FED7	8	2
IIC1	ICMR_1	8	H'FED7	8	2
IIC2	ICCR_2	8	H'FE88	8	2
IIC2	ICSR_2	8	H'FE89	8	2
IIC2	ICRES_2	8	H'FE8A	8	2
IIC2	ICCKR_2	8	H'FE8B	8	2
IIC2	ICXR_2	8	H'FE8C	8	2
IIC2	SARX_2	8	H'FE8E	8	2
IIC2	ICDR_2	8	H'FE8E	8	2
IIC2	SAR_2	8	H'FE8F	8	2
IIC2	ICMR_2	8	H'FE8F	8	2
PS2_0	KBCR1_0	8	H'FEC0	8	2
PS2_0	KBTR_0	8	H'FEC1	8	2
PS2_0	KBCRH_0	8	H'FED8	8	2
PS2_0	KBCRL_0	8	H'FED9	8	2
PS2_0	KBBR_0	8	H'FEDA	8	2
PS2_0	KBCR2_0	8	H'FEDB	8	2
PS2_1	KBCR1_1	8	H'FEC2	8	2
PS2_1	KBTR_1	8	H'FEC3	8	2
PS2_1	KBCRH_1	8	H'FEDC	8	2
PS2_1	KBCRL_1	8	H'FEDD	8	2
PS2_1	KBBR_1	8	H'FEDE	8	2
PS2_1	KBCR2_1	8	H'FEDF	8	2
PS2_2	KBCR1_2	8	H'FEC4	8	2
PS2_2	KBTR_2	8	H'FEC5	8	2
PS2_2	KBCRH_2	8	H'FEE0	8	2
PS2_2	KBCRL_2	8	H'FEE1	8	2
PS2_2	KBBR_2	8	H'FEE2	8	2
PS2_2	KBCR2_2	8	H'FEE3	8	2
LPC	LADR1H	8	H'FDC0	8	2
LPC	LADR1L	8	H'FDC1	8	2
LPC	LADR2H	8	H'FDC2	8	2
LPC	LADR2L	8	H'FDC3	8	2
LPC	SCIFADRH	8	H'FDC4	8	2
LPC	SCIFADR L	8	H'FDC5	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
LPC	LADRAH	8	H'FDD0	8	2
LPC	LADRAL	8	H'FDD1	8	2
LPC	IDRA	8	H'FDD2	8	2
LPC	ODRA	8	H'FDD3	8	2
LPC	LADR4H	8	H'FDD4	8	2
LPC	LADR4L	8	H'FDD5	8	2
LPC	IDR4	8	H'FDD6	8	2
LPC	ODR4	8	H'FDD7	8	2
LPC	STR4	8	H'FDD8	8	2
LPC	HICR4	8	H'FDD9	8	2
LPC	SIRQCR2	8	H'FDDA	8	2
LPC	SIRQCR3	8	H'Fddb	8	2
LPC	CKRCR	8	H'FDDF	8	2
LPC	TWDR0MW	8	H'FDE0	8	2
LPC	TWDR0SW	8	H'FDE0	8	2
LPC	TWDR1	8	H'FDE1	8	2
LPC	TWDR2	8	H'FDE2	8	2
LPC	TWDR3	8	H'FDE3	8	2
LPC	TWDR4	8	H'FDE4	8	2
LPC	TWDR5	8	H'FDE5	8	2
LPC	TWDR6	8	H'FDE6	8	2
LPC	TWDR7	8	H'FDE7	8	2
LPC	TWDR8	8	H'FDE8	8	2
LPC	TWDR9	8	H'FDE9	8	2
LPC	TWDR10	8	H'FDEA	8	2
LPC	TWDR11	8	H'FDEB	8	2
LPC	TWDR12	8	H'FDEC	8	2
LPC	TWDR13	8	H'FDED	8	2
LPC	TWDR14	8	H'FDEE	8	2
LPC	TWDR15	8	H'FDEF	8	2
LPC	TWDR16	8	H'FDF0	8	2
LPC	TWDR17	8	H'FDF1	8	2
LPC	TWDR18	8	H'FDF2	8	2
LPC	TWDR19	8	H'FDF3	8	2
LPC	TWDR20	8	H'FDF4	8	2
LPC	TWDR21	8	H'FDF5	8	2
LPC	TWDR22	8	H'FDF6	8	2
LPC	TWDR23	8	H'FDF7	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
LPC	TWDR24	8	H'FDF8	8	2
LPC	TWDR25	8	H'FDF9	8	2
LPC	TWDR26	8	H'FDFA	8	2
LPC	TWDR27	8	H'FDFB	8	2
LPC	TWDR28	8	H'FDFC	8	2
LPC	TWDR29	8	H'FDFD	8	2
LPC	TWDR30	8	H'FD FE	8	2
LPC	TWDR31	8	H'FDFF	8	2
LPC	TWR0MW	8	H'FE20	8	2
LPC	TWR0SW	8	H'FE20	8	2
LPC	TWR0	8	H'FE20	8	2
LPC	TWR1	8	H'FE21	8	2
LPC	TWR2	8	H'FE22	8	2
LPC	TWR3	8	H'FE23	8	2
LPC	TWR4	8	H'FE24	8	2
LPC	TWR5	8	H'FE25	8	2
LPC	TWR6	8	H'FE26	8	2
LPC	TWR7	8	H'FE27	8	2
LPC	TWR8	8	H'FE28	8	2
LPC	TWR9	8	H'FE29	8	2
LPC	TWR10	8	H'FE2A	8	2
LPC	TWR11	8	H'FE2B	8	2
LPC	TWR12	8	H'FE2C	8	2
LPC	TWR13	8	H'FE2D	8	2
LPC	TWR14	8	H'FE2E	8	2
LPC	TWR15	8	H'FE2F	8	2
LPC	IDR3	8	H'FE30	8	2
LPC	ODR3	8	H'FE31	8	2
LPC	STR3	8	H'FE32	8	2
LPC	HICR5	8	H'FE33	8	2
LPC	LADR3H	8	H'FE34	8	2
LPC	LADR3L	8	H'FE35	8	2
LPC	SIRQCR0	8	H'FE36	8	2
LPC	SIRQCR1	8	H'FE37	8	2
LPC	IDR1	8	H'FE38	8	2
LPC	ODR1	8	H'FE39	8	2
LPC	STR1	8	H'FE3A	8	2
LPC	IDR2	8	H'FE3C	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
LPC	SIRQCR4	8	H'FE3B	8	2
LPC	ODR2	8	H'FE3D	8	2
LPC	STR2	8	H'FE3E	8	2
LPC	HISEL	8	H'FE3F	8	2
LPC	HICR0	8	H'FE40	8	2
LPC	HICR1	8	H'FE41	8	2
LPC	HICR2	8	H'FE42	8	2
LPC	HICR3	8	H'FE43	8	2
LPC	HICR6	8	H'FE4C	8	2
LPC	STRA	8	H'FE4D	8	2
LPC	SIRQCR5	8	H'FE4E	8	2
PECI	PECR	8	H'FBA0	8	2
PECI	PESTR	8	H'FBA1	8	2
PECI	PECNT0_PRE	16	H'FBA2	16	2
PECI	PECNT0_GR	16	H'FBA4	16	2
PECI	PECNT0_GRA	16	H'FBA6	16	2
PECI	PEADD	8	H'FBA8	8	2
PECI	PEWBNR	8	H'FBA9	8	2
PECI	PERBNR	8	H'FBAA	8	2
PECI	PECWFCSR	8	H'FBAD	8	2
PECI	PECRFCSR	8	H'FBAE	8	2
PECI	PEFIFO	8	H'FBAF	8	2
A/D 変換器	ADDRA	16	H'FC00	16	2
A/D 変換器	ADDRB	16	H'FC02	16	2
A/D 変換器	ADDRC	16	H'FC04	16	2
A/D 変換器	ADDRD	16	H'FC06	16	2
A/D 変換器	ADDRE	16	H'FC08	16	2
A/D 変換器	ADDRF	16	H'FC0A	16	2
A/D 変換器	ADDRG	16	H'FC0C	16	2
A/D 変換器	ADDRH	16	H'FC0E	16	2
A/D 変換器	ADCSR	8	H'FC10	8	2
A/D 変換器	ADCR	8	H'FC11	8	2
SCIF	FRBR	8	H'FC20	8	2
SCIF	FTHR	8	H'FC20	8	2
SCIF	FDLL	8	H'FC20	8	2
SCIF	FIER	8	H'FC21	8	2
SCIF	FDLH	8	H'FC21	8	2
SCIF	FIIR	8	H'FC22	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
SCIF	FFCR	8	H'FC22	8	2
SCIF	FLCR	8	H'FC23	8	2
SCIF	FMCR	8	H'FC24	8	2
SCIF	FLSR	8	H'FC25	8	2
SCIF	FMSR	8	H'FC26	8	2
SCIF	FSCR	8	H'FC27	8	2
SCIF	SCIFCR	8	H'FC28	8	2
SSU	SSCRH	8	H'FC80	8	2
SSU	SSCRL	8	H'FC81	8	2
SSU	SSMR	8	H'FC82	8	2
SSU	SSER	8	H'FC83	8	2
SSU	SSSR	8	H'FC84	8	2
SSU	SSCR2	8	H'FC85	8	2
SSU	SSTDR0	8	H'FC86	8	2
SSU	SSTDR1	8	H'FC87	8	2
SSU	SSTDR2	8	H'FC88	8	2
SSU	SSTDR3	8	H'FC89	8	2
SSU	SSRDR0	8	H'FC8A	8	2
SSU	SSRDR1	8	H'FC8B	8	2
SSU	SSRDR2	8	H'FC8C	8	2
SSU	SSRDR3	8	H'FC8D	8	2
SMBUS	PECX	8	H'FD60	8	2
SMBUS	PECY	8	H'FD61	8	2
SMBUS	PECZ	8	H'FD63	8	2
ROM	FLMCR1	8	H'FB20	8	2
ROM	DFPR	8	H'FB22	8	2
ROM	FLMSTR	8	H'FB23	8	2
ROM	FMATS	8	H'FB25	8	2
SYSTEM	RSTFR	8	H'FB40	8	2
SYSTEM	LD1CRH	8	H'FB44	8	2
SYSTEM	LD1CRL	8	H'FB45	8	2
SYSTEM	LD0CRH	8	H'FB46	8	2
SYSTEM	LD0CRL	8	H'FB47	8	2
SYSTEM	VDCPR	8	H'FB49	8	2
SYSTEM	MDCR	8	H'FF90	8	2
SYSTEM	SYSCR	8	H'FF91	8	2
SYSTEM	SBYCR	8	H'FF94	8	2
SYSTEM	LPWRCR	8	H'FF95	8	2

モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数
SYSTEM	MSTPCRH	8	H'FF96	8	2
SYSTEM	MSTPCRL	8	H'FF97	8	2
SYSTEM	MSTPCRA	8	H'FF98	8	2
SYSTEM	MSTPCRB	8	H'FF99	8	2
SYSTEM	STCR	8	H'FF9E	8	2

31. 電気的特性

31.1 絶対最大定格

絶対最大定格を表 31.1 に示します。

表 31.1 絶対最大定格

項 目	記号	定格値	単位
電源電圧*	V_{CC}	-0.3~+4.3	V
入力電圧 (ポート 7、A、G、I、J、P52、P97 以外)	V_{in}	-0.3~ $V_{CC} + 0.3$	
入力電圧 (ポート A、G、I、J、P52、P97)	V_{in}	-0.3~ $V_{CC} + 0.3$ ($V_{CC} = -0.3 \sim +3.0$) -0.3~7.0 ($V_{CC} = 3.0 \sim 4.3$)	
入力電圧 (ポート 7)	V_{in}	-0.3~ $AV_{CC} + 0.3$	
リファレンス電源電圧	AV_{ref}	-0.3~ $AV_{CC} + 0.3$	
アナログ電源電圧	AV_{CC}	-0.3~+4.3	
アナログ入力電圧 (ポート 7 で AN 入力選択時)	V_{AN}	-0.3~ $AV_{CC} + 0.3$	
アナログ入力電圧 (PD3~PD0 で AN 入力選択時)	V_{AN}	-0.3~ $V_{CC} + 0.3$ と -0.3~ $AV_{CC} + 0.3$ の いずれか低い電圧	
BBR 用電源電圧	V_{BAT}	-0.3~+4.3	
PECI 用電源電圧 (PEVref)	V_{tt}	-0.3~+1.8	
PECI 入力電圧 (PECI)	V_{in}	-0.3~ $V_{tt} + 0.3$	
動作温度	T_{opr}	-20~+75	°C
動作温度 (FLASH メモリ書き込み/消去時)	T_{opr}	0~+75	
保存温度	T_{stg}	-55~+125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

印加電圧が 4.3V を超えないように注意してください。

【注】 * V_{CC} 端子への印加電圧です。

V_{CL} 端子には電圧を印加しないでください。

31.2 DC 特性

DC 特性を表 31.2 に示します。また、出力許容電流値、バス駆動特性を表 31.3、表 31.4 に示します。

表 31.2 DC 特性 (1)

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $AV_{CC}^{*1}=3.0V\sim 3.6V$ 、 $AV_{ref}^{*1}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}^{*1}=0V$ 、 $V_{BAT}=3.0\sim 3.6V^{*4}$

項目		記号	min.	typ.	max.	単位	測定条件
シュミット トリガ入力電圧	$\overline{IRQ15}\sim\overline{IRQ0}$ 、 $\overline{KIN15}\sim\overline{KIN0}$ 、 $\overline{WUE15}\sim\overline{WUE0}$	(1) V_{T^-}	$V_{CC}\times 0.2$	—	—	V	
		V_{T^+}	—	—	$V_{CC}\times 0.7$		
		$V_{T^+}-V_{T^-}$	$V_{CC}\times 0.05$	—	—		
入力 High レベル電圧	ポート 7	(2) V_{IH}	$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$		
	ポート A、G、I、J、P52、P97		$V_{CC}\times 0.7$	—	5.5		
	上記 (1) (2) 以外の入力端子		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$		
入力 Low レベル電圧	上記 (1) 以外の入力端子	V_{IL}	-0.3	—	$V_{CC}\times 0.2$		
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—		$I_{OH}=-200\mu A$
			$V_{CC}-1.0$	—	—		$I_{OH}=-1mA$
出力 Low レベル電圧	全出力端子*2	V_{OL}	—	—	0.4		$I_{OL}=1.6mA$
	ポート 1、2、3、C、D		—	—	1.0		$I_{OL}=5mA$
入力リーク電流	全入力端子 (ポート 7 を除く)	$ I_{in} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	ポート 7		—	—	1.0		$V_{in}=0.5\sim AV_{CC}-0.5V$
スリープ状態 リーク電流 (オフ状態)	全出力端子	$ I_{TSI} $	—	—	1.0		$V_{in}=0.5\sim V_{CC}-0.5V$

表 31.2 DC 特性 (2)

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $AV_{CC}^{*1}=3.0V\sim 3.6V$ 、 $AV_{ref}^{*1}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}^{*1}=0V$ 、 $V_{BAT}=3.0\sim 3.6V^{*4}$

項目		記号	min.	typ.	max.	単位	測定条件
入力プルアップ MOS 電流	ポート 1~3、6、9、 B~F、H	$-I_p$	10	—	150	μA	$V_{in}=0V$
入力容量	すべての端子	C_{in}	—	—	10	pF	$V_{in}=0V$ $f=1MHz$ $T_a=25^\circ C$
消費電流 ^{*3}	通常動作時	I_{CC}	—	20	30	mA	$V_{CC}=3.0V\sim 3.6V$ $f=20MHz$ 、全モジュール 動作時、高速モード
	スリープ時		—	15	25		$V_{CC}=3.0V\sim 3.6V$ $f=20MHz$
	スタンバイ時		—	5	40	μA	$T_a\leq 50^\circ C$
			—	—	120		$T_a>50^\circ C$
アナログ 電源電流	A/D 変換中	AI_{CC}	—	1	2	mA	$AV_{CC}=3.0V\sim 3.6V$
	A/D 変換待機時		—	0.01	5		
リファレンス 電源電流	A/D 変換中	AI_{ref}	—	1	2	mA	$AV_{ref}=3.0V\sim AV_{CC}$
	A/D 変換待機時		—	0.01	5		
BBR スタンバイ電圧		V_{BBR}	2.0	—	3.6	V	RAM データ保持時
BBR スタンバイ電流		I_{BBR}	—	1	5	μA	
VCC 開始電圧		$V_{CCSTART}$	—	0	0.5	V	
VCC 立ち上がり勾配		SV_{CC}	—	—	10	ms/V	

【注】 *1 A/D 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子は開放しないでください。A/D 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続し、 $3.0V\sim 3.6V$ の範囲の電圧を印加してください。このとき、 $AV_{ref}\leq AV_{CC}$ としてください。*2 $ICE=0$ および $KBIOE=0$ の場合です。バス駆動機能を選択した場合の Low レベル出力は別に定めます。*3 消費電流値は $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{IL\ max}=0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*4 BBR を使用しない場合でも、 V_{BAT} 端子は開放しないでください。 V_{BAT} 端子は、電源 (V_{CC}) に接続し、 $3.0V\sim 3.6V$ の範囲の電圧を印加してください。

表 31.2 DC 特性 (3) LPC 機能使用時

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

項目		記号	min.	max.	単位	測定条件
入力 High レベル電圧	P37~P30、 P83~P80、 PB1~PB0	V_{IH}	$V_{CC} \times 0.5$	—	V	
入力 Low レベル電圧	P37~P30、 P83~P80、 PB1~PB0	V_{IL}	—	$V_{CC} \times 0.3$	V	
出力 High レベル電圧	P37、P33~P30、 P82~P80、 PB1~PB0	V_{OH}	$V_{CC} \times 0.9$	—	V	$I_{OH} = -0.5mA$
出力 Low レベル電圧	P37、P33~P30、 P82~P80、 PB1~PB0	V_{OL}	—	$V_{CC} \times 0.1$	V	$I_{OL} = 1.5mA$

表 31.2 DC 特性 (4) FSI 機能使用時

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

項目		記号	min.	typ.	max.	単位	測定条件
入力 High レベル電圧	PB7~PB4	V_{IH}	$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$	V	—
入力 Low レベル電圧		V_{IL}	-0.3	—	$V_{CC} \times 0.2$		—
出力 High レベル電圧		V_{OH}	$V_{CC} - 0.5$	—	—		$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$	—	—		$I_{OH} = -1mA$
出力 Low レベル電圧		V_{OL}	—	—	0.4	$I_{OL} = 1.6mA$	
入力プリアップ MOS 電流		$-I_p$	10	—	150	μA	$V_{in} = 0V$
入力容量		C_{in}	—	—	10	pF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$

表 31.2 DC 特性 (5) PECl 機能使用時

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

項目	記号	min.	typ.	max.	単位	測定条件
入力電圧定格	V_{in}	-0.3	—	$V_{tt} + 0.3$	V	—
シュミットトリガ入力電圧	V_n	$V_{tt} \times 0.25$	—	—		—
	V_p	—	—	$V_{tt} \times 0.75$		—
	$V_{hysteresis}$	$V_{tt} \times 0.05$	—	—		—
High レベル出力ソース電流	I_{source}	-6.0	—	—	mA	$V_{OH} = V_{tt} \times 0.75$
Low レベル出力シンク電流	I_{sink}	0.5	—	1.0		$V_{OL} = V_{tt} \times 0.25$
入力リーク電流+	I_{leak+}	—	—	50	μA	PECl to V_{tt}
入力リーク電流-	I_{leak-}	—	—	10		PECl to GND
入力容量	C_{bus}	—	—	10	pF	—

表 31.3 出力許容電流値

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

項 目		記号	min.	typ.	max.	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL0、SDA0、SCL1、SDA1、 SCLA~SCLD、SDAA~SDAD、 PS2AC~PS2CC、PS2AD~PS2CD	I_{OL}	—	—	8	mA
	ポート 1、2、3、C、D		—	—	5	
	上記以外の出力端子		—	—	2	
出力 Low レベル許容電流 (総和)	ポート 1、2、3、C、D の総和	ΣI_{OL}	—	—	40	
	上記を含む、全出力端子の総和		—	—	60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2	
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	30	

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 31.3 の値を超えないようにしてください。
2. ダーリントントランジスタや、LED を直接駆動する場合には、図 31.1、図 31.2 に示すように出力に必ず電流制限抵抗を挿入してください。

表 31.4 バス駆動特性

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

対象端子 : SCL0、SDA0、SCL1、SDA1、SCLA~SCLD、SDAA~SDAD

項 目	記号	min.	typ.	max.	単位	測定条件
入力 High レベル電圧	V_{IH}	$V_{CC} \times 0.7$	—	5.5		
入力 Low レベル電圧	V_{IL}	-0.5	—	$V_{CC} \times 0.3$		
出力 Low レベル電圧	V_{OL}	—	—	0.5		
		—	—	0.4	$I_{OL}=3mA$	
入力容量	C_{in}	—	—	10	pF	$V_{in}=0V$ 、 $f=1MHz$ 、 $T_a=25^\circ C$
スリーステートリーク 電流 (オフ状態)	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

対象端子 : PS2AC~PS2CC、PS2AD~PS2CD

項 目	記号	min.	typ.	max.	単位	測定条件
出力 Low レベル電圧	V_{OL}	—	—	1.0	V	$I_{OL}=8mA$
		—	—	0.4		$I_{OL}=3mA$

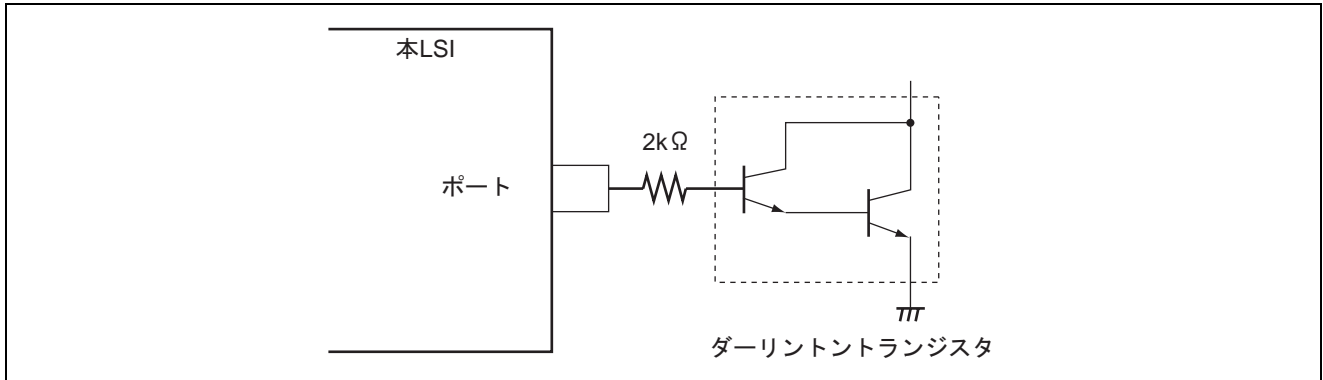


図 31.1 ダーリントトランジスタ駆動回路例

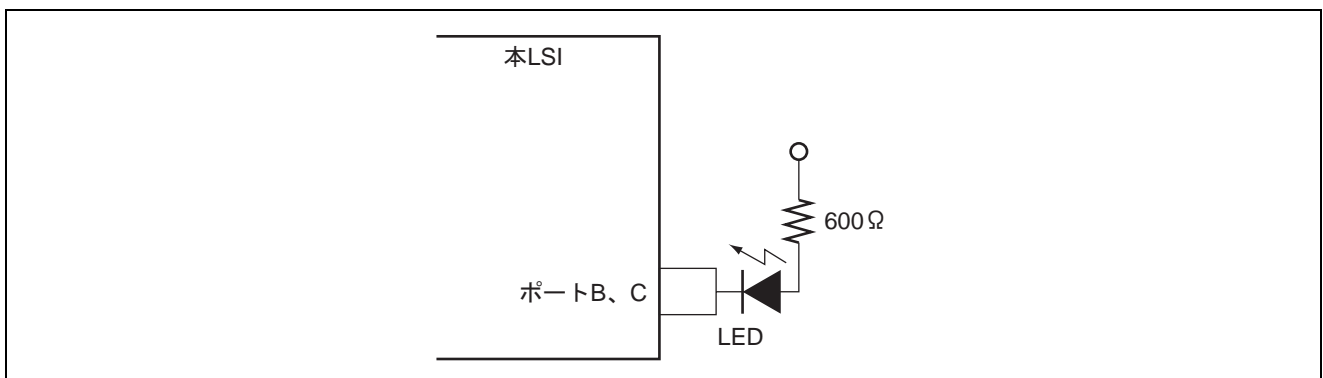


図 31.2 LED 駆動回路例

31.3 AC 特性

図 31.3 に AC 特性測定条件を示します。

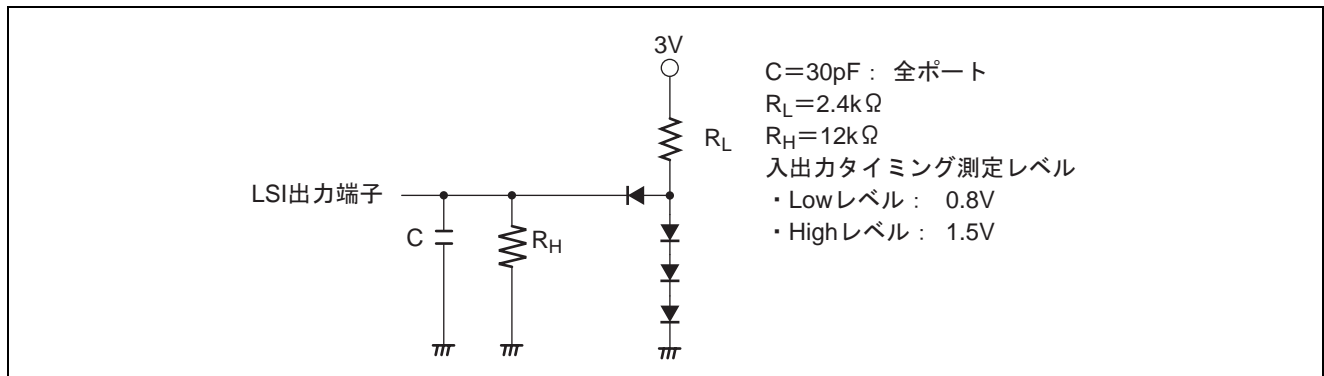


図 31.3 出力負荷回路

31.3.1 クロックタイミング

表 31.5 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック出力 (ϕ) と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 28 章 クロック発振器」を参照してください。

表 31.5 クロックタイミング

条件 A : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=8MHz\sim 10MHz$

条件 B : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=10MHz\sim 20MHz$

項目	記号	条件 A		条件 B		単位	測定条件
		min.	max.	min.	max.		
クロックサイクル時間	t_{cyc}	100	125	50	100	ns	図 31.4
クロック High レベルパルス幅	t_{CH}	30	—	15	—		
クロック Low レベルパルス幅	t_{CL}	30	—	15	—		
クロック立ち上がり時間	t_{Cr}	—	20	—	5		
クロック立ち下がり時間	t_{Cf}	—	20	—	5		
リセット発振安定時間 (水晶)	t_{OSC1}	20	—	20	—	ms	図 31.5
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	6	—	6	—		図 31.6
外部クロック出力安定遅延時間	t_{DEXT}	500	—	500	—	μs	図 31.5

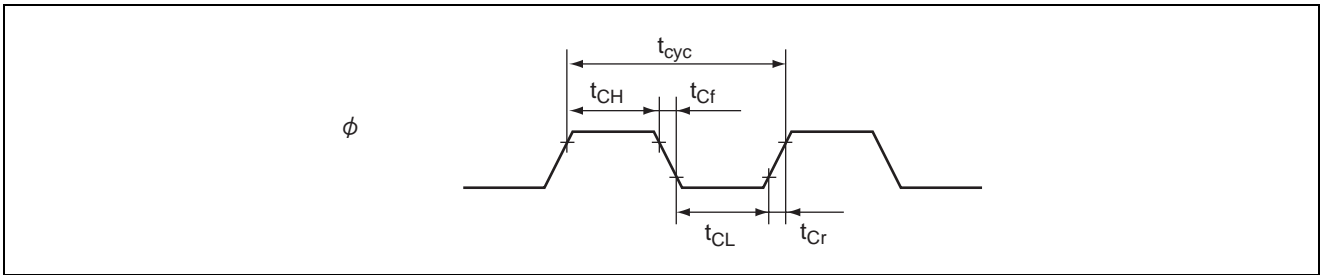


図 31.4 システムクロックタイミング

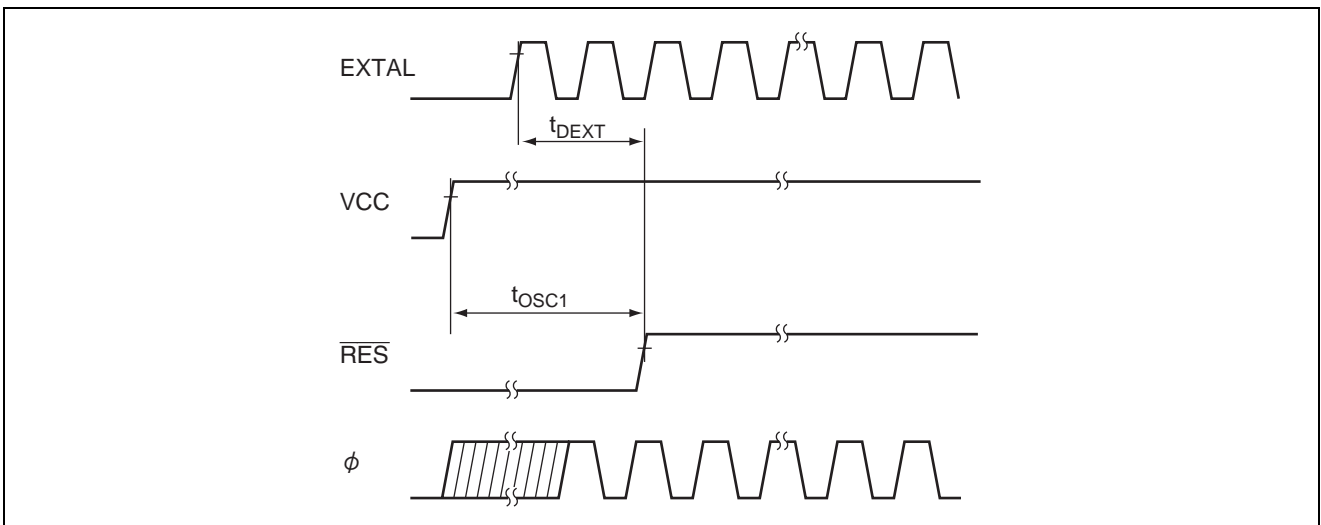


図 31.5 発振安定時間タイミング

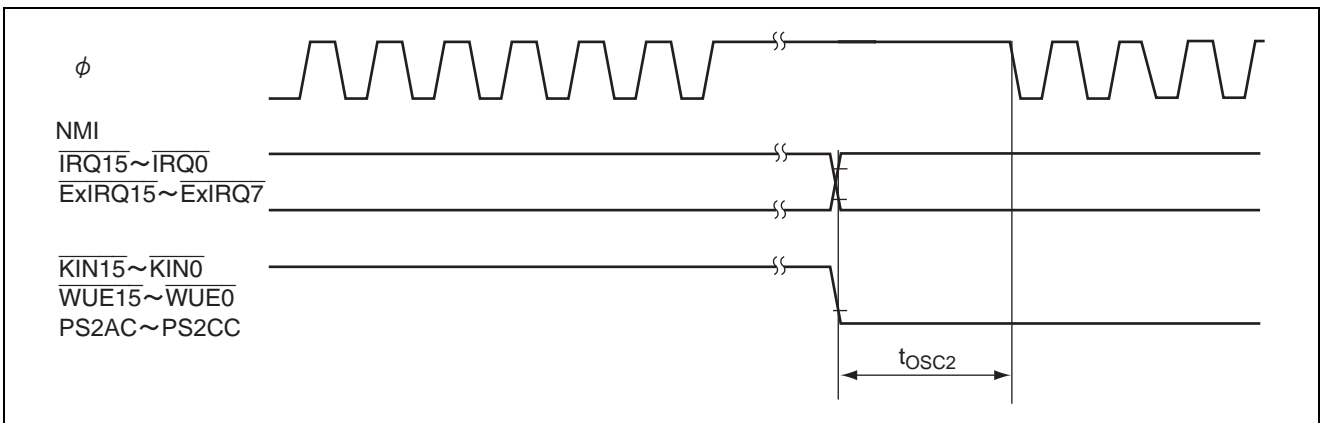


図 31.6 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

31.3.2 制御信号タイミング

表 31.6 に制御信号タイミングを示します。サブクロック ($\phi = 32.768\text{kHz}$) で動作可能な外部割り込みは、NMI、IRQ15~IRQ0、ExIRQ15~ExIRQ7、KIN15~KIN0、WUE15~WUE0、PS2AC~PS2CC のみです。

表 31.6 制御信号タイミング

条件 : $V_{CC} = 3.0\text{V} \sim 3.6\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}$ 、 $8\text{MHz} \sim$ 最大動作周波数

項目	記号	min.	max.	単位	測定条件
RES セットアップ時間	t_{RESS}	800	—	ns	図 31.7
RES パルス幅	t_{RESW}	20	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 31.8
NMI ホールド時間	t_{NMIH}	10	—		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—		
IRQ セットアップ時間 (IRQ15~IRQ0、ExIRQ15~ExIRQ7、KIN15~KIN0、 WUE15~WUE0)	t_{IRQS}	150	—		
IRQ ホールド時間 (IRQ15~IRQ0、ExIRQ15~ExIRQ7、KIN15~KIN0、 WUE15~WUE0)	t_{IRQH}	10	—		
IRQ パルス幅 (IRQ15~IRQ0、ExIRQ15~ExIRQ7、KIN15~KIN0、 WUE15~WUE0) (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	—		

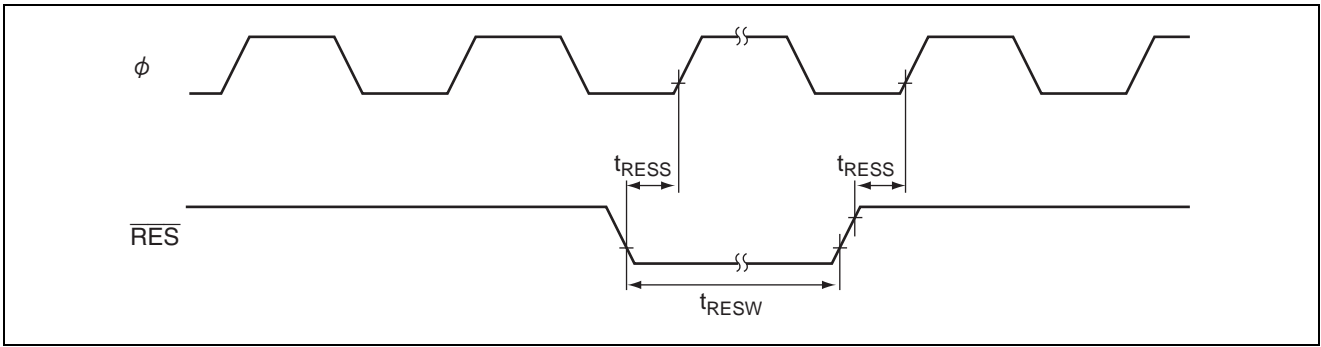


図 31.7 リセット入力タイミング

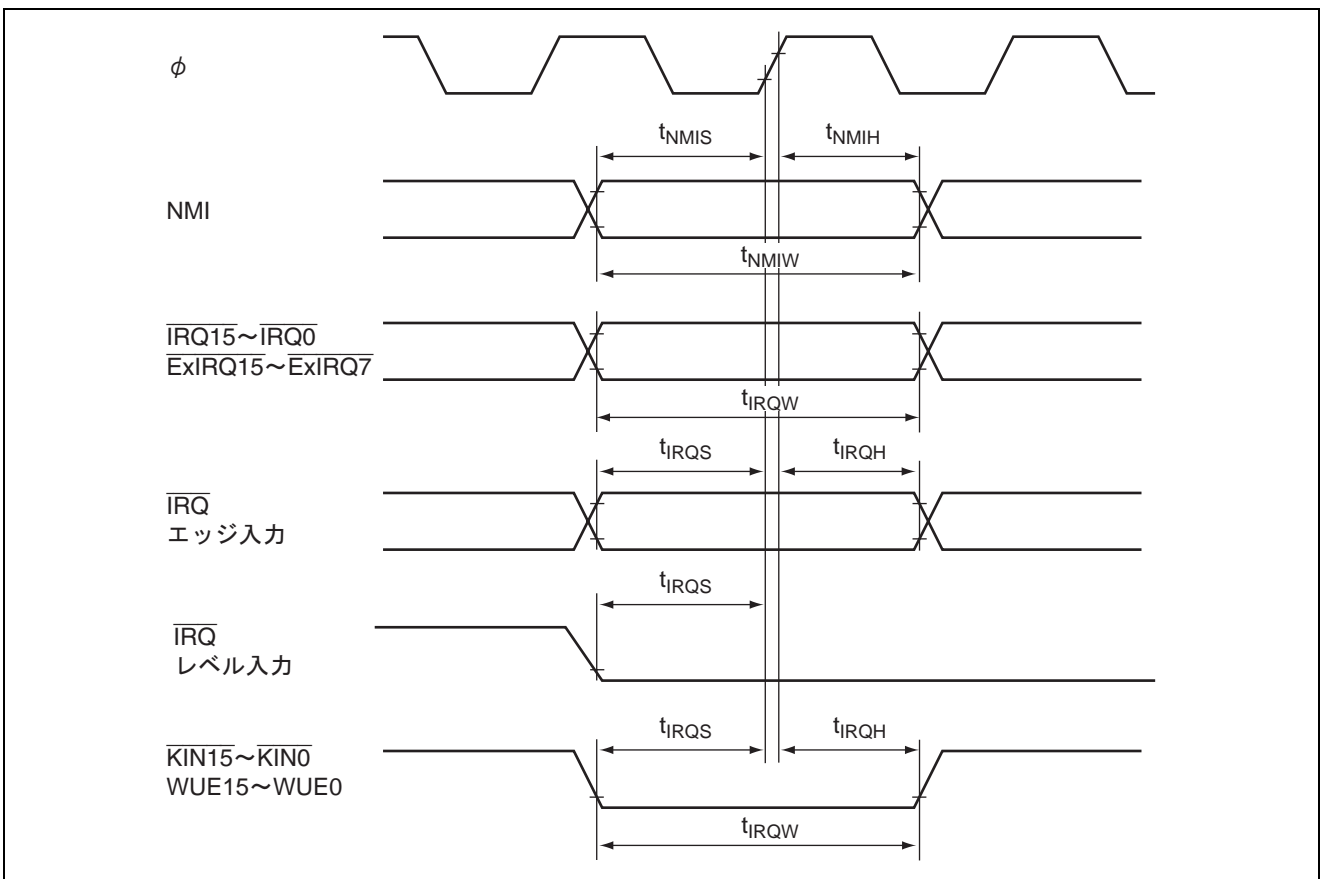


図 31.8 割り込み入力タイミング

31.3.3 内蔵周辺モジュールタイミング

表 31.7～表 31.9 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ($\phi = 32.768\text{kHz}$) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ15～IRQ0、ExIRQ15～ExIRQ7、KIN15～KIN0、WUE15～WUE0、PS2AC～PS2CC)、ウォッチドッグタイマ (WDT-1) のみです。FSI はシステムクロックまたは LCLK 動作が可能です。

表 31.7 内蔵周辺モジュールタイミング

条件 : $V_{CC} = 3.0\text{V} \sim 3.6\text{V}$ 、 $V_{SS} = 0\text{V}$ 、 $\phi = 32.768\text{kHz}^*$ 、 $\phi = 8\text{MHz} \sim$ 最大動作周波数、FSICK=8MHz \sim 最大動作周波数または LCLK(33MHz)

項目		記号	min.	max.	単位	測定条件		
I/O ポート	出力データ遅延時間	t_{PWD}	—	50	ns	図 31.9		
	入力データセットアップ時間	t_{PRS}	30	—				
	入力データデータホールド時間	t_{PRH}	30	—				
TPU	タイマ出力遅延時間	t_{TOCD}	—	50	ns	図 31.10		
	タイマ入力セットアップ時間	t_{TICS}	30	—				
	タイマクロック入力セットアップ時間	t_{TCKS}	30	—			図 31.11	
	タイマクロック	単エッジ指定	t_{TCKWH}	1.5	—	t_{cyc}		
	パルス幅	両エッジ指定	t_{TCKWL}	2.5	—			
TMR	タイマ出力遅延時間	t_{TMOD}	—	50	ns	図 31.12		
	タイマリセット入力セットアップ時間	t_{TMRS}	30	—			図 31.14	
	タイマクロック入力セットアップ時間	t_{TMCS}	30	—				図 31.13
	タイマクロック	単エッジ指定	t_{TMCWH}	1.5	—	t_{cyc}		
	パルス幅	両エッジ指定	t_{TMCWL}	2.5	—			
TCM	TCM 入力セットアップ時間	t_{TCMS}	30	—	ns	図 31.15		
	TCM クロック入力セットアップ時間	t_{TCMCKS}	30	—			図 31.16	
	TDP クロックパルス幅	t_{TCMCKW}	1.5	—	t_{cyc}			
PWMU	パルス出力遅延時間	t_{PWOD}	—	50	ns	図 31.17		
SCI	入力クロック	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 31.18	
	サイクル	クロック同期		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6			t_{Scyc}
	入力クロック立ち上がり時間		t_{SCKr}	—	1.5	t_{cyc}		
	入力クロック立ち下がり時間		t_{SCKf}	—	1.5			
	送信データ遅延時間 (クロック同期)		t_{TXD}	—	50	ns		図 31.19
	受信データセットアップ時間 (クロック同期)		t_{RXS}	50	—			
受信データホールド時間 (クロック同期)		t_{RXH}	50	—				

項目		記号	min.	max.	単位	測定条件
FSI	クロックサイクル	t_{CYC}	30	—	ns	図 31.20
	クロックパルス幅 (H)	t_{CKH}	13	—		
	クロックパルス幅 (L)	t_{CKL}	13	—		
	SS 信号立ち上がり遅延時間	t_{SSH}	12	—		
	SS 信号立ち下がり遅延時間	t_{SSL}	12	—		
	送信信号遅延時間	t_{TXD}	—	12		
	受信信号セットアップ時間	t_{RXS}	5	—		
	受信信号ホールド時間	t_{RXH}	5	—		

【注】 * サブクロック動作時に使用可能な内蔵周辺モジュールのみ

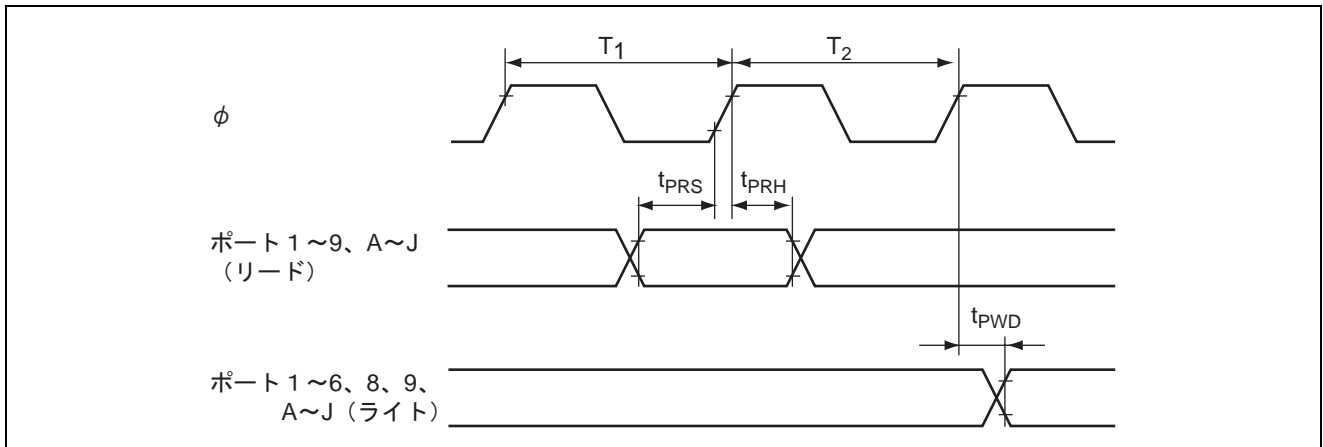
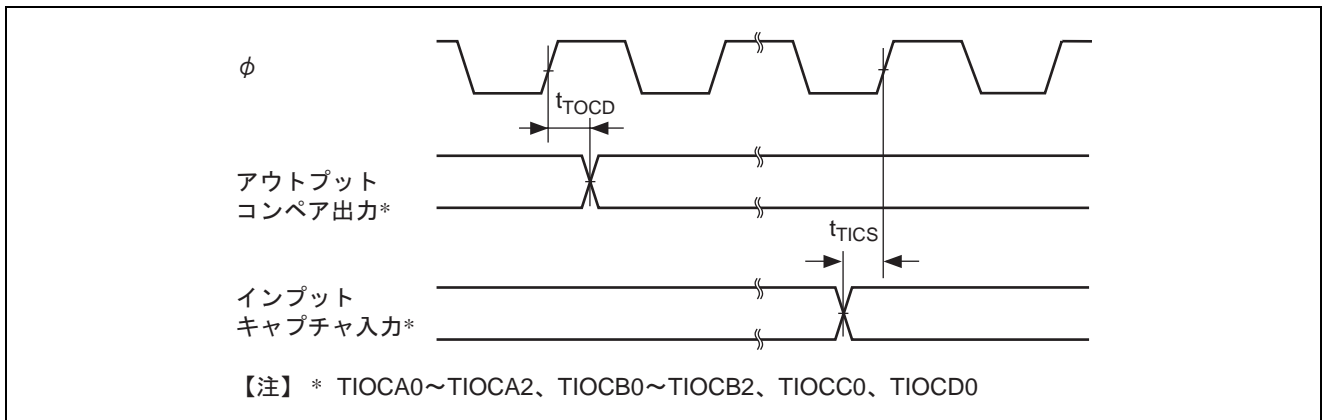


図 31.9 I/O ポート入出力タイミング



【注】 * TIOCA0~TIOCA2、TIOCB0~TIOCB2、TIOCC0、TIOCD0

図 31.10 TPU 入出力タイミング

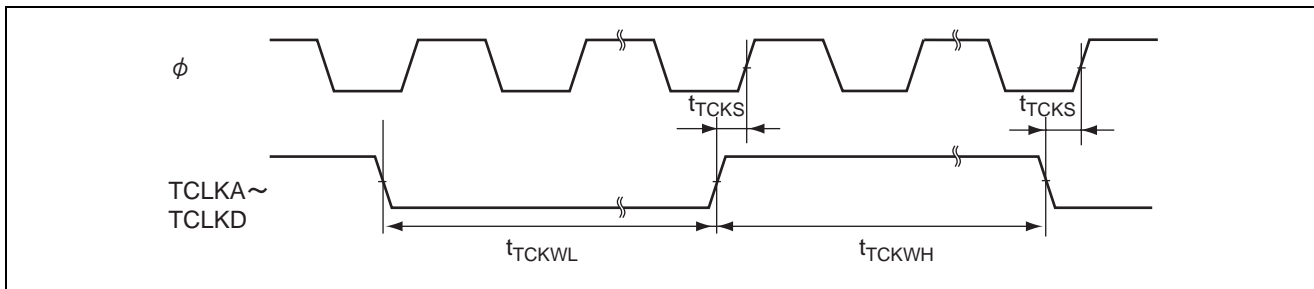


図 31.11 TPU クロック入力タイミング

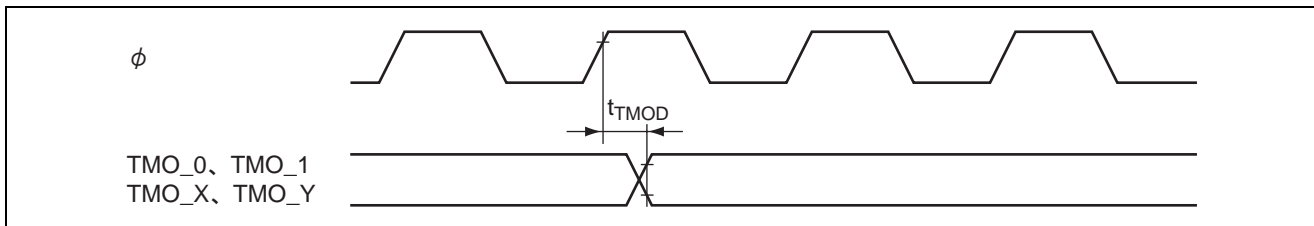


図 31.12 8 ビットタイマ出力タイミング

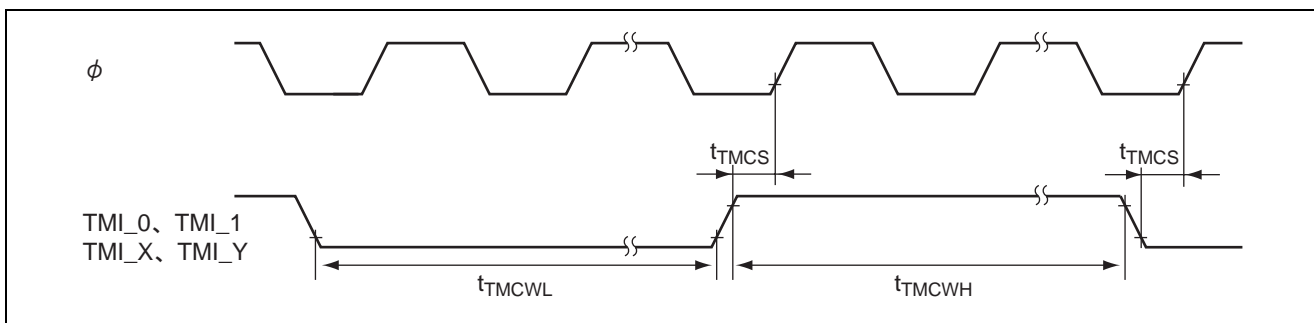


図 31.13 8 ビットタイマクロック入力タイミング

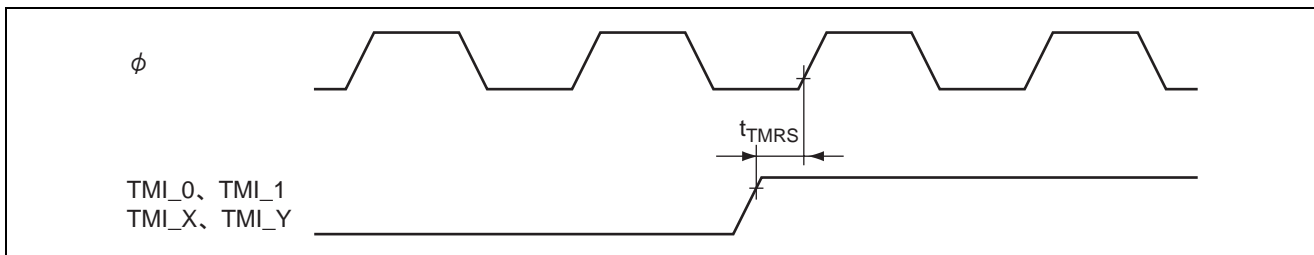


図 31.14 8 ビットタイマリセット入力タイミング

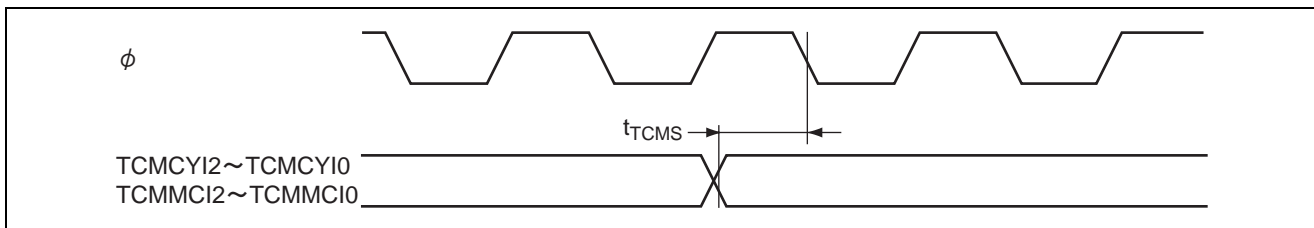


図 31.15 TCM 入力セットアップ時間

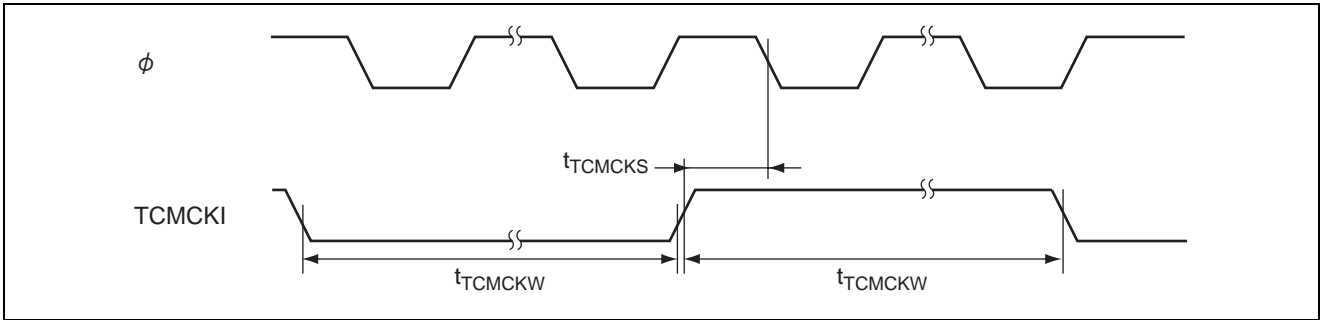


図 31.16 TCM クロック入カタイミング

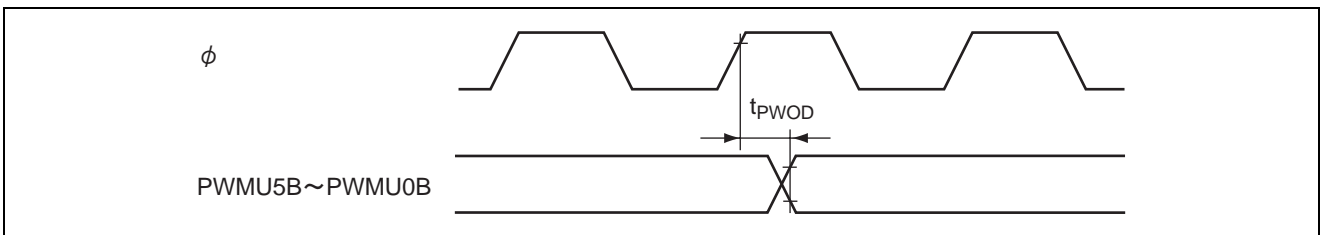


図 31.17 PWMU 出カタイミング

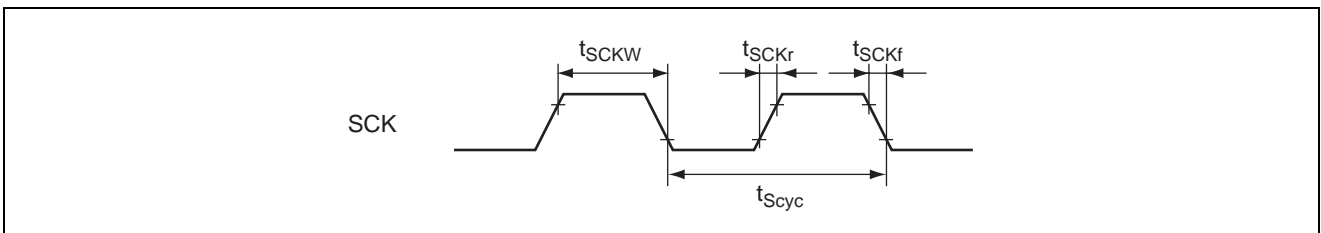


図 31.18 SCK クロック入カタイミング

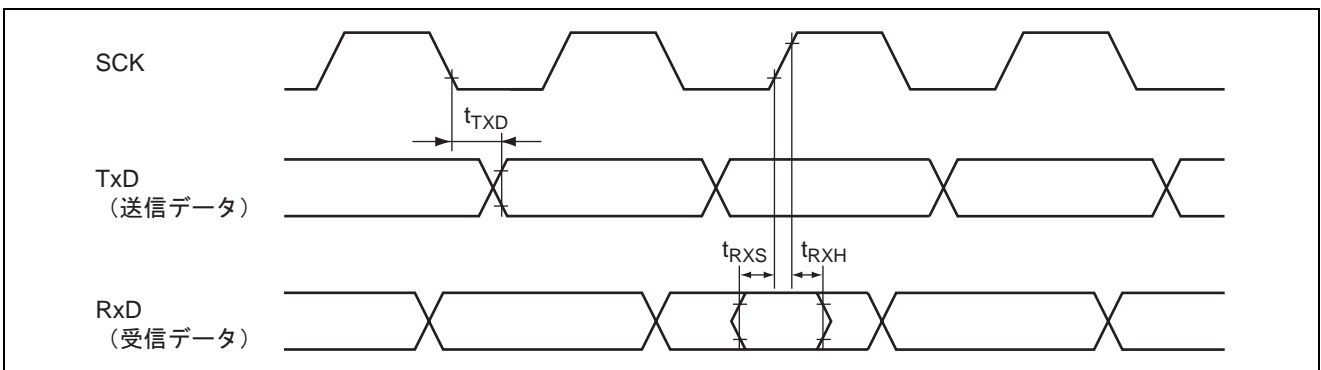


図 31.19 SCI 入出カタイミング/クロック同期式モード

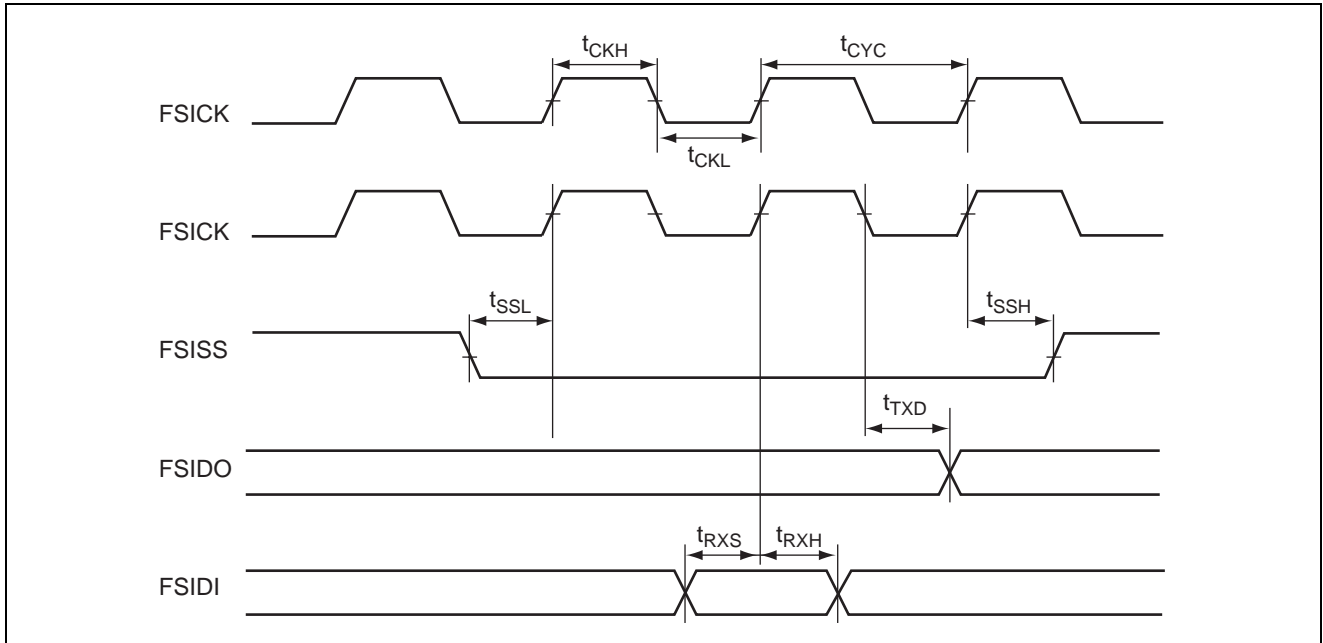


図 31.20 FSI 入出力タイミング

表 31.8 PS2 タイミング

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=8MHz\sim$ 最大動作周波数

項目	記号	規格値			単位	測定条件	備考
		min.	typ.	max.			
KCLK、KD 出力立ち下がり時間	t_{KBF}	—	—	250	ns		図 31.21
KCLK、KD 入力データホールド時間	t_{KBIH}	150	—	—	ns		
KCLK、KD 入力データセットアップ時間	t_{KBIS}	150	—	—	ns		
KCLK、KD 出力遅延時間	t_{KBOD}	—	—	450	ns		
KCLK、KD の容量性負荷	C_b	—	—	400	pF		

【注】 KCLK、KD を出力する場合には、図 31.21 に示すように出力に必ずプルアップ抵抗を外付けしてください。

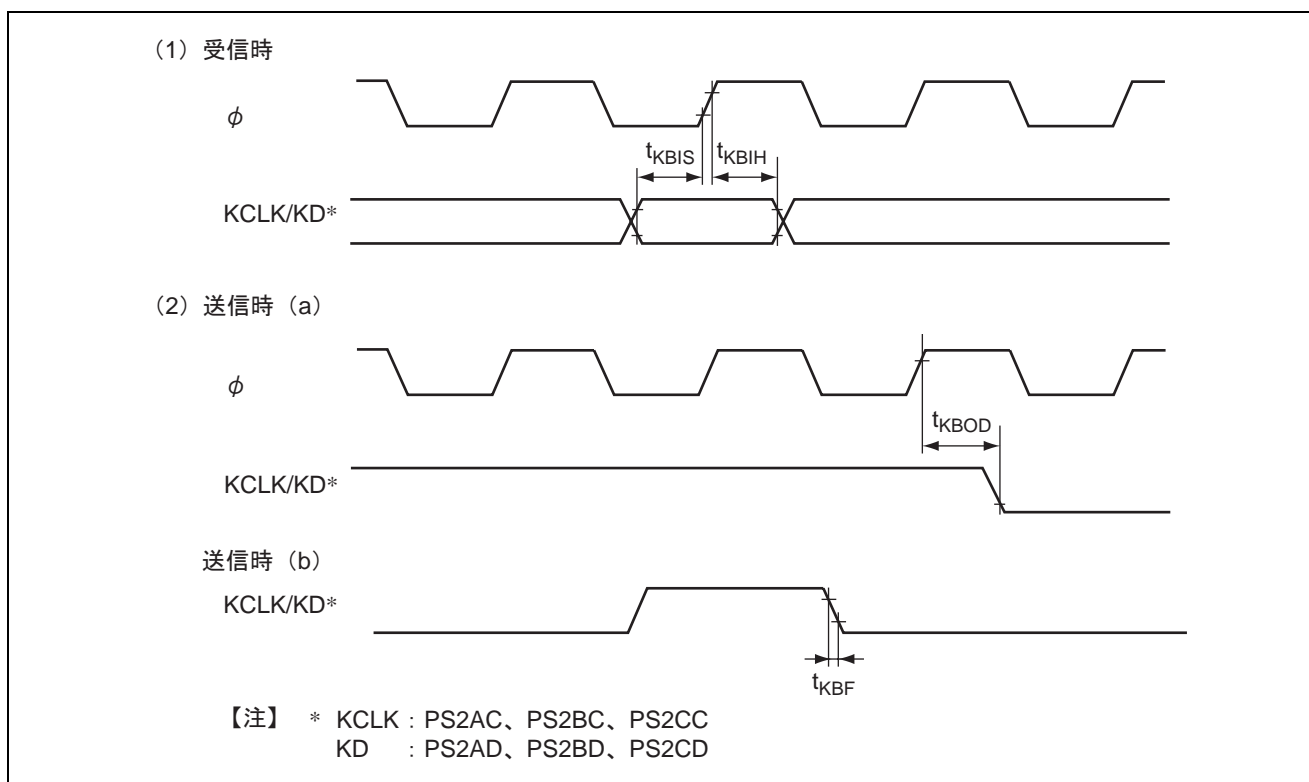


図 31.21 PS2 タイミング

表 31.9 I²C バスタイミング

条件 : V_{CC}=3.0V~3.6V、V_{SS}=0V、φ=8MHz~最大動作周波数

項目	記号	min.	typ.	max.	単位	測定条件
SCL 入力サイクル時間	t _{SCL}	12	—	—	t _{cyc}	図 31.22
SCL 入力 High パルス幅	t _{SCLH}	3	—	—		
SCL 入力 Low パルス幅	t _{SCLL}	5	—	—		
SCL、SDA 入力立ち上がり時間	t _{Sr}	—	—	7.5*		
SCL、SDA 入力立ち下がり時間	t _{Sf}	—	—	300	ns	
SCL、SDA 入カスパイクパルス除去時間	t _{SP}	—	—	1	t _{cyc}	
SDA 入カバスフリー時間	t _{BUF}	5	—	—		
開始条件入力ホールド時間	t _{STAH}	3	—	—		
再送開始条件入力セットアップ時間	t _{STAS}	3	—	—		
停止条件入力セットアップ時間	t _{STOS}	3	—	—		
データ入力セットアップ時間	t _{SDAS}	0.5	—	—		
データ入力ホールド時間	t _{SDAH}	0	—	—	ns	
SCL、SDA の容量性負荷	C _b	—	—	400	pF	

【注】 * I²C モジュールで使用するクロックの選択により、17.5t_{cyc}とすることが可能です。

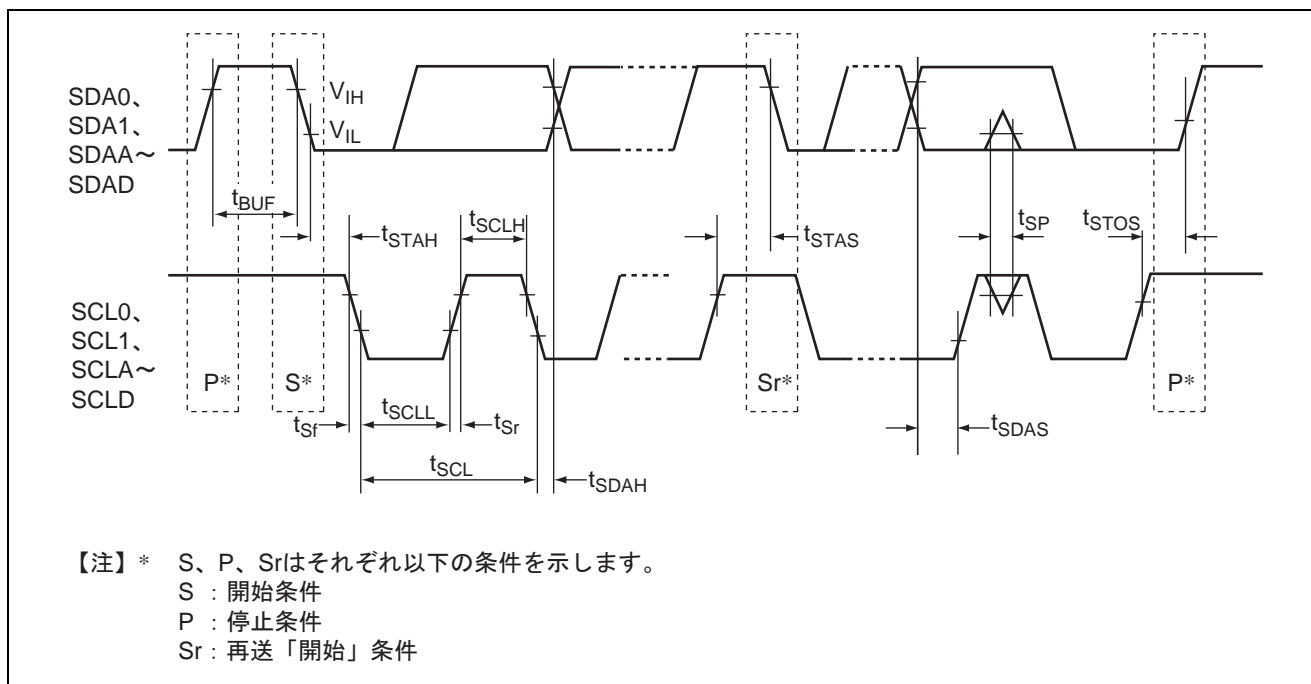


図 31.22 I²C バスインタフェース入出力タイミング

表 31.10 LPC タイミング

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi = 8MHz\sim$ 最大動作周波数

項目	記号	min.	typ.	max.	単位	測定条件
入カロックサイクル	t_{Lcyc}	30	—	—	ns	図 31.23
入カロックパルス幅 (H)	t_{LCKH}	11	—	—		
入カロックパルス幅 (L)	t_{LCKL}	11	—	—		
送信信号遅延時間	t_{TXD}	2	—	11		
送信信号フローティング遅延時間	t_{OFF}	—	—	28		
受信信号セットアップ時間	t_{RXS}	7	—	—		
受信信号ホールド時間	t_{RXH}	0	—	—		

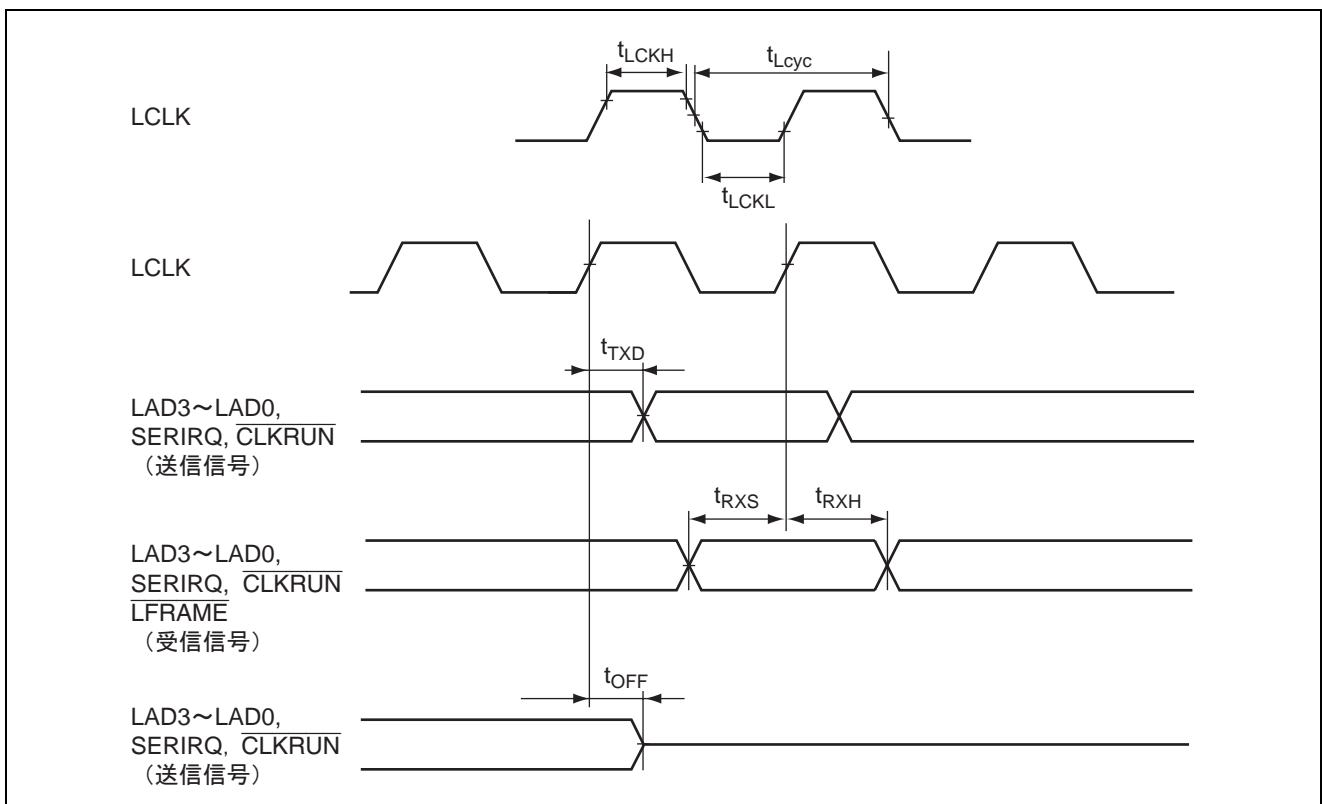


図 31.23 LPC インタフェース (LPC) タイミング

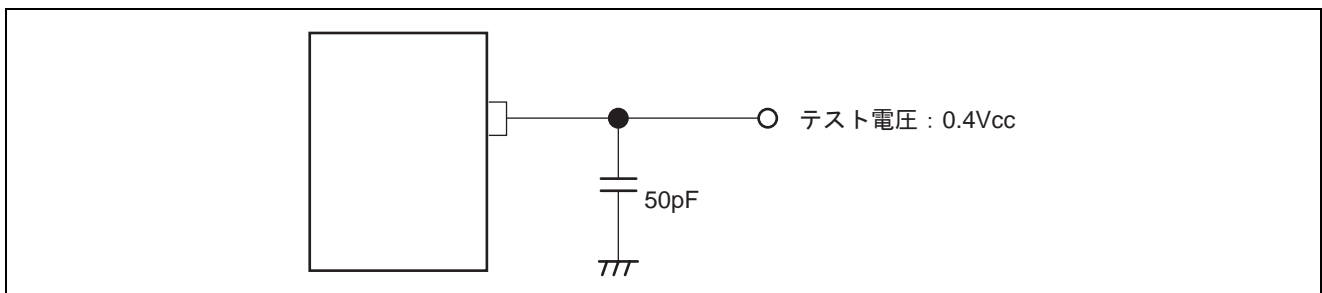


図 31.24 テスタ測定条件

表 31.11 JTAG タイミング

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi = 8MHz\sim$ 最大動作周波数

項目	記号	min.	max.	単位	測定条件
ETCK クロックサイクル時間	t_{TCKcyc}	50*	125*	ns	図 31.25
ETCK クロック High レベルパルス幅	t_{TCKH}	20	—		
ETCK クロック Low レベルパルス幅	t_{TCKL}	20	—		
ETCK クロック立ち上がり時間	t_{TCKr}	—	5		
ETCK クロック立ち下がり時間	t_{TCKf}	—	5		
\overline{ETRST} パルス幅	t_{TRSTW}	20	—	t_{cyc}	図 31.26
リセットホールド遷移パルス幅	t_{RSTHW}	3	—	ns	図 31.27
ETMS セットアップ時間	t_{TMSS}	20	—		
ETMS ホールド時間	t_{TMSh}	20	—		
ETDI セットアップ時間	t_{TDis}	20	—		
ETDI ホールド時間	t_{TDIH}	20	—		
ETDO データ遅延時間	t_{TDOD}	—	20		

【注】 * ただし、 $t_{cyc} \leq t_{TCKcyc}$

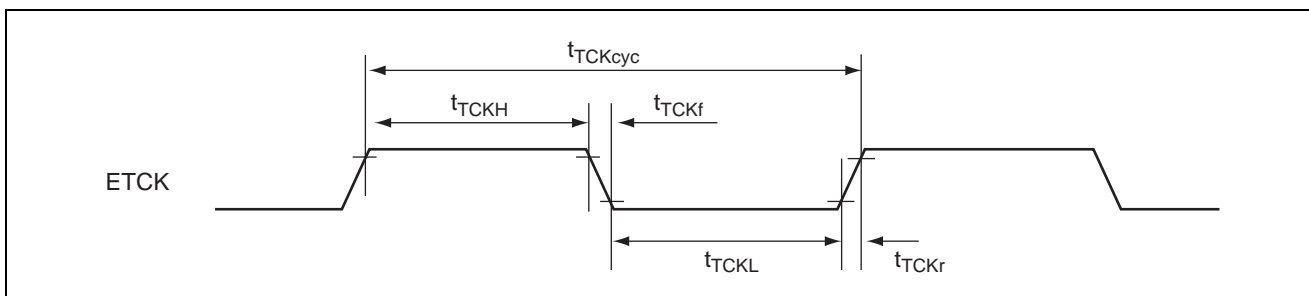


図 31.25 JTAG ETCK タイミング

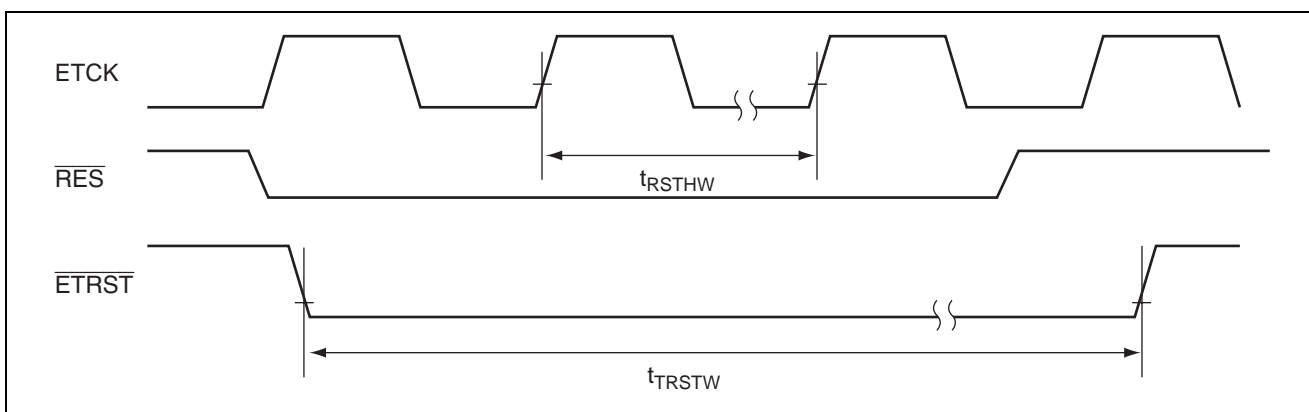


図 31.26 リセットホールドタイミング

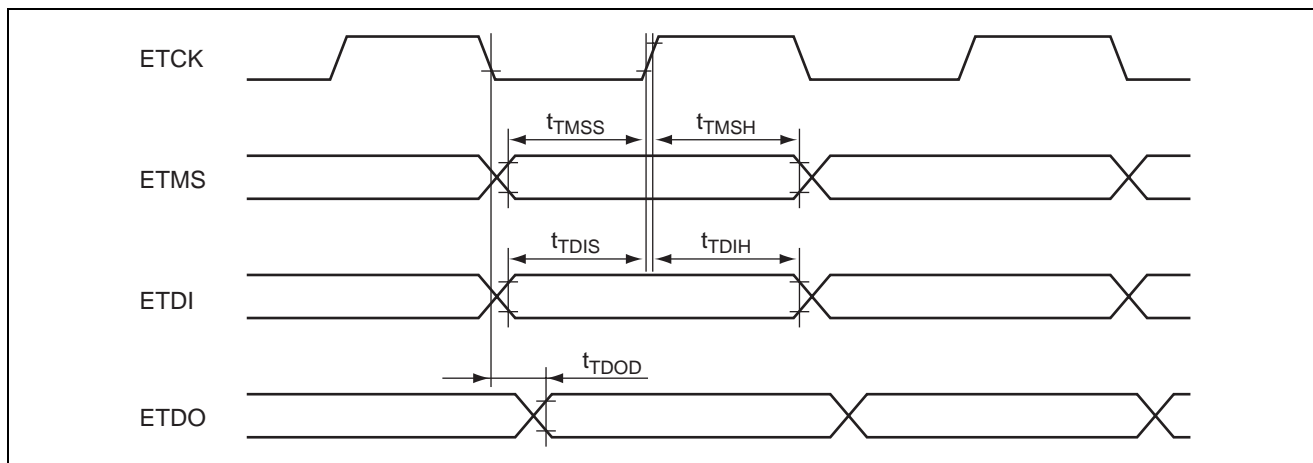


図 31.27 JTAG 入出力タイミング

表 31.12 SSU タイミング

条件 : $V_{CC}=3.0\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=8MHz\sim$ 最大動作周波数

項 目		記号	min.	max.	単位	測定 条件
クロックサイクル	マスタ	t_{SUcyc}	4	256	tcyc	図 31.28 ~ 図 31.31
	スレーブ		4	256		
クロックハイレベル パルス幅	マスタ	t_{HI}	48	—	ns	
	スレーブ		48	—		
クロックローレベル パルス幅	マスタ	t_{LO}	48	—	ns	
	スレーブ		48	—		
クロック立ち上がり時間		t_{RISE}	—	12	ns	
クロック立ち下がり時間		t_{FALL}	—	12	ns	
データ入力セットアップ時間	マスタ	t_{SU}	25	—	ns	
	スレーブ		30	—		
データ入力ホールド時間	マスタ	t_{H}	10	—	ns	
	スレーブ		10	—		
\overline{SCS} セットアップ時間	マスタ	t_{LEAD}	2.5	—	tcyc	
	スレーブ		2.5	—		
\overline{SCS} ホールド時間	マスタ	t_{LAG}	2.5	—	tcyc	
	スレーブ		2.5	—		
データ出力遅延時間	マスタ	t_{OD}	—	40	ns	
	スレーブ		—	40		
データ出力ホールド時間	マスタ	t_{OH}	−5	—	ns	
	スレーブ		0	—		
連続送信時間遅延時間	マスタ	t_{TD}	2.5	—	tcyc	
	スレーブ		2.5	—		
スレーブアクセス時間		t_{SA}	—	1	tcyc	図 31.30
スレーブアウト解放時間		t_{REL}	—	1	tcyc	図 31.31

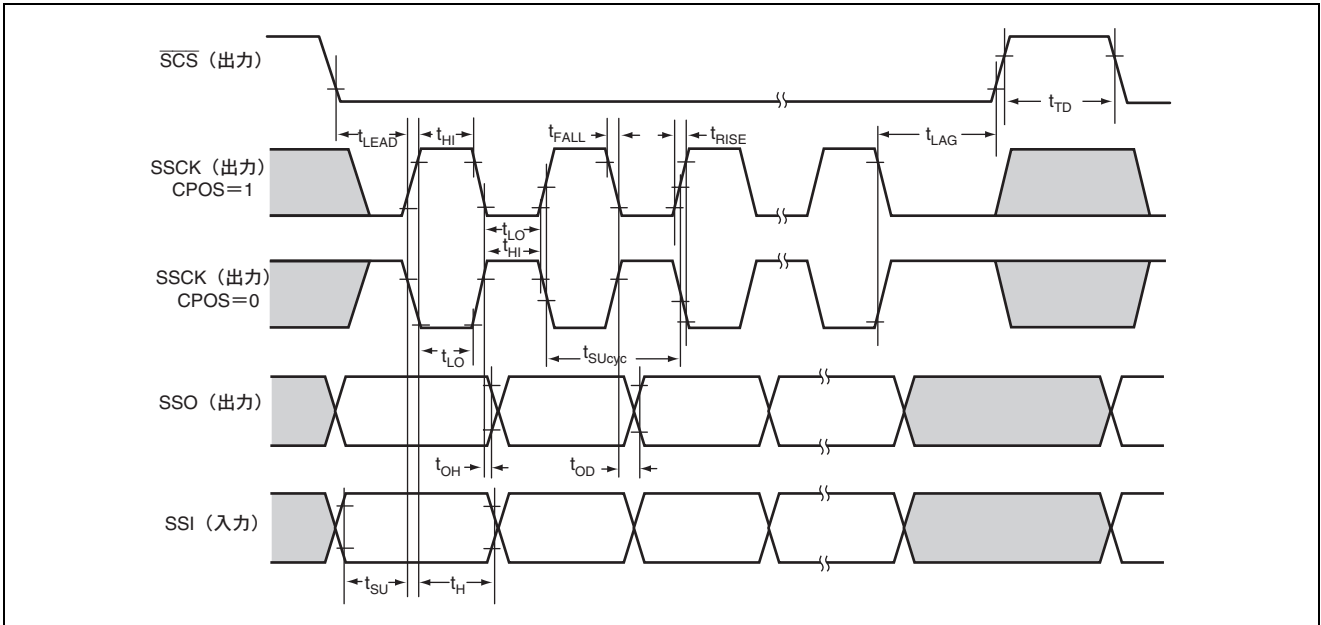


図 31.28 SSU タイミング (マスタ、CPHS=1)

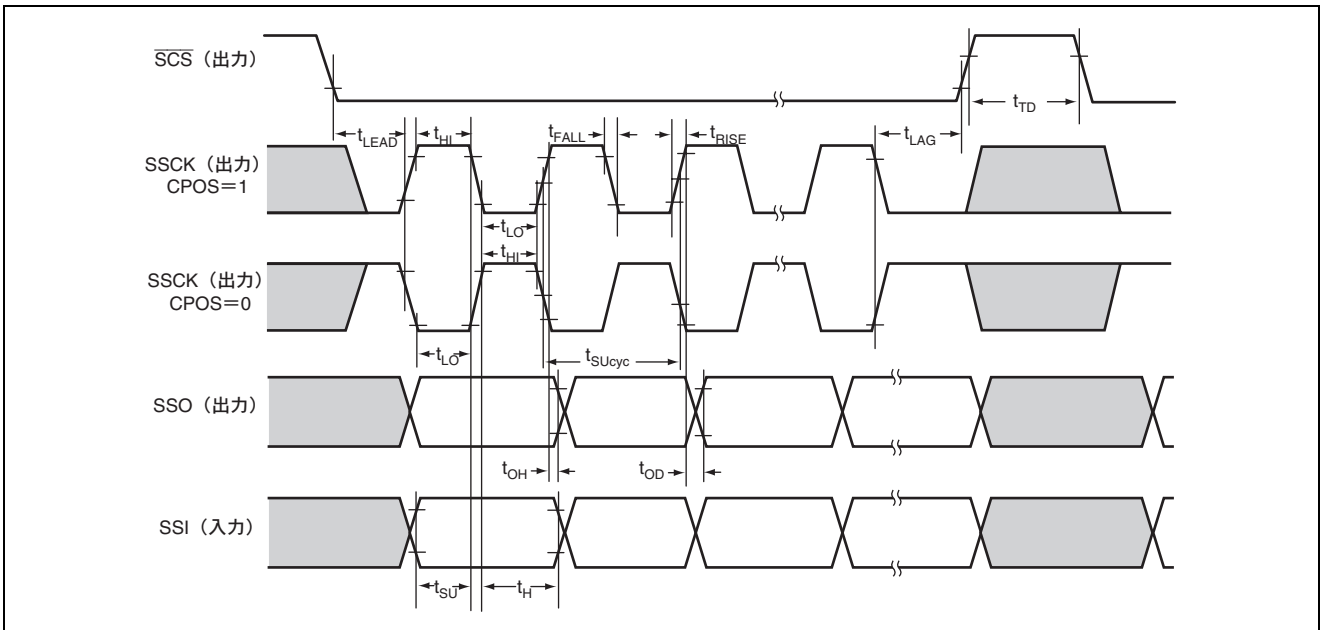


図 31.29 SSU タイミング (マスタ、CPHS=0)

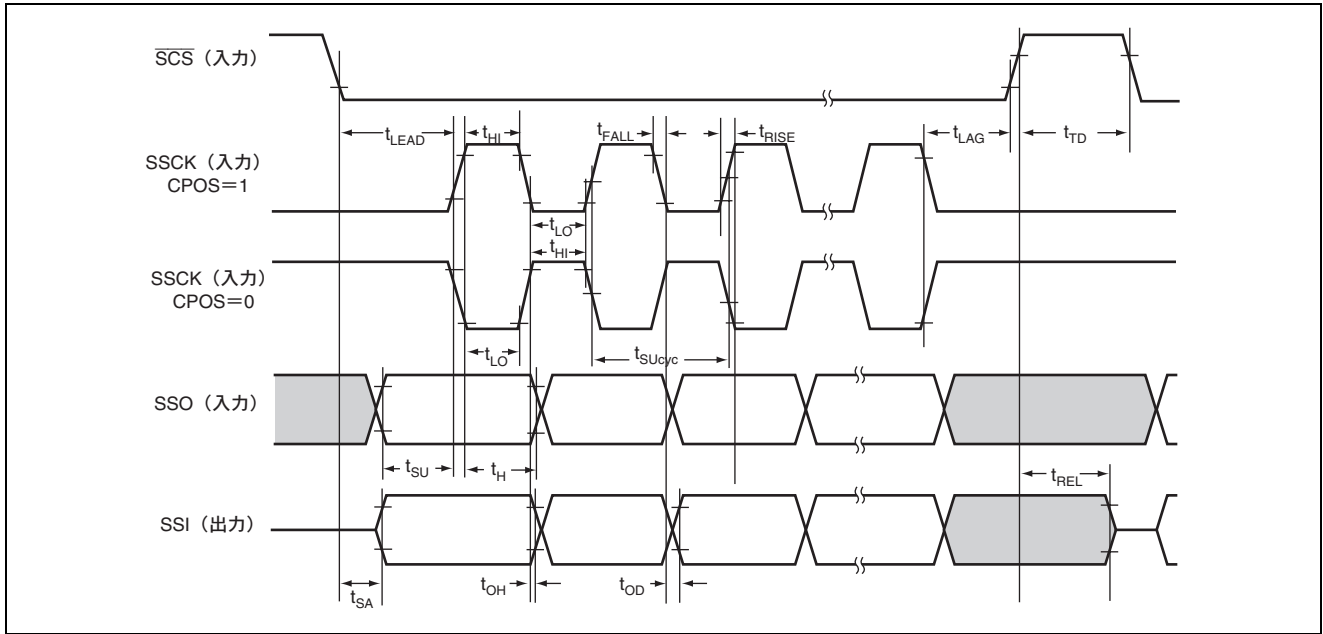


図 31.30 SSU タイミング (スレーブ、CPHS=1)

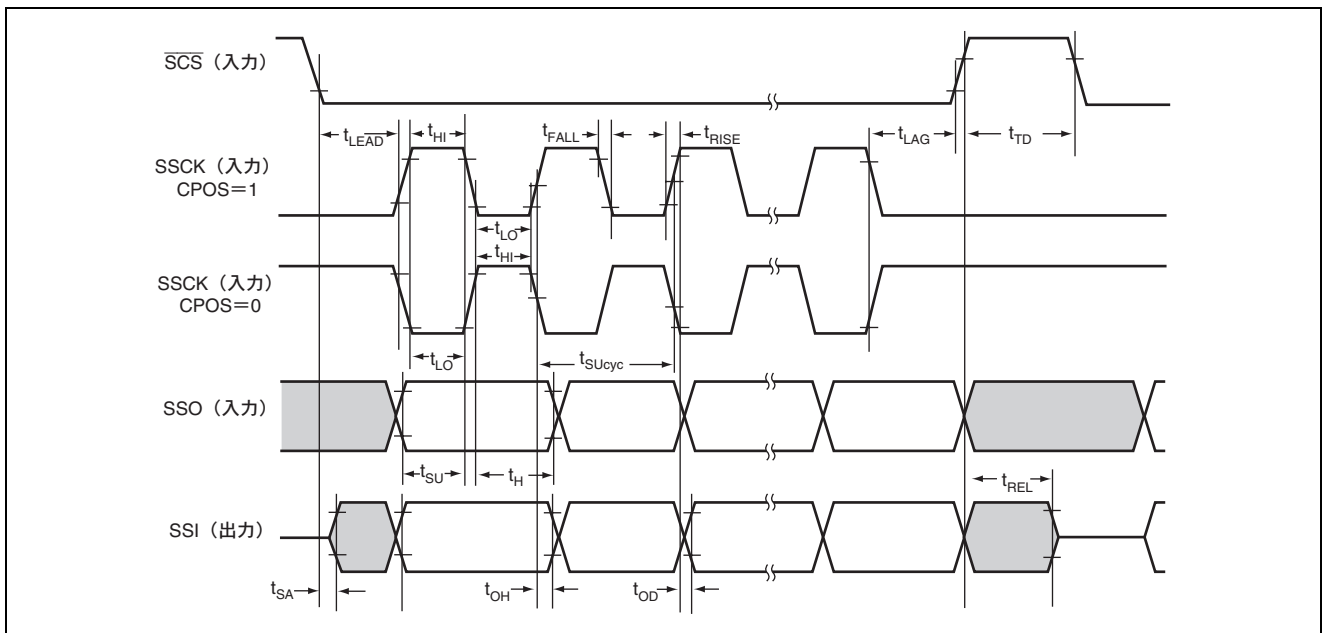


図 31.31 SSU タイミング (スレーブ、CPHS=0)

31.4 A/D 変換特性

A/D 変換特性を表 31.13 に示します。

表 31.13 A/D 変換特性 (AN11~AN0 入力)

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $AV_{CC}=3.0V\sim 3.6V$ 、 $AV_{ref}=3.0V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi = 8MHz\sim$ 最大動作周波数

項目	min.	typ.	max.	単位
分解能	10			ビット
変換時間	4.0*	—	—	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	± 7.0	LSB
オフセット誤差	—	—	± 7.5	
フルスケール誤差	—	—	± 7.5	
量子化誤差	—	—	± 0.5	
絶対精度	—	—	± 8.0	

【注】 * 40 ステートで最大動作周波数のとき (ADCLK=10MHz)。

31.5 フラッシュメモリ特性

表 31.14 にフラッシュメモリ特性を示します。

表 31.14 フラッシュメモリ特性の電気的特性

条件 : $V_{cc}=AV_{cc}=3.0\sim 3.6V$ 、 $AV_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=AV_{ss}=0V$

項目	記号	測定条件	対象領域	規格値			単位
				最小	標準	最大	
書き込み/消去回数*1			ユーザマツト	1,000*2	—	—	回
			データフラッシュ	10,000*2	—	—	
書き込み時間 (4 バイト当たり)			ユーザマツト	—	150	—	μs
			データフラッシュ	—	300	—	
消去時間 (1 ブロック当たり)			ユーザマツト	—	300	—	ms
			データフラッシュ	—	300	—	
書き込み/消去電圧			ユーザマツト	3.0	—	3.6	V
			データフラッシュ				
読み出し電圧			ユーザマツト	3.0	—	3.6	V
			データフラッシュ				
アクセスステート			ユーザマツト	1	—	—	ステート
			データフラッシュ	2	—	—	
書き込み/消去温度			ユーザマツト	0	—	75	$^{\circ}C$
			データフラッシュ	0	—	75	

【注】 1 多回数の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどしてブランク領域ができるだけ残らないように書き込みを実施した上で 1 回の消去を行ってください。たとえば 1 組 16 バイトを書き込む場合、最大 256 組の書き込みを実施した上で 1 回の消去をすることで、実効的な書き換え回数を少なくすることができます。

ブロックごとに何回消去を実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

2 消去でイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスコマンド→イレーズコマンドを少なくとも 3 回実行してください。

*1 書き込み/消去回数の定義

書き込み/消去回数はブロックごとの消去回数です。

書き込み/消去回数が n 回 (n=100) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。

たとえば、4K バイト/ブロックのデータフラッシュ A に対して、それぞれ異なる番地に 4 バイト書き込みを 1024 回に分けて行った後に、そのブロックを消去した場合も、書き込み/消去回数は 1 回と数えます。

ただし、消去 1 回に対して、同一番地に複数回の書き込みは行わないでください。(上書き禁止)

*2 書き込み/消去回数後のすべての電気的特性を保証する回数です。(保証は 1 から"最小"値の範囲です。)

31.6 パワーオンリセット特性

31.6.1 パワーオンリセット／低電圧検知回路 0 特性

表 31.15 にパワーオンリセット／低電圧検知回路 0 特性を示します。

表 31.15 パワーオンリセット／低電圧検知回路 0 の電気的特性

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

項目	記号	min.	typ.	max.	単位	測定条件
LVD0 検知電圧レベル	Vdet0	2.70	2.85	3.00	V	VD0LS1 : 1
		2.15	2.35	2.55	V	VD0LS1 : 0* ¹
パワーオンリセット時間	t_{por}	20	40	80	ms	
LVD0 電源低下時間* ²	t_{wv0}	300	—	—	μs	
パワーオン検知オフセット電圧* ³	Voff	—	—	0.5	V	
LVD0 検知遅延時間	t_{tdly0}	—	—	100	μs	
VCC 立ち上がり勾配	SV _{CC}	—	—	10	ms/V	

【注】 パワーオンリセットを使用する場合、RES 端子を High レベル (3.0V 以上) にしてください。

- *1 パワーオンリセット発生時の検知電圧レベルです。
- *2 LVD0 検知電圧の min 値以下に V_{CC} が低下した時間です。
- *3 電源投入時、パワーオンリセットを発生させるための V_{CC} 開始電圧です。

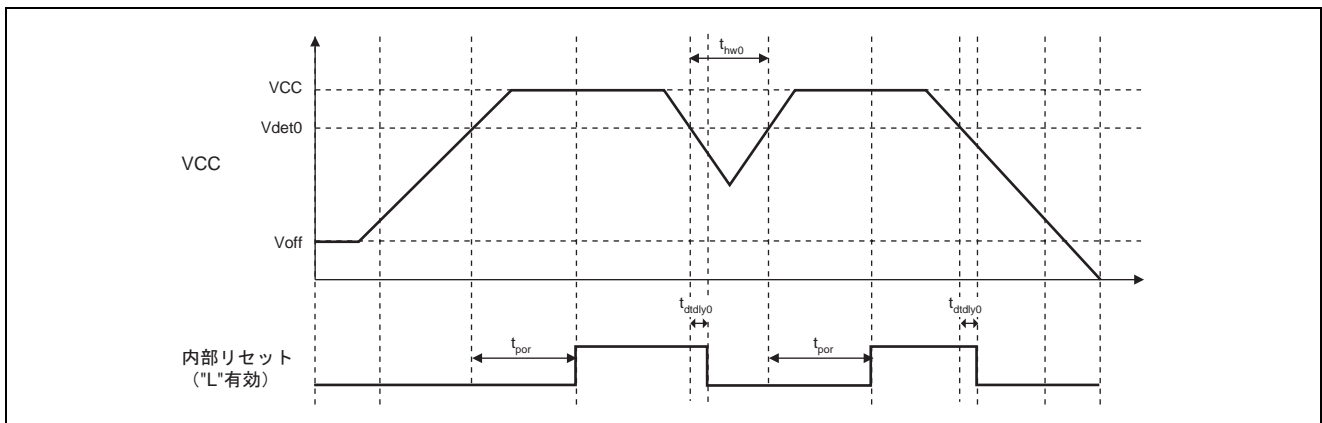


図 31.32 パワーオンリセット/低電圧検知回路 0 の電気的特性

31.6.2 低電圧検知回路 1 特性

表 31.16 に低電圧検知回路 1 特性を示します。

表 31.16 低電圧検知回路 1 の電気的特性

条件 : $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$

項目	記号	min.	typ.	max.	単位	測定条件
LVD1 上昇検知電圧レベル	Vdet1+	3.16	3.36	3.56	V	VD1LS[2:0] : 100
		3.01	3.21	3.41	V	VD1LS[2:0] : 011
LVD1 下降検知電圧レベル	Vdet1-	3.05	3.25	3.45	V	VD1LS[2:0] : 100
		2.90	3.10	3.30	V	VD1LS[2:0] : 011
低電圧検知リセット 1 時間	t_{lvd1r}	200	250	300	μs	
LVD1 電源低下時間*	t_{lww1}	100	—	—	μs	
LVD1 検知遅延時間	t_{tdly1}	—	—	200	μs	
LVD1 起動安定時間	t_{lvd1on}	—	—	100	μs	

【注】 * LVD1 下降検知電圧の min 値以下に V_{CC} が低下した時間です。

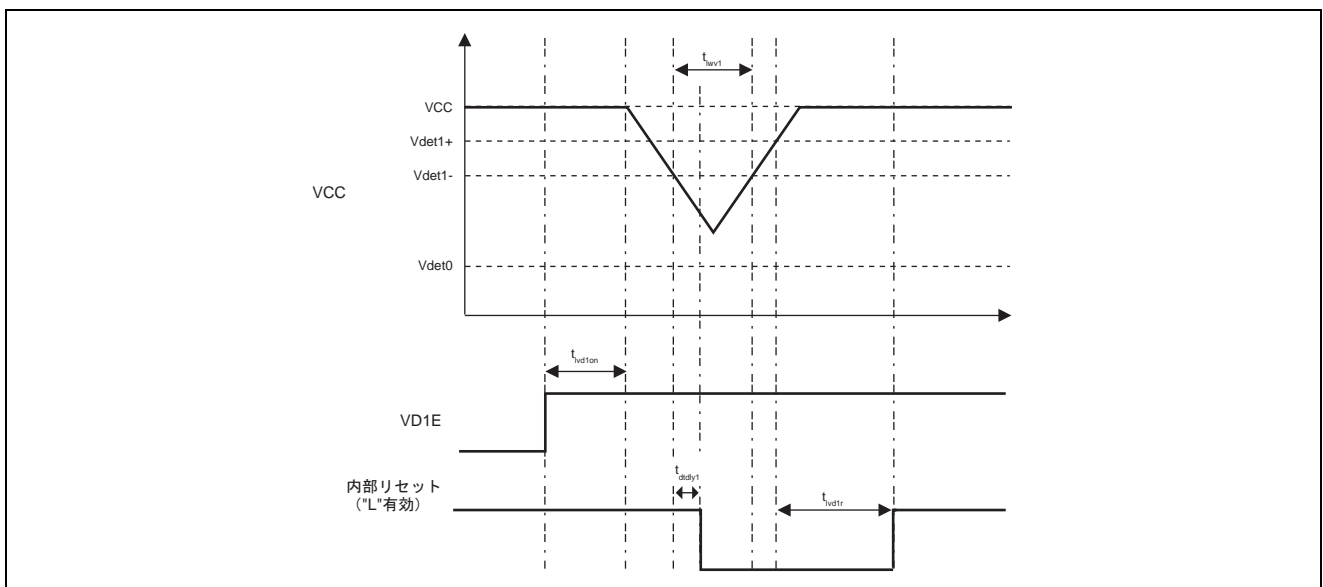


図 31.33 低電圧検知回路 1 の電気的特性

31.7 使用上の注意事項

VCC 端子と VSS 端子の間にはバイパスコンデンサ、VCL 端子と VSS 端子の間には内部降圧安定化用のコンデンサを接続する必要があります。図 31.34 に接続例を示します。

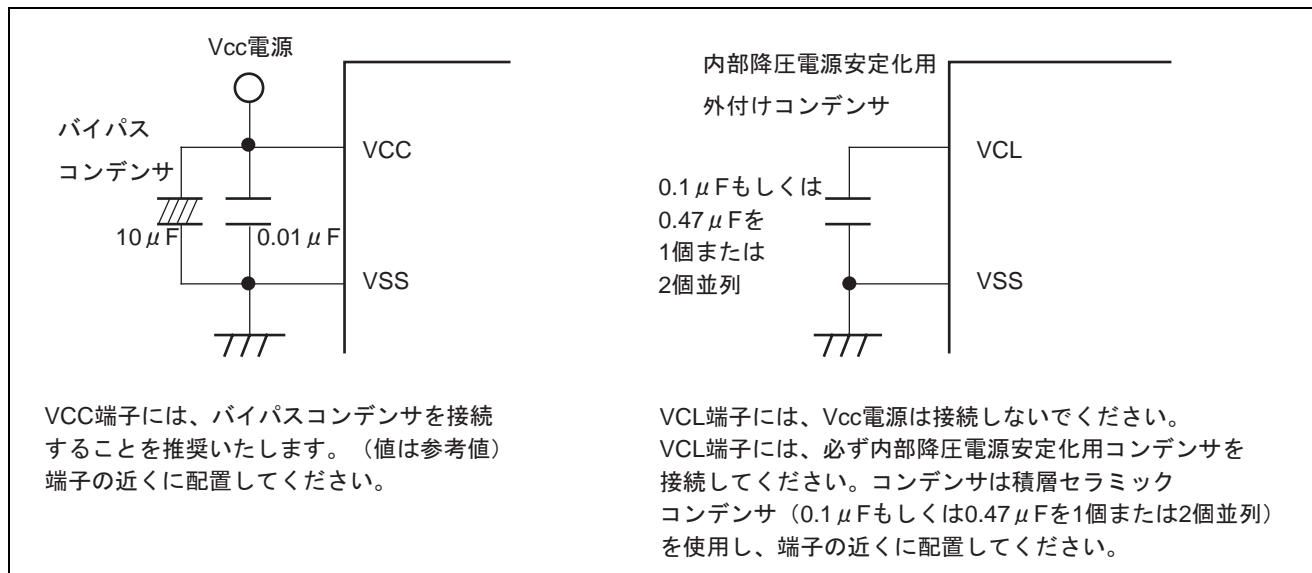


図 31.34 VCC 端子と VCL 端子のコンデンサ接続方法

付録

A. 各処理状態における I/O ポートの状態

表 A.1 各処理状態における I/O ポートの状態

ポート名 端子名	リセット	ソフトウェア スタンバイ モード	ウォッチ モード	スリープ モード	プログラム 実行状態
ポート 1	T	keep	keep	keep	入出力ポート
ポート 2	T	keep	keep	keep	入出力ポート
ポート 3	T	keep	keep	keep	入出力ポート
ポート 4	T	keep	keep	keep	入出力ポート
ポート 5	T	keep	keep	keep	入出力ポート
ポート 6	T	keep	keep	keep	入出力ポート
ポート 7	T	T	T	T	入力ポート
ポート 8	T	keep	keep	keep	入出力ポート
ポート 97	T	keep	keep	keep	入出力ポート
ポート 96 φ、 EXCL	T	[DDR=1]H [DDR=0]T	EXCL 入力/ keep	[DDR=1] クロック出力 [DDR=0]T	クロック出力/ EXCL 入力/ 入力ポート
ポート 95~90	T	keep	keep	keep	入出力ポート
ポート A~J	T	keep	keep	keep	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス (DDR=0、PCR=1 の場合、入力プルアップ MOS は ON 状態を保持)
出力ポートは保持

なお、端子により内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR : データディレクションレジスタ

B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8S/2113	フラッシュメモリ版	R4F2113	R4F2113NFT	PTQP0144LC-A (TFP-144V)
			R4F2113NBG	PLBG0176GA-A (BP-176V)
			R4F2113NLG	PTLG0145JB-A (TLP-145V)

C. 外形寸法図

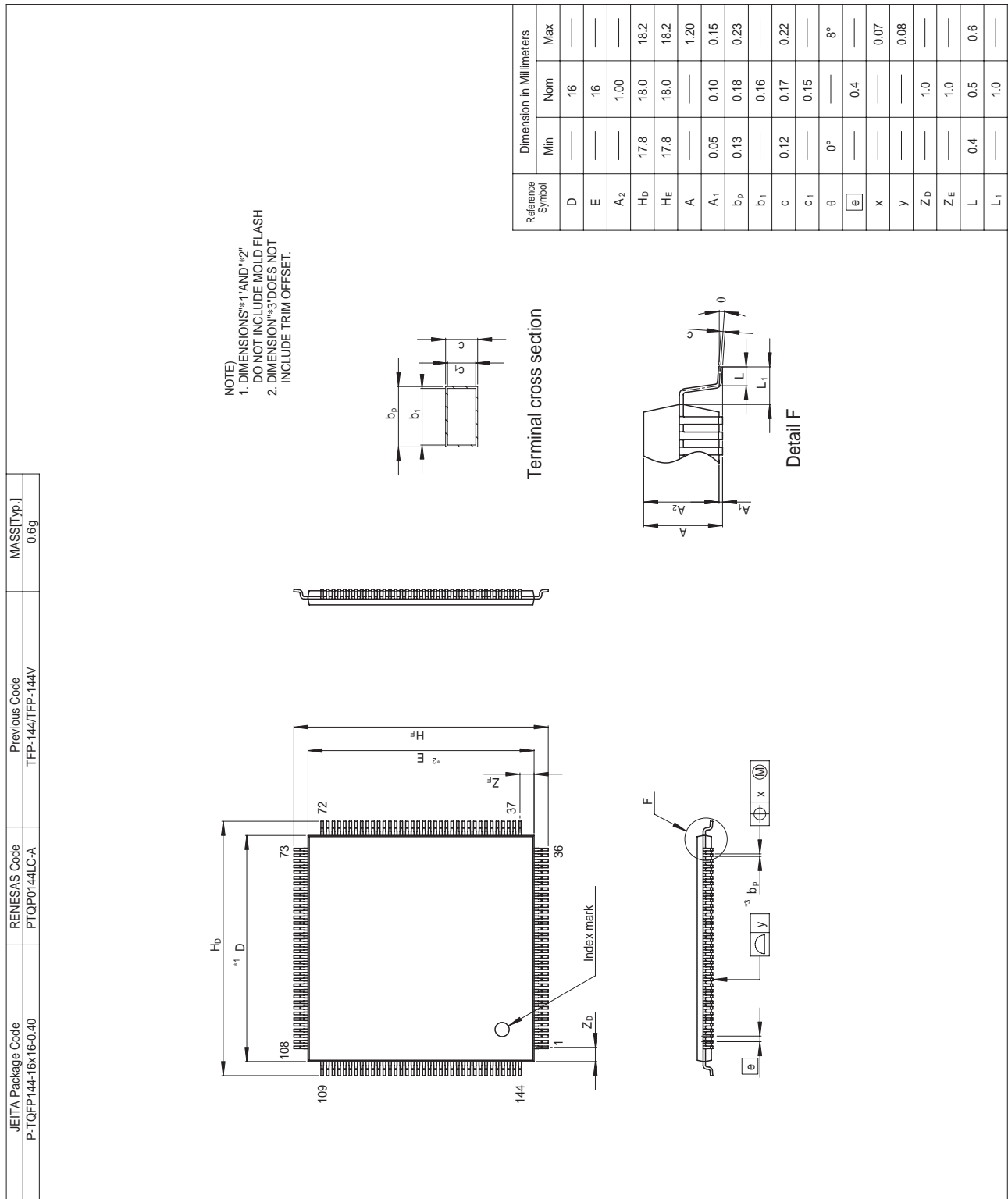
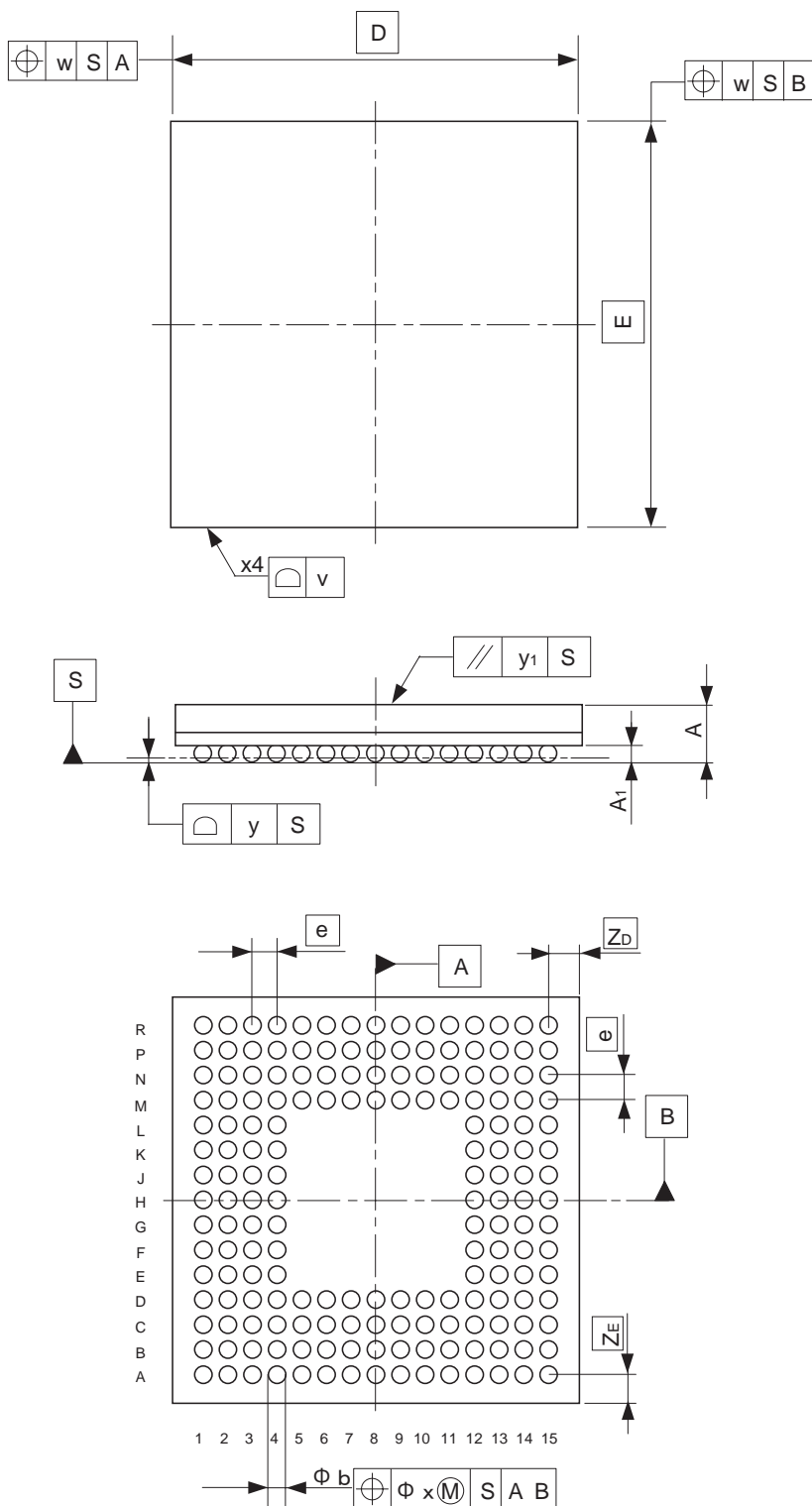


図 C.1 外形寸法図 (TFP-144V)

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFBGA176-13x13-0.80	PLBG0176GA-A	BP-176/BP-176V	0.45g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	13.0	—
E	—	13.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.40
A1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x	—	—	0.08
y	—	—	0.10
y1	—	—	0.2
SD	—	—	—
SE	—	—	—
ZD	—	0.90	—
ZE	—	0.90	—

図 C.2 外形寸法図 (BP-176V)

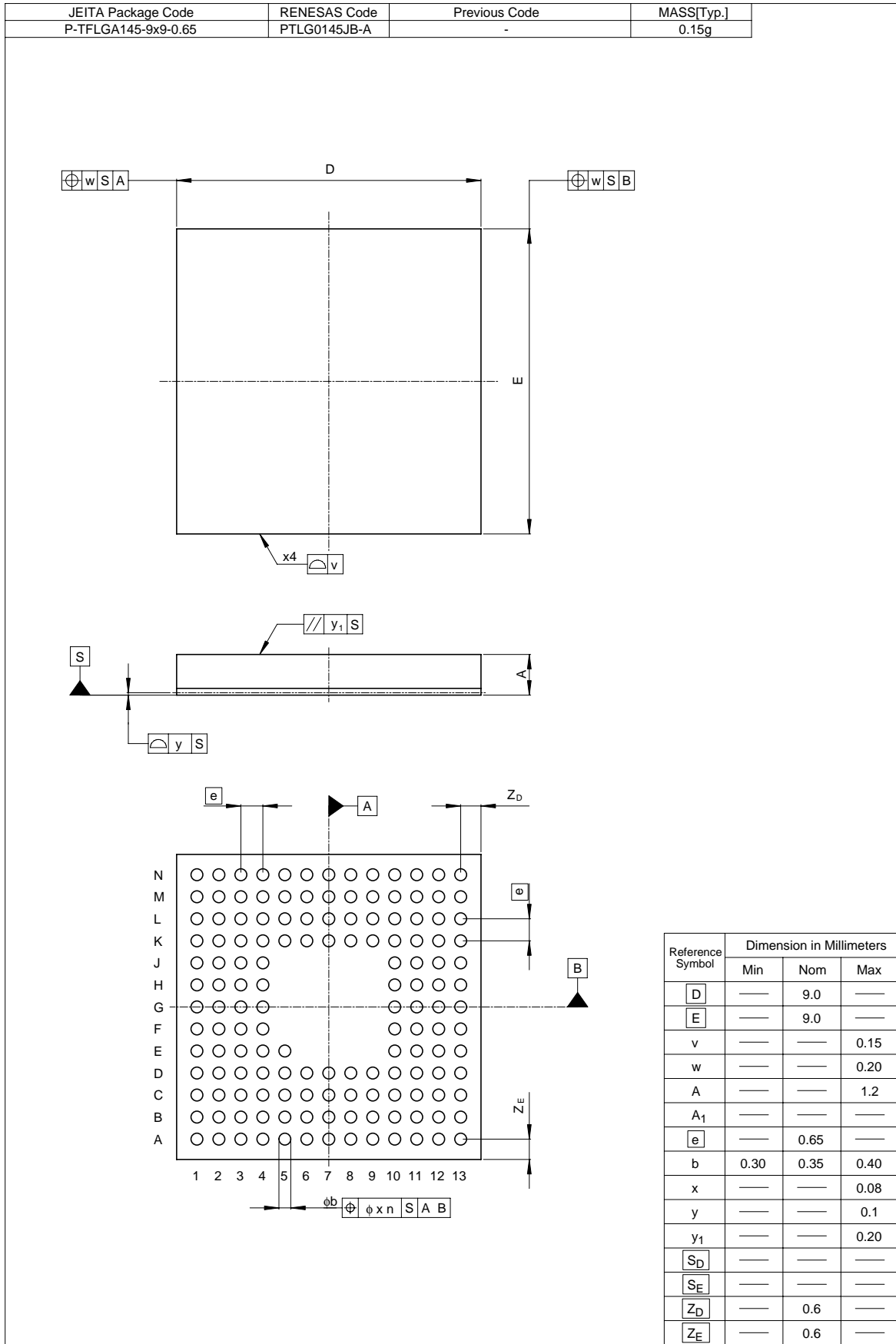


図 C.3 外形寸法図 (TLP-145V)

D. 未使用端子の処理について

未使用端子の処理を表 D.1 に示します。

表 D.1 未使用端子の処理例

端子名	端子処理例
RES	(リセット端子として必ず使用)
ETRST	(リセット端子として必ず使用)
MD2、MD1	(モード端子として必ず使用)
NMI	<ul style="list-style-type: none"> 抵抗を介して Vcc に接続 (プルアップ)
EXTAL	(クロック端子として必ず使用)
XTAL	(クロック端子として必ず使用)
ポート 1 ポート 2 ポート 3 ポート 4 ポート 5 ポート 6 ポート 8 ポート 9 ポート A ポート B ポート C ポート D ポート E ポート F ポート G ポート H ポート I ポート J	<ul style="list-style-type: none"> 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート 7	<ul style="list-style-type: none"> 端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン)
PECI	<ul style="list-style-type: none"> 抵抗を介して Vss に接続 (プルダウン)
PEVref	<ul style="list-style-type: none"> 抵抗を介して Vss に接続 (プルダウン)

本版で修正または追加された箇所

項目	ページ	修正箇所																								
表 1.1 仕様概要	1-2	<p>修正</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">分類</th> <th style="text-align: center;">モジュール/機能</th> <th style="text-align: center;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">割り込み (要因)</td> <td style="text-align: center;">割り込み コントローラ</td> <td> <ul style="list-style-type: none"> • 外部割り込み端子：49本 (NMI、IRQ15~IRQ0 (EXIRQ15~EXIRQ7)、KIN15~KIN0、WUE15~WUE0) • 内部割り込み要因数：61本 • 2種類の割り込み制御モード (システムコントロールレジスタで指定) • 2レベルの割り込み優先順位を設定可能 (インタラプトコントロールレジスタで指定) • 独立したベクタアドレス </td> </tr> </tbody> </table>	分類	モジュール/機能	説明	割り込み (要因)	割り込み コントローラ	<ul style="list-style-type: none"> • 外部割り込み端子：49本 (NMI、IRQ15~IRQ0 (EXIRQ15~EXIRQ7)、KIN15~KIN0、WUE15~WUE0) • 内部割り込み要因数：61本 • 2種類の割り込み制御モード (システムコントロールレジスタで指定) • 2レベルの割り込み優先順位を設定可能 (インタラプトコントロールレジスタで指定) • 独立したベクタアドレス 																		
分類	モジュール/機能	説明																								
割り込み (要因)	割り込み コントローラ	<ul style="list-style-type: none"> • 外部割り込み端子：49本 (NMI、IRQ15~IRQ0 (EXIRQ15~EXIRQ7)、KIN15~KIN0、WUE15~WUE0) • 内部割り込み要因数：61本 • 2種類の割り込み制御モード (システムコントロールレジスタで指定) • 2レベルの割り込み優先順位を設定可能 (インタラプトコントロールレジスタで指定) • 独立したベクタアドレス 																								
1.3 ブロック図	1-7	PECIの矢印を修正																								
表 1.4 端子機能	1-21	<p>追加</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2" style="text-align: center;">分類</th> <th rowspan="2" style="text-align: center;">記号</th> <th colspan="3" style="text-align: center;">ピン番号</th> <th rowspan="2" style="text-align: center;">入出力</th> <th rowspan="2" style="text-align: center;">名称および機能</th> </tr> <tr> <th style="text-align: center;">TFP-144V</th> <th style="text-align: center;">BP-176V</th> <th style="text-align: center;">TLP-145V</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">PECI</td> <td style="text-align: center;">PECI</td> <td style="text-align: center;">140</td> <td style="text-align: center;">C4</td> <td style="text-align: center;">A4</td> <td style="text-align: center;">入出力</td> <td style="text-align: center;">PECIのデータ入出力端子です。</td> </tr> <tr> <td></td> <td style="text-align: center;">PEVref</td> <td style="text-align: center;">141</td> <td style="text-align: center;">D4</td> <td style="text-align: center;">B3</td> <td style="text-align: center;">入力</td> <td style="text-align: center;">PECIの電源端子です。</td> </tr> </tbody> </table>	分類	記号	ピン番号			入出力	名称および機能	TFP-144V	BP-176V	TLP-145V	PECI	PECI	140	C4	A4	入出力	PECIのデータ入出力端子です。		PEVref	141	D4	B3	入力	PECIの電源端子です。
分類	記号	ピン番号			入出力	名称および機能																				
		TFP-144V	BP-176V	TLP-145V																						
PECI	PECI	140	C4	A4	入出力	PECIのデータ入出力端子です。																				
	PEVref	141	D4	B3	入力	PECIの電源端子です。																				
表 4.3 レジスタ構成	4-4	<p>修正</p> <p>(修正前) H'FFC4 → (修正後) H'FF91</p>																								
表 7.3 各割り込み要因とICRの対応	7-5	<p>追加</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2" style="text-align: center;">ビット</th> <th rowspan="2" style="text-align: center;">ビット名</th> <th colspan="4" style="text-align: center;">レジスタ</th> </tr> <tr> <th style="text-align: center;">ICRA</th> <th style="text-align: center;">ICRB</th> <th style="text-align: center;">ICRC</th> <th style="text-align: center;">ICRD</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">ICRn1</td> <td style="text-align: center;">WDT_0</td> <td style="text-align: center;">TMR_X、TMR_Y</td> <td style="text-align: center;">LPC</td> <td style="text-align: center;">TPU_2</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">ICRn0</td> <td style="text-align: center;">WDT_1</td> <td style="text-align: center;">PS2</td> <td style="text-align: center;">PECI</td> <td style="text-align: center;">-</td> </tr> </tbody> </table>	ビット	ビット名	レジスタ				ICRA	ICRB	ICRC	ICRD	1	ICRn1	WDT_0	TMR_X、TMR_Y	LPC	TPU_2	0	ICRn0	WDT_1	PS2	PECI	-		
ビット	ビット名	レジスタ																								
		ICRA	ICRB	ICRC	ICRD																					
1	ICRn1	WDT_0	TMR_X、TMR_Y	LPC	TPU_2																					
0	ICRn0	WDT_1	PS2	PECI	-																					
表 8.1 レジスタ構成	8-1	<p>修正</p> <p>(修正前) H'FFC6 → (修正後) H'FF9A</p> <p>(修正前) H'FFC7 → (修正後) H'FF9B</p>																								
23. PEGI インタフェース	—	追加																								
30. レジスタ一覧	—	<p>修正</p> <p>(修正前) TIORH_1 → (修正後) TIOR_1</p> <p>(修正前) TICRR_X → (修正後) TICRR</p> <p>(修正前) TICRF_X → (修正後) TICRF</p>																								

項目	ページ	修正箇所																																																																																				
30.1 レジスタアドレス一覧 (アドレス順)	30-6、30-7	<p>追加</p> <table border="1"> <thead> <tr> <th data-bbox="619 331 906 353">レジスタ名称</th> <th data-bbox="906 331 1002 353">略称</th> <th data-bbox="1002 331 1098 398">ビット 数</th> <th data-bbox="1098 331 1193 398">アド レス</th> <th data-bbox="1193 331 1289 398">モジュ ール</th> <th data-bbox="1289 331 1385 398">デー タ バス幅</th> <th data-bbox="1385 331 1442 432">アクセ ス ステート 数</th> </tr> </thead> <tbody> <tr> <td data-bbox="619 450 906 472">PECI コントロールレジスタ</td> <td data-bbox="906 450 1002 472">PECR</td> <td data-bbox="1002 450 1098 472">8</td> <td data-bbox="1098 450 1193 472">H'FBA0</td> <td data-bbox="1193 450 1289 472">PECI</td> <td data-bbox="1289 450 1385 472">8</td> <td data-bbox="1385 450 1442 472">2</td> </tr> <tr> <td data-bbox="619 495 906 517">PECI ステータスレジスタ</td> <td data-bbox="906 495 1002 517">PESTR</td> <td data-bbox="1002 495 1098 517">8</td> <td data-bbox="1098 495 1193 517">H'FBA1</td> <td data-bbox="1193 495 1289 517">PECI</td> <td data-bbox="1289 495 1385 517">8</td> <td data-bbox="1385 495 1442 517">2</td> </tr> <tr> <td data-bbox="619 539 906 607">PECI タイミングカウント プリレジスタ</td> <td data-bbox="906 539 1002 562">PECNT0_PRE</td> <td data-bbox="1002 539 1098 562">16</td> <td data-bbox="1098 539 1193 562">H'FBA2</td> <td data-bbox="1193 539 1289 562">PECI</td> <td data-bbox="1289 539 1385 562">16</td> <td data-bbox="1385 539 1442 562">2</td> </tr> <tr> <td data-bbox="619 629 906 696">PECI タイミングカウント ジェネラルレジスタ</td> <td data-bbox="906 629 1002 651">PECNT0_GR</td> <td data-bbox="1002 629 1098 651">16</td> <td data-bbox="1098 629 1193 651">H'FBA4</td> <td data-bbox="1193 629 1289 651">PECI</td> <td data-bbox="1289 629 1385 651">16</td> <td data-bbox="1385 629 1442 651">2</td> </tr> <tr> <td data-bbox="619 719 906 786">PECI タイミングカウント アドレスジェネラルレジスタ</td> <td data-bbox="906 719 1002 741">PECNT0_GRA</td> <td data-bbox="1002 719 1098 741">16</td> <td data-bbox="1098 719 1193 741">H'FBA6</td> <td data-bbox="1193 719 1289 741">PECI</td> <td data-bbox="1289 719 1385 741">16</td> <td data-bbox="1385 719 1442 741">2</td> </tr> <tr> <td data-bbox="619 808 906 831">PECI アドレスレジスタ</td> <td data-bbox="906 808 1002 831">PEADD</td> <td data-bbox="1002 808 1098 831">8</td> <td data-bbox="1098 808 1193 831">H'FBA8</td> <td data-bbox="1193 808 1289 831">PECI</td> <td data-bbox="1289 808 1385 831">8</td> <td data-bbox="1385 808 1442 831">2</td> </tr> <tr> <td data-bbox="619 853 906 920">PECI 書き込みバイト数 レジスタ</td> <td data-bbox="906 853 1002 875">PEWBNR</td> <td data-bbox="1002 853 1098 875">8</td> <td data-bbox="1098 853 1193 875">H'FBA9</td> <td data-bbox="1193 853 1289 875">PECI</td> <td data-bbox="1289 853 1385 875">8</td> <td data-bbox="1385 853 1442 875">2</td> </tr> <tr> <td data-bbox="619 943 906 1010">PECI 読み出しバイト数 レジスタ</td> <td data-bbox="906 943 1002 965">PERBNR</td> <td data-bbox="1002 943 1098 965">8</td> <td data-bbox="1098 943 1193 965">H'FBAA</td> <td data-bbox="1193 943 1289 965">PECI</td> <td data-bbox="1289 943 1385 965">8</td> <td data-bbox="1385 943 1442 965">2</td> </tr> <tr> <td data-bbox="619 1032 906 1122">PECI クライアント書き込み フレームチェック シーケンスレジスタ</td> <td data-bbox="906 1032 1002 1055">PECWFCSR</td> <td data-bbox="1002 1032 1098 1055">8</td> <td data-bbox="1098 1032 1193 1055">H'FBAD</td> <td data-bbox="1193 1032 1289 1055">PECI</td> <td data-bbox="1289 1032 1385 1055">8</td> <td data-bbox="1385 1032 1442 1055">2</td> </tr> <tr> <td data-bbox="619 1144 906 1234">PECI クライアント読み出し フレームチェック シーケンスレジスタ</td> <td data-bbox="906 1144 1002 1167">PECRFCSR</td> <td data-bbox="1002 1144 1098 1167">8</td> <td data-bbox="1098 1144 1193 1167">H'FBAE</td> <td data-bbox="1193 1144 1289 1167">PECI</td> <td data-bbox="1289 1144 1385 1167">8</td> <td data-bbox="1385 1144 1442 1167">2</td> </tr> <tr> <td data-bbox="619 1256 906 1279">PECI FIFO レジスタ</td> <td data-bbox="906 1256 1002 1279">PEFIFO</td> <td data-bbox="1002 1256 1098 1279">8</td> <td data-bbox="1098 1256 1193 1279">H'FBAF</td> <td data-bbox="1193 1256 1289 1279">PECI</td> <td data-bbox="1289 1256 1385 1279">8</td> <td data-bbox="1385 1256 1442 1279">2</td> </tr> </tbody> </table>	レジスタ名称	略称	ビット 数	アド レス	モジュ ール	デー タ バス幅	アクセ ス ステート 数	PECI コントロールレジスタ	PECR	8	H'FBA0	PECI	8	2	PECI ステータスレジスタ	PESTR	8	H'FBA1	PECI	8	2	PECI タイミングカウント プリレジスタ	PECNT0_PRE	16	H'FBA2	PECI	16	2	PECI タイミングカウント ジェネラルレジスタ	PECNT0_GR	16	H'FBA4	PECI	16	2	PECI タイミングカウント アドレスジェネラルレジスタ	PECNT0_GRA	16	H'FBA6	PECI	16	2	PECI アドレスレジスタ	PEADD	8	H'FBA8	PECI	8	2	PECI 書き込みバイト数 レジスタ	PEWBNR	8	H'FBA9	PECI	8	2	PECI 読み出しバイト数 レジスタ	PERBNR	8	H'FBAA	PECI	8	2	PECI クライアント書き込み フレームチェック シーケンスレジスタ	PECWFCSR	8	H'FBAD	PECI	8	2	PECI クライアント読み出し フレームチェック シーケンスレジスタ	PECRFCSR	8	H'FBAE	PECI	8	2	PECI FIFO レジスタ	PEFIFO	8	H'FBAF	PECI	8	2
レジスタ名称	略称	ビット 数	アド レス	モジュ ール	デー タ バス幅	アクセ ス ステート 数																																																																																
PECI コントロールレジスタ	PECR	8	H'FBA0	PECI	8	2																																																																																
PECI ステータスレジスタ	PESTR	8	H'FBA1	PECI	8	2																																																																																
PECI タイミングカウント プリレジスタ	PECNT0_PRE	16	H'FBA2	PECI	16	2																																																																																
PECI タイミングカウント ジェネラルレジスタ	PECNT0_GR	16	H'FBA4	PECI	16	2																																																																																
PECI タイミングカウント アドレスジェネラルレジスタ	PECNT0_GRA	16	H'FBA6	PECI	16	2																																																																																
PECI アドレスレジスタ	PEADD	8	H'FBA8	PECI	8	2																																																																																
PECI 書き込みバイト数 レジスタ	PEWBNR	8	H'FBA9	PECI	8	2																																																																																
PECI 読み出しバイト数 レジスタ	PERBNR	8	H'FBAA	PECI	8	2																																																																																
PECI クライアント書き込み フレームチェック シーケンスレジスタ	PECWFCSR	8	H'FBAD	PECI	8	2																																																																																
PECI クライアント読み出し フレームチェック シーケンスレジスタ	PECRFCSR	8	H'FBAE	PECI	8	2																																																																																
PECI FIFO レジスタ	PEFIFO	8	H'FBAF	PECI	8	2																																																																																

項目	ページ	修正箇所																																																																																																																																																																																																																												
30.2 レジスタビット一覧	30-22	<p>追加</p> <table border="1"> <thead> <tr> <th>レジスタ 略称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>モジュ ール</th> </tr> </thead> <tbody> <tr> <td>PECR</td> <td>PESRES</td> <td>PECIE</td> <td>ABTE</td> <td>AWFCSE</td> <td>STOPE</td> <td>PEWFCEIE</td> <td>PERFCEIE</td> <td>PETEIE</td> <td>PECI</td> </tr> <tr> <td>PESTR</td> <td>PEBUSY</td> <td>WFCSER</td> <td>RFCSER</td> <td>PETEND</td> <td>NEGA</td> <td>NEGM</td> <td>RDRF</td> <td>PECIR</td> <td></td> </tr> <tr> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td></td> </tr> <tr> <td>PRE</td> <td>PRE15</td> <td>PRE14</td> <td>PRE13</td> <td>PRE12</td> <td>PRE11</td> <td>PRE10</td> <td>PRE9</td> <td>PRE8</td> <td></td> </tr> <tr> <td></td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td></td> </tr> <tr> <td></td> <td>PRE7</td> <td>PRE6</td> <td>PRE5</td> <td>PRE4</td> <td>PRE3</td> <td>PRE2</td> <td>PRE1</td> <td>PRE0</td> <td></td> </tr> <tr> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td></td> </tr> <tr> <td>GR</td> <td>GR15</td> <td>GR14</td> <td>GR13</td> <td>GR12</td> <td>GR11</td> <td>GR10</td> <td>GR9</td> <td>GR8</td> <td></td> </tr> <tr> <td></td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td></td> </tr> <tr> <td></td> <td>GR7</td> <td>GR6</td> <td>GR5</td> <td>GR4</td> <td>GR3</td> <td>GR2</td> <td>GR1</td> <td>GR0</td> <td></td> </tr> <tr> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td></td> </tr> <tr> <td>GRA</td> <td>GRA15</td> <td>GRA14</td> <td>GRA13</td> <td>GRA12</td> <td>GRA11</td> <td>GRA10</td> <td>GRA9</td> <td>GRA8</td> <td></td> </tr> <tr> <td></td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td>PECNT0</td> <td></td> </tr> <tr> <td></td> <td>GRA7</td> <td>GRA6</td> <td>GRA5</td> <td>GRA4</td> <td>GRA3</td> <td>GRA2</td> <td>GRA1</td> <td>GRA0</td> <td></td> </tr> <tr> <td>PEADD</td> <td>PEADD7</td> <td>PEADD6</td> <td>PEADD5</td> <td>PEADD4</td> <td>PEADD3</td> <td>PEADD2</td> <td>PEADD1</td> <td>PEADD0</td> <td></td> </tr> <tr> <td>PEWBNR</td> <td>PEWBNR7</td> <td>PEWBNR6</td> <td>PEWBNR5</td> <td>PEWBNR4</td> <td>PEWBNR3</td> <td>PEWBNR2</td> <td>PEWBNR1</td> <td>PEWBNR0</td> <td></td> </tr> <tr> <td>PERBNR</td> <td>PERBNR7</td> <td>PERBNR6</td> <td>PERBNR5</td> <td>PERBNR4</td> <td>PERBNR3</td> <td>PERBNR2</td> <td>PERBNR1</td> <td>PERBNR0</td> <td></td> </tr> <tr> <td>PECWFCSR</td> <td>PECWFCS</td> <td>PECWFCS</td> <td>PECWFCS</td> <td>PECWFCS</td> <td>PECWFCS</td> <td>PECWFCS</td> <td>PECWFCS</td> <td>PECWFCS</td> <td></td> </tr> <tr> <td></td> <td>R7</td> <td>R6</td> <td>R5</td> <td>R4</td> <td>R3</td> <td>R2</td> <td>R1</td> <td>R0</td> <td></td> </tr> <tr> <td>PECRFCSR</td> <td>PECRFCSR7</td> <td>PECRFCSR6</td> <td>PECRFCSR5</td> <td>PECRFCSR4</td> <td>PECRFCSR3</td> <td>PECRFCSR2</td> <td>PECRFCSR1</td> <td>PECRFCSR0</td> <td></td> </tr> <tr> <td>PEFIFO</td> <td>bit7</td> <td>bit6</td> <td>bit5</td> <td>bit4</td> <td>bit3</td> <td>bit2</td> <td>bit1</td> <td>bit0</td> <td></td> </tr> </tbody> </table>	レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュ ール	PECR	PESRES	PECIE	ABTE	AWFCSE	STOPE	PEWFCEIE	PERFCEIE	PETEIE	PECI	PESTR	PEBUSY	WFCSER	RFCSER	PETEND	NEGA	NEGM	RDRF	PECIR		PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0		PRE	PRE15	PRE14	PRE13	PRE12	PRE11	PRE10	PRE9	PRE8			PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0			PRE7	PRE6	PRE5	PRE4	PRE3	PRE2	PRE1	PRE0		PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0		GR	GR15	GR14	GR13	GR12	GR11	GR10	GR9	GR8			PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0			GR7	GR6	GR5	GR4	GR3	GR2	GR1	GR0		PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0		GRA	GRA15	GRA14	GRA13	GRA12	GRA11	GRA10	GRA9	GRA8			PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0			GRA7	GRA6	GRA5	GRA4	GRA3	GRA2	GRA1	GRA0		PEADD	PEADD7	PEADD6	PEADD5	PEADD4	PEADD3	PEADD2	PEADD1	PEADD0		PEWBNR	PEWBNR7	PEWBNR6	PEWBNR5	PEWBNR4	PEWBNR3	PEWBNR2	PEWBNR1	PEWBNR0		PERBNR	PERBNR7	PERBNR6	PERBNR5	PERBNR4	PERBNR3	PERBNR2	PERBNR1	PERBNR0		PECWFCSR	PECWFCS	PECWFCS	PECWFCS	PECWFCS	PECWFCS	PECWFCS	PECWFCS	PECWFCS			R7	R6	R5	R4	R3	R2	R1	R0		PECRFCSR	PECRFCSR7	PECRFCSR6	PECRFCSR5	PECRFCSR4	PECRFCSR3	PECRFCSR2	PECRFCSR1	PECRFCSR0		PEFIFO	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュ ール																																																																																																																																																																																																																					
PECR	PESRES	PECIE	ABTE	AWFCSE	STOPE	PEWFCEIE	PERFCEIE	PETEIE	PECI																																																																																																																																																																																																																					
PESTR	PEBUSY	WFCSER	RFCSER	PETEND	NEGA	NEGM	RDRF	PECIR																																																																																																																																																																																																																						
PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0																																																																																																																																																																																																																						
PRE	PRE15	PRE14	PRE13	PRE12	PRE11	PRE10	PRE9	PRE8																																																																																																																																																																																																																						
	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0																																																																																																																																																																																																																						
	PRE7	PRE6	PRE5	PRE4	PRE3	PRE2	PRE1	PRE0																																																																																																																																																																																																																						
PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0																																																																																																																																																																																																																						
GR	GR15	GR14	GR13	GR12	GR11	GR10	GR9	GR8																																																																																																																																																																																																																						
	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0																																																																																																																																																																																																																						
	GR7	GR6	GR5	GR4	GR3	GR2	GR1	GR0																																																																																																																																																																																																																						
PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0																																																																																																																																																																																																																						
GRA	GRA15	GRA14	GRA13	GRA12	GRA11	GRA10	GRA9	GRA8																																																																																																																																																																																																																						
	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0	PECNT0																																																																																																																																																																																																																						
	GRA7	GRA6	GRA5	GRA4	GRA3	GRA2	GRA1	GRA0																																																																																																																																																																																																																						
PEADD	PEADD7	PEADD6	PEADD5	PEADD4	PEADD3	PEADD2	PEADD1	PEADD0																																																																																																																																																																																																																						
PEWBNR	PEWBNR7	PEWBNR6	PEWBNR5	PEWBNR4	PEWBNR3	PEWBNR2	PEWBNR1	PEWBNR0																																																																																																																																																																																																																						
PERBNR	PERBNR7	PERBNR6	PERBNR5	PERBNR4	PERBNR3	PERBNR2	PERBNR1	PERBNR0																																																																																																																																																																																																																						
PECWFCSR	PECWFCS	PECWFCS	PECWFCS	PECWFCS	PECWFCS	PECWFCS	PECWFCS	PECWFCS																																																																																																																																																																																																																						
	R7	R6	R5	R4	R3	R2	R1	R0																																																																																																																																																																																																																						
PECRFCSR	PECRFCSR7	PECRFCSR6	PECRFCSR5	PECRFCSR4	PECRFCSR3	PECRFCSR2	PECRFCSR1	PECRFCSR0																																																																																																																																																																																																																						
PEFIFO	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0																																																																																																																																																																																																																						
30.3 各動作モードにおけるレジスタの状態	30-38	<p>追加</p> <table border="1"> <thead> <tr> <th>レジスタ略称</th> <th>リセット</th> <th>高速/ 中速</th> <th>ウォッチ</th> <th>スリープ</th> <th>モジュール ストップ</th> <th>ソフトウェア スタンバイ</th> <th>モジュ ール</th> </tr> </thead> <tbody> <tr> <td>PECR</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>PECI</td> </tr> <tr> <td>PESTR</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PECNT0_PRE</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PECNT0_GR</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PECNT0_GRA</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PEADD</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PEWBNR</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PERBNR</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PECWFCSR</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PECRFCSR</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> <tr> <td>PEFIFO</td> <td>初期化</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td></td> </tr> </tbody> </table>	レジスタ略称	リセット	高速/ 中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュ ール	PECR	初期化	—	—	—	—	—	PECI	PESTR	初期化	—	—	—	—	—		PECNT0_PRE	初期化	—	—	—	—	—		PECNT0_GR	初期化	—	—	—	—	—		PECNT0_GRA	初期化	—	—	—	—	—		PEADD	初期化	—	—	—	—	—		PEWBNR	初期化	—	—	—	—	—		PERBNR	初期化	—	—	—	—	—		PECWFCSR	初期化	—	—	—	—	—		PECRFCSR	初期化	—	—	—	—	—		PEFIFO	初期化	—	—	—	—	—																																																																																																																													
レジスタ略称	リセット	高速/ 中速	ウォッチ	スリープ	モジュール ストップ	ソフトウェア スタンバイ	モジュ ール																																																																																																																																																																																																																							
PECR	初期化	—	—	—	—	—	PECI																																																																																																																																																																																																																							
PESTR	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PECNT0_PRE	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PECNT0_GR	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PECNT0_GRA	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PEADD	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PEWBNR	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PERBNR	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PECWFCSR	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PECRFCSR	初期化	—	—	—	—	—																																																																																																																																																																																																																								
PEFIFO	初期化	—	—	—	—	—																																																																																																																																																																																																																								

項目	ページ	修正箇所																																																																								
30.4 レジスタ選択条件	30-53	追加 <table border="1"> <thead> <tr> <th>下位アドレス</th> <th>レジスタ名称</th> <th>レジスタ選択条件</th> <th>モジュール名</th> </tr> </thead> <tbody> <tr> <td>H'FBA0</td> <td>PECR</td> <td>MSTPA7=0</td> <td>PECI</td> </tr> <tr> <td>H'FBA1</td> <td>PESTR</td> <td></td> <td></td> </tr> <tr> <td>H'FBA2</td> <td>PECNT0_PRE</td> <td></td> <td></td> </tr> <tr> <td>H'FBA4</td> <td>PECNT0_GR</td> <td></td> <td></td> </tr> <tr> <td>H'FBA6</td> <td>PECNT0_GRA</td> <td></td> <td></td> </tr> <tr> <td>H'FBA8</td> <td>PEADD</td> <td></td> <td></td> </tr> <tr> <td>H'FBA9</td> <td>PEWBNR</td> <td></td> <td></td> </tr> <tr> <td>H'FBAA</td> <td>PERBNR</td> <td></td> <td></td> </tr> <tr> <td>H'FBAD</td> <td>PECWFCSR</td> <td></td> <td></td> </tr> <tr> <td>H'FBAE</td> <td>PECRFCSR</td> <td></td> <td></td> </tr> <tr> <td>H'FBAF</td> <td>PEFIFO</td> <td></td> <td></td> </tr> </tbody> </table>	下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名	H'FBA0	PECR	MSTPA7=0	PECI	H'FBA1	PESTR			H'FBA2	PECNT0_PRE			H'FBA4	PECNT0_GR			H'FBA6	PECNT0_GRA			H'FBA8	PEADD			H'FBA9	PEWBNR			H'FBAA	PERBNR			H'FBAD	PECWFCSR			H'FBAE	PECRFCSR			H'FBAF	PEFIFO																										
下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名																																																																							
H'FBA0	PECR	MSTPA7=0	PECI																																																																							
H'FBA1	PESTR																																																																									
H'FBA2	PECNT0_PRE																																																																									
H'FBA4	PECNT0_GR																																																																									
H'FBA6	PECNT0_GRA																																																																									
H'FBA8	PEADD																																																																									
H'FBA9	PEWBNR																																																																									
H'FBAA	PERBNR																																																																									
H'FBAD	PECWFCSR																																																																									
H'FBAE	PECRFCSR																																																																									
H'FBAF	PEFIFO																																																																									
30.5 レジスタアドレス一覧 (モジュール別)	30-77	追加 <table border="1"> <thead> <tr> <th>モジュール</th> <th>レジスタ略称</th> <th>ビット数</th> <th>アドレス</th> <th>データバス幅</th> <th>アクセス ステート数</th> </tr> </thead> <tbody> <tr> <td>PECI</td> <td>PECR</td> <td>8</td> <td>H'FBA0</td> <td>8</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PESTR</td> <td>8</td> <td>H'FBA1</td> <td>8</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PECNT0_PRE</td> <td>16</td> <td>H'FBA2</td> <td>16</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PECNT0_GR</td> <td>16</td> <td>H'FBA4</td> <td>16</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PECNT0_GRA</td> <td>16</td> <td>H'FBA6</td> <td>16</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PEADD</td> <td>8</td> <td>H'FBA8</td> <td>8</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PEWBNR</td> <td>8</td> <td>H'FBA9</td> <td>8</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PERBNR</td> <td>8</td> <td>H'FBAA</td> <td>8</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PECWFCSR</td> <td>8</td> <td>H'FBAD</td> <td>8</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PECRFCSR</td> <td>8</td> <td>H'FBAE</td> <td>8</td> <td>2</td> </tr> <tr> <td>PECI</td> <td>PEFIFO</td> <td>8</td> <td>H'FBAF</td> <td>8</td> <td>2</td> </tr> </tbody> </table>	モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数	PECI	PECR	8	H'FBA0	8	2	PECI	PESTR	8	H'FBA1	8	2	PECI	PECNT0_PRE	16	H'FBA2	16	2	PECI	PECNT0_GR	16	H'FBA4	16	2	PECI	PECNT0_GRA	16	H'FBA6	16	2	PECI	PEADD	8	H'FBA8	8	2	PECI	PEWBNR	8	H'FBA9	8	2	PECI	PERBNR	8	H'FBAA	8	2	PECI	PECWFCSR	8	H'FBAD	8	2	PECI	PECRFCSR	8	H'FBAE	8	2	PECI	PEFIFO	8	H'FBAF	8	2
モジュール	レジスタ略称	ビット数	アドレス	データバス幅	アクセス ステート数																																																																					
PECI	PECR	8	H'FBA0	8	2																																																																					
PECI	PESTR	8	H'FBA1	8	2																																																																					
PECI	PECNT0_PRE	16	H'FBA2	16	2																																																																					
PECI	PECNT0_GR	16	H'FBA4	16	2																																																																					
PECI	PECNT0_GRA	16	H'FBA6	16	2																																																																					
PECI	PEADD	8	H'FBA8	8	2																																																																					
PECI	PEWBNR	8	H'FBA9	8	2																																																																					
PECI	PERBNR	8	H'FBAA	8	2																																																																					
PECI	PECWFCSR	8	H'FBAD	8	2																																																																					
PECI	PECRFCSR	8	H'FBAE	8	2																																																																					
PECI	PEFIFO	8	H'FBAF	8	2																																																																					
表 31.1 絶対最大定格	31-1	追加 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>定格値</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>電源電圧*</td> <td>V_{CC}</td> <td>-0.3~+4.3</td> <td rowspan="3">V</td> </tr> <tr> <td>PECI 用電源電圧 (PEVref)</td> <td>V_{tt}</td> <td>-0.3~+ 1.8</td> </tr> <tr> <td>PECI 入力電圧 (PECI)</td> <td>V_{in}</td> <td>-0.3~$V_{tt} + 0.3$</td> </tr> <tr> <td>動作温度</td> <td>T_{opr}</td> <td>-20~+75</td> <td rowspan="3">°C</td> </tr> <tr> <td>動作温度 (FLASH メモリ書き込み/消去時)</td> <td>T_{opr}</td> <td>0~+75</td> </tr> <tr> <td>保存温度</td> <td>T_{stg}</td> <td>-55~+125</td> </tr> </tbody> </table>	項目	記号	定格値	単位	電源電圧*	V_{CC}	-0.3~+4.3	V	PECI 用電源電圧 (PEVref)	V_{tt}	-0.3~+ 1.8	PECI 入力電圧 (PECI)	V_{in}	-0.3~ $V_{tt} + 0.3$	動作温度	T_{opr}	-20~+75	°C	動作温度 (FLASH メモリ書き込み/消去時)	T_{opr}	0~+75	保存温度	T_{stg}	-55~+125																																																
項目	記号	定格値	単位																																																																							
電源電圧*	V_{CC}	-0.3~+4.3	V																																																																							
PECI 用電源電圧 (PEVref)	V_{tt}	-0.3~+ 1.8																																																																								
PECI 入力電圧 (PECI)	V_{in}	-0.3~ $V_{tt} + 0.3$																																																																								
動作温度	T_{opr}	-20~+75	°C																																																																							
動作温度 (FLASH メモリ書き込み/消去時)	T_{opr}	0~+75																																																																								
保存温度	T_{stg}	-55~+125																																																																								
表 31.2 DC 特性 (5) PECI 機能使用時	31-4	追加																																																																								

索引

【数字／記号】	
16 ビットカウントモード.....	12-20
16 ビットサイクルメジャーメントタイマ (TCM)	13-1
16 ビットタイマパルスユニット.....	11-1
8 ビット PWM タイマ (PWMU)	10-1
8 ビットタイマ (TMR)	12-1
【A】	
A/D 変換器.....	24-1
A/D 変換器の起動.....	11-46
A/D 変換精度.....	24-14
【B】	
Bcc	2-21
【C】	
CMIA	12-23
CMIA Y	12-23
CMIB	12-23
CMIB Y	12-23
【E】	
EA 拡張部.....	2-23
EEPMOV 命令.....	2-32
ERI1	15-55
【F】	
FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	16-1
FOVI.....	13-17
FSI インタフェース.....	21-1
【I】	
I/O ポート.....	9-1
I ² C バスデータフォーマット	17-28
ICIA	13-17
ICIX	12-23
IICI.....	17-50
【L】	
LPC インタフェースのクロック起動要求	20-62
LVDI	5-13
【M】	
MCU 動作モード	3-1
【O】	
OCIA.....	13-17
OCIB.....	13-17
OVI	12-23
OVI Y	12-23
【P】	
PWM モード	11-36
【R】	
RAM	26-1
RXI1	15-55
【S】	
SMBus バスデータフォーマット.....	18-3
SSU モード	22-19
【T】	
TCI0V	11-45
TCI1U	11-45
TCI1V	11-45
TCI2U	11-45
TCI2V	11-45
TEI1	15-55
TGI0A	11-45
TGI0B	11-45
TGI0C	11-45
TGI0D	11-45
TGI1A	11-45
TGI1B	11-45
TGI2A	11-45
TGI2B	11-45
TXI1	15-55

【W】	
WOVI.....	14-9
【あ】	
アドレスマップ.....	3-4
アドレス空間.....	2-5
アドレッシングモード.....	2-24
イミディエイト.....	2-26
インターバルタイマモード.....	14-9
インタフェース.....	15-1
インプットキャプチャ動作.....	12-22
ウォッチドッグタイマ (WDT).....	14-1
ウォッチドッグタイマモード.....	14-8
ウォッチモード.....	29-10
エクステンドレジスタ.....	2-8
オーバフロー.....	14-8
オーバランエラー.....	15-29
オフセット誤差.....	24-14
オペレーションフィールド.....	2-23
オンボードプログラミング.....	27-11
オンボードプログラミングモード.....	27-11
【か】	
外部クロック.....	28-3
各動作モードでの LSI の内部状態.....	29-7
各ポートのレジスタ構成.....	9-6
カスケード接続.....	12-20
キーボードバッファコントロールユニット (PS2).....	19-1
クロック同期式モード.....	15-37
クロック同期式通信モード.....	22-28
クロック発振器.....	28-1
コンディションコードレジスタ.....	2-8
コンディションフィールド.....	2-23
コンペアマッチカウントモード.....	12-21
コンペアマッチによる波形出力.....	11-28
【さ】	
算術演算命令.....	2-16
サンプル&ホールド回路.....	24-12
システム制御命令.....	2-22
実効アドレス.....	2-24, 2-27
シフト命令.....	2-18
周辺機能端子の移動.....	9-40
出力バッファ制御.....	9-12
シリアルコミュニケーションインタフェース (SCI).....	15-1
シリアルデータ受信.....	15-29
シリアルデータ送信.....	15-27
シリアルフォーマット.....	17-28
シングルモード.....	24-8
シンクロナスシリアルコミュニケーション ユニット (SSU).....	22-1
水晶発振子.....	28-2
スキャンモード.....	24-9
スタックポインタ.....	2-7
スピード測定モード.....	13-13
スマートカード.....	15-1
スマートカードインタフェース.....	15-45
スリープモード.....	29-9
絶対アドレス.....	2-25
絶対精度.....	24-14
ソフトウェアスタンバイモード.....	29-9
【た】	
端子機能.....	1-17
調歩同期式モード.....	15-22
通信プロトコル.....	27-32
低消費電力状態.....	29-1
ディスプレイスメント付きレジスタ間接.....	2-24
低電圧検出回路.....	5-1
低電圧検出割り込み回路.....	5-13
データディレクションレジスタ.....	9-7
データレジスタ.....	9-7
データ転送命令.....	2-15
転送クロック.....	22-15
動作モード別端子機能一覧.....	1-11
トグル出力.....	11-29
トレースビット.....	2-8
【な】	
内部ブロック図.....	1-7
入力データレジスタ.....	9-8
ノイズキャンセライネーブルレジスタ.....	9-9

ノイズキャンセラ判定制御レジスタ	9-9
ノイズキャンセル周期設定レジスタ	9-10
ノイズ除去回路	17-49

【は】

バスコントローラ (BSC)	8-1
バッファ動作	11-32
パリティエラー	15-29
パワーオンリセット回路	5-10
汎用レジスタ	2-7
非直線性誤差	24-14
ビットレート	15-16
ビット操作命令	2-19, 2-31
ピン配置図	1-8
ブートモード	27-9, 27-23
ブートモードの標準シリアル通信	
インタフェース仕様	27-30
付加パルス	10-18
フラッシュマツト構成	27-3
プリデクリメントレジスタ間接	2-25
プルアップ MOS コントロールレジスタ	9-8
フルスケール誤差	24-14
フレーミングエラー	15-29
プログラムカウンタ	2-8
プログラムカウンタ相対	2-26
ブロック転送命令	2-22
分解能	24-14
分岐命令	2-21
ポート Nch-OD コントロールレジスタ	9-11
ポストインクリメントレジスタ間接	2-25

【ま】

マルチプロセッサ通信機能	15-32
命令セット	2-13
メモリ間接	2-26
モード遷移図	29-6
モジュールストップモード	29-11

【や】

ユーザブートマツト	27-28
ユーザブートモード	27-25
ユーザプログラムモード	27-9

ユーザマツト	27-28
ユーザメモリマツト	27-1

【ら】

ライターモード	27-9, 27-30
リセット	6-4
リセット例外処理	6-4
量子化誤差	24-14
例外処理	6-1
例外処理ベクタテーブル	6-2
レジスタ	
ABRKCR	7-6
ADCR_0	24-7
ADCSR	24-5
ADDR	24-4
BAR	7-6
BCR	8-1
BRR	15-16
CMDHBAR	21-13
DDR	9-7
DR	9-7
FDLH	16-5
FDLL	16-5
FFCR	16-8
FIER	16-6
FIIR	16-6
FLCR	16-8
FLSR	16-11
FMCR	16-10
FMSR	16-14
FRBR	16-4
FRSR	16-4
FSCR	16-16
FSIAR	21-18
FSIBNR	21-8
FSICMDR	21-14
FSICR1	21-5
FSICR2	21-7
FSIGPR	21-17
FSIHBAR	21-12
FSIINS	21-9

FSILSTR1	21-14	NOCR.....	9-11
FSILSTR2	21-16	ODR	20-24
FSIPPINS.....	21-9, 21-10	PCR.....	9-8
FSIRDINS	21-9	PECX	18-2
FSIRD.....	21-12	PECY	18-2, 18-3
FSISR.....	21-13	PFCR	9-40
FSISTR	21-11	PIN	9-8
FSITDR0~FSITDR7.....	21-12	PTCNT0	28-1
FSIWDR.....	21-19	PWMCONA	10-5
FTHR.....	16-5	PWMCONB	10-5
FTSR.....	16-5	PWMCONC.....	10-7
HICR	20-7	PWMCOND.....	10-8
HISEL.....	20-49	PWMPRE.....	10-10
ICCR	17-12	PWMREG.....	10-12
ICDR	17-7	RDR	15-4
ICMR.....	17-11	RSR.....	15-4
ICR.....	7-5	SAR.....	17-8
ICRES	17-23	SARX	17-8
ICSR.....	17-19	SBYCR.....	29-2
ICXR.....	17-24	SCIFADR	20-48
IDR.....	20-23	SCIFCR.....	16-16
IER	7-9	SCMR.....	15-15
ISCR.....	7-7	SCR.....	15-8
ISR	7-10	SIRQCR	20-35
KBBR	19-9	SLCR.....	21-17
KBCR1	19-4	SMR	15-5
KBCR2	19-5	SSCR2	22-12
KBCRH.....	19-6	SSCRH.....	22-5
KBCRL.....	19-8	SSCRL	22-7
KBTR.....	19-9	SSER	22-9
KMIMR	7-12	SSMR.....	22-8
KMIMRA.....	7-12	SSR.....	15-11
LADR.....	20-18	SSRDR.....	22-14
LD0CR	5-8	SSSR	22-10
LD1CR	5-5	SSTD.....	22-13
LPWRCR.....	29-3	SSTRSR.....	22-14
MDCR	3-2	STCR	3-3
MSTPCR	29-4	STR.....	20-26
NCCS	9-10	SYSCR.....	3-2
NCE	9-9	TCMCNT	13-5
NCMC	9-9	TCMCR	13-8

TCMCSR.....	13-6	TSTR.....	11-23
TCMICR.....	13-6	TSYR.....	11-23
TCMICRF.....	13-6	TWR.....	20-25, 20-26
TCMIER.....	13-9	VDCPR.....	5-4
TCMMINCM.....	13-5	WER.....	7-14
TCMMLCM.....	13-5	WSCR.....	8-2
TCNT.....	11-22, 14-4	WUESCR.....	7-14
TCONRI.....	12-15	WUESR.....	7-14
TCR.....	11-7, 12-7, 12-8	レジスタフィールド.....	2-23
TCRXY.....	12-15	レジスタ間接.....	2-24
TCSR.....	12-11, 14-4	レジスタ直接.....	2-24
TDR.....	15-4	論理演算命令.....	2-18
TGR.....	11-22		
TICRF.....	12-15	【わ】	
TICRR.....	12-15	割り込みコントローラ.....	7-1
TIER.....	11-19	割り込みマスクビット.....	2-8
TIOR.....	11-10	割り込み要求マスクレベル.....	2-8
TMDR.....	11-9	割り込み例外処理.....	6-6
TSR.....	11-20	割り込み例外処理ベクタテーブル.....	7-19

H8S/2113グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2011年3月8日 Rev.1.00
2013年2月14日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

H8S/2113 グループ