

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事用の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8/3857グループ、H8/3857F-ZTAT™、 H8/3854グループ、H8/3854F-ZTAT™

ハードウェアマニュアル

ルネサス8ビットシングルチップマイクロコンピュータ

H8ファミリ／H8/300Lシリーズ

H8/3857	HD6433857、HCD6433857
H8/3856	HD6433856、HCD6433856
H8/3855	HD6433855、HCD6433855
H8/3857F-ZTAT™	HD64F3857、HCD6433857
H8/3854	HD6433854、HCD6433854
H8/3853	HD6433853、HCD6433853
H8/3852	HD6433852、HCD6433852
H8/3854F-ZTAT™	HD64F3854、HCD6433854

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事事務の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違えば、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/300L CPU は、H8/300CPU と互換性のある命令体系を備えています。

H8/3857 グループは、システム構成に必要な周辺機能として、最大 1,280 ドット表示の LCD コントローラ、4 種類のタイマ、14 ビット PWM、2 チャンネルのシリアルコミュニケーションインターフェース、8 チャンネル A/D 変換器を内蔵しています。

H8/3854 グループは、システム構成に必要な周辺機器として、最大 640 ドット表示の LCD コントローラ、3 種類のタイマ、1 チャンネルのシリアルコミュニケーションインターフェース、4 チャンネルの A/D 変換器を内蔵しています。いずれも LCD 表示を必要とするシステムの組込み用マイコンとして活用できます。

H8/3857、H8/3856、H8/3855、H8/3854、H8/3853、H8/3852 にはマスク ROM 版があります。さらに、H8/3857、H8/3854 には F-ZTATTM* 版があり、基板実装後のプログラム書き込みが可能です。

【注】* F-ZTAT : Flexible-Zero Turn Around Time は (株) ルネサス テクノロジーの商標です。

本マニュアルは、H8/3857 グループ、H8/3854 グループのハードウェアについて記載しています。命令の詳細については、「H8/300L シリーズ ソフトウェアマニュアル」をあわせてご覧ください。

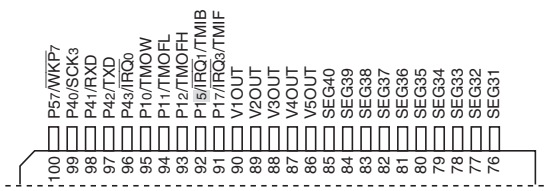
■機能一覧

グループ名		H8/3857 グループ				H8/3854 グループ			
製品名		F-ZTAT 版	マスク ROM 版			F-ZTAT 版	マスク ROM 版		
		H8/3857F	H8/3857	H8/3856	H8/3855	H8/3854F	H8/3854	H8/3853	H8/3852
ROM 容量 (K バイト)		60	60	48	40	60*	32*	24	16
RAM 容量 (K バイト)		2	2			2*	1*		
I/O ポート	入出力ポート	35 本				24 本			
	入力ポート	9 本				5 本			
割り込み	外部割り込み	13 要因				12 要因			
	内部割り込み	16 要因				14 要因			
タイマ A (時計用)									
タイマ B (8 ビット)									
タイマ C (8 ビット)						-			
タイマ F (16 ビット)									
ウォッチドックタイマ			-				-		
14 ビット PWM						-			
シリアルコミュニケーション インタフェース (SCI)		× 2				× 1			
A/D 変換器		8ch				4ch			
LCD コントローラ	最大表示 ドット数	1280 ドット				640 ドット			
	表示 RAM 容量	2048 ビット				640 ビット			
外形	ピン数	144				100			
	出荷形態	FP-144H (20 × 20mm) TFP-144 (16 × 16mm) ダイ (F-ZTAT 版 7.08 × 7.31mm / マスク ROM 版 6.21 × 6.21mm)				FP-100B (14 × 14mm) TFP-100G (12 × 12mm) ダイ (F-ZTAT 版 6.34 × 6.34mm / マスク ROM 版 4.69 × 4.69mm)			

【注】 * H8/3854F (F-ZTAT 版) と H8/3854 (マスク ROM 版) は ROM、RAM のサイズが異なりますのでご注意ください。

マスク ROM 化を前提に H8/3854F を使用し、プログラム開発をする場合、マスク ROM 版は、ROM32K バイト、RAM1K バイトが最大となりますので ROM、RAM サイズに注意して開発してください。

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）																													
全体	-	社名変更による修正 （修正前）日立製作所 → （修正後）ルネサス テクノロジ 呼称変更による修正 （修正前）H8/3857 シリーズ → （修正後）H8/3857 グループ （修正前）H8/3854 シリーズ → （修正後）H8/3854 グループ																													
はじめに ■機能一覧	-	表を修正 <table><tr><th colspan="2">グループ名</th><th colspan="4">H8/3854グループ</th></tr><tr><th colspan="2">製品名</th><th>F-ZTAT版</th><th colspan="3">マスクROM版</th></tr><tr><td colspan="2"></td><td>H8/3854F</td><td>H8/3854</td><td>H8/3853</td><td>H8/3852</td></tr><tr><td rowspan="2">外形</td><td>ピン数</td><td colspan="4">100</td></tr><tr><td>出荷形態</td><td colspan="4">FP-100B（14×14mm） TFP-100G（12×12mm） ダイ（F-ZTAT版6.34×6.34mm / マスクROM版4.69×4.69mm）</td></tr></table>	グループ名		H8/3854グループ				製品名		F-ZTAT版	マスクROM版					H8/3854F	H8/3854	H8/3853	H8/3852	外形	ピン数	100				出荷形態	FP-100B（14×14mm） TFP-100G（12×12mm） ダイ（F-ZTAT版6.34×6.34mm / マスクROM版4.69×4.69mm）			
グループ名		H8/3854グループ																													
製品名		F-ZTAT版	マスクROM版																												
		H8/3854F	H8/3854	H8/3853	H8/3852																										
外形	ピン数	100																													
	出荷形態	FP-100B（14×14mm） TFP-100G（12×12mm） ダイ（F-ZTAT版6.34×6.34mm / マスクROM版4.69×4.69mm）																													
1.1 概要 表 1.1 特長	1-2	表を修正 <table><tr><td>CPU</td><td>（2）高速演算 ●最高動作周波数：5MHz ●加減算：0.4μs（5MHz動作時） ●乗除算：2.8μs（5MHz動作時） ●32.768kHzサブクロックによる動作可能</td></tr></table>	CPU	（2）高速演算 ●最高動作周波数：5MHz ●加減算：0.4μs（5MHz動作時） ●乗除算：2.8μs（5MHz動作時） ●32.768kHzサブクロックによる動作可能																											
CPU	（2）高速演算 ●最高動作周波数：5MHz ●加減算：0.4μs（5MHz動作時） ●乗除算：2.8μs（5MHz動作時） ●32.768kHzサブクロックによる動作可能																														
1.3.1 ピン配置	1-7	記述を追加 H8/3857 グループのピン配置図を図 1.3、H8/3854 グループのピン配置図を図 1.4、HCD64F3857 のパッド配置図を図 1.5、パッド座標を表 1.2、HCD6433855、HCD6433856、HCD6433857 のパッド配置図を図 1.6、パッド座標を表 1.3、HCD64F3854 のパッド配置図を図 1.7、パッド座標を表 1.4、HCD6433854、HCD6433853、HCD6433852 のパッド配置図を図 1.8、パッド座標を表 1.5 に示します。																													
図 1.4 H8/3854 グループピン配置図（FP-100B、TFP-100G：上面図）	1-8	図を修正 																													
図 1.8 HCD6433854、HCD6433853、HCD6433852（マスクROM版）のパッド配置図（上面図）	1-15	新規追加																													
表 1.5 HCD6433852、HCD6433853、HCD6433854 のパッド座標	1-16	新規追加																													

修正項目	ページ	修正内容（詳細はマニュアル参照）																																								
2.8.1 メモリマップ 図 2.16（b） H8/3854 グループのメモリマップ	2-34	注を追加																																								
3.4.2 ポートモードレジスタを書き換える際の注意事項 図 3.7 ポートモードレジスタ操作と割り込み要求フラグのクリア手順	3-23	図を修正 割り込み要求フラグを 0にクリア CCRのIビット←0																																								
4.3 サブクロック発振器 表 4.2 DC 特性とタイミング	4-6	V_{CC} 条件を修正 特記なき場合、V_{CC} = 2.7 ~ 5.5V【H8/3852、H8/3853、H8/3854 のマスク ROM 版】、V_{CC} = 3.0 ~ 5.5V【H8/3854F、H8/3855、H8/3856、H8/3857、H8/3857F】、AV_{CC} = 3.0 ~ 5.5V、... 表を修正 <table><tr><th colspan="2">項 目</th><th>記号</th><th>備考</th></tr><tr><td colspan="2">入力Highレベル電圧</td><td>V_{IH}</td><td>図4.10</td></tr><tr><td colspan="2">入力Lowレベル電圧</td><td>V_{IL}</td><td></td></tr><tr><td colspan="2">外部サブクロック立ち上がり時間</td><td>t_{xr}</td><td>図4.10</td></tr><tr><td colspan="2">外部サブクロック立ち下がり時間</td><td>t_{xf}</td><td></td></tr><tr><td rowspan="3">f_x= 32.768kHz</td><td>外部サブクロック発振周波数</td><td>f_x</td><td></td></tr><tr><td>外部サブクロックHighレベル幅</td><td>t_{xH}</td><td>図4.10</td></tr><tr><td>外部サブクロックLowレベル幅</td><td>t_{xL}</td><td></td></tr><tr><td rowspan="3">f_x= 38.4kHz</td><td>外部サブクロック発振周波数</td><td>f_x</td><td></td></tr><tr><td>外部サブクロックHighレベル幅</td><td>t_{xH}</td><td>図4.10</td></tr><tr><td>外部サブクロックLowレベル幅</td><td>t_{xL}</td><td></td></tr></table>	項 目		記号	備考	入力Highレベル電圧		V _{IH}	図4.10	入力Lowレベル電圧		V _{IL}		外部サブクロック立ち上がり時間		t _{xr}	図4.10	外部サブクロック立ち下がり時間		t _{xf}		f _x = 32.768kHz	外部サブクロック発振周波数	f _x		外部サブクロックHighレベル幅	t _{xH}	図4.10	外部サブクロックLowレベル幅	t _{xL}		f _x = 38.4kHz	外部サブクロック発振周波数	f _x		外部サブクロックHighレベル幅	t _{xH}	図4.10	外部サブクロックLowレベル幅	t _{xL}	
項 目		記号	備考																																							
入力Highレベル電圧		V _{IH}	図4.10																																							
入力Lowレベル電圧		V _{IL}																																								
外部サブクロック立ち上がり時間		t _{xr}	図4.10																																							
外部サブクロック立ち下がり時間		t _{xf}																																								
f _x = 32.768kHz	外部サブクロック発振周波数	f _x																																								
	外部サブクロックHighレベル幅	t _{xH}	図4.10																																							
	外部サブクロックLowレベル幅	t _{xL}																																								
f _x = 38.4kHz	外部サブクロック発振周波数	f _x																																								
	外部サブクロックHighレベル幅	t _{xH}	図4.10																																							
	外部サブクロックLowレベル幅	t _{xL}																																								
14.1.2 ブロック図 図 14.1 LCD ブロック図	14-2	図を修正 40×16ビット 表示メモリ Xデコーダ 表示データレジスタ Yデコーダ																																								

修正項目	ページ	修正内容（詳細はマニュアル参照）
15.2.1 電源電圧と動作範囲 (3) アナログ電源電圧と A/D 変換器の動作範囲	15-3	図を修正 ・アクティブ（高速）モード ・スリープモード（CPUを除く）
16.2.1 電源電圧と動作範囲 (1) 電源電圧と発振周波数の範囲	16-2	図を修正 ・アクティブ（高速）モード ・スリープモード ・すべての動作モード 注を追加 【注】* H8/3854F の V_{cc} の最小値は 3.0V となります。
(2) 電源電圧と動作周波数の範囲	16-2	図を修正 ・アクティブ（高速）モード ・スリープモード（CPUを除く） ・サブアクティブモード ・サブスリープモード（CPUを除く） ・ウォッチモード（CPUを除く） ・アクティブ（中速）モード 注を追加 【注】*1 外部クロック時のみ *2 H8/3854F の V_{cc} の最小値は 3.0V となります。

修正項目	ページ	修正内容（詳細はマニュアル参照）																							
16.2.1 電源電圧と動作範囲 (3) 電源電圧とA/D変換器の動作範囲	16-3	図を修正 ・アクティブ（高速）モード ・スリープモード ・アクティブ（中速）モード 注を追加 【注】* H8/3854FのV_{CC}の最小値は3.0Vとなります。																							
16.2.2 DC特性 表 16.2 H8/3852、H8/3853、H8/3854のDC特性（1）	16-3	V _{CC} 条件を修正 特記なき場合、V _{CC} = 2.7 ~ 5.5V【H8/3852、H8/3853、H8/3854のマスクROM版】、V _{CC} = 3.0 ~ 5.5V【H8/3854F】、V _{SS} = 0.0V、...																							
表 16.3 H8/3852、H8/3853、H8/3854のDC特性（2）	16-6	V _{CC} 条件を修正 特記なき場合、V _{CC} = 2.7 ~ 5.5V【H8/3852、H8/3853、H8/3854のマスクROM版】、V _{CC} = 3.0 ~ 5.5V【H8/3854F】、V _{SS} = 0.0V、...																							
16.2.3 AC特性 表 16.4 H8/3852、H8/3853、H8/3854の制御信号タイミング	16-6	V _{CC} 条件を修正 特記なき場合、V _{CC} = 2.7 ~ 5.5V【H8/3852、H8/3853、H8/3854のマスクROM版】、V _{CC} = 3.0 ~ 5.5V【H8/3854F】、V _{SS} = 0.0V、...																							
表 16.5 H8/3852、H8/3853、H8/3854のシリアルインタフェース（SCI3）タイミング	16-8	V _{CC} 条件を修正 特記なき場合、V _{CC} = 2.7 ~ 5.5V【H8/3852、H8/3853、H8/3854のマスクROM版】、V _{CC} = 3.0 ~ 5.5V【H8/3854F】、V _{SS} = 0.0V、...																							
16.2.4 A/D変換器特性 表 16.6 H8/3852、H8/3853、H8/3854のA/D変換器特性	16-8	V _{CC} 条件を修正 特記なき場合、V _{CC} = 2.7 ~ 5.5V【H8/3852、H8/3853、H8/3854のマスクROM版】、V _{CC} = 3.0 ~ 5.5V【H8/3854F】、V _{SS} = 0.0V、...																							
16.2.5 LCD特性 表 16.7 H8/3852、H8/3853、H8/3854のLCD特性	16-9	V_{CC}条件を修正 特記なき場合、V_{CC} = 2.7 ~ 5.5V【H8/3852、H8/3853、H8/3854のマスクROM版】、V_{CC} = 3.0 ~ 5.5V【H8/3854F】、V_{SS} = 0.0V、... 表を修正 <table><tr><th rowspan="2">項目</th><th rowspan="2">記号</th><th colspan="3">規格値</th></tr><tr><th>min.</th><th>typ.</th><th>max.</th></tr><tr><td>コモンドライバON抵抗</td><td>R_{COM}</td><td>-</td><td>6</td><td>20</td></tr><tr><td>セグメントドライバON抵抗</td><td>R_{SEG}</td><td>-</td><td>6</td><td>20</td></tr><tr><td>LCD電源ブリーダ抵抗</td><td>R_{LCD}</td><td>200</td><td>400</td><td>700</td></tr></table>	項目	記号	規格値			min.	typ.	max.	コモンドライバON抵抗	R _{COM}	-	6	20	セグメントドライバON抵抗	R _{SEG}	-	6	20	LCD電源ブリーダ抵抗	R _{LCD}	200	400	700
項目	記号	規格値																							
		min.	typ.	max.																					
コモンドライバON抵抗	R _{COM}	-	6	20																					
セグメントドライバON抵抗	R _{SEG}	-	6	20																					
LCD電源ブリーダ抵抗	R _{LCD}	200	400	700																					
16.3 動作タイミング 図 16.6 SCI3クロック同期式モード入出力タイミング	16-11	図を差し替え																							
B.2 機能一覧 PMR1 ポートモードレジスタ1	付録-50	図を修正 P14/PWM端子機能切り替え <table><tr><td>0</td><td>P14入出力端子として機能</td></tr><tr><td>1</td><td>PWM出力端子として機能</td></tr></table>	0	P14入出力端子として機能	1	PWM出力端子として機能																			
0	P14入出力端子として機能																								
1	PWM出力端子として機能																								

修正項目	ページ	修正内容（詳細はマニュアル参照）
B.2 機能一覧 PDR4 ポートデータレジスタ 4	付録-55	図を修正 ビット： 3 P4₃ 初期値： 不定 R/W : R
PCRA ポートコントロールレ ジスタ A	付録-59	図を修正 ビット： 7 6 5 4 — — — — 初期値： 1 1 1 1 R/W : — — — —
D. 各処理状態におけるポー トの状態 表 D.1 各ポートの状態一覧	付録-88	注を修正 *1 P1 ₆ 、P1 ₄ 、P1 ₃ 、P3 ₇ ~P3 ₆ 、PB ₃ ~PB ₀ は H8/3857 グループ固有 の機能です。H8/3854 グループにはありません。

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-7
1.3.1	ピン配置	1-7
1.3.2	端子機能	1-17

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	アドレス空間	2-2
2.1.3	レジスタ構成	2-2
2.2	各レジスタの説明	2-3
2.2.1	汎用レジスタ	2-3
2.2.2	コントロールレジスタ	2-3
2.2.3	CPU 内部レジスタの初期値	2-5
2.3	データ構成	2-5
2.3.1	汎用レジスタのデータ構成	2-6
2.3.2	メモリ上でのデータ構成	2-7
2.4	アドレッシングモード	2-8
2.4.1	アドレッシングモード	2-8
2.4.2	実効アドレスの計算方法	2-10
2.5	命令セット	2-14
2.5.1	データ転送命令	2-16
2.5.2	算術演算命令	2-18
2.5.3	論理演算命令	2-19
2.5.4	シフト命令	2-19
2.5.5	ビット操作命令	2-21
2.5.6	分岐命令	2-24
2.5.7	システム制御命令	2-26
2.5.8	ブロック転送命令	2-27
2.6	基本動作タイミング	2-28
2.6.1	内蔵メモリ（RAM、ROM）	2-28
2.6.2	内蔵周辺モジュール	2-29
2.7	CPU の状態	2-31
2.7.1	概要	2-31
2.7.2	プログラム実行状態	2-32
2.7.3	プログラム停止状態	2-32

2.7.4	例外処理状態	2-32
2.8	メモリマップ	2-33
2.8.1	メモリマップ	2-33
2.9	使用上の注意事項	2-35
2.9.1	データアクセスに関する注意事項	2-35
2.9.2	ビット操作命令使用上の注意事項	2-37
2.9.3	EEPMOV 命令使用上の注意事項	2-43
第 3 章 例外処理		
3.1	概要	3-1
3.2	リセット	3-1
3.2.1	概要	3-1
3.2.2	リセットシーケンス	3-1
3.2.3	リセット直後の割り込み	3-3
3.3	割り込み	3-3
3.3.1	概要	3-3
3.3.2	各レジスタの説明	3-5
3.3.3	外部割り込み	3-14
3.3.4	内部割り込み	3-14
3.3.5	割り込み動作	3-15
3.3.6	割り込み応答時間	3-20
3.4	使用上の注意事項	3-20
3.4.1	スタック領域に関する使用上の注意事項	3-20
3.4.2	ポートモードレジスタを書き換える際の注意事項	3-21
第 4 章 クロック発振器		
4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	システムクロックとサブクロック	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-4
4.4	プリスケアラ	4-6
4.5	発振子に関する注意事項	4-7
第 5 章 低消費電力モード		
5.1	概要	5-1
5.1.1	システムコントロールレジスタ	5-4
5.2	スリープモード	5-7
5.2.1	スリープモードへの遷移	5-7
5.2.2	スリープモードの解除	5-7
5.3	スタンバイモード	5-7
5.3.1	スタンバイモードへの遷移	5-7
5.3.2	スタンバイモードの解除	5-8
5.3.3	スタンバイモード解除後の発振安定時間の設定	5-8
5.3.4	スタンバイモードへの遷移と端子状態	5-9

5.3.5	スタンバイモード前後で外部入力信号が変化する場合の注意事項.....	5-9
5.4	ウォッチモード	5-10
5.4.1	ウォッチモードへの遷移.....	5-10
5.4.2	ウォッチモードの解除.....	5-11
5.4.3	ウォッチモード解除後の発振安定時間の設定	5-11
5.4.4	ウォッチモード前後で外部入力信号が変化する場合の注意事項.....	5-11
5.5	サブスリープモード	5-11
5.5.1	サブスリープモードへの遷移.....	5-11
5.5.2	サブスリープモードの解除.....	5-12
5.6	サブアクティブモード	5-12
5.6.1	サブアクティブモードへの遷移	5-12
5.6.2	サブアクティブモードの解除.....	5-12
5.6.3	サブアクティブモードの動作周波数について	5-12
5.7	アクティブ（中速）モード	5-13
5.7.1	アクティブ（中速）モードへの遷移	5-13
5.7.2	アクティブ（中速）モードの解除	5-13
5.7.3	アクティブ（中速）モードの動作周波数について	5-13
5.8	直接遷移.....	5-14
5.8.1	直接遷移の概要.....	5-14
5.8.2	直接遷移の時間.....	5-15
5.8.3	直接遷移前後で外部入力信号が変化する場合の注意事項.....	5-16
第 6 章 ROM		
6.1	概要.....	6-1
6.1.1	ブロック図.....	6-1
6.2	フラッシュメモリの概要	6-2
6.2.1	特長	6-2
6.2.2	ブロック図.....	6-3
6.2.3	フラッシュメモリの動作モード	6-4
6.2.4	端子構成	6-7
6.2.5	レジスタ構成	6-8
6.3	フラッシュメモリのレジスタの説明	6-9
6.3.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	6-9
6.3.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	6-11
6.3.3	消去ブロック指定レジスタ (EBR)	6-12
6.3.4	モードコントロールレジスタ (MDCR)	6-13
6.3.5	システムコントロールレジスタ 3 (SYSCR3)	6-13
6.4	オンボードプログラミングモード	6-14
6.4.1	ブートモード.....	6-15
6.4.2	ユーザプログラムモード.....	6-20
6.5	フラッシュメモリの書き込み / 消去	6-21
6.5.1	プログラムモード.....	6-21
6.5.2	プログラムベリファイモード.....	6-22
6.5.3	イレースモード.....	6-24
6.5.4	イレースベリファイモード.....	6-24

6.6	フラッシュメモリのプロテクト	6-26
6.6.1	ハードウェアプロテクト	6-26
6.6.2	ソフトウェアプロテクト	6-27
6.6.3	エラープロテクト	6-27
6.7	フラッシュメモリの書き込み / 消去時の割り込み処理	6-29
6.8	フラッシュメモリのライターモード	6-29
6.8.1	ライターモードの設定	6-29
6.8.2	ソケットアダプタの端子対応とメモリマップ	6-29
6.8.3	ライターモードの動作	6-33
6.8.4	メモリ読み出しモード	6-34
6.8.5	自動書き込みモード	6-37
6.8.6	自動消去モード	6-39
6.8.7	ステータス読み出しモード	6-40
6.8.8	ステータスポーリング	6-41
6.8.9	ライターモードへの遷移時間	6-42
6.8.10	メモリ書き込み注意事項	6-42
6.9	フラッシュメモリの書き込み / 消去時の注意	6-43
6.10	F-ZTAT マイコンのマスク ROM 化時の注意事項	6-44
第 7 章 RAM		
7.1	概要	7-1
7.1.1	ブロック図	7-1
第 8 章 I/O ポート		
8.1	概要	8-1
8.2	ポート 1	8-3
8.2.1	概要	8-3
8.2.2	レジスタの構成と説明	8-4
8.2.3	端子機能	8-8
8.2.4	端子状態	8-11
8.2.5	入力プルアップ MOS	8-11
8.3	ポート 2	8-12
8.3.1	概要	8-12
8.3.2	レジスタの構成と説明	8-13
8.3.3	端子機能	8-16
8.3.4	端子状態	8-17
8.4	ポート 3【H8/3857 グループのみ】	8-18
8.4.1	概要	8-18
8.4.2	レジスタの構成と説明	8-18
8.4.3	端子機能	8-21
8.4.4	端子状態	8-22
8.4.5	入力プルアップ MOS	8-22
8.5	ポート 4	8-22
8.5.1	概要	8-22
8.5.2	レジスタの構成と説明	8-23
8.5.3	端子機能	8-24

8.5.4	端子状態	8-25
8.6	ポート 5	8-25
8.6.1	概要	8-25
8.6.2	レジスタの構成と説明	8-25
8.6.3	端子機能	8-27
8.6.4	端子状態	8-27
8.6.5	入力プルアップ MOS	8-27
8.7	ポート 9【LSI 内部 I/O ポート】	8-28
8.7.1	概要	8-28
8.7.2	レジスタの構成と説明	8-28
8.7.3	端子機能	8-29
8.7.4	端子状態	8-29
8.8	ポート A【LSI 内部 I/O ポート】	8-30
8.8.1	概要	8-30
8.8.2	レジスタの構成と説明	8-30
8.8.3	端子機能	8-31
8.8.4	端子状態	8-31
8.9	ポート B	8-32
8.9.1	概要	8-32
8.9.2	レジスタの構成と説明	8-33

第 9 章 タイマ

9.1	概要	9-1
9.2	タイマ A	9-2
9.2.1	概要	9-2
9.2.2	各レジスタの説明	9-4
9.2.3	動作説明	9-6
9.2.4	タイマ A の動作モード	9-6
9.3	タイマ B	9-7
9.3.1	概要	9-7
9.3.2	各レジスタの説明	9-8
9.3.3	動作説明	9-10
9.3.4	タイマ B の動作モード	9-11
9.4	タイマ C【H8/3857 グループのみ】	9-11
9.4.1	概要	9-11
9.4.2	各レジスタの説明	9-13
9.4.3	動作説明	9-15
9.4.4	タイマ C の動作モード	9-16
9.5	タイマ F	9-17
9.5.1	概要	9-17
9.5.2	各レジスタの説明	9-19
9.5.3	CPU とのインタフェース	9-26
9.5.4	動作説明	9-28
9.5.5	使用上の注意事項	9-30

9.6	ウォッチドッグタイマ【H8/3857F、H8/3854Fのみ】	9-31
9.6.1	概要	9-31
9.6.2	各レジスタの説明	9-33
9.6.3	動作説明	9-36
9.6.4	ウォッチドッグタイマの動作モード	9-37
第 10 章 シリアルコミュニケーションインタフェース		
10.1	概要	10-1
10.2	SCI1【H8/3857 グループのみ】	10-1
10.2.1	概要	10-1
10.2.2	各レジスタの説明	10-3
10.2.3	動作説明	10-7
10.2.4	割り込み要因	10-9
10.2.5	使用上の注意事項	10-9
10.3	SCI3	10-10
10.3.1	概要	10-10
10.3.2	各レジスタの説明	10-12
10.3.3	動作概要	10-27
10.3.4	調歩同期式モード時の動作説明	10-30
10.3.5	クロック同期式モード時の動作説明	10-38
10.3.6	マルチプロセッサ通信機能	10-45
10.3.7	割り込み要因	10-50
10.3.8	使用上の注意事項	10-50
第 11 章 14 ビット PWM【H8/3857 グループのみ】		
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-1
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-2
11.2	各レジスタの説明	11-2
11.2.1	PWM コントロールレジスタ (PWCR)	11-2
11.2.2	PWM データレジスタ U、L (PWDRU、PWDRL)	11-3
11.3	動作説明	11-4
第 12 章 A/D 変換器		
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A/D リザルトレジスタ (ADRR)	12-4
12.2.2	A/D モードレジスタ (AMR)	12-4
12.2.3	A/D スタートレジスタ (ADSR)	12-5

12.3	動作説明.....	12-6
12.3.1	A/D 変換動作.....	12-6
12.3.2	外部トリガによる A/D 変換器の起動.....	12-6
12.4	割り込み要因.....	12-7
12.5	使用例.....	12-7
12.6	使用上の注意.....	12-10

第 13 章 ドットマトリクス LCD コントローラ（H8/3857 グループ）

13.1	概要.....	13-1
13.1.1	特長.....	13-1
13.1.2	ブロック図.....	13-1
13.1.3	端子構成.....	13-3
13.1.4	レジスタ構成.....	13-3
13.2	各レジスタの説明.....	13-4
13.2.1	インデックスレジスタ（IR）.....	13-4
13.2.2	コントロールレジスタ 1（LR0）.....	13-4
13.2.3	コントロールレジスタ 2（LR1）.....	13-6
13.2.4	アドレスレジスタ（LR2）.....	13-8
13.2.5	フレーム周波数設定レジスタ（LR3）.....	13-8
13.2.6	表示データレジスタ（LR4）.....	13-10
13.2.7	表示開始ラインレジスタ（LR5）.....	13-10
13.2.8	プリンクレジスタ（LR6）.....	13-11
13.2.9	プリンク開始ラインレジスタ（LR8）.....	13-11
13.2.10	プリンク終了ラインレジスタ（LR9）.....	13-12
13.2.11	コントラストコントロールレジスタ（LRA）.....	13-12
13.3	動作説明.....	13-13
13.3.1	システム概要.....	13-13
13.3.2	CPU とのインタフェース.....	13-14
13.3.3	液晶駆動端子機能.....	13-16
13.3.4	表示メモリ構成と表示.....	13-18
13.3.5	表示データ出力.....	13-19
13.3.6	レジスタおよび表示メモリへのアクセス.....	13-22
13.3.7	スクロール機能.....	13-25
13.3.8	プリンク機能.....	13-26
13.3.9	モジュールスタンバイモード.....	13-27
13.3.10	電源投入、切断手順.....	13-28
13.3.11	電源回路.....	13-28
13.3.12	液晶駆動電源電圧.....	13-30
13.3.13	液晶電圧発生回路.....	13-31
13.3.14	輝度調整回路.....	13-36
13.3.15	液晶駆動バイアス選択回路.....	13-37

第 14 章 ドットマトリクス LCD コントローラ（H8/3854 グループ）

14.1	概要.....	14-1
14.1.1	特長.....	14-1
14.1.2	ブロック図.....	14-2

14.1.3	端子構成	14-3
14.1.4	レジスタ構成	14-3
14.2	各レジスタの説明	14-3
14.2.1	インデックスレジスタ (IR)	14-3
14.2.2	コントロールレジスタ 1 (LR0)	14-4
14.2.3	コントロールレジスタ 2 (LR1)	14-5
14.2.4	アドレスレジスタ (LR2)	14-6
14.2.5	フレーム周波数設定レジスタ (LR3)	14-7
14.2.6	表示データレジスタ (LR4)	14-8
14.3	動作説明	14-8
14.3.1	システム概要	14-8
14.3.2	CPU とのインタフェース	14-9
14.3.3	液晶駆動端子機能	14-11
14.3.4	表示メモリ構成と表示	14-12
14.3.5	表示データ出力	14-13
14.3.6	レジスタおよび表示メモリへのアクセス	14-13
14.3.7	モジュールスタンバイモード	14-16
14.3.8	電源投入、切断手順	14-17
14.3.9	電源回路	14-18
14.3.10	液晶駆動電源電圧	14-18
14.3.11	液晶電圧発生回路	14-20
14.3.12	液晶駆動バイアス選択回路	14-22

第 15 章 電気的特性 (H8/3857 グループ)

15.1	H8/3855、H8/3856、H8/3857 (標準仕様) 絶対最大定格	15-1
15.2	H8/3855、H8/3856、H8/3857 (標準仕様) の電気的特性	15-2
15.2.1	電源電圧と動作範囲	15-2
15.2.2	DC 特性	15-3
15.2.3	AC 特性	15-7
15.2.4	A/D 変換器特性	15-9
15.2.5	LCD 特性	15-10
15.2.6	フラッシュメモリ特性	15-11
15.3	動作タイミング	15-12
15.4	出力負荷回路	15-15
15.5	使用上の注意	15-15

第 16 章 電気的特性 (H8/3854 グループ)

16.1	H8/3852、H8/3853、H8/3854 (標準仕様) 絶対最大定格	16-1
16.2	H8/3852、H8/3853、H8/3854 (標準仕様) の電気的特性	16-2
16.2.1	電源電圧と動作範囲	16-2
16.2.2	DC 特性	16-3
16.2.3	AC 特性	16-6
16.2.4	A/D 変換器特性	16-8
16.2.5	LCD 特性	16-9
16.2.6	フラッシュメモリ特性	16-9

16.3	動作タイミング	16-10
16.4	出力負荷回路	16-11
16.5	使用上の注意	16-12
付録		
A.	命令	付録-1
A.1	命令一覧	付録-1
A.2	オペレーションコードマップ	付録-11
A.3	命令実行ステート数	付録-13
B.	内部 I/O レジスター一覧	付録-18
B.1	アドレス一覧	付録-18
B.1.1	H8/3857 グループ アドレス一覧	付録-18
B.1.2	H8/3854 グループ アドレス一覧	付録-22
B.2	機能一覧	付録-26
C.	I/O ポートブロック図	付録-68
C.1	ポート 1 ブロック図	付録-68
C.2	ポート 2 ブロック図	付録-73
C.3	ポート 3 ブロック図 (H8/3857 グループのみ)	付録-76
C.4	ポート 4 ブロック図	付録-80
C.5	ポート 5 ブロック図	付録-84
C.6	ポート 9 ブロック図	付録-85
C.7	ポート A ブロック図	付録-86
C.8	ポート B ブロック図	付録-87
D.	各処理状態におけるポートの状態	付録-88
E.	ROM 発注手順	付録-89
E.1	ROM 書き換え品開発の流れ (発注手順)	付録-89
E.2	ROM 発注時の注意事項	付録-90
F.	製品型名一覧	付録-91
G.	外形寸法図	付録-92

1. 概要

1.1 概要

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU：Microcomputer Unit）です。

H8/3857 グループ、H8/3854 グループは、LCD（Liquid Crystal Display）コントローラを内蔵した H8/300L シリーズのシングルチップマイクロコンピュータで、周辺機能として、LCD コントローラ、タイマ、シリアルコミュニケーションインタフェース、A/D 変換器などを内蔵しており、LCD 表示を必要とするシステムの組み込み用マイコンに最適な構成となっています。

H8/3857 グループには、40K バイトの ROM、2K バイトの RAM を内蔵した H8/3855、48K バイトの ROM、2K バイトの RAM を内蔵した H8/3856、および 60K バイトの ROM、2K バイトの RAM を内蔵した H8/3857 があり、H8/3854 グループのマスク ROM 版には、16K バイトの ROM、1K バイトの RAM を内蔵した H8/3852、24K バイトの ROM、1K バイトの RAM を内蔵した H8/3853、および 32K バイトの ROM、1K バイトの RAM を内蔵した H8/3854 があります。

また、ユーザサイドで自由にプログラムの書き込みができるフラッシュ ROM を内蔵した F-ZTAT 版として、H8/3857F、H8/3854F があり、60K バイトの ROM、2K バイトの RAM を内蔵しています。

H8/3854 はマスク ROM 版と F-ZTAT 版で ROM、RAM サイズが異なりますのでご注意ください。

H8/3857 グループ、H8/3854 グループの特長を表 1.1 に示します。

1. 概要

表 1.1 特長

項目	仕様	
CPU	高速 H8/300L CPU (1) 汎用レジスタ方式 • 汎用レジスタ：8 ビット×16 本 (16 ビット×8 本としても使用可能) (2) 高速演算 • 最高動作周波数：5MHz • 加減算：0.4μs (5MHz 動作時) • 乗除算：2.8μs (5MHz 動作時) • 32.768kHz サブクロックによる動作可能 (3) H8/300CPU と互換性のある命令体系 • 命令フォーマットは 2 バイトまたは 4 バイト長 • 基本演算はレジスタ - レジスタ間で実行 • MOV 命令によるメモリ - レジスタ間データ転送 (4) 特長ある命令 • 乗算命令 (8 ビット×8 ビット) • 除算命令 (16 ビット÷8 ビット) • ビットアキュムレータ命令 • レジスタ間接指定によりビット位置の指定が可能	
割り込み	H8/3857 グループ	29 種類の割り込み要因 • 外部割り込み要因：13 要因 (IRQ ₄ ~ IRQ ₀ 、WKP ₇ ~ WKP ₀) • 内部割り込み要因：16 要因
	H8/3854 グループ	26 種類の割り込み要因 • 外部割り込み要因：12 要因 (IRQ ₄ 、IRQ ₃ 、IRQ ₁ 、IRQ ₀ 、WKP ₇ ~ WKP ₀) • 内部割り込み要因：14 要因
クロック発振器	2 種類のクロック発振器内蔵 • システムクロック発振器：1 ~ 10MHz • サブクロック発振器：32.768kHz	
低消費電力モード	6 種類の低消費電力モード • スリープモード • スタンバイモード • ウォッチモード • サブスリープモード • サブアクティブモード • アクティブ (中速) モード	
メモリ	H8/3857 グループ	H8/3855 • ROM : 40K バイト • RAM : 2K バイト H8/3856 • ROM : 48K バイト • RAM : 2K バイト H8/3857 • ROM : 60K バイト • RAM : 2K バイト H8/3857F • ROM : 60K バイト • RAM : 2K バイト
	H8/3854 グループ	H8/3852 • ROM : 16K バイト • RAM : 1K バイト H8/3853 • ROM : 24K バイト • RAM : 1K バイト H8/3854 • ROM : 32K バイト • RAM : 1K バイト H8/3854F • ROM : 60K バイト • RAM : 2K バイト • H8/3854 (マスク ROM 版) と H8/3854F (F-ZTAT 版) は ROM、RAM サイズが異なりますのでご注意ください。

項目	仕様	
I/O ポート	H8/3857 グループ	I/O ポート 44 本 - 入出力端子 : 35 本 - 入力端子 : 9 本
	H8/3854 グループ	I/O ポート 29 本 - 入出力端子 : 24 本 - 入力端子 : 5 本
タイマ	4 種類のタイマ内蔵 (H8/3854 グループは 3 種類) (1) タイマ A : 8 ビットのタイマ - システムクロック (ϕ)* を分周した 8 種類の内部クロックまたは時計用クロック (ϕ_w)* を分周した 4 種類のクロックによりカウントアップ可能 (2) タイマ B : 8 ビットのタイマ 7 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 - オートリロード機能可能 (3) タイマ C : 8 ビットのタイマ (H8/3857 グループのみに内蔵) 7 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ / ダウン可能 - オートリロード機能可能 (4) タイマ F : 16 ビットのタイマ - 独立した 2 本の 8 ビットタイマとして使用可能 4 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 - コンペアマッチ機能によりトリグル出力可能	
シリアル コミュニケーション インタフェース	H8/3857 グループ	2 チャンネルのシリアルコミュニケーションインタフェース内蔵 (1) SCI1 : クロック同期式 8 ビット / 16 ビットの転送データを選択可能 (2) SCI3 : 8 ビットクロック同期式 / 調歩同期式 - マルチプロセッサ通信機能内蔵
	H8/3854 グループ	1 チャンネルのシリアルコミュニケーションインタフェース内蔵 SCI3 : 8 ビットクロック同期式 / 調歩同期式 マルチプロセッサ通信機能内蔵
14 ビット PWM (H8/3857 グループ のみに内蔵)	リップル低減をはかったパルス分割方式 PWM 外部にローパスフィルタを接続することで 14 ビット D/A 変換器として使用可能	
A/D 変換器	H8/3857 グループ	抵抗ラダー方式による逐次比較方式の 8 ビット A/D 変換器 8 チャンネルのアナログ入力端子 - 変換時間 : 1 チャンネル当たり $31/\phi$ または $62/\phi$
	H8/3854 グループ	抵抗ラダー方式による逐次比較方式の 8 ビット A/D 変換器 4 チャンネルのアナログ入力端子 - 変換時間 : 1 チャンネル当たり $31/\phi$ または $62/\phi$
LCD コントローラ	H8/3857 グループ	最大 64 本のセグメント端子と 32 本のコモン端子を備えた LCD コントローラ 3 種類のデューティ比 (1/8、1/16、1/32 デューティ) を選択可能 1/8 デューティ選択時 : 64SEG × 8COM、40SEG × 8COM 1/16 デューティ選択時 : 56SEG × 16COM、40SEG × 16COM 1/32 デューティ選択時 : 40SEG × 32COM 2048 ビットの表示データ RAM を内蔵 2 倍または 3 倍の液晶電源昇圧回路内蔵 - 輝度調整回路内蔵 - 液晶電源ブリーダ抵抗およびボルテージフォロア型オペアンプ回路内蔵

1. 概要

項目	仕様						
LCD コントローラ	H8/3854 グループ	40 本のセグメント端子と最大 16 本のコモン端子を備えた LCD コントローラ ● 2 種類のデューティ比（1/8、1/16 デューティ）を選択可能 1/8 デューティ選択時：40SEG×8COM 1/16 デューティ選択時：40SEG×16COM ● 640 ビットの表示データ RAM を内蔵 ● 液晶電源ブリーダ抵抗回路内蔵					
製品ラインアップ	H8/3857 グループ	製品型名		パッケージ	ROM/RAMサイズ		
		マスクROM版	F-ZTAT版				
		HD6433855FQ	—	144ピンQFP（FP-144H）	ROM 40K/バイト RAM 2K/バイト		
		HD6433855TG	—	144ピンTQFP（TFP-144）			
		HCD6433855	—	ダイ			
		HD6433856FQ	—	144ピンQFP（FP-144H）	ROM 48K/バイト RAM 2K/バイト		
		HD6433856TG	—	144ピンTQFP（TFP-144）			
		HCD6433856	—	ダイ			
		HD6433857FQ	HD64F3857FQ	144ピンQFP（FP-144H）	ROM 60K/バイト RAM 2K/バイト		
		HD6433857TG	HD64F3857TG	144ピンTQFP（TFP-144）			
		HCD6433857	HCD64F3857	ダイ			
		製品ラインアップ	H8/3854 グループ	製品型名		パッケージ	ROM/RAMサイズ
				マスクROM版*	F-ZTAT版		
				HD6433852H	—	100ピンQFP（FP-100B）	ROM 16K/バイト RAM 1K/バイト
HD6433852W	—			100ピンTQFP（TFP-100G）			
HCD6433852	—			ダイ			
HD6433853H	—			100ピンQFP（FP-100B）	ROM 24K/バイト RAM 1K/バイト		
HD6433853W	—			100ピンTQFP（TFP-100G）			
HCD6433853	—			ダイ			
HD6433854H	—			100ピンQFP（FP-100B）	ROM 32K/バイト RAM 1K/バイト		
HD6433854W	—			100ピンTQFP（TFP-100G）			
HCD6433854	—			ダイ			
—	HD64F3854H			100ピンQFP（FP-100B）	ROM 60K/バイト RAM 2K/バイト		
—	HD64F3854W			100ピンTQFP（TFP-100G）			
—	HCD64F3854			ダイ			
【注】＊ 開発中							

【注】* ϕ 、 ϕ_w の定義は「第 4 章 クロック発振器」を参照してください。

1.2 内部ブロック図

H8/3857 グループの内部ブロック図を図 1.1 に、H8/3854 グループの内部ブロック図を図 1.2 に示します。

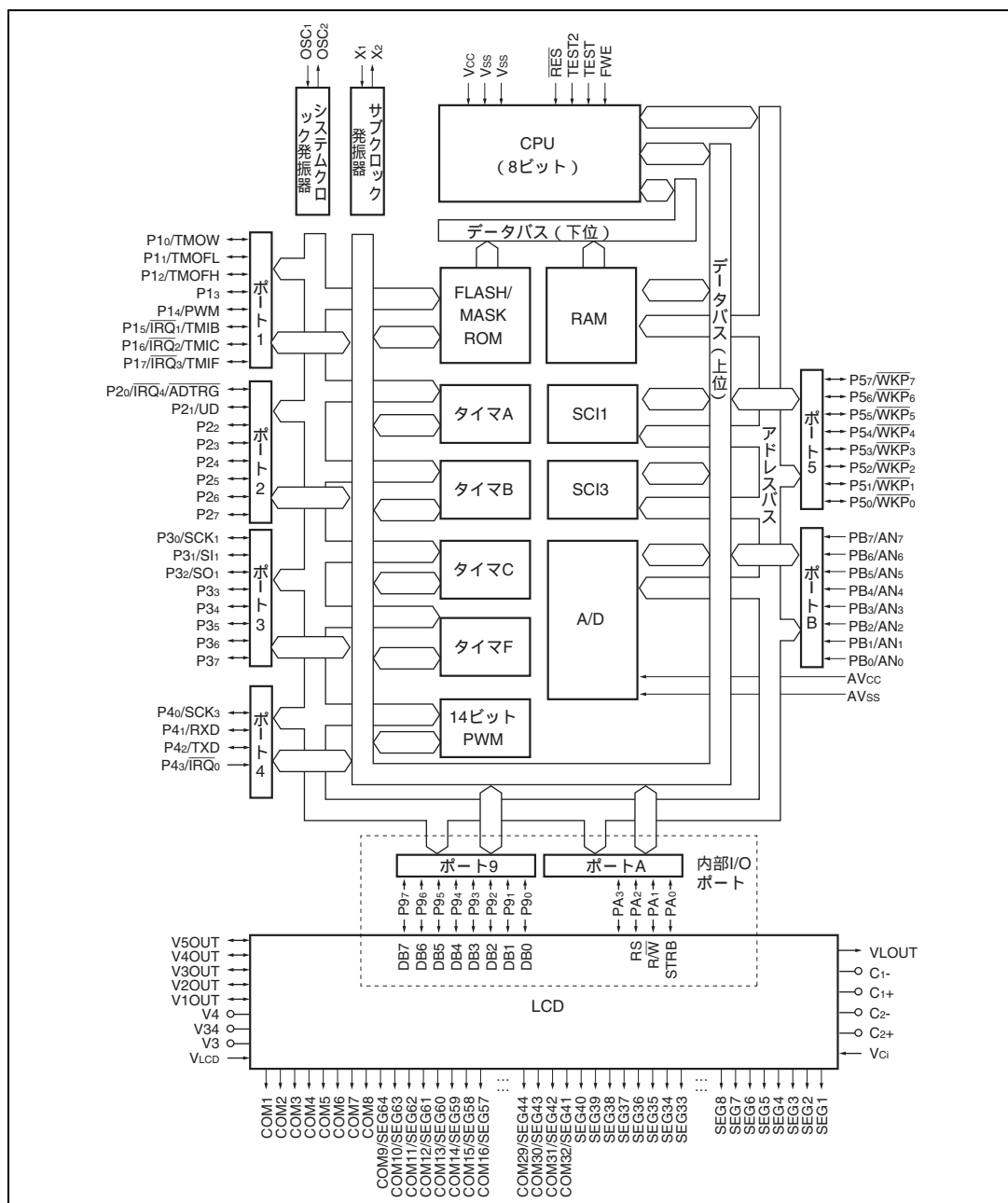
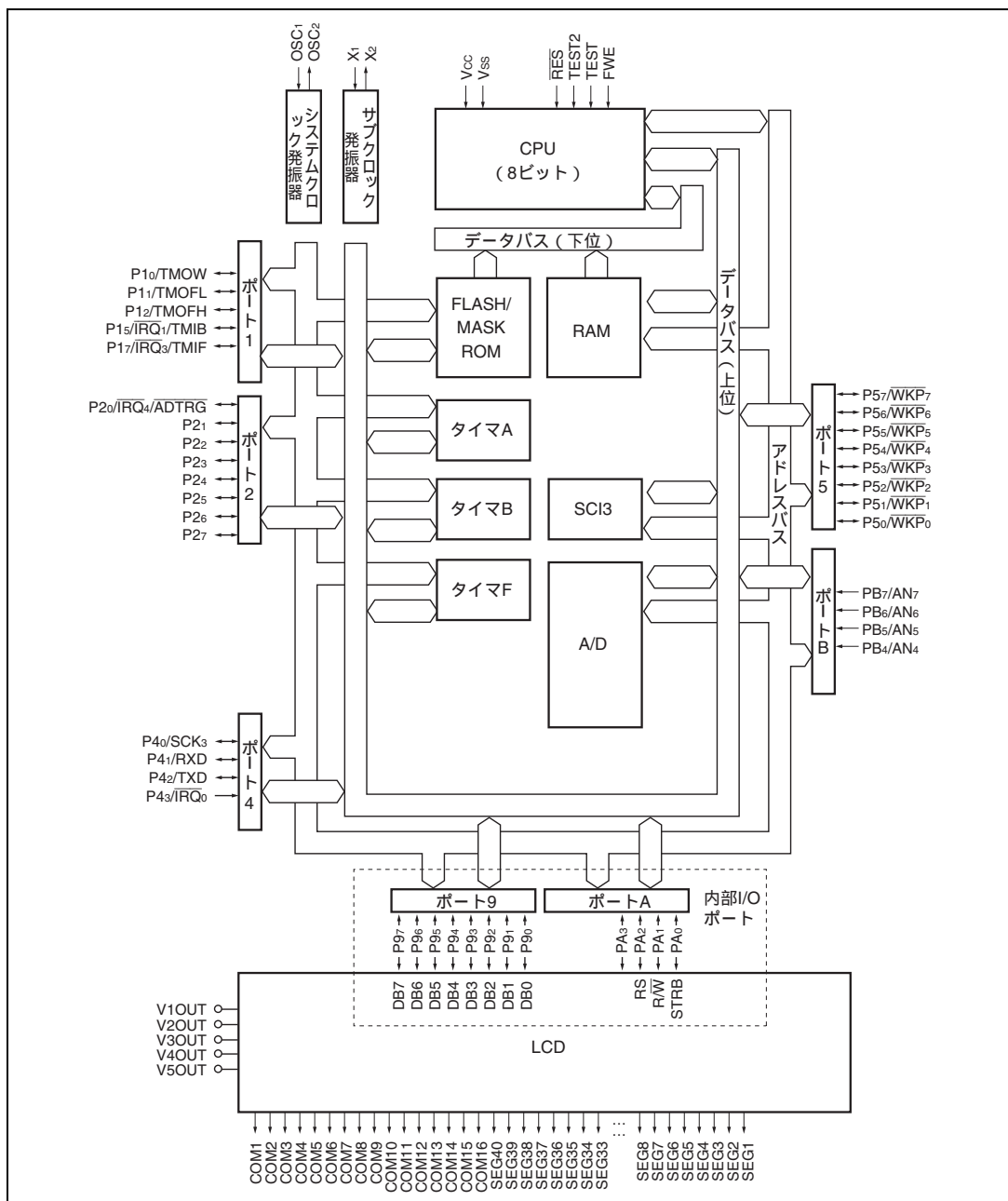


図 1.1 H8/3857 グループの内部ブロック図

1. 概要



1.3 端子説明

1.3.1 ピン配置

H8/3857 グループのピン配置図を図 1.3、H8/3854 グループのピン配置図を図 1.4、HCD64F3857 のパッド配置図を図 1.5、パッド座標を表 1.2、HCD6433855、HCD6433856、HCD6433857 のパッド配置図を図 1.6、パッド座標を表 1.3、HCD64F3854 のパッド配置図を図 1.7、パッド座標を表 1.4、HCD6433854、HCD6433853、HCD6433852 のパッド配置図を図 1.8、パッド座標を表 1.5 に示します。

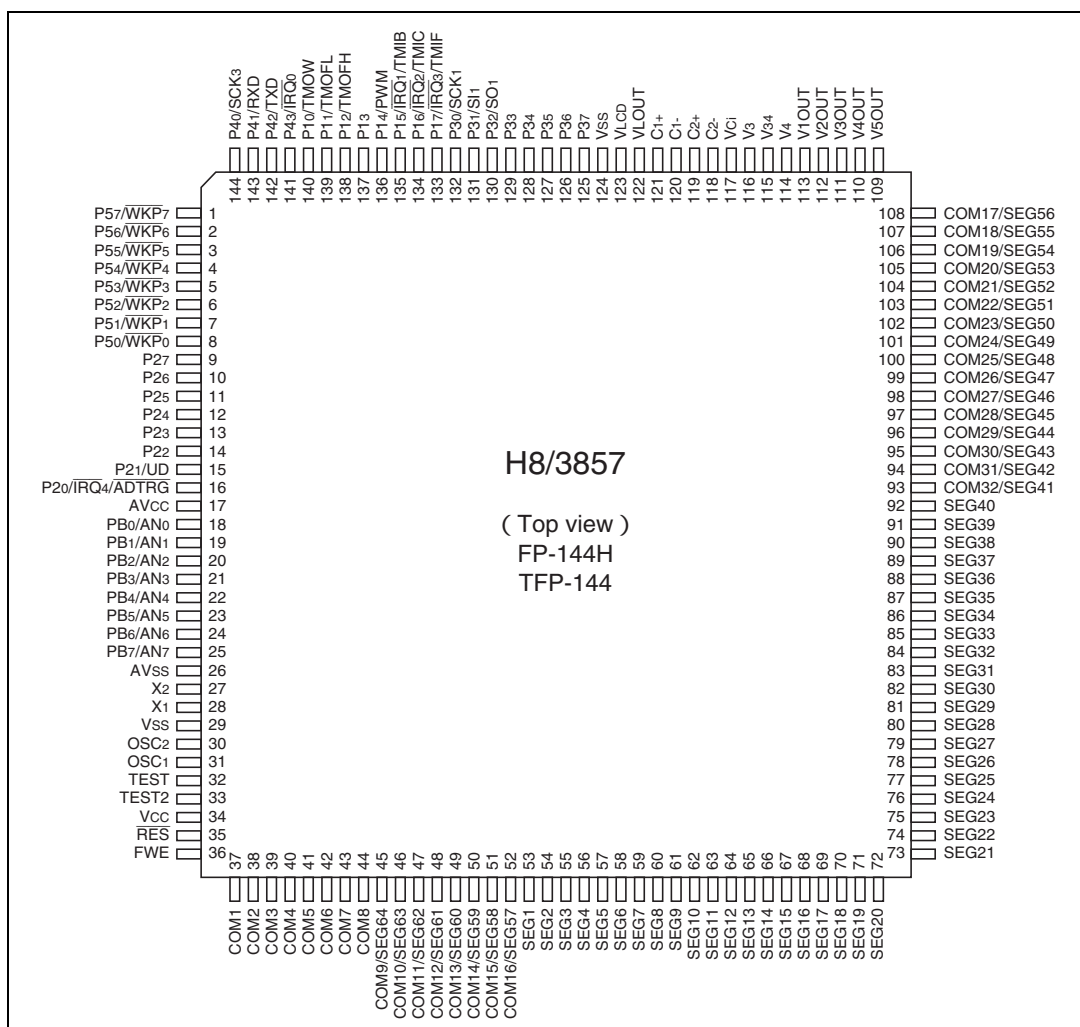


図 1.3 H8/3857 グループピン配置図 (FP-144H、TFP-144 : 上面図)

1. 概要

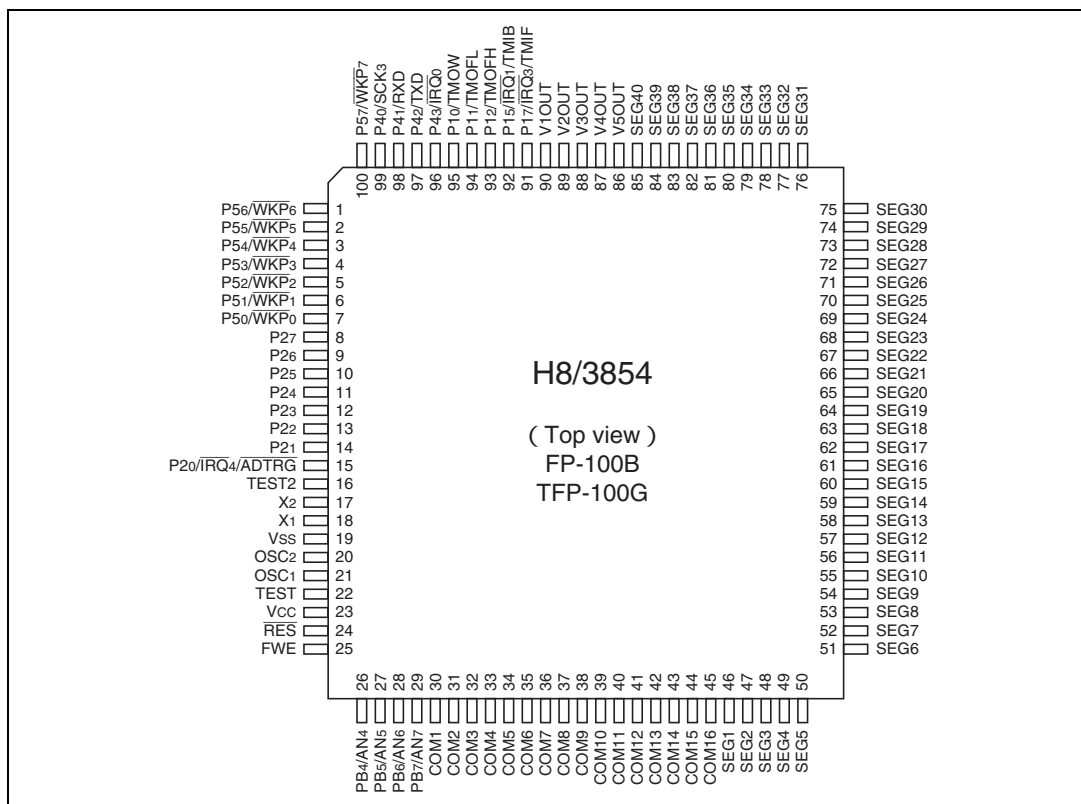


図 1.4 H8/3854 グループピン配置図 (FP-100B、TFP-100G : 上面図)

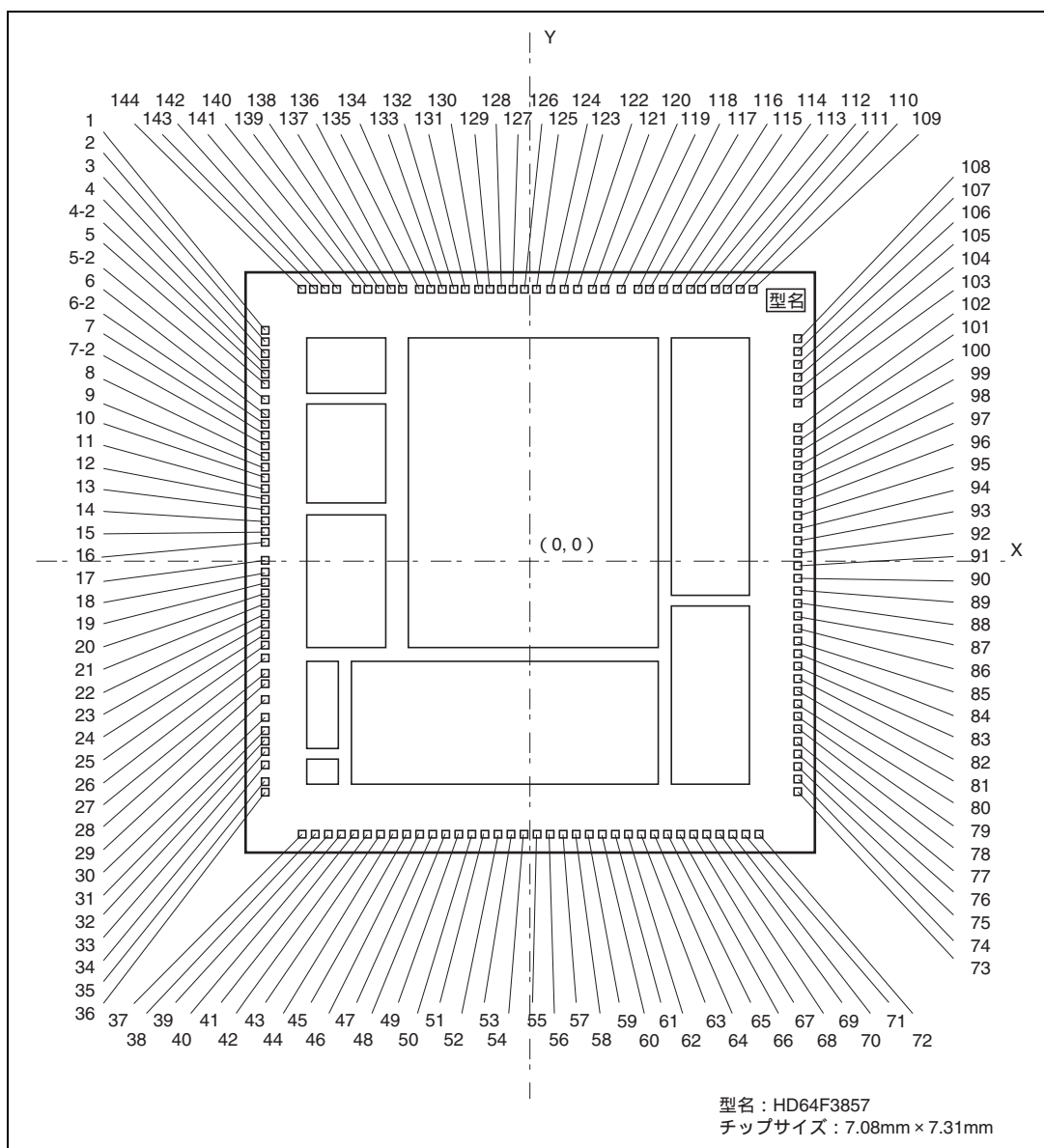


図 1.5 HCD64F3857 (F-ZTAT 版) のパッド配置図 (上面図)

1. 概要

表 1.2 HCD64F3857 のパッド座標

パッド 番号	パッド名称	座標 ^{*1}		パッド 番号	パッド名称	座標 ^{*1}		パッド 番号	パッド名称	座標 ^{*1}	
		X (μm)	Y (μm)			X (μm)	Y (μm)			X (μm)	Y (μm)
1	P5 ₇ /WKP ₇	-3348	2928	47	COM11/SEG62	-1231	-3463	97	COM28/SEG45	3348	932
2	P5 ₆ /WKP ₆	-3348	2784	48	COM12/SEG61	-1069	-3463	98	COM27/SEG46	3348	1092
3	P5 ₅ /WKP ₅	-3348	2640	49	COM13/SEG60	-905	-3463	99	COM26/SEG47	3348	1252
4	P5 ₄ /WKP ₄	-3348	2506	50	COM14/SEG59	-741	-3463	100	COM25/SEG48	3348	1411
4-2	NC4 ^{*2}	-3348	2372	51	COM15/SEG58	-579	-3463	101	COM24/SEG49	3348	1571
5	P5 ₃ /WKP ₃	-3348	2238	52	COM16/SEG57	-415	-3463	102	COM23/SEG50	3348	1731
5-2	NC3 ^{*2}	-3348	2044	53	SEG1	-251	-3463	103	COM22/SEG51	3348	2063
6	P5 ₂ /WKP ₂	-3348	1854	54	SEG2	-89	-3463	104	COM21/SEG52	3348	2223
6-2	NC2 ^{*2}	-3348	1720	55	SEG3	75	-3463	105	COM20/SEG53	3348	2383
7	P5 ₁ /WKP ₁	-3348	1590	56	SEG4	237	-3463	106	COM19/SEG54	3348	2543
7-2	NC1 ^{*2}	-3348	1456	57	SEG5	401	-3463	107	COM18/SEG55	3348	2703
8	P5 ₀ /WKP ₀	-3348	1316	58	SEG6	565	-3463	108	COM17/SEG56	3348	2863
9	P2 ₇	-3348	1173	59	SEG7	727	-3463	109	V5OUT	2776	3463
10	P2 ₆	-3348	1039	60	SEG8	891	-3463	110	V4OUT	2616	3463
11	P2 ₅	-3348	905	61	SEG9	1055	-3463	111	V3OUT	2456	3463
12	P2 ₄	-3348	771	62	SEG10	1217	-3463	112	V2OUT	2296	3463
13	P2 ₃	-3348	637	63	SEG11	1380	-3463	113	V1OUT	2136	3463
14	P2 ₂	-3348	503	64	SEG12	1542	-3463	114	V ₄	1976	3463
15	P2 ₁ /UD	-3348	369	65	SEG13	1706	-3463	115	V ₃₄	1816	3463
16	P2 ₀ /IRQ ₄ /ADTRG	-3348	235	66	SEG14	1870	-3463	116	V ₃	1656	3463
17	AV _{CC}	-3348	22	67	SEG15	2032	-3463	117	V _{cl}	1471	3463
18	PB ₀ /AN ₀	-3348	-143	68	SEG16	2196	-3463	118	C ₂ -	1341	3463
19	PB ₁ /AN ₁	-3348	-273	69	SEG17	2360	-3463	119	C ₂ +	1125	3463
20	PB ₂ /AN ₂	-3348	-403	70	SEG18	2522	-3463	120	C ₁ -	925	3463
21	PB ₃ /AN ₃	-3348	-533	71	SEG19	2686	-3463	121	C ₁ +	747	3463
22	PB ₄ /AN ₄	-3348	-663	72	SEG20	2848	-3463	122	VLOUT	569	3463
23	PB ₅ /AN ₅	-3348	-793	73	SEG21	3348	-2907	123	V _{LCD}	395	3463
24	PB ₆ /AN ₆	-3348	-923	74	SEG22	3348	-2747	124	V _{SS}	226	3463
25	PB ₇ /AN ₇	-3348	-1053	75	SEG23	3348	-2587	125	P3 ₇	74	3463
26	AV _{SS}	-3348	-1228	76	SEG24	3348	-2427	126	P3 ₆	-78	3463
27	X ₂	-3348	-1438	77	SEG25	3348	-2267	127	P3 ₅	-234	3463
28	X ₁	-3348	-1568	78	SEG26	3348	-2107	128	P3 ₄	-386	3463
29	V _{SS}	-3348	-1763	79	SEG27	3348	-1947	129	P3 ₃	-538	3463
30	OSC ₂	-3348	-1981	80	SEG28	3348	-1787	130	P3 ₂ /SO ₁	-690	3463
31	OSC ₁	-3348	-2134	81	SEG29	3348	-1627	131	P3 ₁ /SI ₁	-848	3463
32	TEST	-3348	-2264	82	SEG30	3348	-1467	132	P3 ₀ /SCK ₁	-982	3463
33	TEST2	-3348	-2404	83	SEG31	3348	-1307	133	P1 ₁ /IRQ ₇ /TMIF	-1116	3463
34	V _{CC}	-3348	-2599	84	SEG32	3348	-1148	134	P1 ₀ /IRQ ₂ /TMIC	-1250	3463
35	RES	-3348	-2794	85	SEG33	3348	-988	135	P1 ₉ /IRQ ₁ /TMIB	-1383	3463
36	FWE	-3348	-2944	86	SEG34	3348	-828	136	P1 ₈ /PWM	-1611	3463
37	COM1	-2862	-3463	87	SEG35	3348	-668	137	P1 ₇	-1761	3463
38	COM2	-2700	-3463	88	SEG36	3348	-508	138	P1 ₆ /TMOFH	-1911	3463
39	COM3	-2536	-3463	89	SEG37	3348	-348	139	P1 ₅ /TMOFL	-2045	3463
40	COM4	-2374	-3463	90	SEG38	3348	-188	140	P1 ₄ /TMOW	-2180	3463
41	COM5	-2210	-3463	91	SEG39	3348	-28	141	P4 ₇ /IRQ ₀	-2447	3463
42	COM6	-2046	-3463	92	SEG40	3348	132	142	P4 ₆ /TXD	-2587	3463
43	COM7	-1884	-3463	93	COM32/SEG41	3348	292	143	P4 ₅ /RXD	-2737	3463
44	COM8	-1720	-3463	94	COM31/SEG42	3348	452	144	P4 ₄ /SCK ₃	-2888	3463
45	COM9/SEG64	-1556	-3463	95	COM30/SEG43	3348	612				
46	COM10/SEG63	-1394	-3463	96	COM29/SEG44	3348	772				

【注】 *1 数値はパッド部の中心の座標を示し、精度は±5μmです。

原点はチップの中心で、中心は上下と左右のパッド間の距離の 1/2 のところ です。

*2 NC1～NC4 はテスト用パッドです。オープンにしてください。

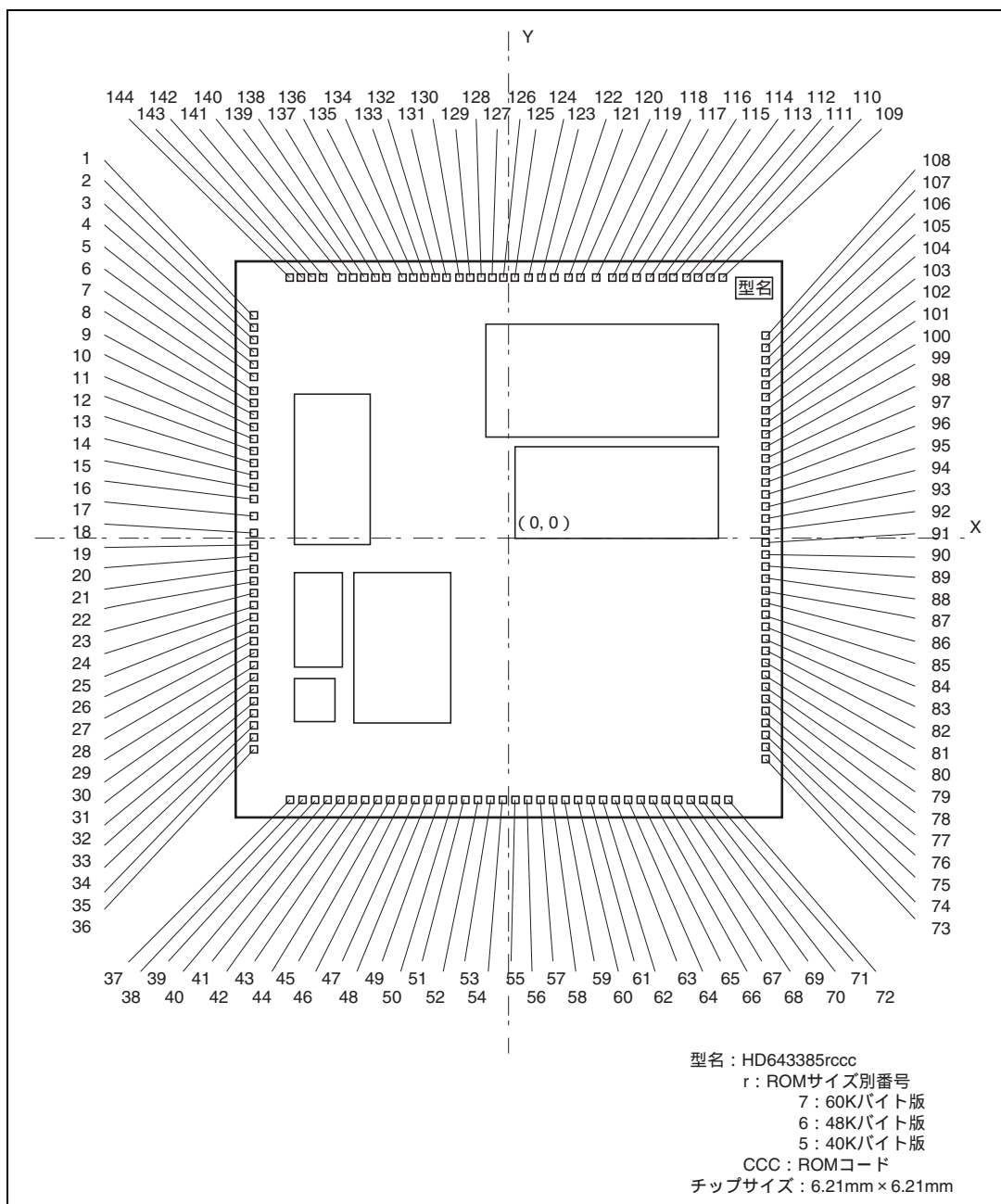


図 1.6 HCD6433855、HCD6433856、HCD6433857 (マスクROM版) のパッド配置図 (上面図)

1. 概要

表 1.3 HCD6433855、HCD6433856、HCD6433857 のパッド座標

パッド 番号	パッド名称	座標*1		パッド 番号	パッド名称	座標*1		パッド 番号	パッド名称	座標*1	
		X (μm)	Y (μm)			X (μm)	Y (μm)			X (μm)	Y (μm)
1	P5 ₇ /WKP ₇	-2913	2515	49	COM13/SEG60	-715	-2913	97	COM28/SEG45	2913	845
2	P5 ₆ /WKP ₆	-2913	2365	50	COM14/SEG59	-585	-2913	98	COM27/SEG46	2913	975
3	P5 ₅ /WKP ₅	-2913	2215	51	COM15/SEG58	-455	-2913	99	COM26/SEG47	2913	1105
4	P5 ₄ /WKP ₄	-2913	2070	52	COM16/SEG57	-325	-2913	100	COM25/SEG48	2913	1235
5	P5 ₃ /WKP ₃	-2913	1930	53	SEG1	-195	-2913	101	COM24/SEG49	2913	1365
6	P5 ₂ /WKP ₂	-2913	1795	54	SEG2	-65	-2913	102	COM23/SEG50	2913	1505
7	P5 ₁ /WKP ₁	-2913	1660	55	SEG3	65	-2913	103	COM22/SEG51	2913	1645
8	P5 ₀ /WKP ₀	-2913	1530	56	SEG4	195	-2913	104	COM21/SEG52	2913	1795
9	P2 ₇	-2913	1400	57	SEG5	325	-2913	105	COM20/SEG53	2913	1955
10	P2 ₆	-2913	1271	58	SEG6	455	-2913	106	COM19/SEG54	2913	2125
11	P2 ₅	-2913	1141	59	SEG7	585	-2913	107	COM18/SEG55	2913	2305
12	P2 ₄	-2913	1011	60	SEG8	715	-2913	108	COM17/SEG56	2913	2495
13	P2 ₃	-2913	881	61	SEG9	845	-2913	109	V5OUT	2435	2913
14	P2 ₂	-2913	751	62	SEG10	975	-2913	110	V4OUT	2275	2913
15	P2 ₁ /UD	-2913	621	63	SEG11	1105	-2913	111	V3OUT	2125	2913
16	P2 ₀ /IRQ ₀ /ADTRG	-2913	491	64	SEG12	1235	-2913	112	V2OUT	1975	2913
17	AV _{CC}	-2913	290	65	SEG13	1365	-2913	113	V1OUT	1825	2913
18	PB ₇ /AN ₀	-2913	125	66	SEG14	1505	-2913	114	V ₄	1675	2913
19	PB ₆ /AN ₁	-2913	-5	67	SEG15	1645	-2913	115	V ₃₄	1520	2913
20	PB ₅ /AN ₂	-2913	-135	68	SEG16	1795	-2913	116	V ₃	1385	2913
21	PB ₄ /AN ₃	-2913	-265	69	SEG17	1955	-2913	117	V _{ci}	1255	2913
22	PB ₃ /AN ₄	-2913	-395	70	SEG18	2125	-2913	118	C ₂ -	1125	2913
23	PB ₂ /AN ₅	-2913	-525	71	SEG19	2305	-2913	119	C ₂ +	995	2913
24	PB ₁ /AN ₆	-2913	-655	72	SEG20	2495	-2913	120	C ₁ -	865	2913
25	PB ₀ /AN ₇	-2913	-785	73	SEG21	2913	-2495	121	C ₁ +	735	2913
26	AV _{SS}	-2913	-960	74	SEG22	2913	-2305	122	V _L OUT	605	2913
27	X ₂	-2913	-1169	75	SEG23	2913	-2125	123	V _{LCD}	475	2913
28	X ₁	-2913	-1299	76	SEG24	2913	-1955	124	V _{SS}	325	2913
29	V _{SS}	-2913	-1428	77	SEG25	2913	-1795	125	P3 ₇	195	2913
30	OSC ₂	-2913	-1581	78	SEG26	2913	-1645	126	P3 ₆	65	2913
31	OSC ₁	-2913	-1734	79	SEG27	2913	-1505	127	P3 ₅	-65	2913
32	TEST	-2913	-1874	80	SEG28	2913	-1365	128	P3 ₄	-195	2913
33	TEST2	-2913	-2024	81	SEG29	2913	-1235	129	P3 ₃	-325	2913
34	V _{CC}	-2913	-2189	82	SEG30	2913	-1105	130	P3 ₂ /SO ₁	-455	2913
35	RES	-2913	-2384	83	SEG31	2913	-975	131	P3 ₁ /SI ₁	-585	2913
36	FWE*2	-2913	-2534	84	SEG32	2913	-845	132	P3 ₀ /SCK ₁	-715	2913
37	COM1	-2495	-2913	85	SEG33	2913	-715	133	P1 ₇ /IRQ ₇ /TMIF	-845	2913
38	COM2	-2305	-2913	86	SEG34	2913	-585	134	P1 ₆ /IRQ ₆ /TMIC	-975	2913
39	COM3	-2125	-2913	87	SEG35	2913	-455	135	P1 ₅ /IRQ ₅ /TMIB	-1105	2913
40	COM4	-1955	-2913	88	SEG36	2913	-325	136	P1 ₄ /PWM	-1235	2913
41	COM5	-1795	-2913	89	SEG37	2913	-195	137	P1 ₃	-1365	2913
42	COM6	-1645	-2913	90	SEG38	2913	-65	138	P1 ₂ /TMOFH	-1505	2913
43	COM7	-1505	-2913	91	SEG39	2913	65	139	P1 ₁ /TMOFL	-1645	2913
44	COM8	-1365	-2913	92	SEG40	2913	195	140	P1 ₀ /TMOW	-1795	2913
45	COM9/SEG64	-1235	-2913	93	COM32/SEG41	2913	325	141	P4 ₇ /IRQ ₀	-1955	2913
46	COM10/SEG63	-1105	-2913	94	COM31/SEG42	2913	455	142	P4 ₆ /TXD	-2125	2913
47	COM11/SEG62	-975	-2913	95	COM30/SEG43	2913	585	143	P4 ₅ /RXD	-2305	2913
48	COM12/SEG61	-845	-2913	96	COM29/SEG44	2913	715	144	P4 ₄ /SCK ₀	-2495	2913

【注】 *1 数値はパッド部の中心の座標を示し、精度は±5μmです。

原点はチップの中心で、中心は上下と左右のパッド間の距離の 1/2 のところ です。

*2 FWE は V_{SS} に接続してください。



1. 概要

表 1.4 HCD64F3854 のパッド座標

パッド 番号	パッド名称	座標 ^{*1}		パッド 番号	パッド名称	座標 ^{*1}		パッド 番号	パッド名称	座標 ^{*1}	
		X (μm)	Y (μm)			X (μm)	Y (μm)			X (μm)	Y (μm)
1	P5 ₇ /WKP ₆	-2985	2494	31	COM2	-1413	-2985	66	SEG21	2985	627
2	P5 ₇ /WKP ₅	-2985	2333	32	COM3	-1210	-2985	67	SEG22	2985	831
2-2	NC1 ^{*2}	-2985	2139	33	COM4	-1006	-2985	68	SEG23	2985	1036
3	P5 ₇ /WKP ₄	-2985	1950	34	COM5	-801	-2985	69	SEG24	2985	1240
4	P5 ₇ /WKP ₃	-2985	1788	35	COM6	-597	-2985	70	SEG25	2985	1443
5	P5 ₇ /WKP ₂	-2985	1626	36	COM7	-393	-2985	71	SEG26	2985	1647
5-2	NC2 ^{*2}	-2985	1419	37	COM8	-189	-2985	72	SEG27	2985	1851
6	P5 ₇ /WKP ₁	-2985	1215	38	COM9	16	-2985	73	SEG28	2985	2055
6-2	NC3 ^{*2}	-2985	1054	39	COM10	219	-2985	74	SEG29	2985	2259
7	P5 ₇ /WKP ₀	-2985	897	40	COM11	423	-2985	75	SEG30	2985	2463
8	P2 ₇	-2985	735	41	COM12	627	-2985	76	SEG31	2435	2985
9	P2 ₆	-2985	573	42	COM13	831	-2985	77	SEG32	2234	2985
10	P2 ₅	-2985	412	43	COM14	1035	-2985	78	SEG33	2032	2985
11	P2 ₄	-2985	250	44	COM15	1240	-2985	79	SEG34	1830	2985
12	P2 ₃	-2985	88	45	COM16	1443	-2985	80	SEG35	1629	2985
13	P2 ₂	-2985	-73	46	SEG1	1647	-2985	81	SEG36	1427	2985
14	P2 ₁	-2985	-234	47	SEG2	1851	-2985	82	SEG37	1226	2985
15	P2 ₇ /IRQ ₇ /ADTRG	-2985	-396	48	SEG3	2055	-2985	83	SEG38	1025	2985
16	TEST2	-2985	-558	49	SEG4	2259	-2985	84	SEG39	823	2985
17	X ₂	-2985	-716	50	SEG5	2463	-2985	85	SEG40	621	2985
18	X ₁	-2985	-873	51	SEG6	2985	-2433	86	V5OUT	434	2985
19-1	V _{SS} ^{*3}	-2985	-1031	52	SEG7	2985	-2229	87	V4OUT	233	2985
19-2	V _{SS} ^{*3}	-2985	-1267	53	SEG8	2985	-2025	88	V3OUT	31	2985
20	OSC ₂	-2985	-1526	54	SEG9	2985	-1821	89	V2OUT	-171	2985
21	OSC ₁	-2985	-1707	55	SEG10	2985	-1617	90	V1OUT	-372	2985
22	TEST	-2985	-1864	56	SEG11	2985	-1413	91	P1/IRQ ₇ /TMIF	-574	2985
23	V _{CC}	-2985	-2101	57	SEG12	2985	-1210	92	P1/IRQ ₇ /TMIB	-780	2985
24	RES	-2985	-2336	58	SEG13	2985	-1005	93	P1/TMOFH	-985	2985
25	FWE	-2985	-2494	59	SEG14	2985	-801	94	P1/TMOFL	-1191	2985
26	PB ₇ /AN ₄	-2448	-2985	60	SEG15	2985	-597	95	P1/TMOW	-1396	2985
27	PB ₇ /AN ₅	-2244	-2985	61	SEG16	2985	-393	96	P4/IRQ ₀	-1618	2985
28	PB ₇ /AN ₆	-2040	-2985	62	SEG17	2985	-189	97	P4/TXD	-1820	2985
29	PB ₇ /AN ₇	-1836	-2985	63	SEG18	2985	15	98	P4/RXD	-2022	2985
30	COM1	-1617	-2985	64	SEG19	2985	219	99	P4/SCK ₃	-2234	2985
				65	SEG20	2985	423	100	P5/WKP ₇	-2446	2985

- 【注】 *1 数値はパッド部の中心の座標を示し、精度は±5μmです。
 原点はチップの中心で、中心は上下と左右のパッド間の距離の 1/2 のところです。
 *2 NC1～NC3 はテスト用パッドです。OPEN にしてください。
 *3 19-1、19-2 の両方を V_{SS} に接続してください。

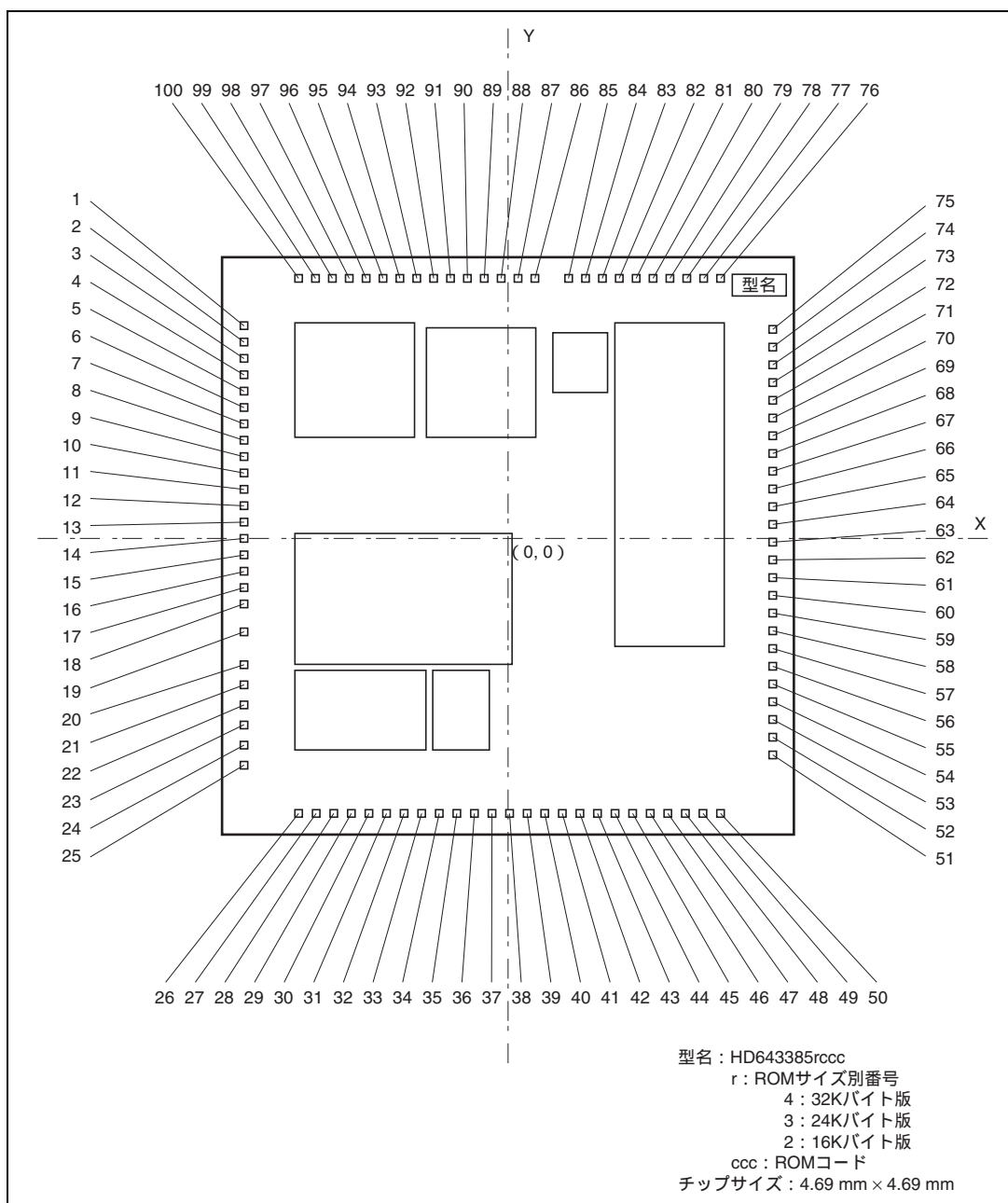


図 1.8 HCD6433854、HCD6433853、HCD6433852 (マスク ROM 版) のパッド配置図 (上面図)

1. 概要

表 1.5 HCD6433852、HCD6433853、HCD6433854 のパッド座標

パッド 番号	パッド名称	座標*1		パッド 番号	パッド名称	座標*1		パッド 番号	パッド名称	座標*1	
		X (μm)	Y (μm)			X (μm)	Y (μm)			X (μm)	Y (μm)
1	P5 ₆ /WKP ₆	-2161	1738	35	COM6	-390	-2161	68	SEG23	2161	650
2	P5 ₅ /WKP ₅	-2161	1590	36	COM7	-260	-2161	69	SEG24	2161	780
3	P5 ₄ /WKP ₄	-2161	1445	37	COM8	-130	-2161	70	SEG25	2161	910
4	P5 ₃ /WKP ₃	-2161	1305	38	COM9	0	-2161	71	SEG26	2161	1060
5	P5 ₂ /WKP ₂	-2161	1171	39	COM10	130	-2161	72	SEG27	2161	1213
6	P5 ₁ /WKP ₁	-2161	1041	40	COM11	260	-2161	73	SEG28	2161	1383
7	P5 ₀ /WKP ₀	-2161	911	41	COM12	390	-2161	74	SEG29	2161	1551
8	P2 ₇	-2161	781	42	COM13	520	-2161	75	SEG30	2161	1721
9	P2 ₆	-2161	651	43	COM14	650	-2161	76	SEG31	1716	2161
10	P2 ₅	-2161	521	44	COM15	780	-2161	77	SEG32	1565	2161
11	P2 ₄	-2161	391	45	COM16	910	-2161	78	SEG33	1422	2161
12	P2 ₃	-2161	261	46	SEG1	1060	-2161	79	SEG34	1282	2161
13	P2 ₂	-2161	131	47	SEG2	1213	-2161	80	SEG35	1150	2161
14	P2 ₁	-2161	1	48	SEG3	1383	-2161	81	SEG36	1020	2161
15	P2 ₀ /IRQ ₄ /ADTRG	-2161	-129	49	SEG4	1551	-2161	82	SEG37	890	2161
16	TEST2	-2161	-259	50	SEG5	1721	-2161	83	SEG38	760	2161
17	X ₂	-2161	-389	51	SEG6	2161	-1721	84	SEG39	630	2161
18	X ₁	-2161	-519	52	SEG7	2161	-1551	85	SEG40	500	2161
19	V _{SS}	-2161	-764	53	SEG8	2161	-1383	86	V5OUT	197	2161
20	OSC ₂	-2161	-1020	54	SEG9	2161	-1213	87	V4OUT	67	2161
21	OSC ₁	-2161	-1173	55	SEG10	2161	-1060	88	V3OUT	-63	2161
22	TEST	-2161	-1312	56	SEG11	2161	-910	89	V2OUT	-193	2161
23	V _{CC}	-2161	-1497	57	SEG12	2161	-780	90	V1OUT	-323	2161
24	RES	-2161	-1657	58	SEG13	2161	-650	91	P1 ₇ /IRQ ₃ /TMIF	-453	2161
25	FWE*2	-2161	-1821	59	SEG14	2161	-520	92	P1 ₆ /IRQ ₁ /TMIB	-583	2161
26	PB ₄ /AN ₄	-1722	-2161	60	SEG15	2161	-390	93	P1 ₂ /TMOFH	-713	2161
27	PB ₃ /AN ₅	-1552	-2161	61	SEG16	2161	-260	94	P1 ₁ /TMOFL	-843	2161
28	PB ₆ /AN ₆	-1395	-2161	62	SEG17	2161	-130	95	P1 ₀ /TMOW	-973	2161
29	PB ₇ /AN ₇	-1236	-2161	63	SEG18	2161	0	96	P4 ₃ /IRQ ₀	-1104	2161
30	COM1	-1060	-2161	64	SEG19	2161	130	97	P4 ₂ /TXD	-1244	2161
31	COM2	-910	-2161	65	SEG20	2161	260	98	P4 ₁ /RXD	-1383	2161
32	COM3	-780	-2161	66	SEG21	2161	390	99	P4 ₀ /SCK ₃	-1534	2161
33	COM4	-650	-2161	67	SEG22	2161	520	100	P5 ₇ /WKP ₇	-1698	2161
34	COM5	-520	-2161								

【注】 *1 数値はパッド部の中心の座標を示し、精度は±5μm です。

原点はチップの中心で、中心は上下と左右のパッド間の距離の 1/2 のところ です。

*2 FWE を V_{SS} に接続してください。

1.3.2 端子機能

(1) 端子機能

各端子の機能について表 1.5 に示します。

表 1.5 端子機能

分類	記号	H8/3857 グループ		H8/3854 グループ		入出力	機能
		ピン番号	パッド	ピン番号	パッド		
		FP-144H TFP-144	番号	FP-100B TFP-100G	番号		
電源	V _{CC}	34	34	23	23	入力	電源 V _{CC} 端子は、システムの電源（+5V）に接続してください。
	V _{SS}	29 124	29 124	19	19-1 19-2	入力	グランド V _{SS} 端子は、全端子、システムの電源（0V）に接続してください。
	AV _{CC}	17	17	-	-	入力	<u>アナログ電源 (H8/3857 グループのみ)</u> A/D 変換器用電源端子です。A/D 変換器を使用しない場合、システムの電源（+5V）に接続してください。
	AV _{SS}	26	26	-	-	入力	<u>アナロググランド (H8/3857 グループのみ)</u> A/D 変換器用グランド端子です。システムの電源 (0V) に接続してください。
クロック	OSC ₁	31	31	21	21	入力	水晶発振子またはセラミック発振子を接続します。接続例については「第 4 章 クロック発振器」を参照してください。
	OSC ₂	30	30	20	20	出力	
	X ₁	28	28	18	18	入力	32.768kHz の水晶発振子を接続します。または外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	X ₂	27	27	17	17	出力	
システム制御	RES	35	35	24	24	入力	リセット この端子を Low レベルにすると、リセット状態になります。
	FWE	36	36	25	25	入力	フラッシュライトイネーブル フラッシュメモリの書き換えを禁止 / 許可する端子です。マスク ROM 版は V _{SS} 電位に接地してください。
	TEST	32	32	22	22	入力	テスト端子 ユーザは、使用できません。 V _{SS} 電位に接地してください。
	TEST2	33	33	16	16	入力	テスト端子 フラッシュメモリの動作モードを設定する端子です。マスク ROM 版は V _{SS} 電位に接地してください。

1. 概要

分類	記号	H8/3857 グループ		H8/3854 グループ		入出力	機能
		ピン番号	パッド	ピン番号	パッド		
		FP-144H TFP-144	番号	FP-100B TFP-100G	番号		
割り込み	$\overline{\text{IRQ}}_0$	141	141	96	96	入力	<u>外部割り込み要求 4～0 (H8/3857 グループ)</u> <u>外部割り込み要求 4、3、1、0 (H8/3854 グループ)</u> 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。
	$\overline{\text{IRQ}}_1$	135	135	92	92		
	$\overline{\text{IRQ}}_2$	134	134	-	-		
	$\overline{\text{IRQ}}_3$	133	133	91	91		
	$\overline{\text{IRQ}}_4$	16	16	15	15		
	$\text{WKP}_7 \sim \text{WKP}_0$	1～8	1～8	100、 1～7	100、 1～7	入力	<u>ウェイクアップ割り込み要求 7～0</u> 立ち下がりエッジセンスの外部割り込み入力端子です。
タイマ	TMOW	140	140	95	95	出力	<u>クロック出力</u> タイマ A 出力回路により生成された波形の出力端子です。
	TMIB	135	135	92	92	入力	<u>タイマ B イベント入力</u> タイマ B のカウンタに入力するイベント入力端子です。
	TMIC	134	134	-	-	入力	<u>タイマ C イベント入力 (H8/3857 グループのみ)</u> タイマ C のカウンタに入力するイベント入力端子です。
	UD	15	15	-	-	入力	<u>タイマ C アップ / ダウンセレクト (H8/3857 グループのみ)</u> タイマ C のカウンタのアップ / ダウンカウントを選択します。High レベル印加でアップカウンタ、Low レベル印加でダウンカウンタとして動作します。
	TMIF	133	133	91	91	入力	<u>タイマ F イベント入力</u> タイマ F のカウンタに入力するイベント入力端子です。
	TMOFL	139	139	94	94	出力	<u>タイマ FL 出力</u> タイマ FL アウトプットコンペア機能により生成された波形の出力端子です。
	TMOFH	138	138	93	93	出力	<u>タイマ FH 出力</u> タイマ FH アウトプットコンペア機能により生成された波形の出力端子です。
14 ビット PWM	PWM	136	136	-	-	出力	<u>14 ビット PWM 出力 (H8/3857 グループのみ)</u> 14 ビット PWM により生成された波形の出力端子です。
I/O ポート	$\text{PB}_7 \sim \text{PB}_4$ $\text{PB}_3 \sim \text{PB}_0$	25～22 21～18	25～22 21～18	29～26 -	29～26 -	入力	<u>ポート B</u> H8/3857 グループは、8 ビットの入力端子、H8/3854 グループは、4 ビットの入力端子です。

分類	記号	H8/3857 グループ		H8/3854 グループ		入出力	機能
		ピン番号	パッド	ピン番号	パッド		
		FP-144H TFP-144	番号	FP-100B TFP-100G	番号		
I/O ポート	P4 ₃	141	141	96	96	入力	<u>ポート4 (ビット3)</u> 1ビットの入力端子です。
	P4 ₂ ~ P4 ₀	142 ~ 144	142 ~ 144	97 ~ 99	97 ~ 99	入出力	<u>ポート4 (ビット2~ビット0)</u> 3ビットの入出力端子です。ポートコントロールレジスタ4(PCR4)によって、1ビットごとに入出力を指定できます。
	P1 ₇ P1 ₆ P1 ₅ P1 ₄ 、P1 ₃ P1 ₂ ~ P1 ₀	133 134 135 136、137 138 ~ 140	133 134 135 136、137 138 ~ 140	91 - 92 - 93 ~ 95	91 - 92 - 93 ~ 95	入出力	<u>ポート1</u> H8/3857 グループは、8ビットの入出力端子、H8/3854 グループは5ビットの入出力端子です。ポートコントロールレジスタ1(PCR1)によって、1ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	9 ~ 16	9 ~ 16	8 ~ 15	8 ~ 15	入出力	<u>ポート2</u> 8ビットの入出力端子です。ポートコントロールレジスタ2(PCR2)によって、1ビットごとに入出力を指定できます。
	P3 ₇ ~ P3 ₀	125 ~ 132	125 ~ 132	—	—	入出力	<u>ポート3 (H8/3857 グループのみ)</u> 8ビットの入出力端子です。ポートコントロールレジスタ3(PCR3)によって、1ビットごとに入出力を指定できます。
	P5 ₇ ~ P5 ₀	1 ~ 8	1 ~ 8	100、 1 ~ 7	100、 1 ~ 7	入出力	<u>ポート5</u> 8ビットの入出力端子です。ポートコントロールレジスタ5(PCR5)によって、1ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	—	—	—	—	入出力	<u>ポート7</u> 8ビットの入出力端子です。ポートコントロールレジスタ7(PCR7)によって、1ビットごとに入出力を指定できます。P7 ₇ ~ P7 ₀ は内部でLCDのDB7 ~ DB0に接続されています。
内部 I/O ポート	PA ₃ ~ PA ₀	—	—	—	—	入出力	<u>ポートA</u> 4ビットの入出力端子です。ポートコントロールレジスタA(PCRA)によって、1ビットごとに入出力を指定できます。PA ₃ ~ PA ₀ は内部でLCDのRS、R/W、STRBに接続されています。
	P9 ₇ ~ P9 ₀	—	—	—	—	入出力	<u>ポート9</u> 8ビットの入出力端子です。ポートコントロールレジスタ9(PCR9)によって、1ビットごとに入出力を指定できます。P9 ₇ ~ P9 ₀ は内部でLCDのDB7 ~ DB0に接続されています。
シリアル コミュニ ケーショ ンインタ フェース (SCI)	SI ₁	131	131	—	—	入力	<u>SCI1 受信データ入力(H8/3857 グループのみ)</u> SCI1のデータ入力端子です。
	SO ₁	130	130	—	—	出力	<u>SCI1 送信データ出力(H8/3857 グループのみ)</u> SCI1のデータ出力端子です。

1. 概要

分類	記号	H8/3857 グループ		H8/3854 グループ		入出力	機能
		ピン番号	パッド番号	ピン番号	パッド番号		
		FP-144H TFP-144	番号	FP-100B TFP-100G	番号		
シリアル コミュニ ケーショ ンインタ フェース (SCI)	SCK ₁	132	132	—	—	入出力	<u>SCI1 クロック入出力 (H8/3857 グループのみ)</u> SCI1 のクロック入出力端子です。
	RXD	143	143	98	98	入力	<u>SCI3 受信データ入力</u> SCI3 のデータ入力端子です。
	TXD	142	142	97	97	出力	<u>SCI3 送信データ出力</u> SCI3 のデータ出力端子です。
	SCK ₃	144	144	99	99	入出力	<u>SCI3 クロック入出力</u> SCI3 のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₄ AN ₃ ~ AN ₀	25 ~ 22 21 ~ 18	25 ~ 22 21 ~ 18	29 ~ 26 —	29 ~ 26 —	入力	<u>アナログ入力 (H8/3857 グループチャネル7~チャネル0)</u> (H8/3854 グループチャネル7~チャネル4) A/D 変換器へのアナログデータ入力端子です。
	ADTRG	16	16	15	15	入力	<u>A/D 変換器トリガ入力</u> A/D 変換器の外部トリガ入力端子です。
LCD コント ローラ	COM32 ~ COM17、 COM16 ~ COM1	93 ~ 108 52 ~ 37	93 ~ 108 52 ~ 37	- 45 ~ 30	- 45 ~ 30	出力	<u>LCD コモン出力</u> LCD のコモン出力端子です。H8/3857 グループは最大 32 端子、H8/3854 グループは最大 16 端子です。スタンバイモードおよびモジュールスタンバイモード時には、全端子 V _{SS} レベルを出力します。
	SEG64 ~ SEG41、 SEG40 ~ SEG1	45 ~ 52 108 ~ 93、 92 ~ 53	45 ~ 52 108 ~ 93、 92 ~ 53	- 85 ~ 46	- 85 ~ 46	出力	<u>LCD セグメント出力</u> LCD のセグメント出力端子です。H8/3857 グループは最大 64 端子、H8/3854 グループは 40 端子です。スタンバイモードおよびモジュールスタンバイモード時には、全端子 V _{SS} レベルを出力します。
	V3、V4	116、114	116、114	-	-	入力	<u>LCD バイアス設定端子 (H8/3857 グループのみ)</u> V3 と V4 をショートすると 1/4 バイアス、V3 と V4 をオープンにすると 1/5 バイアスで駆動します。
	V34	115	115	-	-	入力	<u>LCD テスト端子 (H8/3857 グループのみ)</u> LCD の内蔵抵抗テスト用の端子です。V3 と V34 は必ずショートしてください。

分類	記号	H8/3857 グループ		H8/3854 グループ		入出力	機能
		ピン番号	パッド番号	ピン番号	パッド番号		
		FP-144H TFP-144		FP-100B TFP-100G			
LCD コント ローラ	C1+、 C1-、 C2+、 C2-	121 ~ 118	121 ~ 118	-	-	—	<u>LCD 昇圧用容量接続端子 (H8/3857 グループのみ)</u> LCD の昇圧用の外部容量端子です。昇圧倍率に応じて容量を接続してください。
H8/3857 グループ LCD 電源	V1OUT ~ V5OUT	113 ~ 109	113 ~ 109	-	-	入出力	<u>LCD 駆動電源レベル (H8/3857 グループ)</u> OPON ビット = High のとき、LCD 駆動電源レベル V1 ~ V5 を出力します。内蔵オペアンプの駆動能力が不十分な場合は、コンデンサを付けて安定化してください。外部から V1 ~ V5 レベルを入力する場合には、OPON ビット = Low にしてください。
	V _{ci}	117	117	-	-	入力	<u>LCD 昇圧回路基準電源 (H8/3857 グループのみ)</u> LCD の昇圧回路への基準入力電圧、兼昇圧回路電源で、LCD 駆動電圧を発生します。V _{ci} は、1.6V V _{ci} V _{cc} としてください。昇圧回路を使用しない場合は、V _{cc} に接続してください。
	V _L OUT	122	122	-	-	出力	<u>LCD 昇圧電圧出力 (H8/3857 グループのみ)</u> LCD の昇圧電圧出力端子です。容量を接続してください。
	V _L CD	123	123	-	-	入力	<u>LCD 駆動電源 (H8/3857 グループのみ)</u> LCD の駆動電源入力端子です。LCD 駆動電源に内蔵昇圧回路出力電圧を使用する場合は、V _L OUT とショートしてください。V _L CD は、V _{cc} V _L CD 7.0V としてください。
H8/3854 グループ LCD 電源	V1OUT ~ V5OUT	-	-	90 ~ 86	90 ~ 86	入出力	<u>LCD 駆動電源レベル (H8/3854 グループ)</u> LPS1 ビット = High、LPS0 ビット = High のとき LCD 駆動電源レベル V1 ~ V5 を出力します。駆動能力が不十分な場合は、コンデンサを付けて安定化してください。外部から V1 ~ V5 レベルを入力する場合には、LPS1 ビット = Low、LPS0 ビット = Low にしてください。V1 ~ V5 レベルは必ず V _{cc} 以下にしてください。1/4 バイアスで駆動する場合は、V3OUT と V4OUT をショートしてください。

1. 概要

2. CPU

2.1 概要

H8/300L CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速 CPU です。

2.1.1 特長

H8/300L CPU には、次の特長があります。

■ 汎用レジスタ方式

- 8 ビット×16 本（16 ビット×8 本としても使用可能）

■ 55 種類の基本命令

- 乗除算命令
- 強力なビット操作命令

■ 8 種類のアドレッシングモード

- レジスタ直接
- レジスタ間接
- ディスプレースメント付きレジスタ間接
- ポストインクリメント/プリデクリメントレジスタ間接
- 絶対アドレス
- イミディエイト
- プログラムカウンタ相対
- メモリ間接

■ 64K バイトのアドレス空間

■ 高速動作

- 頻出命令をすべて 2～4 ステートで実行
- 高速演算
 - 8/16ビットレジスタ間加減算 0.4μs*
 - 8×8ビット乗算 2.8μs*
 - 16÷8ビット除算 2.8μs*

【注】* 数値は、 $\phi = 5\text{MHz}$ 時のもの

■ 低消費電力動作

- SLEEP 命令により低消費電力動作可能

2. CPU

2.1.2 アドレス空間

H8/300L CPU がサポートするアドレス空間は、プログラムコードとデータ領域合計で最大 64K バイトです。

メモリマップの詳細は「2.8 メモリマップ」を参照してください。

2.1.3 レジスタ構成

H8/300L CPU の内部レジスタ構成を図 2.1 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

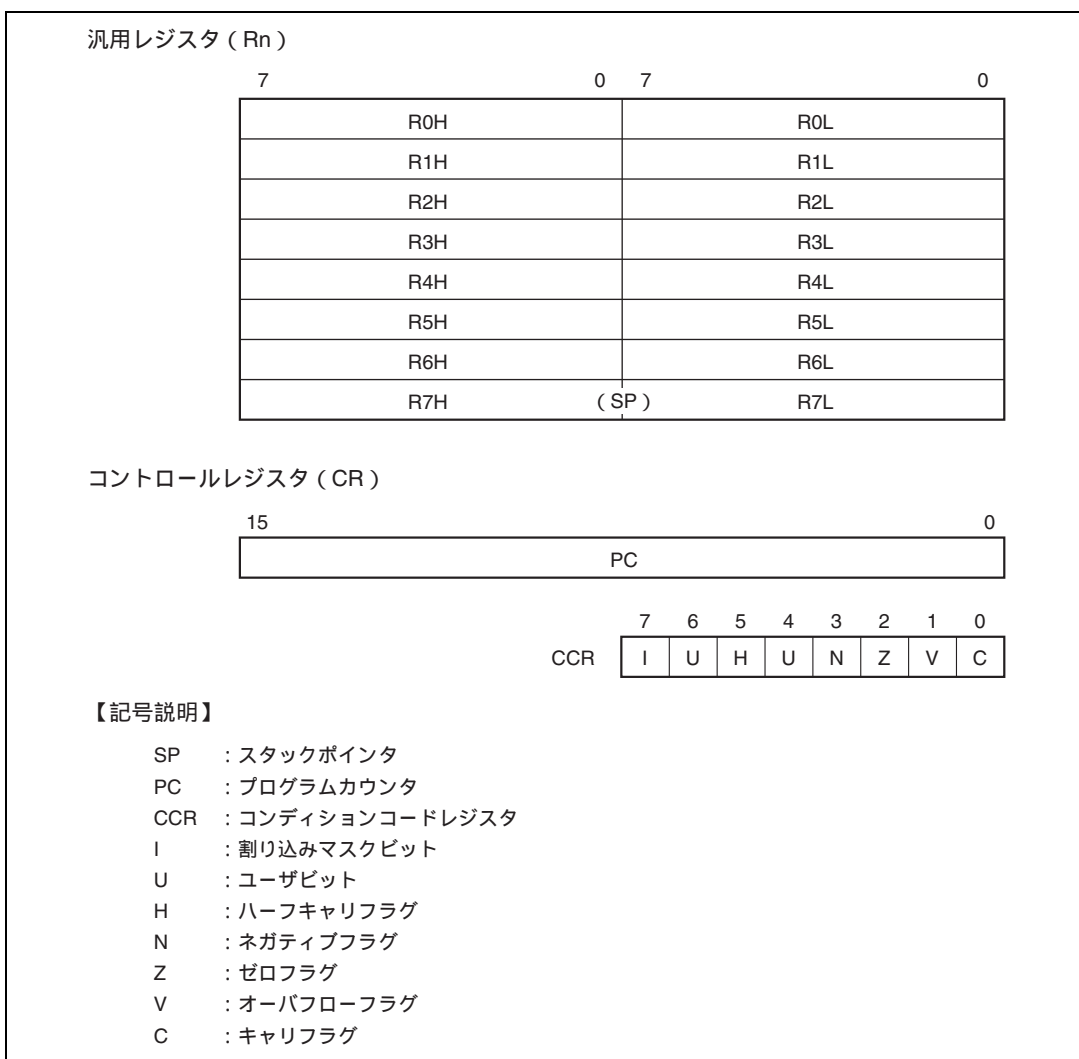


図 2.1 CPU 内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8 ビットレジスタとして上位 (R7H ~ R0H) と下位 (R7L ~ R0L) を別々に使用することも、また 16 ビットレジスタ (R7 ~ R0) として使用することもできます。

アドレスレジスタとして使用する場合は、16 ビットレジスタ (R7 ~ R0) として使用します。

レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP は常にスタック領域の先頭を指しています。スタックの状態を図 2.2 に示します。

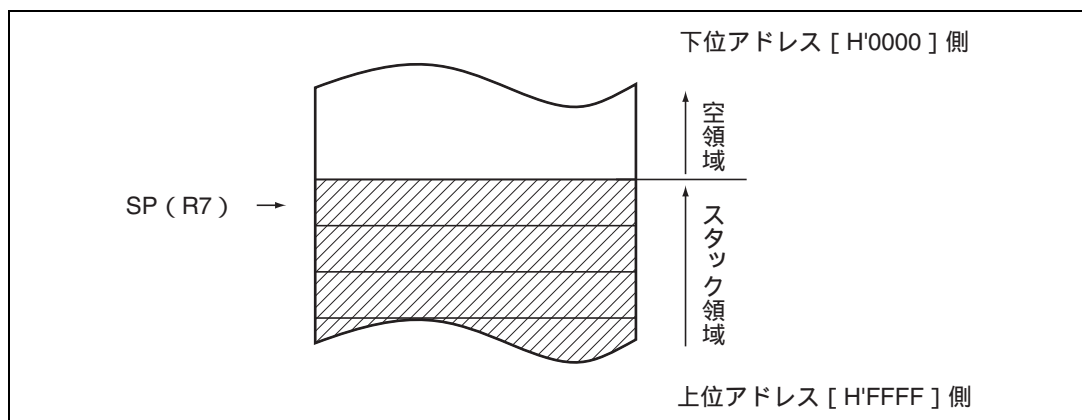


図 2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

16 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 16 ビット (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。これらのビットは、ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに1にセットされます。本ビットはソフトウェアによりリード/ライトできます。割り込みマスクビットの詳細については「3.3 割り込み」を参照してください。

ビット6：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。DAA および DAS 命令実行時に、暗黙的に使用されます。ADD.W、SUB.W、CMP.W 命令ではビット11にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- 加算結果のキャリ
- 減算結果のボロー
- シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300L シリーズ ソフトウェアマニュアル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタアドレス (H'0000) のロードにより初期化され、CCR の I ビットは 1 セットされますが、汎用レジスタおよび CCR の他のビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.3 データ構成

H8/300L CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

バイトデータは、ADDS、SUBS 以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット $\times$ 8 ビット)、DIVXU (16 ビット $\div$ 8 ビット) 命令で扱われます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

汎用レジスタのデータ構成を図 2.3 に示します。



2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.4 に示します。H8/300L CPU は、メモリ上のワードデータをアクセスすることができます（MOV.W 命令）が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします。命令コードについても同様です。

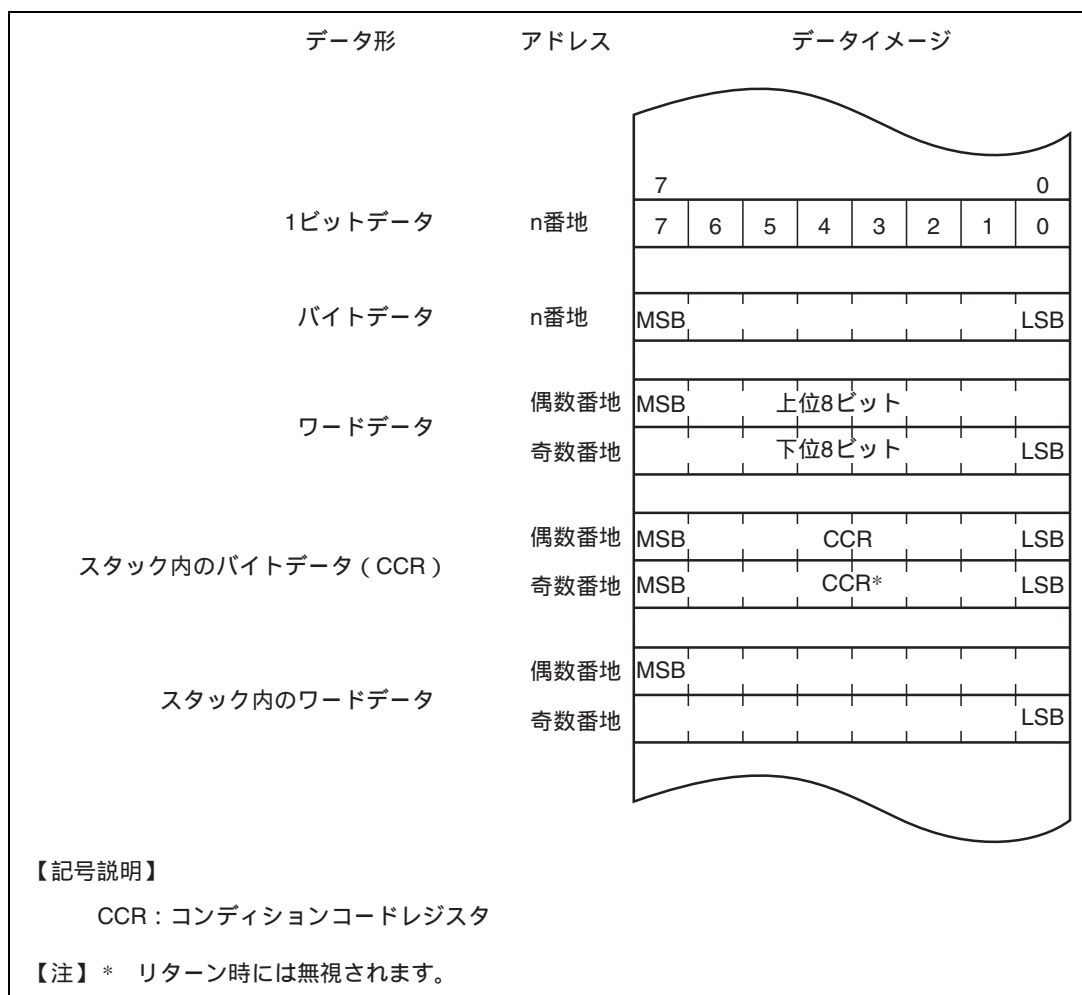


図 2.4 メモリ上でのデータ構成

なお、R7 をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCR は、ワードデータとして上位 8 ビット、下位 8 ビットに同じ値が格納され、リターン時には、下位 8 ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPU は、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@Rn
(3)	ディスプレースメント付きレジスタ間接	@(d:16, Rn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn+ @-Rn
(5)	絶対アドレス	@aa:8/@aa:16
(6)	イミディエイト	#xx:8/#xx:16
(7)	プログラムカウンタ相対	@(d:8, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビットまたは 16 ビット) がオペランドとなります。

16 ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット×8 ビット)、DIVXU (16 ビット÷8 ビット) の各命令です。

(2) レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容に、命令コードの第 2 ワード (第 3、第 4 バイト) の 16 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果が偶数となるようにしてください。

(4) ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

- ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16ビット) の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に1または2が加算され、加算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ加算されます。MOV.W命令では、レジスタの内容が偶数になるようにしてください。

- プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16ビット) の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8/@aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット (@aa:8) または16ビット (@aa:16) で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて1 (H'FF) となります。したがって、アクセス範囲は65280 ~ 65535 (H'FF00 ~ H'FFFF) 番地です。

(6) イミディエイト #xx:8/#xx:16

命令コードの第2バイト (#xx:8) または第3、第4バイト (#xx:16) を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADDSおよびSUBS命令では、イミディエイトデータ (1または2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

(7) プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。

PCの内容に、命令コードの第2バイトの8ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @aa:8

JMP および JSR 命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて0 (H'00) とされますので、分岐アドレスを格納できるのは0~255 (H'0000~H'00FF) 番地です。ただし、H8/300L シリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.3 割り込み」を参照してください。

分岐アドレスまたは MOV.W 命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2 メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

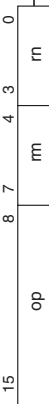
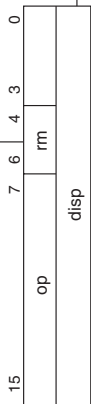
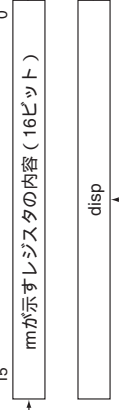
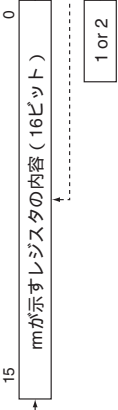
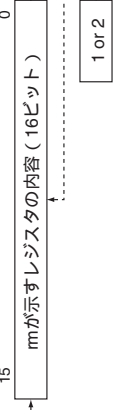
各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.2 に示します。

演算命令では、(1)レジスタ直接、および(6)イミディエイト (ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR の各命令) が使用されます。

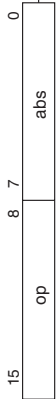
転送命令では、(7)プログラムカウンタ相対と(8)メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に(1)レジスタ直接、(2)レジスタ間接および(5)絶対アドレス(8ビット)が使用可能です。さらに、オペランド中のビット番号を指定するために(1)レジスタ直接 (BSET、BCLR、BNOT、BTST の各命令) および(6)イミディエイト(3ビット)が独立して使用可能です。

表 2.2 実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 Rn 		 オペランドはrm/rmが示すレジスタの内容です。
(2)	レジスタ間接 @Rn 		
(3)	ディスプレースメント付きレジスタ間接 @ (d:16, Rn) 		
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @Rn+  ・プリデクリメントレジスタ間接 @-Rn 	  オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。	 

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	絶対アドレス @aa:8		
	@aa:16		
(6)	イミディエイト #xx:8		オペランドはイミディエイトデータの1または2バイトデータです。
(7)	プログラムカウンタ相対 @ (di:8, PC)		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接@aa:8 		

【記号説明】

rm、m : レジスタフィールド
 op : オペレーションフィールド
 disp : ディスプレースメント
 IMM : イミディエイトデータ
 abs : 絶対アドレス

2.5 命令セット

H8/300L CPU の命令は合計 55 種類あり、各命令のもつ機能によって、表 2.3 に示すように分類されます。

表 2.3 命令の分類

機能	命令	種類
データ転送命令	MOV、POP ^{*1} 、PUSH ^{*1}	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc ^{*2} 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計 55 種

【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+, Rn、MOV.W Rn, @-SP と同一です。機械語についても同一です。

*2 Bcc は条件分岐命令の総称です。

各命令の機能について表 2.4 から表 2.11 に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ（デスティネーション側）
Rs	汎用レジスタ（ソース側）
Rn	汎用レジスタ
(EAd)、<EAd>	デスティネーションオペランド
(EAs)、<EAs>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
−	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:3	3 ビット長
:8	8 ビット長
:16	16 ビット長
()、< >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs) → Rd, Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn → @-SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.9.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.5 に示します。

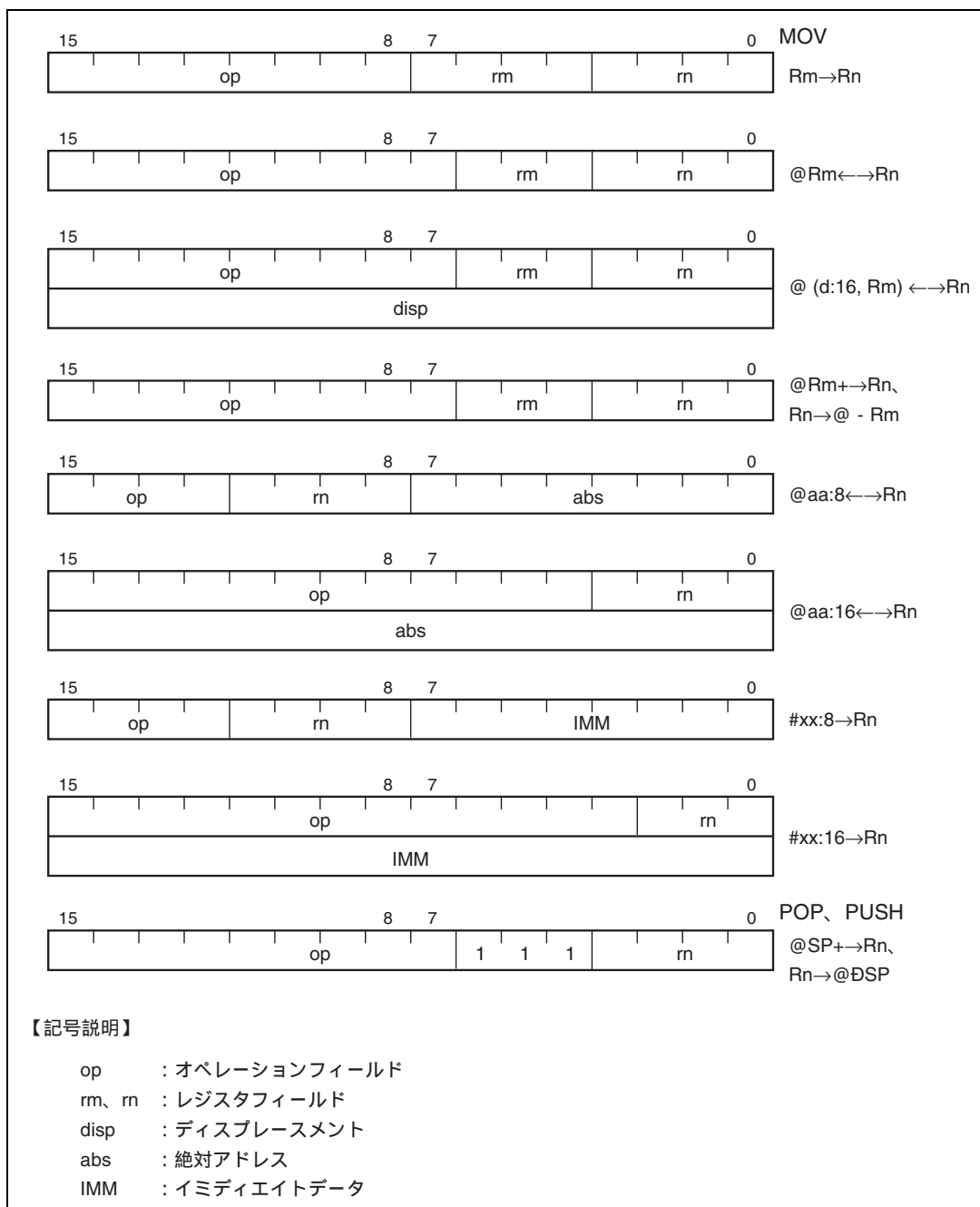


図 2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

	サイズ*	機能
ADD SUB	B/W	$Rd \pm Rs \rightarrow Rd$, $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタ間のキャリ付きの加減算、または汎用レジスタとイミディエイトデータのキャリ付きの加減算を行います。
INC DEC	B	$Rd \pm 1 \rightarrow Rd$ 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs \rightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8 ビット $\times$ 8 ビット $\rightarrow$ 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs \rightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16 ビット $\div$ 8 ビット $\rightarrow$ 商 8 ビット余り 8 ビットの演算が可能です。
CMP	B/W	$Rd-Rs$, $Rd-\#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0-Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数（算術的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命令	サイズ*	機能
AND	B	$Rd\ Rs \rightarrow Rd, Rd\ \#IMM \rightarrow Rd$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	$Rd\ Rs \rightarrow Rd, Rd\ \#IMM \rightarrow Rd$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	$Rd \oplus Rs \rightarrow Rd, Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	$Rd\ (\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	$Rd\ (\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	$Rd\ (\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	$Rd\ (\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2. CPU

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。

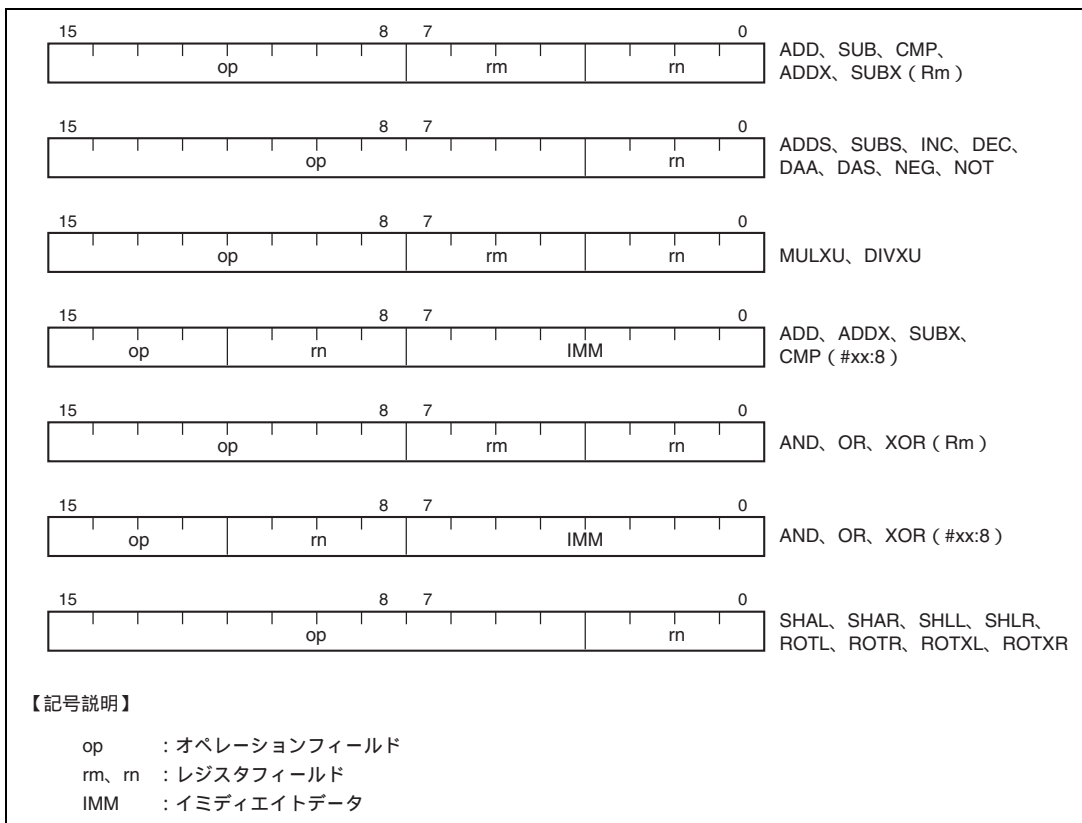


図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令

命令	サイズ*	機能
BSET	B	1→(<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0→(<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	~(<ビット番号> of <EAd>)→(<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号> of <EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号> of <EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~(<ビット番号> of <EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号> of <EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~(<ビット番号> of <EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	C⊕(<ビット番号> of <EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C⊕[~(<ビット番号> of <EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	(<ビット番号> of <EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	~(<ビット番号> of <EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

2. CPU

命令	サイズ*	機能
BST	B	C→(<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C→(<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

ビット操作命令には使用上の注意事項があります。詳細は「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命令	サイズ	機能																																																			
Bcc	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。 <table border="1"> <thead> <tr> <th>二ーモニツク</th><th>説 明</th><th>分 岐 条 件</th></tr> </thead> <tbody> <tr> <td>BRA (BT)</td><td>Always (True)</td><td>Always</td></tr> <tr> <td>BRN (BF)</td><td>Never (False)</td><td>Never</td></tr> <tr> <td>BHI</td><td>High</td><td>C Z = 0</td></tr> <tr> <td>BLS</td><td>Low or Same</td><td>C Z = 1</td></tr> <tr> <td>BCC (BHS)</td><td>Carry Clear (High or Same)</td><td>C = 0</td></tr> <tr> <td>BCS (BLO)</td><td>Carry Set (Low)</td><td>C = 1</td></tr> <tr> <td>BNE</td><td>Not Equal</td><td>Z = 0</td></tr> <tr> <td>BEQ</td><td>Equal</td><td>Z = 1</td></tr> <tr> <td>BVC</td><td>Overflow Clear</td><td>V = 0</td></tr> <tr> <td>BVS</td><td>Overflow Set</td><td>V = 1</td></tr> <tr> <td>BPL</td><td>PLus</td><td>N = 0</td></tr> <tr> <td>BMI</td><td>MInus</td><td>N = 1</td></tr> <tr> <td>BGE</td><td>Greater or Equal</td><td>$N \oplus V = 0$</td></tr> <tr> <td>BLT</td><td>Less Than</td><td>$N \oplus V = 1$</td></tr> <tr> <td>BGT</td><td>Greater Than</td><td>$Z (N \oplus V) = 0$</td></tr> <tr> <td>BLE</td><td>Less or Equal</td><td>$Z (N \oplus V) = 1$</td></tr> </tbody> </table>	二ーモニツク	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (Low)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	Overflow Clear	V = 0	BVS	Overflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z (N \oplus V) = 0$	BLE	Less or Equal	$Z (N \oplus V) = 1$
二ーモニツク	説 明	分 岐 条 件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (Low)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	Overflow Clear	V = 0																																																			
BVS	Overflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z (N \oplus V) = 1$																																																			
JMP	—	指定されたアドレスへ無条件に分岐します。																																																			
BSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	—	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.8 に示します。

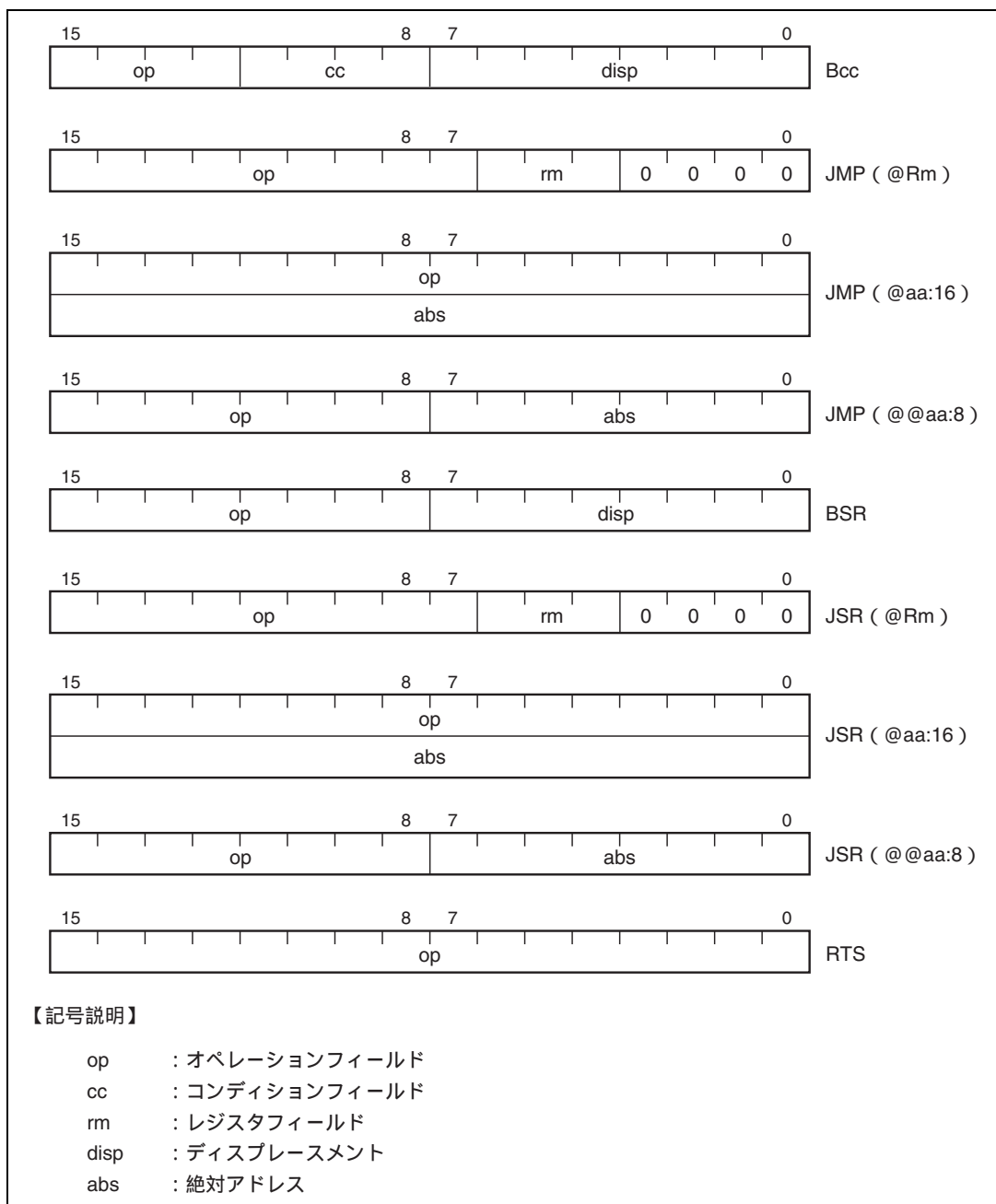


図 2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命令	サイズ*	機能
RTE	—	割り込み処理ルーチンから復帰します。
SLEEP	—	アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
LDC	B	Rs→CCR、#IMM→CCR 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	CCR→Rd CCR の内容を汎用レジスタに転送します。
ANDC	B	CCR #IMM→CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM→CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.9 に示します。

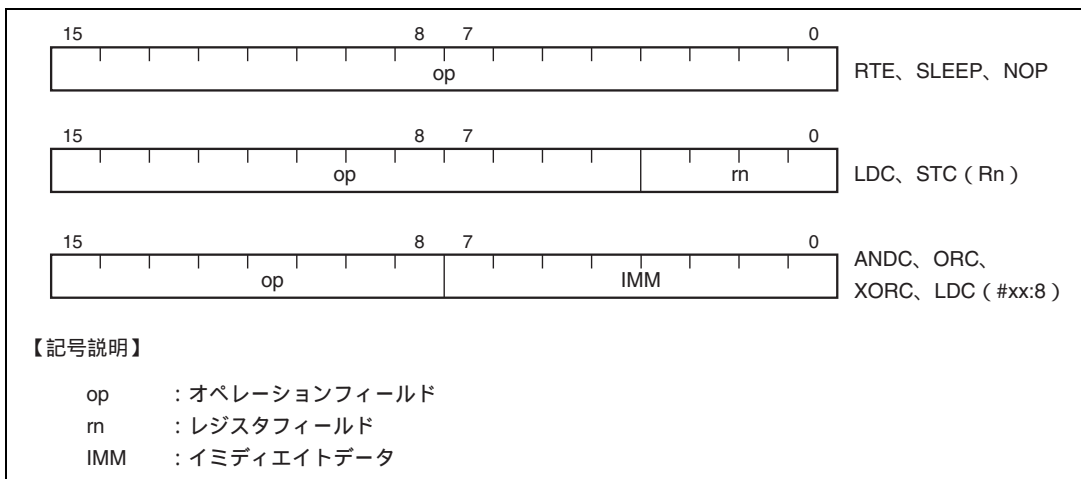


図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命令	サイズ	機能
EEPMOV	—	<pre> if R4L ≠ 0 then Repeat @R5+→@R6+, R4L-1→R4L Until R4L=0 else next; </pre> ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。

EEPMOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EEPMOV 命令使用上の注意事項」を参照してください。

ブロック転送命令の命令フォーマットを図 2.10 に示します。

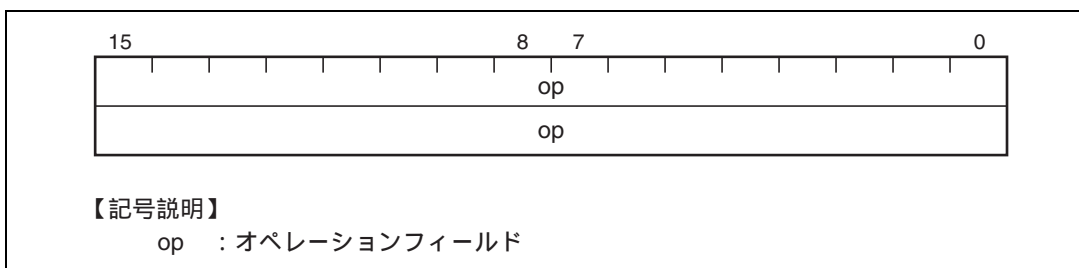


図 2.10 ブロック転送命令の命令フォーマット

2.6 基本動作タイミング

CPU は、システムクロック (ϕ) またはサブクロック (ϕ_{SUB}) を基準に動作しています。システムクロック ϕ およびサブクロック ϕ_{SUB} の定義については「第4章 クロック発振器」を参照してください。 ϕ または ϕ_{SUB} の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。バスサイクルは、2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアccessサイクルを図2.11に示します。

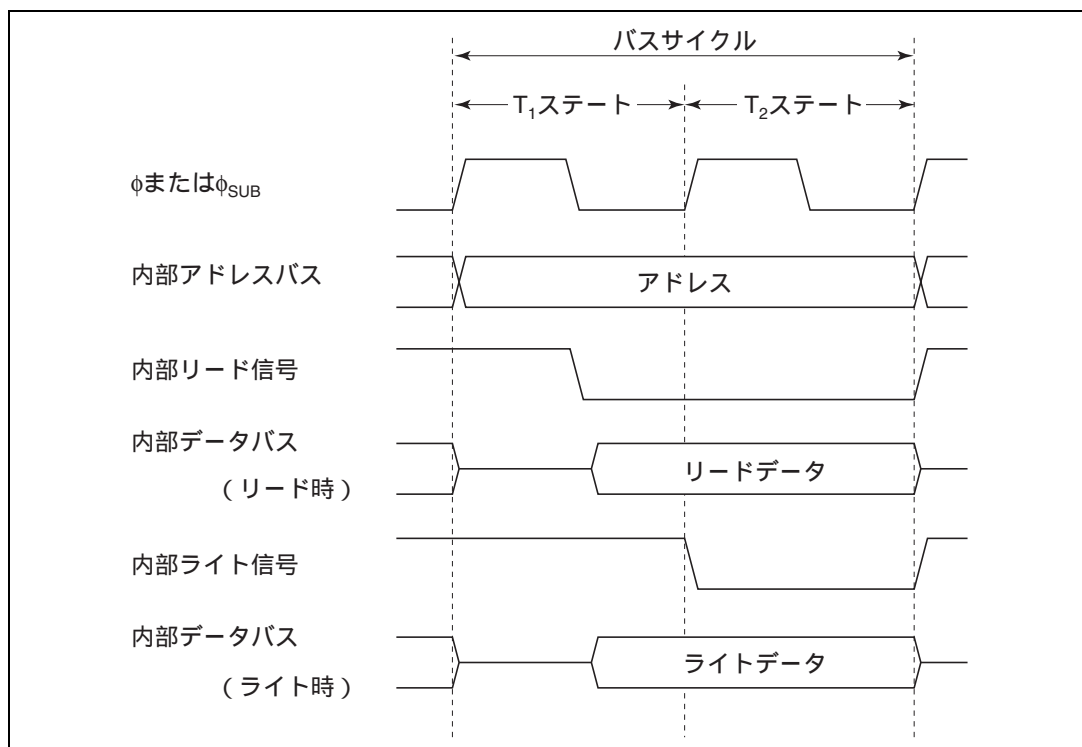


図 2.11 内蔵メモリアccessサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2 命令に分けてアクセスしてください。

(1) 内蔵周辺モジュール2 ステートアクセス

内蔵周辺モジュールを2ステートでアクセスした動作タイミングを図 2.12 に示します。

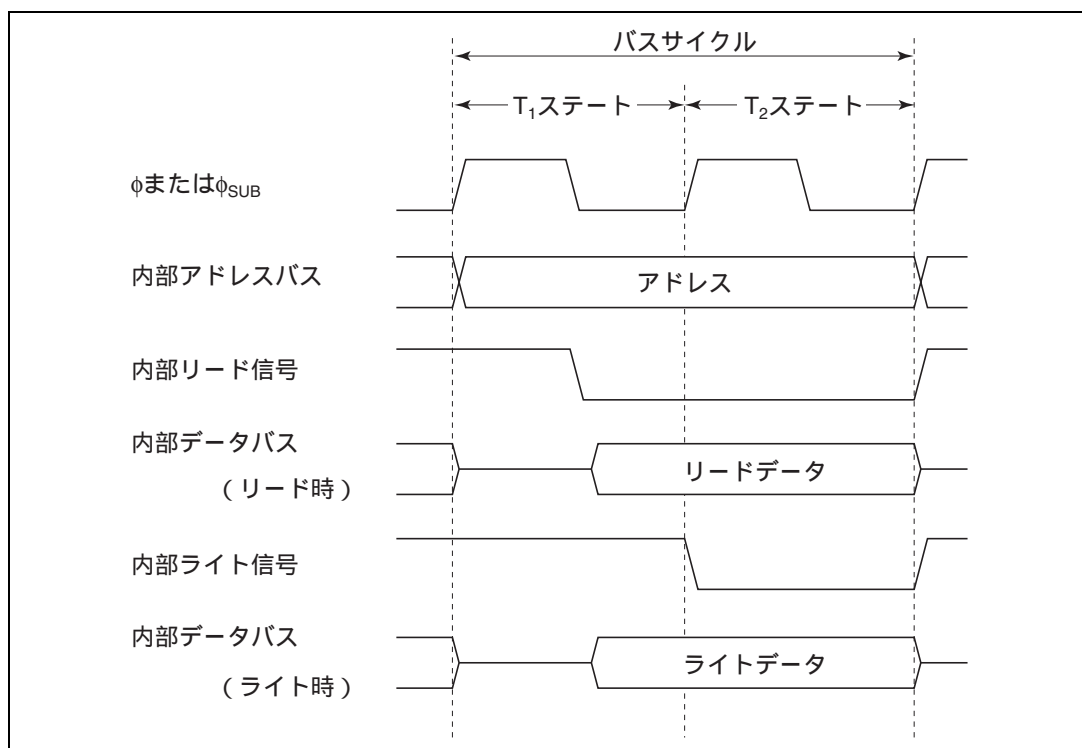


図 2.12 内蔵周辺モジュールアクセスサイクル (2 ステートアクセス)

(2) 内蔵周辺モジュール 3 ステートアクセス

内蔵周辺モジュールを 3 ステートでアクセスした動作タイミングを図 2.13 に示します。

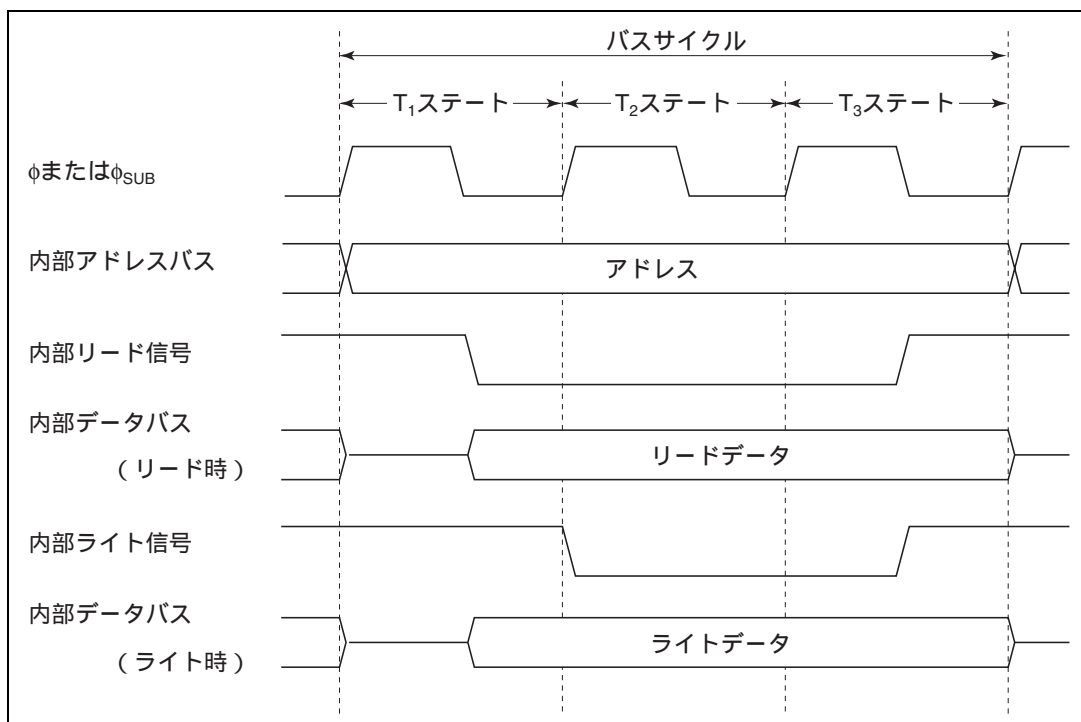


図 2.13 内蔵周辺モジュールアクセスサイクル (3 ステートアクセス)

2.7 CPU の状態

2.7.1 概要

CPU の状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の 4 種類があります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図 2.14 に、各状態間の遷移を図 2.15 に示します。

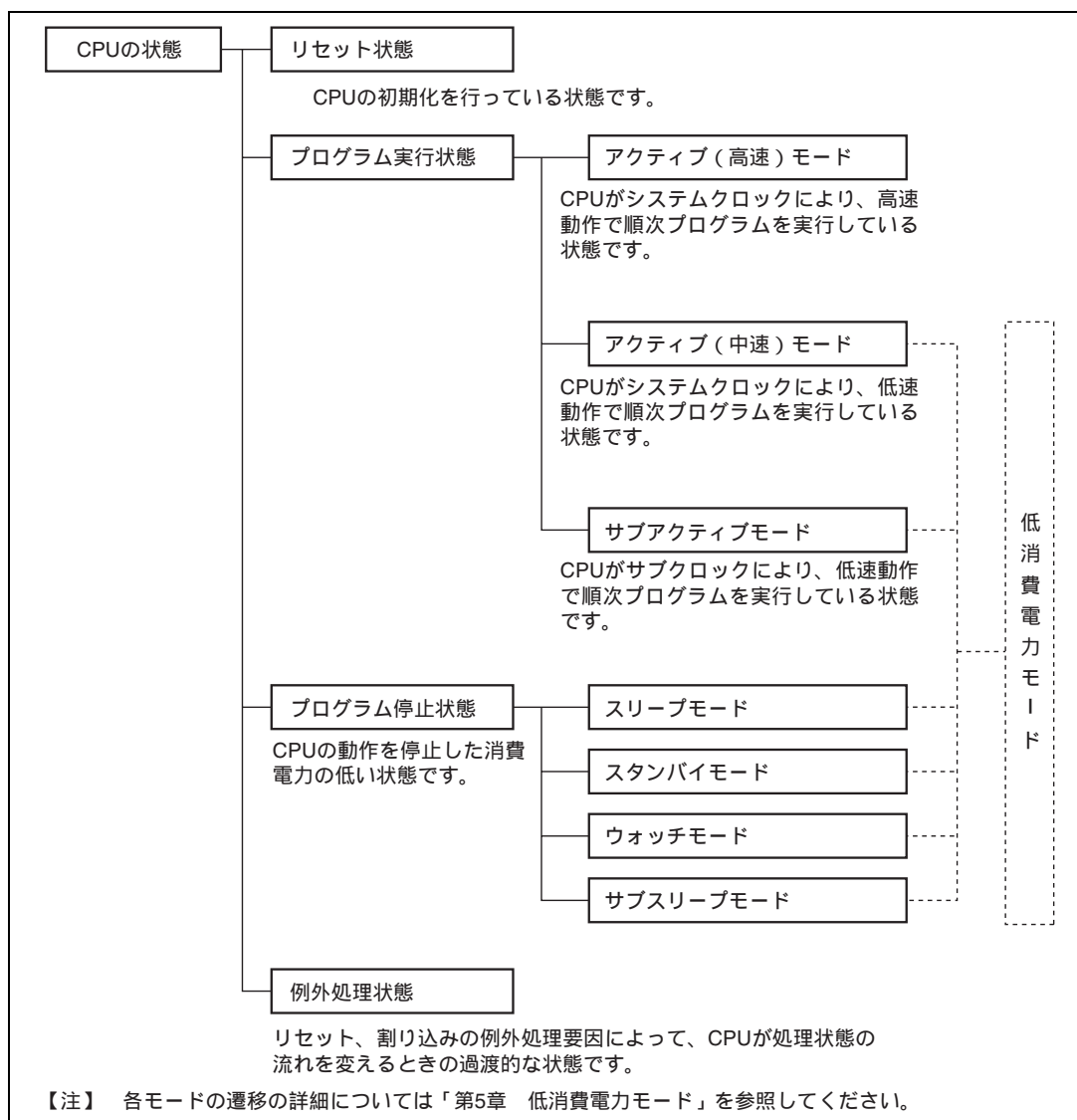
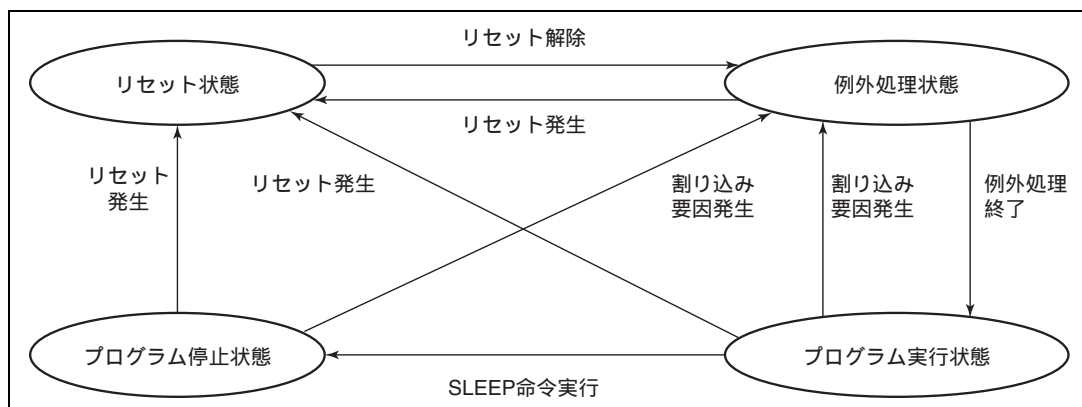


図 2.14 CPU の状態の分類



2.7.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

CPU がプログラム実行状態には、アクティブ（高速、中速）モードとサブアクティブモードの 3 つのモードがあります。アクティブ（高速、中速）モードはシステムクロックで、サブアクティブモードはサブクロックで動作します。

これらのモードについての詳細は「第 5 章 低消費電力モード」を参照してください。

2.7.3 プログラム停止状態

プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードの 4 つのモードがあります。

これらのモードについての詳細は「第 5 章 低消費電力モード」を参照してください。

2.7.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPU が通常の処理状態の流れを変えときの過渡的な状態です。割り込み要因による例外処理では、SP (R7) を参照して、PC および CCR の退避を行います。

割り込み処理についての詳細は、「3.3 割り込み」を参照してください。

2.8 メモリマップ

2.8.1 メモリマップ

H8/3857 グループのメモリマップを図 2.16 (a) に、H8/3854 グループのメモリマップを図 2.16 (b) に示します。

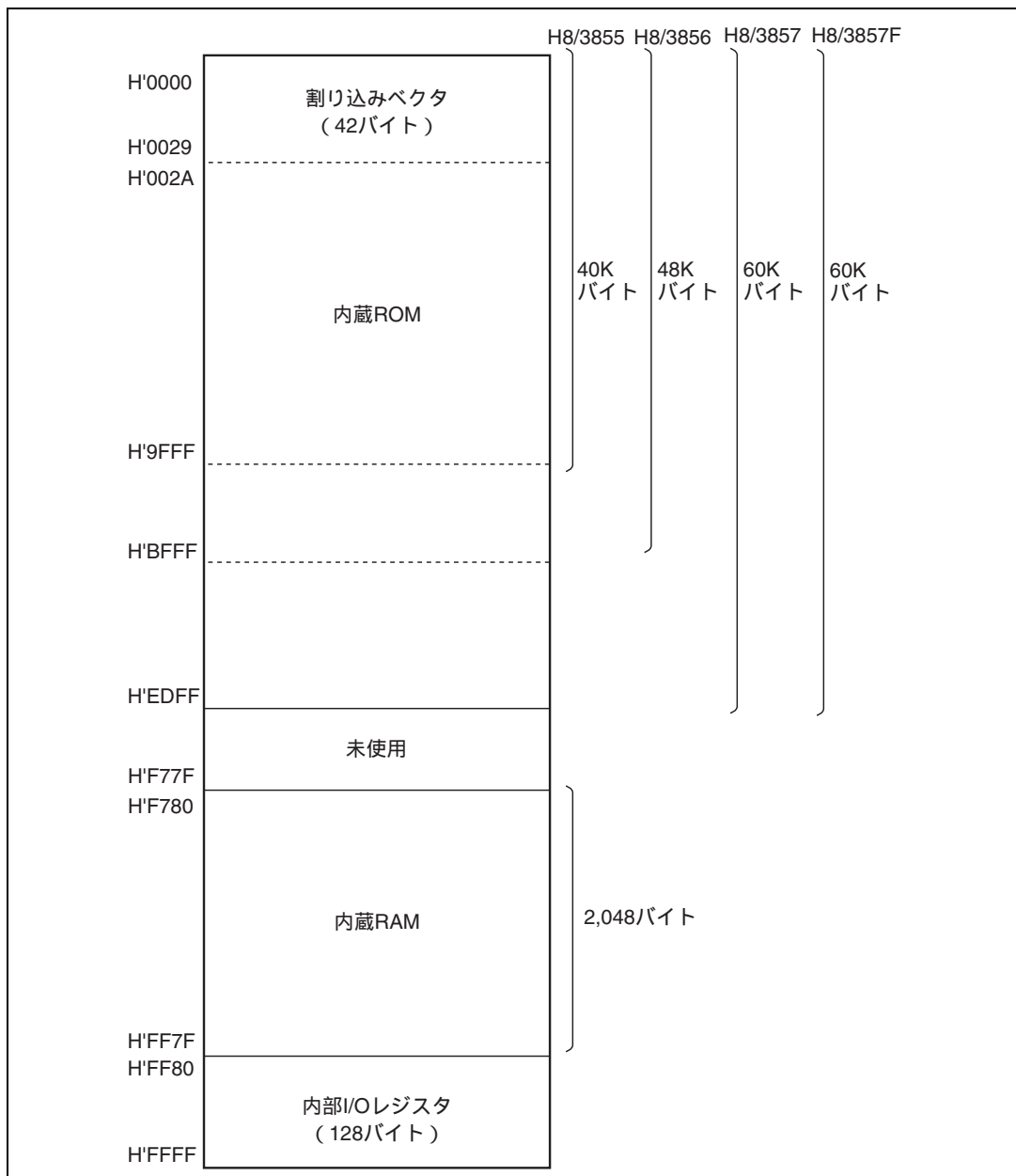


図 2.16 (a) H8/3857 グループのメモリマップ

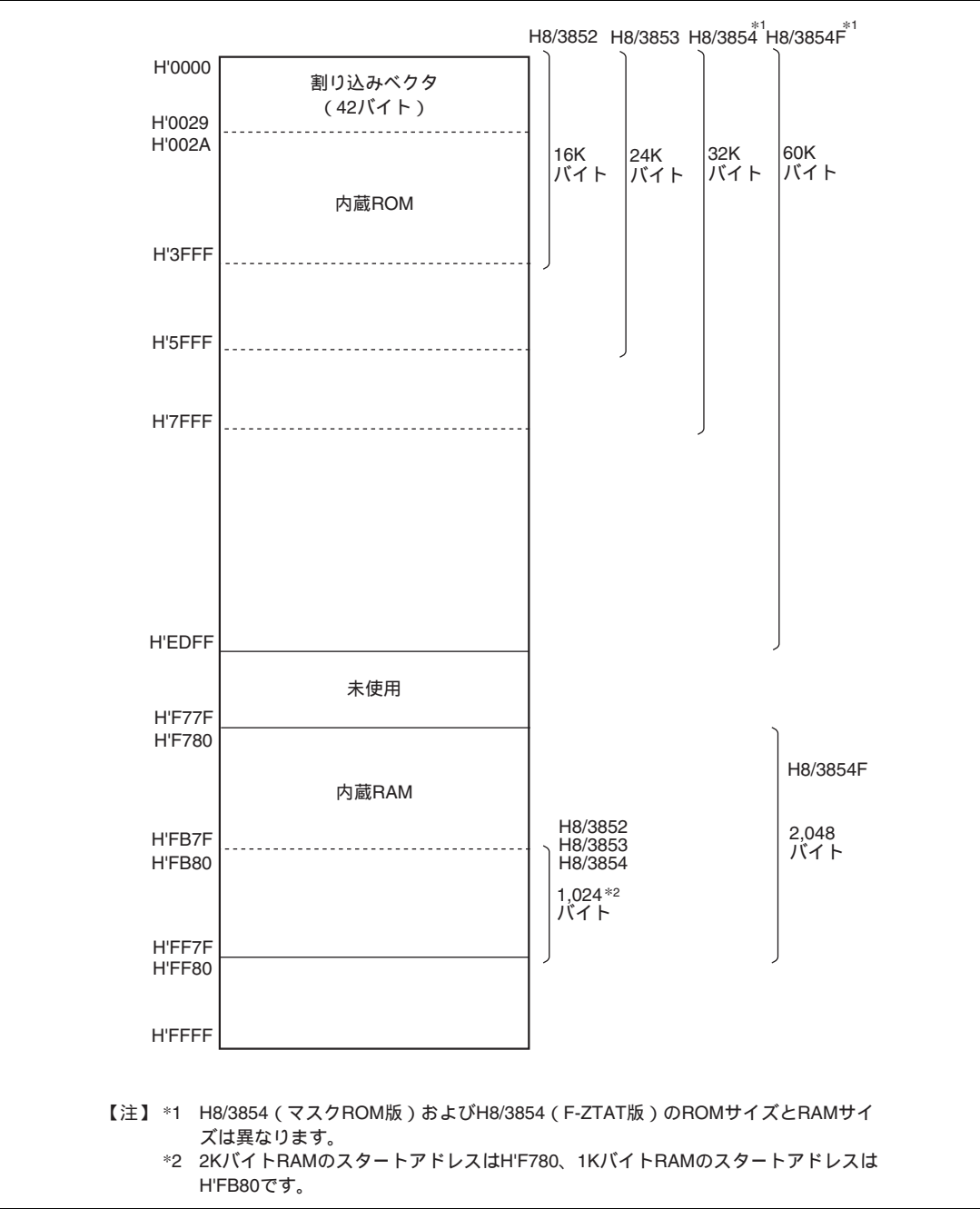


図 2.16 (b) H8/3854 グループのメモリマップ

2.9 使用上の注意事項

2.9.1 データアクセスに関する注意事項

(1) 空きエリアへのアクセス

H8/300L CPU のアドレス空間には、ユーザに開放された ROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤ってこの空きエリアにアクセスを行うと、以下のように動作します。

<u>CPU から空きエリアへのデータの転送</u> 転送データは失われます。また、CPU 誤動作の原因となる可能性があります。
<u>空きエリアから CPU へのデータの転送</u> 転送データは保証されません。

(2) 内部 I/O レジスタへのアクセス

内蔵 ROM、RAM 領域以外の内蔵周辺モジュールは、内部のデータ転送が 8 ビットで行われます。この領域にワードアクセスを行うと、以下のように動作します。

<u>CPU から I/O レジスタ領域へのワードアクセス</u> 上位バイト：I/O レジスタに書き込まれます。 下位バイト：転送データは失われます。
<u>内部 I/O レジスタから CPU へのワードアクセス</u> 上位バイト：CPU 内部レジスタ上位に書き込まれます。 下位バイト：CPU 内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵 ROM、RAM 領域以外の I/O レジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。

2. CPU

図 2.17 にアクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応を示します。

			アクセス		ステート数
			ワード	バイト	
H'0000	割り込みベクタ (42バイト)	60Kバイト*1			
H'0029					
H'002A					
	内蔵ROM	60Kバイト*1	○	○	2
H'EDFF*1	未使用		—	—	—
H'F780	内蔵RAM	2048バイト*2	○	○	2
H'FF7F					
H'FF80					
	内部I/Oレジスタ (128バイト)		×	○	2
		H'FFA8	×	○	3
		H'FEAD			
H'FFFF			×	○	2

【注】 H8/3857、H8/3857F、H8/3854Fの例です。

*1 H8/3855は40KバイトでアドレスはH'9FFF、H8/3856は48KバイトでアドレスはH'BFFF、H8/3852は16KバイトでアドレスはH'3FFF、H8/3853は24KバイトでアドレスはH'5FFF、H8/3854（マスクROM版）はH'7FFFとなります。

*2 H8/3857グループおよびH8/3854Fは2,048バイト、H8/3854グループ（マスクROM版）は1,024バイト、開始アドレスはH'FB80となります。

図 2.17 アクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応

2.9.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序		動作内容
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

(1) 同一アドレスに割り付けられた2つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

図2.18に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。

リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行した場合、タイマロードレジスタとタイマカウンタはアドレスを共有しているため、次のように動作します。

動作順序		動作内容
1	リード	タイマカウンタのデータ（バイト単位）をリードします。
2	ビット操作	CPUは命令で指定された1ビットを操作（セットまたはリセット）します。
3	ライト	操作したデータ（バイト単位）をタイマロードレジスタにライトします。

タイマカウンタは、カウントを続けているのでリードした値がタイマロードレジスタとは必ずしも等しくありません。その結果操作の対象となったビット以外は、タイマカウンタの値がタイマロードレジスタへライトされます。

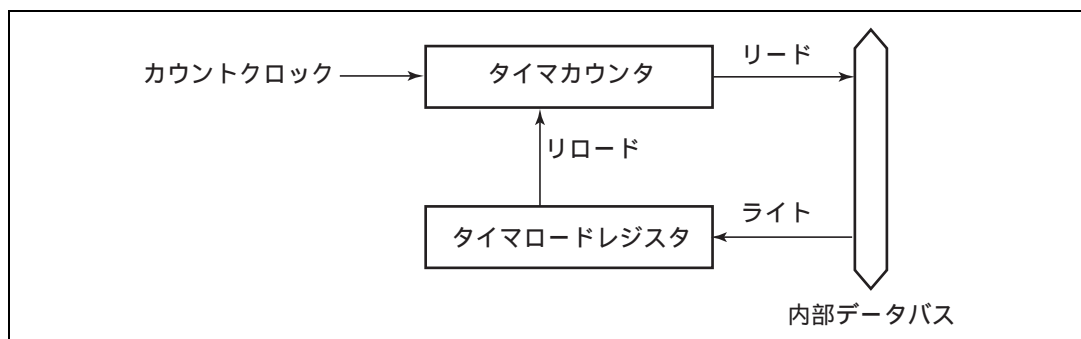


図 2.18 タイマの構成例

2. CPU

例 2：ポート 3 に BSET 命令を実行した場合

P3₇、P3₆ は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとし、P3₅ ~ P3₀ は出力端子に設定され、それぞれ Low レベル出力状態とします。

以下に、BSET 命令で P3₀ に High レベル出力を行う例を示します。

【A；BSET 命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B；BSET 命令を実行】

BSET	#0,	@PDR3
------	-----	-------

 ポート 3 に対して BSET 命令を実行します。

【C；BSET 命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	0	1	0	0	0	0	0	1

【D；BSET 命令の動作説明】

BSET 命令を実行すると、CPU は、最初にポート 3 をリードします。

P3₇、P3₆ は入力端子であるので、CPU は端子の状態（Low レベル、High レベル入力）をリードします。P3₅ ~ P3₀ は出力端子であるので、CPU は PDR3 の値をリードします。したがって、この例では、PDR3 は H'80 ですが、CPU がリードしたデータは H'40 となります。

次に、CPU は、リードしたデータのビット 0 を 1 にセットして、データを H'41 に変更します。

最後に、この値（H'41）を PDR3 に書き込んで、BSET 命令を終了します。

その結果、PDR3 のビット 0 が 1 になり、P3₀ は High レベル出力になります。しかし、PDR3 のビット 7、6 が変化してしまいます。

そのため、PDR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PDR3 にライトしてください。

【A ; BSET 命令を実行前】

MOV.B	#80.	R0L
MOV.B	R0L.	@RAM0
MOV.B	R0L.	@PDR3

PDR3 に書き込む値 (H'80) をあらかじめメモリ上のワークエリア (RAM0) と PDR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B ; BSET 命令を実行】

BSET	#0	, @RAM0
------	----	---------

PDR3 のワークエリア (RAM0) に対して BSET 命令を実行します。

【C ; BSET 命令を実行後】

MOV.B	@RAM0, R0L
MOV.B	R0L. @PDR3

ワークエリア (RAM0) の値を PDR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

2. CPU

(2) ライト専用ビットを含むレジスタのビット操作

例 3 : ポート 3 の PCR3 に BCLR 命令を実行した場合

P3₇、P3₆は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。
P3₅～P3₀は出力端子に設定され、それぞれ Low レベル出力状態とします。

ここで、BCLR 命令で、P3₀を入力ポートにする例を示します。入力端子に設定された P3₀は High レベルが入力されるものとします。

【A ; BCLR 命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B ; BCLR 命令を実行】

BCLR #0 , @PCR3 PCR3 に対して BCLR 命令を実行します。

【C ; BCLR 命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	1	1	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

【D ; BCLR 命令の動作説明】

BCLR 命令を実行すると、CPU は、最初に PCR3 をリードします。PCR3 はライト専用レジスタですので、CPU は H'FF をリードします。したがって、この例では PCR3 は H'3F ですが、CPU がリードしたデータは H'FF となります。

次に、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を PCR3 に書き込んで、BCLR 命令を終了します。

その結果、PCR3 のビット 0 が 0 になり、P3₀は入力ポートになります。しかし、PCR3 のビット 7、ビット 6 が 1 になって、入力ポートであった P3₇、P3₆は出力ポートに変化してしまいます。

そのため、PCR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PCR3 にライトしてください。

【A ; BCLR 命令を実行前】

MOV.B	#3F.	R0L
MOV.B	R0L.	@RAM0
MOV.B	R0L.	@PCR3

PCR3 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B ; BCLR 命令を実行】

BCLR	#0	, @RAM0
------	----	---------

PCR3 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【C ; BCLR 命令を実行後】

MOV.B	@RAM0, R0L
MOV.B	R0L. @PCR3

ワークエリア (RAM0) の値を PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

2. CPU

同一のアドレスに割り付けられた 2 つのレジスタの一覧を表 2.12 に、ライト専用ビットを含むレジスタの一覧を表 2.13 に示します。

表 2.12 同一のアドレスに割り付けられた 2 つのレジスタの一覧

レジスタ名	略称	アドレス
タイマカウンタ B / タイマロードレジスタ B	TCB/TLB	H'FFB3
タイマカウンタ C / タイマロードレジスタ C ^{*2}	TCC/TLC	H'FFB5
ポートデータレジスタ 1 ^{*1*3}	PDR1	H'FFD4
ポートデータレジスタ 2 ^{*1}	PDR2	H'FFD5
ポートデータレジスタ 3 ^{*1*2}	PDR3	H'FFD6
ポートデータレジスタ 4 ^{*1}	PDR4	H'FFD7
ポートデータレジスタ 5 ^{*1}	PDR5	H'FFD8
ポートデータレジスタ 9 ^{*1}	PDR9	H'FFDC
ポートデータレジスタ A ^{*1}	PDRA	H'FFDD

- 【注】 *1 ポートデータレジスタと端子入力が兼用になっています。
*2 H8/3857 グループ固有の機能です。H8/3854 グループにはありません。
*3 H8/3854 グループでは、ビットの一部が存在しません。

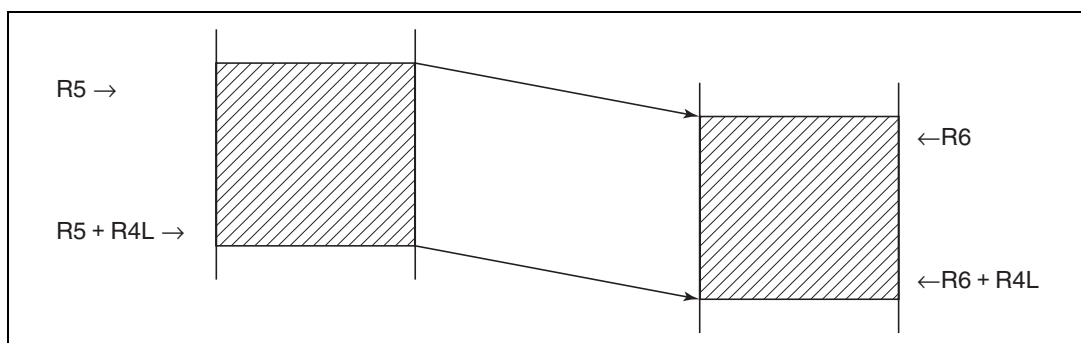
表 2.13 ライト専用ビットを含むレジスタの一覧

レジスタ名	略称	アドレス
ポートコントロールレジスタ 1 ^{*1}	PCR1	H'FFE4
ポートコントロールレジスタ 2	PCR2	H'FFE5
ポートコントロールレジスタ 3 ^{*2}	PCR3	H'FFE6
ポートコントロールレジスタ 4	PCR4	H'FFE7
ポートコントロールレジスタ 5	PCR5	H'FFE8
ポートコントロールレジスタ 9	PCR9	H'FFEC
ポートコントロールレジスタ A	PCRA	H'FFED
タイマコントロールレジスタ F	TCRF	H'FFB6
PWM コントロールレジスタ ^{*2}	PWCR	H'FFD0
PWM データレジスタ U ^{*2}	PWDRU	H'FFD1
PWM データレジスタ L ^{*2}	PWDR L	H'FFD2

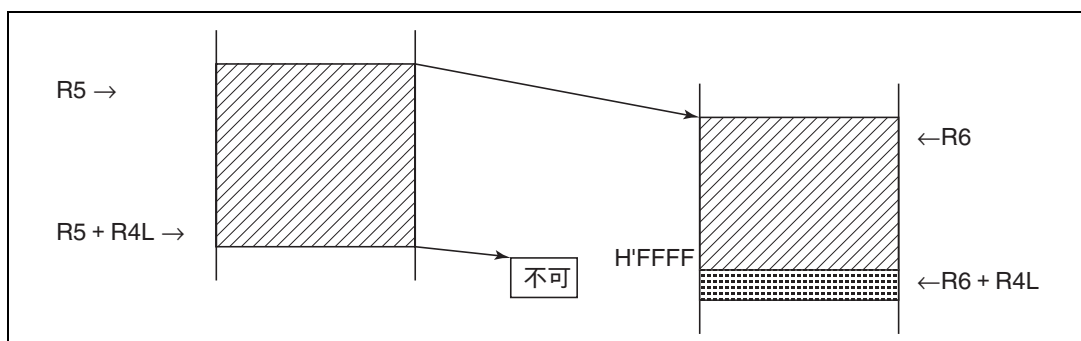
- 【注】 *1 H8/3854 グループでは、ビットの一部が存在しません。
*2 H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

2.9.3 EEPMOV 命令使用上の注意事項

- (1) EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス ($R6+R4L$ の値) が $H'FFFF$ を超えないように (実行途中で $R6$ の値が $H'FFFF \rightarrow H'0000$ とならないように)、 $R4L$ 、 $R6$ を設定してください。



3. 例外処理

3.1 概要

本 LSI の例外処理には、リセットと割り込みがあります。表 3.1 に、例外処理の種類と優先度を示します。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	リセットが解除されると例外処理を開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.2 リセット

3.2.1 概要

リセットは最も優先順位の高い例外処理です。

リセットによって、CPU の内部状態と、内蔵周辺モジュールの各レジスタが初期化されます。

3.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中にリセットする場合は、最低 10 システムクロックの間、Low レベルに保持してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後、High レベルになると、リセット例外処理が開始されます。リセット例外処理の動作は以下のとおりです。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタの初期化を行い、コンディションコードレジスタ (CCR) の I ビットをセットします。
- (2) リセット例外処理ベクタアドレス (H'0000 ~ H'0001) をリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

パワーオン / パワーオフ時には、 $\overline{\text{RES}}$ 端子を Low レベルにしてください。

リセットシーケンスを図 3.1 に示します。

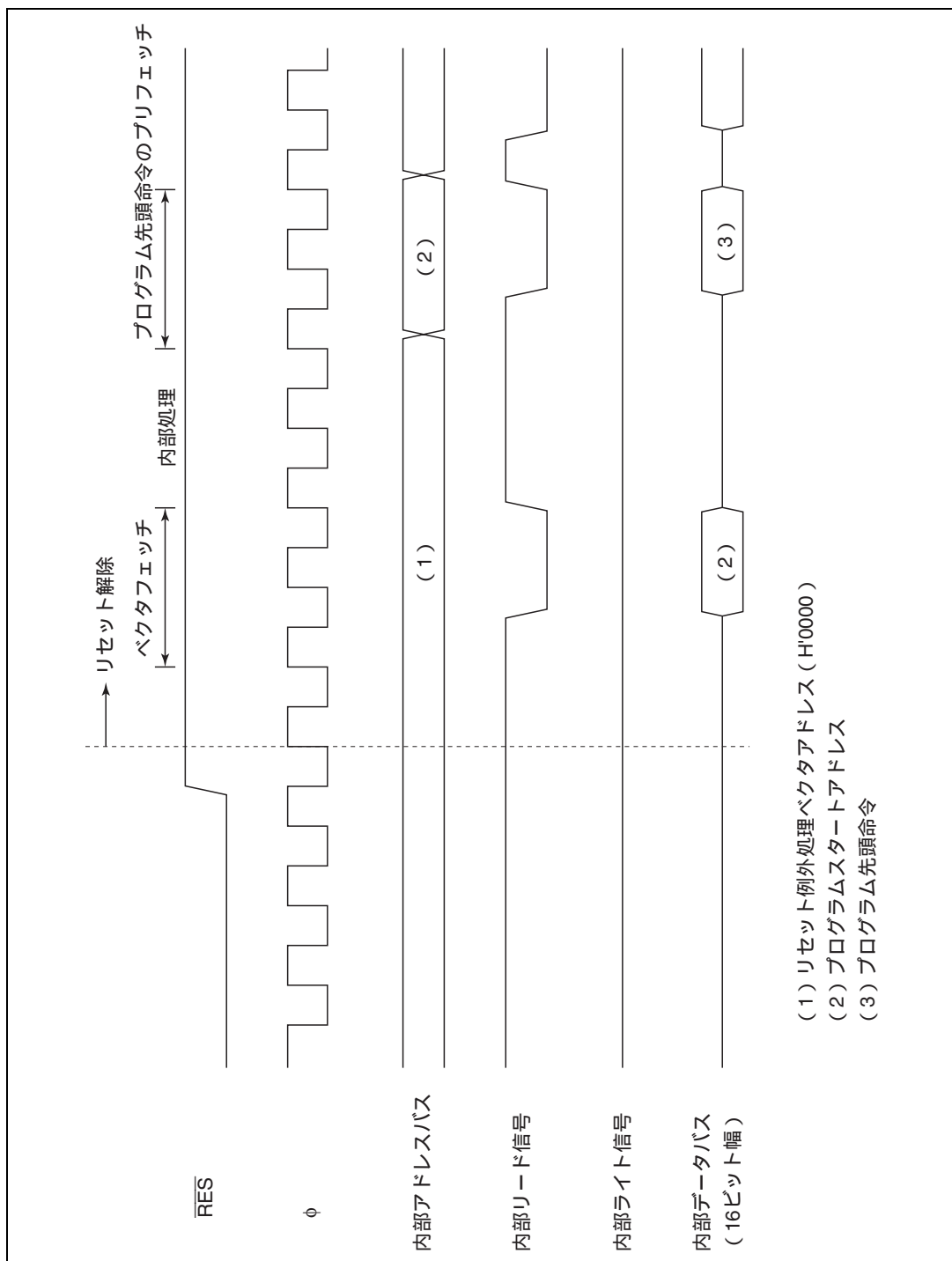


図 3.1 リセットシーケンス

3.2.3 リセット直後の割り込み

リセット後、スタックポインタ (SP: R7) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割り込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラムの先頭命令は、SP を初期化する命令としてください (例: MOV.W #xx:16, SP)。

3.3 割り込み

3.3.1 概要

H8/3857 グループの割り込み例外処理を開始する要因には、13 の外部割り込み要因 (WKP₇ ~ WKP₀, IRQ₄ ~ IRQ₀) と内蔵モジュールから 16 の内部割り込み要因があります。また H8/3854 グループの割り込み例外処理を開始する要因には、12 の外部割り込み要因 (WKP₇ ~ WKP₀, IRQ₄, IRQ₃, IRQ₁, IRQ₀) と内蔵モジュールから 14 の内部割り込み要因があります。割り込み要因と優先度、ならびにベクタアドレスの一覧表を表 3.2 に示します。複数の割り込み要求が発生したときは、優先度の高い方から処理されます。

これらの割り込みには次のような特長があります。

- (1) 内部割り込みおよび外部割り込みは、CCR の I ビットによりマスクされます。CCR の I ビットが 1 にセットされていると、割り込み要求フラグはセットされますが、割り込みは受け付けられません。
- (2) IRQ₄ ~ IRQ₀ は、立ち上がり / 立ち下がりエッジセンスのいずれかに設定することができます。

3. 例外処理

表 3.2 割り込み優先順位

割り込み要因発生元	割り込み要因	ベクタNo.	ベクタアドレス *1	優先順位
RES	リセット	0	H'0000 ~ H'0001	高 ↑ ↓ 低
$\overline{\text{IRQ}}_0$	IRQ ₀	4	H'0008 ~ H'0009	
$\overline{\text{IRQ}}_1$	IRQ ₁	5	H'000A ~ H'000B	
$\overline{\text{IRQ}}_2$ *2	IRQ ₂	6	H'000C ~ H'000D	
$\overline{\text{IRQ}}_3$	IRQ ₃	7	H'000E ~ H'000F	
$\overline{\text{IRQ}}_4$	IRQ ₄	8	H'0010 ~ H'0011	
$\overline{\text{WKP}}_0$	WKP ₀	9	H'0012 ~ H'0013	
$\overline{\text{WKP}}_1$	WKP ₁			
$\overline{\text{WKP}}_2$	WKP ₂			
$\overline{\text{WKP}}_3$	WKP ₃			
$\overline{\text{WKP}}_4$	WKP ₄			
$\overline{\text{WKP}}_5$	WKP ₅			
$\overline{\text{WKP}}_6$	WKP ₆			
$\overline{\text{WKP}}_7$	WKP ₇			
SCI1 *2	SCI1転送完了	10	H'0014 ~ H'0015	
タイマA	タイマAオーバフロー	11	H'0016 ~ H'0017	
タイマB	タイマBオーバフロー	12	H'0018 ~ H'0019	
タイマC *2	タイマCオーバフローまたは アンドフロー	13	H'001A ~ H'001B	
タイマFL	タイマFLコンペアマッチ タイマFLオーバフロー	14	H'001C ~ H'001D	
タイマFH	タイマFHコンペアマッチ タイマFHオーバフロー	15	H'001E ~ H'001F	
SCI3	SCI3送信完了 SCI3送信データエンブティ SCI3受信データフル SCI3オーバーランエラー SCI3フレーミングエラー SCI3パリティエラー	18	H'0024 ~ H'0025	
A/D変換器	A/D変換終了	19	H'0026 ~ H'0027	
(SLEEP命令の実行)	直接遷移	20	H'0028 ~ H'0029	

【注】*1 H'0002 ~ H'0007、H'0020 ~ H'0023は本LSIではリザーブされており、ユーザは使用できません。

*2 H8/3857グループに適用します。H8/3854グループのベクタアドレスはリザーブです。

3.3.2 各レジスタの説明

割り込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割り込み制御レジスタ

名称	略称	R/W	初期値	アドレス
IRQ エッジセレクトレジスタ ^{*2}	IEGR	R/W	H'E0	H'FFF2
割り込み許可レジスタ 1 ^{*2}	IENR1	R/W	H'00	H'FFF3
割り込み許可レジスタ 2 ^{*2}	IENR2	R/W	H'00	H'FFF4
割り込み要求レジスタ 1 ^{*2}	IRR1	R/W ^{*1}	H'20	H'FFF6
割り込み要求レジスタ 2 ^{*2}	IRR2	R/W ^{*1}	H'00	H'FFF7
ウェイクアップ割り込み要求レジスタ	IWPR	R/W ^{*1}	H'00	H'FFF9

【注】 *1 フラグクリアのための 0 ライトのみ可能です。

*2 H8/3857 グループと H8/3854 グループで一部機能が異なります。詳細は各レジスタの説明を参照してください。

(1) IRQ エッジセレクトレジスタ (IEGR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	IEG4	IEG3	IEG2 *	IEG1	IEG0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

【注】 * H8/3857グループに適用します。H8/3854グループでは、本ビットは常に0で使用してください。

IEGR は、8 ビットのリード / ライト可能なレジスタで、 $\overline{\text{IRQ}}_4 \sim \overline{\text{IRQ}}_0$ 端子の立ち上がり / 立ち下がりエッジセンスを指定します。

ビット 7~5 : リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 4 : IRQ4 エッジセレクト (IEG4)

$\overline{\text{IRQ}}_4$ 端子、 $\overline{\text{ADTRG}}$ 端子の入力センスを選択します。

ビット 4	説明
IEG4	
0	$\overline{\text{IRQ}}_4$ 、 $\overline{\text{ADTRG}}$ 端子入力立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_4$ 、 $\overline{\text{ADTRG}}$ 端子入力立ち上がりエッジを検出

3. 例外処理

ビット3：IRQ₃エッジセレクト（IEG3）

$\overline{\text{IRQ}}_3$ 端子、TMIF 端子の入力センスを選択します。

ビット3	説 明
IEG3	
0	$\overline{\text{IRQ}}_3$ 、TMIF 端子入力 of 立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_3$ 、TMIF 端子入力 of 立ち上がりエッジを検出

ビット2：IRQ₂エッジセレクト（IEG2）

本ビットは H8/3857 グループに適用し、 $\overline{\text{IRQ}}_2$ 端子、TMIC 端子の入力センスを選択します。H8/3854 グループは、本ビットは常に 0 で使用してください。

ビット2	説 明
IEG2	
0	$\overline{\text{IRQ}}_2$ 、TMIC 端子入力 of 立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_2$ 、TMIC 端子入力 of 立ち上がりエッジを検出

ビット1：IRQ₁エッジセレクト（IEG1）

$\overline{\text{IRQ}}_1$ 端子、TMIB 端子の入力センスを選択します。

ビット1	説 明
IEG1	
0	$\overline{\text{IRQ}}_1$ 、TMIB 端子入力 of 立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_1$ 、TMIB 端子入力 of 立ち上がりエッジを検出

ビット0：IRQ₀エッジセレクト（IEG0）

$\overline{\text{IRQ}}_0$ 端子の入力センスを選択します。

ビット0	説 明
IEG0	
0	$\overline{\text{IRQ}}_0$ 端子入力 of 立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_0$ 端子入力 of 立ち上がりエッジを検出

(2) 割り込み許可レジスタ 1 (IENR1)

ビット:	7	6	5	4	3	2	1	0
	IENTA	IENS1 *	IENWP	IEN4	IEN3	IEN2 *	IEN1	IEN0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * H8/3857グループに適用します。H8/3854グループでは、本ビットは常に0で使用してください。

IENR1は、8ビットのリード/ライト可能なレジスタで、割り込み要求の許可/禁止を制御します。

ビット7: タイマ A 割り込みイネーブル (IENTA)

タイマ A オーバフロー割り込み要求の許可/禁止を制御します。

ビット 7	説 明
IENTA	
0	タイマ A の割り込み要求を禁止 (初期値)
1	タイマ A の割り込み要求を許可

ビット6: SCI1 割り込みイネーブル (IENS1)

本ビットは H8/3857 グループに適用し、SCI1 転送完了割り込み要求の許可/禁止を制御します。
H8/3854 グループでは、本ビットは常に 0 で使用してください。

ビット 6	説 明
IENS1	
0	SCI1 の割り込み要求を禁止 (初期値)
1	SCI1 の割り込み要求を許可

ビット5: ウェイクアップ割り込みイネーブル (IENWP)

WKP₇ ~ WKP₀ 割り込み要求の許可/禁止を制御します。

ビット 5	説 明
IENWP	
0	WKP ₇ ~ WKP ₀ 端子の割り込み要求を禁止 (初期値)
1	WKP ₇ ~ WKP ₀ 端子の割り込み要求を許可

3. 例外処理

ビット 4、3、1、0 : $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_3$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 割り込みイネーブル (IEN4、IEN3、IEN1、IEN0)
 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_3$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 割り込み要求の許可 / 禁止を制御します。

ビット n	説 明
IENn	
0	$\overline{\text{IRQ}}_n$ 端子の割り込み要求を禁止 (初期値)
1	$\overline{\text{IRQ}}_n$ 端子の割り込み要求を許可

【注】 n = 4、3、1、0

ビット 2 : $\overline{\text{IRQ}}_2$ 割り込みイネーブル (IEN2)

本ビットは H8/3857 グループに適用し、 $\overline{\text{IRQ}}_2$ 割り込み要求の許可 / 禁止を制御します。H8/3854 グループでは、本ビットは常に 0 で使用してください。

ビット 2	説 明
IEN2	
0	$\overline{\text{IRQ}}_2$ 端子の割り込み要求を禁止 (初期値)
1	$\overline{\text{IRQ}}_2$ 端子の割り込み要求を許可

(3) 割り込み許可レジスタ 2 (IENR2)

ビット :	7	6	5	4	3	2	1	0
	IENDT	IENAD	—	—	IENTFH	IENTFL	IENTC *	IENRB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * H8/3857グループに適用します。H8/3854グループでは、本ビットは常に0で使用してください。

IENR2は、8ビットのリード/ライト可能なレジスタで、割り込み要求の許可 / 禁止を制御します。

ビット 7 : 直接遷移割り込みイネーブル (IENDT)

直接遷移割り込み要求の許可 / 禁止を制御します。

ビット 7	説 明
IENDT	
0	直接遷移による割り込み要求を禁止 (初期値)
1	直接遷移による割り込み要求を許可

ビット 6 : A/D 変換器割り込みイネーブル (IENAD)

A/D 変換終了割り込み要求の許可 / 禁止を制御します。

ビット 6	説 明
IENAD	
0	A/D 変換器の割り込み要求を禁止 (初期値)
1	A/D 変換器の割り込み要求を許可

ビット 5、4 : リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 3 : タイマ FH 割り込みイネーブル (IENTFH)

タイマ FH コンペアマッチまたはオーパフロー割り込み要求の許可 / 禁止を制御します。

ビット 3	説 明
IENTFH	
0	タイマ FH の割り込み要求を禁止 (初期値)
1	タイマ FH の割り込み要求を許可

ビット 2 : タイマ FL 割り込みイネーブル (IENTFL)

タイマ FL コンペアマッチまたはオーパフロー割り込み要求の許可 / 禁止を制御します。

ビット 2	説 明
IENTFL	
0	タイマ FL の割り込み要求を禁止 (初期値)
1	タイマ FL の割り込み要求を許可

ビット 1 : タイマ C 割り込みイネーブル (IENTC)

本ビットは H8/3857 グループに適用し、タイマ C オーパフローまたはアンダフロー割り込み要求の許可 / 禁止を制御します。

H8/3854 グループでは、本ビットは常に 0 で使用してください。

ビット 1	説 明
IENTC	
0	タイマ C の割り込み要求を禁止 (初期値)
1	タイマ C の割り込み要求を許可

3. 例外処理

ビット 0 : タイマ B 割り込みイネーブル (IENTB)

タイマ B オーバフロー割り込み要求の許可 / 禁止を制御します。

ビット 0	説 明
IENTB	
0	タイマ B の割り込み要求を禁止 (初期値)
1	タイマ B の割り込み要求を許可

なお、SCI3 の割り込みの制御については「10.4.2 (6) シリアルコントロールレジスタ 3 (SCR3) 」を参照してください。

(4) 割り込み要求レジスタ 1 (IRR1)

ビット :	7	6	5	4	3	2	1	0
	IRRTA	IRRS1 *2	—	IRRI4	IRRI3	IRRI2 *1	IRRI1	IRRI0
初期値 :	0	0	1	0	0	0	0	0
R/W :	R/W *1	R/W *1	—	R/W *1	R/W *1	R/W *1	R/W *1	R/W *1

【注】 *1 フラグクリアのための0ライトのみ可能です。

*2 H8/3857グループに適用します。H8/3854グループでは、本ビットは常に0です。

IRR1 は、8 ビットリード / ライト可能なレジスタで、タイマ A、SCI1、IRQ₄ ~ IRQ₀ 割り込み要求が発生すると対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット 7 : タイマ A 割り込み要求フラグ (IRRTA)

ビット 7	説 明
IRRTA	
0	[クリア条件] IRRTA = 1 の状態で IRRTA に 0 をライトしたとき (初期値)
1	[セット条件] タイマ A のカウンタ値がオーバフロー (H'FF→H'00) したとき

ビット 6 : SCI1 割り込み要求フラグ (IRRS1)

本ビットは H8/3857 グループに適用します。H8/3854 グループでは、本ビットは常に 0 です。

ビット 6	説 明
IRRS1	
0	[クリア条件] IRRS1 = 1 の状態で IRRS1 に 0 をライトしたとき (初期値)
1	[セット条件] SCI1 が転送完了したとき

ビット 5：リザーブビット

リザーブビットです。本ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 4、3、1、0：IRQ₄、IRQ₃、IRQ₁、IRQ₀ 割り込み要求フラグ (IRRI4、IRRI3、IRRI1、IRRI0)

ビット n	説 明
IRRI _n	
0	[クリア条件] (初期値) IRRI _n = 1 の状態で IRRI _n に 0 をライトしたとき
1	[セット条件] IRQ _n 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

【注】 n = 4、3、1、0

ビット 2：IRQ₂ 割り込み要求フラグ (IRRI2)

本ビットは H8/3857 グループに適用します。H8/3854 グループでは、本ビットは常に 0 です。

ビット 2	説 明
IRRI2	
0	[クリア条件] (初期値) IRRI2 = 1 の状態で IRRI2 に 0 をライトしたとき
1	[セット条件] IRQ ₂ 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(5) 割り込み要求レジスタ 2 (IRR2)

ビット：	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	—	—	IRRTFH	IRRTFL	IRRTC *2	IRRTB
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W *1	R/W *1	—	—	R/W *1	R/W *1	R/W *1	R/W *1

【注】 *1 フラグクリアのための 0 ライトのみ可能です。

*2 H8/3857 グループに適用します。H8/3854 グループでは、本ビットは常に 0 です。

IRR2 は、8 ビットリード/ライト可能なレジスタで、直接遷移、A/D 変換器、タイマ FH、タイマ FL、タイマ C、タイマ B 割り込み要求が発生すると、対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

3. 例外処理

ビット 7：直接遷移割り込み要求フラグ (IRRDT)

ビット 7	説 明
IRRDT	
0	[クリア条件] IRRDT = 1 の状態で IRRDT に 0 をライトしたとき (初期値)
1	[セット条件] DTON に 1 をセットした状態でスリープ命令を実行し直接遷移したとき

ビット 6：A/D 変換器割り込み要求フラグ (IRRAD)

ビット 6	説 明
IRRAD	
0	[クリア条件] IRRAD = 1 の状態で IRRAD に 0 をライトしたとき (初期値)
1	[セット条件] A/D 変換器が変換終了し、ADSF がリセットされたとき

ビット 5、4：リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 3：タイマ FH 割り込み要求フラグ (IRRTFH)

ビット 3	説 明
IRRTFH	
0	[クリア条件] IRRTFH = 1 の状態で IRRTFH に 0 をライトしたとき (初期値)
1	[セット条件] 8 ビットタイマモードで TCFH と OCRFH が一致したとき、また、16 ビットタイマモードで TCF (TCFL、TCFH) と OCRF (OCRFL、OCRFH) が一致したとき

ビット 2：タイマ FL 割り込み要求フラグ (IRRTFL)

ビット 2	説 明
IRRTFL	
0	[クリア条件] IRRTFL = 1 の状態で IRRTFL に 0 をライトしたとき (初期値)
1	[セット条件] 8 ビットタイマモードで TCFL と OCRFL が一致したとき

ビット1：タイマC 割り込み要求フラグ (IRRTC)

本ビットは H8/3857 グループに適用します。H8/3854 グループでは、本ビットは常に 0 です。

ビット1	説 明
IRRTC	
0	[クリア条件] IRRTC = 1 の状態で IRRTC に 0 をライトしたとき (初期値)
1	[セット条件] タイマ C のカウンタ値がオーバフロー (H'FF→H'00)、またはアンダフロー (H'00→H'FF) したとき

ビット0：タイマB 割り込み要求フラグ (IRRTB)

ビット0	説 明
IRRTB	
0	[クリア条件] IRRTB = 1 の状態で IRRTB に 0 をライトしたとき (初期値)
1	[セット条件] タイマ B のカウンタ値がオーバフロー (H'FF→H'00) したとき

(6) ウェイクアップ割り込み要求レジスタ (IWPR)

ビット:	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための0ライトのみ可能です。

IWPR は、8 ビットのリード/ライト可能なレジスタで、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子がウェイクアップ入力に設定されており、当該端子に立ち下がりエッジが入力されたとき、対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット7～0：ウェイクアップ割り込み要求フラグ (IWPF7～IWPF0)

ビット n	説 明
IWPFn	
0	[クリア条件] IWPFn = 1 の状態で IWPFn に 0 をライトしたとき (初期値)
1	[セット条件] $\overline{WKP}_n$ 端子がウェイクアップ入力に設定されており、かつ当該端子に立ち下がりエッジが入力されたとき

【注】 n = 7～0

3.3.3 外部割り込み

H8/3857 グループの外部割り込みには、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 割り込みと、 $\overline{IRQ}_4 \sim \overline{IRQ}_0$ 割り込みの 13 要因があります。また、H8/3854 グループの外部割り込みには、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 割り込みと、 $\overline{IRQ}_4$ 、 $\overline{IRQ}_3$ 、 $\overline{IRQ}_1$ 、 $\overline{IRQ}_0$ 割り込みの 12 要因があります。

(1) $\overline{WKP}_7 \sim \overline{WKP}_0$ 割り込み

$\overline{WKP}_7 \sim \overline{WKP}_0$ 割り込みは $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子の立ち下がりエッジ入力により要求されます。

PMR5 により端子機能が $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子に選択された状態で立ち下がりエッジが入力されると、IWPR の対応するビットが 1 にセットされ、割り込み要求が発生します。

ウェイクアップ割り込み要求の受け付けは、IENR1 の IENWP を 0 にクリアすることにより禁止できます。また、CCR の I ビットを 1 にすることによりすべての割り込みをマスクできます。

$\overline{WKP}_7 \sim \overline{WKP}_0$ 割り込みの割り込み例外処理が受け付けられると、CCR の I ビットが 1 にセットされます。 $\overline{WKP}_7 \sim \overline{WKP}_0$ 割り込み例外処理のベクタ番号は 9 です。8 つの割り込み要因が 1 つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

(2) $\overline{IRQ}_4 \sim \overline{IRQ}_0$ 割り込み

$\overline{IRQ}_4 \sim \overline{IRQ}_0$ 割り込みは、 $\overline{IRQ}_4 \sim \overline{IRQ}_0$ 端子の入力信号により要求されます。

$\overline{IRQ}_4 \sim \overline{IRQ}_0$ 割り込みは、立ち上がり / 立ち下がりエッジセンスを IEGR の IEG4 ~ IEG0 により指定できます。 $\overline{IRQ}_2$ 割り込みは H8/3857 グループだけの機能であり、H8/3854 グループにはありません。

PMR2、PMR1 により端子機能が $\overline{IRQ}_4 \sim \overline{IRQ}_0$ 端子に選択された状態で指定されたエッジが入力されると、IRR1 の対応するビットが 1 にセットされ、割り込み要求が発生します。

割り込み要求の受け付けは、IENR1 の IEN4 ~ IEN0 を 0 にクリアすることにより、禁止できます。また、CCR の I ビットを 1 にセットすることによりすべての割り込みをマスクできます。

$\overline{IRQ}_4 \sim \overline{IRQ}_0$ 割り込みの割り込み例外処理が受け付けられると、CCR の I ビットが 1 にセットされます。

$\overline{IRQ}_4 \sim \overline{IRQ}_0$ 割り込み例外処理のベクタ番号は 8 ~ 4 です。優先順位は $\overline{IRQ}_4$ (低) → $\overline{IRQ}_0$ (高) の順に高くなります。詳細は表 3.2 を参照してください。H8/3854 グループの例外処理のベクタ番号 6 はリザーブです。

3.3.4 内部割り込み

H8/3857 グループの内蔵周辺モジュールからの割り込みによる内部割り込み要因は、16 要因あります。また H8/3854 グループの内蔵周辺モジュールからの割り込みによる内部割り込み要因は、14 要因あります。

内蔵周辺モジュールからの割り込み要求が発生すると、IRR2、IRR1 の対応するビットが 1 にセットされます。IENR2、IENR1 の各ビットを 0 にクリアすることにより、各割り込み要求の受け付けは禁止できます。また、CCR の I ビットを 1 にセットすることにより、すべての割り込みをマスクできます。

これらの割り込み例外処理が受け付けられると、CCR の I ビットは 1 にセットされます。ベクタ番号は 20 ~ 10 です。内蔵周辺モジュールからの割り込みの優先順位については表 3.2 を参照してください。H8/3854 グループのベクタ番号 10 および 13 はリザーブです。

3.3.5 割り込み動作

割り込みは、割り込みコントローラによって制御されます。割り込みコントローラのブロック図を図 3.2 に、割り込み受け付けまでのフローを図 3.3 に示します。

割り込み動作は以下のとおりです。

- (1) 割り込み許可レジスタの対応するビットが1にセットされている状態で、割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求信号が送られます。
- (2) 割り込みコントローラに割り込み要求信号が送られると、割り込み要求フラグがセットされます。
- (3) 割り込み許可フラグが1にセットされている割り込みの中で、優先順位に従って最高位の割り込み要求が選択され、その他は保留となります（表3.2参照）。
- (4) CCRのIビットを参照し、Iビットが0にクリアされている場合は、割り込み要求は受け付けられますが、Iビットが1にセットされている場合は割り込み要求は保留となります。
- (5) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PCとCCRがスタック領域に退避されます。このときのスタックの状態を図3.4に示します。スタックされるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCRのIビットが1にセットされます。これにより、すべての割り込みはマスクされます。
- (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行を開始します。

- 【注】
1. 本 LSI では、割り込み許可レジスタをクリアすることにより割り込みをディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、必ず割り込みをマスクした状態（I=1）で行ってください。
 2. I=0 の状態で上記の操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。

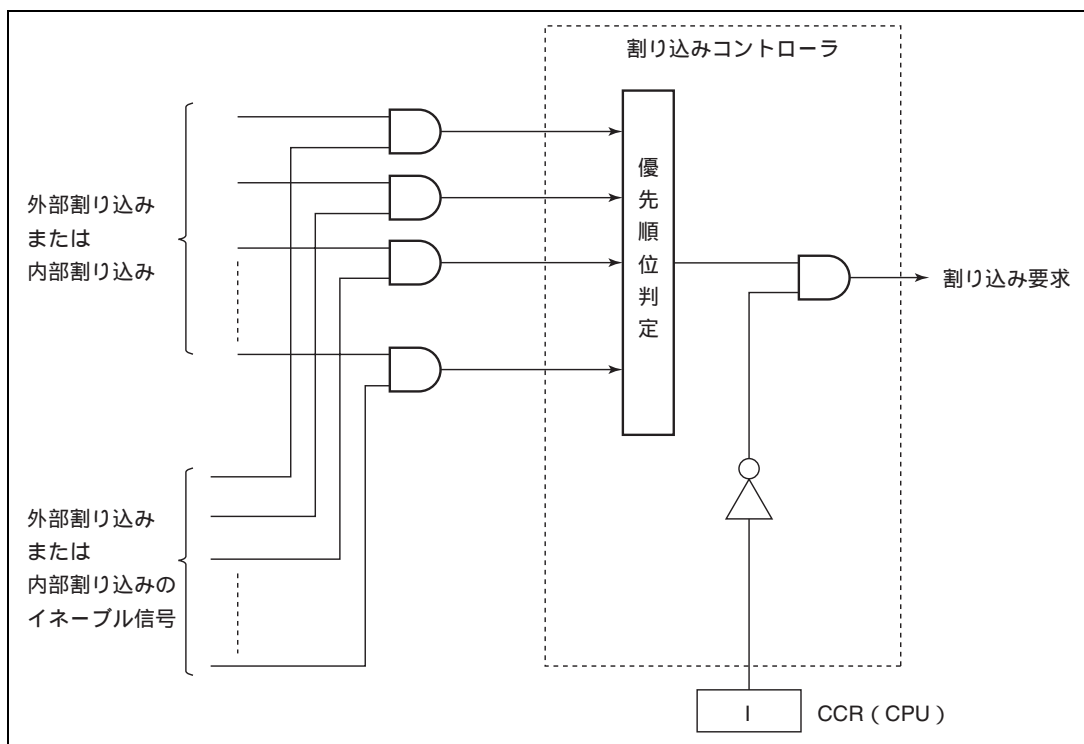


図 3.2 割り込みコントローラのブロック図

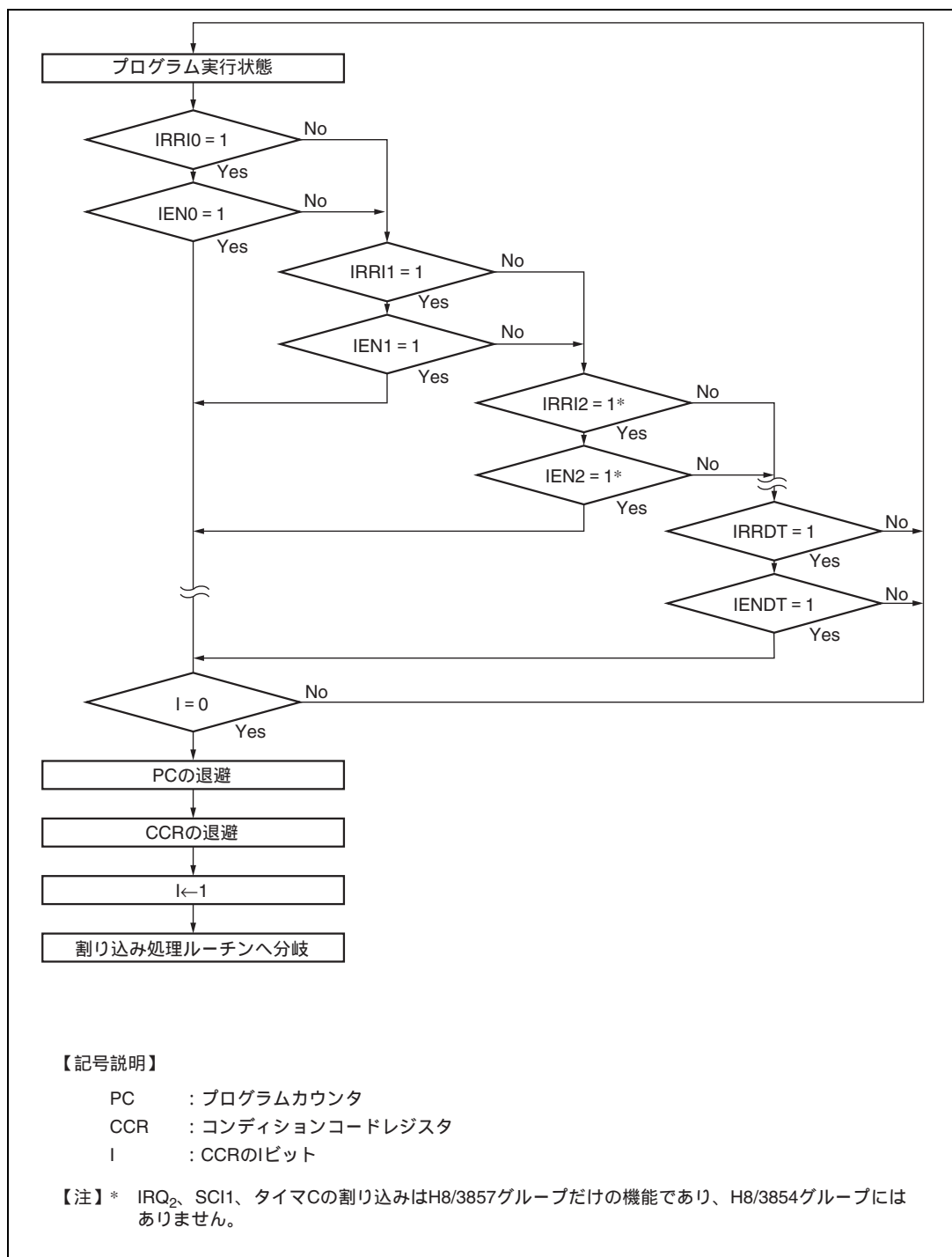


図 3.3 割り込み受け付けまでのフロー

3. 例外処理

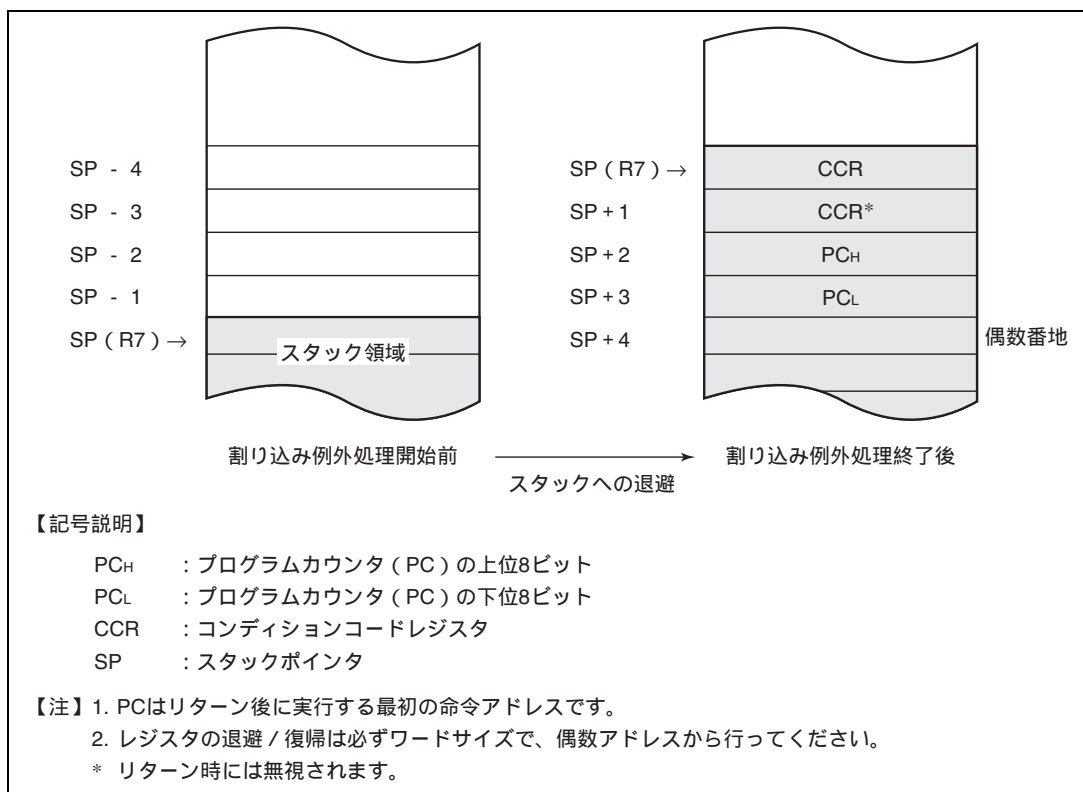


図 3.4 割り込み例外処理終了後のスタック状態

プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合の割り込みシーケンスを図 3.5 に示します。

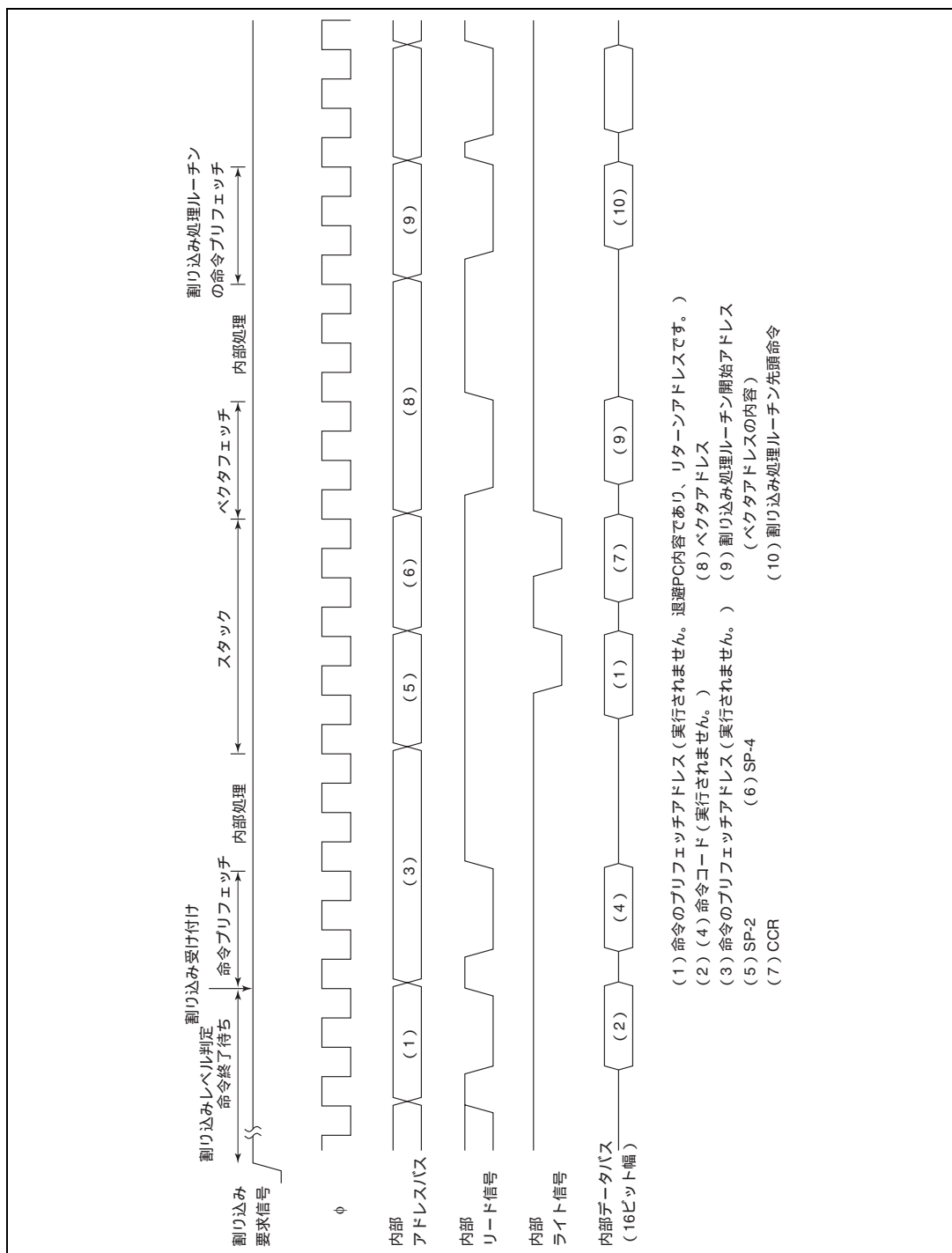


図 3.5 割り込みシーケンス

3.3.6 割り込み応答時間

割り込み要求フラグがセットされた後、割り込み処理ルーチンの先頭命令を実行するまでの待ちステート数を表 3.4 に示します。

表 3.4 割り込み待ちステート数

項目	ステート数	合計
実行中の命令終了時の待ち時間*	1 ~ 13	15 ~ 27
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3.4 使用上の注意事項

3.4.1 スタック領域に関する使用上の注意事項

本 LSI では、ワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP : R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.6 に示します。

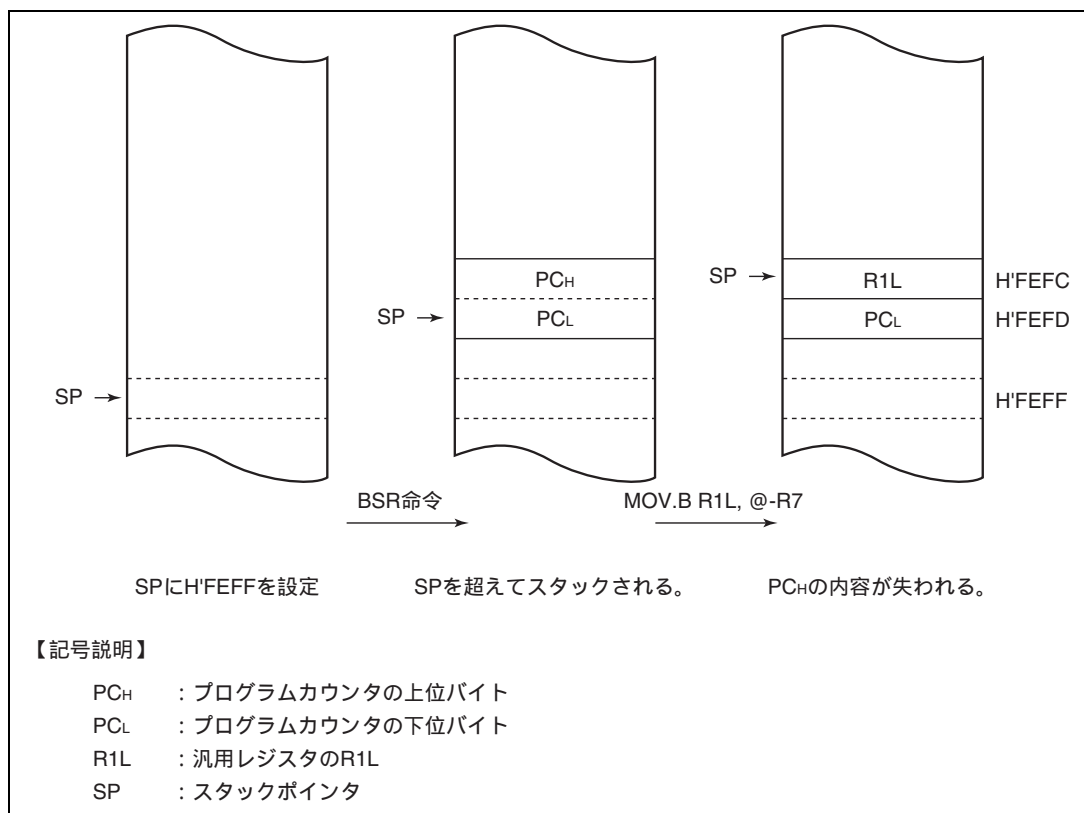


図 3.6 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時の CCR の退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3.4.2 ポートモードレジスタを書き換える際の注意事項

外部割り込み端子の機能切り替えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割り込み端子 ($\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_3$ 、 $\overline{\text{IRQ}}_2^*$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 、 $\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0$) を制御しているポートモードレジスタを書き換えて端子機能を切り替えた場合、端子に有効な割り込みが入力されていなくても、端子機能を切り替えた時点で割り込み要求フラグが 1 にセットされますので、割り込み要求フラグを 0 にクリアしてから使用してください。

1 にセットされる割り込み要求フラグとその条件を表 3.5 に示します。

【注】* H8/3857 グループに適用します。H8/3854 グループにはありません。

3. 例外処理

表 3.5 割り込み要求フラグが 1 にセットされる条件

1 にセットされる 割り込み要求フラグ		条件
IRR1	IRRI4	• $\overline{\text{IRQ}}_4$ 端子が Low レベルで IEGR の IEG4 が 0 の状態で、PMR2 の IRQ4 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ}}_4$ 端子が Low レベルで IEGR の IEG4 が 1 の状態で、PMR2 の IRQ4 を 1 から 0 に書き換えたとき
	IRRI3	• $\overline{\text{IRQ}}_3$ 端子が Low レベルで IEGR の IEG3 が 0 の状態で、PMR1 の IRQ3 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ}}_3$ 端子が Low レベルで IEGR の IEG3 が 1 の状態で、PMR1 の IRQ3 を 1 から 0 に書き換えたとき
	IRRI2*	• $\overline{\text{IRQ}}_2$ 端子が Low レベルで IEGR の IEG2 が 0 の状態で、PMR1 の IRQ2 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ}}_2$ 端子が Low レベルで IEGR の IEG2 が 1 の状態で、PMR1 の IRQ2 を 1 から 0 に書き換えたとき
	IRRI1	• $\overline{\text{IRQ}}_1$ 端子が Low レベルで IEGR の IEG1 が 0 の状態で、PMR1 の IRQ1 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ}}_1$ 端子が Low レベルで IEGR の IEG1 が 1 の状態で、PMR1 の IRQ1 を 1 から 0 に書き換えたとき
	IRRI0	• $\overline{\text{IRQ}}_0$ 端子が Low レベルで IEGR の IEG0 が 0 の状態で、PMR2 の IRQ0 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ}}_0$ 端子が Low レベルで IEGR の IEG0 が 1 の状態で、PMR2 の IRQ0 を 1 から 0 に書き換えたとき
IWPR	IWPF7	$\overline{\text{WKP}}_7$ 端子が Low レベルの状態で、PMR5 の WKP7 を 0 から 1 に書き換えたとき
	IWPF6	$\overline{\text{WKP}}_6$ 端子が Low レベルの状態で、PMR5 の WKP6 を 0 から 1 に書き換えたとき
	IWPF5	$\overline{\text{WKP}}_5$ 端子が Low レベルの状態で、PMR5 の WKP5 を 0 から 1 に書き換えたとき
	IWPF4	$\overline{\text{WKP}}_4$ 端子が Low レベルの状態で、PMR5 の WKP4 を 0 から 1 に書き換えたとき
	IWPF3	$\overline{\text{WKP}}_3$ 端子が Low レベルの状態で、PMR5 の WKP3 を 0 から 1 に書き換えたとき
	IWPF2	$\overline{\text{WKP}}_2$ 端子が Low レベルの状態で、PMR5 の WKP2 を 0 から 1 に書き換えたとき
	IWPF1	$\overline{\text{WKP}}_1$ 端子が Low レベルの状態で、PMR5 の WKP1 を 0 から 1 に書き換えたとき
	IWPF0	$\overline{\text{WKP}}_0$ 端子が Low レベルの状態で、PMR5 の WKP0 を 0 から 1 に書き換えたとき

【注】 * H8/3857 グループに適用します。H8/3854 グループでは常に 0 です。

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.7 に示します。

端子機能を切り替える場合は、ポートモードレジスタの操作前に割り込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも 1 命令 (NOP 命令で可) 実行してから、1 にセットされた割り込み要求フラグを 0 にクリアしてください。ポートモードレジスタ操作後に 1 命令実行せず割り込み要求フラグを 0 にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切り替えにともなう割り込み要求フラグのセットを回避する他の方法として、表 3.5 の条件を満たさないように端子を High レベルに制御して行う方法もあります。

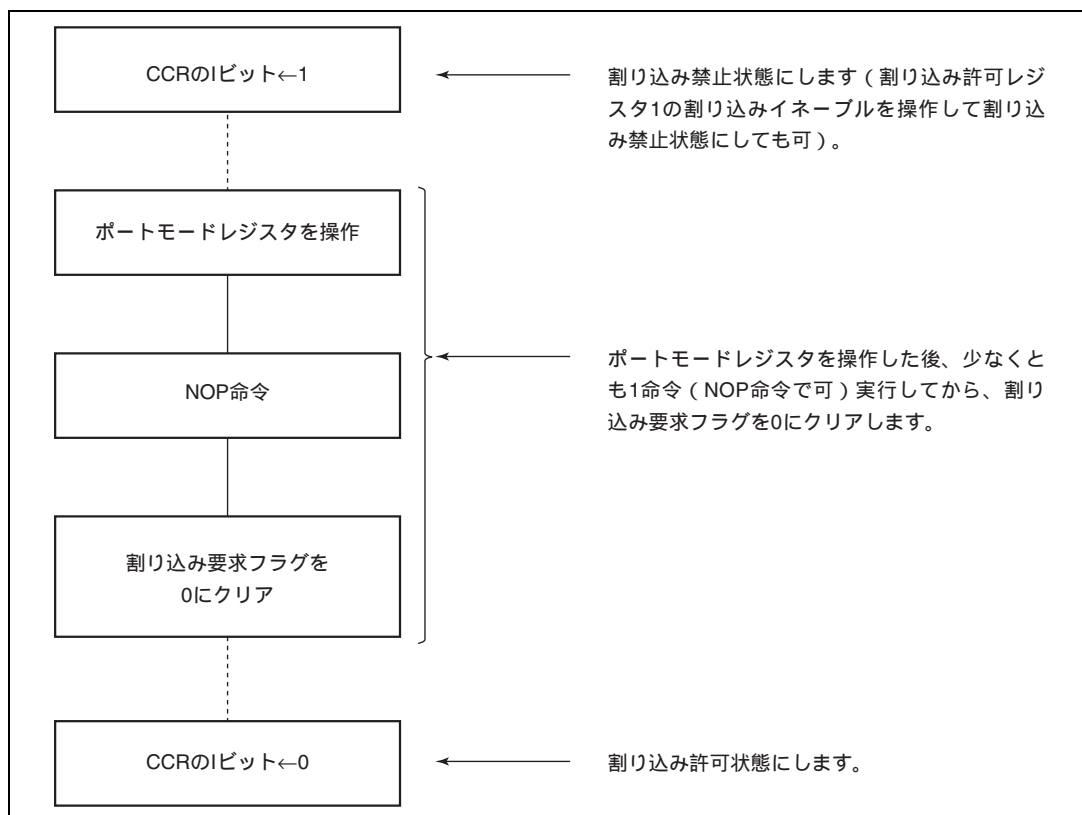


図 3.7 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

3. 例外处理

4. クロック発振器

4.1 概要

本 LSI は、クロック発生回路（CPG：Clock Pulse Generator）を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の 2 つの回路から構成されます。

4.1.1 ブロック図

図 4.1 にクロック発生回路のブロック図を示します。

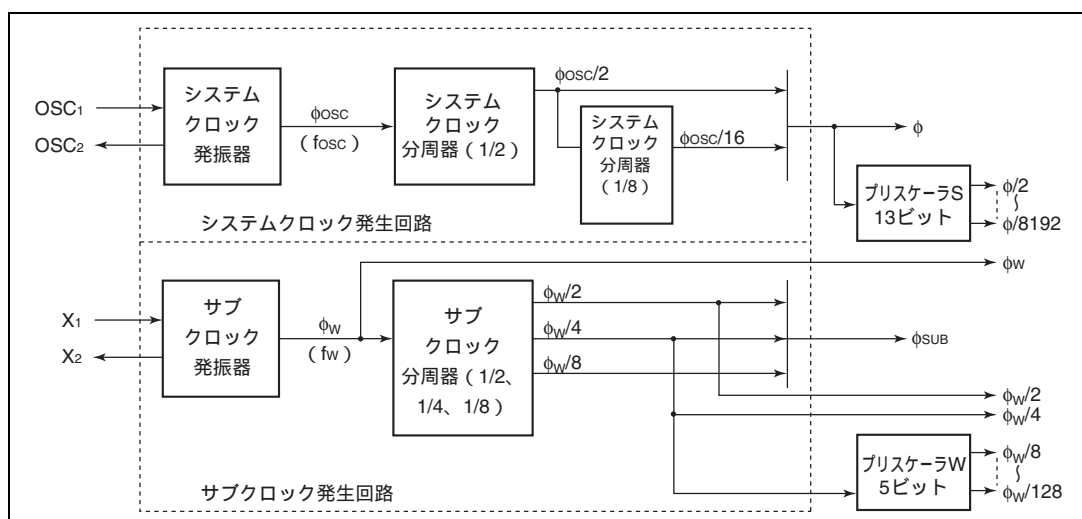


図 4.1 クロック発生回路のブロック図

4.1.2 システムクロックとサブクロック

クロック（ ϕ および ϕ_{SUB} ）は、CPU および周辺機能を動作させるための基準クロックです。

ϕ をシステムクロック、 ϕ_{SUB} をサブクロックと呼びます。また、 ϕ_{OSC} をOSCクロック、 ϕ_{W} をウォッチクロックと呼びます。

クロック $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/1024$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ 、 $\phi_{\text{W}}/128$ 、 $\phi_{\text{W}}/64$ 、 $\phi_{\text{W}}/32$ 、 $\phi_{\text{W}}/16$ 、 $\phi_{\text{W}}/8$ 、 $\phi_{\text{W}}/4$ 、 $\phi_{\text{W}}/2$ 、 ϕ_{W} は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

4. クロック発振器

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法があります。

(1) 水晶発振子を接続する方法

水晶発振子の接続例を図 4.2 に示します。

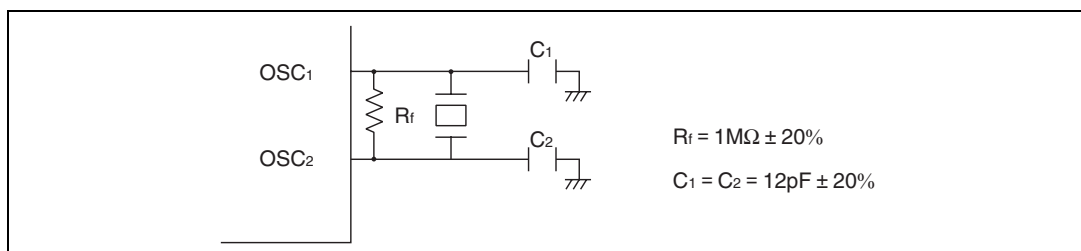


図 4.2 水晶発振子の接続例

図 4.3 に水晶発振子の等価回路を示します。発振子は表 4.1 に示す特性のものを使用してください。

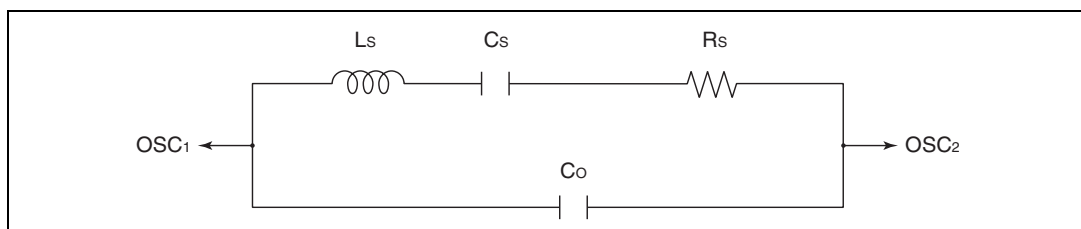


図 4.3 水晶発振子の等価回路

表 4.1 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10
R_s (max)	500 Ω	100 Ω	50 Ω	30 Ω
C_o (max)	7pF			

(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.4 に示します。

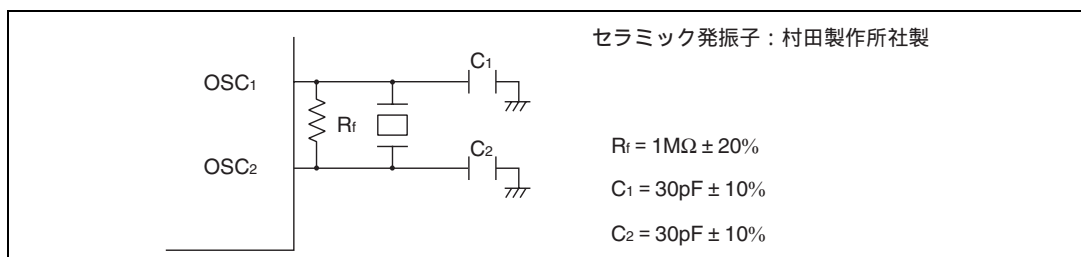


図 4.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 4.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC₁、OSC₂ 端子の近くに配置してください。

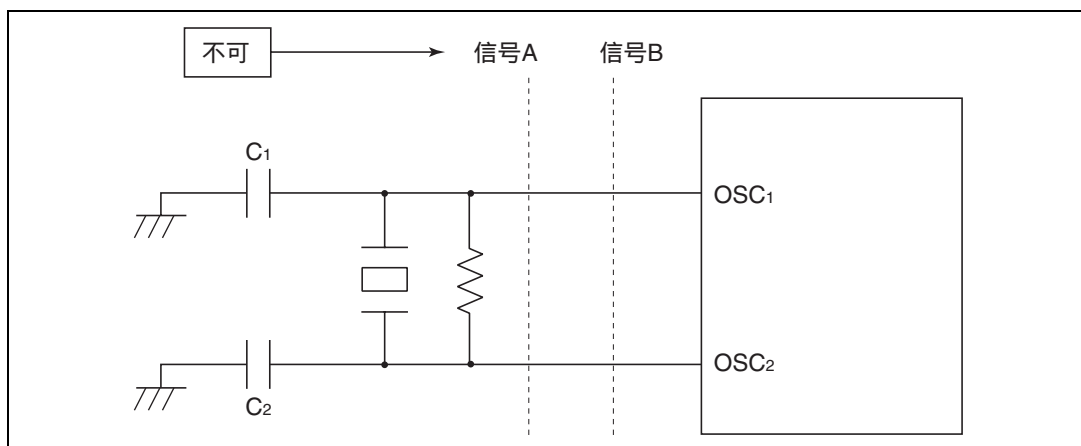


図 4.5 発振回路部のボード設計に関する注意事項

4. クロック発振器

(4) 外部クロックを入力する方法

外部クロックを入力する場合は、抵抗 R を介して OSC_1 端子に接続し、 OSC_2 端子をオープン状態にします。

この場合の接続例を図 4.6 に示します。

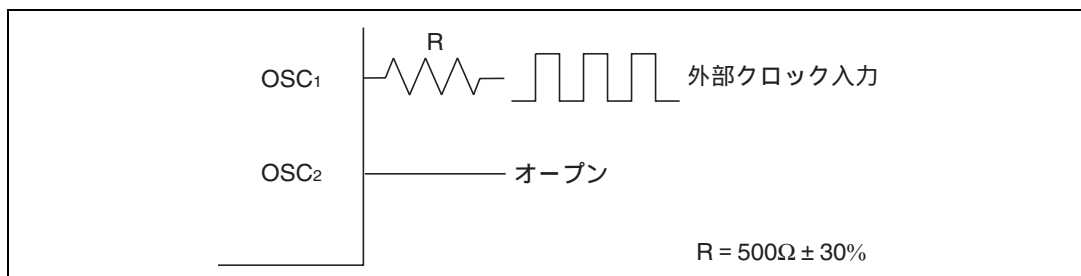


図 4.6 外部クロックを入力する場合の接続例

周波数	OSC クロック (ϕ_{OSC})
duty	45% ~ 55%

4.3 サブクロック発振器

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.7 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、「4.2 (3) ボード設計上の注意」と同様です。

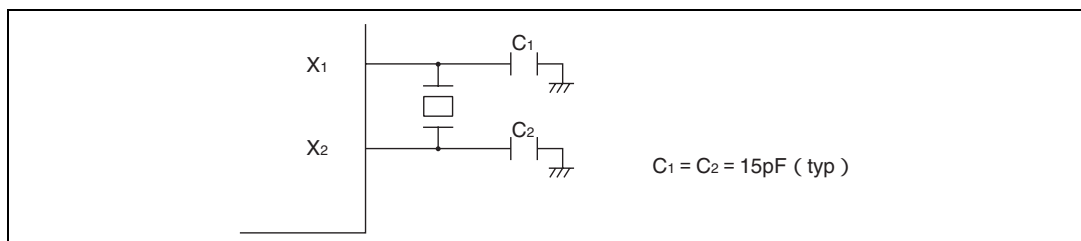


図 4.7 32.768kHz 水晶発振子の接続例

図 4.8 に 32.768kHz 水晶発振子の等価回路を示します。

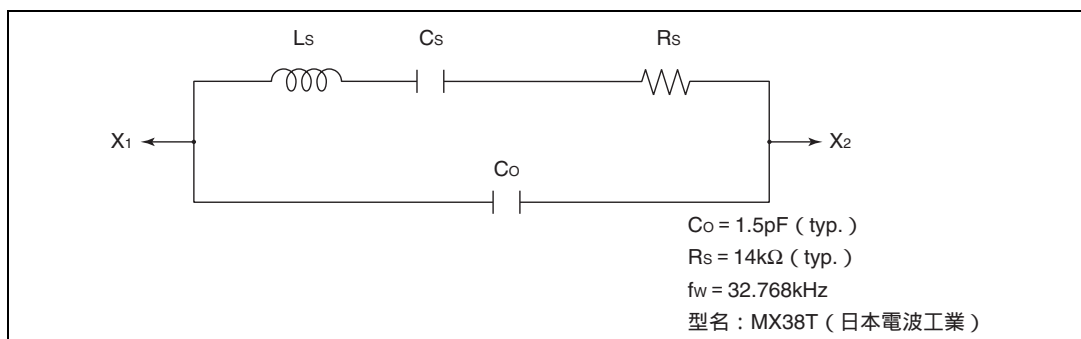


図 4.8 32.768kHz 水晶発振子の等価回路

(2) 外部クロックを入力する方法

(a) 回路構成

外部クロックは X_1 端子に入力します。 X_2 端子はオープンとしてください。この場合の接続例を図 4.9 に示します。

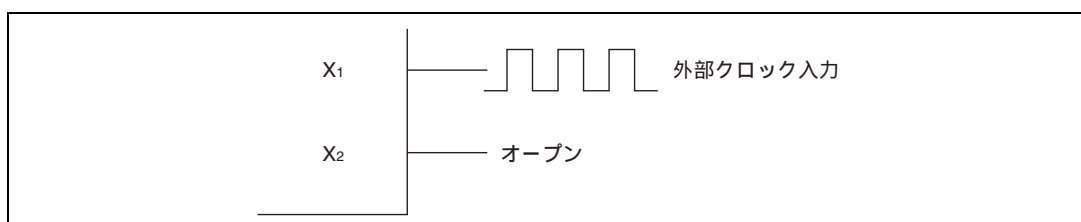


図 4.9 外部クロックを入力する場合の接続例

(b) 外部クロック

X_1 端子には矩形波を入力してください。また、CPU、タイマ A、タイマ C*、LCD でサブクロック (ϕ_w) 系のクロックを選択して使用する場合には、 X_1 端子へのクロックの供給を停止しないでください。

【注】* H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

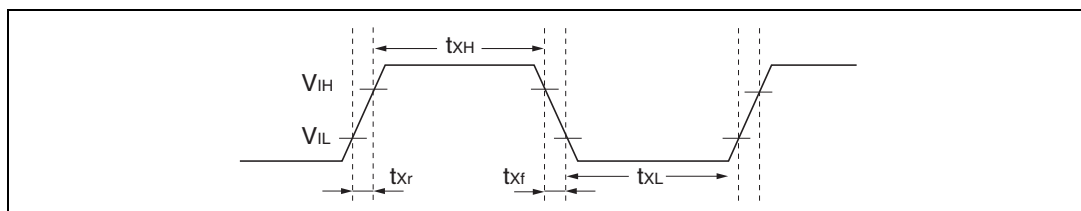


図 4.10 サブクロックのタイミング

4. クロック発振器

X₁ 端子に入力する外部クロックの DC 特性とタイミングを表 4.2 に示します。

表 4.2 DC 特性とタイミング

特記なき場合、V_{cc} = 2.7 ~ 5.5V【H8/3852、H8/3853、H8/3854 のマスク ROM 版】、V_{cc} = 3.0 ~ 5.5V【H8/3854F、H8/3855、H8/3856、H8/3857、H8/3857F】、AV_{cc} = 3.0 ~ 5.5V、V_{ss} = AV_{ss} = 0.0V、T_a = -20 ~ +75 °C*、サブアクティブモードを含む

項 目		記号	適用 端子	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧		V _{IH}	X ₁	V _{cc} - 0.3	—	V _{cc} + 0.3	V	図 4.10
入力 Low レベル電圧		V _{IL}		- 0.3	—	0.3		
外部サブクロック立ち上がり時間		t _{Xr}		—	—	100	ns	図 4.10
外部サブクロック立ち下がり時間		t _{Xf}		—	—	100		
fx = 32.768kHz	外部サブクロック発振周波数	f _x		—	32.768	—	kHz	
	外部サブクロック High レベル幅	t _{xH}		12.0	—	—	μs	図 4.10
	外部サブクロック Low レベル幅	t _{xL}		12.0	—	—		
fx = 38.4kHz	外部サブクロック発振周波数	f _x		—	38.4	—	kHz	
	外部サブクロック High レベル幅	t _{xH}		10.0	—	—	μs	図 4.10
	外部サブクロック Low レベル幅	t _{xL}		10.0	—	—		

【注】 * チップ出荷品の電気的特性保証温度は 75 °C です。

4.4 プリスケアラ

本 LSI は、入力クロックの異なる 2 本のプリスケアラ（プリスケアラ S、プリスケアラ W）を内蔵しています。

プリスケアラ S は、システムクロック（φ）を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケアラ W は 32.768kHz を 4 分周したクロック（φ_w/4）を入力とする 5 ビットのカウンタで、分周した出力をタイマ A の時計用タイムベース動作に使用します。

(1) プリスケアラ S（PSS）

プリスケアラ S は、システムクロック（φ）を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケアラ S は H'0000 に初期化され、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケアラ S の動作も停止します。このとき、プリスケアラ S は H'0000 に初期化されます。

CPU によるプリスケアラ S のデータリード/ライトはできません。

プリスケアラ S の出力は、タイマ A、タイマ B、タイマ C*、タイマ F、SCI1*、SCI3、A/D 変換器、LCD コントローラ、および 14 ビット PWM* で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ（中速）モードではプリスケアラ S のクロック入力が φ_{osc}/16 となります。

【注】 * H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

(2) プリスケアラ W (PSW)

プリスケアラ W は、32.768kHz を 4 分周したクロック ($\phi_w/4$) を入力クロックとする 5 ビットのカウンタです。

リセット時、プリスケアラ W は H'00 に初期化され、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、 X_1 、 X_2 端子にクロックが供給されているかぎり、プリスケアラ W は動作を継続します。

プリスケアラ W は、TMA の TMA3、TMA2 をおのおの 1 に設定することでリセットできます。

また、プリスケアラ W の出力は、タイマ A のクロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係します。本章で案内する発振子の接続例を参考に、マスク ROM 版、F-ZTAT 版ともにユーザ側での十分な評価を実施してご使用願います。

発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。

発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

4. クロック発振器

5. 低消費電力モード

5.1 概要

本 LSI には、リセット解除後に LSI が動作するモードとして、消費電力を著しく低下させる 6 種類の低消費電力モードを含む、7 種類の動作モードをもっています。

表 5.1 に動作モードの概要を示します。

表 5.1 動作モードの概要

動作モード	説明
アクティブ（高速）モード	CPU がシステムクロックにより、高速動作でプログラムを実行しているモードです。
アクティブ（中速）モード	CPU がシステムクロックにより、低速動作でプログラムを実行しているモードです。
サブアクティブモード	CPU がサブクロックにより、低速動作でプログラムを実行しているモードです。
スリープモード	CPU が動作を停止し、内蔵周辺機能がシステムクロックで動作しているモードです。
サブスリープモード	CPU が動作を停止し、タイマ A、タイマ C*、および LCD コントローラがサブクロックで動作しているモードです。
ウォッチモード	CPU が動作を停止し、タイマ A の時計機能および LCD コントローラがサブクロックで動作しているモードです。
スタンバイモード	CPU およびすべての内蔵の周辺機能が動作を停止しているモードです。

【注】 * H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

上記 7 種類の動作モードのうち、アクティブ（高速）モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと呼びます。

5. 低消費電力モード

図 5.1 にモード遷移図を示します。

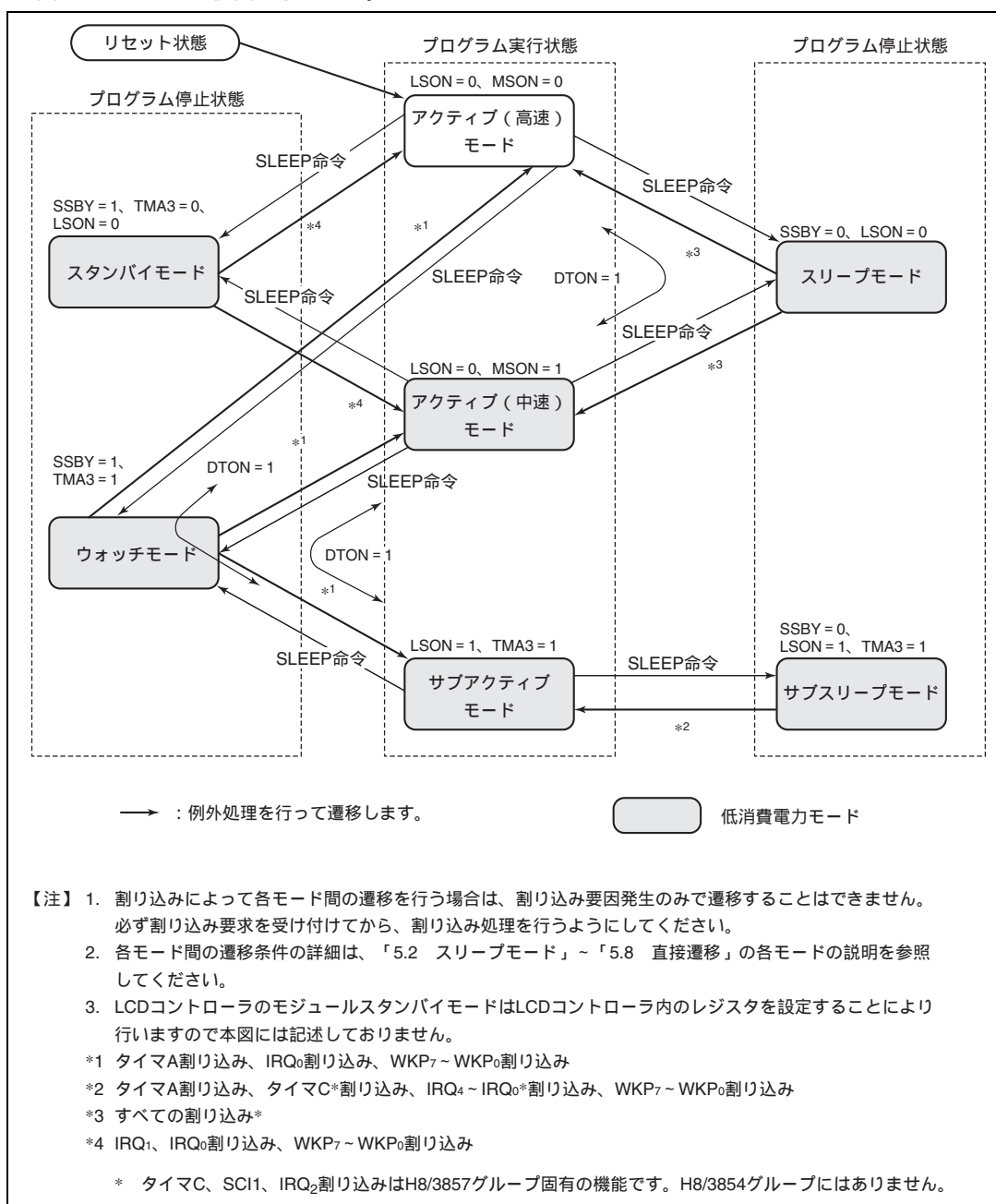


図 5.1 モード遷移図

表 5.2 に各モードでの LSI の内部状態を示します。

表 5.2 各動作モードでの LSI の状態

機能		アクティブ		スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
		高速	中速					
システムクロック発振器		動作	動作	動作	停止	停止	停止	停止
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作
CPU 動作	命令	動作	動作	停止	停止	動作	停止	停止
	RAM			保持	保持		保持	保持
	レジスタ							
	I/O							保持 ^{*1}
外部 割り込み の動作	IRQ ₀	動作	動作	動作	動作	動作	動作	動作
	IRQ ₁				保持 ^{*4}			保持 ^{*4}
	IRQ ₂ ^{*6}							
	IRQ ₃							
	IRQ ₄							
	WKP ₀	動作	動作	動作	動作	動作	動作	動作
	WKP ₁							
	WKP ₂							
	WKP ₃							
	WKP ₄							
	WKP ₅							
	WKP ₆							
	WKP ₇							
周辺機能 の動作	タイマ A	動作	動作	動作	動作 ^{*3}	動作 ^{*3}	動作 ^{*3}	保持
	タイマ B				保持	保持	保持	
	タイマ C ^{*6}					動作 / 保持 ^{*2}	動作 / 保持 ^{*2}	
	タイマ F					保持	保持	
	SCI1 ^{*6}				保持	保持	保持	
	SCI3				リセット	リセット	リセット	
	PWM ^{*6}	動作	動作	保持	保持	保持	保持	保持
	A/D 変換器	動作	動作	動作	保持	保持	保持	保持
	LCD ^{*5}	動作	動作	動作	動作	動作	動作	保持

【注】 *1 レジスタは保持、出力はハイインピーダンス

*2 外部クロックまたは内部クロックとして $\phi_w/4$ を選択した場合に動作、その他は停止して保持

*3 時計用タイムベース機能を選択時に動作

*4 外部割り込み要求は無視されます。割り込み要求レジスタの内容は影響を受けません。

*5 モジュールスタンバイモードでは LCD コントローラのみ供給するクロックを停止します。レジスタの値は保持され、出力はすべて V_{SS} 電位となります。

*6 H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

5. 低消費電力モード

5.1.1 システムコントロールレジスタ

表 5.3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	H'07	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	H'E0	H'FFF1

(1) システムコントロールレジスタ 1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	—	—	—

SYSCR1 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ビット 7: ソフトウェアスタンバイ (SSBY)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	説 明
SSBY	
0	アクティブモードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで SLEEP 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモードに遷移

ビット 6~4: スタンバイタイムセレクト 2~0 (STS2~STS0)

特定の割り込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに遷移する場合に、クロックが安定するまで CPU と周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が 10ms 以上となるように指定してください。

ビット 6	ビット 5	ビット 4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期値)
		1	待機時間 = 16,384 ステート
	1	0	待機時間 = 32,768 ステート
		1	待機時間 = 65,536 ステート
1	*	*	待機時間 = 131,072 ステート

【記号説明】

* : Don't care

ビット3：ロースピードオンフラグ (LSON)

ウォッチモードを解除時に、CPU の動作クロックをシステムクロック (ϕ) にするか、サブクロック (ϕ_{SUB}) にするかを選択します。他の制御ビット、割り込み入力 of の組み合わせで動作モードを決定します。

ビット 3	説 明
LSON	
0	CPU の動作クロックはシステムクロック (ϕ) (初期値)
1	CPU の動作クロックはサブクロック (ϕ_{SUB})

ビット2～0：リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

(2) システムコントロールレジスタ 2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード / ライト可能なレジスタで、低消費電力モードの制御を行います。

ビット7～5：リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット4：ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたウォッチクロック (ϕ_w) を、システムクロック発振器より生成された OSC クロック (ϕ_{OSC}) により、サンプリングする周波数を選択します。 $\phi_{\text{OSC}} = 2 \sim 10\text{MHz}$ のときは、0 をセットしてください。

ビット 4	説 明
NESEL	
0	ϕ_{OSC} の 16 分周クロックでサンプリング (初期値)
1	ϕ_{OSC} の 4 分周クロックでサンプリング

5. 低消費電力モード

ビット3：ダイレクトトランスファオンフラグ（DTON）

アクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの各モード間を、SLEEP 命令を実行することにより直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット3	説 明
DTON	
0	- アクティブモードで SLEEP 命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 - サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移（初期値）
1	- アクティブ（高速）モードで SLEEP 命令を実行したとき、アクティブ（中速）モード（SSBY=0、MSON=1、LSON=0 のとき）、またはサブアクティブモード（SSBY=1、TMA3=1、LSON=1 のとき）に直接遷移 - アクティブ（中速）モードで SLEEP 命令を実行したとき、アクティブ（高速）モード（SSBY=0、MSON=0、LSON=0 のとき）、またはサブアクティブモード（SSBY=1、TMA3=1、LSON=1 のとき）に直接遷移 - サブアクティブモードで SLEEP 命令を実行したとき、アクティブ（高速）モード（SSBY=1、TMA3=1、LSON=0、MSON=0 のとき）、またはアクティブ（中速）モード（SSBY=1、TMA3=1、LSON=0、MSON=1 のとき）に直接遷移

ビット2：ミドルスピードオンフラグ（MSON）

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作させるか、アクティブ（中速）モードで動作させるかを選択します。

ビット2	説 明
MSON	
0	アクティブ（高速）モードで動作（初期値）
1	アクティブ（中速）モードで動作

ビット1、0：サブアクティブモードクロックセレクト（SA1、SA0）

サブアクティブモードの CPU の動作クロック（ $\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$ ）を選択します。SA1、SA0 はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説 明
SA1	SA0	
0	0	$\phi_w/8$ （初期値）
	1	$\phi_w/4$
1	*	$\phi_w/2$

【記号説明】

* : Don't care

5.2 スリープモード

5.2.1 スリープモードへの遷移

アクティブモードで、SYSCR1 の SSBY が 0、LSON が 0 のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、PWM*を除く内蔵周辺モジュールは動作します。なお、CPU のレジスタの内容は保持されます。

【注】* H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

5.2.2 スリープモードの解除

スリープモードの解除は、すべての割り込み（タイマ A、タイマ B、タイマ C*、タイマ F、IRQ₄、IRQ₃、IRQ₂*、IRQ₁、IRQ₀、WKP₇~WKP₀、SCI3、SCI1*、A/D 変換器）、 $\overline{\text{RES}}$ 端子入力によって行われます。

【注】* タイマ C、SCI1、IRQ₂ 割り込みは H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

(1) 割り込みによる解除

割り込み要求が発生すると、スリープモードは解除され、割り込み例外処理を開始します。

SYSCR2 の MSON が 0 のときアクティブ（高速）モードに、MSON が 1 のときアクティブ（中速）モードに遷移します。なお、CCR の I ビットが 1 のとき、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合はスリープ状態は解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

5.3 スタンバイモード

5.3.1 スタンバイモードへの遷移

アクティブモードで SYSCR1 の SSBY が 1、LSON が 0、および TMA の TMA3 が 0 のとき SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPU および内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPU のレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM のデータは保持されています。さらに、RAM データ保持電圧で規定した電圧が与えられているかぎり、内蔵 RAM のデータは保持されています。このとき、I/O ポートはハイインピーダンス状態となります。

5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割り込み (IRQ₁、IRQ₀、WKP₇ ~ WKP₀)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、システムクロックの発振が開始され、SYSCR1 の STS2 ~ STS0 により設定された時間が経過した後、安定したシステムクロックが LSI 全体に供給されて、スタンバイモードは解除され、割り込み例外処理を開始します。SYSCR2 の MSON が 0 のときはアクティブ (高速) モードに、1 のときはアクティブ (中速) モードに遷移します。なお、CCR の I ビットが 1 のとき、あるいは、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。なお、システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は、必ずシステムクロックの発振が安定するまで、Low レベルを保持してください。

5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1 の STS2 ~ STS0 の設定は、以下のようにしてください。

(1) 水晶発振の場合

表 5.4 に動作周波数と STS2 ~ STS0 の設定値に対する待機時間を示します。待機時間が 10ms 以上となるように STS2 ~ STS0 を設定してください。

表 5.4 動作周波数と発振安定時間

(単位: ms)

STS2	STS1	STS0	待機時間	5MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8,192 ステート	1.6	2.0	4.1	8.2	16.4
		1	16,384 ステート	3.2	4.1	8.2	16.4	32.8
	1	0	32,768 ステート	6.6	8.2	16.4	32.8	65.5
		1	65,536 ステート	13.1	16.4	32.8	65.5	131.1
1	*	*	131,072 ステート	26.2	32.8	65.5	131.1	262.1

【記号説明】

* : Don't care

(2) 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 ($STS2 = STS1 = STS0 = 0$) の使用を推奨します。

5.3.4 スタンバイモードへの遷移と端子状態

アクティブ(高速)モードまたはアクティブ(中速)モードで SYSCR1 の SSBY を 1、LSON を 0、TMA の TMA3 を 0 にセットした状態で SLEEP 命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態(プルアップ MOS オン設定端子は除く)になります。このときのタイミングを図 5.2 に示します。

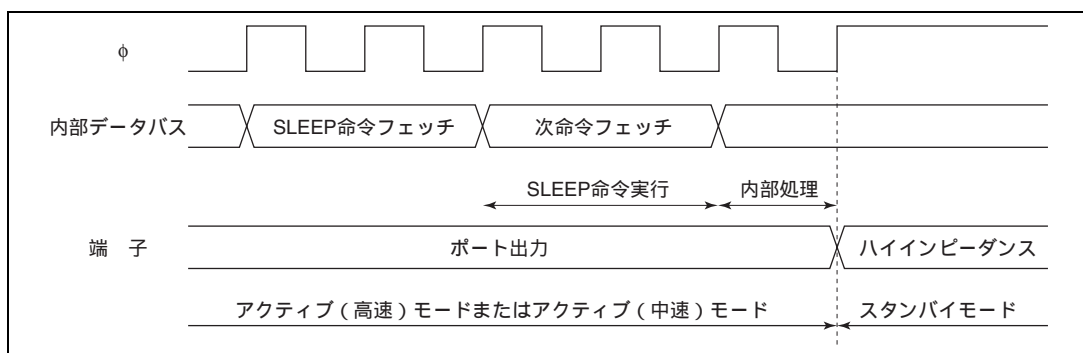


図 5.2 スタンバイモードへの遷移と端子状態

5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項

(1) スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合

$\overline{IRQ}$ 、 $\overline{WKP}$ 等の外部入力信号を入力する場合、信号の High、Low レベル幅はどちらもシステムクロック ϕ またはサブクロック ϕ_{SUB} (以下、本項では合わせて内部クロックと呼びます) の 2 サイクル以上の幅が必要です。スタンバイモード、ウォッチモードでは内部クロックが停止するため、これらの動作モードを経由する場合、外部入力信号は以下の「推奨する外部入力信号のタイミング」に合わせてください。

(2) 内部クロック停止により外部入力信号が取り込めない場合

立ち下がりエッジを取り込む場合を図 5.3 に示します。

「取り込めない場合」に示すように該当信号以外の割り込みにより発振を開始し、アクティブ(高速、中速)モードまたはサブアクティブモードに遷移した直後に外部入力信号が立ち下がった場合、この時点での High レベル幅が $2t_{cyc}$ 、 $2t_{subcyc}$ 未満の場合、この外部入力信号は取り込めません。

5. 低消費電力モード

(3) 推奨する外部入力信号のタイミング

確実に外部入力信号を取り込むためには「取り込める場合 1」に示すようにスタンバイモード、ウォッチモードに移転する前に入力信号の High、Low レベル幅を $2tcyc$ 、 $2tsubcyc$ 以上確保してください。

また「取り込める場合 2」、「取り込める場合 3」のタイミングでも $2tcyc$ 、 $2tsubcyc$ のレベル幅を確保できるので外部入力信号の取り込みが可能です。

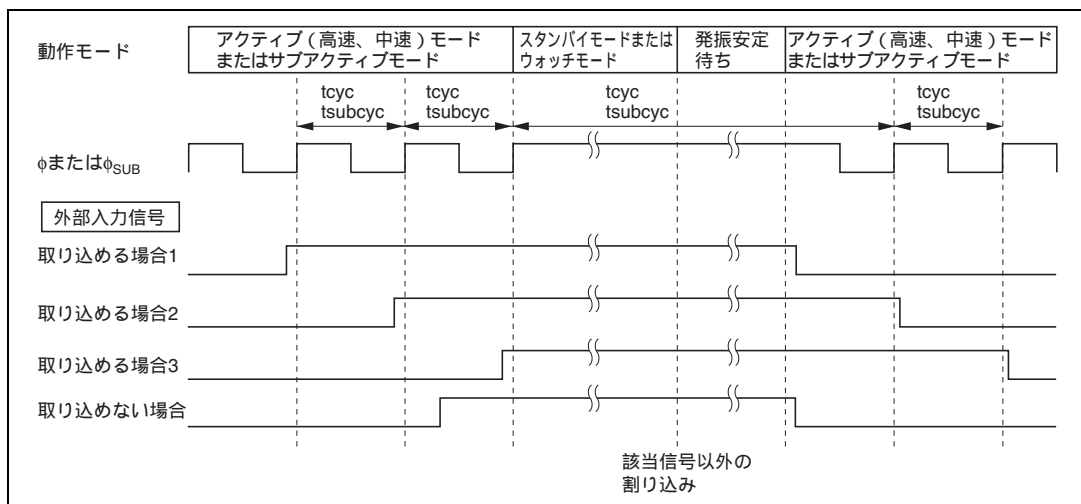


図 5.3 スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項

(4) 本注意事項が適用される入力端子

$\overline{IRQ}_4$ 、 $\overline{IRQ}_3$ 、 $\overline{IRQ}_2^*$ 、 $\overline{IRQ}_1$ 、 $\overline{IRQ}_0$ 、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 、 $\overline{ADTRG}$ 、 $TMIB$ 、 $TMIC^*$ 、 $TMIF$

【注】* H8/3857 グループの端子です。H8/3854 グループにはありません。

5.4 ウォッチモード

5.4.1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードで $SYSCR1$ の $SSBY$ が 1、 TMA の $TMA3$ が 1 のとき SLEEP 命令を実行すると、ウォッチモードに移転します。ウォッチモードではタイマ A、LCD (動作 / 停止選択可) 以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.4.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (IRQ₀、WKP₇ ~ WKP₀、タイマ A)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生するとウォッチモードは解除され、SYSCR1 の LSON と SYSCR2 の MSON の組み合わせで、LSON = 0 かつ MSON = 0 のときはアクティブ (高速) モードに、LSON = 0 かつ MSON = 1 のときはアクティブ (中速) モードに、LSON = 1 のときはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1 の STS2 ~ STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、ウォッチモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.4.3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5.3.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

5.4.4 ウォッチモード前後で外部入力信号が変化する場合の注意事項

「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

5.5 サブスリープモード

5.5.1 サブスリープモードへの遷移

サブアクティブモードで SYSCR1 の SSBY が 0、LSON が 1、TMA の TMA3 が 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、タイマ A、タイマ C*、LCD 以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

【注】* H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み（タイマ A、タイマ C*、IRQ₄、IRQ₃、IRQ₂*、IRQ₁、IRQ₀、WKP₇～WKP₀）、 $\overline{\text{RES}}$ 端子入力によって行われます。

【注】* タイマ C、IRQ₂ 割り込みは H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

(1) 割り込みによる解除

割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6 サバクティブモード

5.6.1 サバクティブモードへの遷移

ウォッチモードで割り込み（タイマ A、IRQ₀、WKP₇～WKP₀）が発生したとき、SYSCR1 の LSON が 1 ならば、サブアクティブモードに遷移します。また、サブスリープモードで割り込み（タイマ A、タイマ C*、IRQ₄、IRQ₃、IRQ₂*、IRQ₁、IRQ₀、WKP₇～WKP₀）が発生したとき、サブアクティブモードに遷移します。なお、CCR の I ビットが 1 の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブアクティブモードに遷移しません。

【注】* タイマ C、IRQ₂ 割り込みは H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

5.6.2 サバクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令または $\overline{\text{RES}}$ 端子入力により行われます。

(1) SLEEP 命令による解除

SYSCR1 の SSBY が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1 の SSBY が 0、LSON が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6.3 サバクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2 の SA1、SA0 により、ウォッチクロック (ϕ_w) の 2 分周、4 分周、8 分周から選択できます。

5.7 アクティブ（中速）モード

5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割り込み（ IRQ_1 、 IRQ_0 、 $WKP_7 \sim WKP_0$ ）が発生したとき、ウォッチモードで割り込み（タイマ A、 IRQ_0 、 $WKP_7 \sim WKP_0$ ）が発生したとき、あるいはスリープモードですべての割り込みが発生したとき、SYSCR1 の LSON が 0 かつ SYSCR2 の MSON が 1 ならば、アクティブ（中速）モードに遷移します。なお、CCR の I ビットが 1 の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、アクティブ（中速）モードに遷移しません。

5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP 命令または $\overline{RES}$ 端子入力により行われます。

(1) SLEEP 命令による解除

SYSCR1 の SSBY が 1、LSON が 0、TMA の TMA3 が 0 の状態で SLEEP 命令を実行すると、スタンバイモードに遷移します。SYSCR1 の SSBY が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、ウォッチモードに遷移します。

SYSCR1 の SSBY が 0、LSON が 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) $\overline{RES}$ 端子による解除

$\overline{RES}$ 端子を Low レベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、アクティブ（高速）モードの 1/8 の動作周波数のクロックによって動作します。

5.8 直接遷移

5.8.1 直接遷移の概要

CPU がプログラムを実行している動作モードにはアクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの 3 つのモードがあります。この 3 つの動作モードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は SYSCR2 の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。なお、割り込み許可レジスタ 2（IENR2）により直接遷移割り込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCR の I ビットを 1 の状態で直接遷移を行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割り込みによる解除は不可能となりますので注意してください。

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

(3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

(5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

5.8.2 直接遷移の時間

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移時の時間について

アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移はアクティブ（高速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間（直接遷移時間）は（1）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の tcyc}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の tcyc}) \dots\dots\dots (1) \end{aligned}$$

〔例〕本 LSI の直接遷移時間 = $(2 + 1) \times 2t_{osc} + 14 \times 16t_{osc} = 230t_{osc}$

【記号説明】

tosc : OSC クロックサイクル時間
tcyc : システムクロック (ϕ) サイクル時間

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移時の時間について

アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移はアクティブ（中速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間（直接遷移時間）は（2）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の tcyc}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の tcyc}) \dots\dots\dots (2) \end{aligned}$$

〔例〕本 LSI の直接遷移時間 = $(2 + 1) \times 16t_{osc} + 14 \times 2t_{osc} = 76t_{osc}$

【記号説明】

tosc : OSC クロックサイクル時間
tcyc : システムクロック (ϕ) サイクル時間

(3) サブアクティブモードからアクティブ（高速）モードへの直接遷移時の時間について

サブアクティブモードからアクティブ（高速）モードへの直接遷移はサブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間（直接遷移時間）は（3）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の tsubcyc}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の tcyc}) \dots\dots\dots (3) \end{aligned}$$

〔例〕本 LSI の直接遷移時間 = $(2 + 1) \times 8t_w + (8192 + 14) \times 2t_{osc}$
= $24t_w + 16412t_{osc}$

（CPU 動作クロック： $\phi_w/8$ 、待機時間：8192 ステートを選択した場合）

【記号説明】

tosc : OSC クロックサイクル時間
tw : ウォッチクロックサイクル時間
tcyc : システムクロック (ϕ) サイクル時間
tsubcyc : サブクロック (ϕ_{SUB}) サイクル時間

(4) サブアクティブモードからアクティブ（中速）モードへの直接遷移時の時間について

サブアクティブモードからアクティブ（中速）モードへの直接遷移はサブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行することによって行われます。SLEEP 命令実行から割り込み例外処理が終るまでの時間（直接遷移時間）は（4）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (4) \end{aligned}$$

$$\begin{aligned} \text{〔例〕本 LSI の直接遷移時間} = & (2 + 1) \times 8t_w + (8192 + 14) \times 16t_{\text{osc}} \\ = & 24t_w + 131296t_{\text{osc}} \end{aligned}$$

（CPU 動作クロック： $\phi_w/8$ 、待機時間：8192 ステートを選択した場合）

【記号説明】

t_{osc} : OSC クロックサイクル時間
 t_w : ウォッチクロックサイクル時間
 t_{cyc} : システムクロック（ ϕ ）サイクル時間
 t_{subcyc} : サブクロック（ ϕ_{SUB} ）サイクル時間

5.8.3 直接遷移前後で外部入力信号が変化する場合の注意事項

(1) アクティブ（高速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(2) アクティブ（中速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(3) サブアクティブモードからアクティブ（高速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(4) サブアクティブモードからアクティブ（中速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

6. ROM

6.1 概要

H8/3857 は 60K バイトのフラッシュメモリまたはマスク ROM、H8/3856 は 48K バイト、H8/3855 は 40K バイトのマスク ROM を内蔵しています。また、H8/3854 は 60K バイトのフラッシュメモリまたは 32K バイトのマスク ROM、H8/3853 は 24K バイト、H8/3852 は 16K バイトのマスク ROM を内蔵しています。H8/3854 は、フラッシュメモリとマスク ROM では容量が異なりますのでご注意ください。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。

なお、H8/3857、H8/3854 のフラッシュメモリ版は、汎用 PROM ライタでプログラムの書き込み・消去できるほか、オンボードでのプログラムの書き込み・消去が可能です。

マスク ROM 化を前提に H8/3854F を使用し、プログラム開発をする場合、マスク ROM 版は ROM サイズ 32K バイト、RAM サイズ 1K バイトが最大となりますので、ROM、RAM サイズに注意して開発してください。

6.1.1 ブロック図

ROM のブロック図を図 6.1 に示します。

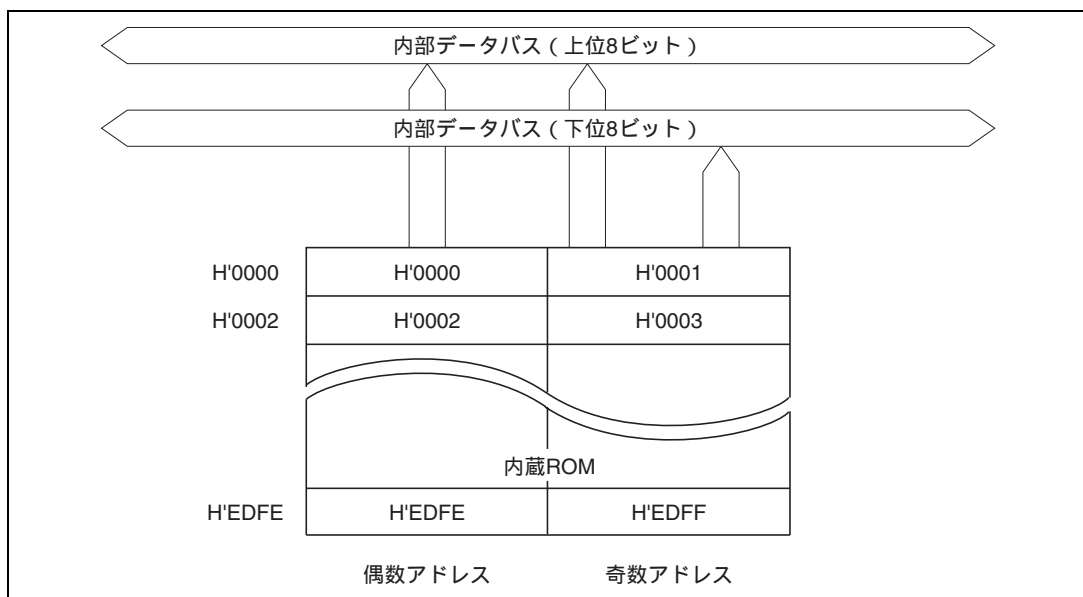


図 6.1 ROM のブロック図 (60K バイトの場合)

6.2 フラッシュメモリの概要

6.2.1 特長

フラッシュメモリの特長を以下に示します。

■フラッシュメモリの4種類の動作モード

- プログラムモード
- イレースモード
- プログラムベリファイモード
- イレースベリファイモード

■書き込み/消去方式

書き込みは32バイト同時書き込みを行います。消去はブロック分割消去(1ブロック単位)で行います。複数ブロックを消去する場合は、必ず各ブロック単位で順次消去を行ってください。ブロック分割消去では、1Kバイト、28Kバイト、16Kバイト、12Kバイトのブロック単位で任意に設定することができます。

■書き込み/消去時間

フラッシュメモリの書き込み時間は、32バイト同時書き込みにて10ms (typ.)^{*1}、1バイトあたり換算にて300μs (typ.)^{*1}、消去時間は、ブロックあたり100ms (typ.)^{*2}です。

■書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

■オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み/消去/ベリファイを行う2種類のモードがあります。

- ブートモード
- ユーザプログラムモード

■ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合せることができます。(9600bps、4800bps、2400bps)

■プロテクトモード

ハードウェアプロテクトモード、ソフトウェアプロテクトモードとエラープロテクトの3種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。

■ライターモード

フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にPROMライターを用いたライターモードがあります。

【注】*1 フラッシュメモリコントロールレジスタ1 (FLMCR1) のPビットをセットしているトータル期間を示します。

書き込みベリファイ時間は含まれません。

*2 フラッシュメモリコントロールレジスタ1 (FLMCR1) のEビットをセットしているトータル期間を示します。

消去ベリファイ時間は含まれません。

6.2.2 ブロック図

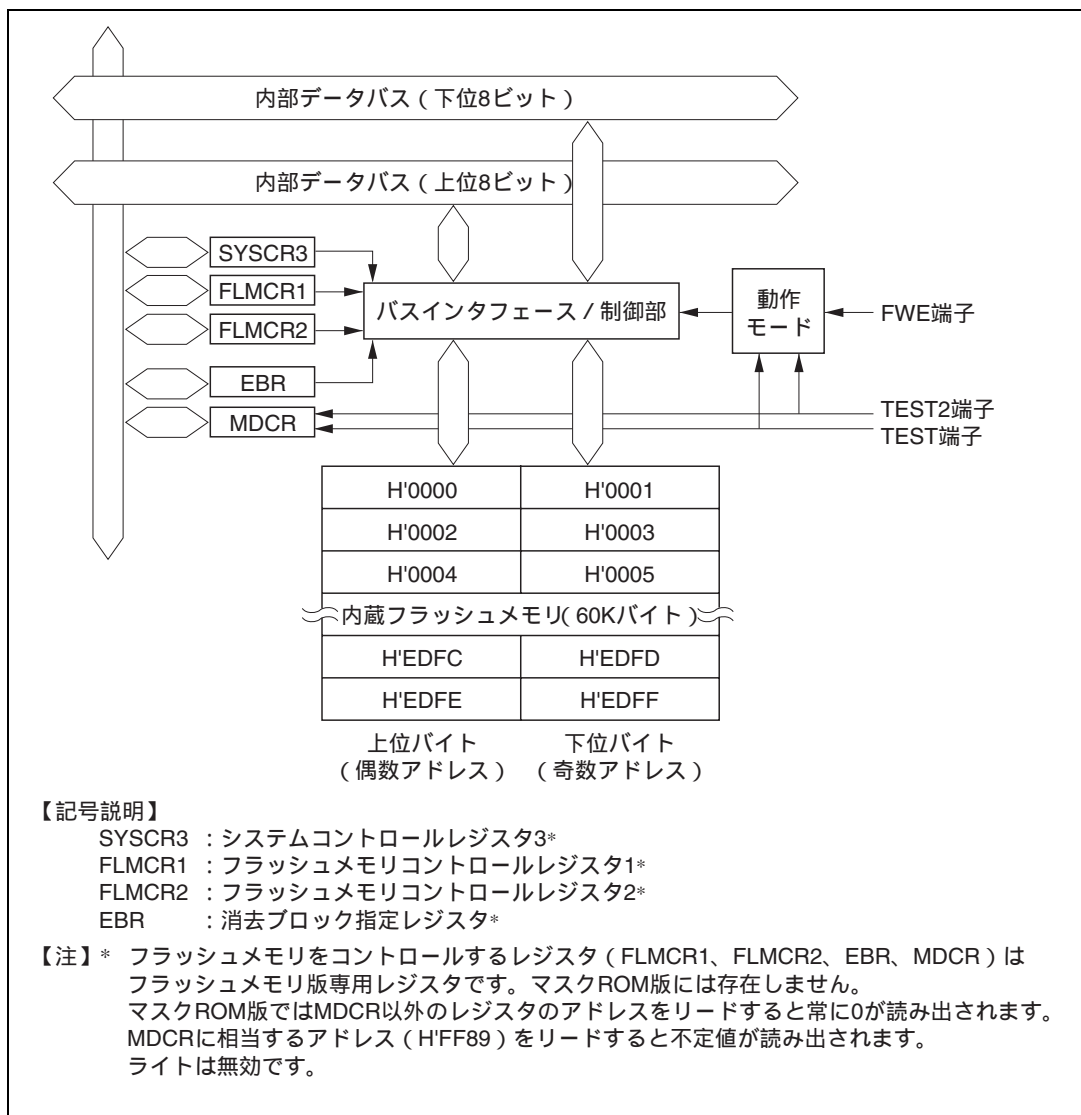


図 6.2 フラッシュメモリのブロック図

6.2.3 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で TEST2 端子、TEST 端子と FWE 端子を設定し、リセットスタートすると、本 LSI は図 6.3 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとして、ブートモード、ユーザプログラムモード、ライターモードがあります。

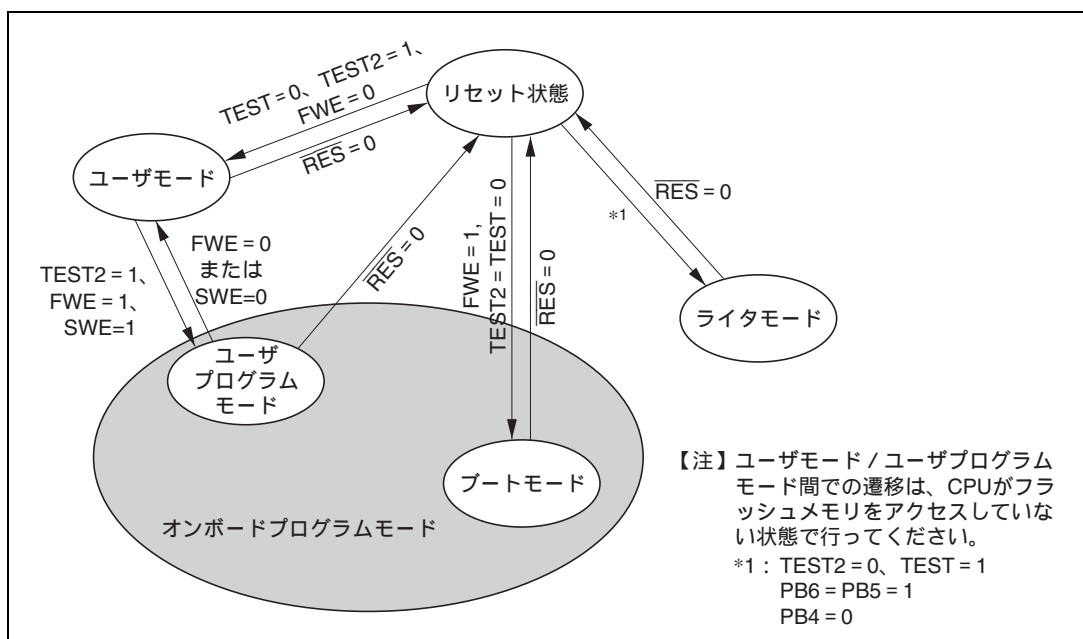


図 6.3 フラッシュメモリに関する状態遷移

(2) オンボードプログラムモード

(a) ブートモード

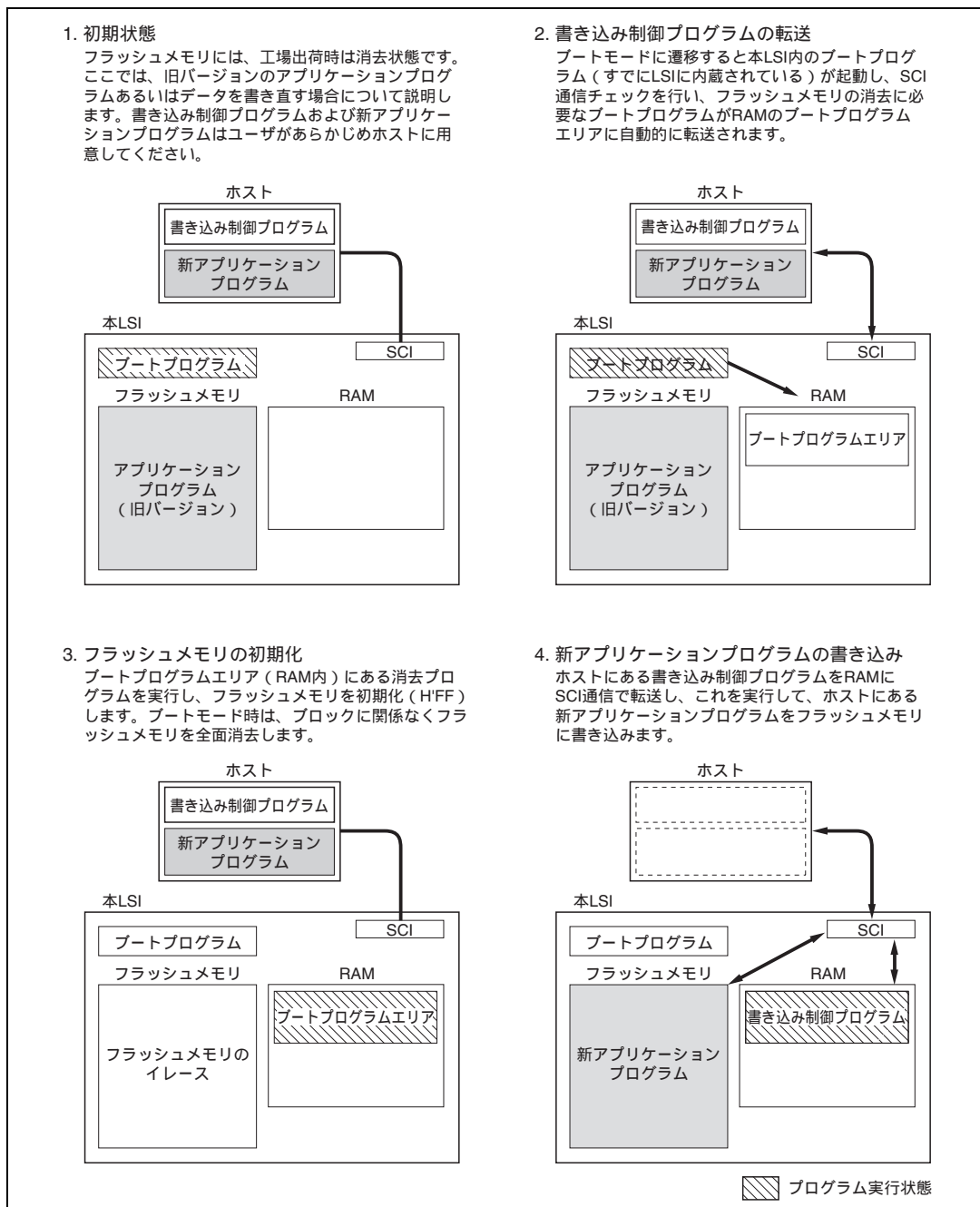


図 6.4 ブートモード

(b) ユーザプログラムモード

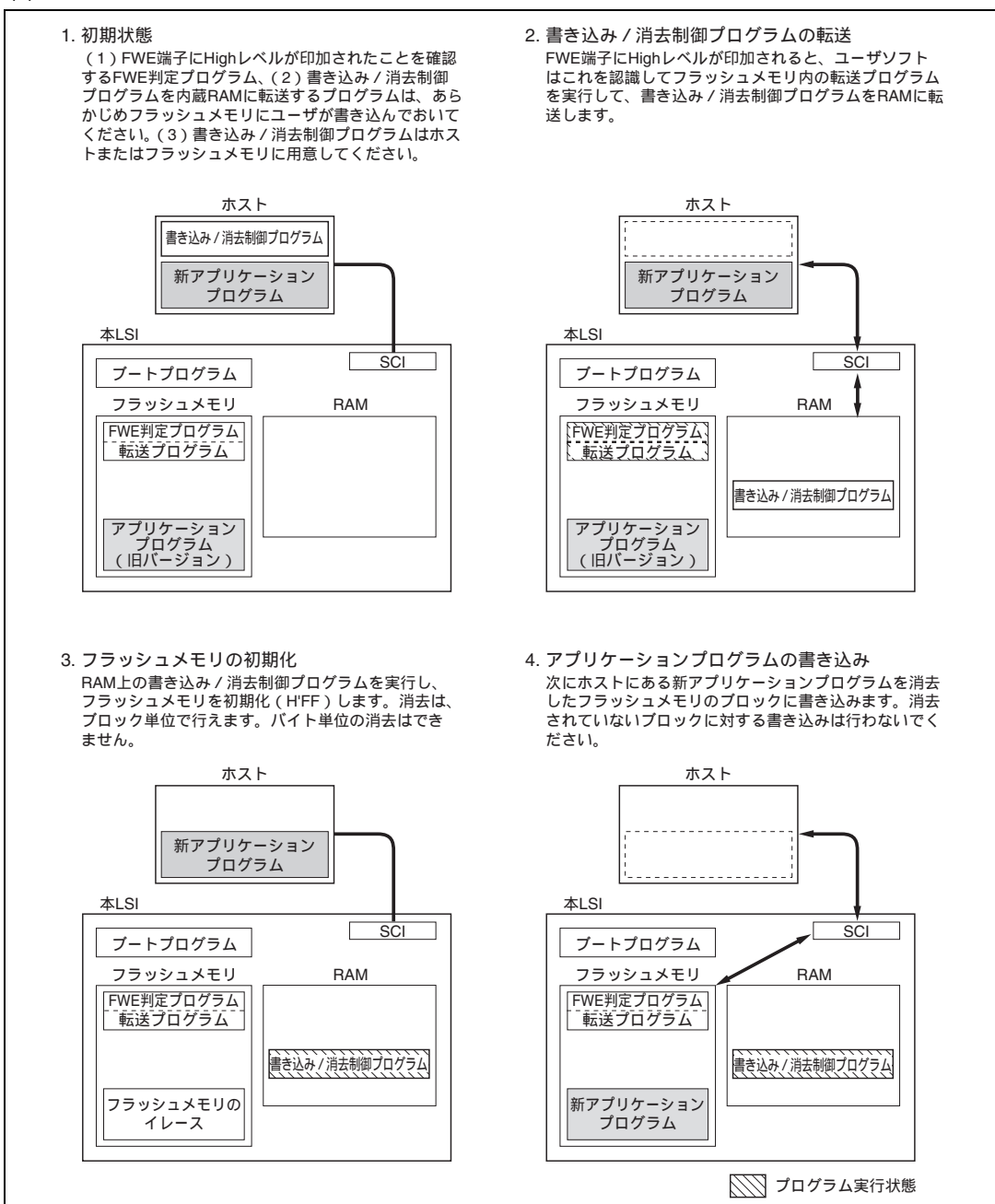


図 6.5 ユーザプログラムモード (例)

(3) ブートモードとユーザプログラムモードの相違点

表 6.1 ブートモードとユーザプログラムの相違点

	ブートモード	ユーザプログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御 プログラム*	プログラム/プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

(4) ブロック分割法

12K バイト (1 ブロック)、16K バイト (1 ブロック)、28K バイト (1 ブロック)、1K バイト (4 ブロック) に分割されています。

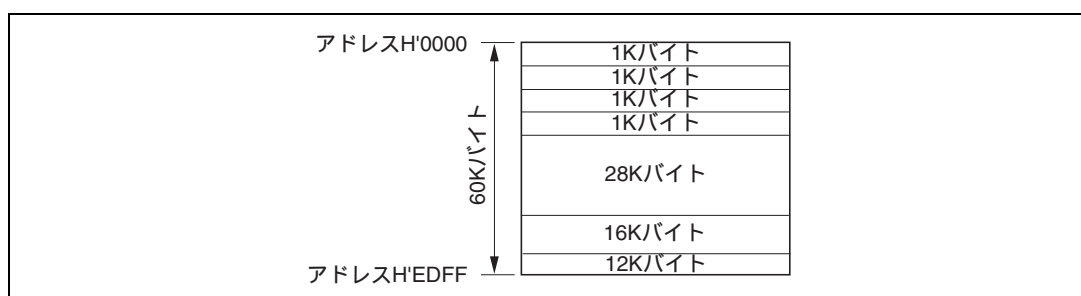


図 6.6 フラッシュメモリのブロック分割

6.2.4 端子構成

フラッシュメモリは表 6.2 に示す端子により制御されます。

表 6.2 端子構成

端子名	略称	入出力	機能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
テスト2	TEST2	入力	本 LSI の動作モードを設定
テスト	TEST	入力	本 LSI の動作モードを設定
トランスミットデータ*	TXD	出力	SCI3 送信データ出力
レシーブデータ*	RXD	入力	SCI3 受信データ入力

【注】 * トランスミットデータ端子とレシーブ端子はブートモード時に使用します。

6.2.5 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 6.3 に示します。本レジスタをアクセスするためには、SYSCR3 の FLSHE ビットを 1 にセットする必要があります。

表 6.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1* ⁵	R/W* ²	H'00* ³	H'FF80* ¹
フラッシュメモリコントロールレジスタ 2	FLMCR2* ⁵	R/W* ²	H'00* ⁴	H'FF81* ¹
消去ブロック指定レジスタ	EBR* ⁵	R/W* ²	H'00* ⁴	H'FF83* ¹
モードコントロールレジスタ	MDCR	R	不定	H'FF89
システムコントロールレジスタ 3	SYSCR3	R/W	H'00	H'FF8F

【注】 *1 フラッシュメモリのレジスタの選択はシステムコントロールレジスタ 3 (SYSCR3) の FLSHE ビットで行います。

*2 FLMCR1 の FWE ビットがクリア (FWE = 0) されているときライトは無効です。

*3 FWE 端子に High レベルが入力されているときの初期値は H'80 です。

*4 FWE 端子に Low レベルが入力されているとき、あるいは High レベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

*5 FLMCR1、FLMCR2、EBR は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。

表 6.3 のレジスタは、フラッシュメモリ版専用のレジスタです。

マスク ROM 版では、MDCR 以外のレジスタのアドレスをリードすると常に 0 が読み出されます。MDCR のアドレスをリードすると不定値が読み出されます。ライトは無効です。

6.3 フラッシュメモリのレジスタの説明

6.3.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	—	—	EV	PV	E	P
初期値：	—*	0	0	0	0	0	0	0
R/W：	R	R/W	—	—	R/W	R/W	R/W	R/W

【注】* FWE端子の状態により決定されます。

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FWE=1 のとき SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード、イレースベリファイモードに遷移します。プログラムモードへ遷移するには、FWE=1 のとき SWE=1 にし、FLMCR2 の PSU ビットをセットした後、P ビットをセットします。イレースモードへ遷移するには、FWE=1 のとき SWE=1 にし、FLMCR2 の ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、リセット、スタンバイモードで初期化されます。FWE 端子に High レベルが入力されているときの初期値は H'80 です。Low レベルが入力されているときは H'00 です。

また、FLMCR1 の SWE へのライトは FWE=1 のとき、EV、PV ビットへのライトは FWE=1、SWE=1 のとき、E ビットへのライトは FWE=1、SWE=1、ESU=1 のとき、P ビットへのライトは FWE=1、SWE=1、PSU=1 のときのみ有効です。

ビット 7：フラッシュライトイネーブル (FWE)

FWE ビットは、フラッシュメモリの書き込み / 消去をハードウェアプロテクトするビットです。使用時は「6.9 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

ビット 7	説 明
FWE	
0	FWE 端子に Low レベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子に High レベルが入力されているとき

ビット 6：ソフトウェアライトイネーブル (SWE) *¹*²

フラッシュメモリの書き込み / 消去の有効または無効を選択するビットです (ESU、PSU、EV、PV、E、P、EB6 ~ EB0 ビットの設定前にセットしてください。また、これらのビットと同時にクリアしないでください)。

ビット 6	説 明
SWE	
0	書き込み / 消去無効 (初期値)
1	書き込み / 消去有効 [セット条件] FWE = 1 のとき

6. ROM

ビット 5、4：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3：イレースベリファイ (EV) *¹

イレースベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット 3	説 明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット 2：プログラムベリファイ (PV) *¹

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット 2	説 明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット 1：イレース (E) *¹*³

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット 1	説 明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1 のとき

ビット0：プログラム（P）*1*3

プログラムモードへの遷移、解除を選択するビットです（SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください）。

ビット0	説 明
P	
0	プログラムモードを解除（初期値）
1	プログラムモードに遷移 [セット条件] FWE=1、SWE=1、PSU=1 のとき

【注】 *1 複数のビットを同時にセットしないでください。ビットをセットした状態で Vcc を切断しないでください。

*2 SWE ビットは、他のビット（FLMCR1 の EV ビット、PV ビット、E ビット、P ビットと FLMCR2 の ESU ビット、PSU ビット）と同時にセット/クリアしないでください。

*3 P ビット、E ビットのセットは「6.5 フラッシュメモリ書き込み/消去」に示す書き込み、消去アルゴリズムに従ってください。ビットを設定した場合、プログラムの暴走等に備えて、あらかじめウォッチドッグタイマの設定を行ってください。使用時の注意は「6.9 フラッシュメモリの書き込み/消去時の注意」を参照してください。

6.3.2 フラッシュメモリコントロールレジスタ 2（FLMCR2）

ビット：	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	ESU	PSU
初期値：	0	0	0	0	0	0	0	0
R/W：	R	-	-	-	-	-	R/W	R/W

FLMCR2 は、フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）の有無のモニタと、フラッシュメモリのプログラム/イレースモードへのセットアップを行う 8 ビットのレジスタです。FLMCR2 は、リセットで H'00 に初期化されます。また、ESU ビット、PSU ビットは、スタンバイモード、ハードウェアプロテクトモードおよびソフトウェアプロテクトモードでも 0 にクリアされます。

ビット7：フラッシュメモリエラー（FLER）

フラッシュメモリ動作中（書き込み、消去）にエラーが発生したことを示すビットです。FLER = 1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説 明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が無効 [クリア条件] リセット（初期値）
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト（エラープロテクト）が有効 [セット条件] 「6.6.3 エラープロテクト」参照

6. ROM

ビット6～2：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット1：イレースセットアップ (ESU) *

イレースモードへの遷移の準備をするビットです。FLMCR1 の E ビットを 1 にセットする前に 1 にセットしてください (SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット 1	説 明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット0：プログラムセットアップ (PSU) *

プログラムモードへの遷移の準備をするビットです。FLMCR1 の P ビットを 1 にセットする前に 1 にセットしてください (SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット 0	説 明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

【注】* 複数ビットを同時にセットしないでください。
ビットを設定した状態で Vcc を切断しないでください。

6.3.3 消去ブロック指定レジスタ (EBR)

ビット :	7	6	5	4	3	2	1	0
	—	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、EBR のビット 6～0 について R/W 可能です。EBR は、リセット、スタンバイモード、FWE 端子に Low レベルが入力されているとき、および FWE 端子に High レベルが入力されていても FLMCR1 の SWE ビットが 0 のときは、H'00 に初期化されます。EBR の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。消去はブロック分割消去 (1 ブロック単位) で行うので、EBR は 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。

フラッシュメモリのブロック分割方法は、表 6.4 を参照してください。全面消去をする場合は各ブロック単位に順次消去してください。

表 6.4 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (1K バイト)	H'0000 ~ H'03FF
EB1 (1K バイト)	H'0400 ~ H'07FF
EB2 (1K バイト)	H'0800 ~ H'0BFF
EB3 (1K バイト)	H'0C00 ~ H'0FFF
EB4 (28K バイト)	H'1000 ~ H'7FFF
EB5 (16K バイト)	H'8000 ~ H'BFFF
EB6 (12K バイト)	H'C000 ~ H'EDFF

6.3.4 モードコントロールレジスタ (MDCR)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TSDS2	TSDS1
初期値 :	0	0	0	0	0	0	—*	—*
R/W :	—	—	—	—	—	—	R	R

【注】* TEST2、TEST端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の現在の動作モードをモニタするために用います。

ビット 7~2 : リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 1、0 : テスト端子モニタ 2、1 (TSDS2、TSDS1)

テスト端子 (TEST2、TEST) の入力レベルを反映した値 (現在の動作モード) を示しています。TSDS2、TSDS1 ビットは TEST2、TEST 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。

6.3.5 システムコントロールレジスタ 3 (SYSCR3)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	FLSHE	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	R/W	—	—	—

SYSCR3 は 8 ビットのリード / ライト可能なレジスタで、内蔵フラッシュメモリの制御を行います。SYSCR3 はリセット時の H'00 に初期化されます。

ビット 7~4 : リザーブビット

リードすると、常に 0 が読み出されます。ライトは無効です。

ビット3：フラッシュメモリコントロールレジスタインエーブル（FLSHE）

フラッシュメモリの制御レジスタ（FLMCR1、FLMCR2、EBR）のCPUアクセスを制御します。FLSHE ビットを1にセットすると、フラッシュメモリ制御レジスタをリード/ライトすることができます。0にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット3	説 明
FLSHE	
0	アドレス H'FF80 ~ H'FF83 のエリアはフラッシュ制御レジスタを非選択（初期値）
1	アドレス H'FF80 ~ H'FF83 のエリアはフラッシュ制御レジスタを選択

ビット2～0：リザーブビット

リードすると、常に0が読み出されます。ライトは無効です。

6.4 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み/消去/ベリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあります。各モードへ遷移する端子の設定方法を、表 6.5 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 6.3 を参照してください。

表 6.5 オンボードプログラミングモードの設定方法

モード	端子		
	FWE	TEST2	TEST
MCU モード			
ブートモード	1* ²	0	0
ユーザプログラムモード* ¹	1	1	0

【注】 *1 通常は FWE 端子を 0 に設定してください。書き込み/消去/ベリファイを行う前に FWE 端子を 1 に設定し、ユーザプログラムモードに遷移してください。

*2 High レベルの印加タイミングについては、「6.4.1（3）ブートモード使用時の注意事項」の（f）、（g）を参照してください。

6.4.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI3 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI3 を使って本 LSI へ順次送信されます。本 LSI では、SCI3 で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレス (H'FB80) に分岐し、書き込み制御プログラム実行状態となります (フラッシュメモリの書き込みを行います)。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 6.7 にブートモード時のシステム構成図、図 6.8 にブートモード実行手順を示します。

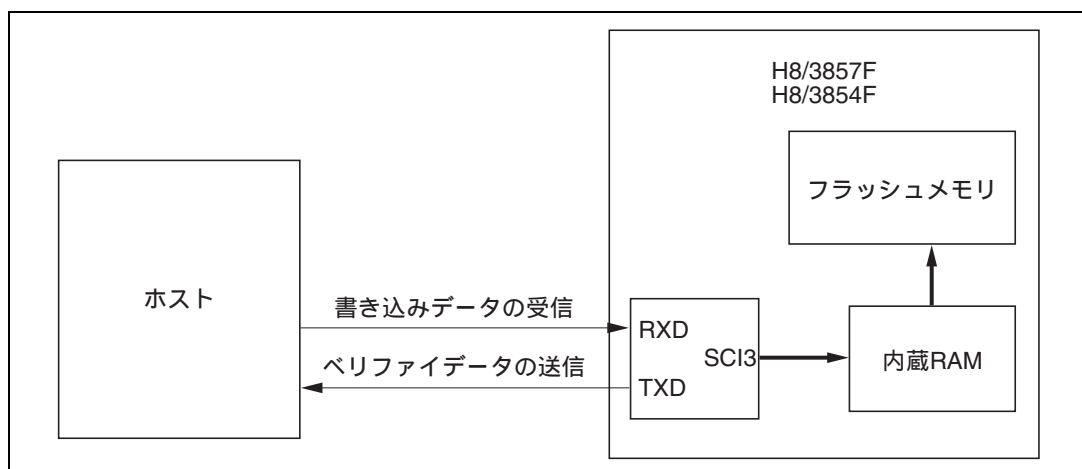


図 6.7 ブートモード時のシステム構成図

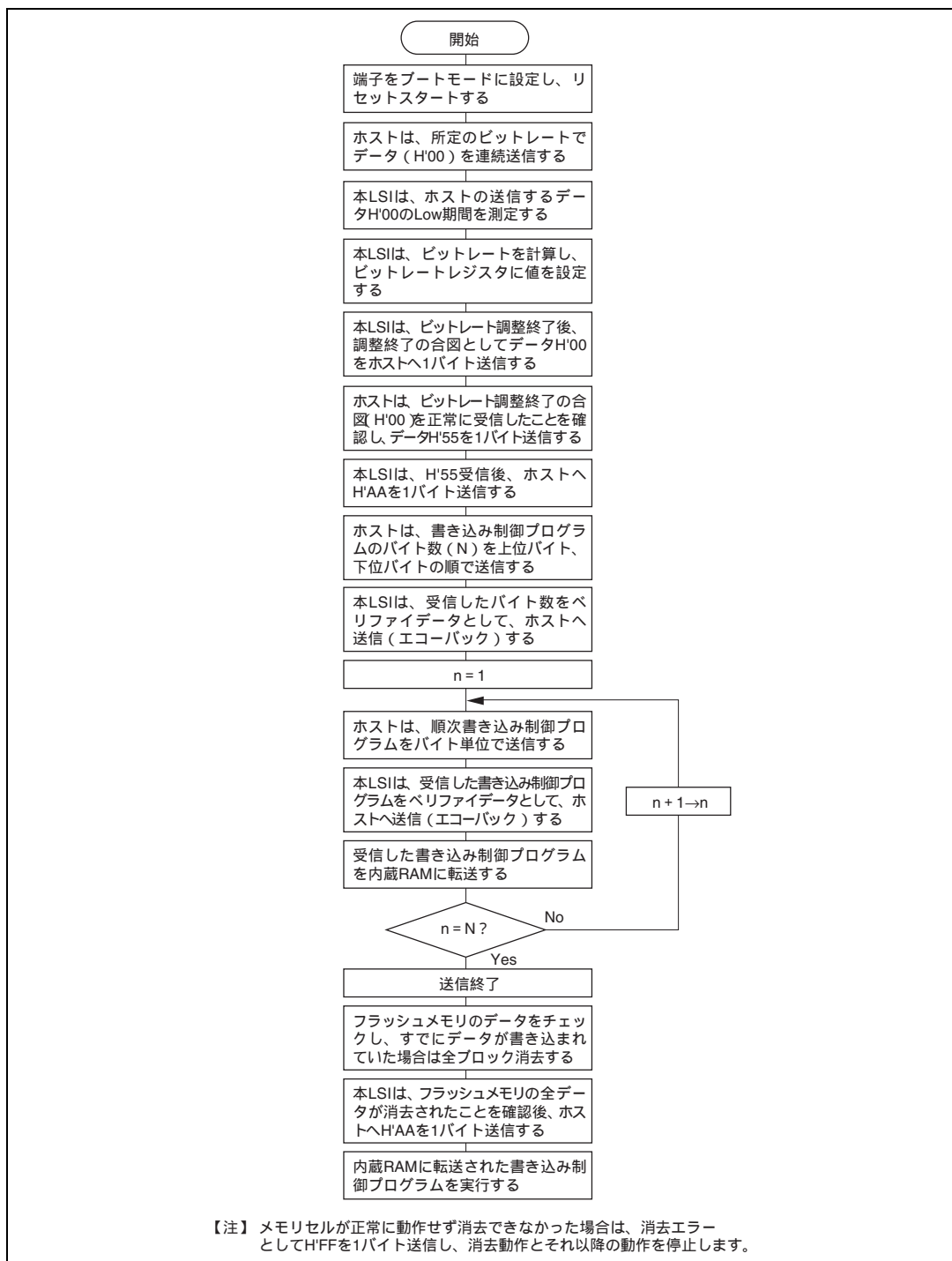


図 6.8 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作

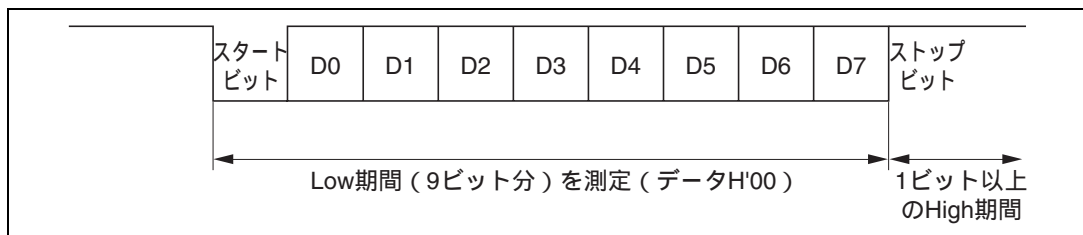


図 6.9 SCI ビットレート自動合わせ込み時の RXD 入力信号

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ（H'00）の Low 期間を測定します。この時の SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図（H'00）を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し（リセット）、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの発振周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを（2400、4800、9600）bps^{*1} に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの発振周波数を表 6.6 に示します。このシステムクロックの発振周波数の範囲内でブートプログラムを実行してください。^{*2}

【注】*1 ホストのビットレートは 2400、4800、9600bps の設定のみとし、それ以外の設定は使用しないでください。

*2 本 LSI は表 6.6 に示すビットレートとシステムクロックの発振周波数の組み合わせ以外でも、ビットレートの自動合わせ込みを行う場合がありますが、ホストと本 LSI とのビットレートに誤差が生じ、その後の転送が正常に行われません。このためブートモードの実行は必ず表 6.6 に示すビットレートとシステムクロックの発振周波数の組み合わせの範囲内で行ってください。

表 6.6 ビットレートの自動合わせ込みが可能なシステムクロックの発振周波数

ホストのビットレート	ビットレートの自動合わせ込みが可能なシステムクロックの発振周波数（f _{osc} ）
9600bps	1.2288MHz、2.4576MHz、4.9152MHz、6MHz ~ 10MHz
4800bps	1.2288MHz、2.4576MHz、4MHz ~ 10MHz
2400bps	1.2288MHz、2MHz ~ 10MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'F780～H'FB7Fの(1K)バイトは、図 6.10 に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアは H'FB80～H'FF7F です。ブートプログラムのエリアは、RAM 内に転送した書き込み制御プログラムが実行状態に遷移すると使用できます。スタックエリアは必要に応じて設定してください。

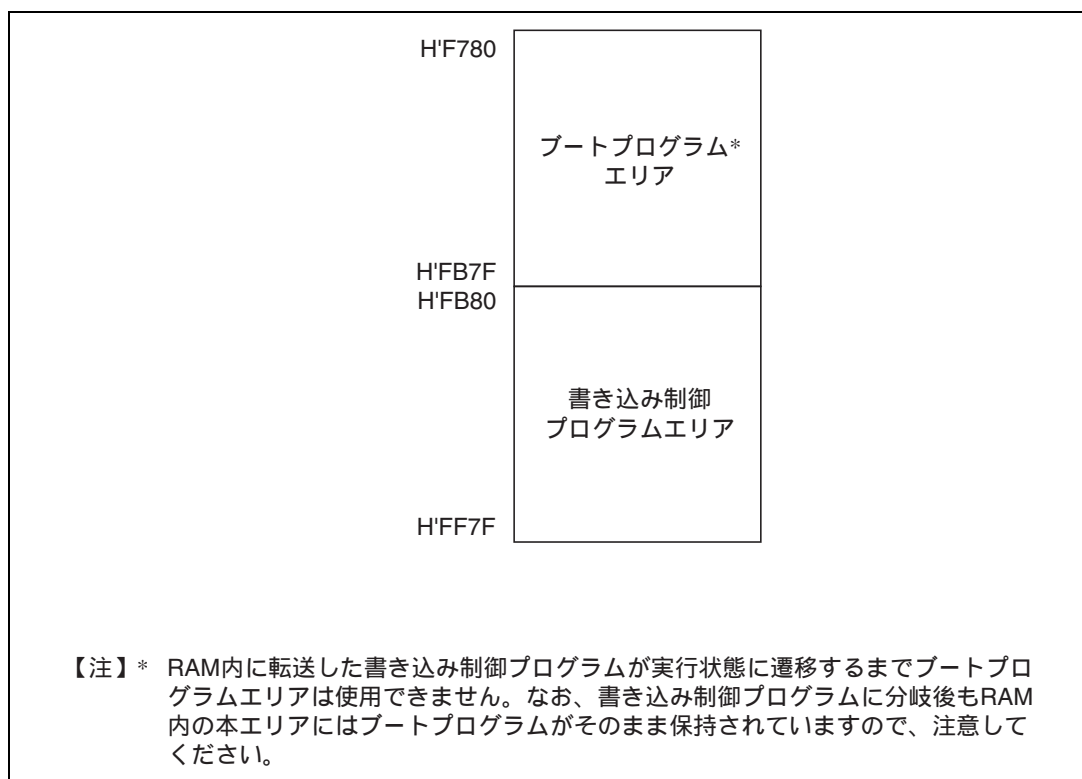


図 6.10 ブートモード時の RAM エリア

(3) ブートモード使用時の注意事項

- (a) 本LSIは、ブートモードでリセット解除すると、SCI3のRXD端子のLow期間を測定します。RXD端子がHighの状態ではリセット解除してください。リセット解除後、RXD端子から入力されるLow期間を測定できるようになるまで、本LSIは約100ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。

- (d) RXD端子およびTXD端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム（RAMエリアのH'FB80）に分岐するときに内蔵SCI3の送受信動作を終了（SCR3のRE=0、TE=0）しますが、BRRには、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子TXDは、Highレベル出力状態（ポートコントロールレジスタ4のPCR4₂=1、ポートデータレジスタ4のP4₂=1）となっています。
さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。
特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては、初期値が変更されるものではありません。
- (f) ブートモードへの遷移は表6.5のモード設定に従って、端子を設定しリセットスタートすることにより可能です。
ブートモードを解除するには、リセット端子をLowレベルにしてから最低10システムクロック経過後*²、FWE端子とTEST2端子、TEST端子を設定し、リセット解除*¹することにより可能です。また、WDTのオーバフローリセットが発生した場合もブートモードを解除することが可能です。
ブートモードの途中でTEST2端子、TEST端子およびFWE端子の入力レベルを変化させないでください。ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にFWE端子をLowレベルにしないでください。*³
- (g) リセット中にTEST2端子、TEST端子およびFWE端子の入力レベルを変化（たとえばLowレベル→Highレベル）させると、マイコンの動作モードが切り替わるによりポートの状態が変化します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

【注】*¹ TEST2 端子、TEST 端子と FWE 端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間（ $t_{MDS} = 4$ ステート）を満足する必要があります。

*² 「3.2.2 リセットシーケンス」および「6.9 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

*³ FWE の印加 / 解除の注意については「6.9 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

6.4.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み / 消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に FWE 制御手段、および書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み / 消去制御プログラムを内蔵しておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、ユーザプログラムモード (TEST2 = 1、TEST = 0) で起動し、FWE 端子に High レベルを印加します。この状態の動作では、フラッシュメモリ以外の周辺機能はユーザモードと同じ動作をします。

フラッシュメモリへの書き込み / 消去を行うために SWE ビットを 1 にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み / 消去を行う制御プログラムは、内蔵 RAM 上で実行するようにしてください。

図 6.11 に書き込み / 消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

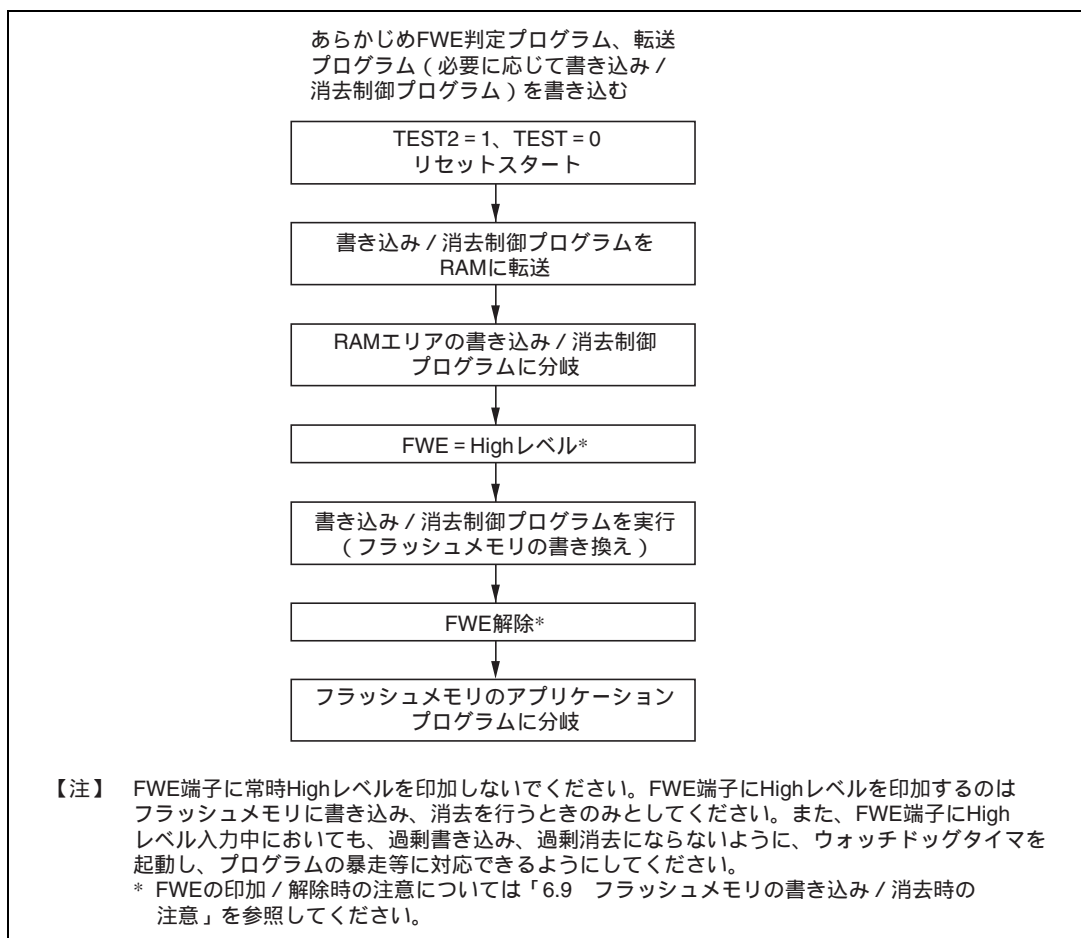


図 6.11 ユーザプログラムモードの実行手順例

6.5 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR2 の PSU、ESU ビット、FLMCR1 の P、E、PV、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム(書き込み制御プログラム)は、内蔵 RAM 上に置いて、実行するようにしてください。

書き込み / 消去時の注意については「6.9 フラッシュメモリの書き込み / 消去時の注意」を参照してください。FLMCR1、FLMCR2 の各ビットをセット / クリア後の待機時間については、「14.2.6 フラッシュメモリ特性」を参照してください。

- 【注】
1. FLMCR1 の SWE、EV、PV、E、P ビット、FLMCR2 の ESU、PSU ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

6.5.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 6.12 に示すプログラム / プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1)、フラッシュメモリコントロールレジスタ 2 (FLMCR2) の各ビットのセット / クリア後のウェイト時間 (x 、 y 、 z 、 α 、 β 、 γ 、 ε 、 η)、最大書き込み回数 (N) を表 14.16 に示します。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(x) μs 以上の時間が経過してから、32 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレスに RAM 上の再書き込みデータエリアの 32 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません。データ転送はバイト単位で 32 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は ($y+z+\alpha+\beta$) μs より大きくしてください。その後、FLMCR2 の PSU ビットをセットし、プログラムモードへの準備 (プログラムセットアップ) を行い、(y) μs 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。1 回の書き込み時間を (z) μs の範囲に納まるようにプログラムで設定してください。

6.5.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除 (FLMCR1 の P ビットを解除後、 (α) μs 以上の時間が経過してから FLMCR2 の PSU ビットを解除) します。ウォッチドッグタイマを設定時から $(y + z + \alpha + \beta)$ μs より大きい時間が経過してから解除し、FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (γ) μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは 16 ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 (ε) μs 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算 (図 6.12 参照) し、再書き込みデータを再書き込みデータエリアに転送します。32 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、 (η) μs 以上の待機時間を置いて、FLMCR1 の SWE ビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム / プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、 (N) 回を超えないようにしてください。

【注】 RAM 上に書き込みデータを格納するエリア (32 バイト) と再書き込みデータを格納するエリア (32 バイト) が必要です。

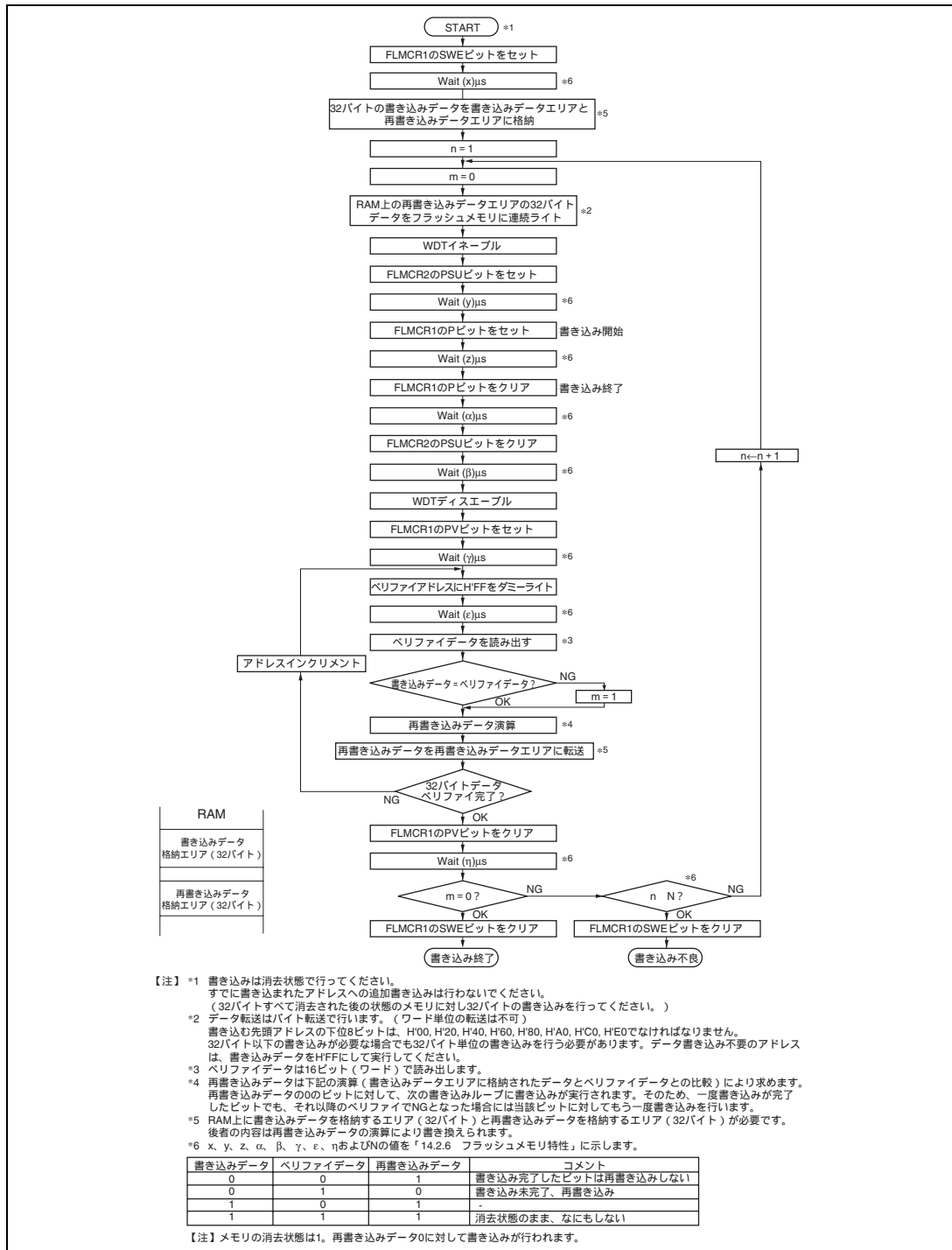


図 6.12 プログラム/プログラムペリファidataフロー

6.5.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 6.13 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2) の各ビットのセット/クリア後のウェイト時間 (x 、 y 、 z 、 α 、 β 、 γ 、 ε 、 η 、最大消去回数 (N)) を表 14.16 に示します。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ1 (FLMCR1) の SWE ビットを1にセット後、(x) μ s 以上の時間が経過してから、消去ブロック指定レジスタ (EBR) で消去するフラッシュメモリのエリアを1ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は ($y+z+\alpha+\beta$) μ s より大きく設定してください。その後、FLMCR2 の ESU ビットをセットすることで、イレースモードへの準備 (イレースセットアップ) を行い、(y) μ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリのデータをすべて0にする）を行う必要はありません。

6.5.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCR1 の E ビットを解除後、(α) μ s 以上の時間が経過してから FLMCR2 の ESU ビットを解除) し、ウォッチドッグタイマを設定時から ($y+z+\alpha+\beta$) μ s より大きな時間が経過してから解除し、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (γ) μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは16ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(ε) μ s おいてから行ってください。読み出したデータが消去 (データがすべて1) されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、(η) μ s 以上の待機時間をおいてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのブロックを EBR で1ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

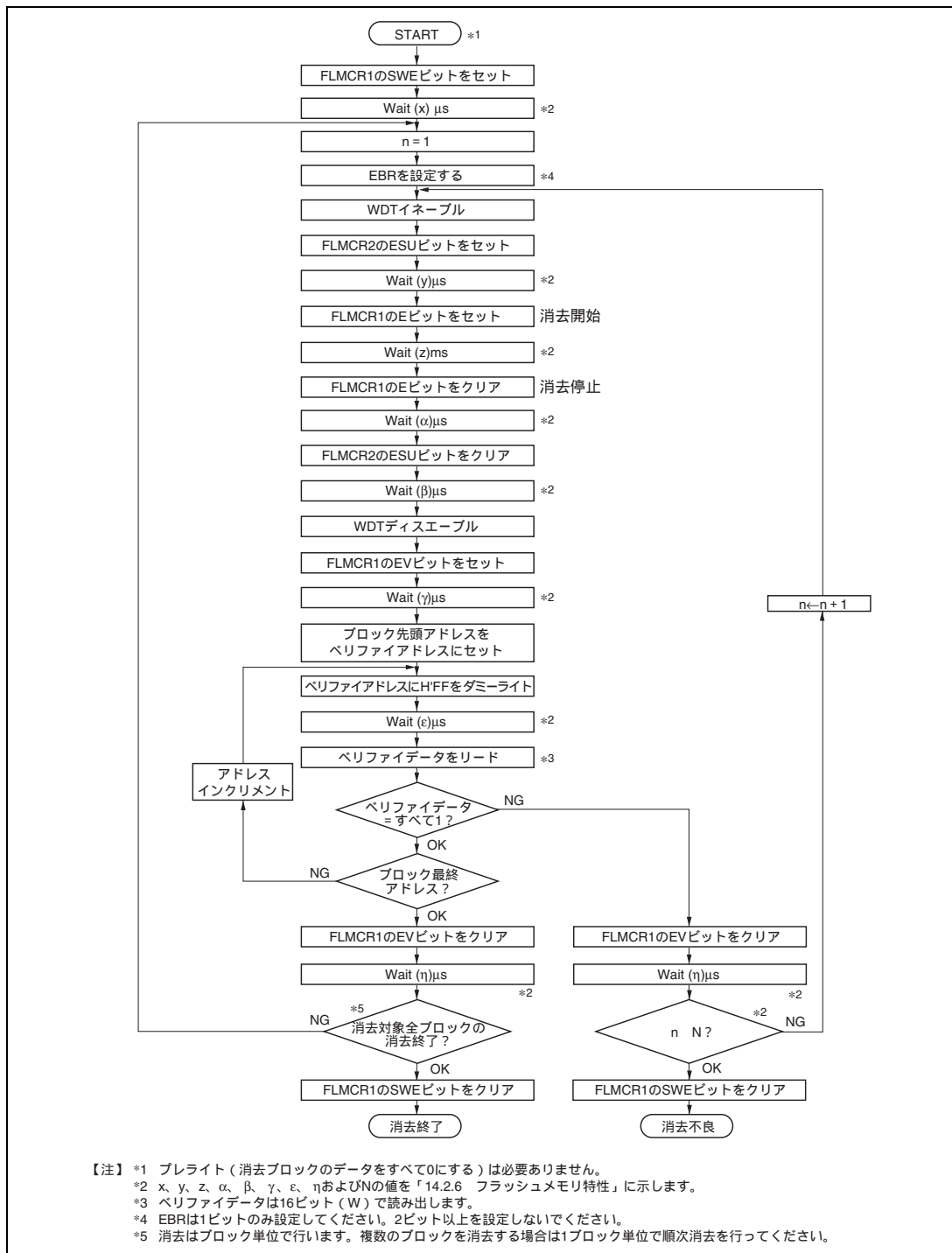


図 6.13 イレース/イレースベリファイフロー（単一ブロック消去）

6.6 フラッシュメモリのプロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクトとエラープロテクトの3種類あります。

6.6.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) および消去ブロック指定レジスタ (EBR) の設定はリセットされます (表 6.7 参照)。

表 6.7 ハードウェアプロテクト

項目	説明	機能		
		書き込み	消去	ベリファイ ^{*1}
FWE 端子 プロテクト	FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2 (FLER ビットを除く)、EBR は初期化され、書き込み／消去プロテクト状態になります。^{*3}	不可	不可 ^{*2}	不可
リセット、 スタンバイ プロテクト	- リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR は初期化され、書き込み／消去プロテクト状態になります。 - RES 端子によるリセットでは、電源投入時は最小 40ms (発振安定時間)^{*4}の間、RES 端子を Low レベルに保持しないと確実にリセット状態になりません。また、動作中のリセットは最低 10 システムクロック (10φ) サイクルの間 RES 端子を Low レベルに保持してください。	不可	不可 ^{*2}	不可

【注】 *1 プログラムベリファイ、イレースベリファイの2つのモード。

*2 全ブロックが消去不可となり、ブロック別の指定はできません。

*3 詳細については「6.9 フラッシュメモリの書き込み／消去時の注意」を参照してください。

*4 詳細については「15.2.3 AC 特性」、「16.2.3 AC 特性」を参照してください。

6.6.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビット、消去ブロック指定レジスタ (EBR) をセットすることで行えます。ソフトウェアプロテクトでは、FLMCR1 の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 6.8 参照)。

表 6.8 ソフトウェアプロテクト

項目	説明	機能		
		書き込み	消去	ベリファイ ^{*1}
SWE ビットプロテクト	• FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。(内蔵 RAM 上で実行してください。)	不可	不可	不可
ブロック指定プロテクト	• 消去ブロック指定レジスタ (EBR) ^{*2} の設定により、ブロックごとに消去プロテクトが可能。 • EBR を H'00 に設定すると全ブロックが消去プロテクト状態になります。	-	不可	可

【注】 *1 プログラムベリファイ、イレースベリファイの 2 つのモード。

*2 EBR のビットは消去時以外は H'00 にしてください。

6.6.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中^{*1}のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR の設定^{*2}は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中にフラッシュメモリをリード^{*3}したとき (ベクタリードおよび命令フェッチを含む)
- (2) 書き込み / 消去中の例外処理 (リセットは除く) 開始直後^{*4}
- (3) 書き込み / 消去中に SLEEP 命令 (スタンバイモードを含む) を実行したとき

エラープロテクト解除は、リセットのみで行われます。

図 6.14 にフラッシュメモリの状態遷移図を示します。

【注】 *1 FLMCR1 の P ビットまたは E ビットが 1 にセットされた状態です。

*2 FLMCR1、FLMCR2、EBR へのライトは可能です。ただしエラープロテクト状態でスタンバイモードに遷移した場合は、レジスタは初期化されます。

*3 このときリードした値は不定となります。

*4 例外処理でのスタックおよびベクタリードを行う前です。

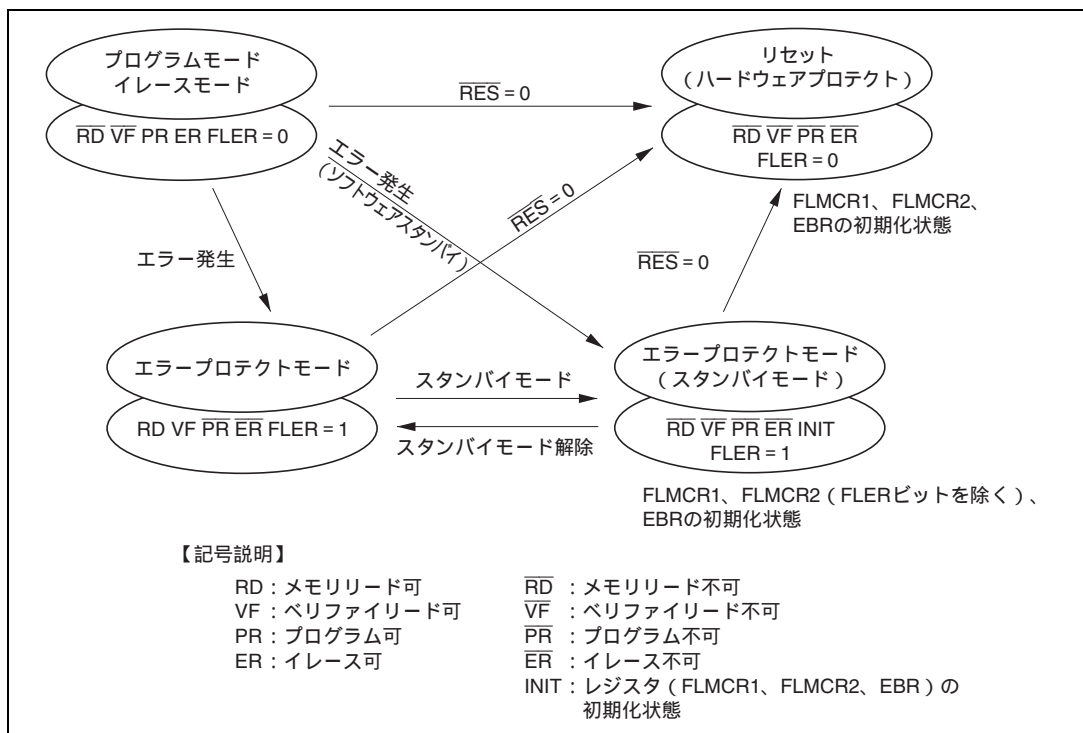


図 6.14 フラッシュメモリの状態遷移図

エラープロテクト機能は、FLER ビットのセット条件以外の異常動作に対しては無効です。また、このプロテクト状態に移るまでに相当な時間が経過している場合は、すでにフラッシュメモリにダメージを与えている可能性もあります。したがって、この機能ではフラッシュメモリへのダメージを完全に防止することはできません。

このため、このような異常動作を防止するためには、フラッシュライトイネーブル (FWE) が印加された状態で書き込み / 消去アルゴリズムに従って正しく動作させること、およびマイコンの異常をウォッチドッグタイマ等でマイコン内外で常に監視することが必要です。また、このプロテクトモードへ遷移した時点でのフラッシュメモリは誤書き込み、誤消去の状態であったり、強制停止によって書き込みや消去が不十分な場合があります。このような場合、必ずブートモードによる強制復帰 (プログラムの再書き込み) を行ってください。ただし、過剰書き込み、過剰消去によってブートモードが正常に起動されない場合があります。

6.7 フラッシュメモリの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）、およびブートモードでのブートプログラム実行中*¹は書き込み、消去動作を最優先とするためすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- （１） 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- （２） 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してしまう。
- （３） ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込み入力を禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合は、マイコンの内部と外部ですべての割り込み要求を禁止する必要があります。

【注】*¹ 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*² この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- 書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません（値は不定）。
- 割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

6.8 フラッシュメモリのライターモード

6.8.1 ライターモードの設定

プログラム / データの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではルネサス 64K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード / 自動消去モード / ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。

6.8.2 ソケットアダプタの端子対応とメモリマップ

このライターモードでは、PROM ライタに各パッケージに対応したソケットアダプタを取り付けて行います。ソケットアダプタは、HD64F3857 では 144 ピン - 32 ピン変換、HD64F3854 では 100 ピン - 32 ピン変換を行います。表 6.9 にソケットアダプタの型名を示します。

図 6.15 にライターモード時のメモリマップを示します。また図 6.16 (a) に HD64F3857、図 6.16 (b) に HD64F3854 のソケットアダプタの端子対応図を示します。

6. ROM

表 6.9 ソケットアダプタ型名

製品型名	パッケージ名称	ソケットアダプタ型名
HD64F3857	144 ピン TQFP (TFP-144)	弊社担当営業にお問い合わせください。
	144 ピン QFP (FP-144H)	
HD64F3854	100 ピン TQFP (TFP-100G)	
	100 ピン QFP (FP-100B)	

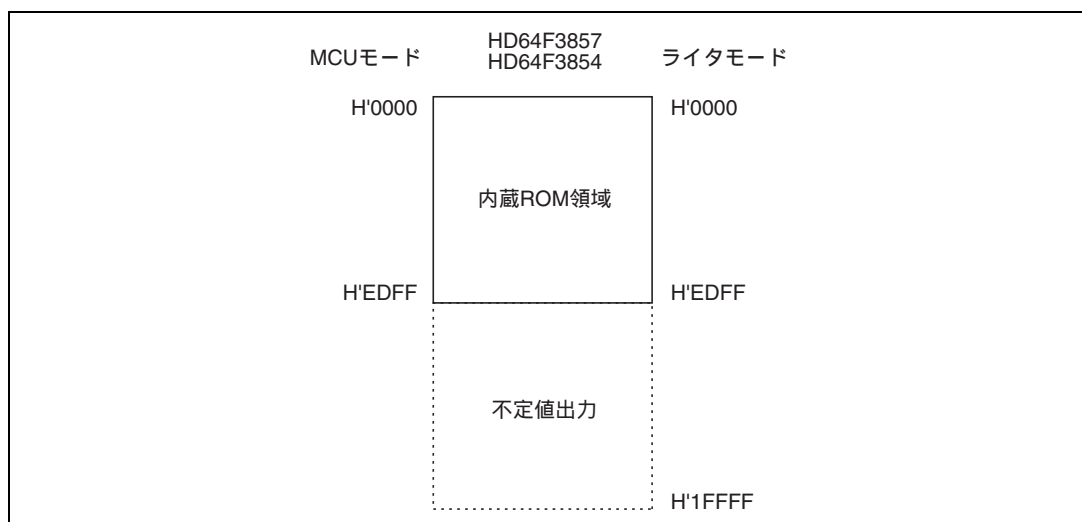


図 6.15 ライタモード時のメモリマップ

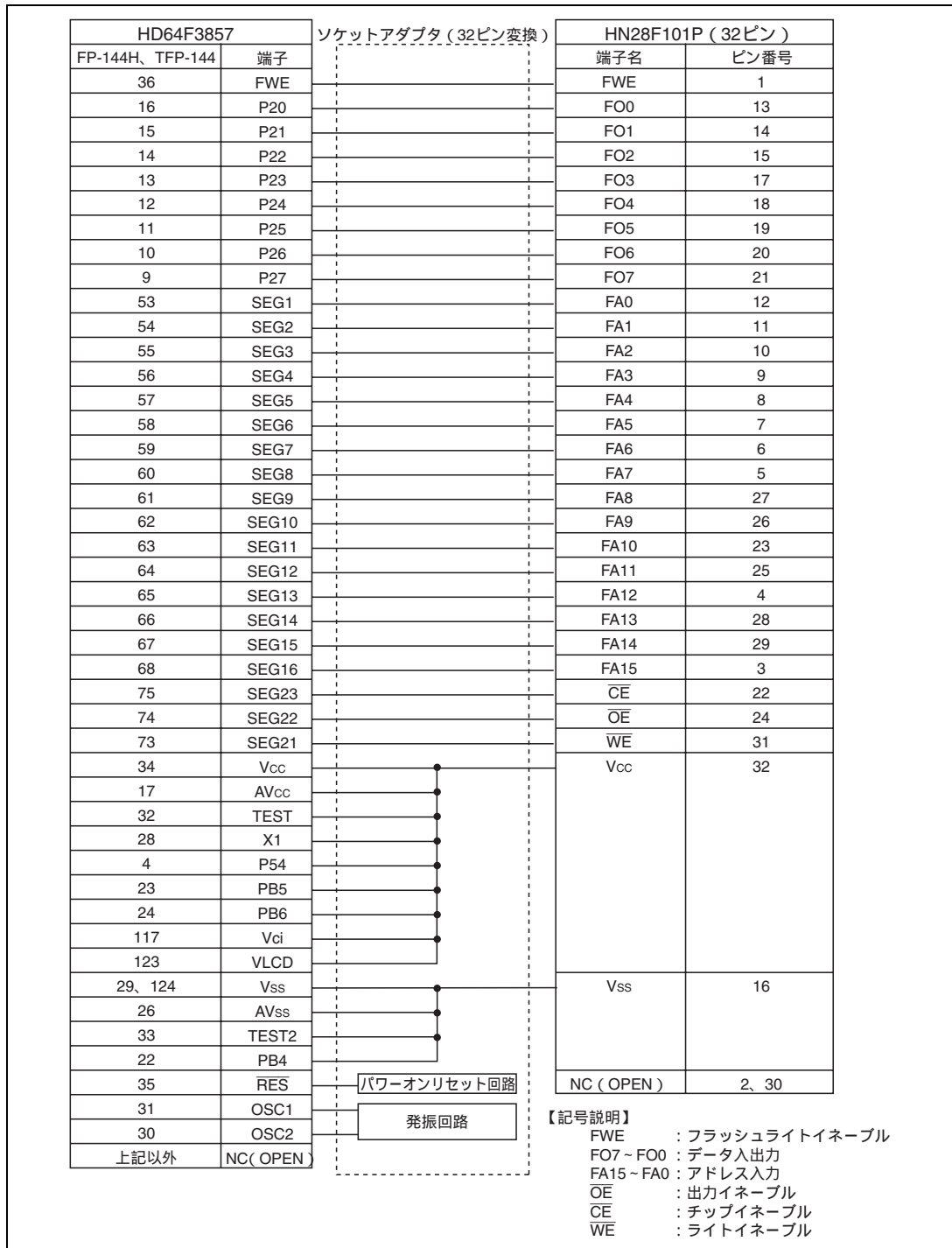


図 6.16 (a) HD64F3857 のソケットアダプタの端子対応図

6. ROM

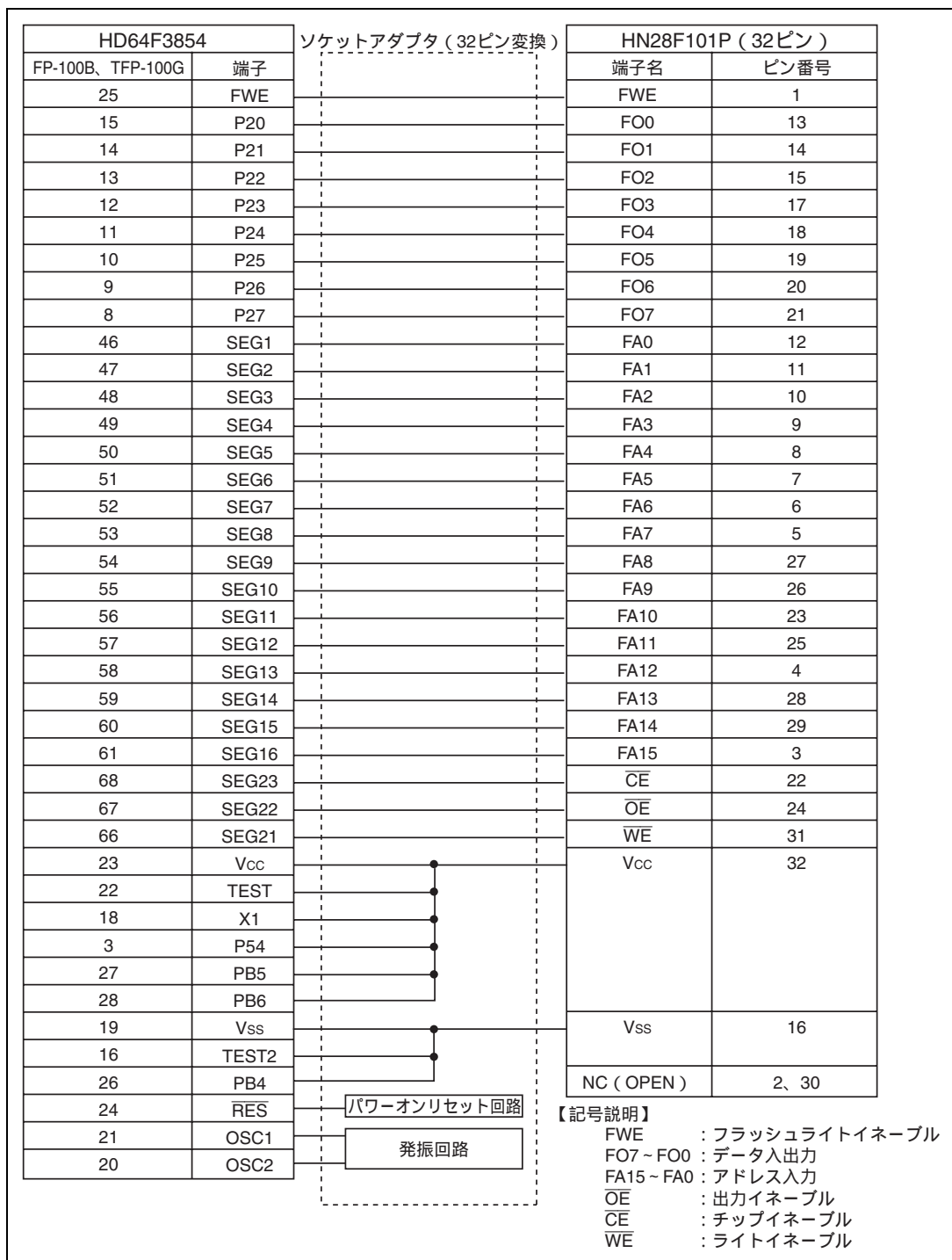


図 6.16 (b) HD64F3854 のソケットアダプタの端子対応図

6.8.3 ライタモードの動作

表 6.10 にライタモード時の各動作モードの設定方法、表 6.11 にライタモード時の各コマンドを示します。また、各モードの詳細情報を以下に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は FO7 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 6.10 ライタモード時の各動作モードの設定方法

モード	ピン名 ^{*4}					
	FWE	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	FO0 ~ FO7	FA0 ~ FA15
リード	H/L	L	L	H	データ出力	Ain
出力ディスエーブル	H/L	L	H	H	Hi-Z	X
コマンド書き込み	H/L ^{*3}	L	H	L	データ入力	Ain ^{*2}
チップディスエーブル ^{*1}	H/L	H	X	X	Hi-Z	X

【記号説明】

- L : Low レベル
- H : High レベル
- X : 不定
- Hi-Z : ハイインピーダンス

【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

*3 自動書き込み / 自動消去モードに遷移するときのコマンド書き込みは、FWE 端子に High レベルを入力してください。

*4 ピン名はライタモード時に割り当てられたものです。H8/3857F は図 6.16 (a)、H8/3854F は図 6.16 (b) を参照してください。

表 6.11 ライトモード時の各コマンド

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	3	write	X	H'71	write	X	H'71

【記号説明】

RA : リードアドレス

WA : プログラムアドレス

Dout : リードデータ

Din : プログラムデータ

- 【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。
2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。

6.8.4 メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合は、コマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに遷移します。
- (5) 有効アドレス範囲外を設定しないでください。

表 6.12 メモリ読み出しモード時の AC 特性 (1)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
CE ホールド時間	t_{ceh}	0	-	ns	
CE セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
WE 立ち上がり時間	t_r	-	30	ns	
WE 立ち下がり時間	t_f	-	30	ns	

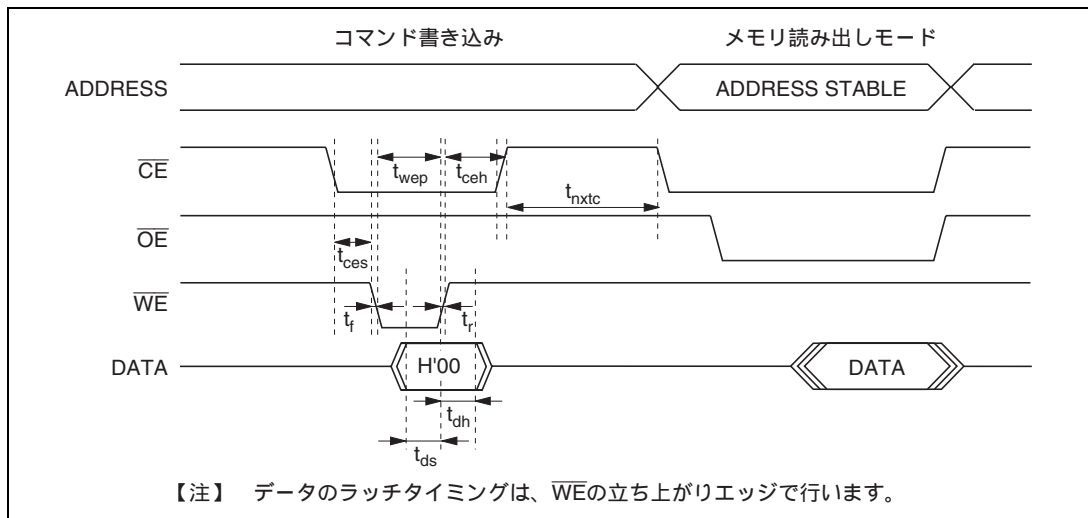


図 6.17 コマンド書き込み後メモリ読み出しタイミング波形

表 6.13 メモリ読み出しモードから他のモードへ遷移時の AC 特性

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
CE ホールド時間	t_{ceh}	0	-	ns	
CE セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
$\overline{WE}$ 立ち上がり時間	t_r	-	30	ns	
$\overline{WE}$ 立ち下がり時間	t_f	-	30	ns	

6. ROM

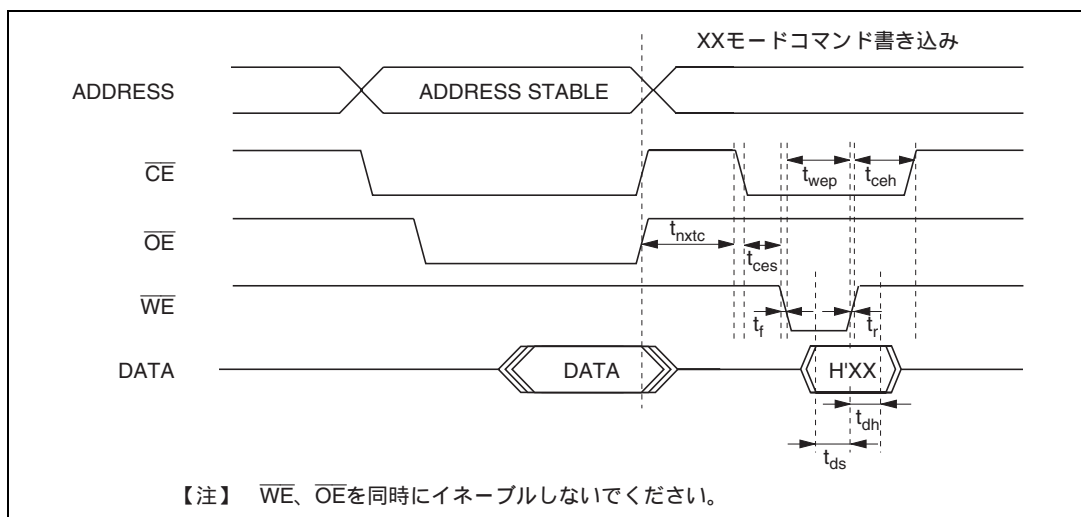


図 6.18 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 6.14 メモリ読み出しモード時の AC 特性 (2)

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
アクセス時間	t_{acc}	-	20	μs	
CE 出力遅延時間	t_{ce}	-	150	ns	
OE 出力遅延時間	t_{oe}	-	150	ns	
出力ディスエイブル遅延時間	t_{df}	-	100	ns	
データ出力ホールド時間	t_{oh}	5	-	ns	

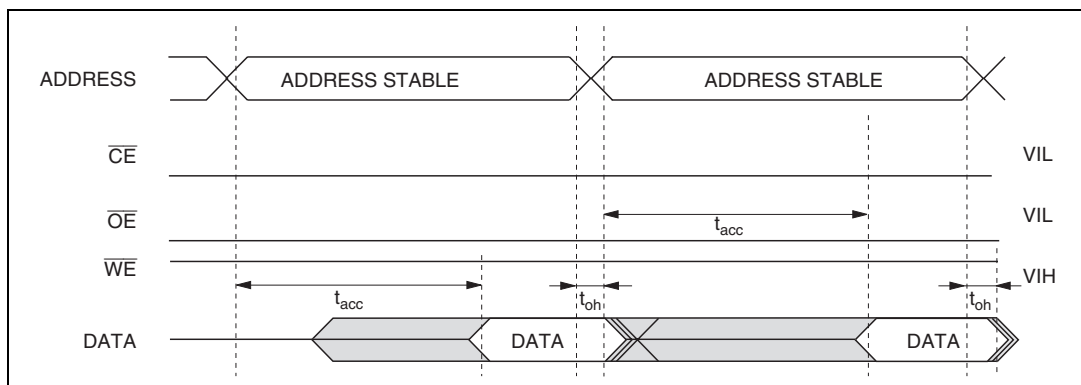
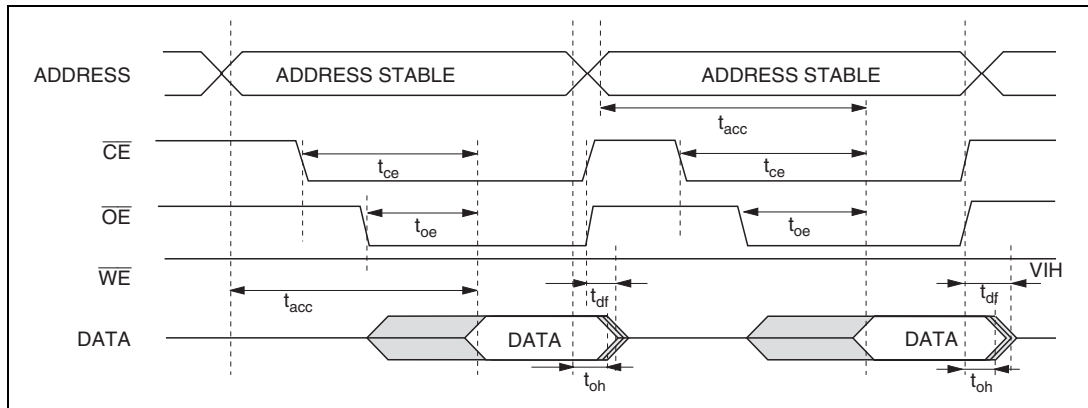


図 6.19 CE、OE イネーブル状態リード時のタイミング波形

図 6.20 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ クロック方式リード時のタイミング波形

6.8.5 自動書き込みモード

(1) AC 特性

表 6.15 自動書き込みモード時の AC 特性

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
$\overline{\text{CE}}$ ホールド時間	t_{ceh}	0	-	ns	
$\overline{\text{CE}}$ セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
ステータスポーリング開始時間	t_{wsts}	1	-	ms	
ステータスポーリングアクセス時間	t_{spa}	-	150	ns	
アドレスセットアップ時間	t_{as}	0	-	ns	
アドレスホールド時間	t_{ah}	60	-	ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
WE 立ち上がり時間	t_r	-	30	ns	
WE 立ち下がり時間	t_f	-	30	ns	
書き込みセットアップ時間	t_{pns}	100	-	ns	
書き込み終了セットアップ時間	t_{pnh}	100	-	ns	

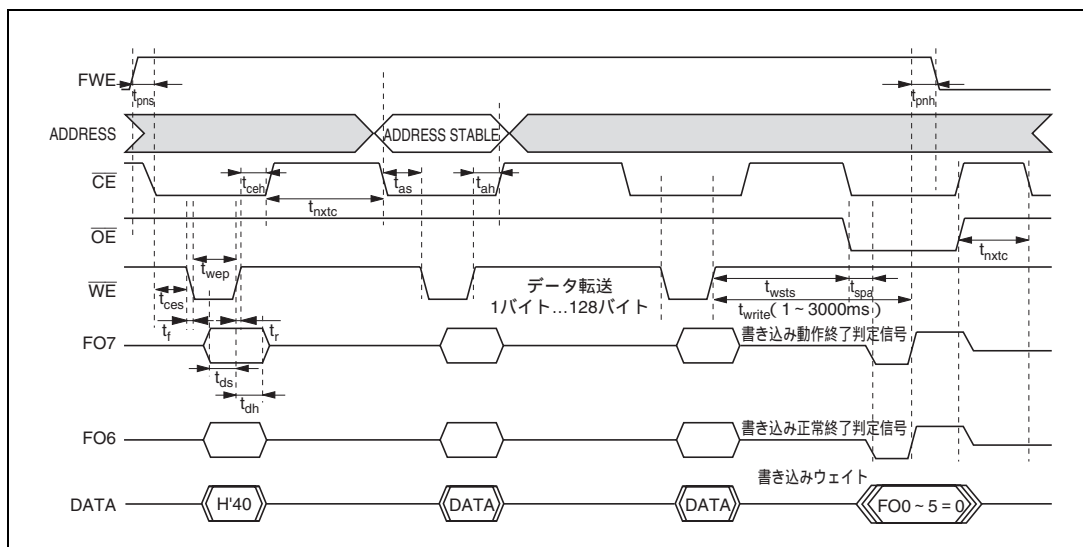


図 6.21 自動書き込みモードのタイミング波形

(2) 自動書き込みモードにおける注意事項

- (a) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (b) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (c) 転送するアドレスの下位8ビットは、H'00、H'80でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (d) メモリアドレスの転送は、第2サイクルで行います（図6.20）。第3サイクル以降では転送しないでください。
- (e) 書き込み動作中は、コマンド書き込みを行わないでください。
- (f) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。2回以上の書き込みについては特性保証できません。
- (g) 自動書き込み正常終了の確認には、FO6を調べるにより行います。または、ステータス読み出しモードを使用しても確認することができます（FO7番のステータスポーリングは、自動書き込み動作終了判定用端子です）。
- (h) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、CE、OEをイネーブルにすることにより読み出し可能となります。

6.8.6 自動消去モード

(1) AC 特性

表 6.16 自動消去モード時の AC 特性

条件 : $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
CE ホールド時間	t_{ceh}	0	-	ns	
CE セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wep}	70	-	ns	
ステータスポーリング開始時間	t_{ests}	1	-	ms	
ステータスポーリングアクセス時間	t_{spa}	-	150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
WE 立ち上がり時間	t_l	-	30	ns	
WE 立ち下がり時間	t_f	-	30	ns	
消去セットアップ時間	t_{ens}	100	-	ns	
消去終了セットアップ時間	t_{enh}	100	-	ns	

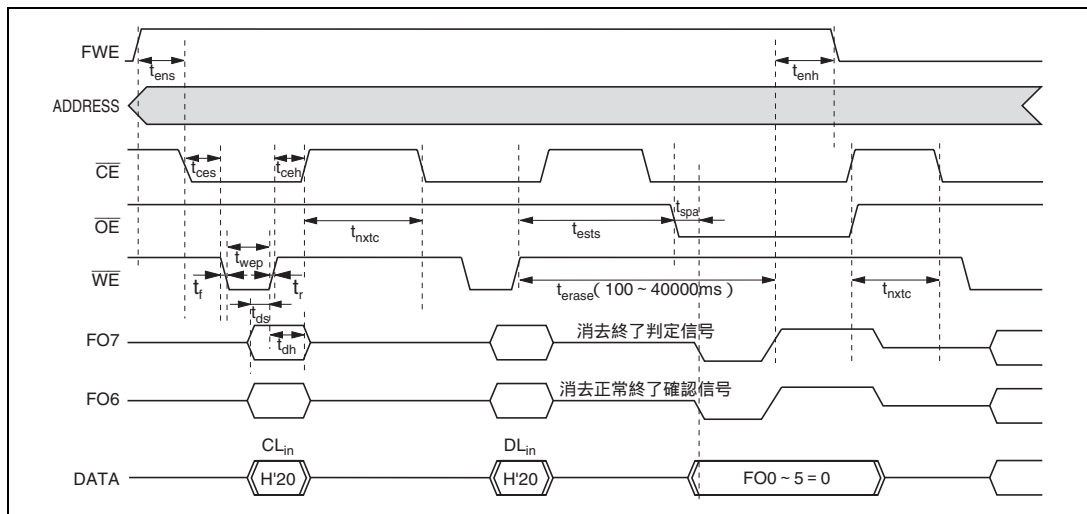


図 6.22 自動消去モードのタイミング波形

(2) 自動消去モードにおける注意事項

- (a) 自動消去モードは、メモリ全面消去のみサポートします。
- (b) 自動消去中はコマンド書き込みを行わないでください。
- (c) 自動消去正常終了の確認には、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（FO7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (d) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ をイネーブルにすることにより読み出し可能となります。

6.8.7 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード / 自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 6.17 ステータス読み出しモード時の AC 特性

条件： $V_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=0V$ 、 $T_a=25 \pm 5$

項目	記号	min	max	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	-	μs	
$\overline{\text{CE}}$ ホールド時間	t_{ceh}	0	-	ns	
$\overline{\text{CE}}$ セットアップ時間	t_{ces}	0	-	ns	
データホールド時間	t_{dh}	50	-	ns	
データセットアップ時間	t_{ds}	50	-	ns	
書き込みパルス幅	t_{wsp}	70	-	ns	
$\overline{\text{OE}}$ 出力遅延時間	t_{oe}	-	150	ns	
ディスエーブル遅延時間	t_{df}	-	100	ns	
$\overline{\text{CE}}$ 出力遅延時間	t_{ce}	-	150	ns	
$\overline{\text{WE}}$ 立ち上がり時間	t_i	-	30	ns	
$\overline{\text{WE}}$ 立ち下がり時間	t_f	-	30	ns	

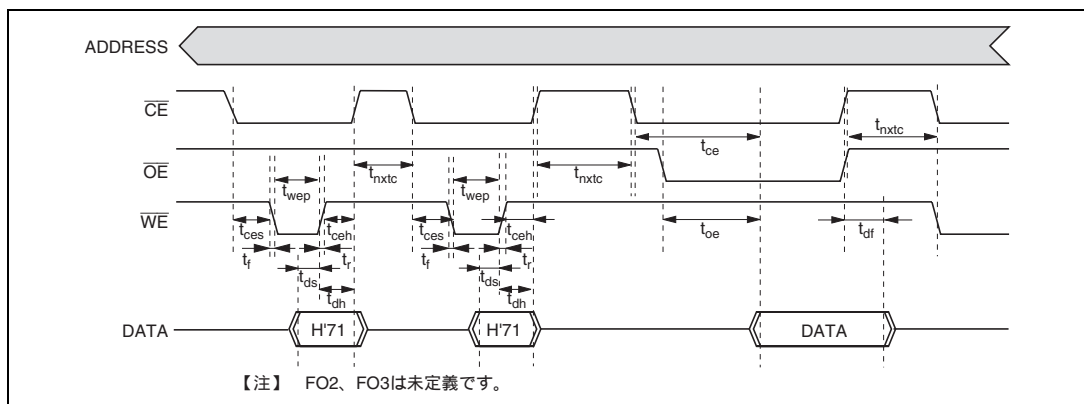


図 6.23 ステータス読み出しモードのタイミング波形

表 6.18 ステータス読み出しモードのリターンコマンド

ピン名	FO7	FO6	FO5	FO4	FO3	FO2	FO1	FO0
属性	正常終了判定	コマンドエラー	書き込みエラー	消去エラー	-	-	書き込み or 消去回数オーバー	有効アドレスエラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンドエラー:1 その他:0	書き込みエラー:1 その他:0	消去エラー:1 その他:0	-	-	回数オーバー時:1 その他:0	有効アドレスエラー:1 その他:0

【注】 FO2、FO3 は未定義です。

6.8.8 ステータスポーリング

- (1) FO7のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) FO6のステータスポーリングは、自動書き込み / 自動消去モード時の正常または異常終了を示すフラグです。

表 6.19 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	正常状態表示	正常終了
FO7	0	1	0	1
FO6	0	0	1	1
FO0 ~ FO5	0	0	0	0

6.8.9 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 6.20 コマンド待ち状態までの遷移時間規定

項 目	記号	min	max	単 位	特 記
スタンバイ解除（発振安定時間）	t_{osc1}	40	-	ms	
ライタモードセットアップ時間	t_{bmV}	10	-	ms	
V_{CC} ホールド時間	t_{dwn}	0	-	ms	

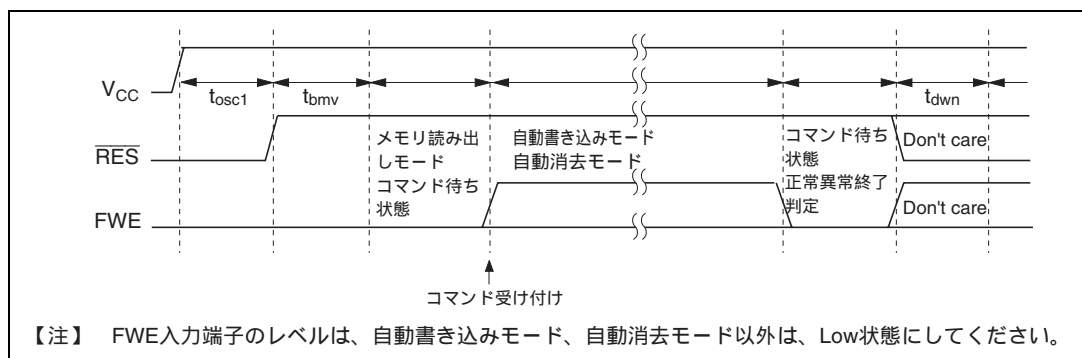


図 6.24 発振安定時間、ライタモードセットアップ、および電源立ち下げシーケンス

6.8.10 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラムモードにて書き込み / 消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

- 【注】
1. ルネサス出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1 回のみとします。

6.9 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

PROM ライタは、ルネサス 64K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているものを使用してください。

ライタの設定を HN28F101 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

(2) 電源投入 / 切断時の注意

FWE 端子への High レベル印加は V_{CC} 確定後に行ってください。また、 V_{CC} を切断する前に FWE 端子を Low レベルにしてください。

V_{CC} 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

このタイミングが守られない場合は、マイコンの暴走等によって過剰書き込み、過剰消去となりメモリセルが正常に動作しなくなることがありますので十分注意してください。

(3) FWE の印加 / 解除の注意

FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。

FWE の印加 / 解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- (a) V_{CC} 電圧が定格電圧の範囲で安定している状態で FWE を印加してください。
- (b) 発振が安定している状態（発振安定時間経過後）で FWE 端子に印加してください。
- (c) ブートモードでは、FWE の印加 / 解除はリセット中に行ってください。
- (d) ユーザプログラムモードでは、リセットの状態にかかわらず、FWE = High レベル / Low レベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE 入力の切り替えが可能です。
- (e) プログラムが暴走していない状態で FWE を印加してください。
- (f) FWE の解除は FLMCR1、FLMCR2 の SWE、ESU、PSU、EV、PV、P、E ビットをクリアした状態で行ってください。
FWE の印加 / 解除時に、誤って SWE、ESU、PSU、EV、PV、P、E ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

プログラム暴走等による誤書き込み / 誤消去を防止するため、FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

(5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

(6) SWE ビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ（プログラム/イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWE 端子印加状態では書き込み/消去動作を最優先とするため、すべての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 32 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライトモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。

書き換えはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが正しく一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

6.10 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク ROM 版と F-ZTAT 版ではフラッシュ ROM 用内部レジスタをアクセスした場合、リード値が下記ようになります。

レジスタ名称	ビット名称	ステータス	
		F-ZTAT 版	マスク ROM 版
FLMCR1	FWE	0 : アプリケーション状態	0 : アプリケーション状態
		1 : 書き換え状態	1 : (読み出されません)

【注】 F-ZTAT 版製品、ROM サイズの異なる同一グループのマスク ROM 版製品はすべて対象となります。

7. RAM

7.1 概要

H8/3857 グループ、H8/3854 のフラッシュメモリ版は 2K バイト、H8/3854 グループのマスク ROM 版は 1K バイトの高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。

H8/3854 はフラッシュメモリ版とマスク ROM 版で RAM サイズが異なりますのでご注意ください。

7.1.1 ブロック図

RAM のブロック図を図 7.1 に示します。

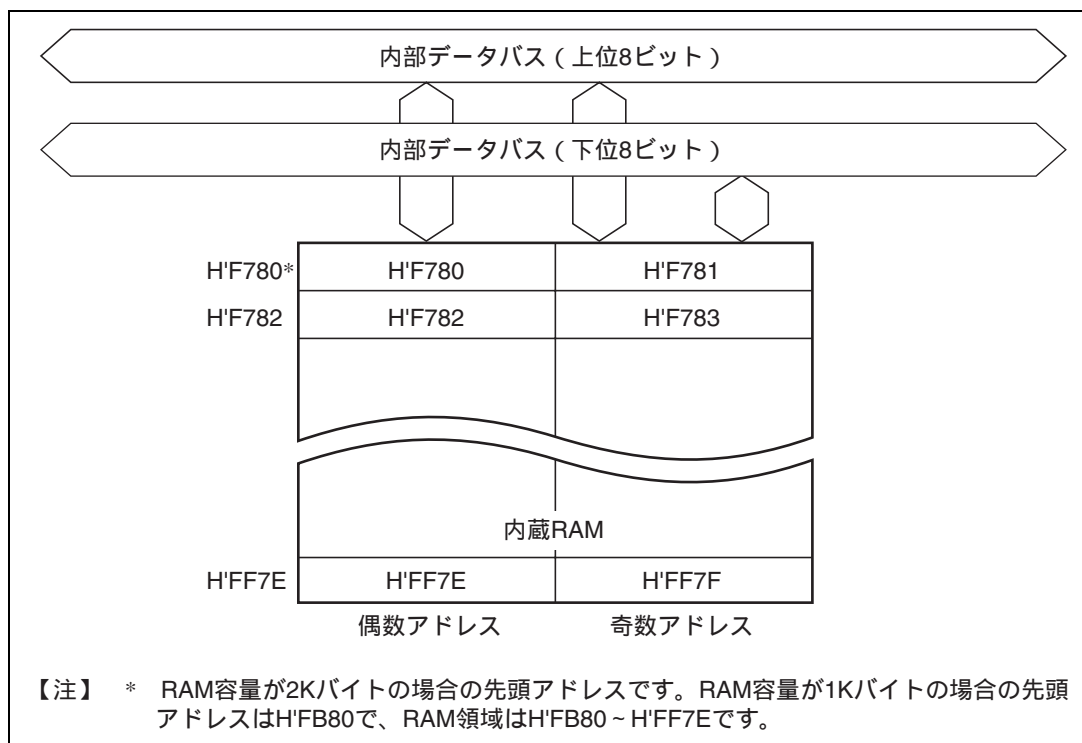


図 7.1 RAM のブロック図

8. I/O ポート

8.1 概要

H8/3857 グループは、8 ビット入出力ポートを 4 本、3 ビット入出力ポートを 1 本、8 ビット入力専用ポートを 1 本、および 1 ビット入力専用ポートを 1 本備えており、H8/3854 グループは、8 ビット入出力ポートを 2 本、3 ビット入出力ポートを 1 本、5 ビット入出力ポートを 1 本、4 ビット入力専用ポートを 1 本、および 1 ビット入力専用ポートを 1 本備えています。また、各グループとも内蔵の LCD コントローラとインタフェース可能な入出力ポートを備えています。

H8/3857 グループの各ポートの機能一覧を表 8.1 (a) に、H8/3854 グループの各ポートの機能一覧を表 8.1 (b) に示します。

各ポートは、入出力を制御するポートコントロールレジスタ (PCR) と、出力データを格納するポートデータレジスタ (PDR) から構成され、ビット単位に入出力を制御できます。PCR、PDR に対してのビット操作命令の実行については、「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

各ポートのブロック図は「付録 C. I/O ポートブロック図」を参照してください。

8. I/O ポート

表 8.1 (a) H8/3857 グループのポートの機能

ポート	概要	端子	兼用機能	機能切り替え 制御レジスタ
ポート 1	8 ビット入出力ポート - 入力プルアップ MOS 選択可	$P1_7 \sim P1_5 / \overline{IRQ}_3 \sim \overline{IRQ}_1 / TMIF, TMIC, TMIB$	外部割り込み 3~1 タイマイベント入力端子 TMIF、TMIC、TMIB	PMR1 TCRF、TMC、TMB
		$P1_4 / PWM$	14 ビット PWM 出力	PMR1
		$P1_3$	なし	
		$P1_2, P1_1 / TMOFH, TMOFL$	タイマ F アウトプットコンペア出力	PMR1
		$P1_0 / TMOW$	タイマ A クロック出力	PMR1
ポート 2	8 ビット入出力ポート - オープンドレイン出力選択可 - 大電流ポート	$P2_7 \sim P2_2$	なし	
		$P2_1 / UD$	タイマ C カウントアップ / ダウン選択入力	PMR2
		$P2_0 / \overline{IRQ}_4 / ADTRG$	外部割り込み 4 および A/D 変換器の外部トリガ	PMR2、AMR
ポート 3	8 ビット入出力ポート - 入力プルアップ MOS 選択可 - 大電流ポート	$P3_7 \sim P3_3$	なし	
		$P3_2 / SO_1$	SCI1 のデータ出力 (SO_1)、データ入力 (SI_1)、クロック入出力 (SCK_1)	PMR3
		$P3_1 / SI_1$		
		$P3_0 / SCK_1$		
ポート 4	1 ビット入力専用ポート 3 ビット入出力ポート	$P4_3 / \overline{IRQ}_0$	外部割り込み 0	PMR2
		$P4_2 / TXD$	SCI3 のデータ出力 (TXD)、データ入力 (RXD)、クロック入出力 (SCK_3)	SCR3 SMR
		$P4_1 / RXD$		
		$P4_0 / SCK_3$		
ポート 5	8 ビット入出力ポート - 入力プルアップ MOS 選択可	$P5_7 \sim P5_0 / \overline{WKP}_7 \sim \overline{WKP}_0$	ウェイクアップ入力 ($\overline{WKP}_7 \sim \overline{WKP}_0$)	PMR5
ポート 9*	8 ビット入出力ポート	$P9_7 \sim P9_0$	なし	
ポート A*	4 ビット入出力ポート	$PA_3 \sim PA_0$	なし	
ポート B	8 ビット入力ポート	$PB_7 \sim PB_1 / AN_7 \sim AN_0$	A/D 変換器のアナログ入力	AMR

【注】 * LCD コントローラとのインタフェース用入出力ポートです。

表 8.1 (b) H8/3854 グループのポートの機能

ポート	概要	端子	兼用機能	機能切り替え 制御レジスタ
ポート 1	5 ビット入出力ポート - 入力プルアップ MOS 選択可	P1 ₇ 、P1 ₅ / $\overline{\text{IRQ}}_3$ 、 $\overline{\text{IRQ}}_1$ / TMIF、TMIB	外部割り込み 3、1 タイマイイベント入力端子 TMIF、TMIB	PMR1 TCRF、TMB
		P1 ₂ 、P1 ₁ / TMOFH、TMOFL	タイマ F アウトプットコンペア出力	PMR1
		P1 ₀ /TMOW	タイマ A クロック出力	PMR1
ポート 2	8 ビット入出力ポート - オープンドレイン出力選択可 - 大電流ポート	P2 ₇ ~ P2 ₁	なし	
		P2 ₀ / $\overline{\text{IRQ}}_4$ /ADTRG	外部割り込み 4 および A/D 変換器の外部トリガ	PMR2、AMR
ポート 4	1 ビット入力専用ポート 3 ビット入出力ポート	P4 ₃ / $\overline{\text{IRQ}}_0$	外部割り込み 0	PMR2
		P4 ₂ /TXD	SCI3 のデータ出力 (TXD)、データ入力 (RXD)、クロック入出力 (SCK ₃)	SCR3
		P4 ₁ /RXD		SMR
		P4 ₀ /SCK ₃		
ポート 5	8 ビット入出力ポート - 入力プルアップ MOS 選択可	P5 ₇ ~ P5 ₀ / $\overline{\text{WKP}}_7$ ~ $\overline{\text{WKP}}_0$	ウェイクアップ入力 ($\overline{\text{WKP}}_7$ ~ $\overline{\text{WKP}}_0$)	PMR5
ポート 9*	8 ビット入出力ポート	P9 ₇ ~ P9 ₀	なし	
ポート A*	4 ビット入出力ポート	PA ₃ ~ PA ₀	なし	
ポート B	4 ビット入力ポート	PB ₇ ~ PB ₄ / AN ₇ ~ AN ₄	A/D 変換器のアナログ入力	AMR

【注】 * LCD コントローラとのインタフェース用入出力ポートです。

8.2 ポート 1

ポート 1 は、H8/3857 グループと H8/3854 グループで一部機能が異なります。

P1₆/ $\overline{\text{IRQ}}_2$ /TMIC、P1₄/PWM、P1₃ は H8/3857 グループ固有の端子です。H8/3854 グループにはありません。

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、H8/3857 グループは図 8.1 (a)、H8/3854 グループは図 8.1 (b) に示す構成になっています。

8. I/O ポート

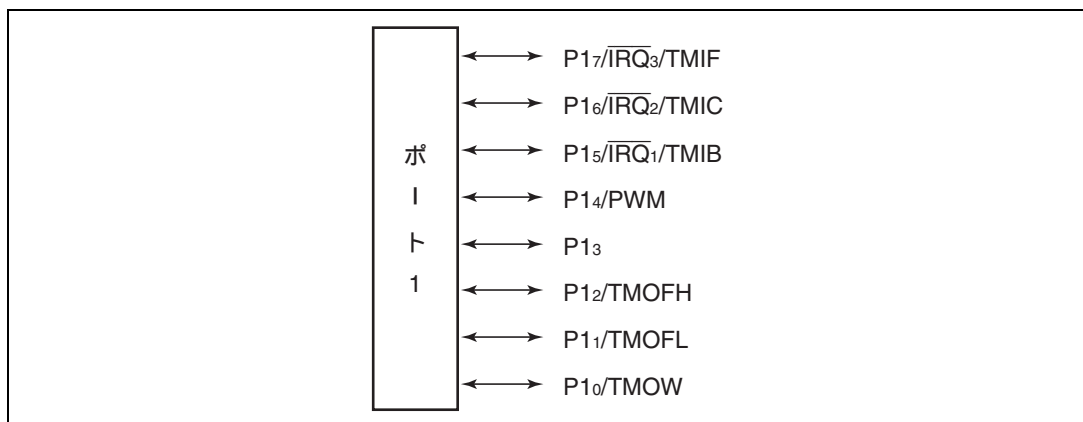


図 8.1 (a) H8/3857 グループのポート 1 の端子構成

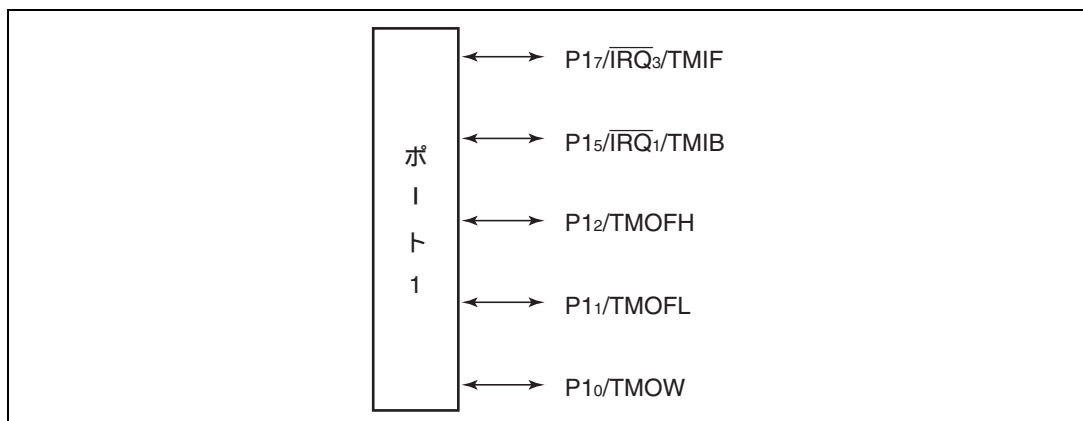


図 8.1 (b) H8/3854 グループのポート 1 の端子構成

8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 1	PDR1	R/W	H'00	H'FFD4
ポートコントロールレジスタ 1	PCR1	W	H'00	H'FFE4
ポートブルアップコントロールレジスタ 1	PUCR1	R/W	H'00	H'FFE0
ポートモードレジスタ 1	PMR1	R/W	H'00	H'FFC8

(1) ポートデータレジスタ 1 (PDR1)

PDR1 は、ポート 1 の各端子 $P1_7 \sim P1_0$ のデータを格納する 8 ビットのレジスタです。

PCR1 が 1 のとき、ポート 1 のリードを行うと、PDR1 の値を直接リードします。そのため端子状態の影響を受けません。PCR1 が 0 のとき、ポート 1 のリードを行うと、端子状態が読み出されます。

リセット時、H8/3857 グループは H'00 に、H8/3854 グループは H'58 に初期化されます。

H8/3857グループ:	ビット:	7	6	5	4	3	2	1	0
		P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
	初期値:	0	0	0	0	0	0	0	0
	R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H8/3854グループ:	ビット:	7	6	5	4	3	2	1	0
		P1 ₇	—	P1 ₅	—	—	P1 ₂	P1 ₁	P1 ₀
	初期値:	0	1	0	1	1	0	0	0
	R/W :	R/W	—	R/W	—	—	R/W	R/W	R/W

H8/3854 グループのビット 6、4、3 はリザーブビットです。これらのビットは常に 1 で使用してください。

(2) ポートコントロールレジスタ 1 (PCR1)

PCR1 は、ポート 1 の各端子 $P1_7 \sim P1_0$ の入出力をビットごとに制御します。PCR1 に 1 をセットすると対応する $P1_7 \sim P1_0$ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR1 により当該端子が汎用入出力に設定されている場合には、PCR1 および PDR1 の設定が有効となります。

リセット時、PCR1 は H'00 に初期化されます。

本レジスタはライト専用ですが、リードした場合各ビットは常に 1 が読み出されます。

H8/3857グループ:	ビット:	7	6	5	4	3	2	1	0
		PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀
	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

H8/3854グループ:	ビット:	7	6	5	4	3	2	1	0
		PCR1 ₇	—	PCR1 ₅	—	—	PCR1 ₂	PCR1 ₁	PCR1 ₀
	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	—	W	—	—	W	W	W

H8/3854 グループのビット 6、4、3 はリザーブビットです。これらのビットは常に 0 で使用してください。

8. I/O ポート

(3) ポートブルアップコントロールレジスタ 1 (PUCR1)

PUCR1 は、ポート 1 の各端子 $P1_7 \sim P1_0$ のプルアップ MOS をビットごとに制御します。

PCR1 が 0 の状態で PUCR1 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR1 は H'00 に初期化されます。

H8/3857グループ:	ビット:	7	6	5	4	3	2	1	0
		PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀
	初期値:	0	0	0	0	0	0	0	0
	R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H8/3854グループ:	ビット:	7	6	5	4	3	2	1	0
		PUCR1 ₇	—	PUCR1 ₅	—	—	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀
	初期値:	0	0	0	0	0	0	0	0
	R/W :	R/W	—	R/W	—	—	R/W	R/W	R/W

H8/3854 グループのビット 6、4、3 はリザーブビットです。これらのビットは常に 0 で使用してください。

(4) ポートモードレジスタ 1 (PMR1)

PMR1 は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子機能の切り替えを制御します。

リセット時、PMR1 は H'00 に初期化されます。

H8/3857グループ:	ビット:	7	6	5	4	3	2	1	0
		IRQ3	IRQ2	IRQ1	PWM	—	TMOFH	TMOFL	TMOW
	初期値:	0	0	0	0	0	0	0	0
	R/W :	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

H8/3854グループ:	ビット:	7	6	5	4	3	2	1	0
		IRQ3	—	IRQ1	—	—	TMOFH	TMOFL	TMOW
	初期値:	0	0	0	0	0	0	0	0
	R/W :	R/W	—	R/W	—	—	R/W	R/W	R/W

H8/3854 グループのビット 6、4、3 はリザーブビットです。これらのビットは常に 0 で使用してください。

ビット 7 : $P1_7/\overline{IRQ_3}/TMIF$ 端子機能切り替え (IRQ3)

$P1_7/\overline{IRQ_3}/TMIF$ 端子を $P1_7$ 端子として使用するか、 $\overline{IRQ_3}/TMIF$ 端子として使用するかを設定します。

ビット 7	説 明
IRQ3	
0	$P1_7$ 入出力端子として機能 (初期値)
1	$\overline{IRQ_3}/TMIF$ 入力端子として機能

【注】 $\overline{IRQ_3}/TMIF$ 端子は立ち上がり/立ち下がりエッジセンスを選択できます。

TMIF 端子の設定については、「9.5.2 (3) タイマコントロールレジスタ F (TCRF)」を参照してください。

ビット 6 : $P1_6/\overline{IRQ_2}/TMIC$ 端子機能切り替え (IRQ2)

$P1_6/\overline{IRQ_2}/TMIC$ 端子を $P1_6$ 端子として使用するか、 $\overline{IRQ_2}/TMIC$ 端子として使用するかを設定します。

ビット 6	説 明
IRQ2	
0	$P1_6$ 入出力端子として機能 (初期値)
1	$\overline{IRQ_2}/TMIC$ 入力端子として機能

【注】 $\overline{IRQ_2}/TMIC$ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

$TMIC$ 端子の設定については、「9.4.2 (1) タイマモードレジスタ C (TMC)」を参照してください。

H8/3854 グループでは、リザーブビットです。本ビットは常に 0 で使用してください。

ビット 5 : $P1_5/\overline{IRQ_1}/TMIB$ 端子機能切り替え (IRQ1)

$P1_5/\overline{IRQ_1}/TMIB$ 端子を $P1_5$ 端子として使用するか、 $\overline{IRQ_1}/TMIB$ 端子として使用するかを設定します。

ビット 5	説 明
IRQ1	
0	$P1_5$ 入出力端子として機能 (初期値)
1	$\overline{IRQ_1}/TMIB$ 入力端子として機能

【注】 $\overline{IRQ_1}/TMIB$ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

$TMIB$ 端子の設定については、「9.3.2 (1) タイマモードレジスタ B (TMB)」を参照してください。

ビット 4 : $P1_4/PWM$ 端子機能切り替え (PWM)

$P1_4/PWM$ 端子を $P1_4$ 端子として使用するか、 PWM 端子として使用するかを設定します。

ビット 4	説 明
PWM	
0	$P1_4$ 入出力端子として機能 (初期値)
1	PWM 出力端子として機能

H8/3854 グループでは、リザーブビットです。本ビットは常に 0 で使用してください。

ビット 3 : リザーブビット

リザーブビットです。本ビットは、常に 0 で使用してください。

ビット 2 : $P1_2/TMOFH$ 端子機能切り替え (TMOFH)

$P1_2/TMOFH$ 端子を $P1_2$ 端子として使用するか、 $TMOFH$ 端子として使用するかを設定します。

ビット 2	説 明
TMOFH	
0	$P1_2$ 入出力端子として機能 (初期値)
1	$TMOFH$ 出力端子として機能

8. I/O ポート

ビット 1 : P1₇/TMOFL 端子機能切り替え (TMOFL)

P1₇/TMOFL 端子を P1₇ 端子として使用するか、TMOFL 端子として使用するかを設定します。

ビット 1	説 明
TMOFL	
0	P1 ₇ 入出力端子として機能 (初期値)
1	TMOFL 出力端子として機能

ビット 0 : P1₆/TMOW 端子機能切り替え (TMOW)

P1₆/TMOW 端子を P1₆ 端子として使用するか、TMOW 端子として使用するかを設定します。

ビット 0	説 明
TMOW	
0	P1 ₆ 入出力端子として機能 (初期値)
1	TMOW 出力端子として機能

8.2.3 端子機能

表 8.3 (a) に H8/3857 グループのポート 1 の端子機能を、表 8.3 (b) に H8/3854 グループのポート 1 の端子機能を示します。

表 8.3 (a) H8/3857 グループのポート 1 の端子機能

端子	選択方法と端子機能				
P1 ₇ /IRQ ₃ / TMIF	PMR1 の IRQ3、TCRF の CKSL2 ~ CKSL0、PCR1 の PCR1 ₇ の組み合わせで次のように切り替わります。				
	IRQ3	0		1	
	PCR1 ₇	0	1	*	
	CKSL2 ~ CKSL0	***		0**以外	0**
	端 子 機 能	P1 ₇ 入力端子	P1 ₇ 出力端子	IRQ ₃ 入力端子	IRQ ₃ /TMIF 入力端子
	【注】 TMIF入力端子として使用する場合には、IENR1のIEN3を0にクリアして、IRQ ₃ 割り込みを禁止してください。				
P1 ₆ /IRQ ₂ / TMIC	PMR1 の IRQ2、TMC の TMC2 ~ TMC0、PCR1 の PCR1 ₆ の組み合わせで次のように切り替わります。				
	IRQ2	0		1	
	PCR1 ₆	0	1	*	
	TMC2 ~ TMC0	***		111以外	111
	端 子 機 能	P1 ₆ 入力端子	P1 ₆ 出力端子	IRQ ₂ 入力端子	IRQ ₂ /TMIC 入力端子
	【注】 TMIC入力端子として使用する場合には、IENR1のIEN2を0にクリアして、IRQ ₂ 割り込みを禁止してください。				

端子	選択方法と端子機能																								
P1 ₅ /IRQ ₁ /TMIB	PMR1 の IRQ1、TMB の TMB2 ~ TMB0、PCR1 の PCR1 ₅ の組み合わせで、次のように切り替わります。																								
<table><tr><td>IRQ1</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PCR1₅</td><td>0</td><td>1</td><td colspan="2">*</td></tr><tr><td>TMB2 ~ TMB0</td><td colspan="2">***</td><td>111以外</td><td>111</td></tr><tr><td>端 子 機 能</td><td>P1₅入力端子</td><td>P1₅出力端子</td><td>IRQ₁入力端子</td><td>IRQ₁/TMIB 入力端子</td></tr></table>						IRQ1	0		1		PCR1 ₅	0	1	*		TMB2 ~ TMB0	***		111以外	111	端 子 機 能	P1 ₅ 入力端子	P1 ₅ 出力端子	IRQ ₁ 入力端子	IRQ ₁ /TMIB 入力端子
IRQ1	0		1																						
PCR1 ₅	0	1	*																						
TMB2 ~ TMB0	***		111以外	111																					
端 子 機 能	P1 ₅ 入力端子	P1 ₅ 出力端子	IRQ ₁ 入力端子	IRQ ₁ /TMIB 入力端子																					
【注】 TMIB入力端子として使用する場合には、IENR1のIEN1を0にクリアして、IRQ ₁ 割り込みを禁止してください。																									
P1 ₄ /PWM	PMR1 の PWM と PCR1 の PCR1 ₄ の組み合わせで、次のように切り替わります。																								
<table><tr><td>PWM</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PCR1₄</td><td>0</td><td>1</td><td colspan="2">*</td></tr><tr><td>端 子 機 能</td><td>P1₄入力端子</td><td>P1₄出力端子</td><td colspan="2">PWM出力端子</td></tr></table>						PWM	0		1		PCR1 ₄	0	1	*		端 子 機 能	P1 ₄ 入力端子	P1 ₄ 出力端子	PWM出力端子						
PWM	0		1																						
PCR1 ₄	0	1	*																						
端 子 機 能	P1 ₄ 入力端子	P1 ₄ 出力端子	PWM出力端子																						
P1 ₃	PCR1 の PCR1 ₃ で、次のように切り替わります。																								
<table><tr><td>PCR1₃</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>端 子 機 能</td><td colspan="2">P1₃入力端子</td><td colspan="2">P1₃出力端子</td></tr></table>						PCR1 ₃	0		1		端 子 機 能	P1 ₃ 入力端子		P1 ₃ 出力端子											
PCR1 ₃	0		1																						
端 子 機 能	P1 ₃ 入力端子		P1 ₃ 出力端子																						
P1 ₂ /TMOFH	PMR1 の TMOFH と PCR1 の PCR1 ₂ の組み合わせで、次のように切り替わります。																								
<table><tr><td>TMOFH</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PCR1₂</td><td>0</td><td>1</td><td colspan="2">*</td></tr><tr><td>端 子 機 能</td><td>P1₂入力端子</td><td>P1₂出力端子</td><td colspan="2">TMOFH出力端子</td></tr></table>						TMOFH	0		1		PCR1 ₂	0	1	*		端 子 機 能	P1 ₂ 入力端子	P1 ₂ 出力端子	TMOFH出力端子						
TMOFH	0		1																						
PCR1 ₂	0	1	*																						
端 子 機 能	P1 ₂ 入力端子	P1 ₂ 出力端子	TMOFH出力端子																						
P1 ₁ /TMOFL	PMR1 の TMOFL と PCR1 の PCR1 ₁ の組み合わせで、次のように切り替わります。																								
<table><tr><td>TMOFL</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PCR1₁</td><td>0</td><td>1</td><td colspan="2">*</td></tr><tr><td>端 子 機 能</td><td>P1₁入力端子</td><td>P1₁出力端子</td><td colspan="2">TMOFL出力端子</td></tr></table>						TMOFL	0		1		PCR1 ₁	0	1	*		端 子 機 能	P1 ₁ 入力端子	P1 ₁ 出力端子	TMOFL出力端子						
TMOFL	0		1																						
PCR1 ₁	0	1	*																						
端 子 機 能	P1 ₁ 入力端子	P1 ₁ 出力端子	TMOFL出力端子																						
P1 ₀ /TMOW	PMR1 の TMOW と PCR1 の PCR1 ₀ の組み合わせで、次のように切り替わります。																								
<table><tr><td>TMOW</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PCR1₀</td><td>0</td><td>1</td><td colspan="2">*</td></tr><tr><td>端 子 機 能</td><td>P1₀入力端子</td><td>P1₀出力端子</td><td colspan="2">TMOW出力端子</td></tr></table>						TMOW	0		1		PCR1 ₀	0	1	*		端 子 機 能	P1 ₀ 入力端子	P1 ₀ 出力端子	TMOW出力端子						
TMOW	0		1																						
PCR1 ₀	0	1	*																						
端 子 機 能	P1 ₀ 入力端子	P1 ₀ 出力端子	TMOW出力端子																						

【記号説明】

* : Don't care

8. I/O ポート

表 8.3 (b) H8/3854 グループのポート 1 の端子機能

端子	選択方法と端子機能			
P1 ₇ /IRQ ₃ /TMIF	PMR1 の IRQ3、TCRF の CKSL2 ~ CKSL0、PCR1 の PCR1 ₇ の組み合わせで次のように切り替わります。			
	IRQ3	0		1
	PCR1 ₇	0	1	*
	CKSL2 ~ CKSL0	***		0**以外 0**
端 子 機 能	P1 ₇ 入力端子	P1 ₇ 出力端子	IRQ ₃ 入力端子	IRQ ₃ /TMIF 入力端子
	【注】 TMIF入力端子として使用する場合には、IENR1のIEN3を0にクリアして、IRQ ₃ 割り込みを禁止してください。			
P1 ₅ /IRQ ₁ /TMIB	PMR1 の IRQ1、TMB の TMB2 ~ TMB0、PCR1 の PCR1 ₅ の組み合わせで、次のように切り替わります。			
	IRQ1	0		1
	PCR1 ₅	0	1	*
	TMB2 ~ TMB0	***		111以外 111
端 子 機 能	P1 ₅ 入力端子	P1 ₅ 出力端子	IRQ ₁ 入力端子	IRQ ₁ /TMIB 入力端子
	【注】 TMIB入力端子として使用する場合には、IENR1のIEN1を0にクリアして、IRQ ₁ 割り込みを禁止してください。			
P1 ₂ /TMOFH	PMR1 の TMOFH と PCR1 の PCR1 ₂ の組み合わせで、次のように切り替わります。			
	TMOFH	0		1
	PCR1 ₂	0	1	*
端 子 機 能	P1 ₂ 入力端子	P1 ₂ 出力端子	TMOFH出力端子	
P1 ₁ /TMOFL	PMR1 の TMOFL と PCR1 の PCR1 ₁ の組み合わせで、次のように切り替わります。			
	TMOFL	0		1
	PCR1 ₁	0	1	*
端 子 機 能	P1 ₁ 入力端子	P1 ₁ 出力端子	TMOFL出力端子	
P1 ₀ /TMOW	PMR1 の TMOW と PCR1 の PCR1 ₀ の組み合わせで、次のように切り替わります。			
	TMOW	0		1
	PCR1 ₀	0	1	*
端 子 機 能	P1 ₀ 入力端子	P1 ₀ 出力端子	TMOW出力端子	

【記号説明】

* : Don't care

8.2.4 端子状態

表 8.4 (a) に H8/3857 グループの各動作モードにおけるポート 1 の端子状態を、表 8.4 (b) に H8/3854 グループの各動作モードにおけるポート 1 の端子状態を示します。

表 8.4 (a) H8/3857 グループのポート 1 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ /IRQ ₃ / TMIF P1 ₆ /IRQ ₂ / TMIC P1 ₅ /IRQ ₁ / TMIB P1 ₄ /PWMP1 ₃ P1 ₂ /TMOFH P1 ₁ /TMOFL P1 ₀ /TMOW	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * ブルアップ MOS が ON 状態では High レベル出力となります。

表 8.4 (b) H8/3854 グループのポート 1 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ /IRQ ₃ / TMIF P1 ₅ /IRQ ₁ / TMIB P1 ₂ /TMOFH P1 ₁ /TMOFL P1 ₀ /TMOW	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * ブルアップ MOS が ON 状態では High レベル出力となります。

8.2.5 入力ブルアップ MOS

ポート 1 は、プログラムで制御可能な入力ブルアップ MOS を内蔵しています。PCR1 が 0 にクリアされている状態で PUCR1 に 1 をセットすると入力ブルアップ MOS は ON 状態となります。また、入力ブルアップ MOS はリセット時、OFF 状態になります。

PCR1 _n	0		1
PUCR1 _n	0	1	*
入力ブルアップ MOS	OFF	ON	OFF

【記号説明】

* : Don't care

【注】 H8/3857 グループ : n = 7 ~ 0

H8/3854 グループ : n = 7、5、2 ~ 0

8.3 ポート 2

ポート 2 は、H8/3857 グループと H8/3854 グループで一部機能が異なります。

P2₁ 端子の兼用機能 UD は、H8/3857 グループ固有のもので、H8/3854 グループにはありません。

また、PMR2 の POF1 も H8/3857 グループ固有の機能です。

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、H8/3857 グループは図 8.2 (a)、H8/3854 グループは図 8.2 (b) に示す構成になっています。

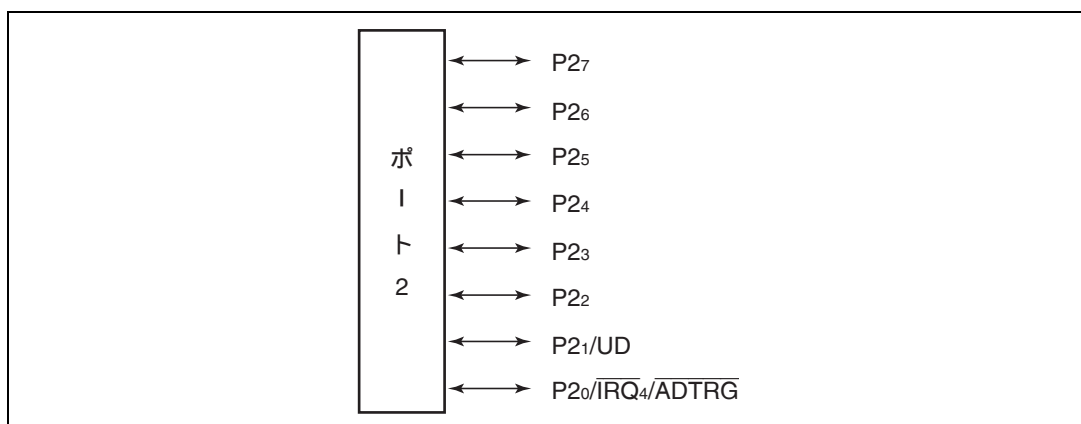


図 8.2 (a) H8/3857 グループのポート 2 の端子構成

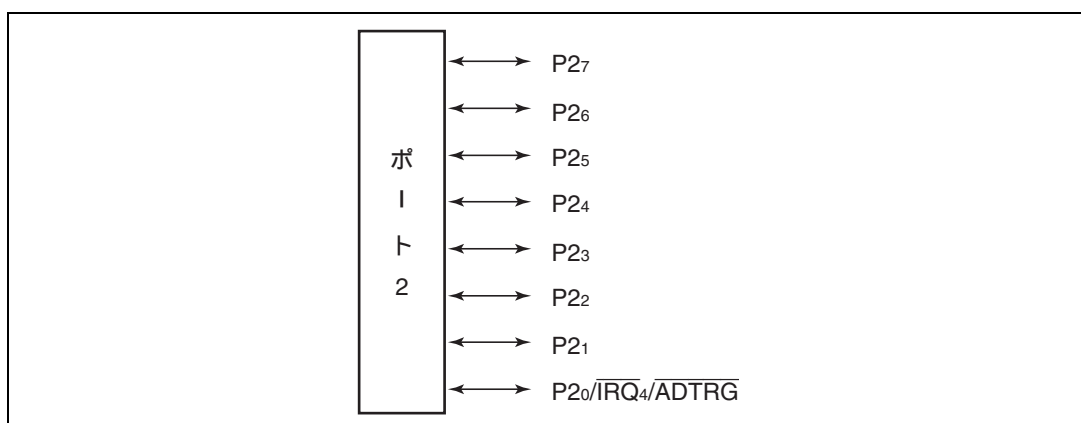


図 8.2 (b) H8/3854 グループのポート 2 の端子構成

8.3.2 レジスタの構成と説明

表 8.5 にポート 2 のレジスタ構成を示します。

表 8.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 2	PDR2	R/W	H'00	H'FFD5
ポートコントロールレジスタ 2	PCR2	W	H'00	H'FFE5
ポートモードレジスタ 2	PMR2	R/W	H'C0	H'FFC9
ポートモードレジスタ 4	PMR4	R/W	H'00	H'FFCB

(1) ポートデータレジスタ 2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR2 は、ポート 2 の各端子 P2₇ ~ P2₀ のデータを格納する 8 ビットのレジスタです。

PCR2 が 1 のとき、ポート 2 のリードを行うと、PDR2 の値を直接リードします。そのため端子状態の影響を受けません。PCR2 が 0 のとき、ポート 2 のリードを行うと、端子状態が読み出されます。

リセット時、PDR2 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR2 は、ポート 2 の各端子 P2₇ ~ P2₀ の入出力をビットごとに制御します。PCR2 に 1 をセットすると対応する P2₇ ~ P2₀ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR2 により当該端子が汎用入出力に設定されている場合には、PCR2 および PDR2 の設定が有効となります。

リセット時、PCR2 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8. I/O ポート

(3) ポートモードレジスタ 2 (PMR2)

PMR2 は、8 ビットのリード/ライト可能なレジスタで、 $P2_0$ 、 $P2_1^*$ 、 $P4_3$ 端子機能の切り替え、 $P3_2/SO_1$ 端子*の PMOS の ON/OFF を制御します。

リセット時、PMR2 は H'C0 に初期化されます。

【注】* $P2_1$ 端子機能切り替え、 $P3_2/SO_1$ 端子は H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

H8/3857グループ:	ビット:	7	6	5	4	3	2	1	0
		—	—	—	—	IRQ0	POF1	UD	IRQ4
	初期値:	1	1	0	0	0	0	0	0
	R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W
H8/3854グループ:	ビット:	7	6	5	4	3	2	1	0
		—	—	—	—	IRQ0	—	—	IRQ4
	初期値:	1	1	0	0	0	0	0	0
	R/W :	—	—	—	—	R/W	—	—	R/W

H8/3854 グループでは、ビット 2、1 はリザーブビットです。これらのビットは常に 0 で使用してください。

ビット 7、6: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 5、4: リザーブビット

リザーブビットです。本ビットは、常に 0 で使用してください。

ビット 3: $P4_3/\overline{IRQ_0}$ 端子機能切り替え (IRQ0)

$P4_3/\overline{IRQ_0}$ 端子を $P4_3$ 端子として使用するか、 $\overline{IRQ_0}$ 端子として使用するかを設定します。

ビット 3	説 明
IRQ0	
0	$P4_3$ 入力端子として機能 (初期値)
1	$\overline{IRQ_0}$ 入力端子として機能

【注】 $\overline{IRQ_0}$ 端子は立ち上がり、立ち下がりエッジセンスを選択できます。

ビット 2: $P3_2/SO_1$ 端子 PMOS コントロール (POF1)

$P3_2/SO_1$ 端子出力バッファの PMOS の ON/OFF を制御します。

ビット 2	説 明
POF1	
0	CMOS 出力 (初期値)
1	NMOS オープンドレイン出力

H8/3854 グループでは、リザーブビットです。本ビットは常に 0 で使用してください。

ビット 1 : P2₁/UD 端子機能切り替え (UD)

P2₁/UD 端子を P2₁ 端子として使用するか、UD 端子として使用するかを設定します。

ビット 1	説 明
UD	
0	P2 ₁ 入出力端子として機能 (初期値)
1	UD 入力端子として機能

H8/3854 グループでは、リザーブビットです。本ビットは常に 0 で使用してください。

ビット 0 : P2₀/IRQ₄/ADTRG 端子機能切り替え (IRQ4)

P2₀/IRQ₄/ADTRG 端子を P2₀ 端子として使用するか、IRQ₄/ADTRG 端子として使用するかを設定します。

ビット 0	説 明
IRQ4	
0	P2 ₀ 入出力端子として機能 (初期値)
1	IRQ ₄ /ADTRG 入力端子として機能

【注】 IRQ₄ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

ADTRG 端子の設定については、「12.3.2 外部トリガによる A/D 変換器の起動」を参照してください。

(4) ポートモードレジスタ 4 (PMR4)

ビット:	7	6	5	4	3	2	1	0
	NMOD7	NMOD6	NMOD5	NMOD4	NMOD3	NMOD2	NMOD1	NMOD0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR4 は、8 ビットのリード / ライト可能なレジスタで、ポート 2 の各端子を CMOS 出力とするか、NMOS オープンドレイン出力とするかをビットごとに制御します。

リセット時、PMR4 は H'00 に初期化されます。

ビット n : NMOS オープンドレイン出力セレクト (NMODn)

P2n 端子を出力端子として使用する場合に、NMOS オープンドレイン出力とします。

ビット n	説 明
NMODn	
0	CMOS 出力 (初期値)
1	NMOS オープンドレイン出力

【注】 n=7~0

8. I/O ポート

8.3.3 端子機能

表 8.6 (a) に H8/3857 グループのポート 2 の端子機能を、表 8.6 (b) に H8/3854 グループのポート 2 の端子機能を示します。

表 8.6 (a) H8/3857 グループのポート 2 の端子機能

端子	選択方法と端子機能				
P2 ₇ ~ P2 ₂	PCR2 の各ビットにより、次のように切り替わります。				
	PCR2 _n	0		1	
	端 子 機 能	P2 _n 入力端子		P2 _n 出力端子	
	【注】 n = 7 ~ 2				
P2 ₁ /UD	PMR2 の UD と PCR2 の PCR2 ₁ の組み合わせで、次のように切り替わります。				
	UD	0		1	
	PCR2 ₁	0	1	*	
	端 子 機 能	P2 ₁ 入力端子	P2 ₁ 出力端子	UD入力端子	
P2 ₀ /IRQ ₄ / ADTRG	PMR2 の IRQ4、AMR の TRGE、PCR2 の PCR2 ₀ の組み合わせで、次のように切り替わります。				
	IRQ4	0		1	
	PCR2 ₀	0	1	*	
	TRGE	*		0	1
	端 子 機 能	P2 ₀ 入力端子	P2 ₀ 出力端子	IRQ ₄ 入力端子	IRQ ₄ /ADTRG 入力端子
	【注】 ADTRG入力端子として使用する場合には、IENR1のIEN4を"0"にクリアして IRQ ₄ 割り込みを禁止してください。				

【記号説明】

* : Don't care

表 8.6 (b) H8/3854 グループのポート 2 の端子機能

端子	選択方法と端子機能			
P2 ₇ ~ P2 ₁	PCR2 の各ビットにより、次のように切り替わります。			
	PCR2 _n	0		1
	端 子 機 能	P2 _n 入力端子		P2 _n 出力端子
	【注】 n = 7 ~ 1			
P2 ₀ /IRQ ₄ / ADTRG	PMR2 の IRQ4、AMR の TRGE、PCR2 の PCR2 ₀ の組み合わせで、次のように切り替わります。			
	IRQ4	0		1
	PCR2 ₀	0	1	*
	TRGE	*		0 1
	端 子 機 能	P2 ₀ 入力端子	P2 ₀ 出力端子	IRQ ₄ 入力端子 IRQ ₄ /ADTRG 入力端子
	【注】 ADTRG入力端子として使用する場合には、IENR1のIEN4を"0"にクリアして IRQ ₄ 割り込みを禁止してください。			

【記号説明】

* : Don't care

8.3.4 端子状態

表 8.7 (a) に H8/3857 グループの各モードにおけるポート 2 の端子状態を、表 8.7 (b) に H8/3854 グループの各モードにおけるポート 2 の端子状態を示します。

表 8.7 (a) H8/3857 グループのポート 2 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 ₇ ~ P2 ₂ P2 ₁ /UD P2 ₀ /IRQ ₄ / ADTRG	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

表 8.7 (b) H8/3854 グループのポート 2 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 ₇ ~ P2 ₁ P2 ₀ /IRQ ₄ / ADTRG	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.4 ポート 3【H8/3857 グループのみ】

ポート 3 は H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

8.4.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 の各端子は、図 8.3 に示す構成になっています。

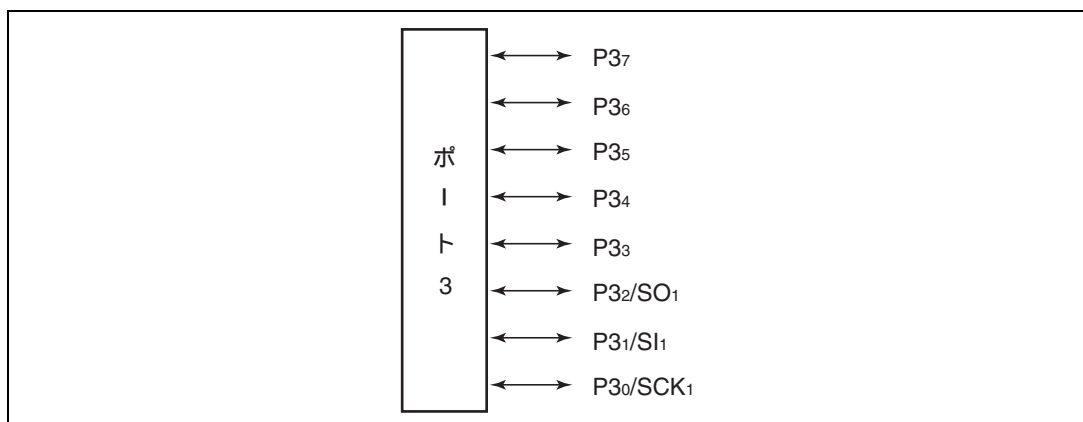


図 8.3 ポート 3 の端子構成

8.4.2 レジスタの構成と説明

表 8.8 にポート 3 のレジスタ構成を示します。

表 8.8 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 3	PDR3	R/W	H'00	H'FFD6
ポートコントロールレジスタ 3	PCR3	W	H'00	H'FFE6
ポートブルアップコントロールレジスタ 3	PUCR3	R/W	H'00	H'FFE1
ポートモードレジスタ 3	PMR3	R/W	H'00	H'FFCA

(1) ポートデータレジスタ 3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR3 は、ポート 3 の各端子 P3₇ ~ P3₀ のデータを格納する 8 ビットのレジスタです。

PCR3 が 1 のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が 0 のとき、ポート 3 のリードを行うと、端子状態が読み出されます。

リセット時、PDR3 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	PCR3 ₇	PCR3 ₆	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR3 は、ポート 3 の各端子 P3₇ ~ P3₀ の入出力をビットごとに制御します。PCR3 に 1 をセットすると対応する P3₇ ~ P3₀ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR3 により当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。

リセット時、PCR3 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートブルアップコントロールレジスタ 3 (PUCR3)

ビット:	7	6	5	4	3	2	1	0
	PUCR3 ₇	PUCR3 ₆	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR3 は、ポート 3 の各端子 P3₇ ~ P3₀ のブルアップ MOS をビットごとに制御します。

PCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するブルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR3 は H'00 に初期化されます。

8. I/O ポート

(4) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	SO1	SI1	SCK1
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

PMR3 は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子機能の切り替えを制御します。

リセット時、PMR3 は H'00 に初期化されます。

ビット 7~3: リザーブビット

リザーブビットです。本ビットは、常に 0 で使用してください。

ビット 2: P3₂/SO₁ 端子機能切り替え (SO1)

P3₂/SO₁ 端子を P3₂ 端子として使用するか、SO₁ 端子として使用するかを設定します。

ビット 2	説 明
SO1	
0	P3 ₂ 入出力端子として機能 (初期値)
1	SO ₁ 出力端子として機能

ビット 1: P3₁/SI₁ 端子機能切り替え (SI1)

P3₁/SI₁ 端子を P3₁ 端子として使用するか、SI₁ 端子として使用するかを設定します。

ビット 1	説 明
SI1	
0	P3 ₁ 入出力端子として機能 (初期値)
1	SI ₁ 入力端子として機能

ビット 0: P3₀/SCK₁ 端子機能切り替え (SCK1)

P3₀/SCK₁ 端子を P3₀ 端子として使用するか、SCK₁ 端子として使用するかを設定します。

ビット 0	説 明
SCK1	
0	P3 ₀ 入出力端子として機能 (初期値)
1	SCK ₁ 入出力端子として機能

8.4.3 端子機能

表 8.9 にポート 3 の端子機能を示します。

表 8.9 ポート 3 の端子機能

端子	選択方法と端子機能			
P3 ₇ ~ P3 ₃	PCR3 の各ビットにより、次のように切り替わります。			
	PCR3 _n	0		1
	端 子 機 能	P3 _n 入力端子		P3 _n 出力端子
	【注】 n = 7 ~ 3			
P3 ₂ /SO ₁	PMR3 の SO1 と PCR3 の PCR3 ₂ の組み合わせで、次のように切り替わります。			
	SO1	0		1
	PCR3 ₂	0	1	*
	端 子 機 能	P3 ₂ 入力端子	P3 ₂ 出力端子	SO ₁ 出力端子
P3 ₁ /SI ₁	PMR3 の SI1 と PCR3 の PCR3 ₁ の組み合わせで、次のように切り替わります。			
	SI1	0		1
	PCR3 ₁	0	1	*
	端 子 機 能	P3 ₁ 入力端子	P3 ₁ 出力端子	SI ₁ 入力端子
P3 ₀ /SCK ₁	PMR3 の SCK1、SCR1 の CKS3、および PCR3 の PCR3 ₀ の組み合わせで、次のように切り替わります。			
	SCK1	0		1
	CKS3	*		0 1
	PCR3 ₀	0	1	*
端 子 機 能	P3 ₀ 入力端子	P3 ₀ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子

【記号説明】

* : Don't care

8. I/O ポート

8.4.4 端子状態

各動作モードにおけるポート 3 の端子状態を表 8.10 に示します。

表 8.10 ポート 3 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P3 ₇ ~ P3 ₃ P3 ₂ /SO ₁ P3 ₁ /SI ₁ P3 ₀ /SCK ₁	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

8.4.5 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が 0 にクリアされている状態で PUCR3 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】

* : Don't care

【注】 n = 7 ~ 0

8.5 ポート 4

ポート 4 は、H8/3857 グループ、H8/3854 グループ共通の機能です。

8.5.1 概要

ポート 4 は、3 ビットの入出力ポートと 1 ビットの入力専用ポートです。ポート 4 の各端子は、図 8.4 に示す構成になっています。

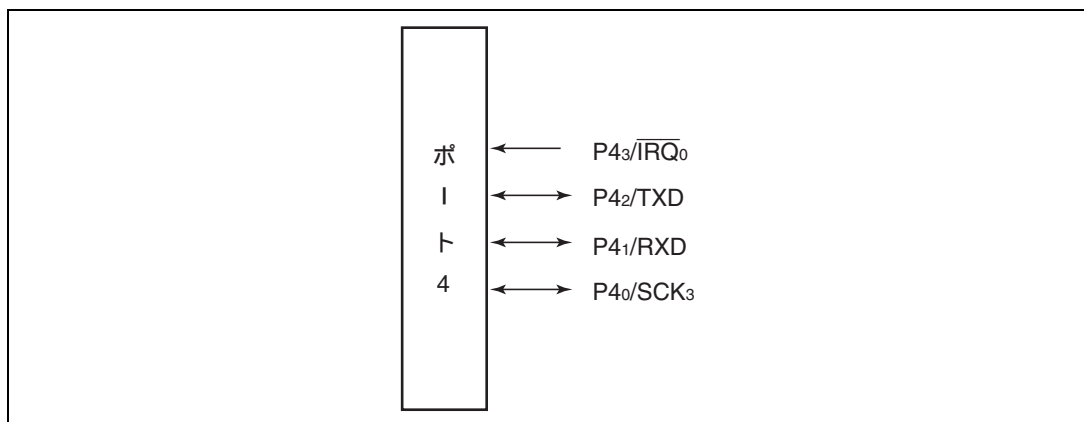


図 8.4 ポート 4 の端子構成

8.5.2 レジスタの構成と説明

表 8.11 にポート 4 のレジスタ構成を示します。

表 8.11 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 4	PDR4	R/W	H'F8	H'FFD7
ポートコントロールレジスタ 4	PCR4	W	H'F8	H'FFE7

(1) ポートデータレジスタ 4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	1	1	1	1	不定	0	0	0
R/W :	—	—	—	—	R	R/W	R/W	R/W

PDR4 は、ポート 4 の各端子 P4₂ ~ P4₀ のデータを格納する 8 ビットのレジスタです。PCR4 が 1 のとき、ポート 4 のリードを行うと、PDR4 の値を直接リードします。そのため端子状態の影響を受けません。PCR4 が 0 のとき、ポート 4 のリードを行うと、端子状態が読み出されます。

ビット 3、P4₃ は常に端子の状態が読み出されます。

リセット時、PDR4 は H'F8 に初期化されます。

(2) ポートコントロールレジスタ 4 (PCR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR4 ₂	PCR4 ₁	PCR4 ₀
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	W	W	W

8. I/O ポート

PCR4 は、ポート 4 の各端子 P4₃ ~ P4₀ の入出力をビットごとに制御します。PCR4 に 1 をセットすると対応する P4₃ ~ P4₀ 端子は出力端子となり、0 にクリアすると入力端子となります。SCR3 により当該端子が汎用入出力に設定されている場合には、PCR4 および PDR4 の設定が有効となります。

リセット時、PCR4 は H'F8 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.5.3 端子機能

表 8.12 にポート 4 の端子機能を示します。

表 8.12 ポート 4 の端子機能

端子	選択方法と端子機能					
P4 ₃ /IRQ ₀	PMR2 の IRQ0 により、次のように切り替わります。					
	IRQ0	0		1		
	端 子 機 能	P4 ₃ 入力端子		IRQ ₀ 入力端子		
P4 ₂ /TXD	SCR3 の TE と PCR4 の PCR4 ₂ の組み合わせで、次のように切り替わります。					
	TE	0		1		
	PCR4 ₂	0	1	*		
	端 子 機 能	P4 ₂ 入力端子		P4 ₂ 出力端子	TXD出力端子	
P4 ₁ /RXD	SCR3 の RE と PCR4 の PCR4 ₁ の組み合わせで、次のように切り替わります。					
	RE	0		1		
	PCR4 ₁	0	1	*		
	端 子 機 能	P4 ₁ 入力端子		P4 ₁ 出力端子	RXD入力端子	
P4 ₀ /SCK ₃	SCR3 の CKE1、CKE0、SMR の COM、および PCR4 の PCR4 ₀ の組み合わせで、次のように切り替わります。					
	CKE1	0		1		
	CKE0	0		1	*	
	COM	0		1	*	*
	PCR4 ₀	0	1	*		*
	端 子 機 能	P4 ₀ 入力端子		P4 ₀ 出力端子	SCK ₃ 出力端子	SCK ₃ 入力端子

【記号説明】

* : Don't care

8.5.4 端子状態

各動作モードにおけるポート 4 の端子状態を表 8.13 に示します。

表 8.13 ポート 4 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P4 ₃ /IRQ ₀ P4 ₂ /TXD P4 ₁ /RXD P4 ₀ /SCK ₃	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.6 ポート 5

ポート 5 は、H8/3857 グループ、H8/3854 グループ共通の機能です。

8.6.1 概要

ポート 5 は、8 ビットの入出力ポートです。ポート 5 の各端子は、図 8.5 に示す構成になっています。

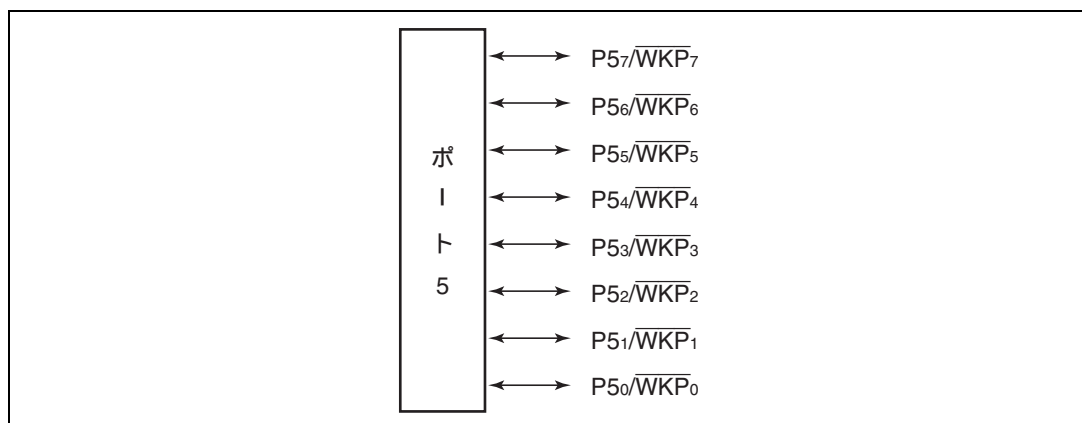


図 8.5 ポート 5 の端子構成

8.6.2 レジスタの構成と説明

表 8.14 にポート 5 のレジスタ構成を示します。

表 8.14 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 5	PDR5	R/W	H'00	H'FFD8
ポートコントロールレジスタ 5	PCR5	W	H'00	H'FFE8
ポートブルアップコントロールレジスタ 5	PUCR5	R/W	H'00	H'FFE2
ポートモードレジスタ 5	PMR5	R/W	H'00	H'FFC0

8. I/O ポート

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5 は、ポート 5 の各端子 P5₇ ~ P5₀ のデータを格納する 8 ビットのレジスタです。

PCR5 が 1 のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が 0 のとき、ポート 5 のリードを行うと、端子状態が読み出されます。

リセット時、PDR5 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR5 は、ポート 5 の各端子 P5₇ ~ P5₀ の入出力をビットごとに制御します。PCR5 に 1 をセットすると対応する P5₇ ~ P5₀ 端子は出力端子となり、0 にクリアすると入力端子となります。

リセット時、PCR5 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートブルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5 は、ポート 5 の各端子 P5₇ ~ P5₀ のブルアップ MOS をビットごとに制御します。

PCR5 が 0 の状態で PUCR5 に 1 をセットすると対応するブルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR5 は H'00 に初期化されます。

(4) ポートモードレジスタ 5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
	WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR5 は、8 ビットのリード / ライト可能なレジスタで、ポート 5 の各端子機能の切り替えを制御します。

リセット時、PMR5 は H'00 に初期化されます。

ビット n : $P5_n/\overline{WKP}_n$ 端子機能切り替え (WKP_n)

$P5_n/\overline{WKP}_n$ 端子を $P5_n$ 端子として使用するか、 $\overline{WKP}_n$ 端子として使用するかを設定します。

ビット n	説 明
WKP_n	
0	$P5_n$ 入出力端子として機能 (初期値)
1	$\overline{WKP}_n$ 入力端子として機能

【注】 $n = 7 \sim 0$

8.6.3 端子機能

表 8.15 にポート 5 の端子機能を示します。

表 8.15 ポート 5 の端子機能

端子	選択方法と端子機能			
$P5_7/\overline{WKP}_7$ ~ $P5_0/\overline{WKP}_0$	PMR5 の WKP_n 、PCR5 の $PCR5_n$ の組み合わせで、次のように切り替わります。			
	WKP_n	0		1
	$PCR5_n$	0	1	*
	端 子 機 能	$P5_n$ 入力端子	$P5_n$ 出力端子	$\overline{WKP}_n$ 入力端子

【注】 $n = 7 \sim 0$

【記号説明】

* : Don't care

8.6.4 端子状態

各動作モードにおけるポート 5 の端子状態を表 8.16 に示します。

表 8.16 ポート 5 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
$P5_7/\overline{WKP}_7$ ~ $P5_0/\overline{WKP}_0$	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * ブルアップ MOS が ON 状態では High レベル出力となります。

8.6.5 入力ブルアップ MOS

ポート 5 は、プログラムで制御可能な入力ブルアップ MOS を内蔵しています。PCR5 が 0 にクリアされている状態で PUCR5 に 1 をセットすると入力ブルアップ MOS は ON 状態となります。また、入力ブルアップ MOS はリセット時、OFF 状態になります。

$PCR5_n$	0		1
$PUCR5_n$	0	1	*
入力ブルアップ MOS	OFF	ON	OFF

【記号説明】

* : Don't care

【注】 ($n = 7 \sim 0$)

8.7 ポート 9【LSI 内部 I/O ポート】

ポート 9 は、H8/3857 グループ、H8/3854 グループ共通の機能です。

8.7.1 概要

ポート 9 は、本 LSI に内蔵した LCD コントローラとインタフェースする 8 ビットの入出力ポートです。ポート 9 の各端子は、図 8.6 に示す構成になっています。

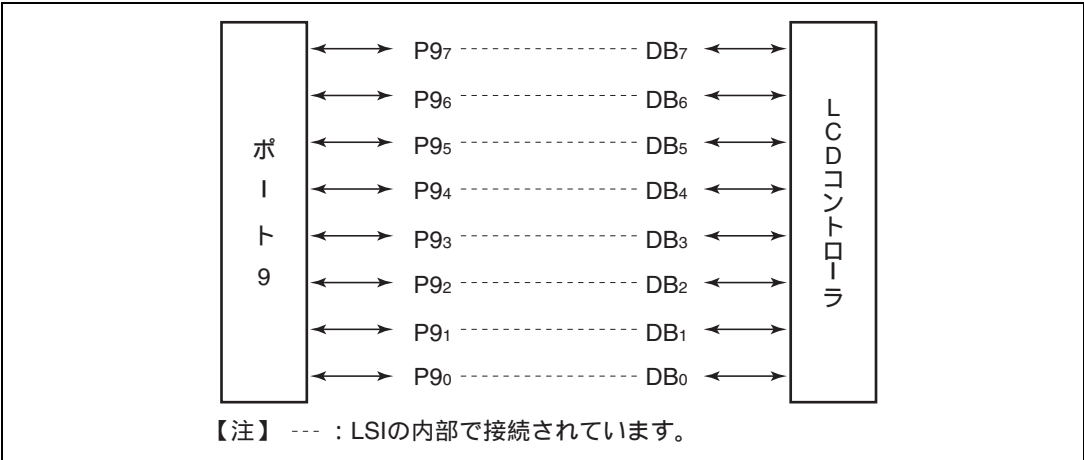


図 8.6 ポート 9 の端子構成

8.7.2 レジスタの構成と説明

表 8.17 にポート 9 のレジスタ構成を示します。

表 8.17 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 9	PDR9	R/W	H'00	H'FFDC
ポートコントロールレジスタ 9	PCR9	W	H'00	H'FFEC

(1) ポートデータレジスタ 9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR9 は、ポート 9 の各端子 P9₇ ~ P9₀ のデータを格納する 8 ビットのレジスタです。

PCR9 が 1 のとき、ポート 9 のリードを行うと、PDR9 の値を直接リードします。PCR9 が 0 のとき、ポート 9 のリードを行うと、端子状態が読み出されます。

リセット時、PDR9 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR9 は、ポート 9 の各端子 P9₇ ~ P9₀ の入出力をビットごとに制御します。PCR9 に 1 をセットすると対応する P9₇ ~ P9₀ 端子は出力端子となり、0 にクリアすると入力端子となります。

リセット時、PCR9 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.7.3 端子機能

表 8.18 にポート 9 の端子機能を示します。

表 8.18 ポート 9 の端子機能

端子	選択方法と端子機能		
P9 ₇ ~ P9 ₀	PCR9 の各ビットにより、次のように切り替わります。		
	PCR9 _n	0	1
	端 子 機 能	P9 _n 入力端子	P9 _n 出力端子
	【注】 n = 7 ~ 0		

8.7.4 端子状態

各動作モードにおけるポート 9 の端子状態を表 8.19 に示します。

表 8.19 ポート 9 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P9 ₇ ~ P9 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.8 ポート A【LSI 内部 I/O ポート】

ポート A は、H8/3857 グループ、H8/3854 グループ共通の機能です。

8.8.1 概要

ポート A は、本 LSI に内蔵した LCD コントローラとインタフェースする 4 ビットの入出力ポートです。ポート A の各端子は、図 8.7 に示す構成になっています。

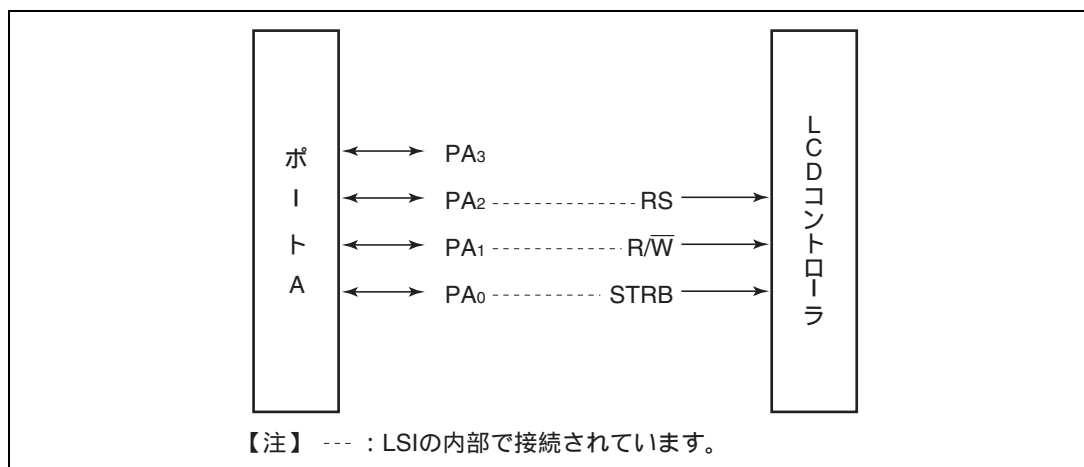


図 8.7 ポート A の端子構成

8.8.2 レジスタの構成と説明

表 8.20 にポート A のレジスタ構成を示します。

表 8.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ A	PDRA	R/W	H'F0	H'FFDD
ポートコントロールレジスタ A	PCRA	W	H'F0	H'FFED

(1) ポートデータレジスタ A (PDRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

PDRA は、ポート A の各端子 PA₃ ~ PA₀ のデータを格納する 8 ビットのレジスタです。

PCRA が 1 のとき、ポート A のリードを行うと、PDRA の値を直接リードします。PCRA が 0 のとき、ポート A のリードを行うと、端子状態が読み出されます。

リセット時、PDRA は H'F0 に初期化されます。

(2) ポートコントロールレジスタ A (PCRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	W	W	W	W

PCRA は、ポート A の各端子 PA₃ ~ PA₀ の入出力をビットごとに制御します。PCRA に 1 をセットすると対応する PA₃ ~ PA₀ 端子は出力端子となり、0 にクリアすると入力端子となります。

リセット時、PCRA は H'F0 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.8.3 端子機能

表 8.21 にポート A の端子機能を示します。

表 8.21 ポート A の端子機能

端子	選択方法と端子機能		
PA ₃ ~ PA ₀	PCRA の各ビットにより、次のように切り替わります。		
	PCRA _n	0	1
	端子機能	PA _n 入力端子	PA _n 出力端子
【注】n = 3 ~ 0			

8.8.4 端子状態

各動作モードにおけるポート A の端子状態を表 8.22 に示します。

表 8.22 ポート A の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PA ₃ ~ PA ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.9 ポート B

ポート B は、H8/3857 グループと H8/3854 グループで一部機能が異なります。

PB₃ ~ PB₀/AN₃ ~ AN₀ 端子は H8/3857 グループ固有のもので、H8/3854 グループにはありません。

8.9.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、H8/3857 グループは図 8.8 (a)、H8/3854 グループは図 8.8 (b) に示す構成になっています。

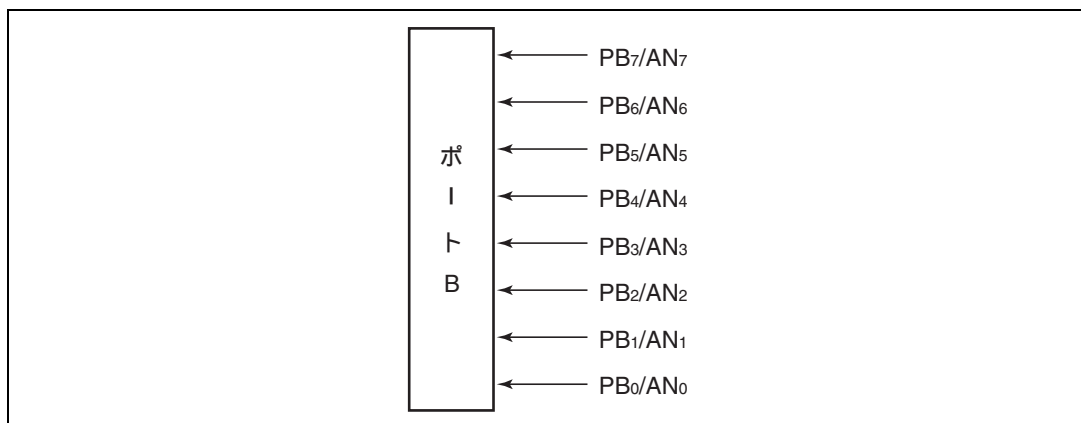


図 8.8 (a) H8/3857 グループのポート B の端子構成

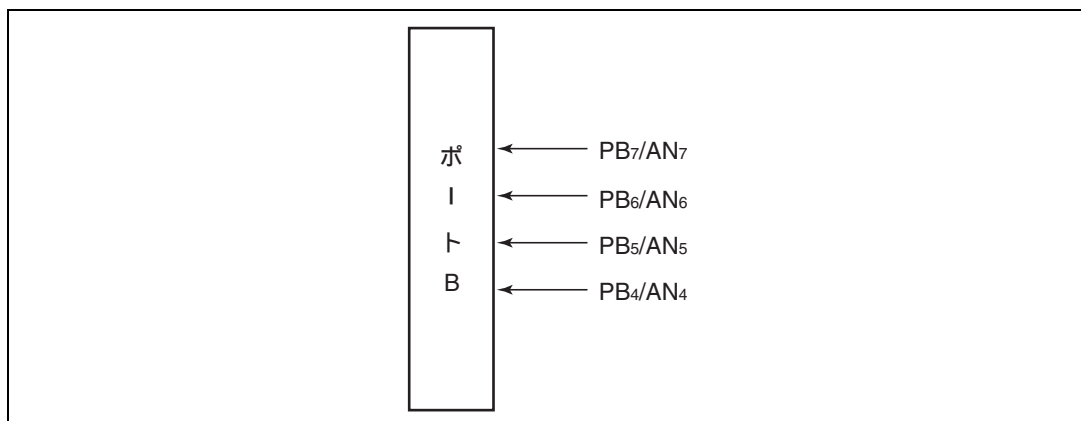


図 8.8 (b) H8/3854 グループのポート B の端子構成

8.9.2 レジスタの構成と説明

表 8.23 にポート B のレジスタ構成を示します。

表 8.23 レジスタ構成

名称	略称	R/W	アドレス
ポートデータレジスタ B	PDRB	R	H'FFDE

(1) ポートデータレジスタ B (PDRB)

PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。

H8/3857グループ:	ビット:	7	6	5	4	3	2	1	0
		PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
	R/W :	R	R	R	R	R	R	R	R
H8/3854グループ:	ビット:	7	6	5	4	3	2	1	0
		PB ₇	PB ₆	PB ₅	PB ₄	—	—	—	—
	R/W :	R	R	R	R	—	—	—	—

H8/3854 グループのビット 3 ~ 0 はリザーブビットです。

9. タイマ

9.1 概要

H8/3857 グループは4本のタイマ(タイマ A、B、C、F)を、H8/3854 グループは3本のタイマ(タイマ A、B、F)を内蔵しています。H8/3857F、H8/3854F はこの他にフラッシュメモリ書き換え制御用のウォッチドッグタイマを内蔵しています。

タイマ A、B、C、F、ウォッチドッグタイマの機能概要を表 9.1 に示します。

表 9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント 入力端子	波形出力端子	備考
タイマ A	8 ビットのタイマ	インターバル機能	—	—	
		時計用タイムベース機能			
		クロック出力機能	—	TMOW	
タイマ B	8 ビットのタイマ - インターバル機能 - イベントカウント機能	$\phi/4 \sim \phi/8192$ (7 種類)	TMIB	—	
タイマ C ^{*1}	8 ビットのタイマ - インターバル機能 - イベントカウント機能 - カウントアップ/ダウン選択可能	$\phi/4 \sim \phi/8192$ $\phi_w/4$ (7 種類)	TMIC	—	カウントアップ/ダウンはソフトウェア制御、ハードウェア制御ともに可能
タイマ F	16 ビットのタイマ - イベントカウント機能 - 独立した2本の8ビットタイマとして使用可能 - アウトプットコンペア出力機能	$\phi/2 \sim \phi/32$ (4 種類)	TMIF	TMOFL TMOFH	
ウォッチドッグタイマ ^{*2}	8 ビットカウンタのオーバフローでリセット信号を発生	$\phi/64 \sim \phi/8192$ (8 種類)	—	—	H8/3857F、H8/3854F のみに内蔵

【注】 *1 タイマ C は H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

*2 ウォッチドッグタイマはフラッシュメモリの書き換え制御プログラムで利用します。

9.2 タイマ A

9.2.1 概要

タイマ A はインターバル/時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。また、TMOW 端子より、32.768kHz を分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

(1) 特長

タイマ A の特長を以下に示します。

■ 8 種類の内部クロックを選択可能

8 種類の内部クロック ($\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$) からの選択が可能です。

■ 4 種類のオーバーフロー周期を選択可能

時計用タイムベースとして 4 種類のオーバーフロー周期 (1s、0.5s、0.25s、31.25ms) の選択が可能です (32.768kHz 水晶発振器を使用)。

■ カウンタのオーバーフローで割り込みを発生

■ タイマ出力クロックを選択可能

TMOW 端子から出力するクロックとして、32.768kHz の 32、16、8、4 分周したクロック (1kHz、2kHz、4kHz、8kHz)、およびシステムクロックを 32、16、8、4 分周したクロックの計 8 種類の選択が可能です。

(2) ブロック図

タイマ A のブロック図を図 9.1 に示します。

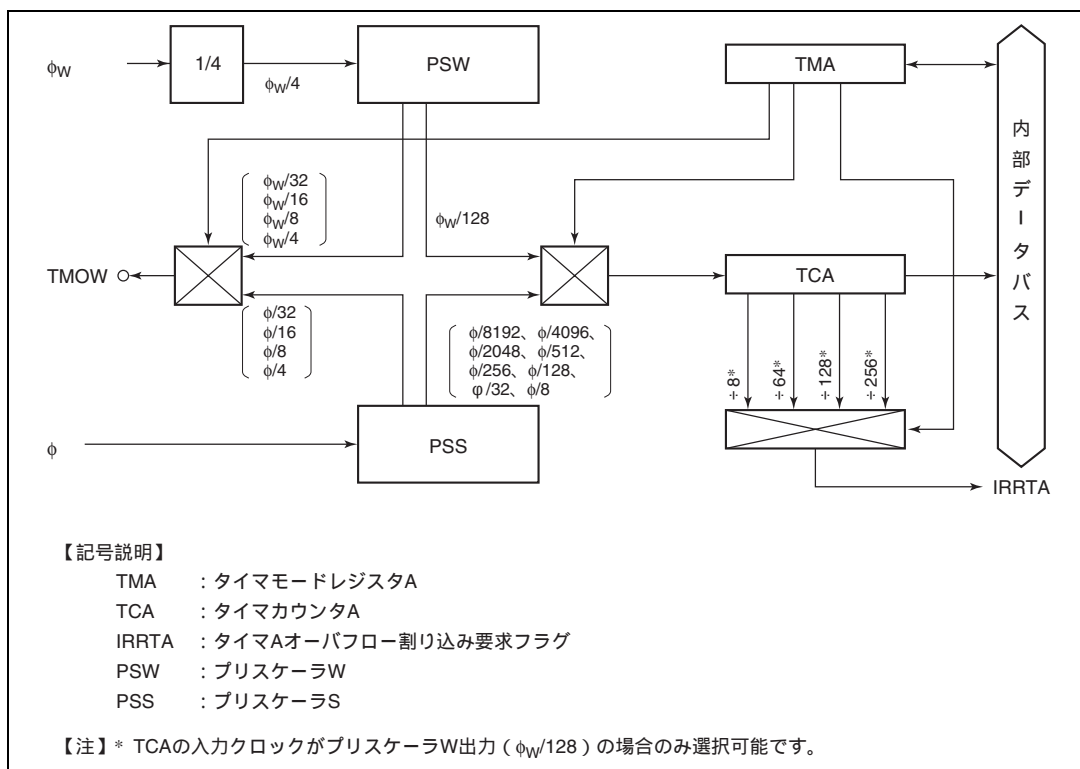


図 9.1 タイマ A ブロック図

(3) 端子構成

タイマ A の端子構成を表 9.2 に示します。

表 9.2 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	タイマ A 出力回路により生成された波形の出力端子

(4) レジスタ構成

タイマ A のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ A	TMA	R/W	H'10	H'FFB0
タイマカウンタ A	TCA	R	H'00	H'FFB1

9. タイマ

9.2.2 各レジスタの説明

(1) タイマモードレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

TMA は、8 ビットのリード/ライト可能なレジスタで、プリスケアラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMA は H'10 に初期化されます。

ビット7～5：クロック出力セレクト (TMA7～TMA5)

TMOW 端子から出力する 8 種類のクロックを選択します。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

ビット7	ビット6	ビット5	説 明	
TMA7	TMA6	TMA5		
0	0	0	$\phi/32$	(初期値)
		1	$\phi/16$	
	1	0	$\phi/8$	
		1	$\phi/4$	
1	0	0	$\phi_w/32$	
		1	$\phi_w/16$	
	1	0	$\phi_w/8$	
		1	$\phi_w/4$	

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット3～0：内部クロックセレクト（TMA3～TMA0）

TCA に入力するクロックを選択します。

				説明	
ビット3	ビット2	ビット1	ビット0		
TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS、 $\phi/8192$ （初期値）	インターバル
			1	PSS、 $\phi/4096$	
		1	0	PSS、 $\phi/2048$	
			1	PSS、 $\phi/512$	
	1	0	0	PSS、 $\phi/256$	
			1	PSS、 $\phi/128$	
		1	0	PSS、 $\phi/32$	
			1	PSS、 $\phi/8$	
1	0	0	0	PSW、1s	時計用 タイムベース
			1	PSW、0.5s	
		1	0	PSW、0.25s	
			1	PSW、0.03125s	
	1	0	0	PSW、TCA リセット	
			1		
		1	0		
			1		

(2) タイマカウンタ A (TCA)

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCA は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは TMA の TMA3～TMA0 により選択します。TCA の値は、アクティブモード時は CPU からリードできますが、サブアクティブモード時では TCA をリードすることはできません。TCA がオーバフローすると、IRR1 の IRRTA が 1 にセットされます。

TCA は TMA の TMA3～TMA2 を 11 にセットすることでクリアできます。

リセット時、TCA は H'00 に初期化されます。

9.2.3 動作説明

(1) インターバル動作

TMA の TMA3 を 0 にセットすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時、TCA は H'00、TMA3 は 0 にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 により、プリスケアラ S の出力する 8 種類の内部クロックを選択できます。

TCA のカウンタ値が H'FF になった後、クロックが入力されると、タイマ A はオーバフローし、IRR1 の IRRTA が 1 にセットされます。このとき、IENR1 の IENTA が 1 ならば CPU に割り込みを要求します。*

オーバフロー時には、TCA のカウンタ値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、オーバフロー出力を発生するインターバルタイマとして動作します。

【注】* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) 時計用タイムベース動作

TMA の TMA3 を 1 にセットすると、タイマ A はプリスケアラ W の出力するクロックをカウントして、時計用タイムベースとして動作します。タイマ A のオーバフロー周期は、TMA の TMA1、TMA0 により 4 種類選択できます。時計用タイムベース動作時 (TMA3 = 1) に TMA2 を 1 にすると、TCA およびプリスケアラ W は、ともに H'00 にクリアされます。

(3) クロック出力の動作

PMR1 の TMOW を 1 にセットすると、TMOW 端子からクロックが出力されます。端子から出力されるクロックは、TMA の TMA7 ~ TMA5 により、8 種類のクロックが選択できます。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

9.2.4 タイマ A の動作モード

タイマ A の動作モードを表 9.4 に示します。

表 9.4 タイマ A の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止
	時計用 タイムベース	リセット	動作	動作	動作	動作	動作	停止
TMA		リセット	動作	保持	保持	動作	保持	保持

【注】 アクティブモード、スリープモード時に、TCA の内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s) の誤差が生じます。

9.3 タイマ B

9.3.1 概要

タイマ B は、入力クロックが入るたびにカウントアップする 8 ビットのタイマです。タイマ B には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特長

タイマ B の特長を以下に示します。

■ 8 種類のクロックを選択可能

7 種類の内部クロック ($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$) と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

■ カウンタのオーバーフローで割り込みを発生

(2) ブロック図

タイマ B のブロック図を図 9.2 に示します。

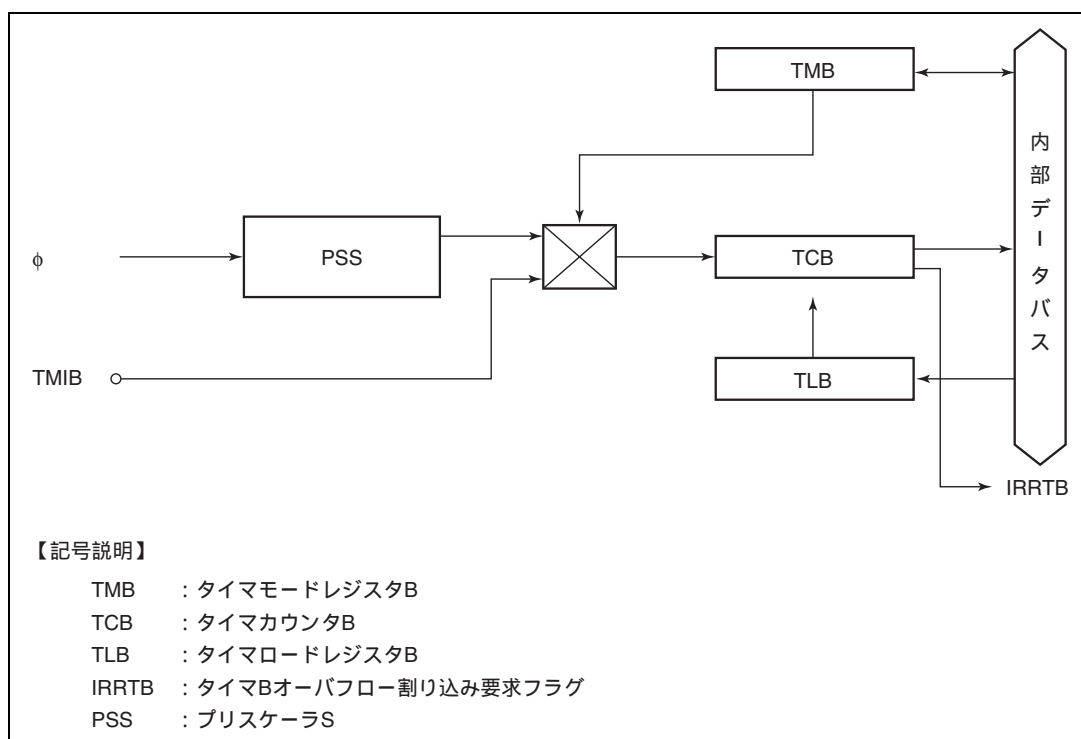


図 9.2 タイマ B ブロック図

9. タイマ

(3) 端子構成

タイマ B の端子構成を表 9.5 に示します。

表 9.5 端子構成

名称	略称	入出力	機能
タイマ B イベント入力	TMIB	入力	TCB に入力するイベント入力端子

(4) レジスタ構成

タイマ B のレジスタ構成を表 9.6 に示します。

表 9.6 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ B	TMB	R/W	H'78	H'FFB2
タイマカウンタ B	TCB	R	H'00	H'FFB3
タイマロードレジスタ B	TLB	W	H'00	H'FFB3

9.3.2 各レジスタの説明

(1) タイマモードレジスタ B (TMB)

ビット:	7	6	5	4	3	2	1	0
	TMB7	—	—	—	—	TMB2	TMB1	TMB0
初期値:	0	1	1	1	1	0	0	0
R/W :	R/W	—	—	—	—	R/W	R/W	R/W

TMB は、8 ビットのリード/ライト可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

リセット時、TMB は H'78 に初期化されます。

ビット 7: オートリロード機能選択 (TMB7)

タイマ B のオートリロード機能を選択します。

ビット 7	説 明
TMB7	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット 6~3: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト（TMB2～TMB0）

TCB に入力するクロックを選択します。外部からのイベント入力、立ち上がり / 立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説 明
TMB2	TMB1	TMB0	
0	0	0	内部クロック ϕ /8192 でカウント（初期値）
		1	内部クロック ϕ /2048 でカウント
	1	0	内部クロック ϕ /512 でカウント
		1	内部クロック ϕ /256 でカウント
1	0	0	内部クロック ϕ /64 でカウント
		1	内部クロック ϕ /16 でカウント
	1	0	内部クロック ϕ /4 でカウント
		1	外部イベント（TMIB）の立ち上がり / 立ち下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ（IEGR）の IEG1 により設定します。詳細は、「3.3.2（1）IRQ エッジセレクトレジスタ（IEGR）」を参照してください。なお、TMB2～TMB0 を 111 に設定する前に、必ずポートモードレジスタ 1（PMR1）の IRQ1 を 1 にセットしてください。

(2) タイマカウンタ B（TCB）

ビット：	7	6	5	4	3	2	1	0
	TCB7	TCB6	TCB5	TCB4	TCB3	TCB2	TCB1	TCB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCB は、8 ビットのリード可能なアップカウンタで、入力する内部クロック / 外部イベントによりカウントアップされます。入力するクロックは、TMB の TMB2～TMB0 により選択します。TCB の値は、CPU から常にリードできます。

TCB がオーバーフロー（H'FF→H'00 または H'FF→TLB の設定値）すると、IRR2 の IRRTB が 1 にセットされます。

TCB は、TLB と同一のアドレスに割り付けられています。

リセット時、TCB は H'00 に初期化されます。

9. タイマ

(3) タイマロードレジスタ B (TLB)

ビット:	7	6	5	4	3	2	1	0
	TLB7	TLB6	TLB5	TLB4	TLB3	TLB2	TLB1	TLB0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLB は、8 ビットのライト専用のレジスタで、TCB のリロード値を設定します。

TLB にリロード値を設定すると、同時にその値は TCB にもロードされ、TCB はその値からカウントアップを開始します。また、オートリロード動作時、TCB がオーバフローすると TCB に TLB の値がロードされます。したがって、オーバフロー周期を 1～256 入力クロックの範囲で設定することができます。

TLB は、TCB と同一のアドレスに割り付けられています。

リセット時、TLB は H'00 に初期化されます。

9.3.3 動作説明

(1) インターバルタイマの動作

TMB の TMB7 を 0 にセットすると、タイマ B は 8 ビットインターバルタイマとして動作します。

リセット時、TCB は H'00、TMB7 は 0 にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマ B の動作クロックは、TMB の TMB2～TMB0 により、プリスケラ S の出力する 7 種類の内部クロック、TMIB 入力端子からの外部クロックを選択できます。

TCB のカウント値が H'FF になった後、クロックが入力されると、タイマ B はオーバフローし、IRR2 の IRRTB が 1 にセットされます。このとき、IENR2 の IENTB が 1 ならば CPU に割り込みを要求します。*

オーバフロー時には、TCB のカウント値は H'00 に戻り、再びカウントアップを開始します。

インターバルタイマ動作時 (TMB7=0) に TLB を設定すると、同時に TCB にも TLB の値をロードします。

【注】* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) オートリロードタイマの動作

TMB の TMB7 を 1 にセットすると、タイマ B は 8 ビットオートリロードタイマとして動作します。TLB にリロード値を設定すると、同時にその値が TCB にロードされ、TCB はその値からカウントアップを開始します。

TCB のカウント値が H'FF になった後、クロックが入力されると、タイマ B はオーバフローし、TLB の値が TCB にロードされ、その値からカウントアップを続けます。したがって、TLB の値により、オーバフロー周期を 1～256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割り込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMB7=1) に TLB の値を再設定すると、同時に TCB にも TLB の値をロードします。

(3) イベントカウンタ

タイマ B は、TMIB 端子をイベント入力端子とするイベントカウンタとして動作します。

TMB の TMB2 ~ TMB0 を 111 に設定すると、外部イベントが選択され、TCB は、TMIB 端子入力の立ち上がり / 立ち下がりエッジでカウントアップします。

外部イベント入力を使用する場合は、PMR1 の IRQ1 を 1 にセットし、かつ IENR1 の IEN1 = 0 として IRQ_i 割り込み要求を禁止してください。

9.3.4 タイマ B の動作モード

タイマ B の動作モードを表 9.7 に示します。

表 9.7 タイマ B の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCB	インターバル	リセット	動作	動作	停止	停止	停止	停止
	オートリロード	リセット	動作	動作	停止	停止	停止	停止
TMB		リセット	動作	保持	保持	保持	保持	保持

9.4 タイマ C【H8/3857 グループのみ】

9.4.1 概要

タイマ C は、入力クロックが入るたびにカウントアップまたはカウントダウンする 8 ビットのタイマです。タイマ C には、インターバル機能、オートリロード機能の 2 種類の機能があります。

タイマ C は H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

(1) 特長

タイマ C の特長を以下に示します。

■ 8 種類のクロックを選択可能

7 種類の内部クロック ($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$) と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

■ カウンタのオーバーフローで割り込みを発生

■ アップ / ダウンカウンタ切り替え可能

ハードウェアまたはソフトウェアにより、アップ / ダウンカウンタの切り替えが可能です。

■ サブアクティブモード、サブスリープモードで動作

内部クロックとして $\phi_w/4$ を選択した場合、もしくは外部クロックを選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

9. タイマ

(2) ブロック図

タイマ C のブロック図を図 9.3 に示します。

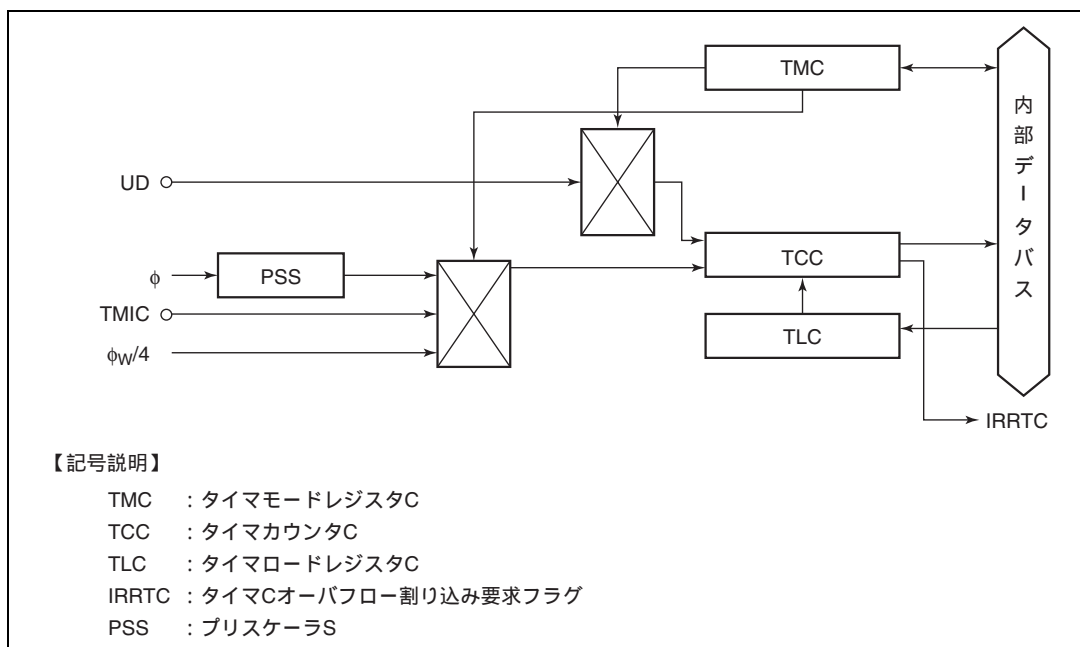


図 9.3 タイマ C ブロック図

(3) 端子構成

タイマ C の端子構成を表 9.8 に示します。

表 9.8 端子構成

名称	略称	入出力	機能
タイマ C イベント入力	TMIC	入力	TCC に入力するイベント入力端子
タイマ C アップ / ダウンセレクト	UD	入力	タイマ C のアップ / ダウンカウントを選択

(4) レジスタ構成

タイマ C のレジスタ構成を表 9.9 に示します。

表 9.9 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ C	TMC	R/W	H'18	H'FFB4
タイマカウンタ C	TCC	R	H'00	H'FFB5
タイマロードレジスタ C	TLC	W	H'00	H'FFB5

9.4.2 各レジスタの説明

(1) タイマモードレジスタ C (TMC)

ビット:	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
初期値:	0	0	0	1	1	0	0	0
R/W :	R/W	R/W	R/W	—	—	R/W	R/W	R/W

TMC は、8 ビットのリード/ライト可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

リセット時、TMC は H'18 に初期化されます。

ビット 7: オートリロード機能選択 (TMC7)

タイマ C のオートリロード機能を選択します。

ビット 7	説 明
TMC7	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット 6、5: カウンタアップ/ダウン制御 (TMC6、TMC5)

TCC のアップ/ダウン制御を UD 端子入力によるハードウェア制御とするか、アップカウンタとするかダウンカウンタとするかを選択します。

ビット 6	ビット 5	説 明
TMC6	TMC5	
0	0	TCC はアップカウンタ (初期値)
	1	TCC はダウンカウンタ
1	*	UD 端子入力によるハードウェア制御 UD 端子入力が High レベル: ダウンカウンタ UD 端子入力が Low レベル: アップカウンタ

【記号説明】

*: Don't care

ビット 4~3: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

9. タイマ

ビット2～0：クロックセレクト（TMC2～TMC0）

TMC2～TMC0は、TCCに入力するクロックを選択します。外部からのイベント入力、立ち上がり／立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説 明
TMC2	TMC1	TMC0	
0	0	0	内部クロック ϕ /8192 でカウント（初期値）
		1	内部クロック ϕ /2048 でカウント
	1	0	内部クロック ϕ /512 でカウント
		1	内部クロック ϕ /64 でカウント
1	0	0	内部クロック ϕ /16 でカウント
		1	内部クロック ϕ /4 でカウント
	1	0	内部クロック $\phi_w/4$ でカウント
		1	外部イベント（TMIC）を立ち上がり／立ち下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ（IEGR）のIEG2により設定します。詳細は、「3.3.2（1） IRQ エッジセレクトレジスタ（IEGR）」を参照してください。なお、TMC2～TMC0を111に設定する前に必ずポートモードレジスタ1（PMR1）のIRQ2を1にセットしてください。

(2) タイマカウンタC（TCC）

ビット：	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCCは、8ビットのリード可能なアップ／ダウンカウンタで、入力する内部クロック／外部イベントによりカウントアップ／ダウンされます。入力するクロックは、TMCのTMC2～TMC0により選択します。TCCの値は、CPUから常にリードできます。

TCCがオーバフロー（H'FF→H'00またはH'FF→TLCの設定値）、またはアンダフロー（H'00→H'FFまたはH'00→TLCの設定値）すると、IRR2のIRRTCが1にセットされます。

TCCは、TLCと同一のアドレスに割り付けられています。

リセット時、TCCはH'00に初期化されます。

(3) タイマロードレジスタ C (TLC)

ビット:	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLC は、8 ビットのライト専用のレジスタで、TCC のリロード値を設定します。TLC にリロード値を設定すると、同時にその値は TCC にもロードされ、TCC はその値からカウントアップ / ダウンを開始します。また、オートリロード動作時、TCC がオーバフロー / アンダフローすると、TCC に TLC の値がロードされます。したがって、オーバフロー / アンダフロー周期を 1 ~ 256 入力クロックの範囲で設定することができます。

TLC は、TCC と同一のアドレスに割り付けられています。

リセット時、TLC は H'00 に初期化されます。

9.4.3 動作説明

(1) インターバルタイマの動作

TMC の TMC7 を 0 にクリアすると、タイマ C は 8 ビットインターバルタイマとして動作します。

リセット時、TCC は H'00、TMC は H'18 に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマ C の動作クロックは、TMC の TMC2 ~ TMC0 により、プリスケアラ S、W の出力する 7 種類の内部クロック、TMIC 入力端子からの外部クロックを選択できます。

また、TCC のカウントアップ / ダウン制御は、TMC の TMC6、TMC5 により、ソフトウェア制御およびハードウェア制御のいずれかが選択可能です。

TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー (アンダフロー) し、IRR2 の IRRTC が 1 にセットされます。このとき、IENR2 の IENTC が 1 ならば CPU に割り込みを要求します。*

オーバフロー (アンダフロー) 時には、TCC のカウント値は H'00 (H'FF) に戻り、再びカウントアップ (ダウン) を開始します。

インターバル動作時 (TMC7 = 0) に TLC を設定すると、同時に TCC にも TLC の値をロードします。

【注】* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) オートリロードタイマの動作

TMC の TMC7 = 1 にセットすると、タイマ C は 8 ビットオートリロードタイマとして動作します。

TLC にリロード値を設定すると、同時にその値が TCC にロードされ、TCC はその値からカウントアップ / ダウンを開始します。TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー (アンダフロー) し、TLC の値が TCC にロードされ、その値からカウントアップ (ダウン) を続けます。したがって、TLC の値により、オーバフロー (アンダフロー) 周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ / ダウン制御、割り込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMC7 = 1) に TLC の値を再設定すると、同時に TCC にも TLC の値をロードします。

9. タイマ

(3) イベントカウンタ

タイマ C は、TMC 端子をイベント入力端子とするイベントカウンタとして動作します。TMC の TMC2～TMC0 を 111 に設定すると、外部イベント動作が選択され、TCC は、TMC 端子入力の立ち上がり / 立ち下がりエッジでカウントアップ / ダウンします。

外部イベント入力を使用する場合は、PMR1 の IRQ2 を 1 にセットし、かつ IENR1 の IEN2 を 0 とし、IRQ₂ 割り込み要求を禁止してください。

(4) ハードウェアによる TCC アップ / ダウン制御

タイマ C は、UD 端子入力による TCC のカウントアップ / ダウン制御ができます。TMC の TMC6 を 1 とすると、UD 端子入力が、High レベルならばダウンカウンタ、Low レベルならばアップカウンタとして動作します。

UD 端子入力を使用する場合は、PMR2 の UD を 1 にセットしてください。

9.4.4 タイマ C の動作モード

タイマ C の動作モードを表 9.10 に示します。

表 9.10 タイマ C の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCC	インターバル	リセット	動作	動作	停止	動作 / 停止*	動作 / 停止*	停止
	オートリロード	リセット	動作	動作	停止	動作 / 停止*	動作 / 停止*	停止
TMC		リセット	動作	保持	保持	動作	保持	保持

【注】 * アクティブモード、スリープモード時に、TCC の内部クロックとして $\phi_w/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s) の誤差が生じます。

サブアクティブモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\phi_w/4$ を選択するか、または外部クロックを選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。また、サブクロック

ϕ_{SUB} として $\phi_w/8$ を選択時にカウンタの内部クロックとして $\phi_w/4$ を選択した場合、カウンタの下位 2 ビットは同じ周期で動作し、最下位ビットの動作はカウンタ動作とは無関係となります。

9.5 タイマ F

9.5.1 概要

タイマ F は、アウトプットコンペア機能を内蔵した 16 ビットのタイマです。外部イベントのカウントが可能のほか、コンペアマッチ信号によりカウンタのリセット、割り込み要求、トグル出力などが可能です。また、2 本の独立した 8 ビットタイマ (タイマ FH、タイマ FL) としても動作可能です。

(1) 特長

タイマ F の特長を以下に示します。

■ 5 種類のクロックを選択可能

4 種類の内部クロック ($\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$) と、外部クロックからの選択が可能です (外部イベントのカウントが可能)。

■ トグル出力機能

1 本のコンペアマッチ信号により、TMOFH 端子にトグル出力します (トグル出力の初期値を設定可能)。

■ コンペアマッチ信号によるカウンタリセット

■ 割り込み要因：コンペアマッチ×1 要因、オーバーフロー×1 要因

■ 2 本の独立した 8 ビットタイマとして動作可能

2 本の独立した 8 ビットタイマ (タイマ FH、タイマ FL) としても動作が可能です (8 ビットモード時)。

	タイマ FH 8 ビットタイマ*	タイマ FL 8 ビットタイマ / イベントカウンタ
内部クロック	4 種類 ($\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$)	
イベント入力	—	TMIF 端子
トグル出力	コンペアマッチ信号×1 本 TMOFH 端子に出力 (初期値を設定可能)	コンペアマッチ信号×1 本 TMOFL 端子に出力 (初期値を設定可能)
カウンタリセット	コンペアマッチ信号により、カウンタのリセットが可能	
割り込み要因	コンペアマッチ×1 要因 オーバーフロー×1 要因	

【注】 * 16 ビットタイマとして動作する場合はタイマ FL のオーバーフロー信号により動作します。

9. タイマ

(2) ブロック図

タイマFのブロック図を図9.4に示します。

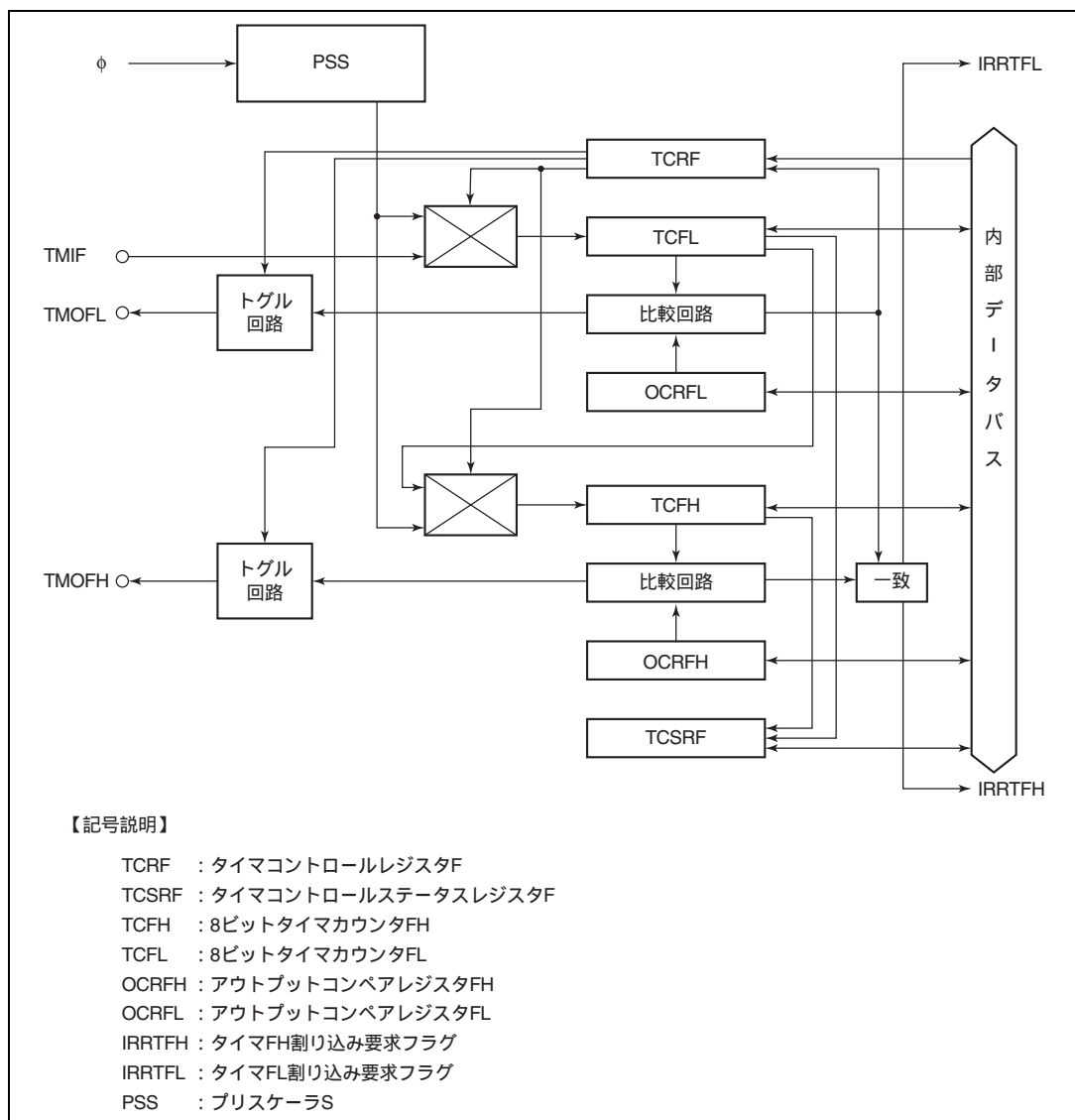


図 9.4 タイマFのブロック図

(3) 端子構成

タイマ F の端子構成を表 9.11 に示します。

表 9.11 端子構成

名称	略称	入出力	機能
タイマ F イベント入力	TMIF	入力	TCFL に入力するイベント入力端子
タイマ FH 出力	TMOFH	出力	タイマ FH トグル出力端子
タイマ FL 出力	TMOFL	出力	タイマ FL トグル出力端子

(4) レジスタ構成

タイマ F のレジスタ構成を表 9.12 に示します。

表 9.12 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロールレジスタ F	TCRF	W	H'00	H'FFB6
タイマコントロールステータスレジスタ F	TCSRf	R/W	H'00	H'FFB7
8 ビットタイマカウンタ FH	TCFH	R/W	H'00	H'FFB8
8 ビットタイマカウンタ FL	TCFL	R/W	H'00	H'FFB9
アウトプットコンペアレジスタ FH	OCRfH	R/W	H'FF	H'FFBA
アウトプットコンペアレジスタ FL	OCRfL	R/W	H'FF	H'FFBB

9.5.2 各レジスタの説明

(1) 16 ビットタイマカウンタ (TCF)

8 ビットタイマカウンタ (TCFH)

8 ビットタイマカウンタ (TCFL)

	TCF															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	TCFH								TCFL							

TCF は 16 ビットのリード/ライト可能なアップカウンタで、8 ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位 8 ビットを TCFH、下位 8 ビットを TCFL とする 16 ビットカウンタとして使用できるほか、TCFH、TCFL を独立した 8 ビットカウンタとして使用することもできます。

TCFH、TCFL は、CPU からリード/ライト可能ですが、16 ビットモードで使用する場合、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMP の詳細は「9.5.3 CPU とのインタフェース」を参照してください。

リセット時、TCFH、TCFL はおののおの H'00 に初期化されます。

9. タイマ

(a) 16ビットモード (TCF)

TCRF の CKSH2 を 0 に設定すると、TCF は 16 ビットカウンタとして動作します。TCF の入力クロックは、TCRF の CKSL2 ~ CKSL0 により選択します。

TCSR の CCLR の CCLR により、コンパリアマッチ時に TCF をクリアすることができます。

TCF がオーバーフロー (H'FFFF→H'0000) すると、TCSR の OVIFH が 1 にセットされます。このとき TCSR の OVIEH が 1 の場合、IRR2 の IRRIFH が 1 にセットされ、さらに IENR2 の IENIFH が 1 ならば CPU に割り込みを要求します。

(b) 8ビットモード (TCFL/TCFH)

TCRF の CKSH2 を 1 に設定すると、TCFH、TCFL は 2 本の独立した 8 ビットカウンタとして動作します。TCFH (TCFL) の入力クロックは、TCRF の CKSH2 ~ CKSH0 (CKSL2 ~ CKSL0) により選択します。

TCSR の CCLR (CCLRL) により、コンパリアマッチ時に TCFH (TCFL) をクリアすることができます。

TCFH (TCFL) がオーバーフロー (H'FF→H'00) すると、TCSR の OVIFH (OVIFL) が 1 にセットされます。このとき TCSR の OVIEH (OVIEL) が 1 の場合、IRR2 の IRRIFH (IRRIFL) が 1 にセットされ、さらに IENR2 の IENIFH (IENIFL) が 1 ならば CPU に割り込みを要求します。

(2) 16ビットアウトプットコンパリアレジスタ (OCRIF)

8ビットアウトプットコンパリアレジスタ (OCRIFH)

8ビットアウトプットコンパリアレジスタ (OCRIFL)

OCRIF																
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	OCRIFH								OCRIFL							

OCRIF は 16 ビットのリード/ライト可能な 2 本のレジスタ (OCRIFH、OCRIFL) により構成されています。上位 8 ビットを OCRIFH、下位 8 ビットを OCRIFL とする 16 ビットレジスタとして使用できるほか、OCRIFH、OCRIFL を独立した 8 ビットレジスタとして使用することもできます。

OCRIFH、OCRIFL は、CPU からリード/ライト可能ですが、16 ビットモードで使用する場合、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMP の詳細は「9.5.3 CPU とのインタフェース」を参照してください。

リセット時、OCRIFH、OCRIFL はおののお H'FF に初期化されます。

(a) 16ビットモード (OCRF)

TCRF の CKSH2 を 0 に設定すると、OCRF は 16 ビットレジスタとして動作します。OCRF の内容は、TCF と常に比較されており、両者の値が一致すると、TCSR の CMFH が 1 にセットされます。また、同時に IRR2 の IRRTFH も 1 にセットされます。このとき IENR2 の IENTFH が 1 ならば CPU に割り込みを要求します。

コンペアマッチによるトグル出力を TMOFH 端子より出力することができます。また、TCRF の TOLH により、出力レベル (High/Low) の設定が可能です。

(b) 8ビットモード (OCRFH/OCRFL)

TCRF の CKSH2 を 1 に設定すると、OCRF は 2 本の 8 ビットレジスタとして動作します。OCRFH の内容は TCFH と、また OCRFL の内容は TCFL とそれぞれ個別に比較されます。OCRFH (OCRFL) と TCFH (TCFL) の値が一致すると、TCSR の CMFH (CMFL) が 1 にセットされます。また、同時に IRR2 の IRRTFH (IRRTFL) も 1 にセットされます。このとき、IENR2 の IENTFH (IENTFL) が 1 ならば CPU に割り込みを要求します。

コンペアマッチによるトグル出力を TMOFH 端子 (TMOFL 端子) より出力することができます。また、TCRF の TOLH (TOLL) により、出力レベル (High/Low) の設定が可能です。

(3) タイマコントロールレジスタ F (TCRF)

ビット:	7	6	5	4	3	2	1	0
	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TCRF は、8 ビットのライト専用のレジスタです。16 ビットモード、8 ビットモードの切り替え、4 種類の内部クロックおよび外部イベントの選択、TMOFH、TMOFL 端子の出力レベルの設定を行います。

リセット時、TCRF は H'00 に初期化されます。

ビット 7: トグルアウトプットレベル H (TOLH)

TMOFH 端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット 7	説明
TOLH	
0	Low レベル (初期値)
1	High レベル

9. タイマ

ビット 6～4：クロックセレクト H (CKSH2～CKSH0)

TCFH に入力するクロックを内部 4 種類、または TCFL のオーバフローから選択します。

ビット 6	ビット 5	ビット 4	説 明
CKSH2	CKSH1	CKSH0	
0	*	*	16 ビットモードとなり、TCFL のオーバフロー信号でカウント (初期値)
1	0	0	内部クロック： $\phi/32$ でカウント
		1	内部クロック： $\phi/16$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
		1	内部クロック： $\phi/2$ でカウント

【記号説明】

* : Don't care

ビット 3：トグルアウトブットレベル L (TOLL)

TMOFL 端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット 3	説 明
TOLL	
0	Low レベル (初期値)
1	High レベル

ビット 2～0：クロックセレクト L (CKSL2～CKSL0)

TCFL に入力するクロックを、内部 4 種類または外部イベントから選択します。

ビット 2	ビット 1	ビット 0	説 明
CKSL2	CKSL1	CKSL0	
0	*	*	外部イベント (TMIF) の立ち上がり / 立ち下がりエッジでカウント* ¹ (初期値)
1	0	0	内部クロック： $\phi/32$ でカウント
		1	内部クロック： $\phi/16$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
		1	内部クロック： $\phi/2$ でカウント

【記号説明】

* : Don't care

【注】 *¹ 外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG3 により設定します。
詳細は、「3.3.2 (1) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。
なお、TMIF 端子の機能切り替えのために TMIF 端子が Low レベルの状態ポートモードレジスタ 1 (PMR1) の IRQ3 を 0 から 1 または 1 から 0 に設定変更した場合に、タイマ F のカウンタがカウントアップされることがありますので注意してください。

(4) タイマコントロールステータスレジスタ F (TCSR F)

ビット:	7	6	5	4	3	2	1	0
	OVFH	CMFH	OVIEH	CCLR H	OVFL	CMFL	OVIEL	CCLRL
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W	R/W	R/W*	R/W*	R/W	R/W

【注】* フラグクリアのための0ライトのみ可能です。

TCSR F は、8 ビットのリード/ライト可能なレジスタです。カウンタクリアの選択、オーバフローフラグのセット、コンペアマッチフラグのセット、オーバフローによる割り込み要求の許可の制御を行います。

リセット時、TCSR F は H'00 に初期化されます。

ビット 7: タイマオーバフローフラグ H (OVFH)

TCFH がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 7	説 明
OVFH	
0	[クリア条件] OVFH = 1 の状態で、OVFH をリードした後、OVFH に 0 をライトしたとき (初期値)
1	[セット条件] TCFH の値が、H'FF→H'00 になったとき

ビット 6: コンペアマッチフラグ H (CMFH)

TCFH と OCRFH がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 6	説 明
CMFH	
0	[クリア条件] CMFH = 1 の状態で、CMFH をリードした後、CMFH に 0 をライトしたとき (初期値)
1	[セット条件] TCFH の値と OCRFH の値が、コンペアマッチしたとき

9. タイマ

ビット 5 : タイマオーバフローインタラプトイネーブル H (OVIEH)

TCFH のオーバフローが発生したとき、割り込みの許可または禁止を選択します。

ビット 5	説 明
OVIEH	
0	TCFH のオーバフローによる割り込み要求を禁止 (初期値)
1	TCFH のオーバフローによる割り込み要求を許可

ビット 4 : カウンタクリア H (CCLR H)

16 ビットモード時、TCF と OCRF がコンペアマッチしたとき、TCF をクリアするかしないかを選択します。

8 ビットモード時、TCFH と OCRFH がコンペアマッチしたとき、TCFH をクリアするかしないかを選択します。

ビット 4	説 明
CCLR H	
0	16 ビットモード : コンペアマッチによる TCF のクリアを禁止 8 ビットモード : コンペアマッチによる TCFH のクリアを禁止 (初期値)
1	16 ビットモード : コンペアマッチによる TCF のクリアを許可 8 ビットモード : コンペアマッチによる TCFH のクリアを許可

ビット 3 : タイマオーバフローフラグ L (OVFL)

TCFL がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 3	説 明
OVFL	
0	[クリア条件] OVFL = 1 の状態で、OVFL をリードした後、OVFL に 0 をライトしたとき (初期値)
1	[セット条件] TCFL の値が、H'FF→H'00 になったとき

ビット 2 : コンペアマッチフラグ L (CMFL)

TCFL と OCRFL がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 2	説 明
CMFL	
0	[クリア条件] CMFL = 1 の状態で、CMFL をリードした後、CMFL に 0 をライトしたとき (初期値)
1	[セット条件] TCFL の値と OCRFL の値が、コンペアマッチしたとき

ビット 1 : タイマオーバーフローインタラプトイネーブル L (OVIEL)

TCFL のオーバーフローが発生したとき、割り込みの許可または禁止を選択します。

ビット 1	説 明
OVIEL	
0	TCFL のオーバーフローによる割り込み要求を禁止 (初期値)
1	TCFL のオーバーフローによる割り込み要求を許可

ビット 0 : カウンタクリア L (CCLRL)

TCFL と OCRFL がコンペアマッチしたとき、TCFL をクリアするかしないかを選択します。

ビット 0	説 明
CCLRL	
0	コンペアマッチによる TCFL のクリアを禁止 (初期値)
1	コンペアマッチによる TCFL のクリアを許可

9.5.3 CPU とのインタフェース

TCF、OCRF は 16 ビットのリード/ライト可能なレジスタで構成されています。一方、CPU と内蔵周辺モジュール間のデータバスは、8 ビット幅となっています。したがって CPU が TCF、OCRF をアクセスする場合、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

16 ビットモードで TCF のリード/ライト、OCRF のライトを行うときは、必ず 16 ビット単位 (バイトサイズの MOV 命令を 2 回連続で行う) で行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

なお、8 ビットモードでは特にアクセスの順序に制限はありません。

(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP に転送されます。

次に下位バイトのライトで、TEMP にあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

TCF に H'AA55 をライトするときの TCF のライト動作を図 9.5 に示します。

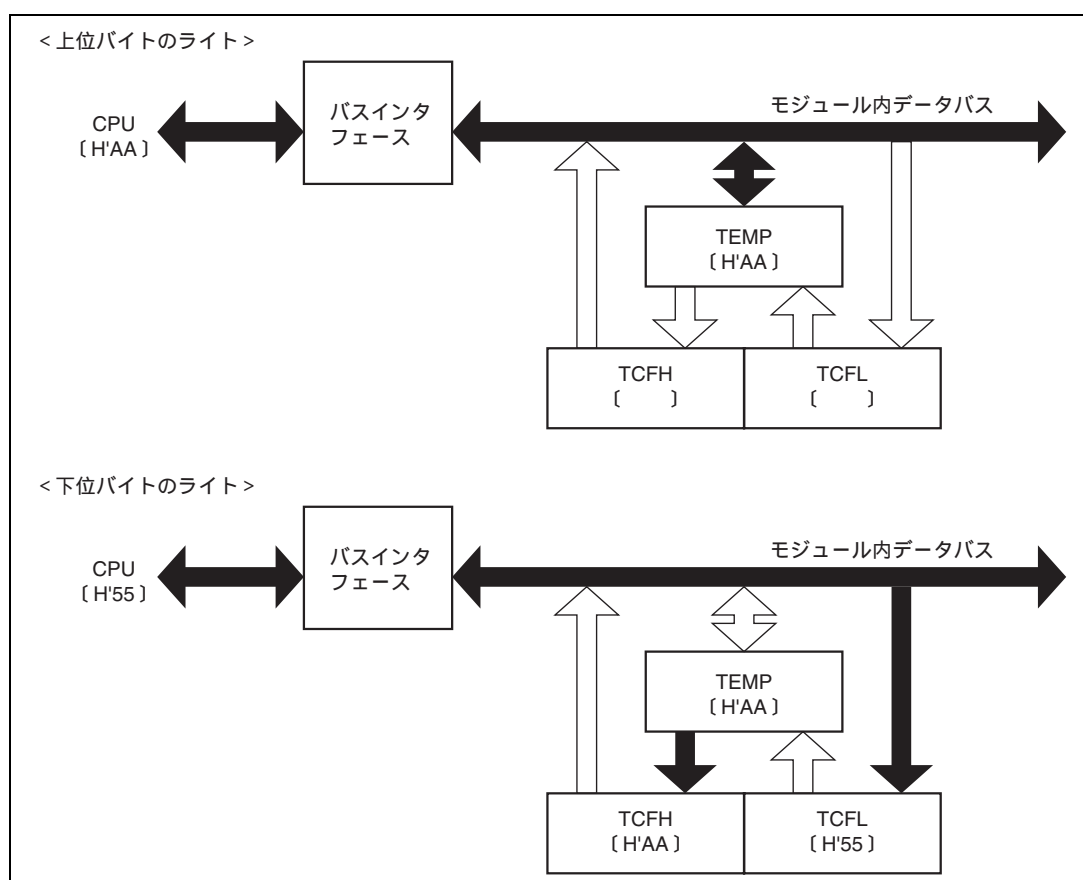


図 9.5 TCF のライト動作 (CPU→TCF)

(2) リード時の動作

TCF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送され、下位バイトのデータは TEMP に転送されます。

次に下位バイトのリードで、TEMP にある下位バイトのデータが CPU に転送されます。OCRF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送されます。下位バイトのリードで、下位バイトのデータは直接 CPU に転送されます。

H'AAFF である TCF をリードしたときの TCF のリード動作を図 9.6 に示します。

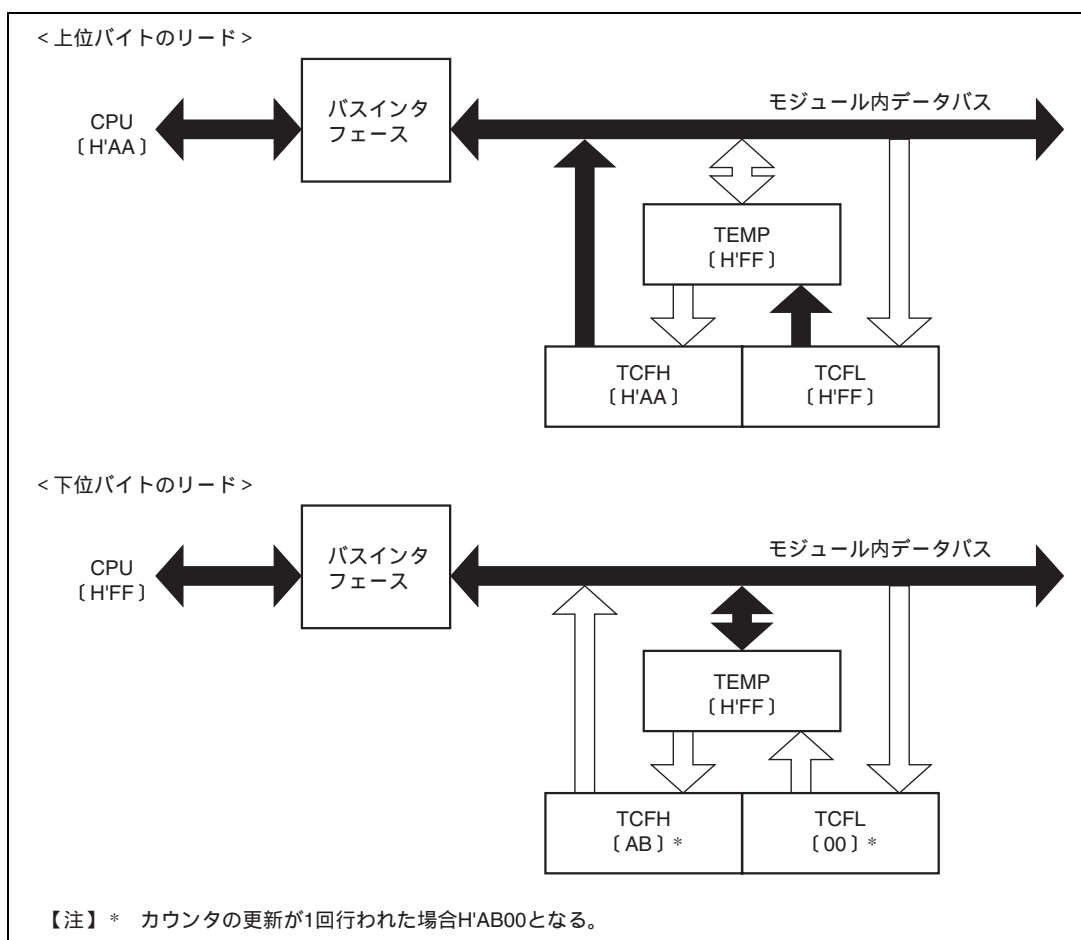


図 9.6 TCF のリード動作 (TCF→CPU)

9.5.4 動作説明

タイマ F は、入力クロックが入るたびにカウントアップする 16 ビットのカウンタで、アウトプットコンペアレジスタ F に設定した値とタイマカウンタ F の値を常に比較しており、一致したタイミングでカウンタのクリア、割り込み要求、およびポートのトグル出力が可能です。また、2 本の独立した 8 ビットタイマとしても機能できます。

(1) タイマ F の動作

タイマ F には、16 ビットタイマモードと 8 ビットタイマモードの 2 種類の動作モードがあります。それぞれのモードの動作について以下に説明します。

(a) 16 ビットタイマモードの動作

タイマコントロールレジスタ F (TCRF) の CKSH2 ビットを 0 に設定すると、タイマ F は 16 ビットのタイマとして動作します。

リセット直後、タイマカウンタ F (TCF) は H'0000 に、アウトプットコンペアレジスタ F (OCR F) は H'FFFF に、タイマコントロールレジスタ F (TCRF)、タイマコントロールステータスレジスタ F (TCSR F) は H'00 に初期化されます。カウンタは、外部イベント (TMIF) からの入力によりカウントアップを開始します。外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG3 により設定します。

タイマ F の動作クロックは、TCRF の CKSL2 ~ CKSL0 ビットによりプリスケアラ S の出力する 4 種類の内部クロック、または外部クロックを選択できます。

TCF と OCR F の内容は常に比較されており、両者が一致すると TCSR F の CMFH が 1 にセットされます。このとき IENR2 の IENTFH が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子の出力をトグルします。また、TCSR F の CCLR H が 1 ならば TCF をクリアします。なお、TMOFH 端子の出力は TCR F の TOLH により設定できます。

TCF がオーバフロー (H'FFFF→H'0000) すると、TCSR F の OVFH がセットされます。このとき、TCSR F の OVIEH と IENR2 の IENTFH がともに 1 ならば CPU に割り込みを要求します。

(b) 8 ビットタイマモードの動作

TCRF の CKSH2 を 1 に設定すると、TCF は TCFH、TCFL の 2 本の独立した 8 ビットタイマとして動作します。TCFH/TCFL の入力クロックは、TCRF の CKSH2 ~ CKSH0/CKSL2 ~ CKSL0 により選定します。

OCR F H/OCR F L と TCF H/TCF L の値が一致すると、TCSR F の CMFH/CMFL が 1 にセットされます。また、IENR2 の IENTFH/IENTFL が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子/TMOFL 端子の出力をトグルします。また、TCRF の CCLR H/CCLR L が 1 ならば、TCFH/TCFL をクリアします。なお、TMOFH 端子 / TMOFL 端子の出力は、TCRF の TOLH/TOLL により設定できます。

TCFH/TCFL がオーバフロー (H'FF→H'00) すると、TCSR F の OVFH/OVFL が 1 にセットされます。このとき、TCSR F の OVIEH/OVIEL と IENR2 の IENTFH/IENTFL がともに 1 ならば、CPU に割り込みを要求します。

(2) TCF のカウントタイミング

TCF は、入力されたクロック(内部クロックまたは外部イベント)によりカウントアップされます。

(a) 内部クロック動作の場合

TCRF の CKSH2 ~ CKSH0 または CKSL2 ~ CKSL0 の設定により、システムクロック (ϕ) を分周して作られる 4 種類の内部クロック ($\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$) が選択されます。

(b) 外部イベント動作の場合

TCRF の CKSL2 を 0 に設定することにより、外部イベント入力を選択されます。外部イベントは立ち上がり / 立ち下がりエッジのどちらでもカウントアップが可能です。外部イベントのエッジ選択は、割り込みコントローラの IEGR の IEG3 で設定します。なお、外部イベントのパルス幅は 2 システムクロック (ϕ) 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

(3) TMOFH、TMOFL 出力タイミング

TMOFH、TMOFL の出力は、TCRF の TOLH、TOLL で設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図 9.7 に出力タイミングを示します。

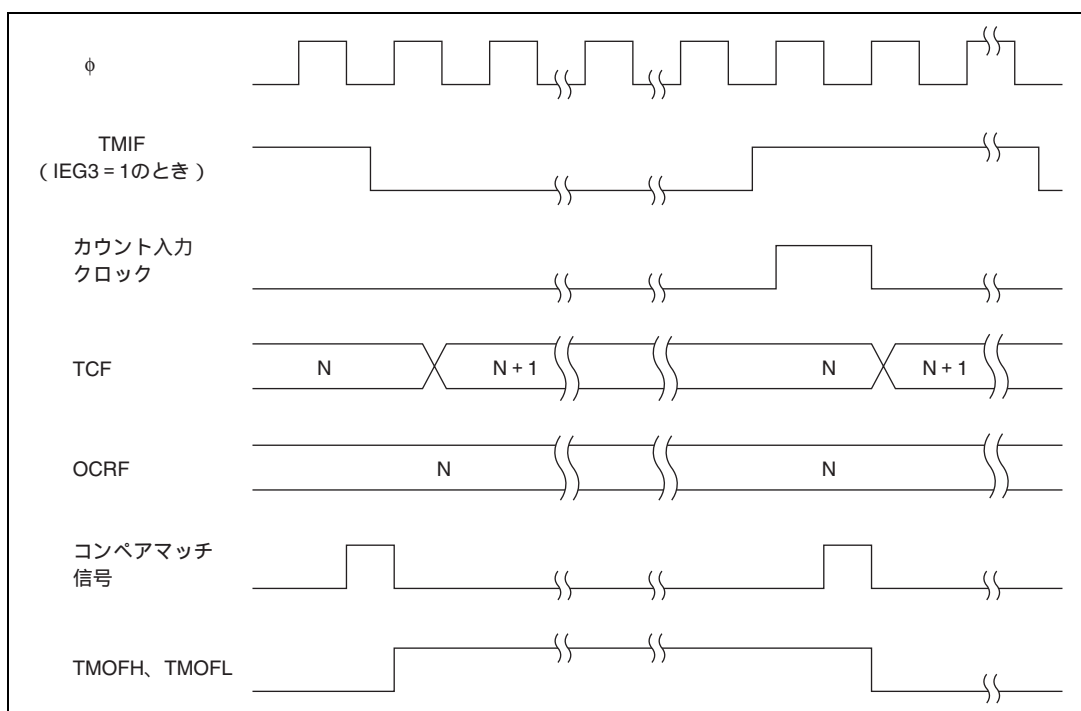


図 9.7 TMOFH、TMOFL 出力タイミング

9. タイマ

(4) TCF のクリアタイミング

TCF は、OCR_F とのコンペアマッチ時にクリアすることができます。

(5) タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、TCF がオーバフロー (H'FFFF→H'0000) したとき 1 にセットされます。

(6) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMF_H または CMF_L) は、TCF と OCR_F のコンペアマッチ時に 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCF が一致したカウント値を更新するタイミング) で発生します。TCF と OCR_F が一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

(7) タイマ F の動作モード

タイマ F の動作モードを表 9.13 に示します。

表 9.13 タイマ F の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCF	リセット	動作	動作	停止	停止	停止	停止
OCR _F	リセット	動作	保持	保持	保持	保持	保持
TCR _F	リセット	動作	保持	保持	保持	保持	保持
TCSR _F	リセット	動作	保持	保持	保持	保持	保持

9.5.5 使用上の注意事項

タイマ F の動作中、次のような競合や動作が起こりますので注意してください。

(1) 16 ビットタイマモード

トグル出力は 16 ビットすべてが一致し、コンペアマッチ信号が発生したとき TMOF_H 端子から出力されます。MOV 命令による TCR_F のライトと、コンペアマッチ信号が同時に起こった場合、TCR_F のライトによる TOLH のデータが TMOF_H 端子に出力されます。TMOF_L 端子は 16 ビットモード時には出力は不定となりますので使用しないでください。ポートとしてご使用ください。

OCR_F_L のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCF_L のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16 ビットすべてが一致し、コンペアマッチ信号が発生したとき CMF_H にセットされますが、CMF_L についても下位 8 ビットについてのセット条件が満たされていればセットされます。

TCF がオーバフローすると OVF_H がセットされますが、OVF_L についても下位 8 ビットがオーバフローした時点で、セット条件が満たされていればセットされます。TCF_L のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(2) 8ビットタイマモード

(a) TCFH、OCRFH

トグル出力は、コンペアマッチ時に TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。

OCRFH のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFH のクロックに同期して出力されます。

TCFH のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(b) TCFL、OCRFL

トグル出力は、コンペアマッチ時に TMOFL 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLL のデータが TMOFL 端子に出力されます。

OCRFL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFL のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

9.6 ウォッチドッグタイマ【H8/3857F、H8/3854F のみ】

9.6.1 概要

ウォッチドッグタイマ (Watchdog Timer) は、入力クロックが入るたびに、カウンタアップする 8 ビットのカウンタを備えており、システムの暴走などによりカウンタの値が書き換えられずオーバフローすると、LSI 内部をリセットできる機能を備えています。

本ウォッチドッグタイマはフラッシュメモリ書き換え制御プログラムで利用します。

(1) 特長

ウォッチドッグタイマの特長を以下に示します。

■ 8 種類のクロックを選択可能

8 種類の内部クロック ($\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$) の選択が可能です。

■ カウンタのオーバフローでリセット信号を発生

オーバフロー周期は、選択したクロックの 1 倍から 256 倍までを設定可能です。

9. タイマ

(2) ブロック図

ウォッチドッグタイマのブロック図を図 9.8 に示します。

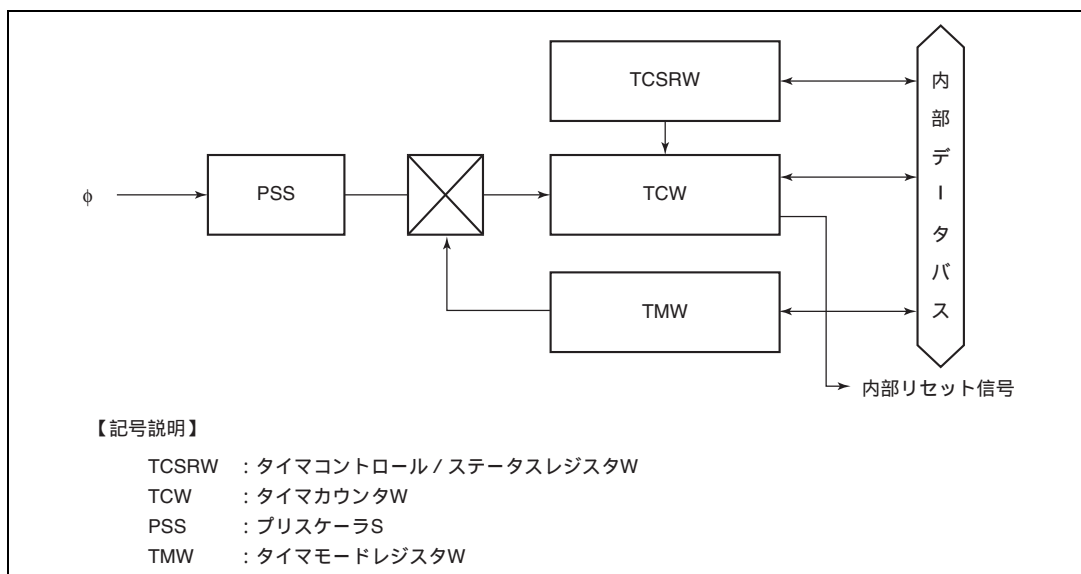


図 9.8 ウォッチドッグタイマのブロック図

(3) レジスタ構成

ウォッチドッグタイマのレジスタ構成を表 9.14 に示します。F-ZTAT 版のみ有効です。マスク ROM 版では当該アドレスをリードすると常に 1 が読み出されます。ライトは無効です。

表 9.14 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロール/ステータスレジスタ W	TCSRW	R/W	H'AA	H'FF90
タイマカウンタ W	TCW	R/W	H'00	H'FF91
タイマモードレジスタ W	TMW	R/W	H'FF	H'FF92

9.6.2 各レジスタの説明

(1) タイマコントロール/ステータスレジスタ W (TCSRW)

ビット:	7	6	5	4	3	2	1	0
	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST
初期値:	1	0	1	0	1	0	1	0
R/W :	R	R/(W)*	R	R/(W)*	R	R/(W)*	R	R/(W)*

【注】* 書き込みの条件が成立している場合にのみ、書き込み可能となります。書き込み条件については、各ビットの説明を参照してください。

TCSRW は、8 ビットのリード/ライト可能なレジスタで TCSRW、TCW の書き込み制御、ウォッチドッグタイマの動作制御、動作状態を示すレジスタです。

ビット 7: ビット 6 書き込み禁止 (B6WI)

TCSRW のビット 6 へのデータの書き込みを制御します。

ビット 7	説 明
B6WI	
0	ビット 6 への書き込みを許可
1	ビット 6 への書き込みを禁止 (初期値)

本ビットはリードすると常に 1 が読み出されます。ライトしても、データは格納されません。

ビット 6: タイマカウンタ W 書き込み許可 (TCWE)

TCW への 8 ビットデータの書き込みを制御します。

ビット 6	説 明
TCWE	
0	TCW への 8 ビットデータの書き込みを禁止 (初期値)
1	TCW への 8 ビットデータの書き込みを許可

ビット 5: ビット 4 書き込み禁止 (B4WI)

TCSRW のビット 4 へのデータの書き込みを制御します。

ビット 5	説 明
B4WI	
0	ビット 4 への書き込みを許可
1	ビット 4 への書き込みを禁止 (初期値)

本ビットはリードすると常に 1 が読み出されます。ライトしてもデータは格納されません。

9. タイマ

ビット4：タイマコントロール/ステータスレジスタ W 書き込み許可 (TCSRWE)

TCSRW のビット2 およびビット0 へのデータの書き込みを制御します。

ビット4	説 明
TCSRWE	
0	ビット2 およびビット0 への書き込みを禁止 (初期値)
1	ビット2 およびビット0 への書き込みを許可

ビット3：ビット2 書き込み禁止 (B2WI)

TCSRW のビット2 へのデータの書き込みを制御します。

ビット3	説 明
B2WI	
0	ビット2 への書き込みを許可
1	ビット2 への書き込みを禁止 (初期値)

本ビットはリードすると常に1 が読み出されます。ライトしてもデータは格納されません。

ビット2：ウォッチドッグタイマオン (WDON)

ウォッチドッグタイマの動作を許可します。

ビット2	説 明
WDON	
0	ウォッチドッグタイマの動作を禁止 (初期値) [クリア条件] リセット、または TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 0 をライトしたとき
1	ウォッチドッグタイマの動作を許可 [セット条件] TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 1 をライトしたとき

本ビットを1 にセットすると、カウントアップを開始します。また、本ビットを0 にクリアすると、カウントアップを停止します。

ビット1：ビット0 書き込み禁止 (B0WI)

タイマコントロール/ステータスレジスタ W のビット0 へのデータの書き込みを制御します。

ビット1	説 明
B0WI	
0	ビット0 への書き込みを許可
1	ビット0 への書き込みを禁止 (初期値)

本ビットはリードすると常に1 が読み出されます。ライトしてもデータは格納されません。

ビット0：ウォッチドッグタイマリセット（WRST）

TCW がオーバーフローし、内部リセット信号が発生したことを示します。オーバーフローしたことにより発生した内部リセット信号は、LSI 全体をリセットします。

WRST は、 $\overline{\text{RES}}$ 端子によるリセット、またはソフトウェアによる 0 ライトによりクリアされます。

ビット0	説 明
WRST	
0	[クリア条件] (初期値) (1) $\overline{\text{RES}}$ 端子によるリセット (2) TCSRWE=1 の状態で、B0WI に 0 をライトしながら WRST に 0 をライトしたとき
1	[セット条件] TCW がオーバーフローし、内部リセット信号が発生したとき

(2) タイマカウンタ W (TCW)

ビット：	7	6	5	4	3	2	1	0
	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCW は、8 ビットのリード/ライト可能なアップカウンタで、入力する内部クロックによりカウントアップされます。TCW の値は CPU から常にリード/ライトできます。

TCW がオーバーフロー（H'FF→H'00）すると、内部リセット信号が発生し、TCSRW の WRST が 1 にセットされます。リセット時、TCW は H'00 に初期化されます。

(3) タイマモードレジスタ W (TMW)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	CKS2	CKS1	CKS0
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	R/W	R/W	R/W

TMW は、8 ビットのリード/ライト可能なレジスタで、入力クロックの選択を行います。

リセット時、TMW は H'FF に初期化されます。

ビット7～3：リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

9. タイマ

ビット2～0：クロックセレクト2～0（CKS2～CKS0）

TCW に入力するクロックを選択します。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	内部クロック： $\phi/64$ でカウント
		1	内部クロック： $\phi/128$ でカウント
	1	0	内部クロック： $\phi/256$ でカウント
		1	内部クロック： $\phi/512$ でカウント
1	0	0	内部クロック： $\phi/1024$ でカウント
		1	内部クロック： $\phi/2048$ でカウント
	1	0	内部クロック： $\phi/4096$ でカウント
		1	内部クロック： $\phi/8192$ でカウント（初期値）

9.6.3 動作説明

ウォッチドッグタイマは、入力クロックが入るたびにカウントアップする 8 ビットのカウンタを備えています。TCSRW の TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 1 をライトすると、TCW はカウントアップを開始します。TCW のカウント値が、H'FF になった後、クロックが入力されると、ウォッチドッグタイマはオーバフローし、基準クロック ϕ の 1 クロック経過後に内部リセット信号を発生します。内部リセット信号は ϕ_{osc} クロックで 512 クロック分の時間出力されます。TCW はライト可能なカウンタですので、TCW に値を設定すると、その値からカウントアップを行います。したがって、TCW の値により、オーバフロー周期を 1～256 入力クロックの範囲で設定できます。

ウォッチドッグタイマ動作例を図 9.9 に示します。

(例) $\phi = 4\text{MHz}$ でオーバーフロー周期を30msとする場合 ($\phi/8192$ を選択)

$$\frac{4 \times 10^6}{8192} \times 30 \times 10^{-3} = 14.6$$

したがって、TCWには $256 \div 15 = 241$ (H'F1) をセットする。

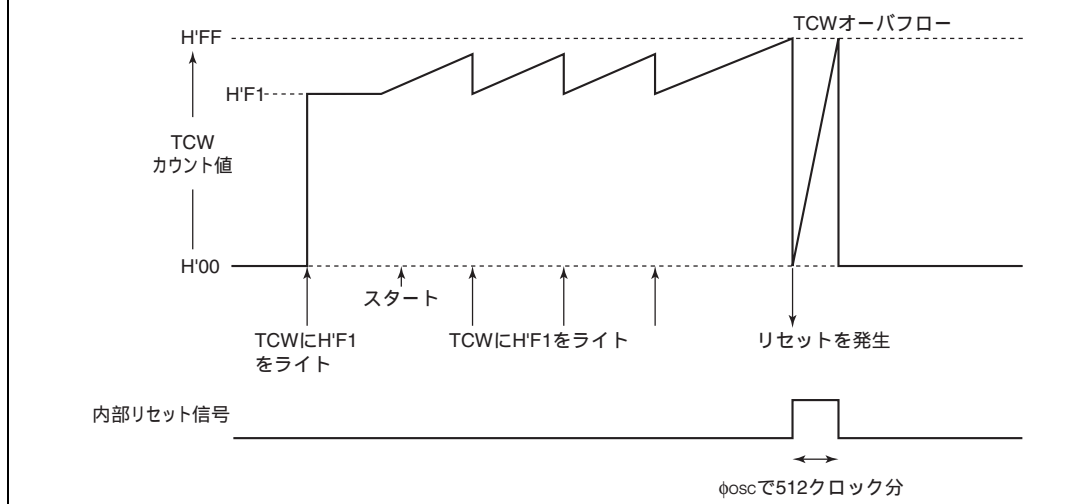


図 9.9 ウォッチドッグタイマの動作例

9.6.4 ウォッチドッグタイマの動作モード

ウォッチドッグタイマの動作モードを表 9.15 に示します。

表 9.15 ウォッチドッグタイマの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCW	リセット	動作	動作	停止	停止	停止	停止
TCSRW	リセット	動作	動作	保持	保持	保持	保持
TMW	リセット	動作	保持	保持	保持	保持	保持

10. シリアルコミュニケーションインタフェース

10.1 概要

H8/3857 グループは 2 チャンネル、H8/3854 グループは 1 チャンネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。

2 チャンネルの SCI の機能概要を表 10.1 に示します。

表 10.1 SCI の機能概要

SCI の名称	機能	特長
SCI1*	<u>クロック同期式シリアル転送機能</u> - 転送データ長を選択可能（8 ビット / 16 ビット） - クロック連続出力機能	8 種類の内部クロック（$\phi/1024 \sim \phi/2$）と外部クロックを選択可能 - オープンドレイン出力可能 - 転送完了で割り込み発生
SCI3	<u>クロック同期式シリアル転送機能</u> - 転送データ長 8 ビット - 送信 / 受信 / 同時送受信 <u>調歩同期式シリアル転送機能</u> - マルチプロセス通信機能 - 転送データ長を選択可能（7 ビット / 8 ビット） - ストップビット長を選択可能（1 ビット / 2 ビット） - パリティ付加機能	- ボーレートジェネレータ内蔵 - 受信エラーの検出 - ブレークの検出 - 転送完了またはエラーで割り込み発生

【注】 * SCI1 は H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

10.2 SCI1【H8/3857 グループのみ】

10.2.1 概要

SCI1（シリアルコミュニケーションインタフェース 1）は、8 ビット / 16 ビットデータのクロック同期式シリアル転送を行います。

SCI1 は H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

(1) 特長

SCI1 の特長を以下に示します。

- 8 ビットおよび 16 ビットの転送データ長を選択可能
- クロックソースとして 8 種類の内部クロック（ $\phi/1024$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ ）と外部クロックが選択可能
- 転送の完了で割り込み要求を発生

10. シリアルコミュニケーションインタフェース

(2) ブロック図

SCI1 のブロック図を図 10.1 に示します。

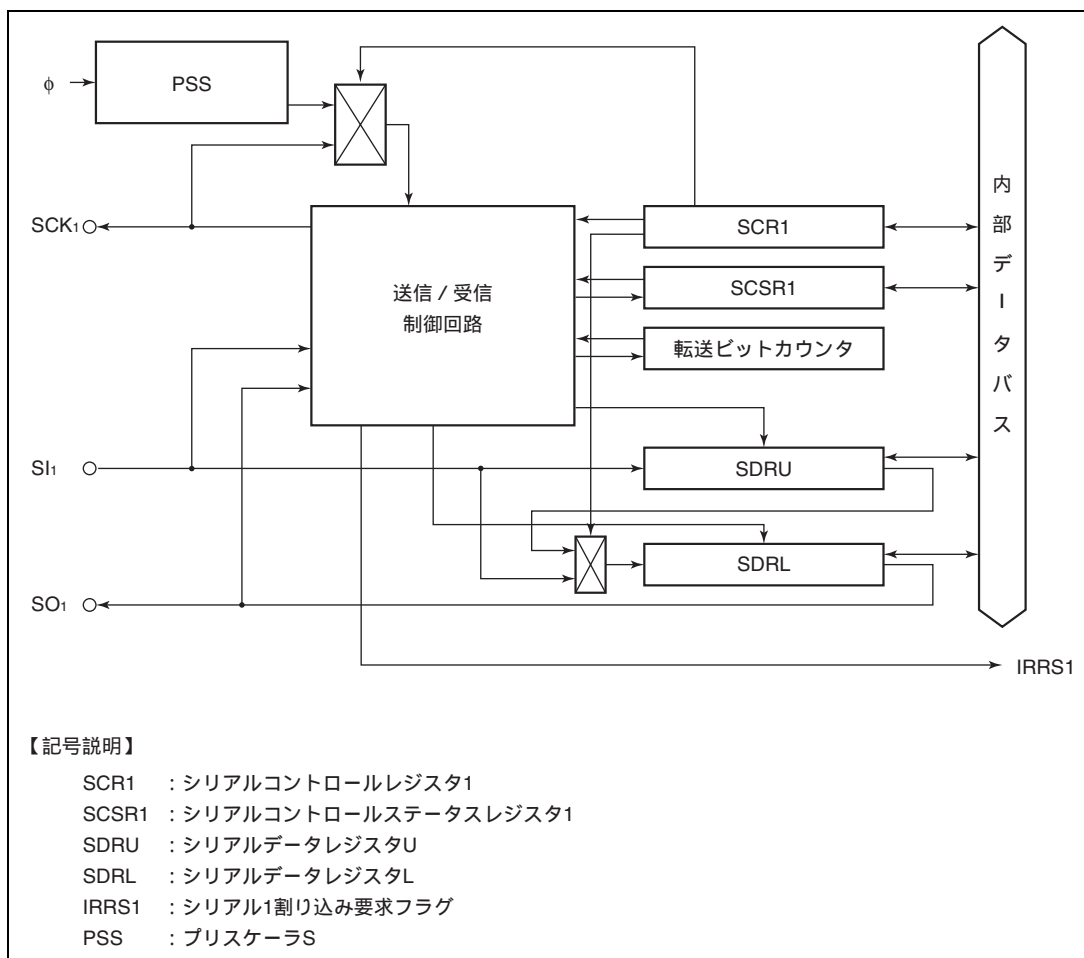


図 10.1 SCI1 のブロック図

(3) 端子構成

SCI1 の端子構成を表 10.2 に示します。

表 10.2 端子構成

名称	略称	入出力	機能
SCI1 クロック	SCK _i	入出力	SCI1 のクロック入出力端子
SCI1 データ入力	SI _i	入力	SCI1 の受信データ入力端子
SCI1 データ出力	SO _i	出力	SCI1 の送信データ出力端子

(4) レジスタ構成

SCI1 のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FFA0
シリアルコントロールステータスレジスタ 1	SCSR1	R/W	H'80	H'FFA1
シリアルデータレジスタ U	SDRU	R/W	不定	H'FFA2
シリアルデータレジスタ L	SDRL	R/W	不定	H'FFA3

10.2.2 各レジスタの説明

(1) シリアルコントロールレジスタ 1 (SCR1)

ビット:	7	6	5	4	3	2	1	0
	SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR1 は、8 ビットのリード/ライト可能なレジスタで、動作モード、転送クロックソースとプリスケアラ分周比を制御します。

リセット時、SCR1 は H'00 に初期化されます。転送中に本レジスタに書き込みを行うと転送を中止します。

ビット 7、6 : 動作モード選択 1、0 (SNC1、SNC0)

動作モードを選択します。

ビット 7	ビット 6	説明
SNC1	SNC0	
0	0	8 ビットクロック同期モード (初期値)
	1	16 ビットクロック同期モード
1	0	クロック連続出力モード* ¹
	1	リザーブ* ²

【注】 *1 SI_i、SO_i 端子はポートとして使用してください。

*2 SNC1、SNC0 に 11 を設定しないでください。

10. シリアルコミュニケーションインタフェース

ビット 5、4：リザーブビット

リザーブビットです。本ビットは 0 で使用してください。

ビット 3：クロックソース選択 3 (CKS3)

供給するクロックソースの選択と SCK_i 端子の入出力の設定を行います。

ビット 3	説 明
CKS3	
0	クロックソースはプリスケアラ S、SCK _i 端子は出力 (初期値)
1	クロックソースは外部クロック、SCK _i 端子は入力

ビット 2～0：クロック選択 2～0 (CKS2～CKS0)

CKS3 が 0 の場合、プリスケアラ分周比と転送クロック周期を選択します。

ビット 2	ビット 1	ビット 0	プリスケアラ分周比	転送クロック周期	
CKS2	CKS1	CKS0		$\phi = 5\text{MHz}$	$\phi = 2.5\text{MHz}$
0	0	0	$\phi/1024$ (初期値)	204.8 μs	409.6 μs
		1	$\phi/256$	51.2 μs	102.4 μs
	1	0	$\phi/64$	12.8 μs	25.6 μs
		1	$\phi/32$	6.4 μs	12.8 μs
1	0	0	$\phi/16$	3.2 μs	6.4 μs
		1	$\phi/8$	1.6 μs	3.2 μs
	1	0	$\phi/4$	0.8 μs	1.6 μs
		1	$\phi/2$	—	0.8 μs

(2) シリアルコントロールステータスレジスタ 1 (SCSR1)

ビット：	7	6	5	4	3	2	1	0
	—	SOL	ORER	—	—	—	—	STF
初期値：	1	0	0	0	0	0	0	0
R/W：	—	R/W	R/(W)*	—	—	—	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

SCSR1 は、動作状態、エラー状態などを示す 8 ビットのレジスタです。

リセット時、SCSR1 は H'80 に初期化されます。

転送動作中には、SCSR1 のリード/ライトは行わないでください。誤動作の原因になります。

ビット 7：リザーブビット

リザーブビットです。本ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 6：拡張データビット（SOL）

SOL は SO_i 端子の出力レベルを変更します。また、リードすると SO_i 端子の出力レベルが読み出されます。送信完了後の SO_i 端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、SO_i 端子の出力レベルを変更することができます。ただし、次の送信が開始すると SOL ビットの設定は無効となります。したがって送信完了後の SO_i 端子の出力レベルを変更する場合には送信完了ごとに SOL ビットに対するライト操作を行ってください。なお、データ転送中に本レジスタにライトすると誤動作の原因になりますので送信中は操作しないでください。

ビット 6	説 明	
SOL		
0	リード時	SO _i 端子出力が Low レベル（初期値）
	ライト時	SO _i 端子出力を Low レベルに変更
1	リード時	SO _i 端子出力が High レベル
	ライト時	SO _i 端子出力を High レベルに変更

ビット 5：オーバランエラーフラグ（ORER）

ORER は外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、転送データは保証できません。転送完了後もクロックが入力された場合、オーバラン状態であるとして、本ビットが 1 にセットされます。

ビット 5	説 明	
ORER		
0	[クリア条件] 1 をリード後、0 をライトしたとき	（初期値）
1	[セット条件] 外部クロック使用時、転送完了後もクロックが入力されたとき	

ビット 4～2：リザーブビット

リザーブビットです。各ビットはリードすると 0 が読み出されます。ライトは無効です。

ビット 1：リザーブビット

リザーブビットです。本ビットは 0 で使用してください。

10. シリアルコミュニケーションインタフェース

ビット0：スタートフラグ（STF）

STF は、転送動作の開始を制御します。本ビットに 1 をセットすると SCI1 の転送動作を開始します。

本ビットは、転送中とスタートビット待ち状態時は 1 を保持し、転送終了後に 0 にクリアされます。

ビット 0	説 明	
STF		
0	リード時	転送動作は停止（初期値）
	ライト時	無効
1	リード時	転送動作中
	ライト時	転送動作を開始

(3) シリアルデータレジスタ U（SDRU）

ビット：	7	6	5	4	3	2	1	0
	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRU は、8 ビットのリード/ライト可能なレジスタで、16 ビット転送時に上位 8 ビットのデータレジスタとして使用します（SDRL が下位 8 ビット）。

SDRU に書き込まれたデータは、SDRL に LSB ファーストで出力されます。入れ替わりに SI₁ 端子より LSB ファーストでデータが入力されて、MSB→LSB 方向にデータがシフトします。

SDRU のリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRU のリセット時の値は不定です。

(4) シリアルデータレジスタ L（SDRL）

ビット：	7	6	5	4	3	2	1	0
	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRL は、8 ビットのリード/ライト可能なレジスタで、8 ビット転送時のデータレジスタ、および 16 ビット転送時の下位 8 ビットのデータレジスタとして使用します（SDRU が上位 8 ビット）。

8 ビット転送時、SDRL に書き込まれたデータは、SO₁ 端子より LSB ファーストで出力されます。入れ替わりに SI₁ 端子より LSB ファーストで入力されて、MSB→LSB 方向にデータがシフトします。

16 ビット転送時には、入力データが SDRU より取り込まれることを除けば、8 ビット転送時と同様の動作となります。

SDRL のリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRL のリセット時の値は不定です。

10.2.3 動作説明

送信 / 受信フォーマットは 8 ビットおよび 16 ビットの転送データを選択可能です。クロックソースは、内部クロックと外部クロックを選択できます。外部クロック使用時はオーバランエラーの検出ができます。

(1) クロック

転送クロックは、8 種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK_I 端子はクロック出力端子となります。クロック連続出力モード (SCR1 の SNC1、SNC0 を 10) に設定すると CKS2 ~ CKS0 で選択したクロック ($\phi/1024 \sim \phi/2$) を SCK_I 端子から連続して出力します。外部クロックを選択した場合は、SCK_I 端子はクロック入力端子となります。

(2) データ転送フォーマット

SCI1 の転送フォーマットを図 10.2 に示します。データの最下位ビットから送受信される LSB ファースト方式による転送を行います。送信データは転送クロックの立ち下がりから次の立ち下がりまで出力されます。また、受信データは転送クロックの立ち上がりで取り込まれます。

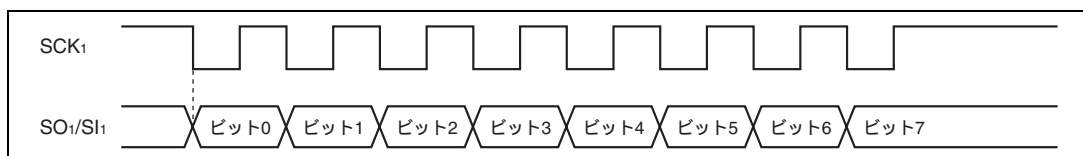


図 10.2 転送フォーマット

(3) データの転送動作

(a) 送信動作

送信動作は次のように行われます。

- (1) PMR3のSO1を1、SCK1を1としてそれぞれSO_I端子、SCK_I端子に設定します。
また、必要に応じて、PMR2のPOF1により、SO_I端子をNMOSオープンドレイン出力とします。
- (2) SCR1のSNC1を0とし、SNC0を0または1として8ビットクロック同期方式か16ビットクロック同期方式に設定し、CKS3 ~ CKS0で転送クロックを選択します。SCR1へデータの書き込みを行うとSCI1の内部状態は初期化されます。
- (3) SDRL、SDRUに転送データを書き込みます。
8ビット転送モード : SDRL
16ビット転送モード : 上位バイトSDRU、下位バイトSDRL
- (4) SCSR1のSTFを1にすると、SCI1は動作を開始し、SO_I端子から送信データが出力されます。
- (5) 送信完了後、IRR1のIRRS1が1にセットされます。

内部クロックを使用する場合は、送信データの出力と同時に SCK_I 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを 1 にセットするまで同期クロックは出力されません。この間、SO_I 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK_I 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態であるとして、SCSR1 の ORER が 1 にセットされます。

送信停止中の SO_I 端子の出力値は、SCSR1 の SOL により変更することができます。

(b) 受信動作

受信動作は次のように行われます。

- (1) PMR3のSI1を1、SCK1を1としてそれぞれSI_i端子、SCK_i端子に設定します。
- (2) SCR1のSNC1を0とし、SNC0を0または1として8ビットクロック同期方式か16ビットクロック同期方式に設定し、CKS3～CKS0で転送クロックを選択します。SCR1へのデータの書き込みを行うとSCI1の内部状態は初期化されます。
- (3) SCSR1のSTFを1にすると、SCI_iは動作を開始し、SI_i端子から受信データを取り込みます。
- (4) 受信完了後、IRR1のIRRS1が1にセットされます。
- (5) SDRL、SDRUから受信データを読み出します。
8ビット転送モード : SDRL
16ビット転送モード : 上位バイトSDRU、下位バイトSDRL
- (6) 受信終了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバラン状態であるとして、SCSR1のORERが1にセットされます。

(c) 同時送受信動作

同時送受信動作は次のように行われます。

- (1) PMR3のSO1を1、SI1を1、SCK1を1としてそれぞれSO_i端子、SI_i端子、SCK_i端子に設定します。また、必要に応じてPMR2のPOF1により、SO_i端子をNMOSオープンドレイン出力とします。
- (2) SCR1のSNC1を0とし、SNC0を0または1として8ビットクロック同期方式か16ビットクロック同期方式に設定し、CKS3～CKS0で転送クロックを選択します。SCR1へのデータの書き込みを行うとSCI1の内部状態は初期化されます。
- (3) SDRL、SDRUに転送データを書き込みます。
8ビット転送モード : SDRL
16ビット転送モード : 上位バイトSDRU、下位バイトSDRL
- (4) SCSR1のSTFを1にすると、SCI1は動作を開始し、SO_i端子から送信データが出力され、またSI_i端子から受信データが入力されます。
- (5) 送受信完了後、IRR1のIRRS1が1にセットされます。
- (6) SDRL、SDRUから受信データを読み出します。
8ビット転送モード : SDRL
16ビット転送モード : 上位バイトSDRU、下位バイトSDRL

内部クロックを使用する場合は、送信データの出力と同時にSCK_i端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを1にセットするまで同期クロックは出力されません。この間、SO_i端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK_i端子から入力されるクロックに同期してデータを送受信します。送受信終了後、引き続き同期クロックが入力されると、送受信動作は行われず、オーバラン状態であるとして、SCSR1のORERが1にセットされます。

送信停止中のSO_i端子の出力値は、SCSR1のSOLにより変更することができます。

10.2.4 割り込み要因

SCI1 の割り込み要因には、転送完了があります。

SCI1 が、転送完了すると、IRR1 の IRRS1 が 1 にセットされます。SCI1 の割り込み要求は、IENR1 の IENS1 により許可 / 禁止を選択できます。

詳細は、「3.3 割り込み」を参照してください。

10.2.5 使用上の注意事項

SCI1 を使用する際は、以下のことに注意してください。

(1) SCK₁ 端子に外部クロックを入力する場合

SCK₁ 端子を入力に設定し、クロックソースとして外部クロックを選択して使用する場合、SCSR1 の STF に 1 をライトして転送動作を開始する前に外部クロックを入力しないでください。

(2) シリアル転送終了の確認

シリアル転送中に SCSR1 をリード / ライトしないでください。

シリアル転送終了の確認は次の方法により行ってください。

(a) SCI1 割り込み例外処理を使用する

IENR1 の IENS1 を 1 にセットし、割り込み例外処理を実行する。

(b) IRR1 ポーリングを行う

SCI1 割り込みを禁止 (IENR1 の IENS1 = 0) した状態で、IRR1 の IRRS1 が 1 になったことを確認する。

10.3 SCI3

10.3.1 概要

SCI3 (シリアルコミュニケーションインタフェース 3) は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信を行います。また、複数のプロセッサ間のシリアルデータ通信機能 (マルチプロセッサ通信機能) を備えています。

(1) 特長

SCI3 の特長を以下に示します。

■ シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

• 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

通信フォーマットを 12 種類のフォーマットから選択できます。

データ長	7 ビット / 8 ビット
ストップビット長	1 ビット / 2 ビット
パリティ	偶数パリティ / 奇数パリティ / パリティなし
マルチプロセッサビット	1 / 0
受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー
ブレークの検出	フレーミングエラー発生時に RXD 端子のレベルを直接読み出すことでブレークを検出

• クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能をもつ他の LSI とのシリアルデータ通信が可能です。

データ長	8 ビット
受信エラーの検出	オーバランエラー

■ 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

■ 内蔵のボーレートジェネレータで任意のビットレートを選択可能

■ 送受信クロックソースを内部クロック、または外部クロックから選択可能

■ 6 種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの 6 種類の割り込み要因があります。

(2) ブロック図

SCI3 のブロック図を図 10.3 に示します。

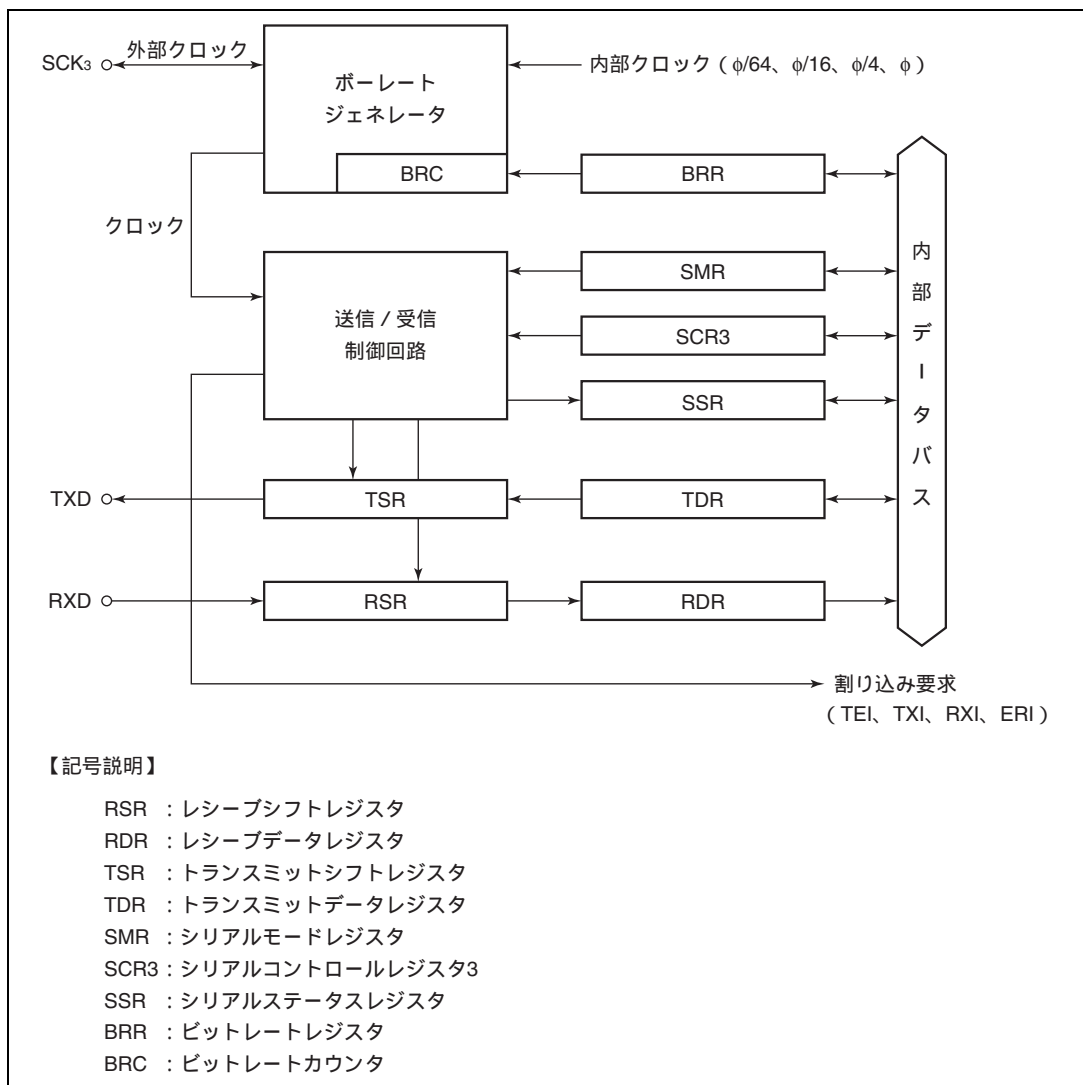


図 10.3 SCI3 のブロック図

10. シリアルコミュニケーションインタフェース

(3) 端子構成

SCI3 の端子構成を表 10.4 に示します。

表 10.4 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK ₃	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ入力	RXD	入力	SCI3 の受信データ入力端子
SCI3 トランスミットデータ出力	TXD	出力	SCI3 の送信データ出力端子

(4) レジスタ構成

SCI3 のレジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルモードレジスタ	SMR	R/W	H'00	H'FFA8
ビットレートレジスタ	BRR	R/W	H'FF	H'FFA9
シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFAA
トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFAB
シリアルステータスレジスタ	SSR	R/W	H'84	H'FFAC
レシーブデータレジスタ	RDR	R	H'00	H'FFAD
トランスミットシフトレジスタ	TSR	不可	—	—
レシーブシフトレジスタ	RSR	不可	—	—
ビットレートカウンタ	BRC	不可	—	—

【注】 —：リード/ライトすることはできません。

10.3.2 各レジスタの説明

(1) レシーブシフトレジスタ (RSR)

ビット:	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

RSR は、シリアルデータを受信するためのレジスタです。RSR に RXD 端子から入力されたシリアルデータを、LSB (ビット 0) から受信した順にセットしパラレルデータに変換します。1 バイトのデータを受信すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

(2) レシーブデータレジスタ (RDR)

ビット:	7	6	5	4	3	2	1	0
	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

RDR は、受信したシリアルデータを格納する 8 ビットのレジスタです。

1 バイトのデータの受信が終了すると、受信したデータを RSR から RDR へ転送し、受信動作を完了します。その後、RSR は受信可能となります。

RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、受信専用レジスタですので CPU からライトできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 に初期化されます。

(3) トランスミットシフトレジスタ (TSR)

ビット:	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

TSR は、シリアルデータを送信するためのレジスタです。TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TXD 端子に送出することでシリアルデータ送信を行います。1 バイトのデータを送信すると、自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、TDR にデータが書き込まれていない (TDRE に 1 がセットされている) 場合には TDR から TSR へのデータ転送は行いません。

CPU から TSR を直接リード/ライトすることはできません。

(4) トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、送信データを格納する 8 ビットのレジスタです。TSR の空を検出すると、TDR に書き込まれた送信データを TSR に転送し、シリアルデータ送信を開始します。TSR のシリアルデータ送信中に、TDR に次の送信データをライトしておくと、連続送信が可能です。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'FF に初期化されます。

10. シリアルコミュニケーションインタフェース

(5) シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、シリアルデータ通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 に初期化されます。

ビット 7: コミュニケーションモード (COM)

COM は、SCI3 を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択するビットです。

ビット 7	説 明
COM	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6: キャラクターレングス (CHR)

CHR は、調歩同期式モード時におけるデータ長を選択するビットです。7 ビットデータと 8 ビットデータのいずれかを選択できます。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットに固定となります。

ビット 6	説 明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。

ビット 5：パリティイネーブル (PE)

PE は、調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択するビットです。クロック同期式モードでは PE の設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット 5	説 明
PE	
0	パリティビットの付加およびチェックを禁止 (初期値)
1	パリティビットの付加およびチェックを許可*

【注】 * PE に 1 をセットすると送信時には、PM で指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが PM で指定したパリティになっているかどうかをチェックします。

ビット 4：パリティモード (PM)

PM は、パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらかで行うかを選択するビットです。PM の設定は、調歩同期式モードで PE に 1 を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には PM は無効です。

ビット 4	説 明
PM	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の 1 の数の合計が偶数になるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の 1 の数の合計が奇数になるかどうかをチェックします。

ビット 3：ストップビットレングス (STOP)

STOP は、調歩同期式モードでのストップビットの長さを選択するビットです。1 ビットまたは 2 ビットのいずれかを選択できます。STOP の設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので STOP は無効です。

ビット 3	説 明
STOP	
0	1 ストップビット* ¹ (初期値)
1	2 ストップビット* ²

【注】 *¹ 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

*² 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

10. シリアルコミュニケーションインタフェース

なお、受信時には STOP の設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。

ビット 2：マルチプロセッサモード（MP）

MP は、マルチプロセッサ通信機能を許可するビットです。マルチプロセッサ通信機能を許可した場合、PE および PM におけるパリティの設定は無効になります。MP の設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合には MP を 0 にしてください。

マルチプロセッサ通信機能については「10.3.6 マルチプロセッサ通信機能」を参照してください。

ビット 2	説 明
MP	
0	マルチプロセッサ通信機能を禁止（初期値）
1	マルチプロセッサ通信機能を許可

ビット 1、0：クロックセレクト 1、0（CKS1、CKS0）

CKS1、CKS0 は、内蔵ボーレートジェネレータのクロックソースを選択するビットです。CKS1、CKS0 の組み合わせによって、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 ϕ の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「10.3.2（8）ビットレートレジスタ（BRR）」を参照してください。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	ϕ クロック（初期値）
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

(6) シリアルコントロールレジスタ 3（SCR3）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3 は、送信 / 受信動作、調歩同期式モードでのクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行う 8 ビットのレジスタです。

SCR3 は、常に CPU によるリード / ライトが可能です。

SCR3 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 に初期化されます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TIE は、TDR から TSR へ送信データが転送され、SSR の TDRE が 1 にセットされたとき、送信データエンプティ割り込み要求（TXI）の許可 / 禁止を選択するビットです。

TXI は、TDRE を 0 にクリアするか、または TIE を 0 にクリアすることで解除できます。

ビット7	説 明
TIE	
0	送信データエンプティ割り込み要求（TXI）の禁止（初期値）
1	送信データエンプティ割り込み要求（TXI）の許可

ビット6：レシーブインタラプトイネーブル（RIE）

RIE は、受信データが RSR から RDR へ転送され、SSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）の許可 / 禁止を選択するビットです。なお、受信エラーにはオーバランエラー、フレーミングエラー、パリティエラーの 3 種類があります。

RXI および ERI は、RDRF または、FER、PER、OER のエラーフラグを 0 にクリアするか、RIE を 0 にクリアすることで解除できます。

ビット6	説 明
RIE	
0	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を禁止（初期値）
1	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を許可

ビット5：トランスミットイネーブル（TE）

TE は、送信動作の開始の許可 / 禁止を選択するビットです。

ビット5	説 明
TE	
0	送信動作を禁止* ¹ （TXD 端子は入出力ポート）（初期値）
1	送信動作を許可* ² （TXD 端子はトランスミットデータ端子）

【注】 *1 SSR の TDRE は 1 に固定されます。

*2 この状態で、TDR に送信データをライトすると SSR の TDRE が 0 にクリアされシリアルデータ送信を開始します。なお、TE を 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。また、クロック同期式モードで送受信同時動作を行う場合には、TE および RE が 0 にクリアされている状態で、TE および RE を 1 命令で同時に 1 にセットしてください。

10. シリアルコミュニケーションインタフェース

ビット4：レシーブイネーブル（RE）

RE は、受信動作の開始の許可 / 禁止を選択するビットです。

ビット4	説 明
RE	
0	受信動作を禁止* ¹ （RXD 端子は入出力ポート）（初期値）
1	受信動作を許可* ² （RXD 端子はレシーブデータ端子）

【注】 *¹ RE を 0 にクリアしても SSR の RDRF、FER、PER、OER の各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、RE を 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。また、クロック同期式モードで送受信同時動作を行う場合には、TE および RE が 0 にクリアされている状態で、TE および RE を 1 命令で同時に 1 にセットしてください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

MPIE は、マルチプロセッサ割り込み要求の許可 / 禁止を選択するビットです。MPIE の設定は、調歩同期式モードで、かつ SMR の MP が 1 に設定されている受信時にのみ有効です。COM が 1 のときや MP が 0 のときには MPIE は無効です。

ビット3	説 明
MPIE	
0	マルチプロセッサ割り込み要求を禁止（通常の受信動作）（初期値） [クリア条件] マルチプロセッサビットが 1 のデータを受信したとき
1	マルチプロセッサ割り込み要求を許可*

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットは行いません。マルチプロセッサビットが 1 のデータを受け取るまで、RXI、ERI、および SSR の RDRF、FER、OER の各フラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR を 1 にセットし、MPIE を自動的に 0 にクリアし、RXI、ERI の発生（SCR3 の TIE、RIE が 1 にセットされている場合）と RDRF、FER、OER のセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

TEIE は、MSB データ送出時に有効な送信データが TDR にないとき、送信終了割り込み要求（TEI）の許可 / 禁止を選択するビットです。

ビット2	説 明
TEIE	
0	送信終了割り込み要求（TEI）を禁止（初期値）
1	送信終了割り込み要求（TEI）を許可*

【注】 * TEI は、SSR の TDRE を 0 にクリアして TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。

ビット 1、0：クロックイネーブル 1、0 (CKE1、CKE0)

CKE1、CKE0 は、クロックソースの選択、および SCK₃ 端子からのクロックの出力の許可 / 禁止を選択するビットです。CKE1 と CKE0 の組み合わせによって SCK₃ 端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、CKE0 の設定は調歩同期式モードで内部クロック動作時 (CKE1 = 0) のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 に 0 を設定してください。

また、CKE1、CKE0 を設定した後に SMR で動作モードを決定してください。

クロックソースの選択についての詳細は表 10.12 を参照してください。

ビット 1 CKE1	ビット 0 CKE0	説 明		
		コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート* ¹
		クロック同期式	内部クロック	同期クロック出力* ¹
	1	調歩同期式	内部クロック	クロック出力* ²
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力* ³
		クロック同期式	外部クロック	同期クロック入力
	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】*1 初期値

*2 ビットレートと同じ周波数のクロックを出力します。

*3 ビットレートの 16 倍の周波数のクロックを入力してください。

(7) シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

SSR は、SCI3 の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR は常に、CPU からリード / ライトできます。ただし、TDRE、RDRF、OER、PER、FER へ 1 をライトすることはできません。また、これらに 0 をライトしてクリアするためには、あらかじめ 1 をリードしておく必要があります。

また、TEND および MPBR はリード専用であり、ライトすることはできません。

SSR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'84 に初期化されます。

10. シリアルコミュニケーションインタフェース

ビット7：トランスミットデータレジスタエンプティ（TDRE）

TDRE は、TDR から TSR に送信データの転送が行われたことを示すビットです。

ビット7	説 明
TDRE	
0	TDR にライトされた送信データが TSR に転送されていない [クリア条件] (1) TDRE = 1 の状態をリードした後、0 をライトしたとき (2) 命令で TDR ヘデータをライトしたとき
1	TDR に送信データがライトされていない、または TDR にライトされた送信データが TSR に転送された [セット条件] (1) SCR3 の TE が 0 のとき (2) TDR から TSR にデータ転送が行われたとき (初期値)

ビット6：レシーブデータレジスタフル（RDRF）

RDRF は、受信したデータが RDR に格納されていることを示すビットです。

ビット6	説 明
RDRF	
0	RDR に受信データが格納されていない (初期値) [クリア条件] (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) 命令で RDR のデータをリードしたとき
1	RDR に受信データが格納されている [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR3 の RE を 0 にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が 1 にセットされたままデータの受信を完了するとオーバーランエラー（OER）を発生し、受信データが失われますので注意してください。

ビット 5 : オーバランエラー (OER)

OER は、受信時にオーバランエラーが発生したことを示すビットです。

ビット 5	説 明
OER	
0	受信中、または受信を完了した ^{*1} (初期値) [クリア条件] OER = 1 の状態をリードした後、0 をライトしたとき
1	受信時にオーバランエラーが発生した ^{*2} [セット条件] RDRF が 1 の状態で受信を完了したとき

【注】 *1 SCR3 の RE を 0 にクリアしたときには、OER は影響を受けず以前の状態を保持します。

*2 RDR では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OER が 1 にセットされた状態で、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。

ビット 4 : フレーミングエラー (FER)

FER は、調歩同期式モードで受信時にフレーミングエラーが発生したことを示すビットです。

ビット 4	説 明
FER	
0	受信中、または受信を完了した ^{*1} (初期値) [クリア条件] FER = 1 の状態をリードした後、0 をライトしたとき
1	受信時にフレーミングエラーが発生した [セット条件] 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき ^{*2}

【注】 *1 SCR3 の RE を 0 にクリアしたときには、FER は影響を受けず以前の状態を保持します。

*2 2 ストップビットモード時は、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF はセットされません。さらに、FER が 1 にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FER が 1 にセットされていると送信および受信はできません。

10. シリアルコミュニケーションインタフェース

ビット3：パリティエラー（PER）

PER は、調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示すビットです。

ビット3	説 明
PER	
0	受信中、または受信を完了した* ¹ （初期値） [クリア条件] PER = 1 の状態をリードした後、0 をライトしたとき
1	受信時にパリティエラーが発生した* ² [セット条件] 受信時に受信データとパリティビットをあわせた 1 の数が SMR の PM で設定したパリティと一致しなかったとき

【注】 *1 SCR3 の RE を 0 にクリアしたときには、PER は影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF はセットされません。なお、PER が 1 にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PER が 1 にセットされていると送信および受信はできません。

ビット2：トランスミットエンド（TEND）

TEND は、送信キャラクタの最後尾ビットを送信時に、TDRE が 1 にセットされていたことを示すビットです。

TEND は、リード専用ですのでライトすることはできません。

ビット2	説 明
TEND	
0	送信中 [クリア条件] (1) TDRE = 1 の状態をリードした後、TDRE に 0 をライトしたとき (2) 命令で TDR にデータをライトしたとき
1	送信を終了（初期値） [セット条件] (1) SCR3 の TE が 0 のとき (2) 送信キャラクタの最後尾ビットの送信時に、TDRE が 1 であったとき

ビット1：マルチプロセッサビットレシーブ（MPBR）

MPBR は、調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信キャラクタ中のマルチプロセッサビットを格納するビットです。

リード専用ですのでライトすることはできません。

ビット1	説 明
MPBR	
0	マルチプロセッサビットが 0 のデータを受信した*（初期値）
1	マルチプロセッサビットが 1 のデータを受信した

【注】 * マルチプロセッサフォーマットで SCR3 の RE を 0 にクリアしたときには、MPBR は影響を受けず、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

MPBT は、調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納するビットです。クロック同期式モードを選択しているときやマルチプロセッサ通信機能を禁止しているとき、あるいは送信でないときには MPBT は無効です。

ビット0	説 明
MPBT	
0	マルチプロセッサビット0を送信（初期値）
1	マルチプロセッサビット1を送信

(8) ビットレートレジスタ（BRR）

ビット：	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 で選択されるボーレートジェネレータの動作クロックとあわせて、送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'FF に初期化されます。

調歩同期式モードの BRR の設定例を表 10.6 に示します。表 10.6 はアクティブ（高速）モードでの値を示しています。

表 10.6 ビットレートに対する BRR の設定例〔調歩同期式モード〕（1）

R ビットレート (bit/s)	OSC (MHz)											
	2			2.4576			4			4.194304		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	70	+0.03	1	86	+0.31	1	141	+0.03	1	148	-0.04
150	0	207	+0.16	0	255	0	1	103	+0.16	1	108	+0.21
300	0	103	+0.16	0	127	0	0	207	+0.16	0	217	+0.21
600	0	51	+0.16	0	63	0	0	103	+0.16	0	108	+0.21
1200	0	25	+0.16	0	31	0	0	51	+0.16	0	54	-0.70
2400	0	12	+0.16	0	15	0	0	25	+0.16	0	26	+1.14
4800	—	—	—	0	7	0	0	12	+0.16	0	13	-2.48
9600	—	—	—	0	3	0	—	—	—	0	6	-2.48
19200	—	—	—	0	1	0	—	—	—	—	—	—
31250	0	0	0	—	—	—	0	1	0	—	—	—
38400	—	—	—	0	0	0	—	—	—	—	—	—

10. シリアルコミュニケーションインタフェース

表 10.6 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

R ビットレート (bit/s)	OSC (MHz)											
	4.9152			6			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	- 0.26	1	212	+ 0.03	2	64	+ 0.70	2	70	+ 0.03
150	1	127	0	1	155	+ 0.16	1	191	0	1	207	+ 0.16
300	0	255	0	1	77	+ 0.16	1	95	0	1	103	+ 0.16
600	0	127	0	0	155	+ 0.16	0	191	0	0	207	+ 0.16
1200	0	63	0	0	77	+ 0.16	0	95	0	0	103	+ 0.16
2400	0	31	0	0	38	+ 0.16	0	47	0	0	51	+ 0.16
4800	0	15	0	0	19	- 2.34	0	23	0	0	25	+ 0.16
9600	0	7	0	0	9	- 2.34	0	11	0	0	12	+ 0.16
19200	0	3	0	0	4	- 2.34	0	5	0	—	—	—
31250	—	—	—	0	2	0	—	—	—	0	3	0
38400	0	1	0	—	—	—	0	2	0	—	—	—

表 10.6 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

R ビットレート (bit/s)	OSC (MHz)					
	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+ 0.31	2	88	- 0.25
150	1	255	0	2	64	+ 0.16
300	1	127	0	1	129	+ 0.16
600	0	255	0	1	64	+ 0.16
1200	0	127	0	0	129	+ 0.16
2400	0	63	0	0	64	+ 0.16
4800	0	31	0	0	32	- 1.36
9600	0	15	0	0	15	+ 1.73
19200	0	7	0	0	7	+ 1.73
31250	0	4	- 1.70	0	4	0
38400	0	3	0	0	3	+ 1.73

- 【注】 1. 誤差は、1%以内となるように設定してください。
2. BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{64 \times 2^{2n} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

OSC : ϕ_{OSC} の値 (MHz)

n : ボーレートジェネレータの入力クロックの No. (n=0、1、2、3)

(n とクロックの関係は表 10.7 を参照)

表 10.7 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

3. 表 10.6 の誤差は以下の計算式で求めた値を小数点第 3 位を四捨五入して表示してあります。

$$\text{誤差 (\%)} = \frac{B(n, N, \text{OSCから求めたビットレート}) - R(\text{表10.6左欄のビットレート})}{R(\text{表10.6の左欄のビットレート})} \times 100$$

調歩同期式モードの各周波数における最大ビットレートを表 10.8 に示します。

表 10.8 はアクティブ (高速) モードでの値を示しています。

表 10.8 各周波数における最大ビットレート〔調歩同期式モード〕

OSC (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
4.194304	65536	0	0
4.9152	76800	0	0
6	93750	0	0
7.3728	115200	0	0
8	125000	0	0
9.8304	153600	0	0
10	156250	0	0

10. シリアルコミュニケーションインタフェース

クロック同期式モードの BRR の設定例を表 10.9 に示します。表 10.9 はアクティブ（高速）モードでの値を示しています。

表 10.9 ビットレートに対する BRR の設定例〔クロック同期式モード〕

B ビットレート (bit/s)	OSC (MHz)							
	2		4		8		10	
	n	N	n	N	n	N	n	N
110	—	—	—	—	—	—	—	—
250	1	249	2	124	2	249	—	—
500	1	124	1	249	2	124	—	—
1k	0	249	1	124	1	249	—	—
2.5k	0	99	0	199	1	99	1	124
5k	0	49	0	99	0	199	0	249
10k	0	24	0	49	0	99	0	124
25k	0	9	0	19	0	39	0	49
50k	0	4	0	9	0	19	0	24
100k	—	—	0	4	0	9	—	—
250k	0	0*	0	1	0	3	0	4
500k			0	0*	0	1	—	—
1M					0	0*	—	—
2.5M								

【記号説明】

空欄 : 設定不可能です。

— : 設定は可能ですが、誤差が出ます。

* : 連続送信 / 受信はできません。

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{OSC}{8 \times 2^{2n} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

OSC : ϕ_{OSC} の値 (MHz)

n : ボーレートジェネレータの入力クロックの No. (n=0、1、2、3)

(n とクロックの関係は表 10.10 を参照)

表 10.10 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

10.3.3 動作概要

SCI3 は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMR で行います。これを表 10.11 に示します。

また、SCI3 のクロックソースは、SMR の COM、および SCR3 の CKE1、CKE0 の組み合わせで決まります。これを表 10.12 に示します。

(1) 調歩同期式モード

- データ長：7 ビット / 8 ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および 1 ビットまたは 2 ビットのストップビットの付加を選択可能（これらの組み合わせで送信 / 受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（OER）およびブレークの検出が可能
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信 / 受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラー（OER）の検出が可能
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、同期クロックを出力
外部クロックを選択した場合：内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作

10. シリアルコミュニケーションインタフェース

表 10.11 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長		
COM	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット		
				1					2ビット		
			1	0				あり	1ビット		
				1					2ビット		
			1	0		なし		1ビット			
				1				2ビット			
	1	0	1	0		調歩同期式 モード（マルチ プロセッサフ ォーマット）		7ビット データ	あり	なし	1ビット
				1							2ビット
			0	0	あり		1ビット				
				1			2ビット				
			0	0	なし		1ビット				
				1			2ビット				
1	1	*	0	クロック同期式 モード			8ビット データ	なし		なし	なし
			1								
			0								
			1								

【記号説明】

* : Don't care

表 10.12 SMR、SCR3 の設定とクロックソースの選択

SMR		SCR3		モード	送信 / 受信クロック	
ビット 7	ビット 1	ビット 0	クロック ソース		SCK ₃ 端子の機能	
COM	CKE1	CKE0				
0	0	0	調歩同期式 モード	内部	入出力ポート（SCK ₃ 端子を使用しません）	
		1			ビットレートと同じ周波数のクロックを出力	
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力	
1	0	1	クロック同期 式モード	内部	同期クロックを出力	
	1			外部	同期クロックを入力	
0	1	1	リザーブ（この組み合わせは指定しないでください）			
1				0		
		1				

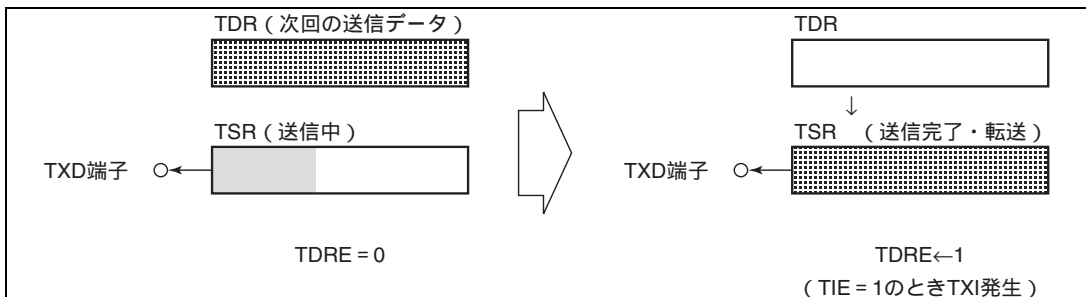
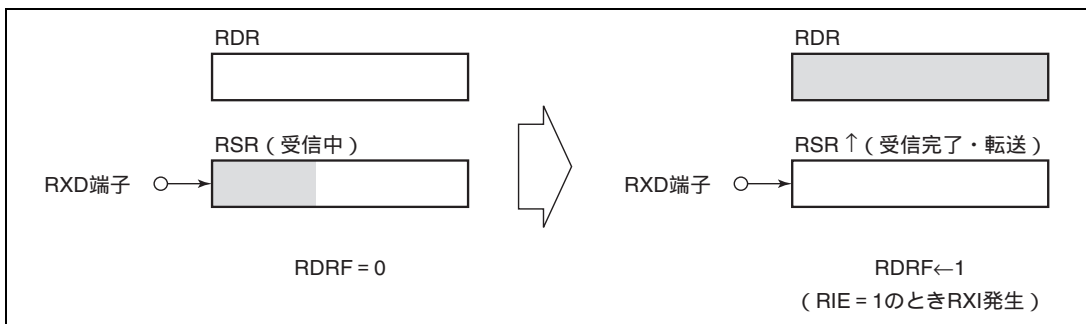
(3) 割り込みと連続送信 / 受信

SCI3 は、RXI を使用した連続受信、また TXI を使用した連続送信が可能です。

表 10.13 にこれらの割り込みについて示します。

表 10.13 送信 / 受信割り込み

割り込み	フラグ	割り込み発生条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が 1 となり、このとき RIE が 1 ならば RXI が許可され割り込みが発生します。 (図 10.4 参照)	RXI の割り込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を 0 にクリアします。上記の操作を次の RSR の受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は 1 にセットされます。このとき TIE が 1 ならば TXI が許可され割り込みが発生します。 (図 10.5 参照)	TXI の割り込み処理ルーチンでは、次の送信データを TDR に書き込み、TDRE を 0 にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が 1 ならば TEND は 1 にセットされます。このとき TEIE が 1 ならば TEI が許可され割り込みが発生します。 (図 10.6 参照)	TEI は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次の送信データが書き込まれていないことを示します。



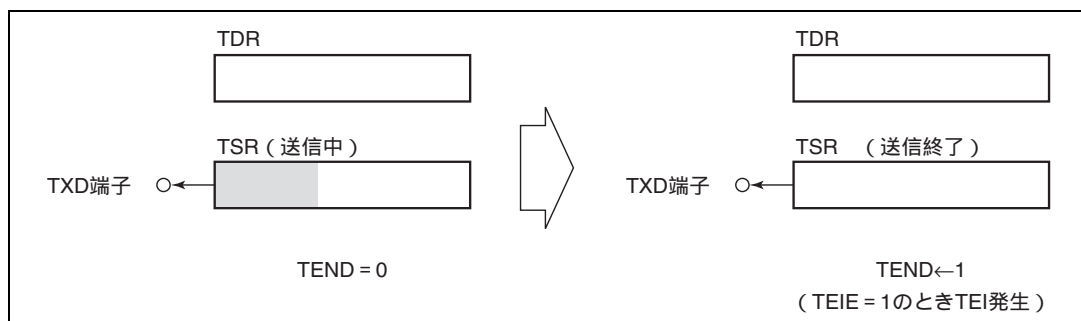


図 10.6 TEND のセットと TEI 割り込み

10.3.4 調歩同期式モード時の動作説明

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

(1) 送信 / 受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図 10.7 に示します。

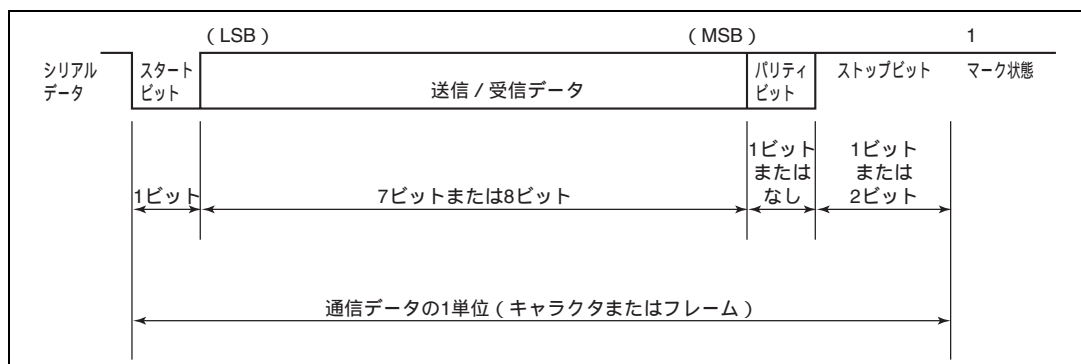


図 10.7 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの 1 キャラクタは、スタートビット (Low レベル) から始まり、送信 / 受信データ (LSB ファースト: 最下位ビットから)、パリティビット (High または Low レベル)、最後にストップビット (High レベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、

データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

調歩同期式モードで設定できる送信/受信フォーマットを、表 10.14 に示します。

送信/受信フォーマットは12種類あり、SMRの設定により選択できます。

表 10.14 通信フォーマット（調歩同期式モード）

SMR				シリアル通信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ							STOP			
1	0	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	0	S	7ビットデータ							P	STOP		
1	1	0	1	S	7ビットデータ							P	STOP	STOP	
0	*	1	0	S	8ビットデータ								MPB	STOP	
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP
1	*	1	0	S	7ビットデータ							MPB	STOP		
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP	

【記号説明】

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセスビット
 * : Don't care

(2) クロック

SCI3 の送受信クロックは、SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵オーレータジェネレータの生成した内部クロックまたは、SCK₃ 端子から入力された外部クロックの 2 種類から設定できます。クロックソースの選択については表 10.12 を参照してください。

外部クロックを SCK₃ 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK₃ 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 10.8 に示すように送信 / 受信データの各ビットの中央でクロックが立ち上がります。

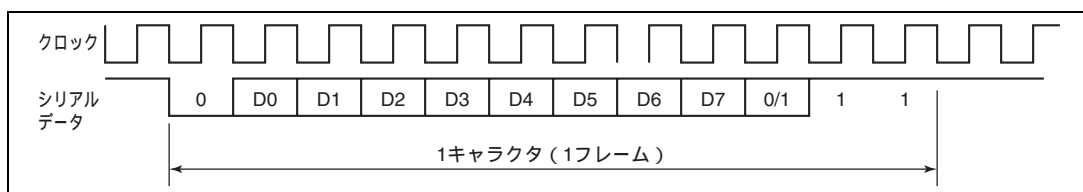


図 10.8 出力クロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(3) データの送信 / 受信動作

(a) SCI3 の初期化

データの送信 / 受信前には、まず SCR3 の TE および RE を 0 にクリアした後、以下の手順に従って初期化してください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、必ず TE および RE を 0 にクリアしてから変更してください。TE を 0 にクリアすると、TDRE は 1 にセットされます。RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR の内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、初期化を含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、初期化中にクロックを供給しないでください。

図 10.9 に SCI3 を初期化するときのフローチャートの例を示します。

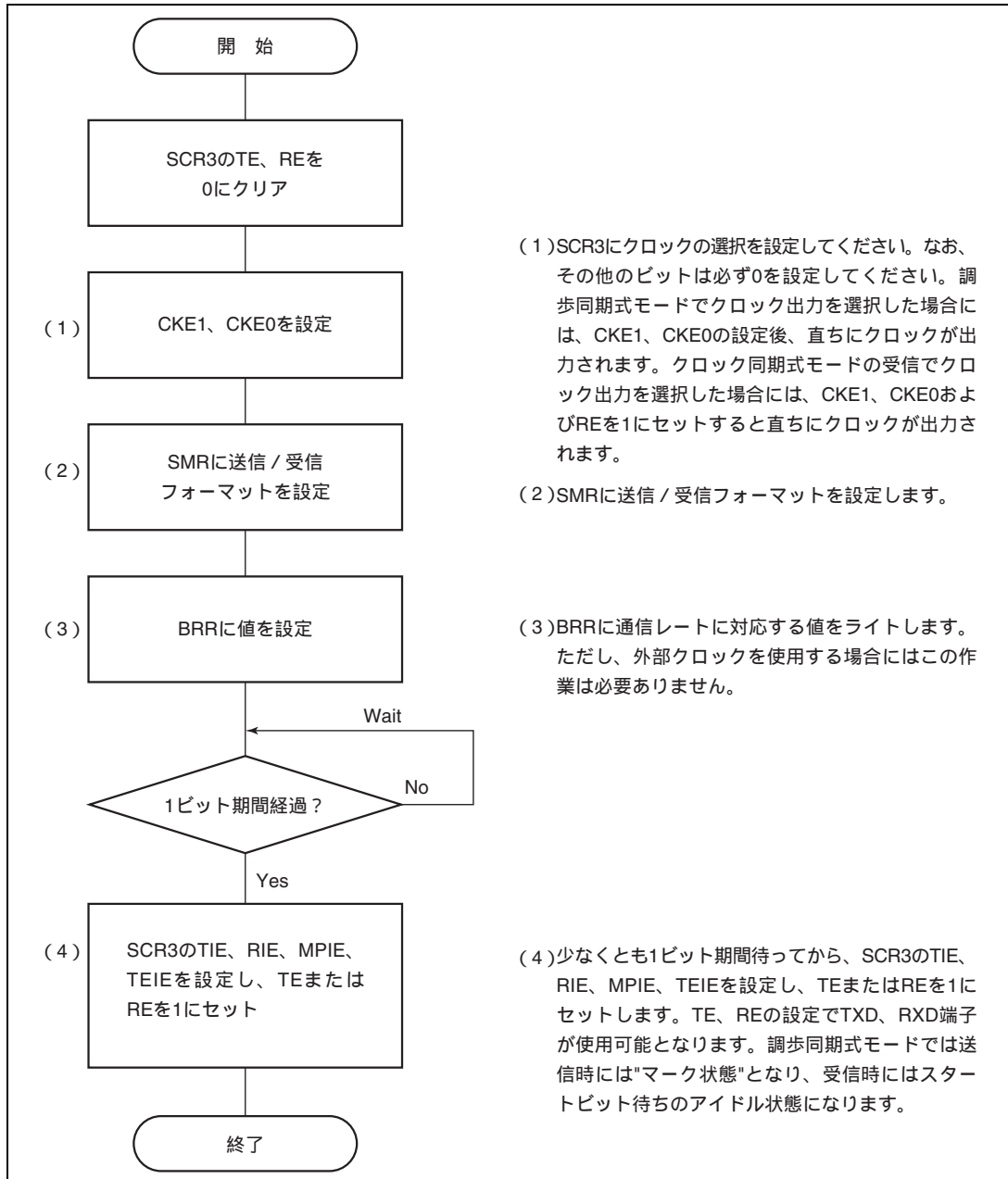


図 10.9 SCI3 を初期化するときのフローチャートの例

(b) データ送信

図 10.10 にデータ送信のフローチャートの例を示します。

データ送信は SCI3 の初期化後、以下の手順に従って行ってください。

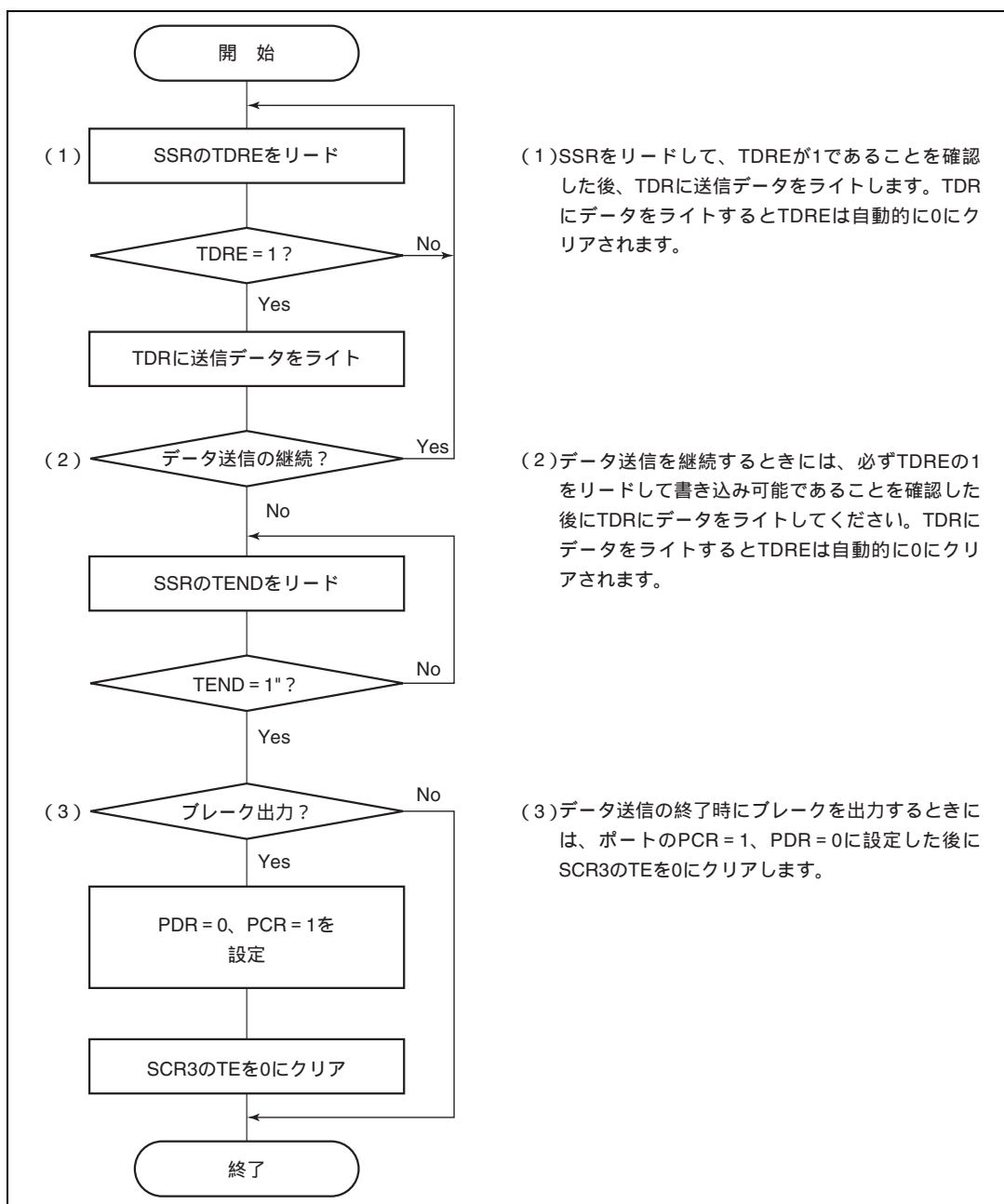


図 10.10 データ送信のフローチャートの例 (調歩同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

シリアルデータは、表 10.14 に示す通信フォーマットに従い TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、ストップビット送出後、1 を出力するマーク状態になります。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

図 10.11 に調歩同期式モードの送信時の動作例を示します。

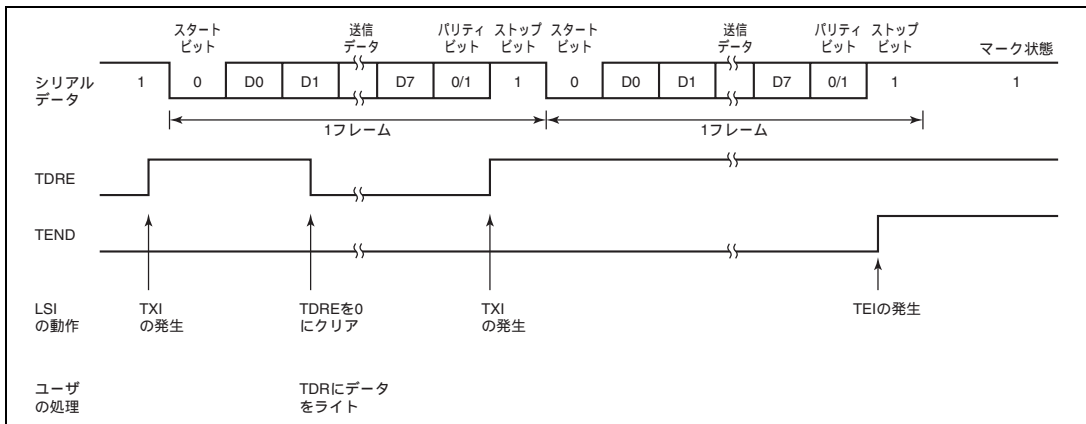


図 10.11 調歩同期式モードの送信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

(c) データ受信

図 10.12 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 の初期化後、以下の手順に従って行ってください。

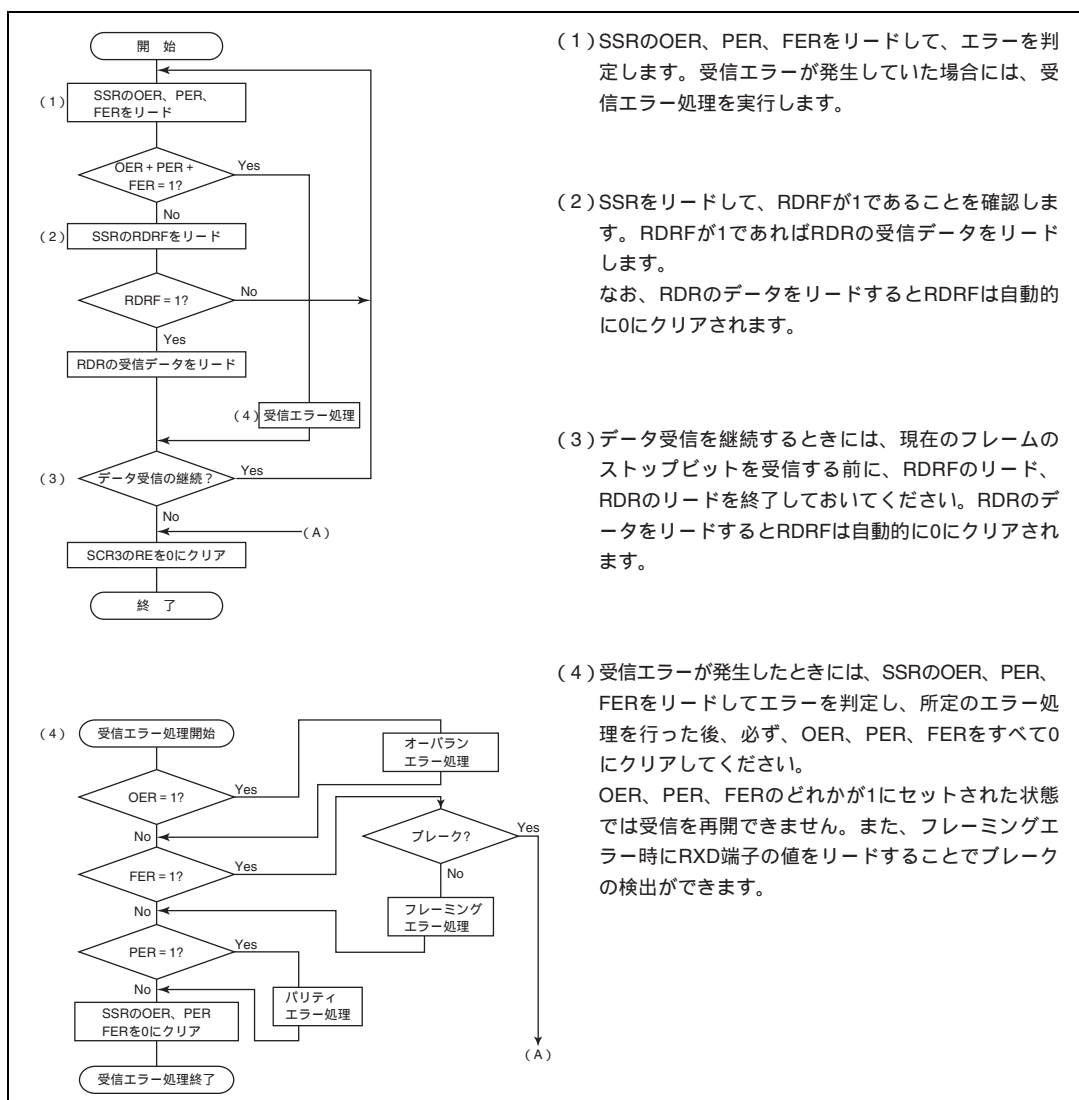


図 10.12 データ受信のフローチャートの例 (調歩同期式モード)

SCI3 は受信時に以下のように動作します。

SCI3 は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し受信を開始します。受信は表 10.14 に示す通信フォーマットに従い、まず受信したデータを RSR の LSB から MSB の順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3 は以下のチェックを行います。

- パリティチェック：
受信データの 1 の数をチェックし、これが SMR の PM で設定した偶数 / 奇数パリティになっているかをチェックします。
- ストップビットチェック：
ストップビットが 1 であるかをチェックします。ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- ステータスチェック：
RDRF が 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

以上のチェックの結果受信エラーがなかったとき RDRF が 1 にセットされ、RDR に受信データが格納されます。このとき SCR3 の RIE が 1 にセットされていると RXI を発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、PER、FER が 1 にセットされます。また RDRF はデータを受信する前の状態を保ちます。このとき、SCR3 の RIE が 1 にセットされていると ERI を発生します。

表 10.15 に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER および RDRF を 0 にクリアしてください。

表 10.15 受信エラーの検出条件と受信データの処理

受信エラー	略称	検出条件	受信データの処理
オーバランエラー	OER	SSR の RDRF が 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

10. シリアルコミュニケーションインタフェース

調歩同期式モードの受信時の動作例を図 10.13 に示します。

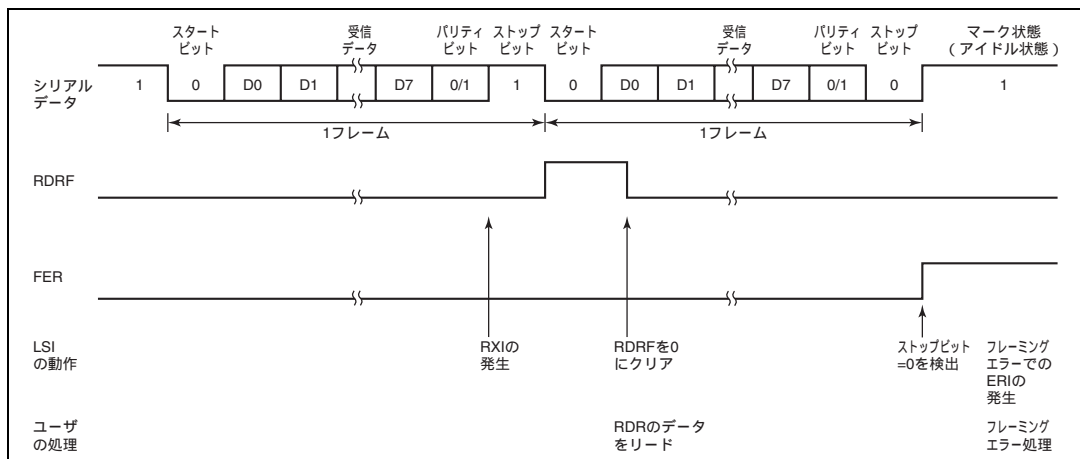


図 10.13 調歩同期式モードの受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

10.3.5 クロック同期式モード時の動作説明

クロック同期式モードは、クロックパルスに同期してデータを送信、または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部/受信部はともにダブルバッファ構造になっていますので、送信中にデータのライトができ、連続送信が可能です。また、受信中にデータのリードができ連続受信が可能です。

(1) 送信/受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図 10.14 に示します。

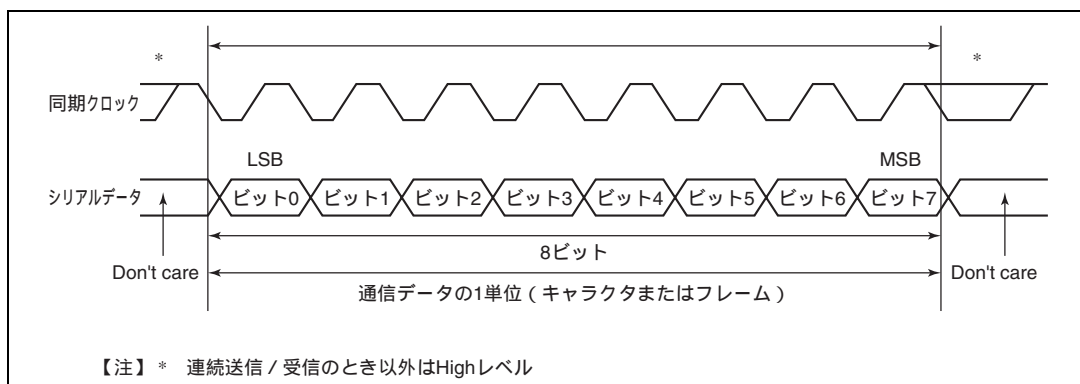


図 10.14 クロック同期式通信のデータフォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりエッジでデータの確定が保証されます。

通信データの1キャラクタは、LSB から始まり最後にMSBの順で構成されます。MSB出力後の通信回線はMSBの状態を保ちます。

クロック同期式モードでは、SCI3は、受信時に同期クロックの立ち上がりに同期してデータを取り込みます。

送信/受信フォーマットは8ビットデータ固定です。パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロック、またはSCK₃端子から入力された外部同期クロックの2種類から選択できます。クロックソースの選択については表10.12を参照してください。

内部クロックで動作させるとき、SCK₃端子からは同期クロックが出力されます。同期クロックは1キャラクタの送信/受信で8パルス出力され、送信および受信を行わないときにはHighレベルに固定されます。

(3) データの送信/受信動作

(a) SCI3の初期化

データの送信/受信前には、「10.3.4(3)(a) SCI3の初期化」の説明および図10.9の例に従ってSCI3を初期化してください。

(b) データ送信

図10.15にデータ送信のフローチャートの例を示します。

データ送信はSCI3の初期化後、以下の手順に従って行ってください。

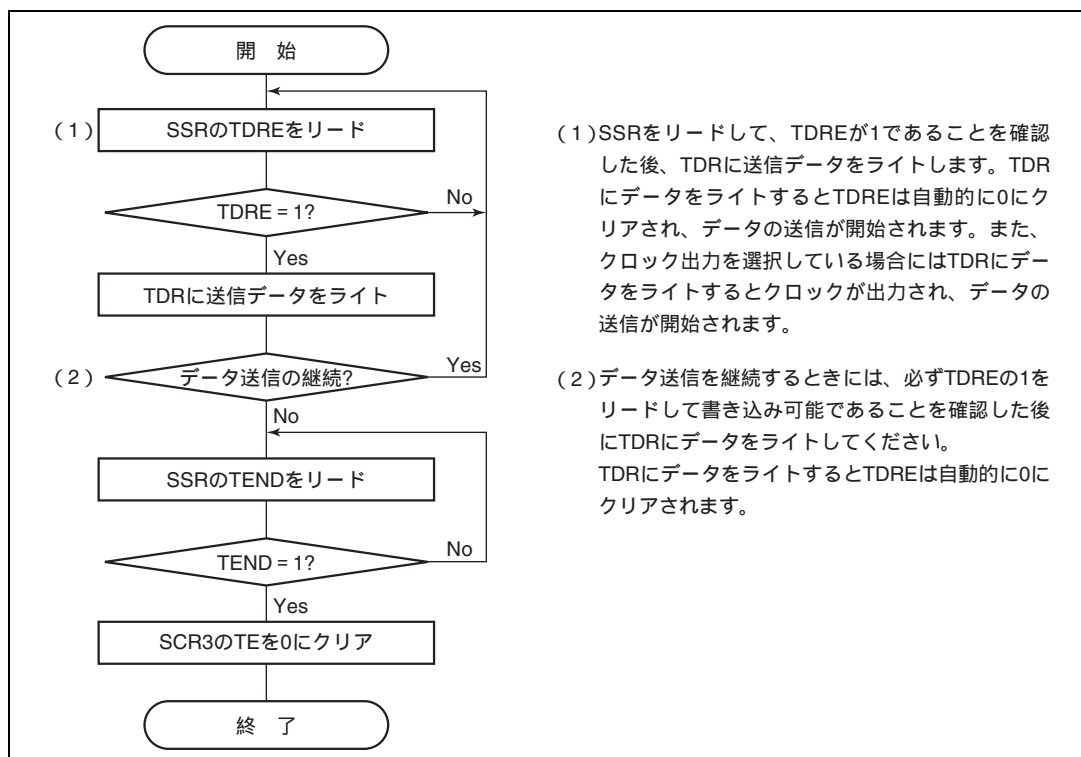


図 10.15 データ送信のフローチャートの例 (クロック同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

クロック出力モードに設定したときには、SCI3 は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアルデータは、LSB (ビット 0) から MSB (ビット 7) の順に TXD 端子から送信されます。

その後、MSB (ビット 7) を送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、MSB (ビット 7) 送出後、状態を保持します。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

送信終了後は、SCK₃ 端子は High レベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ (OER、FER、PER) が 1 にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認してください。

図 10.16 にクロック同期式モードの送信時の動作例を示します。

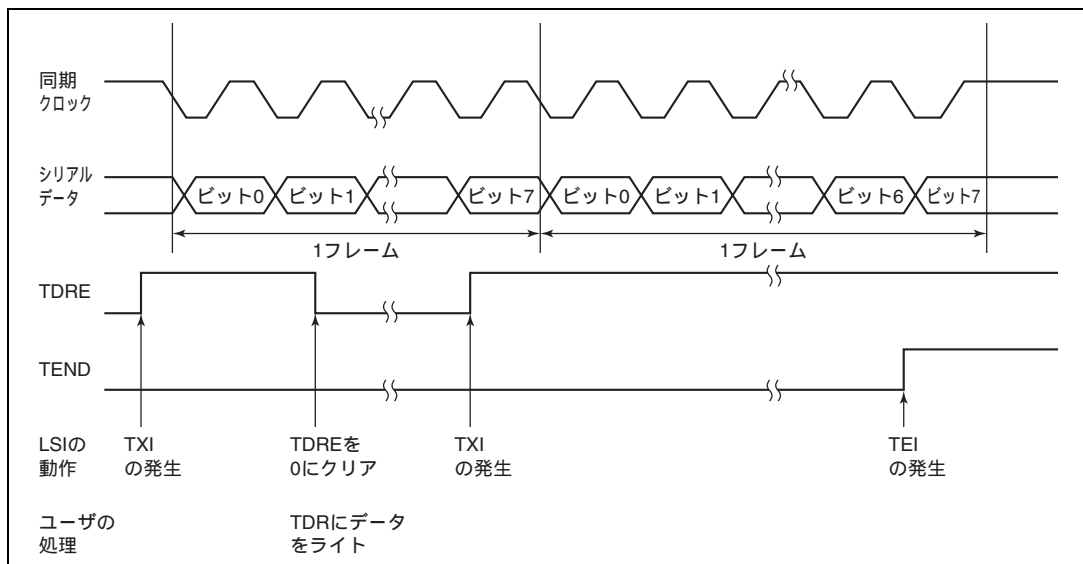


図 10.16 クロック同期式モードの送信時の動作例

(c) データ受信

図 10.17 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 の初期化後、以下の手順に従って行ってください。

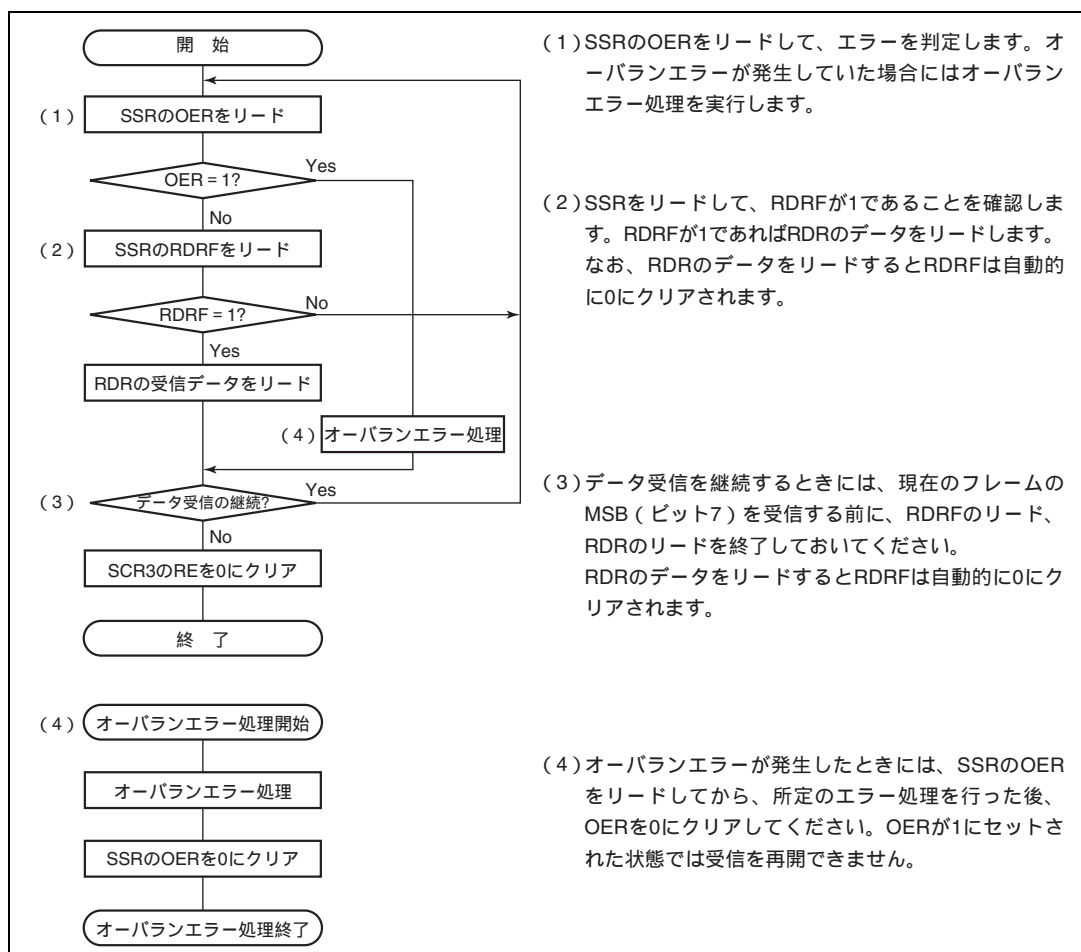


図 10.17 データ受信フローチャートの例（クロック同期式モード）

SCI3 は受信時に以下のように動作します。

SCI3 は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。

受信したデータを RSR の LSB から MSB の順にセットします。

受信後、SCI3 は、RDRF が 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

このチェックの結果オーバランエラーがなかったとき RDRF が 1 にセットされ、RDR に受信データが格納されます。

このとき、SCR3 の RIE が 1 にセットされていると RXI を発生します。一方、エラーチェックでオーバランエラーを検出すると OER が 1 にセットされます。また、RDRF は 1 にセットされた状態を保ちます。このとき、SCR3 の RIE が 1 にセットされていると ERI を発生します。

オーバランエラーの検出条件と受信データの処理については、表 10.15 を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER および RDRF を 0 にクリアしてください。

図 10.18 にクロック同期式モードの受信時の動作例を示します。

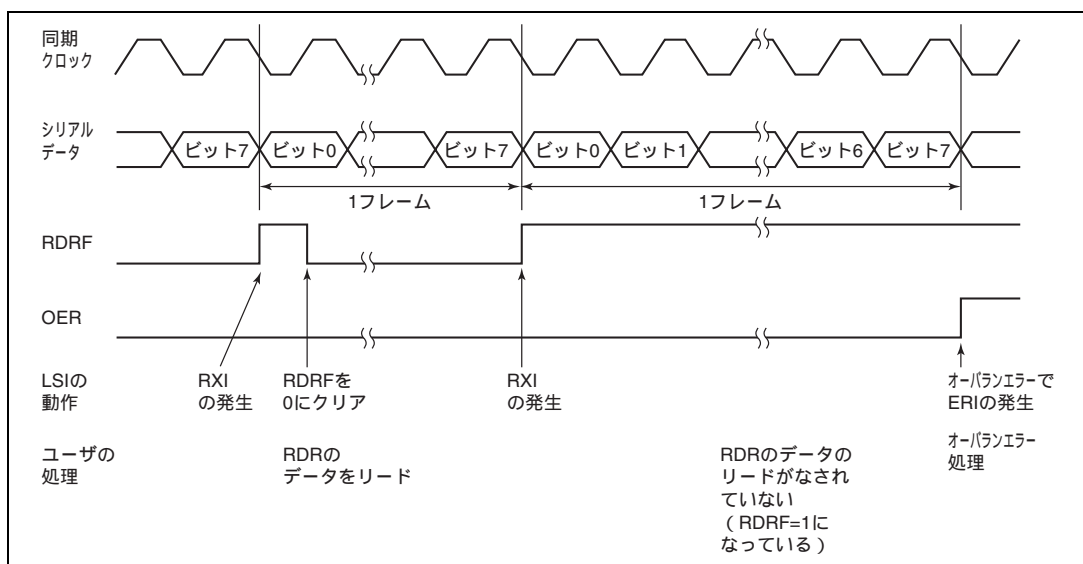


図 10.18 クロック同期式モードの受信時の動作例

(d) データ送受信同時動作

図 10.19 にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。

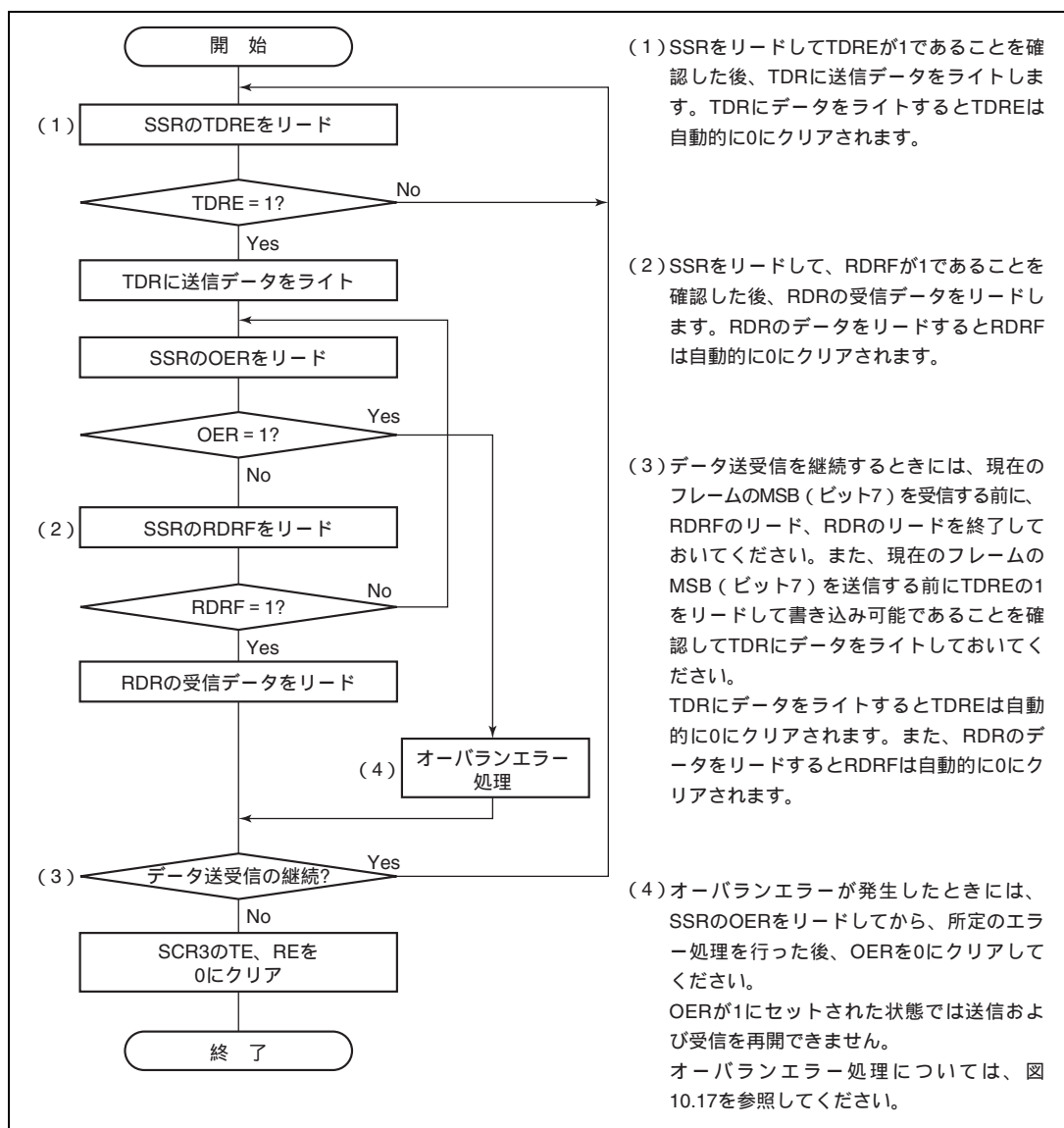


図 10.19 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

- 【注】 1. 送信から同時送受信へ切り替えるときには、次の方法で行ってください。
SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。
2. 受信から同時送受信へ切り替えるときには、次の方法で行ってください。
SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

10.3.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアルデータ通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードが割り付けられています。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ通信を行いたい受信局の ID コードに、マルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、自局の ID と比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データが送信されるまで通信データを読みとばします。

このようにして複数のプロセッサ間のデータ送受信が行われます。

図 10.20 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

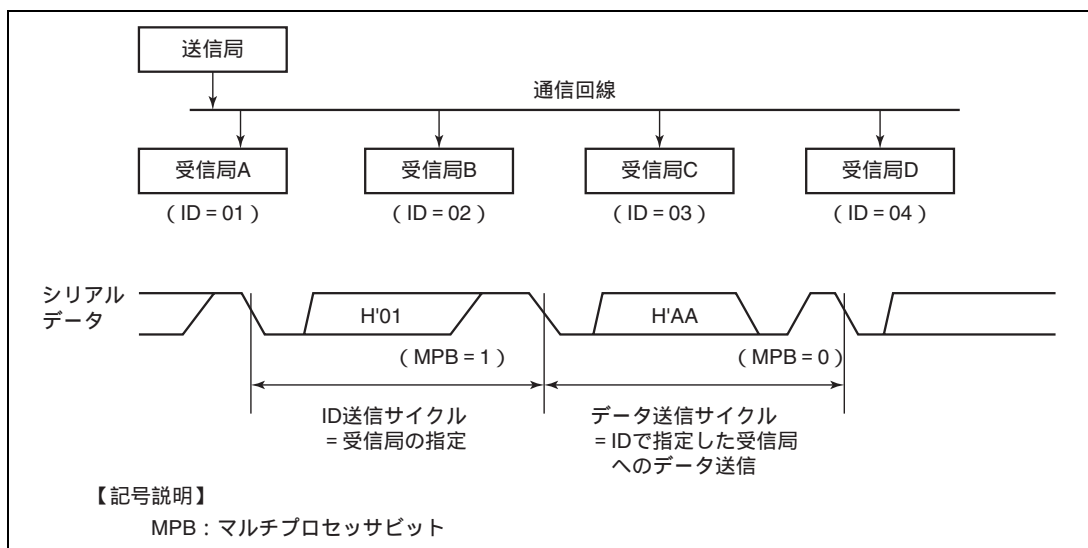


図 10.20 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送金の例)

10. シリアルコミュニケーションインタフェース

送信 / 受信フォーマットは4種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 10.14 を参照してください。

マルチプロセッサ通信を行うときのクロックについては、「10.3.4 調歩同期式モード時の動作説明」を参照してください。

(a) マルチプロセッサデータ送信

図 10.21 にマルチプロセッサデータ送信のフローチャートの例を示します。

マルチプロセッサデータ送信は SCI3 を初期化後、以下の手順に従って行ってください。

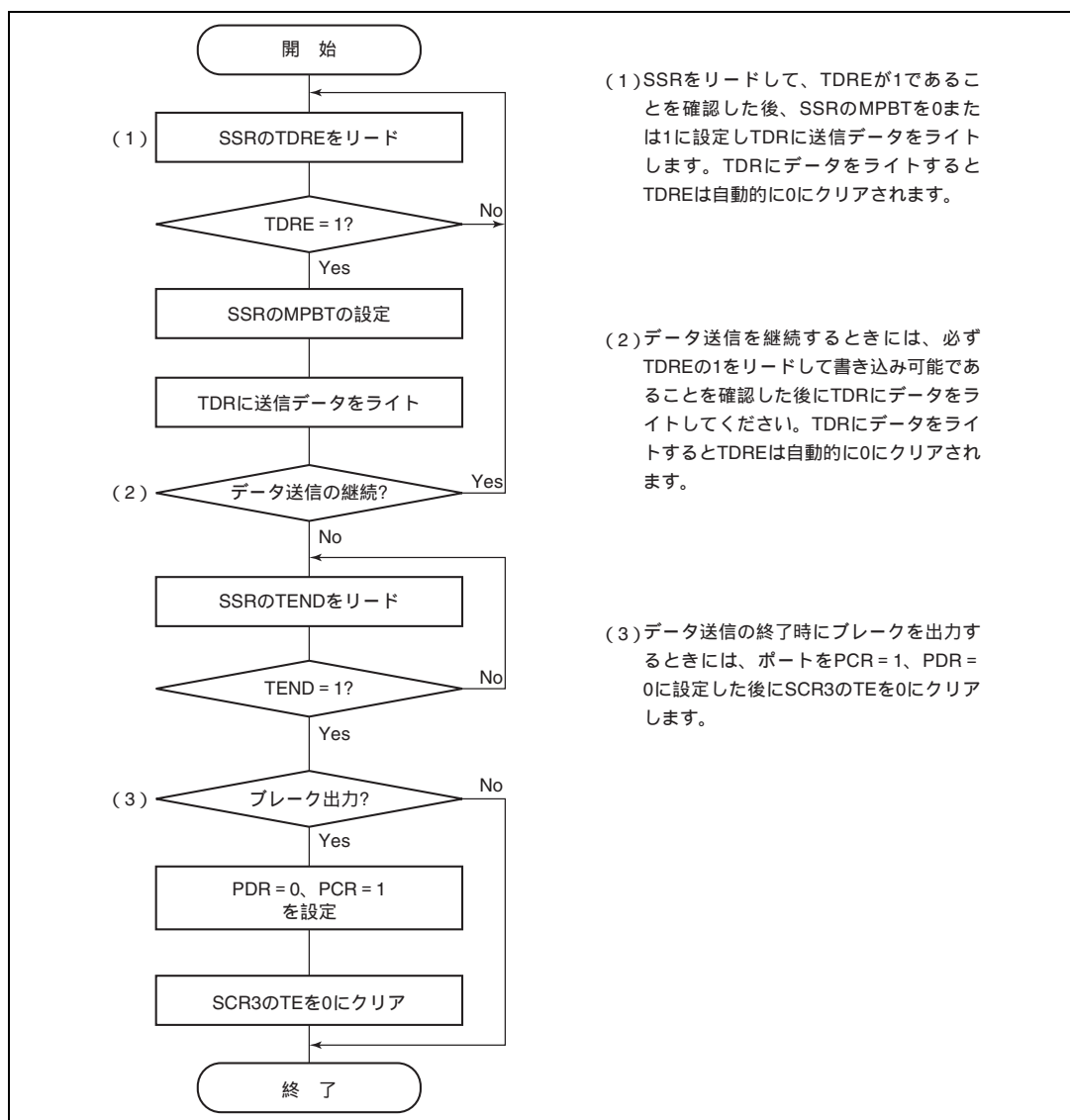


図 10.21 マルチプロセッサデータ送信のフローチャートの例

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして、送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

シリアルデータは、表 10.14 に示す通信フォーマットに従い、TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、ストップビット送出後、1 を出力するマーク状態になります。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

図 10.22 にマルチプロセッサフォーマットの送信時の動作例を示します。

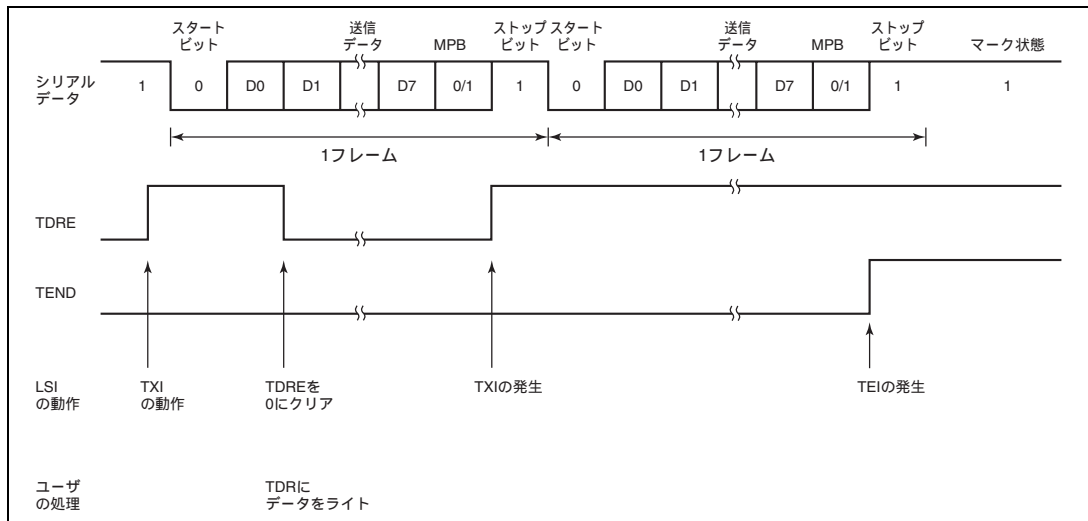


図 10.22 マルチプロセッサフォーマットの送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサデータ受信

図 10.23 にマルチプロセッサデータ受信のフローチャートの例を示します。

マルチプロセッサデータ受信は SCI3 を初期化後、以下の手順に従って行ってください。

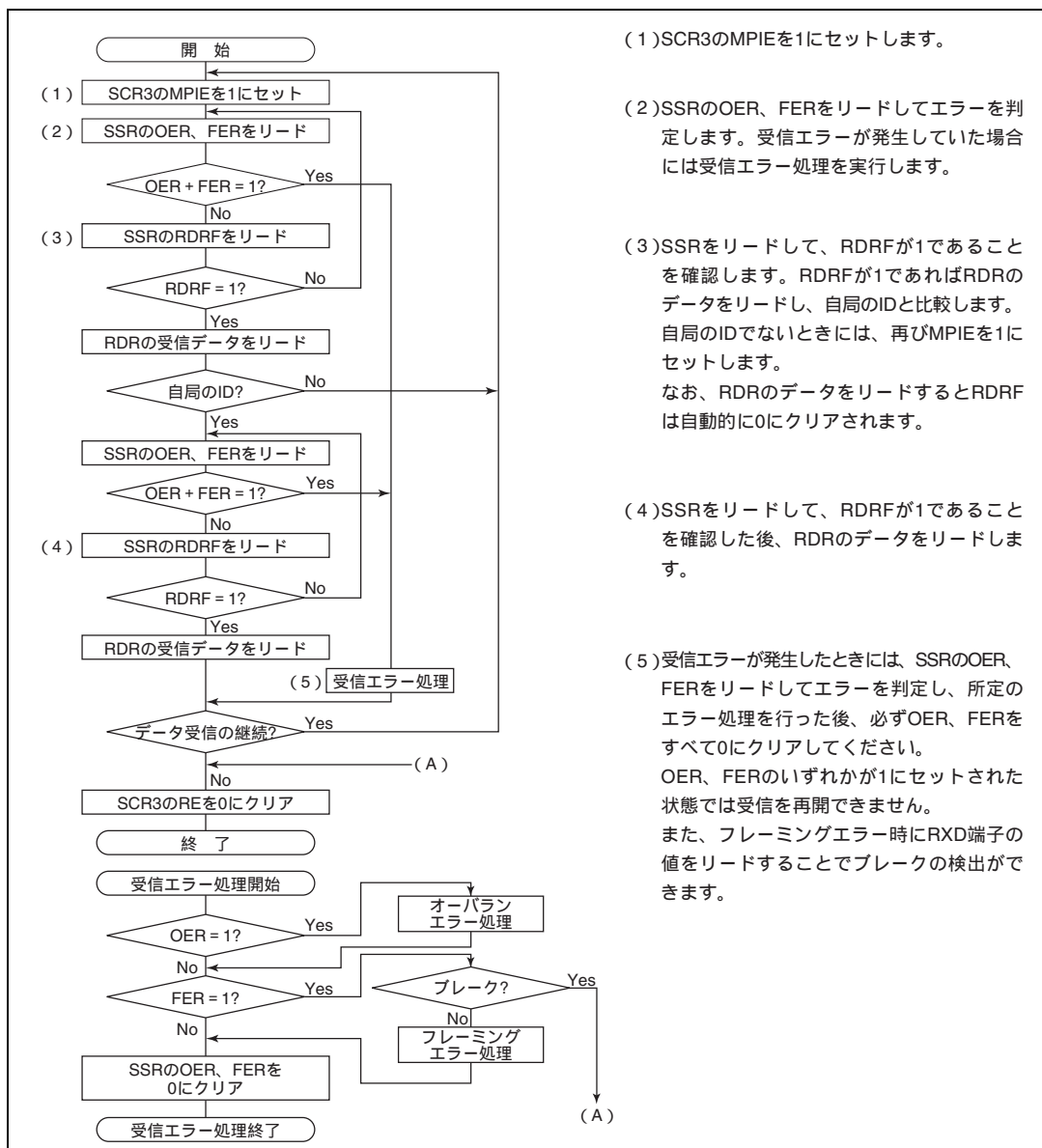


図 10.23 マルチプロセッサデータ受信のフローチャートの例

図 10.24 にマルチプロセッサフォーマットの受信時の動作例を示します。

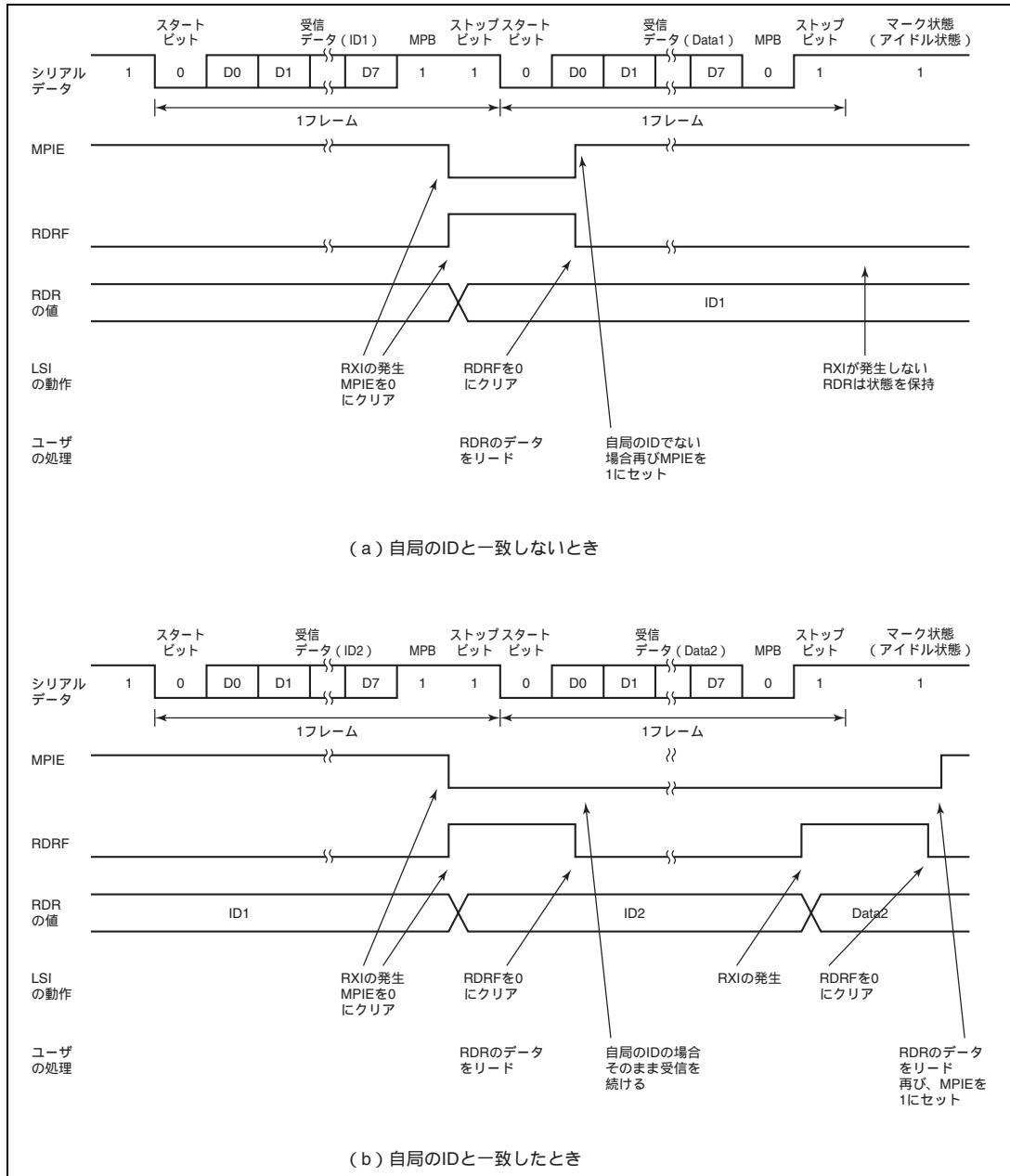


図 10.24 マルチプロセッサフォーマットの受信時の動作例
 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

10.3.7 割り込み要因

SCI3 の割り込み要因には、送信終了、送信データエンプティ、受信データフルおよび 3 種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があり、共通のベクタアドレスが割り付けられています。

表 10.16 に各割り込み要求の内容を示します。

表 10.16 SCI3 割り込み要求の内容

割り込みの略称	割り込み要求の内容	ベクタアドレス
RXI	受信データフル（RDRF）による割り込み要求	H'0024
TXI	送信データエンプティ（TDRE）による割り込み要求	
TEI	送信終了（TEND）による割り込み要求	
ERI	受信エラー（OER、FER、PER）による割り込み要求	

各割り込み要求は、SCR3 の TIE、RIE で許可 / 禁止できます。

SSR の TDRE が 1 にセットされると、TXI が発生します。SSR の TEND が 1 にセットされると、TEI が発生します。この 2 つの割り込みは送信時に発生します。

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットして送信データエンプティ割り込み要求（TXI）を許可すると、送信データが準備されていなくても TXI が発生します。

また、SSR の TEND は初期値が 1 になっています。したがって、送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットして送信終了割り込み要求（TEI）を許可すると、送信データが送信されていなくても TEI が発生します。

送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用できます。

一方、これらの割り込み要求（TXI、TEI）の発生を防ぐためには、送信データを TDR へ転送した後に、これらの割り込み要求に対応する許可ビット（TIE、TEIE）を 1 にセットしてください。

SSR の RDRF が 1 にセットされると RXI が発生します。OER、PER、FER のいずれかが 1 にセットされると ERI が発生します。この 2 つの割り込み要求は受信時に発生します。

割り込みに関する詳細は「3.3 割り込み」を参照してください。

10.3.8 使用上の注意事項

SCI3 を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR へデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が 1 にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実に行うために TDR への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う（2 回以上ライトしない）ようにしてください。

(2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSR の各ステータスフラグの状態は、表 10.17 に示すようにセットされます。オーバーランエラーを検出した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 10.17 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送	受信エラーの状態
RDRF*	OER	FER	PER	RSR→RDR	
1	1	0	0	×	オーバーランエラー
0	0	1		○	フレーミングエラー
		0	1	○	パリティエラー
1	1	1	0	×	オーバーランエラー＋フレーミングエラー
		0	1	×	オーバーランエラー＋パリティエラー
0	○	フレーミングエラー＋パリティエラー			
1	1	×		オーバーランエラー＋フレーミングエラー ＋パリティエラー	

【記号説明】

- : RSR→RDR に受信データを転送します。
- ×

× : RSR→RDR に受信データを転送しません。

【注】 * RDRF は、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバーランエラーが発生した後に RDR をリードした場合は、RDRF は 0 にクリアされますので注意してください。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。

SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

(4) マーク状態とブレークの送出

TE が 0 のとき、TXD 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR = 1、PDR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TXD 端子は I/O ポートとなっており 1 が出力されます。

一方、データ送信時にブレークを送出したいときは、PCR = 1、PDR = 0 に設定した後 TE を 0 にクリアします。

TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子は I/O ポートになり、TXD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（OER、PER、FER）が1にセットされた状態では、TDREを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。
また、REを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3は転送レートの16倍の周波数の基本クロックで動作しています。
受信時にはSCI3は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの8ヶ目の立ち上がりエッジで内部に取り込みます。
これを図10.25に示します。

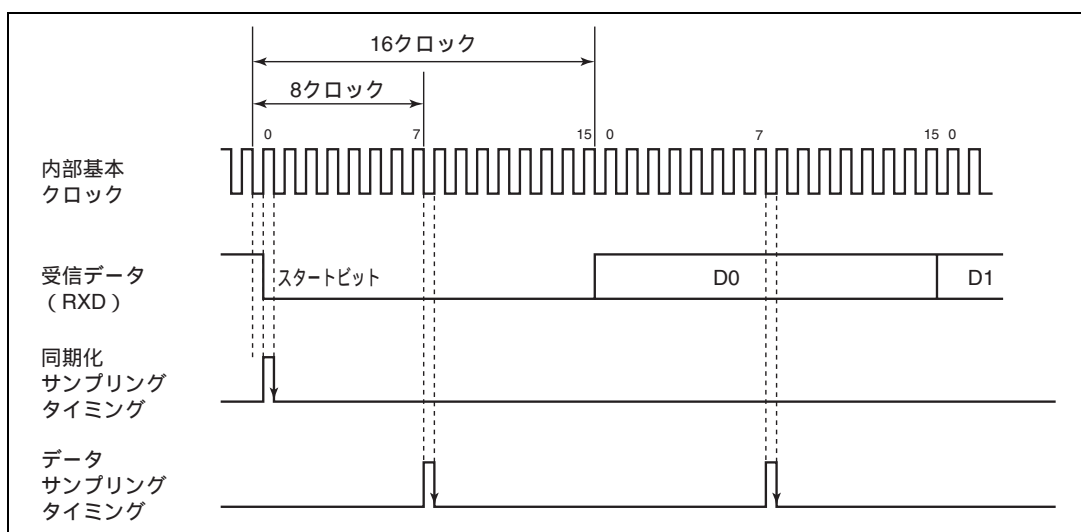


図 10.25 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M：受信マージン（％）

N：クロックに対するビットレートの比（N=16）

D：クロックのデューティ（D=0.5～1.0）

L：フレーム長（L=9～12）

F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）=0、D（クロックのデューティ）=0.5とすると、受信マージンは式（2）より46.875%となります。

D=0.5、F=0のとき、

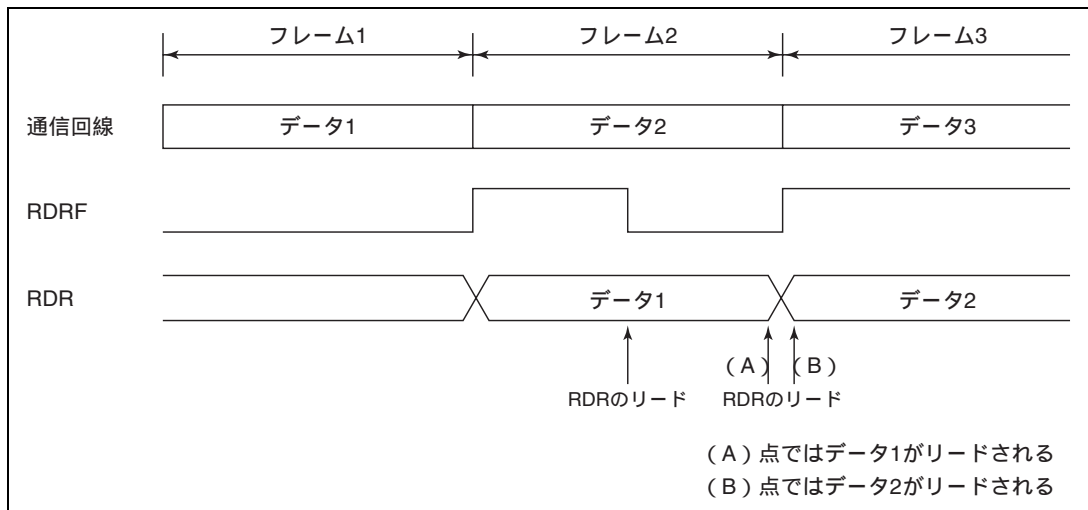
$$\begin{aligned} M &= \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] \\ &= 46.875\% \quad \dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

(7) RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が 0 にクリアされていれば、通常のデータ受信を完了します。また RDRF が 1 にセットされていれば、オーバランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に 0 にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が 0 の状態で行われます。RDRF が 0 の状態で RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 10.26 に示します。



この場合、RDR のリード操作は RDRF が 1 にセットされていることを確認してから、1 回のみ行う（2 回以上リードしない）ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM などに転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

(8) SCK₃の端子機能切り替えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、SCK₃ 端子をクロック出力から入出力ポートに端子機能を切り替えると SCK₃ 端子に端子機能切り替えのタイミングで瞬時 (システムクロック ϕ の 1/2 の期間) Low レベルを出力しますので注意してください。

この瞬時の Low レベル出力を回避するには次の方法があります。

(a) SCK₃ 端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1 命令で SCR3 の TE ビット、RE ビットを 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。

この場合は、SMR の COM ビット = 1 の状態で使用してください。したがって、入出力ポートとしては使用できません。また、SCK₃ 端子に中間電位が印加しないように SCK₃ 端子に接続したラインは抵抗を介して V_{cc} 電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK₃ 端子をクロック出力から入出力ポートに端子機能を切り替える場合

送受信を停止する際、まず 1 命令で SCR3 の TE ビット、RE ビットをともに 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。

次に SMR の COM ビットを 0 にクリアしてください。

最後に SCR3 の CKE1、CKE0 ビットをともに 0 にクリアしてください。

この場合も SCK₃ 端子に中間電位が印加しないように注意してください。

(9) TXD 端子機能切り替えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、TXD 端子をデータ出力から入出力ポートに端子機能を切り替えると TXD 端子に端子機能を切り替えのタイミングで瞬時 (システムクロック ϕ の期間) High レベルを出力しますので注意してください。

11. 14 ビット PWM【H8/3857 グループのみ】

11.1 概要

H8/3857 グループは、14 ビット PWM (Pulse Width Modulator) を内蔵しています。H8/3854 グループにはありません。ローパスフィルタを接続することで D/A 変換器として使用できます。

11.1.1 特長

14 ビット PWM の特長を以下に示します。

■ 2 種類の変換周期を選択可能

1 変換周期 $32,768/\phi$ 、最小変化幅 2ϕ (PWCR0 = 1)、または 1 変換周期 $16,384/\phi$ 、最小変化幅 1ϕ (PWCR0 = 0) の選択が可能です。

■ リップル低減を図ったパルス分割方式

11.1.2 ブロック図

14 ビット PWM のブロック図を図 11.1 に示します。

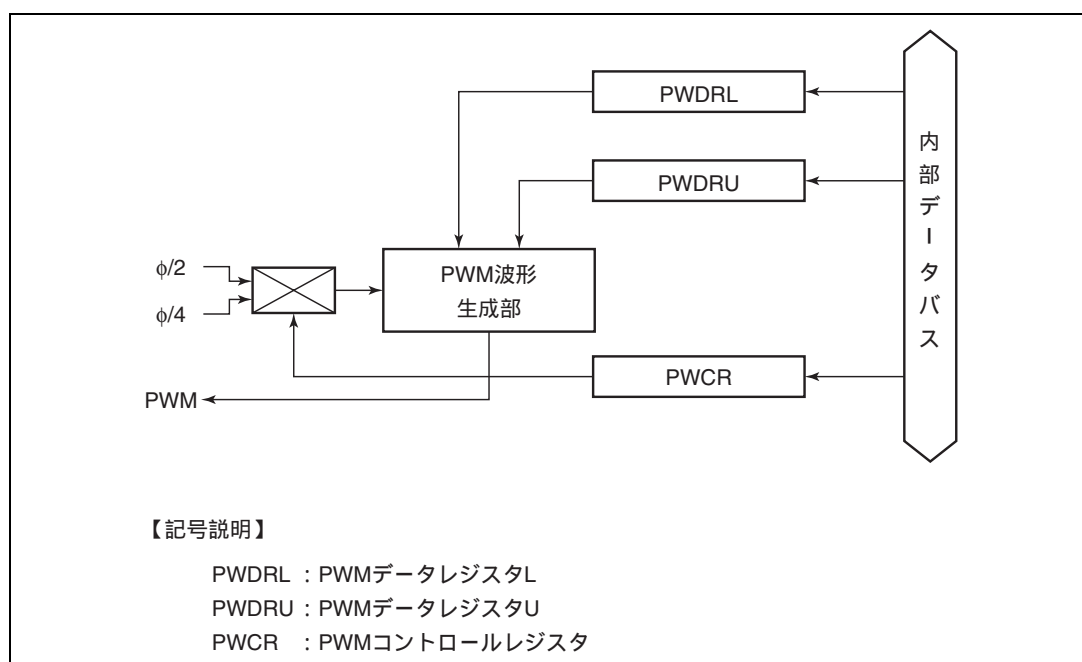


図 11.1 14 ビット PWM のブロック図

11. 14 ビット PWM【H8/3857 グループのみ】

11.1.3 端子構成

14 ビット PWM の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
PWM 出力端子	PWM	出力	パルス分割方式 PWM 波形出力

11.1.4 レジスタ構成

14 ビット PWM のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
PWM コントロールレジスタ	PWCR	W	H'FE	H'FFD0
PWM データレジスタ U	PWDRU	W	H'C0	H'FFD1
PWM データレジスタ L	PWDRL	W	H'00	H'FFD2

11.2 各レジスタの説明

11.2.1 PWM コントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWCR0
初期値:	1	1	1	1	1	1	1	0
R/W :	—	—	—	—	—	—	—	W

PWCR は、8 ビットのライト専用レジスタで、入力クロックの選択を行います。
リセット時、PWCR は H'FE に初期化されます。

ビット 7～1: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 0: クロックセレクト 0 (PWCR0)

14 ビット PWM に供給されるクロックを選択します。
本ビットはライト専用です。リードすると常に 1 が読み出されます。

ビット 0	説 明
PWCR0	
0	入力クロック = $\phi/2$ ($t\phi^* = 2/\phi$) 1 変換周期 16,384/ ϕ 、最小変化幅 1/ ϕ の PWM 波形を生成 (初期値)
1	入力クロック = $\phi/4$ ($t\phi^* = 4/\phi$) 1 変換周期 32,768/ ϕ 、最小変化幅 2/ ϕ の PWM 波形を生成

【注】 * $t\phi$: PWM 入力クロックの周期

11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)

ビット:	7	6	5	4	3	2	1	0
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWDRU、PWDRL は、ライト専用の 14 ビットのレジスタで、PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成になっています。PWDRU、PWDRL に書き込まれた内容は PWM 波形 1 周期の High レベル幅の合計に対応します。

PWDRU、PWDRL に 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。14 ビットデータの設定は必ず PWDRL→PWDRU の順序で行ってください。

- (1) PWDRLへ下位8ビットのデータをライトする。
- (2) PWDRUへ上位6ビットのデータをライトする。

PWDRU、PWDRL は、ライト専用レジスタです。リードした場合各ビットは常に 1 が読み出されます。

リセット時、PWDRU、PWDRL は H'C000 に初期化されます。

11.3 動作説明

14 ビット PWM を使用する場合、以下の順序でレジスタ設定を行ってください。

- (1) PMR1のPWM = 1としてP1₄/PWM端子をPWM出力端子に設定します。
- (2) PWCRのPWCR0により、1変換周期を32,768/ ϕ (PWCR0 = 1)、16,384/ ϕ (PWCR0 = 0) から選択します。
- (3) PWDRU、PWDRLに出力波形データを設定します。このとき、必ずPWDRL→PWDRUの順序で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1 変換周期は図 11.2 に示すように 64 個のパルスで構成され、この 1 変換周期中の High レベル幅合計 (T_H) が、PWDRU、PWDRL のデータに対応しています。

この関係は次式で示されます。

$$T_H = (\text{PWDRU、PWDRL のデータ値} + 64) \times t\phi/2$$

ここで $t\phi$ は、PWM 入力クロックの周期で $2/\phi$ (PWCR0 = 0) または $4/\phi$ (PWCR0 = 1) となります。

(例) 変換周期を 8,192 μ s とするためには、以下のように設定します。

PWCR0 = 0 に設定すると、1 変換周期は 16,384/ ϕ なので、 $\phi = 2\text{MHz}$ となります。

このとき、 $t_{in} = 128\mu\text{s}$ 、 $1/\phi$ (精度) = $0.5\mu\text{s}$ です。

PWCR0 = 1 に設定すると、1 変換周期は 32,768/ ϕ なので、 $\phi = 4\text{MHz}$ となります。

このとき、 $t_{in} = 128\mu\text{s}$ 、 $2/\phi$ (精度) = $0.5\mu\text{s}$ です。

したがって、1 変換周期 8,192 μ s とするためには、システムクロック (ϕ) は 2MHz または、4MHz で使用することになります。

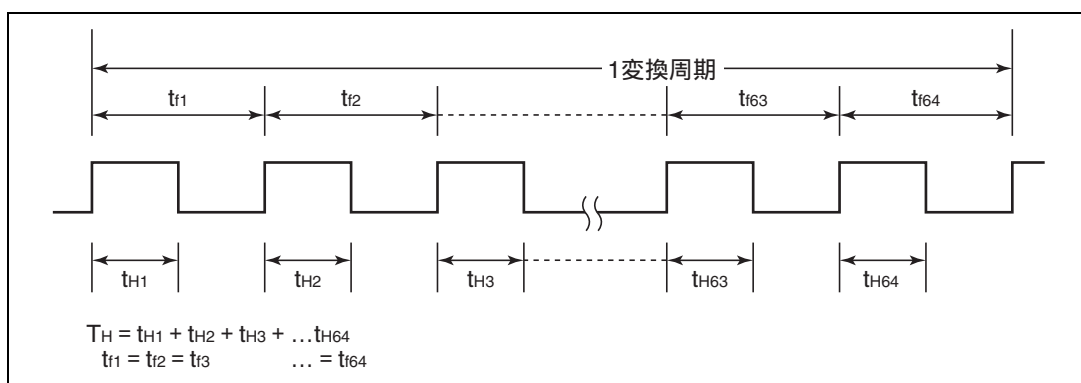


図 11.2 PWM 出力波形

12. A/D 変換器

12.1 概要

本 LSI は、抵抗ラダー方式による逐次比較型 A/D 変換器を内蔵しており、H8/3857 グループでは最大 8 チャンネル、H8/3854 グループでは最大 4 チャンネルのアナログ入力の測定ができます。

12.1.1 特長

A/D 変換器の特長を以下に示します。

- 8 ビットの分解能
- 入力チャンネル：H8/3857 グループでは 8 チャンネル
H8/3854 グループでは 4 チャンネル
- 変換時間：1 チャンネル当たり 12.4 μ s (5MHz 動作時)
- サンプル&ホールド機能
- A/D 変換終了割り込み要求を発生
- 外部トリガ入力により、A/D 変換開始を指定可能

12.1.2 ブロック図

A/D 変換器のブロック図を図 12.1 に示します。

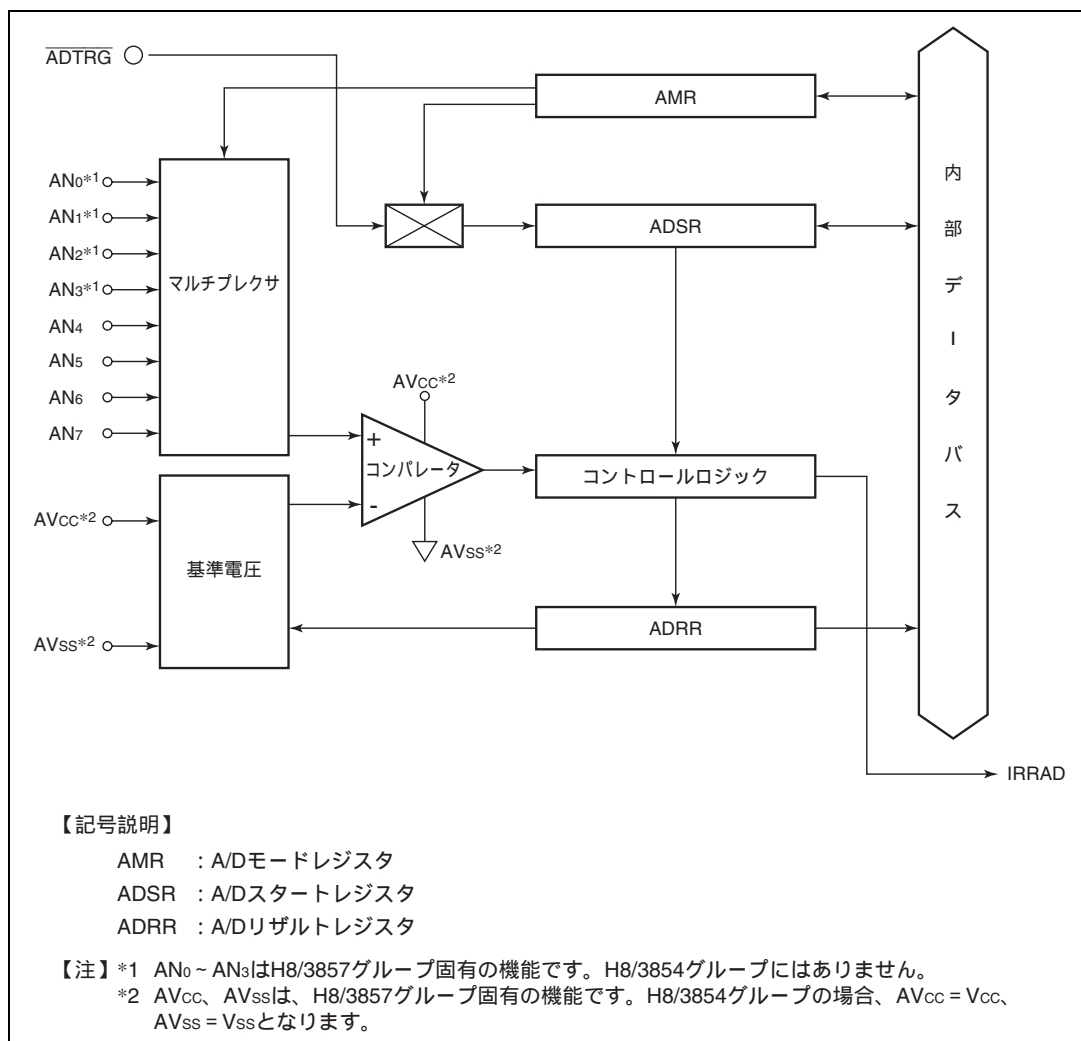


図 12.1 A/D 変換器ブロック図

12.1.3 端子構成

A/D 変換器の端子構成を表 12.1 に示します。

表 12.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子*	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子*	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0*	AN ₀	入力	アナログ入力チャネル 0
アナログ入力端子 1*	AN ₁	入力	アナログ入力チャネル 1
アナログ入力端子 2*	AN ₂	入力	アナログ入力チャネル 2
アナログ入力端子 3*	AN ₃	入力	アナログ入力チャネル 3
アナログ入力端子 4	AN ₄	入力	アナログ入力チャネル 4
アナログ入力端子 5	AN ₅	入力	アナログ入力チャネル 5
アナログ入力端子 6	AN ₆	入力	アナログ入力チャネル 6
アナログ入力端子 7	AN ₇	入力	アナログ入力チャネル 7
外部トリガ入力端子	ADTRG	入力	A/D 変換の開始を制御する外部トリガ入力

【注】 * アナログ電源端子、アナロググランド端子、アナログ入力端子 0～3 は H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

H8/3854 グループでは、アナログ電源端子は、電源端子 (V_{CC})、アナロググランド端子は、グランド端子 (V_{SS}) となります。

12.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/D モードレジスタ	AMR	R/W	H'30	H'FFC4
A/D スタートレジスタ	ADSR	R/W	H'7F	H'FFC6
A/D リザルトレジスタ	ADRR	R	不定	H'FFC5

12.2 各レジスタの説明

12.2.1 A/D リザルトレジスタ (ADRR)

ビット:	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R

ADRR は、A/D 変換された結果を格納する 8 ビットのリード専用レジスタです。

ADRR は常に CPU からリード可能です。A/D 変換中は ADRR の値は不定で、A/D 変換終了時に変換結果の 8 ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADRR は、リセットでクリアされません。

12.2.2 A/D モードレジスタ (AMR)

ビット:	7	6	5	4	3	2	1	0
	CKS	TRGE	—	—	CH3	CH2	CH1	CH0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

AMR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換スピードの設定、外部トリガの選択、アナログ入力端子の指定を行います。

リセット時、AMR は H'30 に初期化されます。

ビット 7: クロックセレクト (CKS)

A/D 変換スピードの設定を行います。

ビット 7	変換周期	変換時間	
CKS		$\phi = 2\text{MHz}$	$\phi = 5\text{MHz}$
0	$62/\phi$ (初期値)	$31\mu\text{s}$	$12.4\mu\text{s}$
1	$31/\phi$	$15.5\mu\text{s}$	*

【注】 * $12.4\mu\text{s}$ 以下の変換時間では、動作が保証されません。 $12.4\mu\text{s}$ 以上になるように選択してください。

ビット 6: 外部トリガセレクト (TRGE)

外部トリガ入力による A/D 変換の開始を許可または禁止します。

ビット 6	説 明
TRGE	
0	外部トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりエッジで A/D 変換を開始*

【注】 * 外部トリガ (ADTRG) 端子のエッジ選択は IEGR の INTEG4 により設定します。詳細は「3.3.2 (1) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

ビット5、4：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット3～0：チャンネルセレクト3～0 (CH3～CH0)

アナログ入力チャンネルの選択を行います。

チャンネル選択の切り替えは、ADSF = 0 の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル
CH3	CH2	CH1	CH0	
0	0	*	*	非選択 (初期値)
	1	0	0	AN ₀ *
			1	AN ₁ *
		1	0	AN ₂ *
			1	AN ₃ *
1	0	0	0	AN ₄
			1	AN ₅
		1	0	AN ₆
			1	AN ₇
	1	*	*	リザーブ

【記号説明】

* : Don't care

【注】 * AN₀～AN₃のチャンネルは H8/3857 グループ固有の機能です。H8/3854 グループでは、設定しないでください。

12.2.3 A/D スタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

ADSR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換の開始または停止を指定します。

ADSF に 1 をライトまたは外部トリガのエッジ入力により、ADSF が 1 にセットされ A/D 変換が開始します。変換が終了すると変換データは ADDR にセットされ、同時に ADSF は 0 にクリアされません。

ビット 7 : A/D スタートフラグ (ADSF)

A/D 変換の開始および終了の確認を行います。

ビット 7	説 明	
ADSF		
0	リード時	A/D 変換の終了 (初期値)
	ライト時	A/D 変換を強制終了
1	リード時	A/D 変換中
	ライト時	A/D 変換を開始

ビット 6~0 : リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

12.3 動作説明

12.3.1 A/D 変換動作

A/D 変換器は逐次比較方式で動作し、8 ビットの変換結果が得られます。

ソフトウェアにより ADSF を 1 にセットすると、A/D 変換を開始します。ADSF は、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、IRR2 の IRRAD が 1 にセットされます。このとき、IENR2 の IENAD が 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、AMR により変換時間や入力チャネルの切り替えを行う場合は、誤動作を避けるために ADSF を 0 にクリアして、A/D 変換を強制終了させて行ってください。

12.3.2 外部トリガによる A/D 変換器の起動

A/D 変換器は外部トリガ入力によって A/D 変換を開始させることができます。

外部トリガは I/O ポートの PMR2 の IRQ4 が 1 がかつ AMR の TRGE が 1 のとき、 $\overline{\text{ADTRG}}$ 入力端子から入力されます。 $\overline{\text{ADTRG}}$ 入力端子から IEGR の IEG4 で指定されたエッジが入力されると、ADSR の ADSF が 1 にセットされ、A/D 変換が開始されます。

このタイミングを図 12.2 に示します。

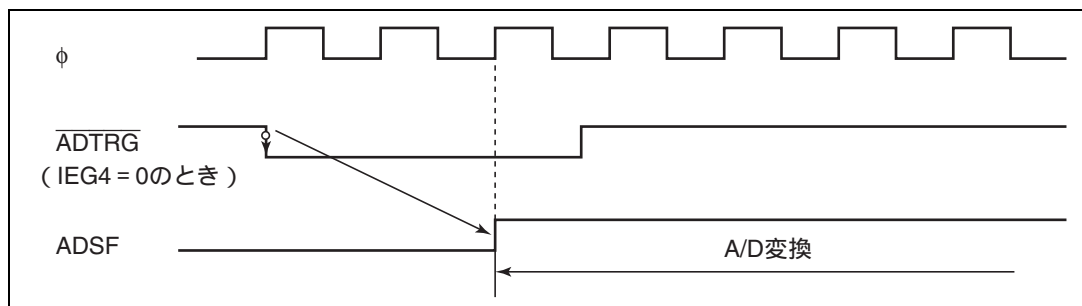


図 12.2 外部トリガ入力タイミング

12.4 割り込み要因

A/D 変換終了時 (ADSF = 1→0)、IRR2 の IRRAD が 1 にセットされます。

A/D 変換終了割り込みは、IENR2 の IENAD により、許可 / 禁止を指定できます。

詳細は「3.3 割り込み」を参照してください。

12.5 使用例

チャンネル 1 (AN1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 12.3 に示します。

- (1) 入力チャンネルをAN₁ (AMRのCH3～CH0を0101)、IENAD = 1に設定して、A/D変換を開始 (ADSF = 1) します。
- (2) A/D変換が終了すると、IRRADが1にセットされ、A/D変換結果がADRRに格納されます。同時にADSF = 0となり、A/D変換器は変換待機となります。
- (3) IENAD = 1となっているためA/D変換終了割り込み要求が発生します。
- (4) A/D割り込み処理ルーチンが開始されます。
- (5) A/D変換結果を読み出して、処理します。
- (6) A/D変換処理ルーチンの実行が終了します。

この後、ADSF = 1 にセットすると A/D 変換が開始され (2) ~ (6) を行います。

A/D 変換器の使用手順の概念フローを図 12.4、図 12.5 に示します。

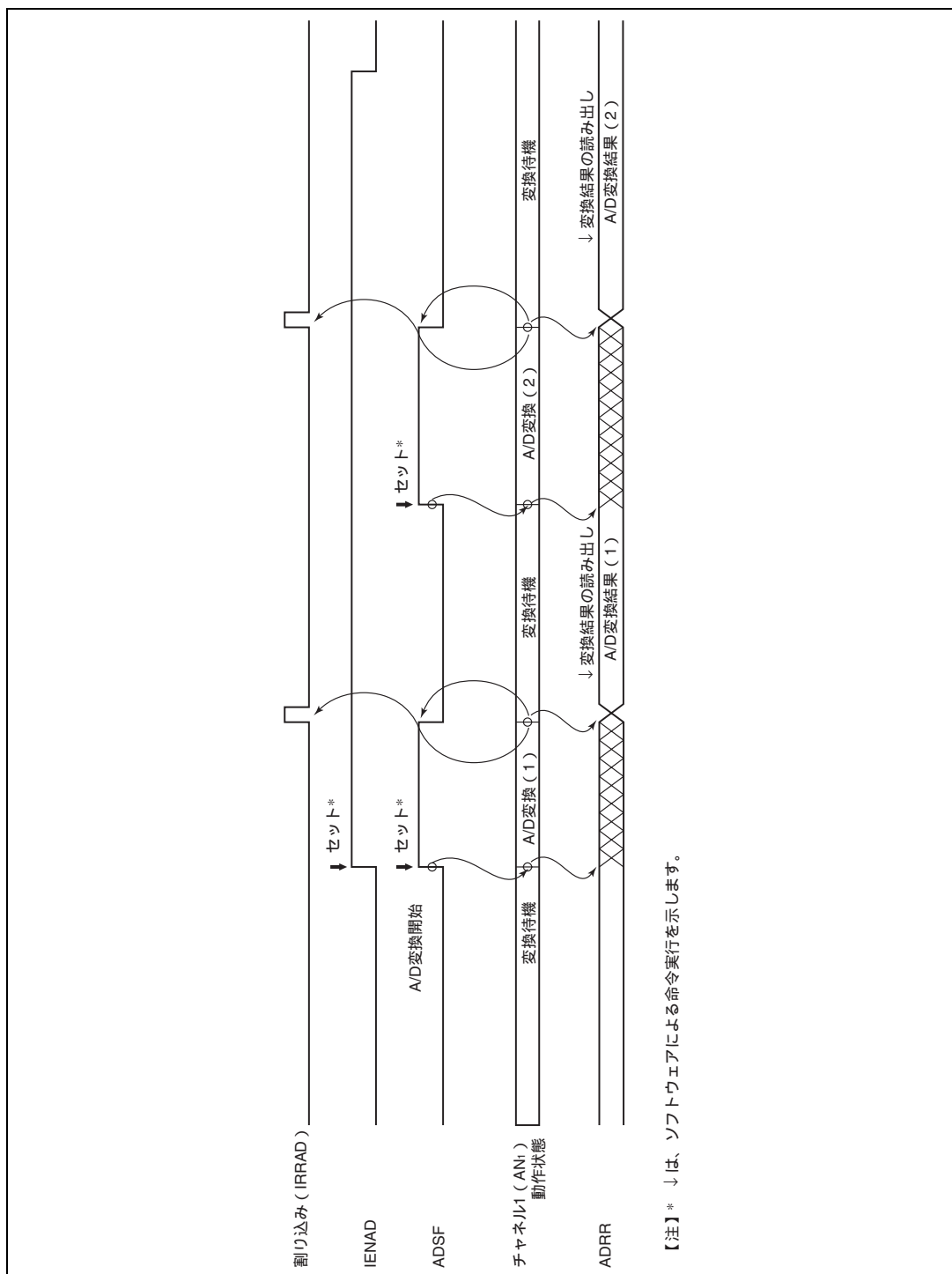


図 12.3 A/D 変換器の動作例

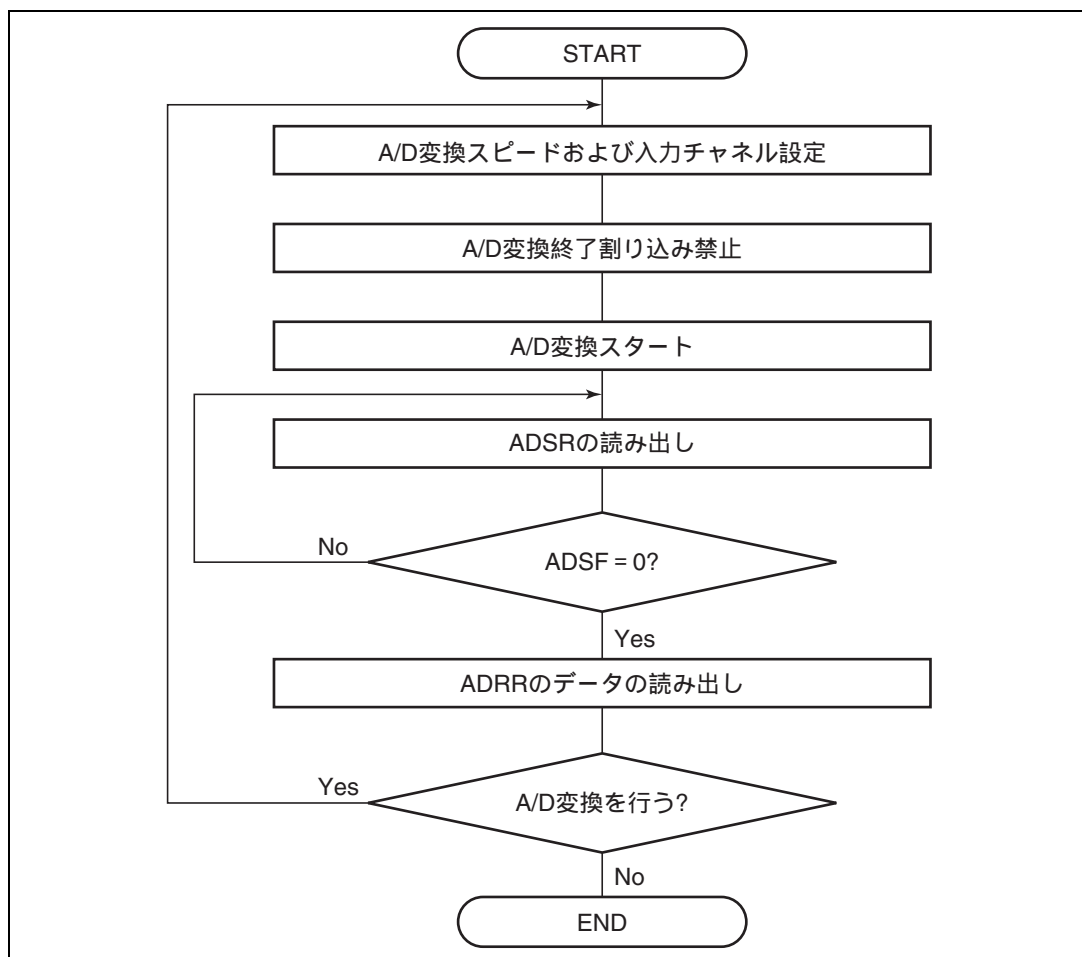


図 12.4 A/D 変換器の使用手順の概念フロー (1)
(ソフトウェアでポーリングする場合)

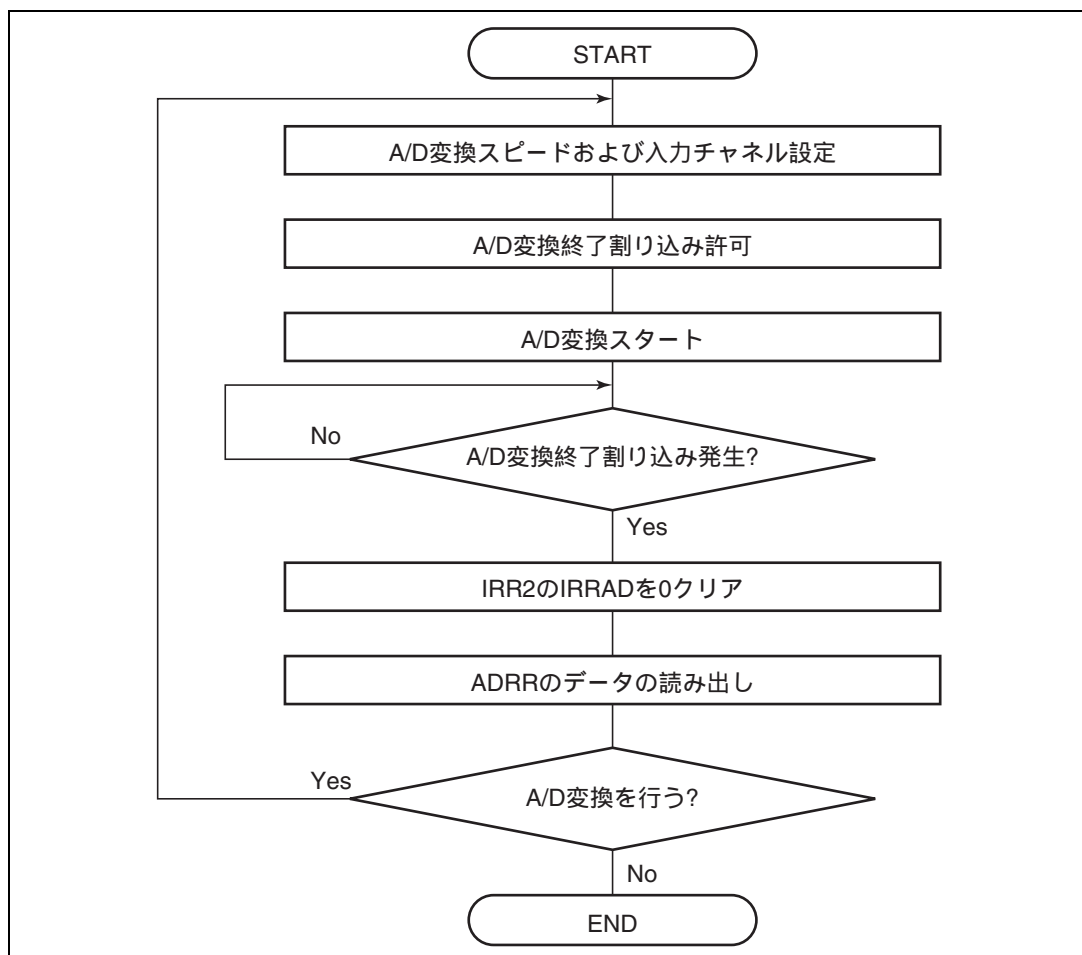


図 12.5 A/D 変換器の使用手順の概念フロー (2)
(割り込みを使用する場合)

12.6 使用上の注意

- (1) ADRRの読み出しは、ADSRのADSFが0のときに行ってください。
- (2) A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。

13. ドットマトリクス LCD コントローラ (H8/3857 グループ)

13.1 概要

LCD コントローラは、表示用 RAM を内蔵し、ドットマトリクス液晶表示を行います。表示 RAM の 1 ビットのデータが LCD パネルの 1 ドットの点灯、非点灯に対応するため、非常に自由度の高い表示が可能です。

LCD コントローラは、液晶表示に必要な機能をすべて内蔵することにより、最大 40×32 のドットマトリクス表示が可能です。

CPU とのインタフェースは I/O ポートを使用しており、MPU と LCD ドライバとの組み合わせの場合のソフトウェアの継承性に優れています。

サブクロックにより動作しますので、小型携帯機器に最適です。

13.1.1 特長

- ビットマップ方式の表示 RAM (2048 ビット) を内蔵

最大表示ビット数は 1280 ビット (40×32 ビット、56×16 ビット、64×8 ビット、40×16 ビット、40×8 ビットから選択)

- 1/8、1/16、または 1/32 デューティを選択可能

- 電池での長時間駆動を可能にする低消費電力

サブクロック動作

モジュールスタンバイ

- 2 倍または 3 倍の液晶電源昇圧回路内蔵

- 豊富な表示制御機能

表示データリード / ライト、表示オン / オフ、表示縦方向スクロール、任意のエリアのプリנק、リードモディファイライト

- CPU インタフェース

I/O ポートインタフェース

- 輝度調整回路内蔵

- 液晶電源プリーダ抵抗およびボルテージフォロア型オペアンプ回路内蔵

13.1.2 ブロック図

LCD コントローラのブロック図を図 13.1 に示します。

13. ドットマトリクス LCD コントローラ (H8/3857 グループ)

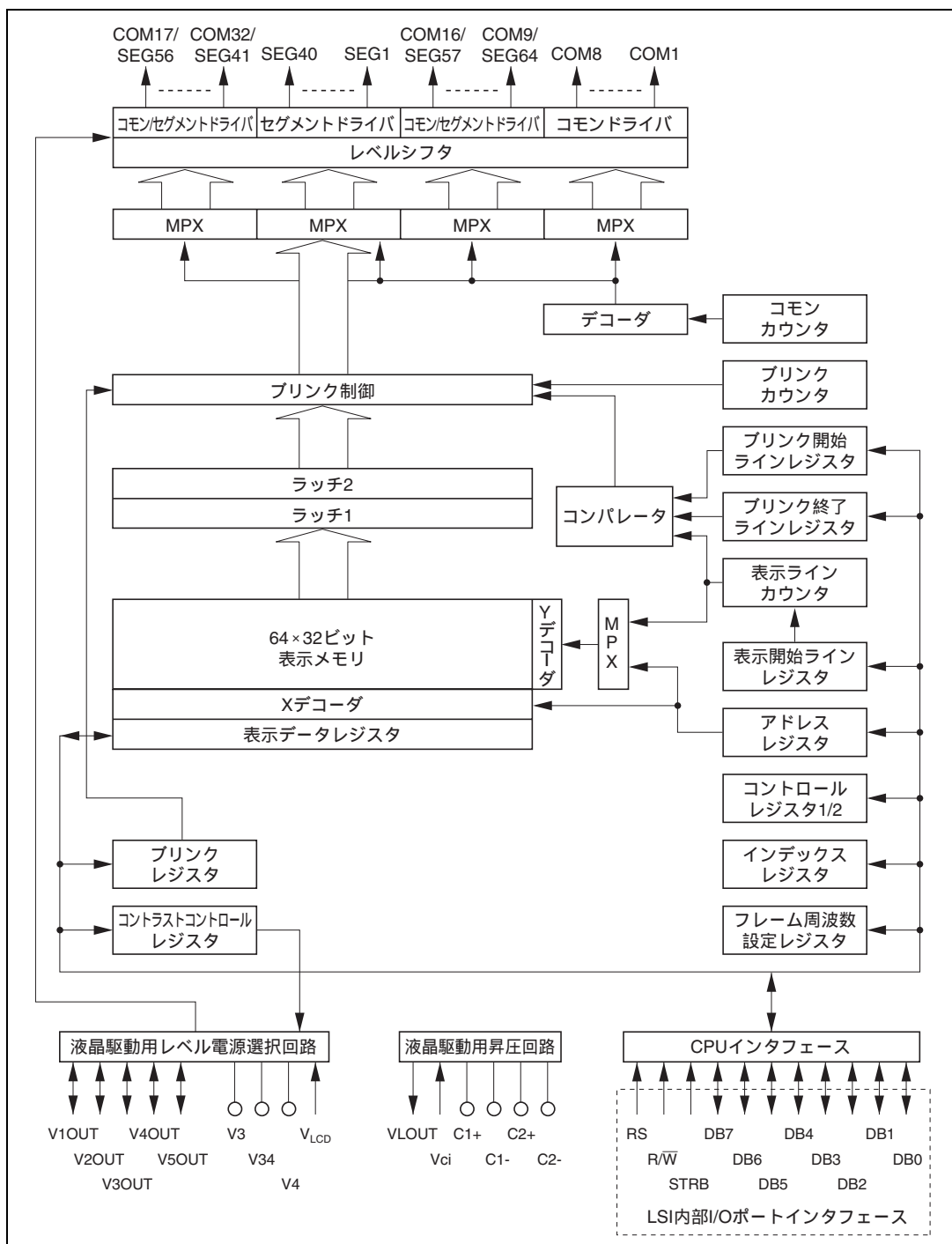


図 13.1 LCD ブロック図

13.1.3 端子構成

LCD コントローラの端子構成を表 13.1 に示します。

表 13.1 端子構成

端子名	記号	入出力	機能
コモン出力端子	COM1 ~ COM32	出力	液晶のコモン駆動用端子
セグメント出力端子	SEG1 ~ SEG64	出力	液晶のセグメント駆動用端子
LCD バイアス設定端子	V3、V4	入力	LCD のバイアスを設定
LCD テスト端子	V34	入力	内部抵抗テスト用端子、V3 とショート
LCD 昇圧用容量接続端子	C1+、C1- C2+、C2-	-	LCD 昇圧用の外部容量接続端子
LCD 駆動電源レベル	V1OUT ~ V5OUT	入出力	LCD 駆動電源レベル入出力端子
LCD 昇圧回路基準電源	V_{Ci}	入力	LCD の昇圧回路への基準入力電圧、兼昇圧回路電源
LCD 昇圧電源出力端子	VLOUT	出力	LCD の昇圧電圧の出力端子
LCD 駆動電源	V_{LCD}	入力	LCD の駆動電源入力端子

13.1.4 レジスタ構成

LCD コントローラは 1 本のインデックスレジスタと 10 本の制御レジスタをもっており、すべてのレジスタは I/O ポートインタフェースでアクセスします。表示データレジスタ (LR4) を除いて、レジスタのリードはできません。LCD コントローラのレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

名称	略称	R/W	RS	インデックスレジスタ			
				IR3	IR2	IR1	IR0
インデックスレジスタ	IR	W	0	-	-	-	-
コントロールレジスタ 1	LR0	W	1	0	0	0	0
コントロールレジスタ 2	LR1	W		0	0	0	1
アドレスレジスタ	LR2	W		0	0	1	0
フレーム周波数設定レジスタ	LR3	W		0	0	1	1
表示データレジスタ	LR4	R/W		0	1	0	0
表示開始ラインレジスタ	LR5	W		0	1	0	1
ブリンクレジスタ	LR6	W		0	1	1	0
ブリンク開始ラインレジスタ	LR8	W		1	0	0	0
ブリンク終了ラインレジスタ	LR9	W		1	0	0	1
コントラストコントロールレジスタ	LRA	W		1	0	1	0

13.2 各レジスタの説明

13.2.1 インデックスレジスタ (IR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	IR3	IR2	IR1	IR0
初期値:	-	-	-	-	0	0	0	0
R/W:	-	-	-	-	W	W	W	W

IR は、8 ビットのライト専用のレジスタで LCD コントローラの 10 本の制御レジスタのうちの 1 つを選択します。IR は RS が 0 のとき選択されます。

リセット時、IR は H'00 に初期化されます。

ビット 7～4: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 3～0: インデックスレジスタ (IR3～IR0)

IR3～IR0 は LCD コントローラの 10 本の制御レジスタのうちの 1 つを選択するビットです。IR3～IR0 と選択するレジスタの対応を表 13.2 に示します。その他の設定は無効です。

13.2.2 コントロールレジスタ 1 (LR0)

ビット:	7	6	5	4	3	2	1	0
	-	-	LSBY	PWR	-	SOB	DDTY1	DDTY0
初期値:	-	-	0	0	-	0	0	0
R/W:	-	-	W	W	-	W	W	W

LR0 は、8 ビットのライト専用のレジスタで LCD モジュールスタンバイモードの設定、昇圧回路の制御、キャラクタ表示 / グラフィック表示の切り替え、駆動デューティの選択を行います。

リセット時、LR0 は H'00 に初期化されます。

ビット 7、6: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 5: モジュールスタンバイ (LSBY)

LSBY はモジュールスタンバイ設定ビットです。LSBY を 1 に設定すると LCD コントローラはスタンバイモードになります。そのとき、PWR の状態には影響を与えませんが、LR1 の DISP および OPON はリセットされます。

ビット 5	説 明
LSBY	
0	通常動作します。 (初期値)
1	昇圧、内部動作を停止し、表示をオフし、LCD はスタンバイモードとなります。

ビット 4 : 昇圧回路動作設定 (PWR)

PWR は昇圧回路の動作 / 停止を設定するビットです。

ビット 4	説 明
PWR	
0	昇圧回路は停止します。 (初期値)
1	昇圧回路は動作します。

ビット 3 : リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 2 : 表示モード選択 (SOB)

SOB は表示モードをキャラクタ表示モードか、グラフィック表示モードか選択するビットです。

ビット 2	説 明
SOB	
0	キャラクタ表示モード 表示メモリの 1 バイトのデータのうち、ビット 4~0 をセグメント端子に出力します。 (初期値)
1	グラフィック表示モード 表示メモリの 1 バイトのデータのすべてをセグメント端子に出力します。 出力できる X アドレスは、1/32 デューティの場合 H'0 ~ H'4、1/16 デューティの場合 H'0 ~ H'6、1/8 デューティの場合 H'0 ~ H'7 の範囲です。

ビット 1、0 : 表示デューティ選択 (DDTY1、DDTY0)

DDTY1、DDTY0 は表示デューティを 1/32、1/16、または 1/8 から選択するビットです。

ビット 1	ビット 0	説 明
DDTY1	DDTY0	
0	0	1/32 デューティを選択します。 (初期値)
	1	1/16 デューティを選択します。 Y アドレスの H'10 ~ H'1F の表示データは無効です。
1	*	1/8 デューティを選択します。 Y アドレスの H'08 ~ H'1F の表示データは無効です。

【記号説明】

* : Don't care

13. ドットマトリクス LCD コントローラ (H8/3857 グループ)

13.2.3 コントロールレジスタ 2 (LR1)

ビット:	7	6	5	4	3	2	1	0
	-	DISP	-	OPON	RMW	-	INC	BLK
初期値:	-	0	-	0	0	-	0	0
R/W :	-	W	-	W	W	-	W	W

LR1 は、8 ビットのライト専用のレジスタで液晶表示の動作 / 停止の設定、オペアンプ回路の動作 / 停止の設定、リード・モディファイ・ライトモードの設定、表示メモリのインクリメントするアドレスの設定を行います。

リセット時、LR1 は H'00 に初期化されます。

ビット 7: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 6: 液晶表示動作設定 (DISP)

DISP は液晶表示の動作 / 停止を設定するビットです。LR0 の LSBY を 1 に設定すると DISP はクリアされます。

ビット 6	説 明
DISP	
0	液晶表示をオフします。全液晶表示出力は V_{ss} レベルとなります。 (初期値)
1	液晶表示をオンします。

ビット 5: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 4: オペアンプ回路動作設定 (OPON)

OPON はオペアンプ回路を動作 / 停止を設定するビットです。OPON を 1 に設定するとオペアンプ回路が動作します。外部から $V_{IOUT} \sim V_{SOUT}$ に LCD 駆動電源レベルを印加する場合は必ず OPON を 0 に設定してください。

LR0 の LSBY を 1 に設定すると OPON はクリアされます。

ビット 4	説 明
OPON	
0	内蔵オペアンプは停止し、出力はハイインピーダンスとなります。外部から液晶駆動電圧を入力できます。 (初期値)
1	内蔵オペアンプは動作します。

ビット 3 : リード・モディファイ・ライトモード設定 (RMW)

RMW は表示メモリへの X または Y アドレスのインクリメントをライト/リードのアクセス後に行うか、ライト後のみ (リード・モディファイ・ライトモード) で行うかを選択するビットです。

ビット 3	説 明
RMW	
0	表示メモリへのライト/リードアクセス後にアドレスをインクリメントします。(初期値)
1	リード・モディファイ・ライトモードに設定します。 このモードでは、表示メモリへのライトアクセス後にはのみアドレスをインクリメントします。

ビット 2 : リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 1 : インクリメントアドレス選択 (INC)

INC は表示メモリへの RMW で設定したアクセス後にインクリメントするアドレスを X アドレスか、Y アドレスかを選択するビットです。選択されたアドレスは表示データの有効エリアの最大値で表示メモリへのアクセス後にクリアされ、そのとき、他方のアドレスをインクリメントします。

ビット 1	説 明
INC	
0	表示メモリの Y アドレスのインクリメントが優先され、Y アドレスのオーバフロー後に X アドレスをインクリメントします。(初期値)
1	表示メモリの X アドレスのインクリメントが優先され、X アドレスのオーバフロー後に Y アドレスをインクリメントします。

ビット 0 : ブリンク動作設定 (BLK)

BLK はブリンク機能の有効/無効を設定するビットです。DISP が 1 で液晶表示しているとき、BLK を 1 に設定するとブリンク機能が有効になり、LR6 の BK7 ~ BK0、LR8 の BSL4 ~ BSL0、LR9 の BEL4 ~ BEL0 で設定した範囲をブリンク表示します。

ビット 0	説 明
BLK	
0	ブリンクは無効です。(初期値)
1	ブリンクが有効となります。

13.2.4 アドレスレジスタ (LR2)

ビット:	7	6	5	4	3	2	1	0
	XA2	XA1	XA0	YA4	YA3	YA2	YA1	YA0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

LR2 は 8 ビットのライト専用のレジスタで、CPU からアクセスする表示メモリの X、Y 方向それぞれのアドレスの設定を行います。

リセット時、LR2 は H'00 に初期化されます。

ビット 7～5 : X アドレス設定 (XA2～XA0)

XA2～XA0 は表示メモリの X 方向のアドレスを設定するビットです。H'0～H'7 の範囲が設定可能ですが、LR0 の SOB が 1 の場合は 1/16 デューティ時 H'7、1/32 デューティ時 H'5～H'7 の範囲の表示データは無効となります。

LR1 の INC が 1 のとき、LR1 の RMW で設定したアクセス後に自動的にインクリメントされ、表示データの有効エリアの最大値のアクセス後にクリアされます。また、INC が 0 で YA4～YA0 が表示データの有効エリアの最大値のとき、RMW で設定したアクセス後にインクリメントされます。

ビット 4～0 : Y アドレス設定 (YA4～YA0)

YA4～YA0 は表示メモリの Y 方向のアドレスを設定するビットです。H'00～H'1F の範囲が設定可能ですが、1/16 デューティの場合は H'10～H'1F の範囲、また 1/8 デューティの場合は H'08～H'1F の範囲の表示データは無効となります。

LR1 の INC が 0 のとき、LR1 の RMW で設定したアクセス後に自動的にインクリメントされ、表示データの有効エリアの最大値のアクセス後にクリアされます。また、INC が 1 で XA2～XA0 が表示データの有効エリアの最大値のとき、RMW で設定したアクセス後にインクリメントされます。

13.2.5 フレーム周波数設定レジスタ (LR3)

ビット:	7	6	5	4	3	2	1	0
	-	-	FS5	FS4	FS3	FS2	FS1	FS0
初期値:	-	-	0	0	0	0	0	0
R/W:	-	-	W	W	W	W	W	W

LR3 は、8 ビットのライト専用のレジスタでフレーム周波数の設定を行います。

リセット時、LR3 は H'00 に初期化されます。

ビット 7、6 : リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 5～0 : フレーム周波数設定 (FS5～FS0)

FS5～FS0 はサブクロックの分周比を制御し、液晶表示のフレーム周波数を設定するビットです。液晶表示フレーム周波数 f_F (Hz)、サブクロック周波数 f_W (Hz)、分周比 r 、液晶表示デューティ $1/N$ には、

$$f_F = \frac{f_W}{r \times N}$$

の関係がありますので、使用する液晶パネルの特性に合わせて最適な分周比を設定してください。レジスタ設定値と分周比の関係を表 13.3 に示します。

表 13.3 レジスタ設定値と分周比

FS						分周 比 r	FS						分周 比 r	FS						分周 比 r	FS						分周 比 r
5	4	3	2	1	0		5	4	3	2	1	0		5	4	3	2	1	0		5	4	3	2	1	0	
0	0	0	0	0	0	2	0	1	0	0	0	0	34	1	0	0	0	0	0	66	1	1	0	0	0	0	98
0	0	0	0	0	1	4	0	1	0	0	0	1	36	1	0	0	0	0	1	68	1	1	0	0	0	1	100
0	0	0	0	1	0	6	0	1	0	0	1	0	38	1	0	0	0	1	0	70	1	1	0	0	1	0	102
0	0	0	0	1	1	8	0	1	0	0	1	1	40	1	0	0	0	1	1	72	1	1	0	0	1	1	104
0	0	0	1	0	0	10	0	1	0	1	0	0	42	1	0	0	1	0	0	74	1	1	0	1	0	0	106
0	0	0	1	0	1	12	0	1	0	1	0	1	44	1	0	0	1	0	1	76	1	1	0	1	0	1	108
0	0	0	1	1	0	14	0	1	0	1	1	0	46	1	0	0	1	1	0	78	1	1	0	1	1	0	110
0	0	0	1	1	1	16	0	1	0	1	1	1	48	1	0	0	1	1	1	80	1	1	0	1	1	1	112
0	0	1	0	0	0	18	0	1	1	0	0	0	50	1	0	1	0	0	0	82	1	1	1	0	0	0	114
0	0	1	0	0	1	20	0	1	1	0	0	1	52	1	0	1	0	0	1	84	1	1	1	0	0	1	116
0	0	1	0	1	0	22	0	1	1	0	1	0	54	1	0	1	0	1	0	86	1	1	1	0	1	0	118
0	0	1	0	1	1	24	0	1	1	0	1	1	56	1	0	1	0	1	1	88	1	1	1	0	1	1	120
0	0	1	1	0	0	26	0	1	1	1	0	0	58	1	0	1	1	0	0	90	1	1	1	1	0	0	122
0	0	1	1	0	1	28	0	1	1	1	0	1	60	1	0	1	1	0	1	92	1	1	1	1	0	1	124
0	0	1	1	1	0	30	0	1	1	1	1	0	62	1	0	1	1	1	0	94	1	1	1	1	1	0	126
0	0	1	1	1	1	32	0	1	1	1	1	1	64	1	0	1	1	1	1	96	1	1	1	1	1	1	128

サブクロック周波数、液晶表示デューティ、分周比の設定とフレーム周波数の例を、表 13.4 に示します。

表 13.4 フレーム周波数の設定例

表示デューティ 1/N		サブクロック周波数 (kHz)	
		32.768	38.4
1/8	分周比 r	48	56
	フレーム周波数 f_F (Hz)	85.3	85.7
1/16	分周比 r	24	28
	フレーム周波数 f_F (Hz)	85.3	85.7
1/32	分周比 r	12	14
	フレーム周波数 f_F (Hz)	85.3	85.7

13.2.6 表示データレジスタ (LR4)

ビット:	7	6	5	4	3	2	1	0
	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LR4 は、8 ビットのリード/ライト可能なレジスタで LR2 の XA2 ~ XA0 と YA4 ~ YA0 で指定される表示メモリにリード/ライトを行います。

表示メモリへのライトは、本レジスタを通して表示メモリに直接書き込みます。リードは、いったんこのレジスタにデータが取り込まれてからバスに出力されます。

リセット時、表示メモリおよび LR4 は不定です。

13.2.7 表示開始ラインレジスタ (LR5)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	ST4	ST3	ST2	ST1	ST0
初期値:	-	-	-	0	0	0	0	0
R/W:	-	-	-	W	W	W	W	W

LR5 は、8 ビットのライト専用のレジスタで表示を開始するラインを設定します。

リセット時、LR5 は H'00 に初期化されます。

ビット 7 ~ 5: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 4 ~ 0: 表示開始ライン設定 (ST4 ~ ST0)

ST4 ~ ST0 は、表示を開始するラインを指定するビットです。設定値は、「表示開始ライン - 1」を指定してください。

本レジスタの設定値を変えることにより、縦方向のスクロールが実現できます。設定範囲は、1/32 デューティの場合 0 ~ 31、1/16 デューティの場合 0 ~ 15、1/8 デューティの場合 0 ~ 7 です。これらの制限値を超えた値を設定しますと、正常な表示は行えません。

13.2.8 ブリンクレジスタ (LR6)

ビット:	7	6	5	4	3	2	1	0
	BK7	BK6	BK5	BK4	BK3	BK2	BK1	BK0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

LR6 は 8 ビットのライト専用レジスタで、ブリンクさせたい領域に対応するビットに 1 を書き込みます。同時にブリンクさせる範囲には制限がなく、全ビットに 1 を書き込むことによって全画面をブリンクさせることも可能です。このレジスタの設定値は、LR1 の BLK が 1 に設定されているときにのみ有効です。

各ビットに対応するブリンクの範囲は、LR0 の SOB の値により次のようになります。

SOB	BK7	BK6	BK5	BK4	BK3	BK2	BK1	BK0
0	SEG36 ~ SEG40	SEG31 ~ SEG35	SEG26 ~ SEG30	SEG21 ~ SEG25	SEG16 ~ SEG20	SEG11 ~ SEG15	SEG6 ~ SEG10	SEG1 ~ SEG5
1	SEG57 ~ SEG64	SEG49 ~ SEG56	SEG41 ~ SEG48	SEG33 ~ SEG40	SEG25 ~ SEG32	SEG17 ~ SEG24	SEG9 ~ SEG16	SEG1 ~ SEG8

リセット時、LR6 は H'00 に初期化されます。

13.2.9 ブリンク開始ラインレジスタ (LR8)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	BSL4	BSL3	BSL2	BSL1	BSL0
初期値:	-	-	-	0	0	0	0	0
R/W:	-	-	-	W	W	W	W	W

LR8 は、8 ビットのライト専用のレジスタでブリンクさせる領域の始まりのラインを設定します。リセット時、LR8 は H'00 に初期化されます。

ビット 7～5: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 4～0: ブリンク開始ライン設定 (BSL4～BSL0)

BSL4～BSL0 は、ブリンクさせる領域の先頭のラインを指定するビットです。設定値は、「ブリンク開始ライン - 1」をセットしてください。

設定範囲は、1/32 デューティの場合 0～31、1/16 デューティの場合 0～15、1/8 デューティの場合 0～7 です。これらの制限値を超えた値を設定しますと、正常な動作は保証されません。

13.2.10 ブリンク終了ラインレジスタ (LR9)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	BEL4	BEL3	BEL2	BEL1	BEL0
初期値:	-	-	-	0	0	0	0	0
R/W:	-	-	-	W	W	W	W	W

LR9 は、8 ビットのライト専用のレジスタでブリンクさせる領域の終わりのラインを設定します。リセット時、LR9 は H'00 に初期化されます。

ビット 7～5: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 4～0: ブリンク終了ライン設定 (BEL4～BEL0)

BEL4～BEL0 は、ブリンクさせる領域の終りのラインを指定するビットです。設定値は、「ブリンク終了ライン - 1」をセットしてください。

設定範囲は、1/32 デューティの場合 0～31、1/16 デューティの場合 0～15、1/8 デューティの場合 0～7 です。これらの制限値を超えた値を設定しますと、正常な動作は保証されません。

13.2.11 コントラストコントロールレジスタ (LRA)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	CCR3	CCR2	CCR1	CCR0
初期値:	-	-	-	-	0	0	0	0
R/W:	-	-	-	-	W	W	W	W

LRA は、8 ビットのライト専用のレジスタで輝度調整抵抗値を設定します。リセット時、LRA は H'00 に初期化されます。

ビット 7～4: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

ビット 3～0 : 輝度調整設定 (CCR3～CCR0)

CCR3～CCR0 は V_{LCD} と V1 レベルの間の輝度調整抵抗値を設定するビットです。

V_{LCD} と V1 レベルの間の輝度調整抵抗を調節することにより、液晶パネルの輝度調整が可能です。
輝度調整抵抗は、液晶ブリーダ抵抗 R に対し 0.1R から 1.6R の範囲で設定可能です。

ビット 3	ビット 2	ビット 1	ビット 0	輝度調整抵抗
CCR3	CCR2	CCR1	CCR0	
0	0	0	0	1.6R (初期値)
			1	1.5R
		1	0	1.4R
			1	1.3R
	1	0	0	1.2R
			1	1.1R
		1	0	1.0R
			1	0.9R
1	0	0	0	0.8R
			1	0.7R
		1	0	0.6R
			1	0.5R
	1	0	0	0.4R
			1	0.3R
		1	0	0.2R
			1	0.1R

13.3 動作説明

13.3.1 システム概要

LCD コントローラは、1/32、1/16、または 1/8 デューティで動作します。表示サイズは最大 40×32 ドット (5×8 ドットフォント時 8 桁 4 行) です。サブクロックで動作し、表示制御を行いますので、時計などを常時表示することができます。2 倍または 3 倍の LCD 電源昇圧回路を内蔵していますので、いくつかの外付け部品 (抵抗、容量) のみで、LCD 表示システムを構成することができます。また、モジュールスタンバイモード時でも表示 RAM のデータは保持され、昇圧動作は行いませんので、表示に影響を及ぼすことなく低消費電力化を行うことができます。

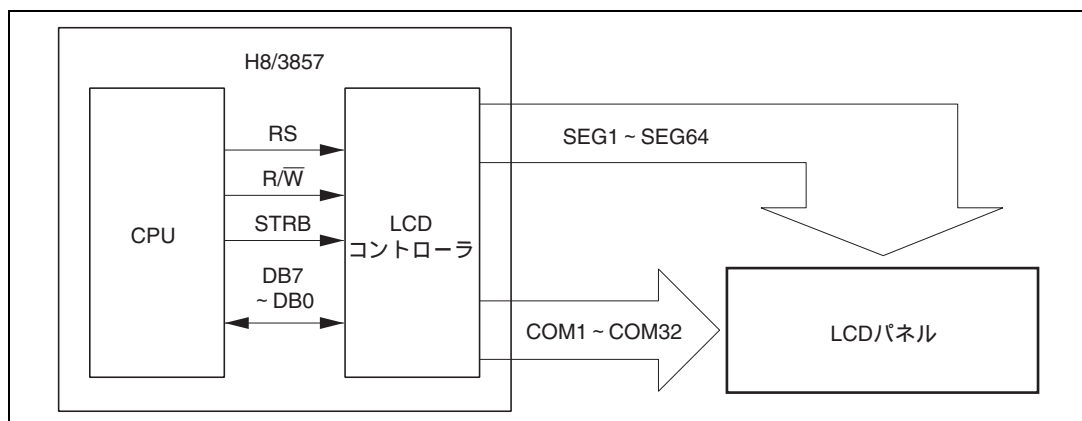


図 13.2 システムブロックダイアグラム

13.3.2 CPU とのインタフェース

LCD コントローラのレジスタは図 2.16 (a) のメモリマップ上にはありません。CPU から LSI 内部 I/O ポートのポート 9 およびポート A を介して、LSI 内部 LCD 端子である DB7～DB0、RS、R/W、STRB により制御されます。各端子の構成を表 13.5 に示します。LCD コントローラの内部にあるレジスタへのアクセスタイミング例を図 13.3 に示します。ポート 9 およびポート A に関しては「8. I/O ポート」の各ポートの説明を参照してください。

表 13.5 端子構成

端子名	記号	入出力	機能
データバス端子	DB7～DB0	入出力	R/W=0 のときレジスタにライトするデータを入力、R/W=1 のときレジスタからリードしたデータを出力します。
レジスタセレクト端子	RS	入力	RS=0 のときインデックスレジスタが、RS=1 のとき制御レジスタが選択されます。
リード/ライト選択端子	R/W	入力	R/W=0 のときライトが、R/W=1 のときリードが選択されます。
ストロブ端子	STRB	入力	STRB の立ち下がりで、RS で選択されたレジスタに R/W で選択されたリード/ライトのアクセスを行います。

(1) インデックスレジスタへのライト

RS に 0 を、R/W に 0 をセットした状態のとき、STRB の立ち下がりエッジにより DB7～DB0 のデータがインデックスレジスタ (IR) にライトされます。STRB の立ち下がりでは RS、R/W を変化させないでください。

(2) 制御レジスタへのリード/ライト

制御レジスタへアクセスする場合は、インデックスレジスタ (IR) にアクセスしたいレジスタ番号のデータをライトしてからアクセスする必要があります。インデックスレジスタ (IR) へライトするレジスタ番号のデータは表 13.2 に示します。インデックスレジスタ (IR) にライトされたレジスタ番号は再度インデックスレジスタ (IR) へのライトが行われない限り保存されますので、同じ制御レジスタにアクセスする場合は、1 回ごとにインデックスレジスタにライトする必要はありません。

制御レジスタへのライトは RS に 1 を、 $R/\overline{W}$ に 0 をセットした状態のとき、STRB の立ち下がりエッジにより DB7～DB0 のデータがインデックスレジスタ (IR) で指定された制御レジスタにライトされます。

制御レジスタは表示データレジスタ (LR4) 以外はリードできません。表示データレジスタ (LR4) のリードはインデックスレジスタ (IR) に表示データレジスタ (LR4) のレジスタ番号をライトし、RS に 1 を、 $R/\overline{W}$ に 1 をセットすると、DB7～DB0 は出力に設定され、STRB の立ち上がりエッジによりアドレスレジスタ (LR2) で指定されるアドレスの表示メモリのデータを DB7～DB0 から出力されます。次のサイクルもリードを行う場合は次の STRB の立ち上がりまでデータ出力は保持されますが、次のサイクルでライトを行う場合は、 $R/\overline{W}$ が 0 にセットされた時点から DB7～DB0 は入力に設定され、出力は解除されます。

いずれの場合も STRB の立ち下がりでは RS、 $R/\overline{W}$ を変化させないでください。

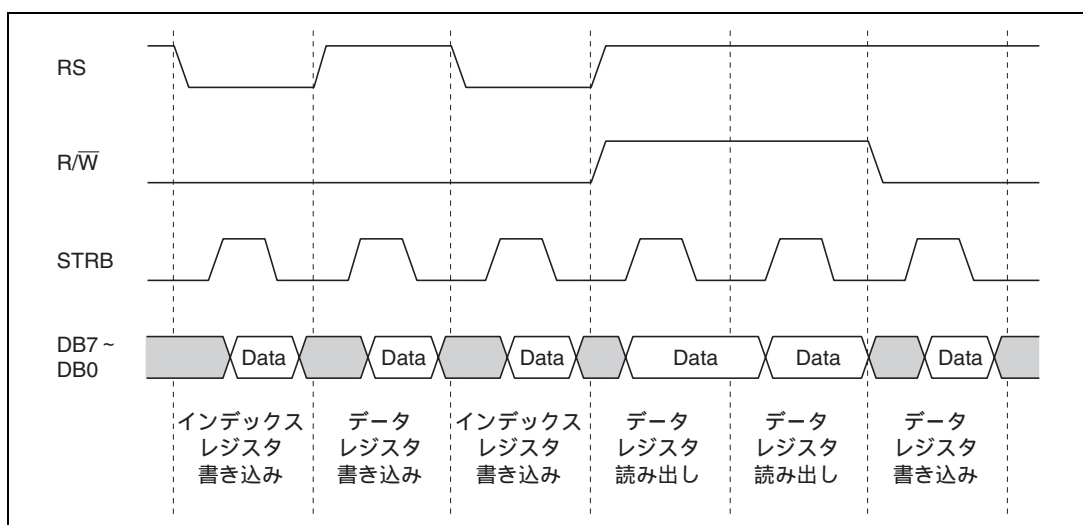


図 13.3 8 ビットデータ転送のタイミングシーケンス例

(3) LSI 内部 I/O ポートの使用上の注意

LCD コントローラインタフェースの内部ポート 9 およびポート A は通常の I/O ポートと同じように PCR9 および PCRA でポートの入出力が制御され、出力の場合は PDR9 および PDRA に設定された値が出力されます。また、LCD コントローラの内部端子である RS、 $R/\overline{W}$ 、STRB は入力専用端子で、DB7～DB0 は $R/\overline{W}$ により入出力が制御されます。そのため、次の注意が必要です。

1. リセット解除後、スタンバイモード解除後

リセット時およびスタンバイモード時 LSI 内部 I/O ポートはハイインピーダンス状態になるため、解除後の初期化において、PDRA に H'06 を設定し、PCRA に H'07 をライトしてください。それにより、ポート A は出力に設定されます。PDRA が H'00 の場合、インデックスレジスタ (IR) にライトする可能性があります。

2. レジスタのリード/ライト設定の切り替え

LCD コントローラのレジスタをリードする ($R/\overline{W}$ が 1) 場合、DB7~DB0 は LCD コントローラ側からデータを出力するため、ポート 9 は入力設定にする必要があります。そのため、 $R/\overline{W}$ を 0 から 1 に切り替える設定は PCR9 に H'00 をライトして、ポート 9 を入力設定にした後に行ってください。また、LCD コントローラのレジスタにデータをライトする場合は、 $R/\overline{W}$ を 1 から 0 に切り替える設定の後で、PCR9 を H'FF にし、ポート 9 を出力設定にしてください。

以下に表示データレジスタ (LR4) のリード・モディファイ・ライト設定時のレジスタのリード/ライトの例を示します。

【インデックスレジスタを表示データレジスタに設定する】

- ポート A は出力設定、RMW は 1 の設定
- ```
MOV.W #H'0100, R1
MOV.W #H'04FF, R0
MOV.B R1L,@PDRA..... $R/\overline{W}$ を0に設定する
MOV.B R0H,@PDR9
MOV.B R0L,@PCR9.....ポート9からH'04を出力する
MOV.B R1H,@PDRA
MOV.B R1L,@PDRA.....インデックスレジスタにH'04をライトする
```

#### 【表示データレジスタをリードする】

```
MOV.B R1L,@PCR9.....ポート9を入力設定にする
MOV.W #H'0706, R2
MOV.B R2L,@PDRA..... $R/\overline{W}$ を1に設定する
MOV.B R2H,@PDRA
MOV.B @PDR9, R0H.....PDR9を汎用レジスタにリード
MOV.B R2L,@PDRA
```

#### 【表示データレジスタにライトする】

```
MOV.W #H'0504, R3
MOV.B R3L,@PDRA..... $R/\overline{W}$ を0に設定する
NOT.B R0H汎用レジスタのデータを反転する
MOV.B R0H,@PDR9
MOV.B R0L,@PCR9.....ポート9を出力設定にする
MOV.B R3H,@PDRA
MOV.B R3L @PDRA.....表示データレジスタにデータをライトする
```

### 13.3.3 液晶駆動端子機能

#### コモン/セグメント出力切り替え

LCD コントローラは、液晶駆動出力のうち、COM9 から COM32 と SEG64 から SEG41 が表示デューティと表示モードにより切り替わります。

表示デューティはコントロールレジスタ 1 (LR0) の DDTY1 および DDTY0、表示モードは SOB により設定します。

## (1) SOB=0 (キャラクタ表示モード) の場合

- 1/8 デューティ (DDTY1 = 1)  
 コモン出力 : COM1 ~ COM8  
 セグメント出力 : SEG1 ~ SEG40

【注】 COM9/SEG64 ~ COM16/SEG57 はコモン信号の非選択波形、COM17/SEG56 ~ COM24/SEG49 は COM1 ~ COM8 と同様の波形、COM25/SEG48 ~ COM32/SEG41 はコモン信号の非選択波形を出力します。

- 1/16 デューティ (DDTY1 = 0、DDTY0 = 1)  
 コモン出力 : COM1 ~ COM16  
 セグメント出力 : SEG1 ~ SEG40

【注】 COM17/SEG56 ~ COM32/SEG41 は、COM1 ~ COM16 と同様の波形を出力します。

- 1/32 デューティ (DDTY1 = 0、DDTY0 = 0)  
 コモン出力 : COM1 ~ COM32  
 セグメント出力 : SEG1 ~ SEG40

## (2) SOB=1 (グラフィック表示モード) の場合

- 1/8 デューティ (DDTY1 = 1)  
 コモン出力 : COM1 ~ COM8  
 セグメント出力 : SEG1 ~ SEG64
- 1/16 デューティ (DDTY1 = 0、DDTY0 = 1)  
 コモン出力 : COM1 ~ COM16  
 セグメント出力 : SEG1 ~ SEG56
- 1/32 デューティ (DDTY1 = 0、DDTY0 = 0)  
 コモン出力 : COM1 ~ COM32  
 セグメント出力 : SEG1 ~ SEG40

表 13.6 表示モード、表示デューティによる端子機能

| 端子名                             | 機能                     |               |               |                         |               |               |
|---------------------------------|------------------------|---------------|---------------|-------------------------|---------------|---------------|
|                                 | SOB='0' ( キャラクタ表示モード ) |               |               | SOB='1' ( グラフィック表示モード ) |               |               |
|                                 | 1/8<br>デューティ           | 1/16<br>デューティ | 1/32<br>デューティ | 1/8<br>デューティ            | 1/16<br>デューティ | 1/32<br>デューティ |
| COM1 ~ COM8                     | COM1 ~ COM8            | COM1 ~ COM16  | COM1 ~ COM16  | COM1 ~ COM8             | COM1 ~ COM16  | COM1 ~ COM16  |
| COM9/SEG64<br>~<br>COM16/SEG57  | コモン信号の<br>非選択波形        |               |               | SEG64 ~ SEG57           |               |               |
| SEG1 ~ SEG40                    | SEG1 ~ SEG40           | SEG1 ~ SEG40  | SEG1 ~ SEG40  | SEG1 ~ SEG56            | SEG1 ~ SEG56  | SEG1 ~ SEG40  |
| COM32/SEG41<br>~<br>COM25/SEG48 | コモン信号の<br>非選択波形        | COM16 ~ COM1  | COM32 ~ COM17 |                         |               | COM32 ~ COM17 |
| COM24/SEG49<br>~<br>COM17/SEG56 | COM8 ~ COM1            |               |               |                         |               |               |

## 13.3.4 表示メモリ構成と表示

LCD コントローラは、容量  $64 \times 32$  ビットのビットマップ方式の表示メモリを内蔵しています。表示メモリの構成は X 方向が 5 ビット  $\times$  8 または 8 ビット  $\times$  n ( $n=5, 7, 8$ ) ビットの組み合わせが選択可能で、Y 方向が 32 ビットになっています。CPU からライトする表示データは、図 13.4 に示すように MSB が左、LSB が右に横に格納されます。表示データと表示の関係は、データ 1 が点灯 (黒)、データ 0 が非点灯 (無色) に対応しています。

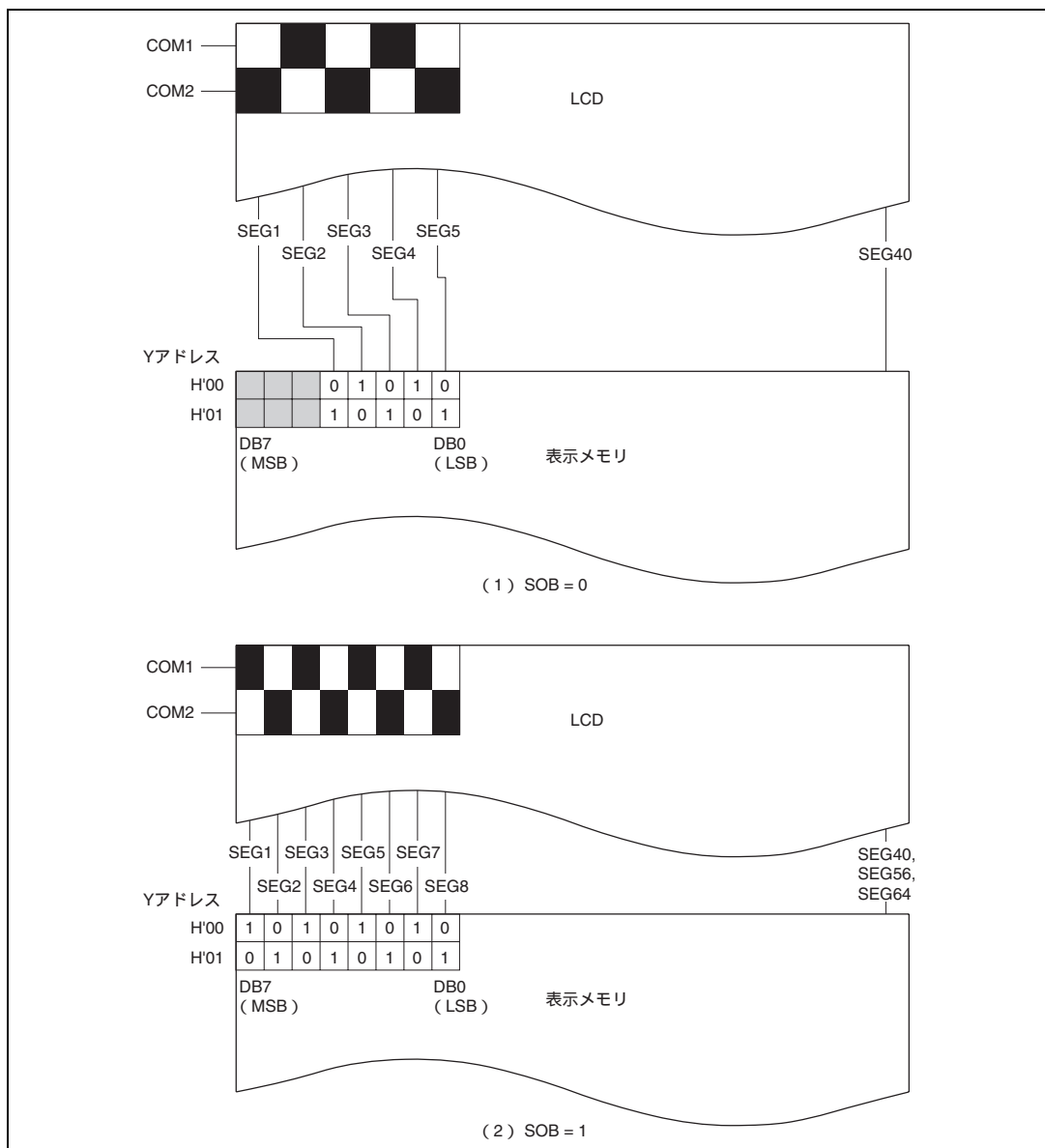


図 13.4 メモリデータと表示

## 13.3.5 表示データ出力

LCD コントローラは、5 ドット×8 ドットのキャラクタ出力を効率的に行うために、表示データの 1 バイトのうち 5 ビットのみ出力可能なキャラクタ表示モード (SOB=0) と、フルドットのグラフィック表示を効率的に行うために、1 バイトの全データを出力可能なグラフィック表示モード (SOB=1) があります。それぞれの表示デューティと出力端子の関係を、図 13.5 に示します。

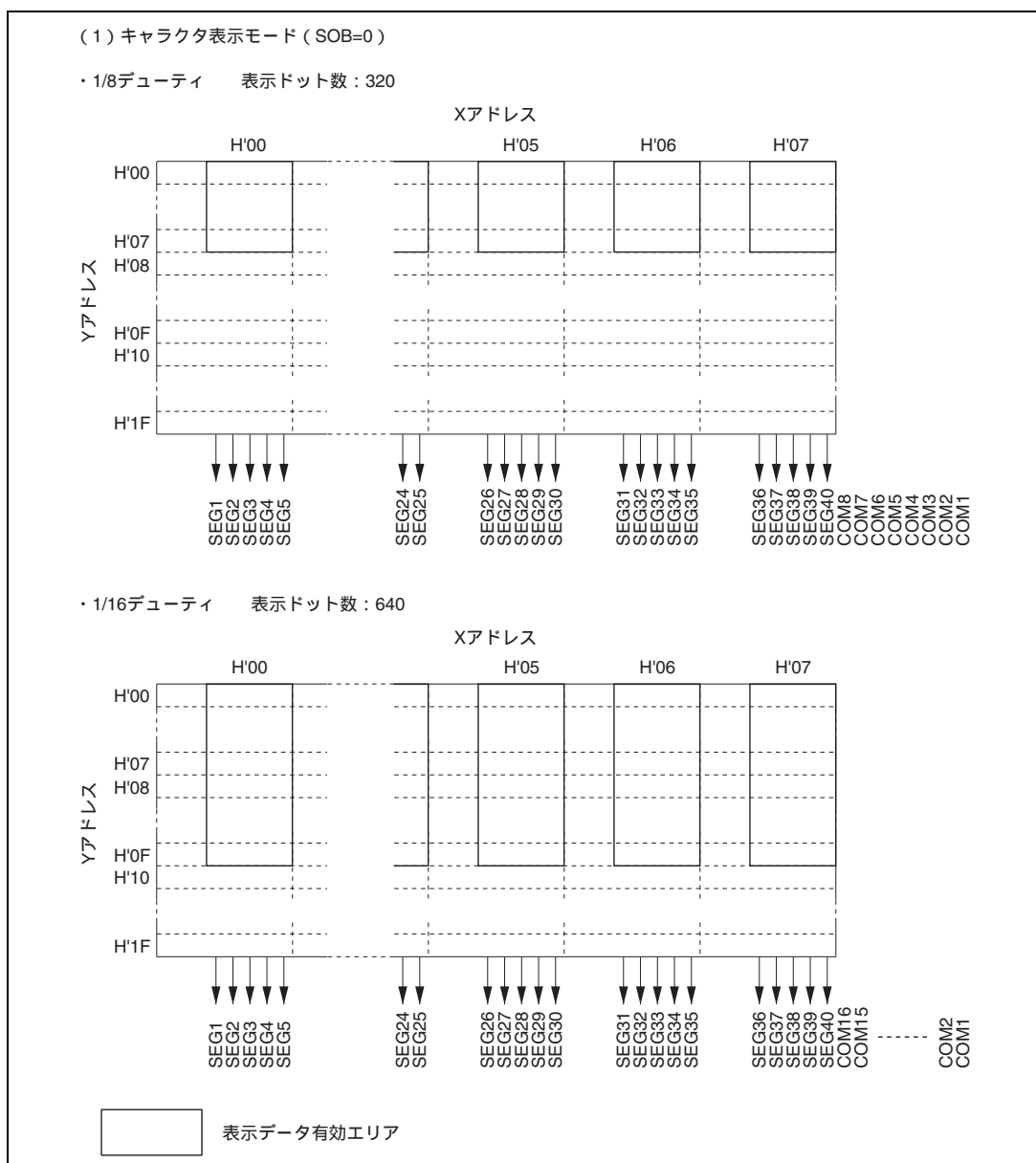


図 13.5 表示デューティと表示データ有効エリア (1)

### 13. ドットマトリクス LCD コントローラ (H8/3857 グループ)

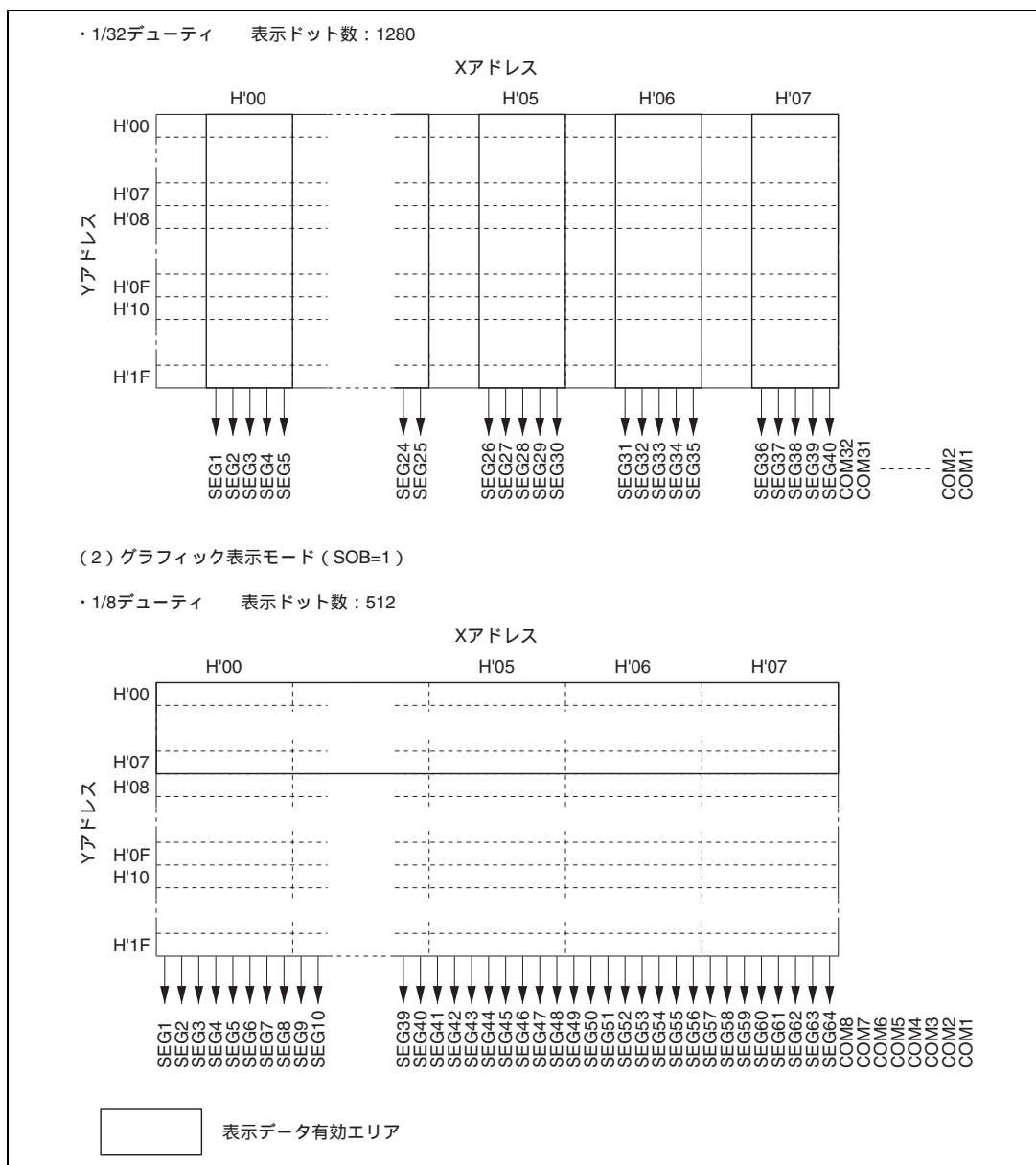


図 13.5 表示デューティと表示データ有効エリア (2)

### 13. ドットマトリクス LCD コントローラ (H8/3857 グループ)

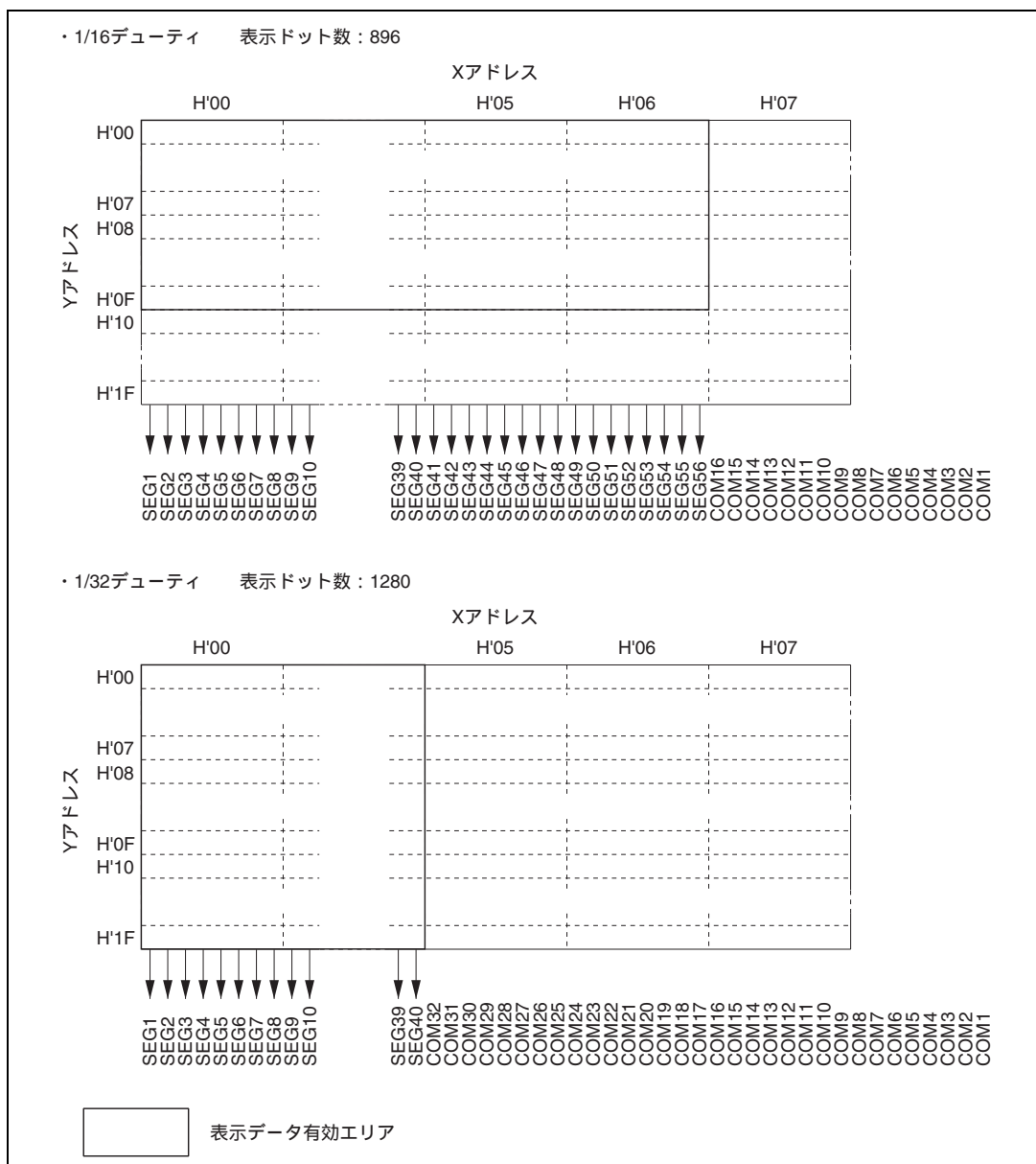


図 13.5 表示デューティと表示データ有効エリア (3)

### 13.3.6 レジスタおよび表示メモリへのアクセス

#### (1) レジスタへのアクセス

レジスタへアクセスするには、まず RS を 0 にしてインデックスレジスタにアクセスしたいレジスタのレジスタ番号を設定します。その後に RS を 1 にして指定したレジスタにアクセスすることができます。一部の内部レジスタには存在しないビットがありますが、これらのビットには 0 を書き込むようにしてください。表示データレジスタ (LR4) 以外のリードはできません。

#### (2) 表示メモリへのアクセス

表示メモリへのアクセスを行うには、アドレスレジスタ (LR2) にアクセスを行いたいアドレスを設定します。その後に表示データレジスタ (LR4) を通してメモリをアクセスします。このアクセスは表示側の読み出しを意識せずに行うことができます。これらの手順は、図 13.6 を参照してください。

X、Y アドレスはおのこの表示データレジスタ (LR4) へのアクセス後、コントロールレジスタ 2 (LR1) の INC の設定値に基づき自動的にインクリメントされるため、アドレスの設定を毎回する必要はありません。

1/32 デューティ (DDTY1=0、DDTY0=0)、グラフィック表示モード (SOB=1) において、INC が 0 の場合、表示データレジスタ (LR4) のリード/ライトのアクセスごとに X アドレスは同じまま Y アドレスが自動的に H'1F までインクリメントされます。H'1F の次は Y アドレスは H'00 に戻りますが、同時に X アドレスもインクリメントされます。また INC が 1 の場合、表示データレジスタ (LR4) のリード/ライトのアクセスごとに Y アドレスは同じまま X アドレスが自動的に H'4 までインクリメントされます。H'4 の次は X アドレスは H'0 に戻りますが、同時に Y アドレスもインクリメントされますので、表示メモリ全域への連続リード/ライトが可能です。

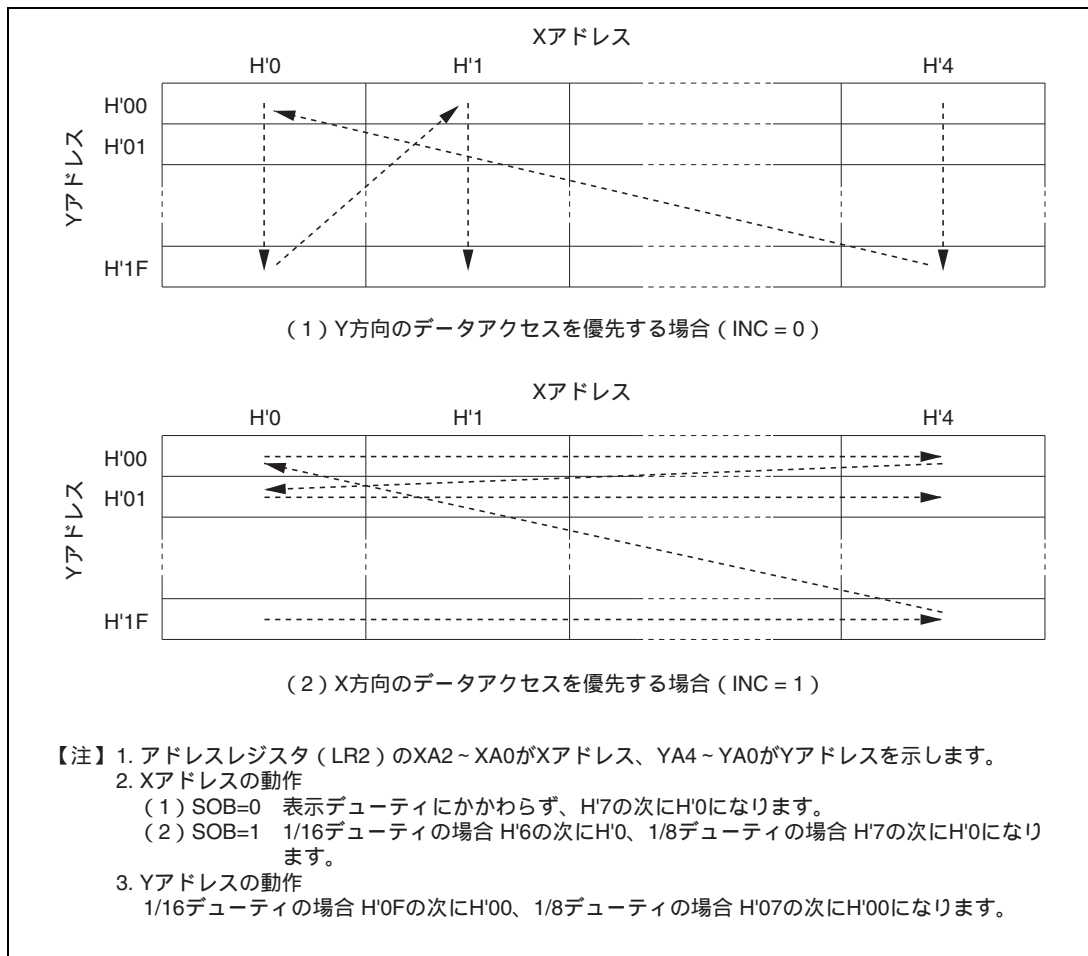


図 13.6 表示メモリへのアクセス方法 (SOB = 1、1/32 デューティの場合)

### 13. ドットマトリクス LCD コントローラ (H8/3857 グループ)

#### (3) 表示のための読み出し

LCD コントローラの表示 RAM は、CPU からのアクセスと液晶表示のための読み出しが独立したデュアルポート方式であるため、フレキシブルなインタフェースが可能です。

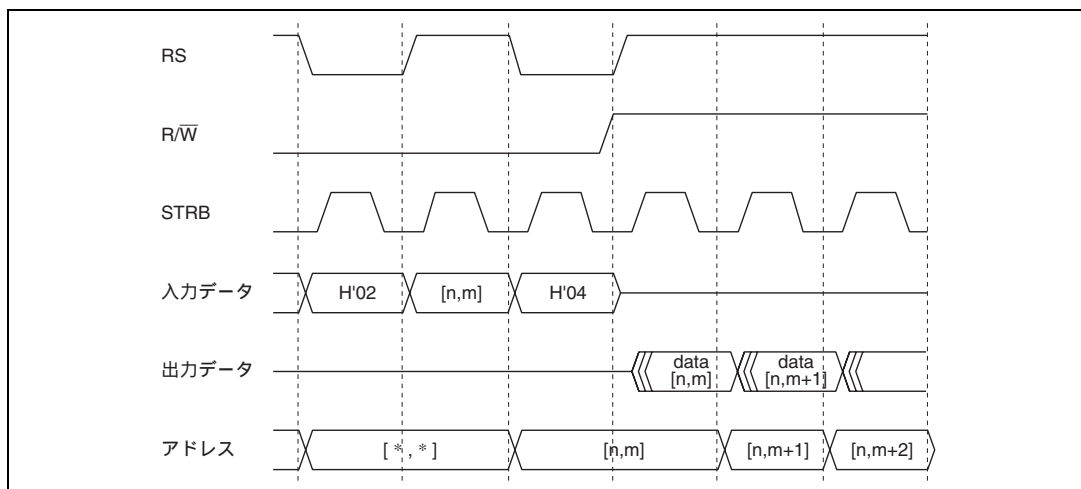


図 13.7 メモリ読み出し手順

#### (4) リード・モディファイ・ライトモード

通常状態では、表示メモリへのリード/ライト双方のアクセス後に X または Y アドレスがインクリメントされます。これがリード・モディファイ・ライトモードではライト後のみにインクリメントされ、リード後のアドレスは同じままです。このモードを使用しますと、すで書き込まれているデータを読み出し、そのデータを加工して再び同じアドレスに書き込むといったことができます。

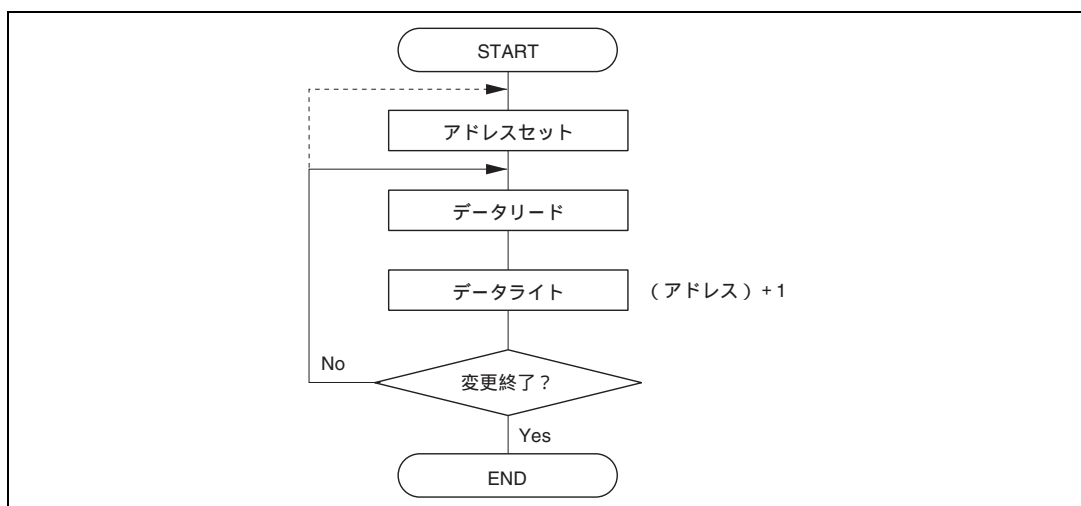


図 13.8 リード・モディファイ・ライトモードのフロー

### 13.3.7 スクロール機能

LCD コントローラは、表示の開始ラインを指定することによって任意のライン数の縦方向のスクロールが実現できます。図 13.9 に 1/16 デューティおよび 1/8 デューティの場合の表示メモリと Y アドレス、スクロール後の表示メモリと液晶表示の関係を示します。表示開始アドレスを H'01 に設定した場合、16 ライン目には Y アドレス H'00 のデータが表示されます。そのため、次の画面を表示させるためにスクロールさせたときには、Y アドレス H'00 のデータを次の表示データに書き換える必要があります。その際はスクロールさせた後にデータの書き換えを行ってください。

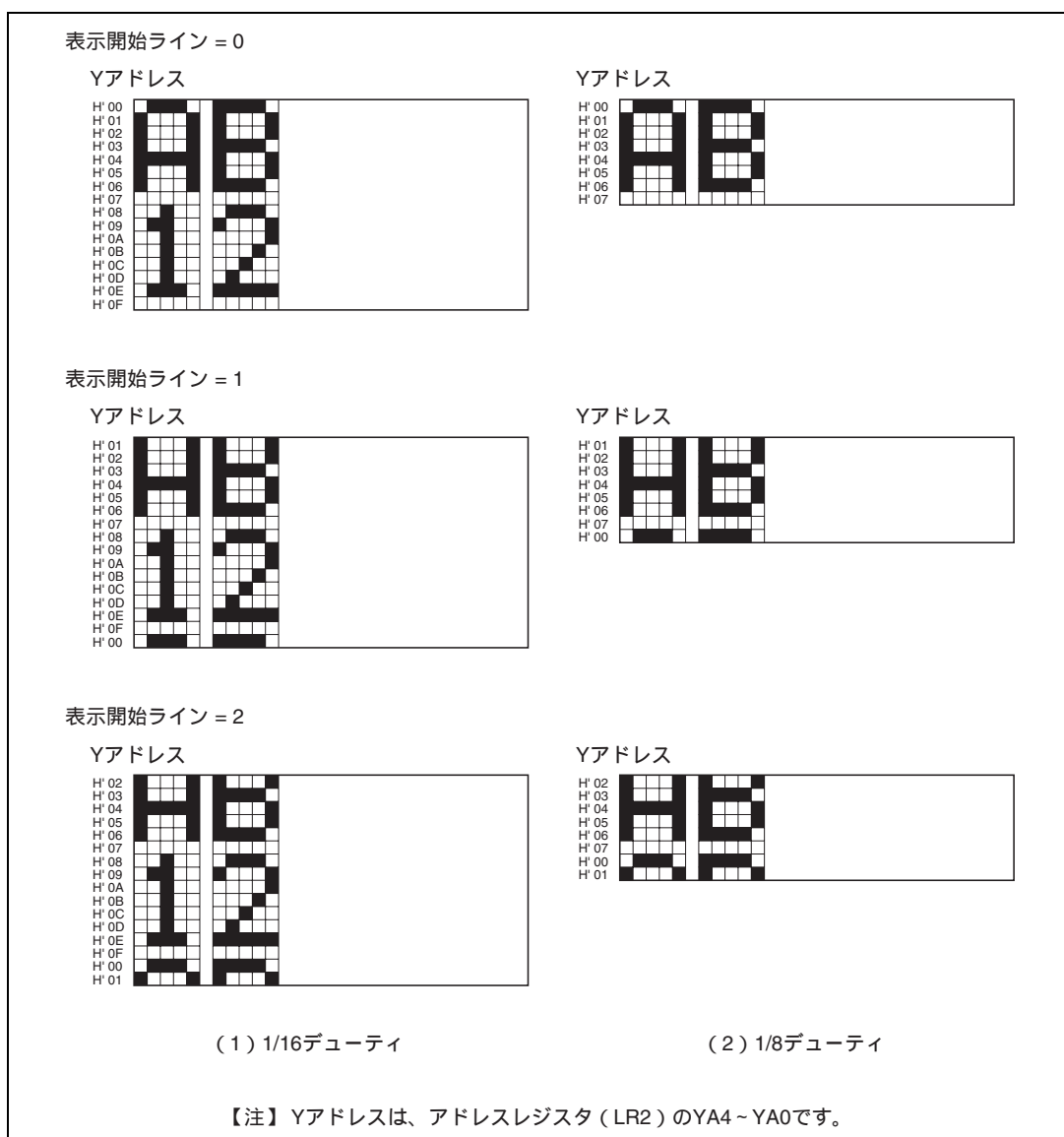


図 13.9 縦方向スクロール

### 13.3.8 ブリンク機能

#### ドットマトリクス表示部のブリンク

LCD コントローラは、任意の領域に対してブリンク表示をすることができます。80Hz のフレーム周波数では約 1.6 秒の周期で表示と非表示を繰り返します。

ブリンク領域の設定は、水平方向がブリンク開始ラインレジスタ (LR8) とブリンク終了ラインレジスタ (LR9) によりライン単位の指示を行い、垂直方向はブリンクレジスタ (LR6) により 5 ビット単位 (SOB=0) または 8 ビット単位 (SOB=1) の設定を行います。ブリンクレジスタ (LR6) に 1 を設定すると、対応するドットのブリンクをコントロールします。これらのレジスタを設定した後に、コントロールレジスタ 2 (LR1) の BLK を 1 に設定することによりブリンクが開始します。ブリンク領域は表示メモリに対する絶対指定のため、表示のスクロールを行ってもブリンク領域はそれにとまない移動します。

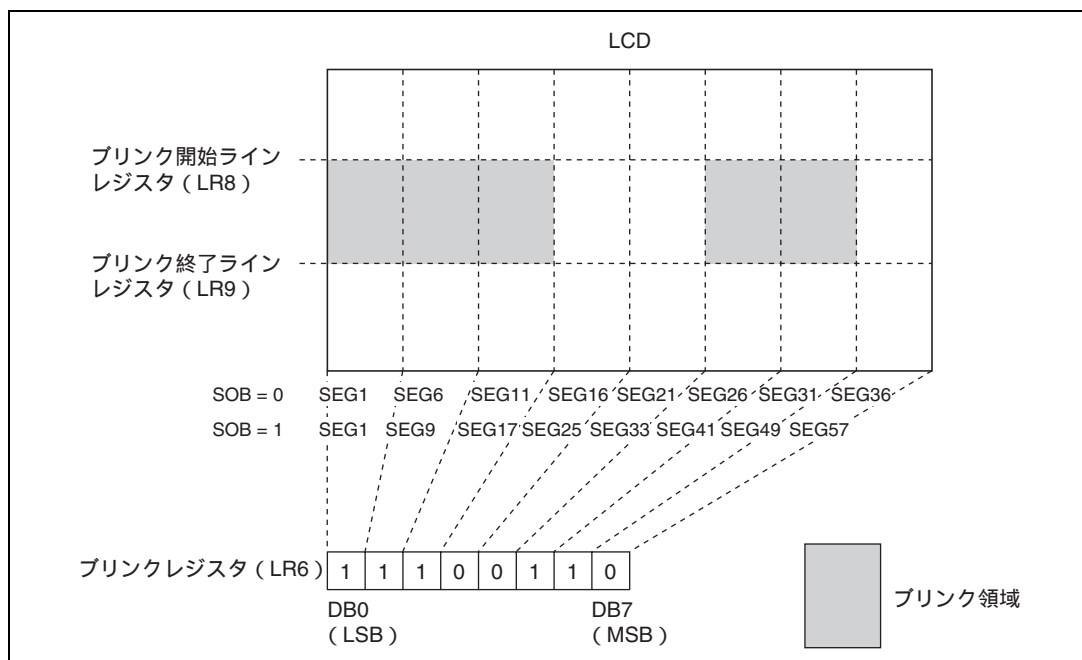


図 13.10 ブリンクレジスタ (LR6) とブリンク位置

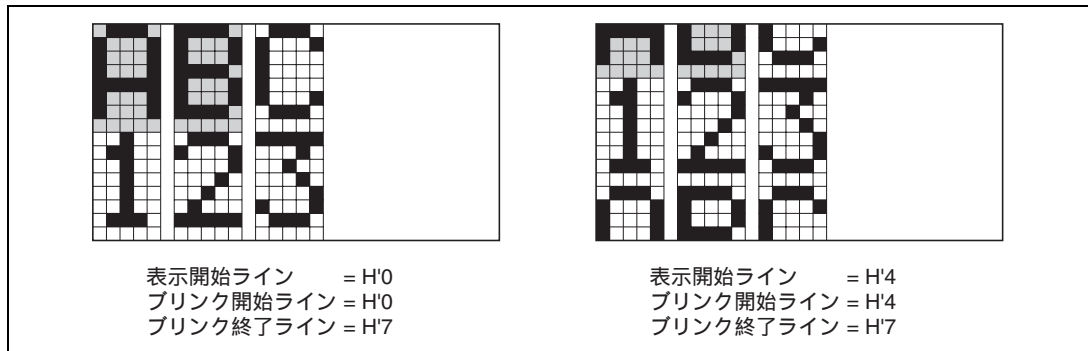


図 13.11 表示スクロール時のブリンク (SOB = 0、1/16 デューティの場合)

### 13.3.9 モジュールスタンバイモード

LCD コントローラは、モジュールスタンバイ機能を持っており、低消費電力化を実現することができます。モジュールスタンバイモードでは内部昇圧回路およびオペアンプは停止し、セグメントおよびコモン出力は  $V_{SS}$  (表示オフ状態) レベルとなります。また表示 RAM および内部レジスタのデータはコントロールレジスタ 2 (LR1) の DISP および OPON を除いて保持されます。ただし、モジュールスタンバイ状態でもコントロールレジスタはアクセス可能です。図 13.12 にモジュールスタンバイモードの起動、解除手順を示します。表示メモリの内容を保護するために、起動解除手順は必ず守ってください。

CPU をスタンバイモードにする場合は、スタンバイ命令実行前にコントロールレジスタ 1 (LR0) の LSBY を 1 にセットしてください。またスタンバイモード解除後は、モジュールスタンバイ解除の手順に従って表示を開始してください。

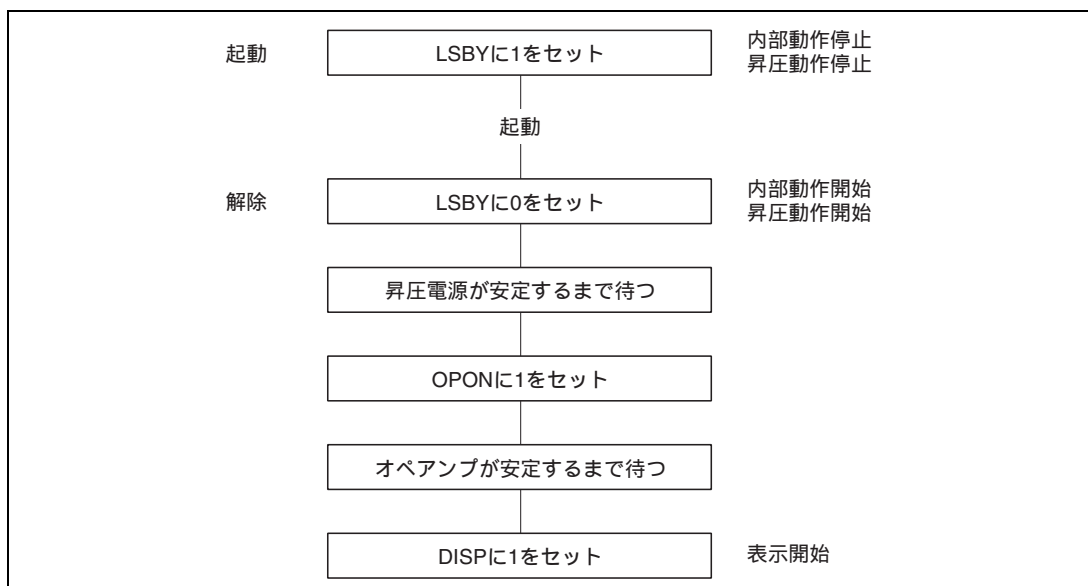


図 13.12 モジュールスタンバイモードとスタンバイモード起動、解除手順

### 13.3.10 電源投入、切断手順

LCD コントローラは、電源回路全体を内蔵していますので、電源投入、切断の手順は図 13.13 のように行ってください。この手順を守りませんと異常な表示をすることがあります。

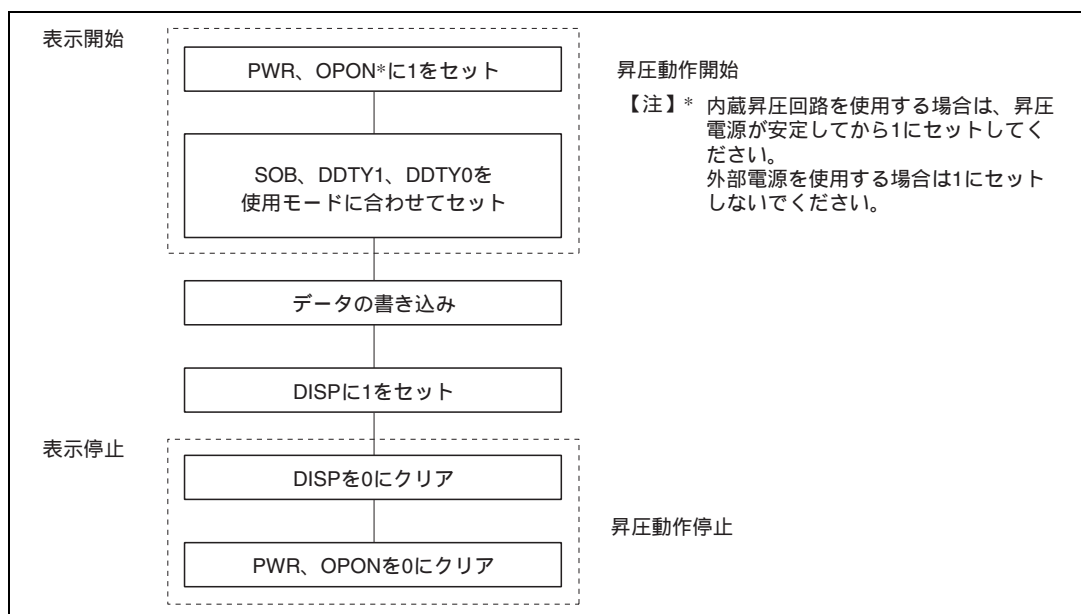


図 13.13 電源投入、切断手順

### 13.3.11 電源回路

LCD コントローラは、液晶駆動するための2倍または3倍の昇圧回路を内蔵しています。スタンバイモード時には最大2サブクロック後に自動的に電圧回路がオフされますので、昇圧回路の消費電力は0となります。また、コマンドで電源回路をオン/オフすることが可能ですので、内蔵昇圧回路の電流容量が不足するような場合は外部電源回路を使用してください。

#### (1) 昇圧回路

$V_{ci}$  に基準電圧 ( $V_{ci} - V_{cc}$ ) を入力し、 $V_{ss} \sim V_{LOUT}$ 、 $C1+ \sim C1-$ 、および  $C2+ \sim C2-$  間にコンデンサを接続してコントロールレジスタ 1 (LR0) の PWR に 1 をセットすることにより、 $V_{ci}$  と  $V_{cc}$  間の電位が2倍または3倍に昇圧されます。コンデンサの接続方法は、図 13.17 (1) および図 13.17 (2) を参照してください。昇圧にはサブクロックを使用していますので、サブクロックが供給されていないと昇圧されません。 $V_{ci}$  は昇圧回路の電源を兼ねるため、十分電流を確保できるようにしてください。

また、 $V_{cc}$  以下には昇圧できません。 $V_{LOUT}$  が  $V_{cc}$  以上 7.0V 以下となるような  $V_{ci}$  を印加してください。

昇圧回路を使用しない場合、 $V_{ci}$  は  $V_{cc}$  に接続してください。

## (2) 液晶駆動レベル電源

液晶駆動には、V1、V2、V3、V4、V5、V<sub>SS</sub> の 6 レベルの電源が必要です。これらのレベルは通常 V1 ~ V<sub>SS</sub> の電源を抵抗分割で発生させます。本電源回路は、抵抗分割で発生した各電圧レベルごとにボルテージフォロアオペアンプを内蔵しています。

液晶表示に 1/4 バイアスを使用する場合は V3 と V4 端子を短絡、1/5 バイアスを使用する場合は、V3 と V4 端子を解放してください。V34 端子は内部抵抗テスト用端子で、常に外部で V3 端子と短絡してください。

## (3) 輝度調整

LCD コントローラは、次の 2 通りの方法で輝度調整が可能です。

## (a) 内蔵輝度調整回路による方法

LCD コントローラは、プログラマブル輝度調整回路を内蔵しています。コントラストコントロールレジスタ (LRA) の選択により、一定の昇圧電圧のもとで液晶電源電圧の調整が可能です。

(b) 昇圧基準電圧 V<sub>ci</sub> を変更する方法

昇圧基準電圧 V<sub>ci</sub> を変更することにより、昇圧電圧レベルの変更が可能です。

## (4) 外部電源

(a) V<sub>LCD</sub> に外部電源を入力する場合

V<sub>LCD</sub> に外部電源を入力し、コントロールレジスタ 2 (LR1) の OPON を 1 にして内蔵オペアンプを使用することにより、V1 ~ V5 を生成することができます。V<sub>LCD</sub> の入力レベルは必ず V<sub>CC</sub> 以上 7.0V 以下としてください。

## (b) V1 ~ V5 端子に直接外部電源を入力する場合

コントロールレジスタ 1 (LR0) の PWR とコントロールレジスタ 2 (LR1) の OPON を 0 として、内蔵昇圧回路を停止し内蔵オペアンプの電源を切断することにより、外部から V1、V2、V3、V4、V5 に直接電源を印加することができます。V<sub>LCD</sub> には V1 と同電位を入力してください。V2 ~ V5 には V<sub>LCD</sub> 以下の電圧を印加してください。V<sub>LCD</sub> および V1 の入力レベルは V<sub>CC</sub> 以上 7.0V 以下としてください。

いずれの場合も最大定格電圧を超える電圧を入力すると、LSI の信頼性に悪影響を及ぼすことがあります。

### 13.3.12 液晶駆動電源電圧

液晶駆動電源電圧は、 $V_1 \sim V_5$ 、 $V_{SS}$  の 6 値あります。 $V_1$  がもっとも高い電圧で、 $V_{SS}$  がもっとも低い電圧です。図 13.14 のように、コモン波形は  $V_1$ 、 $V_2$ 、 $V_5$ 、 $V_{SS}$  の組み合わせから成り、セグメント波形は  $V_1$ 、 $V_3$ 、 $V_4$ 、 $V_{SS}$  の組み合わせから成っています。 $V_1$  と  $V_{SS}$  は共通ですが、中間電圧がセグメントとコモンで異なっています。

図 13.14 において、SEG1 ~ SEG40 の出力は表示データによって異なる波形になります。この例では、液晶パネルの COM1 が接続されているラインが点灯し、他のドットはすべて非点灯になります。

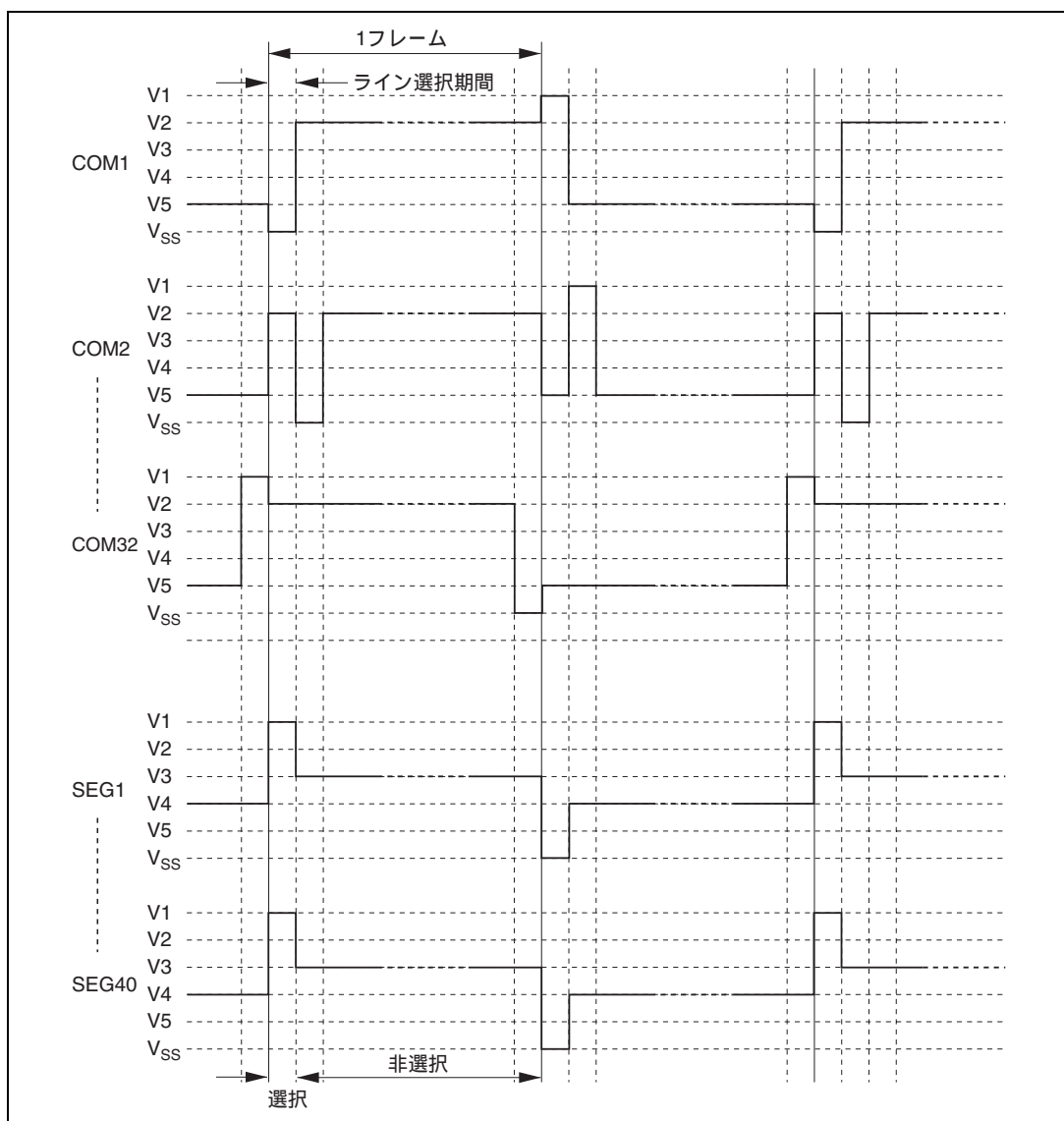


図 13.14 液晶駆動電圧波形 (1/32 デューティ)

## 13.3.13 液晶電圧発生回路

## (1) 外部電源、内蔵オペアンプを使用する場合

内蔵の昇圧回路を用いずに外部電源から直接液晶駆動電圧を供給する場合、図 13.15 のように接続してください。 $V_{LCD}$  の入力レベルは必ず  $V_{CC}$  以上 7.0V 以下にしてください。

LCD コントローラは、V1 レベルから V5 レベルを発生するブリーダ抵抗、およびボルテージフォロア型オペアンプ回路を内蔵しています。内蔵オペアンプを使用する場合は、コントロールレジスタ 2 (LR1) の OPON を 1 にしてください。輝度の調整は、コントラストコントロールレジスタ (LRA) を用いてソフトウェアで制御できます。

駆動する液晶パネルの容量が大きい場合には、V1OUT ~ V5OUT の内蔵オペアンプの出力と  $V_{SS}$  間に  $0.1 \sim 0.5\mu F$  程度のコンデンサを挿入して安定化してください。またオペアンプを正常に動作するために、 $V_{LCD}$  ~ V1 間と V5 ~  $V_{SS}$  間の電位差が 0.4V 以上になるようにコントラストコントロールレジスタ (LRA) を設定してください。

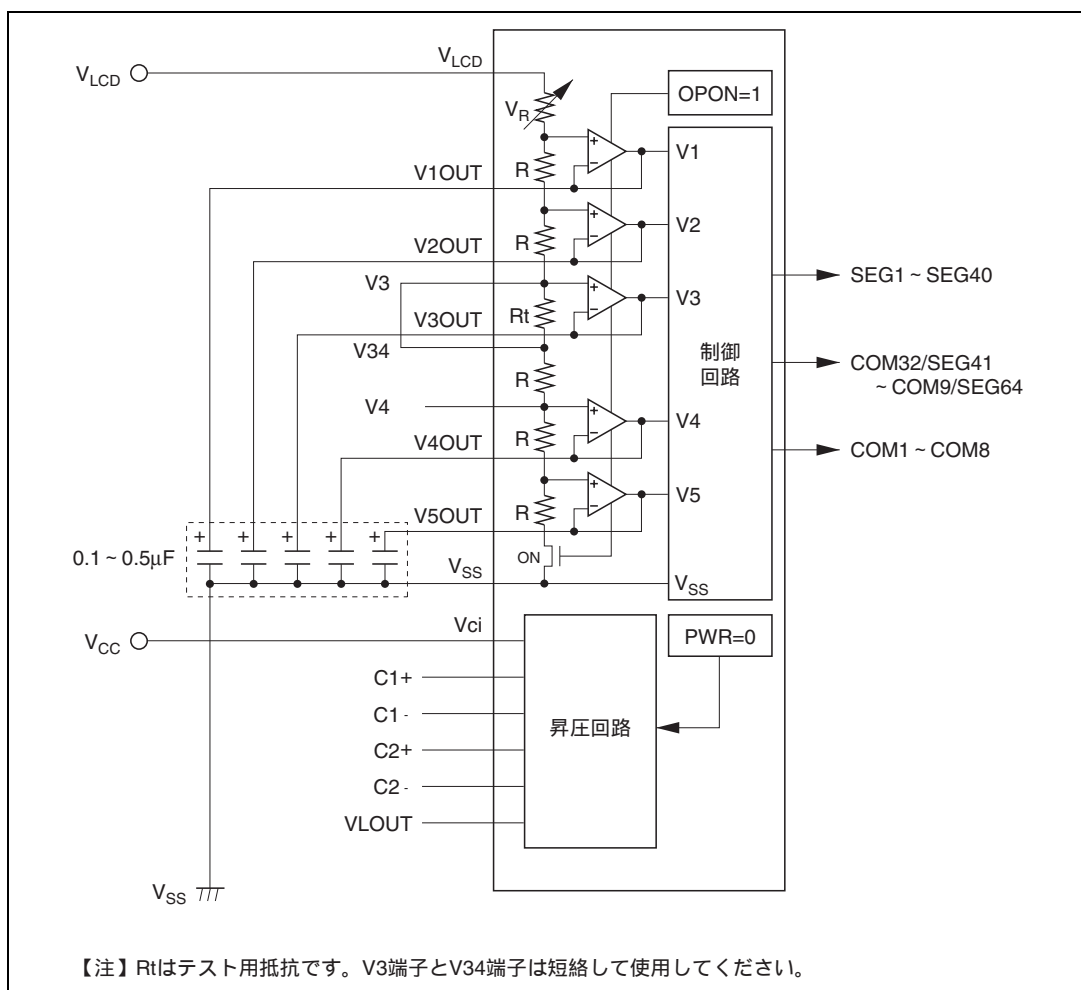


図 13.15 内蔵オペアンプ使用、外部液晶電源での使用例 (1/5 バイアス)

### 13. ドットマトリクス LCD コントローラ (H8/3857 グループ)

#### (2) 外部電源、内蔵オペアンプを使用しない場合

内蔵昇圧回路および内蔵オペアンプを用いずに外部電源から直接液晶駆動電圧を供給する場合、図 13.16 のように接続してください。

内蔵昇圧回路および内蔵オペアンプを使用しないので、コントロールレジスタ 1 (LR0) の PWR およびコントロールレジスタ 2 (LR1) の OPON は 0 にしてください。

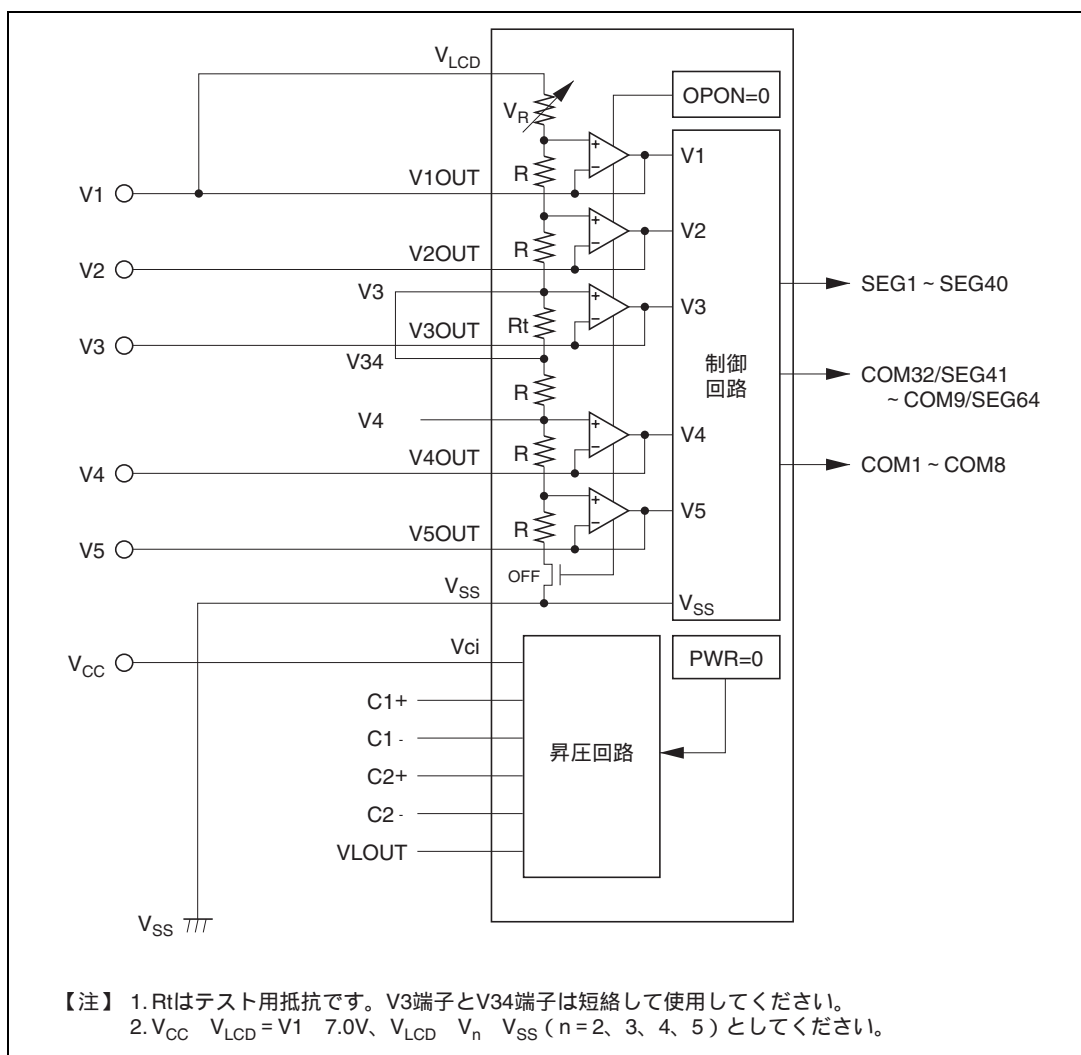


図 13.16 内蔵オペアンプ未使用、外部液晶電源での使用例 (1/5 バイアス)

(3) 内蔵昇圧回路と内蔵オペアンプを使用する場合

内蔵の昇圧回路を用いる場合、図 13.17 (1) または図 13.17 (2) のように接続してください。

LCD コントローラは、V1 レベルから V5 レベルを発生するブリーダ抵抗、およびボルテージフォロア型オペアンプ回路を内蔵しています。内蔵オペアンプを使用する場合は、コントロールレジスタ 2 (LR1) の OPON を 1 にしてください。輝度の調整は、コントラストコントロールレジスタ (LRA) を用いてソフトウェアで制御できます。

駆動する液晶パネルの容量が大きい場合には、V1OUT ~ V5OUT の内蔵オペアンプの出力と V<sub>SS</sub> 間に 0.1 ~ 0.5μF 程度のコンデンサを挿入して安定化してください。またオペアンプを正常に動作するために、V<sub>LCD</sub> ~ V1 間と V5 ~ V<sub>SS</sub> 間の電位差が 0.4V 以上になるようにコントラストコントロールレジスタ (LRA) を設定してください。

V<sub>ci</sub> 端子は昇圧回路の電源も兼用していますので、基準電圧調整時には十分電流を供給できるようにしてください。V<sub>ci</sub> の入力レベルは必ず V<sub>cc</sub> 以下とってください。

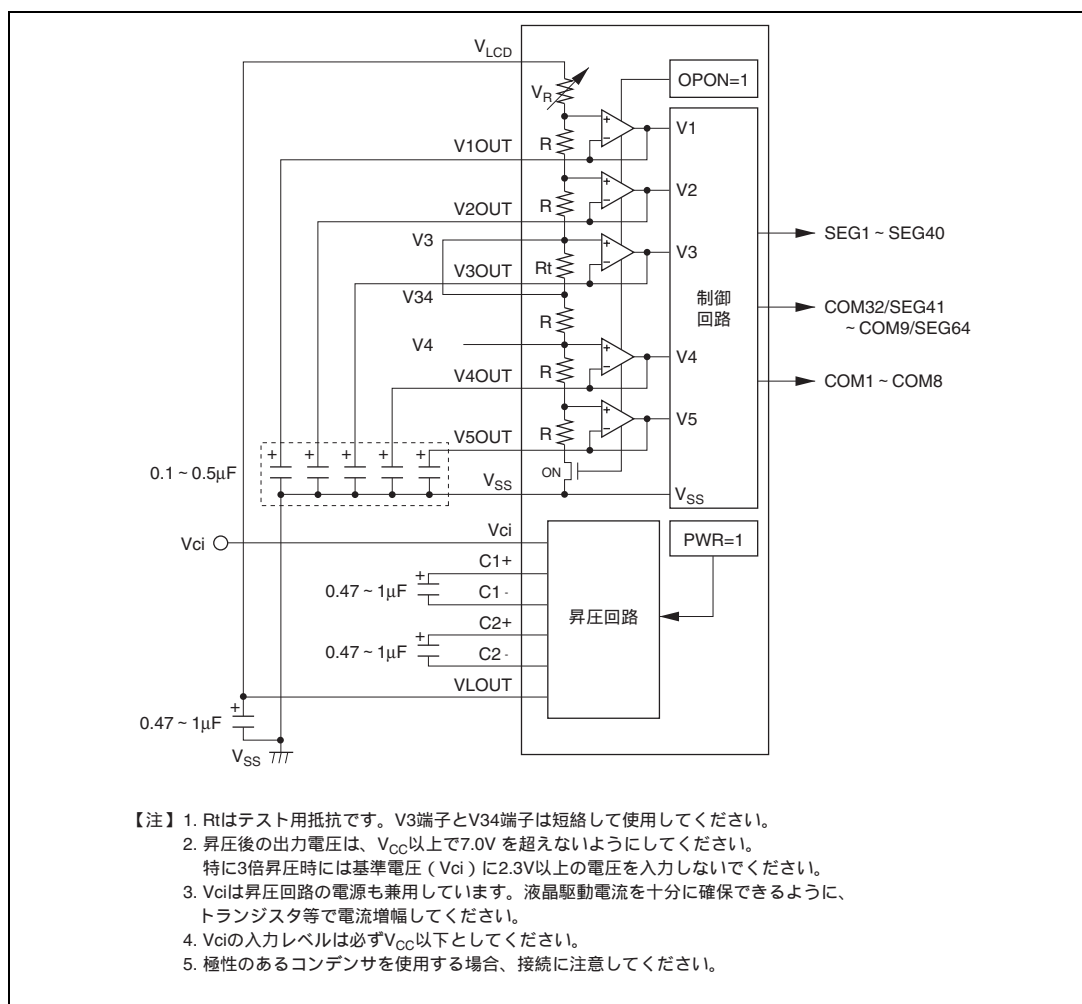


図 13.17 昇圧回路の使用例 (1) (3 倍昇圧、1/5 バイアス)

### 13. ドットマトリクス LCD コントローラ (H8/3857 グループ)

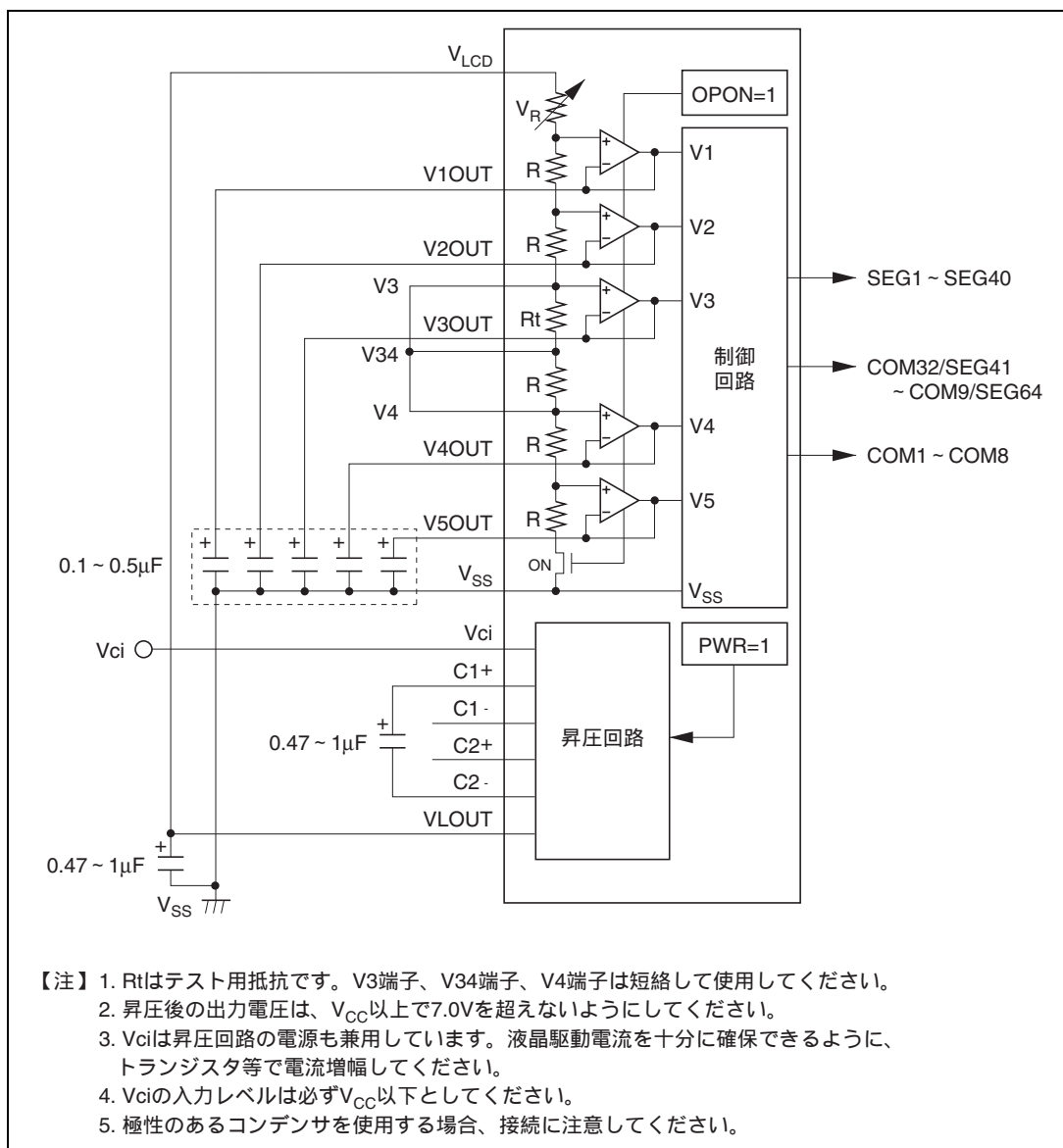


図 13.17 昇圧回路の使用例 (2) (2 倍昇圧、1/4 バイアス)

(4) 内蔵昇圧回路と外部ブリーダ抵抗を使用する場合

液晶パネルのサイズに対し内蔵オペアンプの駆動能力が不十分な場合、外部ブリーダ抵抗から V1 ~ V5 レベルを供給することができます。この場合、コントロールレジスタ 2 (LR1) の OPON を 0 にして内蔵オペアンプをオフにしてください。また内蔵の輝度調整回路は使用できませんので、外部回路で輝度調整をしてください。

外部ブリーダ抵抗の接続方法により、1/4、1/5 バイアス値を自由に設定できます。図 13.18 に 1/5 バイアス駆動時の接続例を示します。

2 倍、3 倍の昇圧回路は使用可能です。

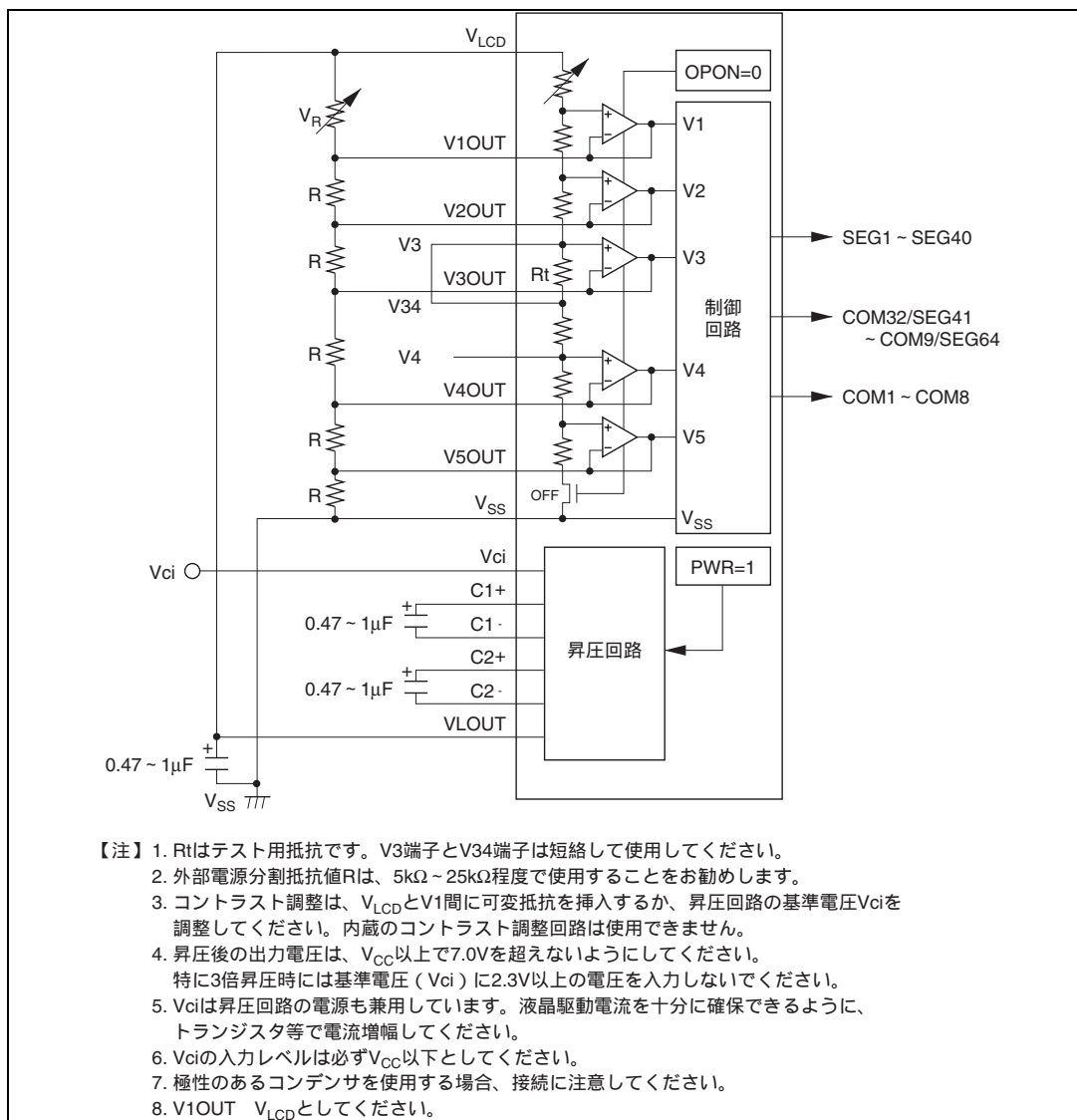


図 13.18 3 倍昇圧回路、外部ブリーダ抵抗の使用例 (1/5 バイアス)

## 13.3.14 輝度調整回路

液晶駆動電圧 ( $V_{LCD} \sim V1$  間の電位差) をコントラストコントロールレジスタ (LRA) で制御して、ソフトウェアによる輝度調整が行えます (電子ボリュウム機能)。  $V_{LCD} \sim V1$  間の分割基本ブリーダ抵抗値  $R$  に対し、可変抵抗値  $V_R$  は  $0.1R$  から  $1.6R$  までの範囲で調整できます。コントラストコントロールレジスタ (LRA) の CCR3 ~ CCR0 による輝度調整の設定値を表 13.7 に示します。

$V1$  レベルから  $V5$  レベルを出力するボルテージフォロア型オペアンプ回路を安定して動作させるために、 $V_{LCD} \sim V1$  間と  $V5 \sim V_{SS}$  間の電位差が  $0.4V$  以上になるように、コントラストコントロールレジスタ (LRA) を設定してください。コントラスト調整範囲を表 13.8 に示します。

輝度調整が内蔵抵抗  $V_R$  で十分に行うことができない場合、 $V_{LOUT} \sim V_{LCD}$  間に抵抗を入れて調整することが可能です。

表 13.7 輝度調整の設定値

| コントラストコントロールレジスタ (LRA) |      |      |      | 可変抵抗値<br>( $V_R$ ) | $V1 \sim V_{SS}$ 間<br>電位差            | 表示色                                  |
|------------------------|------|------|------|--------------------|--------------------------------------|--------------------------------------|
| CCR3                   | CCR2 | CCR1 | CCR0 |                    |                                      |                                      |
| 0                      | 0    | 0    | 0    | 1.6R               | ↑<br>少<br><br><br><br><br><br>↓<br>大 | ↑<br>薄<br><br><br><br><br><br>↓<br>濃 |
|                        |      |      | 1    | 1.5R               |                                      |                                      |
|                        |      | 1    | 0    | 1.4R               |                                      |                                      |
|                        |      |      | 1    | 1.3R               |                                      |                                      |
|                        | 1    | 0    | 0    | 1.2R               |                                      |                                      |
|                        |      |      | 1    | 1.1R               |                                      |                                      |
|                        |      | 1    | 0    | 1.0R               |                                      |                                      |
|                        |      |      | 1    | 0.9R               |                                      |                                      |
| 1                      | 0    | 0    | 0    | 0.8R               |                                      |                                      |
|                        |      |      | 1    | 0.7R               |                                      |                                      |
|                        |      | 1    | 0    | 0.6R               |                                      |                                      |
|                        |      |      | 1    | 0.5R               |                                      |                                      |
|                        | 1    | 0    | 0    | 0.4R               |                                      |                                      |
|                        |      |      | 1    | 0.3R               |                                      |                                      |
|                        |      | 1    | 0    | 0.2R               |                                      |                                      |
|                        |      |      | 1    | 0.1R               |                                      |                                      |

表 13.8 コントラスト調整範囲

| バイアス              | 液晶駆動電圧: $V_{DR}$                                                | コントラスト調整範囲                                                                                                                                                                                                                                                                                                   |
|-------------------|-----------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1/5<br>バイアス<br>駆動 | $\frac{5 \times R}{5 \times R + V_R} \times (V_{LCD} - V_{SS})$ | ・液晶駆動電圧調整範囲: $0.758 \times (V_{LCD} - V_{SS}) \quad V_{DR} \quad 0.980 \times (V_{LCD} - V_{SS})$<br>・V5-V <sub>SS</sub> 間電位差制約: $\frac{R}{5 \times R + V_R} \times (V_{LCD} - V_{SS}) \quad 0.4 [V]$<br>・V <sub>LCD</sub> -V1間電位差制約: $\frac{V_R}{5 \times R + V_R} \times (V_{LCD} - V_{SS}) \quad 0.4 [V]$ |
| 1/4<br>バイアス<br>駆動 | $\frac{4 \times R}{4 \times R + V_R} \times (V_{LCD} - V_{SS})$ | ・液晶駆動電圧調整範囲: $0.714 \times (V_{LCD} - V_{SS}) \quad V_{DR} \quad 0.976 \times (V_{LCD} - V_{SS})$<br>・V5-V <sub>SS</sub> 間電位差制約: $\frac{R}{4 \times R + V_R} \times (V_{LCD} - V_{SS}) \quad 0.4 [V]$<br>・V <sub>LCD</sub> -V1間電位差制約: $\frac{V_R}{4 \times R + V_R} \times (V_{LCD} - V_{SS}) \quad 0.4 [V]$ |

### 13.3.15 液晶駆動バイアス選択回路

コントラストが最良となる理想的なバイアス値は以下の式で算出されます。最適なバイアス値より低いバイアス値で駆動するとコントラストは低下しますが、液晶駆動電圧 (V1 ~ V<sub>SS</sub> 間の電位差) を低く抑えることができます。V<sub>ci</sub> 電圧が低く 3 倍昇圧回路を使用しても液晶駆動電圧が不足する場合や、バッテリー寿命により出力電圧が低下し液晶表示が薄くなる場合など、液晶駆動バイアスを低くすると液晶表示が見えやすくなります。

$$1/N \text{ デューティ駆動時の最適バイアス値} = \frac{1}{\sqrt{N} + 1}$$

- 【注】
1. 1/5 バイアスを使用する場合は、V3 端子と V4 端子を解放してください。
  2. 1/4 バイアスを使用する場合は、V3 端子と V4 端子を短絡してください。
  3. V3 端子と V34 端子は必ず短絡してください。



---

## 14. ドットマトリクス LCD コントローラ (H8/3854 グループ)

---

### 14.1 概要

LCD コントローラは、表示用 RAM を内蔵し、ドットマトリクス液晶表示を行います。表示 RAM の 1 ビットのデータが LCD パネルの 1 ドットの点灯、非点灯に対応するため、非常に自由度の高い表示が可能です。

LCD コントローラは、液晶表示に必要な機能をすべて内蔵することにより、最大  $40 \times 16$  のドットマトリクス表示が可能です。

CPU とのインタフェースは I/O ポートを使用しており、MPU と LCD ドライバとの組み合わせの場合のソフトウェアの継承性に優れています。

サブクロックにより動作しますので、小型携帯機器に最適です。

#### 14.1.1 特長

- ビットマップ方式の表示 RAM (640 ビット) を内蔵

最大表示ビット数は 640 ビット ( $40 \times 16$  ビット、 $40 \times 8$  ビットから選択)

- 1/8、または 1/16 デューティを選択可能

- 電池での長時間駆動を可能にする低消費電力

サブクロック動作

モジュールスタンバイ

- 豊富な表示制御機能

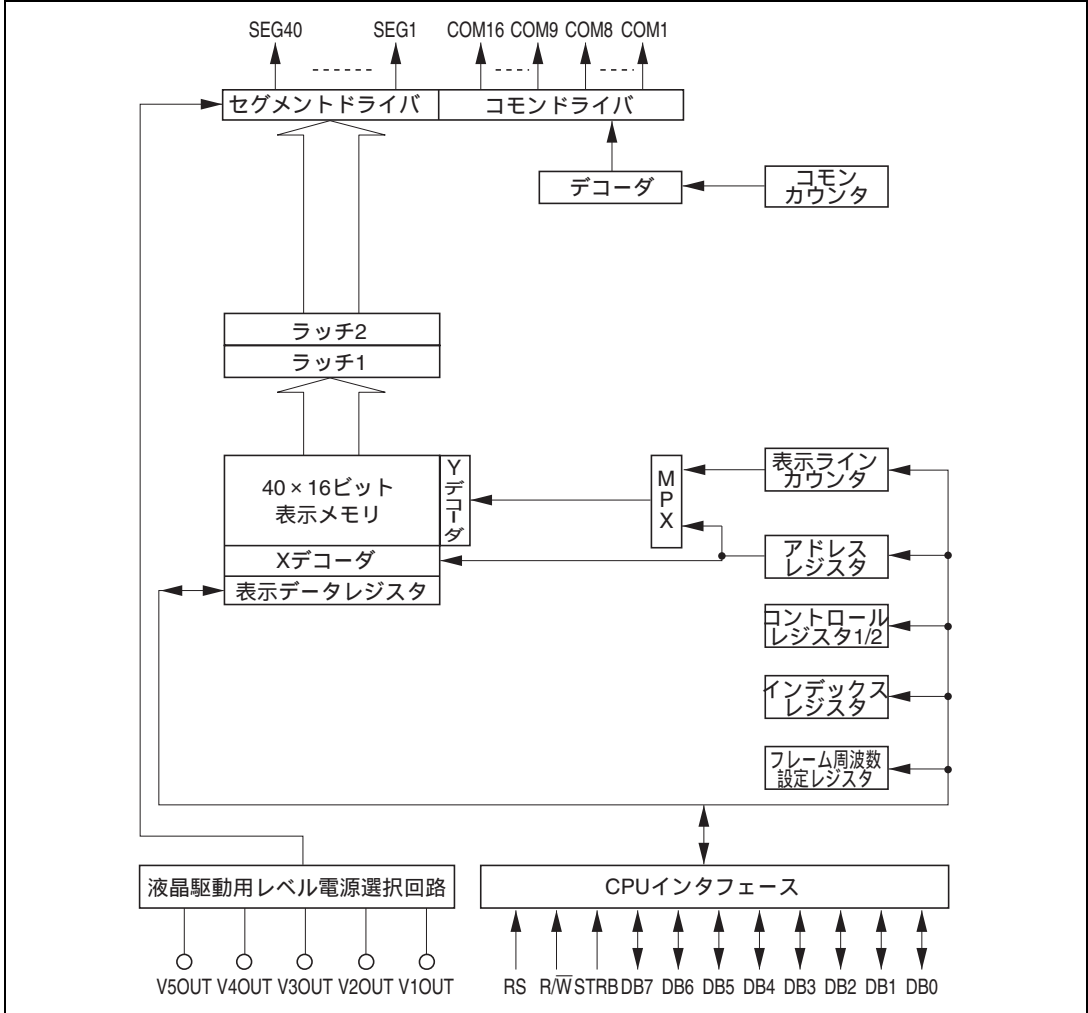
表示データリード/ライト、表示オン/オフ、リードモディファイライト

- CPU インタフェース

I/O ポートインタフェース

- 液晶電源ブリーダ抵抗回路内蔵

LCD コントローラのブロック図を図 14.1 に示します。



### 14.1.3 端子構成

LCD コントローラの端子構成を表 14.1 に示します。

表 14.1 端子構成

| 端子名         | 記号            | 入出力 | 機能               |
|-------------|---------------|-----|------------------|
| コモン出力端子     | COM1 ~ COM16  | 出力  | 液晶のコモン駆動用端子      |
| セグメント出力端子   | SEG1 ~ SEG40  | 出力  | 液晶のセグメント駆動用端子    |
| LCD 駆動電源レベル | V1OUT ~ V5OUT | 入出力 | LCD 駆動電源レベル入出力端子 |

### 14.1.4 レジスタ構成

LCD コントローラは 1 本のインデックスレジスタと 5 本の制御レジスタをもっており、すべてのレジスタは I/O ポートインタフェースでアクセスします。表示データレジスタ (LR4) を除いて、レジスタのリードはできません。LCD コントローラのレジスタ構成を表 14.2 に示します。

表 14.2 レジスタ構成

| 名称            | 略称  | R/W | RS | インデックスレジスタ |     |     |
|---------------|-----|-----|----|------------|-----|-----|
|               |     |     |    | IR2        | IR1 | IR0 |
| インデックスレジスタ    | IR  | W   | 0  | -          | -   | -   |
| コントロールレジスタ 1  | LR0 | W   | 1  | 0          | 0   | 0   |
| コントロールレジスタ 2  | LR1 | W   |    | 0          | 0   | 1   |
| アドレスレジスタ      | LR2 | W   |    | 0          | 1   | 0   |
| フレーム周波数設定レジスタ | LR3 | W   |    | 0          | 1   | 1   |
| 表示データレジスタ     | LR4 | R/W |    | 1          | 0   | 0   |

## 14.2 各レジスタの説明

### 14.2.1 インデックスレジスタ (IR)

|       |   |   |   |   |   |     |     |     |
|-------|---|---|---|---|---|-----|-----|-----|
| ビット : | 7 | 6 | 5 | 4 | 3 | 2   | 1   | 0   |
|       | - | - | - | - | - | IR2 | IR1 | IR0 |
| 初期値 : | - | - | - | - | - | 0   | 0   | 0   |
| R/W : | - | - | - | - | - | W   | W   | W   |

IR は、8 ビットのライト専用のレジスタで LCD コントローラの 5 本の制御レジスタのうちの 1 つを選択します。IR は RS が 0 のとき選択されます。

リセット時、IR は H'00 に初期化されます。

#### ビット 7~3 : リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

#### ビット 2~0 : インデックスレジスタ (IR2 ~ IR0)

IR2 ~ IR0 は LCD コントローラの 5 本の制御レジスタのうちの 1 つを選択するビットです。IR2 ~ IR0 と選択するレジスタの対応を表 14.2 に示します。その他の設定は無効です。

## 14. ドットマトリクス LCD コントローラ (H8/3854 グループ)

### 14.2.2 コントロールレジスタ 1 (LR0)

|      |   |   |      |   |   |   |       |   |
|------|---|---|------|---|---|---|-------|---|
| ビット: | 7 | 6 | 5    | 4 | 3 | 2 | 1     | 0 |
|      | - | - | LSBY | - | - | - | DDTY1 | - |
| 初期値: | - | - | 0    | - | - | - | 0     | - |
| R/W: | - | - | W    | - | - | - | W     | - |

LR0 は、8 ビットのライト専用のレジスタで LCD モジュールスタンバイモードの設定、駆動デューティの選択を行います。

リセット時、LR0 は H'00 に初期化されます。

#### ビット 7、6: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

#### ビット 5: モジュールスタンバイ (LSBY)

LSBY はモジュールスタンバイ設定ビットです。LSBY を 1 に設定すると LCD コントローラはスタンバイモードになります。そのとき、LR1 の DISP、LPS1 および LPS0 はリセットされます。

| ビット 5 | 説 明                                           |
|-------|-----------------------------------------------|
| LSBY  |                                               |
| 0     | 通常動作します。 (初期値)                                |
| 1     | 内蔵ブリーダ抵抗への電源供給を停止し、表示をオフし、LCD はスタンバイモードとなります。 |

#### ビット 4~2: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

#### ビット 1: 表示デューティ選択 (DDTY1)

DDTY1 は表示デューティを 1/16、または 1/8 から選択するビットです。

| ビット 1 | 説 明                                              |
|-------|--------------------------------------------------|
| DDTY1 |                                                  |
| 0     | 1/16 デューティを選択します。 (初期値)                          |
| 1     | 1/8 デューティを選択します。<br>Y アドレスの H'8~H'F の表示データは無効です。 |

#### ビット 0: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

## 14.2.3 コントロールレジスタ 2 (LR1)

|      |   |      |      |      |     |   |     |   |
|------|---|------|------|------|-----|---|-----|---|
| ビット: | 7 | 6    | 5    | 4    | 3   | 2 | 1   | 0 |
|      | - | DISP | LPS1 | LPS0 | RMW | - | INC | - |
| 初期値: | - | 0    | 0    | 0    | 0   | - | 0   | - |
| R/W: | - | W    | W    | W    | W   | - | W   | - |

LR1 は、8 ビットのライト専用のレジスタで液晶表示の動作 / 停止の設定、内蔵ブリーダ抵抗への電流の供給 / 停止の設定、リード・モディファイ・ライトモードの設定、表示メモリのインクリメントするアドレスの設定を行います。

リセット時、LR1 は H'00 に初期化されます。

## ビット 7: リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

## ビット 6: 液晶表示動作設定 (DISP)

DISP は液晶表示の動作 / 停止を設定するビットです。LR0 の LSBY を 1 に設定すると DISP はクリアされます。

| ビット 6 | 説 明                                         |
|-------|---------------------------------------------|
| DISP  |                                             |
| 0     | 液晶表示をオフします。全液晶表示出力は $V_{ss}$ レベルとなります。(初期値) |
| 1     | 液晶表示をオンします。                                 |

## ビット 5、4: 液晶電源供給設定 (LPS1、LPS0)

LPS1、LPS0 は LCD 駆動電源として内部電源と内蔵の液晶電源ブリーダ抵抗を使用 / 未使用を設定するビットです。LPS1 を 1 に設定すると内部電源をブリーダ抵抗に接続します。LPS0 を 1 に設定すると内蔵のブリーダ抵抗によって分割された電源を供給します。外部から V1OUT ~ V5OUT に直接 LCD 駆動レベルを印加する場合は必ず LPS1、LPS0 を 0 に設定してください。

LR0 の LSBY を設定すると LPS1、LPS0 はクリアされます。

| ビット 5 | 説 明                  |
|-------|----------------------|
| LPS1  |                      |
| 0     | V1OUT への電源供給停止 (初期値) |
| 1     | V1OUT への電源電圧供給       |

| ビット 4 | 説 明                |
|-------|--------------------|
| LPS0  |                    |
| 0     | 内蔵ブリーダ抵抗の未使用 (初期値) |
| 1     | 内蔵ブリーダ抵抗の使用        |

## 14. ドットマトリクス LCD コントローラ (H8/3854 グループ)

### ビット3：リード・モディファイ・ライトモード設定 (RMW)

RMW は表示メモリの X または Y アドレスのインクリメントをライト/リードのアクセス後に行うか、ライト後のみ (リード・モディファイ・ライトモード) で行うかを選択するビットです。

| ビット3 | 説 明                                                                     |
|------|-------------------------------------------------------------------------|
| RMW  |                                                                         |
| 0    | 表示メモリへのライト/リードアクセス後にアドレスをインクリメントします。(初期値)                               |
| 1    | リード・モディファイ・ライトモードに設定します。<br>このモードでは、表示メモリへのライトアクセス後にはのみアドレスをインクリメントします。 |

### ビット2：リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

### ビット1：インクリメントアドレス選択 (INC)

INC は表示メモリへの RMW で設定したアクセス後にインクリメントするアドレスを X アドレスか、Y アドレスかを選択するビットです。選択されたアドレスは表示データの有効エリアの最大値で表示メモリへのアクセス後にクリアされ、そのとき、他方のアドレスをインクリメントします。

| ビット1 | 説 明                                                                |
|------|--------------------------------------------------------------------|
| INC  |                                                                    |
| 0    | 表示メモリの Y アドレスのインクリメントが優先され、Y アドレスのオーバフロー後に X アドレスをインクリメントします。(初期値) |
| 1    | 表示メモリの X アドレスのインクリメントが優先され、X アドレスのオーバフロー後に Y アドレスをインクリメントします。      |

### ビット0：リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

## 14.2.4 アドレスレジスタ (LR2)

|      |     |     |     |   |     |     |     |     |
|------|-----|-----|-----|---|-----|-----|-----|-----|
| ビット： | 7   | 6   | 5   | 4 | 3   | 2   | 1   | 0   |
|      | XA2 | XA1 | XA0 | - | YA3 | YA2 | YA1 | YA0 |
| 初期値： | 0   | 0   | 0   | - | 0   | 0   | 0   | 0   |
| R/W： | W   | W   | W   | - | W   | W   | W   | W   |

LR2 は 8 ビットのライト専用のレジスタで、CPU からアクセスする表示メモリの X、Y 方向それぞれのアドレスの設定を行います。

リセット時、LR2 は H'00 に初期化されます。

## ビット 7～5 : X アドレス設定 (XA2～XA0)

XA2～XA0 は表示メモリの X 方向のアドレスを設定するビットです。H'0～H'4 の範囲で設定可能です。H'5～H'7 の範囲はアクセスしないでください。

LR1 の INC が 1 のとき、LR1 の RMW で設定したアクセス後に自動的にインクリメントされ、H'4 のアクセス後にクリアされます。また、INC が 0 で YA3～YA0 が表示データの有効エリアの最大値のとき、RMW で設定したアクセス後にインクリメントされます。

## ビット 4 : リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

## ビット 3～0 : Y アドレス設定 (YA3～YA0)

YA3～YA0 は表示メモリの Y 方向のアドレスを設定するビットです。H'0～H'F の範囲が設定可能ですが、1/8 デューティの場合は H'8～H'F の範囲の表示データは無効となります。

LR1 の INC が 0 のとき、LR1 の RMW で設定したアクセス後に自動的にインクリメントされ、表示データの有効エリアの最大値のアクセス後にクリアされます。また、INC が 1 で XA2～XA0 が H'4 のとき、RMW で設定したアクセス後にインクリメントされます。

## 14.2.5 フレーム周波数設定レジスタ (LR3)

|       |   |   |   |   |   |     |     |     |
|-------|---|---|---|---|---|-----|-----|-----|
| ビット : | 7 | 6 | 5 | 4 | 3 | 2   | 1   | 0   |
|       | - | - | - | - | - | FS2 | FS1 | FS0 |
| 初期値 : | - | - | - | - | - | 0   | 0   | 0   |
| R/W : | - | - | - | - | - | W   | W   | W   |

LR3 は、8 ビットのライト専用のレジスタでフレーム周波数の設定を行います。

リセット時、LR3 は H'00 に初期化されます。

## ビット 7～3 : リザーブビット

リザーブビットです。本ビットは常に 0 で使用してください。

## ビット 2～0 : フレーム周波数設定 (FS2～FS0)

FS2～FS0 はサブクロックの分周比を制御し、液晶表示のフレーム周波数を設定するビットです。液晶表示フレーム周波数  $f_F$  (Hz)、サブクロック周波数  $f_W$  (Hz)、分周比  $r$ 、液晶表示デューティ  $1/N$  には、

$$f_F = \frac{f_W}{r \times N}$$

の関係がありますので、使用する液晶パネルの特性に合わせて最適な分周比を設定してください。レジスタ設定値と分周比および各表示デューティでのフレーム周波数の関係を表 14.3 に示します。

## 14. ドットマトリクス LCD コントローラ (H8/3854 グループ)

表 14.3 レジスタ設定値と分周比および各表示デューティでのフレーム周波数

| 表示デューティ 1/N        |     |     |       | 1/8             |        | 1/16   |        |
|--------------------|-----|-----|-------|-----------------|--------|--------|--------|
| サブクロック周波数 fw (kHz) |     |     |       | 32.768          | 38.4   | 32.768 | 38.4   |
| FS2                | FS1 | FS0 | 分周比 r | フレーム周波数 fF (Hz) |        |        |        |
| 0                  | 0   | 0   | 2     | 2048.0          | 2400.0 | 1024.0 | 1200.0 |
|                    |     | 1   | 4     | 1024.0          | 1200.0 | 512.0  | 600.0  |
|                    | 1   | 0   | 8     | 512.0           | 600.0  | 256.0  | 300.0  |
|                    |     | 1   | 16    | 256.0           | 300.0  | 128.0  | 150.0  |
| 1                  | 0   | 0   | 32    | 128.0           | 150.0  | 64.0   | 75.0   |
|                    |     | 1   | 64    | 64.0            | 75.0   | 32.0   | 37.5   |
|                    | 1   | 0   | 128   | 32.0            | 37.5   | 16.0   | 18.8   |
|                    |     | 1   | 使用禁止  | 使用禁止            |        |        |        |

### 14.2.6 表示データレジスタ (LR4)

|      |     |     |     |     |     |     |     |     |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      | D7  | D6  | D5  | D4  | D3  | D2  | D1  | D0  |
| 初期値: | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

LR4 は、8 ビットのリード/ライト可能なレジスタで LR2 の XA2 ~ XA0 と YA3 ~ YA0 で指定される表示メモリにリード/ライトを行います。

表示メモリへのライトは、本レジスタを通して表示メモリに直接書き込みます。リードは、いったんこのレジスタにデータが取り込まれてからバスに出力されます。

リセット時、表示メモリおよび LR4 は不定です。

## 14.3 動作説明

### 14.3.1 システム概要

LCD コントローラは、1/16、または 1/8 デューティで動作します。表示サイズは最大 40×16 ドットです。サブクロックで動作し、表示制御を行いますので、時計などを常時表示することができます。また、モジュールスタンバイモード時でも表示 RAM のデータは保持されますので、表示に影響を及ぼすことなく低消費電力化を行うことができます。

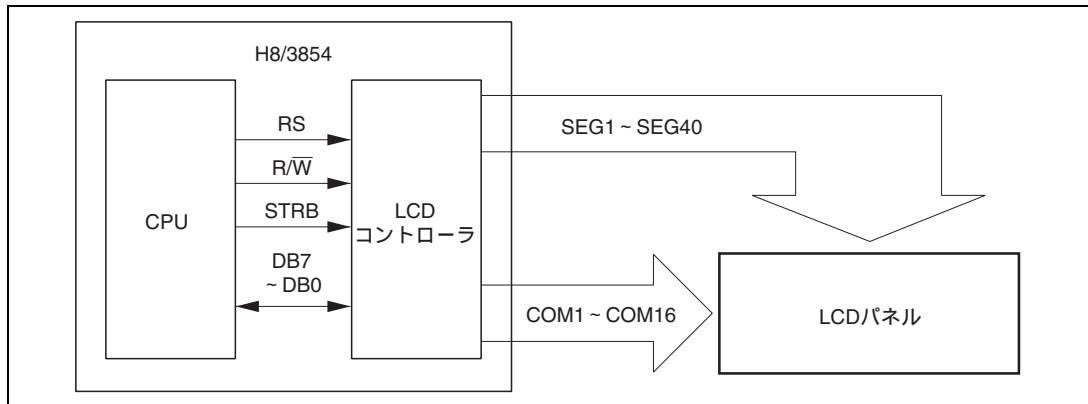


図 14.2 システムブロックダイアグラム

### 14.3.2 CPU とのインタフェース

LCD コントローラのレジスタは図 2.16 (b) のメモリマップ上にはありません。CPU から LSI 内部 I/O ポートのポート 9 およびポート A を介して、LSI 内部 LCD 端子である DB7 ~ DB0、RS、R/W、STRB により制御されます。各端子の構成を表 14.4 に示します。LCD コントローラの内部にあるレジスタへのアクセスタイミング例を図 14.3 に示します。ポート 9 およびポート A に関しては「8. I/O ポート」の各ポートの説明を参照してください。

表 14.4 端子構成

| 端子名         | 記号        | 入出力 | 機能                                                          |
|-------------|-----------|-----|-------------------------------------------------------------|
| データバス端子     | DB7 ~ DB0 | 入出力 | R/W=0 のときレジスタにライトするデータを入力、R/W=1 のときレジスタからリードしたデータを出力します。    |
| レジスタセレクト端子  | RS        | 入力  | RS=0 のときインデックスレジスタが、RS=1 のとき制御レジスタが選択されます。                  |
| リード/ライト選択端子 | R/W       | 入力  | R/W=0 のときライトが、R/W=1 のときリードが選択されます。                          |
| ストロブ端子      | STRB      | 入力  | STRB の立ち下がりエッジで、RS で選択されたレジスタに R/W で選択されたリード/ライトのアクセスを行います。 |

#### (1) インデックスレジスタへのライト

RS に 0 を、R/W に 0 をセットした状態のとき、STRB の立ち下がりエッジにより DB7 ~ DB0 のデータがインデックスレジスタ (IR) にライトされます。STRB の立ち下がりでは RS、R/W を変化させないでください。

#### (2) 制御レジスタへのリード/ライト

制御レジスタへアクセスする場合は、インデックスレジスタ (IR) にアクセスしたいレジスタ番号のデータをライトしてからアクセスする必要があります。インデックスレジスタ (IR) へライトするレジスタ番号のデータは表 14.2 に示します。インデックスレジスタ (IR) にライトされたレジスタ番号は再度インデックスレジスタ (IR) へのライトが行われない限り保存されますので、同じ制御レジスタにアクセスする場合は、1 回ごとにインデックスレジスタにライトする必要はありません。

制御レジスタへのライトは RS に 1 を、R/W に 0 をセットした状態のとき、STRB の立ち下がりエ

ッジにより DB7～DB0 のデータがインデックスレジスタ (IR) で指定された制御レジスタにライトされます。

制御レジスタは表示データレジスタ (LR4) 以外はリードできません。表示データレジスタ (LR4) のリードはインデックスレジスタ (IR) に表示データレジスタ (LR4) のレジスタ番号をライトし、RS に 1 を、 $R/\overline{W}$  に 1 をセットすると、DB7～DB0 は出力に設定され、STRB の立ち下がりエッジによりアドレスレジスタ (LR2) で指定されるアドレスの表示メモリのデータを DB7～DB0 から出力されます。次のサイクルもリードを行う場合は次の STRB の立ち下がりまでデータ出力は保持されますが、次のサイクルでライトを行う場合は、 $R/\overline{W}$  が 0 にセットされた時点から DB7～DB0 は入力に設定され、出力は解除されます。

いずれの場合も STRB の立ち下がりでは RS、 $R/\overline{W}$  を変化させないでください。

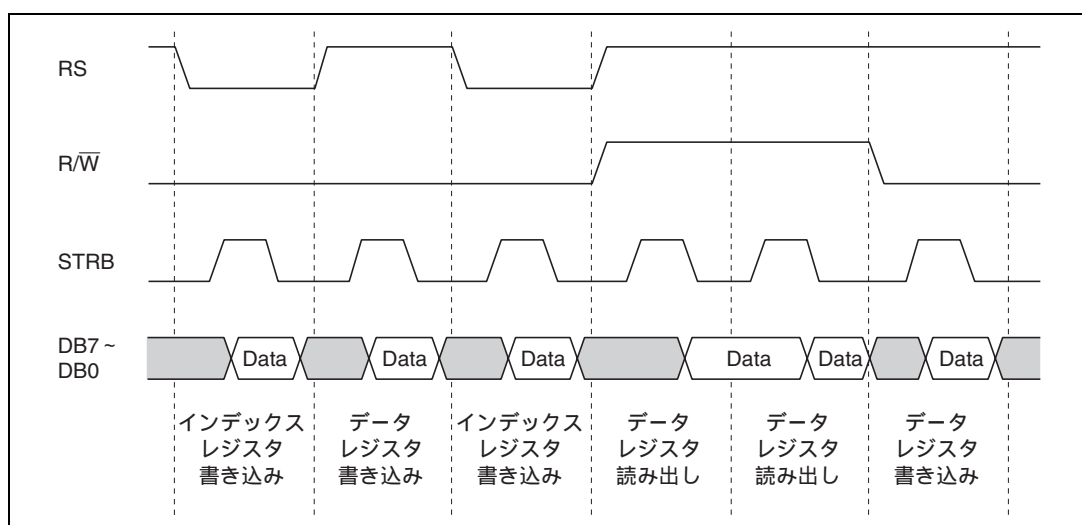


図 14.3 8 ビットデータ転送のタイミングシーケンス例

### (3) LSI 内部 I/O ポートの使用上の注意

LCD コントローラインタフェースの内部ポート 9 およびポート A は通常の I/O ポートと同じように PCR9 および PCRA でポートの入出力が制御され、出力の場合は PDR9 および PDRA に設定された値が出力されます。また、LCD コントローラの内部端子である RS、 $R/\overline{W}$ 、STRB は入力専用端子で、DB7～DB0 は  $R/\overline{W}$  により入出力が制御されます。そのため、次の注意が必要です。

#### 1. リセット解除後、スタンバイモード解除後

リセット時およびスタンバイモード時 LSI 内部 I/O ポートはハイインピーダンス状態になるため、解除後の初期化において、PDRA に H'06 を設定し、PCRA に H'07 をライトしてください。それにより、ポート A は出力に設定されます。PDRA が H'00 の場合、インデックスレジスタ (IR) にライトする可能性があります。

## 2. レジスタのリード/ライト設定の切り替え

LCD コントローラのレジスタをリードする ( $R/\overline{W}$  が 1) 場合、DB7 ~ DB0 は LCD コントローラ側からデータを入力するため、ポート 9 は入力設定にする必要があります。そのため、 $R/\overline{W}$  を 0 から 1 に切り替える設定は PCR9 に H'00 をライトして、ポート 9 を入力設定にした後に行ってください。また、LCD コントローラのレジスタにデータをライトする場合は、 $R/\overline{W}$  を 1 から 0 に切り替える設定の後で、PCR9 を H'FF にし、ポート 9 を出力設定にしてください。

以下に表示データレジスタ (LR4) のリード・モディファイ・ライト設定時のレジスタのリード/ライトの例を示します。

## 【インデックスレジスタを表示データレジスタに設定する】

- ポート A は出力設定、RMW は 1 の設定
 

```
MOV.W #H'0100, R1
MOV.W #H'04FF, R0
MOV.B R1L, @PDRA $R/\overline{W}$ を 0 に設定する
MOV.B R0H, @PDR9
MOV.B R0L, @PCR9 ポート 9 から H'04 を出力する
MOV.B R1H, @PDRA
MOV.B R1L, @PDRA インデックスレジスタに H'04 をライトする
```

## 【表示データレジスタをリードする】

```
MOV.B R1L, @PCR9 ポート 9 を入力設定にする
MOV.W #H'0706, R2
MOV.B R2L, @PDRA $R/\overline{W}$ を 1 に設定する
MOV.B R2H, @PDRA
MOV.B R2L, @PDRA
MOV.B @PDR9, R0H PDR9 を汎用レジスタにリード
```

## 【表示データレジスタにライトする】

```
MOV.W #H'0504, R3
MOV.B R3L, @PDRA $R/\overline{W}$ を 0 に設定する
NOT.B R0H 汎用レジスタのデータを反転する
MOV.B R0H, @PDR9
MOV.B R0L, @PCR9 ポート 9 を出力設定にする
MOV.B R3H, @PDRA
MOV.B R3L @PDRA 表示データレジスタにデータをライトする
```

## 14.3.3 液晶駆動端子機能

## コモン/セグメント出力

表示デューティはコントロールレジスタ 1 (LR0) の DDTY1 により設定します。

## (1) 1/8 デューティ (DDTY1 = 1)

コモン出力 : COM1 ~ COM8  
セグメント出力 : SEG1 ~ SEG40

【注】 COM9 ~ COM16 はコモン信号の非選択波形を出力します。

## 14. ドットマトリクス LCD コントローラ (H8/3854 グループ)

### (2) 1/16 デューティ (DDTY1 = 0)

コモン出力 : COM1 ~ COM16

セグメント出力 : SEG1 ~ SEG40

表 14.5 表示デューティによる端子機能

| 端子名          | 機能           |              |
|--------------|--------------|--------------|
|              | 1/8 デューティ    | 1/16 デューティ   |
| COM1 ~ COM8  | COM1 ~ COM8  | COM1 ~ COM16 |
| COM9 ~ COM16 | コモン信号の非選択波形  |              |
| SEG1 ~ SEG40 | SEG1 ~ SEG40 | SEG1 ~ SEG40 |

### 14.3.4 表示メモリ構成と表示

LCD コントローラは、容量  $40 \times 16$  ビットのビットマップ方式の表示メモリを内蔵しています。表示メモリの構成は X 方向が 8 ビット  $\times$  5 ビットで、Y 方向が 16 ビットになっています。CPU からライトする表示データは、図 14.4 に示すように MSB が左、LSB が右に横に格納されます。表示データと表示の関係は、データ 1 が点灯 (黒)、データ 0 が非点灯 (無色) に対応しています。

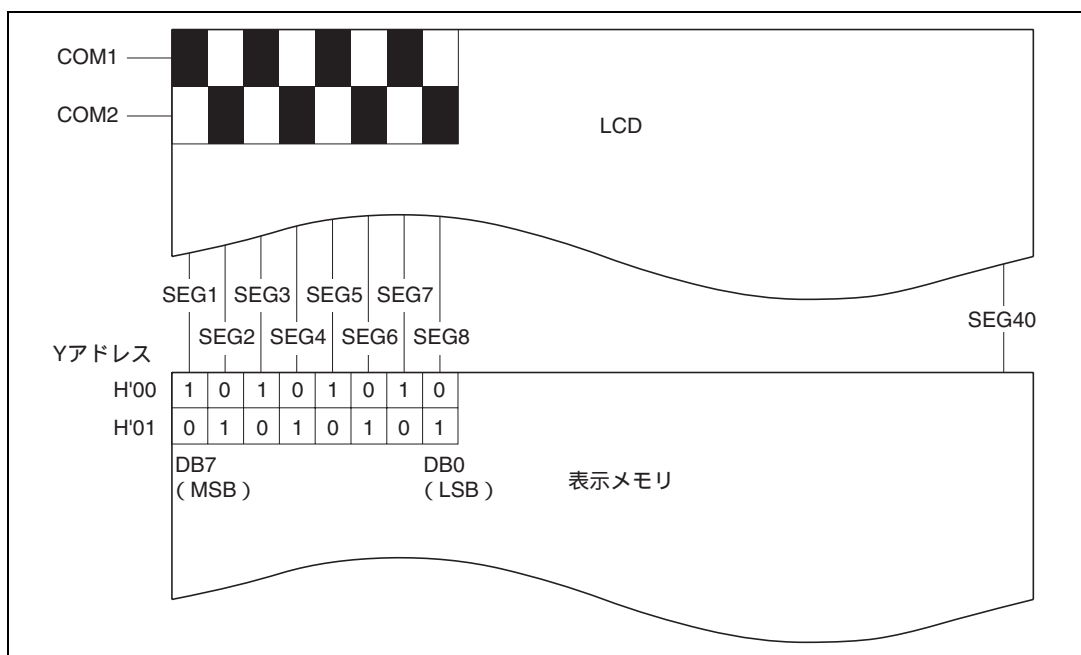


図 14.4 メモリデータと表示

### 14.3.5 表示データ出力

LCD コントローラの表示デューティと出力端子の関係を、図 14.5 に示します。

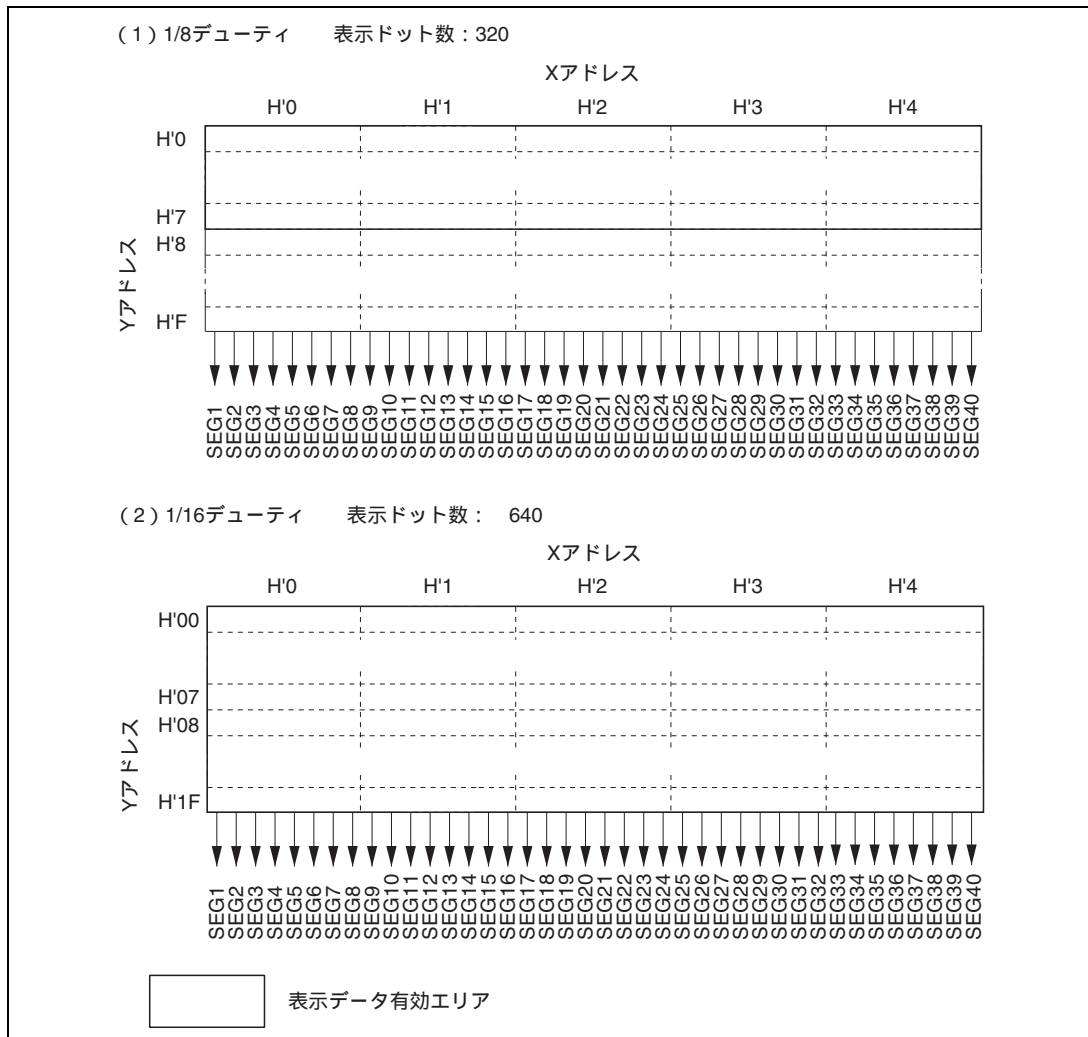


図 14.5 表示デューティと表示データ有効エリア

### 14.3.6 レジスタおよび表示メモリへのアクセス

#### (1) レジスタへのアクセス

レジスタへアクセスするには、まず RS を 0 にしてインデックスレジスタにアクセスしたいレジスタのレジスタ番号を設定します。その後に RS を 1 にして指定したレジスタにアクセスすることができます。一部の内部レジスタには存在しないビットがありますが、これらのビットには 0 を書き込むようにしてください。表示データレジスタ (LR4) 以外のリードはできません。

## (2) 表示メモリへのアクセス

表示メモリへのアクセスを行うには、アドレスレジスタ (LR2) にアクセスを行いたいアドレスを設定します。その後に表示データレジスタ (LR4) を通してメモリをアクセスします。このアクセスは表示側の読み出しを意識せずに行うことができます。これらの手順は、図 14.6 を参照してください。

X、Y アドレスはおのの表示データレジスタ (LR4) へのアクセス後、コントロールレジスタ 2 (LR1) の INC の設定値に基づき自動的にインクリメントされるため、アドレスの設定を毎回する必要はありません。

1/16 デューティ (DDTY1=0) において、INC が 0 の場合、表示データレジスタ (LR4) のリード/ライトのアクセスごとに X アドレスは同じまま Y アドレスが自動的に H'F までインクリメントされます。H'F の次は Y アドレスは H'0 に戻りますが、同時に X アドレスもインクリメントされます。また INC が 1 の場合、表示データレジスタ (LR4) のリード/ライトのアクセスごとに Y アドレスは同じまま X アドレスが自動的に H'4 までインクリメントされます。H'4 の次は X アドレスは H'0 に戻りますが、同時に Y アドレスもインクリメントされますので、表示メモリ全域への連続リード/ライトが可能です。

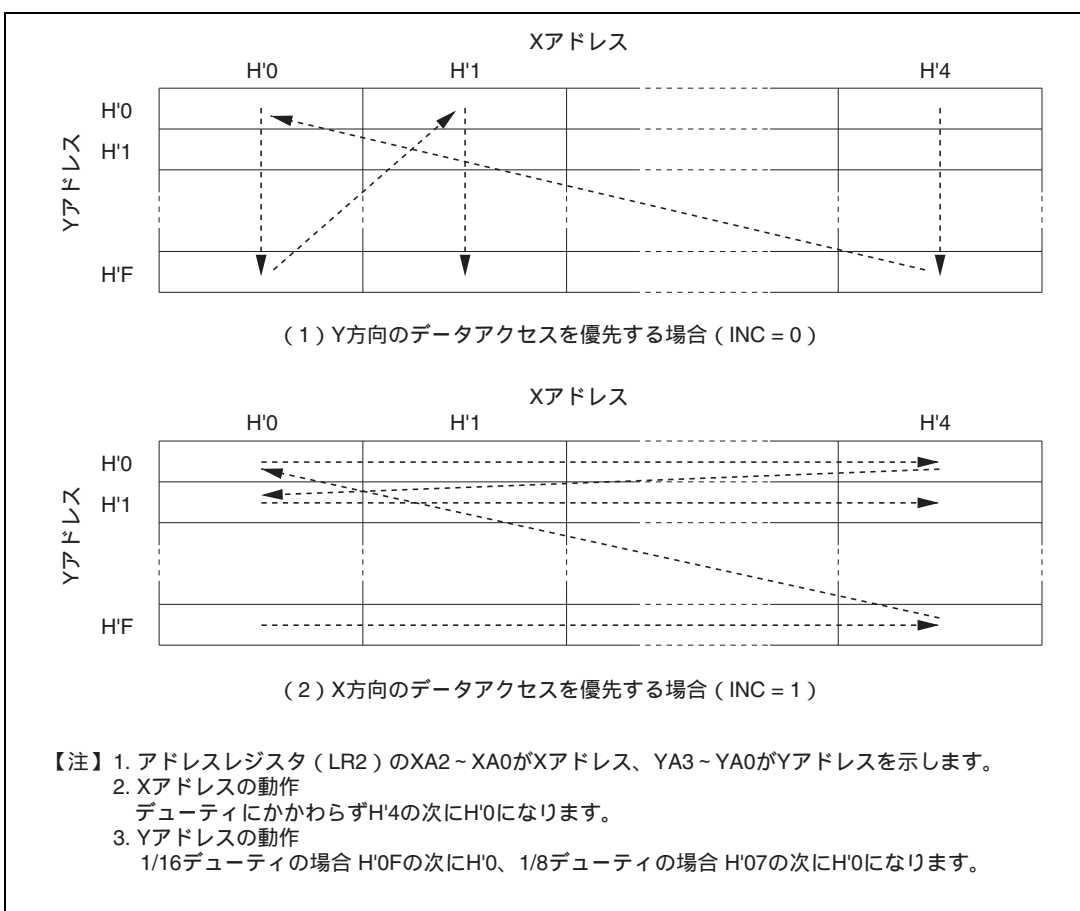


図 14.6 表示メモリへのアクセス方法 (1/16 デューティの場合)

## (3) 表示のための読み出し

液晶表示のための読み出しは、CPU からのアクセスとは非同期で行われます。ただし同時にアクセスすることは RAM 内のデータを破壊することとなるため、LSI 内部で調停を行っています。基本的には CPU からのアクセスが優先的に行われ、表示のための読み出しは CPU からのアクセスの合間で行われます。

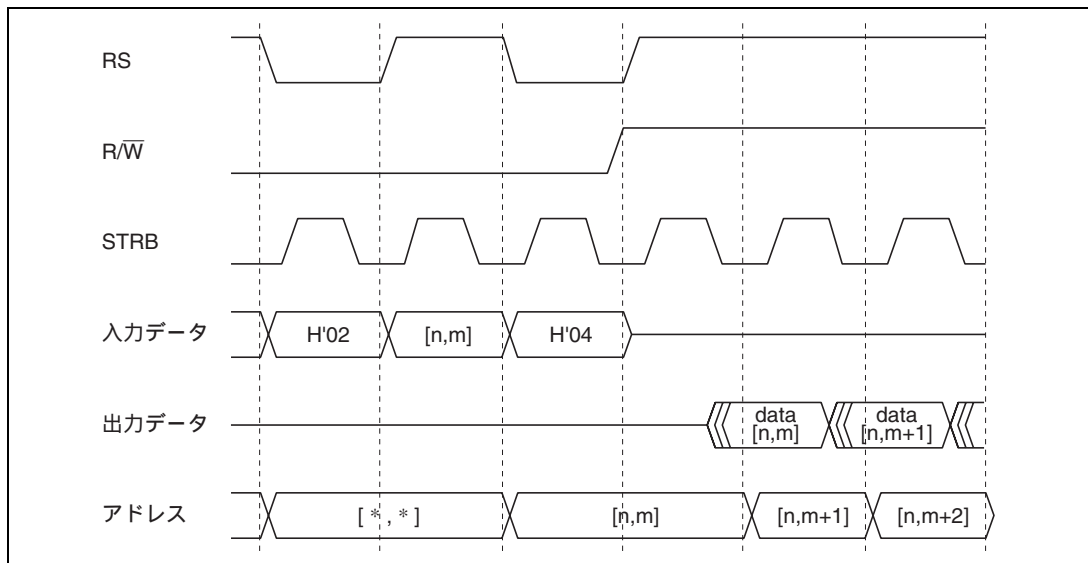


図 14.7 メモリ読み出し手順

## (4) リード・モディファイ・ライトモード

通常状態では、表示メモリへのリード/ライト双方のアクセス後に X または Y アドレスがインクリメントされます。これがリード・モディファイ・ライトモードではライト後のみにインクリメントされ、リード後のアドレスは同じままです。このモードを使用しますと、すで書き込まれているデータを読み出し、そのデータを加工して再び同じアドレスに書き込むといったことができます。

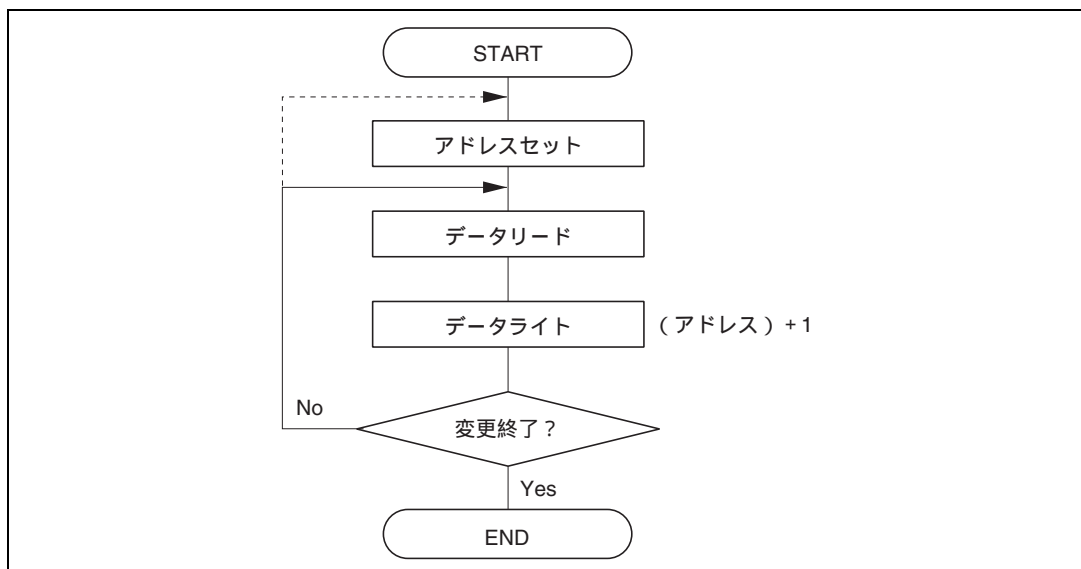


図 14.8 リード・モディファイ・ライトモードのフロー

## 14.3.7 モジュールスタンバイモード

LCD コントローラは、モジュールスタンバイ機能を持っており、低消費電力化を実現することができます。モジュールスタンバイモードでは内蔵ブリーダ抵抗への電流供給は停止し、セグメントおよびコモン出力は  $V_{SS}$  (表示オフ状態) レベルとなります。また表示 RAM および内部レジスタのデータはコントロールレジスタ 2 (LR1) の DISP、LPS1 および LSP0 を除いて保持されます。ただし、モジュールスタンバイ状態でもコントロールレジスタはアクセス可能です。図 14.9 にモジュールスタンバイモードの起動、解除手順を示します。表示メモリの内容を保護するために、起動解除手順は必ず守ってください。

CPU をスタンバイモードにする場合は、スタンバイ命令実行前にコントロールレジスタ 1 (LR0) の LSBY を 1 にセットしてください。またスタンバイモード解除後は、モジュールスタンバイ解除の手順に従って表示を開始してください。

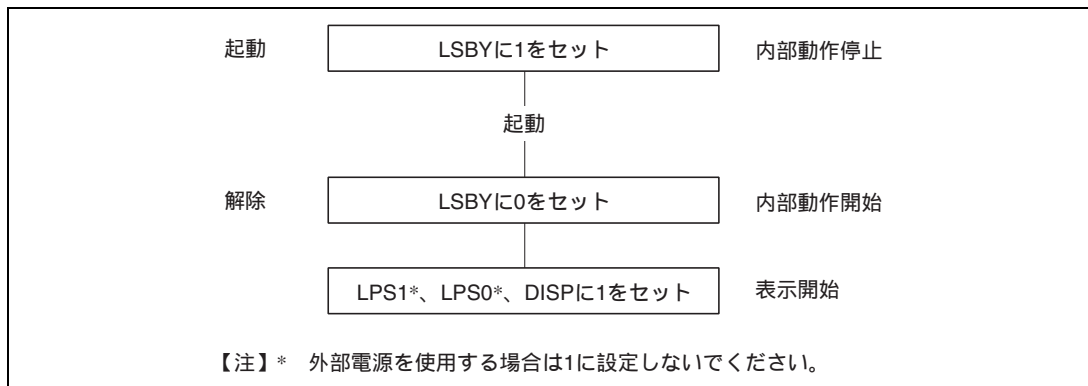


図 14.9 モジュールスタンバイモードとスタンバイモード起動、解除手順

### 14.3.8 電源投入、切断手順

LCD コントローラは、電源回路全体を内蔵していますので、電源投入、切断の手順は図 14.10 のように行ってください。この手順を守りませんと異常な表示をすることがあります。

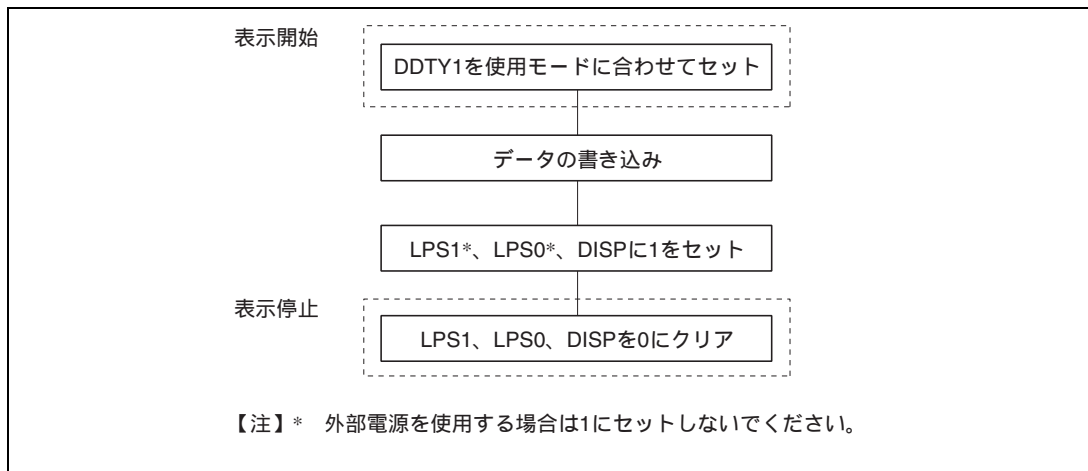


図 14.10 電源投入、切断手順

### 14.3.9 電源回路

LCD コントローラは、液晶駆動用ブリーダ抵抗回路を内蔵しています。スタンバイモード時には自動的に電圧回路がオフされますので、電源回路の消費電力は 0 となります。また、コマンドで電源回路をオン / オフすることが可能ですので、内蔵昇圧回路の電流容量が不足するような場合は外部電源回路を使用してください。

#### (1) 液晶駆動

液晶駆動には、V1、V2、V3、V4、V5、V<sub>SS</sub> の 6 レベルの電源が必要です。これらのレベルは V1 ~ V<sub>SS</sub> の電源を抵抗分割で発生させます。

液晶表示に 1/4 バイアスを使用する場合は V3OUT と V4OUT 端子を短絡、1/5 バイアスを使用する場合は、V3OUT と V4OUT 端子を解放してください。

#### (2) 外部電源

##### (a) V1OUT ~ V5OUT 端子に直接外部電源を入力する場合

コントロールレジスタ 2 (LR1) の LPS0、LPS1 を 0 として、内蔵ブリーダ抵抗回路への電源を切断することにより、外部から V1OUT、V2OUT、V3OUT、V4OUT、V5OUT に直接電源を印加することができます。V1OUT ~ V5OUT には V<sub>CC</sub> 以下の電圧を印加してください。

##### (b) V1OUT 端子に外部電源入力する場合

V1OUT に外部電源を入力し、コントロールレジスタ 2 (LR1) の LPS1 を 1 にして、内蔵ブリーダ抵抗を使用することにより V1 ~ V5 を生成することができます。V1OUT には V<sub>CC</sub> 以下の電圧を印加してください。

いずれの場合も V<sub>CC</sub> を超える電圧を入力すると、LSI の信頼性に悪影響を及ぼすことがあります。

### 14.3.10 液晶駆動電源電圧

液晶駆動電源電圧は、V1 ~ V5、V<sub>SS</sub> の 6 値あります。V1 が最も高い電圧で、V<sub>SS</sub> が最も低い電圧です。図 14.11 のように、コモン波形は V1、V2、V5、V<sub>SS</sub> の組み合わせから成り、セグメント波形は V1、V3、V4、V<sub>SS</sub> の組み合わせから成っています。V1 と V<sub>SS</sub> は共通ですが、中間電圧がセグメントとコモンで異なります。

図 14.11 において、SEG1 ~ SEG40 の出力は表示データによって異なる波形になります。この例では、液晶パネルの COM1 が接続されているラインが点灯し、他のドットはすべて非点灯になります。

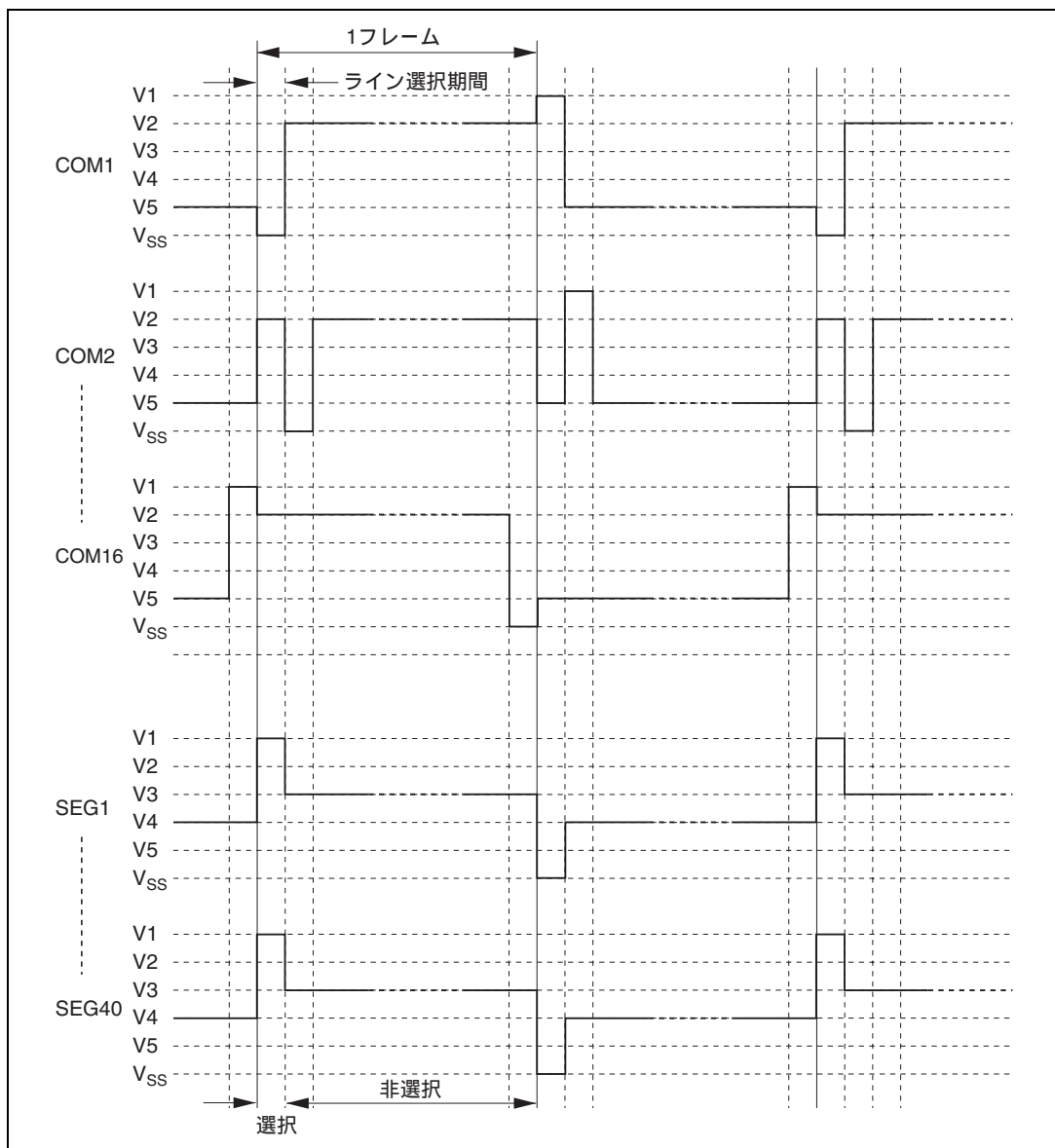


図 14.11 液晶駆動電圧波形 (1/16 デューティ)

## 14.3.11 液晶電圧発生回路

## (1) 内部電源、内蔵ブリーダ抵抗を使用する場合

本 LCD コントローラは、V1 レベルから V5 レベルを発生するブリーダ抵抗を内蔵しています。また、液晶駆動電源は内部電源、 $V_{CC}$  を使用するか、外部より供給して駆動することが可能です。内部電源を使用して、内蔵ブリーダ抵抗を使用する場合はコントロールレジスタ 2 (LR1) の LPS1、LPS0 をそれぞれ 1 に設定してください。駆動する液晶パネルの容量が大きな場合には V1OUT ~ V5OUT と  $V_{SS}$  間に 0.1 ~ 0.5 $\mu$ F 程度のコンデンサを挿入して安定化してください。

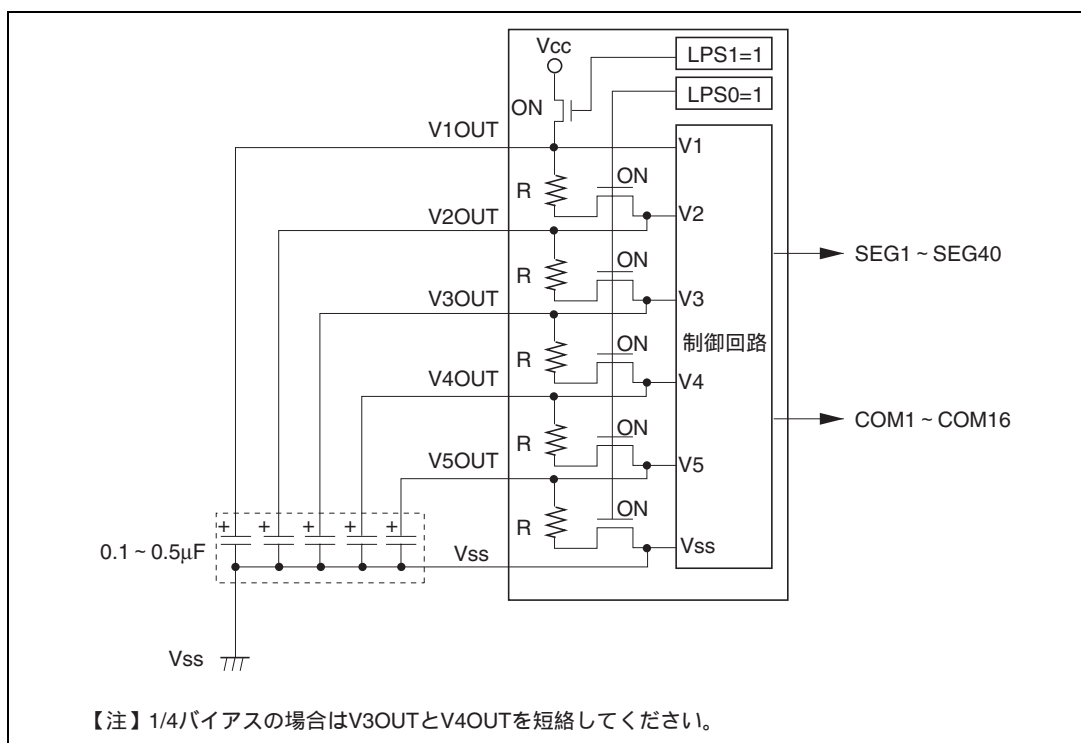


図 14.12 内部電源、内蔵ブリーダ回路使用時 (1/5 バイアス)

## (2) 外部電源、内蔵ブリーダ抵抗を使用する場合

V1OUT から外部電源を供給し、内蔵ブリーダ抵抗を使用する場合にはコントロールレジスタ 2 (LR1) の LPS1 は 0 に、LPS0 は 1 に設定して、図 14.13 のように接続してください。V1OUT には必ず  $V_{CC}$  以下の電源を印加してください。駆動する液晶パネルの容量が大きな場合には V1OUT ~ V5OUT と  $V_{SS}$  間に  $0.1 \sim 0.5\mu\text{F}$  程度のコンデンサを挿入して安定化してください。

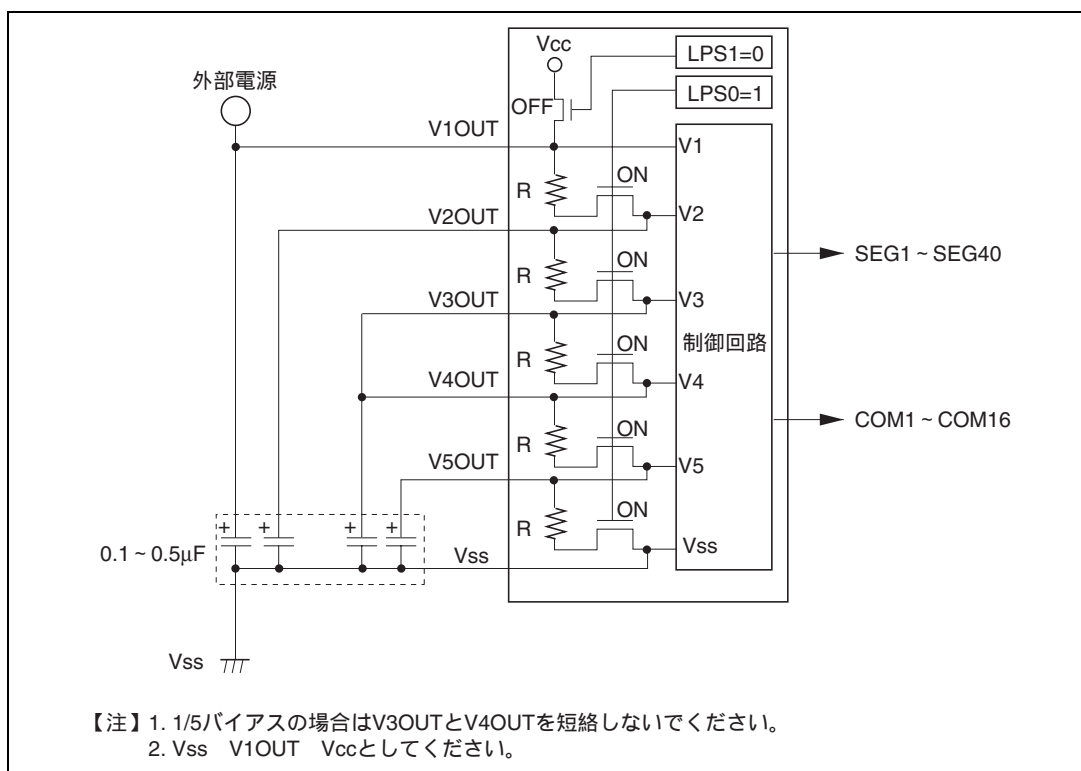


図 14.13 外部電源、内蔵ブリーダ回路使用時 (1/4 バイアス)

## (3) 外部電源、外部ブリーダ抵抗を使用する場合

液晶パネルのサイズに対し内蔵のブリーダ抵抗の駆動能力が不十分の場合、外部のブリーダ抵抗を使用して V1～V5 レベルを供給することができます。この場合、コントロールレジスタ 2 (LR1) の LPS1、LPS0 を 0 に設定してください。図 14.14 のように接続してください。

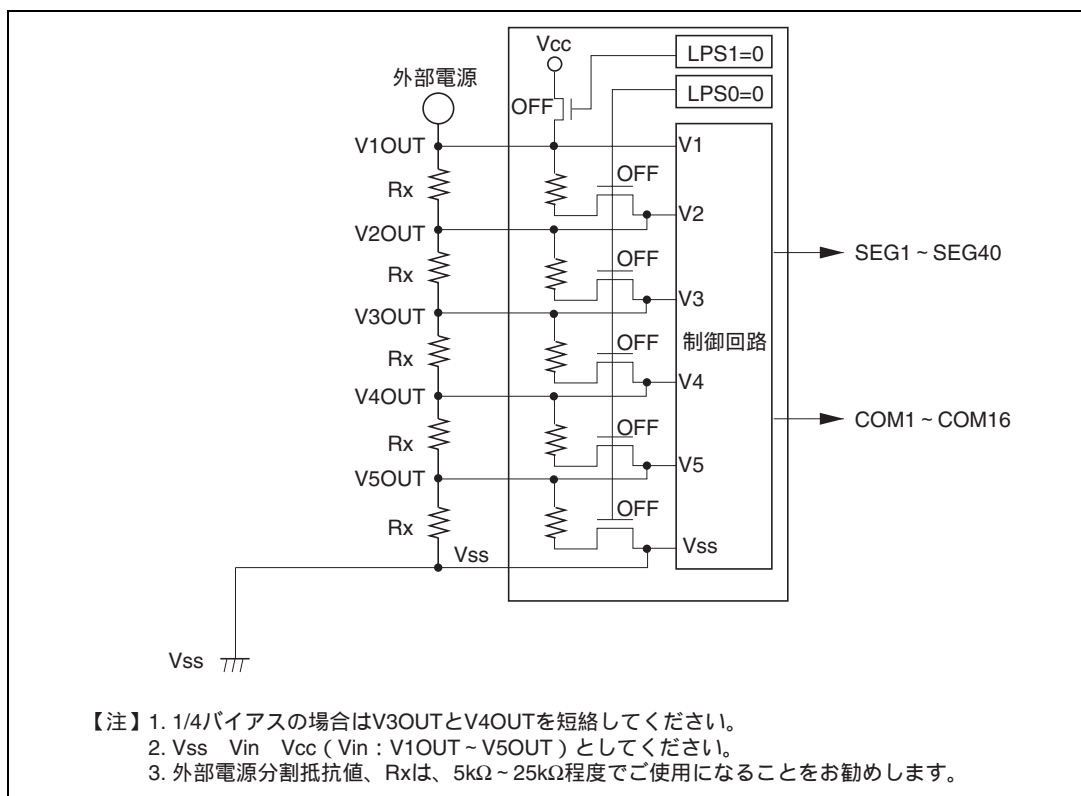


図 14.14 外部電源、外部ブリーダ回路使用時 (1/5 バイアス)

## 14.3.12 液晶駆動バイアス選択回路

コントラストが最良となる理想的なバイアス値は以下の式で算出されます。最適なバイアス値より低いバイアス値で駆動するとコントラストは低下しますが、液晶駆動電圧 (V1～Vss 間の電位差) を低く抑えることができます。バッテリー寿命により出力電圧が低下し液晶表示が薄くなる場合など、液晶駆動バイアスを低くすると液晶表示が見えやすくなります。

$$1/N \text{ デューティ駆動時の最適バイアス値} = \frac{1}{\sqrt{N+1}}$$

- 【注】 1. 1/5 バイアスを使用する場合は、V3OUT 端子と V4OUT 端子を解放してください。  
 2. 1/4 バイアスを使用する場合は、V3OUT 端子と V4OUT 端子を短絡してください。

## 15. 電気的特性 ( H8/3857 グループ )

### 15.1 H8/3855、H8/3856、H8/3857 ( 標準仕様 ) 絶対最大定格

絶対最大定格を表 15.1 に示します。

表 15.1 絶対最大定格

| 項目              |                | 記号        | 規格値                     | 単位 | 備考             |
|-----------------|----------------|-----------|-------------------------|----|----------------|
| 電源電圧            |                | $V_{CC}$  | - 0.3 ~ + 7.0           | V  |                |
| アナログ電源電圧        |                | $AV_{CC}$ | - 0.3 ~ + 7.0           | V  |                |
| LCD 電源電圧        |                | $V_{LCD}$ | - 0.3 ~ + 8.0           | V  | * <sup>1</sup> |
| プログラム電圧 ( FWE ) |                | $V_{in}$  | - 0.3 ~ $V_{CC} + 0.3$  | V  | * <sup>2</sup> |
| 入力電圧            | ポート B、LCD 電源以外 | $V_{in}$  | - 0.3 ~ $V_{CC} + 0.3$  | V  |                |
|                 | ポート B          | $AV_{in}$ | - 0.3 ~ $AV_{CC} + 0.3$ | V  |                |
|                 | LCD 電源         | $V_{in}$  | - 0.3 ~ $V_{LCD} + 0.3$ | V  | * <sup>3</sup> |
| 動作温度            |                | $T_{opr}$ | - 20 ~ + 75             |    | * <sup>4</sup> |
| 保存温度            |                | $T_{stg}$ | - 55 ~ + 125            |    |                |

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

また、通常動作では、「電気的特性」の条件で使用する事が望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。

【注】 \*<sup>1</sup> LCD 電源電圧  $V_{LCD}$  は、必ず  $V_{CC}$  以上を印加してください。

\*<sup>2</sup> FWE 端子には絶対に 12V を印加しないでください。12V を印加した場合、LSI の永久破壊となります。

\*<sup>3</sup> 内蔵オペアンプ未使用で、外部から直接液晶駆動電圧を供給する場合、V1OUT、V2OUT、V3OUT、V4OUT、V5OUT に適用します。

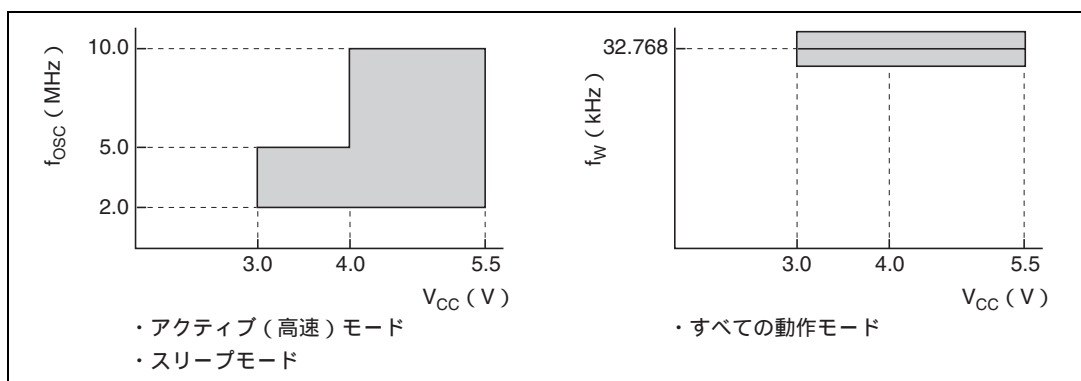
\*<sup>4</sup> フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = 0 \sim +75$  です。

## 15.2 H8/3855、H8/3856、H8/3857 (標準仕様) の電気的特性

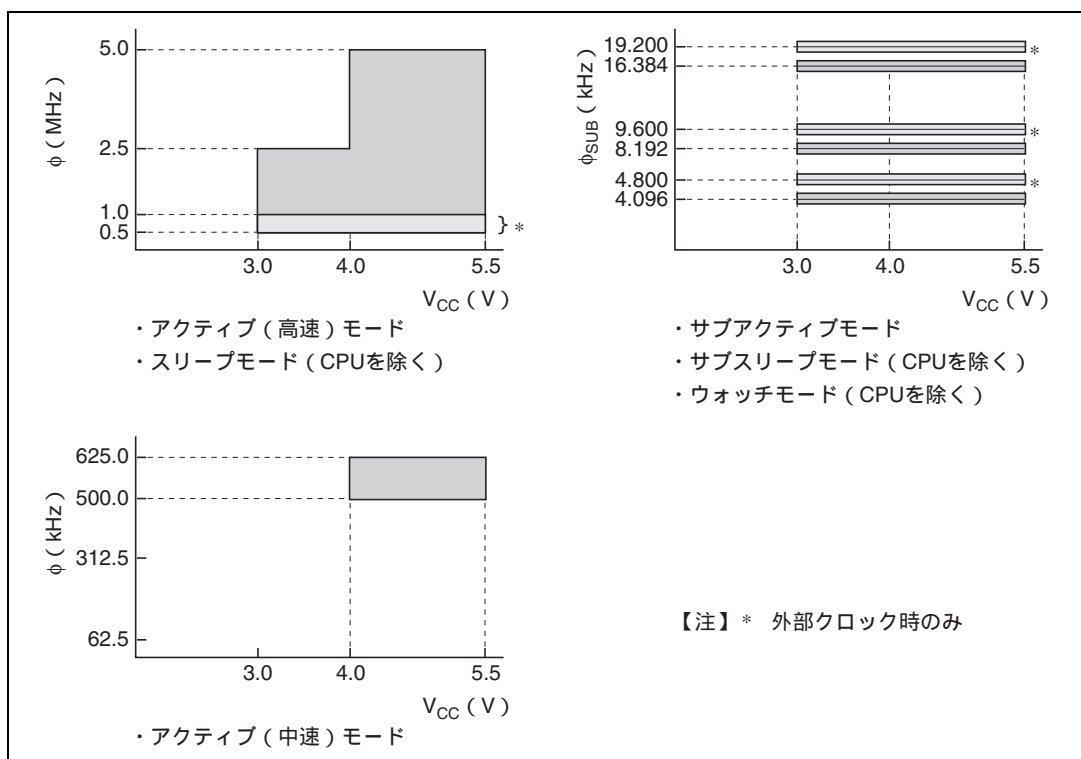
### 15.2.1 電源電圧と動作範囲

H8/3855、H8/3856、H8/3857 の電源電圧と動作範囲 (網かけ部) を以下に示します。

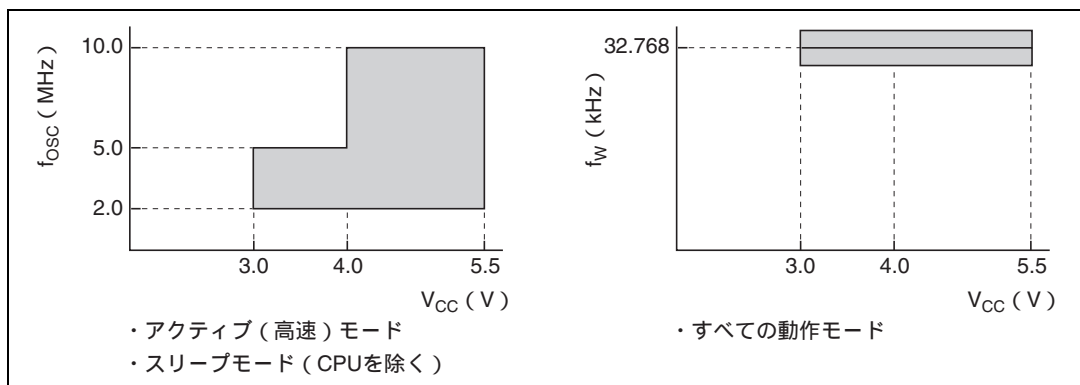
#### (1) 電源電圧と発振周波数の範囲



#### (2) 電源電圧と動作周波数の範囲



## (3) アナログ電源電圧と A/D 変換器の動作範囲



## 15.2.2 DC 特性

H8/3855、H8/3856、H8/3857 の DC 特性を表 15.2 に示します。

表 15.2 H8/3855、H8/3856、H8/3857 の DC 特性 (1)

特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>4</sup>、サブアクティブモードを含む

| 項目            | 記号       | 適用端子                                                                                                                                                                                          | 測定条件                     | 規格値            |      |                 | 単位 | 備考 |
|---------------|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------|----------------|------|-----------------|----|----|
|               |          |                                                                                                                                                                                               |                          | min.           | typ. | max.            |    |    |
| 入力 High レベル電圧 | $V_{IH}$ | RES、<br>WKP <sub>0</sub> ~ WKP <sub>7</sub> 、<br>IRQ <sub>0</sub> ~ IRQ <sub>4</sub> 、<br>TMIB、TMIC、TMIF、<br>TEST2、FWE、<br>SCK <sub>1</sub> 、SCK <sub>3</sub> 、<br>ADTRG                      | $V_{CC} = 4.0 \sim 5.5V$ | $0.8V_{CC}$    | -    | $V_{CC} + 0.3$  | V  |    |
|               |          |                                                                                                                                                                                               |                          | $0.9V_{CC}$    | -    | $V_{CC} + 0.3$  |    |    |
|               |          | UD、SI <sub>1</sub> 、RXD                                                                                                                                                                       | $V_{CC} = 4.0 \sim 5.5V$ | $0.7V_{CC}$    | -    | $V_{CC} + 0.3$  | V  |    |
|               |          |                                                                                                                                                                                               |                          | $0.8V_{CC}$    | -    | $V_{CC} + 0.3$  |    |    |
|               |          | OSC <sub>1</sub>                                                                                                                                                                              | $V_{CC} = 4.0 \sim 5.5V$ | $V_{CC} - 0.5$ | -    | $V_{CC} + 0.3$  | V  |    |
|               |          |                                                                                                                                                                                               |                          | $V_{CC} - 0.3$ | -    | $V_{CC} + 0.3$  |    |    |
|               |          | X1                                                                                                                                                                                            |                          | $V_{CC} - 0.3$ | -    | $V_{CC} + 0.3$  | V  |    |
|               |          | P1 <sub>0</sub> ~ P1 <sub>7</sub> 、<br>P2 <sub>0</sub> ~ P2 <sub>7</sub> 、<br>P3 <sub>0</sub> ~ P3 <sub>7</sub> 、<br>P4 <sub>0</sub> ~ P4 <sub>3</sub> 、<br>P5 <sub>0</sub> ~ P5 <sub>7</sub> | $V_{CC} = 4.0 \sim 5.5V$ | $0.7V_{CC}$    | -    | $V_{CC} + 0.3$  | V  |    |
|               |          |                                                                                                                                                                                               |                          | $0.8V_{CC}$    | -    | $V_{CC} + 0.3$  |    |    |
|               |          | PB <sub>0</sub> ~ PB <sub>7</sub>                                                                                                                                                             | $V_{CC} = 4.0 \sim 5.5V$ | $0.7V_{CC}$    | -    | $AV_{CC} + 0.3$ | V  |    |
|               |          |                                                                                                                                                                                               |                          | $0.8V_{CC}$    | -    | $AV_{CC} + 0.3$ |    |    |

## 15. 電気的特性 (H8/3857 グループ)

| 項目               | 記号              | 適用端子                                                                                                                                                                                                                                                                         | 測定条件                                                      | 規格値                   |      |                    | 単位 | 備考  |
|------------------|-----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------|-----------------------|------|--------------------|----|-----|
|                  |                 |                                                                                                                                                                                                                                                                              |                                                           | min.                  | typ. | max.               |    |     |
| 入力 Low<br>レベル電圧  | V <sub>IL</sub> | RES、<br>WKP <sub>0</sub> ~ WKP <sub>7</sub> 、<br>IRQ <sub>0</sub> ~ IRQ <sub>4</sub> 、<br>TMIB、TMIC、TMIF、<br>TEST2、FWE、<br>SCK <sub>1</sub> 、SCK <sub>3</sub> 、<br>ADTRG                                                                                                     | V <sub>CC</sub> = 4.0 ~ 5.5V                              | -0.3                  | -    | 0.2V <sub>CC</sub> | V  |     |
|                  |                 |                                                                                                                                                                                                                                                                              |                                                           | -0.3                  | -    | 0.1V <sub>CC</sub> |    |     |
|                  |                 | UD、SI <sub>1</sub> 、RXD                                                                                                                                                                                                                                                      | V <sub>CC</sub> = 4.0 ~ 5.5V                              | -0.3                  | -    | 0.3V <sub>CC</sub> | V  |     |
|                  |                 |                                                                                                                                                                                                                                                                              |                                                           | -0.3                  | -    | 0.2V <sub>CC</sub> |    |     |
|                  |                 | OSC <sub>1</sub>                                                                                                                                                                                                                                                             | V <sub>CC</sub> = 4.0 ~ 5.5V                              | -0.3                  | -    | 0.5                | V  |     |
|                  |                 |                                                                                                                                                                                                                                                                              |                                                           | -0.3                  | -    | 0.3                |    |     |
|                  |                 | X1                                                                                                                                                                                                                                                                           |                                                           | -0.3                  | -    | 0.3                | V  |     |
|                  |                 | P1 <sub>0</sub> ~ P1 <sub>7</sub> 、<br>P2 <sub>0</sub> ~ P2 <sub>7</sub> 、<br>P3 <sub>0</sub> ~ P3 <sub>7</sub> 、<br>P4 <sub>0</sub> ~ P4 <sub>3</sub> 、<br>P5 <sub>0</sub> ~ P5 <sub>7</sub> 、<br>PB <sub>0</sub> ~ PB <sub>7</sub>                                         | V <sub>CC</sub> = 4.0 ~ 5.5V                              | -0.3                  | -    | 0.3V <sub>CC</sub> | V  |     |
| 出力 High<br>レベル電圧 | V <sub>OH</sub> | P1 <sub>0</sub> ~ P1 <sub>7</sub> 、<br>P2 <sub>0</sub> ~ P2 <sub>7</sub> 、<br>P3 <sub>0</sub> ~ P3 <sub>7</sub> 、<br>P4 <sub>0</sub> ~ P4 <sub>2</sub> 、<br>P5 <sub>0</sub> ~ P5 <sub>7</sub>                                                                                | V <sub>CC</sub> = 4.0 ~ 5.5V<br>- I <sub>OH</sub> = 1.0mA | V <sub>CC</sub> - 1.0 | -    | -                  | V  |     |
|                  |                 |                                                                                                                                                                                                                                                                              | V <sub>CC</sub> = 4.0 ~ 5.5V<br>- I <sub>OH</sub> = 0.5mA | V <sub>CC</sub> - 0.5 | -    | -                  |    |     |
|                  |                 |                                                                                                                                                                                                                                                                              | - I <sub>OH</sub> = 0.1mA                                 | V <sub>CC</sub> - 0.5 | -    | -                  |    |     |
|                  |                 |                                                                                                                                                                                                                                                                              |                                                           |                       |      |                    |    |     |
| 出力 Low<br>レベル電圧  | V <sub>OL</sub> | P1 <sub>0</sub> ~ P1 <sub>7</sub> 、<br>P4 <sub>0</sub> ~ P4 <sub>2</sub> 、<br>P5 <sub>0</sub> ~ P5 <sub>7</sub>                                                                                                                                                              | V <sub>CC</sub> = 4.0 ~ 5.5V<br>I <sub>OL</sub> = 1.6mA   | -                     | -    | 0.6                | V  |     |
|                  |                 |                                                                                                                                                                                                                                                                              | I <sub>OL</sub> = 0.4mA                                   | -                     | -    | 0.5                |    |     |
|                  |                 | P2 <sub>0</sub> ~ P2 <sub>7</sub> 、<br>P3 <sub>0</sub> ~ P3 <sub>7</sub>                                                                                                                                                                                                     | V <sub>CC</sub> = 4.0 ~ 5.5V<br>I <sub>OL</sub> = 10mA    | -                     | -    | 1.5                | V  |     |
|                  |                 |                                                                                                                                                                                                                                                                              | V <sub>CC</sub> = 4.0 ~ 5.5V<br>I <sub>OL</sub> = 1.6mA   | -                     | -    | 0.6                |    |     |
|                  |                 |                                                                                                                                                                                                                                                                              | I <sub>OL</sub> = 0.4mA                                   | -                     | -    | 0.5                |    |     |
|                  |                 |                                                                                                                                                                                                                                                                              |                                                           |                       |      |                    |    |     |
| 入出力<br>リーク電流     | I <sub>IL</sub> | RES、TEST2、<br>FWE、OSC <sub>1</sub> 、<br>P1 <sub>0</sub> ~ P1 <sub>7</sub> 、<br>P2 <sub>0</sub> ~ P2 <sub>7</sub> 、<br>P3 <sub>0</sub> ~ P3 <sub>7</sub> 、<br>P4 <sub>0</sub> ~ P4 <sub>3</sub> 、<br>P5 <sub>0</sub> ~ P5 <sub>7</sub> 、<br>PB <sub>0</sub> ~ PB <sub>7</sub> | V <sub>in</sub> = 0.5V ~ V <sub>CC</sub> - 0.5V           | -                     | -    | 1.0                | μA |     |
|                  |                 |                                                                                                                                                                                                                                                                              | V <sub>in</sub> = 0.5V ~ AV <sub>CC</sub> - 0.5V          | -                     | -    | 1.0                | μA |     |
| ブルアップ<br>MOS 電流  | -I <sub>p</sub> | P1 <sub>0</sub> ~ P1 <sub>7</sub> 、<br>P3 <sub>0</sub> ~ P3 <sub>7</sub> 、<br>P5 <sub>0</sub> ~ P5 <sub>7</sub>                                                                                                                                                              | V <sub>CC</sub> = 5V、V <sub>in</sub> = 0V                 | 50.0                  | -    | 300.0              | μA |     |
|                  |                 |                                                                                                                                                                                                                                                                              | V <sub>CC</sub> = 3.3V、V <sub>in</sub> = 0V               | -                     | 100  | -                  | μA | 参考値 |
| 入力容量             | C <sub>in</sub> | 電源端子を除く全<br>入力端子                                                                                                                                                                                                                                                             | f = 1MHz、V <sub>in</sub> = 0V、<br>T <sub>a</sub> = 25     | -                     | -    | 15.0               | pF |     |

## 15. 電気的特性 (H8/3857 グループ)

| 項目                         | 記号          | 適用端子     | 測定条件                                                                                  | 規格値  |      |      | 単位      | 備考                                                 |
|----------------------------|-------------|----------|---------------------------------------------------------------------------------------|------|------|------|---------|----------------------------------------------------|
|                            |             |          |                                                                                       | min. | typ. | max. |         |                                                    |
| アクティブ<br>モード<br>消費電流       | $I_{OPE1}$  | $V_{CC}$ | アクティブ (高速) モード<br>$V_{CC} = 5V$ , $f_{OSC} = 10MHz$                                   | -    | 10.0 | 15.0 | mA      | * <sup>1</sup><br>* <sup>2</sup>                   |
|                            | $I_{OPE2}$  | $V_{CC}$ | アクティブ (中速) モード<br>$V_{CC} = 5V$ , $f_{OSC} = 10MHz$                                   | -    | 2.0  | 3.5  | mA      | * <sup>1</sup><br>* <sup>2</sup>                   |
| スリープ<br>モード<br>消費電流        | $I_{SLEEP}$ | $V_{CC}$ | $V_{CC} = 5V$ , $f_{OSC} = 10MHz$                                                     | -    | 4.0  | 7.0  | mA      | * <sup>1</sup><br>* <sup>2</sup>                   |
| サブ<br>アクティブ<br>モード<br>消費電流 | $I_{SUB}$   | $V_{CC}$ | $V_{CC} = 3.3V$ , LCD 点灯<br>(2 倍昇圧時)<br>32kHz 水晶発振子使用時<br>( $\phi_{SUB} = \phi_W/2$ ) | -    | 70   | 150  | $\mu A$ | * <sup>1</sup><br>* <sup>2</sup>                   |
|                            |             |          | $V_{CC} = 3.3V$ , LCD 点灯<br>(2 倍昇圧時)<br>32kHz 水晶発振子使用時<br>( $\phi_{SUB} = \phi_W/8$ ) | -    | 65   | -    | $\mu A$ | * <sup>1</sup><br>* <sup>2</sup><br>参考値            |
|                            |             |          | $V_{CC} = 3.3V$ , LCD 未使用<br>32kHz 水晶発振子使用時<br>( $\phi_{SUB} = \phi_W/2$ )            | -    | 20   | -    | $\mu A$ | * <sup>1</sup><br>* <sup>2</sup><br>参考値            |
| サブ<br>スリープ<br>モード<br>消費電流  | $I_{SUBSP}$ | $V_{CC}$ | $V_{CC} = 3.3V$ , LCD 点灯<br>(2 倍昇圧時)<br>32kHz 水晶発振子使用時<br>( $\phi_{SUB} = \phi_W/2$ ) | -    | 65   | 130  | $\mu A$ | * <sup>1</sup><br>* <sup>2</sup>                   |
| ウォッチ<br>モード<br>消費電流        | $I_{WATCH}$ | $V_{CC}$ | $V_{CC} = 3.3V$ , LCD 点灯<br>(2 倍昇圧時)<br>32kHz 水晶発振子使用時                                | -    | 60   | 90.0 | $\mu A$ | * <sup>1</sup><br>* <sup>2</sup>                   |
|                            | $I_{WATCH}$ | $V_{CC}$ | $V_{CC} = 3.3V$ , LCD 未使用、<br>32kHz 水晶発振子使用時                                          | -    | 7.0  | 15.0 | $\mu A$ | * <sup>1</sup><br>* <sup>2</sup>                   |
| スタンバイ<br>モード消費<br>電流       | $I_{STBY}$  | $V_{CC}$ | 32kHz 水晶発振子未使用時                                                                       | -    | -    | 5.0  | $\mu A$ | * <sup>1</sup><br>* <sup>2</sup>                   |
| 書き込み<br>消去時<br>消費電流        | $I_{FLASH}$ | $V_{CC}$ | 0 $T_a$ 70<br>$f_{OSC} = 12MHz$                                                       | -    | 16   | 22   | mA      | * <sup>1</sup><br>* <sup>2</sup><br>* <sup>3</sup> |
| RAM<br>データ<br>保持電圧         | $V_{RAM}$   | $V_{CC}$ |                                                                                       | 2.0  | -    | -    | V       | * <sup>1</sup><br>* <sup>2</sup>                   |

【注】 \*1 消費電流測定時の端子の状態

| モード                                    | 内部状態    | 各端子      | LCD 電源           | 発振端子                                                          |
|----------------------------------------|---------|----------|------------------|---------------------------------------------------------------|
| アクティブ (高速)<br>モード<br>アクティブ (中速)<br>モード | 動作      | $V_{CC}$ | $V_{LCD} = 6.0V$ | システムクロック発振器: 水晶発振子<br>サブクロック発振器: X <sub>1</sub> 端子 = $V_{CC}$ |
| スリープモード                                | タイマのみ動作 | $V_{CC}$ | $V_{LCD} = 6.0V$ |                                                               |

## 15. 電気的特性 (H8/3857 グループ)

| モード                      | 内部状態                     | 各端子      | LCD 電源                                              | 発振端子                                                 |
|--------------------------|--------------------------|----------|-----------------------------------------------------|------------------------------------------------------|
| サブアクティブモード               | 動作                       | $V_{CC}$ | $V_{LCD} = 6.0V$<br>(LCD 未使用時は $V_{LCD} = V_{CC}$ ) | システムクロック発振器: 水晶発振子<br>サブクロック発振器: 水晶発振子               |
| サブスリープモード                | タイマのみ動作<br>CPU は停止       | $V_{CC}$ | $V_{LCD} = 6.0V$                                    |                                                      |
| ウォッチモード                  | 時計用タイムベースのみ動作<br>CPU は停止 | $V_{CC}$ | $V_{LCD} = 6.0V$<br>(LCD 未使用時は $V_{LCD} = V_{CC}$ ) |                                                      |
| スタンバイモード                 | CPU、タイマともに停止             | $V_{CC}$ | $V_{LCD} = V_{CC}$                                  | システムクロック発振器: 水晶発振子<br>サブクロック発振器: $X_1$ 端子 = $V_{CC}$ |
| 書き込み / 消去時 <sup>*3</sup> | 動作                       | $V_{CC}$ | $V_{LCD} = V_{CC}$                                  | システムクロック発振器: 水晶発振子<br>サブクロック発振器: $X_1$ 端子 = $V_{CC}$ |

\*2 プルアップ MOS や出力バッファに流れる電流は除きます。

\*3 F-ZTAT 版のみ適用します。

\*4 チップ出荷品の電気的特性保証温度は 75 です。

表 15.3 H8/3855、H8/3856、H8/3857 の DC 特性 (2)

特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  <sup>\*2</sup>、サブアクティブモードを含む

| 項目                              | 記号               | 適用端子                | 測定条件                      | 規格値  |      |      | 単位 | 備考             |
|---------------------------------|------------------|---------------------|---------------------------|------|------|------|----|----------------|
|                                 |                  |                     |                           | min. | typ. | max. |    |                |
| 出力 Low<br>レベル許容電流<br>(1 端子あたり)  | $I_{OL}$         | ポート 2、3 以外の<br>出力端子 | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 2.0  | mA | * <sup>1</sup> |
|                                 |                  | ポート 2、3             | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 10.0 |    |                |
|                                 |                  | 全出力端子               |                           | -    | -    | 0.5  |    |                |
| 出力 Low<br>レベル許容電流<br>(総和)       | $\Sigma I_{OL}$  | ポート 2、3 以外の<br>出力端子 | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 20.0 | mA | * <sup>1</sup> |
|                                 |                  | ポート 2、3             | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 80.0 |    |                |
|                                 |                  | 全出力端子               |                           | -    | -    | 20.0 |    |                |
| 出力 High<br>レベル許容電流<br>(1 端子あたり) | $-I_{OH}$        | 全出力端子               | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 2.0  | mA | * <sup>1</sup> |
|                                 |                  |                     |                           | -    | -    | 0.2  |    |                |
| 出力 High<br>レベル許容電流<br>(総和)      | $\Sigma -I_{OH}$ | 全出力端子               | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 10.0 | mA | * <sup>1</sup> |
|                                 |                  |                     |                           | -    | -    | 8.0  |    |                |

【注】 \*1 LCD 用の出力端子は除きます。

\*2 チップ出荷品の電気的特性保証温度は 75 です。

## 15.2.3 AC 特性

H8/3855、H8/3856、H8/3857 の制御信号タイミングを表 15.4 に、シリアルインタフェースタイミングを表 15.5、表 15.6 に示します。

表 15.4 H8/3855、H8/3856、H8/3857 の制御信号タイミング

特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>3</sup>、サブアクティブモードを含む

| 項目                                  | 記号           | 適用端子                               | 測定条件                      | 規格値    |        |        | 単位                        | 参照図                      |
|-------------------------------------|--------------|------------------------------------|---------------------------|--------|--------|--------|---------------------------|--------------------------|
|                                     |              |                                    |                           | min.   | typ.   | max.   |                           |                          |
| システムクロック<br>発振器発振周波数                | $f_{OSC}$    | OSC1、OSC2                          | $V_{CC} = 4.0V \sim 5.5V$ | 2.0    | -      | 10.0   | MHz                       |                          |
|                                     |              |                                    |                           | 2.0    | -      | 5.0    |                           |                          |
| OSC クロック<br>( $\phi_{OSC}$ ) サイクル時間 | $t_{OSC}$    | OSC1、OSC2                          | $V_{CC} = 4.0V \sim 5.5V$ | 100.0  | -      | 1000.0 | ns                        | * <sup>1</sup><br>図 15.1 |
|                                     |              |                                    |                           | 200.0  | -      | 1000.0 |                           |                          |
| システムクロック<br>( $\phi$ ) サイクル時間       | $t_{cyc}$    |                                    |                           | 2      | -      | 16     | $t_{OSC}$                 | * <sup>1</sup>           |
|                                     |              |                                    |                           | -      | -      | 2000.0 | ns                        |                          |
| サブクロック発振器<br>発振周波数                  | $f_W$        | $X_1$ 、 $X_2$                      |                           | -      | 32.768 | —      | kHz                       |                          |
| ウォッチクロック<br>( $\phi_W$ ) サイクル時間     | $t_W$        | $X_1$ 、 $X_2$                      |                           | -      | 30.5   | -      | $\mu s$                   |                          |
| サブクロック<br>( $\phi_{SUB}$ ) サイクル時間   | $t_{subcyc}$ |                                    |                           | 2      | -      | 8      | $t_W$                     | * <sup>2</sup>           |
| インストラクション<br>サイクル時間                 |              |                                    |                           | 2      | -      | -      | $t_{cyc}$<br>$t_{subcyc}$ |                          |
| 発振安定時間<br>(水晶発振子)                   | $t_{rc}$     | OSC <sub>1</sub> 、OSC <sub>2</sub> | $V_{CC} = 4.0V \sim 5.5V$ | 40.0   | -      | -      | ms                        |                          |
|                                     |              |                                    |                           | 60.0   | -      | -      |                           |                          |
| 発振安定時間                              | $t_{rc}$     | $X_1$ 、 $X_2$                      |                           | 2      | -      | -      | s                         |                          |
| 外部クロック<br>High レベル幅                 | $t_{CPH}$    | OSC <sub>1</sub>                   | $V_{CC} = 4.0V \sim 5.5V$ | 40.0   | -      | -      | ns                        | 図 15.1                   |
|                                     |              |                                    |                           | 80.0   | -      | -      |                           |                          |
| 外部クロック<br>Low レベル幅                  | $t_{CPL}$    | OSC <sub>1</sub>                   | $V_{CC} = 4.0V \sim 5.5V$ | 40.0   | -      | -      | ns                        | 図 15.1                   |
|                                     |              |                                    |                           | 80.0   | -      | -      |                           |                          |
| 外部クロック<br>立ち上がり時間                   | $t_{CPr}$    | OSC <sub>1</sub>                   | $V_{CC} = 4.0V \sim 5.5V$ | -      | -      | 15.0   | ns                        | 図 15.1                   |
|                                     |              |                                    |                           | -      | -      | 20.0   |                           |                          |
| 外部クロック<br>立ち下がり時間                   | $t_{CPf}$    | OSC <sub>1</sub>                   | $V_{CC} = 4.0V \sim 5.5V$ | -      | -      | 15.0   | ns                        | 図 15.1                   |
|                                     |              |                                    |                           | -      | -      | 20.0   |                           |                          |
| 外部サブクロック<br>High レベル幅               | $t_{XH}$     | $X_1$                              |                           | 0.4/fx | -      | -      | s                         | 図 15.2                   |
| 外部サブクロック<br>Low レベル幅                | $t_{XL}$     | $X_1$                              |                           | 0.4/fx | -      | -      | s                         | 図 15.2                   |
| 外部サブクロック<br>立ち上がり時間                 | $t_{Xr}$     | $X_1$                              |                           | -      | -      | 100.0  | ns                        | 図 15.2                   |
| 外部サブクロック<br>立ち下がり時間                 | $t_{Xf}$     | $X_1$                              |                           | -      | -      | 100.0  | ns                        | 図 15.2                   |
| RES 端子 Low レベル幅                     | $t_{REL}$    | RES                                |                           | 10     | -      | —      | $t_{cyc}$                 | 図 15.3                   |

## 15. 電気的特性 (H8/3857 グループ)

| 項目                | 記号                     | 適用端子                                                                                                                                                                          | 測定条件 | 規格値  |      |      | 単位                        | 参照図    |
|-------------------|------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|------|------|---------------------------|--------|
|                   |                        |                                                                                                                                                                               |      | min. | typ. | max. |                           |        |
| 入力端子<br>High レベル幅 | $t_{IH}$               | $\overline{IRQ_0} \sim \overline{IRQ_4}$ 、<br>$\overline{WKP_0} \sim \overline{WKP_7}$ 、<br>$\overline{ADTRG}$ 、 $\overline{TMIB}$ 、<br>$\overline{TMIC}$ 、 $\overline{TMIF}$ |      | 2    | -    | -    | $t_{cyc}$<br>$t_{subcyc}$ | 図 15.4 |
| 入力端子<br>Low レベル幅  | $t_{IL}$               | $\overline{IRQ_0} \sim \overline{IRQ_4}$ 、<br>$\overline{WKP_0} \sim \overline{WKP_7}$ 、<br>$\overline{ADTRG}$ 、 $\overline{TMIB}$ 、<br>$\overline{TMIC}$ 、 $\overline{TMIF}$ |      | 2    | -    | -    | $t_{cyc}$<br>$t_{subcyc}$ | 図 15.4 |
| UD 端子<br>最小変化幅    | $t_{UDH}$<br>$t_{UDL}$ | UD                                                                                                                                                                            |      | 4    | -    | -    | $t_{cyc}$<br>$t_{subcyc}$ | 図 15.5 |

【注】 \*1 外部クロックを入力する場合は 1 ~ 10MHz となります。

\*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

\*3 チップ出荷品の電気的特性保証温度は 75 です。

表 15.5 H8/3855、H8/3856、H8/3857 のシリアルインタフェース (SCI1) タイミング  
特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*1

| 項目                    | 記号         | 適用端子    | 測定条件                      | 規格値   |      |       | 単位         | 参照図    |
|-----------------------|------------|---------|---------------------------|-------|------|-------|------------|--------|
|                       |            |         |                           | min.  | typ. | max.  |            |        |
| 入力転送クロック<br>サイクル時間    | $t_{Soyc}$ | $SCK_1$ |                           | 4     | -    | -     | $t_{cyc}$  | 図 15.6 |
| 入力転送クロック<br>High レベル幅 | $t_{SCKH}$ | $SCK_1$ |                           | 0.4   | -    | -     | $t_{Soyc}$ | 図 15.6 |
| 入力転送クロック<br>Low レベル幅  | $t_{SCKL}$ | $SCK_1$ |                           | 0.4   | -    | -     | $t_{Soyc}$ | 図 15.6 |
| 入力転送クロック<br>立ち上がり時間   | $t_{SCKr}$ | $SCK_1$ | $V_{CC} = 4.0V \sim 5.5V$ | -     | -    | 60.0  | ns         | 図 15.6 |
|                       |            |         |                           | -     | -    | 80.0  |            |        |
| 入力転送クロック<br>立ち下がり時間   | $t_{SCKf}$ | $SCK_1$ | $V_{CC} = 4.0V \sim 5.5V$ | -     | -    | 60.0  | ns         | 図 15.6 |
|                       |            |         |                           | -     | -    | 80.0  |            |        |
| シリアル出力データ<br>遅延時間     | $t_{SOD}$  | $SO_1$  | $V_{CC} = 4.0V \sim 5.5V$ | -     | -    | 200.0 | ns         | 図 15.6 |
|                       |            |         |                           | -     | -    | 350.0 |            |        |
| シリアル入力データ<br>セットアップ時間 | $t_{SIS}$  | $SI_1$  | $V_{CC} = 4.0V \sim 5.5V$ | 200.0 | -    | -     | ns         | 図 15.6 |
|                       |            |         |                           | 400.0 | -    | -     |            |        |
| シリアル入力データ<br>ホールド時間   | $t_{SIH}$  | $SI_1$  | $V_{CC} = 4.0V \sim 5.5V$ | 200.0 | -    | -     | ns         | 図 15.6 |
|                       |            |         |                           | 400.0 | -    | -     |            |        |

【注】 \*1 チップ出荷品の電気的特性保証温度は 75 です。

表 15.6 H8/3855、H8/3856、H8/3857 のシリアルインタフェース (SCI3) タイミング  
 特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>1</sup>

| 項目                        |        | 記号         | 測定条件                      | 規格値   |      |      | 単位         | 参照図    |
|---------------------------|--------|------------|---------------------------|-------|------|------|------------|--------|
|                           |        |            |                           | min.  | typ. | max. |            |        |
| 入力<br>クロックサイクル            | 調歩同期   | $t_{SCYC}$ |                           | 4     | -    | -    | $t_{cyc}$  | 図 15.7 |
|                           | クロック同期 |            |                           | 6     | -    | -    |            |        |
| 入力クロックパルス幅                |        | $t_{SCKW}$ |                           | 0.4   | -    | 0.6  | $t_{scyc}$ | 図 15.7 |
| 送信データ遅延時間<br>(クロック同期)     |        | $t_{TXD}$  | $V_{CC} = 4.0V \sim 5.5V$ | -     | -    | 1    | $t_{cyc}$  | 図 15.8 |
|                           |        |            |                           | -     | -    | 1    |            |        |
| 受信データセットアップ時間<br>(クロック同期) |        | $t_{RXS}$  | $V_{CC} = 4.0V \sim 5.5V$ | 200.0 | -    | -    | ns         | 図 15.8 |
|                           |        |            |                           | 400.0 | -    | -    |            |        |
| 受信データホールド時間<br>(クロック同期)   |        | $t_{RXH}$  | $V_{CC} = 4.0V \sim 5.5V$ | 200.0 | -    | -    | ns         | 図 15.8 |
|                           |        |            |                           | 400.0 | -    | -    |            |        |

【注】 \*<sup>1</sup> チップ出荷品の電気的特性保証温度は 75 です。

## 15.2.4 A/D 変換器特性

H8/3855、H8/3856、H8/3857 の A/D 変換器特性を表 15.7 に示します。

表 15.7 H8/3855、H8/3856、H8/3857 の A/D 変換器特性  
 特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>4</sup>

| 項目               | 記号           | 適用端子             | 測定条件             | 規格値             |      |                 | 単位         | 参照図                   |
|------------------|--------------|------------------|------------------|-----------------|------|-----------------|------------|-----------------------|
|                  |              |                  |                  | min.            | typ. | max.            |            |                       |
| アナログ電源電圧         | $AV_{CC}$    | $AV_{CC}$        |                  | 3.0             | -    | 5.5             | V          | * <sup>1</sup>        |
| アナログ入力電圧         | $AV_{IN}$    | $AN_0 \sim AN_7$ |                  | $AV_{SS} - 0.3$ | -    | $AV_{CC} + 0.3$ | V          |                       |
| アナログ電源電流         | $AI_{OPE}$   | $AV_{CC}$        | $AV_{CC} = 5.0V$ | -               | -    | 1.5             | mA         |                       |
|                  | $AI_{STOP1}$ | $AV_{CC}$        | $AV_{CC} = 5.0V$ | -               | 300  | -               | $\mu A$    | * <sup>2</sup><br>参考値 |
|                  | $AI_{STOP2}$ | $AV_{CC}$        |                  | -               | -    | 5.0             | $\mu A$    | * <sup>3</sup>        |
| アナログ入力容量         | $C_{AIN}$    | $AN_0 \sim AN_7$ |                  | -               | -    | 30.0            | pF         |                       |
| 許容信号源<br>インピーダンス | $R_{AIN}$    |                  |                  | -               | -    | 5.0             | k $\Omega$ |                       |
| 分解能 (データ長)       |              |                  |                  | -               | -    | 8               | ビット        |                       |
| 非直線性誤差           |              |                  |                  | -               | -    | $\pm 2.0$       | LSB        |                       |
| 量子化誤差            |              |                  |                  | -               | -    | $\pm 0.5$       | LSB        |                       |
| 絶対精度             |              |                  |                  | -               | -    | $\pm 2.5$       | LSB        |                       |
| 変換時間             |              |                  |                  | 12.4            | -    | 124             | $\mu s$    |                       |

【注】 \*<sup>1</sup>  $AV_{CC}$   $V_{CC}$  です。A/D 変換器を使用しない場合は  $AV_{CC} = V_{CC}$  としてください。

\*<sup>2</sup>  $AI_{STOP1}$  はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

\*<sup>3</sup>  $AI_{STOP2}$  はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

\*<sup>4</sup> チップ出荷品の電気的特性保証温度は 75 です。

## 15. 電気的特性 (H8/3857 グループ)

### 15.2.5 LCD 特性

H8/3855、H8/3856、H8/3857 の LCD 特性を表 15.8 に、昇圧回路特性を表 15.9 に示します。

表 15.8 H8/3855、H8/3856、H8/3857 の LCD 特性

特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>1</sup>、サブアクティブモードを含む

| 項目              | 記号        | 適用端子         | 測定条件                                 | 規格値      |      |      | 単位         | 備考             |
|-----------------|-----------|--------------|--------------------------------------|----------|------|------|------------|----------------|
|                 |           |              |                                      | min.     | typ. | max. |            |                |
| コモンドライバ ON 抵抗   | $R_{COM}$ | COM1 ~ COM32 | $\pm I_d = 0.05mA$ 、 $V_{LCD} = 4V$  | -        | 6    | 20   | k $\Omega$ | * <sup>1</sup> |
| セグメントドライバ ON 抵抗 | $R_{SEG}$ | SEG1 ~ SEG64 | $\pm I_d = 0.05mA$ 、 $V_{LCD} = 4V$  | -        | 6    | 20   | k $\Omega$ | * <sup>1</sup> |
| 液晶電源電流          | $I_{EE}$  | $V_{LCD}$    | $V_{LCD} = 5.5V$ 、 $f_x = 32.768kHz$ | -        | 20   | 40   | $\mu A$    | * <sup>2</sup> |
| 液晶駆動電圧          | $V_{LCD}$ | $V_{LCD}$    |                                      | $V_{CC}$ | -    | 7.0  | V          | * <sup>3</sup> |

【注】 \*<sup>1</sup> 1 端子に  $I_d$  を流したときの V1OUT、V2OUT、V5OUT、 $V_{SS}$  端子から各コモン信号端子 (COM1 ~ COM32) 間の抵抗値 ( $R_{COM}$ ) と V1OUT、V3OUT、V4OUT、 $V_{SS}$  端子から各セグメント信号端子 (SEG1 ~ SEG64) 間の抵抗値 ( $R_{SEG}$ ) に適用します。

\*<sup>2</sup> 内蔵オペアンプ動作、表示停止 (全ドライバ出力は  $V_{SS}$  レベル) 時の電流値です。

\*<sup>3</sup> 無負荷状態において、COM/SEG の各端子出力電圧が液晶基準電圧値 ( $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_{SS}$ ) の  $\pm 0.15V$  以内となる電圧範囲を規定します。 $V_{LCD}$  には必ず  $V_{CC}$  以上を印加してください。

\*<sup>4</sup> チップ出荷品の電気的特性保証温度は 75 です。

表 15.9 H8/3855、H8/3856、H8/3857 の昇圧回路特性

特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>2</sup>、サブアクティブモードを含む

| 項目        | 記号        | 適用端子     | 測定条件                                                                                                | 規格値  |      |      | 単位 | 備考             |
|-----------|-----------|----------|-----------------------------------------------------------------------------------------------------|------|------|------|----|----------------|
|           |           |          |                                                                                                     | min. | typ. | max. |    |                |
| 2 倍昇圧出力電圧 | $V_{UP2}$ | VLOUT    | $V_{CC} = V_{ci} = 3.0V$ 、<br>$I_o = 0.03mA$ 、 $C = 1\mu F$ 、<br>$X1 = 32kHz$ 、 $T_a = 25$          | -    | 5.96 | -    | V  | 図 15.9 参考値     |
| 3 倍昇圧出力電圧 | $V_{UP3}$ | VLOUT    | $V_{CC} = 3.0V$ 、 $V_{ci} = 2.0V$ 、<br>$I_o = 0.03mA$ 、 $C = 1\mu F$ 、<br>$X1 = 32kHz$ 、 $T_a = 25$ | -    | 5.90 | -    | V  | 図 15.9 参考値     |
| 昇圧回路基準電圧  | $V_{ci}$  | $V_{ci}$ | $V_{ci}$ $V_{CC}$                                                                                   | 1.6  | -    | 3.5  | V  | * <sup>1</sup> |

【注】 \*<sup>1</sup>  $V_{CC}$  VLOUT 7.0V のため、2 倍昇圧時、 $V_{CC}/2$   $V_{ci}$  3.5V、3 倍昇圧時、 $V_{CC}/3$   $V_{ci}$  2.33V となります。

$V_{ci}$  には  $V_{CC}$  以下の電圧を入力してください。この条件が守られない場合は LSI を破壊する可能性があります。

\*<sup>2</sup> チップ出荷品の電気的特性保証温度は 75 です。

## 15.2.6 フラッシュメモリ特性

表 15.10 にフラッシュメモリ特性を示します。

表 15.10 フラッシュメモリ特性

条件 :  $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$

$T_a = 0 \sim +75$  (書き込み / 消去時の動作温度範囲)

| 項目                                                 |                                               | 記号            | min. | typ. | max. | 単位        | 測定条件 |
|----------------------------------------------------|-----------------------------------------------|---------------|------|------|------|-----------|------|
| 書き込み時間 <sup>*1*</sup> <sup>*2*</sup> <sup>*4</sup> |                                               | $t_p$         | -    | 10   | 200  | ms/32 バイト |      |
| 消去時間 <sup>*1*</sup> <sup>*3*</sup> <sup>*5</sup>   |                                               | $t_E$         | -    | 100  | 300  | ms/ブロック   |      |
| 書き換え回数                                             |                                               | $N_{WEC}$     | -    | -    | 100  | 回         |      |
| 書き込み時                                              | SWE ビットセット後のウェイト時間 <sup>*1</sup>              | x             | 10   | -    | -    | $\mu s$   |      |
|                                                    | PSU ビットセット後のウェイト時間 <sup>*1</sup>              | y             | 50   | -    | -    | $\mu s$   |      |
|                                                    | P ビットセット後のウェイト時間 <sup>*1*</sup> <sup>*4</sup> | z             | -    | -    | 200  | $\mu s$   |      |
|                                                    | P ビットクリア後のウェイト時間 <sup>*1</sup>                | $\alpha$      | 10   | -    | -    | $\mu s$   |      |
|                                                    | PSU ビットクリア後のウェイト時間 <sup>*1</sup>              | $\beta$       | 10   | -    | -    | $\mu s$   |      |
|                                                    | PV ビットセット後のウェイト時間 <sup>*1</sup>               | $\gamma$      | 4    | -    | -    | $\mu s$   |      |
|                                                    | H'FF ダミーライト後のウェイト時間 <sup>*1</sup>             | $\varepsilon$ | 2    | -    | -    | $\mu s$   |      |
|                                                    | PV ビットクリア後のウェイト時間 <sup>*1</sup>               | $\eta$        | 4    | -    | -    | $\mu s$   |      |
|                                                    | 最大書き込み回数 <sup>*1*</sup> <sup>*4</sup>         | N             | -    | -    | 1000 | 回         |      |
| 消去時                                                | SWE ビットセット後のウェイト時間 <sup>*1</sup>              | x             | 10   | -    | -    | $\mu s$   |      |
|                                                    | ESU ビットセット後のウェイト時間 <sup>*1</sup>              | y             | 200  | -    | -    | $\mu s$   |      |
|                                                    | E ビットセット後のウェイト時間 <sup>*1*</sup> <sup>*5</sup> | z             | -    | -    | 5    | ms        |      |
|                                                    | E ビットクリア後のウェイト時間 <sup>*1</sup>                | $\alpha$      | 10   | -    | -    | $\mu s$   |      |
|                                                    | ESU ビットクリア後のウェイト時間 <sup>*1</sup>              | $\beta$       | 10   | -    | -    | $\mu s$   |      |
|                                                    | EV ビットセット後のウェイト時間 <sup>*1</sup>               | $\gamma$      | 20   | -    | -    | $\mu s$   |      |
|                                                    | H'FF ダミーライト後のウェイト時間 <sup>*1</sup>             | $\varepsilon$ | 2    | -    | -    | $\mu s$   |      |
|                                                    | EV ビットクリア後のウェイト時間 <sup>*1</sup>               | $\eta$        | 5    | -    | -    | $\mu s$   |      |
|                                                    | 最大消去回数 <sup>*1*</sup> <sup>*5</sup>           | N             | -    | -    | 60   | 回         |      |

【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

\*2 32 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の P ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。)

\*3 1 ブロックを消去する時間 (FLMCR1 の E ビットをセットしている期間を示します。消去ベリファイ時間は含まれません。)

\*4 書き込み時間の最大値

( $t_p(\max) = P$  ビットセット後のウェイト時間 (z)  $\times$  最大書き込み回数 (N) )

\*5 消去時間の最大値

( $t_E(\max) = E$  ビットセット後のウェイト時間 (z)  $\times$  最大消去回数 (N) )

## 15.3 動作タイミング

動作タイミングを図 15.1 ~ 図 15.8 に示します。

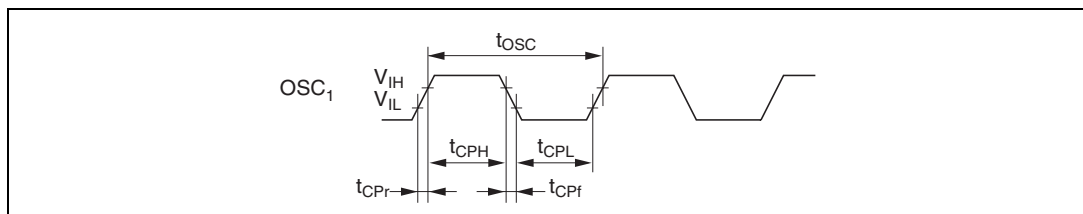


図 15.1 システムクロック入力タイミング

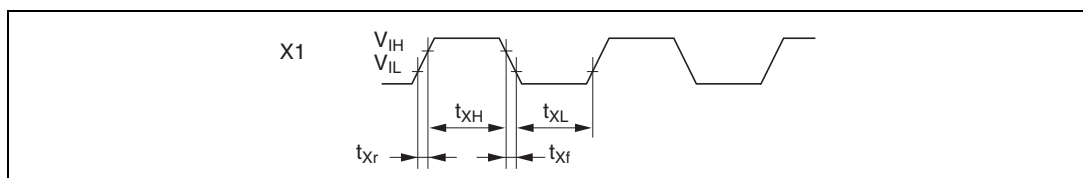


図 15.2 サブクロック入力タイミング

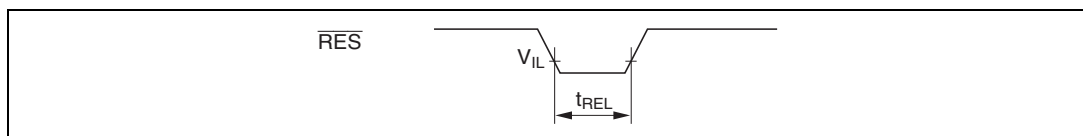


図 15.3 RES 端子 Low レベル幅タイミング

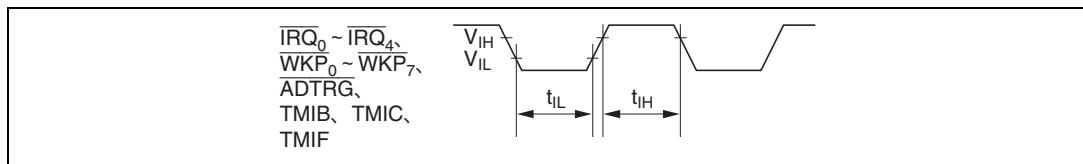


図 15.4 入力タイミング

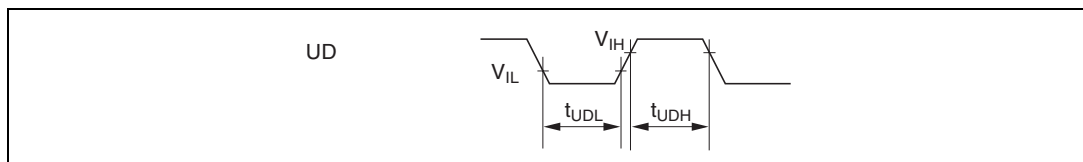


図 15.5 UD 端子最小変化幅タイミング

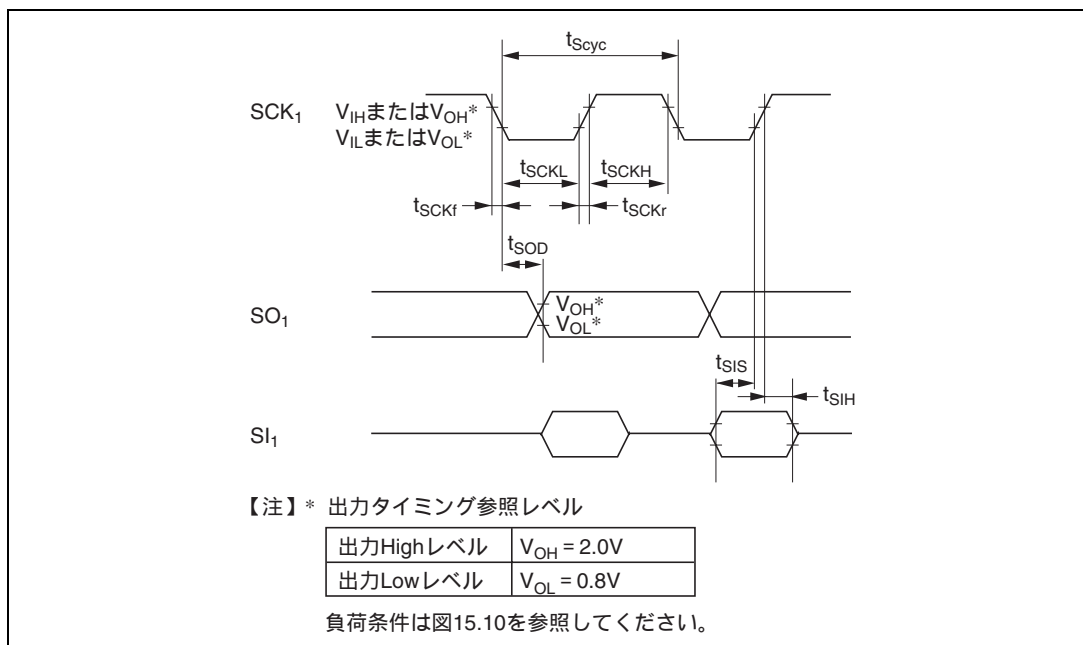


図 15.6 SCI1 入出力タイミング

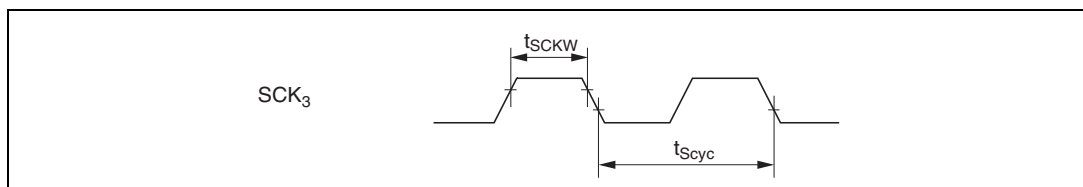


図 15.7 SCK3 入力クロックタイミング

## 15. 電気的特性 (H8/3857 グループ)

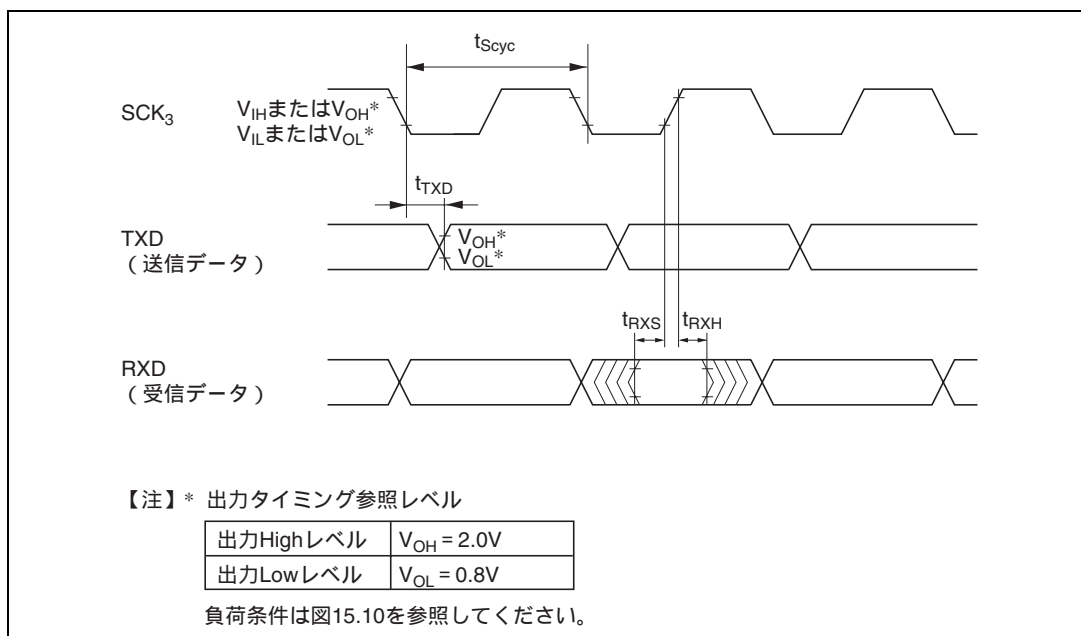


図 15.8 SCI3 クロック同期式モード入出力タイミング

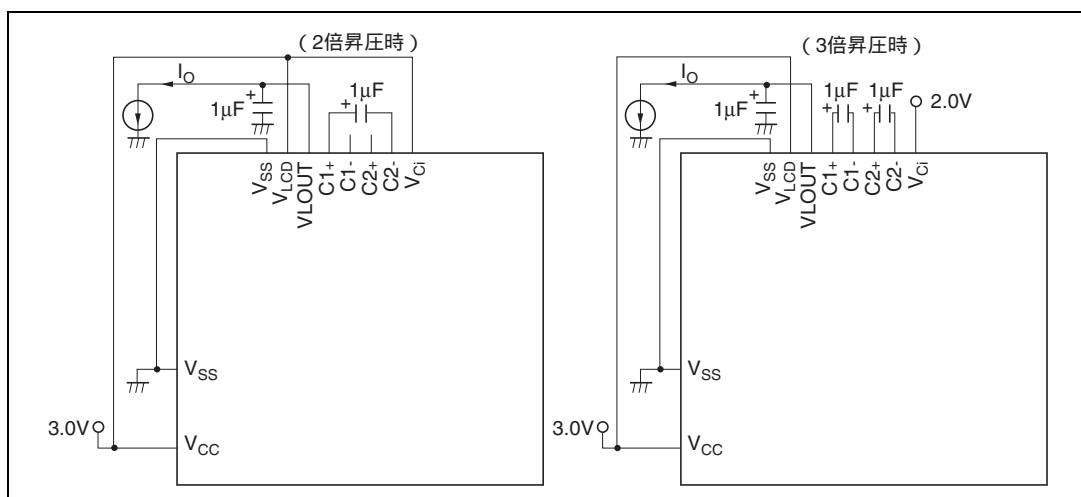


図 15.9 昇圧回路特性測定回路

## 15.4 出力負荷回路

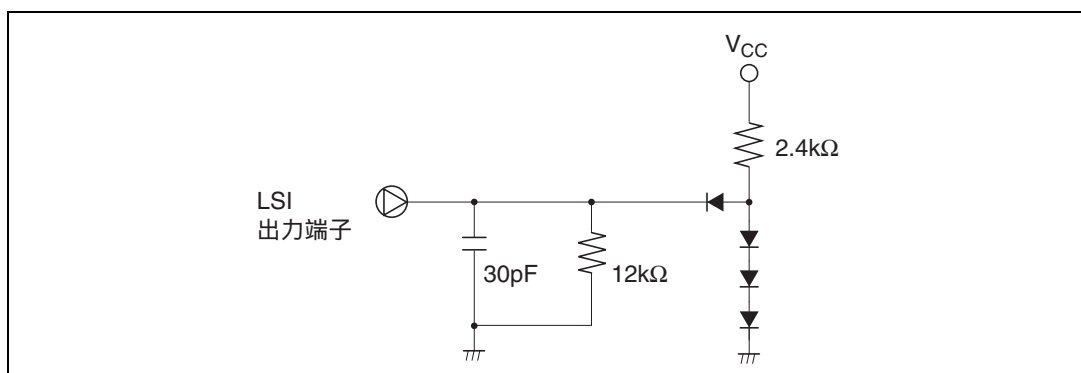


図 15.10 出力負荷条件

## 15.5 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用しているシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。



---

## 16. 電気的特性（H8/3854 グループ）

---

### 16.1 H8/3852、H8/3853、H8/3854（標準仕様）絶対最大定格

絶対最大定格を表 16.1 に示します。

表 16.1 絶対最大定格

| 項目           |          | 記号        | 規格値                    | 単位 | 備考             |
|--------------|----------|-----------|------------------------|----|----------------|
| 電源電圧         |          | $V_{CC}$  | - 0.3 ~ + 7.0          | V  |                |
| プログラム電圧（FWE） |          | $V_{in}$  | - 0.3 ~ $V_{CC} + 0.3$ | V  | * <sup>1</sup> |
| 入力電圧         | LCD 電源以外 | $V_{in}$  | - 0.3 ~ $V_{CC} + 0.3$ | V  |                |
|              | LCD 電源   | $V_{in}$  | - 0.3 ~ $V_{CC} + 0.3$ | V  | * <sup>2</sup> |
| 動作温度         |          | $T_{opr}$ | - 20 ~ + 75            |    | * <sup>3</sup> |
| 保存温度         |          | $T_{stg}$ | - 55 ~ + 125           |    |                |

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

また、通常動作では、「電気的特性」の条件で使用する事が望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。

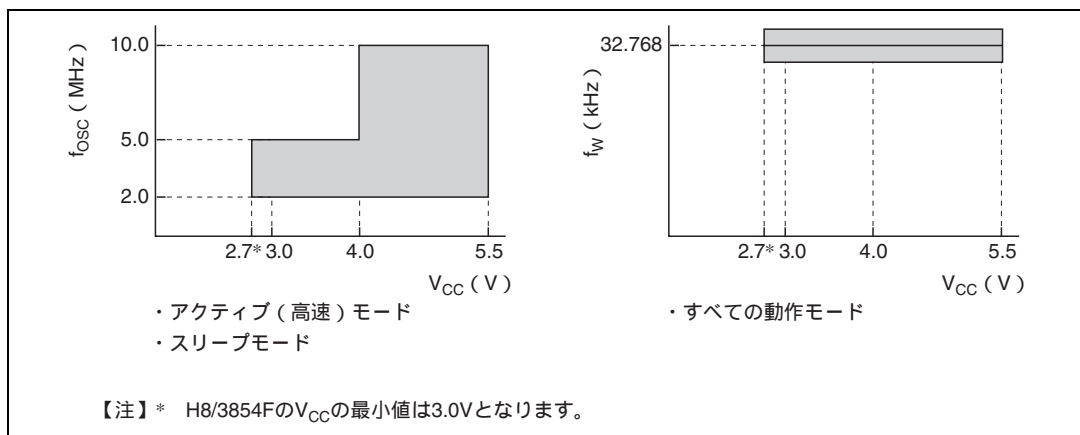
- 【注】 \*<sup>1</sup> FWE 端子には絶対に 12V を印加しないでください。12V を印加した場合、LSI の永久破壊となります。
- \*<sup>2</sup> 内部電源、内部ブリーダ抵抗未使用で、外部から直接液晶駆動電圧を供給する場合、V1OUT、V2OUT、V3OUT、V4OUT、V5OUT に適用します。
- \*<sup>3</sup> フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = 0 \sim +75$  です。

## 16.2 H8/3852、H8/3853、H8/3854 (標準仕様) の電気的特性

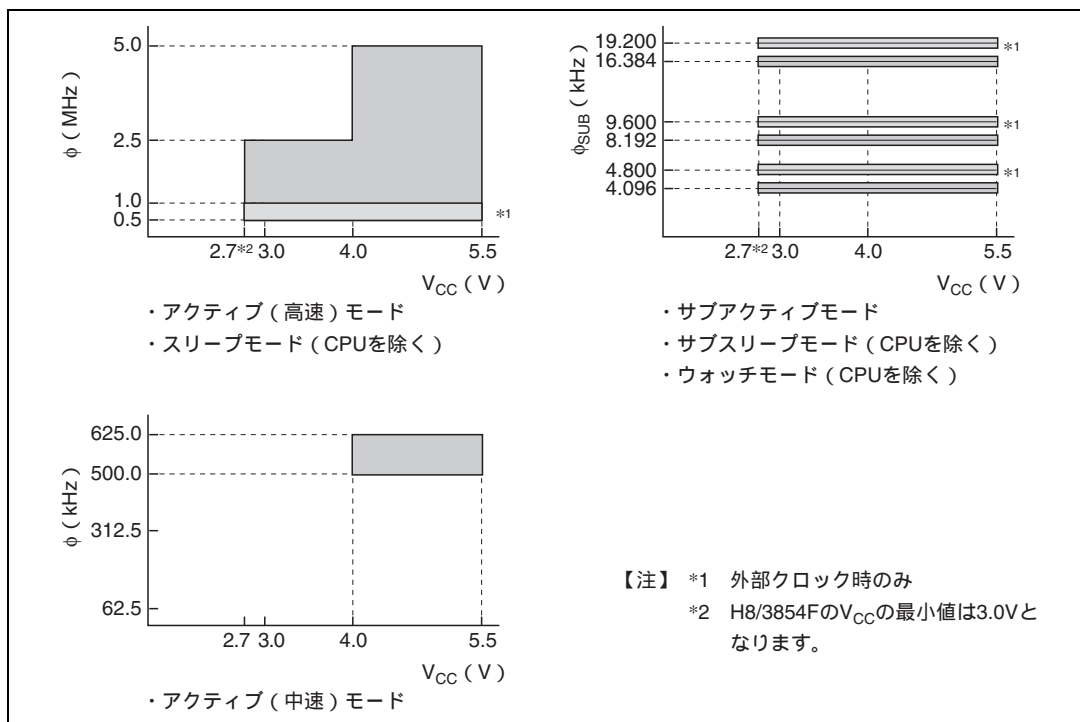
### 16.2.1 電源電圧と動作範囲

H8/3852、H8/3853、H8/3854 の電源電圧と動作範囲 (網かけ部) を以下に示します。

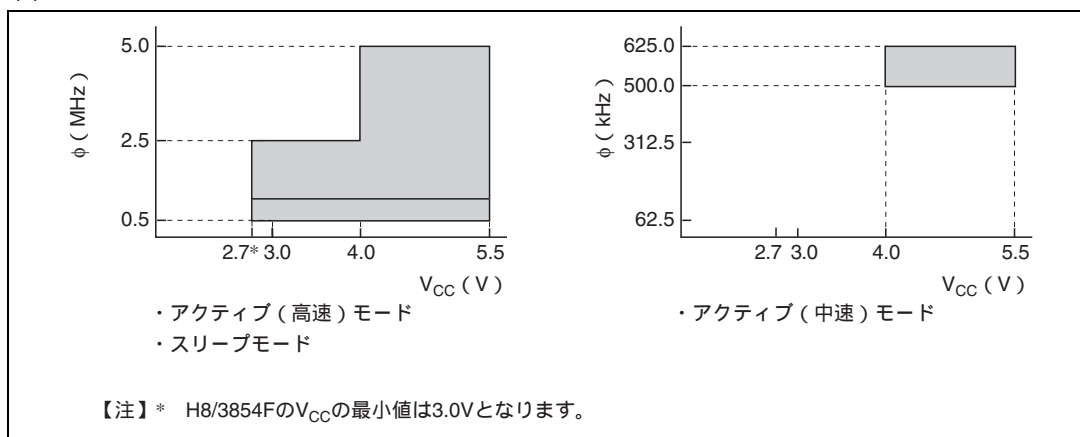
#### (1) 電源電圧と発振周波数の範囲



#### (2) 電源電圧と動作周波数の範囲



## (3) 電源電圧と A/D 変換器の動作範囲



## 16.2.2 DC 特性

H8/3852、H8/3853、H8/3854 の DC 特性を表 16.2 に示します。

表 16.2 H8/3852、H8/3853、H8/3854 の DC 特性 (1)

特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 【H8/3852、H8/3853、H8/3854 のマスク ROM 版】、 $V_{CC} = 3.0 \sim 5.5V$ 【H8/3854F】、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>4</sup>、サブアクティブモードを含む

| 項目            | 記号       | 適用端子                                                                                                                                                                                                                            | 測定条件                     | 規格値            |      |                | 単位 | 備考 |
|---------------|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------|----------------|------|----------------|----|----|
|               |          |                                                                                                                                                                                                                                 |                          | min.           | typ. | max.           |    |    |
| 入力 High レベル電圧 | $V_{IH}$ | RES、<br>WKP <sub>0</sub> ~ WKP <sub>7</sub> 、<br>IRQ <sub>0</sub> 、IRQ <sub>1</sub> 、IRQ <sub>3</sub> 、<br>IRQ <sub>4</sub> 、TMIB、TMIF、<br>TEST2、FWE、<br>SCK <sub>3</sub> 、ADTRG                                                | $V_{CC} = 4.0 \sim 5.5V$ | $0.8V_{CC}$    | -    | $V_{CC} + 0.3$ | V  |    |
|               |          |                                                                                                                                                                                                                                 |                          | $0.9V_{CC}$    | -    | $V_{CC} + 0.3$ |    |    |
|               |          | RXD                                                                                                                                                                                                                             | $V_{CC} = 4.0 \sim 5.5V$ | $0.7V_{CC}$    | -    | $V_{CC} + 0.3$ | V  |    |
|               |          |                                                                                                                                                                                                                                 |                          | $0.8V_{CC}$    | -    | $V_{CC} + 0.3$ |    |    |
|               |          | OSC <sub>1</sub>                                                                                                                                                                                                                | $V_{CC} = 4.0 \sim 5.5V$ | $V_{CC} - 0.5$ | -    | $V_{CC} + 0.3$ | V  |    |
|               |          |                                                                                                                                                                                                                                 |                          | $V_{CC} - 0.3$ | -    | $V_{CC} + 0.3$ |    |    |
|               |          | X1                                                                                                                                                                                                                              |                          | $V_{CC} - 0.3$ | -    | $V_{CC} + 0.3$ | V  |    |
| 入力 Low レベル電圧  | $V_{IL}$ | P1 <sub>0</sub> ~ P1 <sub>2</sub> 、P1 <sub>5</sub> 、P1 <sub>7</sub> 、<br>P2 <sub>0</sub> ~ P2 <sub>7</sub> 、<br>P4 <sub>0</sub> ~ P4 <sub>3</sub> 、<br>P5 <sub>0</sub> ~ P5 <sub>7</sub> 、<br>PB <sub>3</sub> ~ PB <sub>7</sub> | $V_{CC} = 4.0 \sim 5.5V$ | $0.7V_{CC}$    | -    | $V_{CC} + 0.3$ | V  |    |
|               |          |                                                                                                                                                                                                                                 |                          | $0.8V_{CC}$    | -    | $V_{CC} + 0.3$ |    |    |
|               |          | RES、<br>WKP <sub>0</sub> ~ WKP <sub>7</sub> 、<br>IRQ <sub>0</sub> 、IRQ <sub>1</sub> 、IRQ <sub>3</sub> 、<br>IRQ <sub>4</sub> 、TMIB、TMIF、<br>TEST2、FWE、<br>SCK <sub>3</sub> 、ADTRG                                                | $V_{CC} = 4.0 \sim 5.5V$ | -0.3           | -    | $0.2V_{CC}$    | V  |    |
|               |          |                                                                                                                                                                                                                                 |                          | -0.3           | -    | $0.1V_{CC}$    |    |    |

## 16. 電気的特性 ( H8/3854 グループ )

| 項目                   | 記号         | 適用端子                                                                                                                                                                                                                                                                      | 測定条件                                                         | 規格値            |      |             | 単位 | 備考                               |
|----------------------|------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------|----------------|------|-------------|----|----------------------------------|
|                      |            |                                                                                                                                                                                                                                                                           |                                                              | min.           | typ. | max.        |    |                                  |
| 入力 Low<br>レベル電圧      | $V_{IL}$   | RXD                                                                                                                                                                                                                                                                       | $V_{CC} = 4.0 \sim 5.5V$                                     | -0.3           | -    | $0.3V_{CC}$ | V  |                                  |
|                      |            |                                                                                                                                                                                                                                                                           |                                                              | -0.3           | -    | $0.2V_{CC}$ |    |                                  |
|                      |            | OSC <sub>1</sub>                                                                                                                                                                                                                                                          | $V_{CC} = 4.0 \sim 5.5V$                                     | -0.3           | -    | 0.5         | V  |                                  |
|                      |            |                                                                                                                                                                                                                                                                           |                                                              | -0.3           | -    | 0.3         |    |                                  |
|                      |            | X1                                                                                                                                                                                                                                                                        |                                                              | -0.3           | -    | 0.3         | V  |                                  |
|                      |            | P1 <sub>0</sub> ~ P1 <sub>2</sub> , P1 <sub>5</sub> , P1 <sub>7</sub> ,<br>P2 <sub>0</sub> ~ P2 <sub>7</sub> ,<br>P4 <sub>0</sub> ~ P4 <sub>3</sub> ,<br>P5 <sub>0</sub> ~ P5 <sub>7</sub> ,<br>PB <sub>4</sub> ~ PB <sub>7</sub>                                         | $V_{CC} = 4.0 \sim 5.5V$                                     | -0.3           | -    | $0.3V_{CC}$ | V  |                                  |
| 出力 High<br>レベル電圧     | $V_{OH}$   | P1 <sub>0</sub> ~ P1 <sub>2</sub> , P1 <sub>5</sub> , P1 <sub>7</sub> ,<br>P2 <sub>0</sub> ~ P2 <sub>7</sub> ,<br>P4 <sub>0</sub> ~ P4 <sub>2</sub> ,<br>P5 <sub>0</sub> ~ P5 <sub>7</sub>                                                                                | $V_{CC} = 4.0 \sim 5.5V$<br>- $I_{OH} = 1.0mA$               | $V_{CC} - 1.0$ | -    | -           | V  |                                  |
|                      |            |                                                                                                                                                                                                                                                                           | $V_{CC} = 4.0 \sim 5.5V$<br>- $I_{OH} = 0.5mA$               | $V_{CC} - 0.5$ | -    | -           |    |                                  |
|                      |            |                                                                                                                                                                                                                                                                           | - $I_{OH} = 0.1mA$                                           | $V_{CC} - 0.5$ | -    | -           |    |                                  |
|                      |            |                                                                                                                                                                                                                                                                           |                                                              |                |      |             |    |                                  |
| 出力 Low<br>レベル電圧      | $V_{OL}$   | P1 <sub>0</sub> ~ P1 <sub>2</sub> , P1 <sub>5</sub> , P1 <sub>7</sub> ,<br>P4 <sub>0</sub> ~ P4 <sub>2</sub> ,<br>P5 <sub>0</sub> ~ P5 <sub>7</sub>                                                                                                                       | $V_{CC} = 4.0 \sim 5.5V$<br>$I_{OL} = 1.6mA$                 | -              | -    | 0.6         | V  |                                  |
|                      |            |                                                                                                                                                                                                                                                                           | $I_{OL} = 0.4mA$                                             | -              | -    | 0.5         |    |                                  |
|                      |            | P2 <sub>0</sub> ~ P2 <sub>7</sub>                                                                                                                                                                                                                                         | $V_{CC} = 4.0 \sim 5.5V$<br>$I_{OL} = 10mA$                  | -              | -    | 1.5         | V  |                                  |
|                      |            |                                                                                                                                                                                                                                                                           | $V_{CC} = 4.0 \sim 5.5V$<br>$I_{OL} = 1.6mA$                 | -              | -    | 0.6         |    |                                  |
|                      |            |                                                                                                                                                                                                                                                                           | $I_{OL} = 0.4mA$                                             | -              | -    | 0.5         |    |                                  |
|                      |            |                                                                                                                                                                                                                                                                           |                                                              |                |      |             |    |                                  |
| 入出力<br>リーク電流         | $ I_{IL} $ | RES、TEST2、<br>FWE、OSC <sub>1</sub> ,<br>P1 <sub>0</sub> ~ P1 <sub>2</sub> , P1 <sub>5</sub> , P1 <sub>7</sub> ,<br>P2 <sub>0</sub> ~ P2 <sub>7</sub> ,<br>P4 <sub>0</sub> ~ P4 <sub>3</sub> ,<br>P5 <sub>0</sub> ~ P5 <sub>7</sub> ,<br>PB <sub>4</sub> ~ PB <sub>7</sub> | $V_{in} = 0.5V \sim V_{CC} - 0.5V$                           | -              | -    | 1.0         | μA |                                  |
| ブルアップ<br>MOS 電流      | $-I_p$     | P1 <sub>0</sub> ~ P1 <sub>2</sub> , P1 <sub>5</sub> , P1 <sub>7</sub> ,<br>P5 <sub>0</sub> ~ P5 <sub>7</sub>                                                                                                                                                              | $V_{CC} = 5V, V_{in} = 0V$                                   | 50.0           | -    | 300.0       | μA |                                  |
|                      |            |                                                                                                                                                                                                                                                                           | $V_{CC} = 3.3V, V_{in} = 0V$                                 | -              | 100  | -           | μA | 参考値                              |
| 入力容量                 | $C_{in}$   | 電源端子を除く全<br>入力端子                                                                                                                                                                                                                                                          | $f = 1MHz, V_{in} = 0V,$<br>$T_a = 25$                       | -              | -    | 15.0        | pF |                                  |
| アクティブ<br>モード<br>消費電流 | $I_{OPE1}$ | $V_{CC}$                                                                                                                                                                                                                                                                  | アクティブ (高速) モード<br>$V_{CC} = 5V, f_{OSC} = 10MHz$<br>A/D 未使用時 | -              | 10.0 | 15.0        | mA | * <sup>1</sup><br>* <sup>2</sup> |
|                      | $I_{OPE3}$ | $V_{CC}$                                                                                                                                                                                                                                                                  | アクティブ (高速) モード<br>$V_{CC} = 5V, f_{OSC} = 10MHz$<br>A/D 動作時  | -              | -    | 16.5        | mA | * <sup>1</sup><br>* <sup>2</sup> |
|                      | $I_{OPE2}$ | $V_{CC}$                                                                                                                                                                                                                                                                  | アクティブ (中速) モード<br>$V_{CC} = 5V, f_{OSC} = 10MHz$<br>A/D 未使用時 | -              | 2.0  | 3.5         | mA | * <sup>1</sup><br>* <sup>2</sup> |

## 16. 電気的特性 (H8/3854 グループ)

| 項目             | 記号          | 適用端子     | 測定条件                                                                      | 規格値  |      |      | 単位      | 備考                    |
|----------------|-------------|----------|---------------------------------------------------------------------------|------|------|------|---------|-----------------------|
|                |             |          |                                                                           | min. | typ. | max. |         |                       |
| スリープモード消費電流    | $I_{SLEEP}$ | $V_{CC}$ | $V_{CC} = 5V$ 、 $f_{OSC} = 10MHz$<br>A/D 未使用時                             | -    | 4.3  | 7.0  | mA      | *1<br>*2              |
| サブアクティブモード消費電流 | $I_{SUB}$   | $V_{CC}$ | $V_{CC} = 5.0V$ 、LCD 点灯<br>32kHz 水晶発振子使用時<br>( $\phi_{SUB} = \phi_W/2$ )  | -    | 80   | 160  | $\mu A$ | *1<br>*2<br>*5        |
|                |             |          | $V_{CC} = 5.0V$ 、LCD 点灯<br>32kHz 水晶発振子使用時<br>( $\phi_{SUB} = \phi_W/8$ )  | -    | 70   | -    | $\mu A$ | *1<br>*2<br>*5<br>参考値 |
|                | $I_{SUB}$   | $V_{CC}$ | $V_{CC} = 3.3V$ 、LCD 未使用<br>32kHz 水晶発振子使用時<br>( $\phi_{SUB} = \phi_W/2$ ) | -    | 20   | -    | $\mu A$ | *1<br>*2<br>参考値       |
| サブスリープモード消費電流  | $I_{SUBSP}$ | $V_{CC}$ | $V_{CC} = 5.0V$ 、LCD 点灯<br>32kHz 水晶発振子使用時<br>( $\phi_{SUB} = \phi_W/2$ )  | -    | 50   | 100  | $\mu A$ | *1<br>*2<br>*5        |
| ウォッチモード消費電流    | $I_{WATCH}$ | $V_{CC}$ | $V_{CC} = 5.0V$ 、LCD 点灯<br>32kHz 水晶発振子使用時                                 | -    | 40   | 80   | $\mu A$ | *1<br>*2<br>*5        |
|                | $I_{WATCH}$ | $V_{CC}$ | $V_{CC} = 3.3V$ 、LCD 未使用、<br>32kHz 水晶発振子使用時                               | -    | 7.0  | 15.0 | $\mu A$ | *1<br>*2              |
| スタンバイモード消費電流   | $I_{STBY}$  | $V_{CC}$ | 32kHz 水晶発振子未使用時                                                           | -    | -    | 5.0  | $\mu A$ | *1<br>*2              |
| 書き込み消去時消費電流    | $I_{FLASH}$ | $V_{CC}$ | 0 $T_a$ 70<br>$f_{OSC} = 12MHz$                                           | -    | 16   | 22   | mA      | *1<br>*2<br>*3        |
| RAM データ保持電圧    | $V_{RAM}$   | $V_{CC}$ |                                                                           | 2.0  | -    | -    | V       | *1<br>*2              |

【注】 \*1 消費電流測定時の端子の状態

| モード            | 内部状態                  | 各端子      | 発振端子                                                 |
|----------------|-----------------------|----------|------------------------------------------------------|
| アクティブ (高速) モード | 動作                    | $V_{CC}$ | システムクロック発振器: 水晶発振子<br>サブクロック発振器: $X_1$ 端子 = $V_{CC}$ |
| アクティブ (中速) モード |                       |          |                                                      |
| スリープモード        | タイマのみ動作               | $V_{CC}$ |                                                      |
| サブアクティブモード     | 動作                    | $V_{CC}$ | システムクロック発振器: 水晶発振子<br>サブクロック発振器: 水晶発振子               |
| サブスリープモード      | タイマのみ動作<br>CPU は停止    | $V_{CC}$ |                                                      |
| ウォッチモード        | 時計用タイムベースのみ動作 CPU は停止 | $V_{CC}$ |                                                      |
| スタンバイモード       | CPU、タイマともに停止          | $V_{CC}$ | システムクロック発振器: 水晶発振子<br>サブクロック発振器: $X_1$ 端子 = $V_{CC}$ |
| 書き込み / 消去時*3   | 動作                    | $V_{CC}$ | システムクロック発振器: 水晶発振子<br>サブクロック発振器: $X_1$ 端子 = $V_{CC}$ |

\*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

\*3 F-ZTAT 版のみ適用します。

\*4 チップ出荷品の電気的特性保証温度は 75 です。

\*5  $V_{CC}$  から内蔵ブリーダ抵抗に電源を供給した場合 (LR2 の LPS0 = LPS1 = 1) です。

## 16. 電気的特性 (H8/3854 グループ)

表 16.3 H8/3852、H8/3853、H8/3854 の DC 特性 (2)

特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 【H8/3852、H8/3853、H8/3854 のマスク ROM 版】、 $V_{CC} = 3.0 \sim 5.5V$ 【H8/3854F】、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>2</sup>、サブアクティブモードを含む

| 項目                              | 記号               | 適用端子              | 測定条件                      | 規格値  |      |      | 単位 | 備考             |
|---------------------------------|------------------|-------------------|---------------------------|------|------|------|----|----------------|
|                                 |                  |                   |                           | min. | typ. | max. |    |                |
| 出力 Low<br>レベル許容電流<br>(1 端子あたり)  | $I_{OL}$         | ポート 2 以外の<br>出力端子 | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 2.0  | mA | * <sup>1</sup> |
|                                 |                  | ポート 2             | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 10.0 |    |                |
|                                 |                  | 全出力端子             |                           | -    | -    | 0.5  |    |                |
| 出力 Low<br>レベル許容電流<br>(総和)       | $\Sigma I_{OL}$  | ポート 2 以外の<br>出力端子 | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 20.0 | mA | * <sup>1</sup> |
|                                 |                  | ポート 2             | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 80.0 |    |                |
|                                 |                  | 全出力端子             |                           | -    | -    | 20.0 |    |                |
| 出力 High<br>レベル許容電流<br>(1 端子あたり) | $-I_{OH}$        | 全出力端子             | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 2.0  | mA | * <sup>1</sup> |
|                                 |                  |                   |                           | -    | -    | 0.2  |    |                |
| 出力 High<br>レベル許容電流<br>(総和)      | $\Sigma -I_{OH}$ | 全出力端子             | $V_{CC} = 4.0V \sim 5.5V$ | -    | -    | 10.0 | mA | * <sup>1</sup> |
|                                 |                  |                   |                           | -    | -    | 8.0  |    |                |

【注】 \*<sup>1</sup> LCD用の出力端子は除きます。

\*<sup>2</sup> チップ出荷品の電気的特性保証温度は 75 です。

### 16.2.3 AC 特性

H8/3852、H8/3853、H8/3854 の制御信号タイミングを表 16.4 に、シリアルインタフェースタイミングを表 16.5 に示します。

表 16.4 H8/3852、H8/3853、H8/3854 の制御信号タイミング

特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 【H8/3852、H8/3853、H8/3854 のマスク ROM 版】、 $V_{CC} = 3.0 \sim 5.5V$ 【H8/3854F】、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>3</sup>、サブアクティブモードを含む

| 項目                                  | 記号           | 適用端子          | 測定条件                      | 規格値   |        |        | 単位                        | 参照図                      |
|-------------------------------------|--------------|---------------|---------------------------|-------|--------|--------|---------------------------|--------------------------|
|                                     |              |               |                           | min.  | typ.   | max.   |                           |                          |
| システムクロック<br>発振器発振周波数                | $f_{OSC}$    | OSC1、OSC2     | $V_{CC} = 4.0V \sim 5.5V$ | 2.0   | -      | 10.0   | MHz                       |                          |
|                                     |              |               |                           | 2.0   | -      | 5.0    |                           |                          |
| OSC クロック<br>( $\phi_{OSC}$ ) サイクル時間 | $t_{OSC}$    | OSC1、OSC2     | $V_{CC} = 4.0V \sim 5.5V$ | 100.0 | -      | 1000.0 | ns                        | * <sup>1</sup><br>図 16.1 |
|                                     |              |               |                           | 200.0 | -      | 1000.0 |                           |                          |
| システムクロック<br>( $\phi$ ) サイクル時間       | $t_{cyc}$    |               |                           | 2     | -      | 16     | $t_{OSC}$                 | * <sup>1</sup>           |
|                                     |              |               |                           | -     | -      | 2000.0 | ns                        |                          |
| サブクロック発振器<br>発振周波数                  | $f_W$        | $X_1$ 、 $X_2$ |                           | -     | 32.768 | -      | kHz                       |                          |
| ウォッチクロック<br>( $\phi_W$ ) サイクル時間     | $t_W$        | $X_1$ 、 $X_2$ |                           | -     | 30.5   | -      | $\mu s$                   |                          |
| サブクロック<br>( $\phi_{SUB}$ ) サイクル時間   | $t_{subcyc}$ |               |                           | 2     | -      | 8      | $t_W$                     | * <sup>2</sup>           |
| インストラクション<br>サイクル時間                 |              |               |                           | 2     | -      | -      | $t_{cyc}$<br>$t_{subcyc}$ |                          |

## 16. 電気的特性 (H8/3854 グループ)

| 項目                    | 記号        | 適用端子                                                                                                                                                                                                  | 測定条件                      | 規格値    |      |       | 単位                        | 参照図    |
|-----------------------|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------|--------|------|-------|---------------------------|--------|
|                       |           |                                                                                                                                                                                                       |                           | min.   | typ. | max.  |                           |        |
| 発振安定時間<br>(水晶発振子)     | $t_{tc}$  | OSC <sub>1</sub> 、OSC <sub>2</sub>                                                                                                                                                                    | $V_{CC} = 4.0V \sim 5.5V$ | 40.0   | -    | -     | ms                        |        |
|                       |           |                                                                                                                                                                                                       |                           | 60.0   | -    | -     |                           |        |
| 発振安定時間                | $t_{tc}$  | X <sub>1</sub> 、X <sub>2</sub>                                                                                                                                                                        |                           | 2      | -    | -     | s                         |        |
| 外部クロック<br>High レベル幅   | $t_{CPH}$ | OSC <sub>1</sub>                                                                                                                                                                                      | $V_{CC} = 4.0V \sim 5.5V$ | 40.0   | -    | -     | ns                        | 図 16.1 |
|                       |           |                                                                                                                                                                                                       |                           | 80.0   | -    | -     |                           |        |
| 外部クロック<br>Low レベル幅    | $t_{CPL}$ | OSC <sub>1</sub>                                                                                                                                                                                      | $V_{CC} = 4.0V \sim 5.5V$ | 40.0   | -    | -     | ns                        | 図 16.1 |
|                       |           |                                                                                                                                                                                                       |                           | 80.0   | -    | -     |                           |        |
| 外部クロック<br>立ち上がり時間     | $t_{CPr}$ | OSC <sub>1</sub>                                                                                                                                                                                      | $V_{CC} = 4.0V \sim 5.5V$ | -      | -    | 15.0  | ns                        | 図 16.1 |
|                       |           |                                                                                                                                                                                                       |                           | -      | -    | 20.0  |                           |        |
| 外部クロック<br>立ち下がり時間     | $t_{CPf}$ | OSC <sub>1</sub>                                                                                                                                                                                      | $V_{CC} = 4.0V \sim 5.5V$ | -      | -    | 15.0  | ns                        | 図 16.1 |
|                       |           |                                                                                                                                                                                                       |                           | -      | -    | 20.0  |                           |        |
| 外部サブクロック<br>High レベル幅 | $t_{XH}$  | X <sub>1</sub>                                                                                                                                                                                        |                           | 0.4/fx | -    | -     | s                         | 図 16.2 |
| 外部サブクロック<br>Low レベル幅  | $t_{XL}$  | X <sub>1</sub>                                                                                                                                                                                        |                           | 0.4/fx | -    | -     | s                         | 図 16.2 |
| 外部サブクロック<br>立ち上がり時間   | $t_{Xr}$  | X <sub>1</sub>                                                                                                                                                                                        |                           | -      | -    | 100.0 | ns                        | 図 16.2 |
| 外部サブクロック<br>立ち下がり時間   | $t_{Xf}$  | X <sub>1</sub>                                                                                                                                                                                        |                           | -      | -    | 100.0 | ns                        | 図 16.2 |
| RES 端子 Low レベル幅       | $t_{REL}$ | RES                                                                                                                                                                                                   |                           | 10     | -    | —     | $t_{cyc}$                 | 図 16.3 |
| 入力端子<br>High レベル幅     | $t_{IH}$  | $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ 、<br>$\overline{IRQ_3}$ 、 $\overline{IRQ_4}$ 、<br>$\overline{WKP_0} \sim \overline{WKP_7}$ 、<br>$\overline{ADTRG}$ 、 $\overline{TMIB}$ 、<br>$\overline{TMIF}$ |                           | 2      | -    | -     | $t_{cyc}$<br>$t_{subcyc}$ | 図 16.4 |
| 入力端子<br>Low レベル幅      | $t_{IL}$  | $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ 、<br>$\overline{IRQ_3}$ 、 $\overline{IRQ_4}$ 、<br>$\overline{WKP_0} \sim \overline{WKP_7}$ 、<br>$\overline{ADTRG}$ 、 $\overline{TMIB}$ 、<br>$\overline{TMIF}$ |                           | 2      | -    | -     | $t_{cyc}$<br>$t_{subcyc}$ | 図 16.4 |

【注】 \*1 外部クロックを入力する場合は 1 ~ 10MHz となります。

\*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

\*3 チップ出荷品の電気的特性保証温度は 75 です。

## 16. 電気的特性 (H8/3854 グループ)

表 16.5 H8/3852、H8/3853、H8/3854 のシリアルインタフェース (SCI3) タイミング  
特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 【H8/3852、H8/3853、H8/3854 のマスク ROM 版】、 $V_{CC} = 3.0 \sim 5.5V$ 【H8/3854F】、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*

| 項目                     |        | 記号            | 測定条件                      | 規格値   |      |      | 単位            | 参照図    |
|------------------------|--------|---------------|---------------------------|-------|------|------|---------------|--------|
|                        |        |               |                           | min.  | typ. | max. |               |        |
| 入力<br>クロックサイクル         | 調歩同期   | $t_{S_{CYC}}$ |                           | 4     | -    | -    | $t_{CYC}$     | 図 16.5 |
|                        | クロック同期 |               |                           | 6     | -    | -    |               |        |
| 入力クロックパルス幅             |        | $t_{SCKW}$    |                           | 0.4   | -    | 0.6  | $t_{S_{CYC}}$ | 図 16.5 |
| 送信データ遅延時間 (クロック同期)     |        | $t_{TXD}$     | $V_{CC} = 4.0V \sim 5.5V$ | -     | -    | 1    | $t_{CYC}$     | 図 16.6 |
|                        |        |               |                           | -     | -    | 1    |               |        |
| 受信データセットアップ時間 (クロック同期) |        | $t_{RXS}$     | $V_{CC} = 4.0V \sim 5.5V$ | 200.0 | -    | -    | ns            | 図 16.6 |
|                        |        |               |                           | 400.0 | -    | -    |               |        |
| 受信データホールド時間 (クロック同期)   |        | $t_{RXH}$     | $V_{CC} = 4.0V \sim 5.5V$ | 200.0 | -    | -    | ns            | 図 16.6 |
|                        |        |               |                           | 400.0 | -    | -    |               |        |

【注】 \* チップ出荷品の電気的特性保証温度は 75 です。

### 16.2.4 A/D 変換器特性

H8/3852、H8/3853、H8/3854 の A/D 変換器特性を表 16.6 に示します。

表 16.6 H8/3852、H8/3853、H8/3854 の A/D 変換器特性  
特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 【H8/3852、H8/3853、H8/3854 のマスク ROM 版】、 $V_{CC} = 3.0 \sim 5.5V$ 【H8/3854F】、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*

| 項目           | 記号        | 適用端子             | 測定条件 | 規格値            |      |                | 単位         | 参照図 |
|--------------|-----------|------------------|------|----------------|------|----------------|------------|-----|
|              |           |                  |      | min.           | typ. | max.           |            |     |
| アナログ入力電圧     | $AV_{IN}$ | $AN_4 \sim AN_7$ |      | $V_{SS} - 0.3$ | -    | $V_{CC} + 0.3$ | V          |     |
| アナログ入力容量     | $C_{AIN}$ | $AN_4 \sim AN_7$ |      | -              | -    | 30.0           | pF         |     |
| 許容信号源インピーダンス | $R_{AIN}$ |                  |      | -              | -    | 5.0            | k $\Omega$ |     |
| 分解能 (データ長)   |           |                  |      | -              | -    | 8              | ビット        |     |
| 非直線性誤差       |           |                  |      | -              | -    | $\pm 2.0$      | LSB        |     |
| 量子化誤差        |           |                  |      | -              | -    | $\pm 0.5$      | LSB        |     |
| 絶対精度         |           |                  |      | -              | -    | $\pm 2.5$      | LSB        |     |
| 変換時間         |           |                  |      | 12.4           | -    | 124            | $\mu s$    |     |

【注】 \* チップ出荷品の電気的特性保証温度は 75 です。

## 16.2.5 LCD 特性

H8/3852、H8/3853、H8/3854 の LCD 特性を表 16.7 に示します。

表 16.7 H8/3852、H8/3853、H8/3854 の LCD 特性

特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 【H8/3852、H8/3853、H8/3854 のマスク ROM 版】、 $V_{CC} = 3.0 \sim 5.5V$ 【H8/3854F】、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$  \*<sup>2</sup>、サブアクティブモードを含む

| 項目              | 記号        | 適用端子         | 測定条件                                | 規格値  |      |      | 単位        | 備考             |
|-----------------|-----------|--------------|-------------------------------------|------|------|------|-----------|----------------|
|                 |           |              |                                     | min. | typ. | max. |           |                |
| コモンドライバ ON 抵抗   | $R_{COM}$ | COM1 ~ COM16 | $\pm I_d = 0.05mA$ 、 $V_{CC} = 4V$  | -    | 6    | 20   | $k\Omega$ | * <sup>1</sup> |
| セグメントドライバ ON 抵抗 | $R_{SEG}$ | SEG1 ~ SEG40 | $\pm I_d = 0.05mA$ 、 $V_{CC} = 4V$  | -    | 6    | 20   | $k\Omega$ | * <sup>1</sup> |
| LCD 電源ブリーダ抵抗    | $R_{LCD}$ |              | $V_{CC} = 5.0V$ 、 $f_s = 32.768kHz$ | 200  | 400  | 700  | $k\Omega$ |                |

【注】 \*<sup>1</sup> 1 端子に  $I_d$  を流したときの V1OUT、V2OUT、V5OUT、 $V_{SS}$  端子から各コモン信号端子 (COM1 ~ COM16) 間の抵抗値 ( $R_{COM}$ ) と V1OUT、V3OUT、V4OUT、 $V_{SS}$  端子から各セグメント信号端子 (SEG1 ~ SEG40) 間の抵抗値 ( $R_{SEG}$ ) に適用します。

V1OUT ~ V5OUT には、必ず  $V_{CC}$  以下を印加してください。

\*<sup>2</sup> チップ出荷品の電気的特性保証温度は 75 です。

## 16.2.6 フラッシュメモリ特性

表 16.8 にフラッシュメモリ特性を示します。

表 16.8 フラッシュメモリ特性

条件:  $V_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = 0 \sim +75$  (書き込み / 消去時の動作温度範囲)

| 項目                                                 |                                               | 記号            | min. | typ. | max. | 単位        | 測定条件 |
|----------------------------------------------------|-----------------------------------------------|---------------|------|------|------|-----------|------|
| 書き込み時間* <sup>1</sup> * <sup>2</sup> * <sup>4</sup> |                                               | $t_p$         | -    | 10   | 200  | ms/32 バイト |      |
| 消去時間* <sup>1</sup> * <sup>3</sup> * <sup>5</sup>   |                                               | $t_E$         | -    | 100  | 300  | ms/ブロック   |      |
| 書き換え回数                                             |                                               | $N_{WEC}$     | -    | -    | 100  | 回         |      |
| 書き込み時                                              | SWE ビットセット後のウェイト時間* <sup>1</sup>              | x             | 10   | -    | -    | $\mu s$   |      |
|                                                    | PSU ビットセット後のウェイト時間* <sup>1</sup>              | y             | 50   | -    | -    | $\mu s$   |      |
|                                                    | P ビットセット後のウェイト時間* <sup>1</sup> * <sup>4</sup> | z             | -    | -    | 200  | $\mu s$   |      |
|                                                    | P ビットクリア後のウェイト時間* <sup>1</sup>                | $\alpha$      | 10   | -    | -    | $\mu s$   |      |
|                                                    | PSU ビットクリア後のウェイト時間* <sup>1</sup>              | $\beta$       | 10   | -    | -    | $\mu s$   |      |
|                                                    | PV ビットセット後のウェイト時間* <sup>1</sup>               | $\gamma$      | 4    | -    | -    | $\mu s$   |      |
|                                                    | H'FF ダミーライト後のウェイト時間* <sup>1</sup>             | $\varepsilon$ | 2    | -    | -    | $\mu s$   |      |
|                                                    | PV ビットクリア後のウェイト時間* <sup>1</sup>               | $\eta$        | 4    | -    | -    | $\mu s$   |      |
|                                                    | 最大書き込み回数* <sup>1</sup> * <sup>4</sup>         | N             | -    | -    | 1000 | 回         |      |
| 消去時                                                | SWE ビットセット後のウェイト時間* <sup>1</sup>              | x             | 10   | -    | -    | $\mu s$   |      |
|                                                    | ESU ビットセット後のウェイト時間* <sup>1</sup>              | y             | 200  | -    | -    | $\mu s$   |      |
|                                                    | E ビットセット後のウェイト時間* <sup>1</sup> * <sup>5</sup> | z             | -    | -    | 5    | ms        |      |
|                                                    | E ビットクリア後のウェイト時間* <sup>1</sup>                | $\alpha$      | 10   | -    | -    | $\mu s$   |      |
|                                                    | ESU ビットクリア後のウェイト時間* <sup>1</sup>              | $\beta$       | 10   | -    | -    | $\mu s$   |      |
|                                                    | EV ビットセット後のウェイト時間* <sup>1</sup>               | $\gamma$      | 20   | -    | -    | $\mu s$   |      |
|                                                    | H'FF ダミーライト後のウェイト時間* <sup>1</sup>             | $\varepsilon$ | 2    | -    | -    | $\mu s$   |      |
|                                                    | EV ビットクリア後のウェイト時間* <sup>1</sup>               | $\eta$        | 5    | -    | -    | $\mu s$   |      |
|                                                    | 最大消去回数* <sup>1</sup> * <sup>5</sup>           | N             | -    | -    | 60   | 回         |      |

## 16. 電気的特性 (H8/3854 グループ)

- 【注】 \*1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。
- \*2 32 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の P ビットをセットしているトータル期間を示します。書き込みペリファイ時間は含まれません。)
- \*3 1 ブロックを消去する時間 (FLMCR1 の E ビットをセットしている期間を示します。消去ペリファイ時間は含まれません。)
- \*4 書き込み時間の最大値  
( $t_p(\max) = P$  ビットセット後のウェイト時間 ( $z$ )  $\times$  最大書き込み回数 ( $N$ ))
- \*5 消去時間の最大値  
( $t_e(\max) = E$  ビットセット後のウェイト時間 ( $z$ )  $\times$  最大消去回数 ( $N$ ))

### 16.3 動作タイミング

動作タイミングを図 16.1 ~ 図 16.6 に示します。

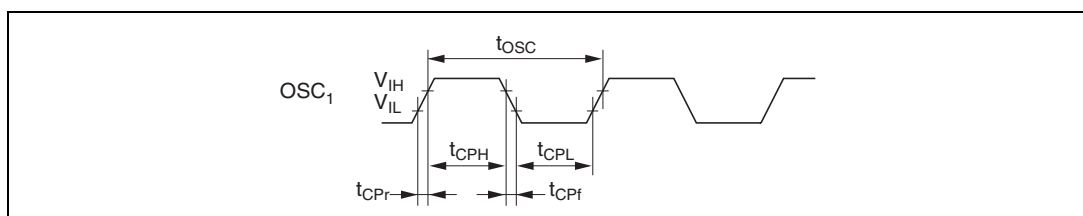


図 16.1 システムクロック入力タイミング

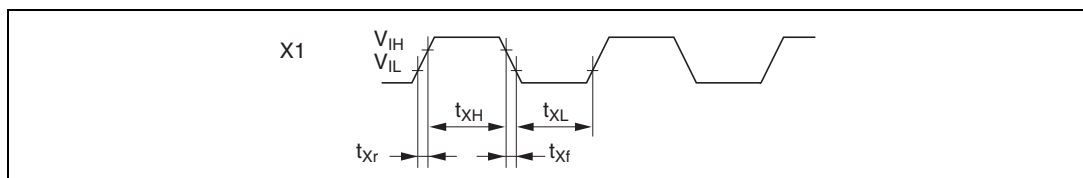


図 16.2 サブクロック入力タイミング

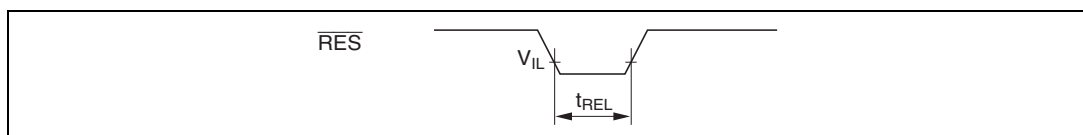


図 16.3 RES 端子 Low レベル幅タイミング

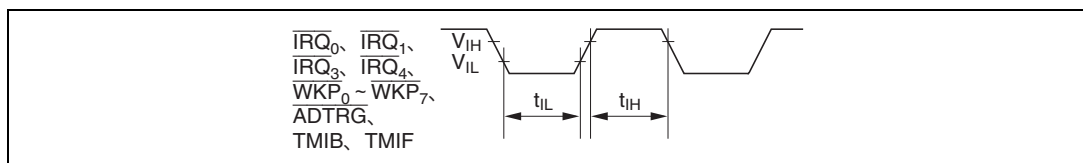


図 16.4 入力タイミング

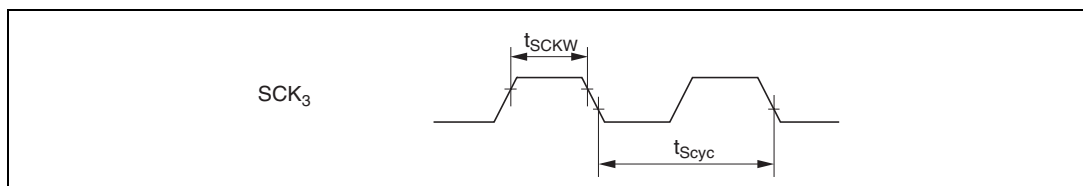


図 16.5 SCK3 入力クロックタイミング

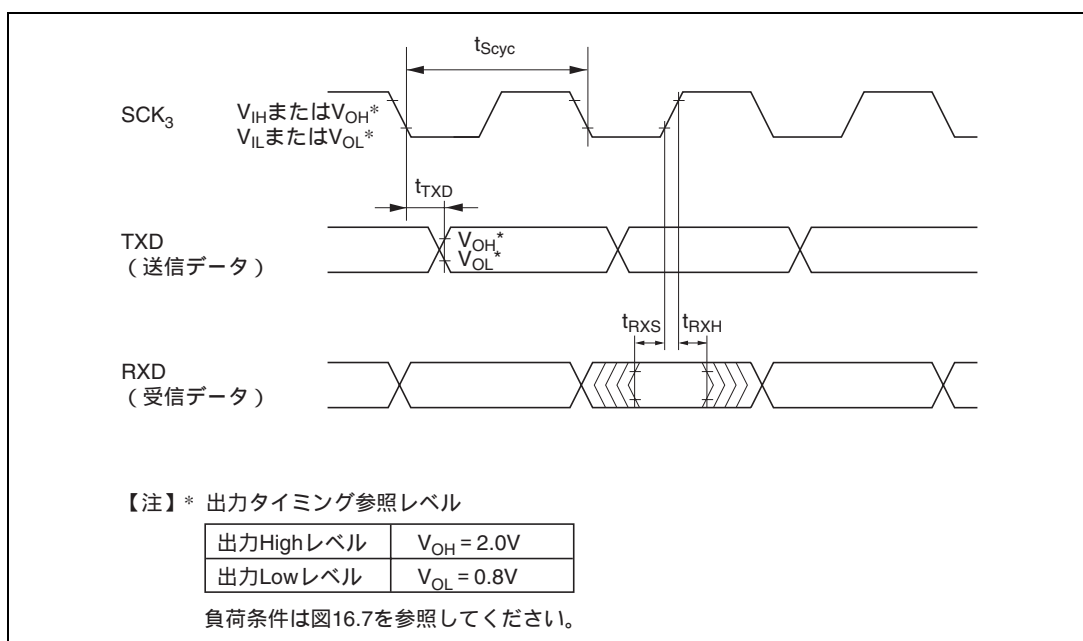


図 16.6 SCI3 クロック同期式モード入出力タイミング

## 16.4 出力負荷回路

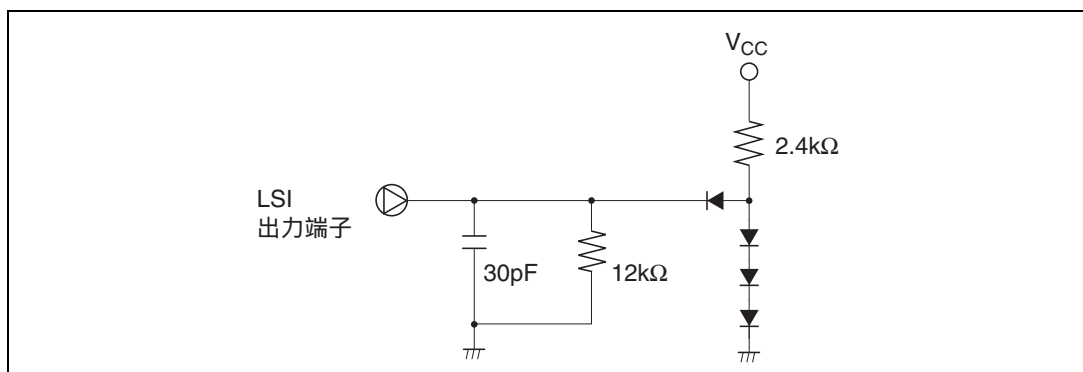


図 16.7 出力負荷条件

## 16.5 使用上の注意

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相異、内蔵 ROM の相異、レイアウトパターンの相異などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用してのシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

---

## 付録

---

### A. 命令

#### A.1 命令一覧

##### 《オペレーションの記号》

|            |                              |
|------------|------------------------------|
| Rd8/16     | 汎用レジスタ（デスティネーション側）8ビット／16ビット |
| Rs8/16     | 汎用レジスタ（ソース側）8ビット／16ビット       |
| Rn8/16     | 汎用レジスタ 8ビット／16ビット            |
| CCR        | コンディションコードレジスタ               |
| N          | CCRのN（ネガティブ）フラグ              |
| Z          | CCRのZ（ゼロ）フラグ                 |
| V          | CCRのV（オーバフロー）フラグ             |
| C          | CCRのC（キャリ）フラグ                |
| PC         | プログラムカウンタ                    |
| SP         | スタックポインタ                     |
| #xx:3/8/16 | イミディエイトデータ 3ビット／8ビット／16ビット   |
| d:8/16     | ディスプレースメント 8ビット／16ビット        |
| @aa:8/16   | 絶対アドレス 8ビット／16ビット            |
| +          | 加算                           |
| -          | 減算                           |
| ×          | 乗算                           |
| ÷          | 除算                           |
|            | 論理積                          |
|            | 論理和                          |
| ⊕          | 排他的論理和                       |
| →          | 転送                           |
| -          | 論理的補数                        |

##### 《コンディションコードの記号》

|    |                          |
|----|--------------------------|
| 記号 |                          |
| ↑  | 実行結果に従って変化することを表します。     |
| *  | 不確定であることを表します（値を保証しません）。 |
| 0  | 常に0にクリアされることを表します。       |
| —  | 実行結果に影響を受けないことを表します。     |

表 A.1 命令セット一覧

| ニーモニック | サイズ                   | アドレッシングモード/命令長(バイト) |    |     |             |           |          | オペレーション    | コンディションコード |   |   |   |   |   |   | 実行<br>スラット<br>数 |  |
|--------|-----------------------|---------------------|----|-----|-------------|-----------|----------|------------|------------|---|---|---|---|---|---|-----------------|--|
|        |                       | #xx:8/16            | Rn | @Rn | @(d:16, Rn) | @-Rn/④Rn+ | @aa:8/16 | @(d:8, PC) | @aa        | I | H | N | Z | V | C |                 |  |
| MOV    | MOV.B #xx:8, Rd       | 2                   |    |     |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 2               |  |
|        | MOV.B Rs, Rd          |                     | 2  |     |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 2               |  |
|        | MOV.B @Rs, Rd         |                     |    | 2   |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 4               |  |
|        | MOV.B @(d:16, Rs), Rd |                     |    |     | 4           |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.B @Rs+, Rd        |                     |    |     |             | 2         |          |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.B @aa:8, Rd       |                     |    |     |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 4               |  |
|        | MOV.B @aa:16, Rd      |                     |    |     |             |           | 2        |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.B Rs, @Rd         |                     |    | 2   |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 4               |  |
|        | MOV.B Rs, @(d:16, Rd) |                     |    |     | 4           |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.B Rs, @-Rd        |                     |    |     |             | 2         |          |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.B Rs, @aa:8       |                     |    |     |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 4               |  |
|        | MOV.B Rs, @aa:16      |                     |    |     |             |           | 2        |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.W #xx:16, Rd      | 4                   |    |     |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 4               |  |
|        | MOV.W Rs, Rd          |                     | 2  |     |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 2               |  |
|        | MOV.W @Rs, Rd         |                     |    | 2   |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 4               |  |
|        | MOV.W @(d:16, Rs), Rd |                     |    |     | 4           |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.W @Rs+, Rd        |                     |    |     |             | 2         |          |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.W @aa:16, Rd      |                     |    |     |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |
|        | MOV.W Rs, @Rd         |                     |    | 2   |             |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 4               |  |
|        | MOV.W Rs, @(d:16, Rd) |                     |    |     | 4           |           |          |            |            | — | — | ↑ | ↑ | 0 | — | 6               |  |

| ニーモニック |                  | サイズ | アドレッシングモード / 命令長 (バイト) |    |     |             |            |          |           |       |   |                           | オペレーション |  |  |  |  |  |   | コンディションコード |   |     |   |     |   |   | 実行<br>スタート<br>数 |
|--------|------------------|-----|------------------------|----|-----|-------------|------------|----------|-----------|-------|---|---------------------------|---------|--|--|--|--|--|---|------------|---|-----|---|-----|---|---|-----------------|
|        |                  |     | #xx:8/16               | Rn | @Rn | @(d:16, Rn) | @-Rn/ @Rn+ | @aa:8/16 | @(d8, PC) | @ @aa | — | オペレーション                   |         |  |  |  |  |  | I | H          | N | Z   | V | C   |   |   |                 |
|        |                  |     |                        |    |     |             | 2          |          |           |       |   | Rd16-2→Rd16<br>Rs16→@Rd16 |         |  |  |  |  |  | — | —          | ↑ | ↑   | 0 | —   |   | 6 |                 |
| MOV    | MOV.W Rs, @Rd    | W   |                        |    |     |             |            |          |           |       |   | Rs16→@aa:16               |         |  |  |  |  |  | — | —          | ↑ | ↑   | 0 | —   | 6 |   |                 |
|        | MOV.W Rs, @aa:16 | W   |                        |    |     |             |            | 4        |           |       |   | @SP→Rd16                  |         |  |  |  |  |  | — | —          | ↑ | ↑   | 0 | —   | 6 |   |                 |
| POP    | POP Rd           | W   |                        |    |     |             | 2          |          |           |       |   | SP+2→SP                   |         |  |  |  |  |  | — | —          | ↑ | ↑   | 0 | —   |   |   |                 |
| PUSH   | PUSH Rs          | W   |                        |    |     |             | 2          |          |           |       |   | SP-2→SP                   |         |  |  |  |  |  | — | —          | ↑ | ↑   | 0 | —   | 6 |   |                 |
| ADD    | ADD.B #xx:8, Rd  | B   | 2                      |    |     |             |            |          |           |       |   | Rd8+xx:8→Rd8              |         |  |  |  |  |  | — | ↑          | ↑ | ↑   | ↑ | ↑   | 2 |   |                 |
|        | ADD.B Rs, Rd     | B   |                        | 2  |     |             |            |          |           |       |   | Rd8+Rs8→Rd8               |         |  |  |  |  |  | — | ↑          | ↑ | ↑   | ↑ | ↑   | 2 |   |                 |
|        | ADD.W Rs, Rd     | W   |                        | 2  |     |             |            |          |           |       |   | Rd16+Rs16→Rd16            |         |  |  |  |  |  | — | (1)        | ↑ | ↑   | ↑ | ↑   | 2 |   |                 |
| ADDX   | ADDX.B #xx:8, Rd | B   | 2                      |    |     |             |            |          |           |       |   | Rd8+xx:8+C→Rd8            |         |  |  |  |  |  | — | ↑          | ↑ | (2) | ↑ | ↑   | 2 |   |                 |
|        | ADDX.B Rs, Rd    | B   |                        | 2  |     |             |            |          |           |       |   | Rd8+Rs8+C→Rd8             |         |  |  |  |  |  | — | ↑          | ↑ | (2) | ↑ | ↑   | 2 |   |                 |
| ADDS   | ADDS.W #1, Rd    | W   |                        | 2  |     |             |            |          |           |       |   | Rd16+1→Rd16               |         |  |  |  |  |  | — | —          | — | —   | — | —   | 2 |   |                 |
|        | ADDS.W #2, Rd    | W   |                        | 2  |     |             |            |          |           |       |   | Rd16+2→Rd16               |         |  |  |  |  |  | — | —          | — | —   | — | —   | 2 |   |                 |
| INC    | INC.B Rd         | B   |                        | 2  |     |             |            |          |           |       |   | Rd8+1→Rd8                 |         |  |  |  |  |  | — | —          | ↑ | ↑   | ↑ | —   | 2 |   |                 |
| DAA    | DAA.B Rd         | B   |                        | 2  |     |             |            |          |           |       |   | Rd8 10進補正→Rd8             |         |  |  |  |  |  | — | *          | ↑ | ↑   | * | (3) | 2 |   |                 |
| SUB    | SUB.B Rs, Rd     | B   |                        | 2  |     |             |            |          |           |       |   | Rd8-Rs8→Rd8               |         |  |  |  |  |  | — | ↑          | ↑ | ↑   | ↑ | ↑   | 2 |   |                 |
|        | SUB.W Rs, Rd     | W   |                        | 2  |     |             |            |          |           |       |   | Rd16-Rs16→Rd16            |         |  |  |  |  |  | — | (1)        | ↑ | ↑   | ↑ | ↑   | 2 |   |                 |
| SUBX   | SUBX.B #xx:8, Rd | B   | 2                      |    |     |             |            |          |           |       |   | Rd8-#xx:8-C→Rd8           |         |  |  |  |  |  | — | ↑          | ↑ | (2) | ↑ | ↑   | 2 |   |                 |
|        | SUBX.B Rs, Rd    | B   |                        | 2  |     |             |            |          |           |       |   | Rd8-Rs8-C→Rd8             |         |  |  |  |  |  | — | ↑          | ↑ | (2) | ↑ | ↑   | 2 |   |                 |

| ニーモニック |                 | サイズ | アドレッシングモード/命令長(バイト) |    |     |             |           |          |            | オペレーション |   |   |     |     |     |   |   |    |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | コンディションコード |  |  |  |    | 実行<br>ステート<br>数 |
|--------|-----------------|-----|---------------------|----|-----|-------------|-----------|----------|------------|---------|---|---|-----|-----|-----|---|---|----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------|--|--|--|----|-----------------|
|        |                 |     | #xx:8/16            | Rn | @Rn | @(d:16, Rn) | @-Rn/④Rn+ | @aa:8/16 | @(d:8, PC) | @aa     | — | I | H   | N   | Z   | V | C |    |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |            |  |  |  |    |                 |
| SUBS   | SUBS.W #1, Rd   | W   |                     | 2  |     |             |           |          |            |         |   | — | —   | —   | —   | — | — | 2  | Rd16-1→Rd16                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |            |  |  |  | 2  |                 |
|        | SUBS.W #2, Rd   | W   |                     | 2  |     |             |           |          |            |         |   | — | —   | —   | —   | — | — | 2  | Rd16-2→Rd16                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |            |  |  |  | 2  |                 |
| DEC    | DEC.B Rd        | B   |                     | 2  |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | — | — | 2  | Rd8-1→Rd8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |            |  |  |  | 2  |                 |
|        | DAS.B Rd        | B   |                     | 2  |     |             |           |          |            |         |   | — | *   | ↑   | ↑   | * | — | 2  | Rd8 10進補正→Rd8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |            |  |  |  | 2  |                 |
| NEG    | NEG.B Rd        | B   |                     | 2  |     |             |           |          |            |         |   | — | ↑   | ↑   | ↑   | ↑ | ↑ | 2  | 0-Rd→Rd                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |            |  |  |  | 2  |                 |
|        | CMP.B #xx:8, Rd | B   |                     |    |     |             |           |          |            |         |   | — | ↑   | ↑   | ↑   | ↑ | ↑ | 2  | Rd8-#xx:8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |            |  |  |  | 2  |                 |
| CMP    | CMP.B Rs, Rd    | B   | 2                   |    |     |             |           |          |            |         |   | — | ↑   | ↑   | ↑   | ↑ | ↑ | 2  | Rd8-Rs8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |            |  |  |  | 2  |                 |
|        | CMP.W Rs, Rd    | W   |                     | 2  |     |             |           |          |            |         |   | — | (1) | ↑   | ↑   | ↑ | ↑ | 2  | Rd16-Rs16                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |            |  |  |  | 2  |                 |
| MULXU  | MULXU.B Rs, Rd  | B   |                     | 2  |     |             |           |          |            |         |   | — | —   | —   | —   | — | — | 14 | Rd8 × Rs8→Rd16                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |            |  |  |  | 14 |                 |
|        | DIVXU.B Rs, Rd  | B   |                     | 2  |     |             |           |          |            |         |   | — | —   | (5) | (6) | — | — | 14 | Rd16 ÷ Rs8→Rd16<br>(RdH: 余り、RdL: 商)                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |            |  |  |  | 14 |                 |
| AND    | AND.B #xx:8, Rd | B   | 2                   |    |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | 0 | — | 2  | Rd8, #xx:8→Rd8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |            |  |  |  | 2  |                 |
|        | AND.B Rs, Rd    | B   |                     | 2  |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | 0 | — | 2  | Rd8, Rs8→Rd8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |            |  |  |  | 2  |                 |
| OR     | OR.B #xx:8, Rd  | B   | 2                   |    |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | 0 | — | 2  | Rd8, #xx:8→Rd8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |            |  |  |  | 2  |                 |
|        | OR.B Rs, Rd     | B   |                     | 2  |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | 0 | — | 2  | Rd8, Rs8→Rd8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |            |  |  |  | 2  |                 |
| XOR    | XOR.B #xx:8, Rd | B   | 2                   |    |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | 0 | — | 2  | Rd8, #xx:8→Rd8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |            |  |  |  | 2  |                 |
|        | XOR.B Rs, Rd    | B   |                     | 2  |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | 0 | — | 2  | Rd8, Rs8→Rd8                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |            |  |  |  | 2  |                 |
| NOT    | NOT.B Rd        | B   |                     | 2  |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | 0 | — | 2  | Rd→Rd                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |            |  |  |  | 2  |                 |
|        | SHAL.B Rd       | B   |                     | 2  |     |             |           |          |            |         |   | — | —   | ↑   | ↑   | ↑ | ↑ | 2  | <div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div><div>□</div>&lt;</div> |            |  |  |  |    |                 |

| ニーモニック |                 | サイズ | アドレッシングモード / 命令長 (バイト) |           |             |           |          |            |      | オペレーション           | コンディションコード |   |   |   |   |   |   | 実行<br>ステート<br>数 |
|--------|-----------------|-----|------------------------|-----------|-------------|-----------|----------|------------|------|-------------------|------------|---|---|---|---|---|---|-----------------|
|        |                 |     | #xx:8/16               | Rn<br>@Rn | @(d:16, Rn) | @-Rn/@Rn+ | @aa:8/16 | @(d:8, PC) | @@aa |                   | I          | H | N | Z | V | C |   |                 |
| SHAR   | SHAR,B Rd       | B   | 2                      |           |             |           |          |            |      |                   | —          | — | ↑ | ↑ | 0 | ↑ | 2 |                 |
| SHLL   | SHLL,B Rd       | B   | 2                      |           |             |           |          |            |      |                   | —          | — | ↑ | ↑ | 0 | ↑ | 2 |                 |
| SHLR   | SHLR,B Rd       | B   | 2                      |           |             |           |          |            |      |                   | —          | — | 0 | ↑ | 0 | ↑ | 2 |                 |
| ROTXL  | ROTXL,B Rd      | B   | 2                      |           |             |           |          |            |      |                   | —          | — | ↑ | ↑ | 0 | ↑ | 2 |                 |
| ROTXR  | ROTXR,B Rd      | B   | 2                      |           |             |           |          |            |      |                   | —          | — | ↑ | ↑ | 0 | ↑ | 2 |                 |
| ROTL   | ROTL,B Rd       | B   | 2                      |           |             |           |          |            |      |                   | —          | — | ↑ | ↑ | 0 | ↑ | 2 |                 |
| ROTR   | ROTR,B Rd       | B   | 2                      |           |             |           |          |            |      |                   | —          | — | ↑ | ↑ | 0 | ↑ | 2 |                 |
| BSET   | BSET #xx:3, Rd  | B   | 2                      |           |             |           |          |            |      | (#xx:3 of Rd)<-1  | —          | — | — | — | — | — | 2 |                 |
|        | BSET #xx:3, @Rd | B   |                        | 4         |             |           |          |            |      | (#xx:3 of @Rd)<-1 | —          | — | — | — | — | — | 8 |                 |

| ニーモニック | サイズ               | アドレッシングモード / 命令長 (バイト) |    |     |             |            |          | オペレーション    | コンディションコード |   |   |   |   |   |   | 実行<br>スタート<br>数 |
|--------|-------------------|------------------------|----|-----|-------------|------------|----------|------------|------------|---|---|---|---|---|---|-----------------|
|        |                   | #xx:8/16               | Rn | @Rn | @(d:16, Rn) | @-Rn/ @Rn+ | @aa:8/16 | @(d:8, PC) | @aa        | I | H | N | Z | V | C |                 |
| BSET   | BSET #xx:3, @aa:8 | B                      |    |     |             |            | 4        |            |            | — | — | — | — | — | — | 8               |
|        | BSET Rn, Rd       | B                      | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |
|        | BSET Rn, @Rd      | B                      |    | 4   |             |            |          |            |            | — | — | — | — | — | — | 8               |
|        | BSET Rn, @aa:8    | B                      |    |     |             |            | 4        |            |            | — | — | — | — | — | — | 8               |
| BCLR   | BCLR #xx:3, Rd    | B                      | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |
|        | BCLR #xx:3, @Rd   | B                      |    | 4   |             |            |          |            |            | — | — | — | — | — | — | 8               |
|        | BCLR #xx:3, @aa:8 | B                      |    |     |             |            | 4        |            |            | — | — | — | — | — | — | 8               |
|        | BCLR Rn, Rd       | B                      | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |
|        | BCLR Rn, @Rd      | B                      |    | 4   |             |            |          |            |            | — | — | — | — | — | — | 8               |
|        | BCLR Rn, @aa:8    | B                      |    |     |             |            | 4        |            |            | — | — | — | — | — | — | 8               |
| BNOT   | BNOT #xx:3, Rd    | B                      | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |
|        | BNOT #xx:3, @Rd   | B                      |    | 4   |             |            |          |            |            | — | — | — | — | — | — | 8               |
|        | BNOT #xx:3, @aa:8 | B                      |    |     |             |            | 4        |            |            | — | — | — | — | — | — | 8               |
|        | BNOT Rn, Rd       | B                      | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |
| BTST   | BTST #xx:3, Rd    | B                      | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |
|        | BTST #xx:3, @Rd   | B                      |    | 4   |             |            |          |            |            | — | — | — | — | — | — | 6               |
|        | BTST #xx:3, @aa:8 | B                      |    |     |             |            | 4        |            |            | — | — | — | — | — | — | 6               |
|        | BTST Rn, Rd       | B                      | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |

| ニーモニック | サイズ                | アドレッシングモード/命令長(バイト) |    |     |             |            |          | オペレーション    | コンディションコード |   |   |   |   |   |   | 実行<br>スタート<br>数 |
|--------|--------------------|---------------------|----|-----|-------------|------------|----------|------------|------------|---|---|---|---|---|---|-----------------|
|        |                    | #xx:8/16            | Rn | @Rn | @(d:16, Rn) | @-Rn/ @Rn+ | @aa:8/16 | @(d:8, PC) | @aa        | I | H | N | Z | V | C |                 |
| BTST   | BTST Rn, @Rd       | B                   |    | 4   |             |            |          |            |            | — | — | — | ↑ | — | — | 6               |
|        | BTST Rn, @aa:8     | B                   |    |     |             |            | 4        |            |            | — | — | — | ↑ | — | — | 6               |
|        | BLD #xx:3, Rd      | B                   | 2  |     |             |            |          |            |            | — | — | — | — | — | ↑ | 2               |
| BLD    | BLD #xx:3, @Rd     | B                   |    | 4   |             |            |          |            |            | — | — | — | — | — | ↑ | 6               |
|        | BLD #xx:3, @aa:8   | B                   |    |     |             |            | 4        |            |            | — | — | — | — | — | ↑ | 6               |
|        | BILD #xx:3, Rd     | B                   | 2  |     |             |            |          |            |            | — | — | — | — | — | ↑ | 2               |
| BILD   | BILD #xx:3, @Rd    | B                   |    | 4   |             |            |          |            |            | — | — | — | — | — | ↑ | 6               |
|        | BILD #xx:3, @aa:8  | B                   |    |     |             |            | 4        |            |            | — | — | — | — | — | ↑ | 6               |
|        | BST #xx:3, Rd      | B                   | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |
| BST    | BST #xx:3, @Rd     | B                   |    | 4   |             |            |          |            |            | — | — | — | — | — | — | 8               |
|        | BST #xx:3, @aa:8   | B                   |    |     |             |            | 4        |            |            | — | — | — | — | — | — | 8               |
|        | BIST #xx:3, Rd     | B                   | 2  |     |             |            |          |            |            | — | — | — | — | — | — | 2               |
| BIST   | BIST #xx:3, @Rd    | B                   |    | 4   |             |            |          |            |            | — | — | — | — | — | — | 8               |
|        | BIST #xx:3, @aa:8  | B                   |    |     |             |            | 4        |            |            | — | — | — | — | — | — | 8               |
|        | BAND #xx:3, Rd     | B                   | 2  |     |             |            |          |            |            | — | — | — | — | — | ↑ | 2               |
| BAND   | BAND #xx:3, @Rd    | B                   |    | 4   |             |            |          |            |            | — | — | — | — | — | ↑ | 6               |
|        | BAND #xx:3, @aa:8  | B                   |    |     |             |            | 4        |            |            | — | — | — | — | — | ↑ | 6               |
|        | BIAND #xx:3, Rd    | B                   | 2  |     |             |            |          |            |            | — | — | — | — | — | ↑ | 2               |
| BIAND  | BIAND #xx:3, @Rd   | B                   |    | 4   |             |            |          |            |            | — | — | — | — | — | ↑ | 6               |
|        | BIAND #xx:3, @aa:8 | B                   |    |     |             |            | 4        |            |            | — | — | — | — | — | ↑ | 6               |
|        | BOR #xx:3, Rd      | B                   | 2  |     |             |            |          |            |            | — | — | — | — | — | ↑ | 2               |
| BOR    | BOR #xx:3, @Rd     | B                   |    | 4   |             |            |          |            |            | — | — | — | — | — | ↑ | 6               |
|        | BOR #xx:3, @aa:8   | B                   |    |     |             |            | 4        |            |            | — | — | — | — | — | ↑ | 6               |

| ニーモニック |                    | サイ<br>イズ | アドレッシングモード / 命令長 (バイト) |    |     |             |           |          |            | オペレーション |   | コンディションコード |   |   |   |   |   |                        | 実行<br>ステート<br>数 |   |   |   |   |   |   |
|--------|--------------------|----------|------------------------|----|-----|-------------|-----------|----------|------------|---------|---|------------|---|---|---|---|---|------------------------|-----------------|---|---|---|---|---|---|
|        |                    |          | #xx:8/16               | Rn | @Rn | @(d:16, Rn) | @-Rn/@Rn+ | @aa:8/16 | @(d:8, PC) | @aa     | — | 分岐条件       | I | H | N | Z | V | C                      |                 |   |   |   |   |   |   |
| BIOR   | BIOR #xx:3, Rd     | B        |                        | 2  |     |             |           |          |            |         |   |            |   |   |   |   |   | C (#xx:3 of Rd8)→C     | —               | — | — | — | ↑ | 2 |   |
|        | BIOR #xx:3, @Rd    | B        |                        |    | 4   |             |           |          |            |         |   |            |   |   |   |   |   | C (#xx:3 of @Rd16)→C   | —               | — | — | — | — | ↑ | 6 |
|        | BIOR #xx:3, @aa:8  | B        |                        |    |     |             |           |          | 4          |         |   |            |   |   |   |   |   | C (#xx:3 of @aa:8)→C   | —               | — | — | — | — | ↑ | 6 |
| BXOR   | BXOR #xx:3, Rd     | B        |                        | 2  |     |             |           |          |            |         |   |            |   |   |   |   |   | C ⊕ (#xx:3 of Rd8)→C   | —               | — | — | — | — | ↑ | 2 |
|        | BXOR #xx:3, @Rd    | B        |                        |    | 4   |             |           |          |            |         |   |            |   |   |   |   |   | C ⊕ (#xx:3 of @Rd16)→C | —               | — | — | — | — | ↑ | 6 |
|        | BXOR #xx:3, @aa:8  | B        |                        |    |     |             |           |          | 4          |         |   |            |   |   |   |   |   | C ⊕ (#xx:3 of @aa:8)→C | —               | — | — | — | — | ↑ | 6 |
| BIXOR  | BIXOR #xx:3, Rd    | B        |                        | 2  |     |             |           |          |            |         |   |            |   |   |   |   |   | C ⊕ (#xx:3 of Rd8)→C   | —               | — | — | — | — | ↑ | 2 |
|        | BIXOR #xx:3, @Rd   | B        |                        |    | 4   |             |           |          |            |         |   |            |   |   |   |   |   | C ⊕ (#xx:3 of @Rd16)→C | —               | — | — | — | — | ↑ | 6 |
|        | BIXOR #xx:3, @aa:8 | B        |                        |    |     |             |           |          | 4          |         |   |            |   |   |   |   |   | C ⊕ (#xx:3 of @aa:8)→C | —               | — | — | — | — | ↑ | 6 |
| BCC    | BRA d:8 (BT d:8)   | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | PC←PC+d:8              | —               | — | — | — | — | — | 4 |
|        | BRN d:8 (BF d:8)   | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | PC←PC+2                | —               | — | — | — | — | — | 4 |
|        | BHI d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | if condition           | —               | — | — | — | — | — | 4 |
|        | BLS d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | is true then           | —               | — | — | — | — | — | 4 |
|        | BCC d:8 (BHS d:8)  | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | PC←PC+d:8              | —               | — | — | — | — | — | 4 |
|        | BCS d:8 (BLO d:8)  | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | C=1                    | —               | — | — | — | — | — | 4 |
|        | BNE d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | Z=0                    | —               | — | — | — | — | — | 4 |
|        | BEQ d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | Z=1                    | —               | — | — | — | — | — | 4 |
|        | BVC d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | V=0                    | —               | — | — | — | — | — | 4 |
|        | BVS d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | V=1                    | —               | — | — | — | — | — | 4 |
|        | BPL d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | N=0                    | —               | — | — | — | — | — | 4 |
|        | BMI d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | N=1                    | —               | — | — | — | — | — | 4 |
|        | BGE d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | N ⊕ V=0                | —               | — | — | — | — | — | 4 |
|        | BLT d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | N ⊕ V=1                | —               | — | — | — | — | — | 4 |
|        | BGT d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | Z ∨ (N ⊕ V)=0          | —               | — | — | — | — | — | 4 |
|        | BLE d:8            | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   | Z ∨ (N ⊕ V)=1          | —               | — | — | — | — | — | 4 |
|        |                    | —        |                        |    |     |             |           |          |            |         | 2 |            |   |   |   |   |   |                        |                 | — | — | — | — | — | — |

| ニーモニック |             | サイズ | アドレッシングモード/命令長(バイト) |    |     |             |           |          | オペレーション    | コンディションコード |   |    |    |    |    |    | 実行<br>サイクル<br>数 |    |                                         |
|--------|-------------|-----|---------------------|----|-----|-------------|-----------|----------|------------|------------|---|----|----|----|----|----|-----------------|----|-----------------------------------------|
|        |             |     | #xx:8/16            | Rn | @Rn | @(d:16, Rn) | @-Rn/④Rn+ | @aa:8/16 | @(d:8, PC) | @aa        | — | I  | H  | N  | Z  | V  | C               |    |                                         |
| JMP    | JMP @Rn     | —   |                     |    | 2   |             |           |          |            |            |   | —  | —  | —  | —  | —  | —               | 4  | PC←Rn16                                 |
|        | JMP @aa:16  | —   |                     |    |     |             |           | 4        |            |            |   | —  | —  | —  | —  | —  | —               | 6  | PC←aa:16                                |
|        | JMP @ @aa:8 | —   |                     |    |     |             |           |          |            | 2          |   | —  | —  | —  | —  | —  | —               | 8  | PC←@aa:8                                |
| BSR    | BSR d:8     | —   |                     |    |     |             |           |          | 2          |            |   | —  | —  | —  | —  | —  | —               | 6  | SP-2→SP<br>PC→@SP<br>PC←PC+d:8          |
|        | JSR @Rn     | —   |                     |    |     | 2           |           |          |            |            |   | —  | —  | —  | —  | —  | —               | 6  | SP-2→SP<br>PC→@SP<br>PC←Rn16            |
| JSR    | JSR @aa:16  | —   |                     |    |     |             |           | 4        |            |            |   | —  | —  | —  | —  | —  | —               | 8  | SP-2→SP<br>PC→@SP<br>PC←aa:16           |
|        | JSR @ @aa:8 | —   |                     |    |     |             |           |          |            | 2          |   | —  | —  | —  | —  | —  | —               | 8  | SP-2→SP<br>PC→@SP<br>PC←@aa:8           |
|        | RTS         | RTS | —                   |    |     |             |           |          |            |            |   | 2  | —  | —  | —  | —  | —               | 8  | PC←@SP<br>SP+2→SP                       |
| RTE    | RTE         | —   |                     |    |     |             |           |          |            |            | 2 | ↑↑ | ↑↑ | ↑↑ | ↑↑ | ↑↑ | ↑↑              | 10 | CCR←@SP<br>SP+2→SP<br>PC←@SP<br>SP+2→SP |

| ニーモニック          | サイズ             | アドレッシングモード / 命令量 (バイト) |    |     |             |            |          | オペレーション    | コンディションコード |   |   |   |   |   |   | 実行<br>ステート<br>数 |
|-----------------|-----------------|------------------------|----|-----|-------------|------------|----------|------------|------------|---|---|---|---|---|---|-----------------|
|                 |                 | #xx:8/16               | Rn | @Rn | @(d:16, Rn) | @-Rn/ @Rn+ | @aa:8/16 | @(d:8, PC) | @aa        | I | H | N | Z | V | C |                 |
| SLEEP           | —               | —                      | —  | —   | —           | —          | —        | —          | —          | — | — | — | — | — | — | 2               |
| LDC             | LDC #xx:8, CCR  | B                      | 2  | —   | —           | —          | —        | —          | —          | ↑ | ↑ | ↑ | ↑ | ↑ | ↑ | 2               |
|                 | LDC Rs, CCR     | B                      | 2  | —   | —           | —          | —        | —          | —          | ↑ | ↑ | ↑ | ↑ | ↑ | ↑ | 2               |
| STC             | STC CCR, Rd     | B                      | 2  | —   | —           | —          | —        | —          | —          | — | — | — | — | — | — | 2               |
| ANDC            | ANDC #xx:8, CCR | B                      | 2  | —   | —           | —          | —        | —          | —          | ↑ | ↑ | ↑ | ↑ | ↑ | ↑ | 2               |
| ORC             | ORC #xx:8, CCR  | B                      | 2  | —   | —           | —          | —        | —          | —          | ↑ | ↑ | ↑ | ↑ | ↑ | ↑ | 2               |
| XORC            | XORC #xx:8, CCR | B                      | 2  | —   | —           | —          | —        | —          | —          | ↑ | ↑ | ↑ | ↑ | ↑ | ↑ | 2               |
| NOP             | NOP             | —                      | —  | —   | —           | —          | —        | —          | —          | — | — | — | — | — | — | 2               |
| EEPMOV          | EEPMOV          | —                      | —  | —   | —           | —          | —        | —          | —          | — | — | — | — | — | — | (4)             |
| オペレーション         |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| 低消費電力状態に遷移      |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| #xx:8→CCR       |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| Rs8→CCR         |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| CCR→Rd8         |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| CCR^#xx:8→CCR   |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| CCR^#xx:8→CCR   |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| CCR ⊕ #xx:8→CCR |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| PC←PC+2         |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| if R4L ≠ 0      |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| Repeat @R5→@R6  |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| R5+1→R5         |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| R6+1→R6         |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| R4L-1→R4L       |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| Until R4L=0     |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |
| else next;      |                 |                        |    |     |             |            |          |            |            |   |   |   |   |   |   |                 |

【注】 (1) : ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。  
(2) : 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。  
(3) : 補正結果に桁上がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。  
(4) : 実行ステート数は、R4Lの設定値がnのとき4n+9となります。  
(5) : 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。  
(6) : 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。

## A.2 オペレーションコードマップ

表 A.2 にオペレーションコードマップを示します。表 A.2 では、命令コードの第 1 バイト（第 1 ワードのビット 15～8）についてのみ示しています。

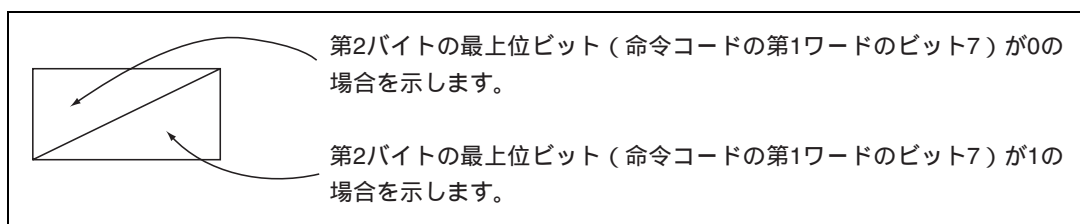


表 A.2 オペレーションコードマップ

| LO<br>HI | 0            | 1            | 2             | 3             | 4           | 5             | 6             | 7          | 8   | 9   | A   | B      | C   | D       | E    | F   |
|----------|--------------|--------------|---------------|---------------|-------------|---------------|---------------|------------|-----|-----|-----|--------|-----|---------|------|-----|
| 0        | NOP          | SLEEP        | STC           | LDC           | ORC         | XORC          | ANDC          | LDC        |     | ADD | INC | ADDS   |     | MOV     | ADDX | DAA |
| 1        | SHLL<br>SHLR | SHLR<br>SHAR | ROTXL<br>ROTL | ROTXR<br>ROTR | OR          | XOR           | AND           | NOT<br>NEG |     | SUB | DEC | SUBS   |     | CMP     | SUBX | DAS |
| 2        | MOV          |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| 3        | MOV          |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| 4        | BRA          | BRN          | BHI           | BLS           | BCC         | BCS           | BNE           | BEQ        | BVC | BVS | BPL | BMI    | BGE | BLT     | BGT  | BLE |
| 5        | MULXU        | DIVXU        |               |               | RTS         | BSR           | RTE           |            |     |     | JMP |        |     |         | JSR  |     |
| 6        | BSET         | BNOT         | BCLR          | BTST          | BOR<br>BIOR | BXOR<br>BIXOR | BAND<br>BIAND | BST<br>BLD |     |     |     | MOV*   |     |         |      |     |
| 7        |              |              |               |               |             |               |               |            |     | MOV |     | EEPMOV |     | ビット操作命令 |      |     |
| 8        | ADD          |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| 9        | ADDX         |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| A        | CMP          |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| B        | SUBX         |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| C        | OR           |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| D        | XOR          |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| E        | AND          |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |
| F        | MOV          |              |               |               |             |               |               |            |     |     |     |        |     |         |      |     |

【注】 \* PUSH、POP命令の機械語はMOV命令と同一です。

### A.3 命令実行ステート数

H8/300L CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.3 におおののサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \times S_I + J \times S_J + K \times S_K + L \times S_L + M \times S_M + N \times S_N$$

#### ■ 実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00  
表A.4より  
 $I = L = 2$ 、 $J = K = M = N = 0$   
表A.3より  
 $S_I = 2$ 、 $S_L = 2$   
実行ステート数  $= 2 \times 2 + 2 \times 2 = 8$   
内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合
2. JSR @@30  
表A.4より  
 $I = 2$ 、 $J = K = 1$ 、 $L = M = N = 0$   
表A.3より  
 $S_I = S_J = S_K = 2$   
実行ステート数  $= 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$

表 A.3 実行状態 (サイクル) に要するステート数

| 実行状態（サイクル） |                | アクセス対象 |           |
|------------|----------------|--------|-----------|
|            |                | 内蔵メモリ  | 内蔵周辺モジュール |
| 命令フェッチ     | S <sub>I</sub> | 2      |           |
| 分岐アドレスリード  | S <sub>J</sub> |        |           |
| スタック操作     | S <sub>K</sub> |        |           |
| バイトデータアクセス | S <sub>L</sub> |        | 2 または 3*  |
| ワードデータアクセス | S <sub>M</sub> |        |           |
| 内部動作       | S <sub>N</sub> | 1      |           |

【注】 \* 内蔵周辺モジュールによって異なります。詳細は、「2.9.1 データアクセスに関する注意事項」を参照してください。

表 A.4 命令の実行状態（サイクル数）

| 命令    | ニーモニック             | 命令<br>フェッチ | 分岐<br>アドレス<br>リード | スタック<br>操作 | バイト<br>データ<br>アクセス | ワード<br>データ<br>アクセス | 内部動作 |
|-------|--------------------|------------|-------------------|------------|--------------------|--------------------|------|
|       |                    | I          | J                 | K          | L                  | M                  | N    |
| ADD   | ADD.B #xx:8, Rd    | 1          |                   |            |                    |                    |      |
|       | ADD.B Rs, Rd       | 1          |                   |            |                    |                    |      |
|       | ADD.W Rs, Rd       | 1          |                   |            |                    |                    |      |
| ADDS  | ADDS.W #1, Rd      | 1          |                   |            |                    |                    |      |
|       | ADDS.W #2, Rd      | 1          |                   |            |                    |                    |      |
| ADDX  | ADDX.B #xx:8, Rd   | 1          |                   |            |                    |                    |      |
|       | ADDX.B Rs, Rd      | 1          |                   |            |                    |                    |      |
| AND   | AND.B #xx:8, Rd    | 1          |                   |            |                    |                    |      |
|       | AND.B Rs, Rd       | 1          |                   |            |                    |                    |      |
| ANDC  | ANDC #xx:8, CCR    | 1          |                   |            |                    |                    |      |
| BAND  | BAND #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BAND #xx:3, @Rd    | 2          |                   |            | 1                  |                    |      |
|       | BAND #xx:3, @aa:8  | 2          |                   |            | 1                  |                    |      |
| Bcc   | BRA d:8 (BT d:8)   | 2          |                   |            |                    |                    |      |
|       | BRN d:8 (BF d:8)   | 2          |                   |            |                    |                    |      |
|       | BHI d:8            | 2          |                   |            |                    |                    |      |
|       | BLS d:8            | 2          |                   |            |                    |                    |      |
|       | BCC d:8 (BHS d:8)  | 2          |                   |            |                    |                    |      |
|       | BCS d:8 (BLO d:8)  | 2          |                   |            |                    |                    |      |
|       | BNE d:8            | 2          |                   |            |                    |                    |      |
|       | BEQ d:8            | 2          |                   |            |                    |                    |      |
|       | BVC d:8            | 2          |                   |            |                    |                    |      |
|       | BVS d:8            | 2          |                   |            |                    |                    |      |
|       | BPL d:8            | 2          |                   |            |                    |                    |      |
|       | BMI d:8            | 2          |                   |            |                    |                    |      |
|       | BGE d:8            | 2          |                   |            |                    |                    |      |
|       | BLT d:8            | 2          |                   |            |                    |                    |      |
|       | BGT d:8            | 2          |                   |            |                    |                    |      |
|       | BLE d:8            | 2          |                   |            |                    |                    |      |
| BCLR  | BCLR #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BCLR #xx:3, @Rd    | 2          |                   |            | 2                  |                    |      |
|       | BCLR #xx:3, @aa:8  | 2          |                   |            | 2                  |                    |      |
|       | BCLR Rn, Rd        | 1          |                   |            |                    |                    |      |
|       | BCLR Rn, @Rd       | 2          |                   |            | 2                  |                    |      |
|       | BCLR Rn, @aa:8     | 2          |                   |            | 2                  |                    |      |
| BIAND | BIAND #xx:3, Rd    | 1          |                   |            |                    |                    |      |
|       | BIAND #xx:3, @Rd   | 2          |                   |            | 1                  |                    |      |
|       | BIAND #xx:3, @aa:8 | 2          |                   |            | 1                  |                    |      |
| BILD  | BILD #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BILD #xx:3, @Rd    | 2          |                   |            | 1                  |                    |      |
|       | BILD #xx:3, @aa:8  | 2          |                   |            | 1                  |                    |      |

| 命令    | ニーモニック             | 命令<br>フェッチ | 分岐<br>アドレス<br>リード | スタック<br>操作 | バイト<br>データ<br>アクセス | ワード<br>データ<br>アクセス | 内部動作 |
|-------|--------------------|------------|-------------------|------------|--------------------|--------------------|------|
|       |                    | I          | J                 | K          | L                  | M                  | N    |
| BIOR  | BIOR #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BIOR #xx:3, @Rd    | 2          |                   |            | 1                  |                    |      |
|       | BIOR #xx:3, @aa:8  | 2          |                   |            | 1                  |                    |      |
| BIST  | BIST #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BIST #xx:3, @Rd    | 2          |                   |            | 2                  |                    |      |
|       | BIST #xx:3, @aa:8  | 2          |                   |            | 2                  |                    |      |
| BIXOR | BIXOR #xx:3, Rd    | 1          |                   |            |                    |                    |      |
|       | BIXOR #xx:3, @Rd   | 2          |                   |            | 1                  |                    |      |
|       | BIXOR #xx:3, @aa:8 | 2          |                   |            | 1                  |                    |      |
| BLD   | BLD #xx:3, Rd      | 1          |                   |            |                    |                    |      |
|       | BLD #xx:3, @Rd     | 2          |                   |            | 1                  |                    |      |
|       | BLD #xx:3, @aa:8   | 2          |                   |            | 1                  |                    |      |
| BNOT  | BNOT #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BNOT #xx:3, @Rd    | 2          |                   |            | 2                  |                    |      |
|       | BNOT #xx:3, @aa:8  | 2          |                   |            | 2                  |                    |      |
|       | BNOT Rn, Rd        | 1          |                   |            |                    |                    |      |
|       | BNOT Rn, @Rd       | 2          |                   |            | 2                  |                    |      |
|       | BNOT Rn, @aa:8     | 2          |                   |            | 2                  |                    |      |
| BOR   | BOR #xx:3, Rd      | 1          |                   |            |                    |                    |      |
|       | BOR #xx:3, @Rd     | 2          |                   |            | 1                  |                    |      |
|       | BOR #xx:3, @aa:8   | 2          |                   |            | 1                  |                    |      |
| BSET  | BSET #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BSET #xx:3, @Rd    | 2          |                   |            | 2                  |                    |      |
|       | BSET #xx:3, @aa:8  | 2          |                   |            | 2                  |                    |      |
|       | BSET Rn, Rd        | 1          |                   |            |                    |                    |      |
|       | BSET Rn, @Rd       | 2          |                   |            | 2                  |                    |      |
|       | BSET Rn, @aa:8     | 2          |                   |            | 2                  |                    |      |
| BSR   | BSR d:8            | 2          |                   | 1          |                    |                    |      |
| BST   | BST #xx:3, Rd      | 1          |                   |            |                    |                    |      |
|       | BST #xx:3, @Rd     | 2          |                   |            | 2                  |                    |      |
|       | BST #xx:3, @aa:8   | 2          |                   |            | 2                  |                    |      |
| BTST  | BTST #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BTST #xx:3, @Rd    | 2          |                   |            | 1                  |                    |      |
|       | BTST #xx:3, @aa:8  | 2          |                   |            | 1                  |                    |      |
|       | BTST Rn, Rd        | 1          |                   |            |                    |                    |      |
|       | BTST Rn, @Rd       | 2          |                   |            | 1                  |                    |      |
|       | BTST Rn, @aa:8     | 2          |                   |            | 1                  |                    |      |
| BXOR  | BXOR #xx:3, Rd     | 1          |                   |            |                    |                    |      |
|       | BXOR #xx:3, @Rd    | 2          |                   |            | 1                  |                    |      |
|       | BXOR #xx:3, @aa:8  | 2          |                   |            | 1                  |                    |      |
| CMP   | CMP.B #xx:8, Rd    | 1          |                   |            |                    |                    |      |
|       | CMP.B Rs, Rd       | 1          |                   |            |                    |                    |      |
|       | CMP.W Rs, Rd       | 1          |                   |            |                    |                    |      |

| 命令     | ニーモニック                | 命令<br>フェッチ | 分岐<br>アドレス<br>リード | スタック<br>操作 | バイト<br>データ<br>アクセス   | ワード<br>データ<br>アクセス | 内部動作 |
|--------|-----------------------|------------|-------------------|------------|----------------------|--------------------|------|
|        |                       | I          | J                 | K          | L                    | M                  | N    |
| DAA    | DAA.B Rd              | 1          |                   |            |                      |                    |      |
| DAS    | DAS.B Rd              | 1          |                   |            |                      |                    |      |
| DEC    | DEC.B Rd              | 1          |                   |            |                      |                    |      |
| DIVXU  | DIVXU.B Rs, Rd        | 1          |                   |            |                      |                    | 12   |
| EEPMOV | EEPMOV                | 2          |                   |            | 2n + 2* <sup>1</sup> |                    | 1    |
| INC    | INC.B Rd              | 1          |                   |            |                      |                    |      |
| JMP    | JMP @Rn               | 2          |                   |            |                      |                    |      |
|        | JMP @aa:16            | 2          |                   |            |                      |                    | 2    |
|        | JMP @@aa:8            | 2          | 1                 |            |                      |                    | 2    |
| JSR    | JSR @Rn               | 2          |                   | 1          |                      |                    |      |
|        | JSR @aa:16            | 2          |                   | 1          |                      |                    | 2    |
|        | JSR @@aa:8            | 2          | 1                 | 1          |                      |                    |      |
| LDC    | LDC #xx:8, CCR        | 1          |                   |            |                      |                    |      |
|        | LDC Rs, CCR           | 1          |                   |            |                      |                    |      |
| MOV    | MOV.B #xx:8, Rd       | 1          |                   |            |                      |                    |      |
|        | MOV.B Rs, Rd          | 1          |                   |            |                      |                    |      |
|        | MOV.B @Rs, Rd         | 1          |                   |            | 1                    |                    |      |
|        | MOV.B @(d:16, Rs), Rd | 2          |                   |            | 1                    |                    |      |
|        | MOV.B @Rs+, Rd        | 1          |                   |            | 1                    |                    | 2    |
|        | MOV.B @aa:8, Rd       | 1          |                   |            | 1                    |                    |      |
|        | MOV.B @aa:16, Rd      | 2          |                   |            | 1                    |                    |      |
|        | MOV.B Rs, @Rd         | 1          |                   |            | 1                    | 1                  | 2    |
|        | MOV.B Rs, @(d:16, Rd) | 2          |                   |            | 1                    | 1                  |      |
|        | MOV.B Rs, @-Rd        | 1          |                   |            | 1                    | 1                  |      |
|        | MOV.B Rs, @aa:8       | 1          |                   |            | 1                    | 1                  |      |
|        | MOV.B Rs, @aa:16      | 2          |                   |            | 1                    | 1                  |      |
|        | MOV.W #xx:16, Rd      | 2          |                   |            |                      | 1                  |      |
|        | MOV.W Rs, Rd          | 1          |                   |            |                      | 1                  |      |
|        | MOV.W @Rs, Rd         | 1          |                   |            |                      | 1                  | 2    |
|        | MOV.W @(d:16, Rs), Rd | 2          |                   |            |                      |                    |      |
|        | MOV.W @Rs+, Rd        | 1          |                   |            |                      |                    |      |
|        | MOV.W @aa:16, Rd      | 2          |                   |            |                      |                    |      |
|        | MOV.W Rs, @Rd         | 1          |                   |            |                      |                    | 2    |
|        | MOV.W Rs, @(d:16, Rd) | 2          |                   |            |                      |                    |      |
|        | MOV.W Rs, @-Rd        | 1          |                   |            |                      |                    |      |
|        | MOV.W Rs, @aa:16      | 2          |                   |            |                      |                    |      |
| MULXU  | MULXU.B Rs, Rd        | 1          |                   |            |                      |                    | 12   |
| NEG    | NEG.B Rd              | 1          |                   |            |                      |                    |      |
| NOP    | NOP                   | 1          |                   |            |                      |                    |      |
| NOT    | NOT.B Rd              | 1          |                   |            |                      |                    |      |
| OR     | OR.B #xx:8, Rd        | 1          |                   |            |                      |                    |      |
|        | OR.B Rs, Rd           | 1          |                   |            |                      |                    |      |

| 命令    | ニーモニック           | 命令<br>フェッチ | 分岐<br>アドレス<br>リード | スタック<br>操作 | バイト<br>データ<br>アクセス | ワード<br>データ<br>アクセス | 内部動作 |
|-------|------------------|------------|-------------------|------------|--------------------|--------------------|------|
|       |                  | I          | J                 | K          | L                  | M                  | N    |
| ORC   | ORC #xx:8, CCR   | 1          |                   |            |                    |                    |      |
| ROTL  | ROTL.B Rd        | 1          |                   |            |                    |                    |      |
| ROTR  | ROTR.B Rd        | 1          |                   |            |                    |                    |      |
| ROTXL | ROTXL.B Rd       | 1          |                   |            |                    |                    |      |
| ROTXR | ROTXR.B Rd       | 1          |                   |            |                    |                    |      |
| RTE   | RTE              | 2          |                   | 2          |                    |                    | 2    |
| RTS   | RTS              | 2          |                   | 1          |                    |                    | 2    |
| SHAL  | SHAL.B Rd        | 1          |                   |            |                    |                    |      |
| SHAR  | SHAR.B Rd        | 1          |                   |            |                    |                    |      |
| SHLL  | SHLL.B Rd        | 1          |                   |            |                    |                    |      |
| SHLR  | SHLR.B Rd        | 1          |                   |            |                    |                    |      |
| SLEEP | SLEEP            | 1          |                   |            |                    |                    |      |
| STC   | STC CCR, Rd      | 1          |                   |            |                    |                    |      |
| SUB   | SUB.B Rs, Rd     | 1          |                   |            |                    |                    |      |
|       | SUB.W Rs, Rd     | 1          |                   |            |                    |                    |      |
| SUBS  | SUBS.W #1, Rd    | 1          |                   |            |                    |                    |      |
|       | SUBS.W #2, Rd    | 1          |                   |            |                    |                    |      |
| POP   | POP Rd           | 1          |                   | 1          |                    |                    | 2    |
| PUSH  | PUSH Rs          | 1          |                   | 1          |                    |                    | 2    |
| SUBX  | SUBX.B #xx:8, Rd | 1          |                   |            |                    |                    |      |
|       | SUBX.B Rs, Rd    | 1          |                   |            |                    |                    |      |
| XOR   | XOR.B #xx:8, Rd  | 1          |                   |            |                    |                    |      |
|       | XOR.B Rs, Rd     | 1          |                   |            |                    |                    |      |
| XORC  | XORC #xx:8, CCR  | 1          |                   |            |                    |                    |      |

【注】 \*1 n は R4L の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n + 1) 回行われます。

## B. 内部 I/O レジスタ一覧

### B.1 アドレス一覧

#### B.1.1 H8/3857 グループ アドレス一覧

| 下位<br>アドレス | レジスタ名                | ビット名  |       |       |        |       |       |       |       | モジュール<br>名         |
|------------|----------------------|-------|-------|-------|--------|-------|-------|-------|-------|--------------------|
|            |                      | ビット7  | ビット6  | ビット5  | ビット4   | ビット3  | ビット2  | ビット1  | ビット0  |                    |
| H'80       | FLMCR1* <sup>1</sup> | FWE   | SWE   | —     | —      | EV    | PV    | E     | P     | フラッシュ<br>メモリ       |
| H'81       | FLMCR2* <sup>1</sup> | FLER  | —     | —     | —      | —     | —     | ESU   | PSU   |                    |
| H'82       |                      |       |       |       |        |       |       |       |       |                    |
| H'83       | EBR* <sup>1</sup>    | —     | EB6   | EB5   | EB4    | EB3   | EB2   | EB1   | EB0   |                    |
| H'84       |                      |       |       |       |        |       |       |       |       |                    |
| H'85       |                      |       |       |       |        |       |       |       |       |                    |
| H'86       |                      |       |       |       |        |       |       |       |       |                    |
| H'87       |                      |       |       |       |        |       |       |       |       |                    |
| H'88       |                      |       |       |       |        |       |       |       |       |                    |
| H'89       | MDCR* <sup>1</sup>   | —     | —     | —     | —      | —     | —     | TSDS2 | TSDS1 |                    |
| H'8A       |                      |       |       |       |        |       |       |       |       |                    |
| H'8B       |                      |       |       |       |        |       |       |       |       |                    |
| H'8C       |                      |       |       |       |        |       |       |       |       |                    |
| H'8D       |                      |       |       |       |        |       |       |       |       |                    |
| H'8E       |                      |       |       |       |        |       |       |       |       |                    |
| H'8F       | SYSCR3* <sup>1</sup> | —     | —     | —     | —      | FLSHE | —     | —     | —     | ウォッチ<br>ドッグ<br>タイマ |
| H'90       | TCSRW* <sup>2</sup>  | B6WI  | TCWE  | B4WI  | TCSRWE | B2WI  | WDON  | B0WI  | WRST  |                    |
| H'91       | TCW* <sup>2</sup>    | TCW7  | TCW6  | TCW5  | TCW4   | TCW3  | TCW2  | TCW1  | TCW0  |                    |
| H'92       | TMW* <sup>2</sup>    | —     | —     | —     | —      | —     | CKS2  | CKS1  | CKS0  |                    |
| H'93       |                      |       |       |       |        |       |       |       |       |                    |
| H'94       |                      |       |       |       |        |       |       |       |       |                    |
| H'95       |                      |       |       |       |        |       |       |       |       |                    |
| H'96       |                      |       |       |       |        |       |       |       |       |                    |
| H'97       |                      |       |       |       |        |       |       |       |       |                    |
| H'98       |                      |       |       |       |        |       |       |       |       |                    |
| H'99       |                      |       |       |       |        |       |       |       |       | SCI1               |
| H'9A       |                      |       |       |       |        |       |       |       |       |                    |
| H'9B       |                      |       |       |       |        |       |       |       |       |                    |
| H'9C       |                      |       |       |       |        |       |       |       |       |                    |
| H'9D       |                      |       |       |       |        |       |       |       |       |                    |
| H'9E       |                      |       |       |       |        |       |       |       |       |                    |
| H'9F       |                      |       |       |       |        |       |       |       |       |                    |
| H'A0       | SCR1                 | SNC1  | SNC0  | —     | —      | CKS3  | CKS2  | CKS1  | CKS0  |                    |
| H'A1       | SCSR1                | —     | SOL   | ORER  | —      | —     | —     | —     | STF   |                    |
| H'A2       | SDRU                 | SDRU7 | SDRU6 | SDRU5 | SDRU4  | SDRU3 | SDRU2 | SDRU1 | SDRU0 |                    |
| H'A3       | SDRL                 | SDRL7 | SDRL6 | SDRL5 | SDRL4  | SDRL3 | SDRL2 | SDRL1 | SDRL0 |                    |

| 下位<br>アドレス | レジスタ名   | ビット名          |               |               |               |               |               |               |               | モジュール<br>名 |
|------------|---------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|------------|
|            |         | ビット 7         | ビット 6         | ビット 5         | ビット 4         | ビット 3         | ビット 2         | ビット 1         | ビット 0         |            |
| H'A4       |         |               |               |               |               |               |               |               |               | SCI3       |
| H'A5       |         |               |               |               |               |               |               |               |               |            |
| H'A6       |         |               |               |               |               |               |               |               |               |            |
| H'A7       |         |               |               |               |               |               |               |               |               |            |
| H'A8       | SMR     | COM           | CHR           | PE            | PM            | STOP          | MP            | CKS1          | CKS0          |            |
| H'A9       | BRR     | BRR7          | BRR6          | BRR5          | BRR4          | BRR3          | BRR2          | BRR1          | BRR0          |            |
| H'AA       | SCR3    | TIE           | RIE           | TE            | RE            | MPIE          | TEIE          | CKE1          | CKE0          |            |
| H'AB       | TDR     | TDR7          | TDR6          | TDR5          | TDR4          | TDR3          | TDR2          | TDR1          | TDR0          |            |
| H'AC       | SSR     | TDRE          | RDRF          | OER           | FER           | PER           | TEND          | MPBR          | MPBT          | タイマ A      |
| H'AD       | RDR     | RDR7          | RDR6          | RDR5          | RDR4          | RDR3          | RDR2          | RDR1          | RDR0          |            |
| H'AE       |         |               |               |               |               |               |               |               |               |            |
| H'AF       |         |               |               |               |               |               |               |               |               |            |
| H'B0       | TMA     | TMA7          | TMA6          | TMA5          | —             | TMA3          | TMA2          | TMA1          | TMA0          |            |
| H'B1       | TCA     | TCA7          | TCA6          | TCA5          | TCA4          | TCA3          | TCA2          | TCA1          | TCA0          | タイマ B      |
| H'B2       | TMB     | TMB7          | —             | —             | —             | —             | TMB2          | TMB1          | TMB0          |            |
| H'B3       | TCB/TLB | TCB7/<br>TLB7 | TCB6/<br>TLB6 | TCB5/<br>TLB5 | TCB4/<br>TLB4 | TCB3/<br>TLB3 | TCB2/<br>TLB2 | TCB1/<br>TLB1 | TCB0/<br>TLB0 | タイマ C      |
| H'B4       | TMC     | TMC7          | TMC6          | TMC5          | —             | —             | TMC2          | TMC1          | TMC0          |            |
| H'B5       | TCC/TLC | TCC7/<br>TLC7 | TCC6/<br>TLC6 | TCC5/<br>TLC5 | TCC4/<br>TLC4 | TCC3/<br>TLC3 | TCC2/<br>TLC2 | TCC1/<br>TLC1 | TCC0/<br>TLC0 | タイマ F      |
| H'B6       | TCRF    | TOLH          | CKSH2         | CKSH1         | CKSH0         | TOLL          | CKSL2         | CKSL1         | CKSL0         |            |
| H'B7       | TCSRFB  | OVFH          | CMFH          | OVIEH         | CCLRHB        | OVFL          | CMFL          | OVIEL         | CCLRL         |            |
| H'B8       | TCFH    | TCFH7         | TCFH6         | TCFH5         | TCFH4         | TCFH3         | TCFH2         | TCFH1         | TCFH0         |            |
| H'B9       | TCFL    | TCFL7         | TCFL6         | TCFL5         | TCFL4         | TCFL3         | TCFL2         | TCFL1         | TCFL0         |            |
| H'BA       | OCRFB   | OCRFB7        | OCRFB6        | OCRFB5        | OCRFB4        | OCRFB3        | OCRFB2        | OCRFB1        | OCRFB0        |            |
| H'BB       | OCRFL   | OCRFL7        | OCRFL6        | OCRFL5        | OCRFL4        | OCRFL3        | OCRFL2        | OCRFL1        | OCRFL0        |            |
| H'BC       |         |               |               |               |               |               |               |               |               | A/D 変換器    |
| H'BD       |         |               |               |               |               |               |               |               |               |            |
| H'BE       |         |               |               |               |               |               |               |               |               |            |
| H'BF       |         |               |               |               |               |               |               |               |               |            |
| H'C0       |         |               |               |               |               |               |               |               |               |            |
| H'C1       |         |               |               |               |               |               |               |               |               |            |
| H'C2       |         |               |               |               |               |               |               |               |               |            |
| H'C3       |         |               |               |               |               |               |               |               |               |            |
| H'C4       | AMR     | CKS           | TRGE          | —             | —             | CH3           | CH2           | CH1           | CH0           | I/O ポート    |
| H'C5       | ADDR    | ADR7          | ADR6          | ADR5          | ADR4          | ADR3          | ADR2          | ADR1          | ADR0          |            |
| H'C6       | ADSR    | ADSF          | —             | —             | —             | —             | —             | —             | —             | I/O ポート    |
| H'C7       |         |               |               |               |               |               |               |               |               |            |
| H'C8       | PMR1    | IRQ3          | IRQ2          | IRQ1          | PWM           | —             | TMOFH         | TMOFL         | TMOW          |            |
| H'C9       | PMR2    | —             | —             | —             | —             | IRQ0          | POF1          | UD            | IRQ4          |            |
| H'CA       | PMR3    | —             | —             | —             | —             | —             | SO1           | SI1           | SCK1          |            |

| 下位<br>アドレス | レジスタ名 | ビット名               |                    |                    |                    |                    |                    |                    |                    | モジュール<br>名    |
|------------|-------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|---------------|
|            |       | ビット 7              | ビット 6              | ビット 5              | ビット 4              | ビット 3              | ビット 2              | ビット 1              | ビット 0              |               |
| H'CB       | PMR4  | NMOD7              | NMOD6              | NMOD5              | NMOD4              | NMOD3              | NMOD2              | NMOD1              | NMOD0              | I/O ポート       |
| H'CC       | PMR5  | WKP7               | WKP6               | WKP5               | WKP4               | WKP3               | WKP2               | WKP1               | WKP0               |               |
| H'CD       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'CE       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'CF       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'D0       | PWCR  | —                  | —                  | —                  | —                  | —                  | —                  | —                  | PWCR0              |               |
| H'D1       | PWDRU | —                  | —                  | PWDRU5             | PWDRU4             | PWDRU3             | PWDRU2             | PWDRU1             | PWDRU0             | 14 ビット<br>PWM |
| H'D2       | PWDRL | PWDRL7             | PWDRL6             | PWDRL5             | PWDRL4             | PWDRL3             | PWDRL2             | PWDRL1             | PWDRL0             |               |
| H'D3       |       |                    |                    |                    |                    |                    |                    |                    |                    | I/O ポート       |
| H'D4       | PDR1  | P1 <sub>7</sub>    | P1 <sub>6</sub>    | P1 <sub>5</sub>    | P1 <sub>4</sub>    | P1 <sub>3</sub>    | P1 <sub>2</sub>    | P1 <sub>1</sub>    | P1 <sub>0</sub>    |               |
| H'D5       | PDR2  | P2 <sub>7</sub>    | P2 <sub>6</sub>    | P2 <sub>5</sub>    | P2 <sub>4</sub>    | P2 <sub>3</sub>    | P2 <sub>2</sub>    | P2 <sub>1</sub>    | P2 <sub>0</sub>    |               |
| H'D6       | PDR3  | P3 <sub>7</sub>    | P3 <sub>6</sub>    | P3 <sub>5</sub>    | P3 <sub>4</sub>    | P3 <sub>3</sub>    | P3 <sub>2</sub>    | P3 <sub>1</sub>    | P3 <sub>0</sub>    |               |
| H'D7       | PDR4  | —                  | —                  | —                  | —                  | P4 <sub>3</sub>    | P4 <sub>2</sub>    | P4 <sub>1</sub>    | P4 <sub>0</sub>    |               |
| H'D8       | PDR5  | P5 <sub>7</sub>    | P5 <sub>6</sub>    | P5 <sub>5</sub>    | P5 <sub>4</sub>    | P5 <sub>3</sub>    | P5 <sub>2</sub>    | P5 <sub>1</sub>    | P5 <sub>0</sub>    |               |
| H'D9       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'DA       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'DB       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'DC       | PDR9  | P9 <sub>7</sub>    | P9 <sub>6</sub>    | P9 <sub>5</sub>    | P9 <sub>4</sub>    | P9 <sub>3</sub>    | P9 <sub>2</sub>    | P9 <sub>1</sub>    | P9 <sub>0</sub>    |               |
| H'DD       | PDRA  | —                  | —                  | —                  | —                  | PA <sub>3</sub>    | PA <sub>2</sub>    | PA <sub>1</sub>    | PA <sub>0</sub>    |               |
| H'DE       | PDRB  | PB <sub>7</sub>    | PB <sub>6</sub>    | PB <sub>5</sub>    | PB <sub>4</sub>    | PB <sub>3</sub>    | PB <sub>2</sub>    | PB <sub>1</sub>    | PB <sub>0</sub>    |               |
| H'DF       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'E0       | PUCR1 | PUCR1 <sub>7</sub> | PUCR1 <sub>6</sub> | PUCR1 <sub>5</sub> | PUCR1 <sub>4</sub> | PUCR1 <sub>3</sub> | PUCR1 <sub>2</sub> | PUCR1 <sub>1</sub> | PUCR1 <sub>0</sub> |               |
| H'E1       | PUCR3 | PUCR3 <sub>7</sub> | PUCR3 <sub>6</sub> | PUCR3 <sub>5</sub> | PUCR3 <sub>4</sub> | PUCR3 <sub>3</sub> | PUCR3 <sub>2</sub> | PUCR3 <sub>1</sub> | PUCR3 <sub>0</sub> |               |
| H'E2       | PUCR5 | PUCR5 <sub>7</sub> | PUCR5 <sub>6</sub> | PUCR5 <sub>5</sub> | PUCR5 <sub>4</sub> | PUCR5 <sub>3</sub> | PUCR5 <sub>2</sub> | PUCR5 <sub>1</sub> | PUCR5 <sub>0</sub> |               |
| H'E3       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'E4       | PCR1  | PCR1 <sub>7</sub>  | PCR1 <sub>6</sub>  | PCR1 <sub>5</sub>  | PCR1 <sub>4</sub>  | PCR1 <sub>3</sub>  | PCR1 <sub>2</sub>  | PCR1 <sub>1</sub>  | PCR1 <sub>0</sub>  |               |
| H'E5       | PCR2  | PCR2 <sub>7</sub>  | PCR2 <sub>6</sub>  | PCR2 <sub>5</sub>  | PCR2 <sub>4</sub>  | PCR2 <sub>3</sub>  | PCR2 <sub>2</sub>  | PCR2 <sub>1</sub>  | PCR2 <sub>0</sub>  |               |
| H'E6       | PCR3  | PCR3 <sub>7</sub>  | PCR3 <sub>6</sub>  | PCR3 <sub>5</sub>  | PCR3 <sub>4</sub>  | PCR3 <sub>3</sub>  | PCR3 <sub>2</sub>  | PCR3 <sub>1</sub>  | PCR3 <sub>0</sub>  |               |
| H'E7       | PCR4  | —                  | —                  | —                  | —                  | —                  | PCR4 <sub>2</sub>  | PCR4 <sub>1</sub>  | PCR4 <sub>0</sub>  |               |
| H'E8       | PCR5  | PCR5 <sub>7</sub>  | PCR5 <sub>6</sub>  | PCR5 <sub>5</sub>  | PCR5 <sub>4</sub>  | PCR5 <sub>3</sub>  | PCR5 <sub>2</sub>  | PCR5 <sub>1</sub>  | PCR5 <sub>0</sub>  |               |
| H'E9       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'EA       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'EB       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'EC       | PCR9  | PCR9 <sub>7</sub>  | PCR9 <sub>6</sub>  | PCR9 <sub>5</sub>  | PCR9 <sub>4</sub>  | PCR9 <sub>3</sub>  | PCR9 <sub>2</sub>  | PCR9 <sub>1</sub>  | PCR9 <sub>0</sub>  |               |
| H'ED       | PCRA  | —                  | —                  | —                  | —                  | PCRA <sub>3</sub>  | PCRA <sub>2</sub>  | PCRA <sub>1</sub>  | PCRA <sub>0</sub>  |               |
| H'EE       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |
| H'EF       |       |                    |                    |                    |                    |                    |                    |                    |                    |               |

| 下位   | レジスタ名  | ビット名   |        |        |       |         |         |        |        | モジュール名             |
|------|--------|--------|--------|--------|-------|---------|---------|--------|--------|--------------------|
|      |        | ビット7   | ビット6   | ビット5   | ビット4  | ビット3    | ビット2    | ビット1   | ビット0   |                    |
| H'F0 | SYSCR1 | SSBY   | STS2   | STS1   | STS0  | LSON    | —       | —      | —      | システム<br>コント<br>ロール |
| H'F1 | SYSCR2 | —      | —      | —      | NESEL | DTON    | MSON    | SA1    | SA0    |                    |
| H'F2 | IEGR   | —      | —      | —      | IEG4  | IEG3    | IEG2    | IEG1   | IEG0   |                    |
| H'F3 | IENR1  | IEN TA | IEN S1 | IEN WP | IEN 4 | IEN 3   | IEN 2   | IEN 1  | IEN 0  |                    |
| H'F4 | IENR2  | IEN DT | IEN AD | —      | —     | IEN TFH | IEN TFL | IEN TC | IEN TB |                    |
| H'F5 |        |        |        |        |       |         |         |        |        |                    |
| H'F6 | IRR1   | IRRTA  | IRRS1  | —      | IRRI4 | IRRI3   | IRRI2   | IRRI1  | IRRI0  |                    |
| H'F7 | IRR2   | IRRDT  | IRRAD  | —      | —     | IRRTFH  | IRRTFL  | IRRTC  | IRRTB  |                    |
| H'F8 |        |        |        |        |       |         |         |        |        |                    |
| H'F9 | IWPR   | IWPF7  | IWPF6  | IWPF5  | IWPF4 | IWPF3   | IWPF2   | IWPF1  | IWPF0  |                    |
| H'FA |        |        |        |        |       |         |         |        |        |                    |
| H'FB |        |        |        |        |       |         |         |        |        |                    |
| H'FC |        |        |        |        |       |         |         |        |        |                    |
| H'FD |        |        |        |        |       |         |         |        |        |                    |
| H'FE |        |        |        |        |       |         |         |        |        |                    |
| H'FF |        |        |        |        |       |         |         |        |        |                    |

## 【記号説明】

SCI1 : シリアルコミュニケーションインタフェース 1

SCI3 : シリアルコミュニケーションインタフェース 3

- 【注】 \*1 F-ZTAT 版に適用します。マスク ROM 版では MDCR 以外のレジスタのアドレスをリードすると常に 0 が読み出されます。MDCR のアドレスをリードすると不定値が読み出されます。
- \*2 F-ZTAT 版に適用します。マスク ROM 版では当該アドレスをリードすると常に 1 が読み出されます。ライトは無効です。

## B.1.2 H8/3854 グループ アドレス一覧

| 下位<br>アドレス | レジスタ名    | ビット名 |      |      |        |       |      |       |       | モジュール<br>名         |
|------------|----------|------|------|------|--------|-------|------|-------|-------|--------------------|
|            |          | ビット7 | ビット6 | ビット5 | ビット4   | ビット3  | ビット2 | ビット1  | ビット0  |                    |
| H'80       | FLMCR1*1 | FWE  | SWE  | —    | —      | EV    | PV   | E     | P     | フラッシュ<br>メモリ       |
| H'81       | FLMCR2*1 | FLER | —    | —    | —      | —     | —    | ESU   | PSU   |                    |
| H'82       |          |      |      |      |        |       |      |       |       |                    |
| H'83       | EBR*1    | —    | EB6  | EB5  | EB4    | EB3   | EB2  | EB1   | EB0   |                    |
| H'84       |          |      |      |      |        |       |      |       |       |                    |
| H'85       |          |      |      |      |        |       |      |       |       |                    |
| H'86       |          |      |      |      |        |       |      |       |       |                    |
| H'87       |          |      |      |      |        |       |      |       |       |                    |
| H'88       |          |      |      |      |        |       |      |       |       |                    |
| H'89       | MDCR*1   | —    | —    | —    | —      | —     | —    | TSDS2 | TSDS1 |                    |
| H'8A       |          |      |      |      |        |       |      |       |       |                    |
| H'8B       |          |      |      |      |        |       |      |       |       |                    |
| H'8C       |          |      |      |      |        |       |      |       |       |                    |
| H'8D       |          |      |      |      |        |       |      |       |       |                    |
| H'8E       |          |      |      |      |        |       |      |       |       |                    |
| H'8F       | SYSCR3*1 | —    | —    | —    | —      | FLSHE | —    | —     | —     |                    |
| H'90       | TCSRW*2  | B6WI | TCWE | B4WI | TCSRWE | B2WI  | WDON | B0WI  | WRST  | ウォッチ<br>ドッグ<br>タイマ |
| H'91       | TCW*2    | TCW7 | TCW6 | TCW5 | TCW4   | TCW3  | TCW2 | TCW1  | TCW0  |                    |
| H'92       | TMW*2    | —    | —    | —    | —      | —     | CKS2 | CKS1  | CKS0  |                    |
| H'93       |          |      |      |      |        |       |      |       |       |                    |
| H'94       |          |      |      |      |        |       |      |       |       |                    |
| H'95       |          |      |      |      |        |       |      |       |       |                    |
| H'96       |          |      |      |      |        |       |      |       |       |                    |
| H'97       |          |      |      |      |        |       |      |       |       |                    |
| H'98       |          |      |      |      |        |       |      |       |       |                    |
| H'99       |          |      |      |      |        |       |      |       |       |                    |
| H'9A       |          |      |      |      |        |       |      |       |       |                    |
| H'9B       |          |      |      |      |        |       |      |       |       |                    |
| H'9C       |          |      |      |      |        |       |      |       |       |                    |
| H'9D       |          |      |      |      |        |       |      |       |       |                    |
| H'9E       |          |      |      |      |        |       |      |       |       |                    |
| H'9F       |          |      |      |      |        |       |      |       |       |                    |
| H'A0       |          |      |      |      |        |       |      |       |       |                    |
| H'A1       |          |      |      |      |        |       |      |       |       |                    |
| H'A2       |          |      |      |      |        |       |      |       |       |                    |
| H'A3       |          |      |      |      |        |       |      |       |       |                    |
| H'A4       |          |      |      |      |        |       |      |       |       |                    |
| H'A5       |          |      |      |      |        |       |      |       |       |                    |
| H'A6       |          |      |      |      |        |       |      |       |       |                    |
| H'A7       |          |      |      |      |        |       |      |       |       |                    |

| 下位<br>アドレス | レジスタ名   | ビット名          |               |               |               |               |               |               |               | モジュール<br>名 |
|------------|---------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|------------|
|            |         | ビット 7         | ビット 6         | ビット 5         | ビット 4         | ビット 3         | ビット 2         | ビット 1         | ビット 0         |            |
| H'A8       | SMR     | COM           | CHR           | PE            | PM            | STOP          | MP            | CKS1          | CKS0          | SCI3       |
| H'A9       | BRR     | BRR7          | BRR6          | BRR5          | BRR4          | BRR3          | BRR2          | BRR1          | BRR0          |            |
| H'AA       | SCR3    | TIE           | RIE           | TE            | RE            | MPIE          | TEIE          | CKE1          | CKE0          |            |
| H'AB       | TDR     | TDR7          | TDR6          | TDR5          | TDR4          | TDR3          | TDR2          | TDR1          | TDR0          |            |
| H'AC       | SSR     | TDRE          | RDRF          | OER           | FER           | PER           | TEND          | MPBR          | MPBT          |            |
| H'AD       | RDR     | RDR7          | RDR6          | RDR5          | RDR4          | RDR3          | RDR2          | RDR1          | RDR0          |            |
| H'AE       |         |               |               |               |               |               |               |               |               |            |
| H'AF       |         |               |               |               |               |               |               |               |               |            |
| H'B0       | TMA     | TMA7          | TMA6          | TMA5          | —             | TMA3          | TMA2          | TMA1          | TMA0          | タイマ A      |
| H'B1       | TCA     | TCA7          | TCA6          | TCA5          | TCA4          | TCA3          | TCA2          | TCA1          | TCA0          | タイマ B      |
| H'B2       | TMB     | TMB7          | —             | —             | —             | —             | TMB2          | TMB1          | TMB0          |            |
| H'B3       | TCB/TLB | TCB7/<br>TLB7 | TCB6/<br>TLB6 | TCB5/<br>TLB5 | TCB4/<br>TLB4 | TCB3/<br>TLB3 | TCB2/<br>TLB2 | TCB1/<br>TLB1 | TCB0/<br>TLB0 |            |
| H'B4       |         |               |               |               |               |               |               |               |               |            |
| H'B5       |         |               |               |               |               |               |               |               |               |            |
| H'B6       | TCRF    | TOLH          | CKSH2         | CKSH1         | CKSH0         | TOLL          | CKSL2         | CKSL1         | CKSL0         | タイマ F      |
| H'B7       | TCSRf   | OVFH          | CMFH          | OVIEH         | CCLRH         | OVFL          | CMFL          | OVIEL         | CCLRL         |            |
| H'B8       | TCFH    | TCFH7         | TCFH6         | TCFH5         | TCFH4         | TCFH3         | TCFH2         | TCFH1         | TCFH0         |            |
| H'B9       | TCFL    | TCFL7         | TCFL6         | TCFL5         | TCFL4         | TCFL3         | TCFL2         | TCFL1         | TCFL0         |            |
| H'BA       | OCRFH   | OCRFH7        | OCRFH6        | OCRFH5        | OCRFH4        | OCRFH3        | OCRFH2        | OCRFH1        | OCRFH0        |            |
| H'BB       | OCRFL   | OCRFL7        | OCRFL6        | OCRFL5        | OCRFL4        | OCRFL3        | OCRFL2        | OCRFL1        | OCRFL0        |            |
| H'BC       |         |               |               |               |               |               |               |               |               |            |
| H'BD       |         |               |               |               |               |               |               |               |               |            |
| H'BE       |         |               |               |               |               |               |               |               |               |            |
| H'BF       |         |               |               |               |               |               |               |               |               |            |
| H'C0       |         |               |               |               |               |               |               |               |               |            |
| H'C1       |         |               |               |               |               |               |               |               |               |            |
| H'C2       |         |               |               |               |               |               |               |               |               |            |
| H'C3       |         |               |               |               |               |               |               |               |               |            |
| H'C4       | AMR     | CKS           | TRGE          | —             | —             | CH3           | CH2           | CH1           | CH0           | A/D 変換器    |
| H'C5       | ADDR    | ADR7          | ADR6          | ADR5          | ADR4          | ADR3          | ADR2          | ADR1          | ADR0          |            |
| H'C6       | ADSR    | ADSF          | —             | —             | —             | —             | —             | —             | —             |            |
| H'C7       |         |               |               |               |               |               |               |               |               | I/O ポート    |
| H'C8       | PMR1    | IRQ3          | —             | IRQ1          | —             | —             | TMOFH         | TMOFL         | TMOW          |            |
| H'C9       | PMR2    | —             | —             | —             | —             | IRQ0          | —             | —             | IRQ4          |            |
| H'CA       |         |               |               |               |               |               |               |               |               |            |
| H'CB       | PMR4    | NMOD7         | NMOD6         | NMOD5         | NMOD4         | NMOD3         | NMOD2         | NMOD1         | NMOD0         |            |
| H'CC       | PMR5    | WKP7          | WKP6          | WKP5          | WKP4          | WKP3          | WKP2          | WKP1          | WKP0          |            |
| H'CD       |         |               |               |               |               |               |               |               |               |            |
| H'CE       |         |               |               |               |               |               |               |               |               |            |
| H'CF       |         |               |               |               |               |               |               |               |               |            |
| H'D0       |         |               |               |               |               |               |               |               |               |            |

| 下位<br>アドレス | レジスタ名  | ビット名               |                    |                    |                    |                    |                    |                    |                    | モジュール<br>名         |
|------------|--------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|--------------------|
|            |        | ビット 7              | ビット 6              | ビット 5              | ビット 4              | ビット 3              | ビット 2              | ビット 1              | ビット 0              |                    |
| H'D1       |        |                    |                    |                    |                    |                    |                    |                    |                    | I/O ポート            |
| H'D2       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'D3       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'D4       | PDR1   | P1 <sub>7</sub>    | —                  | P1 <sub>5</sub>    | —                  | —                  | P1 <sub>2</sub>    | P1 <sub>1</sub>    | P1 <sub>0</sub>    |                    |
| H'D5       | PDR2   | P2 <sub>7</sub>    | P2 <sub>6</sub>    | P2 <sub>5</sub>    | P2 <sub>4</sub>    | P2 <sub>3</sub>    | P2 <sub>2</sub>    | P2 <sub>1</sub>    | P2 <sub>0</sub>    |                    |
| H'D6       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'D7       | PDR4   | —                  | —                  | —                  | —                  | P4 <sub>3</sub>    | P4 <sub>2</sub>    | P4 <sub>1</sub>    | P4 <sub>0</sub>    |                    |
| H'D8       | PDR5   | P5 <sub>7</sub>    | P5 <sub>6</sub>    | P5 <sub>5</sub>    | P5 <sub>4</sub>    | P5 <sub>3</sub>    | P5 <sub>2</sub>    | P5 <sub>1</sub>    | P5 <sub>0</sub>    |                    |
| H'D9       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'DA       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'DB       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'DC       | PDR9   | P9 <sub>7</sub>    | P9 <sub>6</sub>    | P9 <sub>5</sub>    | P9 <sub>4</sub>    | P9 <sub>3</sub>    | P9 <sub>2</sub>    | P9 <sub>1</sub>    | P9 <sub>0</sub>    |                    |
| H'DD       | PDRA   | —                  | —                  | —                  | —                  | PA <sub>3</sub>    | PA <sub>2</sub>    | PA <sub>1</sub>    | PA <sub>0</sub>    |                    |
| H'DE       | PDRB   | PB <sub>7</sub>    | PB <sub>6</sub>    | PB <sub>5</sub>    | PB <sub>4</sub>    | —                  | —                  | —                  | —                  |                    |
| H'DF       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'E0       | PUCR1  | PUCR1 <sub>7</sub> | —                  | PUCR1 <sub>5</sub> | —                  | —                  | PUCR1 <sub>2</sub> | PUCR1 <sub>1</sub> | PUCR1 <sub>0</sub> |                    |
| H'E1       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'E2       | PUCR5  | PUCR5 <sub>7</sub> | PUCR5 <sub>6</sub> | PUCR5 <sub>5</sub> | PUCR5 <sub>4</sub> | PUCR5 <sub>3</sub> | PUCR5 <sub>2</sub> | PUCR5 <sub>1</sub> | PUCR5 <sub>0</sub> |                    |
| H'E3       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'E4       | PCR1   | PCR1 <sub>7</sub>  | —                  | PCR1 <sub>5</sub>  | —                  | —                  | PCR1 <sub>2</sub>  | PCR1 <sub>1</sub>  | PCR1 <sub>0</sub>  |                    |
| H'E5       | PCR2   | PCR2 <sub>7</sub>  | PCR2 <sub>6</sub>  | PCR2 <sub>5</sub>  | PCR2 <sub>4</sub>  | PCR2 <sub>3</sub>  | PCR2 <sub>2</sub>  | PCR2 <sub>1</sub>  | PCR2 <sub>0</sub>  |                    |
| H'E6       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'E7       | PCR4   | —                  | —                  | —                  | —                  | —                  | PCR4 <sub>2</sub>  | PCR4 <sub>1</sub>  | PCR4 <sub>0</sub>  |                    |
| H'E8       | PCR5   | PCR5 <sub>7</sub>  | PCR5 <sub>6</sub>  | PCR5 <sub>5</sub>  | PCR5 <sub>4</sub>  | PCR5 <sub>3</sub>  | PCR5 <sub>2</sub>  | PCR5 <sub>1</sub>  | PCR5 <sub>0</sub>  |                    |
| H'E9       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'EA       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'EB       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'EC       | PCR9   | PCR9 <sub>7</sub>  | PCR9 <sub>6</sub>  | PCR9 <sub>5</sub>  | PCR9 <sub>4</sub>  | PCR9 <sub>3</sub>  | PCR9 <sub>2</sub>  | PCR9 <sub>1</sub>  | PCR9 <sub>0</sub>  |                    |
| H'ED       | PCRA   | —                  | —                  | —                  | —                  | PCRA <sub>3</sub>  | PCRA <sub>2</sub>  | PCRA <sub>1</sub>  | PCRA <sub>0</sub>  |                    |
| H'EE       |        |                    |                    |                    |                    |                    |                    |                    |                    | システム<br>コント<br>ロール |
| H'EF       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'F0       | SYSCR1 | SSBY               | STS2               | STS1               | STS0               | LSON               | —                  | —                  | —                  |                    |
| H'F1       | SYSCR2 | —                  | —                  | —                  | NESEL              | DTON               | MSON               | SA1                | SA0                |                    |
| H'F2       | IEGR   | —                  | —                  | —                  | IEG4               | IEG3               | —                  | IEG1               | IEG0               |                    |
| H'F3       | IENR1  | IEN TA             | —                  | IEN WP             | IEN 4              | IEN 3              | —                  | IEN 1              | IEN 0              |                    |
| H'F4       | IENR2  | IEN DT             | IEN AD             | —                  | —                  | IEN TFH            | IEN TFL            | —                  | IEN TB             |                    |
| H'F5       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'F6       | IRR1   | IRR TA             | —                  | —                  | IRRI 4             | IRRI 3             | —                  | IRRI 1             | IRRI 0             |                    |
| H'F7       | IRR2   | IRR DT             | IRR AD             | —                  | —                  | IRRT FH            | IRRT FL            | —                  | IRRT B             |                    |
| H'F8       |        |                    |                    |                    |                    |                    |                    |                    |                    |                    |
| H'F9       | IWPR   | IWPF7              | IWPF6              | IWPF5              | IWPF4              | IWPF3              | IWPF2              | IWPF1              | IWPF0              |                    |

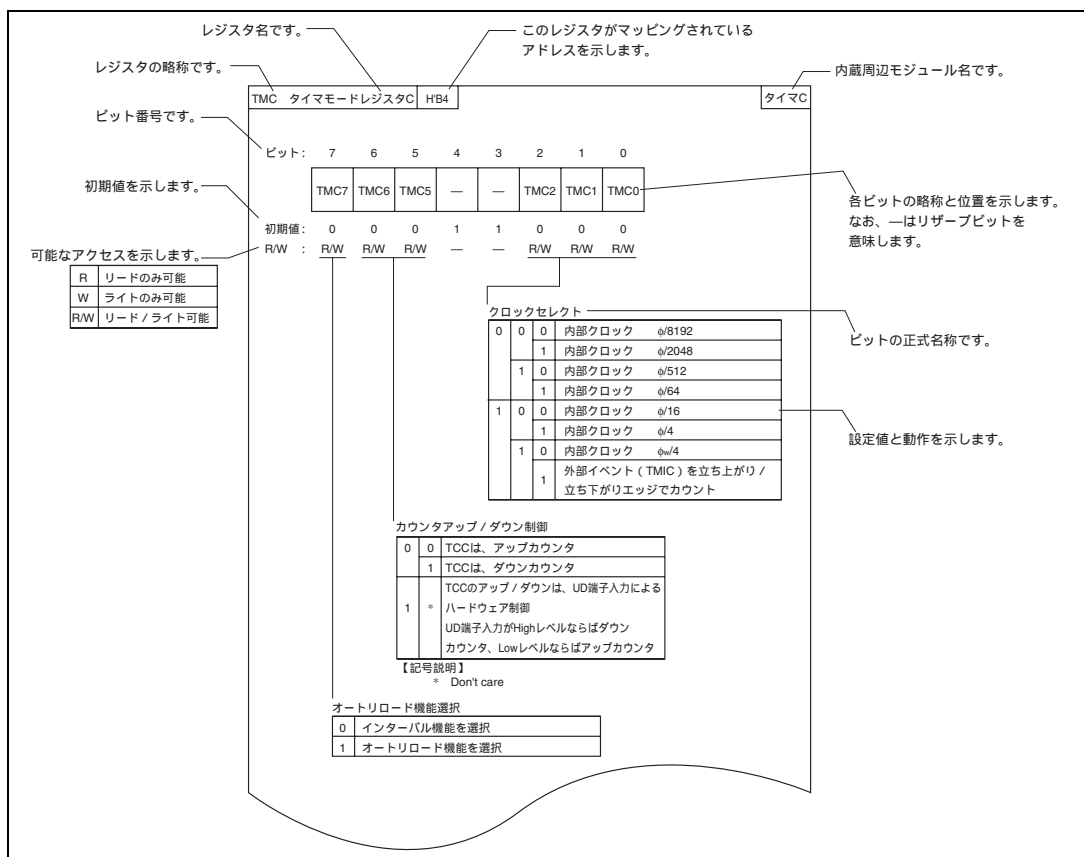
| 下位<br>アドレス | レジスタ名 | ビット名 |      |      |      |      |      |      |      | モジュール<br>名 |
|------------|-------|------|------|------|------|------|------|------|------|------------|
|            |       | ビット7 | ビット6 | ビット5 | ビット4 | ビット3 | ビット2 | ビット1 | ビット0 |            |
| H'FA       |       |      |      |      |      |      |      |      |      |            |
| H'FB       |       |      |      |      |      |      |      |      |      |            |
| H'FC       |       |      |      |      |      |      |      |      |      |            |
| H'FD       |       |      |      |      |      |      |      |      |      |            |
| H'FE       |       |      |      |      |      |      |      |      |      |            |
| H'FF       |       |      |      |      |      |      |      |      |      |            |

## 【記号説明】

SCI3 : シリアルコミュニケーションインタフェース 3

- 【注】 \*1 F-ZTAT 版に適用します。マスク ROM 版では MDCR 以外のレジスタのアドレスをリードすると常に 0 が読み出されます。MDCR のアドレスをリードすると不定値が読み出されます。
- \*2 F-ZTAT 版に適用します。マスク ROM 版では当該アドレスをリードすると常に 1 が読み出されます。ライトは無効です。

## B.2 機能一覧



|                                |     |     |   |   |      |     |                             |                                                             |
|--------------------------------|-----|-----|---|---|------|-----|-----------------------------|-------------------------------------------------------------|
| FLMCR1    フラッシュメモリコントロールレジスタ 1 |     |     |   |   | H'80 |     | フラッシュメモリ<br>(フラッシュメモリ内蔵版のみ) |                                                             |
| ビット：                           | 7   | 6   | 5 | 4 | 3    | 2   | 1                           | 0                                                           |
|                                | FWE | SWE | — | — | EV   | PV  | E                           | P                                                           |
| 初期値：                           | —*  | 0   | 0 | 0 | 0    | 0   | 0                           | 0                                                           |
| R/W：                           | R   | R/W | — | — | R/W  | R/W | R/W                         | R/W                                                         |
|                                |     |     |   |   |      |     |                             | プログラム                                                       |
|                                |     |     |   |   |      |     |                             | 0    プログラムモードを解除                                            |
|                                |     |     |   |   |      |     |                             | 1    プログラムモードに遷移<br>[ セット条件 ]<br>FWE = 1、SWE = 1、PSU = 1のとき |
|                                |     |     |   |   |      |     |                             | イレース                                                        |
|                                |     |     |   |   |      |     |                             | 0    イレースモードを解除                                             |
|                                |     |     |   |   |      |     |                             | 1    イレースモードに遷移<br>[ セット条件 ]<br>FWE = 1、SWE = 1、ESU = 1のとき  |
|                                |     |     |   |   |      |     |                             | プログラムベリファイ                                                  |
|                                |     |     |   |   |      |     |                             | 0    プログラムベリファイモードを解除                                       |
|                                |     |     |   |   |      |     |                             | 1    プログラムベリファイモードに遷移<br>[ セット条件 ] FWE = 1、SWE = 1のとき       |
|                                |     |     |   |   |      |     |                             | イレースベリファイ                                                   |
|                                |     |     |   |   |      |     |                             | 0    イレースベリファイモードを解除                                        |
|                                |     |     |   |   |      |     |                             | 1    イレースベリファイモードに遷移<br>[ セット条件 ] FWE = 1、SWE = 1のとき        |
|                                |     |     |   |   |      |     |                             | ソフトウェアライトイネーブル                                              |
|                                |     |     |   |   |      |     |                             | 0    書き込み無効                                                 |
|                                |     |     |   |   |      |     |                             | 1    書き込み有効<br>[ セット条件 ] FWE = 1のとき                         |
|                                |     |     |   |   |      |     |                             | フラッシュライトイネーブル                                               |
|                                |     |     |   |   |      |     |                             | 0    FWE端子にLowレベルが入力されているとき<br>(ハードウェアプロテクト状態)              |
|                                |     |     |   |   |      |     |                             | 1    FWE端子にHighレベルが入力されているとき                                |
| 【注】 *    FWE端子の状態により決定されます。    |     |     |   |   |      |     |                             |                                                             |

|                                |                                                                                                                            |   |   |   |   |      |             |                                                |  |
|--------------------------------|----------------------------------------------------------------------------------------------------------------------------|---|---|---|---|------|-------------|------------------------------------------------|--|
| FLMCR2    フラッシュメモリコントロールレジスタ 2 |                                                                                                                            |   |   |   |   | H'81 |             | フラッシュメモリ<br>(フラッシュメモリ内蔵版のみ)                    |  |
| ビット :                          | 7                                                                                                                          | 6 | 5 | 4 | 3 | 2    | 1           | 0                                              |  |
|                                | FLER                                                                                                                       | — | — | — | — | —    | ESU         | PSU                                            |  |
| 初期値 :                          | 0                                                                                                                          | 0 | 0 | 0 | 0 | 0    | 0           | 0                                              |  |
| R/W :                          | R                                                                                                                          | — | — | — | — | —    | R/W         | R/W                                            |  |
|                                |                                                                                                                            |   |   |   |   |      | プログラムセットアップ |                                                |  |
|                                |                                                                                                                            |   |   |   |   |      | 0           | プログラムセットアップ解除                                  |  |
|                                |                                                                                                                            |   |   |   |   |      | 1           | プログラムセットアップ<br>[ セット条件 ]<br>FWE = 1、SWE = 1のとき |  |
|                                |                                                                                                                            |   |   |   |   |      | イレースセットアップ  |                                                |  |
|                                |                                                                                                                            |   |   |   |   |      | 0           | イレースセットアップ解除                                   |  |
|                                |                                                                                                                            |   |   |   |   |      | 1           | イレースセットアップ<br>[ セット条件 ]<br>FWE = 1、SWE = 1のとき  |  |
| フラッシュメモリエラー                    |                                                                                                                            |   |   |   |   |      |             |                                                |  |
| 0                              | フラッシュメモリは正常に動作しています。<br>フラッシュメモリへの書き込み / 消去プロテクト<br>(エラープロテクト) が無効<br>[ クリア条件 ]<br>リセットまたはハードウェアスタンバイモードのとき                |   |   |   |   |      |             |                                                |  |
| 1                              | フラッシュメモリへの書き込み / 消去中にエラーが発生<br>したことを示します。<br>フラッシュメモリへの書き込み / 消去プロテクト<br>(エラープロテクト) が有効<br>[ セット条件 ]<br>「6.6.3 エラープロテクト」参照 |   |   |   |   |      |             |                                                |  |

|                  |   |      |     |                             |     |     |     |     |
|------------------|---|------|-----|-----------------------------|-----|-----|-----|-----|
| EBR 消去ブロック指定レジスタ |   | H'83 |     | フラッシュメモリ<br>(フラッシュメモリ内蔵版のみ) |     |     |     |     |
| ビット：             | 7 | 6    | 5   | 4                           | 3   | 2   | 1   | 0   |
|                  | — | EB6  | EB5 | EB4                         | EB3 | EB2 | EB1 | EB0 |
| 初期値：             | 0 | 0    | 0   | 0                           | 0   | 0   | 0   | 0   |
| R/W：             | — | R/W  | R/W | R/W                         | R/W | R/W | R/W | R/W |

消去ブロックの分割

| ブロック（サイズ）   | アドレス          |
|-------------|---------------|
| EB0（1Kバイト）  | H'0000～H'03FF |
| EB1（1Kバイト）  | H'0400～H'07FF |
| EB2（1Kバイト）  | H'0800～H'0BFF |
| EB3（1Kバイト）  | H'0C00～H'0FFF |
| EB4（28Kバイト） | H'1000～H'7FFF |
| EB5（16Kバイト） | H'8000～H'BFFF |
| EB6（12Kバイト） | H'C000～H'EDFF |

|                               |   |   |   |      |   |                             |          |       |
|-------------------------------|---|---|---|------|---|-----------------------------|----------|-------|
| MDCR   モードコントロールレジスタ          |   |   |   | H'89 |   | フラッシュメモリ<br>(フラッシュメモリ内蔵版のみ) |          |       |
| ビット：                          | 7 | 6 | 5 | 4    | 3 | 2                           | 1        | 0     |
|                               | — | — | — | —    | — | —                           | TSDS2    | TSDS1 |
| 初期値：                          | 0 | 0 | 0 | 0    | 0 | 0                           | —*       | —*    |
| R/W：                          | — | — | — | —    | — | —                           | R        | R     |
|                               |   |   |   |      |   |                             | テスト端子モニタ |       |
| 【注】*   TEST2、TEST端子により決定されます。 |   |   |   |      |   |                             |          |       |

|                           |   |   |   |      |                         |                             |   |   |
|---------------------------|---|---|---|------|-------------------------|-----------------------------|---|---|
| SYSCR3   システムコントロールレジスタ 3 |   |   |   | H'8F |                         | フラッシュメモリ<br>(フラッシュメモリ内蔵版のみ) |   |   |
| ビット：                      | 7 | 6 | 5 | 4    | 3                       | 2                           | 1 | 0 |
|                           | — | — | — | —    | FLSHE                   | —                           | — | — |
| 初期値：                      | 0 | 0 | 0 | 0    | 0                       | 0                           | 0 | 0 |
| R/W：                      | — | — | — | —    | R/W                     | —                           | — | — |
|                           |   |   |   |      | フラッシュメモリコントロールレジスタイネーブル |                             |   |   |
|                           |   |   |   |      | 0                       | フラッシュメモリの制御レジスタは非選択状態       |   |   |
|                           |   |   |   |      | 1                       | フラッシュメモリの制御レジスタは選択状態        |   |   |

|                                  |                                                                                    |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
|----------------------------------|------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|------|--------|------|--------|-------------------------------|--------|---|------------------------------------------------------------------------------------|---|----------------------------------------|
| TCSRW    タイマコントロール / ステータスレジスタ W |                                                                                    |                                                                                                                                                                                                                               |        |      |        | H'90 |        | ウォッチドッグタイマ<br>(フラッシュメモリ内蔵版のみ) |        |   |                                                                                    |   |                                        |
| ビット :                            |                                                                                    | 7                                                                                                                                                                                                                             | 6      | 5    | 4      | 3    | 2      | 1                             | 0      |   |                                                                                    |   |                                        |
|                                  |                                                                                    | B6WI                                                                                                                                                                                                                          | TCWE   | B4WI | TCSRWE | B2WI | WDON   | B0WI                          | WRST   |   |                                                                                    |   |                                        |
| 初期値 :                            |                                                                                    | 1                                                                                                                                                                                                                             | 0      | 1    | 0      | 1    | 0      | 1                             | 0      |   |                                                                                    |   |                                        |
| R/W :                            |                                                                                    | R                                                                                                                                                                                                                             | R/(W)* | R    | R/(W)* | R    | R/(W)* | R                             | R/(W)* |   |                                                                                    |   |                                        |
|                                  |                                                                                    | <div>ウォッチドッグタイマリセット</div> <table><tr><td>0</td><td>[クリア条件]<br/>(1) RES端子によるリセット<br/>(2) TCSRWE = 1の状態 でB0WIに0をライトしながら<br/>WRSTに0をライトしたとき</td></tr><tr><td>1</td><td>[セット条件]<br/>TCWがオーバフローし、内部リセット信号が発生したとき</td></tr></table> |        |      |        |      |        |                               |        | 0 | [クリア条件]<br>(1) RES端子によるリセット<br>(2) TCSRWE = 1の状態 でB0WIに0をライトしながら<br>WRSTに0をライトしたとき | 1 | [セット条件]<br>TCWがオーバフローし、内部リセット信号が発生したとき |
| 0                                | [クリア条件]<br>(1) RES端子によるリセット<br>(2) TCSRWE = 1の状態 でB0WIに0をライトしながら<br>WRSTに0をライトしたとき |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 1                                | [セット条件]<br>TCWがオーバフローし、内部リセット信号が発生したとき                                             |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
|                                  |                                                                                    | <div>ビット0書き込み禁止</div> <table><tr><td>0</td><td>ビット0への書き込みを許可</td></tr><tr><td>1</td><td>ビット0への書き込みを禁止</td></tr></table>                                                                                                       |        |      |        |      |        |                               |        | 0 | ビット0への書き込みを許可                                                                      | 1 | ビット0への書き込みを禁止                          |
| 0                                | ビット0への書き込みを許可                                                                      |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 1                                | ビット0への書き込みを禁止                                                                      |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
|                                  |                                                                                    | <div>ウォッチドッグタイマオン</div> <table><tr><td>0</td><td>ウォッチドッグタイマの動作を禁止</td></tr><tr><td>1</td><td>ウォッチドッグタイマの動作を許可</td></tr></table>                                                                                               |        |      |        |      |        |                               |        | 0 | ウォッチドッグタイマの動作を禁止                                                                   | 1 | ウォッチドッグタイマの動作を許可                       |
| 0                                | ウォッチドッグタイマの動作を禁止                                                                   |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 1                                | ウォッチドッグタイマの動作を許可                                                                   |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
|                                  |                                                                                    | <div>ビット2書き込み禁止</div> <table><tr><td>0</td><td>ビット2への書き込みを許可</td></tr><tr><td>1</td><td>ビット2への書き込みを禁止</td></tr></table>                                                                                                       |        |      |        |      |        |                               |        | 0 | ビット2への書き込みを許可                                                                      | 1 | ビット2への書き込みを禁止                          |
| 0                                | ビット2への書き込みを許可                                                                      |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 1                                | ビット2への書き込みを禁止                                                                      |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
|                                  |                                                                                    | <div>タイマコントロール / ステータスレジスタW書き込み許可</div> <table><tr><td>0</td><td>ビット2およびビット0への書き込みを禁止</td></tr><tr><td>1</td><td>ビット2およびビット0への書き込みを許可</td></tr></table>                                                                       |        |      |        |      |        |                               |        | 0 | ビット2およびビット0への書き込みを禁止                                                               | 1 | ビット2およびビット0への書き込みを許可                   |
| 0                                | ビット2およびビット0への書き込みを禁止                                                               |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 1                                | ビット2およびビット0への書き込みを許可                                                               |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
|                                  |                                                                                    | <div>ビット4書き込み禁止</div> <table><tr><td>0</td><td>ビット4への書き込みを許可</td></tr><tr><td>1</td><td>ビット4への書き込みを禁止</td></tr></table>                                                                                                       |        |      |        |      |        |                               |        | 0 | ビット4への書き込みを許可                                                                      | 1 | ビット4への書き込みを禁止                          |
| 0                                | ビット4への書き込みを許可                                                                      |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 1                                | ビット4への書き込みを禁止                                                                      |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
|                                  |                                                                                    | <div>タイマカウンタW書き込み許可</div> <table><tr><td>0</td><td>TCWへのデータ書き込みを禁止</td></tr><tr><td>1</td><td>TCWへのデータ書き込みを許可</td></tr></table>                                                                                               |        |      |        |      |        |                               |        | 0 | TCWへのデータ書き込みを禁止                                                                    | 1 | TCWへのデータ書き込みを許可                        |
| 0                                | TCWへのデータ書き込みを禁止                                                                    |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 1                                | TCWへのデータ書き込みを許可                                                                    |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
|                                  |                                                                                    | <div>ビット6書き込み禁止</div> <table><tr><td>0</td><td>ビット6への書き込みを許可</td></tr><tr><td>1</td><td>ビット6への書き込みを禁止</td></tr></table>                                                                                                       |        |      |        |      |        |                               |        | 0 | ビット6への書き込みを許可                                                                      | 1 | ビット6への書き込みを禁止                          |
| 0                                | ビット6への書き込みを許可                                                                      |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 1                                | ビット6への書き込みを禁止                                                                      |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |
| 【注】*    書き込み条件が成立している場合にのみライト可能  |                                                                                    |                                                                                                                                                                                                                               |        |      |        |      |        |                               |        |   |                                                                                    |   |                                        |

|                  |  |      |      |      |                               |      |      |      |      |
|------------------|--|------|------|------|-------------------------------|------|------|------|------|
| TCW    タイマカウンタ W |  |      | H'91 |      | ウォッチドッグタイマ<br>(フラッシュメモリ内蔵版のみ) |      |      |      |      |
| ビット：             |  | 7    | 6    | 5    | 4                             | 3    | 2    | 1    | 0    |
|                  |  | TCW7 | TCW6 | TCW5 | TCW4                          | TCW3 | TCW2 | TCW1 | TCW0 |
| 初期値：             |  | 0    | 0    | 0    | 0                             | 0    | 0    | 0    | 0    |
| R/W：             |  | R/W  | R/W  | R/W  | R/W                           | R/W  | R/W  | R/W  | R/W  |
|                  |  |      |      |      |                               |      |      |      |      |
|                  |  |      |      |      | カウント値                         |      |      |      |      |

|                     |  |      |   |      |      |                         |                               |      |      |
|---------------------|--|------|---|------|------|-------------------------|-------------------------------|------|------|
| TMW    タイマモードレジスタ W |  |      |   |      | H'92 |                         | ウォッチドッグタイマ<br>(フラッシュメモリ内蔵版のみ) |      |      |
| ビット：                |  | 7    | 6 | 5    | 4    | 3                       | 2                             | 1    | 0    |
|                     |  | —    | — | —    | —    | —                       | CKS2                          | CKS1 | CKS0 |
| 初期値：                |  | 1    | 1 | 1    | 1    | 1                       | 1                             | 1    | 1    |
| R/W：                |  | —    | — | —    | —    | —                       | R/W                           | R/W  | R/W  |
| <div>クロックセレクト</div> |  |      |   |      |      |                         |                               |      |      |
| ビット2                |  | ビット1 |   | ビット0 |      | 説明                      |                               |      |      |
| CKS2                |  | CKS1 |   | CKS0 |      |                         |                               |      |      |
| 0                   |  | 0    |   | 0    |      | 内部クロック：φ/64でカウント        |                               |      |      |
|                     |  |      |   | 1    |      | 内部クロック：φ/128でカウント       |                               |      |      |
|                     |  | 1    |   | 0    |      | 内部クロック：φ/256でカウント       |                               |      |      |
|                     |  |      |   | 1    |      | 内部クロック：φ/512でカウント       |                               |      |      |
| 1                   |  | 0    |   | 0    |      | 内部クロック：φ/1024でカウント      |                               |      |      |
|                     |  |      |   | 1    |      | 内部クロック：φ/2048でカウント      |                               |      |      |
|                     |  | 1    |   | 0    |      | 内部クロック：φ/4096でカウント      |                               |      |      |
|                     |  |      |   | 1    |      | 内部クロック：φ/8192でカウント（初期値） |                               |      |      |

【注】    TMWは、8ビットのリード／ライト可能なレジスタで、入力クロックの選択を行います。  
リセット時、TMWはH'FFに初期化されます。

【注】 TMWは、8ビットのリード/ライト可能なレジスタで、入力クロックの選択を行います。  
リセット時、TMWはH'FFに初期化されます。



|                            |  |                                         |                                  |        |      |   |                            |   |     |
|----------------------------|--|-----------------------------------------|----------------------------------|--------|------|---|----------------------------|---|-----|
| SCSR1 シリアルコントロールステータスレジスタ1 |  |                                         |                                  |        | H'A1 |   | SCI1<br>( H8/3857 グループのみ ) |   |     |
| ビット :                      |  | 7                                       | 6                                | 5      | 4    | 3 | 2                          | 1 | 0   |
|                            |  | —                                       | SOL                              | ORER   | —    | — | —                          | — | STF |
| 初期値 :                      |  | 1                                       | 0                                | 0      | 0    | 0 | 0                          | 0 | 0   |
| R/W :                      |  | —                                       | R/W                              | R/(W)* | —    | — | —                          | — | R/W |
|                            |  |                                         |                                  |        |      |   |                            |   |     |
| スタートフラグ                    |  |                                         |                                  |        |      |   |                            |   |     |
| 0                          |  | リード時                                    | 転送動作は停止                          |        |      |   |                            |   |     |
|                            |  | ライト時                                    | 無効                               |        |      |   |                            |   |     |
| 1                          |  | リード時                                    | 転送動作中                            |        |      |   |                            |   |     |
|                            |  | ライト時                                    | 転送動作を開始                          |        |      |   |                            |   |     |
|                            |  |                                         |                                  |        |      |   |                            |   |     |
| オーバランエラーフラグ                |  |                                         |                                  |        |      |   |                            |   |     |
| 0                          |  | [クリア条件]<br>1をリード後、0をライトしたとき             |                                  |        |      |   |                            |   |     |
|                            |  | [セット条件]<br>外部クロック使用時、転送完了後もクロックが入力されたとき |                                  |        |      |   |                            |   |     |
|                            |  |                                         |                                  |        |      |   |                            |   |     |
| 拡張データビット                   |  |                                         |                                  |        |      |   |                            |   |     |
| 0                          |  | リード時                                    | SO <sub>1</sub> 端子の出力がLowレベル     |        |      |   |                            |   |     |
|                            |  | ライト時                                    | SO <sub>1</sub> 端子の出力をLowレベルに変更  |        |      |   |                            |   |     |
| 1                          |  | リード時                                    | SO <sub>1</sub> 端子の出力がHighレベル    |        |      |   |                            |   |     |
|                            |  | ライト時                                    | SO <sub>1</sub> 端子の出力をHighレベルに変更 |        |      |   |                            |   |     |
|                            |  |                                         |                                  |        |      |   |                            |   |     |
| 【注】* フラグをクリアするための0ライトのみ可能  |  |                                         |                                  |        |      |   |                            |   |     |

|                    |  |                                                                       |                            |       |       |       |       |       |       |
|--------------------|--|-----------------------------------------------------------------------|----------------------------|-------|-------|-------|-------|-------|-------|
| SDRU シリアルデータレジスタ U |  | H'A2                                                                  | SCI1<br>( H8/3857 グループのみ ) |       |       |       |       |       |       |
| ビット :              |  | 7                                                                     | 6                          | 5     | 4     | 3     | 2     | 1     | 0     |
|                    |  | SDRU7                                                                 | SDRU6                      | SDRU5 | SDRU4 | SDRU3 | SDRU2 | SDRU1 | SDRU0 |
| 初期値 :              |  | 不定                                                                    | 不定                         | 不定    | 不定    | 不定    | 不定    | 不定    | 不定    |
| R/W :              |  | R/W                                                                   | R/W                        | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   |
|                    |  | 送信データの設定、受信データの格納に使用<br>8ビット転送モード : 未使用<br>16ビット転送モード : データレジスタ上位8ビット |                            |       |       |       |       |       |       |

|                    |  |                                                                           |                            |       |       |       |       |       |       |
|--------------------|--|---------------------------------------------------------------------------|----------------------------|-------|-------|-------|-------|-------|-------|
| SDRL シリアルデータレジスタ L |  | H'A3                                                                      | SCI1<br>( H8/3857 グループのみ ) |       |       |       |       |       |       |
| ビット :              |  | 7                                                                         | 6                          | 5     | 4     | 3     | 2     | 1     | 0     |
|                    |  | SDRL7                                                                     | SDRL6                      | SDRL5 | SDRL4 | SDRL3 | SDRL2 | SDRL1 | SDRL0 |
| 初期値 :              |  | 不定                                                                        | 不定                         | 不定    | 不定    | 不定    | 不定    | 不定    | 不定    |
| R/W :              |  | R/W                                                                       | R/W                        | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   |
|                    |  | 送信データの設定、受信データの格納に使用<br>8ビット転送モード : データレジスタ<br>16ビット転送モード : データレジスタ下位8ビット |                            |       |       |       |       |       |       |

|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  |              |  |                      |  |          |  |
|------------------------------------------------------------------------------------------------------|--|-----|--|------|--|-----|--|------|--|-----|--|--------------|--|----------------------|--|----------|--|
| SMR    シリアルモードレジスタ                                                                                   |  |     |  | H'A8 |  |     |  | SCI3 |  |     |  |              |  |                      |  |          |  |
| ビット：    7            6            5            4            3            2            1            0 |  |     |  |      |  |     |  |      |  |     |  |              |  |                      |  |          |  |
| COM                                                                                                  |  | CHR |  | PE   |  | PM  |  | STOP |  | MP  |  | CKS1         |  | CKS0                 |  |          |  |
| 初期値：    0                                                                                            |  | 0   |  | 0    |  | 0   |  | 0    |  | 0   |  | 0            |  | 0                    |  |          |  |
| R/W    :    R/W                                                                                      |  | R/W |  | R/W  |  | R/W |  | R/W  |  | R/W |  | R/W          |  | R/W                  |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | クロックセレクト1、 0 |  |                      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 0            |  | 0                    |  | φクロック    |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  |              |  | 1                    |  | φ/4クロック  |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 1            |  | 0                    |  | φ/16クロック |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  |              |  | 1                    |  | φ/64クロック |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | マルチプロセッサモード  |  |                      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 0            |  | マルチプロセッサ通信機能を禁止      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 1            |  | マルチプロセッサ通信機能を許可      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | ストップビットレングス  |  |                      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 0            |  | 1ストップビット             |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 1            |  | 2ストップビット             |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | パリティモード      |  |                      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 0            |  | 偶数パリティ               |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 1            |  | 奇数パリティ               |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | パリティイネーブル    |  |                      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 0            |  | パリティビットの付加およびチェックを禁止 |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 1            |  | パリティビットの付加およびチェックを許可 |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | キャラクタレングス    |  |                      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 0            |  | 8ビットデータ              |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 1            |  | 7ビットデータ              |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | コミュニケーションモード |  |                      |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 0            |  | 調歩同期式モード             |  |          |  |
|                                                                                                      |  |     |  |      |  |     |  |      |  |     |  | 1            |  | クロック同期式モード           |  |          |  |

|                                                                                                      |  |      |  |      |  |      |  |      |  |      |  |      |  |      |  |
|------------------------------------------------------------------------------------------------------|--|------|--|------|--|------|--|------|--|------|--|------|--|------|--|
| BRR    ビットレートレジスタ                                                                                    |  |      |  | H'A9 |  |      |  | SCI3 |  |      |  |      |  |      |  |
| ビット：    7            6            5            4            3            2            1            0 |  |      |  |      |  |      |  |      |  |      |  |      |  |      |  |
| BRR7                                                                                                 |  | BRR6 |  | BRR5 |  | BRR4 |  | BRR3 |  | BRR2 |  | BRR1 |  | BRR0 |  |
| 初期値：    1                                                                                            |  | 1    |  | 1    |  | 1    |  | 1    |  | 1    |  | 1    |  | 1    |  |
| R/W    :    R/W                                                                                      |  | R/W  |  | R/W  |  | R/W  |  | R/W  |  | R/W  |  | R/W  |  | R/W  |  |

SCR3 シリアルコントロールレジスタ 3

H'AA

SCI3

ビット : 7 6 5 4 3 2 1 0

|     |     |    |    |      |      |      |      |
|-----|-----|----|----|------|------|------|------|
| TIE | RIE | TE | RE | MPIE | TEIE | CKE1 | CKE0 |
|-----|-----|----|----|------|------|------|------|

初期値 : 0 0 0 0 0 0 0 0  
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

クロックイネーブル

| ビット1 | ビット0 | 説明           |                     |                       |
|------|------|--------------|---------------------|-----------------------|
| CKE1 | CKE0 | コミュニケーションモード | クロックソース             | SCK <sub>3</sub> 端子機能 |
| 0    | 0    | 調歩同期式        | 内部クロック              | 入出力ポート                |
|      |      | クロック同期式      | 内部クロック              | 同期クロック出力              |
|      | 1    | 調歩同期式        | 内部クロック              | クロック出力                |
| 1    | 0    | クロック同期式      | リザーブ (本組み合わせは指定しない) |                       |
|      |      | 調歩同期式        | 外部クロック              | クロック出力                |
|      | 1    | クロック同期式      | 外部クロック              | 同期クロック入力              |
|      | 1    | 調歩同期式        | リザーブ (本組み合わせは指定しない) |                       |
|      |      | クロック同期式      | リザーブ (本組み合わせは指定しない) |                       |

トランスミットエンドインタラプトイネーブル

|   |                      |
|---|----------------------|
| 0 | 送信終了割り込み要求 (TEI) を禁止 |
| 1 | 送信終了割り込み要求 (TEI) を許可 |

マルチプロセッサインタラプトイネーブル

|   |                                                                                                                                             |
|---|---------------------------------------------------------------------------------------------------------------------------------------------|
| 0 | マルチプロセッサ割り込み要求を禁止 (通常の受信動作)<br>[クリア条件]<br>マルチプロセッサビットが1のデータを受信したとき                                                                          |
| 1 | マルチプロセッサ割り込み要求を許可<br>マルチプロセッサビットが1のデータを受け取るまで受信割り込み<br>要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアル<br>ステータスレジスタ (SSR) のRDRE、FER、OERの各フラグの<br>セットを禁止 |

レシーブイネーブル

|   |                           |
|---|---------------------------|
| 0 | 受信動作を禁止 (RXD端子は入出力ポート)    |
| 1 | 受信動作を許可 (RXD端子はレシーブデータ端子) |

トランスミットイネーブル

|   |                              |
|---|------------------------------|
| 0 | 送信動作を禁止 (TXD端子は入出力ポート)       |
| 1 | 送信動作を許可 (TXD端子はトランスミットデータ端子) |

レシーブインタラプトイネーブル

|   |                                                  |
|---|--------------------------------------------------|
| 0 | 受信データフル割り込み要求 (RXI)、および受信エラー割り込み<br>要求 (ERI) を禁止 |
| 1 | 受信データフル割り込み要求 (RXI)、および受信エラー割り込み<br>要求 (ERI) を許可 |

トランスミットインタラプトイネーブル

|   |                            |
|---|----------------------------|
| 0 | 送信データエンpty割り込み要求 (TXI) の禁止 |
| 1 | 送信データエンpty割り込み要求 (TXI) の許可 |

|                      |  |  |  |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |      |      |      |      |      |      |      |
|----------------------|--|--|--|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|------|------|------|------|------|
| TDR   トランスミットデータレジスタ |  |  |  | H'AB                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |      |      |      | SCI3 |      |      |      |
| ビット：                 |  |  |  | 7                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|                      |  |  |  | TDR7                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | TDR6 | TDR5 | TDR4 | TDR3 | TDR2 | TDR1 | TDR0 |
| 初期値：                 |  |  |  | 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            | 1    | 1    | 1    | 1    | 1    | 1    | 1    |
| R/W：                 |  |  |  | R/W                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  |
|                      |  |  |  | └──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬──┬ |      |      |      |      |      |      |      |

|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  |                                                                                                                                   |  |
|----------------------------------------------------------------------------------------------------------|--|------|--|-----|------|-----|------|-----|--|------|--|------|--|-----------------------------------------------------------------------------------------------------------------------------------|--|
| SSR    シリアルステータスレジスタ                                                                                     |  |      |  |     | H'AC |     | SCI3 |     |  |      |  |      |  |                                                                                                                                   |  |
| ビット：        7            6            5            4            3            2            1            0 |  |      |  |     |      |     |      |     |  |      |  |      |  |                                                                                                                                   |  |
| TDRE                                                                                                     |  | RDRF |  | OER |      | FER |      | PER |  | TEND |  | MPBR |  | MPBT                                                                                                                              |  |
| 初期値：    1            0            0            0            0            1            0            0     |  |      |  |     |      |     |      |     |  |      |  |      |  |                                                                                                                                   |  |
| R/W：    R/(W)*    R/(W)*    R/(W)*    R/(W)*    R/(W)*    R            R            R/W                  |  |      |  |     |      |     |      |     |  |      |  |      |  |                                                                                                                                   |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | マルチプロセッサビットトランスファ                                                                                                                 |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 0    マルチプロセッサビット0を送信                                                                                                              |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 1    マルチプロセッサビット1を送信                                                                                                              |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | マルチプロセッサビットレシーブ                                                                                                                   |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 0    マルチプロセッサビットが0のデータを受信                                                                                                         |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 1    マルチプロセッサビットが1のデータを受信                                                                                                         |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | トランスミットエンド                                                                                                                        |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 0    送信中<br>[クリア条件]<br>(1) TDRE = 1の状態をリードした後、TDREに0をライトしたとき<br>(2) 命令でTDRにデータをライトしたとき                                            |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 1    送信終了<br>[セット条件]<br>(1) シリアルコントロールレジスタ3 (SCR3) のTEが0のとき<br>(2) 送信キャラクタ最後尾のビットの送信時に、TDREが1であったとき                               |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | パリティエラー                                                                                                                           |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 0    受信中、または正常に受信完了<br>[クリア条件] PER = 1の状態をリードした後、0をライトしたとき                                                                        |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 1    受信時にパリティエラー発生<br>[セット条件] 受信時に受信データとパリティビットをあわせた1の数がシリアル<br>モードレジスタ (SMR) のパリティモード (PM) で設定したパリティと一致しな<br>かったとき               |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | フレーミングエラー                                                                                                                         |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 0    受信中、または正常に受信完了<br>[クリア条件] FER = 1の状態をリードした後、0をライトしたとき                                                                        |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 1    受信時にフレーミングエラー発生<br>[セット条件] 受信終了時に受信データの最後尾のストップビットが1であるかどうか<br>をチェックし、ストップビットが0であったとき                                        |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | オーバランエラー                                                                                                                          |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 0    受信中、または受信完了<br>[クリア条件] OER = 1の状態をリードした後、0をライトしたとき                                                                           |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 1    受信時にオーバランエラー発生<br>[セット条件] RDRFが1の状態で次のシリアル受信を完了したとき                                                                          |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | レシーブデータレジスタフル                                                                                                                     |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 0    RDRに受信データ未格納<br>[クリア条件] (1) RDRF = 1の状態をリードした後、0をライトしたとき<br>(2) 命令でRDRのデータをリードしたとき                                           |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 1    RDRに受信データ格納<br>[セット条件] 受信が正常終了し、RSRからRDRへ受信データが転送されたとき                                                                       |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | トランスミットデータレジスタエンpty                                                                                                               |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 0    TDRにライトされた送信データがTSRに転送されていない<br>[クリア条件] (1) TDRE = 1の状態をリードした後、0をライトしたとき<br>(2) 命令でTDRへデータをライトしたとき                           |  |
|                                                                                                          |  |      |  |     |      |     |      |     |  |      |  |      |  | 1    TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された<br>[セット条件] (1) シリアルコントロールレジスタ3 (SCR3) のTEが0のとき<br>(2) TDRからTSRにデータ転送が行われたとき |  |
| 【注】 * フラグをクリアするための0ライトのみ可能                                                                               |  |      |  |     |      |     |      |     |  |      |  |      |  |                                                                                                                                   |  |

|                                                                                                                  |  |      |  |      |  |      |  |      |  |      |  |      |  |      |  |
|------------------------------------------------------------------------------------------------------------------|--|------|--|------|--|------|--|------|--|------|--|------|--|------|--|
| RDR   レシーブデータレジスタ                                                                                                |  | H'AD |  |      |  |      |  | SCI3 |  |      |  |      |  |      |  |
| ビット：        7            6            5            4            3            2            1            0         |  |      |  |      |  |      |  |      |  |      |  |      |  |      |  |
| RDR7                                                                                                             |  | RDR6 |  | RDR5 |  | RDR4 |  | RDR3 |  | RDR2 |  | RDR1 |  | RDR0 |  |
| 初期値：        0            0            0            0            0            0            0            0         |  |      |  |      |  |      |  |      |  |      |  |      |  |      |  |
| R/W        :        R            R            R            R            R            R            R            R |  |      |  |      |  |      |  |      |  |      |  |      |  |      |  |

|                                                                                                          |  |      |  |      |  |   |  |       |  |      |  |      |  |      |  |
|----------------------------------------------------------------------------------------------------------|--|------|--|------|--|---|--|-------|--|------|--|------|--|------|--|
| TMA   タイマモードレジスタ A                                                                                       |  | H'B0 |  |      |  |   |  | タイマ A |  |      |  |      |  |      |  |
| ビット：        7            6            5            4            3            2            1            0 |  |      |  |      |  |   |  |       |  |      |  |      |  |      |  |
| TMA7                                                                                                     |  | TMA6 |  | TMA5 |  | — |  | TMA3  |  | TMA2 |  | TMA1 |  | TMA0 |  |
| 初期値：        0            0            0            1            0            0            0            0 |  |      |  |      |  |   |  |       |  |      |  |      |  |      |  |
| R/W        :        R/W        R/W        R/W        —            R/W        R/W        R/W        R/W   |  |      |  |      |  |   |  |       |  |      |  |      |  |      |  |

内部クロックセレクト

|      |      |      |      |                      |          |           |  |  |
|------|------|------|------|----------------------|----------|-----------|--|--|
| TMA3 | TMA2 | TMA1 | TMA0 | プリスケアラ分周比またはオーバフロー周期 |          | 機      能  |  |  |
| 0    | 0    | 0    | 0    | PSS                  | φ/8192   | インターバル    |  |  |
|      |      |      | 1    | PSS                  | φ/4096   |           |  |  |
|      |      | 1    | 0    | PSS                  | φ/2048   |           |  |  |
|      |      |      | 1    | PSS                  | φ/512    |           |  |  |
|      | 1    | 0    | 0    | PSS                  | φ/256    |           |  |  |
|      |      |      | 1    | PSS                  | φ/128    |           |  |  |
|      |      | 1    | 0    | PSS                  | φ/32     |           |  |  |
|      |      |      | 1    | PSS                  | φ/8      |           |  |  |
| 1    | 0    | 0    | 0    | PSW                  | 1s       | 時計用タイムベース |  |  |
|      |      |      | 1    | PSW                  | 0.5s     |           |  |  |
|      |      | 1    | 0    | PSW                  | 0.25s    |           |  |  |
|      |      |      | 1    | PSW                  | 0.03125s |           |  |  |
|      | 1    | 0    | 0    | PSW、TCAリセット          |          |           |  |  |
|      |      |      | 1    |                      |          |           |  |  |
|      |      | 1    | 0    |                      |          |           |  |  |
|      |      |      | 1    |                      |          |           |  |  |

クロック出力セレクト

|   |   |   |                    |
|---|---|---|--------------------|
| 0 | 0 | 0 | φ/32               |
|   |   | 1 | φ/16               |
|   | 1 | 0 | φ/8                |
|   |   | 1 | φ/4                |
| 1 | 0 | 0 | φ <sub>W</sub> /32 |
|   |   | 1 | φ <sub>W</sub> /16 |
|   | 1 | 0 | φ <sub>W</sub> /8  |
|   |   | 1 | φ <sub>W</sub> /4  |

TCA

タイマカウンタ A

H'B1

タイマ A

ビット :

7

6

5

4

3

2

1

0

|      |      |      |      |      |      |      |      |
|------|------|------|------|------|------|------|------|
| TCA7 | TCA6 | TCA5 | TCA4 | TCA3 | TCA2 | TCA1 | TCA0 |
|------|------|------|------|------|------|------|------|

初期値 :

0

0

0

0

0

0

0

0

R/W :

R

R

R

R

R

R

R

カウント値

TMB

タイマモードレジスタ B

H'B2

タイマ B

ビット :

7

6

5

4

3

2

1

0

|      |   |   |   |   |      |      |      |
|------|---|---|---|---|------|------|------|
| TMB7 | — | — | — | — | TMB2 | TMB1 | TMB0 |
|------|---|---|---|---|------|------|------|

初期値 :

0

1

1

1

1

0

0

0

R/W :

R/W

—

—

—

—

R/W

R/W

R/W

クロックセレクト

|   |   |   |                                       |             |
|---|---|---|---------------------------------------|-------------|
| 0 | 0 | 0 | 内部クロック                                | $\phi/8192$ |
|   |   | 1 | 内部クロック                                | $\phi/2048$ |
|   | 1 | 0 | 内部クロック                                | $\phi/512$  |
|   |   | 1 | 内部クロック                                | $\phi/256$  |
| 1 | 0 | 0 | 内部クロック                                | $\phi/64$   |
|   |   | 1 | 内部クロック                                | $\phi/16$   |
|   | 1 | 0 | 内部クロック                                | $\phi/4$    |
|   |   | 1 | 外部イベント (TMIB) : 立ち上がり / 立ち下がりエッジでカウント |             |

オートリロード機能選択

|   |              |
|---|--------------|
| 0 | インターバル機能を選択  |
| 1 | オートリロード機能を選択 |

|                                                                                                        |  |      |      |      |      |      |      |       |       |
|--------------------------------------------------------------------------------------------------------|--|------|------|------|------|------|------|-------|-------|
| TCB    タイマカウンタ B                                                                                       |  | H'B3 |      |      |      |      |      | タイマ B |       |
| ビット：      7            6            5            4            3            2            1            0 |  |      |      |      |      |      |      |       |       |
|                                                                                                        |  | TCB7 | TCB6 | TCB5 | TCB4 | TCB3 | TCB2 | TCB1  | TCB0  |
| 初期値：                                                                                                   |  | 0    | 0    | 0    | 0    | 0    | 0    | 0     | 0     |
| R/W：                                                                                                   |  | R    | R    | R    | R    | R    | R    | R     | R     |
|                                                                                                        |  |      |      |      |      |      |      |       | カウント値 |

|                                                                                                        |  |      |      |      |      |      |      |       |         |
|--------------------------------------------------------------------------------------------------------|--|------|------|------|------|------|------|-------|---------|
| TLB    タイマロードレジスタ B                                                                                    |  | H'B3 |      |      |      |      |      | タイマ B |         |
| ビット：      7            6            5            4            3            2            1            0 |  |      |      |      |      |      |      |       |         |
|                                                                                                        |  | TLB7 | TLB6 | TLB5 | TLB4 | TLB3 | TLB2 | TLB1  | TLB0    |
| 初期値：                                                                                                   |  | 0    | 0    | 0    | 0    | 0    | 0    | 0     | 0       |
| R/W：                                                                                                   |  | W    | W    | W    | W    | W    | W    | W     | W       |
|                                                                                                        |  |      |      |      |      |      |      |       | リロード値設定 |

|                                                                                                           |  |              |  |                                                                                       |  |                                             |  |                             |  |      |  |               |  |      |  |
|-----------------------------------------------------------------------------------------------------------|--|--------------|--|---------------------------------------------------------------------------------------|--|---------------------------------------------|--|-----------------------------|--|------|--|---------------|--|------|--|
| TMC    タイマモードレジスタ C                                                                                       |  |              |  | H'B4                                                                                  |  |                                             |  | タイマ C<br>( H8/3857 グループのみ ) |  |      |  |               |  |      |  |
| ビット :        7            6            5            4            3            2            1            0 |  |              |  |                                                                                       |  |                                             |  |                             |  |      |  |               |  |      |  |
| TMC7                                                                                                      |  | TMC6         |  | TMC5                                                                                  |  | —                                           |  | —                           |  | TMC2 |  | TMC1          |  | TMC0 |  |
| 初期値 :                                                                                                     |  | 0            |  | 0                                                                                     |  | 0                                           |  | 1                           |  | 1    |  | 0             |  | 0    |  |
| R/W :                                                                                                     |  | R/W          |  | R/W                                                                                   |  | R/W                                         |  | —                           |  | —    |  | R/W           |  | R/W  |  |
|                                                                                                           |  |              |  |                                                                                       |  |                                             |  |                             |  |      |  | クロックセレクト      |  |      |  |
| 0                                                                                                         |  | 0            |  | 0                                                                                     |  | 内部クロック $\phi/8192$                          |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  |              |  | 1                                                                                     |  | 内部クロック $\phi/2048$                          |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  | 1            |  | 0                                                                                     |  | 内部クロック $\phi/512$                           |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  |              |  | 1                                                                                     |  | 内部クロック $\phi/64$                            |  |                             |  |      |  |               |  |      |  |
| 1                                                                                                         |  | 0            |  | 0                                                                                     |  | 内部クロック $\phi/16$                            |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  |              |  | 1                                                                                     |  | 内部クロック $\phi/4$                             |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  | 1            |  | 0                                                                                     |  | 内部クロック $\phi_W/4$                           |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  |              |  | 1                                                                                     |  | 外部イベント ( TMIC ) : 立ち上がり / 立ち下がり<br>エッジでカウント |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  |              |  |                                                                                       |  |                                             |  |                             |  |      |  | カウンタアップ/ダウン制御 |  |      |  |
| 0                                                                                                         |  | 0            |  | TCCは、アップカウンタ                                                                          |  |                                             |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  | 1            |  | TCCは、ダウンカウンタ                                                                          |  |                                             |  |                             |  |      |  |               |  |      |  |
| 1                                                                                                         |  | *            |  | TCCのアップ / ダウンは、UD端子入力による<br>ハードウェア制御<br>UD端子入力がHighレベルならばダウンカウン<br>タ、Lowレベルならばアップカウンタ |  |                                             |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  |              |  |                                                                                       |  |                                             |  |                             |  |      |  |               |  |      |  |
|                                                                                                           |  |              |  |                                                                                       |  |                                             |  |                             |  |      |  | 【記号説明】        |  |      |  |
|                                                                                                           |  |              |  |                                                                                       |  |                                             |  |                             |  |      |  | * Don't care  |  |      |  |
|                                                                                                           |  |              |  |                                                                                       |  |                                             |  |                             |  |      |  | オートリロード機能選択   |  |      |  |
| 0                                                                                                         |  | インターバル機能を選択  |  |                                                                                       |  |                                             |  |                             |  |      |  |               |  |      |  |
| 1                                                                                                         |  | オートリロード機能を選択 |  |                                                                                       |  |                                             |  |                             |  |      |  |               |  |      |  |

|                                                                                                           |  |      |  |      |  |      |  |                             |  |      |  |       |  |      |  |
|-----------------------------------------------------------------------------------------------------------|--|------|--|------|--|------|--|-----------------------------|--|------|--|-------|--|------|--|
| TCC    タイマカウンタ C                                                                                          |  |      |  | H'B5 |  |      |  | タイマ C<br>( H8/3857 グループのみ ) |  |      |  |       |  |      |  |
| ビット :        7            6            5            4            3            2            1            0 |  |      |  |      |  |      |  |                             |  |      |  |       |  |      |  |
| TCC7                                                                                                      |  | TCC6 |  | TCC5 |  | TCC4 |  | TCC3                        |  | TCC2 |  | TCC1  |  | TCC0 |  |
| 初期値 :                                                                                                     |  | 0    |  | 0    |  | 0    |  | 0                           |  | 0    |  | 0     |  | 0    |  |
| R/W :                                                                                                     |  | R    |  | R    |  | R    |  | R                           |  | R    |  | R     |  | R    |  |
|                                                                                                           |  |      |  |      |  |      |  |                             |  |      |  | カウント値 |  |      |  |

|                     |  |      |      |                             |      |      |      |      |      |
|---------------------|--|------|------|-----------------------------|------|------|------|------|------|
| TLC    タイマロードレジスタ C |  | H'B5 |      | タイマ C<br>( H8/3857 グループのみ ) |      |      |      |      |      |
| ビット :               |  | 7    | 6    | 5                           | 4    | 3    | 2    | 1    | 0    |
|                     |  | TLC7 | TLC6 | TLC5                        | TLC4 | TLC3 | TLC2 | TLC1 | TLC0 |
| 初期値 :               |  | 0    | 0    | 0                           | 0    | 0    | 0    | 0    | 0    |
| R/W :               |  | W    | W    | W                           | W    | W    | W    | W    | W    |
| リロード値設定             |  |      |      |                             |      |      |      |      |      |

|                         |  |            |       |                                        |       |      |       |       |       |
|-------------------------|--|------------|-------|----------------------------------------|-------|------|-------|-------|-------|
| TCRF    タイマコントロールレジスタ F |  | H'B6       |       | タイマ F                                  |       |      |       |       |       |
| ビット :                   |  | 7          | 6     | 5                                      | 4     | 3    | 2     | 1     | 0     |
|                         |  | TOLH       | CKSH2 | CKSH1                                  | CKSH0 | TOLL | CKSL2 | CKSL1 | CKSL0 |
| 初期値 :                   |  | 0          | 0     | 0                                      | 0     | 0    | 0     | 0     | 0     |
| R/W :                   |  | W          | W     | W                                      | W     | W    | W     | W     | W     |
| クロックセレクトL               |  |            |       |                                        |       |      |       |       |       |
| 0                       |  | *          | *     | 外部イベント ( TMIF ) の立ち上がり / 立ち下がりエッジでカウント |       |      |       |       |       |
| 1                       |  | 0          |       | 内部クロック $\phi/32$                       |       |      |       |       |       |
|                         |  |            |       | 内部クロック $\phi/16$                       |       |      |       |       |       |
|                         |  | 1          |       | 内部クロック $\phi/4$                        |       |      |       |       |       |
|                         |  |            |       | 内部クロック $\phi/2$                        |       |      |       |       |       |
| トグルアウトプットレベルL           |  |            |       |                                        |       |      |       |       |       |
| 0                       |  | Lowレベルに設定  |       |                                        |       |      |       |       |       |
| 1                       |  | Highレベルに設定 |       |                                        |       |      |       |       |       |
| クロックセレクトH               |  |            |       |                                        |       |      |       |       |       |
| 0                       |  | *          | *     | 16ビットモードとなり、TCFLのオーバフロー信号でカウント         |       |      |       |       |       |
| 1                       |  | 0          |       | 内部クロック $\phi/32$                       |       |      |       |       |       |
|                         |  |            |       | 内部クロック $\phi/16$                       |       |      |       |       |       |
|                         |  | 1          |       | 内部クロック $\phi/4$                        |       |      |       |       |       |
|                         |  |            |       | 内部クロック $\phi/2$                        |       |      |       |       |       |
| 【記号説明】                  |  |            |       |                                        |       |      |       |       |       |
| *    Don't care         |  |            |       |                                        |       |      |       |       |       |
| トグルアウトプットレベルH           |  |            |       |                                        |       |      |       |       |       |
| 0                       |  | Lowレベルに設定  |       |                                        |       |      |       |       |       |
| 1                       |  | Highレベルに設定 |       |                                        |       |      |       |       |       |

| TCSR_F タイマコントロールステータスレジスタ F                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |                                                                |        |  |       | H'B7 |        | タイマ F |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------|--------|--|-------|------|--------|-------|---|-----------------------|---|-----------------------|---|--------------------------|---|--------------------------|---|---------------------------------------------------|---|----------------------------------------|---|---------------------------------------------------|---|------------------------------------|---|----------------------------------------------------------------|---|----------------------------------------------------------------|---|--------------------------|---|--------------------------|---|---------------------------------------------------|---|----------------------------------------|---|---------------------------------------------------|---|------------------------------------|
| ビット : 7 6 5 4 3 2 1 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |                                                                |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| OVFH                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           |                                                                | CMFH   |  | OVIEH |      | CCLR_H |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 初期値 : 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |                                                                | 0      |  | 0     |      | 0      |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| R/W : R/(W)*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |                                                                | R/(W)* |  | R/W   |      | R/(W)* |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| <div>カウンタクリアL</div> <table><tr><td>0</td><td>コンペアマッチによるTCFLのクリアを禁止</td></tr><tr><td>1</td><td>コンペアマッチによるTCFLのクリアを許可</td></tr></table> <div>タイマオーバーフローインタラプトイネーブルL</div> <table><tr><td>0</td><td>TCFLのオーバーフローによる割り込み要求を禁止</td></tr><tr><td>1</td><td>TCFLのオーバーフローによる割り込み要求を許可</td></tr></table> <div>コンペアマッチフラグL</div> <table><tr><td>0</td><td>[クリア条件]<br/>CMFL = 1の状態、CMFLをリードした後、CMFLに0をライトしたとき</td></tr><tr><td>1</td><td>[セット条件]<br/>TCFLの値とOCRFLの値が、コンペアマッチしたとき</td></tr></table> <div>タイマオーバーフローL</div> <table><tr><td>0</td><td>[クリア条件]<br/>OVFL = 1の状態、OVFLをリードした後、OVFLに0をライトしたとき</td></tr><tr><td>1</td><td>[セット条件]<br/>TCFLの値が、H'FF→H'00になったとき</td></tr></table> <div>カウンタクリアH</div> <table><tr><td>0</td><td>16ビットモード：コンペアマッチによるTCFのクリアを禁止<br/>8ビットモード：コンペアマッチによるTCFHのクリアを禁止</td></tr><tr><td>1</td><td>16ビットモード：コンペアマッチによるTCFのクリアを許可<br/>8ビットモード：コンペアマッチによるTCFHのクリアを許可</td></tr></table> <div>タイマオーバーフローインタラプトイネーブルH</div> <table><tr><td>0</td><td>TCFHのオーバーフローによる割り込み要求を禁止</td></tr><tr><td>1</td><td>TCFHのオーバーフローによる割り込み要求を許可</td></tr></table> <div>コンペアマッチフラグH</div> <table><tr><td>0</td><td>[クリア条件]<br/>CMFH = 1の状態、CMFHをリードした後、CMFHに0をライトしたとき</td></tr><tr><td>1</td><td>[セット条件]<br/>TCFHの値とOCRFHの値が、コンペアマッチしたとき</td></tr></table> <div>タイマオーバーフローフラグH</div> <table><tr><td>0</td><td>[クリア条件]<br/>OVFH = 1の状態、OVFHをリードした後、OVFHに0をライトしたとき</td></tr><tr><td>1</td><td>[セット条件]<br/>TCFHの値が、H'FF→H'00になったとき</td></tr></table> |                                                                |        |  |       |      |        |       | 0 | コンペアマッチによるTCFLのクリアを禁止 | 1 | コンペアマッチによるTCFLのクリアを許可 | 0 | TCFLのオーバーフローによる割り込み要求を禁止 | 1 | TCFLのオーバーフローによる割り込み要求を許可 | 0 | [クリア条件]<br>CMFL = 1の状態、CMFLをリードした後、CMFLに0をライトしたとき | 1 | [セット条件]<br>TCFLの値とOCRFLの値が、コンペアマッチしたとき | 0 | [クリア条件]<br>OVFL = 1の状態、OVFLをリードした後、OVFLに0をライトしたとき | 1 | [セット条件]<br>TCFLの値が、H'FF→H'00になったとき | 0 | 16ビットモード：コンペアマッチによるTCFのクリアを禁止<br>8ビットモード：コンペアマッチによるTCFHのクリアを禁止 | 1 | 16ビットモード：コンペアマッチによるTCFのクリアを許可<br>8ビットモード：コンペアマッチによるTCFHのクリアを許可 | 0 | TCFHのオーバーフローによる割り込み要求を禁止 | 1 | TCFHのオーバーフローによる割り込み要求を許可 | 0 | [クリア条件]<br>CMFH = 1の状態、CMFHをリードした後、CMFHに0をライトしたとき | 1 | [セット条件]<br>TCFHの値とOCRFHの値が、コンペアマッチしたとき | 0 | [クリア条件]<br>OVFH = 1の状態、OVFHをリードした後、OVFHに0をライトしたとき | 1 | [セット条件]<br>TCFHの値が、H'FF→H'00になったとき |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | コンペアマッチによるTCFLのクリアを禁止                                          |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | コンペアマッチによるTCFLのクリアを許可                                          |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | TCFLのオーバーフローによる割り込み要求を禁止                                       |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | TCFLのオーバーフローによる割り込み要求を許可                                       |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | [クリア条件]<br>CMFL = 1の状態、CMFLをリードした後、CMFLに0をライトしたとき              |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | [セット条件]<br>TCFLの値とOCRFLの値が、コンペアマッチしたとき                         |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | [クリア条件]<br>OVFL = 1の状態、OVFLをリードした後、OVFLに0をライトしたとき              |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | [セット条件]<br>TCFLの値が、H'FF→H'00になったとき                             |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | 16ビットモード：コンペアマッチによるTCFのクリアを禁止<br>8ビットモード：コンペアマッチによるTCFHのクリアを禁止 |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | 16ビットモード：コンペアマッチによるTCFのクリアを許可<br>8ビットモード：コンペアマッチによるTCFHのクリアを許可 |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | TCFHのオーバーフローによる割り込み要求を禁止                                       |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | TCFHのオーバーフローによる割り込み要求を許可                                       |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | [クリア条件]<br>CMFH = 1の状態、CMFHをリードした後、CMFHに0をライトしたとき              |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | [セット条件]<br>TCFHの値とOCRFHの値が、コンペアマッチしたとき                         |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 0                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | [クリア条件]<br>OVFH = 1の状態、OVFHをリードした後、OVFHに0をライトしたとき              |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |
| 1                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              | [セット条件]<br>TCFHの値が、H'FF→H'00になったとき                             |        |  |       |      |        |       |   |                       |   |                       |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |   |                                                                |   |                                                                |   |                          |   |                          |   |                                                   |   |                                        |   |                                                   |   |                                    |

【注】\* フラグをクリアするための0ライトのみ可能

|                                                                                                                                                                                                                                                                                             |      |  |       |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|--|-------|
| TCFH 8ビットタイマカウンタ FH                                                                                                                                                                                                                                                                         | H'B8 |  | タイム F |
| ビット :    7        6        5        4        3        2        1        0<br><div>TCFH7 TCFH6 TCFH5 TCFH4 TCFH3 TCFH2 TCFH1 TCFH0</div> 初期値 :    0        0        0        0        0        0        0        0<br>R/W :    R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W<br>カウント値 |      |  |       |
| TCFL 8ビットタイマカウンタ FL                                                                                                                                                                                                                                                                         | H'B9 |  | タイム F |
| ビット :    7        6        5        4        3        2        1        0<br><div>TCFL7 TCFL6 TCFL5 TCFL4 TCFL3 TCFL2 TCFL1 TCFL0</div> 初期値 :    0        0        0        0        0        0        0        0<br>R/W :    R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W<br>カウント値 |      |  |       |
| OCRFH アウトプットコンペアレジスタ FH                                                                                                                                                                                                                                                                     | H'BA |  | タイム F |
| ビット :    7        6        5        4        3        2        1        0<br><div>OCRFH7 OCRFH6 OCRFH5 OCRFH4 OCRFH3 OCRFH2 OCRFH1 OCRFH0</div> 初期値 :    1        1        1        1        1        1        1        1<br>R/W :    R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W  |      |  |       |
| OCRFL アウトプットコンペアレジスタ FL                                                                                                                                                                                                                                                                     | H'BB |  | タイム F |
| ビット :    7        6        5        4        3        2        1        0<br><div>OCRFL7 OCRFL6 OCRFL5 OCRFL4 OCRFL3 OCRFL2 OCRFL1 OCRFL0</div> 初期値 :    1        1        1        1        1        1        1        1<br>R/W :    R/W    R/W    R/W    R/W    R/W    R/W    R/W    R/W  |      |  |       |

AMR A/D モードレジスタ

H'C4

A/D 変換器

ビット：        7            6            5            4            3            2            1            0

|     |      |   |   |     |     |     |     |
|-----|------|---|---|-----|-----|-----|-----|
| CKS | TRGE | — | — | CH3 | CH2 | CH1 | CH0 |
|-----|------|---|---|-----|-----|-----|-----|

初期値：        0            0            1            1            0            0            0            0  
R/W    :   R/W        R/W        —        —        R/W    R/W        R/W    R/W

チャンネルセレクト

| ビット3 | ビット2 | ビット1 | ビット0 | アナログ入力チャンネル        |
|------|------|------|------|--------------------|
| CH3  | CH2  | CH1  | CH0  |                    |
| 0    | 0    | *    | *    | 非選択                |
|      | 1    | 0    | 0    | AN <sub>0</sub> *1 |
|      |      |      | 1    | AN <sub>1</sub> *1 |
|      |      | 1    | 0    | AN <sub>2</sub> *1 |
|      |      |      | 1    | AN <sub>3</sub> *1 |
| 1    | 0    | 0    | 0    | AN <sub>4</sub>    |
|      |      |      | 1    | AN <sub>5</sub>    |
|      |      | 1    | 0    | AN <sub>6</sub>    |
|      |      |      | 1    | AN <sub>7</sub>    |
|      | 1    | *    | *    | リザーブ               |

【記号説明】

\* Don't care

外部トリガセレクト

|   |                                                |
|---|------------------------------------------------|
| 0 | 外部トリガによるA/D変換の開始を禁止                            |
| 1 | 外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりエッジでA/D変換を開始 |

クロックセレクト

| ビット7 | 変換周期 | 変 換 時 間  |          |
|------|------|----------|----------|
|      |      | φ = 2MHz | φ = 5MHz |
| CKS  |      |          |          |
| 0    | 62/φ | 31μs     | 12.4μs   |
| 1    | 31/φ | 15.5μs   | — *2     |

【注】 \*1 AN<sub>0</sub> ~ AN<sub>3</sub>はH8/3857グループのみ選択可能です。H8/3854グループでは設定しないでください。  
\*2 12.4μs以下の変換時間では、動作が保証されません。12.4μs以上になるように選択してください。

|                      |  |         |      |         |      |      |      |      |      |
|----------------------|--|---------|------|---------|------|------|------|------|------|
| ADRR    A/D リザルトレジスタ |  | H'C5    |      | A/D 変換器 |      |      |      |      |      |
| ビット :                |  | 7       | 6    | 5       | 4    | 3    | 2    | 1    | 0    |
|                      |  | ADR7    | ADR6 | ADR5    | ADR4 | ADR3 | ADR2 | ADR1 | ADR0 |
| 初期値 :                |  | 不定      | 不定   | 不定      | 不定   | 不定   | 不定   | 不定   | 不定   |
| R/W :                |  | R       | R    | R       | R    | R    | R    | R    | R    |
|                      |  | A/D変換結果 |      |         |      |      |      |      |      |

|                      |  |            |                                            |         |   |   |   |   |   |
|----------------------|--|------------|--------------------------------------------|---------|---|---|---|---|---|
| ADSR    A/D スタートレジスタ |  | H'C6       |                                            | A/D 変換器 |   |   |   |   |   |
| ビット :                |  | 7          | 6                                          | 5       | 4 | 3 | 2 | 1 | 0 |
|                      |  | ADSF       | —                                          | —       | — | — | — | — | — |
| 初期値 :                |  | 0          | 1                                          | 1       | 1 | 1 | 1 | 1 | 1 |
| R/W :                |  | R/W        | —                                          | —       | — | — | — | — | — |
|                      |  | A/Dスタートフラグ |                                            |         |   |   |   |   |   |
|                      |  | 0          | [リード時]<br>A/D変換の終了<br>[ライト時]<br>A/D変換を強制終了 |         |   |   |   |   |   |
|                      |  | 1          | [リード時]<br>A/D変換中<br>[ライト時]<br>A/D変換を開始     |         |   |   |   |   |   |

|                                                                                           |                                 |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
|-------------------------------------------------------------------------------------------|---------------------------------|--|--|--|------|--|--|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|------|------|---|-------|-------|------|---|----------------------------|---|---------------------------------|
| PMR1   ポートモードレジスタ 1                                                                       |                                 |  |  |  | H'C8 |  |  | I/O   ポート                                                                                                                                                                           |       |      |      |   |       |       |      |   |                            |   |                                 |
| ビット :                                                                                     |                                 |  |  |  |      |  |  | 7                                                                                                                                                                                   | 6     | 5    | 4    | 3 | 2     | 1     | 0    |   |                            |   |                                 |
|                                                                                           |                                 |  |  |  |      |  |  | IRQ3                                                                                                                                                                                | IRQ2* | IRQ1 | PWM* | — | TMOFH | TMOFL | TMOW |   |                            |   |                                 |
| 初期値 :                                                                                     |                                 |  |  |  |      |  |  | 0                                                                                                                                                                                   | 0     | 0    | 0    | 0 | 0     | 0     | 0    |   |                            |   |                                 |
| R/W :                                                                                     |                                 |  |  |  |      |  |  | R/W                                                                                                                                                                                 | R/W   | R/W  | R/W  | — | R/W   | R/W   | R/W  |   |                            |   |                                 |
|                                                                                           |                                 |  |  |  |      |  |  | <div>P1<sub>0</sub>/TMOW端子機能切り替え</div> <table><tr><td>0</td><td>P1<sub>0</sub>入出力端子として機能</td></tr><tr><td>1</td><td>TMOW出力端子として機能</td></tr></table>                                 |       |      |      |   |       |       |      | 0 | P1 <sub>0</sub> 入出力端子として機能 | 1 | TMOW出力端子として機能                   |
| 0                                                                                         | P1 <sub>0</sub> 入出力端子として機能      |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
| 1                                                                                         | TMOW出力端子として機能                   |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
|                                                                                           |                                 |  |  |  |      |  |  | <div>P1<sub>1</sub>/TMOFL端子機能切り替え</div> <table><tr><td>0</td><td>P1<sub>1</sub>入出力端子として機能</td></tr><tr><td>1</td><td>TMOFL出力端子として機能</td></tr></table>                               |       |      |      |   |       |       |      | 0 | P1 <sub>1</sub> 入出力端子として機能 | 1 | TMOFL出力端子として機能                  |
| 0                                                                                         | P1 <sub>1</sub> 入出力端子として機能      |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
| 1                                                                                         | TMOFL出力端子として機能                  |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
|                                                                                           |                                 |  |  |  |      |  |  | <div>P1<sub>2</sub>/TMOFH端子機能切り替え</div> <table><tr><td>0</td><td>P1<sub>2</sub>入出力端子として機能</td></tr><tr><td>1</td><td>TMOFH出力端子として機能</td></tr></table>                               |       |      |      |   |       |       |      | 0 | P1 <sub>2</sub> 入出力端子として機能 | 1 | TMOFH出力端子として機能                  |
| 0                                                                                         | P1 <sub>2</sub> 入出力端子として機能      |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
| 1                                                                                         | TMOFH出力端子として機能                  |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
|                                                                                           |                                 |  |  |  |      |  |  | <div>P1<sub>4</sub>/PWM端子機能切り替え</div> <table><tr><td>0</td><td>P1<sub>4</sub>入出力端子として機能</td></tr><tr><td>1</td><td>PWM出力端子として機能</td></tr></table>                                   |       |      |      |   |       |       |      | 0 | P1 <sub>4</sub> 入出力端子として機能 | 1 | PWM出力端子として機能                    |
| 0                                                                                         | P1 <sub>4</sub> 入出力端子として機能      |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
| 1                                                                                         | PWM出力端子として機能                    |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
|                                                                                           |                                 |  |  |  |      |  |  | <div>P1<sub>5</sub>/IRQ<sub>1</sub>/TMIB端子機能切り替え</div> <table><tr><td>0</td><td>P1<sub>5</sub>入出力端子として機能</td></tr><tr><td>1</td><td>IRQ<sub>1</sub>/TMIB入力端子として機能</td></tr></table> |       |      |      |   |       |       |      | 0 | P1 <sub>5</sub> 入出力端子として機能 | 1 | IRQ <sub>1</sub> /TMIB入力端子として機能 |
| 0                                                                                         | P1 <sub>5</sub> 入出力端子として機能      |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
| 1                                                                                         | IRQ <sub>1</sub> /TMIB入力端子として機能 |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
|                                                                                           |                                 |  |  |  |      |  |  | <div>P1<sub>6</sub>/IRQ<sub>2</sub>/TMIC端子機能切り替え</div> <table><tr><td>0</td><td>P1<sub>6</sub>入出力端子として機能</td></tr><tr><td>1</td><td>IRQ<sub>2</sub>/TMIC入力端子として機能</td></tr></table> |       |      |      |   |       |       |      | 0 | P1 <sub>6</sub> 入出力端子として機能 | 1 | IRQ <sub>2</sub> /TMIC入力端子として機能 |
| 0                                                                                         | P1 <sub>6</sub> 入出力端子として機能      |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
| 1                                                                                         | IRQ <sub>2</sub> /TMIC入力端子として機能 |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
|                                                                                           |                                 |  |  |  |      |  |  | <div>P1<sub>7</sub>/IRQ<sub>3</sub>/TMIF端子機能切り替え</div> <table><tr><td>0</td><td>P1<sub>7</sub>入出力端子として機能</td></tr><tr><td>1</td><td>IRQ<sub>3</sub>/TMIF入力端子として機能</td></tr></table> |       |      |      |   |       |       |      | 0 | P1 <sub>7</sub> 入出力端子として機能 | 1 | IRQ <sub>3</sub> /TMIF入力端子として機能 |
| 0                                                                                         | P1 <sub>7</sub> 入出力端子として機能      |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
| 1                                                                                         | IRQ <sub>3</sub> /TMIF入力端子として機能 |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |
| <div>【注】*   IRQ2、PWMは、H8/3857グループ固有の機能です。<br/>H8/3854グループではリザーブビットとなり、常に0で使用してください。</div> |                                 |  |  |  |      |  |  |                                                                                                                                                                                     |       |      |      |   |       |       |      |   |                            |   |                                 |

|                                                                                                                                                                |                     |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------|---------------------|---|---|------|-------|-----------|------|--|---|---------------|---|---------------------|------|-------|-----|------|
| PMR2   ポートモードレジスタ 2                                                                                                                                            |                     |   |   | H'C9 |       | I/O   ポート |      |  |   |               |   |                     |      |       |     |      |
| ビット :       7           6           5           4           3           2           1           0                                                              |                     |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| <table border="1"><tr><td>—</td><td>—</td><td>—</td><td>—</td><td>IRQ0</td><td>POF1*</td><td>UD*</td><td>IRQ4</td></tr></table>                                |                     |   |   |      |       |           |      |  | — | —             | — | —                   | IRQ0 | POF1* | UD* | IRQ4 |
| —                                                                                                                                                              | —                   | — | — | IRQ0 | POF1* | UD*       | IRQ4 |  |   |               |   |                     |      |       |     |      |
| 初期値 :       1           1           0           0           0           0           0           0                                                              |                     |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| R/W    :       —           —           R/W       R/W       R/W       R/W       R/W       R/W                                                                   |                     |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| <div><div>P20/IRQ4/ADTRG端子機能切り替え</div><table border="1"><tr><td>0</td><td>P20入出力端子として機能</td></tr><tr><td>1</td><td>IRQ4/ADTRG入力端子として機能</td></tr></table></div> |                     |   |   |      |       |           |      |  | 0 | P20入出力端子として機能 | 1 | IRQ4/ADTRG入力端子として機能 |      |       |     |      |
| 0                                                                                                                                                              | P20入出力端子として機能       |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| 1                                                                                                                                                              | IRQ4/ADTRG入力端子として機能 |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| <div><div>P21/UD端子機能切り替え</div><table border="1"><tr><td>0</td><td>P21入出力端子として機能</td></tr><tr><td>1</td><td>UD入力端子として機能</td></tr></table></div>                 |                     |   |   |      |       |           |      |  | 0 | P21入出力端子として機能 | 1 | UD入力端子として機能         |      |       |     |      |
| 0                                                                                                                                                              | P21入出力端子として機能       |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| 1                                                                                                                                                              | UD入力端子として機能         |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| <div><div>P32/SO1PMOSコントロール</div><table border="1"><tr><td>0</td><td>CMOS出力</td></tr><tr><td>1</td><td>NMOSオープンドレイン出力</td></tr></table></div>                  |                     |   |   |      |       |           |      |  | 0 | CMOS出力        | 1 | NMOSオープンドレイン出力      |      |       |     |      |
| 0                                                                                                                                                              | CMOS出力              |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| 1                                                                                                                                                              | NMOSオープンドレイン出力      |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| <div><div>P43/IRQ0端子機能切り替え</div><table border="1"><tr><td>0</td><td>P43入力端子として機能</td></tr><tr><td>1</td><td>IRQ0入力端子として機能</td></tr></table></div>              |                     |   |   |      |       |           |      |  | 0 | P43入力端子として機能  | 1 | IRQ0入力端子として機能       |      |       |     |      |
| 0                                                                                                                                                              | P43入力端子として機能        |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| 1                                                                                                                                                              | IRQ0入力端子として機能       |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |
| <div>【注】*   POF1、UDはH8/3857グループ固有の機能です。<br/>          H8/3854グループではリザーブビットとなり、常に0で使用してください。</div>                                                              |                     |   |   |      |       |           |      |  |   |               |   |                     |      |       |     |      |

|                      |   |      |   |                                   |   |                                            |                             |      |
|----------------------|---|------|---|-----------------------------------|---|--------------------------------------------|-----------------------------|------|
| PMR3    ポートモードレジスタ 3 |   | H'CA |   | I/O   ポート<br>( H8/3857   グループのみ ) |   |                                            |                             |      |
| ビット :                | 7 | 6    | 5 | 4                                 | 3 | 2                                          | 1                           | 0    |
|                      | — | —    | — | —                                 | — | SO1                                        | SI1                         | SCK1 |
| 初期値 :                | 0 | 0    | 0 | 0                                 | 0 | 0                                          | 0                           | 0    |
| R/W    :             | — | —    | — | —                                 | — | R/W                                        | R/W                         | R/W  |
|                      |   |      |   |                                   |   | P3 <sub>0</sub> /SCK <sub>1</sub> 端子機能切り替え |                             |      |
|                      |   |      |   |                                   |   | 0                                          | P3 <sub>0</sub> 入出力端子として機能  |      |
|                      |   |      |   |                                   |   | 1                                          | SCK <sub>1</sub> 入出力端子として機能 |      |
|                      |   |      |   |                                   |   | P3 <sub>1</sub> /SI <sub>1</sub> 端子機能切り替え  |                             |      |
|                      |   |      |   |                                   |   | 0                                          | P3 <sub>1</sub> 入出力端子として機能  |      |
|                      |   |      |   |                                   |   | 1                                          | SI <sub>1</sub> 入力端子として機能   |      |
|                      |   |      |   |                                   |   | P3 <sub>2</sub> /SO <sub>1</sub> 端子機能切り替え  |                             |      |
|                      |   |      |   |                                   |   | 0                                          | P3 <sub>2</sub> 入出力端子として機能  |      |
|                      |   |      |   |                                   |   | 1                                          | SO <sub>1</sub> 出力端子として機能   |      |

|                                                                                                                                          |                                    |       |         |       |                            |       |                                    |       |       |       |       |
|------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------|-------|---------|-------|----------------------------|-------|------------------------------------|-------|-------|-------|-------|
| PMR4                                                                                                                                     | ポートモードレジスタ 4                       | H'CB  | I/O ポート |       |                            |       |                                    |       |       |       |       |
| ビット :      7          6          5          4          3          2          1          0                                                |                                    |       |         |       |                            |       |                                    |       |       |       |       |
| <table><tr><td>NMOD7</td><td>NMOD6</td><td>NMOD5</td><td>NMOD4</td><td>NMOD3</td><td>NMOD2</td><td>NMOD1</td><td>NMOD0</td></tr></table> |                                    |       |         | NMOD7 | NMOD6                      | NMOD5 | NMOD4                              | NMOD3 | NMOD2 | NMOD1 | NMOD0 |
| NMOD7                                                                                                                                    | NMOD6                              | NMOD5 | NMOD4   | NMOD3 | NMOD2                      | NMOD1 | NMOD0                              |       |       |       |       |
| 初期値 :      0          0          0          0          0          0          0          0                                                |                                    |       |         |       |                            |       |                                    |       |       |       |       |
| R/W :      R/W      R/W      R/W      R/W      R/W      R/W      R/W                                                                     |                                    |       |         |       |                            |       |                                    |       |       |       |       |
| <table><tr><td>0</td><td>P2<sub>n</sub>はCMOS出力となる</td></tr><tr><td>1</td><td>P2<sub>n</sub>はNMOSオープンドレイン出力となる</td></tr></table>          |                                    |       |         | 0     | P2 <sub>n</sub> はCMOS出力となる | 1     | P2 <sub>n</sub> はNMOSオープンドレイン出力となる |       |       |       |       |
| 0                                                                                                                                        | P2 <sub>n</sub> はCMOS出力となる         |       |         |       |                            |       |                                    |       |       |       |       |
| 1                                                                                                                                        | P2 <sub>n</sub> はNMOSオープンドレイン出力となる |       |         |       |                            |       |                                    |       |       |       |       |

|                                                                                                                                                                                                                                       |                                     |                  |                  |                                                      |                  |                  |                            |                  |                                     |                  |                  |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------|------------------|------------------|------------------------------------------------------|------------------|------------------|----------------------------|------------------|-------------------------------------|------------------|------------------|
| PMR5                                                                                                                                                                                                                                  | ポートモードレジスタ 5                        | H'CC             | I/O ポート          |                                                      |                  |                  |                            |                  |                                     |                  |                  |
| ビット :      7          6          5          4          3          2          1          0                                                                                                                                             |                                     |                  |                  |                                                      |                  |                  |                            |                  |                                     |                  |                  |
| <table><tr><td>WKP<sub>7</sub></td><td>WKP<sub>6</sub></td><td>WKP<sub>5</sub></td><td>WKP<sub>4</sub></td><td>WKP<sub>3</sub></td><td>WKP<sub>2</sub></td><td>WKP<sub>1</sub></td><td>WKP<sub>0</sub></td></tr></table>              |                                     |                  |                  | WKP <sub>7</sub>                                     | WKP <sub>6</sub> | WKP <sub>5</sub> | WKP <sub>4</sub>           | WKP <sub>3</sub> | WKP <sub>2</sub>                    | WKP <sub>1</sub> | WKP <sub>0</sub> |
| WKP <sub>7</sub>                                                                                                                                                                                                                      | WKP <sub>6</sub>                    | WKP <sub>5</sub> | WKP <sub>4</sub> | WKP <sub>3</sub>                                     | WKP <sub>2</sub> | WKP <sub>1</sub> | WKP <sub>0</sub>           |                  |                                     |                  |                  |
| 初期値 :      0          0          0          0          0          0          0          0                                                                                                                                             |                                     |                  |                  |                                                      |                  |                  |                            |                  |                                     |                  |                  |
| R/W :      R/W      R/W      R/W      R/W      R/W      R/W      R/W                                                                                                                                                                  |                                     |                  |                  |                                                      |                  |                  |                            |                  |                                     |                  |                  |
| <table><tr><td colspan="2">P5<sub>n</sub>/<math>\overline{\text{WKP}}_n</math>端子機能切り替え</td></tr><tr><td>0</td><td>P5<sub>n</sub>入出力端子として機能</td></tr><tr><td>1</td><td><math>\overline{\text{WKP}}_n</math>入力端子として機能</td></tr></table> |                                     |                  |                  | P5 <sub>n</sub> / $\overline{\text{WKP}}_n$ 端子機能切り替え |                  | 0                | P5 <sub>n</sub> 入出力端子として機能 | 1                | $\overline{\text{WKP}}_n$ 入力端子として機能 |                  |                  |
| P5 <sub>n</sub> / $\overline{\text{WKP}}_n$ 端子機能切り替え                                                                                                                                                                                  |                                     |                  |                  |                                                      |                  |                  |                            |                  |                                     |                  |                  |
| 0                                                                                                                                                                                                                                     | P5 <sub>n</sub> 入出力端子として機能          |                  |                  |                                                      |                  |                  |                            |                  |                                     |                  |                  |
| 1                                                                                                                                                                                                                                     | $\overline{\text{WKP}}_n$ 入力端子として機能 |                  |                  |                                                      |                  |                  |                            |                  |                                     |                  |                  |

|       |  |                |   |      |   |                                  |   |                                                                             |       |
|-------|--|----------------|---|------|---|----------------------------------|---|-----------------------------------------------------------------------------|-------|
| PWCR  |  | PWM コントロールレジスタ |   | H'D0 |   | 14 ビット PWM<br>( H8/3857 グループのみ ) |   |                                                                             |       |
| ビット : |  | 7              | 6 | 5    | 4 | 3                                | 2 | 1                                                                           | 0     |
|       |  | —              |   | —    | — | —                                | — | —                                                                           | PWCR0 |
| 初期値 : |  | 1              | 1 | 1    | 1 | 1                                | 1 | 1                                                                           | 0     |
| R/W : |  | —              |   | —    | — | —                                | — | —                                                                           | W     |
|       |  |                |   |      |   |                                  |   |                                                                             |       |
|       |  |                |   |      |   |                                  |   | クロックセレクト                                                                    |       |
|       |  |                |   |      |   |                                  |   |                                                                             |       |
|       |  |                |   |      |   |                                  |   | 0 入力クロック $\phi/2$ ( $t\phi^* = 2/\phi$ )。1変換周期16384/ $\phi$ 、最小変化幅1/ $\phi$ |       |
|       |  |                |   |      |   |                                  |   | 1 入力クロック $\phi/4$ ( $t\phi^* = 4/\phi$ )。1変換周期32768/ $\phi$ 、最小変化幅2/ $\phi$ |       |
|       |  |                |   |      |   |                                  |   | 【注】 $t\phi$ : PWM入力クロックの周期                                                  |       |

|       |  |               |   |      |        |                                  |        |        |        |                   |
|-------|--|---------------|---|------|--------|----------------------------------|--------|--------|--------|-------------------|
| PWDRU |  | PWM データレジスタ U |   | H'D1 |        | 14 ビット PWM<br>( H8/3857 グループのみ ) |        |        |        |                   |
| ビット : |  | 7             | 6 | 5    | 4      | 3                                | 2      | 1      | 0      |                   |
|       |  | —             |   | —    | PWDRU5 | PWDRU4                           | PWDRU3 | PWDRU2 | PWDRU1 | PWDRU0            |
| 初期値 : |  | 1             | 1 | 0    | 0      | 0                                | 0      | 0      | 0      | 0                 |
| R/W : |  | —             |   | —    | W      | W                                | W      | W      | W      | W                 |
|       |  |               |   |      |        |                                  |        |        |        |                   |
|       |  |               |   |      |        |                                  |        |        |        | PWM波形生成用データ上位6ビット |

|       |  |               |   |        |        |                                  |        |        |        |                   |
|-------|--|---------------|---|--------|--------|----------------------------------|--------|--------|--------|-------------------|
| PWDRL |  | PWM データレジスタ L |   | H'D2   |        | 14 ビット PWM<br>( H8/3857 グループのみ ) |        |        |        |                   |
| ビット : |  | 7             | 6 | 5      | 4      | 3                                | 2      | 1      | 0      |                   |
|       |  | PWDRL7        |   | PWDRL6 | PWDRL5 | PWDRL4                           | PWDRL3 | PWDRL2 | PWDRL1 | PWDRL0            |
| 初期値 : |  | 0             | 0 | 0      | 0      | 0                                | 0      | 0      | 0      | 0                 |
| R/W : |  | W             |   | W      | W      | W                                | W      | W      | W      | W                 |
|       |  |               |   |        |        |                                  |        |        |        |                   |
|       |  |               |   |        |        |                                  |        |        |        | PWM波形生成用データ下位8ビット |

|                                                                                                            |  |      |     |      |      |     |     |                               |
|------------------------------------------------------------------------------------------------------------|--|------|-----|------|------|-----|-----|-------------------------------|
| PDR1   ポートデータレジスタ 1                                                                                        |  | H'D4 |     |      |      |     |     | I/O ポート                       |
| ビット：        7            6            5            4            3            2            1            0   |  |      |     |      |      |     |     |                               |
| P17                                                                                                        |  | P16* | P15 | P14* | P13* | P12 | P11 | P10                           |
| 初期値：        0            0            0            0            0            0            0            0   |  |      |     |      |      |     |     |                               |
| R/W        :    R/W        R/W        R/W        R/W        R/W        R/W        R/W                      |  |      |     |      |      |     |     |                               |
| 【注】*    P16、P14、P13はH8/3857グループ固有の機能です。<br>H8/3854グループではリザーブビットとなり、常に1で使用してください。                           |  |      |     |      |      |     |     |                               |
| PDR2   ポートデータレジスタ 2                                                                                        |  | H'D5 |     |      |      |     |     | I/O ポート                       |
| ビット：        7            6            5            4            3            2            1            0   |  |      |     |      |      |     |     |                               |
| P27                                                                                                        |  | P26  | P25 | P24  | P23  | P22 | P21 | P20                           |
| 初期値：        0            0            0            0            0            0            0            0   |  |      |     |      |      |     |     |                               |
| R/W        :    R/W        R/W        R/W        R/W        R/W        R/W        R/W                      |  |      |     |      |      |     |     |                               |
| PDR3   ポートデータレジスタ 3                                                                                        |  | H'D6 |     |      |      |     |     | I/O ポート<br>( H8/3857 グループのみ ) |
| ビット：        7            6            5            4            3            2            1            0   |  |      |     |      |      |     |     |                               |
| P37                                                                                                        |  | P36  | P35 | P34  | P33  | P32 | P31 | P30                           |
| 初期値：        0            0            0            0            0            0            0            0   |  |      |     |      |      |     |     |                               |
| R/W        :    R/W        R/W        R/W        R/W        R/W        R/W        R/W                      |  |      |     |      |      |     |     |                               |
| PDR4   ポートデータレジスタ 4                                                                                        |  | H'D7 |     |      |      |     |     | I/O ポート                       |
| ビット：        7            6            5            4            3            2            1            0   |  |      |     |      |      |     |     |                               |
| —                                                                                                          |  | —    | —   | —    | P43  | P42 | P41 | P40                           |
| 初期値：        1            1            1            1            不定        0            0            0      |  |      |     |      |      |     |     |                               |
| R/W        :    —            —            —            —            R            R/W        R/W        R/W |  |      |     |      |      |     |     |                               |

|                                                                                                                                                                                                                                                                                                                                                                |      |         |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|---------|
| PDR5 ポートデータレジスタ 5                                                                                                                                                                                                                                                                                                                                              | H'D8 | I/O ポート |
| ビット :    7        6        5        4        3        2        1        0<br><div> <div>P57</div><div>P56</div><div>P55</div><div>P54</div><div>P53</div><div>P52</div><div>P51</div><div>P50</div> </div> 初期値 :    0        0        0        0        0        0        0        0<br>R/W    :   R/W     R/W     R/W     R/W     R/W     R/W     R/W     R/W |      |         |
| PDR9 ポートデータレジスタ 9                                                                                                                                                                                                                                                                                                                                              | H'DC | I/O ポート |
| ビット :    7        6        5        4        3        2        1        0<br><div> <div>P97</div><div>P96</div><div>P95</div><div>P94</div><div>P93</div><div>P92</div><div>P91</div><div>P90</div> </div> 初期値 :    0        0        0        0        0        0        0        0<br>R/W    :   R/W     R/W     R/W     R/W     R/W     R/W     R/W     R/W |      |         |
| PDRA ポートデータレジスタ A                                                                                                                                                                                                                                                                                                                                              | H'DD | I/O ポート |
| ビット :    7        6        5        4        3        2        1        0<br><div> <div>—</div><div>—</div><div>—</div><div>—</div><div>PA3</div><div>PA2</div><div>PA1</div><div>PA0</div> </div> 初期値 :    1        1        1        1        0        0        0        0<br>R/W    :   —        —        —        Ñ     R/W     R/W     R/W     R/W        |      |         |
| PDRB ポートデータレジスタ B                                                                                                                                                                                                                                                                                                                                              | H'DE | I/O ポート |
| ビット :    7        6        5        4        3        2        1        0<br><div> <div>PB7</div><div>PB6</div><div>PB5</div><div>PB4</div><div>PB3*</div><div>PB2*</div><div>PB1*</div><div>PB0*</div> </div> R/W    :    R        R        R        R        R        R        R        R                                                                    |      |         |
| 【注】* PB3～PB0はH8/3857グループ固有の機能です。<br>H8/3854グループではリザーブビットです。                                                                                                                                                                                                                                                                                                    |      |         |

|                                                                                                                                                                                                                                             |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------|--------------------|-------------------------------|----------------------|----------------------|--------------------|----------------------|----------------------|--------------------|--------------------|--------------------|
| PUCR1   ポートブルアップコントロールレジスタ 1                                                                                                                                                                                                                |                      | H'E0               | I/O ポート                       |                      |                      |                    |                      |                      |                    |                    |                    |
| ビット：      7            6            5            4            3            2            1            0                                                                                                                                      |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| <table><tr><td>PUCR1<sub>7</sub></td><td>PUCR1<sub>6</sub>*</td><td>PUCR1<sub>5</sub></td><td>PUCR1<sub>4</sub>*</td><td>PUCR1<sub>3</sub>*</td><td>PUCR1<sub>2</sub></td><td>PUCR1<sub>1</sub></td><td>PUCR1<sub>0</sub></td></tr></table> |                      |                    |                               | PUCR1 <sub>7</sub>   | PUCR1 <sub>6</sub> * | PUCR1 <sub>5</sub> | PUCR1 <sub>4</sub> * | PUCR1 <sub>3</sub> * | PUCR1 <sub>2</sub> | PUCR1 <sub>1</sub> | PUCR1 <sub>0</sub> |
| PUCR1 <sub>7</sub>                                                                                                                                                                                                                          | PUCR1 <sub>6</sub> * | PUCR1 <sub>5</sub> | PUCR1 <sub>4</sub> *          | PUCR1 <sub>3</sub> * | PUCR1 <sub>2</sub>   | PUCR1 <sub>1</sub> | PUCR1 <sub>0</sub>   |                      |                    |                    |                    |
| 初期値：      0            0            0            0            0            0            0            0                                                                                                                                      |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| R/W   ：    R/W        R/W        R/W        R/W        R/W        R/W        R/W                                                                                                                                                            |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| 【注】*   PUCR1 <sub>6</sub> 、PUCR1 <sub>4</sub> 、PUCR1 <sub>3</sub> はH8/3857グループ固有の機能です。<br>H8/3854グループではリザーブビットとなり、常に0で使用するください。                                                                                                             |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| PUCR3   ポートブルアップコントロールレジスタ 3                                                                                                                                                                                                                |                      | H'E1               | I/O ポート<br>( H8/3857 グループのみ ) |                      |                      |                    |                      |                      |                    |                    |                    |
| ビット：      7            6            5            4            3            2            1            0                                                                                                                                      |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| <table><tr><td>PUCR3<sub>7</sub></td><td>PUCR3<sub>6</sub></td><td>PUCR3<sub>5</sub></td><td>PUCR3<sub>4</sub></td><td>PUCR3<sub>3</sub></td><td>PUCR3<sub>2</sub></td><td>PUCR3<sub>1</sub></td><td>PUCR3<sub>0</sub></td></tr></table>    |                      |                    |                               | PUCR3 <sub>7</sub>   | PUCR3 <sub>6</sub>   | PUCR3 <sub>5</sub> | PUCR3 <sub>4</sub>   | PUCR3 <sub>3</sub>   | PUCR3 <sub>2</sub> | PUCR3 <sub>1</sub> | PUCR3 <sub>0</sub> |
| PUCR3 <sub>7</sub>                                                                                                                                                                                                                          | PUCR3 <sub>6</sub>   | PUCR3 <sub>5</sub> | PUCR3 <sub>4</sub>            | PUCR3 <sub>3</sub>   | PUCR3 <sub>2</sub>   | PUCR3 <sub>1</sub> | PUCR3 <sub>0</sub>   |                      |                    |                    |                    |
| 初期値：      0            0            0            0            0            0            0            0                                                                                                                                      |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| R/W   ：    R/W        R/W        R/W        R/W        R/W        R/W        R/W                                                                                                                                                            |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| PUCR5   ポートブルアップコントロールレジスタ 5                                                                                                                                                                                                                |                      | H'E2               | I/O ポート                       |                      |                      |                    |                      |                      |                    |                    |                    |
| ビット：      7            6            5            4            3            2            1            0                                                                                                                                      |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| <table><tr><td>PUCR5<sub>7</sub></td><td>PUCR5<sub>6</sub></td><td>PUCR5<sub>5</sub></td><td>PUCR5<sub>4</sub></td><td>PUCR5<sub>3</sub></td><td>PUCR5<sub>2</sub></td><td>PUCR5<sub>1</sub></td><td>PUCR5<sub>0</sub></td></tr></table>    |                      |                    |                               | PUCR5 <sub>7</sub>   | PUCR5 <sub>6</sub>   | PUCR5 <sub>5</sub> | PUCR5 <sub>4</sub>   | PUCR5 <sub>3</sub>   | PUCR5 <sub>2</sub> | PUCR5 <sub>1</sub> | PUCR5 <sub>0</sub> |
| PUCR5 <sub>7</sub>                                                                                                                                                                                                                          | PUCR5 <sub>6</sub>   | PUCR5 <sub>5</sub> | PUCR5 <sub>4</sub>            | PUCR5 <sub>3</sub>   | PUCR5 <sub>2</sub>   | PUCR5 <sub>1</sub> | PUCR5 <sub>0</sub>   |                      |                    |                    |                    |
| 初期値：      0            0            0            0            0            0            0            0                                                                                                                                      |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| R/W   ：    R/W        R/W        R/W        R/W        R/W        R/W        R/W                                                                                                                                                            |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| PCR1   ポートコントロールレジスタ 1                                                                                                                                                                                                                      |                      | H'E4               | I/O ポート                       |                      |                      |                    |                      |                      |                    |                    |                    |
| ビット：      7            6            5            4            3            2            1            0                                                                                                                                      |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| <table><tr><td>PCR1<sub>7</sub></td><td>PCR1<sub>6</sub>*</td><td>PCR1<sub>5</sub></td><td>PCR1<sub>4</sub>*</td><td>PCR1<sub>3</sub>*</td><td>PCR1<sub>2</sub></td><td>PCR1<sub>1</sub></td><td>PCR1<sub>0</sub></td></tr></table>         |                      |                    |                               | PCR1 <sub>7</sub>    | PCR1 <sub>6</sub> *  | PCR1 <sub>5</sub>  | PCR1 <sub>4</sub> *  | PCR1 <sub>3</sub> *  | PCR1 <sub>2</sub>  | PCR1 <sub>1</sub>  | PCR1 <sub>0</sub>  |
| PCR1 <sub>7</sub>                                                                                                                                                                                                                           | PCR1 <sub>6</sub> *  | PCR1 <sub>5</sub>  | PCR1 <sub>4</sub> *           | PCR1 <sub>3</sub> *  | PCR1 <sub>2</sub>    | PCR1 <sub>1</sub>  | PCR1 <sub>0</sub>    |                      |                    |                    |                    |
| 初期値：      0            0            0            0            0            0            0            0                                                                                                                                      |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
| R/W   ：    W            W            W            W            W            W            W                                                                                                                                                  |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |
|                                                                                                                                                                                                                                             |                      |                    |                               |                      |                      |                    |                      |                      |                    |                    |                    |

|                         |                   |                                                                                                                                                                                                                                  |                   |                   |                   |                   |                   |   |   |                   |                   |                   |                   |                   |                   |                   |                   |
|-------------------------|-------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------|-------------------|-------------------|-------------------|-------------------|---|---|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| PCR2    ポートコントロールレジスタ 2 |                   | H'E5                                                                                                                                                                                                                             | I/O    ポート        |                   |                   |                   |                   |   |   |                   |                   |                   |                   |                   |                   |                   |                   |
| ビット :                   |                   | 7                                                                                                                                                                                                                                | 6                 | 5                 | 4                 | 3                 | 2                 | 1 | 0 |                   |                   |                   |                   |                   |                   |                   |                   |
|                         |                   | <table><tr><td>PCR2<sub>7</sub></td><td>PCR2<sub>6</sub></td><td>PCR2<sub>5</sub></td><td>PCR2<sub>4</sub></td><td>PCR2<sub>3</sub></td><td>PCR2<sub>2</sub></td><td>PCR2<sub>1</sub></td><td>PCR2<sub>0</sub></td></tr></table> |                   |                   |                   |                   |                   |   |   | PCR2 <sub>7</sub> | PCR2 <sub>6</sub> | PCR2 <sub>5</sub> | PCR2 <sub>4</sub> | PCR2 <sub>3</sub> | PCR2 <sub>2</sub> | PCR2 <sub>1</sub> | PCR2 <sub>0</sub> |
| PCR2 <sub>7</sub>       | PCR2 <sub>6</sub> | PCR2 <sub>5</sub>                                                                                                                                                                                                                | PCR2 <sub>4</sub> | PCR2 <sub>3</sub> | PCR2 <sub>2</sub> | PCR2 <sub>1</sub> | PCR2 <sub>0</sub> |   |   |                   |                   |                   |                   |                   |                   |                   |                   |
| 初期値 :                   |                   | 0                                                                                                                                                                                                                                | 0                 | 0                 | 0                 | 0                 | 0                 | 0 | 0 |                   |                   |                   |                   |                   |                   |                   |                   |
| R/W :                   |                   | W                                                                                                                                                                                                                                | W                 | W                 | W                 | W                 | W                 | W | W |                   |                   |                   |                   |                   |                   |                   |                   |
|                         |                   | <div>ポート2入出力選択</div> <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>                                                                                                                           |                   |                   |                   |                   |                   |   |   | 0                 | 入力ポート             | 1                 | 出力ポート             |                   |                   |                   |                   |
| 0                       | 入力ポート             |                                                                                                                                                                                                                                  |                   |                   |                   |                   |                   |   |   |                   |                   |                   |                   |                   |                   |                   |                   |
| 1                       | 出力ポート             |                                                                                                                                                                                                                                  |                   |                   |                   |                   |                   |   |   |                   |                   |                   |                   |                   |                   |                   |                   |

|                         |                   |                                                                                                                                                                                                                                  |                                     |                   |                   |                   |                   |   |   |                   |                   |                   |                   |                   |                   |                   |                   |
|-------------------------|-------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------|-------------------|-------------------|-------------------|-------------------|---|---|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| PCR3    ポートコントロールレジスタ 3 |                   | H'E6                                                                                                                                                                                                                             | I/O    ポート<br>( H8/3857    グループのみ ) |                   |                   |                   |                   |   |   |                   |                   |                   |                   |                   |                   |                   |                   |
| ビット :                   |                   | 7                                                                                                                                                                                                                                | 6                                   | 5                 | 4                 | 3                 | 2                 | 1 | 0 |                   |                   |                   |                   |                   |                   |                   |                   |
|                         |                   | <table><tr><td>PCR3<sub>7</sub></td><td>PCR3<sub>6</sub></td><td>PCR3<sub>5</sub></td><td>PCR3<sub>4</sub></td><td>PCR3<sub>3</sub></td><td>PCR3<sub>2</sub></td><td>PCR3<sub>1</sub></td><td>PCR3<sub>0</sub></td></tr></table> |                                     |                   |                   |                   |                   |   |   | PCR3 <sub>7</sub> | PCR3 <sub>6</sub> | PCR3 <sub>5</sub> | PCR3 <sub>4</sub> | PCR3 <sub>3</sub> | PCR3 <sub>2</sub> | PCR3 <sub>1</sub> | PCR3 <sub>0</sub> |
| PCR3 <sub>7</sub>       | PCR3 <sub>6</sub> | PCR3 <sub>5</sub>                                                                                                                                                                                                                | PCR3 <sub>4</sub>                   | PCR3 <sub>3</sub> | PCR3 <sub>2</sub> | PCR3 <sub>1</sub> | PCR3 <sub>0</sub> |   |   |                   |                   |                   |                   |                   |                   |                   |                   |
| 初期値 :                   |                   | 0                                                                                                                                                                                                                                | 0                                   | 0                 | 0                 | 0                 | 0                 | 0 | 0 |                   |                   |                   |                   |                   |                   |                   |                   |
| R/W :                   |                   | W                                                                                                                                                                                                                                | W                                   | W                 | W                 | W                 | W                 | W | W |                   |                   |                   |                   |                   |                   |                   |                   |
|                         |                   | <div>ポート3入出力選択</div> <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>                                                                                                                           |                                     |                   |                   |                   |                   |   |   | 0                 | 入力ポート             | 1                 | 出力ポート             |                   |                   |                   |                   |
| 0                       | 入力ポート             |                                                                                                                                                                                                                                  |                                     |                   |                   |                   |                   |   |   |                   |                   |                   |                   |                   |                   |                   |                   |
| 1                       | 出力ポート             |                                                                                                                                                                                                                                  |                                     |                   |                   |                   |                   |   |   |                   |                   |                   |                   |                   |                   |                   |                   |

|                         |       |                                                                                                                                                       |            |   |                   |                   |                   |   |   |   |       |   |       |   |                   |                   |                   |
|-------------------------|-------|-------------------------------------------------------------------------------------------------------------------------------------------------------|------------|---|-------------------|-------------------|-------------------|---|---|---|-------|---|-------|---|-------------------|-------------------|-------------------|
| PCR4    ポートコントロールレジスタ 4 |       | H'E7                                                                                                                                                  | I/O    ポート |   |                   |                   |                   |   |   |   |       |   |       |   |                   |                   |                   |
| ビット :                   |       | 7                                                                                                                                                     | 6          | 5 | 4                 | 3                 | 2                 | 1 | 0 |   |       |   |       |   |                   |                   |                   |
|                         |       | <table><tr><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>PCR4<sub>2</sub></td><td>PCR4<sub>1</sub></td><td>PCR4<sub>0</sub></td></tr></table> |            |   |                   |                   |                   |   |   | — | —     | — | —     | — | PCR4 <sub>2</sub> | PCR4 <sub>1</sub> | PCR4 <sub>0</sub> |
| —                       | —     | —                                                                                                                                                     | —          | — | PCR4 <sub>2</sub> | PCR4 <sub>1</sub> | PCR4 <sub>0</sub> |   |   |   |       |   |       |   |                   |                   |                   |
| 初期値 :                   |       | 1                                                                                                                                                     | 1          | 1 | 1                 | 1                 | 0                 | 0 | 0 |   |       |   |       |   |                   |                   |                   |
| R/W :                   |       | —                                                                                                                                                     | —          | — | —                 | —                 | W                 | W | W |   |       |   |       |   |                   |                   |                   |
|                         |       | <div>ポート4入出力選択</div> <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>                                                |            |   |                   |                   |                   |   |   | 0 | 入力ポート | 1 | 出力ポート |   |                   |                   |                   |
| 0                       | 入力ポート |                                                                                                                                                       |            |   |                   |                   |                   |   |   |   |       |   |       |   |                   |                   |                   |
| 1                       | 出力ポート |                                                                                                                                                       |            |   |                   |                   |                   |   |   |   |       |   |       |   |                   |                   |                   |

|                         |  |  |  |                   |                   |                   |                   |                   |                   |                   |                   |
|-------------------------|--|--|--|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| PCR5    ポートコントロールレジスタ 5 |  |  |  | H'E8              |                   |                   |                   | I/O    ポート        |                   |                   |                   |
| ビット :                   |  |  |  | 7                 | 6                 | 5                 | 4                 | 3                 | 2                 | 1                 | 0                 |
|                         |  |  |  | PCR5 <sub>7</sub> | PCR5 <sub>6</sub> | PCR5 <sub>5</sub> | PCR5 <sub>4</sub> | PCR5 <sub>3</sub> | PCR5 <sub>2</sub> | PCR5 <sub>1</sub> | PCR5 <sub>0</sub> |
| 初期値 :                   |  |  |  | 0                 | 0                 | 0                 | 0                 | 0                 | 0                 | 0                 | 0                 |
| R/W :                   |  |  |  | W                 | W                 | W                 | W                 | W                 | W                 | W                 | W                 |
|                         |  |  |  | ポート5入出力選択         |                   |                   |                   |                   |                   |                   |                   |
|                         |  |  |  | 0                 |                   | 入力ポート             |                   |                   |                   |                   |                   |
|                         |  |  |  | 1                 |                   | 出力ポート             |                   |                   |                   |                   |                   |

|                         |  |  |  |                   |                   |                   |                   |                   |                   |                   |                   |
|-------------------------|--|--|--|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
| PCR9    ポートコントロールレジスタ 9 |  |  |  | H'EC              |                   |                   |                   | I/O    ポート        |                   |                   |                   |
| ビット :                   |  |  |  | 7                 | 6                 | 5                 | 4                 | 3                 | 2                 | 1                 | 0                 |
|                         |  |  |  | PCR9 <sub>7</sub> | PCR9 <sub>6</sub> | PCR9 <sub>5</sub> | PCR9 <sub>4</sub> | PCR9 <sub>3</sub> | PCR9 <sub>2</sub> | PCR9 <sub>1</sub> | PCR9 <sub>0</sub> |
| 初期値 :                   |  |  |  | 0                 | 0                 | 0                 | 0                 | 0                 | 0                 | 0                 | 0                 |
| R/W :                   |  |  |  | W                 | W                 | W                 | W                 | W                 | W                 | W                 | W                 |
|                         |  |  |  | ポート9入出力選択         |                   |                   |                   |                   |                   |                   |                   |
|                         |  |  |  | 0                 |                   | 入力ポート             |                   |                   |                   |                   |                   |
|                         |  |  |  | 1                 |                   | 出力ポート             |                   |                   |                   |                   |                   |

|                         |  |  |  |           |   |       |   |                   |                   |                   |                   |
|-------------------------|--|--|--|-----------|---|-------|---|-------------------|-------------------|-------------------|-------------------|
| PCRA    ポートコントロールレジスタ A |  |  |  | H'ED      |   |       |   | I/O    ポート        |                   |                   |                   |
| ビット :                   |  |  |  | 7         | 6 | 5     | 4 | 3                 | 2                 | 1                 | 0                 |
|                         |  |  |  | —         | — | —     | — | PCRA <sub>3</sub> | PCRA <sub>2</sub> | PCRA <sub>1</sub> | PCRA <sub>0</sub> |
| 初期値 :                   |  |  |  | 1         | 1 | 1     | 1 | 0                 | 0                 | 0                 | 0                 |
| R/W :                   |  |  |  | —         | — | —     | — | W                 | W                 | W                 | W                 |
|                         |  |  |  | ポートA入出力選択 |   |       |   |                   |                   |                   |                   |
|                         |  |  |  | 0         |   | 入力ポート |   |                   |                   |                   |                   |
|                         |  |  |  | 1         |   | 出力ポート |   |                   |                   |                   |                   |

|                                                                                                                                         |      |      |      |      |                                      |   |            |   |
|-----------------------------------------------------------------------------------------------------------------------------------------|------|------|------|------|--------------------------------------|---|------------|---|
| SYSCR1 システムコントロールレジスタ 1                                                                                                                 |      |      |      |      | H'F0                                 |   | システムコントロール |   |
| ビット :                                                                                                                                   | 7    | 6    | 5    | 4    | 3                                    | 2 | 1          | 0 |
|                                                                                                                                         | SSBY | STS2 | STS1 | STS0 | LSON                                 | — | —          | — |
| 初期値 :                                                                                                                                   | 0    | 0    | 0    | 0    | 0                                    | 1 | 1          | 1 |
| R/W :                                                                                                                                   | R/W  | R/W  | R/W  | R/W  | R/W                                  | — | —          | — |
|                                                                                                                                         |      |      |      |      | ロースピードオンフラグ                          |   |            |   |
|                                                                                                                                         |      |      |      |      | 0 CPUの動作クロックはシステムクロック ( $\phi$ )     |   |            |   |
|                                                                                                                                         |      |      |      |      | 1 CPUの動作クロックはサブクロック ( $\phi_{SUB}$ ) |   |            |   |
|                                                                                                                                         |      |      |      |      | スタンバイタイムセレクト2~0                      |   |            |   |
|                                                                                                                                         |      |      |      |      | 0 0 0 待機時間 = 8192ステート                |   |            |   |
|                                                                                                                                         |      |      |      |      | 0 1 待機時間 = 16384ステート                 |   |            |   |
|                                                                                                                                         |      |      |      |      | 1 0 待機時間 = 32768ステート                 |   |            |   |
|                                                                                                                                         |      |      |      |      | 1 1 待機時間 = 65536ステート                 |   |            |   |
|                                                                                                                                         |      |      |      |      | 1 * * 待機時間 = 131072ステート              |   |            |   |
|                                                                                                                                         |      |      |      |      | 【記号説明】                               |   |            |   |
|                                                                                                                                         |      |      |      |      | * Don't care                         |   |            |   |
| ソフトウェアスタンバイ                                                                                                                             |      |      |      |      |                                      |   |            |   |
| 0 <ul style="list-style-type: none"><li>・アクティブモードでSLEEP命令実行後、スリープモードに遷移</li><li>・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移</li></ul>           |      |      |      |      |                                      |   |            |   |
| 1 <ul style="list-style-type: none"><li>・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移</li><li>・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移</li></ul> |      |      |      |      |                                      |   |            |   |

|                         |  |  |  |  |      |  |            |  |
|-------------------------|--|--|--|--|------|--|------------|--|
| SYSCR2 システムコントロールレジスタ 2 |  |  |  |  | H'F1 |  | システムコントロール |  |
|-------------------------|--|--|--|--|------|--|------------|--|

|       |   |   |   |       |      |      |     |     |
|-------|---|---|---|-------|------|------|-----|-----|
| ビット : | 7 | 6 | 5 | 4     | 3    | 2    | 1   | 0   |
|       | — | — | — | NESEL | DTON | MSON | SA1 | SA0 |

|       |   |   |   |     |     |     |     |     |
|-------|---|---|---|-----|-----|-----|-----|-----|
| 初期値 : | 1 | 1 | 1 | 0   | 0   | 0   | 0   | 0   |
| R/W : | — | — | — | R/W | R/W | R/W | R/W | R/W |

|                       |   |   |   |      |      |            |      |      |
|-----------------------|---|---|---|------|------|------------|------|------|
| IEGR  IRQ エッジセレクトレジスタ |   |   |   | H'F2 |      | システムコントロール |      |      |
| ビット :                 | 7 | 6 | 5 | 4    | 3    | 2          | 1    | 0    |
|                       | — | — | — | IEG4 | IEG3 | IEG2*      | IEG1 | IEG0 |
| 初期値 :                 | 1 | 1 | 1 | 0    | 0    | 0          | 0    | 0    |
| R/W :                 | — | — | — | R/W  | R/W  | R/W        | R/W  | R/W  |

</





|                                                                                                                                       |  |       |  |                                                                                      |  |   |  |            |  |       |  |                                                                      |  |       |  |       |  |
|---------------------------------------------------------------------------------------------------------------------------------------|--|-------|--|--------------------------------------------------------------------------------------|--|---|--|------------|--|-------|--|----------------------------------------------------------------------|--|-------|--|-------|--|
| IRR1 割り込み要求レジスタ 1                                                                                                                     |  |       |  | H'F6                                                                                 |  |   |  | システムコントロール |  |       |  |                                                                      |  |       |  |       |  |
| ビット :        7                6                5                4                3                2                1                0 |  |       |  |                                                                                      |  |   |  |            |  |       |  |                                                                      |  |       |  |       |  |
|                                                                                                                                       |  | IRRTA |  | IRRS1*1                                                                              |  | — |  | IRRI4      |  | IRRI3 |  | IRRI2*1                                                              |  | IRRI1 |  | IRRI0 |  |
| 初期値 :                                                                                                                                 |  | 0     |  | 0                                                                                    |  | 1 |  | 0          |  | 0     |  | 0                                                                    |  | 0     |  | 0     |  |
| R/W :                                                                                                                                 |  | R/W*2 |  | R/W*2                                                                                |  | — |  | R/W*2      |  | R/W*2 |  | R/W*2                                                                |  | R/W*2 |  | R/W*2 |  |
|                                                                                                                                       |  |       |  |                                                                                      |  |   |  |            |  |       |  | IRQ4 ~ IRQ0割り込み要求フラグ                                                 |  |       |  |       |  |
|                                                                                                                                       |  | 0     |  | [クリア条件]<br>IRRI4 = 1の状態ではIRRI4に0をライトしたとき<br>IRRI3 ~ IRRI0についても同様                     |  |   |  |            |  |       |  |                                                                      |  |       |  |       |  |
|                                                                                                                                       |  | 1     |  | [セット条件]<br>IRQ4端子が割り込み入力に設定されており、かつ当該端子に指定された<br>エッジが入力されたとき<br>IRRI3 ~ IRRI0についても同様 |  |   |  |            |  |       |  |                                                                      |  |       |  |       |  |
|                                                                                                                                       |  |       |  |                                                                                      |  |   |  |            |  |       |  | SCI1割り込み要求フラグ                                                        |  |       |  |       |  |
|                                                                                                                                       |  | 0     |  | [クリア条件]<br>IRRS1 = 1の状態ではIRRS1に0をライトしたとき                                             |  |   |  |            |  |       |  |                                                                      |  |       |  |       |  |
|                                                                                                                                       |  | 1     |  | [セット条件]<br>SCI1が転送完了したとき                                                             |  |   |  |            |  |       |  |                                                                      |  |       |  |       |  |
|                                                                                                                                       |  |       |  |                                                                                      |  |   |  |            |  |       |  | タイマA割り込み要求フラグ                                                        |  |       |  |       |  |
|                                                                                                                                       |  | 0     |  | [クリア条件]<br>IRRTA = 1の状態ではIRRTAに0をライトしたとき                                             |  |   |  |            |  |       |  |                                                                      |  |       |  |       |  |
|                                                                                                                                       |  | 1     |  | [セット条件]<br>タイマAのカウント値がオーバーフロー（H'FF ~ H'00）したとき                                       |  |   |  |            |  |       |  |                                                                      |  |       |  |       |  |
| 【注】                                                                                                                                   |  |       |  |                                                                                      |  |   |  |            |  |       |  | *1 IRRS1、IRRI2はH8/3857グループ固有の機能です。<br>H8/3854グループではリザーブビットとなり、常に0です。 |  |       |  |       |  |
|                                                                                                                                       |  |       |  |                                                                                      |  |   |  |            |  |       |  | *2 フラグクリアのための0ライトのみ可能                                                |  |       |  |       |  |

| IRR2 割り込み要求レジスタ 2 |  |  |  | H'F7 | システムコントロール |  |  |
|-------------------|--|--|--|------|------------|--|--|
|-------------------|--|--|--|------|------------|--|--|

|       |       |       |   |   |        |        |         |       |
|-------|-------|-------|---|---|--------|--------|---------|-------|
| ビット : | 7     | 6     | 5 | 4 | 3      | 2      | 1       | 0     |
|       | IRRDT | IRRAD | — | — | IRRTFH | IRRTFL | IRRTC*1 | IRRTB |

|       |       |       |   |   |       |       |       |       |
|-------|-------|-------|---|---|-------|-------|-------|-------|
| 初期値 : | 0     | 0     | 0 | 0 | 0     | 0     | 0     | 0     |
| R/W : | R/W*2 | R/W*2 | — | — | R/W*2 | R/W*2 | R/W*2 | R/W*2 |

タイマB割り込み要求フラグ

|   |                                                  |
|---|--------------------------------------------------|
| 0 | [クリア条件]<br>IRRTB = 1の状態 でIRRTBに0をライトしたとき         |
| 1 | [セット条件]<br>タイマBのカウント値がオーバーフロー (H'FF ~ H'00) したとき |

タイマC割り込み要求フラグ

|   |                                                                          |
|---|--------------------------------------------------------------------------|
| 0 | [クリア条件]<br>IRRTC = 1の状態 でIRRTCに0をライトしたとき                                 |
| 1 | [セット条件]<br>タイマCのカウント値がオーバーフロー (H'FF → H'00) またはアンダフロー (H'00 → H'FF) したとき |

タイマFL割り込み要求フラグ

|   |                                                      |
|---|------------------------------------------------------|
| 0 | [クリア条件]<br>IRRTFL = 1の状態 でIRRTFLに0をライトしたとき           |
| 1 | [セット条件]<br>8ビットタイマモードでカウンタFLとアウトプットコンペアレジスタFLが一致したとき |

タイマFH割り込み要求フラグ

|   |                                                                                                              |
|---|--------------------------------------------------------------------------------------------------------------|
| 0 | [クリア条件]<br>IRRTFH = 1の状態 でIRRTFHに0をライトしたとき                                                                   |
| 1 | [セット条件]<br>8ビットタイマモードでカウンタFHとアウトプットコンペアレジスタFHが一致したとき、また16ビットタイマモードで16ビットカウンタFL、FHとアウトプットコンペアレジスタFL、FHが一致したとき |

A/D変換器割り込み要求フラグ

|   |                                          |
|---|------------------------------------------|
| 0 | [クリア条件]<br>IRRAD = 1の状態 でIRRADに0をライトしたとき |
| 1 | [セット条件]<br>A/D変換器が変換終了し、ADSFがリセットされたとき   |

直接遷移割り込み要求フラグ

|   |                                              |
|---|----------------------------------------------|
| 0 | [クリア条件]<br>IRRDT = 1の状態 でIRRDTに0をライトしたとき     |
| 1 | [セット条件]<br>DTONに1をセットした状態でスリープ命令を実行し直接遷移したとき |

【注】 \*1 IRRTCはH8/3857グループ固有の機能です。  
H8/3854グループではリザーブビットとなり、常に0です。  
\*2 フラグクリアのための0ライトのみ可能

|                          |  |  |  |                                                                                                   |       |       |       |            |       |       |       |
|--------------------------|--|--|--|---------------------------------------------------------------------------------------------------|-------|-------|-------|------------|-------|-------|-------|
| IWPR   ウェイクアップ割り込み要求レジスタ |  |  |  | H'F9                                                                                              |       |       |       | システムコントロール |       |       |       |
| ビット：                     |  |  |  | 7                                                                                                 | 6     | 5     | 4     | 3          | 2     | 1     | 0     |
|                          |  |  |  | IWPF7                                                                                             | IWPF6 | IWPF5 | IWPF4 | IWPF3      | IWPF2 | IWPF1 | IWPF0 |
| 初期値：                     |  |  |  | 0                                                                                                 | 0     | 0     | 0     | 0          | 0     | 0     | 0     |
| R/W：                     |  |  |  | R/W*                                                                                              | R/W*  | R/W*  | R/W*  | R/W*       | R/W*  | R/W*  | R/W*  |
|                          |  |  |  | ウェイクアップ割り込み要求フラグ                                                                                  |       |       |       |            |       |       |       |
|                          |  |  |  |                                                                                                   |       |       |       |            |       |       |       |
| 0                        |  |  |  | [クリア条件]<br>IWPF7 = 1の状態ではIWPF7に0をライトしたとき<br>IWPF6 ~ IWPF0についても同様                                  |       |       |       |            |       |       |       |
| 1                        |  |  |  | [セット条件]<br>WKPF <sub>7</sub> 端子がウェイクアップ入力に設定されており、かつ当該端子に立ち下がりエッジが入力されたとき<br>IWPF6 ~ IWPF0についても同様 |       |       |       |            |       |       |       |

【注】\*    フラグクリアのための0ライトのみ可能

【注】\*    フラグクリアのための0ライトのみ可能

**【記号説明】**

- PDR1：ポートデータレジスタ1
- PCR1：ポートコントロールレジスタ1
- PMR1：ポートモードレジスタ1
- PUCR1：ポートプルアップコントロールレジスタ1

**【注】** n=7、6\*、5

\* P1<sub>6</sub>、タイマCモジュール（TMIC）、n=6（PDR1<sub>6</sub>、PCR1<sub>6</sub>、PMR1<sub>6</sub>、PUCR1<sub>6</sub>、 $\overline{\text{IRQ}}_2$ ）はH8/3857グループ固有の機能です。H8/3854グループにはありません。



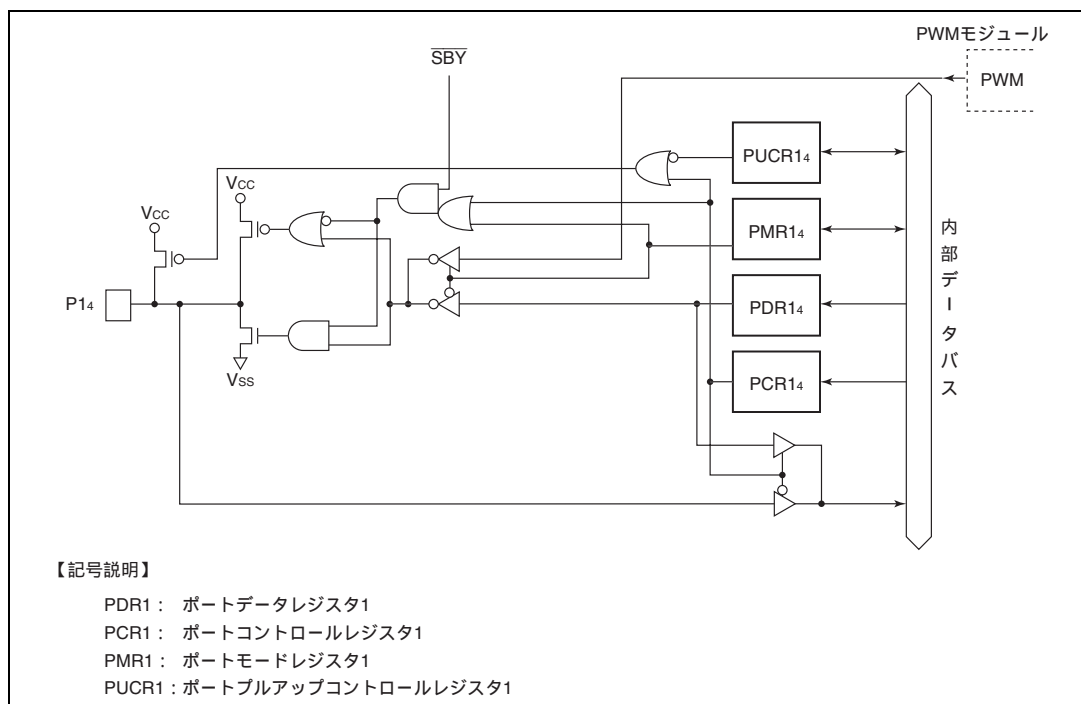


図 C.1 (b) ポート 1 ブロック図 (P1<sub>4</sub> 端子 : H8/3857 グループ固有機能)

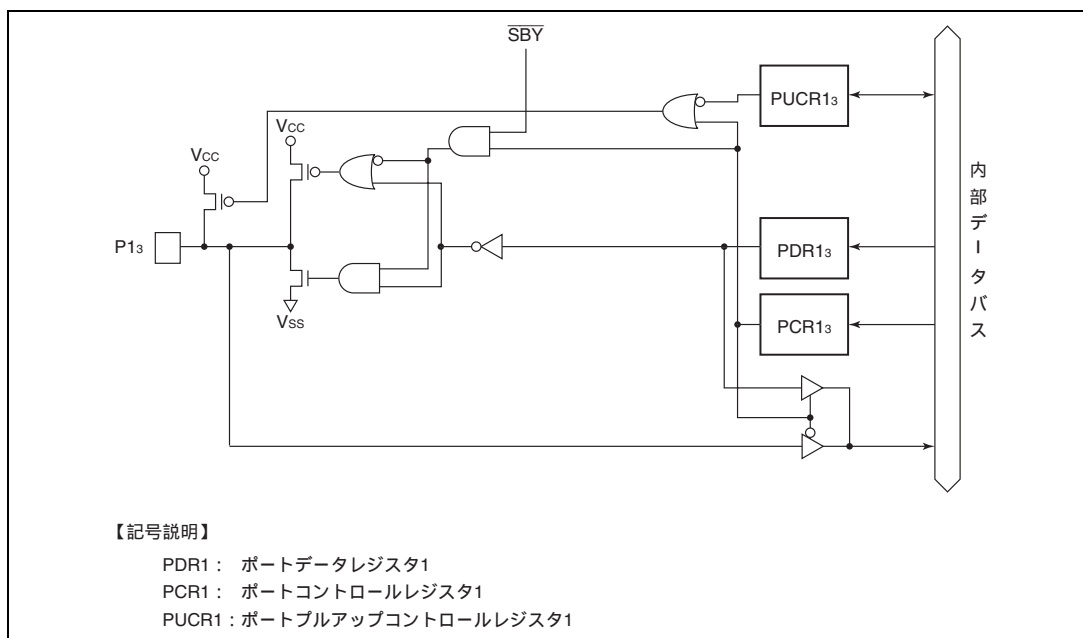
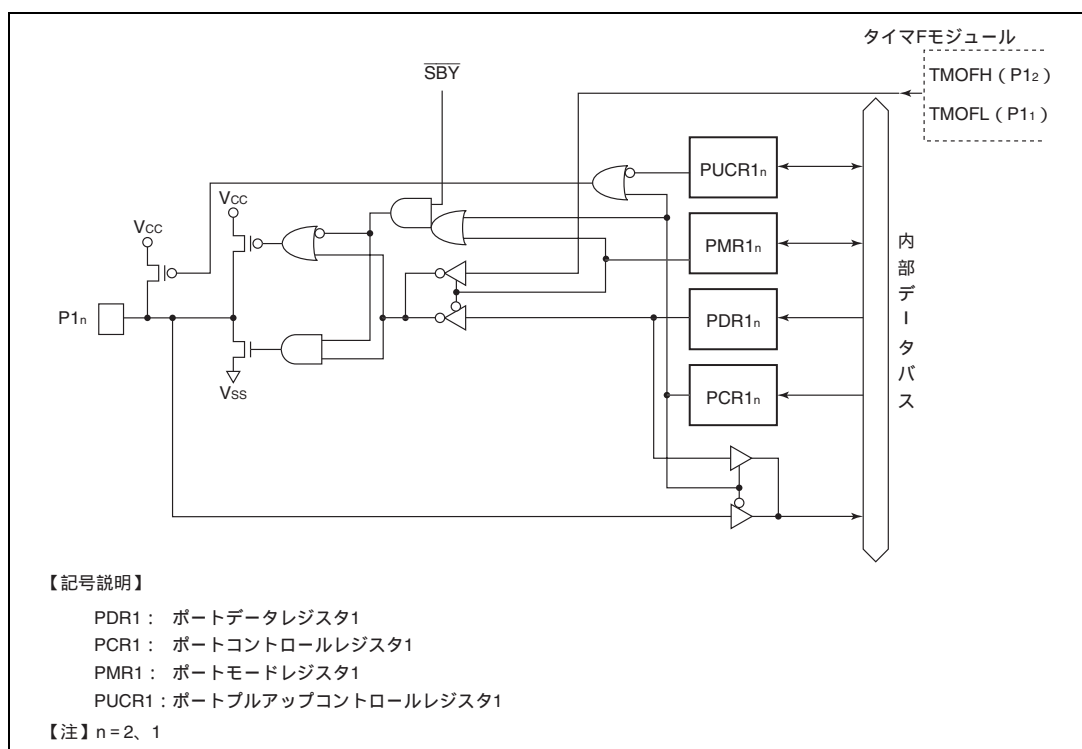


図 C.1 (c) ポート 1 ブロック図 (P1<sub>3</sub> 端子 : H8/3857 グループ固有機能)

図 C.1 (d) ポート1 ブロック図 (P1<sub>2</sub>、P1<sub>1</sub>端子)

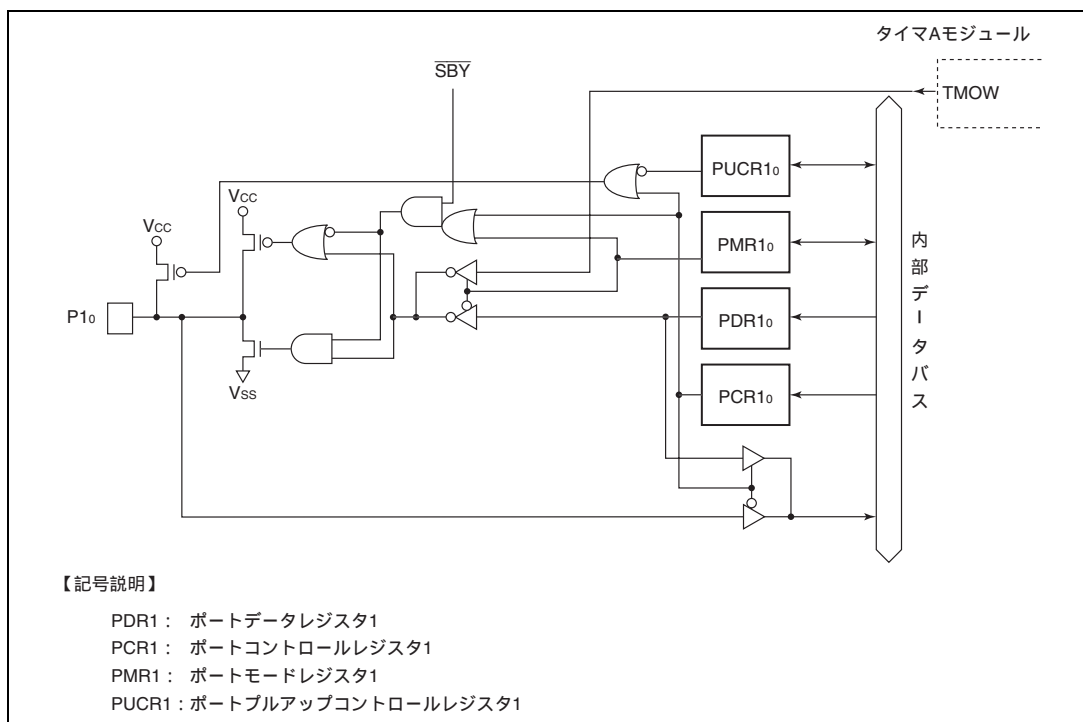


図 C.1 (e) ポート1 ブロック図 (P1<sub>0</sub> 端子)

## C.2 ポート 2 ブロック図

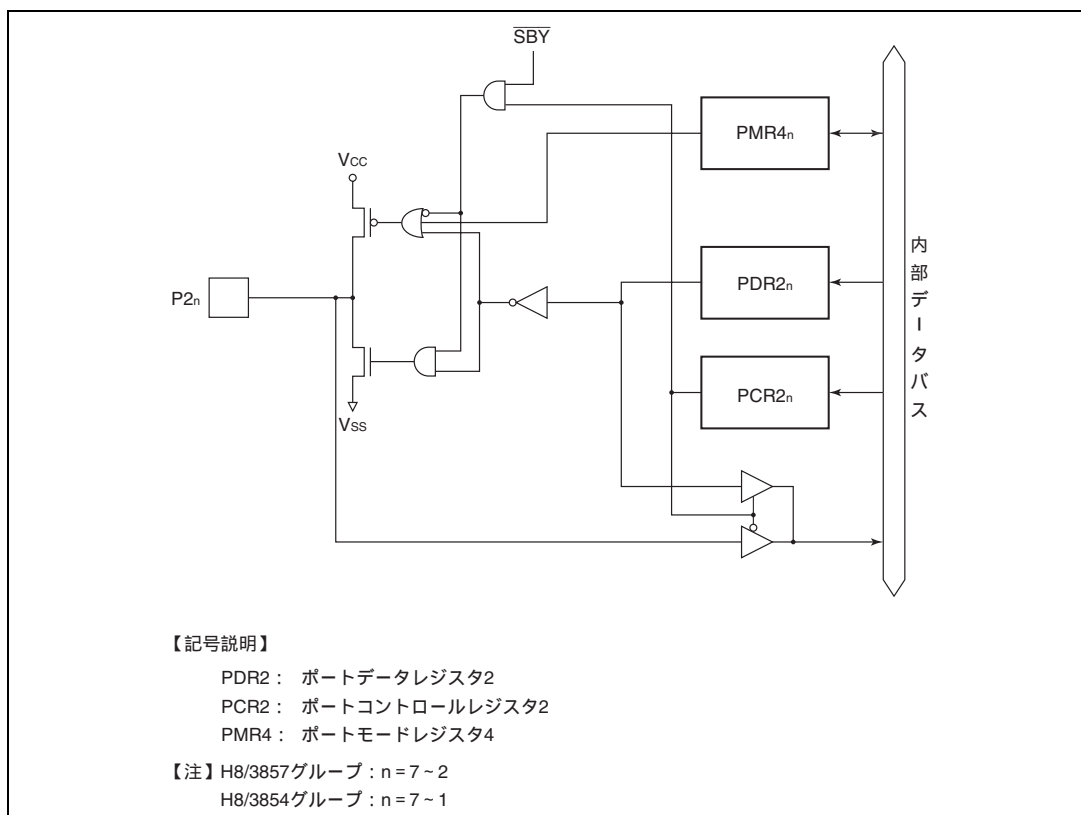
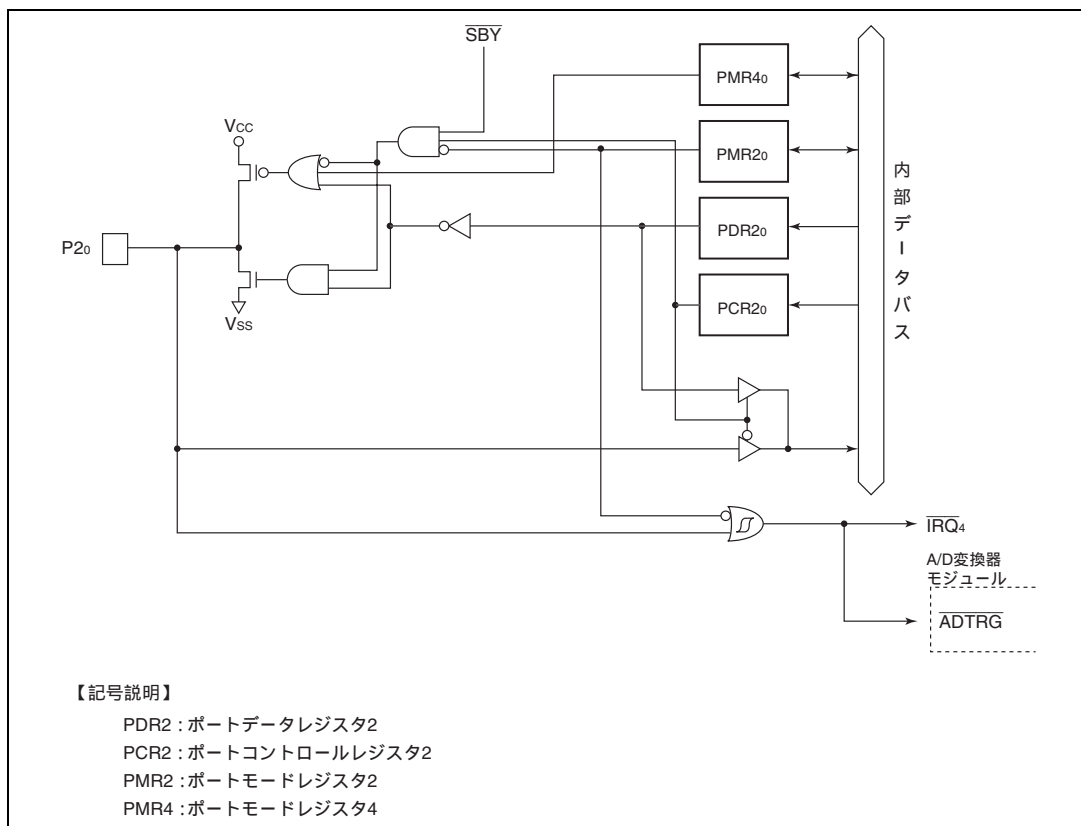


図 C.2 (a) ポート 2 ブロック図 ( $P2_7 \sim P2_2$  端子 : H8/3857 グループ、  
 $P2_7 \sim P2_1$  端子 : H8/3854 グループ)



図 C.2 (c) ポート2 ブロック図 (P2<sub>0</sub>端子)

### C.3 ポート 3 ブロック図 (H8/3857 グループのみ)

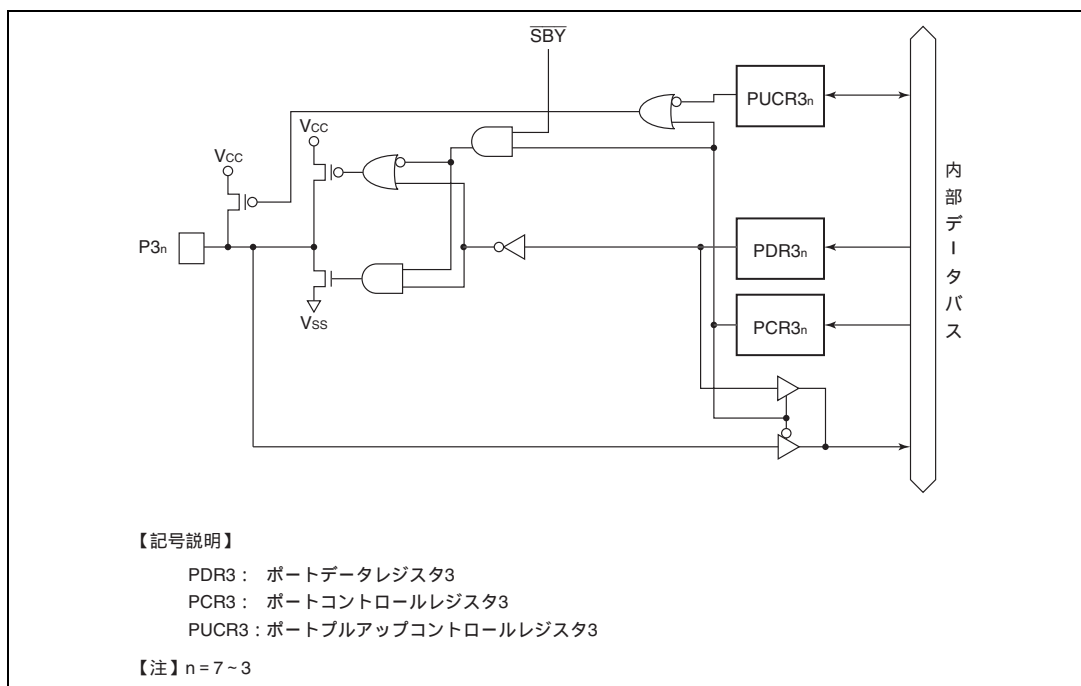


図 C.3 (a) ポート 3 ブロック図 (P3<sub>7</sub> ~ P3<sub>3</sub> 端子 : H8/3857 グループ固有機能)

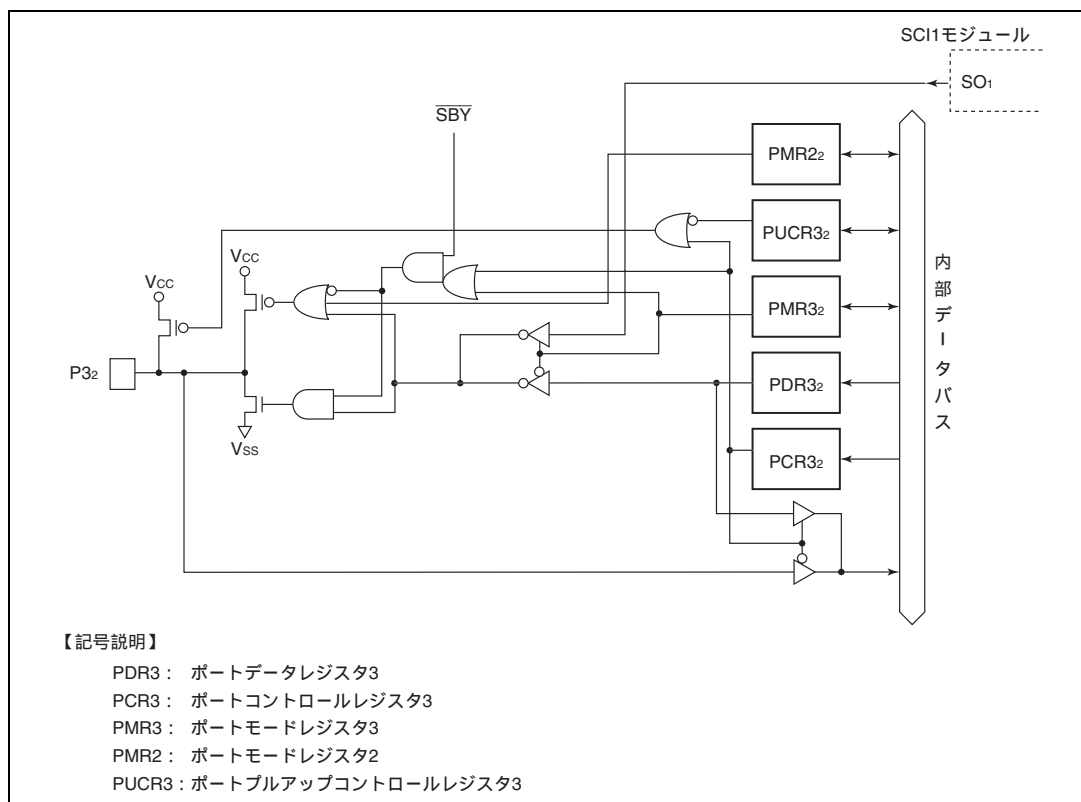


図 C.3 (b) ポート 3 ブロック図 (P3<sub>2</sub> 端子 : H8/3857 グループ固有機能)

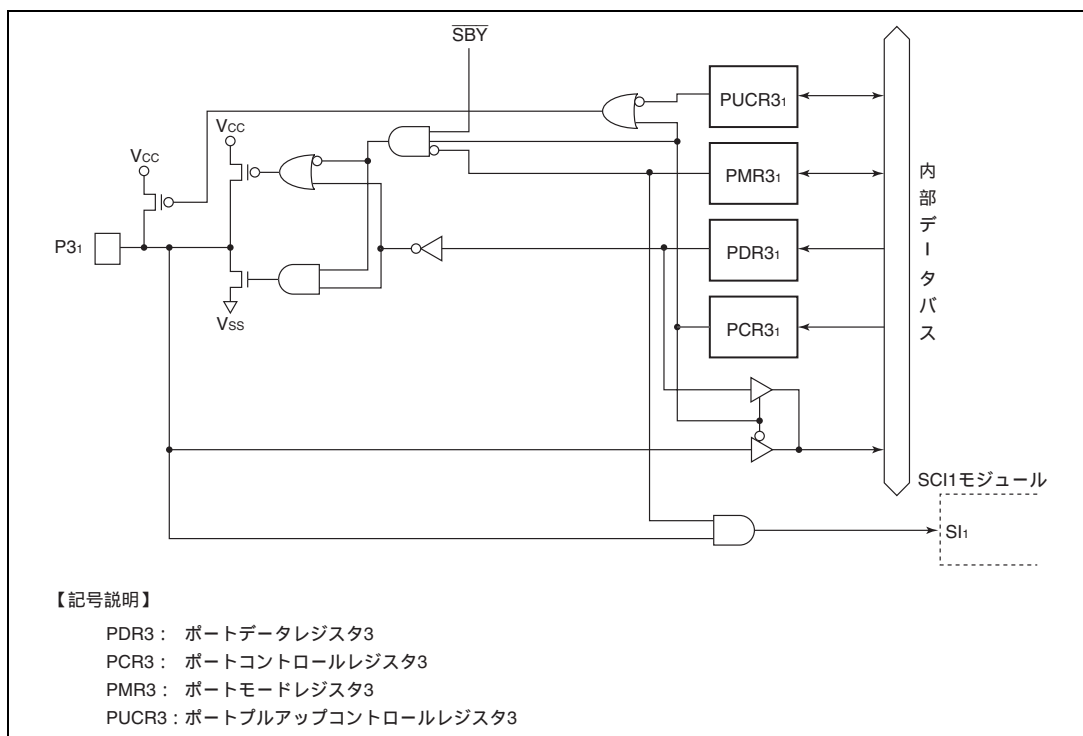


図 C.3 (c) ポート 3 ブロック図 (P3<sub>i</sub> 端子 : H8/3857 グループ固有機能)

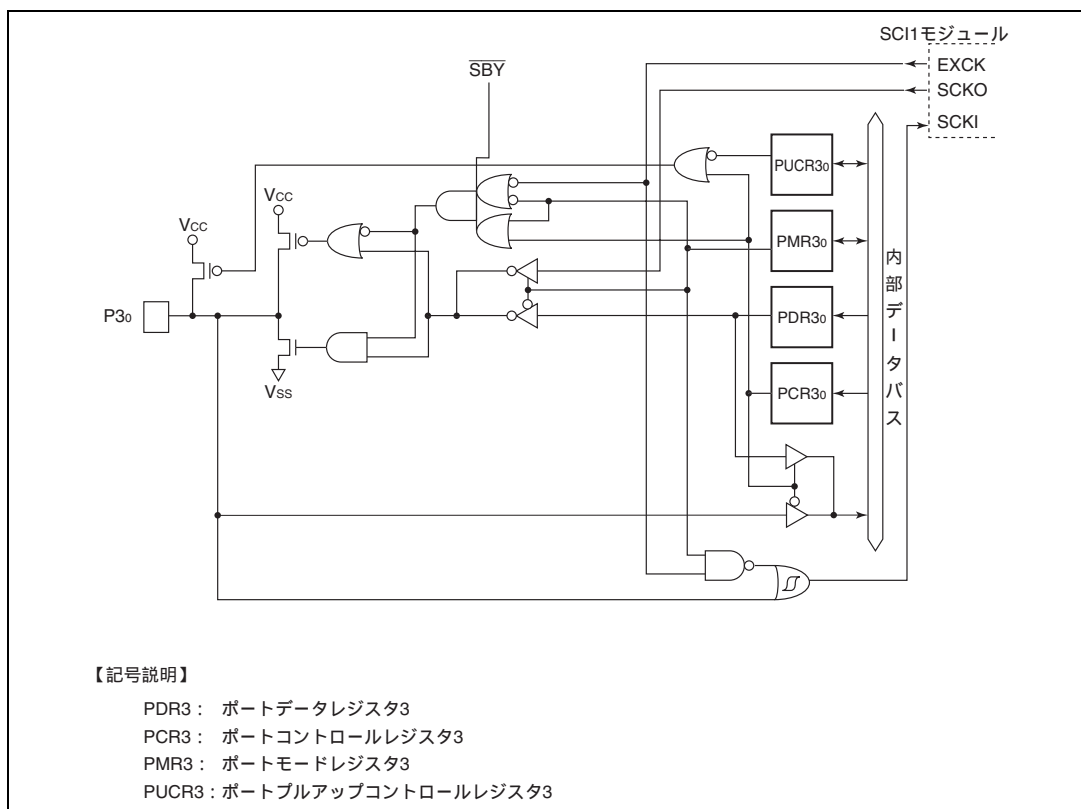


図 C.3 (d) ポート 3 ブロック図 (P3<sub>0</sub> 端子 : H8/3857 グループ固有機能)

## C.4 ポート4ブロック図

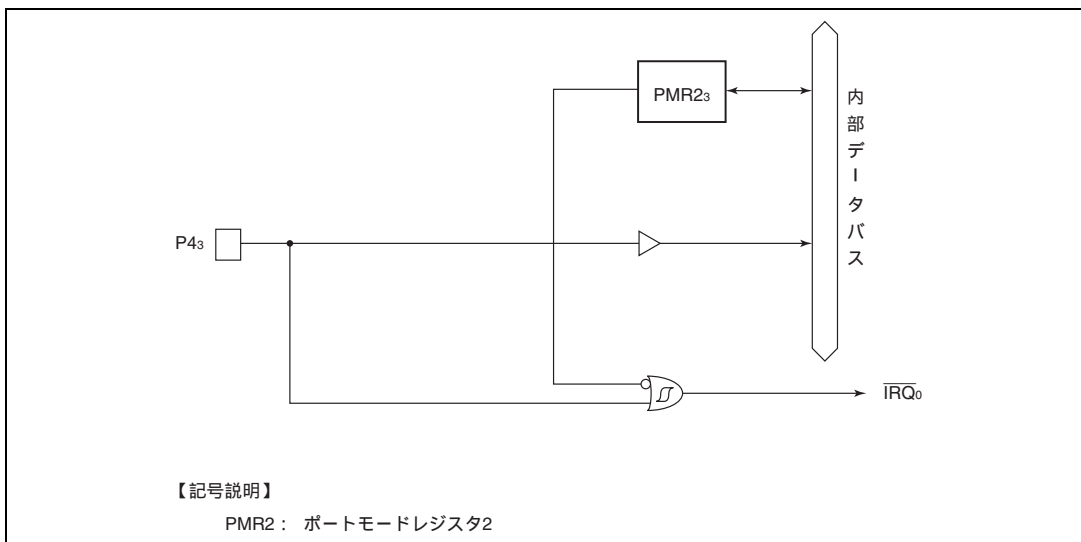


図 C.4 (a) ポート4ブロック図 (P4<sub>3</sub>端子)

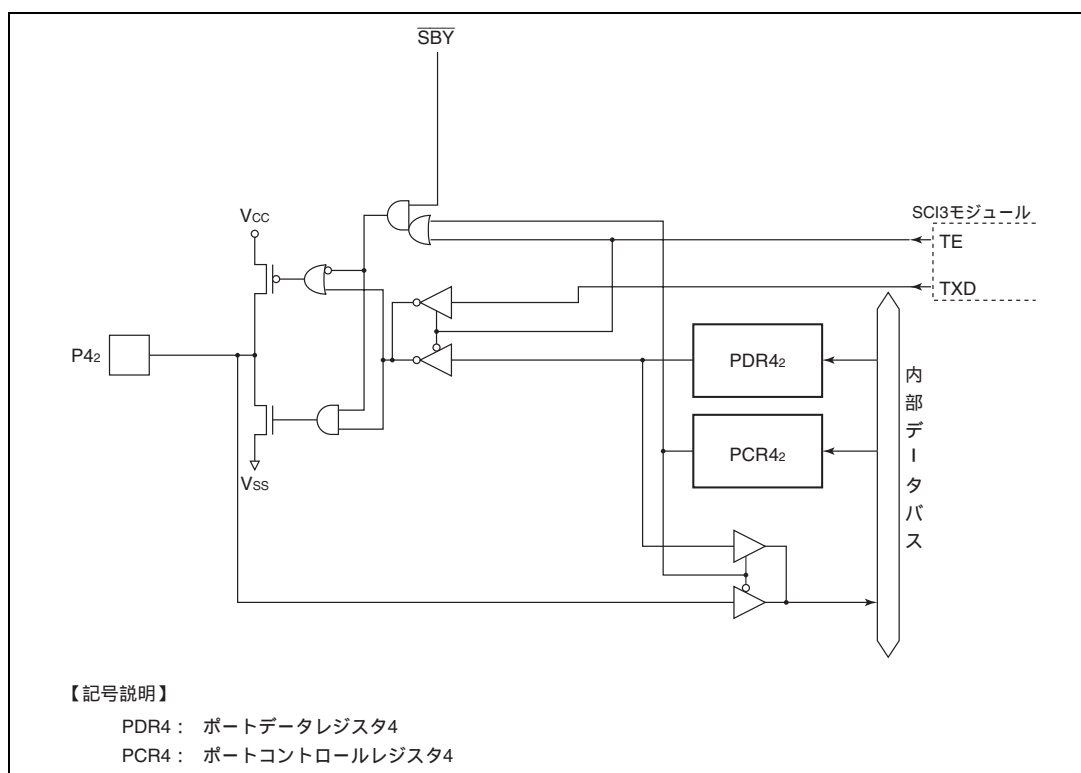


図 C.4 (b) ポート 4 ブロック図 ( $P_4$  端子)

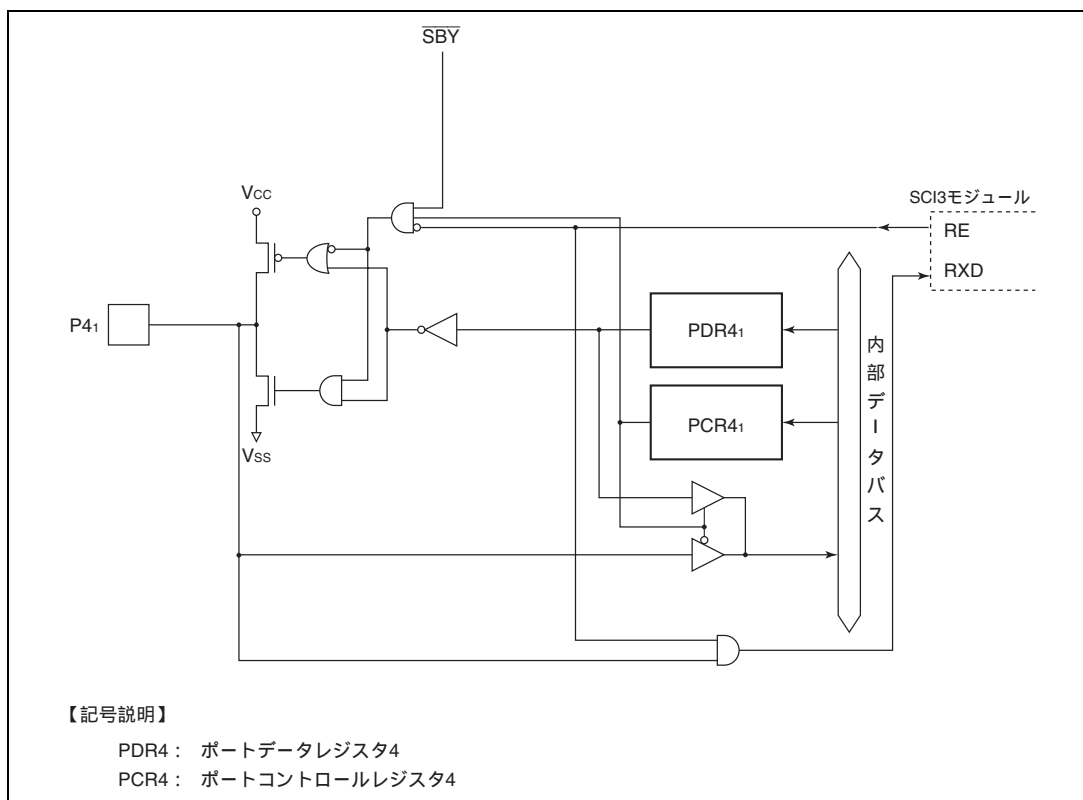
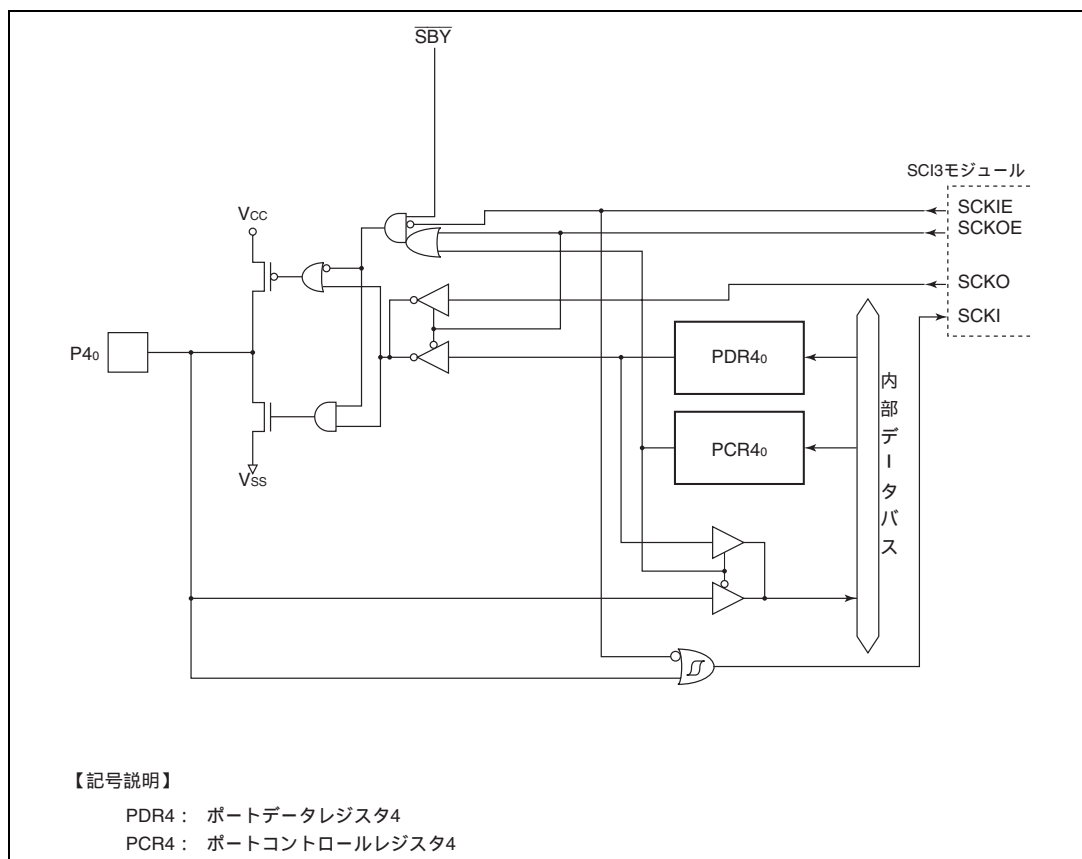


図 C.4 (c) ポート4 ブロック図 (P4<sub>i</sub>端子)

図 C.4 (d) ポート 4 ブロック図 (P4<sub>0</sub> 端子)

## C.5 ポート 5 ブロック図

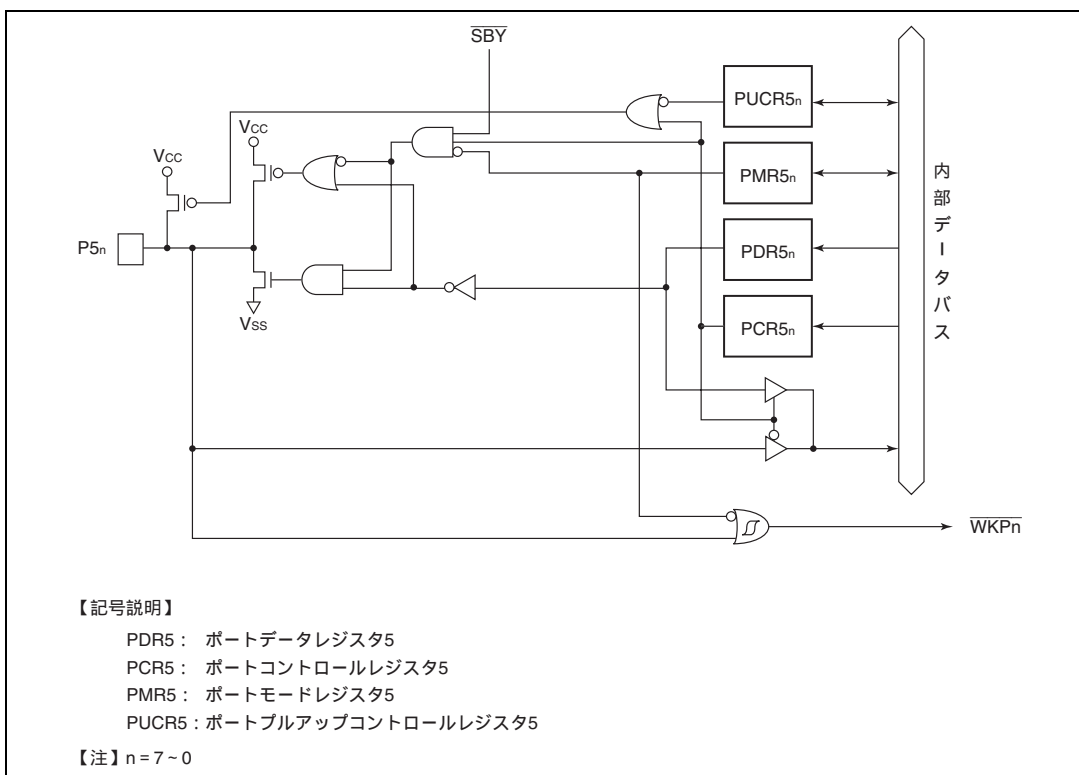


図 C.5 ポート 5 ブロック図

## C.6 ポート 9 ブロック図

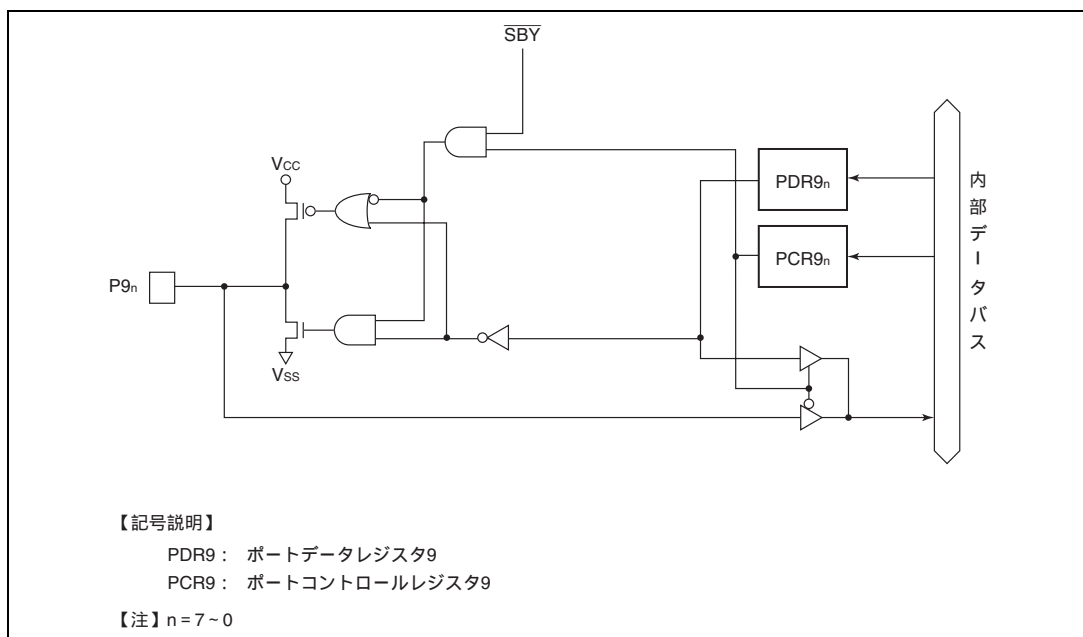


図 C.6 ポート 9 ブロック図

SBY

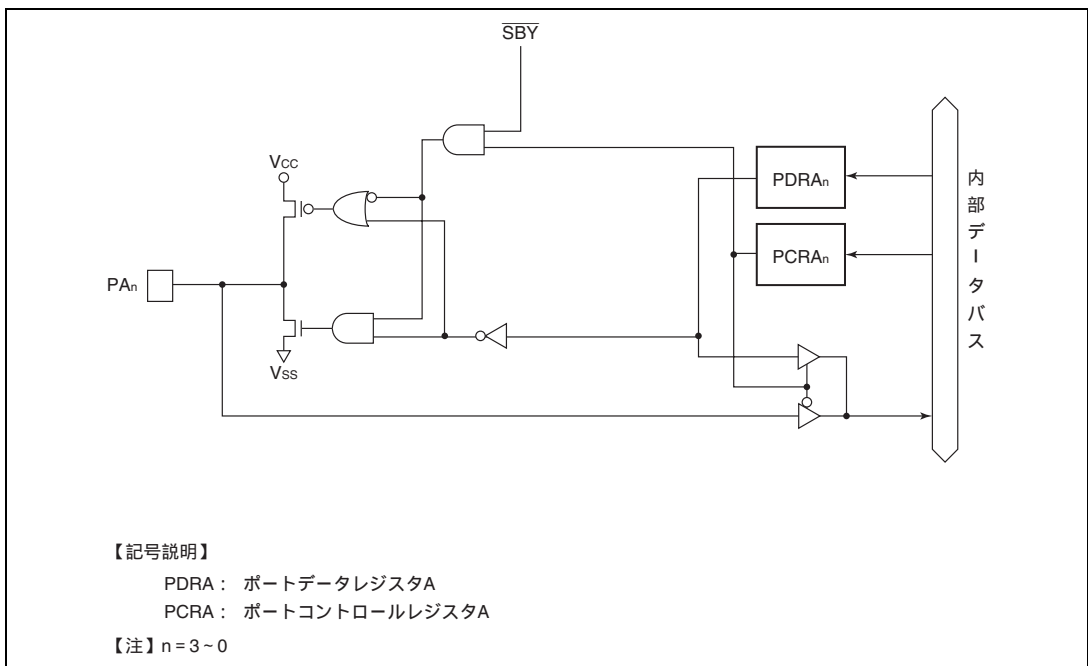


図 C.7 ポート A ブロック図

## C.8 ポート B ブロック図

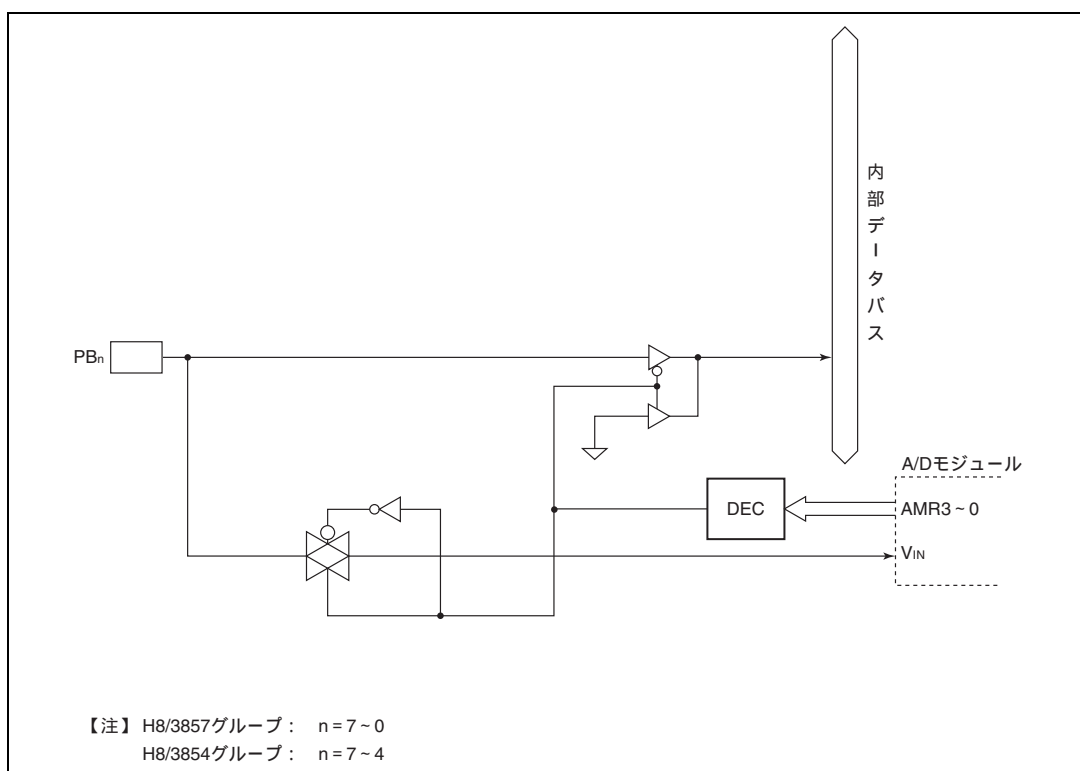


図 C.8 ポート B ブロック図 ( $PB_7 \sim PB_0$  端子 : H8/3857 グループ、  
 $PB_7 \sim PB_4$  端子 : H8/3854 グループ)

## D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

| ポート名                                             | リセット          | スリープ          | サブ<br>スリープ    | スタンバイ                       | ウォッチ          | サブ<br>アクティブ   | アクティブ         |
|--------------------------------------------------|---------------|---------------|---------------|-----------------------------|---------------|---------------|---------------|
| P1 <sub>7</sub> ~ P1 <sub>0</sub> * <sup>1</sup> | ハイインピ<br>ーダンス | 保持            | 保持            | ハイインピ<br>ーダンス* <sup>2</sup> | 保持            | 動作            | 動作            |
| P2 <sub>7</sub> ~ P2 <sub>0</sub>                | ハイインピ<br>ーダンス | 保持            | 保持            | ハイインピ<br>ーダンス               | 保持            | 動作            | 動作            |
| P3 <sub>7</sub> ~ P3 <sub>0</sub> * <sup>1</sup> | ハイインピ<br>ーダンス | 保持            | 保持            | ハイインピ<br>ーダンス* <sup>2</sup> | 保持            | 動作            | 動作            |
| P4 <sub>3</sub> ~ P4 <sub>0</sub>                | ハイインピ<br>ーダンス | 保持            | 保持            | ハイインピ<br>ーダンス               | 保持            | 動作            | 動作            |
| P5 <sub>7</sub> ~ P5 <sub>0</sub>                | ハイインピ<br>ーダンス | 保持            | 保持            | ハイインピ<br>ーダンス* <sup>2</sup> | 保持            | 動作            | 動作            |
| P9 <sub>7</sub> ~ P9 <sub>0</sub>                | ハイインピ<br>ーダンス | 保持            | 保持            | ハイインピ<br>ーダンス               | 保持            | 動作            | 動作            |
| PA <sub>3</sub> ~ PA <sub>0</sub>                | ハイインピ<br>ーダンス | 保持            | 保持            | ハイインピ<br>ーダンス               | 保持            | 動作            | 動作            |
| PB <sub>7</sub> ~ PB <sub>0</sub> * <sup>1</sup> | ハイインピ<br>ーダンス | ハイインピ<br>ーダンス | ハイインピ<br>ーダンス | ハイインピ<br>ーダンス               | ハイインピ<br>ーダンス | ハイインピ<br>ーダンス | ハイインピ<br>ーダンス |

【注】 \*1 P1<sub>6</sub>、P1<sub>4</sub>、P1<sub>3</sub>、P3<sub>7</sub> ~ P3<sub>0</sub>、PB<sub>3</sub> ~ PB<sub>0</sub>は H8/3857 グループ固有の機能です。H8/3854 グループにはありません。

\*2 プルアップ MOS が ON 状態では High レベル出力となります。

## E. ROM 発注手順

### E.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 E.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 E.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社営業担当へお問い合わせください。

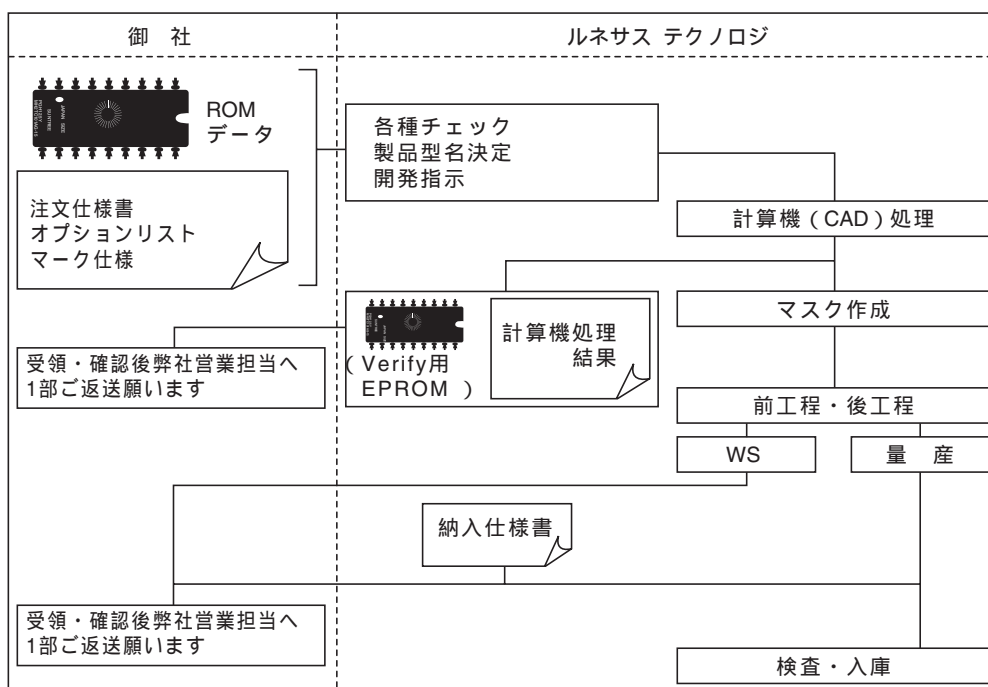


図 E.1 ROM 書き換え品開発の流れ

表 E.1 ROM 発注時に必要な提出物

| 発注媒体 | EPROM                  |
|------|------------------------|
| 提出物  | ROM データ                |
|      | 注文仕様書                  |
|      | オプションリスト <sup>*1</sup> |
|      | マーク仕様例 <sup>*2</sup>   |

【注】 \*1 製品グループにより必要ないものがあります。また、内容も異なります。

\*2 特別仕様の場合には、提出してください。

## E.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROMで提出してください。なお、EPROM 以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- （１） EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- （２） 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- （３） 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- （４） EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

## F. 製品型名一覧

表 F.1 H8/3857 グループ型名一覧

| 製品分類     |              |     | 製品型名        | マーク型名            | パッケージ<br>(パッケージコード)   |
|----------|--------------|-----|-------------|------------------|-----------------------|
| H8/3857F | F-ZTAT 版     | 標準品 | HD64F3857FQ | HD64F3857FQ      | 144 ピン QFP (FP-144H)  |
|          |              |     | HD64F3857TG | HD64F3857TG      | 144 ピン TQFP (TFP-144) |
|          |              |     | HCD64F3857  | -                | ダイ                    |
| H8/3857  | マスク<br>ROM 版 | 標準品 | HD6433857FQ | HD6433857(***)FQ | 144 ピン QFP (FP-144H)  |
|          |              |     | HD6433857TG | HD6433857(***)TG | 144 ピン TQFP (TFP-144) |
|          |              |     | HCD6433857  | -                | ダイ                    |
| H8/3856  | マスク<br>ROM 版 | 標準品 | HD6433856FQ | HD6433856(***)FQ | 144 ピン QFP (FP-144H)  |
|          |              |     | HD6433856TG | HD6433856(***)TG | 144 ピン TQFP (TFP-144) |
|          |              |     | HCD6433856  | -                | ダイ                    |
| H8/3855  | マスク<br>ROM 版 | 標準品 | HD6433855FQ | HD6433855(***)FQ | 144 ピン QFP (FP-144H)  |
|          |              |     | HD6433855TG | HD6433855(***)TG | 144 ピン TQFP (TFP-144) |
|          |              |     | HCD6433855  | -                | ダイ                    |

表 F.2 H8/3854 グループ型名一覧

| 製品分類     |               |     | 製品型名       | マーク型名           | パッケージ<br>(パッケージコード)    |
|----------|---------------|-----|------------|-----------------|------------------------|
| H8/3854F | F-ZTAT 版      | 標準品 | HD64F3854H | HD64F3854H      | 100 ピン QFP (FP-100B)   |
|          |               |     | HD64F3854W | HD64F3854W      | 100 ピン TQFP (TFP-100G) |
|          |               |     | HCD64F3854 | -               | ダイ                     |
| H8/3854  | マスク<br>ROM 版* | 標準品 | HD6433854H | HD6433854(***)H | 100 ピン QFP (FP-100B)   |
|          |               |     | HD6433854W | HD6433854(***)W | 100 ピン TQFP (TFP-100G) |
|          |               |     | HCD6433854 | -               | ダイ                     |
| H8/3853  | マスク<br>ROM 版* | 標準品 | HD6433853H | HD6433853(***)H | 100 ピン QFP (FP-100B)   |
|          |               |     | HD6433853W | HD6433853(***)W | 100 ピン TQFP (TFP-100G) |
|          |               |     | HCD6433853 | -               | ダイ                     |
| H8/3852  | マスク<br>ROM 版* | 標準品 | HD6433852H | HD6433852(***)H | 100 ピン QFP (FP-100B)   |
|          |               |     | HD6433852W | HD6433852(***)W | 100 ピン TQFP (TFP-100G) |
|          |               |     | HCD6433852 | -               | ダイ                     |

【注】 マスク ROM 版の (\*\*) は ROM コードです。

\* 開発中

## G. 外形寸法図

H8/3857 グループの外形寸法図 FP-144H を図 G.1、TFP-144 を図 G.2 に示します。H8/3854 グループの外形寸法図 FP-100B を図 G.3、TFP-100G を図 G.4 に示します。

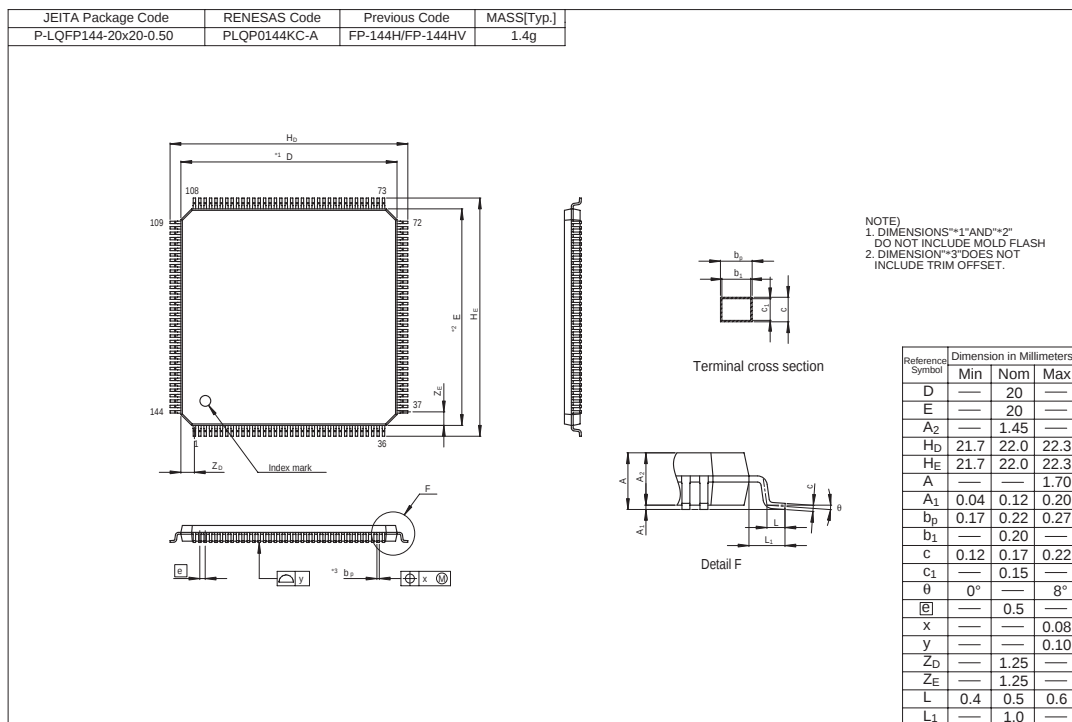


図 G.1 外形寸法図 (FP-144H)

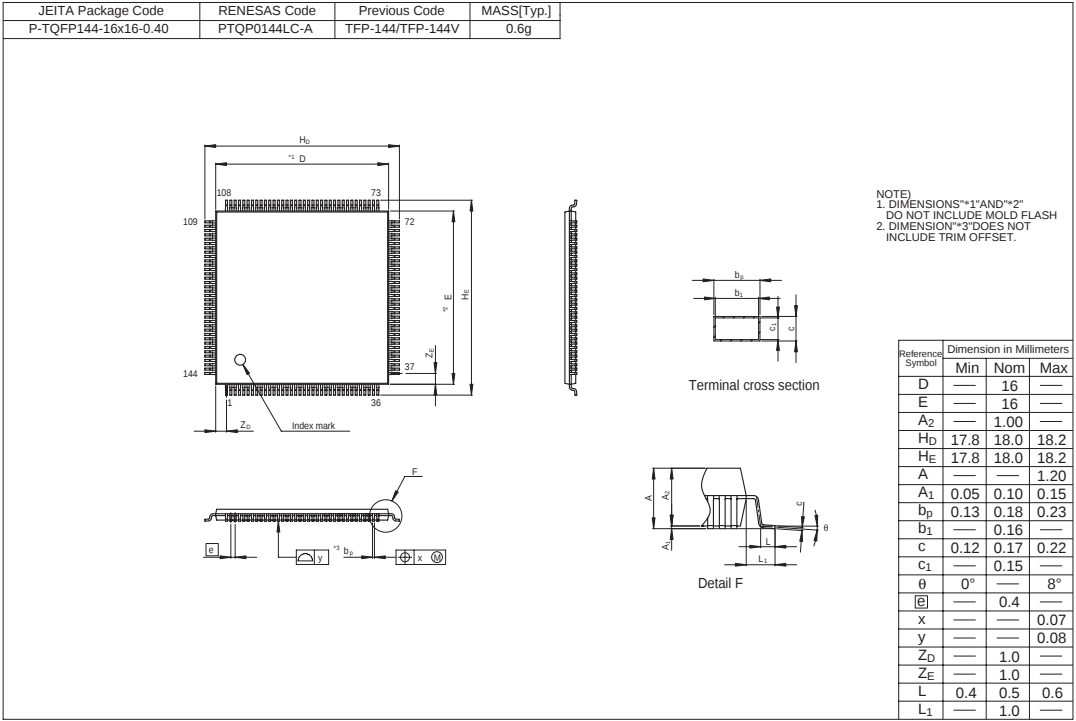


図 G.2 外形寸法図 (TFP-144)

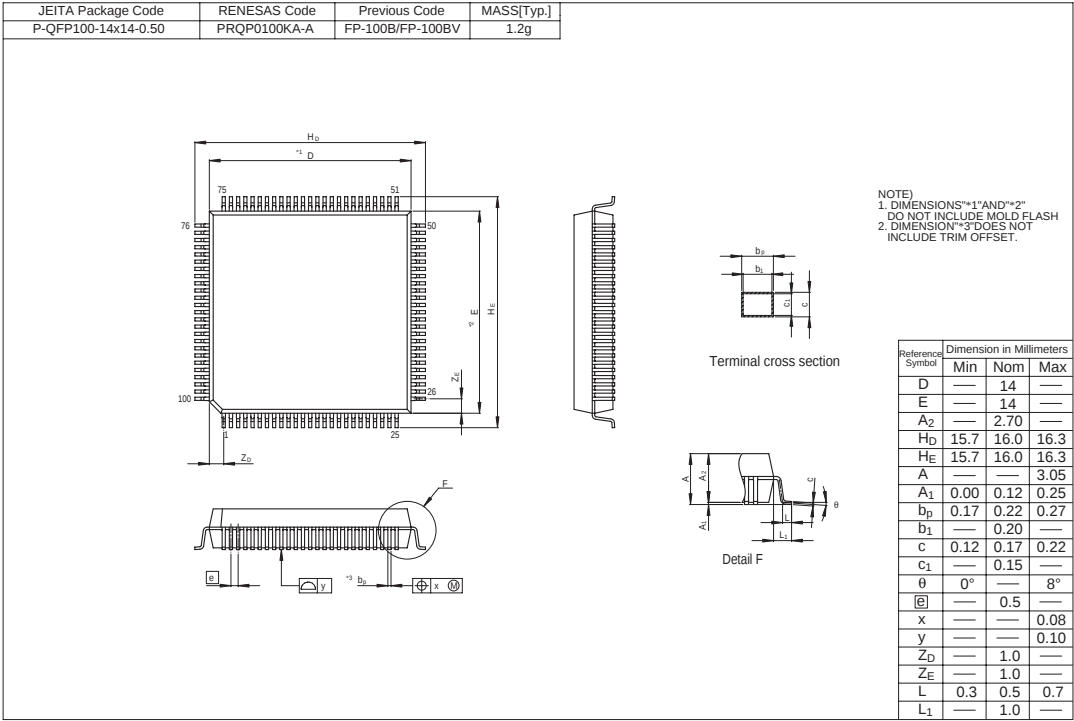


図 G.3 外形寸法図 (FP-100B)

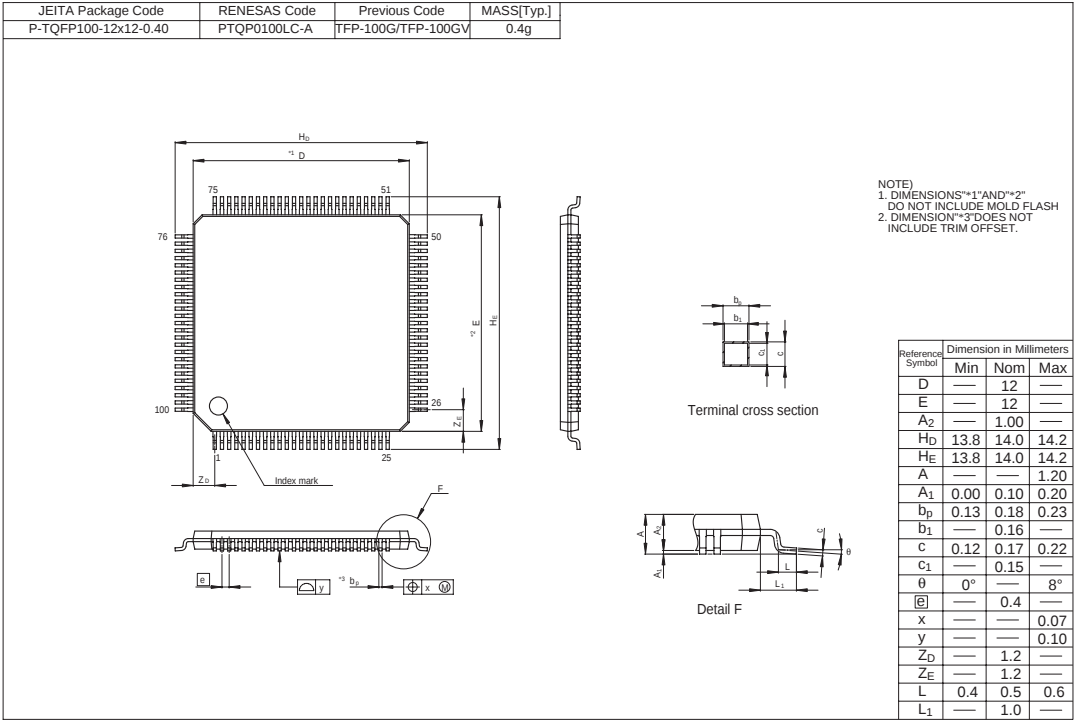


図 G.4 外形寸法図 (TFP-100G)



---

ルネサス8ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル

H8/3857グループ、H8/3857F-ZTAT™

H8/3854グループ、H8/3854F-ZTAT™

発行年月日 1998 年 9 月 第 1 版

2007 年 7 月 19 日 Rev.4.00

発 行 株式会社ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2

編 集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口  
株式会社ルネサス販売



<http://www.renesas.com>

|   |   |   |   |   |           |                                |                |
|---|---|---|---|---|-----------|--------------------------------|----------------|
| 本 |   |   | 支 | 社 | 〒100-0004 | 千代田区大手町2-6-2 (日本ビル)            | (03) 5201-5350 |
| 京 | 浜 |   | 社 | 社 | 〒212-0058 | 川崎市幸区鹿島田890-12 (新川崎三井ビル)       | (044) 549-1662 |
| 西 | 東 | 京 | 支 | 社 | 〒190-0023 | 立川市柴崎町2-2-23 (第二高島ビル2F)        | (042) 524-8701 |
| 東 | 北 |   | 支 | 店 | 〒980-0013 | 仙台市青葉区花京院1-1-20 (花京院スクエア13F)   | (022) 221-1351 |
| い | わ | き | 支 | 店 | 〒970-8026 | いわき市平小太郎町4-9 (平小太郎ビル)          | (0246) 22-3222 |
| 茨 | 城 |   | 支 | 店 | 〒312-0034 | ひたちなか市堀口832-2 (日立システムプラザ勝田1F)  | (029) 271-9411 |
| 新 | 潟 |   | 支 | 社 | 〒950-0087 | 新潟市東大通1-4-2 (新潟三井物産ビル3F)       | (025) 241-4361 |
| 松 | 本 |   | 支 | 社 | 〒390-0815 | 松本市深志1-2-11 (昭和ビル7F)           | (0263) 33-6622 |
| 中 | 部 |   | 支 | 社 | 〒460-0008 | 名古屋市中区栄4-2-29 (名古屋広小路ブレイス)     | (052) 249-3330 |
| 関 | 西 |   | 支 | 社 | 〒541-0044 | 大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル) | (06) 6233-9500 |
| 北 | 陸 |   | 支 | 社 | 〒920-0031 | 金沢市広岡3-1-1 (金沢パークビル8F)         | (076) 233-5980 |
| 広 | 島 |   | 支 | 店 | 〒730-0036 | 広島市中区袋町5-25 (広島袋町ビルディング8F)     | (082) 244-2570 |
| 島 | 取 |   | 支 | 店 | 〒680-0822 | 鳥取市今町2-251 (日本生命鳥取駅前ビル)        | (0857) 21-1915 |
| 九 | 州 |   | 支 | 社 | 〒812-0011 | 福岡市博多区博多駅前2-17-1 (博多ブレスステージ5F) | (092) 481-7695 |

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



H8/3857 グループ、H8/3857F-ZTAT™、H8/3854 グループ、H8/3854F-ZTAT™  
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0425-0400