

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

R8C/2Gグループ

ハードウェアマニュアル

ルネサスマイクロコンピュータ

R8Cファミリ / R8C/2xシリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気づきの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細は、このマニュアルの本文でご確認ください。

R8C/2Gグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサステクノロジーホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	R8C/2Gグループデータシート	RJJ03B0217
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)と動作説明 周辺機能の使用方法はアプリケーションノートを参照してください。	R8C/2Gグループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU命令セットの説明	R8C/Tinyシリーズソフトウェアマニュアル	RJJ09B0002
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C言語によるプログラムの作成方法	ルネサステクノロジーホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- | |
|---|
| <p>(1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタのPM03ビット
P3_5 端子、VCC 端子</p> <p>(2) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 11b
16進数 : EFA0h
10進数 : 1234</p> |
|---|

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

・・・レジスタ

*1

ビット シンボル	ビット名	機能	RW
・・・0	・・・ビット	b1b0 00:・・・ 01:・・・ 10:設定しないでください 11:・・・	RW *2
・・・1			RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		— *3
— (b4-b3)	予約ビット	“0”にしてください	WO *4
・・・5	・・・ビット	動作モードによって機能が異なる	RW
・・・6			RW
・・・7	・・・ビット	0:・・・ 1:・・・	RO

*1

- 空白 : 用途に応じて“0”または“1”にしてください。
- 0 : “0”にしてください。
- 1 : “1”にしてください。
- x : 何も配置されていないビットです。

*2

- RW : 読むとビットの状態が読めます。書くと有効データになります。
- RO : 読むとビットの状態が読めます。書いた値は無効になります。
- WO : 書くと有効データになります。ビットの状態は読めません。
- : 何も配置されていないビットです。

*3

- ・予約ビット
予約ビットです。指定された値にしてください。

*4

- ・何も配置されていない
該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。
- ・設定しないでください
設定した場合の動作は保証されません。
- ・動作モードによって機能が異なる
周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	NECエレクトロニクス社提唱の通信方式
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

番地別ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	1
1.2 製品一覧	3
1.3 ブロック図	4
1.4 ピン配置図	5
1.5 端子機能の説明	7
2. 中央演算処理装置 (CPU)	8
2.1 データレジスタ (R0、R1、R2、R3)	9
2.2 アドレスレジスタ (A0、A1)	9
2.3 フレームベースレジスタ (FB)	9
2.4 割り込みテーブルレジスタ (INTB)	9
2.5 プログラムカウンタ (PC)	9
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	9
2.7 スタティックベースレジスタ (SB)	9
2.8 フラグレジスタ (FLG)	9
2.8.1 キャリフラグ (C フラグ)	9
2.8.2 デバッグフラグ (D フラグ)	9
2.8.3 ゼロフラグ (Z フラグ)	9
2.8.4 サインフラグ (S フラグ)	9
2.8.5 レジスタバンク指定フラグ (B フラグ)	9
2.8.6 オーバフローフラグ (O フラグ)	10
2.8.7 割り込み許可フラグ (I フラグ)	10
2.8.8 スタックポインタ指定フラグ (U フラグ)	10
2.8.9 プロセッサ割り込み優先レベル (IPL)	10
2.8.10 予約ビット	10
3. メモリ	11
4. SFR	12
5. リセット	24
5.1 ハードウェアリセット	27
5.1.1 電源が安定している場合	27
5.1.2 電源投入時	27
5.2 パワーオンリセット機能	29
5.3 電圧監視 0 リセット	30
5.4 電圧監視 1 リセット	30
5.5 電圧監視 2 リセット	30
5.6 ウォッチドッグタイマリセット	31
5.7 ソフトウェアリセット	31
6. 電圧検出回路	32
6.1 VCC 入力電圧のモニタ	40
6.1.1 Vdet0 のモニタ	40

6.1.2	Vdet1 のモニタ	40
6.1.3	Vdet2 のモニタ	40
6.2	電圧監視 0 リセット	41
6.3	電圧監視 1 割り込み、電圧監視 1 リセット	42
6.4	電圧監視 2 割り込み、電圧監視 2 リセット	44
7.	コンパレータ	46
7.1	概要	46
7.2	レジスタ説明	48
7.3	比較結果のモニタ	55
7.3.1	コンパレータ 1 のモニタ	55
7.3.2	コンパレータ 2 のモニタ	55
7.4	動作説明	56
7.4.1	コンパレータ 1	56
7.4.2	コンパレータ 2	59
7.5	コンパレータ 1、コンパレータ 2 割り込み	62
7.5.1	ノンマスカブル割り込み	62
7.5.2	マスカブル割り込み	62
7.6	内部基準電圧 (Vref) の調整	63
8.	I/O ポート	65
8.1	I/O ポートの機能	65
8.2	周辺機能への影響	66
8.3	I/O ポート以外の端子	66
8.4	ポートの設定	75
8.5	未使用端子の処理	84
8.6	IO ポート使用上の注意	85
8.6.1	ポート P4_3、P4_4	85
9.	プロセッサモード	86
9.1	プロセッサモードの種類	86
10.	バス制御	87
11.	クロック発生回路	88
11.1	オンチップオシレータクロック	97
11.1.1	低速オンチップオシレータクロック	97
11.1.2	高速オンチップオシレータクロック	97
11.2	XCIN クロック	98
11.3	CPU クロックと周辺機能クロック	99
11.3.1	システムクロック	99
11.3.2	CPU クロック	99
11.3.3	周辺機能クロック (f1、f2、f4、f8、f32)	99
11.3.4	fOCO	99
11.3.5	fOCO-F	99
11.3.6	fOCO-S	99
11.3.7	fC4、fC32	99
11.4	パワーコントロール	100
11.4.1	標準動作モード	100

11.4.2	ウェイトモード	102
11.4.3	ストップモード	104
11.5	クロック発生回路使用上の注意	107
11.5.1	ストップモード	107
11.5.2	ウェイトモード	107
11.5.3	発振回路定数	107
12.	プロテクト	108
13.	割り込み	109
13.1	割り込みの概要	109
13.1.1	割り込みの分類	109
13.1.2	ソフトウェア割り込み	110
13.1.3	特殊割り込み	111
13.1.4	周辺機能割り込み	111
13.1.5	割り込みと割り込みベクタ	112
13.1.6	割り込み制御	114
13.2	INT 割り込み	123
13.2.1	INT _i 割り込み (i=0、1、2、4).....	123
13.2.2	INT _i 入力フィルタ (i=0、1、2、4).....	126
13.3	キー入力割り込み	127
13.4	アドレス一致割り込み	129
13.5	割り込み使用上の注意	131
13.5.1	00000h 番地の読み出し	131
13.5.2	SP の設定	131
13.5.3	外部割り込み、キー入力割り込み	131
13.5.4	割り込み要因の変更	132
13.5.5	割り込み制御レジスタの変更	133
14.	ID コード領域	134
14.1	概要	134
14.2	機能	134
14.3	ID コード領域使用上の注意	135
14.3.1	ID コード領域の設定例	135
15.	オプション機能選択領域	136
15.1	概要	136
15.2	OFS レジスタ	137
15.3	オプション機能選択領域使用上の注意	138
15.3.1	オプション機能選択領域の設定例	138
16.	ウォッチドッグタイマ	139
16.1	カウントソース保護モード無効時	143
16.2	カウントソース保護モード有効時	144
17.	タイマ	145
17.1	タイマ RA	147
17.1.1	タイマモード	150
17.1.2	パルス出力モード	152

17.1.3	イベントカウンタモード	154
17.1.4	パルス幅測定モード	156
17.1.5	パルス周期測定モード	159
17.1.6	タイマ RA 使用上の注意	162
17.2	タイマ RB	163
17.2.1	タイマモード	167
17.2.2	プログラマブル波形発生モード	170
17.2.3	プログラマブルワンショット発生モード	173
17.2.4	プログラマブルウェイトワンショット発生モード	177
17.2.5	タイマ RB 使用上の注意	180
17.3	タイマ RE	184
17.3.1	リアルタイムクロックモード	185
17.3.2	アウトプットコンペアモード	194
17.3.3	タイマ RE 使用上の注意事項	199
17.4	タイマ RF	202
17.4.1	インプットキャプチャモード	207
17.4.2	アウトプットコンペアモード	210
17.4.3	タイマ RF 使用上の注意	213
18.	シリアルインタフェース	214
18.1	クロック同期形シリアル I/O モード	219
18.1.1	極性選択機能	223
18.1.2	LSB ファースト、MSB ファースト選択	223
18.1.3	連続受信モード	224
18.2	クロック非同期形シリアル I/O(UART) モード	225
18.2.1	ビットレート	229
18.3	シリアルインタフェース使用上の注意	230
19.	ハードウェア LIN	231
19.1	特長	231
19.2	入出力端子	232
19.3	レジスタ構成	233
19.4	動作説明	235
19.4.1	マスタモード	235
19.4.2	スレーブモード	238
19.4.3	バス衝突検出機能	242
19.4.4	ハードウェア LIN 終了処理	243
19.5	割り込み要求	244
19.6	ハードウェア LIN 使用上の注意	245
20.	フラッシュメモリ	246
20.1	概要	246
20.2	メモリ配置	247
20.3	フラッシュメモリ書き換え禁止機能	248
20.3.1	ID コードチェック機能	248
20.3.2	ROM コードプロテクト機能	249
20.4	CPU 書き換えモード	250
20.4.1	レジスタの説明	251
20.4.2	ステータスチェック方法	256

20.4.3	EW0 モード	257
20.4.4	EW1 モード	263
20.5	標準シリアル入出力モード	268
20.5.1	ID コードチェック機能	268
20.6	パラレル入出力モード	270
20.6.1	ROM コードプロテクト機能	270
20.7	フラッシュメモリ使用上の注意	271
20.7.1	CPU 書き換えモード	271
21.	消費電力の低減	273
21.1	概要	273
21.2	消費電力を小さくするためのポイントと処理方法	273
21.2.1	電圧検出回路	273
21.2.2	ポート	273
21.2.3	クロック	273
21.2.4	発振駆動能力の選択	273
21.2.5	ウェイトモード、ストップモード	273
21.2.6	周辺機能クロックの停止	273
21.2.7	タイマ	274
21.2.8	内部電源の消費電力低減	275
21.2.9	フラッシュメモリの停止	276
21.2.10	低消費電流リードモード	277
22.	電気的特性	278
23.	使用上の注意事項	295
23.1	IO ポート使用上の注意	295
23.1.1	ポート P4_3、P4_4	295
23.2	クロック発生回路使用上の注意	296
23.2.1	ストップモード	296
23.2.2	ウェイトモード	296
23.2.3	発振回路定数	296
23.3	割り込み使用上の注意	297
23.3.1	00000h 番地の読み出し	297
23.3.2	SP の設定	297
23.3.3	外部割り込み、キー入力割り込み	297
23.3.4	割り込み要因の変更	298
23.3.5	割り込み制御レジスタの変更	299
23.4	ID コード領域使用上の注意	300
23.4.1	ID コード領域の設定例	300
23.5	オプション機能選択領域使用上の注意	301
23.5.1	オプション機能選択領域の設定例	301
23.6	タイマ	302
23.6.1	タイマ RA 使用上の注意	302
23.6.2	タイマ RB 使用上の注意	303
23.6.3	タイマ RE 使用上の注意事項	307
23.6.4	タイマ RF 使用上の注意	310
23.7	シリアルインタフェース使用上の注意	311
23.8	ハードウェア LIN 使用上の注意	312

23.9	フラッシュメモリ使用上の注意	313
23.9.1	CPU 書き換えモード	313
23.10	ノイズに関する注意事項	315
23.10.1	ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入	315
23.10.2	ポート制御レジスタのノイズ誤動作対策	315
24.	オンチップデバッガの注意事項	316
付録 1.	外形寸法図	317
付録 2.	オンチップデバッグエミュレータとの接続例	318
付録 3.	発振評価回路例	319
索引	320

番地別ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	86
0005h	プロセッサモードレジスタ1	PM1	86
0006h	システムクロック制御レジスタ0	CM0	90
0007h	システムクロック制御レジスタ1	CM1	91
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	108
000Bh			
000Ch	システムクロック選択レジスタ	OCD	92
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	141
000Eh	ウォッチドッグタイムスタートレジスタ	WDTS	141
000Fh	ウォッチドッグタイム制御レジスタ	WDC	141
0010h	アドレス一致割り込みレジスタ0	RMAD0	130
0011h			
0012h			
0013h	アドレス一致割り込み許可レジスタ	AIER	130
0014h	アドレス一致割り込みレジスタ1	RMAD1	130
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	142
001Dh			
001Eh			
001Fh			
0020h	高速オンチップオシレータ制御レジスタ0	HRA0	93
0021h	高速オンチップオシレータ制御レジスタ1	HRA1	93
0022h	高速オンチップオシレータ制御レジスタ2	HRA2	93
0023h			
0024h			
0025h			
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	94
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	94
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	94
002Ch			
002Dh			
002Eh	BGR トリミング予備レジスタA	BGRTRMA	48
002Fh	BGR トリミング予備レジスタB	BGRTRMB	48
0030h			
0031h	電圧検出レジスタ1	VCA1	35、49
0032h	電圧検出レジスタ2	VCA2	35、49、95
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ	VW1C	37、50
0037h	電圧監視2回路制御レジスタ	VW2C	38、51
0038h	電圧監視0回路制御レジスタ	VW0C	36
0039h			
003Ah			
003Bh	電圧検出回路外部入力制御レジスタ	VCAB	52
003Ch	コンパレータモードレジスタ	ALCMR	52
003Dh	電圧監視回路エッジ選択レジスタ	VCAC	39、53
003Eh	BGR 制御レジスタ	BGRRCR	53
003Fh	BGR トリミングレジスタ	BGRTRM	54

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h	コンパレータ1割り込み制御レジスタ	VCMP1IC	114
0042h	コンパレータ2割り込み制御レジスタ	VCMP2IC	114
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	114
004Bh	UART2送信割り込み制御レジスタ	S2TIC	114
004Ch	UART2受信割り込み制御レジスタ	S2RIC	114
004Dh	キー入力割り込み制御レジスタ	KUPIC	114
004Eh			
004Fh			
0050h	コンペア1割り込み制御レジスタ	CMP1IC	114
0051h	UART0送信割り込み制御レジスタ	S0TIC	114
0052h	UART0受信割り込み制御レジスタ	S0RIC	114
0053h			
0054h			
0055h	INT2割り込み制御レジスタ	INT2IC	115
0056h	タイマRA割り込み制御レジスタ	TRAIC	114
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	114
0059h	INT1割り込み制御レジスタ	INT1IC	115
005Ah			
005Bh	タイマRF割り込み制御レジスタ	TRFIC	114
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	114
005Dh	INT0割り込み制御レジスタ	INT0IC	115
005Eh	INT4割り込み制御レジスタ	INT4IC	115
005Fh	キャプチャ割り込み制御レジスタ	CAPIC	114
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

番地	レジスタ	シンボル	掲載ページ
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	216
00A1h	UART0ビットレートレジスタ	U0BRG	216
00A2h	UART0送信バッファレジスタ	U0TB	217
00A3h			
00A4h	UART0送受信制御レジスタ0	U0C0	217
00A5h	UART0送受信制御レジスタ1	U0C1	218
00A6h	UART0受信バッファレジスタ	U0RB	218
00A7h			
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			

番地	レジスタ	シンボル	掲載ページ
00C0h			
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h			
00D5h			
00D6h			
00D7h			
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	72
00E1h	ポートP1レジスタ	P1	72
00E2h	ポートP0方向レジスタ	PD0	71
00E3h	ポートP1方向レジスタ	PD1	71
00E4h			
00E5h	ポートP3レジスタ	P3	72
00E6h			
00E7h	ポートP3方向レジスタ	PD3	71
00E8h	ポートP4レジスタ	P4	72
00E9h			
00EAh	ポートP4方向レジスタ	PD4	71
00EBh			
00ECh	ポートP6レジスタ	P6	72
00EDh			
00EEh	ポートP6方向レジスタ	PD6	71
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h	端子選択レジスタ2	PINSR2	73
00F7h	端子選択レジスタ3	PINSR3	73
00F8h	ポートモードレジスタ	PMR	74
00F9h	外部入力許可レジスタ	INTEN	123
00FAh	INT入力フィルタ選択レジスタ	INTF	124
00FBh	キー入力許可レジスタ	KIEN	128
00FCh	ブルアップ制御レジスタ0	PUR0	74
00FDh	ブルアップ制御レジスタ1	PUR1	74
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0100h	タイマRA制御レジスタ	TRACR	148
0101h	タイマRA I/O制御レジスタ	TRAIOC	148、150、153、155、157、160
0102h	タイマRAモードレジスタ	TRAMR	149
0103h	タイマRAプリスケアラレジスタ	TRAPRE	149
0104h	タイマRAレジスタ	TRA	149
0105h			
0106h	LINコントロールレジスタ	LINCR	233
0107h	LINステータスレジスタ	LINST	234
0108h	タイマRB制御レジスタ	TRBCR	164
0109h	タイマRBワンショット制御レジスタ	TRBOCR	164
010Ah	タイマRB I/O制御レジスタ	TRBIOC	165、167、171、174、178
010Bh	タイマRBモードレジスタ	TRBMR	165
010Ch	タイマRBプリスケアラレジスタ	TRBPRE	166
010Dh	タイマRBセカンダリレジスタ	TRBSC	166
010Eh	タイマRBプライマリレジスタ	TRBPR	166
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	187、195
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	187、195
011Ah	タイマRE時データレジスタ	TREHR	188
011Bh	タイマRE曜日データレジスタ	TREWK	188
011Ch	タイマRE制御レジスタ1	TRECR1	189、196
011Dh	タイマRE制御レジスタ2	TRECR2	190、196
011Eh	タイマREカウントソース選択レジスタ	TRECSR	191、197
011Fh	タイマREリアルタイムクロック精度調整レジスタ	TREOPR	192
0120h			
0121h			
0122h			
0123h			
0124h			
0125h			
0126h			
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh			
012Eh			
012Fh			

番地	レジスタ	シンボル	掲載ページ
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0160h	UART2送受信モードレジスタ	U2MR	216
0161h	UART2ビットレートレジスタ	U2BRG	216
0162h	UART2送信バッファレジスタ	U2TB	217
0163h			
0164h	UART2送受信制御レジスタ0	U2C0	217
0165h	UART2送受信制御レジスタ1	U2C1	218
0166h	UART2受信バッファレジスタ	U2RB	218
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			

番地	レジスタ	シンボル	掲載ページ
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	255
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	254
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	251
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h			
01C1h			
01C2h			
01C3h			
01C4h			
01C5h			
01C6h			
01C7h			
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h			
0206h			
0207h			
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh			
020Fh			
0210h			
0211h			
0212h			
0213h			
0214h			
0215h			
0216h			
0217h			
0218h			
0219h			
021Ah			
021Bh			
021Ch			
021Dh			
021Eh			
021Fh			

番地	レジスタ	シンボル	掲載ページ
0220h			
0221h			
0222h			
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h			
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			
0244h			
0245h			
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh			
025Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0260h			
0261h			
0262h			
0263h			
0264h			
0265h			
0266h			
0267h			
0268h			
0269h			
026Ah			
026Bh			
026Ch			
026Dh			
026Eh			
026Fh			
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h	タイマRFレジスタ	TRF	204
0291h			
0292h			
0293h			
0294h			
0295h			
0296h			
0297h			
0298h			
0299h	タイマRF制御レジスタ2	TRFCR2	205
029Ah	タイマRF制御レジスタ0	TRFCR0	205
029Bh	タイマRF制御レジスタ1	TRFCR1	206
029Ch	キャプチャ、コンペア0レジスタ	TRFM0	204
029Dh			
029Eh	コンペア1レジスタ	TRFM1	204
029Fh			

番地	レジスタ	シンボル	掲載ページ
02A0h			
02A1h			
02A2h			
02A3h			
02A4h			
02A5h			
02A6h			
02A7h			
02A8h			
02A9h			
02AAh			
02ABh			
02ACh			
02ADh			
02AEh			
02AFh			
02B0h			
02B1h			
02B2h			
02B3h			
02B4h			
02B5h			
02B6h			
02B7h			
02B8h			
02B9h			
02BAh			
02BBh			
02BCh			
02BDh			
02BEh			
02BFh			
02C0h			
02C1h			
02C2h			
02C3h			
02C4h			
02C5h			
02C6h			
02C7h			
02C8h			
02C9h			
02CAh			
02CBh			
02CCh			
02CDh			
02CEh			
02CFh			
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
02E0h			
02E1h			
02E2h			
02E3h			
02E4h			
02E5h			
02E6h			
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh	端子選択レジスタ4	PINSR4	39、54、73
02FCh			
02FDh	外部入力許可レジスタ2	INTEN2	124
02FEh	INT入力フィルタ選択レジスタ2	INTF2	125
02FFh	タイマRF出力制御レジスタ	TRFOUT	206
FFFh	オプション機能選択レジスタ	OFS	26、137、142、249

注1. 空欄は予約領域です。アクセスしないでください。

1. 概要

1.1 特長

R8C/2G グループは、R8C/Tiny シリーズ CPU コアを搭載したシングルチップマイクロコンピュータです。R8C/Tiny シリーズ CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1M バイトのアドレス空間と、命令を高速に実行する能力を備え、更に、乗算器があるため高速な演算処理が可能です。

また、消費電力が小さい上、動作モードによるパワーコントロールが可能であり、ノイズ対策機構により不要輻射ノイズは小さく、ノイズ耐量は大きく設計されています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

1.1.1 用途

電力メータ、家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表1.1にR8C/2Gグループの仕様概要を示します。

表1.1 R8C/2Gグループの仕様概要

分類	機能	説明
CPU	中央演算処理装置	R8C/Tinyシリーズコア <ul style="list-style-type: none"> 基本命令数：89命令 最短命令実行時間：125ns (システムクロック=8MHz、VCC=2.7～5.5V) 250ns (システムクロック=4MHz、VCC=2.2～5.5V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM	「表1.2 R8C/2Gグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点
コンパレータ		<ul style="list-style-type: none"> 2回路(電圧監視1、電圧監視2と兼用) 外部基準電圧入力可能
I/Oポート		<ul style="list-style-type: none"> 出力専用：1 CMOS入出力:27、プルアップ抵抗選択可能
クロック	クロック発生回路	<ul style="list-style-type: none"> 2回路：オンチップオシレータ(高速、低速) (高速オンチップオシレータは周波数調整機能付) XCINクロック発振回路(32kHz) 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
		リアルタイムクロック(タイマRE)あり
割り込み		<ul style="list-style-type: none"> 外部：5要因、内部：17要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケラ付)、リセットスタート機能選択可能
タイマ	タイマRA	8ビット×1(8ビットプリスケラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード
	タイマRF	16ビット×1(キャプチャ/コンペアレジスタ1本、コンペアレジスタ1本付) インプットキャプチャモード、アウトプットコンペアモード
シリアルインタフェース	UART0、UART2	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用×2
LINモジュール		ハードウェアLIN：1(タイマRA、UART0を使用)
フラッシュメモリ		<ul style="list-style-type: none"> プログラム、イレーズ電圧：VCC=2.7～5.5V プログラム、イレーズ回数：100回 プログラムセキュリティ：ROMコードプロテクト、IDコードチェック デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		システムクロック=8MHz(VCC=2.7～5.5V) システムクロック=4MHz(VCC=2.2～5.5V)
消費電流		5mA (VCC=5V、システムクロック=8MHz) 23μA (VCC=3V、ウェイトモード(低速オンチップオシレータ発振)) 0.7μA (VCC=3V、ストップモード、BGRトリミング回路無効)
動作周囲温度		-20～85 (Nバージョン) -40～85 (Dバージョン)(注1)
パッケージ		32ピンLQFP パッケージコード：PLQP0032GB-A(旧コード：32P6U-A)

注1. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

1.2 製品一覧

表1.2にR8C/2Gグループの製品一覧表、図 1.1にR8C/2Gグループの型名とメモリサイズ・パッケージを示します。

表1.2 R8C/2Gグループの製品一覧表

2008年4月現在

型名	ROM容量	RAM容量	パッケージ	備考
R5F212G4SNFP	16Kバイト	512バイト	PLQP0032GB-A	Nバージョン
R5F212G5SNFP	24Kバイト	1Kバイト	PLQP0032GB-A	
R5F212G6SNFP	32Kバイト	1Kバイト	PLQP0032GB-A	
R5F212G4SDFP	16Kバイト	512バイト	PLQP0032GB-A	Dバージョン
R5F212G5SDFP	24Kバイト	1Kバイト	PLQP0032GB-A	
R5F212G6SDFP	32Kバイト	1Kバイト	PLQP0032GB-A	

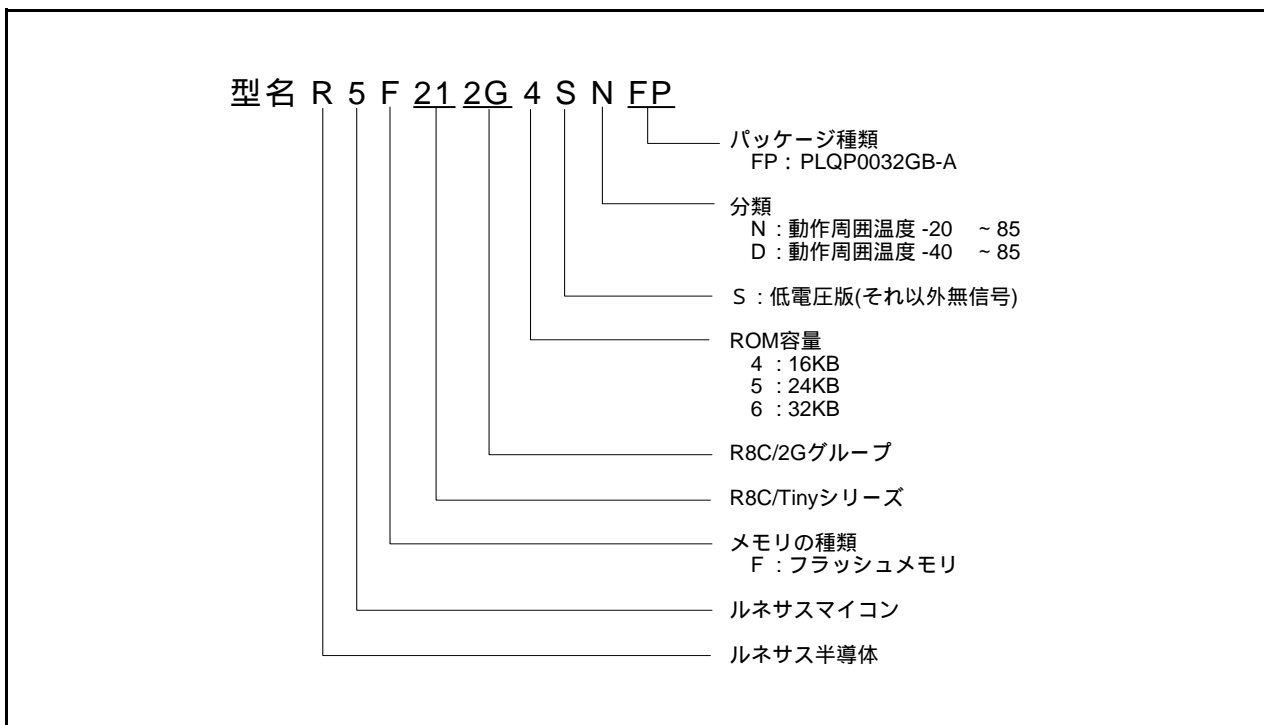


図 1.1 R8C/2Gグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.2にブロック図を示します。

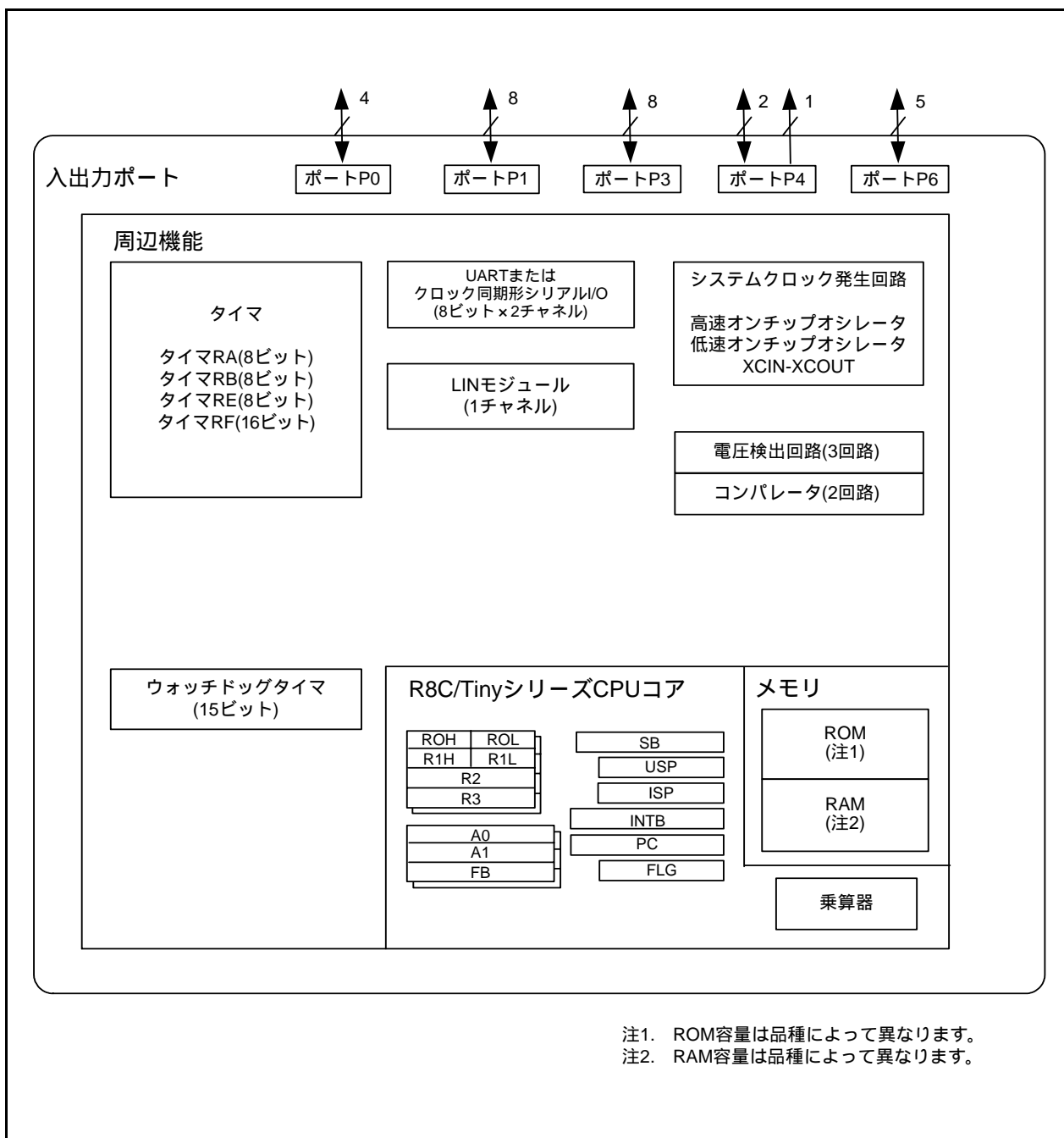


図1.2 ブロック図

1.4 ピン配置図

図 1.3にピン配置図(上面図)、表 1.3にピン番号別端子名一覧を示します。

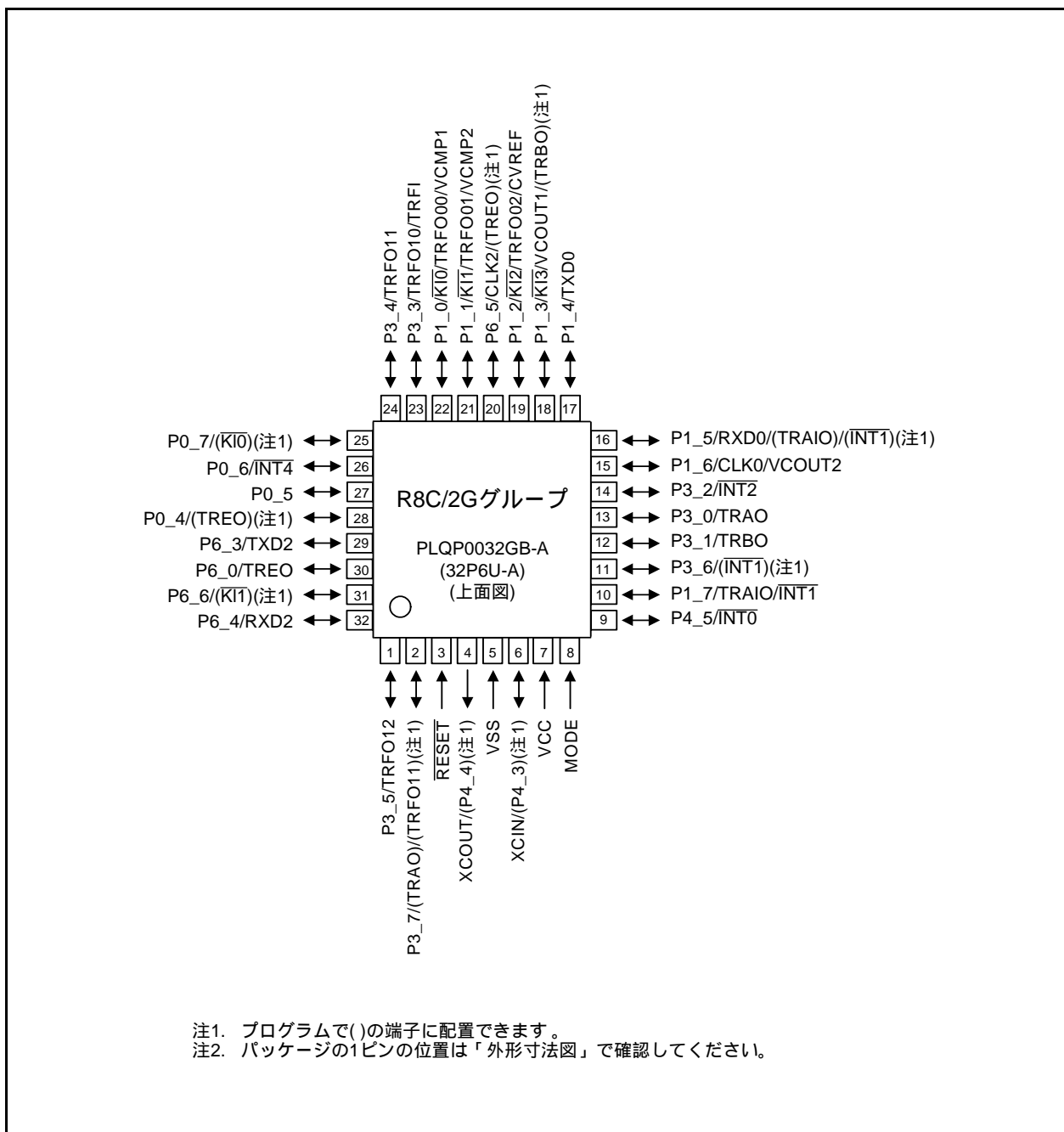


図 1.3 ピン配置図(上面図)

表 1.3 ピン番号別端子名一覧

ピン 番号	制御端子	ポート	周辺機能の入出力端子			
			割り込み	タイマ	シリアルイン タフェース	コンパレータ
1		P3_5		TRFO12		
2		P3_7		(TRAO)/(TRFO11)(注1)		
3	RESET					
4	XCOOUT	(P4_4)				
5	VSS					
6	XCIN	(P4_3)				
7	VCC					
8	MODE					
9		P4_5	INT0			
10		P1_7	INT1	TRAIO		
11		P3_6	(INT1)(注1)			
12		P3_1		TRBO		
13		P3_0		TRAO		
14		P3_2	INT2			
15		P1_6			CLK0	VCOUT2
16		P1_5	(INT1)(注1)	(TRAIO)(注1)	RXD0	
17		P1_4			TXD0	
18		P1_3	K13	(TRBO)(注1)		VCOUT1
19		P1_2	K12	TRFO02		CVREF
20		P6_5		(TREQ)(注1)	CLK2	
21		P1_1	K11	TRFO01		VCMP2
22		P1_0	K10	TRFO00		VCMP1
23		P3_3		TRFO10/TRFI		
24		P3_4		TRFO11		
25		P0_7	(K10)(注1)			
26		P0_6	INT4			
27		P0_5				
28		P0_4		(TREQ)(注1)		
29		P6_3			TXD2	
30		P6_0		TREQ		
31		P6_6	(K11)(注1)			
32		P6_4			RXD2	

注1. プログラムで()の端子に配置できます。

1.5 端子機能の説明

表 1.4に端子機能の説明を示します。

表 1.4 端子機能の説明

分類	端子名	入出力	機能
電源入力	VCC VSS	-	VCCには、2.2V ~ 5.5Vを入力してください。 VSSには、0Vを入力してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください(注1)。
XCINクロック出力	XCOUT	出力	外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
INT割り込み入力	INT0 ~ INT2、INT4	入力	INT割り込みの入力です。
キー入力割り込み入力	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRE	TREO	出力	分周クロック出力です。
タイマRF	TRFI	入力	タイマRFの入力です。
	TRFO00 ~ TRFO02 TRFO10 ~ TRFO12	出力	タイマRFの出力です。
シリアルインタフェース	CLK0、CLK2	入出力	クロック入出力です。
	RXD0、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD2	出力	シリアルデータ出力です。
コンパレータ	VCMP1、VCMP2	入力	コンパレータのアナログ入力です。
	CVREF	入力	コンパレータの基準電圧入力です。
	VCOUT1、VCOUT2	出力	コンパレータの出力です。
入出力ポート	P0_4 ~ P0_7、 P1_0 ~ P1_7、 P3_0 ~ P3_7、 P4_3、P4_5、 P6_0、P6_3 ~ P6_6	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。
出力ポート	P4_4	出力	出力専用ポートです。

注1. 発振特性は発振子メーカーにお問い合わせください。

2. 中央演算処理装置 (CPU)

図 2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

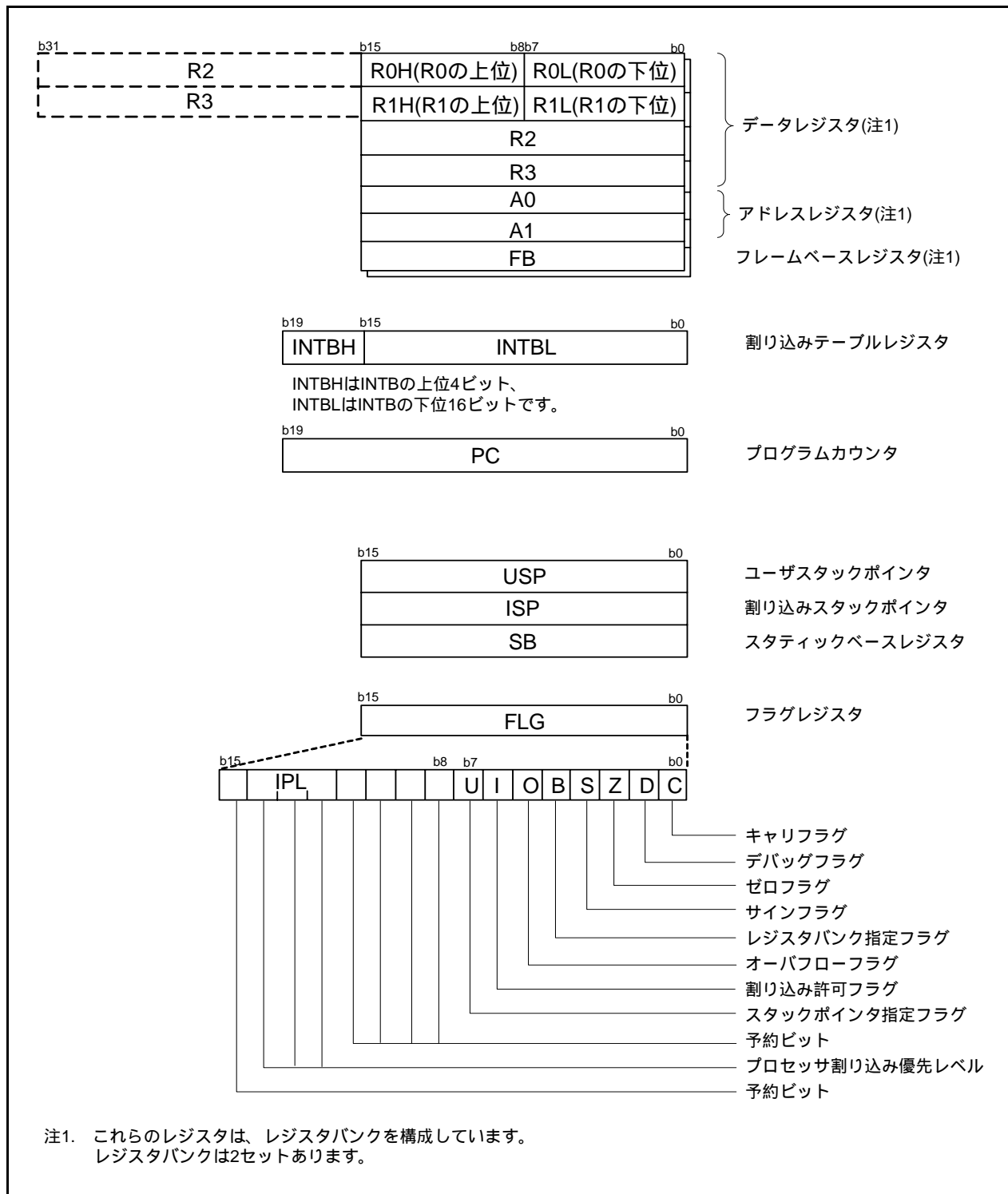


図 2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

図3.1にR8C/2Gグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば16Kバイトの内部ROMは、0C000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば1Kバイトの内部RAMは、00400h番地から007FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

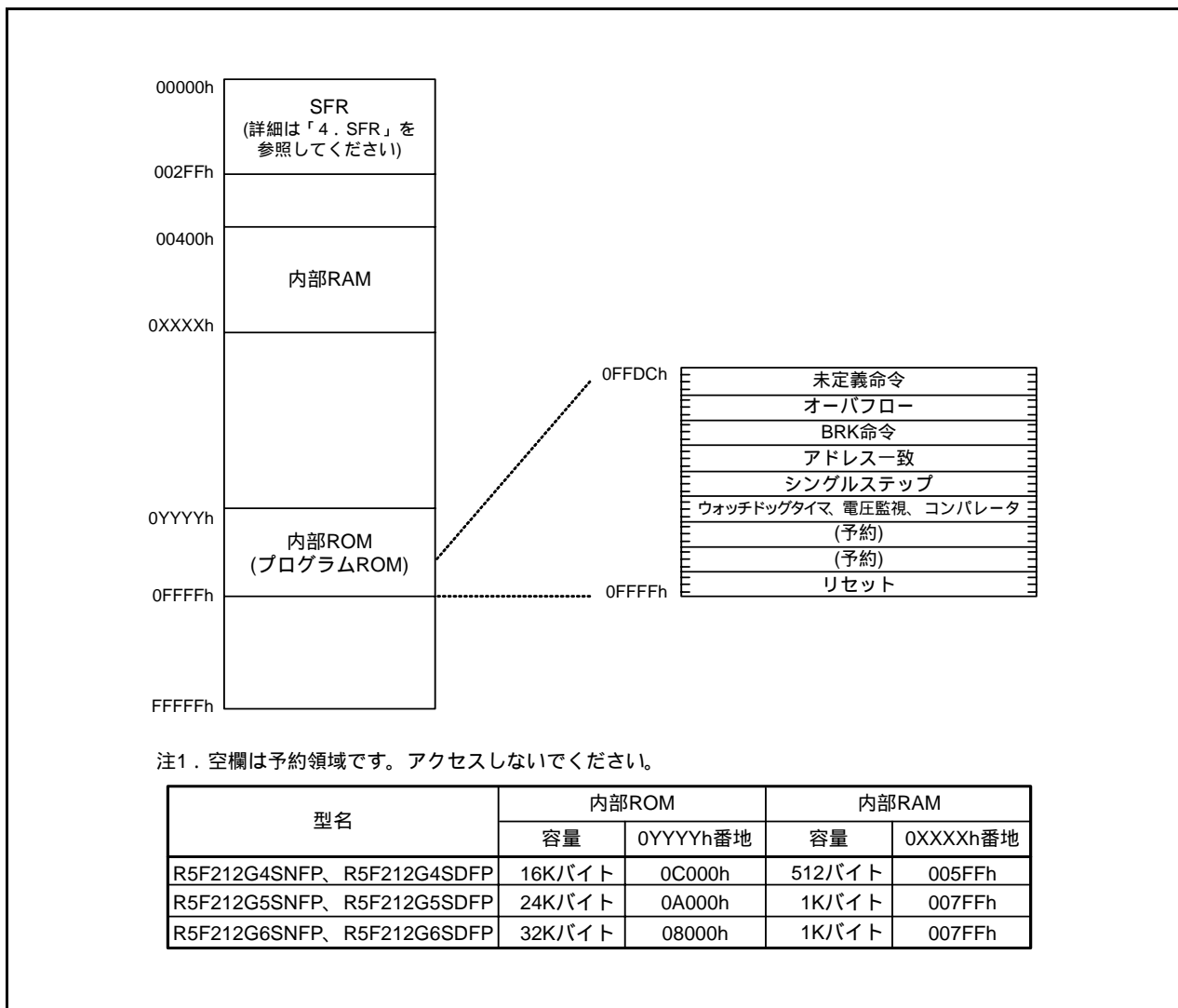


図3.1 R8C/2Gグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.12にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00h
0006h	システムクロック制御レジスタ0	CM0	01011000b
0007h	システムクロック制御レジスタ1	CM1	00h
0008h			
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	システムクロック選択レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ0	RMAD0	00h
0011h			00h
0012h			00h
0013h	アドレス一致割り込み許可レジスタ	AIER	00h
0014h	アドレス一致割り込みレジスタ1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注2)
001Dh			
001Eh			
001Fh			
0020h	高速オンチップオシレータ制御レジスタ0	HRA0	00h
0021h	高速オンチップオシレータ制御レジスタ1	HRA1	出荷時の値
0022h	高速オンチップオシレータ制御レジスタ2	HRA2	00h
0023h			
0024h			
0025h			
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h	高速オンチップオシレータ制御レジスタ4	FRA4	出荷時の値
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ6	FRA6	出荷時の値
002Ch			
002Dh			
002Eh	BGRトリミング予備レジスタA	BGRTRMA	出荷時の値
002Fh	BGRトリミング予備レジスタB	BGRTRMB	出荷時の値

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタのCSPROINIビットが“0”の場合。

X：不定です。

表4.2 SFR一覧(注1)

番地	レジスタ	シンボル	リセット後の値
0030h			
0031h	電圧検出レジスタ1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ2 (注2)	VCA2	00h (注3) 00100000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視1回路制御レジスタ (注5)	VW1C	00001010b
0037h	電圧監視2回路制御レジスタ (注5)	VW2C	00000010b
0038h	電圧監視0回路制御レジスタ (注2)	VW0C	1000X010b (注3) 1100X011b (注4)
0039h			
003Ah			
003Bh	電圧検出回路外部入力制御レジスタ	VCAB	00h
003Ch	コンパレータモードレジスタ	ALCMR	00h
003Dh	電圧監視回路エッジ選択レジスタ	VCAC	00h
003Eh	BGR制御レジスタ	BGRCR	00h
003Fh	BGRトリミングレジスタ	BGRTRM	出荷時の値
0040h			
0041h	コンパレータ1割り込み制御レジスタ	VCMP1IC	XXXXX000b
0042h	コンパレータ2割り込み制御レジスタ	VCMP2IC	XXXXX000b
0043h			
0044h			
0045h			
0046h			
0047h			
0048h			
0049h			
004Ah	タイマRE割り込み制御レジスタ	TREIC	XXXXX000b
004Bh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh			
004Fh			
0050h	コンペア1割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h			
0054h			
0055h	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマRA割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマRB割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Ah			
005Bh	タイマRF割り込み制御レジスタ	TRFIC	XXXXX000b
005Ch	コンペア0割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT4割り込み制御レジスタ	INT4IC	XX00X000b
005Fh	キャプチャ割り込み制御レジスタ	CAPIC	XXXXX000b
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットでは変化しません。

注3. OFSレジスタのLVDD0ONビットが“1”でかつハードウェアリセットの場合。

注4. パワーオンリセット、電圧監視0リセット、またはOFSレジスタのLVDD0ONビットが“0”でかつハードウェアリセットの場合。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットではb2、b3は変化しません。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0送受信モードレジスタ	U0MR	00h
00A1h	UART0ビットレートレジスタ	U0BRG	XXh
00A2h	UART0送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h			
00A9h			
00AAh			
00ABh			
00ACh			
00ADh			
00AEh			
00AFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h			
00B9h			
00BAh			
00BBh			
00BCh			
00BDh			
00BEh			
00BFh			
00C0h			
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h			
00D5h			
00D6h			
00D7h			
00D8h			
00D9h			
00DAh			
00DBh			
00DCh			
00DDh			
00DEh			
00DFh			
00E0h	ポートP0レジスタ	P0	00h
00E1h	ポートP1レジスタ	P1	00h
00E2h	ポートP0方向レジスタ	PD0	00h
00E3h	ポートP1方向レジスタ	PD1	00h
00E4h			
00E5h	ポートP3レジスタ	P3	00h
00E6h			
00E7h	ポートP3方向レジスタ	PD3	00h
00E8h	ポートP4レジスタ	P4	00h
00E9h			
00EAh	ポートP4方向レジスタ	PD4	00h
00EBh			
00ECh	ポートP6レジスタ	P6	00h
00EDh			
00EEh	ポートP6方向レジスタ	PD6	00h
00EFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
00F0h			
00F1h			
00F2h			
00F3h			
00F4h			
00F5h			
00F6h	端子選択レジスタ2	PINSR2	00h
00F7h	端子選択レジスタ3	PINSR3	00h
00F8h	ポートモードレジスタ	PMR	00h
00F9h	外部入力許可レジスタ	INTEN	00h
00FAh	INT入力フィルタ選択レジスタ	INTF	00h
00FBh	キー入力許可レジスタ	KIEN	00h
00FCh	ブルアップ制御レジスタ0	PUR0	00h
00FDh	ブルアップ制御レジスタ1	PUR1	00h
00FEh			
00Fh			
0100h	タイマRA制御レジスタ	TRACR	00h
0101h	タイマRA I/O制御レジスタ	TRAIOC	00h
0102h	タイマRAモードレジスタ	TRAMR	00h
0103h	タイマRAプリスケアラレジスタ	TRAPRE	FFh
0104h	タイマRAレジスタ	TRA	FFh
0105h			
0106h	LINコントロールレジスタ	LINCR	00h
0107h	LINステータスレジスタ	LINST	00h
0108h	タイマRB制御レジスタ	TRBCR	00h
0109h	タイマRBワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマRB I/O制御レジスタ	TRBIOC	00h
010Bh	タイマRBモードレジスタ	TRBMR	00h
010Ch	タイマRBプリスケアラレジスタ	TRBPPE	FFh
010Dh	タイマRBセカンダリレジスタ	TRBSC	FFh
010Eh	タイマRBプライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマRE秒データレジスタ/カウンタデータレジスタ	TRESEC	XXh
0119h	タイマRE分データレジスタ/コンペアデータレジスタ	TREMIN	XXh
011Ah	タイマRE時データレジスタ	TREHR	X0XXXXXXb
011Bh	タイマRE曜日データレジスタ	TREWK	X0000XXXb
011Ch	タイマRE制御レジスタ1	TRECR1	XXX0X0b
011Dh	タイマRE制御レジスタ2	TRECR2	00XXXXXXb
011Eh	タイマREカウントソース選択レジスタ	TRECSR	00001000b
011Fh	タイマREリアルタイムクロック精度調整レジスタ	TREOPR	00h
0120h			
0121h			
0122h			
0123h			
0124h			
0125h			
0126h			
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh			
012Eh			
012Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0130h			
0131h			
0132h			
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h			
013Ah			
013Bh			
013Ch			
013Dh			
013Eh			
013Fh			
0140h			
0141h			
0142h			
0143h			
0144h			
0145h			
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch			
014Dh			
014Eh			
014Fh			
0150h			
0151h			
0152h			
0153h			
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah			
015Bh			
015Ch			
015Dh			
015Eh			
015Fh			
0160h	UART2送受信モードレジスタ	U2MR	00h
0161h	UART2ビットレートレジスタ	U2BRG	XXh
0162h	UART2送信バッファレジスタ	U2TB	XXh
0163h			XXh
0164h	UART2送受信制御レジスタ0	U2C0	00001000b
0165h	UART2送受信制御レジスタ1	U2C1	00000010b
0166h	UART2受信バッファレジスタ	U2RB	XXh
0167h			XXh
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			
01C0h			
01C1h			
01C2h			
01C3h			
01C4h			
01C5h			
01C6h			
01C7h			
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h			
0206h			
0207h			
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh			
020Fh			
0210h			
0211h			
0212h			
0213h			
0214h			
0215h			
0216h			
0217h			
0218h			
0219h			
021Ah			
021Bh			
021Ch			
021Dh			
021Eh			
021Fh			
0220h			
0221h			
0222h			
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
0230h			
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			
0244h			
0245h			
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh			
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h			
0265h			
0266h			
0267h			
0268h			
0269h			
026Ah			
026Bh			
026Ch			
026Dh			
026Eh			
026Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h	タイマRFレジスタ	TRF	00h
0291h			00h
0292h			
0293h			
0294h			
0295h			
0296h			
0297h			
0298h			
0299h	タイマRF制御レジスタ2	TRFCR2	00h
029Ah	タイマRF制御レジスタ0	TRFCR0	00h
029Bh	タイマRF制御レジスタ1	TRFCR1	00h
029Ch	キャプチャ、コンペア0レジスタ	TRFM0	0000h(注2)
029Dh			FFFFh(注3)
029Eh	コンペア1レジスタ	TRFM1	FFh
029Fh			FFh
02A0h			
02A1h			
02A2h			
02A3h			
02A4h			
02A5h			
02A6h			
02A7h			
02A8h			
02A9h			
02AAh			
02ABh			
02ACh			
02ADh			
02AEh			
02AFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. インพุットキャプチャモードの場合。

注3. アウトプットコンペアモードの場合。

X: 不定です。

表4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
02B0h			
02B1h			
02B2h			
02B3h			
02B4h			
02B5h			
02B6h			
02B7h			
02B8h			
02B9h			
02BAh			
02BBh			
02BCh			
02BDh			
02BEh			
02BFh			
02C0h			
02C1h			
02C2h			
02C3h			
02C4h			
02C5h			
02C6h			
02C7h			
02C8h			
02C9h			
02CAh			
02CBh			
02CCh			
02CDh			
02CEh			
02CFh			
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			
02E0h			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh	端子選択レジスタ4	PINSR4	00h
02FCh			
02FDh	外部入力許可レジスタ2	INTEN2	00h
02FEh	INT入力フィルタ選択レジスタ2	INTF2	00h
02FFh	タイマRF出力制御レジスタ	TRFOUT	00h
FFFFh	オプション機能選択レジスタ	OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFSレジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、ウォッチドッグタイマリセットおよびソフトウェアリセットがあります。

表 5.1にリセットの名称と要因を示します。図 5.1にリセット回路のブロック図を示します。

表 5.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子の入力電圧が“L”
パワーオンリセット	VCCの上昇
電圧監視0リセット	VCCの下降(監視電圧: Vdet0)
電圧監視1リセット	VCCの下降(監視電圧: Vdet1)
電圧監視2リセット	VCCの下降(監視電圧: Vdet2)
ウォッチドッグタイマリセット	ウォッチドッグタイマのアンダフロー
ソフトウェアリセット	PM0レジスタのPM03ビットに“1”を書く

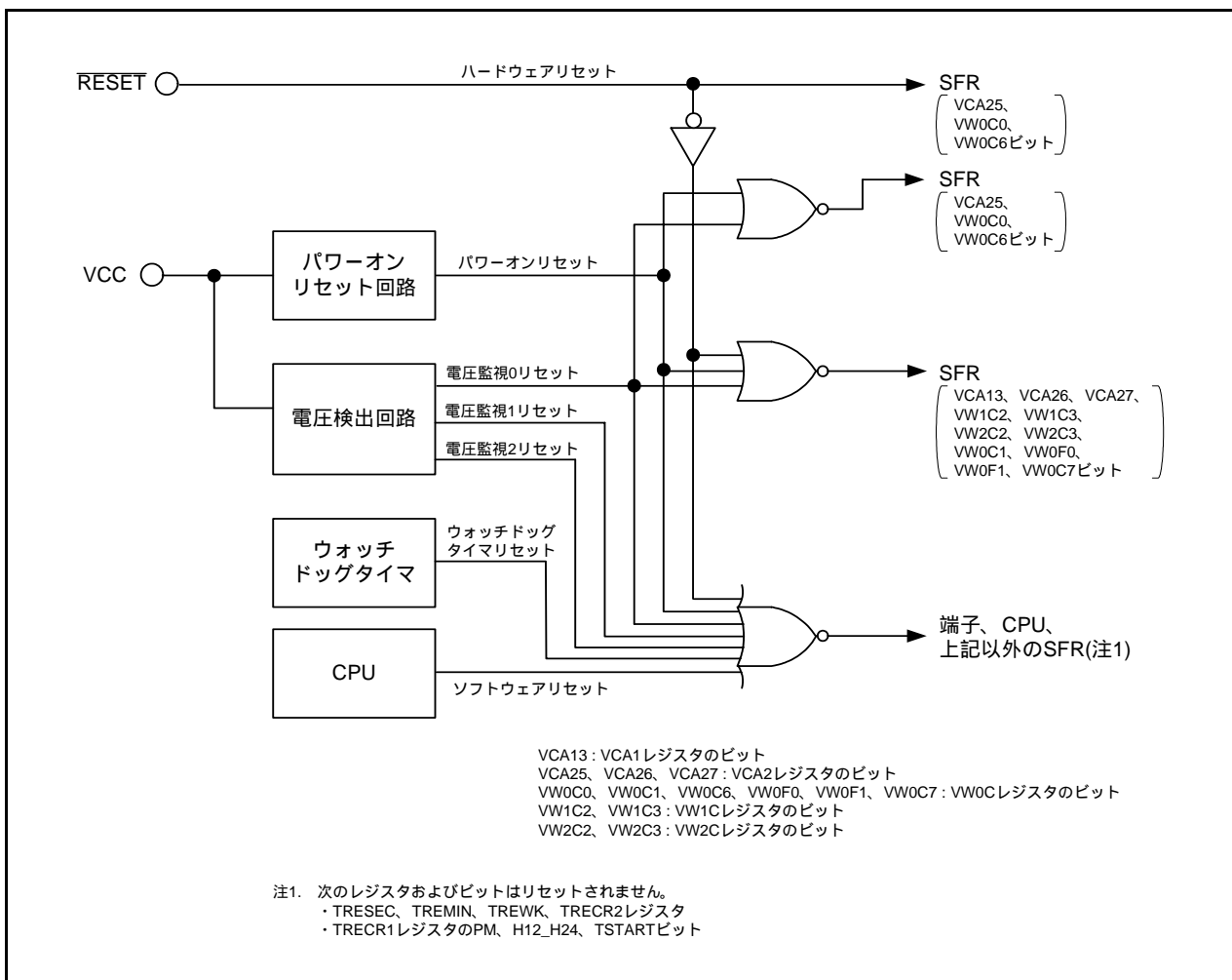


図 5.1 リセット回路のブロック図

表 5.2にRESET端子のレベルが“L”の期間の端子の状態を、図 5.2にリセット後のCPUレジスタの状態を、図 5.3にリセットシーケンスを、図 5.4にOFSレジスタを示します。

表 5.2 RESET端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0_4 ~ P0_7	入力ポート
P1、P3	入力ポート
P4_3、P4_5	入力ポート
P4_4	出力ポート
P6_0、P6_3 ~ P6_6	入力ポート

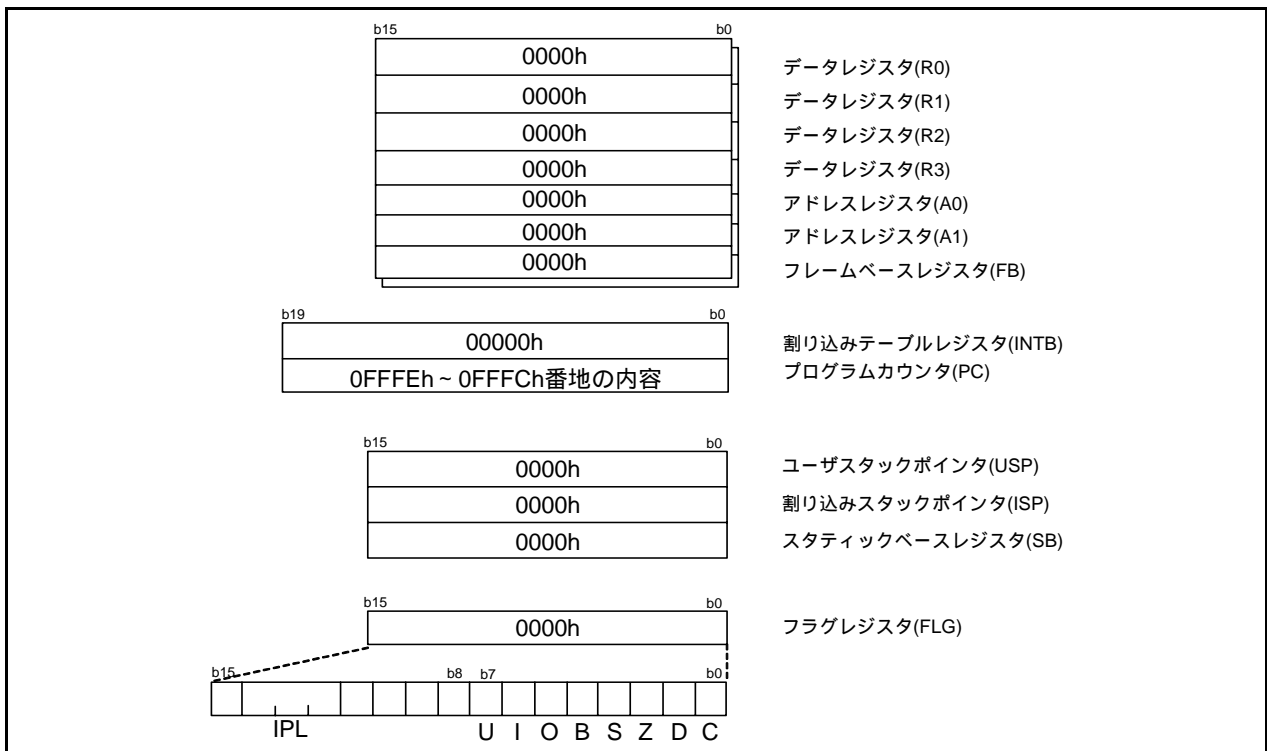


図 5.2 リセット後のCPUレジスタの状態

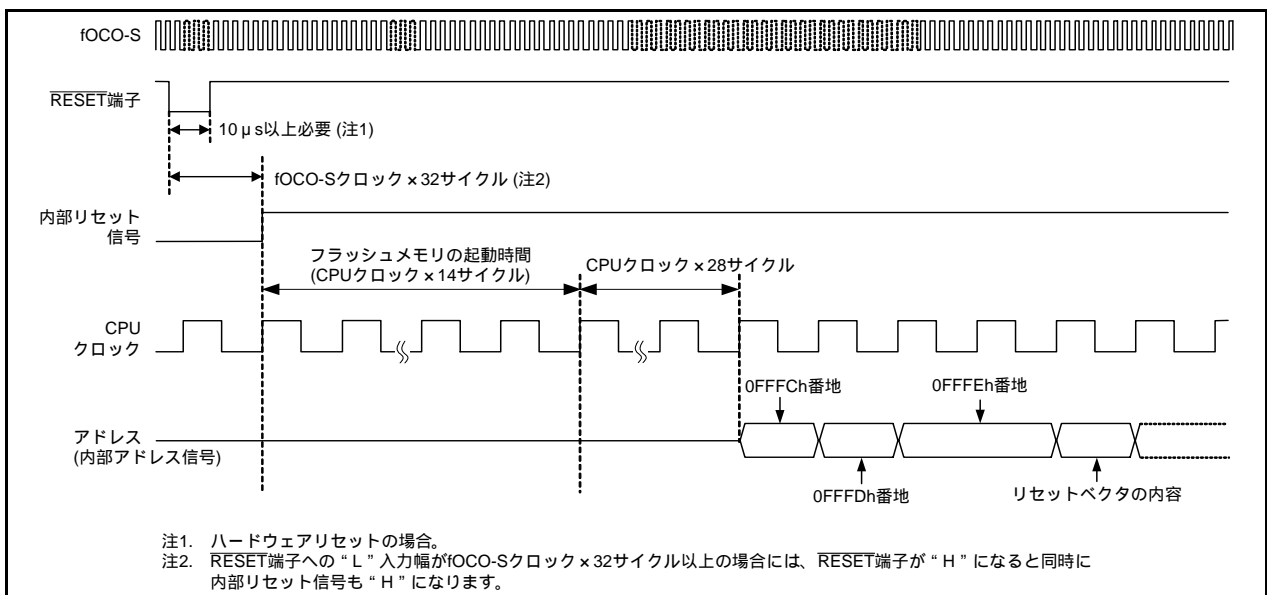


図 5.3 リセットシーケンス

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFh番地	出荷時の値 FFh(注3)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b4)	予約ビット	“1” にしてください。	RW
LVD0ON	電圧検出0回路起動 ビット(注2)	0: ハードウェアリセット後、電圧監視0リセット 有効 1: ハードウェアリセット後、電圧監視0リセット 無効	RW
- (b6)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. LVD0ONビットの設定は、ハードウェアリセットでのみ有効となります。パワーオンリセットを使用する場合、LVD0ONビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図 5.4 OFSレジスタ

5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子、CPU、SFRが初期化されます(「表 5.2 RESET端子のレベルが“L”の期間の端子の状態」を参照)。

RESET端子の入力レベルを“L”から“H”にすると、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図 5.5 にハードウェアリセット回路例と動作を、図 5.6 にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

5.1.1 電源が安定している場合

- (1) RESET端子に“L”を入力する
- (2) 10 μ s待つ
- (3) RESET端子に“H”を入力する

5.1.2 電源投入時

- (1) RESET端子に“L”を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ(「22. 電気的特性」参照)
- (4) 10 μ s待つ
- (5) RESET端子に“H”を入力する

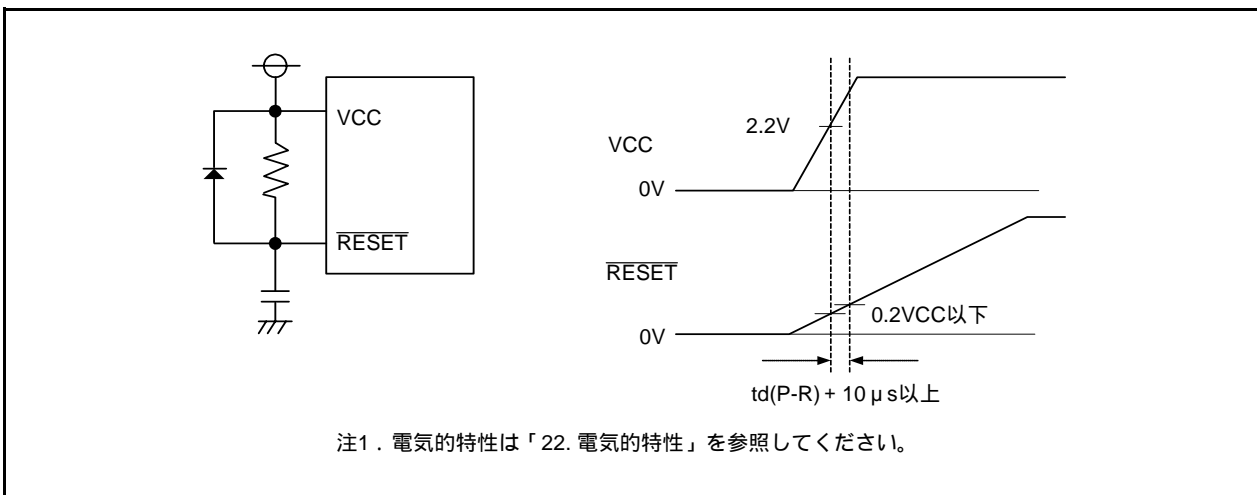


図 5.5 ハードウェアリセット回路例と動作

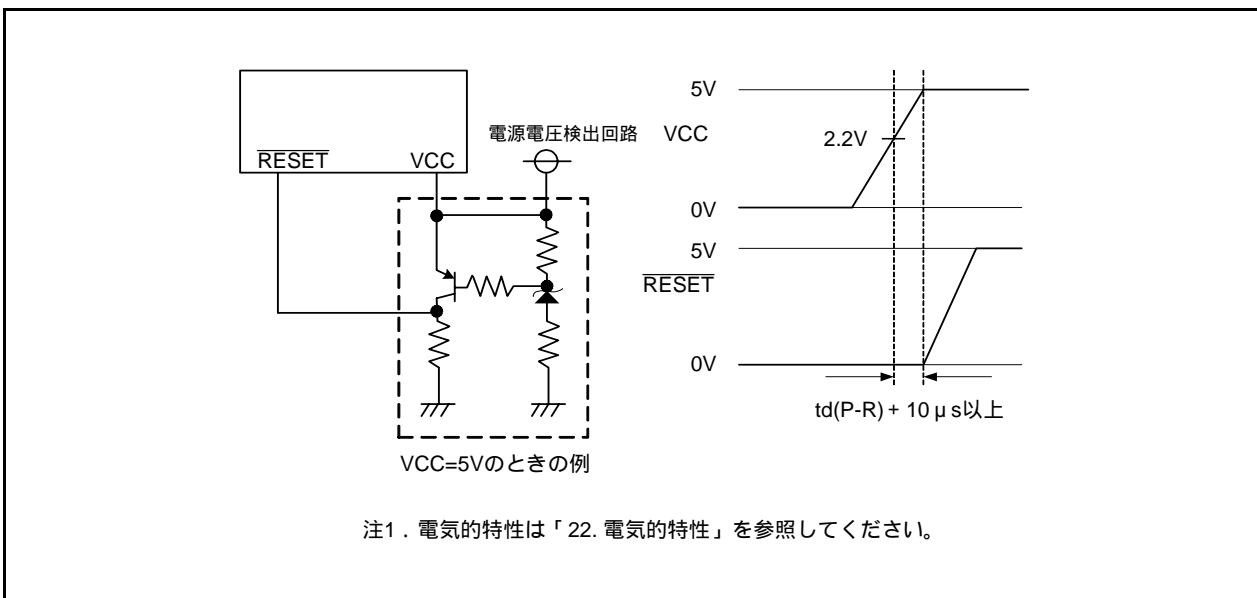


図 5.6 ハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作

5.2 パワーオンリセット機能

抵抗を介してRESET端子をVCCに接続し、VCCを立ち上がり傾き t_{rth} 以上で立ち上げるとパワーオンリセット機能が有効になり、端子、CPU、SFRが初期化されます。RESET端子にコンデンサを接続する場合も、RESET端子の電圧が常に $0.8V_{CC}$ 以上になるようにご注意ください。

VCC端子に入力する電圧が V_{det0} 以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「4. SFR」を参照してください。

パワーオンリセット後は電圧監視0リセットが有効になります。

図5.7にパワーオンリセット回路例と動作を示します。

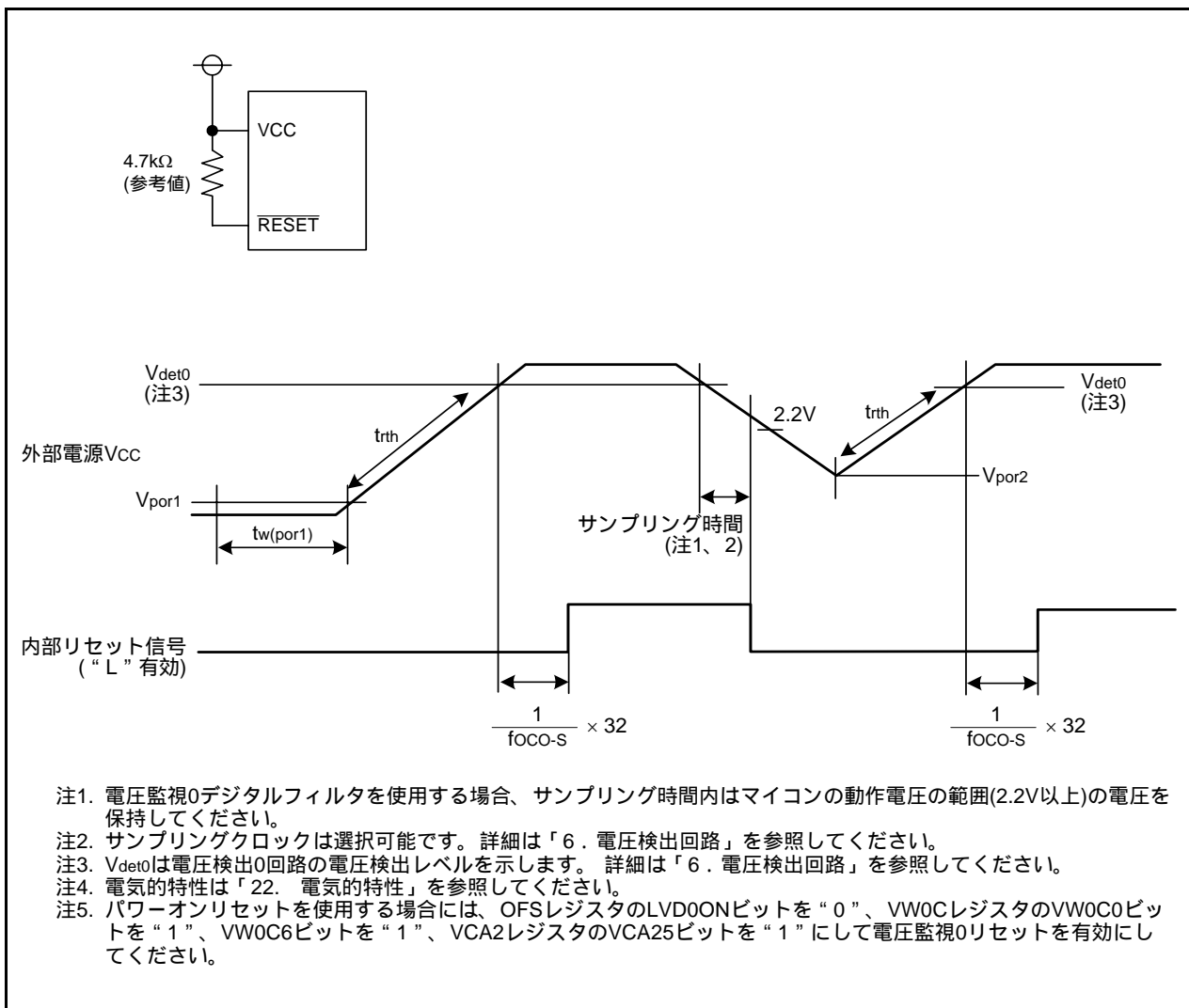


図 5.7 パワーオンリセット回路例と動作

5.3 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。

VCC端子に入力する電圧がVdet0以下になると端子、CPU、SFRが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号が“H”になり、リセットシーケンス(図5.3参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

OFSレジスタのLVD0ONビットでハードウェアリセット後、電圧監視0リセットの有効/無効を選択できます。LVD0ONビットの設定は、ハードウェアリセットでのみ有効となります。

パワーオンリセットを使用する場合には、OFSレジスタのLVD0ONビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

LVD0ONビットはプログラムでは変更できません。LVD0ONビットを設定する場合は、フラッシュライタでOFFF番地のb5に“0”(ハードウェアリセット後、電圧監視0リセット有効)または“1”(ハードウェアリセット後、電圧監視0リセット無効)を書き込んでください。OFSレジスタの詳細は「図5.4 OFSレジスタ」を参照してください。

電圧監視0リセット後のSFRの状態は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「6. 電圧検出回路」を参照してください。

5.4 電圧監視1リセット

マイクロコンピュータに内蔵している電圧検出1回路によるリセットです。電圧検出1回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet1です。

VCC端子に入力する電圧が下降してVdet1以下になると端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視1リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet1以下になると、内部RAMは不定となります。

電圧監視1リセットの詳細は「6. 電圧検出回路」を参照してください。

5.5 電圧監視2リセット

マイクロコンピュータに内蔵している電圧検出2回路によるリセットです。電圧検出2回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet2です。

VCC端子に入力する電圧が下降してVdet2以下になると、端子、CPU、SFRが初期化され、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

電圧監視2リセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet2以下になると、内部RAMは不定となります。

電圧監視2リセットの詳細は「6. 電圧検出回路」を参照してください。

5.6 ウォッチドッグタイマリセット

PM1レジスタのPM12ビットが“1”(ウォッチドッグタイマアンダフロー時リセット)の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ウォッチドッグタイマリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にウォッチドッグタイマがアンダフローすると、内部RAMは不定となります。

ウォッチドッグタイマの詳細は「16. ウォッチドッグタイマ」を参照してください。

5.7 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後のCPUクロックには、低速オンチップオシレータクロックの8分周クロックが自動的に選択されます。

ソフトウェアリセットでは一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。内部RAMは初期化されません。

6. 電圧検出回路

電圧検出回路はVCC端子に入力する電圧を監視する回路です。VCC入力電圧をプログラムで監視できません。また、電圧監視0リセット、電圧監視1割り込み、電圧監視1リセット、電圧監視2割り込み、電圧監視2リセットを使用できます。

ただし、電圧監視1、電圧監視2は電圧検出回路をコンパレータ1、コンパレータ2と兼用しています。電圧監視1、電圧監視2とコンパレータ1、コンパレータ2はどちらかを選択して使用できます。

表 6.1に電圧検出回路の仕様を、図 6.1～図 6.4にブロック図を、図 6.5～図 6.10に関連レジスタを示します。

表 6.1 電圧検出回路の仕様

項目	電圧検出0	電圧検出1	電圧検出2	
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過したか	上昇または下降してVdet1を通過したか	上昇または下降してVdet2を通過したか
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低い	VCA1レジスタのVCA13ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット; VCC > Vdet0でCPU動作再開	電圧監視1リセット Vdet1 > VCCでリセット; 一定時間後にCPU動作再開	電圧監視2リセット Vdet2 > VCCでリセット; 一定時間後にCPU動作再開
	割り込み	なし	電圧監視1割り込み Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	電圧監視2割り込み Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求
デジタルフィルタ	有効/無効切り替え	あり	あり	あり
	サンプリング時間	(fOCO-Sのn分周) × 4 n: 1、2、4、8	(fOCO-Sのn分周) × 2 n: 1、2、4、8	(fOCO-Sのn分周) × 2 n: 1、2、4、8

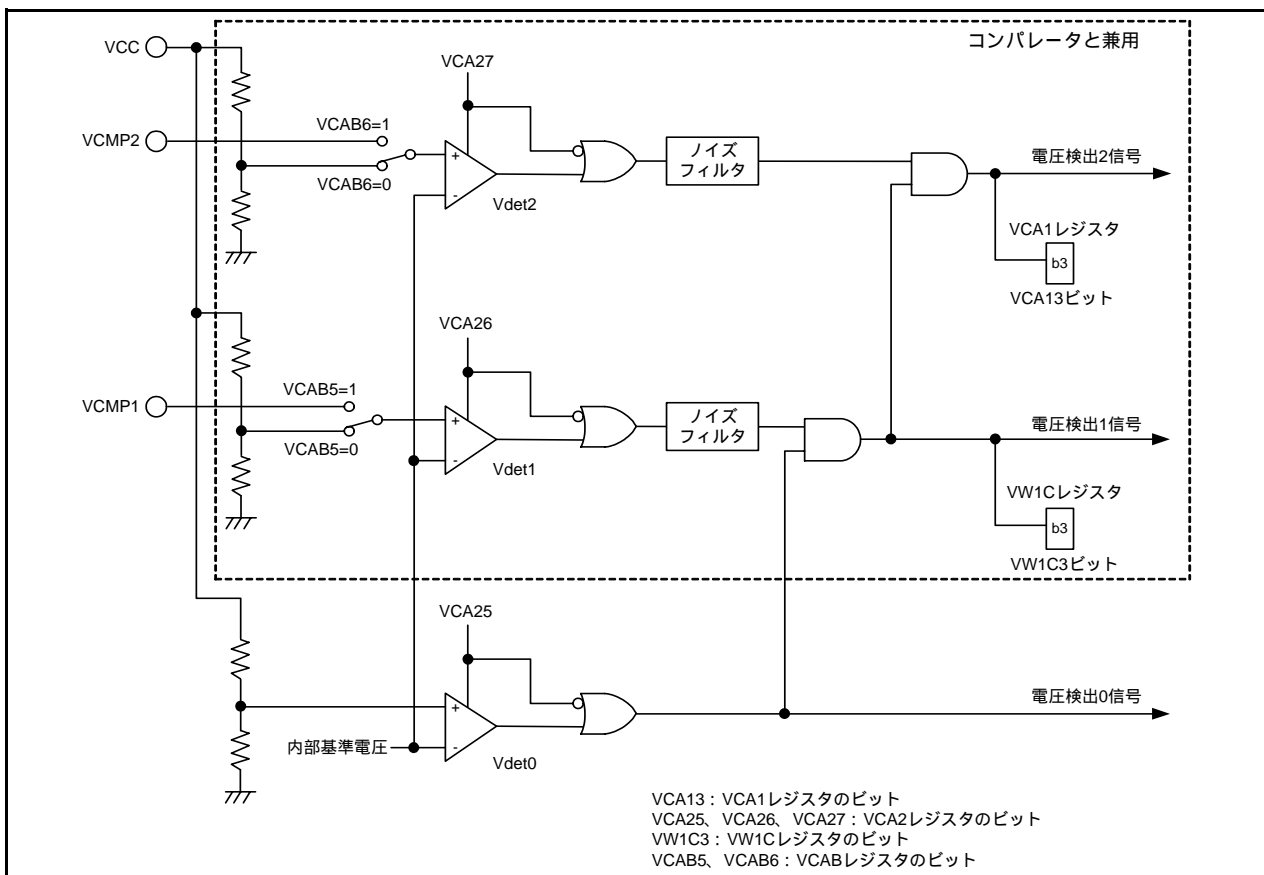


図 6.1 電圧検出回路ブロック図

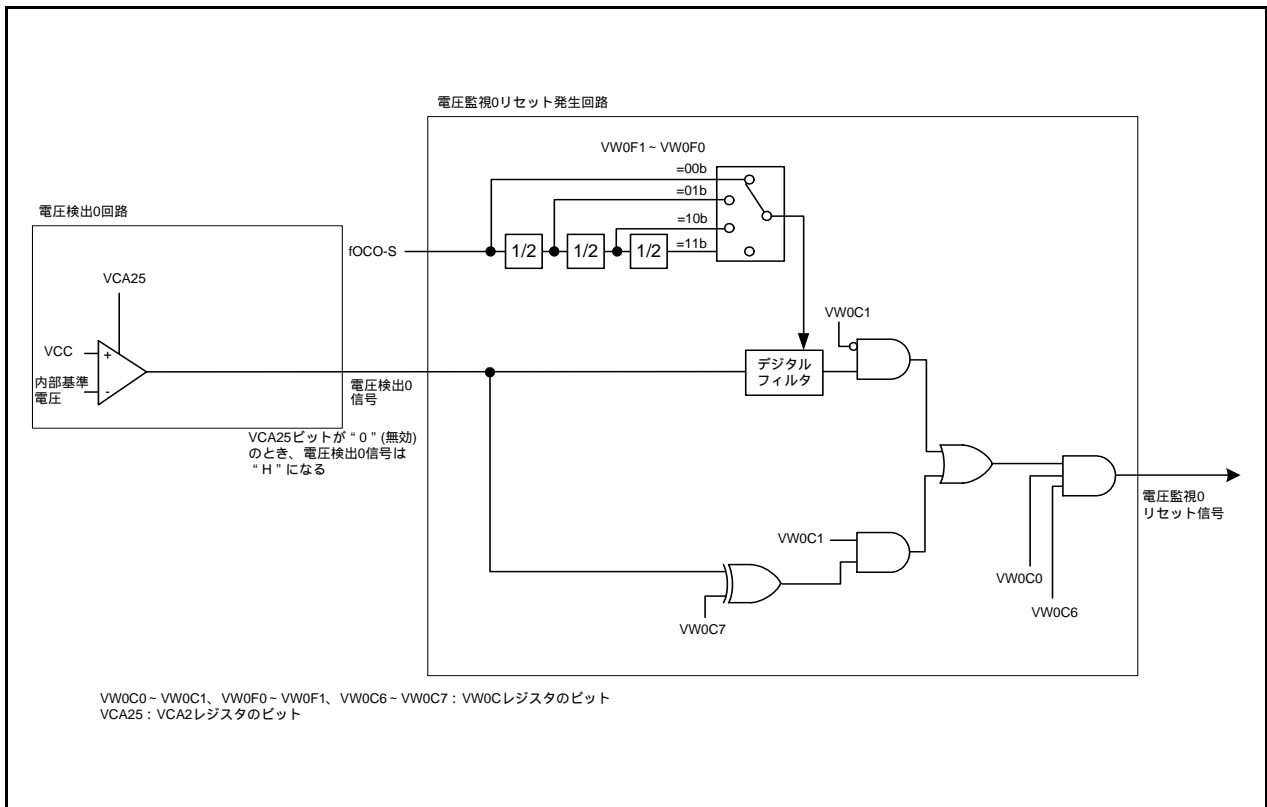


図 6.2 電圧監視0リセット発生回路のブロック図

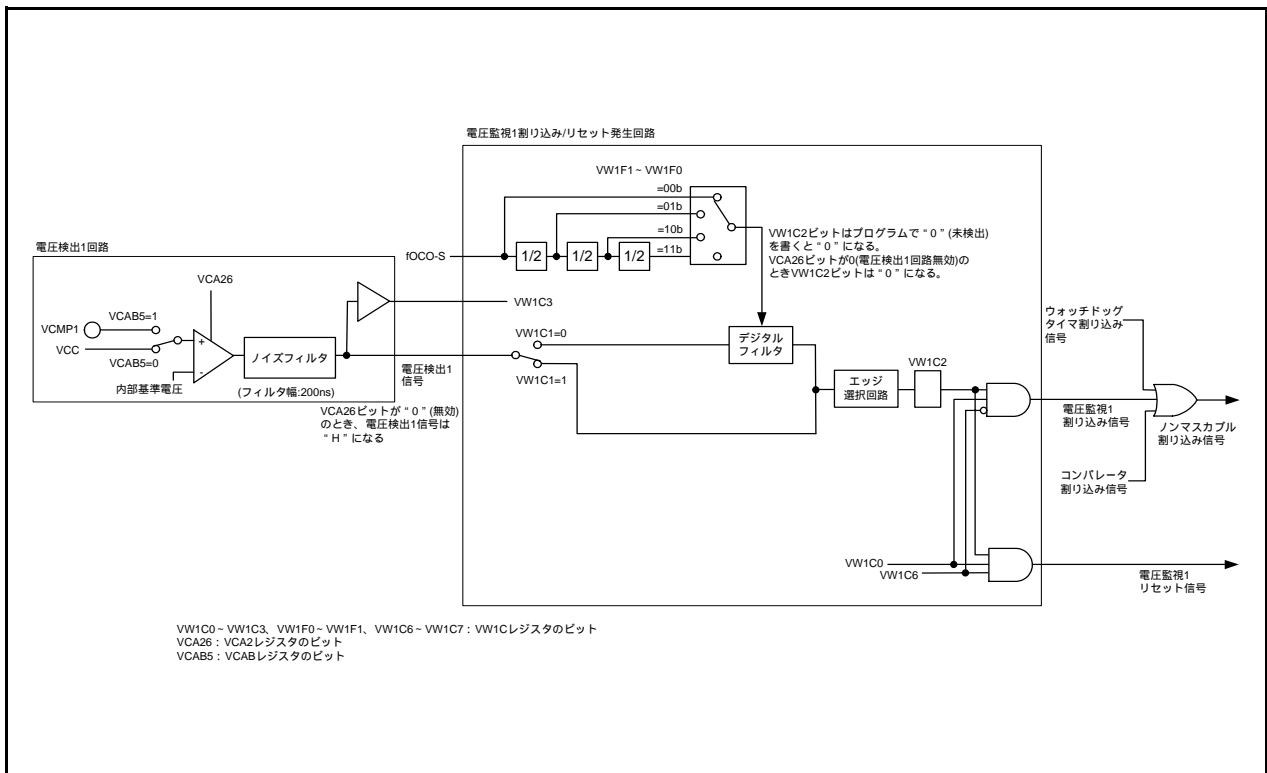


図 6.3 電圧監視1割り込み/リセット発生回路のブロック図

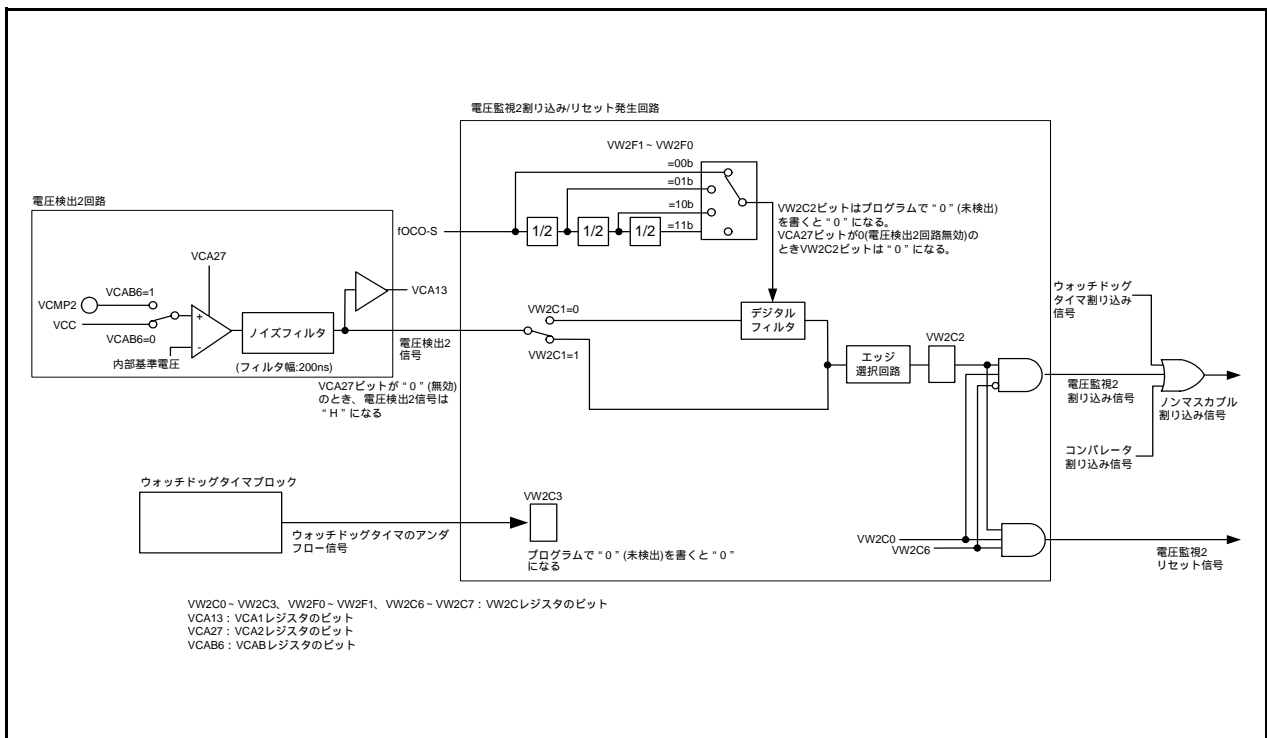


図 6.4 電圧監視2割り込み/リセット発生回路のブロック図

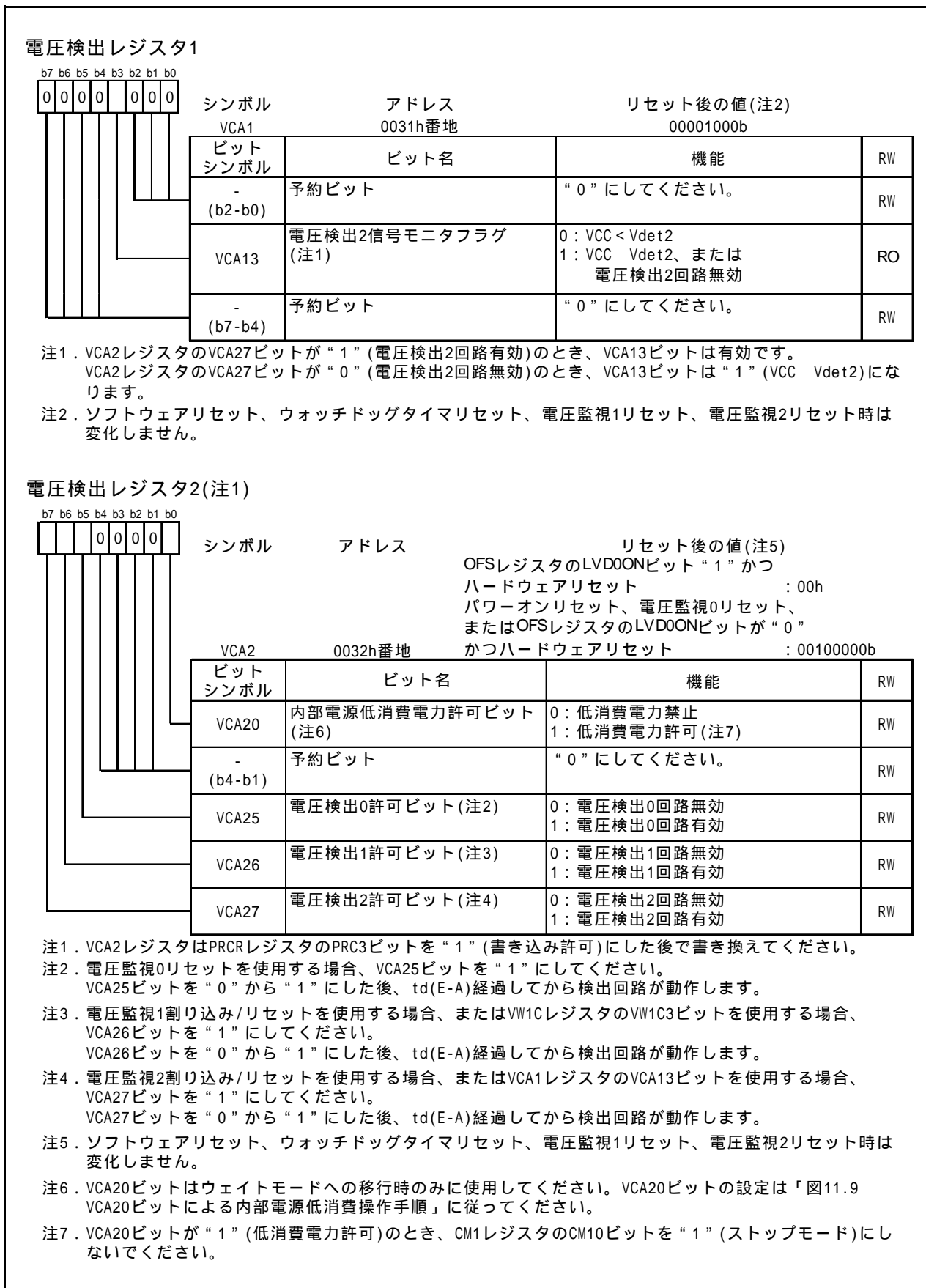


図 6.5 VCA1、VCA2レジスタ

電圧監視0回路制御レジスタ(注1)

シンボル アドレス リセット後の値(注2)

VWO0C 0038h番地 OFSレジスタのLVD00Nビットが“1”かつ
ハードウェアリセット : 1000X010b
パワーオンリセット、電圧監視0リセット、
またはOFSレジスタのLVD00Nビットが“0”
かつハードウェアリセット : 1100X011b

ビット シンボル	ビット名	機能	RW
VWO0C0	電圧監視0リセット許可ビット (注3)	0: 禁止 1: 許可	RW
VWO0C1	電圧監視0デジタルフィルタ無 効モード選択ビット	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	RW
VWO0C2	予約ビット	“0” にしてください。	RW
- (b3)	予約ビット	読んだ場合、その値は不定。	RO
VWO0F0	サンプリングクロック選択 ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VWO0F1			RW
VWO0C6	電圧監視0回路モード選択ビッ ト	VWO0C0ビットが“1”(電圧監視0リ セット許可)の場合は、“1”にして ください。	RW
VWO0C7	電圧監視0リセット発生条件選 択ビット(注4)	VWO0C1ビットが“1”(デジタルフィル タ無効モード)の場合は、“1”にして ください。	RW

注1. VWO0CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。

注3. VWO0C0ビットはVCA2レジスタのVCA25ビットが“1”(電圧検出0回路有効)のとき有効になります。VCA25ビットが“0”(電圧検出0回路無効)のとき、VWO0C0ビットを“0”(禁止)にしてください。VWO0C0ビットを“1”(許可)にするときは、「表6.2 電圧監視0リセット関連ビットの設定手順」に従ってください。

注4. VWO0C7ビットはVWO0C1ビットが“1”(デジタルフィルタ無効モード)のとき有効になります。

図 6.6 VWO0C レジスタ

電圧監視1回路制御レジスタ(注1)

ビット シンボル	ビット名	機能	RW
VW1C0	電圧監視1割り込み/リセット許可ビット(注6)	0: 禁止 1: 許可	RW
VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	RW
VW1C2	電圧変化検出フラグ(注3、4、8)	0: 未検出 1: Vdet1通過検出	RW
VW1C3	電圧検出1信号モニタフラグ(注3、8)	0: VCC < Vdet1 1: VCC > Vdet1または電圧検出1回路無効	RO
VW1F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW1F1			RW
VW1C6	電圧監視1回路モード選択ビット(注5)	0: 電圧監視1割り込みモード 1: 電圧監視1リセットモード	RW
VW1C7	電圧監視1割り込み/リセット発生条件選択ビット(注7、9)	0: VCCがVdet1以上になるとき 1: VCCがVdet1以下になるとき	RW

- 注1. VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。
- 注2. 電圧監視1割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW1C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注3. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW1C6ビットはVW1C0ビットが“1”(電圧監視1割り込み/リセット許可)のとき有効になります。
- 注6. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(電圧検出1回路有効)のとき有効になります。VCA26ビットが“0”(電圧検出1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表6.3 電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順」に従ってください。
- 注7. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。
- 注8. VW1C2ビットとVW1C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。
- 注9. VW1C6ビットが“1”(電圧監視1リセットモード)のとき、VW1C7ビットは“1”(Vdet1以下になるとき)にしてください(“0”にしないでください)。

図 6.7 VW1C レジスタ

電圧監視2回路制御レジスタ(注1)

ビット シンボル	ビット名	機能	RW
VW2C0	電圧監視2割り込み/リセット許可ビット(注6)	0: 禁止 1: 許可	RW
VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2)	0: デジタルフィルタ有効モード(デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード(デジタルフィルタ回路無効)	RW
VW2C2	電圧変化検出フラグ(注3、4、8)	0: 未検出 1: Vdet2通過検出	RW
VW2C3	WDT検出フラグ(注4、8)	0: 未検出 1: 検出	RW
VW2F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW2F1		RW	
VW2C6	電圧監視2回路モード選択ビット(注5)	0: 電圧監視2割り込みモード 1: 電圧監視2リセットモード	RW
VW2C7	電圧監視2割り込み/リセット発生条件選択ビット(注7、9)	0: VCCがVdet2以上になるとき 1: VCCがVdet2以下になるとき	RW

- 注1. VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。
- 注2. 電圧監視2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注3. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。
- 注4. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注5. VW2C6ビットはVW2C0ビットが“1”(電圧監視2割り込み/リセット許可)のとき有効になります。
- 注6. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(電圧検出2回路有効)のとき有効になります。VCA27ビットが“0”(電圧検出2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表6.4 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順」に従ってください。
- 注7. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。
- 注8. VW2C2ビットとVW2C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセット時は変化しません。
- 注9. VW2C6ビットが“1”(電圧監視2リセットモード)のとき、VW2C7ビットは“1”(Vdet2以下になるとき)にしてください(“0”にしないでください)。

図 6.8 VW2C レジスタ

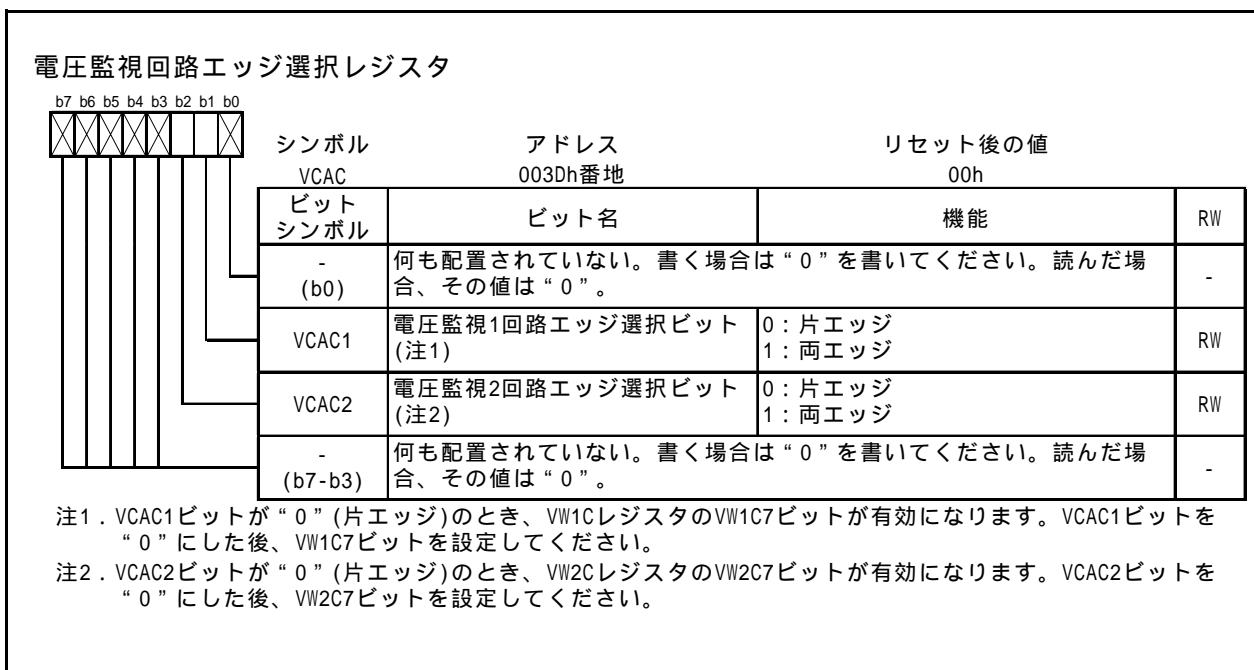


図 6.9 VCAC レジスタ

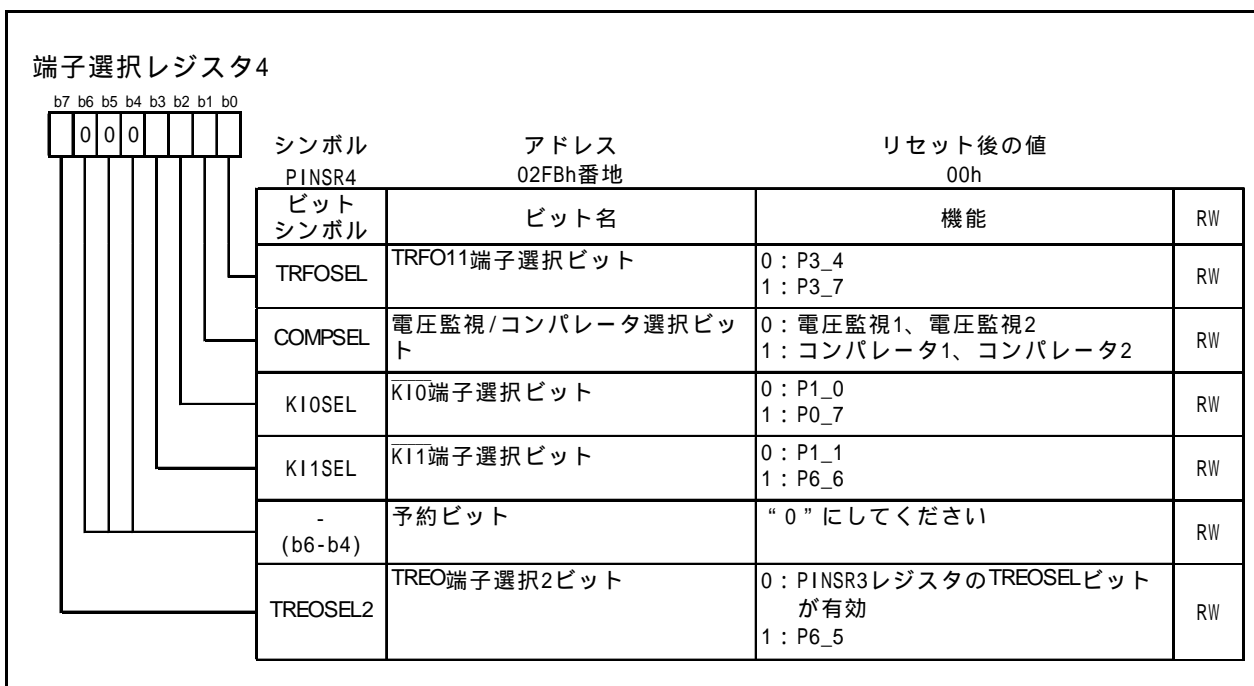


図 6.10 PINSR4 レジスタ

6.1 VCC入力電圧のモニタ

6.1.1 Vdet0のモニタ

Vdet0のモニタはできません。

6.1.2 Vdet1のモニタ

VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にしてください。td(E-A)(「22. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットでVdet1をモニタできます。

6.1.3 Vdet2のモニタ

VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にしてください。td(E-A)(「22. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでVdet2をモニタできます。

6.2 電圧監視0リセット

表 6.2 に電圧監視0リセット関連ビットの設定手順を、図 6.11 に電圧監視0リセット動作例を示します。
 なお、電圧監視0リセットをストップモードからの復帰に使用する場合は、VW0CレジスタのVW0C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.2 電圧監視0リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA25ビットを“1”(電圧検出0回路有効)にする	
2	td(E-A)待つ	
3	VW0CレジスタのVW0F0～VW0F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW0CレジスタのVW0C7ビットを“1”にする
4(注1)	VW0CレジスタのVW0C1ビットを“0”(デジタルフィルタ有効)にする	VW0CレジスタのVW0C1ビットを“1”(デジタルフィルタ無効)にする
5(注1)	VW0CレジスタのVW0C6ビットを“1”(電圧監視0リセットモード)にする	
6	VW0CレジスタのVW0C2ビットを“0”にする	
7	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	-
8	デジタルフィルタのサンプリングクロック×4サイクル待つ	-(待ち時間なし)
9	VW0CレジスタのVW0C0ビットを“1”(電圧監視0リセット許可)にする	

注1. VW0C0ビットが“0”のとき、手順3、4と5は同時に(1命令で)実行してもかまいません。

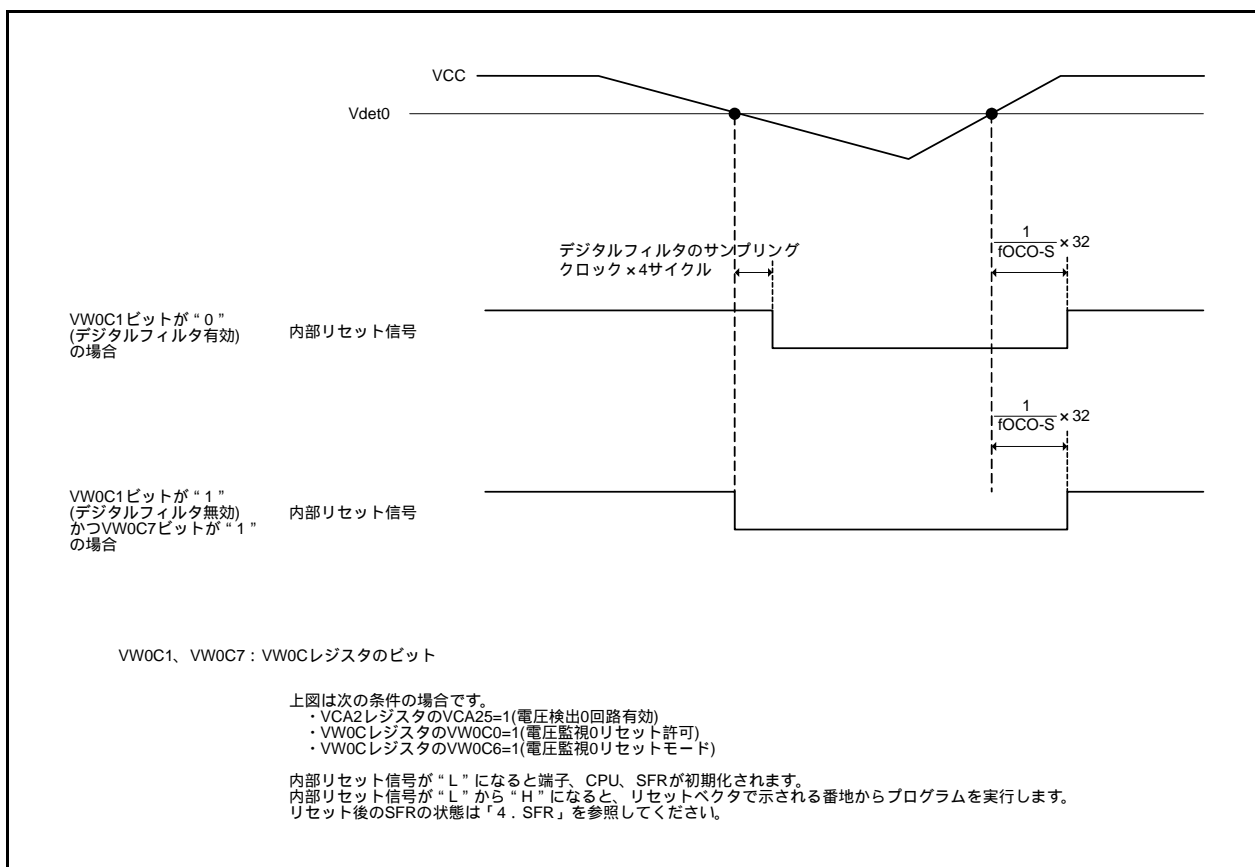


図 6.11 電圧監視0リセット動作例

6.3 電圧監視1割り込み、電圧監視1リセット

表 6.3 に電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順を、図 6.12 に電圧監視1割り込み、電圧監視1リセット動作例を示します。

なお、電圧監視1割り込みまたは電圧監視1リセットをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.3 電圧監視1割り込み、電圧監視1リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視1割り込み	電圧監視1リセット	電圧監視1割り込み	電圧監視1リセット
1	PINSR4レジスタのCOMPSELビットを“0”(電圧監視1、電圧監視2)にする			
2	VCA2レジスタのVCA26ビットを“1”(電圧検出1回路有効)にする			
3	td(E-A)待つ			
4	VW1CレジスタのVW1F0～VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする	
5(注2)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする			
6	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み、リセット要求のタイミングを選択する(注1)		VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
7	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込みモード)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする	VW1CレジスタのVW1C6ビットを“0”(電圧監視1割り込みモード)にする	VW1CレジスタのVW1C6ビットを“1”(電圧監視1リセットモード)にする
8	VW1CレジスタのVW1C2ビットを“0”(Vdet1通過未検出)にする			
9	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする			
10	デジタルフィルタのサンプリングクロック×2サイクル待つ		(待ち時間なし)	
11	VW1CレジスタのVW1C0ビットを“1”(電圧監視1割り込み/リセット許可)にする。			

注1. 電圧監視1リセットではVW1C7ビットを“1”(Vdet1以下になるとき)にしてください。

注2. VW1C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行してもかまいません。

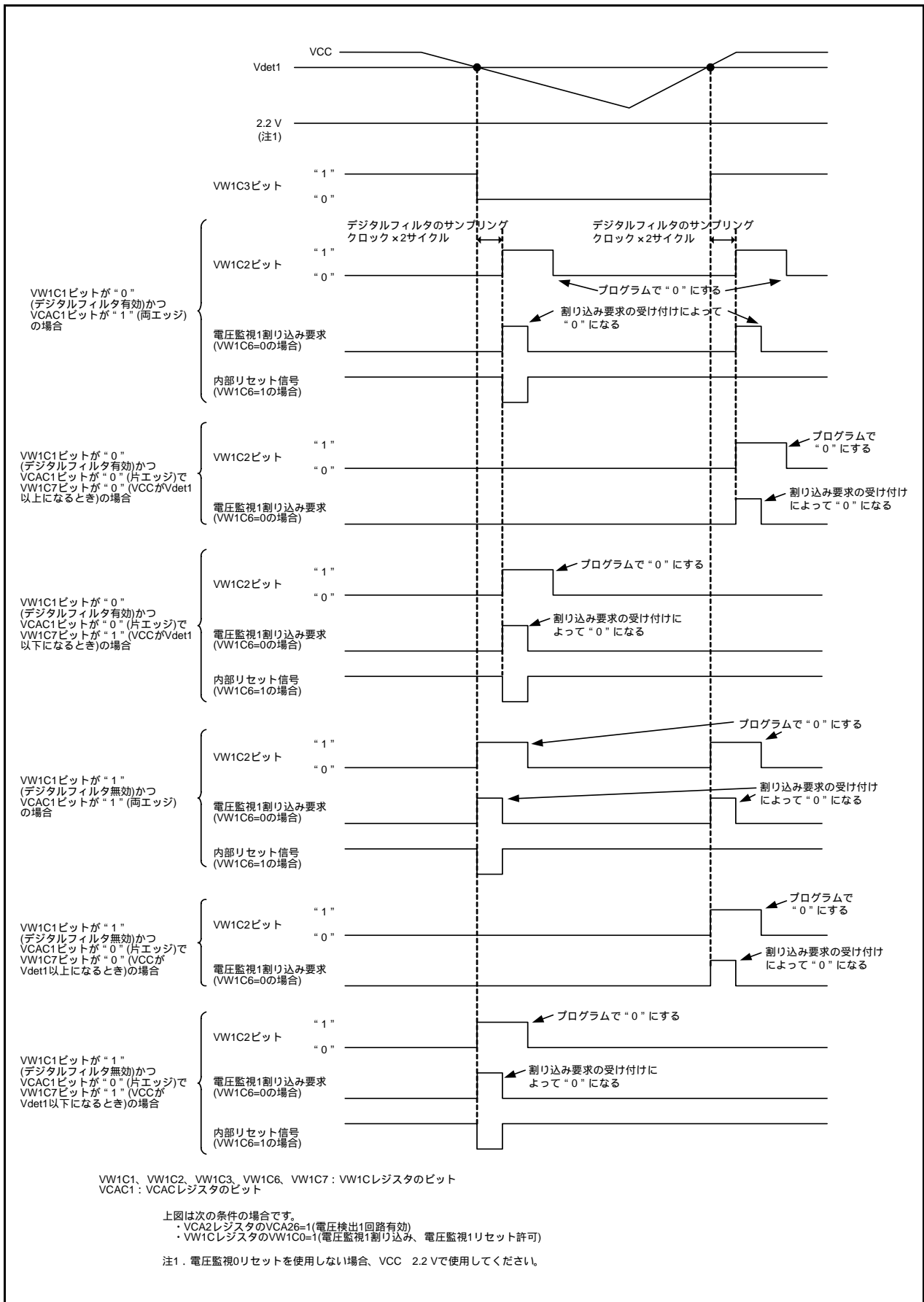


図 6.12 電圧監視1割り込み、電圧監視1リセット動作例

6.4 電圧監視2割り込み、電圧監視2リセット

表 6.4 に電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順を、図 6.13 に電圧監視2割り込み、電圧監視2リセット動作例を示します。

なお、電圧監視2割り込みまたは電圧監視2リセットをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にしてください。

表 6.4 電圧監視2割り込み、電圧監視2リセット関連ビットの設定手順

手順	デジタルフィルタを使用する場合		デジタルフィルタを使用しない場合	
	電圧監視2割り込み	電圧監視2リセット	電圧監視2割り込み	電圧監視2リセット
1	PINSR4レジスタのCOMPSELビットを“0”(電圧監視1、電圧監視2)にする			
2	VCA2レジスタのVCA27ビットを“1”(電圧検出2回路有効)にする			
3	td(E-A)待つ			
4	VW2CレジスタのVW2F0～VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する		VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする	
5(注2)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする			
6	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)		VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み、リセット要求のタイミングを選択する(注1)	
7	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする	VW2CレジスタのVW2C6ビットを“0”(電圧監視2割り込みモード)にする	VW2CレジスタのVW2C6ビットを“1”(電圧監視2リセットモード)にする
8	VW2CレジスタのVW2C2ビットを“0”(Vdet2通過未検出)にする			
9	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする			
10	デジタルフィルタのサンプリングクロック×2サイクル待つ		(待ち時間なし)	
11	VW2CレジスタのVW2C0ビットを“1”(電圧監視2割り込み/リセット許可)にする。			

注1. 電圧監視2リセットではVW2C7ビットを“1”(Vdet2以下になるとき)にしてください。

注2. VW2C0ビットが“0”のとき、手順4と5は同時に(1命令で)実行してもかまいません。

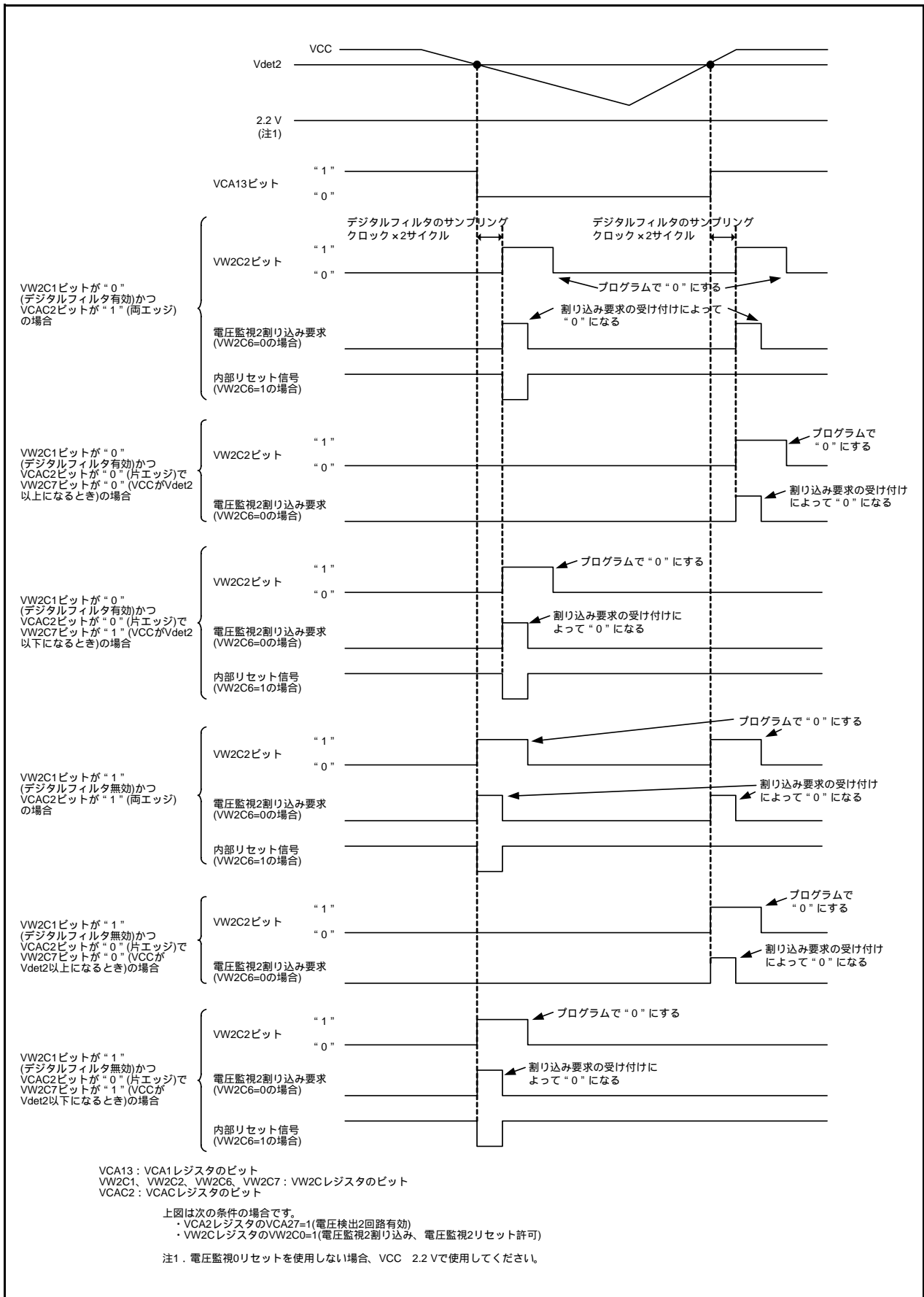


図 6.13 電圧監視2割り込み、電圧監視2リセット動作例

7. コンパレータ

コンパレータはリファレンス入力電圧と、アナログ入力電圧を比較します。コンパレータ1とコンパレータ2の独立した2つのコンパレータです。ただし、コンパレータ1、コンパレータ2は電圧検出回路を電圧監視1、電圧監視2と兼用しています。コンパレータ1、コンパレータ2と電圧監視1、電圧監視2はどちらかを選択して使用できます。

7.1 概要

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、VCOUT_i(i=1~2)端子から出力もできます。リファレンス入力電圧として内部基準電圧、またはCVREF端子への入力電圧を選択できます。また、コンパレータ1割り込み、コンパレータ2割り込みを使用できます。

表 7.1 にコンパレータの仕様を、図 7.1 にコンパレータのブロック図を、表 7.2 にコンパレータの端子構成を示します。

表 7.1 コンパレータの仕様

項目		コンパレータ1	コンパレータ2
アナログ入力電圧		VCMP1端子への入力電圧	VCMP2端子への入力電圧
リファレンス入力電圧		内部基準電圧、またはCVREF端子への入力電圧	
比較対象		上昇または下降してリファレンス入力電圧を通過したか	
比較結果のモニタ		VW1CレジスタのVW1C3ビット	VCA1レジスタのVCA13ビット
		リファレンス入力電圧より高いか低いかな	
割り込み		コンパレータ1割り込み (ノンマスクابلまたはマスクابلを選択できる)	コンパレータ2割り込み (ノンマスクابلまたはマスクابلを選択できる)
		リファレンス入力電圧 > VCMP1端子への入力電圧、VCMP1端子への入力電圧 > リファレンス入力電圧の両方、またはどちらかで割り込み要求	リファレンス入力電圧 > VCMP2端子への入力電圧、VCMP2端子への入力電圧 > リファレンス入力電圧の両方、またはどちらかで割り込み要求
デジタル フィルタ	有効/無効切り替え	あり	
	サンプリング時間	(fOCO-Sのn分周) × 2 n: 1、2、4、8	
比較結果の出力		VCOUT1端子から出力(比較結果をそのまま出力するか、反転して出力するか選択できる)	VCOUT2端子から出力(比較結果をそのまま出力するか、反転して出力するか選択できる)

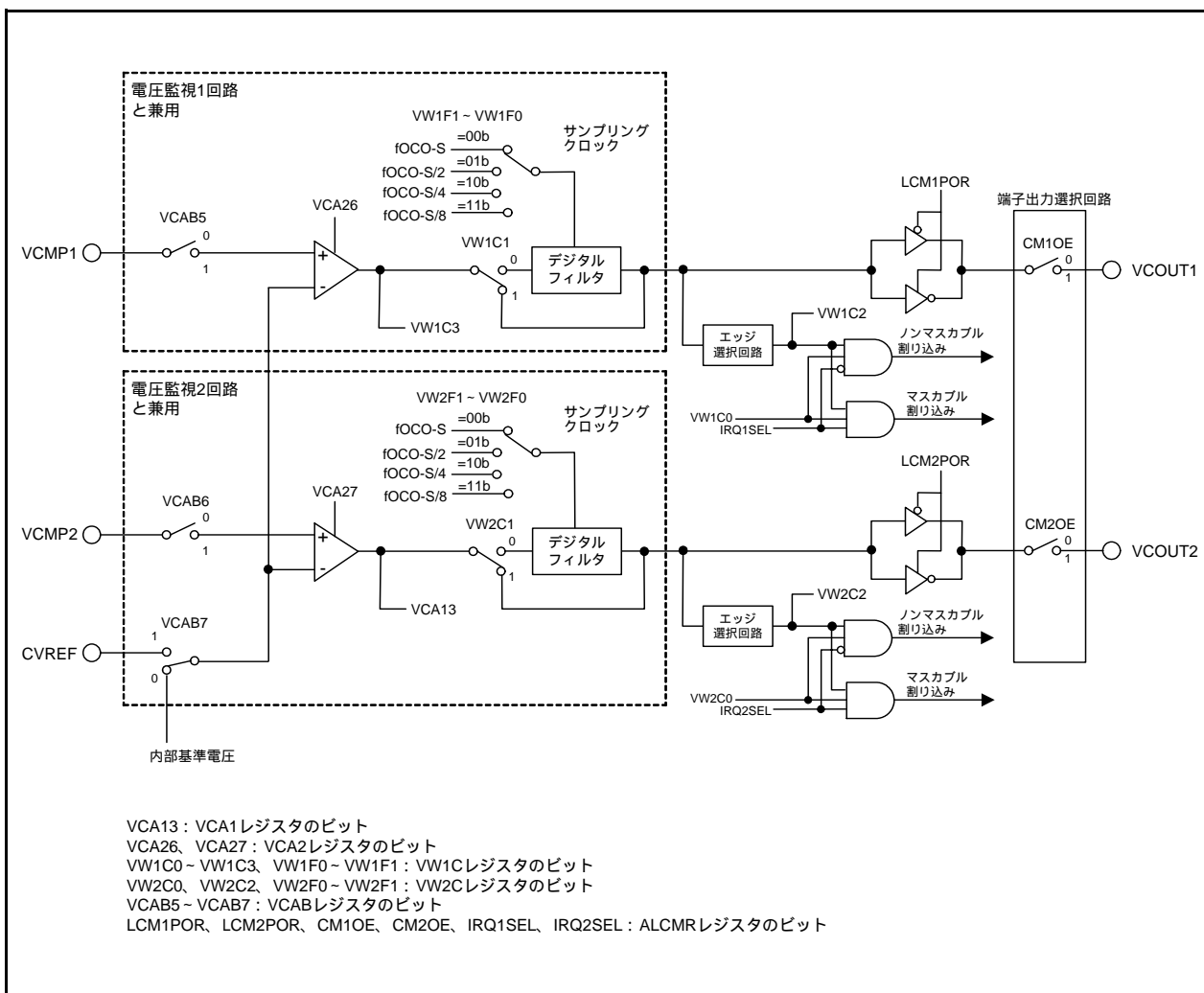


図 7.1 コンパレータのブロック図

表 7.2 コンパレータの端子構成

端子名	入出力	機能
VCMP1	入力	コンパレータ1用アナログ端子
VCOUT1	出力	コンパレータ1用比較結果出力端子
VCMP2	入力	コンパレータ2用アナログ端子
VCOUT2	出力	コンパレータ2用比較結果出力端子
CVREF	入力	コンパレータ用リファレンス電圧端子

7.2 レジスタ説明

図 7.2 ~ 図 7.11 にコンパレータ1、コンパレータ2を選択したときのコンパレータ関連レジスタを示します。

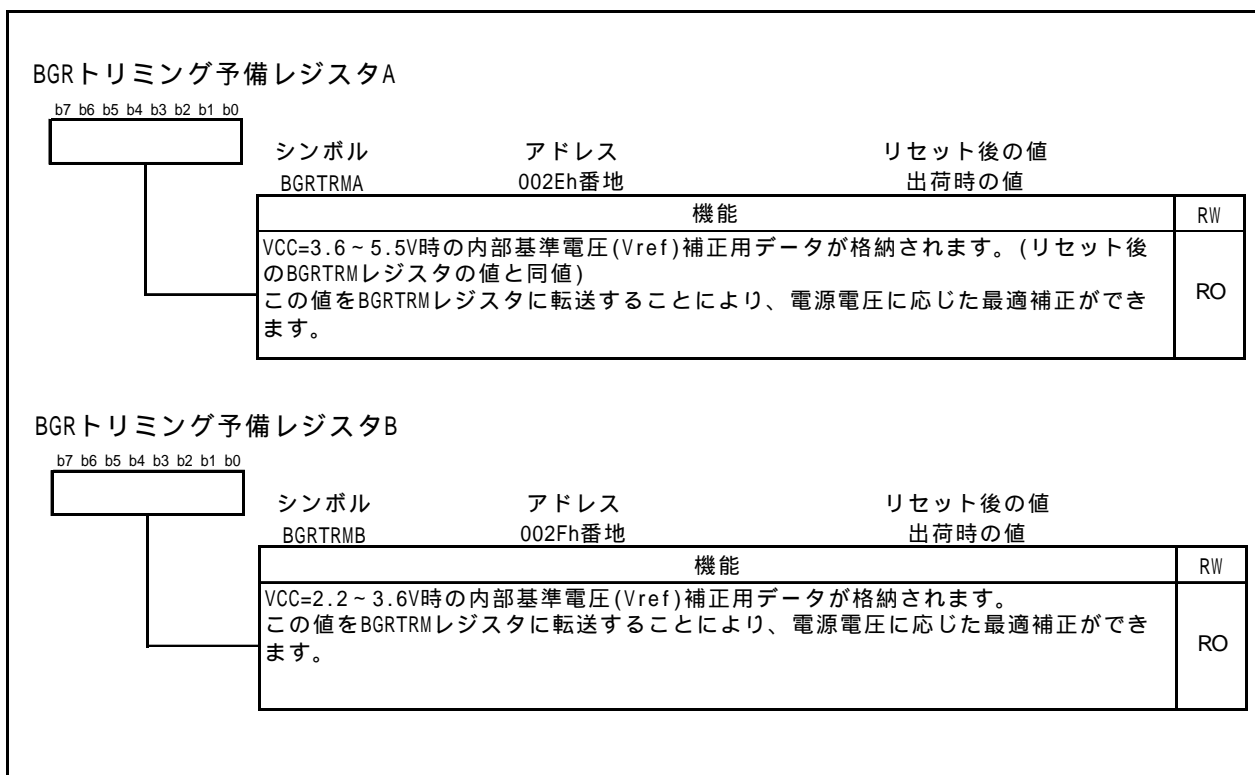


図 7.2 BGRTRMA、BGRTRMB レジスタ

電圧検出レジスタ1				
b7 b6 b5 b4 b3 b2 b1 b0				
0 0 0 0 0 0 0 0		シンボル	アドレス	リセット後の値(注2)
		VCA1	0031h番地	00001000b
ビットシンボル	ビット名	機能		RW
- (b2-b0)	予約ビット	"0" にしてください		RW
VCA13	コンパレータ2信号モニタフラグ(注1)	0: VCMP2<リファレンス電圧 1: VCMP2 リファレンス電圧、 またはコンパレータ2回路無効		RO
- (b7-b4)	予約ビット	"0" にしてください		RW

注1. VCA2レジスタのVCA27ビットが"1" (コンパレータ2回路有効)のとき、VCA13ビットは有効です。
VCA2レジスタのVCA27ビットが"0" (コンパレータ2回路無効)のとき、VCA13ビットは"1" (VCMP2 リファレンス電圧)になります。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット時は変化しません。

電圧検出レジスタ2(注1)				
b7 b6 b5 b4 b3 b2 b1 b0				
0 0 0 0 0 0 0 0		シンボル	アドレス	リセット後の値(注2)
		VCA2	0032h番地	OFSレジスタのLVD00Nビット"1" かつ ハードウェアリセット : 00h パワーオンリセット、電圧監視0リセット、 またはOFSレジスタのLVD00Nビットが"0" かつハードウェアリセット : 00100000b
ビットシンボル	ビット名	機能		RW
VCA20	内部電源低消費電力許可ビット(注3)	0: 低消費電力禁止 1: 低消費電力許可(注7)		RW
- (b4-b1)	予約ビット	"0" にしてください		RW
VCA25	電圧検出0許可ビット(注4)	0: 電圧検出0回路無効 1: 電圧検出0回路有効		RW
VCA26	コンパレータ1許可ビット(注5)	0: コンパレータ1回路無効 1: コンパレータ1回路有効		RW
VCA27	コンパレータ2許可ビット(注6)	0: コンパレータ2回路無効 1: コンパレータ2回路有効		RW

注1. VCA2レジスタはPRCRレジスタのPRC3ビットを"1" (書き込み許可)にした後で書き換えてください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット時は変化しません。

注3. VCA20ビットはウェイトモードへの移行時のみに使用してください。VCA20ビットの設定は「図11.9 VCA20ビットによる内部電源低消費操作手順」に従ってください。

注4. 電圧監視0リセットを使用する場合、VCA25ビットを"1" にしてください。
VCA25ビットを"0" から"1" にした後、td(E-A)経過してから検出回路が動作します。

注5. コンパレータ1割り込みを使用する場合、またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを"1" にしてください。
VCA26ビットを"0" から"1" にした後、td(E-A)経過してからコンパレータ1回路が動作します。

注6. コンパレータ2割り込みを使用する場合、またはVCA1レジスタのVCA13ビットを使用する場合、VCA27ビットを"1" にしてください。
VCA27ビットを"0" から"1" にした後、td(E-A)経過してからコンパレータ2回路が動作します。

注7. VCA20ビットが"1" (低消費電力許可)のとき、CM1レジスタのCM10ビットを"1" (ストップモード)にしないでください。

図 7.3 VCA1、VCA2レジスタ

電圧監視1回路制御レジスタ(注1)

ビット シンボル	ビット名	機能	RW
VW1C0	コンパレータ1割り込み許可ビット(注3)	0: 禁止 1: 許可	RW
VW1C1	コンパレータ1デジタルフィルタ無効モード選択ビット(注4)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	RW
VW1C2	コンパレータ1割り込みフラグ(注2、5、6)	[“0” になる要因] “0” を書く [“1” になる要因] 割り込み要求が発生したとき	RW
VW1C3	コンパレータ1信号モニタフラグ(注2、5)	0: VCMP1 < リファレンス電圧 1: VCMP1 リファレンス電圧または コンパレータ1回路無効	RO
VW1F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW1F1			RW
VW1C6	予約ビット	“0” にしてください	RW
VW1C7	コンパレータ1割り込み発生条件選択ビット(注7)	0: VCMP1がリファレンス電圧以上になるとき 1: VCMP1がリファレンス電圧以下になるとき	RW

- 注1. VW1CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW1Cレジスタを書き換えると、VW1C2ビットが“1”になる場合があります。VW1Cレジスタを書き換え後、VW1C2ビットを“0”にしてください。
- 注2. VW1C2ビットとVW1C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット時は変化しません。
- 注3. VW1C0ビットはVCA2レジスタのVCA26ビットが“1”(コンパレータ1回路有効)のとき有効になります。VCA26ビットが“0”(コンパレータ1回路無効)のとき、VW1C0ビットを“0”(禁止)にしてください。VW1C0ビットを“1”(許可)にするときは、「表7.3 コンパレータ1割り込み関連ビットの設定手順」に従ってください。
- 注4. コンパレータ1割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW1C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注5. VW1C2ビットおよびVW1C3ビットはVCA2レジスタのVCA26ビットが“1”(コンパレータ1回路有効)のとき有効になります。
- 注6. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注7. VW1C7ビットはVCACレジスタのVCAC1ビットが“0”(片エッジ)のとき有効になります。VCAC1ビットを“0”にした後、VW1C7ビットを設定してください。

図 7.4 VW1C レジスタ

電圧監視2回路制御レジスタ(注1)

ビット シンボル	ビット名	機能	RW
VW2C0	コンパレータ2割り込み許可ビット(注3)	0: 禁止 1: 許可	RW
VW2C1	コンパレータ2デジタルフィルタ無効モード選択ビット(注4)	0: デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1: デジタルフィルタ無効モード (デジタルフィルタ回路無効)	RW
VW2C2	コンパレータ2割り込みフラグ(注2、5、6)	[“0”になる要因] “0”を書く [“1”になる要因] 割り込み要求が発生したとき	RW
VW2C3	WDT検出フラグ(注2、6)	0: 未検出 1: 検出	RW
VW2F0	サンプリングクロック選択ビット	b5 b4 0 0: fOCO-Sの1分周 0 1: fOCO-Sの2分周 1 0: fOCO-Sの4分周 1 1: fOCO-Sの8分周	RW
VW2F1			RW
VW2C6	予約ビット	“0”にしてください	RW
VW2C7	コンパレータ2割り込み発生条件選択ビット(注7)	0: VCMP2がリファレンス電圧以上になるとき 1: VCMP2がリファレンス電圧以下になるとき	RW

- 注1. VW2CレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが“1”になる場合があります。VW2Cレジスタを書き換え後、VW2C2ビットを“0”にしてください。
- 注2. VW2C2ビットとVW2C3ビットはソフトウェアリセット、ウォッチドッグタイマリセット時は変化しません。
- 注3. VW2C0ビットはVCA2レジスタのVCA27ビットが“1”(コンパレータ2回路有効)のとき有効になります。VCA27ビットが“0”(コンパレータ2回路無効)のとき、VW2C0ビットを“0”(禁止)にしてください。VW2C0ビットを“1”(許可)にするときは、「表7.4 コンパレータ2割り込み関連ビットの設定手順」に従ってください。
- 注4. コンパレータ2割り込みをストップモードからの復帰に使用した後、再度、復帰に使用する場合、VW2C1ビットに“0”を書き込み後、“1”を書き込んでください。
- 注5. VW2C2ビットはVCA2レジスタのVCA27ビットが“1”(コンパレータ2回路有効)のとき有効になります。
- 注6. プログラムで“0”にしてください。プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
- 注7. VW2C7ビットはVCACレジスタのVCAC2ビットが“0”(片エッジ)のとき有効になります。VCAC2ビットを“0”にした後、VW2C7ビットを設定してください。

図 7.5 VW2C レジスタ

電圧検出回路外部入力制御レジスタ(注1)

シンボル	アドレス	リセット後の値
VCAB	003Bh番地	00h

ビットシンボル	ビット名	機能	RW
- (b4-b0)	予約ビット	“0” にしてください	RW
VCAB5	VCMP1比較電圧外部入力選択ビット	0: 電源電圧(VCC) 1: VCMP1端子入力電圧	RW
VCAB6	VCMP2比較電圧外部入力選択ビット	0: 電源電圧(VCC) 1: VCMP2端子入力電圧	RW
VCAB7	コンパレータ回路リファレンス電圧選択ビット	0: 内部基準電圧 1: CVREF端子入力電圧	RW

注1. VCABレジスタはPRCRレジスタのPRC3ビットを“1”(書き込み許可)にした後で書き換えてください。

図 7.6 VCABレジスタ

コンパレータモードレジスタ

シンボル	アドレス	リセット後の値
ALCMR	003Ch番地	00h

ビットシンボル	ビット名	機能	RW
LCM1POR	VCOUT1出力極性選択ビット	0: コンパレータ1の比較結果をそのままVCOUT1へ出力 1: コンパレータ1の比較結果を反転してVCOUT1へ出力	RW
LCM2POR	VCOUT2出力極性選択ビット	0: コンパレータ2の比較結果をそのままVCOUT2へ出力 1: コンパレータ2の比較結果を反転してVCOUT2へ出力	RW
CM1OE	VCOUT1出力許可ビット	0: 出力禁止 1: 出力許可	RW
CM2OE	VCOUT2出力許可ビット	0: 出力禁止 1: 出力許可	RW
IRQ1SEL	コンパレータ1割り込み種類選択ビット	0: ノンマスクابل割り込み 1: マスクابل割り込み	RW
IRQ2SEL	コンパレータ2割り込み種類選択ビット	0: ノンマスクابل割り込み 1: マスクابل割り込み	RW
- (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

図 7.7 ALCMRレジスタ

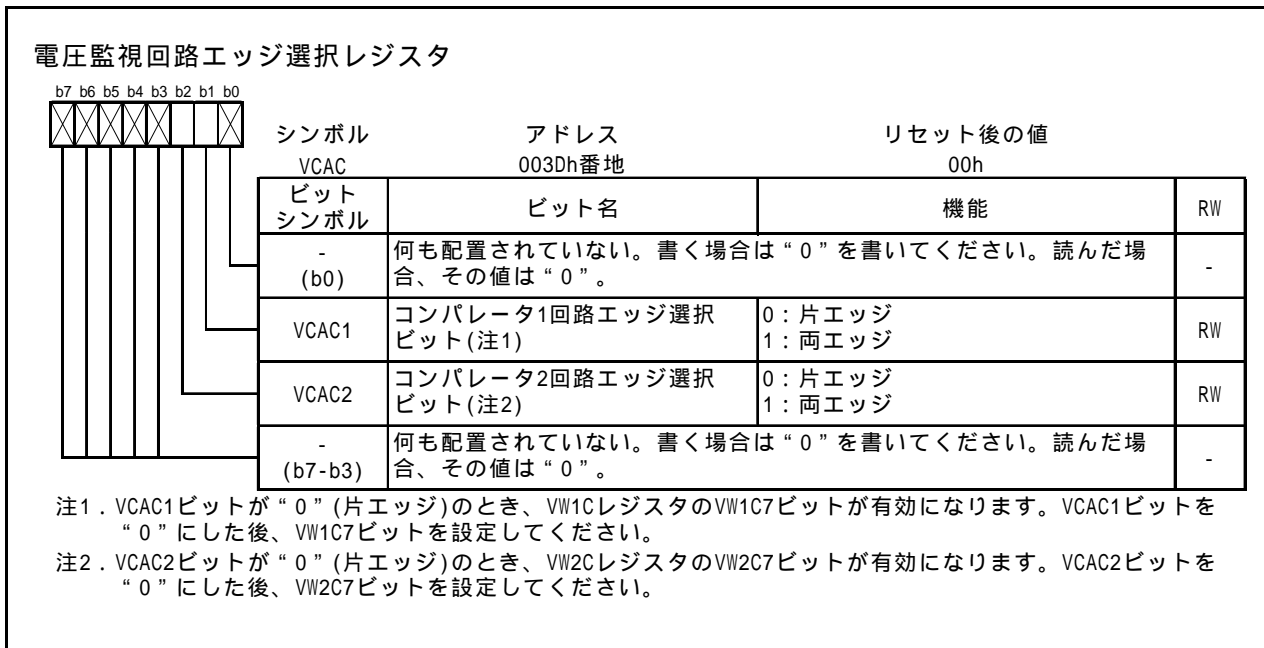


図 7.8 VCACレジスタ

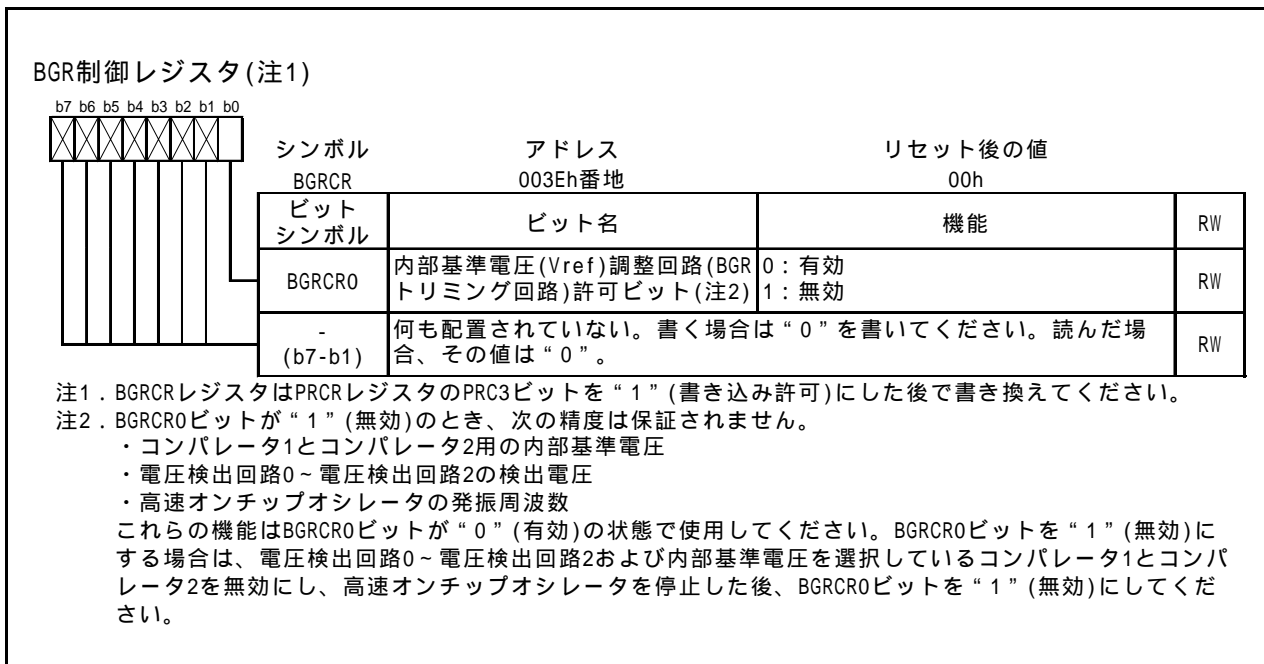


図 7.9 BGRCRレジスタ

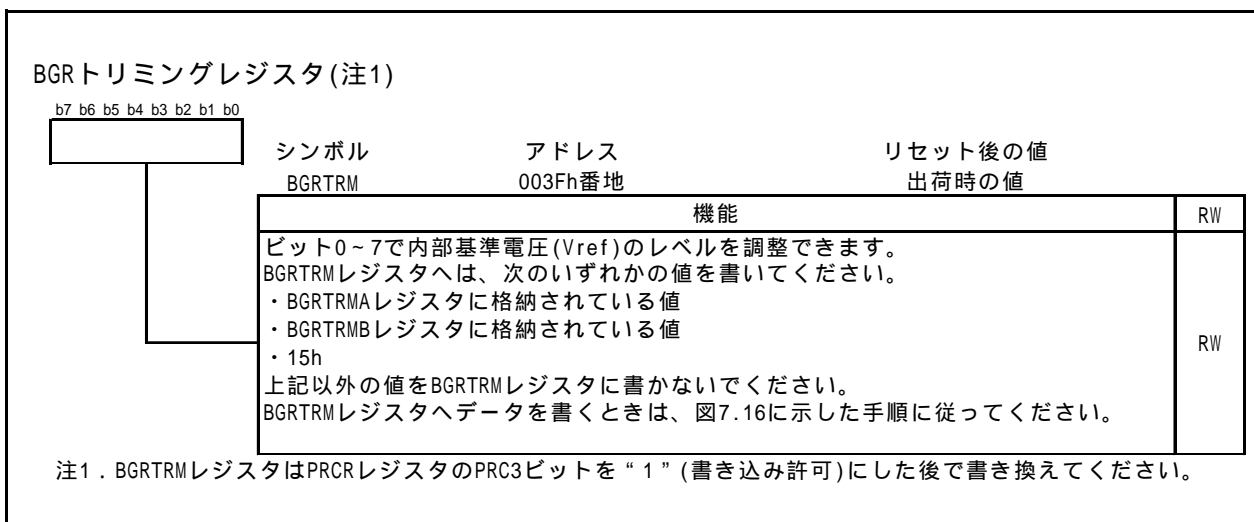


図 7.10 BGRTRMレジスタ

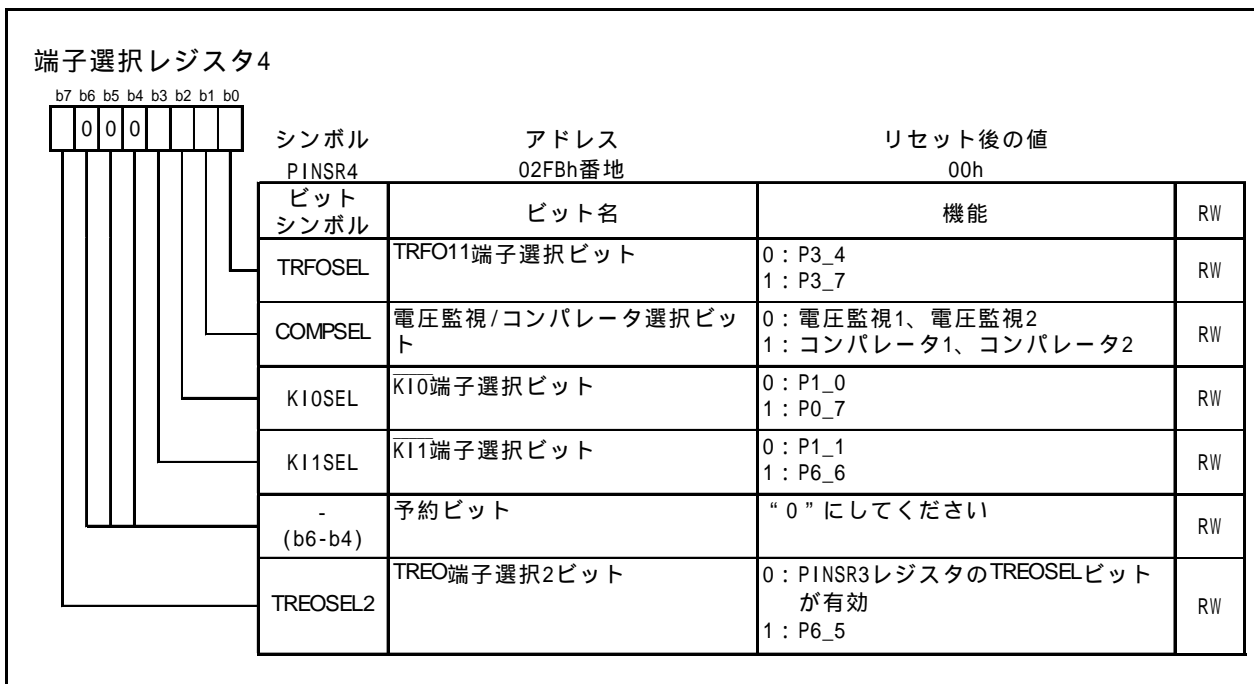


図 7.11 PINSR4レジスタ

7.3 比較結果のモニタ

7.3.1 コンパレータ1のモニタ

次の設定をした後、td(E-A)(「22. 電気的特性」参照)経過後、VW1CレジスタのVW1C3ビットでコンパレータ1の比較結果をモニタできます。

- (1) PINSR4レジスタのCOMPSELビットを“1”(コンパレータ1、コンパレータ2)にする
- (2) VCABレジスタのVCAB5ビットを“1”(VCMP1端子入力電圧)にする
- (3) VCA2レジスタのVCA26ビットを“1”(コンパレータ1回路有効)にする

7.3.2 コンパレータ2のモニタ

次の設定をした後、td(E-A)(「22. 電気的特性」参照)経過後、VCA1レジスタのVCA13ビットでコンパレータ2の比較結果をモニタできます。

- (1) PINSR4レジスタのCOMPSELビットを“1”(コンパレータ1、コンパレータ2)にする
- (2) VCABレジスタのVCAB6ビットを“1”(VCMP2端子入力電圧)にする
- (3) VCA2レジスタのVCA27ビットを“1”(コンパレータ2回路有効)にする

7.4 動作説明

コンパレータ1とコンパレータ2はそれぞれ独立して動作できます。

リファレンス入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。また、VCOUT_i(i=1~2)端子から出力もできます。リファレンス入力電圧として内部基準電圧、またはCVREF端子への入力電圧を選択できます。また、コンパレータ1割り込み、コンパレータ2割り込みを使用でき、それぞれノンマスクابل割り込みまたはマスクابل割り込みを選択できます。

7.4.1 コンパレータ1

表 7.3 にコンパレータ1割り込み関連ビットの設定手順を、図 7.12 にコンパレータ1動作例(デジタルフィルタ有効の場合)を、図 7.13 にコンパレータ1動作例(デジタルフィルタ無効の場合)を示します。

表 7.3 コンパレータ1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	PINSR4レジスタのCOMPSELビットを“1”(コンパレータ1、コンパレータ2)にする	
2	VCABレジスタのVCAB5ビットを“1”(VCMP1端子入力電圧)にする	
3	VCA2レジスタのVCA26ビットを“1”(コンパレータ1回路有効)にする	
4	td(E-A)待つ	
5	ALCMRレジスタのIRQ1SELビットで割り込みの種類を選択する	
6	VW1CレジスタのVW1F0~VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを“1”(デジタルフィルタ無効)にする
7(注1)	VW1CレジスタのVW1C1ビットを“0”(デジタルフィルタ有効)にする	
8	VCACレジスタのVCAC1ビットと、VW1CレジスタのVW1C7ビットで割り込み要求のタイミングを選択する	
9	VW1CレジスタのVW1C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
12	VW1CレジスタのVW1C0ビットを“1”(コンパレータ1割り込み許可)にする。	

注1. VW1C0ビットが“0”のとき、手順6と7は同時に(1命令で)実行してもかまいません。

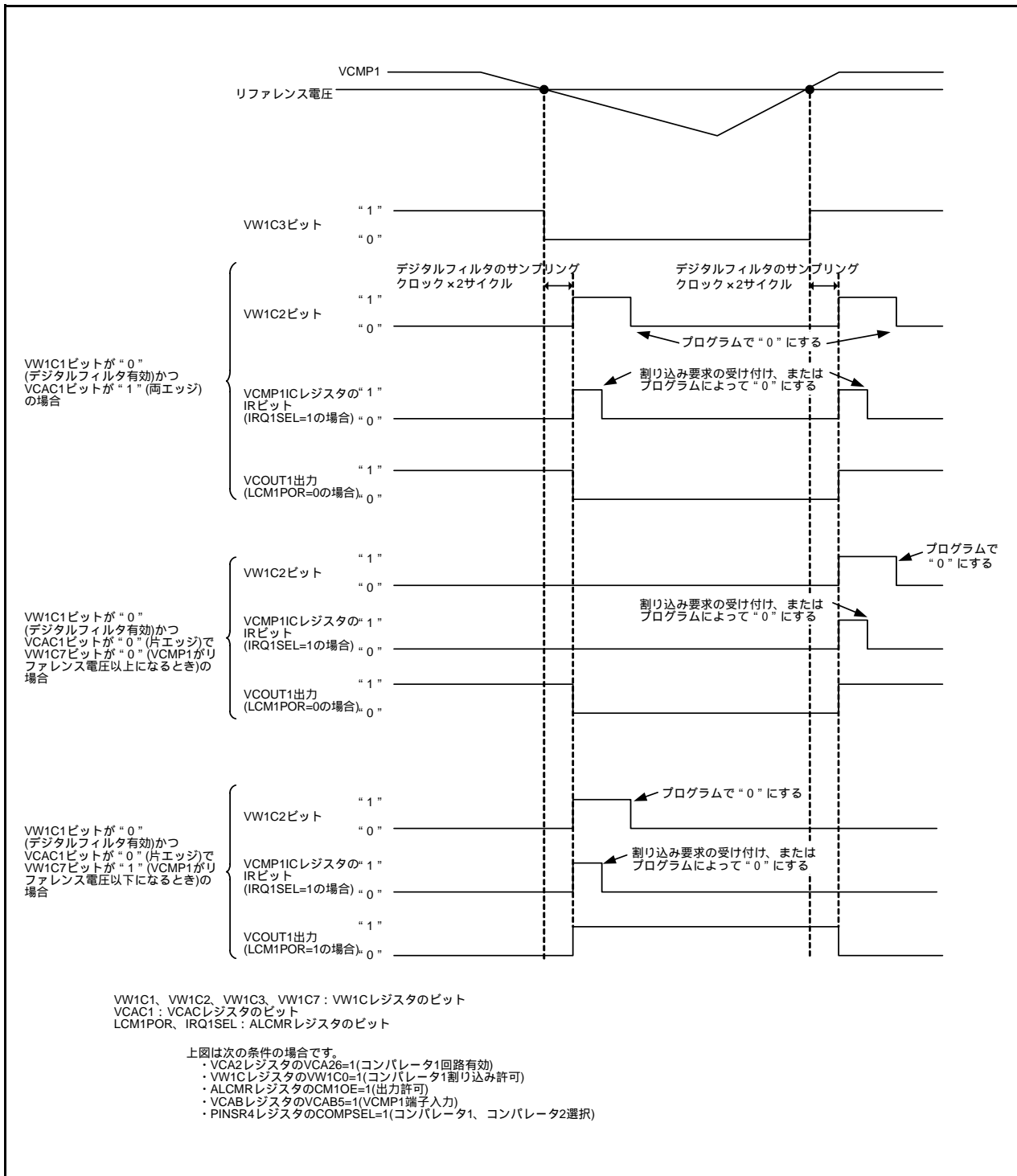


図 7.12 コンパレータ1動作例(デジタルフィルタ有効の場合)

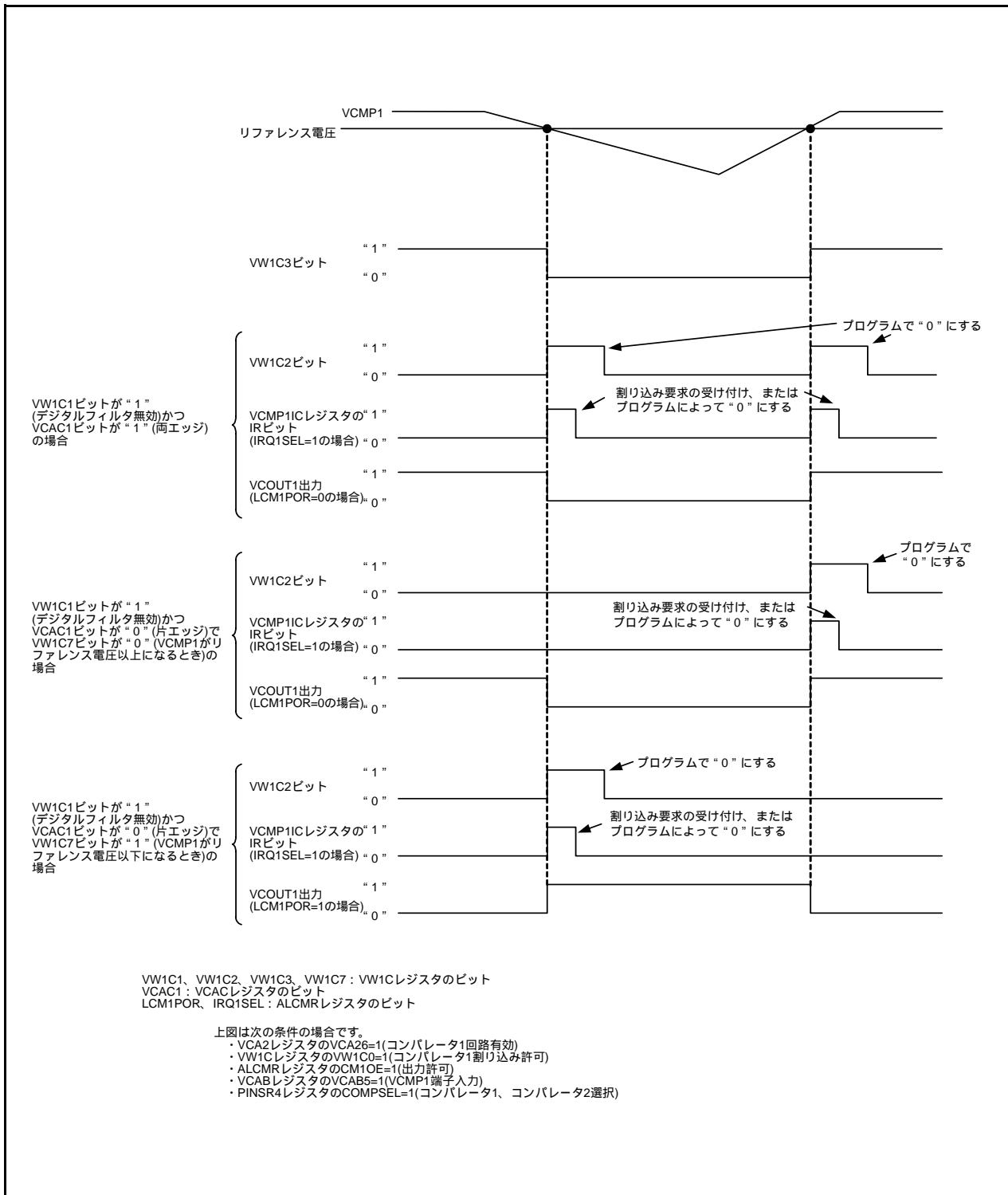


図 7.13 コンパレータ1動作例(デジタルフィルタ無効の場合)

7.4.2 コンパレータ2

表 7.4 にコンパレータ2 割り込み関連ビットの設定手順を、図 7.14 にコンパレータ2 動作例(デジタルフィルタ有効の場合)を、図 7.15 にコンパレータ2 動作例(デジタルフィルタ無効の場合)を示します。

表 7.4 コンパレータ2 割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	PINSR4レジスタのCOMPSELビットを“1”(コンパレータ1、コンパレータ2)にする	
2	VCABレジスタのVCAB6ビットを“1”(VCMP2端子入力電圧)にする	
3	VCA2レジスタのVCA27ビットを“1”(コンパレータ2回路有効)にする	
4	td(E-A)待つ	
5	ALCMRレジスタのIRQ2SELビットで割り込みの種類を選択する	
6	VW2CレジスタのVW2F0～VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを“1”(デジタルフィルタ無効)にする
7(注1)	VW2CレジスタのVW2C1ビットを“0”(デジタルフィルタ有効)にする	
8	VCACレジスタのVCAC2ビットと、VW2CレジスタのVW2C7ビットで割り込み要求のタイミングを選択する	
9	VW2CレジスタのVW2C2ビットを“0”にする	
10	CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振)にする	
11	デジタルフィルタのサンプリングクロック×2サイクル待つ	(待ち時間なし)
12	VW2CレジスタのVW2C0ビットを“1”(コンパレータ2割り込み許可)にする。	

注1. VW2C0 ビットが“0”のとき、手順6と7は同時に(1命令で)実行してもかまいません。

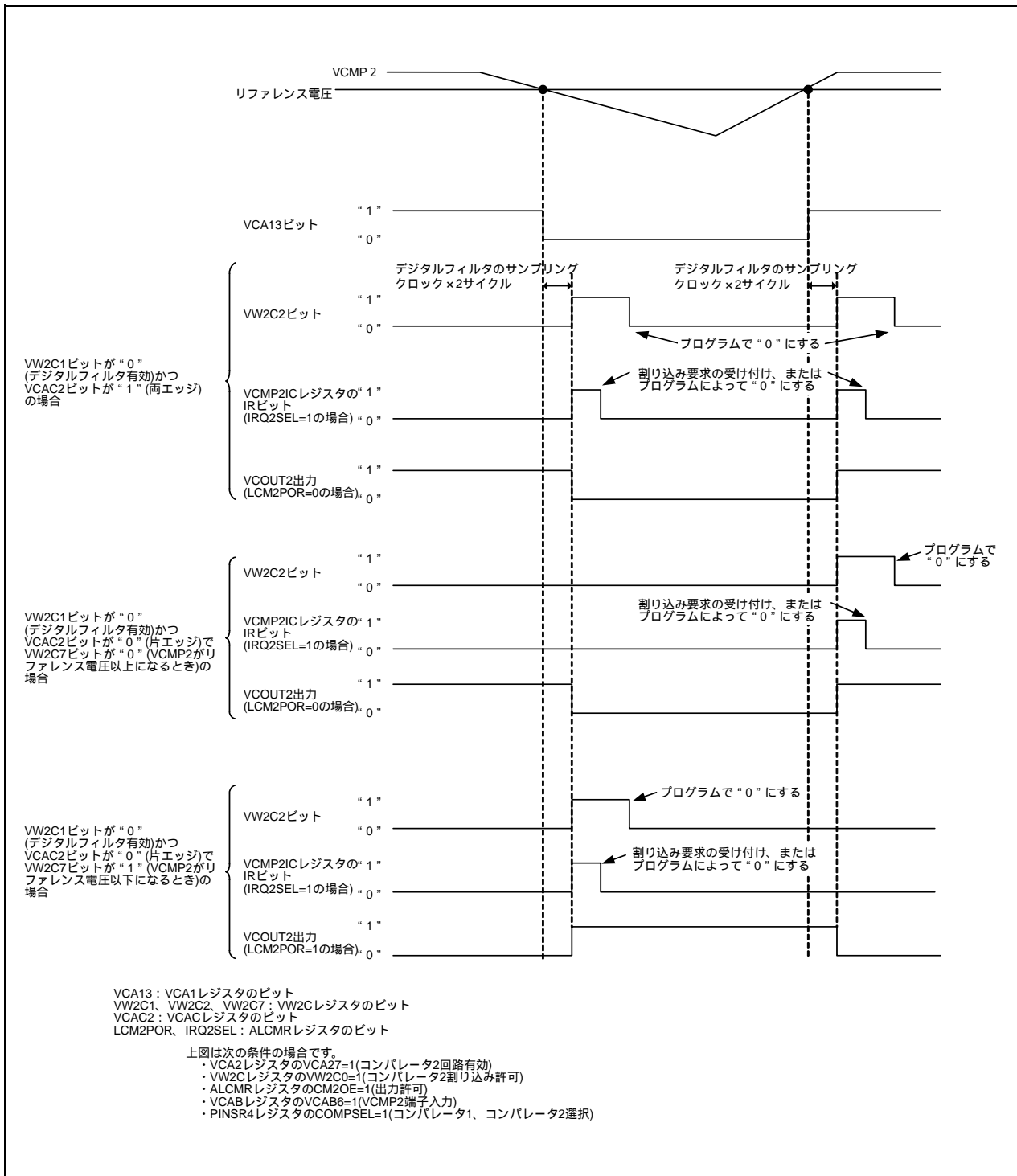


図 7.14 コンパレータ2動作例(デジタルフィルタ有効の場合)

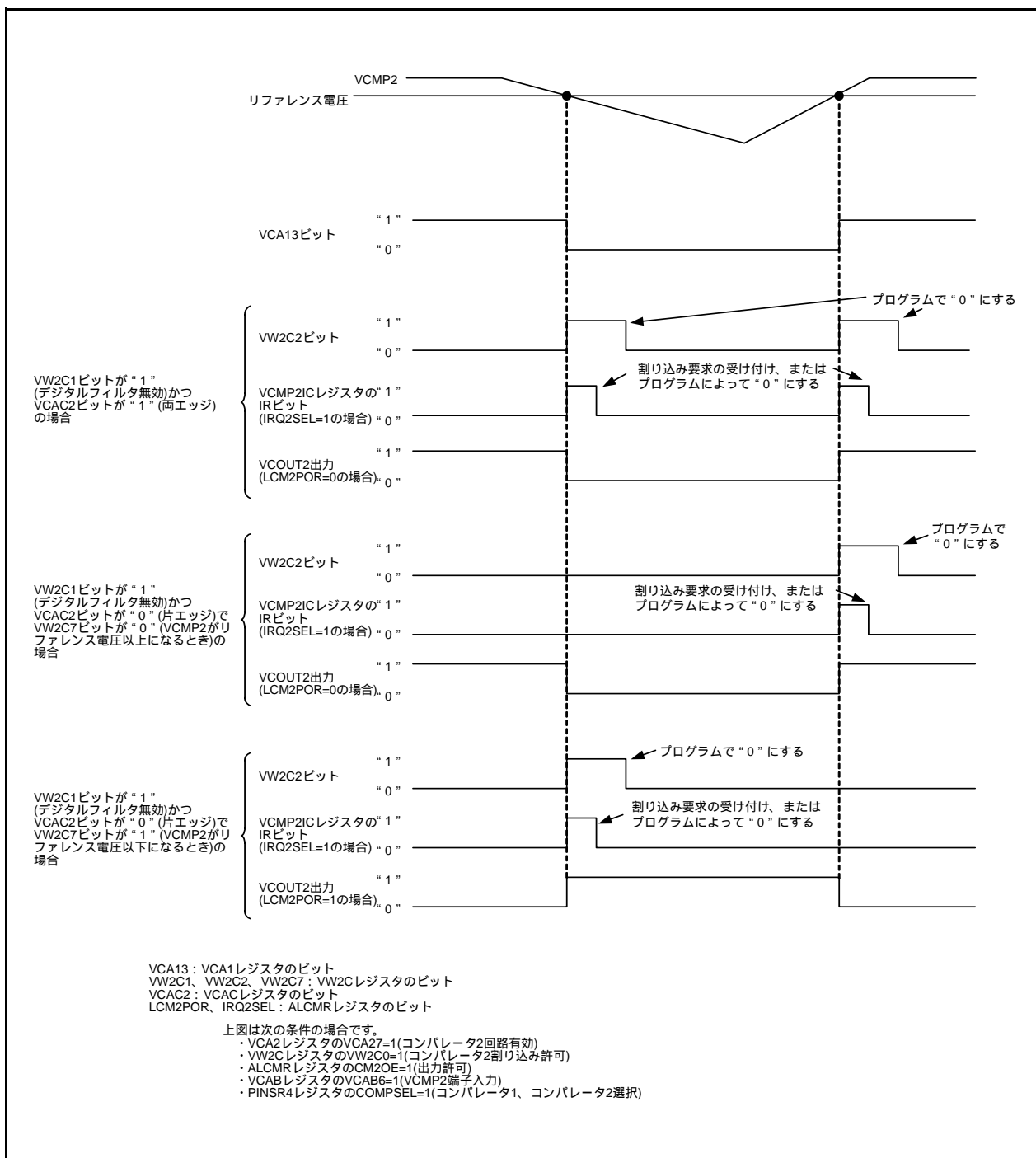


図 7.15 コンパレータ2動作例(デジタルフィルタ無効の場合)

7.5 コンパレータ1、コンパレータ2割り込み

コンパレータ1およびコンパレータ2の2つの割り込み要求が発生します。それぞれの割り込みの種類としてノンマスクابل割り込み、またはマスクابل割り込みが選択できます。

割り込みについては「13. 割り込み」を参照してください。

7.5.1 ノンマスクابل割り込み

ALCMRレジスタのIRQiSEL(i=1~2)ビットを“0”にすると、コンパレータi割り込みはノンマスクابل割り込みとして機能します。選択した割り込み要求のタイミングが発生したとき、VWiCレジスタのVWiC2ビットが“1”になります。このとき、コンパレータiのノンマスクابل割り込み要求が発生します。

7.5.2 マスクابل割り込み

ALCMRレジスタのIRQiSEL(i=1~2)ビットを“1”にすると、コンパレータi割り込みはマスクابل割り込みとして機能します。

コンパレータi割り込みはVCMPiICレジスタ(IRビット、ILVL0~ILVL2ビット)と、それぞれ1つのベクタを持ちます。選択した割り込み要求のタイミングが発生したとき、VWiCレジスタのVWiC2ビットが“1”になります。このとき、VCMPiICレジスタのIRビットが“1”(割り込み要求あり)になります。

VCMPiICレジスタは「13.1.6 割り込み制御」、割り込みベクタは「13.1.5.2 可変ベクタテーブル」を参照してください。

7.6 内部基準電圧(Vref)の調整

内部基準電圧(Vref)のレベルは、BGRTRMレジスタの値を用いて調整できます。本マイコン出荷時に、BGRTRMAレジスタおよびBGRTRMBレジスタに、Vrefを補正する値が予め格納されています。リセット後のBGRTRMレジスタの値は、BGRTRMAレジスタの値になります。

電源電圧範囲に応じて補正値を使い分ける場合は、BGRTRMAレジスタ、BGRTRMBレジスタの各補正値をBGRTRMレジスタに転送して使用してください。図7.16に内部基準電圧(Vref)の調整手順を示します。

BGRCRレジスタのBGRCR0ビットを“1”(無効)にすると、内部基準電圧(Vref)調整回路(BGRトリミング回路)が無効になり、BGRTRMレジスタの値も無効になります。

BGRトリミング回路を無効にすると、内部基準電圧(Vref)の精度は保証されません。したがって、電圧検出回路0～電圧検出回路2および内部基準電圧を選択しているコンパレータ1とコンパレータ2を無効にしてください。また、高速オンチップオシレータの発振周波数精度も保証されませんので、必要に応じて高速オンチップオシレータも停止してください。

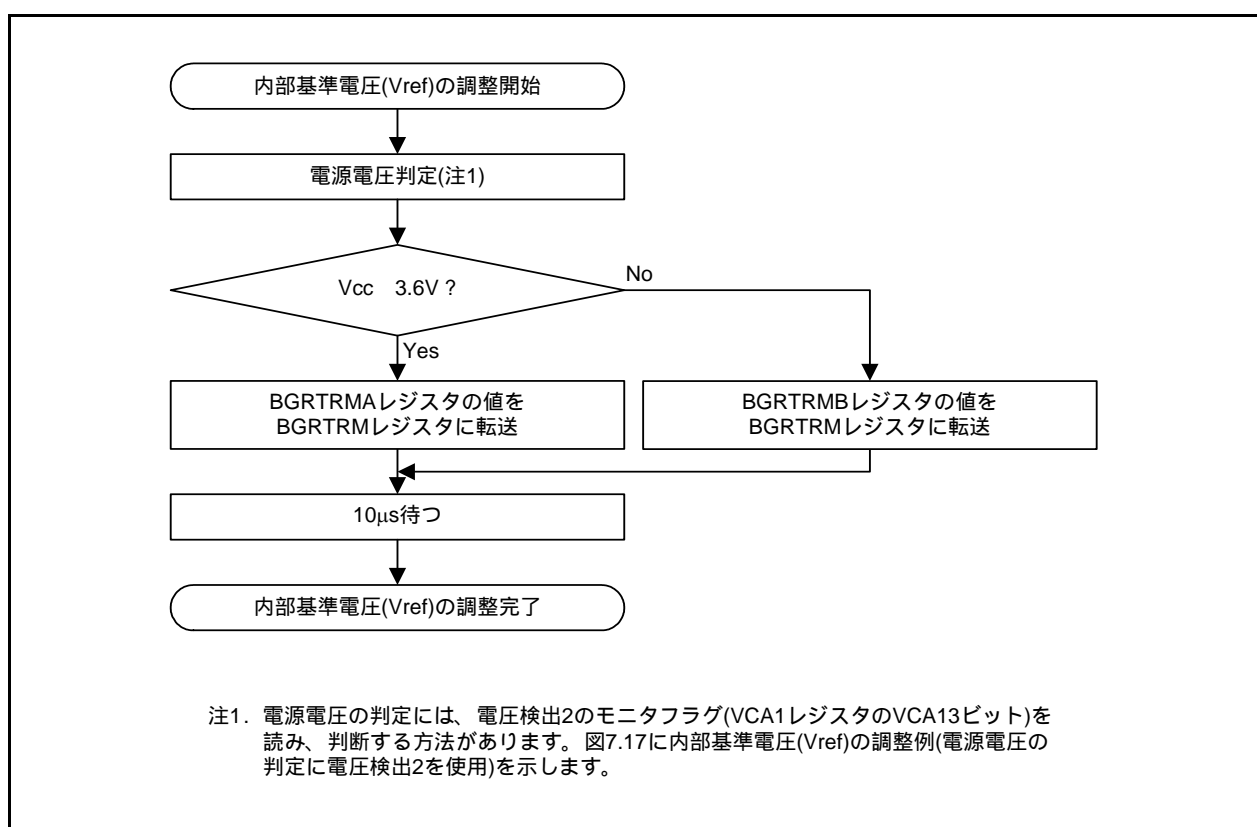


図 7.16 内部基準電圧(Vref)の調整手順

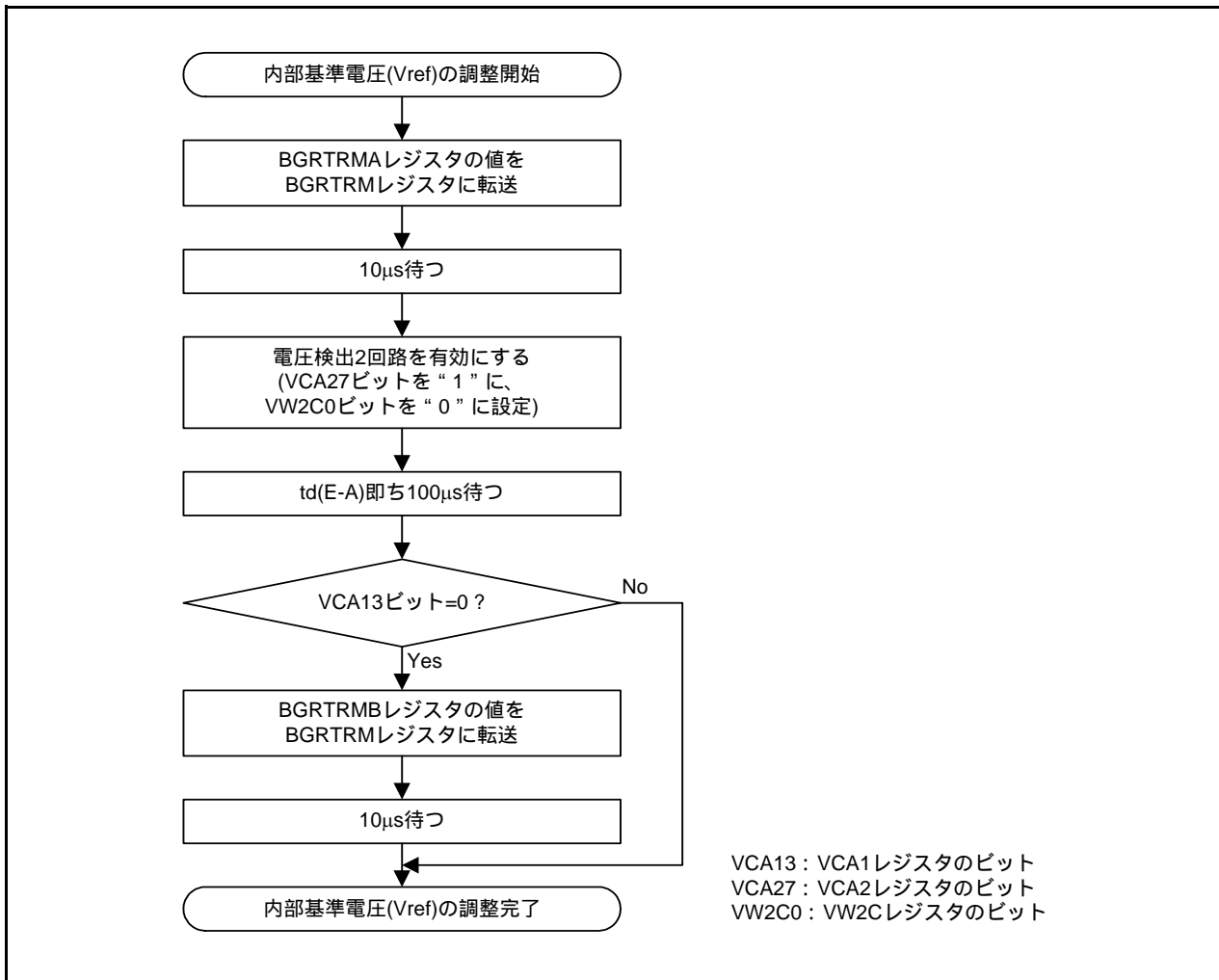


図 7.17 内部基準電圧(Vref)の調整例(電源電圧の判定に電圧検出2を使用)

8. I/Oポート

I/Oポートは、P0_4 ~ P0_7、P1、P3、P4_3、P4_5、P6_0、P6_3 ~ P6_6の27本あります。XCINクロック発振回路を使用しない場合、P4_3をI/Oポートとして、P4_4を出力ポートとして使用できます。

表8.1にI/Oポートの概要を示します。

表8.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗
P0_4 ~ P0_7、P1、P3	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)
P4_3	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注2)
P4_4	出力	CMOS3ステート	1ビット単位で設定(注3)	なし
P4_5	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注2)
P6_0、P6_3	入出力	CMOS3ステート	1ビット単位で設定	2ビット単位で設定(注2)
P6_4 ~ P6_6	入出力	CMOS3ステート	1ビット単位で設定	3ビット単位で設定(注2)

注1. 入力モード時、PUR0レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. 入力モード時、PUR1レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注3. ポートP4_4を入力ポート(入力モード)として使用しないでください。

8.1 I/Oポートの機能

ポートP0_4 ~ P0_7、P1、P3、P4_3 ~ P4_5、P6_0、P6_3 ~ P6_6の入出力はPDi(i=0、1、3、4、6)レジスタのPDi_j(j=0 ~ 7)ビットで制御します。Piレジスタは出力データを保持するポータラッチと、端子の状態を読む回路で構成されています。

図8.1 ~ 図8.3にI/Oポートの構成を、表8.2にI/Oポートの機能を、図8.5 ~ 図8.9に関連レジスタを示します。

表8.2 I/Oポートの機能

Piレジスタをアクセス時の動作	PDiレジスタのPDi_jビットの値(注1)	
	“0”(入力モード)のとき	“1”(出力モード)のとき
読み出し	端子の入力レベルを読む	ポータラッチを読む
書き込み	ポータラッチに書く	ポータラッチに書く。ポータラッチに書いた値は、端子から出力される。

i=0、1、3、4、6、j=0 ~ 7

注1. PD0_0 ~ PD0_3、PD4_0 ~ PD4_2、PD4_6、PD4_7、PD6_1、PD6_2、PD6_7ビットには何も配置されていません。

8.2 周辺機能への影響

I/Oポートは、周辺機能の入出力として機能する場合があります(「表 1.3 ピン番号別端子名一覧」)参照。

表8.3に周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0、1、3、4、6、j=0～7)を示します。周辺機能の設定方法は、各機能説明を参照してください。

表8.3 周辺機能の入出力として機能する場合のPDi_jビットの設定(i=0、1、3、4、6、j=0～7)

周辺機能の入出力	端子を共用しているポートのPDi _j ビットの設定(注1)
入力	“0”(入力モード)に設定してください
出力	“0”でも“1”でも良い(ポートの設定に関係なく、出力になる)

注1. PD0_0～PD0_3、PD4_0～PD4_2、PD4_6、PD4_7、PD6_1、PD6_2、PD6_7ビットには何も配置されていません。

8.3 I/Oポート以外の端子

図8.4に端子の構成を示します。

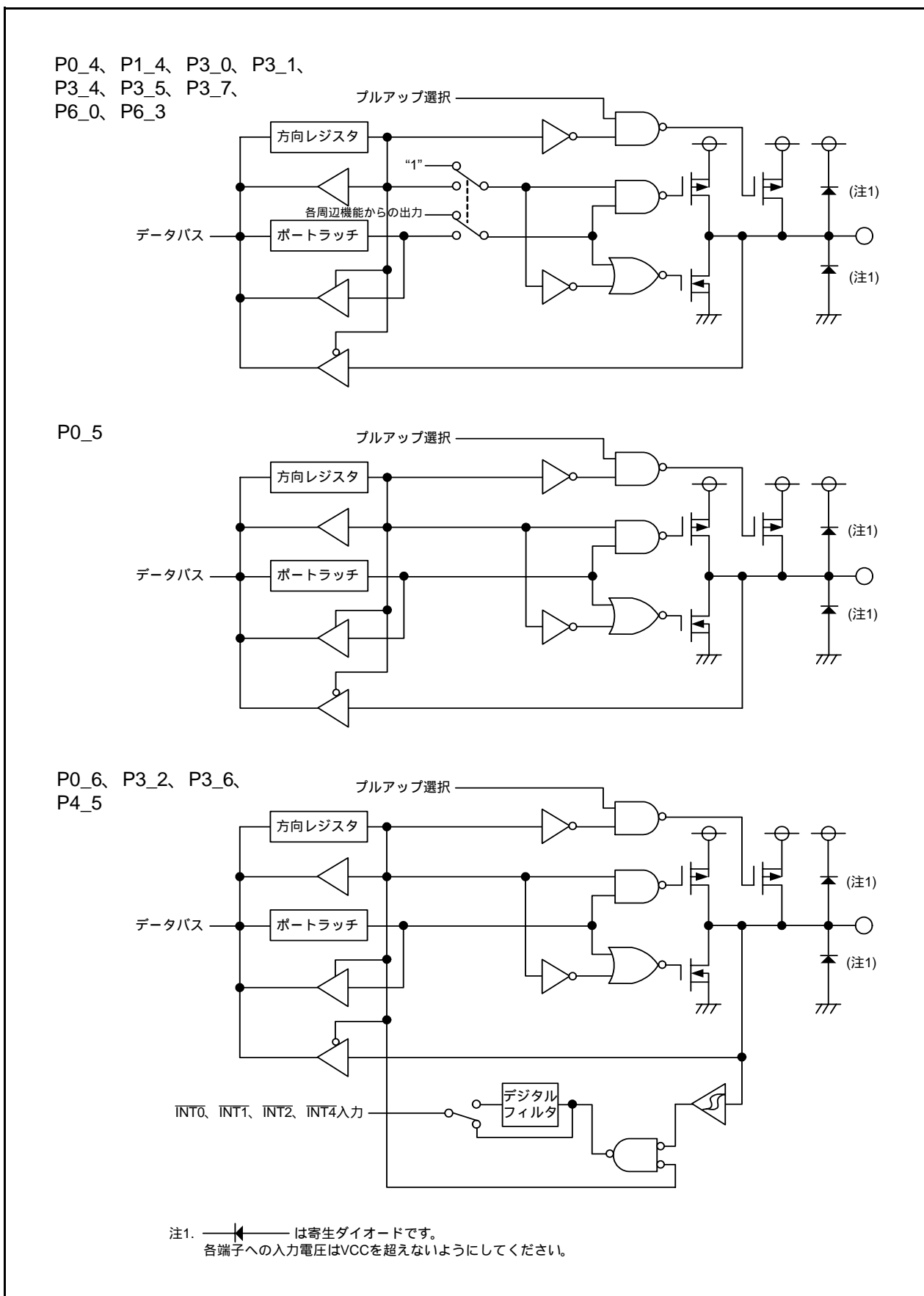


図8.1 I/Oポートの構成(1)

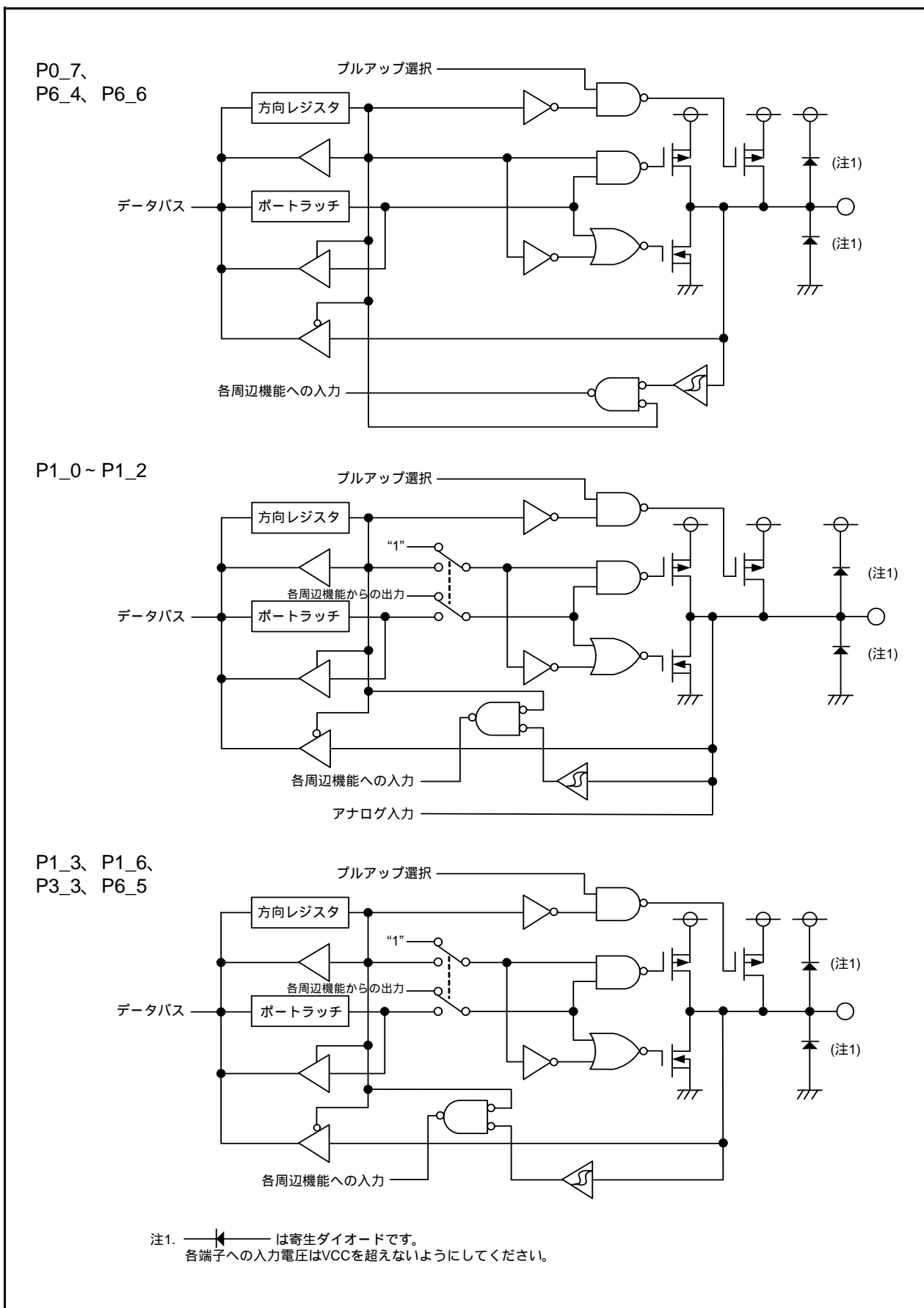


図8.2 I/Oポートの構成(2)

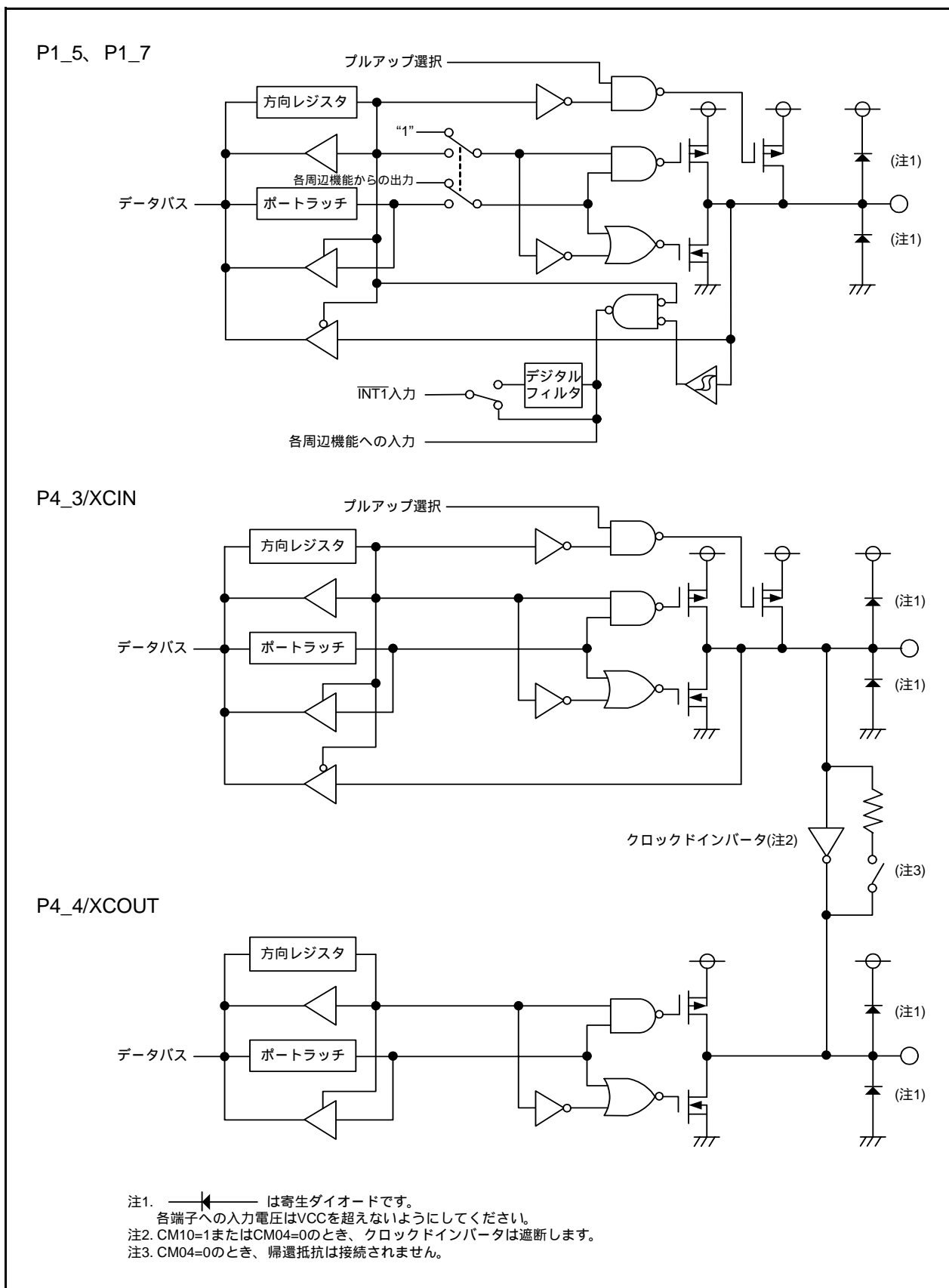


図8.3 I/Oポートの構成(3)

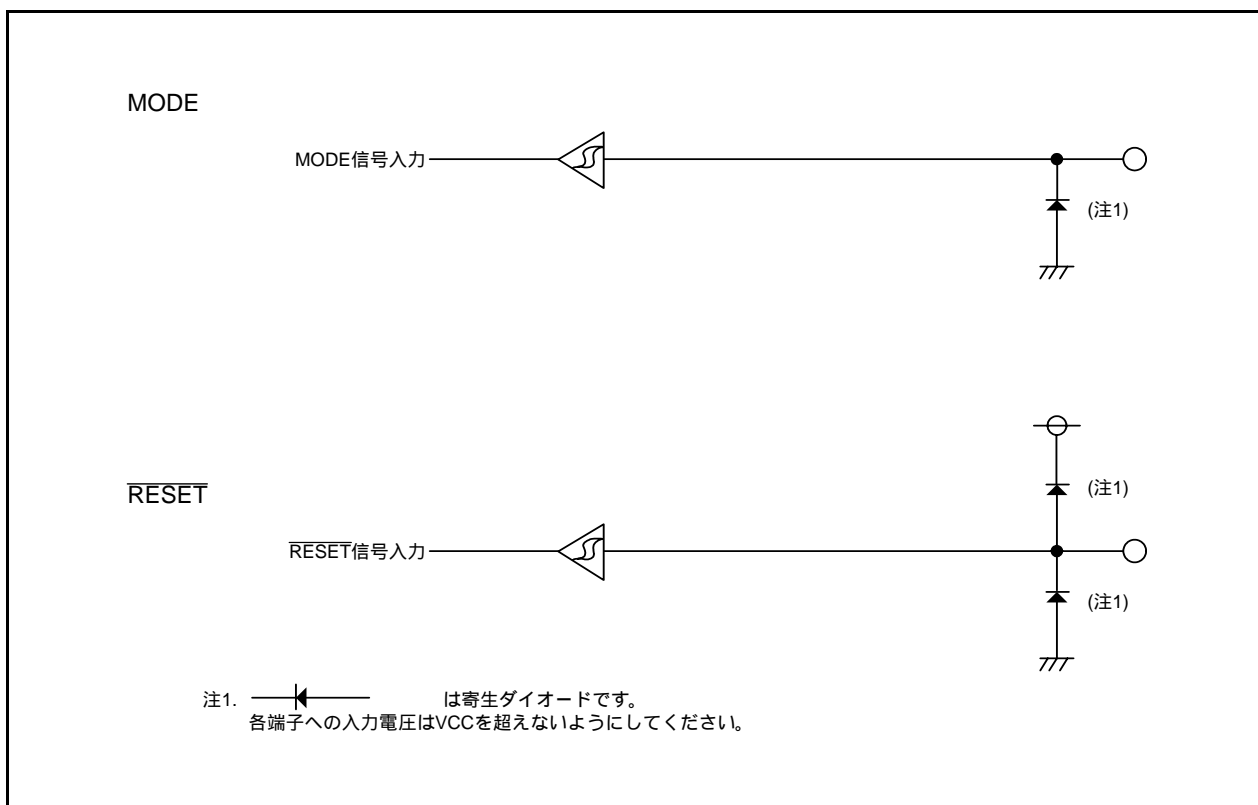


図8.4 端子の構成

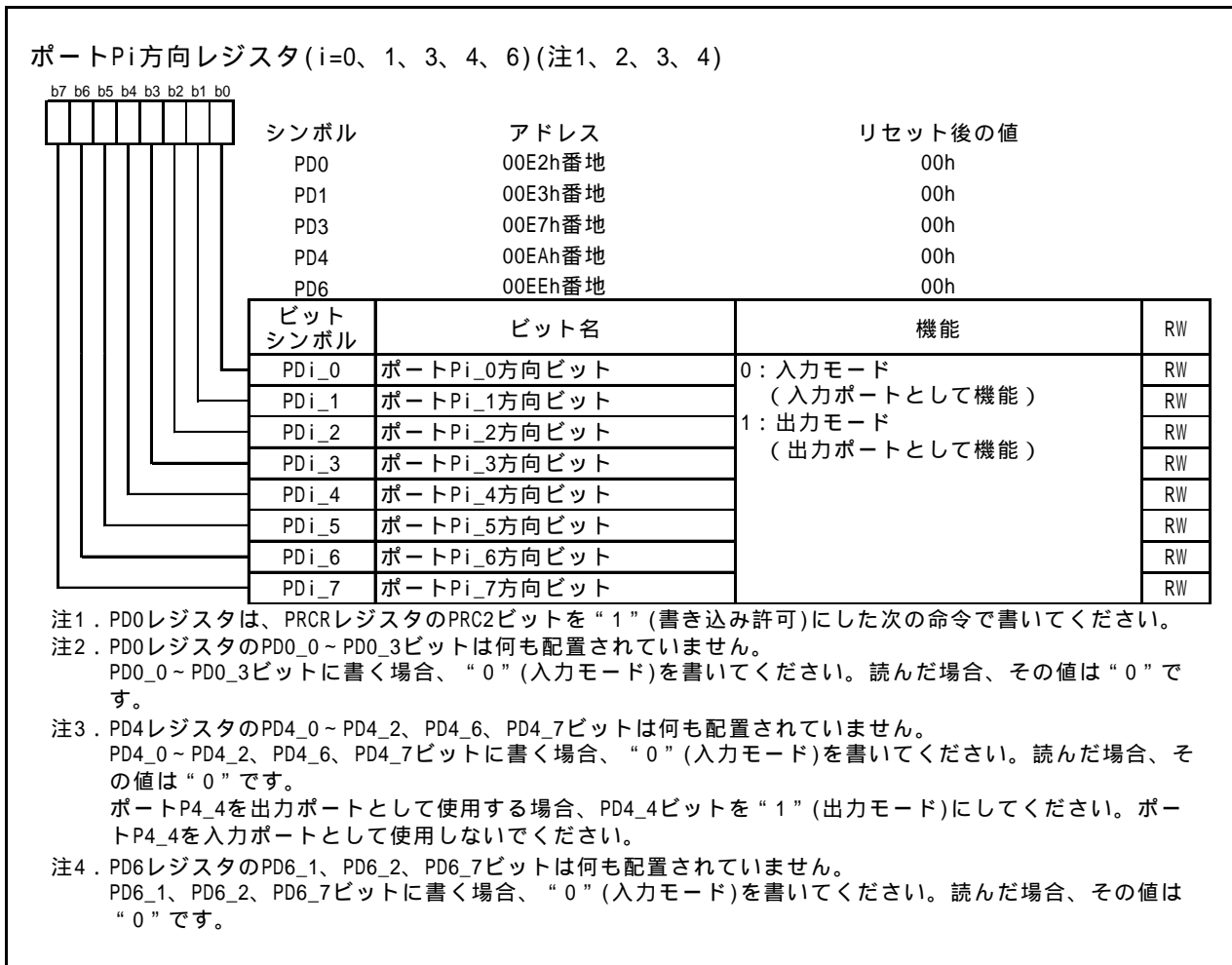


図8.5 PDiレジスタ

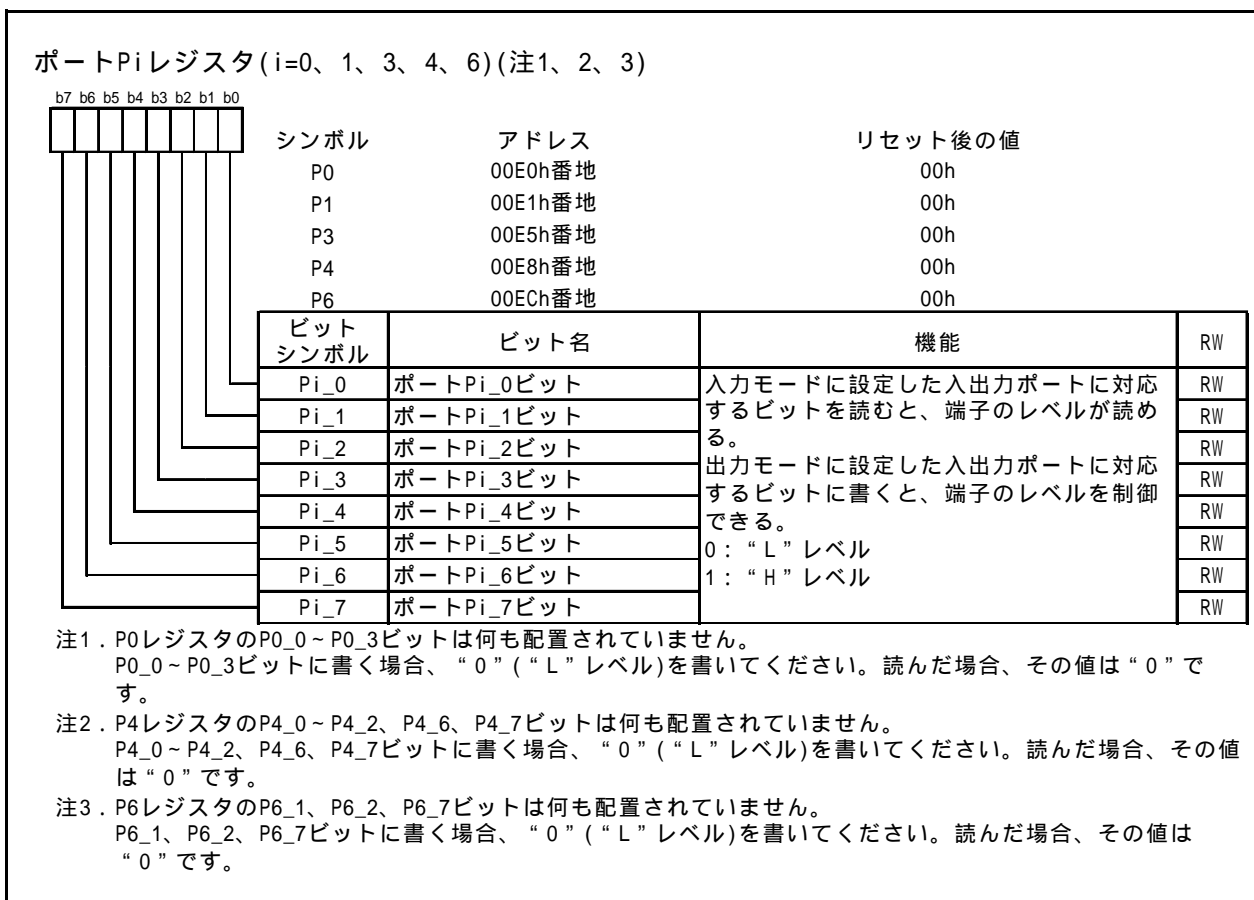


図8.6 Piレジスタ

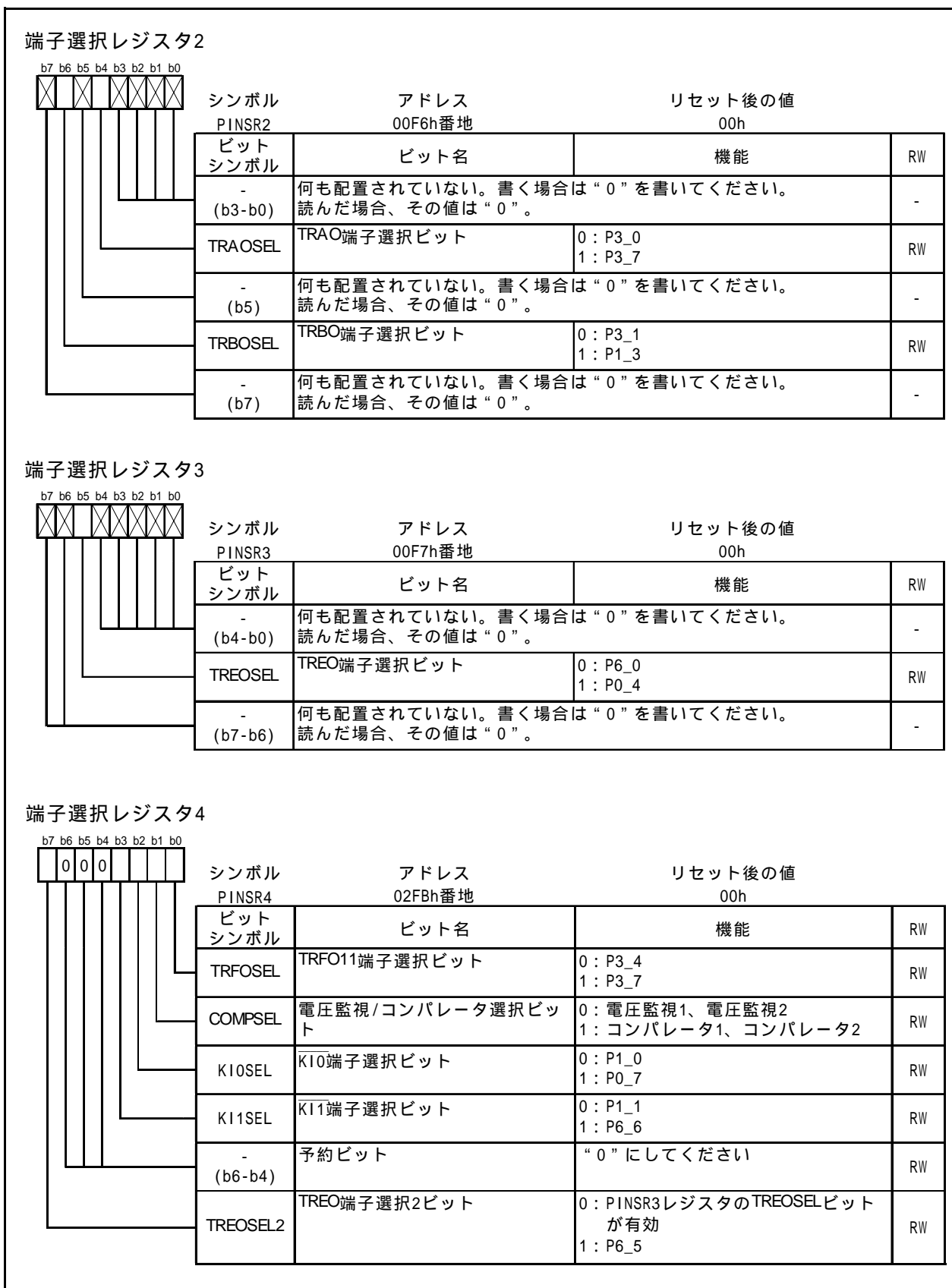


図8.7 PINSR2、PINSR3、PINSR4レジスタ

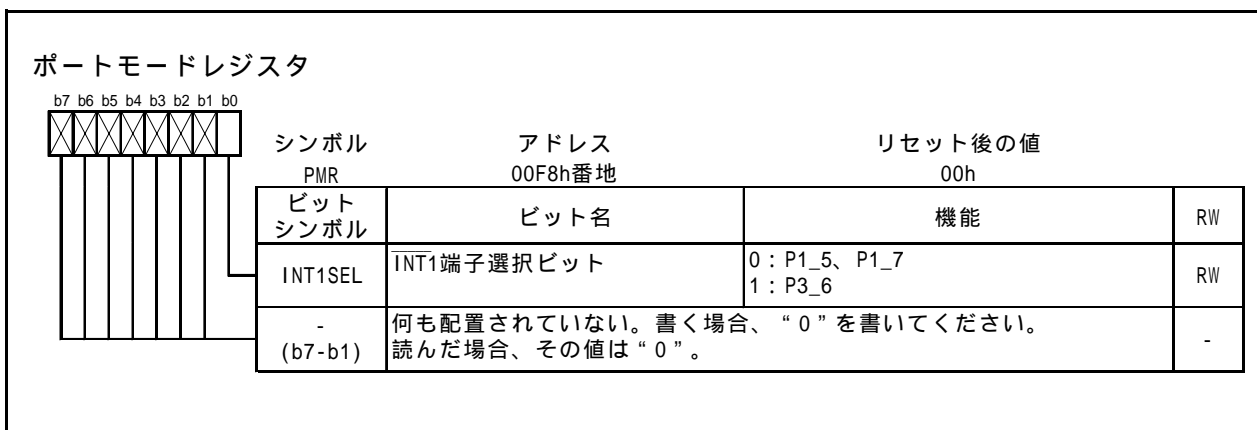


図8.8 PMRレジスタ

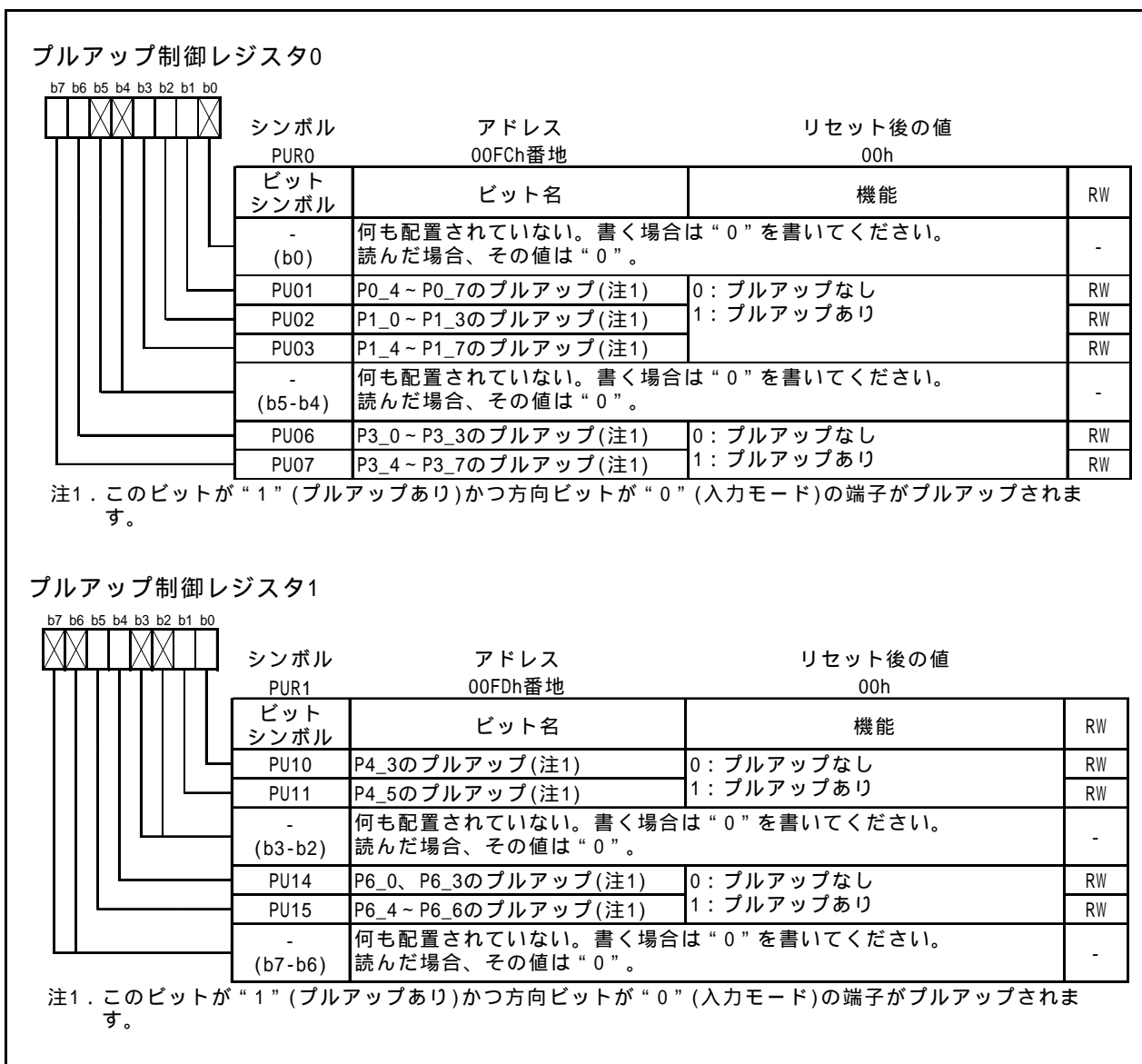


図8.9 PUR0、PUR1レジスタ

8.4 ポートの設定

表8.4～表8.33にポートの設定を示します。

表8.4 ポートP0_4/(TREQ)

レジスタ	PD0	PINSR4	PINSR3	TRECR1	機能
ビット	PD0_4	TREOSEL2	TREOSEL	TOENA	
設定値	0	011b以外			入力ポート(注1)
	1	011b以外			出力ポート
	X	0	1	1	TREQ出力

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表8.5 ポートP0_5

レジスタ	PD0	機能
ビット	PD0_5	
設定値	0	入力ポート(注1)
	1	出力ポート

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表8.6 ポートP0_6/ $\overline{\text{INT4}}$

レジスタ	PD0	INTEN2	機能
ビット	PD0_6	INT4EN	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	0	1	$\overline{\text{INT4}}$ 入力(注1)

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表8.7 ポートP0_7/ $\overline{\text{KI0}}$

レジスタ	PD0	PINSR4	KIEN	機能
ビット	PD0_7	KI0SEL	KI0EN	
設定値	0	X	0	入力ポート(注1)
	1	X	0	出力ポート
	0	1	1	$\overline{\text{KI0}}$ 入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU01ビットを“1”にすると、プルアップありとなります。

表8.8 ポートP1_0/KI0/TRFO00/VCMP1

レジスタ	PD1	TRFOUT	PINSR4	KIEN	VCAB	機能
ビット	PD1_0	TRFOUT0	KI0SEL	KI0EN	VCAB5	
設定値	0	0	X	0	0	入力ポート(注1)
	1	0	X	0	0	出力ポート
	X	1	X	0	0	TRFO00出力
	0	0	0	1	0	KI0入力(注1)
	0	0	X	0	1	VCMP1入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

表8.9 ポートP1_1/KI1/TRFO01/VCMP2

レジスタ	PD1	TRFOUT	PINSR4	KIEN	VCAB	機能
ビット	PD1_1	TRFOUT1	KI1SEL	KI1EN	VCAB6	
設定値	0	0	X	0	0	入力ポート(注1)
	1	0	X	0	0	出力ポート
	X	1	X	0	0	TRFO01出力
	0	0	0	1	0	KI1入力(注1)
	0	0	X	0	1	VCMP2入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

表8.10 ポートP1_2/KI2/TRFO02/CVREF

レジスタ	PD1	TRFOUT	KIEN	VCAB	機能
ビット	PD1_2	TRFOUT2	KI2EN	VCAB7	
設定値	0	0	0	0	入力ポート(注1)
	1	0	0	0	出力ポート
	X	1	0	0	TRFO02出力
	0	0	1	0	KI2入力(注1)
	0	0	0	0	1

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、ブルアップありとなります。

表8.11 ポートP1_3/KI3/VCOUT1/(TRBO)

レジスタ	PD1	タイマRB設定	KIEN	ALCMR	機能
ビット	PD1_3	-	KI3EN	CM1OE	
設定値	0	TRBO使用条件以外	0	0	入力ポート(注1)
	1	TRBO使用条件以外	0	0	出力ポート
	0	TRBO使用条件以外	1	0	KI3入力(注1)
	X	「表8.12 TRBO端子設定」参照	0	0	TRBO出力
	X	TRBO使用条件以外	0	1	VCOUT1出力

X:“0”または“1”

注1. PUR0レジスタのPU02ビットを“1”にすると、プルアップありとなります。

表8.12 TRBO端子設定

レジスタ	PINSR2	TRBIOC	TRBMR		機能
ビット	TRBOSEL	TOCNT(注1)	TMOD1	TMOD0	
設定値	1	0	0	1	プログラマブル波形発生モード
	1	0	1	0	プログラマブルワンショット発生モード
	1	0	1	1	プログラマブルウェイトワンショット発生モード
	1	1	0	1	P1_3出力ポート
	上記以外				TRBO使用条件以外

注1. TRBIOCレジスタのTOCNTビットは、プログラマブル波形発生モード以外では“0”にしてください。

表8.13 ポートP1_4/TXD0

レジスタ	PD1	U0MR			機能	
ビット	PD1_4	SMD2	SMD1	SMD0		
設定値	0	0	0	0	入力ポート(注1)	
	1	0	0	0	出力ポート	
	X	1	0	0	1	TXD0出力(注2)
			1		0	
				1	1	
			1		0	

X:“0”または“1”

注1. PUR0レジスタのPU03ビットを“1”にすると、プルアップありとなります。

注2. U0C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表8.14 ポートP1_5/RXD0/(TRAIO)/(INT1)

レジスタ	PD1	TRAIOC		TRAMR			PMR	INTEN	機能	
ビット	PD1_5	TIOSEL	TOPCR (注2)	TMOD2	TMOD1	TMOD0	INT1SEL	INT1EN		
設定値	0	0	X	X	X	X	X	0	入力ポート(注1)	
		1	1	0	0	1				
		0					0			
	1	0	X	X	X	X	X	0	出力ポート	
		1	0	0	0	0				
	0	0	X	X	X	X	X	0	RXD0入力(注1)	
		1	0	001b以外						
	0	1	0	1	0	0	0	0	1	$\overline{\text{INT1}}$ 入力(注1)
			1				1			
0	1	0	000b、001b以外			X	X	TRAIO入力(注1)		
0	1	0	000b、001b以外			0	1	TRAIO入力/INT1入力(注1)		
X	1	0	0	0	1	X	X	TRAIO出力		

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. TRAIOCレジスタのTOPCRビットは、パルス出力モード以外では"0"にしてください。

表8.15 ポートP1_6/CLK0/VCOOUT2

レジスタ	PD1	ALCMR	U0MR				機能
ビット	PD1_6	CM2OE	CKDIR	SMD2	SMD1	SMD0	
設定値	0	0	0	001b以外			入力ポート(注1)
			1	X	X	X	
	1	0	X	001b以外			出力ポート
	X	0	0	0	0	1	CLK0出力
	0	0	1	X	X	X	CLK0入力(注1)
X	1	X	X	X	X	VCOOUT2出力	

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

表8.16 ポートP1_7/TRAIO/INT1

レジスタ	PD1	TRAIOC		TRAMR			PMR	INTEN	機能	
ビット	PD1_7	TIOSEL	TOPCR (注2)	TMOD2	TMOD1	TMOD0	INT1SEL	INT1EN		
設定値	0	1	X	X	X	X	X	0	入力ポート(注1)	
		0	1	0	0	1				
			0			0				
	1	1	X	X	X	X	X	0	出力ポート	
		0	0	0	0	0				
	0	0	0	1	0	0	0	0	1	$\overline{\text{INT1}}$ 入力(注1)
			1				1			
	0	0	0	000b、001b以外			X	X	TRAIO入力(注1)	
	0	0	0	000b、001b以外			0	1	TRAIO入力/INT1入力(注1)	
X	0	0	0	0	1	X	X	TRAIO出力		

X: "0" または "1"

注1. PUR0レジスタのPU03ビットを"1"にすると、プルアップありとなります。

注2. TRAIOCレジスタのTOPCRビットは、パルス出力モード以外では"0"にしてください。

表8.17 ポートP3_0/TRAO

レジスタ	PD3	PINSR2	TRAIOC	機能
ビット	PD3_0	TRAOSEL	TOENA	
設定値	0	X	0	入力ポート(注1)
	1	X	0	出力ポート
	X	0	1	TRAO出力

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、ブルアップありとなります。

表8.18 ポートP3_1/TRBO

レジスタ	PD3	タイマRB設定	機能
ビット	PD3_1	-	
設定値	0	TRBO使用条件以外	入力ポート(注1)
	1	TRBO使用条件以外	出力ポート
	X	「表8.19 TRBO端子設定」参照	TRBO出力

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、ブルアップありとなります。

表8.19 TRBO端子設定

レジスタ	PINSR2	TRBIOC	TRBMR		機能
ビット	TRBOSEL	TOCNT(注1)	TMOD1	TMOD0	
設定値	0	0	0	1	プログラマブル波形発生モード
	0	0	1	0	プログラマブルワンショット発生モード
	0	0	1	1	プログラマブルウェイトワンショット発生モード
	0	1	0	1	P3_1出力ポート
	上記以外				TRBO使用条件以外

注1. TRBIOCレジスタのTOCNTビットは、プログラマブル波形発生モード以外では“0”にしてください。

表8.20 ポートP3_2/INT2

レジスタ	PD3	INTEN	機能
ビット	PD3_2	INT2EN	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	0	1	INT2入力

注1. PUR0レジスタのPU06ビットを“1”にすると、ブルアップありとなります。

表8.21 ポートP3_3/TRFO10/TRFI

レジスタ	PD3	TRFOUT	機能
ビット	PD3_3	TRFOUT3	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	X	1	TRFO10出力
	0	0	TRFI入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU06ビットを“1”にすると、ブルアップありとなります。

表8.22 ポートP3_4/TRFO11

レジスタ	PD3	PINSR4	TRFOUT	機能
ビット	PD3_4	TRFOSEL	TRFOUT4	
設定値	0	X	0	入力ポート(注1)
	1	X	0	出力ポート
	X	0	1	TRFO11出力

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、ブルアップありとなります。

表8.23 ポートP3_5/TRFO12

レジスタ	PD3	TRFOUT	機能
ビット	PD3_5	TRFOUT5	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	X	1	TRFO12出力

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、ブルアップありとなります。

表8.24 ポートP3_6/(INT1)

レジスタ	PD3	PMR	INTEN	機能
ビット	PD3_6	INT1SEL	INT1EN	
設定値	0	X	0	入力ポート(注1)
	1	X	0	出力ポート
	0	1	1	INT1入力(注1)

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、ブルアップありとなります。

表8.25 ポートP3_7/(TRA0)/(TRFO11)

レジスタ	PD3	PINSR2	TRAI0C	PINSR4	TRFOUT	機能
ビット	PD3_7	TRA0SEL	TOENA	TRFOSEL	TRFOUT4	
設定値	0	X	0	X	0	入力ポート(注1)
	1	X	0	X	0	出力ポート
	X	1	1	X	0	TRA0出力
	X	X	0	1	1	TRFO11出力

X:“0”または“1”

注1. PUR0レジスタのPU07ビットを“1”にすると、ブルアップありとなります。

表8.26 ポートP4_3/(XCIN)

レジスタ	PD4	CM0	CM1		回路仕様		機能
ビット	PD4_3	CM04	CM10	CM12	発振バッファ	帰還抵抗	
設定値	0	0	X	X	OFF	OFF	入力ポート(注1、2)
	1	0	X	X	OFF	OFF	出力ポート(注2)
	X	1	0	0	ON	ON	XCINクロック発振(内蔵帰還抵抗有効)
	X	1	0	1	ON	OFF	XCINクロック発振(内蔵帰還抵抗無効)
	X	1	1	0	OFF	ON	XCINクロック発振停止
				1	OFF	OFF	
X	1	0	0	ON	ON	外部XCINクロック入力	
			1	ON	OFF		

X:“0”または“1”

注1. PUR1レジスタのPU10ビットを“1”にすると、プルアップありとなります。

注2. 「8.6.1 ポートP4_3、P4_4」を参照してください。

表8.27 ポートP4_4/(XCOUT)

レジスタ	PD4	CM0	CM1		回路仕様		機能
ビット	PD4_4	CM04	CM10	CM12	発振バッファ	帰還抵抗	
設定値	1	0	X	X	OFF	OFF	出力ポート(注1)
	X	1	0	0	ON	ON	XCINクロック発振(内蔵帰還抵抗有効)
	X	1	0	1	ON	OFF	XCINクロック発振(内蔵帰還抵抗無効)
	X	1	1	0	OFF	ON	XCINクロック発振停止
				1	OFF	OFF	
X	1	0	0	ON	ON	外部XCOUTクロック出力 (XCINクロックの反転出力)	
			1	ON	OFF		

X:“0”または“1”

注1. 「8.6.1 ポートP4_3、P4_4」を参照してください。

表8.28 ポートP4_5/ $\overline{\text{INT0}}$

レジスタ	PD4	INTEN	機能
ビット	PD4_5	INT0EN	
設定値	0	0	入力ポート(注1)
	1	0	出力ポート
	0	1	$\overline{\text{INT0}}$ 入力

注1. PUR1レジスタのPU11ビットを“1”にすると、プルアップありとなります。

表8.29 ポートP6_0/TREO

レジスタ	PD6	PINSR4	PINSR3	TRECR1	機能
ビット	PD6_0	TREOSEL2	TREOSEL	TOENA	
設定値	0	001b以外			入力ポート(注1)
	1	001b以外			出力ポート
	X	0	0	1	TREO出力

X:“0”または“1”

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

表8.30 ポートP6_3/TXD2

レジスタ	PD6	U2MR			機能	
ビット	PD6_3	SMD2	SMD1	SMD0		
設定値	0	0	0	0	入力ポート(注1)	
	1	0	0	0	出力ポート	
	X	1	0	0	1	TXD2出力(注2)
			1		0	
				1	0	
			1	0		

X:“0”または“1”

注1. PUR1レジスタのPU14ビットを“1”にすると、プルアップありとなります。

注2. U2C0レジスタのNCHビットを“1”にすると、Nチャンネルオープンドレイン出力になります。

表8.31 ポートP6_4/RXD2

レジスタ	PD6	機能
ビット	PD6_4	
設定値	0	入力ポート(注1)
	1	出力ポート
	0	RXD2入力(注1)

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

表8.32 ポートP6_5/CLK2/(TREO)

レジスタ	PD6	PINSR4	TRECR1	U2MR				機能
ビット	PD6_5	TREOSEL2	TOENA	CKDIR	SMD2	SMD1	SMD0	
設定値	0	0	X	0	001b以外			入力ポート(注1)
				1	X	X	X	
	1	0	X	X	001b以外			出力ポート
	X	0	X	0	0	0	1	CLK2出力
	0	0	X	1	X	X	X	CLK2入力(注1)
X	1	1	X	X	X	X	TREO出力	

X:“0”または“1”

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

表8.33 ポートP6_6/(KI1)

レジスタ	PD6	PINSR4	INTEN	機能
ビット	PD6_6	KI1SEL	INT0EN	
設定値	0	X	0	入力ポート(注1)
	1	X	0	出力ポート
	0	1	1	$\overline{\text{KI1}}$ 入力(注1)

X:“0”または“1”

注1. PUR1レジスタのPU15ビットを“1”にすると、プルアップありとなります。

8.5 未使用端子の処理

表8.34に未使用端子の処理例を示します。

表8.34 未使用端子の処理例

端子名	処理内容
ポートP0_4 ~ P0_7、 P1、P3、P4_3 ~ P4_5、 P6_0、P6_3 ~ P6_6	<ul style="list-style-type: none"> •入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)、または端子ごとに抵抗を介してVCCに接続(プルアップ)(注2) •出力モードに設定し、端子を開放(注1、2)
RESET(注3)	抵抗を介してVCCに接続(プルアップ)(注2)

注1. 出力モードに設定し、開放する場合、プログラムによってポートを出力モードに切り替えるまでは、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、プログラムで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。

注2. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。

注3. パワーオンリセット機能使用時。

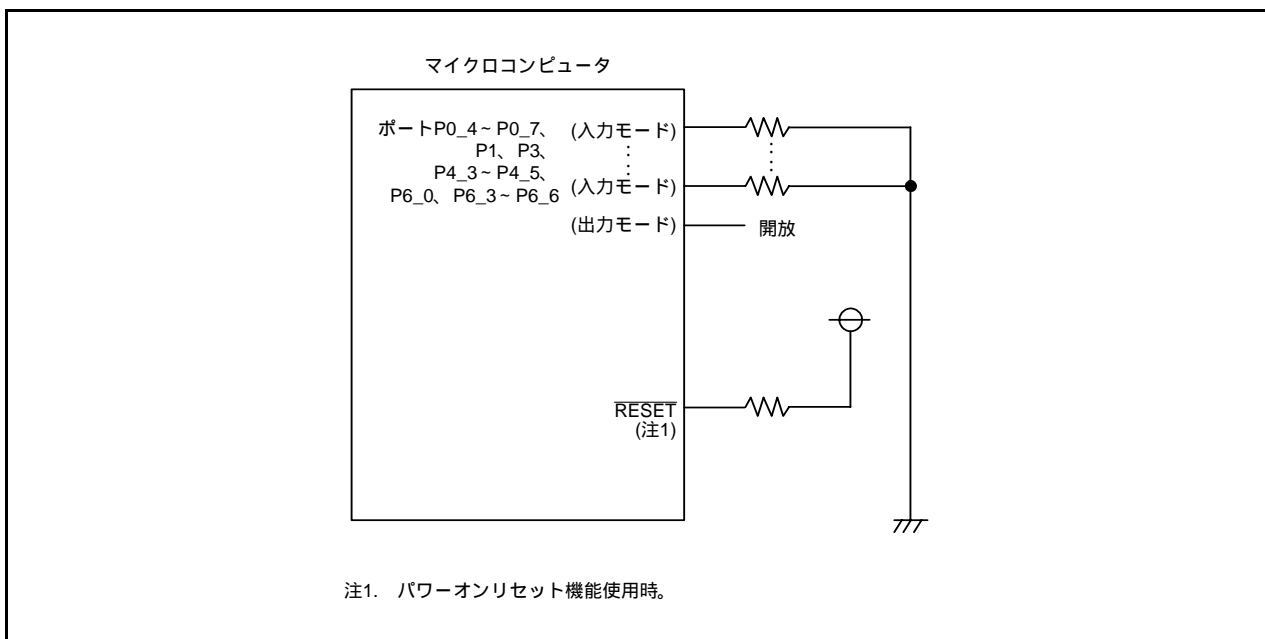


図8.10 未使用端子の処理例

8.6 IOポート使用上の注意

8.6.1 ポートP4_3、P4_4

ポートP4_3とポートP4_4は、XCINとXCOUT機能と兼用しています。リセット期間中およびリセット解除後は、XCINとXCOUTの機能になります。プログラムでCM0レジスタのCM04ビットを“0”(ポートP4_3、P4_4)にすることで、P4_3端子およびP4_4端子をポートの機能に切り替えることができます。

ポートP4_3、P4_4をポートとして使用する場合は、下記の注意事項があります。

- ポートP4_3

リセット後からプログラムでCM04ビットを“0”(ポートP4_3、P4_4)にするまでは、P4_3端子はマイコン電源またはGNDの間に、10M (標準)のインピーダンスが付いています。XCINが中間レベル入力またはフローティングの場合、発振ドライバに貫通電流が流れます。

- ポートP4_4

ポートP4_4はPD4レジスタのPD4_4ビットを“1”(出力モード)にして、出力ポートとして使用してください。P4_4端子はリセット後からプログラムでCM04ビットを“0”(ポートP4_3、P4_4)にするまでは、中間電位(2.0V程度)を出力することがあります。

9. プロセッサモード

9.1 プロセッサモードの種類

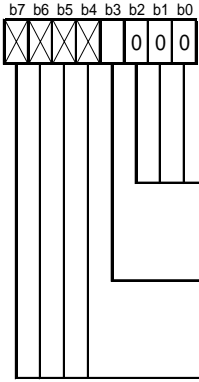
プロセッサモードはシングルチップモードとなります。

表 9.1 にプロセッサモードの特長を、図 9.1 に PM0 レジスタを、図 9.2 に PM1 レジスタを示します。

表 9.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部 RAM、内部 ROM	全端子が入出力ポートまたは周辺機能入出力端子

プロセッサモードレジスタ0(注1)

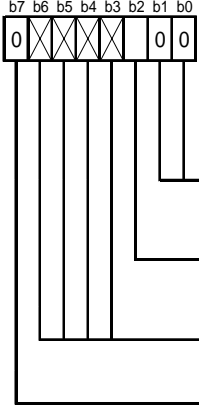


シンボル	アドレス	リセット後の値	
PM0	0004h番地	00h	
ビットシンボル	ビット名	機能	RW
- (b2-b0)	予約ビット	“0” にしてください。	RW
PM03	ソフトウェアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。読んだ場合、その値は“0”。	RW
- (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. PM0レジスタは、PRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

図 9.1 PM0レジスタ

プロセッサモードレジスタ1(注1)



シンボル	アドレス	リセット後の値	
PM1	0005h番地	00h	
ビットシンボル	ビット名	機能	RW
- (b1-b0)	予約ビット	“0” にしてください。	RW
PM12	WDT割り込み/リセット切り替えビット	0: ウォッチドッグタイマ割り込み 1: ウォッチドッグタイマリセット (注2)	RW
- (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
- (b7)	予約ビット	“0” にしてください。	RW

注1. PM1レジスタは、PRCRレジスタのPRC1ビットを“1”（書き込み許可）にした後で書き換えてください。
注2. PM12ビットはプログラムで“1”を書くと“1”になります（“0”を書いても変化しません）。CSPRレジスタのCSPROビットが“1”（カウントソース保護モード有効）のとき、PM12ビットは自動的に“1”になります。

図 9.2 PM1レジスタ

10. バス制御

ROM、RAMとSFRとはアクセス時のバスサイクルが異なります。

表 10.1にR8C/2Gグループのアクセス領域に対するバスサイクルを示します。

ROM、RAMとSFRは8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。表 10.2にアクセス単位とバスの動作を示します。

表 10.1 R8C/2Gグループのアクセス領域に対するバスサイクル

アクセス領域	バスサイクル
SFR	CPUクロックの2サイクル
ROM/RAM	CPUクロックの1サイクル

表 10.2 アクセス単位とバスの動作

領域	SFR		ROM、RAM	
偶数番地 バイトアクセス	CPU クロック		CPU クロック	
奇数番地 バイトアクセス	CPU クロック		CPU クロック	
偶数番地 ワードアクセス	CPU クロック		CPU クロック	
奇数番地 ワードアクセス	CPU クロック		CPU クロック	

11. クロック発生回路

クロック発生回路として、3つの回路が内蔵されています。

- XCINクロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ

表11.1にクロック発生回路の概略仕様を、図11.1にクロック発生回路を、図11.2～図11.8にクロック関連レジスタを、図11.9にVCA20ビットによる内部電源低消費操作手順を示します。

表11.1 クロック発生回路の概略仕様

項目	XCINクロック発振回路	オンチップオシレータ	
		高速オンチップオシレータ	低速オンチップオシレータ
用途	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源 	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源 	<ul style="list-style-type: none"> •CPUのクロック源 •周辺機能のクロック源
クロック周波数	32.768kHz	約8MHz	約125kHz
接続できる発振子	•水晶発振子		
発振子の接続端子	XCIN、XCOUT(注1)	(注1)	(注1)
発振の開始と停止	あり	あり	あり
リセット後の状態	発振	停止	発振
その他	<ul style="list-style-type: none"> •外部で生成されたクロックを入力可能(注2) •帰還抵抗RfXCINを内蔵(接続/非接続選択可能) 		

注1. XCINクロック発振回路を使用せず、オンチップオシレータクロックをCPUクロックに使用する場合にはP4_3、P4_4として使うことができます。

注2. 外部クロック入力時には、CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にしてください。

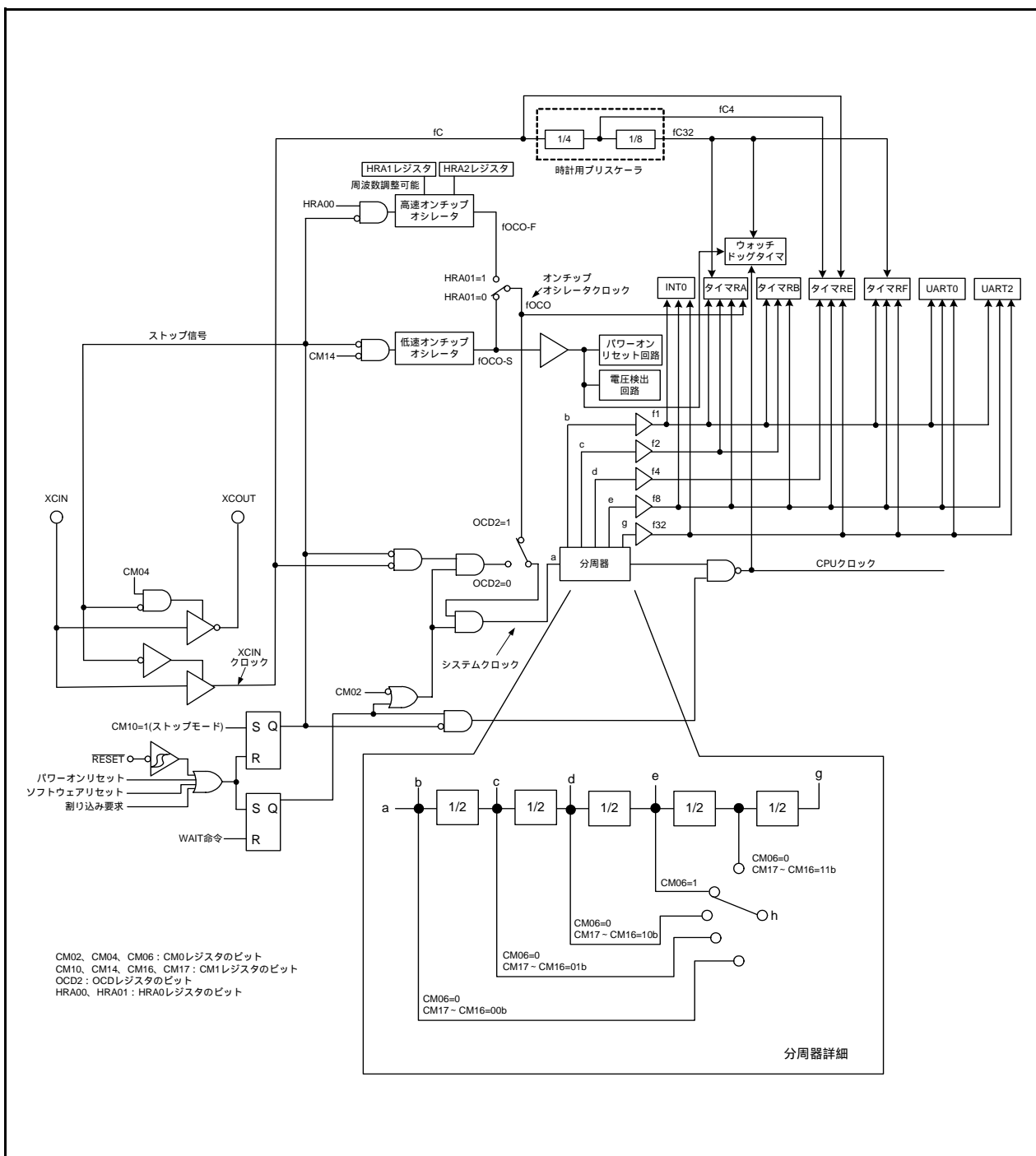


図 11.1 クロック発生回路

システムクロック制御レジスタ0(注1)

シンボル	アドレス	リセット後の値	
CM0	0006h番地	01011000b	
ビットシンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は“0”。	-
- (b1)	予約ビット	“0”にしてください。	RW
CM02	WAIT時周辺機能クロック停止ビット	0 : ウェイトモード時、周辺機能クロック停止しない 1 : ウェイトモード時、周辺機能クロック停止する	RW
CM03	XCIN-XCOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	RW
CM04	ポート/XCIN-XCOUT切り替えビット(注3、4)	0 : ポートP4_3、P4_4 1 : XCIN-XCOUT端子	RW
- (b5)		何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は“0”。	-
CM06	システムクロック分周比選択ビット0(注5)	0 : CM16、CM17有効 1 : 8分周モード	RW
- (b7)	予約ビット	“0”にしてください。	RW

注1. CM0レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
 注2. ストップモードへの移行時、CM03ビットは“1”(HIGH)になります。CM03ビットの書き換えは、XCINクロックの発振が安定しているときに行ってください。
 注3. CM04ビットが“0”(ポートP4_3、P4_4)の場合のみ、P4_3、P4_4はポートとして使用できます。XCINクロックを使用する場合、CM04ビットを“1”(XCIN-XCOUT端子)にしてください。また、ポートP4_3は入力ポートで、プルアップなしにしてください。
 注4. CM1レジスタのCM10ビットが“1”(ストップモード)の場合、CM04ビットが“1”(XCIN-XCOUT端子)のとき、XCIN(P4_3)端子はハイインピーダンス状態、XCOUT(P4_4)端子は“H”になります。CM04ビットが“0”(入出力ポートP4_3、P4_4)のとき、XCIN(P4_3)端子とXCOUT(P4_4)端子は入出力状態(ストップモードに入る直前の状態)を保持します。
 注5. ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

図11.2 CM0レジスタ

システムクロック制御レジスタ1(注1)

シンボル	アドレス	リセット後の値	
CM1	0007h番地	00h	
ビット シンボル	ビット名	機能	RW
CM10	全クロック停止制御ビット (注2、3、4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
- (b1)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は“0”。		-
CM12	XCIN-XCOUT内蔵帰還抵抗選択 ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	RW
- (b3)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は“0”。		-
CM14	低速オンチップオシレータ発振停 止ビット(注4、5、6、7)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	RW
- (b5)	何も配置されていない。書く場合は“0”を書いてください。 読んだ場合、その値は“0”。		-
CM16	システムクロック分周比 選択ビット1(注8)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

注1. CM1レジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

注2. CM10ビットが“1”(ストップモード)の場合、内蔵している帰還抵抗は無効となります。

注3. CM10ビットが“1”(ストップモード)の場合、CM0レジスタのCM04ビットが“1”(XCIN-XCOUT端子)のとき、XCIN(P4_3)端子はハイインピーダンス状態、XCOUT(P4_4)端子は“H”になります。CM04ビットが“0”(入出力ポートP4_3、P4_4)のとき、XCIN(P4_3)端子とXCOUT(P4_4)端子は入出力状態(ストップモードに入る直前の状態)を保持します。

注4. ウォッチドッグタイマのカウントソース保護モード有効時(「16.2 カウントソース保護モード有効時」参照)は、CM10、CM14ビットへ書いても値は変化しません。

注5. CM14ビットはOCDレジスタのOCD2ビットが“0”(XCINクロック選択)のとき、“1”(低速オンチップオシレータ停止)にできます。OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注6. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを“0”(低速オンチップオシレータ発振)にしてください。

注7. カウントソース保護モード有効時、CM14ビットは“0”(低速オンチップオシレータ発振)になります。“1”を書いても変化しません。

注8. CM0レジスタのCM06ビットが“0”(CM16、CM17ビット有効)の場合、CM16~CM17ビットは有効となります。

図11.3 CM1レジスタ

システムクロック選択レジスタ(注1)

ビット シンボル	ビット名	機能	RW
- (b1-b0)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は“0”。		-
OCD2	システムクロック選択ビット	0 : XCINクロック選択 1 : オンチップオシレータクロック選択 (注2)	RW
- (b3)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は“0”。		-
- (b6-b4)	予約ビット	“0”にしてください。	RW
- (b7)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は“0”。		-

注1. OCDレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後、書き換えてください。
 注2. OCD2ビットを“1”(オンチップオシレータクロック選択)にすると、CM1レジスタのCM14ビットは“0”(低速オンチップオシレータ発振)になります。

図11.4 OCDレジスタ

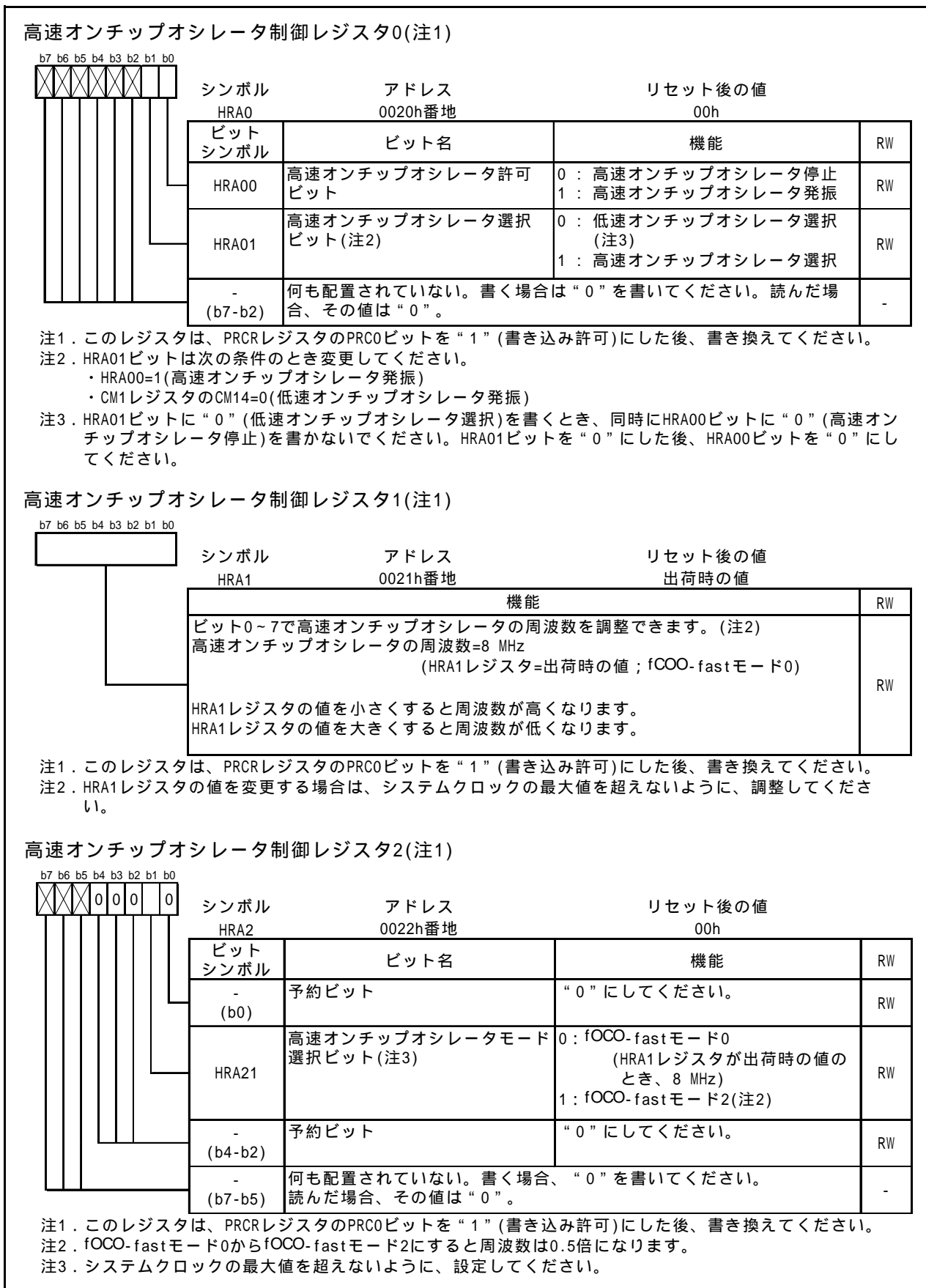


図11.5 HRA0、HRA1、HRA2レジスタ

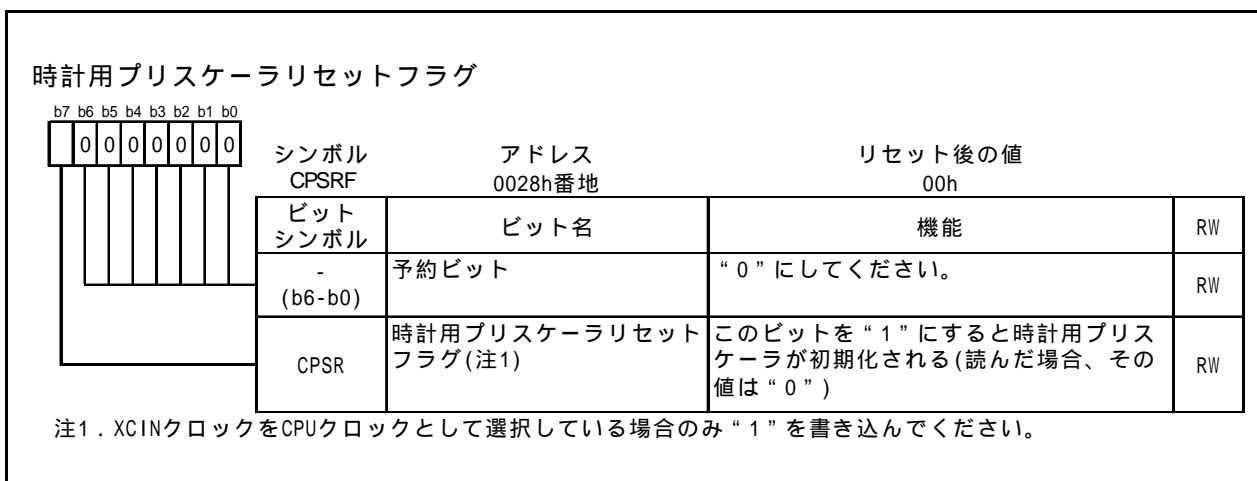


図11.6 CPSRFレジスタ

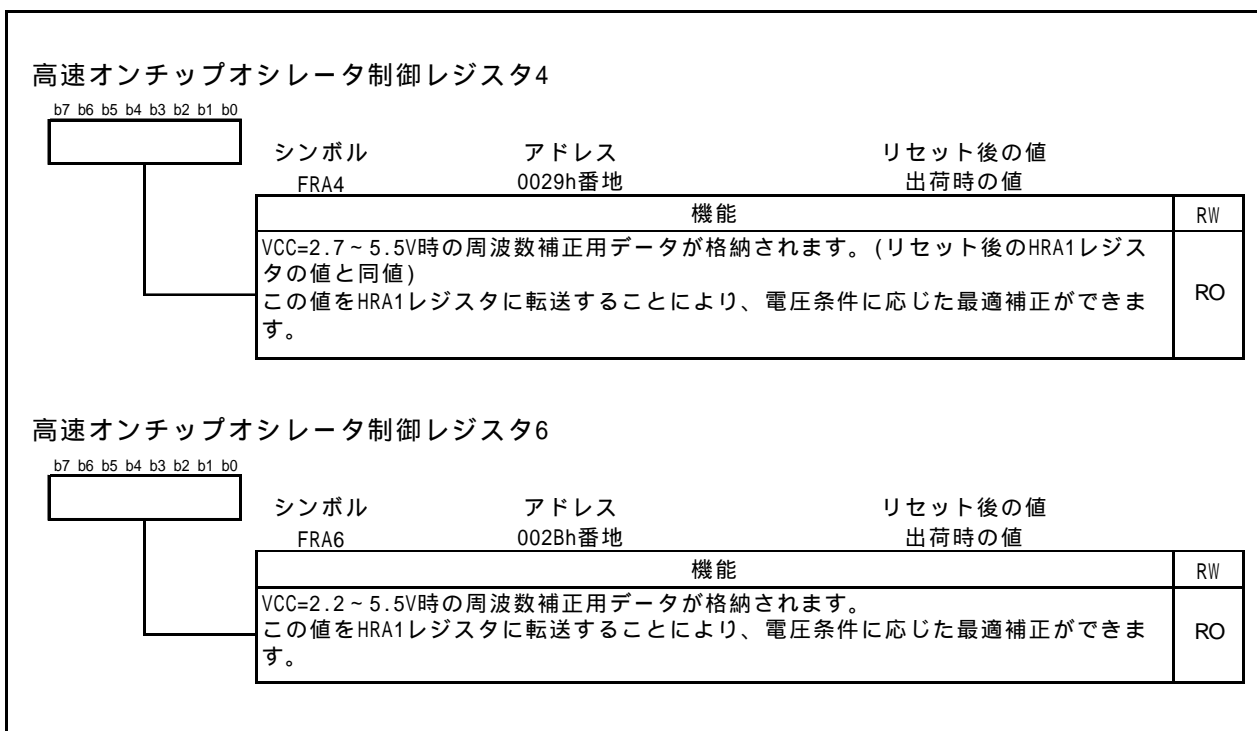


図11.7 FRA4、FRA6レジスタ

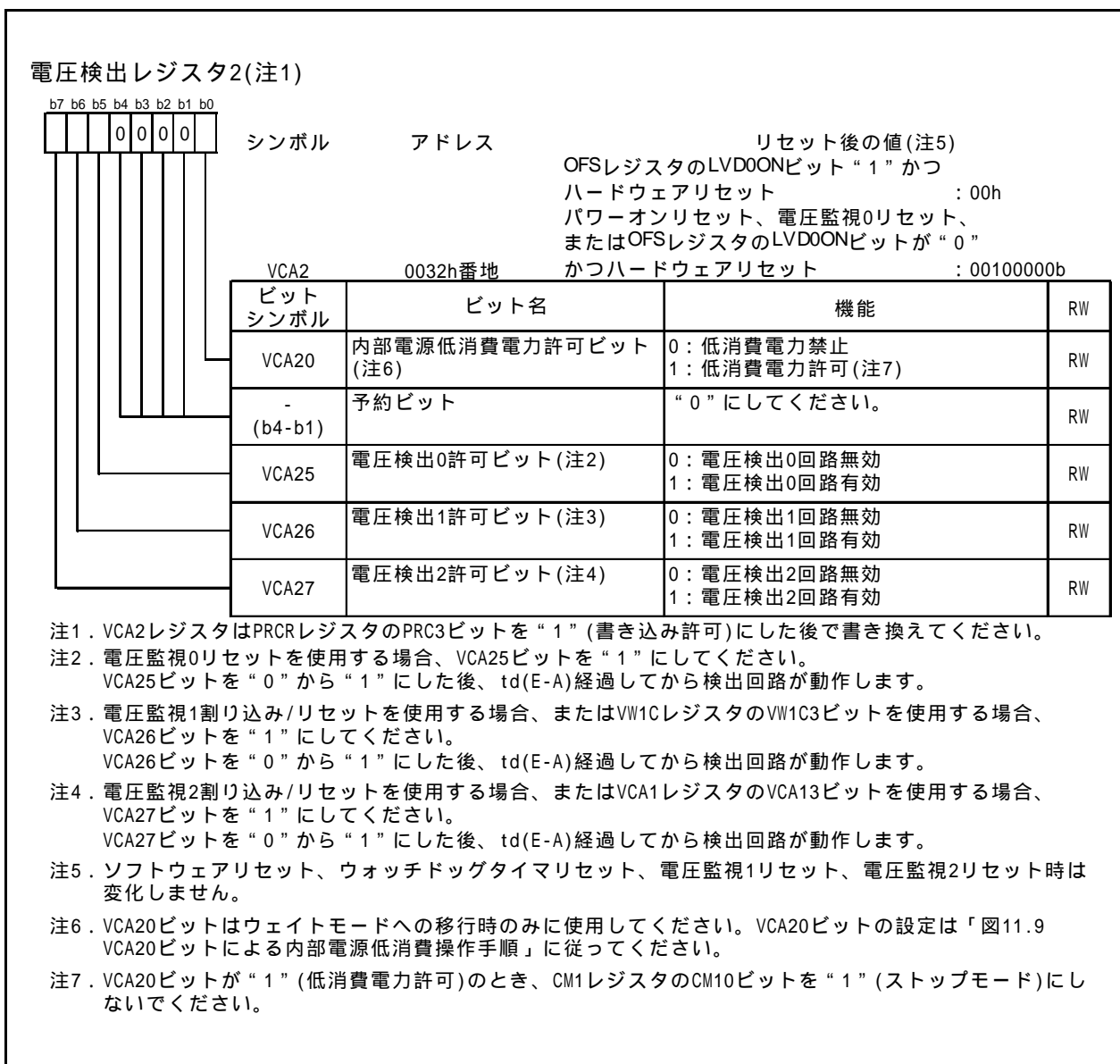


図11.8 VCA2レジスタ

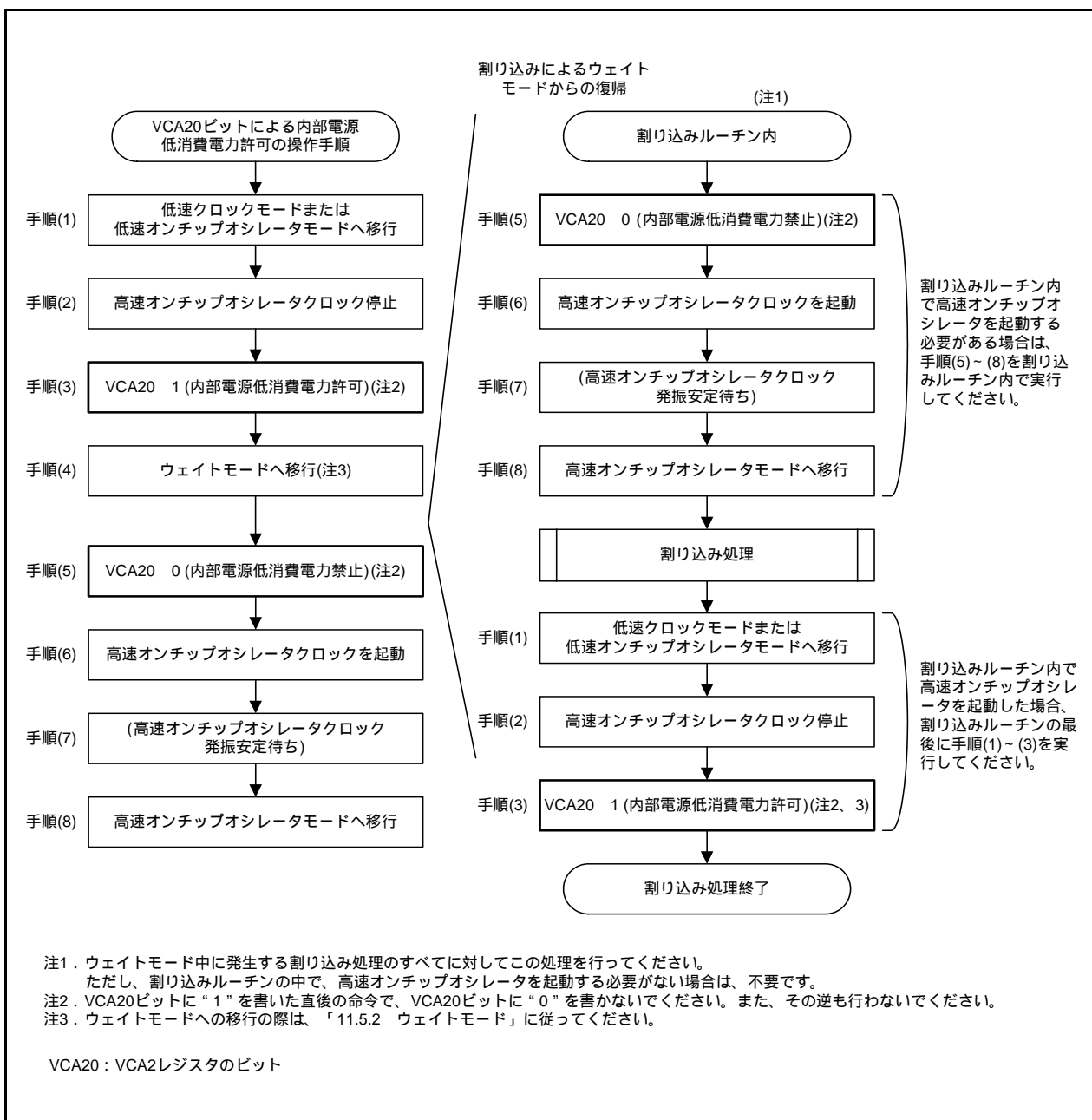


図11.9 VCA20ビットによる内部電源低消費操作手順

クロック発生回路で生成するクロックを説明します。

11.1 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。HRA0レジスタのHRA01ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

11.1.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-Sのクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの8分周がCPUクロックになります。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

11.1.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックはCPUクロック、周辺機能クロック、fOCO、fOCO-Fのクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。HRA0レジスタのHRA00ビットを“1”(オンチップオシレータ発振)にすると発振を開始します。HRA1レジスタおよびHRA2レジスタを使って、周波数を調整できます。

また、FRA4、FRA6レジスタにはそれぞれ下記の電源電圧範囲に対応した周波数補正用データが格納されています。電圧範囲に応じて補正値を使い分ける場合は、FRA4、FRA6の各補正値をHRA1レジスタに転送して使用してください。

- FRA4レジスタ：VCC=2.7V～5.5Vに対応する周波数補正用データが格納されています。
(リセット後のHRA1の値と同値です。)
- FRA6レジスタ：VCC=2.2V～5.5Vに対応する周波数補正用データが格納されています。

HRA1レジスタの各ビットの周波数調整量にはばらつきがありますので、各ビットを変化させて調整してください。高速オンチップオシレータクロックの周波数は、システムクロックの最大値を超えないように、HRA1レジスタを調整してください。

11.2 XCINクロック

XCINクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。XCINクロック発振回路はXCIN-XCOUT端子間に発振子を接続することで発振回路が構成されます。XCINクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XCINクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。

図11.10にXCINクロックの接続回路例を示します。

リセット中およびリセット後、XCINクロックは発振しています。

CM0レジスタのCM04ビットを“1”(XCIN-XCOUT端子)にするとXCINクロックは発振を開始します。XCINクロックの発振が安定した後、OCDレジスタのOCD2ビットを“0”(XCINクロック選択)にすると、XCINクロックがCPUのクロック源になります。

このマイクロコンピュータは、帰還抵抗を内蔵していますが、CM1レジスタのCM12ビットにより、内蔵抵抗を無効/有効の切り替えも可能です。

ストップモード時は、XCINクロックを含めたすべてのクロックが停止します。詳細は「11.4 パワーコントロール」を参照してください。

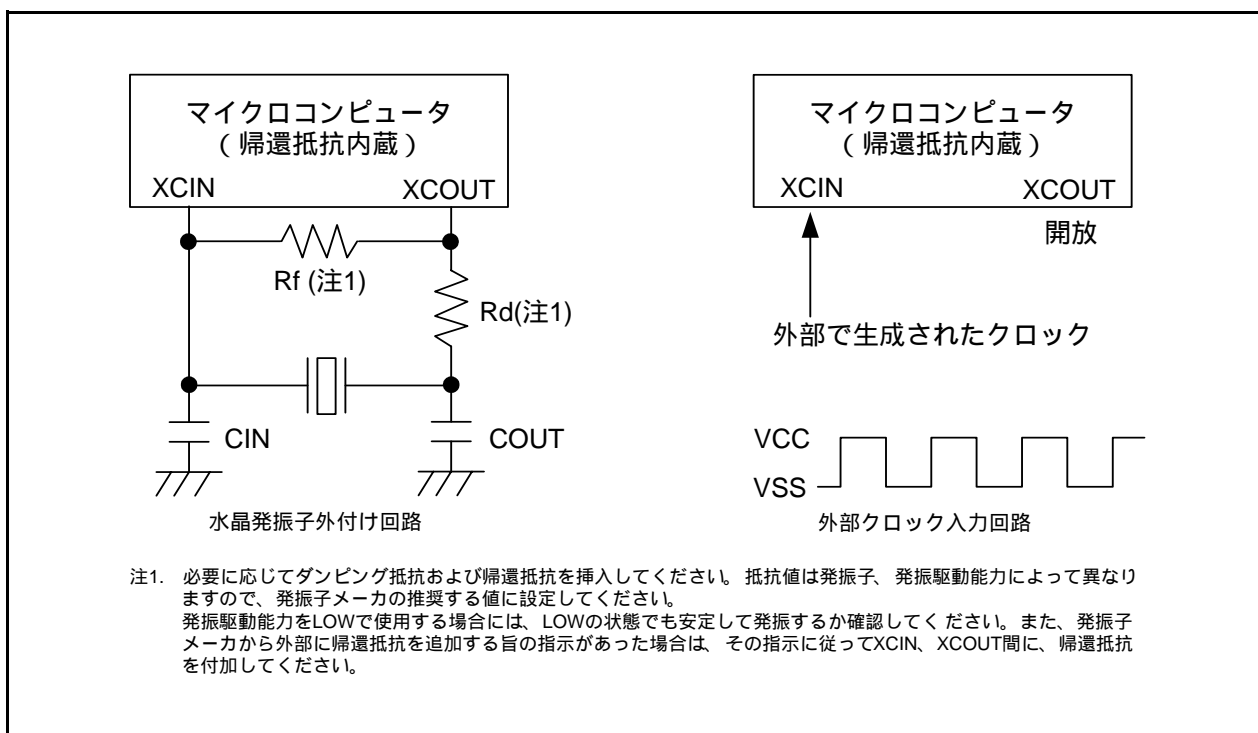


図11.10 XCINクロックの接続回路例

11.3 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させるクロックがあります。(「図11.1 クロック発生回路」参照。)

11.3.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XCINクロックまたはオンチップオシレータクロックが選択できます。

11.3.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16～CM17ビットで選択できます。

なお、XCINクロックは、XCINクロックの発振が安定しているときに使用してください。

リセット後、低速オンチップオシレータクロックの8分周がCPUクロックになります。

ストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。

11.3.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i ($i=1, 2, 4, 8, 32$)はシステムクロックを i 分周したクロックです。 f_i はタイマRA、タイマRB、タイマRE、タイマRF、シリアルインタフェースで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、 f_i は停止します。

11.3.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRAで使用します。fOCOはWAIT命令実行時、停止しません。

11.3.5 fOCO-F

fOCO-Fは高速オンチップオシレータで生成したクロックで、HRA00ビットを“1”にすると供給されます。

fOCO-FはWAIT命令実行時、停止しません。

11.3.6 fOCO-S

ウォッチドッグタイマと電圧検出回路の動作クロックです。

fOCO-Sは低速オンチップオシレータで生成したクロックで、CM14ビットを“0”(低速オンチップオシレータ発振)にすると供給されます。

fOCO-SはWAIT命令実行時、またはウォッチドッグタイマのカウントソース保護モード時、停止しません。

11.3.7 fC4、fC32

fC4はタイマRE、fC32はタイマRA、タイマRF、ウォッチドッグタイマで使用します。

なお、fC4、fC32は、XCINクロックの発振が安定しているときに使用してください。

11.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

11.4.1 標準動作モード

標準動作モードは、さらに3つのモードに分けられます。

標準動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPU クロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先が XCIN クロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

表11.2 クロック関連ビットの設定とモード

モード		OCD レジスタ	CM1 レジスタ		CM0 レジスタ		HRA0 レジスタ	
		OCD2	CM17、CM16	CM14	CM06	CM04	HRA01	HRA00
高速オンチップ オシレータ モード	分周なし	1	00b		0		1	1
	2分周	1	01b		0		1	1
	4分周	1	10b		0		1	1
	8分周	1			1		1	1
	16分周	1	11b		0		1	1
低速オンチップ オシレータ モード	分周なし	1	00b	0	0		0	
	2分周	1	01b	0	0		0	
	4分周	1	10b	0	0		0	
	8分周	1		0	1		0	
	16分周	1	11b	0	0		0	
低速クロック モード	分周なし	0	00b		0	1		
	2分周	0	01b		0	1		
	4分周	0	10b		0	1		
	8分周	0			1	1		
	16分周	0	11b		0	1		

：“0”でも“1”でも影響ない

11.4.1.1 高速オンチップオシレータモード

HRA0レジスタのHRA00ビットが“1”(高速オンチップオシレータ発振)、かつHRA0レジスタのHRA01ビットが“1”のとき、高速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。高速クロックモードに遷移するときにはCM06ビットを“1”(8分周モード)にしてください。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

11.4.1.2 低速オンチップオシレータモード

CM1レジスタのCM14ビットが“0”(低速オンチップオシレータ発振)、かつHRA0レジスタのHRA01ビットが“0”のとき、低速オンチップオシレータがオンチップオシレータクロックになります。このとき、オンチップオシレータクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックになります。また、オンチップオシレータクロックが周辺機能クロックのクロック源になります。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

このモードにおいて、高速オンチップオシレータを停止させ、FMR4レジスタのFMR47ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「21. 消費電力の低減」を参照してください。

11.4.1.3 低速クロックモード

XCINクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPUクロックとなります。高速オンチップオシレータモード、低速オンチップオシレータモードに遷移するときには、CM06ビットを“1”(8分周モード)にしてください。CM14ビットが“0”(低速オンチップオシレータ発振)のとき、またはHRA0レジスタのHRA00ビットが“1”(高速オンチップオシレータ発振)のとき、fOCOをタイマRAで使用できます。

また、CM14ビットが“0”(低速オンチップオシレータ発振)のとき、fOCO-Sをウォッチドッグタイマと電圧検出回路で使用できます。

このモードにおいて、高速オンチップオシレータを停止させ、FMR4レジスタのFMR47ビットを“1”(フラッシュメモリ低消費電流リードモード許可)にすることで、低消費動作が可能です。

また、このモードからウェイトモードに入る場合、VCA2レジスタのVCA20ビットを“1”(内部電源低消費電力許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は、「21. 消費電力の低減」を参照してください。

11.4.2 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、カウントソース保護モード無効時のウォッチドッグタイマが停止します。XCINクロック、オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

11.4.2.1 周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

11.4.2.2 ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

11.4.2.3 ウェイトモード時の端子の状態

入出力ポートはウェイトモードに入る直前の状態を保持します。

11.4.2.4 ウェイトモードからの復帰

リセット、または周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、すべての周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはオンチップオシレータクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表11.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表11.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
タイマRA割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタモードで使用可 カウントソースにfOCO、fC32を選択することで使用可
タイマRB割り込み	すべてのモードで使用可	(使用しないでください)
タイマRE割り込み	すべてのモードで使用可	リアルタイムクロックモードで使用可
タイマRF割り込み	すべてのモードで使用可	(使用しないでください)
INT0、INT1、INT2、INT4 割り込み	使用可	フィルタなしの場合に使用可
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可

図11.11にウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットの設定に応じて図11.11のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

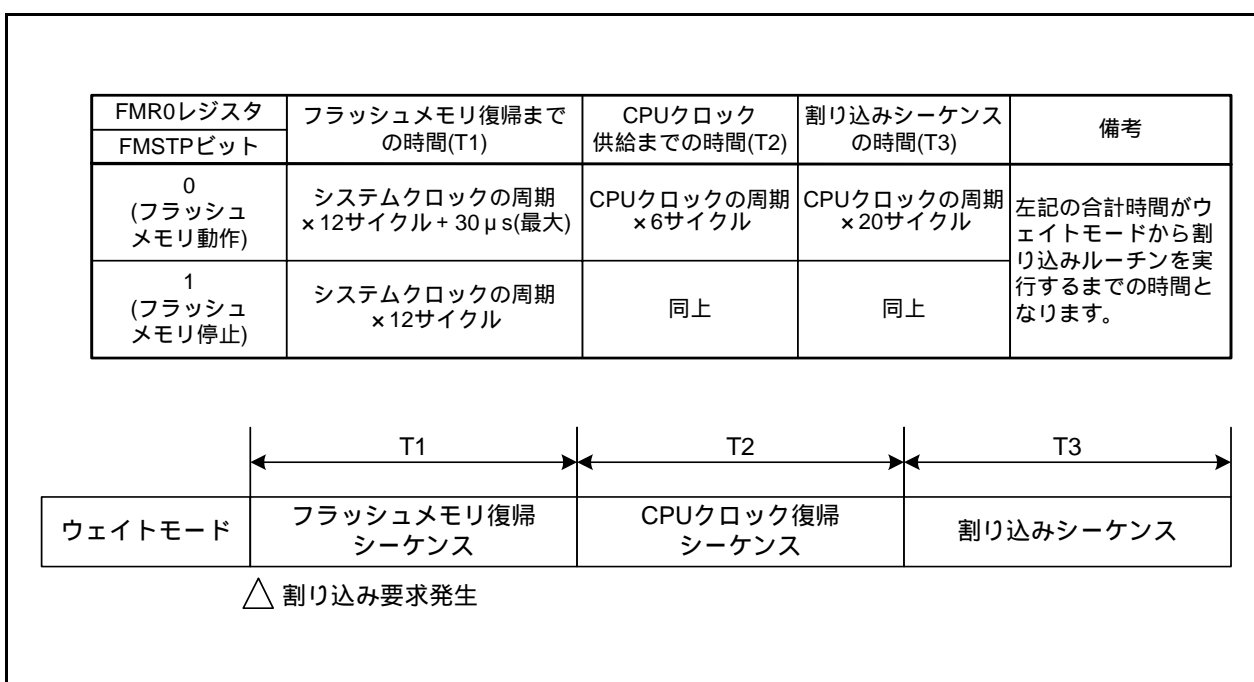


図11.11 ウェイトモードから割り込みルーチンを実行するまでの時間

11.4.3 ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。

また、外部信号によって動作する周辺機能は動作します。

表11.4にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表11.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	
$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT2}}$ 、 $\overline{\text{INT4}}$ 割り込み	フィルタなしの場合に使用可
タイマRA割り込み	イベントカウンタモードで外部パルスをカウント時
シリアルインタフェースの割り込み	外部クロック選択時
電圧監視1割り込み	デジタルフィルタ無効モード(VW1CレジスタのVW1C1ビットが“1”)の場合に使用可
電圧監視2割り込み	デジタルフィルタ無効モード(VW2CレジスタのVW2C1ビットが“1”)の場合に使用可

11.4.3.1 ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM03ビットは“1”(XCINクロック発振回路の駆動能力HIGH)、CM06ビットは“1”(8分周モード)になります。

11.4.3.2 ストップモード時の端子の状態

ストップモードに入る直前の状態を保持します。

CM0レジスタのCM04ビットが“1”(XCIN-XOUT端子)のとき、XCIN(P4_3)端子はハイインピーダンス状態、XCOUT(P4_4)端子は“H”になります。CM04ビットが“0”(入出力ポートP4_3、P4_4)のとき、P4_3(XCIN)端子とP4_4(XCOUT)端子は入出力状態(ストップモードに入る直前の状態)を保持します。

11.4.3.3 ストップモードからの復帰

リセット、または周辺機能割り込みにより、ストップモードから復帰します。

図 11.12 にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2 ~ ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2 ~ ILVL0ビットをすべて“000b”(割り込み禁止)にする。
- (2) Iフラグを“1”にする。
- (3) ストップモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPUクロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード直前に使用していたクロックがシステムクロックの場合、そのクロックの8分周になります。

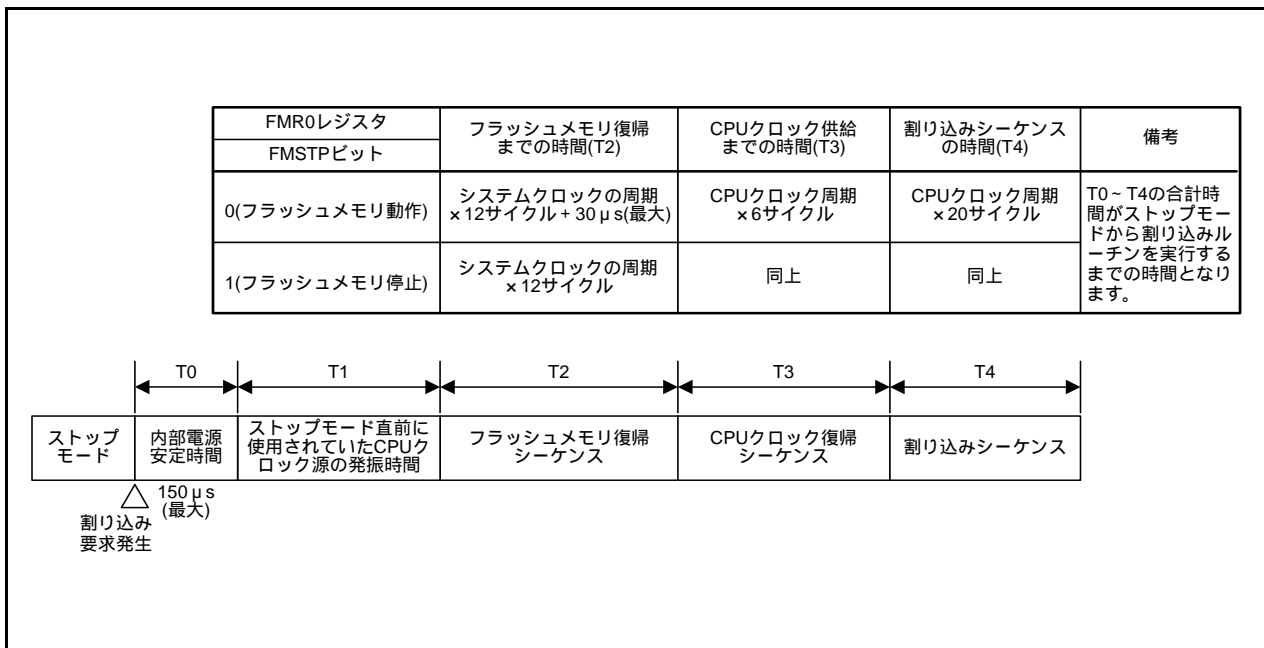


図 11.12 ストップモードから割り込みルーチンを実行するまでの時間

図 11.13 にパワーコントロールモード状態遷移を示します。

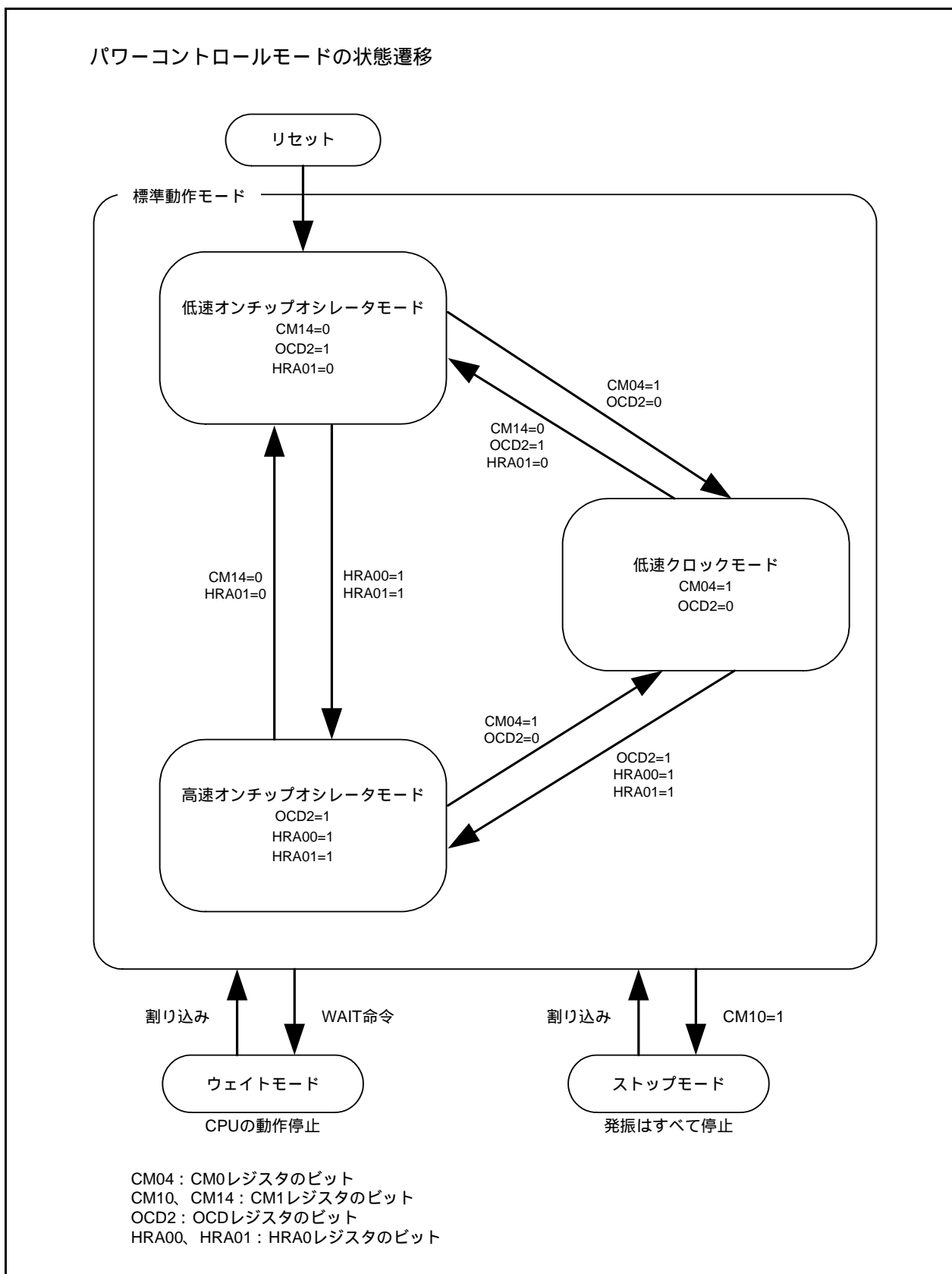


図 11.13 パワーコントロールモード状態遷移

11.5 クロック発生回路使用上の注意

11.5.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
FSET      I            ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP

```

11.5.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```

BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I            ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

11.5.3 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

12. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

図 12.1 に PRCR レジスタを示します。PRCR レジスタが保護するレジスタは次です。

- PRC0 ビットで保護されるレジスタ：CM0、CM1、OCD、HRA0、HRA1、HRA2 レジスタ
- PRC1 ビットで保護されるレジスタ：PM0、PM1 レジスタ
- PRC2 ビットで保護されるレジスタ：PD0 レジスタ
- PRC3 ビットで保護されるレジスタ：VCA2、VW0C、VW1C、VW2C、VCAB、BGRCR、BGRTRM レジスタ

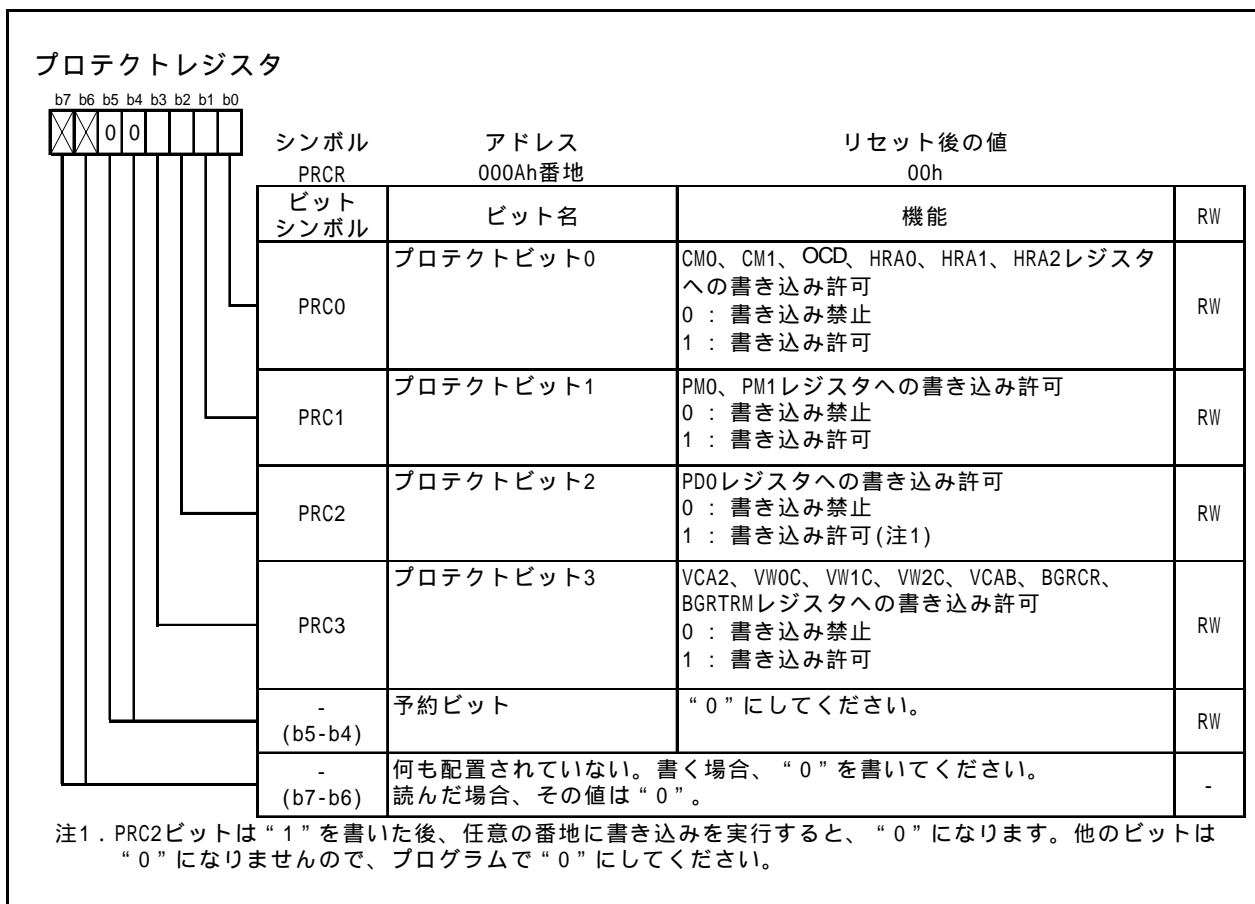


図 12.1 PRCR レジスタ

13. 割り込み

13.1 割り込みの概要

13.1.1 割り込みの分類

図 13.1に割り込みの分類を示します。

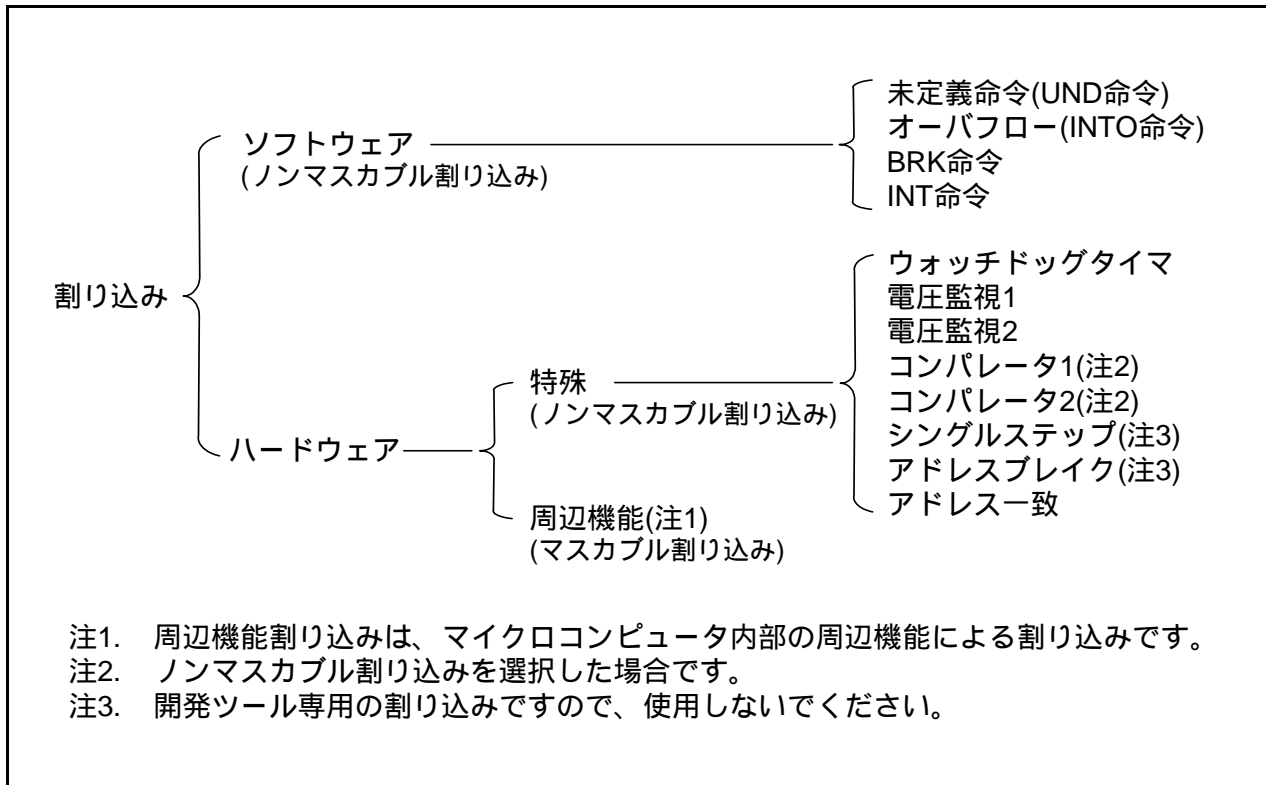


図 13.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

13.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスクابل割り込みです。

13.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

13.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

13.1.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

13.1.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号3～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

13.1.3 特殊割り込み

特殊割り込みは、ノンマスクابل割り込みです。ただし、コンパレータ1、コンパレータ2はマスクابل割り込みも選択できます。

13.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は、「16. ウォッチドッグタイマ」を参照してください。

13.1.3.2 電圧監視1割り込み

電圧監視1回路による割り込みです。電圧監視1回路の詳細は「6. 電圧検出回路」を参照してください。

13.1.3.3 電圧監視2割り込み

電圧監視2回路による割り込みです。電圧監視2回路の詳細は「6. 電圧検出回路」を参照してください。

13.1.3.4 コンパレータ1割り込み

コンパレータ1による割り込みです。ノンマスクابل割り込みまたはマスクابل割り込みを選択できます。コンパレータ1の詳細は「7. コンパレータ」を参照してください。

13.1.3.5 コンパレータ2割り込み

コンパレータ2による割り込みです。ノンマスクابل割り込みまたはマスクابل割り込みを選択できます。コンパレータ2の詳細は「7. コンパレータ」を参照してください。

13.1.3.6 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

13.1.3.7 アドレス一致割り込み

アドレス一致割り込みは、AIERレジスタのAIER0ビット、AIER1ビットのうち、いずれか1つが“1”(アドレス一致割り込み許可)の場合、対応するRMAD0～RMAD1レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「13.4 アドレス一致割り込み」を参照してください。

13.1.4 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスクابل割り込みです。周辺機能割り込みの割り込み要因は「表 13.2 可変ベクタテーブルに配置している割り込みとベクタテーブルの番地」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

13.1.5 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図 13.2に割り込みベクタを示します。

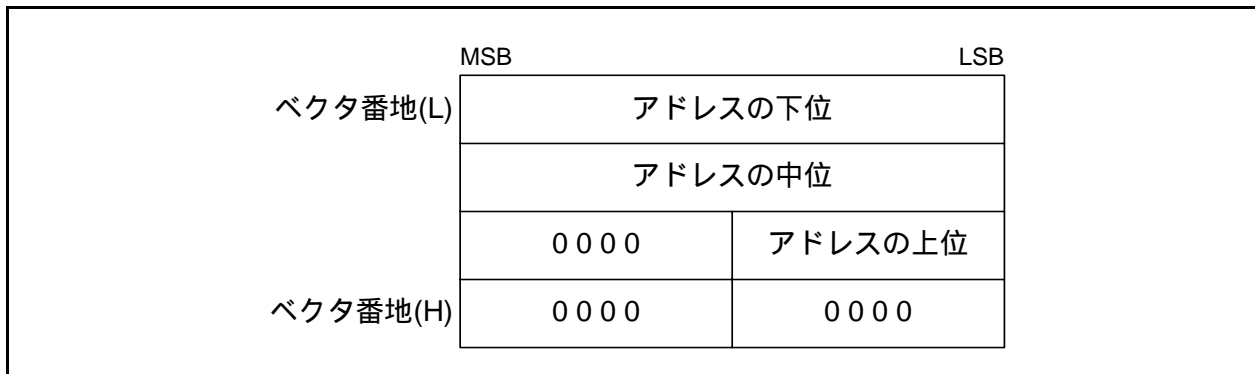


図 13.2 割り込みベクタ

13.1.5.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表 13.1に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使用します。詳細は「20.3 フラッシュメモリ書き換え禁止機能」を参照してください。

表 13.1 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L) ~ 番地(H)	備考	参照先
未定義命令	0FFDCh ~ 0FFDFh	UND 命令で割り込み	R8C/Tiny シリーズソフト ウェアマニュアル
オーバフロー	0FFE0h ~ 0FFE3h	INTO 命令で割り込み	
BRK 命令	0FFE4h ~ 0FFE7h	0FFE7h 番地の内容が FFh の場合は可変ベク タテーブル内のベクタ が示す番地から実行	
アドレス一致	0FFE8h ~ 0FFEBh		13.4 アドレス一致割り込み
シングルステップ(注1)	0FFECCh ~ 0FFEFh		
ウォッチドッグタイマ、 電圧監視1、電圧監視2、 コンパレータ1、 コンパレータ2	0FFF0h ~ 0FFF3h		16. ウォッチドッグタイマ、 6. 電圧検出回路 7. コンパレータ
アドレスブレイク(注1)	0FFF4h ~ 0FFF7h		
(予約)	0FFF8h ~ 0FFFBh		
リセット	0FFFCh ~ 0FFFFh		5. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

13.1.5.2 可変ベクタテーブル

INTBレジスタに設定された先頭番地から256バイトが可変ベクタテーブルの領域となります。

表 13.2に可変ベクタテーブルを示します。

表 13.2 可変ベクタテーブル

割り込み要因	ベクタ番地(注1) 番地(L) ~ 番地(H)	ソフトウェア 割り込み番号	割り込み制御 レジスタ	参照先
BRK命令(注2)	+0 ~ +3(0000h ~ 0003h)	0		R8C/Tinyシリーズ ソフトウェアマニュアル
コンパレータ1	+4 ~ +7(0004h ~ 0007h)	1	VCMP1IC	7. コンパレータ
コンパレータ2	+8 ~ +11(0008h ~ 000Bh)	2	VCMP2IC	
(予約)		3 ~ 9		
タイマRE	+40 ~ +43(0028h ~ 002Bh)	10	TREIC	17.3 タイマRE
UART2送信	+44 ~ +47(002Ch ~ 002Fh)	11	S2TIC	18. シリアルインタ フェース
UART2受信	+48 ~ +51(0030h ~ 0033h)	12	S2RIC	
キー入力	+52 ~ +55(0034h ~ 0037h)	13	KUPIC	13.3 キー入力割り込み
(予約)		14		
(予約)		15		
コンペア1	+64 ~ +67(0040h ~ 0043h)	16	CMP1IC	17.4 タイマRF
UART0送信	+68 ~ +71(0044h ~ 0047h)	17	S0TIC	18. シリアルインタ フェース
UART0受信	+72 ~ +75(0048h ~ 004Bh)	18	S0RIC	
(予約)		19		
(予約)		20		
INT2	+84 ~ +87(0054h ~ 0057h)	21	INT2IC	13.2 INT割り込み
タイマRA	+88 ~ +91(0058h ~ 005Bh)	22	TRAIC	17.1 タイマRA
(予約)		23		
タイマRB	+96 ~ +99(0060h ~ 0063h)	24	TRBIC	17.2 タイマRB
INT1	+100 ~ +103(0064h ~ 0067h)	25	INT1IC	13.2 INT割り込み
(予約)		26		
タイマRF	+108 ~ +111(006Ch ~ 006Fh)	27	TRFIC	17.4 タイマRF
コンペア0	+112 ~ +115(0070h ~ 0073h)	28	CMPOIC	
INT0	+116 ~ +119(0074h ~ 0077h)	29	INT0IC	13.2 INT割り込み
INT4	+120 ~ +123(0078h ~ 007Bh)	30	INT4IC	
キャプチャ	+124 ~ +127(007Ch ~ 007Fh)	31	CAPIC	17.4 タイマRF
ソフトウェア(注2)	+128 ~ +131(0080h ~ 0083h) ~ +252 ~ +255(00FCh ~ 00FFh)	32 ~ 63		R8C/Tinyシリーズ ソフトウェアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。

注2. Iフラグによる禁止はできません。

13.1.6 割り込み制御

マスクابل割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスクابل割り込みには該当しません。

マスクابل割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図 13.3 に割り込み制御レジスタ、図 13.4 にINT0IC、INT1IC、INT2IC、INT4ICレジスタを示します。

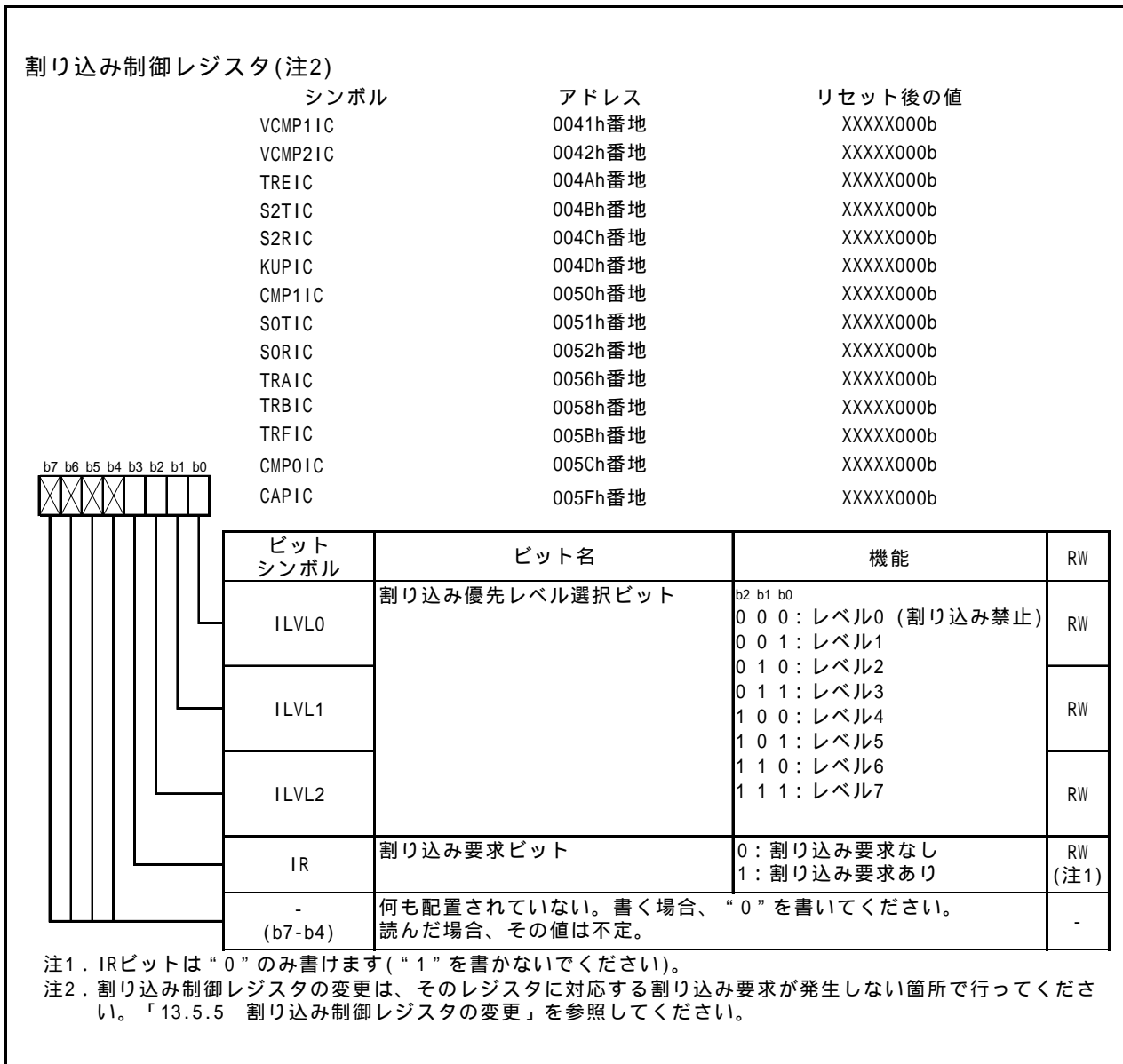


図 13.3 割り込み制御レジスタ

INT_i割り込み制御レジスタ (i=0、1、2、4)(注2)

シンボル	アドレス	リセット後の値
INT2IC	0055h番地	XX00X000b
INT1IC	0059h番地	XX00X000b
INT0IC	005Dh番地	XX00X000b
INT4IC	005Eh番地	XX00X000b

ビットシンボル	ビット名	機能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0: レベル0 (割り込み禁止) 0 0 1: レベル1 0 1 0: レベル2 0 1 1: レベル3 1 0 0: レベル4 1 0 1: レベル5 1 1 0: レベル6 1 1 1: レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0: 割り込み要求なし 1: 割り込み要求あり	RW (注1)
POL	極性切り替えビット(注4)	0: 立ち下がりエッジを選択 1: 立ち上がりエッジを選択(注3)	RW
- (b5)	予約ビット	"0" にしてください。	RW
- (b7-b6)	何も配置されていない。書く場合、"0" を書いてください。 読んだ場合、その値は不定。		-

注1. IRビットは"0"のみ書けます("1"を書かないでください)。
 注2. 割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「13.5.5 割り込み制御レジスタの変更」を参照してください。
 注3. INTENレジスタとINTEN2レジスタのINT_iPLビットが"1"(両エッジ)の場合、POLビットを"0"(立ち下がりエッジを選択)にしてください。
 注4. POLビットを変更すると、IRビットが"1"(割り込み要求あり)になることがあります。「13.5.4 割り込み要因の変更」を参照してください。

図 13.4 INT0IC、INT1IC、INT2IC、INT4ICレジスタ

13.1.6.1 Iフラグ

Iフラグは、マスクابل割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスクابل割り込みは許可され、“0”(禁止)にするとすべてのマスクابل割り込みは禁止されます。

13.1.6.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。IRビットはプログラムによって“0”にできます。“1”を書かないでください。

13.1.6.3 ILVL2 ~ ILVL0ビット、IPL

割り込み優先レベルは、ILVL2 ~ ILVL0ビットで設定できます。

表 13.3に割り込み優先レベルの設定を、表 13.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ = 1
- IRビット = 1
- 割り込み優先レベル > IPL

Iフラグ、IRビット、ILVL2 ~ ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表 13.3 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	低い ↓ 高い
001b	レベル1	
010b	レベル2	
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	

表 13.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスクابل割り込みを禁止

13.1.6.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図 13.5に割り込みシーケンスの実行時間を示します。

- (1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
- (2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
- (3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただし、Uフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
- (4) CPU内部の一時レジスタ(注1)をスタックに退避します。
- (5) PCをスタックに退避します。
- (6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

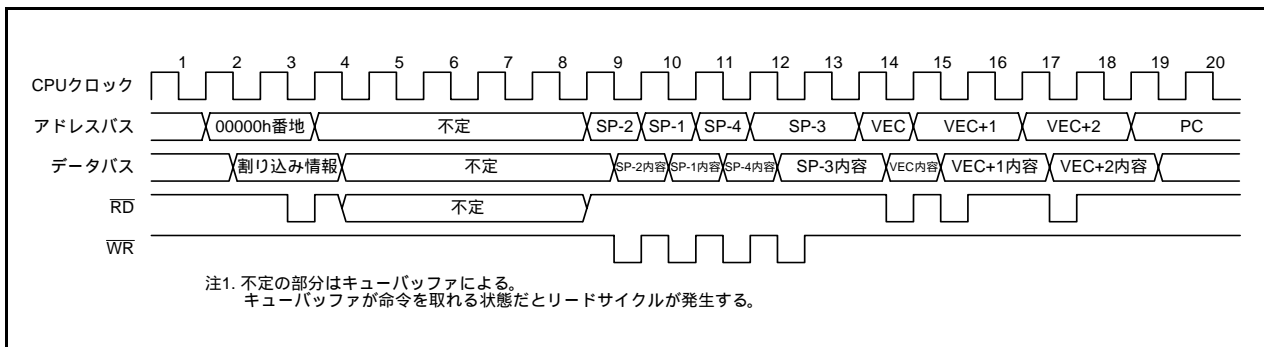


図 13.5 割り込みシーケンスの実行時間

13.1.6.5 割り込み応答時間

図 13.6 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図 13.6 の(a))と割り込みシーケンスを実行する時間(20サイクル(b))で構成されます。

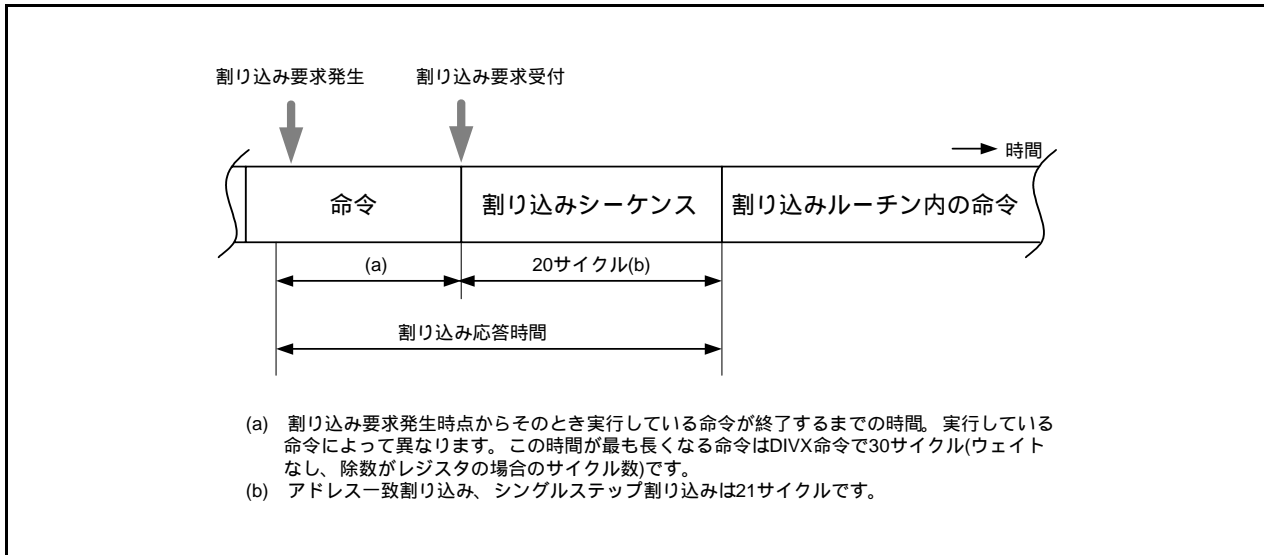


図 13.6 割り込み応答時間

13.1.6.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 13.5に示す値がIPLに設定されません。

表 13.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表 13.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定される IPL の値
ウォッチドッグタイマ、電圧監視 1、電圧監視 2、コンパレータ 1(注 1)、コンパレータ 2(注 1)、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

注1. ノンマスカブル割り込みを選択した場合。

13.1.6.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。

図13.7に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、現在使用しているレジスタバンクの複数のレジスタ(注1)を、1命令で退避できます。

注1. R0、R1、R2、R3、A0、A1、SB、FBレジスタから選択できます。

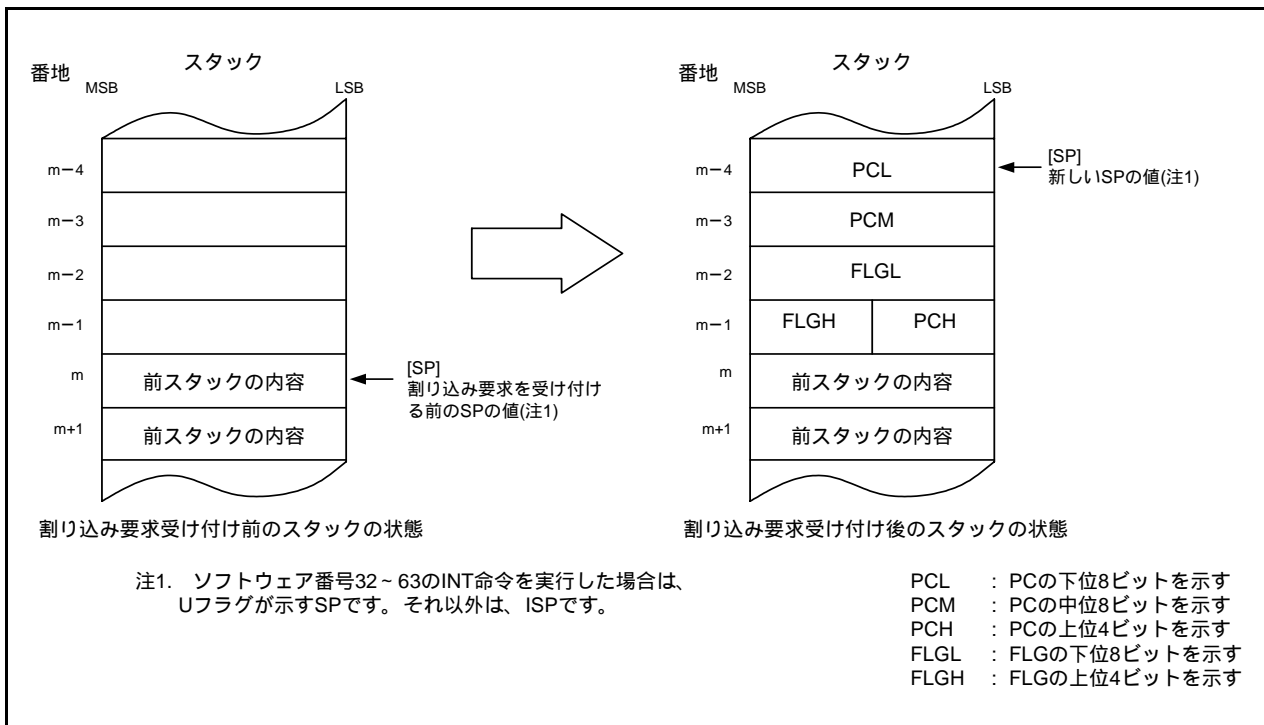


図13.7 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。
 図 13.8にレジスタ退避動作を示します。

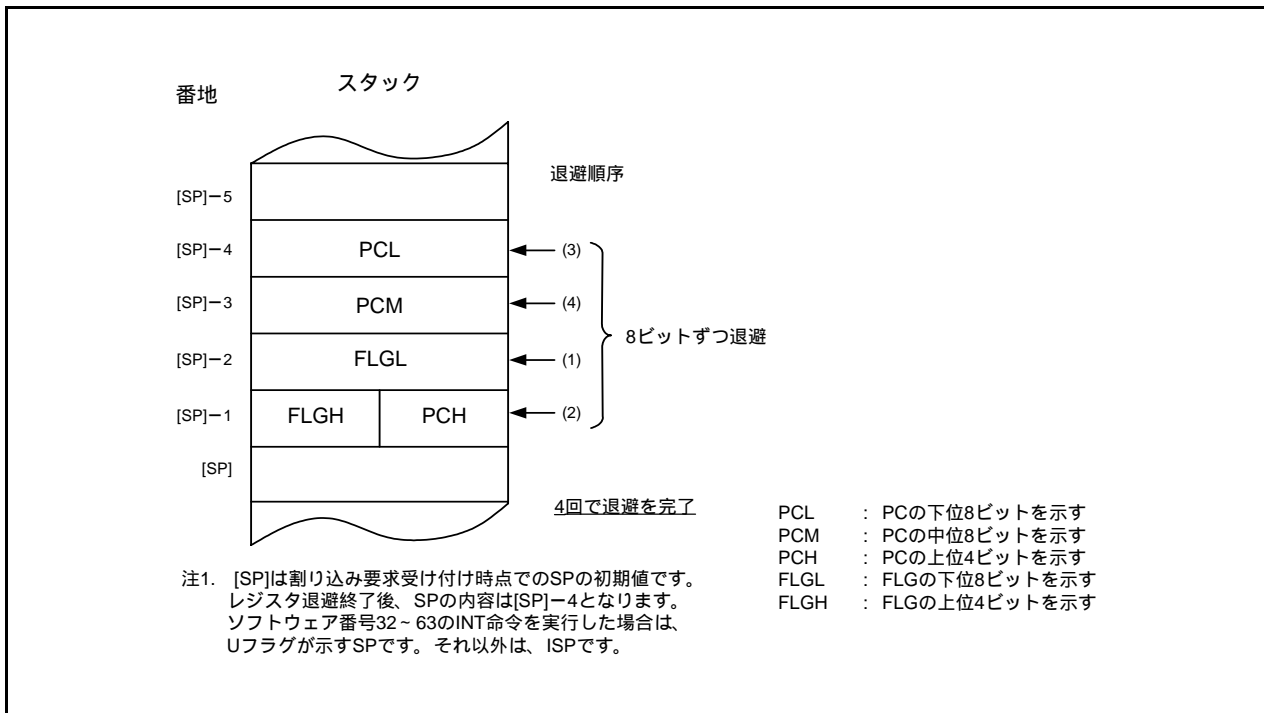


図 13.8 レジスタ退避動作

13.1.6.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

13.1.6.9 割り込み優先順位

1命令実行中に2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。

図13.9にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

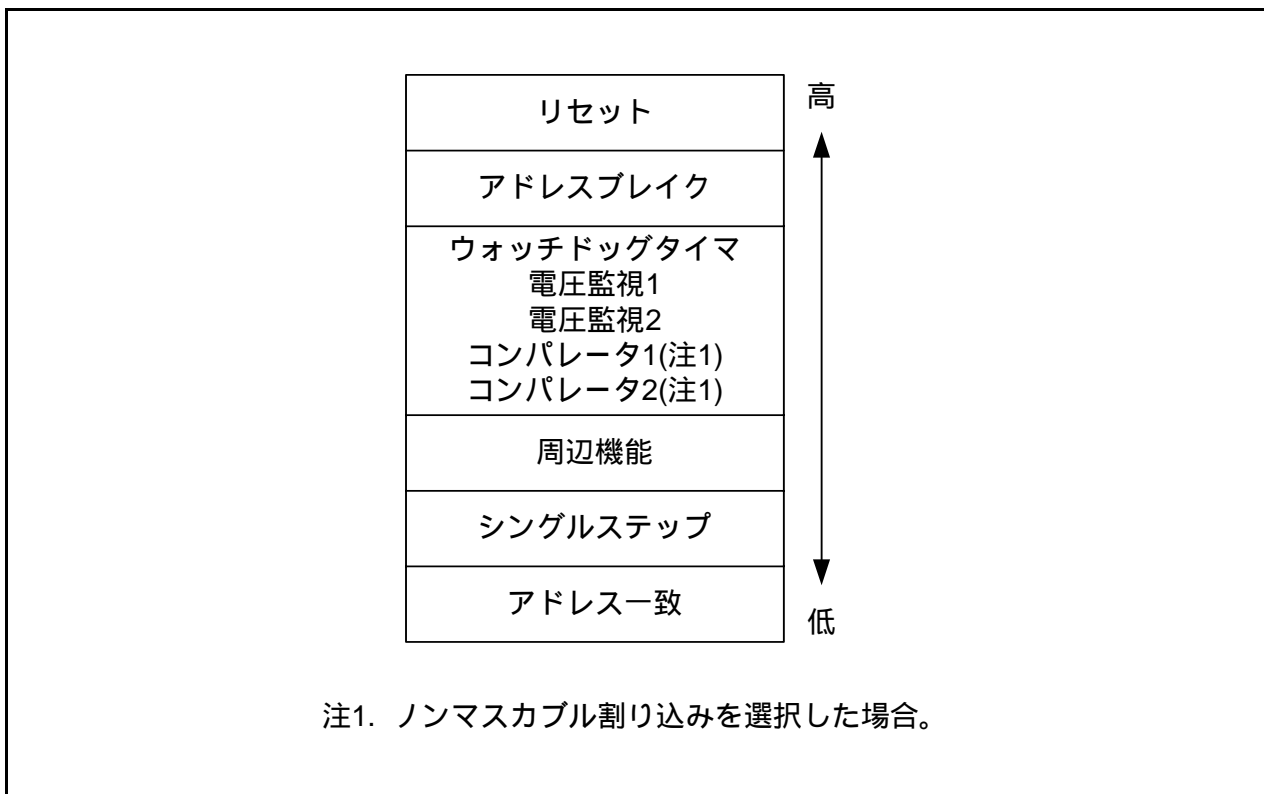


図13.9 ハードウェア割り込みの割り込み優先順位

13.1.6.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
 図 13.10に割り込み優先レベルの判定回路を示します。

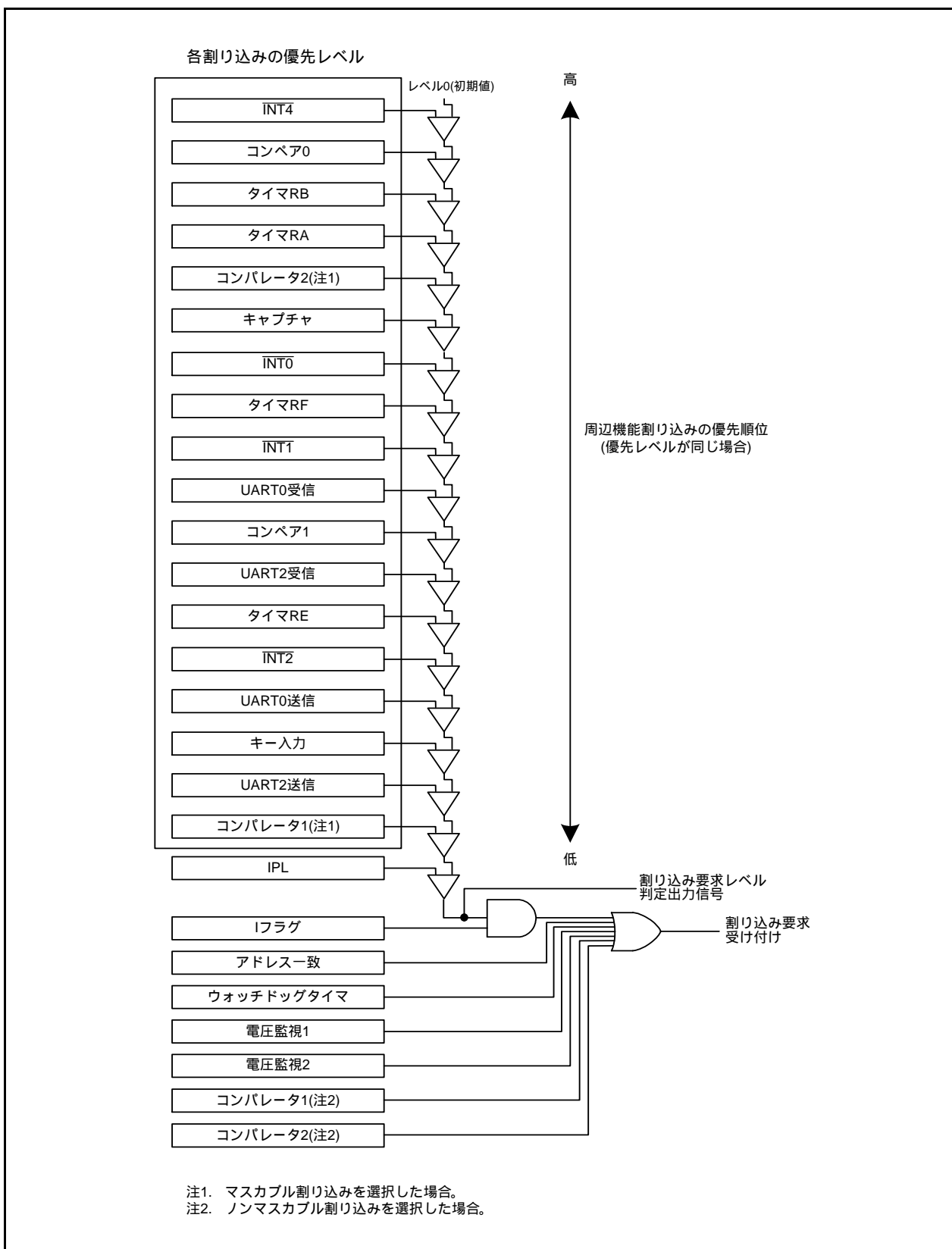


図 13.10 割り込み優先レベルの判定回路

13.2 INT割り込み

13.2.1 INT_i割り込み (i=0、1、2、4)

INT_i割り込みはINT_i入力による割り込みです。表13.6にINT割り込みの端子構成を示します。INT_i割り込みを使用するときは、INTENレジスタおよびINTEN2レジスタのINT_iENビット“1”(許可)にしてください。極性をINTENレジスタおよびINTEN2レジスタのINT_iPLビットと、INT_iICレジスタのPOLビットで選択できます。

また、3種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

図13.11にINTENレジスタを、図13.12にINTFレジスタを、図13.13にINTEN2レジスタを、図13.14にINTF2レジスタを示します。

表13.6 INT割り込みの端子構成

端子名	入出力	機能
INT0 (P4_5)	入力	INT0割り込み入力、タイマRB外部トリガ入力
INT1 (P1_5、P1_7、P3_6のいずれか(注1))	入力	INT1割り込み入力
INT2 (P3_2)	入力	INT2割り込み入力
INT4 (P0_6)	入力	INT4割り込み入力

注1. INT1端子はPMRレジスタのINT1SELビット、TRAI0CレジスタのTIOSELビットで選択できます。詳細は「8. I/Oポート」を参照してください。

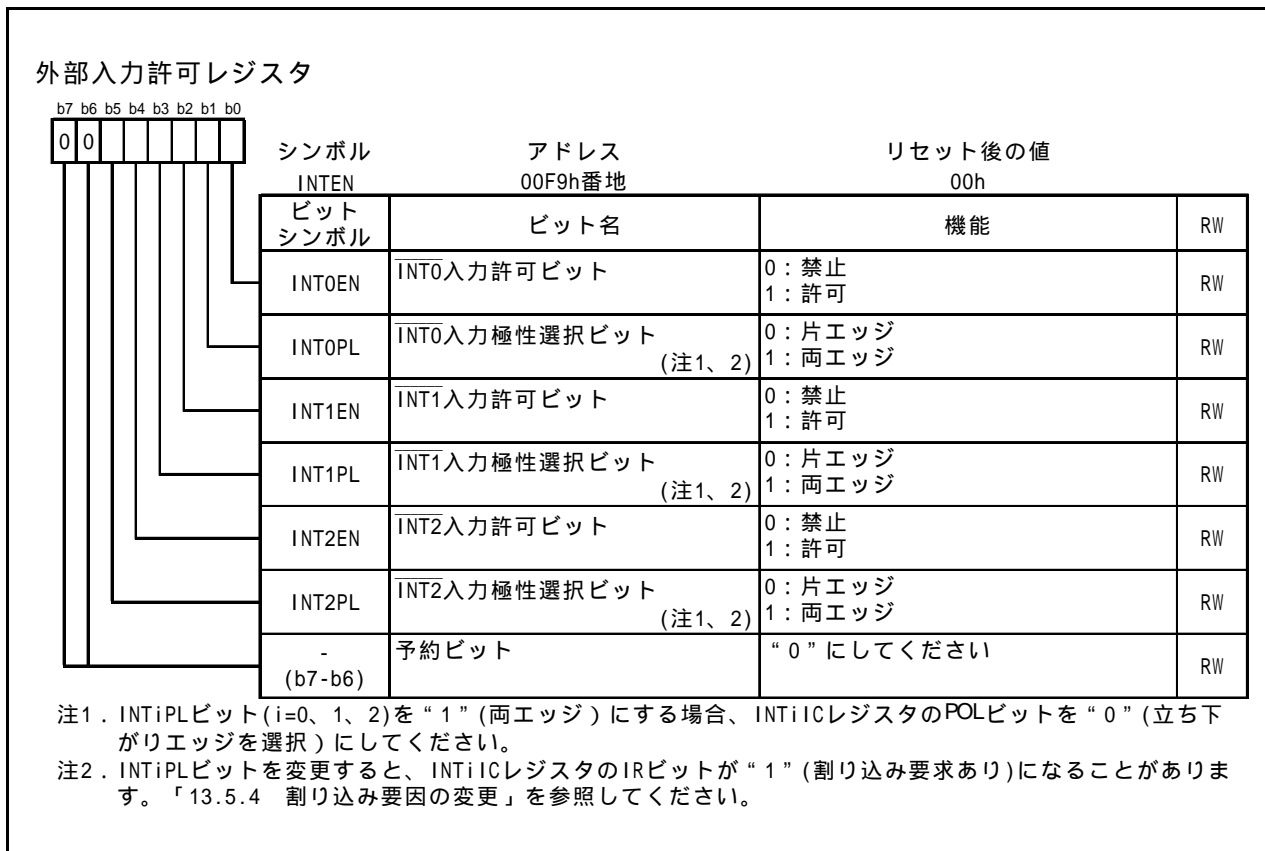


図13.11 INTENレジスタ

INT入力フィルタ選択レジスタ

シンボル	アドレス	リセット後の値	
INTF	00FAh番地	00h	
ビット シンボル	ビット名	機能	RW
INT0F0	INT0入力フィルタ選択ビット	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
INT0F1			RW
INT1F0	INT1入力フィルタ選択ビット	b3 b2 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
INT1F1			RW
INT2F0	INT2入力フィルタ選択ビット	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	RW
INT2F1			RW
- (b7-b6)	予約ビット	"0" にしてください	RW

図 13.12 INTFレジスタ

外部入力許可レジスタ2

シンボル	アドレス	リセット後の値	
INTEN2	02FD番地	00h	
ビット シンボル	ビット名	機能	RW
INT4EN	INT4入力許可ビット	0 : 禁止 1 : 許可	RW
INT4PL	INT4入力極性選択ビット (注1、2)	0 : 片エッジ 1 : 両エッジ	RW
- (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		-

注1. INT4PLビットを“1” (両エッジ) にする場合、INT4ICレジスタのPOLビットを“0” (立ち下がりエッジを選択) にしてください。

注2. INT4PLビットを変更すると、INT4ICレジスタのIRビットが“1” (割り込み要求あり) になることがあります。「13.5.4 割り込み要因の変更」を参照してください。

図 13.13 INTEN2レジスタ

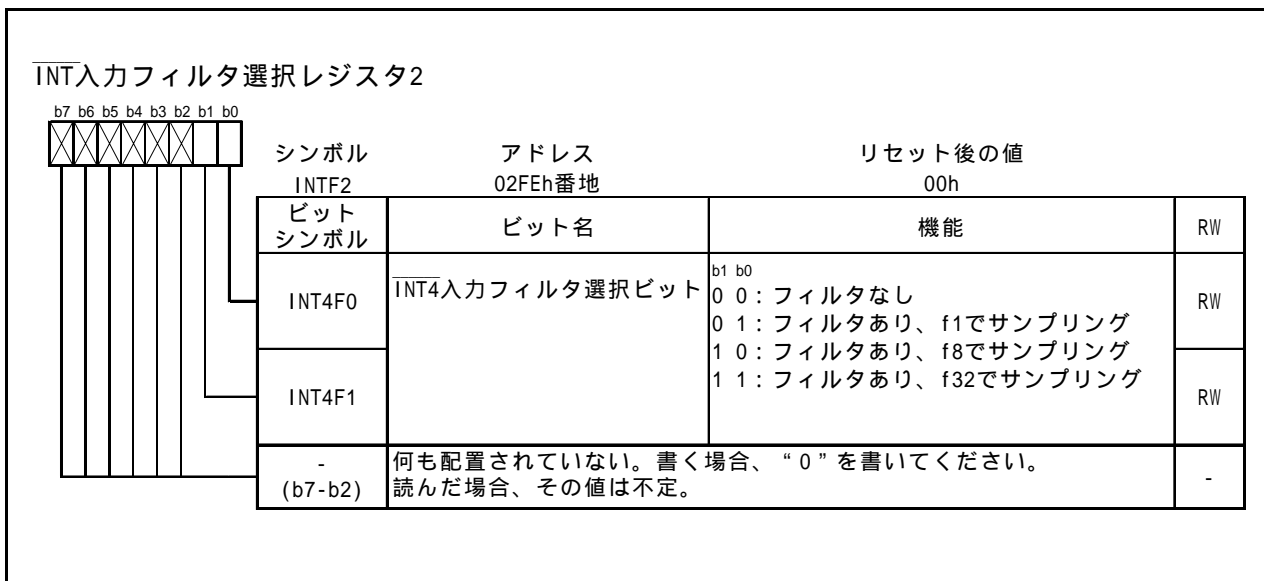


図 13.14 INTF2レジスタ

13.2.2 $\overline{\text{INTi}}$ 入力フィルタ (i=0、1、2、4)

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックはINTFレジスタおよびINTF2レジスタのINTiF0 ~ INTiF1ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、INTiICレジスタのIRビットが1 (割り込み要求あり) になります。

図 13.15 に $\overline{\text{INTi}}$ 入力フィルタの構成を、図 13.16 に $\overline{\text{INTi}}$ 入力フィルタ動作例を示します。

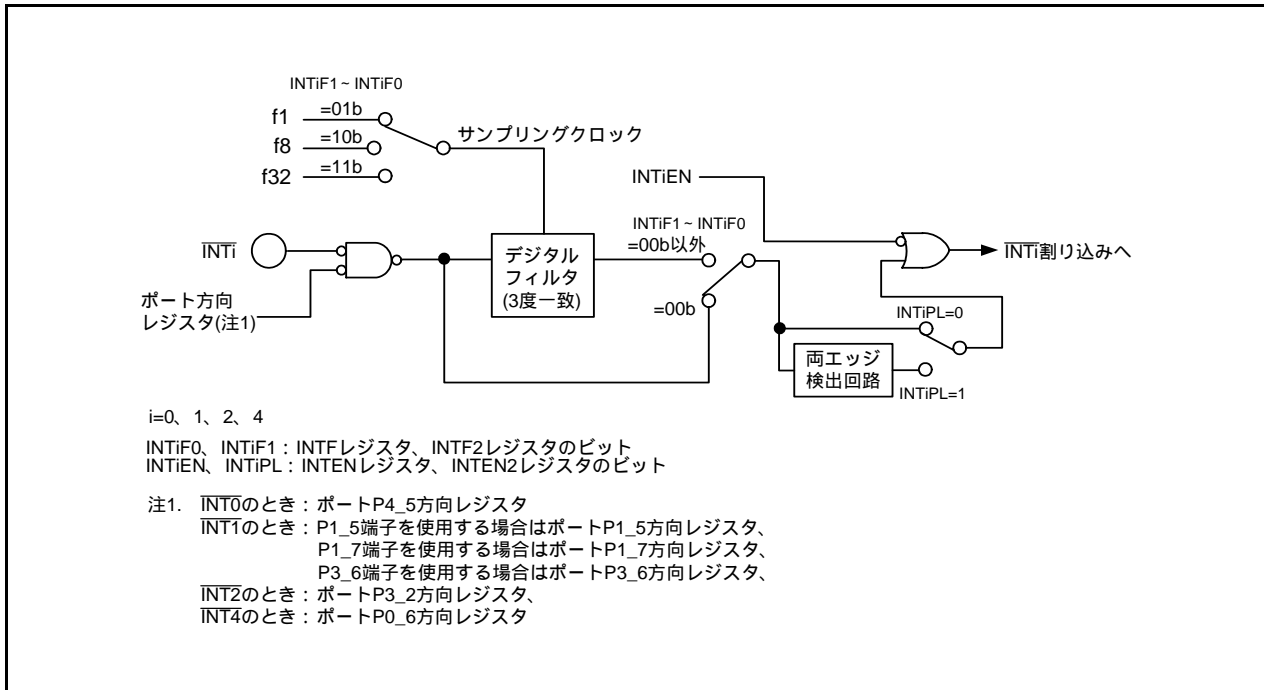


図 13.15 $\overline{\text{INTi}}$ 入力フィルタの構成

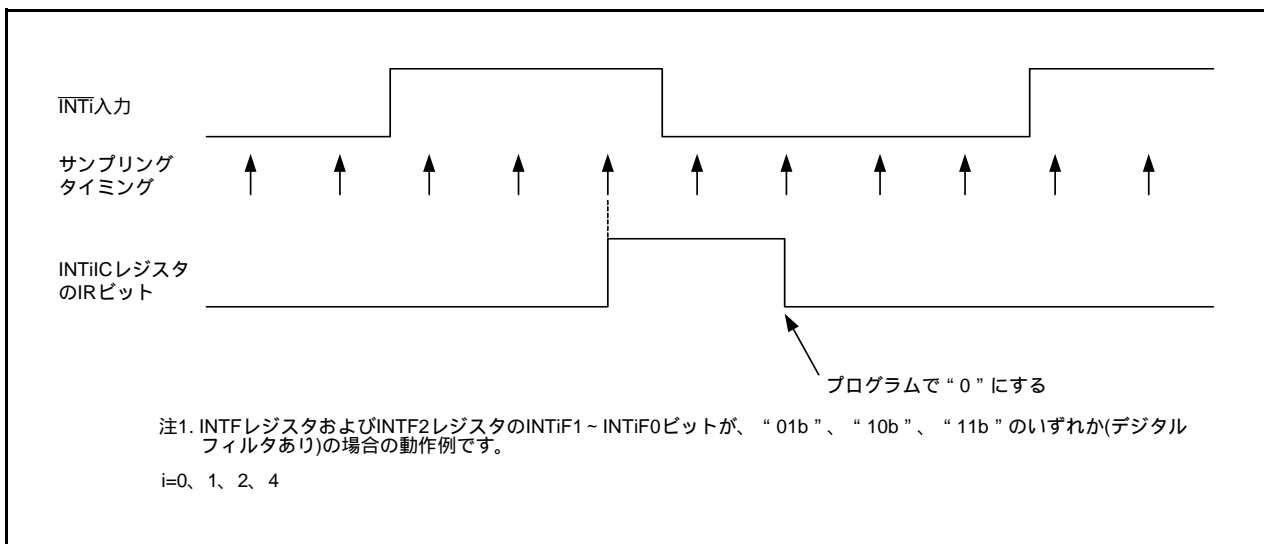


図 13.16 $\overline{\text{INTi}}$ 入力フィルタ動作例

13.3 キー入力割り込み

KI0 ~ KI3端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。表13.7にキー入力割り込みの端子構成を示します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタのKIiENビット($i = 0 \sim 3$)で、端子をKIi入力として使用するかどうかを選択できます。また、KIENレジスタのKIiPLビットで入力極性を選択できます。

なお、KIiPLビットを“0”(立ち上がりエッジ)にしているKIi端子に“L”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。同様に、KIiPLビットを“1”(立ち上がりエッジ)にしているKIi端子に“H”を入力していると、他のKI0 ~ KI3端子の入力は割り込みとして検知されません。

図13.17にキー入力割り込みのブロック図を、図13.18にKIENレジスタを示します。

表13.7 キー入力割り込みの端子構成

端子名	入出力	機能
KI0 (P0_7またはP1_0(注1))	入力	KI0入力
KI1 (P1_1またはP6_6(注2))	入力	KI1入力
KI2 (P1_2)	入力	KI2入力
KI3 (P1_3)	入力	KI3入力

注1. KI0端子はPINSR4レジスタのKI0SELビットで選択できます。詳細は「8. I/Oポート」を参照してください。

注2. KI1端子はPINSR4レジスタのKI1SELビットで選択できます。詳細は「8. I/Oポート」を参照してください。

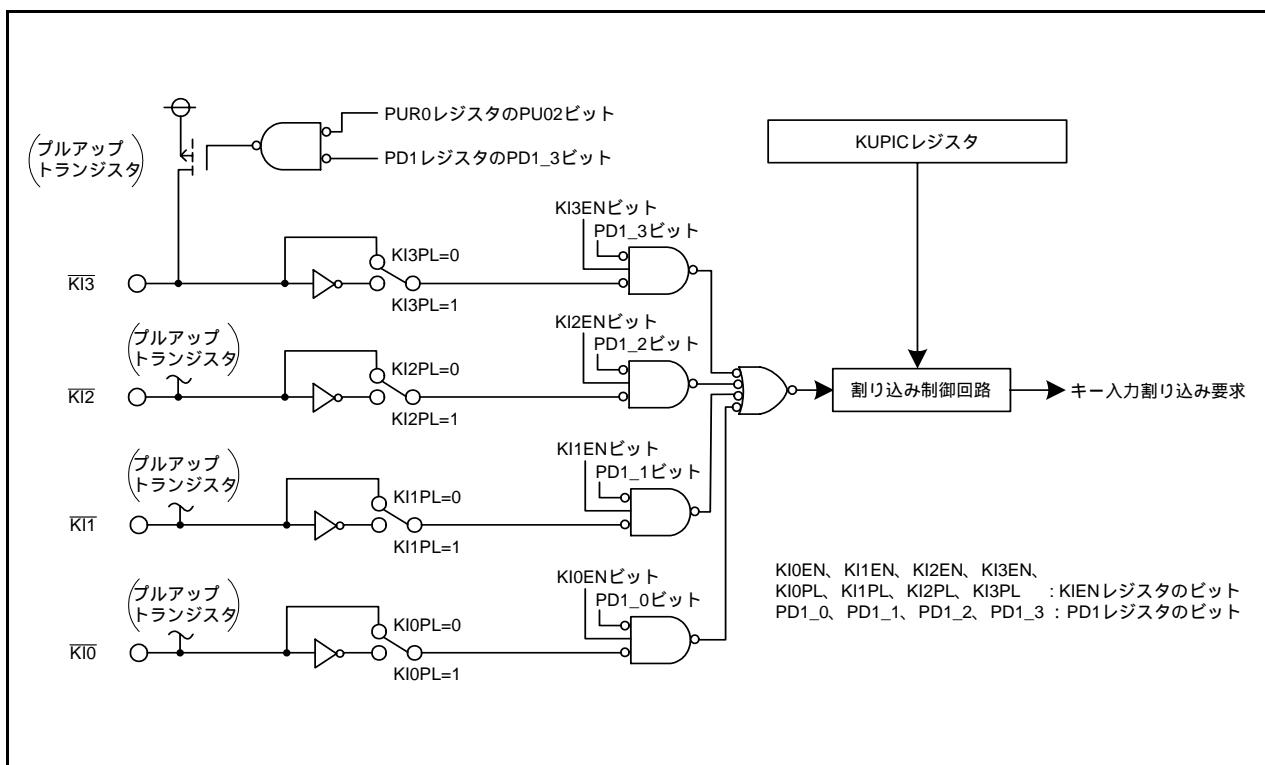


図13.17 キー入力割り込みのブロック図

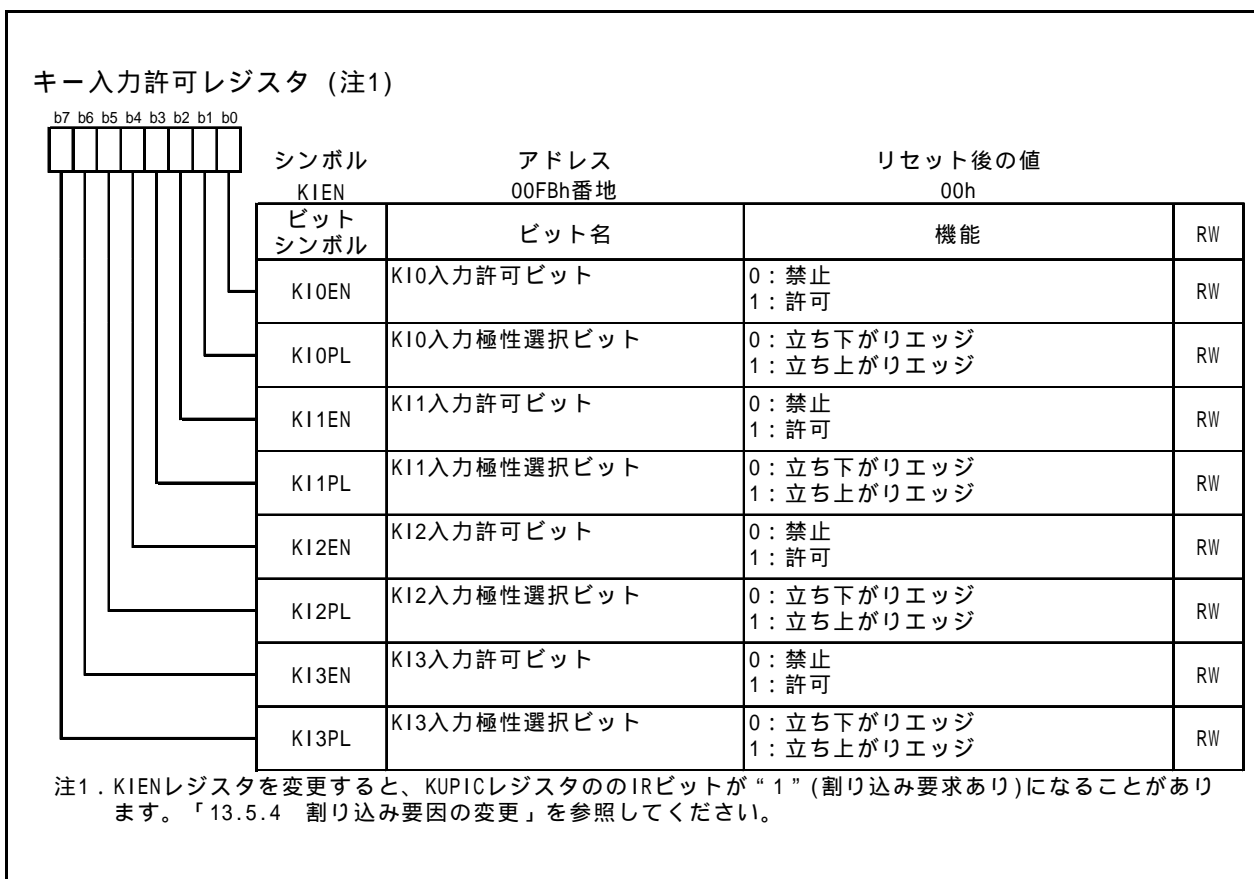


図 13.18 K1ENレジスタ

13.4 アドレス一致割り込み

RMADi(i=0 ~ 1)レジスタで示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)を設定しないでください。

RMADi(i=0 ~ 1)には命令の先頭番地を設定してください。割り込みの禁止または許可はAIER0レジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、IフラグやIPLの影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「13.1.6.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- ・スタックの内容を書き換えてREIT命令で復帰する
- ・スタックをPOP命令などを使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表 13.8 にアドレス一致割り込み要求受け付け時に退避されるPCの値を、表 13.9 にアドレス一致割り込み要因と関連レジスタの対応を、図 13.19 にAIER、RMAD0 ~ RMAD1レジスタを示します。

表 13.8 アドレス一致割り込み要求受け付け時に退避されるPCの値

RMADiレジスタ (i=0 ~ 1) で示される番地の命令	退避されるPCの値 (注1)
・オペコードが2バイトの命令 (注2) ・オペコードが1バイトの命令 (注2) ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest (ただし、dest = A0 または A1)	RMADiレジスタで示される番地 +2
上記以外	RMADiレジスタで示される番地 +1

注1. 退避されるPCの値:「13.1.6.7 レジスタ退避」参照。

注2. オペコード:「R8C/Tinyシリーズソフトウェアマニュアル(RJJ09B0002)」参照。

「第4章 命令コード/サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表 13.9 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

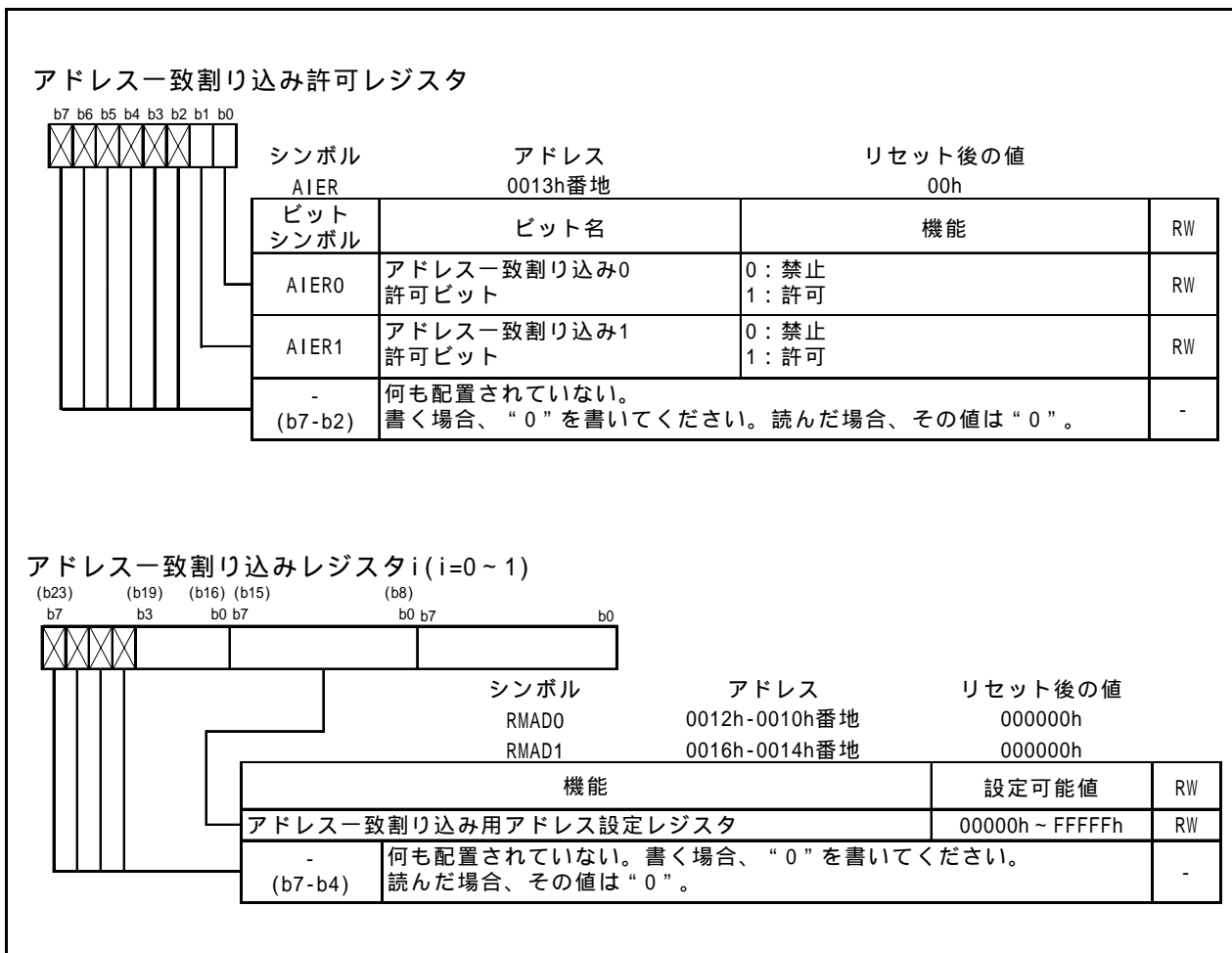


図 13.19 AIER、RMAD0 ~ RMAD1レジスタ

13.5 割り込み使用上の注意

13.5.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

13.5.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

13.5.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT2}}$ 、 $\overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力($i = 0, 1, 2, 4$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表22.17($V_{cc} = 5V$)、表22.23($V_{cc} = 3V$)、表22.29($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力($i = 0, 1, 2, 4$)」を参照。

13.5.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 13.20に割り込み要因の変更手順例を示します。

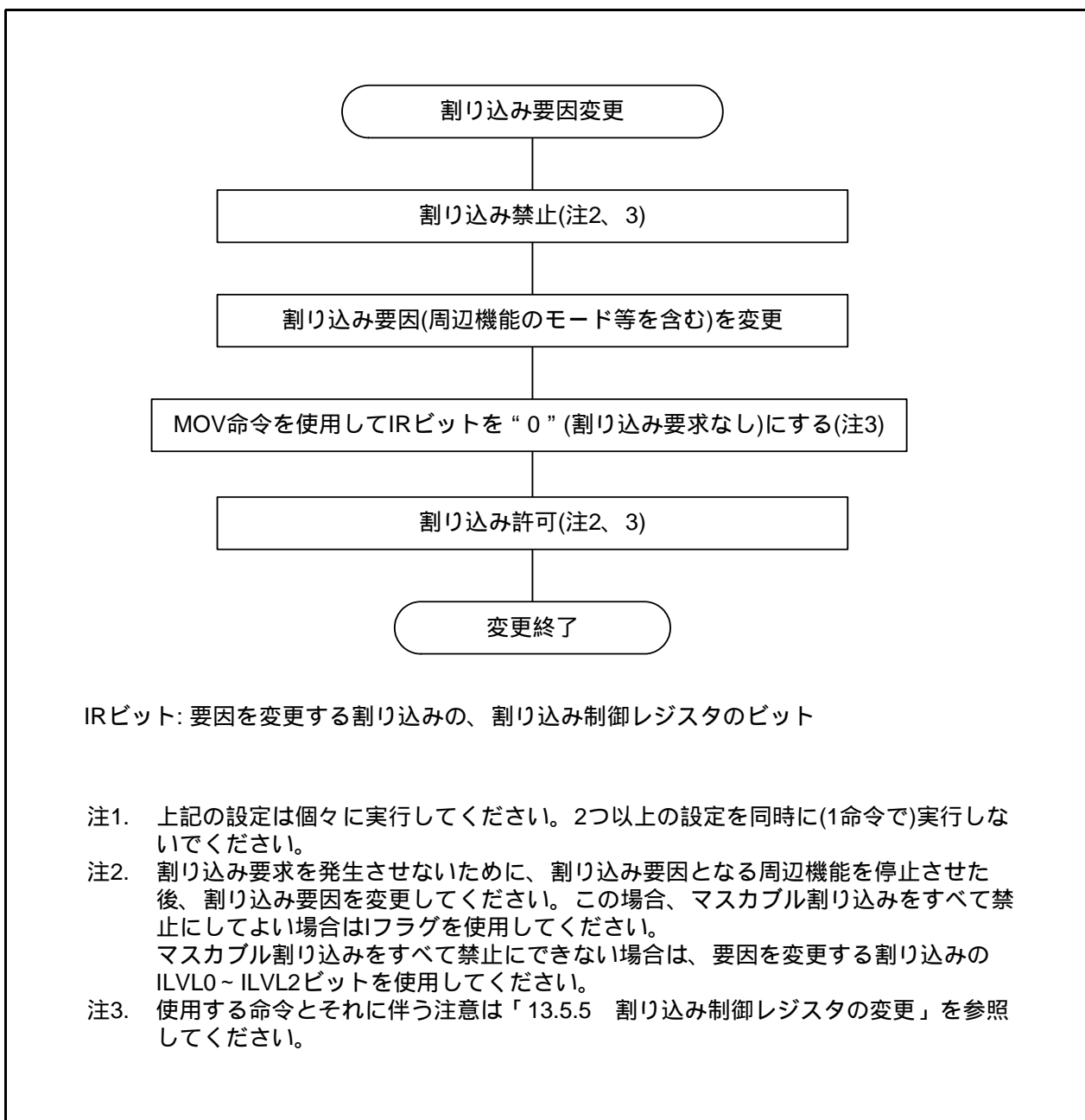


図 13.20 割り込み要因の変更手順例

13.5.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。
- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0         ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H     ; TRAICレジスタを“00h”にする
  POPC    FLG             ; 割り込み許可
```

14. IDコード領域

14.1 概要

IDコード領域は、標準シリアル入出力モードでフラッシュメモリ書き換え禁止機能に使用します。フラッシュメモリ書き換え禁止機能は、フラッシュメモリの読み出し、書き換え、消去を禁止します。

IDコード領域は固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFE7h、0FFE8h、0FFE9h、0FFF3h、0FFF7h、0FFF8h 番地です。図 14.1にIDコード領域を示します。

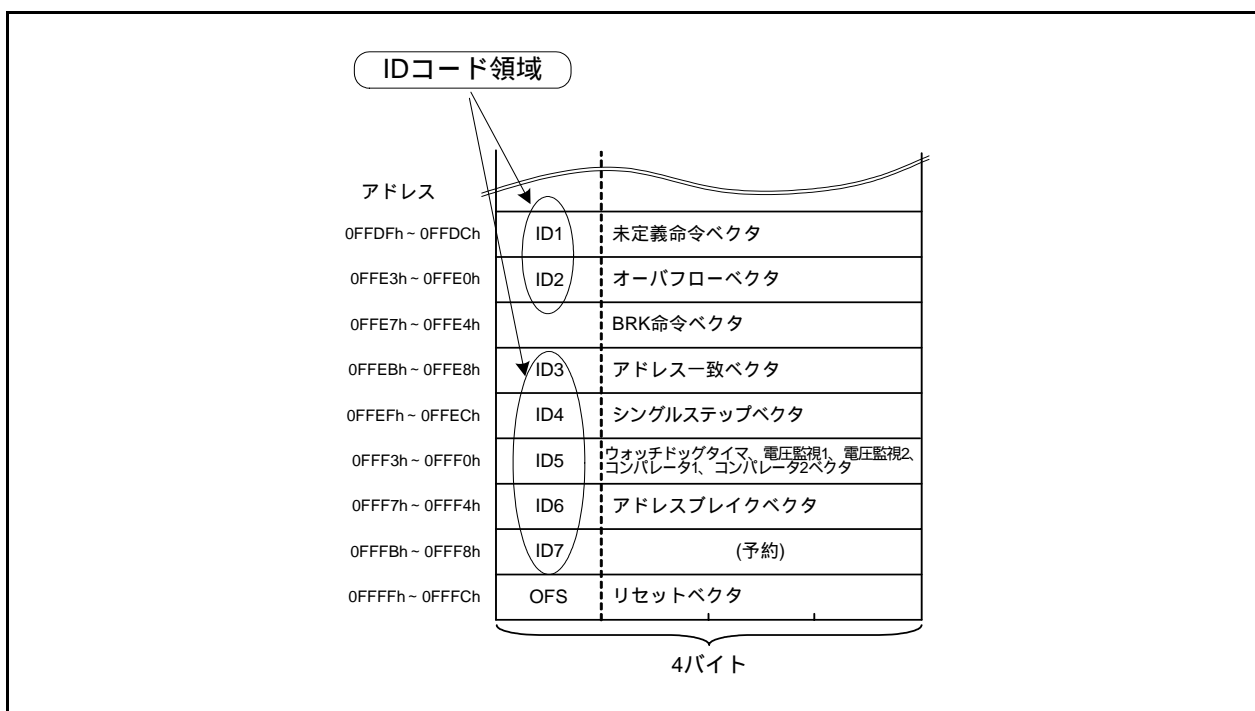


図 14.1 IDコード領域

14.2 機能

IDコード領域は標準シリアル入出力モードで使用します。標準シリアル入出力モードでリセットベクタの3バイト(0FFFCh ~ 0FFFCh番地)が“FFFFFFh”ではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

IDコード領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。

14.3 IDコード領域使用上の注意

14.3.1 IDコード領域の設定例

IDコード領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h) ; UND
.lword dummy | (55000000h) ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h) ; ADDRESS MATCH
.lword dummy | (55000000h) ; SET SINGLE STEP
.lword dummy | (55000000h) ; WDT
.lword dummy | (55000000h) ; ADDRESS BREAK
.lword dummy | (55000000h) ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

15. オプション機能選択領域

15.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh番地がオプション機能選択領域です。図 15.1 にオプション機能選択領域を示します。

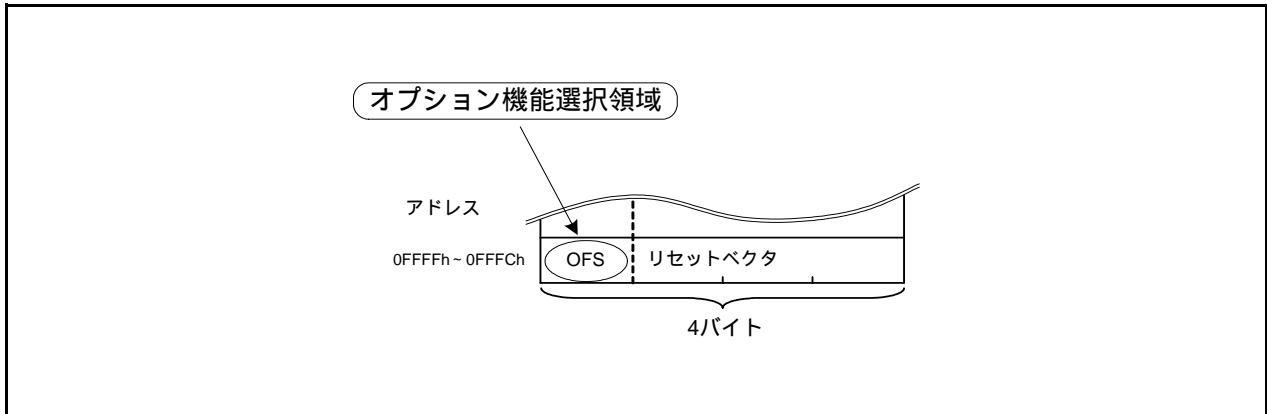


図 15.1 オプション機能選択領域

15.2 OFSレジスタ

OFSレジスタは、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択するレジスタです。図 15.2にOFSレジスタを示します。

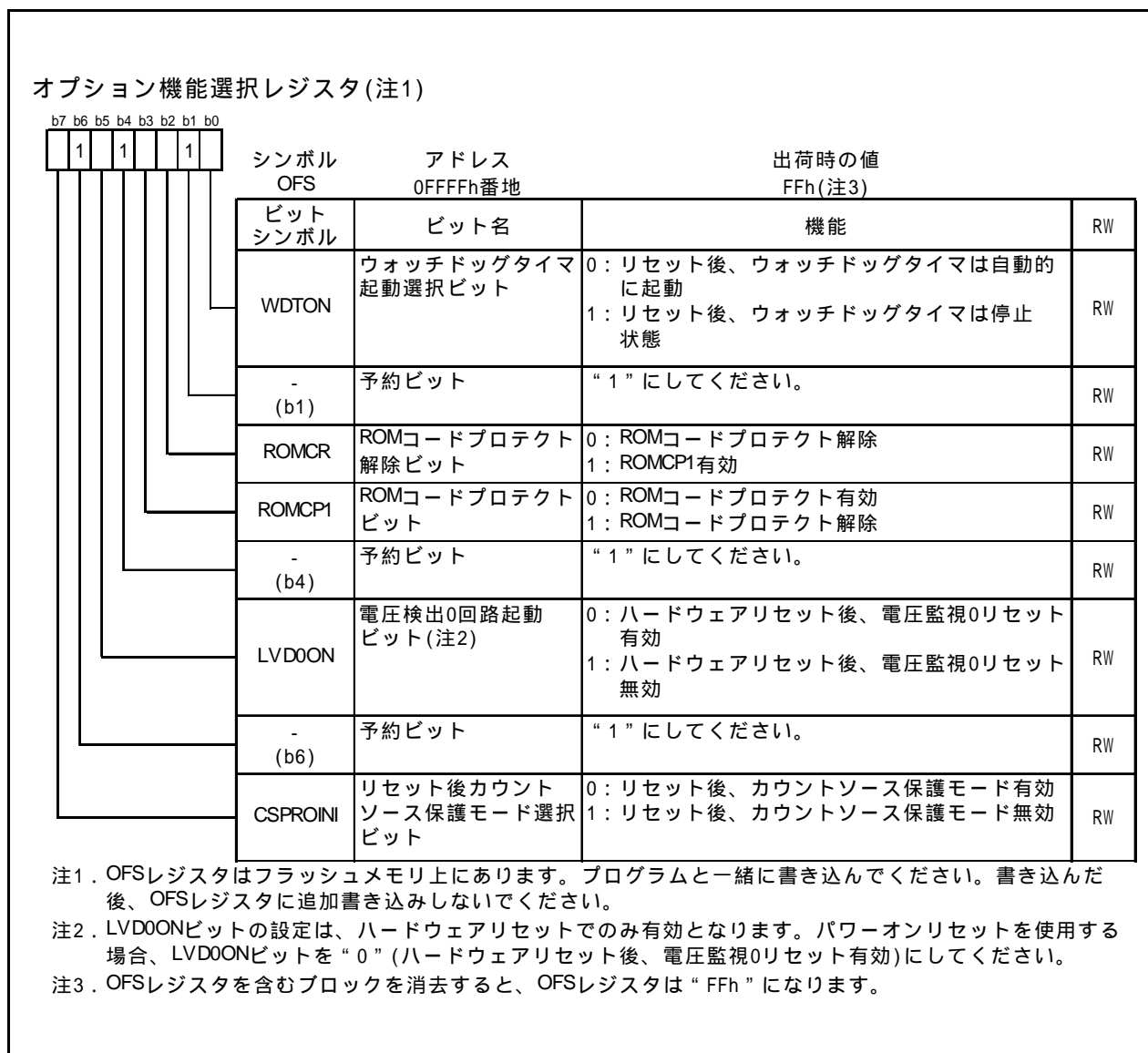


図 15.2 OFSレジスタ

15.3 オプション機能選択領域使用上の注意

15.3.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

16. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

ウォッチドッグタイマは15ビットのカウンタを持ち、カウントソース保護モードの有効、無効を選択できます。

表16.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「5.6 ウォッチドッグタイマリセット」を参照してください。

図16.1にウォッチドッグタイマのブロック図を、図16.2にWDTR、WDTS、WDCレジスタを、図16.3にCSPR、OFSレジスタを示します。

表16.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時		カウントソース保護モード有効時
カウントソース	CPUクロック	XCINクロックの 32分周クロック (fC32)	低速オンチップオシレータクロック
カウント動作	ダウンカウント		
カウント開始条件	次のいずれかを選択可能 <ul style="list-style-type: none"> リセット後、自動的にカウントを開始 WDTSレジスタへの書き込みによりカウントを開始 		
カウント停止条件	ストップモード、 ウェイトモード	ストップモード	なし
ウォッチドッグタイマ 初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー 		
アンダフロー時の動作	ウォッチドッグタイマ割り込み、または ウォッチドッグタイマリセット		ウォッチドッグタイマリセット
選択機能	<ul style="list-style-type: none"> プリスケアラの分周比(カウントソースにCPUクロック選択時) WDCレジスタのWDC7ビットで選択 ウォッチドッグタイマの初期値(カウントソースにfC32選択時) CSPRレジスタのCVS0～CVS1ビットで選択 カウントソース保護モード リセット後に有効か無効かはOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択、リセット後無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 		

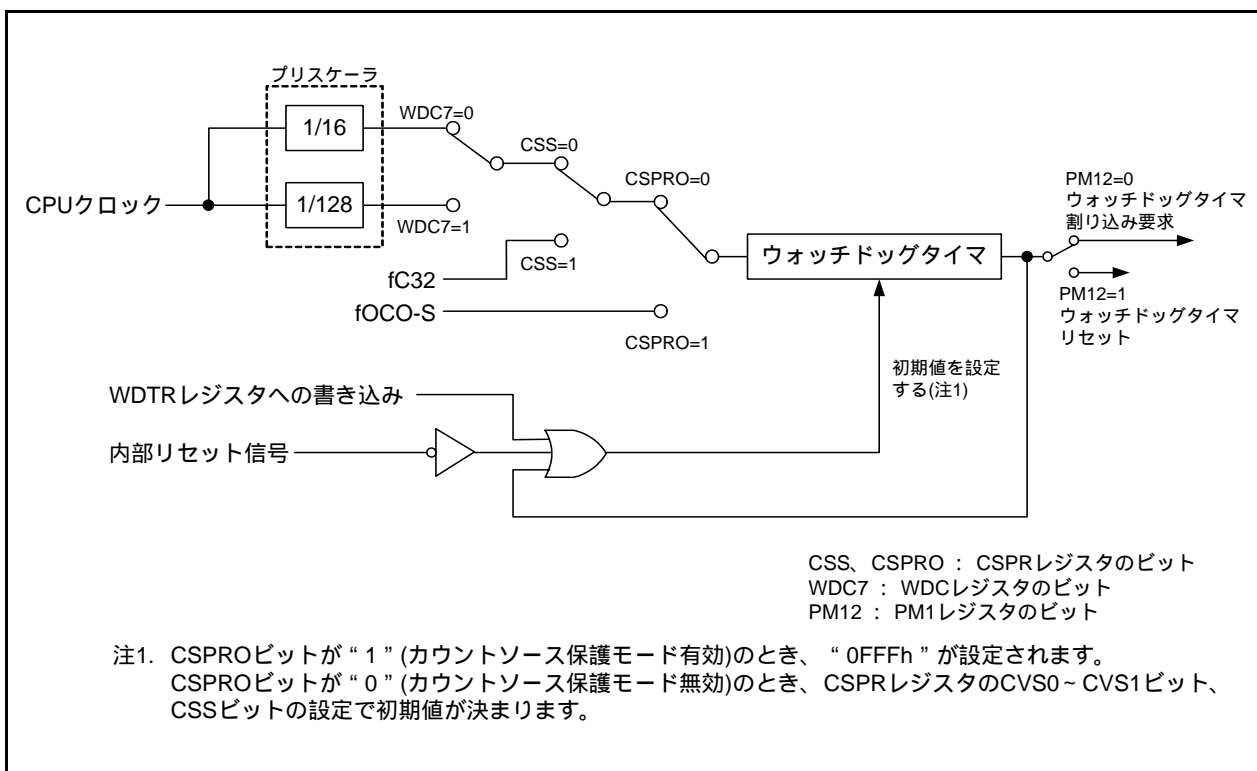
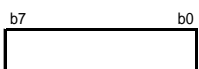


図16.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマリセットレジスタ

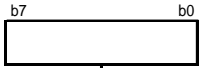


シンボル	アドレス	リセット後の値	
WDTR	000Dh番地	不定	
機能			RW
“00h”を書いて、続いて“FFh”を書くと、ウォッチドッグタイマは初期化される。(注1) ウォッチドッグタイマの初期値は、CSPRレジスタの設定で決まる。			
CSPRレジスタ			
CSPRO	CSS	CVS1	CVS0
0	0	X	X
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1(注2)	X	X	X
初期値			
7FFFh			
01FFh			
03FFh			
07FFh			
0FFFh			
0FFFh			
			WO

X: “0”または“1”

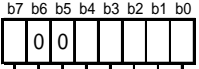
注1. “00h”の書き込みと、“FFh”の書き込みの間に、割り込みを発生させないでください。
 注2. CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると、ウォッチドッグタイマに“0FFFh”が設定されます。

ウォッチドッグタイマスタートレジスタ



シンボル	アドレス	リセット後の値	
WDTS	000Eh番地	不定	
機能			RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマはスタートする。			
			WO

ウォッチドッグタイマ制御レジスタ



シンボル	アドレス	リセット後の値	
WDC	000Fh番地	00X11111b	
ビットシンボル	ビット名	機能	RW
- (b4-b0)	ウォッチドッグタイマの上位ビット		RO
- (b5)	予約ビット	“0”にしてください。読んだ場合、その値は不定。	RW
- (b6)	予約ビット	“0”にしてください。	RW
WDC7	プリスケラ選択ビット	0: 16分周 1: 128分周	RW

図 16.2 WDTR、WDTS、WDCレジスタ

カウントソース保護モードレジスタ			
シンボル	アドレス	リセット後の値(注1)	
CSPR	001Ch番地	00h	
ビットシンボル	ビット名	機能	RW
CVS0	ウォッチドッグタイマ初期値選択ビット(注2)	b1 b0 0 0 : 01FFh(512) 0 1 : 03FFh(1024) 1 0 : 07FFh(2048) 1 1 : 0FFFh(4096)	RW
CVS1			RW
CSS	カウントソース選択ビット(注3)	0 : CPUクロック 1 : fC32	RW
- (b6-b3)	何も配置されていない。書く場合は“0”を書いてください。読んだ場合、その値は“0”。		-
CSPRO	カウントソース保護モード選択ビット(注4)	0 : カウントソース保護モード無効 1 : カウントソース保護モード有効	RW

注1. OFSレジスタのCSPROINIビットに“0”を書いたとき、リセット後の値は“10000000b”になります。

注2. CSSビットが“1”(fC32)のとき、CVS0～CVS1ビットは有効になります。

注3. CSPROビットが“0”(カウントソース保護モード無効)のとき、CSSビットは有効になります。

注4. CSPROビットを“1”にするためには、“0”を書いた後、続いて“1”を書いてください。プログラムでは“0”にできません。

オプション機能選択レジスタ(注1)			
シンボル	アドレス	出荷時の値	
OFS	0FFFh番地	FFh(注3)	
ビットシンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ起動選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	RW
- (b1)	予約ビット	“1”にしてください。	RW
ROMCR	ROMコードプロテクト解除ビット	0 : ROMコードプロテクト解除 1 : ROMCP1有効	RW
ROMCP1	ROMコードプロテクトビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	RW
- (b4)	予約ビット	“1”にしてください。	RW
LVD0ON	電圧検出0回路起動ビット(注2)	0 : ハードウェアリセット後、電圧監視0リセット有効 1 : ハードウェアリセット後、電圧監視0リセット無効	RW
- (b6)	予約ビット	“1”にしてください。	RW
CSPROINI	リセット後カウントソース保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. LVD0ONビットの設定は、ハードウェアリセットでのみ有効となります。パワーオンリセットを使用する場合、LVD0ONビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図16.3 CSPR、OFSレジスタ

16.1 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロック、またはXCINクロックの32分周クロック (fC32) を選択できます。fC32はウェイトモード時も停止せず、ウォッチドッグタイマはカウントを継続します。

表16.2にウォッチドッグタイマの仕様(カウントソース保護モード無効時)を示します。

表16.2 ウォッチドッグタイマの仕様(カウントソース保護モード無効時)

項目	仕様	
カウントソース	CPUクロック	XCINクロックの32分周クロック (fC32)
カウント動作	ダウンカウント	
周期	$\text{プリスケアラの分周比}(n) \times \text{ウォッチドッグタイマのCPUクロック}$ × ウォッチドッグタイマのカウント値(32768)(注1、2) n : 16または128 (WDCレジスタのWDC7ビットで選択) 例 : CPUクロックが8MHzで、プリスケアラが16分周する場合、周期は約65.5ms	$\frac{32}{\text{XCINクロック}} \times \text{ウォッチドッグタイマのカウント値}(m)(\text{注1})$ m : 512、1024、2048または4096(CSPRレジスタのCVS0 ~ CVS1ビットで選択) 例 : XCINクロックが32.768kHzで、カウント値が512の場合、周期は0.5s
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー 	
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注3)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始 	
カウント停止条件	ストップモード、ウェイトモード(解除後、保持されていた値からカウントを継続)	ストップモード(解除後、保持されていた値からカウントを継続)
アンダフロー時の動作	<ul style="list-style-type: none"> PM1レジスタのPM12ビットが“0”のとき ウォッチドッグタイマ割り込み PM1レジスタのPM12ビットが“1”のとき ウォッチドッグタイマリセット(「5.6 ウォッチドッグタイマリセット」参照) 	

注1. ウォッチドッグタイマはWDTRレジスタに“00h”、続いて“FFh”を書くと初期化されます。

注2. プリスケアラはリセット後、初期化されています。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注3. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

16.2 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースは低速オンチップオシレータクロックです。プログラムの暴走時にCPUクロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表16.3にウォッチドッグタイマの仕様(カウントソース保護モード有効時)を示します。

表16.3 ウォッチドッグタイマの仕様(カウントソース保護モード有効時)

項目	仕様
カウントソース	低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(4096) 低速オンチップオシレータクロック 例：低速オンチップオシレータクロックが125 kHzの場合、周期は約32.8ms
ウォッチドッグタイマ初期化条件	<ul style="list-style-type: none"> リセット WDTRレジスタに“00h”、続いて“FFh”を書く アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注1)で選択 <ul style="list-style-type: none"> WDTONビットが“1”(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTSレジスタに書くことにより、カウントを開始 WDTONビットが“0”(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後はウェイトモードでも停止しない。ストップモードにならない。)
アンダフロー時の動作	ウォッチドッグタイマリセット(「5.6 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	<ul style="list-style-type: none"> CSPRレジスタのCSPROビットを“1”(カウントソース保護モード有効)にすると(注2)、次が自動的に設定される <ul style="list-style-type: none"> -ウォッチドッグタイマに0FFFFhを設定 -CM1レジスタのCM14ビットを“0”(低速オンチップオシレータ発振) -PM1レジスタのPM12ビットを“1”(ウォッチドッグタイマのアンダフロー時、ウォッチドッグタイマリセット) カウントソース保護モードでは、次の状態になる <ul style="list-style-type: none"> -CM1レジスタのCM10ビットへの書き込み禁止(“1”を書いても変化せず、ストップモードに移行しない) -CM1レジスタのCM14ビットへの書き込み禁止(“1”を書いても変化せず、低速オンチップオシレータは停止しない)

注1. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に“0”を書き込んでください。

注2. OFSレジスタのCSPROINIビットに“0”を書いても、CSPROビットは“1”になります。CSPROINIビットはプログラムでは変更できません。CSPROINIビットを設定する場合は、フラッシュライタで0FFFFh番地のb7に“0”を書き込んでください。

17. タイマ

タイマは、8ビットプリスケータ付き8ビットタイマを2本と、16ビットタイマを1本と、4ビットカウンタ、8ビットカウンタを持つタイマを1本内蔵しています。8ビットプリスケータ付き8ビットタイマは、タイマRA、およびタイマRBの2本です。これらのタイマはカウンタの初期値を記憶しておく、リロードレジスタを持ちます。16ビットタイマは、入力キャプチャ、アウトプットコンペアを持ったタイマRFの1本です。4ビットカウンタ、8ビットカウンタは、アウトプットコンペアを持ったタイマREです。すべてのタイマは、それぞれ独立して動作します。

表 17.1 に各タイマの機能比較を示します。

表 17.1 各タイマの機能比較

項目	タイマRA	タイマRB	タイマRE	タイマRF	
構成	8ビットプリスケアラ付8ビットタイマ (リロードレジスタ付)	8ビットプリスケアラ付8ビットタイマ (リロードレジスタ付)	4ビットカウンタ 8ビットカウンタ	16ビットタイマ (インプットキャプチャ、アウトプットコンペア付)	
カウント	ダウンカウント	ダウンカウント	アップカウント	アップカウント	
カウントソース	•f1 •f2 •f8 •fOCO •fC32	•f1 •f2 •f8 •タイマRAアンダフロー	•f4 •f8 •f32 •fC4	•f1 •f8 •f32	
機能	内部のカウントソースのカウント	タイマモード	タイマモード	-	
	外部のカウントソースのカウント	イベントカウンタモード	-	-	
	外部パルス幅/周期測定	パルス幅測定モード パルス周期測定モード	-	-	
	PWM出力	パルス出力モード(注1) イベントカウンタモード(注1)	プログラマブル波形発生モード	アウトプットコンペアモード(注1)	アウトプットコンペアモード
	ワンショット波形出力	-	プログラマブルワンショット発生モード プログラマブルウェイトワンショット発生モード	-	-
時計	タイマモード (fC32カウントのみ)	-	リアルタイムクロックモード	-	
入力端子	TRAIO	INT0	-	TRFI	
出力端子	TRA0 TRAIO	TRBO	TRE0	TRFO00 ~ TRFO02、 TRFO10 ~ TRFO12	
関連する割り込み	タイマRA割り込み INT1割り込み	タイマRB割り込み INT0割り込み	タイマRE割り込み	タイマRF割り込み コンペア0割り込み コンペア1割り込み キャプチャ割り込み	
タイマ停止	あり	あり	あり	あり	

注1. 矩形波です。オーバフローごとの反転なので、パルスの“H”と“L”レベルの幅は同じです。

17.1 タイマRA

タイマRAは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されており、TRAPREレジスタ、TRAレジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます(表 17.2 ~ 表 17.6の各モードの仕様を参照)。

タイマRAのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 17.1にタイマRAのブロック図を、図 17.2、図 17.3にタイマRA関連のレジスタを示します。タイマRAは、次の5種類のモードを持ちます。

- タイマモード 内部カウントソースをカウントするモード
- パルス出力モード 内部カウントソースをカウントし、タイマのアンダフローで極性を反転したパルスを出力するモード
- イベントカウンタモード 外部パルスを入力してカウントするモード
- パルス幅測定モード 外部パルスのパルス幅を測定するモード
- パルス周期測定モード 外部パルスのパルス周期を測定するモード

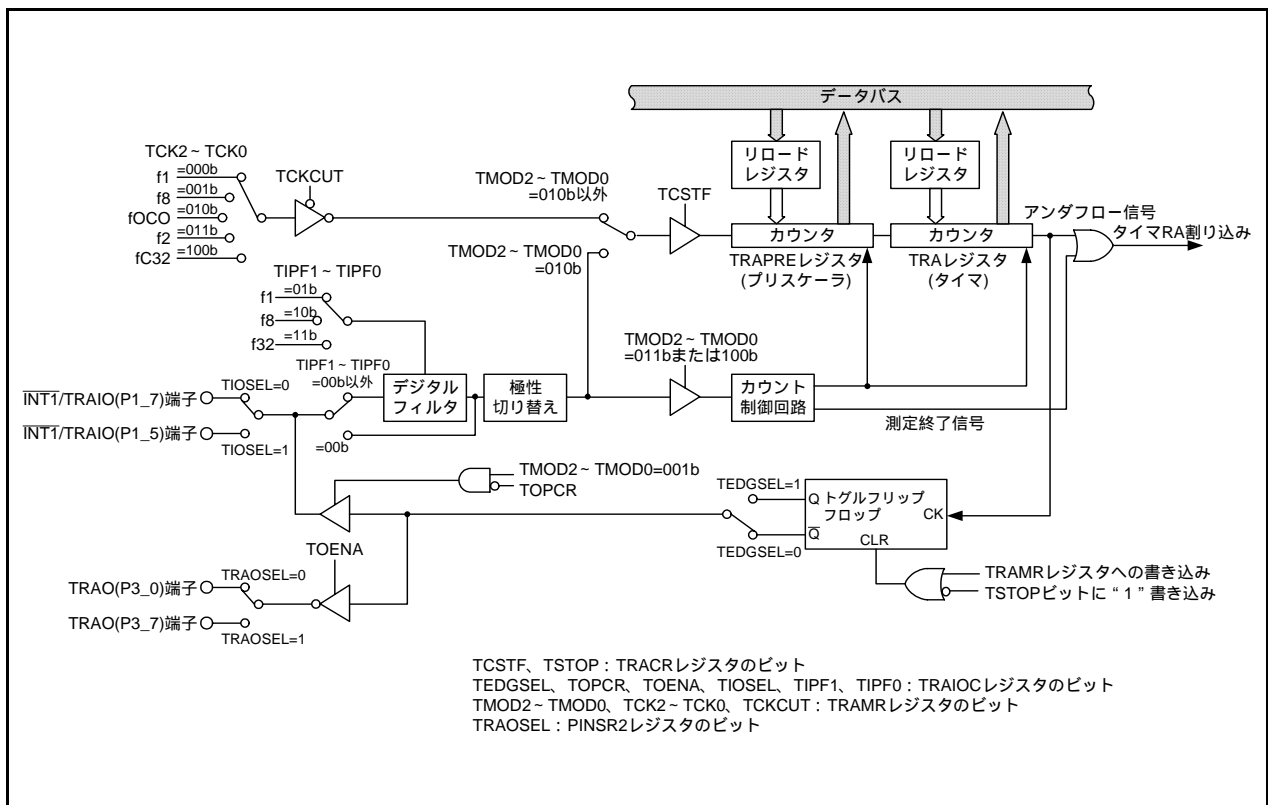


図 17.1 タイマRAのブロック図

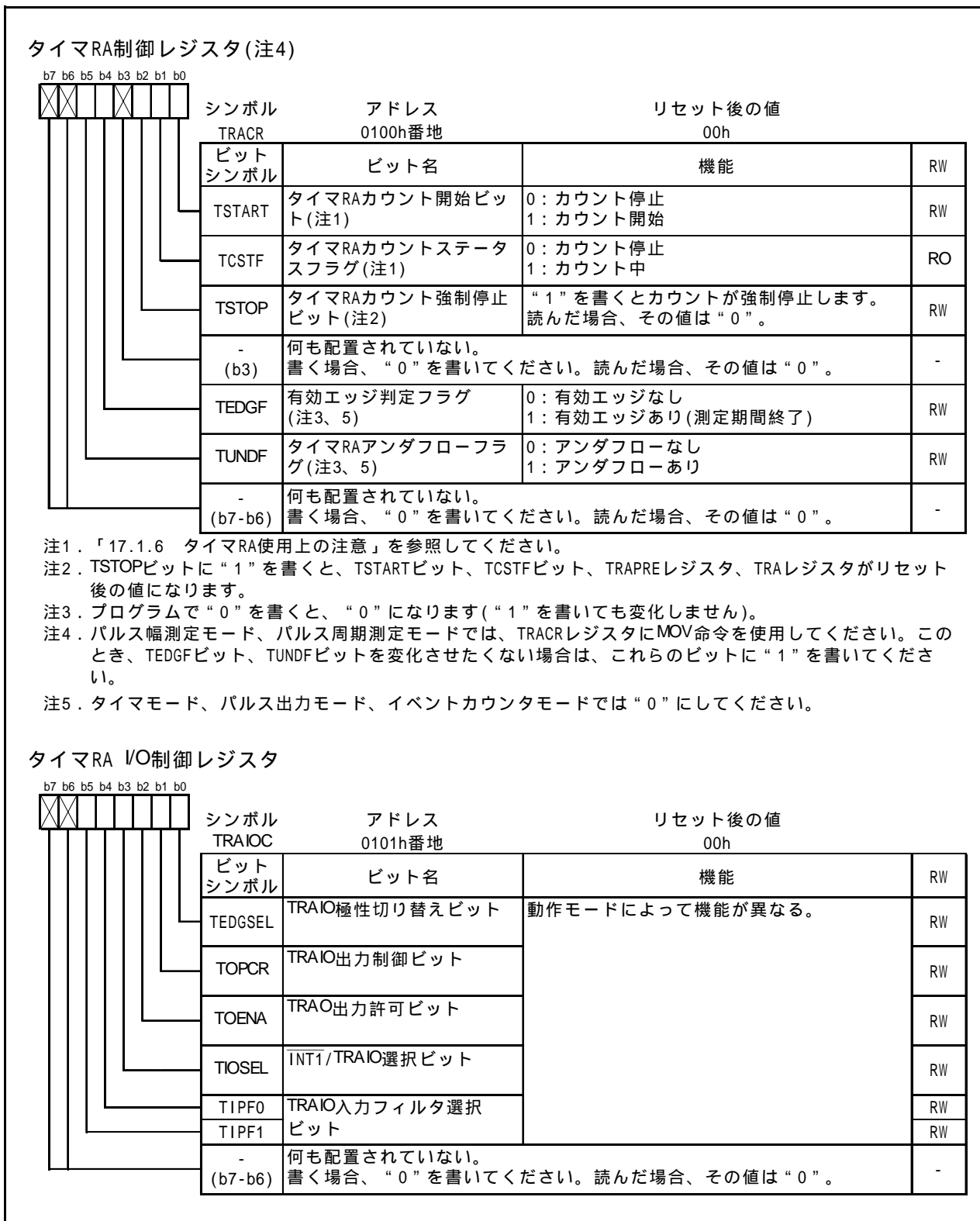


図 17.2 TRACR、TRAIIOC レジスタ

タイマRAモードレジスタ(注1)

シンボル	アドレス	リセット後の値	
TRAMR	0102h番地	00h	
ビットシンボル	ビット名	機能	RW
TMOD0	タイマRA動作モード選択ビット	b2 b1 b0 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウンタモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード 1 0 1: } 設定しないでください 1 1 0: } 1 1 1: }	RW
TMOD1			RW
TMOD2			RW
- (b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TCK0	タイマRAカウントソース選択ビット	b6 b5 b4 0 0 0: f1 0 0 1: f8 0 1 0: fOCO 0 1 1: f2 1 0 0: fC32 1 0 1: } 設定しないでください 1 1 0: } 1 1 1: }	RW
TCK1			RW
TCK2			RW
TCKCUT	タイマRAカウントソース遮断ビット	0: カウントソース供給 1: カウントソース遮断	RW

注1. TRACRレジスタのTSTARTビットとTCSTFビットがともに“0”(カウント停止)のときに変更してください。

タイマRAプリスケアラレジスタ

シンボル	アドレス	リセット後の値	
TRAPRE	0103h番地	FFh(注1)	
モード	機能	設定範囲	RW
タイマモード	内部カウントソースをカウント	00h ~ FFh	RW
パルス出力モード	内部カウントソースをカウント	00h ~ FFh	RW
イベントカウンタモード	外部カウントソースをカウント	00h ~ FFh	RW
パルス幅測定モード	内部カウントソースをカウント	00h ~ FFh	RW
パルス周期測定モード	内部カウントソースをカウント	00h ~ FFh	RW

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAPREレジスタは“FFh”になります。

タイマRAレジスタ

シンボル	アドレス	リセット後の値	
TRA	0104h番地	FFh(注1)	
モード	機能	設定範囲	RW
全モード	タイマRAプリスケアラレジスタのアンダフローをカウント	00h ~ FFh	RW

注1. TRACRレジスタのTSTOPビットに“1”を書くとTRAレジスタは“FFh”になります。

図 17.3 TRAMR、TRAPRE、TRAレジスタ

17.1.1 タイマモード

内部で生成されたカウントソースをカウントするモードです(表 17.2)。

図 17.4にタイマモード時のTRAIOCレジスタを示します。

表 17.2 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32
カウント動作	<ul style="list-style-type: none"> ダウンカウント アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPREレジスタの設定値、m : TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
INT1/TRAIO端子機能	プログラマブル入出力ポート、またはINT1割り込み入力
TRAIO端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる(「17.1.1.1 カウント中のタイマ書き込み制御」参照)

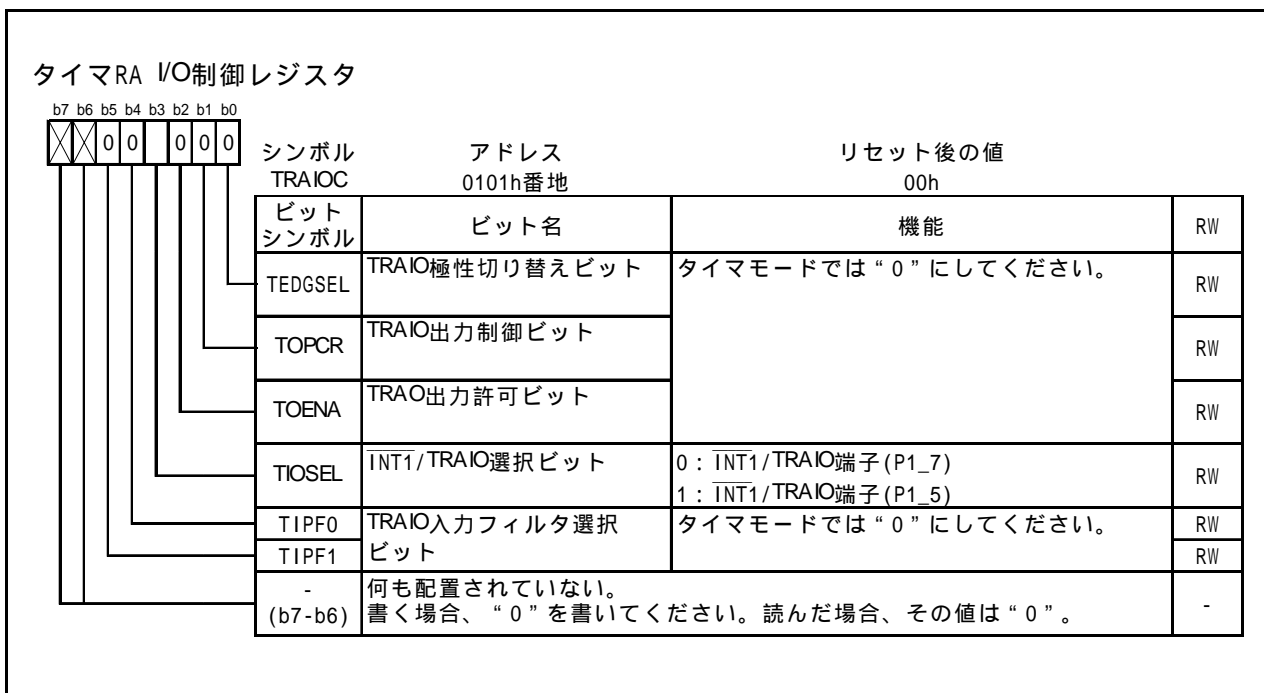


図 17.4 タイマモード時のTRAIOCレジスタ

17.1.1.1 カウント中のタイマ書き込み制御

タイマRAはプリスケータと、タイマ(プリスケータのアンダフローをカウントする狭義のタイマ)を持ち、それぞれにリロードレジスタとカウンタがあります。プリスケータやタイマに書き込む場合、リロードレジスタとカウンタの両方に値が書き込まれます。

しかし、プリスケータのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケータのアンダフローに同期して値を転送します。このため、カウント中にプリスケータやタイマに書き込むと、書き込み命令実行後すぐにはカウンタの値が更新されません。図 17.5にタイマRA カウント中にカウント値を書き換えた場合の動作例を示します。

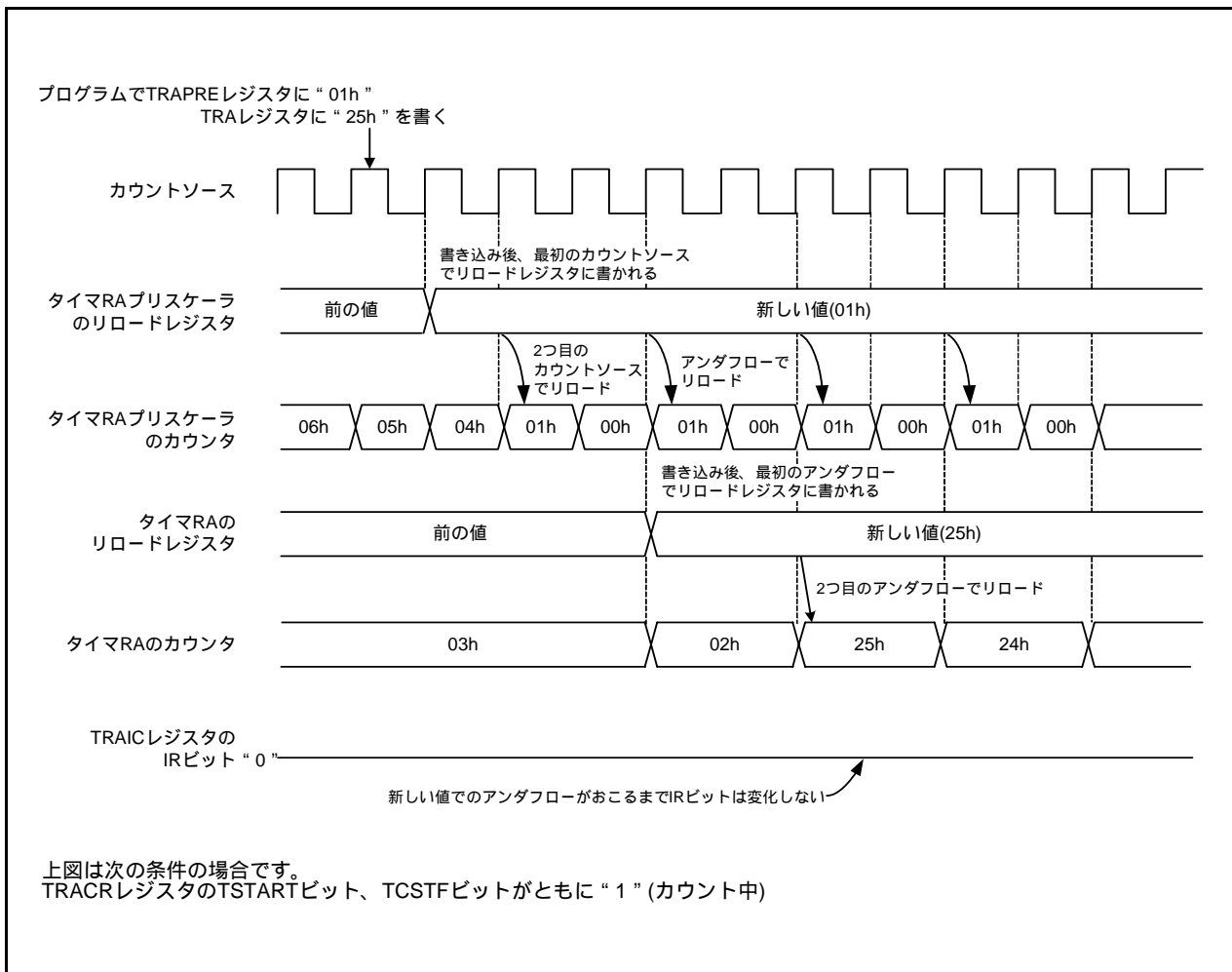


図 17.5 タイマRA カウント中にカウント値を書き換えた場合の動作例

17.1.2 パルス出力モード

内部で生成されたカウントソースをカウントし、タイマがアンダフローするごとに、極性を反転したパルスをTRAIO端子から出力するモードです(表 17.3)。

図 17.6にパルス出力モード時のTRAIOCレジスタを示します。

表 17.3 パルス出力モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n : TRAPRE レジスタの設定値、m : TRA レジスタの設定値
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み • TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
INT1/TRAI0信号端子機能	パルス出力、またはプログラマブル出力ポート、 $\overline{\text{INT1}}$ 割り込み入力(注1)
TRA0端子機能	プログラマブル入出力ポート、またはTRAIO出力の反転出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる「17.1.1.1 カウント中のタイマ書き込み制御」参照
選択機能	<ul style="list-style-type: none"> • TRAI0出力極性切り替え機能 TEDGSELビットでパルス出力開始時のレベルを選択(注1) • TRA0出力機能 TRAIO出力の極性を反転したパルスをTRA0端子から出力(TOENAビットで選択) • TRA0端子選択機能 PINSR2レジスタのTRA0SELビットでP3_0またはP3_7を選択 • パルス出力停止機能 TOPCRビットでTRAIO端子からのパルス出力を停止 • INT1/TRAI0端子選択機能 TIOSELビットでP1_7またはP1_5を選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマRA I/O制御レジスタ

シンボル TRAI0C	アドレス 0101h番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TEDGSEL	TRAI0極性切り替えビット	0: "H" から TRAI0出力開始 1: "L" から TRAI0出力開始	RW
TOPCR	TRAI0出力制御ビット	0: TRAI0出力 1: ポートP1_7またはポートP1_5	RW
TOENA	TRAI0出力許可ビット	0: ポートP3_0(P3_7) 1: TRAI0出力 (TRAI0出力の反転をP3_0(P3_7)から出力)	RW
TIOSEL	INT1/TRAI0選択ビット	0: INT1/TRAI0端子 (P1_7) 1: INT1/TRAI0端子 (P1_5)	RW
TIPF0	TRAI0入力フィルタ選択 ビット	パルス出力モードでは "0" にしてください	RW
TIPF1			RW
- (b7-b6)	何も配置されていない。 書く場合、"0" を書いてください。読んだ場合、その値は "0"。		-

図 17.6 パルス出力モード時のTRAI0Cレジスタ

17.1.3 イベントカウンタモード

INT1/TRAI0端子から入力する外部信号をカウントするモードです(表 17.4)。

図 17.7にイベントカウンタモード時のTRAI0Cレジスタを示します。

表 17.4 イベントカウンタモードの仕様

項目	仕様
カウントソース	TRAI0端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	$1/(n+1)(m+1)$ n: TRAPREレジスタの設定値、m: TRAレジスタの設定値
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRAのアンダフロー時 [タイマRA割り込み]
INT1/TRAI0信号端子機能	カウントソース入力(INT1割り込み入力)
TRAO端子機能	プログラマブル入出力ポートまたはパルス出力(注1)
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる「17.1.1.1 カウント中のタイマ書き込み制御」参照
選択機能	<ul style="list-style-type: none"> ・INT1入力極性切り替え機能 TEDGSELビットでカウントソースの有効エッジを選択 ・カウントソース入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・パルス出力機能 タイマがアンダフローするごとに、極性を反転したパルスをTRAO端子から出力(TOENAビットで選択)(注1) ・TRAO端子選択機能 PINSR2レジスタのTRAOSELビットでP3_0またはP3_7を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0~TIPF1ビットで選択

注1. TRAMRレジスタへ書き込むことで、出力パルスは出力開始時のレベルになります。

タイマRA I/O制御レジスタ

シンボル	アドレス	リセット後の値	
TRAI0C	0101h番地	00h	
ビットシンボル	ビット名	機能	RW
TEDGSEL	TRAI0極性切り替えビット	0: TRAI0入力の立ち上がりエッジでカウント また、“L”からTRAO出力開始 1: TRAI0入力の立ち下がりエッジでカウント また、“H”からTRAO出力開始	RW
TOPCR	TRAI0出力制御ビット	イベントカウンタモードでは“0”にしてください。	RW
TOENA	TRAO出力許可ビット	0: ポートP3_0(P3_7) 1: TRAO出力	RW
TIOSEL	INT1/TRAI0選択ビット	0: INT1/TRAI0端子 (P1_7) 1: INT1/TRAI0端子 (P1_5)	RW
TIF0	TRAI0入力フィルタ選択 ビット(注1)	b5 b4 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
TIF1			RW
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

図 17.7 イベントカウンタモード時のTRAI0Cレジスタ

17.1.4 パルス幅測定モード

INT1/TRAIO端子から入力する外部信号のパルス幅を測定するモードです(表 17.5)。

図 17.8 にパルス幅測定モード時の TRAIOC レジスタを、図 17.9 にパルス幅測定モード時の動作例を示します。

表 17.5 パルス幅測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの“H”レベルの期間、または“L”レベルの期間のみカウントを継続 ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACR レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACR レジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマRAのアンダフロー時 [タイマRA 割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA 割り込み]
INT1/TRAIO 信号端子機能	測定パルス入力(INT1 割り込み入力)
TRAIO 端子機能	プログラブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる「17.1.1.1 カウント中のタイマ書き込み制御」参照
選択機能	<ul style="list-style-type: none"> ・測定レベル選択 TEDGSELビットで“H”レベル期間、または“L”レベル期間を選択 ・測定パルス入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

タイマRA I/O制御レジスタ

シンボル TRAI0C	アドレス 0101h番地	リセット後の値 00h
ビット シンボル	ビット名	機能
TEDGSEL	TRAI0極性切り替えビット	0 : TRAI0入力の“L”レベル幅を測定 1 : TRAI0入力の“H”レベル幅を測定
TOPCR	TRAI0出力制御ビット	パルス幅測定モードでは“0”にしてください。
TOENA	TRAI0出力許可ビット	
TIOSEL	INT1/TRAI0選択ビット	0 : INT1/TRAI0端子 (P1_7) 1 : INT1/TRAI0端子 (P1_5)
TIPF0	TRAI0入力フィルタ選択 ビット(注1)	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング
TIPF1		
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

注1 . TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

図 17.8 パルス幅測定モード時のTRAI0Cレジスタ

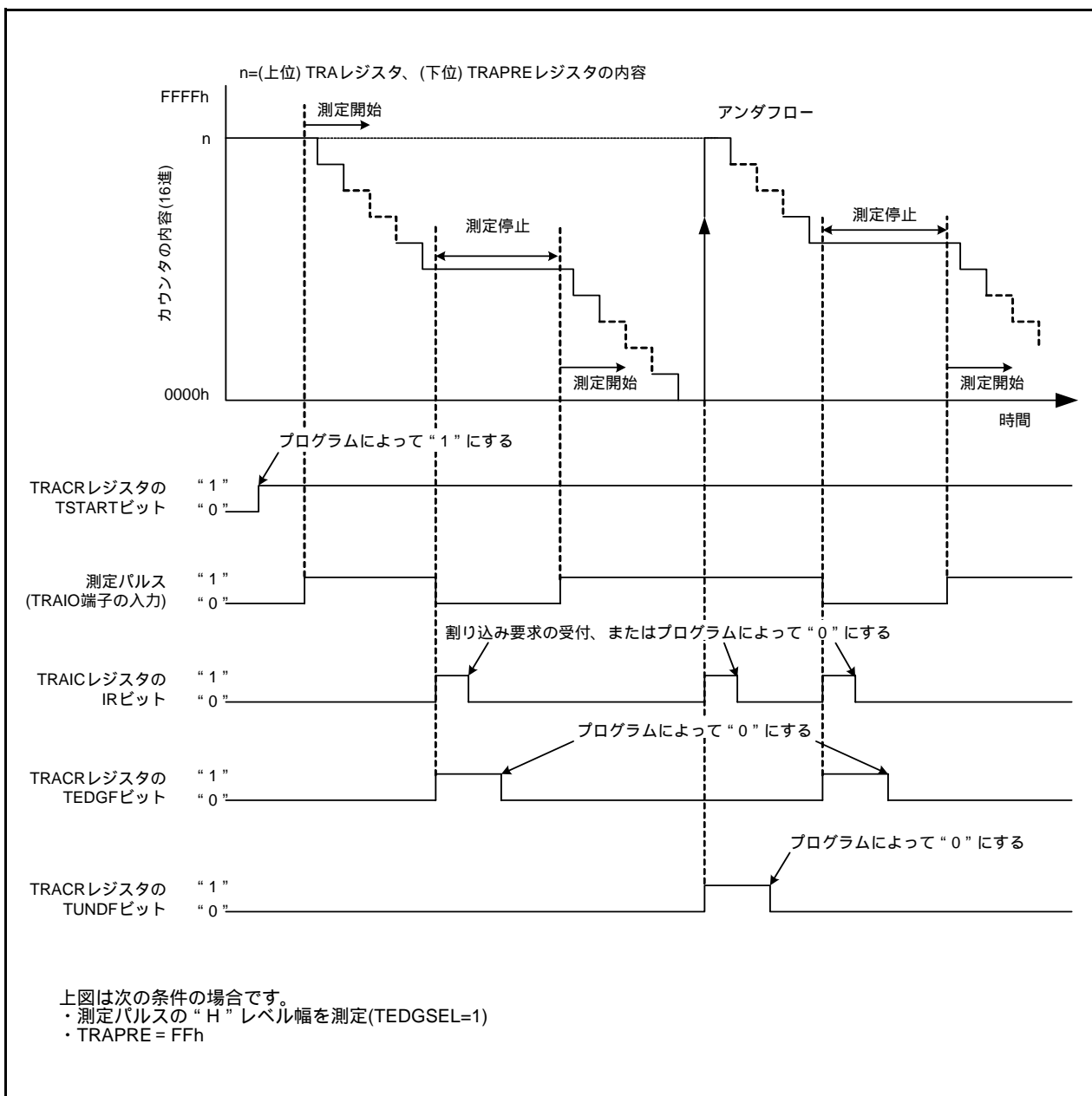


図 17.9 パルス幅測定モード時の動作例

17.1.5 パルス周期測定モード

INT1/TRAIO端子から入力する外部信号のパルス周期を測定するモードです(表 17.6)。

図 17.10 にパルス周期測定モード時の TRAIOC レジスタを、図 17.11 にパルス周期測定モード時の動作例を示します。

表 17.6 パルス周期測定モードの仕様

項目	仕様
カウントソース	f1、f2、f8、fOCO、fC32
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・測定パルスの有効エッジ入力後、1回目のタイマRAプリスケアラのアンダフロー時に読み出し用バッファの内容を保持し、2回目のタイマRAプリスケアラのアンダフロー時にタイマRAはリロードレジスタの内容をリロードしてカウントを継続
カウント開始条件	TRACRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRACRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRACRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・タイマRAのアンダフロー時、またはリロード時 [タイマRA割り込み] ・TRAIO入力の立ち上がり、または立ち下がり(測定期間終了)[タイマRA割り込み]
INT1/TRAIO端子機能	測定パルス入力(注1)(INT1割り込み入力)
TRA0端子機能	プログラマブル入出力ポート
タイマの読み出し	TRAレジスタ、TRAPREレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRAPREレジスタ、TRAレジスタに書き込むと、それぞれリロードレジスタとカウンタへ書き込まれる「17.1.1.1 カウント中のタイマ書き込み制御」参照
選択機能	<ul style="list-style-type: none"> ・測定期間選択 TEDGSELビットで入力パルスの測定期間を選択 ・測定パルス入力端子選択機能 TIOSELビットでP1_7またはP1_5を選択 ・デジタルフィルタ機能 デジタルフィルタの有無とサンプリング周波数をTIPF0～TIPF1ビットで選択

注1. タイマRAプリスケアラの周期の2倍より長い周期のパルスを入力してください。また、“H”幅、“L”幅それぞれが、タイマRAプリスケアラの周期より長いパルスを入力してください。これより周期の短いパルスが入力された場合、その入力は無視されることがあります。

タイマRA I/O制御レジスタ

シンボル TRAI0C	アドレス 0101h番地	リセット後の値 00h
ビット シンボル	ビット名	機能
TEDGSEL	TRAI0極性切り替えビット	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定
TOPCR	TRAI0出力制御ビット	パルス周期測定モードでは“0”にしてください。
TOENA	TRAI0出力許可ビット	
TIOSEL	INT1/TRAI0選択ビット	0 : INT1/TRAI0端子 (P1_7) 1 : INT1/TRAI0端子 (P1_5)
TIFP0	TRAI0入力フィルタ選択ビット(注1)	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング
TIFP1		
- (b7-b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

注1 . TRAI0端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

図 17.10 パルス周期測定モード時のTRAI0Cレジスタ

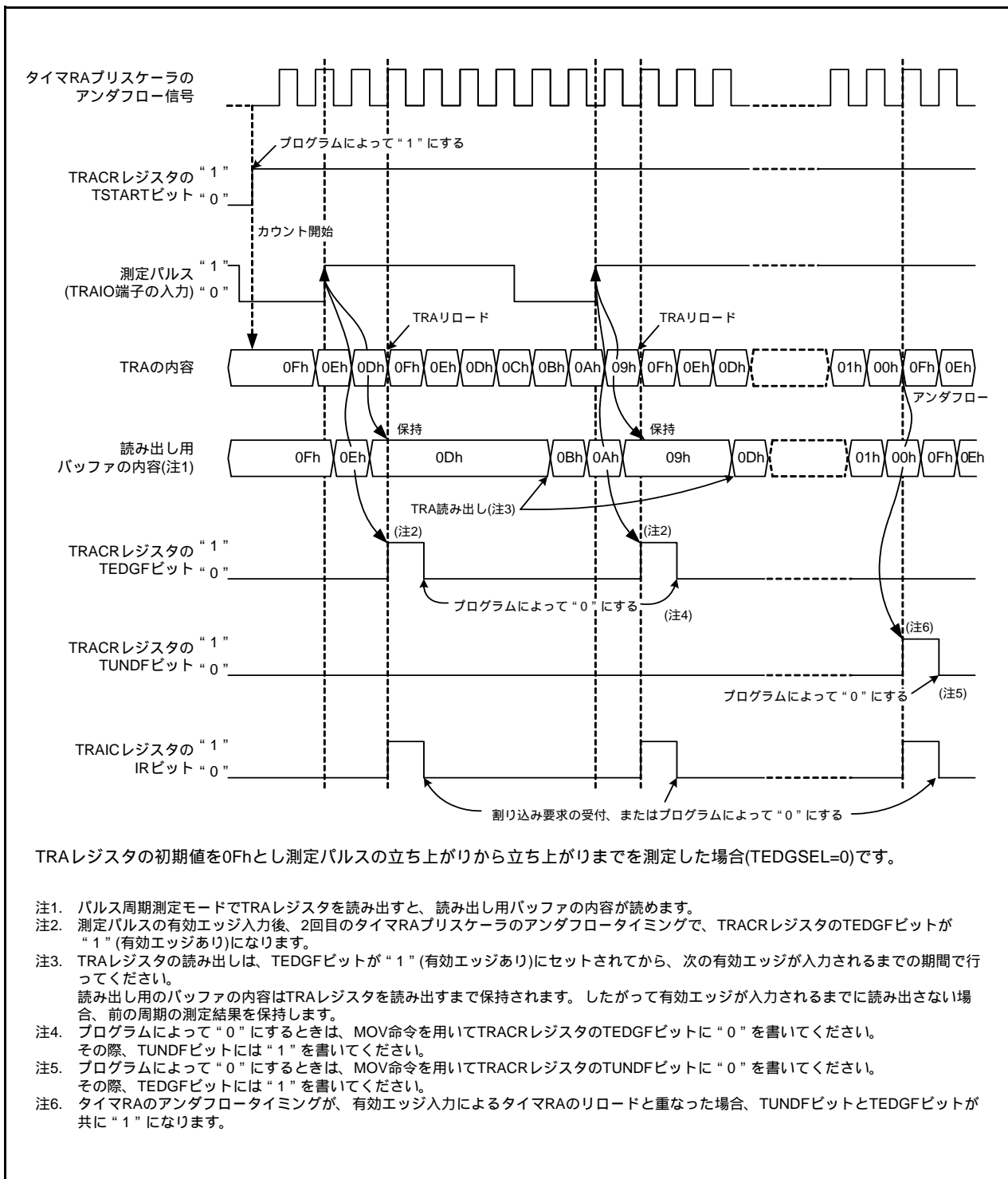


図 17.11 パルス周期測定モード時の動作例

17.1.6 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)にアクセスしないでください。TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)にアクセスしないでください。

注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

17.2 タイマRB

タイマRBは、8ビットプリスケアラ付き8ビットタイマです。プリスケアラとタイマはそれぞれリロードレジスタとカウンタから構成されます。(リロードレジスタとカウンタへのアクセスは表 17.7 ~ 表 17.10の各モードの仕様を参照してください)。タイマRBは、リロードレジスタとしてタイマRBプライマリ、タイマRBセカンダリの2つのレジスタを持ちます。

タイマRBのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。

図 17.12 にタイマRBのブロック図を、図 17.13 ~ 図 17.15 に TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR レジスタを示します。

タイマRBは、次の4種類のモードを持ちます。

- タイマモード
 - 内部カウントソース(周辺機能クロックまたはタイマRAのアンダフロー)をカウントするモード
- プログラマブル波形発生モード
 - 任意のパルス幅を連続して出力するモード
- プログラマブルワンショット発生モード
 - ワンショットパルスを出力するモード
- プログラマブルウェイトワンショット発生モード
 - ディレイドワンショットパルスを出力するモード

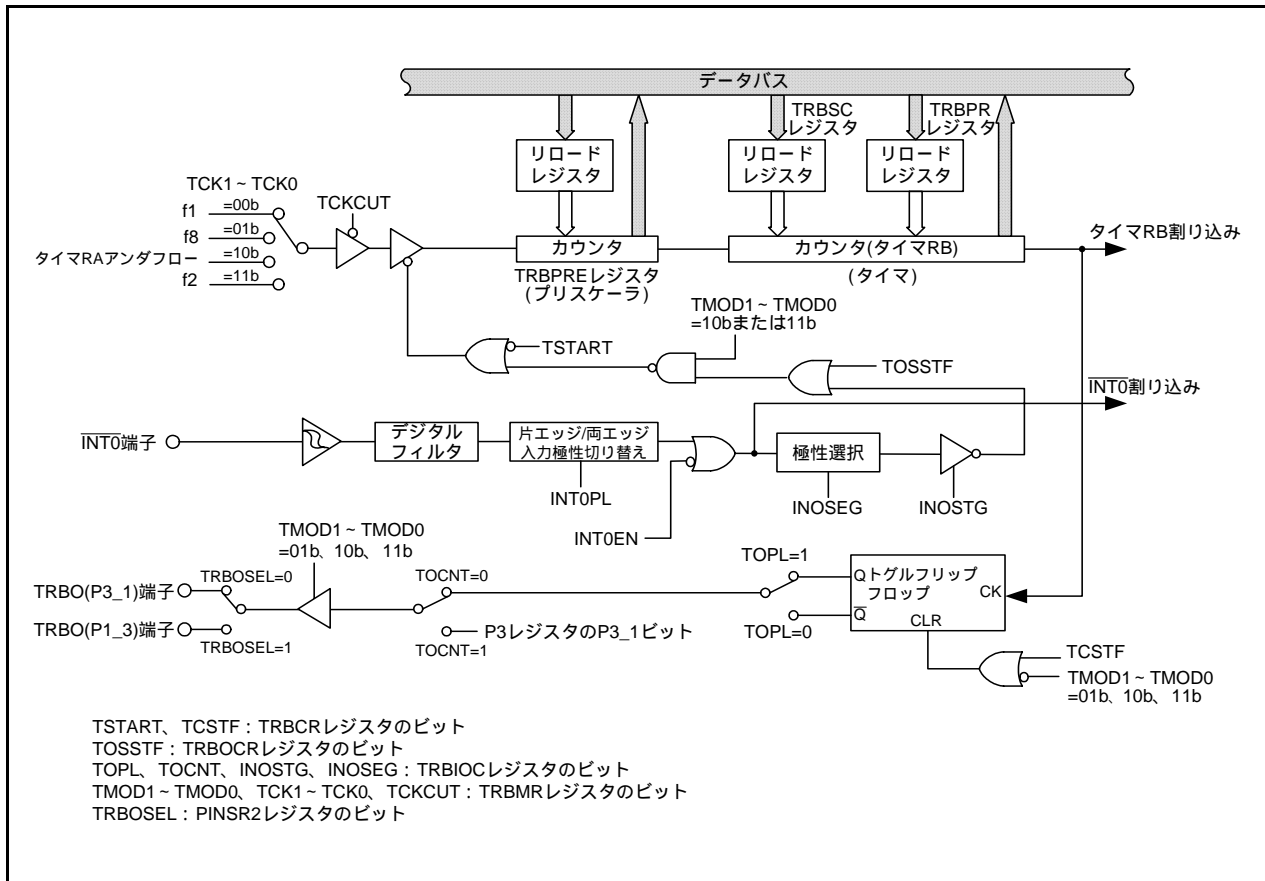
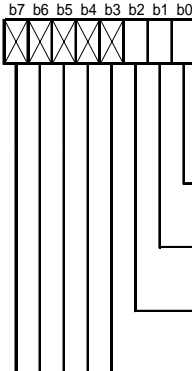


図 17.12 タイマRBのブロック図

タイマRB制御レジスタ



シンボル	アドレス	リセット後の値
TRBCR	0108h番地	00h

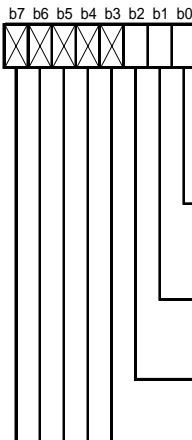
ビットシンボル	ビット名	機能	RW
TSTART	タイマRBカウント開始ビット (注1)	0: カウント停止 1: カウント開始	RW
TCSTF	タイマRBカウントステータスフラグ (注1)	0: カウント停止 1: カウント中 (注3)	RO
TSTOP	タイマRBカウント強制停止ビット (注1、2)	“1” を書くとカウントが強制停止します。読んだ場合、その値は“0”。	RW
- (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. TSTART、TCSTF、TSTOPビットの使用上の注意事項については、「17.2.5 タイマRB使用上の注意」を参照してください。

注2. TSTOPビットに“1”を書くと、TRBPRESレジスタ、TRBSCレジスタ、TRBPRレジスタ、TSTARTビット、TCSTFビット、TRBOCRレジスタのTOSSTFビットがリセット後の値になります。

注3. タイマモード、プログラマブル波形発生モードでは、カウント中を示します。プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは、ワンショットパルスのトリガを受け付けられることを示します。

タイマRBワンショット制御レジスタ (注2)



シンボル	アドレス	リセット後の値
TRBOCR	0109h番地	00h

ビットシンボル	ビット名	機能	RW
TOSST	タイマRBワンショット開始ビット	“1” を書くとワンショットトリガを発生します。読んだ場合、その値は“0”。	RW
TOSSP	タイマRBワンショット停止ビット	“1” を書くとワンショットパルス(ウェイト含む)のカウントを停止します。読んだ場合、その値は“0”。	RW
TOSSTF	タイマRBワンショットステータスフラグ (注1)	0: ワンショット停止中 1: ワンショット動作中 (ウェイト期間含む)	RO
- (b7-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TOSSTFビットは“0”になります。

注2. TRBMRレジスタのTMOD1～TMOD0ビットが“10b” (プログラマブルワンショット発生モード) または“11b” (プログラマブルウェイトワンショット発生モード) のとき有効です。

図 17.13 TRBCR、TRBOCR レジスタ

タイマRB I/O制御レジスタ			
シンボル	アドレス	リセット後の値	
TRBIOC	010Ah番地	00h	
ビットシンボル	ビット名	機能	RW
TOPL	タイマRBアウトプットレベル選択ビット	動作モードによって機能が異なる。	RW
TOCNT	タイマRB出力切り替えビット		RW
INOSTG	ワンショットトリガ制御ビット		RW
INOSEG	ワンショットトリガ極性選択ビット		RW
- (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

タイマRBモードレジスタ			
シンボル	アドレス	リセット後の値	
TRBMR	010Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TMOD0	タイマRB動作モード選択ビット(注1)	b1 b0 0 0: タイマモード 0 1: プログラマブル波形発生モード 1 0: プログラマブルワンショット発生モード 1 1: プログラマブルウェイトワンショット発生モード	RW
TMOD1			RW
- (b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TWRC	タイマRB書き込み制御ビット(注2)	0: リロードレジスタとカウンタへの書き込み 1: リロードレジスタのみ書き込み	RW
TCK0	タイマRBカウントソース選択ビット(注1)	b5 b4 0 0: f1 0 1: f8 1 0: タイマRAのアンダフロー 1 1: f2	RW
TCK1			RW
- (b6)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
TCKCUT	タイマRBカウントソース遮断ビット(注1)	0: カウントソース供給 1: カウントソース遮断	RW

注1. TMOD1 ~ TMOD0ビット、TCK1 ~ TCK0ビット、TCKCUTビットは、TRBCRレジスタのTSTARTビットとTCSTFビットが共に“0”(カウント停止)のときに変更してください。

注2. TWRCビットは、タイマモードのとき“0”または“1”が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは“1”(リロードレジスタのみ書き込み)にしてください。

図 17.14 TRBIOC、TRBMR レジスタ

タイマRBプリスケアラレジスタ(注1)

b7		b0			
シンボル		アドレス		リセット後の値	
TRBPRES		010Ch番地		FFh	
モード	機能	設定範囲	RW		
タイマモード	内部カウントソース、または タイマRAアンダフローをカウント	00h ~ FFh	RW		
プログラマブル波形 発生モード		00h ~ FFh	RW		
プログラマブル ワンショット発生モード		00h ~ FFh	RW		
プログラマブルウェイト ワンショット発生モード		00h ~ FFh	RW		

注1. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRESレジスタは“FFh”になります。

タイマRBセカンダリレジスタ(注3、4)

b7		b0			
シンボル		アドレス		リセット後の値	
TRBSC		010Dh番地		FFh	
モード	機能	設定範囲	RW		
タイマモード	無効	00h ~ FFh	-		
プログラマブル波形 発生モード	タイマRBプリスケアラのアンダフローを カウント(注1)	00h ~ FFh	WO (注2)		
プログラマブル ワンショット発生モード	無効	00h ~ FFh	-		
プログラマブルウェイト ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ワンショット幅をカウント)	00h ~ FFh	WO (注2)		

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

注3. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBSCレジスタは“FFh”になります。

注4. TRBSCレジスタに書き込むときは、次の手順で書いてください。

(1) TRBSCレジスタに値を書く

(2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)

タイマRBプライマリレジスタ(注2)

b7		b0			
シンボル		アドレス		リセット後の値	
TRBPR		010Eh番地		FFh	
モード	機能	設定範囲	RW		
タイマモード	タイマRBプリスケアラのアンダフローを カウント	00h ~ FFh	RW		
プログラマブル波形 発生モード	タイマRBプリスケアラのアンダフローを カウント(注1)	00h ~ FFh	RW		
プログラマブル ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ワンショット幅をカウント)	00h ~ FFh	RW		
プログラマブルウェイト ワンショット発生モード	タイマRBプリスケアラのアンダフローを カウント(ウェイト期間をカウント)	00h ~ FFh	RW		

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

注2. TRBCRレジスタのTSTOPビットに“1”を書くと、TRBPRレジスタは“FFh”になります。

図 17.15 TRBPRES、TRBSC、TRBPRレジスタ

17.2.1 タイマモード

内部で生成されたカウントソースまたはタイマRAのアンダフローをカウントするモードです(表17.7)。タイマモード時、TRBOCRおよびTRBSCレジスタは使用しません。

図17.16にタイマモード時のTRBIOCレジスタを示します。

表 17.7 タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> • ダウンカウント • アンダフロー時リロードレジスタの内容をリロードしてカウントを継続(タイマRBのアンダフロー時はタイマRBプライマリリロードレジスタの内容をリロード)
分周比	$1/(n+1)(m+1)$ n: TRBPRESレジスタの設定値、m: TRBPRレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> • TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み • TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	タイマRBのアンダフロー時[タイマRB割り込み]
TRBO端子機能	プログラマブル入出力ポート
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPRESレジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRBPRESレジスタ、TRBPRレジスタに書き込むと、TRBMRレジスタのTWRCビットが“0”なら、それぞれリロードレジスタとカウンタへ書き込まれる TWRCビットが“1”なら、それぞれリロードレジスタにのみ書き込まれる(「17.2.1.1 カウント中のタイマ書き込み制御」参照)

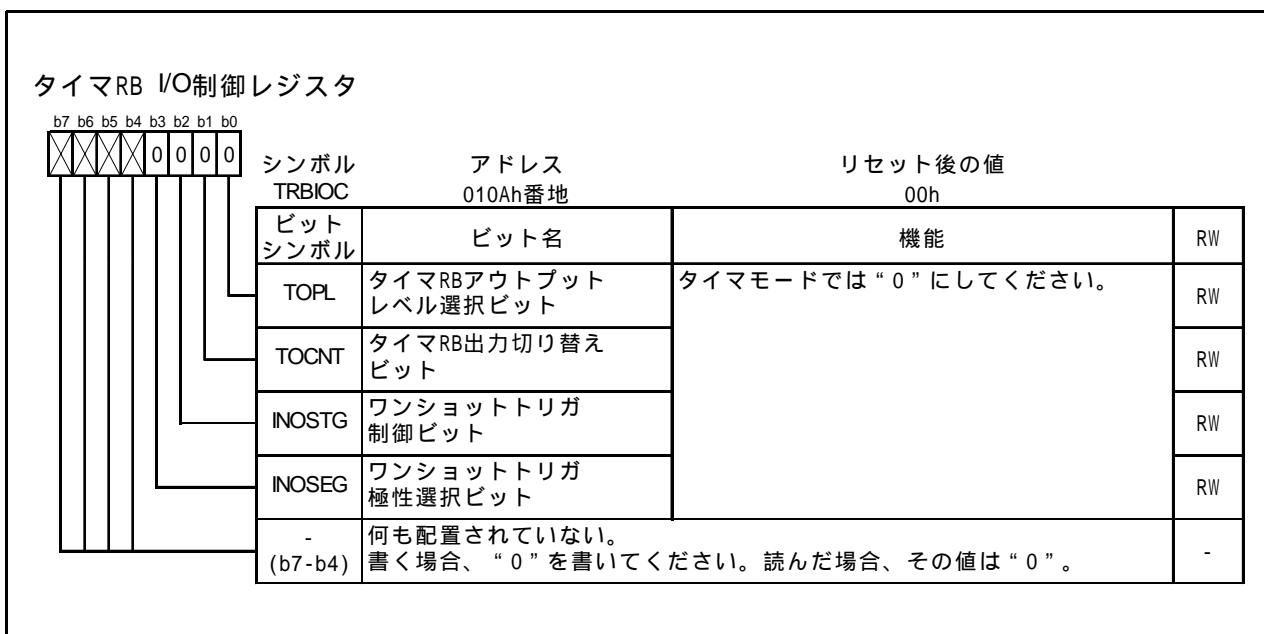


図 17.16 タイマモード時のTRBIOCレジスタ

17.2.1.1 カウント中のタイマ書き込み制御

タイマRBはプリスケアラと、タイマ(プリスケアラのアンダフローをカウントする狭義のタイマ)をもち、それぞれにリロードレジスタとカウンタがあります。タイマモードでは、カウント中のプリスケアラやタイマへの書き込む場合、TRBMRレジスタのTWRCビットで、リロードレジスタとカウンタへ書き込むか、リロードレジスタだけに書き込むかを選択できます。

しかし、プリスケアラのリロードレジスタからカウンタへは、カウントソースに同期して値を転送します。また、タイマのリロードレジスタからカウンタへは、プリスケアラのアンダフローに同期して値を転送します。このため、TWRCビットで、リロードレジスタとカウンタへ書き込む選択をしている場合も、書き込み命令実行後すぐにはカウンタの値が更新されません。また、リロードレジスタだけに書き込む選択をしている場合、プリスケアラの値を変更すると書き込んだときの周期がずれま
す。図 17.17にタイマRB カウント中にカウント値を書き換えた場合の動作例を示します。

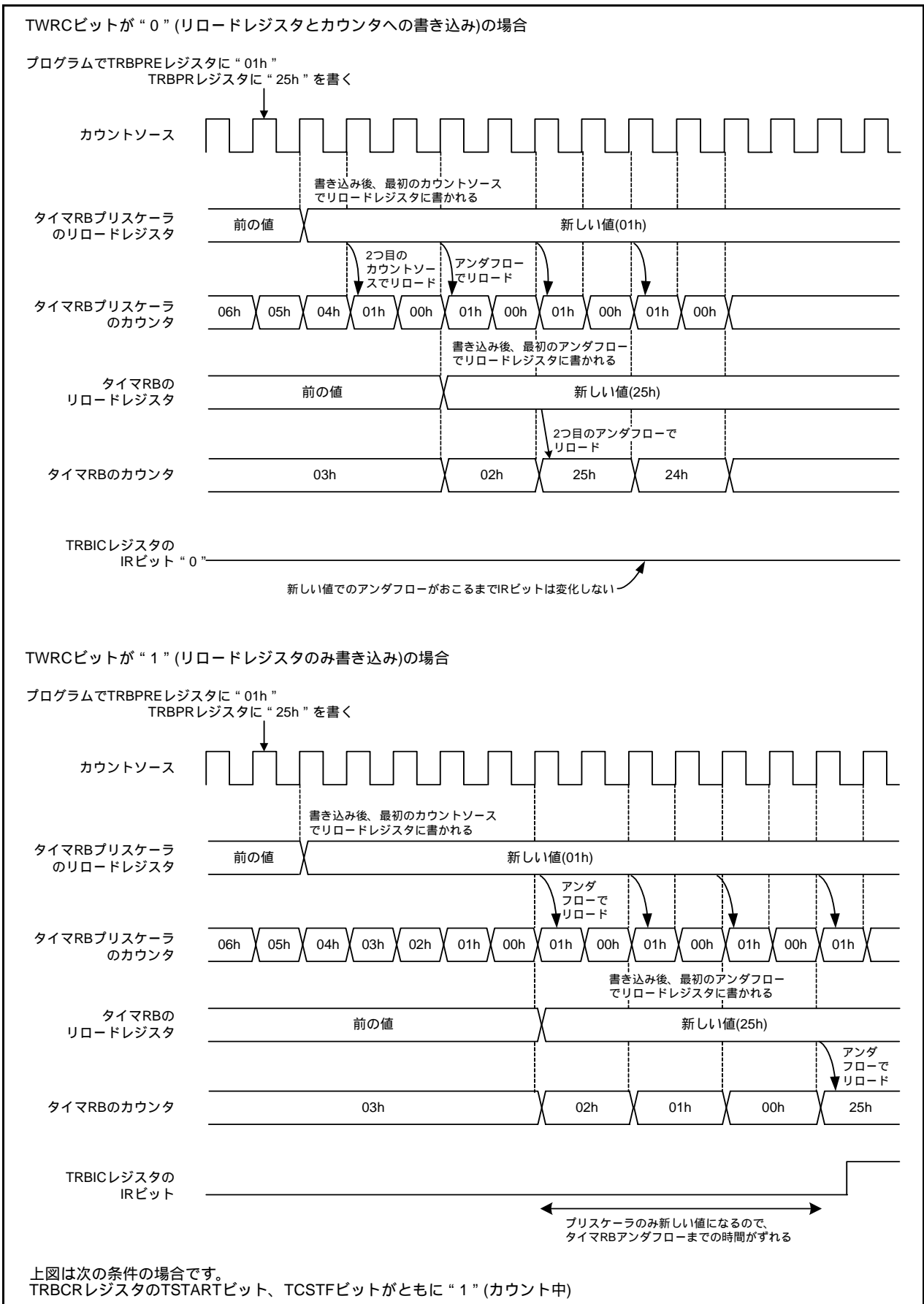


図 17.17 タイマRB カウント中にカウント値を書き換えた場合の動作例

17.2.2 プログラマブル波形発生モード

TRBPRレジスタとTRBSCレジスタの値を交互にカウントし、カウンタがアンダフローするごとに、TRBO端子から出力する信号を反転するモードです(表 17.8)。カウント開始時は、TRBPRレジスタに設定した値からカウントを行います。プログラマブル波形発生モード時、TRBOCRレジスタは使用しません。

図 17.18 にプログラマブル波形発生モード時のTRBIOCレジスタを、図 17.19 にプログラマブル波形発生モード時のタイマRBの動作例を示します。

表 17.8 プログラマブル波形発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> ・ダウンカウント ・アンダフロー時プライマリリロードレジスタとセカンダリリロードレジスタの内容を交互にリロードしてカウントを継続
出力波形の幅、周期	プライマリ期間 : $(n+1)(m+1)/f_i$ セカンダリ期間 : $(n+1)(p+1)/f_i$ 周期 : $(n+1)\{(m+1)+(p+1)\}/f_i$ f_i : カウントソースの周波数 n : TRBPREレジスタの設定値、 m : TRBPRレジスタの設定値 p : TRBSCレジスタの設定値
カウント開始条件	TRBCRレジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	<ul style="list-style-type: none"> ・TRBCRレジスタのTSTARTビットへの“0”(カウント停止)書き込み ・TRBCRレジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後(TRBO出力の変化と同時に)[タイマRB割り込み]
TRBO端子機能	プログラマブル出力ポート、またはパルス出力
INT0端子機能	プログラマブル入出力ポート、またはINT0割り込み入力
タイマの読み出し	TRBPRレジスタ、TRBPREレジスタを読み出すと、それぞれカウント値が読み出される(注1)
タイマの書き込み	<ul style="list-style-type: none"> ・カウント停止中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる ・カウント中に、TRBPREレジスタ、TRBSCレジスタ、TRBPRレジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注2)
選択機能	<ul style="list-style-type: none"> ・アウトプットレベル選択機能 プライマリ期間、セカンダリ期間の出力レベルをTOPLビットで選択 ・TRBO端子出力切り替え機能 TRBIOCレジスタのTOCNTビットでタイマRBパルス出力またはP3_1(P1_3)ラッチ出力を選択(注3) ・TRBO端子選択機能 PINSR2レジスタのTRBOSELビットでP3_1またはP1_3を選択

注1. セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。

注2. 波形の出力は、TRBPRレジスタへの書き込み後、次のプライマリ期間から設定値が反映されます。

注3. TOCNTビットに書いた値は、次のタイミングで有効になります。

- ・カウント開始時
- ・タイマRB割り込み要求発生時

したがって、TOCNTビットを変更後、次のプライマリ期間の出力から反映されます。

タイマRB I/O制御レジスタ

シンボル TRBIOC	アドレス 010Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0: プライマリ期間“H”出力、セカンダリ 期間“L”出力 タイマ停止時“L”出力 1: プライマリ期間“L”出力、セカンダリ 期間“H”出力 タイマ停止時“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	0: タイマRB波形出力 1: P3_1(P1_3)ポートラッチの値を出力	RW
INOSTG	ワンショットトリガ 制御ビット	プログラマブル波形発生モードでは“0”に してください。	RW
INOSEG	ワンショットトリガ 極性選択ビット		RW
- (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

図 17.18 プログラマブル波形発生モード時のTRBIOCレジスタ

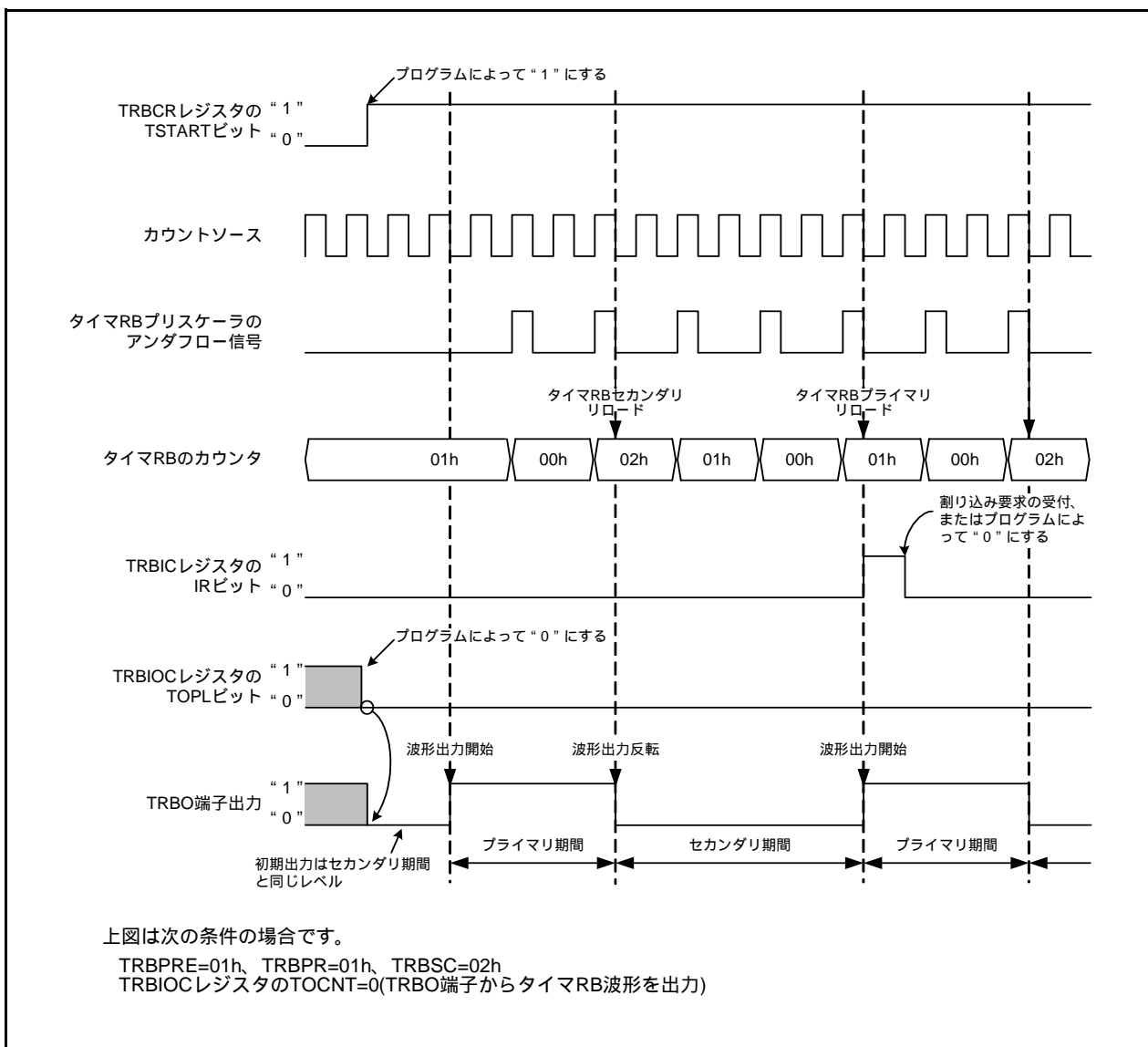


図 17.19 プログラマブル波形発生モード時のタイマRBの動作例

17.2.3 プログラマブルワンショット発生モード

プログラムまたは外部トリガ (INT0 端子の入力) により、ワンショットパルスを TRBO 端子から出力するモードです (表 17.9)。トリガが発生するとその時点から任意の時間 (TRBPR レジスタの設定値)、1 度だけタイマが動作します。プログラマブルワンショット発生モード時、TRBSC レジスタは使用しません。

図 17.20 にプログラマブルワンショット発生モード時の TRBIOC レジスタを、図 17.21 にプログラマブルワンショット発生モード時の動作例を示します。

表 17.9 プログラマブルワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマ RA のアンダフロー
カウント動作	<ul style="list-style-type: none"> • TRBPR レジスタの設定値をダウンカウント • アンダフロー時プライマリリロードレジスタの内容をリロードしてカウントを終了し、TOSSTF ビットが “0” (ワンショット停止) になる • カウント停止時、リロードレジスタの内容をリロードし停止
ワンショットパルス出力時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 m : TRBPR レジスタの設定値 (注2)
カウント開始条件	<ul style="list-style-type: none"> • TRBCR レジスタの TSTART ビットが “1” (カウント開始) で、かつ次のトリガが発生 • TRBOCR レジスタの TOSST ビットへの “1” (ワンショット開始) 書き込み • INT0 端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> • タイマ RB プライマリカウント時のカウントの値がアンダフローし、リロードした後 • TRBOCR レジスタの TOSSP ビットへの “1” (ワンショット停止) 書き込み • TRBCR レジスタの TSTART ビットへの “0” (カウント停止) 書き込み • TRBCR レジスタの TSTOP ビットへの “1” (カウント強制停止) 書き込み
割り込み要求発生タイミング	アンダフローからカウントソースの 1/2 サイクル後 (TRBO 端子からの波形出力の終了と同時に) [タイマ RB 割り込み]
TRBO 端子機能	パルス出力
INT0 端子機能	<ul style="list-style-type: none"> • TRBIOC レジスタの INOSTG ビットが “0” (INT0 ワンショットトリガ無効) の場合 プログラマブル入出力ポート、または INT0 割り込み入力 • TRBIOC レジスタの INOSTG ビットが “1” (INT0 ワンショットトリガ有効) の場合 外部トリガ (INT0 割り込み入力)
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> • カウント停止中に、TRBPRES レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる • カウント中に、TRBPRES レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみに書き込まれる (注1)
選択機能	<ul style="list-style-type: none"> • アウトプットレベル選択機能 ワンショットパルス波形の出力レベルを TOPL ビットで選択 • ワンショットトリガ選択機能 「17.2.3.1 ワンショットトリガ選択」参照 • TRBO 端子選択機能 PINSR2 レジスタの TRBOSEL ビットで P3_1 または P1_3 を選択

注1. TRBPR レジスタへ書き込んだ値は、次のワンショットパルスから反映されます。

注2. TRBPRES レジスタと TRBPR レジスタをともに “00h” にしないでください。

タイマRB I/O制御レジスタ

ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0: ワンショットパルス“H”出力、 タイマ停止時“L”出力 1: ワンショットパルス“L”出力、 タイマ停止時“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	プログラマブルワンショット発生モードでは “0”にしてください。	RW
INOSTG	ワンショットトリガ 制御ビット(注1)	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	RW
INOSEG	ワンショットトリガ 極性選択ビット(注1)	0: 立ち下がりエッジトリガ 1: 立ち上がりエッジトリガ	RW
- (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 「17.2.3.1 ワンショットトリガ選択」を参照してください。

図 17.20 プログラマブルワンショット発生モード時のTRBIOCレジスタ

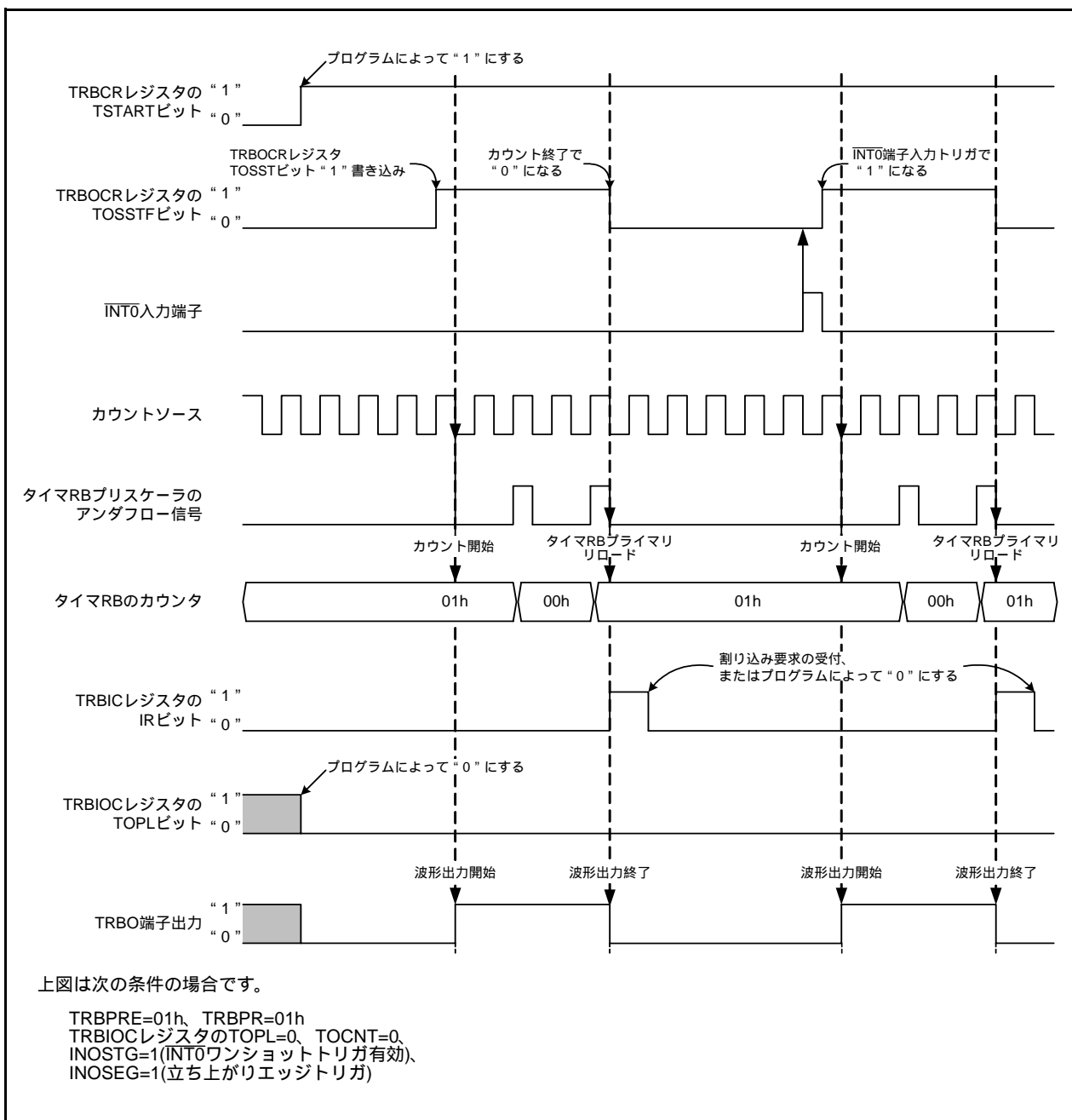


図 17.21 プログラマブルワンショット発生モード時の動作例

17.2.3.1 ワンショットトリガ選択

プログラマブルワンショット発生モードと、プログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが“1”(カウント開始)の状態、ワンショットトリガが発生すると動作を開始します。

ワンショットトリガは、次のどちらかの要因で発生します。

- プログラムでTRBOCRレジスタのTOSSTビットに“1”を書く
- INT0端子からトリガ入力

ワンショットトリガ発生後、カウントソースの1～2サイクル経ってからTRBOCRレジスタのTOSSTFビットが、“1”(ワンショット動作中)になります。その後カウントが始まり、プログラマブルワンショット発生モードでは、ワンショット波形出力を開始します(プログラマブルウェイトワンショット発生モードでは、ウェイト期間のカウントを開始します)。TOSSTFビットが“1”の期間に、ワンショットトリガが発生しても再トリガは発生しません。

$\overline{\text{INT0}}$ 端子からトリガ入力を使用する場合は、次の設定をした後、トリガを入力してください。

- PD4レジスタのPD4_5ビットを“0”(入力ポート)にする
- INT0のデジタルフィルタをINTFレジスタのINT0F1～INT0F0ビットで選択
- INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合はさらにTRBIOCレジスタのINOSEGビットで立ち下がりまたは立ち上がりエッジを選択する
- INTENレジスタのINT0ENを“0”(許可)にする
- 上記の設定後、TRBIOCレジスタのINOSTGビットを“1”(INT端子ワンショットトリガ有効)にする

なお、 $\overline{\text{INT0}}$ 端子からのトリガ入力での割り込み要求を発生させる場合は、次の点に注意してください。

- 割り込みを使用するための処理が必要ですので「13. 割り込み」を参照してください。
- 片エッジを選択した場合は、INT0ICレジスタのPOLビットで立ち下がりまたは立ち上がりエッジを選択してください(TRBIOCレジスタのINOSEGビットはINT0割り込みとは無関係です)。
- TOSSTFビットが“1”の期間に、ワンショットトリガが発生してもタイマRBの動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

17.2.4 プログラブルウェイトワンショット発生モード

プログラムまたは外部トリガ (INT0 端子の入力) から、一定時間後にワンショットパルスを出力するモードです (表 17.10)。トリガが発生すると、その時点から任意の時間 (TRBPR レジスタの設定値) 後、一度だけ任意の時間 (TRBSC レジスタの設定値) パルス出力を行います。

図 17.22 にプログラブルウェイトワンショット発生モード時の TRBIOC レジスタを、図 17.23 にプログラブルウェイトワンショット発生モードの動作例を示します。

表 17.10 プログラブルウェイトワンショット発生モードの仕様

項目	仕様
カウントソース	f1、f2、f8、タイマRAのアンダフロー
カウント動作	<ul style="list-style-type: none"> タイマRBプライマリの設定値をダウンカウント タイマRBプライマリのカウントがアンダフロー時、タイマRBセカンダリの内容をリロードしてカウントを継続 タイマRBセカンダリのカウントがアンダフロー時、タイマRBプライマリの内容をリロードしてカウントを終了し、TOSSTFビットが“0”(ワンショット停止)になる カウント停止時、リロードレジスタの内容をリロードし停止
ウェイト時間	$(n+1)(m+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 m : TRBPR レジスタの設定値(注2)
ワンショットパルス出力時間	$(n+1)(p+1)/f_i$ f_i : カウントソースの周波数 n : TRBPRES レジスタの設定値、 p : TRBSC レジスタの設定値
カウント開始条件	<ul style="list-style-type: none"> TRBCR レジスタのTSTARTビットが“1”(カウント開始)でかつ、次のトリガが発生 TRBOCR レジスタのTOSSTビットへの“1”(ワンショット開始)書き込み INT0 端子へのトリガ入力
カウント停止条件	<ul style="list-style-type: none"> タイマRBセカンダリカウント時のカウントの値がアンダフローし、リロードした後 TRBOCR レジスタのTOSSPビットへの“1”(ワンショット停止)書き込み TRBCR レジスタのTSTARTビットへの“0”(カウント停止)書き込み TRBCR レジスタのTSTOPビットへの“1”(カウント強制停止)書き込み
割り込み要求発生タイミング	セカンダリ期間のタイマRBのアンダフローからカウントソースの1/2サイクル後 (TRBO 端子からの波形出力の終了と同時に)[タイマRB割り込み]
TRBO 端子機能	パルス出力
INT0 端子機能	<ul style="list-style-type: none"> TRBIOC レジスタのINOSTGビットが“0”(INT0ワンショットトリガ無効)の場合 プログラブル入出力ポート、またはINT0割り込み入力 TRBIOC レジスタのINOSTGビットが“1”(INT0ワンショットトリガ有効)の場合 外部トリガ(INT0割り込み入力)
タイマの読み出し	TRBPR レジスタ、TRBPRES レジスタを読み出すと、それぞれカウント値が読み出される
タイマの書き込み	<ul style="list-style-type: none"> カウント停止中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタとカウンタの両方に書き込まれる カウント中に、TRBPRES レジスタ、TRBSC レジスタ、TRBPR レジスタに書き込むと、それぞれリロードレジスタのみ書き込まれる(注1)
選択機能	<ul style="list-style-type: none"> アウトプットレベル選択機能 ワンショットパルス波形の出力レベルをTOPLビットで選択 ワンショットトリガ選択機能 「17.2.3.1 ワンショットトリガ選択」参照 TRBO 端子選択機能 PINSR2 レジスタのTRBOSELビットでP3_1またはP1_3を選択

注1. TRBSCレジスタおよびTRBPRレジスタへ書き込んだ値は、次のワンショットパルスから反映されます

注2. TRBPRES レジスタとTRBPRレジスタをともに“00h”にしないでください。

タイマRB I/O制御レジスタ

シンボル TRBIOC	アドレス 010Ah番地	リセット後の値 00h	
ビット シンボル	ビット名	機能	RW
TOPL	タイマRBアウトプット レベル選択ビット	0 : ワンショットパルス“H”出力、 タイマ停止時とウェイト中は“L”出力 1 : ワンショットパルス“L”出力、 タイマ停止時とウェイト中は“H”出力	RW
TOCNT	タイマRB出力切り替え ビット	プログラマブルウェイトワンショット発生 モードでは“0”にしてください。	RW
INOSTG	ワンショットトリガ 制御ビット(注1)	0 : INTO端子ワンショットトリガ無効 1 : INTO端子ワンショットトリガ有効	RW
INOSEG	ワンショットトリガ 極性選択ビット(注1)	0 : 立ち下がりエッジトリガ 1 : 立ち上がりエッジトリガ	RW
- (b7-b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. 「17.2.3.1 ワンショットトリガ選択」を参照してください。

図 17.22 プログラマブルウェイトワンショット発生モード時のTRBIOCレジスタ

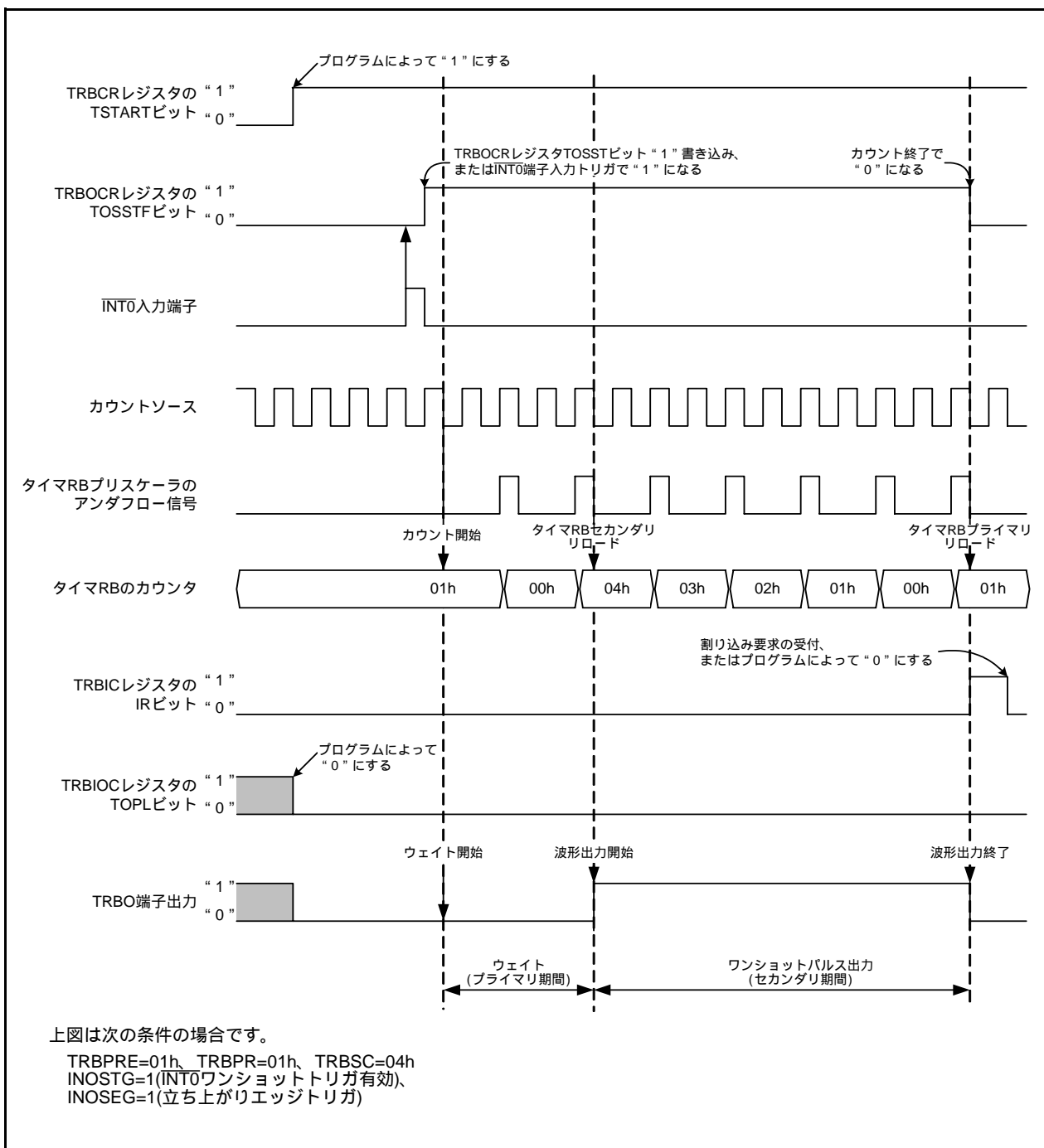


図 17.23 プログラブルウェイトワンショット発生モードの動作例

17.2.5 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いてからTOSSTFビットが“1”になるまでの期間にTOSSPビットに“1”を書いた場合、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いてからTOSSTFビットが“0”になるまでの期間にTOSSTビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

17.2.5.1 タイマモード

タイマモードでは下記の対策を実施してください。

カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

17.2.5.2 プログラマブル波形発生モード

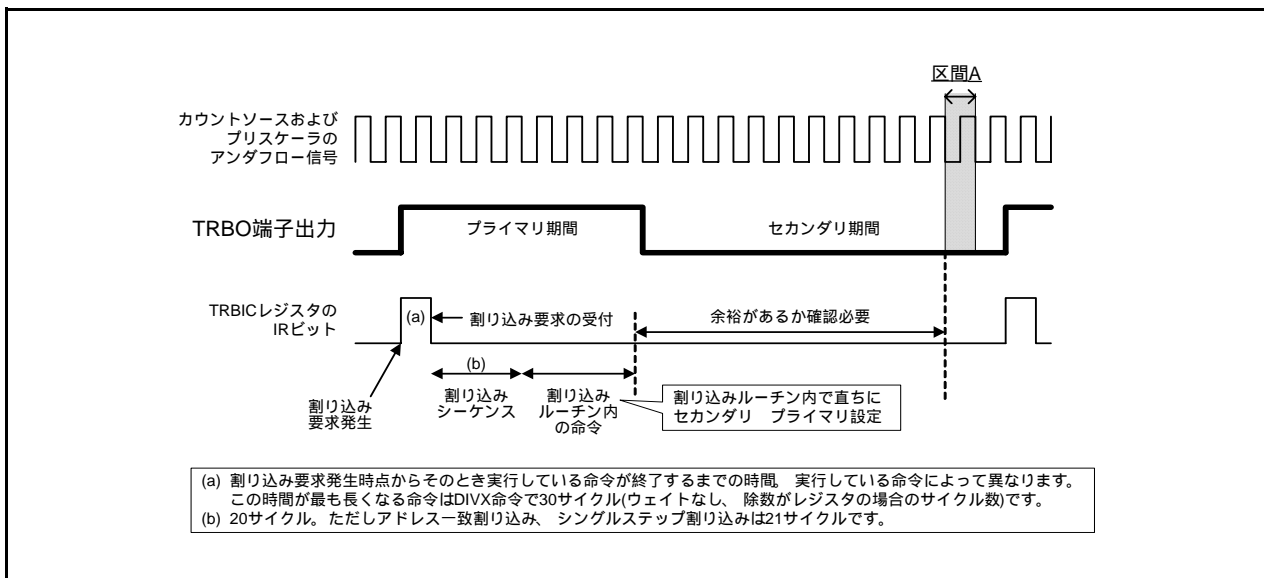
プログラマブル波形発生モードでは下記3点の対策を実施してください。

- (1) カウント中 (TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) カウント中 (TCSTFビットが“1”)にTRBSCレジスタ、TRBPRレジスタを変更する場合は、タイマRB割り込み等でTRBO出力周期に対して同期を取り、同一出力周期内で一度だけ行うようにしてください。また、図 17.24および図 17.25の区間Aで、TRBPRレジスタへの書き込みが発生しないことを確認してください。

対策方法の具体例を下記に示します。

• 対策例(a)

図 17.24に示すようにタイマRB割り込みルーチンでTRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。



• 対策例 (b)

図 17.25 に示すように TRBO 端子の出力レベルからプライマリ期間の開始を検出し、プライマリ期間の開始直後に、TRBSC レジスタ、TRBPR レジスタへ書いてください。書き込みは区間 A までは終了させてください。なお、TRBO 端子に対応するポート方向レジスタのビットを “0” (入力モード) に設定し、ポートレジスタのビットの値を読むと、読んだ値は TRBO 端子の出力値になります。

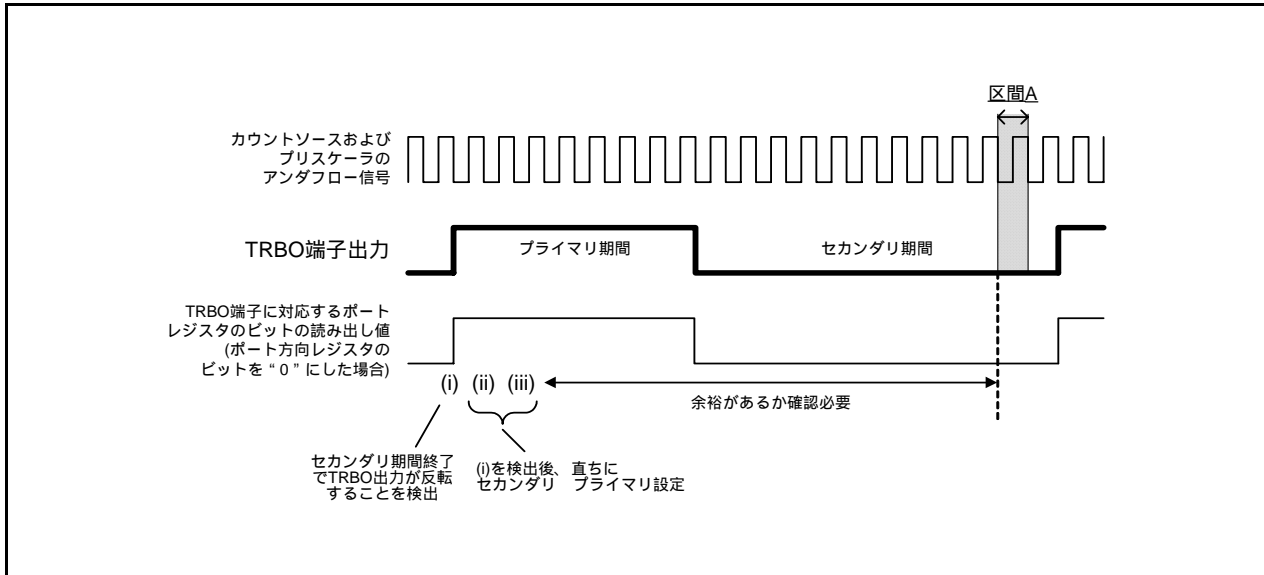


図 17.25 対策例 (b) の TRBO 端子出力値を読む例

- (3) プライマリ期間でタイマカウントを停止させる場合は、TRBCR レジスタの TSTOP ビットを使用してください。この場合、TRBPRES レジスタおよび TRBPR レジスタは初期化され、リセット後の値になります。

17.2.5.3 プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、下記2点の対策を実施してください。

- カウント中 (TCSTF ビットが “1”) に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。
 - TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- TRBPRES レジスタと TRBPR レジスタをともに “00h” にしないでください。

17.2.5.4 プログラマブルウェイトワンショット発生モード

プログラマブルウェイトワンショット発生モードでは下記3点の対策を実施してください。

- (1) カウント中 (TCSTFビットが“1”) にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h”にしないでください。
- (3) TRBSCレジスタ、TRBPRレジスタは以下に示す手順で設定してください。
 - (a) カウント開始条件に「INT0端子ワンショットトリガ」を使用する場合
TRBSCレジスタ TRBPRレジスタの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、INT0端子へ有効トリガを入力してください。
 - (b) カウント開始条件に「TOSSTビットへの“1”書き込み」を使用する場合
TRBSCレジスタ TRBPRレジスタ TOSSTビットの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、TOSSTビットへ書き込んでください。

17.3 タイマRE

タイマREは、4ビットカウンタと8ビットカウンタを持つタイマです。

タイマREは次の2つのモードを持ちます。

- リアルタイムクロックモード f_{C4} から1sを作り、秒、分、時、曜日をカウントするモード
- アウトプットコンペアモード カウントソースをカウントし、コンペア一致を検出するモード

タイマREのカウントソースは、タイマ動作の動作クロックになります。

17.3.1 リアルタイムクロックモード

fC4から2分周器、4ビットカウンタ、8ビットカウンタを使って1sを作り、それを元に秒、分、時、曜日をカウントするモードです。図 17.26 にリアルタイムクロックモードのブロック図を、表 17.11 にリアルタイムクロックモードの仕様を、図 17.27 ~ 17.31 と図 17.33 ~ 17.35 にリアルタイムクロックモード関連レジスタ、表 17.12 に割り込み要因を、図 17.32 に時間表現の定義を、図 17.36 にリアルタイムクロックモードの動作例を示します。

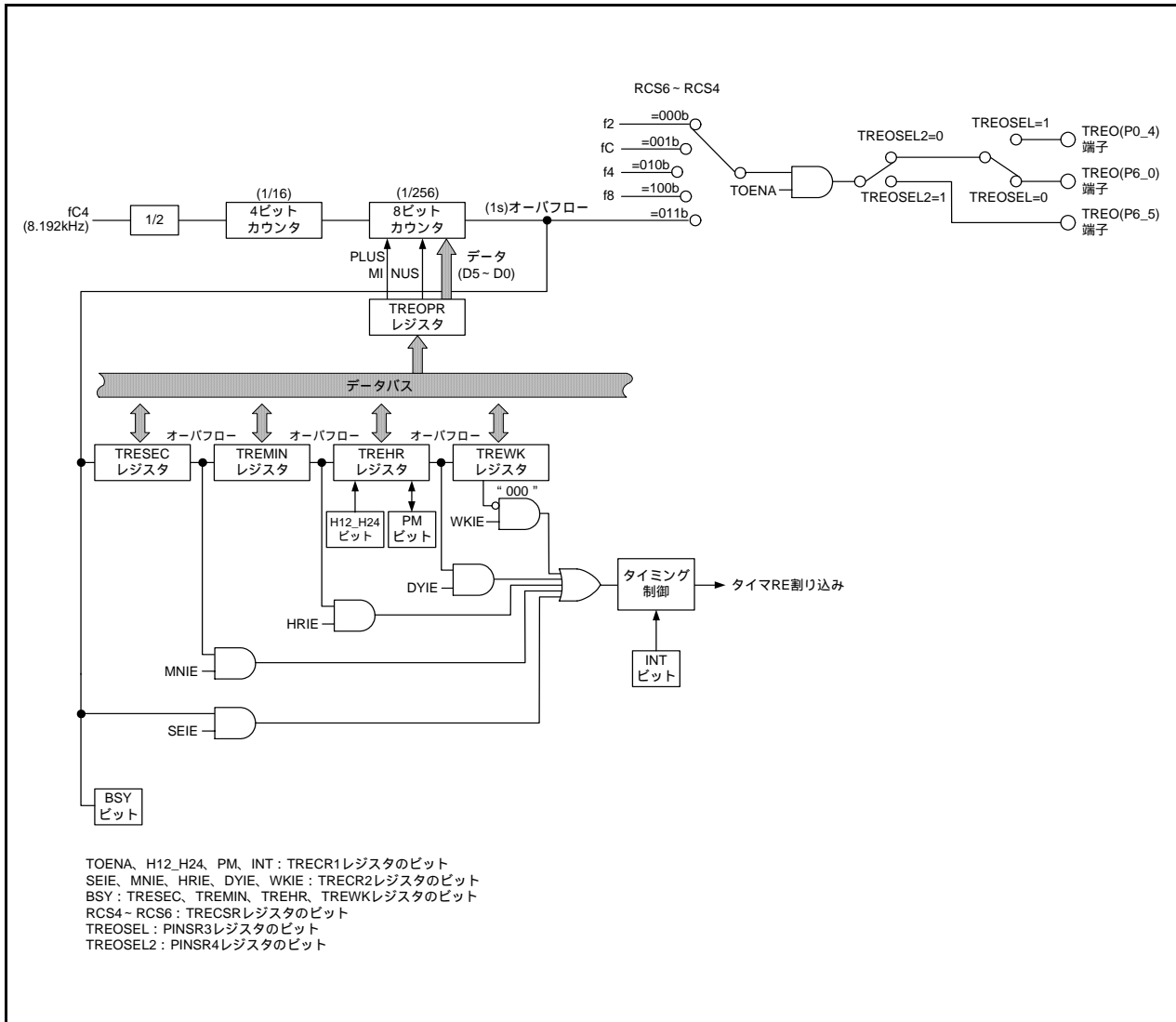


図 17.26 リアルタイムクロックモードのブロック図

表 17.11 リアルタイムクロックモードの仕様

項目	仕様
カウントソース	fC4
カウント動作	アップカウント
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	次のうち、いずれか1つを選択 <ul style="list-style-type: none"> • 秒データの更新 • 分データの更新 • 時データの更新 • 曜日データの更新 • 曜日データが“000b”(日曜日)になったとき
TREO端子機能	プログラマブル入出力ポート、またはf2、fC、f4、f8、1Hzのいずれかを出力
タイマの読み出し	TRESEC、TREMINT、TREHR、TREWKレジスタを読むと、カウント値が読める。TRESEC、TREMINT、TREHRレジスタの値はBCDコード。
タイマの書き込み	TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のときTRESEC、TREMINT、TREHR、TREWKレジスタに書き込める。TRESEC、TREMINT、TREHRレジスタへ書き込む値はBCDコード。
選択機能	<ul style="list-style-type: none"> • 12時間モード/24時間モード切り替え機能 • カウンタ精度調整機能 • TREO端子選択機能 PINSR3レジスタのTREOSELビットおよびPINSR4レジスタのTREOSEL2ビットでP0_4、P6_0またはP6_5を選択

タイマRE秒データレジスタ

シンボル	アドレス	リセット後の値			
TRESEC	0118h番地	不定			
ビットシンボル	ビット名	機能	設定範囲	RW	
SC00	秒一位カウントビット	1秒ごとに0から9をカウント。桁上がりが発生すると、秒十位が1加算される。	0~9 (BCDコード)	RW	
SC01				RW	
SC02				RW	
SC03				RW	
SC10	秒十位カウントビット	0から5をカウントして、60秒をカウント。	0~5 (BCDコード)	RW	
SC11				RW	
SC12				RW	
BSY	タイマREビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります。		RO	

図 17.27 リアルタイムクロックモード時のTRESECレジスタ

タイマRE分データレジスタ

シンボル	アドレス	リセット後の値			
TREMIN	0119h番地	不定			
ビットシンボル	ビット名	機能	設定範囲	RW	
MN00	分一位カウントビット	1分ごとに0から9をカウント。桁上がりが発生すると、分十位が1加算される。	0~9 (BCDコード)	RW	
MN01				RW	
MN02				RW	
MN03				RW	
MN10	分十位カウントビット	0から5をカウントして、60分をカウント。	0~5 (BCDコード)	RW	
MN11				RW	
MN12				RW	
BSY	タイマREビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります。		RO	

図 17.28 リアルタイムクロックモード時のTREMINレジスタ

タイマRE時データレジスタ

シンボル	アドレス	リセット後の値		
TREHR	011Ah番地	XOXXXXXXb		
ビットシンボル	ビット名	機能	設定範囲	RW
HR00	時一位カウントビット	1時間ごとに0から9をカウント。桁上がりが発生すると、時十位が1加算される。	0~9 (BCDコード)	RW
HR01				RW
HR02				RW
HR03				RW
HR10	時十位カウントビット	H12_H24ビットが“0”(12時間モード)のとき、0から1をカウント。 H12_H24ビットが“1”(24時間モード)のとき、0から2をカウント。	0~2 (BCDコード)	RW
HR11				RW
- (b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。			-
BSY	タイマREビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります。		RO

図 17.29 リアルタイムクロックモード時のTREHRレジスタ

タイマRE曜日データレジスタ

シンボル	アドレス	リセット後の値	
TREWK	011Bh番地	X0000XXXb	
ビットシンボル	ビット名	機能	RW
WK0	曜日カウントビット	b2 b1 b0 0 0 0 : 日 0 0 1 : 月 0 1 0 : 火 0 1 1 : 水 1 0 0 : 木 1 0 1 : 金 1 1 0 : 土 1 1 1 : 設定しないでください	RW
WK1			RW
WK2			RW
- (b6-b3)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
BSY	タイマREビジーフラグ	TRESEC、TREMIN、TREHR、TREWKレジスタが更新中、“1”になります。	RO

図 17.30 リアルタイムクロックモード時のTREWKレジスタ

タイマRE制御レジスタ1

シンボル	アドレス	リセット後の値
TREC1	011Ch番地	XXX0X0X0b

ビットシンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	RO
TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	RW
INT	割り込み要求タイミングビット	リアルタイムクロックモードでは“1”にしてください。	RW
TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 ・ TRESEC、TREMINT、TREHR、TREWK、TREC2レジスタが“00h” ・ TREC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” ・ 8ビットカウンタが“00h”、4ビットカウンタが“0h”	RW
PM	午前/午後ビット	H12_H24ビットが“0” (12時間モード)のとき (注1) 0: 午前 1: 午後 H12_H24ビットが“1” (24時間モード)のとき、不定	RW
H12_H24	動作モード選択ビット	0: 12時間モード 1: 24時間モード	RW
TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	RW

注1. タイマREがカウント中、自動的に変化します。

図 17.31 リアルタイムクロックモード時のTREC1レジスタ

TREHRレジスタの内容	H12_H24ビット=1 (24時間モード)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
H12_H24ビット=0 (12時間モード)		0	1	2	3	4	5	6	7	8	9	10	11	0	1	2	3	4	5
PMビットの内容		0 (午前)											1 (午後)						
TREWKレジスタの内容		000 (日曜日)																	

正午
↓

TREHRレジスタの内容	H12_H24ビット=1 (24時間モード)	18	19	20	21	22	23	0	1	2	3	...						
H12_H24ビット=0 (12時間モード)		6	7	8	9	10	11	0	1	2	3	...						
PMビットの内容		1 (午後)					0 (午前)					...						
TREWKレジスタの内容		000 (日曜日)					001 (月曜日)					...						

日付が変わる
↓

PMビット、H12_H24ビット: TREC1レジスタのビット
上記は日曜日の午前0時からカウントを始めた場合です。

図 17.32 時間表現の定義

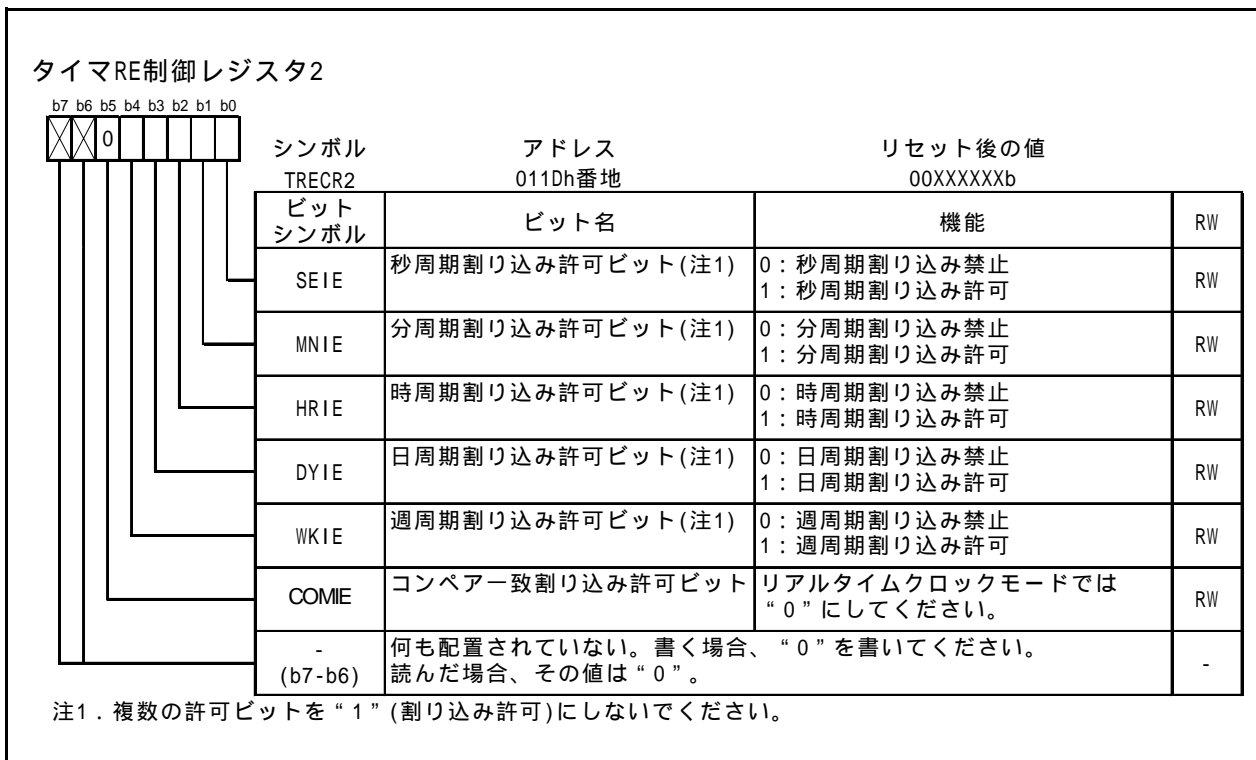


図 17.33 リアルタイムクロックモード時のTRECR2レジスタ

表 17.12 割り込み要因

要因名	割り込み要因	割り込み許可ビット
週周期割り込み	TREWKレジスタの値が“000b”(日曜日)になる(1週間周期)	WKIE
日周期割り込み	TREWKレジスタが更新(1日周期)される	DYIE
時周期割り込み	TREHRレジスタが更新(1時間周期)される	HRIE
分周期割り込み	TREMINレジスタが更新(1分周期)される	MNIE
秒周期割り込み	TRESECレジスタが更新(1秒周期)される	SEIE

タイマREカウントソース選択レジスタ

シンボル TRECSR	アドレス 011Eh番地	リセット後の値 00001000b	
ビット シンボル	ビット名	機能	RW
RCS0	カウントソース選択ビット	リアルタイムクロックモードでは "00b" にしてください。	RW
RCS1			RW
RCS2	4ビットカウンタ選択ビット	リアルタイムクロックモードでは "0" にしてください。	RW
RCS3	リアルタイムクロックモード選択 ビット	リアルタイムクロックモードでは "1" にしてください。	RW
RCS4	クロック出力選択ビット(注1)	b6 b5 b4 0 0 0 : f2 0 0 1 : fC 0 1 0 : f4 0 1 1 : 1Hz 1 0 0 : f8 上記以外 : 設定しないでください	RW
RCS5			RW
RCS6			RW
- (b7)	何も配置されていない。書く場合、 "0" を書いてください。 読んだ場合、その値は "0"。		-

注1. RCS4 ~ RCS6ビットは、TREC1レジスタのTOENAビットが "0" (クロック出力禁止) のとき、書いてください。

図 17.34 リアルタイムクロックモード時のTRECSRレジスタ

タイマREリアルタイムクロック精度調整レジスタ(注1)

シンボル TREOPR	アドレス 011Fh番地	リセット後の値 00h			
ビット シンボル	ビット名	機能	設定範囲	RW	
D0	8ビットカウンタ調整ビット	8ビットカウンタの調整値を格納。 読んだ場合、その値は “000000b”。	00h ~ 3Ch	RW	
D1				RW	
D2				RW	
D3				RW	
D4				RW	
D5				RW	
MINUS	8ビットカウンタ減算ビット (注2)	“1”を書くと8ビットカウンタの値から、 D0 ~ D5で設定した調整値が減算されます。 読んだ場合、その値は“0”。		RW	
PLUS	8ビットカウンタ加算ビット (注2)	“1”を書くと8ビットカウンタの値に、D0 ~ D5で設定した調整値が加算されます。 読んだ場合、その値は“0”。		RW	

注1. TREOPRレジスタの設定には、MOV命令を使用してください。
TREOPRレジスタへの書き込みの間隔は、XCINクロックの周期(s) × 2064以上にしてください。

注2. 週/日/時/分/秒周期の各割り込みルーチン内で、MINUSビット、PLUSビットはいずれか1回だけ“1”を書いてください。
MINUSビットとPLUSビットに“00b”または“11b”を書いた場合、8ビットカウンタは加算も減算もされません。

図 17.35 リアルタイムクロックモード時のTREOPRレジスタ

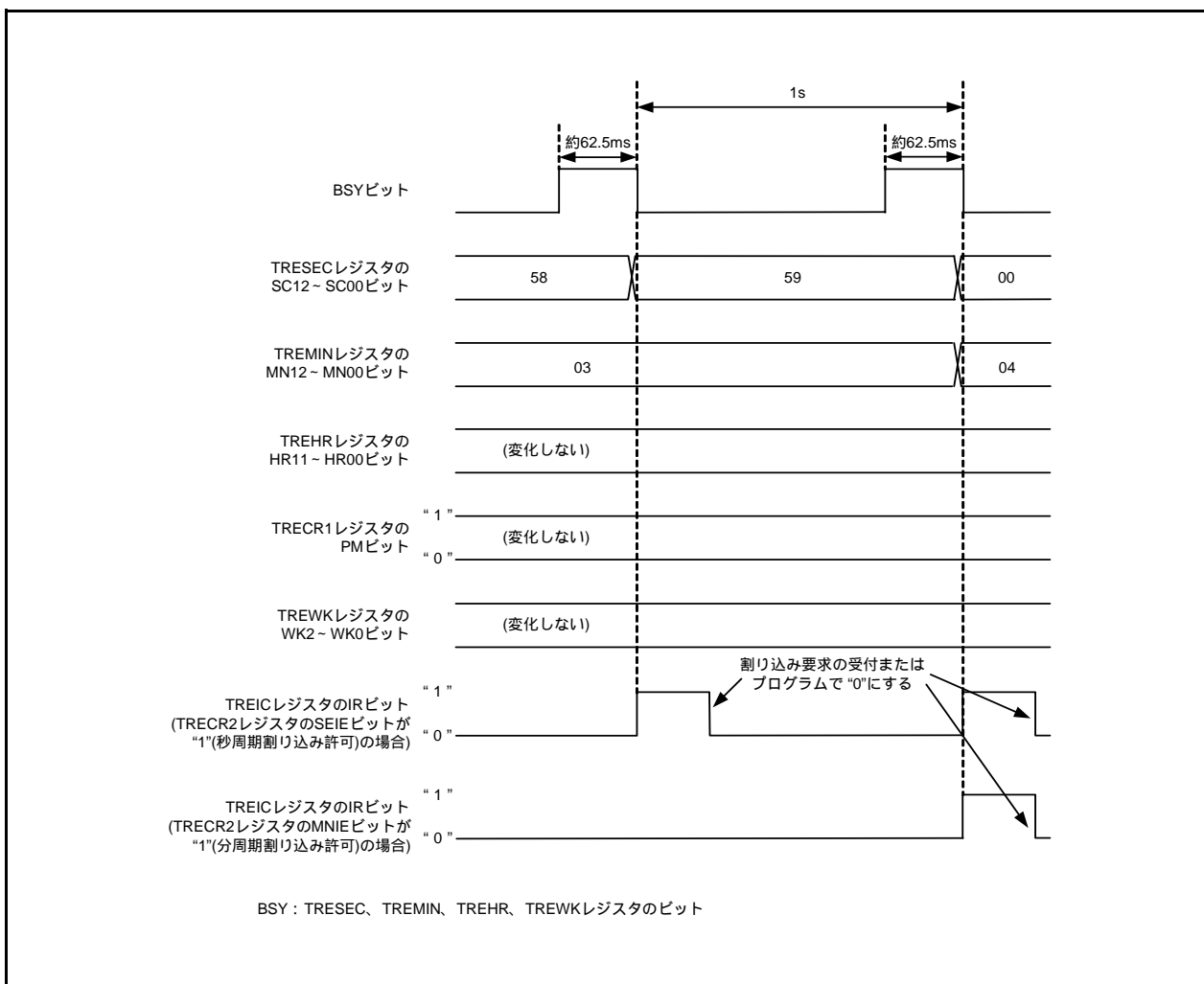


図 17.36 リアルタイムクロックモードの動作例

17.3.2 アウトプットコンペアモード

カウントソースを2分周したものを、4ビットカウンタ、8ビットカウンタを使ってカウントし、8ビットカウンタとコンペア値の一致を検出するモードです。図 17.37 にアウトプットコンペアモードのブロック図を、表 17.13 にアウトプットコンペアモードの仕様を、図 17.38 ~ 17.42 にアウトプットコンペアモード関連レジスタを、図 17.43 にアウトプットコンペアモードの動作例を示します。

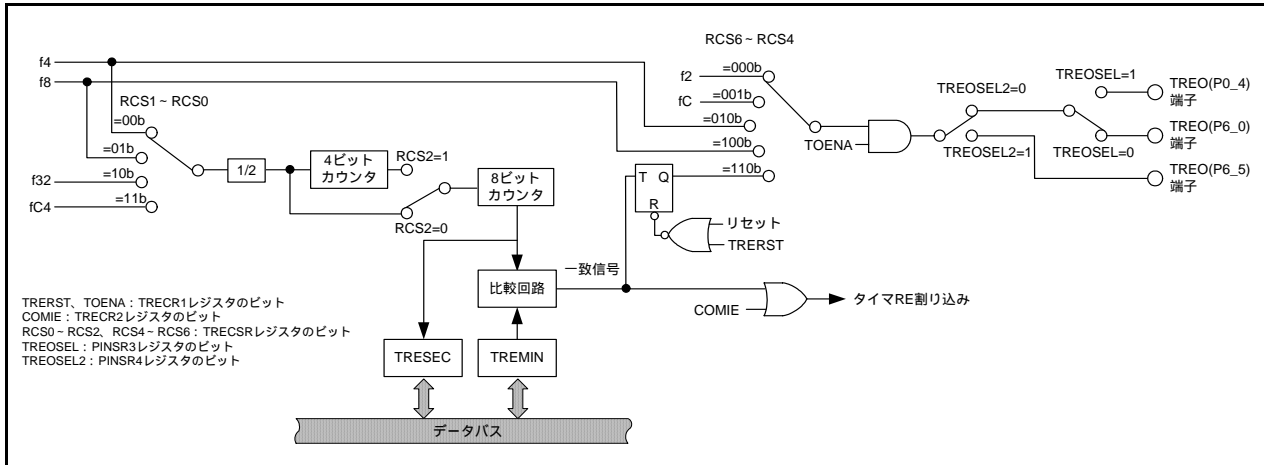


図 17.37 アウトプットコンペアモードのブロック図

表 17.13 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f4、f8、f32、fC4
カウント動作	<ul style="list-style-type: none"> アップカウント 8ビットカウンタは、値がTREMINレジスタの内容と一致すると、値が“00h”に戻り、カウントを継続。カウント停止中はカウント値を保持。
カウント周期	<ul style="list-style-type: none"> RCS2=0(4ビットカウンタ使用しない)の場合 $1/f_i \times 2 \times (n + 1)$ RCS2=1(4ビットカウンタ使用する)の場合 $1/f_i \times 32 \times (n + 1)$ f _i : カウントソースの周波数 n: TREMINレジスタの設定値
カウント開始条件	TRECR1レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRECR1レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	8ビットカウンタの内容とTREMINレジスタの内容が一致したとき
TREO端子機能	次のいずれかを選択 <ul style="list-style-type: none"> プログラマブル入出力ポート f2、fC、f4、f8のいずれかを出力 コンペア出力
タイマの読み出し	TRESECレジスタを読むと、8ビットカウンタの値が読める。 TREMINレジスタを読むと、コンペア値が読める。
タイマの書き込み	TRESECレジスタへの書き込みはできない。 TRECR1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマ停止)のとき、TREMINレジスタに書き込める。
選択機能	<ul style="list-style-type: none"> 4ビットカウンタ使用選択 コンペア出力機能 8ビットカウンタ値とTREMINレジスタの内容が一致するごとにTREO出力極性を反転。リセット解除後と、TRECR1のTRERSTビットによるタイマREリセット後は“L”出力。TSTARTビットを“0”(カウント停止)にすると出力レベルを保持。 TREO端子選択機能 PINSR3レジスタのTREOSELビットおよびPINSR4レジスタのTREOSEL2ビットでP0_4、P6_0またはP6_5を選択

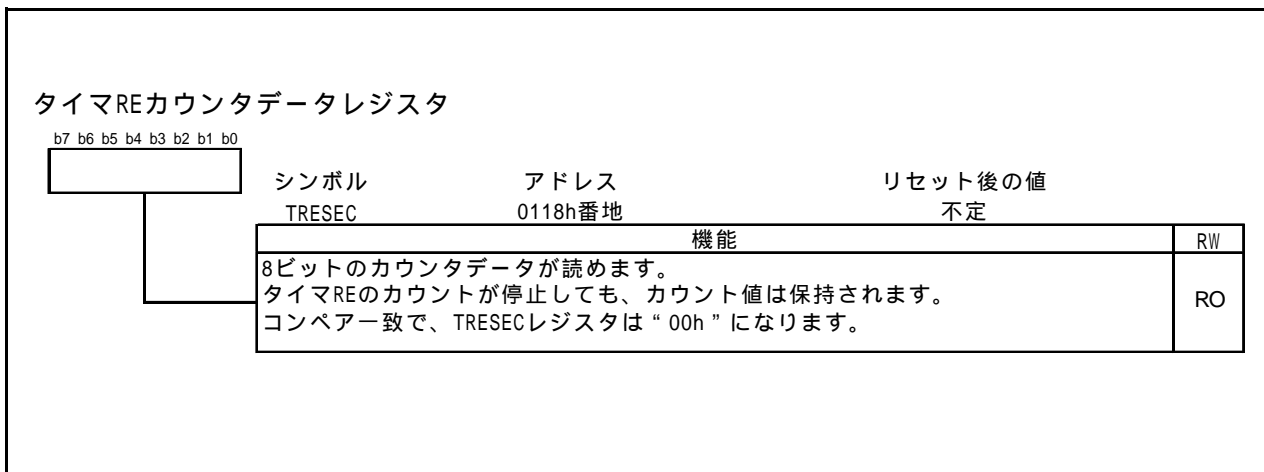


図 17.38 アウトプットコンペアーモード時のTRESECレジスタ

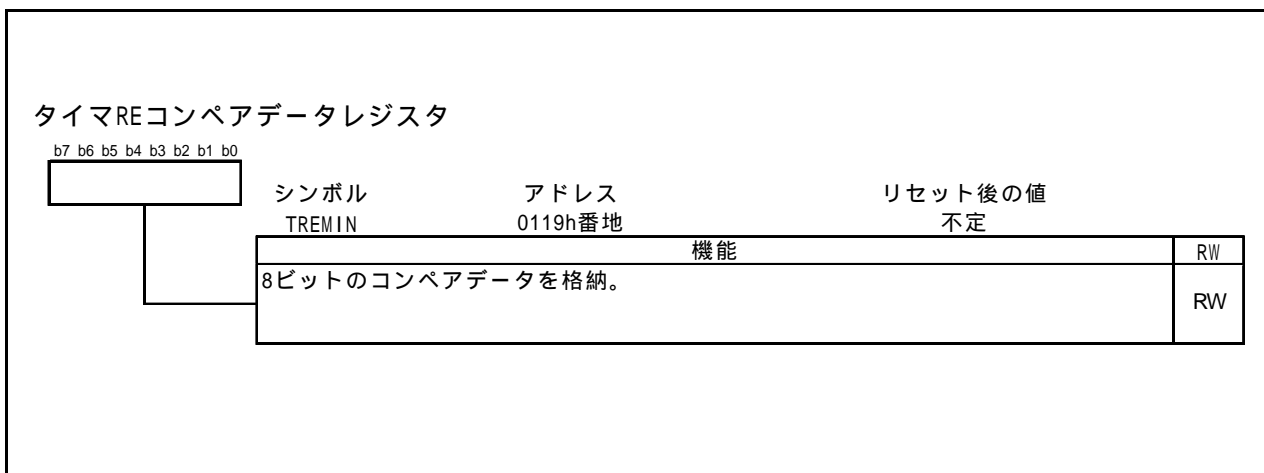


図 17.39 アウトプットコンペアーモード時のTREMINレジスタ

タイマRE制御レジスタ1

シンボル	アドレス	リセット後の値	
TREC1	011Ch番地	XXX0X0X0b	
ビットシンボル	ビット名	機能	RW
- (b0)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-
TCSTF	タイマREカウントステータスフラグ	0: カウント停止中 1: カウント中	RO
TOENA	TREO端子出力許可ビット	0: クロック出力禁止 1: クロック出力許可	RW
INT	割り込み要求タイミングビット	アウトプットコンペアモードでは“0”にしてください。	RW
TRERST	タイマREリセットビット	このビットを“1”にした後、“0”にすると次の状態になります。 ・ TRESEC、TREMINT、TREHR、TREWK、TREC2レジスタが“00h” ・ TREC1レジスタのTCSTF、INT、PM、H12_H24、TSTARTビットが“0” ・ 8ビットカウンタが“00h”、4ビットカウンタが“0h”	RW
PM	午前/午後ビット	アウトプットコンペアモードでは“0”にしてください。	RW
H12_H24	動作モード選択ビット		RW
TSTART	タイマREカウント開始ビット	0: カウント停止 1: カウント開始	RW

図 17.40 アウトプットコンペアモード時のTREC1レジスタ

タイマRE制御レジスタ2

シンボル	アドレス	リセット後の値	
TREC2	011Dh番地	00XXXXXXb	
ビットシンボル	ビット名	機能	RW
SEIE	秒周期割り込み許可ビット	アウトプットコンペアモードでは“0”にしてください。	RW
MNIE	分周期割り込み許可ビット		RW
HRIE	時周期割り込み許可ビット		RW
DYIE	日周期割り込み許可ビット		RW
WKIE	週周期割り込み許可ビット		RW
COMIE	コンペア一致割り込み許可ビット		0: コンペア一致割り込み禁止 1: コンペア一致割り込み許可
- (b7-b6)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

図 17.41 アウトプットコンペアモード時のTREC2レジスタ

タイマREカウントソース選択レジスタ

シンボル	アドレス	リセット後の値	
TRECSR	011Eh番地	00001000b	
ビットシンボル	ビット名	機能	RW
RCS0	カウントソース選択ビット(注1)	b1 b0 0 0 : f4 0 1 : f8 1 0 : f32 1 1 : fC4	RW
RCS1			RW
RCS2	4ビットカウンタ選択ビット	0 : 使用しない 1 : 使用する	RW
RCS3	リアルタイムクロックモード選択ビット	アウトプットコンペアモードでは“0”にしてください。	RW
RCS4	クロック出力選択ビット(注2)	b6 b5 b4 0 0 0 : f2 0 0 1 : fC 0 1 0 : f4 1 0 0 : f8 1 1 0 : コンペア出力 上記以外 : 設定しないでください	RW
RCS5			RW
RCS6			RW
- (b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

注1. RCS0 ~ RCS1ビットは、TREC1レジスタのTCSTFビットが“0” (カウント停止中)のとき、書いてください。

注2. RCS4 ~ RCS6ビットは、TREC1レジスタのTOENAビットが“0” (クロック出力禁止)のとき、書いてください。

図 17.42 アウトプットコンペアモード時のTRECSRレジスタ

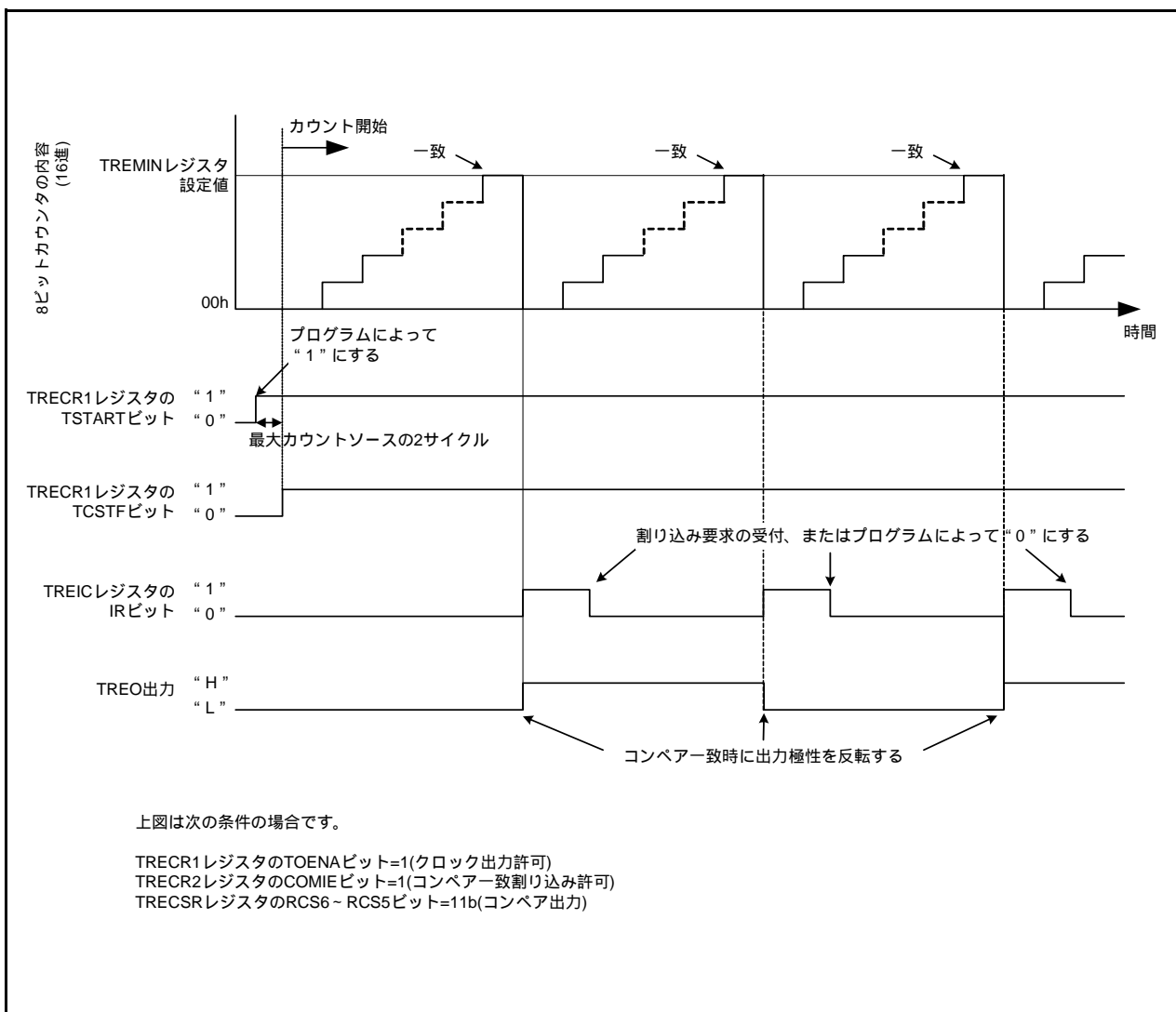


図 17.43 アウトプットコンペアーモードの動作例

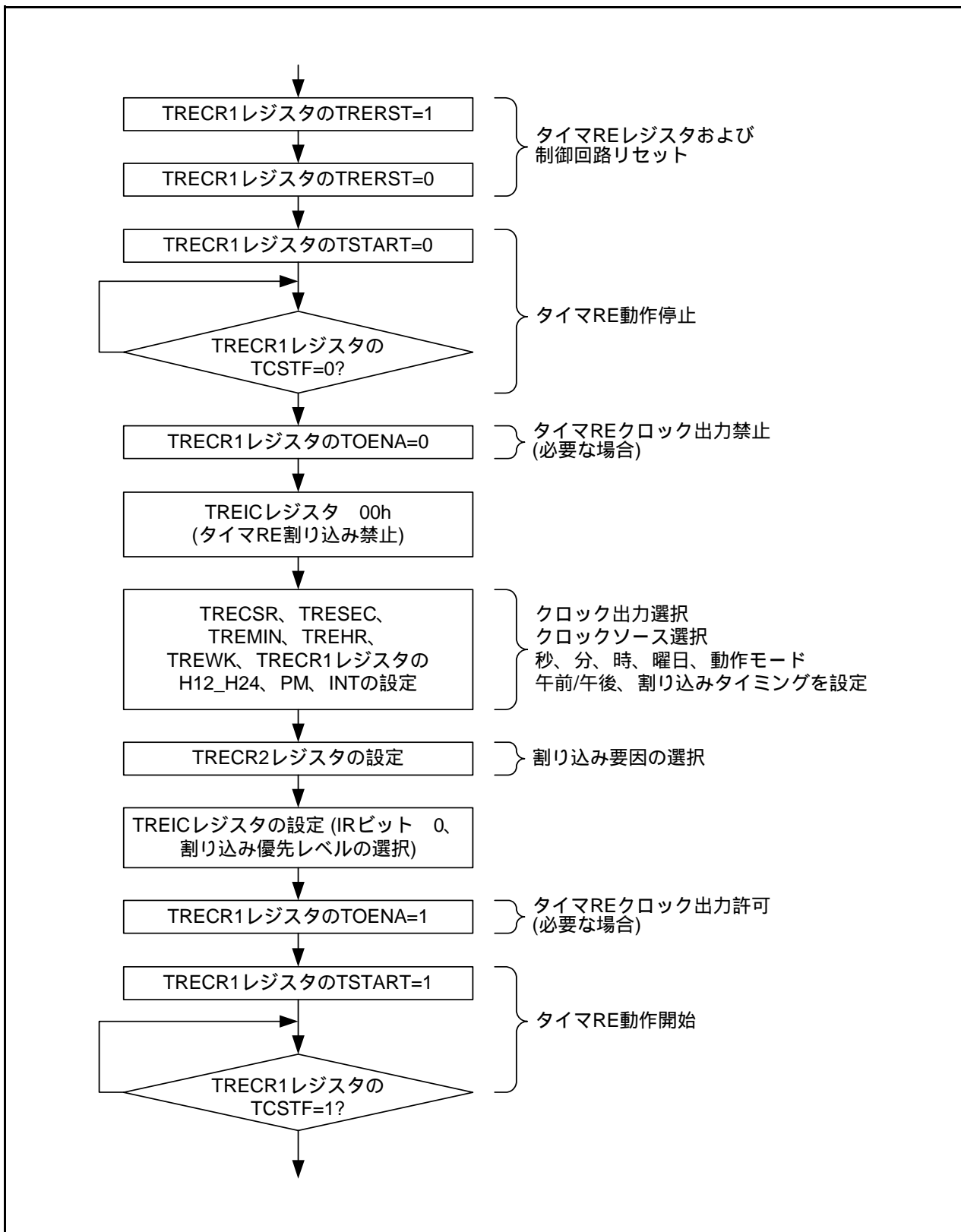


図 17.44 リアルタイムクロックモード時の設定例

17.3.3.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

17.4 タイマRF

タイマRFは、16ビットタイマです。タイマRFのカウントソースは、タイマ動作の動作クロックになります。図17.45にタイマRFのブロック図、図17.46にCMP波形生成部ブロック図、図17.47にCMP波形出力部ブロック図を示します。

タイマRFは、インプットキャプチャモード、アウトプットコンペアモードの2種類のモードを持ちます。図17.48～図17.51にタイマRF関連のレジスタを示します。

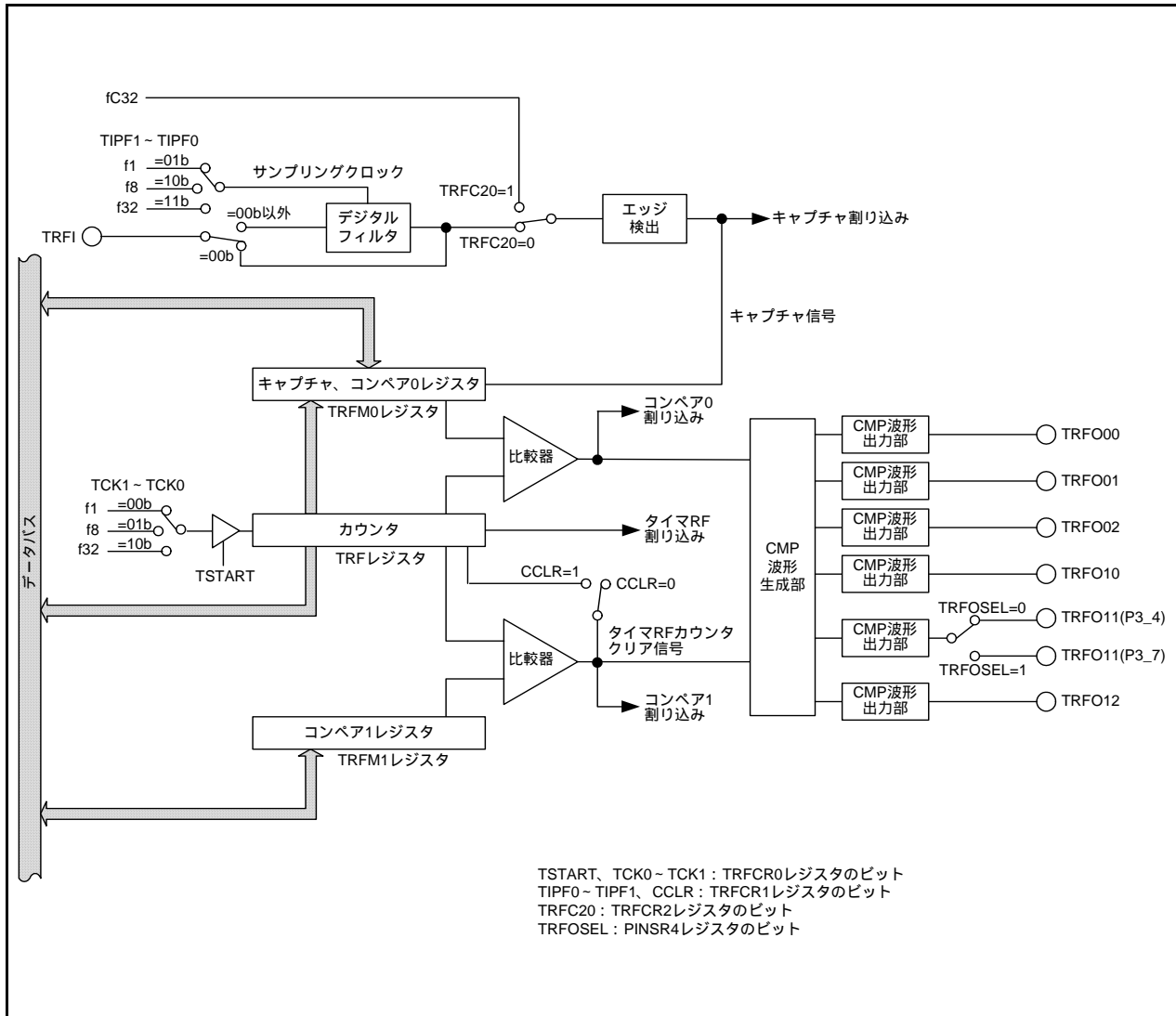


図17.45 タイマRFのブロック図

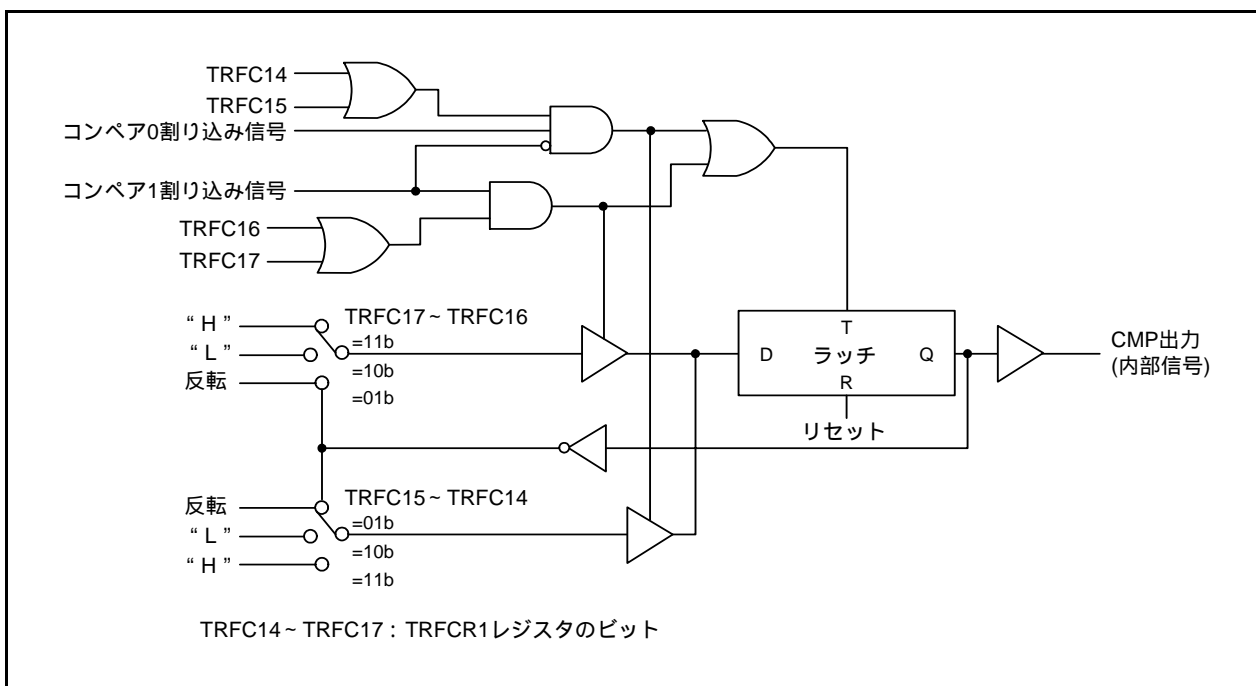


図 17.46 CMP 波形生成部ブロック図

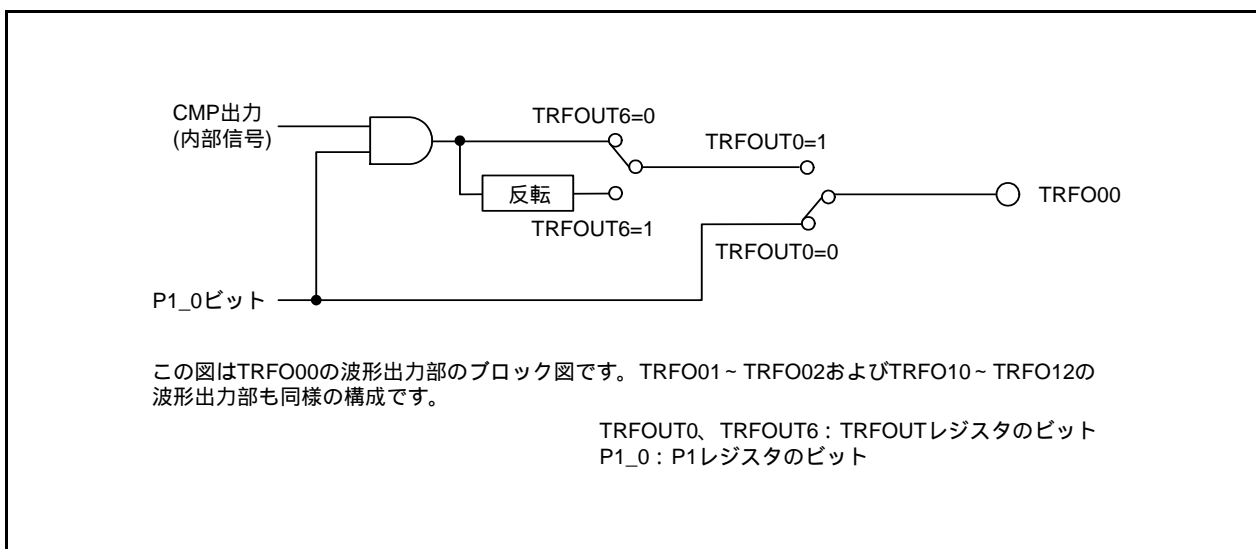


図 17.47 CMP 波形出力部ブロック図

タイマRFレジスタ(注1)

(b15) b7	(b8) b0 b7	b0	シンボル TRF	アドレス 0291h-0290h番地	リセット後の値 0000h	
機能						RW
カウントソースをアップカウント。 TSTARTビットが“0”(カウント停止)のときに読み出すと、“0000h”が読み出される。 TSTARTビットが“1”(カウント開始)のときに読み出すと、カウント値が読み出される。						RO

注1. TRFレジスタは16ビット単位でアクセスしてください。

キャプチャ、コンペア0レジスタ(注1)

(b15) b7	(b8) b0 b7	b0	シンボル TRFM0	アドレス 029Dh-029Ch番地	リセット後の値 0000h(注2)	
モード		機能		設定範囲	RW	
インプットキャプチャモード		測定パルスの有効エッジ入力時、TRFレジスタの値を格納		-	RO	
アウトプットコンペアモード(注3)		TRFレジスタ(カウンタ)との比較値を格納		0000h ~ FFFFh	RW	

注1. TRFM0レジスタは16ビット単位でアクセスしてください。

注2. TRFCR1レジスタのTMODビットを“1”にすると、FFFFhになります。

注3. TRFM0レジスタに値を設定する場合は、TRFCR1レジスタのTMODビットを“1”(アウトプットコンペアモード)にしてください。TMODビットが“0”(インプットキャプチャモード)のとき、値を書けません。

コンペア1レジスタ(注1)

(b15) b7	(b8) b0 b7	b0	シンボル TRFM1	アドレス 029Fh-029Eh番地	リセット後の値 FFFFh	
モード		機能		設定範囲	RW	
アウトプットコンペアモード		TRFレジスタ(カウンタ)との比較値を格納		0000h ~ FFFFh	RW	

注1. TRFM1レジスタは16ビット単位でアクセスしてください。

図17.48 TRF、TRFM0、TRFM1レジスタ

タイマRF制御レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



シンボル ビット シンボル	アドレス	リセット後の値	
TRFCR2	0299h番地	00h	
ビット シンボル	ビット名	機能	RW
TRFC20	タイマRFキャプチャ入力選択ビット	0 : TRFI端子入力 1 : fC32	RW
(b4-b1)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-
(b6-b5)	予約ビット	“0”にしてください。	RW
(b7)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		-

タイマRF制御レジスタ0

b7 b6 b5 b4 b3 b2 b1 b0



シンボル ビット シンボル	アドレス	リセット後の値	
TRFCR0	029Ah番地	00h	
ビット シンボル	ビット名	機能	RW
TSTART	タイマRFカウント開始ビット	0 : カウント停止 1 : カウント開始	RW
TCK0	タイマRFカウントソース 選択ビット(注1)	b2 b1 0 0 : f1 0 1 : f8 1 0 : f32 1 1 : 設定しないでください	RW
TCK1		RW	
TRFC03	キャプチャ極性選択ビット (注1)	b4 b3 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 両エッジ 1 1 : 設定しないでください	RW
TRFC04		RW	
TRFC05	カウント停止時のCMP出力選択 ビット0	0 : TRFC06ビット無効 カウント停止前の出力レベルを保持 1 : TRFC06ビット有効	RW
TRFC06	カウント停止時のCMP出力選択 ビット1	0 : カウント停止時“L”出力 1 : カウント停止時“H”出力	RW
(b7)	予約ビット	“0”にしてください。	RW

注1. このビットの変更は、TSTARTビットが“0”(カウント停止)のとき、行ってください。

☒ 17.49 TRFCR2、TRFCR0レジスタ

タイマRF制御レジスタ1			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRFCR1	029Bh番地	00h	
ビットシンボル	ビット名	機能	RW
TIPF0	TRF1フィルタ選択ビット(注1)	b1 b0 0 0: フィルタなし 0 1: フィルタあり、f1でサンプリング 1 0: フィルタあり、f8でサンプリング 1 1: フィルタあり、f32でサンプリング	RW
TIPF1			RW
CCLR	TRFレジスタカウント動作選択ビット(注2、3)	0: フリーランニング動作 1: コンペア1一致時にTRFレジスタを“0000h”にする	RW
TMOD	タイマRF動作モード選択ビット(注3)	0: インพุットキャプチャモード(注2、4) 1: アウトプットコンペアモード	RW
TRFC14	コンペア0出力選択ビット(注2)	b5 b4 コンペア0一致時のCMP出力 0 0: 変化しない 0 1: 反転 1 0: “L” 1 1: “H”	RW
TRFC15			RW
TRFC16	コンペア1出力選択ビット(注2)	b7 b6 コンペア1一致時のCMP出力 0 0: 変化しない 0 1: 反転 1 0: “L” 1 1: “H”	RW
TRFC17			RW

注1. フィルタありの場合、TRF1端子から同じ値を3回連続してサンプリングした時点で入力が増定します。

注2. TMODビットが“0”(インพุットキャプチャモード)のとき、CCLR、TRFC14~TRFC17ビットは“0”にしてください。

注3. CCLR、TMODビットは、TRFCR0レジスタのTSTARTビットが“0”(カウント停止)のとき、変更してください。

注4. TMODビットが“0”(インพุットキャプチャモード)のとき、CMP11CレジスタのILVL2~ILVL0ビットを“000b”(レベル0)、IRビットを“0”(割り込み要求なし)にしてください。

図17.50 TRFCR1レジスタ

タイマRF出力制御レジスタ			
b7 b6 b5 b4 b3 b2 b1 b0			
シンボル	アドレス	リセット後の値	
TRFOUT	02FFh番地	00h	
ビットシンボル	ビット名	機能	RW
TRFOUT0	TRFO00出力許可ビット	0: 出力禁止 1: 出力許可	RW
TRFOUT1	TRFO01出力許可ビット		RW
TRFOUT2	TRFO02出力許可ビット		RW
TRFOUT3	TRFO10出力許可ビット		RW
TRFOUT4	TRFO11出力許可ビット		RW
TRFOUT5	TRFO12出力許可ビット		RW
TRFOUT6	TRFO00~TRFO02出力反転ビット	0: 出力を反転しない 1: 出力を反転する	RW
TRFOUT7	TRFO10~TRFO12出力反転ビット		RW

図17.51 TRFOUTレジスタ

17.4.1 インพุットキャプチャモード

インพุットキャプチャモードは、TRFI端子へのエッジ入力またはfC32をトリガとしてタイマの値をラッチし、外部信号の幅や周期を測定するモードです。またTRFI入力はデジタルフィルタを持ちますので、ノイズ等による誤動作を防止できます。表17.14にインพุットキャプチャモードの仕様を、図17.52にインพุットキャプチャモードの動作例を示します。

表17.14 インพุットキャプチャモードの仕様

項目	仕様
カウントソース	f1、f8、f32
カウント動作	<ul style="list-style-type: none"> • アップカウント • 測定パルスの有効エッジ入力で、TRFレジスタの値をTRFM0レジスタに転送
カウンタ周期	$1/fk \times 65536$ fk: カウントソースの周波数
カウント開始条件	TRFCR0レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> • TRFI入力またはfC32の有効エッジ[キャプチャ割り込み] • タイマRFのオーバフロー時 [タイマRF割り込み]
TRFI端子機能	測定パルス入力
TRFO00 ~ TRFO02、TRFO11、TRFO12端子機能	プログラマブル入出力ポート
カウンタ値初期化タイミング	次のとき、TRFレジスタの値は“0000h”になる <ul style="list-style-type: none"> • TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み時
タイマの読み出し	<ul style="list-style-type: none"> • TRFレジスタを読み出すと、カウント値が読み出される • TRFM0レジスタを読み出すと、測定パルス有効エッジ入力時のカウント値が読み出される
タイマの書き込み	TRF、TRFM0レジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> • TRFIまたはfC32極性選択 測定パルスの有効エッジを選択 (TRFCR0レジスタのTRFC03 ~ TRFC04ビット) • デジタルフィルタ機能 TRFI入力をサンプリングし、3回一致したらレベルが確定したとみなす。 デジタルフィルタのサンプリングクロックを選択できる。 (TRFCR1レジスタのTIPF0 ~ TIPF1ビット)

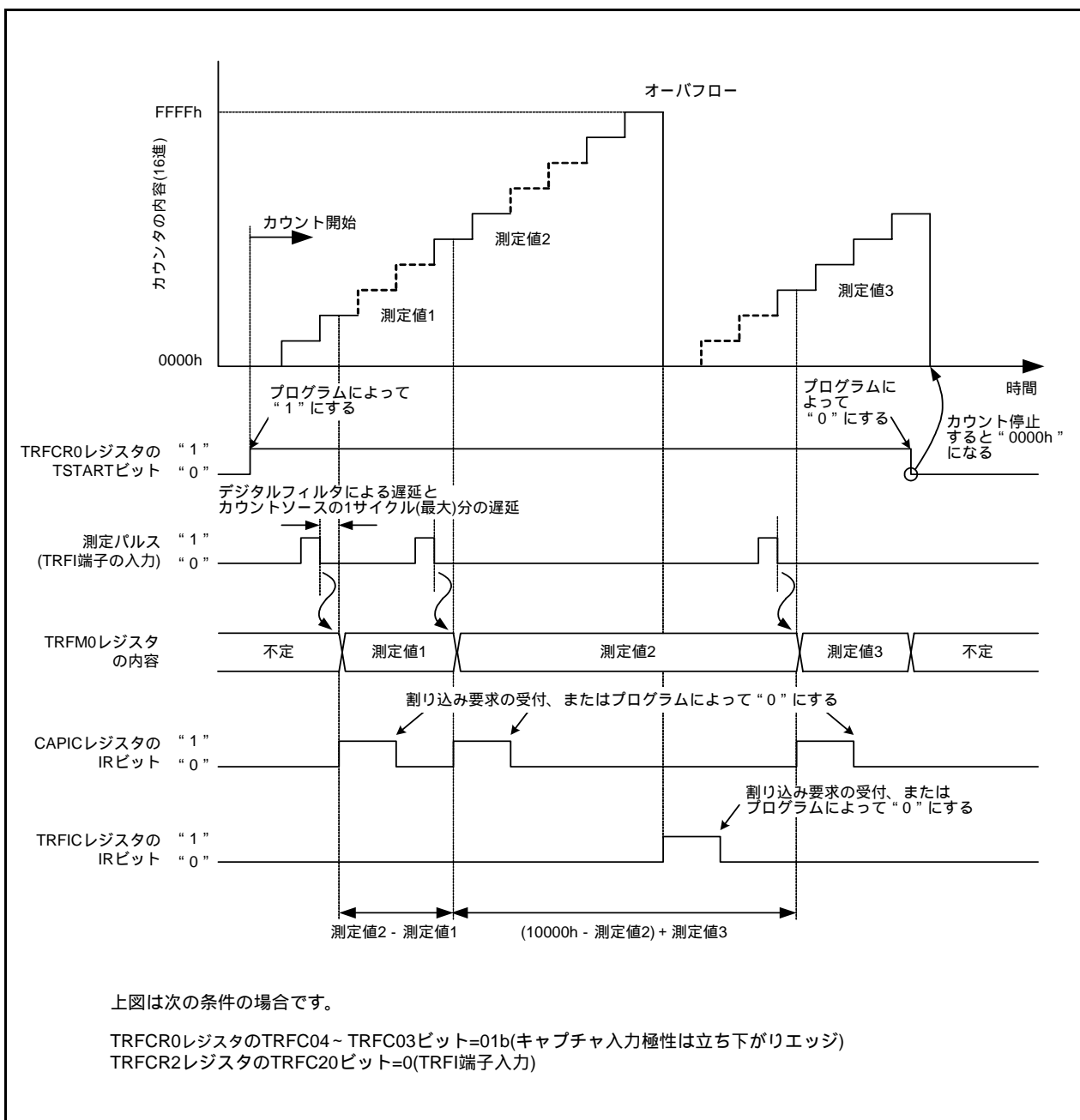


図17.52 インพุットキャプチャモードの動作例

17.4.1.1 デジタルフィルタ

TRFI入力をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRFCR1レジスタで選択してください。

図17.53にデジタルフィルタを示します。

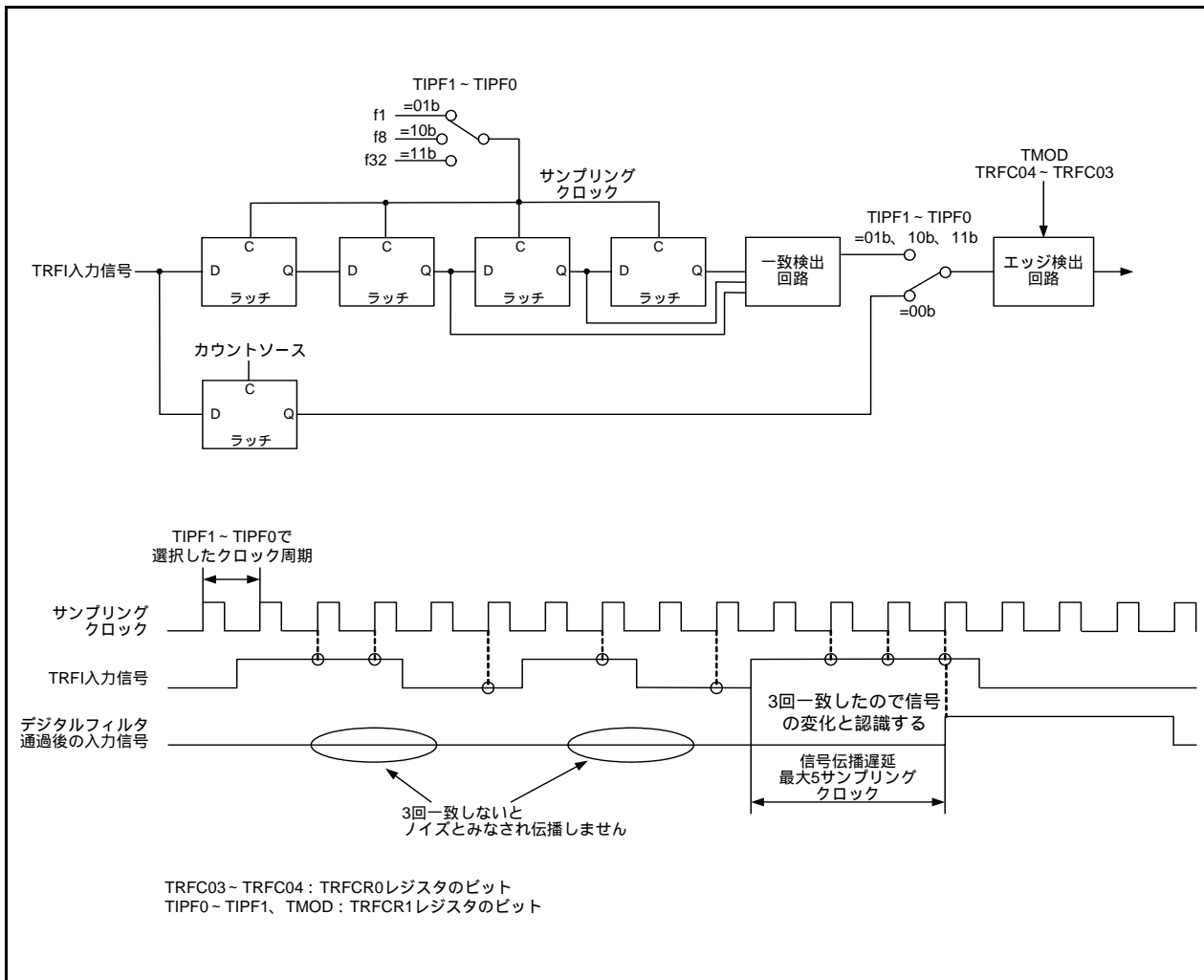


図17.53 デジタルフィルタ

17.4.2 アウトプットコンペアモード

アウトプットコンペアモードはTRFレジスタとTRFM0レジスタの値が一致したとき(コンペア0一致)、またはTRFレジスタとTRFM1レジスタの値が一致したとき(コンペア1一致)に、アウトプットコンペア出力端子から任意のレベルを出力するモードです。表17.15にアウトプットコンペアモードの仕様を、表17.16にアウトプットコンペアモードの出力(TRFO00端子の例)を、図17.54にアウトプットコンペアモードの動作例を、図17.55にアウトプットコンペアモードの動作例(カウント中の“L”、“H”固定出力)を示します。

表17.15 アウトプットコンペアモードの仕様

項目	仕様
カウントソース	f1、f8、f32
カウント動作	アップカウント
PWM波形	PWM周期: $1/f_k \times (n+1)$ “L”レベル幅: $1/f_k \times (m+1)$ “H”レベルの幅: $1/f_k \times (n-m)$ f_k : カウントソースの周波数 m : TRFM0レジスタ設定値 n : TRFM1レジスタ設定値 
カウント開始条件	TRFCR0レジスタのTSTARTビットへの“1”(カウント開始)書き込み
カウント停止条件	TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み
割り込み要求発生タイミング	<ul style="list-style-type: none"> コンペア0一致時 [コンペア0割り込み] コンペア1一致時 [コンペア1割り込み] タイマRFのオーバフロー時 [タイマRF割り込み]
TRFO00 ~ TRFO12端子機能	プログラマブル入出力ポート、またはアウトプットコンペア出力
カウンタ値初期化タイミング	次のとき、TRFレジスタの値は“0000h”になる <ul style="list-style-type: none"> TRFCR0レジスタのTSTARTビットへの“0”(カウント停止)書き込み時 TRFCR1レジスタのCCLRビットが“1”(コンペア1一致時にTRFレジスタを“0000h”にする)ときのコンペア1一致
タイマの読み出し	<ul style="list-style-type: none"> TRFレジスタを読み出すと、カウント値が読み出される TRFM0、TRFM1レジスタを読み出すと、コンペアレジスタの値が読み出される
タイマの書き込み	TRFレジスタへの書き込みはできない。
選択機能	<ul style="list-style-type: none"> アウトプットコンペア出力端子選択 TRFO00 ~ TRFO02、TRFO10 ~ TRFO12端子のいずれか1本または複数本(TRFOUTレジスタのTRFOUT0 ~ TRFOUT5ビット) コンペア一致時の出力レベル “H”、“L”、反転、変化しないを選択(TRFCR1レジスタのTRFC14 ~ TRFC17ビット) 出力レベル反転 出力レベルを反転する、反転しないを選択(TRFOUTレジスタのTRFOUT6 ~ TRFOUT7ビット) カウント停止時の出力レベル “H”、“L”、変化しないを選択(TRFCR0レジスタのTRFC05 ~ TRFC06ビット) TRFレジスタを“0000h”にするタイミング オーバフロー、またはTRFM1レジスタのコンペア1一致(TRFCR1レジスタのCCLRビット) TRFO11端子選択機能 PINSR4レジスタのTRFOSELビットでP3_4またはP3_7を選択

表17.16 アウトプットコンペアモードの出力(TRFO00端子の例)

TRFO00出力		ビットの設定値					
		TRFCR0レジスタ			TRFOUTレジスタ		P1レジスタ
		TRFC06	TRFC05	TSTART	TRFOUT6	TRFOUT0	P1_0
カウン ト中	CMP出力	X	X	1	0	1	1
	CMP出力の反転出力	X	X	1	1	1	1
	“L”出力	X	X	1	0	1	0
	“H”出力	X	X	1	1	1	0
カウン ト停 止	カウント停止前の 出力レベルを保持	X	0	0	X	1	1
	“L”出力	0	1	0	X	1	1
	“H”出力	1	1	0	X	1	1

X：“0”または“1”

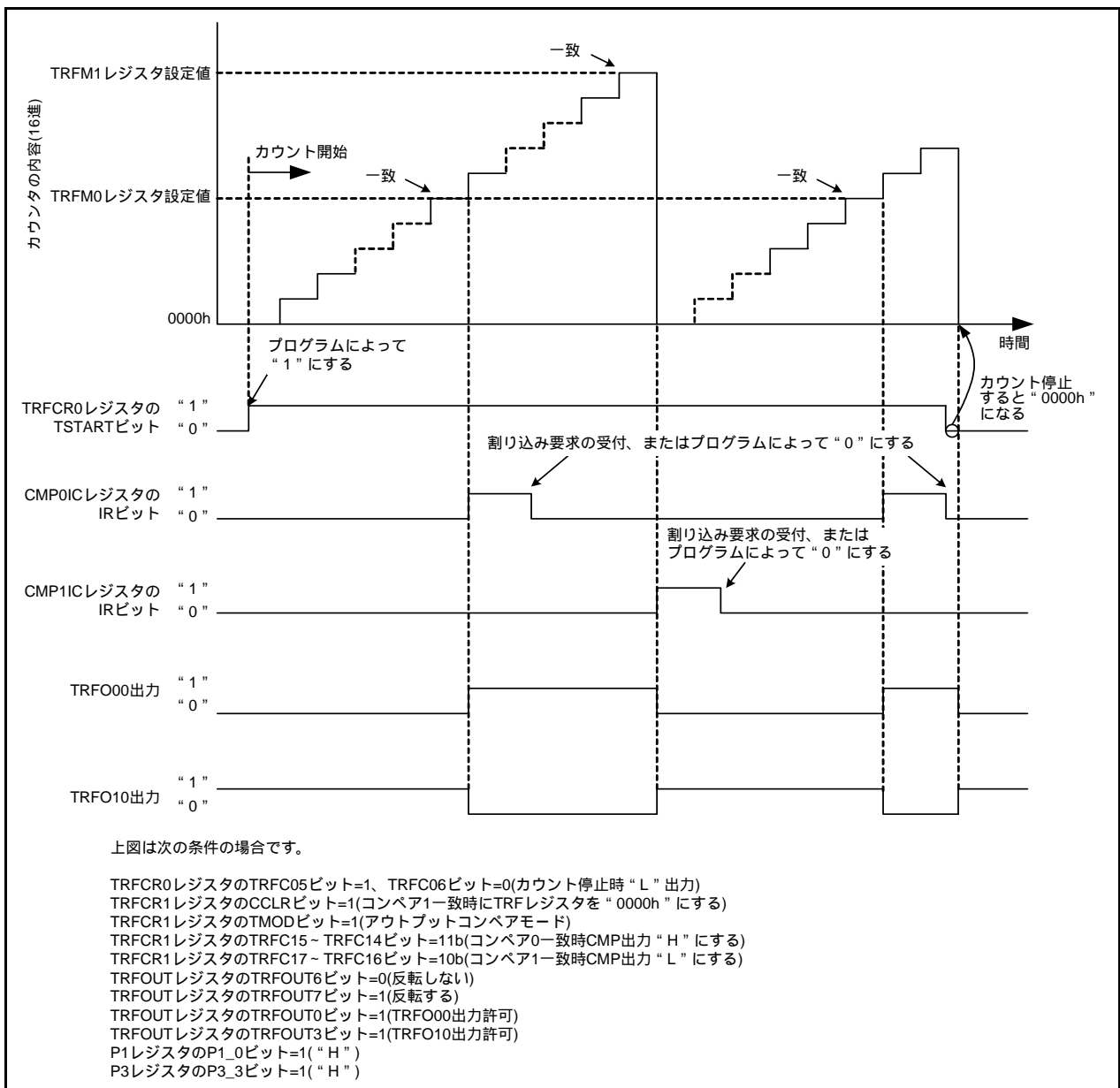


図17.54 アウトプットコンペアモードの動作例

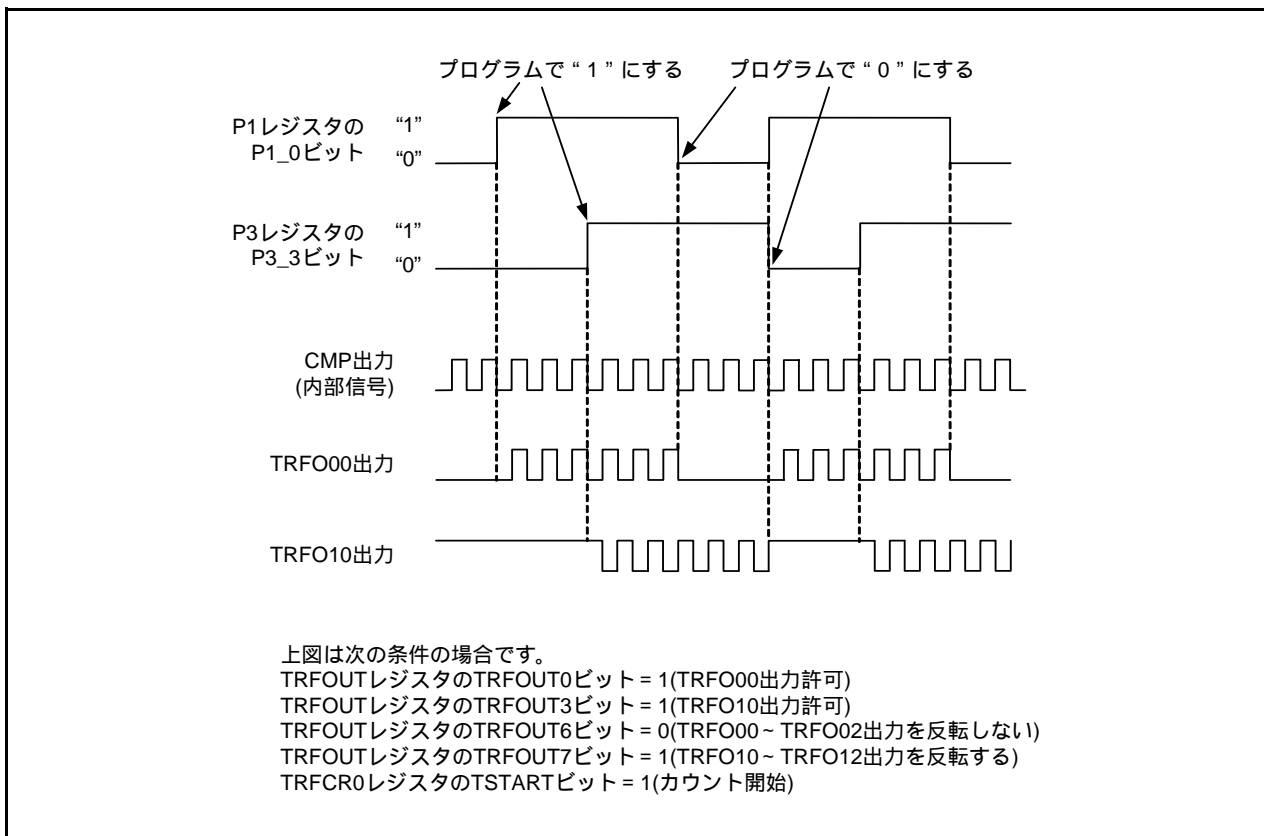


図17.55 アウトプットコンペアモードの動作例(カウント中の“L”、“H”固定出力)

アウトプットコンペアモードでは、カウント中 TRFO00 ~ TRFO02 と TRFO10 ~ TRFO12 のどの端子からも、同じPWM波形を出力します。ただし、TRFO00 ~ TRFO02 の3本単位、TRFO10 ~ TRFO12 の3本単位で出力波形を反転することができます。また、1本ずつ任意の期間“L”または“H”に出力を固定できます。

カウントを停止する場合には、カウント停止前の出力レベルを保持するか、“L”または“H”に出力を固定するか選択できます。

TRFMi (i = 0, 1) レジスタを読み出すとコンペアiレジスタの値が読めます。TRFMi レジスタへ書くと、次のタイミングでコンペアiレジスタに値が格納されます。

- TSTART ビットが “0” (カウント停止) の場合
TRFMi レジスタへ書くと同時
- TSTART ビットが “1” (カウント中) かつ TRFCR1 レジスタの CCLR ビットが “0” (フリーランニング動作) の場合
TRF レジスタ (カウンタ) がオ - バフロ - したとき
- TSTART ビットが “1” かつ CCLR ビットが “1” (コンペア 1 一致時に TRF レジスタを “0000h” にする) の場合
コンペア 1 レジスタと TRF レジスタ (カウンタ) が一致したとき

17.4.3 タイマRF使用上の注意

- TRFレジスタ、TRFM0レジスタおよびTRFM1レジスタは、16ビット単位でアクセスしてください。

<タイマRFを読み出すプログラム例>

```
MOV.W    0290H,R0    ;タイマRFの読み出し
```

- インプットキャプチャモードでは、TRFCR0レジスタのTSTARTビットが“0”(カウント停止)のときも、TRFCR0レジスタのTRFC03、TRFC04ビットで選択したエッジがTRFI端子に入力されると、キャプチャ割り込み要求が発生します。

18. シリアルインタフェース

シリアルインタフェースはUART0、UART2の2チャンネルで構成しています。UART0、UART2はそれぞれ専用の転送クロック発生用タイマを持ち独立して動作します。

図 18.1 にUARTi(i=0、2)のブロック図を、図 18.2 に送受信部のブロック図を示します。

クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード(UARTモード)の2種類のモードを持ちます。

図 18.3 ~ 図 18.5 にUARTi関連のレジスタを示します。

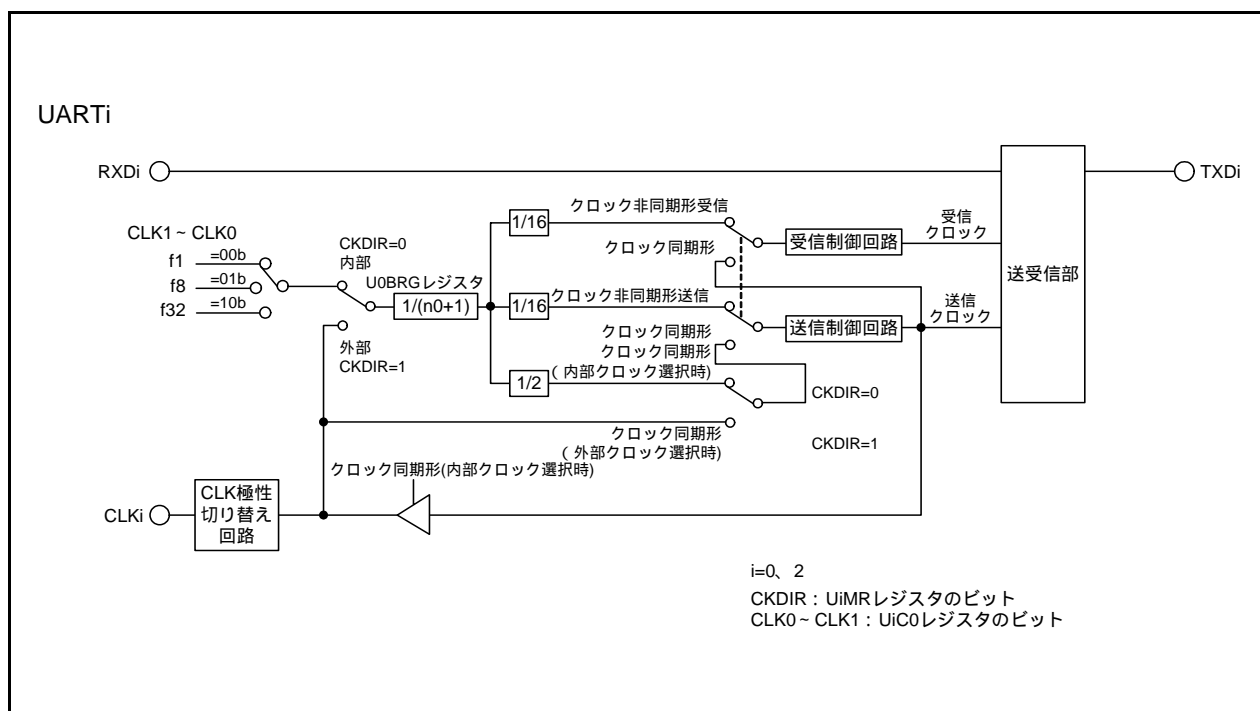


図 18.1 UARTi(i=0、2)のブロック図

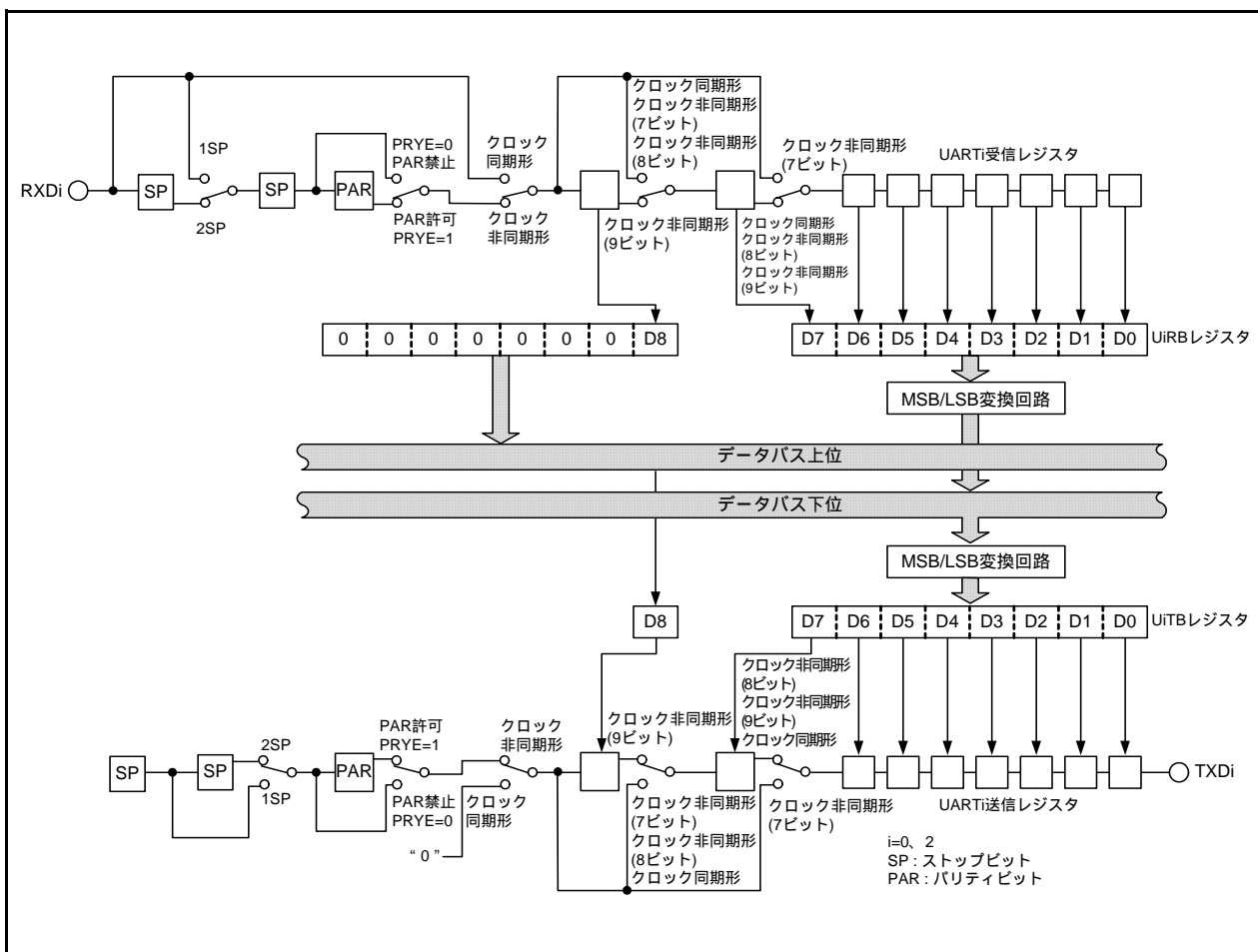


図 18.2 送受信部のブロック図

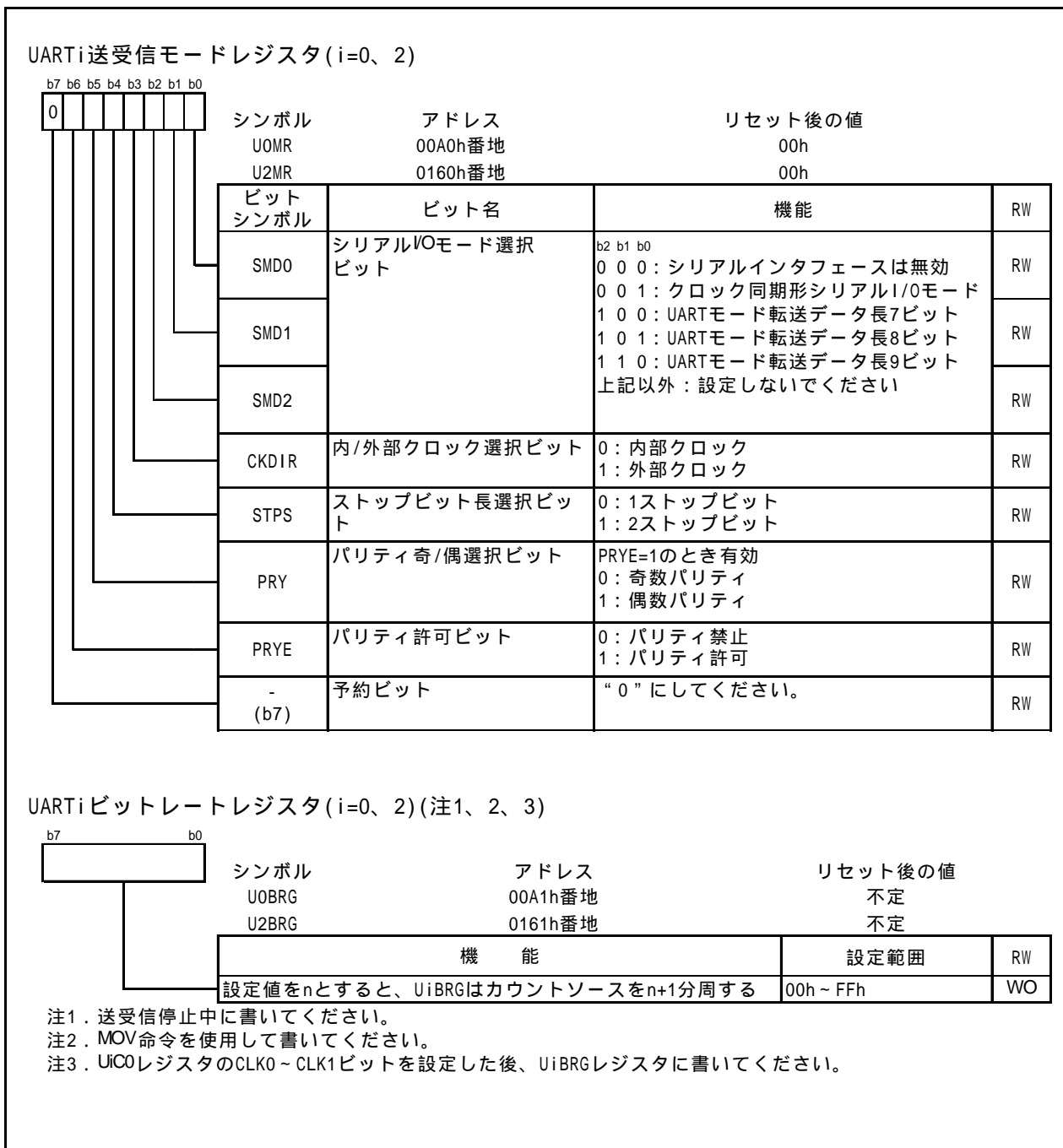


図 18.3 U0MR、U2MR、U0BRG、U2BRGレジスタ

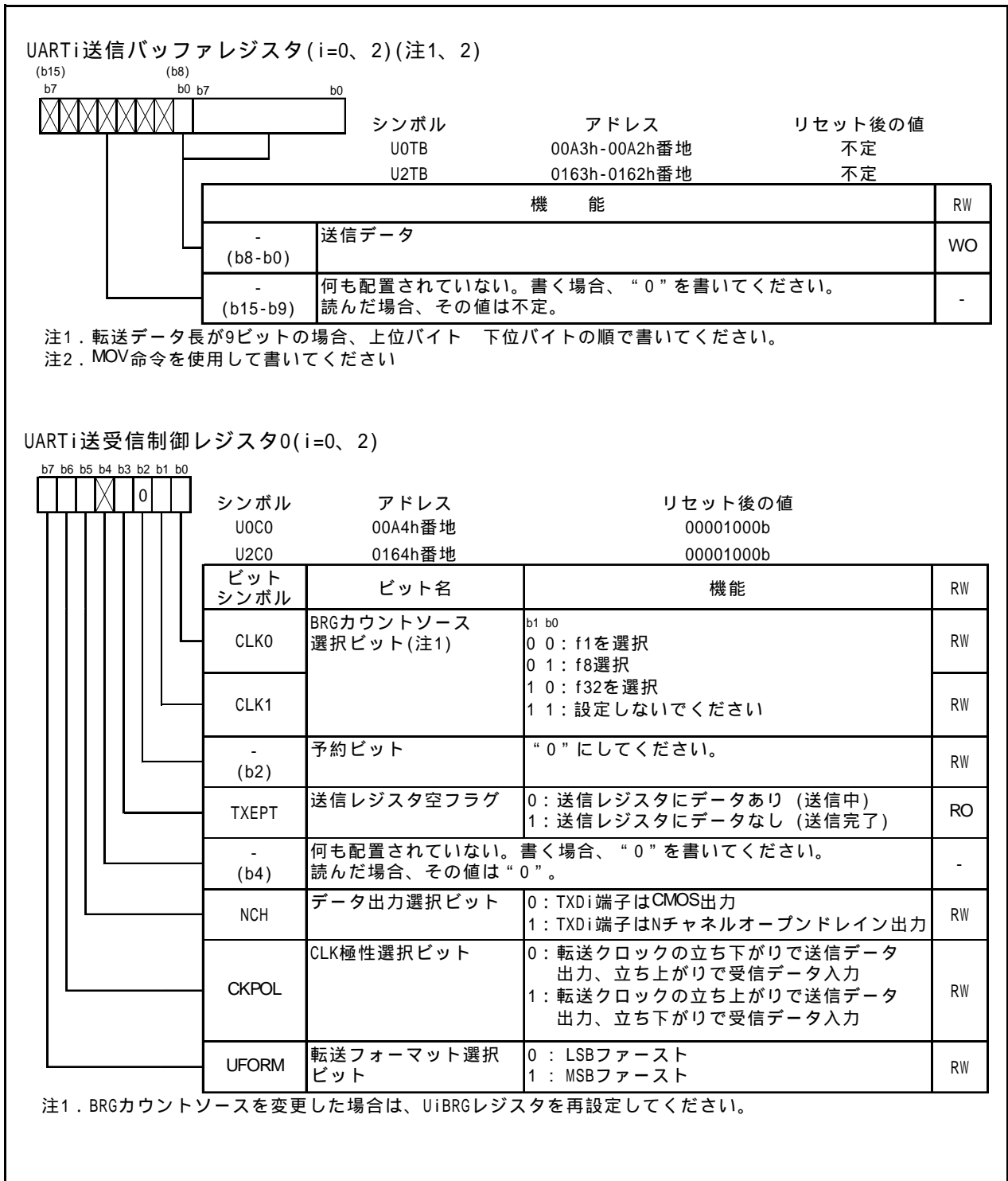


図 18.4 U0TB、U2TB、U0C0、U2C0レジスタ

UART _i 送受信制御レジスタ1(i=0、2)			
シンボル	アドレス	リセット後の値	
U0C1	00A5h番地	00000010b	
U2C1	0165h番地	00000010b	
ビットシンボル	ビット名	機能	RW
TE	送信許可ビット	0: 送信禁止 1: 送信許可	RW
TI	送信バッファ空フラグ	0: UiTBにデータあり 1: UiTBにデータなし	RO
RE	受信許可ビット	0: 受信禁止 1: 受信許可	RW
RI	受信完了フラグ(注1)	0: UiRBにデータなし 1: UiRBにデータあり	RO
UiIRS	UART _i 送信割り込み要因選択ビット	0: 送信バッファ空(TI=1) 1: 送信完了(TXEPT=1)	RW
UiRRM	UART _i 連続受信モード許可ビット(注2)	0: 連続受信モード禁止 1: 連続受信モード許可	RW
-(b6)	予約ビット	“0”にしてください。	RW
-(b7)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。	-

注1. RIビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

注2. UARTモード時、UiRRMビットは“0”(連続受信モード禁止)にしてください。

UART _i 受信バッファレジスタ(i=0、2)(注1)			
シンボル	アドレス	リセット後の値	
U0RB	00A7h-00A6h番地	不定	
U2RB	0167h-0166h番地	不定	
ビットシンボル	ビット名	機能	RW
-(b7-b0)	-	受信データ(D7~D0)	RO
-(b8)	-	受信データ(D8)	RO
-(b11-b9)		何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。	-
OER	オーバランエラーフラグ(注2)	0: オーバランエラーなし 1: オーバランエラー発生	RO
FER	フレーミングエラーフラグ(注2)	0: フレーミングエラーなし 1: フレーミングエラー発生	RO
PER	パリティエラーフラグ(注2)	0: パリティエラーなし 1: パリティエラー発生	RO
SUM	エラーサムフラグ(注2)	0: エラーなし 1: エラー発生	RO

注1. UiRBレジスタは必ず16ビット単位で読み出してください。

注2. SUM、PER、FER、OERビットは、UiMRレジスタのSMD2~SMD0ビットを“000b”(シリアルインタフェースは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、“0”(エラーなし)になります(SUMビットは、PER、FER、OERビットがすべて“0”(エラーなし)になると、“0”(エラーなし)になります)。また、PER、FERビットはUiRBレジスタの上位バイトを読み出したとき、“0”になります。

図 18.5 U0C1、U2C1、U0RB、U2RBレジスタ

18.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表 18.1にクロック同期形シリアルI/Oモードの仕様を、表 18.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)を示します。

表 18.1 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	・転送データ長 8ビット
転送クロック	・UiMRレジスタのCKDIRビットが“0”(内部クロック): $f_i/(2(n+1))$ $f_i=f_1, f_8, f_{32}$ $n=UiBRG$ レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック): CLKi端子からの入力
送信開始条件	・送信開始には、以下の条件が必要です(注1)。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	・受信開始には、以下の条件が必要です(注1)。 UiC1レジスタのREビットが“1”(受信許可) UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空): UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了): UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	・オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
選択機能	・CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 ・LSBファースト、MSBファースト 選択 ビット0から送受信するか、またはビット7から送受信するかを選択 ・連続受信モード選択 UiRBレジスタを読み出す動作により、同時に受信許可状態になる

i=0, 2

注1. 外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態、CKPOLビットが“1”(転送クロックの立ち上がり)で送信データ出力、立ち下がり)で受信データ入力)のときは外部クロックが“L”の状態)で条件を満たしてください。

注2. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 18.2 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
UiTB	0 ~ 7	送信データを設定してください
UiRB	0 ~ 7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください
	UiRRM	連続受信モードを使用する場合、“1” にしてください

i=0, 2

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。

表 18.3 にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。

UART_i (i=0, 2) の動作モード選択後、転送開始までは、TXD_i 端子は“H”レベルを出力します (NCHビットが“1” (Nチャネルオープンドレイン出力) の場合、ハイインピーダンス状態)。

表 18.3 クロック同期形シリアルI/Oモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	転送クロック出力	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TXD2(P6_3)	シリアルデータ出力	(受信だけを行うときはダミーデータ出力)
RXD2(P6_4)	シリアルデータ入力	PD6レジスタのPD6_4ビット=0 (送信だけを行うときはP6_4を入力ポートとして使用可)
CLK2(P6_5)	転送クロック出力	U2MRレジスタのCKDIRビット=0
	転送クロック入力	U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0

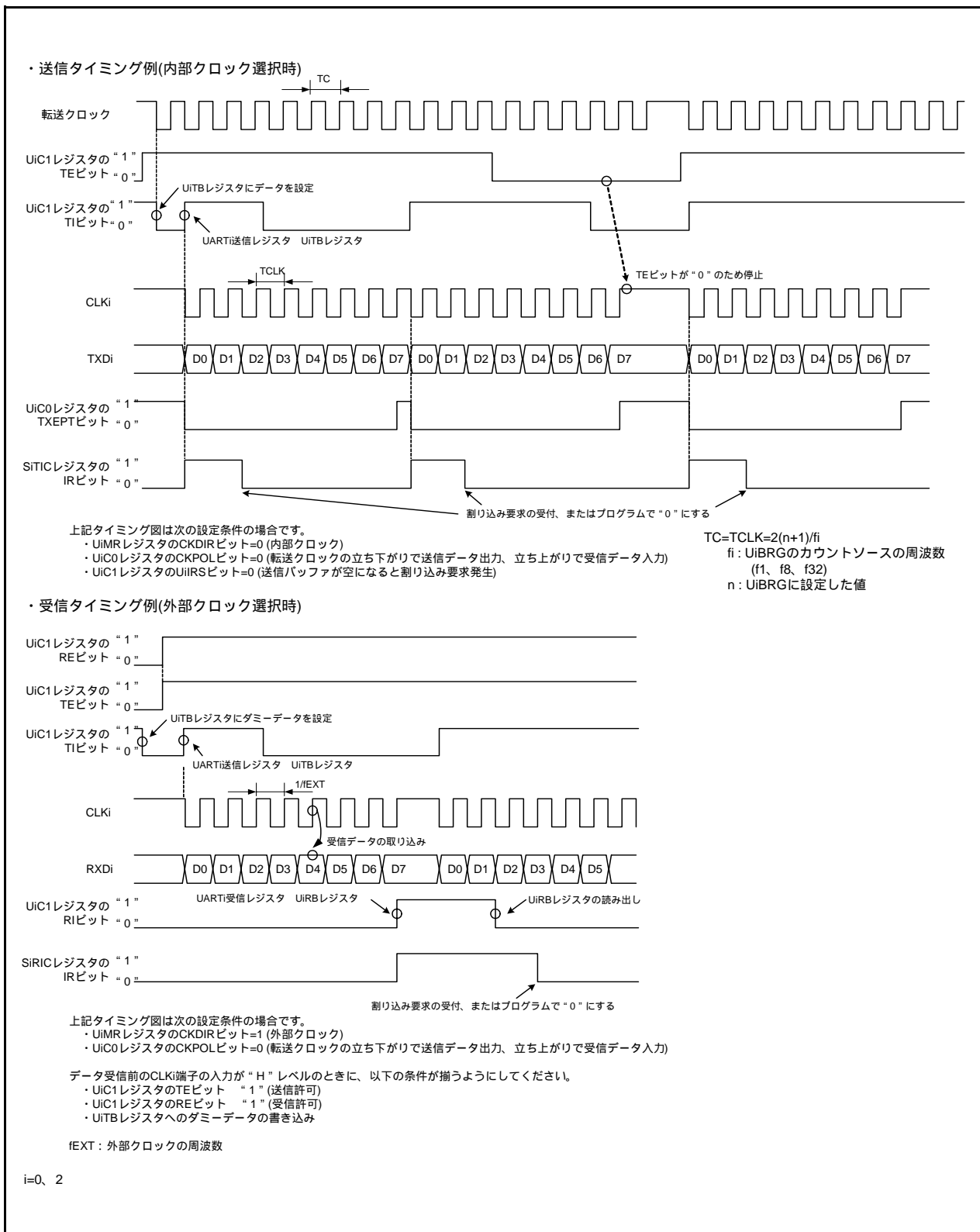


図 18.6 クロック同期形シリアルI/Oモード時の送受信タイミング例

18.1.1 極性選択機能

図 18.7 に転送クロックの極性を示します。UIC0レジスタ(i=0、2)のCKPOLビットによって転送クロックの極性を選択できます。

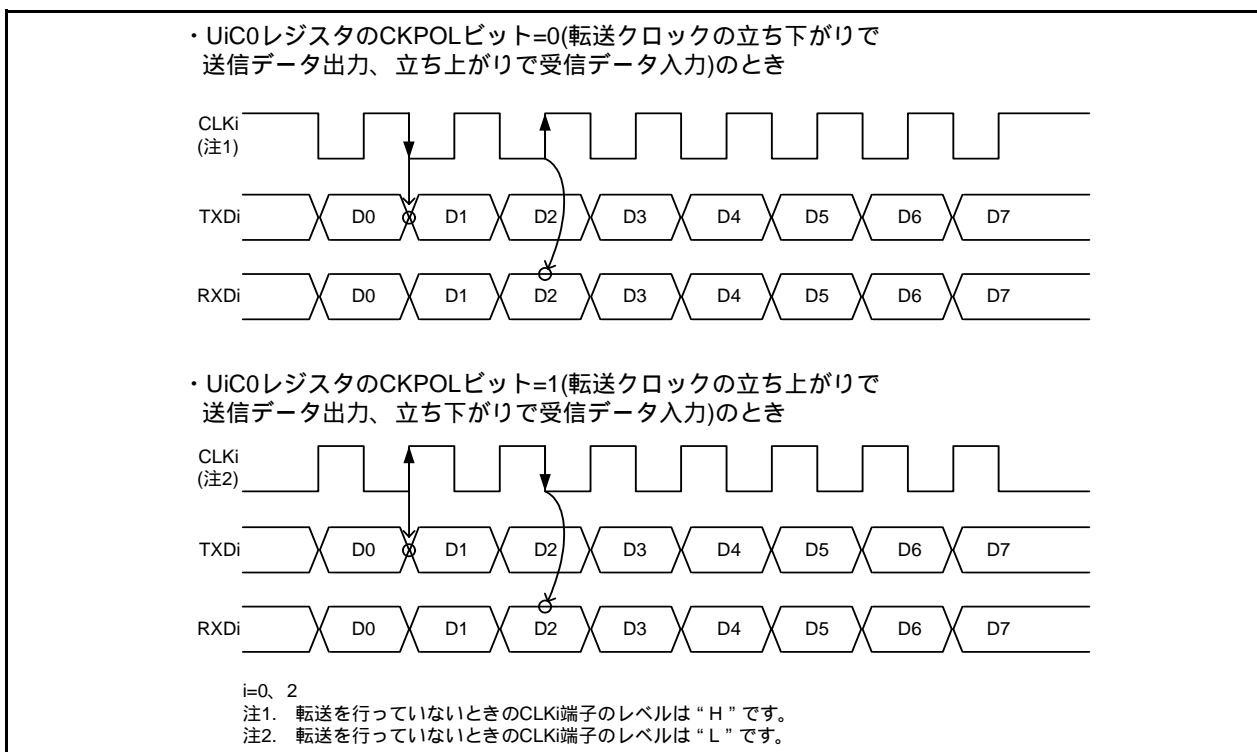


図 18.7 転送クロックの極性

18.1.2 LSBファースト、MSBファースト選択

図 18.8 に転送フォーマットを示します。UIC0レジスタ(i=0、2)のUFORMビットで転送フォーマットを選択できます。

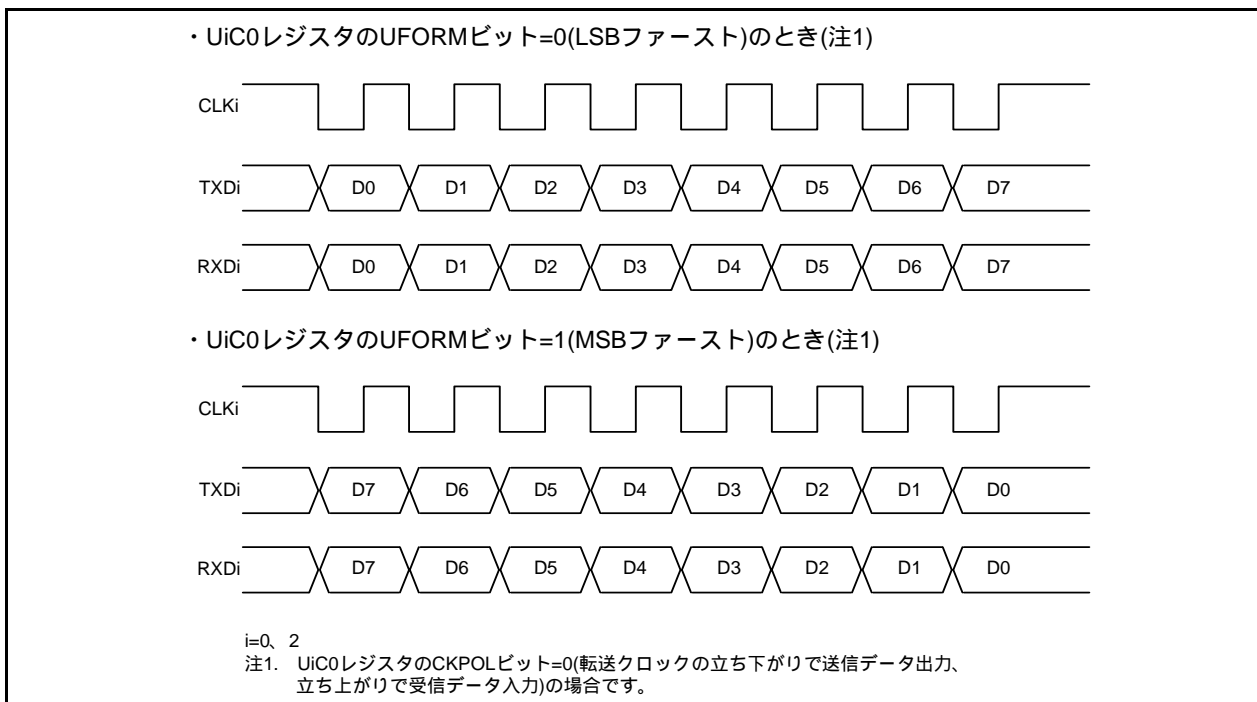


図 18.8 転送フォーマット

18.1.3 連続受信モード

UiC1レジスタ(i=0、2)のUiRRMビットを“1”(連続受信モード許可)に設定することによって、連続受信モードになります。連続受信モードでは、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。

18.2 クロック非同期形シリアルI/O(UART)モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表 18.4 にクロック非同期形シリアルI/Oモードの仕様を、表 18.5 にUARTモード時の使用レジスタと設定値を示します。

表 18.4 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	<ul style="list-style-type: none"> ・キャラクタビット(転送データ) 7ビット、8ビット、9ビット 選択可 ・スタートビット 1ビット ・パリティビット 奇数、偶数、無し選択可 ・ストップビット 1ビット、2ビット 選択可
転送クロック	<ul style="list-style-type: none"> ・UiMRレジスタのCKDIRビットが“0”(内部クロック) : $f_j/(16(n+1))$ $f_j=f_1, f_8, f_{32}$ $n=UiBRG$レジスタの設定値 00h ~ FFh ・CKDIRビットが“1”(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT}はCLKi端子からの入力 $n=UiBRG$レジスタの設定値 00h ~ FFh
送信開始条件	<ul style="list-style-type: none"> ・送信開始には、以下の条件が必要です。 UiC1レジスタのTEビットが“1”(送信許可) UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	<ul style="list-style-type: none"> ・受信開始には、以下の条件が必要です。 UiC1レジスタのREビットが“1”(受信許可) スタートビットの検出
割り込み要求発生タイミング	<ul style="list-style-type: none"> ・送信する場合、次の条件のいずれかを選択できます。 -UiIRSビットが“0”(送信バッファ空) : UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) -UiIRSビットが“1”(送信完了) : UARTi送信レジスタからデータ送信完了時 ・受信する場合 UARTi受信レジスタから、UiRBレジスタへデータ転送時(受信完了時)
エラー検出	<ul style="list-style-type: none"> ・オーバランエラー(注1) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 ・フレーミングエラー 設定した個数のストップビットが検出されなかったときに発生 ・パリティエラー パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 ・エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

i=0, 2

注1. オーバランエラーが発生した場合、UiRBレジスタの受信データ(b0 ~ b8)は不定になります。またSiRICレジスタのIRビットは変化しません。

表 18.5 UARTモード時の使用レジスタと設定値

レジスタ	ビット	機能
UiTB	0 ~ 8	送信データを設定してください(注1)
UiRB	0 ~ 8	受信データが読めます(注1、2)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0 ~ 7	ビットレートを設定してください
UiMR	SMD2 ~ SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください。
	STPS	ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数奇数を選択してください。
UiC0	CLK1 ~ CLK0	UiBRGレジスタのカウントソースを選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXDi端子の出力形式を選択してください。
	CKPOL	“0”にしてください。
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください。
	RI	受信完了フラグ
	UiIRS	UARTi送信割り込み要因を選択してください。
	UiRRM	“0”にしてください。

i=0, 2

注1. 使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

注2. 転送データ長7ビットの場合のビット7～8、転送データ長8ビットの場合のビット8の内容は不定です。

表 18.6にUARTモード時の入出力端子の機能を示します。なお、UARTi(i=0, 2)の動作モード選択後、転送開始までは、TXDi端子は“H”レベルを出力しません(NCHビットが“1”(Nチャンネルオープンドレイン出力)の場合、ハイインピーダンス状態)。

表 18.6 UARTモード時の入出力端子の機能

端子名	機能	選択方法
TXD0(P1_4)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD0(P1_5)	シリアルデータ入力	PD1レジスタのPD1_5ビット=0 (送信だけを行うときはP1_5を入力ポートとして使用可)
CLK0(P1_6)	プログラマブル入出力ポート	U0MRレジスタのCKDIRビット=0
	転送クロック入力	U0MRレジスタのCKDIRビット=1 PD1レジスタのPD1_6ビット=0
TXD2(P6_3)	シリアルデータ出力	(受信だけを行うときはポートとして使用不可)
RXD2(P6_4)	シリアルデータ入力	PD6レジスタのPD6_4ビット=0 (送信だけを行うときはP6_4を入力ポートとして使用可)
CLK2(P6_5)	プログラマブル入出力ポート	U2MRレジスタのCKDIRビット=0
	転送クロック入力	U2MRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0

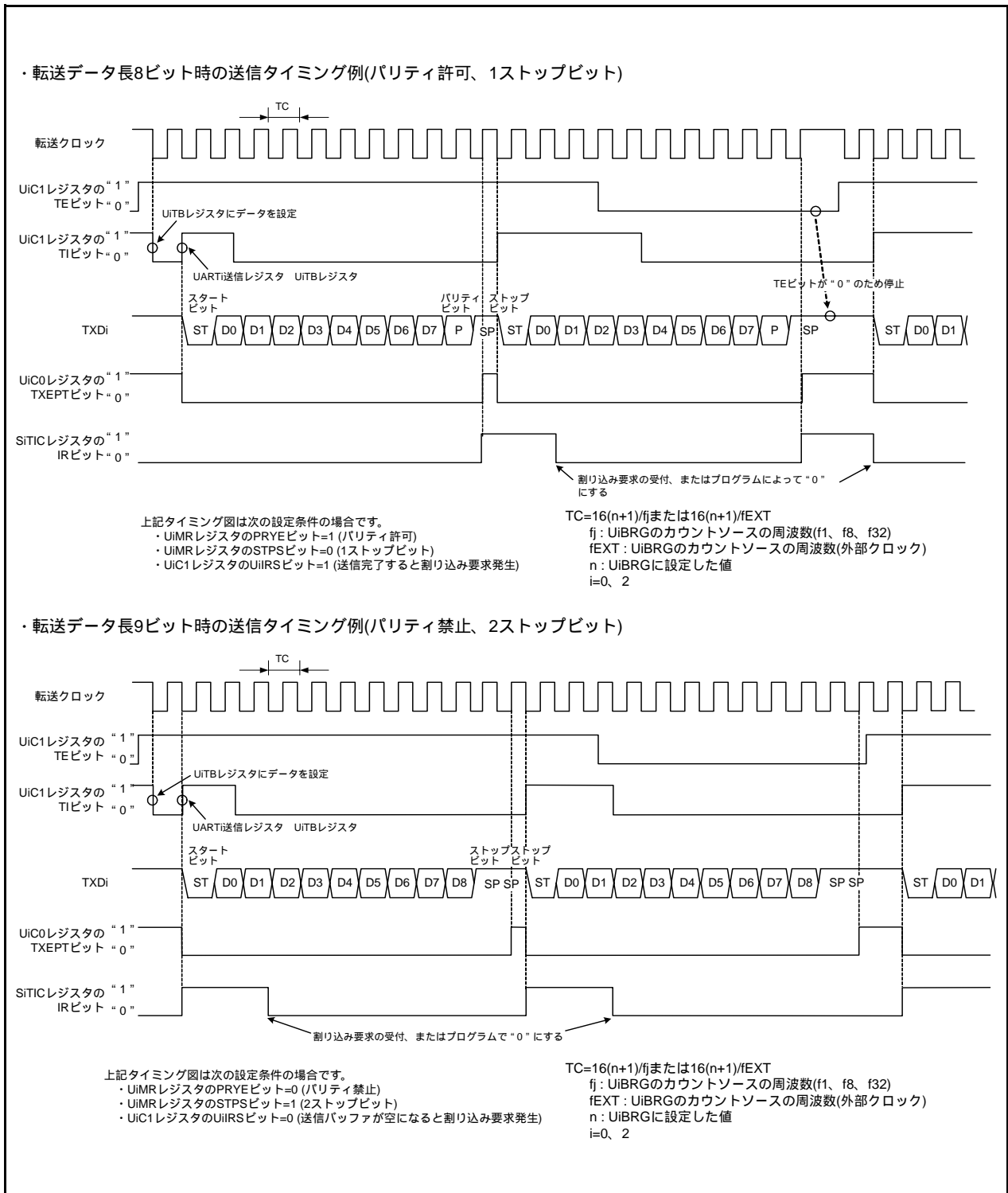


図 18.9 UARTモード時の送信タイミング

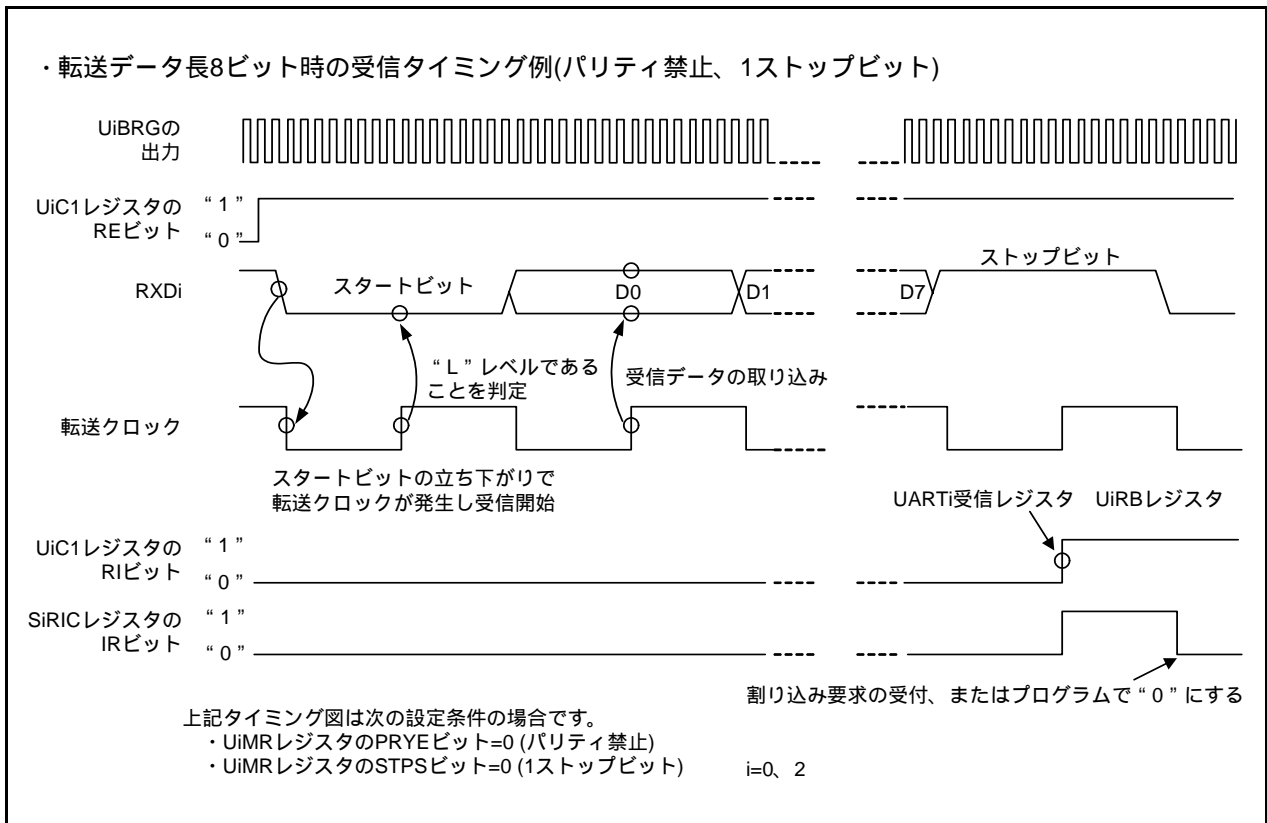


図 18.10 UARTモード時の受信タイミング例

18.2.1 ビットレート

UARTモードではUiBRGレジスタ(i=0、2)で分周した周波数の16分周がビットレートになります。

< UARTモード >	
・ 内部クロック選択時	
UiBRGレジスタへの設定値 =	$\frac{f_j}{\text{ビットレート} \times 16} - 1$
	f _j : UiBRGレジスタのカウンタソースの周波数(f ₁ 、f ₈ 、f ₃₂)
・ 外部クロック選択時	
UiBRGレジスタへの設定値 =	$\frac{f_{EXT}}{\text{ビットレート} \times 16} - 1$
	f _{EXT} : UiBRGレジスタのカウンタソースの周波数(外部クロック) i=0、2

図 18.11 UiBRGレジスタ(i=0、2)の設定値の算出式

表 18.7 UARTモード時のビットレート設定例(内部クロック選択時)

ビットレート (bps)	BRG のカウンタソース	システムクロック = 8 MHz		
		BRG の設定値	実時間 (bps)	誤差 (%)
1200	f8	51 (33h)	1201.92	0.16
2400	f8	25 (19h)	2403.85	0.16
4800	f8	12 (0Ch)	4807.69	0.16
9600	f1	51 (33h)	9615.38	0.16
14400	f1	34 (22h)	14285.71	- 0.79
19200	f1	25 (19h)	19230.77	0.16
28800	f1	16 (10h)	29411.76	2.12
31250	f1	15 (0Fh)	31250.00	0.00
38400	f1	12 (0Ch)	38461.54	0.16
51200	f1	9 (09h)	50000.00	- 2.34

18.3 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0、2)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; U0RBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H  ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H  ; U0TBレジスタの下位バイトへの書き込み
```

19. ハードウェアLIN

ハードウェアLINは、タイマRAおよびUART0と連携し、LIN通信を行うものです。

19.1 特長

ハードウェアLINには、以下の特長があります。

図19.1にハードウェアLINのブロック図を示します。

【マスタモード】

- Synch Break 発生
- バス衝突検出

【スレーブモード】

- Synch Break 検出
- Synch Field 計測
- Synch Break および Synch Field 信号のUART0入力制御機能
- バス衝突検出

注1．Wake Up機能はINT1により検出

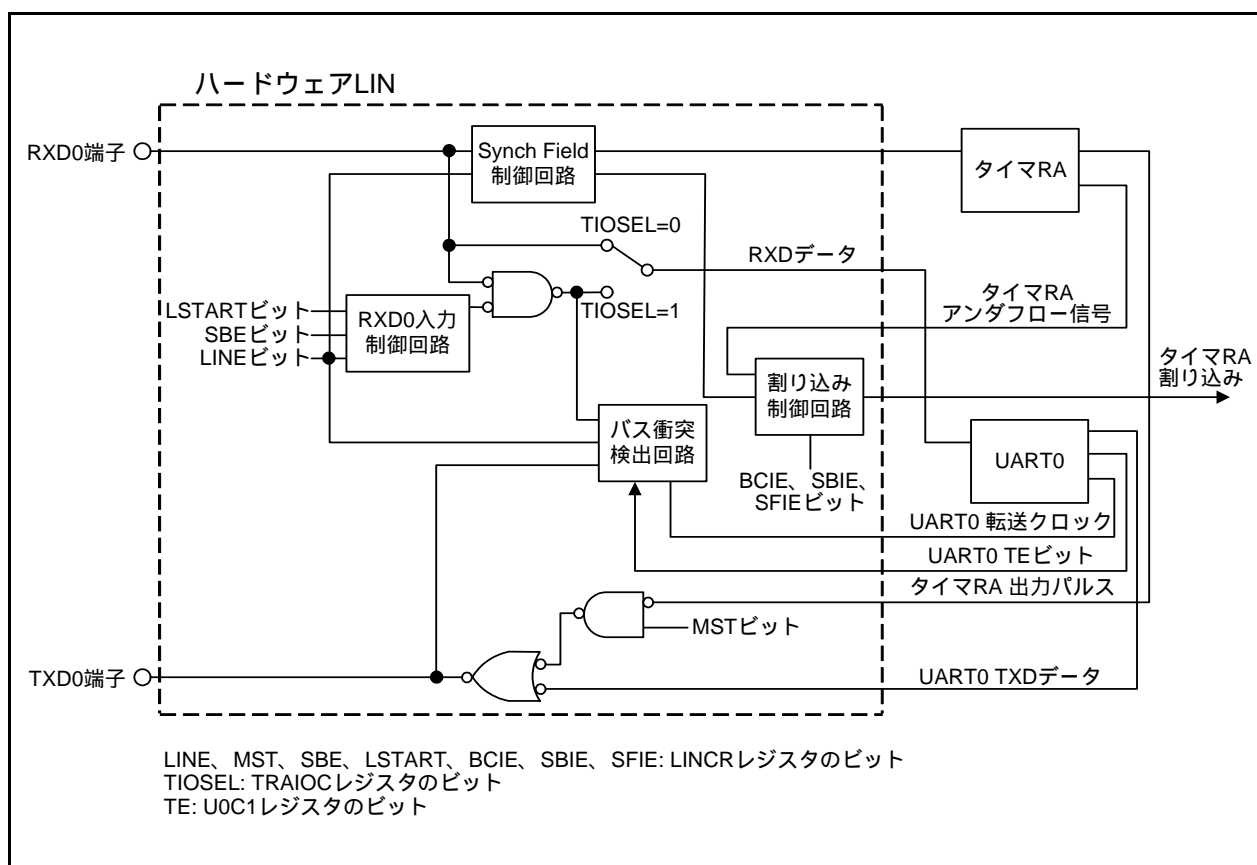


図19.1 ハードウェアLINのブロック図

19.2 入出力端子

表19.1にハードウェアLINの端子構成を示します。

表19.1 端子構成

名称	略称	入出力	機能
レシーブデータ入力	RXD0	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD0	出力	ハードウェアLINの送信データ出力端子

19.3 レジスタ構成

ハードウェアLINには以下のレジスタがあります。

図19.2と図19.3にレジスタの詳細を示します。

- LINコントロールレジスタ (LINCR)
- LINステータスレジスタ (LINST)

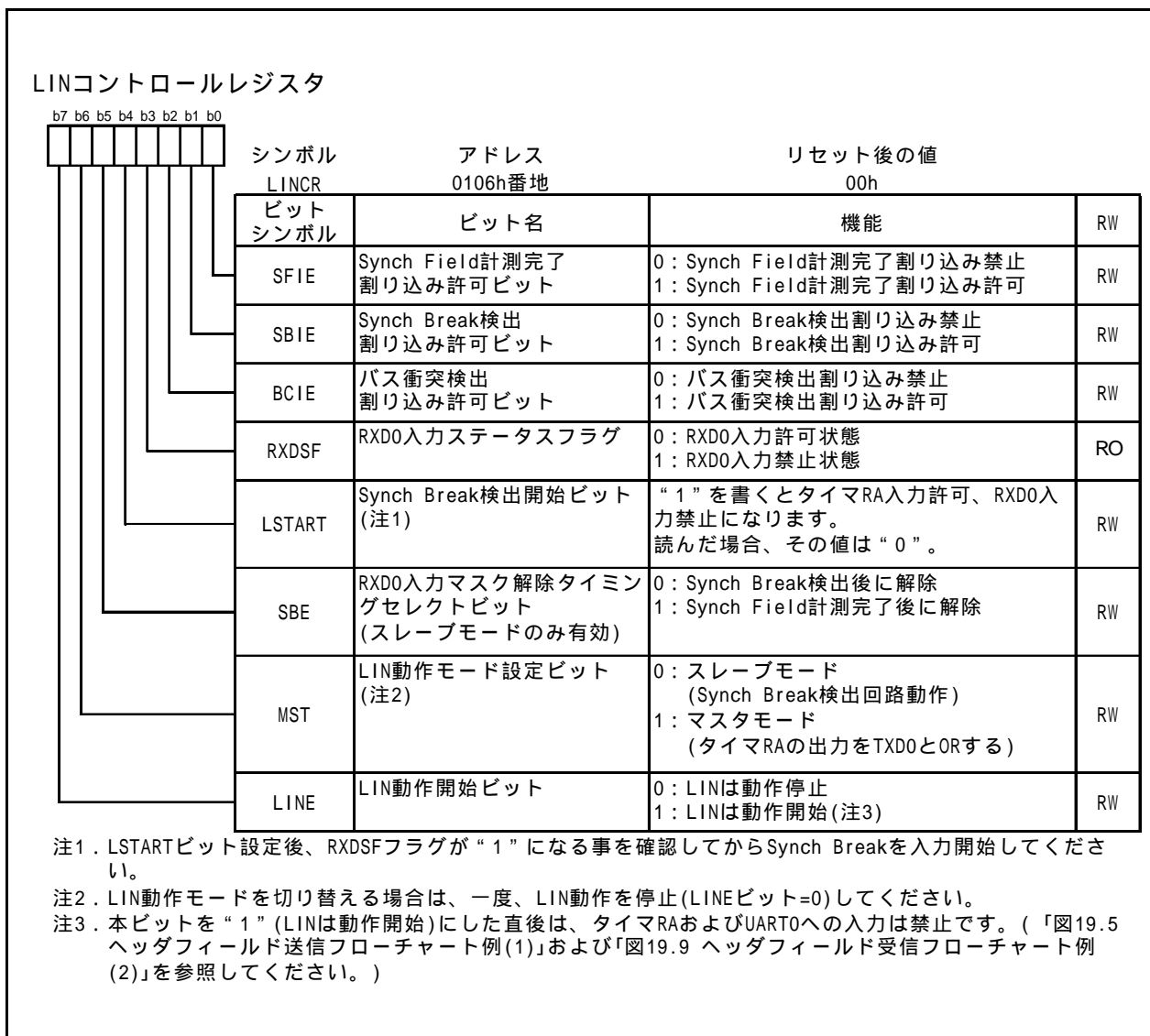


図19.2 LINCRレジスタ

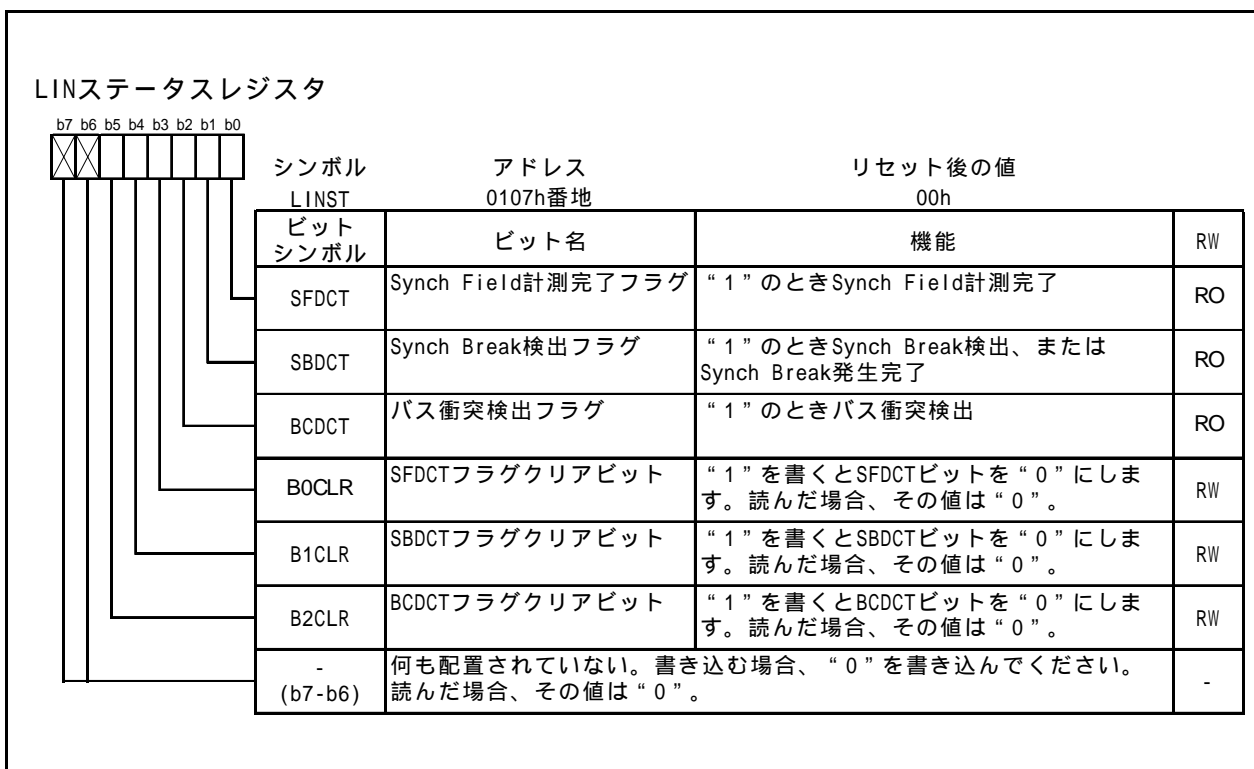


図19.3 LINSTレジスタ

19.4 動作説明

19.4.1 マスタモード

図19.4にマスタモードでの、ヘッダフィールドの送信時の動作例を、図19.5～図19.6にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRAのTRACRレジスタのTSTARTビットに“1”を書き込むと、タイマRAのTRAPRE、TRAレジスタに設定された期間、TXD0端子から“L”レベルを出力します。
- (2) タイマRAがアンダフローすると、TXD0端子の出力を反転し、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCRCレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (3) UART0により、55hを送信します。
- (4) UART0により、55hの送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

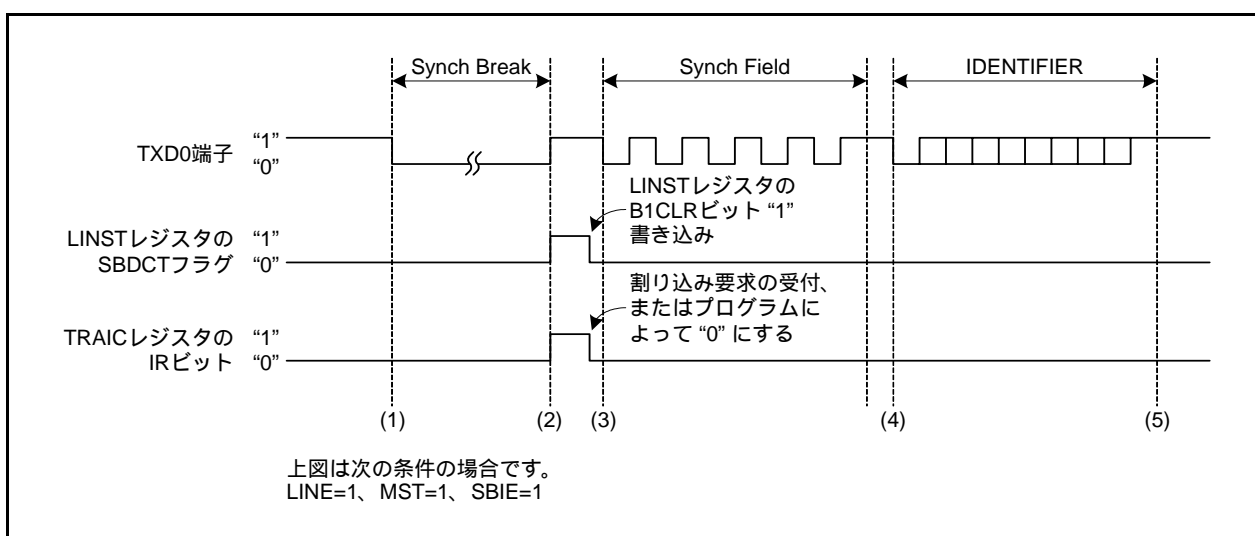


図19.4 ヘッダフィールドの送信時の動作例

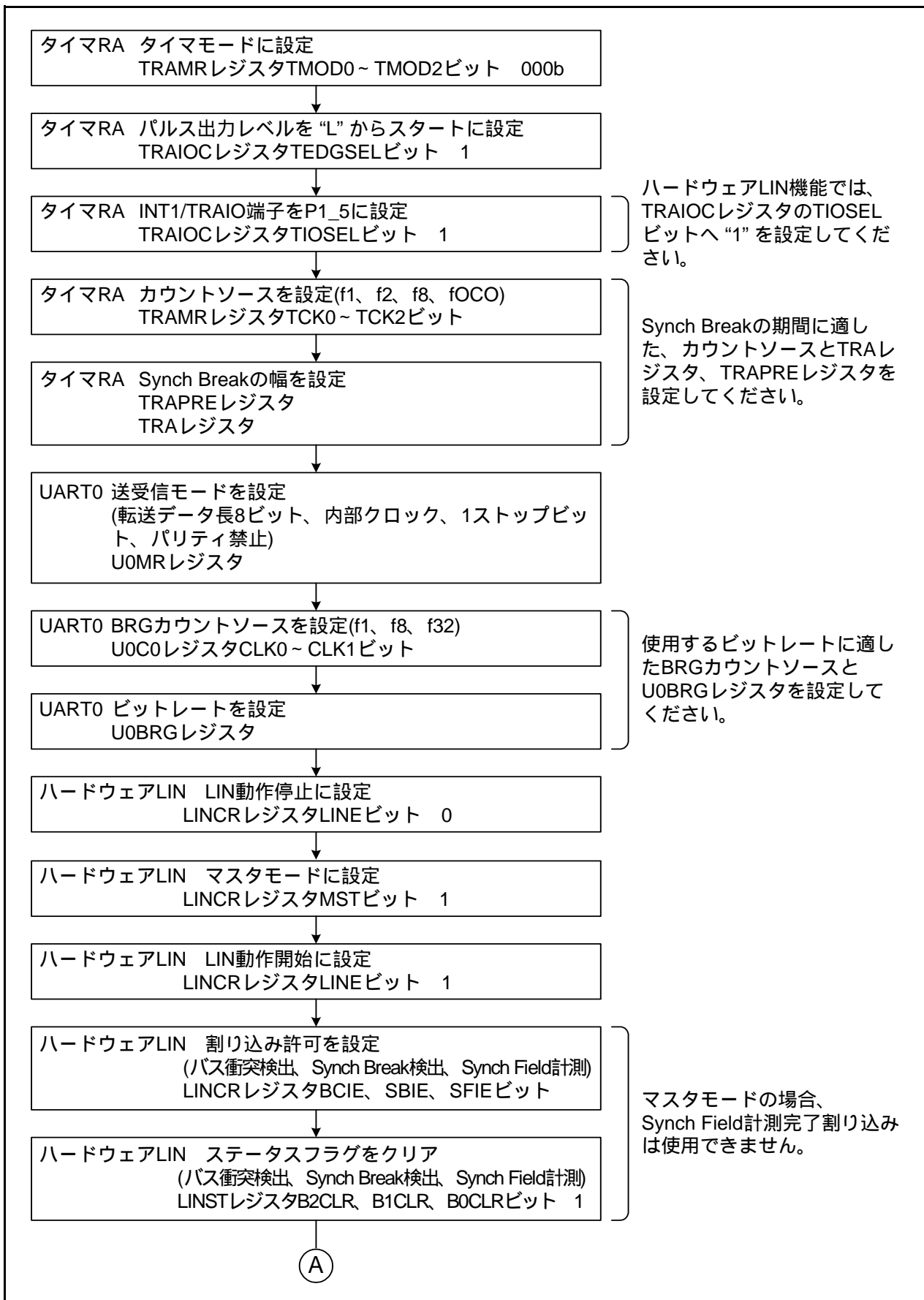


図 19.5 ヘッダフィールド送信フローチャート例(1)

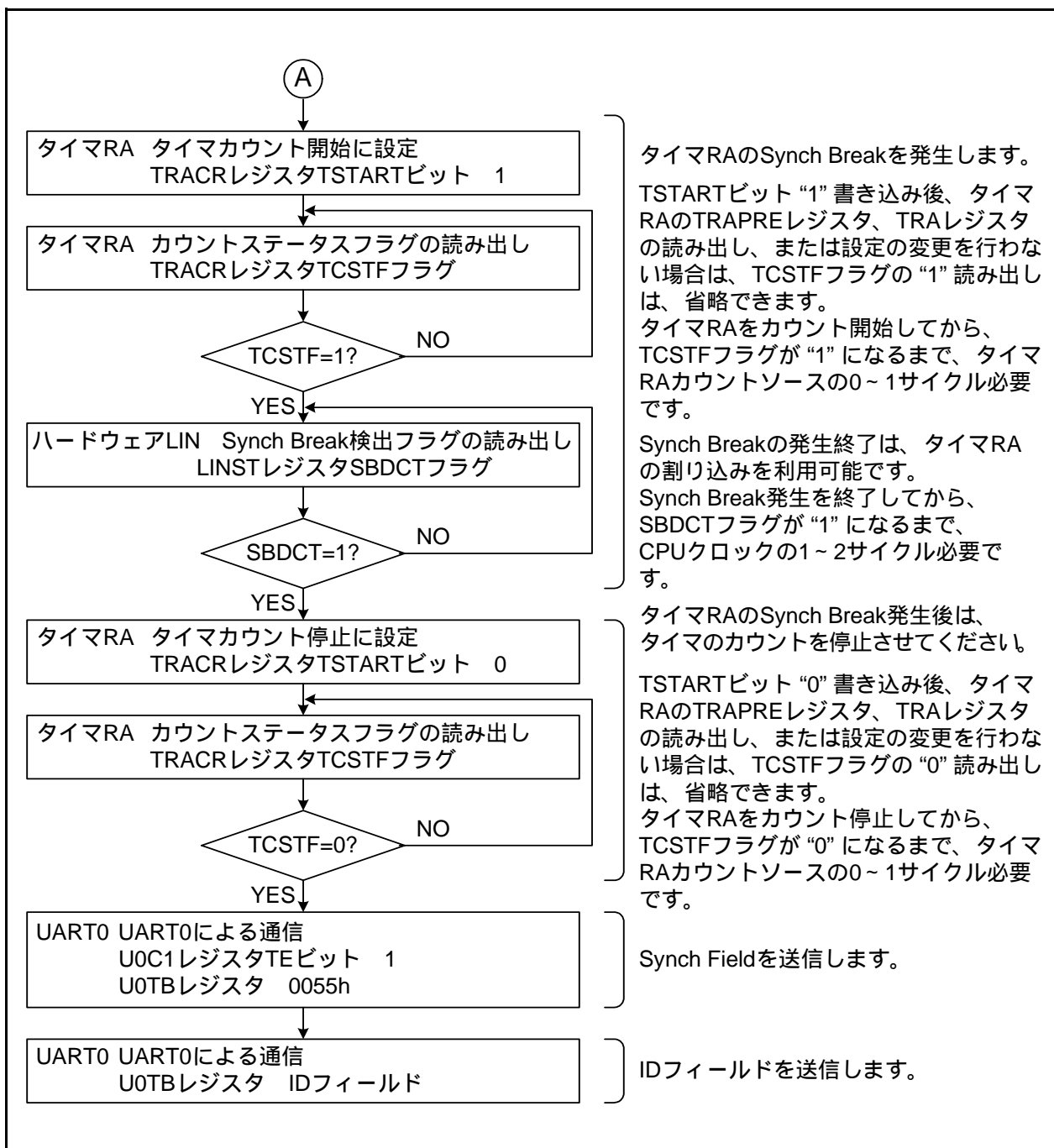


図 19.6 ヘッドフィールド送信フローチャート例(2)

19.4.2 スレーブモード

図19.7にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図19.8～図19.10にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCXレジスタのLSTARTビットに“1”を書き込むと、Synch Break 検出が可能になります。
- (2) タイマRAに設定した期間以上の“L”レベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTフラグが“1”にセットされます。また、LINCXレジスタのSBIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。この時、タイマRAにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXD0に入力するか禁止にするかをLINCXのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTフラグが“1”にセットされます。また、LINCXレジスタのSFIEビットを“1”に設定している場合は、タイマRA割り込みが発生します。
- (5) Synch Field計測完了後、タイマRAのカウント値から転送速度を算出し、UART0に設定およびタイマRAのTRAPREレジスタとTRAレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

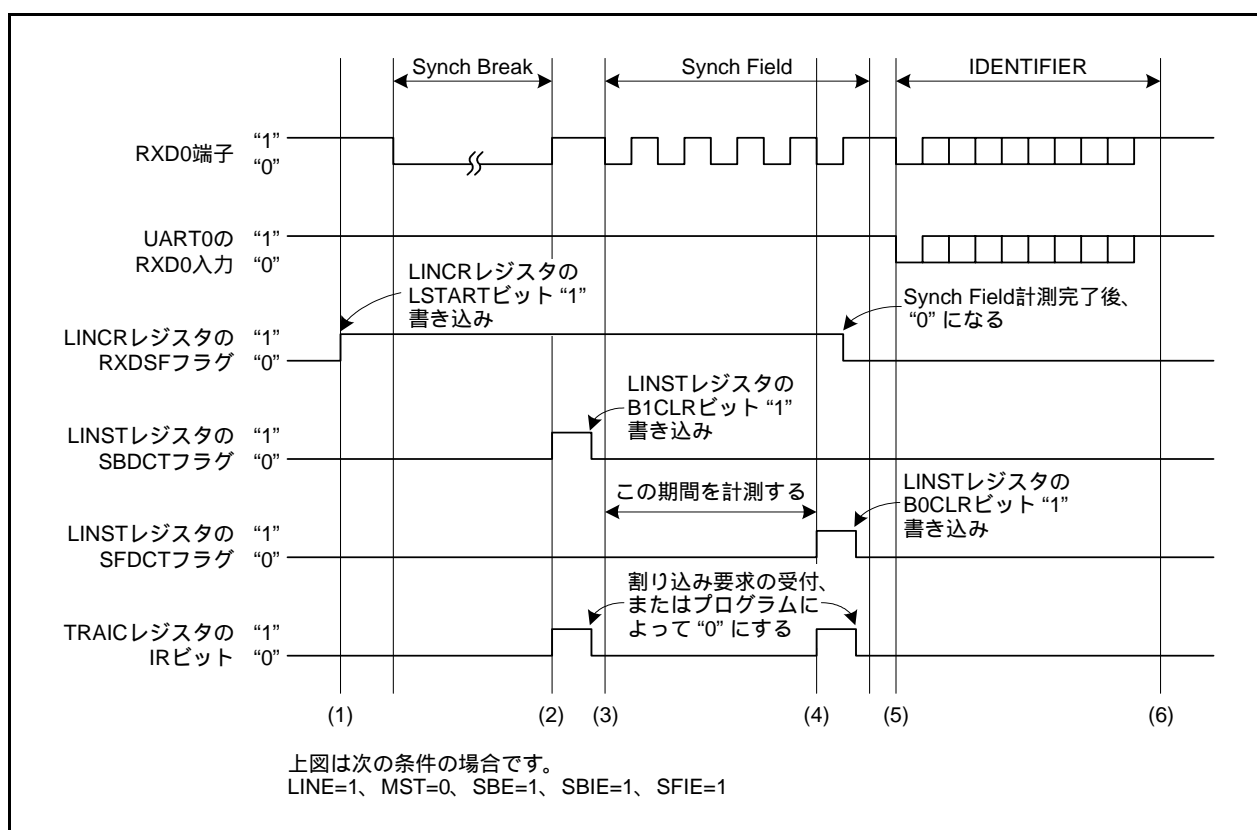


図19.7 ヘッダフィールドの受信時の動作例

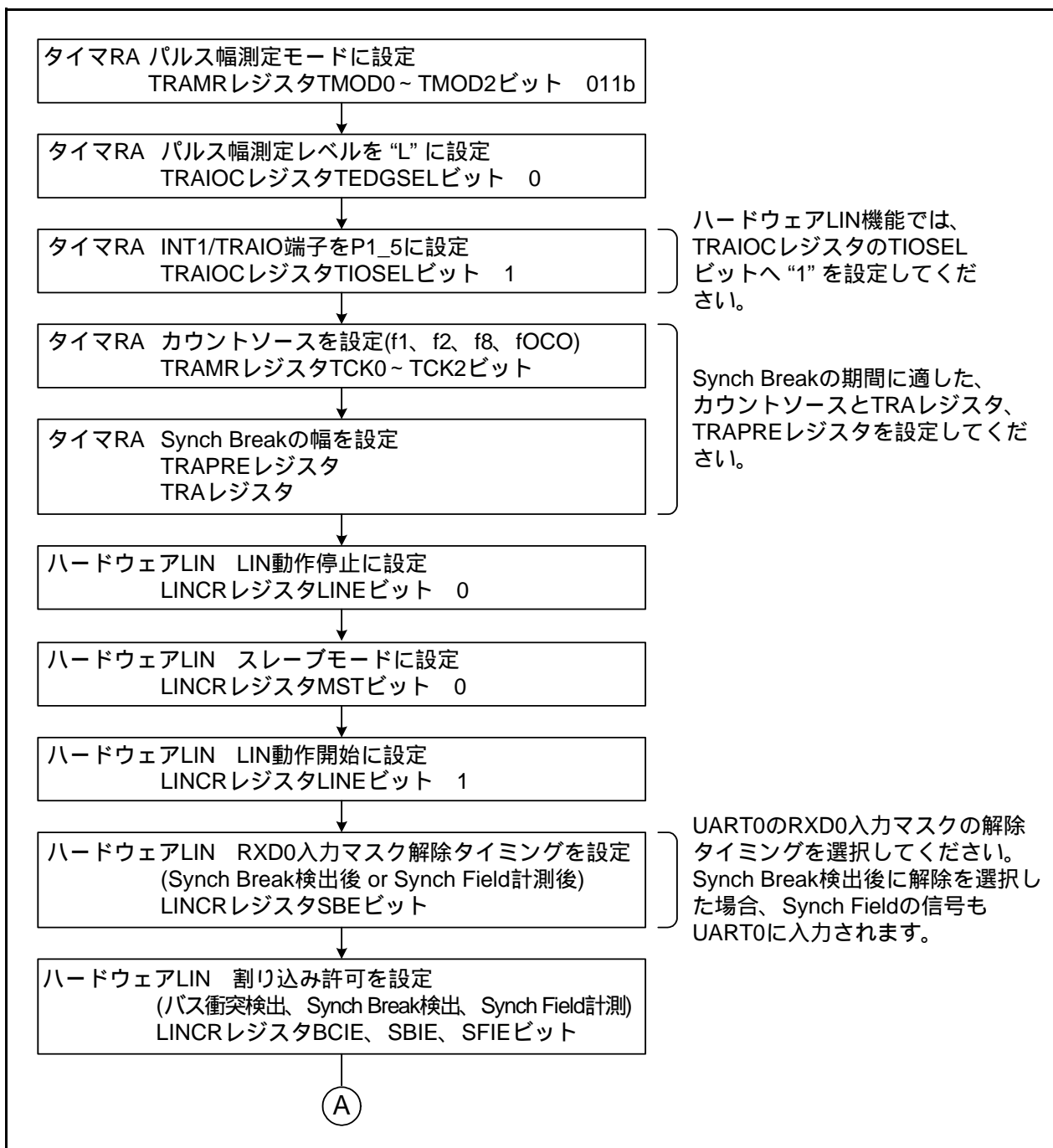


図19.8 ヘッドフィールド受信フローチャート例(1)

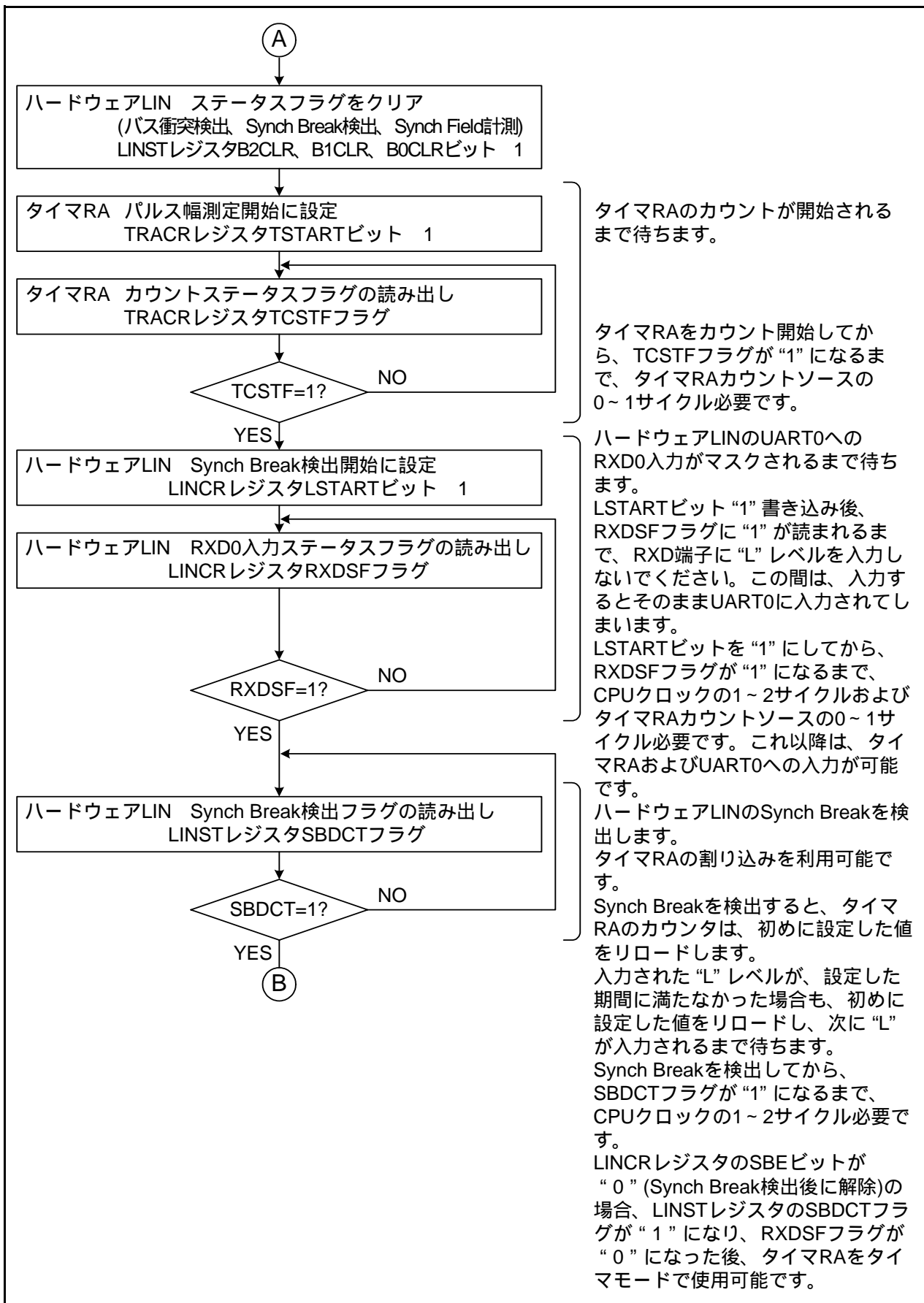


図 19.9 ヘッドフィールド受信フローチャート例(2)

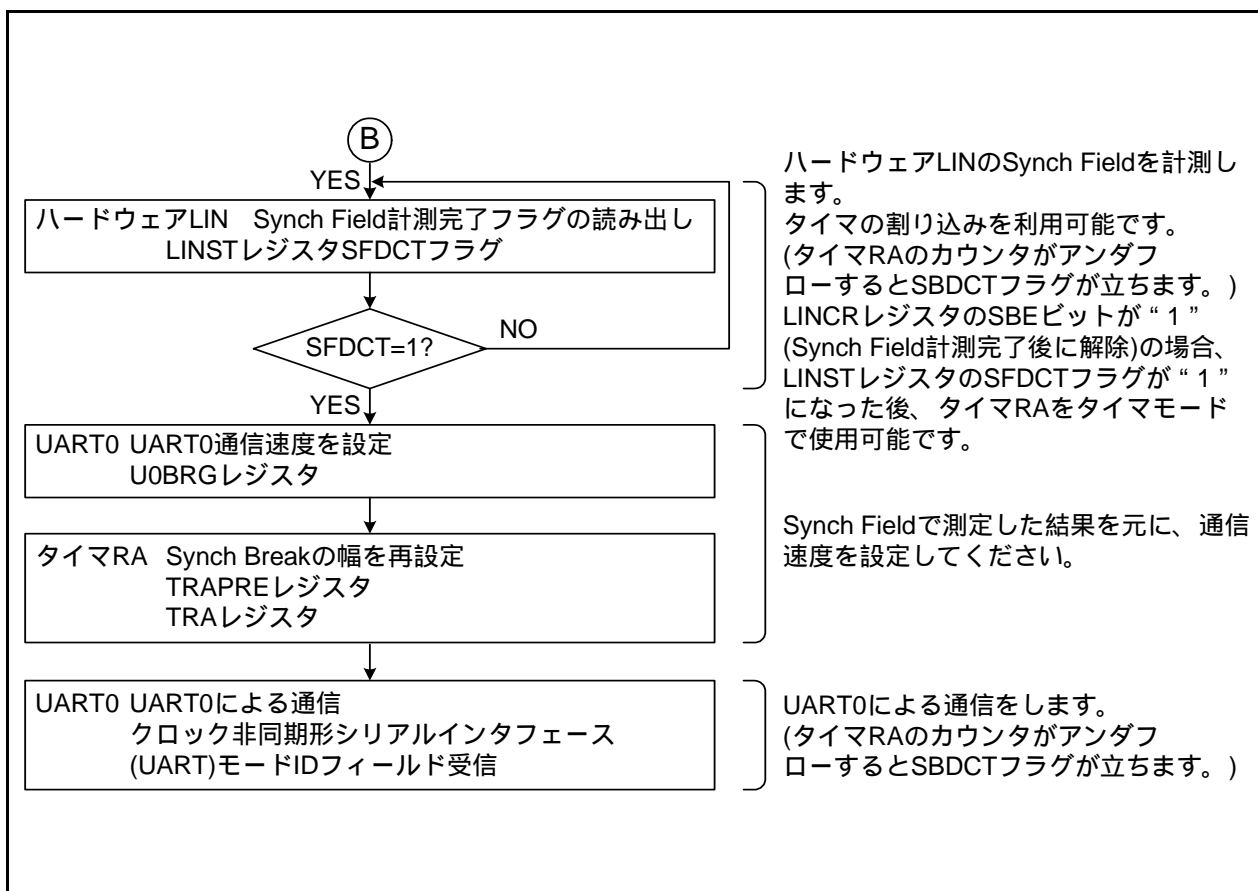


図19.10 ヘッダフィールド受信フローチャート例(3)

19.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが“1”)の場合、バス衝突検出機能を使用することができます。

図19.11にバス衝突検出時の動作例を示します。

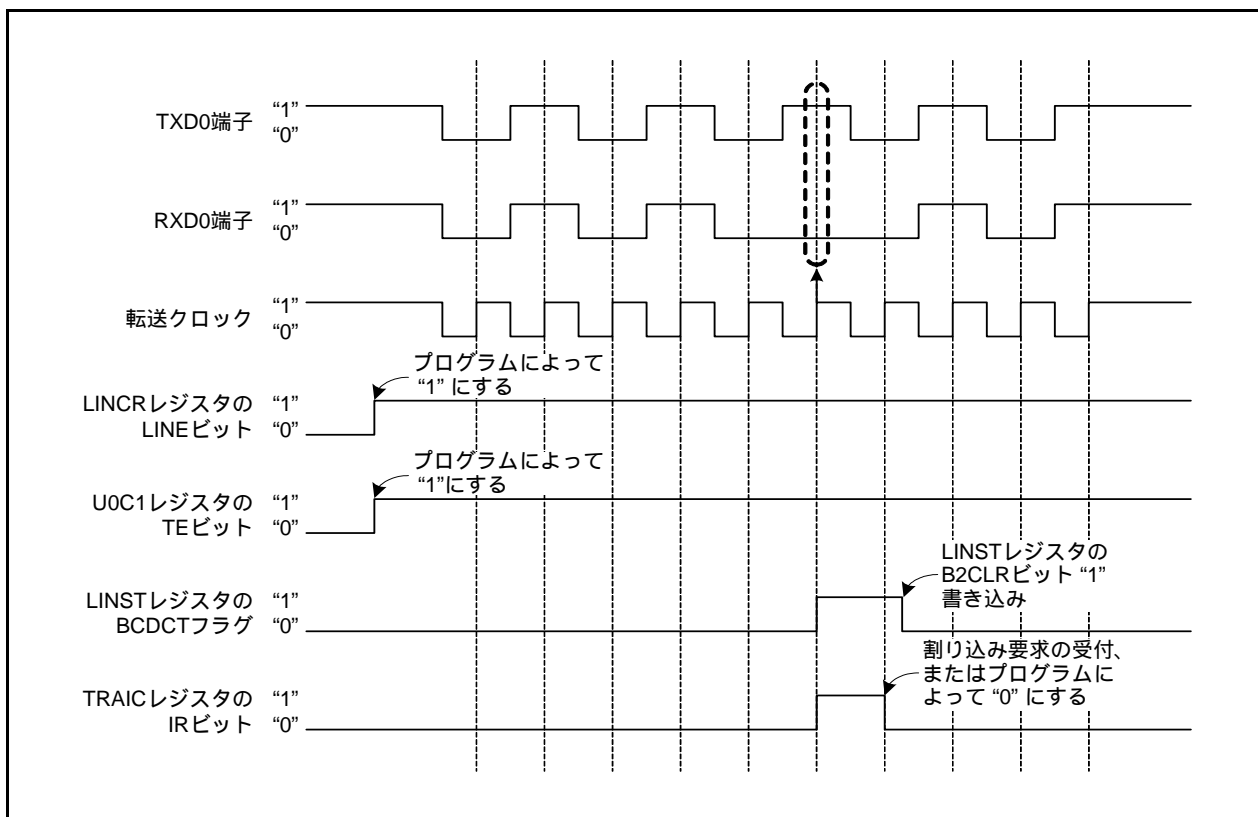


図19.11 バス衝突検出時の動作例

19.4.4 ハードウェアLIN終了処理

図19.12にハードウェアLIN通信終了のフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

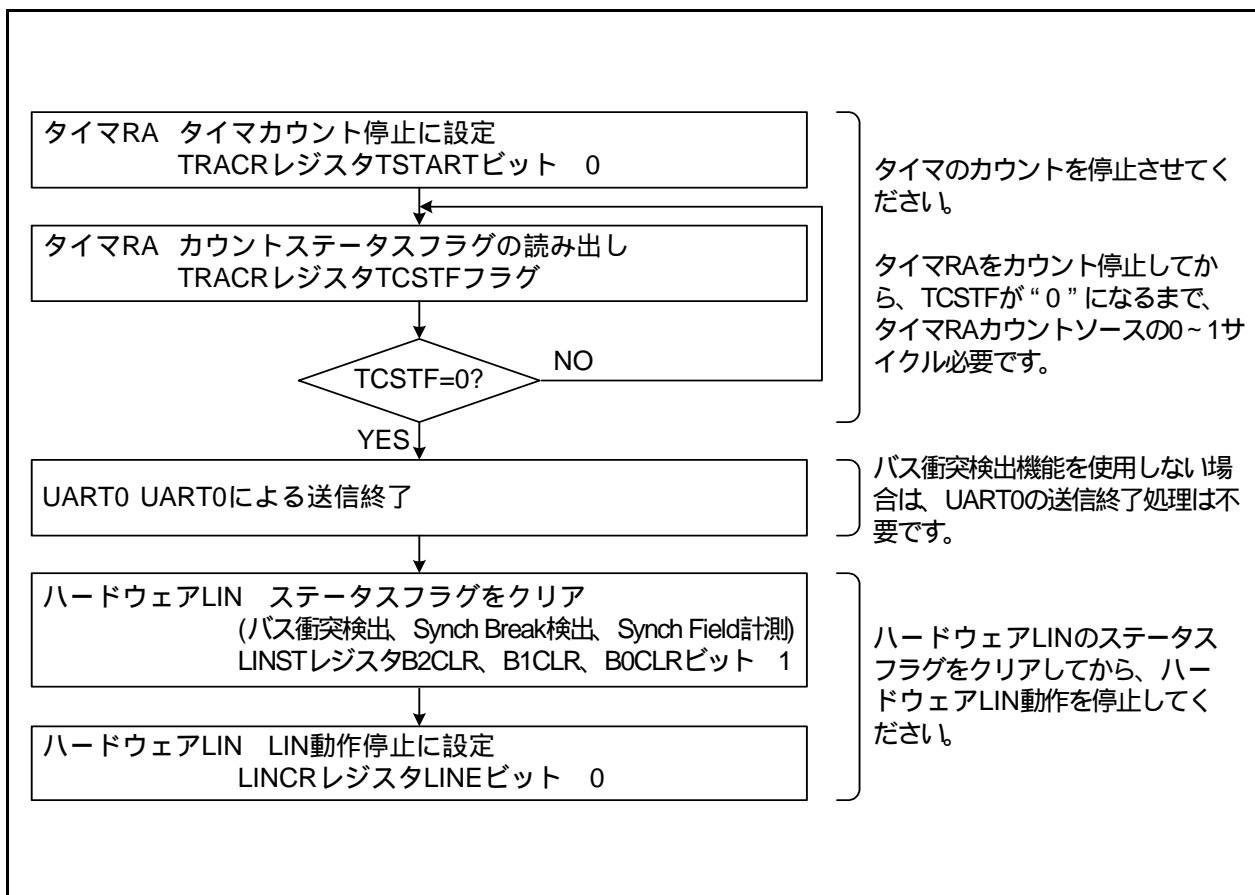


図19.12 ハードウェアLIN通信終了のフローチャート例

19.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRAの割り込みと兼用となっています。

表19.2にハードウェアLINの割り込み要求を示します。

表19.2 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRAによりRXD0入力の“L”レベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長い“L”レベルが入力されたとき
Synch Break発生完了		タイマRAにより設定された期間、TXD0へ“L”レベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRAにより、Synch Fieldの6ビット分の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD0入力とTXD0出力の値が異なったとき

19.6 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

20. フラッシュメモリ

20.1 概要

フラッシュメモリは、CPU書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

表 20.1にフラッシュメモリの性能概要を示します(表 20.1に示す以外の項目は「表 1.1 R8C/2Gグループの仕様概要」を参照してください)。

表 20.1 フラッシュメモリの性能概要

項目	性能
フラッシュメモリの動作モード	3モード(CPU書き換え、標準シリアル入出力、パラレル入出力モード)
消去ブロック分割	図 20.1を参照してください。
プログラム方式	バイト単位
イレーズ方式	ブロック消去
プログラム、イレーズ制御方式	ソフトウェアコマンドによるプログラム、イレーズ制御
プロテクト方式	FMR0レジスタによるプログラムROMに対するプロテクト
コマンド数	5コマンド
プログラム、イレーズ回数(注1)	ブロック0、1 (プログラムROM) 100回
プログラム、イレーズ電圧	VCC=2.7 ~ 5.5V
IDコードチェック機能	標準シリアル入出力モード対応
ROMコードプロテクト	パラレル入出力モード対応

注1. プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。

表 20.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライターを使用して、ユーザROM領域を書き換える	専用パラレルライターを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM領域	ユーザROM領域	ユーザROM領域
書き換えプログラム	ユーザプログラム	標準ブートプログラム	

20.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 20.1にR8C/2Gグループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMがあります。

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域と重なったアドレスに配置されていますが、メモリは別に存在します。

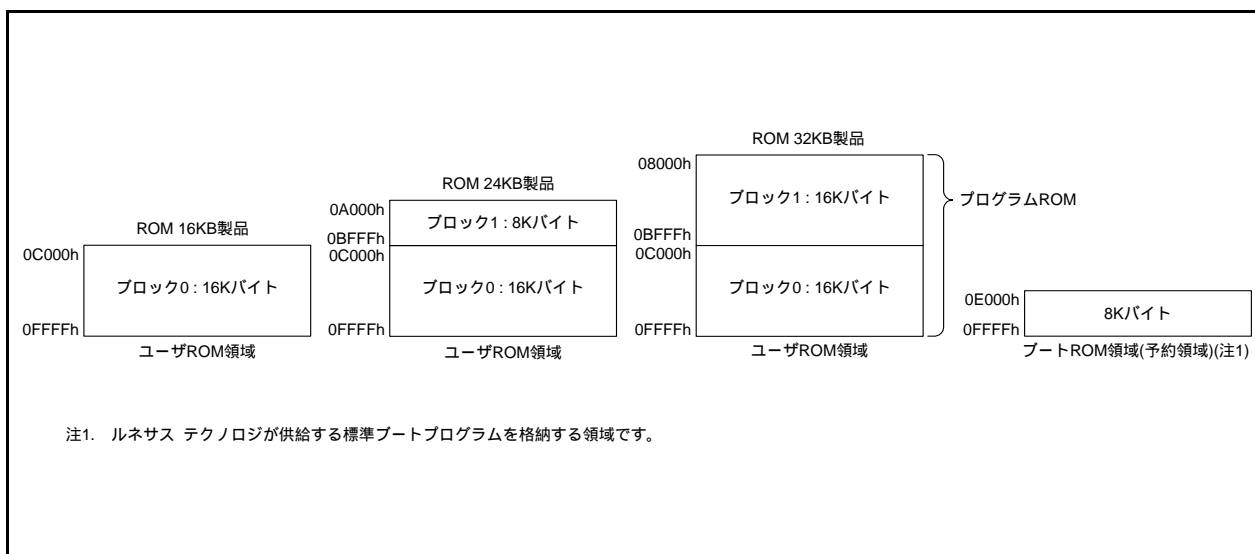


図 20.1 R8C/2Gグループのフラッシュメモリのブロック図

20.3 フラッシュメモリ書き換え禁止機能

フラッシュメモリの内容の読み出し、書き換え、消去をできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

20.3.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh ~ 0FFFEh番地)が“FFFFFFh”ではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は、「14. IDコード領域」を参照してください。

20.3.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

図 20.2 にOFSレジスタを示します。OFSレジスタの詳細は「15. オプション機能選択領域」を参照してください。

ROMCRビットに“1”、ROMCP1ビットに“0”を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

オプション機能選択レジスタ(注1)

シンボル OFS	アドレス 0FFFh番地	出荷時の値 FFh(注3)	
ビット シンボル	ビット名	機能	RW
WDTON	ウォッチドッグタイマ 起動選択ビット	0: リセット後、ウォッチドッグタイマは自動的 に起動 1: リセット後、ウォッチドッグタイマは停止 状態	RW
- (b1)	予約ビット	“1” にしてください。	RW
ROMCR	ROMコードプロテクト 解除ビット	0: ROMコードプロテクト解除 1: ROMCP1有効	RW
ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	RW
- (b4)	予約ビット	“1” にしてください。	RW
LVD0ON	電圧検出0回路起動 ビット(注2)	0: ハードウェアリセット後、電圧監視0リセット 有効 1: ハードウェアリセット後、電圧監視0リセット 無効	RW
- (b6)	予約ビット	“1” にしてください。	RW
CSPROINI	リセット後カウント ソース保護モード選択 ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	RW

注1. OFSレジスタはフラッシュメモリ上にあります。プログラムと一緒に書き込んでください。書き込んだ後、OFSレジスタに追加書き込みしないでください。

注2. LVD0ONビットの設定は、ハードウェアリセットでのみ有効となります。パワーオンリセットを使用する場合、LVD0ONビットを“0”(ハードウェアリセット後、電圧監視0リセット有効)にしてください。

注3. OFSレジスタを含むブロックを消去すると、OFSレジスタは“FFh”になります。

図 20.2 OFSレジスタ

20.4 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライターなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。ソフトウェアコマンドは、ユーザROM領域の各ブロック領域に対して実行してください。

表 20.3にEW0モードとEW1モードの違いを示します。

表 20.3 EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを実行できる領域	RAM(書き換え制御プログラムを転送して実行)	ユーザROMまたはRAM
書き換えられる領域	ユーザROM	ユーザROM ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	・プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 ・リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
リードステータスレジスタ後のモード	リードステータスレジスタモード	コマンドを実行しないでください。
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	・プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む ・リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む
CPUクロック	5MHz以下	左記制限なし(使用するクロック周波数)

20.4.1 レジスタの説明

CPU書き換えモードで使用するレジスタを以下に説明します。

20.4.1.1 FMR0レジスタ(FMR0)

図 20.3にFMR0レジスタを示します。

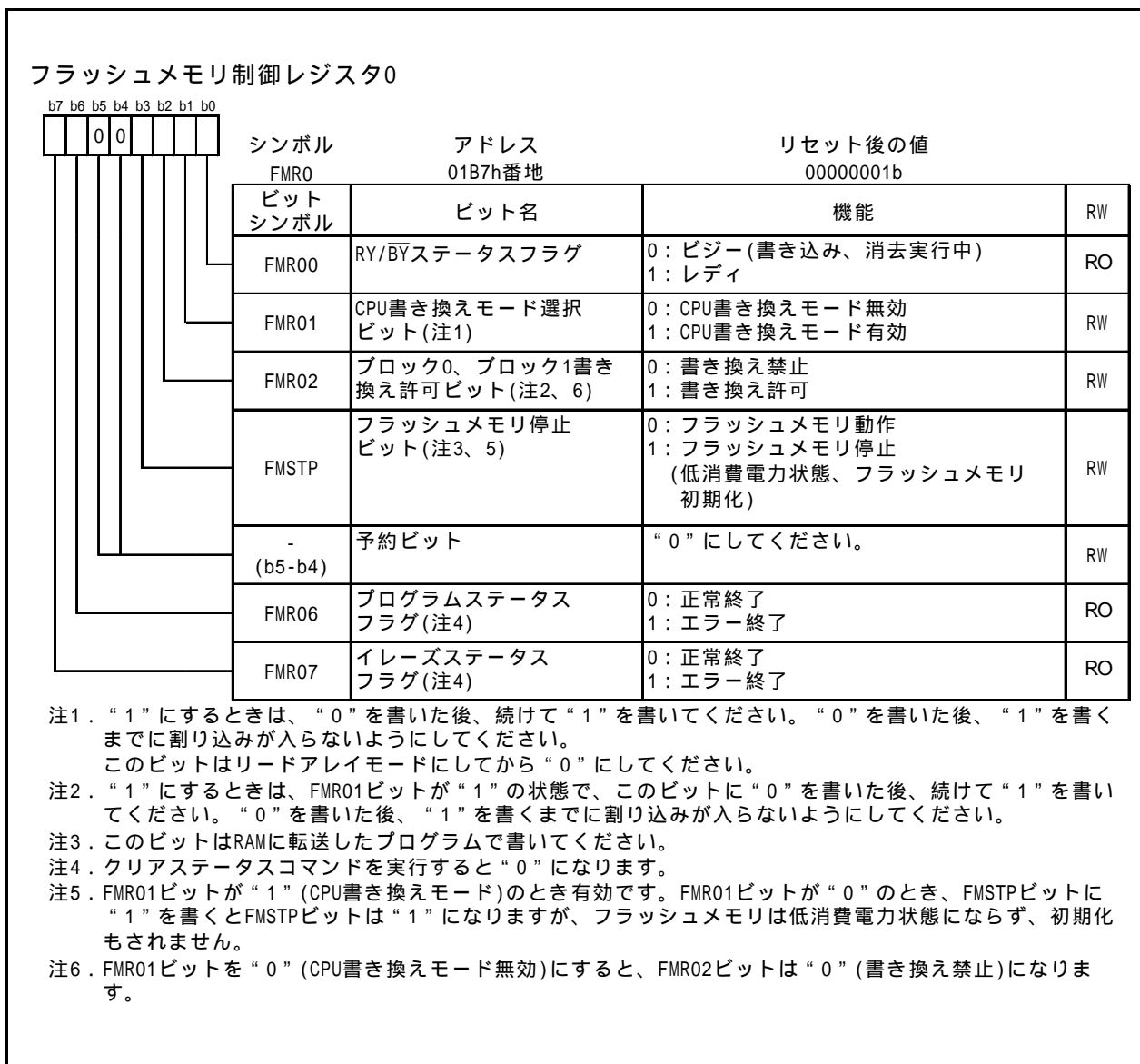


図 20.3 FMR0レジスタ

- FMR00ビット
フラッシュメモリの動作状況を示すビットです。プログラム、イレース動作中は“0”、それ以外
のときには“1”になります。
- FMR01ビット
FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。
- FMR02ビット
FMR02ビットが“0”(書き換え禁止)のとき、ブロック0とブロック1はプログラムコマンド、ブ
ロックイレースコマンドを受け付けません。FMR02ビットが“1”(書き換え許可)のとき、ブロッ
ク0とブロック1はFMR15、FMR16ビットで書き換えが制御されます。
- FMSTPビット
フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するための
ビットです。FMSTPビットを“1”にすると、フラッシュメモリをアクセスできなくなります。
したがって、FMSTPビットはRAMに転送したプログラムで書いてください。
次の場合、FMSTPビットを“1”にしてください。
 - EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが
“1”(レディ)に戻らなくなった)場合
 - 低速オンチップオシレータモード、低速クロックモードでさらに低消費電力にする場合なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、
自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する
必要がありません。
- FMR06ビット
自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ
以外のときは“0”となります。詳細は「表 20.4 エラーとFMR0レジスタの状態」を参照して
ください。
- FMR07ビット
自動消去の状況を示す読み出し専用ビットです。イレースエラーが発生すると“1”、それ以外
のときは“0”となります。詳細は「表 20.4 エラーとFMR0レジスタの状態」を参照してください。

表 20.4 エラーとFMR0レジスタの状態

FMR0レジスタ (ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	コマンドシーケンスエラー	<ul style="list-style-type: none"> ・ コマンドを正しく書かなかったとき ・ ブロックイレーズコマンドの2バイト目に“D0h”または“FFh”を書かなかったとき(注1) ・ FMR0レジスタのFMR02ビット、FMR1レジスタのFMR15ビットまたはFMR16ビットを用いて書き換え禁止にした状態で、プログラムコマンドまたはブロックイレーズコマンドを実行したとき ・ 消去コマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、消去しようとしたとき ・ 消去コマンド入力時に、書き換えを禁止しているブロックの消去を実行しようとしたとき ・ 書き込みコマンド入力時に、フラッシュメモリが配置されていないアドレスを入力して、書き込みしようとしたとき ・ 書き込みコマンド入力時に、書き換えを禁止しているブロックの書き込みを実行しようとしたとき
1	0	イレーズエラー	<ul style="list-style-type: none"> ・ ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー	<ul style="list-style-type: none"> ・ プログラムコマンドを実行し、正しく自動書き込みされなかったとき
0	0	正常終了	

注1. ブロックイレーズコマンドの2バイト目で“FFh”を書くとリードアレイモードになり、そのときは1バイト目で書いたコマンドコードが無効になります。

20.4.1.2 FMR1レジスタ(FMR1)

図 20.4にFMR1レジスタを示します。

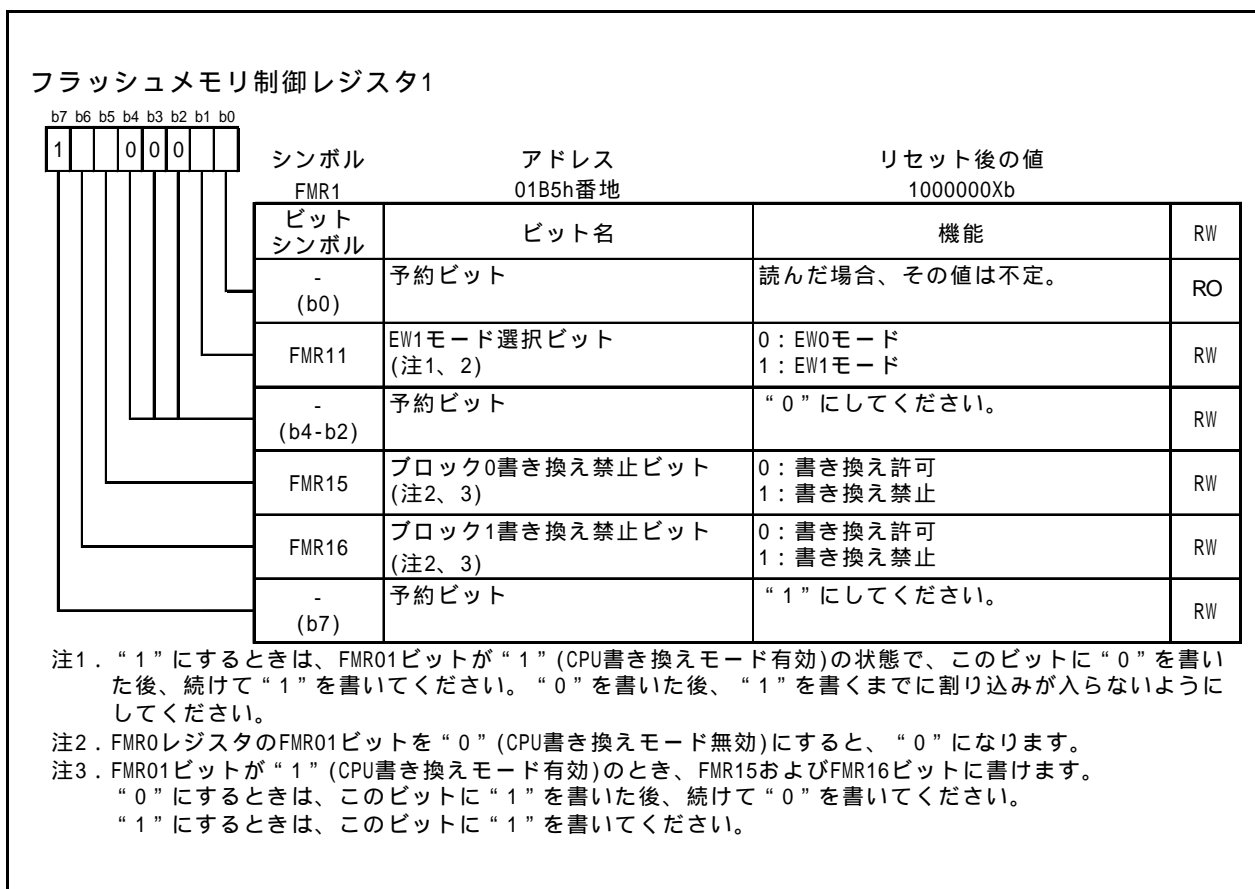


図 20.4 FMR1レジスタ

- FMR11ビット

FMR11ビットを“1” (EW1モード)にすると、EW1モードになります。

- FMR15ビット

FMR02ビットが“1” (書き換え許可)で、FMR15ビットが“0” (書き換え許可)のとき、ブロック0はプログラムコマンド、ブロックイレースコマンドを受け付けます。

- FMR16ビット

FMR02ビットが“1” (書き換え許可)で、FMR16ビットが“0” (書き換え許可)のとき、ブロック1はプログラムコマンド、ブロックイレースコマンドを受け付けます。

20.4.1.3 FMR4レジスタ(FMR4)

図 20.5にFMR4レジスタを示します。

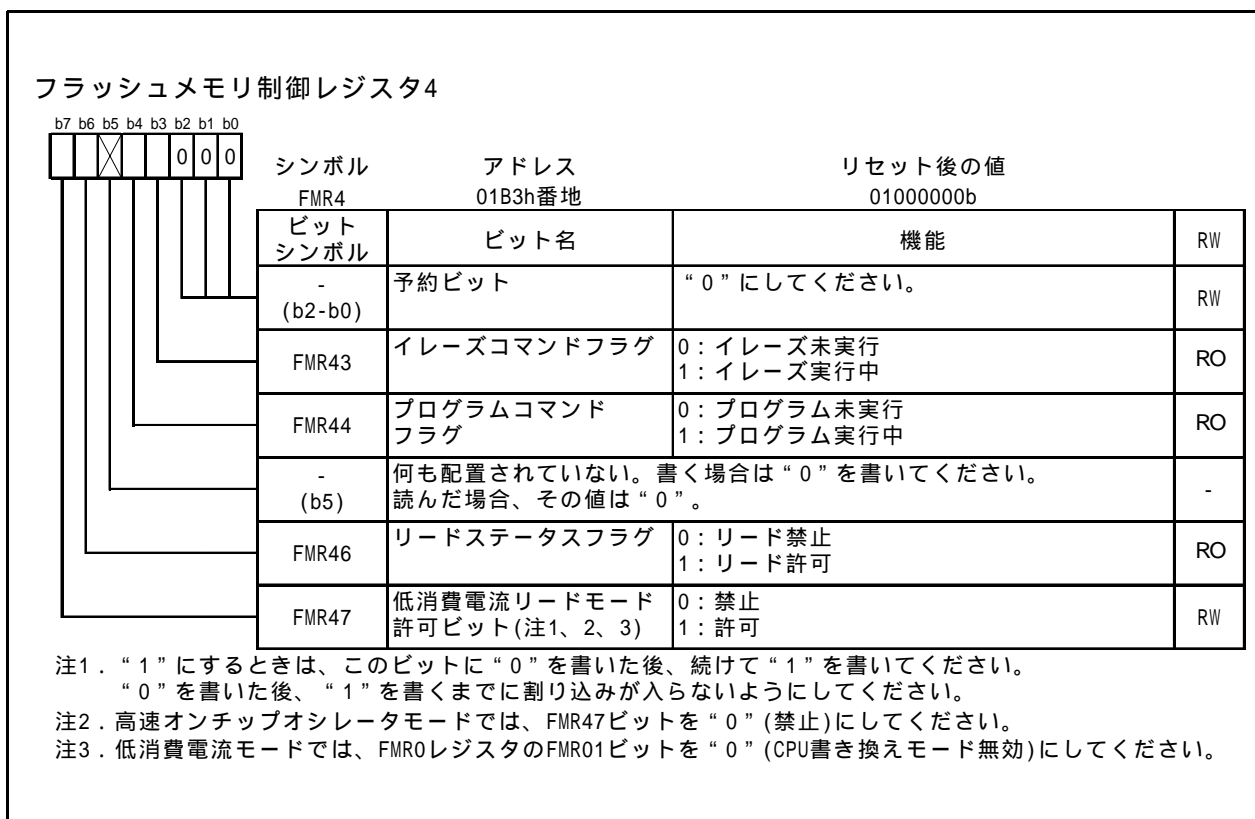


図 20.5 FMR4レジスタ

- FMR43ビット

自動消去を開始すると、FMR43ビットが“1”(イレーズ実行中)になります。
自動消去が終了すると、FMR43ビットが“0”(イレーズ未実行)になります。

- FMR44ビット

自動書き込みを開始すると、FMR44ビットが“1”(プログラム実行中)になります。
自動書き込みが終了すると、FMR44ビットが“0”(プログラム未実行)になります。

- FMR46ビット

自動書き込み実行中または自動消去実行中は、FMR46ビットが“0”(リード禁止)になります。
“0”の間は、フラッシュメモリへのアクセスは禁止です。

- FMR47ビット

低速クロックモード、低速オンチップオシレータモードのときに、FMR47ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「21.2.10 低消費電流リードモード」を参照してください。

20.4.2 ステータスチェック方法

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。図 20.6 にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

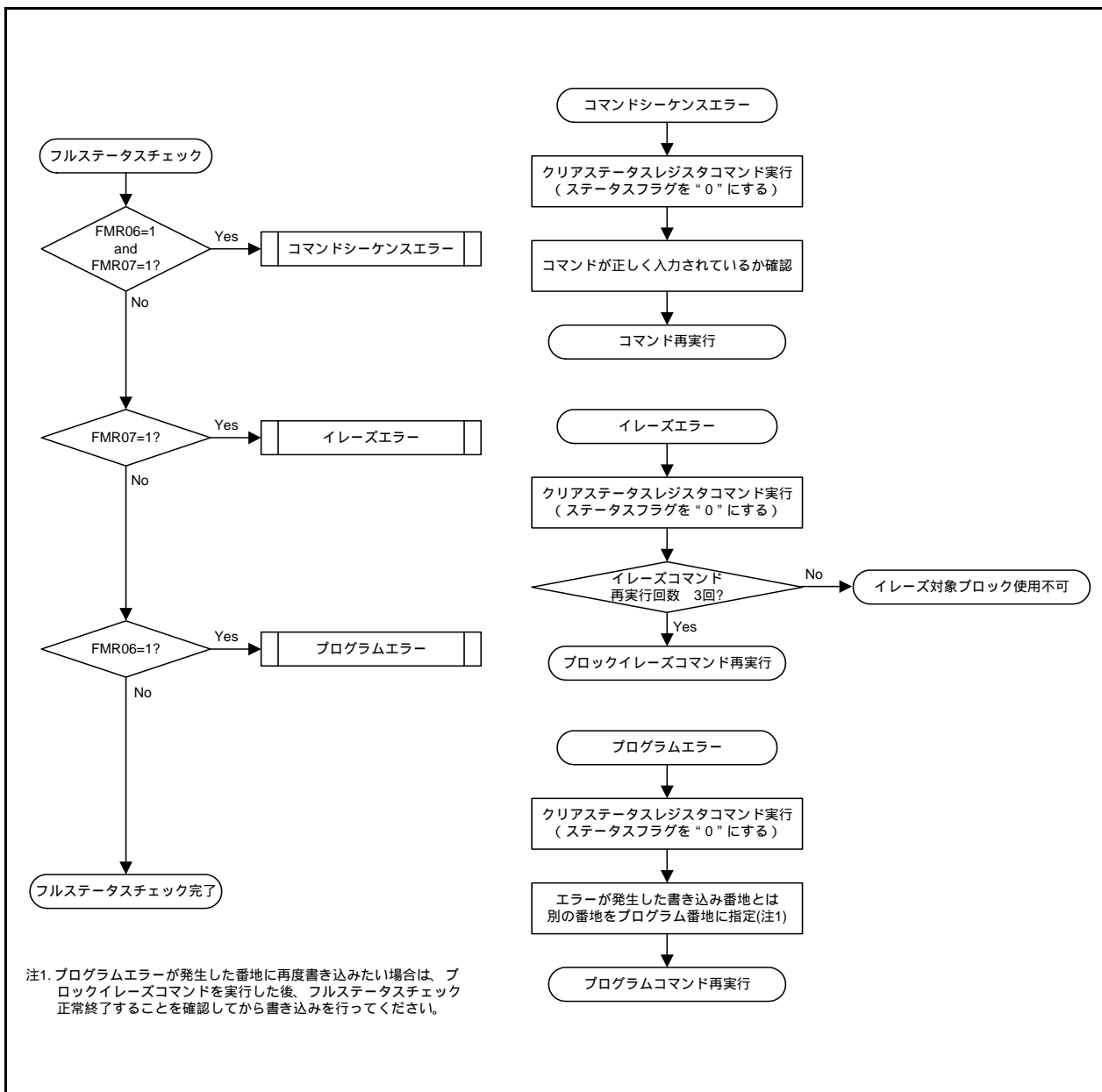


図 20.6 フルステータスチェックフローチャート、各エラー発生時の対処方法

20.4.3 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”なので、EW0モードになります。

プログラム、イレース動作の制御はソフトウェアコマンドで行います。プログラム、イレースの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

図 20.7にEW0モードの設定と解除方法を示します。

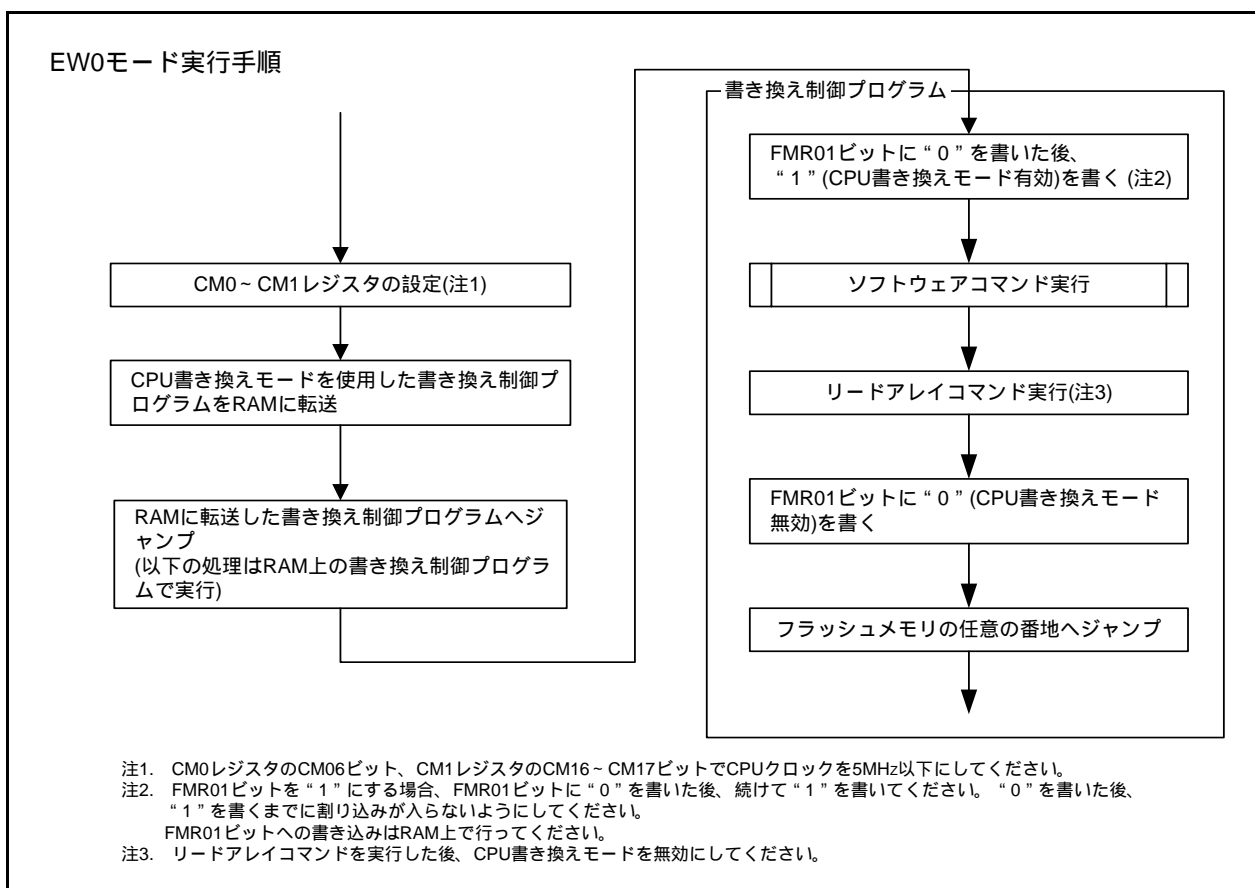


図 20.7 EW0モードの設定と解除方法

20.4.3.1 ソフトウェアコマンド

ソフトウェアコマンドには次の5種類があります。

- リードアレイ
- リードステータスレジスタ
- クリアステータスレジスタ
- プログラム
- ブロックイレーズ

図 20.8にEW0モード時のソフトウェアコマンド状態遷移図を示します。

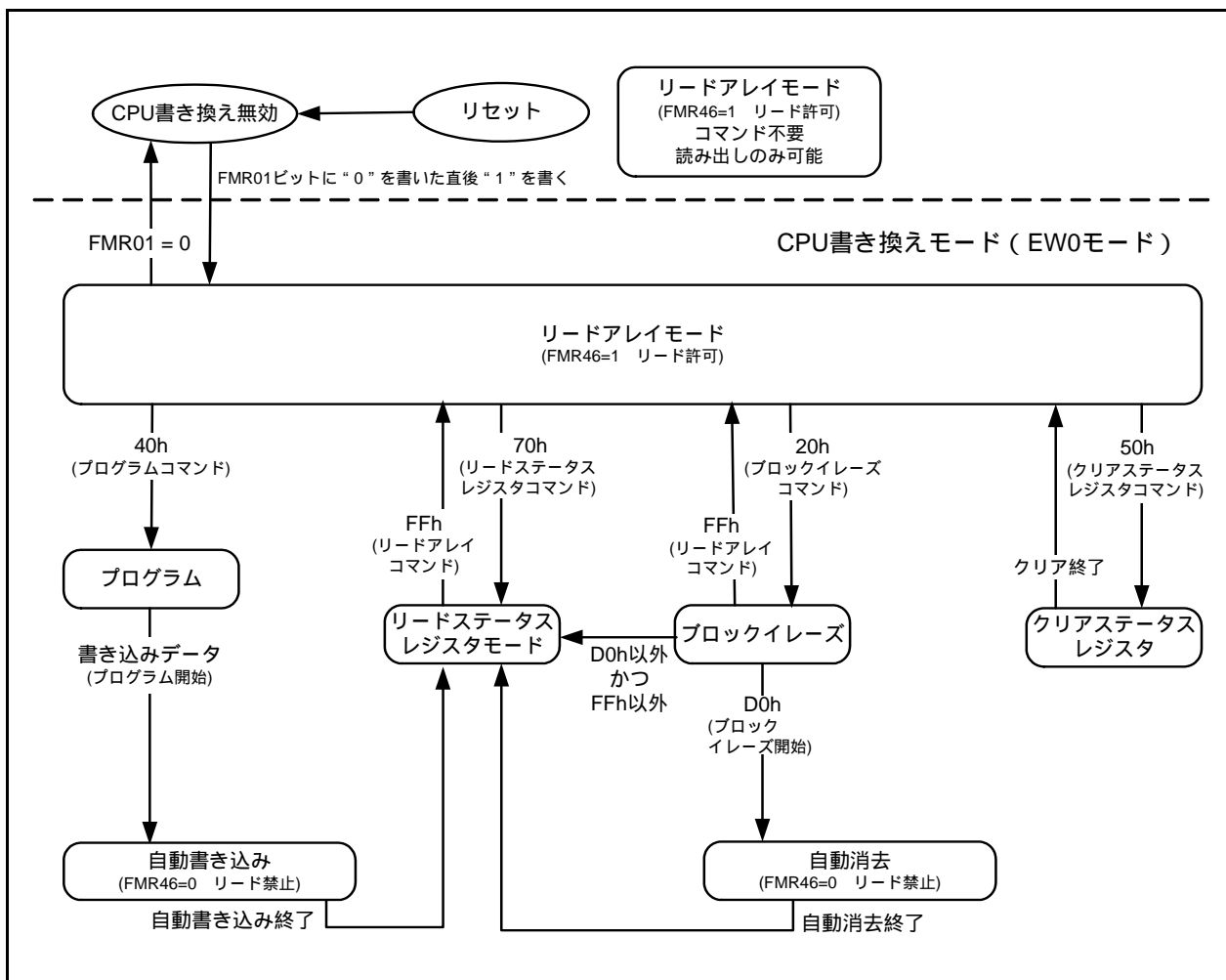


図 20.8 EW0モード時のソフトウェアコマンド状態遷移図

- **リードアレイ**
フラッシュメモリを読むコマンドです。
ユーザROM領域の任意の番地に“FFh”を書くと、リードアレイモードになります。リードアレイモードでは、指定した番地の内容が読めます。
リードアレイモードは、他のコマンドを書くまで継続します。また、リセット解除後はリードアレイモードになります。
- **リードステータスレジスタ**
ステータスレジスタを読むコマンドです。図 20.9 にステータスレジスタを示します。
ステータスレジスタは、フラッシュメモリの動作状態やイレース、プログラムの正常、エラー終了などの状態を示すレジスタです(「表 20.4 エラーとFMR0レジスタの状態」参照)。ユーザROM領域の任意の番地に“70h”を書くと、リードステータスレジスタモードになります。次にユーザROM領域の任意の番地を読むと、ステータスレジスタが読めます。
リードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続します。
ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06～FMR07ビットでも読めます。

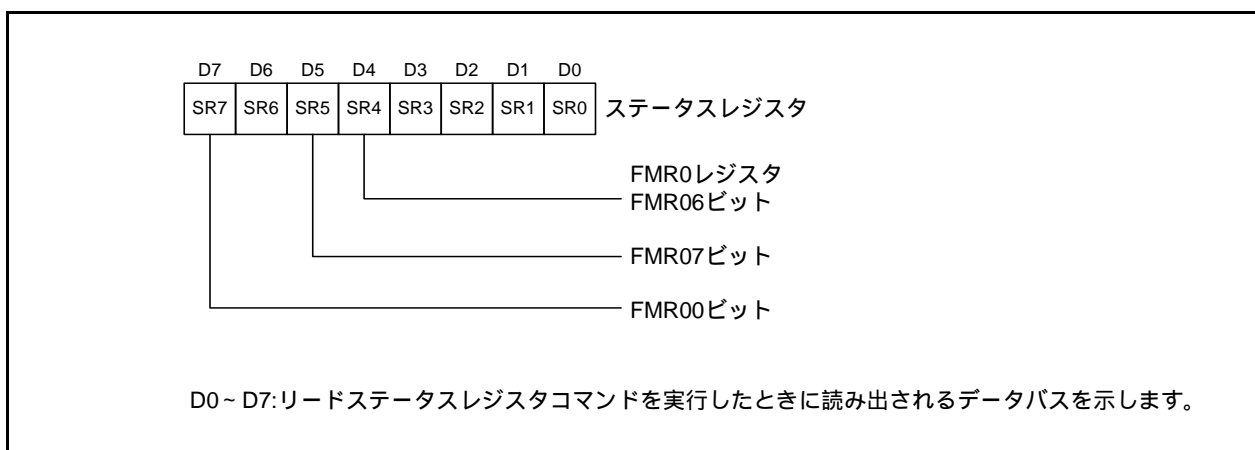


図 20.9 ステータスレジスタ

- **クリアステータスレジスタ**
ステータスレジスタを“0”にするコマンドです。
ユーザROM領域の任意の番地に“50h”を書くと、FMR0レジスタのFMR07～FMR06ビットとステータスレジスタのSR5～SR4が“00b”になります。

- プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に“40h”を書き、次に書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「20.4.2 ステータスチェック方法」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが“1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが“1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

図 20.10にEW0モードのプログラムフローチャートを示します。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

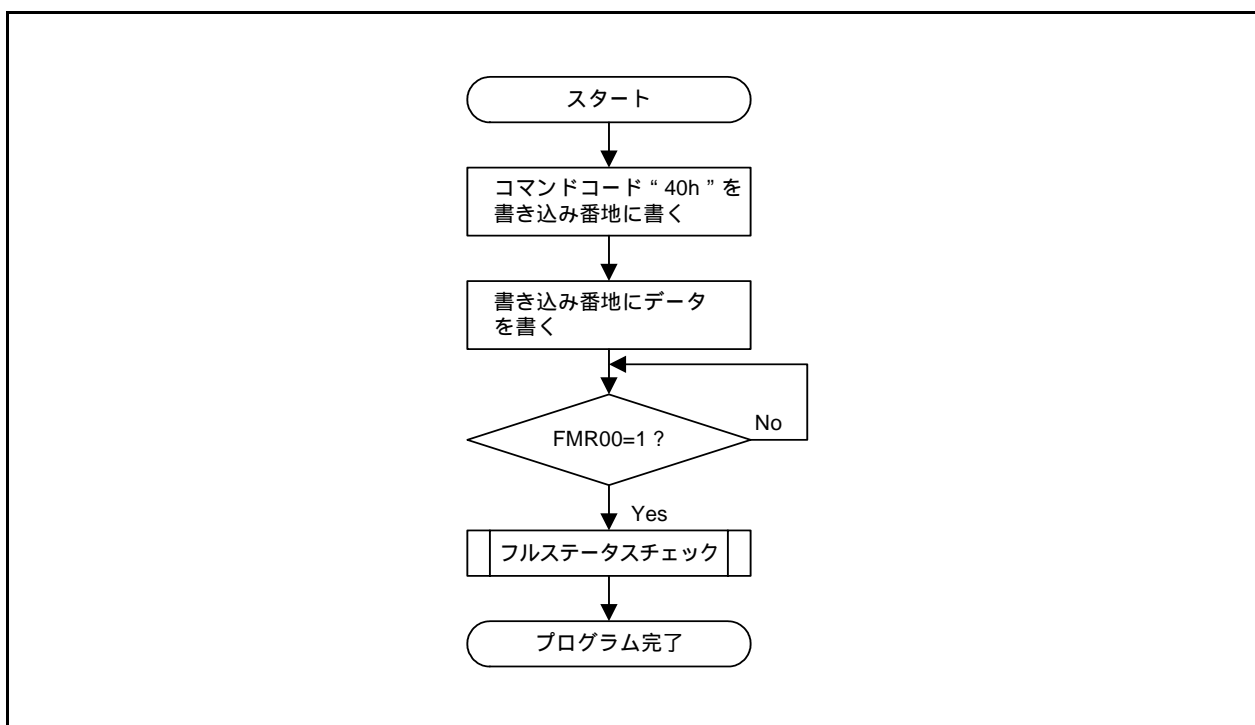


図 20.10 EW0モードのプログラムフローチャート

- ブロックイレーズ

始めに“20h”、次に“D0h”をブロックの任意の番地に書くと、指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「20.4.2 ステータスチェック方法」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが“1”(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが“1”(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。

図 20.11 にEW0モードのブロックイレーズフローチャートを示します。

プログラム、イレーズ回数がn回(n=100、1000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

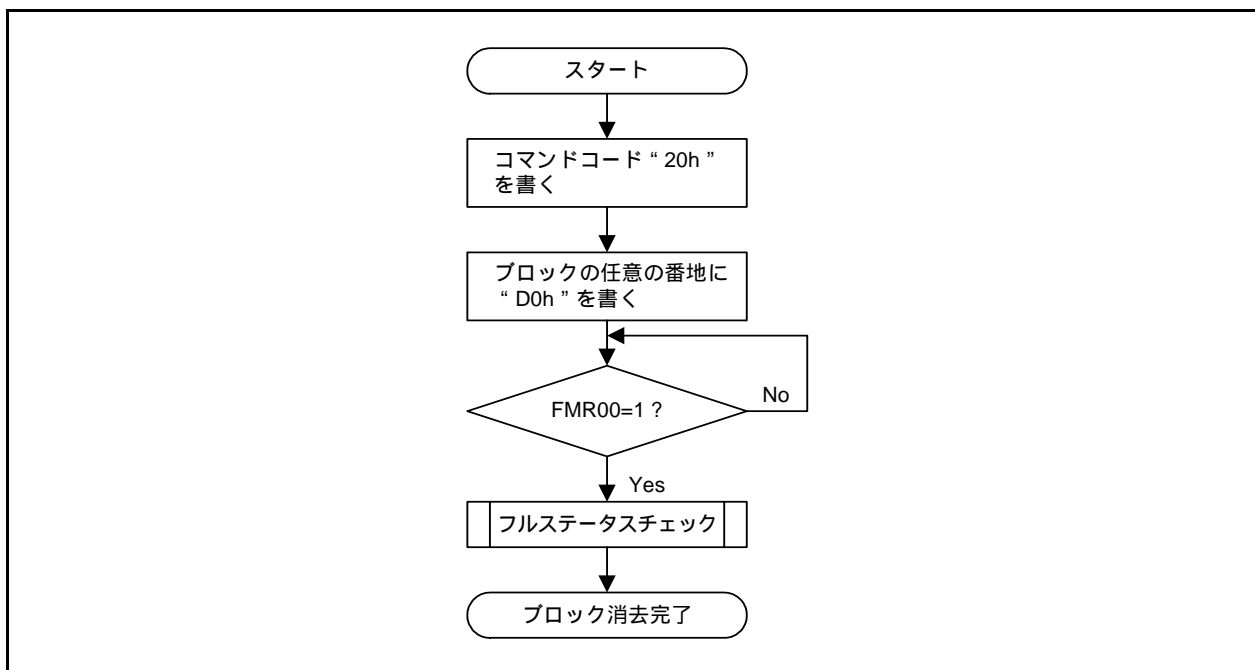


図 20.11 EW0モードのブロックイレーズフローチャート

20.4.3.2 EW0モード時の割り込み

EW0モード時はベクタをRAMに配置することで、マスカブル割り込みを使用できます。表 20.5にEW0モード時の割り込みを示します。ノンマスカブル割り込みについては「20.7.1.3 ノンマスカブル割り込み」を参照してください。

表 20.5 EW0モード時の割り込み

状態	マスカブル割り込み要求受付時
自動消去中	割り込み処理を実行します。
自動書き込み	

20.4.4 EW1モード

FMR01ビットを“1”(CPU書き換えモード有効)にした後、FMR11ビットを“1”(EW1モード)にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。図 20.12 にEW1モードの設定と解除方法を示します。

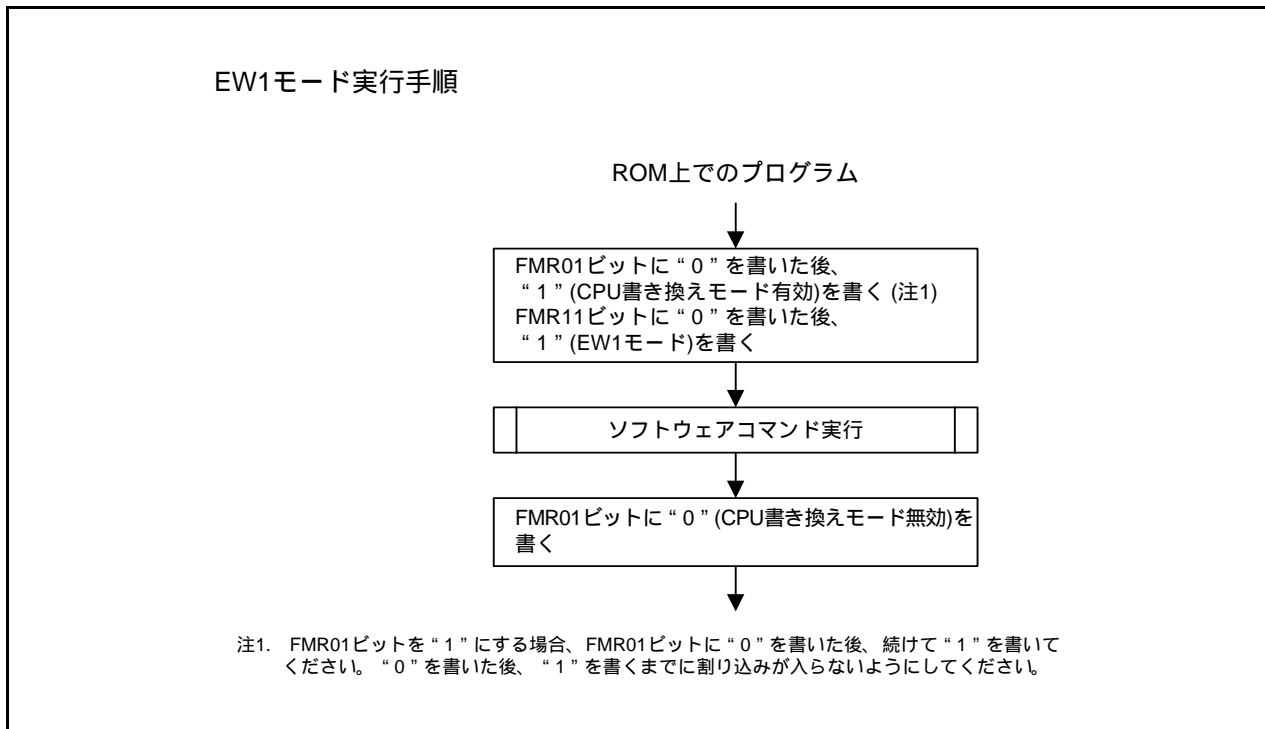


図 20.12 EW1モードの設定と解除方法

20.4.4.1 ソフトウェアコマンド

ソフトウェアコマンドには次の4種類があります。

- リードアレイ
- クリアステータスレジスタ
- プログラム
- ブロックイレーズ

EW1モードでは、リードステータスレジスタコマンドを実行しないでください。

図 20.13 にEW1モード時のソフトウェアコマンド状態遷移図を示します。

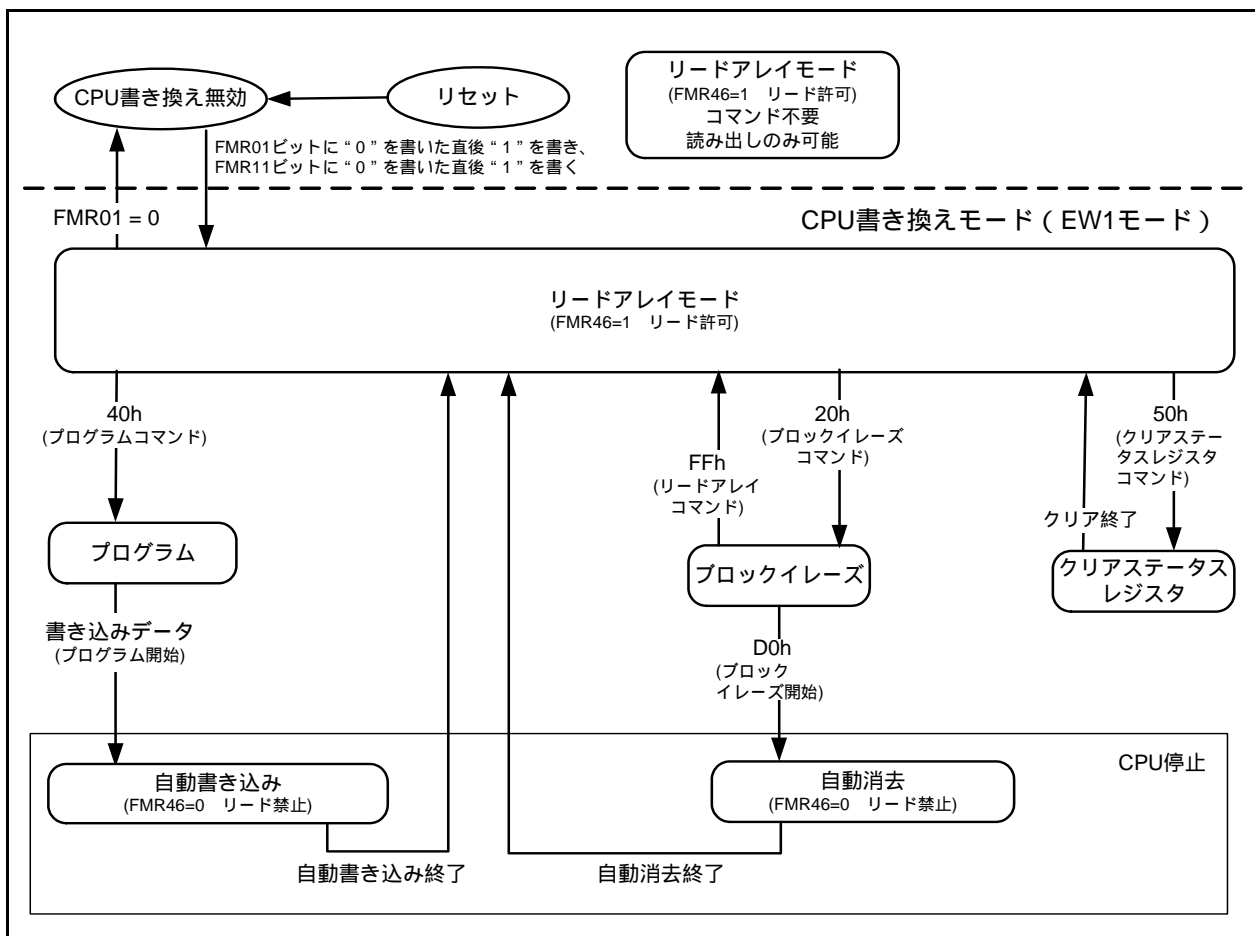


図 20.13 EW1モード時のソフトウェアコマンド状態遷移図

- **リードアレイ**
フラッシュメモリを読むコマンドです。
ユーザROM領域の任意の番地に“FFh”を書くと、リードアレイモードになります。リードアレイモードでは、指定した番地の内容が読めます。
リードアレイモードは、他のコマンドを書くまで続きます。また、リセット解除後はリードアレイモードになります。
- **クリアステータスレジスタ**
ステータスレジスタを“0”にするコマンドです。
ユーザROM領域の任意の番地に“50h”を書くと、FMR0レジスタFMR07の～FMR06ビットとステータスレジスタのSR5～SR4が“00b”になります。

- プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に“40h”を書き、次に書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み中は“0”、終了後は“1”になります。

自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「20.4.2 ステータスチェック方法」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが“1”(書き換え禁止)のときはブロック0に対するプログラムコマンドが、FMR16ビットが“1”(書き換え禁止)のときはブロック1に対するプログラムコマンドが受け付けられません。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

図 20.14にEW1モードのプログラムフローチャートを示します。

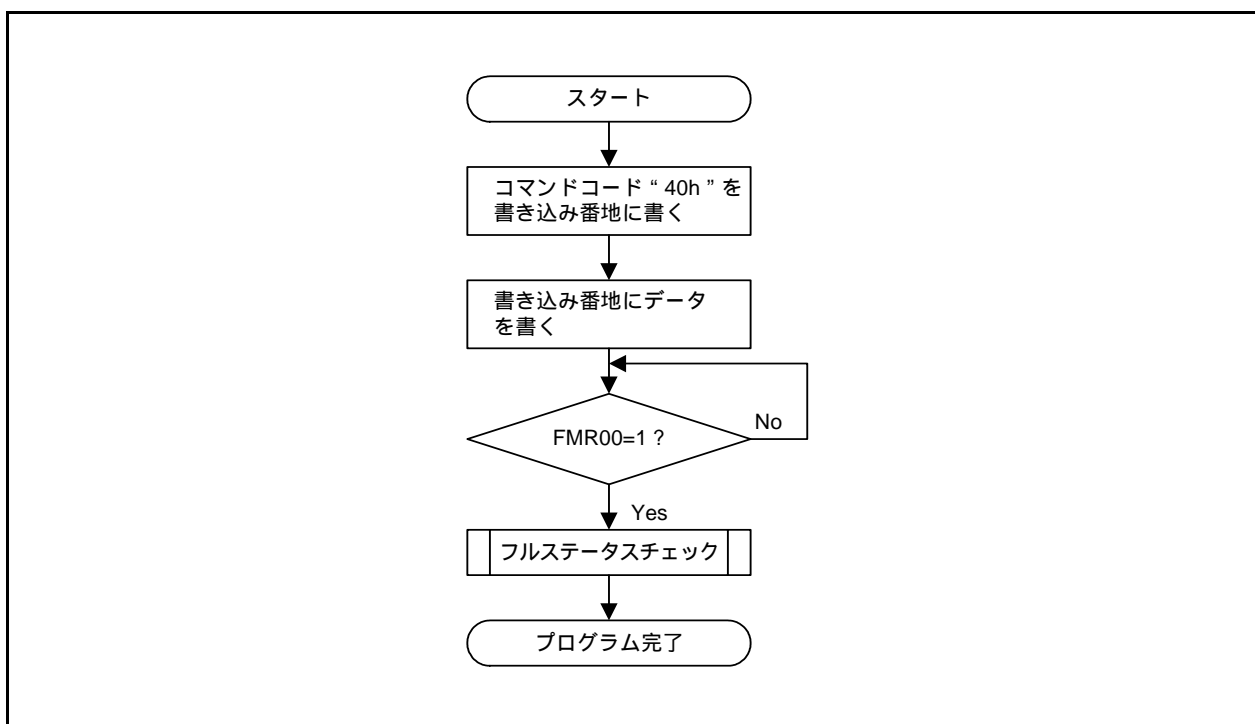


図 20.14 EW1モードのプログラムフローチャート

- ブロックイレーズ

始めに“20h”、次に“D0h”をブロックの任意の番地に書くと、指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去中は“0”、終了後は“1”になります。

自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「20.4.2 ステータスチェック方法」参照)。

また、FMR0レジスタのFMR02ビットが“0”(書き換え禁止)のとき、またはFMR02ビットが“1”(書き換え許可)でFMR1レジスタのFMR15ビットが“1”(書き換え禁止)のときはブロック0に対するブロックイレーズコマンドが、FMR16ビットが“1”(書き換え禁止)のときはブロック1に対するブロックイレーズコマンドは受け付けられません。

また、書き換え制御プログラムが配置されているブロックに対して、ブロックイレーズコマンドを実行しないでください。

図 20.15にEW1モードのブロックイレーズフローチャートを示します。

プログラム、イレーズ回数がn回(n=100、1000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KブロックのブロックAについて、1バイト書き込みを1024回に分けて行った場合、そのブロックをイレーズするとプログラム、イレーズ回数1回と数えます。100回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数が平準化するように書き換えを実施してください。

また、何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

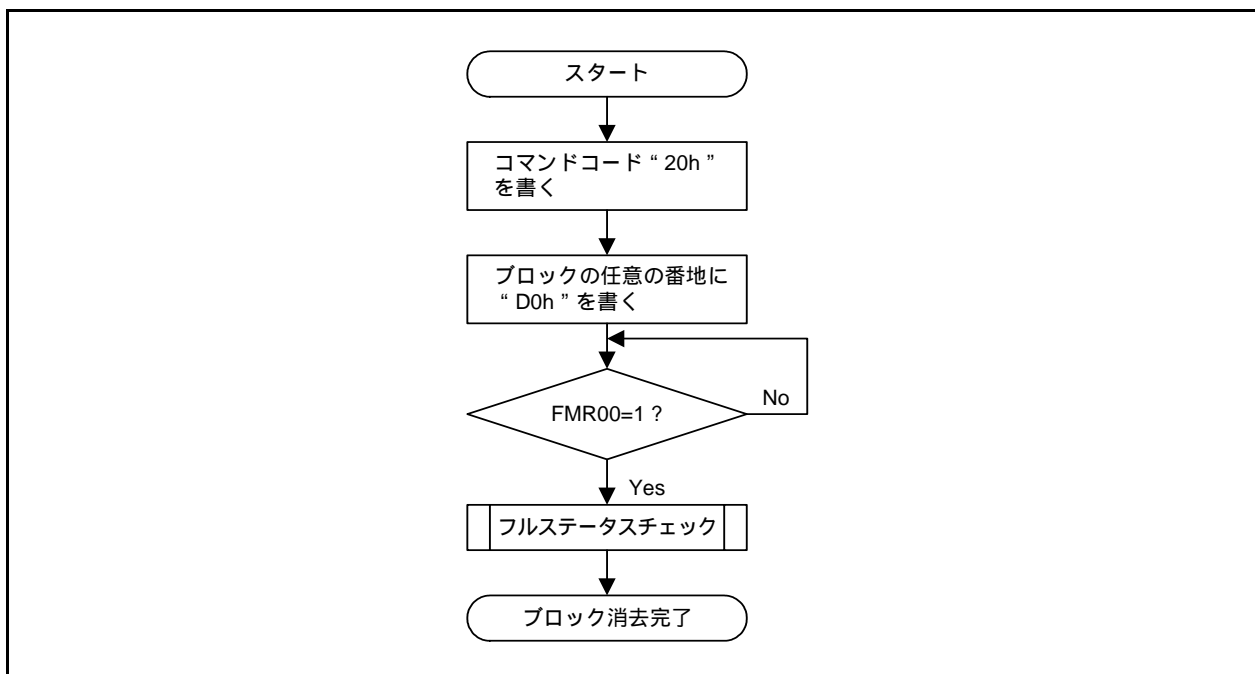


図 20.15 EW1モードのブロックイレーズフローチャート

20.4.4.2 EW1モード時の割り込み

EW1モードではマスカブル割り込みを使用できます。表 20.6にEW1モード時の割り込みを示します。ノンマスカブル割り込みについては「20.7.1.3 ノンマスカブル割り込み」を参照してください。

表 20.6 EW1モード時の割り込み

状態	マスカブル割り込み要求受付時
自動消去中	自動消去が優先され、割り込み要求が待たされます。自動消去が終了した後、割り込み処理を実行します。
自動書き込み中	自動書き込みが優先され、割り込み要求が待たされます。自動書き込みが終了した後、割り込み処理を実行します。

20.5 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアルI/Oを用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. オンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表 20.7に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図 20.16に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表 20.7に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子に“H”を入力して、ハードウェアリセットしてください。

20.5.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は、「14. IDコード領域」を参照してください。

表 20.7 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		Vcc 端子にはプログラム、イレーズの保証電圧を、Vss には0Vを入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_3/XCIN	P4_3入力/クロック入力	入力	外付けの発振子を接続する場合、XCIN端子とXCOUT端子の間には水晶発振子を接続してください。 P4_3を入力ポートとして使用する場合、“H”を入力、“L”を入力、または開放してください。 P4_4を出力ポートとして使用する場合、開放してください。
P4_4/XCOUT	P4_4出力/クロック出力	出力	
P0_4 ~ P0_7	入力ポートP0	入力	“H”を入力、“L”を入力、または開放してください。
P1_0 ~ P1_7	入力ポートP1	入力	“H”を入力、“L”を入力、または開放してください。
P3_0 ~ P3_7	入力ポートP3	入力	“H”を入力、“L”を入力、または開放してください。
P4_5	入力ポートP4	入力	“H”を入力、“L”を入力、または開放してください。
P6_0、P6_3 ~ P6_6	入力ポートP6	入力	“H”を入力、“L”を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

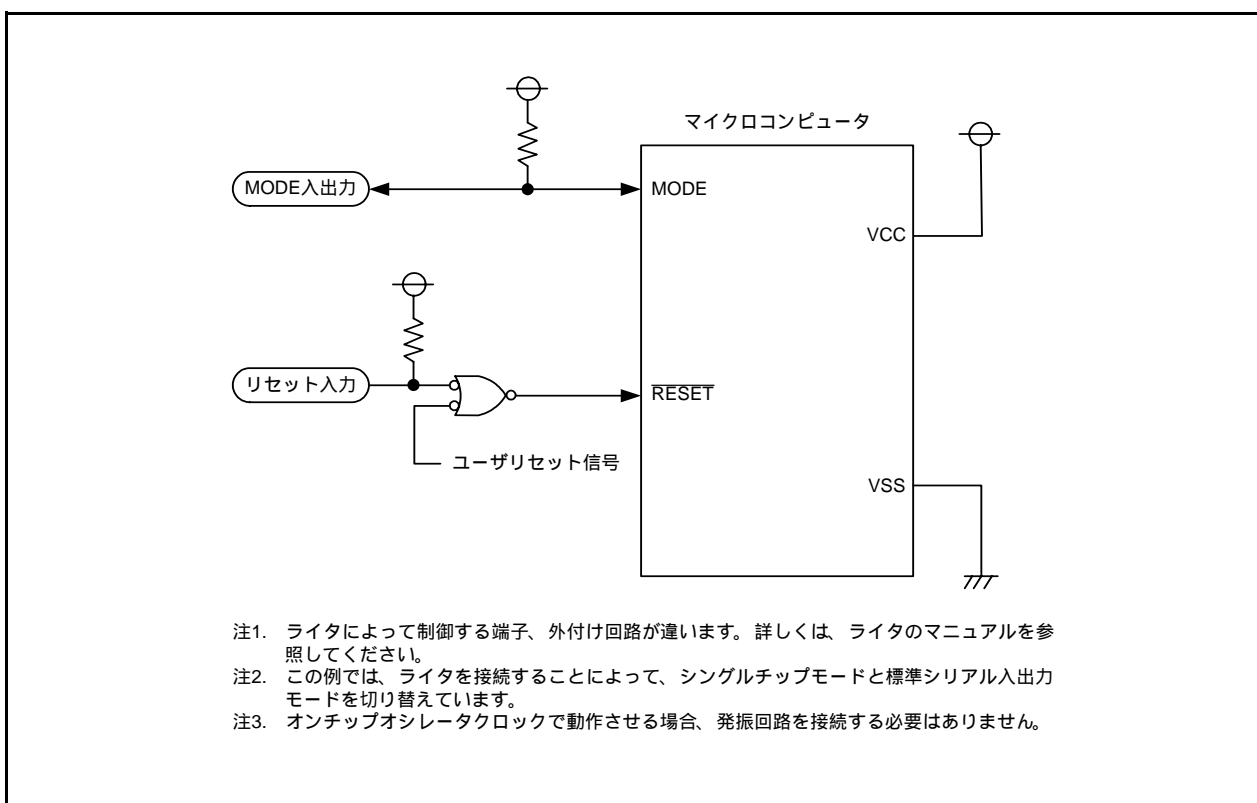


図 20.16 標準シリアル入出力モード3を使用する場合の端子処理例

20.6 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 20.1 に示すユーザROM領域の書き換えができます。

20.6.1 ROMコードプロテクト機能

ROMコードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「20.3.2 ROMコードプロテクト機能」参照)。

20.7 フラッシュメモリ使用上の注意

20.7.1 CPU書き換えモード

20.7.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

20.7.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

20.7.1.3 ノンマスカブル割り込み

•EW0モード

ウォッチドッグタイマ、電圧監視1、電圧監視2、コンパレータ1、コンパレータ2割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。

アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

•EW1モード

ウォッチドッグタイマ、電圧監視1、電圧監視2、コンパレータ1、コンパレータ2割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。イレースサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。

アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

20.7.1.4 アクセス方法

FMR0レジスタのFMR01ビット、FMR02ビット、FMR1レジスタのFMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

20.7.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

20.7.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

20.7.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

21. 消費電力の低減

21.1 概要

この章では消費電力を小さくするためのポイント、処理方法について説明します。

21.2 消費電力を小さくするためのポイントと処理方法

消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

21.2.1 電圧検出回路

電圧監視1およびコンパレータ1を使用しない場合、VCA2レジスタのVCA26ビットを“0”(電圧検出1回路無効)に、電圧監視2およびコンパレータ2を使用しない場合、VCA2レジスタのVCA27ビットを“0”(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを“0”(電圧検出0回路無効)にしてください。

21.2.2 ポート

ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

21.2.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

高速オンチップオシレータの発振停止：HRA0レジスタのHRA00ビット

21.2.4 発振駆動能力の選択

XCINクロック発振回路の駆動能力を“LOW”にしてください。ただし、“LOW”の状態でも安定して発振するか、確認してください。

XCIN-XCOUT駆動能力の選択：CM0レジスタのCM03ビット

21.2.5 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「11.4 パワーコントロール」を参照してください。

21.2.6 周辺機能クロックの停止

ウェイトモード時に周辺機能クロックf1、f2、f4、f8、f32が不要の場合、CM0レジスタのCM02ビットを“1”(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

21.2.7 タイマ

タイマRAを使用しない場合、TRAMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

タイマRBを使用しない場合、TRBMRレジスタのTCKCUTビットを“1”(カウントソース遮断)にしてください。

21.2.8 内部電源の消費電力低減

低速クロックモードまたは低速オンチップオシレータモードでウェイトモードへ移行する場合、VCA2レジスタのVCA20ビットにより、内部電源の消費電力を低減できます。図 21.1 にVCA20ビットによる内部電源低消費操作手順を示します。VCA20ビットにより内部電源低消費電力を許可する場合は、「図 21.1 VCA20ビットによる内部電源低消費操作手順」に従ってください。

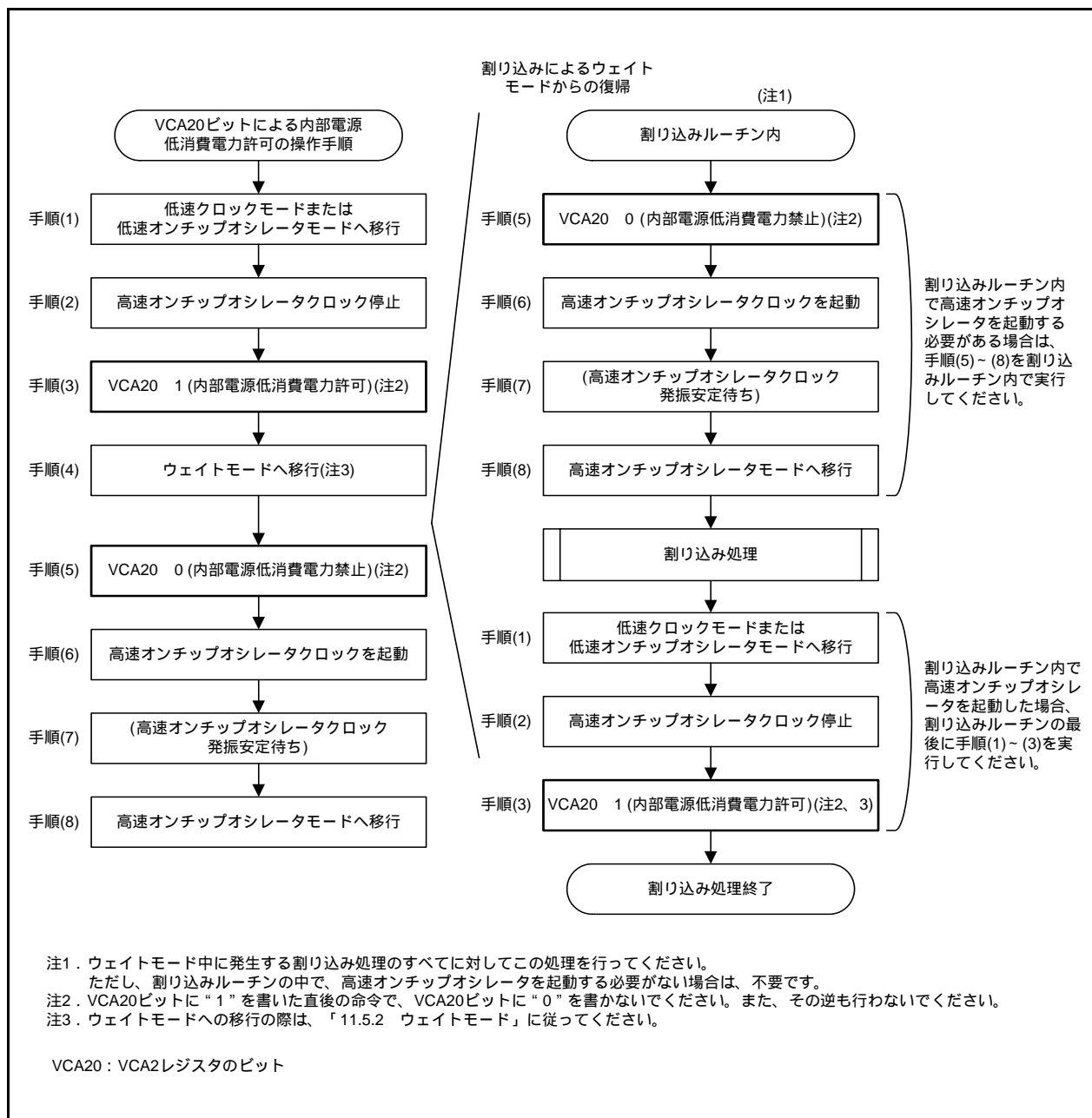


図 21.1 VCA20ビットによる内部電源低消費操作手順

21.2.9 フラッシュメモリの停止

低速オンチップオシレータモード、低速クロックモードの場合、FMR0レジスタのFMSTPビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTPビットを“1”(フラッシュメモリ停止)にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはRAMに転送したプログラムで書いてください。

なお、CPU書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

図 21.2にFMSTPビットによる低消費電力操作手順例を示します。

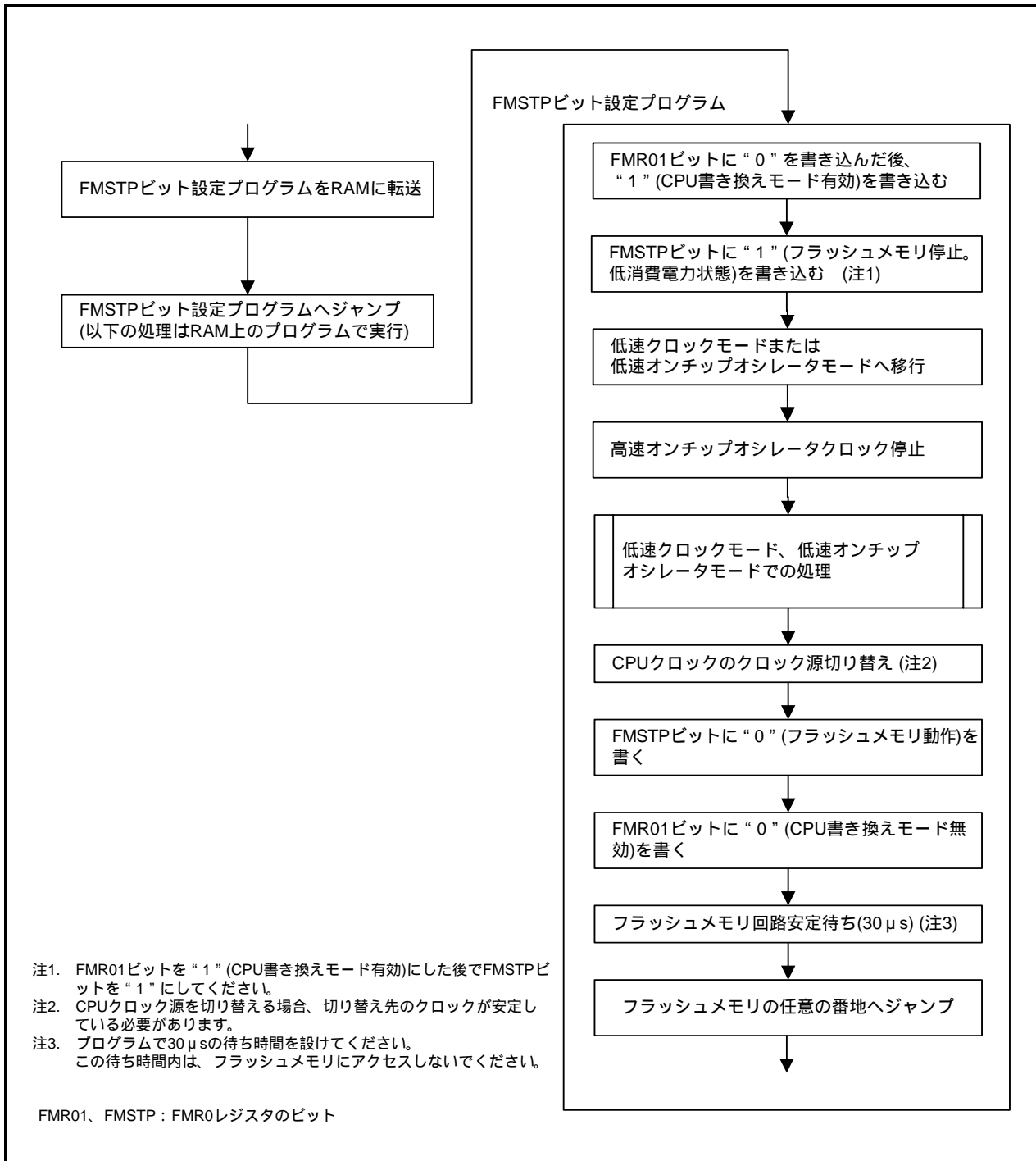


図 21.2 FMSTPビットによる低消費電力操作手順例

21.2.10 低消費電流リードモード

低速クロックモード、低速オンチップオシレータモードのときに、FMR4レジスタのFMR47ビットを“1”(許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

図 21.3に低消費電流リードモードの操作手順例を示します。

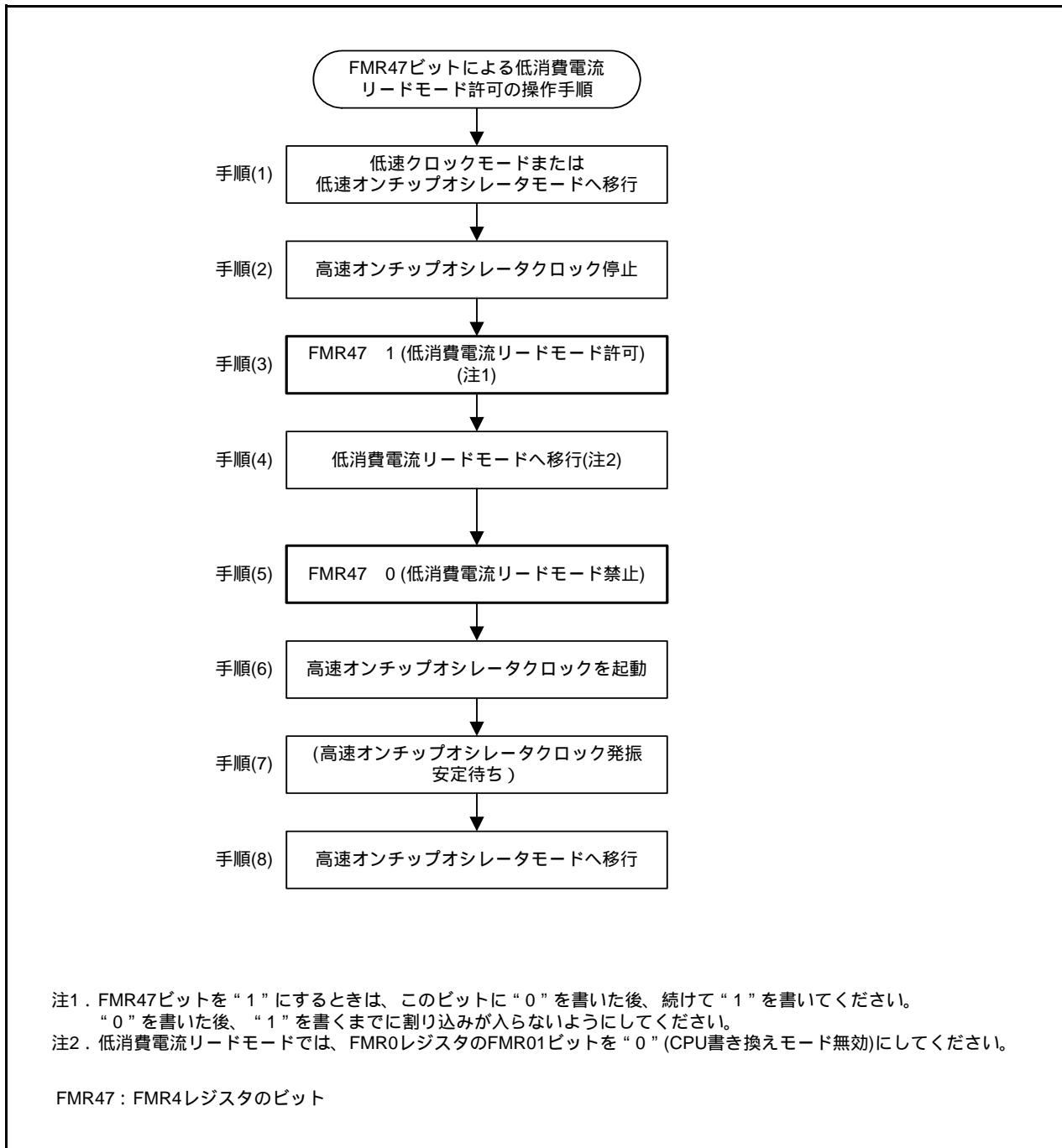


図 21.3 低消費電流リードモードの操作手順例

22. 電気的特性

表22.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	Topr = 25	500	mW
Topr	動作周囲温度		- 20 ~ 85(Nバージョン) / - 40 ~ 85(Dバージョン)	
Tstg	保存温度		- 65 ~ 150	

表22.2 推奨動作条件

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{CC}	電源電圧		2.2		5.5	V
V _{SS}	電源電圧			0		V
V _{IH}	“H”入力電圧		0.8V _{CC}		V _{CC}	V
V _{IL}	“L”入力電圧		0		0.2V _{CC}	V
I _{OH(sum)}	“H”尖頭総出力電流	全端子のI _{OH(peak)} の 総和			- 160	mA
I _{OH(sum)}	“H”平均総出力電流	全端子のI _{OH(avg)} の 総和			- 80	mA
I _{OH(peak)}	“H”尖頭出力電流	全端子			- 10	mA
I _{OH(avg)}	“H”平均出力電流	全端子			- 5	mA
I _{OL(sum)}	“L”尖頭総出力電流	全端子のI _{OL(peak)} の 総和			160	mA
I _{OL(sum)}	“L”平均総出力電流	全端子のI _{OL(avg)} の 総和			80	mA
I _{OL(peak)}	“L”尖頭出力電流	全端子			10	mA
I _{OL(avg)}	“L”平均出力電流	全端子			5	mA
f(XCIN)	XCINクロック入力発振周波数	2.2V V _{CC} 5.5V	0		70	kHz
	システムクロック	OCD2 = “0” XCINクロック選択時	2.2V V _{CC} 5.5V	0	70	kHz
		OCD2 = “1” オンチップオシレータ クロック選択時	HRA01 = “0” 低速オンチップオシレータ 選択時		125	kHz
			HRA01 = “1” 高速オンチップオシレータ 選択時 2.7V V _{CC} 5.5V		8	MHz
			HRA01 = “1” 高速オンチップオシレータ 選択時 2.2V V _{CC} 5.5V		4	MHz

注1. 指定のない場合は、V_{CC} = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

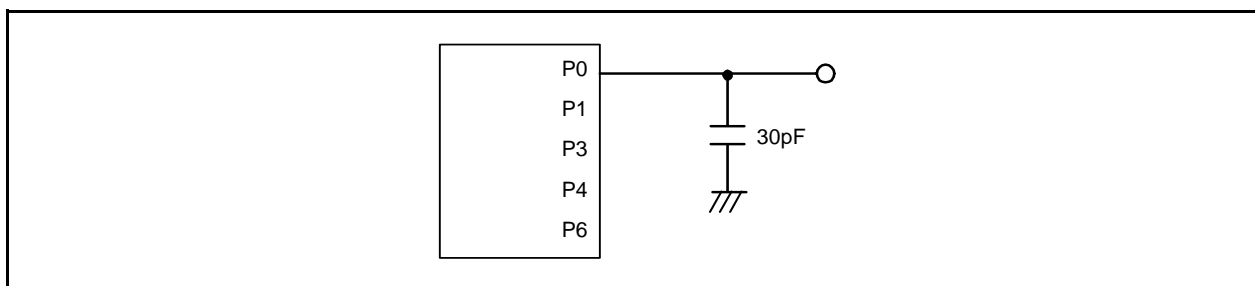


図22.1 ポートP0、P1、P3、P4、P6のタイミング測定回路

表22.3 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		100(注3)			回
	バイトプログラム時間			50	400	μ s
	ブロックイレーズ時間			0.4	9	s
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度=55	20			年

注1. 指定のない場合は、 $V_{cc} = 2.7V \sim 5.5V$ 、 $T_{opr} = 0 \sim 60$ です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回($n=100, 1,000, 10,000$)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表22.4 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベル		2.2	2.3	2.4	V
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc=5.0V		0.9		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				300	μs
Vccmin	マイコンの動作電圧の最小値		2.2			V

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表22.5 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベル(注4)		2.7	2.85	3.00	V
	電圧監視1割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc=5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

注4. 電源の立ち下り時の電圧検出レベルを示しています。電源の立ち上り時の検出レベルは、電源の立ち下り時の電圧検出レベルより、0.1V程度大きい値になります。

表22.6 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベル		3.3	3.6	3.9	V
	電圧監視2割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc=5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表22.7 パワーオンリセット回路、電圧監視0リセットの電気的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧 (注4)				0.1	V
V _{por2}	パワーオンリセットまたは電圧監視0リセットが有効になる電圧		0		V _{det0}	V
t _{trh}	外部電源V _{CC} の立ち上がり傾き(注2)		20			mV/msec

注1. 指定のない場合測定条件は、T_{opr} = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. V_{CC} 1.0Vで使用する場合、この条件(外部電源V_{CC}立ち上がり傾き)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVD00Nビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

注4. t_{w(por1)}は外部電源V_{CC}を有効電圧(V_{por1})以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げる時は -20 ≤ T_{opr} ≤ 85 ではt_{w(por1)}を30s以上、 -40 ≤ T_{opr} < -20 ではt_{w(por1)}を3000s以上保持してください。

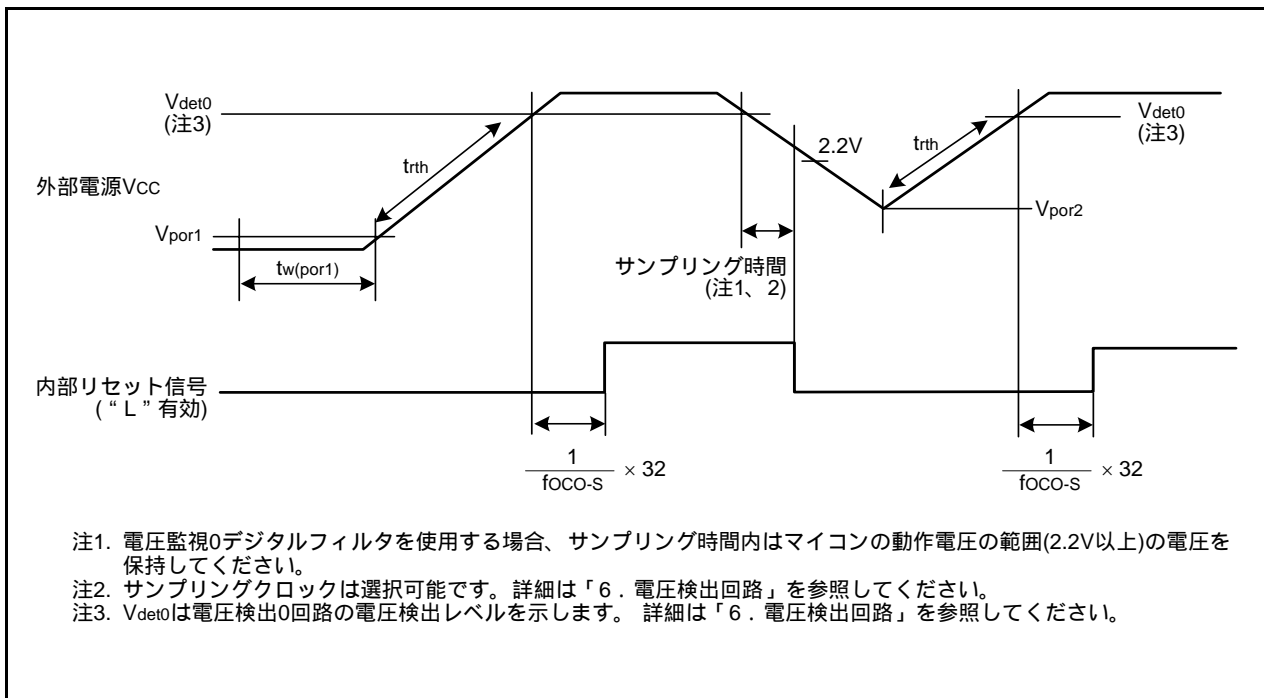


図22.2 リセット回路の電気的特性

表22.8 コンパレータの電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vref	内部基準電圧	Vcc=2.2V ~ 5.5V、Topr=25	1.15	1.25	1.35	V
		Vcc=2.2V ~ 5.5V、 Topr= - 40 ~ 85		1.25		V
Vcref	外部入力基準電圧	Vcc=2.2V ~ 4.0V	0.5		Vcc - 1.1	V
		Vcc=4.0V ~ 5.5V	0.5		Vcc - 1.5	V
Vcin	外部比較電圧入力範囲		- 0.3		Vcc + 0.3	V
Vofs	入力オフセット電圧			20	120	mV
Tcrsp	レスポンス時間			4		μs

注1. 指定のない場合測定条件は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

表22.9 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-F	高速オンチップオシレータ発振周波数の温度・電圧依存性	Vcc=4.75V ~ 5.25V Topr=0 ~ 60 (注2)	7.76	8	8.24	MHz
		Vcc=2.7V ~ 5.5V Topr= - 20 ~ 85 (注2)	7.68	8	8.32	MHz
		Vcc=2.7V ~ 5.5V Topr= - 40 ~ 85 (注2)	7.44	8	8.32	MHz
		Vcc=2.2V ~ 5.5V Topr= - 20 ~ 85 (注3)	7.04	8	8.96	MHz
		Vcc=2.2V ~ 5.5V Topr= - 40 ~ 85 (注3)	6.8	8	9.2	MHz

注1. 指定のない場合測定条件は、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

注2. HRA1レジスタが出荷時の値、HRA2レジスタが00hのときの規格値です。

注3. FRA6レジスタの補正値をHRA1レジスタに書き込んだときの規格値です。

表22.10 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		30	125	250	kHz
	発振安定時間			10	100	μs
	発振時の自己消費電流	Vcc=5.0V、Topr=25		15		μA

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

表22.11 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間 (注2)		1		2000	μs
td(R-S)	STOP解除時間 (注3)				150	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表22.12 電気的特性(1) [Vcc = 5V]

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧	IOH = - 5mA	Vcc - 2.0		Vcc	V
		IOH = - 200 μ A	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	IOL = 5mA			2.0	V
		IOL = 200 μ A			0.45	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、INT4、 KI0、KI1、KI2、KI3、 RXD0、RXD2、 CLK0、CLK2	0.1	0.5		V
		RESET	0.1	1.0		V
I _{IH}	“H”入力電流	VI = 5V、Vcc = 5V			5.0	μ A
I _{IL}	“L”入力電流	VI = 0V、Vcc = 5V			- 5.0	μ A
RPULLUP	プルアップ抵抗	VI = 0V、Vcc = 5V	30	50	167	k
R _{XCIN}	帰還抵抗	XCIN		18		M
V _{RAM}	RAM保持電圧	ストップモード時	2.0			V

注1. 指定のない場合は、Vcc = 4.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

表22.13 電気的特性(2) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速オンチップオシレータモード	高速オンチップオシレータ発振 = 8MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5	8	mA
			高速オンチップオシレータ発振 = 8MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		低速オンチップオシレータモード	高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μ A
			低速クロックモード	高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) FMR47 = " 1 "		130	300
		ウェイトモード		高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "		30	
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	75	μ A
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		23	60	μ A
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 " BGRトリミング回路無効(BGRCR0 = 1)		4		μ A
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 " BGRトリミング回路無効(BGRCR0 = 1)		2.2		μ A
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 " BGRトリミング回路有効(BGRCR0 = 0)		8		μ A
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 " BGRトリミング回路有効(BGRCR0 = 0)		6		μ A
			ストップモード	XCINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " BGRトリミング回路無効(BGRCR0 = 1)		0.8	3
		XCINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " BGRトリミング回路無効(BGRCR0 = 1)			1.2		μ A
		XCINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " BGRトリミング回路有効(BGRCR0 = 0)			5	8	μ A
		XCINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " BGRトリミング回路有効(BGRCR0 = 0)			5.5		μ A

タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}= 25$) [$V_{CC}=5V$]

表22.14 XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

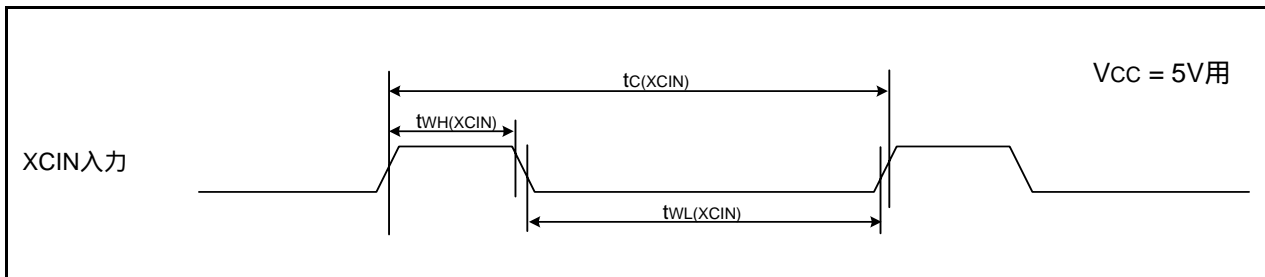


図22.3 $V_{CC}=5V$ 時のXCIN入力タイミング

表22.15 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	100		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	40		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	40		ns

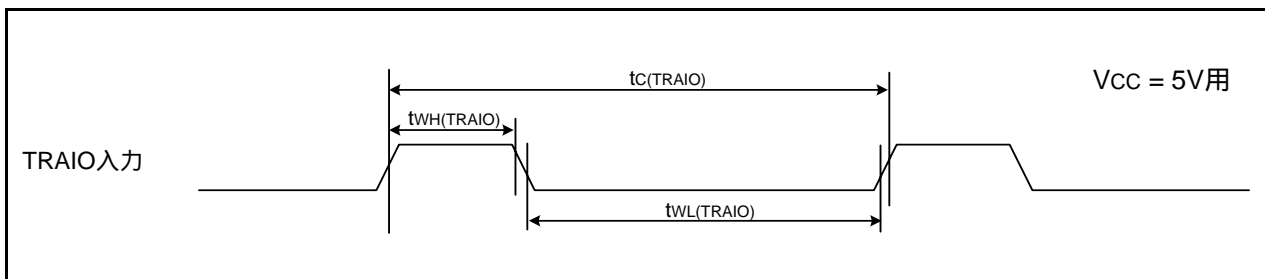


図22.4 $V_{CC}=5V$ 時のTRAIO入力タイミング

表22.16 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_c(\text{CK})$	CLKi入力サイクル時間	200		ns
$t_w(\text{CKH})$	CLKi入力“H”パルス幅	100		ns
$t_w(\text{CKL})$	CLKi入力“L”パルス幅	100		ns
$t_d(\text{C-Q})$	TXDi出力遅延時間		50	ns
$t_h(\text{C-Q})$	TXDiホールド時間	0		ns
$t_{su}(\text{D-C})$	RXDi入力セットアップ時間	50		ns
$t_h(\text{C-D})$	RXDi入力ホールド時間	90		ns

i = 0, 2

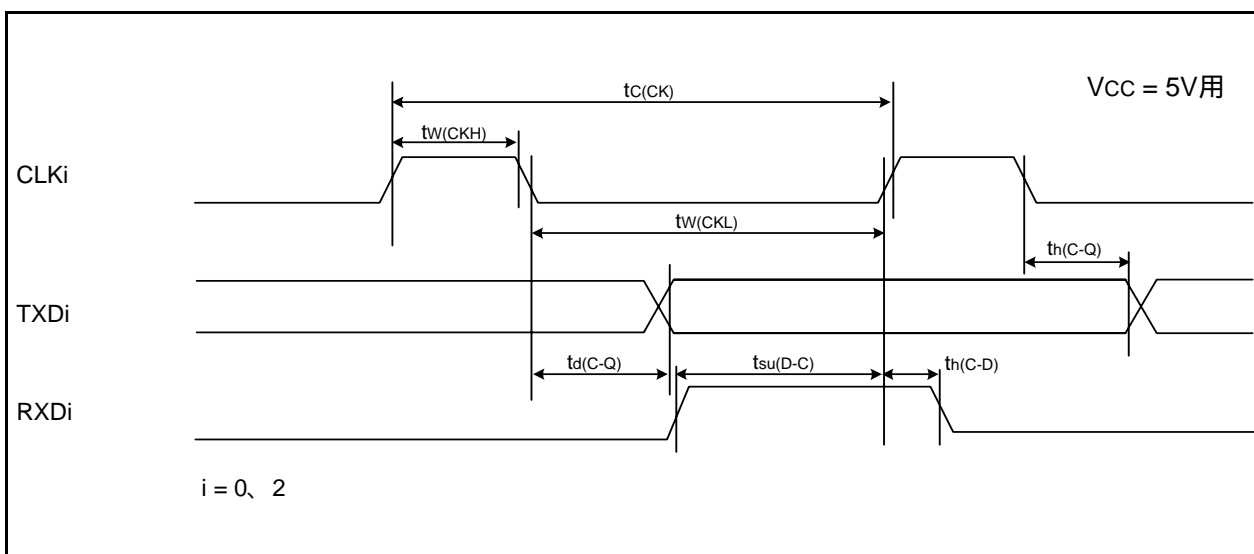


図22.5 Vcc=5V時のシリアルインタフェースのタイミング

表22.17 外部割り込みINTi入力 (i = 0, 1, 2, 4)

記号	項目	規格値		単位
		最小	最大	
$t_w(\text{INH})$	INTi入力“H”パルス幅	250(注1)		ns
$t_w(\text{INL})$	INTi入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

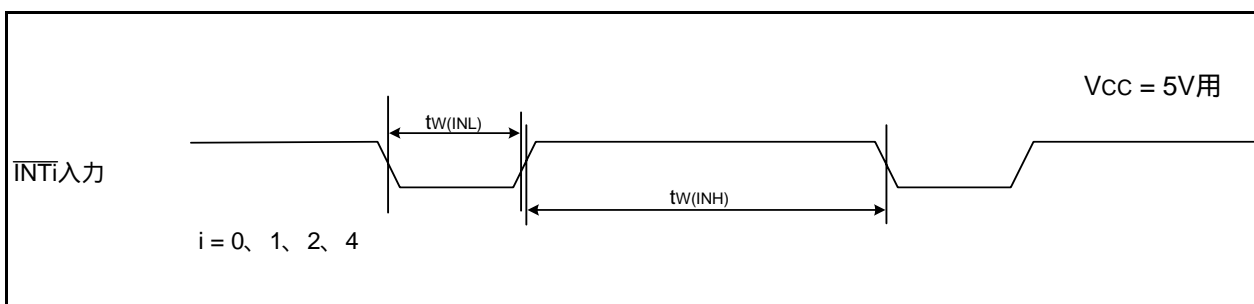


図22.6 Vcc=5V時の外部割り込みINTi入力タイミング

表22.18 電気的特性(3) [Vcc = 3V]

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧	IoH = - 1mA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	IoL = 1mA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、INT4、 KI0、KI1、KI2、KI3、 RXD0、RXD2、 CLK0、CLK2	0.1	0.3		V
		RESET	0.1	0.4		V
IiH	“H”入力電流	VI = 3V、Vcc = 3V			4.0	μA
IiL	“L”入力電流	VI = 0V、Vcc = 3V			- 4.0	μA
RPULLUP	プルアップ抵抗	VI = 0V、Vcc = 3V	66	160	500	k
RiXCIN	帰還抵抗	XCIN		18		M
V _{RAM}	RAM保持電圧	ストップモード時	1.8			V

注1. 指定のない場合は、Vcc = 2.7V ~ 3.3V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

表22.19 電気的特性(4) [Vcc = 3V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速オンチップ オシレータモード	高速オンチップオシレータ発振 = 8MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5		mA
			高速オンチップオシレータ発振 = 8MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		低速オンチップ オシレータモード	高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = " 1 "		130	300	μA
		低速クロックモード	高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) FMR47 = " 1 "		130	300	μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP = " 1 "		30		μA
		ウェイトモード	高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		25	70	μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 "		23	55	μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 " BGRトリミング回路無効(BGRCR0 = 1)		3.8		μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 " BGRトリミング回路無効(BGRCR0 = 1)		2		μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 " BGRトリミング回路有効(BGRCR0 = 0)		8		μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = " 0 " VCA20 = " 1 " BGRトリミング回路有効(BGRCR0 = 0)		6		μA
		ストップモード	XCINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " BGRトリミング回路無効(BGRCR0 = 1)		0.7	3	μA
				XCINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " BGRトリミング回路無効(BGRCR0 = 1)		1.1	
			XCINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " BGRトリミング回路有効(BGRCR0 = 0)		5	7	μA
				XCINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = " 0 " BGRトリミング回路有効(BGRCR0 = 0)		5.5	

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}= 25$) [$V_{CC}=3V$]

表22.20 XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

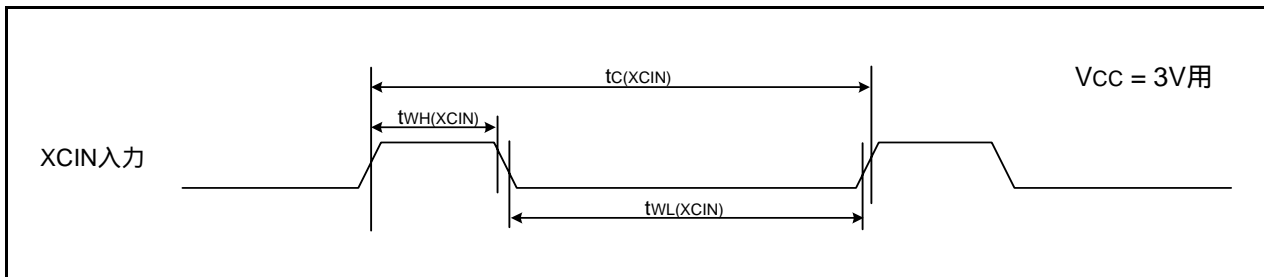


図22.7 $V_{CC}=3V$ 時のXCIN入力タイミング

表22.21 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	300		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	120		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	120		ns

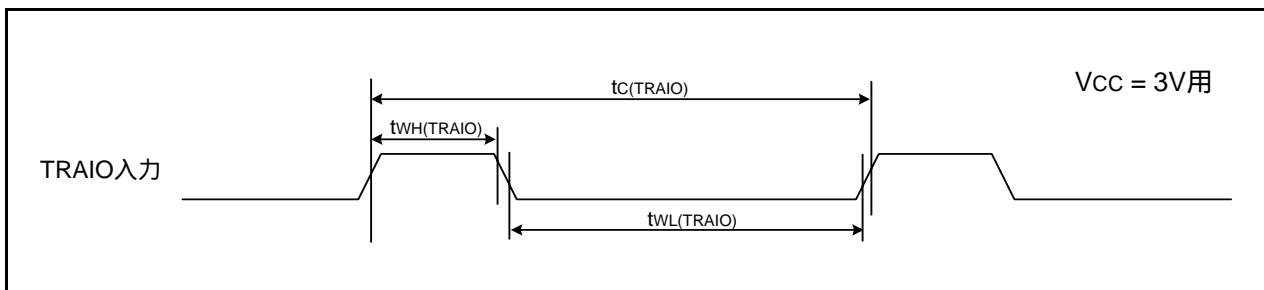


図22.8 $V_{CC}=3V$ 時のTRAIO入力タイミング

表22.22 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0, 2

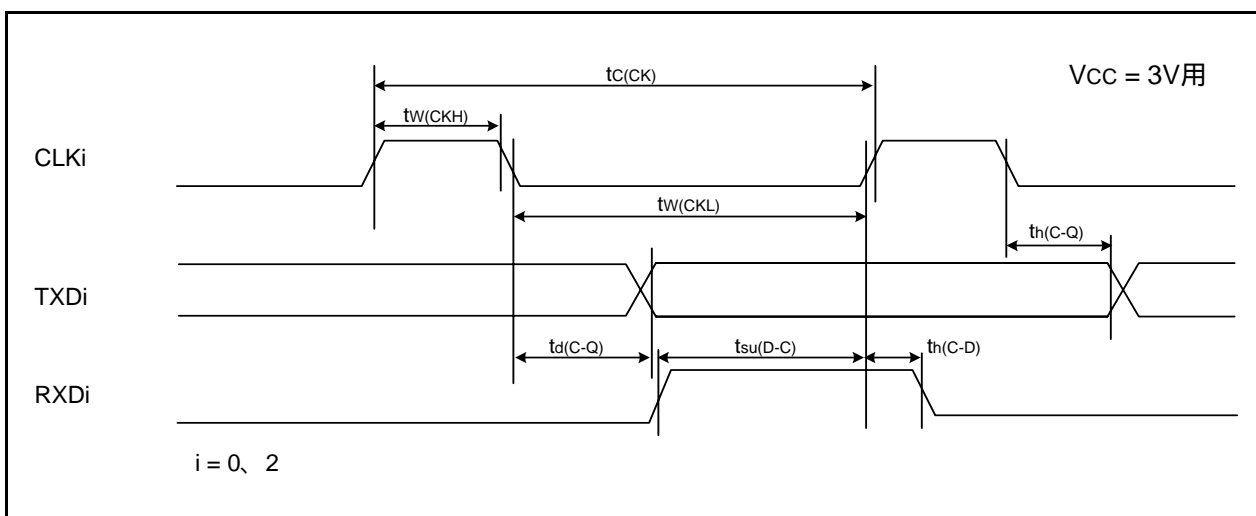


図22.9 Vcc=3V時のシリアルインタフェースのタイミング

表22.23 外部割り込みINTi入力 (i = 0, 1, 2, 4)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

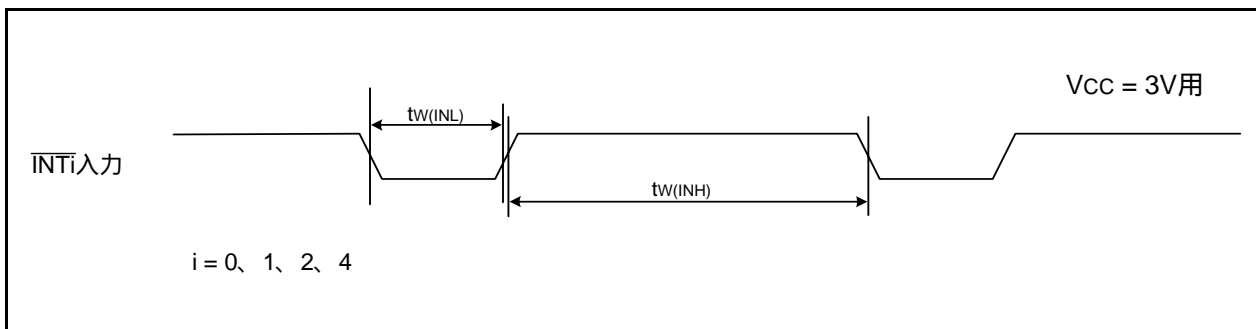


図22.10 Vcc=3V時の外部割り込みINTi入力タイミング

表22.24 電気的特性(5) [Vcc = 2.2V]

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧	IOH = - 1mA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	IOL = 1mA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、INT4、 KI0、KI1、KI2、KI3、 RXD0、RXD2、 CLK0、CLK2	0.05	0.3		V
		RESET	0.05	0.15		V
IiH	“H”入力電流	VI = 2.2V			4.0	μA
IiL	“L”入力電流	VI = 0V			- 4.0	μA
RPULLUP	プルアップ抵抗	VI = 0V	100	200	600	k
RiXCIN	帰還抵抗	XCIN		35		M
VRAM	RAM保持電圧	ストップモード時	1.8			V

注1. 指定のない場合は、Vcc = 2.2V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

表22.25 電気的特性(6) [Vcc = 2.2V]

(指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件		規格値			単位
				最小	標準	最大	
Icc	電源電流 (Vcc = 2.2V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速オンチップ オシレータモード	高速オンチップオシレータ発振 = 4MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		3.5		mA
			高速オンチップオシレータ発振 = 4MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.5		mA
		低速オンチップ オシレータモード	高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"		100	230	μA
		低速クロックモード	高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) FMR47 = "1"		100	230	μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP="1"		25		μA
		ウェイトモード	高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		22	60	μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1"		20	55	μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" BGRトリミング回路無効(BGRCR0 = 1)		3		μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" BGRトリミング回路無効(BGRCR0 = 1)		1.8		μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" BGRトリミング回路有効(BGRCR0 = 0)		7		μA
			高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(Low駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20 = "1" BGRトリミング回路有効(BGRCR0 = 0)		6		μA
		ストップモード	XCINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" BGRトリミング回路無効(BGRCR0 = 1)		0.7	3	μA
			XCINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" BGRトリミング回路無効(BGRCR0 = 1)		1.1		μA
			XCINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" BGRトリミング回路有効(BGRCR0 = 0)		5	7	μA
			XCINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = "1" 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" BGRトリミング回路有効(BGRCR0 = 0)		5.5		μA

タイミング必要条件 (指定のない場合は、 $V_{CC}=2.2V$ 、 $V_{SS}=0V$ 、 $T_{opr}= 25$) [$V_{CC}=2.2V$]

表22.26 XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

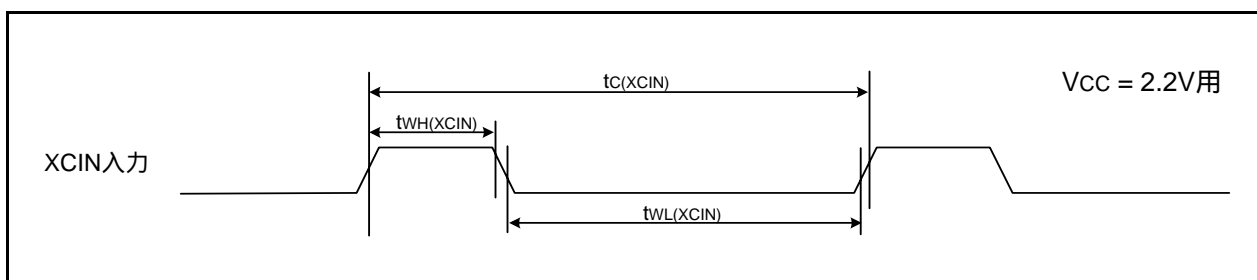


図22.11 $V_{CC}=2.2V$ 時のXCIN入力タイミング

表22.27 TRAIO入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	500		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	200		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	200		ns

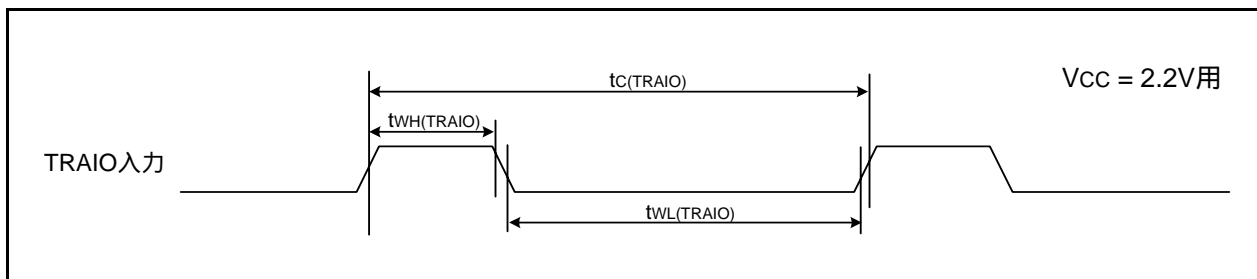


図22.12 $V_{CC}=2.2V$ 時のTRAIO入力タイミング

表22.28 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	400		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	400		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		200	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0, 2

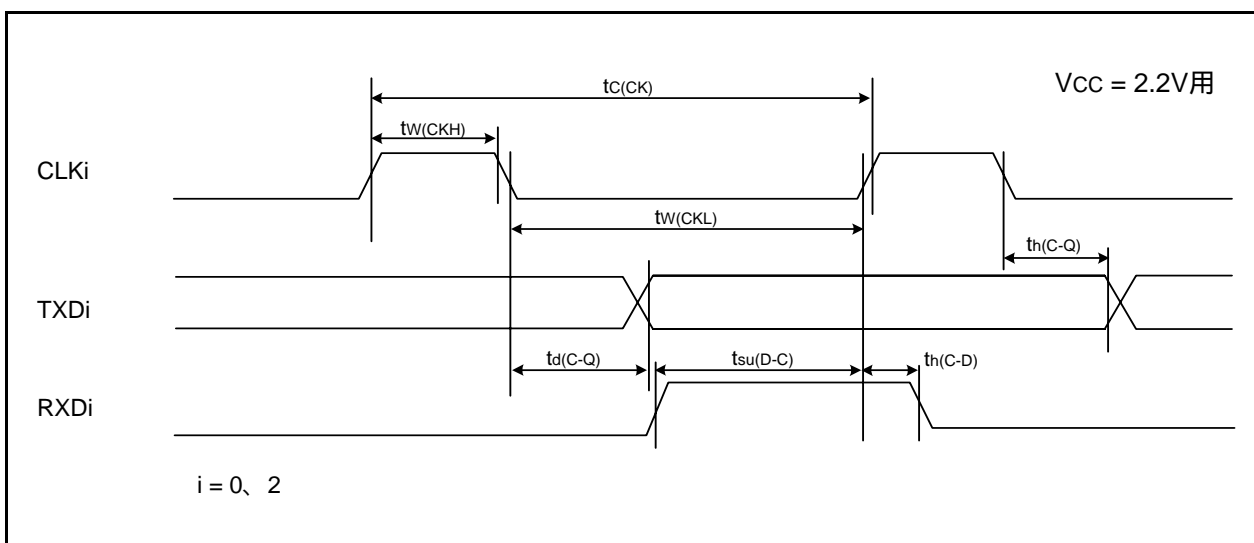


図22.13 Vcc=2.2V時のシリアルインタフェースのタイミング

表22.29 外部割り込みINTi入力 (i = 0, 1, 2, 4)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅	1000(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅	1000(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

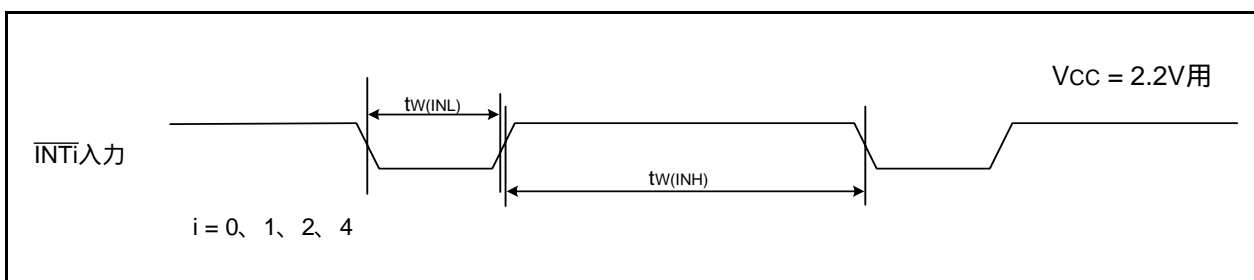


図22.14 Vcc=2.2V時の外部割り込みINTi入力タイミング

23. 使用上の注意事項

23.1 IOポート使用上の注意

23.1.1 ポートP4_3、P4_4

ポートP4_3とポートP4_4は、XCINとXCOUT機能と兼用しています。リセット期間中およびリセット解除後は、XCINとXCOUTの機能になります。プログラムでCM0レジスタのCM04ビットを“0”(ポートP4_3、P4_4)にすることで、P4_3端子およびP4_4端子をポートの機能に切り替えることができます。

ポートP4_3、P4_4をポートとして使用する場合は、下記の注意事項があります。

- ポートP4_3

リセット後からプログラムでCM04ビットを“0”(ポートP4_3、P4_4)にするまでは、P4_3端子はマイコン電源またはGNDの間に、10M (標準)のインピーダンスが付いています。XCINが中間レベル入力またはフローティングの場合、発振ドライバに貫通電流が流れます。

- ポートP4_4

ポートP4_4はPD4レジスタのPD4_4ビットを“1”(出力モード)にして、出力ポートとして使用してください。P4_4端子はリセット後からプログラムでCM04ビットを“0”(ポートP4_3、P4_4)にするまでは、中間電位(2.0V程度)を出力することがあります。

23.2 クロック発生回路使用上の注意

23.2.1 ストップモード

ストップモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、CM1レジスタのCM10ビットを“1”(ストップモード)にしてください。命令キューはCM10ビットを“1”(ストップモード)にする命令から、4バイト先読みしてプログラムが停止します。CM10ビットを“1”にする命令の直後にJMP.B命令を入れた後、NOP命令を最低4つ入れてください。

•ストップモードに移行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
BSET      0, PRCR      ; プロテクト解除
FSET      I            ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001
LABEL_001:
NOP
NOP
NOP
NOP
```

23.2.2 ウェイトモード

ウェイトモードに移行する場合、FMR0レジスタのFMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。命令キューはWAIT命令から4バイト先読みしてプログラムが停止します。WAIT命令の後ろにはNOP命令を最低4つ入れてください。

•WAIT命令を実行するプログラム例

```
BCLR      1, FMR0      ; CPU書き換えモード無効
FSET      I            ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP
```

23.2.3 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

23.3 割り込み使用上の注意

23.3.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスクブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

23.3.2 SPの設定

割り込みを受け付ける前に、SPに値を設定してください。リセット後、SPは“0000h”です。そのため、SPに値を設定する前に割り込みを受け付けると、暴走の要因となります。

23.3.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}}$ 、 $\overline{\text{INT1}}$ 、 $\overline{\text{INT2}}$ 、 $\overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPUの動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INTi}}$ 入力($i = 0, 1, 2, 4$)に示す“L”レベル幅、または“H”レベル幅が必要です。(詳細は「表22.17($V_{cc} = 5V$)、表22.23($V_{cc} = 3V$)、表22.29($V_{cc} = 2.2V$) 外部割り込み $\overline{\text{INTi}}$ 入力($i = 0, 1, 2, 4$)」を参照。

23.3.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 23.1に割り込み要因の変更手順例を示します。

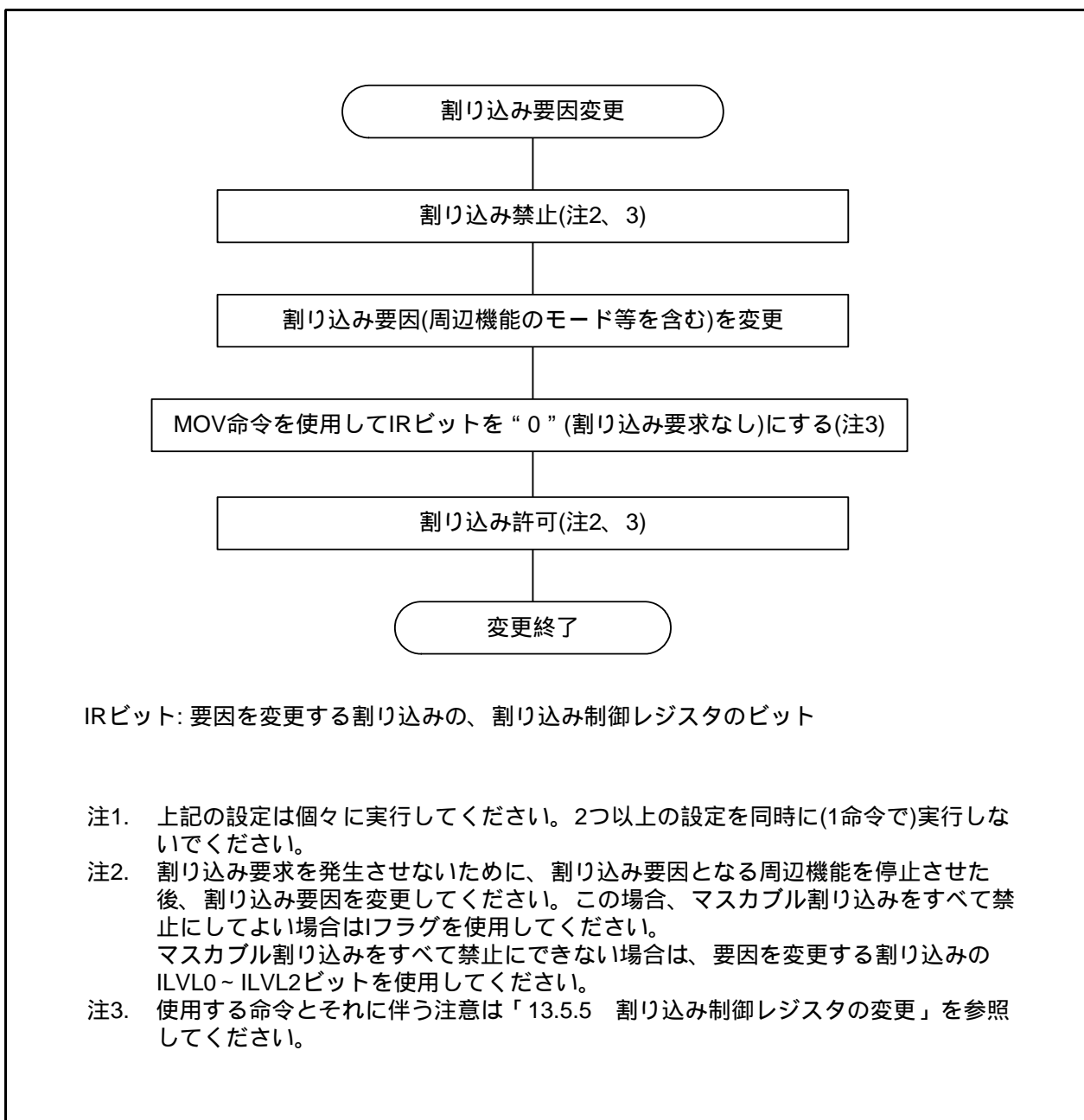


図 23.1 割り込み要因の変更手順例

23.3.5 割り込み制御レジスタの変更

(a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”（割り込み要求あり）にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを“0”（割り込み要求なし）にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。（参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。）

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”（割り込み許可）になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  NOP
  NOP
  FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2:
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  MOV.W   MEM, R0          ; ダミーリード
  FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

```
INT_SWITCH3:
  PUSHC   FLG
  FCLR    I                ; 割り込み禁止
  AND.B   #00H, 0056H      ; TRAICレジスタを“00h”にする
  POPC    FLG              ; 割り込み許可
```

23.4 IDコード領域使用上の注意

23.4.1 IDコード領域の設定例

IDコード領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- IDコード領域すべてに“55h”を設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

23.5 オプション機能選択領域使用上の注意

23.5.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリです(SFRではありません)ので、命令の実行では書き換えられません。プログラム作成時に適切な値を書き込んでください。次に設定例を示します。

- OFSレジスタに“FFh”を設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF00000h) ; RESET
```

(プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。)

23.6 タイマ

23.6.1 タイマRA使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- パルス幅測定モードおよびパルス周期測定モードで使用するTRACRレジスタのTEDGFビットとTUNDFビットは、プログラムで“0”を書くと“0”になり、“1”を書いても変化しません。TRACRレジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビット、TUNDFビットが“1”になっても“0”にする場合があります。このとき、“0”にしたいくないTEDGFビット、TUNDFビットにはMOV命令で“1”を書いてください。
- 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに“0”を書いてから、タイマRAのカウントを開始してください。
- カウント開始後に初めて発生するタイマRAプリスケアラのアンダフロー信号で、TEDGFビットが“1”になる場合があります。
- パルス周期測定モードを使用する場合は、カウント開始直後にタイマRAプリスケアラの2周期以上の時間を空けて、TEDGFビットを“0”にしてから使用してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“0”になっています。TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。TCSTFビットが“1”になった後の最初のカウントソースの有効エッジからカウントを開始します。カウント中にTSTARTビットに“0”を書いた後は、カウントソースの0～1サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRA関連レジスタ(注1)をアクセスしないでください。

注1. タイマRA関連レジスタ：TRACR、TRAIOC、TRAMR、TRAPRE、TRA

- カウント中(TCSTFビットが“1”)にTRAPREレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- カウント中(TCSTFビットが“1”)にTRAレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

23.6.2 タイマRB使用上の注意

- リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- プリスケアラとタイマは16ビット単位で読み出しても、マイクロコンピュータ内部では1バイトずつ順に読み出します。そのため、この2つのレジスタを読み出す間にタイマ値が更新される可能性があります。
- プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、TRBCRレジスタのTSTARTビットを“0”にしてカウントを停止したとき、またはTRBOCRレジスタのTOSSPビットを“1”にしてワンショット停止にしたとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- カウント停止中にTSTARTビットに“1”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“0”になっています。
TCSTFビットが“1”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。
カウント中にTSTARTビットに“0”を書いた後は、カウントソースの1～2サイクルの間、TCSTFビットは“1”になっています。TCSTFビットが“0”になったときカウントは停止します。
TCSTFビットが“0”になるまで、TCSTFビットを除くタイマRB関連レジスタ(注1)にアクセスしないでください。

注1. タイマRB関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

- カウント中にTRBCRレジスタのTSTOPビットに“1”を書くと、すぐにタイマRBは停止します。
- TRBOCRレジスタのTOSSTビットまたはTOSSPビットに“1”を書くと、カウントソースの1～2サイクル後にTOSSTFビットが変化します。TOSSTビットに“1”を書いた後、内部の状態によってTOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いた後、TOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いた後、TOSSTFビットが“0”になる場合と、“1”になる場合があります。TOSSPビットに“1”を書いた場合も同様に、TOSSTFビットは“0”になるか“1”になるかわかりません。

23.6.2.1 タイマモード

タイマモードでは下記の対策を実施してください。

カウント中(TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。

- TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。

23.6.2.2 プログラマブル波形発生モード

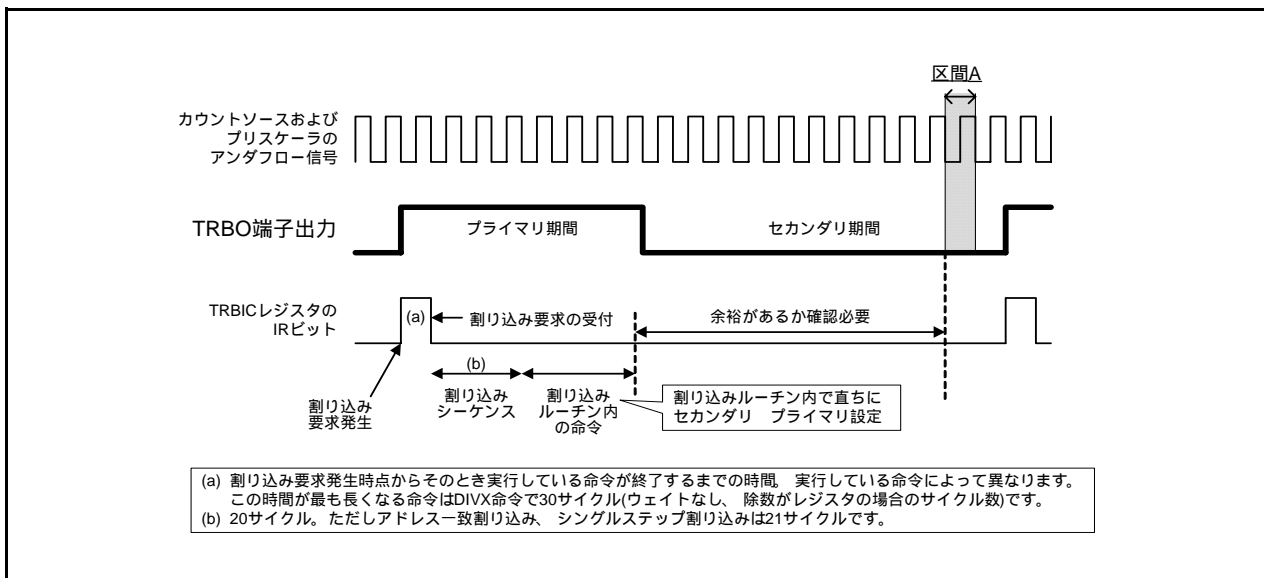
プログラマブル波形発生モードでは下記3点の対策を実施してください。

- (1) カウント中 (TCSTFビットが“1”)にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は、下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) カウント中 (TCSTFビットが“1”)にTRBSCレジスタ、TRBPRレジスタを変更する場合は、タイマRB割り込み等でTRBO出力周期に対して同期を取り、同一出力周期内で一度だけ行うようにしてください。また、図 23.2および図 23.3の区間Aで、TRBPRレジスタへの書き込みが発生しないことを確認してください。

対策方法の具体例を下記に示します。

• 対策例(a)

図 23.2に示すようにタイマRB割り込みルーチンでTRBSCレジスタ、TRBPRレジスタへ書いてください。書き込みは区間Aまでに終了させてください。



• 対策例 (b)

図 23.3 に示すように TRBO 端子の出力レベルからプライマリ期間の開始を検出し、プライマリ期間の開始直後に、TRBSC レジスタ、TRBPR レジスタへ書いてください。書き込みは区間 A までに終了させてください。なお、TRBO 端子に対応するポート方向レジスタのビットを “0” (入力モード) に設定し、ポートレジスタのビットの値を読むと、読んだ値は TRBO 端子の出力値になります。

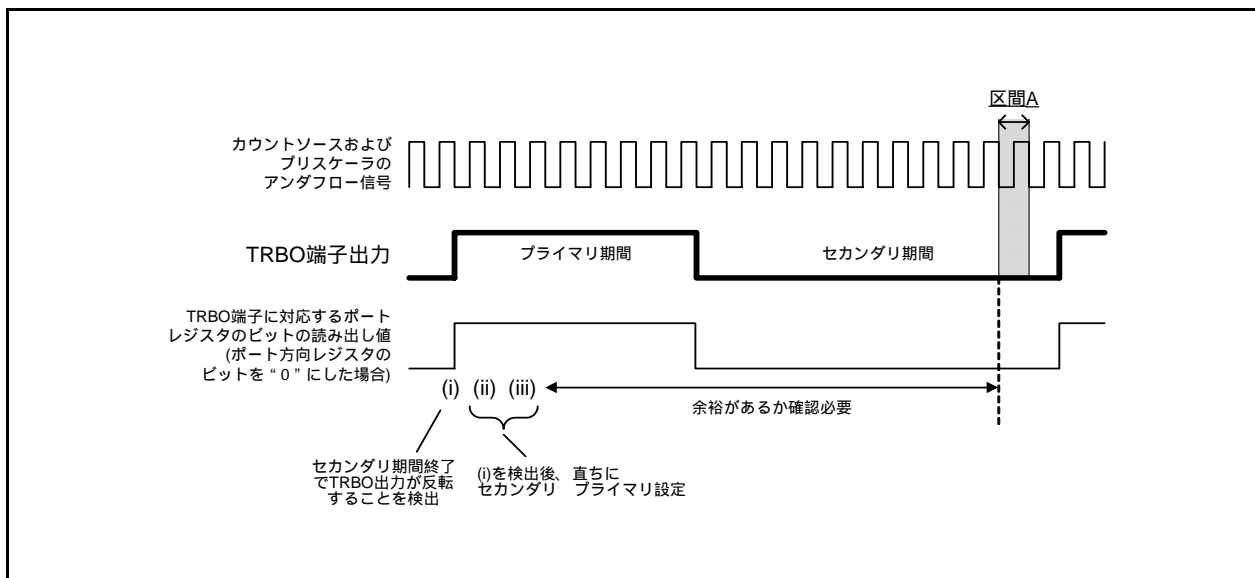


図 23.3 対策例 (b) の TRBO 端子出力値を読む例

- (3) プライマリ期間でタイマカウントを停止させる場合は、TRBCR レジスタの TSTOP ビットを使用してください。この場合、TRBPRES レジスタおよび TRBPR レジスタは初期化され、リセット後の値になります。

23.6.2.3 プログラマブルワンショット発生モード

プログラマブルワンショット発生モードでは、下記2点の対策を実施してください。

- (1) カウント中 (TCSTF ビットが “1”) に TRBPRES レジスタ、TRBPR レジスタに書き込む場合は下記の点に注意してください。
- TRBPRES レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRES レジスタと TRBPR レジスタをともに “00h” にしないでください。

23.6.2.4 プログラブルウェイトワンショット発生モード

プログラブルウェイトワンショット発生モードでは下記3点の対策を実施してください。

- (1) カウント中 (TCSTFビットが“1”) にTRBPRESレジスタ、TRBPRレジスタに書き込む場合は下記の点に注意してください。
 - TRBPRESレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPRレジスタに連続して書き込む場合は、それぞれの書き込みの間隔をプリスケアラのアンダフローの3周期以上空けてください。
- (2) TRBPRESレジスタとTRBPRレジスタをともに“00h” にしないでください。
- (3) TRBSCレジスタ、TRBPRレジスタは以下に示す手順で設定してください。
 - (a) カウント開始条件に「INT0端子ワンショットトリガ」を使用する場合
TRBSCレジスタ TRBPRレジスタの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、INT0端子へ有効トリガを入力してください。
 - (b) カウント開始条件に「TOSSTビットへの“1”書き込み」を使用する場合
TRBSCレジスタ TRBPRレジスタ TOSSTビットの順で設定してください。このとき、TRBPRレジスタへの書き込みからカウントソースの0.5サイクル以上経過してから、TOSSTビットへ書き込んでください。

23.6.3 タイマRE使用上の注意事項

23.6.3.1 カウント開始、停止

タイマREにはカウント開始または停止を指示するためのTSTARTビットと、カウントが開始または停止したことを示すTCSTFビットがあります。TSTARTビットとTCSTFビットはともにTREC1レジスタにあります。

TSTARTビットを“1”(カウント開始)にするとタイマREがカウントを開始し、TCSTFビットが“1”(カウント開始)になります。TSTARTビットを“1”にした後TCSTFビットが“1”になるまで、最大でカウントソースの2サイクルかかります。この間、TCSTFビットを除くタイマRE関連レジスタ(注1)をアクセスしないでください。

同様に、TSTARTビットを“0”(カウント停止)にするとタイマREがカウントを停止し、TCSTFビットが“0”(カウント停止)になります。TSTARTビットを“0”にした後TCSTFビットが“0”になるまで、最大でカウントソースの2サイクル分の時間がかかります。この間、TCSTFビットを除くタイマRE関連レジスタをアクセスしないでください。

注1. タイマRE関連レジスタ：TRESEC、TREMIN、TREHR、TREWK、TREC1、TREC2、TREC3R、TRECOPR

23.6.3.2 レジスタ設定

次のレジスタやビットは、タイマREが停止中に書いてください。

- TRESEC、TREMIN、TREHR、TREWK、TREC2レジスタ
- TREC1レジスタのH12_H24ビット、PMビット、INTビット
- TREC3RレジスタのRCS0～RCS3ビット

タイマREが停止中とは、TREC1レジスタのTSTARTビットとTCSTFビットがともに“0”(タイマRE停止)の状態を指します。

また、TREC2レジスタは、上記のレジスタやビットの設定の最後(タイマREカウント開始の直前)に設定してください。

図23.4にリアルタイムクロックモード時の設定例を示します。

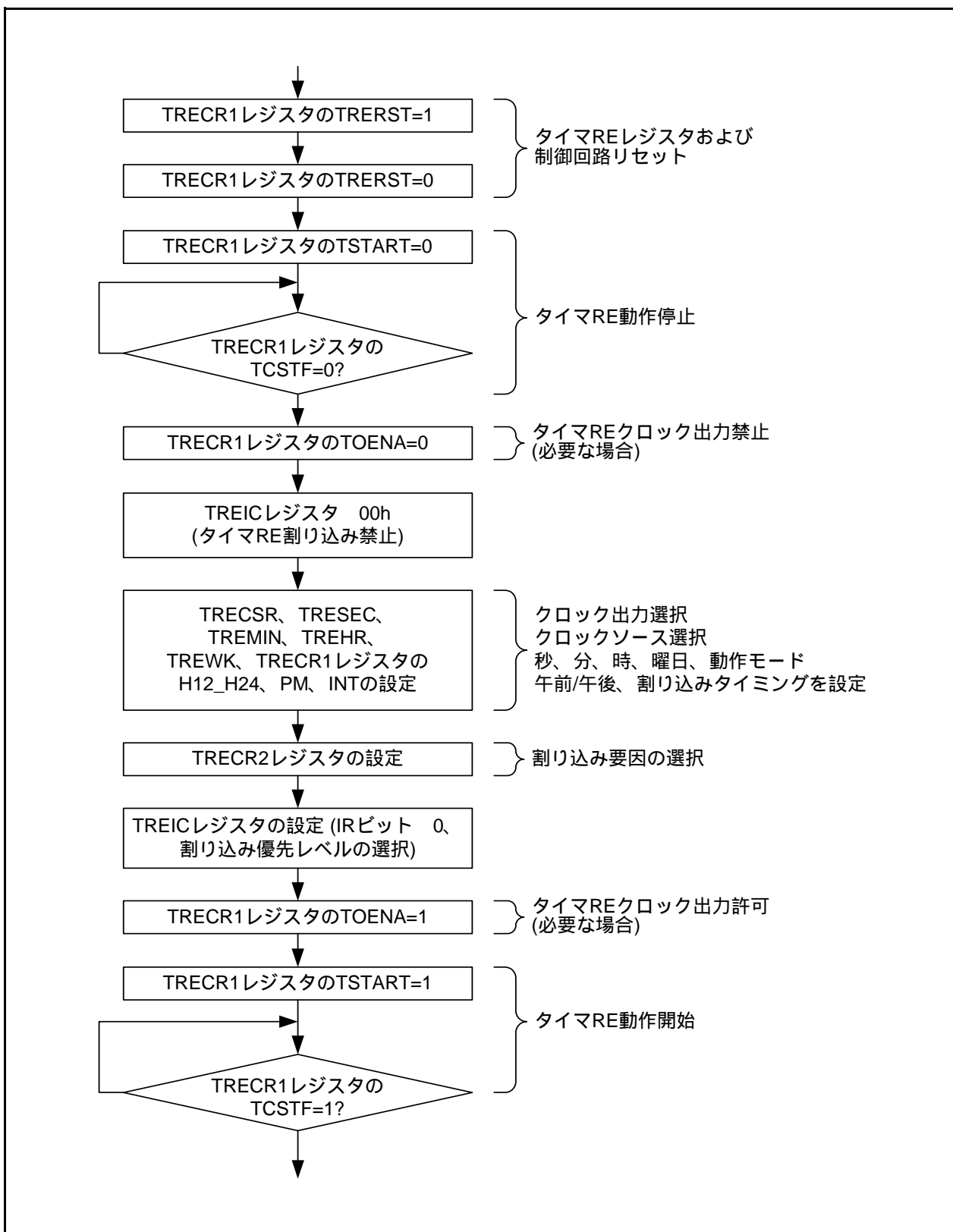


図 23.4 リアルタイムクロックモード時の設定例

23.6.3.3 リアルタイムクロックモードの時刻読み出し手順

リアルタイムクロックモードでは、時刻データの更新時、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットはBSYビットが“0”(データ更新中ではない)ときに読み出してください。

また、複数のレジスタを読み出す場合、あるレジスタを読んだ後、別のレジスタを読むまでにデータが更新されると、結果的に誤った時刻を採用してしまいます。

これらを回避するための読み出し手順例を示します。

- 割り込みを使用する方法

タイマRE割り込みルーチン内で、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法1

プログラムでTREICレジスタのIRビットを監視し、“1”(タイマRE割り込み要求発生)になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- プログラムで監視する方法2

(1) BSYビットを監視する。

(2) BSYビットが“1”になったら、“0”になるまで監視する(BSYビットが“1”の期間は約62.5ms)。

(3) BSYビットが“0”になったら、TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

- 読み出した結果が2回同じであれば採用する方法

(1) TRESEC、TREMINT、TREHR、TREWKレジスタ、TRECRIレジスタのPMビットのうち、必要な内容を読み出す。

(2) (1)と同じレジスタを読み出し、内容を比較する。

(3) 一致すれば正しい値として採用する。一致しなければ読み出した値が、前回の値と一致するまで繰り返す。

なお、複数のレジスタを読み出す場合は、できるだけ連続して読み出す。

23.6.4 タイマRF使用上の注意

- TRFレジスタ、TRFM0レジスタおよびTRFM1レジスタは、16ビット単位でアクセスしてください。

<タイマRFを読み出すプログラム例>

```
MOV.W    0290H,R0    ;タイマRFの読み出し
```

- インพุットキャプチャモードでは、TRFCR0レジスタのTSTARTビットが“0”(カウント停止)のときも、TRFCR0レジスタのTRFC03、TRFC04ビットで選択したエッジがTRFI端子に入力されると、キャプチャ割り込み要求が発生します。

23.7 シリアルインタフェース使用上の注意

- クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモードにかかわらず、UiRB(i=0、2)レジスタを読み出すときは、必ず16ビット単位で読み出してください。
UiRBレジスタのPER、FERビットとUiC1レジスタのRIビットは、UiRBレジスタの上位バイトを読み出したとき、“0”になります。

受信エラーはUiRBレジスタを読み出し後、読み出した値で確認してください。

< 受信バッファレジスタを読み出すプログラム例 >

```
MOV.W    00A6H, R0    ; UORBレジスタの読み出し
```

- 転送データビット長9ビットのクロック非同期形シリアルI/Oモードで、UiTBレジスタに書く時は、上位バイト 下位バイトの順で、8ビット単位で書いてください。

< 送信バッファレジスタに書き込むプログラム例 >

```
MOV.B    #XXH, 00A3H  ; U0TBレジスタの上位バイトへの書き込み
```

```
MOV.B    #XXH, 00A2H  ; U0TBレジスタの下位バイトへの書き込み
```

23.8 ハードウェアLIN使用上の注意

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break 検出割り込みを起点に他のタイマで時間計測を行ってください。

23.9 フラッシュメモリ使用上の注意

23.9.1 CPU書き換えモード

23.9.1.1 動作速度

CPU書き換えモード(EW0モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM16～CM17ビットで、CPUクロックを5MHz以下にしてください。

EW1モードではこの注意事項は不要です。

23.9.1.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND命令、INTO命令、BRK命令

23.9.1.3 ノンマスカブル割り込み

•EW0モード

ウォッチドッグタイマ、電圧監視1、電圧監視2、コンパレータ1、コンパレータ2割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。定期的にウォッチドッグタイマを初期化してください。

アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

•EW1モード

ウォッチドッグタイマ、電圧監視1、電圧監視2、コンパレータ1、コンパレータ2割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。

自動消去中のブロックまたは自動書き込み中のアドレスは強制停止されるために、正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。

ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。イレースサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。

アドレス一致割り込みのベクタはROM上に配置されているので、コマンド実行中は使用しないでください。

ブロック0には固定ベクタが配置されているので、ブロック0を自動消去中はノンマスカブル割り込みを使用しないでください。

23.9.1.4 アクセス方法

FMR0レジスタのFMR01ビット、FMR02ビット、FMR1レジスタのFMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込みが入らないようにしてください。

23.9.1.5 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

23.9.1.6 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

23.9.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC=2.7～5.5Vの条件で行ってください。2.7V未満では、プログラム、イレーズを実行しないでください。

23.10 ノイズに関する注意事項

23.10.1 ノイズおよびラッチアップ対策として、VCC-VSS ライン間へのバイパスコンデンサ挿入

VCC 端子と VSS 端子間にバイパスコンデンサ (0.1 μ F 程度) を最短距離でかつ、比較的太い配線を使って接続してください。

23.10.2 ポート制御レジスタのノイズ誤動作対策

過酷なノイズ試験等で外来ノイズ(主に電源系ノイズ)を受けると、IC内部のノイズ対策回路でも対策しきれない場合があります。この場合、ポート関連のレジスタ値が変化する可能性があります。

このような場合のプログラム対策として、ポートレジスタ、ポート方向レジスタ、およびプルアップ制御レジスタを定期的に再設定することを推奨します。ただし、割り込み処理の中でポート出力を切り替えるような制御を行う場合は、再設定処理との間で競合が発生する可能性もありますので、制御処理を十分にご検討の上、再設定処理を導入してください。

24. オンチップデバグの注意事項

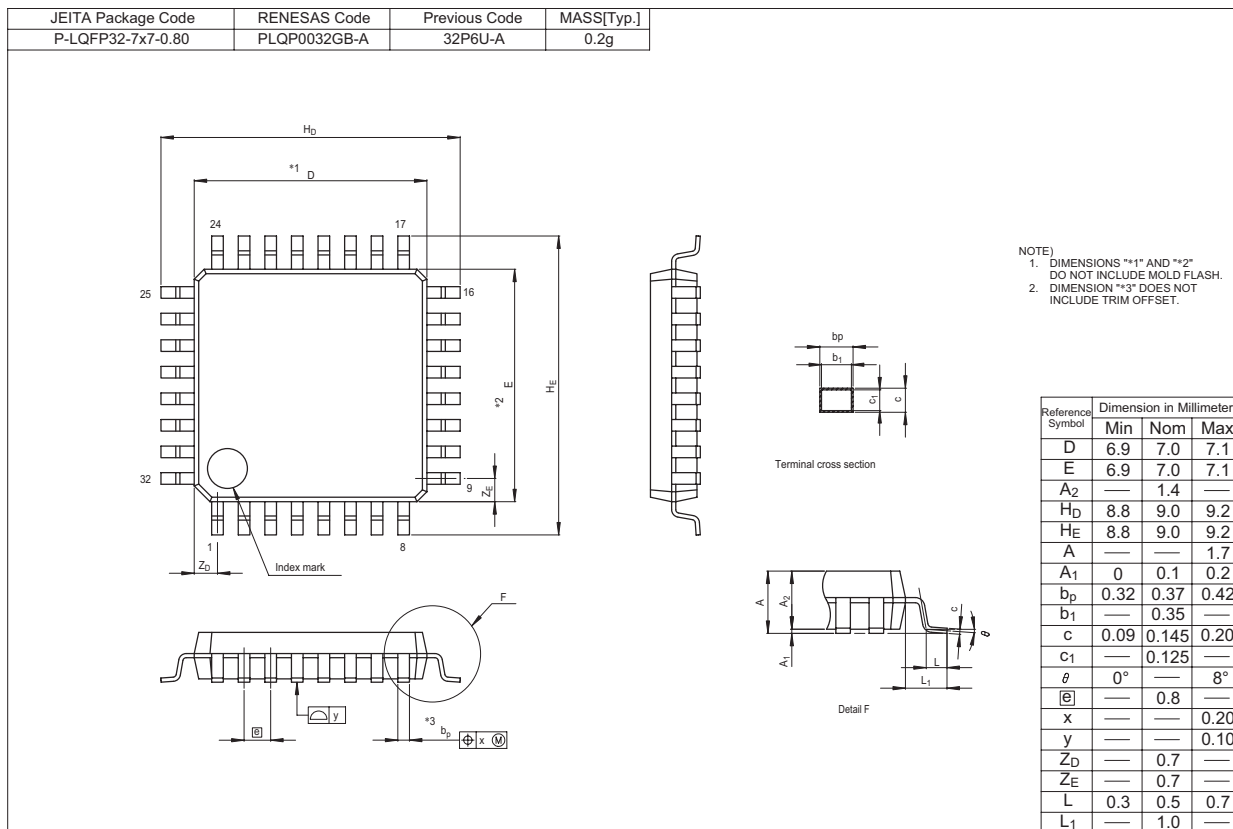
オンチップデバグを使用してR8C/2Gグループのプログラム開発、デバグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIER、RMAD0、RMAD1レジスタ、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。
- (4) 電源電圧VCC = 2.7 ~ 5.5Vの条件でデバグ可能です。2.7V未満ではオンチップデバグによるデバグはできません。

オンチップデバグの接続や使用方法には、固有の制限事項があります。オンチップデバグの詳細は各オンチップデバグのマニュアルを参照してください。

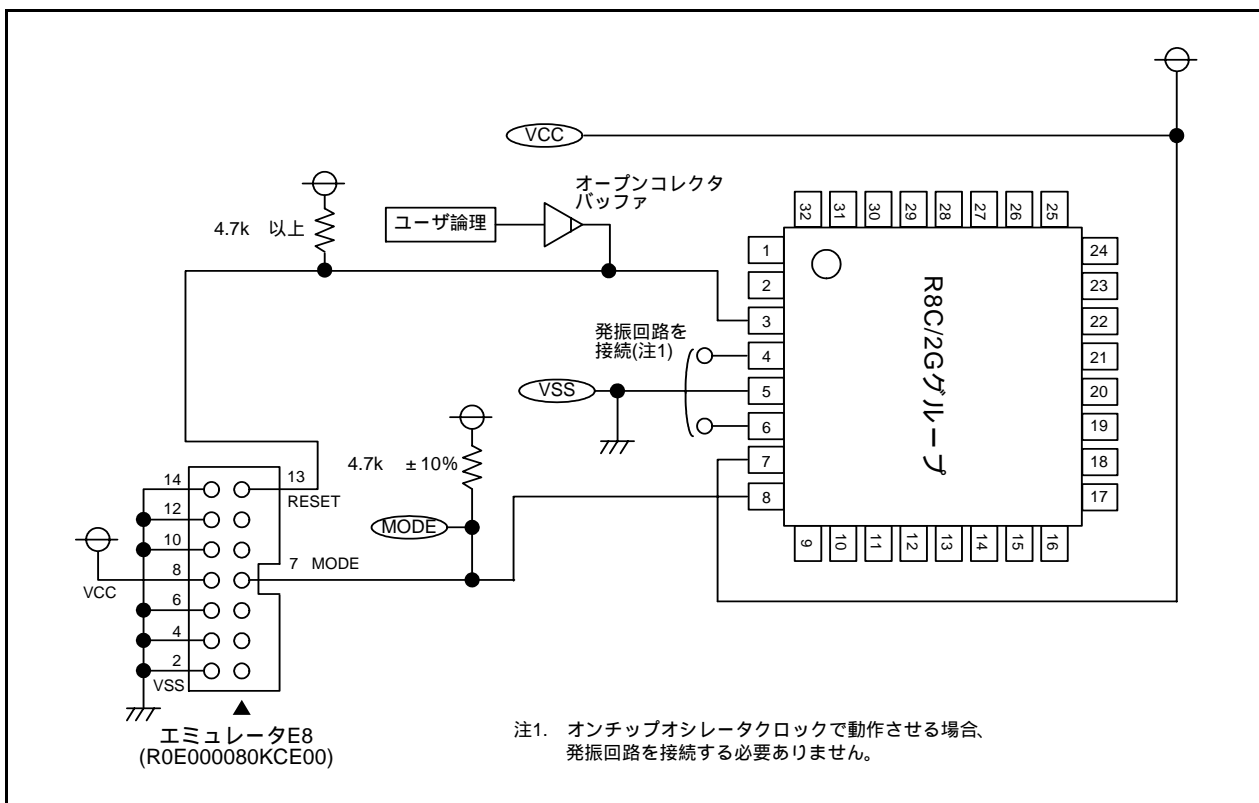
付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。



付録2. オンチップデバッグエミュレータとの接続例

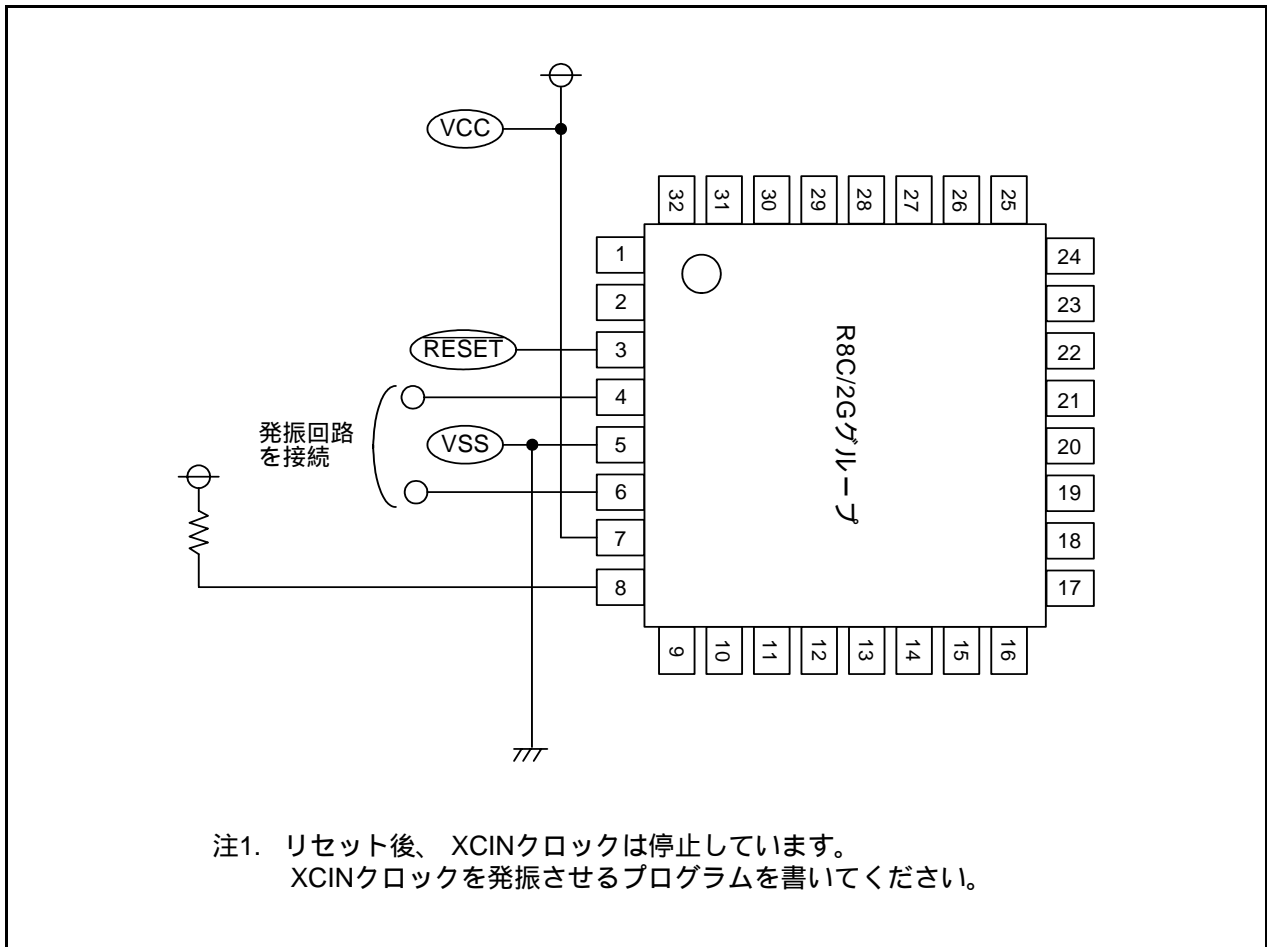
付図 2.1にエミュレータE8(R0E000080KCE00)との接続例を示します。



付図 2.1 エミュレータE8(R0E000080KCE00)との接続例

付録3. 発振評価回路例

付図 3.1 に発振評価回路例を示します。



付図 3.1 発振評価回路例

索引

【記号 / 数字】

00000h番地の読み出し 131, 297

【A】

A0、A1 9

AIER 130

ALCMR 52

【B】

BGRCR 53

BGRTRM 54

BGRTRMA 48

BGRTRMB 48

Bフラグ 9

【C】

CAPIC 114

CM0 90

CM1 91

CMP0IC 114

CMP1IC 114

CPSRF 94

CPU 8

CPU書き換えモード 250, 271, 313

CPUクロック 99

CPUクロックと周辺機能クロック 99

CSPR 142

Cフラグ 9

【D】

Dフラグ 9

【E】

EW0モード 257

EW1モード 263

【F】

f1、f2、f4、f8、f32 99

FB 9

fC4、fC32 99

FLG 9

FMR0 251

FMR1 254

FMR4 255

fOCO 99

fOCO-F 99

fOCO-S 99

FRA4 94

FRA6 94

【H】

HRA0 93

HRA1 93

HRA2 93

【I】

I/Oポート 65

I/Oポート以外の端子 66

I/Oポートの機能 65

IDコードチェック機能 248, 268

IDコード領域 134

IDコード領域の設定例 135, 300

INT0IC 115

INT1IC 115

INT2IC 115

INT4IC 115

INTB 9

INTEN 123

INTEN2 124

INTF 124

INTF2 125

INT_i入力フィルタ (i=0、1、2、4) 126INT_i割り込み (i=0、1、2、4) 123

INT割り込み 123

IPL 10

ISP 9

Iフラグ 10

【K】

KIEN 128

KUPIC 114

【L】

LINCR 233

LINST 234

LSBファースト、MSBファースト選択 223

【O】

OCD 92

OFS 26, 137, 142, 249

Oフラグ 10

【P】

PC 9

PDi(0、1、3、4、6) 71

Pi(0、1、3、4、6) 72

PINSR2 73

PINSR3 73

PINSR4 39, 54, 73

PM0 86

PM1 86

PMR 74

PRCR 108

PUR0 74

PUR1 74

【R】

R0、R1、R2、R3 9

RMAD0 130

RMAD1 130

ROMコードプロテクト機能 249, 270

【S】

S0RIC 114

S0TIC 114

S2RIC 114

S2TIC 114

SB 9

SFR	12
SPの設定	131, 297
Sフラグ	9

【T】

TRA	149
TRACR	148
TRAIC	114
TRAIOC	148, 150, 153, 155, 157, 160
TRAMR	149
TRAPRE	149
TRBCR	164
TRBIC	114
TRBIOC	165, 167, 171, 174, 178
TRBMR	165
TRBOCR	164
TRBPR	166
TRBPRES	166
TRBSC	166
TRECR1	189, 196
TRECR2	190, 196
TRECSR	191, 197
TREHR	188
TREIC	114
TREMIN	187, 195
TREOPR	192
TRESEC	187, 195
TREWK	188
TRF	204
TRFCR0	205
TRFCR1	206
TRFCR2	205
TRFIC	114
TRFM0	204
TRFM1	204
TRFOUT	206

【U】

U0BRG	216
U0C0	217
U0C1	218
U0MR	216
U0RB	218
U0TB	217
U2BRG	216
U2C0	217
U2C1	218
U2MR	216
U2RB	218
U2TB	217
UART	225
USP	9
Uフラグ	10

【V】

VCA1	35, 49
VCA2	35, 49, 95
VCAB	52
VCAC	39, 53
VCC入力電圧のモニタ	40
VCMP1IC	114
VCMP2IC	114
Vdet0のモニタ	40
Vdet1のモニタ	40

Vdet2のモニタ	40
VW0C	36
VW1C	37, 50
VW2C	38, 51

【W】

WDC	141
WDTR	141
WDTS	141

【X】

XCINクロック	98
----------------	----

【Z】

Zフラグ	9
------------	---

【あ】

アウトプットコンペアモード	194, 210
アドレス一致割り込み	129
アドレスレジスタ	9

【い】

イベントカウンタモード	154
インプットキャプチャモード	207

【う】

ウェイトモード	102, 107, 296
ウェイトモード、ストップモード	273
ウォッチドッグタイマ	139
ウォッチドッグタイマリセット	31

【お】

オーバフローフラグ	10
オプション機能選択領域	136
オプション機能選択領域の設定例	138, 301
オンチップオシレータクロック	97
オンチップデバッグの注意事項	316
オンチップデバッグエミュレータとの接続例	318

【か】

外形寸法図	317
外部割り込み、キー入力割り込み	131, 297
概要	1
カウントソース保護モード無効時	143
カウントソース保護モード有効時	144

【き】

キー入力割り込み	127
キャリフラグ	9
極性選択機能	223

【く】

クロック	273
クロック同期形シリアルI/Oモード	219
クロック発生回路	88
クロック非同期形シリアルI/O(UART)モード	225

【こ】

高速オンチップオシレータクロック	97
コンパレータ	46
コンパレータ1	56
コンパレータ1のモニタ	55
コンパレータ1、コンパレータ2割り込み	62
コンパレータ2	59
コンパレータ2のモニタ	55

【さ】

サインフラグ	9
--------	---

【し】

システムクロック	99
周辺機能クロック	99
周辺機能クロックの停止	273
周辺機能への影響	66
周辺機能割り込み	111
仕様概要	1
使用上の注意事項	295
消費電力の低減	273
消費電力を小さくするためのポイントと処理方法	273
シリアルインタフェース	214

【す】

スタックポイント指定フラグ	10
スタティックベースレジスタ	9
ストップモード	104, 107, 296
スレープモード	238

【せ】

製品一覧	3
ゼロフラグ	9

【そ】

ソフトウェアコマンド	258, 264
ソフトウェアリセット	31
ソフトウェア割り込み	110

【た】

タイマ	145, 274
タイマRA	147
タイマRB	163
タイマRE	184
タイマRF	202
タイマモード	150, 167
端子機能の説明	7

【ち】

中央演算処理装置(CPU)	8
---------------	---

【て】

低消費電流リードモード	277
低速オンチップオシレータクロック	97
データレジスタ	9
デバッグフラグ	9
電圧監視0リセット	30, 41

電圧監視1リセット	30
電圧監視1割り込み、電圧監視1リセット	42
電圧監視2リセット	30
電圧監視2割り込み、電圧監視2リセット	44
電圧検出回路	32, 273
電気的特性	278
電源が安定している場合	27
電源投入時	27

【と】

動作説明	56, 235
特殊割り込み	111
特長	231

【な】

内部基準電圧(Vref)の調整	63
内部電源の消費電力低減	275

【に】

入出力端子	232
-------	-----

【の】

ノンマスクブル割り込み	62
-------------	----

【は】

ハードウェアLIN	231
ハードウェアLIN終了処理	243
ハードウェアリセット	27
バス衝突検出機能	242
バス制御	87
発振回路定数	107, 296
発振駆動能力の選択	273
発振評価回路例	319
パラレル入出力モード	270
パルス周期測定モード	159
パルス出力モード	152
パルス幅測定モード	156
パワーオンリセット機能	29
パワーコントロール	100

【ひ】

比較結果のモニタ	55
ビットレート	229
標準シリアル入出力モード	268
標準動作モード	100
ピン配置図	5

【ふ】

フラグレジスタ	9
フラッシュメモリ	246
フラッシュメモリ書き換え禁止機能	248
フラッシュメモリの停止	276
フレームベースレジスタ	9
プログラマブルウェイトワンショット発生モード	177
プログラマブル波形発生モード	170
プログラマブルワンショット発生モード	173
プログラムカウンタ	9

プロセッサモード	86
プロセッサモードの種類	86
プロセッサ割り込み優先レベル	10
プロテクト	108
【ほ】	
ポート	273
ポートの設定	75
【ま】	
マスカブル割り込み	62
マスタモード	235
【み】	
未使用端子の処理	84
【め】	
メモリ	11
メモリ配置	247
【ゆ】	
ユーザスタックポインタ	9
【よ】	
用途	1
予約ビット	10
【り】	
リアルタイムクロックモード	185
リセット	24
【れ】	
レジスタ構成	233
レジスタバンク指定フラグ	9
連続受信モード	224
【わ】	
割り込み	109
割り込み許可フラグ	10
割り込みスタックポインタ	9
割り込み制御	114
割り込み制御レジスタ	114
割り込み制御レジスタの変更	133, 299
割り込みテーブルレジスタ	9
割り込みと割り込みベクタ	112
割り込みの概要	109
割り込みの分類	109
割り込み要因の変更	132, 298
割り込み要求	244

改訂記録	R8C/2Gグループハードウェアマニュアル
------	-----------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2007.03.23	-	初版発行
0.10	2007.07.20	-	「RENESAS TECHNICAL UPDATE」反映： TN-16C-A164A/J、TN-16C-A167A/J
		-	レジスタ/ビットシンボルの変更：「CM1POR」 「LCM1POR」 「CM2POR」 「LCM2POR」 「ACMR」 「ALCMR」 変更
		2	表1.1 クロック：「リアルタイムクロック(タイマRE)あり」 追記
		5	図1.3 「P4_4/(XCOUT)(注1)」 「P4_4/XCOUT」 「P4_3/(XCIN)(注1)」 「P4_3/XCIN」
		6	表1.3 (XCOUT)(注1) XCOUT、(XCIN)(注1) XCIN
		13、36	表4.2、図6.6：0038h リセット後の値； 「0000X010b」 「1000X010b」 「0100X011b」 「1100X011b」
		25	図5.3 変更
		26、132、 137、243	図5.4、図15.2、図16.3、図20.2 OFSレジスタ： 注1 「書き込んだ後、OFSレジスタに追加書き込みしないでください。」
		84	図11.1 変更
		141	表17.1 タイマRE：「・fC32」 削除
		146	図17.5 「TRACRレジスタの、、、がともに“0”(カウント中)」 「TRACRレジスタの、、、がともに“1”(カウント中)」
		158	17.2 「リロードレジスタとカウンタは同じ番地に配置されています。」 削除
		164	図17.17 「TRBCRレジスタの、、、がともに“0”(カウント中)」 「TRBCRレジスタの、、、がともに“1”(カウント中)」
		230	図19.5 変更
		231	図19.6 変更
		234	図19.9 変更
		237	図19.12 変更
		278	図21.2 注4 削除
		284	表22.9 項目：「高速オンチップオシレータ発振周波数温度依存性」 「高速オンチップオシレータ発振周波数の温度・電圧依存性」
		319	付図2.1 変更
0.20	2007.11.07	2	表1.1 I/Oポート：「・出力専用：1」 追記 「・CMOS入出力:28」 「・CMOS入出力:27」
		4	図1.2 変更
		5	図1.3 変更
		6	表1.3 ピン番号：4、6、20 変更
		7	表1.4 入出力ポート：「P4_3～P4_5、」 「P4_3、P4_5、」 出力ポート：追記

改訂記録	R8C/2G グループハードウェアマニュアル
------	------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2007.11.07	12	表4.1 0006h 「01001000b」 「01011000b」
		16	表4.5 0118h ~ 011Dh リセット後の値 変更 011Fh 「タイマRE リアルタイムクロック精度調整レジスタ」 追記
		45	図6.13 変更
		61	8. 「I/O ポートは、P0_4 ~ P0_7、、、として使用できます。」変更 表8.1 変更、注3 追記
		65	図8.3 変更
		67	図8.5 注3 「ポートP4_4を、、、使用しないでください。」追記
		69	図8.7 b7 変更
		70	図8.9 PUR1 : b1 変更
		71	表8.4 変更
		77	表8.26 注2 追記 表8.27 変更
		78	表8.29、表8.32 変更
		81	8.6 追記
		84	表11.1 リセット後の状態 : XCINクロック発振回路 「停止」 「発振」
		86	図11.2 変更
		94	11.2 「リセット中および、、、XCINクロックは停止しています。」 「リセット中および、、、XCINクロックは発振しています。」
		143	図17.1 「TSTART」 「TCSTF」
		181	図17.26 変更
		182	表17.11 選択機能 変更
		183	図17.27、図17.28 リセット後の値 「00h」 「不定」
		184	図17.29 リセット後の値 「00h」 「X0XXXXXXb」 図17.30 リセット後の値 「00h」 「X0000XXXb」
		185	図17.31 リセット後の値 「00h」 「XXX0X0X0b」
		186	図17.33 リセット後の値 「00h」 「00XXXXXXb」
		188	図17.35 追記
		190	図17.37 変更 表17.13 選択機能 : 仕様変更
		191	図17.38、図17.39 リセット後の値 「00h」 「不定」
		192	図17.40 リセット後の値 「00h」 「XXX0X0X0b」 図17.41 リセット後の値 「00h」 「00XXXXXXb」
		195	17.3.3.1 注1 変更
		196	図17.44 変更
202	図17.50 注4 追記		
236	図19.9 変更		

改訂記録	R8C/2G グループハードウェアマニュアル
------	------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2007.11.07	312	図23.4 変更
1.00	2008.04.04	全ページ	「開発中」表記を削除
		2	表1.1 変更
		3	表1.2 「(開)：開発中」表記を削除
		8、9	図2.1、2.7 「スタック、、、」 「スタティック、、、」
		11	図3.1 「拡張領域」削除
		12	表4.1 「002Eh番地」「002Fh番地」追記
		13	表4.2 「003Eh番地」「003Fh番地」追記
		24	図5.1 注1追加
		25	表5.2 変更
		38、51	図6.8、図7.5 注7「、、、“1”にした後、、、」 「、、、“0”にした後、、、」
		48	図7.2 追加
		53、54	図7.9、図7.10 追加
		63、64	7.6、図7.16、図7.17 追加
		108	12、図12.1 「、BGRCR、BGRTRM」追記
		146	表17.1 タイマRF「キャプチャ割り込み」追記
		163	図17.12 「TSTRAT」 「TSTART」
		237	図19.6 「、、、3～5サイクル、、、」 「、、、1～2サイクル、、、」
		240	図19.9 変更
		246	表20.1 「サスペンド機能」削除
		250	20.4 「また、CPU書き換え、、、があります。」削除 表20.3 「イレーズサスペンド、、、」「プログラムサスペンド、、、」削除
		252	•FMR00ビット 「(サスペンド中を含む)」削除
		255	図20.5 変更 •FMR40ビット、•FMR41ビット、•FMR42ビット、•FMR43ビット、 •FMR44ビット、•FMR46ビット 削除
		258	図20.8 変更
		260	•プログラム 変更 旧図20.11 削除
		261	•ブロックイレーズ 変更 旧図20.13、旧20.4.3.2、旧図20.14、旧図20.15 削除
		264	図20.13 変更
		265	•プログラム 変更 旧図20.19 削除
		266	•ブロックイレーズ 変更 旧図20.21、旧20.4.4.2、旧図20.22、旧図20.23 削除
		267	表20.6 変更

改訂記録	R8C/2G グループハードウェアマニュアル
------	------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2008.04.04	269	表20.7 「P4_4入力/クロック出力」 「P4_4出力/クロック出力」
		272	旧20.7.1.7、旧20.7.1.8 削除
		279	表22.3 変更 旧図22.2 削除
		282	表22.8、表22.11 変更 表22.9 変更、注3追加
		284	表22.13 変更
		288	表22.19 変更
		292	表22.25 変更
		314	旧23.9.1.7、旧23.9.1.8 削除

R8C/2Gグループハードウェアマニュアル

発行年月日 2007年3月23日 Rev.0.01
2008年4月4日 Rev.1.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町2-6-2

© 2008. Renesas Technology Corp., All rights reserved. Printed in Japan.

R8C/2G グループ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0409-0100