

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、  
詳細については必ず本文の内容をご確認ください。

# H8/3714 シリーズ

ハードウェアマニュアル

ルネサスシングルチップマイクロコンピュータ

H8/3714	HD6433714
	HD6473714
H8/3713	HD6433713
H8/3712	HD6433712

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります。
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、㈱日立製作所は一切その責任を負いません。
3. 本資料によって第三者または㈱日立製作所の特許権その他権利の実施権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します。

---

## はじめに

---

H8/300Lシリーズは、高速H8/300L CPUを核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/300L CPUは、H8/300CPUと互換性のある命令体系を備え、リアルタイム制御などへの応用に最適です。

H8/3714シリーズは、システム構成に必要な周辺機能として、VFDコントローラ/ドライバ、5種類のタイマ、14ビットPWM、2チャンネルのシリアルコミュニケーションインタフェース、A/D変換器を内蔵しています。また、蛍光表示管を直接駆動できる高耐圧端子をもっているため、蛍光表示管を使うシステムの組込み用マイコンとして活用できます。

本マニュアルは、H8/3714シリーズのハードウェアについて記載しています。命令の詳細については、「H8/300Lシリーズ プログラミングマニュアル」をあわせてご覧ください。





本版で改定または追加された主な箇所

ページ	項目	内容
3～5	概要	H 8 / 3 7 1 2 の追加
6	内部ブロック図	図の修正
9、10	端子配置一覧	表の修正
13、14	端子機能 (タイマ、I/Oポート)	表の修正
18	アドレス空間	H 8 / 3 7 1 2 の追加
53	データアクセスに関する注意事項	図の修正
56	同一アドレスを兼用しているレジスタ一覧	表の修正
93	ROM	H 8 / 3 7 1 2 の追加
95	ソケットアダプタの端子対応図	図の修正
99	DC特性、AC特性	表の修正
105	RAM	H 8 / 3 7 1 2 の追加
110	水晶発振子のパラメータ	表の修正
126、127、132	ポート 1	説明の修正
149	ポート 9	説明の修正
159	タイマ B ブロック図	図の修正
165	タイマ C ブロック図	図の修正
195	SC I 1 のブロック図	図の修正
221	8クロック長のギャップ挿入	図の修正
249	使用例	説明の修正
252	A / D 変換器の使用手順の概念フロー(2)	図の修正
259～261	DC特性	表の修正
266～277	電気的特性	HD6433712の追加と表と図の修正
316、320、322	PMR2、IEGR、IENR1、IRR1	説明の修正
340	マスクオプションリスト	HD6433712の追加
341	高耐圧端子の立上がり/立下がり時間	説明の修正



---

# 目 次

---

---

## 第 1 章 概要

---

1.1	概要	3
1.2	内部ブロック図	6
1.3	端子説明	7
1.3.1	ピン配置	7
1.3.2	端子機能	9

---

## 第 2 章 CPU

---

2.1	概要	17
2.1.1	特長	17
2.1.2	アドレス空間	18
2.1.3	レジスタ構成	19
2.2	各レジスタの説明	20
2.2.1	汎用レジスタ	20
2.2.2	コントロールレジスタ	20
2.2.3	CPU内部レジスタの初期値	22
2.3	データ構成	22
2.3.1	汎用レジスタのデータ構成	23
2.3.2	メモリ上でのデータ構成	24
2.4	アドレッシングモード	25
2.4.1	アドレッシングモード	25
2.4.2	実効アドレスの計算方法	27
2.5	命令セット	31
2.5.1	データ転送命令	33
2.5.2	算術演算命令	35
2.5.3	論理演算命令	36
2.5.4	シフト命令	36
2.5.5	ビット操作命令	38
2.5.6	分岐命令	43
2.5.7	システム制御命令	45
2.5.8	ブロック転送命令	46
2.6	CPUの状態	48
2.6.1	概要	48
2.6.2	プログラム実行状態	49
2.6.3	プログラム停止状態	49

2.6.4	例外処理状態	49
2.7	基本動作タイミング	50
2.7.1	内蔵メモリ (RAM、ROM)	50
2.7.2	内蔵周辺モジュール	51
2.8	使用上の注意事項	52
2.8.1	データアクセスに関する注意事項	52
2.8.2	ビット操作命令使用上の注意事項	54

---

## 第 3 章 システムコントロール

---

3.1	概要	59
3.2	例外処理	59
3.2.1	リセット	59
3.2.2	割込み	61
3.2.3	割込み制御レジスタ	63
3.2.4	外部割込み	72
3.2.5	内部割込み	73
3.2.6	割込み動作	73
3.2.7	割込み復帰動作	78
3.2.8	割込み応答時間	78
3.2.9	各モードにおける有効な割込み要因	79
3.2.10	スタック領域に関する使用上の注意	80
3.3	システムのモード	81
3.3.1	アクティブモード	82
3.3.2	低消費電力モード	82
3.3.3	使用上の注意事項	87
3.4	システムコントロールレジスタ	88
3.4.1	システムコントロールレジスタ 1 (SYSCR1)	88
3.4.2	システムコントロールレジスタ 2 (SYSCR2)	90

---

## 第 4 章 ROM

---

4.1	概要	93
4.1.1	ブロック図	93
4.2	PROMモード	94
4.2.1	PROMモードの設定	94
4.2.2	ソケットアダプタの端子対応とメモリマップ	94
4.3	プログラミング	97
4.3.1	書込み／ベリファイ	97
4.3.2	書込み時の注意	100
4.3.3	書込み後の信頼性	101

---

## 第 5 章 RAM

---

5.1	概要	105
5.1.1	ブロック図	105
5.1.2	表示用RAMエリア	105

---

## 第 6 章 クロック発振器

---

6.1	概要	109
6.1.1	ブロック図	109
6.2	システムクロック発振器	110
6.3	サブクロック発振器	113

---

## 第 7 章 I/Oポート

---

7.1	概要	117
7.1.1	ポートのタイプとマスクオプション	119
7.1.2	プルアップMOS	121
7.1.3	プルダウンMOS	122
7.2	ポート0	123
7.2.1	概要	123
7.2.2	レジスタの構成と説明	123
7.2.3	端子機能	124
7.2.4	端子状態	125
7.3	ポート1	126
7.3.1	概要	126
7.3.2	レジスタの構成と説明	126
7.3.3	端子機能	132
7.3.4	端子状態	133
7.4	ポート4	134
7.4.1	概要	134
7.4.2	レジスタの構成と説明	134
7.4.3	端子機能	135
7.4.4	端子状態	135
7.5	ポート5	136
7.5.1	概要	136
7.5.2	レジスタの構成と説明	136
7.5.3	端子機能	137
7.5.4	端子状態	137
7.6	ポート6	138
7.6.1	概要	138

7. 6. 2	レジスタの構成と説明	138
7. 6. 3	端子機能	139
7. 6. 4	端子状態	139
7. 7	ポート 7	140
7. 7. 1	概要	140
7. 7. 2	レジスタの構成と説明	140
7. 7. 3	端子機能	141
7. 7. 4	端子状態	141
7. 8	ポート 9	142
7. 8. 1	概要	142
7. 8. 2	レジスタの構成と説明	142
7. 8. 3	端子機能	147
7. 8. 4	端子状態	149

---

## 第 8 章 タイマ

---

8. 1	概要	153
8. 1. 1	プリスケアラの動作	154
8. 2	タイマ A	155
8. 2. 1	概要	155
8. 2. 2	各レジスタの説明	156
8. 2. 3	動作説明	158
8. 3	タイマ B	159
8. 3. 1	概要	159
8. 3. 2	各レジスタの説明	160
8. 3. 3	動作説明	163
8. 4	タイマ C	165
8. 4. 1	概要	165
8. 4. 2	各レジスタの説明	167
8. 4. 3	動作説明	170
8. 5	タイマ D	172
8. 5. 1	概要	172
8. 5. 2	各レジスタの説明	173
8. 5. 3	動作説明	174
8. 6	タイマ E	175
8. 6. 1	概要	175
8. 6. 2	各レジスタの説明	177
8. 6. 3	動作説明	180
8. 7	割込み要因	183
8. 8	使用上の注意事項	183

---

## 第9章 14ビットPWM

---

9.1	概要	187
9.1.1	特長	187
9.1.2	ブロック図	187
9.1.3	端子構成	188
9.1.4	レジスタ構成	188
9.2	各レジスタの説明	189
9.2.1	PWMコントロールレジスタ (PWCR)	189
9.2.2	PWMデータレジスタU、L (PWDRU、PWDRL)	190
9.3	動作説明	191

---

## 第10章 SC11

---

10.1	概要	195
10.1.1	特長	195
10.1.2	ブロック図	195
10.1.3	端子構成	196
10.1.4	レジスタ構成	196
10.2	各レジスタの説明	197
10.2.1	シリアルモードレジスタ1 (SMR1)	197
10.2.2	シリアルデータレジスタU1 (SDRU1)	198
10.2.3	シリアルデータレジスタL1 (SDRL1)	199
10.2.4	シリアルポートレジスタ1 (SPR1)	199
10.2.5	ポートモードレジスタ2 (PMR2)	200
10.2.6	ポートモードレジスタ3 (PMR3)	201
10.3	動作説明	202
10.3.1	概要	202
10.3.2	データ転送フォーマット	203
10.3.3	クロック	204
10.3.4	データの送信/受信動作	204
10.3.5	SC11の動作状態遷移	206
10.3.6	転送クロックエラーの検出例	208
10.3.7	割込み要因	208

---

## 第11章 SC12

---

11.1	概要	211
11.1.1	特長	211
11.1.2	ブロック図	211
11.1.3	端子構成	212
11.1.4	レジスタ構成	212

11.2	各レジスタの説明	213
11.2.1	先頭アドレスレジスタ (STAR)	213
11.2.2	終了アドレスレジスタ (EDAR)	213
11.2.3	シリアルコントロールレジスタ2 (SCR2)	214
11.2.4	ステータスレジスタ (STSR)	215
11.2.5	ポートモードレジスタ3 (PMR3)	217
11.3	動作説明	219
11.3.1	概要	219
11.3.2	クロック	220
11.3.3	データ転送フォーマット	220
11.3.4	データの送信/受信動作	222
11.4	割込み要因	224
11.5	使用上の注意事項	224

---

## 第12章 VFDコントローラ/ドライバ

---

12.1	概要	227
12.1.1	特長	227
12.1.2	ブロック図	227
12.1.3	端子構成	228
12.1.4	レジスタ構成	228
12.2	各レジスタの説明	229
12.2.1	VFDディジットコントロールレジスタ (VFDR)	229
12.2.2	VFDセグメントコントロールレジスタ (VFSR)	232
12.2.3	ディジットビギニングレジスタ (DBR)	234
12.3	動作説明	236
12.3.1	概要	236
12.3.2	コントロール部の説明	236
12.3.3	ディジット/セグメントとVFD表示RAMのビットの対応	236
12.3.4	動作開始手順	238
12.4	割込み要因	238
12.5	VFDレジスタ書換え時のちらつきについて	238

---

## 第13章 A/D変換器

---

13.1	概要	241
13.1.1	特長	241
13.1.2	ブロック図	242
13.1.3	端子構成	243
13.1.4	レジスタ構成	243
13.2	各レジスタの説明	244



13.2.1	A/Dリザルトレジスタ (ADRR) .....	244
13.2.2	A/Dモードレジスタ (AMR) .....	244
13.2.3	A/Dスタートレジスタ (ADSR) .....	246
13.2.4	ポートモードレジスタ0 (PMR0) .....	247
13.3	動作説明 .....	248
13.4	割込み要因 .....	249
13.5	使用例 .....	249
13.6	使用上の注意 .....	253

---

## 第14章 電気的特性

---

14.1	絶対最大定格 .....	257
14.2	HD6473714の電気的特性 .....	258
14.2.1	HD6473714のDC特性 .....	258
14.2.2	HD6473714のAC特性 .....	263
14.2.3	HD6473714のA/D変換器特性 .....	265
14.3	HD6433712、HD6433713、HD6433714の電気的特性 .....	266
14.3.1	HD6433712、HD6433713、HD6433714のDC特性 .....	266
14.3.2	HD6433712、HD6433713、HD6433714のAC特性 .....	271
14.3.3	HD6433712、HD6433713、HD6433714のA/D変換器特性 .....	273
14.4	動作タイミング .....	274
14.5	HD6473714とHD6433712、HD6433713、HD6433714の電気的特性の相違点 .....	277

---

付録

---

A.	命令	281
A.1	命令一覧	281
A.2	オペレーションコードマップ	282
A.3	命令実行ステート数	283
B.	レジスタ一覧	292
B.1	I/Oレジスタ一覧(1)	292
B.2	I/Oレジスタ一覧(2)	295
C.	I/Oポートブロック図	324
C.1	ポート0ブロック図	324
C.2	ポート1ブロック図	325
C.3	ポート4ブロック図	329
C.4	ポート5ブロック図	330
C.5	ポート6ブロック図	331
C.6	ポート7ブロック図	332
C.7	ポート9ブロック図	333
D.	各処理状態におけるポートの状態	339
E.	マスクオプションリスト	340
F.	高耐圧端子の立上がり／立下がり時間	341
G.	外形寸法図	342

# 1. 概要

---

## 第 1 章 目次

1. 1	概要	3
1. 2	内部ブロック図	6
1. 3	端子説明	7
1. 3. 1	ピン配置	7
1. 3. 2	端子機能	9



## 1.1 概要

H8/300Lシリーズは、高速H8/300L CPUを核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU: Microcomputer Unit) です。

H8/3714シリーズは高耐圧端子を備えたH8/300Lシリーズのシングルチップマイクロコンピュータで、周辺機能としてVFD (Vacuum Fluorescent Display: 蛍光表示管) コントローラ/ドライバ、タイマ、14ビットPWM (D/A)、2チャンネルのシリアルコミュニケーションインタフェース、A/D変換器などを内蔵しており、VFD表示を必要とするシステムの組み込み用マイコンに最適な構成となっています。内蔵メモリは、ROM32kバイト、RAM512バイト版 (H8/3714)、ROM24kバイト、RAM384バイト版 (H8/3713)、ROM16kバイト、RAM384バイト版 (H8/3712) が用意されており、システムの規模に応じて選択できます。

H8/3714には、ユーザサイドで自由にプログラムの書込みができるPROMを内蔵したZTAT®\* (Zero Turn Around Time)版もあります。

H8/3714シリーズの特長を表1.1に示します。

【注】 \* ZTATは(株)日立製作所の登録商標です。

表1.1 特長(1)

項目	仕様
CPU	<p>汎用レジスタマシン</p> <ul style="list-style-type: none"><li>汎用レジスタ : 8ビット×16本 (16ビット×8本としても使用可能)</li></ul> <p>動作速度:</p> <ul style="list-style-type: none"><li>最高動作周波数: 4.19MHz</li><li>加減算: 0.5μs (<math>\phi = 4</math> MHz動作時)</li><li>乗除算: 3.5μs (<math>\phi = 4</math> MHz動作時)</li><li>32kHzサブクロックによる動作可能</li></ul> <p>H8/300CPUと互換性のある命令体系</p> <ul style="list-style-type: none"><li>2バイトまたは4バイト長の命令</li><li>レジスタ-レジスタ間の基本演算</li><li>MOV命令によるメモリーレジスタ間データ転送</li></ul> <p>特長ある命令</p> <ul style="list-style-type: none"><li>乗算命令 (8ビット×8ビット)</li><li>除算命令 (16ビット÷8ビット)</li><li>ビットアキュムレータ命令</li><li>レジスタ間接指定によりビット位置の指定が可能</li></ul>

表 1.1 特長(2)

項 目	仕 様
メモリ	<p>H 8 / 3 7 1 4</p> <ul style="list-style-type: none"> <li>・ROM : 32k バイト、RAM : 512バイト</li> </ul> <p>H 8 / 3 7 1 3</p> <ul style="list-style-type: none"> <li>・ROM : 24k バイト、RAM : 384バイト</li> </ul> <p>H 8 / 3 7 1 2</p> <ul style="list-style-type: none"> <li>・ROM : 16k バイト、RAM : 384バイト</li> </ul>
タイマ	<ul style="list-style-type: none"> <li>・タイマA : 8 ビットインターバルタイマ システムクロック(<math>\phi</math>)* を分周した 8 種類の内部クロックまたはサブクロック (<math>\phi_{sub}</math>) を分周した 4 種類のクロックによりカウントアップ可能</li> <li>・タイマB : 8 ビットリロードタイマ 7 種類の内部クロックまたは <math>P1_0/\overline{IRQ_0}</math> 端子からのイベント入力によるカウントアップ可能</li> <li>・タイマC : 8 ビットリロードタイマ 7 種類の内部クロックまたは <math>P1_1/\overline{IRQ_1}</math> 端子からのイベント入力によるカウントアップ/ダウン可能</li> <li>・タイマD : 8 ビットイベントカウンタ <math>P1_0/\overline{EVENT}</math> 端子からのイベント入力によるカウントアップ</li> <li>・タイマE : 8 ビットリロードタイマ 8 種類の内部クロックによるカウントアップ可能 <math>P1_0/\overline{IRQ_0}/TMOE</math> 端子より固定周波数出力、またはタイマEのオーバフローによるデューティ50%の方形波出力可能</li> </ul> <p>【注】* <math>\phi</math> は、原発振を 1 / 2 分周したクロックを示します。</p>
14ビットPWM	<ul style="list-style-type: none"> <li>・リップル低減を図ったパルス分割方式PWM</li> <li>・外部にローパスフィルタを接続することで14ビットD/Aコンバータとして使用可能</li> </ul>
VFDコントローラ/ ドライバ	<ul style="list-style-type: none"> <li>・最大24本のセグメント端子と最大16本のディジット端子 (うち8本は兼用端子)</li> <li>・輝度を8段階に調整可能 (ディマー機能)</li> <li>・ディジット端子、セグメント端子の高耐圧入出力端子への切換え可能</li> <li>・キースキャン期間の有無選択可能</li> <li>・キースキャン期間開始時、割込みを発生させることが可能</li> </ul>

表 1.1 特長(3)

項 目	仕 様																														
シリアルコミュニケーションインタフェース	<ul style="list-style-type: none"> <li>・ 2チャンネルのクロック同期式SCI1、SCI2</li> <li>・ 8ビット/16ビットの転送データを選択可能 (SCI1)</li> <li>・ 32バイトのデータを自動的に転送可能 (SCI2)</li> <li>・ オーバランエラー検出可能</li> <li>・ 転送完了時、割込みを発生させることが可能</li> </ul>																														
A/D変換器	<ul style="list-style-type: none"> <li>・ 抵抗ラダー方式による逐次比較方式</li> <li>・ 分解能：8ビット</li> <li>・ 8チャンネルのアナログ入力端子</li> <li>・ 変換時間：1チャンネル当たり31/φまたは62/φ</li> <li>・ A/D変換終了時、割込みを発生させることが可能</li> </ul>																														
I/Oポート	<ul style="list-style-type: none"> <li>・ 高耐圧入出力端子 32本</li> <li>・ 高耐圧入力端子 1本</li> <li>・ 標準耐圧入出力端子 12本</li> <li>・ 標準耐圧入力端子 9本</li> </ul>																														
割込み	<ul style="list-style-type: none"> <li>・ 外部割込み端子 4本：<math>\overline{IRQ_5}</math>、<math>\overline{IRQ_4}</math>、<math>\overline{IRQ_1}</math>、<math>\overline{IRQ_0}</math></li> <li>・ 内部割込み要因 10要因</li> </ul>																														
低消費電力モード	<ul style="list-style-type: none"> <li>・ スリープモード</li> <li>・ スタンバイモード</li> <li>・ ウォッチモード</li> <li>・ サブアクティブモード</li> </ul>																														
その他	<ul style="list-style-type: none"> <li>・ システムクロック発振器、サブクロック発振器内蔵</li> <li>・ タイマAをサブクロック動作とすることで時計用タイムベースとして使用可能</li> </ul>																														
製品ラインアップ	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2" data-bbox="544 1397 890 1442">製品形名</th> <th data-bbox="890 1397 1155 1442" rowspan="2">パッケージ</th> <th data-bbox="1155 1397 1385 1442" rowspan="2">ROM/RAMサイズ</th> </tr> <tr> <th data-bbox="544 1442 719 1487">マスクROM版</th> <th data-bbox="719 1442 890 1487">ZTAT®版</th> </tr> </thead> <tbody> <tr> <td data-bbox="544 1487 719 1532">HD6433714H</td> <td data-bbox="719 1487 890 1532">HD6473714H</td> <td data-bbox="890 1487 1155 1532">64E∟QFP (FP-64A)</td> <td data-bbox="1155 1487 1385 1532">ROM 32kバイト</td> </tr> <tr> <td data-bbox="544 1532 719 1576">HD6433714P</td> <td data-bbox="719 1532 890 1576">HD6473714P</td> <td data-bbox="890 1532 1155 1576">64E∟SDIP(DP-64S)</td> <td data-bbox="1155 1532 1385 1576">RAM 512バイト</td> </tr> <tr> <td data-bbox="544 1576 719 1621">HD6433713H</td> <td data-bbox="719 1576 890 1621">——</td> <td data-bbox="890 1576 1155 1621">64E∟QFP (FP-64A)</td> <td data-bbox="1155 1576 1385 1621">ROM 24kバイト</td> </tr> <tr> <td data-bbox="544 1621 719 1666">HD6433713P</td> <td data-bbox="719 1621 890 1666">——</td> <td data-bbox="890 1621 1155 1666">64E∟SDIP(DP-64S)</td> <td data-bbox="1155 1621 1385 1666">RAM 384バイト</td> </tr> <tr> <td data-bbox="544 1666 719 1711">HD6433712H</td> <td data-bbox="719 1666 890 1711">——</td> <td data-bbox="890 1666 1155 1711">64E∟QFP (FP-64A)</td> <td data-bbox="1155 1666 1385 1711">ROM 16kバイト</td> </tr> <tr> <td data-bbox="544 1711 719 1756">HD6433712P</td> <td data-bbox="719 1711 890 1756">——</td> <td data-bbox="890 1711 1155 1756">64E∟SDIP(DP-64S)</td> <td data-bbox="1155 1711 1385 1756">RAM 384バイト</td> </tr> </tbody> </table>	製品形名		パッケージ	ROM/RAMサイズ	マスクROM版	ZTAT®版	HD6433714H	HD6473714H	64E∟QFP (FP-64A)	ROM 32kバイト	HD6433714P	HD6473714P	64E∟SDIP(DP-64S)	RAM 512バイト	HD6433713H	——	64E∟QFP (FP-64A)	ROM 24kバイト	HD6433713P	——	64E∟SDIP(DP-64S)	RAM 384バイト	HD6433712H	——	64E∟QFP (FP-64A)	ROM 16kバイト	HD6433712P	——	64E∟SDIP(DP-64S)	RAM 384バイト
製品形名		パッケージ	ROM/RAMサイズ																												
マスクROM版	ZTAT®版																														
HD6433714H	HD6473714H	64E∟QFP (FP-64A)	ROM 32kバイト																												
HD6433714P	HD6473714P	64E∟SDIP(DP-64S)	RAM 512バイト																												
HD6433713H	——	64E∟QFP (FP-64A)	ROM 24kバイト																												
HD6433713P	——	64E∟SDIP(DP-64S)	RAM 384バイト																												
HD6433712H	——	64E∟QFP (FP-64A)	ROM 16kバイト																												
HD6433712P	——	64E∟SDIP(DP-64S)	RAM 384バイト																												

## 1.2 内部ブロック図

H8 / 3714 シリーズの内部ブロック図を図 1.1 に示します。

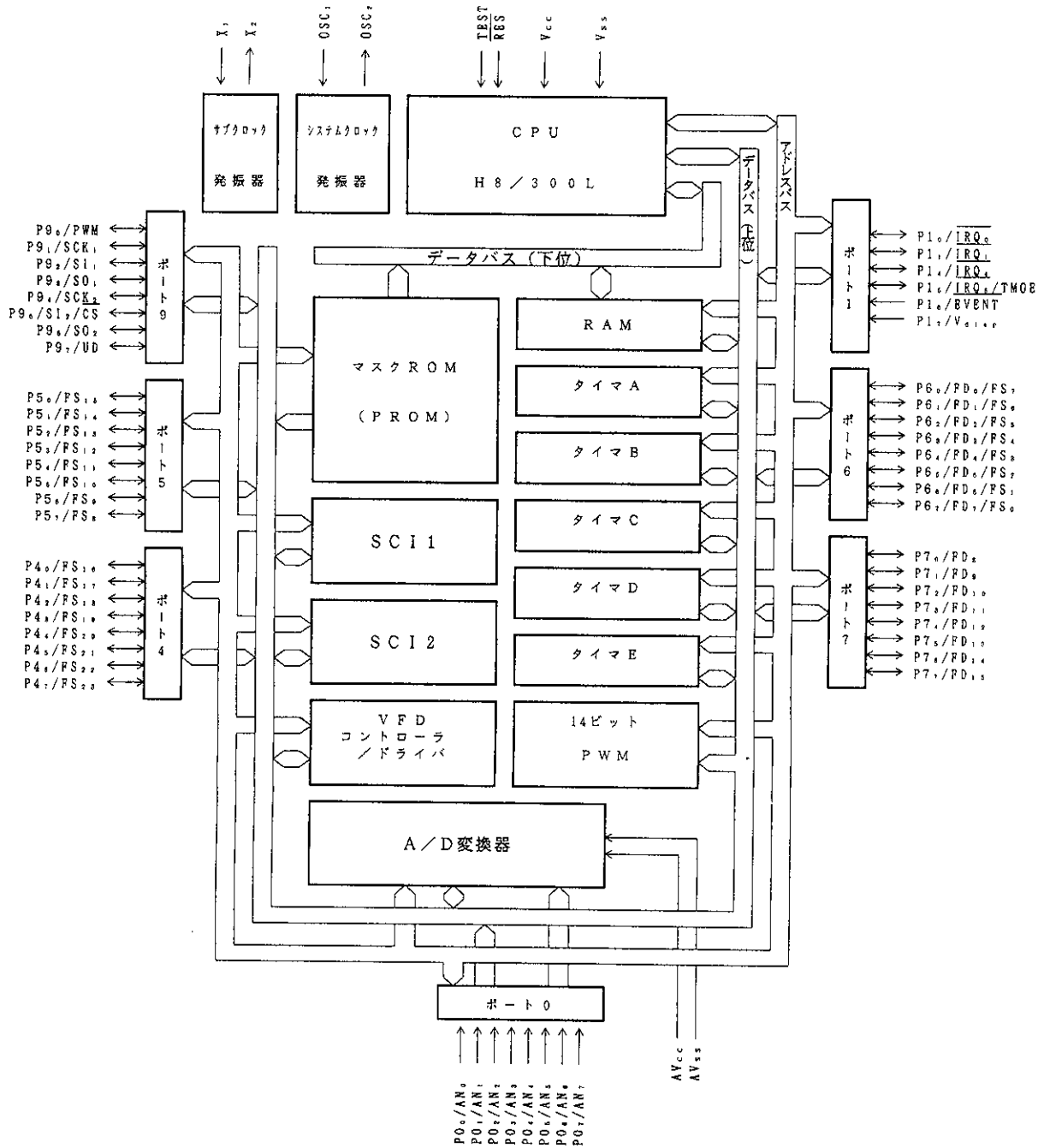


図 1.1 内部ブロック図



# 1.3 端子説明

## 1.3.1 ピン配置

H 8 / 3 7 1 4 シリーズのピン配置図を図 1.2 (FP-64A)、図 1.3 (DP-64S) に示します。

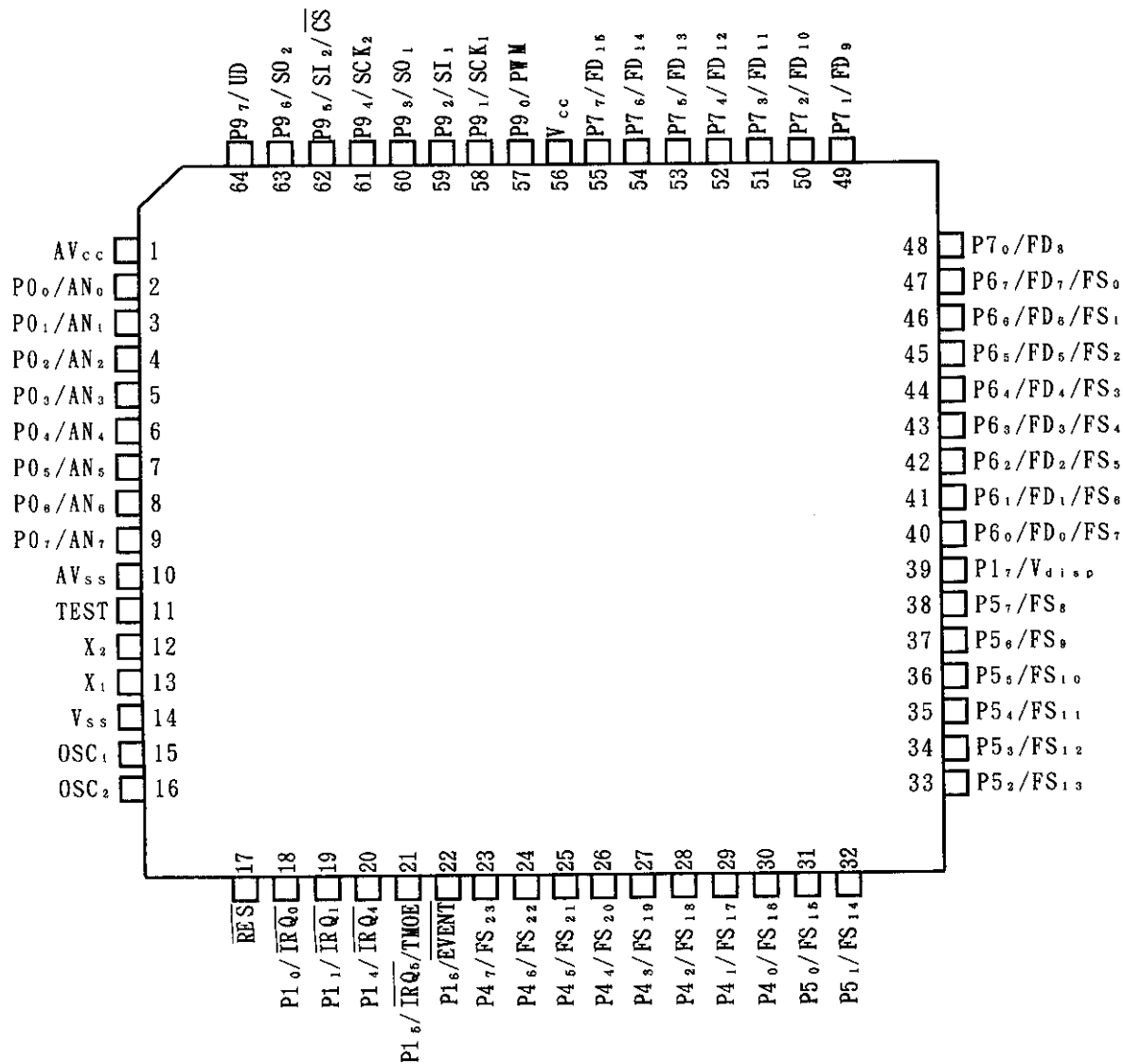


図 1.2 ピン配置図 (FP-64A : 上面図)

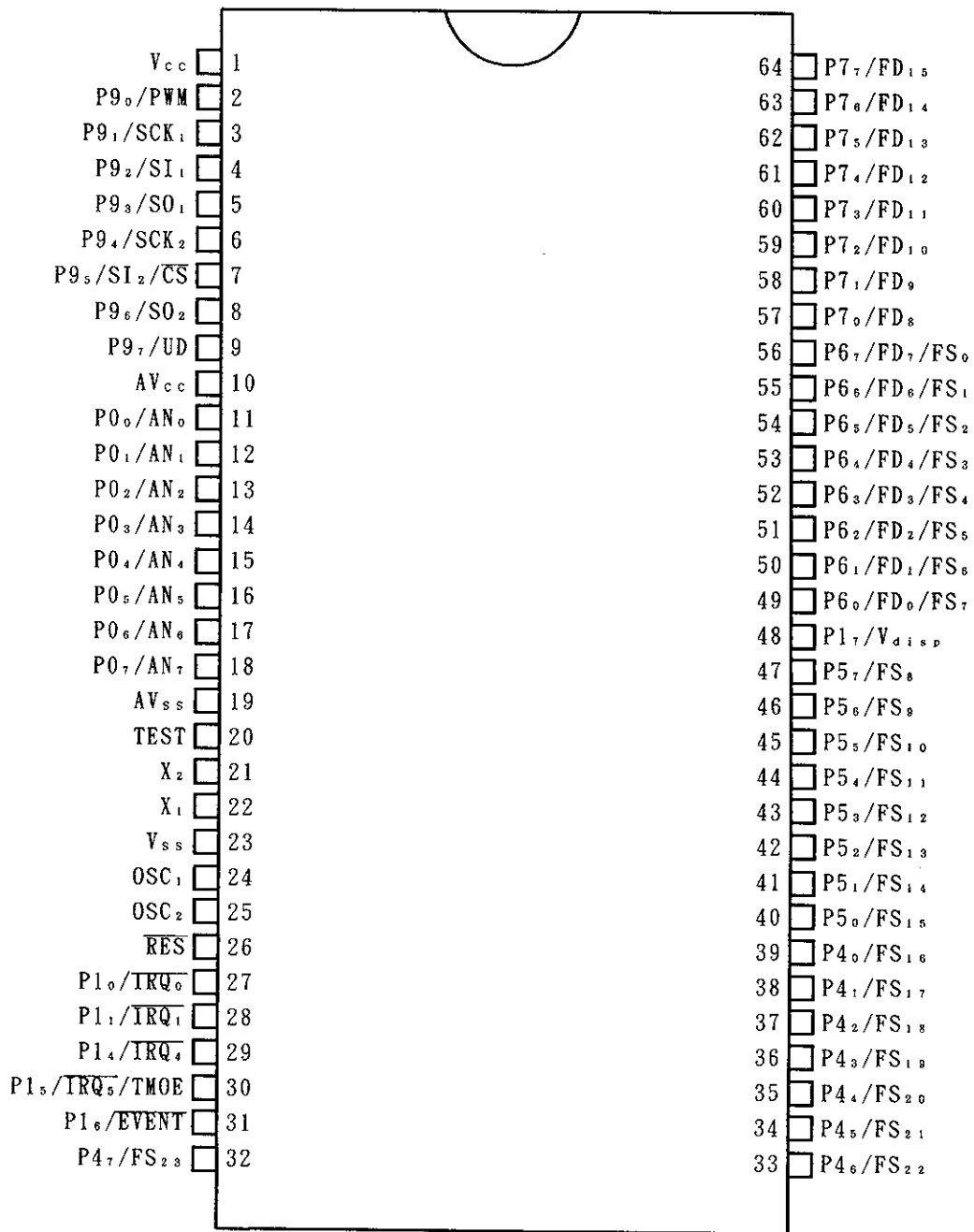


図 1.3 ピン配置図 (DP-64S : 上面図)

### 1.3.2 端子機能

#### (1) 端子配置一覧

端子配置一覧を表 1.2 に示します。

表 1.2 端子配置一覧(1)

ピン番号		端子名と端子機能	PROM モード
FP-64A	DP-64S		
6	15	P0 <sub>4</sub> /AN <sub>4</sub> (標準入力ポート/アナログ入力チャンネル)	NC
7	16	P0 <sub>5</sub> /AN <sub>5</sub> (標準入力ポート/アナログ入力チャンネル)	NC
8	17	P0 <sub>6</sub> /AN <sub>6</sub> (標準入力ポート/アナログ入力チャンネル)	NC
9	18	P0 <sub>7</sub> /AN <sub>7</sub> (標準入力ポート/アナログ入力チャンネル)	NC
10	19	AV <sub>SS</sub> (A/D変換器用基準電源)	V <sub>SS</sub>
11	20	TEST (テスト端子)	V <sub>CC</sub>
12	21	X <sub>2</sub> (サブクロック発振子接続端子)	NC
13	22	X <sub>1</sub> (サブクロック発振子接続端子)	V <sub>CC</sub>
14	23	V <sub>SS</sub> (グラウンド)	V <sub>SS</sub>
15	24	OSC <sub>1</sub> (システムクロック発振子接続端子)	V <sub>SS</sub>
16	25	OSC <sub>2</sub> (システムクロック発振子接続端子)	NC
17	26	RES (リセット入力)	V <sub>PP</sub>
18	27	P1 <sub>0</sub> /IRQ <sub>0</sub> (標準入出力ポート/外部割込み・タイマBイベント入力)	NC
19	28	P1 <sub>1</sub> /IRQ <sub>1</sub> (標準入出力ポート/外部割込み・タイマCイベント入力)	NC
20	29	P1 <sub>4</sub> /IRQ <sub>4</sub> (標準入出力ポート/外部割込み)	NC
21	30	P1 <sub>5</sub> /IRQ <sub>5</sub> /TMOE (標準入出力ポート/外部割込み/ブザー出力)	NC
22	31	P1 <sub>6</sub> /EVENT (標準入力ポート/タイマDイベント入力)	EA <sub>0</sub>
23	32	P4 <sub>7</sub> /FS <sub>23</sub> (高耐圧入出力ポート/VFDセグメント出力)	NC
24	33	P4 <sub>6</sub> /FS <sub>22</sub> (高耐圧入出力ポート/VFDセグメント出力)	NC
25	34	P4 <sub>5</sub> /FS <sub>21</sub> (高耐圧入出力ポート/VFDセグメント出力)	NC
26	35	P4 <sub>4</sub> /FS <sub>20</sub> (高耐圧入出力ポート/VFDセグメント出力)	NC
27	36	P4 <sub>3</sub> /FS <sub>19</sub> (高耐圧入出力ポート/VFDセグメント出力)	V <sub>CC</sub>
28	37	P4 <sub>2</sub> /FS <sub>18</sub> (高耐圧入出力ポート/VFDセグメント出力)	V <sub>CC</sub>
29	38	P4 <sub>1</sub> /FS <sub>17</sub> (高耐圧入出力ポート/VFDセグメント出力)	V <sub>SS</sub>
30	39	P4 <sub>0</sub> /FS <sub>16</sub> (高耐圧入出力ポート/VFDセグメント出力)	V <sub>SS</sub>
31	40	P5 <sub>0</sub> /FS <sub>15</sub> (高耐圧入出力ポート/VFDセグメント出力)	EA <sub>0</sub>
32	41	P5 <sub>1</sub> /FS <sub>14</sub> (高耐圧入出力ポート/VFDセグメント出力)	EA <sub>1</sub>
33	42	P5 <sub>2</sub> /FS <sub>13</sub> (高耐圧入出力ポート/VFDセグメント出力)	EA <sub>2</sub>
34	43	P5 <sub>3</sub> /FS <sub>12</sub> (高耐圧入出力ポート/VFDセグメント出力)	EA <sub>3</sub>
35	44	P5 <sub>4</sub> /FS <sub>11</sub> (高耐圧入出力ポート/VFDセグメント出力)	EA <sub>4</sub>
36	45	P5 <sub>5</sub> /FS <sub>10</sub> (高耐圧入出力ポート/VFDセグメント出力)	EA <sub>5</sub>

表 1. 2 端子配置一覧(2)

ピン番号		端子名と端子機能	PROM モード
FP-64A	DP-64S		
37	46	P5 <sub>6</sub> /FS <sub>6</sub> (高耐圧入出力ポート/VFDセグメント出力)	EA <sub>6</sub>
38	47	P5 <sub>7</sub> /FS <sub>7</sub> (高耐圧入出力ポート/VFDセグメント出力)	EA <sub>7</sub>
39	48	P1 <sub>7</sub> /V <sub>dis</sub> (高耐圧入力ポート/VFD電源)	V <sub>cc</sub>
40	49	P6 <sub>0</sub> /FD <sub>0</sub> /FS <sub>7</sub> (高耐圧入出力ポート/VFDディジット・セグメント出力)	NC
41	50	P6 <sub>1</sub> /FD <sub>1</sub> /FS <sub>6</sub> (高耐圧入出力ポート/VFDディジット・セグメント出力)	NC
42	51	P6 <sub>2</sub> /FD <sub>2</sub> /FS <sub>5</sub> (高耐圧入出力ポート/VFDディジット・セグメント出力)	NC
43	52	P6 <sub>3</sub> /FD <sub>3</sub> /FS <sub>4</sub> (高耐圧入出力ポート/VFDディジット・セグメント出力)	NC
44	53	P6 <sub>4</sub> /FD <sub>4</sub> /FS <sub>3</sub> (高耐圧入出力ポート/VFDディジット・セグメント出力)	NC
45	54	P6 <sub>5</sub> /FD <sub>5</sub> /FS <sub>2</sub> (高耐圧入出力ポート/VFDディジット・セグメント出力)	NC
46	55	P6 <sub>6</sub> /FD <sub>6</sub> /FS <sub>1</sub> (高耐圧入出力ポート/VFDディジット・セグメント出力)	NC
47	56	P6 <sub>7</sub> /FD <sub>7</sub> /FS <sub>0</sub> (高耐圧入出力ポート/VFDディジット・セグメント出力)	NC
48	57	P7 <sub>0</sub> /FD <sub>8</sub> (高耐圧入出力ポート/VFDディジット出力)	EA <sub>8</sub>
49	58	P7 <sub>1</sub> /FD <sub>9</sub> (高耐圧入出力ポート/VFDディジット出力)	$\overline{OE}$
50	59	P7 <sub>2</sub> /FD <sub>10</sub> (高耐圧入出力ポート/VFDディジット出力)	EA <sub>10</sub>
51	60	P7 <sub>3</sub> /FD <sub>11</sub> (高耐圧入出力ポート/VFDディジット出力)	EA <sub>11</sub>
52	61	P7 <sub>4</sub> /FD <sub>12</sub> (高耐圧入出力ポート/VFDディジット出力)	EA <sub>12</sub>
53	62	P7 <sub>5</sub> /FD <sub>13</sub> (高耐圧入出力ポート/VFDディジット出力)	EA <sub>13</sub>
54	63	P7 <sub>6</sub> /FD <sub>14</sub> (高耐圧入出力ポート/VFDディジット出力)	EA <sub>14</sub>
55	64	P7 <sub>7</sub> /FD <sub>15</sub> (高耐圧入出力ポート/VFDディジット出力)	$\overline{CE}$
56	1	V <sub>cc</sub> (システム電源)	V <sub>cc</sub>
57	2	P9 <sub>0</sub> /PWM (標準入出力ポート/PWM出力)	EO <sub>0</sub>
58	3	P9 <sub>1</sub> /SCK <sub>1</sub> (標準入出力ポート/クロック出力)	EO <sub>1</sub>
59	4	P9 <sub>2</sub> /SI <sub>1</sub> (標準入出力ポート/データ入力)	EO <sub>2</sub>
60	5	P9 <sub>3</sub> /SO <sub>1</sub> (標準入出力ポート/データ出力)	EO <sub>3</sub>
61	6	P9 <sub>4</sub> /SCK <sub>2</sub> (標準入出力ポート/クロック入出力)	EO <sub>4</sub>
62	7	P9 <sub>5</sub> /SI <sub>2</sub> / $\overline{CS}$ (標準入出力ポート/データ出力/チップセレクト出力)	EO <sub>5</sub>
63	8	P9 <sub>6</sub> /SO <sub>2</sub> (標準入出力ポート/データ出力)	EO <sub>6</sub>
64	9	P9 <sub>7</sub> /UD (標準入出力ポート/タイマCアップ・ダウン制御)	EO <sub>7</sub>
1	10	AV <sub>cc</sub> (A/D変換器用基準電源)	V <sub>cc</sub>
2	11	P0 <sub>0</sub> /AN <sub>0</sub> (標準入力ポート/アナログ入力チャンネル)	NC
3	12	P0 <sub>1</sub> /AN <sub>1</sub> (標準入力ポート/アナログ入力チャンネル)	NC
4	13	P0 <sub>2</sub> /AN <sub>2</sub> (標準入力ポート/アナログ入力チャンネル)	NC
5	14	P0 <sub>3</sub> /AN <sub>3</sub> (標準入力ポート/アナログ入力チャンネル)	NC

【注】 1. NCピンは、何も接続しないでください。

2. PROMモードについての詳細は、「4.2 PROMモード」を参照してください。

## (2) 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能(1)

分類	記号	ピン番号		入出力	名称および機能
		FP-64A	DP-64S		
電源	V <sub>cc</sub>	56	1	入力	電源 電源(+5V)に接続します。 V <sub>cc</sub> 端子は、全端子、システムの電源(+5V)に接続してください。
	V <sub>ss</sub>	14	23	入力	グランド 電源(0V)に接続します。 V <sub>ss</sub> 端子は、全端子、システムの電源(0V)に接続してください。
	AV <sub>cc</sub>	1	10	入力	アナログ電源 A/D変換器の基準電源端子です。A/D変換器を使用しない場合、システムの電源(+5V)に接続してください。
	AV <sub>ss</sub>	10	19	入力	アナロググランド A/D変換器のグランド端子です。システムの電源(0V)に接続してください。
	V <sub>diso</sub>	39	48	入力	VFD用電源 VFD駆動用電源に接続してください。
クロック	OSC <sub>1</sub>	15	24	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。 接続例については「第6章 クロック発振器」を参照してください。
	OSC <sub>2</sub>	16	25	出力	水晶発振子またはセラミック発振子を接続します。
	X <sub>1</sub>	13	22	入力	32.768 k Hzの水晶発振子を接続します。 接続例については「第6章 クロック発振器」を参照してください。
	X <sub>2</sub>	12	21	出力	32.768 k Hzの水晶発振子を接続します。

表 1.3 端子機能(2)

分類	記号	ピン番号		入出力	名称および機能
		FP-64A	DP-64S		
システム制御	RES	17	26	入力	<u>リセット</u> この端子が“Low”レベルになると、リセット状態になります。
	TEST	11	20	入力	<u>テスト端子</u> ユーザは使用できません。V <sub>ss</sub> 電位に接地してください。
割込み	$\overline{\text{IRQ}}_0$	18	27	入力	<u>外部割込み要求0</u> 立上がりエッジセンス/立下がりエッジセンスを選択可能な外部割込み入力端子です。低消費電力モードの解除に使用できます。 タイマBのイベント入力端子として使用することもできます。 また、ノイズキャンセル機能を備えています。
	$\overline{\text{IRQ}}_1$	19	28	入力	<u>外部割込み要求1</u> 立上がりエッジセンス/立下がりエッジセンスを選択可能な外部割込み入力端子です。低消費電力モードの解除に使用できます。 タイマCのイベント入力端子として使用することもできます。
	$\overline{\text{IRQ}}_4$	20	29	入力	<u>外部割込み要求4</u> 立上がりエッジセンス/立下がりエッジセンスを選択可能な外部割込み入力端子です。
	$\overline{\text{IRQ}}_5$	21	30	入力	<u>外部割込み要求5</u> 立下がりエッジセンスの外部割込み入力端子です。
タイマ	$\overline{\text{IRQ}}_0$	18	27	入力	<u>タイマBイベントカウンタ入力</u> タイマBのカウンタに入力するイベント入力端子です。
	$\overline{\text{IRQ}}_1$	19	28	入力	<u>タイマCイベントカウンタ入力</u> タイマCのカウンタに入力するイベント入力端子です。

表 1.3 端子機能(3)

分 類	記 号	ピン番号		入出力	名 称 お よ び 機 能
		FP-64A	DP-64S		
タイマ	UD	64	9	入力	<u>タイマCアップ/ダウンセレクト</u> タイマCのカウンタのアップカウント/ダウンカウントを選択します。“High”レベル印加でダウンカウント、“Low”レベル印加でアップカウントとして動作します。 この端子への入力はタイマモードレジスタC (TMC) のTMC6ビットが“1”のとき有効となります。
	EVENT	22	31	入力	<u>タイマDイベントカウンタ入力</u> タイマDのカウンタに入力するイベント入力端子です。
	TMOE	21	30	出力	<u>タイマE出力</u> タイマE出力回路により生成された波形の出力端子です。
14ビット PWM	PWM	57	2	出力	<u>14ビットPWM出力</u> 14ビットPWMにより生成された波形の出力端子です。
シリアル コミュニ ケーショ ンインタ フェース (S C I)	SO <sub>1</sub>	60	5	出力	<u>シリアル送信データ出力 (チャンネル1,2)</u> S C I のデータ出力端子です。
	SO <sub>2</sub>	63	8		
	SI <sub>1</sub>	59	4	入力	<u>シリアル受信データ入力 (チャンネル1,2)</u> S C I のデータ入力端子です。
	SI <sub>2</sub>	62	7		
	SCK <sub>1</sub>	58	3	入出力	<u>シリアルクロック入出力 (チャンネル1,2)</u> S C I のクロック入出力端子です。
	SCK <sub>2</sub>	61	6		
	$\overline{CS}$	62	7	出力	<u>チップセレクト出力</u> S C I 2 が送信モードで、かつ転送クロックが内部クロックのとき“Low”レベルとなります。 本機能は、ポートモードレジスタ2 (PMR 2) のS I 2 ビット = “1” かつPMR 3 のCSビット = “1” のとき有効となります。
I / O ポート	P0 <sub>7</sub> ~ P0 <sub>0</sub>	9~2	18~11	入力	<u>ポート0</u> 8ビットの入力専用端子です。
	P1 <sub>7</sub>	39	48	入力	<u>ポート1 (ビット7)</u> 1ビットの高耐圧入力専用端子です。
	P1 <sub>6</sub>	22	31	入力	<u>ポート1 (ビット6)</u> 1ビットの入力専用端子です。

表 1.3 端子機能(4)

分類	記号	ピン番号		入出力	名称および機能
		FP-64A	DP-64S		
I/O ポート	P1 <sub>5</sub> 、 P1 <sub>4</sub> 、 P1 <sub>1</sub> 、 P1 <sub>0</sub>	21~18	30~27	入出力	<u>ポート 1</u> 4ビットの入出力端子です。ポートコントロールレジスタ1（PCR1）によって、1ビットごとに入出力を指定できます。
	P4 <sub>7</sub> ~ P4 <sub>0</sub>	23~30	32~39	入出力	<u>ポート 4</u> 8ビットの高耐圧入出力端子です。
	P5 <sub>7</sub> ~ P5 <sub>0</sub>	38~31	47~40	入出力	<u>ポート 5</u> 8ビットの高耐圧入出力端子です。
	P6 <sub>7</sub> ~ P6 <sub>0</sub>	47~40	56~49	入出力	<u>ポート 6</u> 8ビットの高耐圧入出力端子です。
	P7 <sub>7</sub> ~ P7 <sub>0</sub>	55~48	64~57	入出力	<u>ポート 7</u> 8ビットの高耐圧入出力端子です。
	P9 <sub>7</sub> ~ P9 <sub>0</sub>	64~57	9~2	入出力	<u>ポート 9</u> 8ビットの入出力端子です。PCR9によって、1ビットごとに入出力を指定できます。
A/D 変換器	AN <sub>7</sub> ~ AN <sub>0</sub>	9~2	18~11	入力	<u>アナログ入力チャンネル7~0</u> A/D変換器へのアナログデータ入力端子です。
VFD コントローラ/ ドライバ	FD <sub>15</sub> ~ FD <sub>0</sub>	55~40	64~49	出力	<u>VFDディジット出力</u> VFDコントローラ/ドライバのディジット出力端子です。
	FS <sub>23</sub> ~ FS <sub>8</sub> 、 FS <sub>7</sub> ~ FS <sub>0</sub>	23~38、 40~47	32~47、 49~56	入出力	<u>VFDセグメント出力</u> VFDコントローラ/ドライバのセグメント出力端子です。また、表示動作中にキースキャン期間を設けた場合には、その期間中は汎用入出力ポートとしてCPUから操作できます。



# 2. CPU

## 第2章 目次

2.1	概要	17
2.1.1	特長	17
2.1.2	アドレス空間	18
2.1.3	レジスタ構成	19
2.2	各レジスタの説明	20
2.2.1	汎用レジスタ	20
2.2.2	コントロールレジスタ	20
2.2.3	CPU内部レジスタの初期値	22
2.3	データ構成	22
2.3.1	汎用レジスタのデータ構成	23
2.3.2	メモリ上でのデータ構成	24
2.4	アドレッシングモード	25
2.4.1	アドレッシングモード	25
2.4.2	実効アドレスの計算方法	27
2.5	命令セット	31
2.5.1	データ転送命令	33
2.5.2	算術演算命令	35
2.5.3	論理演算命令	36
2.5.4	シフト命令	36
2.5.5	ビット操作命令	38
2.5.6	分岐命令	43
2.5.7	システム制御命令	45
2.5.8	ブロック転送命令	46

2.6	CPUの状態	48
2.6.1	概要	48
2.6.2	プログラム実行状態	49
2.6.3	プログラム停止状態	49
2.6.4	例外処理状態	49
2.7	基本動作タイミング	50
2.7.1	内蔵メモリ（RAM、ROM）	50
2.7.2	内蔵周辺モジュール	51
2.8	使用上の注意事項	52
2.8.1	データアクセスに関する注意事項	52
2.8.2	ビット操作命令使用上の注意事項	54

## 2.1 概要

H8/300L CPUは、8ビット×16本（または16ビット×8本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えたCPUです。

### 2.1.1 特長

H8/300L CPUには、次の特長があります。

#### ■ 汎用レジスタ方式

8ビット×16本（16ビット×8本としても使用可能）

#### ■ 55種類の基本命令

- ・乗除算命令
- ・強力なビット操作命令

#### ■ 8種類のアドレッシングモード

- ・レジスタ直接 (R<sub>n</sub>)
- ・レジスタ間接 (@R<sub>n</sub>)
- ・ディスプレイメント付レジスタ間接 (@(d:16, R<sub>n</sub>))
- ・ポストインクリメント/プリデクリメントレジスタ間接 (@R<sub>n</sub>+/@-R<sub>n</sub>)
- ・絶対アドレス (@aa:8/@aa:16)
- ・イミディエイト (#xx:8/#xx:16)
- ・プログラムカウンタ相対 (@(d:8, PC))
- ・メモリ間接 (@@aa:8)

#### ■ 64kバイトのアドレス空間

#### ■ 高速動作

- ・頻出命令をすべて2～4ステートで実行
- ・高速演算

8/16ビットレジスタ間加減算 0.5 $\mu$ s\*

8×8ビット乗算 3.5 $\mu$ s\*

16÷8ビット除算 3.5 $\mu$ s\*

【注】 \* 数値は、 $\phi = 4\text{MHz}$ 時のもの

#### ■ 低消費電力動作

SLEEP命令により低消費電力動作可能

## 2.1.2 アドレス空間

H8/300L CPUがサポートするアドレス空間は、プログラムコードとデータ領域合計で最大64kバイトです。

メモリマップはROM容量により異なります。図2.1にメモリマップを示します。

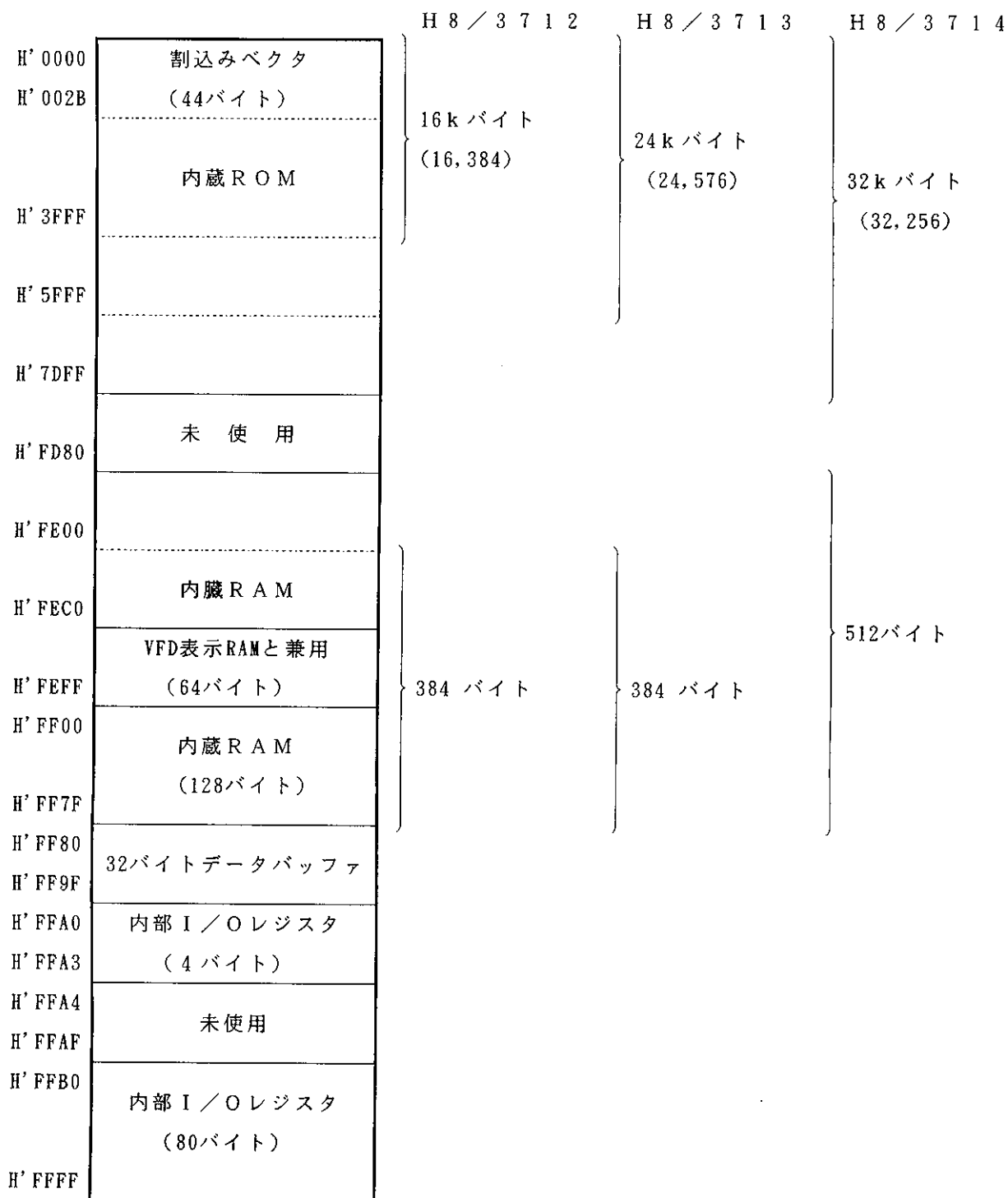


図 2.1 メモリマップ

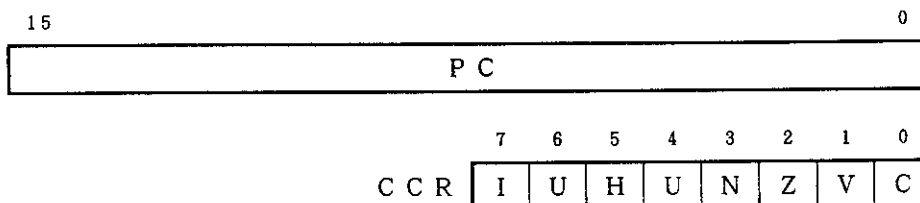
### 2.1.3 レジスタ構成

H8/300L CPUの内部レジスタ構成を図2.2に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

#### 汎用レジスタ (Rn)

7	0	7	0
R 0 H			R 0 L
R 1 H			R 1 L
R 2 H			R 2 L
R 3 H			R 3 L
R 4 H			R 4 L
R 5 H			R 5 L
R 6 H			R 6 L
R 7 H	( S P )		R 7 L

#### コントロールレジスタ (CR)



#### <記号説明>

- S P : スタックポインタ
- P C : プログラムカウンタ
- C C R : コンディションコードレジスタ
- I : 割込みマスクビット
- U : ユーザビット
- H : ハーフキャリフラグ
- N : ネガティブフラグ
- Z : ゼロフラグ
- V : オーバフローフラグ
- C : キャリフラグ

図2.2 CPU内部レジスタ構成

## 2.2 各レジスタの説明

### 2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位（R0H～R7H）と下位（R0L～R7L）を別々に使用することも、また16ビットレジスタ（R0～R7）として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ（R0～R7）として使用します。

レジスタR7には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SPは常にスタック領域の先頭を指しています。スタックの状態を図2.3に示します。

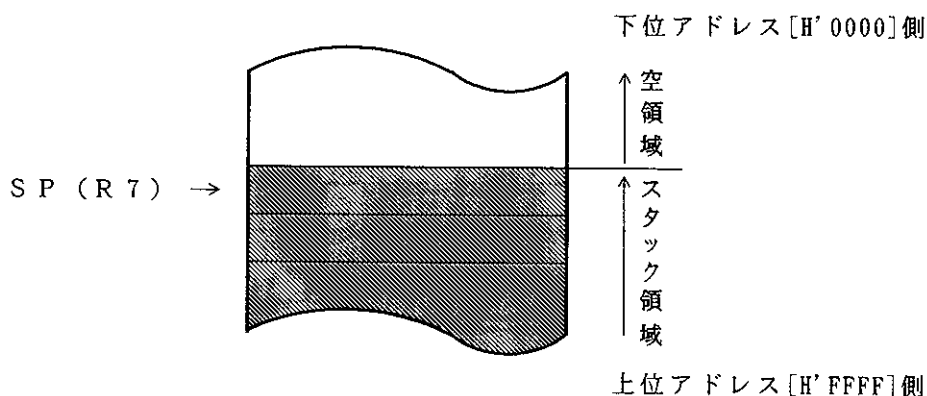


図 2.3 スタックの状態

### 2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ（PC）と8ビットのコンディションコードレジスタ（CCR）があります。

#### (1) プログラムカウンタ（PC）

16ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて16ビット（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは“0”とみなされます）。

#### (2) コンディションコードレジスタ（CCR）

8ビットのレジスタで、CPUの内部状態を示しています。割込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む8ビットで構成されています。

#### ビット7：割込みマスクビット（I）

本ビットが“1”にセットされると、割込みがマスクされます。

例外処理の実行が開始されたときに“1”にセットされます。本ビットはソフトウェアによりリード／ライトできます。割込みマスクビットの詳細については「3.2.2 割込み」を参照してください。

#### ビット6：ユーザビット（U）

ソフトウェア（LDC、STC、ANDC、ORC、XORC命令）でリード／ライトできます。

#### ビット5：ハーフキャリフラグ（H）

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

DAAおよびDAS命令実行時に、暗黙的に使用されます。

ADD.W、SUB.W、CMP.W命令ではビット11にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

#### ビット4：ユーザビット（U）

ソフトウェア（LDC、STC、ANDC、ORC、XORC命令）でリード／ライトできます。

#### ビット3：ネガティブフラグ（N）

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

#### ビット2：ゼロフラグ（Z）

データがゼロのとき“1”にセットされ、ゼロ以外のとき“0”にクリアされます。

#### ビット1：オーバフローフラグ（V）

算術演算命令の実行により、オーバフローが生じたとき“1”にセットされます。それ以外のとき“0”にクリアされます。

#### ビット0：キャリフラグ（C）

演算の実行により、キャリが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCRは、LDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令（Bcc）で使用されます。

各命令ごとのフラグの変化については、「H8／300Lシリーズ プログラミングマニュアル」を参照してください。

### 2.2.3 CPU内部レジスタの初期値

リセット例外処理によって、CPU内部レジスタのうち、PCはベクタアドレス(H'0000)のロードにより初期化され、CCRのIビットは“1”にセットされますが、汎用レジスタおよびCCRの他のビットは初期化されません。レジスタR7 (SP)の初期値も不定です。したがって、リセット直後に、R7の初期化を行ってください。

## 2.3 データ構成

H8/300L CPUは、1ビット、4ビットBCD、8ビット(バイト)、16ビット(ワード)のデータを扱うことができます。1ビットデータはビット操作命令で扱われ、オペランドデータ(バイト)の第nビット(n=0, 1, 2, ……7)という形式でアクセスされます。

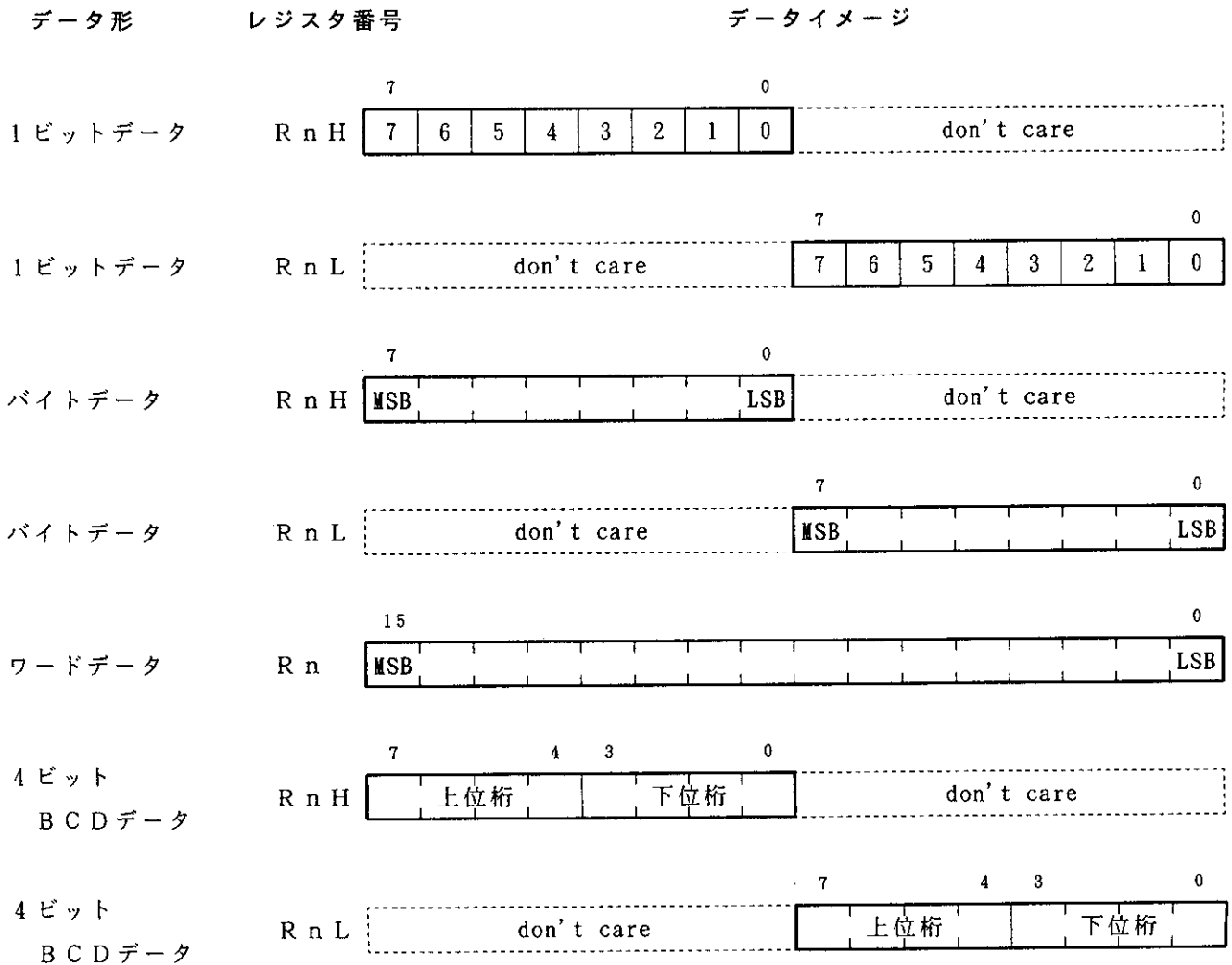
バイトデータは、ADDS、SUBS以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU(8ビット×8ビット)、DIVXU(16ビット÷8ビット)命令で扱われます。

なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。



### 2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.4 に示します。



#### <記号説明>

R n H : 汎用レジスタ上位

R n L : 汎用レジスタ下位

MSB : 最上位ビット

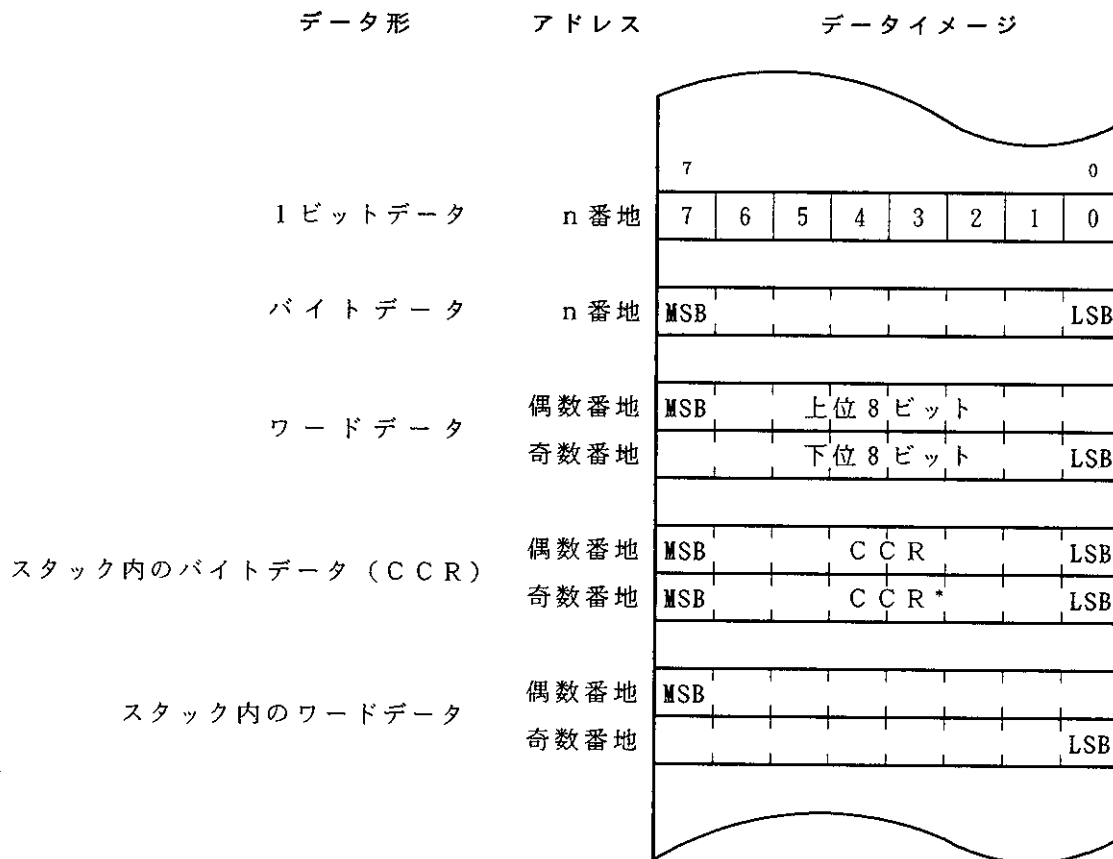
LSB : 最下位ビット

図 2.4 汎用レジスタのデータ構成

### 2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.5に示します。H8/300L CPUは、メモリ上のワードデータをアクセスすることができます(MOV.W命令)が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします。命令コードについても同様です。

ROM及びRAMの領域のみワードアクセスが可能です。詳細については、「2.8.1 データアクセスに関する注意事項」を参照してください。



【注】\* リターン時には無視されます。

<記号説明>

CCR : コンディションコードレジスタ

図2.5 メモリ上でのデータ構成

なお、R7をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。詳細については、「3.2.10 スタック領域に関する使用上の注意」を参照してください。また、CCRは、ワードデータとして上位8ビット、下位8ビットに同じ値が格納され、リターン時には、下位8ビットは無視されます。

## 2.4 アドレッシングモード

### 2.4.1 アドレッシングモード

H8/300L CPUは、表2.1に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
①	レジスタ直接	R n
②	レジスタ間接	@ R n
③	ディスプレイースメント付レジスタ間接	@ (d:16, Rn)
④	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ R n + @ - R n
⑤	絶対アドレス	@aa:8 / @aa:16
⑥	イミディエイト	#xx:8 / #xx:16
⑦	プログラムカウンタ相対	@ (d:8, PC)
⑧	メモリ間接	@ @aa:8

#### ① レジスタ直接 R n

命令コードのレジスタフィールドで指定されるレジスタ（8ビットまたは16ビット）がオペランドとなります。

16ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8ビット×8ビット）、DIVXU（16ビット÷8ビット）の各命令です。

#### ② レジスタ間接 @ R n

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとしてメモリ上のオペランドを指定します。

#### ③ ディスプレースメント付レジスタ間接 @ (d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容に、命令コードの第2ワード（第3,第4バイト）の16ビットディスプレイースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV命令のみで使用されます。特に、MOV.W命令では、加算結果が偶数となるようにしてください。

#### ④ ポストインクリメントレジスタ間接 @ R n + / プリデクリメントレジスタ間接 @ - R n

・ポストインクリメントレジスタ間接 @ R n +

MOV (Load from)命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ(16ビット)の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に1または2が加算され、加算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ加算されます。MOV.W命令では、レジスタの内容が偶数になるようにしてください。

・プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16ビット) の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

⑤ 絶対アドレス @aa:8 / @aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット (@aa:8) または16ビット (@aa:16) で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて“1”(H'FF)となります。したがって、アクセス範囲は65280~65535 (H'FF00~H'FFFF) 番地です。

⑥ イミディエイト #xx:8 / #xx:16

命令コードの第2バイト (#xx:8) または第3、第4バイト (#xx:16) を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADD.SおよびSUB.S命令では、イミディエイトデータ (1または2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

⑦ プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。PCの内容に、命令コードの第2バイトの8ビットディスプレイメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレイメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126~+128バイト (-63~+64ワード) です。このとき、加算結果が偶数となるようにしてください。

⑧ メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて“0”(H'00) とされますので、分岐アドレスを格納できるのは0~255 (H'0000~H'00FF) 番地です。ただし、H8/3714シリーズでは、0~43 (H'0000~H'002B) 番地はベクタ領域と共通になっていますから注意してください。

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2メモリ上でのデータ構成」を参照してください)。

## 2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address)の計算法を表 2.2 に示します。

演算命令では、①レジスタ直接、および⑥イミディエイト (ADD.B、ADDX、SUBX、CMP.B、AND、OR、XORの各命令) が使用されます。

転送命令では、⑦プログラムカウンタ相対と⑧メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に①レジスタ直接、②レジスタ間接および⑤絶対アドレス (8ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために①レジスタ直接 (BSET、BCLR、BNOT、BTSTの各命令) および⑥イミディエイト (3ビット) が独立して使用可能です。

表 2.2 実効アドレスの計算方法(1)

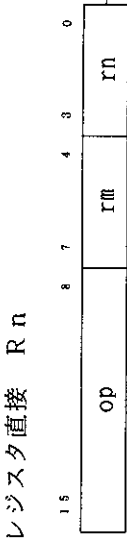

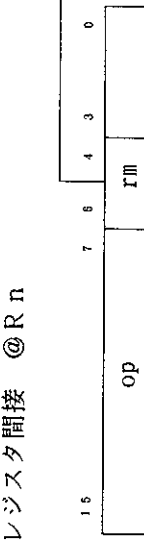
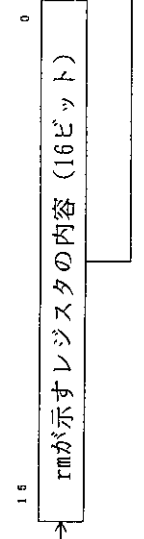

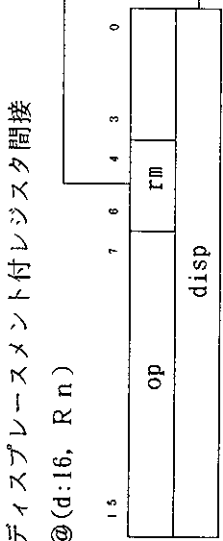
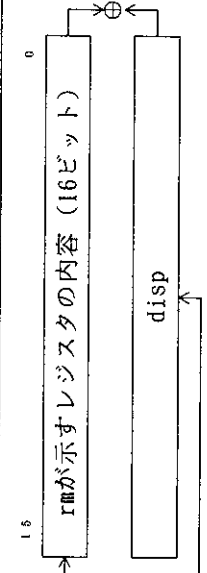
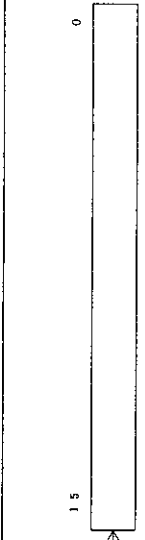
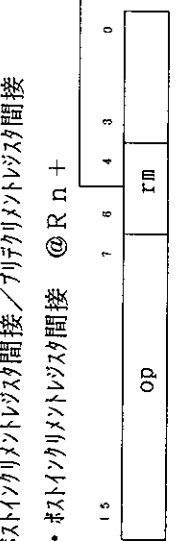
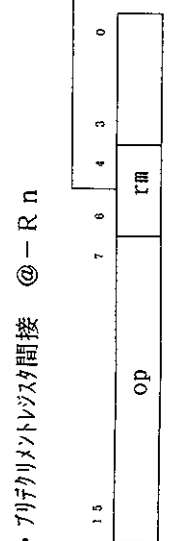
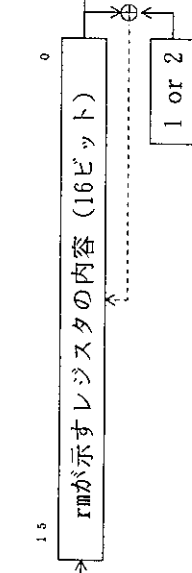
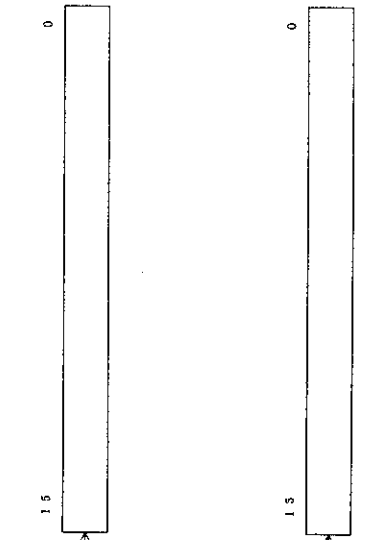

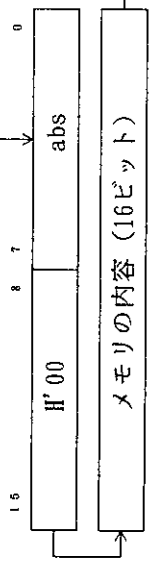

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (E A)
①	レジスタ直接 R n 		 オペランドはrm/rnが示すレジスタの内容です。
②	レジスタ間接 @R n 		
③	ディスペルエンスメント付レジスタ間接 @(d:16, R n) 		
④	ポインタリメンツ間接/ポインタリメンツ間接 •ポインタリメンツ間接 @R n +  •ポインタリメンツ間接 @-R n 	 オペランドサイズがバイトのとき1, ワードのとき2が加減算されます。	

表 2.2 実効アドレスの計算方法(2)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑤ 絶対アドレス	<p>@aa:8</p>		
	<p>@aa:16</p>		
⑥ イミディエイト	<p>#xx:8</p>		<p>オペランドはイミディエイトデータの1または2バイトデータです。</p>
	<p>#xx:16</p>		
⑦ プログラムカウンタ相対 @(d:8, PC)			

表 2.2 実効アドレスの計算方法(3)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
③	メモリ間接@aa:8 		

<記号説明>

- rm, rn : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス



## 2.5 命令セット

H8/300L CPUの命令は合計55種類あり、各命令のもつ機能によって、表2.3に示すように分類されます。

表2.3 命令の分類

機 能	命 令	種 類
データ転送命令	MOV, POP* <sup>1</sup> , PUSH* <sup>1</sup>	1
算術演算命令	ADD, SUB, ADDX, SUBX, INC, DEC, ADDS, SUBS, DAA, DAS, MULXU, DIVXU, CMP, NEG	14
論理演算命令	AND, OR, XOR, NOT	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR, BLD, BILD, BST, BIST	14
分岐命令	Bcc* <sup>2</sup> , JMP, BSR, JSR, RTS	5
システム制御命令	RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	8
ブロック転送命令	EEPMOV	1

合計55種

【注】 \*<sup>1</sup> POP Rn、PUSH Rnは、それぞれMOV.W @SP+, Rn、MOV.W Rn, @-SPと同一です。機械語についても同一です。

\*<sup>2</sup> Bccは条件分岐命令の総称です。

各命令の機能について表 2.4 から表 2.11 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

R d	汎用レジスタ (デスティネーション側)
R s	汎用レジスタ (ソース側)
R n	汎用レジスタ
(E A d)、<E A d>	デスティネーションオペランド
(E A s)、<E A s>	ソースオペランド
C C R	コンディションコードレジスタ
N	C C R の N (ネガティブ) フラグ
Z	C C R の Z (ゼロ) フラグ
V	C C R の V (オーバフロー) フラグ
C	C C R の C (キャリ) フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#I M M	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
: 3	3 ビット長
: 8	8 ビット長
: 16	16 ビット長
( )、< >	オペランドの実効アドレスの内容

## 2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命 令	サイズ*	機 能
MOV	B/W	$(EAs) \longrightarrow Rd, Rs \longrightarrow (EAd)$ 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは $Rn$ 、 $@Rn$ 、 $@(d:16, Rn)$ 、 $@aa:16$ 、 $\#xx:16$ 、 $@-Rn$ 、 $@Rn+$ の各アドレッシングモードで扱います。 $@aa:8$ はバイトデータのみです。 ただし、 $@-R7$ 、 $@R7+$ を使用する場合は必ずワードサイズを指定してください。
POP	W	$@SP+ \longrightarrow Rn$ スタックから汎用レジスタへデータを復帰します。 本命令は $MOV.W @SP+, Rn$ と同一です。
PUSH	W	$Rn \longrightarrow @-SP$ 汎用レジスタの内容をスタックに退避します。 本命令は $MOV.W Rn, @-SP$ と同一です。

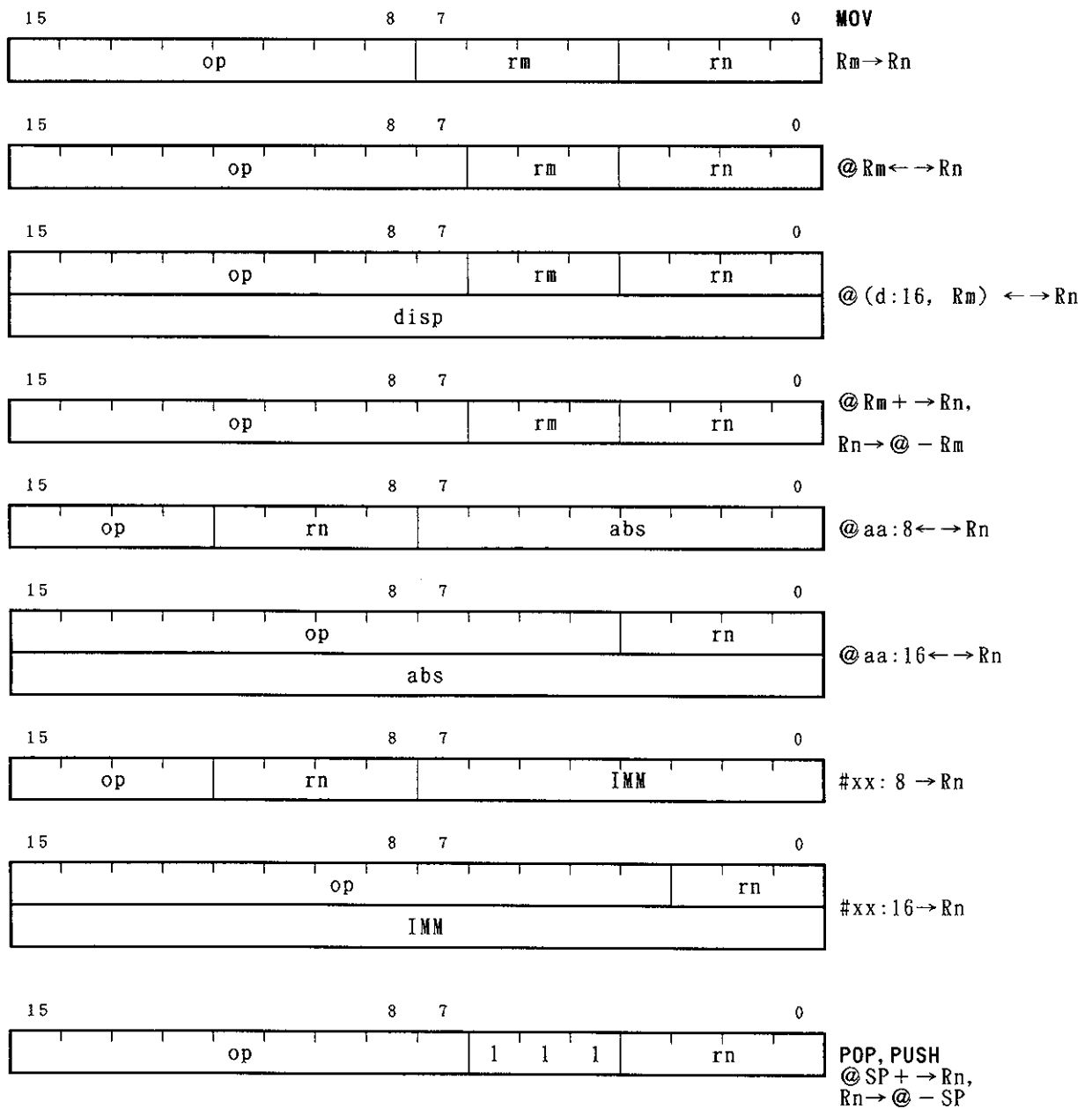
【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.8.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.6 に示します。



<記号説明>

- op : オペレーションフィールド
- rm, rn : レジスタフィールド
- disp : ディスプレースメント
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.6 データ転送命令の命令フォーマット

## 2.5.2 算術演算命令

算術演算命令の機能を表2.5に示します。

表2.5 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W	$Rd \pm Rs \longrightarrow Rd, Rd + \#IMM \longrightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C \longrightarrow Rd, Rd \pm \#IMM \pm C \longrightarrow Rd$ 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$Rd \pm 1 \longrightarrow Rd$ 汎用レジスタに1を加減算します。
ADDS SUBS	W	$Rd \pm 1 \longrightarrow Rd, Rd \pm 2 \longrightarrow Rd$ 汎用レジスタに1または2を加減算します。
DAA DAS	B	$Rd (10進補正) \longrightarrow Rd$ 汎用レジスタ上の加減算結果をCCRを参照して4ビットBCDデータに補正します。
MULXU	B	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8ビット×8ビット→16ビットの演算が可能です。
DIVXU	B	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16ビット÷8ビット→商8ビット余り8ビットの演算が可能です。
CMP	B/W	$Rd - Rs, Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果をCCRに反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd \longrightarrow Rd$ 汎用レジスタの内容の2の補数（算術的補数）をとります。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

W : ワード

### 2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命 令	サイズ*	機 能
AND	B	$Rd \wedge Rs \longrightarrow Rd$ , $Rd \wedge \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	$Rd \vee Rs \longrightarrow Rd$ , $Rd \vee \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	$Rd \oplus Rs \longrightarrow Rd$ , $Rd \oplus \#IMM \longrightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	$\sim Rd \longrightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

### 2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

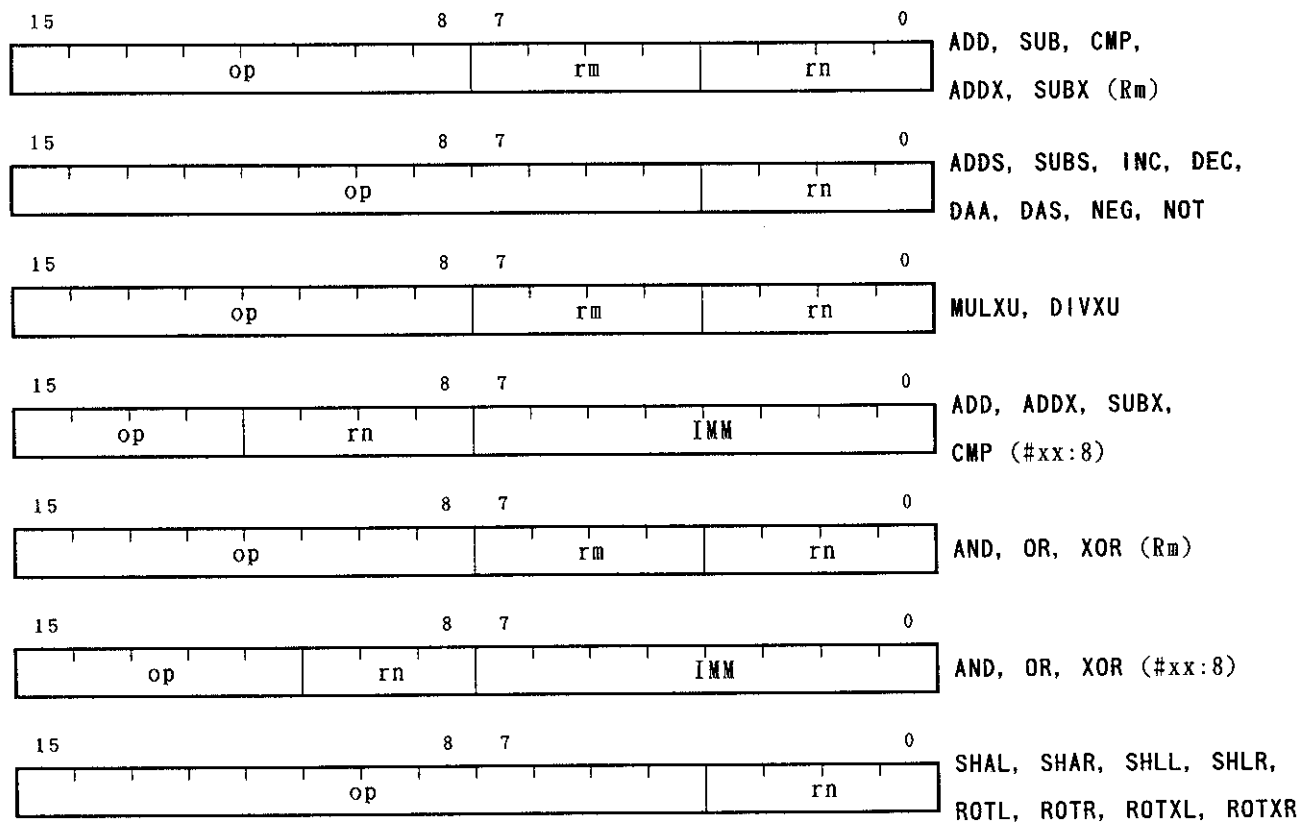
表 2.7 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B	$Rd$ (シフト処理) $\longrightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	$Rd$ (シフト処理) $\longrightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	$Rd$ (ローテート処理) $\longrightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	$Rd$ (ローテート処理) $\longrightarrow Rd$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.7 に示します。



<記号説明>

- op : オペレーションフィールド
- rm, rn : レジスタフィールド
- IMM : イミディエイトデータ

図 2.7 算術演算命令・論理演算命令・シフト命令の命令フォーマット

## 2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令(1)

命 令	サイズ*	機 能
BSET	B	$1 \longrightarrow (\langle \text{ビット番号} \rangle \text{ of } \langle \text{E A d} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“1”にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BCLR	B	$0 \longrightarrow (\langle \text{ビット番号} \rangle \text{ of } \langle \text{E A d} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“0”にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BNOT	B	$\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{E A d} \rangle)$ $\longrightarrow (\langle \text{ビット番号} \rangle \text{ of } \langle \text{E A d} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	$\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{E A d} \rangle) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	$C \wedge (\langle \text{ビット番号} \rangle \text{ of } \langle \text{E A d} \rangle) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	$C \wedge [\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{E A d} \rangle)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト



表 2.8 ビット操作命令(2)

命 令	サイズ*	機 能
B O R	B	$C \vee (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
B I O R	B	$C \vee [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。
B X O R	B	$C \oplus (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
B I X O R	B	$C \oplus [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。  ビット番号は、3ビットのイミディエイトデータで指定されます。
B L D	B	$(<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
B I L D	B	$\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

表 2.8 ビット操作命令(3)

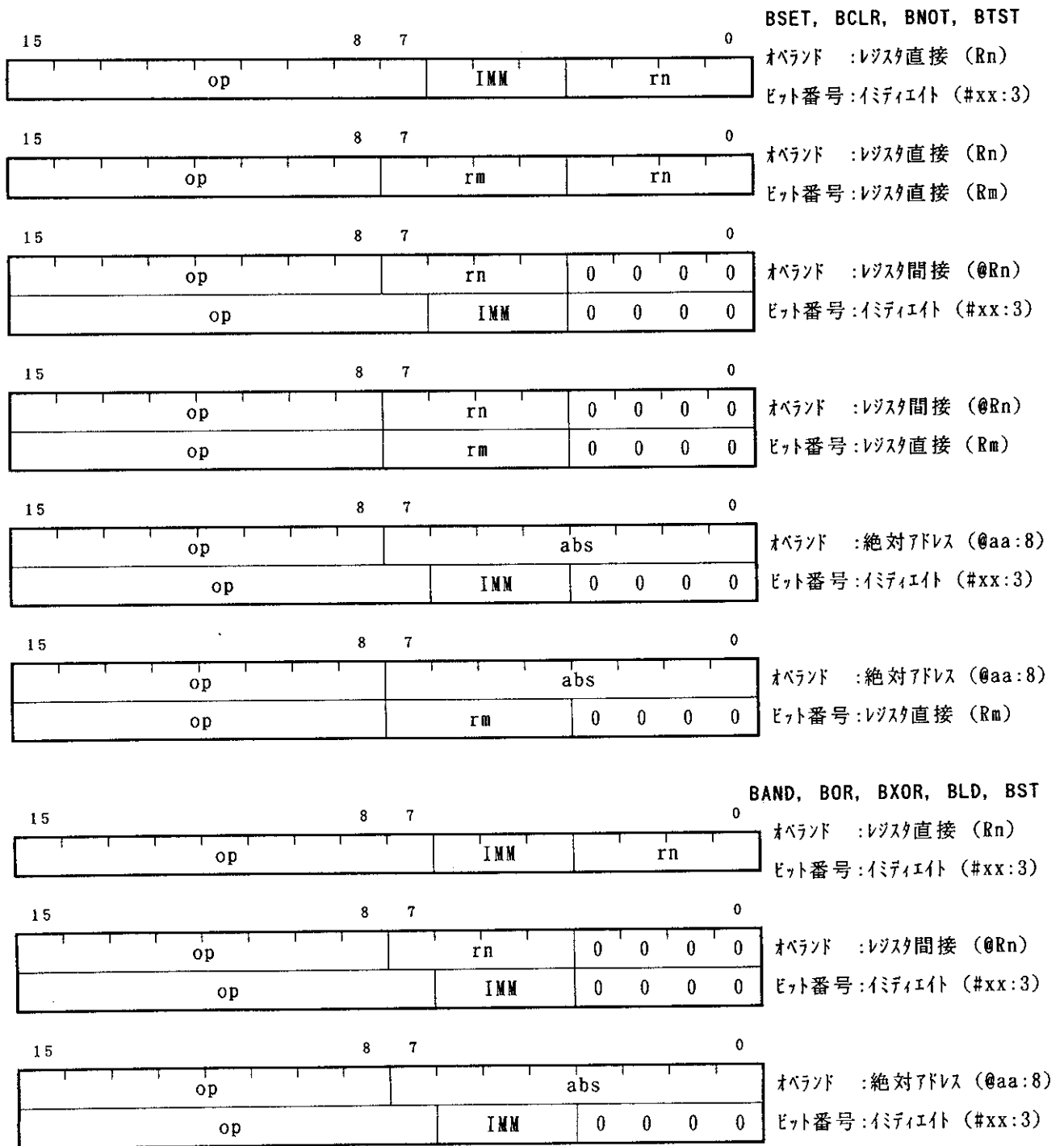
命 令	サイズ*	機 能
B S T	B	C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
B I S T	B	~C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。  ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

ビット操作命令には、いくつかの使用上の注意事項があります。詳細は「2.8.2 ビット操作命令使用上の注意事項」を参照してください。

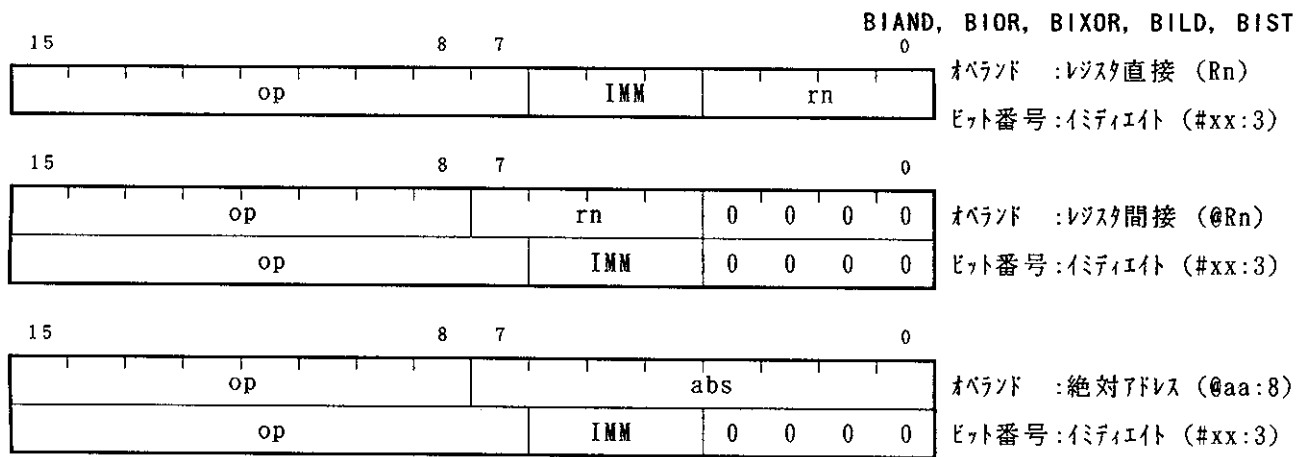
ビット操作命令の命令フォーマットを図 2.8 に示します。



<記号説明>

- op : オペレーションフィールド
- rm, rn : レジスタフィールド
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.8 ビット操作命令の命令フォーマット(1)



<記号説明>

- op : オペレーションフィールド
- rm, rn : レジスタフィールド
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図 2.8 ビット操作命令の命令フォーマット(2)

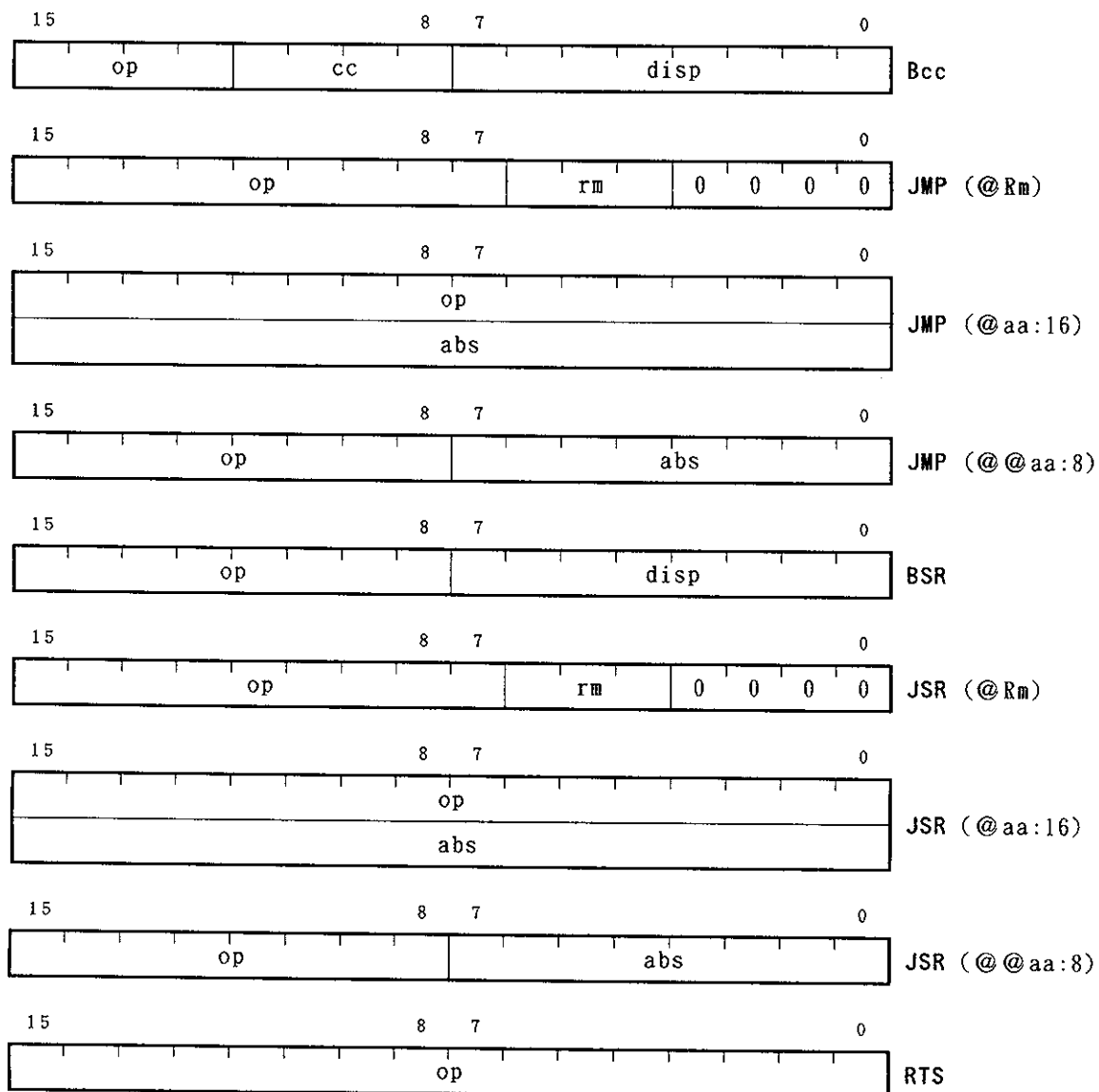
## 2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命 令	サイズ	機 能																																																			
B c c	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。																																																			
		<table border="1"> <thead> <tr> <th>ニ-モニツク</th> <th>説 明</th> <th>分 岐 条 件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td><math>C \vee Z = 0</math></td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td><math>C \vee Z = 1</math></td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td><math>C = 0</math></td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td><math>C = 1</math></td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td><math>Z = 0</math></td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td><math>Z = 1</math></td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td><math>V = 0</math></td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td><math>V = 1</math></td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td><math>N = 0</math></td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td><math>N = 1</math></td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td><math>N \oplus V = 0</math></td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td><math>N \oplus V = 1</math></td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td><math>Z \vee (N \oplus V) = 0</math></td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td><math>Z \vee (N \oplus V) = 1</math></td> </tr> </tbody> </table>	ニ-モニツク	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
		ニ-モニツク	説 明	分 岐 条 件																																																	
		BRA (BT)	Always (True)	Always																																																	
		BRN (BF)	Never (False)	Never																																																	
		BHI	High	$C \vee Z = 0$																																																	
		BLS	Low or Same	$C \vee Z = 1$																																																	
		BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																	
		BCS (BLO)	Carry Set (LOW)	$C = 1$																																																	
		BNE	Not Equal	$Z = 0$																																																	
		BEQ	Equal	$Z = 1$																																																	
		BVC	oVerflow Clear	$V = 0$																																																	
		BVS	oVerflow Set	$V = 1$																																																	
		BPL	PLus	$N = 0$																																																	
		BMI	MInus	$N = 1$																																																	
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
J M P	-	指定されたアドレスへ無条件に分岐します。																																																			
B S R	-	指定されたアドレスへサブルーチン分岐します。																																																			
J S R	-	指定されたアドレスへサブルーチン分岐します。																																																			
R T S	-	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.9 に示します。



<記号説明>

- op : オペレーションフィールド
- cc : コンディションフィールド
- rm : レジスタフィールド
- disp: ディスプレースメント
- abs : 絶対アドレス

図 2.9 分岐命令の命令フォーマット

## 2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

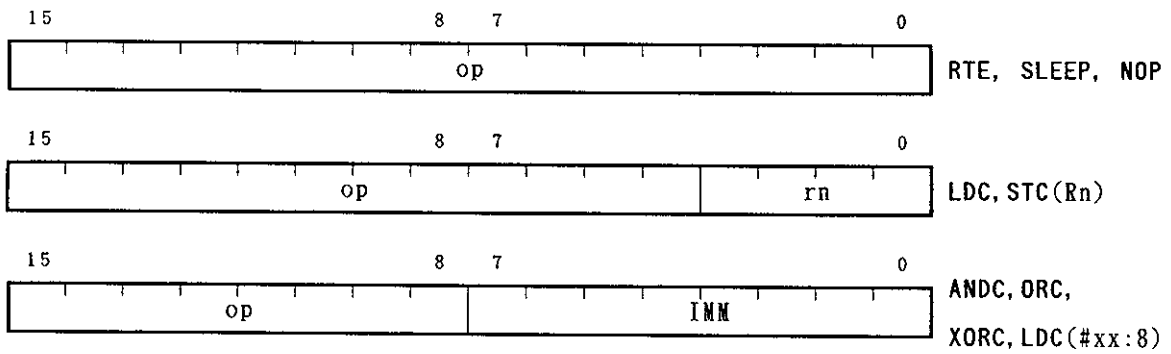
表 2.10 システム制御命令

命 令	サイズ*	機 能
R T E	—	割込み処理ルーチンから復帰します。
S L E E P	—	アクティブモードで本命令を実行すると、低消費電力モード（スリープモード、スタンバイモード、ウォッチモード）に遷移します。また、サブアクティブモードで本命令を実行すると、ウォッチモードへの遷移、またはウォッチモードを経由してアクティブモードへの復帰を行います。 詳細は「3.3 システムのモード」を参照してください。
L D C	B	$R_s \longrightarrow CCR$ , $\#IMM \longrightarrow CCR$ 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
S T C	B	$CCR \longrightarrow R_d$ CCR の内容を汎用レジスタに転送します。
A N D C	B	$CCR \wedge \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理積をとります。
O R C	B	$CCR \vee \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理和をとります。
X O R C	B	$CCR \oplus \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの排他的論理和をとります。
N O P	—	$PC + 2 \longrightarrow PC$ PC のインクリメントだけを行います。

【注】 \* サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.10 に示します。



<記号説明>

- op : オペレーションフィールド
- rn : レジスタフィールド
- IMM : イミディエイトデータ

図 2.10 システム制御命令の命令フォーマット

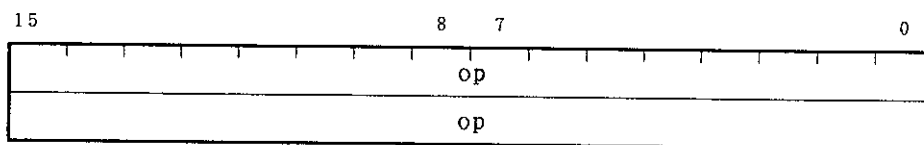
### 2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命 令	サイズ	機 能
EEP MOV	-	if R4L ≠ 0 then Repeat @R5 + → @R6 +, R4L - 1 → R4L Until R4L = 0 else next; ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。

ブロック転送命令の命令フォーマットを図 2.11 に示します。



<記号説明>

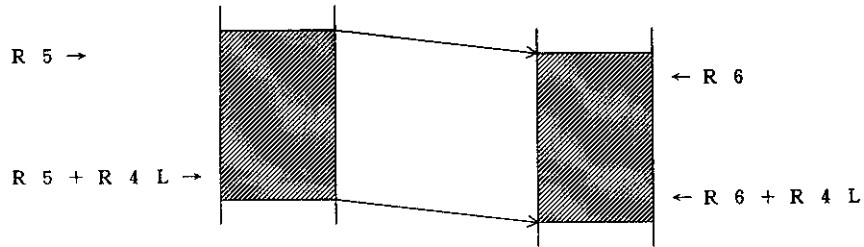
- op : オペレーションフィールド

図 2.11 ブロック転送命令の命令フォーマット

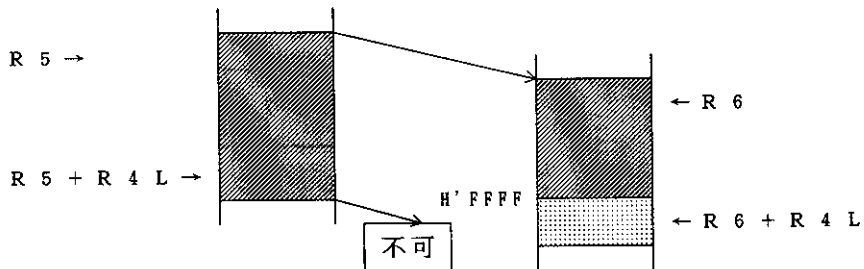


[EEPMOV 命令使用上の注意]

- (1) EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる、R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス ( $R6 + R4L$  の値) が  $H'FFFF$  を超えないように (実行途中で  $R6$  の値が  $H'FFFF \rightarrow H'0000$  とならないように)、 $R4L$ 、 $R6$  を設定してください。



## 2.6 CPUの状態

### 2.6.1 概要

CPUの状態には、プログラム実行状態、プログラム停止状態、例外処理状態の3種類があります。プログラム実行状態には、アクティブモード、サブアクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモードがあります。各状態の分類を図2.12に、各状態間の遷移を図2.13に示します。

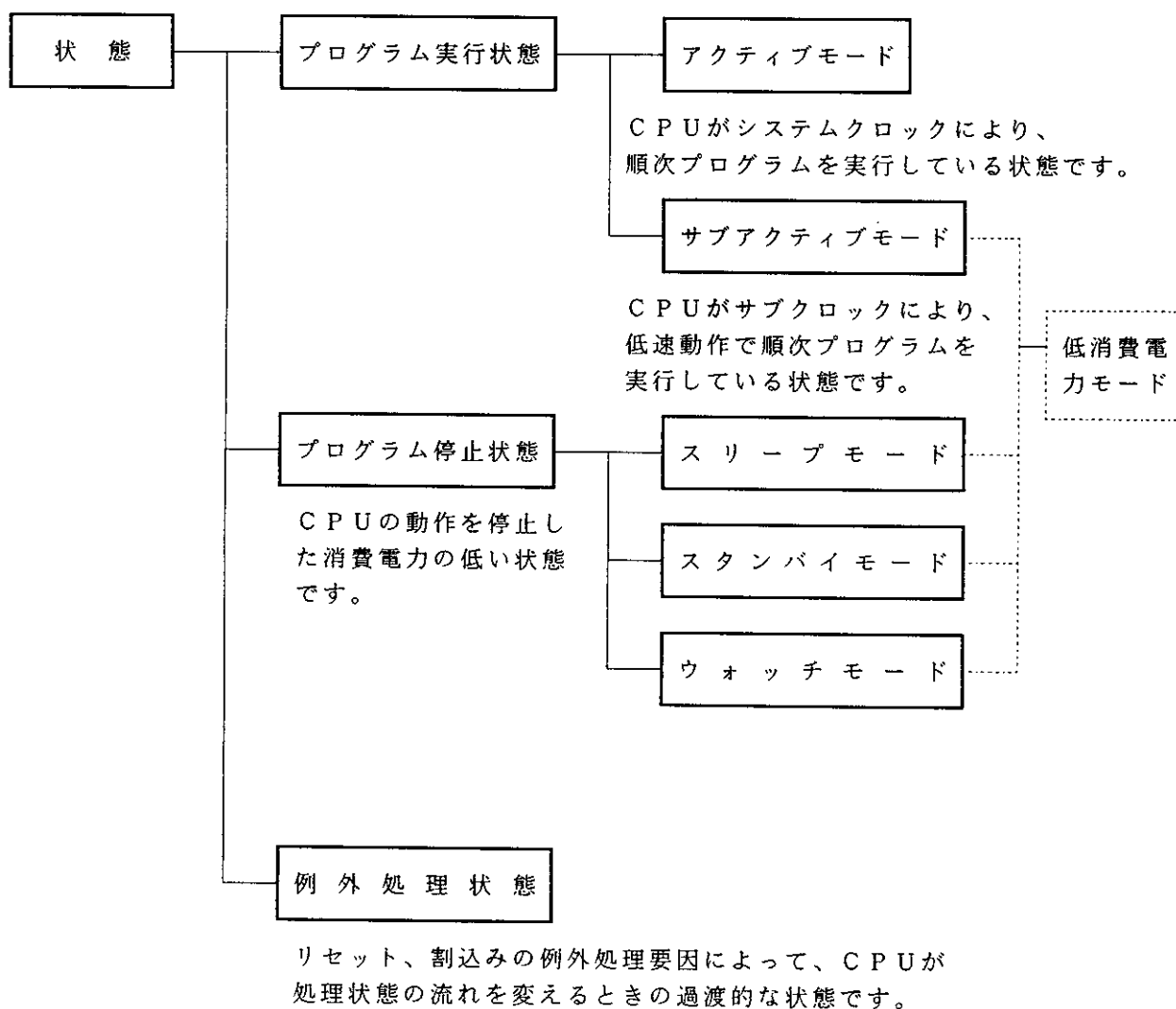
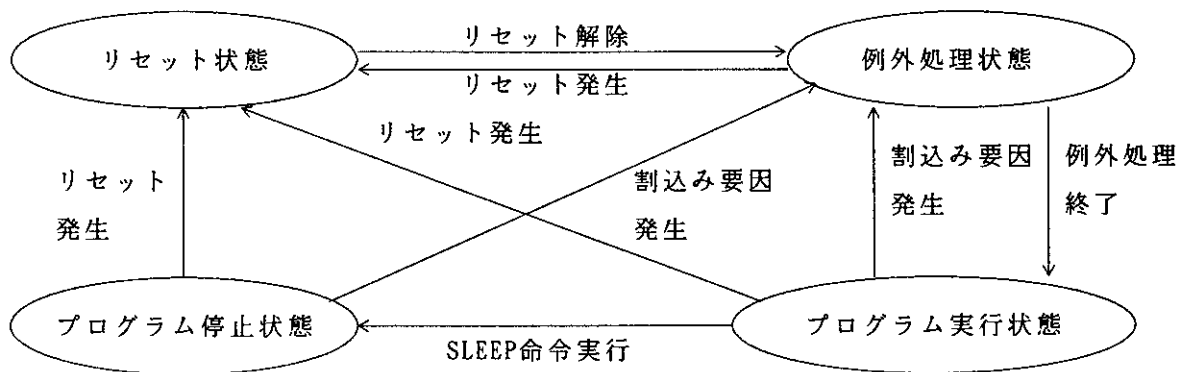


図 2.12 CPUの状態



【注】 各モードの遷移については「3.3 システムのモード」を参照してください。

図 2.13 状態遷移図

### 2.6.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

プログラム実行状態には、アクティブモードとサブアクティブモードの2つのモードがあります。アクティブモードはシステムクロックで、サブアクティブモードはサブクロックで動作します。これらのモードについての詳細は「3.3 システムのモード」を参照してください。

### 2.6.3 プログラム停止状態

プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモードの3つのモードがあります。

各モードについての詳細は、「3.3 システムのモード」を参照してください。

### 2.6.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPUが通常の処理状態の流れを変えるときの過渡的な状態です。割り込み要因による例外処理では、SP(R7)を参照して、PCおよびCCRの回避を行います。

割り込み処理についての詳細は、「3.2.2 割り込み」を参照してください。

## 2.7 基本動作タイミング

CPUは、クロック ( $\phi_i$ ) を基準に動作しています。 $\phi_i$  はクロック発生回路で生成された  $\phi$  または  $\phi_{SUB}$  を示します。すなわちアクティブモードでは  $\phi$  を意味し、サブアクティブモードでは  $\phi_{SUB}$  を意味します。詳しくは「第6章 クロック発振器」を参照してください。 $\phi_i$  の立上がりから次の立上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2ステートで構成され、内蔵メモリ、内蔵周辺モジュールのアクセスはすべて2ステートで行われます。

### 2.7.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図2.14に示します。

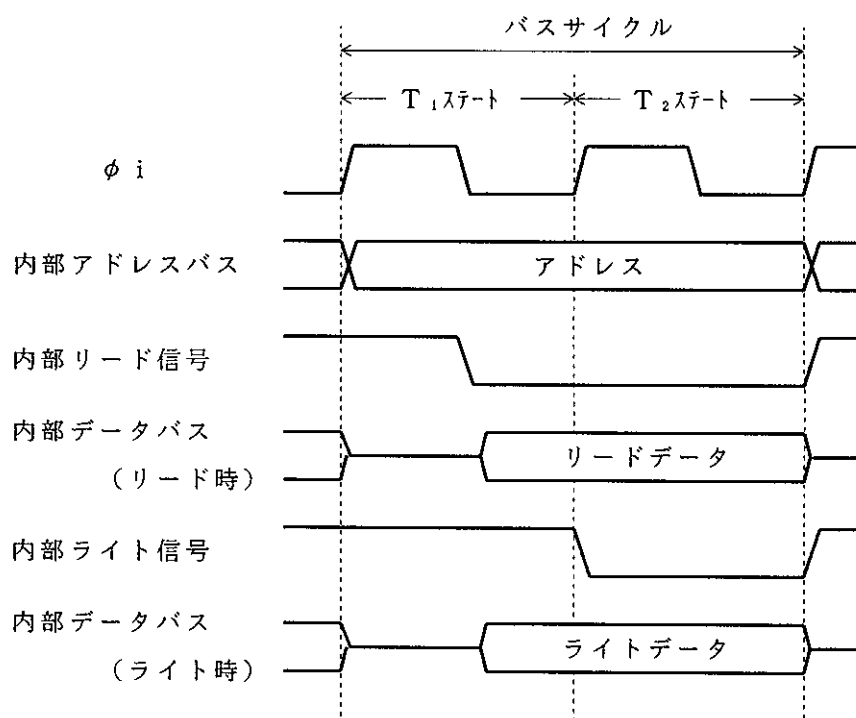


図2.14 内蔵メモリアクセスサイクル

## 2.7.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2命令に分けてアクセスしてください。内蔵周辺モジュールアクセスサイクルを図2.15に示します。

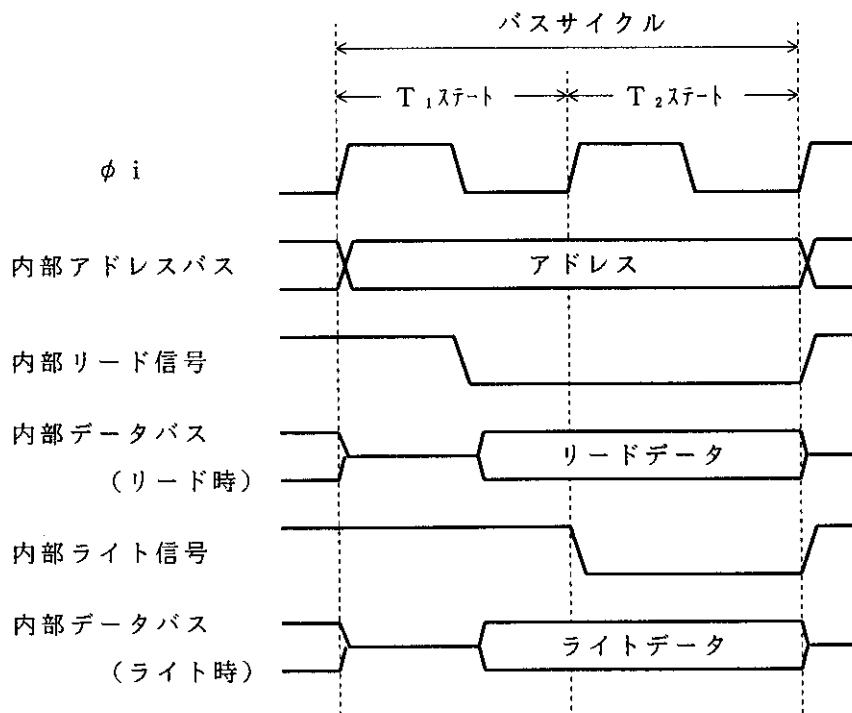


図 2.15 内蔵周辺モジュールアクセスサイクル

## 2.8 使用上の注意事項

### 2.8.1 データアクセスに関する注意事項

以下にH8/300L CPUの使用上の注意事項を示します。

- (1) H8/300L CPUのアドレス空間には、ユーザに開放されたROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤まってこの空きエリアにアクセスを行うと、以下のように動作します。

CPU → 空きエリアへの転送  
転送データは失われます。また、CPU誤動作の原因となる可能性があります。

空きエリア → CPUへの転送  
転送データは保証されません。

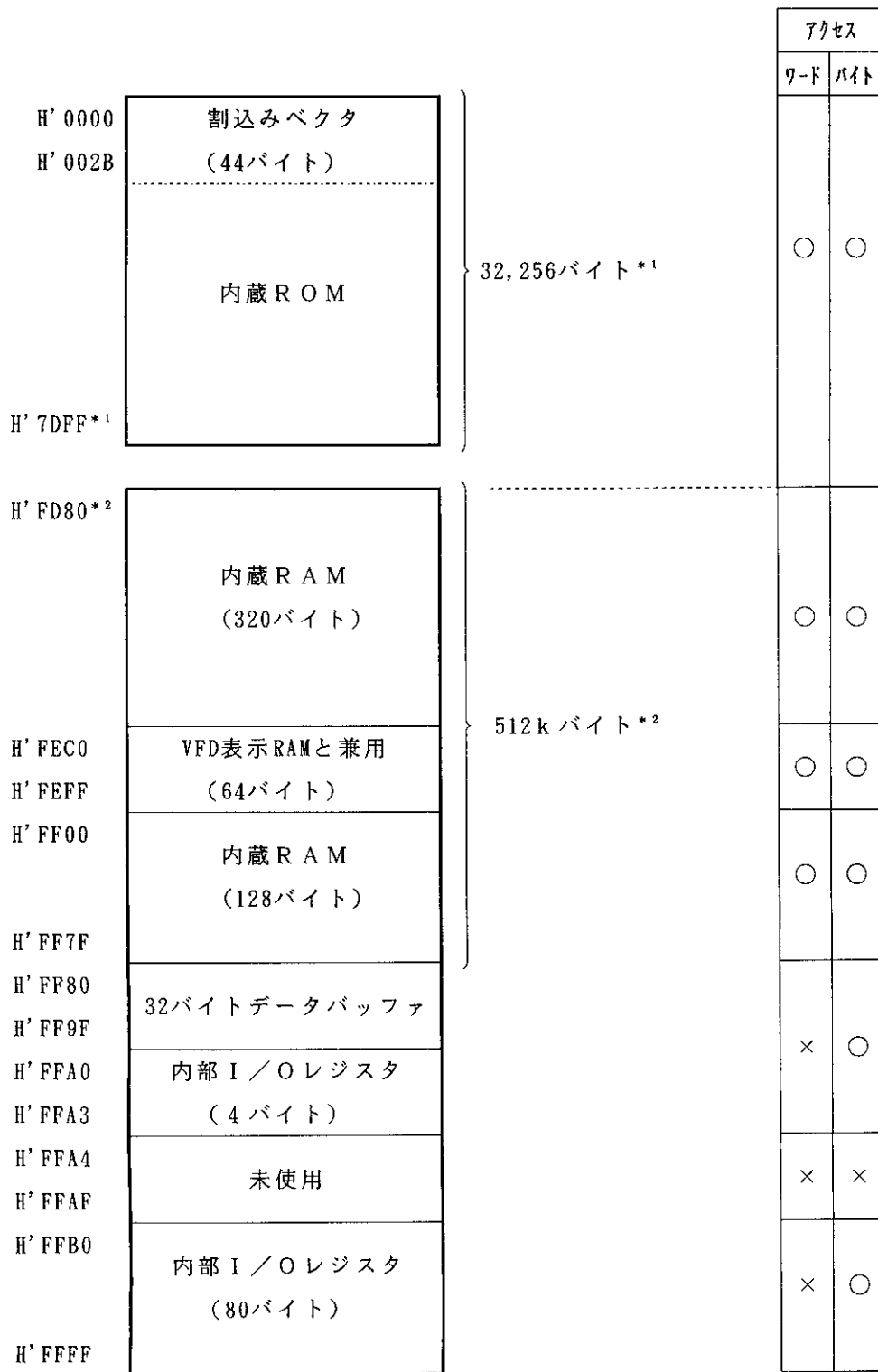
- (2) 内蔵ROM、RAM領域以外の内蔵周辺モジュールは、内部のデータ転送が8ビットで行われます。

この領域にワードアクセスした場合は、以下のように動作します。

CPU → I/Oレジスタ領域へのワードアクセス  
上位バイト : I/Oレジスタに書き込まれます。  
下位バイト : 転送データは失われます。

I/Oレジスタ → CPUへのワードアドレス  
上位バイト : CPU内部レジスタ上位に書き込まれます。  
下位バイト : CPU内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵ROM、RAM領域以外のI/Oレジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。図2.16にアクセスできるデータサイズと内蔵周辺モジュールの対応を示します。



【注】 H8/3714の例です。

\*<sup>1</sup> H8/3713は24,576バイトでアドレスはH'5FFF、H8/3712は16,384バイトでアドレスはH'3FFFとなります。

\*<sup>2</sup> H8/3713、H8/3712は384バイトでアドレスはH'FE00となります。

図 2.16 アクセスできるデータサイズと周辺モジュールの対応

## 2.8.2 ビット操作命令使用上の注意事項

H8/300L CPUは、ビット操作命令をリード→モディファイ→ライトの順に、8ビット単位で実行します。以下のようなレジスタはビット操作命令を使用するとき、該当ビット以外の内容が書き換わることがありますので注意が必要です。

- (1) 同一アドレスに2つのレジスタが割り付けられている場合。(ソースとデスティネーションが異なる場合)

### (例1) タイマロードレジスタ/タイマカウンタ

オートリロードタイマのタイマロードレジスタ/タイマカウンタをビット操作する場合を以下に述べます。

タイマロードレジスタとタイマカウンタはアドレスを共有しているので、

- ① タイマカウンタのその時点の値をリードする。
- ② CPUは該当ビットをセットまたはリセットする。(該当しないビットはそのままの値)(モディファイ)
- ③ モディファイしたデータをタイマロードレジスタにライトする。

タイマカウンタは、システムクロック $\phi$ によりカウントを続けているので、リードした値がタイマロードレジスタとは必ずしも等しくありません。その結果該当ビット以外は異なった値がライトされることがあります。

図2.17にリロードタイマの構成を示します。

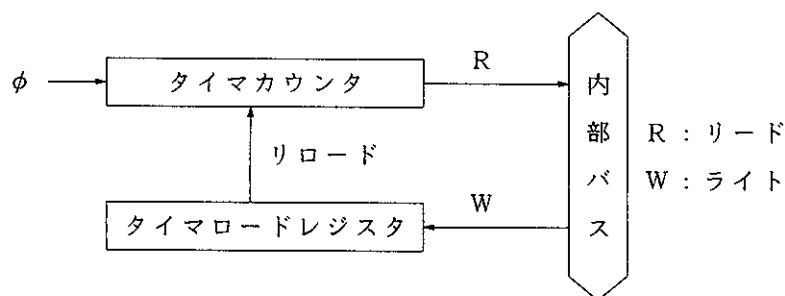


図2.17 リロードタイマの構成

### (例2) ポートデータレジスタ(端子入力とデータレジスタ)

ポートデータレジスタに対してビット操作命令を実行する場合、ビット操作命令を行うポートの該当ビット以外の端子の入出力の状態、またはデータレジスタの内容が、変化する可能性がありますので注意が必要です。

H8/300L CPUは、リード→モディファイ→ライトの順に8ビット単位でビット操作命令を実行します。I/Oポートのデータレジスタと端子入力のリード部が同一アドレスになっているため、ポートに対するビット操作命令は下記の動作をします。



① 高圧端子で操作の対象となるビット以外の端子

- ・入力端子に設定されているとき（データレジスタ = “0”）

端子の入力レベルを読み込み（リード）、該当ビットをセットまたはリセットし（該当ビット以外はそのまま）（モディファイ）、その値をデータレジスタに書き込む（ライト）。入力レベルが“High”レベル（リードデータが“1”）であると、データレジスタに“1”が書き込まれ、入力端子が出力端子（“High”レベル出力）に変化する。

入力レベルが“Low”レベルであれば、変化は起こらない。

- ・出力端子に設定されているとき（データレジスタ = “1”、“High”レベル出力）

出力レベルが入力“High”レベル（ $V_{IH}$ ）より上であれば変化しない。

出力レベルが入力“Low”レベル（ $V_{IL}$ ）より下であればデータレジスタに“0”が書き込まれ、PMOSバッファがオフしプルダウン（“Low”レベル）またはハイインピーダンスとなる。

負荷により出力レベルがダウンし中間レベルとなっているときでは、状態は不定となります。

② 標準端子で該当ビット以外の端子

- ・入力端子に設定されているとき

端子の入力レベルを読み込み、その値をデータレジスタに書き込む。（データレジスタの内容が変化することがある。）

- ・出力端子に設定されているとき

データレジスタを読み込むので、変化は起こらない。

(2) ライト専用レジスタの場合

(例) PWMデータレジスタなど

（ビットごとにリード／ライトが異なるものがあるので注意してください。）

この場合リードすべきレジスタ（ソース側）が存在しないので、該当ビット以外は“1”となります。

表 2.12 に同一アドレスを兼用しているレジスタ一覧を、表 2.13 にライト専用レジスタ一覧を示します。

表 2.12 同一アドレスを兼用しているレジスタ一覧

レジスタ名称	略 称	アドレス
タイマロードレジスタ B / タイマカウンタ B	T L B / T C B	H' FFC3
タイマロードレジスタ C / タイマカウンタ C	T L C / T C C	H' FFC5
タイマロードレジスタ E / タイマカウンタ E	T L E / T C E	H' FFC9
ポートデータレジスタ 1 *	P D R 1	H' FFD1
ポートデータレジスタ 4 *	P D R 4	H' FFD4
ポートデータレジスタ 5 *	P D R 5	H' FFD5
ポートデータレジスタ 6 *	P D R 6	H' FFD6
ポートデータレジスタ 7 *	P D R 7	H' FFD7
ポートデータレジスタ 9 *	P D R 9	H' FFD9

【注】 \* ポートデータレジスタと端子入力が兼用になっています。

表 2.13 ライト専用レジスタ一覧

レジスタ名称	略 称	アドレス
シリアルモードレジスタ	S M R 1	H' FFBO
PWMコントロールレジスタ	P W C R	H' FFCC
PWMデータレジスタ U	P W D R U	H' FFCD
PWMデータレジスタ L	P W D R L	H' FFCE
ポートコントロールレジスタ 1	P C R 1	H' FFE1
ポートコントロールレジスタ 9	P C R 9	H' FFE9
ポートモードレジスタ 0	P M R 0	H' FFEF
タイマモードレジスタ D * <sup>1</sup>	T M D	H' FFC6
システムコントロールレジスタ 2 * <sup>2</sup>	S Y S C R 2	H' FFF1

【注】 \*<sup>1</sup> CLRビット（ビット7）のみライト専用です。

\*<sup>2</sup> DTONビット（ビット3）は、サブアクティブ時のみライト専用です。  
アクティブ時はリード/ライトはできません。

# 3. システムコントロール

## 第3章 目次

3.1	概要	59
3.2	例外処理	59
3.2.1	リセット	59
3.2.2	割込み	61
3.2.3	割込み制御レジスタ	63
3.2.4	外部割込み	72
3.2.5	内部割込み	73
3.2.6	割込み動作	73
3.2.7	割込み復帰動作	78
3.2.8	割込み応答時間	78
3.2.9	各モードにおける有効な割込み要因	79
3.2.10	スタック領域に関する使用上の注意	80
3.3	システムのモード	81
3.3.1	アクティブモード	82
3.3.2	低消費電力モード	82
3.3.3	使用上の注意事項	87
3.4	システムコントロールレジスタ	88
3.4.1	システムコントロールレジスタ1 (SYSCR1)	88
3.4.2	システムコントロールレジスタ2 (SYSCR2)	90



### 3.1 概要

本章では、リセット状態、例外処理、システムの動作モードについて説明します。

### 3.2 例外処理

例外処理には、リセット例外処理と割り込み例外処理があります。表 3.1 に、各例外処理の要因と優先度を示します。リセット例外処理は最も優先度の高い例外処理です。

表 3.1 例外処理の種類と優先度

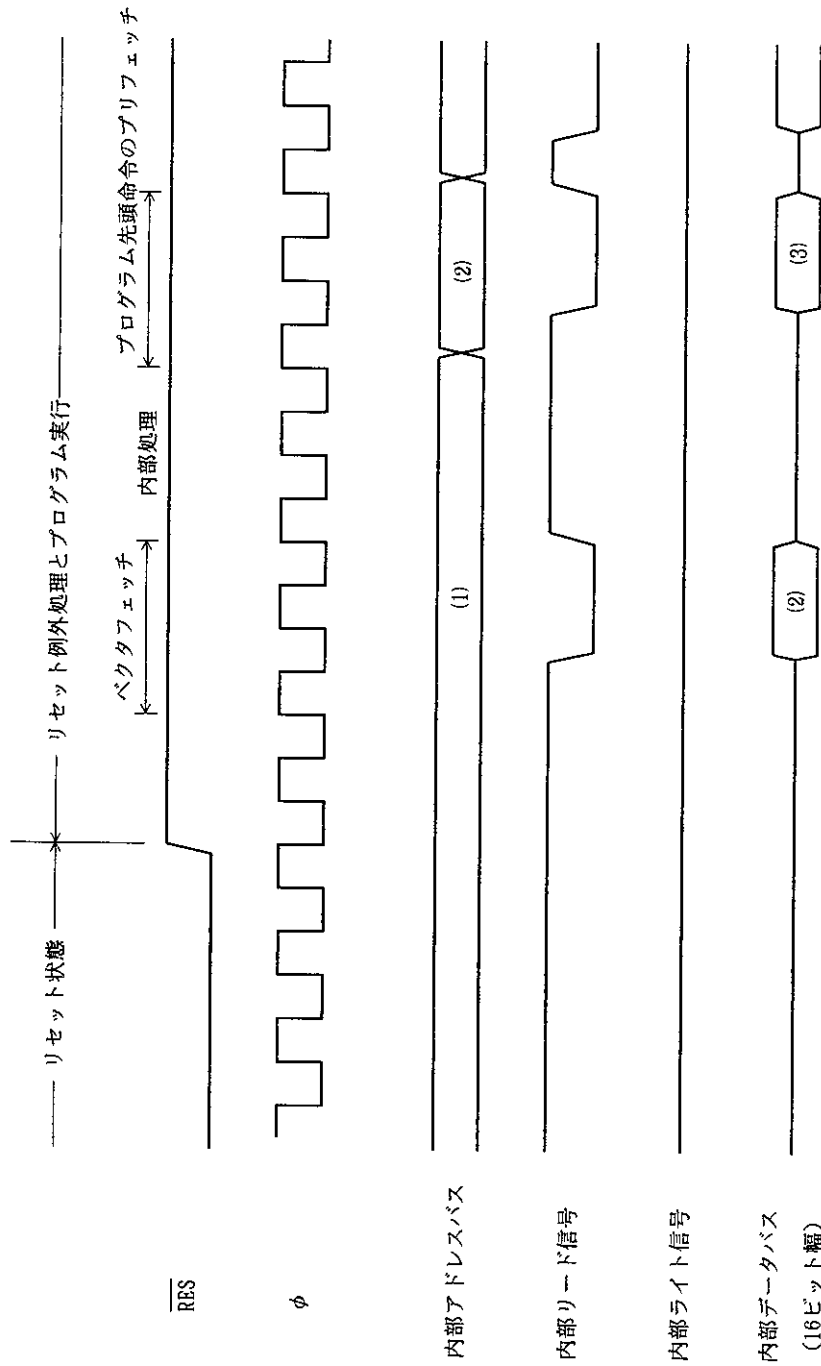
優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	RES端子が“Low”レベルから“High”レベルに変化すると、ただちにリセット例外処理を開始します。
	割り込み	割り込み要求が発生すると、現在の命令の実行終了時に割り込み例外処理を開始します。

#### 3.2.1 リセット

RES端子が“Low”レベルになると、実行中の処理はすべて打ち切られ、リセット状態になります。リセットによって、CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化されます。また、コンディションコードレジスタ（CCR）のIビットがセットされ、すべての割り込みはマスクされます。

RES端子が“Low”レベルから、“High”レベルになると、リセット例外処理が開始されます。リセット例外処理では、リセット例外処理ベクタアドレス(H'0000~H'0001)の示す内容をリードして、プログラムカウンタ（PC）に転送します。その後、PCで示されるアドレスからプログラムの実行を開始します。リセットシーケンスを図 3.1 に示します。

- 【注】
1. リセットを確実にするために、電源投入時には、電源立上がり後、最低20msの間RES端子を“Low”レベルに保持してください。
  2. 動作中にリセットする場合は、最低10システムクロックの間RES端子を“Low”レベルに保持してください。
  3. リセット後、スタックポインタ（SP：R7）をイニシャライズする前に割り込みを受け付けると、PCとCCRの退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割り込み要求が禁止されています。したがって、プログラム作成に際してはSPをイニシャライズした後、割り込み要求禁止を解除するようにしてください。なお、SPには必ず偶数番地をセットしてください。プログラムの先頭命令は、SPをイニシャライズする命令とすることを推奨します（例：MOV.W #xxx:16, SP）。



- (1) リセット例外処理パケットアドレス (H'0000)
- (2) プログラムスタートアドレス
- (3) プログラム先頭命令

図 3.1 リセットシーケンス

### 3.2.2 割込み

割込み例外処理を開始する要因には、外部割込み（IRQ<sub>3</sub>、IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>）による外部要因と内蔵周辺モジュールからの要求による内部要因があります。割込み要因と優先度ならびにベクタアドレスの一覧を表3.2に示します。複数の割込み要求が発生したときは、優先度の高い方から処理されます。

これらの割込みには次のような特長があります。

- (1) 内部割込みおよび外部割込み（IRQ<sub>3</sub>、IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>）は、CCRのIビットによりマスク（保留）されます。すなわちCCRのIビットが“1”にセットされていると、割込み要求フラグはセットされますが、割込みは受け付けられません。
- (2) 外部割込み端子のうちIRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>は、立上がりエッジセンス／立下がりエッジセンスのいずれかに、各々独立に設定することができます。それ以外の外部割込み端子IRQ<sub>3</sub>は、立下がりエッジセンス固定となっています。





### 3.2.3 割込み制御レジスタ

割込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割込み制御レジスタ

名 称	略 称	R/W	初期値	アドレス
ポートモードレジスタ 1	PMR1	R/W	H'0C	H'FFEB
IRQエッジセレクトレジスタ	IEGR	R/W	H'EC	H'FFF2
割込み許可レジスタ 1	IENR1	R/W	H'C0	H'FFF3
割込み許可レジスタ 2	IENR2	R/W	H'00	H'FFF4
割込み許可レジスタ 3	IENR3	R/W	H'3C	H'FFF5
割込み要求レジスタ 1	IRR1	R/W*	H'C0	H'FFF6
割込み要求レジスタ 2	IRR2	R/W*	H'00	H'FFF7
割込み要求レジスタ 3	IRR3	R/W*	H'3C	H'FFF8

【注】\* フラグクリアのための“0”ライトのみ可能です。

#### (1) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	NOISE CANCEL	EVENT	IRQC5	IRQC4	—	—	IRQC1	IRQC0
初期値:	0	0	0	0	1	1	0	0
R/W:	R/W	R/W	R/W	R/W	—	—	R/W	R/W

PMR1は、8ビットのリード/ライト可能なレジスタで、ポート1の各端子を入出力ポート機能として使用するか、外部割込み用入力端子として使用するかを選択します。また、IRQ<sub>0</sub>端子のノイズキャンセル機能のオン/オフを設定します。

【注】 PMR1のIRQ5～IRQ0ビットにより、端子機能を切り換える場合は、割込み許可フラグを割込み禁止とした状態で行ってください。また、端子機能を切り換えた後、一命令において当該割込み要求フラグを“0”にクリアしてください。

(プログラム例)

```

:
:
MOV. B  R0L, @IENR1  ... ..  割込みマスク
MOV. B  R0L, @PMR1   ... ..  端子機能変更
NOP                                     ... ..  任意の一命令
MOV. B  R0L, @IRR1   ... ..  当該割込みクリア
MOV. B  R1L, @IENR1  ... ..  割込みイネーブル
:
:

```

ビット7：ノイズキャンセル（NOISE CANCEL）

$\overline{\text{IRQ}}_0$ 端子のノイズキャンセル機能のオン/オフを設定します。

ビット7	説明
NOISE CANCEL	
0	$\overline{\text{IRQ}}_0$ 端子のノイズキャンセル機能をオフ (初期値)
1	$\overline{\text{IRQ}}_0$ 端子のノイズキャンセル機能をオン 入力を256ステートの間隔で二度サンプリング（入力値が異なっていればノイズとみなします。）

ビット6：P1<sub>6</sub>/ $\overline{\text{EVENT}}$ 端子機能切換え（EVENT）

ビット6	説明
EVENT	
0	P1 <sub>6</sub> / $\overline{\text{EVENT}}$ 端子は、P1 <sub>6</sub> 端子として機能 (初期値)
1	P1 <sub>6</sub> / $\overline{\text{EVENT}}$ 端子は、 $\overline{\text{EVENT}}$ 端子として機能

ビット5：P1<sub>5</sub>/ $\overline{\text{IRQ}}_5$ / $\overline{\text{TMOE}}$ 端子機能切換え（IRQC5）

ビット5	説明
IRQC5	
0	P1 <sub>5</sub> / $\overline{\text{IRQ}}_5$ / $\overline{\text{TMOE}}$ 端子は、P1 <sub>5</sub> / $\overline{\text{TMOE}}$ 端子として機能* (初期値)
1	P1 <sub>5</sub> / $\overline{\text{IRQ}}_5$ / $\overline{\text{TMOE}}$ 端子は、 $\overline{\text{IRQ}}_5$ 端子として機能

【注】\*  $\overline{\text{TMOE}}$ 端子としての使用については「7.3.2(4) ポートモードレジスタ4（PMR4）」を参照してください。

ビット4：P1<sub>4</sub>/ $\overline{\text{IRQ}}_4$ 端子機能切換え（IRQC4）

ビット4	説明
IRQC4	
0	P1 <sub>4</sub> / $\overline{\text{IRQ}}_4$ 端子は、P1 <sub>4</sub> 端子として機能 (初期値)
1	P1 <sub>4</sub> / $\overline{\text{IRQ}}_4$ 端子は、 $\overline{\text{IRQ}}_4$ 端子として機能

ビット3、2：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット1 : P1<sub>1</sub>/ $\overline{IRQ_1}$  端子機能切換え (IRQC1)

ビット1	説明
IRQC1	
0	P1 <sub>1</sub> / $\overline{IRQ_1}$ 端子は、P1 <sub>1</sub> 端子として機能 (初期値)
1	P1 <sub>1</sub> / $\overline{IRQ_1}$ 端子は、 $\overline{IRQ_1}$ 端子として機能

ビット0 : P1<sub>0</sub>/ $\overline{IRQ_0}$  端子機能切換え (IRQC0)

ビット0	説明
IRQC0	
0	P1 <sub>0</sub> / $\overline{IRQ_0}$ 端子は、P1 <sub>0</sub> 端子として機能 (初期値)
1	P1 <sub>0</sub> / $\overline{IRQ_0}$ 端子は、 $\overline{IRQ_0}$ 端子として機能

(2) IRQエッジセレクトレジスタ (IEGR)

ビット :	7	6	5	4	3	2	1	0
	---	---	---	IEG4	---	---	IEG1	IEG0
初期値 :	1	1	1	0	1	1	0	0
R/W :	---	---	---	R/W	---	---	R/W	R/W

IEGRは、8ビットのリード/ライト可能なレジスタで、 $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ 、および $\overline{IRQ_4}$ 端子の立上がりエッジセンス/立下がりエッジセンスを指定します。

ビット7～5 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4 :  $\overline{IRQ_4}$ 端子入力エッジ選択 (IEG4)

ビット4	説明
IEG4	
0	$\overline{IRQ_4}$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{IRQ_4}$ 端子入力の立上がりエッジを検出

ビット3、2 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット1： $\overline{IRQ}$ 端子入力エッジ選択（IEG1）

ビット1 IEG1	説明
0	$\overline{IRQ}$ 端子入力の立下がりエッジを検出（初期値）
1	$\overline{IRQ}$ 端子入力の立上がりエッジを検出

ビット0： $\overline{IRQ}$ 端子入力エッジ選択（IEG0）

ビット0 IEG0	説明
0	$\overline{IRQ}$ 端子入力の立下がりエッジを検出（初期値）
1	$\overline{IRQ}$ 端子入力の立上がりエッジを検出

(3) 割込み許可レジスタ1（IENR1）

ビット：	7	6	5	4	3	2	1	0
	—	—	IEN5	IEN4	—	—	IEN1	IEN0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

IENR1は、8ビットのリード/ライト可能なレジスタで、外部割込み要求の許可/禁止を制御します。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5、4： $\overline{IRQ}_5$ 、 $\overline{IRQ}_4$ 割込み許可（IEN5、IEN4）

ビット5、4 IEN5、IEN4	説明
0	IRRI5、IRRI4による割込み要求を禁止
1	IRRI5、IRRI4による割込み要求を許可

ビット3、2：リザーブビット

リザーブビットです。リード/ライト可能です。

ビット1、0 : IRQ<sub>1</sub>、IRQ<sub>0</sub>割込み許可 ( IEN1、IEN0 )

ビット1、0	説明
IEN1、IEN0	
0	IRRI1、IRRI0による割込み要求を禁止
1	IRRI1、IRRI0による割込み要求を許可

(4) 割込み許可レジスタ2 ( IENR2 )

ビット :	7	6	5	4	3	2	1	0
	—	—	IENDT	IENTE	IENDT	IENTC	IENB	IENTA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR2は、8ビットのリード/ライト可能なレジスタで、ダイレクト遷移割込み、タイマA～Eのオーバーフロー割込みの許可/禁止を制御します。

ビット7、6 : リザーブビット

リザーブビットです。リード/ライト可能です。

ビット5 : ダイレクト遷移割込み許可 ( IENDT )

ビット5	説明
IENDT	
0	IRRDTによる割込み要求ダイレクト遷移を禁止 (初期値)
1	IRRDTによる割込み要求を許可

ビット4～0 : タイマE～A割込み許可 ( IENTE～IENTA )

ビット4～0	説明
IENTE～IENTA	
0	IRRTE～IRRTAによる割込み要求を禁止 (初期値)
1	IRRTE～IRRTAによる割込み要求を許可

(5) 割込み許可レジスタ3 ( IENR3 )

ビット :	7	6	5	4	3	2	1	0
	IENAD	IENKS	—	—	—	—	IENS2	IENS1
初期値 :	0	0	1	1	1	1	0	0
R/W :	R/W	R/W	—	—	—	—	R/W	R/W

IENR3は、8ビットのリード/ライト可能なレジスタで、A/D変換終了割込み、キースキャン割込み、シリアルコミュニケーションインタフェース1、2割込みの許可/禁止を制御します。

ビット7：A/D変換終了割込み許可（IENAD）

ビット7 IENAD	説明
0	IRRADによる割込み要求を禁止 (初期値)
1	IRRADによる割込み要求を許可

ビット6：キースキャン割込み許可（IENKS）

ビット6 IENKS	説明
0	IRRKSによる割込み要求を禁止 (初期値)
1	IRRKSによる割込み要求を許可

ビット5～2：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット1、0：シリアルコミュニケーションインタフェース2、1割込み許可  
(IENS2、IENS1)

ビット1、0 IENS2, IENS1	説明
0	IRRS2、IRRS1による割込み要求を禁止 (初期値)
1	IRRS2、IRRS1による割込み要求を許可

(6) 割込み要求レジスタ1（IRR1）

ビット：	7	6	5	4	3	2	1	0
	—	—	IRRI5	IRRI4	—	—	IRRI1	IRRI0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	R/W*	R/W*	—	—	R/W*	R/W*

【注】\* フラグクリアのための“0”ライトのみ可能です。

IRR1は、8ビットのリード/ライト可能なレジスタで、外部割込み要求が発生すると“1”にセットされます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5、4：IRQ<sub>s</sub>、IRQ<sub>r</sub>割込み要求（IRRI5、IRRI4）

ビット5、4 IRRI5、IRRI4	説明
0	対応する $\overline{IRQ}_s$ 、 $\overline{IRQ}_r$ 端子による割込み要求なし (初期値)
1	〔セット条件〕 P M R 1により対応する $\overline{IRQ}_s$ 、 $\overline{IRQ}_r$ 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき 〔クリア方法〕 当該フラグにソフトウェアで“0”をライトしてクリア (割込みが受け付けられてもオートクリアされません。)

ビット3、2：リザーブビット

リザーブビットです。リードすると常に“0”が読み出されます。ライトは無効です。

ビット1、0：IRQ<sub>i</sub>、IRQ<sub>o</sub>割込み要求（IRRI1、IRRI0）

ビット1、0 IRRI1、IRRI0	説明
0	対応する $\overline{IRQ}_i$ 、 $\overline{IRQ}_o$ 端子による割込み要求なし (初期値)
1	〔セット条件〕 P M R 1により対応する $\overline{IRQ}_i$ 、 $\overline{IRQ}_o$ 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき 〔クリア方法〕 当該フラグにソフトウェアで“0”をライトしてクリア (割込みが受け付けられてもオートクリアされません。)

(7) 割込み要求レジスタ2（IRR2）

ビット：	7	6	5	4	3	2	1	0
	—	—	IRRDT	IRRTE	IRRTD	IRRTC	IRRTB	IRRTA
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】\* フラグクリアのための“0”ライトのみ可能です。

IRR2は、8ビットのリード/ライト可能なレジスタで、ダイレクト遷移割込み要求、タイマA～Eのオーバフロー割込み要求が発生すると対応するフラグが“1”にセットされます。

#### ビット7、6：リザーブビット

リザーブビットです。リードすると常に“0”が読み出されます。ライトは“0”のみ可能です。

#### ビット5：ダイレクト遷移割込み要求（IRRDT）

ビット4	説 明
IRRDT	
0	ダイレクト遷移割込み要求なし (初期値)
1	<p>〔セット条件〕</p> <p>サブアクティブモード時、システムコントロールレジスタ2 (SYSCR2) のDTONビット=“1”、かつシステムコントロールレジスタ1 (SYSCR1) のLSONビット=“0”、かつ割込み許可レジスタ2 (IENR2) のIENDTビット=“1”の状態、SLEEP命令を実行すると、ウォッチモードを経由してアクティブモードに直接遷移します。このとき、ダイレクト遷移割込みが要求され、IRRDTフラグは“1”にセットされます。</p> <p>〔クリア方法〕</p> <p>当該フラグにソフトウェアで“0”をライトしてクリア (割込みが受け付けられてもオートクリアされません。)</p>

#### ビット4～0：タイマE～A割込み要求（IRRTE～IRRTA）

ビット4～0	説 明
IRRTE～IRRTA	
0	対応するタイマE～Aによるオーバフロー割込み要求なし (初期値)
1	<p>〔セット条件〕</p> <p>タイマE～Aにより、オーバフロー割込みが要求されたとき</p> <p>〔クリア方法〕</p> <p>当該フラグにソフトウェアで“0”をライトしてクリア (割込みが受け付けられてもオートクリアされません。)</p>



(8) 割込み要求レジスタ3 (IRR3)

ビット:	7	6	5	4	3	2	1	0
	IRRAD	IRRKS	—	—	—	—	IRRS2	IRRS1
初期値:	0	0	1	1	1	1	0	0
R/W:	R/W*	R/W*	—	—	—	—	R/W*	R/W*

【注】\* フラグクリアのための“0”ライトのみ可能です。

ビット7: A/D変換終了割込み要求 (IRRAD)

ビット7	説明
IRRAD	
0	A/D変換終了割込み要求なし (初期値)
1	[セット条件] A/D変換器によるA/D変換終了後、割込み要求が発生し“1”にセット [クリア方法] 当該フラグにソフトウェアで“0”をライトしてクリア (割込みが受け付けられてもオートクリアされません。)

ビット6: キースキャン割込み要求 (IRRKS)

ビット6	説明
IRRKS	
0	VFDコントローラ/ドライバによるキースキャン割込み要求なし (初期値)
1	[セット条件] VFDコントローラ/ドライバが、キースキャン割込みを要求したとき“1”にセット [クリア方法] 当該フラグにソフトウェアで“0”をライトしてクリア (割込みが受け付けられてもオートクリアされません。)

ビット5~2: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット1、0：シリアルコミュニケーションインタフェース2、1割込み要求  
(IRRS2、IRRS1)

ビット1～0 IRRS2、IRRS1	説 明
0	対応するシリアルコミュニケーションインタフェースによる転送完了、またはエラー割込み要求なし (初期値)
1	〔セット条件〕 シリアルコミュニケーションインタフェース2、1が、転送完了、エラーにより割込みを要求したとき、対応するIRRS2、IRRS1、フラグは“1”セット 〔クリア方法〕 当該フラグにソフトウェアで“0”をライトしてクリア (割込みが受け付けられてもオートクリアされません。)

### 3.2.4 外部割込み

外部割込みには、IRQ<sub>5</sub>、IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>割込みの4要因があります。

IRQ<sub>5</sub>、IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>割込みは、IRQ<sub>5</sub>、IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>端子の入力信号により要求されます。

IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>割込みは、立上がりエッジセンス/立下がりエッジセンスをIRQエッジセレクトレジスタ(IEGR)のIEG4、IEG1、IEG0ビットにより指定することができます。これ以外の外部割込みIRQ<sub>5</sub>は、立下がりエッジセンス固定となっています。なお、外部割込み入力を有効とするためには、ポートモードレジスタ1(PMR1)の対応するビットをあらかじめ“1”にセットしておく必要があります。

IRQ<sub>5</sub>、IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>端子に所定のエッジが入力されると、割込み要求レジスタ1(IRRS1)の対応するビットが“1”にセットされます。割込み受け付け後も、一度セットされたフラグはオートクリアされませんので、割込み処理ルーチン中で“0”にクリアしてください。また、対応する割込み許可フラグを“0”にクリアすることにより当該割込み要求の受け付けはマスク(保留)されます。

IRQ<sub>5</sub>、IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>割込みは、割込み許可レジスタ1(IENR1)のIEN5、IEN4、IEN1、IEN0ビットを“1”にセットすることにより、割込み要求を許可します。また、CCRのIビットを“1”にセットすることにより、すべての割込みをマスク(保留)できます。

IRQ<sub>5</sub>、IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>割込みの割込み要求が受け付けられると、Iビットは“1”にセットされます。優先順位は、IRQ<sub>5</sub>(低)→IRQ<sub>0</sub>(高)の順に高くなります。詳細は表3.2を参照してください。

IRQ<sub>0</sub>割込みは、ノイズキャンセル回路により256ステートの間隔で二度サンプリングし、入力値が異なる場合にノイズとみなして受け付けられないようにすることができます。

### 3.2.5 内部割込み

内蔵周辺モジュールからの割込みによる内部割込み要因は10要因あります。いずれの割込みもCCRのIビットを“1”にセットすることによりマスク（保留）されます。これらの割込み要求が受け付けられ割込み例外処理が実行されると、Iビットは“1”にセットされます。内蔵周辺モジュールからの割込みの優先順位については、表3.2を参照してください。

### 3.2.6 割込み動作

割込みは、割込みコントローラによって制御されます。

割込みコントローラのブロック図を図3.2に、割込み受け付けまでのフローを図3.3に示します。

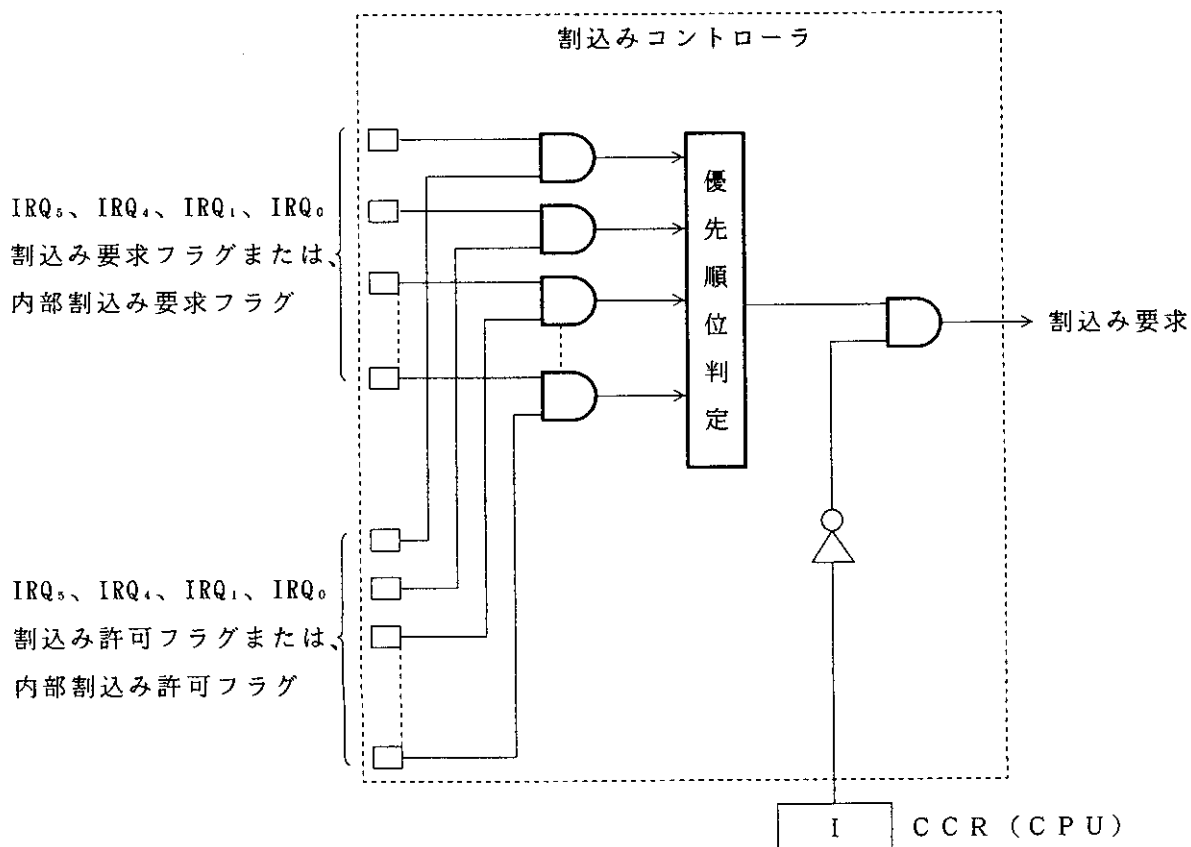
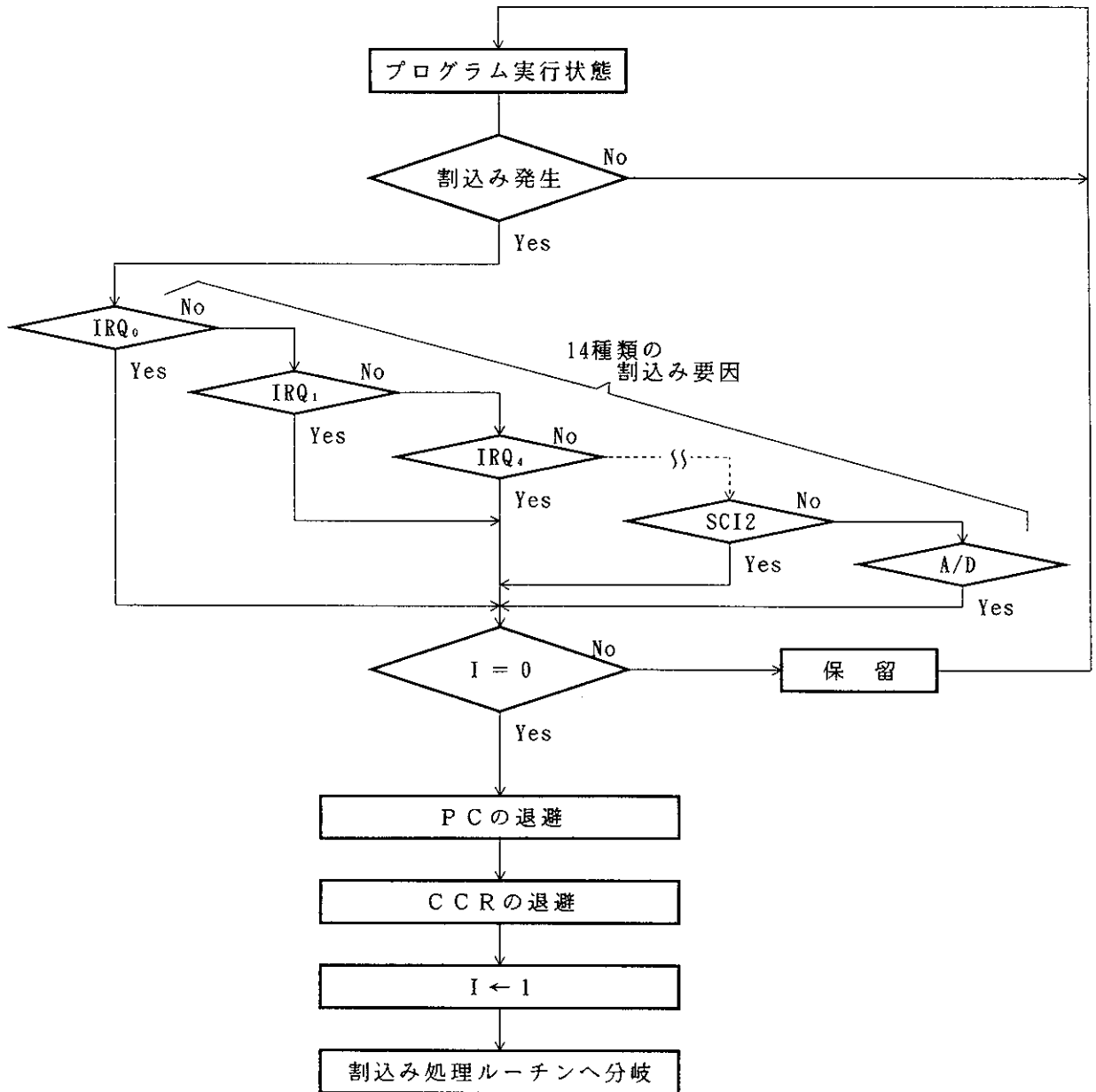


図3.2 割込みコントローラのブロック図



<記号説明>

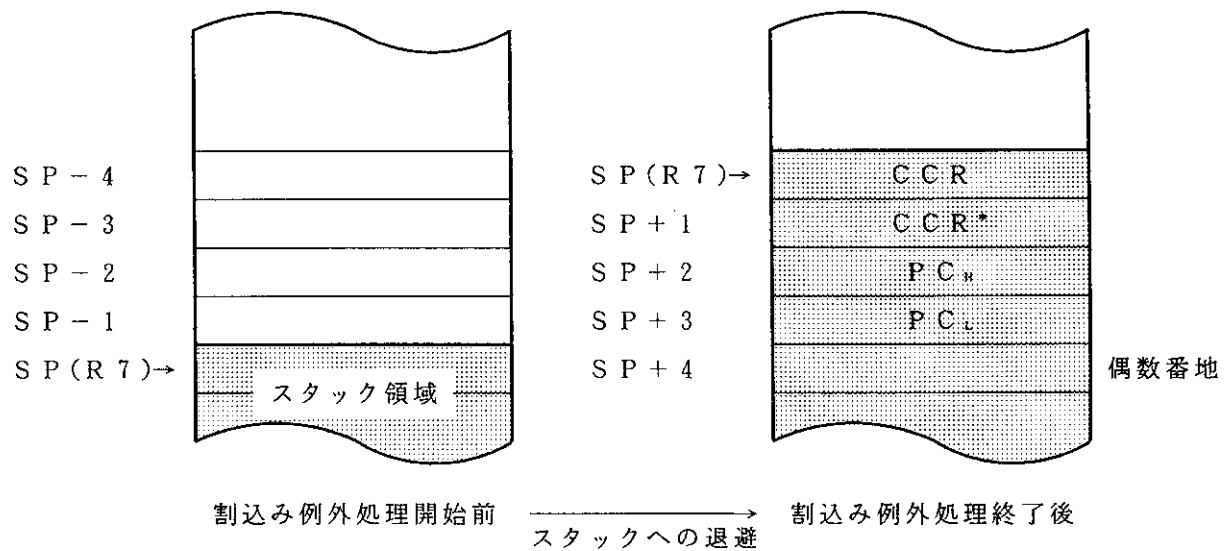
- PC : プログラムカウンタ
- CCR : コンディションコードレジスタ
- I : CCRのIビット

図 3.3 割り込み受けまでのフロー

割込み動作を以下に示します。

- (1) 外部割込み端子入力、および周辺モジュールにより割込み要因が発生すると、割込みコントローラに対して割込み要求信号が送られます。
- (2) 割込みコントローラは、割込み要求信号が送られてくると割込み要求フラグをセットします。
- (3) 対応する割込み許可フラグが“1”にセットされている割込みの中で、最も優先順位の高い割込み要求が選択され、その他は保留となります（表 3.2 を参照してください）。
- (4) CCR の I ビットを参照し、I ビットが“0”にクリアされているときは、最も優先順位の高い割込み要求が受け付けられます。I ビットが“1”にセットされている場合は、割込み要求は保留となります。
- (5) 割込み要求が受け付けられると、実行中の命令が終了した後、PC と CCR がスタック領域に退避されます。このときのスタックの状態を図 3.4 に示します。スタックされる PC は、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCR の I ビットが“1”にセットされます。これによりすべての割込みは禁止されます。
- (7) 受け付けた割込みに対応するベクタアドレスを生成し、そのアドレスが示す内容をリードし、PC に転送します。その後 PC で示されるアドレスからプログラムの実行を開始します。

【注】 ORC、ANDC、XORC、LDC 命令終了時には割込み要因の検出を行いません。



<記号説明>

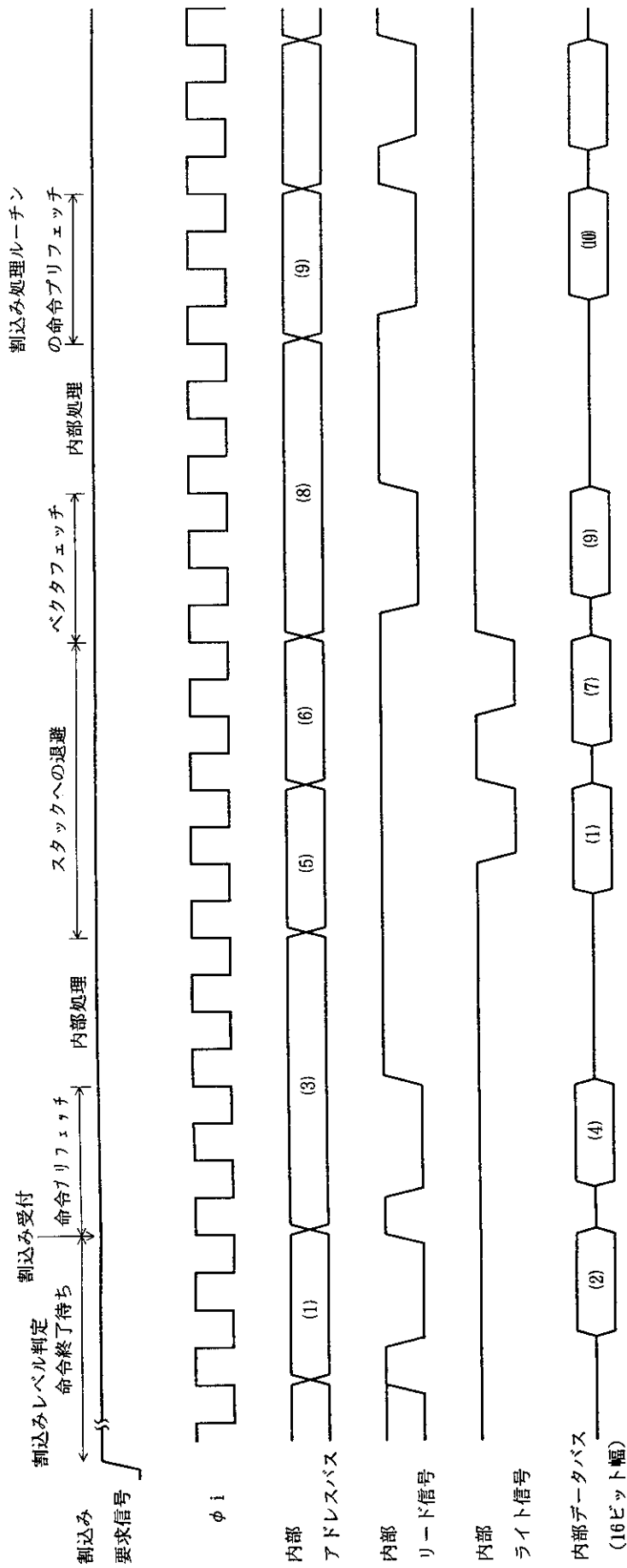
- PC<sub>H</sub> : プログラムカウンタ (PC) の上位 8 ビット
- PC<sub>L</sub> : プログラムカウンタ (PC) の下位 8 ビット
- CCR : コンディションコードレジスタ
- SP : スタックポインタ

【注】 \* リターン時には無視されます。

1. PC はリターン後に実行する最初の命令のアドレスです。
2. レジスタの退避 / 復帰は必ずワードサイズで、偶数アドレスから行ってください。

図 3.4 割り込み例外処理終了後のスタック状態

割り込みシーケンスを図 3.5 に示します。

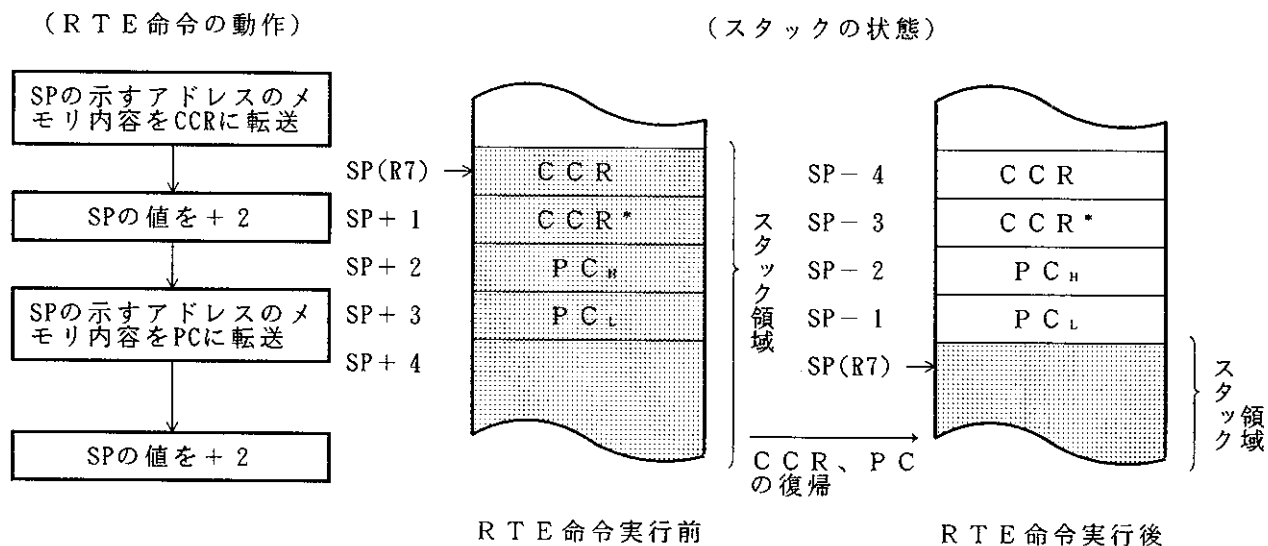


- (1) 命令のプリフェッチアドレス (実行されません。退避PCの内容であり、リターンアドレスです。)  
 (2)(4) 命令コード (実行されません。)  
 (3) 命令のプリフェッチアドレス (実行されません。)  
 (5) SP-2 (ベクタアドレスの内容)  
 (7) CCR (ベクタアドレスの内容)  
 (00) 割り込み処理ルーチン先頭命令

図 3.5 割り込みシーケンス

### 3.2.7 割込み復帰動作

割込み処理終了後、割込み処理ルーチンの最後でRTE命令を実行して、割込み前のルーチンに復帰します。RTE命令を実行すると図3.6に示すように、スタック領域に退避されていた内容がCCRおよびPCに戻されます。戻されたPCの示すアドレスから命令の実行が再開されます。



【注】\* リターン時には無視されます。

図3.6 RTE命令実行のスタック状態

### 3.2.8 割込み応答時間

割込み要求フラグセット後、割込み処理ルーチンの先頭命令を実行するまでの、待ち状態数を表3.4に示します。

表3.4 割込み待ち状態数

No.	項目	状態数
1	実行中の命令終了時の待ち時間*	1~13
2	PC、CCRのスタック	4
3	ベクタフェッチ	2
4	命令フェッチ	4
5	内部処理	4
	合計	15~27

【注】\* EEPMOV命令は除きます。



### 3.2.9 各モードにおける有効な割込み要因

各モードにおける有効な割込み要因を表3.5に示します。各モードの詳細は、「3.3 システムのモード」を参照してください。

表3.5 各モードにおける有効な割込み要因

要 因 \ モード	アクティブ	スリープ	スタンバイ	ウォッチ	サブ アクティブ
IRQ <sub>0</sub>	○	○	○	○	○
IRQ <sub>1</sub>	○	○	○	×	×
IRQ <sub>4</sub>	○	×	×	×	×
IRQ <sub>5</sub>	○	×	×	×	×
キースキャン	○	×	×	×	×
タイマAオーバフロー	○	○	×	○	○
タイマBオーバフロー	○	×	×	×	×
タイマCオーバフロー	○	×	×	×	×
タイマDオーバフロー	○	×	×	×	×
タイマEオーバフロー	○	×	×	×	×
ダイレクト遷移	×	×	×	×	△
SCI1転送完了、エラー	○	×	×	×	×
SCI2転送完了、エラー	○	×	×	×	×
A/D変換終了	○	×	×	×	×

【注】 本表はモード遷移途中に発生した割込みは含みません。

#### <記号説明>

○：割込み要求フラグをセットし、CCRのIビット＝“0”かつ当該割込み許可ビット＝“1”のとき、割込み例外処理を開始します。ただし、スリープモード、スタンバイモード、ウォッチモード時は、モード遷移後割込み例外処理を開始します。

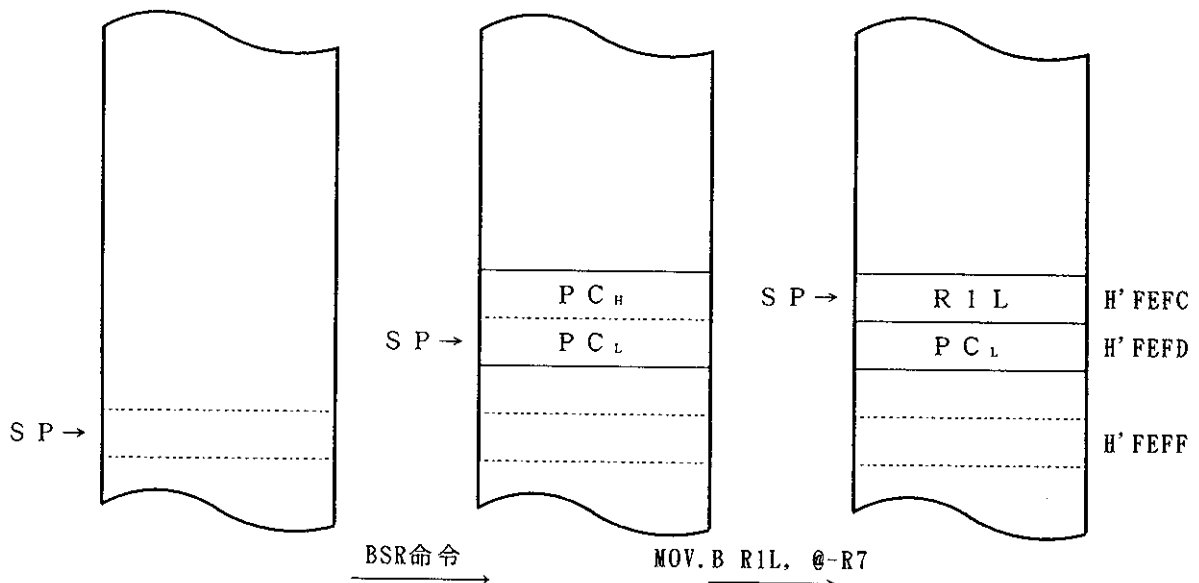
△：DTONビット＝“1”かつLSONビット＝“0”の状態、SLEEP命令を実行すると、ウォッチモードへ遷移し、サブクロックに同期して割込み要求フラグがセットされます。割込み要求フラグがセットされると、当該割込み許可ビット＝“1”かつCCRのIビット＝“0”のとき、アクティブモードへ遷移し、割込み例外処理を開始します。

×：割込み要求フラグはセットされず、モード遷移も行われません。

### 3.2.10 スタック領域に関する使用上の注意

H8/300Lシリーズでは、ワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP:R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SPに奇数を設定すると、誤動作の原因となります。SPに奇数を設定した場合の動作例を図3.7に示します。



SPにH'FEFFを設定

SPを超えてスタックされる。PC<sub>H</sub>の内容が失われる。

#### <記号説明>

PC<sub>H</sub> : プログラムカウンタの上位バイト

PC<sub>L</sub> : プログラムカウンタの下位バイト

R1L : 汎用レジスタのR1L

SP : スタックポインタ

図3.7 SPに奇数を設定したときの動作

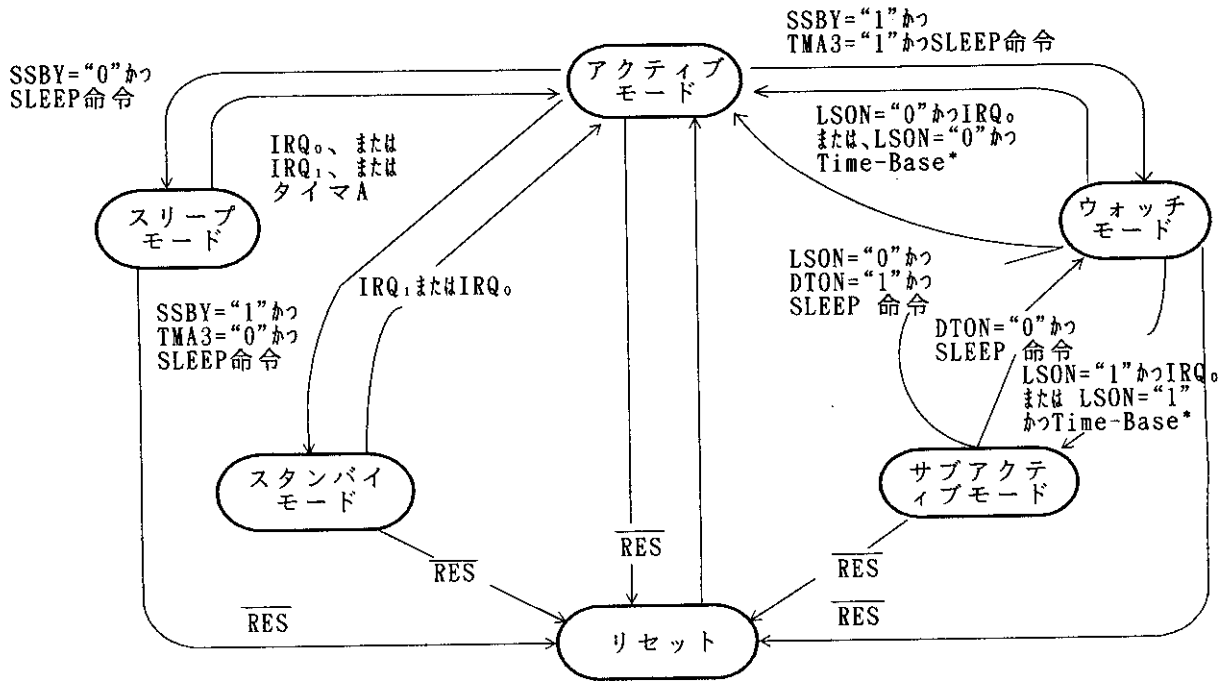
また、割込み例外処理およびRTE命令実行時のCCRの退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともにCCRの値が退避されます。復帰時には、偶数アドレスの値がCCRに格納され、奇数アドレスの値は無視されます。

### 3.3 システムのモード

本LSIには、次の5種類のモードがあり、消費電力を低下させる低消費電力モードを備えています。

- ・アクティブモード
  - ・スリープモード
  - ・スタンバイモード
  - ・ウォッチモード
  - ・サブアクティブモード
- } 低消費電力モード

図3.8にモード遷移図を示します。



【注】\* Time-Base: サブクロックを用いた時計用タイムベース動作時のタイマA割込み

図3.8 モード遷移図

### 3.3.1 アクティブモード

CPUがシステムクロックにより、プログラムを順次実行するモードです。

### 3.3.2 低消費電力モード

低消費電力モードには、スリープモード、スタンバイモード、ウォッチモード、サブアクティブモードの4つのモードがあります。

- ・スリープモード : スリープモードは、システムコントロールレジスタ1 (SYSCR1) のSSBYビット=“0”の状態ですLEEP命令を実行することによって遷移するモードです。CPUおよび内蔵周辺モジュール(タイマAを除く)は、SLEEP命令実行直後で動作を停止します。CPUと内蔵周辺モジュールの内部レジスタ、および内蔵RAMの内容は保持されます。
- ・スタンバイモード : スタンバイモードは、システムコントロールレジスタ1 (SYSCR1) のSSBYビット=“1”かつタイマモードレジスタA (TMA) のTMA3ビット=“0”の状態です、SLEEP命令を実行することによって遷移するモードです。  
CPUおよびシステムクロックをはじめ、内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限りCPUと内蔵周辺モジュールの内部レジスタ、および内蔵RAMの内容は保持されます。また、I/Oポートの標準ポートはハイインピーダンス、高耐圧ポートはPMOSバッファオフの状態になります。
- ・ウォッチモード : ウォッチモードは、システムコントロールレジスタ1 (SYSCR1) のSSBYビット=“1”かつタイマモードレジスタA (TMA) のTMA3ビット=“1”の状態です、SLEEP命令を実行することによって遷移するモードです。  
CPUおよびシステムクロックをはじめ、内蔵周辺モジュール(タイマAを除く)は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限りCPUと内蔵周辺モジュールの内部レジスタ、および内蔵RAMの内容は保持されます。また、I/Oポートの標準ポートはハイインピーダンス、高耐圧ポートはPMOSバッファオフの状態になります。

- ・サブアクティブモード：ウォッチモードから、システムコントロールレジスタ1 (SYSCR1) の LSONビット = “1” の状態で、Time-BaseまたはIRQ<sub>0</sub>を受け付けることによって遷移するモードです。  
CPUは、サブクロックで動作します。タイマA以外の内蔵周辺モジュール（タイマAの時計機能を除く）は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限り内蔵周辺モジュールの内部レジスタの内容は保持されます。また、I/Oポートの標準ポートはハイインピーダンス、高耐圧ポートはPMOSバッファオフの状態になります

各モードの内部状態について表3.6に示します。

表3.6 各モード時の内部状態

機能		アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
システムクロック		動作	動作	停止	停止	停止
サブクロック		動作	動作	動作	動作	動作
CPU動作	命令	動作	停止	停止	停止	動作
	RAM	動作	保持	保持	保持	動作
	レジスタ	動作	保持	保持	保持	動作
	I/O	動作	保持	保持* <sup>1</sup>	保持* <sup>1</sup>	動作* <sup>1,2</sup>
周辺機能 割込み	IRQ <sub>0</sub>	動作	動作	動作	動作	動作
	IRQ <sub>1</sub>	動作	動作	動作	保持	保持
	IRQ <sub>4</sub> 、IRQ <sub>5</sub>	動作	保持	保持	保持	保持
	タイマA	動作	動作	保持	動作* <sup>3</sup>	動作* <sup>3</sup>
	タイマB	動作	保持	保持	保持	保持
	タイマC	動作	保持	保持	保持	保持
	タイマD	動作	保持	保持	保持	保持
	タイマE	動作	保持	保持	保持	保持
	SCI1、2	動作	保持	保持	保持	保持
	VFD	動作	保持	保持	保持	保持
	PWM	動作	保持	保持	保持	保持
A/D	動作	保持	保持	保持	保持	

- 【注】 \*<sup>1</sup> レジスタは保持、出力はハイインピーダンス。  
\*<sup>2</sup> 入力（リード）は動作。  
\*<sup>3</sup> 時計機能を選択時に動作。

## (1) スリープモード

スリープモードの動作を以下に示します。

### ① スリープモードへの遷移

システムコントロールレジスタ1 (SYSCR1) のSSBYビットが“0”のときに、SLEEP命令を実行すると、アクティブモード状態からスリープモードに遷移します。スリープモードでは、CPUの動作は停止しますが、レジスタ、RAM、ポートの内容は保持されます。発振器は動作し、外部割込み (IRQ<sub>1</sub>、IRQ<sub>0</sub>)、タイマAも動作します。

### ② スリープモードの解除

スリープモードの解除は、割込み (IRQ<sub>1</sub>、IRQ<sub>0</sub>、タイマA)、またはRES端子入力によって行われます。

#### ・割込み (IRQ<sub>1</sub>、IRQ<sub>0</sub>、タイマA) による解除

IRQ<sub>1</sub>、IRQ<sub>0</sub>、またはタイマA割込み要求が発生すると、スリープモードは解除され、割込み例外処理を開始します。なお、コンディションコードレジスタ (CCR) のIビットが“1”の場合と、割込み許可レジスタにより当該割込みの受け付けが禁止されている場合は、スリープ状態は解除されません。

また、スリープモードに遷移する前に、他の割込みはディスエーブルとしてください。

#### ・RES端子による解除

RES端子を“Low”レベルにすると、リセット状態に遷移し、スリープモードは解除されます。

## (2) スタンバイモード

スタンバイモードの動作を以下に示します。

### ① スタンバイモードへの遷移

システムコントロールレジスタ1 (SYSCR1) のSSBYビット=“1”かつタイマモードレジスタA (TMA) のTMA3ビット=“0”のときに、SLEEP命令を実行すると、アクティブモードからスタンバイモードに遷移します。スタンバイモードでは、発振器が停止するため、CPUおよび内蔵周辺モジュールの機能が停止します。規定の電圧が与えられている限り、CPUのレジスタと内蔵RAMのデータは保持されています。また、I/Oポートの標準ポートはハイインピーダンス、高耐圧ポートはPMOSバッファオフの状態になります。

### ② スタンバイモードの解除

スタンバイモードの解除は、外部割込み (IRQ<sub>1</sub>、IRQ<sub>0</sub>)、またはRES端子入力により行われます。

#### ・割込み (IRQ<sub>1</sub>、IRQ<sub>0</sub>) による解除

IRQ<sub>1</sub>、IRQ<sub>0</sub>割込み要求信号が入力されるとクロックの発振が開始され、SYSCR1のSTS2～STS0ビットにより設定された時間が経過した後、安定したクロックがLSI全体に供給されて、スタンバイモードは解除され、割込み例外処理を開始します。この場合、スタンバイモードに遷移する前に他の割込みはディスエーブルとしてください。なお、CCRのIビットが“1”の場合と割込み許可レジスタにより当該割込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

・RES端子による解除

RES端子を“Low”レベルにすると、クロックの発振を開始し、スタンバイモードは解除されます。発振安定時間経過後、RES端子を“High”レベルにすると、CPUは例外処理を開始します。なお、クロックの発振開始と同時に、LSI全体にクロックが供給されるため、クロックの発振が安定するまでRES端子は“Low”レベルに保持してください。

(3) ウォッチモード

ウォッチモードの動作を以下に示します。

① ウォッチモードへの遷移

アクティブモードの状態、システムコントロールレジスタ1 (SYSCR1) のSSBYビット=“1”かつタイマモードレジスタA (TMA) のTMA3ビット=“1”のときにSLEEP命令を実行すると、ウォッチモードに遷移します。また、サブアクティブモードの状態、システムコントロールレジスタ2 (SYSCR2) のDTONビット=“0”のときSLEEP命令を実行した場合にもウォッチモードに遷移します。ウォッチモードでは、システムクロック発振器をはじめ内蔵周辺モジュール(タイマAの時計機能を除く)は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限り、CPUと内蔵周辺モジュールの内部レジスタ、および内蔵RAMの内容は保持されます。

② ウォッチモードの解除

ウォッチモードの解除は、タイマAの時計機能割込み(Time-Base)、IRQ<sub>0</sub>割込み、またはRES端子入力により行われます。

・タイマAの時計機能割込み (Time-Base)、IRQ<sub>0</sub>割込みによる解除

時計機能動作中のタイマAがオーバフローするか、IRQ<sub>0</sub>割込み要求信号が入力されると、システムコントロールレジスタ1 (SYSCR1) のLSONビットが“0”のときはクロック発振が開始され、SYSCR1のSTS2～STS0ビットにより設定された時間が経過した後、安定したクロックがLSI全体に供給されて、ウォッチモードは解除され、割込み例外処理を開始します。LSONビットが“1”のときにはサブアクティブモードに遷移します。

ウォッチモードでは、サブクロック( $\phi_{sub}$ )を分周したクロックがタイマAに供給されます。

このとき、タイマAは時計機能動作 (Time-Base)となります。

ウォッチモードに遷移する前に他の外部割込みはディスエーブルとしてください。なお、CCRのIビットが“1”の場合と、割込み許可レジスタにより当該割込みの受け付けが禁止されている場合は、ウォッチモードから他のモードには遷移しません。

・RES端子による解除

RES端子を“Low”レベルにすると、クロックの発振を開始し、ウォッチモードが解除されます。発振安定時間経過後、RES端子を“High”レベルにすると、CPUは例外処理を開始します。なお、クロックの発振開始と同時に、LSI全体にクロックが供給されるため、クロックの発振が安定するまでRES端子は“Low”レベルに保持してください。

#### (4) サブアクティブモード

サブアクティブモードの動作を以下に示します。

##### ① サブアクティブモードへの遷移

ウォッチモードの状態、タイマAの時計機能割込み、またはIRQ割込み要求が発生したときにシステムコントロールレジスタ1 (SYSCR1) のLSONビットが“1”ならば、サブアクティブモードに遷移します。

サブアクティブモードでは、CPUはサブクロック ( $\phi_{sub}$ )で動作します。内蔵周辺モジュール (タイマAの時計機能は除く)は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限り、内蔵周辺モジュールの内部レジスタの内容は保持されます。また、I/Oポートの標準ポートはハイインピーダンス、高耐圧ポートはPMOSバッファオフの状態になります。

##### ② サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令、またはRES端子入力により行われます。

###### ・SLEEP命令による解除

サブアクティブモードの状態、SLEEP命令を実行するとサブアクティブモードは解除されます。SLEEP命令実行時、システムコントロールレジスタ2 (SYSCR2) のDTONビットが“0”のときは、ウォッチモードに遷移します。またDTON = “1”かつLSON = “0”のときは、ダイレクト遷移割込み要求が発生し、クロックの発振が開始されます。SYSCR1のSTS2～STS0ビットにより設定された時間が経過した後、安定したクロックがLSI全体に供給されて、アクティブモードへ遷移します。

この場合、アクティブモードに遷移する前に他の割込みはディスエーブルとしてください。

なお、CCRのIビットが“1”の場合と割込み許可レジスタによりダイレクト遷移割込みの受け付けが禁止されている場合は、サブアクティブモードからアクティブモードへのダイレクト遷移は行われません。

###### ・RES端子による解除

RES端子を“Low”レベルにすると、クロックの発振を開始し、サブアクティブモードは解除されます。発振安定時間経過後、RES端子を“High”レベルにすると、CPUは例外処理を開始します。

なお、クロックの発振開始と同時に、LSI全体にクロックが供給されるため、クロックの発振が安定するまでRES端子は“Low”レベルに保持してください。



### 3.3.3 使用上の注意事項

- (1) スタンバイモード、ウォッチモードの解除、およびサブアクティブモードからのアクティブモードへのダイレクト遷移では、発振安定時間を確保するためにシステムコントロールレジスタ1 (SYSCR1) のSTS2~STS0ビットの設定を以下のようにしてください。

- 水晶（セラミック）発振の場合

待機時間が10ms以上となるようにSTS2~STS0ビットを設定してください。（図3.9参照）

詳細は「3.4.1 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

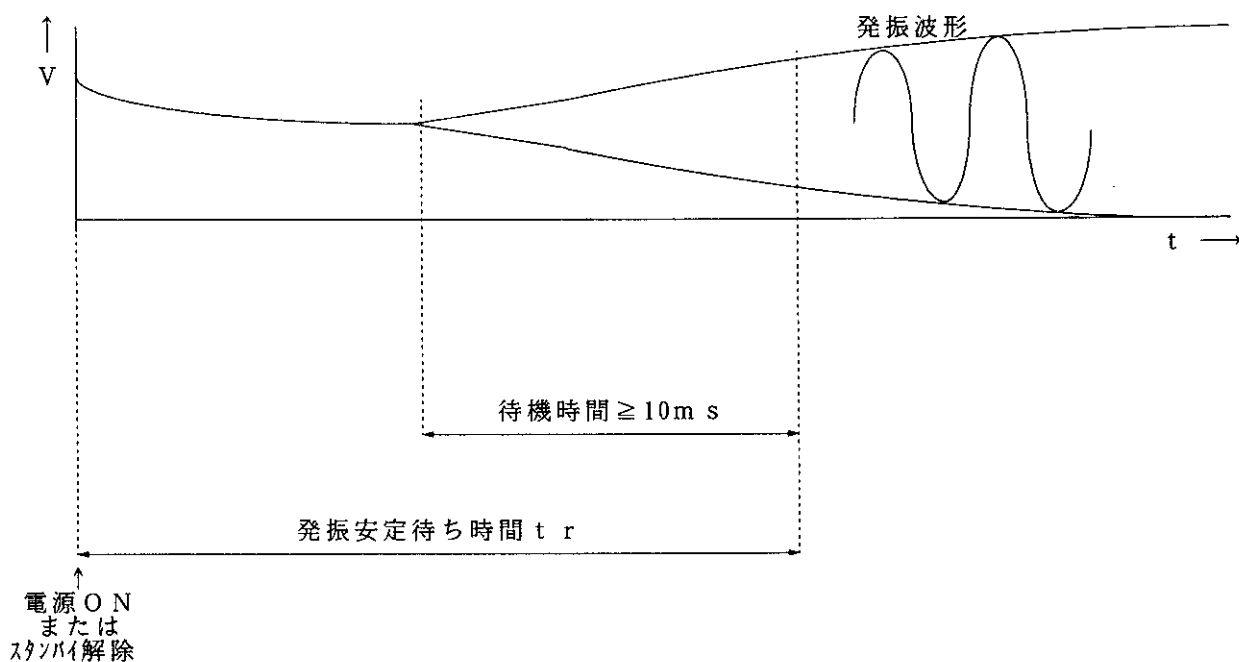


図 3.9 待機時間

- 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = “0”) の使用を推奨します。

- (2) サブアクティブモードからアクティブモードへの遷移は、SYSCR1のLSONビット = “0”かつシステムコントロールレジスタ2 (SYSCR2)のDTON = “1”の状態で行ってください。LSONビット = “1”でダイレクト遷移はできません。

### 3.4 システムコントロールレジスタ

システムコントロールレジスタ (SYSCR1、SYSCR2)の構成を表3.7に示します。この2本のレジスタは低消費電力モードの制御を行います。

表 3.7 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
システムコントロールレジスタ1	SYSCR1	R/W	H'00	H'FFF0
システムコントロールレジスタ2	SYSCR2	R/W	H'F4	H'FFF1

#### 3.4.1 システムコントロールレジスタ1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LS0N	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W	R/W	R/W	R/W	R/W	—	—

【注】\* アクティブモード時のみライト可能です。

SYSCR1は、8ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

#### ビット7:スタンバイ (SSBY)

スタンバイモードの遷移を指定します。

なお、外部割込みによりスタンバイモードが解除され、アクティブモードに遷移したとき、このビットは“1”にセットされたままです。クリアする場合は“0”をライトしてください。ライトは、アクティブモード時のみ可能です。

ビット7	説 明
SSBY	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、スタンバイモードまたはウォッチモードに遷移

### ビット6～4：スタンバイタイムセレクト2～0（STS2～STS0）

システムクロックが停止するスタンバイモード、ウォッチモード、サブアクティブモードを解除する場合に、クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。動作周波数に応じて待機時間が10ms以上となるように指定してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	*	*	待機時間 = 131072ステート

\* : don't care

### ビット3：ロースピードオンフラグ（LSON）

ウォッチモード解除時にCPUの動作クロックをシステムクロック（ $\phi$ ）にするか、サブクロック（ $\phi_{sub}$ ）するかを選択します。動作モード間の遷移に関係するため、他の制御ビット、割込み入力との組み合わせで機能します。

ビット3	説 明
LSON	
0	CPUはシステムクロック（ $\phi$ ）で動作 (初期値)
1	CPUはサブクロック（ $\phi_{sub}$ ）で動作

### ビット2：リザーブビット

リザーブビットです。リード／ライト可能です。

### ビット1、0：リザーブビット

リザーブビットです。リードすると常に“0”が読み出されます。ライトは無効です。

### 3.4.2 システムコントロールレジスタ2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	DTON	—	—	—
初期値:	1	1	1	1	0	1	0	0
R/W:	—	—	—	—	W*	—	R/W	R/W

【注】\* サブアクティブモードのみライト可能です。

SYSCR2は、8ビットのリード/ライト可能なレジスタで、サブアクティブモードからアクティブモードへのダイレクト遷移を指定します。

#### ビット7～4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット3：ダイレクトトランスファオンフラグ (DTON)

サブアクティブモード時にSLEEP命令を実行したとき、アクティブモードに遷移するか、ウォッチモードに遷移するかを選択します。アクティブモード遷移を選択した場合、発振安定時間を確保するためウォッチモードを経由してアクティブモードに遷移します。

ビット3	説明
DTON	
0	サブアクティブモード時、SLEEP命令を実行するとウォッチモードに遷移 (初期値)
1	サブアクティブモード時、システムコントロールレジスタ1 (SYSCR1) のLSONビット=“0”の状態ではSLEEP命令を実行すると、ダイレクト遷移割込み要求を発生し、ウォッチモードを経由してアクティブモードに遷移

#### ビット2：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット1、0：リザーブビット

リザーブビットです。リード/ライト可能です。

# 4. ROM

---

## 第4章 目次

4.1	概要	93
4.1.1	ブロック図	93
4.2	PROMモード	94
4.2.1	PROMモードの設定	94
4.2.2	ソケットアダプタの端子対応とメモリマップ	94
4.3	プログラミング	97
4.3.1	書込み／ベリファイ	97
4.3.2	書込み時の注意	100
4.3.3	書込み後の信頼性	101



## 4.1 概要

H8/3714は32kバイト、H8/3713は24kバイト、H8/3712は16kバイトのROM（マスクROM）を内蔵しています。ROMは、16ビット幅のデータバスでCPUと接続されており、バイトデータおよびワードデータにかかわらず2ステートの高速アクセスが可能です。H8/3714にはZTAT®版があり、32kバイトのPROMを備えています。

### 4.1.1 ブロック図

ROMのブロック図を図4.1に示します。

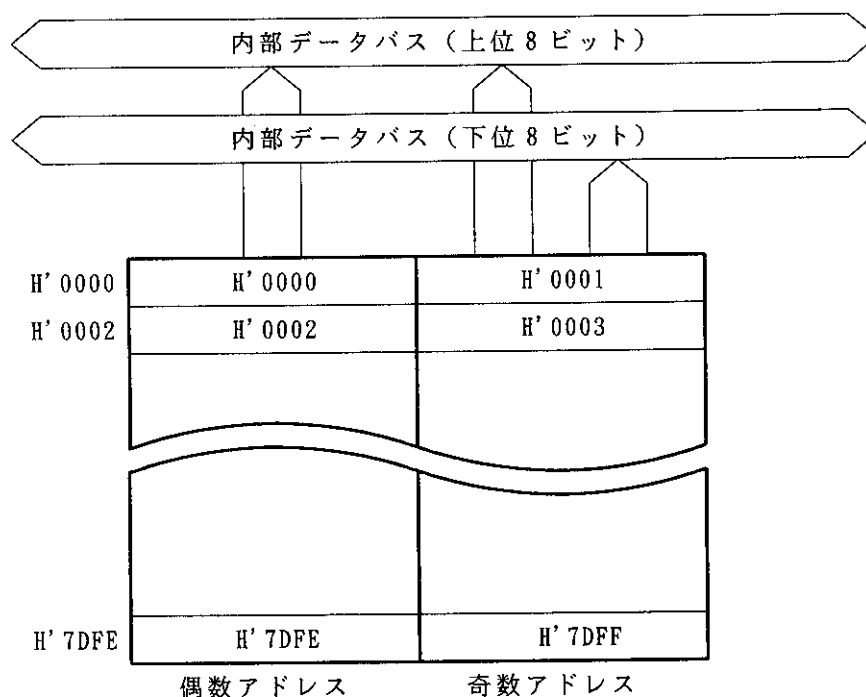


図4.1 ROMのブロック図（H8/3714の場合）

## 4.2 PROMモード

### 4.2.1 PROMモードの設定

内蔵ROMがPROMの場合、PROMモードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C256Hと同一の方法で内蔵PROMのプログラムを行うことができます。

PROMモードの設定方法を、表4.1に示します。

表4.1 PROMモードの設定

端子名	設定
テスト端子 TEST	“High”レベル
モード端子 MD <sub>0</sub> (P4 <sub>0</sub> /FS <sub>16</sub> )	“Low”レベル
モード端子 MD <sub>1</sub> (P4 <sub>1</sub> /FS <sub>17</sub> )	
モード端子 MD <sub>2</sub> (P1 <sub>7</sub> /V <sub>disp</sub> )	“High”レベル

### 4.2.2 ソケットアダプタの端子対応とメモリマップ

PROMのプログラムは、表4.2に示すようにパッケージに対応したソケットアダプタを付けて、28ピンに変換し、汎用PROMライターでプログラムを行います。

ソケットアダプタの端子対応図を図4.2に示します。また、メモリマップを図4.3に示します。

表4.2 ソケットアダプタ

パッケージ名	ソケットアダプタの名称
64ピン (FP-64A)	HS3714ESH01H
64ピン (DP-64S)	HS3714ESS01H



H 8 / 3 7 1 4

EPROMソケット

FP-64A	DP-64S	端子	端子	HN27C256H
17	26	RES	V <sub>PP</sub>	1
57	2	P9 <sub>0</sub>	EO <sub>0</sub>	11
58	3	P9 <sub>1</sub>	EO <sub>1</sub>	12
59	4	P9 <sub>2</sub>	EO <sub>2</sub>	13
60	5	P9 <sub>3</sub>	EO <sub>3</sub>	15
61	6	P9 <sub>4</sub>	EO <sub>4</sub>	16
62	7	P9 <sub>5</sub>	EO <sub>5</sub>	17
63	8	P9 <sub>6</sub>	EO <sub>6</sub>	18
64	9	P9 <sub>7</sub>	EO <sub>7</sub>	19
31	40	P5 <sub>0</sub>	EA <sub>0</sub>	10
32	41	P5 <sub>1</sub>	EA <sub>1</sub>	9
33	42	P5 <sub>2</sub>	EA <sub>2</sub>	8
34	43	P5 <sub>3</sub>	EA <sub>3</sub>	7
35	44	P5 <sub>4</sub>	EA <sub>4</sub>	6
36	45	P5 <sub>5</sub>	EA <sub>5</sub>	5
37	46	P5 <sub>6</sub>	EA <sub>6</sub>	4
38	47	P5 <sub>7</sub>	EA <sub>7</sub>	3
48	57	P7 <sub>0</sub>	EA <sub>8</sub>	25
22	31	P1 <sub>6</sub>	EA <sub>9</sub>	24
50	59	P7 <sub>2</sub>	EA <sub>10</sub>	21
51	60	P7 <sub>3</sub>	EA <sub>11</sub>	23
52	61	P7 <sub>4</sub>	EA <sub>12</sub>	2
53	62	P7 <sub>5</sub>	EA <sub>13</sub>	26
54	63	P7 <sub>6</sub>	EA <sub>14</sub>	27
55	64	P7 <sub>7</sub>	CE	20
49	58	P7 <sub>1</sub>	OE	22
27	36	P4 <sub>3</sub>	V <sub>CC</sub>	28
28	37	P4 <sub>2</sub>	V <sub>SS</sub>	14
39	48	P1 <sub>7</sub>		
29	38	P4 <sub>1</sub>	V <sub>CC</sub>	28
30	39	P4 <sub>0</sub>		
56, 1	1, 10	V <sub>CC</sub> , AV <sub>CC</sub>	V <sub>SS</sub>	14
14, 10	23, 19	V <sub>SS</sub> , AV <sub>SS</sub>	V <sub>CC</sub>	28
11	20, 22	TEST, X <sub>1</sub>	V <sub>SS</sub>	14
15	24	OSC <sub>1</sub>	V <sub>CC</sub>	28

【注】 図中に記載されていない端子はすべてオープンにしてください。

図 4.2 ソケットアダプタの端子対応図

M C U モードに  
おけるアドレス

P R O M モードに  
おけるアドレス

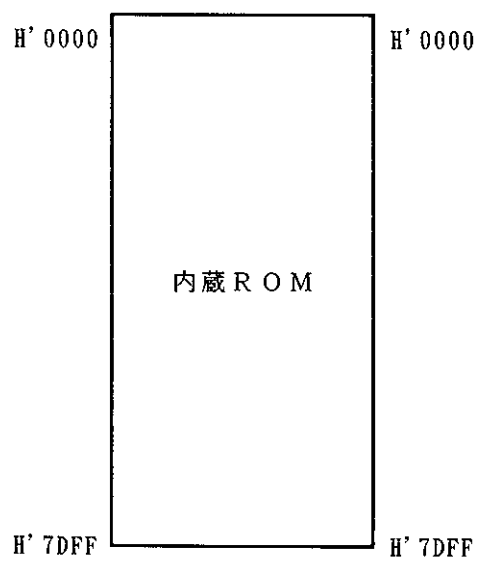


図 4.3 P R O M モード時のメモリマップ

### 4.3 プログラミング

PROMモード時の書込み、ベリファイなどのモード選択は、表4.3に示すような設定により行います。

表4.3 PROMモード時の書込みモードの選択

モード \ ピン	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$V_{PP}$	$V_{CC}$	$EO_7 \sim EO_0$	$EA_{14} \sim EA_0$
書込み	L	H	$V_{PP}$	$V_{CC}$	データ入力	アドレス入力
ベリファイ	H	L	$V_{PP}$	$V_{CC}$	データ出力	アドレス入力
プログラミング禁止	H	H	$V_{PP}$	$V_{CC}$	ハイインピーダンス	アドレス入力

<記号説明>

L : "Low" レベル

H : "High" レベル

$V_{PP}$  : " $V_{PP}$ " レベル

$V_{CC}$  : " $V_{CC}$ " レベル

なお、書込み、読出しは、標準EPROMのHN27C256Hと同じ仕様になっています。

#### 4.3.1 書込み/ベリファイ

書込み/ベリファイは効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損うことなく高速な書込みを行うことができます。未使用のアドレス領域のデータは、H'FFです。

高速プログラミングの基本的なフローを図4.4に示します。

また、プログラミング時の電気的特性を表4.4、表4.5に、タイミングを図4.5に示します。

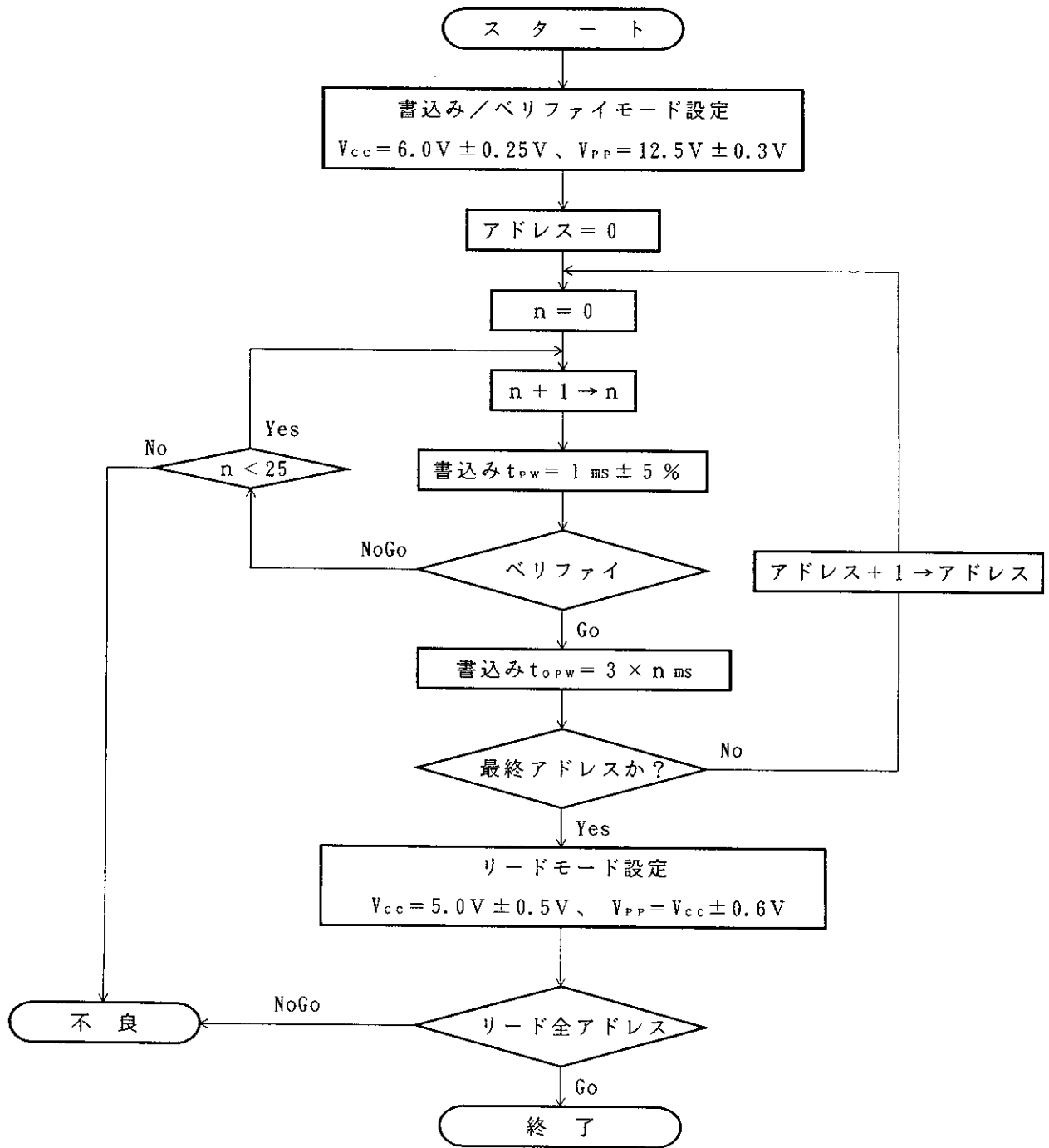


図 4.4 高速プログラミングフローチャート

表 4.4 DC特性

(条件:  $V_{CC}=6.0V \pm 0.25V$ 、 $V_{PP}=12.5V \pm 0.3V$ 、 $V_{SS}=0.0V$ 、 $T_a=25^\circ C \pm 5^\circ C$ )

項 目	記号	min	typ	max	単位	測定条件
入力“High” レベル電圧	$EA_{14} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$	$V_{IH}$	2.4	—	$V_{CC} + 0.3$	V
入力“Low” レベル電圧	$EA_{14} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$	$V_{IL}$	-0.3	—	0.8	V
出力“High” レベル電圧	$EO_7 \sim EO_0$	$V_{OH}$	2.4	—	—	V $I_{OH} = -200 \mu A$
出力“Low” レベル電圧	$EO_7 \sim EO_0$	$V_{OL}$	—	—	0.45	V $I_{OL} = 1.6mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$	$ I_{LI} $	—	—	2	$\mu A$ $V_{in} = 5.25V / 0.5V$
$V_{CC}$ 電流		$I_{CC}$	—	—	40	mA
$V_{PP}$ 電流		$I_{PP}$	—	—	40	mA

表 4.5 AC特性

(条件:  $V_{CC}=6.0V \pm 0.25V$ 、 $V_{PP}=12.5V \pm 0.3V$ 、 $V_{SS}=0.0V$ 、 $T_a=25^\circ C \pm 5^\circ C$ )

項 目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	$t_{AS}$	2	—	—	$\mu s$	図 4.5 *
OEセットアップ時間	$t_{OES}$	2	—	—	$\mu s$	
データセットアップ時間	$t_{DS}$	2	—	—	$\mu s$	
アドレスホールド時間	$t_{AH}$	0	—	—	$\mu s$	
データホールド時間	$t_{DH}$	2	—	—	$\mu s$	
データ出力ディスエーブル時間	$t_{DF}$	0	—	130	ns	
$V_{PP}$ セットアップ時間	$t_{VPS}$	2	—	—	$\mu s$	
プログラムパルス幅	$t_{PW}$	0.95	1.0	1.05	ms	
オーバプログラム時のCEパルス幅	$t_{OPW}$	2.85	—	78.75	ms	
$V_{CC}$ セットアップ時間	$t_{VCS}$	2	—	—	$\mu s$	
データ出力遅延時間	$t_{OE}$	0	—	500	ns	

【注】 \*入力パルスレベル: 0.8~2.2V

入力立上がり / 立下がり時間  $\leq 20ns$

タイミング参照レベル { 入力: 1.0V、2.0V  
出力: 0.8V、2.0V

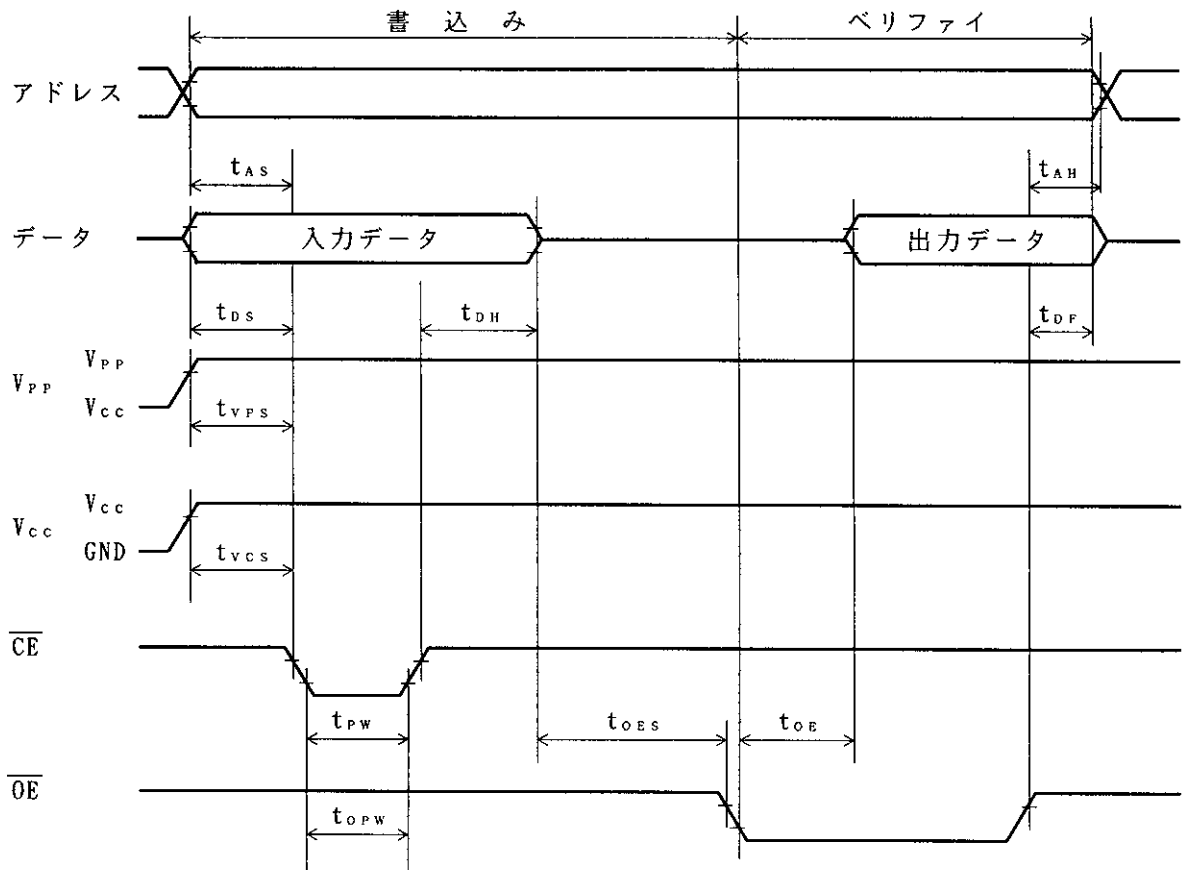


図 4.5 PROM書込み／ベリファイトイミング

#### 4.3.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。  
PROMモード時のプログラム電圧 ( $V_{PP}$ ) は12.5Vです。  
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。  
PROMライタのHN27C256Hの日立仕様またはインテル仕様にセットすると、 $V_{PP}$ は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) 市販のEPROMライタの中にはライト／リード／ベリファイの前にデバイステストを実行するものがあります。デバイステストとはEPROMまたはZTAT (EPROMオンチップ) マイコンの端子リークテストであり、一定以上のリーク電流が流れることでデバイスがソケットに正しく挿入されているか否かをチェックする機能です。

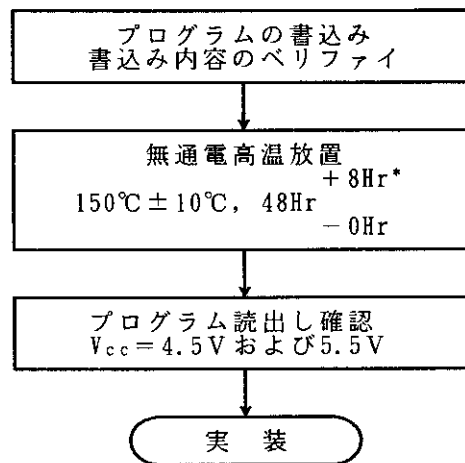
しかし、本製品のようにEPROM用端子が高耐圧端子（Pchオープンドレイン端子）に割付られているものは、シンク側のリーク電流が流れません。そのためデバイステストでフェイルし、ライト／リード／ベリファイが行われなことがあるあります。このような場合はデバイステストをオフして実行してください。

また、一部にデバイステストがオフできない機種があるので注意してください。

#### 4.3.3 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150℃の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの一つであり、PROMメモリセルの初期のデータ保持不良を短時間で除くことができます。

図4.6に推奨するスクリーニングフローを示します。



【注】・ 放置時間はベーク炉内温度が、150℃に達してからの時間とします。

図4.6 推奨スクリーニングフロー

同じPROMライターでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、PROMライター、ソケットアダプタなどに異常がないか確認してください。

なお、書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。





# 5. R A M

---

## 第 5 章 目次

5. 1	概要	105
5. 1. 1	ブロック図	105
5. 1. 2	表示用 R A M エリア	105



## 5. 1 概要

H 8 / 3 7 1 4 は512バイト、H 8 / 3 7 1 3、H 8 / 3 7 1 2 は384バイトの高速スタティックRAMを内蔵しています。RAMは、16ビット幅のデータバスでCPUと接続されており、バイトデータ、ワードデータにかかわらず2ステートの高速アクセスが可能です。

### 5. 1. 1 ブロック図

RAMのブロック図を図5.1に示します。

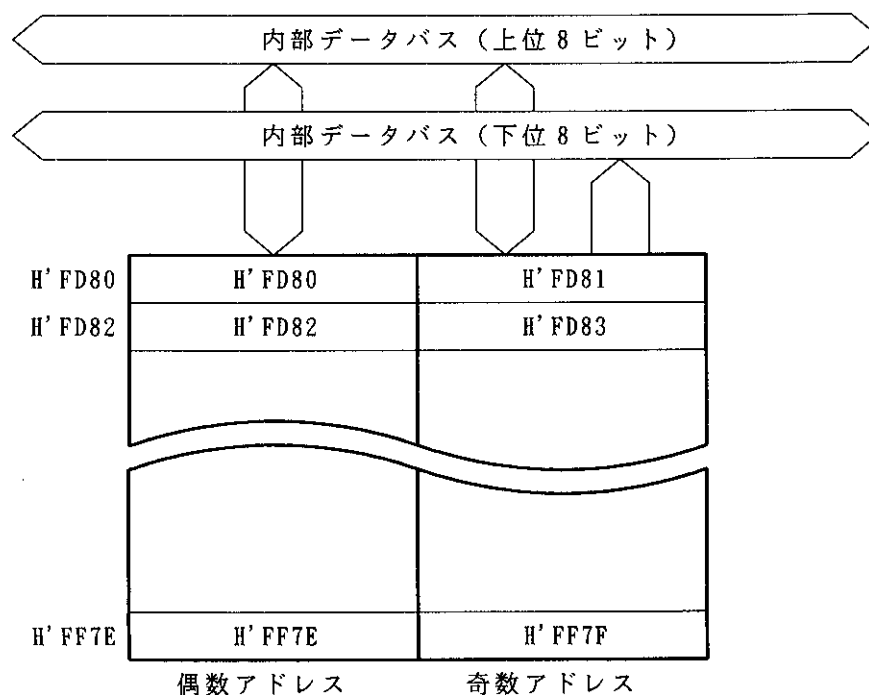


図 5. 1 RAMのブロック図 (H 8 / 3 7 1 4 の場合)

### 5. 1. 2 表示用RAMエリア

H 8 / 3 7 1 4、H 8 / 3 7 1 3、H 8 / 3 7 1 2 のRAMは、H'FEC0~H'FEFFのアドレス領域をVFDコントローラ/ドライバの表示RAMと兼用しています。したがってVFDコントローラ/ドライバを使用しない場合は、通常のRAMとして使用できます。



# 6. クロック発振器

---

## 第 6 章 目次

6. 1	概要	109
6. 1. 1	ブロック図	109
6. 2	システムクロック発振器	110
6. 3	サブクロック発振器	113



## 6. 1 概要

本 L S I はクロック発生回路 ( C P G : Clock Pulse Generator ) を内蔵しています。クロック発生回路は、システムクロック発生回路およびサブクロック発生回路から構成されます。システムクロック発生回路は、システムクロック発振器、システムクロック分周器、内蔵周辺モジュール用クロック分周器 ( プリスケーラ S ) から構成されます。

サブクロック発振器は、サブクロック発振器、サブクロック分周器、タイムベース用サブクロック分周器 ( プリスケーラ W ) から構成されます。

### 6. 1. 1 ブロック図

図 6. 1 にクロック発生回路のブロック図を示します。

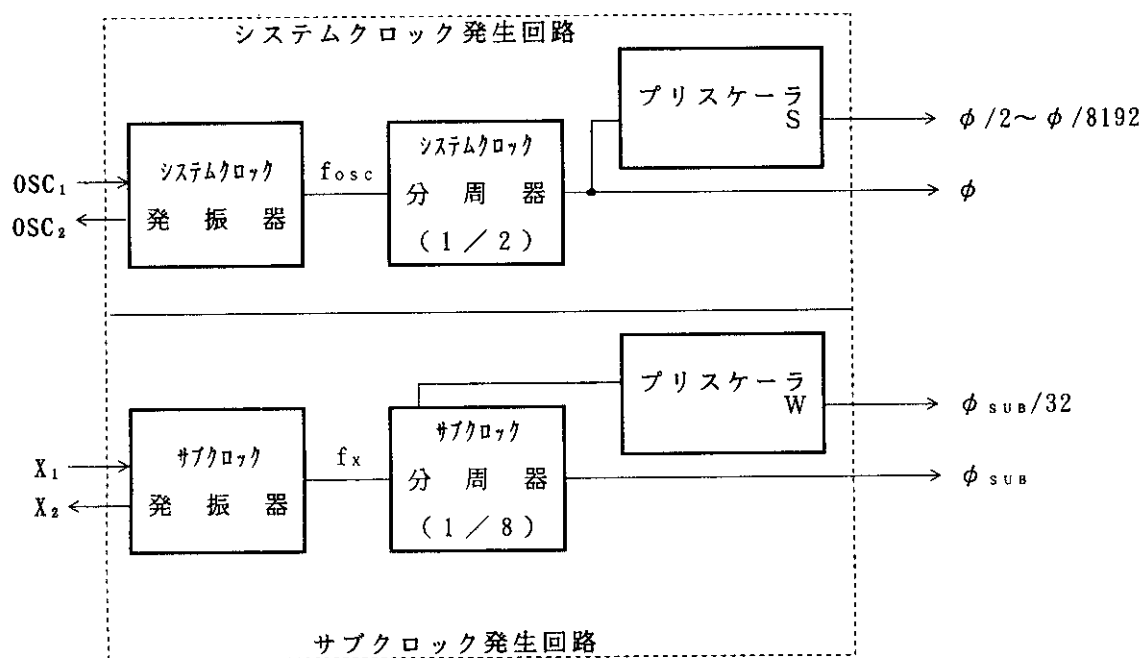


図 6. 1 クロック発生回路のブロック図

## 6.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と外部クロックを入力する方法の2とおりがあります。

### (1) 水晶発振子を接続する方法

#### ① 回路構成

水晶発振子の接続例を図 6.2 に示します。

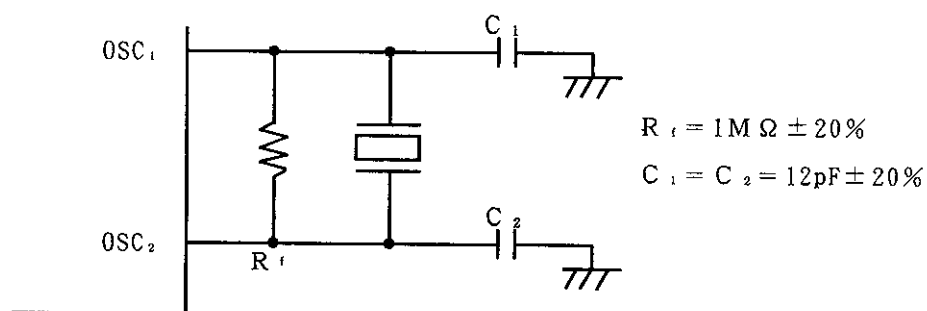


図 6.2 水晶発振子の接続例

#### ② 水晶発振子

図 6.3 に水晶発振子の等価回路を示します。発振子は表 6.1 に示す特性のものを使用してください。

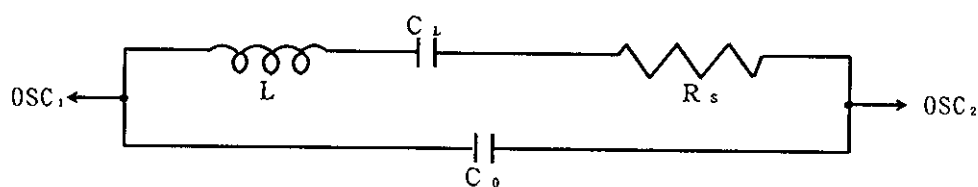


図 6.3 水晶発振子の等価回路

表 6.1 水晶発振子のパラメータ

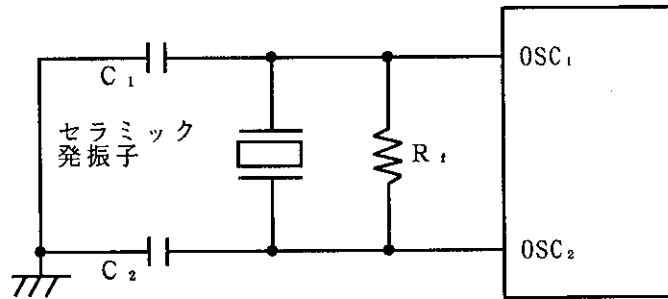
周波数 (MHz)	2	4	8
$R_s \text{ max}$ ( $\Omega$ )	500	100	50
$C_0 \text{ max}$ (pF)	7		



(2) セラミック発振子を接続する方法

① 回路構成

セラミック発振子の接続例を図 6.4 に示します。



$R_f : 1M\Omega \pm 20\%$

$C_1 : 30pF \pm 20\%$

$C_2 : 30pF \pm 20\%$

図 6.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 6.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC<sub>1</sub>、OSC<sub>2</sub> 端子の近くに配置してください。

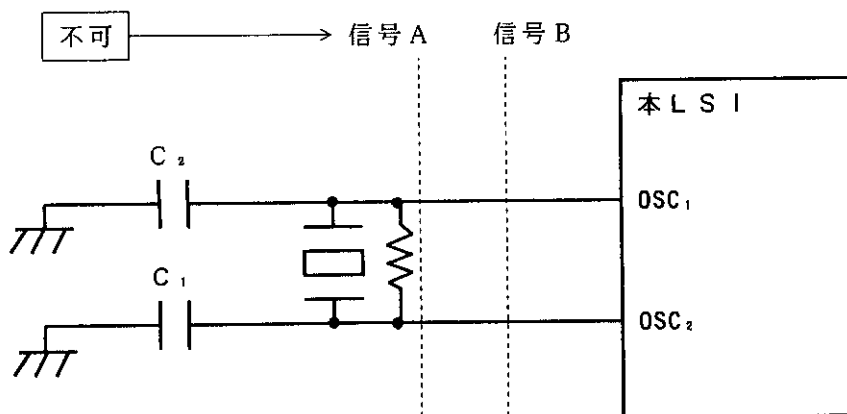


図 6.5 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

① 回路構成

外部クロック入力の場合は、OSC<sub>1</sub>端子に入力します。OSC<sub>2</sub>端子はオープンとしてください。  
この場合の接続例を図 6. 6 に示します。

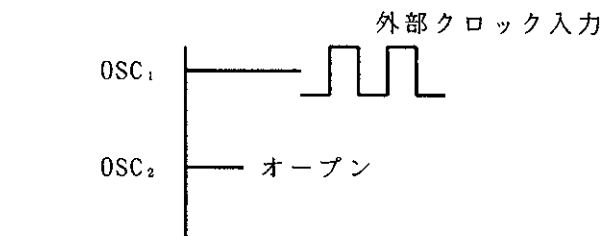


図 6. 6 外部クロックを入力する場合の接続例

② 外部クロック

周波数	クロック ( $\phi$ ) の 2 倍
duty	45% ~ 55%

### 6.3 サブクロック発振器

#### (1) 32.768 k Hz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 6.7 に示すように 32.768 k Hz の水晶発振子を接続します。接続にする場合の注意については、前項と同様です。

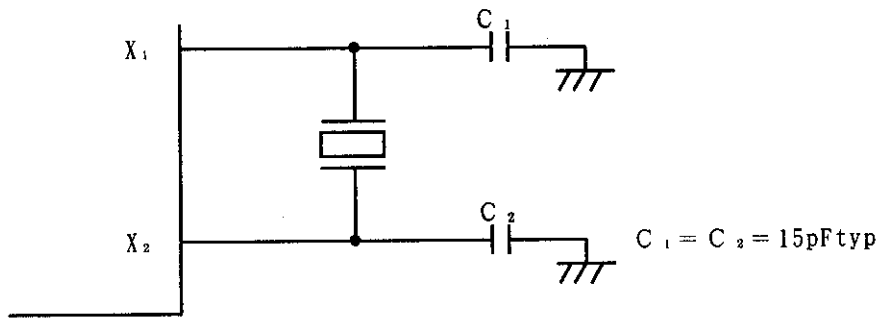


図 6.7 水晶発振子の接続例（サブクロック）

図 6.8 に水晶発振子の等価回路を示します。

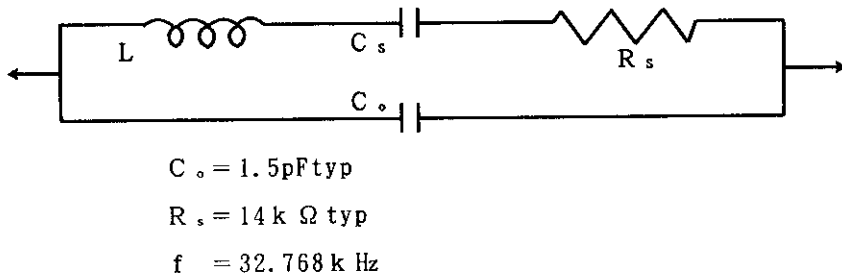


図 6.8 水晶発振子の等価回路

#### (2) サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合には、図 6.9 に示すように  $X_1$  端子を  $V_{cc}$  に接続し、 $X_2$  端子をオープンとしてください。

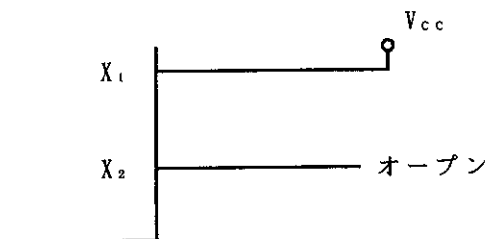


図 6.9 サブクロックを使用しない場合の端子処理



# 7. I/Oポート

## 第7章 目次

7.1	概要	117
7.1.1	ポートのタイプとマスクオプション	119
7.1.2	プルアップMOS	121
7.1.3	プルダウンMOS	122
7.2	ポート0	123
7.2.1	概要	123
7.2.2	レジスタの構成と説明	123
7.2.3	端子機能	124
7.2.4	端子状態	125
7.3	ポート1	126
7.3.1	概要	126
7.3.2	レジスタの構成と説明	126
7.3.3	端子機能	132
7.3.4	端子状態	133
7.4	ポート4	134
7.4.1	概要	134
7.4.2	レジスタの構成と説明	134
7.4.3	端子機能	135
7.4.4	端子状態	135
7.5	ポート5	136
7.5.1	概要	136
7.5.2	レジスタの構成と説明	136
7.5.3	端子機能	137
7.5.4	端子状態	137

7. 6	ポート 6	138
7. 6. 1	概要	138
7. 6. 2	レジスタの構成と説明	138
7. 6. 3	端子機能	139
7. 6. 4	端子状態	139
7. 7	ポート 7	140
7. 7. 1	概要	140
7. 7. 2	レジスタの構成と説明	140
7. 7. 3	端子機能	141
7. 7. 4	端子状態	141
7. 8	ポート 9	142
7. 8. 1	概要	142
7. 8. 2	レジスタの構成と説明	142
7. 8. 3	端子機能	147
7. 8. 4	端子状態	149

## 7.1 概要

本LSIは、8ビット入出力端子を5ポート(うち4ポートが高耐圧ポート)、6ビットの入出力端子を1ポート\*、8ビット入力専用端子を1ポート備えています。各ポートの機能一覧を表7.1に示します。

ポート1、9は標準入出力ポートで、入出力を制御するポートコントロールレジスタ(PCR)と出力データを格納するポートデータレジスタ(PDR)とで構成され、ビット単位に入出力を制御できます。

ポート4、5、6、7は高耐圧ポートであり、 $V_{cc}-40V$ の電圧を印加することができます。PDRにリード/ライトすることでビット単位に入出力を制御します。

【注】\* ポート1のP1<sub>7</sub>端子は高耐圧入力専用端子、またP1<sub>6</sub>端子は標準入力専用端子です。  
またP1<sub>5</sub>、P1<sub>4</sub>はありません。

ポートをリードすると、次のように動作をします。

### ① 標準ポートのリード

- (1) PCR = "0" の汎用ポートをリードすると、端子のレベルを読み出します。
- (2) PCR = "1" の汎用ポートをリードすると、PDRの当該ビットの値を読み出します。
- (3) 内蔵周辺機能用端子に設定された端子をリードすると、端子のレベルを読み出します。

### ② 高耐圧ポートのリード

- (1) 汎用ポートに設定された端子をリードすると、端子のレベルを読み出します。
- (2) デジット出力端子、セグメント出力端子に設定された端子をリードするとPDRの当該ビットの値を読み出します。

表 7.1 ポートの機能

ポート	概要	端子	兼用機能	機能切換え制御レジスタ
ポート 0	・ 8ビット標準入力専用ポート	P0 <sub>7</sub> ~ P0 <sub>0</sub> / AN <sub>7</sub> ~ AN <sub>0</sub>	アナログデータ入力チャンネル 7 ~ 0	PMR 0
ポート 1	・ P1 <sub>7</sub> 1ビット高耐圧入力専用ポート	P1 <sub>7</sub> / V <sub>DISP</sub>	VFD駆動用電源	マスクオプション
	・ P1 <sub>6</sub> 1ビット標準入力専用ポート	P1 <sub>6</sub> / $\overline{\text{EVENT}}$	タイマDイベント入力	PMR 1
	・ P1 <sub>5</sub> 、P1 <sub>4</sub> 、P1 <sub>3</sub> 、P1 <sub>0</sub> 4ビット標準入出力ポート	P1 <sub>5</sub> / $\overline{\text{IRQ}}_5$ / TMOE	外部割込み 5 タイマE出力	PMR 1 PMR 4
		P1 <sub>4</sub> / $\overline{\text{IRQ}}_4$	外部割込み 4、1、0	PMR 1
P1 <sub>3</sub> / $\overline{\text{IRQ}}_3$ P1 <sub>0</sub> / $\overline{\text{IRQ}}_0$		外部割込み 4、1、0		
ポート 4	・ 8ビット高耐圧入出力ポート	P4 <sub>7</sub> ~ P4 <sub>0</sub> / FS <sub>23</sub> ~ FS <sub>16</sub>	VFDセグメント端子23~16	VFSR
ポート 5	・ 8ビット高耐圧入出力ポート	P5 <sub>7</sub> ~ P5 <sub>0</sub> / FS <sub>15</sub> ~ FS <sub>8</sub>	VFDセグメント端子15~8	VFSR
ポート 6	・ 8ビット高耐圧入出力ポート	P6 <sub>7</sub> ~ P6 <sub>0</sub> / FD <sub>7</sub> ~ FD <sub>0</sub> / FS <sub>0</sub> ~ FS <sub>7</sub>	VFDディジット端子7~0 / セグメント端子0~7	DBR VFSR VFDR
ポート 7	・ 8ビット高耐圧入出力ポート	P7 <sub>7</sub> ~ P7 <sub>0</sub> / FD <sub>15</sub> ~ FD <sub>8</sub>	VFDディジット端子15~8	VFDR
ポート 9	・ 8ビット標準入出力ポート	P9 <sub>7</sub> / UD	タイマCカウントアップ/ダウン選択	PMR 2 PMR 3
		P9 <sub>6</sub> / SO <sub>2</sub>	シリアルコミュニケーションインタフェース2のデータ出力	
		P9 <sub>5</sub> / SI <sub>2</sub> / $\overline{\text{CS}}$	シリアルコミュニケーションインタフェース2のデータ入力/チップセレクト出力	
		P9 <sub>4</sub> / SCK <sub>2</sub>	シリアルコミュニケーションインタフェース2のクロック入出力	
		P9 <sub>3</sub> / SO <sub>1</sub>	シリアルコミュニケーションインタフェース1のデータ出力	
		P9 <sub>2</sub> / SI <sub>1</sub>	シリアルコミュニケーションインタフェース1のデータ入力	
		P9 <sub>1</sub> / SCK <sub>1</sub>	シリアルコミュニケーションインタフェース1のクロック入出力	
		P9 <sub>0</sub> / PWM	14ビットPWMの波形出力端子	

【注】 P1<sub>2</sub>、P1<sub>8</sub>、P2、P3、P8は本製品にはありません。



### 7.1.1 ポートのタイプとマスクオプション

各入出力端子のオプションの選択による状態を表7.2に示します。

リセット時には、PDR、PCR、PMRがイニシャライズされて周辺機能選択が解除されます。

また、低消費電力モードに移行した場合は、内蔵周辺機能の入力ゲートは常時オンしているため、入力レベルを固定しておかないと消費電流が増大します。

表 7.2 オプション選択(1)

－標準入出力端子の場合－

分 類	端 子	プルアップMOS付き(タイプB)	プルアップMOSなし(タイプC)
入出力共通 端 子	P1 <sub>5</sub> 、P1 <sub>4</sub> 、 P1 <sub>1</sub> 、P1 <sub>0</sub> 、 P9 <sub>7</sub> ～P9 <sub>0</sub>	プルアップMOS付き	プルアップMOSなし
入 力 専 用 端 子	P1 <sub>0</sub>	プルアップMOS付き	プルアップMOSなし
内蔵周辺機能 入出力端子	SCK <sub>2</sub> 、SCK <sub>1</sub> (出力モード)*	プルアップMOS付き	プルアップMOSなし
内蔵周辺機能 出 力 端 子	SO <sub>2</sub> 、SO <sub>1</sub> 、 PWM、 TMOE	プルアップMOS付き	プルアップMOSなし
内蔵周辺機能 入 力 端 子	SCK <sub>2</sub> 、SCK <sub>1</sub> (入力モード)* SI <sub>2</sub> 、SI <sub>1</sub> 、 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ UD、EVENT	プルアップMOS付き	プルアップMOSなし

【注】\* シリアルコミュニケーションインタフェース使用時に、外部クロック入力モードを選択した場合、SCK<sub>2</sub>、SCK<sub>1</sub>端子は入力専用となります。

(次頁へ続く)

表 7.2 オプション選択(2)

— 高耐圧端子の場合 —

分類	端子	プルダウンMOSなし(タイプD)	プルダウンMOS付き(タイプE)
入出力共通端子	P4 <sub>1</sub> ~P4 <sub>0</sub> 、 P5 <sub>1</sub> ~P5 <sub>0</sub> 、 P6 <sub>1</sub> ~P6 <sub>0</sub> 、 P7 <sub>1</sub> ~P7 <sub>0</sub>	プルダウンMOSなし	プルダウンMOS付き プルダウンMOSのソース側は V <sub>dis</sub> p電源に接続
入力専用端子	P1 <sub>1</sub>	プルダウンMOSなし	V <sub>dis</sub> p電源に接続
内蔵周辺機能出力端子	FS <sub>23</sub> ~FS <sub>0</sub> 、 FD <sub>15</sub> ~FD <sub>0</sub>	プルダウンMOSなし	プルダウンMOS付き プルダウンMOSのソース側は V <sub>dis</sub> p電源に接続

マスクROM版のマスクオプションは表 7.3 に示すように選択可能です。マスクROM版では、全端子C、Dオプション選択時のみZTAT®とコンパチブルになります。

表 7.3 マスクROM版/ZTAT®版の対応

タイプ	B	C	D	E
マスクROM	オプション		オプション	
ZTAT®	—	固定	固定	—

【注意事項】

- (1) 「プルダウンMOS付き(E)」の回路形式を選択した場合、プルダウンMOSのソース側はV<sub>dis</sub>p電源に接続されるため、P1<sub>1</sub>/V<sub>dis</sub>p端子は、マスクオプションによりV<sub>dis</sub>p電源を選択する必要があります。
- (2) ポート0は、「プルアップMOSなし(タイプC)」オプションが固定となっています。

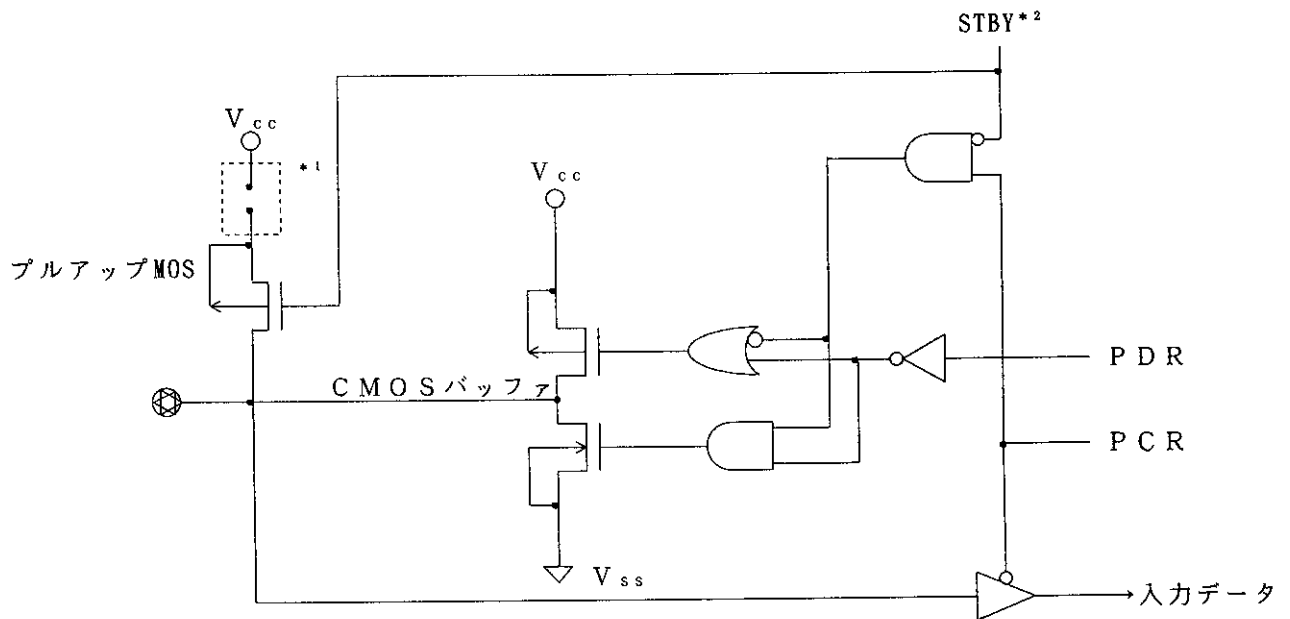
### 7.1.2 プルアップMOS

標準入出力ポートのポート1\*、9は、マスクオプションによりプルアップMOS付き/プルアップMOSなし(CMOS)出力を選択できます(ZTAT®版を除く)。

プルアップMOSの回路構成を図7.1に示します。

マスクオプションでプルアップMOS付きを選択した場合には、ポートデータレジスタ(PDR)とポートコントロールレジスタ(PCR)の値に関わらずプルアップMOSは常時オンしています(表7.4参照)。

【注】\* P1<sub>7</sub>/V<sub>DD17</sub>端子のみは、高耐圧端子でありプルアップMOS付きは選択できません。



【注】\*1 点線部：マスクオプション

\*2 低消費電力モード時(スリープモードを除く)には、STBY信号によりプルアップMOSはOFFとなります。

図7.1 プルアップMOSの回路構成

表7.4 プルアップMOSの制御

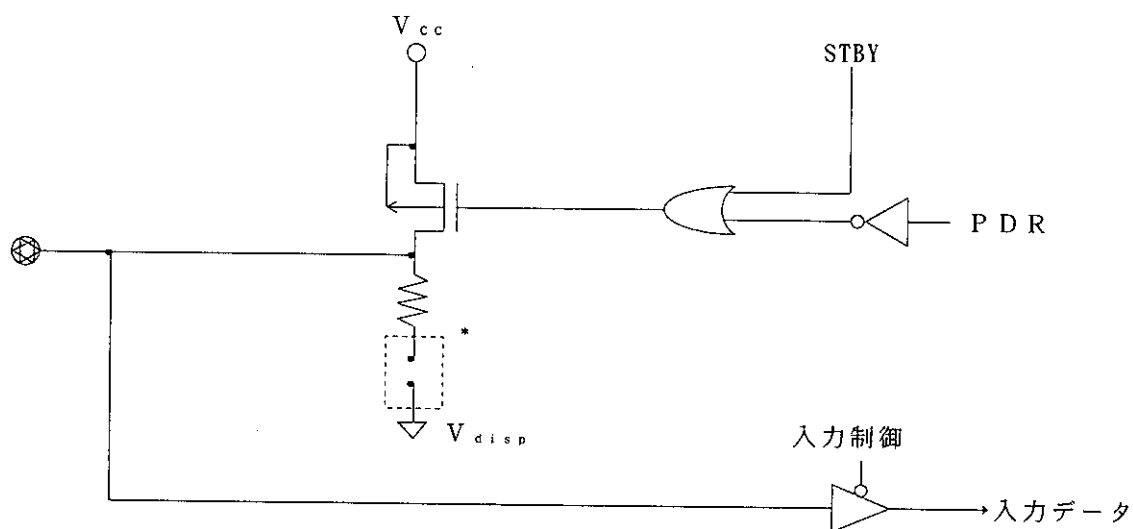
マスクオプション		プルアップMOS付き(タイプB)				プルアップMOSなし(タイプC)			
PCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	OFF	OFF	OFF	ON	OFF	OFF	OFF	ON
	NMOS	OFF	OFF	ON	OFF	OFF	OFF	ON	OFF
プルアップMOS		ON	ON	ON	ON	—	—	—	—

### 7.1.3 プルダウンMOS

高耐圧入出力ポートであるポート4、5、6、7は、マスクオプションによりプルダウンMOS付き／プルダウンMOSなし（PMOSオープンドレイン出力）を選択できます（ZTAT®版を除く）。

プルダウンMOSの回路構成を図7.2に示します。

プルダウンMOS付きを選択した場合、プルダウンMOSのソース側は $V_{disp}$ 電源に接続されるため、 $P1_7/V_{disp}$ 端子はマスクオプションにより $V_{disp}$ 電源を選択する必要があります。



【注】 \* 点線部：マスクオプション

図7.2 プルダウンMOSの回路構成

## 7.2 ポート 0

### 7.2.1 概要

ポート 0 は 8 ビットの標準入力専用ポートです。ポート 0 の構成を図 7.3 に示します。

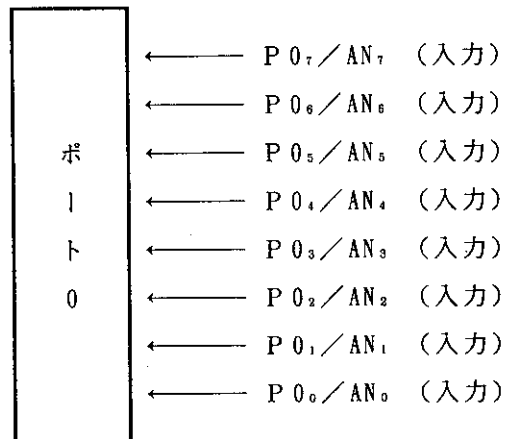


図 7.3 ポート 0 の端子構成

### 7.2.2 レジスタの構成と説明

表 7.5 にポート 0 のレジスタ構成を示します。

表 7.5 ポート 0 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートモードレジスタ 0	P M R 0	W	H' 00	H' FFEF
ポートデータレジスタ 0	P D R 0	R	——	H' FFD0

(1) ポートモードレジスタ 0 (PMR0)

ビット:	7	6	5	4	3	2	1	0
	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PMR0は、ポート0の各端子を汎用入力ポートとして使用するか、A/D変換器へのアナログデータ入力チャンネルとして、使用するかをビット単位に指定します。

リセット時、PMR0はH'00にイニシャライズされます。

ビット n	説明
AN n	
0	P0 <sub>n</sub> /AN <sub>n</sub> 端子は、汎用入力ポート (初期値)
1	P0 <sub>n</sub> /AN <sub>n</sub> 端子は、アナログ入力チャンネル

(n = 0 ~ 7)

(2) ポートデータレジスタ 0 (PDR0)

ビット:	7	6	5	4	3	2	1	0
	PDR0 <sub>7</sub>	PDR0 <sub>6</sub>	PDR0 <sub>5</sub>	PDR0 <sub>4</sub>	PDR0 <sub>3</sub>	PDR0 <sub>2</sub>	PDR0 <sub>1</sub>	PDR0 <sub>0</sub>
初期値:	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R

PMR0の対応するビットが“0”のとき、PDR0をリードすると端子の状態が読み出されます。PMR0の対応するビットが“1”のとき、PDR0をリードすると“1”が読み出されます。

7.2.3 端子機能

ポート0の端子機能を表7.6に示します。

表 7.6 ポート0の端子機能

端子	選択方法と端子機能						
P0 <sub>7</sub> /AN <sub>7</sub> } P0 <sub>0</sub> /AN <sub>0</sub>	PMR0のAN <sub>7</sub> ~AN <sub>0</sub> ビットにより次のように切り換わります。 <table border="1"> <tr> <td>ANn</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P0<sub>n</sub> 入力端子</td> <td>AN<sub>n</sub> 入力端子</td> </tr> </table>	ANn	0	1	端子機能	P0 <sub>n</sub> 入力端子	AN <sub>n</sub> 入力端子
ANn	0	1					
端子機能	P0 <sub>n</sub> 入力端子	AN <sub>n</sub> 入力端子					

#### 7.2.4 端子状態

ポート0の各動作モードにおける端子状態を表7.7に示します。

表7.7 ポート0端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サプティブ	アクティブ
P0 <sub>7</sub> /AN <sub>7</sub> }	ハイインピダンス	保持	ハイインピダンス	ハイインピダンス	ハイインピダンス	動作
P0 <sub>0</sub> /AN <sub>0</sub>						

## 7.3 ポート 1

### 7.3.1 概要

ポート 1 は、4 ビットの標準入出力ポート、1 ビットの標準入力専用ポート、および 1 ビットの高耐圧入力専用ポートにより構成されます。

ポート 1 の構成を図 7.4 に示します。

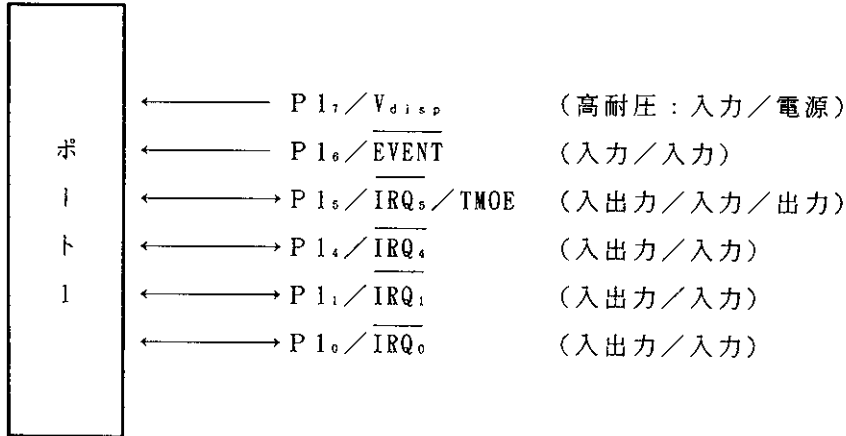


図 7.4 ポート 1 の端子構成

### 7.3.2 レジスタの構成と説明

表 7.8 にポート 1 のレジスタ構成を示します。

表 7.8 ポート 1 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートモードレジスタ 1	PMR1	R/W	H'0C	H'FFEB
ポートコントロールレジスタ 1	PCR1	W	H'CC	H'FFE1
ポートデータレジスタ 1	PDR1	R/W	不定	H'FFD1
ポートモードレジスタ 4	PMR4	R/W	H'0F	H'FFEE



(1) ポートモードレジスタ1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	NOISE CANCEL	EVENT	IRQC5	IRQC4	—	—	IRQC1	IRQC0
初期値:	0	0	0	0	1	1	0	0
R/W:	R/W	R/W	R/W	R/W	—	—	R/W	R/W

PMR1は8ビットのリード/ライト可能なレジスタで、P1<sub>6</sub>/EVENT端子、P1<sub>5</sub>/IRQ<sub>5</sub>、P1<sub>4</sub>/IRQ<sub>4</sub>、P1<sub>1</sub>/IRQ<sub>1</sub>、P1<sub>0</sub>/IRQ<sub>0</sub>端子の機能切換えおよびIRQ<sub>0</sub>端子のノイズキャンセル機能のオン/オフを制御します。

PMR1は、リセット時、H'0Cにイニシャライズされます。

【注】 PMR1のIRQ<sub>5</sub>～IRQ<sub>0</sub>ビットにより、端子機能を切り換える場合は、割込み許可フラグを割込み禁止とした状態で行ってください。また、端子機能を切り換えた後、一命令において当該割込み要求フラグを“0”にクリアしてください。

「3.2.3 (1) ポートモードレジスタ (PMR1)」を参照してください。

ビット7: ノイズキャンセル (NOISE CANCEL)

IRQ<sub>0</sub>端子のノイズキャンセル機能のオン/オフを設定します。スタンバイモード、ウォッチモード、およびサブアクティブモード時は、本ビットの設定にかかわらず、ノイズキャンセル機能はオフの状態となります。

ビット7	説明
NOISE CANCEL	
0	ノイズキャンセル機能オフ (初期値)
1	ノイズキャンセル機能オン (IRQ <sub>0</sub> 端子の入力を256ステートの間隔で2度サンプリングします。入力値が異なっていればノイズとみなします。)

ビット6: P1<sub>6</sub>/EVENT端子機能切換え (EVENT)

P1<sub>6</sub>/EVENT端子をP1<sub>6</sub>端子として使用するか、EVENT端子として使用するかを設定します。

ビット6	説明
EVENT	
0	P1 <sub>6</sub> /EVENT端子は、P1 <sub>6</sub> 入力端子*として機能 (初期値)
1	P1 <sub>6</sub> /EVENT端子は、EVENT入力端子 (タイマDのイベント入力) として機能

【注】\* P1<sub>5</sub>/EVENT端子をP1<sub>5</sub>端子として使用する場合でも、P1<sub>5</sub>端子をリードしたときにタイマカウンタDがカウントアップされることがあります。タイマDを使用する場合には、タイマモードレジスタD (TMD)のCLRビットにより、タイマカウンタDを必ずクリアしてください。

ビット5 : P1<sub>5</sub>/IRQ<sub>5</sub>/TMOE端子機能切換え (IRQC5)

P1<sub>5</sub>/IRQ<sub>5</sub>/TMOE端子をP1<sub>5</sub>/TMOE端子として使用するか、IRQ<sub>5</sub>端子として使用するかを設定します。

ビット5 IRQC5	説明
0	P1 <sub>5</sub> / $\overline{\text{IRQ}}_5$ /TMOE端子は、P1 <sub>5</sub> /TMOE端子として機能 (初期値)
1	P1 <sub>5</sub> / $\overline{\text{IRQ}}_5$ /TMOE端子は、 $\overline{\text{IRQ}}_5$ 入力端子として機能

ビット4 : P1<sub>4</sub>/IRQ<sub>4</sub>端子機能切換え (IRQC4)

P1<sub>4</sub>/IRQ<sub>4</sub>端子をP1<sub>4</sub>端子として使用するか、IRQ<sub>4</sub>端子として使用するかを設定します。

ビット4 IRQC4	説明
0	P1 <sub>4</sub> / $\overline{\text{IRQ}}_4$ 端子は、P1 <sub>4</sub> 端子として機能 (初期値)
1	P1 <sub>4</sub> / $\overline{\text{IRQ}}_4$ 端子は、 $\overline{\text{IRQ}}_4$ *入力端子として機能

【注】\* IRQ<sub>4</sub>端子は立上がりエッジセンス/立下がりエッジセンスを選択できます。詳細は、「3.2.3(2) IRQエッジセレクトレジスタ (IEGR)」を参照してください。

ビット3、2 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット1 : P1<sub>1</sub>/IRQ<sub>1</sub>端子機能切換え (IRQC1)

P1<sub>1</sub>/IRQ<sub>1</sub>端子をP1<sub>1</sub>端子として使用するか、IRQ<sub>1</sub>端子として使用するかを設定します。

ビット1 IRQC1	説明
0	P1 <sub>1</sub> / $\overline{\text{IRQ}}_1$ 端子は、P1 <sub>1</sub> 端子として機能 (初期値)
1	P1 <sub>1</sub> / $\overline{\text{IRQ}}_1$ 端子は、 $\overline{\text{IRQ}}_1$ *入力端子として機能

【注】\* IRQ<sub>1</sub>端子は立上がりエッジセンス/立下がりエッジセンスを選択できます。詳細は、「3.2.3(2) IRQエッジセレクトレジスタ (IEGR)」を参照してください。

ビット0 :  $P1_0/\overline{IRQ_0}$ 端子機能切換え (IRQC0)

$P1_0/\overline{IRQ_0}$ 端子を $P1_0$ 端子として使用するか、 $\overline{IRQ_0}$ 端子として使用するかを設定します。

ビット0 IRQC0	説明
0	$P1_0/\overline{IRQ_0}$ 端子は、 $P1_0$ 入出力端子として機能 (初期値)
1	$P1_0/\overline{IRQ_0}$ 端子は、 $\overline{IRQ_0}$ *入力端子として機能

【注】\*  $\overline{IRQ_0}$ 端子は立上がりエッジセンス/立下がりエッジセンスを選択できます。詳細は、「3.2.3(2) IRQエッジセレクトレジスタ (IEGR)」を参照してください。

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	—	—	PCR1 <sub>5</sub>	PCR1 <sub>4</sub>	—	—	PCR1 <sub>1</sub>	PCR1 <sub>0</sub>
初期値:	1	1	0	0	1	1	0	0
R/W:	—	—	W	W	—	—	W	W

PCR1は、8ビットのレジスタで、ポート1の各端子P1<sub>5</sub>、P1<sub>4</sub>、P1<sub>1</sub>、P1<sub>0</sub>の入出力をビットごとに制御します。PCR1に“1”をセットすると対応するP1<sub>5</sub>、P1<sub>4</sub>、P1<sub>1</sub>、P1<sub>0</sub>端子は出力端子となり、“0”にクリアすると入力端子となります。PCR1はライト専用ですが、リードした場合は常に“1”が読み出されます。ビット7、6、3、2はリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

PMR1により当該端子が汎用入出力に設定されている場合にPCR1およびPDR1の設定が有効となります。

PCR1は、リセット時、H'CCにイニシャライズされます。

(3) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	—	—	PDR1 <sub>5</sub>	PDR1 <sub>4</sub>	—	—	PDR1 <sub>1</sub>	PDR1 <sub>0</sub>
初期値:	— *	— *	0	0	1	1	0	0
R/W:	—	—	R/W	R/W	—	—	R/W	R/W

【注】\* P1<sub>7</sub>、P1<sub>6</sub>端子は入力専用のため、PDR1をリードすると常にP1<sub>7</sub>、P1<sub>6</sub>端子のレベルが読み出されます。

PDR1は、ポート1の各端子P1<sub>5</sub>、P1<sub>4</sub>、P1<sub>1</sub>、P1<sub>0</sub>のデータを格納する8ビットのレジスタです。PCR1が“1”のとき、ポート1のリードを行うと、PDR1の値を直接リードします。そのため端子の状態の影響を受けません。PCR1が“0”のときポート1のリードを行うと、端子の状態が読み出されます。ビット3、2はリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

(4) ポートモードレジスタ 4 (PMR4)

ビット:	7	6	5	4	3	2	1	0
	TEO	TEO ON	FREQ	VRFR	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	—	—	—	—

PMR4は、8ビットのリード/ライト可能なレジスタで、P1<sub>5</sub>/IRQ<sub>5</sub>/TMOE端子の機能切換え、TMOE端子の波形出力を制御します。ビット3~0は、リザーブビットです。リードすると常に“1”が読み出されます。

PMR4は、リセット時、H'0Fにインチャライズされます。

ビット7: タイマE出力機能選択 (TEO)

ビット6: タイマE出力ON/OFF (TEO ON)

ビット5: 固定周波数選択 (FREQ)

ビット4: 任意周波数選択 (VRFR)

PMR4のビット7~4、およびPMR1のIRQC5ビットにより、P1<sub>5</sub>/IRQ<sub>5</sub>/TMOE端子機能は以下のように切り換わります。

PMR1	PMR4				説明	
ビット5	ビット7	ビット6	ビット5	ビット4	端子機能	端子の状態
IRQC5	TEO	TEO ON	FREQ	VRFR		
0	0	0	0	0	P1 <sub>5</sub> 端子	標準入出力ポート (初期値)
0	0	*	*	*	P1 <sub>5</sub> 端子	標準入出力ポート
0	1	0	*	*	TMOE出力端子 (OFF)	“Low”レベル出力
0	1	1	0	0	TMOE出力端子 (ON)	固定周波数出力: (φ/2048) 1.95kHz(φ=4MHz) 0.98kHz(φ=2MHz)
0	1	1	1	0	TMOE出力端子 (ON)	固定周波数出力: (φ/1024) 3.9kHz(φ=4MHz) 1.95kHz(φ=2MHz)
0	1	1	*	1	TMOE出力端子 (ON)	任意周波数出力: タイマEオーバーフローによるトグル出力
1	*	*	*	*	IRQ <sub>5</sub> 入力端子	外部割込み入力

\* : don't care

### 7.3.3 端子機能

ポート1の端子機能を表7.9に示します。

表7.9 ポート1の端子機能

端 子	選 択 方 法 と 端 子 機 能												
P1 <sub>7</sub> /V <sub>DISP</sub>	<p>マスクオプションにより選択します。</p> <table border="1"> <tr> <td>P1<sub>7</sub>高耐圧入力端子</td> <td>VFD駆動用電源 (V<sub>DISP</sub>)</td> </tr> </table>	P1 <sub>7</sub> 高耐圧入力端子	VFD駆動用電源 (V <sub>DISP</sub> )										
P1 <sub>7</sub> 高耐圧入力端子	VFD駆動用電源 (V <sub>DISP</sub> )												
P1 <sub>6</sub> /EVENT	<p>PMR1のEVENTビットにより、次のように切り換わります。</p> <table border="1"> <tr> <td>EVENT</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P1<sub>6</sub>入力端子</td> <td><math>\overline{\text{EVENT}}</math>入力端子*</td> </tr> </table> <p>【注】* タイマDイベント入力。</p>	EVENT	0	1	端子機能	P1 <sub>6</sub> 入力端子	$\overline{\text{EVENT}}$ 入力端子*						
EVENT	0	1											
端子機能	P1 <sub>6</sub> 入力端子	$\overline{\text{EVENT}}$ 入力端子*											
P1 <sub>5</sub> /IRQ <sub>5</sub> /TMOE、 P1 <sub>4</sub> /IRQ <sub>4</sub> P1 <sub>1</sub> /IRQ <sub>1</sub> P1 <sub>0</sub> /IRQ <sub>0</sub>	<p>PMR1のIRQC5、IRQC4、IRQC1、IRQC0ビット*とPCR1<sub>n</sub>ビットの組合わせで 次のように切り換わります。</p> <table border="1"> <tr> <td>PMR1</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>PCR1<sub>n</sub></td> <td>0</td> <td>1</td> <td>———</td> </tr> <tr> <td>端子機能</td> <td>P1<sub>n</sub>入力端子</td> <td>P1<sub>n</sub>出力端子</td> <td><math>\overline{\text{IRQ}}_n</math>入力端子</td> </tr> </table> <p>【注】* (1) PMR1のIRQC5、IRQC4、IRQC1、IRQC0ビットにより、端子機能を切り換える場合は、割込み許可フラグを割込み禁止とした状態で行ってください。また、端子機能を切り換えた後、一命令において当該割込み要求フラグを“0”にクリアしてください。</p> <p>「3.2.3 (1) ポートモードレジスタ (PMR1)」を参照してください。</p> <p>(2) 低消費電力モードに入る前にPMR1のIRQC5、IRQC4、IRQC1、IRQC0ビットにより、外部割込み入力に設定されている端子は、外部でフローティングにならないようにするか、または遷移前にPMR1により汎用入出力ポートの設定にしてください。</p> <p>【注】 TMOE機能については、「7.3.2 (4) ポートモードレジスタ4 (PMR4)」を参照してください。</p> <p>IRQ<sub>4</sub>、IRQ<sub>1</sub>、IRQ<sub>0</sub>入力端子は立上がりエッジセンス/立下がりエッジセンスをIEGRにより選択できます。詳細は「3.2.3 (2) IRQエッジセレクトレジスタ (IEGR)」を参照してください。</p> <p>IRQ<sub>0</sub>入力端子はタイマB、またIRQ<sub>1</sub>入力端子はタイマCのイベント入力端子として使用できます。詳細は「第8章 タイマ」を参照してください。</p>	PMR1	0		1	PCR1 <sub>n</sub>	0	1	———	端子機能	P1 <sub>n</sub> 入力端子	P1 <sub>n</sub> 出力端子	$\overline{\text{IRQ}}_n$ 入力端子
PMR1	0		1										
PCR1 <sub>n</sub>	0	1	———										
端子機能	P1 <sub>n</sub> 入力端子	P1 <sub>n</sub> 出力端子	$\overline{\text{IRQ}}_n$ 入力端子										

### 7.3.4 端子状態

ポート1の各動作モードにおける端子状態を表7.10に示します。

表 7.10 ポート1の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P17/ $V_{disp}$ 、	ハイインピダンス または $V_{disp}$	ハイインピダンス または $V_{disp}$	ハイインピダンス または $V_{disp}$	ハイインピダンス または $V_{disp}$	ハイインピダンス または $V_{disp}$	動作 または $V_{disp}$
P16/ $\overline{EVENT}$ 、 P15/ $\overline{IRQ_5}/TMOE$ 、 P14/ $\overline{IRQ_4}$ 、 P11/ $\overline{IRQ_1}$ 、 P10/ $\overline{IRQ_0}$	ハイインピダンス または プルアップ	保持	ハイインピダンス	ハイインピダンス	ハイインピダンス	動作

## 7.4 ポート4

### 7.4.1 概要

ポート4は、8ビットの高耐圧入出力ポートです。ポート4の構成を図7.5に示します。

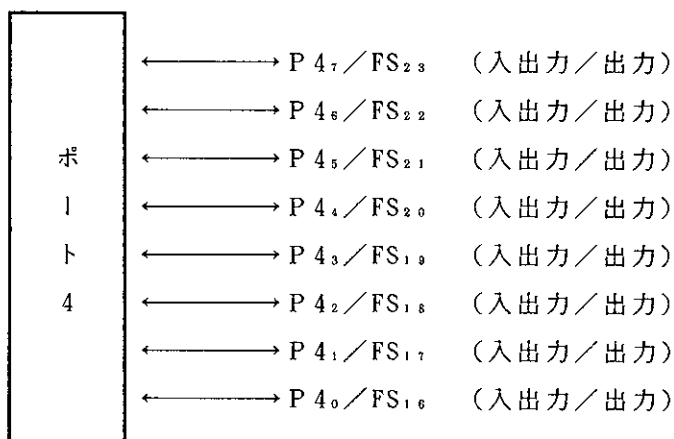


図7.5 ポート4の端子構成

### 7.4.2 レジスタの構成と説明

表7.11にポート4のレジスタ構成を示します。

表7.11 ポート4レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ4	PDR4	R/W	H'00	H'FFD4

#### (1) ポートデータレジスタ4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
	PDR4 <sub>7</sub>	PDR4 <sub>6</sub>	PDR4 <sub>5</sub>	PDR4 <sub>4</sub>	PDR4 <sub>3</sub>	PDR4 <sub>2</sub>	PDR4 <sub>1</sub>	PDR4 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR4は、ポート4の各端子P4<sub>7</sub>~P4<sub>0</sub>のデータを格納する8ビットのレジスタです。

PDR4は、リセット時、H'00にイニシャライズされます。



### 7.4.3 端子機能

ポート4の端子機能を表7.12に示します。

表7.12 ポート4の端子機能

端子	選択方法と端子機能						
P4 <sub>7</sub> /FS <sub>2,3</sub> ) P4 <sub>0</sub> /FS <sub>1,6</sub>	<p>VFDセグメントコントロールレジスタ (VF SR) のSR4~0ビットにより使用するセグメント端子を指定した後、ディジットビギングレジスタ (DBR) のVFDEビットを“1”にセットしてVFDコントローラ/ドライバを動作させます。キースキャン期間中はセグメント出力に指定された端子も汎用ポートとしてCPUから操作できます。また、VFDコントローラ/ドライバが動作中でもVF SRのVFLAGビットに“0”をライトすることで、セグメント端子を汎用ポートに切り換えることができます。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>VFLAG</th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>端子機能</td> <td>P4<sub>7</sub>~P4<sub>0</sub>はすべて汎用入出力端子</td> <td>SR4~0ビットにより指定された端子はセグメント出力端子*。その他は汎用入出力端子。</td> </tr> </tbody> </table> <p>【注】* セグメント出力端子として機能している端子のリードを行うとPDR4の当該ビットの値が読み出されます。</p>	VFLAG	0	1	端子機能	P4 <sub>7</sub> ~P4 <sub>0</sub> はすべて汎用入出力端子	SR4~0ビットにより指定された端子はセグメント出力端子*。その他は汎用入出力端子。
VFLAG	0	1					
端子機能	P4 <sub>7</sub> ~P4 <sub>0</sub> はすべて汎用入出力端子	SR4~0ビットにより指定された端子はセグメント出力端子*。その他は汎用入出力端子。					

### 7.4.4 端子状態

ポート4の各動作モードにおける端子状態を表7.13に示します。

表7.13 ポート4の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P4 <sub>7</sub> /FS <sub>2,3</sub> ) P4 <sub>0</sub> /FS <sub>1,6</sub>	ハイインピーダンス または プルダウン	保持	ハイインピーダンス または プルダウン	ハイインピーダンス または プルダウン	ハイインピーダンス または プルダウン	動作

## 7.5 ポート5

### 7.5.1 概要

ポート5は、8ビットの高耐圧入出力ポートです。ポート5の構成を図7.6に示します。

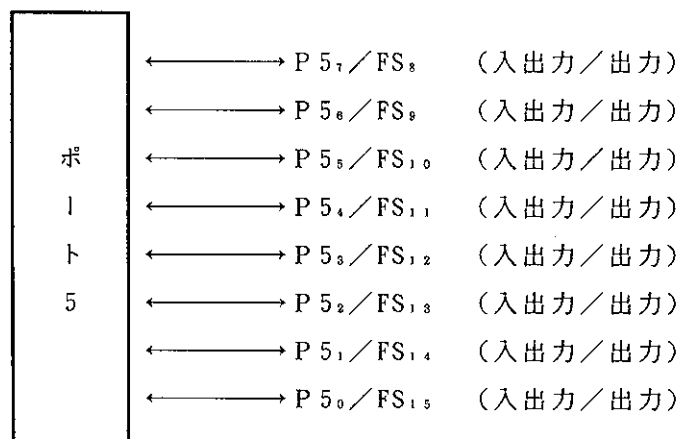


図 7.6 ポート5の端子構成

### 7.5.2 レジスタの構成と説明

表 7.14にポート5のレジスタ構成を示します。

表 7.14 ポート5レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ5	PDR5	R/W	H'00	H'FFD5

#### (1) ポートデータレジスタ5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	PDR5 <sub>7</sub>	PDR5 <sub>6</sub>	PDR5 <sub>5</sub>	PDR5 <sub>4</sub>	PDR5 <sub>3</sub>	PDR5 <sub>2</sub>	PDR5 <sub>1</sub>	PDR5 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5は、ポート4の各端子P5<sub>7</sub>~P5<sub>0</sub>のデータを格納する8ビットのレジスタです。

PDR5は、リセット時、H'00にイニシャライズされます。

### 7.5.3 端子機能

ポート5の端子機能を表7.15に示します。

表7.15 ポート5の端子機能

端 子	選 択 方 法 と 端 子 機 能						
P5 <sub>7</sub> /FS <sub>0</sub> } P5 <sub>0</sub> /FS <sub>1</sub>	<p>VFDセグメントコントロールレジスタ(VFSR)のSR4~0ビットにより使用するセグメント端子を指定した後、ディジットビギンレジスタ(DBR)のVFDEビットを“1”にセットしてVFDコントローラ/ドライバを動作させます。キースキャン期間中はセグメント出力に指定された端子も汎用ポートとしてCPUから操作できます。また、VFDコントローラ/ドライバが動作中でもVFSRのVFLAGビットに“0”をライトすることで、セグメント端子を汎用ポートに切り換えることができます。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>VFLAG</th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>端子機能</td> <td>P5<sub>7</sub>~P5<sub>0</sub>はすべて汎用入出力端子</td> <td>SR4~0ビットにより指定された端子はセグメント出力端子*。その他は汎用入出力端子。</td> </tr> </tbody> </table> <p>【注】* セグメント出力端子として機能している端子のリードを行うとPDR5の当該ビットの値が読み出されます。</p>	VFLAG	0	1	端子機能	P5 <sub>7</sub> ~P5 <sub>0</sub> はすべて汎用入出力端子	SR4~0ビットにより指定された端子はセグメント出力端子*。その他は汎用入出力端子。
VFLAG	0	1					
端子機能	P5 <sub>7</sub> ~P5 <sub>0</sub> はすべて汎用入出力端子	SR4~0ビットにより指定された端子はセグメント出力端子*。その他は汎用入出力端子。					

### 7.5.4 端子状態

ポート5の各動作モードにおける端子状態を表7.16に示します。

表7.16 ポート5の端子状態

端 子 名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P5 <sub>7</sub> /FS <sub>0</sub> } P5 <sub>0</sub> /FS <sub>1</sub>	ハイインパルス または プルダウン	保 持	ハイインパルス または プルダウン	ハイインパルス または プルダウン	ハイインパルス または プルダウン	動 作

## 7.6 ポート 6

### 7.6.1 概要

ポート 6 は、8 ビットの高耐圧入出力ポートです。ポート 6 の構成を図 7.7 に示します。

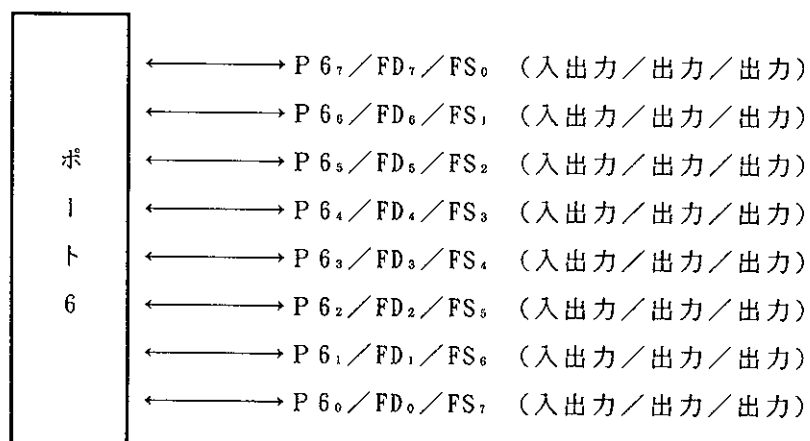


図 7.7 ポート 6 の端子構成

### 7.6.2 レジスタの構成と説明

表 7.17 にポート 6 のレジスタ構成を示します。

表 7.17 ポート 6 レジスタ構成

名 称	略 称	R / W	初 期 値	ア ド レ ス
ポートデータレジスタ 6	P D R 6	R / W	H' 00	H' FFD6

#### (1) ポートデータレジスタ 6 (P D R 6)

ビット:	7	6	5	4	3	2	1	0
	PDR6 <sub>7</sub>	PDR6 <sub>6</sub>	PDR6 <sub>5</sub>	PDR6 <sub>4</sub>	PDR6 <sub>3</sub>	PDR6 <sub>2</sub>	PDR6 <sub>1</sub>	PDR6 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R / W:	R / W	R / W	R / W	R / W	R / W	R / W	R / W	R / W

P D R 6 は、ポート 6 の各端子 P 6<sub>7</sub> ~ P 6<sub>0</sub> のデータを格納する 8 ビットのレジスタです。

P D R 6 は、リセット時、H' 00 にイニシャライズされます。

### 7.6.3 端子機能

ポート6の端子機能を表7.18に示します。

表7.18 ポート6の端子機能

端子	選択方法と端子機能						
P6 <sub>7</sub> /FD <sub>7</sub> / FS <sub>0</sub> } P6 <sub>0</sub> /FD <sub>0</sub> / FS <sub>7</sub>	<p>VFDディジットコントロールレジスタ (VFDR) のDR3~0ビットとVFDセグメントコントロールレジスタ (VF SR) のSR4~0ビット、およびディジットビギニングレジスタ (DBR) のDBR3~0ビットにより、ディジット端子、セグメント端子を指定した後、DBRのVFDEビットを“1”にセットしてVFDコントローラ/ドライバを動作させます。キースキャン期間中はディジット出力またはセグメント出力に指定された端子も汎用ポートとしてCPUから操作できます。また、VFDコントローラ/ドライバ動作中でも、VF SRのVFLAGビットに“0”をライトすることでディジット端子、セグメント端子を汎用ポートに切り換えることができます。</p> <table border="1"> <thead> <tr> <th>VFLAG</th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>端子機能</td> <td>P6<sub>7</sub>~P6<sub>0</sub>はすべて汎用入出力端子</td> <td>DR3~0ビット、SR4~0ビット、DBR3~0ビットによりディジット出力端子*、セグメント出力端子*、汎用入出力端子を指定</td> </tr> </tbody> </table> <p>【注】* ディジット出力端子、セグメント出力端子として機能している端子のリードを行うとPDR6の当該ビットの値が読み出されます。</p>	VFLAG	0	1	端子機能	P6 <sub>7</sub> ~P6 <sub>0</sub> はすべて汎用入出力端子	DR3~0ビット、SR4~0ビット、DBR3~0ビットによりディジット出力端子*、セグメント出力端子*、汎用入出力端子を指定
VFLAG	0	1					
端子機能	P6 <sub>7</sub> ~P6 <sub>0</sub> はすべて汎用入出力端子	DR3~0ビット、SR4~0ビット、DBR3~0ビットによりディジット出力端子*、セグメント出力端子*、汎用入出力端子を指定					

### 7.6.4 端子状態

ポート6の各動作モードにおける端子状態を表7.19に示します。

表7.19 ポート6の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P6 <sub>7</sub> /FD <sub>7</sub> / FS <sub>0</sub> } P6 <sub>0</sub> /FD <sub>0</sub> / FS <sub>7</sub>	ハイインピーダンス または プルダウン	保持	ハイインピーダンス または プルダウン	ハイインピーダンス または プルダウン	ハイインピーダンス または プルダウン	動作

## 7.7 ポート7

### 7.7.1 概要

ポート7は、8ビットの高耐圧入出力ポートです。ポート7の構成を図7.8に示します。

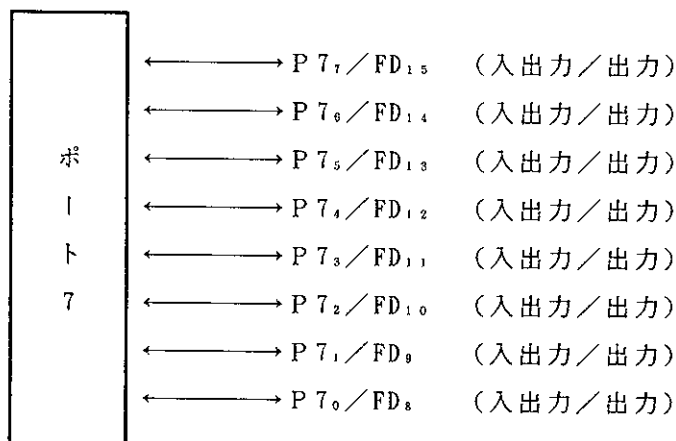


図7.8 ポート7の端子構成

### 7.7.2 レジスタの構成と説明

表7.20にポート7のレジスタ構成を示します。

表7.20 ポート7レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートデータレジスタ7	PDR7	R/W	H'00	H'FFD7

#### (1) ポートデータレジスタ7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	PDR7 <sub>7</sub>	PDR7 <sub>6</sub>	PDR7 <sub>5</sub>	PDR7 <sub>4</sub>	PDR7 <sub>3</sub>	PDR7 <sub>2</sub>	PDR7 <sub>1</sub>	PDR7 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7は、ポート7の各端子P7<sub>7</sub>~P7<sub>0</sub>のデータを格納する8ビットのレジスタです。  
PDR7は、リセット時、H'00にイニシャライズされます。

### 7.7.3 端子機能

ポート7の端子機能を表7.21に示します。

表7.21 ポート7の端子機能

端子	選択方法と端子機能						
P7 <sub>7</sub> /FD <sub>15</sub> ) P7 <sub>0</sub> /FD <sub>8</sub>	<p>VFDディジットコントロールレジスタ (VFDR) のDR3~0ビットにより使用するディジット端子を指定した後、ディジットビギンレジスタ (DBR) のVFDEビットを“1”にセットしてVFDコントローラ/ドライバを動作させます。VFDコントローラ/ドライバが動作中でもVFDセグメントコントロールレジスタ (VFSR) のVFLAGビットに“0”をライトすることで、ディジット端子を汎用ポートに切り換えることができます。</p> <table border="1"> <thead> <tr> <th>VFLAG</th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>端子機能</td> <td>P7<sub>7</sub>~P7<sub>0</sub>はすべて汎用入出力端子</td> <td>DR3~0ビットにより指定された端子はディジット出力端子*。その他は汎用入出力端子。</td> </tr> </tbody> </table> <p>【注】* ディジット出力端子として機能している端子のリードを行うとPDR7の当該ビットの値が読み出されます。</p>	VFLAG	0	1	端子機能	P7 <sub>7</sub> ~P7 <sub>0</sub> はすべて汎用入出力端子	DR3~0ビットにより指定された端子はディジット出力端子*。その他は汎用入出力端子。
VFLAG	0	1					
端子機能	P7 <sub>7</sub> ~P7 <sub>0</sub> はすべて汎用入出力端子	DR3~0ビットにより指定された端子はディジット出力端子*。その他は汎用入出力端子。					

### 7.7.4 端子状態

ポート7の各動作モードにおける端子状態を表7.22に示します。

表7.22 ポート7の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 <sub>7</sub> /FD <sub>15</sub> ) P7 <sub>0</sub> /FD <sub>8</sub>	ハイインパルス または プルダウン	保持	ハイインパルス または プルダウン	ハイインパルス または プルダウン	ハイインパルス または プルダウン	動作

## 7.8 ポート9

### 7.8.1 概要

ポート9は、8ビットの標準入出力ポートです。ポート9の構成を図7.9に示します。

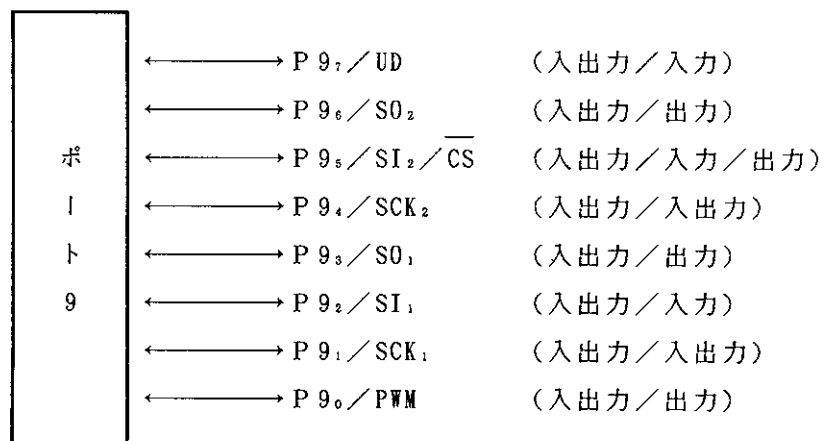


図 7.9 ポート9の端子構成

### 7.8.2 レジスタの構成と説明

表7.23にポート9のレジスタ構成を示します。

表 7.23 ポート9レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
ポートモードレジスタ2	PMR2	R/W	H'00	H'FFEC
ポートコントロールレジスタ9	PCR9	W	H'00	H'FFE9
ポートデータレジスタ9	PDR9	R/W	H'00	H'FFD9



(1) ポートモードレジスタ 2 (PMR2)

ビット：	7	6	5	4	3	2	1	0
	UP/DOWN	S02	SI2	SCK2	S01	SI1	SCK1	PWM
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR2は8ビットのリード/ライト可能なレジスタで、ポート9の各端子機能の切り換えを制御します。

PMR2は、リセット時、H'00にイニシャライズされます。

ビット7：P9<sub>7</sub>/UD端子機能切換え (UP/DOWN)

P9<sub>7</sub>/UD端子を汎用入出力ポートとして使用するか、タイマCのアップ/ダウン制御をUD端子入力によって行うかを設定します。本ビットの設定は、タイマモードレジスタC (TMC) のTMC6ビットが“1”にセットされ、端子によるアップ/ダウン制御が指定されているときに有効となります。

ビット7	説 明
UP/DOWN	
0	P9 <sub>7</sub> /UD端子は、P9 <sub>7</sub> 入出力端子として機能 (初期値)
1	P9 <sub>7</sub> /UD端子は、UD入力端子として機能 (TMCのTMC6ビットが“1”のとき、UD端子が“High”レベルならばタイマCはダウンカウンタ、“Low”レベルならばアップカウンタとして動作します。)

ビット6：P9<sub>6</sub>/S0<sub>2</sub>端子機能切換え (S02)

P9<sub>6</sub>/S0<sub>2</sub>端子をP9<sub>6</sub>入出力端子として使用するか、S0<sub>2</sub>出力端子として使用するかを設定します。

ビット6	説 明
S02	
0	P9 <sub>6</sub> /S0 <sub>2</sub> 端子は、P9 <sub>6</sub> 入出力端子として機能 (初期値)
1	P9 <sub>6</sub> /S0 <sub>2</sub> 端子は、S0 <sub>2</sub> 出力端子として機能

ビット5：P9<sub>5</sub>/SI<sub>2</sub>/CS端子機能切換え（SI2）

P9<sub>5</sub>/SI<sub>2</sub>/CS端子をP9<sub>5</sub>入出力端子として使用するか、SI<sub>2</sub>入力端子またはCS出力端子として使用するかを設定します。SI<sub>2</sub>入力端子とCS出力端子の切り換えについては、「11.2.5 ポートモードレジスタ3（PMR3）」を参照してください。

ビット5	説明
SI2	
0	P9 <sub>5</sub> /SI <sub>2</sub> /CS端子は、P9 <sub>5</sub> 入出力端子として機能（初期値）
1	P9 <sub>5</sub> /SI <sub>2</sub> /CS端子は、SI <sub>2</sub> 入力端子またはCS出力端子として機能

ビット4：P9<sub>4</sub>/SCK<sub>2</sub>端子機能切換え（SCK2）

P9<sub>4</sub>/SCK<sub>2</sub>端子をP9<sub>4</sub>入出力端子として使用するか、SCK<sub>2</sub>入出力端子として使用するかを設定します。

ビット4	説明
SCK2	
0	P9 <sub>4</sub> /SCK <sub>2</sub> 端子は、P9 <sub>4</sub> 入出力端子として機能（初期値）
1	P9 <sub>4</sub> /SCK <sub>2</sub> 端子は、SCK <sub>2</sub> 入出力端子として機能（クロック入出力の方向、分周比はシリアルモードレジスタ2（SMR2）の設定によります。）

ビット3：P9<sub>3</sub>/SO<sub>1</sub>端子機能切換え（SO1）

P9<sub>3</sub>/SO<sub>1</sub>端子をP9<sub>3</sub>入出力端子として使用するか、SO<sub>1</sub>出力端子として使用するかを設定します。

ビット3	説明
SO1	
0	P9 <sub>3</sub> /SO <sub>1</sub> 端子は、P9 <sub>3</sub> 入出力端子として機能（初期値）
1	P9 <sub>3</sub> /SO <sub>1</sub> 端子は、SO <sub>1</sub> 出力端子として機能

ビット2：P9<sub>2</sub>/SI<sub>1</sub>端子機能切換え（SI1）

P9<sub>2</sub>/SI<sub>1</sub>端子をP9<sub>2</sub>入出力端子として使用するか、SI<sub>1</sub>入力端子として使用するかを設定します。

ビット2	説明
SI1	
0	P9 <sub>2</sub> /SI <sub>1</sub> 端子は、P9 <sub>2</sub> 入出力端子として機能（初期値）
1	P9 <sub>2</sub> /SI <sub>1</sub> 端子は、SI <sub>1</sub> 入力端子として機能

ビット1 : P9<sub>1</sub>/SCK<sub>1</sub>端子機能切換え (SCK1)

P9<sub>1</sub>/SCK<sub>1</sub>端子をP9<sub>1</sub>入出力端子として使用するか、SCK<sub>1</sub>入出力端子として使用するかを設定します。

ビット1	説明
SCK1	
0	P9 <sub>1</sub> /SCK <sub>1</sub> 端子は、P9 <sub>1</sub> 入出力端子として機能 (初期値)
1	P9 <sub>1</sub> /SCK <sub>1</sub> 端子は、SCK <sub>1</sub> 入出力端子として機能 (クロック入出力の方向、分周比はシリアルモードレジスタ1 (SMR1) の設定によります。)

ビット0 : P9<sub>0</sub>/PWM端子機能切換え (PWM)

P9<sub>0</sub>/PWM端子をP9<sub>0</sub>入出力端子として使用するか、PWM出力端子として使用するかを設定します。

ビット0	説明
PWM	
0	P9 <sub>0</sub> /PWM端子は、P9 <sub>0</sub> 入出力端子として機能 (初期値)
1	P9 <sub>0</sub> /PWM端子は、PWM出力端子として機能

(2) ポートコントロールレジスタ 9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	PCR9 <sub>7</sub>	PCR9 <sub>6</sub>	PCR9 <sub>5</sub>	PCR9 <sub>4</sub>	PCR9 <sub>3</sub>	PCR9 <sub>2</sub>	PCR9 <sub>1</sub>	PCR9 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR9 は、8 ビットのレジスタで、ポート 9 の各端子 P9<sub>7</sub> ~ P9<sub>0</sub> の入出力をビットごとに制御します。

PCR9 に “1” をセットすると対応する P9<sub>7</sub> ~ P9<sub>0</sub> 端子は出力端子となり、“0” にクリアすると入力端子となります。PMR2 により当該端子が汎用入出力に設定されている場合に PCR9 および PDR9 の設定が有効となります。

PCR9 はライト専用ですが、リードした場合は常に “1” が読み出されます。

PCR9 は、リセット時、H'00 にイニシャライズされます。

(3) ポートデータレジスタ 9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	PDR9 <sub>7</sub>	PDR9 <sub>6</sub>	PDR9 <sub>5</sub>	PDR9 <sub>4</sub>	PDR9 <sub>3</sub>	PDR9 <sub>2</sub>	PDR9 <sub>1</sub>	PDR9 <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR9 は、ポート 9 の各端子 P9<sub>7</sub> ~ P9<sub>0</sub> のデータを格納する 8 ビットのレジスタです。

PCR9 が “1” のときポート 9 のリードを行うと PDR9 の値を直接リードします。そのため端子の状態の影響を受けません。PCR9 が “0” のときポート 9 のリードを行うと端子の状態が読み出されます。

PDR9 は、リセット時、H'00 にイニシャライズされます。

7.8.3 端子機能

ポート9の端子機能を表7.24に示します。

表 7.24 ポート9 端子機能(1)

端 子	選 択 方 法 と 端 子 機 能			
P9 <sub>7</sub> /UD	PMR2のUP/DOWNビット*、およびPCR9のPCR9 <sub>7</sub> ビットにより次のように切り換わります。			
	UP/DOWN	0		1
	PCR9 <sub>7</sub>	0	1	————
	端子機能	P9 <sub>7</sub> 入力端子	P9 <sub>7</sub> 出力端子	UD入力端子
【注】* 低消費電力モードに入る前にPMR2のUP/DOWNビットにより、UD入力端子に設定されている場合には、外部でフローティングにならないようにするか、または遷移前にUP/DOWNビットを“0”として汎用入出力ポートの設定にしてください。				
P9 <sub>6</sub> /SO <sub>2</sub> *	PMR2のSO <sub>2</sub> ビット、PCR9のPCR9 <sub>6</sub> ビットにより次のように切り換わります。			
	SO <sub>2</sub>	0		1
	PCR9 <sub>6</sub>	0	1	————
	端子機能	P9 <sub>6</sub> 入力端子	P9 <sub>6</sub> 出力端子	SO <sub>2</sub> 出力端子
【注】* P9 <sub>6</sub> /SO <sub>2</sub> 端子は、PMR3のSO <sub>2</sub> PMOSビットにより、PMOSのオン/オフを制御できます。詳細は、「11.2.5ポートモードレジスタ3 (PMR3)」を参照してください。				
P9 <sub>5</sub> /SI <sub>2</sub> /CS	PMR2のSI <sub>2</sub> ビット*、PMR3のCSビット、PCR9のPCR9 <sub>5</sub> ビットにより次のように切り換わります。			
	SI <sub>2</sub>	0		1
	CS	————	0	1
	PCR9 <sub>5</sub>	0	1	————
端子機能	P9 <sub>5</sub> 入力端子	P9 <sub>5</sub> 出力端子	SI <sub>2</sub> 入力端子	CS出力端子
【注】* 低消費電力モードに入る前にPMR2のSI <sub>2</sub> ビットにより、SI <sub>2</sub> 入力端子が設定されている場合には、外部でフローティングにならないようにするか、または遷移前にSI <sub>2</sub> ビットを“0”として汎用入出力ポートの設定にしてください。				

表 7.24 ポート 9 端子機能(2)

端 子	選 択 方 法 と 端 子 機 能			
P 9 <sub>4</sub> / SCK <sub>2</sub>	PMR 2 の SCK 2 ビット*、シリアルコントロールレジスタ 2 (SCR 2) の PS 1、0 ビット*、および PCR 9 の PCR 9 <sub>4</sub> ビットにより次のように切り換わります。			
	SCK 2		0	
	PS1,0		"11" 以外	
	PCR 9 <sub>4</sub>		0	
	端子機能		P 9 <sub>4</sub> 入力端子	
			P 9 <sub>4</sub> 出力端子	
			SCK <sub>2</sub> 出力端子	
			SCK <sub>2</sub> 入力端子	
	【注】* 低消費電力モードに入る前に PMR 2 の SCK 2 ビット、SCR 2 の PS 1、0 ビットにより、SCK <sub>2</sub> 入力端子に設定されている場合には、外部でフローティングにならないようにするか、または遷移前に SCK 2 ビット、PS 1、0 ビットを書き換えて SCK <sub>2</sub> 入力端子以外の設定にしてください。			
	【注】 SCR 2 の PS 1、0 ビットの設定については、「11.2.3 シリアルコントロールレジスタ 2 (SCR 2)」を参照してください。			
P 9 <sub>3</sub> /SO <sub>1</sub> *	PMR 2 の SO 1 ビット、PCR 9 の PCR 9 <sub>3</sub> ビットにより次のように切り換わります。			
	SO 1		0	
	PCR 9 <sub>3</sub>		0	
	端子機能		P 9 <sub>3</sub> 入力端子	
			P 9 <sub>3</sub> 出力端子	
			SO <sub>1</sub> 出力端子	
	【注】* P 9 <sub>3</sub> /SO <sub>1</sub> 端子は、PMR 3 の SO 1 PMOS ビットにより、PMOS の オン/オフを制御できます。詳細は、「10.2.6 ポートモードレジスタ 3 (PMR 3)」を参照してください。			
P 9 <sub>2</sub> /SI <sub>1</sub>	PMR 2 の SI 1 ビット*、PCR 9 の PCR 9 <sub>2</sub> ビットにより次のように切り換わります。			
	SI 1		0	
	PCR 9 <sub>2</sub>		0	
	端子機能		P 9 <sub>2</sub> 入力端子	
			P 9 <sub>2</sub> 出力端子	
			SI <sub>1</sub> 入力端子	
	【注】* 低消費電力モードに入る前に PMR 2 の SI 1 ビットにより、SI <sub>1</sub> 入力端子に設定されている場合には、外部でフローティングにならないようにするか、または遷移前に SI 1 ビットを "0" として汎用入出力ポートの設定にしてください。			

表 7.24 ポート 9 端子機能(3)

端 子	選 択 方 法 と 端 子 機 能			
P 9 <sub>i</sub> / SCK <sub>i</sub>	PMR 2 の SCK 1 ビット*、SMR 1 の SMR 13~10 ビット*、および PCR 9 の PCR 9 <sub>i</sub> ビットにより次のように切り換わります。			
	SCK 1	0		1
	SMR13~10	—————		“1111”以外 “1111”
	PCR 9 <sub>i</sub>	0	1	—————
	端子機能	P 9 <sub>i</sub> 入力端子	P 9 <sub>i</sub> 出力端子	SCK <sub>i</sub> 出力端子
<p>【注】* 低消費電力モードに入る前に PMR 2 の SCK 1 ビット、SMR 1 の SMR 13~10 ビットにより、SCK<sub>i</sub> 入力端子に設定されている場合には、外部でフローティングにならないようにするか、または遷移前に SCK 1 ビット、SMR 13~10 ビットを書き換えて SCK<sub>i</sub> 入力端子以外の設定にしてください。</p> <p>【注】 SMR 1 の SMR 13~10 ビットの設定については、「10.2.1 シリアルモードレジスタ 1 (SMR 1)」を参照してください。</p>				
P 9 <sub>o</sub> / PWM	PMR 2 の PWM ビット、および PCR 9 の PCR 9 <sub>o</sub> ビットにより次のように切り換わります。			
	PWM	0		1
	PCR 9 <sub>o</sub>	0	1	—————
	端子機能	P 9 <sub>o</sub> 入力端子	P 9 <sub>o</sub> 出力端子	PWM出力端子

7.8.4 端子状態

ポート 9 の各動作モードにおける端子状態を表 7.25 に示します。

表 7.25 ポート 9 の端子状態

端 子 名	リセッ ト	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P 9 <sub>7</sub> /UD P 9 <sub>6</sub> /SO <sub>2</sub> 、 P 9 <sub>5</sub> /SI <sub>2</sub> /CS P 9 <sub>4</sub> /SCK <sub>2</sub> P 9 <sub>3</sub> /SO <sub>1</sub> 、 P 9 <sub>2</sub> /SI <sub>1</sub> 、 P 9 <sub>1</sub> /SCK <sub>1</sub> 、 P 9 <sub>0</sub> /PWM	ハイインピーダンス または プルアップ	保 持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	動 作





# 8. タイマ

## 第 8 章 目次

8. 1	概要	153
8. 1. 1	プリスケーラの動作	154
8. 2	タイマ A	155
8. 2. 1	概要	155
8. 2. 2	各レジスタの説明	156
8. 2. 3	動作説明	158
8. 3	タイマ B	159
8. 3. 1	概要	159
8. 3. 2	各レジスタの説明	160
8. 3. 3	動作説明	163
8. 4	タイマ C	165
8. 4. 1	概要	165
8. 4. 2	各レジスタの説明	167
8. 4. 3	動作説明	170
8. 5	タイマ D	172
8. 5. 1	概要	172
8. 5. 2	各レジスタの説明	173
8. 5. 3	動作説明	174
8. 6	タイマ E	175
8. 6. 1	概要	175
8. 6. 2	各レジスタの説明	177
8. 6. 3	動作説明	180
8. 7	割込み要因	183
8. 8	使用上の注意事項	183



## 8.1 概要

本LSIは、入力クロックの異なる2本のプリスケアラ（プリスケアラS、プリスケアラW）と5本のタイマ（タイマA～E）を内蔵しています。

プリスケアラSはシステムクロック（ $\phi = f_{osc}/2$ ）を入力クロックとする13ビットのカウンタで、分周した出力をタイマA～C、タイマEの動作クロックとして使用します。

プリスケアラWはサブクロック（ $\phi_{sub} = f_x/8$ ）を入力クロックとする5ビットのカウンタで、分周した出力をタイマAの時計用タイムベース動作に使用します。

タイマA～Eの機能概要を表8.1に示します。

表8.1 タイマA～E機能概要

タイマ名称	機能	動作クロック (内部)	イベント 入力端子	波形出 力端子	備考
タイマA	・8ビットインターバルタイマ	$\phi/8 \sim \phi/8192$ (8種類)	—	—	
	・時計用タイムベース	$\phi_{sub}/32$ (オバワロ-周期は4 種類選択可能)			
タイマB	・8ビットリロードタイマ ・インターバル動作可能 ・イベントカウント可能	$\phi/8 \sim \phi/8192$ (7種類)	$P1_0/\overline{IRQ_0}$	—	
タイマC	・8ビットリロードタイマ ・インターバル動作可能 ・イベントカウント可能 ・カウントアップ/ダウン 選択可能	$\phi/8 \sim \phi/8192$ (7種類)	$P1_1/\overline{IRQ_1}$	—	カウントアップ/ ダウンは、ソフト ウェア制御、ハー ドウェア制御とも に可能
タイマD	・8ビットイベントカウンタ	—	$P1_0$ $/\overline{EVENT}$	—	
タイマE	・8ビットリロードタイマ ・インターバル動作可能	$\phi/8 \sim \phi/8192$ (8種類)	—	$P1_5$ $/\overline{IRQ_5}$ $/TMOE$	デューティ50%の 方形波を出力可能

### 8.1.1 プリスケーラの動作

#### (1) プリスケーラ S (PSS)

プリスケーラ S はシステムクロック ( $\phi = f_{osc} / 2$ ) を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケーラ S は H'0000 にイニシャライズされ、アクティブモード遷移後、カウントアップを開始します。

スタンバイモード、ウォッチモード、およびサブアクティブモードでは、システムクロック ( $\phi$ ) 発振器が停止するため、プリスケーラ S の動作も停止します。このとき、その値は H'0000 にリセットされます。

CPU によるプリスケーラ S のデータリード/ライトはできません。

プリスケーラ S の出力は、タイマ A ~ C、E およびシリアルコミュニケーションインタフェース 1、2 で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

#### (2) プリスケーラ W (PSW)

プリスケーラ W はサブクロック ( $\phi_{sub} = f_x / 8$ ) を入力クロックとする 5 ビットのカウンタです。

リセット時、プリスケーラ W は H'00 にイニシャライズされ、アクティブモード遷移後、カウントアップを開始します。

スタンバイモード、ウォッチモード、およびサブアクティブモードに移行しても、 $X_1$ 、 $X_2$  端子によりクロックが供給されているかぎり、プリスケーラ W は動作を継続します。

プリスケーラ W は、タイマモードレジスタ A (TMA) の TMA 3、2 ビットを “1、1” に設定することでリセットできます。

プリスケーラ W の出力は、タイマ A の動作クロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

プリスケーラ S、W による周辺機能へのクロック供給を図 8.1 に示します。

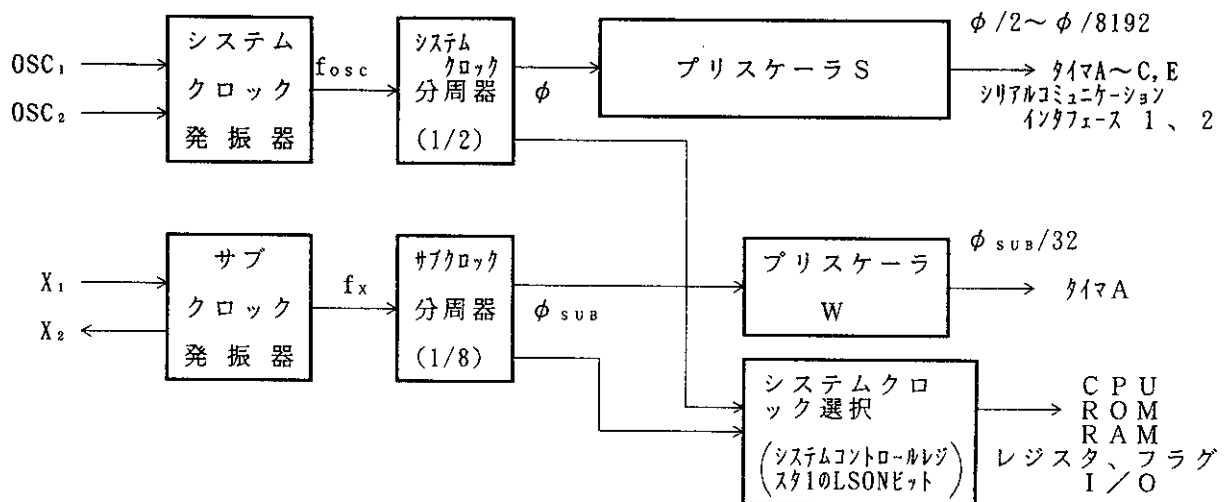


図 8.1 クロック供給

## 8.2 タイマA

### 8.2.1 概要

タイマAは8ビットのインターバルタイマです。32.768kHzの水晶発振器を接続すると時計用タイムベースとして使用できます。

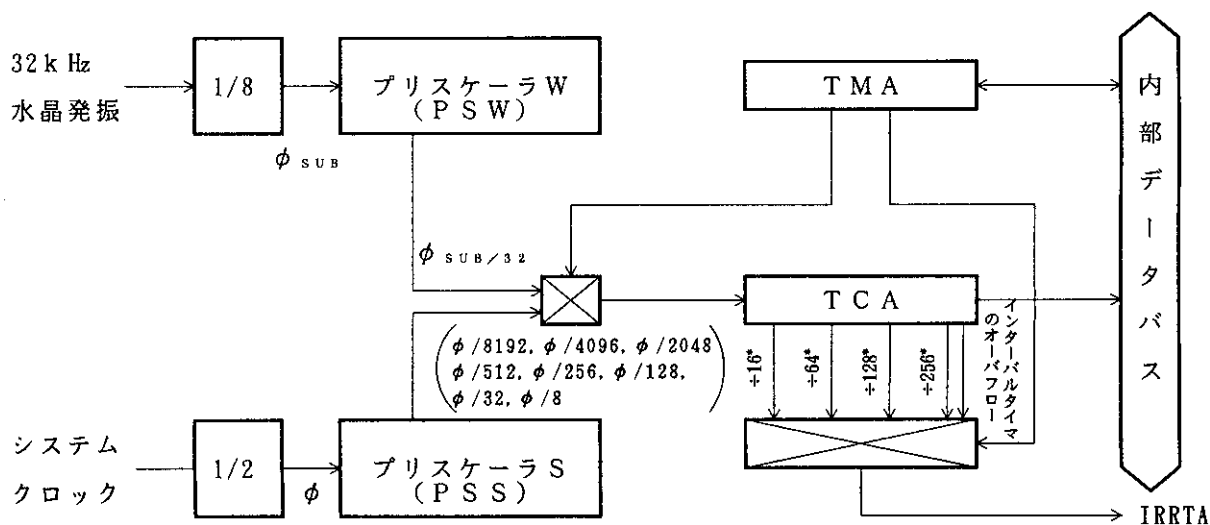
#### (1) 特長

タイマAの特長を以下に示します。

- 8種類の内部クロック ( $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$ ) が選択可能です。
- 時計用タイムベースとして4種類のオーバフロー周期 (2s、1s、0.5s、125ms) が選択可能です (32.768kHz水晶発振子を使用)。
- カウンタのオーバフローで割込み要求を発生します。

#### (2) ブロック図

タイマAのブロック図を図8.2に示します。



<記号説明>

TMA : タイマモードレジスタA

TCA : タイマカウンタA

IRRTA : タイマAオーバフロー割込み要求フラグ  
(割込み要求レジスタ2)

【注】 \* TCAの入カクロックがプリスケラW出力 ( $\phi_{SUB}/32$ ) の場合のみ、選択可能です。

図8.2 タイマAブロック図

(3) レジスタ構成

タイマAのレジスタ構成を表8.2に示します。

表 8.2 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
タイマモードレジスタA	TMA	R/W	H'F0	H'FFC0
タイマカウンタA	TCA	R	H'00	H'FFC1

8.2.2 各レジスタの説明

(1) タイマモードレジスタA (TMA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	TMA3	TMA2	TMA1	TMA0
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

TMAは、8ビットのリード/ライト可能なレジスタで、プリスケータおよび入力クロックの選択を行います。

TMAは、リセット時、H'F0にイニシャライズされます。

ビット7～4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3：クロック入力元プリスケータ選択 (TMA3)

タイマAのクロック入力元をプリスケータSとするかプリスケータWとするかを選択します。

ビット3	説 明
TMA3	
0	タイマAのクロック入力元はプリスケータS (PSS) (初期値)
1	タイマAのクロック入力元はプリスケータW (PSW)

ビット2～0：クロックセレクト（TMA2～0）

TCAに入力するクロックを選択します。TMA3ビットとの組合せで以下のようになります。

ビット3	ビット2	ビット1	ビット0	説明	
TMA3	TMA2	TMA1	TMA0	プリスケ-ラ分周比(インターバルタイマ)または オーバーフロー周期(時計用タイムベース)	動作モード
0	0	0	0	PSS, $\phi/8192$ (初期値)	インターバル タイマ モード
			1	PSS, $\phi/4096$	
		1	0	PSS, $\phi/2048$	
			1	PSS, $\phi/512$	
	1	0	0	PSS, $\phi/256$	
			1	PSS, $\phi/128$	
		1	0	PSS, $\phi/32$	
			1	PSS, $\phi/8$	
1	0	0	0	PSW, 2 s	時計用タイ ムベース モード
			1	PSW, 1 s	
		1	0	PSW, 0.5 s	
			1	PSW, 125ms	
	1	0	0	PSWおよびTCA初期化状態	
			1		
		1	0		
			1		

【注】  $\phi = f_{osc} / 2$

(2) タイマカウンタA (TCA)

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCAは、8ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、タイマモードレジスタA (TMA) のTMA3～0ビットにより選択します。TCAの値は、CPUから常にリードできます。

TCAは、TMAのTMA3、2ビットを“1、1”にセットすることでクリアできます。

TCAがオーバーフローすると、割込み要求レジスタ2 (IRR2)のIRR2Aビットが“1”にセットされます。

TCAは、リセット時、H'00にイニシャライズされます。

### 8.2.3 動作説明

タイマAは8ビットのタイマで、インターバルタイマとして、また、32.768kHz水晶発振器を接続すると、時計用タイムベースとして使用できます。

#### (1) インターバルタイマの動作

タイマモードレジスタA (TMA)のTMA3ビット="0"にすると、タイマAは8ビットインターバルタイマとして動作します。

リセット時、TCAはH'00にTMA3ビットは"0"にクリアされるため、リセット直後は、インターバルカウンタとして停止することなくカウントアップを続けます。タイマAの動作クロックは、TMAのTMA2~0ビットにより、プリスケアラSの出力する8種類の内部クロックを選択できます。

タイマカウンタA (TCA)のカウンタ値がH'FFになった後、クロックが入力されると、タイマAはオーバフローし、割込み要求レジスタ2 (IRR2)のIRR2Aビットが"1"にセットされます。このとき、割込み許可レジスタ2 (IENR2)のIENTAビットが"1"ならばCPUに割込みを要求します。\*

オーバフロー時には、TCAのカウンタ値はH'00に戻り、再びカウントアップを開始します。したがって、256の入力クロックごとに、周期的にオーバフロー出力を発生するインターバルタイマとして動作します。

【注】\* 割込みについての詳細は、「3.2.2 割込み」を参照してください。

#### (2) 時計用タイムベースの動作

TMAのTMA3ビット="1"にすると、タイマAは時計用タイムベースとして動作します。

タイマAのオーバフロー周期は、TMAのTMA1、0ビットにより、プリスケアラWの出力するクロックをカウントして4種類を選択できます。

#### (3) カウントの初期化

TMA3、2ビットを"1、1"にセットすると、PSWとTCAは初期化状態("0"で停止)になります。この状態からTMA3、2ビットに"1、0"を書き込むことにより、タイマAはタイムベースモードで"0"からカウントを開始します。

初期化状態からTMA3、2ビットに"0、\*"を書き込むと、インターバルタイマモードで"0"からカウントを開始しますが、プリスケアラS (PSS)は初期化されていないので、TMA3、2="0、\*"を書き込んでから最初のカウントまでの期間は一定ではありません。



## 8.3 タイマB

### 8.3.1 概要

タイマBは、入力クロックが入るたびにカウントアップする8ビットのアップカウンタです。タイマBには、インターバル、オートリロードの2種類の動作モードがあります。

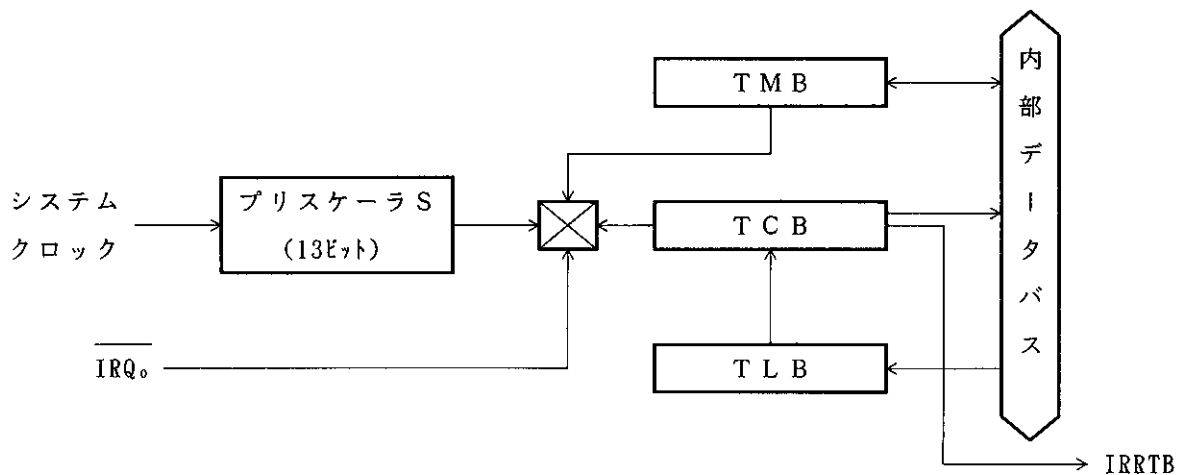
#### (1) 特長

タイマBの特長を以下に示します。

- 7種類の内部クロック( $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$ )と外部クロックのうちから選択が可能です(外部イベントのカウントが可能)。
- カウンタのオーバフローで割込み要求を発生します。

#### (2) ブロック図

タイマBのブロック図を図8.3に示します。



#### <記号説明>

- TMB : タイマモードレジスタB
- TCB : タイマカウンタB
- TLB : タイマロードレジスタB
- IRRTB : タイマBオーバフロー割込み要求フラグ  
(割込み要求レジスタ2)

図8.3 タイマBブロック図

(3) 端子構成

タイマBの端子構成を表8.3に示します。

表 8.3 端子構成

名 称	略 称	入出力	機 能
イベント入力端子	P1 <sub>0</sub> / $\overline{\text{IRQ}}_0$	入 力	タイマBイベント入力

(4) レジスタ構成

タイマBのレジスタ構成を表8.4に示します。

表 8.4 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
タイマモードレジスタB	TMB	R/W	H'78	H'FFC2
タイマカウンタB	TCB	R	H'00	H'FFC3
タイマロードレジスタB	TLB	W	H'00	H'FFC3

8.3.2 各レジスタの説明

(1) タイマモードレジスタB (TMB)

ビット：	7	6	5	4	3	2	1	0
	TMB7	—	—	—	—	TMB2	TMB1	TMB0
初期値：	0	1	1	1	1	0	0	0
R/W：	R/W	—	—	—	—	R/W	R/W	R/W

TMBは、8ビットのリード/ライト可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

TMBは、リセット時、H'78にイニシャライズされます。

ビット7：オートリロード機能選択 (TMB7)

タイマBのオートリロード機能を選択します。

ビット7	説 明
TMB7	
0	インターバルタイマ機能を選択 (初期値)
1	オートリロード機能を選択

ビット6～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト（TMB 2～0）

TCBに入力するクロックを選択します。外部クロックによるカウントは、立上がりエッジ／立下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMB 2	TMB 1	TMB 0	
0	0	0	内部クロック： $\phi / 8192$ でカウント（初期値）
0	0	1	内部クロック： $\phi / 2048$ でカウント
0	1	0	内部クロック： $\phi / 512$ でカウント
0	1	1	内部クロック： $\phi / 256$ でカウント
1	0	0	内部クロック： $\phi / 128$ でカウント
1	0	1	内部クロック： $\phi / 32$ でカウント
1	1	0	内部クロック： $\phi / 8$ でカウント
1	1	1	外部クロック（P1 <sub>0</sub> /IRQ <sub>0</sub> ）：立上がりエッジまたは立下がりエッジでカウント*

【注】\* 外部クロックのエッジの選択は、IRQエッジセレクトレジスタ（IEGR）のIEG0ビットにより設定します。詳細は、「3.2.3 (2) IRQエッジセレクトレジスタ（IEGR）」を参照してください。

(2) タイマカウンタB（TCB）

ビット：	7	6	5	4	3	2	1	0
	TCB7	TCB6	TCB5	TCB4	TCB3	TCB2	TCB1	TCB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCBは、8ビットのリード可能なアップカウンタで、入力する内部／外部クロックによりカウントアップされます。入力するクロックは、タイマモードレジスタB（TMB）のTMB 2～0ビットにより選択します。TCBの値は、CPUから常にリードできます。

TCBがオーバーフロー（H'FF→H'00またはH'FF→TLBの設定値）すると、割込み要求レジスタ2（IRR2）のIRR<sub>TCB</sub>ビットが“1”にセットされます。

TCBは、タイマロードレジスタB（TLB）と同一のアドレスに割り付けられています。

TCBは、リセット時、H'00にイニシャライズされます。

(3) タイマロードレジスタ B (TLB)

ビット:	7	6	5	4	3	2	1	0
	TLB7	TLB6	TLB5	TLB4	TLB3	TLB2	TLB1	TLB0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TLBは、8ビットのライト専用のレジスタで、TCBのリロード値を設定します。

TLBにリロード値を設定すると、同時にその値はTCBにもロードされ、TCBはその値からカウントアップを開始します。また、オートリロード動作時、TCBがオーバフローすると、TCBにTLBの値がロードされます。したがって、オーバフロー周期を1~256入力クロックの範囲で設定することができます。

TLBは、TCBと同一のアドレスに割り付けられています。

TLBは、リセット時、H'00にイニシャライズされます。

### 8.3.3 動作説明

タイマBは8ビットの多機能タイマでインターバルタイマおよびオートリロードタイマとして機能します。さらに、入力端子の組合せによって、イベントカウンタとしても機能します。

#### (1) タイマBの動作モード

タイマBは、入力クロックが入るたびにカウントアップする8ビットのアップカウンタです。タイマBには、インターバル、オートリロードの2種類の動作モードがあります。それぞれの動作モードについて以下に説明します。

##### ・インターバルタイマの動作

タイマモードレジスタB (TMB) のTMB 7ビット = “0” にすると、タイマBは8ビットインターバルタイマとして動作します。

リセット時、TCBはH'00にTMB 7ビットは“0”にクリアされるため、リセット直後は、インターバルカウンタとして停止することなくカウントアップを続けます。タイマBの動作クロックは、TMBのTMB 2～0ビットにより、プリスケラSの出力する7種類の内部クロック、P1<sub>0</sub>/IRQ<sub>0</sub>入力端子からの外部クロックを選択できます。

タイマカウンタB (TCB) のカウント値がH'FFになった後、クロックが入力されると、タイマBはオーバフローし、割込み要求レジスタ2 (IRR2) のIRRTBビットが“1”にセットされます。このとき、割込み許可レジスタ2 (IENR2) のIENTBビットが“1”ならばCPUに割込みを要求します。\*

オーバフロー時には、TCBのカウント値はH'00に戻り、再びカウントアップを開始します。

インターバル動作時 (TMB 7ビット = “0”) にタイマロードレジスタB (TLB) を設定すると、同時にTCBにもTLBの値をロードします。

【注】\* 割込みについての詳細は、「3.2.2 割込み」を参照してください。

##### ・オートリロードタイマの動作

TMBのTMB 7ビット = “1” にすると、タイマBは8ビットオートリロードタイマとして動作します。タイマロードレジスタB (TLB) にリロード値を設定すると、同時にその値がTCBにロードされ、TCBはその値からカウントアップを開始します。

TCBのカウント値がH'FFになった後、クロックが入力されると、タイマBはオーバフローし、TLBの値がTCBにロードされ、その値からカウントアップを継続します。したがって、TLBの値により、オーバフロー周期を1～256入力クロックの範囲で設定できます。

オートリロード動作時の動作クロック、割込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMB 7ビット = “1”) には、TLBの値を再設定することで、TCBもイニシャライズされます。

## (2) 外部クロック動作

タイマBは、 $P1_0/IRQ_0$ 端子をイベント入力端子とする外部クロック動作ができます。タイマモードレジスタB (TMB) のTMB2~0ビット="111"に設定すると、外部クロック動作が選択され、TCBは、 $P1_0/IRQ_0$ 端子入力の立上がり/立下がりエッジでカウントアップします。

外部イベント入力を使用する場合は、ポートモードレジスタ1 (PMR1) のIRQC0ビットを"1"にセットし、かつ割込み許可レジスタ1 (IENR1) のIEN0ビット="0"としてIRQ<sub>0</sub>割込み要求を禁止してください。

## 8.4 タイマC

### 8.4.1 概要

タイマCは、入力クロックが入るたびにカウントアップまたはカウントダウンする8ビットのアップ/ダウンカウンタです。タイマCには、インターバル、オートリロードの2種類の動作モードがあります。

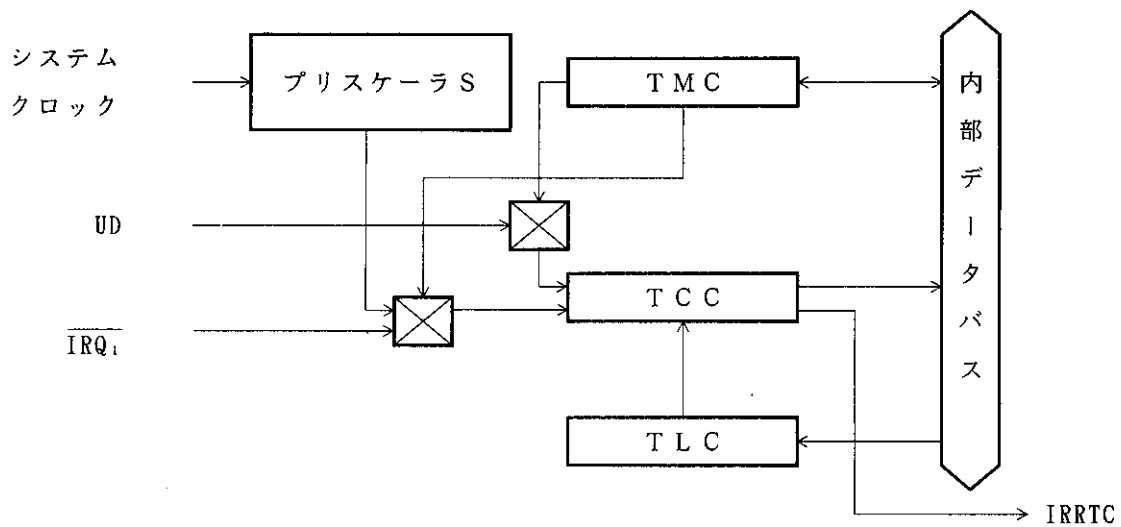
#### (1) 特長

タイマCの特長を以下に示します。

- 7種類の内部クロック ( $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$ )と外部クロックのうちから選択が可能です(外部イベントカウントが可能)。
- カウンタのオーバーフローで割込みを発生します。
- ハードウェアまたはソフトウェア制御により、アップカウンタ/ダウンカウンタの切り換えが可能です。

#### (2) ブロック図

タイマCのブロック図を図8.4に示します。



#### <記号説明>

- TMC : タイマモードレジスタC
- TCC : タイマカウンタC
- TLC : タイマロードレジスタC
- IRRTC : タイマCオーバーフロー割込み要求フラグ  
(割込み要求レジスタ2)

図8.4 タイマCブロック図

(3) 端子構成

タイマCの端子構成を表8.5に示します。

表 8.5 端子構成

名 称	略 称	入出力	機 能
イベント入力端子	P1 <sub>7</sub> / $\overline{\text{IRQ}}$	入 力	タイマCイベント入力
アップ/ダウンカウント選択端子	P9 <sub>7</sub> /UD	入 力	タイマCアップ/ダウン制御

(4) レジスタ構成

タイマCのレジスタ構成を表8.6に示します。

表 8.6 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
タイマモードレジスタC	TMC	R/W	H'18	H'FFC4
タイマカウンタC	TCC	R	H'00	H'FFC5
タイマロードレジスタC	TLC	W	H'00	H'FFC5



## 8.4.2 各レジスタの説明

### (1) タイマモードレジスタ C (TMC)

ビット:	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W	—	—	R/W	R/W	R/W

TMCは、8ビットのリード/ライト可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

TMCは、リセット時、H'18にイニシャライズされます。

#### ビット7: オートリロード機能選択 (TMC7)

タイマCのオートリロード機能を選択します。

ビット7	説明	
TMC7		
0	インターバルタイマ機能を選択	(初期値)
1	オートリロード機能を選択	

#### ビット6: カウンタアップ/ダウン制御1 (TMC6)

タイマカウンタC (TCC) のアップ/ダウン制御をP9<sub>7</sub>/UD端子入力によるハードウェア制御とするか、TMC5ビットによるソフトウェア制御とするかを選択します。

#### ビット5: カウンタアップ/ダウン制御2 (TMC5)

TCCをアップカウンタとするか、ダウンカウンタとするかを選択します。本ビットの設定は、TMC6ビット="0" のとき有効となります。

TMC6ビットとの組合せで以下のようになります。

ビット6	ビット5	説明
TMC6	TMC5	
0	0	TCCは、アップカウンタ (初期値)
0	1	TCCは、ダウンカウンタ
1	*	TCCのアップ/ダウンは、P9 <sub>7</sub> /UD端子入力によるハードウェア制御 (UD端子入力が"High"レベルならばダウンカウンタ、"Low"レベルならばアップカウンタとなります。)

\* : don't care

#### ビット4～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット2～0：クロックセレクト（TMC2～0）

TMC2～0は、タイマカウンタC（TCC）に入力するクロックを選択します。外部クロックによるカウントは、立上がりエッジ／立下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説 明
TMC2	TMC1	TMC0	
0	0	0	内部クロック： $\phi / 8192$ でカウント（初期値）
0	0	1	内部クロック： $\phi / 2048$ でカウント
0	1	0	内部クロック： $\phi / 512$ でカウント
0	1	1	内部クロック： $\phi / 256$ でカウント
1	0	0	内部クロック： $\phi / 128$ でカウント
1	0	1	内部クロック： $\phi / 32$ でカウント
1	1	0	内部クロック： $\phi / 8$ でカウント
1	1	1	外部クロック（ $P1_1 / \overline{IRQ_1}$ ）：立上がりエッジまたは立下がりエッジでカウント*

【注】\* 外部クロックのエッジの選択は、IRQエッジセレクトレジスタ（IEGR）のIEG1ビットにより設定します。詳細は、「3.2.3 (2) IRQエッジセレクトレジスタ（IEGR）」を参照してください。

(2) タイマカウンタ C (TCC)

ビット:	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

TCCは、8ビットのリード可能なアップ/ダウンカウンタで、入力する内部/外部クロックによりカウンタアップ/ダウンされます。入力するクロックは、タイマモードレジスタC (TMC) のTMC 2~0ビットにより選択します。TCCの値は、CPUから常にリードできます。

TCCがオーバーフロー(H'FF→H'00またはH'FF→TLCの設定値)/アンダーフロー(H'00→H'FFまたはH'00→TLCの設定値)すると、割込み要求レジスタ2 (IRR2) のIRRTCビットが“1”にセットされます。

TCCは、タイマロードレジスタC (TLC) と同一のアドレスに割り付けられています。

TCCは、リセット時、H'00にイニシャライズされます。

(3) タイマロードレジスタC (TLC)

ビット:	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TLCは、8ビットのライト専用のレジスタで、TCCのリロード値を設定します。TLCにリロード値を設定すると、同時にその値はTCCにもロードされ、TCCはその値からカウントアップ/ダウンを開始します。また、オートリロードモード時、TCCがオーバーフロー/アンダーフローすると、TCCにTLCの値がロードされます。したがって、オーバーフロー/アンダーフロー周期を1~256入力クロックの範囲で設定することができます。

TLCは、TCCと同一のアドレスに割り付けられています。

TLCは、リセット時、H'00にイニシャライズされます。

### 8.4.3 動作説明

タイマCは8ビットの多機能タイマで、インターバルタイマおよびオートリロードタイマとして機能します。さらに、入力端子の組合せによってイベントカウンタとしても機能します。

#### (1) タイマCの動作モード

タイマCは、入力クロックが入るたびにカウントアップ/ダウンする8ビットのアップ/ダウンカウンタです。タイマCには、インターバル、オートリロードの2種類の動作モードがあります。それぞれのモードの動作について以下に説明します。

##### ・インターバルタイマの動作

タイマモードレジスタC (TMC) のTMC 7ビット = “0” にすると、タイマCは8ビットインターバルタイマとして動作します。

リセット時、タイマカウンタC (TCC) はH'00に、またTMCはH'18に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマCの動作クロックは、TMCのTMC 2～0ビットにより、プリスケアラSの出力する7種類の内部クロック、P1<sub>1</sub>/IRQ<sub>1</sub>入力端子からの外部クロックを選択できます。

また、TCCのカウントアップ/ダウン方向は、TMCのTMC 6、5ビットにより、ソフトウェア制御/ハードウェア制御の双方が可能です。

TCCのカウント値がH'FF(H'00)になった後、クロックが入力されると、タイマCはオーバフロー/アンダーフローし、割込み要求レジスタ2 (IRR2) のIRR TCビットが“1”にセットされます。このとき、割込み許可レジスタ2 (IENR2) のIENTCビットが“1”ならばCPUに割込みを要求します。\*

オーバフロー/アンダーフロー時には、TCCのカウント値はH'00(H'FF)に戻り、再びカウントアップ/ダウンを開始します。

インターバル動作時 (TMC 7ビット = “0”) にタイマロードレジスタC (TLC) を設定すると、同時にTCCにもTLCの値をロードします。

【注】\* 割込みについての詳細は、「3.2.2 割込み」を参照してください。

##### ・オートリロードタイマの動作

TMCのTMC 7ビット = “1” にすると、タイマCは8ビットオートリロードタイマとして動作します。

TLCにリロード値を設定すると、同時にその値がTCCにロードされ、TCCはその値からカウントアップ/ダウンを開始します。TCCのカウント値がH'FF(H'00)になった後、クロックが入力されると、タイマCはオーバフロー/アンダーフローし、TLCの値がTCCにロードされ、その値からカウントアップ/ダウンを継続します。したがって、TLCの値により、オーバフロー/アンダーフロー周期を1～256入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ/ダウン制御、割込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMC 7ビット = “1”) には、TLCの値を再設定することで、TC

Cもイニシャライズされます。

## (2) 外部クロック動作

タイマCは、P1<sub>1</sub>/IRQ<sub>1</sub>端子をイベント入力端子とする外部クロック動作ができます。タイマモードレジスタC (TMC) のTMC 2~0ビット = “111” に設定すると、外部クロック動作が選択され、タイマカウンタC (TCC) は、P1<sub>1</sub>/IRQ<sub>1</sub>端子入力の立上がり/立下がりエッジでカウントアップ/ダウンします。

外部イベント入力を使用する場合は、ポートモードレジスタ1 (PMR1) のIRQC1ビットを“1”にセットし、かつ割込み許可レジスタ1 (IENR1) のIEN1ビット = “0”としてIRQ<sub>1</sub>割込み要求を禁止してください。

## (3) ハードウェアによるTCCアップ/ダウン制御

タイマCは、P9<sub>7</sub>/UD端子入力によるTCCのカウントアップ/ダウン制御ができます。TMCのTMC 6ビット = “1” とすると、UD端子入力が、“High” レベルならばダウンカウンタ、“Low” レベルならばアップカウンタとして動作します。

UD端子入力を使用する場合は、ポートモードレジスタ2 (PMR2) のUP/DOWNビットを“1”にセットしてください。

## 8.5 タイマD

### 8.5.1 概要

タイマDは、外部イベントが入るたびにカウントアップする8ビットのイベントカウンタです。外部イベントのカウントは立上がり／立下がりエッジを選択できます。

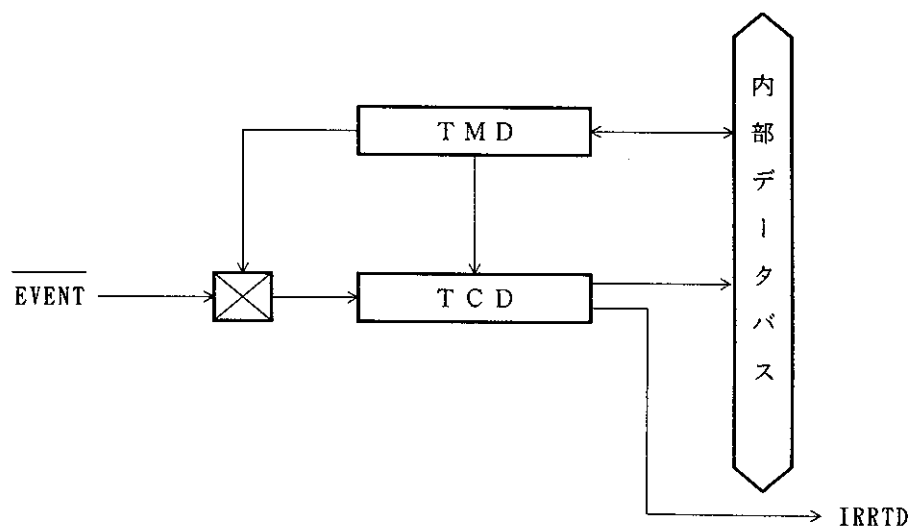
#### (1) 特長

タイマDの特長を以下に示します。

- 外部イベントのカウントは、立上がり／立下がりエッジを選択できます。
- カウンタのオーバーフローで割込み要求を発生します。

#### (2) ブロック図

タイマDのブロック図を図8.5に示します。



#### <記号説明>

TMD : タイマモードレジスタD

TCD : タイマカウンタD

IRRTD : タイマDオーバーフロー割込み要求フラグ  
(割込み要求レジスタ2)

図8.5 タイマDブロック図

(3) 端子構成

タイマDの端子構成を表 8.7 に示します。

表 8.7 端子構成

名 称	略 称	入出力	機 能
イベント入力端子	PI <sub>0</sub> /EVENT	入 力	タイマDイベント入力

(4) レジスタ構成

タイマDのレジスタ構成を表 8.8 に示します。

表 8.8 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
タイマモードレジスタD	TMD	R/W*	H'7E	H'FFC6
タイマカウンタD	TCD	R	H'00	H'FFC7

【注】\* TMDのビット7は、カウンタクリアのための“1”ライトのみ可能です。

8.5.2 各レジスタの説明

(1) タイマモードレジスタD (TMD)

ビット:	7	6	5	4	3	2	1	0
	CLR	—	—	—	—	—	—	EDG
初期値:	0	1	1	1	1	1	1	0
R/W:	W	—	—	—	—	—	—	R/W

TMDは、リード/ライト可能な8ビットのレジスタで、タイマカウンタD (TCD) のクリア、外部イベント端子入力の立上がり/立下がりエッジの選択を行います。

ビット7: カウンタクリア (CLR)

TCDをH'00にイニシャライズします。

ビット7	説 明
CLR	
0	本ビットに“1”をライトしてTCDをイニシャライズした後、ハードウェアにより“0”にクリア (初期値)
1	TCDをH'00にイニシャライズ

ビット6~1: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

## ビット0：エッジ選択（EDG）

外部イベント入力端子（P1<sub>6</sub>/EVENT）の立上がり／立下がりエッジを選択します。

ビット0	説明
EDG	
0	P1 <sub>6</sub> /EVENT端子入力の立下がりエッジでTCDはカウントアップ（初期値）
1	P1 <sub>6</sub> /EVENT端子入力の立上がりエッジでTCDはカウントアップ

【注】 「8.8 使用上の注意事項」を参照してください。

## (2) タイマカウンタD（TCD）

ビット：	7	6	5	4	3	2	1	0
	TCD7	TCD6	TCD5	TCD4	TCD3	TCD2	TCD1	TCD0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCDは、8ビットのリード可能なアップカウンタで、入力する外部クロック（P1<sub>6</sub>/EVENT端子入力）によりカウントアップされます。入力するクロックのエッジは、タイマモードレジスタD（TMD）のEDGビットにより選択します。TCDの値は、CPUから常にリードできます。

TCDがオーバフロー（H'FF→H'00）すると、割り込み要求レジスタ2（IRR2）のIRR2Dビットが“1”にセットされます。

TCDは、リセット時、H'00にイニシャライズされます。

### 8.5.3 動作説明

#### (1) 外部クロック動作

タイマDは、P1<sub>6</sub>/EVENT端子をイベント入力端子とする外部クロック動作を行います。立上がり／立下がりエッジの選択は、タイマモードレジスタD（TMD）のEDGビットにより設定します。

TCDのカウント値がH'FFになった後、クロックが入力されると、タイマDはオーバフローし、IRR2のIRR2Dビットが“1”にセットされます。このとき、割り込み許可レジスタ2（IENR2）のIENTDビットが“1”ならばCPUに割り込みを要求します。\*

オーバフロー時には、TCDのカウント値はH'00に戻り、再びカウントアップを開始します。

TCDは、TMDのCLRビットを“1”にセットすることでクリアできます。

外部イベント入力を使用する場合は、ポートモードレジスタ1（PMR1）のEVENTビットを“1”にセットしてください。

【注】\* 割り込みについての詳細は、「3.2.2 割り込み」を参照してください。



## 8.6 タイマE

### 8.6.1 概要

タイマEは、入力クロックが入るたびにカウントアップする8ビットのアップカウンタです。タイマEには、インターバル、オートリロードの2種類の動作モードがあります。また、オーバフロー信号またはプリスケアラSの信号を用いてデューティ50%の方形波を出力することができます。

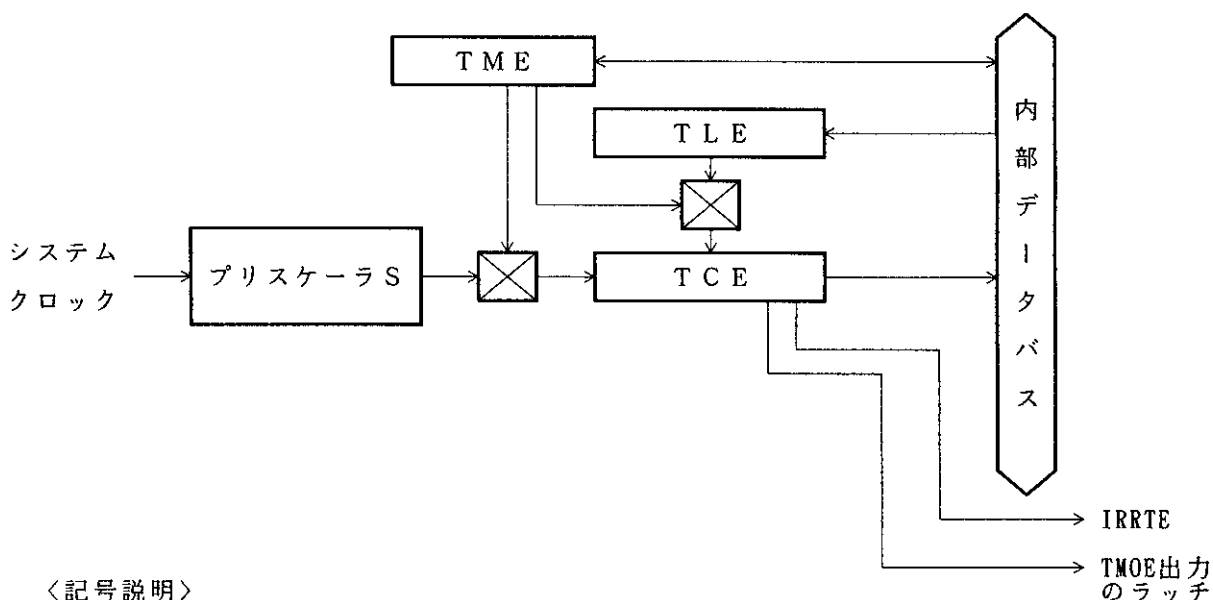
#### (1) 特長

タイマEの特長を以下に示します。

- 8種類の内部クロック( $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$ )が選択可能です。
- カウンタのオーバフローで割込み要求を発生します。
- プリスケアラの分周によりデューティ50%の固定周波数出力が可能です。  
 $\phi = 4 \text{ MHz}$ のとき1.95 k Hz、または3.9 k Hz  
 $\phi = 2 \text{ MHz}$ のとき0.98 k Hz、または1.95 k Hz
- オーバフロー信号を使用して、デューティ50%の任意周波数の方形波を出力することが可能です。

#### (2) ブロック図

タイマEのブロック図を図8.6に示します。



#### <記号説明>

TME : タイマモードレジスタE

TCE : タイマカウンタE

TLE : タイマロードレジスタE

IRRTE : タイマEオーバフロー割込み要求フラグ (割込み要求レジスタ2)

図8.6 タイマEブロック図

(3) 端子構成

タイマEの端子構成を表8.9に示します。

表 8.9 端子構成

名 称	略 称	入出力	機 能
タイマEの波形出力端子	P1 <sub>5</sub> / $\overline{\text{IRQ}}_5$ /TMOE	出 力	タイマE出力

(4) レジスタ構成

タイマEのレジスタ構成を表8.10に示します。

表 8.10 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
タイマモードレジスタE	TME	R/W	H'78	H'FFC8
タイマカウンタE	TCE	R	H'00	H'FFC9
タイマロードレジスタE	TLE	W	H'00	H'FFC9
ポートモードレジスタ4	PMR4	R/W	H'0F	H'FFEE

## 8.6.2 各レジスタの説明

### (1) タイマモードレジスタ E (TME)

ビット：	7	6	5	4	3	2	1	0
	TME7	—	—	—	—	TME2	TME1	TME0
初期値：	0	1	1	1	1	0	0	0
R/W：	R/W	—	—	—	—	R/W	R/W	R/W

TMEは、8ビットのリード/ライト可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

TMEは、リセット時、H'78にイニシャライズされます。

#### ビット7：オートリロード機能選択 (TME7)

タイマEのオートリロード機能を選択します。

ビット7	説明	
TME7		
0	インターバルタイマ機能を選択します。	(初期値)
1	オートリロード機能を選択します。	

#### ビット6～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット2～0：クロックセレクト (TME2～0)

TCEに入力するクロックを選択します。

ビット2	ビット1	ビット0	説明
TME2	TME1	TME0	
0	0	0	内部クロック： $\phi/8192$ でカウント (初期値)
0	0	1	内部クロック： $\phi/4096$ でカウント
0	1	0	内部クロック： $\phi/2048$ でカウント
0	1	1	内部クロック： $\phi/512$ でカウント
1	0	0	内部クロック： $\phi/256$ でカウント
1	0	1	内部クロック： $\phi/128$ でカウント
1	1	0	内部クロック： $\phi/32$ でカウント
1	1	1	内部クロック： $\phi/8$ でカウント

(2) タイマカウンタ E (TCE)

ビット:	7	6	5	4	3	2	1	0
	TCE7	TCE6	TCE5	TCE4	TCE3	TCE2	TCE1	TCE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

TCEは、8ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、タイマモードレジスタE (TME) のTME2~0ビットにより選択します。TCEの値は、CPUから常にリードできます。

TCEがオーバーフロー (H'FF→H'00またはH'FF→TLEの設定値) すると、割込み要求レジスタ2 (IRR2) のIRRTEビットが“1”にセットされます。

TCEは、タイマロードレジスタE (TLE) と同一のアドレスに割り付けられています。

TCEは、リセット時、H'00にイニシャライズされます。

(3) タイマロードレジスタ E (TLE)

ビット:	7	6	5	4	3	2	1	0
	TLE7	TLE6	TLE5	TLE4	TLE3	TLE2	TLE1	TLE0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TLEは、8ビットのライト専用のレジスタで、TCEのリロード値を設定します。

TLEにリロード値を設定すると、同時にその値はTCEにもロードされ、TCEはその値からカウントアップを開始します。また、オートリロードモード時、TCEがオーバーフローすると、TCEにTLEの値がロードされます。したがって、オーバーフロー周期を1~256入力クロックの範囲で設定することができます。

TLEは、TCEと同一のアドレスに割り付けられています。

TLEは、リセット時、H'00にイニシャライズされます。

(4) ポートモードレジスタ 4 (PMR4)

ビット:	7	6	5	4	3	2	1	0
	TEO	TEO ON	FREQ	VRFR	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	—	—	—	—

PMR4は、8ビットのリード/ライト可能なレジスタで、P1<sub>5</sub>/IRQ<sub>5</sub>/TMOE端子の機能切換え、TMOE端子の波形出力を制御します。

PMR4は、リセット時、H'0Fにイニシャライズされます。

ビット7：タイマE出力機能選択 (TEO)

ビット6：タイマE出力ON/OFF (TEO ON)

ビット5：固定周波数選択 (FREQ)

ビット4：任意周波数選択 (VRFR)

PMR4のビット7～4、およびポートモードレジスタ1 (PMR1)のIRQ5ビットにより、P1<sub>s</sub>/IRQ<sub>s</sub>/TMOE端子機能は以下のように切り換わります。

PMR1	PMR4				説明	
	ビット5	ビット7	ビット6	ビット5	ビット4	端子機能
IRQ5	TEO	TEO ON	FREQ	VRFR		
0	0	0	0	0	P1 <sub>s</sub> 端子	標準入出力ポート (初期値)
0	0	*	*	*	P1 <sub>s</sub> 端子	標準入出力ポート
0	1	0	*	*	TMOE出力端子 (OFF)	“Low”レベル出力
0	1	1	0	0	TMOE出力端子 (ON)	固定周波数出力： ( $\phi/2048$ ) 1.95kHz ( $\phi=4\text{MHz}$ ) 0.98kHz ( $\phi=2\text{MHz}$ )
0	1	1	1	0	TMOE出力端子 (ON)	固定周波数出力： ( $\phi/1024$ ) 3.9kHz ( $\phi=4\text{MHz}$ ) 1.95kHz ( $\phi=2\text{MHz}$ )
0	1	1	*	1	TMOE出力端子 (ON)	任意周波数出力： タイマEオーバフローによるトグル出力
1	*	*	*	*	IRQ <sub>s</sub> 入力端子	外部割込み入力

\*: don't care

ビット3～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

### 8.6.3 動作説明

タイマEは、入力クロックが入るたびにカウントアップする8ビットのアップカウンタです。タイマEは、インターバル、オートリロードの2種類の動作モードがあります。また、デューティ50%の方形波を出力することができます。それぞれの動作について以下に説明します。

#### (1) インターバルタイマの動作

タイマモードレジスタE (TME) のTME 7ビット = “0” にすると、タイマEは8ビットインターバルタイマとして動作します。

リセット時、タイマカウンタE (TCE)はH'00にTME 7ビットは“0”にクリアされるため、リセット直後は、インターバルカウンタとして停止することなくカウントアップを続けます。タイマEの動作クロックは、TMEのTME 2～0ビットにより、プリスケラSの出力する8種類の内部クロックを選択できます。

TCEのカウント値がH'FFになった後、クロックが入力されると、タイマEはオーバフローし、割込み要求レジスタ2 (IRR2) のIRRTEビットが“1”にセットされます。このとき、割込み許可レジスタ2 (IENR2) のIENTEビットが“1”ならばCPUに割込みを要求します。\*

オーバフロー時には、TCEのカウント値はH'00に戻り、再びカウントアップを開始します。

インターバル動作時 (TME 7ビット = “0”) にタイマロードレジスタ (TLE) を設定すると、同時にTCEにもTLEの値をロードします。

【注】\* 割込みについての詳細は、「3.2.2 割込み」を参照してください。

#### (2) オートリロードタイマの動作

TMEのTME 7ビット = “1” にすると、タイマEは8ビットオートリロードタイマとして動作します。

TLEにリロード値を設定すると、同時にその値がTCEにロードされ、TCEはその値からカウントアップを開始します。TCEのカウント値がH'FFになった後、クロックが入力されると、タイマEはオーバフローし、TLEの値がTCEにロードされ、その値からカウントアップを続けます。したがって、TLEの値により、オーバフロー周期を1～256入力クロックの範囲で設定できます。

オートリロード動作時の動作クロック、割込みについてはインターバル動作時と同様です。

オートリロード動作時 (TME 7ビット = “1”) には、TLEの値を再設定することで、TCEもイニシャライズされます。

### (3) 方形波出力

ポートモードレジスタ1 (PMR1)のIRQ5ビットおよびポートモードレジスタ4 (PMR4)の設定により、P1<sub>5</sub>/IRQ<sub>5</sub>/TMOE端子からデューティ50%の方形波を出力することができます。PMR4のVRFRビット=“0”のときはFREQビットにより指定される固定周波数の波形が出力されます。出力される固定周波数については、「8.6.2(4) ポートモードレジスタ4 (PMR4)」を参照してください。

VRFRビット=“1”のときは、タイマEのオーバーフローにより、“Low”レベル、“High”レベルが交互に切り換わるトグル出力となります(図8.7参照)。タイマEをオートリロード動作(TME7ビット=“1”)としてタイマロードレジスタE (TLE)によりオーバーフロー周期を選択し、またTME2~0ビットにより動作クロックを選択することで、表8.11に示す範囲で任意の周波数の波形を生成できます。

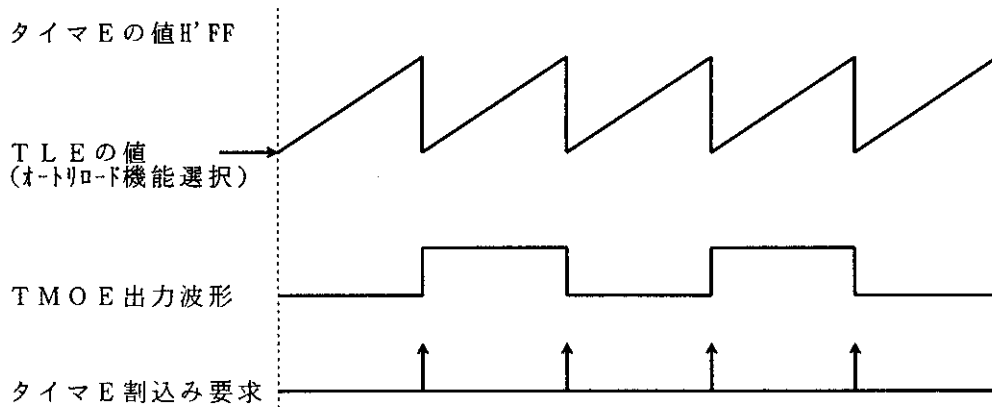


図 8.7 タイマE オーバフローによる波形出力

表 8.11 タイマE オーバフローによる出力波形の周波数

内部クロック	出力波形 ( $\phi = 2 \text{ MHz}$ )				
	1カウント(TLE=H'FF) × 2		~	256カウント(TLE=H'00) × 2	
	カウント時間	出力周波数		カウント時間	出力周波数
$\phi / 8$ (250kHz)	8 $\mu\text{s}$	125kHz	~	2024 $\mu\text{s}$	488.3Hz
$\phi / 32$ (62.5kHz)	32 $\mu\text{s}$	31.25kHz	~	8192 $\mu\text{s}$	122.1Hz
$\phi / 128$ (15.62kHz)	128 $\mu\text{s}$	7.8125kHz	~	32.768ms	30.5Hz
$\phi / 256$ (7.8125kHz)	256 $\mu\text{s}$	3.9063kHz	~	65.536ms	15.3Hz
$\phi / 512$ (3.9062kHz)	512 $\mu\text{s}$	1.9531kHz	~	131.072ms	7.63Hz
$\phi / 2048$ (976.5Hz)	2.048ms	488.3Hz	~	524.288ms	1.91Hz
$\phi / 4096$ (488.2Hz)	4.096ms	244.1Hz	~	1048.576ms	0.95Hz
$\phi / 8192$ (244.1Hz)	8.192ms	122.1Hz	~	2097.152ms	0.477Hz

内部クロック	出力波形 ( $\phi = 4 \text{ MHz}$ )				
	1カウント(TLE=H'FF) × 2		~	256カウント(TLE=H'00) × 2	
	カウント時間	出力周波数		カウント時間	出力周波数
$\phi / 8$ (500kHz)	4 $\mu\text{s}$	250kHz	~	1024 $\mu\text{s}$	976.6Hz
$\phi / 32$ (125kHz)	16 $\mu\text{s}$	62.5kHz	~	4096 $\mu\text{s}$	244.1Hz
$\phi / 128$ (31.25kHz)	64 $\mu\text{s}$	15.625kHz	~	16.384ms	61.0Hz
$\phi / 256$ (15.625kHz)	128 $\mu\text{s}$	7.8125kHz	~	32.768ms	30.5Hz
$\phi / 512$ (7.8125kHz)	256 $\mu\text{s}$	3.9063kHz	~	65.536ms	15.3Hz
$\phi / 2048$ (1.963Hz)	1.024ms	976.6Hz	~	262.144ms	3.8Hz
$\phi / 4096$ (976.52Hz)	2.048ms	488.3Hz	~	524.288ms	1.91Hz
$\phi / 8192$ (488.2Hz)	4.096ms	244.1Hz	~	1048.576ms	0.95Hz



## 8.7 割込み要因

タイマA～Eの割込み要因は、各タイマのオーバフロー（アンダーフロー）であり、各々独立のベクタアドレスが割り付けられています。タイマ間での割込み優先順位は、タイマA（高）→タイマE（低）となっています。

詳細は、「3.2.2 割込み」の「表3.2 割込み要因一覧」を参照してください。

タイマA～Eでオーバフローが発生すると割込み要求レジスタ2（IRR2）のIRR2A～IRR2Eビットが“1”にセットされます。これらの割込み要求フラグは、割込みが受け付けられてもオートクリアされません。割込み処理ルーチンの中でソフトウェアにより、“0”にクリアしてください。

各タイマ割込みは、割込み許可レジスタ2（IENR2）のIENTA～IENTEビットにより、各々独立に許可／禁止を指定できます。

詳細は、「3.2.3 割込み制御レジスタ」を参照してください。

## 8.8 使用上の注意事項

ポートモードレジスタ1（PMR1）のEVENTビットにより、P1<sub>0</sub>/EVENT端子をP1<sub>0</sub>端子として設定した場合でも、P1<sub>0</sub>端子をリードしたときに、タイマDがカウントアップされることがあります。

タイマDを使用する場合には、タイマモードレジスタD（TMD）のCLRビットにより、タイマカウンタDを必ずクリアしてください。



# 9. 14ビットPWM

---

## 第9章 目次

9.1	概要	187
9.1.1	特長	187
9.1.2	ブロック図	187
9.1.3	端子構成	188
9.1.4	レジスタ構成	188
9.2	各レジスタの説明	189
9.2.1	PWMコントロールレジスタ (PWCR)	189
9.2.2	PWMデータレジスタU、L (PWDRU、PWRDL)	190
9.3	動作説明	191



## 9.1 概要

本LSIは14ビットPWM (Pulse Width Modulation) を内蔵しており、ローパスフィルタを接続することでD/Aコンバータとして使用できます。

### 9.1.1 特長

14ビットPWMの特長を以下に示します。

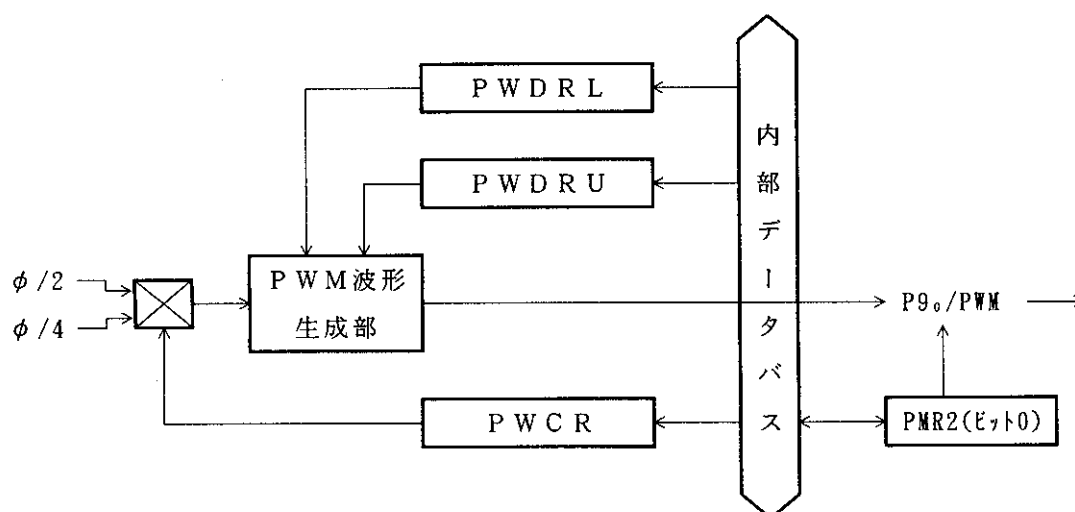
#### ■ 2種類の変換周期を選択可能

1変換周期  $32768/\phi$ 、最小変化幅  $2/\phi$  (PWCR0 = "1")、または1変換周期  $16384/\phi$ 、最小変化幅  $1/\phi$  (PWCR0 = "0") の選択が可能です。

#### ■ リップル低減を図ったパルス分割方式です。

### 9.1.2 ブロック図

14ビットPWMのブロック図を図9.1に示します。



<記号説明>

PWDR L : PWMデータレジスタ L

PWDR U : PWMデータレジスタ U

PWCR : PWMコントロールレジスタ

PMR 2 : ポートモードレジスタ 2

図 9.1 14ビットPWMのブロック図

### 9. 1. 3 端子構成

14ビットPWMの端子構成を表9. 1に示します。

表 9. 1 端子構成

名 称	略 称	入出力	機 能
PWM方形波出力端子	PWM	出力	PWM方形波出力

### 9. 1. 4 レジスタ構成

14ビットPWMのレジスタ構成を表9. 2に示します。

表 9. 2 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
PWMコントロールレジスタ	PWCR	W	H'FE	H'FFCC
PWMデータレジスタU	PWDRU	W	H'CO	H'FFCD
PWMデータレジスタL	PWDR L	W	H'00	H'FFCE

## 9.2 各レジスタの説明

### 9.2.1 PWMコントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWCR0
初期値:	1	1	1	1	1	1	1	0
R/W:	—	—	—	—	—	—	—	W

PWCRは、8ビットのライト専用のレジスタで、入力クロックの選択を行います。

PWCRは、リセット時、H'FEにイニシャライズされます。

#### ビット7～1：リザーブセット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット0：クロックセレクト (PWCR0)

14ビットPWMに供給されるクロックを選択します。

本ビットはライト専用なので、リードすると常に“1”が読み出されます。

ビット0	説明
PWCR0	
0	入力クロックは $\phi/2$ ( $t_{\phi^*} = 2/\phi$ ) (1変換周期 $16384/\phi$ 、最小変化幅 $1/\phi$ のPWM波形を生成します。) (初期値)
1	入力クロックは $\phi/4$ ( $t_{\phi^*} = 4/\phi$ ) (1変換周期 $32768/\phi$ 、最小変化幅 $2/\phi$ のPWM波形を生成します。)

【注】\*  $t_{\phi}$  : PWM入力クロックの周期

## 9.2.2 PWMデータレジスタU、L (PWDRU、PWDR L)

ビット:	7	6	5	4	3	2	1	0
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W
ビット:	7	6	5	4	3	2	1	0
PWDR L	PWDR L7	PWDR L6	PWDR L5	PWDR L4	PWDR L3	PWDR L2	PWDR L1	PWDR L0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PWDRU、Lは、ライト専用の14ビットのレジスタで、PWDRUが上位6ビット、PWDR Lが下位8ビットの構成になっています。PWDRU、Lに書き込まれた内容はPWM波形1周期の“High”レベル幅の合計に対応します。

PWDRU、Lに14ビットのデータをライトすると、PWDRU、Lの内容がPWM波形生成部に取り込まれ、PWM波形生成のデータの更新が行われます。14ビットデータの設定は次のように行ってください。

- ① PWDR Lへ下位8ビットのデータをライトする。
- ② PWDRUへ上位6ビットのデータをライトする。

上記のように、データの設定は、必ずPWDR L→PWDRUの順序で行ってください。

PWDRU、Lは、ライト専用レジスタですが、リードした場合には、常に“1”が読み出されます。

PWDRU、Lは、リセット時、H' C000にイニシャライズされます。



### 9.3 動作説明

14ビットPWMを使用する場合、以下の順序でレジスタ設定を行ってください。

- (1) ポートモードレジスタ2 (PMR2) のPWMビット="1"としてP9<sub>0</sub>/PWM端子をPWM出力端子に設定します。
- (2) PWMコントロールレジスタ (PWCR) のPWCR0ビットにより、1変換周期を $32768/\phi$  (PWCR0ビット="1")、 $16384/\phi$  (PWCR0ビット="0")から選択します。
- (3) PWMデータレジスタU、L (PWDRU、L)に出力波形データを設定します。このとき、必ずPWDRU→PWDRUの順序で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1変換周期は図9.2に示すように64個のパルスで構成され、この1変換周期中の"High"レベル幅合計 ( $T_H$ ) が、PWDRU、Lのデータに対応しています。この関係は次式で示されます。

$$T_H = (\text{PWMDRU、Lのデータ値} + 64) \times t_\phi / 2$$

ここで $t_\phi$ は、PWM入力クロックの周期で $2/\phi$  (PWCR0ビット="0")または $4/\phi$  (PWCR0ビット="1")となります。

PWDRU、Lのデータ値がH'3FC0~H'3FFFではPWM出力は"High"レベルとなります。

H'0000では、 $T_H = 64 \times t_\phi / 2 = 32 t_\phi$ となります。

(例) ① 変換周期を $8192\mu\text{s}$ とするためには、以下のように設定します。

PWCR0ビット="0"に設定すると、1変換周期は $16384/\phi$ なので、 $\phi = 2\text{MHz}$ となります。

このとき、 $t_{in} = 128\mu\text{s}$ 、 $1/\phi$  (精度) =  $0.5\mu\text{s}$ です。

PWCR0ビット="1"に設定すると、1変換周期は $32768/\phi$ なので、 $\phi = 4\text{MHz}$ となります。

このとき、 $t_{in} = 128\mu\text{s}$ 、 $2/\phi$  (精度) =  $0.5\mu\text{s}$ です。

したがって1変換周期を $8192\mu\text{s}$ とするためには、クロック( $\phi$ )は $2\text{MHz}$ または、 $4\text{MHz}$ で使用するようになります。

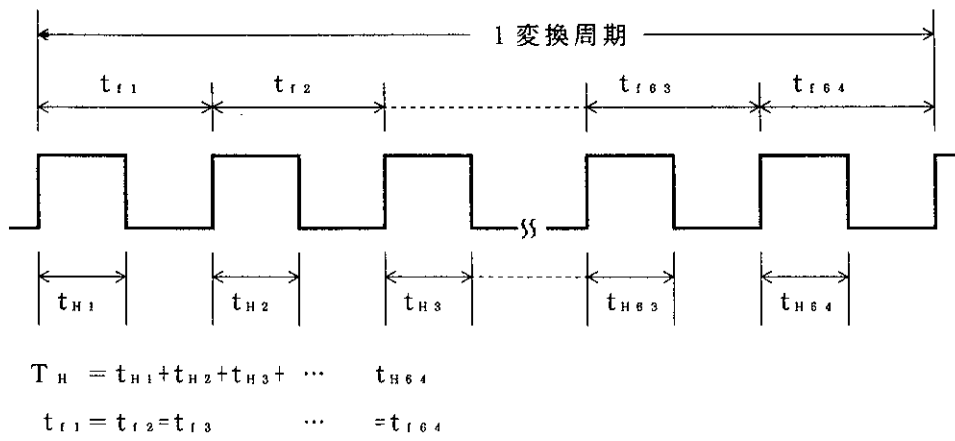


图 9.2 PWM 出力波形

# 10. S C I 1

## 第10章 目次

10.1	概要	195
10.1.1	特長	195
10.1.2	ブロック図	195
10.1.3	端子構成	196
10.1.4	レジスタ構成	196
10.2	各レジスタの説明	197
10.2.1	シリアルモードレジスタ1 (SMR1)	197
10.2.2	シリアルデータレジスタU1 (SDRU1)	198
10.2.3	シリアルデータレジスタL1 (SDRL1)	199
10.2.4	シリアルポートレジスタ1 (SPR1)	199
10.2.5	ポートモードレジスタ2 (PMR2)	200
10.2.6	ポートモードレジスタ3 (PMR3)	201
10.3	動作説明	202
10.3.1	概要	202
10.3.2	データ転送フォーマット	203
10.3.3	クロック	204
10.3.4	データの送信/受信動作	204
10.3.5	SCI1の動作状態遷移	206
10.3.6	転送クロックエラーの検出例	208
10.3.7	割込み要因	208



## 10.1 概要

シリアルコミュニケーションインタフェース1 (SCI1) は、8ビット/16ビットデータのクロック同期式シリアル転送を行います。

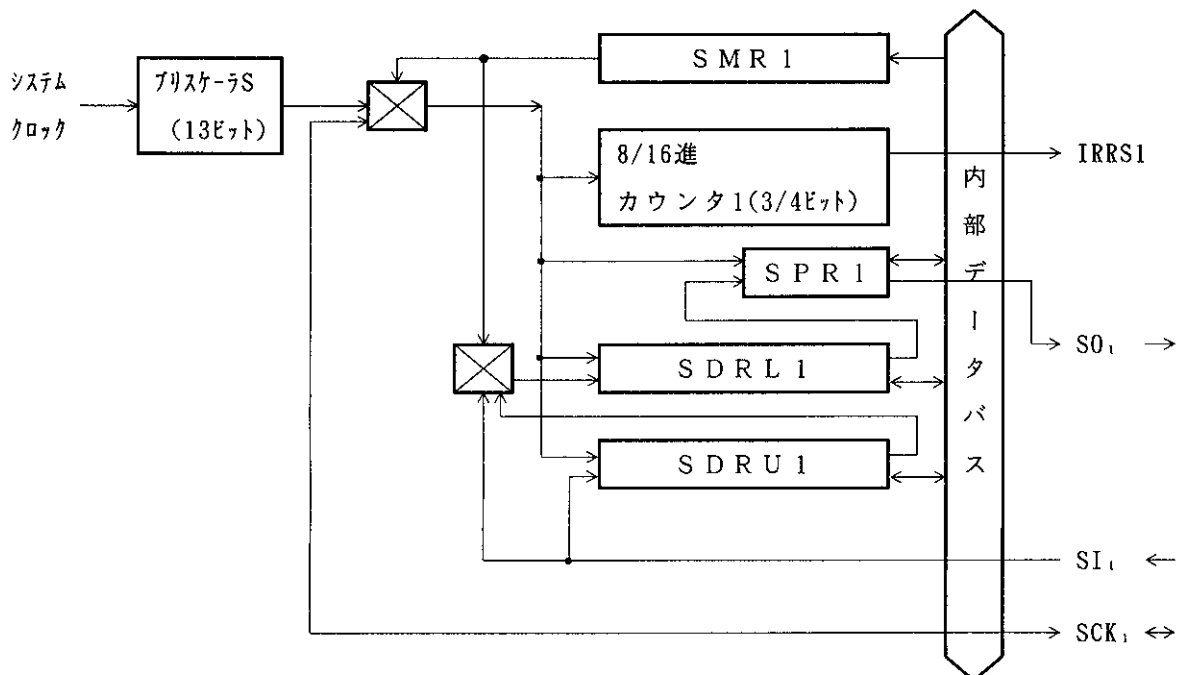
### 10.1.1 特長

SCI1の特長を以下に示します。

- 8ビットおよび16ビットの転送データを選択可能です。
- クロックソースとして8種類の内部クロック ( $\phi/1024$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ ) と外部クロックが選択可能です。
- 転送の完了、またはエラーで割り込み要求を発生します。

### 10.1.2 ブロック図

SCI1のブロック図を図10.1に示します。



#### <記号説明>

- |       |                 |        |   |
|-------|-----------------|--------|---|
| SMR1  | : シリアルモードレジスタ1  | SDRU1  | : シリアルデータレジスタU1   |
| SPR1  | : シリアルポートレジスタ1  | IRRIS1 | : シリアルコミュニケーション<br>インタフェース1 割り込み要求<br>フラグ (割り込み要求レジスタ<br>3) |
| SDRL1 | : シリアルデータレジスタL1 |        |   |

図10.1 SCI1のブロック図

### 10.1.3 端子構成

SCI1の端子構成を表10.1に示します。

表10.1 端子構成

名 称	略 称	入出力	機 能
SCI1クロック端子	SCK <sub>1</sub>	入出力	SCI1のクロック入出力端子
SCI1データ入力端子	SI <sub>1</sub>	入 力	SCI1の受信データ入力端子
SCI1データ出力端子	SO <sub>1</sub>	出 力	SCI1の送信データ出力端子

### 10.1.4 レジスタ構成

SCI1のレジスタ構成を表10.2に示します。

表10.2 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
シリアルモードレジスタ1	SMR1	W	H'80	H'FFB0
シリアルデータレジスタU1	SDRU1	R/W	不定	H'FFB1
シリアルデータレジスタL1	SDRL1	R/W	不定	H'FFB2
シリアルポートレジスタ1	SPR1	R/W	不定	H'FFB3
ポートモードレジスタ2	PMR2	R/W	H'00	H'FFEC
ポートモードレジスタ3	PMR3	R/W	H'97	H'FFED

## 10.2 各レジスタの説明

### 10.2.1 シリアルモードレジスタ1 (SMR1)

ビット:	7	6	5	4	3	2	1	0
	—	SMR16	SMR15	SMR14	SMR13	SMR12	SMR11	SMR10
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

SMR1はライト専用の8ビットレジスタで、動作モードとプリスケラ分周比の選択を行います。また、SMR1への書込みには、シリアルインタフェースの内部状態を初期化する機能があります。

SMR1への書込みによって、シリアルデータレジスタU1、L1 (SDRU1、SDRL1) および8/16進カウンタへの転送クロックの供給が止められ、8/16進カウンタがH'00にリセットされます。したがって、シリアルインタフェースの動作中にシリアルモードレジスタへの書込みを行うと、データの送信/受信が途中で打ち切られて、シリアルコミュニケーションインタフェース1割込み要求フラグ (IRRS1) がセットされます。

SMR1は、リセット時、H'80にイニシャライズされます。

#### ビット7: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット6~4: 動作モード選択 (SMR16~14)

SCI1の動作モードを指定します。

ビット6	ビット5	ビット4	説明
SMR16	SMR15	SMR14	
0	0	0	クロック連続出力モード (初期値)
	SMR15, SMR14は“00”以外の値を設定		8ビット転送モード
1	0	0	クロック連続出力モード
	SMR15, SMR14は“00”以外の値を設定		16ビット転送モード

ビット3～0：クロックセレクト（SMR13～10）

SCI1に供給するクロックを設定します。

ビット3 SMR13	ビット2 SMR12	ビット1 SMR11	ビット0 SMR10	SCK <sub>i</sub> 端子	クロックソース	プリスケラ分周比	転送クロック周期（μs）	
							φ=4MHz	φ=2MHz
0	0	0	0	SCK <sub>i</sub> 出力	プリスケラS	φ/1024(初期値)	256	512
			1	SCK <sub>i</sub> 出力	プリスケラS	φ/256	64	128
		1	0	SCK <sub>i</sub> 出力	プリスケラS	φ/64	16	32
			1	SCK <sub>i</sub> 出力	プリスケラS	φ/32	8	16
	1	0	0	SCK <sub>i</sub> 出力	プリスケラS	φ/16	4	8
			1	SCK <sub>i</sub> 出力	プリスケラS	φ/8	2	4
		1	0	SCK <sub>i</sub> 出力	プリスケラS	φ/4	1	2
			1	SCK <sub>i</sub> 出力	プリスケラS	φ/2	—	1
1	0	0	0	未使用				
	⋮	⋮	⋮					
	1	1	0					
	1	1	1	SCK <sub>i</sub> 入力	外部クロック	—	—	—

10.2.2 シリアルデータレジスタU1（SDRU1）

ビット：	7	6	5	4	3	2	1	0
	SDRU17	SDRU16	SDRU15	SDRU14	SDRU13	SDRU12	SDRU11	SDRU10
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRU1は、8ビットのリード/ライト可能なレジスタで、16ビット転送時に上位8ビットのデータレジスタとして使用します（SDRL1が下位8ビット）。

SDRU1に書き込まれたデータは、転送クロックの立下がりに同期してSDRL1にLSBファーストで出力されます。また、入れ代わりに転送クロックの立上がりに同期してSI<sub>i</sub>端子よりLSBファーストでデータが入力されて、MSB→LSB方向にデータがシフトします。

SDRU1のリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRU1のリセット時の値は不定です。



### 10.2.3 シリアルデータレジスタ 1 (SDRL1)

ビット:	7	6	5	4	3	2	1	0
	SDRL17	SDRL16	SDRL15	SDRL14	SDRL13	SDRL12	SDRL11	SDRL10
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRL1は、8ビットのリード/ライト可能なレジスタで、8ビット転送時のデータレジスタ、および16ビット転送時の下位8ビットのデータレジスタとして使用します (SDRU1が上位8ビット)。

8ビット転送時、SDRL1に書き込まれたデータは、転送クロックの立下がりに同期してS0<sub>i</sub>端子よりLSBファーストで出力されます。また、入れ代わりに転送クロックの立上がりに同期してSI<sub>i</sub>端子よりLSBファーストでデータが入力されて、MSB→LSB方向にデータがシフトします。

16ビット転送時には、入力データがSDRU1より取り込まれることを除けば、8ビット転送時と同様の動作となります。

SDRL1のリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRL1のリセット時の値は不定です。

### 10.2.4 シリアルポートレジスタ 1 (SPR1)

ビット:	7	6	5	4	3	2	1	0
	S01 LAST BIT	—	—	—	—	—	—	—
初期値:	不定	1	1	1	1	1	1	1
R/W:	R/W	—	—	—	—	—	—	—

SPR1は、8ビットのリード/ライト可能なレジスタでSPR1のビット7はSDRL1の最終出力段に接続されています。

#### ビット7: 拡張データビット (S01 LAST BIT)

本ビットは、送信終了後、送信データの最終ビットの値を保持します。

送信前または送信後の本ビットを操作して、S0<sub>i</sub>端子の出力をソフトウェアで変更することができます。

データ送信中、本ビットにライトするとデータの内容は保証されません。

ビット7	説明
S01 LAST BIT	
0	S0 <sub>i</sub> 端子出力は、“Low”レベル (初期値)
1	S0 <sub>i</sub> 端子出力は、“High”レベル

### ビット6～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

### 10.2.5 ポートモードレジスタ2 (PMR2)

ビット：	7	6	5	4	3	2	1	0
	UP/DOWN	S02	SI2	SCK2	S01	SI1	SCK1	PWM
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR2は、8ビットのリード/ライト可能なレジスタで、ポート9の各端子機能の切り換えを制御します。また、ビット3～1は、SMR1との組合せにより、SCI1の動作モードの設定を制御します。

リセット時、PMR2は、H'00にイニシャライズされます。

ここでは、ビット3～1について説明します。ビット7～4、ビット0については「7.10.2(1) ポートモードレジスタ2 (PMR2)」を参照してください。

#### ビット3：P9<sub>3</sub>/S0<sub>1</sub>端子機能切換え (S01)

P9<sub>3</sub>/S0<sub>1</sub>端子をP9<sub>3</sub>入出力端子として使用するか、S0<sub>1</sub>出力端子として使用するかを設定します。

ビット3	説明
S01	
0	P9 <sub>3</sub> /S0 <sub>1</sub> 端子は、P9 <sub>3</sub> 入出力端子として機能 (初期値)
1	P9 <sub>3</sub> /S0 <sub>1</sub> 端子は、S0 <sub>1</sub> 端子として機能 (SCK1ビット=“1”、SI1ビット=“0”の設定でSCI1は送信モードとなります。)

#### ビット2：P9<sub>2</sub>/SI<sub>1</sub>端子機能切換え (SI1)

P9<sub>2</sub>/SI<sub>1</sub>端子をP9<sub>2</sub>入出力端子として使用するか、SI<sub>1</sub>出力端子として使用するかを設定します。

ビット2	説明
SI1	
0	P9 <sub>2</sub> /SI <sub>1</sub> 端子は、P9 <sub>2</sub> 入出力端子として機能 (初期値)
1	P9 <sub>2</sub> /SI <sub>1</sub> 端子は、SI <sub>1</sub> 端子として機能 (SCK1ビット=“1”、S01ビット=“0”の設定でSCI1は受信モードとなります。)

ビット1：P9<sub>1</sub>/SCK<sub>1</sub>端子機能切換え（SCK1）

P9<sub>1</sub>/SCK<sub>1</sub>端子をP9<sub>1</sub>入出力端子として使用するか、SCK<sub>1</sub>入出力端子として使用するかを設定します。

ビット1	説明
SCK1	
0	P9 <sub>1</sub> /SCK <sub>1</sub> 端子は、P9 <sub>1</sub> 入出力端子として機能（初期値）
1	P9 <sub>1</sub> /SCK <sub>1</sub> 端子は、SCK <sub>1</sub> 入出力端子として機能（クロック入出力の方向、プリスケアラ分周比はシリアルモードレジスタ1（SMR1）の選定によります。）

10.2.6 ポートモードレジスタ3（PMR3）

ビット：	7	6	5	4	3	2	1	0
	—	S02 PMOS	CS	—	S01 PMOS	—	—	—
初期値：	1	0	0	1	0	1	1	1
R/W：	—	R/W	R/W	—	R/W	—	—	—

PMR3は、8ビットのリード/ライト可能なレジスタで、SCI1、SCI2データ出力端子（S0<sub>1</sub>端子、S0<sub>2</sub>端子）のPMOSオン/オフ、およびSCI2のチップセレクト出力（SI<sub>2</sub>/CS端子）を制御します。

PMR3は、リセット時、H'97にイニシャライズされます。

ここでは、ビット3について説明します。ビット6、5については「11.2.5 ポートモードレジスタ3（PMR3）」を参照してください。

ビット3：S0<sub>1</sub>端子PMOSオン/オフ（S01PMOS）

P9<sub>3</sub>/S0<sub>1</sub>端子のPMOSのオン/オフを制御します。

ビット	説明
S01PMOS	
0	P9 <sub>3</sub> /S0 <sub>1</sub> 端子のPMOSバッファはオン（CMOS出力となります。）（初期値）
1	P9 <sub>3</sub> /S0 <sub>1</sub> 端子のPMOSバッファはオフ（NMOSオープンドレイン出力となります。）

## 10.3 動作説明

### 10.3.1 概要

SC I 1はクロックパルスに同期させてデータを送信および受信します。

SC I 1の動作モードの設定は、シリアルモードレジスタ1 (SMR 1)のビット6～4およびポートモードレジスタ2 (PMR 2)のビット3～1の組み合わせで表10.3に示すようになります。

表10.3 動作モードの設定

SMR 1			PMR 2			動作モードの説明
SMR16	SMR15	SMR14	PMR23	PMR22	PMR21	
*	*	*	0	0	0	シリアル動作禁止
*	0	0	0	0	1	クロック連続出力モード
0	SMR15とSMR14の組合せは“00”以外の値を設定		1	0	1	8ビット送信モード
			0	1	1	8ビット受信モード
			1	1	1	8ビット送信/受信モード
1	SMR15とSMR14の組合せは“00”以外の値を設定		1	0	1	16ビット送信モード
			0	1	1	16ビット受信モード
			1	1	1	16ビット送信/受信モード

\* : don't care

SC I 1は、SMR 1、シリアルデータレジスタU 1 (SDRU 1)、シリアルデータレジスタL 1 (SDRL 1)、シリアルポートレジスタ1 (SPR 1)、8/16進カウンタおよびマルチプレクサから構成されています (図10.1参照)。

SMR 1にデータを書き込むことによって、SCK<sub>1</sub>端子と転送クロックが制御されます。

SDRU 1、SDRL 1は送信データの設定および受信データの格納に使用し、ソフトウェアによるリード/ライトが可能です。このデータを、転送クロックによりシフトして、SI<sub>1</sub>端子/SO<sub>1</sub>端子からデータの入力/出力を行います。

SC I 1の動作は、SMR 1のダミーリードにより開始されます。8/16進カウンタは、SMR 1のダミーリードによりH'0にクリアされ、転送クロックの立下がり (SCK<sub>1</sub>端子)でカウントを開始し、転送クロックの立上がりで1ずつインクリメントします。転送クロックが8または16クロック入力されカウンタがオーバフローした場合、またはデータの送信/受信が途中で打ち切られた場合には、8/16進カウンタはH'0にクリアされます。このとき同時に割込み要求レジスタ3 (IRR 3)のIRRS 1ビットが“1”にセットされます。

【注】 割込みについての詳細は、「3.2.2 割込み」を参照してください。

### 10.3.2 データ転送フォーマット

クロック同期式データ転送フォーマットを図10.2に示します。送信および受信できるデータ長は、8または16ビットです。データの最下位ビットから送信／受信される、LSBファースト方式による転送を行います。送信データは、転送クロックの立下がりから次の立下がりまで出力されます。また、受信データは転送クロックの立上がりで取り込まれます。

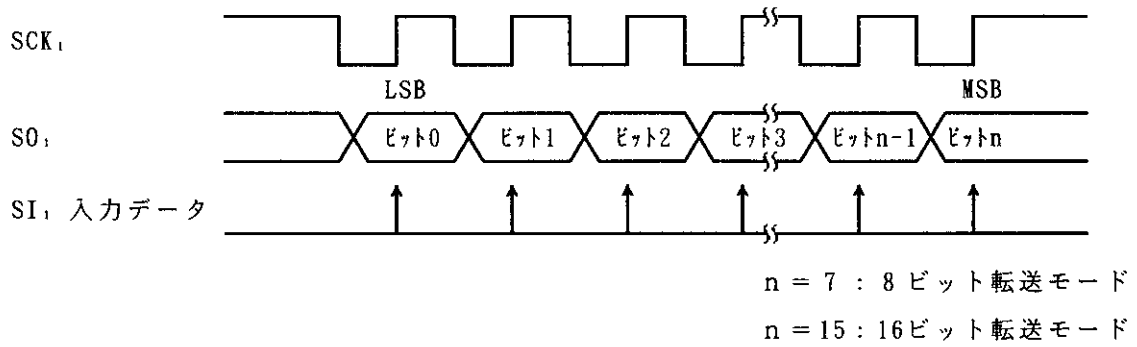


図10.2 クロック同期式データ転送フォーマット

### 10.3.3 クロック

転送クロックは、8種類の内部クロックまたは外部クロックから選択できます。内部クロックを選択した場合には、SCK<sub>i</sub>端子はクロック出力端子となります。

### 10.3.4 データの送信／受信動作

#### (1) S C I 1 のイニシャライズ

データの送信／受信を行うには、まずS C I 1をソフトウェアによってイニシャライズします。イニシャライズはシリアルモードレジスタ1 (S M R 1) に希望する転送条件をライトすることにより実行されます。

#### (2) データ送信

送信動作は次のように行われます。

- ① ポートモードレジスタ (P M R 2) のS O 1ビット = “1”として、P9<sub>3</sub>/S0<sub>i</sub>端子をS0<sub>i</sub>出力端子に、また、P M R 2のS C K 1ビット = “1”としてP9<sub>i</sub>/SCK<sub>i</sub>端子をSCK<sub>i</sub>入出力端子に各々設定します。また、必要に応じてP M R 3のS O 1 P M O Sビットにより、S0<sub>i</sub>端子をN M O Sオープンドレイン出力とします。
- ② S M R 1のS M R 16ビットを“0”または“1”とし、S M R 15、14ビットを“00”以外の値として8/16ビット転送モードに設定し、ビット13~10ビットで転送クロックを選択します。S M R 1へのデータをライトするとS C I 1の内部状態はイニシャライズされます。
- ③ シリアルデータレジスタL 1 (S D R L 1)、シリアルデータレジスタU 1 (S D R U 1) に転送データをライトします。  
8ビット転送モード: S D R L 1  
16ビット転送モード: 上位バイトS D R U 1、下位バイトS D R L 1
- ④ S M R 1のダミーリードを実行します。S C I 1は動作を開始し、S0<sub>i</sub>端子より送信データが出力されます。
- ⑤ 送信完了後、割り込み要求レジスタ3 (I R R 3) のI R R S 1ビットが“1”にセットされます。

内部クロックソースを使用する場合は、送信データが出力されると、同時にSCK<sub>i</sub>端子から同期クロックが出力されます。送信が終了すると次回のS M R 1のダミーリードまで同期クロックは出力されません。この間、S0<sub>i</sub>端子は、直前のデータの最終ビットの値を出力し続けます。

外部クロックソースを使用する場合には、SCK<sub>i</sub>端子から入力されるクロックに同期してデータを送信します。送信終了後、引続き同期クロックが入力されると、再び送信動作を行います。

送信間のS0<sub>i</sub>端子の出力値は、シリアルポートレジスタ1 (S P R 1) のビット7 S O 1 L A S T B I Tビットにより変更することができます。

送信動作中に、S M R 1のダミーリードを実行すると送信エラーとなり、I R R 3のI R R S 1ビットが“1”にセットされます。

### (3) データ受信

受信動作は次のように行います。

- ① ポートモードレジスタ2 (PMR2) のSI1ビット=“1”として、P9<sub>1</sub>/SI<sub>1</sub>端子をSI<sub>1</sub>入力端子に、また、PMR2のSCK1ビット=“1”としてP9<sub>1</sub>/SCK<sub>1</sub>端子をSCK<sub>1</sub>入出力端子に各々設定します。
- ② シリアルモードレジスタ1 (SMR1) のSMR16ビットを“0”または“1”とし、SMR15、14ビットを“00”以外の値として8/16ビット転送モードに設定し、SMR13~10ビットで転送クロックを選択します。SMR1へデータをライトするとSCI1の内部状態はイニシャライズされます。
- ③ SMR1のダミーリードを実行します。SCI1は動作を開始し、SI<sub>1</sub>端子より受信データが入力されます。
- ④ 受信完了後、割込み要求レジスタ3 (IRR3) のIRRS1ビットが“1”にセットされます。
- ⑤ シリアルデータレジスタL1 (SDRL1)、シリアルデータレジスタU1 (SDRU1) の受信データをリードします。  
8ビット転送モード：SDRL1  
16ビット転送モード：上位バイトSDRU1、下位バイトSDRL1

内部クロックソースで受信を行う場合は、SMR1をダミーリードするとすぐに受信動作を開始します。このときSCK<sub>1</sub>端子から同期クロックが出力されます。

外部クロックソースを使用する場合は、SMR1をダミーリードした後、SCK<sub>1</sub>端子から入力されるクロックに同期してデータを受信します。受信完了後、引続きクロックが入力されると、再び受信動作を行います。

受信動作中に、SMR1のダミーリードを実行すると受信エラーとなり、IRR3のIRRS1ビットが“1”にセットされます。

### (4) 送受信同時動作

送受信同時動作は次のように行われます。

- ① PMR2のSO1、SI1、SCK1ビットを各々“1”として、SO<sub>1</sub>出力端子、SI<sub>1</sub>端子、SCK<sub>1</sub>端子とします。また、必要に応じてポートモードレジスタ3 (PMR3) のSO1PMOSビットにより、SO<sub>1</sub>端子をNMOSオープンドレイン出力とします。
- ② SMR1のSMR16ビットを“0”または“1”とし、SMR15、14ビットを“00”以外の値として8/16ビット転送モードに設定し、SMR13~10ビットで転送クロックを選択します。SMR1へデータをライトするとSCI1の内部状態はイニシャライズされます。
- ③ SDRL1、SDRU1に転送データをライトします。  
8ビット転送モード：SDRL1  
16ビット転送モード：上位バイトSDRU1、下位バイトSDRL1
- ④ SMR1のダミーリードを実行します。SCI1は動作を開始し、SO<sub>1</sub>端子より送信データが出力され、またSI<sub>1</sub>端子より受信データが入力されます。

- ⑤ 送受信完了後、IRR3のIRRS1ビットが“1”にセットされます。
- ⑥ シリアルデータレジスタL1 (SDRL1)、シリアルデータレジスタU1 (SDRU1)の受信データをリードします。  
8ビット転送モード：SDRL1  
16ビット転送モード：上位バイトSDRU1、下位バイトSDRL1

送受信同時動作は、前項のデータ送信とデータ受信を同時に行うものです。詳細は、「10.3.4(2) データ送信」、「10.3.4(3) データ受信」を参照してください。

送受信動作中に、シリアルモードレジスタ1 (SMR1)のダミーリードを実行すると送受信エラーとなり、割込み要求レジスタ3 (IRR3)のIRRS1ビットが“1”にセットされます。

### 10.3.5 SCI1の動作状態遷移

SCI1には図10.3に示す3つの内部動作状態があります。

シリアルスタート待ち状態は、シリアルコミュニケーションインタフェースの内部状態が初期化された状態です。この状態では、転送クロックが印加されてもシリアルコミュニケーションインタフェースは動作しません。ここでSMR1のダミーリードが実行されると、転送クロック待ち状態になります。

転送クロック待ち状態において転送クロックが印加されると、8/16進カウンタのカウントアップとシリアルデータレジスタのシフトが開始され、転送状態になります。ただし、クロック連続出力モードが選択されると、転送状態にならずに、転送クロックが連続的に出力されます。

転送状態において、転送クロックが8または16クロック入力されるか、あるいはSMR1のダミーリードおよびSMR1書込みが実行されると、8/16進カウンタがH'0になり、転送クロック待ち状態になります。また、転送状態においてSMR1のライトを行うと、8/16進カウンタがH'0になり、シリアルスタート待ち状態になります。転送状態から他の状態への遷移が起こると、8/16進カウンタがH'0になることによってIRR3のIRRS1ビットが“1”にセットされます。

内部転送クロックが選択されている場合には、SMR1のダミーリードの実行によって転送クロックの出力が起動され、8または16クロック出力後に停止します。

転送クロック待ち状態または転送状態でSMR1書込みを行った場合、再度SMR1書込みを行いシリアルコミュニケーションインタフェースの内部状態を初期化してください。SMR1書込み後はシリアルスタート待ち状態になります。



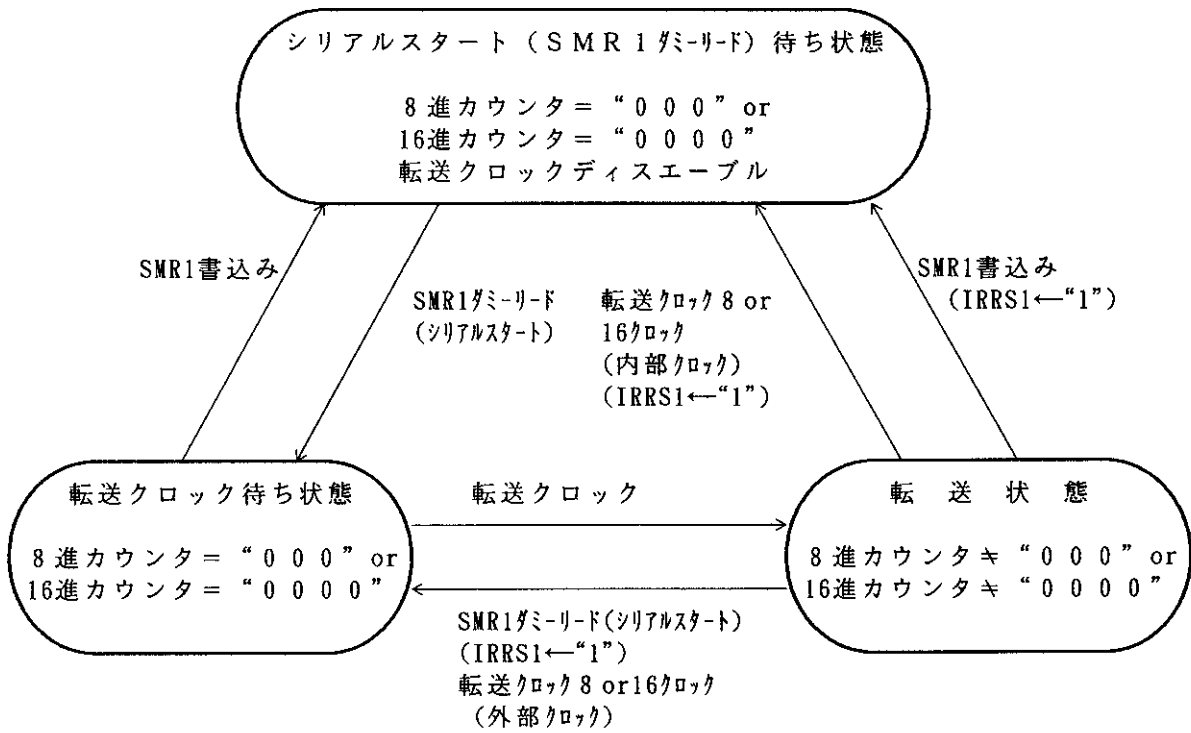


図10.3 SCI1動作状態遷移図

### 10.3.6 転送クロックエラーの検出例

転送状態において、外来の雑音などによって正規の転送クロックに余分なパルスが重ね合わされた場合、SC I 1は誤動作します。この場合は、図10.4に示す手順によって転送クロックのエラーを知ることができます。

転送クロック待ち状態に、誤って8または16クロックを超える転送クロックが入力されるとSC I 1の動作状態は、転送状態、転送クロック待ち状態、転送状態の順に遷移します。割り込み要求レジスタ3 (IRR 3) のIRRS 1ビットを“0”にクリアした後、シリアルモードレジスタ1 (SMR 1) に値を書込んでシリアルスタート待ち状態にすると、再びIRRS 1ビットが“1”にセットされます。

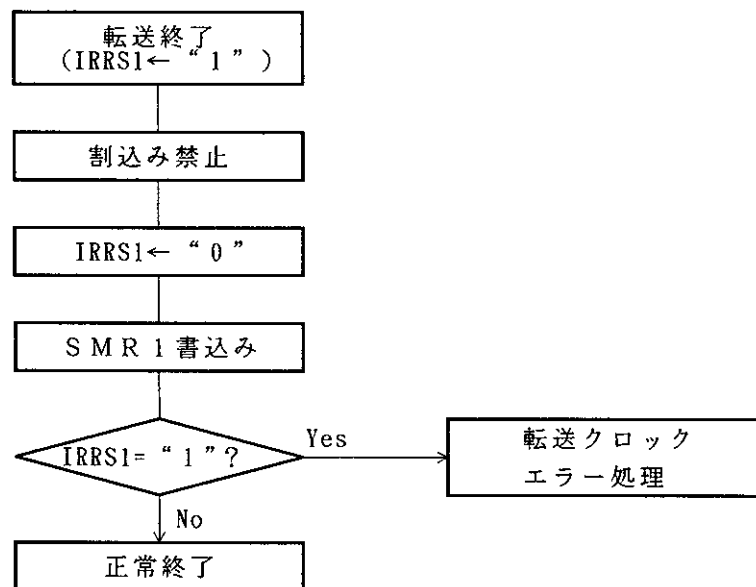


図10.4 転送クロックエラーの検出フロー

### 10.3.7 割り込み要因

SC I 1の割り込み要因には、転送完了、送受信エラーがあり、共通のベクタアドレスが割り付けられています。

SC I 1が、転送完了または送受信エラーにより途中終了すると、IRR 3のIRRS 1ビットが“1”にセットされます。SC I 1の割り込み要求は、割り込み許可レジスタ3 (IENR 3) のIENS 1ビットにより許可/禁止を指定できます。

詳細は、「3.2.2 割り込み」を参照してください。

# 11. S C I 2

---

## 第11章 目次

11.1	概要	211
11.1.1	特長	211
11.1.2	ブロック図	211
11.1.3	端子構成	212
11.1.4	レジスタ構成	212
11.2	各レジスタの説明	213
11.2.1	先頭アドレスレジスタ (STAR)	213
11.2.2	終了アドレスレジスタ (EDAR)	213
11.2.3	シリアルコントロールレジスタ2 (SCR2)	214
11.2.4	ステータスレジスタ (STSR)	215
11.2.5	ポートモードレジスタ3 (PMR3)	217
11.3	動作説明	219
11.3.1	概要	219
11.3.2	クロック	220
11.3.3	データ転送フォーマット	220
11.3.4	データの送信／受信動作	222
11.4	割込み要因	224
11.5	使用上の注意事項	224



## 11.1 概要

シリアルコミュニケーションインタフェース2 (SCI2) は、32バイトのデータバッファを持ち、1回の操作で1~32バイト分のクロック同期式シリアル転送を行います。

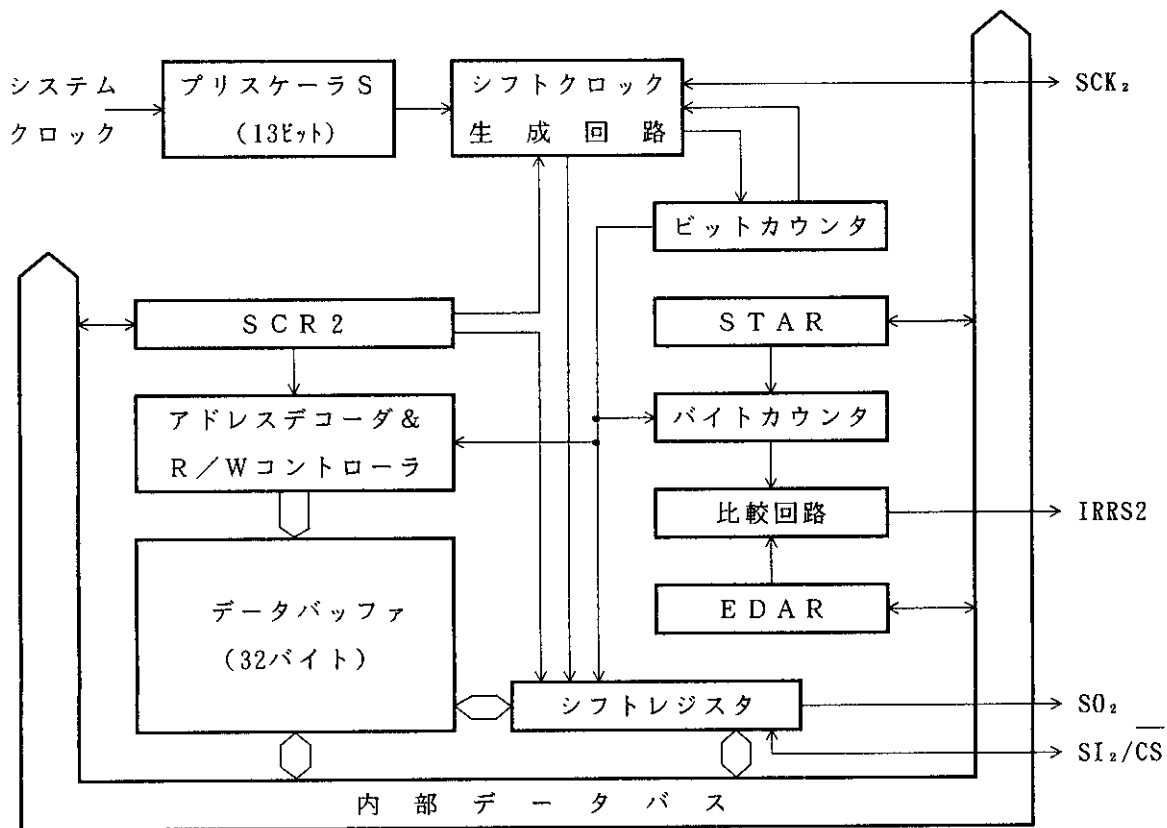
### 11.1.1 特長

SCI2の特長を以下に示します。

- 最大32バイトのデータを自動的に転送可能です。
- クロックソースとして内部クロック ( $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ ) と外部クロックが選択可能です。
- 転送の完了、またはエラーで割込み要求を発生します。

### 11.1.2 ブロック図

SCI2のブロック図を図11.1に示します。



<記号説明>

STAR : 先頭アドレスレジスタ

EDAR : 終了アドレスレジスタ

IRRS2 : シリアルコミュニケーションインタフェース2 割込み要求フラグ  
(割込み要求レジスタ3)

図11.1 SCI2のブロック図

### 11.1.3 端子構成

SCI 2の端子構成を表11.1に示します。

表11.1 端子構成

名 称	略 称	入出力	機 能
SCI 2クロック端子	SCK <sub>2</sub>	入出力	SCI 2のクロック入出力端子
SCI 2データ入力端子	SI <sub>2</sub>	入 力	SCI 2の受信データ入力端子
SCI 2データ出力端子	SO <sub>2</sub>	出 力	SCI 2の送信データ出力端子
SCI 2チップセレクト出力端子	$\overline{\text{CS}}$	出 力	SCI 2チップセレクト出力端子

【注】 P9/SCK<sub>2</sub>端子、P9<sub>0</sub>/SI<sub>2</sub>/CS端子、P9<sub>0</sub>/SO<sub>2</sub>端子の機能切換えは、ポートモードレジスタ2 (PMR 2)、ポートモードレジスタ3 (PMR 3) により行います。  
PMR 2については、「7.10.2(1) ポートモードレジスタ2 (PMR 2)」を参照してください。

### 11.1.4 レジスタ構成

SCI 2のレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

名 称	略 称	R/W	初 期 値	ア ド レ ス
32バイトデータバッファ	—	R/W	不 定	H'FF80~H'FF9F
先頭アドレスレジスタ	STAR	R/W	H'E0	H'FFA0
終了アドレスレジスタ	EDAR	R/W	H'E0	H'FFA1
シリアルコントロールレジスタ2	SCR 2	R/W	H'E0	H'FFA2
ステータスレジスタ	STSR	R/W	H'E0/H'E8	H'FFA3
ポートモードレジスタ2	PMR 2	R/W	H'00	H'FFEC
ポートモードレジスタ3	PMR 3	R/W	H'97	H'FFED

## 11.2 各レジスタの説明

### 11.2.1 先頭アドレスレジスタ (STAR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	STA4	STA3	STA2	STA1	STA0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

STARは、8ビットのリード/ライト可能なレジスタで、32バイトのデータバッファが割り付けられているアドレス空間H'FF80~H'FF9F中の転送開始アドレスを指定します。

STARの下位5ビット(STA4~0ビット)により指定されるH'00~H'1Fの32バイトがアドレス空間H'FF80~H'FF9Fに対応しています。

STARと終了アドレスレジスタ(EDAR)で指定された領域を使用して、データの連続送信/受信を行います。

ビット7~5は、リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

STARは、リセット時、H'E0にイニシャライズされます。

### 11.2.2 終了アドレスレジスタ (EDAR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

EDARは、8ビットのリード/ライト可能なレジスタで、32バイトのデータバッファが割り付けられているアドレス空間H'FF80~H'FF9F中の転送終了アドレスを指定します。

EDARの下位5ビット(EDA4~0ビット)により指定されるH'00~H'1Fの32バイトが、アドレス空間H'FF80~H'FF9Fに対応しています。

STARとEDARで指定された領域を使用して、データの連続送信/受信を行います。

STARとEDARが同じ値で転送を開始すると、その1バイトのデータのみ転送を行います。

ビット7~5は、リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

EDARは、リセット時、H'E0にイニシャライズされます。

### 11.2.3 シリアルコントロールレジスタ 2 (SCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	I/O	GAP2	GAP1	PS1	PS0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

SCR2は、8ビットのリード/ライト可能なレジスタで、SCI2の送信/受信、連続転送中のギャップ挿入、および転送クロックを選択します。

リセット時、SCR2はH'E0にイニシャライズされます。

#### ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット4：送信/受信選択 (I/O)

SCI2の送信/受信を選択します。

ビット4	説明
I/O	
0	SCI2は、受信モード (初期値)
1	SCI2は、送信モード

#### ビット3、2：ギャップ挿入 (GAP2、1)

データの連続送信/受信時に、データの区切りでの転送クロックの“High”レベル期間を指定します。本ビットの設定は、転送クロックに内部クロックが選択 (PS1、0ビット≠“11”) されているときに有効となります。

また、データの区切り位置は、ステータスレジスタ (STSR) のGITビットにより8ビット毎/16ビット毎から選択できます。

ビット3	ビット2	説明
GAP2	GAP1	
0	0	データの区切りでも転送クロックは同一のデューティ (初期値)
0	1	データの区切りで、転送クロックは1クロック分“High”レベル期間が引き伸ばされます。
1	0	データの区切りで、転送クロックは2クロック分“High”レベル期間が引き伸ばされます。
1	1	データの区切りで、転送クロックは8クロック分“High”レベル期間が引き伸ばされます。



### ビット1、0：転送クロック選択（PS1、0）

転送クロックを、内部クロック3種類または外部クロックから選択します。

ビット1 PS1	ビット0 PS0	SCK <sub>2</sub> 端子	クロックソース	プリスケ-ラ 分周比	転送クロック周期		
					φ=4MHz	φ=2MHz	φ=1MHz
0	0	SCK <sub>2</sub> 出力	プリスケ-ラS	φ/2 (初期値)	*	1 μs	2 μs
0	1	SCK <sub>2</sub> 出力	プリスケ-ラS	φ/4	1 μs	2 μs	4 μs
1	0	SCK <sub>2</sub> 出力	プリスケ-ラS	φ/8	2 μs	4 μs	8 μs
1	1	SCK <sub>2</sub> 入力	外部クロック	—	—		

\*：設定可能ですが動作は保証されません。

### 11.2.4 ステータスレジスタ（STSR）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	SO2 LAST BIT	OVR	WT	GIT	STF
初期値：	1	1	1	0	不定	0	0	0
R/W：	—	—	—	R/W	R/W*	R/W*	R/W	R/W

【注】\* STSRへのライト動作により“0”にクリアされます。

STSRは、SCI2の動作状態、エラー状態などを示す8ビットのレジスタです。

データ送信中に本レジスタにライトすると誤動作の原因となります。

STSRは、リセット時、H'E0またはH'E8にイニシャライズされます。

#### ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット4：拡張データビット（SO2 LAST BIT）

本ビットは、送信終了後、送信データの最終ビットの値を保持します。

送信前または送信後に本ビットを操作して、SO<sub>2</sub>端子の出力をソフトウェアで変更することができます。

データ送信中に本ビットにライトすると誤動作の原因となります。

ビット4	説明
SO2 LAST BIT	
0	SO <sub>2</sub> 端子出力は、“Low”レベル (初期値)
1	SO <sub>2</sub> 端子出力は、“High”レベル

### ビット3：オーバランフラグ（OVR）

設定されたバッファサイズ以上のデータが転送された場合、または外来の雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、SCI2はオーバラン状態となり、本ビットが“1”にセットされます。初期値は不定です。

ビット3	説明
OVR	
0	〔クリア条件〕 STSRにライト動作を行ったとき
1	〔セット条件〕 オーバラン状態になったとき

### ビット2：ウェイトングフラグ（WT）

転送中は32バイトのデータバッファにリード／ライト命令を実行しても、その命令は無視され、割込み要求レジスタ3（IRR3）のIRRS2ビットとともに本ビットが“1”にセットされます。

ビット2	説明
WT	
0	〔クリア条件〕 STSRにライト動作を行ったとき (初期値)
1	〔セット条件〕 転送中に、32バイトのデータバッファへのリード／ライトを行ったとき

### ビット1：GAPインターバルフラグ（GIT）

シリアルコントロールレジスタ2（SCR2）のGAP2、1ビットにより指定される転送クロック“High”レベル期間の引き伸ばしを、8ビットごとに行うか16ビットごとに行うかを指定します。本ビットの設定は、内部クロック動作時のみ有効となります。

ビット1	説明
GIT	
0	16ビット毎にGAP2、1ビットの設定が有効 (初期値)
1	8ビット毎にGAP2、1ビットの設定が有効

### ビット0：スタート／ビジーフラグ（STF）

本ビットに“1”をセットすると、SCI 2の転送動作が開始します。本ビットは、転送中は“1”を保持し、転送終了後に“0”にクリアされます。このため、ビジーフラグとして使用できます。

転送中に本ビットに“0”をライトすると、転送は途中で打ち切れ、SCI 2は初期化されます。このとき、32バイトデータバッファおよびSTS R以外の内部レジスタの内容は保持されます。

ビット0	説明
STF	
0	〔リード時〕 転送動作が停止していることを表示 〔ライト時〕 転送を強制終了 (初期値)
1	〔リード時〕 転送動作中を表示 〔ライト時〕 転送を開始

### 11.2.5 ポートモードレジスタ3（PMR3）

ビット：	7	6	5	4	3	2	1	0
	—	S02 PMOS	CS	—	S01 PMOS	—	—	—
初期値：	1	0	0	1	0	1	1	1
R/W：	—	R/W	R/W	—	R/W	—	—	—

PMR 3は、8ビットのリード／ライト可能なレジスタで、SCI 1、SCI 2データ出力端子（P9<sub>3</sub>/S0<sub>1</sub>端子、P9<sub>6</sub>/S0<sub>2</sub>端子）のPMOSオン／オフ、およびSCI 2のチップセレクト出力（SI<sub>2</sub>/CS端子）を制御します。

PMR 3は、リセット時、H'97にイニシャライズされます。

ビット3については、「10.2.6 ポートモードレジスタ3（PMR3）」を参照してください。

#### ビット7：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット6：S0<sub>2</sub>端子PMOSオン/オフ（S02PMOS）

P9<sub>6</sub>/S0<sub>2</sub>端子のPMOSのオン/オフを制御します。

ビット6	説明
S02PMOS	
0	P9 <sub>6</sub> /S0 <sub>2</sub> 端子のPMOSバッファはオン。CMOS出力（初期値）
1	P9 <sub>6</sub> /S0 <sub>2</sub> 端子のPMOSバッファはオフ。NMOSオープンドレイン出力

#### ビット5：チップセレクト出力選択（CS）

P9<sub>5</sub>/SI<sub>2</sub>/CS端子をCS出力端子に設定します。本ビットの設定は、ポートモードレジスタ2（PMR2）のSI<sub>2</sub>ビットとの組み合わせで機能します。また、CS出力端子機能は、転送クロックに内部クロックが選択されており、かつ送信モードのとき有効となります。

PMR2	PMR3	説明
ビット5	ビット5	
SI2	CS	
0	0	P9 <sub>5</sub> /SI <sub>2</sub> / $\overline{CS}$ 端子は、P9 <sub>5</sub> 入出力端子として機能（初期値）
	1	P9 <sub>5</sub> /SI <sub>2</sub> / $\overline{CS}$ 端子は、P9 <sub>5</sub> 入出力端子として機能
1	0	P9 <sub>5</sub> /SI <sub>2</sub> / $\overline{CS}$ 端子は、SI <sub>2</sub> 入力端子として機能
	1	P9 <sub>5</sub> /SI <sub>2</sub> / $\overline{CS}$ 端子は、 $\overline{CS}$ 出力端子として機能

#### ビット4、2～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

## 11.3 動作説明

### 11.3.1 概要

SC I 2は、32バイトのデータバッファをもち、1回の操作で最大32バイトのデータを連続転送できます。SC I 2は、クロックパルスに同期させてデータを送信または受信します。

送信／受信モード、転送クロックの選択などは、シリアルコントロールレジスタ2 (SCR 2)により、設定します。

先頭アドレスレジスタ (STAR) と終了アドレスレジスタ (EDAR) は、32バイトデータバッファ内の転送データの格納領域を指定します。データバッファの割り付けられているアドレス空間はH' FF80~H' FF9Fであり、STARとEDARの下位5ビットで転送データ領域の先頭位置と終了位置を指定します。

ポートモードレジスタ2 (PMR 2)、ポートモードレジスタ3 (PMR 3)、SCR 2、STAR、EDARの各レジスタを設定後、ステータスレジスタ (STS R) のSTFビットを“1”にセットすると、SC I 2は転送動作を開始します。STFビットは、転送中は“1”を保持し、転送が終了すると“0”にクリアされます。したがって、STFビットをビジーフラグとして使用することができます。また、転送中にSTFビットを“0”にクリアすると、転送動作は途中で打ち切れ、SC I 2は初期化されます。このとき、データバッファおよび内部レジスタの内容は保持されます。

転送中は、CPUからデータバッファにリード／ライトすることはできません。ライト命令を実行しても無視され、ステート数はかかりますがNOP命令を実行したのと同じになります。また、リード命令を実行するとH' FFが読み出されます。

転送終了時、または転送中のデータバッファのリード／ライトが発生したとき、割込み要求レジスタ3 (IRR 3) のIRRS 2ビットが“1”にセットされます。また、オーバランエラー、転送中のデータバッファのリード／ライトでは、STS RのOVRビット、WTビットが各々“1”にセットされます。

【注】 先頭アドレス > 終了アドレスで操作させた場合、図11.2に示すようにH' FF9F番地のデータを転送後、H' FF80番地にもどり、終了アドレスまで転送を行います。

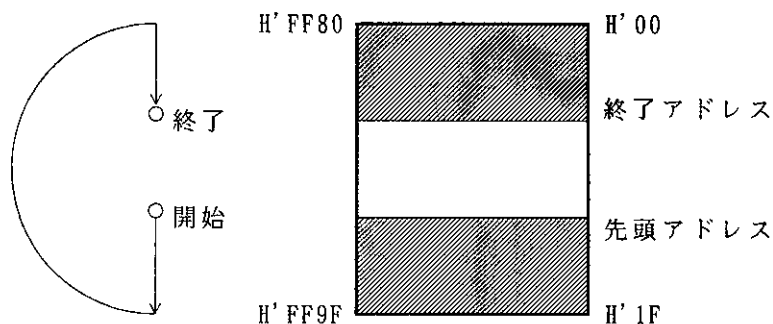


図11.2 先頭アドレス > 終了アドレスの場合の動作

### 11.3.2 クロック

転送クロックは、3種類の内部クロックまたは外部クロックから選択できます。内部クロックを選択した場合は、SCK<sub>2</sub>端子はクロック出力端子となります。

### 11.3.3 データ転送フォーマット

SCI<sub>2</sub>の通信フォーマットを図11.3に示します。データの最下位ビットから送信/受信される、LSBファースト方式による転送を行います。送信データは転送クロックの立下がりから次の立下がりまで出力されます。また、受信データは転送クロックの立上がりで取り込まれます。

SCI<sub>2</sub>が内部クロック動作で、かつ送信モード時には、データの区切り（8ビットごとまたは16ビットごと）にギャップを挿入することができます。ギャップ期間では、転送クロックが指定されたクロック分だけ“High”レベルを保持します（図11.4～図11.6参照）。CS出力はギャップ期間中も“Low”のままです。

ギャップの挿入、およびギャップ長の選択は、シリアルコントロールレジスタ2（SCR<sub>2</sub>）のGAP<sub>2</sub>、1ビットで設定します。また、データの区切り間隔を8ビットごとにするか16ビットごとにするかは、ステータスレジスタ（STS<sub>R</sub>）のGITビットにより設定します。

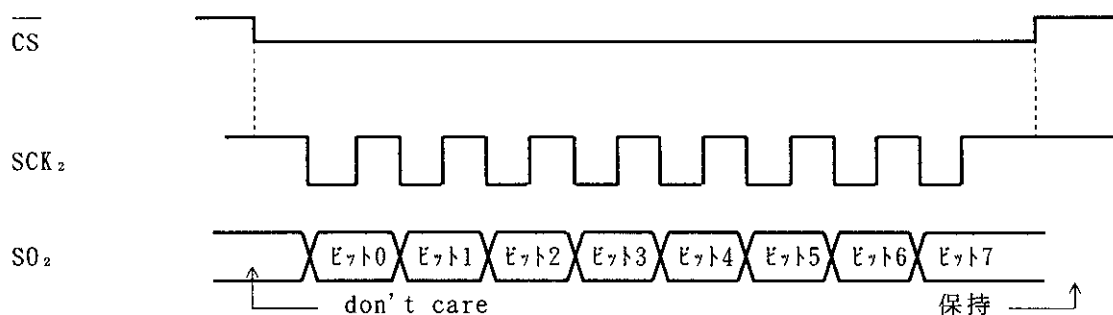
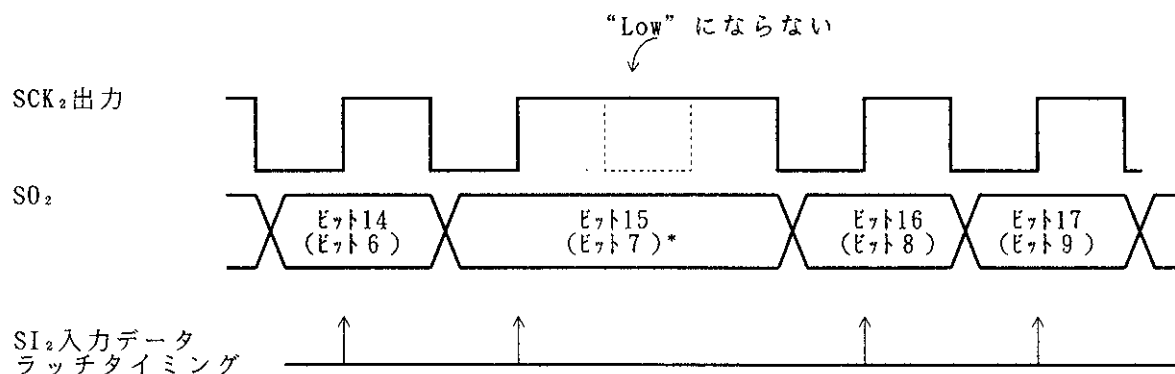
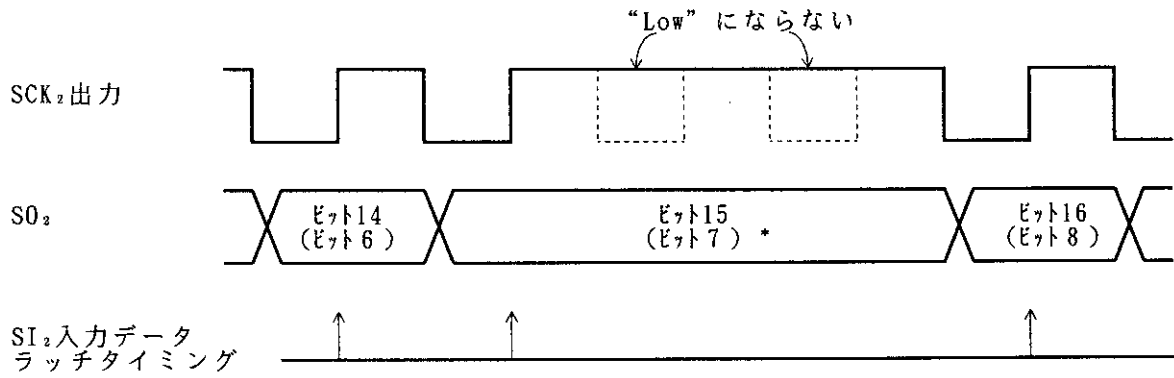


図11.3 クロック同期式通信の転送



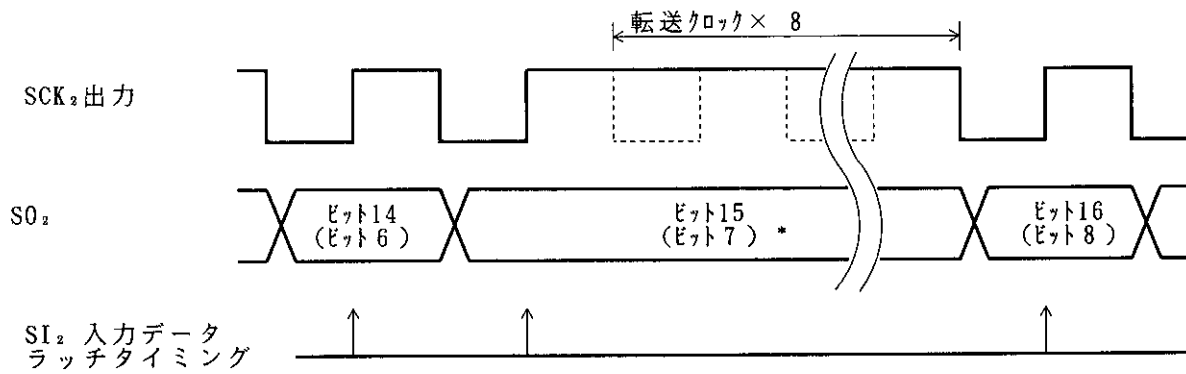
【注】\* GITビット = 1 のときは、8ビットごとにギャップが入ります。

図11.4 1クロック長のギャップ挿入（GAP<sub>2</sub>、1ビット = “01”）



【注】\* GITビット=1のときは、8ビットごとにギャップが入ります。

図11.5 2クロック長のギャップ挿入 (GAP 2、1ビット=“10”)



【注】\* GITビット=1のときは、8ビットごとにギャップが入ります。

図11.6 8クロック長のギャップ挿入 (GAP 2、1ビット=“11”)

#### 11.3.4 データの送信／受信動作

##### (1) S C I 2 のイニシャライズ

データの送信／受信を行うには、まず S C I 2 をソフトウェアによってイニシャライズします。

イニシャライズは、ステータスレジスタ ( S T S R ) の S T F ビットが “ 0 ” にクリアされた状態で、ポートモードレジスタ 2 ( P M R 2 ) 、ポートモードレジスタ 3 ( P M R 3 ) 、先頭アドレスレジスタ ( S T A R ) 、終了アドレスレジスタ ( E D A R ) 、およびシリアルコントロールレジスタ 2 ( S C R 2 ) により、端子、転送モードを設定することで行います。

##### (2) データ送信

送信動作は次のように行います。

- ① P M R 2 の S O 2 ビットを “ 1 ” として、P9<sub>s</sub>/S0<sub>s</sub>端子をS0<sub>s</sub>出力端子に設定します。また、必要に応じてP M R 3 の S O 2 P M O S ビット、C S ビットにより、S0<sub>s</sub>端子のN M O S オープンドレイン出力、P9<sub>s</sub>/S1<sub>s</sub>/C S 端子のチップセレクト出力を選択します。
- ② 32バイトデータバッファ ( H' F F 8 0 ~ H' F F 9 F ) に送信するデータをライトします。
- ③ S T A R に転送先頭アドレスの下位 5 ビットを設定します。
- ④ E D A R に転送終了アドレスの下位 5 ビットを設定します。
- ⑤ S C R 2 により、送信モード ( I / O ビット = “ 1 ” ) 、転送クロック、およびギャップの挿入 ( 内部クロック動作時のみ ) を設定します。
- ⑥ S T S R の G I T ビットによりデータの区切りを設定し、S T F ビットを “ 1 ” にセットします。S T F ビットのセットにより送信動作が開始されます。
- ⑦ 送信完了後、割込み要求レジスタ 3 ( I R R 3 ) の I R R S 2 ビットが “ 1 ” にセットされます。また、S T S R の S T F ビットは “ 0 ” にクリアされます。

内部クロックソースを使用する場合は、送信データが出力されると、同時にSCK<sub>s</sub>端子から同期クロックが出力されます。送信が終了すると次のS T F ビットのセットまで同期クロックは出力されません。この間、S0<sub>s</sub>端子は、直前のデータの最終ビットの値を出力し続けます。

外部クロックソースを使用する場合には、SCK<sub>s</sub>端子から入力されるクロックに同期してデータを送信します。送信終了後、引続き同期クロックが入力されても送信動作は行われず、S0<sub>s</sub>端子は、直前のデータの最終ビットの値を出力し続けます。

送信間のS0<sub>s</sub>端子の出力値は、S T S R の S O 2 ビットにより変更することができます。

送信動作中に、転送中のデータバッファのリード／ライトが発生したとき、I R R 3 の I R R S 2 ビットが “ 1 ” にセットされます。また、S T S R の W T ビットも “ 1 ” にセットされます。



### (3) データ受信

受信動作は以下のように行われます。

- ① ポートモードレジスタ 2 (PMR 2)のSI 2ビットを“1”として、P9<sub>3</sub>/SI<sub>2</sub>/CS<sub>2</sub>端子をSI<sub>2</sub>入力端子に設定します。
- ② 32バイトデータバッファ内に受信データ格納領域を設け、先頭アドレスレジスタ (STAR) に転送先頭アドレスの下位5ビットを設定します。
- ③ 終了アドレスレジスタ (EDAR) に転送終了アドレスの下位5ビットを設定します。
- ④ シリアルコントロールレジスタ 2 (SCR 2)により、受信モード(I/Oビット = “0”)、転送クロックを設定します。
- ⑤ ステータスレジスタ (STSR) のSTFビットを“1”にセットすると受信動作が開始されます。
- ⑥ 受信終了後、割込み要求レジスタ 3 (IRR 3) のIRRS 2ビットが“1”にセットされます。また、STSRのSTFビットは、“0”にクリアされます。
- ⑦ データバッファ内に格納された受信データをリードします。

内部クロックソースで受信を行う場合は、STSRのSTFビットを“1”にセットするとすぐに受信動作を開始します。このときSCK<sub>2</sub>端子から同期クロックが出力されます。

外部クロックソースを使用する場合は、STFビットがセットされた後、SCK<sub>2</sub>端子から入力されるクロックに同期してデータを受信します。受信完了後、引続き同期クロックが入力されても、再びSTFビットがセットされるまで受信動作は行いません。

受信動作中に、転送中のデータバッファのリード/ライトが発生したとき、IRR 3のIRRS 2ビットが“1”にセットされます。また、オーバーランエラー、転送中のデータバッファのリード/ライトでは、STSRのOVRビット、WTビットが各々“1”にセットされます。

SCI 2が内部クロック動作で、かつ送信モード時には、データの区切り(8ビットごとまたは16ビットごと)にギャップを挿入することができます。ギャップ期間では、転送クロックが指定されたクロック分だけ“High”レベルを保持します(図11.4~図11.6参照)。

ギャップの挿入、およびギャップ長の選択は、SCR 2のGAP 2、1ビットで設定します。また、データの区切り間隔を8ビットごとにするか16ビットごとにするかは、STSRのGITビットにより設定します。

## 11.4 割込み要因

SCI 2の割込み要因は、転送完了と転送中のデータバッファのリード/ライトであり、共通のベクタアドレスが割り付けられています。

SCI 2に、上記の条件が発生すると、割込み要求レジスタ3 (IRR3)のIRRS2ビットが“1”にセットされます。SCI 2の割込み要求は、割込み許可レジスタ3 (IENR3)のIENS2ビットにより許可/禁止を指定できます。詳細は、「3.2.2 割込み」を参照してください。

また、オーバランエラーが発生した場合、または転送中のデータバッファのリード/ライトを行った場合には、ステータスレジスタ (STSR)のOVRビット、WTビットが各々“1”にセットされます。これらのビットによりエラー要因の判別ができます。

## 11.5 使用上の注意事項

- (1) 転送中 (STSRのSTFビット = “1”) は、各レジスタにライトしないでください。  
誤動作の原因となります。
- (2) ポートモードレジスタ2 (PMR2)のSI2ビット = “1”、およびポートモードレジスタ3 (PMR3)のCSビット = “1”として、CS端子機能を選択して、受信動作を行うと受信データは不定となります。受信時には、必ずSI2ビット = “1”、CSビット = “0”としてSI<sub>2</sub>端子機能を設定してください。

# 12. VFDコントローラ ／ドライバ

## 第12章 目次

12.1	概要	227
12.1.1	特長	227
12.1.2	ブロック図	227
12.1.3	端子構成	228
12.1.4	レジスタ構成	228
12.2	各レジスタの説明	229
12.2.1	VFDディジットコントロールレジスタ (VFDR)	229
12.2.2	VFDセグメントコントロールレジスタ (VFSR)	232
12.2.3	ディジットビギニングレジスタ (DBR)	234
12.3	動作説明	236
12.3.1	概要	236
12.3.2	コントロール部の説明	236
12.3.3	ディジット／セグメントとVFD表示RAMのビットの対応	236
12.3.4	動作開始手順	238
12.4	割込み要因	238
12.5	VFDレジスタ書換え時のちらつきについて	238



## 12.1 概要

本LSIは、蛍光表示管駆動コントロール回路（VFDコントローラ／ドライバ）と高耐圧大電流端子を内蔵しており、蛍光表示管を直接駆動できます。

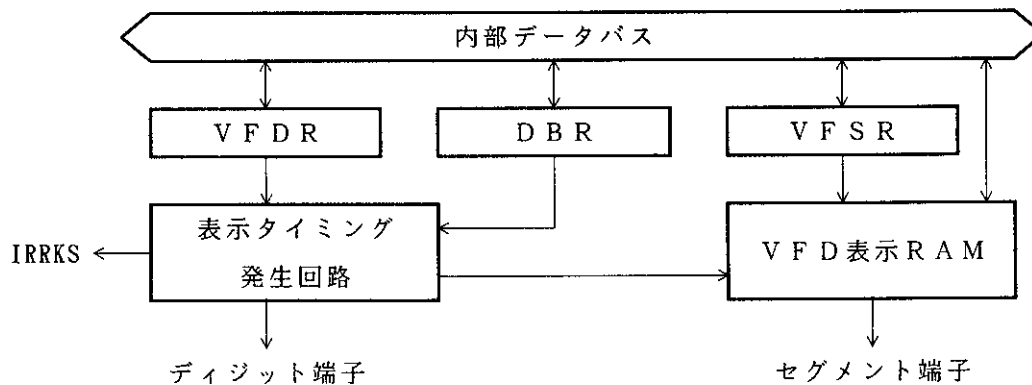
### 12.1.1 特長

VFDコントローラ／ドライバの特長を以下に示します。

- 最大24本のセグメント端子と16本のディジット端子（16本のセグメント端子、8本のディジット端子、8本のセグメント／ディジット兼用端子）
- 輝度を8段階に調整可能（ディマー機能）
- 表示桁の自動変更が可能
- ディジット端子、セグメント端子の汎用高耐圧端子への切換え可能
- キースキャン期間の有無を選択可能
- キースキャン期間開始時に割込み要求を発生

### 12.1.2 ブロック図

VFDコントローラ／ドライバのブロック図を図12.1に示します。



<記号説明>

VFDR : VFDディジットコントロールレジスタ

DBR : ディジットビギニングレジスタ

VFSR : VFDセグメントコントロールレジスタ

IRRKS : キースキャン割込み要求フラグ（割込み要求レジスタ3）

図12.1 VFDコントローラ／ドライバのブロック図

### 12.1.3 端子構成

VFDコントローラ／ドライバの端子構成を表12.1に示します。

表12.1 端子構成

名 称	略 称	入出力	機 能
ディジット／セグメント兼用端子	FD <sub>0</sub> /FS <sub>7</sub> ) FD <sub>7</sub> /FS <sub>0</sub>	出力	蛍光表示管用ディジット端子 またはセグメント端子 (DBRによりビット単位に選択可能)
ディジット端子	FD <sub>8</sub> ～FD <sub>15</sub>	出力	蛍光表示管用ディジット端子
セグメント端子	FS <sub>8</sub> ～FS <sub>23</sub>	出力	蛍光表示管用セグメント端子

### 12.1.4 レジスタ構成

VFDコントローラ／ドライバのレジスタ構成を表12.2に示します。

表12.2 レジスタ構成

名 称	略 称	R/W	初期値	ア ド レ ス
VFD表示RAM	—	R/W	不定	H'FE00～H'FEFF
VFDセグメントコントロールレジスタ	VFSR	R/W	H'20	H'FFB9
VFDディジットコントロールレジスタ	VFDR	R/W	H'00	H'FFBA
ディジットビギニングレジスタ	DBR	R/W	H'20	H'FFBB

## 12.2 各レジスタの説明

### 12.2.1 VFDディジットコントロールレジスタ (VFDR)

ビット:	7	6	5	4	3	2	1	0
	FLM0	DM2	DM1	DM0	DR3	DR2	DR1	DR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

VFDRは、8ビットのリード/ライト可能なレジスタで、ディジット出力の制御を行います。  
VFDRは、リセット時、H'00にイニシャライズされます。

#### ビット7: VFDモードビット (FLM0)

ディジット/キースキャン1回当たりの時間 ( $T_{digit}$ )、およびディマー分解能 ( $T_{dimmer}$ ) を指定します。

ビット7	ディジット/キースキャン時間 ( $T_{digit}$ )			ディマー分解能 ( $T_{dimmer}$ )		
	周期	$\phi = 4 \text{ MHz}$	$\phi = 2 \text{ MHz}$	周期	$\phi = 4 \text{ MHz}$	$\phi = 2 \text{ MHz}$
0 (初期値)	1536/ $\phi$	384 $\mu\text{s}$	768 $\mu\text{s}$	96/ $\phi$ (初期値)	24 $\mu\text{s}$	48 $\mu\text{s}$
1	768/ $\phi$	192 $\mu\text{s}$	384 $\mu\text{s}$	48/ $\phi$	12 $\mu\text{s}$	24 $\mu\text{s}$

フレーム周期 ( $T_{frame}$ ) は、次式によって計算できます。

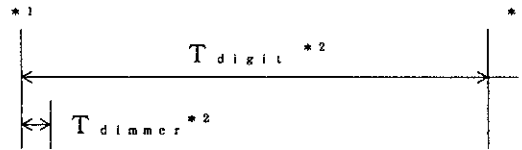
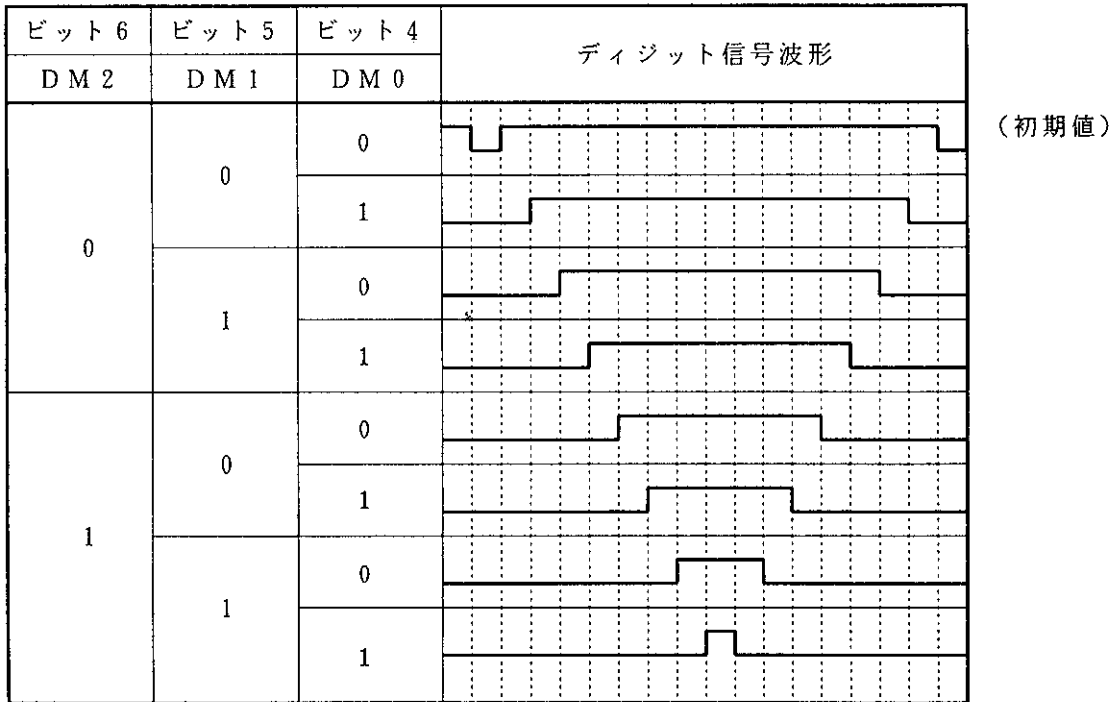
$$T_{frame} = T_{digit} \times (D + K)$$

D: 使用するディジット端子の本数

K: キースキャンありのとき1、なしのとき0

ビット6～4：ディジット波形選択（DM2～0）

ディジット波形の選択を行います。



【注】\*1 セグメント信号の変化タイミング

\*2  $T_{dimmer}$ 、 $T_{digit}$ についてはFLMOビットの説明を参照してください。



ビット3～0：ディジット端子選択（DR3～0）

ディジットビギニングレジスタ（DBR）のビット3～0とともにディジット端子の本数を指定します。

ビット3	ビット2	ビット1	ビット0	ディジット有効端子
DR 3	DR 2	DR 1	DR 0	
0	0	0	0	FD <sub>0</sub> ～FD <sub>15</sub> (初期値)
0	0	0	1	FD <sub>0</sub> ～FD <sub>14</sub>
0	0	1	0	FD <sub>0</sub> ～FD <sub>13</sub>
0	0	1	1	FD <sub>0</sub> ～FD <sub>12</sub>
0	1	0	0	FD <sub>0</sub> ～FD <sub>11</sub>
0	1	0	1	FD <sub>0</sub> ～FD <sub>10</sub>
0	1	1	0	FD <sub>0</sub> ～FD <sub>9</sub>
0	1	1	1	FD <sub>0</sub> ～FD <sub>8</sub>
1	0	0	0	FD <sub>0</sub> ～FD <sub>7</sub>
1	0	0	1	FD <sub>0</sub> ～FD <sub>6</sub>
1	0	1	0	FD <sub>0</sub> ～FD <sub>5</sub>
1	0	1	1	FD <sub>0</sub> ～FD <sub>4</sub>
1	1	0	0	FD <sub>0</sub> ～FD <sub>3</sub>
1	1	0	1	FD <sub>0</sub> ～FD <sub>2</sub>
1	1	1	0	FD <sub>0</sub> ～FD <sub>1</sub>
1	1	1	1	FD <sub>0</sub>

【注】 ディジット／セグメント兼用端子（FD<sub>0</sub>/FS<sub>7</sub>～FD<sub>7</sub>/FS<sub>0</sub>）のディジットとセグメントの切換えは、「12.2.3 ディジットビギニングレジスタ（DBR）」を参照してください。

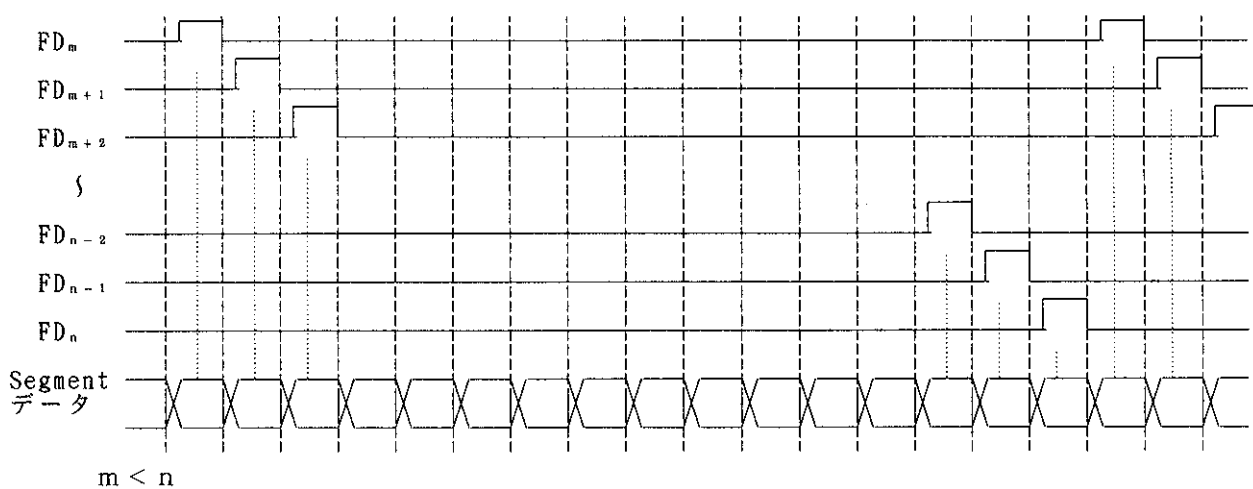


図12.2 ディジットの出力順序

## 12.2.2 VFDセグメントコントロールレジスタ (VFSR)

ビット:	7	6	5	4	3	2	1	0
	VFLAG	KSE	—	SR4	SR3	SR2	SR1	SR0
初期値:	0	0	1	0	0	0	0	0
R/W:	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W

VFSRは、8ビットのリード/ライト可能なレジスタで、セグメント出力の制御を行います。VFSRは、リセット時、H'20にイニシャライズされます。

### ビット7: VFD/ポート切換えフラグ (VFLAG)

Pnn/FDnnおよびPnn/FSnn端子をVFD用端子 (FDnn、FSnn) として使用するか汎用ポート (Pnn) として使用するかの指定を行います。

ビット7	説明
VFLAG	
0	すべてのPnn/FDnn端子、すべてのPnn/FSnn端子は、汎用ポートとして機能 (初期値)
1	Pnn/FDnn端子、Pnn/FSnn端子は、VFD用端子として機能 (VFDディジットコントロールレジスタのDR3~0ビット、VFDセグメントコントロールレジスタのSR4~0ビットおよびディジットビギニングレジスタのDBR3~0ビットの組合せにより選択)

**【注意事項】** 本フラグは“1”がセットされていても、キースキャン期間中は“0”として機能します。また、キースキャン期間中に本フラグをリードすると、“0”が読み出されます。

### ビット6: キースキャンイネーブル (KSE)

VFDディジットコントロールレジスタのDR3~0ビットおよびVFDセグメントコントロールレジスタのSR4~0ビット、ディジットビギニングレジスタのDBR3~0ビットの組合せによりVFDの動作フレームにキースキャン期間 (T<sub>digit</sub>) 追加の許可または禁止を選択します。

ビット6	説明
KSE	
0	キースキャン期間追加を禁止 (初期値)
1	キースキャン期間追加を許可 (VFLAGも参照して下さい。)

### ビット5: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4～0：セグメント端子選択（SR4～0）

ディジットビギニングレジスタ（DBR）のビット3～0とともに、セグメント端子の本数を指定します。

ビット4	ビット3	ビット2	ビット1	ビット0	セグメント有効端子
SR4	SR3	SR2	SR1	SR0	
0	0	0	0	0	FS <sub>0</sub> (初期値)
0	0	0	0	1	FS <sub>0</sub> ～FS <sub>1</sub>
0	0	0	1	0	FS <sub>0</sub> ～FS <sub>2</sub>
0	0	0	1	1	FS <sub>0</sub> ～FS <sub>3</sub>
0	0	1	0	0	FS <sub>0</sub> ～FS <sub>4</sub>
0	0	1	0	1	FS <sub>0</sub> ～FS <sub>5</sub>
0	0	1	1	0	FS <sub>0</sub> ～FS <sub>6</sub>
0	0	1	1	1	FS <sub>0</sub> ～FS <sub>7</sub>
0	1	0	0	0	FS <sub>0</sub> ～FS <sub>8</sub>
0	1	0	0	1	FS <sub>0</sub> ～FS <sub>9</sub>
0	1	0	1	0	FS <sub>0</sub> ～FS <sub>10</sub>
0	1	0	1	1	FS <sub>0</sub> ～FS <sub>11</sub>
0	1	1	0	0	FS <sub>0</sub> ～FS <sub>12</sub>
0	1	1	0	1	FS <sub>0</sub> ～FS <sub>13</sub>
0	1	1	1	0	FS <sub>0</sub> ～FS <sub>14</sub>
0	1	1	1	1	FS <sub>0</sub> ～FS <sub>15</sub>
1	0	0	0	0	FS <sub>0</sub> ～FS <sub>16</sub>
1	0	0	0	1	FS <sub>0</sub> ～FS <sub>17</sub>
1	0	0	1	0	FS <sub>0</sub> ～FS <sub>18</sub>
1	0	0	1	1	FS <sub>0</sub> ～FS <sub>19</sub>
1	0	1	0	0	FS <sub>0</sub> ～FS <sub>20</sub>
1	0	1	0	1	FS <sub>0</sub> ～FS <sub>21</sub>
1	0	1	1	0	FS <sub>0</sub> ～FS <sub>22</sub>
1	0	1	1	1	FS <sub>0</sub> ～FS <sub>23</sub>
1	1	0	0	0	
1	1	0	0	1	
1	1	0	1	0	
1	1	0	1	1	
1	1	1	0	0	
1	1	1	0	1	
1	1	1	1	0	
1	1	1	1	1	
1	1	1	1	1	

【注】 デジット／セグメント兼用端子（FD<sub>0</sub>/FS<sub>7</sub>～FD<sub>7</sub>/FS<sub>0</sub>）のディジットとセグメントの切換えは、「12.2.3 デジットビギニングレジスタ（DBR）」を参照してください。

### 12.2.3 デジタルビギニングレジスタ (DBR)

ビット:	7	6	5	4	3	2	1	0
	VFDE	DISP	—	—	DBR3	DBR2	DBR1	DBR0
初期値:	0	0	1	0	0	0	0	0
R/W:	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W

DBRは、8ビットのリード/ライト可能なレジスタで、VFDコントローラ/ドライバのON/OFF制御およびセグメント/デジタル兼用端子の切換えを行います。

#### ビット7: VFDイネーブル (VFDE)

VFDコントローラ/ドライバのON/OFF制御を行います。

ビット7	説明
VFDE	
0	VFDコントローラ/ドライバはリセット状態 (初期値)
1	VFDコントローラ/ドライバは動作状態

【注】 ただし本フラグはP<sub>nn</sub>/FD<sub>nn</sub>端子、P<sub>nn</sub>/FS<sub>nn</sub>端子を汎用ポートとして使用するか、VFD用端子として使用するかの設定には無関係です。

#### ビット6: ディスプレイビット (DISP)

表示のON/OFF制御を行います。

ビット6	説明
DISP	
0	セグメント端子(FS)はすべて非点灯状態(プルダウン状態)(レジスタおよびRAMの値は変化しません。また、デジタル端子(FD)は動作を続けます。) (初期値)
1	表示用RAMのデータをセグメント端子(FS)に出力します。

#### ビット5: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

#### ビット4: リザーブビット

リザーブビットです。リード/ライト可能です。

ビット3～0：ディジット／セグメント兼用端子切換え（DBR3～0）

ディジット／セグメント兼用端子の使用できる先頭の端子を決めます。したがって、VFDディジットコントロールレジスタ（VFDR）のDR3～0ビット、VF SRのSR4～0ビットにより、ディジットおよびセグメントの先頭の端子が有効となるようにしてください。有効になっていないと動作しません。

ビット3	ビット2	ビット1	ビット0	FD <sub>0</sub> /FS <sub>7</sub> ～FD <sub>7</sub> /FS <sub>0</sub> の機能
DBR3	DBR2	DBR1	DBR0	
0	0	0	0	FD <sub>0</sub> ～FD <sub>7</sub> (初期値)
0	0	0	1	FD <sub>1</sub> ～FD <sub>7</sub> 、FS <sub>7</sub>
0	0	1	0	FD <sub>2</sub> ～FD <sub>7</sub> 、FS <sub>7</sub> ～FS <sub>6</sub>
0	0	1	1	FD <sub>3</sub> ～FD <sub>7</sub> 、FS <sub>7</sub> ～FS <sub>5</sub>
0	1	0	0	FD <sub>4</sub> ～FD <sub>7</sub> 、FS <sub>7</sub> ～FS <sub>4</sub>
0	1	0	1	FD <sub>5</sub> ～FD <sub>7</sub> 、FS <sub>7</sub> ～FS <sub>3</sub>
0	1	1	0	FD <sub>6</sub> ～FD <sub>7</sub> 、FS <sub>7</sub> ～FS <sub>2</sub>
0	1	1	1	FD <sub>7</sub> 、FS <sub>7</sub> ～FS <sub>1</sub>
1	*	*	*	FS <sub>7</sub> ～FS <sub>0</sub>

\* : Don't Care

【注】 ディジット端子（FD）およびセグメント端子（FS）は、VFDR、VF SRとともに制御されます。また、ディジット端子（FD）およびセグメント端子（FS）はキースキャン期間中は汎用ポートとして動作します。

## 12.3 動作説明

### 12.3.1 概要

VFDコントローラ／ドライバは最大24本まで拡張できるセグメント端子（FS）と最大16本まで拡張できるディジット端子（FD）を持っています。

これらのうち8本はセグメントとディジットが兼用として割り付けられており、ディジットビギニングレジスタ（DBR）により切り換えられます。また、これらの32本の端子は高耐圧大電流駆動可能となっており、蛍光表示管を直接駆動できます。

### 12.3.2 コントロール部の説明

コントロール部は、VFDディジットコントロールレジスタ（VFDR）、VFDセグメントコントロールレジスタ（VFSR）、ディジットビギニングレジスタ（DBR）の3つのレジスタ、表示タイミング発生回路、およびVFD表示RAMから構成されています（図12.1参照）。

表示タイミングの1フレームは使用するディジットの数により決まります。またキースキャンありを指定すると、1フレームは1ディジット分追加され、その期間だけセグメント端子が汎用ポートとして動作し、CPUで操作可能になります。

キースキャン期間中は、非点灯状態（プルダウン状態）になります。

### 12.3.3 ディジット／セグメントとVFD表示RAMのビットの対応

VFD表示用データは、アドレスH'FEC0～H'FEFFのVFD表示RAMの領域に設定します。ディジット／セグメント端子とVFD表示RAMのビットの対応を表12.3に示します。

表12.3 デイジット／セグメントとVFD表示RAMのビットの対応

PORT	4 <sub>7</sub> 4 <sub>6</sub> 4 <sub>5</sub> 4 <sub>4</sub> 4 <sub>3</sub> 4 <sub>2</sub> 4 <sub>1</sub> 4 <sub>0</sub>	5 <sub>0</sub> 5 <sub>1</sub> 5 <sub>2</sub> 5 <sub>3</sub> 5 <sub>4</sub> 5 <sub>5</sub> 5 <sub>6</sub> 5 <sub>7</sub>	6 <sub>0</sub> 6 <sub>1</sub> 6 <sub>2</sub> 6 <sub>3</sub> 6 <sub>4</sub> 6 <sub>5</sub> 6 <sub>6</sub> 6 <sub>7</sub>	PORT
	23 22 21 20 19 18 17 16	15 14 13 12 11 10 9 8	7 6 5 4 3 2 1 0	SEG DIG
6 <sub>0</sub>	H' FEC3	H' FEC1	H' FEC0	0
6 <sub>1</sub>	H' FEC7	H' FEC5	H' FEC4	1
6 <sub>2</sub>	H' FECB	H' FEC9	H' FEC8	2
6 <sub>3</sub>	H' FECF	H' FECD	H' FECC	3
6 <sub>4</sub>	H' FED3	H' FED1	H' FED0	4
6 <sub>5</sub>	H' FED7	H' FED5	H' FED4	5
6 <sub>6</sub>	H' FEDB	H' FED9	H' FED8	6
6 <sub>7</sub>	H' FEDF	H' FEDE	H' FEDC	7
7 <sub>0</sub>	H' FEE3	H' FEE1	H' FEE0	8
7 <sub>1</sub>	H' FEE7	H' FEE5	H' FEE4	9
7 <sub>2</sub>	H' FEEB	H' FEE9	H' FEE8	10
7 <sub>3</sub>	H' FEED	H' FEED	H' FEED	11
7 <sub>4</sub>	H' FEF3	H' FEF1	H' FEF0	12
7 <sub>5</sub>	H' FEF7	H' FEF5	H' FEF4	13
7 <sub>6</sub>	H' FEFB	H' FEF9	H' FEF8	14
7 <sub>7</sub>	H' FEFF	H' FEFD	H' FEFC	15
	MSB ← → LSB	MSB ← → LSB	MSB ← → LSB	

【注】 表示に使用しない部分は、汎用RAMとして使用できます。

#### 12.3.4 動作開始手順

ディジット端子FD<sub>3</sub>～FD<sub>13</sub>、セグメント端子FS<sub>3</sub>～FS<sub>23</sub>を使用する場合を例にとり、動作開始手順を説明します。VFD表示RAMにはすでにデータが書き込まれているものとします。

- ① VFDディジットコントロールレジスタ (VFDR) のFLMOビットによりディジット/キースキャン時間およびディマー分解能を設定し、DM2～0ビットによりディジット波形を選択します。また、DR3～0ビットを“0000”に設定してFD<sub>3</sub>～FD<sub>13</sub>端子を有効にします。
- ② VFDセグメントコントロールレジスタ (VFSR) のVFLAGビットを“1”にして、VFD端子として設定し、KSEビットにより、キースキャン期間の有無を設定します。また、SR4～0ビットを“11011”に設定してFS<sub>3</sub>～FS<sub>23</sub>端子を有効にします。
- ③ ディジットビギニングレジスタ (DBR) のDBR3～0ビットを“0011”に設定して、ディジット端子の先頭をFD<sub>3</sub>端子、セグメント端子の先頭をFS<sub>3</sub>端子に設定します。また、DISPビットを“1”にして表示をオンにし、VFDEビットを“1”にセットしてVFDコントローラ/ドライバの動作を開始させます。

#### 12.4 割込み要因

キースキャン期間が開始すると、割込み要求レジスタ3 (IRR3) のIRRKSビットが“1”にセットされます。VFDの割込み要求は、割込み許可レジスタ3 (IENR3) のIENKSビットにより許可/禁止を指定できます。詳細は、「3.2.2 割込み」を参照してください。

#### 12.5 VFDレジスタ書換え時のちらつきについて

VFDコントローラ/ドライバは、レジスタ (VFDR、VFSR、DBR) 書換え時に初期化されます。表示途中で初期化を行うと、初期化直前に表示していた内容が他のディジットに残像として残ることがあります (蛍光表示管の性能にもよりますが、一瞬の発光が目に見えることがあります)。そのため、これらのレジスタを頻繁に書き換えると、残像が明らかな発光となり不要な表示が現われます。

このような問題を起こさないために、VFDコントローラ/ドライバのレジスタを書き換えるときは、

次の手順でプログラムを作成して下さい。

- | 手順 | 内容   |
|----|--|
| 1. | DISP = 0   |
| 2. | VFLAG = 0  |
| 3. | レジスタ書換え (FLMO、DM3～0など)   |
| 4. | T <sub>display</sub> (一桁の表示時間) 以上待つ。(他のルーチンを実行)<br>待ち時間が長すぎると、表示全体のちらつきになるので注意が必要。<br>キースキャンを利用すると、待ち時間を意識せずにプログラミングが可能。 |
| 5. | VFLAG = 1  |
| 6. | DISP = 1   |



# 13. A / D 変換器

## 第13章 目次

13.1	概要	241
13.1.1	特長	241
13.1.2	ブロック図	242
13.1.3	端子構成	243
13.1.4	レジスタ構成	243
13.2	各レジスタの説明	244
13.2.1	A/Dリザルトレジスタ (ADRR)	244
13.2.2	A/Dモードレジスタ (AMR)	244
13.2.3	A/Dスタートレジスタ (ADSR)	246
13.2.4	ポートモードレジスタ0 (PMR0)	247
13.3	動作説明	248
13.4	割込み要因	249
13.5	使用例	249
13.6	使用上の注意	253



## 13.1 概 要

本LSIは、抵抗ラダー方式による逐次比較方式のA/D変換器を内蔵しており、最大8チャンネルのアナログ入力の測定ができます。

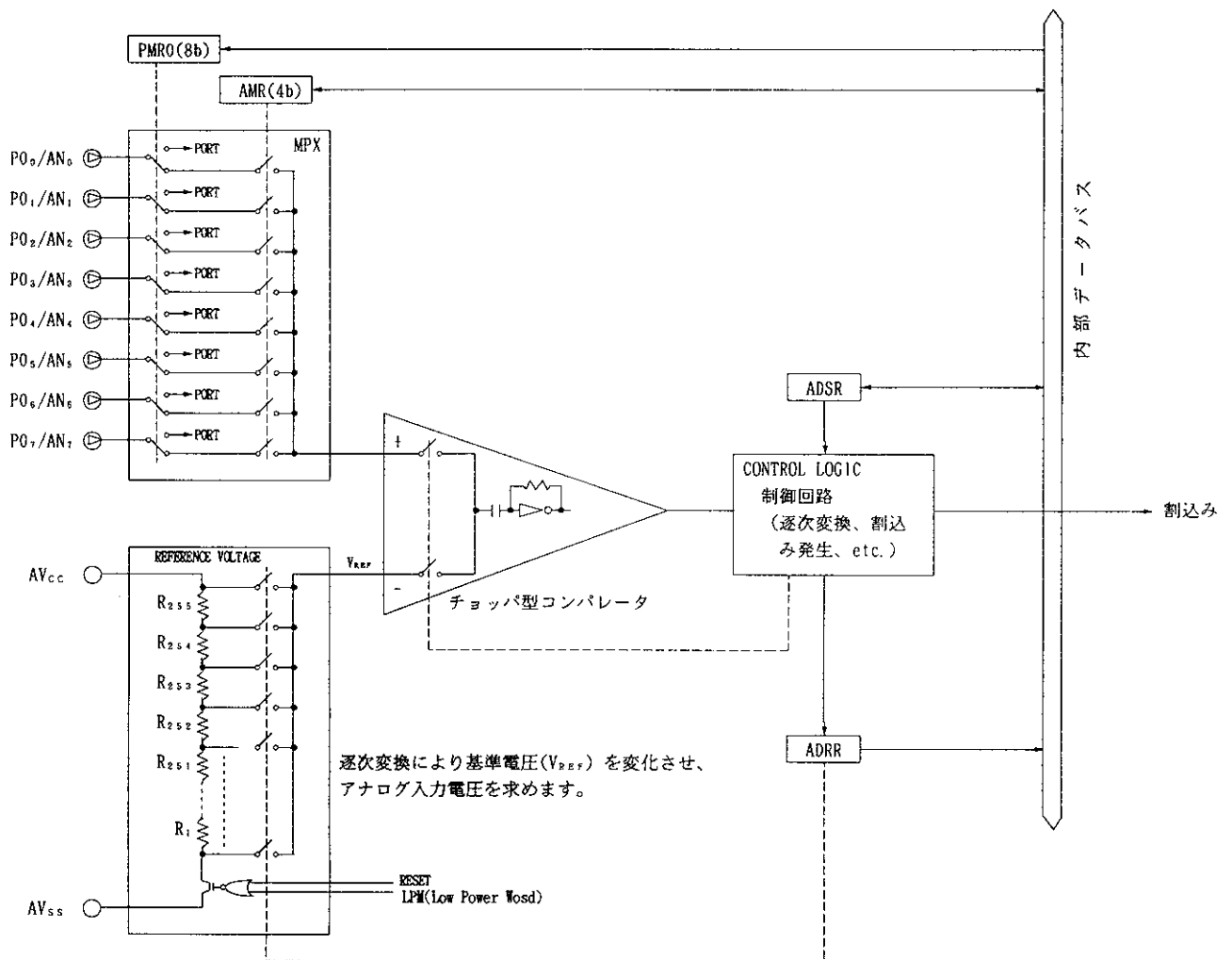
### 13.1.1 特長

A/D変換器の特長を以下に示します。

- 8ビットの分解能
- 入力チャンネル：8チャンネル
- 変換時間：1チャンネル当たり最小14.8 $\mu$ s ( $f_{osc} = 8.38$ MHz時)
- サンプル&ホールド機能を内蔵
- A/D変換終了割込み要求を発生

### 13.1.2 ブロック図

A/D変換器のブロック図を図13.1に示します。



二分探索法により 256個のうちの一つのSWを選択します。  
8回の各比較結果によりADRRに基準電圧の値が設定されます。  
(8回目の値がアナログ入力電圧に等しい。)

内蔵のラダー抵抗は35~40kΩtyp.です。(参考値)  
リセット時、及び低消費電力モード時(スリープ、ウォッチ、サブアクティブ、スタンバイの各モード時)にはラダー抵抗は、スイッチ用MOSによりAVssから切り離されます。この時のAVccの電流は、リーク電流であり、1μA以下のAIccとなります。(参考値)

- PMR0 : ポートモードレジスタ0
- AMR : A/Dモードレジスタ
- ADSSR : A/Dスタートレジスタ
- ADRR : A/Dリザルトレジスタ
- IRRAD : A/D変換終了割り込み要求フラグ(割り込み要求レジスタ3)
- RESET : リセット時“1”となる信号
- LPM : 低消費電力モード時“1”となる信号

図13.1 A/D変換器のブロック図

### 13.1.3 端子構成

A/D変換器の端子構成を表13.1に示します。

表13.1 端子構成

名 称	略 称	入出力	機 能
アナログ電源端子	AV <sub>CC</sub>	入 力	アナログ部の電源および基準電圧
アナロググランド端子	AV <sub>SS</sub>	入 力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN <sub>0</sub>	入 力	アナログ入力チャンネル0
アナログ入力端子 1	AN <sub>1</sub>	入 力	アナログ入力チャンネル1
アナログ入力端子 2	AN <sub>2</sub>	入 力	アナログ入力チャンネル2
アナログ入力端子 3	AN <sub>3</sub>	入 力	アナログ入力チャンネル3
アナログ入力端子 4	AN <sub>4</sub>	入 力	アナログ入力チャンネル4
アナログ入力端子 5	AN <sub>5</sub>	入 力	アナログ入力チャンネル5
アナログ入力端子 6	AN <sub>6</sub>	入 力	アナログ入力チャンネル6
アナログ入力端子 7	AN <sub>7</sub>	入 力	アナログ入力チャンネル7

### 13.1.4 レジスタ構成

A/D変換器のレジスタ構成を表13.2に示します。

表13.2 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
A/Dモードレジスタ	AMR	R/W	H'78	H'FFBC
A/Dスタートレジスタ	ADSR	R/W	H'7F	H'FFBE
A/Dリザルトレジスタ	ADRR	R	不 定	H'FFBD
ポートモードレジスタ0	PMR0	W	H'00	H'FFEF

## 13.2 各レジスタの説明

### 13.2.1 A/Dリザルトレジスタ (ADRR)

ビット:	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

A/Dリザルトレジスタ (ADRR) は、A/D変換された結果を格納する8ビットのリード専用レジスタです。

ADRRは、常にCPUからリード可能ですが、A/D変換中はADRRの値は不確定です。

A/D変換終了時に変換結果の8ビットデータがADRRへ転送され、次の変換開始までこのデータが保持されます。

ADRRは、リセットでクリアされません。

### 13.2.2 A/Dモードレジスタ (AMR)

ビット:	7	6	5	4	3	2	1	0
	AMR7	—	—	—	—	AMR2	AMR1	AMR0
初期値:	0	1	1	1	1	0	0	0
R/W:	R/W	—	—	—	—	R/W	R/W	R/W

AMRは、8ビットのリード/ライト可能なレジスタでA/D変換スピードの設定、アナログ入力端子の指定を行います。

AMRの書込みはA/DスタートレジスタのA/Dスタートフラグ (ADSF) が“0”の状態で行ってください。

AMRは、リセット時、H'78にイニシャライズされます。

ビット7：クロックセレクト（AMR7）

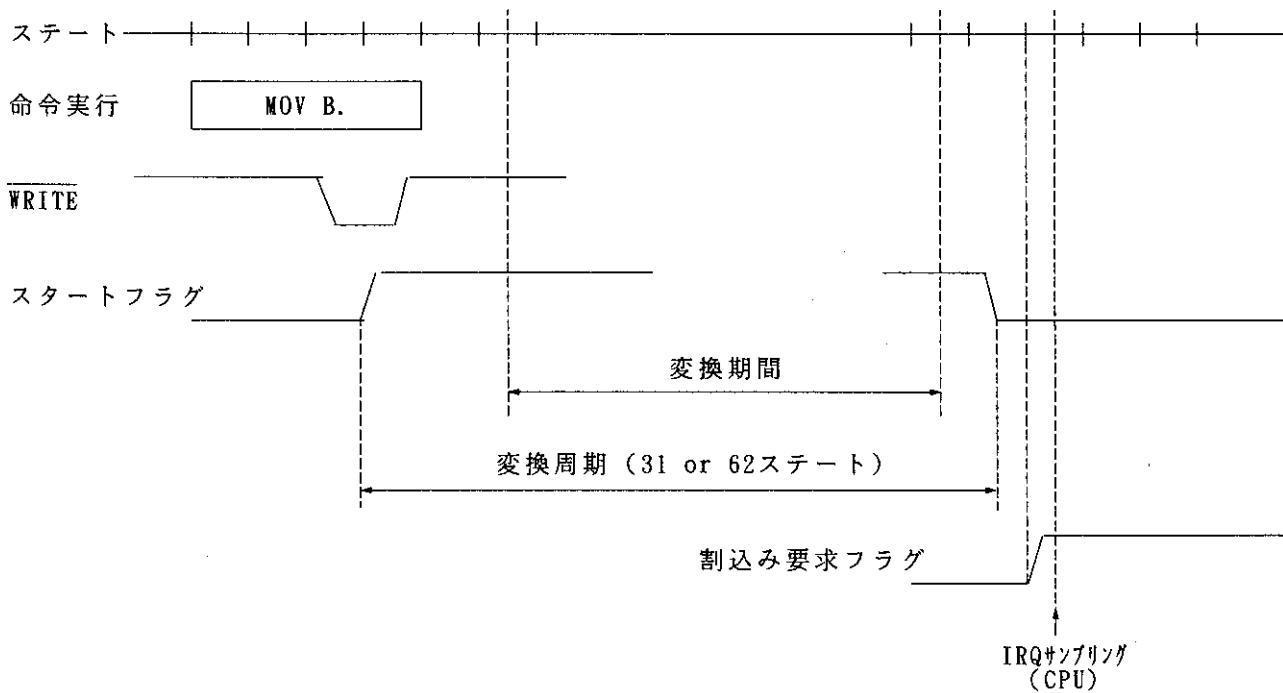
A/D変換スピードの設定\*1を行います。

ビット7	変換周期 *2	$\phi = 2 \text{ MHz}$	$\phi = 4.19 \text{ MHz}$
AMR7			
0	$62/\phi$	$31 \mu\text{s}$	$14.8 \mu\text{s}$
1	$31/\phi$	$15.5 \mu\text{s}$	———— *1

（初期値）

【注】\*1 14.8 $\mu\text{s}$ 以下の変換時間では、動作が保証されません。14.8 $\mu\text{s}$ 以上になるように選択してください。

\*2 A D S Fに“1”をライトしてからA/D変換がスタートします。変換周期はスタートフラグがセットされてから、変換終了によりリセットされるまでの時間を変換周期としています。実際にサンプル&ホールドを繰り返す期間は、図13.2に示す変換期間で実行されます。



【注】 I R Q サンプリング：変換終了によりスタートフラグがリセットされ、割り込み要求フラグがセットされます。割り込みは、命令実行の最後のステートでCPUに認識され、その命令の終了後割り込み例外処理を実行します。

図13.2 A/D変換器の内部動作

### ビット6～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

### ビット2～0：チャンネルセレクト（AMR2～0）

アナログ入力チャンネルの選択を行います。

同時にポートモードレジスタ0（PMR0）により該当チャンネルの設定を行ってください。チャンネルの設定に関しては、「13.2.4 ポートモードレジスタ0（PMR0）」を参照してください。

ビット2	ビット1	ビット0	アナログ入力チャンネル
AMR2	AMR1	AMR0	
0	0	0	AN <sub>0</sub> (初期値)
0	0	1	AN <sub>1</sub>
0	1	0	AN <sub>2</sub>
0	1	1	AN <sub>3</sub>
1	0	0	AN <sub>4</sub>
1	0	1	AN <sub>5</sub>
1	1	0	AN <sub>6</sub>
1	1	1	AN <sub>7</sub>

### 13.2.3 A/Dスタートレジスタ（ADSR）

ビット：            7            6            5            4            3            2            1            0

ADSF	—	—	—	—	—	—	—
------	---	---	---	---	---	---	---

初期値：            0            1            1            1            1            1            1            1

R/W：            R/W        —        —        —        —        —        —        —

A/Dスタートレジスタ（ADSR）は、8ビットのリード/ライト可能なレジスタで、A/D変換の開始または停止を指定します。

A/Dスタートフラグ（ADSF）に“1”をライトすることによりA/D変換が開始します。変換が終了すると変換データはA/Dリザルトレジスタ（ADDR）にセットされ、同時にADSFは“0”にクリアされます。



ビット7：A/Dスタートフラグ(ADSF)

A/D変換のスタートおよび、終了の確認/制御を行います。

ビット7	説明
ADSF	
0	〔リード時〕 A/D変換の停止・終了を表示 〔ライト時〕 A/D変換を強制終了 (初期値)
1	〔リード時〕 A/D変換実行中を表示 〔ライト時〕 A/D変換を開始

ビット6～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

13.2.4 ポートモードレジスタ0 (PMR0)

ビット：	7	6	5	4	3	2	1	0
	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PMR0は、8ビットのライト専用のレジスタでポート0の各端子を汎用入力ポートとして使用するか、A/D変換器へのアナログ入力チャンネルとして使用するかをビット単位に指定します。

PMR0は、リセット時、H'00にイニシャライズされます。

ビットn	説明
ANn	
0	P0n/ANn端子は、汎用入力ポート (初期値)
1	P0n/ANn端子は、アナログ入力チャンネル

(n = 0 ~ 7)

### 13.3 動作説明

A/D変換器は逐次比較方式で動作し、8ビットの変換結果が得られます。

ソフトウェアによりA/Dスタートフラグ(ADSFビット)を“1”にセットすると、A/D変換を開始します。ADSFビットは、A/D変換中は“1”を保持しており、変換が終了すると自動的に“0”にクリアされます。

また、変換が終了すると、割込み要求レジスタ3(IRR3)のIRRADビットが“1”にセットされます。このとき、割込み許可レジスタ3(IENR3)のIENADビットが“1”にセットされていると、A/D変換終了割込みが発生します。

A/D変換中に、A/Dモードレジスタ(AMR)により変換時間や入力チャネルの切り換えを行う場合は、誤動作を避けるためにADSFビットを“0”にクリアして、A/D変換を強制終了させて行ってください。

## 13.4 割込み要因

A/D変換終了時（ADSF：“1”→“0”）、割込み要求レジスタ3（IRR3）のIRRADビットが“1”にセットされます。

A/D変換終了割込みは、割込み許可レジスタ3（IENR3）のIENADビットにより、許可/禁止を指定できます。

詳細は、「3.2.2 割込み」を参照してください。

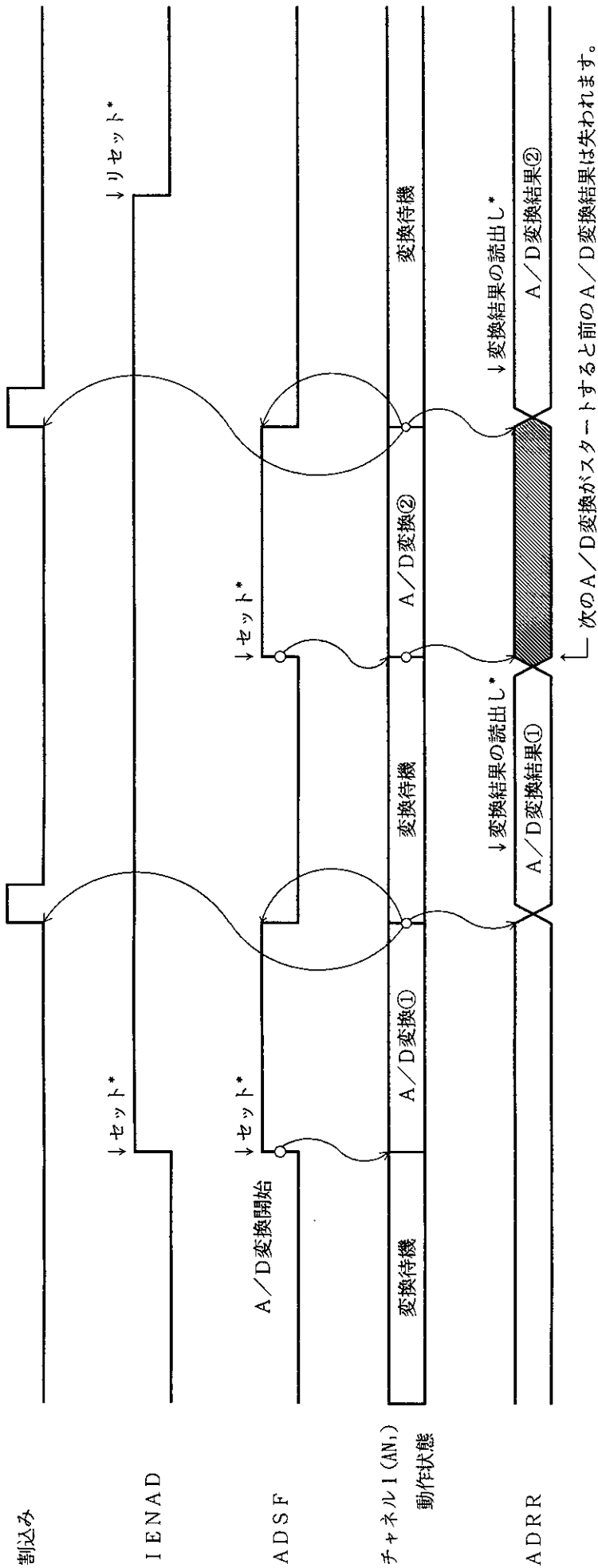
## 13.5 使用例

チャンネル1（AN<sub>1</sub>）をアナログ入力チャンネルに選択した場合の動作例を示します。このときの動作タイミングを図13.3に示します。

- (1) 入力チャンネルをAN<sub>1</sub>（AMRのAMR2～0ビットを“001”、PMR0のAN7～0ビットを“00000010”）、割込み要求をクリア（IRRAD＝“0”）、A/D割込みを許可（IENAD＝“1”）に設定して、A/D変換を開始（ADSF＝“1”）します。
- (2) A/D変換が終了すると、IRRADビットが“1”にセットされ、A/D変換結果がADDRに転送されます。同時にADSF＝“0”となり、A/D変換器は変換待機となります。
- (3) IENAD＝“1”となっているため、A/D変換終了割込み要求が発生します。
- (4) A/D割込み処理ルーチンが開始されます。
- (5) A/D変換結果を読み出して、処理します。
- (6) A/D変換処理ルーチンの実行が終了します。

この後、ADSF＝“1”にセットするとA/D変換が開始され(2)～(6)を行います。

A/D変換器の使用手順の概念フローを図13.4、図13.5に示します。



【注】\* ↓は、ソフトウェアによる命令実行を示します。

図13.3 A/D変換器の動作例

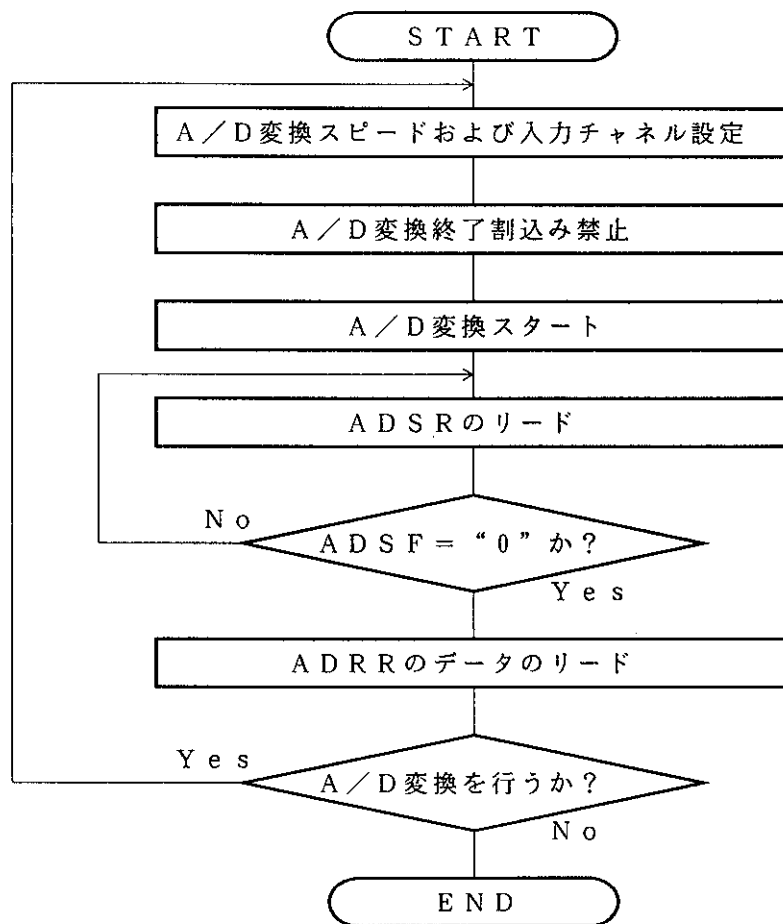


図13.4 A/D変換器の使用手順の概念フロー(1)  
(ソフトウェアでポーリングする場合)

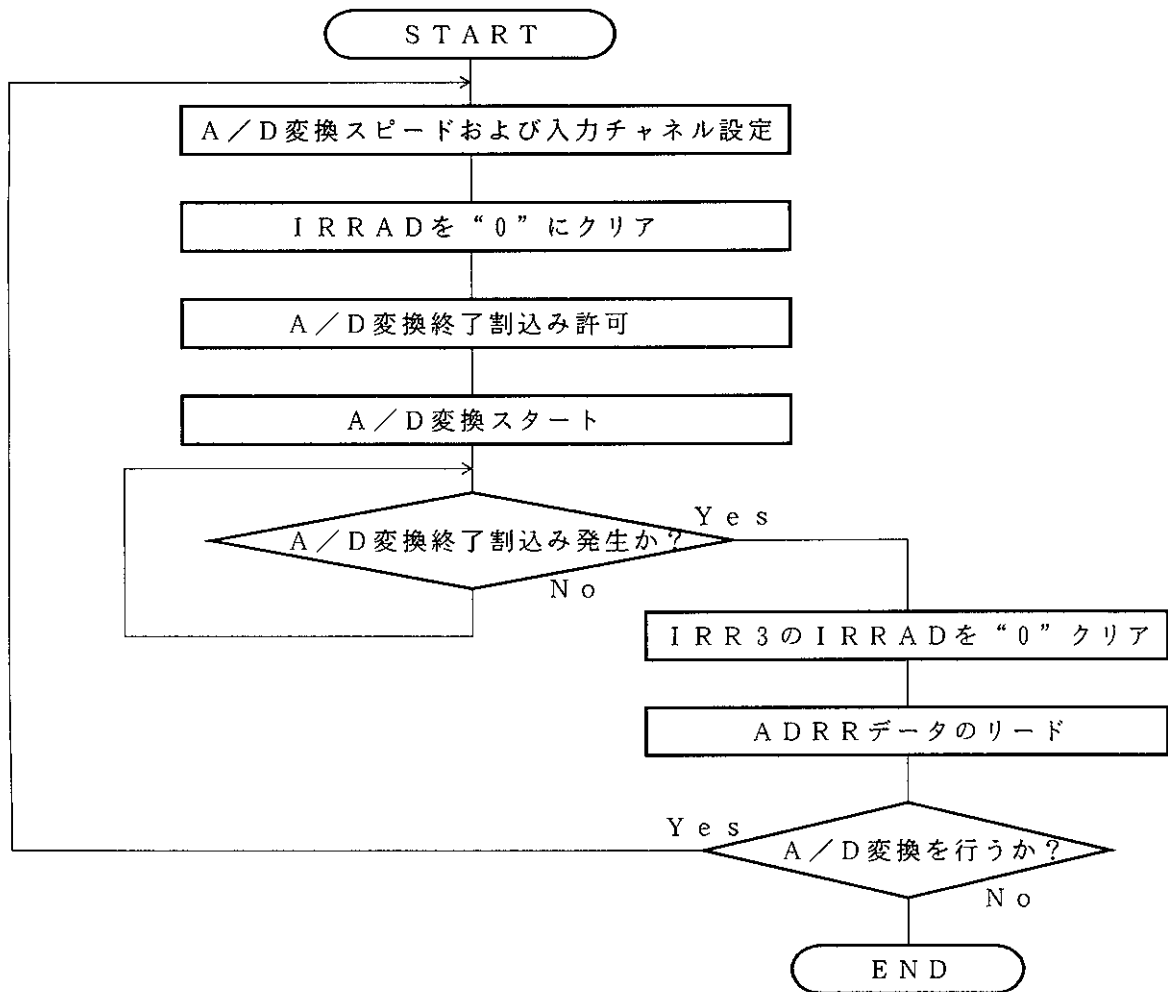


図13.5 A/D変換器の使用手順の概念フロー(2)  
(割込みを使用する場合)

## 13.6 使用上の注意

- (1) A/Dリザルトレジスタ (ADRR) の読み出しはA/Dスタートレジスタ (ADSR) のA/Dスタートフラグ (ADSF) が“0”のときに行ってください。
- (2) A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響をおよぼします。
- (3) A/Dモードレジスタ (AMR) でアナログ入力チャンネルとして設定された端子は、ポートモードレジスタ (PMR0) でアナログ入力チャンネルに設定する必要があります。





# 14. 電気的特性

---

## 第14章 目次

14.1	絶対最大定格	257
14.2	HD6473714の電気的特性	258
14.2.1	HD6473714のDC特性	258
14.2.2	HD6473714のAC特性	263
14.2.3	HD6473714のA/D変換器特性	265
14.3	HD6433712、HD6433713、HD6433714の電気的特性	266
14.3.1	HD6433712、HD6433713、HD6433714のDC特性	266
14.3.2	HD6433712、HD6433713、HD6433714のAC特性	271
14.3.3	HD6433712、HD6433713、HD6433714のA/D変換器特性	273
14.4	動作タイミング	274
14.5	HD6473714とHD6433712、HD6433713、HD6433714の電気的特性の相違点	277



## 14.1 絶対最大定格

絶対最大定格を表14.1に示します。

表14.1 絶対最大定格

項目	記号	規格値	単位	注記
電源電圧	$V_{CC}$	-0.3~+7.0	V	1、2
プログラム電圧	$V_{PP}$	-0.3~+14.0	V	1、2、3
アナログ電源電圧	$AV_{CC}$	-0.3~+7.0	V	1、2
アナログ入力電圧	$AV_{IN}$	-0.3~ $AV_{CC}+0.3$	V	1、2
端子電圧（標準耐圧端子）	$V_T$	-0.3~ $V_{CC}+0.3$	V	1、2、4
端子電圧（高耐圧端子）	$V_T$	$V_{CC}-45$ ~ $V_{CC}+0.3$	V	1、2、5
動作温度	$T_{OP}$	-20 ~+75	°C	1、2
保存温度	$T_{STG}$	-55 ~+125	°C	1、2

- 【注】 1. 絶対最大定格を超えて使用した場合、LSIの永久破壊となることがあります。また、通常動作は、「電気的特性」の条件で使用することが望ましく、この条件を超えるとLSIの誤動作の原因になるとともに、LSIの信頼性に悪影響をおよぼすことがあります。
2. 電圧はすべて $V_{SS}$ を基準とした値です。
3. ZTAT®版に適用します。
4. 標準端子に適用します。
5. 高耐圧端子に適用します。

## 14.2 HD 6 4 7 3 7 1 4 の電氣的特性

### 14.2.1 HD 6 4 7 3 7 1 4 のDC特性

HD 6 4 7 3 7 1 4 の出力許容電流値を表14.2に、DC特性を表14.3に示します。

表14.2 出力許容電流値〔条件： $V_{cc}=4.0\sim 5.5V$ 、 $V_{ss}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 〕

項目	記号	規格値	単位	注記
許容入力電流(LSIへの流入)	$I_o$	2	mA	1、2
許容出力電流(LSIからの流出)	$-I_o$	2	mA	2、3
許容出力電流(LSIからの流出)	$-I_o$	20	mA	3、4
許容総入力電流(LSIへの流入)	$\Sigma I_o$	50	mA	5
許容総出力電流(LSIからの流出)	$-\Sigma I_o$	150	mA	6

- 【注】
1. 許容入力電流とは、各入出力端子から $V_{ss}$ へ流し込める電流の最大値です。
  2. 標準端子に適用します。
  3. 許容出力電流とは、 $V_{cc}$ から各入出力端子へ流し出せる電流の最大値です。
  4. 高耐圧端子に適用します。
  5. 許容総入力電流とは、同時に全入出力端子から $V_{ss}$ へ流し込める電流の総和です。
  6. 許容総出力電流とは、 $V_{cc}$ から全入出力端子へ流し出せる電流の総和です。

表 14.3(1) D C 特性

(条件：特記なき場合は、 $V_{cc}=4.0\sim 5.5V$ 、 $V_{dis,p}=V_{cc}-40\sim V_{cc}$ 、 $V_{ss}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ )

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
入力“High” レベル	$V_{IH}$	$\overline{RES}$ 、 $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$		$0.8V_{cc}$	—	$V_{cc}+0.3$	V	
		$SCK_1$ 、 $SCK_2$ $SI_1$ 、 $SI_2$	$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	$0.9V_{cc}$	—	$V_{cc}+0.3$		
		EVENT、UD	$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	$0.7V_{cc}$	—	$V_{cc}+0.3$	V	
		OSC <sub>1</sub>		$V_{cc}-0.5$	—	$V_{cc}+0.3$	V	
			$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	$V_{cc}-0.3$	—	$V_{cc}+0.3$		
		$P0_0\sim P0_7$ $P1_0$ 、 $P1_1$ $P1_4\sim P1_6$ $P9_0\sim P9_7$	$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	$0.7V_{cc}$	—	$V_{cc}+0.3$	V	
		$P4_0\sim P4_7$ $P5_0\sim P5_7$ $P6_0\sim P6_7$ $P7_0\sim P7_7$ $P1_7$	$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	$0.7V_{cc}$	—	$V_{cc}+0.3$	V	
入力“Low” レベル	$V_{IL}$	$\overline{RES}$ 、 $SCK_1$ 、 $SCK_2$ $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$		-0.3	—	$0.2V_{cc}$	V	
		$SI_1$ 、 $SI_2$	$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	-0.3	—	$0.1V_{cc}$		
		EVENT、UD	$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	-0.3	—	$0.3V_{cc}$	V	
		OSC <sub>1</sub>		-0.3	—	0.5	V	
			$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	-0.3	—	0.3		
		$P0_0\sim P0_7$ $P1_0$ 、 $P1_1$ $P1_4\sim P1_6$ $P9_0\sim P9_7$	$V_{cc}=2.7\sim 5.5V$ サブアクティブを含む	-0.3	—	$0.3V_{cc}$	V	

【注】TEST端子は、 $V_{ss}$ に接続してください。

表 14. 3(2) D C 特性

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{dissp}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ]

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
入力“Low” レベル	$V_{IL}$	P4 <sub>0</sub> ~P4 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub> P6 <sub>0</sub> ~P6 <sub>7</sub> P7 <sub>0</sub> ~P7 <sub>7</sub> P1 <sub>7</sub>	$V_{CC}=2.7\sim 5.5V$ サブアクティブを含む	$V_{CC}-40$	—	$0.3V_{CC}$	V	
出力“High” レベル	$V_{OH}$	P1 <sub>0</sub> 、P1 <sub>1</sub>	$-I_{OH}=1.0mA$	$V_{CC}-1.0$	—	—	V	
		P1 <sub>4</sub> 、P1 <sub>5</sub> P9 <sub>0</sub> ~P9 <sub>7</sub>	$-I_{OH}=0.5mA$	$V_{CC}-0.5$	—	—		
		PWM、SO <sub>1</sub> 、SO <sub>2</sub> SCK1、SCK2	$V_{CC}=2.7\sim 5.5V$ $-I_{OH}=0.3mA$	$V_{CC}-0.5$	—	—		
	$V_{OH}$	P4 <sub>0</sub> ~P4 <sub>7</sub>	$-I_{OH}=15mA$	$V_{CC}-3.0$	—	—	V	
		P5 <sub>0</sub> ~P5 <sub>7</sub>	$-I_{OH}=10mA$	$V_{CC}-2.0$	—	—		
		P6 <sub>0</sub> ~P6 <sub>7</sub>	$-I_{OH}=4mA$	$V_{CC}-1.0$	—	—		
		P7 <sub>0</sub> ~P7 <sub>7</sub>	$V_{CC}=2.7\sim 5.5V$ $-I_{OH}=4mA$	—	$V_{CC}-1.0$	—		
出力“Low” レベル	$V_{OL}$	P1 <sub>0</sub> 、P1 <sub>1</sub> P1 <sub>4</sub> 、P1 <sub>5</sub> P9 <sub>0</sub> ~P9 <sub>7</sub>	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.4	V	
		PWM、SO <sub>1</sub> 、SO <sub>2</sub> SCK1、SCK2	$V_{CC}=2.7\sim 5.5V$ $I_{OL}=0.5mA$	—	0.4	—	V	参考値
	P4 <sub>0</sub> ~P4 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub> P6 <sub>0</sub> ~P6 <sub>7</sub> P7 <sub>0</sub> ~P7 <sub>7</sub>	プルダウン抵抗150k $\Omega$ プルダウン電圧 $V_{CC}-40V$	—	—	$V_{CC}-37$	V		
入力リーク 電流	$ I_{IL} $	$\overline{RES}$	$V_{IN}=0.0\sim V_{CC}$	—	—	40	$\mu A$	

表 14.3(3) DC 特性

(条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DIAP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ )

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
入出力 リーク電流	$ I_{IL} $	TEST SCK <sub>1</sub> 、SCK <sub>2</sub> SI <sub>1</sub> 、SI <sub>2</sub> $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$ EVENT、UD、 OSC <sub>1</sub> P0 <sub>0</sub> ~P0 <sub>7</sub> P1 <sub>0</sub> 、P1 <sub>1</sub> P1 <sub>4</sub> ~P1 <sub>6</sub> P9 <sub>0</sub> ~P9 <sub>7</sub>	$V_{IN}=0.0\sim V_{CC}$	—	—	1	$\mu A$	
		P4 <sub>0</sub> ~P4 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub> P6 <sub>0</sub> ~P6 <sub>7</sub> P7 <sub>0</sub> ~P7 <sub>7</sub> P1 <sub>7</sub>	$V_{IN}=V_{CC}-40\sim V_{CC}$	—	—	20	$\mu A$	
入力容量	C <sub>IN</sub>	電源端子を除く入力端子および入出力端子	f=1MHz、 $V_{IN}=0V$ Ta=25°C	—	—	20	pF	
		$\overline{P1_6}/EVENT$		—	—	35		
		$\overline{RES}$		—	—	70		

表 14.3(4) DC 特性

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DISP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ]

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
アクティブモード CPU動作時 消費電流	I <sub>OP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =5V、f <sub>osc</sub> =8MHz	—	17	—	mA	参考値 1
			V <sub>CC</sub> =5V、f <sub>osc</sub> =4MHz	—	9	—		
			V <sub>CC</sub> =3V、f <sub>osc</sub> =4MHz	—	6	—		
アクティブモード リセット時 消費電流	I <sub>RES</sub>	V <sub>CC</sub>	V <sub>CC</sub> =5V、f <sub>osc</sub> =8MHz	—	6	9	mA	1
			V <sub>CC</sub> =5V、f <sub>osc</sub> =4MHz	—	3	5		
			V <sub>CC</sub> =3V、f <sub>osc</sub> =4MHz	—	1.5	—		
スリープモード 消費電流	I <sub>SLEEP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =5V、f <sub>osc</sub> =8MHz	—	2.5	3.5	mA	1
			V <sub>CC</sub> =5V、f <sub>osc</sub> =4MHz	—	1.5	2.0		
			V <sub>CC</sub> =3V、f <sub>osc</sub> =4MHz	—	1.0	—		
サブアクティブモード 消費電流	I <sub>SUB</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V 32kHz水晶発振子使用時	—	6	20	μA	
			V <sub>CC</sub> =2.7V 32kHz水晶発振子使用時	—	11	—	μA	2
			V <sub>CC</sub> =5.0V 32kHz水晶発振子使用時	—	16	—	μA	参考値
			V <sub>CC</sub> =5.0V 32kHz水晶発振子使用時	—	22	—	μA	2
ウォッチモード 消費電流	I <sub>WATCH</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V 32kHz水晶発振子使用時	—	3.2	6	μA	
			V <sub>CC</sub> =2.7V 32kHz水晶発振子使用時	—	3.8	—	μA	2
			V <sub>CC</sub> =5.0V 32kHz水晶発振子使用時	—	10	—	μA	参考値
			V <sub>CC</sub> =5.0V 32kHz水晶発振子使用時	—	12	—	μA	2
スタンバイモード 消費電流	I <sub>STBY</sub>	V <sub>CC</sub>	32kHz未使用 X <sub>1</sub> =V <sub>CC</sub>	—	—	10	μA	
スタンバイ時RAM データ保持電圧	V <sub>STBY</sub>	V <sub>CC</sub>	32kHz未使用 X <sub>1</sub> =V <sub>CC</sub>	2	—	—	V	

【注】 1. 出力バッファに流れる電流は除きます。

2. V<sub>CC</sub>-V<sub>SS</sub>間にバイパス・コンデンサ47μFを接続した場合の参考値です。



## 14.2.2 HD6473714のAC特性

HD6473714のAC特性として表14.4に制御信号タイミングを、表14.5にシリアルインタフェースタイミングを示します。

表14.4 制御信号タイミング

(条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DISP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ )

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	typ	Max		
クロック発振周波数	$f_{osc}$	OSC <sub>1</sub> 、		2	—	8.4	MHz	
		OSC <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	2	—	4.2		
クロック サイクル時間	$t_{cyc}$	OSC <sub>1</sub> 、		119	—	500	ns	図14.1
		OSC <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	238	—	500		
インストラクション サイクル時間	$\phi$			238	—	1000	ns	
			$V_{CC}=2.7\sim 5.5V$	476	—	1000		
サブクロック 発振周波数	$f_x$	X <sub>1</sub> 、X <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	32.768	—	kHz	
サブクロック サイクル時間	$t_{subcyc}$	X <sub>1</sub> 、X <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	30.5	—	$\mu s$	
サブアクティブインストラク ションサイクル時間	$\phi_{sub}$		$V_{CC}=2.7\sim 5.5V$	—	244.14	—	$\mu s$	
発振安定時間 (水晶発振子)	$t_{rc}$	OSC <sub>1</sub> 、		—	—	40	ms	
		OSC <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	60		
発振安定時間 (セラミック発振子)	$t_{rc}$	OSC <sub>1</sub> 、		—	—	20	ms	
		OSC <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	40		
発振安定時間	$t_{rc}$	X <sub>1</sub> 、X <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	2	s	
外部クロック “High”レベル幅	$t_{cPH}$	OSC <sub>1</sub>		40	—	—	ns	図14.1
			$V_{CC}=2.7\sim 5.5V$	100	—	—		
外部クロック “Low”レベル幅	$t_{cPL}$	OSC <sub>1</sub>		40	—	—	ns	
			$V_{CC}=2.7\sim 5.5V$	100	—	—		
外部クロック 立上がり時間	$t_{cPr}$	OSC <sub>1</sub>		—	—	20	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	20		
外部クロック 立下がり時間	$t_{cPf}$	OSC <sub>1</sub>		—	—	20	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	20		
RES端子 “Low”レベル幅	$t_{REL}$	$\overline{RES}$	$V_{CC}=2.7\sim 5.5V$	10	—	—	$\phi$	図14.2
IRQ端子 “High”レベル幅	$t_{IH}$	$\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ $\overline{IRQ_4}$ 、 $\overline{IRQ_6}$	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	図14.3
							$\phi_{sub}$	
IRQ端子 “Low”レベル幅	$t_{IL}$	$\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ $\overline{IRQ_4}$ 、 $\overline{IRQ_6}$	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	
							$\phi_{sub}$	
EVENT端子 “High”レベル幅	$t_{EVH}$	$\overline{EVENT}$	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	図14.4
							$\phi$	
EVENT端子 “Low”レベル幅	$t_{EVL}$	$\overline{EVENT}$	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	
							$\phi$	
UD端子 最小変化幅	$t_{UDH}$ $t_{UDL}$	UD	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	図14.5
							$\phi$	

表14.5 シリアルインタフェースタイミング

(条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DISP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_A=-20\sim +75^{\circ}C$ )

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	typ	Max		
出力転送クロック サイクルタイム	$t_{SCYC}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	図14.6
出力転送クロック “High”レベル幅	$t_{SCKH}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	0.4	—	—	$t_{SCYC}$	
出力転送クロック “Low”レベル幅	$t_{SCKL}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	0.4	—	—	$t_{SCYC}$	
出力転送クロック 立上り時間	$t_{SCKr}$	SCK <sub>1</sub> 、		—	—	60	ns	
		SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	80		
出力転送クロック 立下り時間	$t_{SCKf}$	SCK <sub>1</sub> 、		—	—	60	ns	
		SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	80		
入力転送クロック サイクルタイム	$t_{SCYC}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	1	—	—	$\phi$	
入力転送クロック “High”レベル幅	$t_{SCKH}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	0.4	—	—	$t_{SCYC}$	
入力転送クロック “Low”レベル幅	$t_{SCKL}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	0.4	—	—	$t_{SCYC}$	
入力転送クロック 立上り時間	$t_{SCKr}$	SCK <sub>1</sub> 、		—	—	60	ns	
		SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	80		
入力転送クロック 立下り時間	$t_{SCKf}$	SCK <sub>1</sub> 、		—	—	60	ns	
		SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	80		
シリアル出力データ 遅延時間	$t_{ASO}$	SO <sub>1</sub> 、SO <sub>2</sub>		—	—	200	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	350		
シリアル入力データ セットアップ時間	$t_{SSI}$	SI <sub>1</sub> 、SI <sub>2</sub>		230	—	—	ns	
			$V_{CC}=2.7\sim 5.5V$	470	—	—		
シリアル入力データ ホールド時間	$t_{HSI}$	SI <sub>1</sub> 、SI <sub>2</sub>		230	—	—	ns	
			$V_{CC}=2.7\sim 5.5V$	470	—	—		
転送保留時間	$t_{SCK2}$	SCK <sub>2</sub>	SCK <sub>2</sub> が入力の時	0.2	—	40	$\mu s$	
			SCK <sub>2</sub> が入力の時 $V_{CC}=2.7\sim 5.5V$	0.4	—	40		
			SCK <sub>2</sub> が出力の時 $V_{CC}=2.7\sim 5.5V$	—	—	1	$t_{SCYC}$	
転送終了 確認時間	$t_{CS}$	$\overline{CS}$	$V_{CC}=2.7\sim 5.5V$	3	—	4	$\phi$	図14.7

### 14.2.3 HD6473714のA/D変換器特性

表14.6にHD6473714のA/D変換器特性を示します。

表14.6 A/D変換器特性

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DISP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ]

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		$V_{CC}-0.3$	$V_{CC}$	$V_{CC}+0.3$	V	
アナログ入力電圧	$AV_{IN}$	$AN_0\sim AN_7$		$AV_{SS}$	—	$AV_{CC}$	V	
アナログ電源電流	$AI_{CC}$	$AV_{CC}$	$AV_{CC}=5V$	—	—	200	$\mu A$	
	$AI_{STOP}$		リセット、および低消費電力モード時	—	—	10	$\mu A$	
アナログ入力容量	$CA_{IN}$	$AN_0\sim AN_7$		—	—	30	pF	
許容信号源インピーダンス	$RA_{IN}$	$AN_0\sim AN_7$		—	—	10	k $\Omega$	
分解能				—	—	8	ビット	
絶対精度			$V_{CC}=AV_{CC}=5V$	—	—	$\pm 2.5$	LSB	参考値
			$V_{CC}=AV_{CC}=4.0\sim 5.5V$	—	$\pm 2.5$	—		
変換時間				31	15.5	14.8	$\mu s$	

## 14.3 HD 6 4 3 3 7 1 2、HD 6 4 3 3 7 1 3、HD 6 4 3 3 7 1 4 の電気的特性

### 14.3.1 HD 6 4 3 3 7 1 2、HD 6 4 3 3 7 1 3、HD 6 4 3 3 7 1 4のDC特性

HD 6 4 3 3 7 1 2、HD 6 4 3 3 7 1 3、HD 6 4 3 3 7 1 4の出力許容電流値を表14.7に、DC特性を表14.8に示します。

表14.7 出力許容電流値 [条件:  $V_{cc}=4.0\sim 5.5V$ 、 $V_{ss}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ]

項目	記号	規格値	単位	注記
許容入力電流(LSIへの流入)	$I_o$	2	mA	1、2
許容出力電流(LSIからの流出)	$-I_o$	2	mA	2、3
許容出力電流(LSIからの流出)	$-I_o$	20	mA	3、4
許容総入力電流(LSIへの流入)	$\Sigma I_o$	50	mA	5
許容総出力電流(LSIからの流出)	$-\Sigma I_o$	150	mA	6
$V_{diss}$ 許容総出力電流	$-\Sigma I_o$	30	mA	7

- 【注】
1. 許容入力電流とは、各入出力端子から $V_{ss}$ へ流し込める電流の最大値です。
  2. 標準端子に適用します。
  3. 許容出力電流とは、 $V_{cc}$ から各入出力端子へ流し出せる電流の最大値です。
  4. 高耐圧端子に適用します。
  5. 許容総入力電流とは、同時に全入出力端子から $V_{ss}$ へ流し込める電流の総和です。
  6. 許容総出力電流とは、 $V_{cc}$ から全入出力端子へ流し出せる電流の総和です。
  7.  $V_{diss}$ 許容総出力電流とは、全入出力端子から $V_{diss}$ へ流し出せる電流の総和です。

表14.8(1) DC特性

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DISP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ]

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
入力“High” レベル	$V_{IH}$	RES、 IRQ <sub>0</sub> 、IRQ <sub>1</sub> IRQ <sub>4</sub> 、IRQ <sub>5</sub>		0.8V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
		SCK <sub>1</sub> 、SCK <sub>2</sub> SI <sub>1</sub> 、SI <sub>2</sub>	V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	0.9V <sub>CC</sub>	—	V <sub>CC</sub> +0.3		
		EVENT、UD	V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	0.7V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
		OSC <sub>1</sub>		V <sub>CC</sub> -0.5	—	V <sub>CC</sub> +0.3	V	
			V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	V <sub>CC</sub> -0.3	—	V <sub>CC</sub> +0.3		
		P0 <sub>0</sub> ~P0 <sub>7</sub> P1 <sub>0</sub> 、P1 <sub>1</sub> P1 <sub>4</sub> ~P1 <sub>6</sub> P9 <sub>0</sub> ~P9 <sub>7</sub>	V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	0.7V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
		P4 <sub>0</sub> ~P4 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub> P6 <sub>0</sub> ~P6 <sub>7</sub> P7 <sub>0</sub> ~P7 <sub>7</sub> P1 <sub>7</sub>	V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	0.7V <sub>CC</sub>	—	V <sub>CC</sub> +0.3	V	
入力“Low” レベル	$V_{IL}$	RES、 SCK <sub>1</sub> 、SCK <sub>2</sub> IRQ <sub>0</sub> 、IRQ <sub>1</sub> IRQ <sub>4</sub> 、IRQ <sub>5</sub>		-0.3	—	0.2V <sub>CC</sub>	V	
		SI <sub>1</sub> 、SI <sub>2</sub>	V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	-0.3	—	0.1V <sub>CC</sub>		
		EVENT、UD	V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	-0.3	—	0.3V <sub>CC</sub>	V	
		OSC <sub>1</sub>		-0.3	—	0.5	V	
			V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	-0.3	—	0.3		
		P0 <sub>0</sub> ~P0 <sub>7</sub> P1 <sub>0</sub> 、P1 <sub>1</sub> P1 <sub>4</sub> ~P1 <sub>6</sub> P9 <sub>0</sub> ~P9 <sub>7</sub>	V <sub>CC</sub> =2.5~5.5V サブアクティブを含む	-0.3	—	0.3V <sub>CC</sub>	V	

【注】TEST端子は、V<sub>SS</sub>に接続してください。

表 14. 8(2) D C 特性

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{dis,p}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ]

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
入力“Low” レベル	$V_{IL}$	P4 <sub>0</sub> ~P4 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub> P6 <sub>0</sub> ~P6 <sub>7</sub> P7 <sub>0</sub> ~P7 <sub>7</sub> P1 <sub>7</sub>	$V_{CC}=2.5\sim 5.5V$ サブアクティブを含む	$V_{CC}-40$	—	$0.3V_{CC}$	V	
出力“High” レベル	$V_{OH}$	P1 <sub>0</sub> 、P1 <sub>1</sub>	$-I_{OH}=1.0mA$	$V_{CC}-1.0$	—	—	V	
		P1 <sub>4</sub> 、P1 <sub>5</sub>	$-I_{OH}=0.5mA$	$V_{CC}-0.5$	—	—		
		P9 <sub>0</sub> ~P9 <sub>7</sub>	$V_{CC}=2.7\sim 5.5V$	$V_{CC}-0.5$	—	—		
		PWM、S0 <sub>1</sub> 、S0 <sub>2</sub> SCK <sub>1</sub> 、SCK <sub>2</sub>	$-I_{OH}=0.3mA$	$V_{CC}-0.5$	—	—		
	$V_{OL}$	P4 <sub>0</sub> ~P4 <sub>7</sub>	$-I_{OH}=15mA$	$V_{CC}-3.0$	—	—	V	
		P5 <sub>0</sub> ~P5 <sub>7</sub>	$-I_{OH}=10mA$	$V_{CC}-2.0$	—	—		
		P6 <sub>0</sub> ~P6 <sub>7</sub>	$-I_{OH}=4mA$	$V_{CC}-1.0$	—	—		
		P7 <sub>0</sub> ~P7 <sub>7</sub>	$V_{CC}=2.7\sim 5.5V$ $-I_{OH}=4mA$	—	$V_{CC}-1.0$	—	V	
出力“Low” レベル	$V_{OL}$	P1 <sub>0</sub> 、P1 <sub>1</sub> P1 <sub>4</sub> 、P1 <sub>5</sub> P9 <sub>0</sub> ~P9 <sub>7</sub>	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.4	V	
		PWM、S0 <sub>1</sub> 、S0 <sub>2</sub> SCK <sub>1</sub> 、SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$ $I_{OL}=0.5mA$	—	0.4	—	V	参考値
	$V_{OL}$	P4 <sub>0</sub> ~P4 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub>	$V_{dis,p}=V_{CC}-40V$	—	—	$V_{CC}-37$	V	フルダク MOS付き
		P6 <sub>0</sub> ~P6 <sub>7</sub> P7 <sub>0</sub> ~P7 <sub>7</sub>	フルダク抵抗150K $\Omega$ フルダク電圧 $V_{CC}-40V$	—	—	$V_{CC}-37$		
入力リーク 電流	$ I_{IL} $	RES	マスクROM版 $V_{IN}=0.0\sim V_{CC}$	—	—	1	$\mu A$	

表 14.8(3) D C 特性

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DISP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ]

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
入出力 リーク電流	$ I_{IL} $	TEST SCK <sub>1</sub> 、SCK <sub>2</sub> SI <sub>1</sub> 、SI <sub>2</sub> $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$ EVENT、UD、 OSC <sub>1</sub> P0 <sub>0</sub> ~P0 <sub>7</sub> P1 <sub>0</sub> 、P1 <sub>1</sub> P1 <sub>4</sub> ~P1 <sub>6</sub> P9 <sub>0</sub> ~P9 <sub>7</sub>	$V_{IN}=0.0\sim V_{CC}$	—	—	1	$\mu A$	
		P4 <sub>0</sub> ~P4 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub> P6 <sub>0</sub> ~P6 <sub>7</sub> P7 <sub>0</sub> ~P7 <sub>7</sub> P1 <sub>7</sub>	$V_{IN}=V_{CC}-40\sim V_{CC}$	—	—	20	$\mu A$	フルゲイン MOS付き 端子を除く
プルアップ MOS電流	$-I_p$	P1 <sub>0</sub> 、P1 <sub>1</sub> P1 <sub>4</sub> ~P1 <sub>6</sub> P9 <sub>0</sub> ~P9 <sub>7</sub>	$V_{CC}=5V, V_{IN}=0V$	50	—	300	$\mu A$	
			$V_{CC}=2.7V, V_{IN}=0V$	—	25	—		参考値
プルダウン MOS電流	$I_d$	P4 <sub>0</sub> ~P4 <sub>7</sub> P5 <sub>0</sub> ~P5 <sub>7</sub> P6 <sub>0</sub> ~P6 <sub>7</sub> P7 <sub>0</sub> ~P7 <sub>7</sub>	$V_{DISP}=V_{CC}-36$ $V_{IN}=V_{CC}$	120	—	800	$\mu A$	
			$V_{DISP}=V_{CC}-18$ $V_{IN}=V_{CC}$	—	280	—		参考値
入力容量	$C_{IN}$	電源端子を 除く入力端 子および入 出力端子	$f=1MHz, V_{IN}=0V$ $T_a=25^{\circ}C$	—	—	15	pF	
		P1 <sub>7</sub>		—	—	30		

表 14.8(4) D C 特性

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DAP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ ]

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
アクティブモード CPU動作時 消費電流	$I_{OPE}$	$V_{CC}$	$V_{CC}=5V$ 、 $f_{osc}=8MHz$	—	15	—	mA	参考値 1
			$V_{CC}=5V$ 、 $f_{osc}=4MHz$	—	8	—		
			$V_{CC}=3V$ 、 $f_{osc}=4MHz$	—	5	—		
アクティブモード リセット時 消費電流	$I_{RES}$	$V_{CC}$	$V_{CC}=5V$ 、 $f_{osc}=8MHz$	—	5	8	mA	1
			$V_{CC}=5V$ 、 $f_{osc}=4MHz$	—	2.5	4		
			$V_{CC}=3V$ 、 $f_{osc}=4MHz$	—	1.3	—		
スリープモード 消費電流	$I_{SLEEP}$	$V_{CC}$	$V_{CC}=5V$ 、 $f_{osc}=8MHz$	—	2	3	mA	1
			$V_{CC}=5V$ 、 $f_{osc}=4MHz$	—	1	1.5		
			$V_{CC}=3V$ 、 $f_{osc}=4MHz$	—	0.6	—		
サブアクティブモード 消費電流	$I_{SUB}$	$V_{CC}$	$V_{CC}=2.5V$ 32kHz水晶発振子使用時	—	5	20	$\mu A$	2
				—	9	—	$\mu A$	
			$V_{CC}=5.0V$ 32kHz水晶発振子使用時	—	13	—	$\mu A$	参考値
				—	20	—	$\mu A$	2
ウォッチモード 消費電流	$I_{WATCH}$	$V_{CC}$	$V_{CC}=2.5V$ 32kHz水晶発振子使用時	—	2.2	5	$\mu A$	2
				—	2.8	—	$\mu A$	
			$V_{CC}=5.0V$ 32kHz水晶発振子使用時	—	6	—	$\mu A$	参考値
				—	8	—	$\mu A$	2
スタンバイモード 消費電流	$I_{STBY}$	$V_{CC}$	32kHz水晶発振子未使用 $X_1=V_{CC}$	—	—	5	$\mu A$	
スタンバイ時RAM データ保持電圧	$V_{STBY}$	$V_{CC}$	32kHz水晶発振子未使用 $X_1=V_{CC}$	2	—	—	V	

【注】 1. プルアップMOSや出力バッファに流れる電流は除きます。

2.  $V_{CC}-V_{SS}$ 間にバイパス・コンデンサ $47\mu F$ を接続した場合の参考値です。



14.3.2 HD6433712、HD6433713、HD6433714のAC特性

HD6433712、HD6433713、HD6433714のAC特性として、表14.9に制御信号タイミングを表14.10にシリアルインタフェースタイミングを示します。

表14.9 制御信号タイミング

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{disp}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ ]

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	typ	Max		
クロック発振周波数	$f_{osc}$	OSC <sub>1</sub> 、		2	—	8.4	MHz	
		OSC <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	2	—	4.2		
クロック サイクル時間	$t_{cvc}$	OSC <sub>1</sub> 、		119	—	500	ns	図14.1
		OSC <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	238	—	500		
インストラクション サイクル時間	$\phi$			238	—	1000	ns	
			$V_{CC}=2.7\sim 5.5V$	476	—	1000		
サブクロック 発振周波数	$f_x$	X <sub>1</sub> 、X <sub>2</sub>	$V_{CC}=2.5\sim 5.5V$	—	32.768	—	k Hz	
サブクロック サイクル時間	$t_{subcyc}$	X <sub>1</sub> 、X <sub>2</sub>	$V_{CC}=2.5\sim 5.5V$	—	30.5	—	$\mu s$	
サブアクティブインストラク ションサイクル時間	$\phi_{sub}$		$V_{CC}=2.5\sim 5.5V$	—	244.14	—	$\mu s$	
発振安定時間 (水晶発振子)	$t_{rc}$	OSC <sub>1</sub> 、		—	—	40	ms	
		OSC <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	60		
発振安定時間 (セラミック発振子)	$t_{rc}$	OSC <sub>1</sub> 、		—	—	20	ms	
		OSC <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	40		
発振安定時間	$t_{rc}$	X <sub>1</sub> 、X <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	—	—	2	s	
外部クロック “High”レベル幅	$t_{cph}$	OSC <sub>1</sub>		40	—	—	ns	図14.1
			$V_{CC}=2.7\sim 5.5V$	100	—	—		
外部クロック “Low”レベル幅	$t_{cpl}$	OSC <sub>1</sub>		40	—	—	ns	
			$V_{CC}=2.7\sim 5.5V$	100	—	—		
外部クロック 立上がり時間	$t_{cpr}$	OSC <sub>1</sub>		—	—	20	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	20		
外部クロック 立下がり時間	$t_{cpi}$	OSC <sub>1</sub>		—	—	20	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	20		
RES端子 “Low”レベル幅	$t_{REL}$	RES	$V_{CC}=2.7\sim 5.5V$	10	—	—	$\phi$	図14.2
IRQ端子 “High”レベル幅	$t_{IH}$	$\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	図14.3
							$\phi_{sub}$	
IRQ端子 “Low”レベル幅	$t_{IL}$	$\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	
							$\phi_{sub}$	
EVENT端子 “High”レベル幅	$t_{EVH}$	EVENT	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	図14.4
							$\phi$	
EVENT端子 “Low”レベル幅	$t_{EVL}$	EVENT	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	
							$\phi$	
UD端子 最小変化幅	$t_{UDH}$ $t_{UDL}$	UD	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	図14.5
							$\phi$	

表14.10 シリアルインタフェースタイミング

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DISP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ ]

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	typ	Max		
出力転送クック サイクルタイム	$t_{SCYC}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	2	—	—	$\phi$	図14.6
出力転送クック “High”レベル幅	$t_{SCKH}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	0.4	—	—	$t_{SCYC}$	
出力転送クック “Low”レベル幅	$t_{SCKL}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	0.4	—	—	$t_{SCYC}$	
出力転送クック 立上がり時間	$t_{SCKr}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>		—	—	60	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	80		
出力転送クック 立下がり時間	$t_{SCKf}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>		—	—	60	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	80		
入力転送クック サイクルタイム	$t_{SCYC}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	1	—	—	$\phi$	
入力転送クック “High”レベル幅	$t_{SCKH}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	0.4	—	—	$t_{SCYC}$	
入力転送クック “Low”レベル幅	$t_{SCKL}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>	$V_{CC}=2.7\sim 5.5V$	0.4	—	—	$t_{SCYC}$	
入力転送クック 立上がり時間	$t_{SCKr}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>		—	—	60	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	80		
入力転送クック 立下がり時間	$t_{SCKf}$	SCK <sub>1</sub> 、 SCK <sub>2</sub>		—	—	60	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	80		
シリアル出力データ 遅延時間	$t_{ASO}$	SO <sub>1</sub> 、SO <sub>2</sub>		—	—	200	ns	
			$V_{CC}=2.7\sim 5.5V$	—	—	350		
シリアル入力データ セットアップ時間	$t_{SSI}$	SI <sub>1</sub> 、SI <sub>2</sub>		230	—	—	ns	
			$V_{CC}=2.7\sim 5.5V$	470	—	—		
シリアル入力データ ホールド時間	$t_{HSI}$	SI <sub>1</sub> 、SI <sub>2</sub>		230	—	—	ns	
			$V_{CC}=2.7\sim 5.5V$	470	—	—		
転送保留時間	$t_{SCK2}$	SCK <sub>2</sub>	SCK <sub>2</sub> が入力時	0.2	—	40	$\mu s$	図14.7
			SCK <sub>2</sub> が入力時 $V_{CC}=2.7\sim 5.5V$	0.4	—	40		
			SCK <sub>2</sub> が出力時 $V_{CC}=2.7\sim 5.5V$	—	—	1	$t_{SCYC}$	
転送終了 確認時間	$t_{CS}$	$\overline{CS}$	$V_{CC}=2.7\sim 5.5V$	3	—	4	$\phi$	

14.3.3 HD6433712、HD6433713、HD6433714のA/D変換器特性

表14.11にA/D変換器特性を示します。

表14.11 A/D変換器特性

[条件：特記なき場合は、 $V_{CC}=4.0\sim 5.5V$ 、 $V_{DISP}=V_{CC}-40\sim V_{CC}$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ ]

項目	記号	適用端子	測定条件	規格値			単位	注記
				Min	typ	Max		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		$V_{CC}-0.3$	$V_{CC}$	$V_{CC}+0.3$	V	
アナログ入力電圧	$AV_{IN}$	$AN_0\sim AN_7$		$AV_{SS}$	—	$AV_{CC}$	V	
アナログ電源電流	$AI_{CC}$	$AV_{CC}$	$AV_{CC}=5V$	—	—	200	$\mu A$	
	$AI_{STOP}$		リセット、および低消費電力モード時	—	—	10	$\mu A$	
アナログ入力容量	$CA_{IN}$	$AN_0\sim AN_7$		—	—	30	pF	
許容信号源インピーダンス	$RA_{IN}$	$AN_0\sim AN_7$		—	—	10	k $\Omega$	
分解能				—	—	8	ビット	
絶対精度			$V_{CC}=AV_{CC}=5V$	—	—	$\pm 2.5$	LSB	参考値
			$V_{CC}=AV_{CC}=4.0\sim 5.5V$	—	$\pm 2.5$	—		
変換時間				31	15.5	14.8	$\mu s$	

## 14.4 動作タイミング

動作タイミングを図14.1から図14.8に示します。

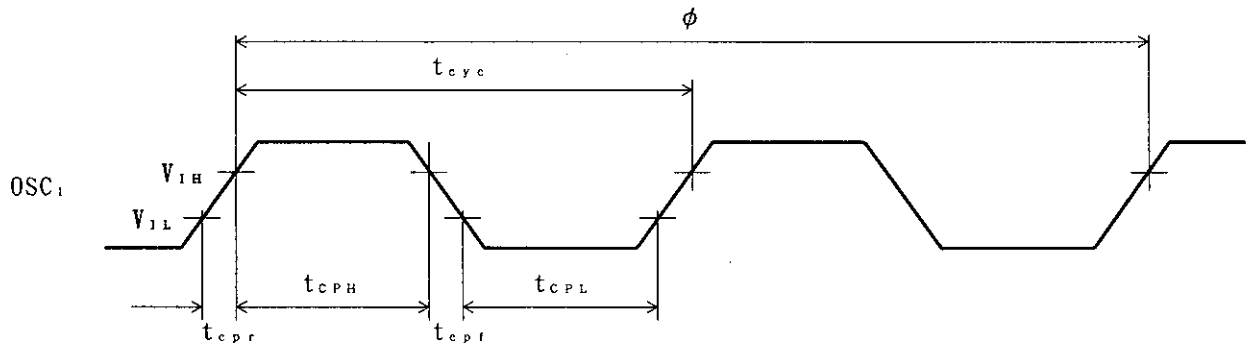


図14.1 システムクロック入力タイミング

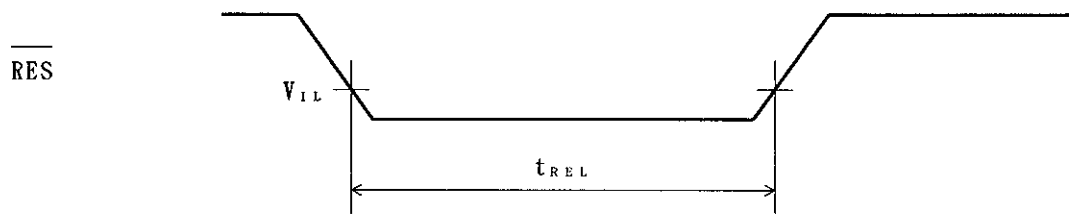


図14.2 RES端子“Low”レベル幅

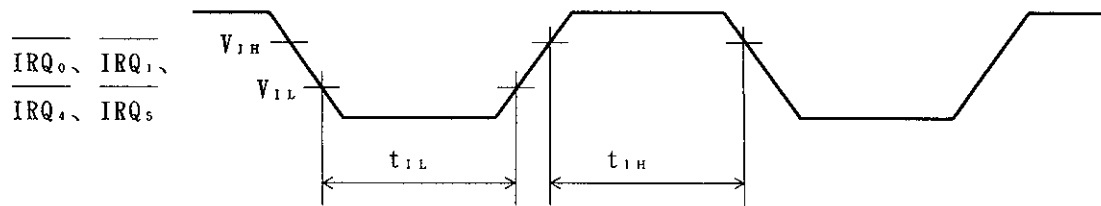


図14.3 IRQ端子入力タイミング

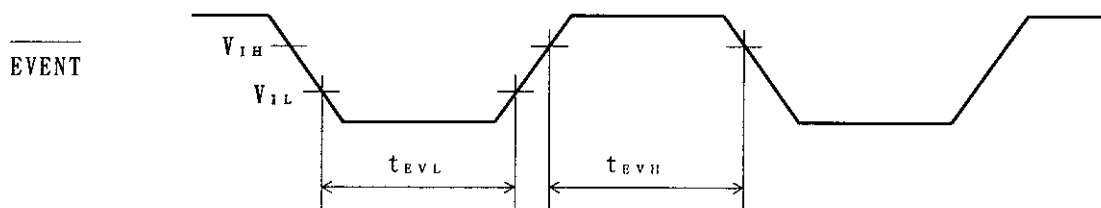


図14.4 EVENT端子最小パルス幅

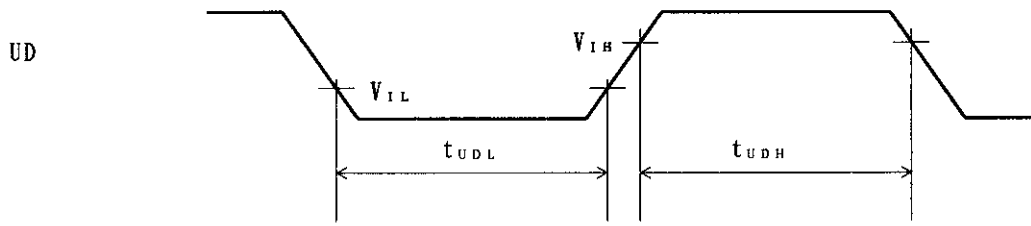
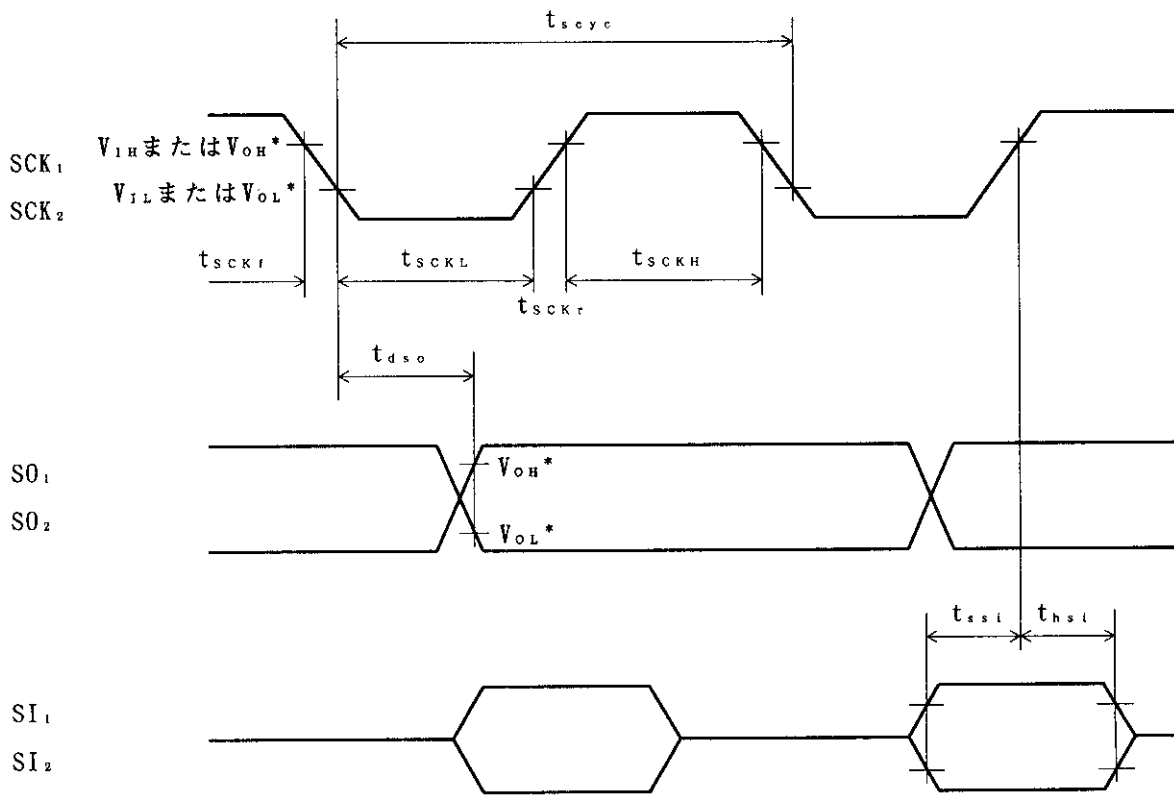


図14.5 UD端子最小変化幅



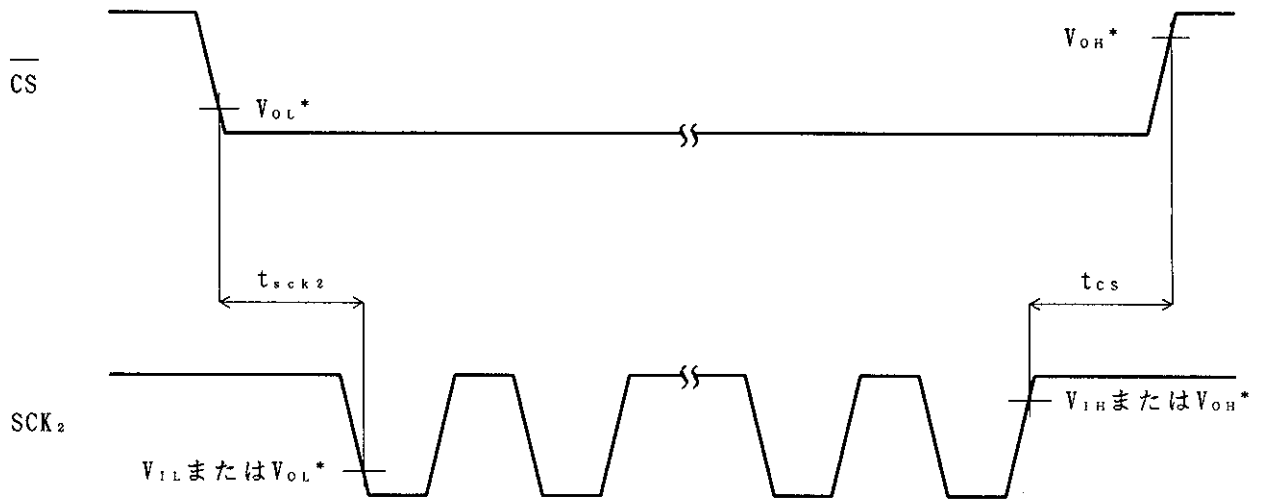
\* 出力タイミング参照レベル

出力 "High" レベル  $V_{OH} : 2.0V$

出力 "Low" レベル  $V_{OL} : 0.8V$

負荷条件は図14.8参照

図14.6 SCK入出力タイミング



\* 出力タイミング参照レベル

出力 "High" レベル  $V_{OH} : 2.0V$

出力 "Low" レベル  $V_{OL} : 0.8V$

負荷条件は図14.8参照

図14.7 SCI2チップセレクトタイミング

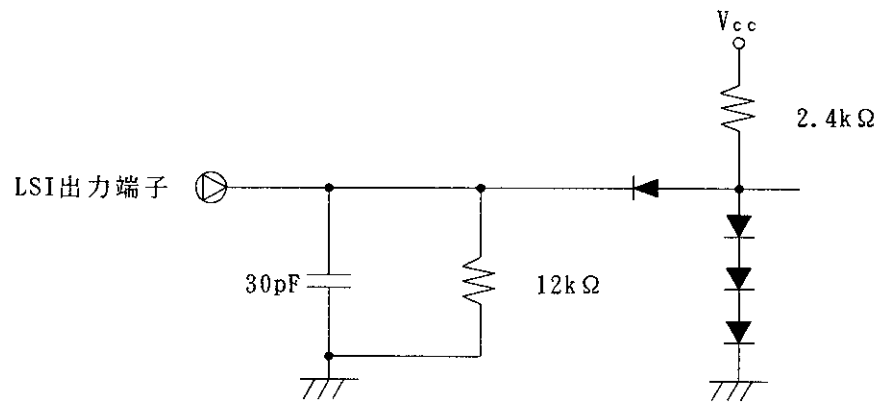


図14.8 出力負荷条件

### 14.5 HD 6 4 7 3 7 1 4とHD 6 4 3 3 7 1 2、HD 6 4 3 3 7 1 3、 HD 6 4 3 3 7 1 4の電気的特性の相違点

HD 6 4 7 3 7 1 4とHD 6 4 3 3 7 1 2、HD 6 4 3 3 7 1 3、HD 6 4 3 3 7 1 4の電気的  
特性の相違点を表14.12に示します。

表14.12 HD 6 4 7 3 7 1 4とHD 6 4 3 3 7 1 2、HD 6 4 3 3 7 1 3、HD 6 4 3 3 7 1 4の電気的特性の相違点

項目	記号	端子	測定条件	マスクROM版		ZTAT版		単位		
				Min	typ	Max	Min		typ	Max
サブアクティブの動作範囲		V <sub>CC</sub>		2.5	—	5.5	2.7	5.5	V	
入力ーク電流	I <sub>IL</sub>	RES		—	—	1	—	40	μA	
入力容量	C <sub>IN</sub>	P1 <sub>6</sub> /EVENT		—	—	15	—	35	pF	
				P1 <sub>7</sub> /V <sub>aisp</sub>	—	—	30	—	20	
アクティブモードCPU動作時 消費電流	I <sub>OPB</sub>	V <sub>CC</sub>		—	15	—	—	17	—	mA
				V <sub>CC</sub> =5V, f <sub>osc</sub> =8MHz	—	8	—	—	9	—
				V <sub>CC</sub> =5V, f <sub>osc</sub> =4MHz	—	5	—	—	6	—
アクティブモードリセット時 消費電流	I <sub>RES</sub>	V <sub>CC</sub>		—	5	8	—	6	9	mA
				V <sub>CC</sub> =5V, f <sub>osc</sub> =8MHz	—	2.5	4	—	3	5
				V <sub>CC</sub> =5V, f <sub>osc</sub> =4MHz	—	1.3	—	—	1.5	—
スリープモード消費電流	I <sub>SLEEP</sub>	V <sub>CC</sub>		—	2	3	—	2.5	3.5	
				V <sub>CC</sub> =5V, f <sub>osc</sub> =8MHz	—	1	1.5	—	1.5	2
				V <sub>CC</sub> =5V, f <sub>osc</sub> =4MHz	—	0.6	—	—	1	—
サブアクティブモード消費電流	I <sub>SUB</sub>	V <sub>CC</sub>		—	5	20	—	—	—	μA
				V <sub>CC</sub> =2.5V(FLAGON無)	—	9	—	—	6	20
				V <sub>CC</sub> =2.7V(FLAGON無)	—	—	—	—	11	—
				V <sub>CC</sub> =2.7V(FLAGON47μF)	—	—	—	—	16	—
				V <sub>CC</sub> =5V(FLAGON無)	—	13	—	—	22	—
				V <sub>CC</sub> =5V(FLAGON47μF)	—	20	—	—	—	—
ウォッチモード消費電流	I <sub>WATCH</sub>	V <sub>CC</sub>		—	2.2	5	—	—	—	μA
				V <sub>CC</sub> =2.5V(FLAGON無)	—	2.8	—	—	3.2	6
				V <sub>CC</sub> =2.5V(FLAGON47μF)	—	—	—	—	3.8	—
				V <sub>CC</sub> =2.7V(FLAGON無)	—	—	—	—	10	—
スタンバイモード消費電流	I <sub>STBY</sub>	V <sub>CC</sub>		—	6	—	—	12	—	μA
				V <sub>CC</sub> =5V(FLAGON47μF)	—	8	—	—	—	—
				—	—	5	—	—	—	μA





# 付録

## 付録 目次

A.	命令	281
A.1	命令一覧	281
A.2	オペレーションコードマップ	282
A.3	命令実行ステート数	283
B.	レジスタ一覧	292
B.1	1/Oレジスタ一覧(1)	292
B.2	1/Oレジスタ一覧(2)	295
C.	1/Oポートブロック図	324
C.1	ポート0ブロック図	324
C.2	ポート1ブロック図	325
C.3	ポート4ブロック図	329
C.4	ポート5ブロック図	330
C.5	ポート6ブロック図	331
C.6	ポート7ブロック図	332
C.7	ポート9ブロック図	333
D.	各処理状態におけるポートの状態	339
E.	マスクオプションリスト	340
F.	高耐圧端子の立上がり/立下がり時間	341
G.	外形寸法図	342



## A. 命令

### A.1 命令一覧

《オペレーションの記号》

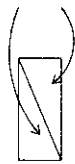
R d 8/16	汎用レジスタ（デスティネーション側）8ビット/16ビット
R s 8/16	汎用レジスタ（ソース側）8ビット/16ビット
R n 8/16	汎用レジスタ 8ビット/16ビット
CCR	コンディションコードレジスタ
N	CCRのN（ネガティブ）フラグ
Z	CCRのZ（ゼロ）フラグ
V	CCRのV（オーバフロー）フラグ
C	CCRのC（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx: 3/8/16	イミディエイトデータ 3ビット/8ビット/16ビット
d: 8/16	ディスプレイメント 8ビット/16ビット
@aa: 8/16	絶対アドレス 8ビット/16ビット
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
-	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
-	実行結果に影響を受けないことを表します。

### A.2 オペレーションコードマップ

表A.1にオペレーションコードマップを示します。表A.1では、命令コードの第1バイト（第1ワードのビット15~8）についてのみ示しています。



第2バイトの最上位ビット（命令コードの第1ワードのビット7）が0の場合を示します。  
 第2バイトの最上位ビット（命令コードの第1ワードのビット7）が1の場合を示します。

表A.1 オペレーションコードマップ

HI	LO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	LDC	ADD	ADD	INC	ADDS	MOV	MOV	ADDX	DAA
1	SHL SHAL	SHR SHAR	ROT ROTR	ROT ROTL	OR	XOR	AND	NOT	NEG	SUB	SUB	DEC	SUBS	CMP	CMP	SUBX	DAS
2	MOV																
3	MOV																
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BEQ	BVC	BVS	EPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE					JMP					JSR
6	BSET	BNOT	BCLR	BTST	BOR	BXOR	BAND	BST	BST	BLD	BLD	BIST					
7					BLOR	BLXOR	BLAND	BLD	BLD	BLD	BLD						
8										ADD	ADD	MOV	EEPMOV				ビット操作命令
9										ADDX	ADDX						
A																	
B																	
C																	
D																	
E																	
F																	

・【注】 PUSH, POP命令の機械語はMOV命令と同一です。



表A.2 命令セット一覧(2)

オペレーション	アドレッシングモード/命令長(バイト)										コンディションコード					実行 スタート 数			
	サイズ	#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	-	I	H	N	Z	V		C		
MOV	MOV.W Rs, @-Rd	W				2								↑	↑	0	-	6	
	MOV.W Rs, @aa:16	W					4							↑	↑	0	-		6
POP	POP Rd	W				2								↑	↑	0	-	6	
	PUSH Rs	W								2				↑	↑	0	-		6
ADD	ADD.B #xx:8, Rd	B	2											↑	↑	↑	↑	2	
	ADD.B Rs, Rd	B		2										↑	↑	↑	↑		2
	ADD.W Rs, Rd	W		2										①	↑	↑	↑		
ADDX	ADDX.B #xx:8, Rd	B	2											↑	↑	②	↑	2	
	ADDX.B Rs, Rd	B		2										↑	↑	②	↑		2
ADDS	ADDS.W #1, Rd	W		2										-	-	-	-	2	
	ADDS.W #2, Rd	W		2										-	-	-	-		2
INC	INC.B Rd	B		2										↑	↑	↑	-	2	
	DAA.B Rd	B		2										-	*	↑	↑		2
SUB	SUB.B Rs, Rd	B		2										↑	↑	↑	↑	2	
	SUB.W Rs, Rd	W		2										①	↑	↑	↑		2
SUBX	SUBX.B #xx:8, Rd	B	2											↑	↑	②	↑	2	
	SUBX.B Rs, Rd	B		2										↑	↑	②	↑		2



表A.2 命令セット一覧(4)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード					実行 ステップ 数						
		Rn #xx:8/16	@Rn @ (d:16, Rn)	@Rn/ @Rn+	@aa:8/16 @ (d:8, PC)		@@aa	I	H	N	Z		V	C				
SHAR	B	2									-	-	↑	↑	0	↑	2	
SHLL	B	2																2
SHLR	B	2																2
ROTXL	B	2																2
ROTXR	B	2																2
ROTL	B	2																2
ROTR	B	2																2
BSET	B	2																2
BSET	B																	8



表A.2 命令セット一覧(5)

オペレーション	アドレッシングモード/命令長 (バイト)						オペレーション				コンディションコード				実行 バイト 数		
	#xx:8/16	Rn	RRn	RRn	RRn/RRn+	RRn/RRn+ @aa:8/16	RRn/RRn+ @aa:8/16	RRn/RRn+ @aa:8/16	RRn/RRn+ @aa:8/16	RRn/RRn+ @aa:8/16	I	H	N	Z		V	C
BSET	BSET #xx:3, @aa:8					4											8
	BSET Rn, Rd	2															2
	BSET Rn, RRd		4														8
	BSET Rn, @aa:8					4											8
BCLR	BCLR #xx:3, Rd	2															2
	BCLR #xx:3, RRd		4														8
	BCLR #xx:3, @aa:8					4											8
	BCLR Rn, Rd	2															2
BNOT	BNOT #xx:3, RRd		4														8
	BNOT #xx:3, @aa:8					4											8
	BNOT Rn, Rd	2															2
	BNOT Rn, RRd		4														8
BTST	BTST #xx:3, Rd	2															2
	BTST #xx:3, RRd		4														6
	BTST #xx:3, @aa:8					4											6
	BTST Rn, Rd	2															2

表 A.2 命令セット一覧(6)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード					実行 スタート 数		
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z		V	C
BTST	BTST Rn, @Rd			4						(Rn8 of @Rd16) → Z	-	-	-	↑	-	-	6
	BTST Rn, @aa:8							4		(Rn8 of @aa:8) → Z	-	-	-	↑	-	-	6
BLD	BLD #xx:3, Rd		2							(#xx:3 of Rd8) → C	-	-	-	-	-	↑	2
	BLD #xx:3, @Rd			4						(#xx:3 of @Rd16) → C	-	-	-	-	-	↑	6
	BLD #xx:3, @aa:8							4		(#xx:3 of @aa:8) → C	-	-	-	-	-	↑	6
BILD	BILD #xx:3, Rd		2							(#xx:3 of Rd8) → C	-	-	-	-	-	↑	2
	BILD #xx:3, @Rd			4						(#xx:3 of @Rd16) → C	-	-	-	-	-	↑	6
	BILD #xx:3, @aa:8							4		(#xx:3 of @aa:8) → C	-	-	-	-	-	↑	6
BST	BST #xx:3, Rd		2							C → (#xx:3 of Rd8)	-	-	-	-	-	-	2
	BST #xx:3, @Rd			4						C → (#xx:3 of @Rd16)	-	-	-	-	-	-	8
	BST #xx:3, @aa:8							4		C → (#xx:3 of @aa:8)	-	-	-	-	-	-	8
BIST	BIST #xx:3, Rd		2							$\bar{C}$ → (#xx:3 of Rd8)	-	-	-	-	-	-	2
	BIST #xx:3, @Rd			4						$\bar{C}$ → (#xx:3 of @Rd16)	-	-	-	-	-	-	8
	BIST #xx:3, @aa:8							4		$\bar{C}$ → (#xx:3 of @aa:8)	-	-	-	-	-	-	8
BAND	BAND #xx:3, Rd		2							C ∧ (#xx:3 of Rd8) → C	-	-	-	-	-	↑	2
	BAND #xx:3, @Rd			4						C ∧ (#xx:3 of @Rd16) → C	-	-	-	-	-	↑	6
	BAND #xx:3, @aa:8							4		C ∧ (#xx:3 of @aa:8) → C	-	-	-	-	-	↑	6
BIAND	BIAND #xx:3, Rd		2							C ∧ (#xx:3 of Rd8) → C	-	-	-	-	-	↑	2
	BIAND #xx:3, @Rd			4						C ∧ (#xx:3 of @Rd16) → C	-	-	-	-	-	↑	6
	BIAND #xx:3, @aa:8							4		C ∧ (#xx:3 of @aa:8) → C	-	-	-	-	-	↑	6
BOR	BOR #xx:3, Rd		2							C ∨ (#xx:3 of Rd8) → C	-	-	-	-	-	↑	2
	BOR #xx:3, @Rd			4						C ∨ (#xx:3 of @Rd16) → C	-	-	-	-	-	↑	6
	BOR #xx:3, @aa:8							4		C ∨ (#xx:3 of @aa:8) → C	-	-	-	-	-	↑	6

表A.2 命令セット一覧(7)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション		コンディションコード							実行 スタート 数
		#xx:8/16	Rn	⓪Rn	⓪(d:16, Rn)	⓪-Rn/⓪Rn+	⓪aa:8/16	⓪(d:8, PC)	⓪aa	—	I	H	N	Z	V	C	
BIOR	BIOR #xx:3, Rd		2							CV(#xx:3 of Rd8)→C	—	—	—	—	—	↑	2
	BIOR #xx:3, ⓪Rd		4							CV(#xx:3 of ⓪Rd16)→C	—	—	—	—	—	↑	6
	BIOR #xx:3, ⓪aa:8					4				CV(#xx:3 of ⓪aa:8)→C	—	—	—	—	—	↑	6
BXOR	BXOR #xx:3, Rd		2							C⊕(#xx:3 of Rd8)→C	—	—	—	—	—	↑	2
	BXOR #xx:3, ⓪Rd		4							C⊕(#xx:3 of ⓪Rd16)→C	—	—	—	—	—	↑	6
	BXOR #xx:3, ⓪aa:8					4				C⊕(#xx:3 of ⓪aa:8)→C	—	—	—	—	—	↑	6
BIXOR	BIXOR #xx:3, Rd		2							C⊕(#xx:3 of Rd8)→C	—	—	—	—	—	↑	2
	BIXOR #xx:3, ⓪Rd		4							C⊕(#xx:3 of ⓪Rd16)→C	—	—	—	—	—	↑	6
	BIXOR #xx:3, ⓪aa:8					4				C⊕(#xx:3 of ⓪aa:8)→C	—	—	—	—	—	↑	6
Bcc	BRA d:8 (BT d:8)	—							2								4
	BRN d:8 (BF d:8)	—							2								4
	BHI d:8	—							2								4
	BLS d:8	—							2								4
	BCC d:8 (BHS d:8)	—							2								4
	BCS d:8 (BLO d:8)	—							2								4
	BNE d:8	—							2								4
	BEQ d:8	—							2								4
	BVC d:8	—							2								4
	BVS d:8	—							2								4
	BPL d:8	—							2								4
	BMI d:8	—							2								4
	BGE d:8	—							2								4
	BLT d:8	—							2								4
BGT d:8	—							2								4	
BLE d:8	—							2								4	

表A.2 命令セット一覧⑧

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディションコード							実行 ステップ 数			
		#xx:8/16	Rn	Rn @Rn	Rn @Rn	Rn @Rn	Rn @Rn	Rn @Rn	Rn @Rn		I	H	N	Z	V	C					
																	0-Rn/0Rn+		0aa:8/16	0(d:8, PC)	00aa
JMP	—		2																	4	
JMP @aa:16	—					4															6
JMP @0aa:8	—																				8
BSR d:8	—																				6
JSR	—		2																		6
JSR @aa:16	—					4															8
JSR @0aa:8	—																				8
RTS	—																				8
RTE	—																				10

表A.2 命令セット一覧(9)

オペレーション	サイズ	アドレッシングモード/命令長 (バイト)										オペレーション	コンディションコード					実行 ステート 数						
		#xx:8/16		Rn	@Rn	@Rn	@Rn+1	@aa:8/16	@Rn/16	@Rn/16	PC		I	H	N	Z	V		C					
		#xx:8	16																					
SLEBP	-																	低消費電力状態に遷移	-	-	-	-	-	2
LDC	B	2																#xx:8→CCR	↑	↑	↑	↑	↑	2
LDC Rs, CCR	B	2																Rs8→CCR	↑	↑	↑	↑	↑	2
STC	B	2																CCR→Rd8	-	-	-	-	-	2
ANDC	B	2																CCR∧#xx:8→CCR	↑	↑	↑	↑	↑	2
ORC	B	2																CCR∨#xx:8→CCR	↑	↑	↑	↑	↑	2
XORC	B	2																CCR⊕#xx:8→CCR	↑	↑	↑	↑	↑	2
NOP	-																	PC←PC+2	-	-	-	-	-	2
BEPMOV	-																	if R4L≠0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	-	-	-	-	-	④

【注】 ①：ビット11から桁上がりまたはビット11へ桁下がりが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。  
 ②：演算結果がゼロのとき、演算前の値を保持し、それ以外のとき“0”にクリアされます。  
 ③：補正結果に桁上がりが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。  
 ④：実行ステート数は、R4Lの総延縮がnのとき4n+8となります。  
 ⑤：除数が負のとき“1”にセットされ、それ以外のとき“0”にクリアされます。  
 ⑥：除数がゼロのとき“1”にセットされ、それ以外のとき“0”にクリアされます。

## B. レジスタ一覧

### B.1 I/Oレジスタ一覧(1)

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' A0	STAR	—	—	—	STA4	STA3	STA2	STA1	STA0	SCI2
H' A1	EDAR	—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0	
H' A2	SCR2	—	—	—	I/O	GAP2	GAP1	PS1	PS0	
H' A3	STSR	—	—	—	SO2 LAST BIT	OVR	WT	GIT	STF	
H' A4 ~ H' AF	—	未使用								—
H' B0	SMR1	—	SMR16	SMR15	SMR14	SMR13	SMR12	SMR11	SMR10	SCI1
H' B1	SDRU1	SDRU17	SDRU16	SDRU15	SDRU14	SDRU13	SDRU12	SDRU11	SDRU10	
H' B2	SDRL1	SDRL17	SDRL16	SDRL15	SDRL14	SDRL13	SDRL12	SDRL11	SDRL10	
H' B3	SPR1	SO1 LAST BIT	—	—	—	—	—	—	—	
H' B4	—	—	—	—	—	—	—	—	—	—
H' B5	—	—	—	—	—	—	—	—	—	
H' B6	—	—	—	—	—	—	—	—	—	
H' B7	—	—	—	—	—	—	—	—	—	
H' B8	—	—	—	—	—	—	—	—	—	
H' B9	VFSR	VFLAG	KSE	—	SR4	SR3	SR2	SR1	SR0	VFD コントローラ /ドライバ
H' BA	VFDR	FLMO	DM2	DM1	DM0	DR3	DR2	DR1	DR0	
H' BB	DBR	VFDE	DISP	—	—	DBR3	DBR2	DBR1	DBR0	
H' BC	AMR	AMR7	—	—	—	—	AMR2	AMR1	AMR0	A/D変換器
H' BD	ADRR	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
H' BE	ADSR	ADSF	—	—	—	—	—	—	—	
H' BF	—	—	—	—	—	—	—	—	—	
H' C0	TMA	—	—	—	—	TMA3	TMA2	TMA1	TMA0	タイマA
H' C1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	タイマB
H' C2	TMB	TMB7	—	—	—	—	TMB2	TMB1	TMB0	
H' C3	TLB/TCB	TLB7/ TCB7	TLB6/ TCB6	TLB5/ TCB5	TLB4/ TCB4	TLB3/ TCB3	TLB2/ TCB2	TLB1/ TCB1	TLB0/ TCB0	タイマC
H' C4	TMC	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0	
H' C5	TLC/TCC	TLC7/ TCC7	TLC6/ TCC6	TLC5/ TCC5	TLC4/ TCC4	TLC3/ TCC3	TLC2/ TCC2	TLC1/ TCC1	TLC0/ TCC0	

<記号説明>

(次頁に続く)

SCI1 : シリアルコミュニケーションインタフェース1

SCI2 : シリアルコミュニケーションインタフェース2

(前頁より続く)

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' C6	TMD	CLR	—	—	—	—	—	—	EDG	タイマD
H' C7	TCD	TCD7	TCD6	TCD5	TCD4	TCD3	TCD2	TCD1	TCD0	
H' C8	TME	TME7	—	—	—	—	TME2	TME1	TME0	タイマE
H' C9	TLE/TCE	TLE7/TCE7	TLE6/TCE6	TLE5/TCE5	TLE4/TCE4	TLE3/TCE3	TLE2/TCE2	TLE1/TCE1	TLE0/TCE0	
H' CA	—	—	—	—	—	—	—	—	—	
H' CB	—	—	—	—	—	—	—	—	—	
H' CC	PWCR	—	—	—	—	—	—	—	PWCRO	14ビット PWM
H' CD	PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	
H' CE	PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	
H' CF	—	—	—	—	—	—	—	—	—	
H' D0	PDR0	PDR0 <sub>7</sub>	PDR0 <sub>6</sub>	PDR0 <sub>5</sub>	PDR0 <sub>4</sub>	PDR0 <sub>3</sub>	PDR0 <sub>2</sub>	PDR0 <sub>1</sub>	PDR0 <sub>0</sub>	I/Oポート
H' D1	PDR1	—	—	PDR1 <sub>5</sub>	PDR1 <sub>4</sub>	—	—	PDR1 <sub>1</sub>	PDR1 <sub>0</sub>	
H' D2	—	—	—	—	—	—	—	—	—	
H' D3	—	—	—	—	—	—	—	—	—	
H' D4	PDR4	PDR4 <sub>7</sub>	PDR4 <sub>6</sub>	PDR4 <sub>5</sub>	PDR4 <sub>4</sub>	PDR4 <sub>3</sub>	PDR4 <sub>2</sub>	PDR4 <sub>1</sub>	PDR4 <sub>0</sub>	
H' D5	PDR5	PDR5 <sub>7</sub>	PDR5 <sub>6</sub>	PDR5 <sub>5</sub>	PDR5 <sub>4</sub>	PDR5 <sub>3</sub>	PDR5 <sub>2</sub>	PDR5 <sub>1</sub>	PDR5 <sub>0</sub>	
H' D6	PDR6	PDR6 <sub>7</sub>	PDR6 <sub>6</sub>	PDR6 <sub>5</sub>	PDR6 <sub>4</sub>	PDR6 <sub>3</sub>	PDR6 <sub>2</sub>	PDR6 <sub>1</sub>	PDR6 <sub>0</sub>	
H' D7	PDR7	PDR7 <sub>7</sub>	PDR7 <sub>6</sub>	PDR7 <sub>5</sub>	PDR7 <sub>4</sub>	PDR7 <sub>3</sub>	PDR7 <sub>2</sub>	PDR7 <sub>1</sub>	PDR7 <sub>0</sub>	
H' D8	—	—	—	—	—	—	—	—	—	
H' D9	PDR9	PDR9 <sub>7</sub>	PDR9 <sub>6</sub>	PDR9 <sub>5</sub>	PDR9 <sub>4</sub>	PDR9 <sub>3</sub>	PDR9 <sub>2</sub>	PDR9 <sub>1</sub>	PDR9 <sub>0</sub>	
H' DA	—	—	—	—	—	—	—	—	—	
H' DB	—	—	—	—	—	—	—	—	—	
H' DC	—	—	—	—	—	—	—	—	—	
H' DD	—	—	—	—	—	—	—	—	—	
H' DE	—	—	—	—	—	—	—	—	—	
H' DF	—	—	—	—	—	—	—	—	—	
H' E0	—	—	—	—	—	—	—	—	—	
H' E1	PCR1	—	—	PCR1 <sub>5</sub>	PCR1 <sub>4</sub>	—	—	PCR1 <sub>1</sub>	PCR1 <sub>0</sub>	
H' E2	—	—	—	—	—	—	—	—	—	
H' E3	—	—	—	—	—	—	—	—	—	
H' E4	—	—	—	—	—	—	—	—	—	
H' E5	—	—	—	—	—	—	—	—	—	
H' E6	—	—	—	—	—	—	—	—	—	

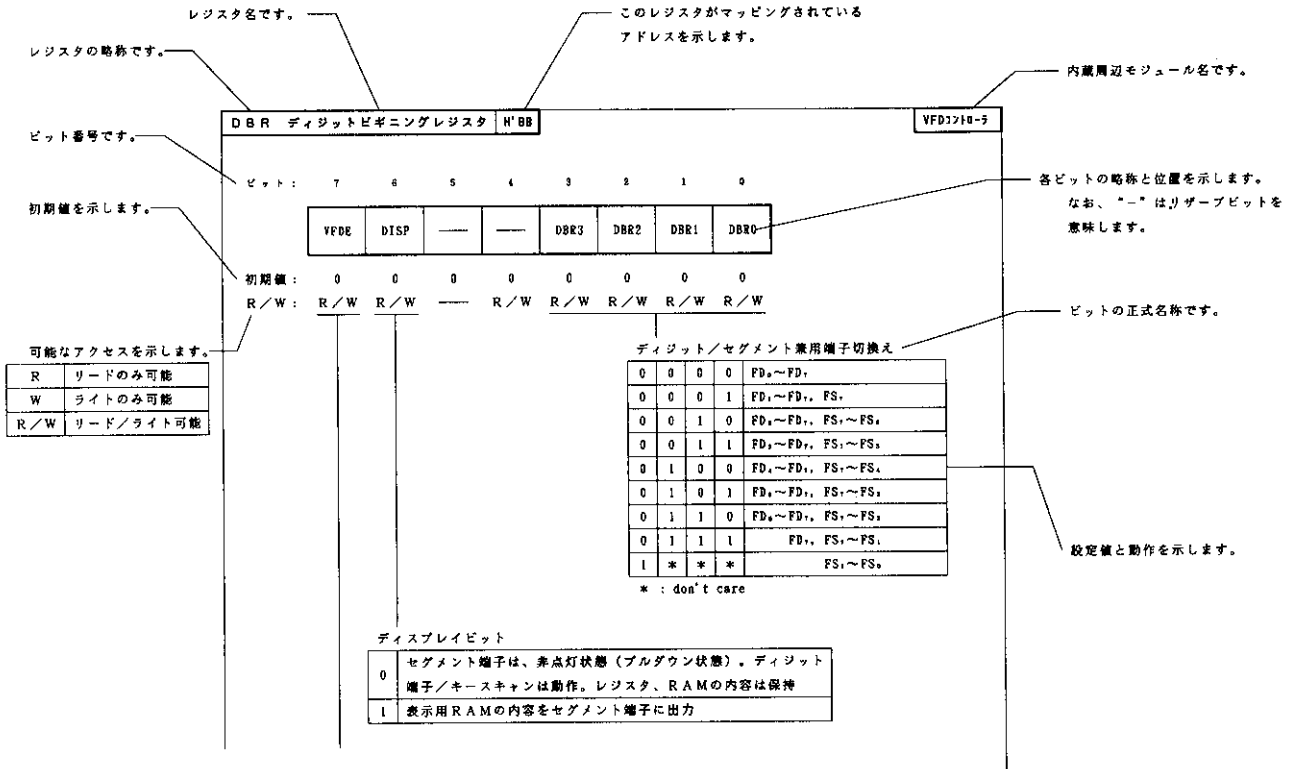
(次頁に続く)

(前頁より続く)

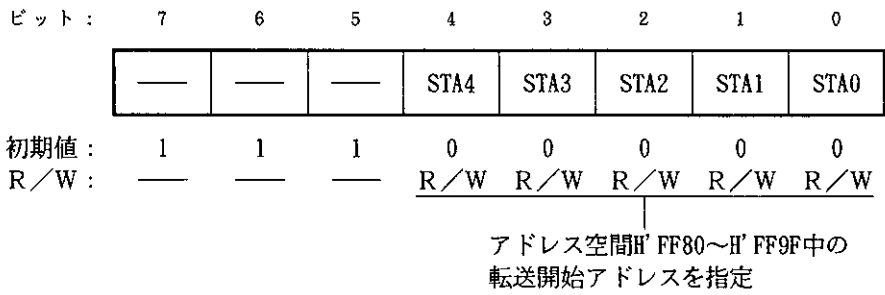
下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E7	—	—	—	—	—	—	—	—	—	I/Oポート
H'E8	—	—	—	—	—	—	—	—	—	
H'E9	PCR9	PCR9 <sub>7</sub>	PCR9 <sub>6</sub>	PCR9 <sub>5</sub>	PCR9 <sub>4</sub>	PCR9 <sub>3</sub>	PCR9 <sub>2</sub>	PCR9 <sub>1</sub>	PCR9 <sub>0</sub>	
H'EA	—	—	—	—	—	—	—	—	—	
H'EB	PMR1	NOISE CANCEL	EVENT	IRQC5	IRQC4	—	—	IRQC1	IRQC0	
H'EC	PMR2	UP/ DOWN	SO2	SI2	SCK2	SO1	SI1	SCK1	PWM	
H'ED	PMR3	—	SO2 PMOS	CS	—	SO1 PMOS	—	—	—	
H'EE	PMR4	TEO	TEO ON	FREQ	VRFR	—	—	—	—	
H'EF	PMR0	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	
H'F0	SYSCR1	SSBY	STS2	STS1	STS0	LSON	—	—	—	システム コントロール
H'F1	SYSCR2	—	—	—	—	DTON	—	—	—	
H'F2	IEGR	—	—	—	IEG4	—	—	IEG1	IEG0	
H'F3	IENR1	—	—	IEN5	IEN4	—	—	IEN1	IEN0	
H'F4	IENR2	—	—	IENDT	IENTE	IENDT	IENTC	IENB	IENTA	
H'F5	IENR3	IENAD	IENKS	—	—	—	—	IENS2	IENS1	
H'F6	IRR1	—	—	IRRI5	IRRI4	—	—	IRRI1	IRRI0	
H'F7	IRR2	—	—	IRRD	IRRT	IRRTD	IRRTC	IRRTB	IRRTA	
H'F8	IRR3	IRRAD	IRRS	—	—	—	—	IRRS2	IRRS1	
H'F9	—	—	—	—	—	—	—	—	—	
H'FA	—	—	—	—	—	—	—	—	—	
H'FB	—	—	—	—	—	—	—	—	—	
H'FC	—	—	—	—	—	—	—	—	—	
H'FD	—	—	—	—	—	—	—	—	—	
H'FE	—	—	—	—	—	—	—	—	—	
H'FF	—	—	—	—	—	—	—	—	—	



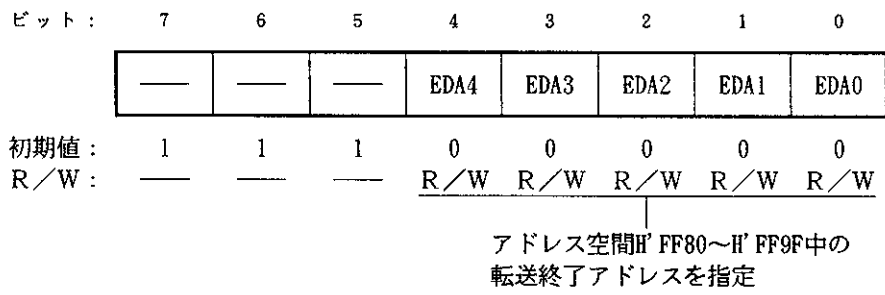
## B.2 I/Oレジスタ一覧(2)



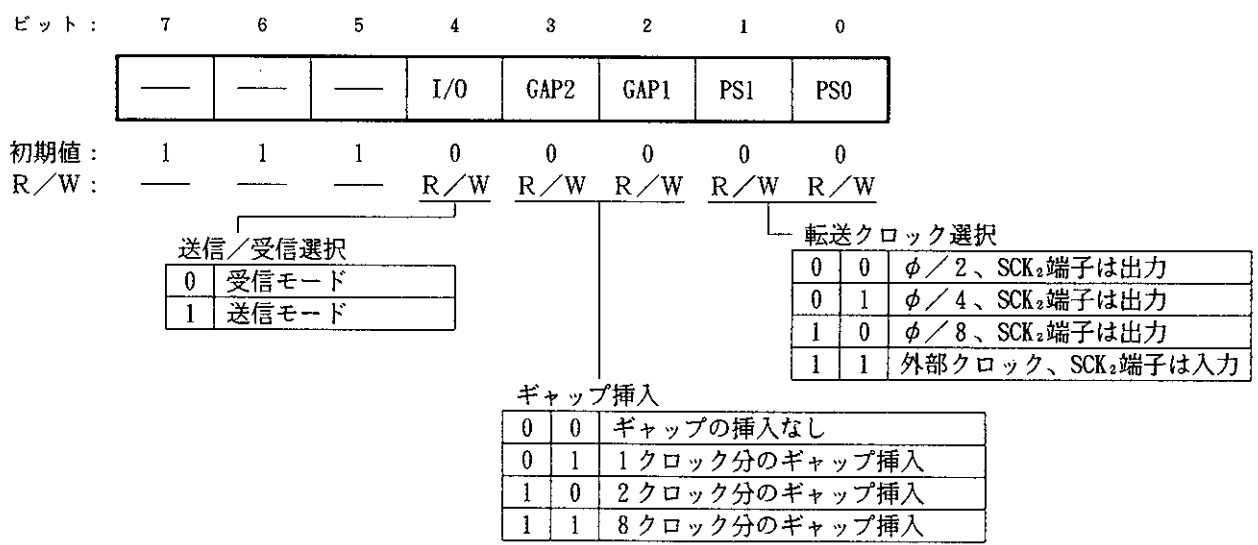
STAR 先頭アドレスレジスタ H'A0		SCI 2
----------------------	--	-------



EDAR 終了アドレスレジスタ H'A1		SCI 2
----------------------	--	-------



SCR 2 シリアルコントロールレジスタ H'A2		SCI 2
---------------------------	--	-------



ビット: 7 6 5 4 3 2 1 0

—	—	—	SO <sub>2</sub> LA ST BIT	OVR	WT	GIT	STP
---	---	---	------------------------------	-----	----	-----	-----

初期値: 1 1 1 0 不定 0 0 0

R/W: — — — R/W R/W\* R/W\* R/W R/W

## 拡張データビット

0	SO <sub>2</sub> 端子出力は、“Low”レベル
1	SO <sub>2</sub> 端子出力は、“High”レベル

## スタート/ビジーフラグ

0	[リード時] 転送動作は停止 [ライト時] 転送の強制終了
1	[リード時] 転送動作中 [ライト時] 転送の開始指示

## GAPインターバルフラグ

0	16ビット毎にギャップを挿入
1	8ビット毎にギャップを挿入

## ウェイティングフラグ

0	[クリア条件] STSRへ書き込み動作を行ったとき
1	[セット条件] 転送中に、32バイトのデータバッファ のリード、ライトを行ったとき

## オーバーランフラグ

0	[クリア条件] STSRへ書き込み動作を行ったとき
1	[セット条件] オーバーラン状態になったとき

【注】 \* STSRへのライト動作により、“0”にクリアされます。

SMR 1 シリアルモードレジスタ 1 H' B0

SC 1 1

ビット： 7 6 5 4 3 2 1 0

—	SMR16	SMR15	SMR14	SMR13	SMR12	SMR11	SMR10
---	-------	-------	-------	-------	-------	-------	-------

初期値： 1 0 0 0 0 0 0 0  
 R/W： — W W W W W W W

動作モード選択

0	0	0	クロック連続出力モード
	"00"以外		8ビット転送モード
1	0	0	クロック連続出力モード
	"00"以外		16ビット転送モード

クロックセレクト

0	0	0	$\phi / 1024$ 、SCK <sub>1</sub> 端子は出力	
		1	$\phi / 256$ 、SCK <sub>1</sub> 端子は出力	
	1	0	$\phi / 64$ 、SCK <sub>1</sub> 端子は出力	
		1	$\phi / 32$ 、SCK <sub>1</sub> 端子は出力	
	1	0	0	$\phi / 16$ 、SCK <sub>1</sub> 端子は出力
			1	$\phi / 8$ 、SCK <sub>1</sub> 端子は出力
1		0	$\phi / 4$ 、SCK <sub>1</sub> 端子は出力	
		1	$\phi / 2$ 、SCK <sub>1</sub> 端子は出力	
1	0	0	未使用	
		1	未使用	
	1	0	未使用	
		1	未使用	
	1	0	未使用	
		1	外部クロック、SCK <sub>1</sub> 端子は入力	

SDRU 1 シリアルデータレジスタU 1 H' B1

SC 1 1

ビット： 7 6 5 4 3 2 1 0

SDRU17	SDRU16	SDRU15	SDRU14	SDRU13	SDRU12	SDRU11	SDRU10
--------	--------	--------	--------	--------	--------	--------	--------

初期値： 不定 不定 不定 不定 不定 不定 不定 不定  
 R/W： R/W R/W R/W R/W R/W R/W R/W R/W

送信データの設定、受信データの格納に使用  
 8ビット転送モード：未使用  
 16ビット転送モード：データレジスタ上位8ビット

SDRL1 シリアルデータレジスタL1 H' B2

SC11

ビット: 7 6 5 4 3 2 1 0

SDRL17	SDRL16	SDRL15	SDRL14	SDRL13	SDRL12	SDRL11	SDRL10
--------	--------	--------	--------	--------	--------	--------	--------

初期値: 不定 不定 不定 不定 不定 不定 不定 不定  
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

送信データの設定、受信データの格納に使用  
 8ビット転送モード: データレジスタ  
 16ビット転送モード: データレジスタ下位8ビット

SPR1 シリアルポートレジスタ1 H' B3

SC11

ビット: 7 6 5 4 3 2 1 0

SO1 LA ST BIT	---	---	---	---	---	---	---
------------------	-----	-----	-----	-----	-----	-----	-----

初期値: 不定 1 1 1 1 1 1 1  
 R/W: R/W --- --- --- --- --- --- ---

拡張データビット

0	SO1端子は、“Low”レベル出力
0	SO1端子は、“High”レベル出力

ビット: 7 6 5 4 3 2 1 0

VFLAG	KSE	—	SR4	SR3	SR2	SR1	SR0
-------	-----	---	-----	-----	-----	-----	-----

初期値: 0 0 1 0 0 0 0 0  
 R/W: R/W R/W — R/W R/W R/W R/W R/W

セグメント端子選択

0	0	0	0	0	FS <sub>0</sub>	1	0	0	0	0	FS <sub>0</sub> ~FS <sub>16</sub>
0	0	0	0	1	FS <sub>0</sub> ~FS <sub>1</sub>	1	0	0	0	1	FS <sub>0</sub> ~FS <sub>17</sub>
0	0	0	1	0	FS <sub>0</sub> ~FS <sub>2</sub>	1	0	0	1	0	FS <sub>0</sub> ~FS <sub>18</sub>
0	0	0	1	1	FS <sub>0</sub> ~FS <sub>3</sub>	1	0	0	1	1	FS <sub>0</sub> ~FS <sub>19</sub>
0	0	1	0	0	FS <sub>0</sub> ~FS <sub>4</sub>	1	0	1	0	0	FS <sub>0</sub> ~FS <sub>20</sub>
0	0	1	0	1	FS <sub>0</sub> ~FS <sub>5</sub>	1	0	1	0	1	FS <sub>0</sub> ~FS <sub>21</sub>
0	0	1	1	0	FS <sub>0</sub> ~FS <sub>6</sub>	1	0	1	1	0	FS <sub>0</sub> ~FS <sub>22</sub>
0	0	1	1	1	FS <sub>0</sub> ~FS <sub>7</sub>	1	0	1	1	1	FS <sub>0</sub> ~FS <sub>23</sub>
0	1	0	0	0	FS <sub>0</sub> ~FS <sub>8</sub>	1	1	0	0	0	
0	1	0	0	1	FS <sub>0</sub> ~FS <sub>9</sub>	1	1	0	0	1	
0	1	0	1	0	FS <sub>0</sub> ~FS <sub>10</sub>	1	1	0	1	0	
0	1	0	1	1	FS <sub>0</sub> ~FS <sub>11</sub>	1	1	0	1	1	
0	1	1	0	0	FS <sub>0</sub> ~FS <sub>12</sub>	1	1	1	0	0	
0	1	1	0	1	FS <sub>0</sub> ~FS <sub>13</sub>	1	1	1	0	1	
0	1	1	1	0	FS <sub>0</sub> ~FS <sub>14</sub>	1	1	1	1	0	
0	1	1	1	1	FS <sub>0</sub> ~FS <sub>15</sub>	1	1	1	1	1	

キースキャンイネーブル

0	キースキャン期間なし
1	キースキャン期間を追加

VFD/ポート切換えフラグ

0	汎用ポート/VFD兼用端子はすべて汎用ポートとして機能
1	ディジット端子/セグメント端子として指定された端子は、VFD用端子として機能

ビット: 7 6 5 4 3 2 1 0

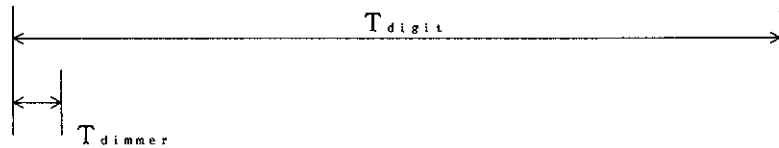
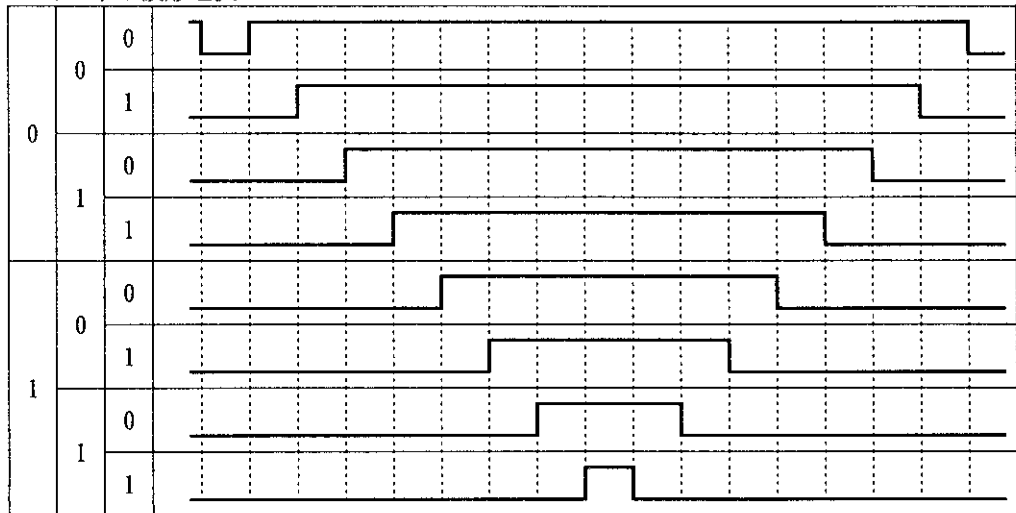
FLM0	DM2	DM1	DM0	DR3	DR2	DR1	DR0
------	-----	-----	-----	-----	-----	-----	-----

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

デジタル端子選択

0	0	0	0	FD <sub>0</sub> ~FD <sub>1,5</sub>	1	0	0	0	FD <sub>0</sub> ~FD <sub>7</sub>
0	0	0	1	FD <sub>0</sub> ~FD <sub>1,4</sub>	1	0	0	1	FD <sub>0</sub> ~FD <sub>6</sub>
0	0	1	0	FD <sub>0</sub> ~FD <sub>1,3</sub>	1	0	1	0	FD <sub>0</sub> ~FD <sub>5</sub>
0	0	1	1	FD <sub>0</sub> ~FD <sub>1,2</sub>	1	0	1	1	FD <sub>0</sub> ~FD <sub>4</sub>
0	1	0	0	FD <sub>0</sub> ~FD <sub>1,1</sub>	1	1	0	0	FD <sub>0</sub> ~FD <sub>3</sub>
0	1	0	1	FD <sub>0</sub> ~FD <sub>1,0</sub>	1	1	0	1	FD <sub>0</sub> ~FD <sub>2</sub>
0	1	1	0	FD <sub>0</sub> ~FD <sub>0</sub>	1	1	1	0	FD <sub>0</sub> ~FD <sub>1</sub>
0	1	1	1	FD <sub>0</sub> ~FD <sub>0</sub>	1	1	1	1	FD <sub>0</sub>

デジタル波形選択



VFDモードビット

0	$T_{digit} = 1536 / \phi$ 、 $T_{dimmer} = 96 / \phi$
1	$T_{digit} = 768 / \phi$ 、 $T_{dimmer} = 48 / \phi$

ビット: 7 6 5 4 3 2 1 0

VFDE	DISP	—	—	DBR3	DBR2	DBR1	DBR0
------	------	---	---	------	------	------	------

初期値: 0 0 1 0 0 0 0 0  
 R/W: R/W R/W — R/W R/W R/W R/W R/W

デジタル/セグメント兼用端子切換え

0	0	0	0	FD <sub>0</sub> ~FD <sub>7</sub>
0	0	0	1	FD <sub>1</sub> ~FD <sub>7</sub> , FS <sub>7</sub>
0	0	1	0	FD <sub>2</sub> ~FD <sub>7</sub> , FS <sub>7</sub> ~FS <sub>6</sub>
0	0	1	1	FD <sub>3</sub> ~FD <sub>7</sub> , FS <sub>7</sub> ~FS <sub>5</sub>
0	1	0	0	FD <sub>4</sub> ~FD <sub>7</sub> , FS <sub>7</sub> ~FS <sub>4</sub>
0	1	0	1	FD <sub>5</sub> ~FD <sub>7</sub> , FS <sub>7</sub> ~FS <sub>3</sub>
0	1	1	0	FD <sub>6</sub> ~FD <sub>7</sub> , FS <sub>7</sub> ~FS <sub>2</sub>
0	1	1	1	FD <sub>7</sub> , FS <sub>7</sub> ~FS <sub>1</sub>
1	*	*	*	FS <sub>7</sub> ~FS <sub>0</sub>

\* : don't care

ディスプレイビット

0	セグメント端子は、非点灯状態（プルダウン状態）。デジタル端子は動作。レジスタ、RAMの内容は保持
1	表示用RAMの内容をセグメント端子に出力

VFDイネーブル

0	VFDコントローラ/ドライバはリセット状態
1	VFDコントローラ/ドライバは動作状態



AMR A/Dモードレジスタ H'BC

A/D変換器

ビット: 7 6 5 4 3 2 1 0

AMR7	—	—	—	—	AMR2	AMR1	AMR0
------	---	---	---	---	------	------	------

初期値: 0 1 1 1 1 0 0 0  
 R/W: R/W — — — — R/W R/W R/W

チャンネルセレクト

0	0	0	アナログ入力端子はAN <sub>0</sub>
		1	アナログ入力端子はAN <sub>1</sub>
	1	0	アナログ入力端子はAN <sub>2</sub>
		1	アナログ入力端子はAN <sub>3</sub>
1	0	0	アナログ入力端子はAN <sub>4</sub>
		1	アナログ入力端子はAN <sub>5</sub>
	1	0	アナログ入力端子はAN <sub>6</sub>
		1	アナログ入力端子はAN <sub>7</sub>

クロックセレクト

0	変換周期は、 $6 \frac{2}{\phi}$
1	変換周期は、 $3 \frac{1}{\phi}$

ADDR A/Dリザルトレジスタ H'BD

A/D変換器

ビット: 7 6 5 4 3 2 1 0

ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
------	------	------	------	------	------	------	------

初期値: 不定 不定 不定 不定 不定 不定 不定 不定  
 R/W: R R R R R R R R

A/D変換結果

ADSR A/Dスタートレジスタ H'BE

A/D変換器

ビット: 7 6 5 4 3 2 1 0

ADSF	—	—	—	—	—	—	—
------	---	---	---	---	---	---	---

初期値: 0 1 1 1 1 1 1 1  
 R/W: R/W — — — — — — —

A/Dスタートフラグ

0	[リード時] A/D変換は停止/終了 [ライト時] A/D変換の強制終了
1	[リード時] A/D変換実行中 [ライト時] A/D変換開始指示

TMA タイマモードレジスタA H'CO

タイマA

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	TMA3	TMA2	TMA1	TMA0
---	---	---	---	------	------	------	------

初期値: 1 1 1 1 0 0 0 0  
 R/W: — — — — R/W R/W R/W R/W

クロックセレクト

0	0	0	0	入力元PSS、 $\phi/8192$	1	0	0	入力元PSW、2s	
		0	1	入力元PSS、 $\phi/4096$			1	入力元PSW、1s	
		1	0	入力元PSS、 $\phi/2048$			0	入力元PSW、0.5s	
		1	1	入力元PSS、 $\phi/512$			1	入力元PSW、125ms	
	1	0	0	入力元PSS、 $\phi/256$		1	1	0	PSW、TCAリセット
			1	入力元PSS、 $\phi/128$				1	
			0	入力元PSS、 $\phi/32$				0	
			1	入力元PSS、 $\phi/8$				1	

TCA タイマカウンタA H' C1

タイマA

ビット: 7 6 5 4 3 2 1 0

TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R R R R R R R R

カウント値

TMB タイマモードレジスタB H' C2

タイマB

ビット: 7 6 5 4 3 2 1 0

TMB7	—	—	—	—	TMB2	TMB1	TMB0
------	---	---	---	---	------	------	------

初期値: 0 1 1 1 1 0 0 0  
 R/W: R/W — — — — R/W R/W R/W

クロックセレクト

0	0	0	内部クロック: $\phi/8192$
		1	内部クロック: $\phi/2048$
	1	0	内部クロック: $\phi/512$
		1	内部クロック: $\phi/256$
1	0	0	内部クロック: $\phi/128$
		1	内部クロック: $\phi/32$
	1	0	内部クロック: $\phi/8$
		1	外部クロック: 立上がり/立下がりエッジ選択可能

オートリロード機能選択

0	フリーランニングタイマ
1	オートリロードタイマ

TCB タイマカウンタB H' C3

タイマB

ビット: 7 6 5 4 3 2 1 0

TCB7	TCB6	TCB5	TCB4	TCB3	TCB2	TCB1	TCB0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R R R R R R R R

カウント値

TLB タイマロードレジスタB H' C3

タイマB

ビット: 7 6 5 4 3 2 1 0

TLB7	TLB6	TLB5	TLB4	TLB3	TLB2	TLB1	TLB0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: W W W W W W W W

リロード値設定

TMC タイマモードレジスタ C H' C4

タイマ C

ビット: 7 6 5 4 3 2 1 0

TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
------	------	------	---	---	------	------	------

初期値: 0 0 0 1 1 0 0 0  
 R/W: R/W R/W R/W — — R/W R/W R/W

クロックセレクト

0	0	0	内部クロック: $\phi/8192$
		1	内部クロック: $\phi/2048$
	1	0	内部クロック: $\phi/512$
		1	内部クロック: $\phi/256$
1	0	0	内部クロック: $\phi/128$
		1	内部クロック: $\phi/32$
	1	0	内部クロック: $\phi/8$
		1	外部クロック: 立上がり/立下がりエッジ選択可能

カウンタアップ/ダウン制御

0	0	アップカウンタ
	1	ダウンカウンタ
1	*	P9 <sub>7</sub> /UD端子によるハードウェア制御。“High”でダウン、“Low”でアップ *: don't care

オートリロード機能選択

0	フリーランニングタイマ
1	オートリロードタイマ

TCC タイマカウンタ C H' C5

タイマ C

ビット: 7 6 5 4 3 2 1 0

TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0  
 R/W: R R R R R R R R

カウント値

TLC タイマロードレジスタ C	H' C5	タイマ C
------------------	-------	-------

ビット:     7       6       5       4       3       2       1       0

TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
------	------	------	------	------	------	------	------

初期値:     0       0       0       0       0       0       0       0  
R/W:        W       W       W       W       W       W       W

リロード値設定

TMD タイマモードレジスタ D	H' C6	タイマ D
------------------	-------	-------

ビット:     7       6       5       4       3       2       1       0

CLR	—	—	—	—	—	—	EDG
-----	---	---	---	---	---	---	-----

初期値:     0       1       1       1       1       1       1       0  
R/W:        W       —       —       —       —       —       —       R/W

エッジ選択

0	EVENT端子入力の立下がりエッジでカウントアップ
1	EVENT端子入力の立上がりエッジでカウントアップ

カウンタクリア

0	本ビットに“1”がライトされ、TCDをイニシャライズした後、ハードウェアにより自動的にクリア
1	TCDをH'00にイニシャライズ

TCD タイマカウンタ D	H' C7	タイマ D
---------------	-------	-------

ビット:     7       6       5       4       3       2       1       0

TCD7	TCD6	TCD5	TCD4	TCD3	TCD2	TCD1	TCD0
------	------	------	------	------	------	------	------

初期値:     0       0       0       0       0       0       0       0  
R/W:        R       R       R       R       R       R       R

カウント値

ビット: 7 6 5 4 3 2 1 0

TME7	—	—	—	—	TME2	TME1	TME0
------	---	---	---	---	------	------	------

初期値: 0 1 1 1 1 0 0 0  
 R/W: R/W — — — — R/W R/W R/W

クロックセレクト

0	0	0	内部クロック: $\phi / 8192$
		1	内部クロック: $\phi / 4096$
	1	0	内部クロック: $\phi / 2048$
		1	内部クロック: $\phi / 512$
1	0	0	内部クロック: $\phi / 256$
		1	内部クロック: $\phi / 128$
	1	0	内部クロック: $\phi / 32$
		1	内部クロック: $\phi / 8$

オートリロード機能選択

0	フリーランニングタイマ
1	オートリロードタイマ

TCE タイマカウンタ E H' C9	タイム E
---------------------	-------

ビット:      7          6          5          4          3          2          1          0

TCE7	TCE6	TCE5	TCE4	TCE3	TCE2	TCE1	TCE0
------	------	------	------	------	------	------	------

初期値:      0          0          0          0          0          0          0          0

R/W:        R          R          R          R          R          R          R          R

↓

カウント値

TLE タイマロードレジスタ E H' C9	タイム E
------------------------	-------

ビット:      7          6          5          4          3          2          1          0

TLE7	TLE6	TLE5	TLE4	TLE3	TLE2	TLE1	TLE0
------	------	------	------	------	------	------	------

初期値:      0          0          0          0          0          0          0          0

R/W:        W          W          W          W          W          W          W          W

↓

リロード値設定

PWCR PWMコントロールレジスタ H' CC	14ビットPWM
--------------------------	----------

ビット:      7          6          5          4          3          2          1          0

—	—	—	—	—	—	—	PWCRO
---	---	---	---	---	---	---	-------

初期値:      1          1          1          1          1          1          1          0

R/W:        —          —          —          —          —          —          —          W

↓

クロックセレクト

0	入力クロックは $\phi/2$ 。1変換周期16384/ $\phi$ 、最小変化幅1/ $\phi$
1	入力クロックは $\phi/4$ 。1変換周期32768/ $\phi$ 、最小変化幅2/ $\phi$



PWDRU PWMデータレジスタU H'CD

14ビットPWM

ビット: 7 6 5 4 3 2 1 0

—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
---	---	--------	--------	--------	--------	--------	--------

初期値: 1 1 0 0 0 0 0 0  
 R/W: — — W W W W W W

PWM波形生成用データ上位6ビット

PWDR L PWMデータレジスタL H'CE

14ビットPWM

ビット: 7 6 5 4 3 2 1 0

PWDR L7	PWDR L6	PWDR L5	PWDR L4	PWDR L3	PWDR L2	PWDR L1	PWDR L0
---------	---------	---------	---------	---------	---------	---------	---------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

PWM波形生成用データ下位8ビット

PDR0 ポートデータレジスタ 0	H'D0	I/Oポート
-------------------	------	--------

ビット:     7       6       5       4       3       2       1       0

PDR0 <sub>7</sub>	PDR0 <sub>6</sub>	PDR0 <sub>5</sub>	PDR0 <sub>4</sub>	PDR0 <sub>3</sub>	PDR0 <sub>2</sub>	PDR0 <sub>1</sub>	PDR0 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値:     —       —       —       —       —       —       —       —  
R/W:        R        R        R        R        R        R        R

PDR1 ポートデータレジスタ 1	H'D1	I/Oポート
-------------------	------	--------

ビット:     7       6       5       4       3       2       1       0

—	—	PDR1 <sub>5</sub>	PDR1 <sub>4</sub>	—	—	PDR1 <sub>1</sub>	PDR1 <sub>0</sub>
---	---	-------------------	-------------------	---	---	-------------------	-------------------

初期値:     — \*   — \*   0     0     1     1     0     0  
R/W:        —     —     R/W R/W   —     —     R/W R/W

【注】 \* P1<sub>5</sub>、P1<sub>7</sub>端子は、入力専用のため、リードすると常に端子のレベルが読み出されます。

PDR4 ポートデータレジスタ 4	H'D4	I/Oポート
-------------------	------	--------

ビット:     7       6       5       4       3       2       1       0

PDR4 <sub>7</sub>	PDR4 <sub>6</sub>	PDR4 <sub>5</sub>	PDR4 <sub>4</sub>	PDR4 <sub>3</sub>	PDR4 <sub>2</sub>	PDR4 <sub>1</sub>	PDR4 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値:     0       0       0       0       0       0       0       0  
R/W:        R/W R/W R/W R/W R/W R/W R/W R/W

PDR5 ポートデータレジスタ 5	H'D5	I/Oポート
-------------------	------	--------

ビット:     7       6       5       4       3       2       1       0

PDR5 <sub>7</sub>	PDR5 <sub>6</sub>	PDR5 <sub>5</sub>	PDR5 <sub>4</sub>	PDR5 <sub>3</sub>	PDR5 <sub>2</sub>	PDR5 <sub>1</sub>	PDR5 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値:     0       0       0       0       0       0       0       0  
R/W:        R/W R/W R/W R/W R/W R/W R/W R/W

PDR6 ポートデータレジスタ 6 H'D6

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PDR6 <sub>7</sub>	PDR6 <sub>6</sub>	PDR6 <sub>5</sub>	PDR6 <sub>4</sub>	PDR6 <sub>3</sub>	PDR6 <sub>2</sub>	PDR6 <sub>1</sub>	PDR6 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR7 ポートデータレジスタ 7 H'D7

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PDR7 <sub>7</sub>	PDR7 <sub>6</sub>	PDR7 <sub>5</sub>	PDR7 <sub>4</sub>	PDR7 <sub>3</sub>	PDR7 <sub>2</sub>	PDR7 <sub>1</sub>	PDR7 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR9 ポートデータレジスタ 9 H'D9

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PDR9 <sub>7</sub>	PDR9 <sub>6</sub>	PDR9 <sub>5</sub>	PDR9 <sub>4</sub>	PDR9 <sub>3</sub>	PDR9 <sub>2</sub>	PDR9 <sub>1</sub>	PDR9 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PCR1 ポートコントロールレジスタ1 H'E1

I/Oポート

ビット: 7 6 5 4 3 2 1 0

---	---	PCR1 <sub>5</sub>	PCR1 <sub>4</sub>	---	---	PCR1 <sub>1</sub>	PCR1 <sub>0</sub>
-----	-----	-------------------	-------------------	-----	-----	-------------------	-------------------

初期値: 1 1 0 0 1 1 0 0  
 R/W: --- --- W W --- --- W W

ポート1入出力選択

0	入力ポート
1	出力ポート

PCR9 ポートコントロールレジスタ9 H'E9

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR9 <sub>7</sub>	PCR9 <sub>6</sub>	PCR9 <sub>5</sub>	PCR9 <sub>4</sub>	PCR9 <sub>3</sub>	PCR9 <sub>2</sub>	PCR9 <sub>1</sub>	PCR9 <sub>0</sub>
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

ポート9入出力選択

0	入力ポート
1	出力ポート

ビット: 7 6 5 4 3 2 1 0

NOISE CANCEL	EVENT	IRQC5	IRQC4	—	—	IRQC1	IRQC0
-----------------	-------	-------	-------	---	---	-------	-------

初期値: 0 0 0 0 1 1 0 0  
 R/W: R/W R/W R/W R/W — — R/W R/W

P1<sub>0</sub>/EVENT端子機能切換え

0	P1 <sub>0</sub> 端子機能
1	EVENT端子機能

P1<sub>0</sub>/IRQ<sub>0</sub>端子機能切換え

0	P1 <sub>0</sub> 端子機能
1	IRQ <sub>0</sub> 端子機能

ノイズキャンセル

0	IRQ <sub>0</sub> 端子のノイズキャンセル機能オフ
1	IRQ <sub>0</sub> 端子のノイズキャンセル機能オン

P1<sub>1</sub>/IRQ<sub>1</sub>端子機能切換え

0	P1 <sub>1</sub> 端子機能
1	IRQ <sub>1</sub> 端子機能

P1<sub>4</sub>/IRQ<sub>4</sub>端子機能切換え

0	P1 <sub>4</sub> 端子機能
1	IRQ <sub>4</sub> 端子機能

P1<sub>5</sub>/IRQ<sub>5</sub>/TMOE端子機能切換え

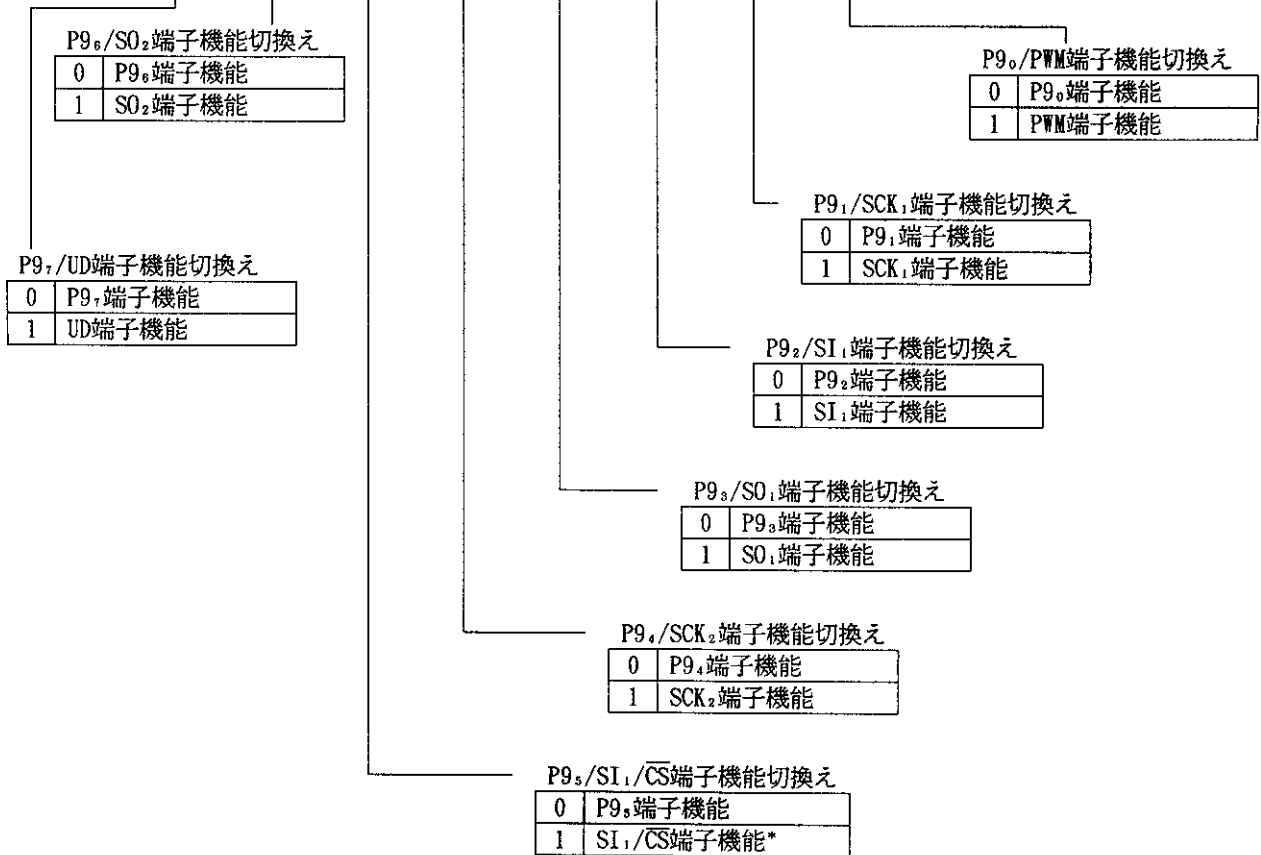
0	P1 <sub>5</sub> /TMOE端子機能*
1	IRQ <sub>5</sub> 端子機能

【注】\* P1<sub>5</sub>端子機能とTMOE端子機能の切換えについては、PMR4を参照してください。

ビット: 7 6 5 4 3 2 1 0

UP/ DOWN	SO2	SI2	SCK2	SO1	SI1	SCK1	PWM
-------------	-----	-----	------	-----	-----	------	-----

初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W



【注】\* SI<sub>1</sub>端子機能と $\overline{\text{CS}}$ 端子機能の切換えについては、PMR 3を参照してください。

ビット: 7 6 5 4 3 2 1 0

—	S02 PMOS	CS	—	S01 PMOS	—	—	—
---	-------------	----	---	-------------	---	---	---

初期値: 1 0 0 1 0 1 1 1  
 R/W: — R/W R/W — R/W — — —

S0<sub>1</sub>端子PMOSオン/オフ

0	S0 <sub>1</sub> 端子のPMOSバッファオン。 CMOS出力。
1	S0 <sub>1</sub> 端子のPMOSバッファオフ。 NMOSオープンドレイン出力。

チップセレクト出力選択

PMR2 SI2	PMR3 CS	P9 <sub>5</sub> /SI <sub>2</sub> / $\overline{\text{CS}}$ 端子機能切換え
0	0	P9 <sub>5</sub> 端子機能
	1	
1	0	SI <sub>2</sub> 端子機能
	1	CS端子機能

S0<sub>2</sub>端子PMOSオン/オフ

0	S0 <sub>2</sub> 端子のPMOSバッファオン。 CMOS出力。
1	S0 <sub>2</sub> 端子のPMOSバッファオフ。 NMOSオープンドレイン出力。

PMR 4 ポートモードレジスタ 4 H'EE

1/Oポート

ビット: 7 6 5 4 3 2 1 0

TEO	TEOON	FREQ	VRFR	—	—	—	—
-----	-------	------	------	---	---	---	---

初期値: 0 0 0 0 1 1 1 1  
 R/W: R/W R/W R/W R/W — — — —

タイマE出力制御

PMR1	PMR4				P15/IRQ5/TMOE	端子機能切換え	端子の状態
IRQC5	TEO	TEOON	FREQ	VRFR			
0	0	*	*	*		P15端子機能	標準入出力ポート
0	1	0	*	*		TMOE端子機能(OFF)	"low"レベル出力
0	1	1	0	0		TMOE端子機能(ON)	固定周波数出力: $\phi/2048$
0	1	1	1	0		TMOE端子機能(ON)	固定周波数出力: $\phi/1024$
0	1	1	*	1		TMOE端子機能(ON)	任意周波数出力: タイマEオーバフローによるトグル出力
1	*	*	*	*		IRQ5端子機能	外部割込み入力

\*:don't care

PMR 0 ポートモードレジスタ 0 H'EF

1/Oポート

ビット: 7 6 5 4 3 2 1 0

AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
-----	-----	-----	-----	-----	-----	-----	-----

初期値: 0 0 0 0 0 0 0 0  
 R/W: W W W W W W W W

アナログ入力選択

0	汎用入力ポート
1	アナログ入力チャンネル



SYSCR1 システムコントロールレジスタ1 H'F0

システムコントロール

ビット: 7 6 5 4 3 2 1 0

SSBY	STS2	STS1	STS0	LSON	—	—	—
------	------	------	------	------	---	---	---

初期値: 0 0 0 0 0 0 0 0

R/W: R/W\*1 R/W R/W R/W R/W R/W — —

ロースピードオンフラグ\*2

0	CPUの動作クロックはシステムクロック ( $\phi$ )
1	CPUの動作クロックはサブクロック ( $\phi_{SUB}$ )

スタンバイタイムセレクト

0	0	0	待機時間 = 8192ステート
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	*	*	待機時間 = 131072ステート

\*:don't care

スタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、スタンバイモードに遷移

【注】\*1アクティブモード時のみ、ライト可能です。

\*2動作モード遷移に関係するため、他の制御ビット、割込みとの組み合わせで機能します。詳細は、「3.3 システムのモード」を参照してください。

SYSCR2 システムコントロールレジスタ2 H'F1

システムコントロール

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	DTON	—	—	—
---	---	---	---	------	---	---	---

初期値: 1 1 1 1 0 1 0 0

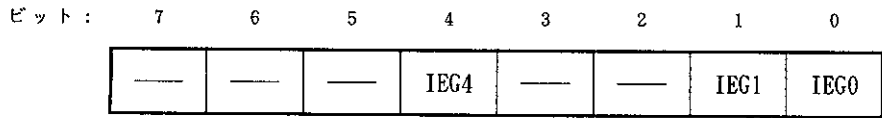
R/W: — — — — W\* — R/W R/W

【注】\* サブアクティブモード時のみ、ライト可能です。

ダイレクトトランスファオンフラグ

0	サブアクティブモード時、SLEEP命令を実行するとウォッチモードに遷移
1	サブアクティブモード時、LSONビット="0"の状態ですLEEP命令を実行するとウォッチモードを経由してアクティブモードに遷移

I EGR IRQエッジセレクトレジスタ H'F2 システムコントロール



初期値: 1 1 1 0 1 1 0 0  
R/W: — — — R/W — — R/W R/W

IRQ,入力エッジ選択

0	立下がりエッジ検出
1	立上がりエッジ検出

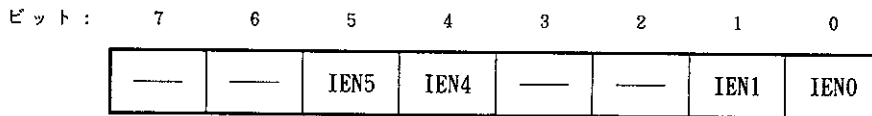
IRQ,入力エッジ選択

0	立下がりエッジ検出
1	立上がりエッジ検出

IRQ,入力エッジ選択

0	立下がりエッジ検出
1	立上がりエッジ検出

I ENR1 割り込み許可レジスタ 1 H'F3 システムコントロール



初期値: 1 1 0 0 0 0 0 0  
R/W: — — R/W R/W R/W R/W R/W R/W

IRQ,割り込み許可

0	割り込み禁止
1	割り込み許可

IRQ,割り込み許可

0	割り込み禁止
1	割り込み許可

IRQ,割り込み許可

0	割り込み禁止
1	割り込み許可

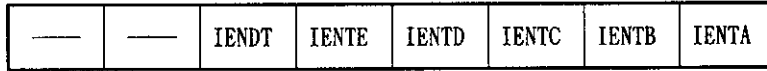
IRQ,割り込み許可

0	割り込み禁止
1	割り込み許可

IENR2 割り込み許可レジスタ2 H'F4

システムコントロール

ビット: 7 6 5 4 3 2 1 0



初期値: 0 0 0 0 0 0 0 0  
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

DTON割り込み許可

0	割り込み禁止
1	割り込み許可

タイマE割り込み許可

0	割り込み禁止
1	割り込み許可

タイマD割り込み許可

0	割り込み禁止
1	割り込み許可

タイマC割り込み許可

0	割り込み禁止
1	割り込み許可

タイマB割り込み許可

0	割り込み禁止
1	割り込み許可

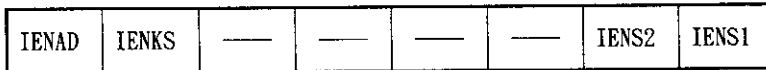
タイマA割り込み許可

0	割り込み禁止
1	割り込み許可

IENR3 割り込み許可レジスタ3 H'F5

システムコントロール

ビット: 7 6 5 4 3 2 1 0



初期値: 0 0 1 1 1 1 0 0  
R/W: R/W R/W — — — — R/W R/W

A/D変換終了割り込み許可

0	割り込み禁止
1	割り込み許可

キースキャン割り込み許可

0	割り込み禁止
1	割り込み許可

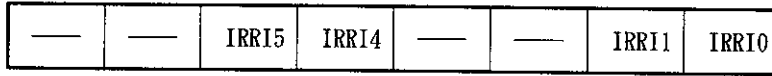
SCI2割り込み許可

0	割り込み禁止
1	割り込み許可

SCI1割り込み許可

0	割り込み禁止
1	割り込み許可

ビット: 7 6 5 4 3 2 1 0



初期値: 1 1 0 0 0 0 0 0  
 R/W: — — R/W\* R/W\* — — R/W\* R/W\*

IRQ<sub>5</sub> 割り込み要求

0	割り込み要求なし
1	割り込み要求あり

IRQ<sub>4</sub> 割り込み要求

0	割り込み要求なし
1	割り込み要求あり

IRQ<sub>1</sub> 割り込み要求

0	割り込み要求なし
1	割り込み要求あり

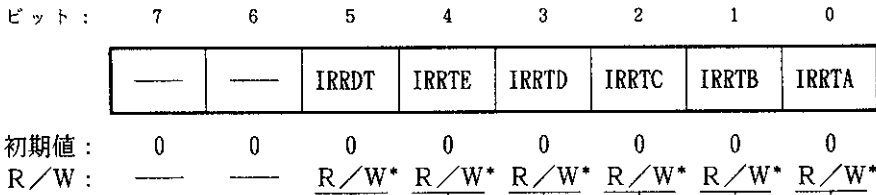
IRQ<sub>0</sub> 割り込み要求

0	割り込み要求なし
1	割り込み要求あり

【注】\* フラグクリアのための“0”ライトのみ可能です。

IRR2 割り込み要求レジスタ2 H'F7

システムコントロール



DTON割り込み要求

0	割り込み要求なし
1	割り込み要求あり

タイマE割り込み要求

0	割り込み要求なし
1	割り込み要求あり

タイマC割り込み要求

0	割り込み要求なし
1	割り込み要求あり

タイマB割り込み要求

0	割り込み要求なし
1	割り込み要求あり

タイマA割り込み要求

0	割り込み要求なし
1	割り込み要求あり

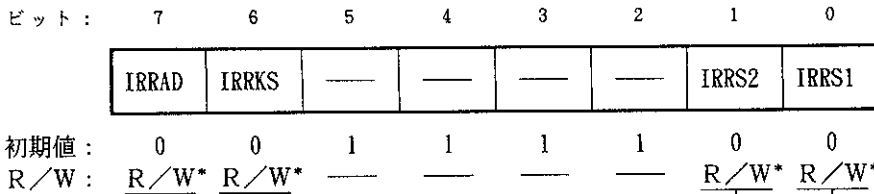
【注】\* フラグクリアのための“0”ライトのみ可能です。

タイマD割り込み要求

0	割り込み要求なし
1	割り込み要求あり

IRR3 割り込み要求レジスタ3 H'F8

システムコントロール



キースキャン割り込み要求

0	割り込み要求なし
1	割り込み要求あり

A/D変換終了割り込み要求

0	割り込み要求なし
1	割り込み要求あり

SCI2割り込み要求

0	割り込み要求なし
1	割り込み要求あり

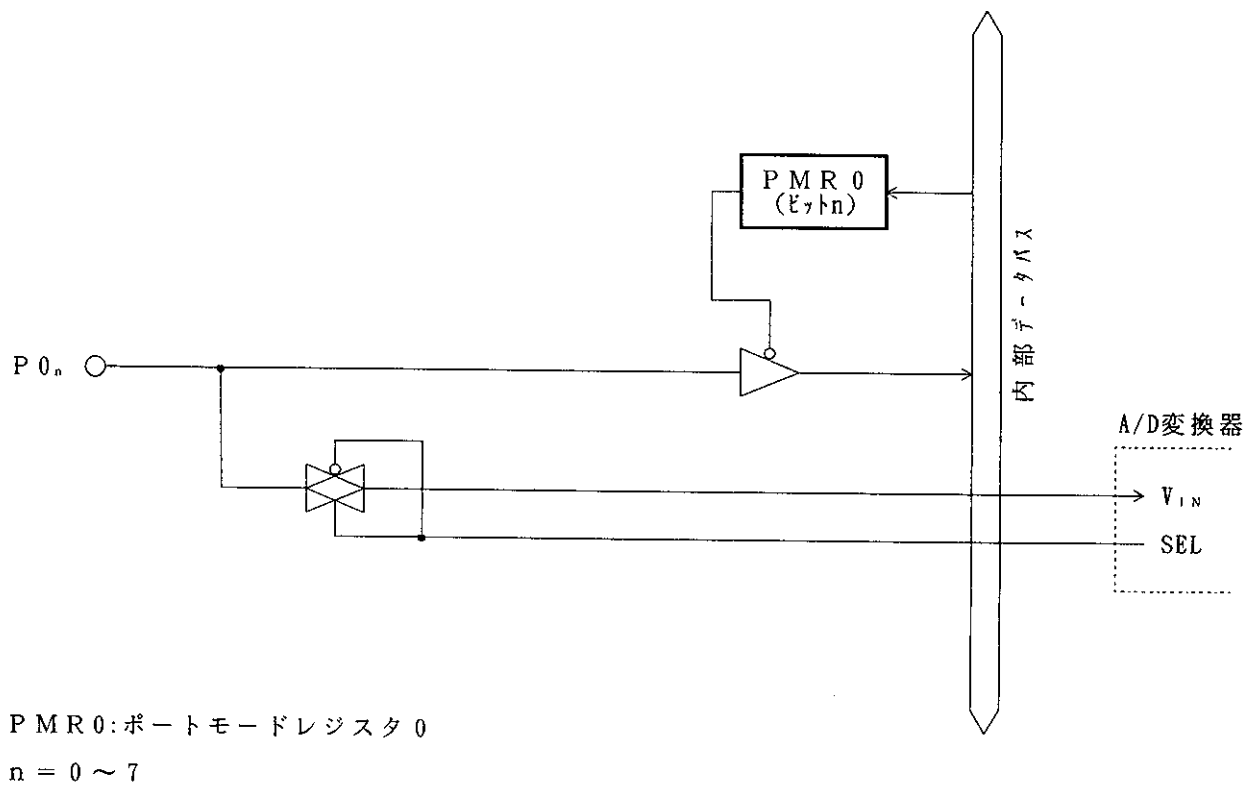
SCI1割り込み要求

0	割り込み要求なし
1	割り込み要求あり

【注】\* フラグクリアのための“0”ライトのみ可能です。

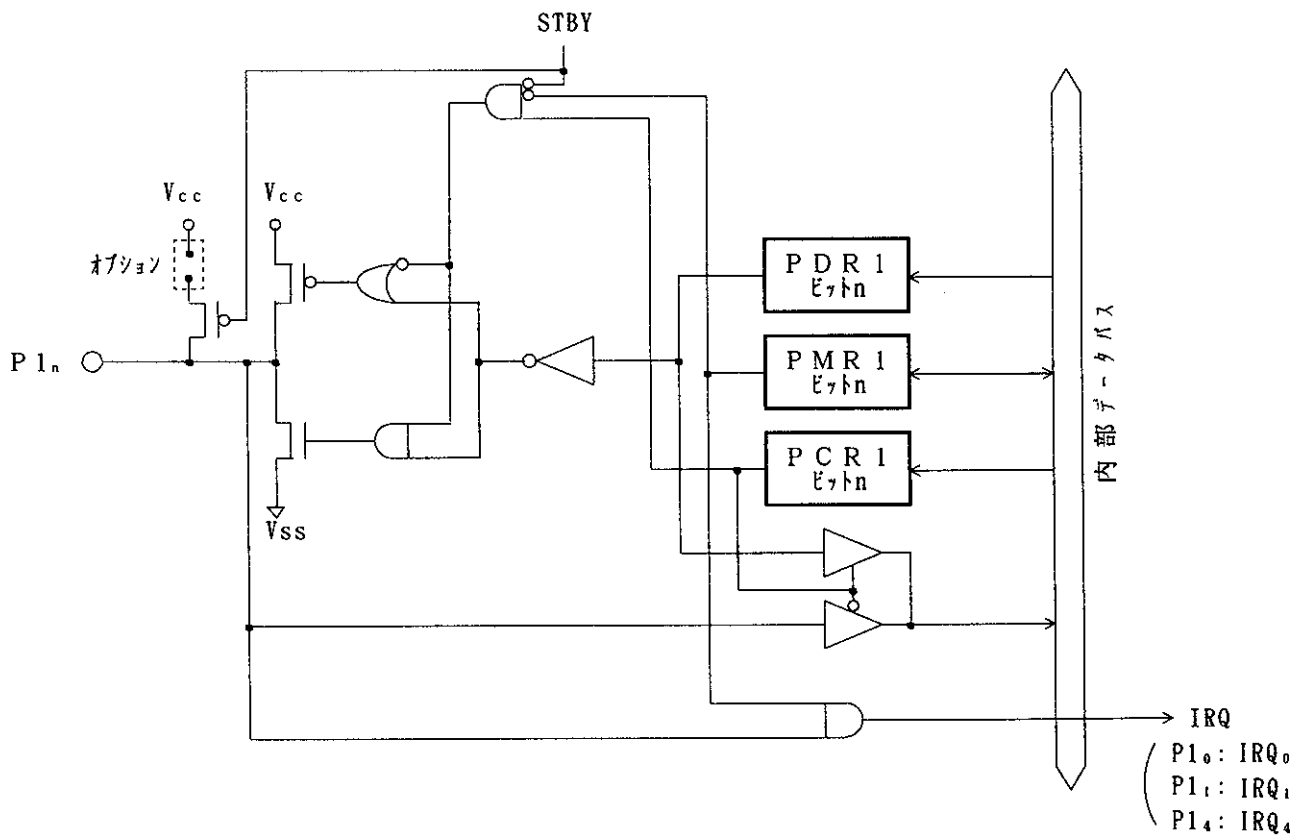
## C. I/Oポートブロック図

### C.1 ポート0ブロック図



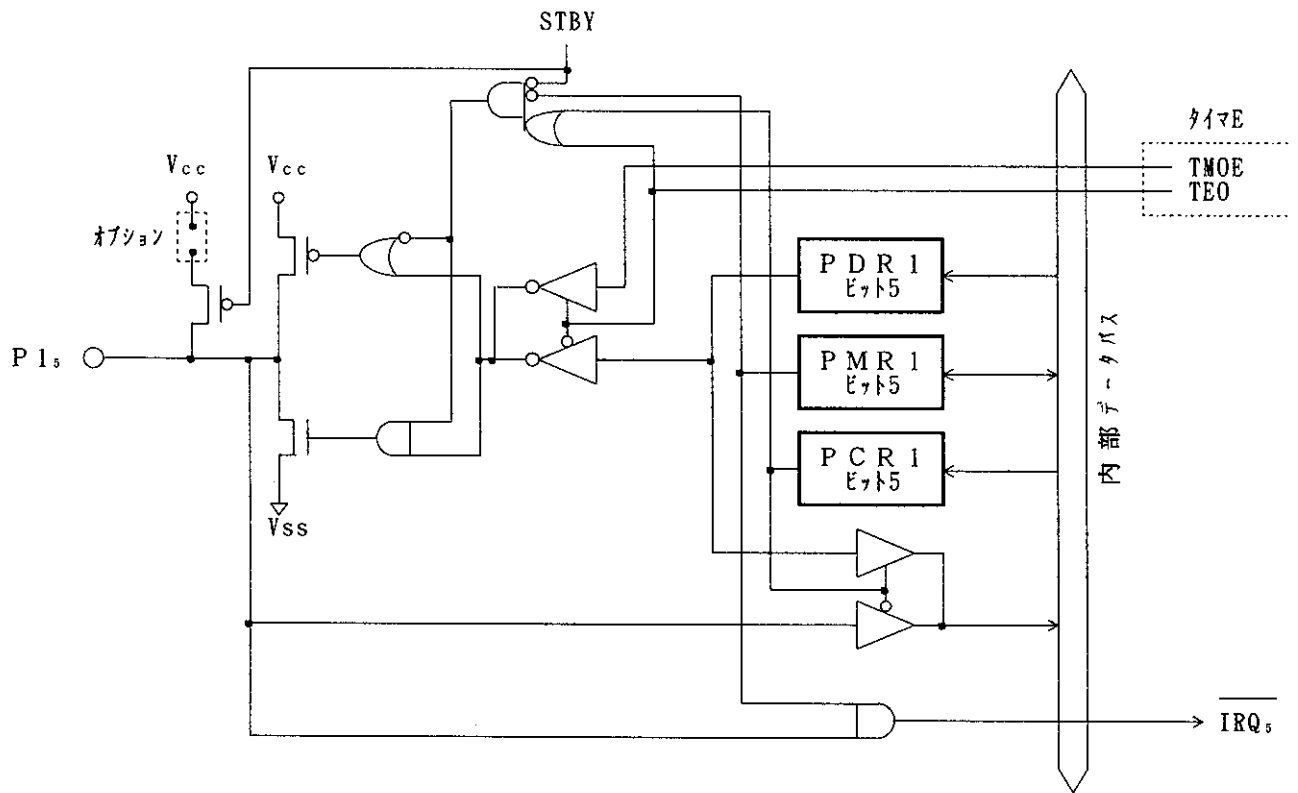
図C.1 ポート0ブロック図

## C.2 ポート1ブロック図



PDR1 : ポートデータレジスタ 1  
 PMR1 : ポートモードレジスタ 1  
 PCR1 : ポートコントロールレジスタ 1  
 n = 0、1、4

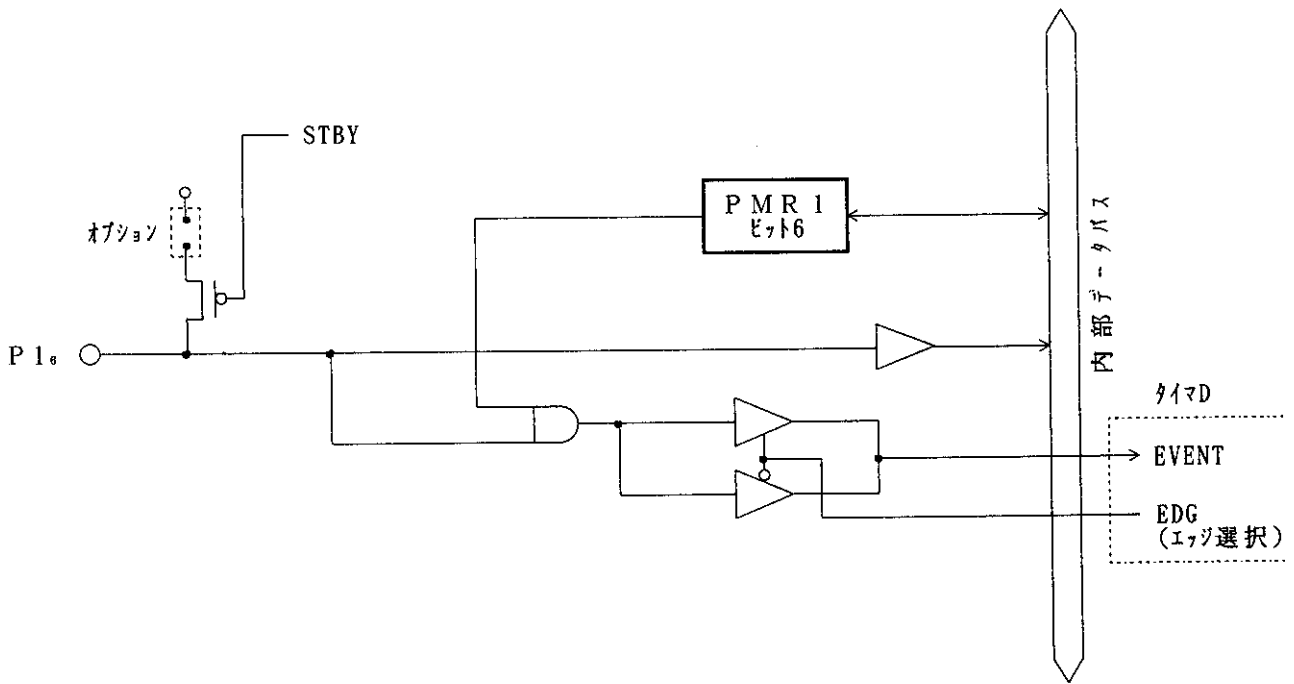
図 C.2(a) ポート1ブロック図 (P1<sub>0</sub>、P1<sub>1</sub>、P1<sub>4</sub>端子)



- PDR1 : ポートデータレジスタ 1
- PMR1 : ポートモードレジスタ 1
- PCR1 : ポートコントロールレジスタ 1
- TEO : ポートモードレジスタ 4 ビット 7
- TMOE : 矩形波出力

図 C.2(b) ポート 1 ブロック図 (P1s 端子)





PMR1 : ポートモードレジスタ1

図C.2(c) ポート1ブロック図 (P1<sub>0</sub>端子)

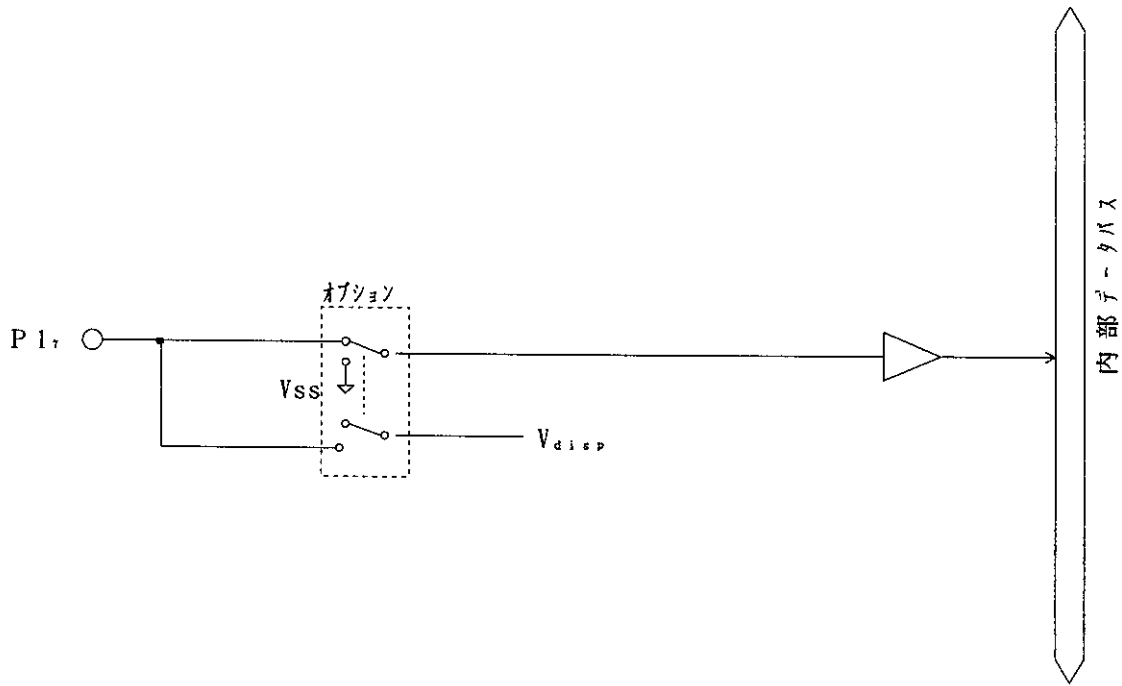
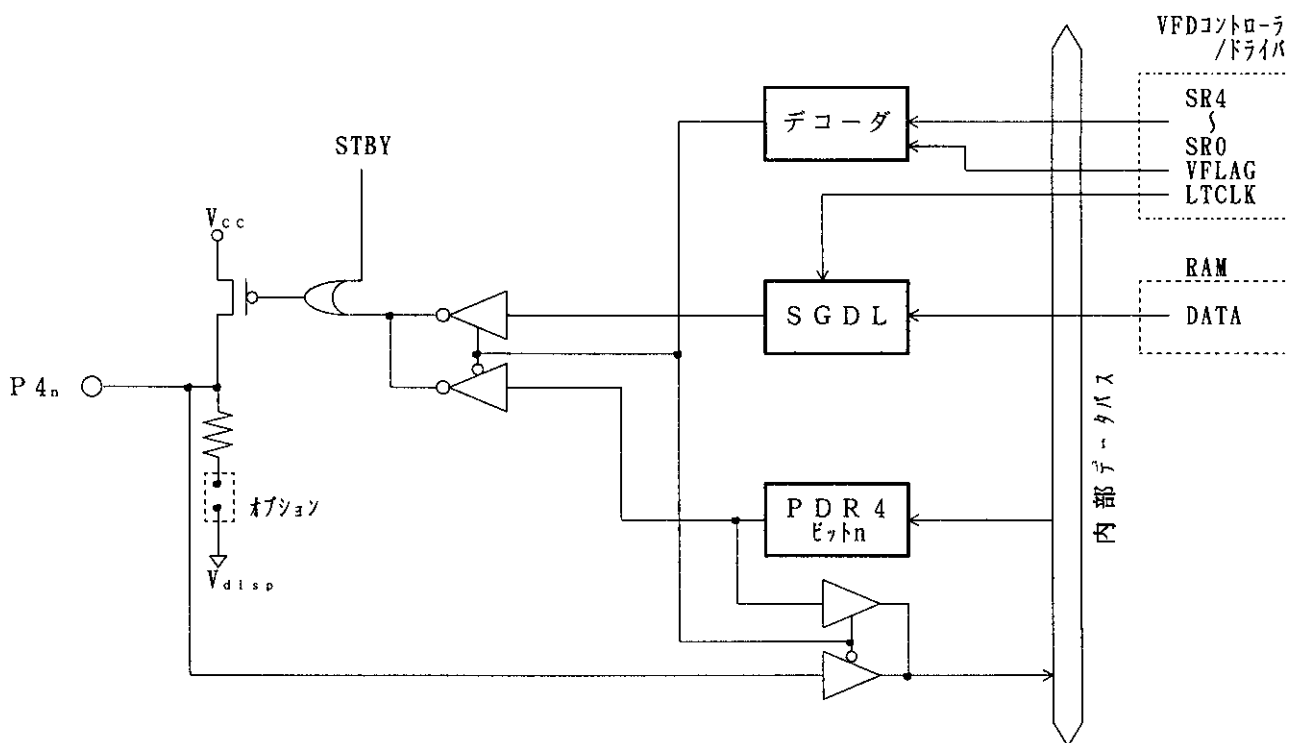


図 C.2(d) ポート 1 ブロック図 (P17 端子)

### C.3 ポート4ブロック図



PDR4 : ポートデータレジスタ4

SGDL : セグメントデータラッチ

LTCLK : セグメントデータラッチクロック

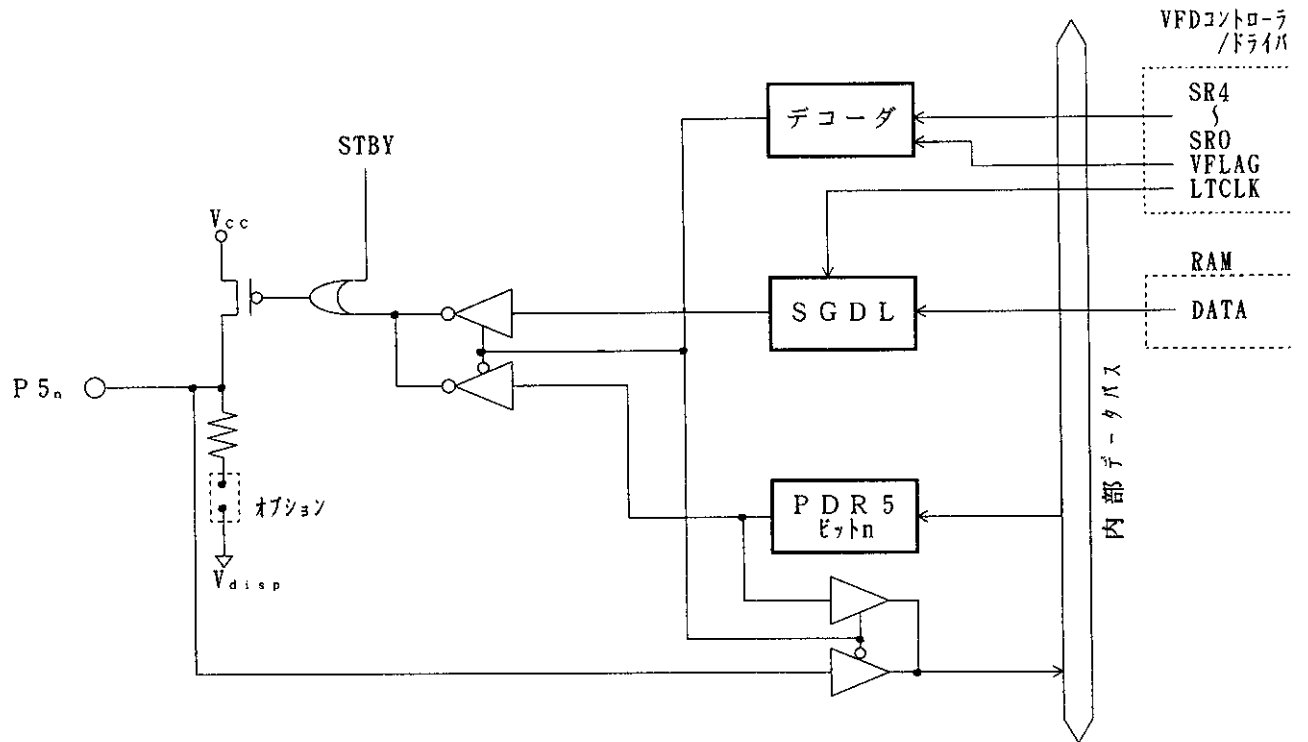
SR4 ~ SR0 : VFDセグメントコントロールレジスタビット4 ~ 0

VFLAG : VFDセグメントコントロールレジスタビット7

n = 0 ~ 7

図C.3 ポート4ブロック図

## C.4 ポート5 ブロック図



PDR5 : ポートデータレジスタ5

SGDL : セグメントデータラッチ

LTCLK : セグメントデータラッチクロック

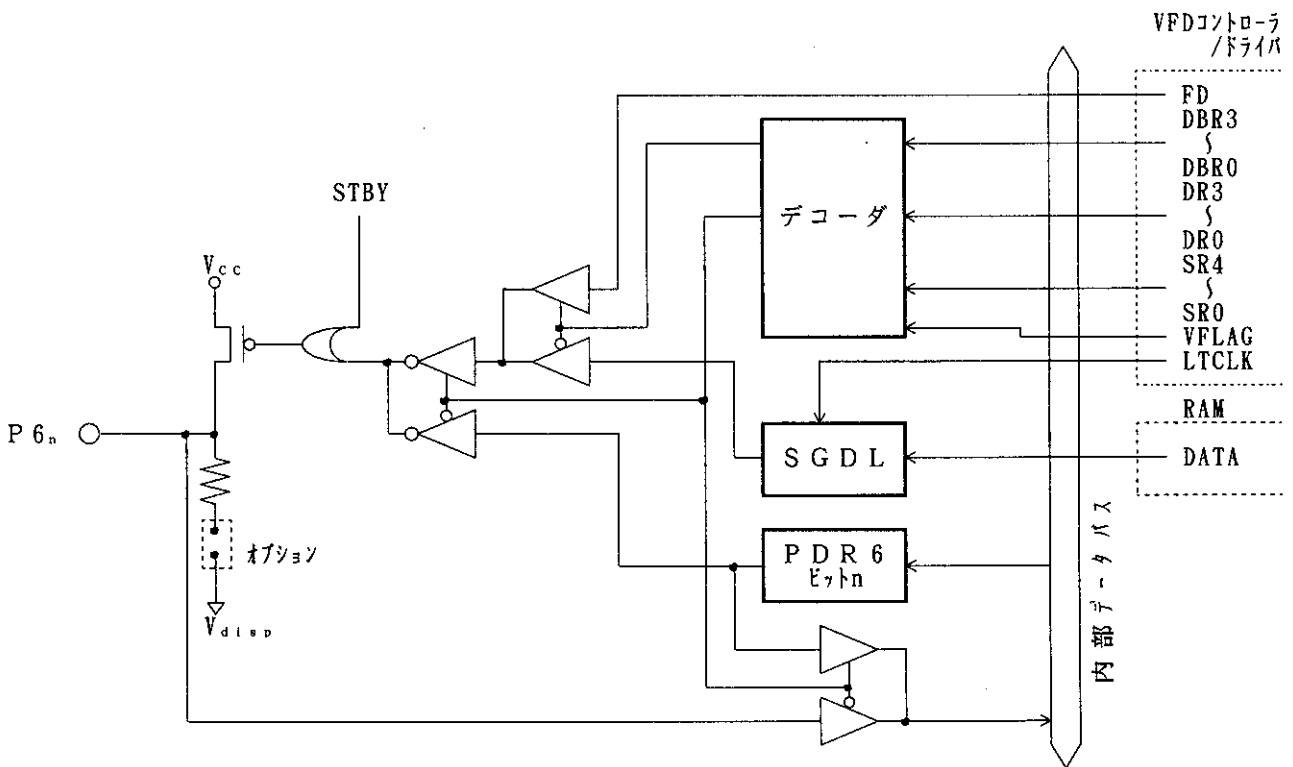
SR4~SR0 : VFDセグメントコントロールレジスタビット4~0

VFLAG : VFDセグメントコントロールレジスタビット7

n = 0~7

図C.4 ポート5ブロック図

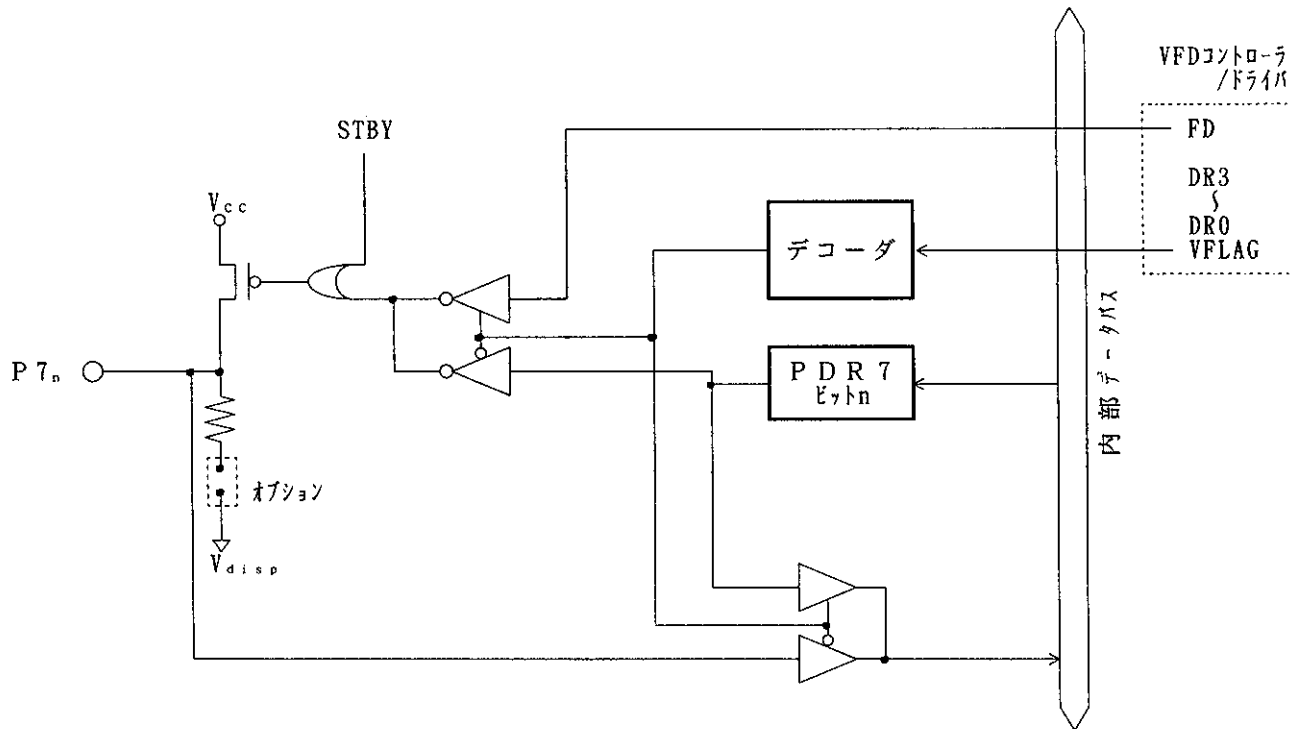
## C.5 ポート6 ブロック図



- PDR6 : ポートデータレジスタ6
- SGDL : セグメントデータラッチ
- LTCLK : セグメントデータラッチクロック
- FD : デジタル波形出力
- DBR3~DBR0 : デジタルビギンレジスタビット3~0
- DR3~DR0 : VFDデジタルコントロールレジスタビット3~0
- SR4~SR0 : VFDセグメントコントロールレジスタビット4~0
- VFLAG : VFDセグメントコントロールレジスタビット7
- $n = 0 \sim 7$

図C.5 ポート6ブロック図

## C.6 ポート7ブロック図



PDR7 : ポートデータレジスタ7

FD : デジタル波形出力

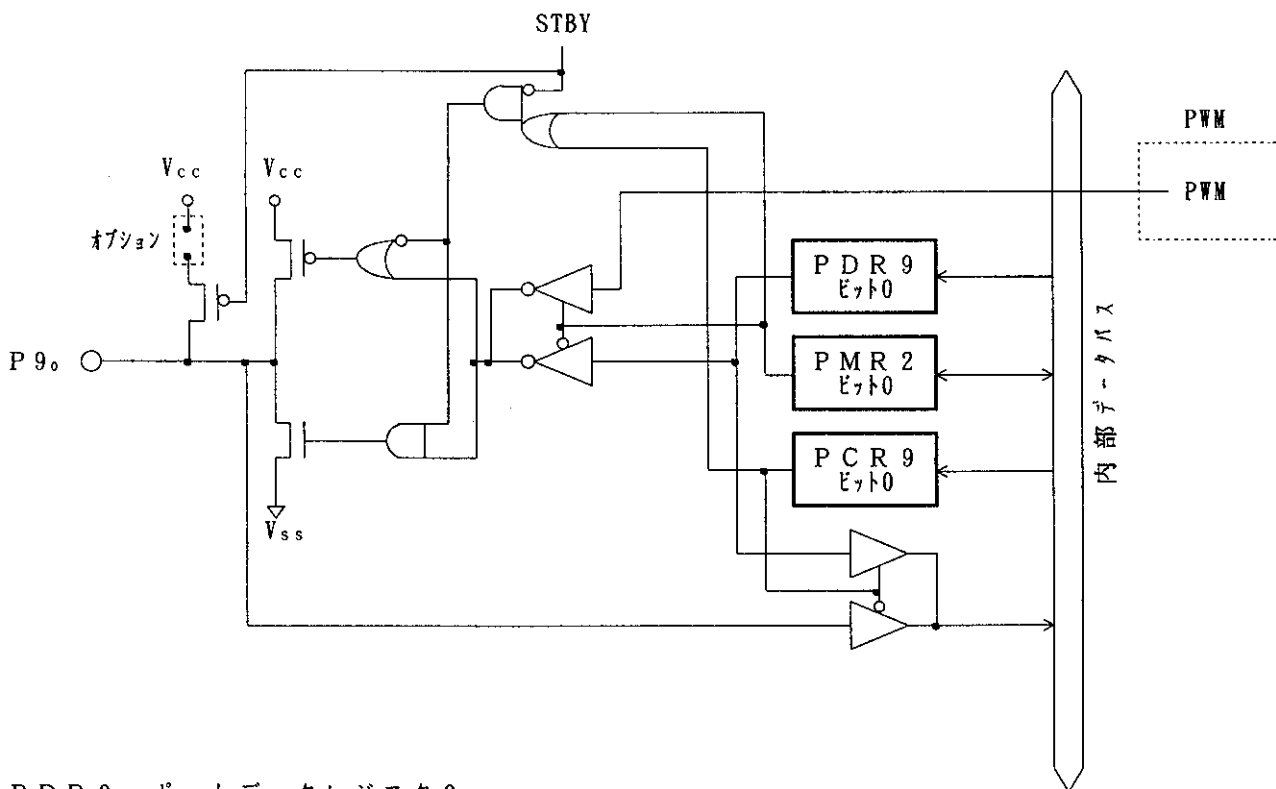
DR3 ~ DR0 : VFDデジタルコントロールレジスタビット3 ~ 0

VFLAG : VFDセグメントコントロールレジスタビット7

$n = 0 \sim 7$

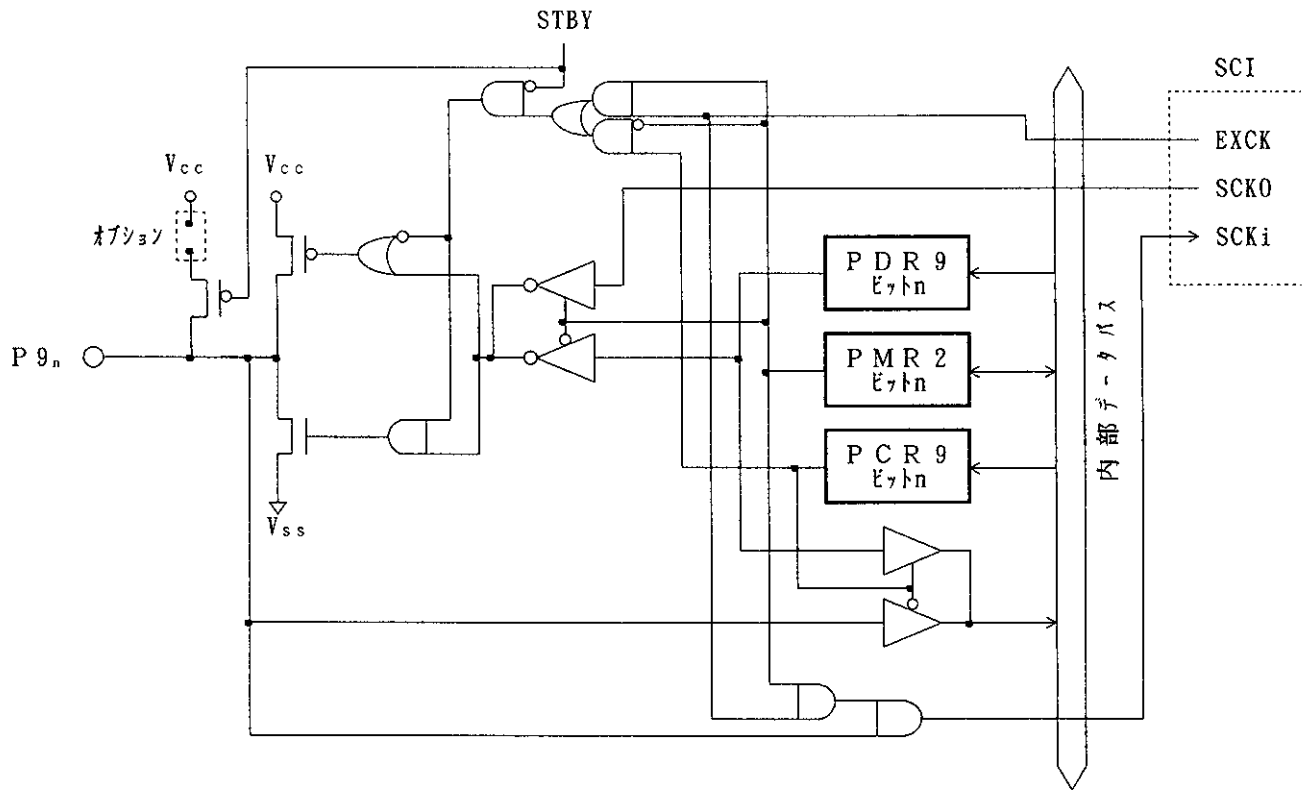
図C.6 ポート7ブロック図

### C.7 ポート9ブロック図



- PDR 9 : ポートデータレジスタ 9
- PMR 2 : ポートモードレジスタ 2
- PCR 9 : ポートコントロールレジスタ 9

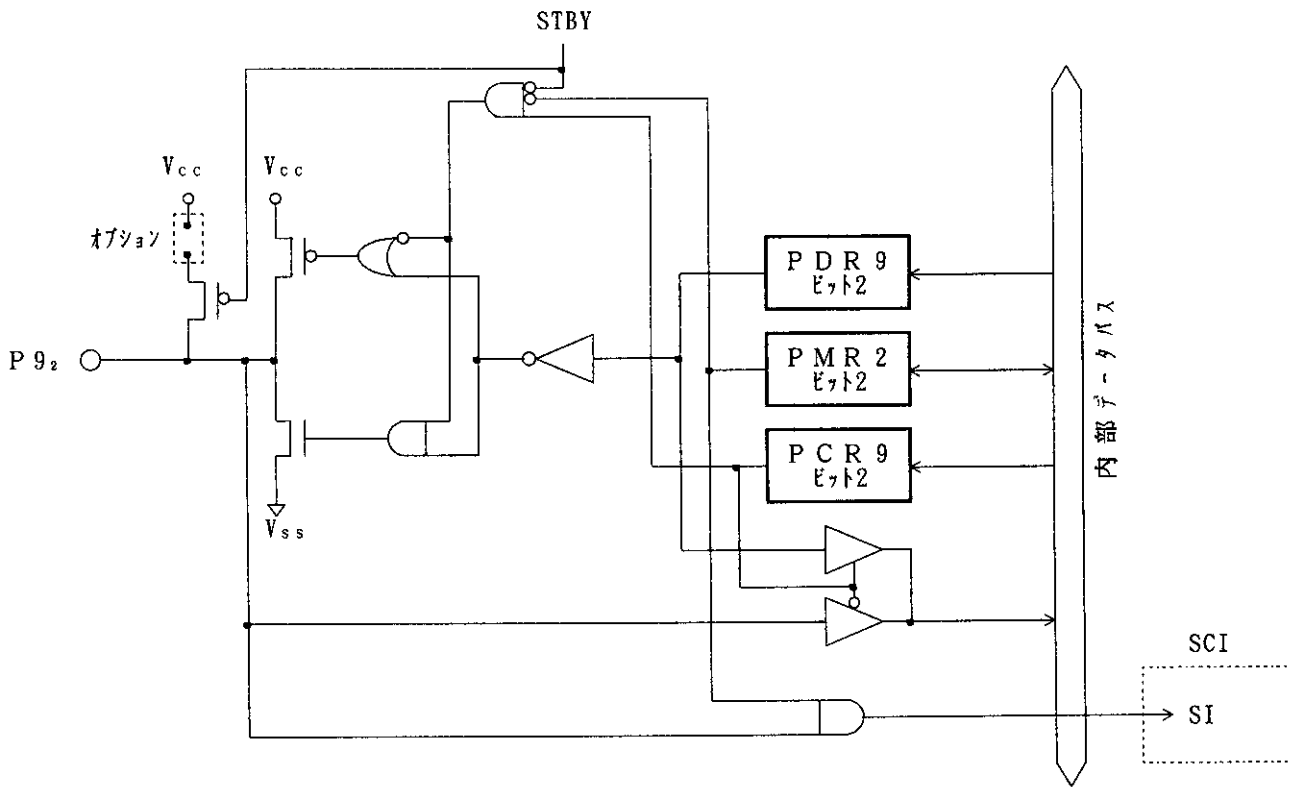
図 C.7(a) ポート9ブロック図 (P9.0端子)



$PDR9$  : ポートデータレジスタ 9  
 $PMR2$  : ポートモードレジスタ 2  
 $PCR9$  : ポートコントロールレジスタ 9  
 $n = 1, 4$

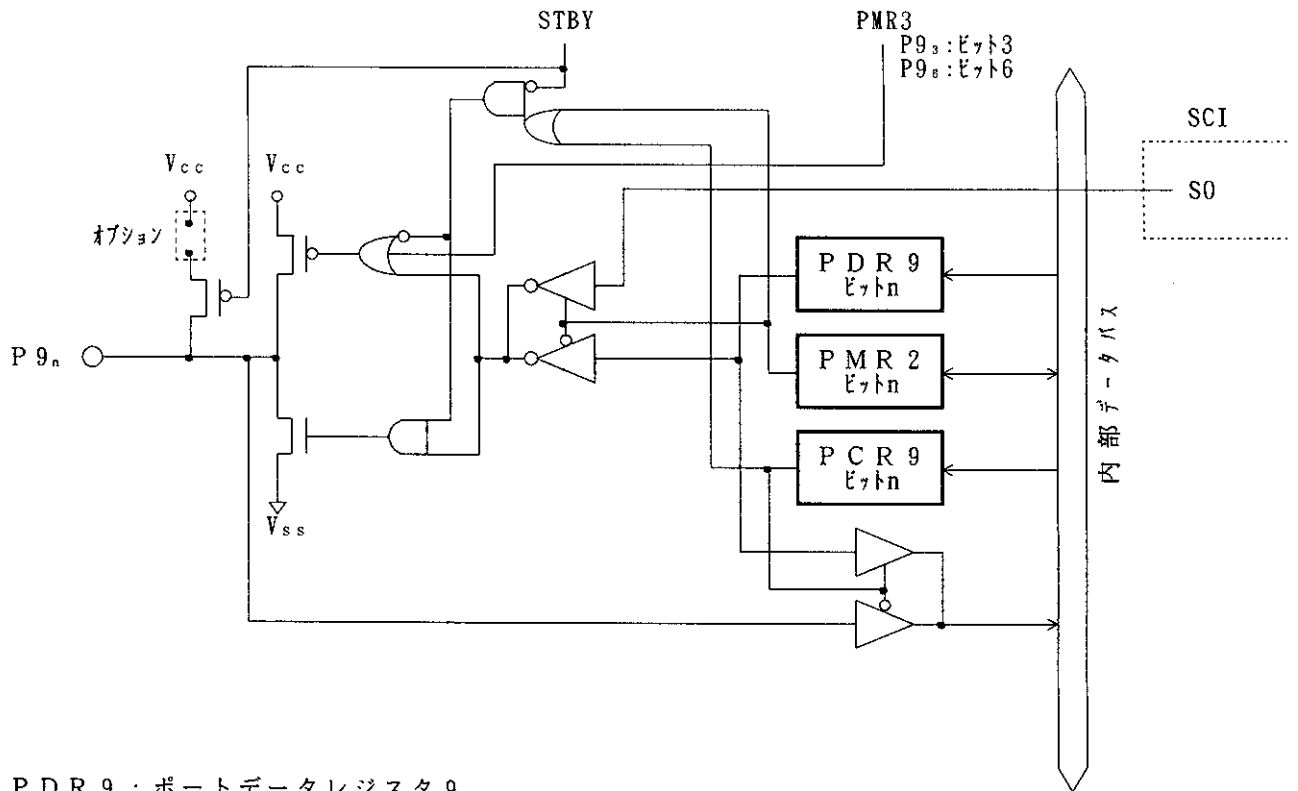
図 C.7(b) ポート 9 ブロック図 ( $P9_1$ 、 $P9_4$ 端子)





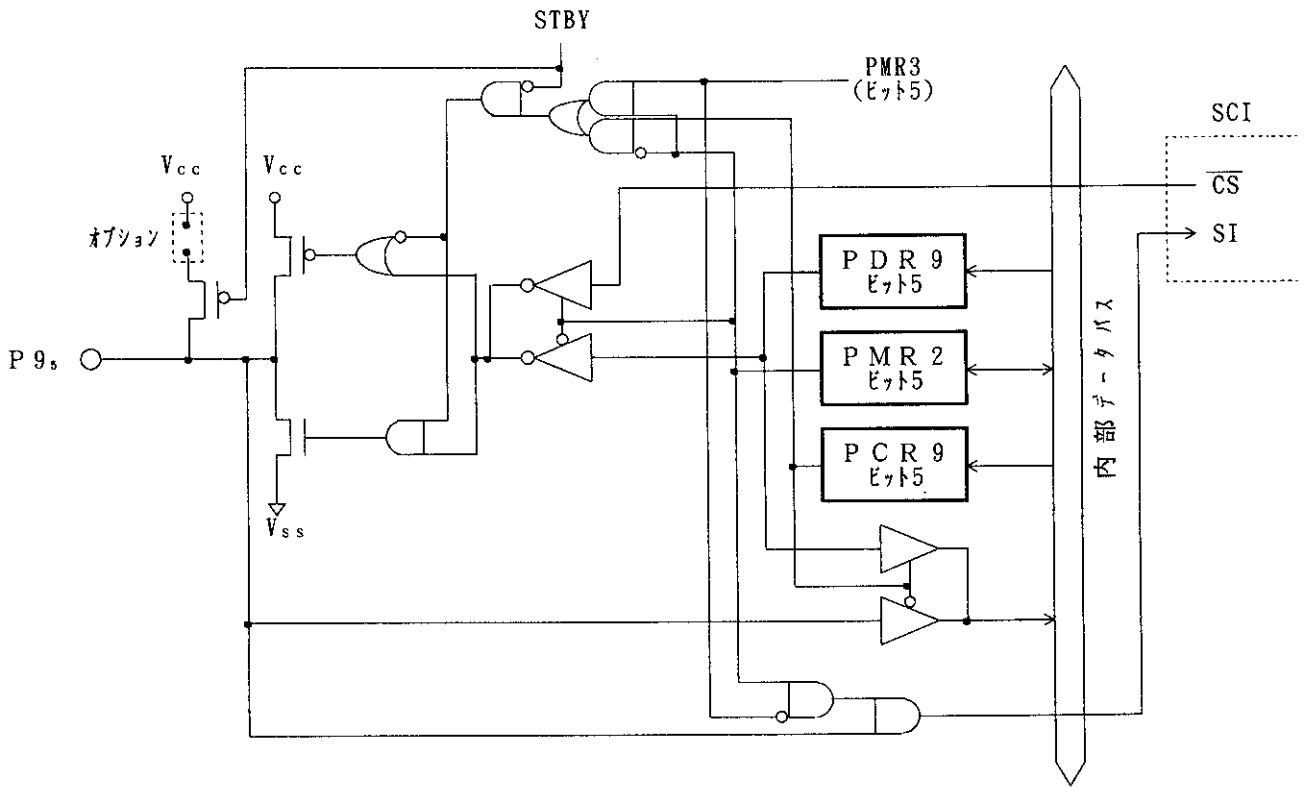
- PDR 9 : ポートデータレジスタ 9
- PMR 2 : ポートモードレジスタ 2
- PCR 9 : ポートコントロールレジスタ 9

図 C.7(c) ポート 9 ブロック図 (P9<sub>2</sub>端子)



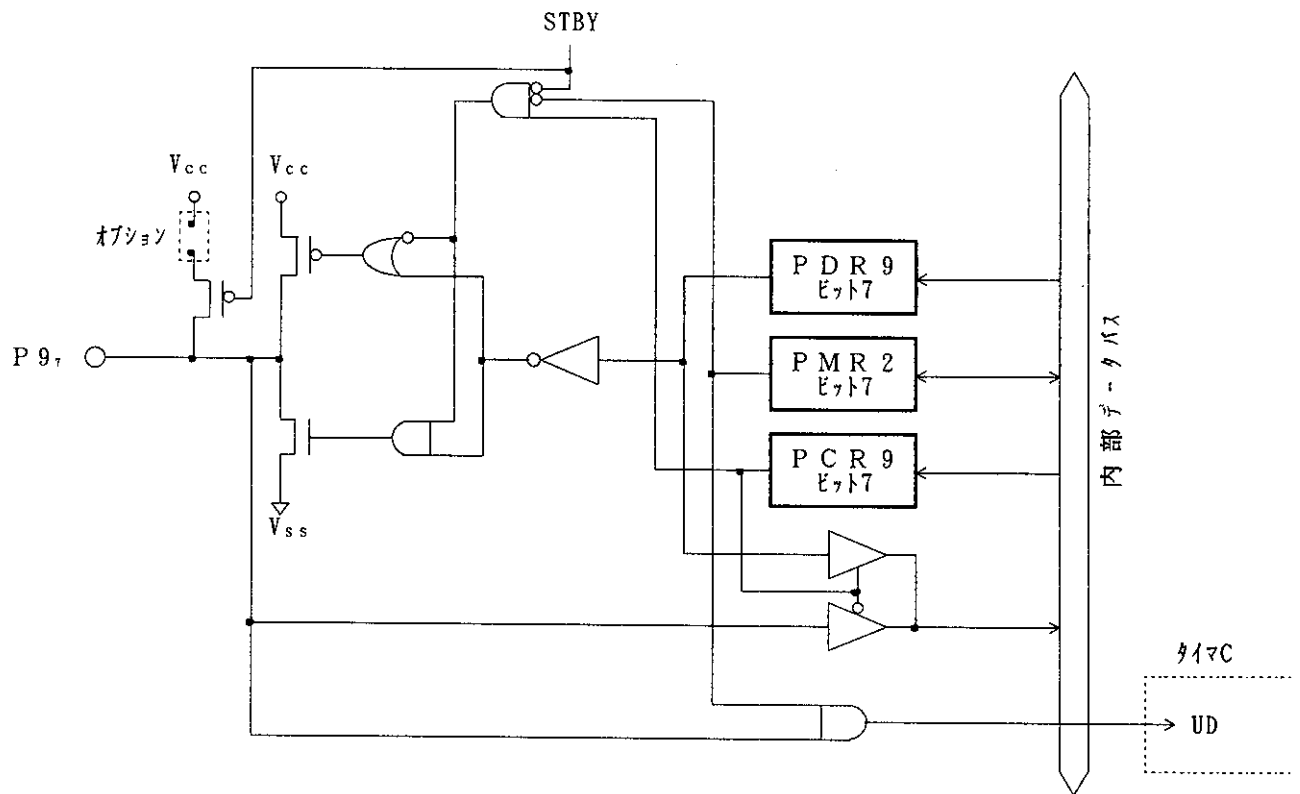
PDR9 : ポートデータレジスタ 9  
 PMR2 : ポートモードレジスタ 2  
 PCR9 : ポートコントロールレジスタ 9  
 n = 3、6

図 C.7(d) ポート 9 ブロック図 (P9s、P9s端子)



- PDR 9 : ポートデータレジスタ 9
- PMR 2 : ポートモードレジスタ 2
- PCR 9 : ポートコントロールレジスタ 9

図 C.7(e) ポート 9 ブロック図 (P9s 端子)



- P D R 9 : ポートデータレジスタ 9
- P M R 2 : ポートモードレジスタ 2
- P C R 9 : ポートコントロールレジスタ 9

図 C.7(f) ポート 9 ブロック図 (P9<sub>r</sub>端子)

## D. 各処理状態におけるポートの状態

表D.1 各ポートの状態一覧

ポート名	リセット	モード				
		スリープ	スタンバイ	ウォッチ	サプティブ	ティブ
P0 <sub>7</sub> ~P0 <sub>0</sub>	HiZ	HiZ	HiZ	HiZ	HiZ	標準入力ポート
P1 <sub>7</sub>	HiZ	HiZ	HiZ	HiZ	HiZ	高耐圧入力ポート
P1 <sub>6</sub>	HiZまたはプルアップ	HiZまたはプルアップ	HiZ	HiZ	HiZ	標準入力ポート
P1 <sub>5</sub> 、P1 <sub>4</sub> 、P1 <sub>3</sub> 、P1 <sub>0</sub>	HiZまたはプルアップ	keep	HiZ	HiZ	HiZ	標準入出力ポート
P4 <sub>7</sub> ~P4 <sub>0</sub>	HiZまたはプルダウン	keep	HiZまたはプルダウン	HiZまたはプルダウン	HiZまたはプルダウン	高耐圧入出力ポート
P5 <sub>7</sub> ~P5 <sub>0</sub>	HiZまたはプルダウン	keep	HiZまたはプルダウン	HiZまたはプルダウン	HiZまたはプルダウン	高耐圧入出力ポート
P6 <sub>7</sub> ~P6 <sub>0</sub>	HiZまたはプルダウン	keep	HiZまたはプルダウン	HiZまたはプルダウン	HiZまたはプルダウン	高耐圧入出力ポート
P7 <sub>7</sub> ~P7 <sub>0</sub>	HiZまたはプルダウン	keep	HiZまたはプルダウン	HiZまたはプルダウン	HiZまたはプルダウン	高耐圧入出力ポート
P9 <sub>7</sub> ~P9 <sub>0</sub>	HiZまたはプルアップ	keep	HiZ	HiZ	HiZ	標準入出力ポート

### <記号説明>

HiZ : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持。

HiZまたはプルアップ : 標準ポートでマスクオプションによりプルアップMOS付きとなっているポートはプルアップ状態、プルアップMOSなしのポートはハイインピーダンスとなります。

HiZまたはプルダウン : 高耐圧ポートでマスクオプションによりプルダウンMOS付きとなっているポートはプルダウン状態、プルダウンMOSなしのポートはハイインピーダンスとなります。

- 【注】 1. プルアップMOS（標準ポートのマスクオプション）は、ポートコントロールレジスタ（PCR）、ポートデータレジスタ（PDR）の設定と無関係にアクティブモード、スリープモードでは常時オンしています。スリープモード以外の低消費電力モードでは、プルアップMOSはオフします。
2. 低消費電力モードに遷移しても、周辺機能入力に設定された端子の入力ゲートはオンしたままです。したがって、入力レベルを固定しておかないと消費電力が増大します。
3. P1<sub>7</sub> は、マスクオプションにより高耐圧入力端子を指定した場合は示します。

# E. マスクオプションリスト

HD 6 4 3 3 7 1 2、HD 6 4 3 3 7 1 3、HD 6 4 3 3 7 1 4

選択する仕様に対し□内にチェック印(■、×または√)をつけてください。■部の選択はできません。

(1) I/Oオプション

- B: プルアップMOS付    C: プルアップMOSなし  
D: プルダウンMOSなし    E: プルダウンMOS付

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROMコード名	
LSI型名	<input type="checkbox"/> HD 6 4 3 3 7 1 2、 <input type="checkbox"/> HD 6 4 3 3 7 1 3、 <input type="checkbox"/> HD 6 4 3 3 7 1 4

端子名	I/O	I/O オプション			
		B	C	D	E
P1 <sub>0</sub> /IRQ <sub>0</sub>	I/O			■	■
P1 <sub>1</sub> /IRQ <sub>1</sub>	I/O			■	■
P1 <sub>2</sub> /IRQ <sub>2</sub>	I/O			■	■
P1 <sub>3</sub> /IRQ <sub>3</sub> /TMOE	I/O			■	■
P1 <sub>4</sub> /EVENT	I			■	■
P4 <sub>0</sub> /FS <sub>1,0</sub>	I/O	■			
P4 <sub>1</sub> /FS <sub>1,1</sub>	I/O	■			
P4 <sub>2</sub> /FS <sub>1,2</sub>	I/O	■			
P4 <sub>3</sub> /FS <sub>1,3</sub>	I/O	■			
P4 <sub>4</sub> /FS <sub>2,0</sub>	I/O	■			
P4 <sub>5</sub> /FS <sub>2,1</sub>	I/O	■			
P4 <sub>6</sub> /FS <sub>2,2</sub>	I/O	■			
P4 <sub>7</sub> /FS <sub>2,3</sub>	I/O	■			
P5 <sub>0</sub> /FS <sub>1,5</sub>	I/O	■			
P5 <sub>1</sub> /FS <sub>1,4</sub>	I/O	■			
P5 <sub>2</sub> /FS <sub>1,3</sub>	I/O	■			
P5 <sub>3</sub> /FS <sub>1,2</sub>	I/O	■			
P5 <sub>4</sub> /FS <sub>1,1</sub>	I/O	■			
P5 <sub>5</sub> /FS <sub>1,0</sub>	I/O	■			
P5 <sub>6</sub> /FS <sub>0</sub>	I/O	■			
P5 <sub>7</sub> /FS <sub>0</sub>	I/O	■			
P1 <sub>7</sub> /V <sub>dis,p</sub>	I	下欄(2)に記入してください			

端子名	I/O	I/O オプション			
		B	C	D	E
P6 <sub>0</sub> /FD <sub>0</sub> /FS <sub>1</sub>	I/O	■			
P6 <sub>1</sub> /FD <sub>1</sub> /FS <sub>0</sub>	I/O	■			
P6 <sub>2</sub> /FD <sub>2</sub> /FS <sub>3</sub>	I/O	■			
P6 <sub>3</sub> /FD <sub>3</sub> /FS <sub>4</sub>	I/O	■			
P6 <sub>4</sub> /FD <sub>4</sub> /FS <sub>5</sub>	I/O	■			
P6 <sub>5</sub> /FD <sub>5</sub> /FS <sub>2</sub>	I/O	■			
P6 <sub>6</sub> /FD <sub>6</sub> /FS <sub>1</sub>	I/O	■			
P6 <sub>7</sub> /FD <sub>7</sub> /FS <sub>0</sub>	I/O	■			
P7 <sub>0</sub> /FD <sub>0</sub>	I/O	■			
P7 <sub>1</sub> /FD <sub>1</sub>	I/O	■			
P7 <sub>2</sub> /FD <sub>1,0</sub>	I/O	■			
P7 <sub>3</sub> /FD <sub>1,1</sub>	I/O	■			
P7 <sub>4</sub> /FD <sub>1,2</sub>	I/O	■			
P7 <sub>5</sub> /FD <sub>1,3</sub>	I/O	■			
P7 <sub>6</sub> /FD <sub>1,4</sub>	I/O	■			
P7 <sub>7</sub> /FD <sub>1,5</sub>	I/O	■			
P9 <sub>0</sub> /PWM	I/O			■	■
P9 <sub>1</sub> /SCK <sub>1</sub>	I/O			■	■
P9 <sub>2</sub> /SI <sub>1</sub>	I/O			■	■
P9 <sub>3</sub> /SO <sub>1</sub>	I/O			■	■
P9 <sub>4</sub> /SCK <sub>2</sub>	I/O			■	■
P9 <sub>5</sub> /SI <sub>2</sub> /CS	I/O			■	■
P9 <sub>6</sub> /SO <sub>2</sub>	I/O			■	■
P9 <sub>7</sub> /UD	I/O			■	■

(2) P1<sub>7</sub>/V<sub>dis,p</sub>

<input type="checkbox"/> P1 <sub>7</sub> : プルダウンMOSなし(D)
<input type="checkbox"/> V <sub>dis,p</sub>

注) 高耐圧端子において1端子でもI/OオプションにEを選択した場合は、P1<sub>7</sub>/V<sub>dis,p</sub>端子を必ずV<sub>dis,p</sub>に選択してください。

(3) パッケージ

<input type="checkbox"/> FP-64A
<input type="checkbox"/> DP-64S

(4) OSC<sub>1</sub>-OSC<sub>2</sub>発振器

<input type="checkbox"/> 水晶発振子	f <sub>osc</sub> =	MHz
<input type="checkbox"/> セラミック発振子	f <sub>osc</sub> =	MHz
<input type="checkbox"/> 外部クロック	f <sub>osc</sub> =	MHz

(5) X<sub>1</sub>-X<sub>2</sub>発振器

<input type="checkbox"/> 使用	f <sub>x</sub> =	32.768kHz
<input type="checkbox"/> 未使用	X <sub>i</sub> =	V <sub>cc</sub>

【注】1. 広域温度仕様、I仕様は特別仕様となります。また、J仕様は設定されておりませんのでご注意ください。詳細は当社担当営業にお問い合わせください。  
2. 貴社提出のEPROMのROMデータはLSI型名のメモリマップに従って、必ずH' 0000番地から入れてください。メモリマップのROM領域以外のデータはH' FFとしてください。

## F. 高耐圧端子の立上がり／立下がり時間

マスクROM版の高耐圧端子の出力形状は、PMOSオープンドレイン(D)またはプルダウンMOS付き(E)がマスクオプションで選択できます。(ZTAT®版の高耐圧端子の出力形状は、PMOSオープンドレインのみ)

高耐圧端子出力の立上がり時間  $t_r$ 、立下がり時間  $t_f$  は次のようになります。

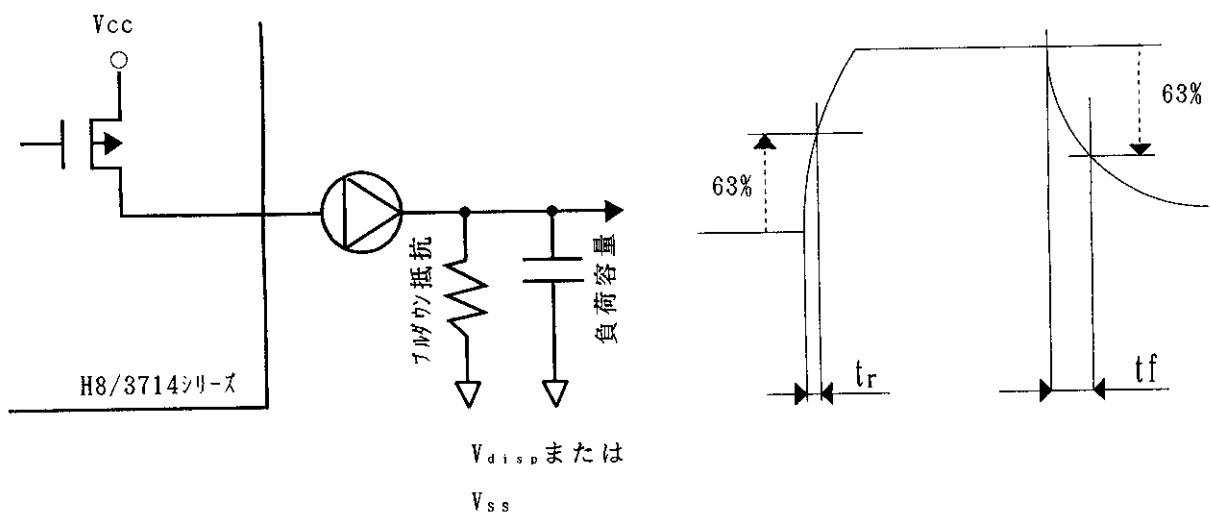
$t_r$ 、 $t_f$  は時定数  $\tau = C \cdot R$  (63%までの立上がり、立下がり時間) により求められる時間が目安となります。

$t_r$  : PMOSのON抵抗と負荷容量により決まる時定数となります。PMOSのON抵抗はDC特性では約200Ω ( $-I_{OH} = 5\text{mA}$ で $V_{OH} = V_{CC} - 3\text{V}$ より $3 / 15 \text{E} - 3 = 200$ ) ですが、AC特性ではPMOSがONする時の非飽和状態などが含まれる(定電流源でない)ため、この時定数より長くなります。高耐圧端子では負荷容量30pFとすると約20ns (min値) となります。

$t_f$  : プルダウン抵抗と負荷容量(配線容量なども含む)により決まる時定数となります。例として、プルダウン抵抗5kΩ、負荷容量30pFとすると

$$t_f \geq 5 \times 10^3 \times 30 \times 10^{-12} = 150 \times 10^{-9} \text{ (150 ns) となります。}$$

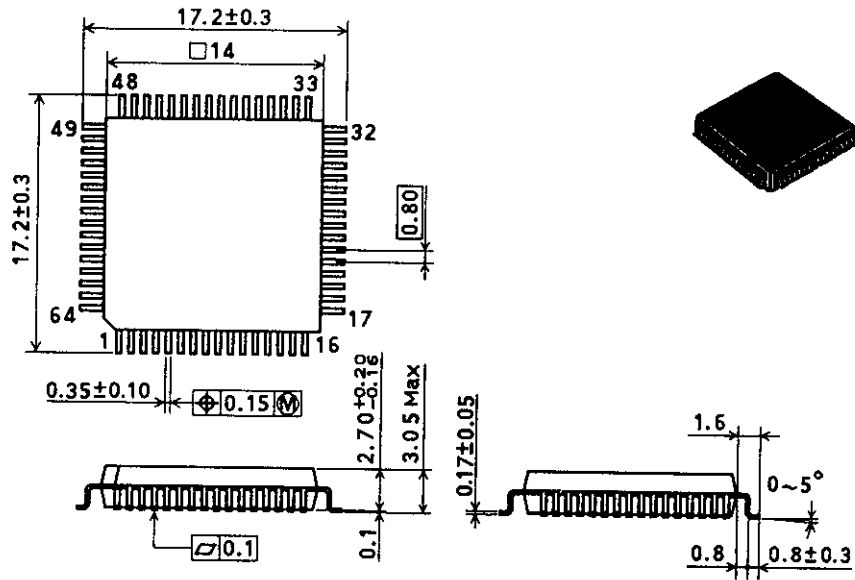
プルダウンMOSは、抵抗値が45k~300kΩです。タイミング設計には、充分注意が必要です。



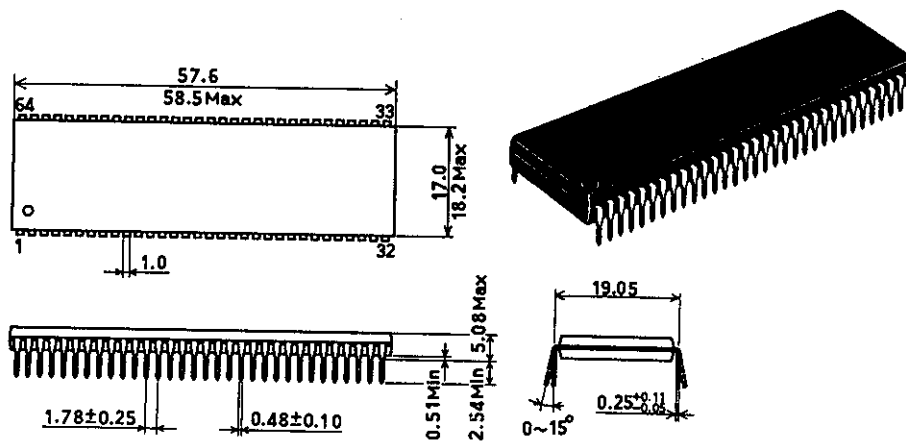
【注】 立下がり時間を速くするためにプルダウン抵抗を小さくしすぎると $-I_{OH}$ が増加し、出力“High”レベル( $V_{OH}$ )が制限されます。プルダウン抵抗は動作スピードと出力“High”レベルを考慮し適切な値としてください。

## G. 外形寸法図

H8/3712、H8/3713、H8/3714の外形寸法図FP-64Aを図G. 1、DP-64Sを図G. 2に示します。



図G. 1 外形寸法図〔FP-64A〕単位：mm



図G. 2 外形寸法図〔DP-64S〕単位：mm



H8/3714シリーズ ハードウェアマニュアル

発行年月 平成4年11月 第1版

平成5年8月 第2版

発 行 株式会社 日立製作所

半導体事業部

編 集 株式会社 日立マイコンシステム

技術ドキュメントセンタ

©株式会社 日立製作所 1992

# H8/3714 シリーズ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-070A