

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

H8/3318

ハードウェアマニュアル

ルネサスシングルチップマイクロコンピュータ

H8/3318

HD6473318

HD6433318

はじめに

H8/3318 は、高速 H8/300CPU を核に機器組込み制御用に最適な周辺機能を内蔵した高性能シングルチップマイクロコンピュータです。

H8/3318 は、周辺機能として ROM、RAM、3 種類のタイマ、シリアルコミュニケーションインタフェース、256 バイトの DPRAM 機能を実現可能なデータトランスファユニット、A/D 変換器、I/O ポードなど、制御システムの構成に必要な機能を内蔵し、高性能かつ小形のシステムを容易に実現できます。H8/3318 には、60k バイトの ROM、4k バイトの RAM を内蔵しており、マスク ROM 版と ZTAT^{®*} (Zero Turn Around Time) 版があります。仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。

本マニュアルでは、H8/3318 のハードウェアについて説明しています。命令の詳細については、「H8/300 シリーズ プログラミングマニュアル」を併せてご覧ください。

【注】* ZTAT は (株) 日立製作所の登録商標です。

本版で改訂または追加された主な箇所

ページ	項目	内容
全般	H8/3315 の削除	
7~9	表 1.2 モード別ピン配置一覧	修正
11	表 1.3 端子機能	動作モードコントロール 修正
42	図 2.12 状態遷移図	修正
49	3.1.1 動作モードの選択	説明追加
59	表 4.2 割込み要因一覧表	修正
71~120	5. データトランスファユニット	全面修正
131	表 7.3 クロックタイミング	測定条件 修正
132	表 7.4 外部クロック出力安定遅延時間	備考 修正
132	図 7.7 外部クロック出力安定遅延時間タイミング	修正
181	8.11 使用上の注意	追加
220	10.4.1 FRC のカウントタイミング	修正
240	11.3.1 TCNT のカウントタイミング	修正
263	図 12.4 TPC 出力通常動作の設定手順例	修正
265	図 12.6 TPC 出力ノンオーバーラップ動作の設定手順例	修正
278	図 14.1 SCI のブロック図	修正
285	14.2.7 シリアルステータスレジスタ (SSR) ビット 7	説明追加
286	14.2.7 シリアルステータスレジスタ (SSR) ビット 6	説明追加
288~295	表 14.3 ビットレートに対する BRR 設定値例 ($\rho =$ の場合) 〔調歩同期式モード〕 表 14.6 ビットレートに対する BRR 設定値例 ($\rho = /2$ の場合) 〔クロック同期式モード〕	全面修正
304	図 14.5 シリアルデータ送信のフローチャートの例	説明追加
308	図 14.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)	修正
311	図 14.11 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)	修正
316	図 14.16 SCI の受信時の動作例	修正
317	図 14.17 シリアル送受信同時動作のフローチャートの例	注記 追加
335~339	15.6 使用上の注意	全面修正
342	16.3 使用上の注意	追加
347	表 17.4 PROM モード時のモード選択	修正
351	図 17.6 推奨スクリーニングフロー	修正 注記追加
353	表 18.1 低消費電力状態	修正
356	18.3.2 ソフトウェアスタンバイモードの解除	修正

ページ	項目	内容
361	19.2.1 DC 特性	修正
362	表 19.2 DC 特性 (5V 版)	条件 修正
363	表 19.3 DC 特性 (4V 版)	条件 修正
369	表 19.9 内蔵周辺モジュールタイミング	修正
372	図 19.5 拡張モード (モード 1、2) 時基本バスサイクル (1 ウェイトステート)	修正
372	図 19.6 リセット入力タイミング	修正
375	図 19.9 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)	修正
375	図 19.10 フリーランニングタイマ入出力タイミング	修正
380	図 19.23 ハンドシェイク受信タイミング	修正
401	B.1 I/O レジスタ一覧 (1)	H/F1 修正
406	B.1 I/O レジスタ一覧 (2) SSR シリアルステータスレジスタ	説明追加
417	B.1 I/O レジスタ一覧 (2) TCSR タイマコントロール/ステータスレジスタ	修正
417	B.1 I/O レジスタ一覧 (2) TCNT タイマカウンタ	修正
476	図 C.9 (g) ポート 9 ブロック図 (P9, 端子)	修正
478	表 D.1 各ポートの状態一覧	記号説明 修正
482	G. 型名一覧	追加
483 ~ 486	H. 外形寸法図	修正

目次

第1章 概要

1.1	概要	1
1.2	内部ブロック図	4
1.3	端子説明	5
1.3.1	ピン配置	5
1.3.2	動作モード別端子機能一覧	7
1.3.3	端子機能	10

第2章 CPU

2.1	概要	15
2.1.1	特長	15
2.1.2	アドレス空間	15
2.1.3	レジスタ構成	16
2.2	各レジスタの説明	17
2.2.1	汎用レジスタ	17
2.2.2	コントロールレジスタ	17
2.2.3	CPU 内部レジスタの初期値	18
2.3	データ構成	19
2.3.1	汎用レジスタのデータ構成	19
2.3.2	メモリ上でのデータ構成	20
2.4	アドレッシングモード	21
2.4.1	アドレッシングモード	21
2.4.2	実効アドレスの計算方法	23
2.5	命令セット	27
2.5.1	データ転送命令	29
2.5.2	算術演算命令	31
2.5.3	論理演算命令	32
2.5.4	シスト命令	32
2.5.5	ビット操作命令	34
2.5.6	分岐命令	38
2.5.7	システム制御命令	40
2.5.8	ブロック転送命令	41
2.6	処理状態	42
2.6.1	概要	42
2.6.2	プログラム実行状態	43
2.6.3	例外処理状態	43
2.6.4	低消費電力状態	43

2.7	基本動作タイミング	44
2.7.1	内蔵メモリ (RAM、ROM)	44
2.7.2	内蔵周辺モジュール/外部デバイス	45
第3章 MCU 動作モード		
3.1	概要	49
3.1.1	動作モードの選択	49
3.1.2	レジスタ構成	49
3.2	システムコントロールレジスタ (SYSCR)	50
3.3	モードコントロールレジスタ (MDCR)	52
3.4	各動作モードのメモリマップ	53
第4章 例外処理		
4.1	概要	55
4.2	リセット	55
4.2.1	概要	55
4.2.2	リセットシーケンス	55
4.2.3	リセット直後の割込み	58
4.3	割込み	58
4.3.1	概要	58
4.3.2	各レジスタの説明	60
4.3.3	外部割込み	62
4.3.4	内部割込み	62
4.3.5	割込み動作	62
4.3.6	割込み応答時間	67
4.3.7	使用上の注意	68
4.4	スタック領域に関する使用上の注意	69
第5章 データトランスファユニット		
5.1	概要	71
5.1.1	特長	71
5.1.2	ブロック図	74
5.1.3	端子構成	75
5.1.4	レジスタ構成	76
5.2	各レジスタの説明	78
5.2.1	I/O コントロールレジスタ (IOCR)	78
5.2.2	データトランスファコントロールレジスタ A~C (DTCRA~DTCRC)	81
5.2.3	データトランスファアドレスレジスタ H (DTARH)	83
5.2.4	データトランスファアドレスレジスタ A~C (DTARA~DTARC)	84
5.2.5	リロードアドレスレジスタ A~C (RLARA~RLARC)	84
5.2.6	コンペアアドレスレジスタ B (CPARB)	85
5.2.7	シリアルタイムコントロールレジスタ (STCR)	85
5.2.8	DPRAM データレジスタ (DPDRWH、DPDRWL、DPDRRH、DPDRRL)	87

5.2.9	DPRAM データレジスタリード Q (DPDRRQ)	89
5.2.10	パラレルコミュニケーションコントロールステータスレジスタ (PCCSR)	89
5.2.11	システムコントロールレジスタ (SYSCR)	93
5.3	動作説明	94
5.3.1	DTU の動作	94
5.3.2	DTU/PBI の初期化	100
5.3.3	I/O 転送の動作	102
5.3.4	DPRAM モードキュアリバッファ動作	105
5.3.5	DPRAM バウンドバッファモードの動作	106
5.3.6	DPRAM ダイレクトワードモードの動作	111
5.3.7	ハンドシェイクモードの動作	114
5.4	使用上の注意事項	119
5.4.1	DTU/PBI の処理時間	119

第 6 章 ウェイト制御

6.1	概要	121
6.1.1	特長	121
6.1.2	ブロック図	121
6.1.3	端子構成	122
6.1.4	レジスタ構成	122
6.2	各レジスタの説明	123
6.2.1	ウェイトステートコントロールレジスタ (WSCR)	123
6.3	ウェイトモード	124

第 7 章 クロック発振器

7.1	概要	127
7.1.1	ブロック図	127
7.1.2	ウェイトステートコントロールレジスタ (WSCR)	128
7.2	発振器	129
7.3	デューティ補正回路	133
7.4	プリスケアラ	133

第 8 章 I/O ポート

8.1	概要	135
8.2	ポート 1	138
8.2.1	概要	138
8.2.2	レジスタの構成と説明	139
8.2.3	モード別端子機能	141
8.2.4	入力プルアップ MOS	142
8.3	ポート 2	143
8.3.1	概要	143
8.3.2	レジスタの構成と説明	144
8.3.3	モード別端子機能	146

8.3.4	入力プルアップ MOS	147
8.4	ポート 3	148
8.4.1	概要	148
8.4.2	レジスタの構成と説明	149
8.4.3	モード別端子機能	151
8.4.4	入力プルアップ MOS	152
8.5	ポート 4	153
8.5.1	概要	153
8.5.2	レジスタの構成と説明	154
8.5.3	モード別端子機能	155
8.6	ポート 5	159
8.6.1	概要	159
8.6.2	レジスタの構成と説明	159
8.6.3	端子状態	160
8.7	ポート 6	161
8.7.1	概要	161
8.7.2	レジスタの構成と説明	162
8.7.3	モード別端子機能	163
8.8	ポート 7	169
8.8.1	概要	169
8.8.2	レジスタの構成と説明	169
8.9	ポート 8	170
8.9.1	概要	170
8.9.2	レジスタの構成と説明	171
8.9.3	モード別端子機能	172
8.10	ポート 9	177
8.10.1	概要	177
8.10.2	レジスタの構成と説明	178
8.10.3	端子機能	179
8.11	使用上の注意	181
8.11.1	未使用端子の処理	181

第 9 章 16 ビットフリーランニングタイマ 0

9.1	概要	183
9.1.1	特長	183
9.1.2	ブロック図	184
9.1.3	端子構成	185
9.1.4	レジスタ構成	185
9.2	各レジスタの説明	186
9.2.1	フリーランニングカウンタ (FRC)	186
9.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	186
9.2.3	インプットキャプチャレジスタ A~D (ICRA~ICRD)	187
9.2.4	タイマインタラプトイネーブルレジスタ (TIER)	188
9.2.5	タイマコントロール/ステータスレジスタ (TCSR)	189

9.2.6	タイマコントロールレジスタ (TCR)	192
9.2.7	タイマアウトプットコンペアコントロールレジスタ (TOCR)	194
9.3	CPU とのインタフェース	195
9.4	動作説明	198
9.4.1	FRC のカウントタイミング	198
9.4.2	アウトプットコンペア出力タイミング	199
9.4.3	FRC のクリアタイミング	199
9.4.4	インプットキャプチャ入力タイミング	200
9.4.5	インプットキャプチャフラグ (ICFA ~ ICFD) のセットタイミング	202
9.4.6	アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング	202
9.4.7	タイマオーバフローフラグ (OVF) のセットタイミング	203
9.5	割込み要因	204
9.6	FRT0 の使用例	204
9.7	使用上の注意	205

第 10 章 16 ビットフリーランニングタイマ 1

10.1	概要	209
10.1.1	特長	209
10.1.2	ブロック図	210
10.1.3	端子構成	211
10.1.4	レジスタ構成	211
10.2	各レジスタの説明	212
10.2.1	フリーランニングカウンタ (FRC)	212
10.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	212
10.2.3	インプットキャプチャレジスタ (ICR)	212
10.2.4	タイマコントロールレジスタ (TCR)	213
10.2.5	タイマコントロール/ステータスレジスタ (TCSR)	215
10.3	CPU とのインタフェース	217
10.4	動作説明	220
10.4.1	FRC のカウントタイミング	220
10.4.2	アウトプットコンペア出力タイミング	221
10.4.3	FRC のクリアタイミング	221
10.4.4	インプットキャプチャ入力タイミング	222
10.4.5	インプットキャプチャフラグ (ICF) のセットタイミング	223
10.4.6	タイマオーバフローフラグ	223
10.5	割込み要因	224
10.6	FRT1 の使用例	224
10.7	使用上の注意	225

第 11 章 8 ビットタイマ

11.1	概要	231
11.1.1	特長	231
11.1.2	ブロック図	232

11.1.3	端子構成	233
11.1.4	レジスタ構成	233
11.2	各レジスタの説明	234
11.2.1	タイマカウンタ (TCNT)	234
11.2.2	タイムコンスタントレジスタ A、B (TCORA、TCORB)	234
11.2.3	タイマコントロールレジスタ (TCR)	234
11.2.4	タイマコントロール/ステータスレジスタ (TCSR)	237
11.2.5	シリアルタイマコントロールレジスタ (STCR)	239
11.3	動作説明	240
11.3.1	TCNT のカウントタイミング	240
11.3.2	コンペアマッチタイミング	241
11.3.3	TCNT の外部リセットタイミング	242
11.3.4	オーバフローフラグ (OVF) のセットタイミング	243
11.4	割込み要因	244
11.5	8 ビットタイマの使用例	244
11.6	使用上の注意	245
11.6.1	TCNT のライトとカウンタクリア競合	245
11.6.2	TCNT のライトとカウントアップの競合	245
11.6.3	TCOR のライトとコンペアマッチの競合	246
11.6.4	コンペアマッチ A、B の競合	246
11.6.5	内部クロックの切換えと TCNT の動作	247

第 12 章 プログラマブルタイミングパターンコントローラ (TPC)

12.1	概要	249
12.1.1	特長	249
12.1.2	ブロック図	250
12.1.3	端子構成	251
12.1.4	レジスタ構成	251
12.2	各レジスタの説明	252
12.2.1	ポート 1 データディレクションレジスタ (P1DDR)	252
12.2.2	ポート 1 データレジスタ (P1DR)	252
12.2.3	ポート 2 データディレクションレジスタ (P2DDR)	252
12.2.4	ポート 2 データレジスタ (P2DR)	253
12.2.5	ネクストデータレジスタ A (NDRA)	253
12.2.6	ネクストデータレジスタ B (NDRB)	255
12.2.7	ネクストデータイネーブルレジスタ 1 (NDER1)	256
12.2.8	ネクストデータイネーブルレジスタ 2 (NDER2)	257
12.2.9	TPC 出力コントロールレジスタ (TPCR)	257
12.2.10	TPC 出力モードレジスタ (TPMR)	259
12.3	動作説明	261
12.3.1	概要	261
12.3.2	出力タイミング	262
12.3.3	TPC 出力通常動作	263
12.3.4	TPC 出力ノンオーバーラップ動作	265

12.4	使用上の注意	267
12.4.1	TPC 出力端子の動作	267
12.4.2	ノンオーバーラップ動作時の注意	267

第 13 章 ウォッチドッグタイマ

13.1	概要	269
13.1.1	特長	269
13.1.2	ブロック図	270
13.1.3	レジスタ構成	270
13.2	各レジスタの説明	271
13.2.1	タイマカウンタ (TCNT)	271
13.2.2	タイマコントロール/ステータスレジスタ (TCSR)	271
13.2.3	レジスタ書換え時の注意	273
13.3	動作説明	274
13.3.1	ウォッチドッグタイマモード時の動作	274
13.3.2	インターバルタイマモード時の動作	275
13.3.3	オーバフローフラグ (OVF) セットタイミング	275
13.4	使用上の注意	276

第 14 章 シリアルコミュニケーションインタフェース

14.1	概要	277
14.1.1	特長	277
14.1.2	ブロック図	278
14.1.3	端子構成	279
14.1.4	レジスタ構成	279
14.2	各レジスタの説明	280
14.2.1	レシーブシフトレジスタ (RSR)	280
14.2.2	レシーブデータレジスタ (RDR)	280
14.2.3	トランスミットシフトレジスタ (TSR)	280
14.2.4	トランスミットデータレジスタ (TDR)	280
14.2.5	シリアルモードレジスタ (SMR)	281
14.2.6	シリアルコントロールレジスタ (SCR)	283
14.2.7	シリアルステータスレジスタ (SSR)	285
14.2.8	ビットレートレジスタ (BRR)	288
14.2.9	シリアルタイマコントロール (STCR)	296
14.2.10	シリアルコミュニケーションモードレジスタ (SCMR)	297
14.3	動作説明	298
14.3.1	概要	298
14.3.2	調歩同期式モード時の動作	300
14.3.3	クロック同期式モード時の動作	312
14.4	SCI 割込み	318
14.5	使用上の注意	319

第 15 章 A/D 変換器

15.1	概要	321
15.1.1	特長	321
15.1.2	ブロック図	322
15.1.3	端子構成	323
15.1.4	レジスタ構成	323
15.2	各レジスタの説明	324
15.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	324
15.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	324
15.2.3	A/D コントロールレジスタ (ADCR)	327
15.3	CPU とのインタフェース	328
15.4	動作説明	329
15.4.1	単一モード (SCAN = 0)	329
15.4.2	スキャンモード (SCAN = 1)	331
15.4.3	入力サンプリングと A/D 変換時間	333
15.4.4	外部トリガ入力タイミング	334
15.5	割り込み	335
15.6	使用上の注意	335

第 16 章 RAM

16.1	概要	341
16.1.1	ブロック図	341
16.1.2	システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME)	342
16.2	動作説明	342
16.2.1	拡張モード (モード 1、2)	342
16.2.2	シングルチップモード (モード 3)	342
16.3	使用上の注意	342
16.3.1	初期値について	342

第 17 章 ROM

17.1	概要	343
17.1.1	ブロック図	343
17.2	PROM モード	344
17.2.1	PROM モードの設定	344
17.2.2	ソケットアダプタの端子対応とメモリアップ	344
17.3	プログラミング	347
17.3.1	書込み / ベリファイ	348
17.3.2	書込み時の注意	350
17.3.3	書込み後の信頼性	351
17.3.4	データの消去	351
17.4	窓付パッケージ品の取扱い	352

第 18 章 低消費電力状態

18.1	概要	353
18.1.1	システムコントロールレジスタ (SYSCR)	354
18.2	スリープモード	355
18.2.1	スリープモードへの遷移	355
18.2.2	スリープモードの解除	355
18.3	ソフトウェアスタンバイモード	356
18.3.1	ソフトウェアスタンバイモードへの遷移	356
18.3.2	ソフトウェアスタンバイモードの解除	356
18.3.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	357
18.3.4	ソフトウェアスタンバイモードの応用例	358
18.3.5	使用上の注意	358
18.4	ハードウェアスタンバイモード	359
18.4.1	ハードウェアスタンバイモードへの遷移	359
18.4.2	ハードウェアスタンバイモードの解除	359
18.4.3	ハードウェアスタンバイモードのタイミング	359

第 19 章 電気的特性

19.1	絶対最大定格	361
19.2	電気的特性	361
19.2.1	DC 特性	361
19.2.2	AC 特性	367
19.2.3	A/D 変換器特性	370
19.3	MCU 動作タイミング	371
19.3.1	バスタイミング	371
19.3.2	制御記号タイミング	372
19.3.3	16 ビットフリーランニングタイマタイミング	375
19.3.4	8 ビットタイマタイミング	376
19.3.5	SCI タイミング	377
19.3.6	I/O ポートタイミング	377
19.3.7	TPC タイミング	378
19.3.8	DPRAM タイミング	378
19.3.9	外部クロック出力タイミング	380

付録

A.	命令	381
A.1	命令一覧	381
A.2	オペレーションコードマップ	391
A.3	命令実行ステート数	392
B.	I/O レジスタ一覧	398
B.1	I/O レジスタ一覧(1)	398
B.2	I/O レジスタ一覧(2)	402

C.	I/Oポートブロック図	451
C.1	ポート1ブロック図	451
C.2	ポート2ブロック図	452
C.3	ポート3ブロック図	453
C.4	ポート4ブロック図	454
C.5	ポート5ブロック図	456
C.6	ポート6ブロック図	459
C.7	ポート7ブロック図	464
C.8	ポート8ブロック図	465
C.9	ポート9ブロック図	470
D.	各処理状態におけるポートの状態	477
E.	ハードウェアスタンバイモード遷移/復帰時のタイミングについて	479
F.	ROM発注手順	480
F.1	ROM書き換え品開発の流れ(発注手順)	480
F.2	ROM発注時の提出物と注意事項	481
G.	型名一覧	482
H.	外形寸法図	483

1. 概要

1.1 概要

H8/3318 は、H8/300CPU を核にしてシステム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU:Microcomputer Unit) です。

CPU は命令実行速度が高く、強力なビット操作命令を有しており、リアルタイム制御などへの応用に最適です。また、システム構成に必要な周辺機能としては、ROM、RAM、3 種類のタイマ (16 ビットフリーランニングタイマ、8 ビットタイマ、ウォッチドッグタイマ)、シリアルコミュニケーションインタフェース (SCI)、256 バイトの DPRAM 機能を実現可能なデータトランスファユニット (DTU、PBI)、A/D 変換器、I/O ポートなどを内蔵しています。

動作モードは、シングルチップモードと 2 種類の拡張モードがあり、使用するシステムに応じて使い分けることができます。

なお、H8/3318 はユーザサイトで自由にプログラムの書込みができる PROM を内蔵した ZTAT^{®*}版とマスク ROM 版があります。

【注】* ZTAT は (株) 日立製作所の登録商標です。

H8/3318 シリーズの特長を表 1.1 に示します。

表 1.1 特長 (1)

項目	仕様
CPU	汎用レジスタマシン • 汎用レジスタ: 8 ビット × 16 本 (16 ビット × 8 本としても使用可能) 高速動作 • 最高動作周波数: 16MHz/5V、12MHz/4V、10MHz/3V (クロック) • 加減算: 125ns (16MHz 動作時)、167ns (12MHz 動作時)、200ns (10MHz 動作時) • 乗除算: 875ns (16MHz 動作時)、1167ns (12MHz 動作時)、1400ns (10MHz 動作時) 高速動作に適した簡潔な命令セット • 2 バイトまたは 4 バイト長の命令 • レジスタ - レジスタ間の基本演算 • MOV 命令によるメモリーレジスタ間データ転送 特長ある命令 • 乗算命令 (8 ビット × 8 ビット) • 除算命令 (16 ビット ÷ 8 ビット) • ビットアキュムレータ命令 • レジスタ間接指定によりビット位置の指定が可能
メモリ	• ROM: 60k バイト、RAM: 4k バイト
データトランスファユニット (DTU) × 4 チャンネル	• PBI 転送 (シングルアドレス) 専用 × 1 チャンネル • I/O 転送 (デュアルアドレス) 専用 × 1 チャンネル • PBI 転送と I/O 転送兼用 (切り換え可) × 2 チャンネル

1. 概要

表 1.1 特長 (2)

項目	仕様
16 ビットフリーランニング タイマ (FRT) ×2 チャンネル	<ul style="list-style-type: none"> 1 チャンネル当たり 16 ビットフリーランニングカウンタ ×1 (外部イベントカウント可能) 1 チャンネル当たりアウトプットコンペア出力 ×2 チャンネル 0: インプットキャプチャ入力 ×4 (パッファ動作可能) チャンネル 1: インプットキャプチャ入力 ×1
8 ビットタイマ ×2 チャンネル	1 チャンネル当たり <ul style="list-style-type: none"> 8 ビットアップカウンタ ×1 (外部イベントカウント可能) タイムコンスタントレジスタ ×2
プログラマブルタイミング パターンコントローラ (TPC)	<ul style="list-style-type: none"> FRT をタイムベースにした最大 16 ビットのパルス出力が可能 最大 4 ビット ×4 系統のパルス出力が可能 (16 ビット ×1 系統、8 ビット ×2 系統などの設定も可能) ノンオーバーラップモード設定可能 DTU による出力データの転送可能
ウォッチドッグタイマ (WDT) ×1 チャンネル	<ul style="list-style-type: none"> オーバフローによりリセットまたは NMI 割込みを発生 インターバルタイマモードに切り換え可能
シリアルコミュニケーション インタフェース (SCI) ×2 チャンネル	<ul style="list-style-type: none"> 調歩同期式/クロック同期式モードの選択可能 送受信同時動作 (全二重動作) 可能 専用のボーレートジェネレータ内蔵
A/D 変換器	<ul style="list-style-type: none"> 分解能: 10 ビット 8 チャンネル: 単一モード/スキャンモード選択可能 外部トリガによる A/D 変換開始可能 サンプル&ホールド機能付
I/O ポート	<ul style="list-style-type: none"> 入出力端子 58 本 (内 16 本は、LED 駆動可能) 入力専用端子 8 本
割込み	<ul style="list-style-type: none"> 外部割込み端子 9 本: NMI、$IRQ_0 \sim IRQ_7$ 内部割込み要因 33 要因
動作モード	<ul style="list-style-type: none"> 内蔵 ROM 無効拡張モード (モード 1) 内蔵 ROM 有効拡張モード (モード 2) シングルチップモード (モード 3)
低消費電力状態	<ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード ハードウェアスタンバイモード
その他	<ul style="list-style-type: none"> クロック発振器内蔵

表 1.1 特長 (3)

項目	仕様				
製品ラインアップ	製品型名	製品型名		パッケージ	ROM
		5V 版 (16MHz) 4V 版 (12MHz)	3V 版 (10MHz)		
	H8/3318 ZTAT	HD6473318CG16		84 ピン窓付 LCC (CG-84)	PROM
		HD6473318CP16		84 ピン PLCC (CP-84)	
		HD6473318F16		80 ピン QFP (FP-80A)	
		HD6473318TF16		80 ピン TQFP (TFP-80C)	
	H8/3318	HD6433318CP16 HD6433318CP12	HD6433318VCP10	84 ピン PLCC (CP-84)	マスク ROM
		HD6433318F16 HD6433318F12	HD6433318VF10	80 ピン QFP (FP-80A)	
		HD6433318TF16 HD6433318TF12	HD6433318VTF10	80 ピン TQFP (TFP-80C)	

1. 概要

1.2 内部ブロック図

H8/3318の内部ブロック図を図 1.1 に示します。

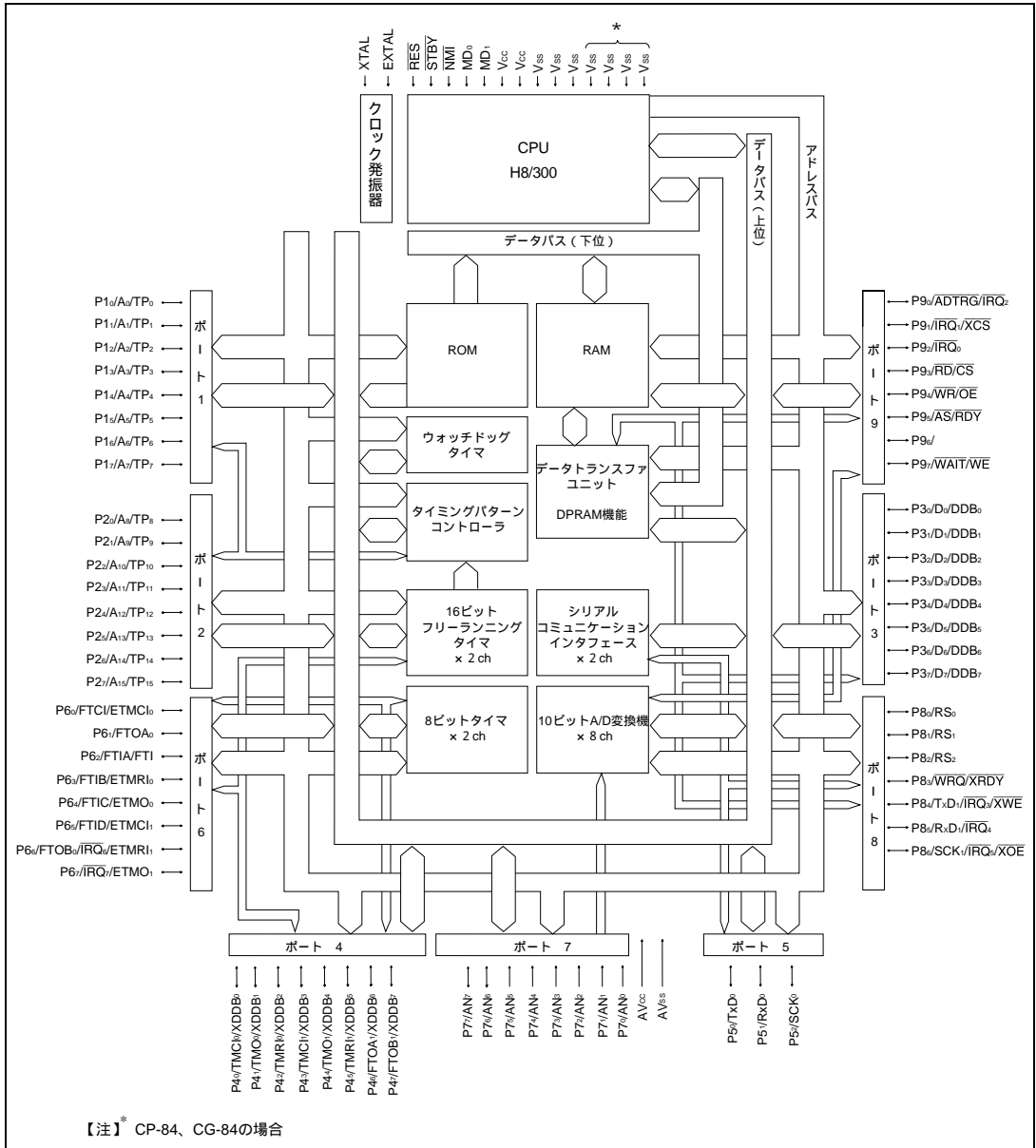


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H8/3318 のピン配置図 CP-84、CG-84 を図 1.2、FP-80A、TFP-80C を図 1.3 に示します。

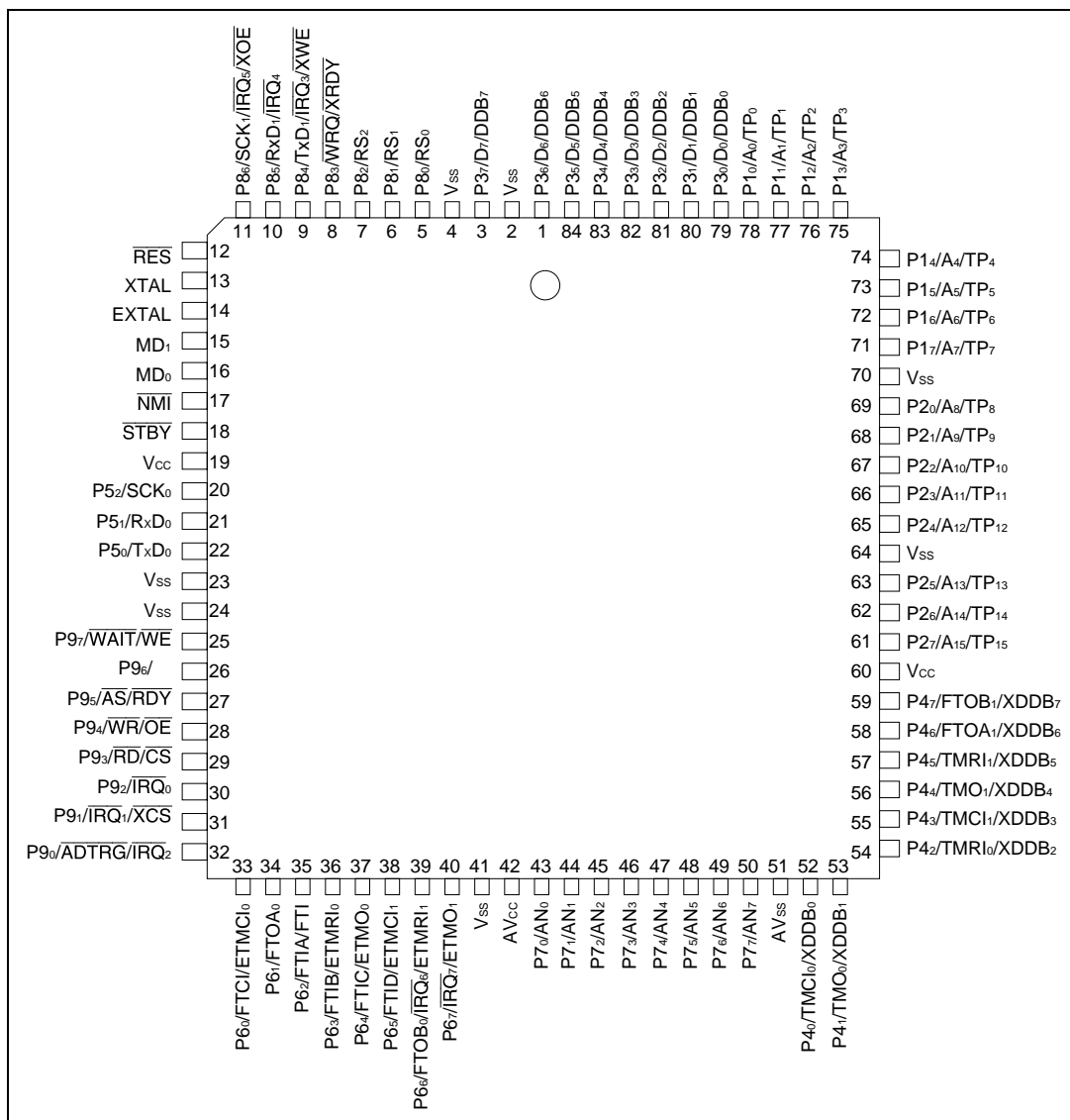


図 1.2 ピン配置 (CP-84、CG-84 : 上面図)

1. 概要

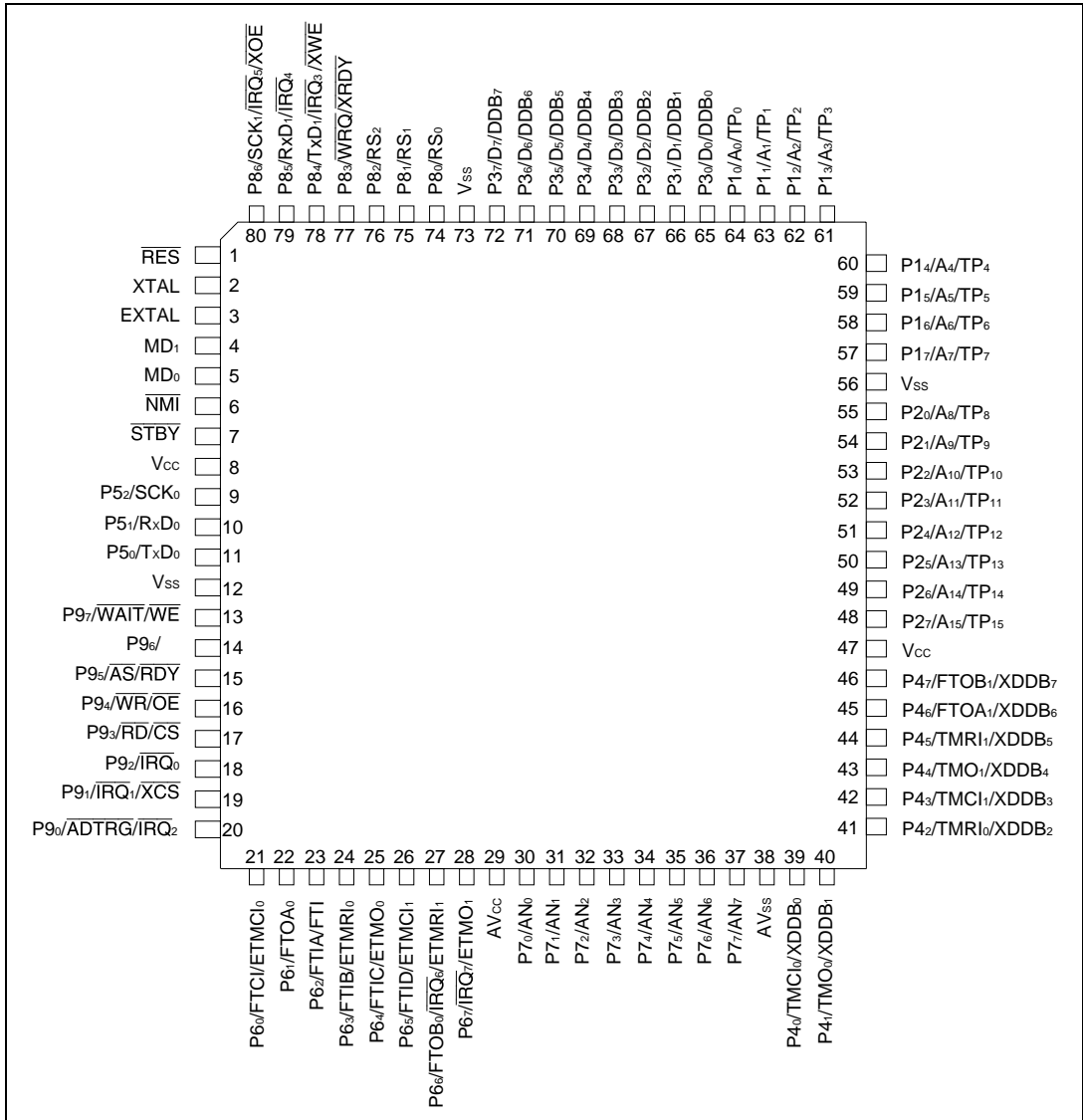


図 1.3 ピン配置 (FP-80A、TFP-80C : 上面図)

1.3.2 動作モード別端子機能一覧

CP-84、CG-84、FP-80A、TFP-80C の動作モード別ピン配置一覧を表 1.2 に示します。

表 1.2 モード別ピン配置一覧 (1)

ピン番号		端子名				PROM モード	
CP - 84 CG - 84	FP-80A TFP - 80C	拡張モード		シングルチップモード			
		PBI 有効 (DPME = 1)	PBI 無効 (DPME = 0)		モード 3		
			モード 1	モード 2	PBI 無効 (DPME = 0)		PBI 有効 (DPME = 1)
1	71	D ₆		P3 ₆	DDB ₆	EO ₆	
2	-	V _{SS}				V _{SS}	
3	72	D ₇		P3 ₇	DDB ₇	EO ₇	
4	73	V _{SS}				V _{SS}	
5	74	RS ₀	P8 ₀		P8 ₀	RS ₀	NC
6	75	RS ₁	P8 ₁		P8 ₁	RS ₁	NC
7	76	RS ₂	P8 ₂		P8 ₂	RS ₂	NC
8	77	WRQ/XRDY	P8 ₃		P8 ₃	WRQ	NC
9	78	XWE	P8 ₄ /TxD ₁ /IRQ ₃			NC	
10	79	P8 ₅ /RxD ₁ /IRQ ₄				NC	
11	80	XOE	P8 ₆ /SCK ₁ /IRQ ₅			NC	
12	1	RES				V _{PP}	
13	2	XTAL				NC	
14	3	EXTAL				NC	
15	4	MD ₁				V _{SS}	
16	5	MD ₀				V _{SS}	
17	6	NMI				EA ₉	
18	7	STBY				V _{SS}	
19	8	V _{CC}				V _{CC}	
20	9	P5 ₂ /SCK ₀				NC	
21	10	P5 ₁ /RxD ₀				NC	
22	11	P5 ₀ /TxD ₀				NC	
23	12	V _{SS}				V _{SS}	
24	-	V _{SS}				V _{SS}	
25	13	WAIT		P9 ₇	WE	NC	
26	14	P9 ₆ /				NC	
27	15	AS		P9 ₅	RDY	NC	
28	16	WR		P9 ₄	OE	NC	
29	17	RD		P9 ₃	CS	NC	
30	18	P9 ₂ /IRQ ₀				PGM	
31	19	XCS	P9 ₁ /IRQ ₁			EA ₁₅	
32	20	P9 ₀ /IRQ ₂ /ADTRG				EA ₁₆	
33	21	P6 ₀ /ETMCI/ FTCI	P6 ₀ /FTCI			NC	
34	22	P6 ₁ /FTOA ₀				NC	

1. 概要

表 1.2 モード別ピン配置一覧(2)

ピン番号		端子名				PROM モード	
CP-84 CG-84	FP-80A TFP-80C	拡張モード		シングルチップモード			
		PBI 有効 (DPME = 1)	PBI 無効 (DPME = 0)		モード 3		
			モード 1	モード 2	PBI 無効 (DPME = 0)		PBI 有効 (DPME = 1)
35	23	P6 ₂ /FRIA/FTI				NC	
36	24	P6 ₃ /ETMRI ₀ / FTIB	P6 ₃ /FTIB			V _{CC}	
37	25	P6 ₄ /ETMO ₀ / FTIC	P6 ₄ /FTIC			V _{CC}	
38	26	P6 ₅ /ETMCI ₀ / FTID	P6 ₅ /FTID			NC	
39	27	P6 ₆ /ETMRI ₀ / FTOB ₀ /IRQ ₆	P6 ₆ /FTOB ₀ /IRQ ₆			NC	
40	28	P6 ₇ /ETMO ₀ / IRQ ₇	P6 ₇ /IRQ ₇			NC	
41	-	V _{SS}				V _{SS}	
42	29	AV _{CC}				V _{CC}	
43	30	P7 ₀ /AN ₀				NC	
44	31	P7 ₁ /AN ₁				NC	
45	32	P7 ₂ /AN ₂				NC	
46	33	P7 ₃ /AN ₃				NC	
47	34	P7 ₄ /AN ₄				NC	
48	35	P7 ₅ /AN ₅				NC	
49	36	P7 ₆ /AN ₆				NC	
50	37	P7 ₇ /AN ₇				NC	
51	38	AV _{SS}				V _{SS}	
52	39	XDDB ₀	P4 ₀ /TMCI ₀			NC	
53	40	XDDB ₁	P4 ₁ /TMO ₀			NC	
54	41	XDDB ₂	P4 ₂ /TMRI ₀			NC	
55	42	XDDB ₃	P4 ₃ /TMCI ₁			NC	
56	43	XDDB ₄	P4 ₄ /TMO ₁			NC	
57	44	XDDB ₅	P4 ₅ /TMRI ₁			NC	
58	45	XDDB ₆	P4 ₆ /FTOA ₁			NC	
59	46	XDDB ₇	P4 ₇ /FTOB ₁			NC	
60	47	V _{CC}				V _{CC}	
61	48	A ₁₅	P2 ₈ /A ₁₅ /TP ₁₅	P2 ₈ /TP ₁₅		CE	
62	49	A ₁₄	P2 ₉ /A ₁₄ /TP ₁₄	P2 ₉ /TP ₁₄		EA ₁₄	
63	50	A ₁₃	P2 ₁₀ /A ₁₃ /TP ₁₃	P2 ₁₀ /TP ₁₃		EA ₁₃	
64	-	V _{SS}				V _{SS}	
65	51	A ₁₂	P2 ₁₁ /A ₁₂ /TP ₁₂	P2 ₁₁ /TP ₁₂		EA ₁₂	
66	52	A ₁₁	P2 ₁₂ /A ₁₁ /TP ₁₁	P2 ₁₂ /TP ₁₁		EA ₁₁	
67	53	A ₁₀	P2 ₁₃ /A ₁₀ /TP ₁₀	P2 ₁₃ /TP ₁₀		EA ₁₀	
68	54	A ₉	P2 ₁₄ /A ₉ /TP ₉	P2 ₁₄ /TP ₉		OE	

表 1.2 モード別ピン配置一覧(3)

ピン番号		端子名				PROM モード	
CP-84 CG-84	FP-80A TFP-80C	拡張モード		シングルチップモード			
		PBI 有効 (DPME = 1)	PBI 無効 (DPME = 0)		モード 3		
			モード 1	モード 2	PBI 無効 (DPME = 0)		PBI 有効 (DPME = 1)
69	55	A ₈		P2 ₀ /A ₈ /TP ₈		P2 ₀ /TP ₈	EA ₈
70	56	V _{SS}				V _{SS}	
71	57	A ₇		P1 ₇ /A ₇ /TP ₇		P1 ₇ /TP ₇	EA ₇
72	58	A ₆		P1 ₆ /A ₆ /TP ₆		P1 ₆ /TP ₆	EA ₆
73	59	A ₅		P1 ₅ /A ₅ /TP ₅		P1 ₅ /TP ₅	EA ₅
74	60	A ₄		P1 ₄ /A ₄ /TP ₄		P1 ₄ /TP ₄	EA ₄
75	61	A ₃		P1 ₃ /A ₃ /TP ₃		P1 ₃ /TP ₃	EA ₃
76	62	A ₂		P1 ₂ /A ₂ /TP ₂		P1 ₂ /TP ₂	EA ₂
77	63	A ₁		P1 ₁ /A ₁ /TP ₁		P1 ₁ /TP ₁	EA ₁
78	64	A ₀		P1 ₀ /A ₀ /TP ₀		P1 ₀ /TP ₀	EA ₀
79	65	D ₀		P3 ₀		DDB ₀	EO ₀
80	66	D ₁		P3 ₁		DDB ₁	EO ₁
81	67	D ₂		P3 ₂		DDB ₂	EO ₂
82	68	D ₃		P3 ₃		DDB ₃	EO ₃
83	69	D ₄		P3 ₄		DDB ₄	EO ₄
84	70	D ₅		P3 ₅		DDB ₅	EO ₅

【注】 NC ピンは何も接続しないでください。

PROM モードについての詳細は「17.2 PROM モード」を参照してください。

1. 概要

1.3.3 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能 (1)

分類	記号	ピン番号		入出力	名称および機能
		CP-84 CG-84	FP-80A TFP-80C		
電源	V _{cc}	19、60	8、47	入力	<u>電源</u> 電源に接続します。 V _{cc} 端子は、全端子をシステムの電源に接続してください。
	V _{ss}	2、4、23、24、 41、64、70	12、56、73	入力	<u>グランド</u> 電源 (0V) に接続します。 V _{ss} 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	XTAL	13	2	入力	水晶発振子を接続します。周波数は、システムクロックと同じものを使用してください。 EXTAL 端子から外部クロックを入力するときは、XTAL 端子に逆相クロックを入力してください。
	EXTAL	14	3	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。外部クロック入力の周波数は、システムクロックと同じものを使用してください。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については「第 7 章 クロック発振器」を参照してください。
		26	14	出力	<u>システムクロック</u> 周辺デバイスにシステムクロックを供給します。
システム制御	RES	12	1	入力	<u>リセット</u> この端子を Low レベルにすると、リセット状態になります。
	STBY	18	7	入力	<u>スタンバイ</u> ハードウェアスタンバイモード (低消費電力状態) に遷移するための入力端子です。STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。
アドレスバス	A ₁₅ ~ A ₀	61 ~ 63、65 ~ 69、71 ~ 78	48 ~ 55、 57 ~ 64	出力	<u>アドレスバス</u> アドレスを出力する端子です。
データバス	D ₇ ~ D ₀	3、1、84 ~ 79	72 ~ 65	入出力	<u>データバス</u> 8 ビットの双方向データバスです。
バス制御	WAIT	25	13	入力	<u>ウェイト</u> CPU が外部アドレスをアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
	RD	29	17	出力	<u>リード</u> この端子が Low レベルのとき、CPU は外部アドレスのリード状態であることを示します。

表 1.3 端子機能 (2)

分類	記号	ピン番号		入出力	名称および機能																				
		CP-84 CG-84	FP-80A TFP-80C																						
バス制御	WR	28	16	出力	<u>ライト</u> この端子が Low レベルのとき、CPU は外部アドレスのライト状態であることを示します。																				
	AS	27	15	出力	<u>アドレスストローブ</u> この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。																				
割込み	NMI	17	6	入力	<u>ノンマスクابل割込み</u> マスク不可能な割込みを要求する端子です。システムコントロールレジスタ (SYSCR) によって立上がりエッジ/立下がりエッジのどちらで受け付けられるかを選択します。																				
	$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$	30 ~ 32、9 ~ 11、39、40	18 ~ 20、78 ~ 80、27、28	入力	<u>割込み要求 0~7</u> マスク可能な割込みを要求する端子です。																				
動作モード コントロール	MD ₁	15	4	入力	<u>モード端子</u> 本 LSI の動作モードを設定する端子です。MD ₁ 、MD ₀ 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。																				
	MD ₀	16	5																						
<table border="1"> <thead> <tr> <th>MD₁</th> <th>MD₀</th> <th>動作モード</th> <th>内容</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>モード 0</td> <td>設定しないでください</td> </tr> <tr> <td>0</td> <td>1</td> <td>モード 1</td> <td>内蔵 ROM 無効拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード 2</td> <td>内蔵 ROM 有効拡張モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>モード 3</td> <td>シングルチップモード</td> </tr> </tbody> </table>						MD ₁	MD ₀	動作モード	内容	0	0	モード 0	設定しないでください	0	1	モード 1	内蔵 ROM 無効拡張モード	1	0	モード 2	内蔵 ROM 有効拡張モード	1	1	モード 3	シングルチップモード
MD ₁	MD ₀	動作モード	内容																						
0	0	モード 0	設定しないでください																						
0	1	モード 1	内蔵 ROM 無効拡張モード																						
1	0	モード 2	内蔵 ROM 有効拡張モード																						
1	1	モード 3	シングルチップモード																						
16 ビット フリーランニング タイマ (FRT)	FTCI	33	21	入力	<u>FRT カウンタクロック入力</u> FRT0 と FRT1 のフリーランニングカウンタ (FRC) に入力する外部クロックの入力端子です。																				
	FTOA ₀	34	22	出力	<u>FRT アウトプットコンペア A 出力</u> FRT0 と FRT1 のアウトプットコンペア A の出力端子です。																				
	FTOA ₁	58	45																						
	FTOB ₀	39	27	出力	<u>FRT アウトプットコンペア B 出力</u> FRT0 と FRT1 のアウトプットコンペア B の出力端子です。																				
	FTOB ₁	59	46																						
FTIA FTI	35 35	23 23	入力	<u>FRT インพุットキャプチャ A 入力</u> FRT0 のインพุットキャプチャ A と FRT1 のインพุットキャプチャの入力端子です。																					
FTIB	36	24	入力	<u>FRT インพุットキャプチャ B 入力</u> FRT0 のインพุットキャプチャ B の入力端子です。																					

1. 概要

表 1.3 端子機能 (3)

分類	記号	ピン番号		入出力	名称および機能
		CP-84 CG-84	FP-80A TFP-80C		
16ビット フリーランニ ングタイマ (FRT)	FTIC	37	25	入力	FRT インพุットキャブチャ C 入力 FRT0 のインพุットキャブチャ C の入力端子 です。
	FTID	38	26	入力	FRT インพุットキャブチャ D 入力 FRT0 のインพุットキャブチャ D の入力端子 です。
8ビット タイマ	TMO ₀	53	40	出力	8ビットタイマ出力 (チャンネル 0, 1)
	TMO ₁	56	43		8ビットタイマのコンペアマッチ出力端子で す。
	TMCI ₀ TMCI ₁	52 55	39 42	入力	8ビットタイマクロック入力 (チャンネル 0, 1) 8ビットタイマのカウントに入力する外部ク ロックの入力端子です。
	TMRI ₀ TMRI ₁	54 57	41 44	入力	8ビットタイマカウンタリセット入力 (チャ ネル 0, 1) 8ビットタイマのカウントリセット入力端子 です。
8ビット タイマ (拡張モード で PBI 有効 のときの端子 です)	ETMO ₀	37	25	出力	8ビットタイマ出力 (チャンネル 0, 1)
	ETMO ₁	40	28		8ビットタイマのコンペアマッチ出力端子で す。
	ETMCI ₀ ETMCI ₁	33 38	21 26	入力	8ビットタイマクロック入力 (チャンネル 0, 1) 8ビットタイマのカウントに入力する外部ク ロックの入力端子です。
	ETMRI ₀ ETMRI ₁	36 39	24 27	入力	8ビットタイマカウンタリセット入力 (チャ ネル 0, 1) 8ビットタイマのカウントリセット入力端子 です。
プログラマブ ルタイミング パターンコン トローラ (TPC)	TP ₁₅ ~ TP ₀	61 ~ 63, 65 ~ 69, 71 ~ 78	48 ~ 55, 57 ~ 64	出力	TPC 出力 15 ~ 0 パルス出力端子です。
シリアルコム ニケーション インタフェ ース (SCI)	TxD ₀	22	11	出力	送信データ出力 (チャンネル 0, 1)
	TxD ₁	9	78		SCI のデータ出力端子です。
	RxD ₀	21	10	入力	受信データ入力 (チャンネル 0, 1)
	RxD ₁	10	79		SCI のデータ入力端子です。
	SCK ₀ SCK ₁	20 11	9 80	入出力	シリアルクロック入出力 (チャンネル 0, 1) SCI のクロック入出力端子です。

表 1.3 端子機能 (4)

分類	記号	ピン番号		入出力	名称および機能
		CP-84 CG-84	FP-80A TFP-80C		
A/D 変換器	AN ₇ ~ AN ₀	50 ~ 43	37 ~ 30	入力	<u>アナログ入力</u> A/D 変換器のアナログ入力端子です。
	ADTRG	32	20	入力	<u>A/D 変換外部トリガ入力</u> A/D 変換開始のための外部トリガ信号入力端子です。
	AV _{cc}	42	29	入力	<u>アナログ電源</u> A/D 変換器の基準電源端子です。 A/D 変換器を使用しない場合、システムの電源に接続してください。詳細は「第 19 章 電気的特性」を参照してください。
	AV _{ss}	51	38	入力	<u>アナロググランド</u> A/D 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
デュアル ポート RAM (DPRAM)	DDB ₇ ~ DDB ₀	3, 1, 84 ~ 79	72 ~ 65	入出力	<u>DPRAM データバス</u> 外部 CPU が DPRAM をアクセスするための 8 ビットの双方向データバスです。
	\overline{CS}	29	17	入力	<u>チップセレクト</u> DPRAM を選択するためのチップセレクト入力端子です。
	RS ₂ ~ RS ₀	7 ~ 5	76 ~ 74	入力	<u>レジスタセレクト</u> DPRAM をアクセスするためのアドレス入力端子です。
	\overline{OE}	28	16	入力	<u>アウトプットイネーブル</u> DPRAM をリードするためのアウトプットイネーブル入力端子です。
	\overline{WE}	25	13	入力	<u>ライトイネーブル</u> DPRAM へのライトを行うためのライトイネーブル入力端子です。
	RDY	27	15	出力	<u>レディ</u> 外部 CPU に割込みを要求するためのレディ出力端子です。NMOS オープンドレイン出力です。
	\overline{WRQ}	8	77	出力	<u>ウェイトリクエスト</u> 外部 CPU にウェイトを要求するための出力端子です。
デュアル ポート RAM (DPRAM) (拡張モード で PBI 有効 のときの端子 です)	XDDB ₇ ~ XDDB ₀	59 ~ 52	46 ~ 39	入出力	<u>DPRAM データバス</u> 外部 CPU が DPRAM をアクセスするための 8 ビットの双方向データバスです。
	\overline{XCS}	31	19	入力	<u>チップセレクト</u> DPRAM を選択するためのチップセレクト入力端子です。
	RS ₂ ~ RS ₀	7 ~ 5	76 ~ 74	入力	<u>レジスタセレクト</u> DPRAM をアクセスするためのアドレス入力端子です。

1. 概要

表 1.3 端子機能 (5)

分類	記号	ピン番号		入出力	名称および機能
		CP-84 CG-84	FP-80A TFP-80C		
デュアル ポート RAM (DPRAM) (拡張モード で PBI 有効 のときの端子 です)	\overline{XOE}	11	80	入力	<u>アウトプットイネーブル</u> DPRAM をリードするためのアウトプットイ ネーブル入力端子です。
	\overline{XWE}	9	78	入力	<u>ライトイネーブル</u> DPRAM へのライトを行うためのライトイネ ーブル入力端子です。
	\overline{WRQ} \overline{XRDY}	8	77	出力	<u>レディ/ウェイトリクエスト</u> 外部 CPU に割込みまたはウェイトを要求する ための出力端子です。
I/O ポート	$P1_7 \sim P1_0$	71 ~ 78	57 ~ 64	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。ポート 1 データ ディレクションレジスタ (P1DDR) によっ て、1 ビットごとに入出力を指定できます。 入力プルアップ MOS が内蔵されています。 また、LED 駆動が可能です。
	$P2_7 \sim P2_0$	61 ~ 63、 65 ~ 69	48 ~ 55	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。 P2DDR によって、1 ビットごとに入出力を指 定できます。入力プルアップ MOS が内蔵さ れています。また、LED 駆動が可能です。
	$P3_7 \sim P3_0$	3、1、 84 ~ 79	72 ~ 65	入出力	<u>ポート 3</u> 8 ビットの入出力端子です。P3DDR によっ て、1 ビットごとに入出力を指定できます。 入力プルアップ MOS が内蔵されています。
	$P4_7 \sim P4_0$	59 ~ 52	46 ~ 39	入出力	<u>ポート 4</u> 8 ビットの入出力端子です。P4DDR によっ て、1 ビットごとに入出力を指定できます。
	$P5_2 \sim P5_0$	20 ~ 22	9 ~ 11	入出力	<u>ポート 5</u> 3 ビットの入出力端子です。P5DDR によっ て、1 ビットごとに入出力を指定できます。
	$P6_7 \sim P6_0$	40 ~ 33	28 ~ 21	入出力	<u>ポート 6</u> 8 ビットの入出力端子です。P6DDR によっ て、1 ビットごとに入出力を指定できます。
	$P7_7 \sim P7_0$	50 ~ 43	37 ~ 30	入力	<u>ポート 7</u> 8 ビットの入出力端子です。
	$P8_6 \sim P8_0$	11 ~ 5	80 ~ 74	入出力	<u>ポート 8</u> 7 ビットの入出力端子です。P8DDR によっ て、1 ビットごとに入出力を指定できます。
	$P9_7 \sim P9_0$	25 ~ 32	13 ~ 20	入出力	<u>ポート 9</u> 8 ビットの入出力端子です。P9DDR によっ て、1 ビットごとに入出力を指定できます (P9 ₆ を除く)。

2. CPU

2.1 概要

H8/300CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速 CPU です。

2.1.1 特長

H8/300CPU には、次の特長があります。

- 汎用レジスタ方式
8ビット×16本（16ビット×8本としても使用可能）
- 57 種類の基本命令
 - 乗除算命令
 - 強力なビット操作命令
- 8 種類のアドレッシングモード
 - レジスタ直接 (Rn)
 - レジスタ間接 (@Rn)
 - ディスプレースメント付レジスタ間接 (@ (d: 16,Rn))
 - ポストインクリメント/プリデクリメントレジスタ間接 (@Rn + /@-Rn)
 - 絶対アドレス (@aa: 16)
 - イミディエイト (#xx: 8/#xx: 16)
 - プログラムカウンタ相対@ (d: 8, PC)
 - メモリ間接 (@@aa: 8)
- 64k バイトのアドレス空間
- 高速動作
 - 頻出命令をすべて 2~4 ステートで実行
 - 最高動作周波数:16MHz/5V、12MHz/4V、10MHz/3V (クロック)

8/16 ビットレジスタ間加減算	125ns (16MHz 動作時)、167ns (12MHz 動作時) 200ns (10MHz 動作時)
8×8 ビット乗算	875ns (16MHz 動作時)、1167ns (12MHz 動作時) 1400ns (10MHz 動作時)
16÷8 ビット除算	875ns (16MHz 動作時)、1167ns (12MHz 動作時) 1400ns (10MHz 動作時)
- 低消費電力動作
SLEEP命令により低消費電力状態に遷移

2.1.2 アドレス空間

H8/300CPU がサポートするアドレス空間は、プログラムコードとデータ領域合計で最大 64k バイトです。

メモリマップはモード（モード 1、2、3）別に異なります。詳細は、「3.4 各動作モードのメモリマップ」を参照してください。

2.1.3 レジスタ構成

H8/300CPU の内部のレジスタ構成を図 2.1 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

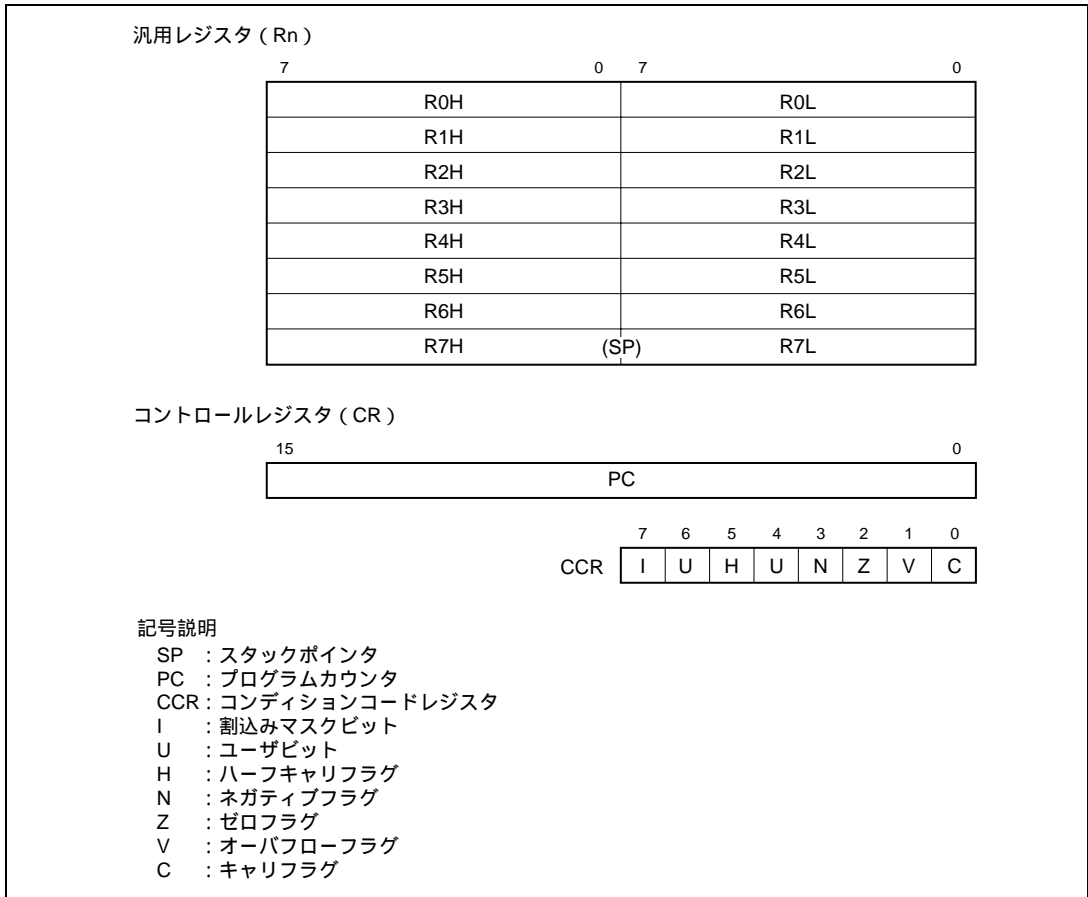


図 2.1 CPU 内部レジスタ構成

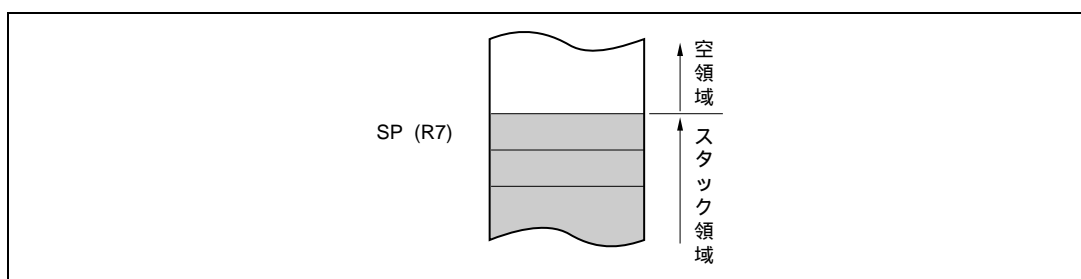
2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位 (R0H~R7H) と下位 (R0L~R7L) を別々に使用することも、また 16ビットレジスタ (R0~R7) として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ (R0~R7) として使用します。レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP は常にスタック領域の先頭を指しています。スタックの状態を図 2.2 に示します。



2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ (PC) と 8ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

16ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 16ビット (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)

(2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPU の内部状態を示しています。割込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8ビットで構成されています。

ビット 7: 割込みマスクビット (I)

本ビットが 1 にセットされると、割込みがマスクされます。ただし、NMI は I ビットに関係なく常に受けられます。例外処理の実行が開始されたときに 1 にセットされます。

ビット 6: ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

DAA および DAS 命令実行時に、暗黙的に使用されます。

ADD.W、SUB.W、CMP.W 命令ではビット11にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザービット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバーフローフラグ (V)

算術演算命令の実行により、オーバーフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「H8/300 シリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化され、CCR の I ビットは1にセットされますが、汎用レジスタおよび CCR の他のビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.3 データ構成

H8/300CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

バイトデータは、ADDS、SUBS 以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット \times 8 ビット)、DIVXU (16 ビット \div 8 ビット) 命令で扱われます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.3 に示します。

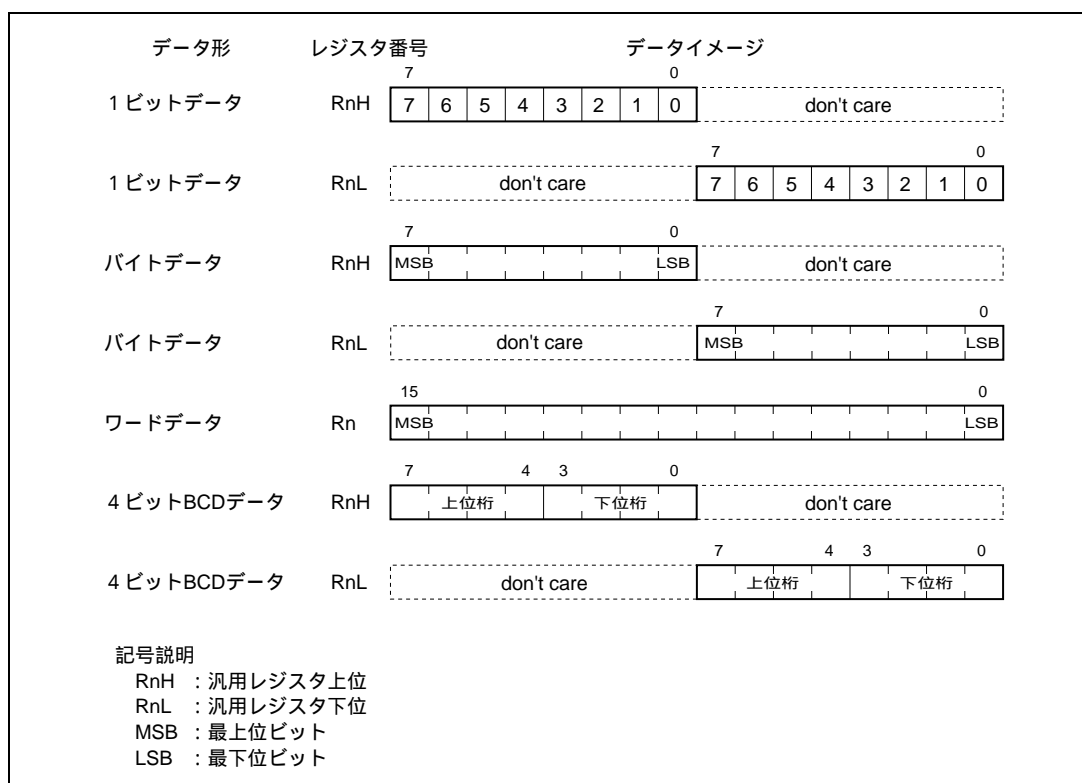


図 2.3 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.4 に示します。H8/300CPU は、メモリ上のワードデータをアクセスすることができます。(MOV.W 命令)が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

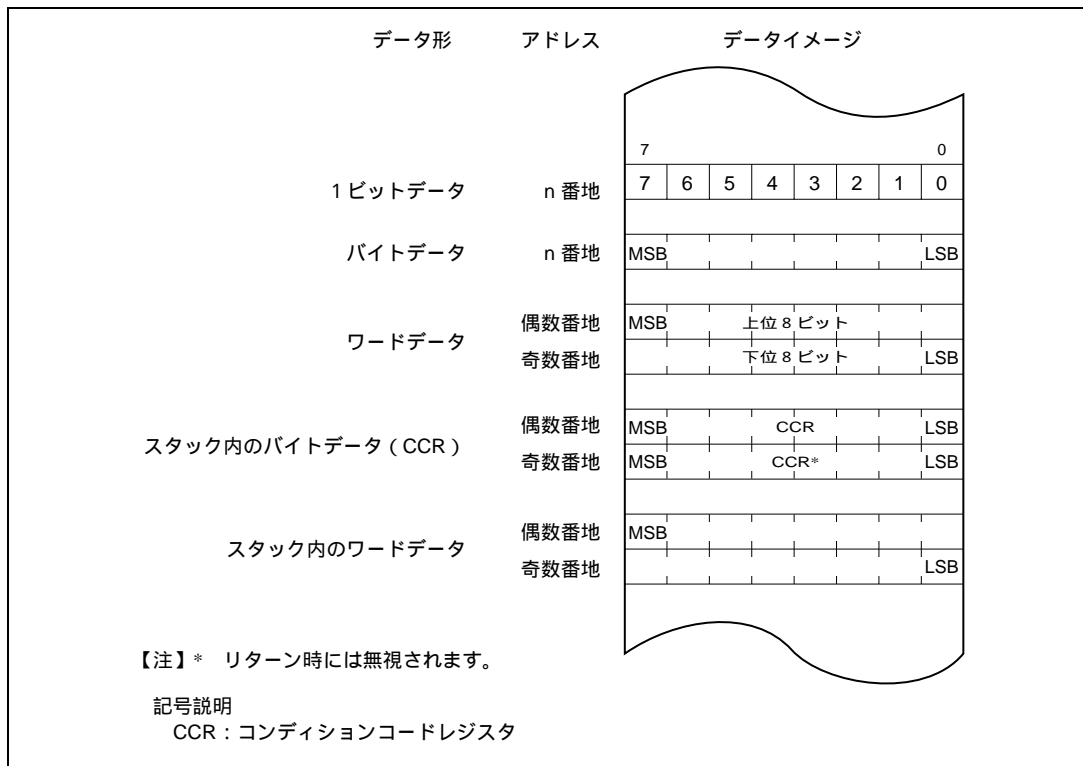


図 2.4 メモリ上でのデータ構成

なお、R7 をスタックアドレスとしてアクセスするときは、必ずワードサイズでアクセスしてください。また、CCR は、ワードデータとして上位 8 ビット、下位 8 ビットに同じ値が格納されますが、リターン時には、下位 8 ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300CPU は、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@Rn
(3)	ディスプレースメント付レジスタ間接	@ (d:16, Rn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn + @ - Rn
(5)	絶対アドレス	@aa:8/@aa:16
(6)	イミディエイト	#xx:8/#xx:16
(7)	プログラムカウンタ相対	@ (d:8, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタの直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビットまたは 16 ビット) がオペランドとなります。

16 ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット×8 ビット)、DIVXU (16 ビット÷8 ビット) の各命令です。

(2) レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付レジスタ間接 @ (d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容に、命令コードの第 2 ワード (第 3、第 4 バイト) の 16 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果が偶数となるようにしてください。

(4) ポストインクリメントレジスタ間接@Rn+ / プリデクリメントレジスタ間接@ - Rn

- ポストインクリメントレジスタ間接 @Rn +
MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

- プリデクリメントレジスタ間接 @ - Rn
MOV (Store to) 命令で使用されます。

2. CPU

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8/@aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット（@aa:8）または16ビット（@aa:16）で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて1（H'FF）となります。したがって、アクセス範囲は65280～65535（H'FF00～H'FFFF）番地です。

(6) イミディエイト #xx:8/#xx:16

命令コードの第2バイト（#xx:8）または第3、第4バイト（#xx:16）を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADDSおよびSUBS命令では、イミディエイトデータ（1または2）が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

(7) プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。PCの内容に、命令コードの第2バイトの8ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126～+128バイト（-63～+64ワード）です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて0（H'00）となります。分岐アドレスを格納できるのは0～255（H'0000～H'00FF）番地です。ただし、この領域の一部はベクタ領域と共通になっていますから注意してください（「3.4 各動作モードのメモリマップ」を参照）。

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします（「2.3.2 メモリ上のデータ構成」を参照）。

2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA:Effective Address) の計算法を表 2.2 に示します。

演算命令では、(1)レジスタ直接、および(6)イミディエイト (ADD.B、ADDDX、SUBX、CMP.B、AND、OR、XOR の各命令) が使用されます。

転送命令では、(7)プログラムカウンタ相対と(8)メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に(1)レジスタ直接、(2)レジスタ間接および(5)絶対アドレス(8ビット)が使用可能です。さらに、オペランド中のビット番号を指定するために(1)レジスタ直接 (BSET、BCLR、BNOT、BTST の各命令) および(6)イミディエイト(3ビット)が独立して使用可能です。

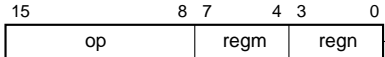

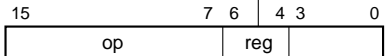
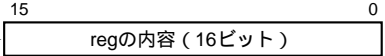
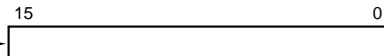


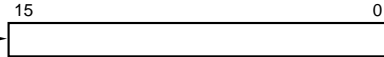
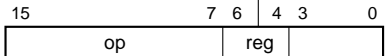
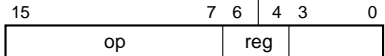
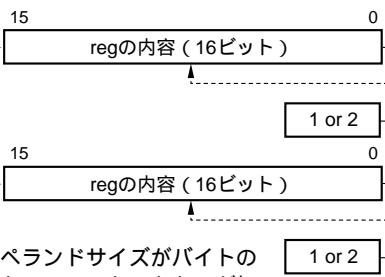
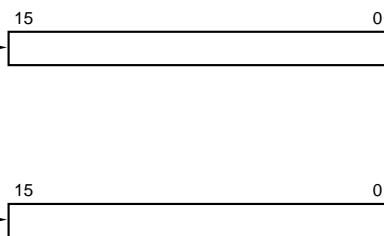
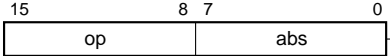

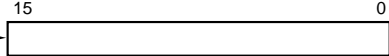
No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
1	レジスタ直接 Rn 		 オペランドはregm/nの内容です。
2	レジスタ間接 @Rn 		
3	ディスペースメント付レジスタ間接 @(d: 16, Rn) 		
4	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @Rn + ・プリデクリメントレジスタ間接 @ - Rn  	 オペランドサイズがバイトの とき 1、ワードのとき 2 が加 減算されます。	

表 2.2 実効アドレスの計算方法 (1)

表 2.2 実効アドレスの計算方法 (2)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa: 8		
	@aa: 16		
6	イミディエイト #xx: 8		<p>オペランドはイミディエイトデータの1または2バイトデータです。</p>
	#xx: 16		
7	プログラムカウンタ相対 @ (d: 8, PC)		

表 2.2 実効アドレスの計算方法 (3)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
8	メモリ間接 @@aa: 8 		

記号説明

- reg、regm、regn : 汎用レジスタ
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.5 命令セット

H8/300CPU の命令は合計 57 種類あり、各命令のもつ機能によって、表 2.3 に示すように分類されます。

表 2.3 命令の分類

機能	命令	種類
データ転送命令	MOV, MOVFPE* ³ , MOVTPE* ³ , POP* ¹ , PUSH* ¹	3
算術演算命令	ADD, SUB, ADDX, SUBX, INC, DEC, ADDS, SUBS, DAA, DAS, MULXU, DIVXU, CMP, NEG	14
論理演算命令	AND, OR, XOR, NOT	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR, BLD, BILD, BST, BIST	14
分岐命令	Bcc* ² , JMP, BSR, JSR, RTS	5
システム制御命令	RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	8
ブロック転送命令	EEPMOV	1

合計 57 種

- 【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+、Rn、MOV.W Rn、@ - SP と同一です。
 *2 Bcc は条件分岐命令の総称です。
 *3 本 LSI では使用できません。

2. CPU

各命令の機能について表 2.4～表 2.11 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)
Rs	汎用レジスタ (ソース側)
Rn	汎用レジスタ
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
: 3/: 8/: 16	3/8/16 ビット長

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@ - Rn、@Rn+ の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@ - R7、@R7+ を使用する場合は必ずワードサイズを指定してください。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn @ - SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @ - SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

データ転送命令の命令フォーマットを図 2.5 に示します。

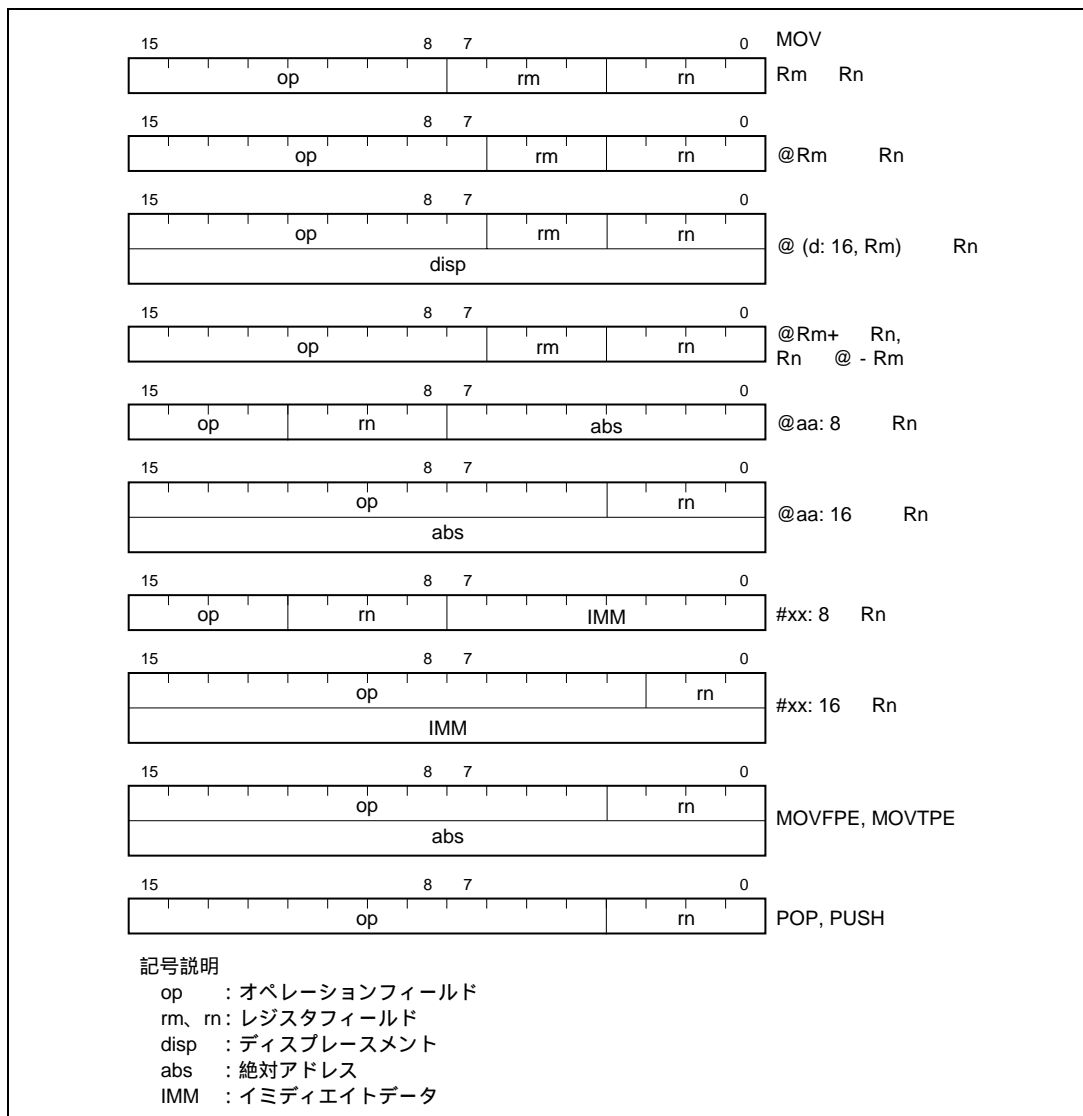


図 2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W	Rd±Rs Rd, Rd+#IMM Rd 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	Rd±Rs±C Rd, Rd±#IMM±C Rd 汎用レジスタ間のキャリ付の加減算、又は汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	Rd±1 Rd 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	Rd±1 Rd, Rd±2 Rd 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	Rd×Rs Rd 汎用レジスタ間の符号なし乗算を行います。8 ビット×8 ビット 16 ビットの演算が可能です。
DIVXU	B	Rd÷Rs Rd 汎用レジスタ間の符号なし除算を行います。16 ビット÷8 ビット 商 8 ビット余り 8 ビットの演算が可能です。
CMP	B/W	Rd - Rs, Rd - #IMM 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	0 - Rd Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命令	サイズ*	機能
AND	B	Rd Rs Rd, Rd #IMM Rd 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	Rd Rs Rd, Rd #IMM Rd 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	~Rd Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。
B : バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	Rd (ローテート処理) Rd 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。
B : バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。

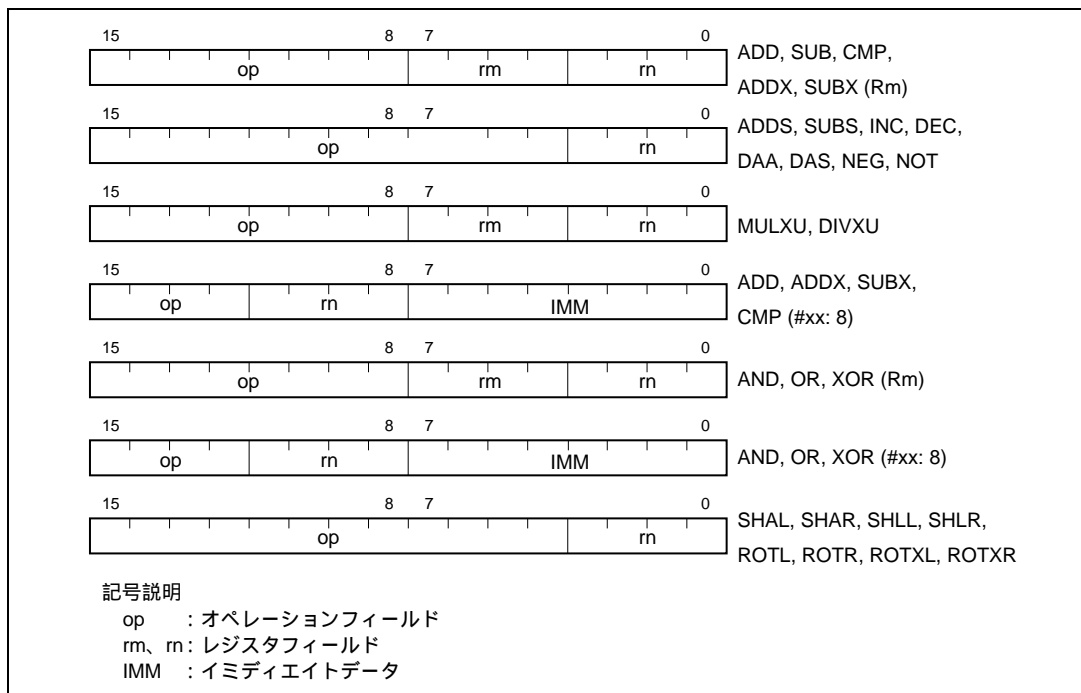


図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	~ (<ビット番号> of <EAd>) (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号> of <EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	C ⊕ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕ [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

表 2.8 ビット操作命令 (2)

命令	サイズ*	機能
BLD	B	(<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

〔ビット操作命令使用上の注意〕

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、ライト専用ビットを含むレジスタ、または、ポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序	動作内容
1	リード 指定したアドレスのデータ (バイト単位) をリードします。
2	ビット操作 リードしたデータの指定された 1 ビットを操作します。
3	ライト 指定したアドレスに操作したデータ (バイト単位) をライトします。

2. CPU

(例)

ポート 4 の DDR に、BCLR 命令を実行した例を示します。

P4₇、P4₆は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。

P4₅~P4₀は出力端子に設定され、それぞれ Low レベル出力状態とします。

ここで、BCLR 命令で、P4₀を入力ポートにする例を示します。

【A ; BCLR 命令を実行前】

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

【B ; BCLR 命令を実行】

```
BCLR #0 . @P4DDR
```

DDR に対して BCLR 命令を実行します。

【C ; BCLR 命令を実行後】

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

【D ; BCLR 命令の動作説明】

BCLR 命令を実行すると、CPU は、最初に P4DDR をリードします。

P4DDR はライト専用レジスタですので、CPU は H'FF をリードします。

したがって、この例では、DDR は H'3F ですが、CPU がリードしたデータは H'FF となります。つぎに、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を DDR に書き込んで、BCLR 命令を終了します。

その結果、P4₀は、DDR が 0 になり、入力ポートになります。しかし、入力ポートであったビット 7、6 の DDR が 1 になって、出力ポートに変化してしまいます。

ビット操作命令の命令フォーマットを図 2.7 に示します。

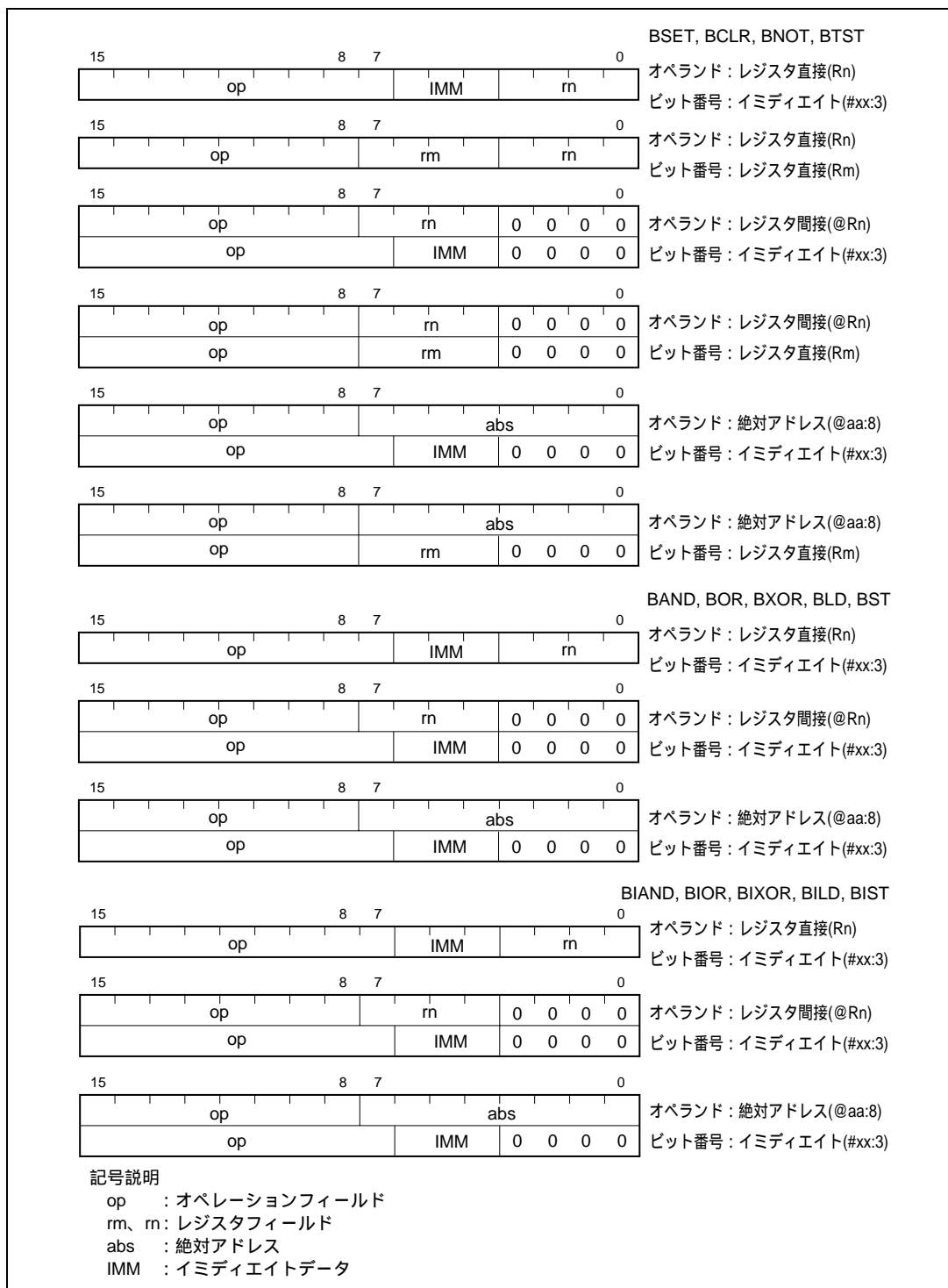


図 2.7 ビット操作命令の命令フォーマット

2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命令	サイズ	機能																																																			
Bcc	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下 表に示します。																																																			
		<table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOw)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>EQual</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Cler</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N\oplusV = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N\oplusV = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N\oplusV) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N\oplusV) = 1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOw)	C = 1	BNE	Not Equal	Z = 0	BEQ	EQual	Z = 1	BVC	oVerflow Cler	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N \oplus V = 0	BLT	Less Than	N \oplus V = 1	BGT	Greater Than	Z (N \oplus V) = 0	BLE	Less or Equal	Z (N \oplus V) = 1
		ニーモニック	説明	分岐条件																																																	
		BRA (BT)	Always (True)	Always																																																	
		BRN (BF)	Never (False)	Never																																																	
		BHI	High	C Z = 0																																																	
		BLS	Low or Same	C Z = 1																																																	
		BCC (BHS)	Carry Clear (High or Same)	C = 0																																																	
		BCS (BLO)	Carry Set (LOw)	C = 1																																																	
		BNE	Not Equal	Z = 0																																																	
		BEQ	EQual	Z = 1																																																	
		BVC	oVerflow Cler	V = 0																																																	
		BVS	oVerflow Set	V = 1																																																	
		BPL	PLus	N = 0																																																	
		BMI	MInus	N = 1																																																	
		BGE	Greater or Equal	N \oplus V = 0																																																	
		BLT	Less Than	N \oplus V = 1																																																	
BGT	Greater Than	Z (N \oplus V) = 0																																																			
BLE	Less or Equal	Z (N \oplus V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.8 に示します。

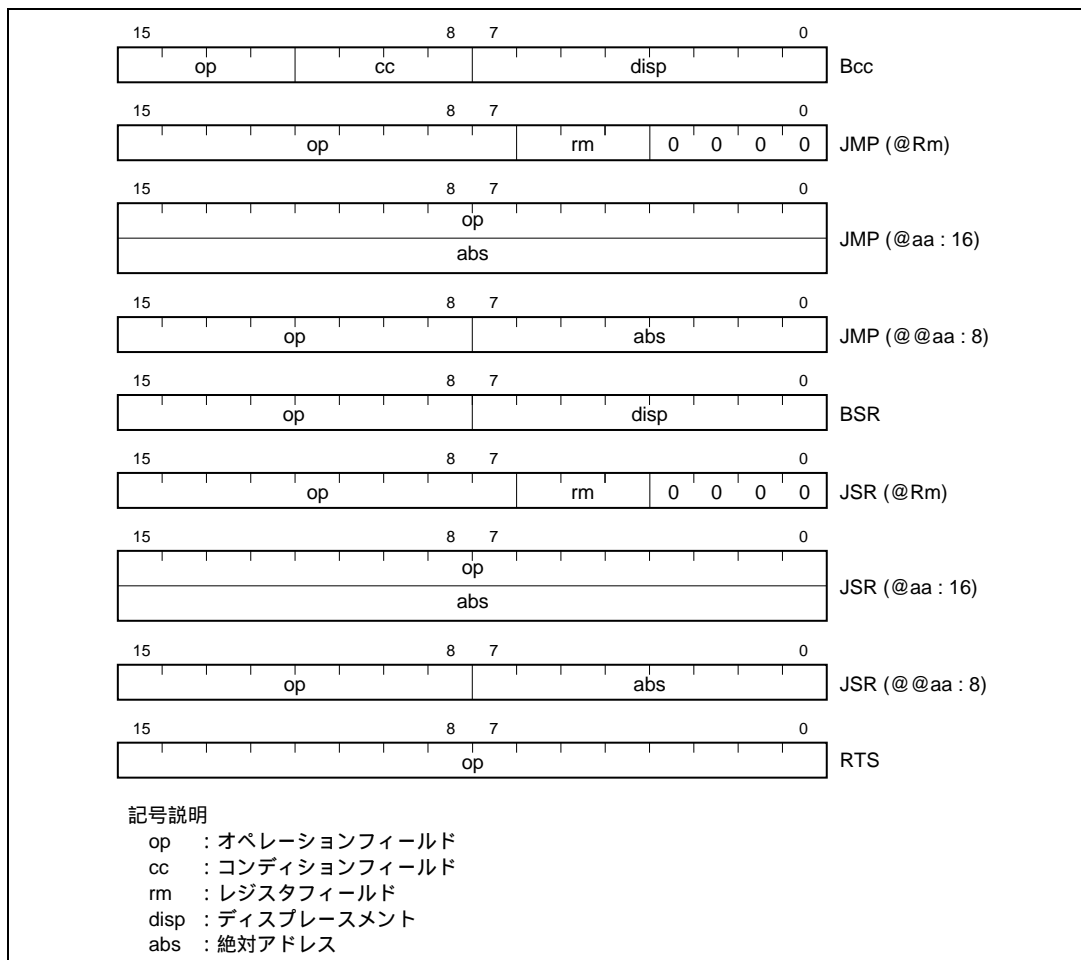


図 2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命令	サイズ*	機能
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B	Rs CCR、#IMM CCR 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	CCR Rd CCR の内容を汎用レジスタに転送します。
ANDC	B	CCR #IMM CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR \oplus #IMM CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。
B：バイト

システム制御命令の命令フォーマットを図 2.9 に示します。

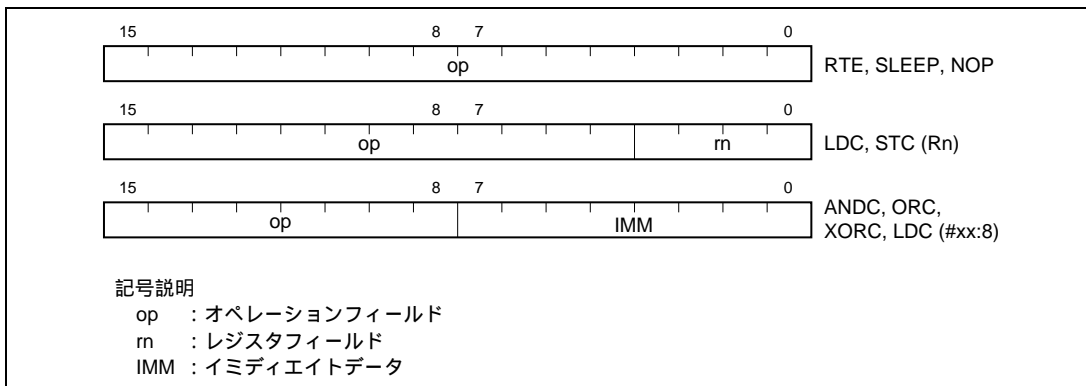


図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命令	サイズ	機能
EEPMOV	-	<pre>if R4L 0 then Repeat @R5+ @R6+, R4L - 1 R4L Until R4L = 0 else next;</pre> ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。

ブロック転送命令の命令フォーマットを図 2.10 に示します。

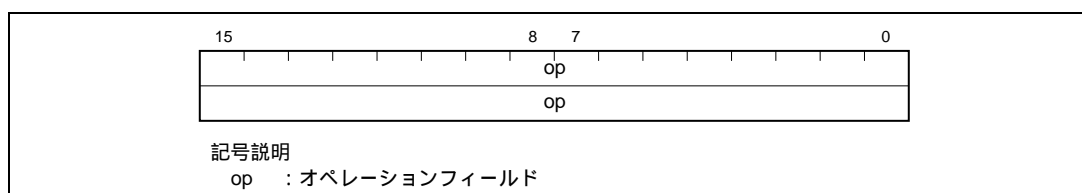
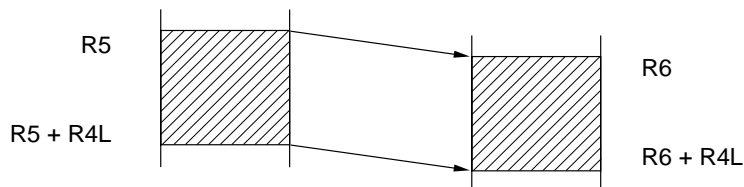


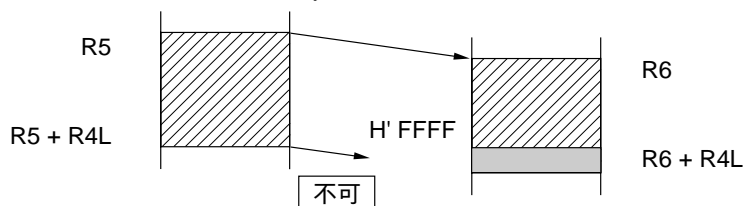
図 2.10 ブロック転送命令の命令フォーマット

〔EEPMOV 命令使用上の注意〕

- (1) EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる、R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス（R6 + R4L の値）が H'FFFF を超えないように（実行途中で R6 の値が H'FFFF H'0000 とならないように）、R4L、R6 を設定してください。



2.6 処理状態

2.6.1 概要

CPU の処理状態には、プログラム実行状態、例外処理状態、低消費電力状態の 3 種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。処理状態の分類を図 2.11 に、各状態間の遷移を図 2.12 に示します。

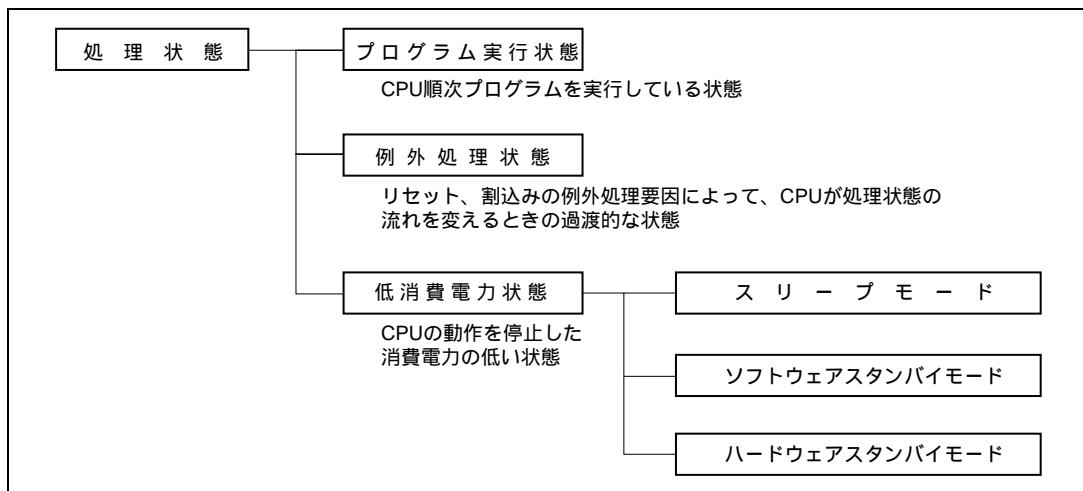


図 2.11 処理状態の分類

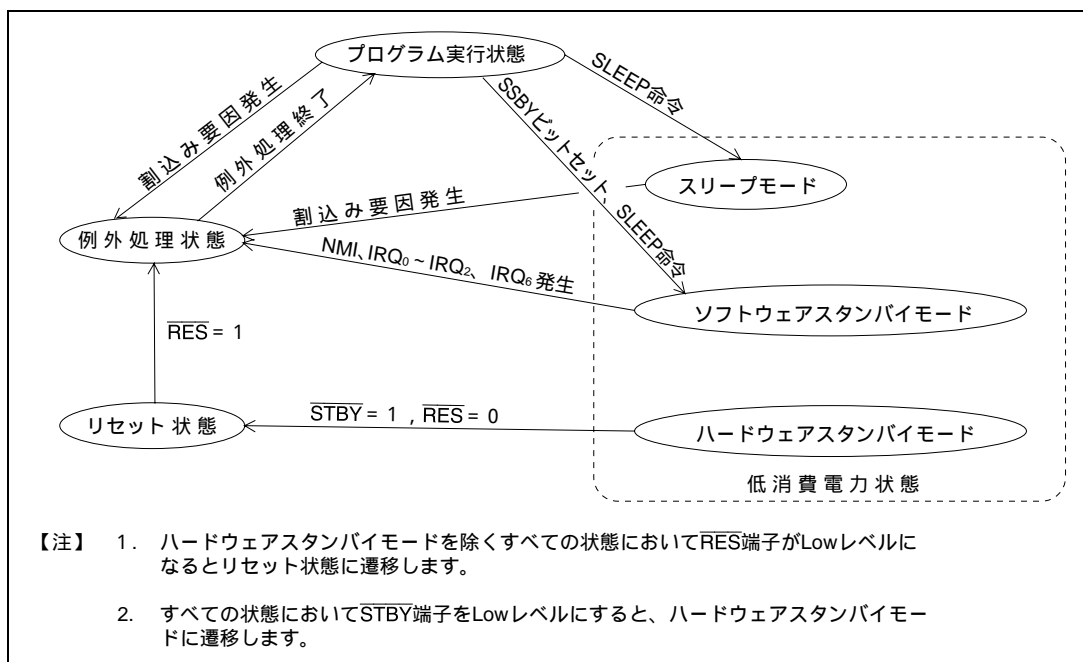


図 2.12 状態遷移図

2.6.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.6.3 例外処理状態

リセット、割込みの例外処理要因によって、CPU が通常の処理状態の流れを変えるとときの過渡的な状態です。割込み例外処理では、SP (R7) を参照して、PC および CCR の退避を行います。

例外処理についての詳細は、「第 4 章 例外処理」を参照してください。

2.6.4 低消費電力状態

低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードの 3 つのモードがあります。

(1) スリープモード

スリープモードは、SLEEP 命令を実行することによって遷移するモードです。CPU の動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、システムコントロールレジスタ (SYSCR) の SSBY (ソフトウェアスタンバイ) ビットを 1 にセット後、SLEEP 命令を実行することによって遷移するモードです。

CPU およびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPU およびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

低消費電力状態についての詳細は、「第 18 章 低消費電力状態」を参照してください。

2.7 基本動作タイミング

CPU は、システムクロック () をタイムベースに動作しており、システムクロックの立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、外部デバイスによってそれぞれ異なるアクセスを行います。

2.7.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、高速処理を行うために 2 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 2.13 に、端子状態を図 2.14 に示します。

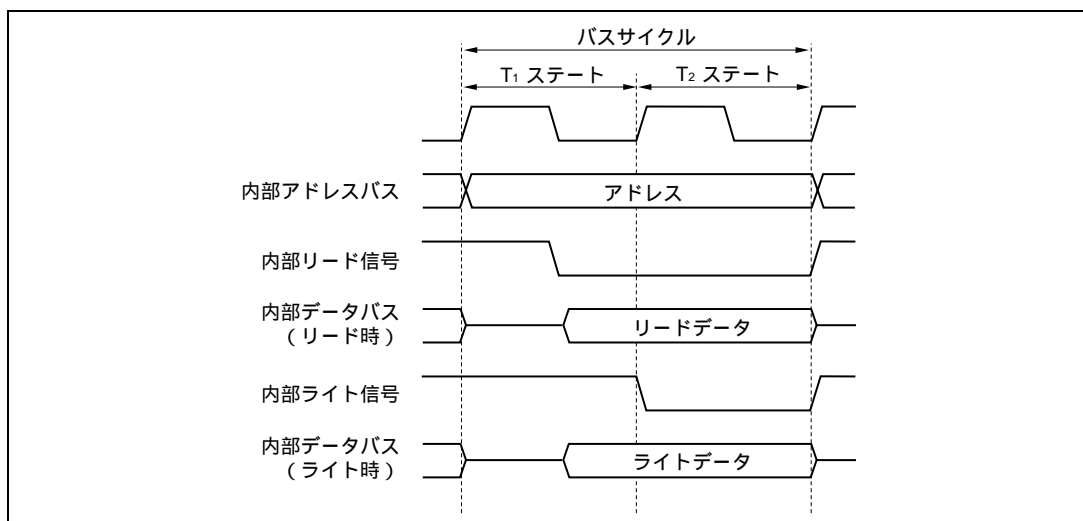


図 2.13 内蔵メモリアクセスサイクル

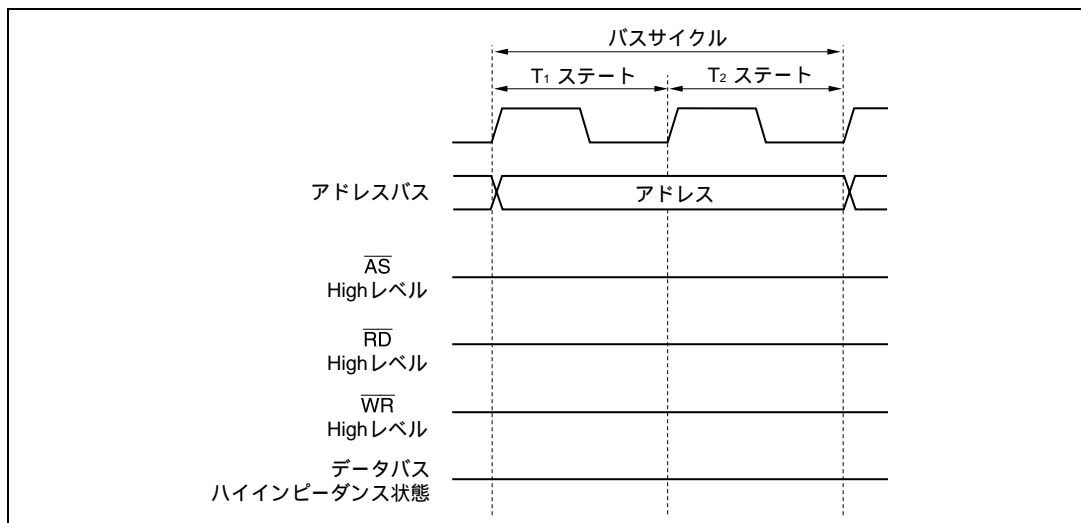


図 2.14 内蔵メモリアクセス時の端子状態

2.7.2 内蔵周辺モジュール/外部デバイス

内蔵周辺モジュールおよび外部デバイスのアクセスは、3 ステートで行われます。このとき、データバス幅は 8 ビットで、ワードデータおよび命令コードは、1 バイトずつ 2 回に分けてアクセスされます。内蔵周辺モジュールアクセスサイクル、端子状態を図 2.15、図 2.16 に、外部デバイスアクセスタイミングを図 2.17 に示します。

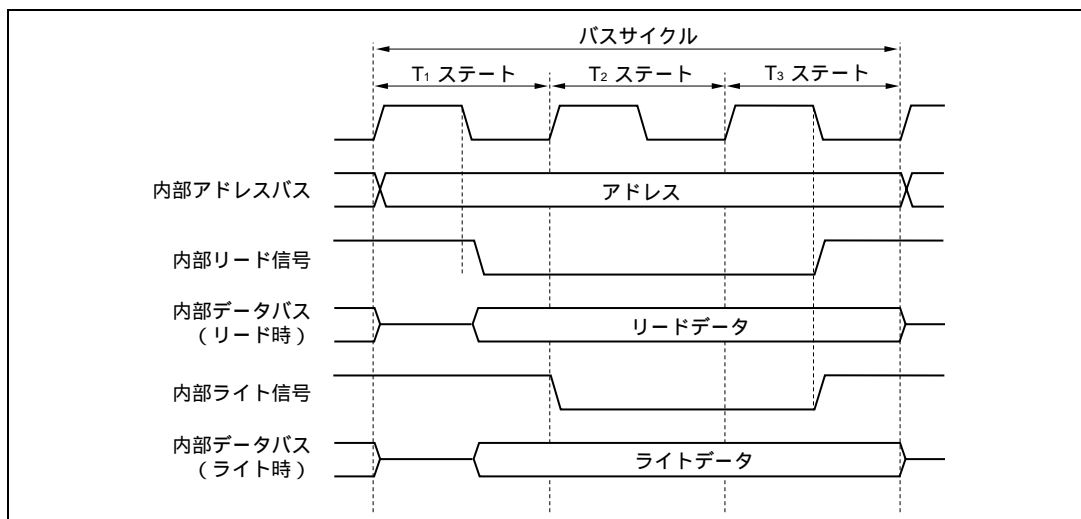


図 2.15 内蔵周辺モジュールアクセスサイクル

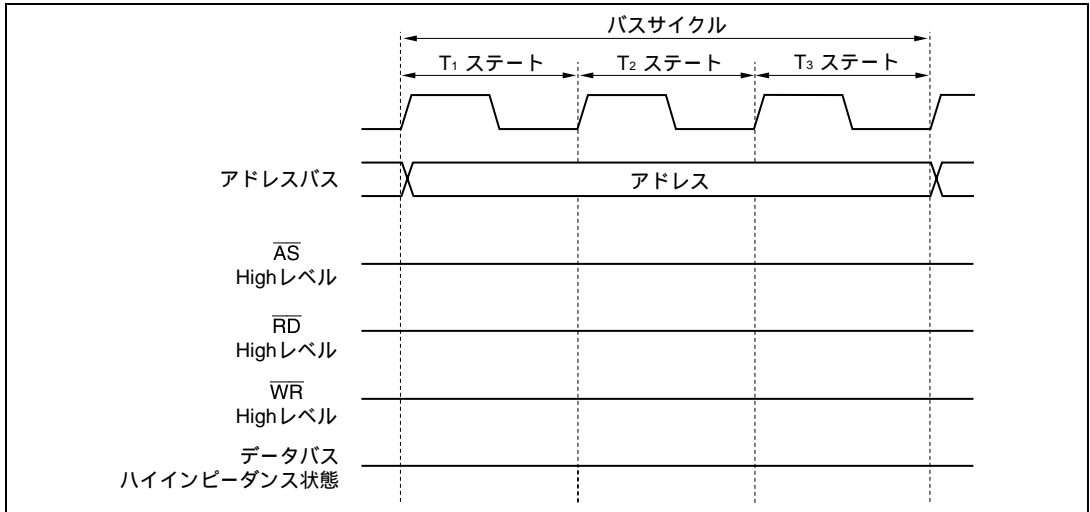


図 2.16 内蔵周辺モジュールアクセス時の端子状態

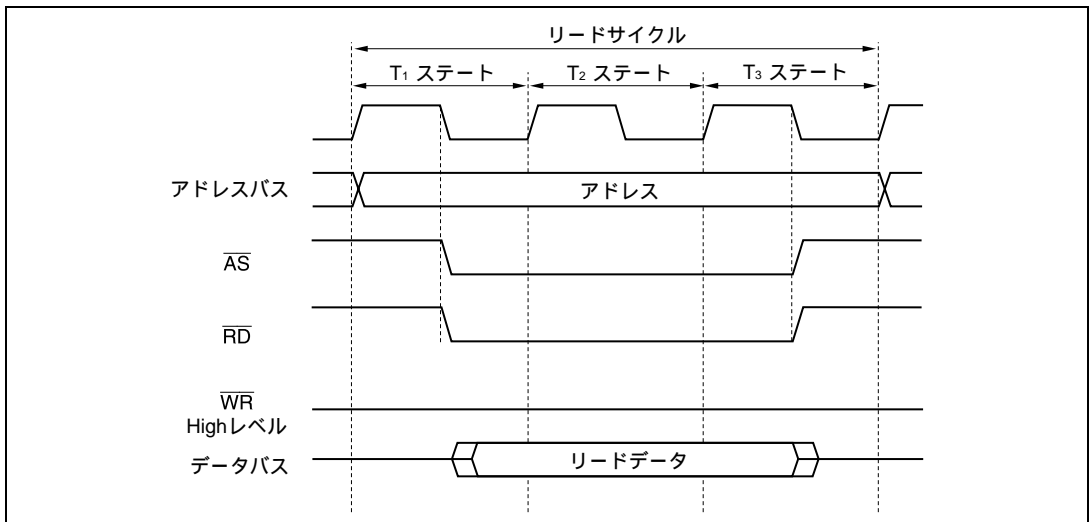


図 2.17 (a) 外部デバイスアクセスタイミング (リード時)

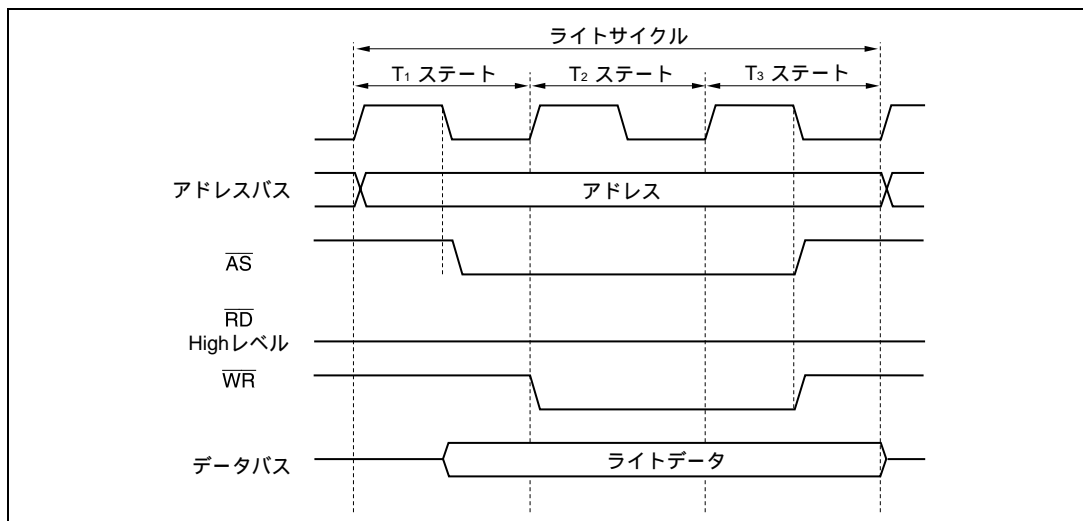


図 2.17 (b) 外部デバイスアクセスタイミング (ライト時)

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 1、2、3）があります。これらのモードは、リセット時に、モード端子（MD₁、MD₀）を表 3.1 のように設定することによって選択します。

表 3.1 動作モードの選択

MCU 動作モード	MD ₁	MD ₀	内容	内蔵 ROM	内蔵 RAM
モード 0	0	0	-	-	-
モード 1	0	1	内蔵 ROM 無効拡張モード	無効	有効*
モード 2	1	0	内蔵 ROM 有効拡張モード	有効	有効*
モード 3	1	1	シングルチップモード	有効	有効

<記号説明>

0 : Low レベル

1 : High レベル

- : 使用不可

【注】 * システムコントロールレジスタ（SYSCR）の RAME ビットを 0 にクリアすることにより、外部アドレスとすることができます。

モード 1、2（内蔵 ROM 無効拡張モード、内蔵 ROM 有効拡張モード）は、外部メモリおよび周辺デバイスをアクセスすることができる拡張モードです。外部拡張モードでサポートするアドレス空間は、最大 64k バイトです。

モード 3（シングルチップモード）は、内蔵 ROM と RAM、内部 I/O レジスタで動作するモードです。すべてのポートを使用することができます。

モード 0 は、本 LSI では使用できません。モード端子をモード 0 となるように設定しないでください。また、モード端子は動作中に変化させないでください。

3.1.2 レジスタ構成

本 LSI の動作を制御するレジスタとして、表 3.2 に示すシステムコントロールレジスタ（SYSCR）と、モード端子 MD₁、MD₀ の状態が反映されるモードコントロールレジスタ（MDCR）があります。

表 3.2 レジスタ構成

名称	略称	R/W	アドレス
システムコントロールレジスタ	SYSC	R/W	H'FFC4
モードコントロールレジスタ	MDCR	R	H'FFC5

3.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	DPME	RAME
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

SYSCR は、本 LSI の動作を制御する 8 ビットのレジスタです。

ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します (ソフトウェアスタンバイモードについては「第 17 章 低消費電力状態」を参照してください)。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは 1 にセットされたままです。クリアする場合は 0 をライトしてください。

ビット 7	説明	
SSBY		
0	SLEEP 命令実行後、スリープモードに遷移	(初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移	

ビット 6~4: スタンバイタイムセレクト 2~0 (STS2~0)

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまで CPU と内蔵周辺モジュールが待機する時間を指定します。

動作周波数に応じて待機時間が 8ms 以上となるように指定してください。

待機時間の設定については、「18.3.3. ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット 6	ビット 5	ビット 4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
0	0	1	待機時間 = 16384 ステート
0	1	0	待機時間 = 32768 ステート
0	1	1	待機時間 = 65536 ステート
1	0	-	待機時間 = 131072 ステート
1	1	-	使用禁止

ビット3：外部リセット（XRST）

XRST はリセット要因を表すビットです。リセットは、外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバーフローにより発生できます。XRST ビットはリード専用です。外部リセットにより 1 に、ウォッチドッグタイマオーバーフローにより 0 にセットされます。

ビット3	説明
XRST	
0	リセットがウォッチドッグタイマのオーバーフローで発生
1	リセットが外部リセット入力で発生 (初期値)

ビット2：NMI エッジ（NMIEG）

$\overline{\text{NMI}}$ 端子の入力エッジ選択を行います。

ビット2	説明
NMIEG	
0	NMI 入力の立下がりエッジ () で割込み要求を発生 (初期値)
1	NMI 入力の立上がりエッジ () で割込み要求を発生

ビット1：デュアルポート RAM モードイネーブル（DPME）

本 LSI をスレープモードにするかしないかを選択します。

ビット1	説明
DPME	
0	本 LSI をスレープモードにしない (初期値)
1	本 LSI をスレープモードにする

ビット0：RAM イネーブル（RAME）

内蔵 RAM のイネーブル/ディスエーブルを選択します。RAME ビットは $\overline{\text{RES}}$ 端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3.3 モードコントロールレジスタ (MDCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MDS1	MDS0
初期値:	1	1	1	0	0	1	—*	—*
R/W:	—	—	—	—	—	—	R	R

【注】* モード端子 (MD₁、MD₀) により決定されます。

MDCR は、8 ビットのレジスタであり、本 LSI の現在の動作モードをモニタするのに用います。

ビット 7~5: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4、3: リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1、0: モードセレクト 1、0 (MDS1、0)

モード端子 (MD₁、MD₀) のレベルを反映した値 (現在の動作モード) を示します。MDS1、MDS0 ビットは、MD₁ 端子、MD₀ 端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCR をリードするとモード端子 (MD₁、MD₀) のレベルがこれらのビットにラッチされます。

4. 例外処理

4.1 概要

本 LSI の例外処理には、リセットと割込みがあります。表 4.1 に、例外処理の種類と優先度を示します。

表 4.1 例外処理の種類と優先度

優先度	例外処理要因	検出タイミング	例外処理開始タイミング
高	リセット	クロック同期	$\overline{\text{RES}}$ 端子が Low レベルから High レベルに変化すると、ただちに例外処理を開始します。
	割込み	命令の実行終了時*	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
低			

【注】 * ANDC、ORC、XORC、LDC 命令では検出しません。

4.2 リセット

4.2.1 概要

リセットは最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになるか、ウォッチドッグリセット（リセットオプションを選択したウォッチドッグタイマオーバフロー）が開始されると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。 $\overline{\text{RES}}$ 端子が、Low レベルから High レベルになるか、またはウォッチドッグリセットパルスが終了すると、リセット例外処理が開始されます。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになるか、またはウォッチドッグリセットが発生すると、本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時には、最低 20ms の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中にリセットする場合は、最低 10 システムクロックの間 Low レベルを保持してください。ウォッチドッグリセットパルス幅は常に 518 システムクロックとなります。リセット時の端子の状態は「付録 D. 各処理状態におけるポートの状態」を参照してください。

リセット例外処理が開始されると、本 LSI は次のように動作します。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタの初期化を行い、CCR のビットをセットします。
- (2) リセット例外処理ベクタアドレス（H'0000 ~ H'0001）をリードして、PC に転送した後、PC で示されるアドレスから、プログラムの実行を開始します。
パワーオン / パワーオフ時には、 $\overline{\text{RES}}$ 端子を Low レベルにしてください。
モード 2、3 の場合のリセットシーケンスを図 4.1 に、モード 1 の場合のリセットシーケンスを

4. 例外処理

図4.2に示します。

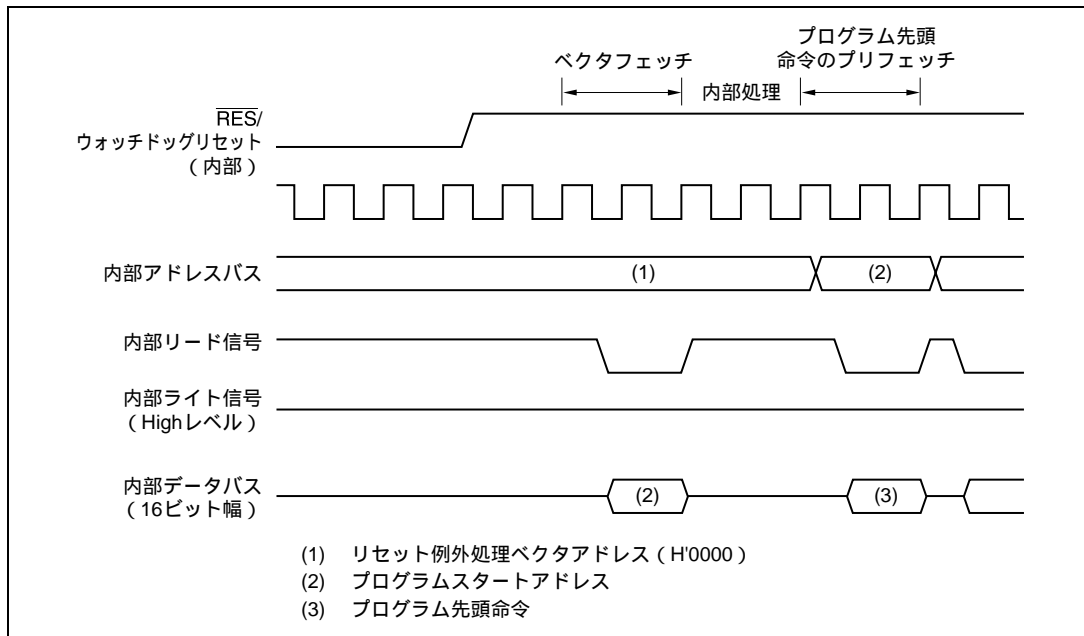


図 4.1 リセットシーケンス (モード 2、3 : プログラム領域を内蔵 ROM に設けた場合)

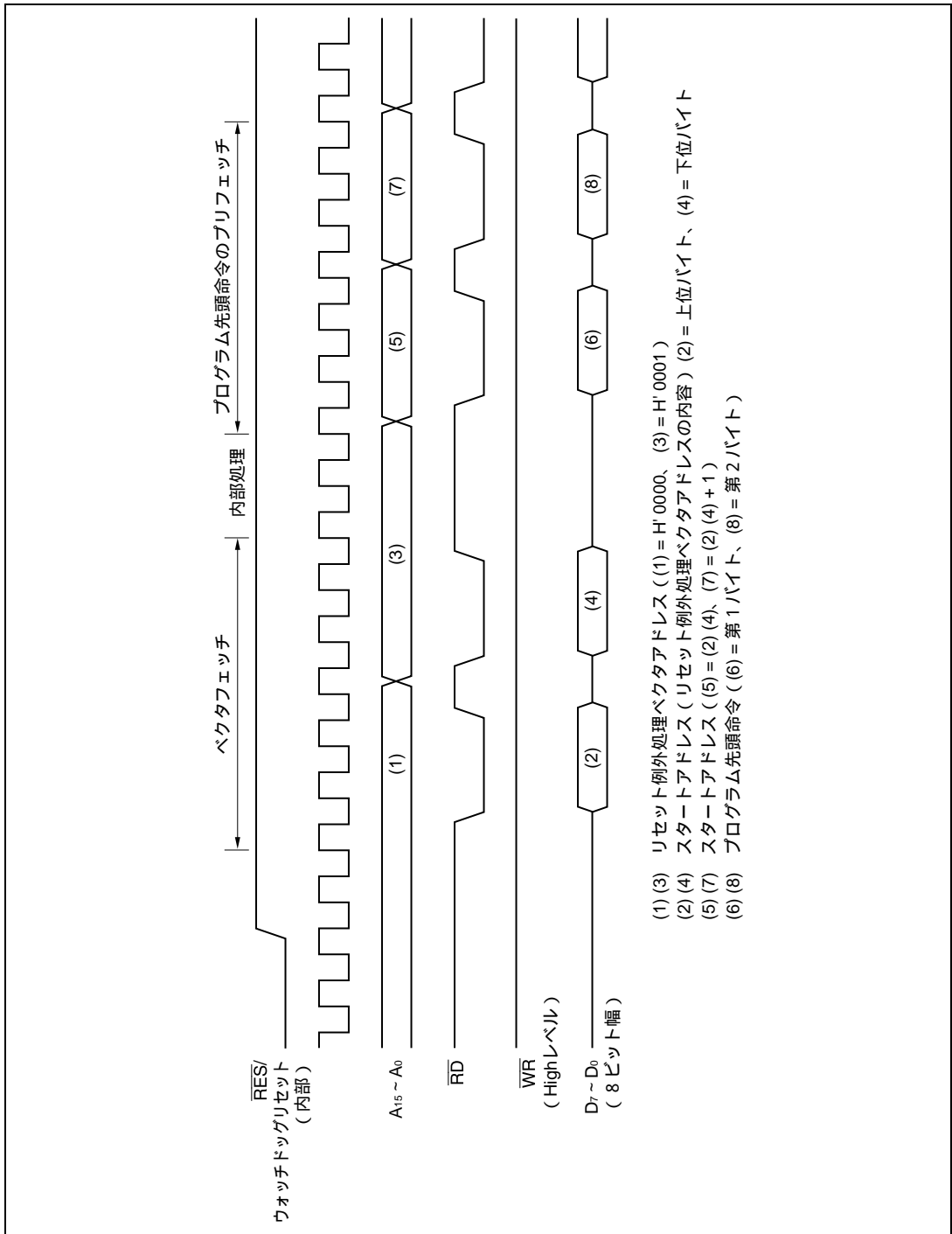


図 4.2 リセットシーケンス (モード1)

4.2.3 リセット直後の割り込み

リセット後、スタックポインタ (SP: R7) をイニシャライズする前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は、SP をイニシャライズする命令としてください (例: MOV.W #xx:16, SP)。

リセット例外処理後、CCR の内容を確定しておくために、SP をイニシャライズする命令の前に CCR 操作命令を実行することができます。CCR 操作命令を実行した直後には、NMI を含めたすべての割り込み要求が禁止されています。これに続く命令を、SP をイニシャライズする命令としてください。

4.3 割り込み

4.3.1 概要

割り込み例外処理を開始する要因には、9 つの外部要因 (NMI、IRQ₀ ~ IRQ₇) と内蔵周辺モジュールからの要求による 33 の内部要因があります。割り込み要因と優先度ならびにベクタアドレスの一覧を表 4.2 に示します。複数の割り込み要求が発生したときは、優先度の高い方から処理されます。

これらの割り込みには次のような特長があります。

- (1) NMI は最優先の割り込みで、常に受け付けられます。NMI を除く、内部割り込みおよび外部割り込みは、CCR の I ビットによりマスクされます。すなわち、CCR の I ビットが 1 にセットされていると、NMI 以外の割り込みは受け付けられません。
- (2) IRQ₀ ~ IRQ₇ は、立上がりエッジセンス/レベルセンスのいずれかに、各々独立に設定することができます。NMI は、立上がりエッジセンス/立上がりエッジセンスのいずれかに設定することができます。
- (3) すべての割り込み要因は、それぞれ独立にベクタアドレスが割り当てられています。このため、割り込み処理ルーチンで要因を判定する必要はありません。
- (4) ウォッチドッグタイマでは用途に応じて NMI 割り込みか OVF 割り込みのいずれかを発生させることができます。詳細は「第 13 章 ウォッチドッグタイマ」を参照してください。

4. 例外処理

4.3.2 各レジスタの説明

割込みを制御するレジスタとして、システムコントロールレジスタ (SYSCR)、IRQ センスコントロールレジスタ (ISCR)、IRQ イネーブルレジスタ (IER) があります。

表 4.3 割込み制御レジスタ

名称	略称	R/W	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'FFC4
IRQ センスコントロールレジスタ	ISCR	R/W	H'FFC6
IRQ イネーブルレジスタ	IER	R/W	H'FFC7

(1) システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	DPME	RAME
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

SYSCR のビット 2 の NMIEG で、 $\overline{\text{NM}\bar{\text{I}}}$ 端子の入力エッジを制御します。

ビット 2 : NMI エッジセレクト (NMIEG)

$\overline{\text{NM}\bar{\text{I}}}$ 端子の入力エッジ選択を行います。

ビット 2	説明
NMIEG	
0	$\overline{\text{NM}\bar{\text{I}}}$ 入力の下上がりエッジ () で割込み要求を発生 (初期値)
1	$\overline{\text{NM}\bar{\text{I}}}$ 入力の立上がりエッジ () で割込み要求を発生

なお、SYSCR のその他のビットについての詳細は、「3.2 システムコントロールレジスタ」を参照してください。

(2) IRQ センスコントロールレジスタ (ISCR)

ビット:	7	6	5	4	3	2	1	0
	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~0 : IRQ7~0 センスコントロール (IRQ7SC~IRQ0SC)

$\overline{\text{IR}\bar{\text{Q}}_7} \sim \overline{\text{IR}\bar{\text{Q}}_0}$ 端子の入力のレベルセンスまたは立下がりエッジセンスを選択します。

ビット 7~0	説明
IRQ7SC~IRQ0SC	
0	$\overline{\text{IR}\bar{\text{Q}}_7} \sim \overline{\text{IR}\bar{\text{Q}}_0}$ 入力の Low レベルで割込み要求を発生 (初期値)
1	$\overline{\text{IR}\bar{\text{Q}}_7} \sim \overline{\text{IR}\bar{\text{Q}}_0}$ 入力の立下がりエッジ () で割込み要求を発生

(3) IRQ イネーブルレジスタ (IER)

ビット:	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7~0: IRQ7~0 イネーブル (IRQ7E~IRQ0E)

IRQ₇~IRQ₀ 割込みの許可または禁止を制御します。

ビット7~0	説明	
IRQ7E~IRQ0E		
0	IRQ ₇ ~IRQ ₀ 割込みを禁止	(初期値)
1	IRQ ₇ ~IRQ ₀ 割込みを許可	

なお、エッジセンス (IRQ7SC~IRQ0SC ビット=1) では、対応する IRQ7E~IRQ0E ビットが0 (割込み禁止) であっても割込み処理を実行する場合があります。

IRQ7E~IRQ0E ビットが1 (割込み許可) の場合に要求された割込み要因は、対応する割込み処理が実行されるまで保持されています。割込み要因は、対応する IRQ7E~IRQ0E ビットが0 (割込み禁止) となると新たには発生しませんが、既に要求されたものはクリアされず、マスクもされません。この状態で CCR の I ビットが0 となれば割込み処理が実行されます。

このような割込み処理が実行されると不都合な場合は、次の手順で割込み要因をクリアすることができます。

- (1) CCRのIビットを1にして割込みを禁止します。
割込み処理ルーチンにベクタジャンプした後は自動的に1となっています。
- (2) IRQ7E~IRQ0Eの対応するビットを0にクリアし、新たな割込み要因を禁止します。
- (3) IRQ7SC~IRQ0SCの対応するビットを0にクリアし、再び1にセットします。CCRのIビット=1、IRQnSC=0、IRQnE=0の条件で割込み要因はクリアされます。

4.3.3 外部割込み

外部割込みには、NMI、IRQ₀ ~ IRQ₇割込みの9要因があります。このうち、NMIとIRQ₀ ~ IRQ₂は、ソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割込み

NMIは、最優先の割込みで、CCRのIビットの値にかかわらず、常に受け付けられます。 $\overline{\text{NMI}}$ 端子からの割込みはエッジセンスです。SYSCRのNMIEGビットにより、立上がりエッジまたは立下がりエッジを指定できます。NMI割込み例外処理のベクタ番号は3です。この例外処理により、CCRのIビットが1にセットされます。

(2) IRQ₀ ~ IRQ₇ 割込み

IRQ₀ ~ IRQ₇割込みは、 $\overline{\text{IRQ}}_0$ ~ $\overline{\text{IRQ}}_7$ 端子の入力信号により要求されます。IRQ₀ ~ IRQ₇割込みは、立下がりエッジまたはレベルをISCRのIRQ0SC ~ IRQ7SCビットにより指定でき、IERのIRQ0E ~ IRQ7Eビットを1にセットすることにより割込み要求を許可します。また、CCRのIビットを1にセットすることにより割込みをマスクできます。

IRQ₀ ~ IRQ₇割込みの割込み例外処理が受け付けられると、Iビットが1にセットされます。IRQ₀ ~ IRQ₇割込みの例外処理のベクタ番号は4 ~ 11です。優先順位は、IRQ₇(低) ~ IRQ₀(高)の順に高くなります。詳細は表4.2を参照してください。

IRQ₀ ~ IRQ₇割込みは、 $\overline{\text{IRQ}}_0$ ~ $\overline{\text{IRQ}}_7$ 端子が入力端子として使用されているか、出力端子として使用されているかには依存しません。

外部信号により、IRQ₀ ~ IRQ₇割込みを要求する場合、対応するポートのDDRを0とし、タイマ、シリアルコミュニケーションインタフェース、A/D変換器の入出力端子としては使用しないでください。

4.3.4 内部割込み

内蔵周辺モジュールからの割込みによる内部割込み要因は、33要因あります。

各要因別にそれぞれ割込み例外処理ベクタ番号が割り当てられているため、例外処理ルーチンで要因を判定する必要はありません。いずれの割込みもCCRのIビットを1にセットすることによりマスクされます。これらの割込み例外処理が受け付けられると、Iビットは1にセットされ、その後のNMIを除く割込みをマスクします。ベクタ番号は12 ~ 44です。内蔵周辺モジュールからの割込みの優先順位については、表4.2を参照してください。

4.3.5 割込み動作

割込みは、割込みコントローラにより制御されます。割込みコントローラは多重割込みを調整し、CPUに割込み例外処理の起動を要求すると共に番号を指示します。割込みコントローラのブロック図を図4.3に示します。

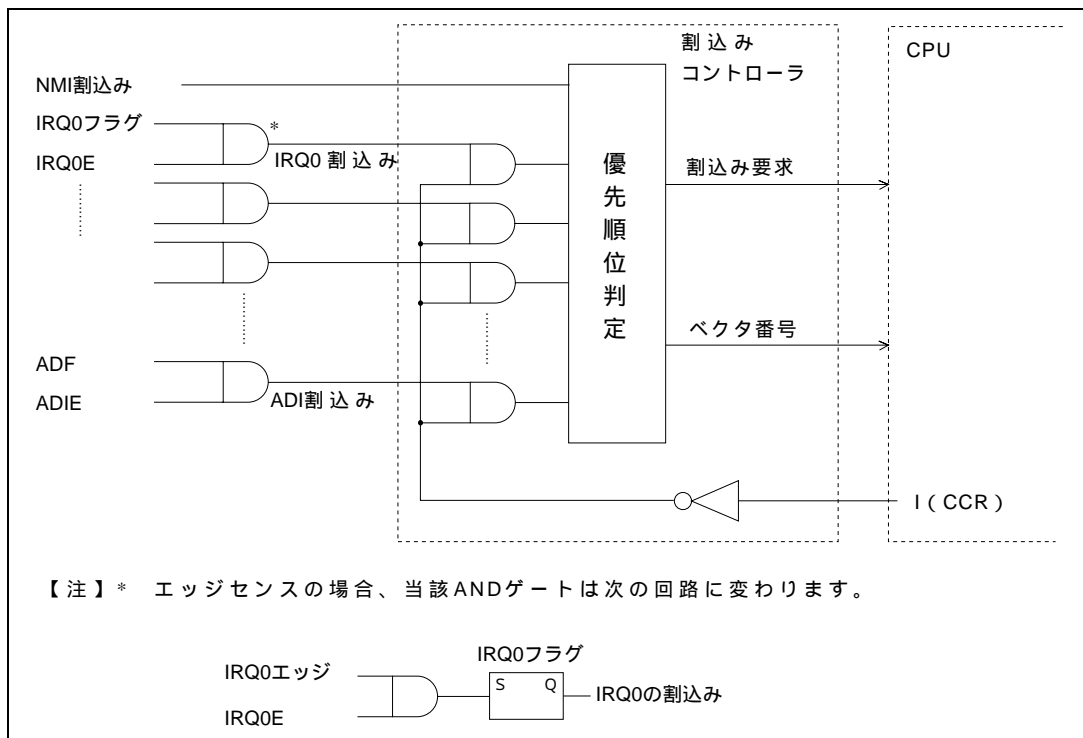


図 4.3 割り込みコントローラのブロック図

IRQ 割り込みまたは内蔵周辺モジュール（リセットを選択したウォッチドッグタイマを除きます）の割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを0にクリアするとその割り込みの割り込み信号は、割り込みコントローラに送られませんので、その割り込みは無視されます。また、これらの割り込みはCPUの割り込みマスク（I）ビットを1にセットすることにより一括して禁止することができます。すなわち、これらの割り込みはイネーブルビットを1にセットし、かつIビットを0にクリアしたときに許可状態になります。

NMI 割り込みは、リセット状態、ハードウェアスタンバイ状態を除き、常に受け付けられます。NMI 割り込みはまたは許可状態にある割り込みが発生すると、割り込みコントローラはCPUに対し割り込み要求を行い、またベクタ番号（複数の割り込みが発生している場合は最も優先順位の高い割り込みのベクタ番号）を指示します。CPUの命令の終了時点、または例外処理の終了時点で割り込み要求があるとCPUは割り込み例外処理を起動し、ベクタ番号をラッチします。

割り込みの動作フローを図 4.4 に、割り込みシーケンス（プログラム領域を内蔵ROMに、スタック領域を内蔵RAMにとった場合）を図 4.6 に示します。

- (1) NMI割り込みが発生したとき、または対応するイネーブルビットが1にセットされている状態で、IRQ割り込みまたは内蔵周辺モジュールの割り込みが発生したとき、割り込みコントローラに対して割り込み要求が送られます。
- (2) CCRのIビットを参照し、Iビットが0にクリアされている場合は、割り込みは受け付けられます。Iビットが1にセットされている場合は、NMI割り込みのみ受け付けられ、その他の割り込み要求は保留となります。
- (3) 割り込みコントローラは、受け付けた割り込みの内から、優先順位に従って、最高位の割り込み要求を選択し、CPUに対し割り込み要求を行います。その他の割り込みは保留となります。

4. 例外処理

- (4) 割り込み要求があると、そのとき実行中の命令または例外処理が終了した後、CPUは割り込み例外処理を起動し、ベクタ番号をラッチします。
- (5) CPUは割り込み例外処理によって、まずPCとCCRがスタック領域に退避されます。このときのスタック状態を図4.5に示します。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次にCPUはIビットを1にセットします。これによりNMIを除く割り込みはマスクされます。
- (7) (4) でラッチしたベクタ番号に対応するベクタアドレスを生成し、そのベクタアドレスから取り出した内容が示すアドレスに分岐します。分岐したアドレスから割り込み処理ルーチンの実行を開始します。

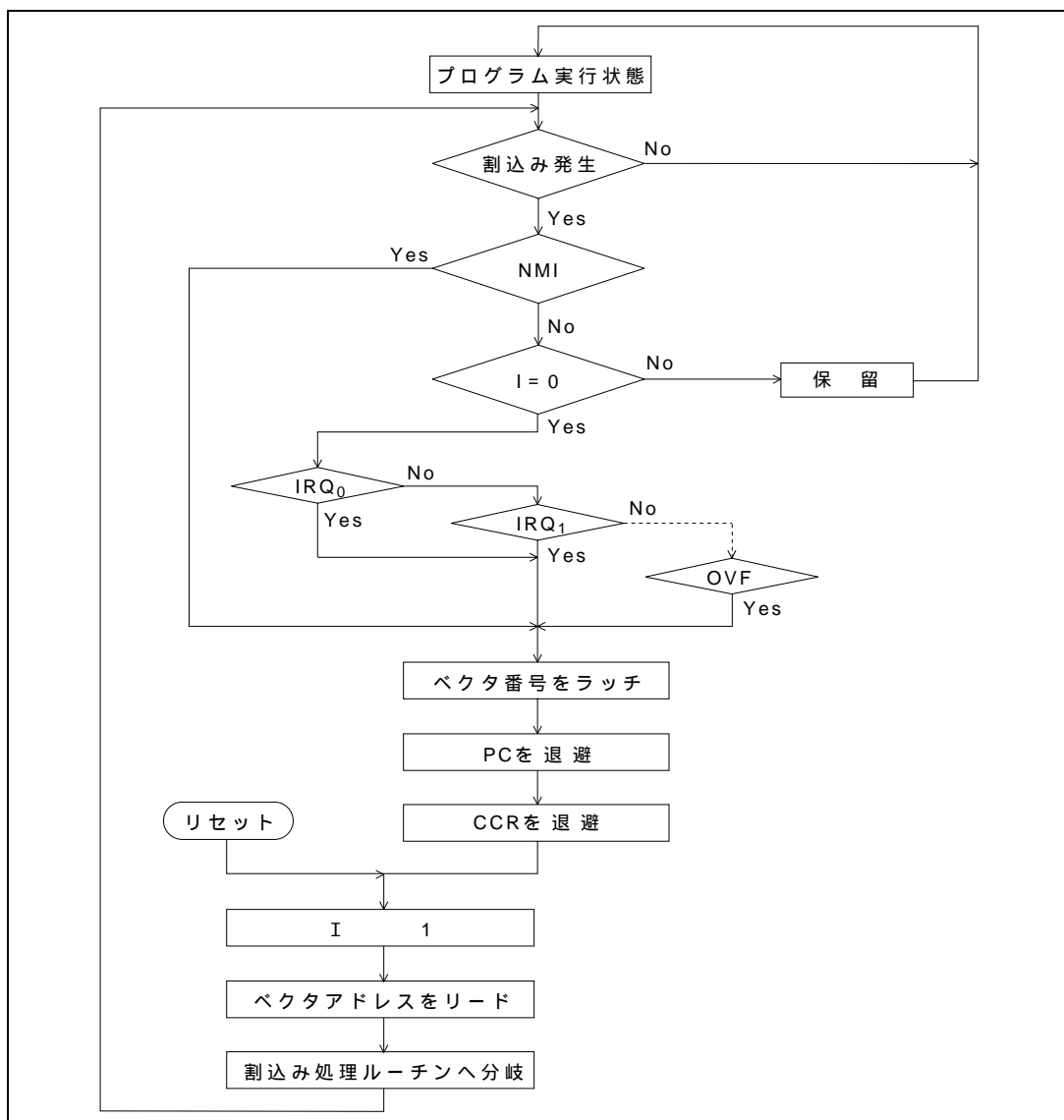


図 4.4 割り込み受けまでのフロー

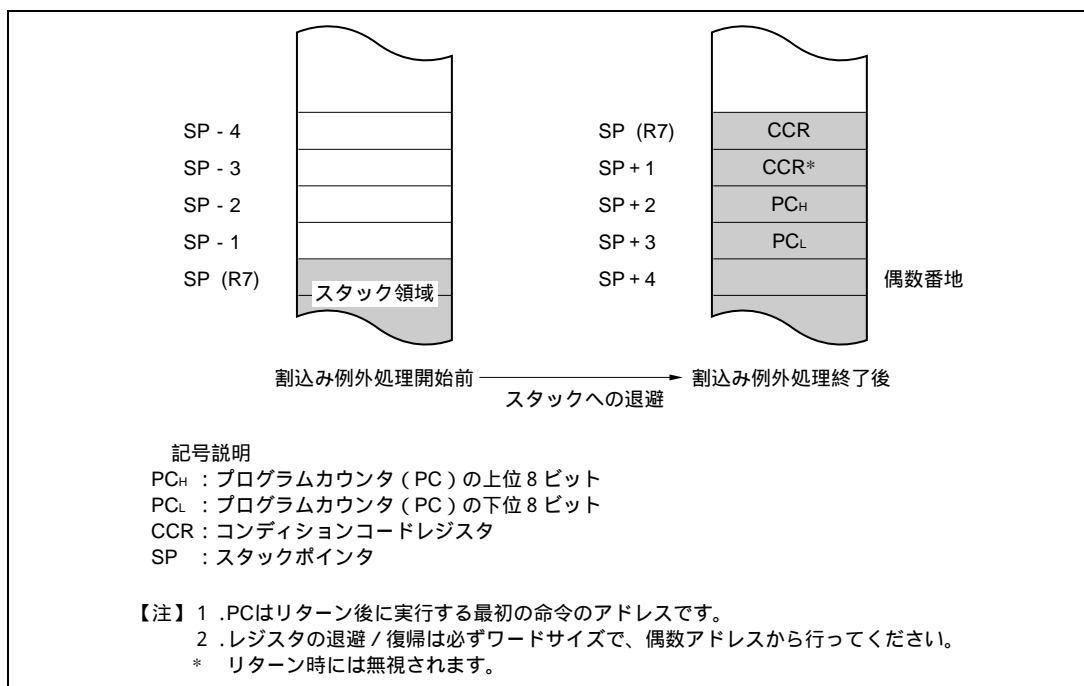
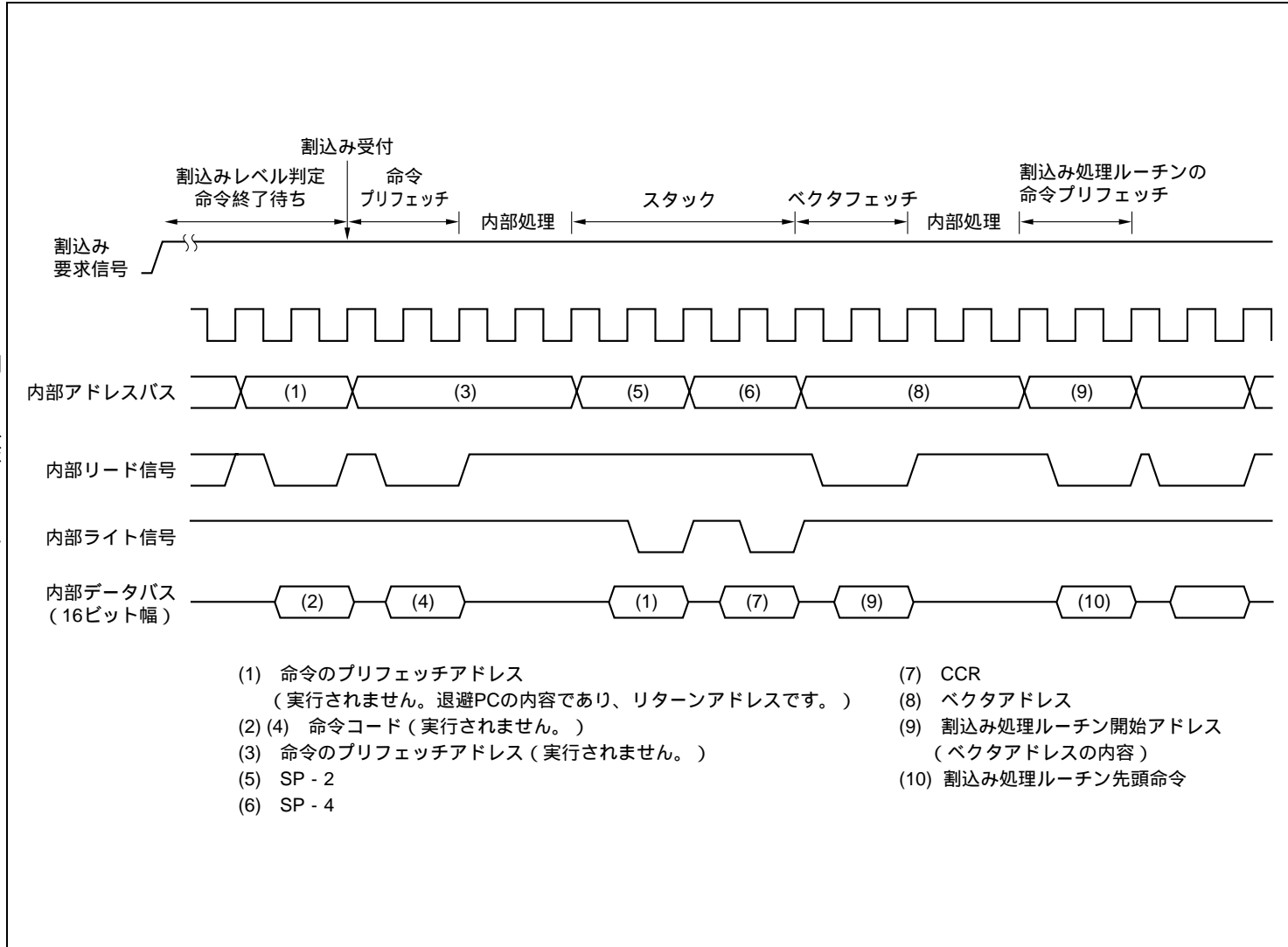


図 4.5 割り込み例外処理終了後のスタック状態

CCR は 1 バイトですが、スタックへの退避時はワードデータとして扱われます。割り込み処理においては、1 ワードとするように CCR の同じ内容の 2 バイトがスタックに退避されます。RTE 命令によりスタックから復帰したときには、CCR は偶数アドレスに格納されているバイトからロードされ、奇数アドレスに格納されているバイトは無視されます。

図 4.6 割り込みシーケンス



4.3.6 割込み応答時間

割込み要求発生後、割込み処理ルーチンの先頭命令を実行するまでの、待ち状態数を表 4.4 に示します。本 LSI では、内蔵メモリに対する高速ワードアクセスを可能としており、プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM に設けることにより、処理速度の向上が図れます。

表 4.4 割込み待ち状態数

No.	項目	状態数	
		内蔵メモリ使用	外部メモリ使用
1	割込み優先順位判定	2 ^{*3}	
2	実行中の命令終了時の待ち時間 ^{*1}	1 ~ 13	5 ~ 17 ^{*2}
3	PC、CCR のスタック	4	12 ^{*2}
4	ベクタフェッチ	2	6 ^{*2}
5	命令フェッチ	4	12 ^{*2}
6	内部処理	4	
	合計	17 ~ 29	41 ~ 53 ^{*2}

- 【注】 *1 EEPMOV 命令は除きます。
 *2 外部メモリアクセスの時にウェイトが挿入される場合には、待ち状態数が増加します。
 *3 内部割込みのとき 1 となります。

4.3.7 使用上の注意

割込み動作に関して次のような競合や動作が起りますので注意してください。

割込みのイネーブルビットを0にクリアして割込みを禁止する場合、割込みの禁止はその命令実行終了後に有効になります。すなわち、BCLR、MOV 命令などで、イネーブルビットを0にクリアする場合、命令実行中にその割込みが発生すると、命令実行終了時点では許可状態にあるため、命令実行終了後にその割込みの例外処理を実行します。ただし、その割込みより優先順位の高い割込み要求がある場合には、優先順位の高い割込み例外処理を実行し、その割込みは無視されます。

割込み要因フラグを0にクリアする場合も同様です。

OCIAE ビットを0にクリアする場合の例を図 4.7 に示します。

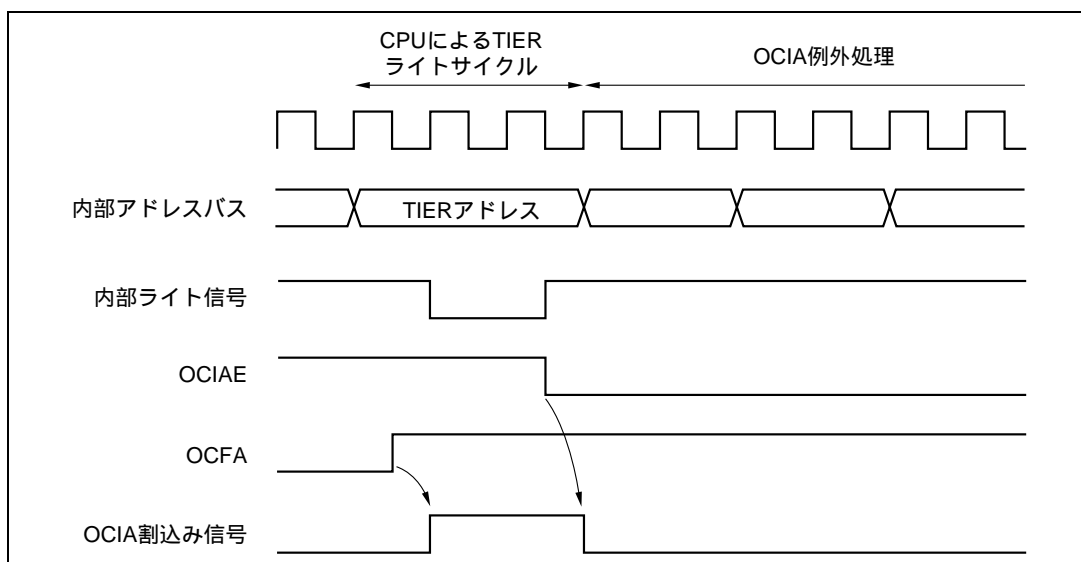


図 4.7 割込みの発生とディスエーブルの競合

なお、割込みをマスクした状態 ($I=1$) で、イネーブルビットまたは割込み要因フラグを0にクリアすれば上記の競合は発生しません。

4.4 スタック領域に関する使用上の注意

本 LSI では、ワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP:R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 4.8 に示します。

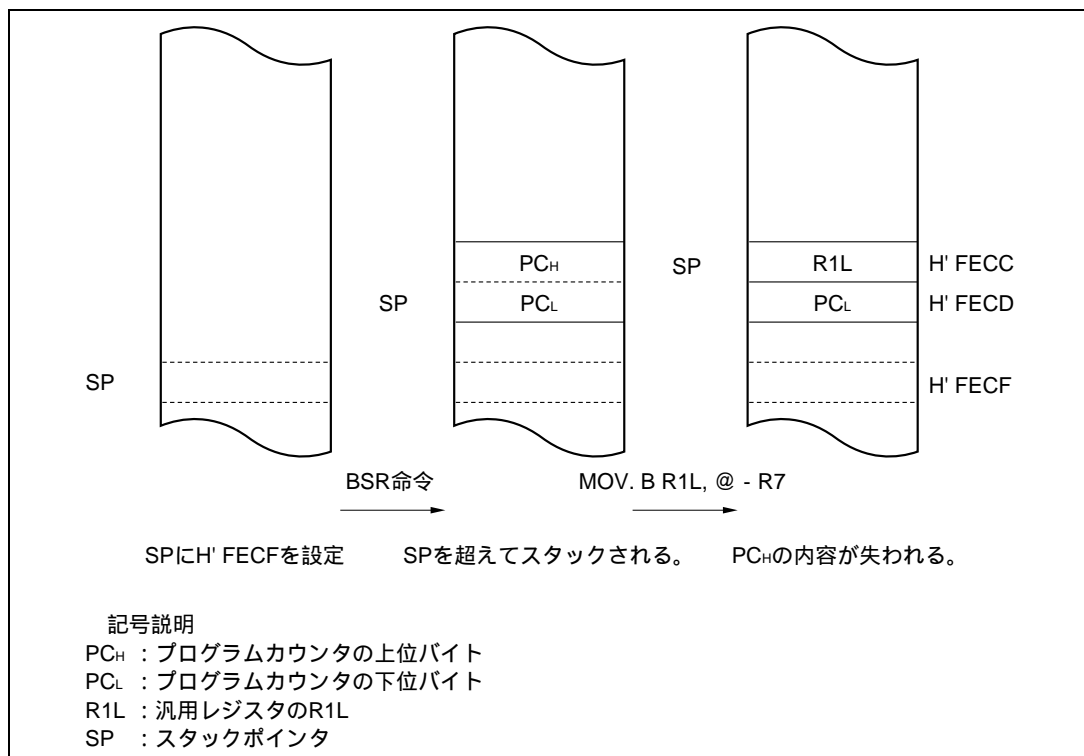


図 4.8 SP に奇数を設定したときの動作

5. データトランスファユニット

5.1 概要

本 LSI は、DMA (Direct Memory Access) が可能な 4 チャンネルの DTU (Data Transfer Unit) と、8 ビット PBI (Parallel Buffer Interface) を内蔵しています。この 2 つの機能により、最大 256 バイトの内蔵 RAM を外部から簡単にリード/ライトすることが可能です。

DTU を I/O 転送用として用いると、SCI (シリアルコミュニケーションインタフェース)、FRT (16 ビットフリーランニングタイマ)、TPC (プログラマブルタイミングパターンコントローラ)、A/D 変換器のレジスタと内蔵 RAM とのデータ転送を割り込み要求に応じて自動的に行うことができます。

DTU を PBI 転送用に用いると、内蔵 RAM 最大 256 バイトをマスタ CPU からアクセス可能な大容量 DPRAM として機能させることができます。DPRAM モードでは、指定アドレスの 1 バイトをリードすることが可能なキュアリ (問い合わせ) バッファ動作と並行して、指定アドレスから連続的にリード/ライト可能なバウンド (境界付き) バッファモードと、DTU や内蔵 RAM を用いないダイレクトワードモードのいずれかで動作可能です。

PBI は、DPRAM モード以外に、ハンドシェイクモードでの動作が可能です。

5.1.1 特長

I/O 転送、DPRAM モード、ハンドシェイクモードの特長を以下に示します。

(図 5.1 ~ 図 5.5 の図中の矢印は、特に記載がなければデータの流れを示します。)

(1) I/O 転送 (図 5.1 参照)

- I/O 転送可能なチャンネルは A、B、C の 3 チャンネルあり、それぞれ独立に DMA が可能です。
- 転送内容は RAM SCI (TDR ・ RDR)、RAM FRT (OCRA ・ OCRB)、RAM TPC (NDR)、A/D 変換器 (ADDRA RAM) の中から選択できます。
- 開始アドレスとバウンダリの設定により、転送バイト数を設定できます。設定バイト数の転送完了で、各チャンネルごとに、割り込みを発生できます。
- 最大 256 バイトの RAM エリアが使用可能です (1 チャンネル最大 128 バイト)。
- リピートモードの設定により、指定したエリアのデータを繰り返し転送することができます。
- B チャンネルに限り、リングバッファモード (FIFO モード) を設定できます。

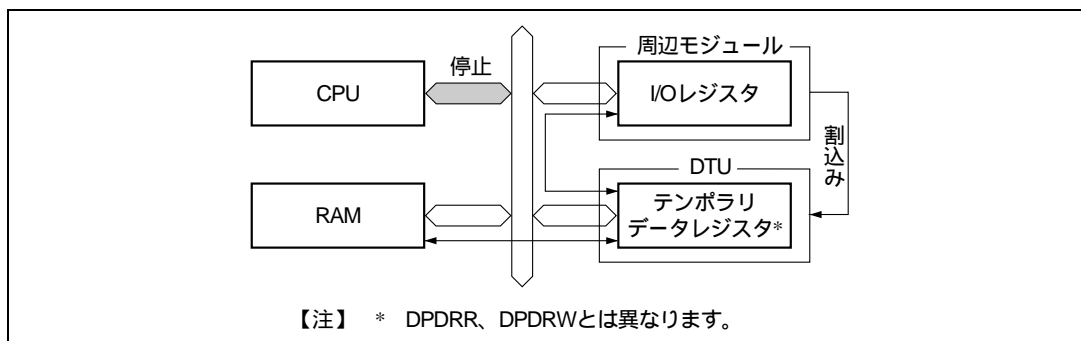


図 5.1 I/O 転送概念図

5. データトランスファユニット

(2) DPRAM モード

- DTU の R チャンネルを、マスタ CPU からのリード用の DMA チャンネルとして使い、バッファを介して内蔵 RAM をランダムにアクセスできます (キューリバッファ動作)。
- DTU のチャンネル A を、マスタ CPU からのリード用、チャンネル B をマスタ CPU からのライト用の DMA チャンネルとして使い、バッファを介して内蔵 RAM をシーケンシャルにアクセスできます (バウンドバッファモード)。DTU を使用しない場合は、チャンネルごとに、このバッファを DPRAM として使用できます (ダイレクトワードモード)。
- 最大 256 バイトの RAM エリアが使用可能です (A、B チャンネルはそれぞれ最大 128 バイト)。
- 指定バイト数転送終了 (マスタリードエンド / マスタライトエンド) で内部 CPU 割込みを発生できます。
- シングルチップモード時は、マスタ CPU に対して $\overline{\text{RDY}}$ 端子による割込み要求と $\overline{\text{WRQ}}$ 端子によるウェイト要求が可能です。
拡張モード時は、マスタ CPU に対し $\overline{\text{RDY}}$ 端子による割込み要求、もしくは $\overline{\text{WRQ}}$ 端子によるウェイト要求のどちらかが可能です。

(a) キューリバッファ動作 (図 5.2)

- 1 バイトのアドレス / データレジスタをもち、マスタ CPU から内蔵 RAM アドレスをライトして指定することにより、内蔵 RAM 256 バイト中の任意のバイトをマスタ CPU からリード可能です。

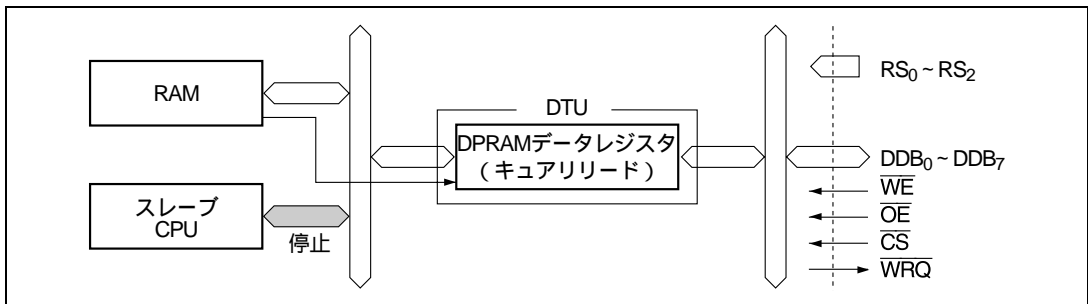


図 5.2 キューリバッファ動作概念図

(b) バウンドバッファモード (図 5.3)

- リード用 / ライト用にそれぞれ 8 ビットのデータレジスタを 2 本もち、これをバッファとしてマスタ CPU の待ち時間なく内蔵 RAM 256 バイト中のデータの転送ができます。
- 開始アドレスとバウンダリの設定により、転送バイト数を設定できます。設定バイト数の転送完了で、各チャンネルごとに、内部 CPU 割込みを発生できます。
- マスタ CPU のリード動作では、内部 CPU の指定する内蔵 RAM アドレスのデータ転送が行われます。
- マスタ CPU のライト動作では、マスタ CPU の指定する内蔵 RAM アドレスにデータ転送が行われます。

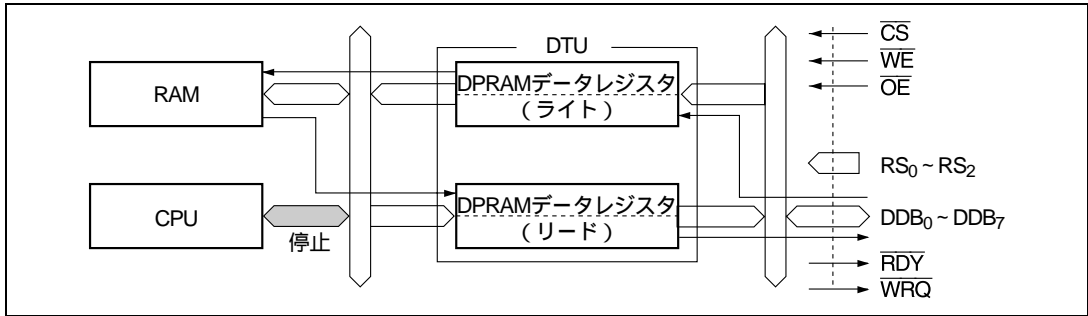


図 5.3 バウンドバッファモード概念図

(c) ダイレクトワードモード (図 5.4)

- リード用/ライト用にそれぞれ 8 ビットのデータレジスタを 2 本もち、これを DPRAM としてマスタ CPU との間でデータの転送ができます。バウンドバッファモードを使用していないチャンネルは、自動的にダイレクトワードモードになります。

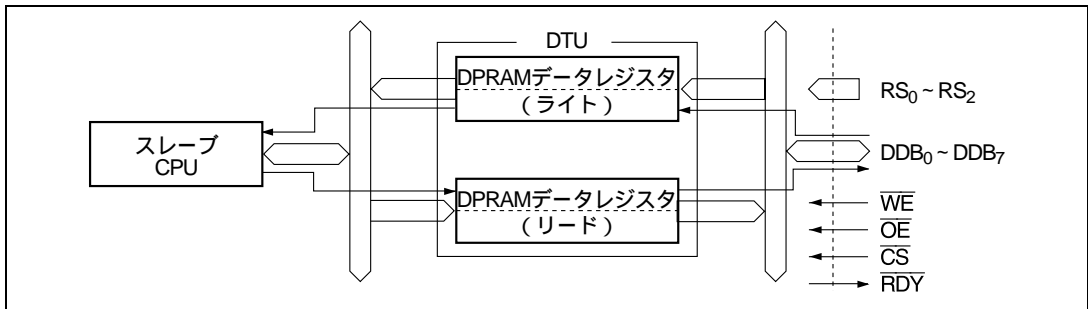


図 5.4 ダイレクトワードモード概念図

(3) ハンドシェイクモード (図 5.5)

- \overline{OE} 、 \overline{WE} 入力、 \overline{RDY} 、 \overline{WRQ} 出力を利用して、ハンドシェイク動作を行います。
- \overline{OE} 入力立上がり (出力データ処理終了)、 \overline{WE} 入力立上がり (入力データ確定) で内部 CPU 割込みを発生できます。
- マスタ CPU に対し \overline{RDY} 出力、 \overline{WRQ} 出力により割込み要求およびデータの入力/出力要求が可能です。

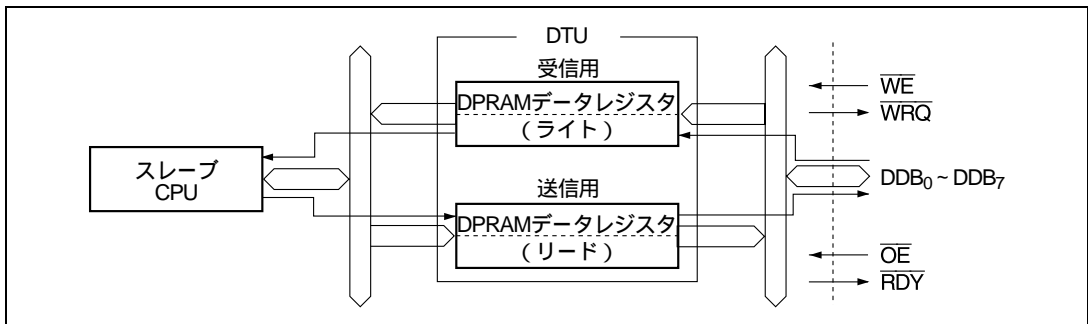


図 5.5 ハンドシェイクモード概念図

5. データトランスファユニット

5.1.2 ブロック図

DTU および PBI のブロック図を図 5.6 に示します。

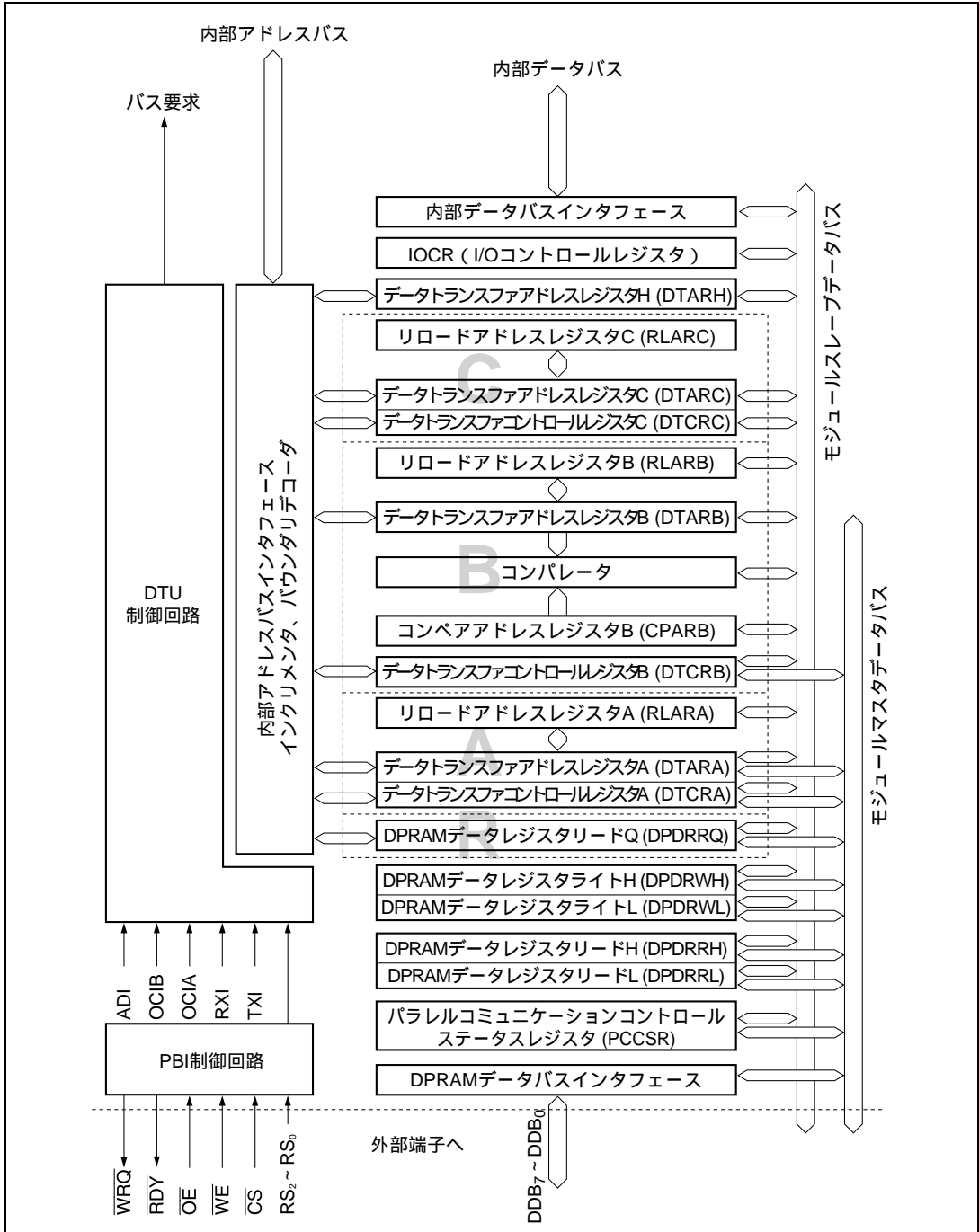


図 5.6 DTU/PBI ブロック図

5.1.3 端子構成

端子構成を表 5.1 に示します。

\overline{CS} 、 \overline{OE} 、 \overline{WE} 、 \overline{RDY} 、 DDB はシングルチップモードでのみ有効です。

拡張モードでは代わりに、 \overline{XCS} 、 \overline{XQE} 、 \overline{XWE} 、 \overline{XRDY} 、 $XDDB$ が有効となります。

表 5.1 端子構成

名称	略称*1	入出力	機能 (DPRAM モード時)
チップセレクト	\overline{CS} \overline{XCS}	入力	PBI を選択するためのチップセレクト入力
レジスタセレクト	$RS_2 \sim RS_0$	入力	マスタ CPU から PBI のレジスタを選択するためのレジスタセレクト入力*2
アウトプットイネーブル	\overline{OE} \overline{XOE}	入力	マスタ CPU から PBI のレジスタをリードするためのアウトプットイネーブル入力
ライトイネーブル	\overline{WE} \overline{XWE}	入力	マスタ CPU から PBI のレジスタにライトするためのライトイネーブル入力
レディ	\overline{RDY} \overline{XRDY}	出力	マスタ CPU に割込みを要求するためのレディ入力
ウェイトリクエスト	\overline{WRQ}	出力	マスタ CPU にウェイトを要求するためのウェイトリクエスト入力
DPRAM データバス	$DDB_7 \sim DDB_0$ $XDDB_7 \sim XDDB_0$	入出力	マスタ CPU と PBI のパラレルインタフェースのための 8 ビットデータバス

【注】 *1 \overline{XCS} 、 \overline{XOE} 、 \overline{XWE} 、 \overline{XRDY} 、 $XDDB$ は、本文中で特に明記しない限り \overline{CS} 、 \overline{OE} 、 \overline{WE} 、 \overline{RDY} 、 DDB と略称します。

*2 レジスタとレジスタセレクトとの対応については、表 5.2 を参照してください。

5. データトランスファユニット

5.1.4 レジスタ構成

レジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

名称	略称	内部 CPU R/W	初期値	アドレス		参照 ページ
				内部	RS ₂ ~ RS ₀	
パラレルコミュニケーションコントロールステータスレジスタ	PCCSR	R/W	H'04	H'FFF0	000	89
I/O コントロールレジスタ	IOCR	R/W	H'03	H'FFF1	-	78
DPRAM データレジスタリード Q	DPDRRQ	-	不定	-	001	89
データトランスファアドレスレジスタ H	DTARH	R/W	不定	H'FFF5	-	83
データトランスファコントロールレジスタ A	DTCRA	*	H'00	H'FFF6	010	81
データトランスファアドレスレジスタ A	DTARA	*	不定	H'FFF7	011	84
リロードアドレスレジスタ A	RLARA	R	不定	H'FFF2	-	84
データトランスファコントロールレジスタ B	DTCRB	*	H'00	H'FFF8	010	81
データトランスファアドレスレジスタ B	DTARB	*	不定	H'FFF9	011	84
リロードアドレスレジスタ B	RLARB	R	不定	H'FFF3	-	84
コンペアアドレスレジスタ B	CPARB	R/W	不定	H'FFF4	-	85
データトランスファコントロールレジスタ C	DTCRC	R/W	H'00	H'FFFA	-	81
データトランスファアドレスレジスタ C	DTARC	R/W	不定	H'FFFB	-	84
リロードアドレスレジスタ C	RLARC	-	不定	-	-	84
DPRAM データレジスタライト H	DPDRWH	*	不定	H'FFFC	100	87
DPRAM データレジスタライト L	DPDRWL	*	不定	H'FFFD	101	87
DPRAM データレジスタリード H	DPDRRH	*	不定	H'FFFE	110	87
DPRAM データレジスタリード L	DPDRRL	*	不定	H'FFFF	111	87
シリアルタイムコントロールレジスタ	STCR	R/W	H'1C	H'FFC3	-	85
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4	-	93

【注】 * 各レジスタの R/W については、「表 5.3 転送モードとレジスタ構成」を参照してください。

各レジスタは転送モードによりアクセスの方法が異なります。転送モードに対応するレジスタのアクセスを表 5.3 に示します。また、各転送モードの設定方法を表 5.4 に示します。

表 5.3 転送モードとレジスタ構成

チャネル	略称	R/W							初期値	アドレス	
		I/O 転送	DPRAM モード					ハンドシェイクモード*2			
			PBI 転送			ダイレクトワードモード					
			キュアリバッファ動作*1	バウンドバッファモード							
内部 CPU	マスタ CPU	マスタ CPU	内部 CPU	マスタ CPU	内部 CPU	内部 CPU					
内部	RS ₂ ~ RS ₀										
	PCCSR	x	R/W	R/W	R/W	R/W	R/W	R/W	H'04	H'FFF0	000
	IOCR	R/W	-	-	R/W	-	R/W	R/W	H'03	H'FFF1	-
	DTARH	R/W	-	-	R/W	-	x	x	不定	H'FFF5	-
R	DPDRRQ	-	R/W	x	-	x	-	-	不定	-	001
A	DTCRA	R/W/x*3	-	-/R*4	x/R/W*5	-	x	x	H'00	H'FFF6	010
	DTARA	R/W/x*3	-	-/R*4	x/R/W*5	-	x	x	不定	H'FFF7	011
	RLARA	R/	-	-	/R*5	-	-	-	不定	H'FFF2	-
B	DTCRB	R/W/x*3	-/x*4	-/W*4	x/R*5	-/x*4	x	x	H'00	H'FFF8	010
	DTARB	R/W/x*3	-/x*4	-/W*4	x/R*5	-/x*4	x	x	不定	H'FFF9	011
	RLARB	R/	-	-	/R*5	-	-	-	不定	H'FFF3	-
	CPARB	R/W/x*3	-	-	x/R/W*5	-	x	x	不定	H'FFF4	-
C	DTCRC	R/W	-	-	x	-	x	x	H'00	H'FFFA	-
	DTARC	R/W	-	-	x	-	x	x	不定	H'FFFB	-
	RLARC	-	-	-	-	-	-	-	不定	-	-
	DPDRWH	x	x	W	-	W	R		不定	H'FFFC	100
	DPDRWL	x	x	W	-	W	R	R	不定	H'FFFD	101
	DPDRRH	x	x	R	-	R	W		不定	H'FFFE	110
	DPDRRL	x	x	R	-	R	W	W	不定	H'FFFF	111

<記号説明>

- x : アクセス禁止 (ライトが他の機能の動作に影響する)
- : アクセス可能だが、動作には影響しない
- : アクセス不可能

【注】 *1 キュアリバッファ動作は、バウンドバッファモードやダイレクトワードモードと並行して動作可能です。DTARH や IOCR はこれらのモードに共通して用いられるので、書換えの際はご注意ください。

*2 ハンドシェイクモードの場合、マスタ CPU は、DPDRWL へのライトが可能です。内部 CPU は、DPDRRL のマスタ CPU への出力が可能です。

*3 バウンドバッファモードで使用している場合はアクセス禁止です。

*4 I/O 転送で使用している場合はアクセス不可能です。

*5 I/O 転送で使用している場合はアクセス禁止です。

5. データトランスファユニット

表 5.4 各転送モードの設定方法

I/O 転送モード	基本的には DTE を 1 にセットすることにより、チャンネル A、B、C について、いつでも I/O 転送モードがスタートします。 ただし、チャンネル A およびチャンネル B は、IOCR の設定によりバウンドバッファモードの転送用にアサインされることがあります。 (表 5.5 および 5.3.3 項参照)
DPRAM モード	
キュアリバッファ動作	専用にチャンネル R を使用します。SYSCR の DPME = 1、IOCR の HSCE = 0 のときに動作します。 (表 5.5 および 5.3.4 項参照)
バウンドバッファモード	マスタへの読み出しは、チャンネル A を使用します。DPME = 1 (SYSCR)、HSCE = 0 (IOCR)、DPEA = 1 (IOCR) のとき使用可能です。 マスタからの書き込みは、チャンネル B を使用します。DPME = 1 (SYSCR)、HSCE = 0 (IOCR)、DPEB = 1 (IOCR) のとき使用可能です。 (表 5.5 および 5.3.5 項参照)
ダイレクトワードモード	マスタへの読み出しは、チャンネル A を使用します。DPME = 1 (SYSCR)、HSCE = 0 (IOCR)、DPEA = 0 (IOCR) のとき使用可能です。 マスタからの書き込みは、チャンネル B を使用します。DPME = 1 (SYSCR)、HSCE = 0 (IOCR)、DPEB = 1 (IOCR) のとき使用可能です。 (表 5.5 および 5.3.6 項参照)
ハンドシェークモード	SYSCR の DPME = 1、IOCR の HSCE = 1 のとき使用できます。 (表 5.5 および 5.3.7 項参照)

5.2 各レジスタの説明

以下に各レジスタについて説明します。

レジスタ名の横についたマークは、各々そのレジスタが使用されるモードを示します。

マークの意味は

I/O	: I/O 転送
Q	: キュアリバッファ動作
BB	: バウンドバッファモード
DI	: ダイレクトワードモード
H/S	: ハンドシェークモード

5.2.1 I/O コントロールレジスタ (IOCR)

I/O	BB	DI	H/S
-----	----	----	-----

ビット:	7	6	5	4	3	2	1	0
	HSCE	DPEA	DPEB	RPEA	RPEB	RPEC	—	—
初期値:	0	0	0	0	0	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	—	—

IOCR は DTU/PBI の動作モードの設定、DTU の制御を行います。

ビット7：パラレルハンドシェイクイネーブル（HSCE）

ビット6、5：DPRAM イネーブル A、B（DPEA、DPEB）

SYSCRのDPMEビット、IOCRのHSCE、DPEA、DPEBビットの組み合わせにより設定されるDTU/PBIの動作モードを、表5.5に示します。このときの端子機能を、表5.6に示します。

表 5.5 DTU/PBI 動作モード設定

DPME (SYSCR)	ビット7 HSCE	ビット6 DPEA	ビット5 DPEB	ハンドシェイクモード	キュアリアッファ動作 (DTUチャネルR)	バウンドパッファモード (DTUチャネルA)	バウンドパッファモード (DTUチャネルB)	ダイレクトワードモード (DPDRRH,L)	ダイレクトワードモード (DPDRWH,L)
1	1	-	-		×	I/O転送	I/O転送	ハンドシェイク	ハンドシェイク
	0	0	0	×	(リード)	I/O転送	I/O転送	(リード)	(ライト)
		1	0	×	(リード)	(リード)	I/O転送	バウンドパッファ	(ライト)
		0	1	×	(リード)	I/O転送	(ライト)	(リード)	バウンドパッファ
		1	1	×	(リード)	(リード)	(ライト)	バウンドパッファ	バウンドパッファ
0	-	-	-	×	×	I/O転送	I/O転送	×	×

：使用可

×：使用不可

-：不定

 I/O転送モードで使用可能

【注】 I/O転送を行うときはDTCRA、DTCRB、DTCRCのDTEビットを1にセットしてください。
 ハンドシェイクモードでの動作は、シングルチップモード時のみで可能です。拡張モード時にはHSCEビットを1にセットしないでください。

表 5.6 各モードの端子機能

DPME (SYSCR)	ビット7 HSCE	モード名	CS/XCS RS ₂ ~RS ₀	OE/XOE WE/XWE	RDY/XRDY	WRQ	DDB ₇ ~DDB ₀ /XDDB ₇ ~XDDB ₀
1	1	ハンドシェイクモード	ポート機能	制御入力	制御出力	PCCSRのEWRQビットにより制御出力またはポート機能	データ入出力
	0	DPRAMモード	制御入力				
0	-	-	ポート機能	ポート機能	ポート機能	ポート機能	ポート機能またはデータバス

【注】 ポート機能とは、DPRAM端子にマルチプレクスされているポート、周辺機能および拡張機能の端子機能が有効であることを表します。

5. データトランスファユニット

ビット4~2: リpeatイネーブルA~C (RPEA~RPEC)

I/O 転送時のみに有効なビットです。DTU (チャンネル A、B、C) の動作モードを、リピートモードとノーマルモードのいずれかから選択します。

ノーマルモードでは、バウンダリまでの転送で DTCRA、B、C の DTE ビットが 0 にクリアされます。

リピートモードでは、バウンダリまでの転送で DTCRA、B、C の DTE ビットが 0 にクリアされず、DTARA、B、C とバウンダリで指定したエリアのデータを繰り返し転送します。各チャンネルはリロードアドレスレジスタを持ち、チャンネル B はさらにリングバッファモードの動作が可能です。

バウンダリおよびリピートモード、ノーマルモードの使用方法は「5.3 動作説明」を参照してください。

ビット4~2	説明
RPEA、B、C	
0	ノーマルモードで転送を行う (初期値)
1	リピートモードで転送を行う

ビット1、0: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

5.2.2 データトランスファコントロールレジスタ A~C (DTCRA~DTCRC)

		I/O		BB							
		ビット: 7 6 5 4 3 2 1 0									
		DTE DTIE BUD2 BUD1 BUD0 SOS2 SOS1 SOS0									
		初期値: 0 0 0 0 0 0 0 0 0									
モード	レジスタ										
I/O 転送 モード	DTCRA	内部 CPU	RW	RW	RW	RW	RW	RW	RW	RW	RW
	DTCRB										
	DTCRC										
PBI 転送 DPRAM	DTCRA	内部 CPU	RW	0	(RW)	RW	RW	RW	(RW)	(RW)	(RW)
		マスタ CPU	RW	0	R	R	R	R	R	R	R
バウンド バッファ モード	DTCRB	内部 CPU	RW	0	0	R	R	R	0	0	0
		マスタ CPU	RW	-	-	W	W	W	-	-	-

- : 使用しません。ライトは無効です。

0 : 必ず 0 がリードされます。

(RW) : ライトできますが、動作に影響を与えません。

DTCR は I/O 転送、PBI 転送 DPRAM バウンドバッファモード時に使用します。

I/O 転送時に、DTCRA、DTCRB、DTCRC は、それぞれ DTU の A、B、C チャンネルに対応し、各チャンネルの制御レジスタとして使用します。

PBI 転送 DPRAM バウンドバッファモード時は、DTCRA をマスタ CPU のリード、DTCRB をマスタ CPU のライトの制御レジスタとして使用します。

ビット 7: データトランスファイネーブル (DTE)

I/O 転送時に使用します。PBI 転送時には使用しません。

DTE を 1 にセットすると、そのチャンネルは転送要求待ち状態となり、ソースセレクト (SOS2、SOS1、SOS0) で指定された割り込み要求信号により DMA が起動されます。

バウンダリオーバーフローまたは内部 CPU による 0 クリアで転送が停止します。このとき、DTIE ビットが 1 にセットされていると割り込み要求を発生します。内部 CPU が DTE ビットを再セットした場合は、中断した時点の状態から転送を再開します。

ビット 7	説明
DTE	
0	I/O 転送が停止中であることを表します。 (初期値) [クリア条件] (1) DTE に 0 をライトしたとき (2) ノーマルモードで、バウンダリまでの転送が終了したとき
1	I/O 転送が動作中であることを表します。 [セット条件] DTE = 0 の状態で、DTCR をリードした後、DTE に 1 をライトしたとき

5. データトランスファユニット

ビット 6 : データトランスファインタラプトイネーブル (DTIE)

I/O 転送時に使用します。PBI 転送時には使用しません。

DTE ビットの 0 クリアによる割込みの許可または禁止を選択します。

ビット 6	説明	
DTIE		
0	DTE ビットの 0 クリアによる割込み要求 (DTI) を禁止	(初期値)
1	DTE ビットの 0 クリアによる割込み要求 (DTI) を許可	

ビット 5~3 : バウンダリ 2~0 (BUD2~BUD0)

BUD は、バウンダリ (境界桁) の設定を行い、内蔵 RAM アドレスの下位バイトである DTAR の桁上りを制御します。DTAR は、1 バイトまたは 1 ワードの転送が終了することにインクリメントする 8 ビットカウンタですが、バウンダリで桁上りを禁止することができます。DTAR のオーバーフローは、バウンダリからの桁上りによって発生し、このとき、バウンダリより上位桁のデータはそのまま保持され、下位桁のデータは初期値に再設定されます。初期値は、0 の場合とリロードアドレスレジスタの内容による場合があります、チャンネル、動作モードによって異なります。

BUD2	BUD1	BUD0	DTARオーバーフロータイミング	最大転送バイト数*
0	0	0	1バイトの転送終了ごと	1
0	0	1	DTARのbit0 1の桁上り	2
0	1	0	DTARのbit1 2の桁上り	4
0	1	1	DTARのbit2 3の桁上り	8
1	0	0	DTARのbit3 4の桁上り	16
1	0	1	DTARのbit4 5の桁上り	32
1	1	0	DTARのbit5 6の桁上り	64
1	1	1	DTARのbit6 7の桁上り	128

DTAR
ビット 7 6 5 4 3 2 1 0

【注】* バウンダリにより下位ビットの初期設定値が 0 のときの転送バイト数

図 5.7 各ビットとバウンダリの関係

ビット 2~0 : ソースセレクト 2~0 (SOS2~SOS0)

I/O 転送時に使用します。PBI 転送時には使用しません。

DTU の I/O 転送を起動する割込み要因の設定を行います。DTE が 1 の場合、この割込み要求信号を I/O 転送の起動信号とみなします。DTE が 0 の場合は、この割込み要求信号は割込み制御回路に送られます。

I/O 転送の起動要因と転送内容を表 5.7 に示します。転送内容には、起動要因をクリアするものではないものがあります。これらを組合せると、1 つの起動要因で 2 つの転送内容を連続して行うことができます。このとき、I/O 転送は、チャンネル A チャンネル B チャンネル C の順に実行されます。

チャンネル A、またはチャンネル B が表 5.7 の No.9 または No.10 の転送を実行した場合、起動要因クリアを実行せず、そのチャンネルは停止状態となります。

停止状態の解除は No.9 の転送を実行したときは No.5 または No.7、No.10 の転送を実行したときは No.4 または No.6 の転送終了によって自動的に行われます。停止状態はそのチャンネルの DTCR へ

のダミーライトで強制的に解除することが可能です。

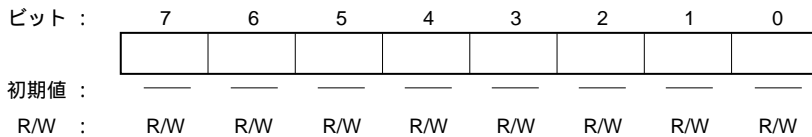
表 5.7 起動要因選択と転送内容選択

No.	割込み要因	モジュール	転送	要因クリアの実行	DTU (チャンネルA)			DTU (チャンネルB)			DTU (チャンネルC)		
					SOS2	SOS1	SOS0	SOS2	SOS1	SOS0	SOS2	SOS1	SOS0
1	RXI0	SCIO	RDR RAM (バイト)		0	0	1	0	0	1	0	0	1
2	TXI0	SCIO	RAM TDR (バイト)		0	1	0	0	1	0	0	1	0
3	ADI	A/D	ADDRA RAM (ワード)		0	1	1	0	1	1	0	1	1
4	OCIB1	TPC	RAM NDRB (ワード)								1	0	0
5	OCIA1	TPC	RAM NDRB (ワード)					1	0	0	1	0	1
6	OCIB1	TPC	RAM NDRA (バイト)								1	1	0
7	OCIA1	TPC	RAM NDRA (バイト)					1	0	1	1	1	1
8	OCIA1	FRT1	RAM OCRA (ワード)		1	0	0	1	1	0			
9	OCIA1	FRT1	RAM OCRA (ワード)	x	1	0	1	1	1	1			
10	OCIB1	FRT1	RAM OCRB (ワード)	x	1	1	0						

【注】 SOS2 = SOS1 = SOS0 = 0 の場合、起動要因は選択されません。

5.2.3 データトランスファアドレスレジスタ H (DTARH)

I/O	Q	BB
-----	---	----



DTARH は、DTU 機能使用時、すなわち I/O 転送、PBI 転送 DPRAM モード (キュアリバッファ動作、バウンドバッファモード) 時に使用します。

DTARH は、内蔵 RAM のアドレス上位 8 ビットを指定するレジスタです。DTARH は DTARA、DTARB、DTARC と組み合わせることにより、16 ビットのアドレスを生成します。

5. データトランスファユニット

5.2.4 データトランスファアドレスレジスタ A~C (DTARA~DTARC)

		I/O		Q		BB			
ビット:		7	6	5	4	3	2	1	0
初期値:		-	-	-	-	-	-	-	-
モード	レジスタ								
I/O 転送 モード	DTARA	内部 CPU	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	DTARB								
	DTARC								
PBI 転送 DPRAM バウンド バッファ モード	DTARA	内部 CPU	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		マスタ CPU	R/W	R	R	R	R	R	R
	DTARB	内部 CPU	R/W	R	R	R	R	R	R
		マスタ CPU	R/W	W	W	W	W	W	

DTAR は、DTU 機能使用時、すなわち I/O 転送、PBI 転送 DPRAM モード（キュアリバッファ動作、バウンドバッファモード）時に使用します。

DTARA~DTARC は、DTARH と合わせて 16 ビットの内蔵 RAM アドレスを生成し、DTU の転送アドレスを示します。DTAR には、DTCR の BUD ビットによりバウンダリが設定され、DTAR のインクリメントはバウンダリまでの範囲で行われます。

I/O 転送時は、各チャンネルのアドレスレジスタ下位 8 ビットとして使用します。

PBI 転送 DPRAM バウンドバッファモード時は、DTARA をマスタ CPU のリード、DTARB をマスタ CPU のライトのアドレスレジスタ下位 8 ビットとして使用します。

5.2.5 リロードアドレスレジスタ A~C (RLARA~RLARC)

		I/O		BB					
ビット:		7	6	5	4	3	2	1	0
初期値:		-	-	-	-	-	-	-	-
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RLAR は、DTU 機能使用時、すなわち I/O 転送、PBI 転送 DPRAM モード（バウンドバッファモード）時に使用します。

RLAR は、バウンダリオーバーフロー時に DTAR を初期化するためのデータを保持するレジスタです。RLAR へのライトは、DTAR へのマスタ CPU および内部 CPU のライトによって自動的に行われます。その後、DTAR の値がインクリメントして行き、バウンダリオーバーフローが発生すると、DTAR は RLAR の値に初期化されます。

リングバッファモード時に RLARB は、リングバッファの補助ポインタとして動作します。このとき DTARB が主ポインタとなり、DTU の転送アドレスを示します。一連の転送が中断されて蓄積したデータが無効になった場合、ソフトウェアで RLARB の内容に初期化 (LOAD) することができます。また、一連の転送が正常に終了し、蓄積したデータが有効になった場合には、ソフトウェアで RLARB に DTARB の内容をコピー (MARK) することができます。ただし、バウンダリオーバーフロー時にはリピートモードのとき自動的に RLARB の値が DTARB にコピーされますので注意が必要です。

5.2.6 コンペアアドレスレジスタ B (CPARB)

BB

ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :								
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CPARB は、リングバッファモード時に使用する補助ポインタです。CPARB の内容は、常に DTARB と比較され、一致すると割込み要求を発生することができます。

CPARB は、リングバッファ中の未処理データの先頭アドレスを示すよう、常にソフトウェアで更新しておきます。その場合、リングバッファが未処理のデータで満たされ、オーバランエラーとなったとき、CPARB と DTARB が一致し、割込み要求を発生します。

5.2.7 シリアルタイムコントロールレジスタ (STCR)

BB

ビット :	7	6	5	4	3	2	1	0
	RING	CMPF	CMPIE	LOAD	MARK	-	ICKS1	ICKS0
初期値 :	0	0	0	1	1	1	0	0
R/W :	R/W	R(W)*	R/W	(W)	(W)	-	R/W	R/W

【注】* ビット6は、フラグをクリアするための0ライトのみ可能です。

STCR は、8 ビットのリード/ライト可能なレジスタで、DTU チャンネル B の制御、SCI の動作モードの選択、TCNT の入力クロックの選択を行います。

STCR はリセット時に H'IC にイニシャライズされます。

ビット7: リングバッファモード (RING)

1 にセットすることにより、DTU チャンネル B をリングバッファモードに設定します。リングバッファモードを使用するためには、この他に、IOCR の RPEB ビットを 1 にセットする必要があります。

ビット7	説明	
RING		
0	DTU チャンネル B をリングバッファモードとしない	(初期値)
1	DTU チャンネル B をリングバッファモードとする	

5. データトランスファユニット

ビット6：コンペインタラプトフラグ（CMPF）

リングバッファのオーバーランエラー割込み要求フラグです。DTU サイクルの発生により、DTARB がインクリメントして CPARB と一致したことを示します。

ビット6	説明
CMPF	
0	[クリア条件] CMPF = 1 の状態で STCR をリードした後、CMPF に 0 をライトしたとき (初期値)
1	リングバッファオーバーランエラー [セット条件] DTU サイクルの発生により、DTARB がインクリメントして CPARB の内容と一致したとき

ビット5：コンペインタラプトイネーブル（CMPIE）

CMPIE が 1 にセットされたときの割込み要求（CMPI）の許可または禁止を選択します。

ビット5	説明
CMPIE	
0	CMPF による割込み要求（CMPI）を禁止 (初期値)
1	CMPF による割込み要求（CMPI）を許可

ビット4：ポインタロード（LOAD）

リングバッファのポインタ（DTARB）を補助ポインタ（RLARB）の内容に初期化するための制御ビットです。LOAD ビットには値を保持するラッチはなく、これを 0 にクリアすることにより、ロード動作が実行されます。

ビット4	説明
LOAD	
0 にクリア	DTARB に RLARB の内容をコピーする
1 にセット	何も実行しない (初期値)

ビット3：ポインタマーク（MARK）

リングバッファのポインタ（DTARB）の内容を補助ポインタ（RLARB）にコピーするための制御ビットです。MARK ビットに値を保持するラッチはなく、これを 0 にクリアすることにより、マーク動作が実行されます。

ビット3	説明
MARK	
0 にクリア	RLARB に DTARB の内容をコピーする
1 にセット	何も実行しない (初期値)

ビット2：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット1、0：インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

TCRのCKS2~0ビットと共に、TCNTに入力するクロックを選択します。詳細は「第11章 8ビットタイマ」を参照してください。

5.2.8 DPRAM データレジスタ (DPDRWH、DPDRWL、DPDRRH、DPDRRL)

BB	DI	H/S
----	----	-----

DPRAM データレジスタ (DPDR) には、マスタ CPU のライト専用の DPDRW が 2 バイト、マスタ CPU のリード専用の DPDRR が 2 バイトの計 4 バイトがあります。DPRAM バウンドバッファモード、DPRAM ダイレクトワードモード、ハンドシェイクモード用のデータレジスタです。DPRAM モードキュアリバッファ動作、I/O 転送には使用しません。

DPDR のリード/ライトは、割込みフラグ (MWEF、MREF) のセット、DTU の起動、およびマスタ CPU への制御信号 (\overline{RDY} 、 \overline{WRQ}) の立上げ/立下げを行います。動作の詳細については、「5.3 動作説明」を参照してください。

(1) DPRAM データレジスタライト H、L (DPDRWH、DPDRWL)

DPRAM バウンドバッファモード、DPRAM ダイレクトワードモード、ハンドシェイク用のマスタ CPU 書き込み専用データレジスタです。DPRAM モードキュアリバッファ動作、I/O 転送には使用しません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-

モード	レジスタ	内部 CPU	マスタ CPU	RW:	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}
DPRAM バウンド バッファ モード	DPDRWH,	内部 CPU		RW:	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}	R ^{*1}
	DPDRWL	マスタ CPU		RW:	W	W	W	W	W	W	W	W
DPRAM ダイレク トワード モード	DPDRWH,	内部 CPU		RW:	R	R	R	R	R	R	R	R
	DPDRWL	マスタ CPU		RW:	W	W	W	W	W	W	W	W
ハンドシ ェイクモ ード	DPDRWL	内部 CPU		RW:	R	R	R	R	R	R	R	R
	*3	マスタ CPU		RW:	W*2	W*2	W*2	W*2	W*2	W*2	W*2	W*2

- 【注】 *1 DTU により、自動的に内蔵 RAM へ転送されます。
 *2 \overline{WE} 端子入力の立上がりエッジで、DDB 上のデータがラッチされます。
 *3 ハンドシェイクモード時には、マスタ CPU は DPDRWH をアクセスできません。

DPDRW の 2 バイトは、各モードで次のように使用してください。

(a) DPRAM バウンドバッファモード時

DPDRWH、DPDRWL は、マスタ CPU からのライト専用レジスタで、ライトされたデータは自動的に内蔵 RAM へ転送されます。

マスタ CPU へは 2 バイト分のアドレスが割当てられていますが、どちらにライトしても同じ動作をします。

5. データトランスファユニット

(b) DPRAM ダイレクトワードモード時

DPDRWL へのリード/ライトで、内部 CPU やマスタ CPU への割込み要求が発生します。2 バイトとも使用する場合は DPDRWH、DPDRWL の順にリード/ライトし、1 バイトのみ使用する場合は DPDRWL を使用してください。

(c) ハンドシェークモード時

DPDRWL を使用してください。

(2) DPRAM データレジスタリード H、L (DODRRH、DPDRRL)

DPRAM バウンドバッファモード、DPRAM ダイレクトワードモード、ハンドシェーク用のマスタ CPU 読み出し専用データレジスタです。DPRAM モードキュアリバッファ動作、I/O 転送には使用しません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-

モード	レジスタ										
DPRAM バウンドバ ッファモ ード	DPDRRH,	内部 CPU	RW:	W* ¹	W* ¹	W* ¹	W* ¹	W* ¹	W* ¹	W* ¹	W* ¹
	DPDRRL	マスタ CPU	RW:	R	R	R	R	R	R	R	R
DPRAM ダイレク トワード モード	DPDRRH,	内部 CPU	RW:	W	W	W	W	W	W	W	W
	DPDRRL	マスタ CPU	RW:	R	R	R	R	R	R	R	R
ハンドシェ ークモ ード	DPDRRL * ³	内部 CPU	RW:	W	W	W	W	W	W	W	W
		マスタ CPU	RW:	R* ²	R* ²	R* ²	R* ²	R* ²	R* ²	R* ²	R* ²

【注】 *1 DTU により、自動的に内蔵 RAM から転送されます。

*2 \overline{OE} 端子入力の Low レベルで、DDB 上のデータが出力されます。

*3 ハンドシェークモード時には、マスタ CPU は DPDRRH をアクセスできません。

DPDRR の 2 バイトは、各モードで次のように使用してください。

(a) DPRAM バウンドバッファモード時

DPDRRH、L は、マスタ CPU からのリード専用レジスタで、リードデータは自動的に RAM から転送されます。

マスタ CPU へは 2 バイト分のアドレスが割当てられていますが、どちらをリードしても同じ動作をします。

(b) DPRAM ダイレクトワードモード時

DPDRRL へのリード/ライトで、内部 CPU やマスタ CPU への割込み要求が発生します。2 バイトとも使用する場合は DPDRRH、L の順にリード/ライトし、1 バイトのみ使用する場合は DPDRRL を使用してください。

(c) ハンドシェークモード時
DPDRRL を使用してください。

5.2.9 DPRAM データレジスタリード Q (DPDRRQ)

Q

DPRAM モードキュアリバッファ動作時に使用します。

ビット :	7	6	5	4	3	2	1	0
初期値 :								
内部CPU R/W :	W*	W*	W*	W*	W*	W*	W*	W*
マスタCPU R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* DTUにより、自動的に内蔵RAMから転送されます。

DPDRRQ はマスタ CPU からのみリード/ライト可能なレジスタです。

DTARH を上位バイト、DPDRRQ を下位バイトとして決まる内蔵 RAM アドレス上のデータは、DPDRRQ へのライトをトリガとして DPDRRQ へ転送されます。

5.2.10 パラレルコミュニケーションコントロールステータスレジスタ (PCCSR)

Q	BB	DI	H/S
---	----	----	-----

DPRAM モード、ハンドシェークモード時に使用します。I/O 転送時には使用しません。

PCCSR は、内部 CPU およびマスタ CPU 双方からのリード/ライト可能です。内部 CPU、マスタ CPU 間のデータ転送の制御、ステータスの表示を行います。

ビット :	7	6	5	4	3	2	1	0		
	QREF	EWRQ	EWAKAR	ERAKAR	MWEF	MREF	EMWI	EMRI		
初期値 :	-	-	-	-	-	-	-	-		
モード										
各モード共通	内部 CPU	R/W :	R	R	R	R	R/(W)	R/(W)	R/W	R/W
	マスタ CPU	R/W :	R	R/W	R/W	R/W	R	R	R	R
ハンドシェークモード	内部 CPU	R/W :	R	R/W	R/W	R/W	R/(W)	R/(W)	R/W	R/W

【注】 (W) : リードしてからの0ライトのみ可能です。

5. データトランスファユニット

ビット7：キュアリリードエンドフラグ（QREF）

DPRAM モードキュアリバッファ動作で、DPDRRQ のレジスタの内容が内蔵 RAM アドレスかデータかを示します。

ビット7	説明
QREF	
0	DPDRRQ の内容はデータ 〔クリア条件〕 DTU が、内蔵 RAM のデータを DPDRRQ にライトしたとき (初期値)
1	DPDRRQ の内容は内蔵 RAM アドレスの下位バイト 〔セット条件〕 マスタ CPU が DPDRRQ に内蔵 RAM アドレスの下位バイトをライトしたとき

ビット6：イネーブルウェイトリクエスト（EWRQ）

$\overline{\text{WRQ}}$ 端子の動作を許可します。

ビット5：イネーブルライトアクノリッジアンドリクエスト（EWAKAR）

$\overline{\text{RDY}}$ 端子のマスタライトによる動作を許可します。

ビット4：イネーブルリードアクノリッジアンドリクエスト（ERAKAR）

$\overline{\text{RDY}}$ 端子のマスタリードによる動作を許可します。

表 5.8 にシングルチップモード時の端子状態、表 5.9 に拡張モード時の端子状態を示します。

表 5.8 シングルチップモード時の PCCSR の設定と端子状態

条件	ビット6	ビット5	ビット4	P95/ $\overline{\text{RDY}}$	P8 ₀ / $\overline{\text{WRQ}}$ / $\overline{\text{XRDY}}$
	EWRQ	EWAKAR	ERAKAR		
DPME = 1 HSCE = 0	*	0	0	High レベル出力（ハイインピーダンス）	EWRQ の状態 に依存
	*	1	0	マスタライトの $\overline{\text{RDY}}$ 出力許可	
	*	0	1	マスタリードの $\overline{\text{RDY}}$ 出力許可	
	*	1	1	マスタライトとマスタリードの $\overline{\text{RDY}}$ 出力許可	
	0	*	*	ERAKAR、EWAKAR の状態に依存	ポート機能
	1	*	*		WRQ 出力許可
DPME = 1 HSCE = 1	0	*	*	RDY 出力許可	ポート機能
	1	*	*		WRQ 出力許可

表 5.9 拡張モード時の PCCSR の設定と端子状態

条件	ビット 6	ビット 5	ビット 4	P9 ₀ /RDY	P8 ₀ /WRQ/XRDY
	EWRQ	EWAKAR	ERAKAR		
DPME = 1 HSCE = 0	0	0	0	\overline{AS} 出力	High レベル出力
	0	1	0	\overline{AS} 出力	マスタライトの XRDY 出力許可
	0	0	1	AS 出力	マスタリードの XRDY 出力許可
	0	1	1	AS 出力	マスタライトとマスタリードの XRDY 出力許可
	1	*	*	\overline{AS} 出力	WRQ 出力許可
DPME = 1 HSCE = 1	0	*	*	\overline{AS} 出力	XRDY 出力許可
	1	*	*	AS 出力	WRQ 出力許可

表 5.10 に \overline{RDY} 端子出力の動作を、表 5.11 に \overline{WRQ} 端子出力の動作を示します。

表 5.10 \overline{RDY} 端子出力の動作

モード		High レベル出力条件*	Low レベル出力条件
DPRAM バウンドバッファ モード	マスタ リード時	マスタ CPU が、DTARA をリードしたとき	内部 CPU が MREF をクリアしたとき
	マスタ ライト時	マスタ CPU が DTARB をライトしたとき	内部 CPU が MWEF をクリアしたとき
DPRAM ダイレクトワード モード	マスタ リード時	マスタ CPU が、DPDRRL をリードしたとき	内部 CPU が DPDRRL ヘライトしたとき
	マスタ ライト時	マスタ CPU が DPDRWL をライトしたとき	内部 CPU が DPDRWL をリードしたとき
ハンドシェークモード		内部 CPU が DPDRWL をリードしたとき	\overline{OE} が High レベルかつ \overline{WE} が Low レベルの条件が成立したとき

【注】 * \overline{RDY} 端子はシングルチップモード時、NMOS オープンドレイン出力です。このときの High レベル出力とは、ハイインピーダンス状態を指します。

表 5.11 \overline{WRQ} 端子出力の動作

モード		High レベル出力条件	Low レベル出力条件
DPRAM バウンドバッファ モード	マスタ リード時	DTU が、DPDRR (H/L) の転送を完了したとき	マスタ CPU が、DTU 未処理の DPDRR (H/L) をリードしたとき
	マスタ ライト時	DTU が、DPDRW (H/L) の転送を完了したとき	マスタ CPU が、DTU 未処理の DPDRW (H/L) ヘライトしたとき
DPRAM モード キュアリバッファ動作		DTU が、DPDRRQ を転送を完了したとき	マスタ CPU が、DTU 未処理の DPDRRQ をリードしたとき
ハンドシェークモード		\overline{OE} 、 \overline{WRQ} が Low レベルという条件成立から 8 システムクロック後	内部 CPU が、 DPDRRL にライトしたとき

5. データトランスファユニット

ビット3：マスタライトエンドフラグ（MWEF）

ビット2：マスタリードエンドフラグ（MREF）

表 5.12 に MREF と MWEF の動作を、表 5.13 に MREF、MWEF の意味を示します。

表 5.12 MREF、MWEF の動作

モード		クリア条件	セット条件
DPRAM バウンドバッファ モード	MREF	内部 CPU が、MREF=1 の状態をリードした後、MREF に 0 をライトしたとき	DTU チャネル A が、バウンダリまでの転送を完了したとき
	MWEF	内部 CPU が、MWEF=1 の状態をリードした後、MWEF に 0 をライトしたとき	DTU チャネル B が、バウンダリまでの転送を完了したとき
DPRAM ダイレクトワード モード	MREF	内部 CPU が、DPDRRL ヘライトまたはダミーライトしたとき	マスタ CPU が、DPDRRL をリードしたとき
	MWEF	内部 CPU が、DPDRWL をリードまたはダミーライトしたとき	マスタ CPU が、DPDRWL ヘライトしたとき
ハンドシェーク モード	MREF	内部 CPU が、DPDRRL ヘライトまたはダミーライトしたとき	OE が立上がったとき
	MWEF	内部 CPU が、DPDRWL をリードまたはダミーライトしたとき	WE が立上がったとき

表 5.13 MREF、MWEF の意味

モード		0	1
DPRAM バウンド バッファおよび ダイレクトワード モード	MREF	内部 CPU が、マスタ CPU ヘリードさせるデータを準備し終えた	マスタ CPU が、内部 CPU の準備したデータをリードし終えた
	MWEF	内部 CPU が、マスタ CPU のライトしたデータを処理し終えた	マスタ CPU が、内部 CPU に処理させるデータをライトし終えた
ハンドシェーク モード	MREF	内部 CPU が、マスタ CPU ヘ出力するデータを準備した	マスタ CPU が、内部 CPU の出力しているデータをリードした
	MWEF	内部 CPU が、マスタ CPU によりラッチしたデータをリードした	マスタ CPU が、内部 CPU にデータをラッチさせた

ビット1：イネーブルマスタライトインタラプト（EMWI）

MWEF が 1 にセットされたとき、MWEF による割込み要求（MWEI）の許可、または禁止を選択します。

ビット1	説明	
EMWI		
0	MWEF による割込み要求（MWEI）を禁止	（初期値）
1	MWEF による割込み要求（MWEI）を許可	

ビット0：イネーブルマスタリードインタラプト（EMRI）

MREF が 1 にセットされたとき、MREF による割込み要求（MREI）の許可、または禁止を選択します。

ビット0	説明
EMRI	
0	MREF による割込み要求（MREI）を禁止（初期値）
1	MREF による割込み要求（MREI）を許可

5.2.11 システムコントロールレジスタ（SYSCR）

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	DPME	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット1：DPRAM モードイネーブルビット（DPME）

本 LSI をスレーブモードにするかしないかを選択します。I/O 転送以外の転送モードを使用するときは、スレーブモードにする必要があります。表 5.5、表 5.6 を参照してください。DPME ビットは、リセット、またはハードウェアスタンバイモード時にイニシャライズされます。

ビット1	説明
DPME	
0	本 LSI をスレーブモードにしない（初期値）
1	本 LSI をスレーブモードにする

なお、SYSCR のその他のビットについての詳細は「3.2 システムコントロールレジスタ」を参照してください。

5.3 動作説明

DTU の各転送モードの動作について、下記構成で説明します。

- 5.3.1 : DTU の動作 (P94)
- 5.3.2 : DTU/PBI の初期化 (P100)
- 5.3.3 : I/O 転送の動作 (P102)
- 5.3.4 : DPRAM モードキュアリバッファ動作 (P105)
- 5.3.5 : DPRAM パウンドバッファモードの動作 (P106)
- 5.3.6 : DPRAM ダイレクトワードモードの動作 (P111)
- 5.3.7 : ハンドシェークモードの動作 (P114)

5.3.1 DTU の動作

(1) DTU 動作の概要

DTU は、CPU のデータバス、アドレスバス、バス制御を共用して動作します。DTU はバス権を獲得して DTU バスサイクルを発生することにより転送を行います。したがって、DTU バスサイクル中は CPU バスサイクルは保留されますが、CPU 内部動作は並行して動作可能です。

DTU バスサイクルは、DTU のバス要求によって起動されます。CPU バスサイクルと DTU バスサイクルのバス要求が競合すると、DTU バスサイクルが優先されます。DTU バスサイクルのバス要求は、CPU バスサイクルまたは DTU バスサイクルの終了時に発生します。CPU 内部動作時やスリープモード時には、いずれのサイクルでも発生可能です。

DTU バスサイクルのバス要求は、転送要求があったときに発生します。転送要求は、内蔵周辺機能の割込み要求、PBI の OE、WE 端子立上がりエッジなどが要求元で、内部 CPU がアクティブまたはスリープモード時に受け付けられます。リセット中やスタンバイモード時には受け付けられません。

(2) DTU バスサイクルの種類

表 5.14 に、DTU の発生するバスサイクルの種類と、その転送要求元を示します。

DPRAM サイクルは、PBI 転送要求で DTU がバス権を獲得したときに発生します。DPRAM サイクルには、マスタリードサイクルとマスタライトサイクルの 2 種類があります。マスタリードサイクルは、DTU のチャンネル R とチャンネル A が、マスタライトサイクルは、DTU のチャンネル B が発生します。

デッドサイクル、リードサイクル、ライトサイクルは、I/O 転送要求で DTU がバス権を獲得したときに発生します。I/O 転送の可能な DTU チャンネルは、チャンネル A、B、C の 3 チャンネルで、各チャンネルごとにデッドサイクル、リードサイクル、ライトサイクルを一連の DTU バスサイクルとして動作します。

表 5.14 DTU バスサイクルの種類

分類	名称	動作	要求元
PBI 転送サイクル	マスタリードサイクル	内蔵 RAM リード、同時に PBI ヘデータ入力	PBI
	マスタライトサイクル	PBI からデータ出力、同時に内蔵 RAM ライト	PBI
I/O 転送サイクル	デッドサイクル	転送要求確定の判定	周辺機能
	リードサイクル	内蔵 RAM または周辺機能レジスタリード	DTU
	ライトサイクル	周辺機能レジスタまたは内蔵 RAM ライト	DTU

(3) DTU バスサイクルの処理

マスタリードサイクルでは、内蔵 RAM PBI、マスタライトサイクルでは、PBI 内蔵 RAM のデータ転送を行います。

デッドサイクルは、転送要求の確定を待つ 1 ステートの期間です。デッドサイクル以降の DTU バスサイクル中には、CPU により転送要求が取消されることはありません。デッドサイクル中には、転送要求元の FRT、A/D 変換器の割込みフラグのクリアを行います。リードサイクルでは、内蔵 RAM または周辺機能 DTU、ライトサイクルでは、DTU 内蔵 RAM または周辺機能のデータ転送を行います。SCI の割込みフラグは、受信データレジスタのリード、送信データレジスタのライトで自動的にクリアされます。

(4) I/O 転送要求の取り消し

I/O 転送要求は、周辺機能の割込みフラグによって発生します。したがって、CPU が割込みフラグをクリアすると、転送要求が取り消されます。デッドサイクル中に転送要求が取り消されると、それに続くリードサイクルとライトサイクルは実行されません。

(5) 転送要求の優先順位とバス要求

表 5.15 に転送要求の優先順位を示します。DPRAM モードキュアリバッファ動作のマスタリードサイクルの転送要求が常に最上位で、DPRAM パウンドバッファモードの転送要求が、マスタリード、マスタライトの順で続きます。

I/O 転送は、基本的にチャンネル A、B、C の順ですが、転送要求があってもバス要求を発生しない場合があります。ライトサイクルの直後は、1 ステート間バス（デッドサイクル）要求を発生しません。

PBI 転送が I/O 転送の上位にあるため、一連の I/O 転送サイクル実行中に PBI 転送サイクル割込むことが可能です。リードサイクル終了時に PBI 転送の転送要求があると、ライトサイクルは全ての PBI 転送が処理されるまで保留されます。

表 5.15 DTU 転送要求の優先順位

直前の動作	DTU バスサイクル起動の優先順位						
	マスタリードサイクル (チャンネル R)	マスタリードサイクル (チャンネル A)	マスタライトサイクル (チャンネル B)	デッドサイクル	リードサイクル	ライトサイクル	保留中のライトサイクル
下記以外	1	2	3	5	-	-	4
取り消されたバス要求のデッドサイクル	1	2	3	4	-	-	-
デッドサイクル	-	-	-	-	1	-	-
リードサイクル	1	2	3	-	-	4*	-
ライトサイクル	1	2	3	-	-	-	-

【注】 マスタリードサイクル (チャンネル R) : DPRAM モードキュアリバッファ動作

マスタリードサイクル (チャンネル A) : DPRAM パウンドバッファモード

デッドサイクルの優先順位 : チャンネル A、チャンネル B、チャンネル C の順

* 直前のリードサイクルを発生させたチャンネルのライトサイクルのみ。

優先順位の高い PBI 転送サイクルが実行されると保留される。

5. データトランスファユニット

(6) アドレスバスの操作

図 5.8 に、DTU のアドレスバス部概念図を示します。16 ビットアドレスバスの上位 8 ビットは、DTARH の内容、または H'FF が出力されます。下位 8 ビットは、DTARA ~ DTARC、DPDRRQ の内容、または I/O 転送の要求元から決まる周辺機能レジスタアドレスが出力されます。

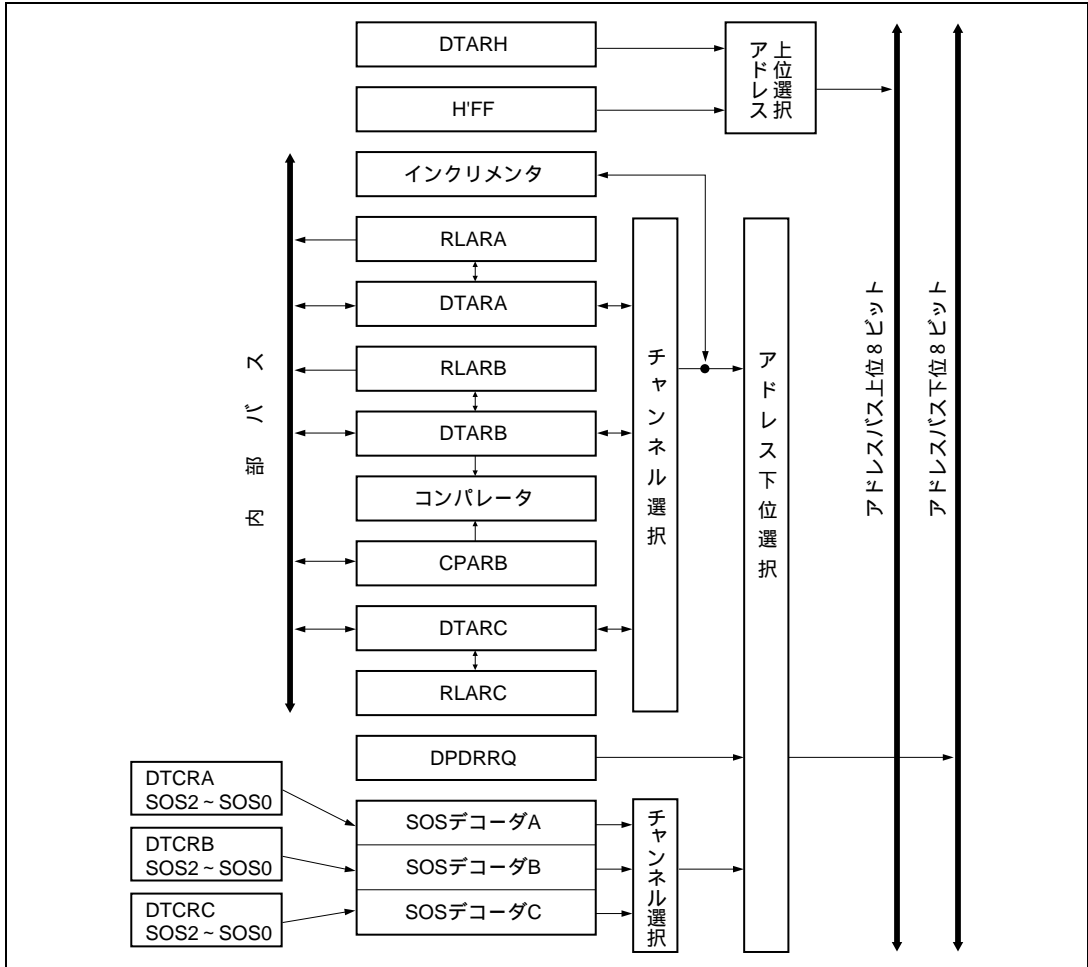


図 5.8 アドレスバス部概念図

(7) データバスの操作

図 5.9 に、DTU のデータバス部概念図を示します。DTU のテンポラリレジスタ DTDR は、16 ビットのデータバスに接続されています。I/O 転送時データは、リードサイクル時に DTDR に読み込まれ、ライトサイクル時に DTDR から書き出されます。PBI のデータレジスタ DPDR は 8 ビットのデータバスに接続されています。データは、マスタリードサイクル時に DPDRRQ または DPDRRH、DPDRRL に読み込まれ、マスタライトサイクル時に DPDRWH、DPDRWL から書き出されます。

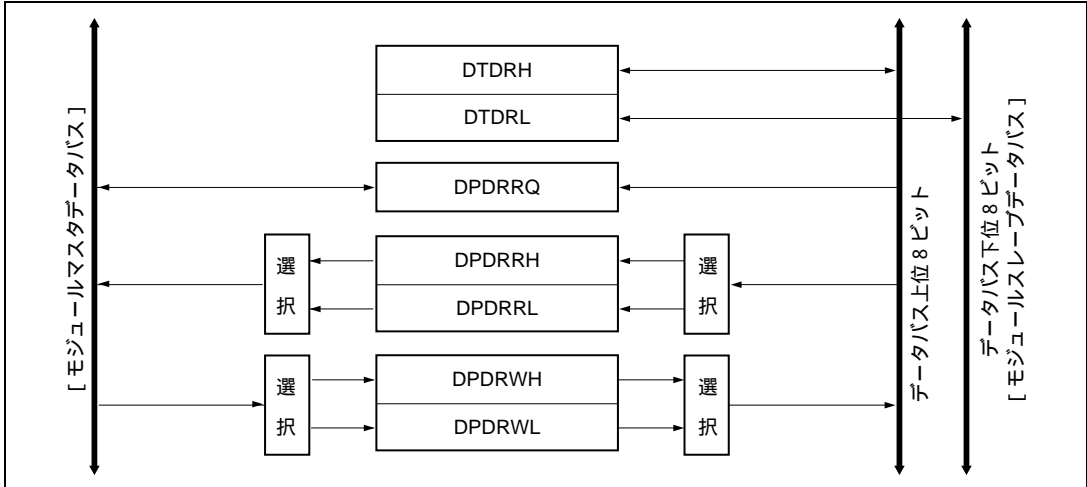


図 5.9 データバス部概念図

表 5.16 DTU バスサイクル時のバス動作

バスサイクル		アドレスバス 上位	アドレスバス 下位	データバス上位	データバス下位
マスタリードサイクル (チャンネル R)		DTARH	DPDRRQ	DPDRRQ	-
マスタリードサイクル (チャンネル A)		DTARH	DTARA	DPDRR	-
マスタライトサイクル (チャンネル B)		DTARH	DTARB	DPDRW	-
リードサイクル (RAM I/O)	バイト	DTARH	DTAR	DTDRH	-
	ワード			DTDRH	DTDRL
ライトサイクル (RAM I/O)	バイト	H'FF	SOS デコーダ	DTDRH	-
	ワード			DTDRH,L	-
リードサイクル (I/O RAM)	バイト	H'FF	SOS デコーダ	DTDRH	-
	ワード			DTDRH,L	-
ライトサイクル (I/O RAM)	バイト	DTARH	DTAR	DTDRH	-
	ワード			DTDRH	DTDRL

5. データトランスファユニット

(8) アドレスレジスタとバウンダリ

DTU による転送対象となる内蔵 RAM のバイト数は、DTAR と DTCR の BUD2 ~ 0 で決まるバウンダリによって指定されます。(図 5.7 参照)

まず、DTARH の内容により、DTU の処理対象となる内蔵 RAM エリア 256 バイトを定めます。BUD2 ~ 0 はバウンダリを定めます。バウンダリは、1、2、4、8、16、32、64、128 バイト刻みの 8 通りが設定可能です。それぞれ、256 バイトのエリアを、256、128、64、32、16、8、4、2 個のエリアに分割し、その区切り目にバウンダリアドレスが置かれます。DTARA ~ DTARC の内容が開始アドレスとなり、終了アドレスは最も近いバウンダリアドレスになります。

DTARA ~ DTARC の内容は、転送ごとにインクリメントされ、バウンダリアドレスまで転送が終了すると、バウンダリオーバーフローが発生します。インクリメントはバウンダリを越えては行われなため、上位桁は変化しません。下位桁は、RLAR に保存されている初期設定値になります。このとき、I/O 転送のノーマルモードであれば DTE フラグがクリアされます。

図 5.10 の例では、バウンダリは 64 バイト刻みであり、開始アドレスが 64 バイトのエリアの真中であるため、32 バイトの転送が完了したところでバウンダリオーバーフローが発生します。I/O 転送のリピートモードで、その後も転送要求があれば、同じ 32 バイトのエリアを対象に繰り返し転送します。

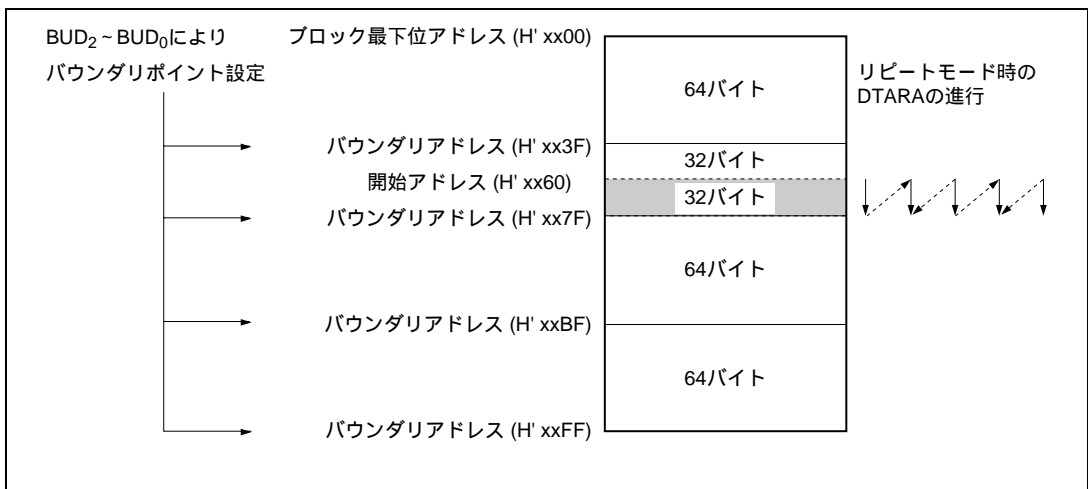


図 5.10 バウンダリが 64 バイト刻みのメモリアップの例
(DTARH = H'XX、DTARA = H'60 のとき)

(9) リングバッファ I/O 転送の動作

DTU チャンネル B は、リピートモードでリングバッファ動作を行うことができます。リングバッファ動作では、バウンダリによって指定されるバイト数の RAM をリング状の FIFO バッファとして扱うことができます。

このバッファ中のデータ位置を示すポインタは 3 つあります。主ポインタは DTARB で、次の転送要求でアクセスするアドレスを示しています。補助ポインタの 1 つは RLARB で、一連のプロトコルに従ってデータを転送する場合、現在転送中のデータブロックの先頭アドレスを示しています。したがって、データ転送が異常事態で中断された場合、RLARB の示すアドレスから再転送すればよいことになります。補助ポインタのもう 1 つは CPARB で、CPU により未処理のデータの先頭アドレスを示しています。DTARB が CPARB に追いついて一致すると、オーバランエラー割込みを発生して異常を知らせることができます。

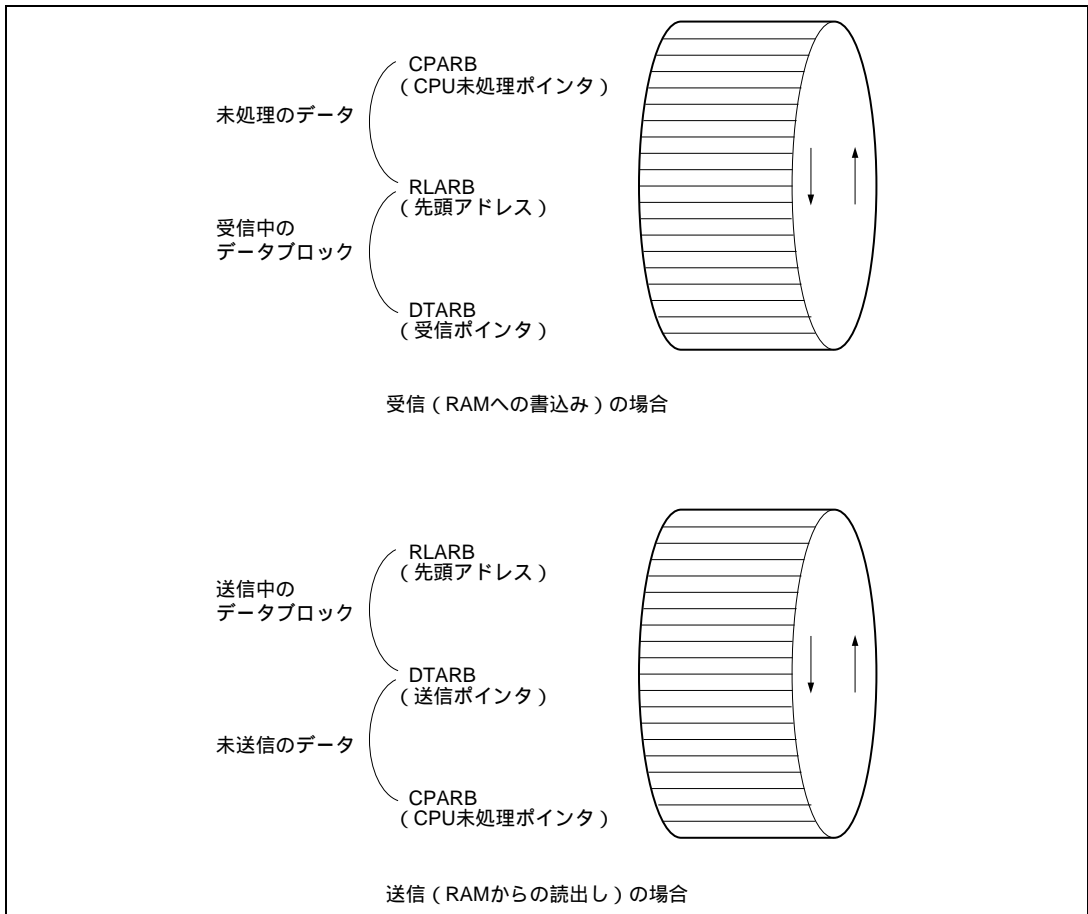


図 5.11 リングバッファのポインタ動作

5.3.2 DTU/PBI の初期化

DTU/PBI を、DPRAM モードまたはハンドシェークモードに設定する場合には、入出力端子の動作状態が変化するため、注意が必要です。このときの初期化の手順を、以下に示します。DTU を I/O 転送に使用する場合には、これに続いて PBI で使用しないチャンネルの初期化を行ってください。各レジスタの内容は初期値であるとしします。

- (a) DTARH に、DTU で使用する RAM エリアのアドレス上位バイトをライトします。このレジスタは、I/O 転送と共用して使用します。I/O 転送を始める前に初期化する必要があります。
- (b) PCCSR の EWRQ ビットを、1 にセットまたは 0 にクリアします。1 にセットすることにより、DPME ビットセット時に \overline{WRQ} 端子出力がイネーブルとなります。
- (c-1) IOCR の HSCE ビットを 1 にセットまたは 0 にクリアします。これにより、DPME ビットセット時に、ハンドシェークモードか DPRAM モードかが決まります。ハンドシェークモードと DPRAM モードでは、 \overline{CS} 、 $RS_2 \sim RS_0$ 入力端子の扱いが異なります。
- (c-2) IOCR の DPEA、DPEB ビットを 1 にセットまたは 0 にクリアします。これにより、DPRAM モード中で、ダイレクトワードモードかバウンドバッファモードかが決まります。
同時に、DTARA、DTARB、DTCRA、DTCRB のアクセスについて制限が加えられます。すなわち、他の動作モードと共有しているレジスタについて、他の動作モードの動作を阻害するライトの一部が、ハードウェアで禁止されます。
- (d) SYSCR の DPME ビットを、1 にセットします。これにより、動作モード（シングルチップモードまたは拡張モード）に従い、端子の状態が、スレーブモード（DPRAM モードまたはハンドシェークモード）になります。すなわち、 $DDB_7 \sim DDB_0$ ($XDDB_7 \sim XDDB_0$) 端子が入出力に、 \overline{CS} (\overline{XCS})、 $RS_2 \sim RS_0$ 、 \overline{WE} (\overline{XWE})、 \overline{OE} (\overline{XOE}) 端子が入力に、 \overline{RDY} (\overline{XRDY})、 \overline{WRQ} 端子が出力になります。ただし、 \overline{WRQ} 、 \overline{CS} 、 $RS_2 \sim RS_0$ 端子については EWRQ ビットおよび HSCE ビットの設定に従います。
同時に、PCCSR の QREF、MWEF、MREF がフラグとして、セット/クリアが可能になります。 \overline{CS} 、 \overline{WE} 、 \overline{OE} などの端子入力は、初期化が終るまでフローティングレベルにならないように注意してください。
- (e) PCCSR の EWAKAR、ERAKAR、EMWI、EMRI ビットを、1 にセットまたは 0 にクリアします。これにより、 \overline{RDY} 端子の使用法、内部 CPU への割込みの許可/禁止を選択できます。 \overline{RDY} 端子の使用法は、マスタ CPU から設定可能です。
以降、各動作モードに従って、PCCSR、DTCRA、DTCRB、DTARA、DTARB、DRDRRH、DRDRRL、DPDRWH、DPDRWL を操作して、DPRAM モードまたはハンドシェークモードのデータ転送を行います。

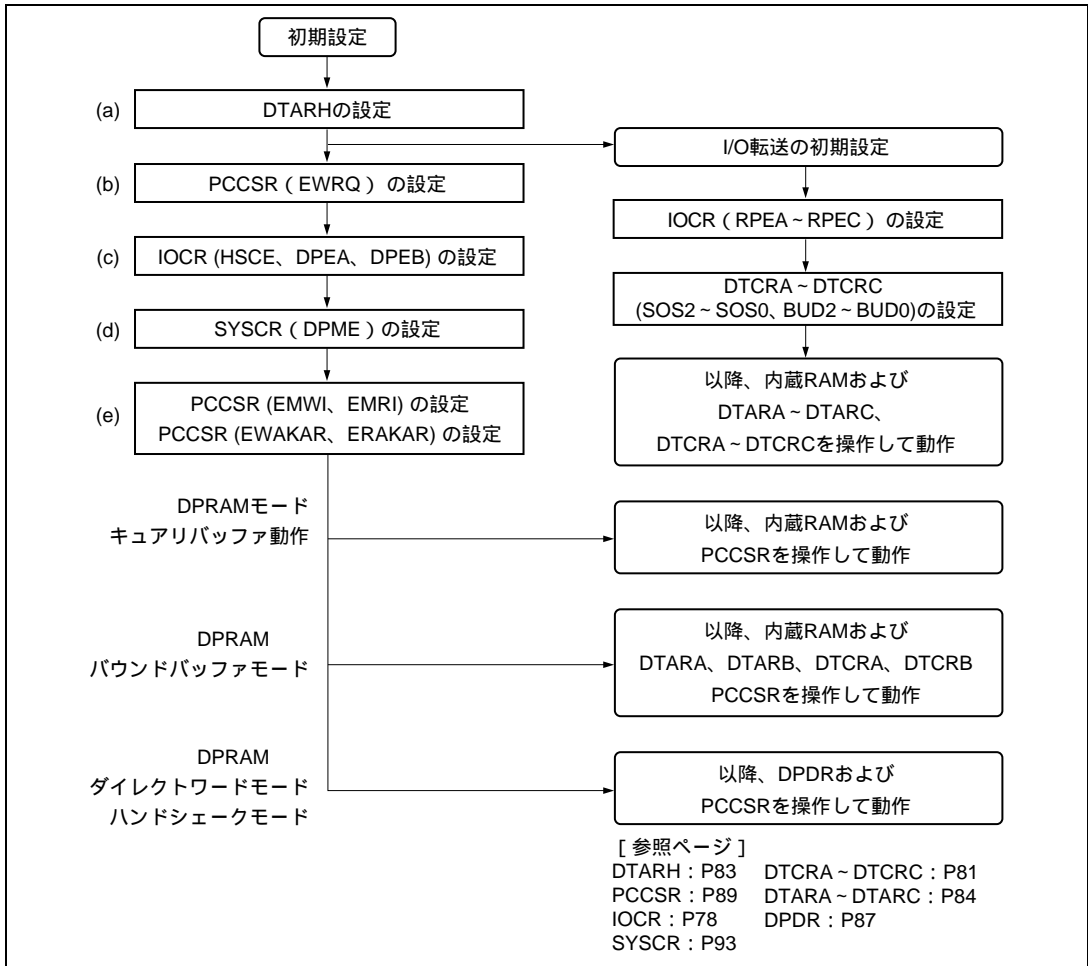


図 5.12 DTU/PBI の初期化フロー

5.3.3 I/O 転送の動作

I/O 転送が使用可能な条件、初期化手順、動作手順を以下に示します。

- (1) I/O 転送が使用可能な条件
 - チャンネル R
常時PBIに結合されているため、I/O転送には使用できません。
 - チャンネル A
DPME = 1かつHSCE = 0かつDPEA = 1の場合のみ、PBIに結合されます。それ以外の場合は、I/O転送に使用可能です。
 - チャンネル B
DPME = 1かつHSCE = 0かつDPEB = 1の場合のみ、PBIに結合されます。それ以外の場合は、I/O転送に使用可能です。
 - チャンネル C
常時I/O転送に使用可能です。
 - (2) I/O 転送の動作手順
 - (a) DTARHに、DTUで使用するRAMエリアのアドレス上位バイトをライトします。このレジスタは、PBI転送と共用して使用します。PBI転送を始める前に、初期化する必要があります。
 - (b) IOCRのRPEA ~ RPECのビットを、必要に応じて、1にセットまたは0にクリアします。
 - (c) DTCRA ~ DTCRCのSOS2 ~ SOS0、BUD2 ~ BUD0ビットを設定します。
 - (d) I/O転送の転送要求を発生するよう、周辺機能の初期設定を行います。
 - (e) RAM 周辺機能レジスタ転送の場合は、転送するデータをRAM上に準備します。DTARA ~ DTARCにRAM上のデータの先頭アドレスをライトします。
 - (f) DTCRA ~ DTCRCのDTEフラグを1にセットします。DTCRA ~ DTCRCのDTIEビットを、必要に応じて、1にセットします。
 - (g) 周辺機能から転送要求が入力されます。これを受けてDTUが動作し、転送を行った後に転送要求をクリアします。1バイトの転送が行われるごとにDTARA ~ DTARCがインクリメントされます。
転送要求が繰返し発生し、バウンダリまで転送が行われると、ノーマルモードの場合、バウンダリオーバーフローが発生してDTEフラグが0にクリアされます。DTIEビットが1にセットされていれば、割込み要求が発生します。
 - (h) 周辺機能レジスタ RAM転送の場合は、RAM上に転送されたデータを処理します。
- 以降、(e) ~ (h)を繰り返して実行します。

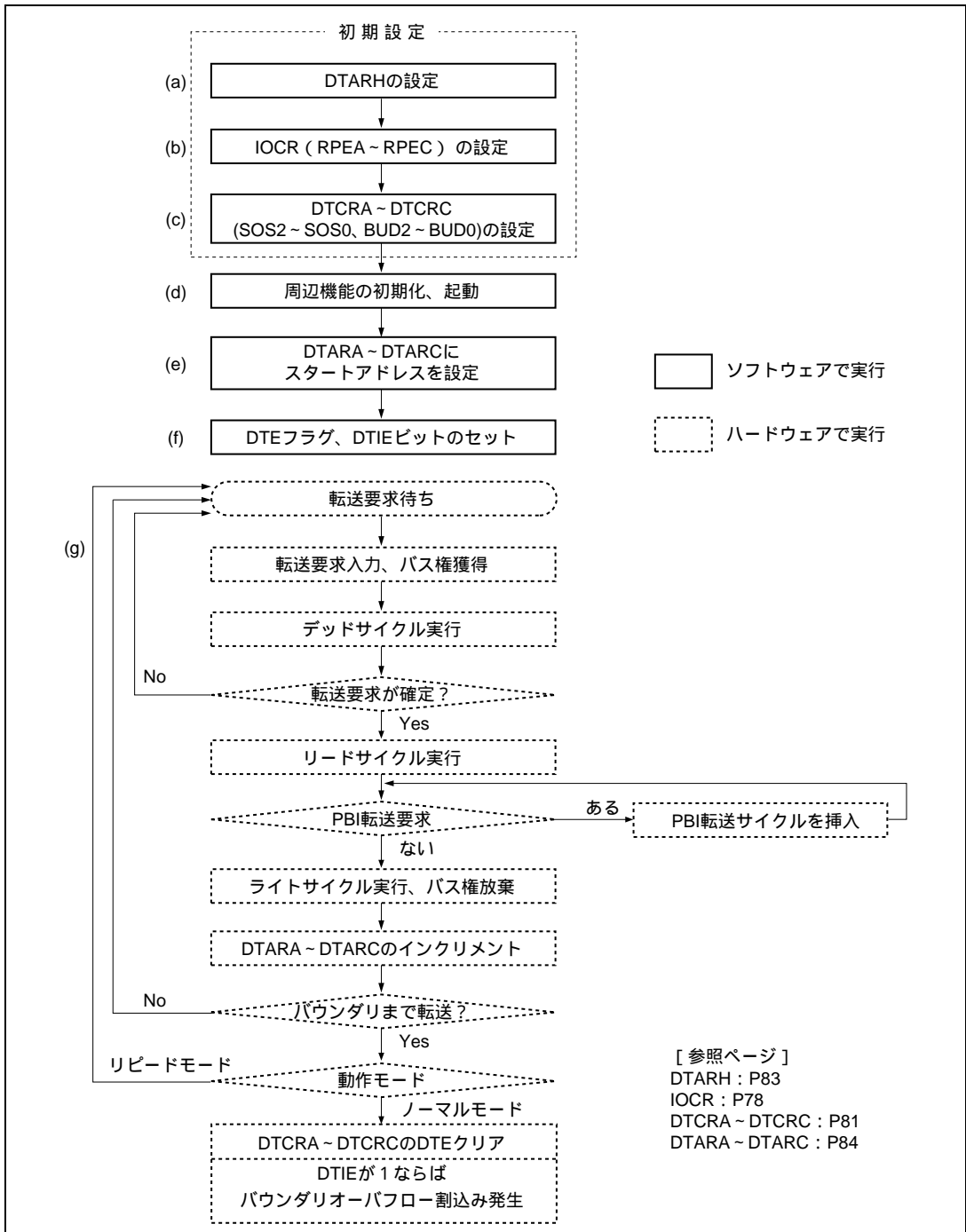


図 5.13 I/O 転送の動作フロー

(3) I/O 転送使用時の注意

I/O 転送を利用する際は、以下の点に注意してください。

- (a) DTEフラグをソフトウェアで0にクリアすると、I/O転送の動作は、実行中のバスサイクルを終了した後に中断されます。このときは、バウンダリーオーバーフローではありませんが、DTE = 0かつDTIE = 1の条件が成立することにより、割込み要求が発生します。割込み要求を発生させたくない場合は、同時にDTIEビットを0にクリアしてください。
- (b) DTEフラグが1にセットされている間は、SOS2～SOS0で選択されている周辺機能の割込み要求は、割込みコントローラへ送られません。
DTEフラグが0にクリアされた後、データの準備および処理を行います。再びDTEフラグを1にセットするまでの間に割込み要求が発生すると、その割込み要求は、割込みコントローラに送られます。
これを割込み要求とせず、I/O転送で処理したい場合には、データの準備および処理にかかる時間を、割込み要求の間隔より短くする必要があります。それが不可能な場合は、バウンダリーオーバーフローごとにDTARA～DTARCにライトするアドレスを変え、ソフトウェア的に多重バッファを構成してください。
- (c) 周辺機能の転送要求が受け付けられて転送要求（割込みフラグ）がクリアされる以前に、同一の転送要求（割込みフラグのセット）が発生しても、DTUではこれを認識できません。転送要求の時間間隔は、DTUのTATに対し充分長くしてください。
- (d) I/O転送の起動と、転送要求の取り消しが競合した場合、デッドサイクル中にバスサイクル起動取り消しの処理が行われます。
- (e) DTUでは、ワードアクセスとアドレスの関係に関して注意が必要です。I/O転送の中には、周辺機能レジスタをワードアクセスするものがあり、このとき内蔵RAMに対してもワードアクセスが行われます。ワードアクセスを行う場合、上位バイトは偶数アドレス、下位バイトは奇数アドレスである必要があります。アドレスのビット0は、無視されます。周辺機能レジスタはこの制限を満足しますが、内蔵RAMアドレスとなるDTUアドレスレジスタ(DTARA～DTARC)には、奇数アドレスをライトすることが可能です。
ワードアクセスのI/O転送を利用する場合、DTUアドレスレジスタには、偶数アドレスをライトしてください。奇数アドレスをライトすると、正しく動作しない場合があります。例えば、H'01をライトしてワードアクセスが実行されると、アドレス下位として上位バイトアクセス時にH'00が、下位バイトアクセス時にH'01が出力されます。

5.3.4 DPRAM モードキュアリバッファ動作

DPRAM モードキュアリバッファ動作は、DTU のチャンネル R で実行される PBI 転送を用いた、最大 256 バイト内蔵 RAM をランダムアクセス（リード）可能なパラレルインタフェースです。キュアリバッファ動作のブロック図を図 5.14 に示します。

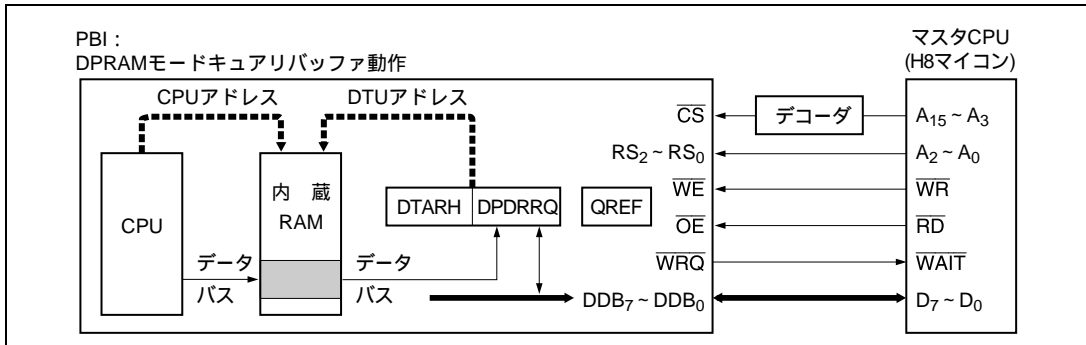


図 5.14 DPRAM モードキュアリバッファ動作の簡略ブロック図

キュアリバッファ動作が使用可能な条件、初期化手順、動作手順を以下に示します。

(1) DPRAM モードキュアリバッファ動作が使用可能な条件

HSCE ビットを 0 にクリアし、DPME ビットを 1 にセットして DPRAM 関連の端子をイネーブルにした状態で常時使用可能です。DTU のチャンネル A、チャンネル B のモード（DPRAM バウンドバッファモードまたは DPRAM ダイレクトワードモード）には影響されません。

(2) 初期化手順と動作手順

- (a) DTU/PBI初期化の手順に従い、初期化を行います。
DTARHは、I/O転送およびDPRAMバウンドバッファモードと共用して使用します。これらの転送を始める前に初期化する必要があります。
PCCSRのEWRQビットおよびWRQ端子は、DPRAMバウンドバッファモードおよびDPRAMダイレクトワードモードと共用して使用しますので、矛盾のない初期設定が必要です。
- (b) マスタCPUが、DPDRRQにライトすると、PCCSRのQREFフラグが1にセットされ、DPDRRQの内容が内蔵RAMアドレスの下位8ビットであることを示します。
- (c) DTUのチャンネルRによる転送要求が発生し、マスタリードサイクルのバス権を獲得します。
- (d) DTARHとDPDRRQで指定される内蔵RAMアドレスの内容をDPDRRQへ転送します。QREFフラグは0にクリアされ、DPDRRQの内容が内蔵RAMのデータのコピーであることを示します。
- (e) マスタCPUは、QREFフラグが0であることを確認してDPDRRQへリードします。

(3) DPRAM モードキュアリバッファ動作使用時の注意

DPRAM モードキュアリバッファ動作を利用する際は、以下の点に注意してください。

QREF = 1 の状態で DPDRRQ を マスタ CPU がリードした場合は、QREF がクリアされるまで $\overline{\text{WRQ}}$ 端子は Low レベルを出力します。 $\overline{\text{WRQ}}$ 端子を マスタ CPU のウェイト信号として使用しない場合は、DPDRRQ のライトからリードの間隔を空け、確実に転送が行われるようにしてください。

5. データトランスファユニット

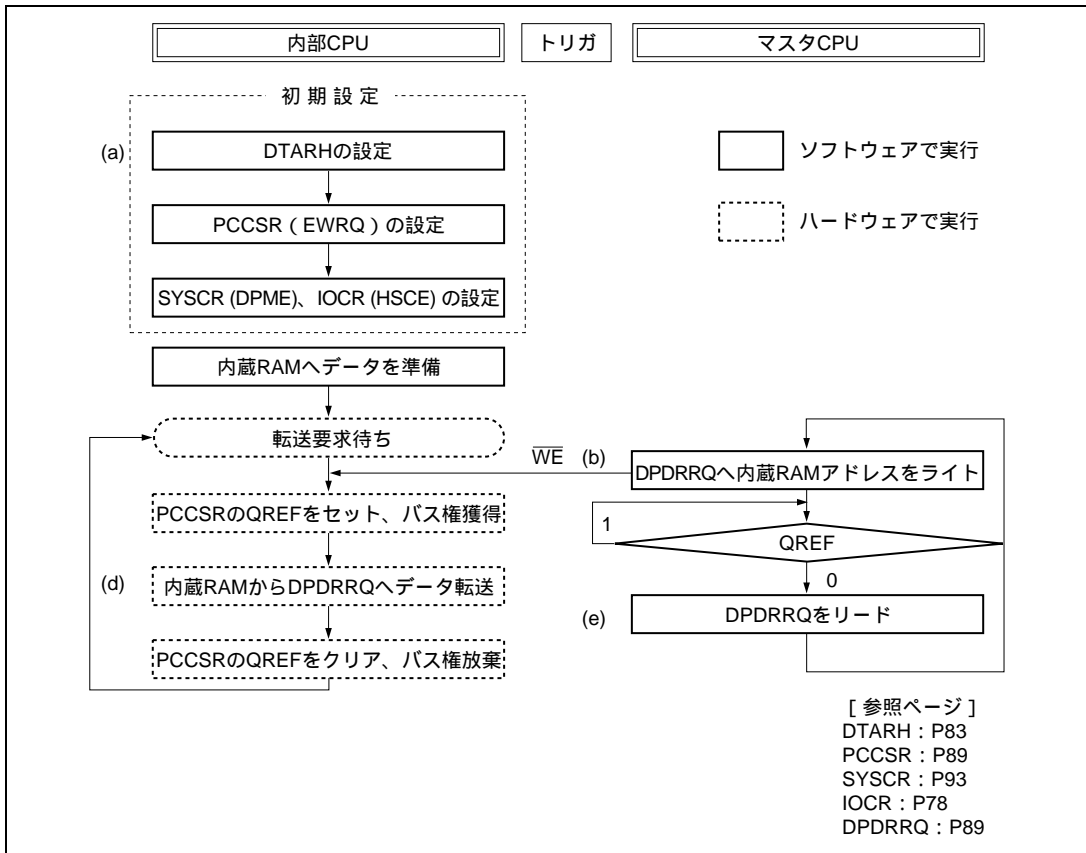


図 5.15 DPRAM モードキュアリバッファ動作フロー

5.3.5 DPRAM バウンドバッファモードの動作

DPRAM バウンドバッファモードは、DTU のチャンネル A およびチャンネル B で実行される、PBI 転送を用いた、最大 128 バイトの内蔵 RAM を連続してアクセス可能なパラレルインタフェースです。

DPRAM バウンドバッファモードが使用可能な条件、初期化手順、動作手順を以下に示します。

- (1) DPRAM バウンドバッファモードが使用可能な条件
- DPRAM バウンドバッファモードリード (DTU チャンネル A)
DPME = 1かつHSCE = 0かつDPEB = 1の場合使用可能です。
 - DPRAM バウンドバッファモードライト (DTU チャンネル B)
DPME = 1かつHSCE = 0かつDPEB = 1の場合使用可能です。

(2) 初期化手順

DTU/PBI 初期化の手順に従い、初期化を行います。

DTARH は、I/O 転送および DPRAM モードキュアリバッファ動作と共用して使用します。これらの転送を始める前に初期化する必要があります。

PCCSR の EWRQ ビットおよび \overline{WRQ} 、 \overline{RDY} 端子は、DPRAM モードキュアリバッファ動作および DPRAM ダイレクトワードモードと共用して使用しますので、矛盾のない初期設定が必要です。(表 5.8 表 5.9 参照)

(3) DPRAM バウンドバッファモードリードの動作手順

DPRAM バウンドバッファモードリードは、DTU のチャンネル A で実行される、PBI 転送を用いた、最大 128 バイトの内蔵 RAM を連続してリード可能なパラレルインターフェースです。

DPRAM バウンドバッファモードリードの簡略ブロック図を図 5.16 に示します。

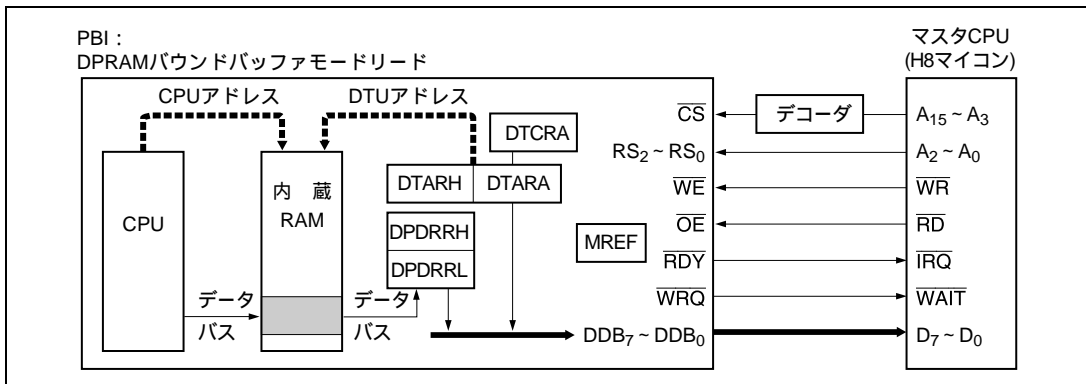


図 5.16 DPRAM バウンドバッファモードリードの簡略ブロック図

DPRAM バウンドバッファモードリードの動作手順を以下に示します。(図 5.17 参照)

- (a) 内部CPUは、内蔵RAM上に転送するデータを準備します。データは、連続的に配置し、最後のデータがバウンダリアドレス上に置かれるよう先頭アドレスを定めます。内部CPUは、DTCRAにバウンダリを、DTARAに先頭アドレスをライトします。
- (b) 内部CPUは、PCCSRのMREFフラグをクリアし、転送準備完了をマスタCPUに知らせます。このとき、PCCSRのERAKARビットが1にセットされていれば、 \overline{RDY} 端子はLowレベルを出力します。またMREFフラグをクリアしてからERAKARを1にセットしても \overline{RDY} 端子はLowレベルを出力します。
- (c) マスタCPUは、 \overline{RDY} 端子の状態やMREFフラグの状態から、転送準備完了を知り、DTCRAのバウンダリ、DTARAの先頭アドレスをリードして、データのバイト数を知ります。 \overline{RDY} 端子はHighレベルを出力します。マスタCPUは、DPDRRを準備されたバイト数だけの回数リードします。
- (d) PBIは、マスタCPUのDTARAのリードをトリガとして、DTUのチャンネルAの転送要求を発生し、マスタリードサイクルのバス権を獲得します。DTUは、DTARHとDTARAで指定される内蔵RAMアドレスの内容を、empty状態のDPDRRへ転送します。転送先は、DTARAの偶数/奇数とDPDRRH/DPDRRLが対応します。マスタCPUがDPDRRをリードすると、転送された順にDPDRRの内容が読み出せます。リードされたDPDRRはempty状態となります。PBIは、その都度DTUのチャンネルAの転送要求を発生し、DPDRRをfull状態に保ちます。

5. データトランスファユニット

- (e) DTUは、1バイトの転送が行われるごとにDTARAをインクリメントします。バウンダリまで転送が行われると、バウンダリオーバーフローが発生してMREFフラグが1にセットされます。EMRIビットが1にセットされていれば、割込み要求が発生します。

以降、(a) から (e) を繰り返して実行します。

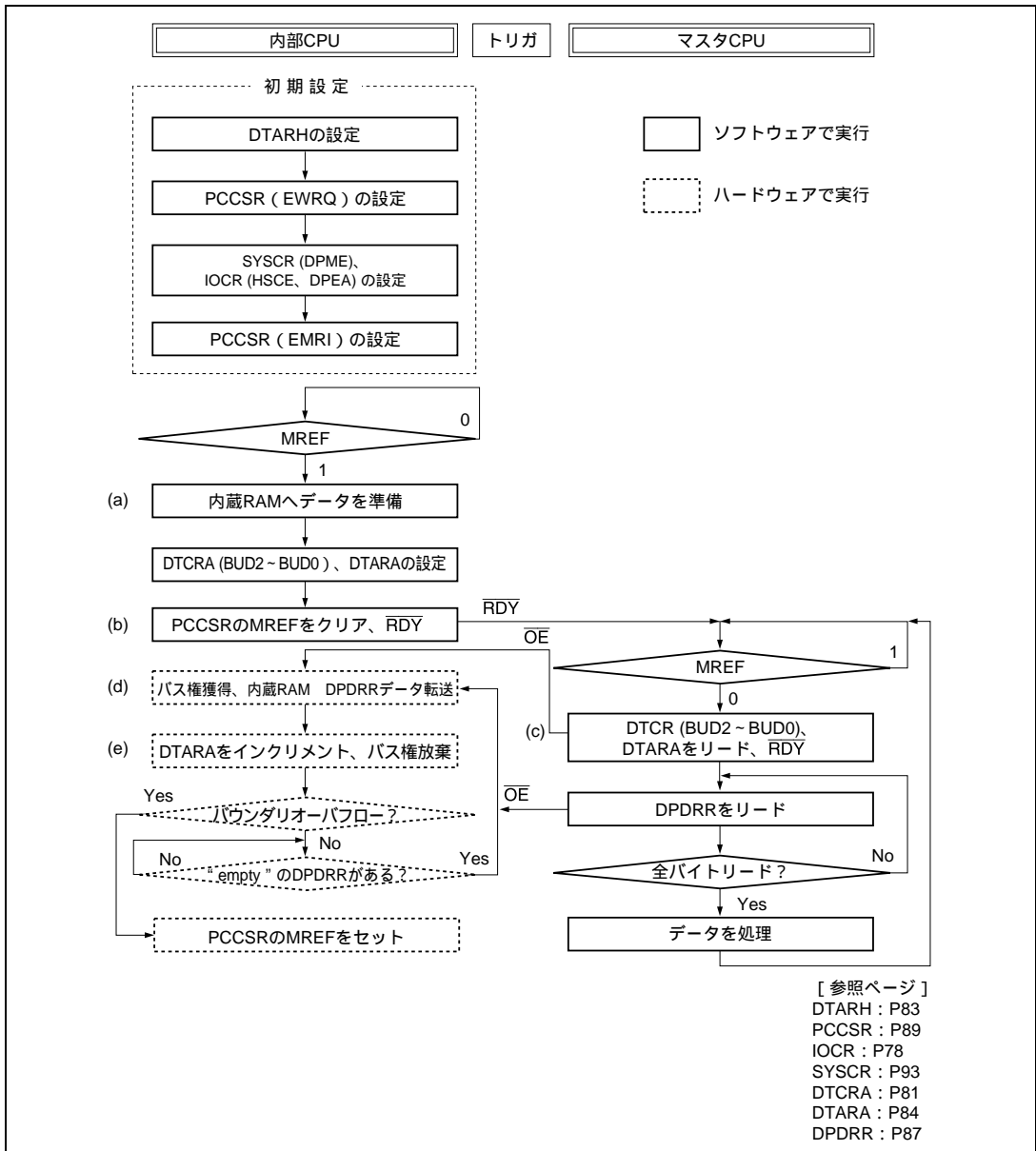


図 5.17 DPRAM パウンドバッファモードリード動作フロー

(4) DPRAM バウンドバッファモードライトの動作手順

DPRAM バウンドバッファモードライトは、DTU のチャンネル B で実行される、PBI 転送を用いた、最大 128 バイトの内蔵 RAM を連続してライト可能なパラレルインタフェースです。

DPRAM バウンドバッファモードライトの簡略ブロック図を図 5.18 に示します。

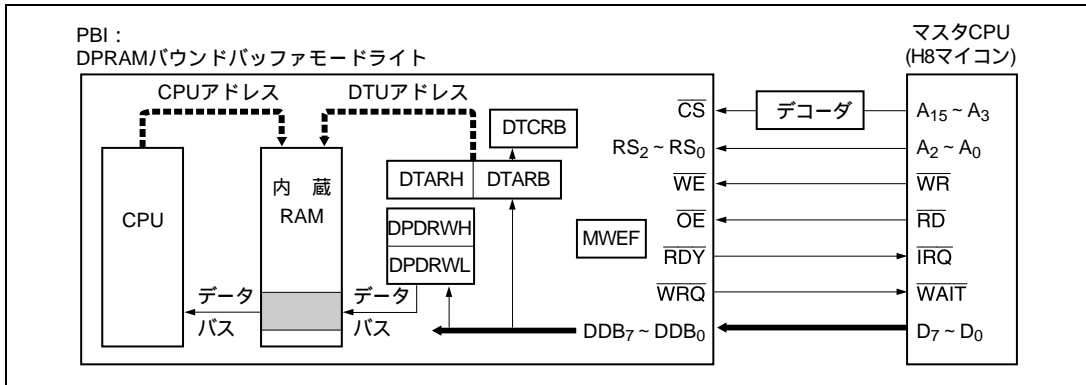


図 5.18 DPRAM バウンドバッファモードライトの簡略ブロック図

DPRAM バウンドバッファモードライトの動作手順を以下にします。

- (a) 内部CPUは、内蔵RAM内のデータを処理し、PCCSRのMWEFフラグをクリアして転送準備完了をマスタCPUに知らせます。このとき、PCCSRのEWAKARビットが1にセットされている場合は、RDY端子はLowレベルを出力します。
- (b) マスタCPUは、RDY端子の状態やMWEFフラグの状態から、転送準備完了を知り、データを準備し、DTCRBにバウンダリ、DTARBに先頭アドレスをライトして指定します。RDY端子はHighレベルを出力します。
マスタCPUは、DPDRWへ準備したデータを全てライトします。
- (c) マスタCPUがDPDRへライトすると、DPDRWへ書き込まれます。ライトされたDPDRWは、full状態となります。
PBIは、DTUのチャンネルBの転送要求を発生し、マスタライトサイクルのバス権を獲得します。DTUは、DTARHとDTARBで指定される内蔵RAMアドレスへ、ライトされた順にfull状態のDPDRWの内容を転送します。転送先は、DTARBの偶数/奇数とDPDRWH/DPDRWLが対応します。PBIは、その都度DTUのチャンネルBの転送要求を発生し、DPDRWをempty状態に保ちます。
- (d) DTUは、1バイトの転送が行われるごとにDTARBをインクリメントします。バウンダリまで転送が行われると、バウンダリオーバーフローが発生してMWEFフラグが1にセットされます。EMWIビットが1にセットされている場合は、割り込み要求が発生します。

以降、(a) から (d) を繰り返して実行します。

5. データトランスファユニット

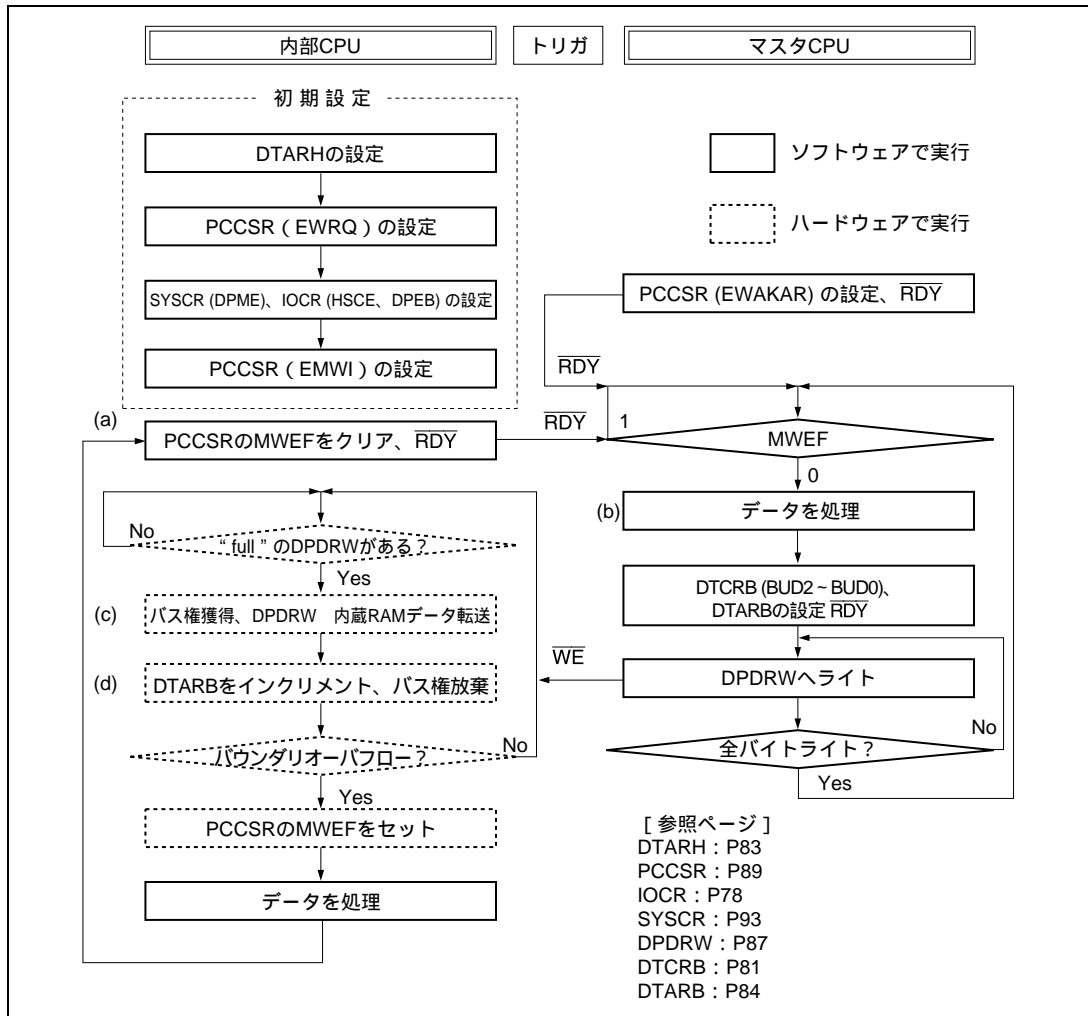


図 5.19 DPRAM バウンドバッファモードライト動作フロー

(5) DPRAM バウンドバッファモード使用時の注意

DPRAM バウンドバッファモードを利用する際は、以下の点に注意してください。

- (1) empty状態のDPDRRをマスタCPUがリードした場合は、full状態になるまで \overline{WRQ} 端子はLowレベルを出力します。 \overline{WRQ} 端子をマスタCPUのウェイト信号として使用しない場合は、リード間隔を空け、確実に転送が行われるようにしてください。
- (2) full状態のDPDRWへマスタCPUがライトした場合は、empty状態になるまで \overline{WRQ} 端子はLowレベルを出力します。 \overline{WRQ} 端子をマスタCPUのウェイト信号として使用しない場合は、ライト間隔を空け、確実に転送が行われるようにしてください。
- (3) MWEFの初期値は0なので、EWAKARビットを1にセットすると、直ちに \overline{RDY} 端子はLowレベルを出力します。初めての転送開始時には充分ご注意ください。
- (4) \overline{RDY} 端子は、DPRAMバウンドバッファモードとDPRAMダイレクトワードモードのいずれ

のモードでも、マスタリードとマスタライトで共用です。マスタCPUが $\overline{\text{RDY}}$ 端子を割込み入力などに用いて、DPRAMの内部状態を知ろうとする場合、割込み条件の競合などが発生する可能性があります。これに対しては、マスタCPUによるERAKARおよびEWAKARビットによる $\overline{\text{RDY}}$ 端子出力の制御や、転送処理開始および終了時のMREFおよびMWEFの監視等の対策が必要です。

5.3.6 DPRAM ダイレクトワードモードの動作

DPRAM ダイレクトワードモードは、DTU を使用しません。

DPRAM ダイレクトワードモードリードの簡略ブロック図を図 5.20 に示します。

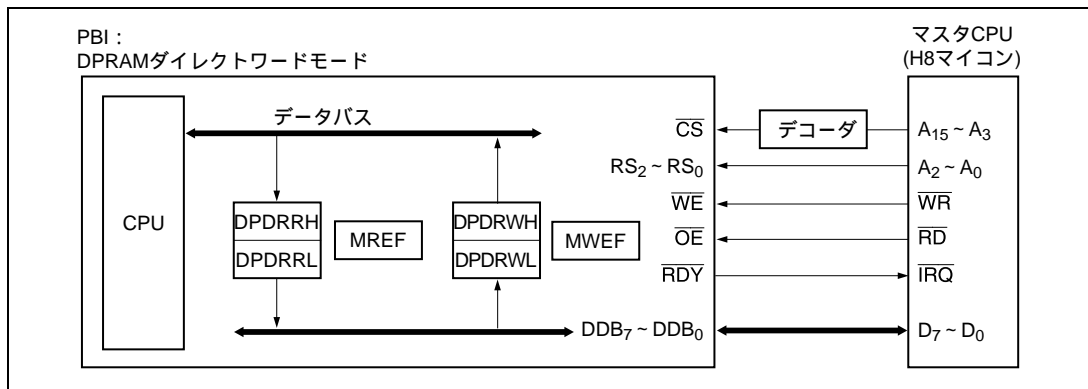


図 5.20 DPRAM ダイレクトワードモードリード/ライトの簡略ブロック図

DPRAM ダイレクトワードモードが使用可能な条件、初期化手順、動作手順を以下に示します。

(1) DPRAM ダイレクトワードモードが使用可能な条件

- DPRAM ダイレクトワードモードリード
DPME = 1かつHSCE = 0かつDPEA = 0の場合使用可能です。
- DPRAM ダイレクトワードモードライト
DPME = 1かつHSCE = 0かつDPEB = 0の場合使用可能です。

(2) 初期化手順

DTU/PBI 初期化の手順に従い、初期化を行います。

$\overline{\text{RDY}}$ 端子は、DPRAM バウンドバッファモードと共用して使用しますので、矛盾のない初期設定が必要です。初期状態で、 $\overline{\text{RDY}}$ 端子は、シングルチップモードではハイインピーダンス状態、拡張モードでは High レベルを出力しています。

(3) DPRAM ダイレクトワードモードリードの動作手順

DPRAM ダイレクトワードモードリードは、2 バイトのデータレジスタをマスタ CPU からリード専用、内部 CPU からライト専用の DPRAM として用いるパラレルインタフェースです。

DPRAM ダイレクトワードモードリードの動作手順を以下に示します。

- (a) 内部CPUは、DPDRRHおよびDPDRRLへデータをライトします。DPDRRLライトにより、

5. データトランスファユニット

PCCSRのMREFフラグがクリアされます。

このとき、PCCSRのERAKARビットが、1にセットされていれば、 $\overline{\text{RDY}}$ 端子はLowレベルを出力します。

- (b) マスタCPUは、 $\overline{\text{RDY}}$ 端子の状態やMREFフラグの状態から、内部CPUのライト完了を知り、DPDRRHおよびDPDRRLをリードします。DPDRRLリードにより、PCCSRのMREFが1にセットされ、EMRIビットが1にセットされていれば、割込み要求が発生します。このとき、 $\overline{\text{RDY}}$ 端子は、シングルチップモードではハイインピーダンス状態、拡張モードではHighレベルを出力します。

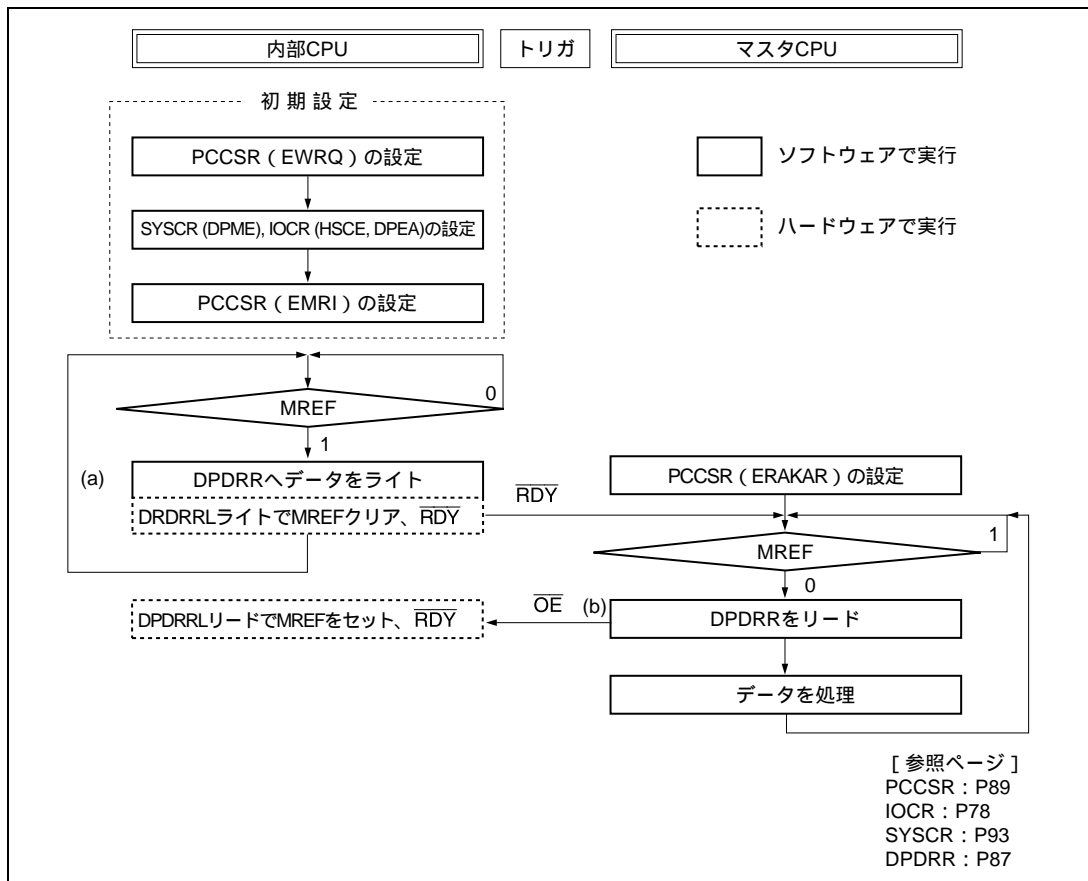


図 5.21 DPRAM ダイレクトワードモードリード動作フロー

(4) DPRAM ダイレクトワードモードライトの動作手順

DPRAM ダイレクトワードモードライトは、2 バイトのデータレジスタをマスタ CPU からライト専用、内部 CPU からリード専用の DPRAM として用いるパラレルインタフェースです。

DPRAM ダイレクトワードモードライトの動作手順を以下にします。

- (a) マスタCPUは、 $\overline{\text{RDY}}$ 端子の状態やMREFフラグの状態から、内部CPUのリード完了を知り、DPDRWHおよびDPDRWLへライトします。DPDRWLライトにより、PCCSRのMREFが1にセットされ、EMWIビットが1にセットされていれば、割込み要求が発生します。

このとき、 $\overline{\text{RDY}}$ 端子は、シングルチップモードでは、ハイインピーダンス状態、拡張モードではHighレベルを出力します。

- (b) 内部CPUは、DPDRWHおよびDPDRWLのデータをリードします。DPDRWLリードにより、PCCSRのMWEFフラグがクリアされます。
このとき、PCCSRのEWAKARビットが1にセットされていれば、 $\overline{\text{RDY}}$ 端子はLowレベルを出力します。

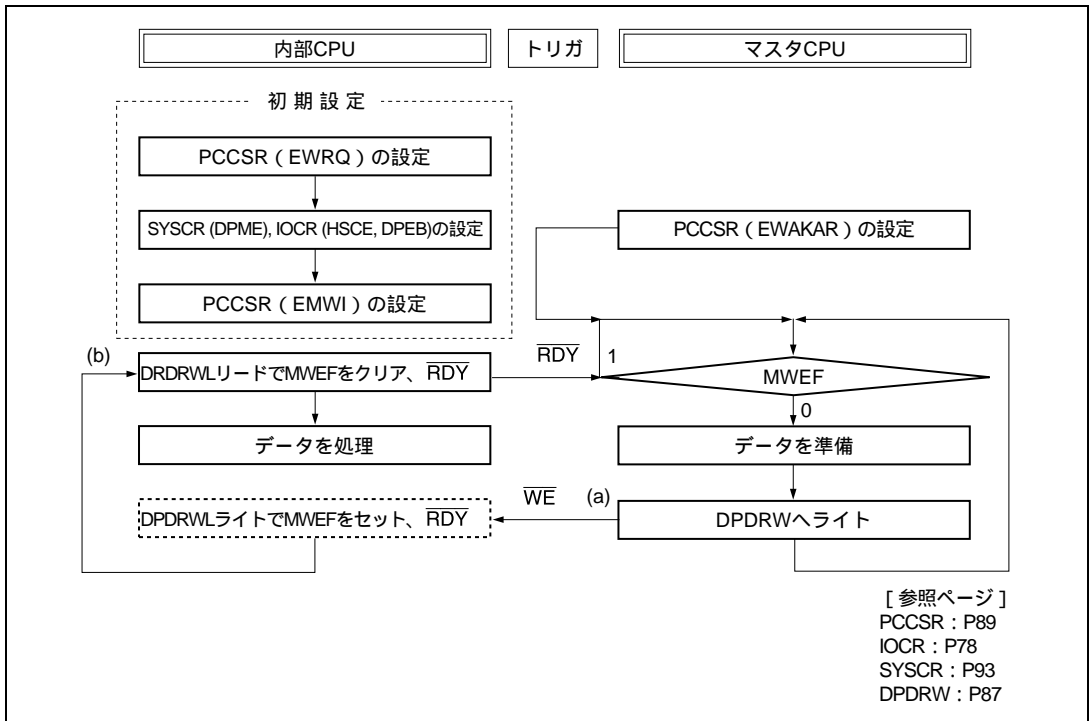


図 5.22 DPRAM ダイレクトワードモードライト動作フロー

(5) DPRAM ダイレクトワードモード使用時の注意

DPRAM ダイレクトワードモードを利用する際は、以下の点に注意してください。

- (a) MWEFの初期値は0なので、EWAKARビットを1にセットすると、直ちに $\overline{\text{RDY}}$ 端子はLowレベルを出力します。初めての転送開始時には充分ご注意ください。
- (b) $\overline{\text{RDY}}$ 端子は、DPRAMバウンドバッファモードとDPRAMダイレクトワードモードのいずれのモードでも、マスタリードとマスタライトで共用です。マスタCPUが $\overline{\text{RDY}}$ 端子を割込み入力などに用いて、DPRAMの内部状態を知ろうとする場合、割込み条件の競合などが発生する可能性があります。これに対しては、マスタCPUにより、ERAKARおよびEWAKARビットによる $\overline{\text{RDY}}$ 端子出力の制御や、転送処理開始および終了時のMREFおよびMWEFの監視等の対策が必要です。

5.3.7 ハンドシェークモードの動作

ハンドシェークモードは、8ビットのポートを通じて1バイトずつデータをやり取りするパラレルインタフェースです。

ハンドシェークモードの簡略ブロック図を図 5.23、ハンドシェークモード送受信の結線例を図 5.24 に示します。

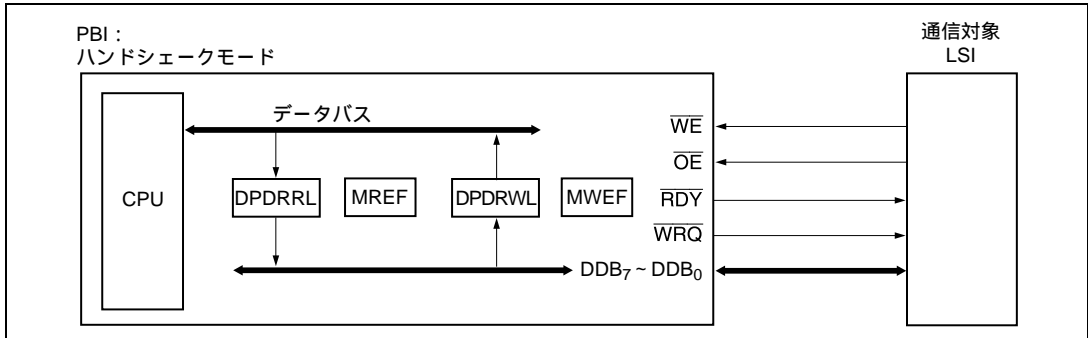


図 5.23 ハンドシェークモード簡略ブロック図

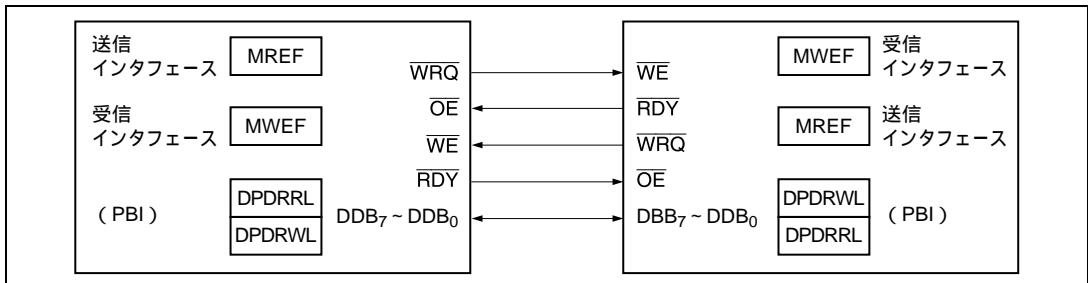


図 5.24 ハンドシェークモード送受信の結線例

ハンドシェークモードが使用可能な条件、初期化手順、および送信、受信の各動作手順を以下に示します。

(1) ハンドシェークモードが使用可能な条件、初期化手順

- (a) ハンドシェークモードが使用可能な条件
DPME = 1かつHSCE = 1の場合のみ使用可能です。
- (b) 初期化手順
DTU/PBI初期化の手順に従い、初期化を行います。

(2) ハンドシェークモード送信の動作手順

ハンドシェークモード送信では、データレジスタの内容を出力するとともに、 \overline{WRQ} 端子からラッチパルスを出力して、データを受信側ハンドシェークインタフェースに書込みます。

ハンドシェークモード送信の動作手順を以下に示します。

- (a) 内部CPUは、MREFフラグを読んで、1にセットされていることを確認し、DPDRRLへライ

- トします。
- これにより、PBIは、MREFフラグを0にクリアし、 \overline{WRQ} 端子からLowレベルを出力します。
- (b) PBIは、 \overline{OE} 端子の状態を判定し、LowレベルであればDPDRRLの内容を出力します。それから8システムクロック経過すると、PBIは \overline{WRQ} 端子から自動的にHighレベルを出力します。
 - (c) PBIは、 \overline{OE} 端子の状態を判定し、 \overline{OE} 端子がHighレベルに立上があればデータの出力を中止してハイインピーダンスを状態とします。
- これにより、PBIは、MREFフラグを1にセットします。

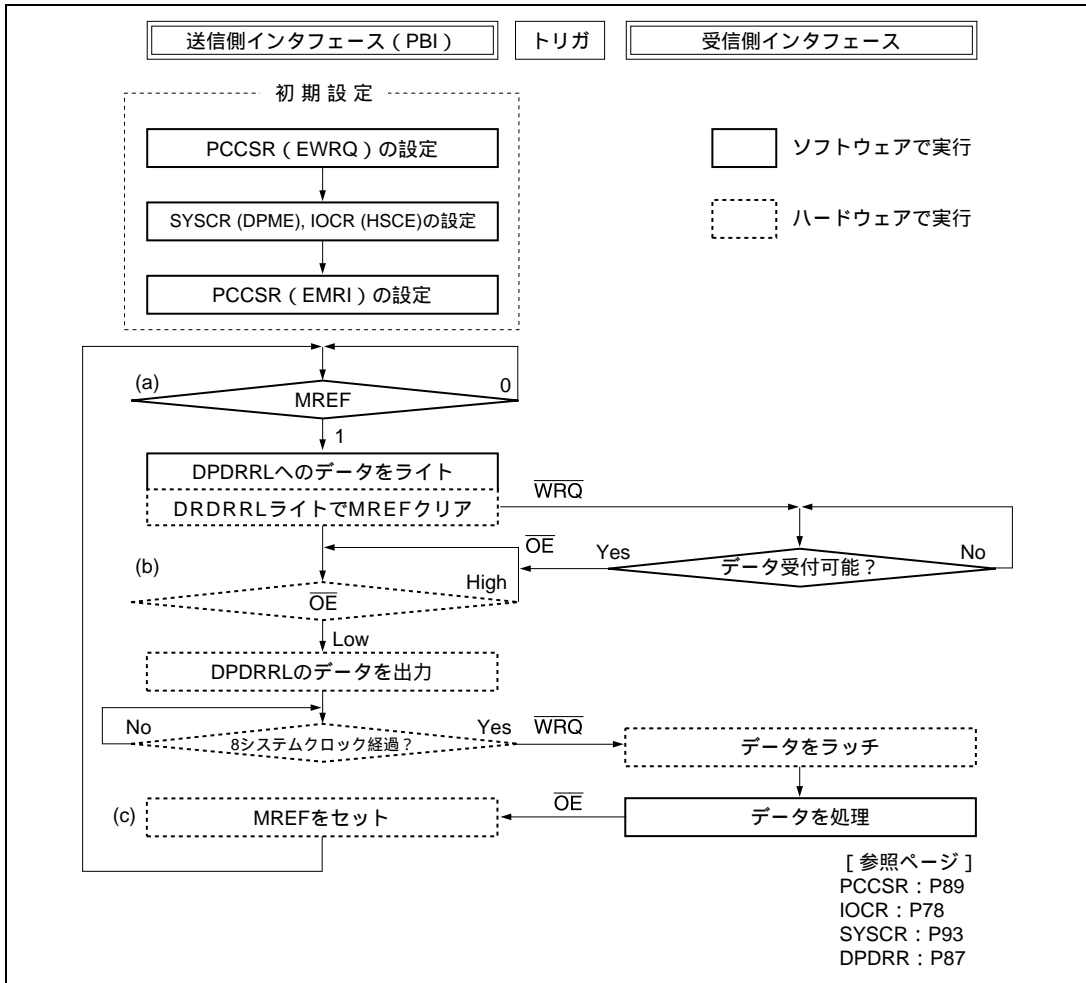


図 5.25 ハンドシェイクモード送信動作フロー

5. データトランスファユニット

(3) ハンドシェークモード受信の動作手順

ハンドシェークモード受信では、送信側ハンドシェークインタフェースから入力したデータを、 \overline{WE} 端子から入力したラッチパルスで、データレジスタに読みます。

- (a) PBIは、 \overline{OE} 端子と \overline{WE} 端子の状態を判定し、 \overline{OE} 端子がHighレベルの状態と \overline{WE} 端子がLowレベルに立下がれば、 \overline{RDY} 端子からLowレベルを出力します。
- (b) \overline{WE} 端子がHighレベルに立上がると、PBIは、その立上がりエッジでデータをDPDRWLにラッチします。これにより、PBIは、MWEFを1にセットします。
- (a) 内部CPUは、MWEFを読んで、1にセットされていることを確認し、DPDRWLをリードします。これにより、PBIは、MWEFを0にクリアし、 \overline{RDY} 端子からHighレベルを出力します。

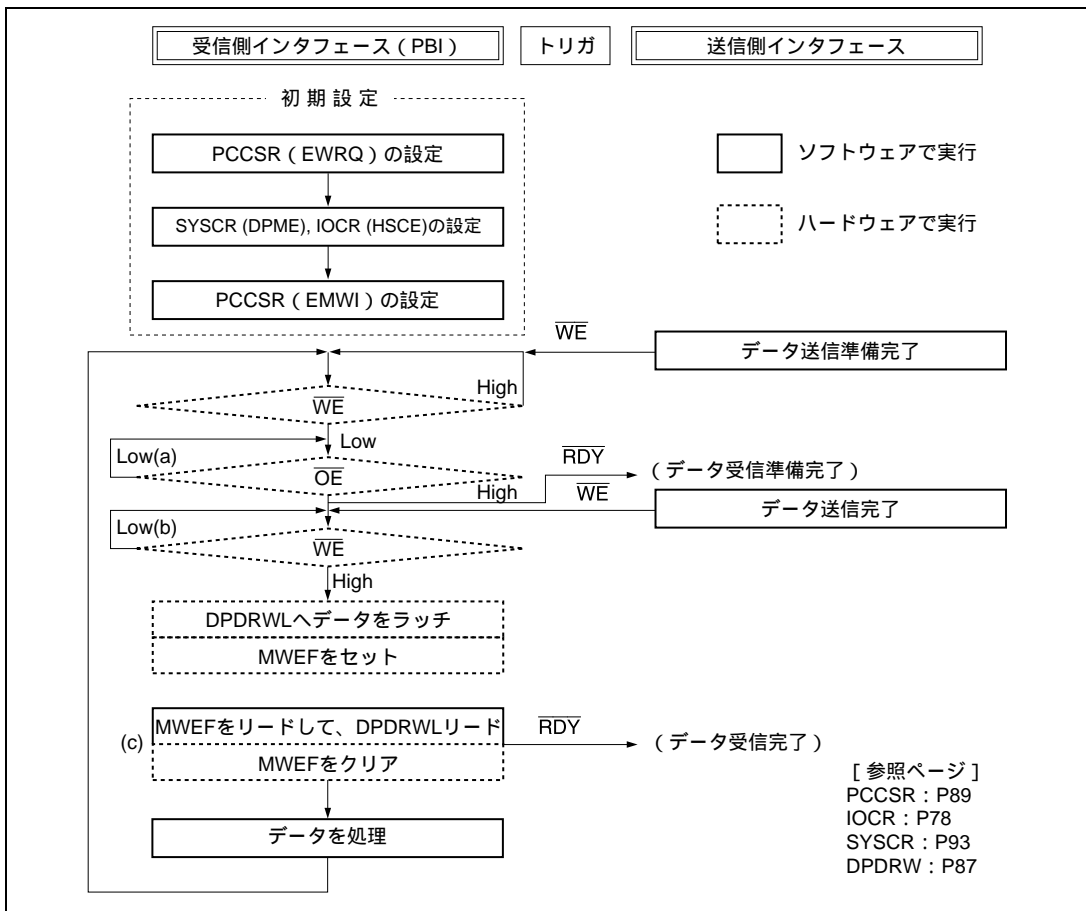


図 5.26 ハンドシェークモード受信動作フロー

5. データトランスファユニット

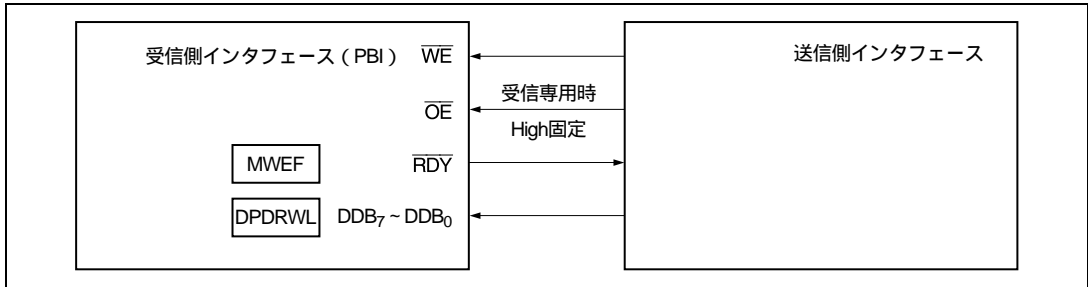


図 5.29 ハンドシェークモード受信の簡略ブロック図

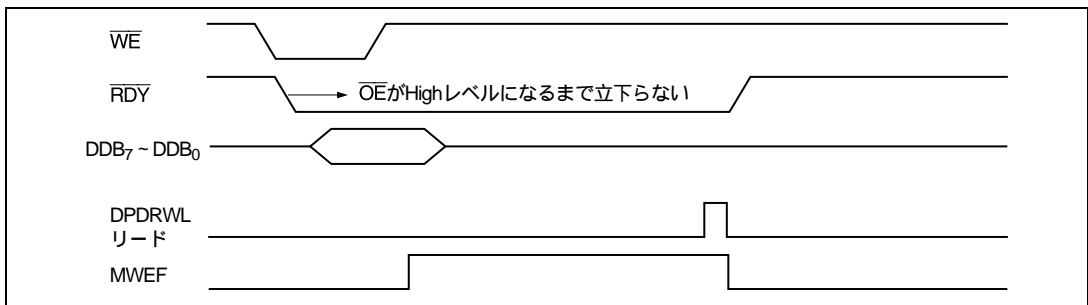


図 5.30 ハンドシェークモード受信動作タイミング

5.4 使用上の注意事項

5.4.1 DTU/PBI の処理時間

PBI 転送 (DPRAM モードキュアリバッファ動作、DPRAM バウンドバッファモード) は、PBI アクセス時の \overline{WE} 、 \overline{OE} 端子入力の立上がりエッジなどで起動されます。このエッジ検出や、PBI 転送完了までの期間に、再び PBI アクセスがあると、 \overline{WRQ} 端子出力でマスタ CPU にウェイト要求をする場合があります。

このようなウェイト状態を発生させないためには、DTU/PBI の処理時間を知り、十分な間隔を空けて PBI をアクセスしてください。以下に H8 マイコンをマスタ CPU とした場合の例を示します。

- (1) マスタ CPU が PBI のデータレジスタ (DPDRRQ、DPDRRH/L、DPDRWH/L) をアクセスすると、DTU が起動されます。再びデータレジスタがアクセス可能になるまでの時間 (アクセス間隔) は、次の3種類の時間の和で決まります。

- 転送要求検出時間差 : \overline{WE} 、 \overline{OE} 端子入力の立上がりエッジを検出から、転送要求までの時間の差
- バスサイクル待ち時間 (最大 6 ステート + ウェイト) : 転送要求時に実行中のバスサイクルが完了する場での時間
- DPRAM サイクル (2 ステート + ウェイト) : 内蔵 RAM - PBI 間の転送を行うバスサイクルの実行時間

転送要求検出時間差は動作モードにより異なり、DPRAM バウンドバッファモードで最大 3.5 ステート、DPRAM キュアリバッファ動作で最大 3 ステートです。

内蔵 RAM の代わりに外部拡張で外付け RAM を利用し、外部ウェイトを用いた場合、バスサイクル待ち時間の最大値はウェイト時間に依存します。

- (2) DPRAM バウンドバッファモードの場合、PBI に対しマスタ CPU は、バイトアクセスまたはワードアクセスを行ってください。ワードアクセスを行った場合ワード内 2 バイトの \overline{OE} 、 \overline{WE} の立上りエッジの検出可能な間隔 (ストロープ間隔) は最小で 2 ステートです。
- (3) \overline{WRQ} 端子出力は、 $RS_2 \sim RS_0$ 入力端子が使用不能の DPRAM データレジスタを指定し、かつ \overline{CS} 端子入力が Low のときに Low になります。
 \overline{WRQ} 端子を使用しない場合、アクセス間隔を \overline{OE} 、 \overline{WE} の立上りエッジより次の $RS_2 \sim RS_0$ 、 \overline{CS} 端子入力確定までの時間とすると、下記の間隔が必要となります。

- バウンドバッファモードアクセス間隔 : 9.5 ステート (図 5.31 参照)
- キュアリバッファ動作アドレスライト データリードアクセス間隔 : 11 ステート (図 5.32 参照)

ただし上記アクセスは同一チャネルの連続アクセスを行ったときのものです。

異なるチャネルを同時に使用する場合、PBI は優先順位の高いチャネルの処理を先に実行します。優先順位の低いチャネルについては、先に実行される DPRAM サイクルの時間をアクセス間隔に加算する必要があります。

- (4) 上記 (1) ~ (3) の時間を、マスタ CPU の動作周波数、および AC 特性を考慮して確保してください。マスタ CPU が 3 ステート、ウェイトなしでアクセスすると、ストロープ間隔を確保するには、最大 1.5 倍の動作周波数のマスタ CPU に接続することが可能です。
 このとき、(3) のアクセス間隔は、マスタ CPU の 14.25 ステート、16.5 ステートとなります。

5. データトランスファユニット

ただし、 \overline{OE} 、 \overline{WE} 、 \overline{CS} 、RSのマスタCPUからの出力遅延とPBIの入力セットアップが各信号間で一様とは限らないため、その分のマージンを確保する必要があります。

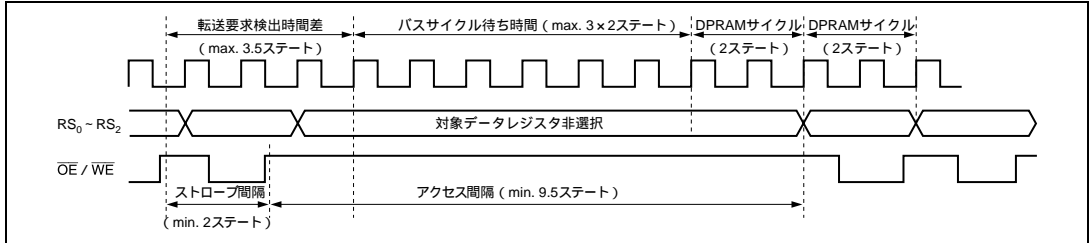


図 5.31 バウンドバッファモードアクセス間隔

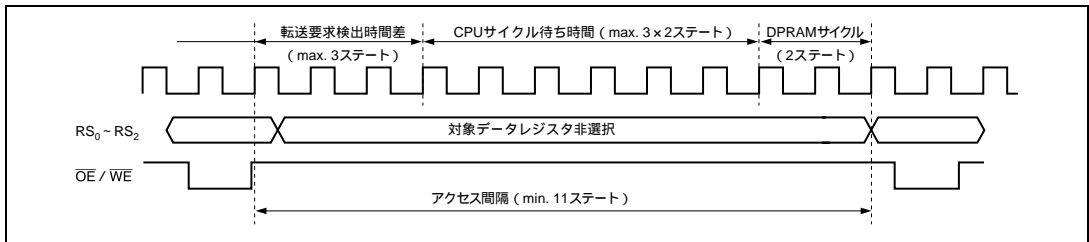


図 5.32 キュアリバッファ動作 アドレスライト データリードアクセス間隔

6. ウェイト制御

6.1 概要

本 LSI はウェイトステートコントローラを内蔵しており、低速外部デバイスとのインタフェースのために、バスサイクルにウェイトステートを挿入することが可能です。

6.1.1 特長

ウェイトステートコントローラの特長を次に示します。

- 3種類のウェイトモード
 - プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモードを選択可能
 - 0~3 ステートのウェイトステートを自動的に挿入可能

6.1.2 ブロック図

ウェイトステートコントローラのブロック図を図 6.1 に示します。

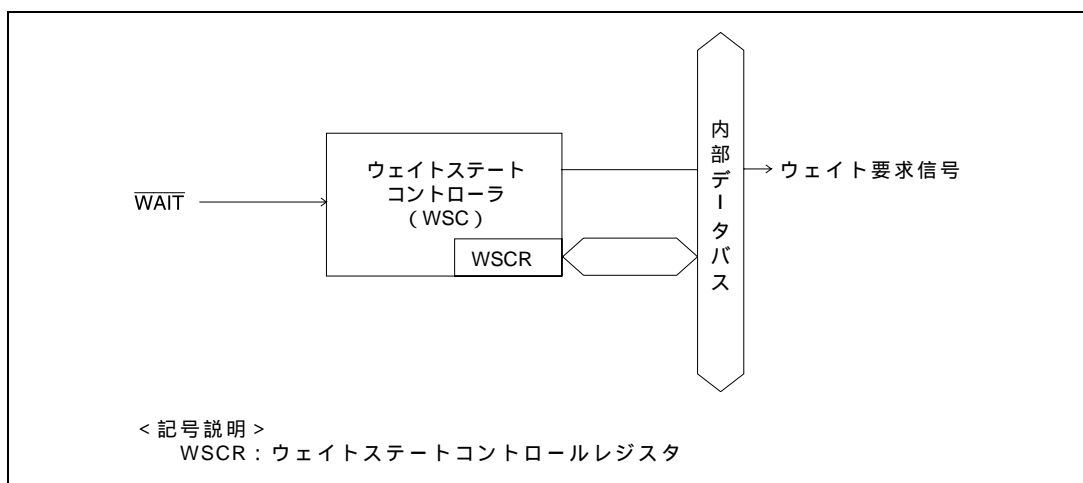


図 6.1 ウェイトステートコントローラのブロック図

6. ウェイト制御

6.1.3 端子構成

ウェイトステートコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
ウェイト	WAIT	入力	外部空間をアクセスするときのウェイト要求信号

6.1.4 レジスタ構成

ウェイトステートコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス	名称	略称	R/W	初期値
H'FFC2	ウェイトステートコントロールレジスタ	WSCR	R/W	H'C8

6.2 各レジスタの説明

6.2.1 ウェイトステートコントロールレジスタ (WSCR)

WSCR は 8 ビットのリード/ライト可能なレジスタで、ウェイトステートコントローラ (WSC) のウェイトモードとウェイトステート数を設定します。また周辺モジュールへのクロックの分周を制御します。

ビット:	7	6	5	4	3	2	1	0
	—	—	CKDBL	—	WMS1	WMS0	WC1	WC0
初期値:	1	1	0	1	1	0	0	0
R/W:	—	—	R/W	—	R/W	R/W	R/W	R/W

WSCR はリセット、またはハードウェアスタンバイモード時に H'C8 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7、6: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5: クロック分周 (CKDBL)

周辺モジュールへ供給するクロック分周を制御します。詳しくは「第 7 章 クロック発振器」を参照してください。

ビット 4: リザーブビット

リザーブビットです。リード/ライト可能で、初期値は 0 です。

ビット 3、2: ウェイトモードセレクト 1、0 (WMS1、WMS0)

ウェイトモードを設定します。

ビット 3	ビット 2	説明
WMS1	WMS0	
0	0	プログラマブルウェイトモード
	1	WSC によるウェイトを禁止
1	0	端子ウェイトモード (初期値)
	1	端子オートウェイトモード

ビット 1、0: ウェイトカウント 1、0 (WC1、WC0)

外部空間をアクセスするときに、自動的に挿入するウェイトステート数を設定します。

ビット 1	ビット 0	説明
WC1	WC0	
0	0	WSC によるウェイトの自動的な挿入を禁止 (初期値)
	1	1 ステート挿入
1	0	2 ステート挿入
	1	3 ステート挿入

6.3 ウェイトモード

(1) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを図 6.2 に示します。図 6.2 は、ウェイトカウントが 1 の場合 (WC1 = 0、WC0 = 1) です。

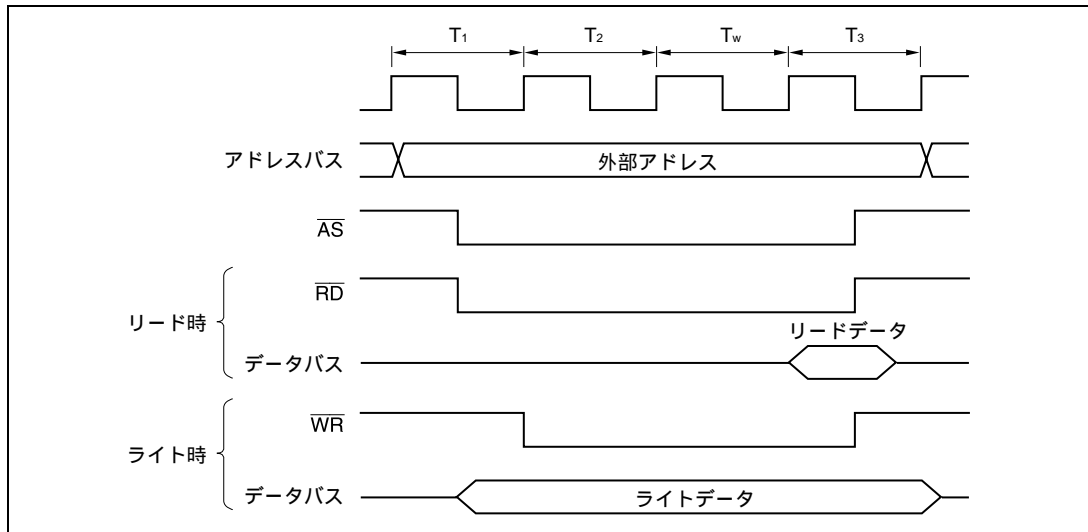


図 6.2 プログラマブルウェイトモード

(2) 端子ウェイトモード

端子ウェイトモードでは、外部空間をアクセスすると、常に $WC1$ 、0 ビットにより設定されたステート数だけ T_w を挿入されます。この最後の T_w の 立下がりのタイミングで \overline{WAIT} 端子を Low レベルにすることで、さらに T_w を挿入することができます。 \overline{WAIT} 端子が Low レベルに保持されると、 \overline{WAIT} 端子が High レベルに立上がるまで T_w が挿入されます。

端子ウェイトモードは、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

ウェイトカウン트가 1 ($WC1=0$ 、 $WC0=1$) で、かつ \overline{WAIT} 端子入力による T_w が 1 ステートの場合のタイミングを図 6.3 に示します。

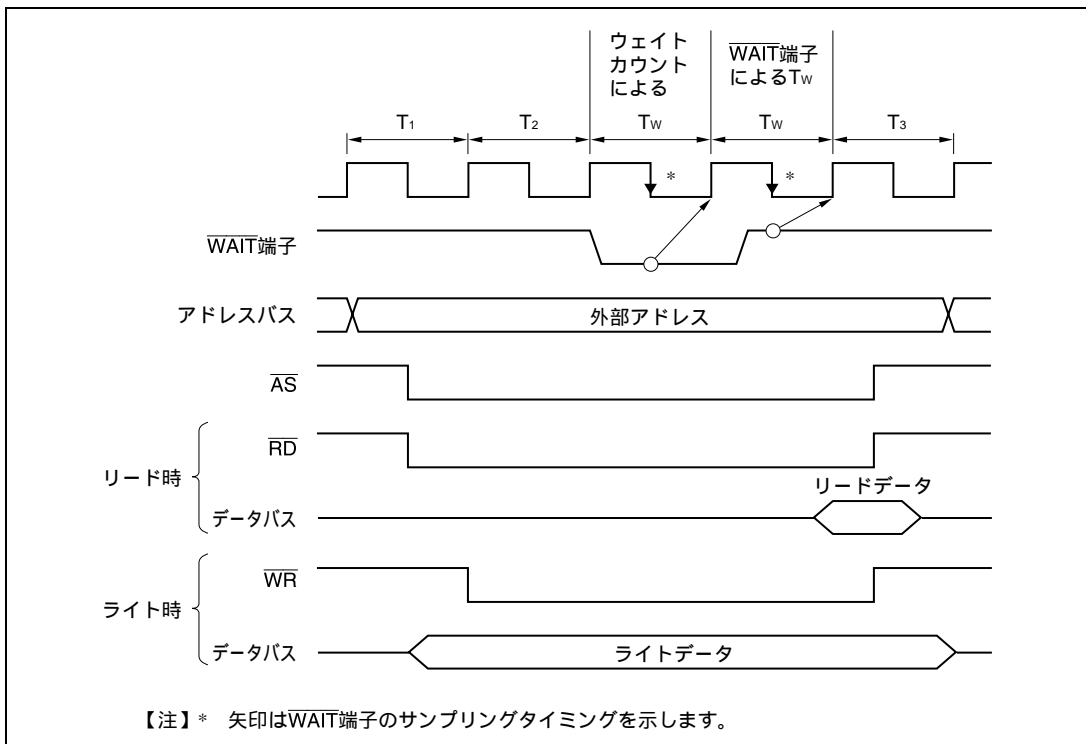


図 6.3 端子ウェイトモード

6. ウェイト制御

(3) 端子オートウェイトモード

端子オートウェイトモードでは、 $\overline{\text{WAIT}}$ 端子が Low レベルのとき、WC1、WC0 ビットで設定された T_w が挿入されます。

端子オートウェイトモードでは、 T_2 ステートの の立下がりのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであれば WC1、WC0 ビットによって設立された数だけ T_w を挿入します。

$\overline{\text{WAIT}}$ 端子を Low レベルに保持しても、設定された数を超える T_w は挿入されません。端子オートウェイトモードを用いるとチップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

このタイミングを図 6.4 に示します。図 6.4 は、ウェイトカウントが 1 の場合です。

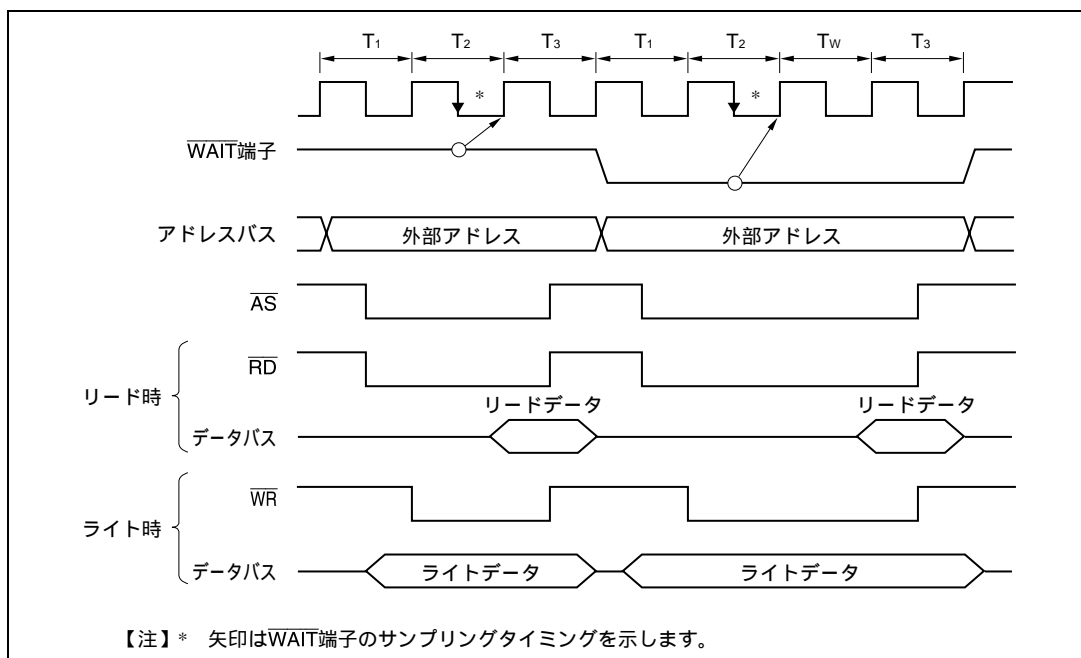


図 6.4 端子オートウェイトモード

7. クロック発振器

7.1 概要

本 LSI はクロック発振器 (CPG: Clock Pulse Generator) を内蔵しています。クロック発振器は、発振器、デューティ補正回路、内蔵周辺モジュール用クロック分周器、プリスケラから構成されます。

7.1.1 ブロック図

図 7.1 にクロック発振器のブロック図を示します。

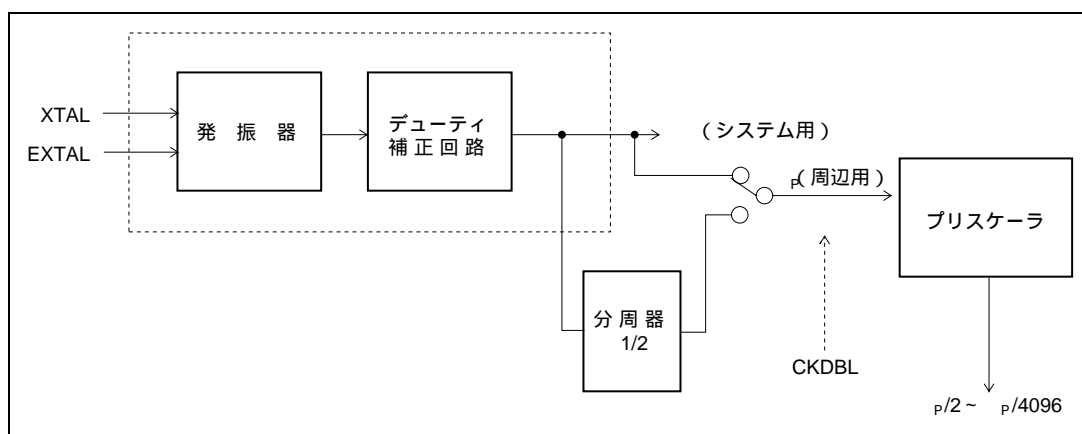


図 7.1 クロック発振器のブロック図

EXTAL 端子に外部クロックを入力するか、または XTAL 端子と EXTAL 端子に水晶振動子を接続します。システムクロック () の周波数は、発振周波数と同一になります。タイマ等の周辺機能に供給するクロック (p) は、CKDBL ビットをソフトウェアで制御し、分周または 2 分周を選択できます。

7.1.2 ウェイトステートコントロールレジスタ (WSCR)

ウェイトステートコントロールレジスタ (WSCR) は 8 ビットのリード/ライト可能なレジスタで、周辺モジュールへ供給するクロックの分周を制御します。また、ウェイトステートコントローラのウェイトの制御を行います。

WSCR はリセットまたはハードウェアスタンバイモード時に H' C8 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット:	7	6	5	4	3	2	1	0
	—	—	CKDBL	—	WMS1	WMS0	WC1	WC0
初期値:	1	1	0	1	1	0	0	0
R/W:	—	—	R/W	—	R/W	R/W	R/W	R/W

ビット 7、6: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5: クロック分周 (CKDBL)

周辺モジュールへ供給するシステムクロックの分周を制御します。

ビット 5	説明
CKDBL	
0	周辺モジュールへのクロック (f_p) はシステムクロック () を分周しない (初期値)
1	周辺モジュールへのクロック (f_p) はシステムクロック () を 2 分周する

ビット 4: リザーブビット

リザーブビットです。リード/ライト可能で、初期値は 0 です。

ビット 3、2: ウェイトモードセレクト 1、0 (WMS1、WMS0)

ビット 1、0: ウェイトカウント 1、0 (WC1、WC0)

ウェイトステートコントローラのウェイトを制御します。詳しくは「第 6 章 ウェイト制御」を参照してください。

7.2 発振器

クロック発振器へクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

(1) 水晶発振子を接続する方法

(a) 回路構成

水晶発振子を接続する場合の接続例を図 7.2 に示します。水晶発振子は AT カット並列共振形を使用してください。

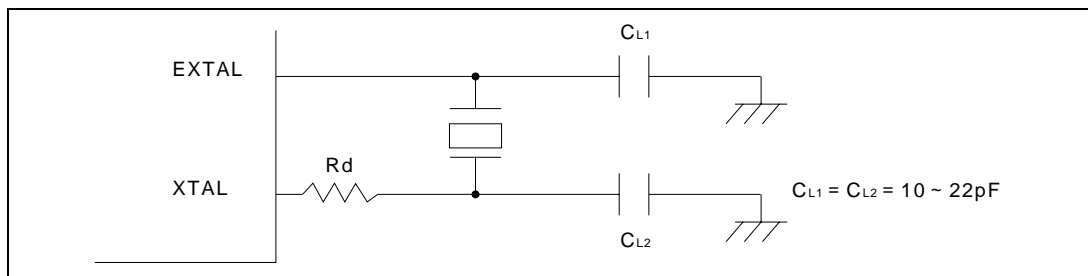


図 7.2 水晶発振子を接続する場合の接続例

表 7.1 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	16
Rd ()	1k	500	200	0	0	0

(b) 水晶発振子

図 7.3 に水晶発振子の等価回路を示します。水晶発振子は表 7.2 に示す特性のものを使用してください。

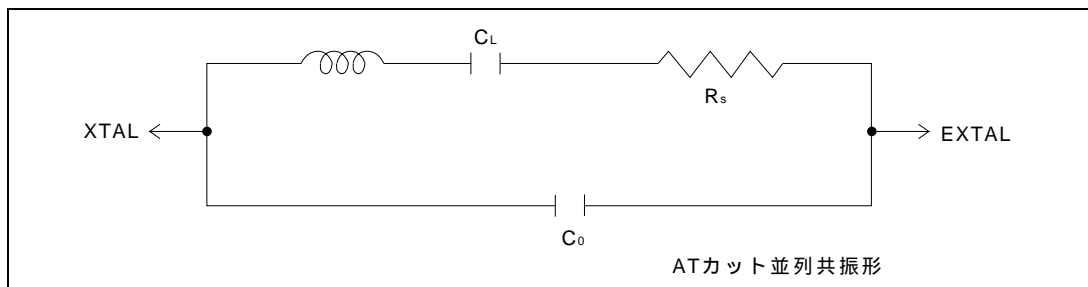


図 7.3 水晶発振子の等価回路

表 7.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16
Rs max ()	500	120	80	70	60	50
C0 (pF)	7pF max					

7. クロック発振器

水晶発振子は、システムクロック（ ）と同一の周波数のものを使用してください。

(c) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 7.4）。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

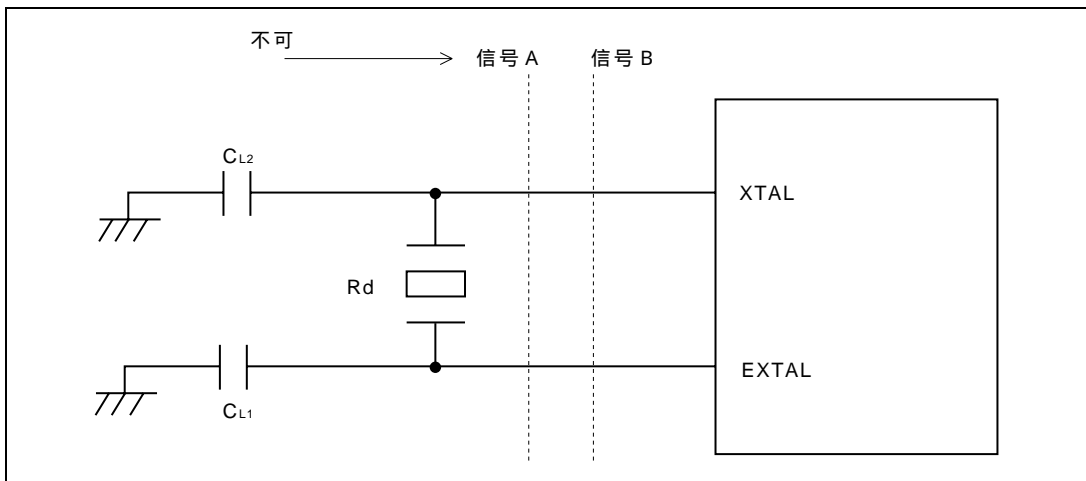


図 7.4 発振回路部のボード設計に関する注意事項

(2) 外部クロックを入力する方法

(a) 回路構成

外部クロック入力の接続例を図 7.5 に示します。図 7.5 (b) の場合、スタンバイ時には外部クロックは High レベルとなるようにしてください。

XTAL 端子をオープン状態にする場合は、寄生容量が 10pF 以下としてください。

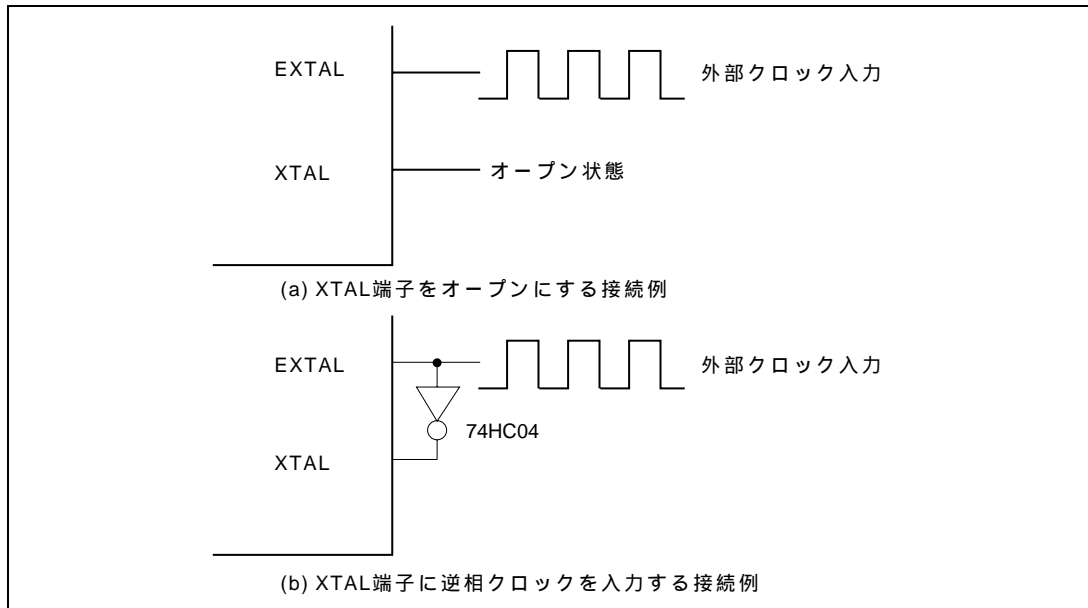


図 7.5 外部クロックを入力する場合の接続例

(b) 外部クロック

外部クロックはシステムクロック () と同一の周波数にしてください。表 7.3 にクロックタイミング、図 7.6 に外部クロック入力タイミングを示します。

表 7.3 クロックタイミング

項目	記号	$V_{CC} = 2.7 \sim 5.5V$		$V_{CC} = 4.0 \sim 5.5V$		$V_{CC} = 5.0V \pm 10\%$		単位	測定条件	
		min	max	min	max	min	max			
外部クロック入力 パルス幅 Low レベル	t_{EXL}	40	-	30	-	20	-	ns	図 7.6	
外部クロック入力 パルス幅 High レベル	t_{EXH}	40	-	30	-	20	-	ns		
外部クロック 立上がり時間	t_{EXr}	-	10	-	10	-	5	ns		
外部クロック 立下がり時間	t_{EXf}	-	10	-	10	-	5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.3	0.7	0.3	0.7	0.3	0.7	t_{cyc}	5MHz	図 19.4
		0.4	0.6	0.4	0.6	0.4	0.6	t_{cyc}	< 5MHz	
クロックパルス幅 High レベル	t_{CH}	0.3	0.7	0.3	0.7	0.3	0.7	t_{cyc}	5MHz	
		0.4	0.6	0.4	0.6	0.4	0.6	t_{cyc}	< 5MHz	

7. クロック発振器

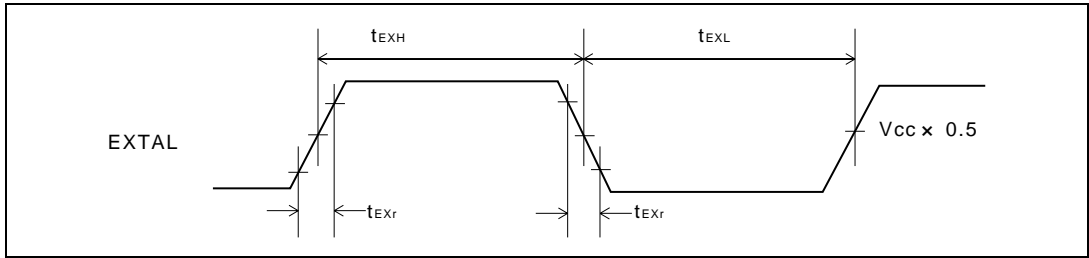


図 7.6 外部クロック入力タイミング

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。

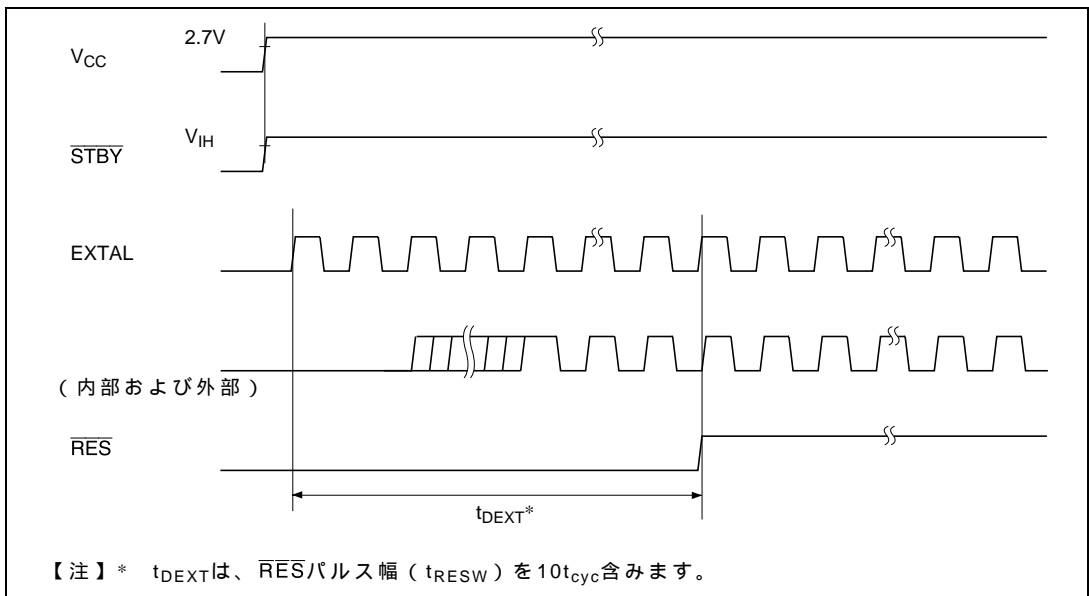
表 7.4 外部クロック出力安定遅延時間

[条件: $V_{CC} = 2.7V \sim 5.5V$, $AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$]

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500	-	μs	図 7.7

【注】* t_{DEXT} は、 \overline{RES} パルス幅 (t_{RESW}) を $10t_{cyc}$ 含みます。

図 7.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。



【注】* t_{DEXT} は、 \overline{RES} パルス幅 (t_{RESW}) を $10t_{cyc}$ 含みます。

図 7.7 外部クロック出力安定遅延時間タイミング

7.3 デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、システムクロック () を生成します。

7.4 プリスケーラ

1/2 分周器は、CKDBL ビットの設定に従って、システムクロック () から周辺モジュール用クロック (f_p) を生成します。

プリスケーラは、 f_p を分周し、内部クロック ($f_p/2 \sim f_p/4096$) を生成します。

8. I/O ポート

8.1 概要

本 LSI は、8 ビット入出力ポートを 6 本、7 ビット入出力ポートを 1 本、3 ビット入出力ポートを 1 本、8 ビット入力専用ポートを 1 本備えています。

各ポートの動作モード別機能一覧を表 8.1 に示します。表 8.1 に示すように、各ポートは兼用端子になっています。また各ポートの端子機能は動作モードにより異なります。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR) と、出力データを格納するデータレジスタ (DR) から構成されています。ポートの DDR に対してビット操作命令を実行する場合には、「2.5.5 ビット操作命令」の〔ビット操作命令使用上の注意〕を参照してください。

ポート 1~4、6、9 は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 5、8 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ポート 1、2 は、LED を駆動 (シンク電流 10mA) することができます。

ポート 1~6、8、9 はダーリントントランジスタを駆動することができます。ポート 1~3 には入力プルアップ MOS が内蔵されています。

各ポートのブロック図は「付録 C . I/O ポートブロック図」を参照してください。

8. I/O ポート

表 8.1 ポートの機能一覧 (1)

ポート	概要	端子	拡張モード		シングルチップモード	
			モード 1	モード 2	モード 3	
					PBI 無効 (DPME = 0)	PBI 有効 (DPME = 1 (スレ ープモード))
ポート 1	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P1 ₇ /A ₇ /TP ₇ ~ P1 ₀ /A ₀ /TP ₀	下位アドレス出力端子	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 かつ NDER = 0 のとき出力ポート DDR = 1 かつ NDER = 1 のとき TPC 出力端子	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 かつ NDER = 0 のとき出力ポート DDR = 1 かつ NDER = 1 のとき TPC 出力端子	
ポート 2	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 ・ LED 駆動可能 	P2 ₁₅ /A ₁₅ /TP ₁₅ ~ P2 ₃ /A ₃ /TP ₃	上位アドレス出力端子	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 かつ NDER = 0 のとき上位アドレス出力端子 DDR = 1 かつ NDER = 1 のとき TPC 出力端子	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 かつ NDER = 0 のとき出力ポート DDR = 1 かつ NDER = 1 のとき TPC 出力端子	
ポート 3	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 入力プルアップ MOS 内蔵 	P3 ₇ /D ₇ /DDB ₇ ~ P3 ₀ /D ₀ /DDB ₀	データバス		入出力ポート	DPRAM データバス
ポート 4	・ 8 ビットの入出力ポート	P4 ₇ /FTOB ₇ /XDDDB ₇ P4 ₆ /FTOA ₆ /XDDDB ₆ P4 ₅ /TMRI ₅ /XDDDB ₅ P4 ₄ /TMO ₄ /XDDDB ₄ P4 ₃ /TMCI ₃ /XDDDB ₃ P4 ₂ /TMRI ₂ /XDDDB ₂ P4 ₁ /TMO ₁ /XDDDB ₁ P4 ₀ /TMCI ₀ /XDDDB ₀	PBI 無効(DPME = 0)のとき入出力ポートと 8 ビットタイマ 0、1、16 ビットフリーランニングタイマ 1 の入出力端子(TMCI ₀ 、TMO ₀ 、TMRI ₀ 、TMCI ₁ 、TMO ₁ 、TMRI ₁ 、FTOA ₁ 、FTOB ₁)の兼用 PBI 有効(DPME = 1)のとき DPRAM データバス		16 ビットフリーランニングタイマ 1 の出力端子 (FTOA ₁ 、FTOB ₁)入出力ポートの兼用 8 ビットタイマ 0,1 の入出力端子(TMCI ₀ 、TMO ₀ 、TMRI ₀ 、TMCI ₁ 、TMO ₁ 、TMRI ₁)と入出力ポートの兼用	
ポート 5	・ 3 ビットの入出力ポート	P5 ₂ /SCK ₀ P5 ₁ /RXD ₀ P5 ₀ /TXD ₀	シリアルコミュニケーションインタフェース 0 の入出力端子(TXD ₀ 、RXD ₀ 、SCK ₀)と入出力ポートの兼用			

表 8.1 ポートの機能一覧(2)

ポート	概要	端子	拡張モード		シングルチップモード	
			モード 1	モード 2	モード 3	
					PBI 無効 (DPME = 0)	PBI 有効 (DPME = 1 (スレーブモード))
ポート 6	・ 8 ビットの入出力ポート	P6 ₇ /IRQ ₇ /ETMO ₁ P6 ₆ /FTOB ₇ /IRQ ₆ /ETMRI ₁ P6 ₅ /FTID/ETMCI ₁ P6 ₄ /FTIC/ETMO ₀ P6 ₃ /FTIB/ETMRI ₀ P6 ₂ /FTIA/FTI P6 ₁ /FTOA ₀ P6 ₀ /FTCI/ETMCI ₀	PBI 無効(DPME = 0)のとき、16 ビットフリーランニングタイム 0 の入出力端子(FTCI、FTOA ₀ 、FTOB ₀ 、FTIA、FTIB、FTIC、FTID) 16 ビットフリーランニングタイム 1 の入出力端子 (FTCI、FTI)、IRQ ₆ 、IRQ ₇ 入力端子と 8 ビットの入出力ポートの兼用 PBI 有効(DPME = 1)のとき、さらに 8 ビットタイム 0、1 の入出力端子 (ETMCI ₀ 、ETMRI ₀ 、ETMO ₀ 、ETMCI ₁ 、ETMRI ₁ 、ETMO ₁)との兼用	16 ビットフリーランニングタイム 0 の入出力端子(FTCI、FTOA ₀ 、FTOB ₀ 、FTIA、FTIB、FTIC、FTID)、 16 ビットフリーランニングタイム 1 の入出力端子(FTCI、FTI) IRQ ₆ 、IRQ ₇ 入力端子と 8 ビット入出力ポート兼用		
ポート 7	・ 8 ビットの入出力ポート	P7 ₇ /AN ₇ ~ P7 ₀ /AN ₀	A/D 変換器のアナログ入力端子(AN ₇ ~ AN ₀)と入力ポートの兼用			
ポート 8	・ 7 ビットの入出力ポート	P8 ₆ /SCK ₁ /IRQ ₅ /XOE P8 ₅ /RXD ₁ /IRQ ₄ P8 ₄ /TXD ₁ /IRQ ₃ /XWE	PBI 無効(DPME = 0)のとき、シリアルコミュニケーションインタフェース 1 の入出力端子(TXD ₁ 、RXD ₁ 、SCK ₁)、IRQ ₃ 、IRQ ₄ 、IRQ ₅ 入力端子と入出力ポートの兼用 PBI 有効(DPME = 1)のとき、XOE、XWE 入力端子およびシリアルコミュニケーションインタフェース 1 の入力端子(RXD ₁)と IRQ ₄ 入力端子と入出力ポートの兼用		シリアルコミュニケーションインタフェース 1 の入出力端子(TXD ₁ 、RXD ₁ 、SCK ₁)、IRQ ₃ 、IRQ ₄ 、IRQ ₅ 入力端子と入出力ポートの兼用	
		P8 ₃ /WRQ/XRDY	PBI 無効(DPME = 0)のとき入出力ポート PBI 有効(DPME = 1)のとき WRQ/XRDY 出力端子	入出力ポート	WRQ 出力端子	
		P8 ₂ /RS ₂ ~ P8 ₀ /RS ₀	PBI 無効(DPME = 0)のとき入出力ポート PBI 有効(DPME = 1)のとき RS ₂ ~ RS ₀ 入力端子	入出力ポート	RS ₂ ~ RS ₀ 入力端子	
ポート 9	・ 8 ビットの入出力ポート	P9 ₇ /WAIT/WE	WAIT 入力端子	入出力ポート	WE 入力端子	
		P9 ₆ /	出力端子	DDR = 0 のとき (リセット後) 入力ポート DDR = 1 のとき 出力端子		
		P9 ₅ /AS/RDY	AS 出力端子	入出力ポート	RDY 出力端子	
		P9 ₄ /WR/OE	WR 出力端子		OE 入力端子	
		P9 ₃ /RD/CS	RD 出力端子		CS 入力端子	
		P9 ₂ /IRQ ₀ P9 ₁ /IRQ ₁ /XCS	PBI 無効(DPME = 0)のとき、IRQ ₀ 、IRQ ₁ 入力端子と入出力ポートの兼用 PBI 有効(DPME = 1)のとき、IRQ ₀ と入出力ポートの兼用および XCS 入力端子	IRQ ₀ 、IRQ ₁ 入力端子と入出力ポート端子		
		P9 ₀ /IRQ ₂ /ADTRG	A/D 変換器の外部トリガ入力端子(ADTRG)、IRQ ₂ 入力端子と入出力ポートの兼用			

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、下位アドレス出力端子 ($A_7 \sim A_0$)、TPC の出力端子 ($TP_7 \sim TP_0$) と兼用になっています。ポート 1 の端子構成を図 8.1 に示します。図 8.1 に示すように、各端子の機能は、動作モードによって切り換わります。

ポート 1 には、プログラムで制御可能な入力プルアップ MOS が内蔵されており、モード 2、3 で使用できます。

また、ポート 1 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

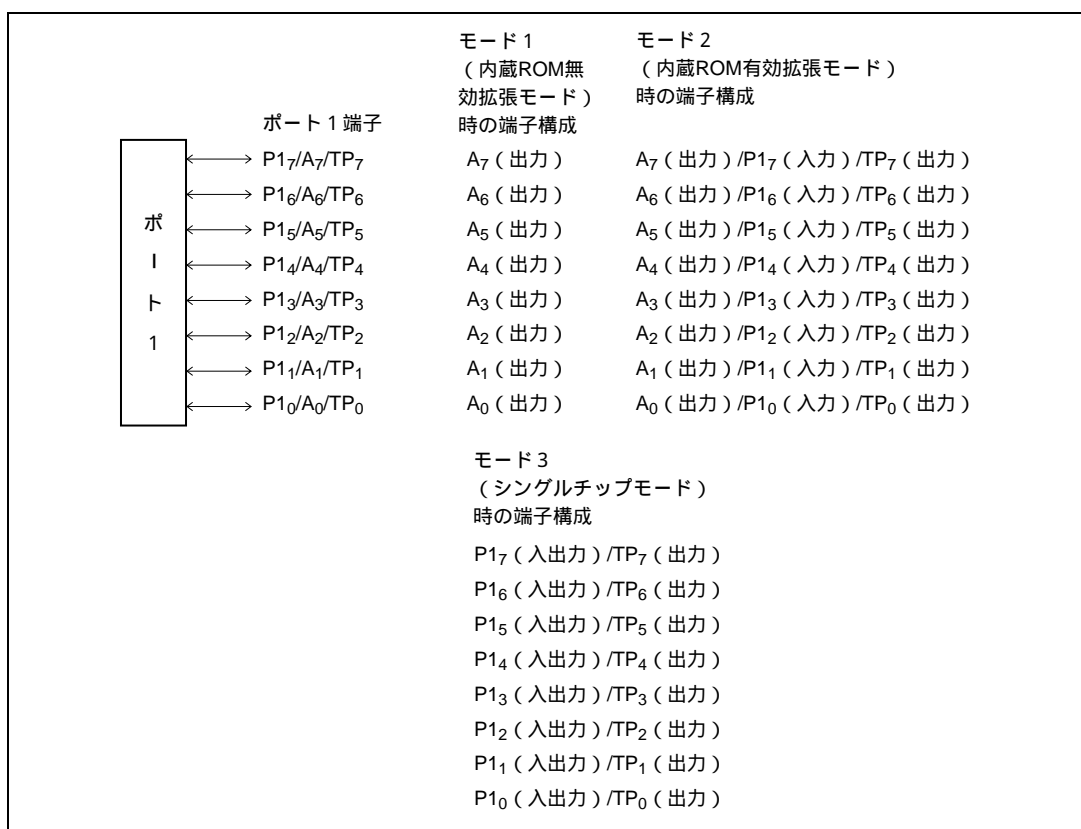


図 8.1 ポート 1 の端子構成

8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 ポート 1 レジスタ構成

名称	略称	R/W	初期値		アドレス
			モード 1	モード 2 モード 3	
ポート 1 データディレクションレジスタ	P1DDR	W	H'FF	H'00	H'FFB0
ポート 1 データレジスタ	P1DR	R/W	H'00		H'FFB2
ポート 1 入力プルアップ MOS コントロールレジスタ	P1PCR	R/W	H'00		H'FFAC

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット:	7	6	5	4	3	2	1	0
	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
モード 1	初期値:	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—
モード 2、3	初期値:	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W

P1DDR は、ポート 1 の各端子の入出力をビットごとに制御します。

(a) モード 1

P1DDR は、1 に固定され、ポート 1 は下位アドレス出力端子になります。P1DDR へのリード/ライトは無効です。リードすると 1 が読み出されます。

ハードウェアスタンバイモード時は、アドレスバスはハイインピーダンス状態となります。

(b) モード 2

P1DDR に 1 をセットすると対応するポート 1 の端子はアドレス出力端子または TPC 出力端子になり、0 にクリアすると入力端子になります。

(c) モード 3

P1DDR に 1 をセットすると対応するポート 1 の端子は出力端子または TPC 出力端子になり、0 にクリアすると入力端子になります。

モード 2、3 では P1DDR は、ライト専用レジスタですからリードは無効です。リードすると 1 が読み出されます。P1DDR はリセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P1DDR の状態を保持しています。そのため、P1DDR が 1 にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

8. I/O ポート

(2) ポート 1 データレジスタ (P1DR)

ビット:	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は、ポート 1 の各端子 P1₇ ~ P1₀ のデータを格納する 8 ビットのレジスタです。P1DDR が 1 のとき、ポート 1 のリードを行なうと、P1DR の値を直接リードします。そのため端子の状態の影響を受けません。P1DDR が 0 のときポート 1 のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P1DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート 1 入力プルアップ MOS コントロールレジスタ (P1PCR)

ビット:	7	6	5	4	3	2	1	0
	P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1PCR は 8 ビットのリード/ライト可能なレジスタでポート 1 に内蔵した入力プルアップ MOS をビットごとに制御します。P1DDR を 0 にクリアした (入力ポートの) 状態で P1PCR を 1 にセットすると入力プルアップ MOS は ON します。

リセットまたはハードウェアスタンバイモード時に、P1PCR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

8.2.3 モード別端子機能

ポート 1 は、モード別に、各端子機能が異なります。以下に動作モード別に説明します。

(1) モード 1 の端子機能

モード 1 (内蔵 ROM 無効拡張モード) のとき、ポート 1 は自動的に下位アドレス出力端子 ($A_7 \sim A_0$) になります。

モード 1 の端子機能を図 8.2 に示します。

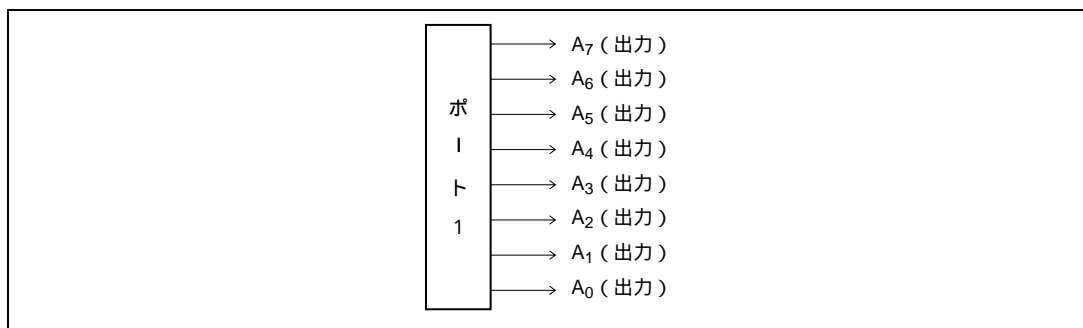


図 8.2 モード 1 の端子機能 (ポート 1)

(2) モード 2

モード 2 (内蔵 ROM 有効拡張モード) のとき、ポート 1 は、下位アドレス出力端子、TPC 出力端子と入力ポートとの兼用になります。各端子は、ビット単位で P1DDR を 1 にセットすると下位アドレスまたは TPC 出力端子となり、0 にクリアすると入力端子になります。リセット後は入力端子になっています。したがって、アドレス出力端子として使用する場合は、P1DDR を 1 にセットしてください。

モード 2 の端子機能を図 8.3 に示します。

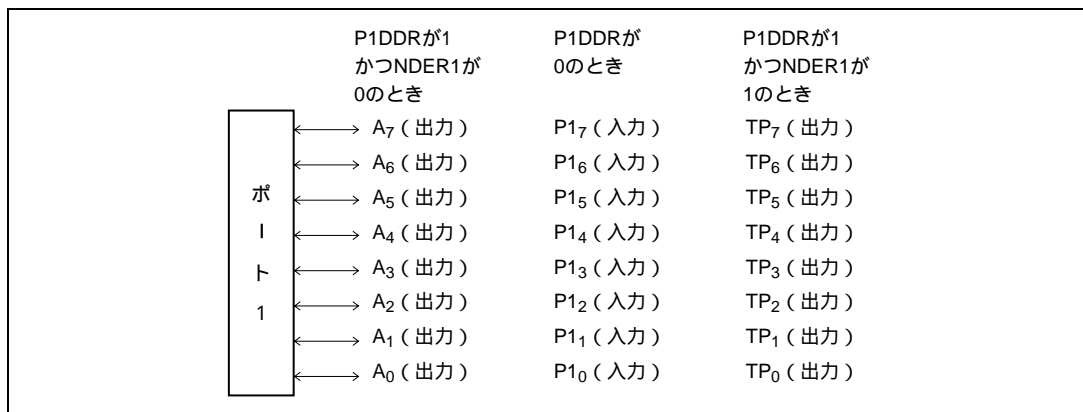


図 8.3 モード 2 の端子機能 (ポート 1)

8. I/O ポート

(3) モード 3

モード 3 (シングルチップモード) のとき、ポートは、TPC 出力端子と入出力ポートとの兼用になります。入出力ポートのとき、各端子はビット単位で入出力を指定可能です。P1DDR の各ビットを 0 にクリアすると入力端子になります。1 にセットして NDER1 を 0 にクリアすると、出力端子になり、NDER1 を 1 にセットすると TPC 出力端子になります。

モード 3 の端子機能を図 8.4 に示します。

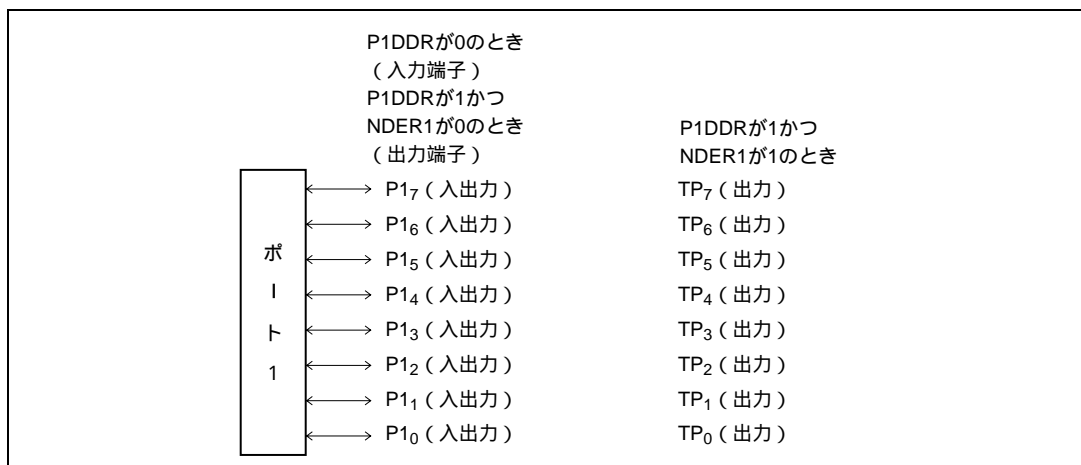


図 8.4 モード 3 の端子機能 (ポート 1)

8.2.4 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 2、3 のとき使用でき、ビット単位で ON/OFF を指定できます。

モード 2、3 のとき、PIPCR が 1 にセットかつ P1DDR を 0 にクリアすると、入力プルアップ MOS は ON となります。リセットまたはハードウェアスタンバイモード時には PIPCR が 0 にクリアされるため、入力プルアップ MOS は OFF します。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 8.3 に示します。

表 8.3 入力プルアップ MOS の状態 (ポート 1)

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF			OFF
2				ON/OFF
3				

<記号説明>

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : P1PCR = 1 かつ、P1DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

8.3 ポート 2

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、上位アドレス出力端子 ($A_{15} \sim A_8$)、TPC の出力端子 ($TP_{15} \sim TP_8$) と兼用になっています。ポート 2 の端子構成を図 8.5 に示します。図 8.5 に示すように、各端子の機能は、動作モードによって切り換わります。

ポート 2 には、プログラムで制御可能な入力プルアップ MOS が内蔵されており、モード 2、3 で使用できます。

また、ポート 2 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダークトランジスタを駆動することも可能です。

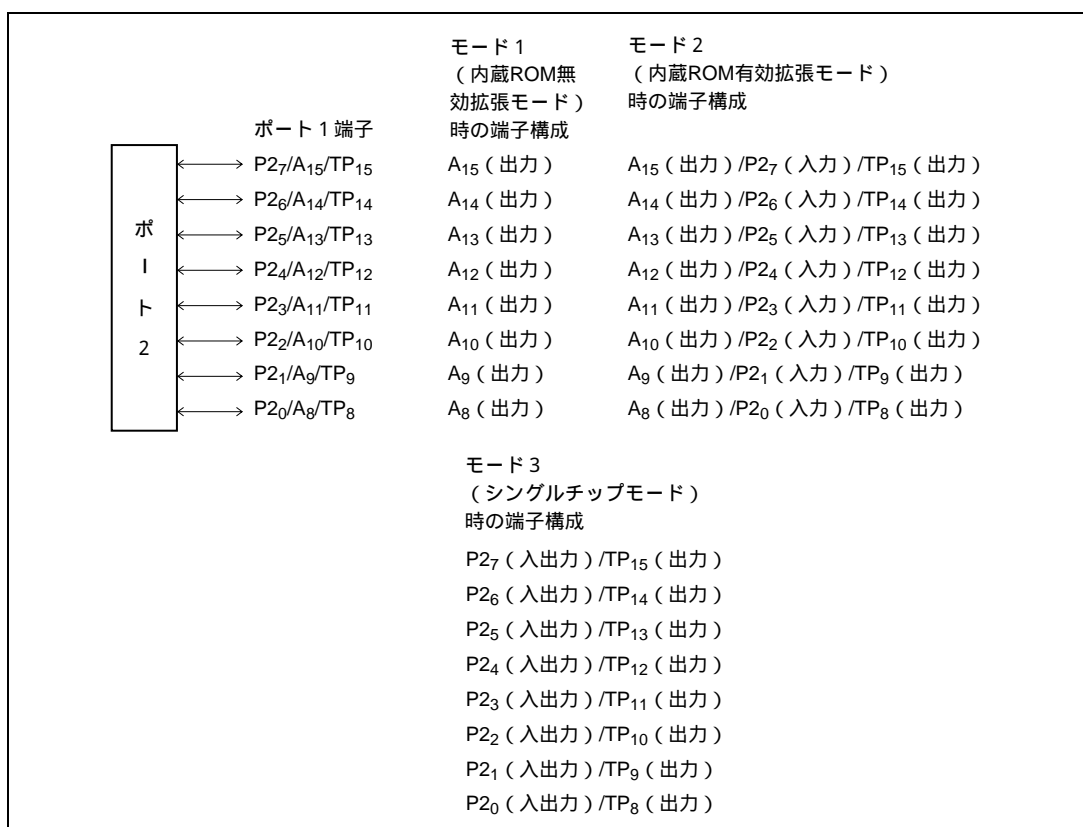


図 8.5 ポート 2 の端子構成

8.3.2 レジスタの構成と説明

表 8.4 にポート 2 のレジスタ構成を示します。

表 8.4 ポート 2 レジスタ構成

名称	略称	R/W	初期値		アドレス
			モード 1	モード 2 モード 3	
ポート 2 データディレクションレジスタ	P2DDR	W	H'FF	H'00	H'FFB1
ポート 2 データレジスタ	P2DR	R/W	H'00		H'FFB3
ポート 2 入力プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00		H'FFAD

(1) ポート 2 データディレクションレジスタ (P2DDR)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
モード 1 {	初期値:	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—
モード 2, 3 {	初期値:	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W

P2DDR は、ポート 2 の各端子の入出力をビットごとに制御します。

(a) モード 1

P2DDR は、1 に固定され、ポート 2 は上位アドレス出力端子になります。P2DDR へのリード/ライトは無効です。リードすると 1 が読み出されます。

ハードウェアスタンバイモード時は、アドレスバスはハイインピーダンス状態となります。

(b) モード 2

P2DDR に 1 をセットすると対応するポート 2 の端子はアドレス出力端子または TPC 出力端子になり、0 にクリアすると入力端子になります。

(c) モード 3

P2DDR に 1 をセットすると対応するポート 2 の端子は出力端子または TPC 出力端子になり、0 にクリアすると入力端子になります。

モード 2、3 では P2DDR は、ライト専用レジスタですからリードは無効です。リードすると 1 が読み出されます。P2DDR はリセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P2DDR の状態を保持しています。そのため、P2DDR が 1 にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

(2) ポート 2 データレジスタ (P2DR)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DR は、ポート 2 の各端子 P2₇ ~ P2₀ のデータを格納する 8 ビットのレジスタです。P2DDR が 1 のとき、ポート 2 のリードを行うと、P2DR の値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が 0 のときポート 2 のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に P2DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート 2 入力プルアップ MOS コントロールレジスタ (P2PCR)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2PCR は 8 ビットのリード/ライト可能なレジスタでポート 2 に内蔵した入力プルアップ MOS をビットごとに制御します。

P2DDR を 0 にクリアした(入力ポートの)状態で P2PCR を 1 にセットすると入力プルアップ MOS は ON します。

リセットまたはハードウェアスタンバイモード時に、P2PCR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

8.3.3 モード別端子機能

ポート 2 は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード 1 の端子機能

モード 1 (内蔵 ROM 無効拡張モード) のとき、ポート 2 は自動的に上位アドレス出力端子(A₁₅ ~ A₈) になります。

モード 1 の端子機能を図 8.6 に示します。

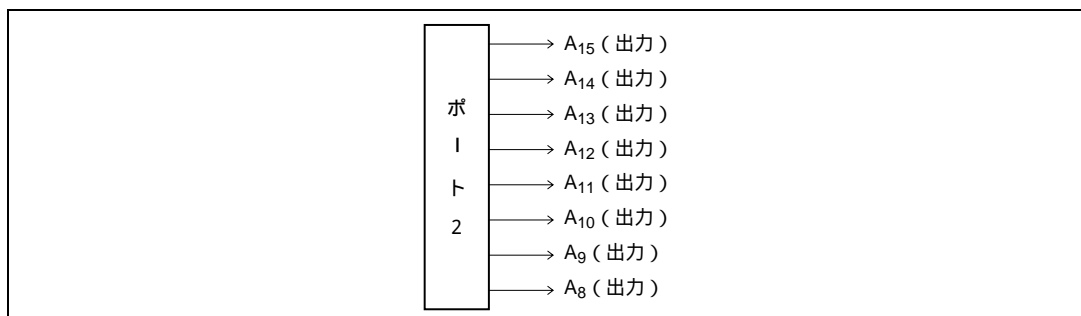


図 8.6 モード 1 の端子機能 (ポート 2)

(2) モード 2

モード 2 (内蔵 ROM 有効拡張モード) のとき、ポート 2 は、上位アドレス出力端子、TPC 出力端子と入力ポートとの兼用になります。各端子は、ビット単位で P2DDR を 1 にセットすると上位アドレスまたは TPC 出力端子となり、0 にクリアすると入力端子になります。リセット後は入力端子になっています。したがって、アドレス出力端子として使用する場合は、P2DDR を 1 にセットしてください。

モード 2 の端子機能を図 8.7 に示します。

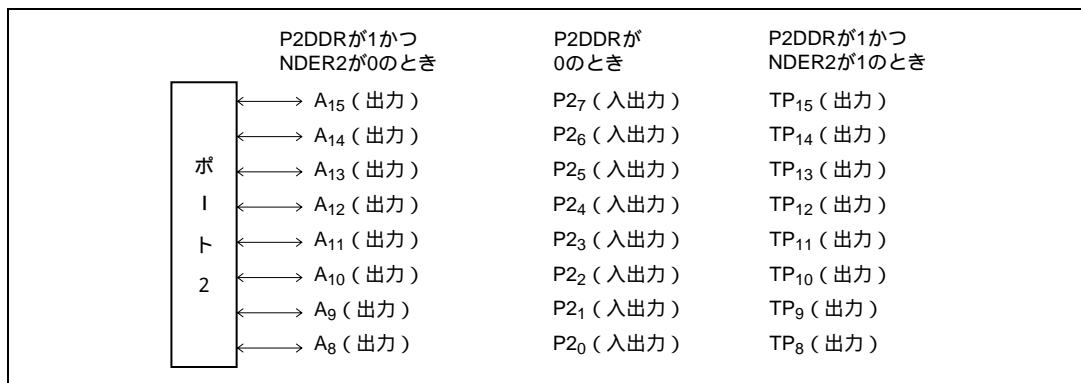


図 8.7 モード 2 の端子機能 (ポート 2)

(3) モード 3

モード 3 (シングルチップモード) のとき、ポート 2 は TPC 出力端子と入出力ポートとの兼用になります。入出力ポートのとき、各端子はビット単位で入出力を指定可能です。P2DDR の各ビットを 0 にクリアすると入力端子になります。1 にセットして NDER2 を 0 にクリアすると、出力端子になり、NDER2 を 1 にセットすると TPC の出力端子になります。

モード 3 の端子機能を図 8.8 に示します。

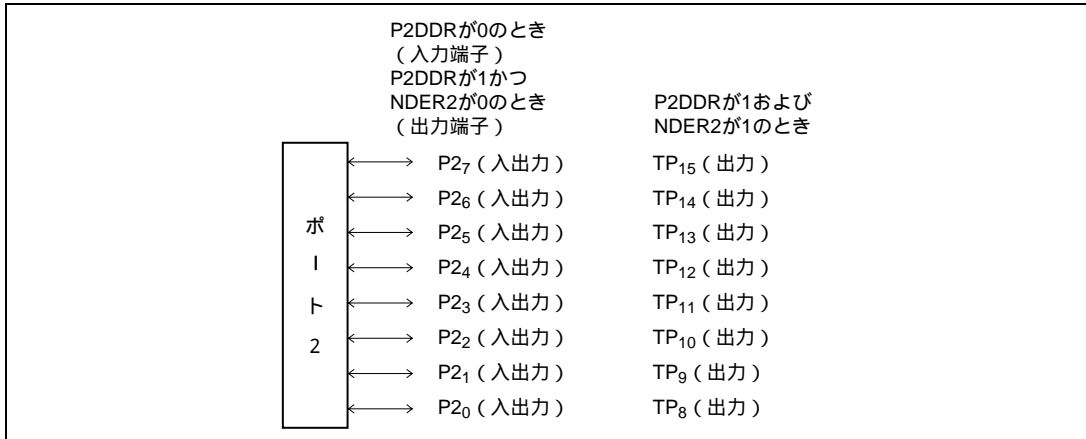


図 8.8 モード 3 の端子機能 (ポート 2)

8.3.4 入力プルアップ MOS

ポート 2 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 2、3 のとき使用でき、ビット単位で ON/OFF を指定できます。

モード 2、3 のとき、P2PCR を 1 にセットかつ P2DDR を 0 にクリアすると、入力プルアップ MOS は ON となります。リセットまたはハードウェアスタンバイモード時には P2PCR が 0 にクリアされるため、入力プルアップ MOS は OFF します。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 8.5 に示します。

表 8.5 入力プルアップ MOS の状態 (ポート 2)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1	OFF		OFF	
2			ON/OFF	
3				

<記号説明>

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : P2PCR = 1 かつ P2DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

8.4 ポート 3

8.4.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 の各端子は、データバス ($D_7 \sim D_0$) と DPRAM データバス ($DDB_7 \sim DDB_0$) との兼用ポートです。ポート 3 の端子構成を図 8.9 に示します。図 8.9 に示すように、各端子の機能は、動作モードによって切り換わります。

ポート 3 にはプログラムで制御可能な入力プルアップ MOS が内蔵されており、モード 3 で使用できます。

ポート 3 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

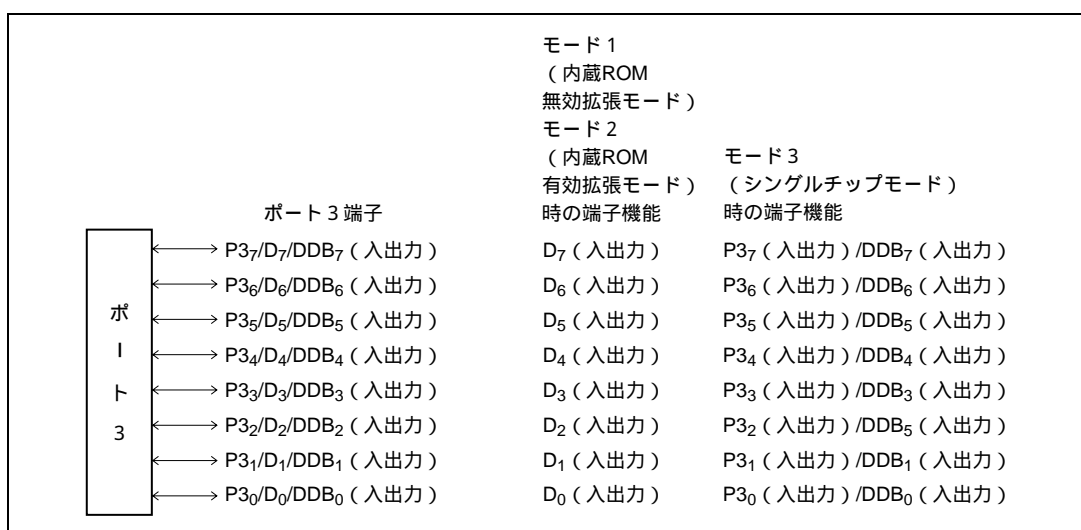


図 8.9 ポート 3 の端子構成

8.4.2 レジスタの構成と説明

表 8.6 にポート 3 のレジスタ構成を示します。

表 8.6 ポート 3 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FFB4
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FFB6
ポート 3 入力プルアップ MOS コントロールレジスタ	P3PCR	R/W	H'00	H'FFAE

(1) ポート 3 データディレクションレジスタ (P3DDR)

ビット:	7	6	5	4	3	2	1	0
	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P3DDR は 8 ビットのレジスタで、ポート 3 の各端子の入出力をビットごとに制御します。P3DDR はライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

(a) モード 1、2

モード 1 (内蔵 ROM 無効拡張モード)、モード 2 (内蔵 ROM 有効拡張モード) では、P3DDR による入出力の方向は無視され、ポート 3 は自動的に 8 ビットデータバス入出力端子 ($D_7 \sim D_0$) になります。

また、リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時には、データバスはハイインピーダンス状態になります。

(b) モード 3

SYSCR の DPME ビットが 0 にクリアされた状態では、P3DDR に 1 をセットすると対応するポート 3 の端子は出力端子になり、0 にクリアすると入力端子になります。

リセットまたはハードウェアスタンバイモード時、P3DDR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の P3DDR の状態を保持しています。そのため、P3DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

DPME ビットを 1 にセットした状態 (スレープモード) では、P3DDR は H'00 となり、ポート 3 は、DPRAM データバス入出力端子 ($DDB_7 \sim DDB_0$) になります。ソフトウェアスタンバイモード時には DPRAM データバスはハイインピーダンス状態になります。リセットまたはハードウェアスタンバイモード時には DPME ビットは 0 にクリアされ、P3DDR は H'00 にイニシャライズされます。

8. I/O ポート

(2) ポート 3 データレジスタ(P3DR)

ビット :	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3DR は、ポート 3 の各端子 P3₇ ~ P3₀ のデータを格納する 8 ビットのレジスタです。

P3DDR が 1 のとき、ポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。P3DDR が 0 のとき、ポート 3 のリードを行うと、端子の状態が読み出されます。

リセットまたは、ハードウェアスタンバイモード時に、P3DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート 3 入力プルアップ MOS コントロールレジスタ (P3PCR)

ビット :	7	6	5	4	3	2	1	0
	P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 3 に内蔵した入力プルアップ MOS をビットごとに制御します。

P3DDR を 0 にクリアした(入力ポートの)状態で P3PCR を 1 にセットすると入力プルアップ MOS は ON します。

リセットまたはハードウェアスタンバイモード時に、P3PCR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

8.4.3 モード別端子機能

ポート 3 は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード 1、2 の端子機能

モード 1 (内蔵 ROM 無効拡張モード)、モード 2 (内蔵 ROM 有効拡張モード) のとき、ポート 3 は自動的に 8 ビットデータバス入出力端子 ($D_7 \sim D_0$) になります。

モード 1、2 の端子機能を図 8.10 に示します。

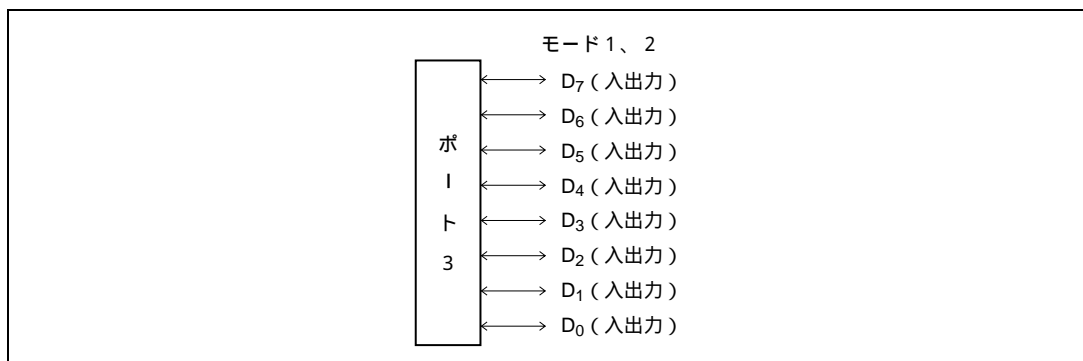


図 8.10 モード 1、2 の端子機能 (ポート 3)

(2) モード 3

モード 3 (シングルチップモード) のとき、SYSCR の DPME ビットを 0 にクリアした状態では、各端子はビット単位で入出力を指定可能です。P3DDR の各ビットを 1 にセットすると対応する端子は出力端子になり、0 にクリアすると対応する端子は入力端子になります。

SYSCR の DPME ビットを 1 にセットした状態 (スレーブモード) では DPRAM データバス ($DDB_7 \sim DDB_0$) となります。このとき、P3DR は H'00 としてください。P3DDR は自動的に H'00 となります。

モード 3 の端子機能を図 8.11 に示します。

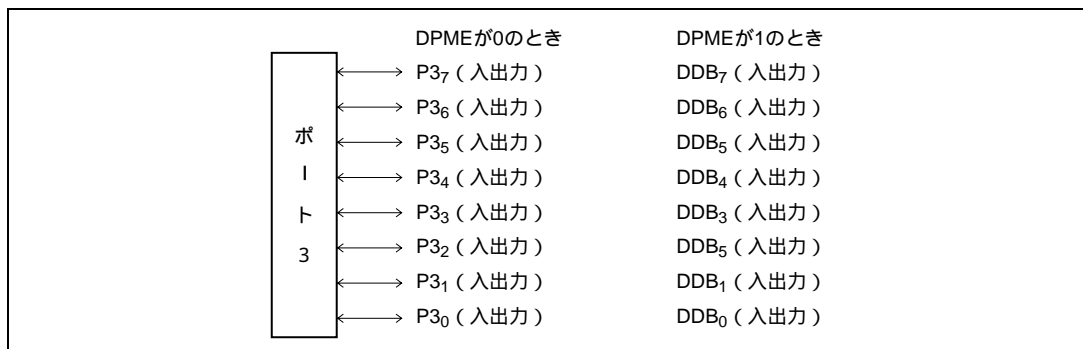


図 8.11 モード 3 の端子機能 (ポート 3)

8.4.4 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 3 のときに使用でき、ビット単位で ON/OFF を指定できます。

モード 3 のとき、SYSCR の DPME ビットを 0 にクリアした状態では、P3PCR を 1 にセットかつ P3DDR を 0 にクリアすると、入力プルアップ MOS は ON となります。DPME ビットを 1 にセットした状態（スレープモード）では、入力プルアップ MOS は使用できません。また、入力プルアップ MOS は、リセットまたはハードウェアスタンバイモード時に OFF になります。

各動作モードでの、入力プルアップ MOS の状態を表 8.7 に示します。

表 8.7 入力プルアップ MOS の状態（ポート 3）

モード		リセット	ハードウェアスタンバイモード	その他の動作時
1		OFF	OFF	OFF
2				
3	DPME = 0	OFF	OFF	ON/OFF
	DPME = 1 (スレープモード)			OFF

<記号説明>

OFF : 入力プルアップ MOS は、常時 OFF 状態です。

ON/OFF : P3PCR = 1 かつ P3DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

8.5 ポート 4

8.5.1 概要

ポート 4 は、8 ビットの入出力ポートです。ポート 4 は、DPRAM データバス(XDDB₇ ~ XDDB₀) 8 ビットタイマ 0、1 の入出力端子 (TMRI₁、TMRI₀、TMCI₀、TMCI₁、TMO₀、TMO₁) ならびに 16 ビットフリーランニングタイマ 1 (FRT1) の出力端子 (FTOA₁、FTOB₁) と兼用になっています。ポート 4 の端子構成を図 8.12 に示します。ポート 4 の端子機能は、動作モードによって切り換わりま

す。ポート 4 は、1 個の TTL 負荷 1 個と 90pF の容量負荷を駆動することができます。また、ダーリントトランジスタを駆動することもできます。

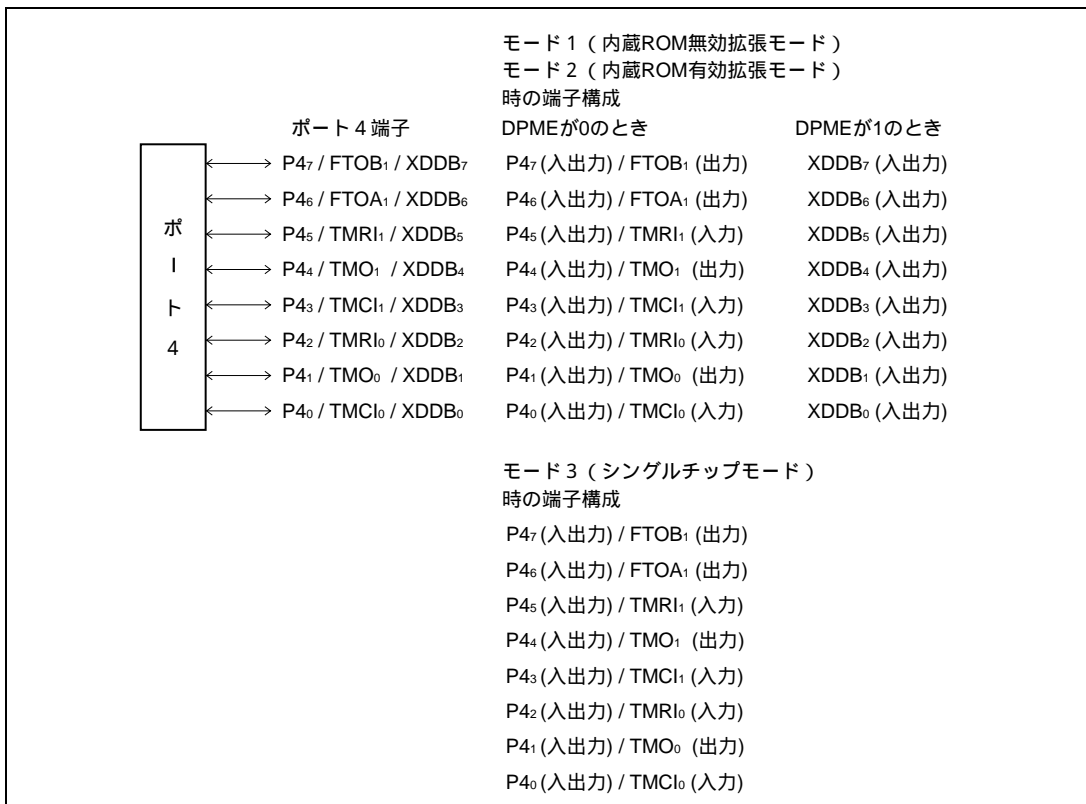


図 8.12 ポート 4 の端子構成

8.5.2 レジスタの構成と説明

表 8.8 にポート 4 のレジスタ構成を示します。

表 8.8 ポート 4 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 4 データディレクションレジスタ	P4DDR	W	H'00	H'FFB5
ポート 4 データレジスタ	P4DR	R/W	H'00	H'FFB7

(1) ポート 4 データディレクションレジスタ (P4DDR)

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P4DDR は 8 ビットのレジスタで、ポート 4 の各端子の入出力をビットごとに制御します。P4DDR に 1 をセットすると対応するポート 4 の端子は出力端子に、0 にクリアすると入力端子になります。

P4DDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

リセットまたはハードウェアスタンバイモード時、P4DDR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P4DDR の状態を保持しています。そのため P4DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート 4 を内蔵周辺モジュールの端子（たとえば 8 ビットタイマの出力端子）として使用しているとき、ソフトウェアスタンバイモードに遷移すると、内蔵周辺モジュールがイニシャライズされるため、ポート 4 は P4DDR と P4DR で制御される入出力ポートに切り換わります。

(2) ポート 4 データレジスタ (P4DR)

ビット:	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P4DR は、ポート 4 の各端子 P4₇ ~ P4₀ のデータを格納する 8 ビットのレジスタです。

P4DDR が 1 のとき、ポート 4 のリードを行うと、P4DR の値を直接リードします。そのため端子の状態の影響を受けません。P4DDR が 0 のとき、ポート 4 のリードを行うと、端子の状態が読み出されます。内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P4DR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

8.5.3 モード別端子機能

ポート 4 は、モード別に各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード 1、2 の端子構成

モード 1 (内蔵 ROM 無効拡張モード)、モード 2 (内蔵 ROM 有効拡張モード) のとき、ポート 4 は DPRAM データバス (XDDB₇ ~ XDDB₀)、8 ビットタイマ 0、1 の入出力端子 (TMRI₀、TMRI₁、TMCI₀、TMCI₁、TMO₀、TMO₁) ならびに 16 ビットフリーランニングタイマ 1 (FRT1) の出力端子 (FTOA₁、FTOB₁) との兼用になります。

モード 1、2 の端子機能を表 8.9 に示します。

表 8.9 モード 1、2 の端子機能 (1)

端子	選択方法と端子機能				
P4 ₇ /FTOB ₁ / XDDB ₇	SYSCR の DPME ビット、FRT1 の TOCR の OEB ビット、および P4 ₇ DDR ビットの組合せにより、次のように切り換わります。				
	DPME	0		1	
	OEB	0		1	
	P4 ₇ DDR	0	1	X	
	端子機能	P4 ₇ 入力端子	P4 ₇ 出力端子	FTOB ₁ 出力端子	XDDB ₇ 入出力端子
P4 ₆ /FTOA ₁ / XDDB ₆	SYSCR の DPME ビット、FRT1 の TOCR の OEA ビット、および P4 ₆ DDR ビットの組合せにより、次のように切り換わります。				
	DPME	0		1	
	OEB	0		1	
	P4 ₆ DDR	0	1	X	
	端子機能	P4 ₆ 入力端子	P4 ₆ 出力端子	FTOA ₁ 出力端子	XDDB ₆ 入出力端子
P4 ₅ /TMRI ₁ / XDDB ₅	SYSCR の DPME ビットと P4 ₅ DDR ビットの組合せにより、次のように切り換わります。				
	DPME	0		1	
	P4 ₅ DDR	0	1	X	
	端子機能	P4 ₅ 入力端子	P4 ₅ 出力端子	XDDB ₅ 入出力端子	
		TMRI ₁ 入力端子			
8 ビットタイマ 1 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットした場合に、TMRI ₁ 入力端子として使用できます。					
P4 ₄ /TMO ₁ / XDDB ₄	SYSCR の DPME ビット、8 ビットタイマ 1 の TCSR の OS3 ~ OS0 ビット、および P4 ₄ DDR ビットの組合せにより、次のように切り換わります。				
	DPME	0		1	
	OS3 ~ OS0	すべてが 0		いずれかが 1	
	P4 ₄ DDR	0	1	X	
	端子機能	P4 ₄ 入力端子	P4 ₄ 出力端子	TMO ₁ 出力端子	XDDB ₄ 入出力端子

X : 0、1 のどちらにセットしても同じ端子機能になります。

8. I/O ポート

表 8.9 モード 1、2 の端子機能 (2)

端子	選択方法と端子機能																			
P4 ₃ /TMCI ₁ / XDDB ₃	<p>SYSCR の DPME ビットと P4₃DDR ビットの組合せにより、次のように切り換わります。</p> <table border="1"> <tr> <td>DPME</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>P4₃DDR</td> <td>0</td> <td>1</td> <td>X</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>P4₃入力端子</td> <td>P4₃出力端子</td> <td rowspan="2">XDDB₃ 入出力端子</td> </tr> <tr> <td colspan="2">TMCI₁入力端子</td> </tr> </table> <p>8 ビットタイマ 1 の TCR の CKS2 ~ CKS0 ビットで外部クロックを選択した場合に、TMCI₁ 入力端子として使用できます。</p>	DPME	0		1	P4 ₃ DDR	0	1	X	端子機能	P4 ₃ 入力端子	P4 ₃ 出力端子	XDDB ₃ 入出力端子	TMCI ₁ 入力端子						
DPME	0		1																	
P4 ₃ DDR	0	1	X																	
端子機能	P4 ₃ 入力端子	P4 ₃ 出力端子	XDDB ₃ 入出力端子																	
	TMCI ₁ 入力端子																			
P4 ₂ /TMRI ₀ / XDDB ₂	<p>SYSCR の DPME ビット、8 ビットタイマ 0 の TCR の CCLR1、CCLR0 ビット、および P4₂DDR ビットの組合せにより、次のように切り換わります。</p> <table border="1"> <tr> <td>DPME</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>P4₂DDR</td> <td>0</td> <td>1</td> <td>X</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>P4₂入力端子</td> <td>P4₂出力端子</td> <td rowspan="2">XDDB₂ 入出力端子</td> </tr> <tr> <td colspan="2">TMRI₀入力端子</td> </tr> </table> <p>8 ビットタイマ 0 の TCR の CCLR1、CCLR0 ビットいずれも 1 にセットした場合に、TMRI₀ 入力端子として使用できます。</p>	DPME	0		1	P4 ₂ DDR	0	1	X	端子機能	P4 ₂ 入力端子	P4 ₂ 出力端子	XDDB ₂ 入出力端子	TMRI ₀ 入力端子						
DPME	0		1																	
P4 ₂ DDR	0	1	X																	
端子機能	P4 ₂ 入力端子	P4 ₂ 出力端子	XDDB ₂ 入出力端子																	
	TMRI ₀ 入力端子																			
P4 ₁ /TMO ₀ / XDDB ₁	<p>SYSCR の DPME ビット、8 ビットタイマ 0 の TCSR の OS3 ~ OS0 ビット、および P4₁DDR ビットの組合せにより、次のように切り換わります。</p> <table border="1"> <tr> <td>DPME</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>OS3 ~ OS0</td> <td colspan="2">すべてが 0</td> <td>いずれかが 1</td> </tr> <tr> <td>P4₁DDR</td> <td>0</td> <td>1</td> <td>X</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>P4₁入力端子</td> <td>P4₁出力端子</td> <td rowspan="2">TMO₀ 出力端子</td> </tr> <tr> <td colspan="2"></td> <td>XDDB₁ 入出力端子</td> </tr> </table>	DPME	0		1	OS3 ~ OS0	すべてが 0		いずれかが 1	P4 ₁ DDR	0	1	X	端子機能	P4 ₁ 入力端子	P4 ₁ 出力端子	TMO ₀ 出力端子			XDDB ₁ 入出力端子
DPME	0		1																	
OS3 ~ OS0	すべてが 0		いずれかが 1																	
P4 ₁ DDR	0	1	X																	
端子機能	P4 ₁ 入力端子	P4 ₁ 出力端子	TMO ₀ 出力端子																	
				XDDB ₁ 入出力端子																
P4 ₀ /TMCI ₀ / XDDB ₀	<p>SYSCR の DPME ビットと P4₀DDR ビットの組合せにより、次のように切り換わります。</p> <table border="1"> <tr> <td>DPME</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>P4₀DDR</td> <td>0</td> <td>1</td> <td>X</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>P4₀入力端子</td> <td>P4₀出力端子</td> <td rowspan="2">XDDB₀ 入出力端子</td> </tr> <tr> <td colspan="2">TMCI₀入力端子</td> </tr> </table> <p>8 ビットタイマ 0 の TCR の CKS2 ~ CKS0 ビットで外部クロックを選択した場合に、TMCI₀ 入力端子として使用できます。</p>	DPME	0		1	P4 ₀ DDR	0	1	X	端子機能	P4 ₀ 入力端子	P4 ₀ 出力端子	XDDB ₀ 入出力端子	TMCI ₀ 入力端子						
DPME	0		1																	
P4 ₀ DDR	0	1	X																	
端子機能	P4 ₀ 入力端子	P4 ₀ 出力端子	XDDB ₀ 入出力端子																	
	TMCI ₀ 入力端子																			

X : 0、1 のどちらにセットしても同じ端子機能になります。

(2) モード3の端子機能

モード3(シングルチップモード)のとき、ポート4は、8ビットタイマ0、1の入出力端子(TMRI₀、TMRI₁、TMCI₀、TMCI₁、TMO₀、TMO₁)ならびに16ビットフリーランニングタイマ1(FRT1)の出力端子(FTOA₁、FTOB₁)との兼用になります。

モード3の端子機能を表8.10に示します。

表8.10 モード3の端子機能(1)

端子	選択方法と端子機能											
P4 ₇ /FTOB ₁	FRT1のTOCRのOEBビットとP4 ₇ DDRビットの組合せにより、次のように切り換わります。											
	OEB	0	1									
	P4 ₇ DDR	0	1									
	端子機能	P4 ₇ 入力端子	P4 ₇ 出力端子									
			FTOB ₁ 出力端子									
P4 ₆ /FTOA ₁	FRT1のTOCRのOEAビットとP4 ₆ DDRビットの組合せにより、次のように切り換わります。											
	OEA	0	1									
	P4 ₆ DDR	0	1									
	端子機能	P4 ₆ 入力端子	P4 ₆ 出力端子									
			FTOA ₁ 出力端子									
P4 ₅ /TMRI ₁	<table border="1"> <tr> <td>P4₅DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P4₅入力端子</td> <td>P4₅出力端子</td> </tr> <tr> <td></td> <td colspan="2">TMRI₁入力端子</td> </tr> </table> <p>8ビットタイマ1のTCRのCCLR1、CCLR0ビットをいずれも1にセットした場合に、TMRI₁入力端子として使用できます。</p>			P4 ₅ DDR	0	1	端子機能	P4 ₅ 入力端子	P4 ₅ 出力端子		TMRI ₁ 入力端子	
P4 ₅ DDR	0	1										
端子機能	P4 ₅ 入力端子	P4 ₅ 出力端子										
	TMRI ₁ 入力端子											
P4 ₄ /TMO ₁	8ビットタイマ1のTCRのOS3～OS0ビットとP4 ₄ DDRビットの組合せにより、次のように切り換わります。											
	OS3～OS0	すべてが0	いずれかが1									
	P4 ₄ DDR	0	1									
	端子機能	P4 ₄ 入力端子	P4 ₄ 出力端子									
			TMO ₁ 出力端子									
P4 ₃ /TMCI ₁	<table border="1"> <tr> <td>P4₃DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P4₃入力端子</td> <td>P4₃出力端子</td> </tr> <tr> <td></td> <td colspan="2">TMCI₁入力端子</td> </tr> </table> <p>8ビットタイマ0のTCRのCKS2～CKS0ビットで外部クロックを選択した場合に、TMCI₁入力端子として使用できます。</p>			P4 ₃ DDR	0	1	端子機能	P4 ₃ 入力端子	P4 ₃ 出力端子		TMCI ₁ 入力端子	
P4 ₃ DDR	0	1										
端子機能	P4 ₃ 入力端子	P4 ₃ 出力端子										
	TMCI ₁ 入力端子											
P4 ₂ /TMRI ₀	<table border="1"> <tr> <td>P4₂DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P4₂入力端子</td> <td>P4₂出力端子</td> </tr> <tr> <td></td> <td colspan="2">TMRI₀入力端子</td> </tr> </table> <p>8ビットタイマ0のTCRのCCLR1、CCLR0ビットをいずれも1にセットした場合に、TMRI₀入力端子として使用できます。</p>			P4 ₂ DDR	0	1	端子機能	P4 ₂ 入力端子	P4 ₂ 出力端子		TMRI ₀ 入力端子	
P4 ₂ DDR	0	1										
端子機能	P4 ₂ 入力端子	P4 ₂ 出力端子										
	TMRI ₀ 入力端子											

X: 0、1のどちらにセットしても同じ端子機能になります。

8. I/O ポート

表 8.10 モード3の端子機能(2)

端子	選択方法と端子機能			
P4 _i /TMO _o	8ビットタイマの TCSR の OS3~OS0 ビットと P4 _i DDR ビットの組合せにより、次のように切り換わります。			
	OS3~OS0	すべてが 0		いずれかが 1
	P4 _i DDR	0	1	X
	端子機能	P4 _i 入力端子	P4 _i 出力端子	TMO _o 出力端子
P4 _o /TMCI _o	P4 _o DDR	0	1	
	端子機能	P4 _o 入力端子	P4 _o 出力端子	
		TMCI _o 入力端子		
	8ビットタイマ0の TCR の CKS2~CKS0 ビットで外部クロックを選択した場合に、TMCI _o 入力端子として使用できます。			

X: 0、1のどちらにセットしても同じ端子機能になります。

8.6 ポート 5

8.6.1 概要

ポート 5 は、3 ビットの入出力ポートです。ポート 5 は、シリアルコミュニケーションインタフェース 0 (SCI0) の入力端子 (TXD₀、RXD₀、SCK₀) と兼用になっています。ポート 5 の端子機能は、いずれの動作モードでも共通です。

ポート 5 の端子構成を図 8.13 に示します。

ポート 5 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

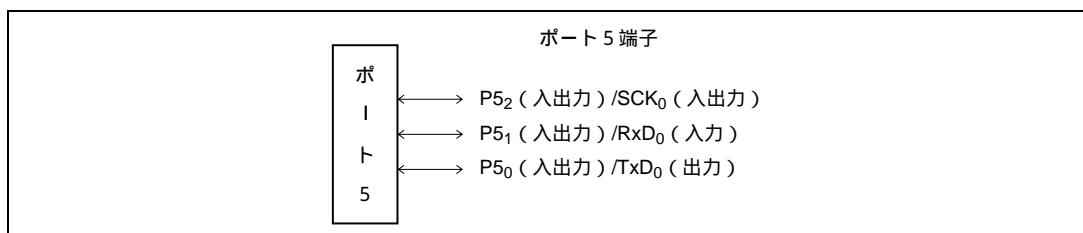


図 8.13 ポート 5 の端子構成

8.6.2 レジスタの構成と説明

表 8.11 にレジスタ構成を示します。

表 8.11 ポート 5 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 5 データディレクションレジスタ	P5DDR	W	H'F8	H'FFB8
ポート 5 データレジスタ	P5DR	R/W	H'F8	H'FFBA

(1) ポート 5 データディレクションレジスタ (P5DDR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	W	W	W

P5DDR は、8 ビットのレジスタで、ポート 5 の各端子の入出力をビットごとに制御します。P5DDR に 1 をセットすると対応するポート 5 の端子は出力端子に、0 にクリアすると入力端子になります。

P5DDR は、ライト専用レジスタで、リードは無効です。ビット 7~3 はリザーブビットです。リードすると、1 が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P5DDR は、H'F8 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P5DDR の状態を保持しています。そのため P5DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート 5 を SCI の端子として使用しているとき、ソフトウェアスタンバイモードに遷移すると、SCI がイニシャライズされるため、ポート 5 は P5DDR と P5DR で制御される入出力ポートに切り換わります。

8. I/O ポート

(2) ポート 5 データレジスタ (P5DR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	P5 ₂	P5 ₁	P5 ₀
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

P5DR は、ポート 5 の各端子 P5₂ ~ P5₀ のデータを格納する 8 ビットのレジスタです。

ビット 7~3 は、リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

P5DDR が 1 のとき、ポート 5 のリードを行うと、P5DR の値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が 0 のときポート 5 のリードを行うと端子の状態が読み出されます。SCI の端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P5DR は、HF8 にイニシャライズされます。ソフトウェアスタンバイモード時は、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

8.6.3 端子状態

ポート 5 は、いずれの動作モードにおいても端子機能は同じです。各端子は、SCI0 入出力端子と兼用になっています。

ポート 5 の端子機能について表 8.12 に示します。

表 8.12 ポート 5 の端子機能

端子	選択方法と端子機能			
P5 ₂ /SCK ₀	SCI0 の SMR の C/ \bar{A} ビット、SCR の CKE0、1 ビット、および P5 ₂ DDR ビットの組合せにより、次のように切り換わります。			
	CKE1	0		1
	C/ \bar{A}	0		1
	CKE0	0	1	-
	P5 ₂ DDR	0	1	-
端子機能	P5 ₂ 入力端子	P5 ₂ 出力端子	SCK ₀ 出力端子	SCK ₀ 入力端子
P5 ₁ /RXD ₀	SCI0 の SCR の RE ビットと P5 ₁ DDR ビットの組合せにより、次のように切り換わります。			
	RE	0		1
	P5 ₁ DDR	0		1
	端子機能	P5 ₁ 入力端子	P5 ₁ 出力端子	RXD ₀ 入力端子
P5 ₀ /TXD ₀	SCI0 の SCR の TE ビットと P5 ₀ DDR ビットの組合せにより、次のように切り換わります。			
	TE	0		1
	P5 ₀ DDR	0		1
	端子機能	P5 ₀ 入力端子	P5 ₀ 出力端子	TXD ₀ 出力端子

8.7 ポート 6

8.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、16 ビットフリーランニングタイマ 0 (FRT0) の入出力端子 (FTOA₀、FTOB₀、FTIA ~ FTID、FTCI)、16 ビットフリーランニングタイマ 1 (FRT1) の入力端子 (FTCI、FTI)、8 ビットタイマ 0、1 の入出力端子 (ETMCI₀、ETMRI₀、ETMO₀、ETMCI₁、ETMRI₁、ETMO₁)、 \overline{IRQ}_6 、 \overline{IRQ}_7 入力端子と兼用になっています。P6₂、P6₁ の端子機能は、いずれの動作モードでも共通です。P6₇ ~ P6₃、P6₀ の端子機能は、動作モードによって切り換わります。

ポート 6 の端子構成を図 8.14 に示します。

ポート 6 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

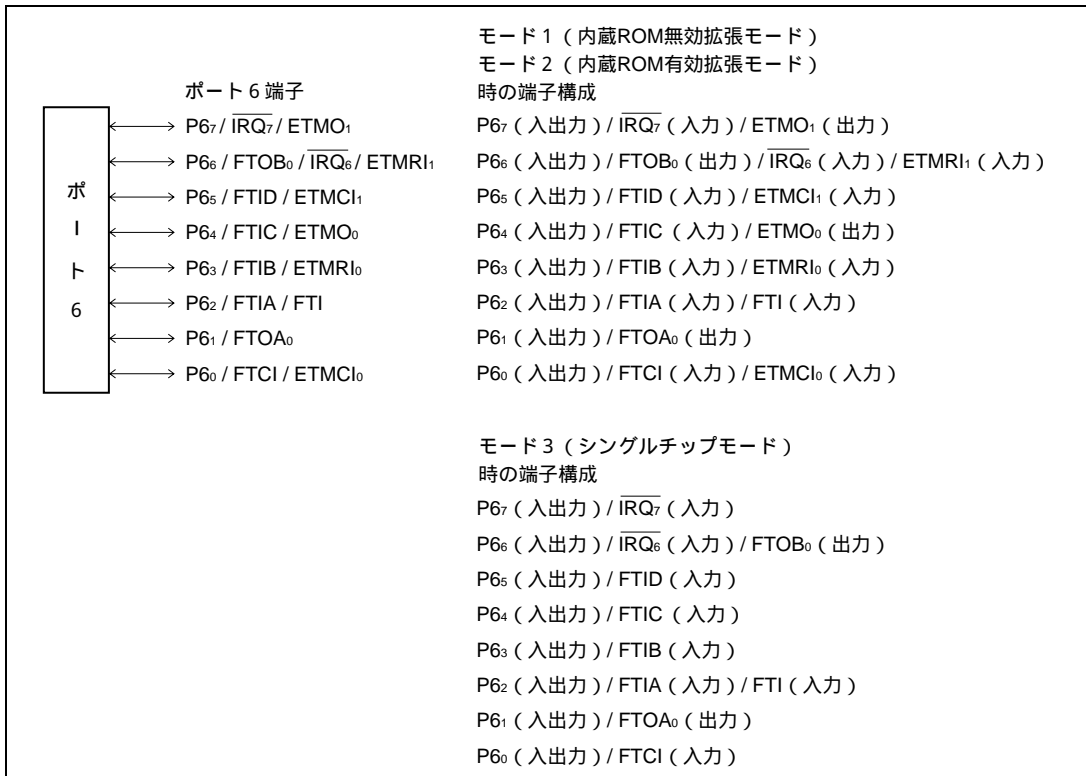


図 8.14 ポート 6 の端子構成

8.7.2 レジスタの構成と説明

表 8.12 にポート 6 のレジスタ構成を示します。

表 8.12 ポート 6 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 6 データディレクションレジスタ	P6DDR	W	H'00	H'FFB9
ポート 6 データレジスタ	P6DR	R/W	H'00	H'FFBB

(1) ポート 6 データディレクションレジスタ (P6DDR)

ビット:	7	6	5	4	3	2	1	0
	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P6DDR は、8 ビットのレジスタで、ポート 6 の各端子の入出力をビットごとに制御します。P6DDR に 1 をセットすると対応するポート 6 の端子は出力端子に、0 にクリアすると入力端子になります。

P6DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

リセットまたはハードウェアスタンバイモード時、P6DDR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P6DDR の状態を保持しています。そのため P6DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート 6 を内蔵周辺モジュールの端子（例えば FRT の端子）として使用しているときに、ソフトウェアスタンバイモードに遷移すると、内蔵周辺モジュールがイニシャライズされるため、ポート 6 は P6DDR と P6DR で制御される入出力ポートに切り換わります。

(2) ポート 6 データレジスタ (P6DR)

ビット:	7	6	5	4	3	2	1	0
	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P6DR は、ポート 6 の各端子 P6₇ ~ P6₀ のデータを格納する 8 ビットのレジスタです。

P6DDR が 1 のとき、ポート 6 のリードを行うと、P6DR の値を直接リードします。そのため端子の状態の影響を受けません。P6DDR が 0 のとき、ポート 6 のリードを行うと端子の状態が読み出されます。内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P6DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

8.7.3 モード別端子機能

ポート 6 は、モード別に各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード 1、2 の端子機能

モード 1 (内蔵 ROM 無効拡張モード)、モード 2 (内蔵 ROM 有効拡張モード) のとき、ポート 6 は 16 ビットフリーランニングタイマ 0 (FRT0) の入出力端子 (FTCI、FTOA₀、FTOB₁、FTIA、FTIB、FTIC、FTID)、16 ビットフリーランニングタイマ 1 (FRT1) の入力端子 (FTCI、FTI)、ならびに \overline{IRQ}_6 、 \overline{IRQ}_7 入力端子と兼用になります。ただし、PBI が有効 (DPME が 1) のとき、8 ビットタイマ 0、1 の入出力端子 (ETMRI₀、ETMRI₁、ETMCI₀、ETMCI₁、ETMO₀、ETMO₁) とも兼用になります。PBI が無効 (DMPE が 0) のときは、8 ビットタイマ 0、1 の入出力端子はポート 4 と兼用になっています。

モード 1、2 の端子機能を図 8.15、表 8.14 に示します。

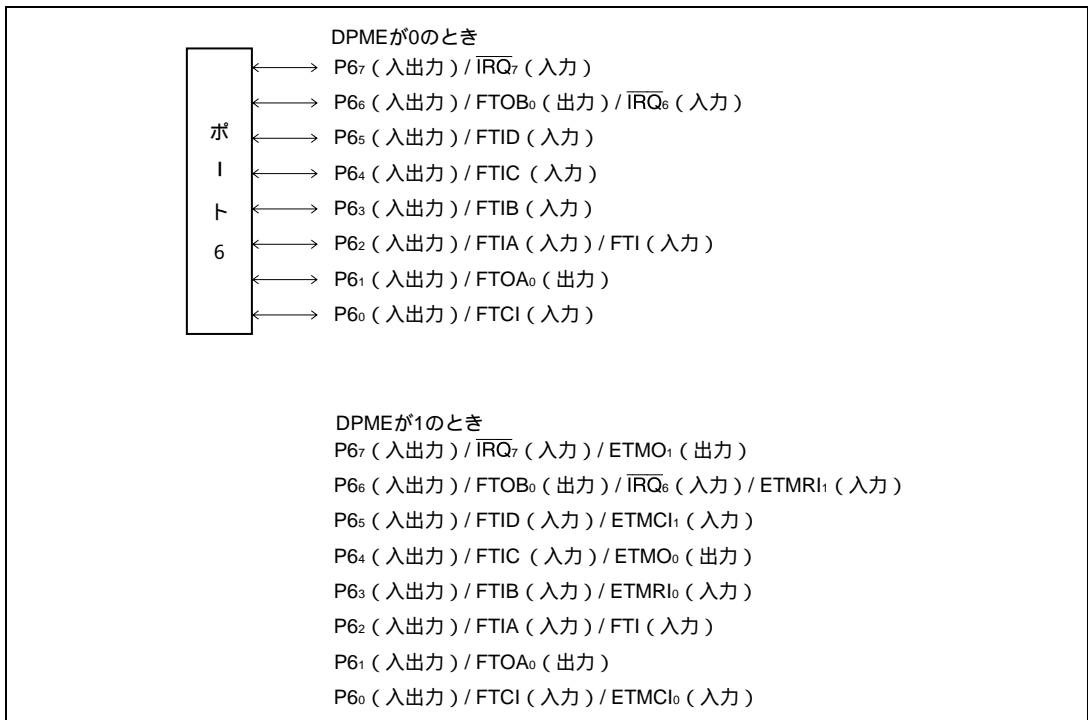


図 8.15 モード 1、2 の端子機能

8. I/O ポート

表 8.14 モード 1、2 の端子機能 (1)

端子	選択方法と端子機能																														
P6 ₇ /IRQ ₇ /ETMO ₁	<p>SYSCR の DPME ビット、8 ビットタイマ 1 の TCSR の OS3 ~ OS0 ビット、および P6₇DDR ビットの組合せにより、次のように切り換わります。</p> <p>〔 DPME ビットが 0 のとき 〕</p> <table border="1"> <tr> <td>P6₇DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P6₇入力端子</td> <td>P6₇出力端子</td> </tr> <tr> <td colspan="3" style="text-align: center;">IRQ₇入力端子</td> </tr> </table> <p>〔 DPME ビットが 1 のとき 〕</p> <table border="1"> <tr> <td>OS3 ~ OS0</td> <td colspan="2">すべてが 0</td> <td>いずれかが 1</td> </tr> <tr> <td>P6₇DDR</td> <td>0</td> <td>1</td> <td>X</td> </tr> <tr> <td>端子機能</td> <td>P6₇入力端子</td> <td>P6₇出力端子</td> <td>ETMO₁出力端子</td> </tr> <tr> <td colspan="4" style="text-align: center;">IRQ₇入力端子</td> </tr> </table> <p>IER の IRQ7E ビットを 1 にセットした場合に、IRQ₇入力端子として使用できます。</p>	P6 ₇ DDR	0	1	端子機能	P6 ₇ 入力端子	P6 ₇ 出力端子	IRQ ₇ 入力端子			OS3 ~ OS0	すべてが 0		いずれかが 1	P6 ₇ DDR	0	1	X	端子機能	P6 ₇ 入力端子	P6 ₇ 出力端子	ETMO ₁ 出力端子	IRQ ₇ 入力端子								
P6 ₇ DDR	0	1																													
端子機能	P6 ₇ 入力端子	P6 ₇ 出力端子																													
IRQ ₇ 入力端子																															
OS3 ~ OS0	すべてが 0		いずれかが 1																												
P6 ₇ DDR	0	1	X																												
端子機能	P6 ₇ 入力端子	P6 ₇ 出力端子	ETMO ₁ 出力端子																												
IRQ ₇ 入力端子																															
P6 ₆ /FTOB ₀ /IRQ ₆ /ETMRI ₁	<p>SYSCR の DPME ビット、FRT0 の TCR の OEB ビット、および P6₆DDR ビットの組合せにより、次のように切り換わります。</p> <p>〔 DPME ビットが 0 のとき 〕</p> <table border="1"> <tr> <td>OEB</td> <td>0</td> <td>1</td> </tr> <tr> <td>P6₆DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P6₆入力端子</td> <td>P6₆出力端子</td> </tr> <tr> <td colspan="3" style="text-align: center;">FTOB₀出力端子</td> </tr> <tr> <td colspan="3" style="text-align: center;">IRQ₆入力端子</td> </tr> </table> <p>〔 DPME ビットが 1 のとき 〕</p> <table border="1"> <tr> <td>OEB</td> <td>0</td> <td>1</td> </tr> <tr> <td>P6₆DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P6₆入力端子</td> <td>P6₆出力端子</td> </tr> <tr> <td colspan="3" style="text-align: center;">FTOB₀出力端子</td> </tr> <tr> <td colspan="3" style="text-align: center;">IRQ₆入力端子、ETMRI₁入力端子</td> </tr> </table> <p>IER の IERQ6E ビットを 1 にセットした場合に、IRQ₆入力端子として使用できます。</p> <p>8 ビットタイマ 1 の TCR の CCLR1、CCLR0 ビットをすべて 1 にセットした場合に、ETMRI₁入力端子として使用できます。</p>	OEB	0	1	P6 ₆ DDR	0	1	端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子	FTOB ₀ 出力端子			IRQ ₆ 入力端子			OEB	0	1	P6 ₆ DDR	0	1	端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子	FTOB ₀ 出力端子			IRQ ₆ 入力端子、ETMRI ₁ 入力端子		
OEB	0	1																													
P6 ₆ DDR	0	1																													
端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子																													
FTOB ₀ 出力端子																															
IRQ ₆ 入力端子																															
OEB	0	1																													
P6 ₆ DDR	0	1																													
端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子																													
FTOB ₀ 出力端子																															
IRQ ₆ 入力端子、ETMRI ₁ 入力端子																															
P6 ₅ /FTID/ ETMCI ₁	<p>SYSCR の DPME ビットと P6₅DDR のビットの組合せにより次のように切り換わります。</p> <p>〔 DPME ビットが 0 のとき 〕</p> <table border="1"> <tr> <td>P6₅DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P6₅入力端子</td> <td>P6₅出力端子</td> </tr> <tr> <td colspan="3" style="text-align: center;">FTID 入力端子</td> </tr> </table> <p>〔 DPME ビットが 1 のとき 〕</p> <table border="1"> <tr> <td>P6₅DDR</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P6₅入力端子</td> <td>P6₅出力端子</td> </tr> <tr> <td colspan="3" style="text-align: center;">FTID 入力端子、ETMCI₁入力端子</td> </tr> </table> <p>8 ビットタイマ 1 の TCR の CKS2 ~ CKS0 ビットで、外部クロックを選択した場合に、ETMCI₁入力端子として使用できます。</p>	P6 ₅ DDR	0	1	端子機能	P6 ₅ 入力端子	P6 ₅ 出力端子	FTID 入力端子			P6 ₅ DDR	0	1	端子機能	P6 ₅ 入力端子	P6 ₅ 出力端子	FTID 入力端子、ETMCI ₁ 入力端子														
P6 ₅ DDR	0	1																													
端子機能	P6 ₅ 入力端子	P6 ₅ 出力端子																													
FTID 入力端子																															
P6 ₅ DDR	0	1																													
端子機能	P6 ₅ 入力端子	P6 ₅ 出力端子																													
FTID 入力端子、ETMCI ₁ 入力端子																															

X : 0、1 のどちらにセットしても同じ端子機能になります。

表 8.14 モード 1、2 の端子機能 (2)

端子	選択方法と端子機能			
P6 ₄ /FTIC/ETMO ₀	SYSCR の DPME ビット、8 ビットタイマ 0 の TCSR の OS3 ~ OS0 ビット、および P6 ₄ DDR ビットの組合せにより、次のように切り換わります。			
	〔 DPME ビットが 0 のとき 〕			
	P6 ₄ DDR	0	1	
	端子機能	P6 ₄ 入力端子	P6 ₄ 出力端子	
	FTIC 入力端子			
	〔 DPME ビットが 1 のとき 〕			
	OS3 ~ OS0	すべてが 0		いずれかが 1
	P6 ₄ DDR	0	1	X
	端子機能	P6 ₄ 入力端子	P6 ₄ 出力端子	ETMO ₀ 出力端子
	FTIC 入力端子			
P6 ₃ /FTIB/ ETMRI ₀	SYSCR の DPME ビットと P6 ₃ DDR のビットの組合せにより次のように切り換わります。			
	〔 DPME ビットが 0 のとき 〕			
	P6 ₃ DDR	0	1	
	端子機能	P6 ₃ 入力端子	P6 ₃ 出力端子	
	FTIB 入力端子			
	〔 DPME ビットが 1 のとき 〕			
	P6 ₃ DDR	0	1	
	端子機能	P6 ₃ 入力端子	P6 ₃ 出力端子	
	FTIB 入力、ETMRI ₀ 入力端子			
	8 ビットタイマ 0 の TCR の CCLR1、CCLR0 ビットをすべて 1 にセットした場合に、ETMRI ₀ 入力端子として使用できます。			
P6 ₂ /FTIA/FTI	P6 ₂ DDR	0	1	
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子	
	FTIA 入力端子、FIT 入力端子			
P6 ₁ /FTOA ₀	FRT0 の TOCR の OEA ビットと P6 ₁ DDR ビットの組合せにより、次のように切り換わります。			
	OEA	0	1	
	P6 ₁ DDR	0	1	X
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子	FTOA ₀ 出力端子

X : 0、1 のどちらにセットしても同じ端子機能になります。

8. I/O ポート

表 8.14 モード 1、2 の端子機能 (3)

端子	選択方法と端子機能	
P6 ₇ /FTCI/ ETMCI ₀	SYSCR の DPME ビットと P6 ₀ DDR ビットの組合せにより、次のように切り換わります。 〔 DPME ビットが 0 のとき 〕	
	P6 ₀ DDR	0
	端子機能	P6 ₀ 入力端子
		1
		P6 ₀ 出力端子
		FTCI 入力端子
	〔 DPME ビットが 1 のとき 〕	
P6 ₀ DDR	0	
端子機能	P6 ₀ 入力端子	
	1	
	P6 ₀ 出力端子	
	FTCI 入力端子、ETMCI ₀ 入力端子	
	FRT0、1 のそれぞれの TCR の CKS2 ~ CKS0 ビットで、外部クロックを選択した場合に、それぞれの FTCI 入力端子として使用できます。 8 ビットタイマ 0 の TCR の CKS2 ~ CKS0 ビットで、外部クロックを選択した場合に、ETMCI ₀ 入力端子として使用できます。	

(2) モード 3 の端子構成

モード 3 (シングルチップモード) のとき、ポート 6 は、FRT0 の入出力端子 (FTCI、FTOA₀、FTOB₀、FTIA ~ FTID)、FRT1 の入力端子 (FTCI、FTI)、ならびに $\overline{IRQ_6}$ 、 $\overline{IRQ_7}$ 入力端子と兼用になります。モード 3 の端子機能を図 8.16、表 8.15 に示します。

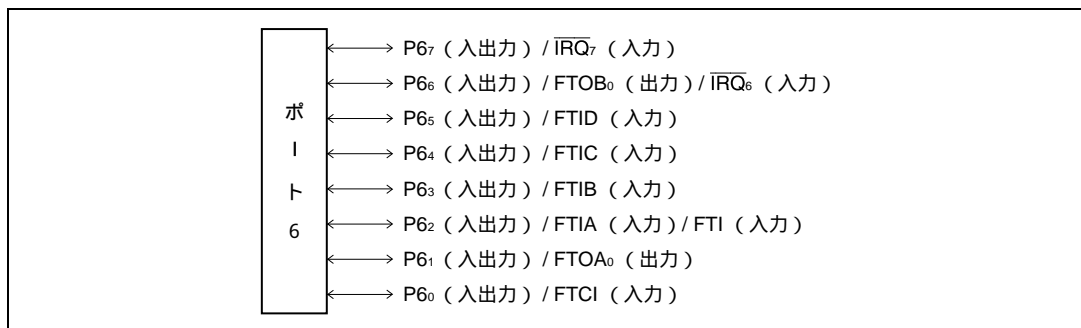


図 8.16 モード 3 の端子機能

表 8.15 モード3の端子機能(1)

端子	選択方法と端子機能		
P6 ₇ /IRQ ₇	IRQ インネーブルレジスタ (IER) の IRQ7E ビットを 1 にセットした場合に、 $\overline{\text{IRQ}}_7$ 入力端子として使用できます。		
	P6 ₇ DDR	0	1
	端子機能	P6 ₇ 入力端子	P6 ₇ 出力端子
$\overline{\text{IRQ}}_7$ 入力端子			
P6 ₆ /FTOB ₆ / IRQ ₆	FRT0 のタイマコントロールレジスタ (TCR) の OEB ビットと P6 ₆ DDR ビットの組合せにより、次のように切り換わります。		
	OEB	0	1
	P6 ₆ DDR	0	1
	端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子
$\overline{\text{IRQ}}_6$ 入力端子			
IER の IRQ6E ビットを 1 にセットした場合に、 $\overline{\text{IRQ}}_6$ 入力端子として使用できます。			
P6 ₅ /FTID	P6 ₅ DDR	0	1
	端子機能	P6 ₅ 入力端子	P6 ₅ 出力端子
	FTID 入力端子		
P6 ₄ /FTIC	P6 ₄ DDR	0	1
	端子機能	P6 ₄ 入力端子	P6 ₄ 出力端子
	FTIC 入力端子		
P6 ₃ /FTIB	P6 ₃ DDR	0	1
	端子機能	P6 ₃ 入力端子	P6 ₃ 出力端子
	FTIB 入力端子		
P6 ₂ /FTIA/FTI	P6 ₂ DDR	0	1
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子
	FTIA 入力端子、FTI 入力端子		
P6 ₁ /FTOA ₀	FRT0 の TCR の OEA ビットと P6 ₁ DDR ビットの組合せにより、次のように切り換わります。		
	OEA	0	1
	P6 ₁ DDR	0	1
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子
FTOA ₀ 出力端子			

X : 0、1 のどちらにセットしても同じ端子機能になります。

8. I/O ポート

表 8.15 モード 3 の端子機能 (2)

端子	選択方法と端子機能		
P6 ₀ /FTCI	P6 ₀ DDR	0	1
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子
	FTCI 入力端子		
	FRT0、1 のそれぞれの TCR の CKS2 ~ CKS0 ビットで、外部クロックを選択した場合に、それぞれの FTCl 入力端子として使用できます。		

8.8 ポート 7

8.8.1 概要

ポート 7 は、8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子と兼用になっています。これらの端子機能は、いずれの動作モードでも共通です。ポート 7 の端子構成を図 8.17 に示します。

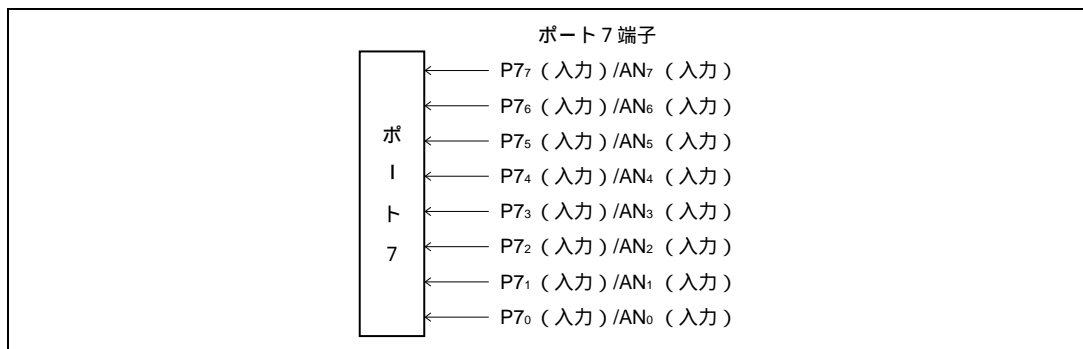


図 8.17 ポート 7 の端子構成

8.8.2 レジスタの構成と説明

表 8.16 にポート 7 のレジスタ構成を示します。ポート 7 は、入力専用ポートでありデータディレクションレジスタではありません。

表 8.16 ポート 7 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 7 データレジスタ	P7DR	R	不定	H'FFBE

(1) ポート 7 レジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	—*	—*	—*	—*	—*	—*	—*	—*
R/W:	R	R	R	R	R	R	R	R

【注】* P7₇~P7₀端子により決定されます。

P7DR のリードを行うと、常に端子の状態が読み出されます。

8.9 ポート 8

8.9.1 概要

ポート 8 は、7 ビットの入出力ポートです。ポート 8 は、デュアルポート RAM (DPRAM) 入出力端子 ($RS_2 \sim RS_0$, \overline{XOE} , \overline{XWE} , \overline{WRQ} , \overline{XRDY}) シリアルコミュニケーションインタフェース 1 (SCI1) の入出力端子 (TXD_1 , RxD_1 , SCK_1)、 $\overline{IRQ}_5 \sim \overline{IRQ}_3$ 入力端子と兼用になっています。P8₅、P8₂ ~ P8₀ の端子機能は、いずれの動作モードでも共通です。P8₆、P8₄、P8₃ の端子機能は、動作モードによって切り換わります。

ポート 8 の端子構成を図 8.18 に示します。

ポート 8 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

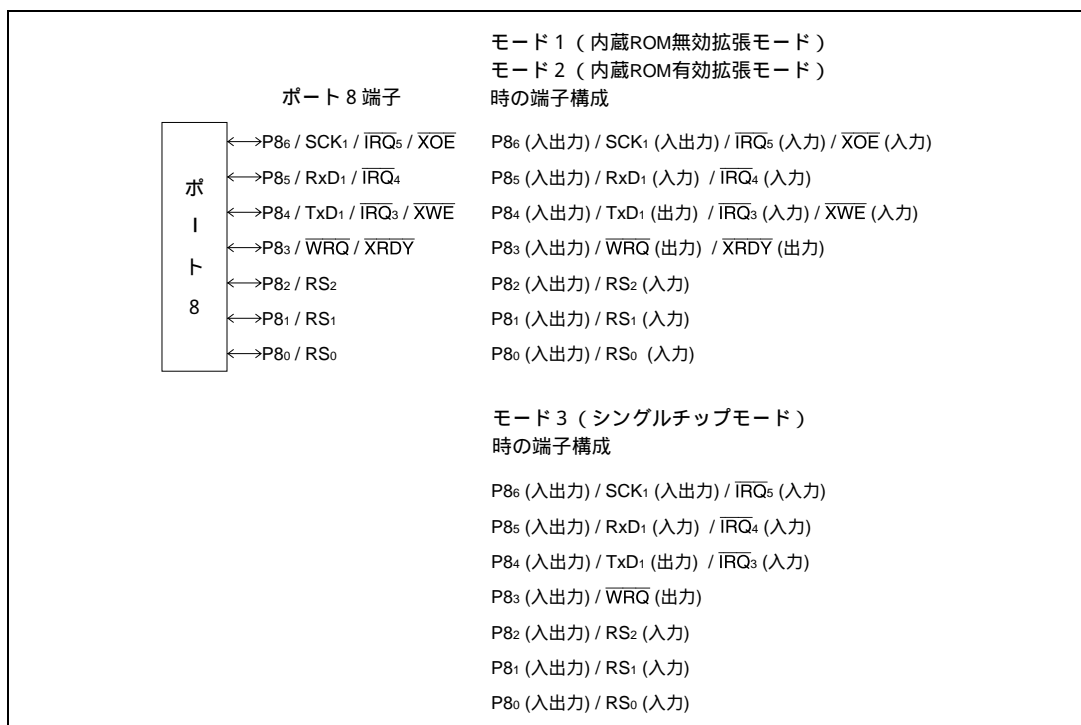


図 8.18 ポート 8 の端子構成

8.9.2 レジスタの構成と説明

表 8.17 にポートレジスタ構成を示します。

表 8.17 ポート 8 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 8 データディレクションレジスタ	P8DDR	W	H'80	H'FFBD
ポート 8 データレジスタ	P8DR	R/W	H'80	H'FFBF

(1) ポート 8 データディレクションレジスタ (P8DDR)

ビット:	7	6	5	4	3	2	1	0
	—	P8 ₆ DDR	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

P8DDR は、8 ビットのレジスタで、ポート 8 の各端子の入出力をビットごとに制御します。

P8DDR に 1 をセットすると対応するポート 8 端子は出力端子に、0 にクリアすると入力端子になります。P8DDR は、ライト専用レジスタで、リードは無効です。ビット 7 はリザーブビットです。リードすると 1 が読み出されます。

リセットまたはハードウェアスタンバイモード時、P8DDR は H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の P8DDR の状態を保持しています。そのため P8DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート 8 を内蔵周辺モジュールの端子（例えば SCI の端子）として使用しているとき、ソフトウェアスタンバイモードに遷移すると、内蔵周辺モジュールがイニシャライズされるため、ポート 8 は P8DDR と P8DR で制御される入出力ポートに切り換わりします。

(2) ポート 8 データレジスタ (P8DR)

ビット:	7	6	5	4	3	2	1	0
	—	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P8DR は、ポート 8 の各端子 P8₆ ~ P8₀ のデータを格納する 8 ビットのレジスタです。ビット 7 はリザーブビットです。リードすると常に 1 が読み出されます。

P8DDR が 1 のとき、ポート 8 のリードを行うと、P8DR の値を直接リードします。そのため端子の状態の影響を受けません。P8DDR が 0 のとき、ポート 8 のリードを行うと、端子の状態が読み出されます。内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時、P8DR は、H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

8.9.3 モード別端子機能

ポート 8 は、モード別の端子の機能が異なります。以下に動作モード別に説明します。

(1) モード 1、2 の端子機能

モード 1 (内蔵 ROM 無効拡張モード)、モード 2 (内蔵 ROM 有効拡張モード) のとき、ポート 8 はデュアルポート RAM (DPRAM) の入出力端子 ($RS_2 \sim RS_0$ 、 \overline{XOE} 、 \overline{XWE} 、 \overline{WRQ} 、 \overline{XRDY}) シリアルコミュニケーションインタフェース 1 (SCI1) の入出力端子 (TxD_1 、 RxD_1 、 SCK_1)、 $\overline{IRQ_5} \sim \overline{IRQ_3}$ 入力端子と兼用になります。

モード 1、2 の端子機能を図 8.19、表 8.18 に示します。

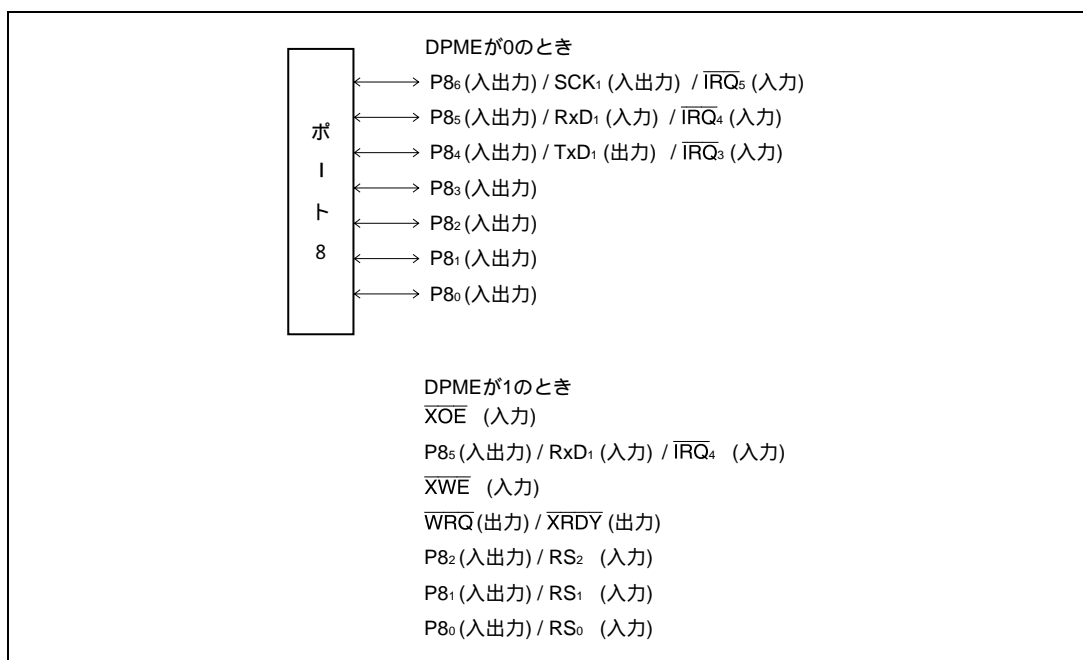


図 8.19 モード 1、2 の端子機能

表 8.18 モード 1、2 の端子機能 (1)

端子	選択方法と端子機能						
P8 ₅ /SCK ₁ /IRQ ₅ / XOE	SYSCR の DPME ビット、SCI1 の SMR の C/A ビット、SCR の CKE0、CKE1 ビット、および P8 ₅ DDR ビットの組合せにより次のように切り換わります。						
	DPME	0				1	
	CKE1	0			1	X	
	C/A	0		1	X	X	
	CKE0	0	1	X	X	X	
	P8 ₅ DDR	0	1	X	X	X	X
	端子機能	P8 ₅ 入力端子	P8 ₅ 出力端子	SCK ₁ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子	XOE 入力端子
IRQ ₅ 入力端子							
IER の IRQ5E ビットを 1 にセットした場合は、IRQ ₅ 入力端子として使用します。							
P8 ₇ /RxD ₁ /IRQ ₄	SCI1 の SCR の RE ビット、P8 ₅ DDR ビットの組合せにより、次のように切り換わります。						
	RE	0			1		
	P8 ₅ DDR	0	1		X		
	端子機能	P8 ₅ 入力端子		P8 ₅ 出力端子		RxD ₁ 入力端子	
IRQ ₄ 入力端子							
IER の IRQ4E ビットを 1 にセットした場合は、IRQ ₄ 入力端子として使用します。							
P8 ₄ /TXD ₁ /IRQ ₃ / XWE	SYSCR の DPME ビット、SCR の TE ビット、および P8 ₄ DDR ビットの組合せにより、次のように切り換わります。						
	DPME	0			1		
	TE	0		1	X		
	P8 ₄ DDR	0	1	X		X	
	端子機能	P8 ₄ 入力端子	P8 ₄ 出力端子	TXD ₁ 出力端子	XWE 入力端子		
IRQ ₃ 入力端子							
IER の IRQ3E ビットを 1 にセットした場合に、IRQ ₃ 入力端子として使用します。							
P8 ₃ /WRQ/XRDY	SYSCR の DPME ビット、PBI の PCCSR の EWRQ ビット、および P8 ₃ DDR ビットの組合せにより、次のように切り換わります。						
	DPME	0		1			
	EWRQ	X		0	1		
	P8 ₃ DDR	0	1	X	X		
	端子機能	P8 ₃ 入力端子	P8 ₃ 出力端子	XRDY 出力端子	WRQ 出力端子		
P8 ₂ /RS ₂	SYSCR の DPME ビット、PBI の IOCR の HSCE ビット、および P8 ₂ DDR ビットの組合せにより、次のように切り換わります。						
	DPME	0		1			
	HSCE	X		1	0		
	P8 ₂ DDR	0	1	0	1	X	
	端子機能	P8 ₂ 入力端子	P8 ₂ 出力端子	P8 ₂ 入力端子	P8 ₂ 出力端子	RS ₂ 入力端子	

X : 0、1 のどちらにセットしても同じ端子機能になります。

8. I/O ポート

表 8.18 モード 1、2 の端子機能 (2)

端子	選択方法と端子機能					
P8 _i /RS _i	SYSCR の DPME ビット、PBI の IOCR の HSCE ビット、および P8 _i DDR ビットの組合せにより、次のように切り換わります。					
	DPME	0		1		
	HSCE	X		1	0	
	P8 _i DDR	0	1	0	1	X
	端子機能	P8 _i 入力端子	P8 _i 出力端子	P8 _i 入力端子	P8 _i 出力端子	RS _i 入力端子
P8 ₀ /RS ₀	SYSCR の DPME ビット、PBI の IOCR の HSCE ビット、および P8 ₀ DDR ビットの組合せにより、次のように切り換わります。					
	DPME	0		1		
	HSCE	X		1	0	
	P8 ₀ DDR	0	1	0	1	X
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子	P8 ₀ 入力端子	P8 ₀ 入力端子	RS ₀ 入力端子

X : 0、1 のどちらにしても同じ端子機能になります。

(2) モード 3 の端子構成

モード 3 (シングルチップモード) のとき、ポート 8 はデュアルポート RAM (DPRAM) の入出力端子 (RS₂ ~ RS₀、WRQ)、シリアルコミュニケーションインタフェース 1 (SCI1) の入出力端子 (TXD₁、RXD₁、SCK₁)、 $\overline{\text{IRQ}}_5$ ~ $\overline{\text{IRQ}}_3$ 入力端子との兼用になります。

モード 3 の端子機能を図 8.20、表 8.19 に示します。

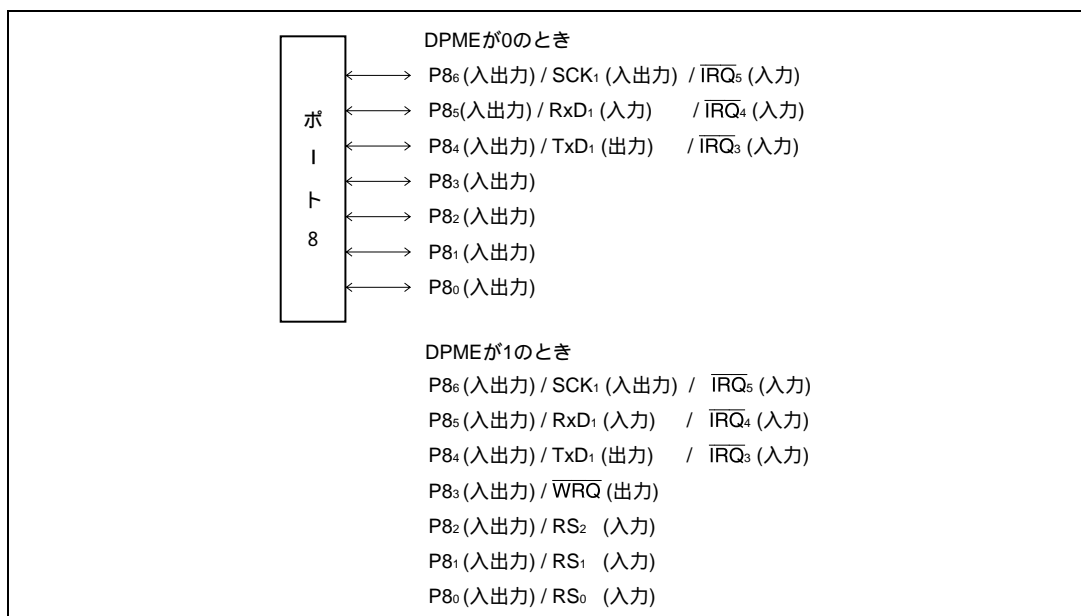


図 8.20 モード 3 の端子機能

表 8.19 モード 3 の端子機能 (1)

端子	選択方法と端子機能					
P8 ₇ /SCK ₇ / $\overline{\text{IRQ}}_5$	SCI1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビット、および P8 ₆ DDR ビットの組合せにより次のように切り換わります。					
	CKE1	0			1	
	C/ $\overline{\text{A}}$	0		1	X	
	CKE0	0		1	X	X
	P8 ₆ DDR	0	1	X	X	X
	端子機能	P8 ₆ 入力端子	P8 ₆ 出力端子	SCK ₇ 出力端子	SCK ₇ 出力端子	SCK ₇ 入力端子
IRQ ₅ 入力端子						
IER の IRQ5E ビットを 1 にセットした場合は、 $\overline{\text{IRQ}}_5$ 入力端子として使用します。						
P8 ₅ /RXD ₁ / $\overline{\text{IRQ}}_4$	SCI1 の SCR の RE ビットと P8 ₅ DDR ビットの組合せにより、次のように切り換わります。					
	RE	0			1	
	P8 ₅ DDR	0		1	X	
	端子機能	P8 ₅ 入力端子		P8 ₅ 出力端子	RXD ₁ 入力端子	
IRQ ₄ 入力端子						
IER の IRQ4E ビットを 1 にセットした場合は、 $\overline{\text{IRQ}}_4$ 入力端子として使用します。						
P8 ₄ /TXD ₁ / $\overline{\text{IRQ}}_3$	SCR の TE ビットと P8 ₄ DDR ビットの組合せより、次のように切り換わります。					
	TE	0			1	
	P8 ₄ DDR	0		1	X	
	端子機能	P8 ₄ 入力端子		P8 ₄ 出力端子	TXD ₁ 入力端子	
IRQ ₃ 入力端子						
IER の IRQ3E ビットを 1 にセットした場合に、 $\overline{\text{IRQ}}_3$ 入力端子として使用します。						
P8 ₃ /WRQ	SYSCR の DPME ビット、PBI の PCCSR の EWRQ ビット、および P8 ₃ DDR ビットの組合せにより、次のように切り換わります。					
	DPME	0			1	
	EWRQ	X		0	1	
	P8 ₃ DDR	0	1	0	1	X
	端子機能	P8 ₃ 入力端子	P8 ₃ 出力端子	P8 ₃ 入力端子	P8 ₃ 出力端子	WRQ 出力端子
P8 ₂ /RS ₂	SYSCR の DPME ビット、PBI の IOCR の HSCE ビット、および P8 ₂ DDR ビットの組合せにより、次のように切り換わります。					
	DPME	0			1	
	HSCE	X		1	0	
	P8 ₂ DDR	0	1	0	1	X
	端子機能	P8 ₂ 入力端子	P8 ₂ 出力端子	P8 ₂ 入力端子	P8 ₂ 出力端子	RS ₂ 入力端子

X : 0、1 のどちらにしても同じ端子機能になります。

8. I/O ポート

表 8.19 モード 3 の端子機能 (2)

端子	選択方法と端子機能					
P8 _i /RS _i	SYSCR の DPME ビット、PBI の IOCR の HSCE ビット、および P8 _i DDR ビットの組合せにより、次のように切り換わります。					
	DPME	0		1		
	HSCE	X		1	0	
	P8 _i DDR	0	1	0	1	X
	端子機能	P8 _i 入力端子	P8 _i 出力端子	P8 _i 入力端子	P8 _i 出力端子	RS _i 入力端子
P8 ₀ /RS ₀	SYSCR の DPME ビット、PBI の IOCR の HSCE ビット、および P8 ₀ DDR ビットの組合せにより、次のように切り換わります。					
	DPME	0		1		
	HSCE	X		1	0	
	P8 ₀ DDR	0	1	0	1	X
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子	P8 ₀ 入力端子	P8 ₀ 出力端子	RS ₀ 入力端子

X : 0、1 のどちらにセットしても同じ端子機能になります。

8.10 ポート 9

8.10.1 概要

ポート 9 は、8 ビットの入出力ポートです。ポート 9 は、 $\overline{IRQ}_0 \sim \overline{IRQ}_2$ 入力端子、バス制御信号の入出力端子 (\overline{RD} 、 \overline{WR} 、 \overline{AS} 、 \overline{WAIT})、デュアルポート RAM (DPRAM) の入出力端子 (\overline{CS} 、 \overline{OE} 、 \overline{RDY} 、 \overline{WE} 、 \overline{XCS})、A/D 変換器の入力端子 (\overline{ADTRG})、システムロック () 出力端子と兼用になっています。P9₂、P9₀ の端子機能は、いずれの動作モードでも共通です。P9₇ ~ P9₃、P9₁ の端子機能は、動作モードによって切り換わります。ポート 9 の端子構成を図 8.21 に示します。

ポート 9 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。

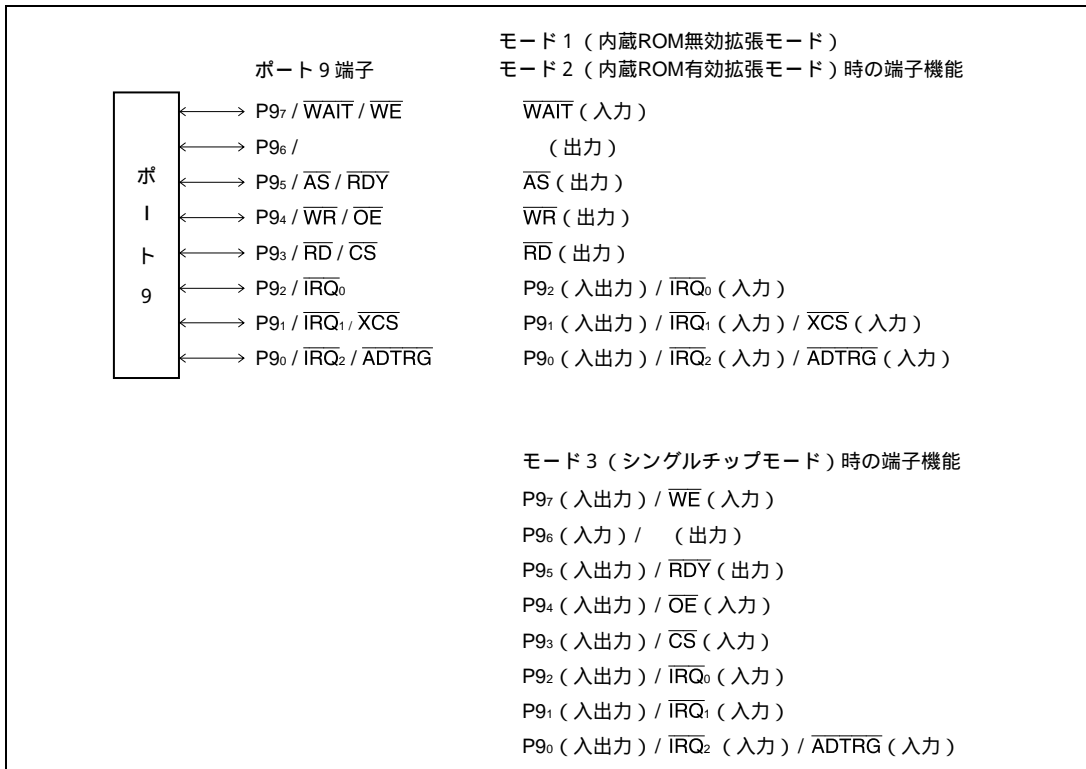


図 8.21 ポート 9 の端子構成

8.10.2 レジスタの構成と説明

表 8.20 にポート 9 のレジスタ構成を示します。

表 8.20 ポート 9 レジスタ構成

名称	略称	R/W	初期値		アドレス
			モード 1、2	モード 3	
ポート 9 データディレクションレジスタ	P9DDR	W	H'40	H'00	H'FFC0
ポート 9 データレジスタ	P9DR	R/W* ¹	不定* ²		H'FFC1

【注】 *1 ビット 6 はリードのみです。

*2 ビット 6 のみ不定です。その他のビットは 0 です。

(1) ポート 9 データディレクションレジスタ (P9DDR)

ビット:		7	6	5	4	3	2	1	0
		P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
モード 1、2	初期値:	0	1	0	0	0	0	0	0
	R/W:	W	—	W	W	W	W	W	W
モード 3	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W

P9DDR は、8 ビットのレジスタで、ポート 9 の各端子の入出力をビットごとに制御します。P9DDR に 1 をセットすると対応するポート 9 端子は出力に、0 にクリアすると入力端子になります。ただし、モード 1、2 では P9₆DDR は 1 に固定され、ライトは無効です。

P9DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

リセットまたはハードウェアスタンバイモード時、P9DDR は、モード 1、2 では H'40 に、モード 3 では H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、P9DDR は直前の状態を保持しています。そのため、P9DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は、出力状態のままとなっています。

(2) ポート 9 データレジスタ (P9DR)

ビット:		7	6	5	4	3	2	1	0
		P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:		0	—*	0	0	0	0	0	0
R/W:		R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】* P9₆端子により決定されます。

P9DR は、ポート 9 の各端子 P9₇ ~ P9₀ のデータを格納する 8 ビットのレジスタです。

P9₆ 以外では P9DDR が 1 のときポート 9 のリードを行うと、P9DR の値が直接読み出されます。そのため端子の状態の影響を受けません。P9DDR が 0 のとき、ポート 9 のリードを行うと端子の状態が読み出されます。P9₆ のリードを行うと常に端子の状態が読み出されます。内蔵周辺モジュールの端子、バス制御の端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P9DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

8.10.3 端子機能

ポート9の端子機能はモード1、2とモード3で異なります。各端子は $\overline{IRQ_0} \sim \overline{IRQ_2}$ 入力端子、バス制御信号の入出力端子、A/D変換器の入力端子、システムロック()出力端子と兼用になっています。ポート9の端子機能について表8.21に示します。

表 8.21 ポート9の端子機能(1)

端子	選択方法と端子機能					
P9 ₇ $\overline{WE}/WAIT$	動作モードと SYSCR の DPME ビットと P9 ₇ DDR ビットの組合せにより次のように切り換わります。					
	動作モード	モード 1、2		モード 3		
	DPME	X		0	1	
	P9 ₇ DDR	X		0	1	
	端子機能	WAIT 入力端子		P9 ₇ 入力端子	P9 ₇ 出力端子	\overline{WE} 入力端子
P9 ₆ \overline{RDY}/AS	動作モードと P9 ₆ DDR の組合せにより次のように切り換わります。					
	動作モード	モード 1、2		モード 3		
	P9 ₆ DDR	1 (固定)		0	1	
	端子機能	出力端子		P9 ₆ 入力端子	出力端子	
	P9 ₅ \overline{RDY}/AS	動作モード、SYSCR の DPME ビットと P9 ₅ DDR ビットの組合せにより次のように切り換わります。				
動作モード		モード 1、2		モード 3		
DPME		X		0	1	
P9 ₅ DDR		X		0	1	
端子機能		AS 出力端子	P9 ₅ 入力端子	P9 ₅ 出力端子	RDY 出力端子*	
【注】* NMOS オープンドレイン出力端子ですので、本 LSI 外部にプルアップ抵抗を付けてください。						
P9 ₄ \overline{OE}/WR	動作モード、SYSCR の DPME ビットと P9 ₄ DDR ビットの組合せにより次のように切り換わります。					
	動作モード	モード 1、2		モード 3		
	DPME	X		0	1	
	P9 ₄ DDR	X		0	1	
	端子機能	WR 出力端子	P9 ₄ 入力端子	P9 ₄ 出力端子	\overline{OE} 入力端子	
P9 ₃ \overline{CS}/RD	動作モード、SYSCR の DPME ビット、PBI の IOCR の HSCE ビット、および P9 ₃ DDR ビットの組合せにより次のように切り換わります。					
	動作モード	モード 1、2	モード 3			
	DPME	X	0	1		
	HSCE	X	X	1	0	
	P9 ₃ DDR	X	0	1	0	1
端子機能	RD 出力端子	P9 ₃ 入力端子	P9 ₃ 出力端子	P9 ₃ 入力端子	P9 ₃ 出力端子	CS 入力端子

X : 0、1のどちらにセットしても同じ端子機能になります。

8. I/O ポート

表 8.21 ポート 9 の端子機能 (2)

端子	選択方法と端子機能					
P9 ₂ /IRQ ₀	P9 ₂ DDR	0		1		
	端子機能	P9 ₂ 入力端子		P9 ₂ 出力端子		
IRQ ₀ 入力端子						
IER の IRQ0E ビットを 1 にセットした場合に、IRQ ₀ 入力端子として使用します。						
P9 ₁ /IRQ ₁ /XCS	動作モード	モード 1、2			モード 3	
	DPME	0		1	X	
	P9 ₁ DDR	0	1	X	0	1
	端子機能	P9 ₁ 入力端子	P9 ₁ 出力端子	XCS入力端子	P9 ₁ 入力端子	P9 ₁ 出力端子
		IRQ ₁ 入力端子				
IER の IRQ1E ビットを 1 にセットした場合に、IRQ ₁ 入力端子として使用します。						
P9 ₀ /IRQ ₂ /ADTRG	P9 ₀ DDR	0		1		
	端子機能	P9 ₀ 入力端子		P9 ₀ 出力端子		
IRQ ₂ 入力端子、ADTRG 入力端子						
IER の IRQ2E ビットを 1 にセットした場合に、IRQ ₂ 入力端子として使用します。 A/D 変換器の ADCR の TRGE ビットを 1 にセットした場合に ADTRG 入力端子として使用します。						

X : 0、1 のどちらにセットしても同じ端子機能になります。

8.11 使用上の注意

8.11.1 未使用端子の処理

ポート未使用時は、入力ポートに設定し、ポート内の各端子を個別にプルアップもしくはプルダウンしてください。

複数の未使用端子を1つの抵抗でプルアップもしくはプルダウンすると、LSI が誤操作したときに、端子が出力となり、出力どうしが衝突する恐れがあります。

9. 16 ビットフリーランニングタイマ 0

9.1 概要

本 LSI は、16 ビットフリーランニングタイマ (FRT: Free Running Timer) として、FRT0、FRT1 の 2 チャンネルを内蔵しています。

FRT0、FRT1 はそれぞれ 16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

本章では、FRT0 について説明します。FRT1 については、「第 10 章 16 ビットフリーランニングタイマ 1」で説明しています。

なお、FRT0、FRT1 の機能の違いは次のとおりです。FRT0 のインプットキャプチャは 4 本独立で、割り込み要因もインプットキャプチャ×4 要因です。FRT1 はインプットキャプチャ 1 本で、割り込み要因もインプットキャプチャ×1 要因です。また、FRT0 ではバッファ動作を指定できます。

9.1.1 特長

FRT0 の特長を以下に示します。

- 4 種類のカウンタ入力クロックを選択可能
3種類の内部クロック ($f_p/2$ 、 $f_p/8$ 、 $f_p/32$) と外部クロックのうちから選択できます (外部イベントのカウントが可能)。
- 2 本の独立したコンパレータ
2種類の波形出力が可能です。
- 4 本の独立したインプットキャプチャ
立上がりエッジ / 立下がりエッジの選択が可能です。
バッファ動作を指定できます。
- カウンタのクリア指定が可能
コンペアマッチ A により、カウンタの値をクリアすることができます。
- 7 種類の割り込み要因
コンペアマッチ×2要因、インプットキャプチャ×4要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

9.1.2 ブロック図

FRT0のブロック図を図9.1に示します。

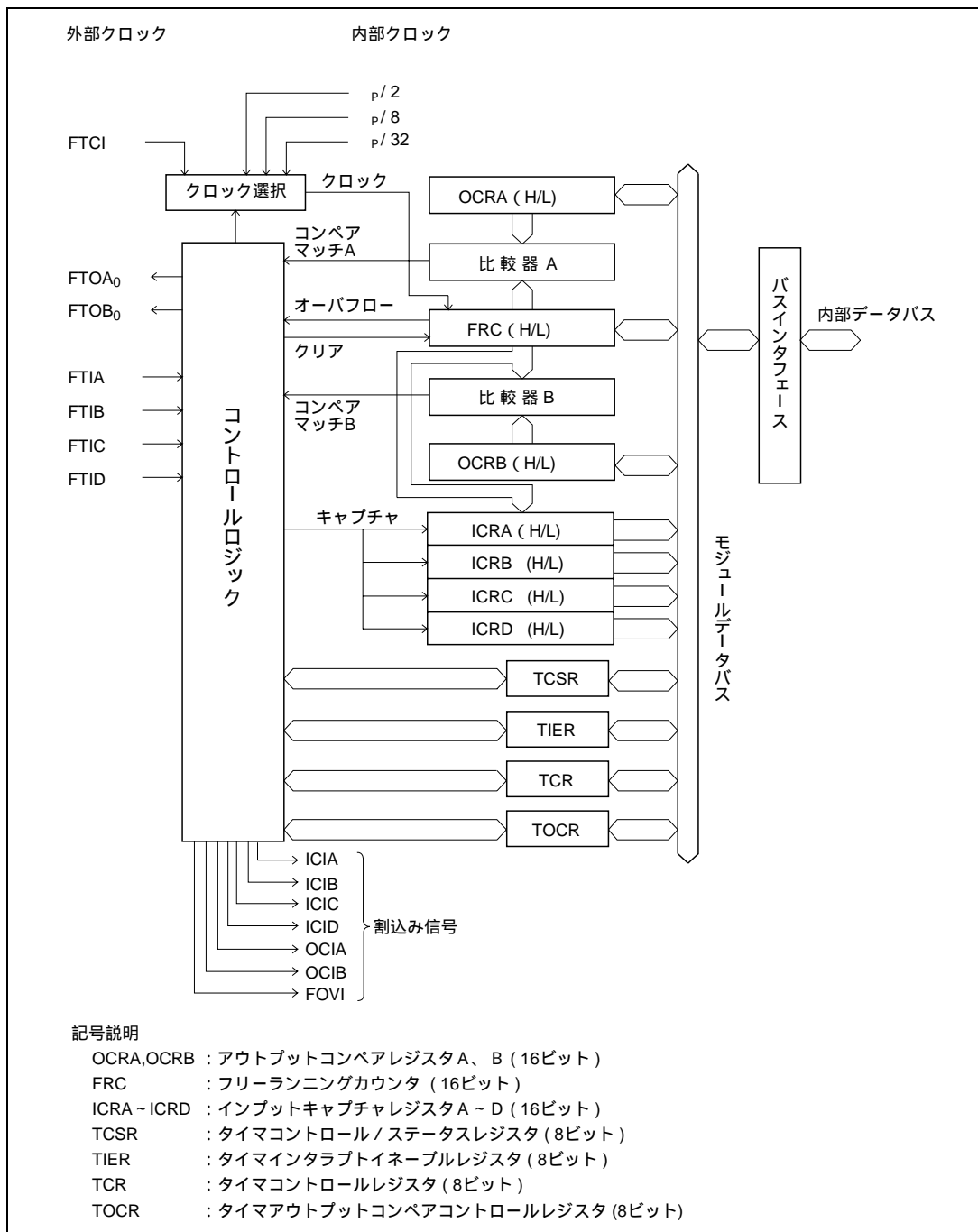


図9.1 FRTのブロック図

9.1.3 端子構成

FRT0の入出力端子を表9.1に示します。

表 9.1 端子構成

名称	略称	入出力	機能
カウンタロック入力端子	FTCI	入力	FRCのカウンタロック入力
アウトプットコンペアA出力端子	FTOA ₀ *	出力	アウトプットコンペアAの出力
アウトプットコンペアB出力端子	FTOB ₀ *	出力	アウトプットコンペアBの出力
インプットキャプチャA入力端子	FTIA	入力	インプットキャプチャAの入力
インプットキャプチャB入力端子	FTIB	入力	インプットキャプチャBの入力
インプットキャプチャC入力端子	FTIC	入力	インプットキャプチャCの入力
インプットキャプチャD入力端子	FTID	入力	インプットキャプチャDの入力

【注】 * 本文中ではチャンネルを省略し、それぞれFTOA、FTOBと略称します。

9.1.4 レジスタ構成

FRT0のレジスタ構成を表9.2に示します。

表 9.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'01	H'FF90
タイマコントロール/ステータスレジスタ	TCSR	R/(W)* ¹	H'00	H'FF91
フリーランニングカウンタ H	FRC H	R/W	H'00	H'FF92
フリーランニングカウンタ L	FRC L	R/W	H'00	H'FF93
アウトプットコンペアレジスタ A H	OCRA H	R/W	H'FF	H'FF94* ²
アウトプットコンペアレジスタ A L	OCRA L	R/W	H'FF	H'FF95* ²
アウトプットコンペアレジスタ B H	OCRB H	R/W	H'FF	H'FF94* ²
アウトプットコンペアレジスタ B L	OCRB L	R/W	H'FF	H'FF95* ²
タイマコントロールレジスタ	TCR	R/W	H'00	H'FF96
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'E0	H'FF97
インプットキャプチャレジスタ A H	ICRA H	R	H'00	H'FF98
インプットキャプチャレジスタ A L	ICRA L	R	H'00	H'FF99
インプットキャプチャレジスタ B H	ICRB H	R	H'00	H'FF9A
インプットキャプチャレジスタ B L	ICRB L	R	H'00	H'FF9B
インプットキャプチャレジスタ C H	ICRC H	R	H'00	H'FF9C
インプットキャプチャレジスタ C L	ICRC L	R	H'00	H'FF9D
インプットキャプチャレジスタ D H	ICRD H	R	H'00	H'FF9E
インプットキャプチャレジスタ D L	ICRD L	R	H'00	H'FF9F

【注】 *1 ビット7~1はリード専用でフラグをクリアするための0ライトのみ可能です。

*2 OCRAとOCRBのアドレスは同一です。これらの切換えはTOCRのOCSRビットで行います。

9.2 各レジスタの説明

9.2.1 フリーランニングカウンタ (FRC)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	<table border="1" style="width:100%; height: 20px; border-collapse: collapse;"> <tr> <td style="width: 100%;"></td> </tr> </table>																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

FRCは、16ビットのリード/ライト可能なアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TCRのクロックセレクト1、0ビット(CKS1、CKS0)で選択します。

また、FRCはコンペアマッチAによりクリアすることができます。

FRCがオーバフロー(H'FFFF H'0000)すると、TCSRのオーバフローフラグ(OVF)が1にセットされます。

FRCは、CPUからリード/ライト可能ですが、16ビットになっているため、CPUとのデータ転送はテンポラリレジスタ(TEMP)を介して行われます。詳細は、「9.3 CPUとのインターフェース」を参照してください。

FRCは、リセットまたは、スタンバイモード時にH'0000に、イニシャライズされます。

9.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	<table border="1" style="width:100%; height: 20px; border-collapse: collapse;"> <tr> <td style="width: 100%;"></td> </tr> </table>																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

OCRは、16ビットのリード/ライト可能な2本のレジスタ(OCRA、OCRB)から構成されます。OCRの内容は、FRCの値と常に比較されています。両者の値が一致すると、TCSRのアウトプットコンペアフラグ(OCFA、OCFB)が1にセットされます。

さらに、OCRの値とFRCの値が一致した(コンペアマッチ)とき、TOCRのアウトプットイネーブルビット(OEA、OEB)が1にセットされていると、TOCRのアウトプットレベルビット(OLVLA、OLVLB)で設定した出力レベルの値が、アウトプットコンペア出力端子(FTOA、FTOB)に出力されます。リセット後、最初のコンペアマッチが起こるまでFTOA、FTOB出力は0出力です。

また、OCRは16ビットになっているため、CPUとのデータ転送はTEMPを介して行われます。詳細は、「9.3 CPUとのインターフェース」を参照してください。

OCRは、リセットまたはスタンバイモード時に、H'FFFFにイニシャライズされます。

9.2.3 インพุットキャプチャレジスタ A~D (ICRA ~ ICRD)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR は、16 ビットのリード専用の 4 本のレジスタ (ICRA ~ ICRD) から構成されます。

インพุットキャプチャ入力端子 (FTIA ~ FTID) の立上がりエッジが検出されると、そのときの FRC の値が ICRA ~ ICRD に転送*されます。このとき同時に、TCSR のインพุットキャプチャフラグ (ICFA ~ ICFD) が 1 にセットされます。入力信号のエッジは、TCR のインพุットエッジセレクトビット (IEDGA ~ IEDGD) により選択できます。

また、ICRC、ICRD は、TCR のバッファインペブル A、B ビット (BUFEA、BUFEB) により、それぞれ ICRA、ICRB のバッファレジスタとして使用し、バッファ動作を行わせることもできます。

ICRC を ICRA のバッファレジスタとして指定した場合 (BUFEA = 1) の接続を、図 9.2 に示します。ICRC を ICRA のバッファとして使用した場合、外部入力信号の変化として IEDGA、IEDGC と設定することにより、立上がり / 立下がり両方のエッジを指定することができます。IEDGA = IEDGC の場合には立上がりまたは立下がりエッジのいずれかとなります。表 9.3 を参照してください。

【注】* FRC から ICR への転送は ICF の値にかかわらず行われます。

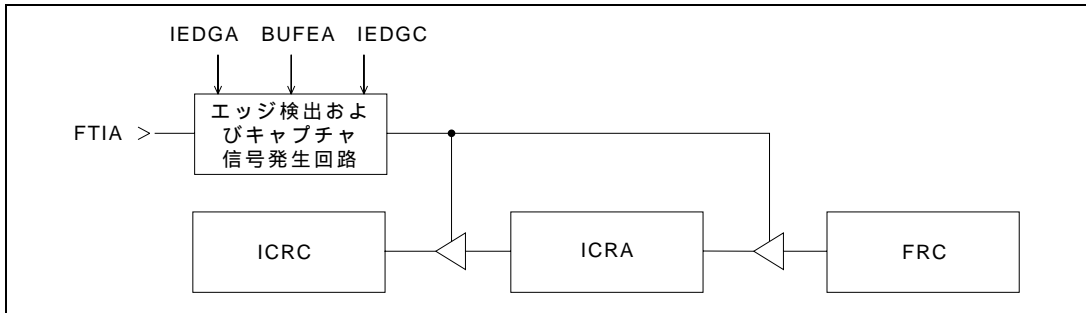


図 9.2 バッファ操作 (例)

表 9.3 バッファ動作時の入力エッジの選択 (例)

IEDGA	IEDGC	入力エッジの選択
0	0	インพุットキャプチャ入力 A (FTIA) 立下がりエッジ () でキャプチャ
	1	インพุットキャプチャ入力 A (FTIA) の立上がり / 立下がり両方のエッジ (、) でキャプチャ
1	0	
	1	インพุットキャプチャ入力 A (FTIA) の立ち上がりエッジ () でキャプチャ

ICR は 16 ビットのため、CPU とのデータ転送は TEMP を介して行われます。詳細は、「9.3 CPU とのインタフェース」を参照してください。

インพุットキャプチャ動作を確実にを行うために、インพุットキャプチャ入力信号のパルス幅は、単エッジの場合 1.5 システムロック () 以上、両エッジの場合 2.5 システムロック () 以上にしてください。

ICR は、リセットまたは、スタンバイモード時に、H'0000 にイニシャライズされます。

9. 16ビットフリーランニングタイマ0

9.2.4 タイマインタラプトイネーブルレジスタ (TIER)

ビット:	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—
初期値:	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

TIER は、8 ビットのリード/ライト可能なレジスタで、各割り込み要求の許可を制御します。
TIER は、リセットまたはスタンバイモード時に、H'01 にイニシャライズされます。

ビット7: インพุットキャプチャインタラプト A イネーブル (ICIAE)

TCSR のインพุットキャプチャフラグ A (ICFA) が 1 にセットされたとき、ICFA による割り込み (ICIA) の許可または禁止を選択します。

ビット7	説明	
ICIAE		
0	ICFA による割り込み要求 (ICIA) を禁止	(初期値)
1	ICFA による割り込み要求 (ICIA) を許可	

ビット6: インพุットキャプチャインタラプト B イネーブル (ICIBE)

TCSR のインพุットキャプチャフラグ B (ICFB) が 1 にセットされたとき、ICFB による割り込み (ICIB) の許可または禁止を選択します。

ビット6	説明	
ICIBE		
0	ICFB による割り込み要求 (ICIB) を禁止	(初期値)
1	ICFB による割り込み要求 (ICIB) を許可	

ビット5: インพุットキャプチャインタラプト C イネーブル (ICICE)

TCSR のインพุットキャプチャフラグ C (ICFC) が 1 にセットされたとき、ICFC による割り込み (ICIC) の許可または禁止を選択します。

ビット5	説明	
ICICE		
0	ICFC による割り込み要求 (ICIC) を禁止	(初期値)
1	ICFC による割り込み要求 (ICIC) を許可	

ビット4: インพุットキャプチャインタラプト D イネーブル (ICIDE)

TCSR のインพุットキャプチャフラグ D (ICFD) が 1 にセットされたとき、ICFD による割り込み (ICID) の許可または禁止を選択します。

ビット4	説明	
ICIDE		
0	ICFD による割り込み要求 (ICID) を禁止	(初期値)
1	ICFD による割り込み要求 (ICID) を許可	

ビット3：アウトプットコンペインタラプト A イネーブル (OCIAE)

TCSR のアウトプットコンペアフラグ A (OCFA) が 1 にセットされたとき、OCFA による割込み要求 (OCIA) の許可または禁止を選択します。

ビット3	説明	
OCIAE		
0	OCFA による割込み要求 (OCIA) を禁止	(初期値)
1	OCFA による割込み要求 (OCIA) を許可	

ビット2：アウトプットコンペインタラプト B イネーブル (OCIBE)

TCSR のアウトプットコンペアフラグ B (OCFB) が 1 にセットされたとき、OCFB による割込み要求 (OCIB) の許可または禁止を選択します。

ビット2	説明	
OCIBE		
0	OCFB による割込み要求 (OCIB) を禁止	(初期値)
1	OCFB による割込み要求 (OCIB) を許可	

ビット1：タイマオーバフローインタラプトイネーブル (OVIE)

TCSR のオーバフローフラグ (OVF) が 1 にセットされたとき、OVF による割込み (FOVI) の許可または禁止を選択します。

ビット1	説明	
OVIE		
0	OVF による割込み要求 (FOVI) を禁止	(初期値)
1	OVF による割込み要求 (FOVI) を許可	

ビット0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

9.2.5 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* ビット7~1はフラグをクリアするための0ライトのみ可能です。

TCSR は、8 ビットのレジスタで、カウンタクリアの選択、各割込み要求信号の制御を行います。TCSR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。なお、タイミングについては「9.4 動作説明」を参照してください。

ビット7：インプットキャプチャフラグ A (ICFA)

インプットキャプチャ信号によって、FRC の値が ICRA に転送されたことを示すステータスフラ

9. 16ビットフリーランニングタイム0

グです。BUFEA ビットが1にセットされているときは、ICFA は、インプットキャプチャ信号により、FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明	
ICFA		
0	〔クリア条件〕 ICFA=1の状態、ICFAをリードした後、ICFAに0をライトしたとき	(初期値)
1	〔セット条件〕 インプットキャプチャ信号により、FRCの値がICRAに転送されたとき	

ビット6：インプットキャプチャフラグB (ICFB)

インプットキャプチャ信号によって、FRC の値が ICRB に転送されたことを示すステータスフラグです。BUFEB ビットが1にセットされているときは、ICFB は、インプットキャプチャ信号により、FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRD に転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明	
ICFB		
0	〔クリア条件〕 ICFB=1の状態、ICFBをリードした後、ICFBに0をライトしたとき	(初期値)
1	〔セット条件〕 インプットキャプチャ信号により、FRCの値がICRBに転送されたとき	

ビット5：インプットキャプチャフラグC (ICFC)

インプットキャプチャ信号によって、FRC の値が ICRC に転送されたことを示すステータスフラグです。BUFEA ビットが1にセットされているときは、FTIC に IEDGC ビットで指定された信号変化 (インプットキャプチャ信号) が発生したとき、ICFC はセットされますが、ICRC へのデータ転送は行われません。したがって、バッファ動作では、ICFC は ICICE ビットを1にセットすることにより、外部割込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説明	
ICFC		
0	〔クリア条件〕 ICFC=1の状態、ICFCをリードした後、ICFCに0をライトしたとき	(初期値)
1	〔セット条件〕 インプットキャプチャ信号が発生したとき	

ビット4：インプットキャプチャフラグD (ICFD)

インプットキャプチャ信号によって、FRCの値がICRDに転送されたことを示すステータスフラグです。BUFEBビットが1にセットされているときは、FTIDにIEDGDビットで指定された信号変化（インプットキャプチャ信号）が発生したとき、ICFDはセットされますが、ICRDへのデータ転送は行われません。したがって、パルファ動作では、ICFDはICIDEビットを1にセットすることにより、外部割込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット4	説明	
ICFD		
0	〔クリア条件〕 ICFD = 1の状態、ICFDをリードした後、ICFDに0をライトしたとき	(初期値)
1	〔セット条件〕 インプットキャプチャ信号が発生したとき	

ビット3：アウトプットコンペアフラグA (OCFA)

FRCとOCRAの値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説明	
OCFA		
0	〔クリア条件〕 OCFA = 1の状態、OCFAをリードした後、OCFAに0をライトしたとき	(初期値)
1	〔セット条件〕 FRC = OCRAになったとき	

ビット2：アウトプットコンペアフラグB (OCFB)

FRCとOCRBの値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説明	
OCFB		
0	〔クリア条件〕 OCFB = 1の状態、OCFBをリードした後、OCFBに0をライトしたとき	(初期値)
1	〔セット条件〕 FRC = OCRBになったとき	

ビット1：タイマオーバフロー (OVF)

FRCがオーバフロー (H'FFFF H'0000) したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

9. 16ビットフリーランニングタイマ0

ビット1	説明
OVF	
0	〔クリア条件〕 OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき (初期値)
1	〔セット条件〕 FRCの値が、H'FFFF H'0000になったとき

ビット0: カウンタクリア A (CCLRA)

コンペアマッチ A (FRC と OCRA の一致信号) により、FRC をクリアするか、しないかを選択します。

ビット0	説明
CCLRA	
0	FRCのクリアを禁止 (初期値)
1	コンペアマッチ A により FRC をクリア

9.2.6 タイマコントロールレジスタ (TCR)

ビット:	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は、8 ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

TCR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

ビット7: インプットエッジセレクト A (IEDGA)

インプットキャプチャ入力 A (FTIA) の立上がりエッジまたは立下がりエッジを選択します。

ビット7	説明
IEDGA	
0	インプットキャプチャ入力 A の立下がりエッジ () でキャプチャ (初期値)
1	インプットキャプチャ入力 A の立上がりエッジ () でキャプチャ

ビット6: インプットエッジセレクト B (IEDGB)

インプットキャプチャ入力 B (FTIB) の立上がりエッジまたは立下がりエッジを選択します。

ビット6	説明
IEDGB	
0	インプットキャプチャ入力 B の立下がりエッジ () でキャプチャ (初期値)
1	インプットキャプチャ入力 B の立上がりエッジ () でキャプチャ

ビット5：インプットエッジセレクトC (IEDGC)

インプットキャプチャ入力C (FTIC) の立上がりエッジまたは立下がりエッジを選択します。

ビット5	説明	
IEDGC		
0	インプットキャプチャ入力Cの立下がりエッジ () でキャプチャ	(初期値)
1	インプットキャプチャ入力Cの立上がりエッジ () でキャプチャ	

ビット4：インプットエッジセレクトD (IEDGD)

インプットキャプチャ入力D (FTID) の立上がりエッジまたは立下がりエッジを選択します。

ビット4	説明	
IEDGD		
0	インプットキャプチャ入力Dの立下がりエッジ () でキャプチャ	(初期値)
1	インプットキャプチャ入力Dの立上がりエッジ () でキャプチャ	

ビット3：バッファイネーブルA (BUFEA)

ICRC を ICRA のバッファレジスタとして使用するかどうかを選択します。

ビット3	説明	
BUFEA		
0	ICRC を ICRA のバッファレジスタとして使用しない	(初期値)
1	ICRC を ICRA のバッファレジスタとして使用する	

ビット2：バッファイネーブルB (BUFEB)

ICRD を ICRB のバッファレジスタとして使用するかどうかを選択します。

ビット2	説明	
BUFEB		
0	ICRD を ICRB のバッファレジスタとして使用しない	(初期値)
1	ICRD を ICRB のバッファレジスタとして使用する	

ビット1、0：クロックセレクト (CKS1、0)

FRC に入力するクロックを内部クロック3種類または外部クロックから選択します。
外部クロックは、外部クロック入力端子 (FTCI) の立上がりエッジでカウントします。

ビット1	ビット0	説明	
CKS1	CKS0		
0	0	内部クロック： $\mu/2$ でカウント	(初期値)
	1	内部クロック： $\mu/8$ でカウント	
1	0	内部クロック： $\mu/32$ でカウント	
	1	外部クロック：立上がりエッジ () でカウント	

9.2.7 タイマアウトプットコンペアコントロールレジスタ (TOCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

TOCR は、8ビットのリード/ライト可能なレジスタです。アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、およびアウトプットコンペアレジスタ A、B のアクセスの切換え制御を行います。

TOCR は、リセットまたはスタンバイモード時に、HE0 にイニシャライズされます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット4: アウトプットコンペアレジスタセレクト (OCRS)

OCRA と OCRB のアドレスは同一です。OCRS ビットは、このアドレスをリード/ライトするときにどちらのレジスタを選択するかを制御します。OCRA と OCRB の動作には影響を与えません。

ビット4	説明	
OCRS		
0	OCRA レジスタを選択	(初期値)
1	OCRB レジスタを選択	

ビット3: アウトプットイネーブル A (OEA)

アウトプットコンペア A 出力端子 (FTOA) を制御します。

ビット3	説明	
OEA		
0	アウトプットコンペア A 出力を禁止	(初期値)
1	アウトプットコンペア A 出力を許可	

ビット2: アウトプットイネーブル B (OEB)

アウトプットコンペア B 出力端子 (FTOB) を制御します。

ビット2	説明	
OEB		
0	アウトプットコンペア B 出力を禁止	(初期値)
1	アウトプットコンペア B 出力を許可	

ビット1: アウトプットレベル A (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプットコンペア A 出力端子 (FTOA) に出力する出力レベルを選択します。

ビット1	説明	
OLVLA		
0	コンペアマッチ A により 0 出力	(初期値)
1	コンペアマッチ A により 1 出力	

ビット0: アウトプットレベル B (OLVLB)

コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプットコンペア B 出力端子 (FTOB) に出力する出力レベルを選択します。

ビット0	説明	
OLVLB		
0	コンペアマッチ B により 0 出力	(初期値)
1	コンペアマッチ B により 1 出力	

9.3 CPU とのインタフェース

FRC、OCRA、B、ICRA～D は、16ビットのレジスタです。一方、CPU と内蔵周辺モジュールの間の、データバスは8ビット幅です。したがって、CPU がこれら3種類のレジスタをアクセスするには、8ビットのテンポラリレジスタ (TEMP) を介して行います。

各レジスタのリード/ライトは次のような動作で行われます。

- レジスタへのライト時の動作
上位バイトのライトにより、上位バイトのデータがTEMPにストアされます。次に下位バイトのライトで、TEMPにある上位バイトの値とあわせて16ビットデータとしてレジスタにライトされます。
- レジスタからのリード時の動作
上位バイトのリードで、上位バイトの値はCPUに転送され、下位バイトの値はTEMPに転送されます。次の下位バイトのリードで、TEMPにある下位バイトの値がCPUに転送されます。

これら3種類のレジスタをアクセスするときは、常に16ビット単位 (バイトアクセスを2回行うことも含みます) で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。

図9.3にFRCをアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。ただし、OCRA、OCRBのリード時には、上位バイト、下位バイトともTEMPを介さずに直接CPUにデータを転送します。

例1 OCRAへのライト

```
MOV.W R0, @OCRA  FRT の OCRA へ R0 の内容をライト
```

例2 ICRAのリード

```
MOV.W @ICRA, R0  FRT の ICRA を R0 へ転送
```

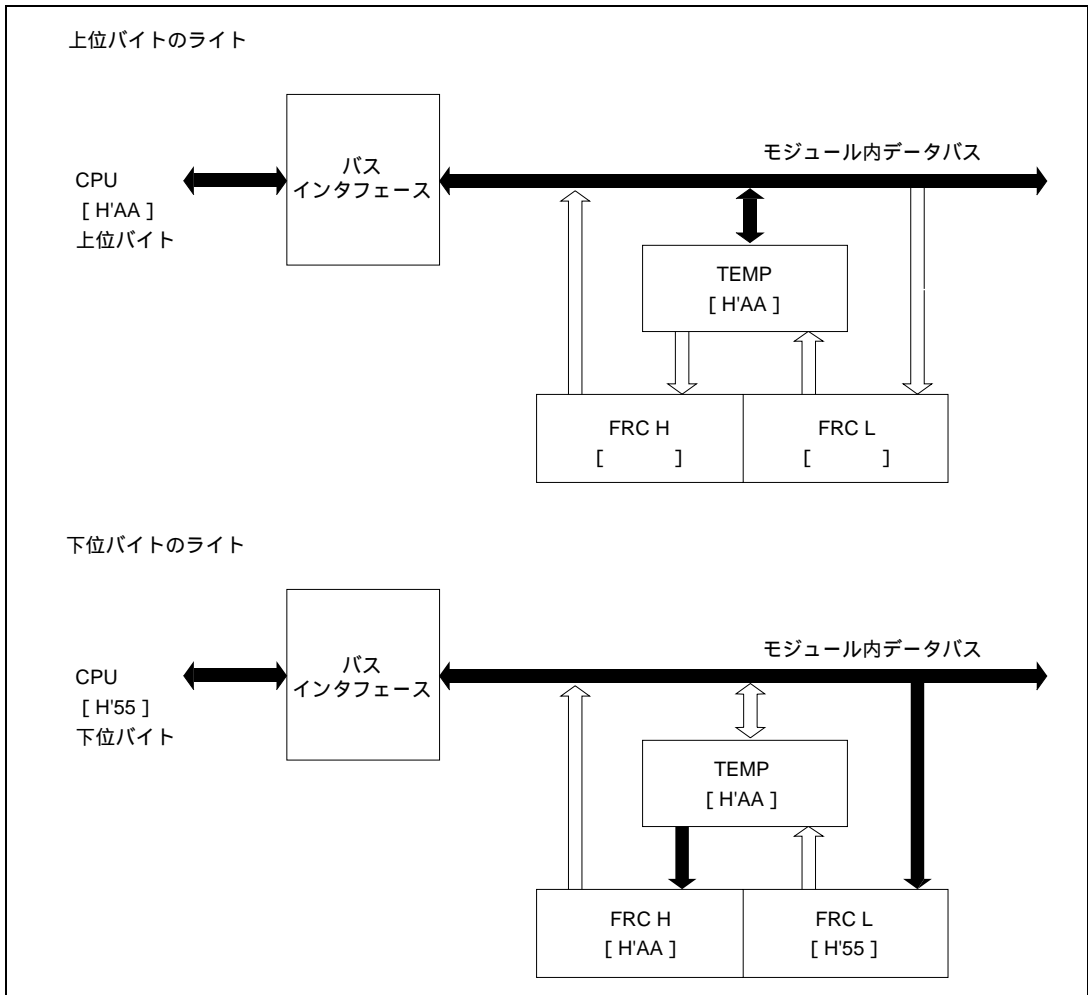



図 9.3 (a) FRC のアクセス動作 (CPU FRC [H'AA55] ライト時)

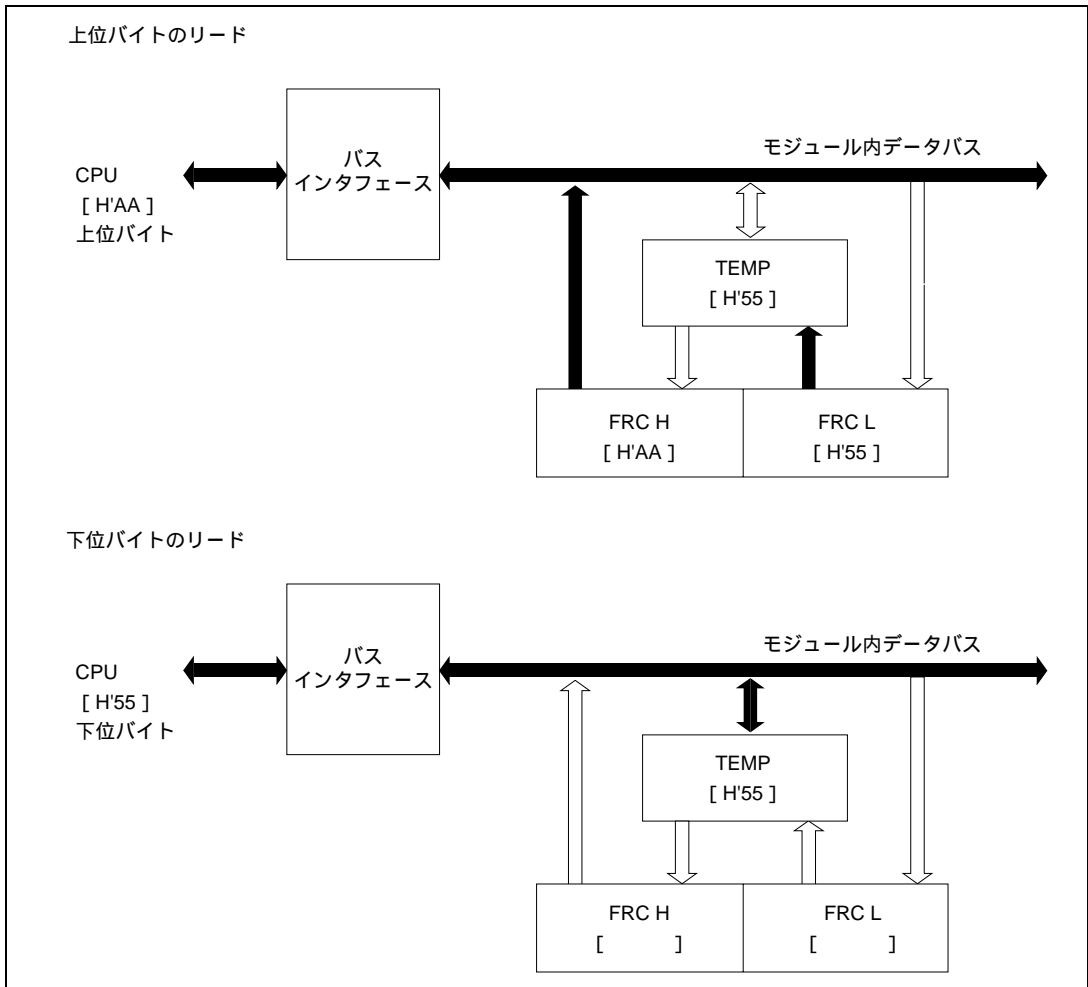


図 9.3 (b) FRC のアクセス動作 (FRC CPU [H'AA55] リード時)

9.4 動作説明

9.4.1 FRCのカウンタタイミング

FRCは、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされま

(1) 内部クロック動作の場合

TCRのCKS1、CKS0ビットの設定により、システムクロック（ ）を分周して作られる3種類の内部クロック（ $f/2$ 、 $f/8$ 、 $f/32$ ）が選択されます。このときのタイミングを図9.4に示します。

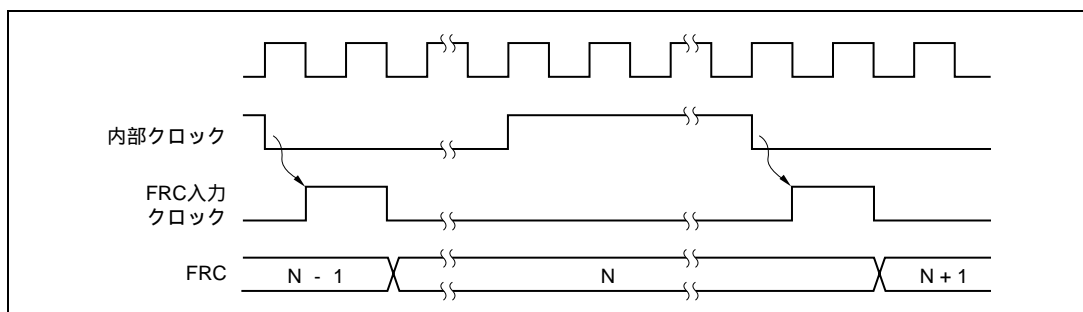


図 9.4 内部クロック動作時のカウンタタイミング

(2) 外部クロック動作の場合

TCRのCKS1、CKS0ビットの設定により、外部クロック入力を選択されます。外部クロックは立上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5システムクロック（ ）以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図9.5に示します。

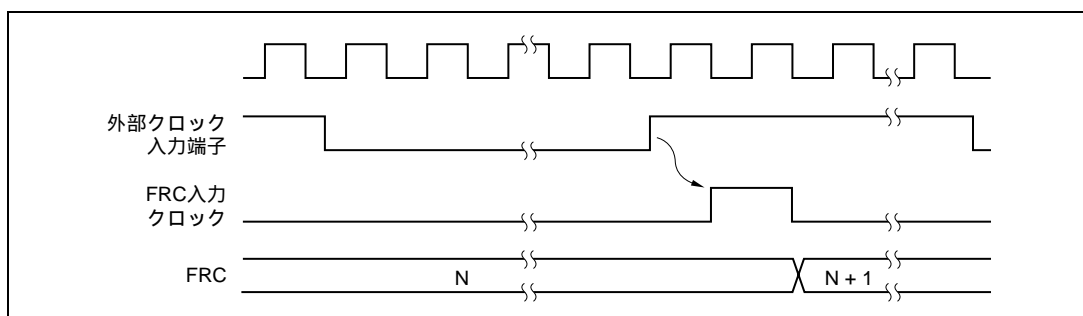


図 9.5 外部クロック動作時のカウンタタイミング

9.4.2 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCRのOLVLビットで設定される出力レベルがアウトプットコンペア出力端子（FT0A、FT0B）に出力されます。図9.6にアウトプットコンペアAの場合の出力タイミングを示します。

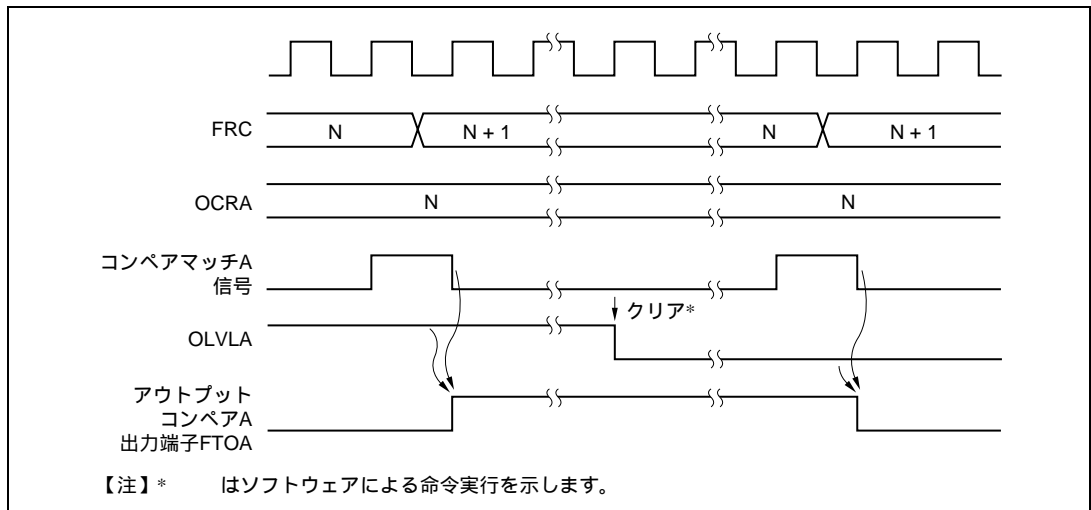


図 9.6 アウトプットコンペア A 出力タイミング

9.4.3 FRC のクリアタイミング

FRC は、コンペアマッチ A でクリアすることができます。このタイミングを図 9.7 に示します。

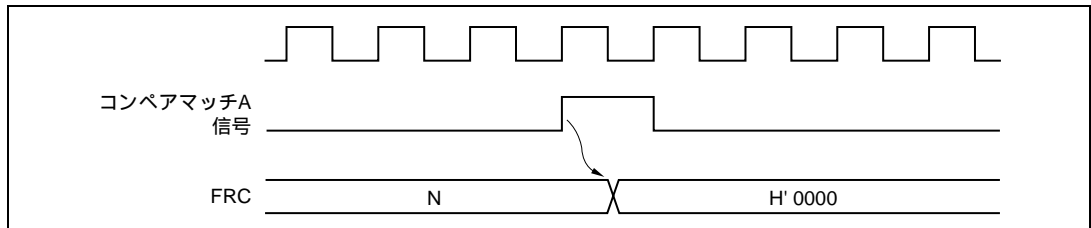


図 9.7 コンペアマッチ A によるクリアタイミング

9.4.4 インพุットキャプチャ入力タイミング

(1) インพุットキャプチャ入力タイミング

インพุットキャプチャ入力、TCR の IEDGA ~ IEDGD ビットで立上がりエッジ / 立下がりエッジを選択します。立上がりエッジを選択した (IEDGA ~ IEDGD = 1) 場合のタイミングを図 9.8 に示します。

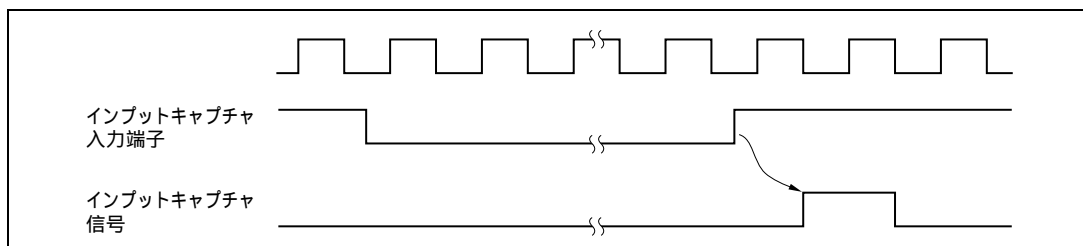


図 9.8 インพุットキャプチャ信号タイミング (通常時)

また、ICRA ~ ICRD のリード (上位バイトのリード) 時に、対応するインพุットキャプチャ入力を入力するとインพุットキャプチャ信号は 1 システムクロック () 遅延されます。このタイミングを図 9.9 に示します。

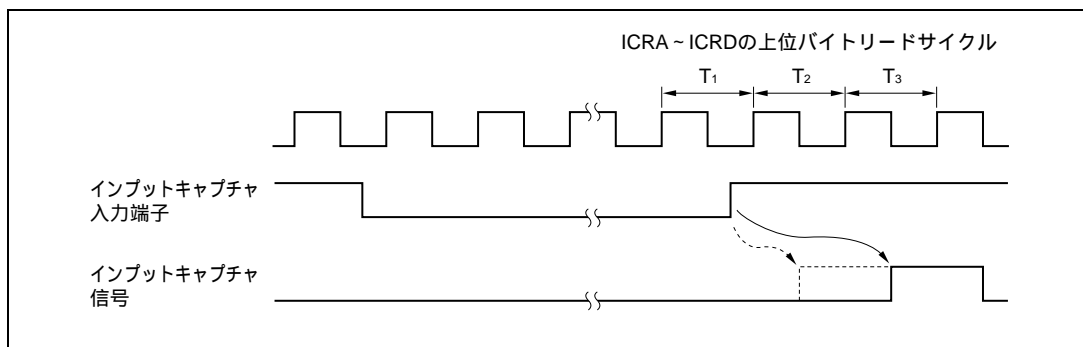


図 9.9 インพุットキャプチャ信号タイミング
(ICRA ~ ICRD のリード時に、インพุットキャプチャ入力を入力した場合)

(2) バッファ動作時のインพุットキャプチャ入力タイミング

ICRC または ICRD を、ICRA または ICRB のバッファとして動作させることができます。

ICRC を ICRA のバッファレジスタとして使用し (BUFEA = 1)、立上がり / 立下がり両エッジ指定 (IEDGA = 1、IEDGC = 0 または IEDGA = 0、IEDGC = 1) とした場合のインพุットキャプチャ入力タイミングを図 9.10 に示します。

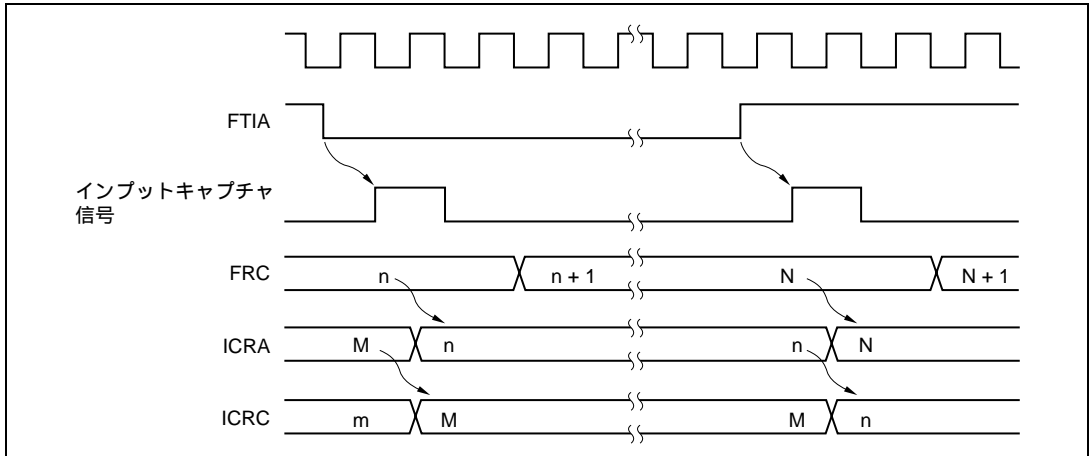


図 9.10 バッファモード時の入力キャプチャタイミング（通常時）

ICRC または ICRD をバッファレジスタとして使用した場合でも、入力キャプチャフラグは、各入力キャプチャ入力の指定されたエッジ変化に対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているときでも、入力キャプチャ入力に IEDGC ビットで指定したエッジ変化があると ICFC がセットされ、ICIEC ビットがセットされていれば割り込み要求が発生します。ただし、この場合は、FRC の値は ICRC には転送されません。

また、バッファ動作の場合も、入力キャプチャ信号が発生するタイミングで、データ転送が行われるレジスタ（ICRA と ICRC または ICRB と ICRD）の上位バイトのリードが行われると、入力キャプチャ信号は、1 システムクロック（ ）遅延されます。BUFEA = 1 のときのタイミングを図 9.11 に示します。

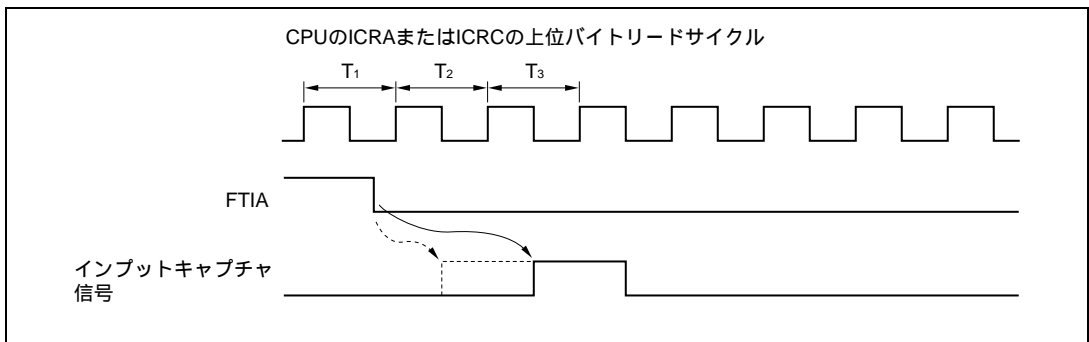


図 9.11 バッファレジスタ動作時の入力キャプチャタイミング
（ICRA または ICRC のリード時に、入力キャプチャ入力を入力した場合）

9.4.5 インพุットキャプチャフラグ (ICFA ~ ICFD) のセットタイミング

インพุットキャプチャ入力により ICFA ~ ICFD は 1 にセットされ、同時に FRC の値が対応する ICRA ~ ICRD に転送されます。このタイミングを図 9.12 に示します。

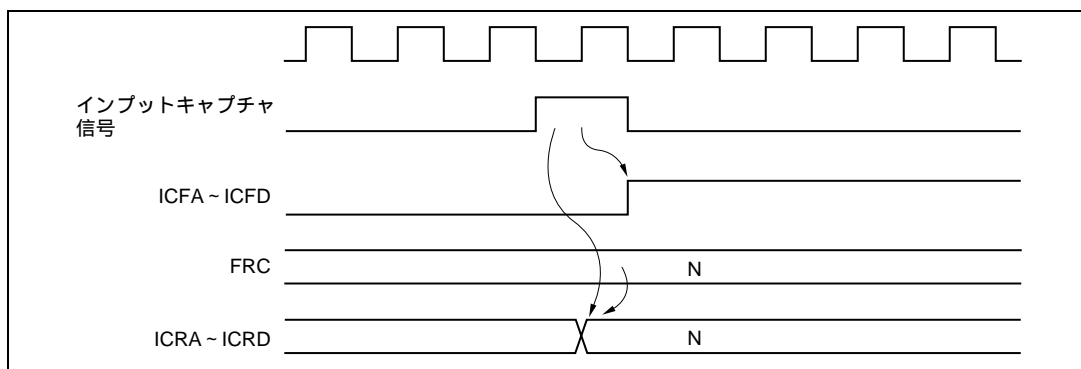


図 9.12 ICFA ~ ICFD のセットタイミング

9.4.6 アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング

OCFA、B は OCRA、B と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。

FRC と OCRA、OCRB が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB のセットタイミングを図 9.13 に示します。

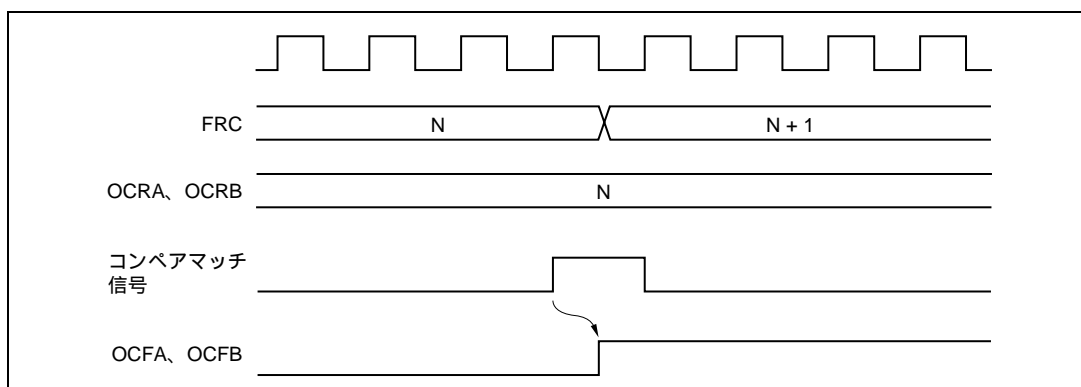


図 9.13 OCF セットタイミング

9.4.7 タイマオーバーフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバーフロー (H'FFFF → H'0000) したとき 1 にセットされます。このときのタイミングを図 9.14 に示します。

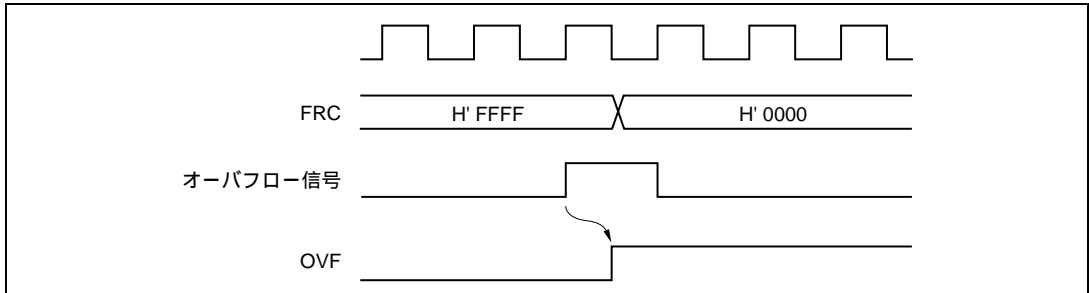


図 9.14 OVF のセットタイミング

9.5 割込み要因

FRT0の割込み要因は、ICIA～ICID、OCIA、OCIBおよびFOVIの3種類で合計7つあります。表9.4に各割込み要因と優先順位を示します。各割込み要因は、TIERの各割込みイネーブルビットで許可または禁止され、それぞれ独立に割込コントローラに送られます。

表 9.4 FRT0 割込み要因

割込み要因	内容	割込み優先順位
ICIA	ICFAによる割込み	高 ↑ 低
ICIB	ICFBによる割込み	
ICIC	ICFCによる割込み	
ICID	ICFDによる割込み	
OCIA	OCFAによる割込み	
OCIB	OCFBによる割込み	
FOVI	OVFによる割込	

9.6 FRT0の使用例

デューティ 50%のパルスを任意の位相差で出力させた例を図 9.15 に示します。これは次に示すように設定します。

- (1) TCSRのCCLRAビットを1にセットします。
- (2) 各コンペアマッチが発生するたびにOLVLA、Bビットをソフトウェアにより反転させます。

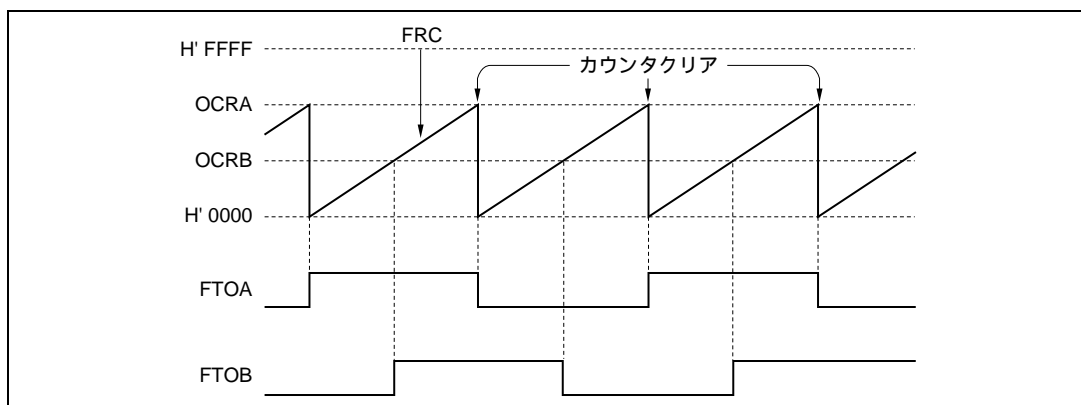


図 9.15 パルス出力例

9.7 使用上の注意

FRT0の動作中、次のような競合や動作が起こりますので、注意してください。

(1) FRCのライトとクリアの競合

FRCの下位バイトライトサイクル中の T_3 状態で、カウンタクリア信号が発生すると、FRCへの書込みは行われずFRCのクリアが優先されます。

このタイミングを図9.16に示します。

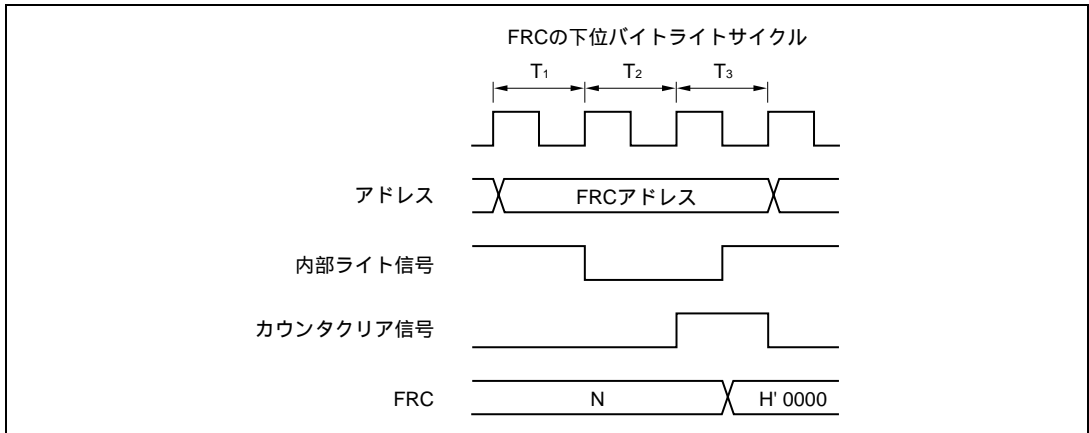


図 9.16 FRCのライトとクリアの競合

(2) FRCのライトとカウントアップの競合

FRCの下位バイトライトサイクル中の T_3 状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図9.17に示します。

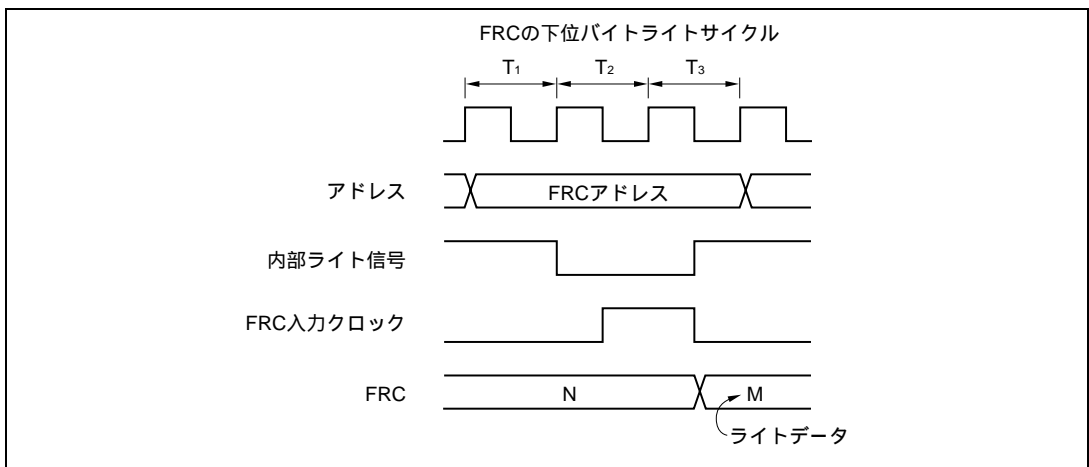


図 9.17 FRCのライトとカウントアップの競合

(3) OCRのライトとコンペアマッチの競合

OCRA、OCRBの下位バイトライトサイクル中の T_3 状態でコンペアマッチが発生した場合、OCRのライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図9.18に示します。

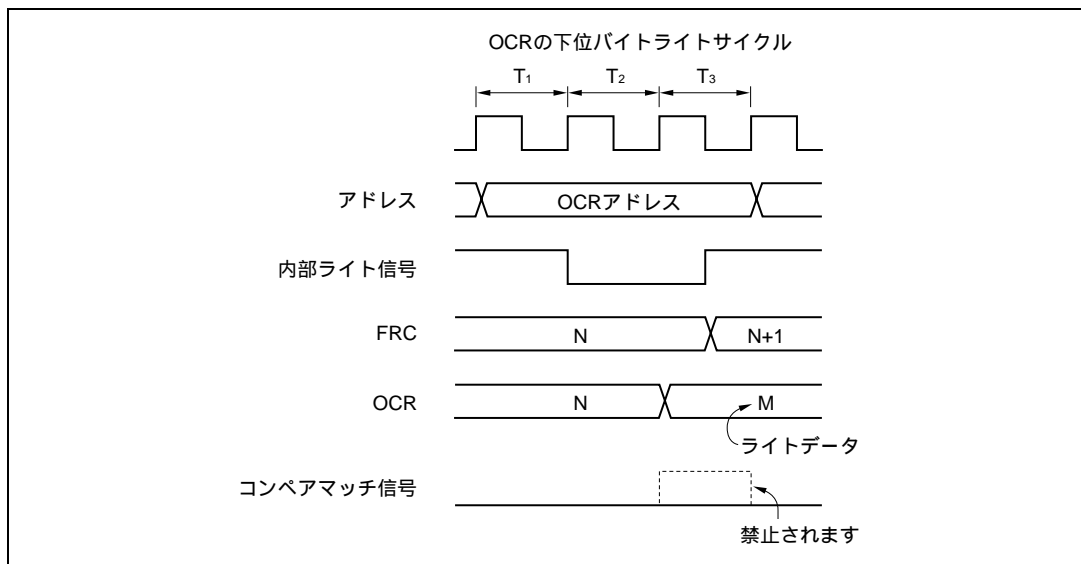


図 9.18 OCR とコンペアマッチの競合

(4) 内部クロックの切換えとカウンタの動作

内部クロックを切り換えるタイミングによっては、FRCがカウントアップされてしまう場合があります。内部クロックの切換えタイミング(CKS1、CKS0ビットの書換え)とFRC動作の関係を表9.5に示します。

内部クロックを使用する場合、システムクロック()を分周した内部クロックの立下がりエッジを検出してFRCクロックを生成しています。そのため表9.5のNo.3のように切換え前のクロック High 切換え後のクロック Low レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてFRCクロックが発生し、FRCがカウントアップされてしまいます。

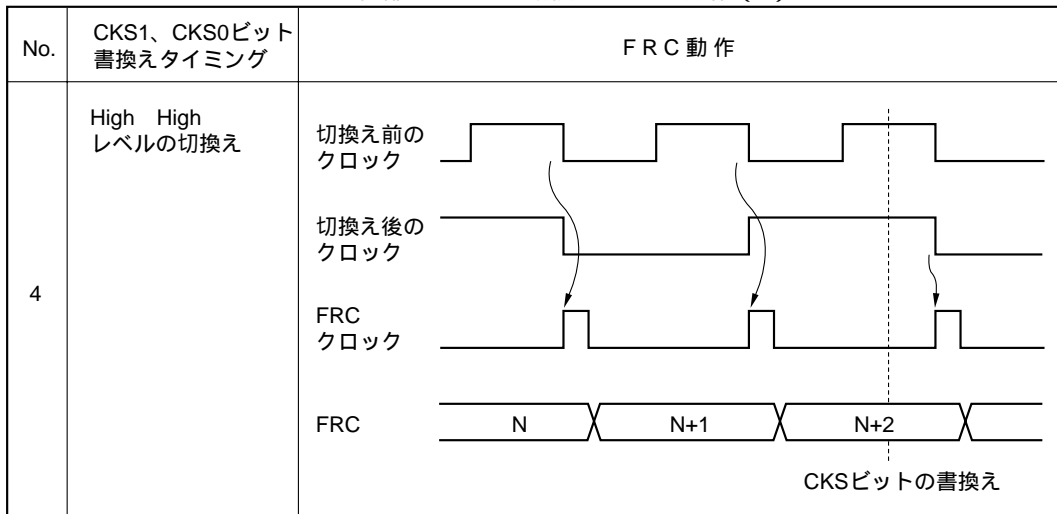
また、内部クロックと外部クロックを切り換えるときも、FRCがカウントアップされることがあります。

表 9.5 内部クロックの切換えとFRC動作(1)

No.	CKS1、CKS0ビット書換えタイミング	FRC動作
1	Low Low レベルの切換え	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1</p> <p>CKSビットの書換え</p>
2	Low High レベルの切換え	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKSビットの書換え</p>
3	High Low レベルの切換え	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKSビットの書換え</p>

【注】 * 切換えのタイミングを立下りエッジとみなすために発生し、FRCはカウントアップされます。

表 9.5 内部クロックの切換えと FRC 動作 (2)



10. 16 ビットフリーランニングタイマ 1

10.1 概要

本 LSI は、16 ビットフリーランニングタイマ (FRT: Free Running Timer) として、FRT0、FRT1 の 2 チャンネルを内蔵しています。

FRT0、FRT1 はそれぞれ、16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

本章では、FRT1 について説明します。FRT0 については「第 9 章 16 ビットフリーランニングタイマ 0」で説明します。

なお、FRT0、FRT1 の機能の違いは次のとおりです。FRT0 はインプットキャプチャ 4 本独立で、割り込み要因もインプットキャプチャ × 4 要因です。FRT1 はインプットキャプチャ 1 本で、割り込み要因もインプットキャプチャ × 1 要因です。また、FRT0 のみバッファ動作を指定できます。

10.1.1 特長

FRT1 の特長を以下に示します。

- 4 種類のカウンタ入力クロックを選択可能
3 種類の内部クロック ($\sqrt{2}$, $\sqrt{8}$, $\sqrt{32}$) と外部クロックのうちから選択できます (外部イベントのカウントが可能)。
- 2 本の独立したコンパレータ
2 種類の波形出力が可能です。
- インプットキャプチャ機能
立上がりエッジ / 立ち下がりエッジの選択が可能です。
- カウンタのクリア指定が可能
コンペアマッチ A により、カウンタの値をクリアすることができます。
- 4 種類の割り込み要因
コンペアマッチ × 2 要因、インプットキャプチャ × 1 要因、オーバフロー × 1 要因があり、それぞれ独立に要求することができます。

10.1.2 ブロック図

FRT1 のブロック図を図 10.1 に示します。

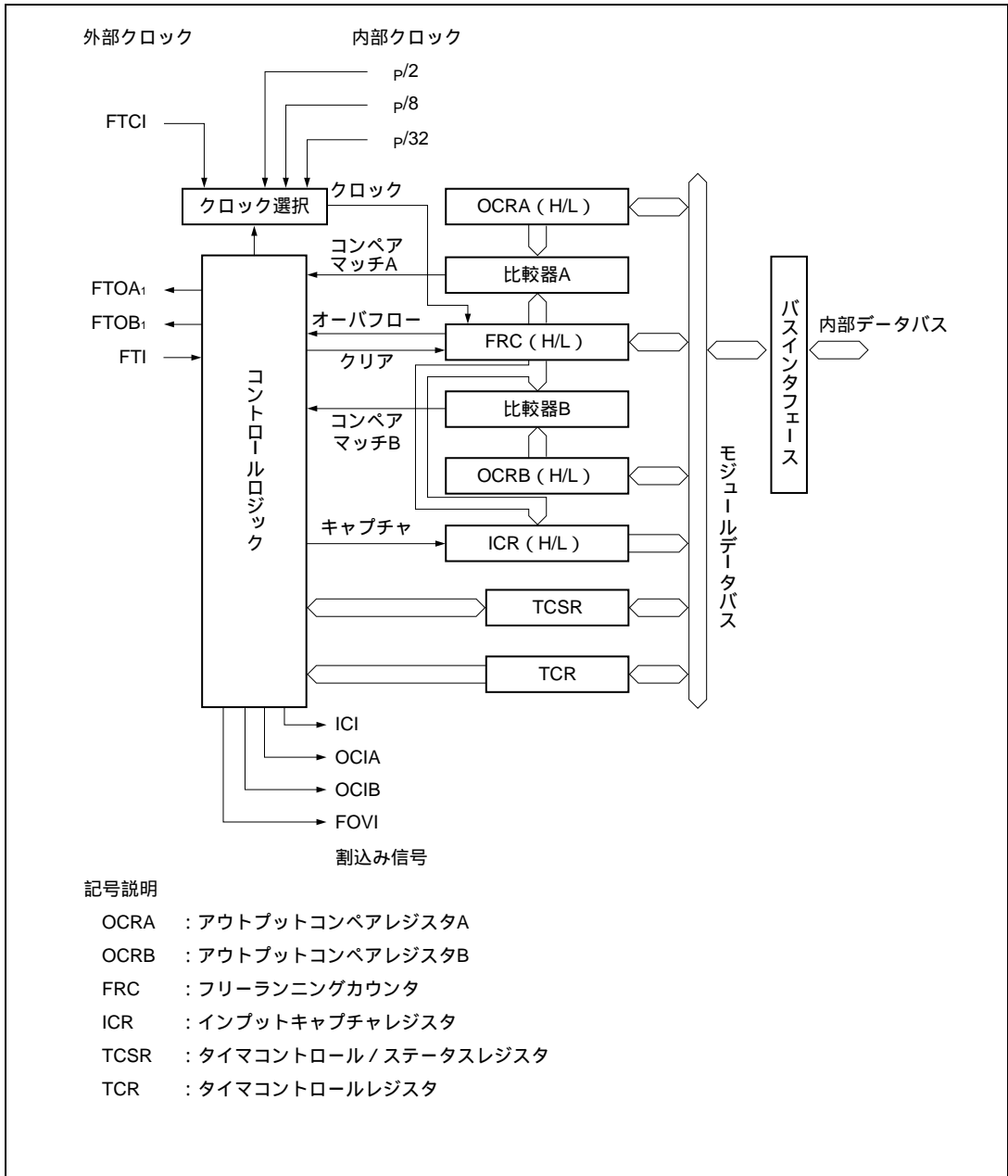


図 10.1 FRT のブロック図

10.1.3 端子構成

FRT1の入出力端子を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
カウンタクロック入力端子	FTCI	入力	FRCのカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA ₁ *	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB ₁ *	出力	アウトプットコンペア B の出力
インプットキャプチャ入力端子	FTI	入力	インプットキャプチャの入力

【注】 * 本文中ではチャンネルを省略し、それぞれ FTOA、FTOB と略称します。

10.1.4 レジスタ構成

FRT1のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロールレジスタ	TCR	R/W	H'00	H'FFA0
タイマコントロール/ステータスレジスタ	TCSR	R/(W)*	H'00	H'FFA1
フリーランニングカウンタ H	FRC H	R/W	H'00	H'FFA2
フリーランニングカウンタ L	FRC L	R/W	H'00	H'FFA3
アウトプットコンペアレジスタ A H	OCRA H	R/W	H'FF	H'FFA4
アウトプットコンペアレジスタ A L	OCRA L	R/W	H'FF	H'FFA5
アウトプットコンペアレジスタ B H	OCRB H	R/W	H'FF	H'FFA6
アウトプットコンペアレジスタ B L	OCRB L	R/W	H'FF	H'FFA7
インプットキャプチャレジスタ H	ICR H	R	H'00	H'FFA8
インプットキャプチャレジスタ L	ICR L	R	H'00	H'FFA9

【注】 * ビット7~4はリード専用で、フラグをクリアするための0ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 フリーランニングカウンタ (FRC)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	[16-bit register box]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FRCは、16ビットのリード/ライト可能なアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、タイマコントロールレジスタ(TCR)のクロックセレクト1、0ビット(CKS1、CKS0)で選択します。

また、FRCはコンペアマッチAによりクリアすることができます。

FRCがオーバーフロー(H'FFFF H'0000)すると、タイマコントロール/ステータスレジスタ(TCSR)のオーバーフローフラグ(OVF)が1にセットされます。

FRCは、CPUからリード/ライト可能ですが、16ビットになっているため、CPUとのデータ転送はテンポラリレジスタ(TEMP)を介して行われます。詳細は、「10.3 CPUとのインタフェース」を参照してください。

FRCは、リセットまたはスタンバイモード時にH'0000に、イニシャライズされます。

10.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	[16-bit register box]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCRは、16ビットのリード/ライト可能な2本のレジスタ(OCRA、OCRB)から構成されます。OCRの内容は、FRCの値と常に比較されています。両者の値が一致すると、TCSRのアウトプットコンペアフラグ(OCFA、OCFB)が1にセットされます。

さらに、OCRの値とFRCの値が一致した(コンペアマッチ)とき、TCRのアウトプットイネーブルビット(OEA、OEB)が1にセットされていると、TCSRのアウトプットレベルビット(OLVLA、OLVLB)で設定した出力レベルの値が、アウトプットコンペア出力端子(FTOA、FTOB)に出力されます。リセット後、最初のコンペアマッチが起こるまでFTOA、FTOB出力は0出力です。

また、OCRは16ビットになっているため、CPUとのデータ転送はTEMPを介して行われます。詳細は、「10.3 CPUとのインタフェース」を参照してください。

OCRは、リセットまたはスタンバイモード時に、H'FFFFにイニシャライズされます。

10.2.3 インプットキャプチャレジスタ (ICR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	[16-bit register box]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICRは、16ビットのリード専用のレジスタです。

インプットキャプチャ入力端子(FTI)の立上がりまたは立下がりエッジが検出されると、そのと

きのFRCの値がICRに転送*されます。このとき同時にTCSRのインプットキャプチャフラグ(ICF)が1にセットされます。入力信号のエッジは、TCSRのインプットエッジセレクトビット(IEDG)により選択できます。

ICRは16ビットのため、CPUとのデータ転送はTEMPを介して行われます。詳細は「10.3 CPUとのインタフェース」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも1.5システムクロック()以上にしてください。

また、ICRはリセット、またはスタンバイモード時にH'0000にイニシャライズされます。

【注】* FRCからICRへの転送はICFの値にかかわらず行われます。

10.2.4 タイマコントロールレジスタ(TCR)

ビット:	7	6	5	4	3	2	1	0
	ICIE	OCIEB	OCIEA	OVIE	OEB	OEA	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは8ビットのリード/ライト可能なレジスタで、FRCの入力クロックの選択、アウトプットコンペア出力の許可および各割込み要求の許可を制御します。

TCRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

ビット7: インプットキャプチャインタラプトイネーブル(ICIE)

TCSRのICFが1にセットされたとき、ICFによる割込み要求(ICI)の許可または禁止を選択します。

ビット7	説明
ICIE	
0	ICFによる割込み要求(ICI)を禁止 (初期値)
1	ICFによる割込み要求(ICI)を許可

ビット6: アウトプットコンペアインタラプトイネーブルB(OCIEB)

TCSRのOCFBが1にセットされたとき、OCFBによる割込み要求(OCIB)の許可または禁止を選択します。

ビット6	説明
OCIEB	
0	OCFBによる割込み要求(OCIB)を禁止 (初期値)
1	OCFBによる割込み要求(OCIB)を許可

ビット5: アウトプットコンペアインタラプトイネーブルA(OCIEA)

TCSRのOCFAが1にセットされたとき、OCFAによる割込み要求(OCIA)の許可または禁止を選択します。

10. 16 ビットフリーランニングタイム 1

ビット 5	説明	
OCIEA		
0	OCFA による割込み要求 (OCIA) を禁止	(初期値)
1	OCFA による割込み要求 (OCIA) を許可	

ビット 4 : タイマオーバフローインタラプトイネーブル (OVIE)

TCSR の OVF が 1 にセットされたとき、OVF による割込み要求 (FOVI) の許可または禁止を選択します。

ビット 4	説明	
OVIE		
0	OVF による割込み要求 (FOVI) を禁止	(初期値)
1	OVF による割込み要求 (FOVI) を許可	

ビット 3 : アウトプットイネーブル B (OEB)

FRC の値とアウトプットコンペアレジスタ B (OCRB) の値が一致したとき、TCSR の OLVLB で設定した出力レベルの値をアウトプットコンペア B 出力端子 (FTOB) に出力するか、または禁止するかを選択します。

ビット 3	説明	
OEB		
0	アウトプットコンペア B 出力を禁止	(初期値)
1	アウトプットコンペア B 出力を許可	

ビット 2 : アウトプットイネーブル A (OEA)

FRC の値とアウトプットコンペアレジスタ A (OCRA) の値が一致したとき、TCSR の OLVLA で設定した出力レベルの値をアウトプットコンペア A 出力端子 (FTOA) に出力するか、または禁止するかを選択します。

ビット 2	説明	
OEA		
0	アウトプットコンペア A 出力を禁止	(初期値)
1	アウトプットコンペア A 出力を許可	

ビット 1,0 : クロックセレクト (CKS1、CKS0)

FRC に入力するクロックを内部クロック 3 種類または外部クロックから選択します。外部クロックでは外部クロック入力端子 (FTCI) の立上がりエッジでカウントします。

ビット 1	ビット 0	説明	
CSK1	CSK0		
0	0	内部クロック : $\sqrt{2}$ でカウント	(初期値)
	1	内部クロック : $\sqrt{8}$ でカウント	
1	0	内部クロック : $\sqrt{32}$ でカウント	
	1	外部クロック : 立上がりエッジ () でカウント	

10.2.5 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	ICF	OCFB	OCFA	OVF	OLVLB	OLVLA	IEDG	CCLRA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W

【注】* ビット7~4はフラグをクリアするための0ライトのみ可能です。

TCSRは8ビットのレジスタで、カウンタクリアの選択、インプットキャプチャ入力エッジの選択、アウトプットコンペア出力レベルの選択、および各ステータスの表示をします。

TCSRは、リセットまたはスタンバイモード時にH'00にイニシャライズされます。

ビット7: インプットキャプチャフラグ (ICF)

インプットキャプチャ信号によってFRCの値がICRに転送されたことを示すステータスフラグです。

本フラグはソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
ICF	
0	[クリア条件] ICF=1の状態、ICFをリードした後、ICFに0をライトしたとき (初期値)
1	[セット条件] インプットキャプチャ信号によりFRCの値がICRに転送されたとき

ビット6: アウトプットコンペアフラグB (OCFB)

FRCとOCRBの値が一致したことを示すステータスフラグです。

本フラグはソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
OCFB	
0	[クリア条件] OCFB=1の状態、OCFBをリードした後、OCFBに0をライトしたとき (初期値)
1	[セット条件] FRC=OCRBになったとき

10. 16 ビットフリーランニングタイム 1

ビット 5 : アウトプットコンペアフラグ A (OCFA)

FRC と OCRA の値が一致したことを示すステータスフラグです。

本フラグはソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 5	説明
OCFA	
0	〔クリア条件〕 OCFA=1 の状態で、OCFA をリードした後、OCFA に 0 をライトしたとき (初期値)
1	〔セット条件〕 FRC=OCRA になったとき

ビット 4 : タイマオーバフロー (OVF)

FRC の値がオーバフロー (H'FFFF H'0000) したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットはハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 4	説明
OVF	
0	〔クリア条件〕 OVF=1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき (初期値)
1	〔セット条件〕 FRC の値が、H'FFFF H'0000 になったとき

ビット 3 : アウトプットレベル B (OLVLB)

コンペアマッチ B (FRC と OCRB の一致による信号) により、コンペアマッチ B 出力端子 (FTOB) に出力する出力レベルを選択します。

ビット 3	説明
OLVLB	
0	コンペアマッチ B により 0 出力 (初期値)
1	コンペアマッチ B により 1 出力

ビット 2 : アウトプットレベル A (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、コンペアマッチ A 出力端子 (FTOA) に出力する出力レベルを選択します。

ビット 2	説明
OLVLA	
0	コンペアマッチ A により 0 出力 (初期値)
1	コンペアマッチ A により 1 出力

ビット1：インプットエッジセレクト (IEDG)

インプットキャプチャ入力端子 (FTI) の立上がりエッジまたは立下がりエッジを選択します。

ビット1	説明
IEDG	
0	インプットキャプチャ入力の立下がりエッジ () で FRC の値を ICR に転送 (初期値)
1	インプットキャプチャ入力の立上がりエッジ () で FRC の値を ICR に転送

ビット0：カウンタクリア A (CCLRA)

コンペアマッチ A (FRC と OCRA の一致信号) により FRC をクリアするか、しないかを選択します。

ビット0	説明
CCLRA	
0	FRC のクリアを禁止 (初期値)
1	コンペアマッチ A により FRC をクリア

10.3 CPU とのインタフェース

FRC、OCRA、OCRB および ICR は、16 ビットのレジスタです。一方、CPU と内蔵周辺モジュールの間の、データバスは 8 ビット幅です。したがって、CPU がこれら 3 種類のレジスタをアクセスするには、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

各レジスタのリード/ライトは次のような動作で行われます。

- レジスタへのライト時の動作
上位バイトのライトにより、上位バイトのデータが TEMP にストアされます。次に下位バイトのライトで、TEMP にある上位バイトの値とあわせて 16 ビットデータとしてレジスタにライトされます。
- レジスタからのリード時の動作
上位バイトのリードで、上位バイトの値は CPU に転送され、下位バイトの値は TEMP に転送されます。次に下位バイトのリードで、TEMP にある下位バイトの値が CPU に転送されます。

これら 3 種類のレジスタをアクセスするときは、常に 16 ビット単位 (バイトアクセスを 2 回行うことも含みます) で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。

図 9.2 に FRC をアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。ただし、OCRA、OCRB のリード時には、上位バイト、下位バイトとも TEMP を介さずに直接 CPU にデータを転送します。

例 1 OCRA へのライト

```
MOV.W R0, @OCRA FRT の OCRA への R0 の内容をライト
```

例 2 ICR のリード

```
MOV.W @ICR, R0 FRT の ICR を R0 へ転送
```

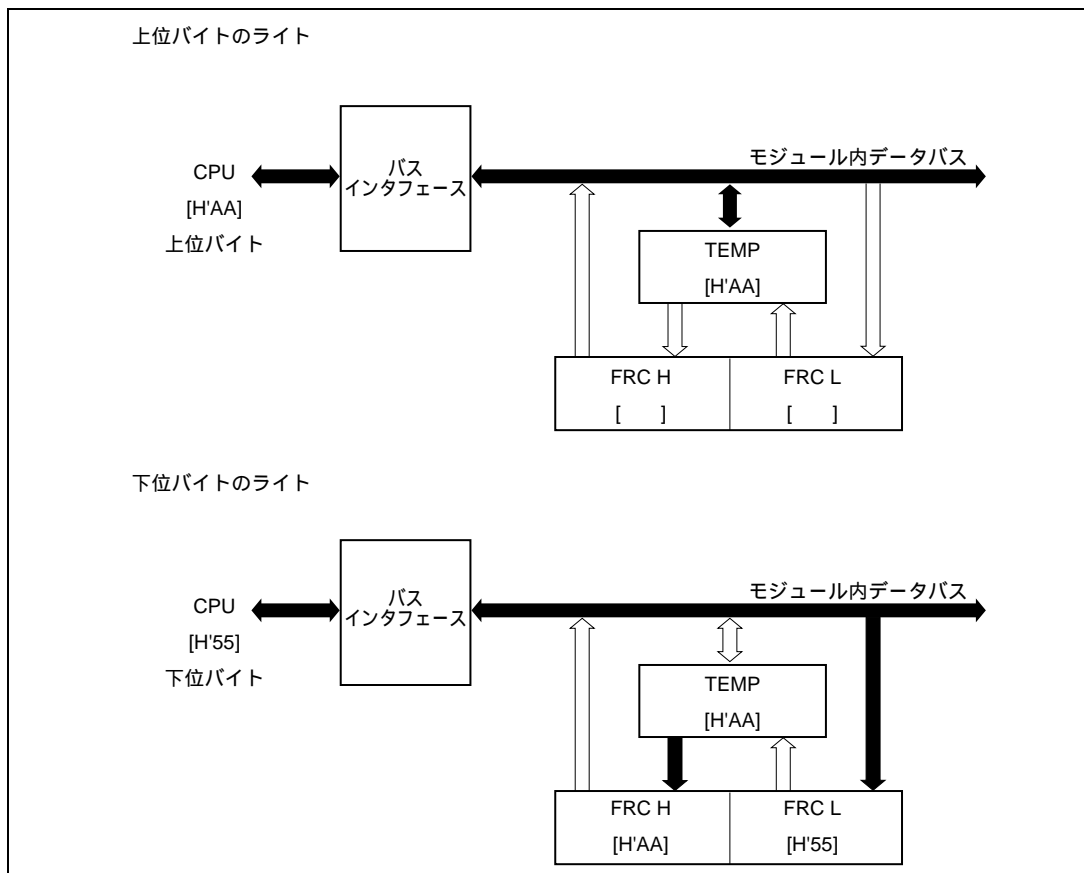


図 10.2 (a) FRC のアクセス動作 (CPU FRC [H'AA55] ライト時)

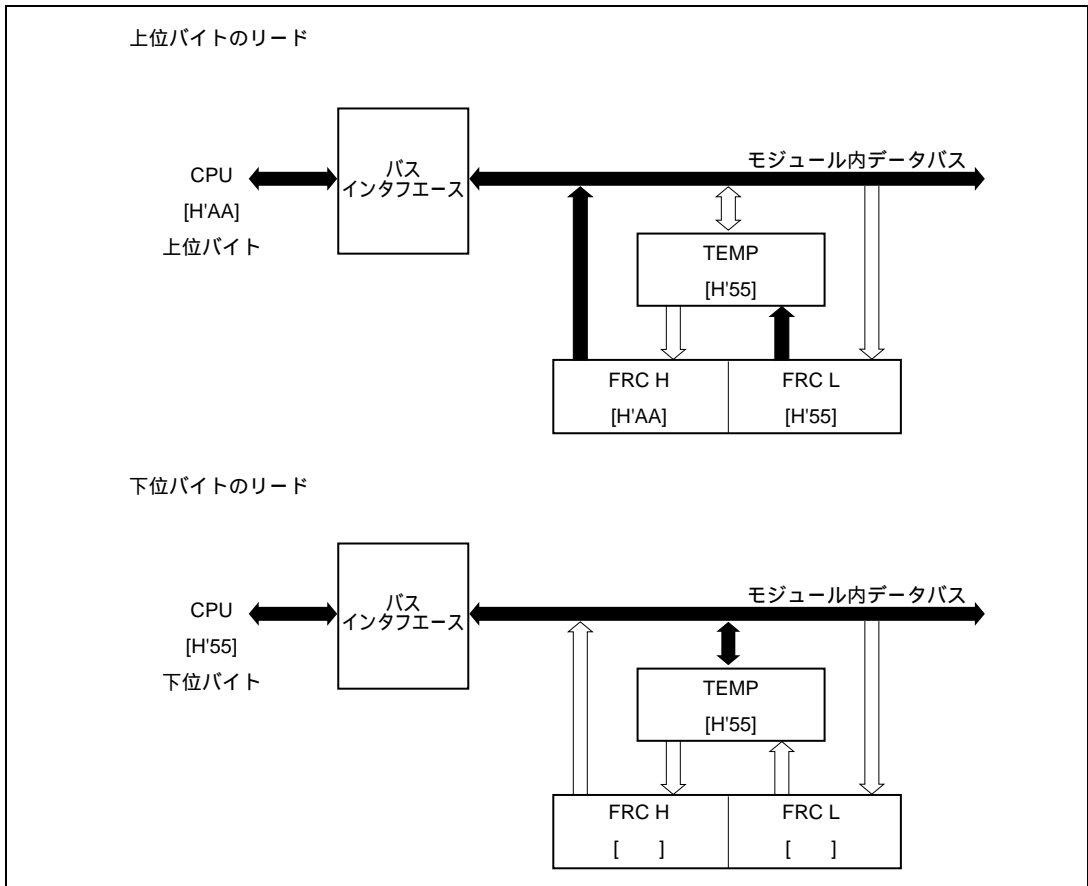


図 10.2 (b) FRC のアクセス動作 (FRC CPU [H'AA55] リード時)

10.4 動作説明

10.4.1 FRCのカウンタタイミング

FRCは、リセット解除後入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCRのCKS1、CKS0ビットの設定により、システムクロック（ ）を分周して作られる3種類の内部クロック（ $f/2$ 、 $f/8$ 、 $f/32$ ）が選択されます。このときのタイミングを図10.3に示します。

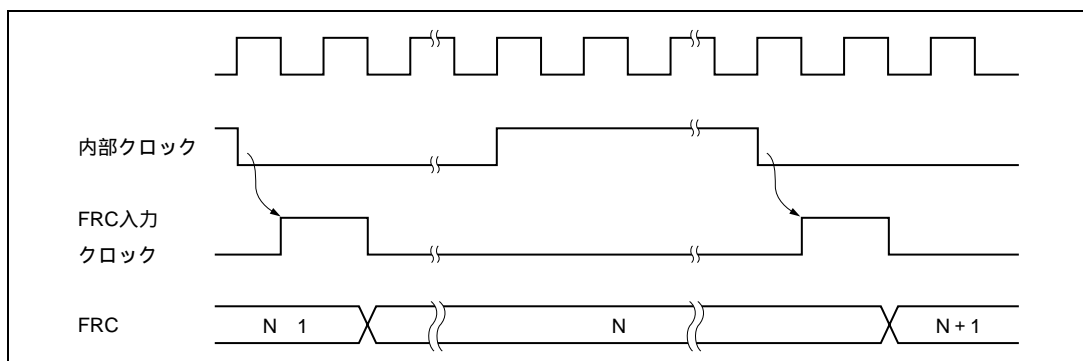


図 10.3 内部クロック動作時のカウンタタイミング

(2) 外部クロック動作の場合

TCRのCKS1、CKS0ビットの設定により、外部クロック入力を選択されます。外部クロックは立上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5システムクロック（ ）以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図10.4に示します。

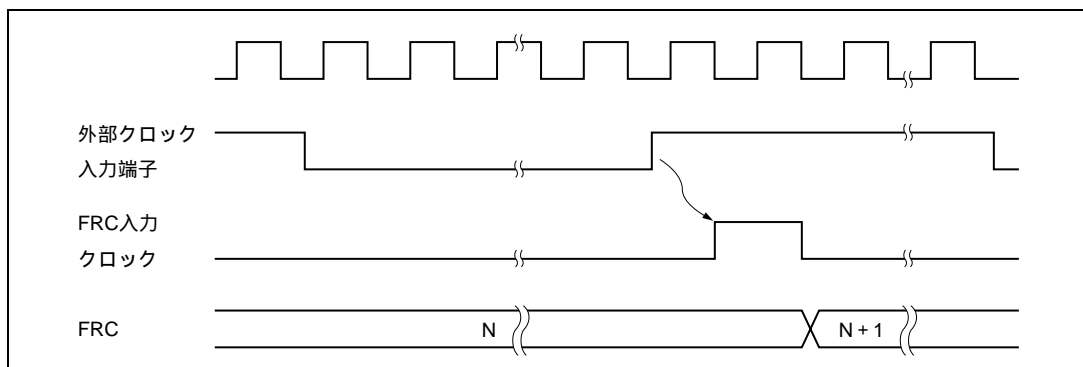


図 10.4 外部クロック動作時のカウンタタイミング

10.4.2 アウトペアコンペア出力タイミング

コンペアマッチが発生したとき、TOCRのOLVLビットで設定される出力レベルがアウトペアコンペア出力端子（FTOA、FTOB）に出力されます。図10.5にアウトペアコンペアAの場合の出力タイミングを示します。

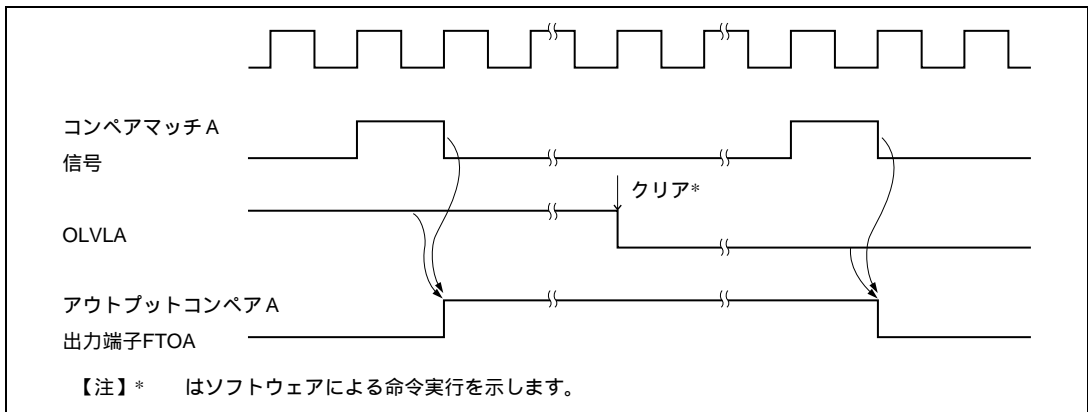


図 10.5 アウトペアコンペア A 出力タイミング

10.4.3 FRC のクリアタイミング

FRCの値はコンペアマッチAでクリアすることができます。クリアタイミングを図10.6に示します。

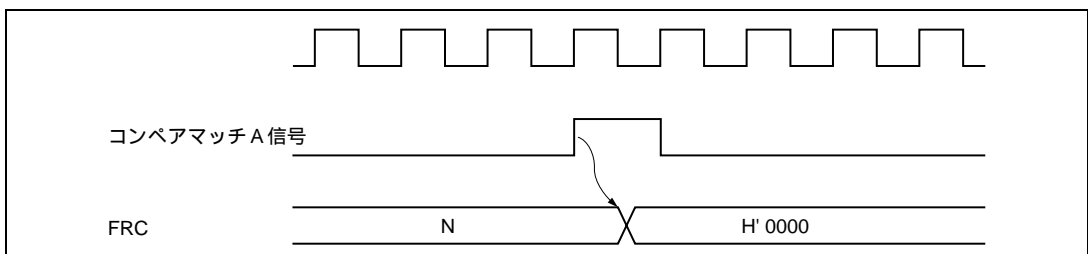


図 10.6 コンペアマッチ A によるクリアタイミング

10.4.4 インพุットキャプチャ入力タイミング

インพุットキャプチャ信号は、TCSR の IEDG ビットで立上がり / 立下がりエッジを選択します。立上がりエッジを選択した (IEDG = 1) 場合のタイミングを図 10.7 に示します。

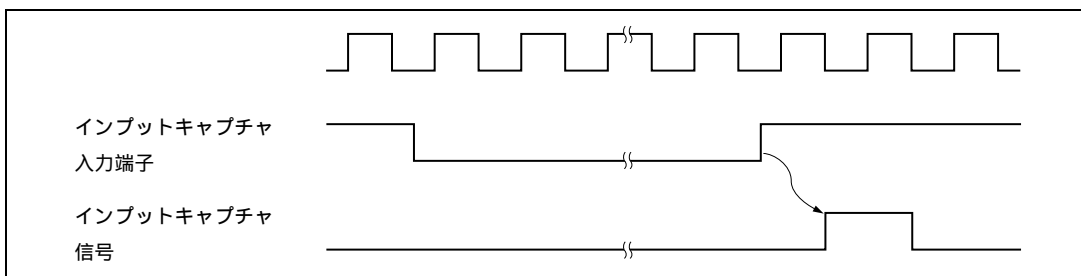


図 10.7 インพุットキャプチャ信号タイミング

また、インพุットキャプチャ信号が発生するタイミングのとき、ICR のリード (上位バイトのリード) 時にインพุットキャプチャ入力を入力するとインพุットキャプチャ信号は 1 システムクロック () 遅延されます。このタイミングを図 10.8 に示します。

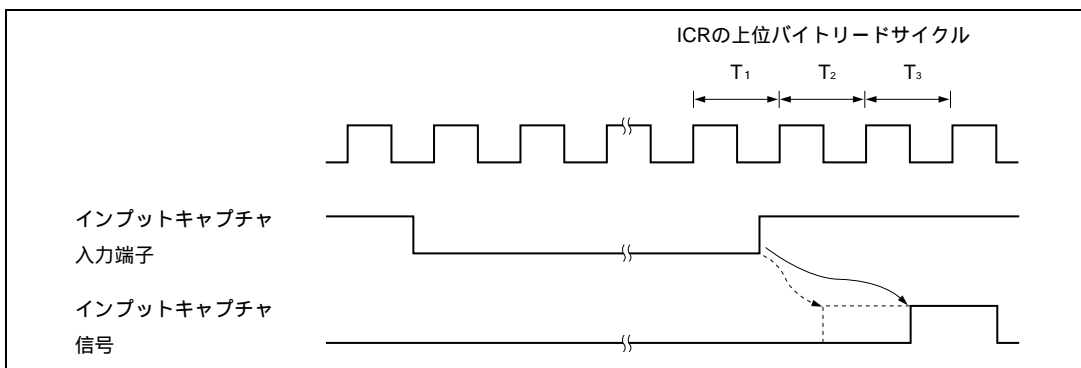


図 10.8 インพุットキャプチャ信号タイミング
(ICR のリード時に、インพุットキャプチャ入力を入力した場合)

10.4.5 インพุットキャプチャフラグ (ICF) のセットタイミング

インพุットキャプチャ入力により ICF は 1 にセットされ、同時に FRC の値が ICR に転送されます。このタイミングを図 10.9 に示します。

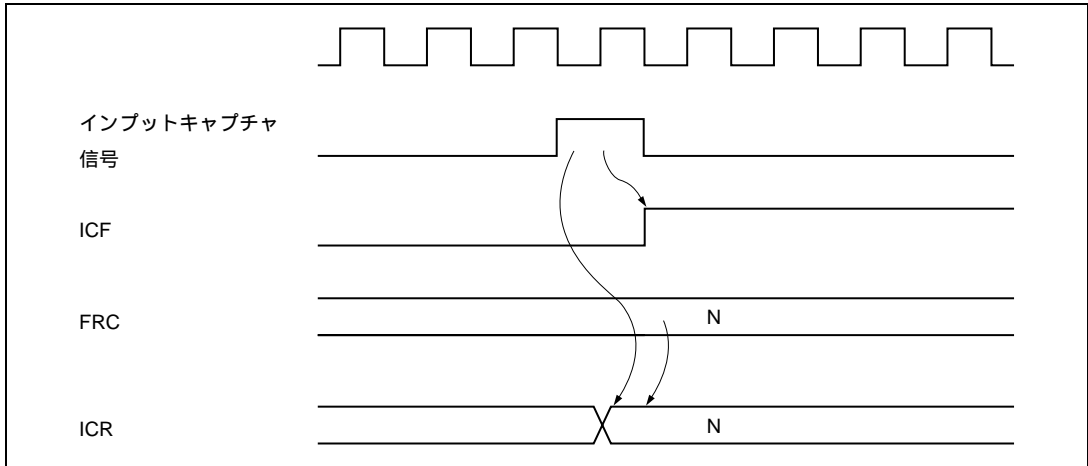


図 10.9 ICF のセットタイミング

10.4.6 タイマオーバフローフラグ

OVF は、FRC がオーバフロー (H'FFFF H'0000) したとき 1 にセットされます。このときのタイミングを図 10.10 に示します。

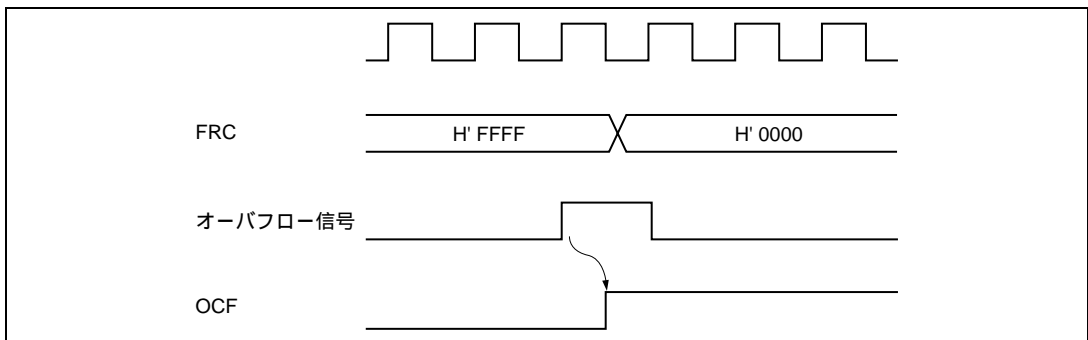


図 10.10 OVF のセットタイミング

10.5 割込み要因

FRT1の割込み要因は、ICI、OCIA、OCIBおよびFOVIの4種類があります。

表 10.3 に各割込み要因と優先順位を示します。各割込み要因は、TCRの各割込みイネーブルビットで許可または禁止され、それぞれ独立に割込みコントローラに送られます。

表 10.3 FRT1 割込み要因

割込み要因	内容	割込み優先順位
ICI	ICFによる割込み	高 ↑ 低
OCIA	OCFAによる割込み	
OCIB	OCFBによる割込み	
FOVI	OVFによる割込み	

10.6 FRT1の使用例

デューティ50%のパルスを任意の位相差で出力させた例を図 10.11 に示します。これは次に示すように設定します。

- (1) TCSRのCCLRAビットを1にセットします。
- (2) 各コンペアマッチが発生するたびにOLVLA、Bビットをソフトウェアにより反転させます。

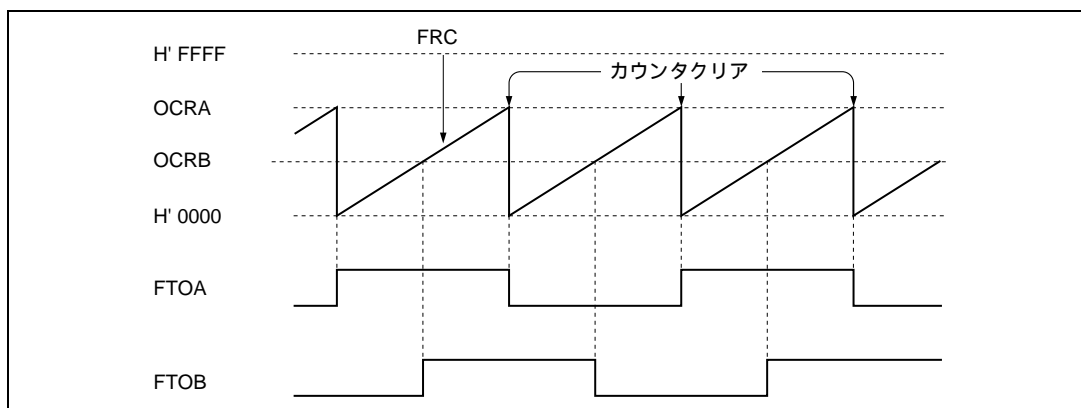


図 10.11 パルス出力例

10.7 使用上の注意

FRT1 の動作中、次のような競合が発生した場合、以下のような動作が起こりますので、注意してください。

(1) FRC のライトとクリアの競合

FRC の下位バイトライトサイクル中の T_3 ステートで、カウンタクリア信号が発生すると、FRC への書込みは行われず FRC のクリアが優先されます。

このタイミングを図 10.12 に示します。

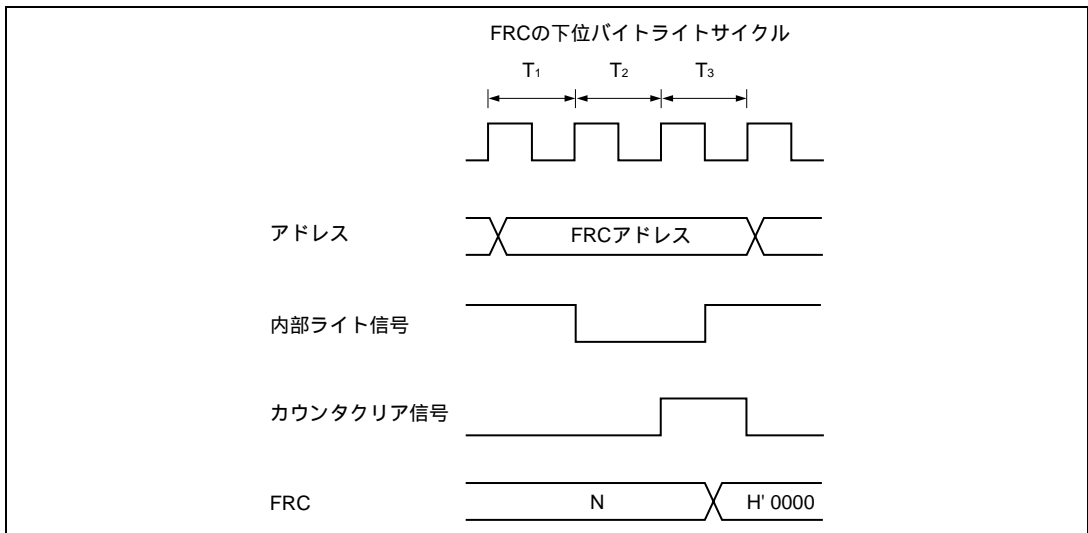


図 10.12 FRC のライトとクリアの競合

(2) FRCのライトとカウントアップの競合

FRCの下位バイトライトサイクル中の T_3 状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図10.13に示します。

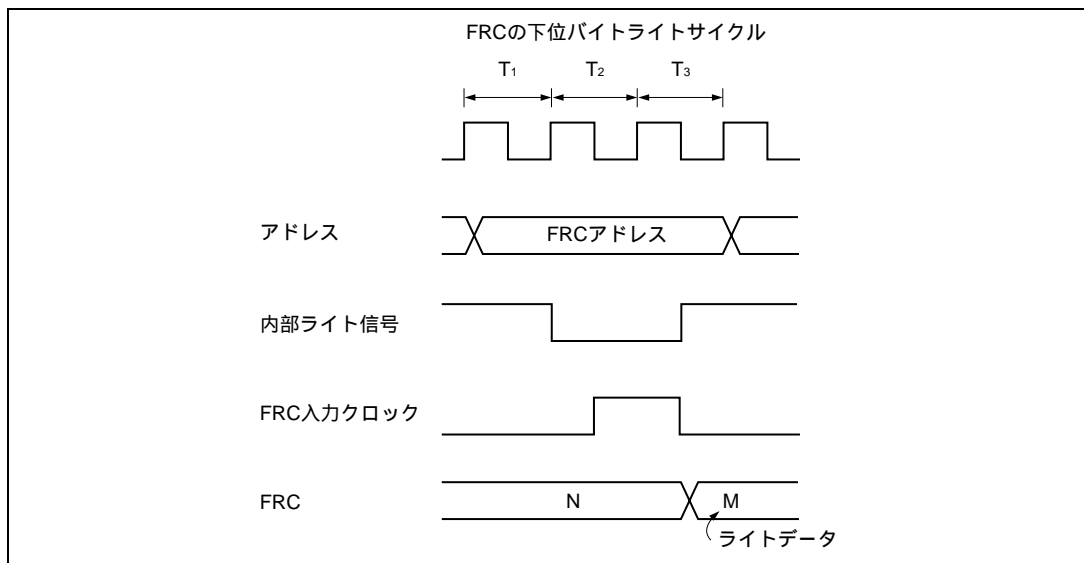


図 10.13 FRC のライトとカウントアップの競合

(3) OCRのライトとコンペアマッチの競合

OCRA、OCRBの下位バイトライトサイクル中の T_3 状態でコンペアマッチが発生した場合、OCRのライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図10.14に示します。

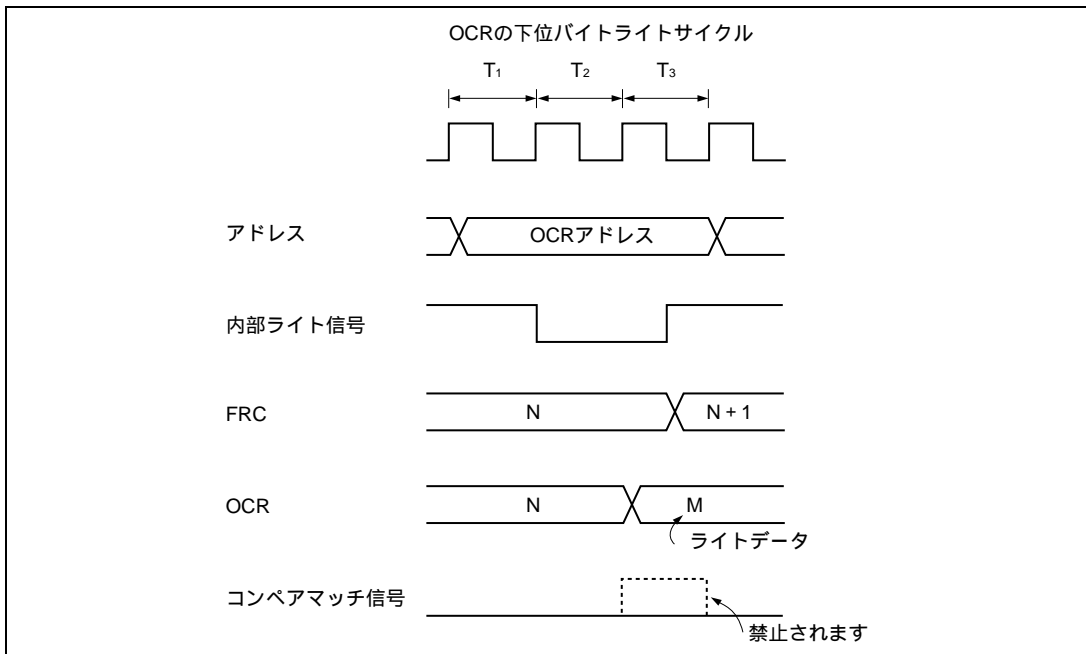


図 10.14 OCR とコンペアマッチの競合

(4) 内部クロックの切換えとカウンタの動作

内部クロックを切り換えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部のクロックの切換えタイミング（CKS1、CKS0 ビット の書換え）と FRC 動作の関係を表 10.4 に示します。

内部クロックを使用する場合、システムクロック（ ）を分周した内部クロックの立下がりエッジで検出して FRC クロックを発生しています。そのため表 10.5 の No.3 のように切換え前のクロック High 切換え後のクロック Low レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、FRC がカウントアップされることがあります。

表 10.4 内部クロックの切換えと FRC 動作 (1)

No	CKS1、CKS0ビット 書換えタイミング	FRC動作
1	Low Lowレベルの切換え	<p>切換え前の クロック</p> <p>切換え後の クロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1</p> <p>CKSビットの書換え</p>
2	Low Highレベルの切換え	<p>切換え前の クロック</p> <p>切換え後の クロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKSビットの書換え</p>

表 10.4 内部クロックの切換えとFRC動作(2)

No	CKS1、CKS0ビット 書換えタイミング	FRC動作
3	High Lowレベルの切換え	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>FRCクロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKSビットの書換え</p>
4	High Highレベルの切換え	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>FRCクロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKSビットの書換え</p>

【注】* 切換えのタイミングを立下がりエッジとみなすために発生し、FRCはカウントアップされてしまいます。

11. 8ビットタイマ

11.1 概要

本 LSI は、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ0、1を内蔵しています。2チャンネルの8ビットタイマには、それぞれタイマカウンタ (TCNT) のほかに8ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があり、TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

11.1.1 特長

- 7種類のカウンタ入力クロックを選択可能
6種類の内部クロックと、外部クロックのうちから選択できます (外部イベントのカウントが可能)。
- カウンタのクリア指定が可能
コンペアマッチA、Bまたは外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組合せでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組合せによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。0~100%のPWM出力が容易なPWMモードも選択できます。
- 3種類の割込み要因
コンペアマッチ×2要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

11.1.2 ブロック図

8ビットタイマのブロック図(1チャンネル)を図11.1に示します。

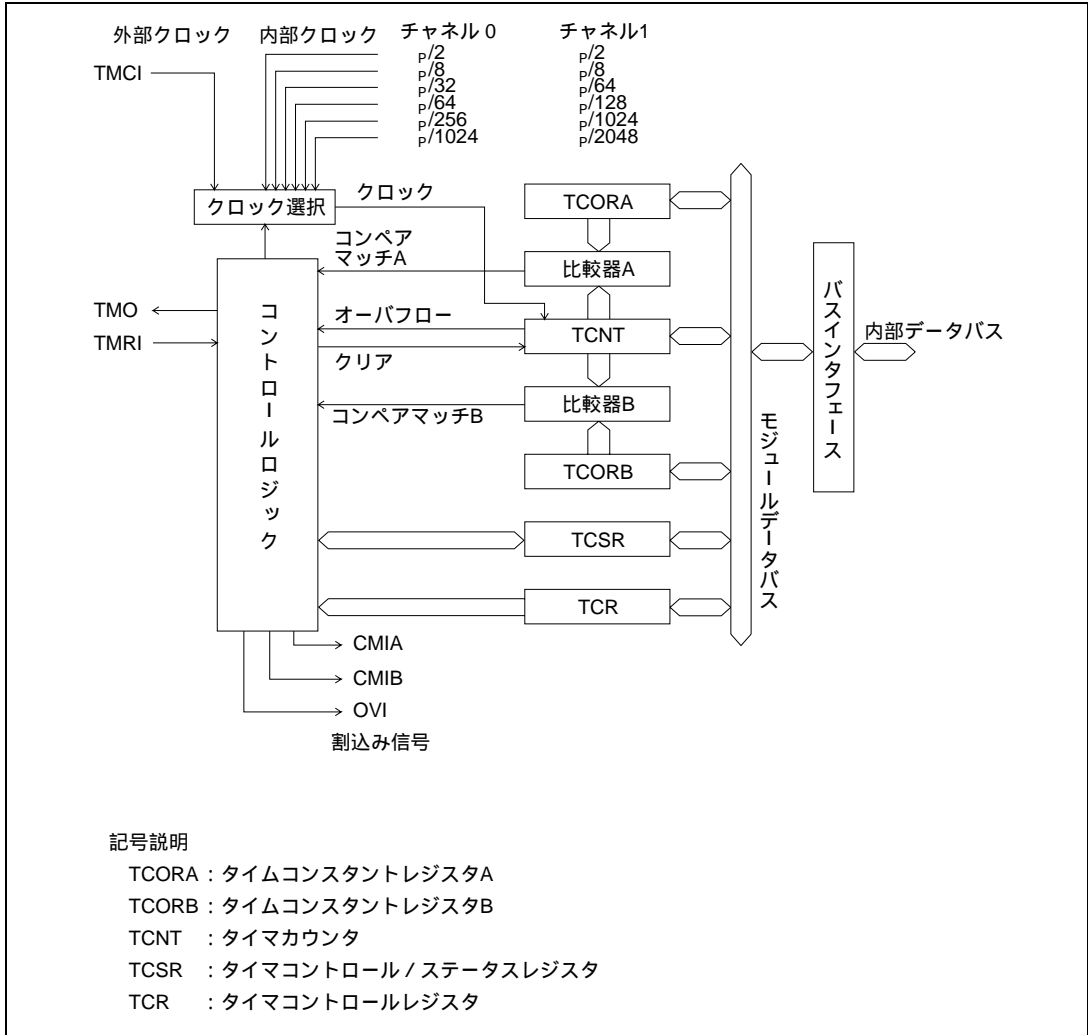


図 11.1 8ビットタイマのブロック図(1チャンネル)

11.1.3 端子構成

8ビットタイマの入出力端子を表 11.1 に示します。

表 11.1 端子構成

チャンネル	名称	略称*	入出力	機能
0	タイマ出力端子	TMO ₀	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI ₀	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI ₀	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO ₁	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI ₁	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI ₁	入力	カウンタ外部リセット入力

【注】 * 本文中ではチャンネルを省略し、それぞれ TMO、TMCI、TMRI と略称します。

11.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス
0	タイマコントロールレジスタ	TCR	R/W	H'00	H'FFC8
	タイマコントロール/ステータスレジスタ	TCSR	R/(W)*	H'00	H'FFC9
	タイムコンスタントレジスタ A	TCORA	R/W	H'FF	H'FFCA
	タイムコンスタントレジスタ B	TCORB	R/W	H'FF	H'FFCB
	タイマカウンタ	TCNT	R/W	H'00	H'FFCC
1	タイマコントロールレジスタ	TCR	R/W	H'00	H'FFD0
	タイマコントロール/ステータスレジスタ	TCSR	R/(W)*	H'00	H'FFD1
	タイムコンスタントレジスタ A	TCORA	R/W	H'FF	H'FFD2
	タイムコンスタントレジスタ B	TCORB	R/W	H'FF	H'FFD3
	タイマカウンタ	TCNT	R/W	H'00	H'FFD4
0、1	シリアルタイマコントロールレジスタ	STCR	R/W	H'1C	H'FFC3

【注】 * ビット7~5は、フラグをクリアするための0ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTは、8ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによりカウントアップされます。入力するクロックは、TCRのクロックセレクト2~0ビット(CKS2~CKS0)で選択します。TCNTの値は、CPUから常にリード/ライト可能です。

TCNTは、外部リセット入力信号またはコンペアマッチ信号(A、B)により、クリアすることができます。いずれの信号でクリアするかは、TCRのカウンタクリアビット(CCLR1、CCLR0)で選択します。

また、TCNTがオーバフロー(H'FF H'00)すると、TCSRのオーバフローフラグ(OVF)が1にセットされます。

TCNTは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

11.2.2 タイムコンスタントレジスタ A、B (TCORA、TCORB)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORA、TCORBは、8ビットのリード/ライト可能なレジスタです。

TCORとTCNTの値は常に比較されており、両方の値が一致するとTCSRのコンペアマッチフラグ(CMFA、CMFB)が1にセットされます。ただし、TCORへのライトサイクルのT₃ステートでの比較は禁止されています。

また、この一致による信号(コンペアマッチ)とTCSRのアウトプットセレクトビット(OS3~OS0)の設定により、タイマ出力を自由に制御することができます。

TCORは、リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

11.2.3 タイマコントロールレジスタ (TCR)

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは、8ビットのリード/ライト可能なレジスタでTCNTの入力クロックの選択、TCNTのクリア指定、および各割込み要求の許可を制御します。

TCRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

なお、タイミングについては、「11.3 動作説明」を参照してください。

ビット7：コンペアマッチインタラプトイネーブル B (CMIEB)

TCSR の CMFB が 1 にセットされたとき、CMFB による割込み要求 (CMIB) の許可または禁止を選択します。

ビット7	説明	
CMIEB		
0	CMFB による割込み要求 (CMIB) を禁止	(初期値)
1	CMFB による割込み要求 (CMIB) を許可	

ビット6：コンペアマッチインタラプトイネーブル A (CMIEA)

TCSR の CMFA が 1 にセットされたとき、CMFA による割込み要求 (CMIA) の許可または禁止を選択します。

ビット6	説明	
CMIEA		
0	CMFA による割込み要求 (CMIA) を禁止	(初期値)
1	CMFA による割込み要求 (CMIA) を許可	

ビット5：タイマオーバフローインタラプトイネーブル (OVIE)

TCSR の OVF が 1 にセットされたとき、OVF による割込み要求 (OVI) の許可または禁止を選択します。

ビット5	説明	
OVIE		
0	OVF による割込み要求 (OVI) を禁止	(初期値)
1	OVF による割込み要求 (OVI) を許可	

ビット4、3：カウンタクリア 1、0 (CCLR1、CCLR0)

TCNT のクリアを指定します。クリアは、コンペアマッチ A、B または外部リセット入力端子 (TMRI) から選択します。

ビット4	ビット3	説明	
CCLR1	CCLR0		
0	0	クリアを禁止	(初期値)
	1	コンペアマッチ A によりクリア	
1	0	コンペアマッチ B によりクリア	
	1	外部リセット入力の立上がりエッジ () によりクリア	

ビット2~0：クロックセレクト 2~0 (CKS2~CKS0)

STCR の ICKS0、ICKS1 ビットと共に TCNT に入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、各チャネルそれぞれシステムクロック () を分周した 6 種類のクロックから選択できます。これら内部クロックは、立下がりエッジでカウントします。

外部クロックのとき、クロック入力外部クロック入力端子 (TMCI) の立上がり、立下がり、ま

11. 8ビットタイマ

たは立上がり / 立下がり両エッジのカウンタの3種類から選択できます。

チャンネル	TCR			STCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	0	-	-	クロック入力を禁止 (初期値)
			1	-	0	内部クロック: μ 8 立下がりエッジ () でカウント
			-	1	内部クロック: μ 2 立下がりエッジ () でカウント	
		1	0	-	0	内部クロック: μ 64 立下がりエッジ () でカウント
			-	1	内部クロック: μ 32 立下がりエッジ () でカウント	
			1	-	0	内部クロック: μ 1024 立下がりエッジ () でカウント
	1	0	0	-	-	クロック入力を禁止
			1	-	-	外部クロック: 立上がりエッジ () でカウント
			1	0	-	-
		1	0	-	-	外部クロック: 立上がり / 立下がり (·) 両エッジでカウント
			1	-	-	
			1	-	-	
1	0	0	0	-	-	クロック入力を禁止 (初期値)
			1	0	-	内部クロック: μ 8 立下がりエッジ () でカウント
			1	-	内部クロック: μ 2 立下がりエッジ () でカウント	
		1	0	0	-	内部クロック: μ 64 立下がりエッジ () でカウント
			1	-	内部クロック: μ 128 立下がりエッジ () でカウント	
			1	0	-	内部クロック: μ 1024 立下がりエッジ () でカウント
	1	0	0	-	-	クロック入力を禁止
			1	-	-	外部クロック: 立上がりエッジ () でカウント
			1	0	-	-
		1	0	-	-	外部クロック: 立上がり / 立下がり (·) 両エッジでカウント
			1	-	-	
			1	-	-	

11.2.4 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

TCSR は、8ビットのレジスタで、コンペアマッチやタイマオーバフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

TCSR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

ビット7: コンペアマッチフラグ B (CMFB)

TCNT と TCORB の値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット7	説明
CMFB	
0	〔クリア条件〕 (初期値) CMFB = 1 の状態で、CMFB をリードした後、CMFB に 0 をライトしたとき
1	〔セット条件〕 TCNT = TCORB になったとき

ビット6: コンペアマッチフラグ A (CMFA)

TCNT と TCORA の値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット6	説明
CMFA	
0	〔クリア条件〕 (初期値) CMFA = 1 の状態で、CMFA をリードした後、CMFA に 0 をライトしたとき
1	〔セット条件〕 TCNT = TCORA になったとき

ビット5: タイマオーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF H'00) したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット5	説明
OVF	
0	〔クリア条件〕 (初期値) OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき
1	〔セット条件〕 TCNT が H'FF H'00 になったとき

11. 8ビットタイマ

ビット4：PWM モードイネーブル (PWME)

タイマ出力を PWM モードに設定します。

ビット4	説明	
PWME		
0	通常タイマモード	(初期値)
1	PWM モード	

PWM モードでは、TCORA の内容がタイマ出力の周期を、TCORB の内容がタイマ出力のデューティを決定するように CCLR1 ~ CCLR0、OS3 ~ OS0 を設定する必要があります。このとき、タイマ出力のパルス周期、パルス幅およびデューティは、次の式に従います。ここで、TCORA < TCORB の場合には出力はデューティ 100% に飽和します。

(TCORB > TCORA の場合)

タイマ出力パルス周期 = 選択した内部クロックの周期 × (TCORA + 1)

タイマ出力パルス幅 = 選択した内部クロックの周期 × TCORB

タイマ出力デューティ = TCORB / (TCORA + 1)

PWM 出力モード	TCR		TCSR			
	CCLR1	CCLR0	OS3	OS2	OS1	OS0
直接出力 (上記タイマパルス幅を High とする場合)	0	1	0	1	1	0
反転出力 (上記タイマパルス幅を Low とする場合)	0	1	1	0	0	1

PWM モードでは、TCORB とモジュールデータバス間にバッファレジスタが挿入され、TCORB にライトされたデータは TCORA のコンペアマッチが発生するまでバッファレジスタに保持されます。これにより、波形の乱れない PWM 出力が容易に実現できます。また、OS3 ~ OS0 によるタイマ出力の指定は、コンペアマッチ B による変化の優先順位が高くなります。通常タイマモードとは動作が異なるため注意が必要です。

ビット3~0：アウトプットセレクト3~0 (OS3~OS0)

TCOR と TCNT のコンペアマッチによるタイマ出力端子 (TMO) のレベルをどのように変化させるかを選択します。

OS3 と OS2 がコンペアマッチ B による出力レベルを選択し、OS1 と OS0 がコンペアマッチ A による出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチにしたがって出力が変化します。

なお、OS3 ~ OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

ビット3	ビット2	説明
OS3	OS2	
0	0	コンペアマッチ B で変化しない (初期値)
	1	コンペアマッチ B で 0 出力
1	0	コンペアマッチ B で 1 出力
	1	コンペアマッチ B ごとに反転出力 (トグル出力)

ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

11.2.5 シリアルタイマコントロールレジスタ (STCR)

ビット:	7	6	5	4	3	2	1	0
	RING	CMPF	CMPIE	LOAD	MARK	-	ICKS1	ICKS0
初期値:	0	0	0	1	1	1	0	0
R/W:	R/W	R/(W)*	R/W	(W)	(W)	-	R/W	R/W

【注】* ビット6はフラグをクリアするための0ライトのみ可能です。

STCR は 8 ビットのリード/ライト可能なレジスタで、SCI の動作モードの制御、TCNT の入力クロックの選択、DTU チャネル B の制御を行います。

STCR はリセット時に H'1C にイニシャライズされます。

ビット 7~3: DTU チャネル B の制御用ビット

DTU チャネル B の制御を行います。詳細は「第 5 章 データトランスファユニット」を参照してください。

ビット 2: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1、0: インターナルクロックソースセレクト 1、0

TCR の CKS2~CKS0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「11.2.3 タイマコントロールレジスタ」を参照してください。

11.3 動作説明

11.3.1 TCNT のカウントタイミング

TCNT は、リセット解除後入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 外部クロック動作の場合

TCR の CSK2～CKS0 ビットの設定により、システムクロック（ ）を分周して作られる 6 種類の内部クロックが選択されます。このタイミングを図 11.2 に示します。

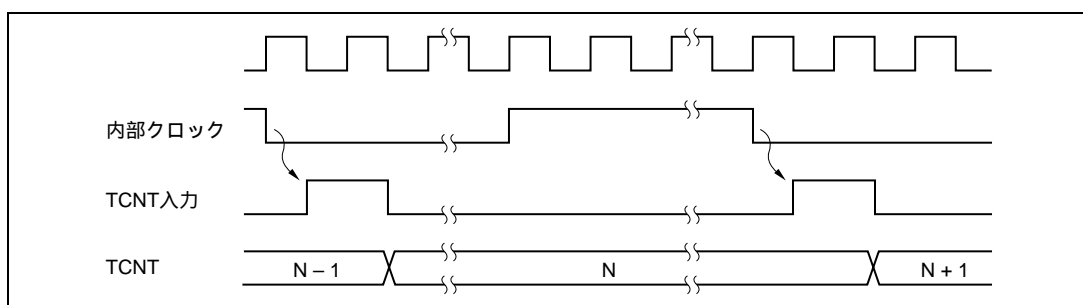


図 11.2 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS2～CKS0 ビットの設定により、外部クロックの立上がり、立下がり、立上がり / 立下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

図 11.3 に、外部クロックとして、立上がり / 立下がり両エッジの場合のタイミングを示します。

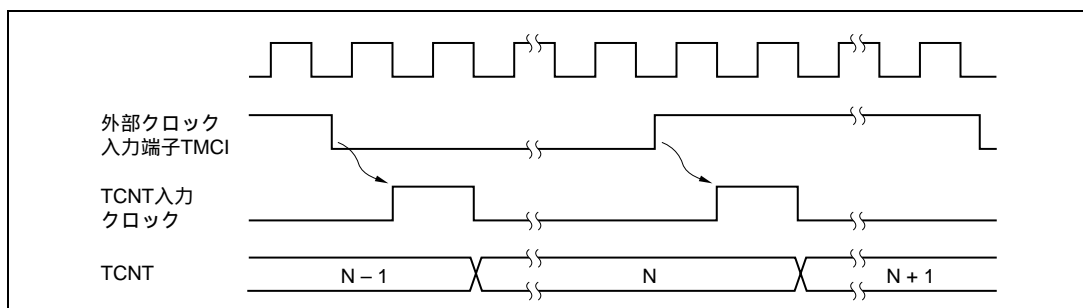


図 11.3 外部クロック動作時のカウントタイミング

11.3.2 コンペアマッチタイミング

(1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、CMFB は TCOR と TCNT の値が一致したときに、出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCVT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 11.4 に示します。

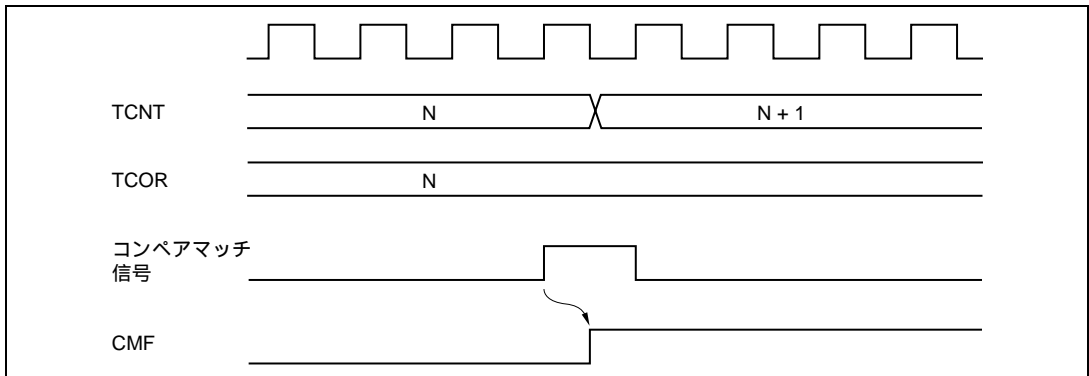


図 11.4 CMF セットタイミング

(2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3 ~ OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 11.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

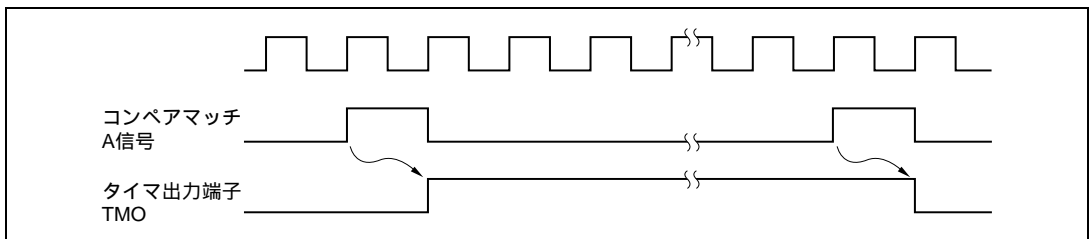


図 11.5 タイマ出力タイミング

11. 8ビットタイマ

(3) コンペアマッチによるクリア

TCNTは、TCRのCCLR1、CCLR0ビットの選択によりコンペアマッチAまたはコンペアマッチBでクリアされます。このクリアされるタイミングを図11.6に示します。

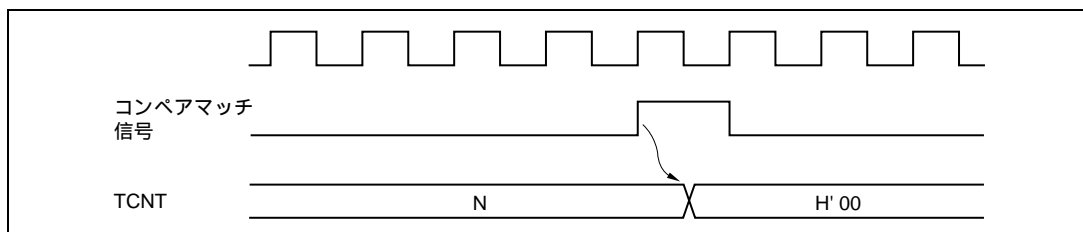


図 11.6 コンペアマッチによるクリアタイミング

11.3.3 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立上がりエッジでクリアされます。外部リセット信号のパルス幅は1.5システムクロック以上必要となります。このクリアされるタイミングを図11.7に示します。

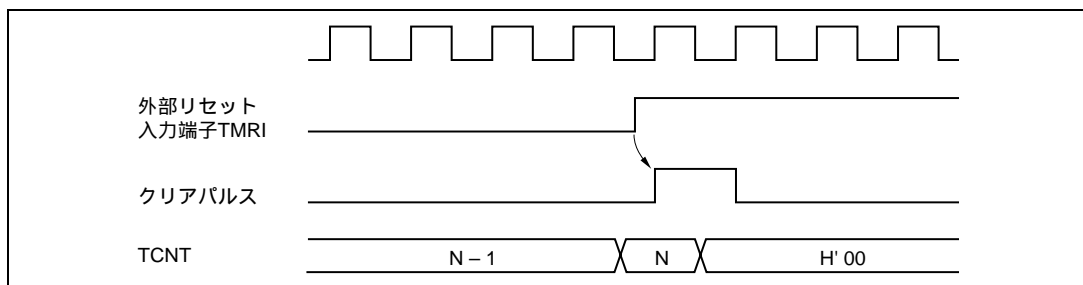


図 11.7 外部リセット入力によるクリアタイミング

11.3.4 オーバフローフラグ（OVF）のセットタイミング

TCSRのOVFは、TCNTがオーバフロー（H'FF H'00）したとき出力されるオーバフロー信号により1にセットされます。

このときのタイミングを図11.8に示します。

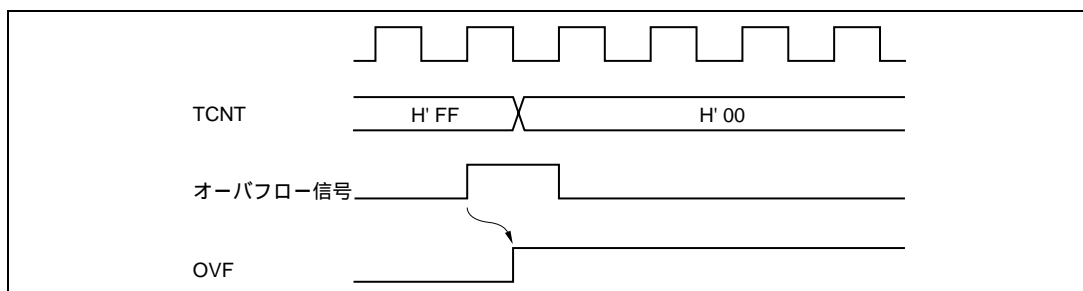


図 11.8 OVF のセットタイミング

11.4 割り込み要因

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表11.3に各割り込み要因と優先順位を示します。各割り込み要因は、TCRの各割り込みネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 11.3 8ビットタイマ割り込み要因

割り込み要因	内容	割り込み優先順位
CMIA	CMFAによる割り込み	高
CMIB	CMFBによる割り込み	
OVI	OVFによる割り込み	低

11.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図11.9に示します。これは次に示すように設定します。

- (1) TCORAのコンペアマッチによりTCNTがクリアされるように、TCRのCCLR1ビットを0、CCLR0ビットを1にセットします。
- (2) TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるように、TCSRのOS3～OS0ビットを0110に設定します。

以上の設定により周期がTCORA、パルス幅がTCORBの波形をソフトウェアの介入なしに出力できます。

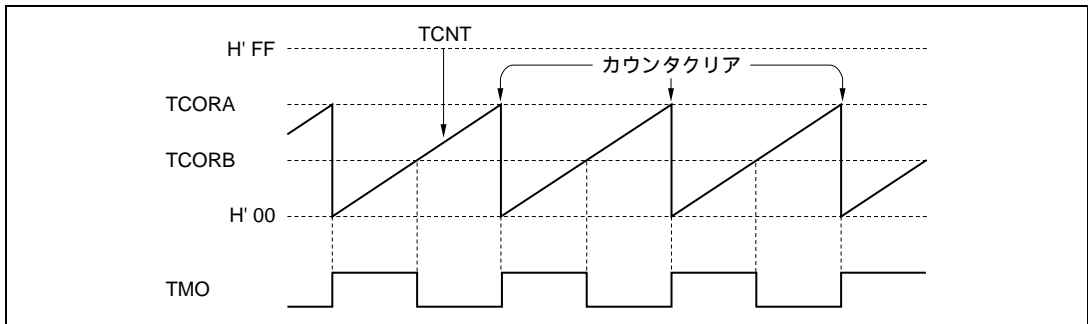


図 11.9 パルス出力例

11.6 使用上の注意

8ビットタイマ動作中、次のような競合や動作が起こるので注意してください。

11.6.1 TCNTのライトとカウンタクリア競合

TCNTのライトサイクル中の T_3 ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図 11.10 に示します。

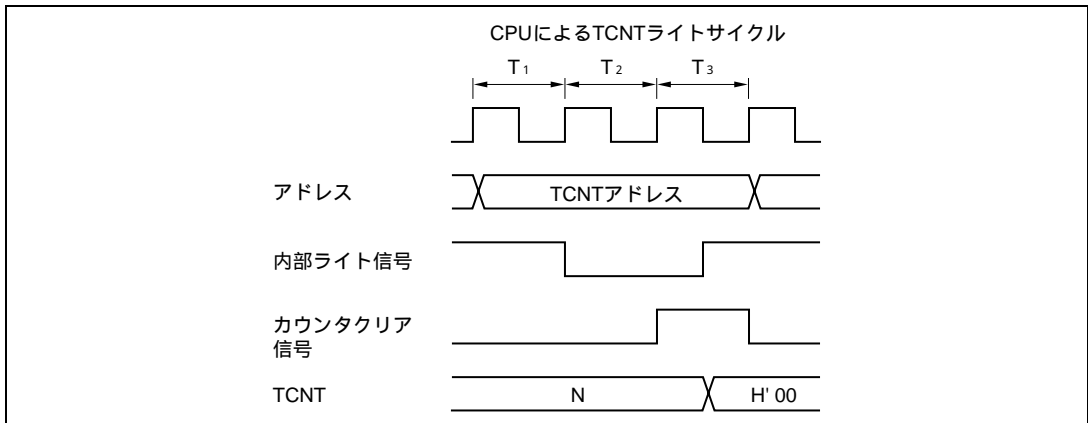


図 11.10 TCNTのライトとクリアの競合

11.6.2 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図 11.11 に示します。

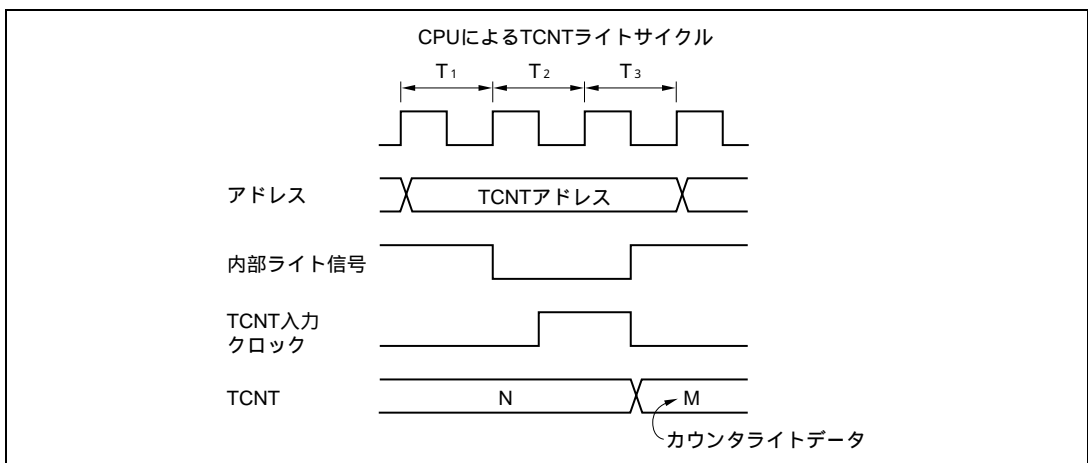


図 11.11 TCNTのライトとカウントアップの競合

11.6.3 TCOR のライトとコンペアマッチの競合

TCOR のライトサイクル中の T_3 ステートで、コンペアマッチが発生しても、TCOR のライトが優先され、コンペアマッチ信号は禁止されます。これを図 11.12 に示します。

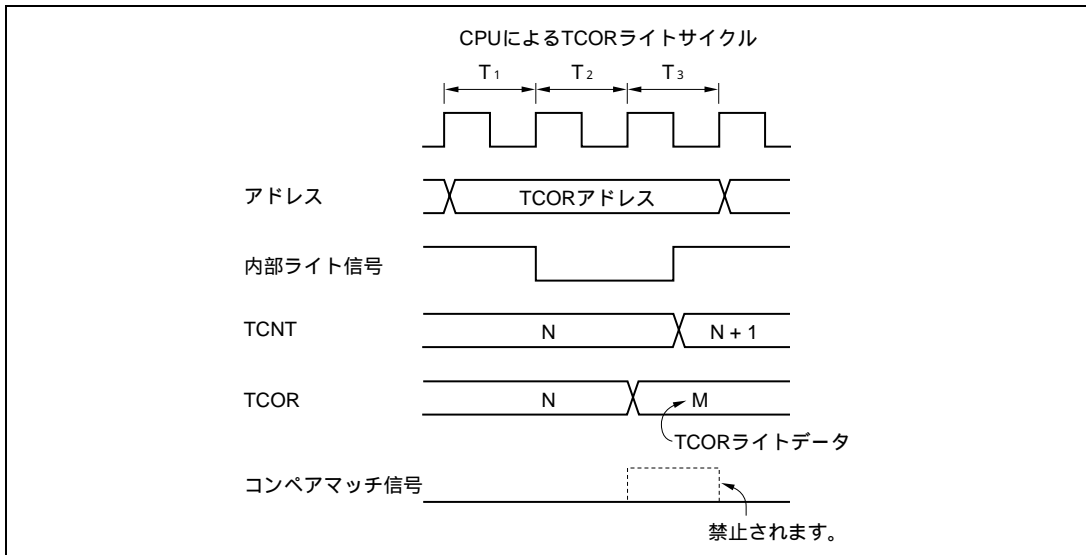


図 11.12 TCOR のライトとコンペアマッチの競合

11.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 11.4 に示すタイマ出力の優先順位にしたがって動作します。

表 11.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	▲
0 出力	↑
変化しない	低

11.6.5 内部クロックの切換えと TCNT の動作

内部クロックを切り換えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切換えタイミング（CKS1、CKS0 ビット の書換え）と TCNT 動作 の関係 を表 11.5 に示します。

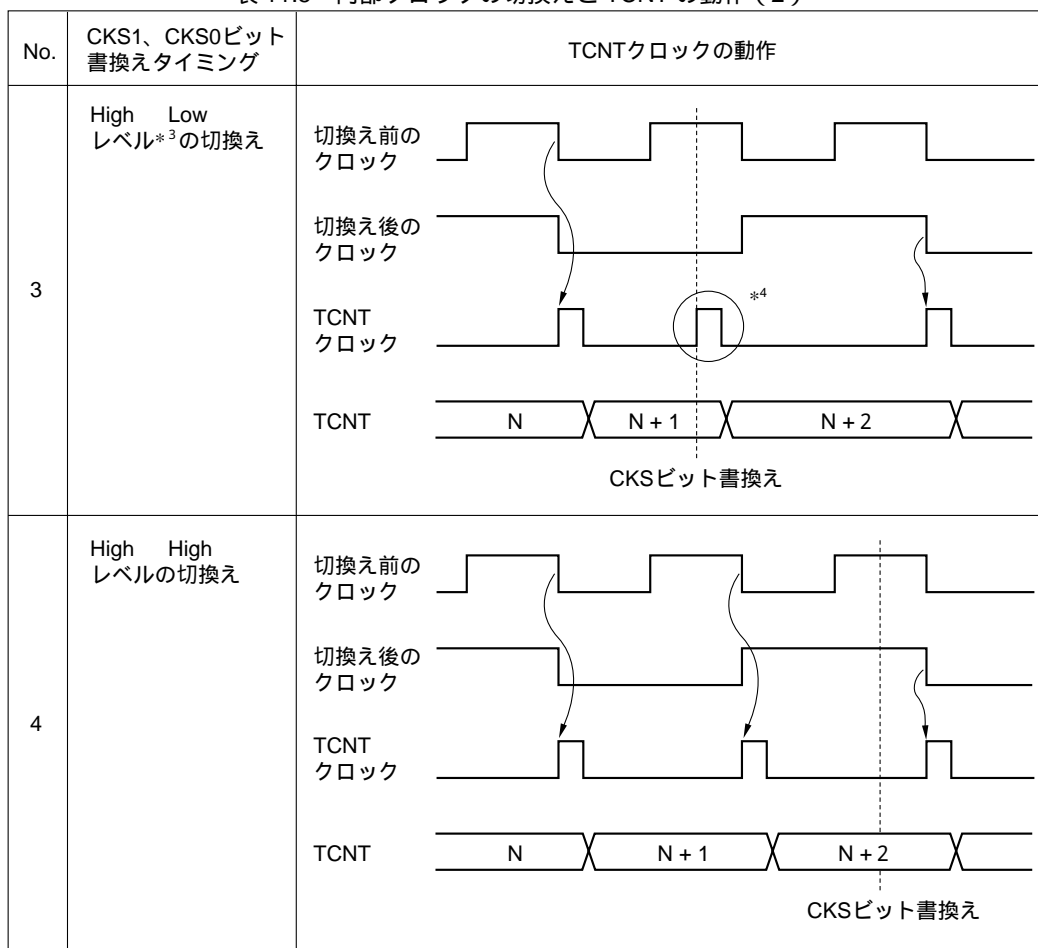
内部クロックから TCNT クロックを生成する場合、内部クロックの立下がりエッジで検出しています。そのため、表 11.5 の No.3 のように、High Low レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、TCNT がカウントアップされることがあります。

表 11.5 内部クロックの切換えと TCNT の動作 (1)

No.	CKS1、CKS0ビット書換えタイミング	TCNTクロックの動作
1	Low Low レベル* ¹ の切換え	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1</p> <p>CKSビット書換え</p>
2	Low High レベル* ² の切換え	<p>切換え前のクロック</p> <p>切換え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1 N+2</p> <p>CKSビット書換え</p>

表 11.5 内部クロックの切換えと TCNT の動作 (2)



【注】*1 Lowレベル 停止、停止 Lowレベルの場合を含みます。

*2 停止 Highレベルの場合を含みます。

*3 Highレベル 停止を含みます。

*4 切換えのタイミングを立下がりエッジとみなすために発生し、TCNTはカウントアップされます。

12. プログラマブルタイミングパターンコントローラ (TPC)

12.1 概要

本 LSI は、フリーランニングタイマ 0、1 (FRT0、FRT1) をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ (TPC) を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

12.1.1 特長

TPC の特長を以下に示します。

- 出力データ 16 ビット
最大16ビットのデータ出力が可能で、TPC出力をビット単位に許可することができます。
- 4 系統の出力可能
4ビット単位のグループで出力トリガ信号が選択可能で、最大4ビット×4系統の出力を行うことができます。
- 出力トリガ信号を選択可能
FRT0、FRT1のコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。
- ノンオーバーラップ動作
複数のパルス出力の間のノンオーバーラップ期間を設定することができます。
- データトランスファユニット (DTU) との連携動作可能
出力トリガ信号に選択したコンペアマッチ信号でDTUを起動することにより、CPUの介在なくデータを順次出力することができます。

12. プログラマブルタイミングパターンコントローラ (TPC)

12.1.2 ブロック図

TPCのブロック図を図12.1に示します。

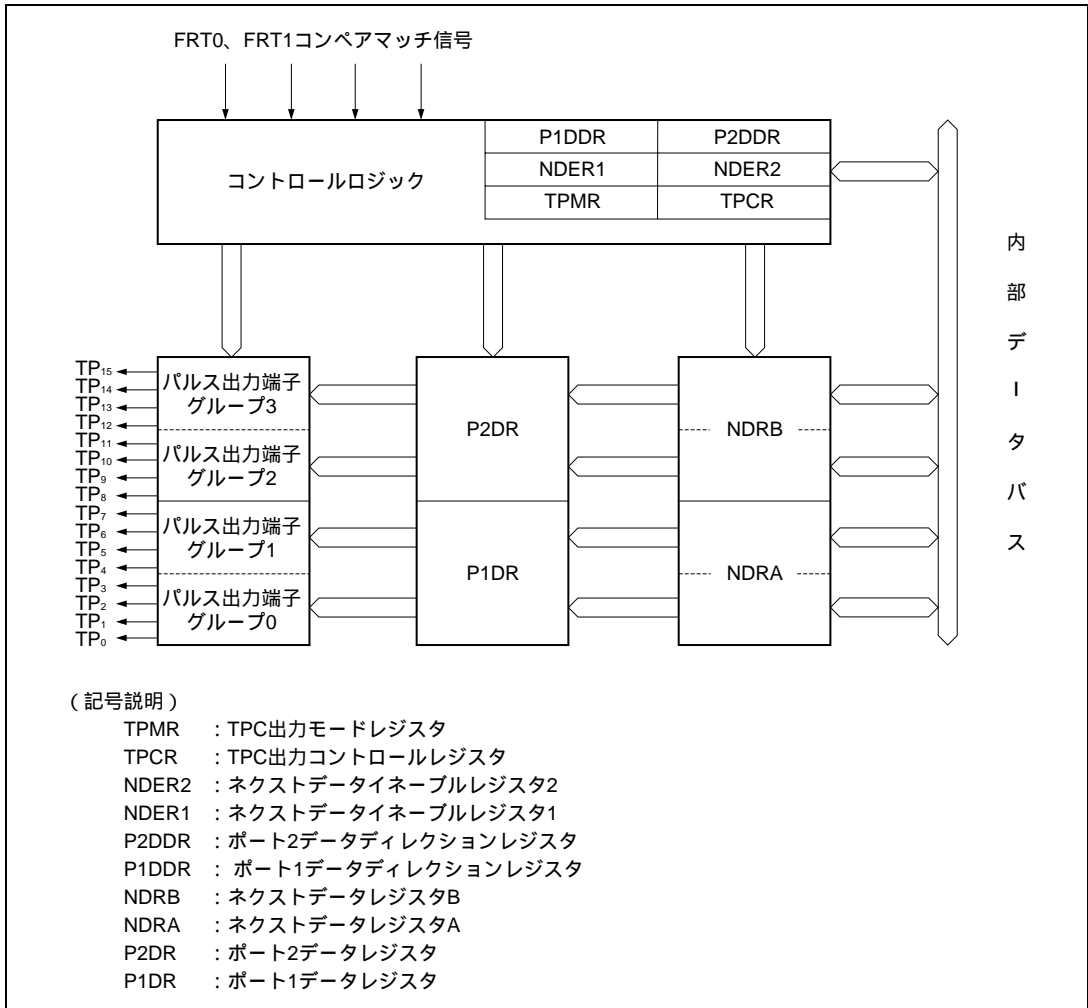


図12.1 TPCのブロック図

12.1.3 端子構成

TPC の端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
TPC 出力 0	TP ₀	出力	グループ 0 のパルス出力
TPC 出力 1	TP ₁	出力	
TPC 出力 2	TP ₂	出力	
TPC 出力 3	TP ₃	出力	
TPC 出力 4	TP ₄	出力	グループ 1 のパルス出力
TPC 出力 5	TP ₅	出力	
TPC 出力 6	TP ₆	出力	
TPC 出力 7	TP ₇	出力	
TPC 出力 8	TP ₈	出力	グループ 2 のパルス出力
TPC 出力 9	TP ₉	出力	
TPC 出力 10	TP ₁₀	出力	
TPC 出力 11	TP ₁₁	出力	
TPC 出力 12	TP ₁₂	出力	グループ 3 のパルス出力
TPC 出力 13	TP ₁₃	出力	
TPC 出力 14	TP ₁₄	出力	
TPC 出力 15	TP ₁₅	出力	

12.1.4 レジスタ構成

TPC のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FFB0
ポート 1 データレジスタ	P1DR	R/(W)* ¹	H'00	H'FFB2
ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FFB1
ポート 2 データレジスタ	P2DR	R/(W)* ¹	H'00	H'FFB3
TPC 出力モードレジスタ	TPMR	R/W	H'F0	H'FFEA
TPC 出力コントロールレジスタ	TPCR	R/W	H'FF	H'FFEB
ネクストデータイネーブルレジスタ 2	NDER2	R/W	H'00	H'FFCD
ネクストデータイネーブルレジスタ 1	NDER1	R/W	H'00	H'FFD5
ネクストデータレジスタ A	NDRA	R/W	H'00	H'FFCF/H'FFD7* ²
ネクストデータレジスタ B	NDRB	R/W	H'00	H'FFCE/H'FFD6* ²

【注】 *1 TPC 出力として使用しているビットは、ライトできません。

*2 TPCR の設定により TPC 出力グループ 0 と TPC 出力グループ 1 の出力トリガが同一の場合は NDRA のアドレスは H'FFCF となり、出力トリガが異なる場合はグループ 0 に対応する NDRA のアドレスは H'FFD7、グループ 1 に対応する NDRA のアドレスは H'FFCF となります。
同様に、TPCR の設定により TPC 出力グループ 2 と TPC 出力グループ 3 の出力トリガが同一の場合は NDRB のアドレスは H'FFCE となり、出力トリガが異なる場合はグループ 2 に対応する NDRB のアドレスは H'FFD6、グループ 3 に対応する NDRB のアドレスは H'FFCE となります。

12.2 各レジスタの説明

12.2.1 ポート1データディレクションレジスタ (P1DDR)

P1DDRは8ビットのライト専用のレジスタで、ポート1の各端子の入出力方向をビット単位に設定します。

ビット :	7	6	5	4	3	2	1	0
	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート1はTP₇~TP₀端子との兼用端子となっています。TPC出力を行う端子に対応するビットは1にセットしてください。

P1DDRの詳細は、「8.2 ポート1」を参照してください。

12.2.2 ポート1データレジスタ (P1DR)

P1DRは8ビットのリード/ライト可能なレジスタで、TPC出力を使用する場合、グループ0、1の出力データを格納します。

ビット :	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* NDER1により、TPC出力に設定されたビットはリード専用となります。

P1DRの詳細は、「8.2 ポート1」を参照してください。

12.2.3 ポート2データディレクションレジスタ (P2DDR)

P2DDRは8ビットのライト専用のレジスタで、ポート2の各端子の入出力方向をビット単位に設定します。

ビット :	7	6	5	4	3	2	1	0
	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート2はTP₁₅~TP₈端子との兼用端子となっています。TPC出力を行う端子に対応するビットは1にセットしてください。

P2DDRの詳細は、「8.3 ポート2」を参照してください。

12.2.4 ポート 2 データレジスタ (P2DR)

P2DR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、P2DR はグループ 2、3 の出力データを格納します。

ビット :	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* NDER2により、TPC出力に設定されたビットはリード専用となります。

P2DRの詳細は、「8.3 ポート 2」を参照してください。

12.2.5 ネクストデータレジスタ A (NDRA)

NDRA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀端子)の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した FRT のコンペアマッチが発生したときに、NDRA の内容が PIDR の対応するビットに転送されます。

NDRA のアドレスは、TPC 出力グループ 0、1 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRA はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC 出力グループ 0、1 の出力トリガが同一の場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'FFCF となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FFD7 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFCF

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~4 : ネクストデータ 7~4 (NDR7~NDR4)

TPC 出力グループ 1 の次の出力データを格納するビットです。

ビット 3~0 : ネクストデータ 3~0 (NDR3~NDR0)

TPC 出力グループ 0 の次の出力データを格納するビットです。

12. プログラマブルタイミングパターンコントローラ (TPC)

(b) アドレス : H'FFD7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

ビット7~0 : リザーブビット

ライトは無効です。リードすると常に1が読み出されます。

(2) TPC 出力グループ 0、1 の出力トリガが異なる場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、NDR4 の上位 4 ビット (グループ 1) のアドレスは H'FFCF、NDR4 の下位 4 ビット (グループ 0) のアドレスは H'FFD7 となります。このとき、アドレス H'FFCF のビット 3~0、アドレス H'FFD7 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に1が読み出され、ライトは無効です。

(a) アドレス : H'FFCF

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

ビット7~4 : ネクストデータ7~4 (NDR7~NDR4)

TPC 出力グループ 1 の次の出力データを格納するビットです。

ビット3~0 : リザーブビット

ライトは無効です。リードすると常に1が読み出されます。

(b) アドレス : H'FFD7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

ビット7~4 : リザーブビット

ライトは無効です。リードすると常に1が読み出されます。

ビット3~0 : ネクストデータ3~0 (NDR3~NDR0)

TPC 出力グループ 0 の次の出力データを格納するビットです。

12.2.6 ネットワークデータレジスタ B (NDRB)

NDRB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した FRT のコンペアマッチが発生したときに、NDRB の内容が P2DR の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 2、3 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC 出力グループ 2、3 の出力トリガが同一の場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'FFCE となります。グループ 3、2 はそれぞれ下位 4 ビット、上位 4 ビットになります。このとき、アドレス H'FFD6 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス : H'FFCE

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7~4 : ネットワークデータ 15~12 (NDR15~NDR12)

TPC 出力グループ 3 の次の出力データを格納します。

ビット 3~0 : ネットワークデータ 11~8 (NDR11~NDR8)

TPC 出力グループ 2 の次の出力データを格納します。

(b) アドレス : H'FFD6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

ビット 7~0 : リザーブビット

ライトは無効です。リードすると常に 1 が読み出されます。

(2) TPC 出力グループ 2、3 の出力トリガが異なる場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、NDRB の上位 4 ビット (グループ 3) のアドレスは H'FFCE、NDRB の下位 4 ビット (グループ 2) のアドレスは H'FFD6 となります。このとき、アドレス H'FFCE のビット 3~0、アドレス H'FFD6 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

12. プログラマブルタイミングパターンコントローラ (TPC)

(a) アドレス : H'FFCE

ビット :	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

ビット7~4 : ネクストデータ 15~12 (NDR15~NDR12)

TPC 出力グループ 3 の次の出力データを格納するビットです。

ビット3~0 : リザーブビット

ライトは無効です。リードすると常に1が読み出されます。

(b) アドレス : H'FFD6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

ビット7~4 : リザーブビット

ライトは無効です。リードすると常に1が読み出されます。

ビット3~0 : ネクストデータ 11~8 (NDR11~NDR8)

TPC 出力グループ 2 の次の出力データを格納するビットです。

12.2.7 ネクストデータイネーブルレジスタ 1 (NDER1)

NDER1 は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀端子) の許可/禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDER1 により TPC 出力が許可されたビットは、TPCR で選択された FRT のコンペアマッチが発生すると、NDRA の値が PIDR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PIDR への転送は行われず出力値も変化しません。

NDER1 はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~0: ネクストデータインーブル7~0 (NDER7~NDER0)

TPC 出力グループ 1、0 (TP₇~TP₀端子) の許可 / 禁止をビット単位で選択します。

ビット7~0	説明
NDER7~NDER0	
0	TPC 出力 TP ₇ ~TP ₀ を禁止 (NDR7~NDR0 から P1 ₇ ~P1 ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₇ ~TP ₀ を許可 (NDR7~NDR0 から P1 ₇ ~P1 ₀ への転送許可)

12.2.8 ネクストデータインーブルレジスタ 2 (NDER2)

NDER2 は 8 ビットのリード / ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅~TP₈端子) の許可 / 禁止をビット単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDER2 により TPC 出力が許可されたビットは、TPCR で選択された FRT のコンペアマッチが発生すると、NDRB の値が P2DR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRB から P2DR への転送は行われず出力値も変化しません。

NDER2 はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~0: ネクストデータインーブル 15~8 (NDER15~NDER8)

TPC 出力グループ 3、2 (TP₁₅~TP₈端子) の許可 / 禁止をビット単位で選択します。

ビット7~0	説明
NDER15~NDER8	
0	TPC 出力 TP ₁₅ ~TP ₈ を禁止 (NDR15~NDR8 から P2 ₇ ~P2 ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₁₅ ~TP ₈ を許可 (NDR15~NDR8 から P2 ₇ ~P2 ₀ への転送許可)

12.2.9 TPC 出力コントロールレジスタ (TPCR)

TPCR は 8 ビットのリード / ライト可能なレジスタで、TPC 出力の出力トリガ信号をグループ単位で選択します。

ビット :	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TPCR は、リセットまたはハードウェアスタンバイモード時に H'FF にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

12. プログラマブルタイミングパターンコントローラ (TPC)

ビット7、6：グループ3コンペアマッチセレクト1、0 (G3CMS1、G3CMS0)

TPC 出力グループ3 (TP₁₅ ~ TP₁₂ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット7 G3CMS1	ビット6 G3CMS0	説明
0	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、FRT1 のコンペアマッチ A
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、FRT0 のコンペアマッチ A
1	0	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、FRT1 のコンペアマッチ B (コンペアマッチ A を利用して、ノンオーバーラップ動作可能)
	1	TPC 出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは、FRT0 のコンペアマッチ B (コンペアマッチ A を利用して、ノンオーバーラップ動作可能) (初期値)

ビット5、4：グループ2コンペアマッチセレクト1、0 (G2CMS1、G2CMS0)

TPC 出力グループ2 (TP₁₁ ~ TP₈ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット5 G2CMS1	ビット4 G2CMS0	説明
0	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、FRT1 のコンペアマッチ A
	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、FRT0 のコンペアマッチ A
1	0	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、FRT1 のコンペアマッチ B (コンペアマッチ A を利用して、ノンオーバーラップ動作可能)
	1	TPC 出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、FRT0 のコンペアマッチ B (コンペアマッチ A を利用して、ノンオーバーラップ動作可能) (初期値)

ビット3、2：グループ1コンペアマッチセレクト1、0 (G1CMS1、G1CMS0)

TPC 出力グループ1 (TP₇ ~ TP₄ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット3 G1CMS1	ビット2 G1CMS0	説明
0	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、FRT1 のコンペアマッチ A
	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、FRT0 のコンペアマッチ A
1	0	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、FRT1 のコンペアマッチ B (コンペアマッチ A を利用して、ノンオーバーラップ動作可能)
	1	TPC 出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、FRT0 のコンペアマッチ B (コンペアマッチ A を利用して、ノンオーバーラップ動作可能) (初期値)

ビット 1、0 : グループ 0 コンペアマッチセレクト 1、0 (G0CMS1、G0CMS0)

TPC 出力グループ 0 (TP₃~TP₀端子) の出力トリガとなるコンペアマッチを選択します。

ビット 1	ビット 0	説明
G0CMS1	G0CMS0	
0	0	TPC 出力グループ 0 (TP ₃ ~TP ₀ 端子) の出力トリガは、FRT1 のコンペアマッチ A
	1	TPC 出力グループ 0 (TP ₃ ~TP ₀ 端子) の出力トリガは、FRT0 のコンペアマッチ A
1	0	TPC 出力グループ 0 (TP ₃ ~TP ₀ 端子) の出力トリガは、FRT1 のコンペアマッチ B (コンペアマッチ A を利用して、ノンオーバーラップ動作可能)
	1	TPC 出力グループ 0 (TP ₃ ~TP ₀ 端子) の出力トリガは、FRT0 のコンペアマッチ B (コンペアマッチ A を利用して、ノンオーバーラップ動作可能) (初期値)

12.2.10 TPC 出力モードレジスタ (TPMR)

TPMR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

ノンオーバーラップ動作の TPC 出力は、出力トリガとなる FRT0、FRT1 の OCRA に出力波形の周期を、また OCRB にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「12.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

TPMR はリセット、またはハードウェアスタンバイモード時に H'F0 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7~4 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3 : グループ 3 ノンオーバーラップ (G3NOV)

TPC 出力グループ 3 (TP₁₅~TP₁₂端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 3	説明
G3NOV	
0	TPC 出力グループ 3 は、通常動作 (選択された FRT のコンペアマッチで出力値を更新します。) (初期値)
1	TPC 出力グループ 3 は、ノンオーバーラップ動作 (選択された FRT のコンペアマッチ A、B により、0 出力、1 出力を独立に行うことができます。)

12. プログラマブルタイミングパターンコントローラ (TPC)

ビット 2 : グループ 2 ノンオーバーラップ (G2NOV)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 2	説明
G2NOV	
0	TPC 出力グループ 2 は、通常動作 (選択された FRT のコンペアマッチで出力値を更新します。) (初期値)
1	TPC 出力グループ 2 は、ノンオーバーラップ動作 (選択された FRT のコンペアマッチ A、B により、0 出力、1 出力を独立に行うことができます。)

ビット 1 : グループ 1 ノンオーバーラップ (G1NOV)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 1	説明
G1NOV	
0	TPC 出力グループ 1 は、通常動作 (選択された FRT のコンペアマッチで出力値を更新します。) (初期値)
1	TPC 出力グループ 1 は、ノンオーバーラップ動作 (選択された FRT のコンペアマッチ A、B により、0 出力、1 出力を独立に行うことができます。)

ビット 0 : グループ 0 ノンオーバーラップ (G0NOV)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 0	説明
G0NOV	
0	TPC 出力グループ 0 は、通常動作 (選択された FRT のコンペアマッチで出力値を更新します。) (初期値)
1	TPC 出力グループ 0 は、ノンオーバーラップ動作 (選択された FRT のコンペアマッチ A、B により、0 出力、1 出力を独立に行うことができます。)

12.3 動作説明

12.3.1 概要

TPC 出力は、P1DDR、P2DDR と NDER1、NDER2 の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する P1DR、P2DR の内容が出力されます。

その後、TPCR で指定したコンペアマッチが発生すると、ビットに対応する NDRA および NDRB の内容がそれぞれ P1DR および P2DR に転送され、出力値が更新されます。

TPC 出力動作を図 12.2 に示します。また、TPC 動作条件を表 12.3 に示します。

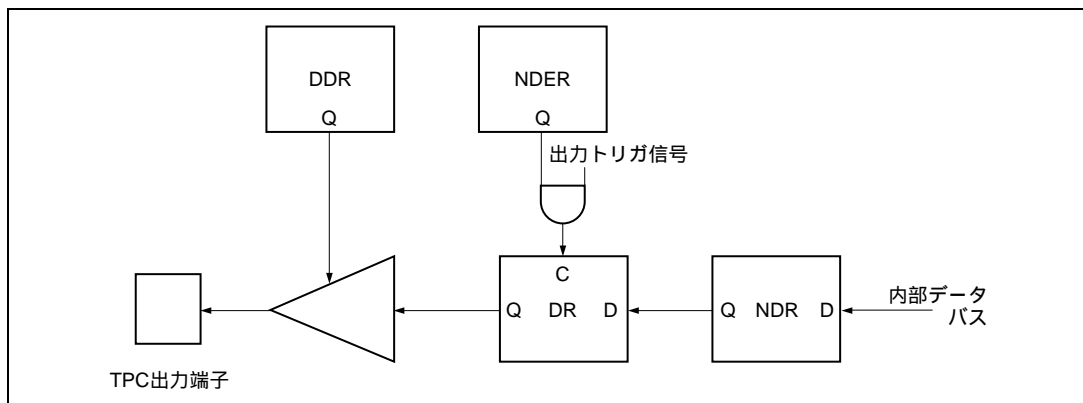


図 12.2 TPC 出力動作

表 12.3 TPC 動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート (ただし、コンペアマッチ時に NDR から DR の転送を行い、DR へのライトはできません)
	1	TPC パルス出力

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「12.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

12. プログラマブルタイミングパターンコントローラ (TPC)

12.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、NDR A/NDRB の内容が P1DR/P2DR に転送され、出力されます。

このタイミングを図 12.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

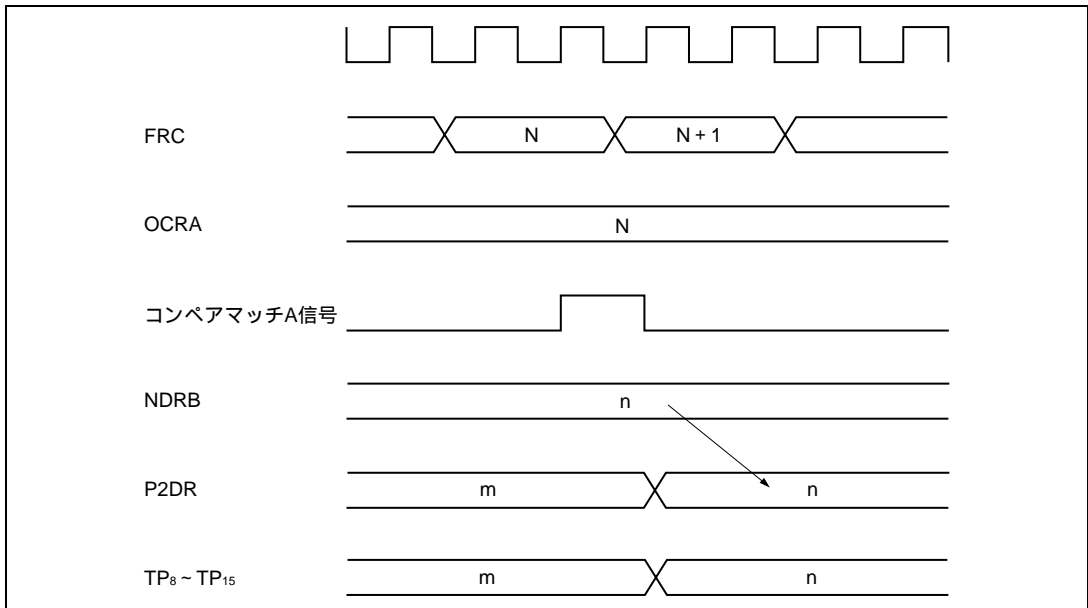


図 12.3 NDR の内容が転送 / 出力されるタイミング (例)

12.3.3 TPC 出力通常動作

(1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を図 12.4 に示します。

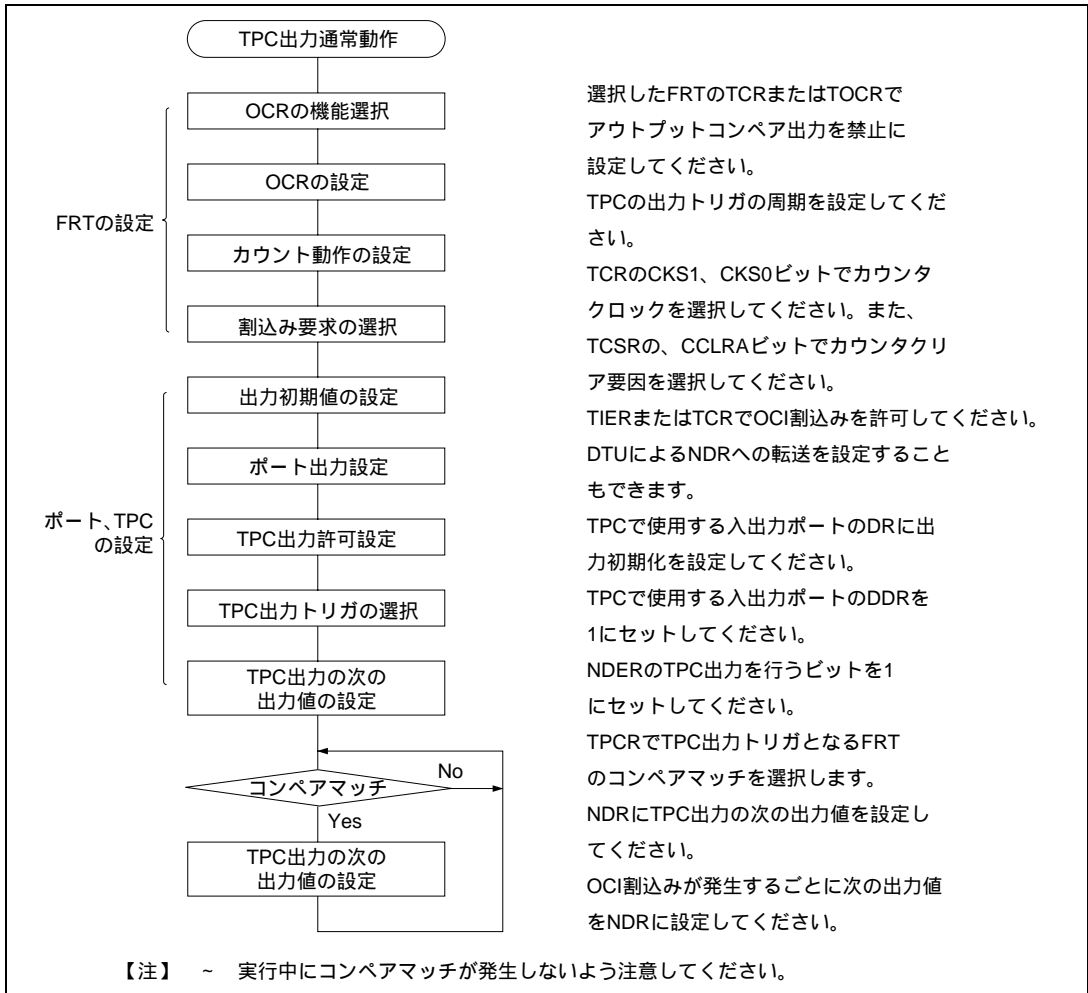


図 12.4 TPC 出力通常動作の設定手順例

12. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力通常動作例 (5 相パルス出力例)

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を図 12.5 に示します。

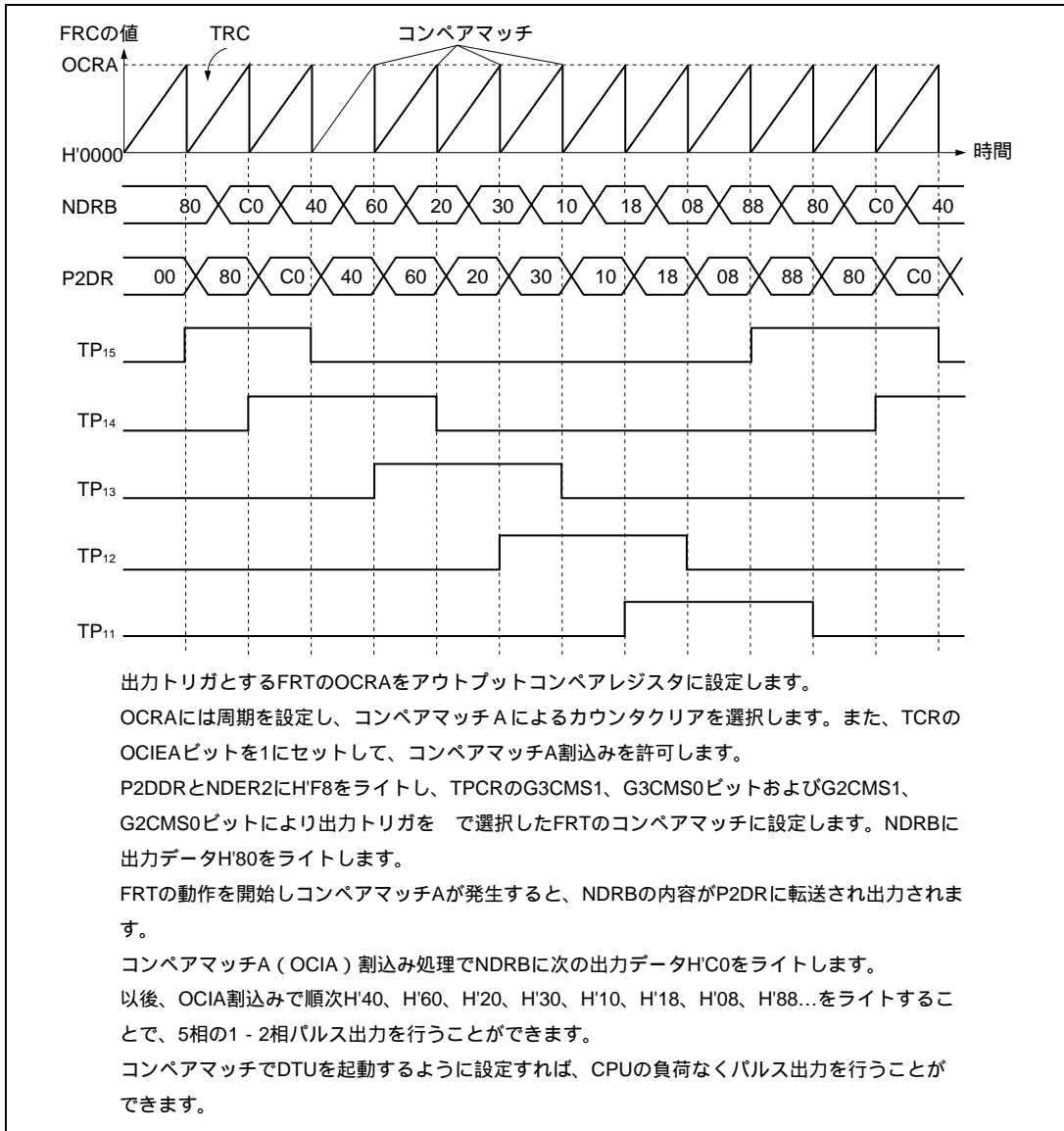


図 12.5 TPC 出力通常動作例 (5 相パルス出力例)

12.3.4 TPC 出力ノンオーバーラップ動作

(1) TPC 出力ノンオーバーラップ動作の設定手順例

TPC 出力ノンオーバーラップ動作の設定手順例を図 12.6 に示します。

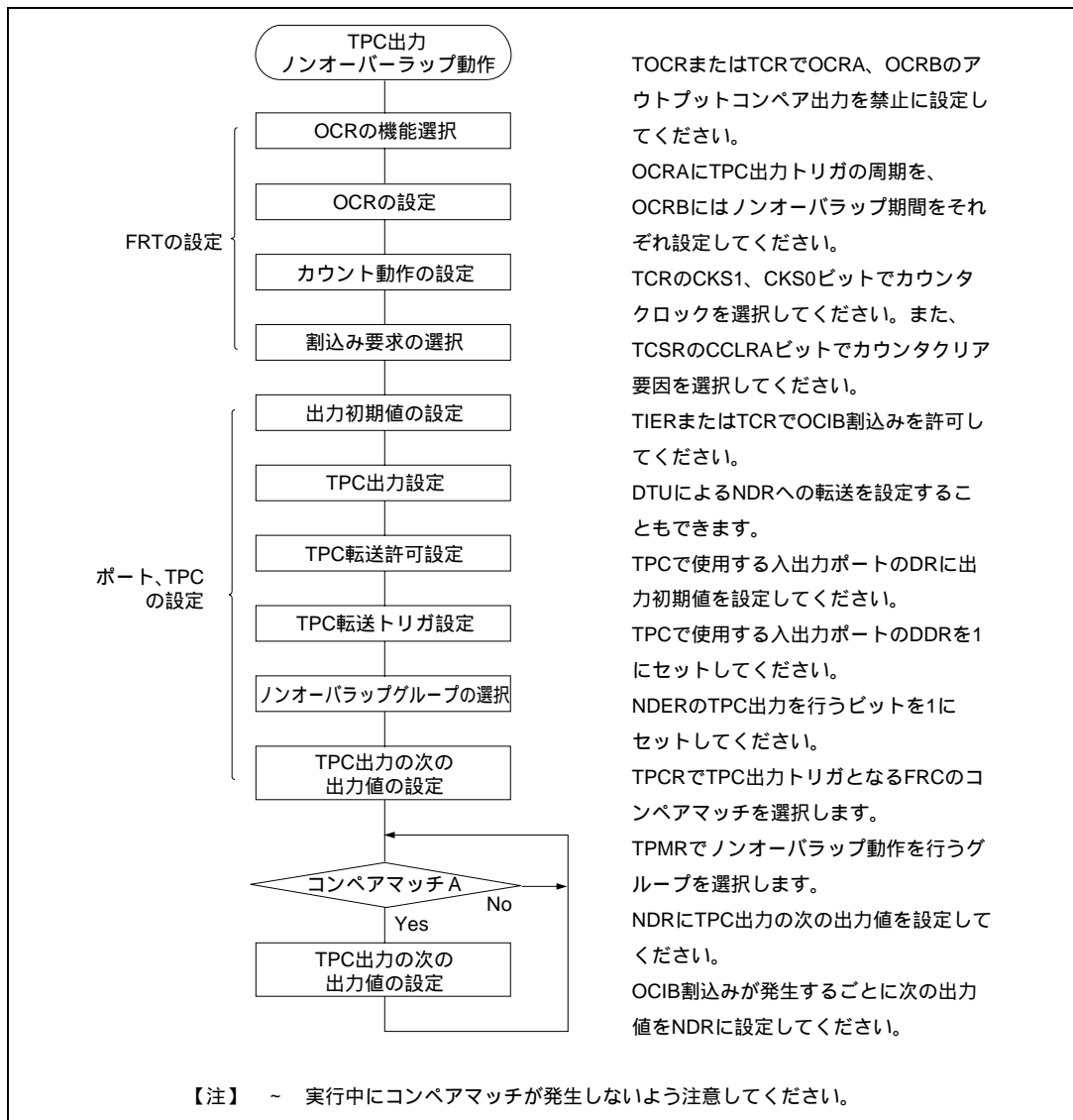


図 12.6 TPC 出力ノンオーバーラップ動作の設定手順例

12. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

TPC 出力を使用して4相の相補ノンオーバーラップのパルスを出力された例を図 12.7 に示します。

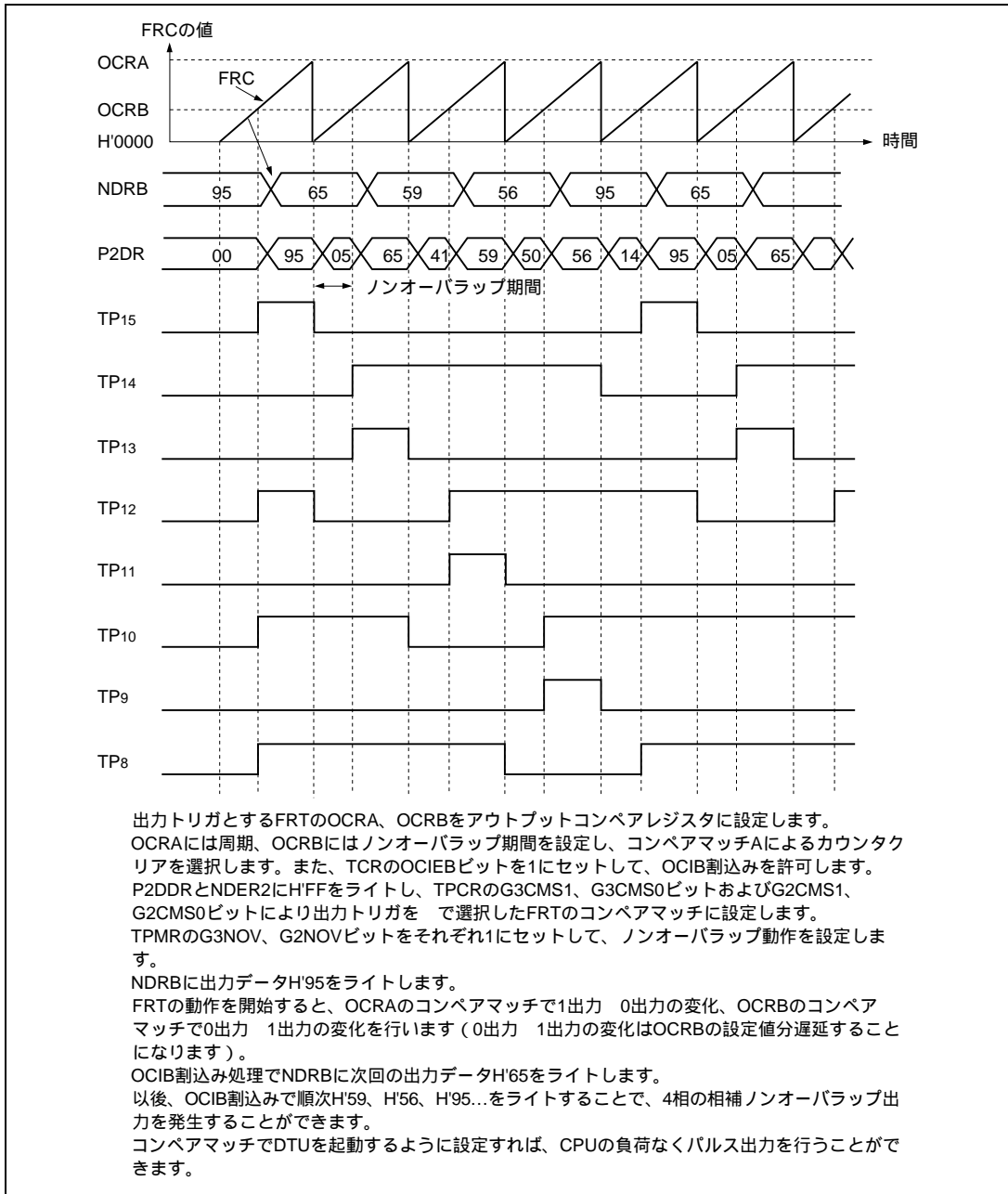


図 12.7 TPC 出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

12.4 使用上の注意

12.4.1 TPC 出力端子の動作

TP₀ ~ TP₁₅ は拡張モード時のアドレス出力端子と兼用になっています。これらの端子は、モード 1 でアドレスが出力許可状態になっているときには、TPC 出力を行うことができません。ただし、NDR から DR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

12.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から DR の転送は以下のようになっています。

- (1) コンペアマッチ B では NDR の内容を常に DR へ転送します。
- (2) コンペアマッチ A では NDR の転送するビットの内容が 0 のときのみ転送を行います。1 のときは転送を行いません。

ノンオーバーラップ時の TPC 出力動作を図 12.8 に示します。

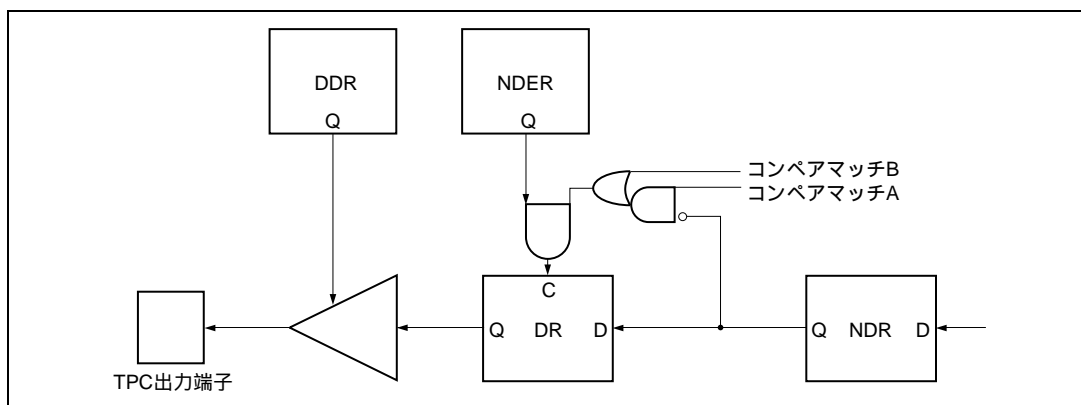


図 12.8 TPC 出力ノンオーバーラップ動作

したがって、コンペアマッチ A を、コンペアマッチ B よりも先に発生させることにより、0 データの転送を 1 データの転送に先だて行うことが可能です。

この場合、コンペアマッチ A が発生した後、コンペアマッチ B が発生するまで (ノンオーバーラップ期間) の間、NDR の内容を変更しないようにしてください。

これは OCIB 割込みの割込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、OCIB 割込みで DTU を起動することもできます。ただし、このライトは次のコンペアマッチ A が発生する前に行ってください。

このタイミングを図 12.9 に示します。

12. プログラマブルタイミングパターンコントローラ (TPC)

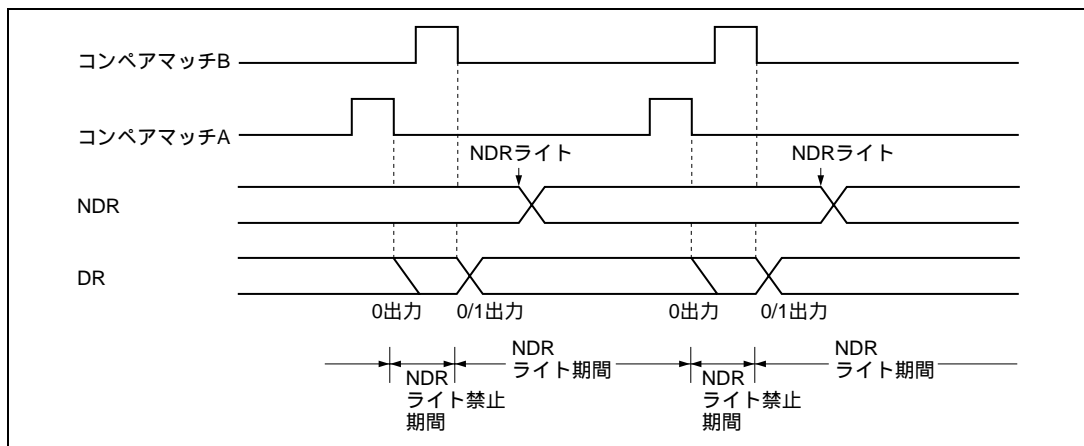


図 12.9 ノンオーバーラップ動作とNDR ライトタイミング

13. ウォッチドッグタイマ

13.1 概要

本 LSI は、ウォッチドッグタイマ (WDT: Watch Dog Timer) を 1 チャンネル内蔵しており、システムの監視を行うことができます。WDT はシステムの暴走などにより、タイマカウンタの値が書き換えられずオーバーフローすると、CPU に対してリセットまたは NMI 割込みを発生します。

また、WDT として使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマモードのときは、カウンタがオーバーフローするごとに OVF 割込みを発生します。

13.1.1 特長

WDT の特長を以下に示します。

- 8 種類のカウンタ入力クロックを選択可能
- インターバルタイマモードに切替え可能
- タイマカウンタがオーバーフローするとリセットまたは割込みが発生
ウォッチドッグタイマモード時にはリセットまたは NMI 割込み、インターバルタイマモード時には、OVF 割込みが発生します。

13. ウォッチドッグタイマ

13.1.2 ブロック図

WDT のブロック図を図 13.1 に示します。

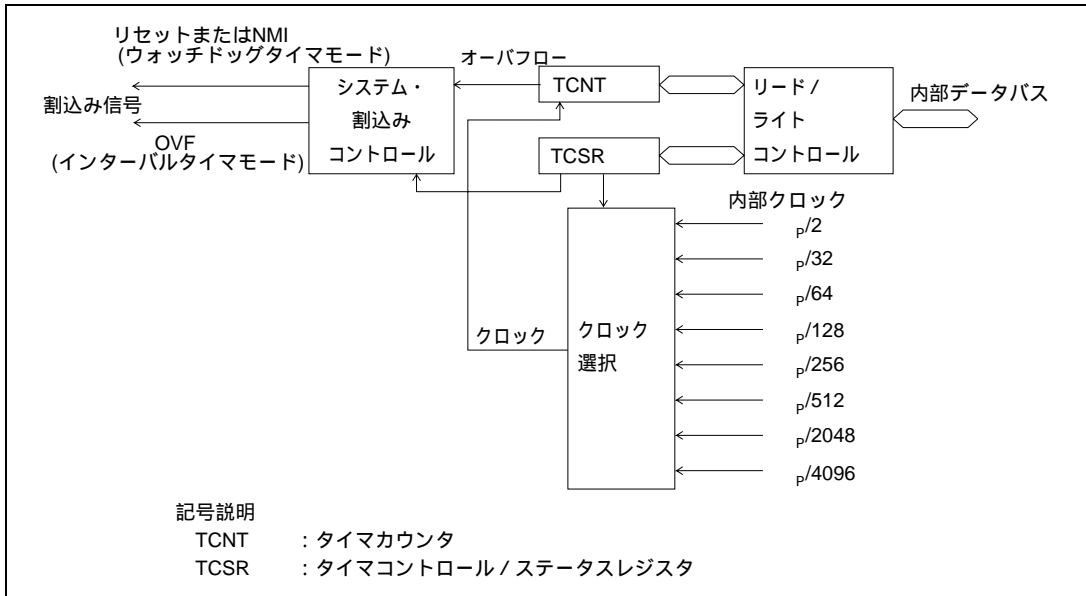


図 13.1 WDT のブロック図

13.1.3 レジスタ構成

WDT には表 13.1 に示すレジスタがあります。

表 13.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				ライト時	リード時
タイマコントロール/ステータスレジスタ	TCSR	R/(W)*	H'10	H'FFAA	H'FFAA
タイマカウンタ	TCNT	R/W	H'00	(ワード転送)	H'FFAB

【注】 * ビット7は、フラグをクリアするための0ライトのみ可能です。

13.2 各レジスタの説明

13.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT は、8 ビットのリード/ライト*可能なアップカウンタです。TCSR のタイマイネーブルビット (TME) を 1 にセットすると、TCSR クロックセレクト 2~0 ビット (CKS2~CKS0) で選択された内部クロックにより、カウントアップを開始します。また、TCNT の値がオーバフロー (H'FF H'00) すると、TCSR のオーバフローフラグ (OVF) が 1 にセットされます。

また、TCNT はリセット、あるいは TME = 0 のとき H'00 にイニシャライズされます。

【注】* TCNT は、容易に書き換えられないようにライト方法が一般のレジスタと異なっています。詳細は「13.2.3 レジスタ書換え時の注意」を参照してください。

13.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R(W)*1	R/W	R/W	—	R/W	R/W	R/W	R/W

TCSR は、8 ビットのリード/ライト*可能なレジスタで、TCNT に入力するクロックの選択、およびモードの選択などを行います。

ビット 7~5、ビット 3 は、リセットまたはスタンバイモード時に 0 にイニシャライズされます。ビット 2~0 は、リセット時のみ 0 にイニシャライズされますが、スタンバイモード時には、イニシャライズされずに前の値を保持します。

【注】*1 フラグをクリアするための 0 ライトのみ可能です。

*2 TCSR は、容易に書き換えられないようにライト方法が一般のレジスタと異なっています。詳細は「13.2.3 レジスタ書換え時の注意」を参照してください。

ビット 7: オーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF H'00) したことを示すステータスフラグです。

ビット 7	説明
OVF	
0	〔クリア条件〕 OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき (初期値)
1	〔セット条件〕 TCNT が H'FF H'00 に変化したとき

13. ウォッチドッグタイマ

ビット6：タイマモードセレクト (WT/ $\overline{\text{IT}}$)

ウォッチドッグタイマとして使用するか、またはインターバルタイマとして使用するかを選択します。

この選択によって TCNT がオーバーフローしたとき、CPU に要求する割込みは、インターバルタイマモード時は OVF 割込みを、ウォッチドッグタイマモード時はリセットまたは NMI 割込みを要求します。

ビット6	説明
$\overline{\text{WT/IT}}$	
0	インターバルタイマモード (OVF 割込み要求) (初期値)
1	ウォッチドッグタイマモード (リセットまたは NMI 割込み要求)

ビット5：タイマイネーブル (TME)

動作の許可または禁止を選択します。

ビット5	説明
TME	
0	タイマディスエーブル: TCNT を H'00 にイニシャライズし、カウントアップを停止 (初期値)
1	タイマイネーブル: TCNT がカウントアップを開始し、TCNT がオーバーフローするとリセットまたは CPU への割込み要求を許可

ビット4：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット3：リセットまたは NMI (RST/ $\overline{\text{NMI}}$)

ウォッチドッグタイマのオーバーフロー時に内部リセットか NMI 機能かを選択します。

ビット3	説明
$\overline{\text{RST/NMI}}$	
0	NMI 機能有効 (初期値)
1	リセット機能有効

ビット2~0：クロックセレクト2~0 (CKS2~CKS0)

システムクロック () を分周して得られる 8 種類の内部クロックから TCNT に入力するクロックを選択します。

オーバーフロー周期は、TCNT が H'00 からカウントを開始し、オーバーフローするまでの時間です。インターバルタイマモードではこのオーバーフロー周期ごとに OVF 割込みを発生させることができます。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	カウント・クロック	オーバーフロー周期 ($f_p = 10\text{MHz}$ の場合)
0	0	0	$f_p/2$	51.2 μs (初期値)
		1	$f_p/32$	819.2 μs
	1	0	$f_p/64$	1.6ms
		1	$f_p/128$	3.3ms
1	0	0	$f_p/256$	6.6ms
		1	$f_p/512$	13.1ms
	1	0	$f_p/2048$	52.4ms
		1	$f_p/4096$	104.9ms

13.2.3 レジスタ書換え時の注意

WDT の TCNT と TCSR のレジスタは、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。リード/ライトは次の方法を行ってください。

(1) TCNT、TCSR へのライト

ライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。

ライト時のアドレスは、TCNT、TCSR とも同一アドレスになっています。そのため、TCNT、TCSR へライトするときは、下位バイトをライトデータに、上位バイトを H'5A (TCNT のとき) または H'A5 (TCSR のとき) にしてワード転送を行います。これを図 13.2 に示します。このようなデータ転送により、下位バイトのデータが TCNT または TCSR へライトされます。

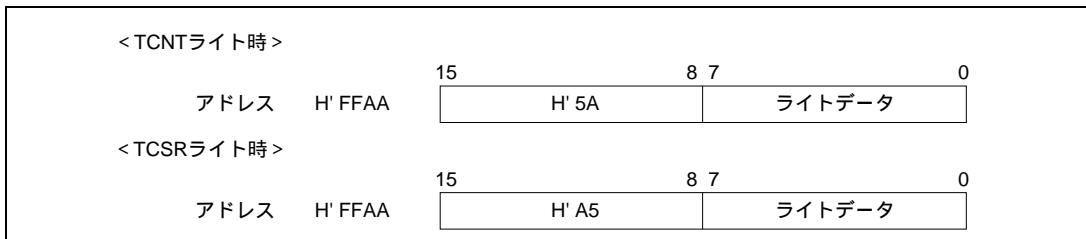


図 13.2 TCNT、TCSR へのライトデータ

(2) TCNT、TCSR のリード

リードの場合、アドレス H'FFAA に TCSR、H'FFAB に TCNT が割り当てられています。これを表 13.2 に示します。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。

表 13.2 TCNT、TCSR のリード

アドレス	レジスタ
H'FFAA	TCSR
H'FFAB	TCNT

13.3 動作説明

13.3.1 ウォッチドッグタイマモード時の動作

WDTとして使用する場合は、 $WT/\overline{IT} = 1$ 、 $TME = 1$ に設定します。

プログラムではTCNTがオーバーフローする前に、ソフトウェアでTCNTの値を書き換えて（通常はH'00をライト）、常にオーバーフローが発生しないようにします。システムの暴走等により、TCNTの値が書き換えられず、オーバーフローすると、518システムクロック（ ）の間、本LSIをリセットするかまたはNMI割込み要求を発生します。これを図13.3に示します。

また、WDTからのNMI要求と \overline{NMI} 端子からの割込み要求は、同一ベクタです。WDTからのNMI要求と \overline{NMI} 端子からの割込み要求を同時に扱うことは避けてください。

WDTからのリセットと \overline{RES} 端子からのリセットは、同一ベクタです。リセット要因は、SYSCRのXRSTビットの内容によって判別できます。

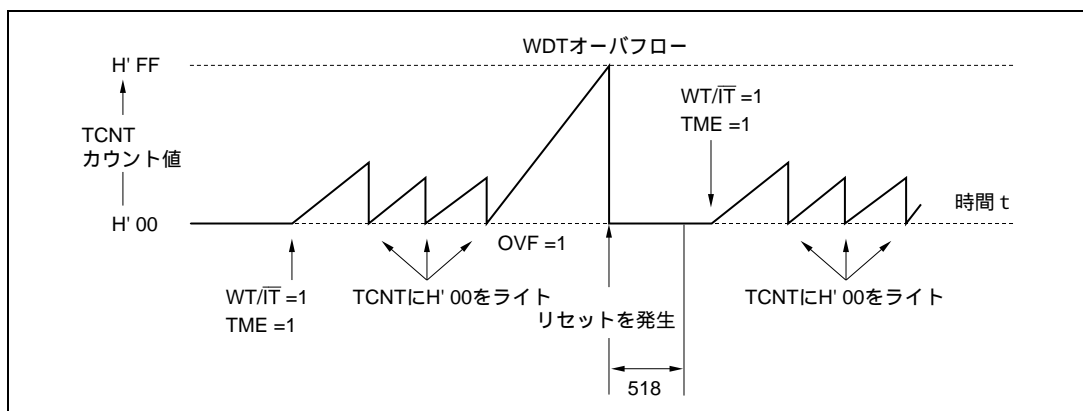


図 13.3 ウォッチドッグタイマモード時の動作

13.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するには、 $WT/\overline{IT}=0$ 、 $TME=1$ に設定します。インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとに、OVF 割込み要求が発生します。これにより、一定時間ごとに OVF 割込みを発生させることができます。これを図 13.4 に示します。

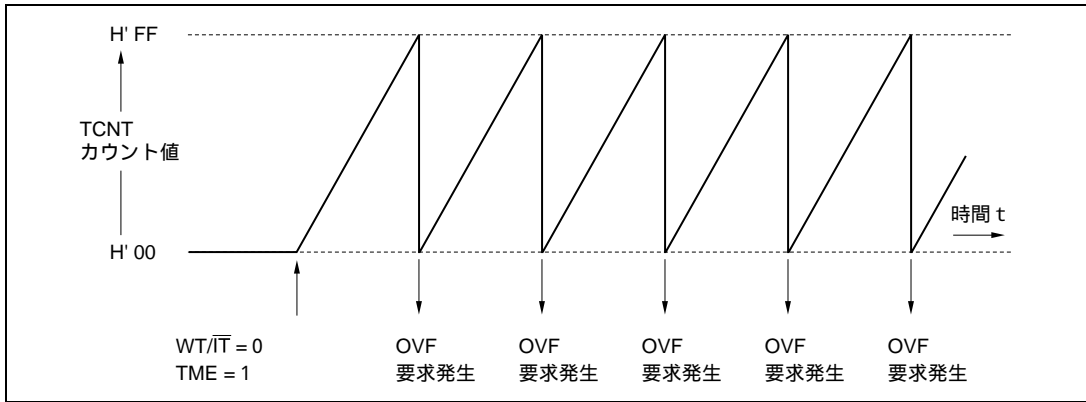


図 13.4 インターバルタイマモード時の動作

13.3.3 オーバフローフラグ（OVF）セットタイミング

OVF は、TCNT がオーバーフローすると、1 にセットされます。このとき同時に、NMI または OVF の割込みが要求されます。このタイミングを図 13.5 に示します。

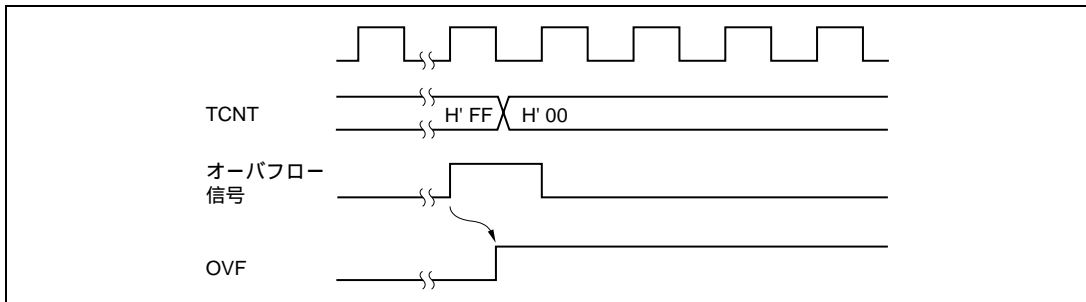


図 13.5 OVF のセットタイミング

13.4 使用上の注意

WDT を使用するときは、次のことに注意してください。

(1) TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。これを図 13.6 に示します。

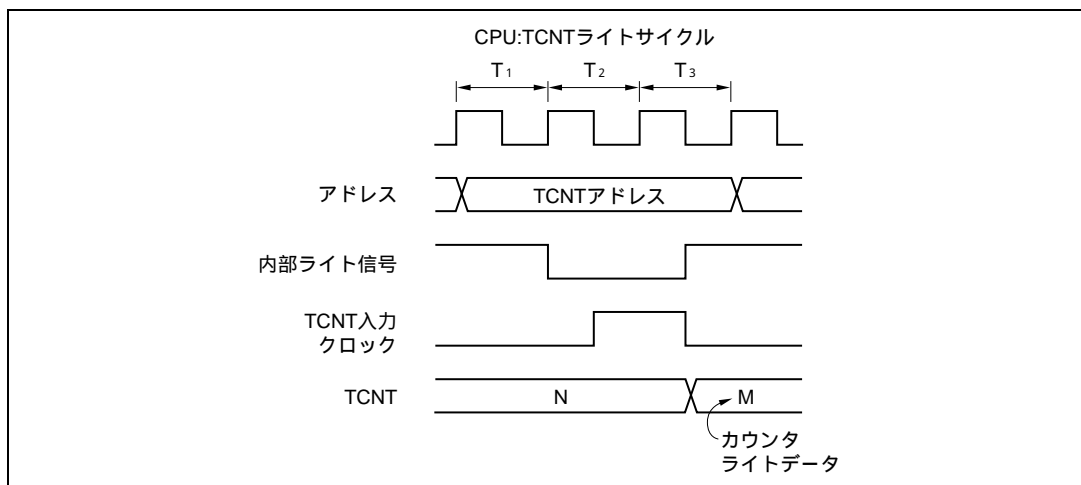


図 13.6 TCNT のライトとカウントアップの競合

(2) CKS2 ~ CKS0 ビットの書換え

WDT が動作中に CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。

CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME = 0 の状態にしてから) 行ってください。

(3) ソフトウェアスタンバイモードからの復帰

本 LSI がソフトウェアスタンバイモードから復帰すると、ビット 0 ~ 2 を除く TCSR ビットと TCNT カウンタがリセットされます。ウォッチドッグタイマが通常の動作状態になるように再び初期化してください。

14. シリアルコミュニケーションインタフェース

14.1 概要

本 LSI は、2 チャネルのシリアルコミュニケーションインタフェース 0、1(SCI: Serial Communication Interface) を内蔵しています。

SCI は、他の LSI とシリアルデータの通信を行う内蔵周辺モジュールで、調歩同期式モードとクロック同期式モードの選択が可能です。

14.1.1 特長

SCI の特長を以下に示します。

- 通信モードは調歩同期式モードとクロック同期式モードから選択可能
- (a) 調歩同期式モード
 - 調歩同期式通信を行うモードです。UART(Universal Asynchronous Receiver/Transmitter) や ACIA (Asynchronous Communication Interface Adapter) などの標準の調歩同期式通信用 LSI との通信が可能です。また複数のプロセッサと通信を行うことができるマルチプロセッサ間通信機能を備えています。
 - データ送信 / 受信フォーマットは 12 種類のフォーマットから選択可能です。
 - データ長 : 7 ビットまたは 8 ビット
 - ストップビット長 : 1 ビットまたは 2 ビット
 - パリティ : 偶数パリティ、奇数パリティまたはパリティなし
 - マルチプロセッサビット : 1 または 0
 - エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
 - ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことでブレークを検出できます。
- (b) クロック同期式モード
 - クロックに同期させてシリアルデータの通信を行うモードです。クロック同期式通信機能をもつ他の LSI との通信が可能です。
 - データ長 : 8 ビット
 - エラー検出 : オーバランエラー
 - 全二重通信が可能
 - 独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構成になっているので、データの連続転送を行うことができます。
 - ボーレートジェネレータを内蔵
 - ボーレートジェネレータにより任意のビットレートを選択することができます。
 - 内部 / 外部のクロックソースを選択可能
 - クロックソースは、ボーレートジェネレータからの内部クロックまたは SCK 端子からの外部クロックから選択することができます。
 - 4 種類の割込み要因
 - TDR エンプティ、TSR エンプティ、受信完了、受信エラーがあり、それぞれ独立に要求する

14. シリアルコミュニケーションインタフェース

ことができます。

14.1.2 ブロック図

図 14.1 に SCI のブロック図を示します。

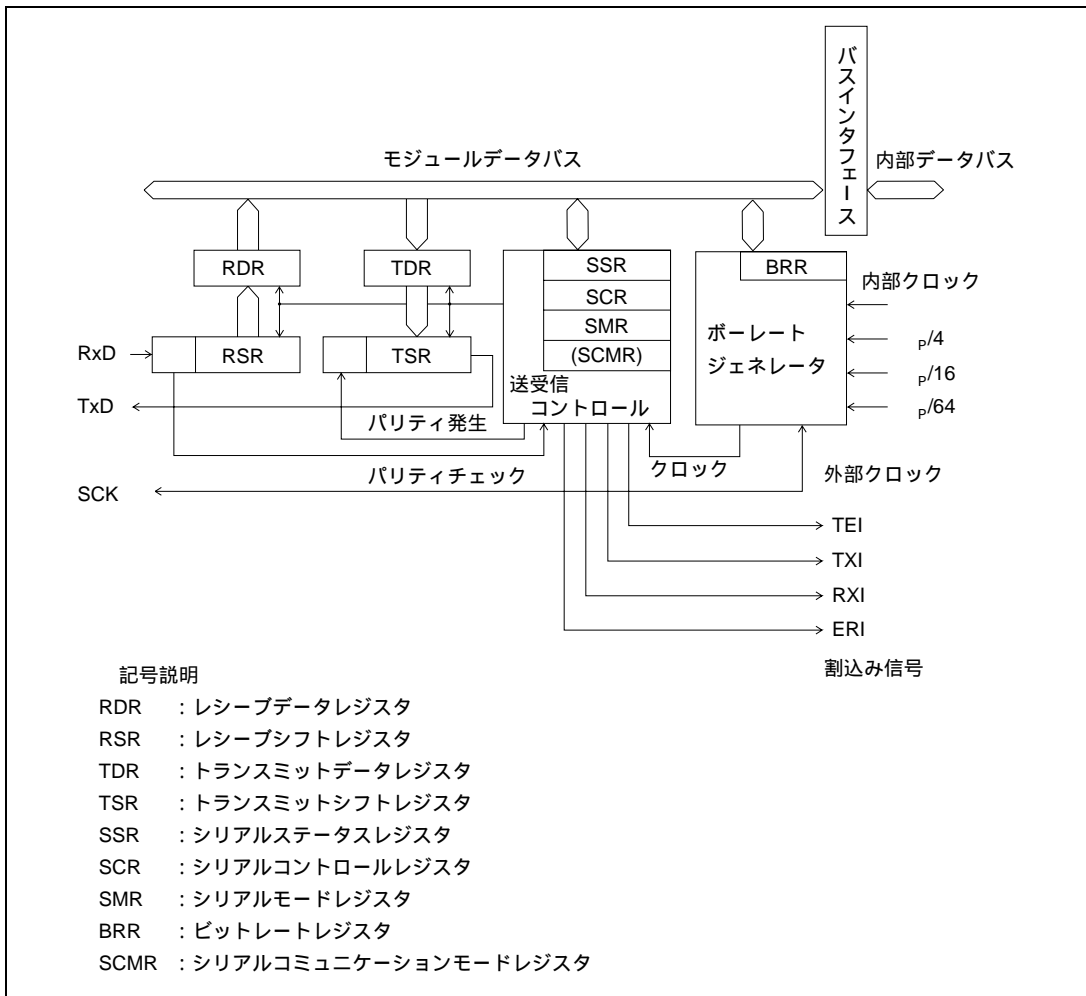


図 14.1 SCI のブロック図

14.1.3 端子構成

SCI は、表 14.1 に示すシリアル端子を備えています。

表 14.1 端子構成

チャンネル	名称	略称*	入出力	機能
0	シリアルクロック入出力端子	SCK ₀	入出力	クロック入出力
	シリアル受信入力端子	RxD ₀	入力	受信データ入力
	シリアル送信出力端子	TxD ₀	出力	送信データ出力
1	シリアルクロック入出力端子	SCK ₁	入出力	クロック入出力
	シリアル受信入力端子	RxD ₁	入力	受信データ入力
	シリアル送信出力端子	TxD ₁	出力	送信データ出力

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

14.1.4 レジスタ構成

SCI には、表 14.2 に示す内部レジスタがあります。これらのレジスタにより動作モード（調歩同期式 / クロック同期式）の指定、データフォーマットの指定、ビットレートの設定、および送信部 / 受信部の制御などを行います。

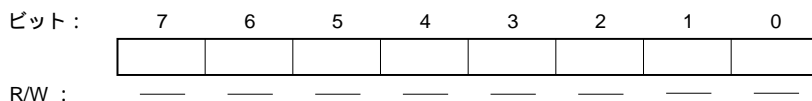
表 14.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス
0	レシーブシフトレジスタ	RSR	不可	-	-
	レシーブデータレジスタ	RDR	R	H'00	H'FFDD
	トランスミットシフトレジスタ	TSR	不可	-	-
	トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFDB
	シリアルモードレジスタ	SMR	R/W	H'00	H'FFD8
	シリアルコントロールレジスタ	SCR	R/W	H'00	H'FFDA
	シリアルステータスレジスタ	SSR	R/(W)*	H'84	H'FFDC
	ビットレートレジスタ	BRR	R/W	H'FF	H'FFD9
	シリアルコミュニケーションモードレジスタ	SCMR	R/W	H'F2	H'FFDE
1	レシーブシフトレジスタ	RSR	不可	-	-
	レシーブデータレジスタ	RDR	R	H'00	H'FF8D
	トランスミットシフトレジスタ	TSR	不可	-	-
	トランスミットデータレジスタ	TDR	R/W	H'FF	H'FF8B
	シリアルモードレジスタ	SMR	R/W	H'00	H'FF88
	シリアルコントロールレジスタ	SCR	R/W	H'00	H'FF8A
	シリアルステータスレジスタ	SSR	R/(W)*	H'84	H'FF8C
	ビットレートレジスタ	BRR	R/W	H'FF	H'FF89
0、1	シリアルタイムコントロールレジスタ	STCR	R/W	H'1C	H'FFC3

【注】 * ビット 7~3 はフラグをクリアするための 0 ライトのみ可能です。

14.2 各レジスタの説明

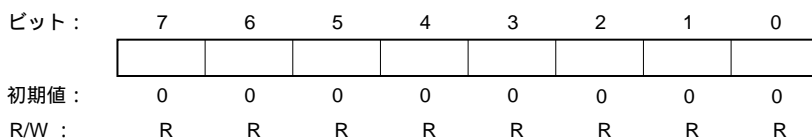
14.2.1 レシーブシフトレジスタ (RSR)



RSR は、受信したシリアルデータをパラレルデータに変換するためのシフトレジスタです。1 キャラクタの受信が終了すると、データは RDR に転送されます。

RSR は、CPU から直接リード/ライトできません。

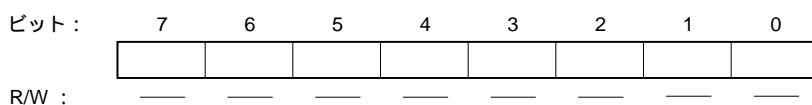
14.2.2 レシーブデータレジスタ (RDR)



RDR は、受信データを格納するレジスタで、受信が完了すると、RSR からデータが転送されます。これにより、RSR は次のデータの受信が可能になり、データを連続的に受信することができます。

RDR はリード専用です。RDR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

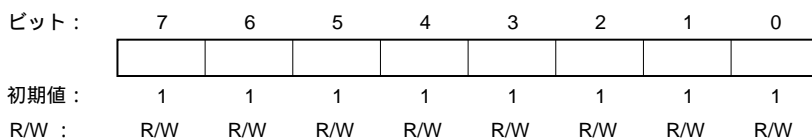
14.2.3 トランスミットシフトレジスタ (TSR)



TSR は、パラレルデータをシリアルデータに変換して送信するためのシフトレジスタです。1 キャラクタの送信が終了すると、次に送信するデータが TDR から転送され、送信を開始します。ただし、TDRE ビットが 1 にセットされたままの場合には、転送は行われません。

TSR は、CPU から直接リード/ライトすることはできません。

14.2.4 トランスミットデータレジスタ (TDR)



TDR は、送信するデータを格納するリード/ライト可能な 8 ビットのレジスタです。TDR にライトされたデータは、TSR がデータを送信して空になると TSR へ転送されます。

TSR がデータ送信中に、TDR に次のデータをライトしておくことによって、データを連続的に送信することができます。

TDR は、リセットまたはスタンバイモード時に、H'FF にイニシャライズされます。

14.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI の送信 / 受信フォーマットの設定と、内蔵ポーレートジェネレータのクロックソースの選択を行うリード / ライト可能な 8 ビットのレジスタです。SMR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

なお、SMR の設定と送信 / 受信フォーマットについては、「14.3 動作説明」表 14.5 および表 14.7 を参照してください。

ビット 7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを選択します。

ビット 7	説明	
C/ \bar{A}		
0	調歩同期式モード	(初期値)
1	クロック同期式モード	

ビット 6: キャラクタレングス (CHR)

調歩同期式モードでのデータ長を指定します。

クロック同期式モードでは無効です。CHR ビットの設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説明	
CHR		
0	8 ビットデータ	(初期値)
1	7 ビットデータ (TDR、RDR のビット 0~6 を送信 / 受信に用います)	

ビット 5: パリティイネーブル (PE)

調歩同期式モードで、パリティビットの付加 / チェックを設定します。

クロック同期式モードおよびマルチプロセッサフォーマットでは無効です。

ビット 5	説明	
PE		
0	1) 送信時: パリティビットを付加しない 2) 受信時: パリティビットのチェックを行わない	(初期値)
1	1) 送信時: パリティビットを付加する 2) 受信時: パリティビットのチェックを行う	

ビット 4: パリティモード (O/ \bar{E})

調歩同期式モードで、パリティビットの付加 / チェックを設定したとき (PE ビットが 1 のとき)、付加 / チェックするパリティビットの偶数パリティまたは奇数パリティを指定します。

14. シリアルコミュニケーションインタフェース

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が偶数個になるようにパリティビットが決定されます。同様に、奇数パリティでは、キャラクタとパリティビットをあわせて、その中の 1 の数の合計が奇数個になるようにパリティビットを決定します。

PE ビットが 0 のとき、およびクロック同期式モード、ならびにマルチプロセッサフォーマットでは無効です。

ビット 4	説明	
O/E		
0	偶数パリティ	(初期値)
1	奇数パリティ	

ビット 3 : ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを指定します。
クロック同期式モードでは無効です。

ビット 3	説明	
STOP		
0	1 ストップビット	1) 送信時: ストップビットを 1 ビット付加 2) 受信時: ストップビットを 1 ビットチェックしフレーミングエラーを判定 (初期値)
1	2 ストップビット	1) 送信時: ストップビットを 2 ビット付加 2) 受信時: ストップビットの 1 ビット目をチェックしフレーミングエラーを判定。2 ビット目がスペース (0) の場合は次のスタートビットとして扱う

ビット 2 : マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。

マルチプロセッサフォーマットを選択した場合、パリティイネーブル (PE)、およびパリティモード (O/E) で設定したパリティの設定は無効になります。また、MP ビット設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは MP ビットの設定は無効です。

ビット 2	説明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット 1、0 : クロックセレクト 1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。

ビット 1	ビット 0	説明	
CKS1	CKS0		
0	0	クロック	(初期値)
	1	1/4 クロック	
1	0	1/16 クロック	
	1	1/64 クロック	

14.2.6 シリアルコントロールレジスタ (SCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の動作の制御を行うリード/ライト可能な 8 ビットのレジスタです。リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7: トランスミットインタラプトイネーブル (TIE)

SSR のトランスミットデータレジスタエンプティ (TDRE) が 1 にセットされたときに、TDR エンプティ割り込み要求 (TXI) の許可または禁止を選択します。

ビット 7	説明	
TIE		
0	TDR エンプティ 割り込み要求 (TXI) を禁止	(初期値)
1	TDR エンプティ 割り込み要求 (TXI) を許可	

ビット 6: レシーブインタラプトイネーブル (RIE)

SSR のレシーブデータレジスタフル (RDRF) が 1 にセットされたときに、受信完了割り込み要求 (RXI) の許可または禁止、ならびにオーバランエラー (ORER) またはフレーミングエラー (FER)、パリティエラー (PER) が 1 にセットされたときに受信エラー割り込み要求 (ERI) の許可または禁止を選択します。

ビット 6	説明	
RIE		
0	受信完了割り込み要求 (RXI)、受信エラー割り込み要求 (ERI) を禁止	(初期値)
1	受信完了割り込み要求 (RXI)、受信エラー割り込み要求 (ERI) を許可	

ビット 5: トランスミットイネーブル (TE)

送信動作の許可または禁止を選択します。送信可能状態のとき、TxD 端子は自動的に出力端子になりますが、送信動作禁止の状態では TxD 端子は入出力ポートとして使用できます。

ビット 5	説明	
TE		
0	送信動作を禁止 (TxD 端子は入出力ポートとして使用可)	(初期値)
1	送信可能状態 (TxD 端子は出力端子)	

14. シリアルコミュニケーションインタフェース

ビット4：レシーブイネーブル（RE）

受信動作の許可または禁止を選択します。受信可能状態のとき、RxD 端子は自動的に入力端子になりますが、受信動作禁止の状態では RxD 端子は入出力ポートとして使用できます。

ビット4	説明
RE	
0	受信動作を禁止 (RxD 端子は入出力ポートとして使用可) (初期値)
1	受信可能状態 (RxD 端子は入力端子)

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサフォーマットを使用してシリアル受信をするときに、マルチプロセッサビットの1を含む受信データを受け取るまでの受信動作（受信完了割り込み要求（RXI）、受信エラー割り込み要求（ERI）、RSR から RDR への受信データの転送および、SSR の RDRF、FER、PER、ORER ビットの動作）の許可または禁止を選択します。

マルチプロセッサフォーマットでないとき、ならびにクロック同期式モードでは無効です。

MPIE ビットを0にクリアするとマルチプロセッサ割り込み禁止状態になります。この状態では、受信データに付加されたマルチプロセッサビットの値にかかわらず受信動作をします。

MPIE ビットを1にセットするとマルチプロセッサ割り込み許可状態になります。この状態では受信データに付加されたマルチプロセッサビットが0の場合受信完了割り込み要求（RXI）および、受信エラー割り込み要求（ERI）は禁止されます。また、RSR から RDR への受信データの転送および、SSR の RDRF、FER、PER、ORER ビットの動作は禁止されます。マルチプロセッサビットが1の場合、SSR の MPB ビットを1にセットし、MPIE ビットを0にクリアします。RSR から RDR への受信データの転送および、SSR の RDRF、FER、PER、ORER ビットの動作は許可され、受信完了割り込み（RXI）と受信エラー割り込み（ERI）は許可されます。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込みを禁止（通常の実動作を行います。） (初期値)
1	マルチプロセッサ割り込みを許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求（RXI）、受信エラー割り込み要求（ERI）、および、RSR から RDR への受信データの転送を禁止します。また、SSR の RDRF、FER、PER、ORER ビットのセットを禁止します。 [クリア条件] (1) MPIE に0をライトしたとき (2) マルチプロセッサビットが1のデータを受信したとき

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

SSR のトランスミットエンド（TEND）が1にセットされたときに、TSR エンプティ割り込み要求（TEI）の許可または禁止を選択します。

ビット2	説明
TEIE	
0	TSR エンプティ割り込み要求（TEI）を禁止 (初期値)
1	TSR エンプティ割り込み要求（TEI）を許可

ビット1：クロックイネーブル（CKE1）

SCIのクロックソースを、内蔵ポーレートジェネレータによる内部クロック、またはSCK端子からの外部クロックから選択します。外部クロックを選択したとき、SCK端子は自動的に入力端子になります。

ビット1	説明
CKE1	
0	内部クロックを選択 (初期値) ($C/\bar{A}=1$ のとき SCK 端子は出力端子、 $C/\bar{A}=0$ のときはクロックイネーブル0 (CKE0) による)
1	外部クロックを選択 (SCK 端子は入力端子)

ビット0：クロックイネーブル0（CKE0）

調歩同期式モードで内部クロックを使用する場合に、SCK端子からのクロック出力の許可または禁止を指定します。

外部クロックを使用する場合、およびクロック同期式モードでは無効です。

SCIのクロックソースの選択についての詳細は、「14.3 動作説明」表 14.6 を参照してください。

ビット0	説明
CKE0	
0	SCK 端子を使用しない (SCK 端子は入出力ポートとして使用可) (初期値)
1	SCK 端子を出力端子としてクロック出力

14.2.7 シリアルステータスレジスタ（SSR）

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

SSRは、SCIの動作状態を示す8ビットのレジスタです。

SSRは、リセットまたはスタンバイモード時に、H'84にイニシャライズされません。

ビット7：トランスミットデータレジスタエンプティ（TDRE）

TDRに送信データをライトすることが可能であることを示すビットです。

ビット7	説明
TDRE	
0	〔クリア条件〕 TDRE = 1の状態、TDREをリードした後、TDREに0をライトしたとき DTUバスサイクルによってTDRにデータがライトされたとき
1	〔セット条件〕 (初期値) (1) TDRからTSRヘデータの転送が行われたとき (2) TEを0にクリアしたとき

14. シリアルコミュニケーションインタフェース

ビット6：レシーブデータレジスタフル（RDRF）

データの受信が完了し、受信したデータがRDRに入っていることを示すビットです。

ビット6	説明
RDRF	
0	〔クリア条件〕 RDRF = 1 の状態で、RDRF をリードした後、RDRF に 0 をライトしたとき DTU バスサイクルによって RDR がリードされたとき (初期値)
1	〔セット条件〕 データが正常に受信され、RSR から RDR へデータが転送されたとき

ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説明
ORER	
0	〔クリア条件〕 ORER = 1 の状態で、ORER をリードした後、ORER に 0 をライトしたとき (初期値)
1	〔セット条件〕 オーバランエラーが発生したとき (RDRF = 1 の状態で次のデータの受信が完了したとき)

ビット4：フレーミングエラー（FER）

調歩同期式モードで、受信時にフレーミングエラーが発生したことを示すビットです。クロック同期式モードでは、FER ビットは無効です。

ビット4	説明
FER	
0	〔クリア条件〕 FER = 1 の状態で、FER をリードした後、FER に 0 をライトしたとき (初期値)
1	〔セット条件〕 フレーミングエラーが発生したとき（ストップビットが 0 の場合）

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティ付のデータフォーマットを受信するときに、パリティエラーが発生したことを示すビットです。

パリティなしのデータフォーマットの場合およびクロック同期式モードでは、PER ビットは無効です。

ビット3	説明
PER	
0	〔クリア条件〕 PER = 1 の状態で、PER をリードした後、PER に 0 をライトしたとき (初期値)
1	〔セット条件〕 パリティエラーが発生したとき（受信したデータのパリティが SMR の O/E ビットで設定したパリティと一致しなかったとき）

ビット2：トランスミットエンド（TEND）

送信キャラクタの最終ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示すビットです。

シリアルコントロールレジスタ（SCR）の TE ビットが 0 のときにも TEND は 1 にセットされません。

TEND ビットはリード専用ですので、ライトできません。TEI 割込みを利用する場合は、データ送信を開始して TEND を 0 とした後に TEIE を 1 にセットして割込み許可してください。

ビット2	説明
TEND	
0	〔クリア条件〕 TDRE = 1 の状態をリードした後、TDRE に 0 をライトしたとき (初期値)
1	〔セット条件〕 (1) TE が 0 のとき (2) 送信キャラクタの最終ビット送信時に、TDRE が 1 であったとき

ビット1：マルチプロセッサビット（MPB）

調歩同期式モードで、マルチプロセッサフォーマットで受信するときに、受信データ中のマルチプロセッサビットを格納するビットです。クロック同期式モードやマルチプロセッサフォーマットでないとき、およびマルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、直前の状態を保持します。

MPB ビットは、リード専用であり、ライトできません。

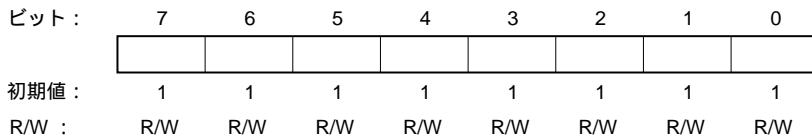
ビット1	説明
MPB	
0	マルチプロセッサビットが 0 のデータを受信したことを表示 (初期値)
1	マルチプロセッサビットが 1 のデータを受信したことを表示

ビット0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードで、マルチプロセッサフォーマットで送信するときに、送信データに付加するマルチプロセッサビットを格納するビットです。MPBT ビットは TSR、TDR と同様にダブルバッファ構成になっています。クロック同期式モードやマルチプロセッサフォーマットでないときには MPBT ビットは無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが 0 を送信 (初期値)
1	マルチプロセッサビットが 1 を送信

14.2.8 ビットレートレジスタ (BRR)



BRR は、SMR の CKS1、CKS0 ビットとの組合せでビットレートを設定する 8 ビットのレジスタです。

リセットまたはスタンバイモード時に、H'FF にイニシャライズされます。
BRR の設定例を表 14.3 および表 14.4 に示します。

表 14.3 ビットレートに対する BRR 設定値例 ($p =$ の場合) [調歩同期式モード] (1)

ビットレート (bit/s)	(MHz)					
	2			2.4576		
	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	+ 0.03	1	174	- 0.26
150	1	103	+ 0.16	1	127	0
300	0	207	+ 0.16	0	255	0
600	0	103	+ 0.16	0	127	0
1200	0	51	+ 0.16	0	63	0
2400	0	25	+ 0.16	0	31	0
4800	0	12	+ 0.16	0	15	0
9600	-	-	-	0	7	0
19200	-	-	-	0	3	0
31250	0	1	0	-	-	-
38400	-	-	-	0	1	0

ビットレート (bit/s)	(MHz)								
	3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	212	+ 0.03	2	64	+ 0.70	2	70	+ 0.03
150	1	155	+ 0.16	1	191	0	1	207	+ 0.16
300	1	77	+ 0.16	1	95	0	1	103	+ 0.16
600	0	155	+ 0.16	0	191	0	0	207	+ 0.16
1200	0	77	+ 0.16	0	95	0	0	103	+ 0.16
2400	0	38	+ 0.16	0	47	0	0	51	+ 0.16
4800	0	19	- 2.34	0	23	0	0	25	+ 0.16
9600	0	9	- 2.34	0	11	0	0	12	+ 0.16
19200	0	4	- 2.34	0	5	0	-	-	-
31250	0	2	0	-	-	-	0	3	0
38400	-	-	-	0	2	0	-	-	-

【注】 誤差はなるべく 1%以内となるように設定してください。

14. シリアルコミュニケーションインタフェース

表 14.3 ビットレートに対する BRR 設定値例 ($\rho =$ の場合) [調歩同期式モード] (2)

ビットレート (bit/s)	(MHz)											
	4.9152			5			6			6.144		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+ 0.31	2	88	- 0.25	2	106	- 0.44	2	108	+ 0.08
150	1	255	0	2	64	+ 0.16	2	77	+ 0.16	2	79	0
300	1	127	0	1	129	+ 0.16	1	155	+ 0.16	1	159	0
600	0	255	0	1	64	+ 0.16	1	77	+ 0.16	1	79	0
1200	0	127	0	0	129	+ 0.16	0	155	+ 0.16	0	159	0
2400	0	63	0	0	64	+ 0.16	0	77	+ 0.16	0	79	0
4800	0	31	0	0	32	- 1.36	0	38	+ 0.16	0	39	0
9600	0	15	0	0	15	+ 1.73	0	19	- 2.34	0	19	0
19200	0	7	0	0	7	+ 1.73	0	9	- 2.34	0	4	0
31250	0	4	- 1.70	0	4	0	0	5	0	0	5	+ 2.40
38400	0	3	0	0	3	+ 1.73	0	4	- 2.34	0	4	0

ビットレート (bit/s)	(MHz)											
	7.3728			8			9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	130	- 0.07	2	141	+ 0.03	2	174	- 0.26	2	177	- 0.25
150	2	95	0	2	103	+ 0.16	2	127	0	2	129	+ 0.16
300	1	191	0	1	207	+ 0.16	1	255	0	2	64	+ 0.16
600	1	95	0	1	103	+ 0.16	1	127	0	1	129	+ 0.16
1200	0	191	0	0	207	+ 0.16	0	255	0	1	64	+ 0.16
2400	0	95	0	0	103	+ 0.16	0	127	0	0	129	+ 0.16
4800	0	47	0	0	51	+ 0.16	0	63	0	0	64	+ 0.16
9600	0	23	0	0	25	+ 0.16	0	31	0	0	32	- 1.36
19200	0	11	0	0	12	+ 0.16	0	15	0	0	15	+ 1.73
31250	-	-	-	0	7	0	0	9	- 1.70	0	9	0
38400	0	5	0	-	-	-	0	7	0	0	7	+ 1.73

【注】 誤差はなるべく 1%以内となるように設定してください。

14. シリアルコミュニケーションインタフェース

表 14.3 ビットレートに対する BRR 設定値例 ($p_e =$ の場合) [調歩同期式モード] (3)

ビットレート (bit/s)	(MHz)											
	12			12.288			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	212	+ 0.03	2	217	+ 0.08	3	64	0.70	3	70	+ 0.03
150	2	155	+ 0.16	2	159	0	2	191	0	2	207	+ 0.16
300	2	77	+ 0.16	2	79	0	2	95	0	2	103	+ 0.16
600	1	155	+ 0.16	1	159	0	1	191	0	1	207	+ 0.16
1200	1	77	+ 0.16	1	79	0	1	95	0	1	103	+ 0.16
2400	0	155	+ 0.16	0	159	0	0	191	0	0	207	+ 0.16
4800	0	77	+ 0.16	0	79	0	0	95	0	0	103	+ 0.16
9600	0	38	+ 0.16	0	39	0	0	47	0	0	51	+ 0.16
19200	0	19	- 2.34	0	19	0	0	23	0	0	25	+ 0.16
31250	0	11	0	0	11	+ 2.4	0	14	- 1.7	0	15	0
38400	0	9	- 2.34	0	9	0	0	11	0	0	12	+ 0.16

【注】 誤差はなるべく 1%以内となるように設定してください。

表 14.4 ビットレートに対する BRR 設定値例 ($p = 1/2$ の場合) [調歩同期式モード] (1)

ビットレート (bit/s)	(MHz)					
	2			2.4576		
	n	N	誤差 (%)	n	N	誤差 (%)
110	1	70	0.03	1	86	0.31
150	1	51	0.16	1	63	0
300	0	103	0.16	0	255	0
600	0	51	0.16	0	127	0
1200	0	25	0.16	0	63	0
2400	0	12	0.16	0	31	0
4800	-	-	-	0	15	0
9600	-	-	-	0	7	0
19200	-	-	-	0	3	0
31250	0	0	0	-	-	-
38400	-	-	-	0	1	0

ビットレート (bit/s)	(MHz)								
	3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	106	- 0.44	1	130	- 0.07	1	141	0.03
150	1	77	0.16	1	95	0	1	103	0.16
300	1	38	0.16	1	47	0	1	51	0.16
600	0	77	0.16	0	95	0	0	103	0.16
1200	0	38	0.16	0	47	0	0	51	0.16
2400	0	19	- 2.34	0	23	0	0	25	0.16
4800	0	9	- 2.34	0	11	0	0	12	0.16
9600	0	4	- 2.34	0	5	0	0	-	-
19200	-	-	-	0	2	0	-	-	-
31250	-	-	-	-	-	-	0	1	0
38400	-	-	-	-	-	-	-	-	-

14. シリアルコミュニケーションインタフェース

表 14.4 ビットレートに対する BRR 設定値例 ($p = 1/2$ の場合) [調歩同期式モード] (2)

ビットレート (bit/s)	(MHz)											
	4.9152			5			6			6.144		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	- 0.26	1	177	- 0.25	1	212	0.03	1	217	0.08
150	1	127	0	1	129	0.16	1	155	0.16	1	159	0
300	1	63	0	1	64	0.16	1	77	0.16	1	79	0
600	0	127	0	1	32	1.36	1	-	0.16	1	39	0
1200	0	63	0	0	64	0.16	0	77	0.16	0	79	0
2400	0	31	0	0	32	- 1.36	0	38	0.16	0	39	0
4800	0	15	0	0	15	1.73	0	19	- 2.34	0	19	0
9600	0	7	0	0	7	1.73	0	9	- 2.34	0	9	0
19200	0	3	0	0	3	1.73	0	4	- 2.34	0	4	0
31250	0	-	-	-	-	-	0	2	0	0	2	2.40
38400	0	1	0	0	1	1.73	-	-	-	-	-	-

ビットレート (bit/s)	(MHz)											
	7.3728			8			9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0	1	207	0.16	1	255	0	2	64	0.16
300	1	95	0	1	103	0.16	1	127	0	1	129	0.16
600	1	47	0	1	51	0.16	1	63	0	1	64	0.16
1200	0	95	0	0	103	0.16	0	127	0	0	129	0.16
2400	0	47	0	0	51	0.16	0	63	0	0	64	0.16
4800	0	23	0	0	25	0.16	0	31	0	0	32	- 1.36
9600	0	11	0	0	12	0.16	0	31	0	0	15	1.73
19200	0	5	0	-	-	-	0	15	0	0	7	1.73
31250	-	-	-	0	3	0	0	9	- 1.70	0	4	0
38400	0	2	0	-	-	-	0	3	0	0	3	1.73

表 14.4 ビットレートに対する BRR 設定値例 ($\rho = 1/2$ の場合) [調歩同期式モード] (3)

ビットレート (bit/s)	(MHz)											
	12			12.288			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0	2	95	0	2	103	0.16
300	1	155	0.16	1	159	0	1	191	0	1	207	0.16
600	1	77	0.16	1	79	0	1	95	0	1	103	0.16
1200	0	155	0.16	0	159	0	0	191	0	0	207	0.16
2400	0	77	0.16	0	79	0	0	95	0	0	103	0.16
4800	0	38	0.16	0	39	0	0	47	0	0	51	0.16
9600	0	19	- 2.34	0	19	0	0	23	0	0	25	0.16
19200	0	9	- 2.34	0	9	0	0	11	0	0	12	0.16
31250	0	5	0	0	5	2.40	-	-	-	0	7	0
38400	0	4	- 2.34	0	4	0	0	5	0	-	-	-

< 記号説明 >

空欄： 設定不可能です。

- : 設定は可能ですが誤差が大きくなります。

【注】 誤差はなるべく 1%以内となるように設定してください。

$$B = \frac{F}{64 \times 2^{2n-1} \times (N+1)} \times 10^6 \quad \Rightarrow \quad N = \frac{F}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の値 0 N 255

F: n = 0 のときの ρ の値 (MHz)、n = のとき の値 (MHz)

n: ボーレートジェネレータ入力クロック n=0、1、2、3

(n とクロックの関係は下表を参照してください)

n	SMR		WSCR	クロック
	CKS1	CKS0	CKDBL	
0	0	0	0	
1	0	1	0	/4
2	1	0	0	/16
3	1	1	0	/64
0	0	0	1	
1	0	1	1	/8
2	1	0	1	/32
3	1	1	1	/128

ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (%)} = \left\{ \frac{F \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

14. シリアルコミュニケーションインタフェース

表 14.5 ビットレートに対する BRR 設定値例 ($p=$ の場合) (クロック同期式モード)

ビットレート (bit/s)	(MHz)											
	2		4		5		8		10		16	
	n	N	n	N	n	N	n	N	n	N	n	N
100	-	-	-	-	-	-	-	-	-	-	-	-
250	2	124	2	249	-	-	3	124	-	-	3	249
500	1	249	2	124	-	-	2	249	-	-	3	124
1k	1	124	1	249	-	-	2	124	-	-	2	249
2.5k	0	199	1	99	1	124	1	199	1	249	2	99
5k	0	99	0	199	0	249	1	99	1	124	1	199
10k	0	49	0	99	0	124	0	199	0	249	1	99
25k	0	19	0	39	0	49	0	79	0	99	0	159
50k	0	9	0	19	0	24	0	39	0	49	0	79
100k	0	4	0	9	-	-	0	19	0	24	0	39
250k	0	1	0	3	0	4	0	7	0	9	0	15
500k	0	0*	0	1	-	-	0	3	0	4	0	7
1M			0	0*	-	-	0	1	-	-	0	3
2.5M									0	0*	-	-
4M											0	0*

<記号説明>

空欄： 設定不可能です。

- : 設定は可能ですが、誤差がでます。

* : 連続転送はできません。

表 14.6 ビットレートに対する BRR 設定値例 ($\rho = 1/2$ の場合) [クロック同期式モード]

ビットレート (bit/s)	(MHz)											
	2		4		5		8		10		16	
	n	N	n	N	n	N	n	N	n	N	n	N
100	-	-	-	-	-	-	-	-	-	-	-	-
250	1	249	2	124	-	-	2	249	-	-	3	124
500	1	124	1	249	-	-	2	124	-	-	2	249
1k	-	-	1	124	-	-	1	249	-	-	2	124
2.5k	0	99	1	49	-	-	1	99	1	124	1	199
5k	0	49	0	99	0	124	1	49	-	-	1	99
10k	0	24	0	49	-	-	0	99	0	124	1	49
25k	0	9	0	19	0	24	0	39	0	49	0	79
50k	0	4	0	9	-	-	0	19	0	24	0	39
100k	-	-	0	4	-	-	0	9	0	12	0	19
250k	0	0*	0	1	-	-	0	3	0	4	0	7
500k	-	-	-	0*	-	-	0	1	-	-	0	3
1M			-	-			0	0	-	-	0	1
2.5M									-	-	-	-
4M									-	-		

< 記号説明 >

空欄： 設定不可能です。

-： 設定は可能ですが、誤差がでます。

*： 連続転送はできません。

$$B = \frac{F}{8 \times 2^{2n-1} \times (N+1)} \times 10^6 \quad \Rightarrow \quad N = \frac{F}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ポーレートジェネレータの BRR の値 0 N 255

F: n = 0 のときの ρ の値 (MHz)、n = のとき の値 (MHz)

n: ポーレートジェネレータ入力クロック n = 0、1、2、3
(n とクロックの関係は下表を参照してください)

n	SMR		WSCR	クロック
	CKS1	CKS0	CKDBL	
0	0	0	0	
1	0	1	0	/4
2	1	0	0	/16
3	1	1	0	/64
0	0	0	1	
1	0	1	1	/8
2	1	0	1	/32
3	1	1	1	/128

14.2.9 シリアルタイムコントロール (STCR)

ビット:	7	6	5	4	3	2	1	0
	RING	CMPF	CMPIE	LOAD	MARK	-	ICKS1	ICKS0
初期値:	0	0	0	1	1	1	0	0
R/W:	R/W	R/(W)*	R/W	(W)	(W)	-	R/W	R/W

【注】* ビット6は、フラグをクリアするための0ライトのみ可能です。

STCR は 8 ビットのリード/ライト可能なレジスタで、SCI の動作モードの制御、8 ビットタイムの TCNT の入力クロックの選択、DTU チャネル B の制御を行います。

STCR はリセット時に H'1C にイニシャライズされます。

ビット 7~3: DTU チャネル B の制御用ビット

DTU チャネル B の制御を行います。詳細は「第 5 章 データトランスファユニット」を参照してください。

ビット 2: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1、0: インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

8 ビットタイム 0、1 の TCNT に入力するクロックを選択します。詳細は「11.2.3 タイマコントロールレジスタ」を参照してください。

14.2.10 シリアルコミュニケーションモードレジスタ (SCMR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	-	-	-	-	R/W	R/W	-	R/W

SCMR は、8 ビットのリード/ライト可能なレジスタで、SCI0 の機能の選択を行います。
SCMR は、リセットまたはスタンバイモード時に HF2 にイニシャライズされます。

ビット7~4: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット3: データトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット2: データインバート (SINV)

データのロックレベルの反転を指定します。SINV ビットによる反転はデータビット D7~D0 のみです。パリティビットの反転のためには、SMR の O/E ビットを反転する必要があります。

ビット2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット0: シリアルコミュニケーションモードセレクト (SMIF)

リザーブビットです。1 をライトしないでください。

ビット2	説明
SMIF	
0	通常 SCI モード (初期値)
1	リザーブモード

14.3 動作説明

14.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 14.5 に示します。また、SCI のクロックスソースは、シリアルモードレジスタ (SMR) の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの組合せできまります。これを表 14.6 に示します。

(1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および、1または2ビットのストップビットの付加（これらの組合せで転送フォーマットおよび、キャラクタ長を決定）
- フレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（ORER）およびブレークの検出が可能（受信時）
- SCI のクロックスソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI はポーレートジェネレータのクロックで動作
ビットレートと同じ周波数のクロックを出力することが可能
 - 外部クロックを選択した場合：
ビットレートの16倍の周波数のクロック入力が必要
（内蔵ポーレートジェネレータを使用しない）

(2) クロック同期式モード

- 転送フォーマット：8ビットデータ固定
- 受信時にオーバランエラー（ORER）の検出可能
- SCI のクロックスソース：内部クロック/外部クロックから選択可能
 - 内部クロックを選択した場合：
SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - 外部クロックを選択した場合：
内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 14.7 シリアルモードレジスタ (SMR) の設定値と SCI の送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット							
bit7	bit6	bit2	bit5	bit3		データ長	マルチプロセッサビット	パリティビット	ストップビット長				
C/ \bar{A}	CHR	MP	PE	STOP									
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット				
				1					2ビット				
			1	0					1ビット				
				1					2ビット				
			1	0					0	1ビット			
									1	2ビット			
	1	0	1	-		0	調歩同期式モード (マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット		
						1					2ビット		
				-		0		1ビット					
						1		2ビット					
				1		1		-			0	7ビットデータ	1ビット
											1		2ビット
1	-	-	0	8ビットデータ	なし	なし		なし					
			1	7ビットデータ	なし	なし							

表 14.8 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック		
	bit7	bit1		bit0	クロックソース	SCK 端子の機能
C/ \bar{A}	CKE1	CKE0				
0	0	0	調歩同期式モード	内部	入出力ポート (SCI は、SCK 端子を使用しません) ビットレートと同じ周波数のクロックを出力	
		1				
		1		0	外部	ビットレートの 16 倍の周波数のクロックを入力
				1		
1	0	0	クロック同期式モード	内部	同期クロックを出力	
		1				
		1		0	外部	同期クロックを入力
				1		

14.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク (High レベル) に保たれています。SCI 通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (Low レベル) から始まり、データ (LSB ファースト: 最下位ビットから)、パリティビット (High または Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立下りエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

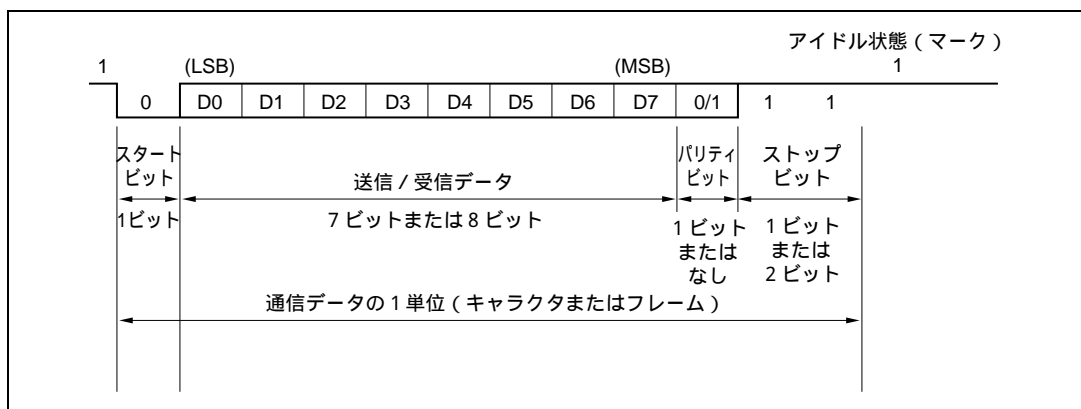


図 14.2 調歩同期式通信のデータフォーマット
(8ビットデータ / パリティあり / 2ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 14.9 に示します。
送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタの選定により選択できます。

表 14.9 SCI の送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル通信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S [8ビットデータ] STOP											
0	0	0	1	S [8ビットデータ] STOP STOP											
0	1	0	0	S [8ビットデータ] P STOP											
0	1	0	1	S [8ビットデータ] P STOP STOP											
1	0	0	0	S [7ビットデータ] STOP											
1	0	0	1	S [7ビットデータ] STOP STOP											
1	1	0	0	S [7ビットデータ] P STOP											
1	1	0	1	S [7ビットデータ] P STOP STOP											
0	-	1	0	S [8ビットデータ] MPB STOP											
0	-	1	1	S [8ビットデータ] MPB STOP STOP											
1	-	1	0	S [7ビットデータ] MPB STOP											
1	-	1	1	S [7ビットデータ] MPB STOP STOP											

記号説明

- SMR : シリアルモードレジスタ P : パリティビット
- S : スタートビット MPB : マルチプロセスビット
- STOP : ストップビット

(2) クロック

SCIの送受信クロックは、シリアルモードレジスタ (SMR) の C/A ビットとシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソース選択については表 14.8 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 14.3 に示すように送信データの中央にクロックの立上りエッジがくるようになります。

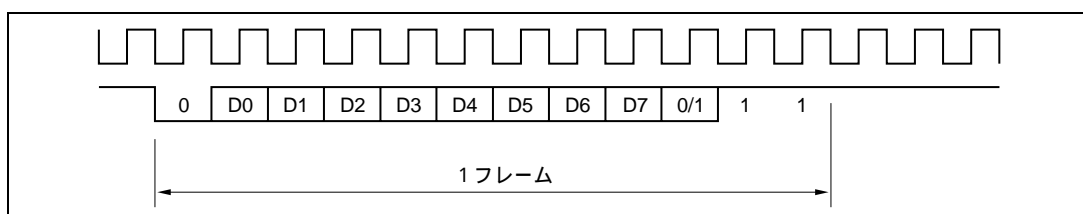


図 14.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

SCI のイニシャライズ

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCR) の TE ビットおよび、RE ビットを 0 にクリアした後、以下の順で SCI をイニシャライズしてください。

[注意事項]

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから下記手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは 1 にセットされ、トランスミットシフトレジスタ (TSR) がイニシャライズされます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

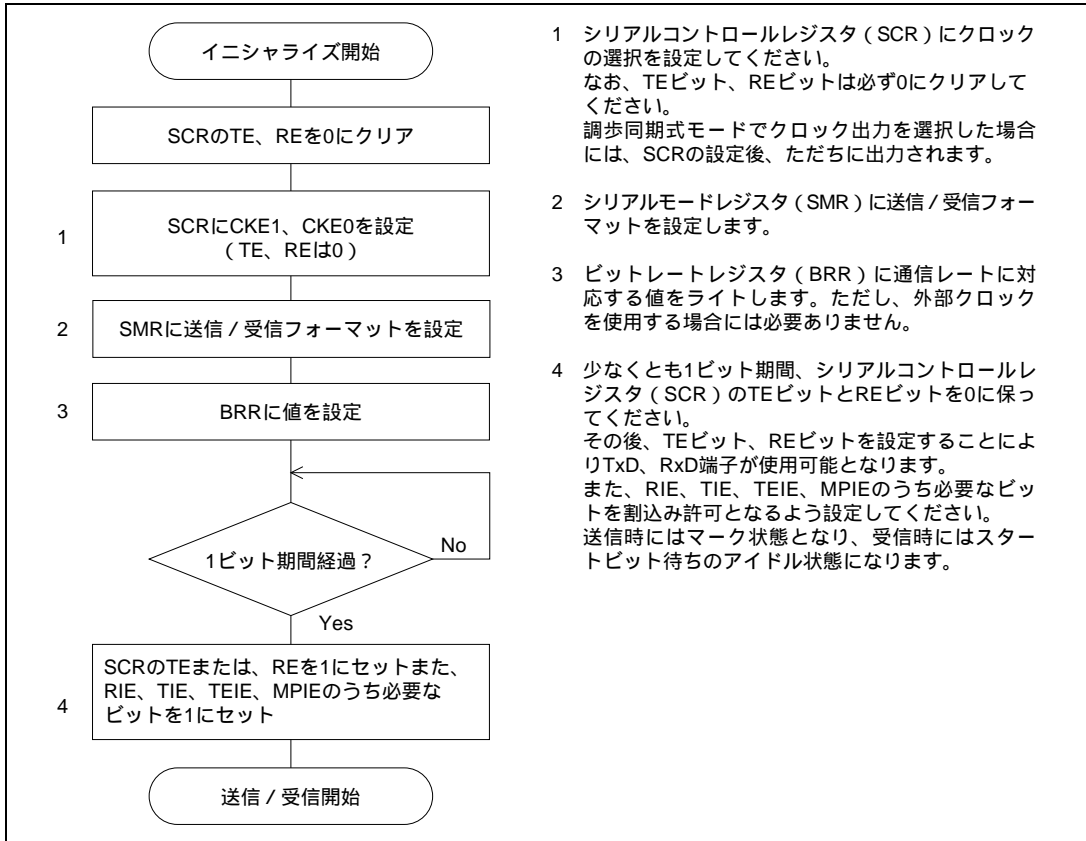


図 14.4 SCI のイニシャライズフローチャートの例

14. シリアルコミュニケーションインタフェース

シリアルデータ送信

シリアルデータ送信は以下の手順に従い行ってください。

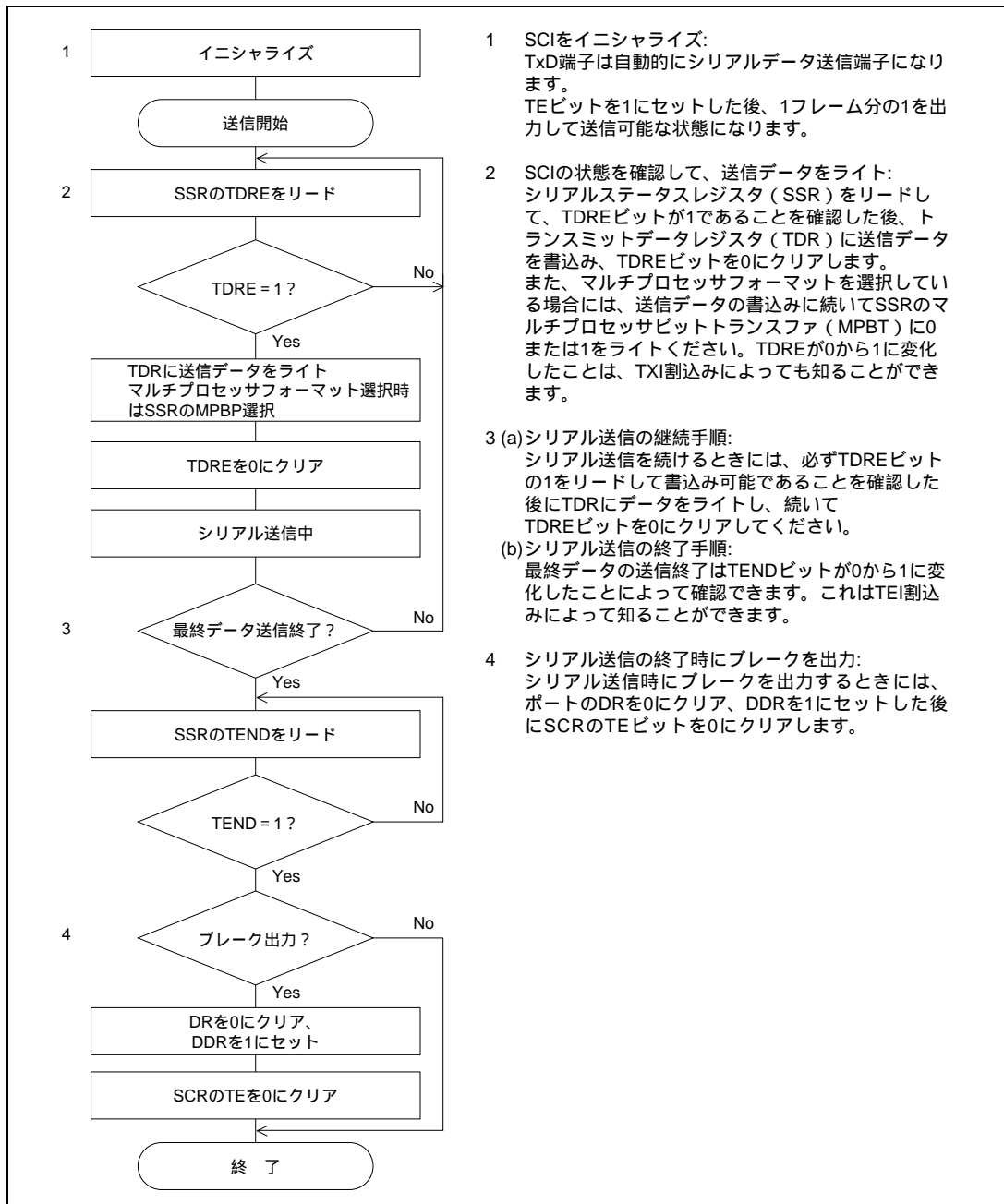


図 14.5 シリアルデータ送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREをビット監視し、0であるとトランスファデータレジスタ（TDR）にデータが書き込まれたと認識し、TDRからトランスファシフトレジスタ（TSR）にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、SCRのTIE（TDRエンプティ割り込みイネーブル）が、1にセットされているとTXI（TDRエンプティ）割り込み要求を発生します。
シリアル送信データは、以下の順にTxD端子から送出されます。
 - (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビットまたは、7ビットのデータがLSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または、奇数パリティ）または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビットまたは、マルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
 - (e) アイドル状態：次の送信を開始するスタートビットを送出するまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREビットをチェックします。
TDREビットが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次フレームのシリアル送信を開始します。
TDREビットが1であるとSSRのTENDビットに1をセットし、ストップビット送出後、1を出力するマーク状態になります。このときSCRのTEIE（TSRエンプティ割り込みイネーブル）が1にセットされているとTEI（TSRエンプティ）割り込み要求を発生します

調歩同期式モード・送信時のSCIの動作例を図14.6に示します。

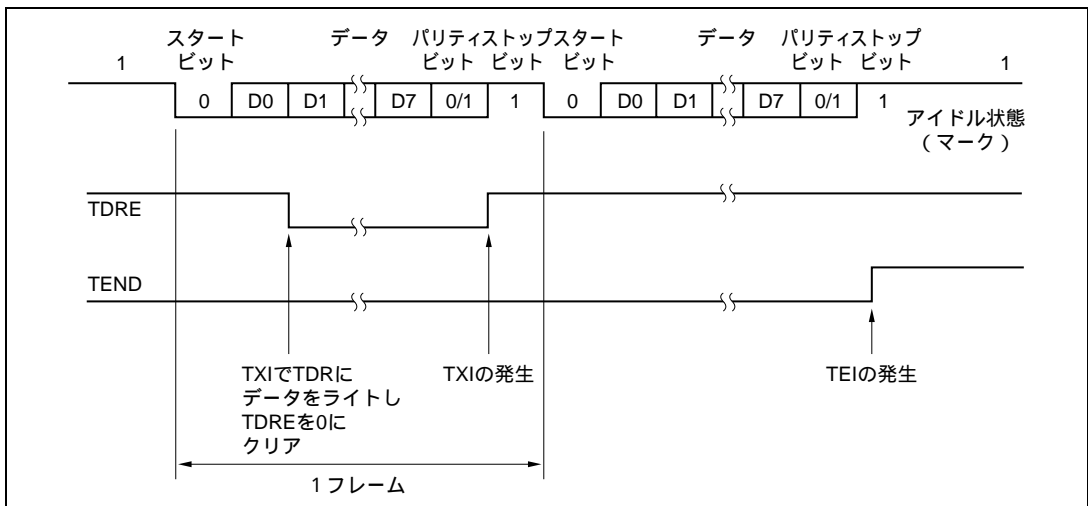


図 14.6 SCI 送信時の動作例（8 ビットデータ / パリティあり / 1 ストップビットの例）

14. シリアルコミュニケーションインタフェース

シリアルデータ受信

シリアルデータ受信は以下の手順に従って行ってください。

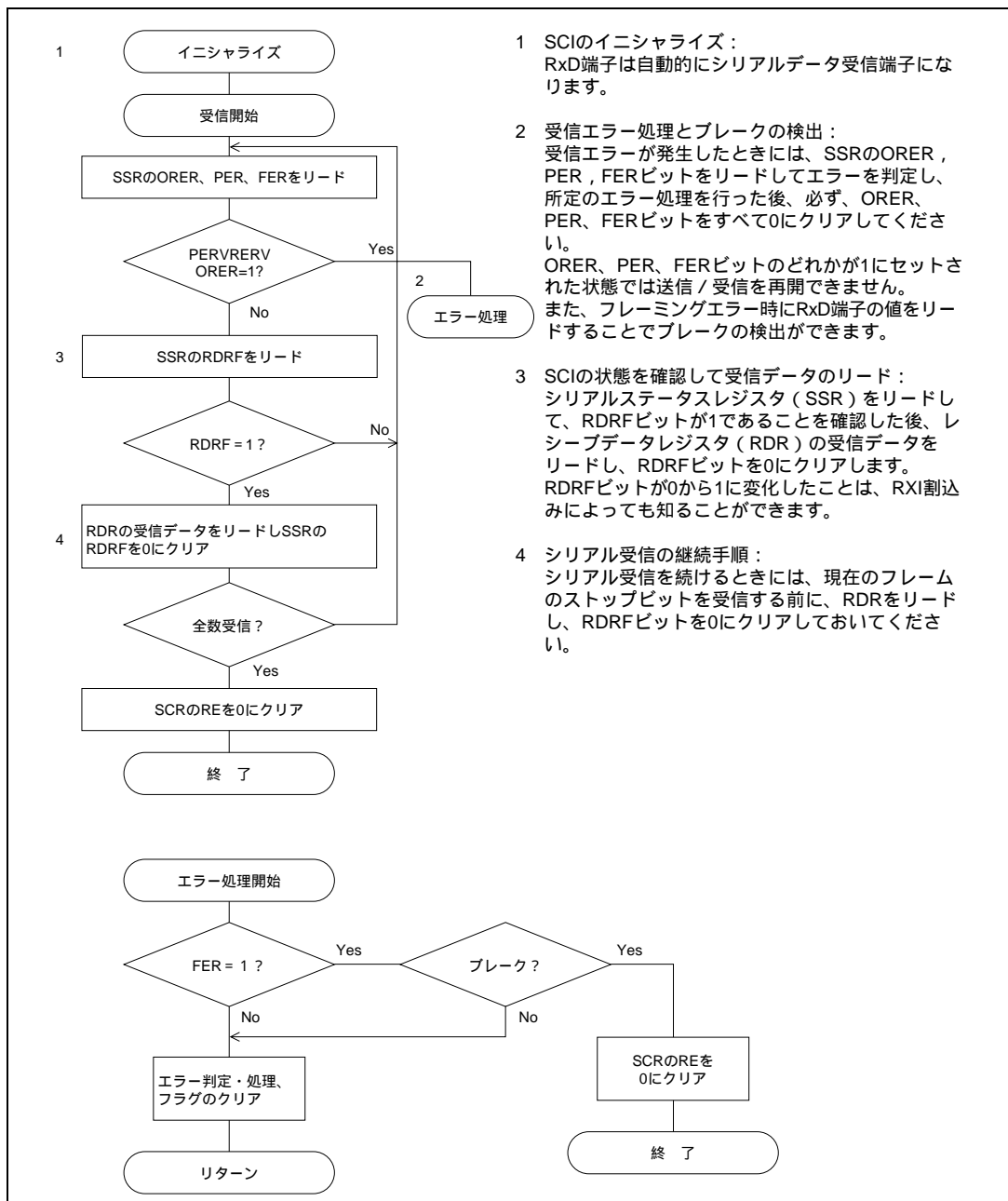


図 14.7 シリアル受信データフローチャートの例

SCI は受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化します。
- (2) 受信したデータをRSRのLSBからMSBの順にセットします。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがSMRのO \bar{E} ビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFビットが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックが全てパスしたときRDRFビットが1にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラーを発生すると表14.10のように動作します。

【注】受信エラーがセットされた状態では、以後の受信動作ができません。
また、受信時に RDRF が 1 にセットされませんので、必ずフラグをクリアしてください。

- (4) RDRFビットが1になったとき、SCRのRIE（受信完了割り込みイネーブル）が1にセットされているとRXI（受信完了）割り込みを発生します。
また、ORER、PER、FERビットのどれかが1になったとき、SCRのRIE（受信完了割り込みイネーブル）が1にセットされているとERI（受信エラー）割り込みを発生します。

調歩同期式モードの受信時の動作例を図 14.8 に示します。

表 14.10 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF が 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

14. シリアルコミュニケーションインタフェース

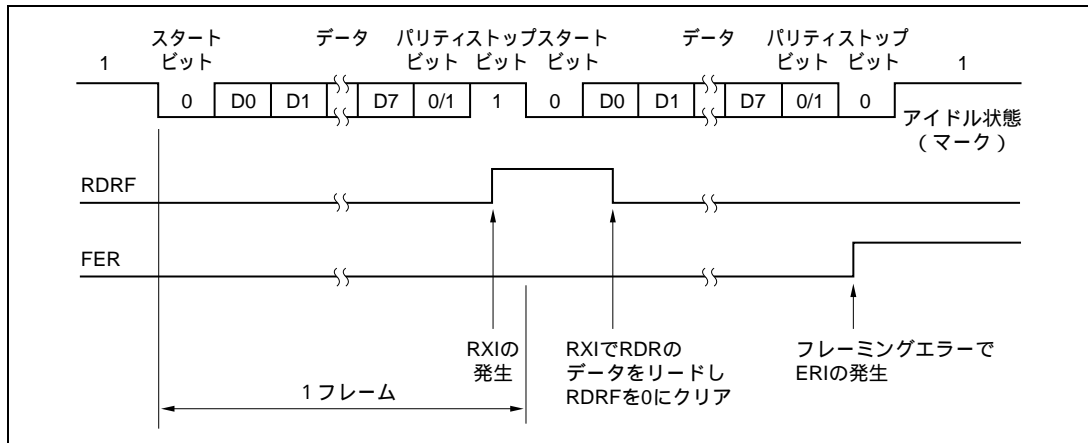


図 14.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

(4) マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 に付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信すると、自局の ID と比較し、一致した局は続いて送信されるデータを受信します。このようにして複数のプロセッサ間のデータ送受信が行われます。

マルチプロセッサフォーマットを指定した場合の送信 / 受信フォーマットは 4 種類あります。いずれのフォーマットでもパリティビットの指定は無効になります。詳細は表 14.9 を参照してください。

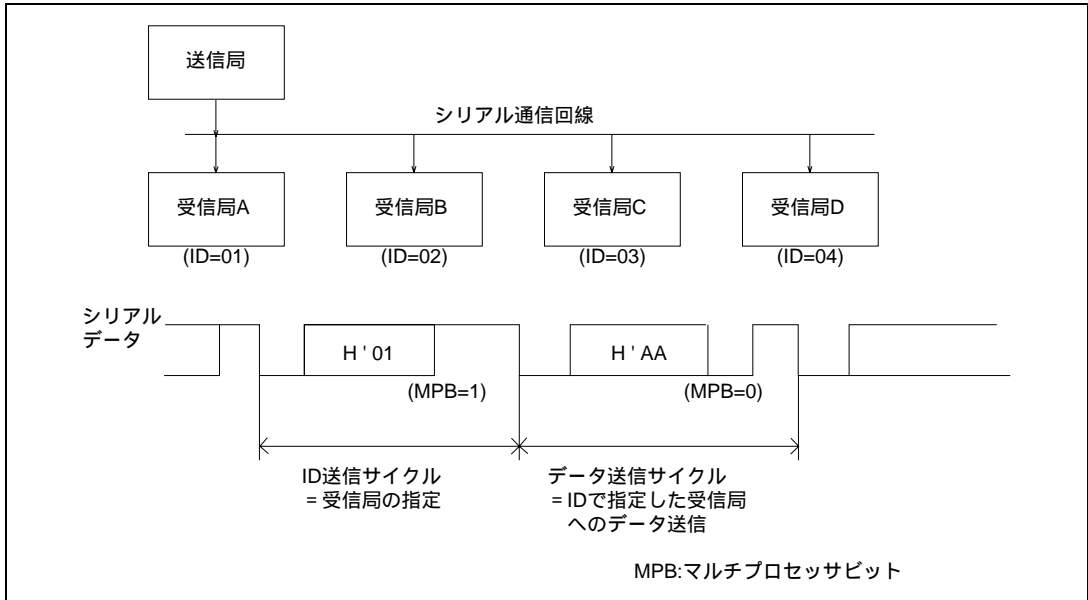


図 14.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

マルチプロセッサシリアルデータ送信

図 14.5、図 14.6 を参照してください。

14. シリアルコミュニケーションインタフェース

マルチプロセッサシリアルデータ受信

マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

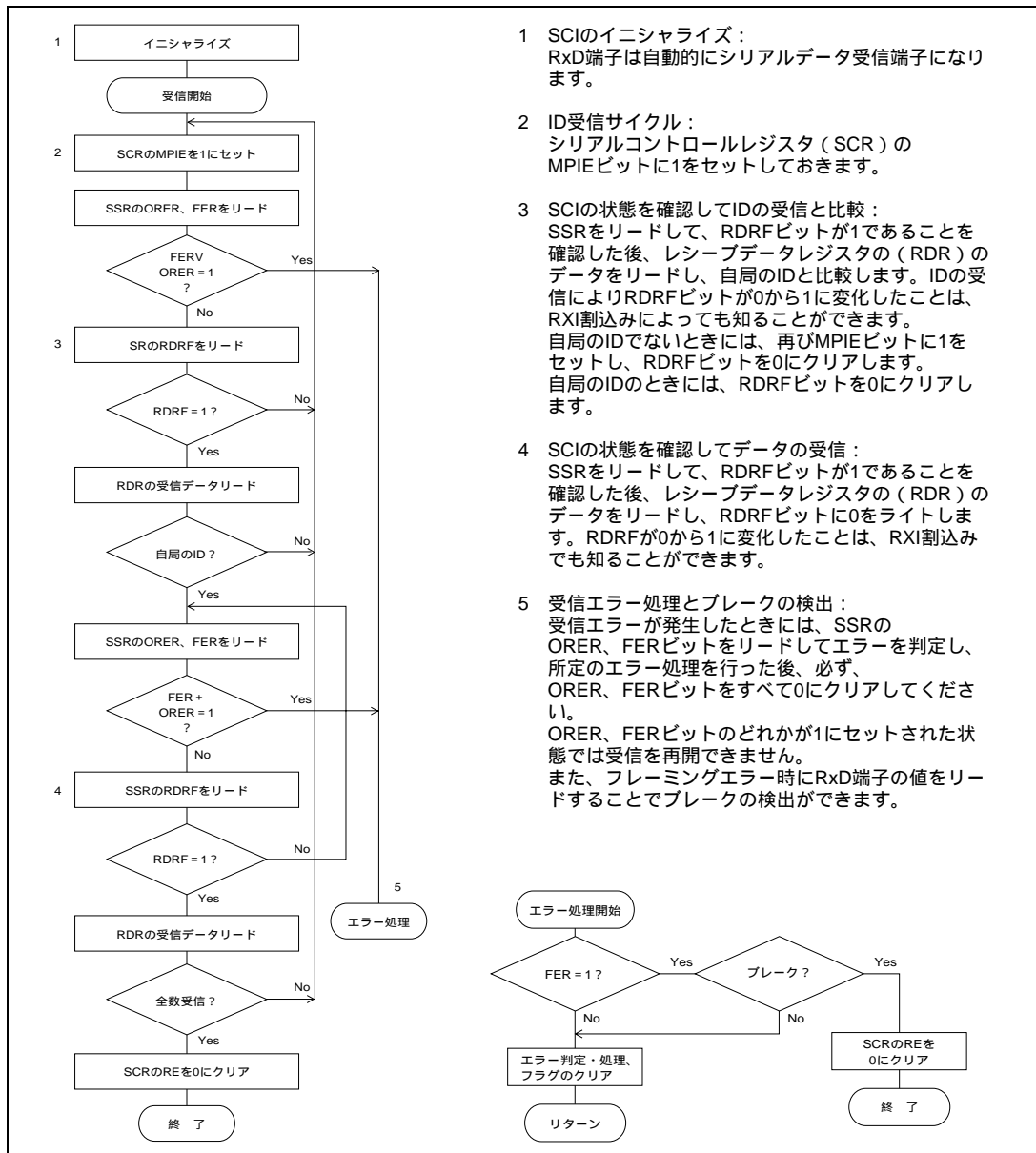


図 14.10 マルチプロセッサシリアルデータ受信のフローチャートの例

図 14.11 に SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例) を示します。

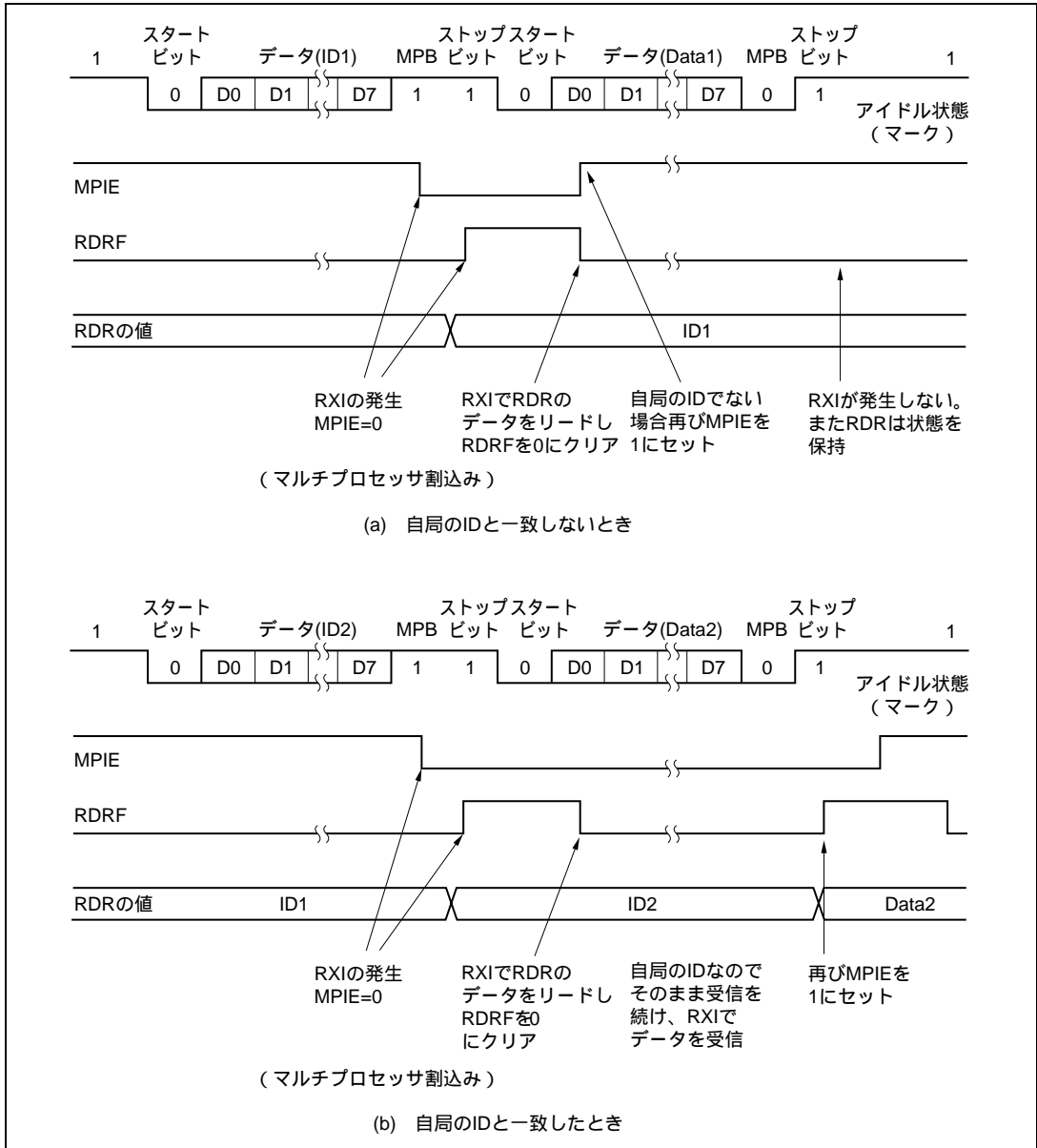


図 14.11 SCI 受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

14.3.3 クロック同期式モード時の動作

(1) 概要

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部 / 受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.12 に示します。

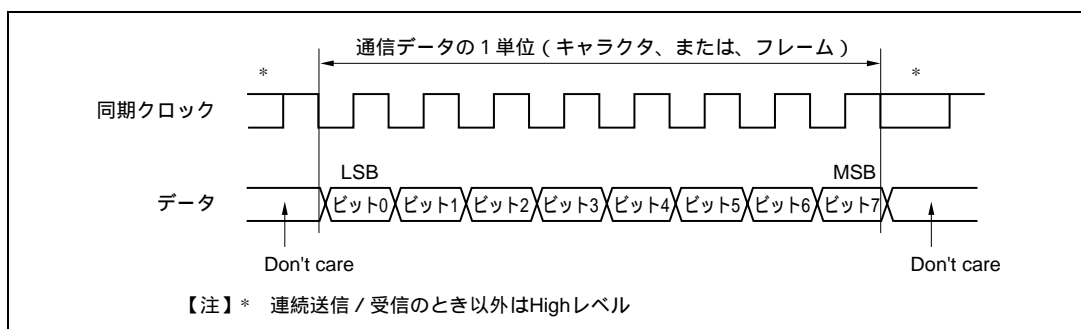


図 14.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立ち上がり同期してデータを受信します。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。通信回線のデータは、次の同期クロックが立下がるまで、MSB出力に保たれます。

- 送信 / 受信フォーマット：8ビットデータ固定
パリティビットやマルチプロセスビットとの付加はできません。
- クロック：シリアルモードレジスタ (SMR) の $\overline{C/A}$ ビットとシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 13.6 を参照してください。
内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わないときにはHighレベルに固定されます。

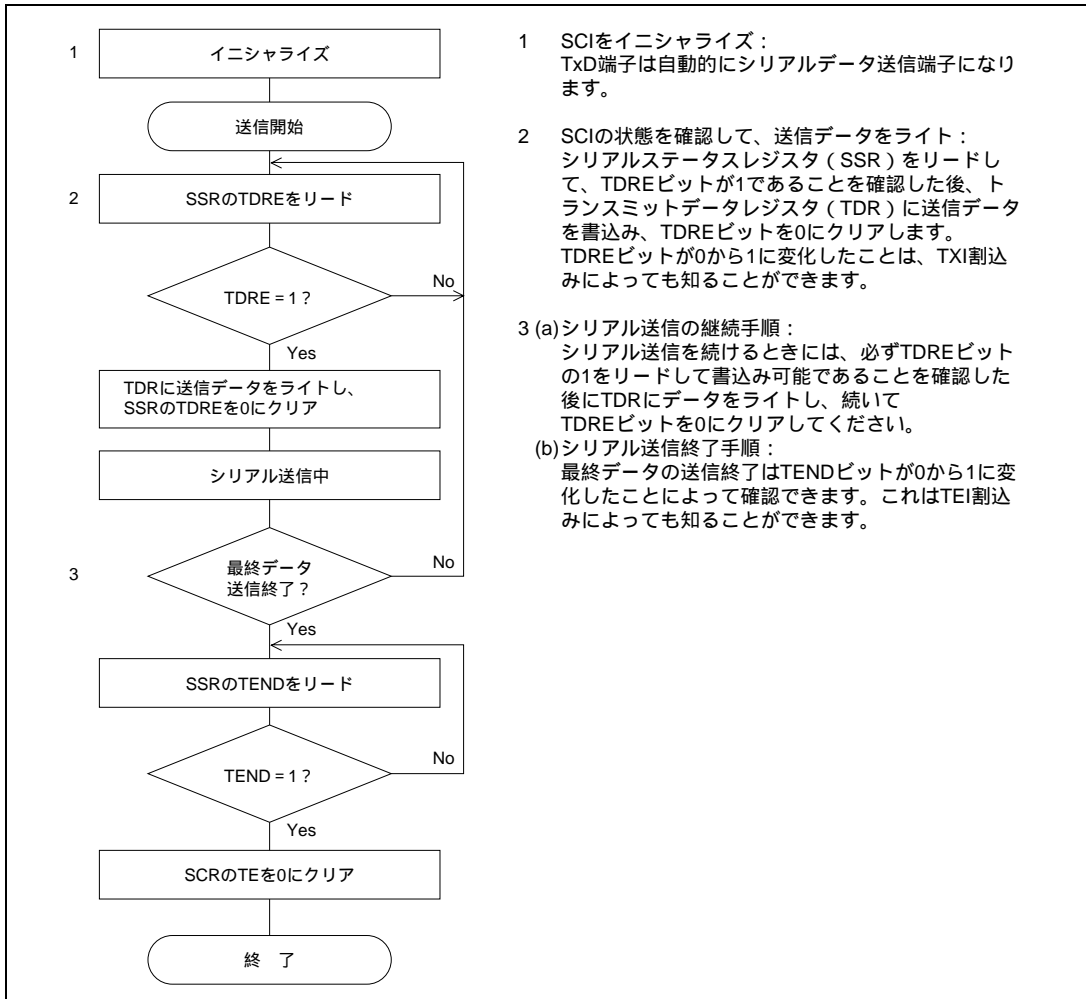
(2) データの送信 / 受信動作

SCI のイニシャライズ

調歩同期式モードと同様にイニシャライズします。図 14.4 を参照してください。動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず ORER、FER、PER ビットが 0 にクリアされていることを確認してください。ORER、FER、PER ビットが 1 にセットされていると送信 / 受信動作を開始できません。

シリアルデータ送信

シリアルデータ送信は以下の手順に従って行ってください。



- 1 SCIをイニシャライズ：
TxD端子は自動的にシリアルデータ送信端子になります。
- 2 SCIの状態を確認して、送信データをライト：
シリアルステータスレジスタ（SSR）をリードして、TDREビットが1であることを確認した後、トランスミットデータレジスタ（TDR）に送信データを書込み、TDREビットを0にクリアします。TDREビットが0から1に変化したことは、TXI割込みによっても知ることができます。
- 3 (a)シリアル送信の継続手順：
シリアル送信を続けるときには、必ずTDREビットの1をリードして書き込み可能であることを確認した後、TDRにデータをライトし、続いてTDREビットを0にクリアしてください。
(b)シリアル送信終了手順：
最終データの送信終了はTENDビットが0から1に変化したことによって確認できます。これはTEI割込みによっても知ることができます。

図 14.13 シリアルデータ送信のフローチャートの例

14. シリアルコミュニケーションインタフェース

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREビットを監視し、0であるとトランスファデータレジスタ（TDR）にデータが書き込まれたと認識し、TDRからトランスファシフトレジスタ（TSR）にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、SCRのTIEビット（TDRエンプティ割り込みイネーブル）が1にセットされているとTXI（TDRエンプティ）割り込み要求を発生します。クロック出力モードに設定したときには、TDREビットが0にクリアされたことをトリガとして、SCIはデータに同期したクロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB（ビット0）～MSB（ビット7）の順にTxD端子から送出されます。
- (3) SCIは、MSB（ビット7）を送出するタイミングでTDREビットをチェックします。TDREビットが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。TDREビットが1であるとSSRのTENDビットに1をセットし、MSB（ビット7）送出後、状態を保持します。このときSCRのTEIE（TSRエンプティ割り込みイネーブル）が1にセットされているとTEI（TSRエンプティ）割り込み要求を発生します。
- (4) シリアル送信終了後は、SCK端子はHighレベル固定になります。

図 14.14 に SCI の送信時の動作例を示します。

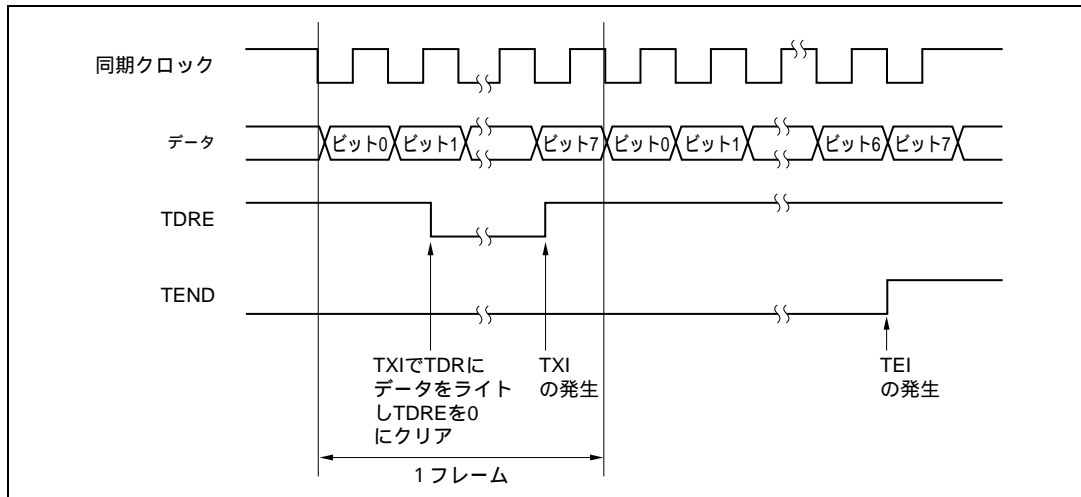


図 14.14 SCI 送信時の動作例

シリアルデータ受信

シリアルデータ受信は以下の手順に従い行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、FER、PERビットが0にクリアされていることを確認してください。

FER、PERビットが1にセットされているとRDRFビットがセットされません。また、送信 / 受信動作が行えません。

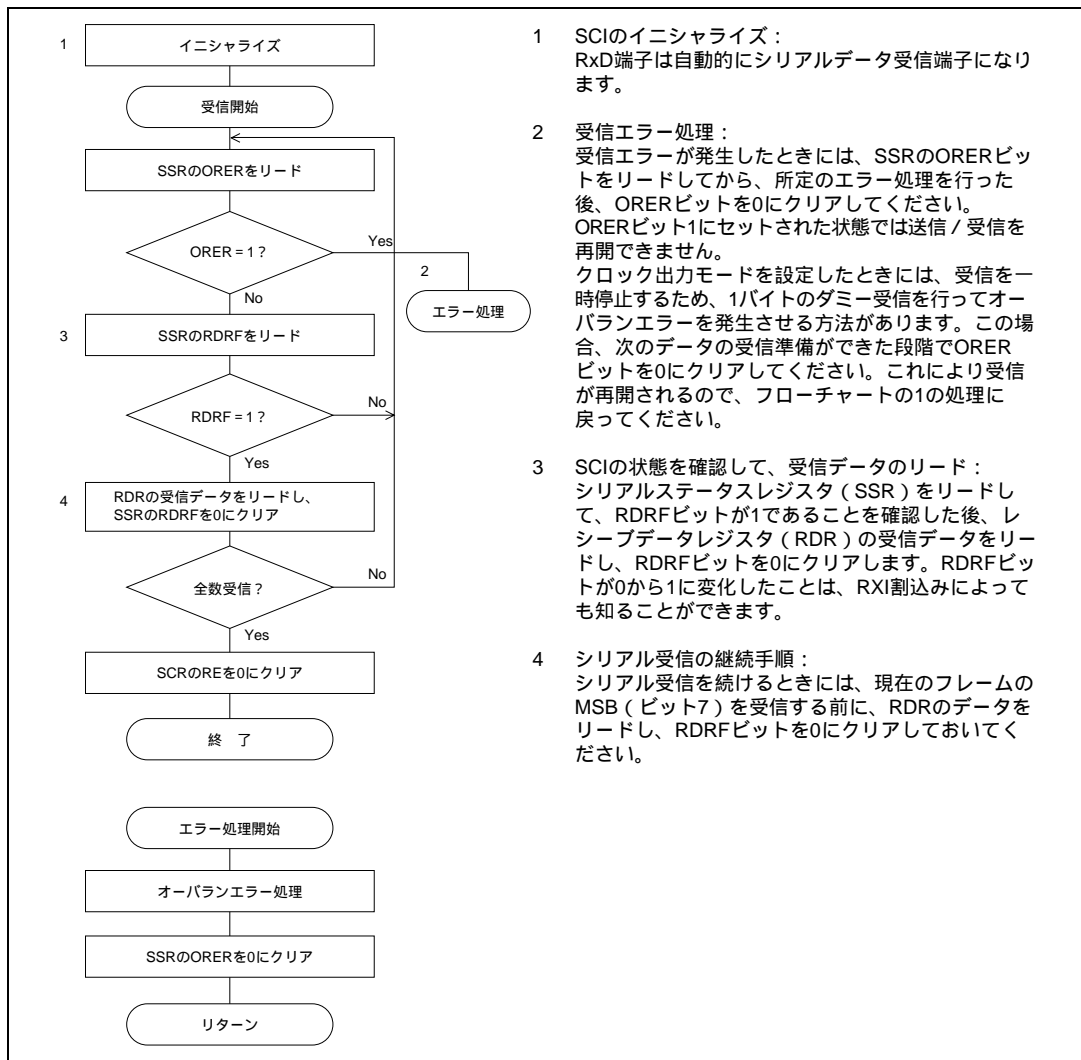


図 14.15 シリアルデータ受信データフローチャートの例

14. シリアルコミュニケーションインタフェース

SCI は受信時に以下のように動作します。

- (1) 外部クロックに設定したときには、入力クロックに同期してデータを入力します。クロック出力モードに設定したときには、SCIはREビットを1にセットするとただちに同期クロックを出力しデータを入力します。また、ORERビットが1にセットされて同期クロックが停止している場合、ORERビットを0にクリアするとただちに同期クロックの出力を再開しデータを入力します。
- (2) 受信したデータをRSRのLSBからMSBの順にセットします。
受信後、SCIは、RDRFビットが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFビットが1にセットされ、RDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表13.8のように動作します。

【注】受信エラーがセットされた状態では、以後の送信・受信動作が行えません。
また、受信時に RDRF ビットが 1 にセットされませんので必ずフラグをクリアしてください。

- (3) RDRFビットが1になったとき、SCRのRIE（受信完了割り込みイネーブル）ビットが1にセットされているとRXI（受信完了）割り込みが発生します。
また、ORERビットが1になったとき、SCRのRIE（受信完了割り込みイネーブル）ビットが1にセットされているとERI（受信エラー）割り込みが発生します。
クロック出力モードに設定したときには、クロックはREビットを0にクリアしたとき、またはORERビットが1にセットされたときに停止します。クロック数のカウントずれが発生させないためには、1バイトのダミー受信を行ってオーバランエラーを発生させる方法が確実です。

図 14.16 に SCI の受信時の動作例を示します。

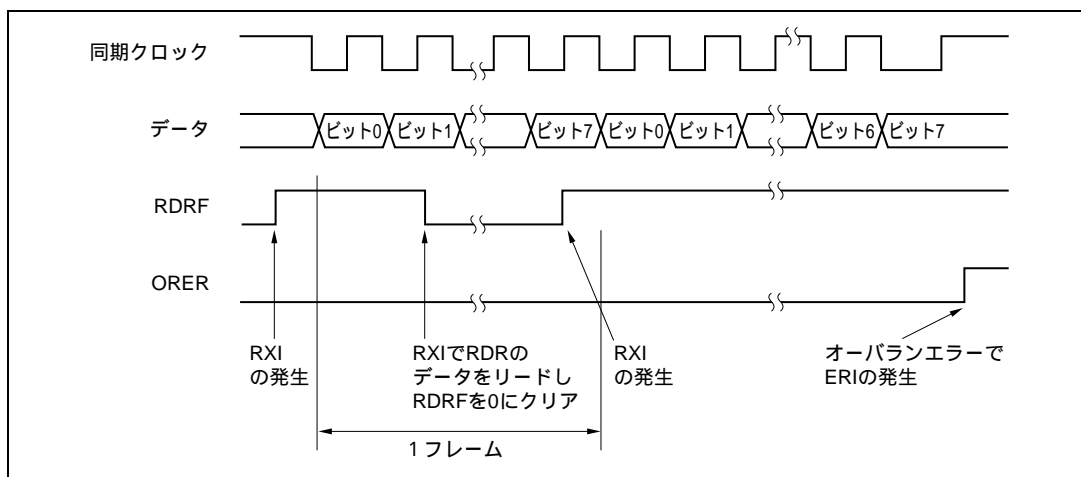


図 14.16 SCI の受信時の動作例

シリアルデータ送受信同時動作

シリアルデータ送受信同時動作は、以下の手順に従い行ってください。クロック出力モードを設定したときには、シリアル送信時と同じタイミングで同期クロックが出力されます。

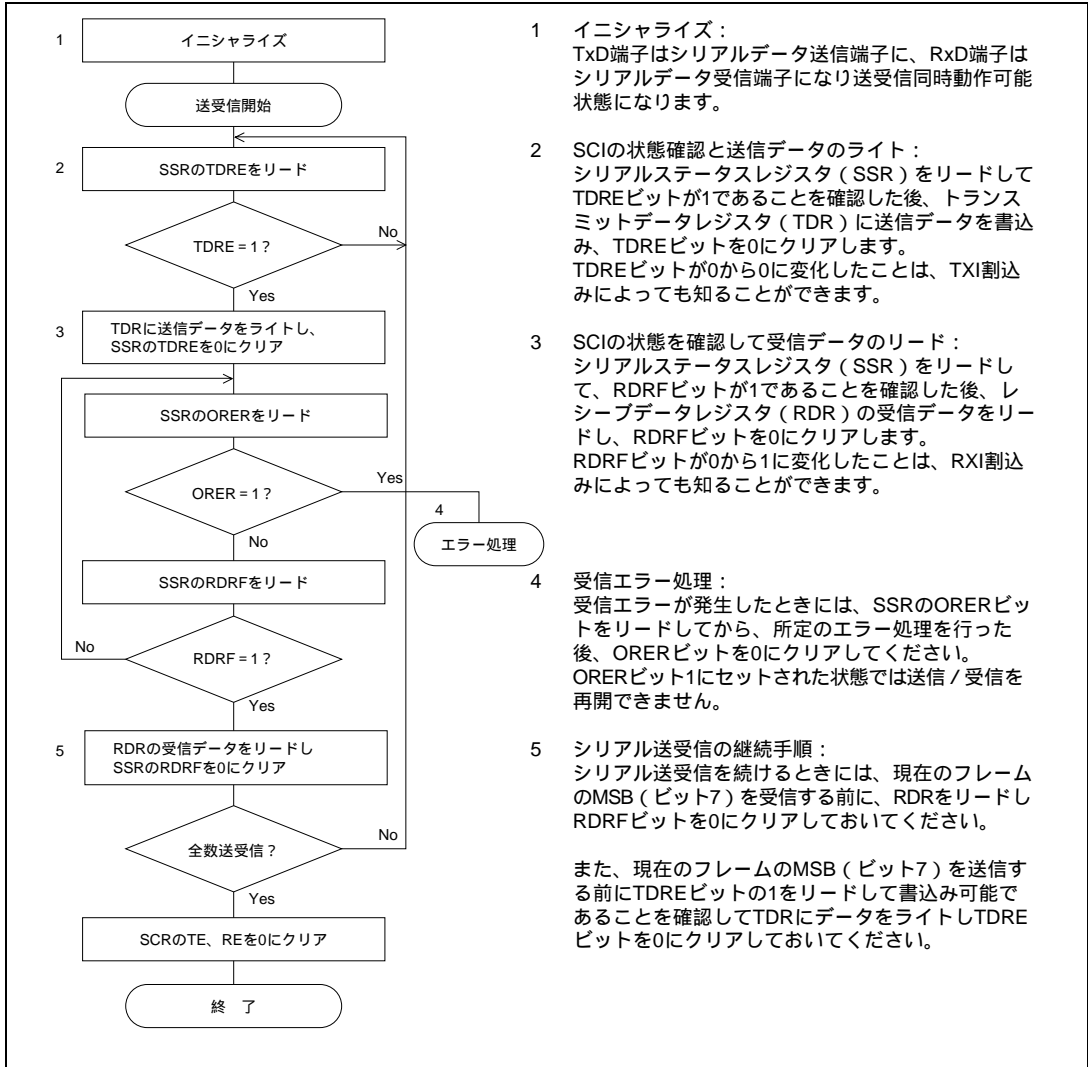


図 14.17 シリアル送受信同時動作のフローチャートの例

【注】送信、または受信動作から同時送受信に切り換えるときには、TE ビットと RE ビットを 0 にクリアしてから TE ビットと RE ビットを 1 にセットしてください。このとき BSET 命令は使用しないでください。

14.4 SCI 割込み

SCI 割込み要因は、ERI、RXI、TXI および TEI の 4 種類があります。表 14.11 に各割込み要因と優先順位を示します。各割込み要因は、SCR の TIE ビット、RIE ビットおよび TEIE ビットで、許可または禁止され、それぞれ独立に割込みコントローラに送られます。ただし、受信エラー割込み(ERI) だけは、3 種類のエラー要因(オーバランエラー、フレーミングエラー、パリティエラー) の論理和です。

なお、TXI 割込みは送信データをライト可能なことを示し、TEI 割込みは送信動作が終了したことを示しています。

表 14.11 SCI 割込み要因

割込み要因	内容	優先順位
ERI	受信エラー(ORER、FER、PER) による割込み	高 ↑ 低
RXI	受信完了(RDRF) による割込み	
TXI	TDR エンプティ(TDRE) による割込み	
TEI	TSR エンプティ(TEND) による割込み	

14.5 使用上の注意

SCI を使用するうえで以下のことに注意してください。

(1) TDR へのライト動作

SSR の TDRE ビットは、TDR のデータが TSR へ転送されたことを示すビットです。TDR へのライトは TDRE ビットの値にかかわらず行うことができます。このため TDRE ビットが 0 のとき TDR へライトすると、TDR から TSR への転送が行われる前に TDR のデータが書き換えられることとなります。したがって、TDRE ビットが 1 にセットされてから TDR へ転送データをライトしてください。

(2) 受信エラーが複数発生した場合の動作

複数の受信エラーが同時に発生した場合、各ビットの状態および RSR から RDR へのデータの転送は、表 14.12 に示すようになります。

表 14.12 SSR のビット状態および RSR から RDR へのデータ転送（複数の受信エラー発生時）

受信エラー	SSR のビット				RSR から RDR への転送*2
	RDRF	ORER	FER	PER	
オーバランエラー	1*1	1	0	0	x
フレーミングエラー	0	0	1	0	
パリティエラー	0	0	0	1	
オーバラン+フレーミングエラー	1*1	1	1	0	x
オーバラン+パリティエラー	1*1	1	0	1	x
フレーミング+パリティエラー	0	0	1	1	
オーバラン+フレーミング+パリティエラー	1*1	1	1	1	x

【注】 *1 オーバランエラーの発生以前に 1 にセットされています。

*2 : 転送することを示します。

x : 転送しないことを示します。

(3) ブレークの検出

RxD 端子からの入力がすべて 0（ブレーク状態）になると、SCI はストップビットが 0 になるためフレーミングエラーを発生し、そのときの RSR の値（H'00）を RDR に転送します。これによりブレークの検出がでできます。

また、データ受信動作は継続して行われるため、FER ビットを 0 にクリアすると再びフレーミングエラーが発生します。

(4) 調歩同期式のサンプリングタイミングと受信マージン

調歩同期式の基本クロックは転送レートの 16 倍になっています。フレームの同期化は、スタートビットの立下がりを基本クロックの立下がりエッジでサンプリングして行います。また、受信データ（スタートビット、ストップビット、パリティビット、マルチプロセッサビットを含む）は、各ビットの中央を基本クロックの立上がりエッジでサンプリングします。これを図 14.18 に示します。これにより受信マージンは式（1）のように表すことができます。

ここで、 $F=0$ 、 $D=0.5$ とすると受信マージンは式（2）のようになり、受信データはこの値まで歪んでも受信可能ということになります。ただし、この計算式は理論的な値ですので、システムを設

14. シリアルコミュニケーションインタフェース

計する場合には 20～30%の余裕をもたせてください。

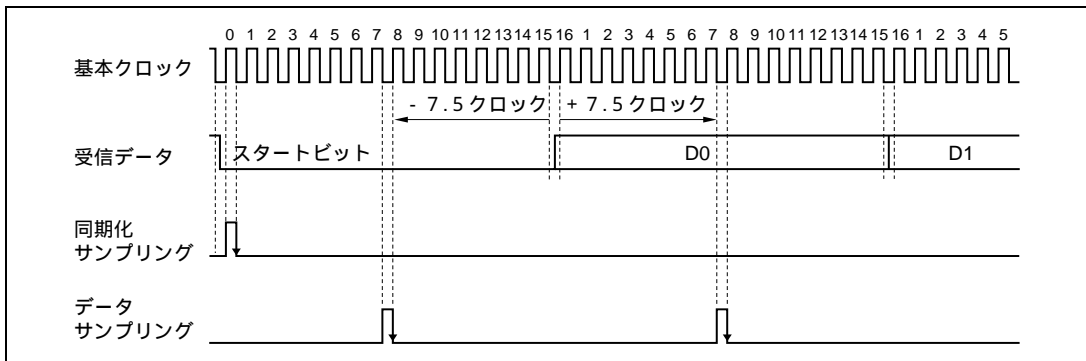


図 14.18 サンプリングタイミング (調歩同期式)

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 [\%] \quad \dots\dots (1) \text{式}$$

M: 受信マージン

N: クロックに対するビットレートの比 (N = 16)

D: クロックの High レベルと Low レベルの長い方のデューティ (0.5 ~ 1.0)

L: フレーム長 (9 ~ 12)

F: クロック周波数の偏差の絶対値

D = 0.5、F = 0 のとき

$$M = (0.5 - 1/2 \times 16) \times 100 [\%]$$

$$= 46.875\% \dots\dots (2) \text{式}$$

15. A/D 変換器

15.1 概要

本 LSI には、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャンネルのアナログ入力を選択することができます。

15.1.1 特長

A/D 変換器の特長を以下に示します。

- 10 ビットの分解能
- 入力チャンネル：8 チャンネル
- 高速変換
変換時間：1チャンネル当り最小8.4 μ s（16MHz動作時）
- 単一モード / スキャンモードの 2 種類の動作モードから選択可能
単一モード：1チャンネルのA/D変換
スキャンモード：1～4チャンネルの連続A/D変換
- 4本の16ビットデータレジスタ
A/D変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。
- サンプル&ホールド機能
- 外部トリガ信号による、A/D 変換の開始が可能
- A/D 変換終了割り込み要求を発生
A/D変換終了時には、A/D変換終了割り込み要求（ADI）を発生させることができます。

15.1.2 ブロック図

A/D 変換器のブロック図を図 15.1 に示します。

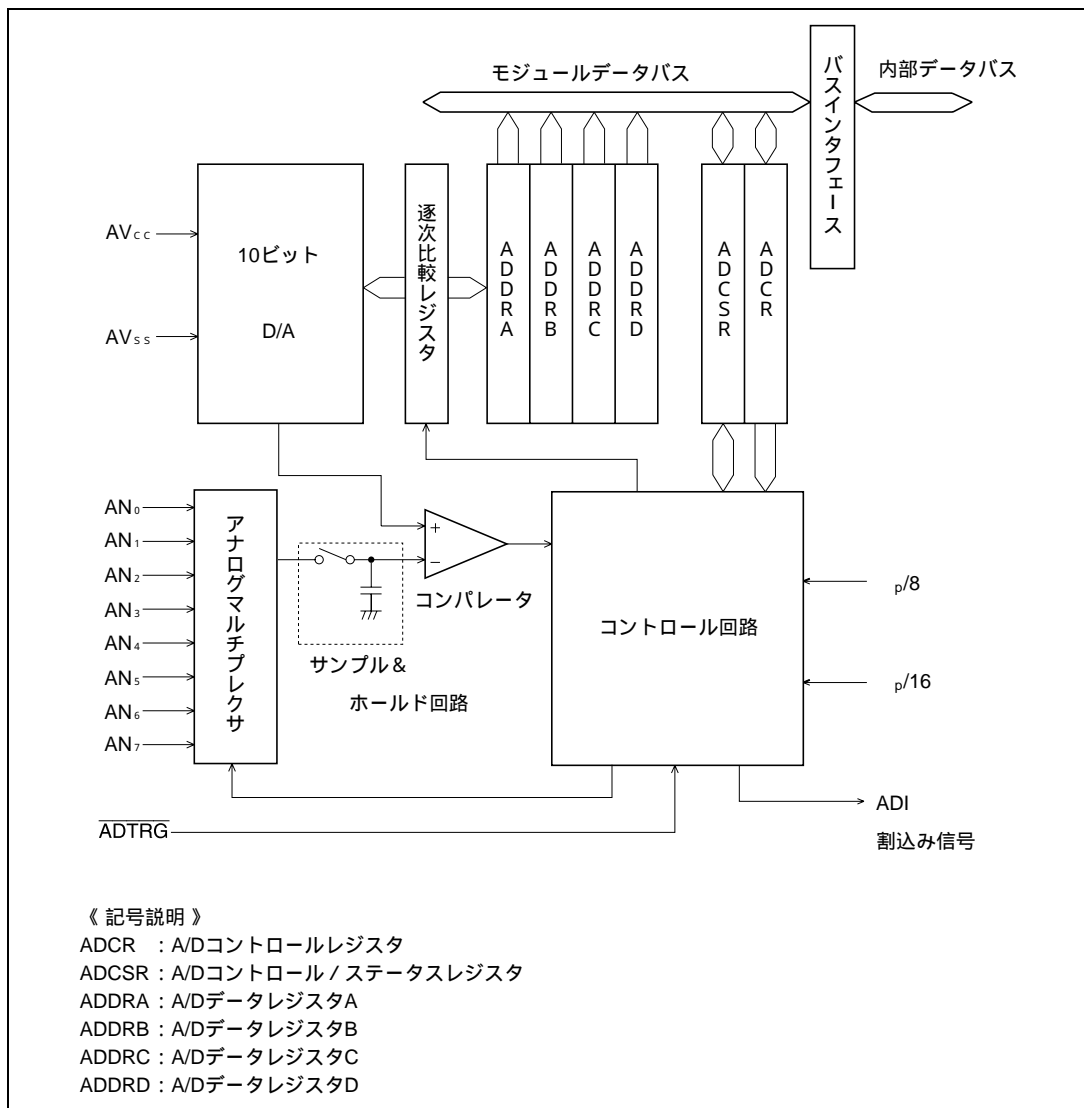


図 15.1 A/D 変換器のブロック図

15.1.3 端子構成

A/D 変換器で使用する入力端子を表 15.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0~3 ($AN_0 \sim AN_3$) がグループ 0、アナログ入力端子 4~7 ($AN_4 \sim AN_7$) がグループ 1 になっています。

AV_{CC} 、 AV_{SS} 端子は、A/D 変換器内のアナログ部の電源です。

表 15.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN_0	入力	グループ 0 のアナログ入力
アナログ入力端子 1	AN_1	入力	
アナログ入力端子 2	AN_2	入力	
アナログ入力端子 3	AN_3	入力	
アナログ入力端子 4	AN_4	入力	グループ 1 のアナログ入力
アナログ入力端子 5	AN_5	入力	
アナログ入力端子 6	AN_6	入力	
アナログ入力端子 7	AN_7	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

15.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/D データレジスタ AH	ADDRAH	R	H'00	H'FFE0
A/D データレジスタ AL	ADDRAL	R	H'00	H'FFE1
A/D データレジスタ BH	ADDRBH	R	H'00	H'FFE2
A/D データレジスタ BL	ADDRBL	R	H'00	H'FFE3
A/D データレジスタ CH	ADDRCH	R	H'00	H'FFE4
A/D データレジスタ CL	ADDRCL	R	H'00	H'FFE5
A/D データレジスタ DH	ADDRDH	R	H'00	H'FFE6
A/D データレジスタ DL	ADDRDL	R	H'00	H'FFE7
A/D コントロール / ステータスレジスタ	ADCSR	R/(W)*	H'00	H'FFE8
A/D コントロールレジスタ	ADCR	R/W*	H'7F	H'FFE9

【注】 * ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

15.2 各レジスタの説明

15.2.1 A/D データレジスタ A ~ D (ADDR_A ~ ADDR_D)

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR _n	:	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDR_A ~ ADDR_D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5 ~ 0 はリザーブビットで、リードすると常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 15.3 に示します。

ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「図 15.3 CPU とのインタフェース」を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

表 15.3 アナログ入力チャンネルと ADDR_A ~ ADDR_D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN ₀	AN ₄	ADDR _A
AN ₁	AN ₅	ADDR _B
AN ₂	AN ₆	ADDR _C
AN ₃	AN ₇	ADDR _D

15.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット	:	7	6	5	4	3	2	1	0
	:	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

ビット7：A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	〔クリア条件〕 ADF=1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき (初期値)
1	〔セット条件〕 (1) 単一モード: A/D 変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット6：A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。

ビット6	説明
ADIE	
0	A/D 変換終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換終了による割り込み (ADI) 要求を許可

ビット5：A/D スタート (ADST)

A/D 変換の開始 / 停止を選択します。

A/D 変換中は 1 を保持します。また、ADST ビットは A/D 外部トリガ入力端子 ($\overline{\text{ADTRG}}$) により 1 にセットすることもできます。

ビット5	説明
ADST	
0	A/D 変換を停止
1	(1) 単一モード: A/D 変換を開始し、変換が終了すると自動的に 0 にクリア (2) スキャンモード: A/D 変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって 0 にクリアされるまで選択されたチャンネルを順次連続変換

ビット4：スキャンモード (SCAN)

A/D 変換の動作モードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「15.4 動作説明」を参照してください。動作モードの切換えは、ADST = 0 の状態で行ってください。

ビット4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

15. A/D 変換器

ビット 3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。 $p = /2$ の場合、交換時間は 2 倍になります。
 変換時間の切換えは、ADST=0 の状態で行ってください。

ビット 4	説明	
CKS		
0	変換時間 = 266 ステート (max) ($p =$ の場合)	(初期値)
1	変換時間 = 134 ステート (max) ($p =$ の場合)	

ビット 2~0 : チャネルセレクト 2~0 (CH2~0)

SCAN ビットとともにアナログ入力チャネルを選択します。
 チャネル選択の切換えは、ADST=0 の状態で行ってください。

グループ選択	チャネル選択		説明	
	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
		1	AN ₁	AN ₀ 、 AN ₁
	1	0	AN ₂	AN ₀ ~ AN ₂
1		AN ₃	AN ₀ ~ AN ₃	
1	0	0	AN ₄	AN ₄
		1	AN ₅	AN ₄ 、 AN ₅
	1	0	AN ₆	AN ₄ ~ AN ₆
		1	AN ₇	AN ₄ ~ AN ₇

15.2.3 A/D コントロールレジスタ (ADCR)

ビット:	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	RW	—	—	—	—	—	—	—

ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセットまたはスタンバイモード時、H'7F にイニシャライズされます。

ビット 7: トリガイネーブル (TRGE)

外部トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ビット 7	説明
TRGE	
0	外部トリガ入力 ($\overline{\text{ADTRG}}$) による A/D 変換の開始を禁止 (初期値)
1	外部トリガ入力端子 (ADTRG) による A/D 変換の開始を許可 (A/D 変換の開始は外部トリガおよびソフトウェアのいずれによっても可能)

ビット 6~0: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

15.3 CPU とのインタフェース

ADDRA ~ ADDR4D はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

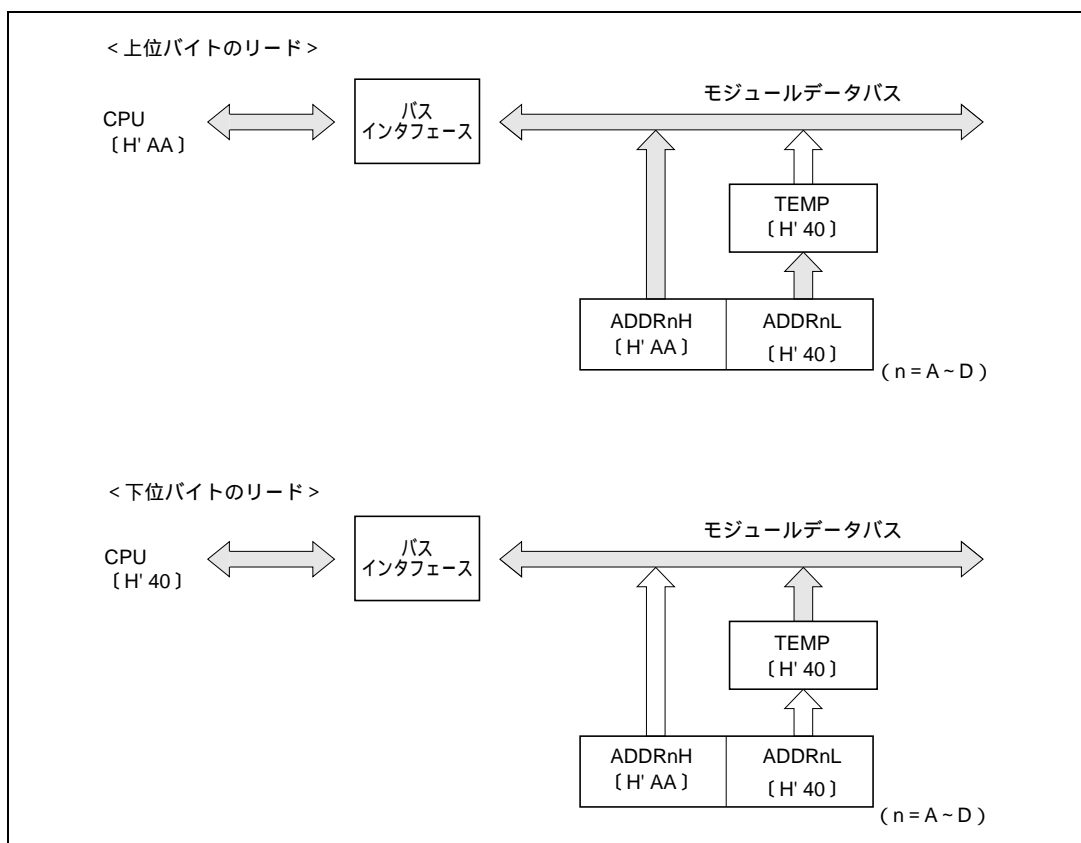


図 15.2 ADDR のアクセス動作 ([H'AA40] リード時)

15.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

15.4.1 単一モード (SCAN = 0)

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると A/D 変換を開始します。ADST ビットは、A/D 変換中は、1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割込み要求が発生します。

ADF は、ADCSR をリードした後、0 をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切換えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

単一モードでチャンネル 1 (AN₁) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 15.3 に示します。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャンネルを AN₁ に (CH2 = CH1 = 0, CH0 = 1)、A/D 割込み要求許可 (ADIE = 1) に設定して A/D 変換を開始 (ADST = 1) します。
 - (2) A/D 変換が終了すると、A/D 変換結果が ADDR_B に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は交換待機となります。
 - (3) ADF = 1、ADIE = 1 となっているため、ADI 割込み要求が発生します。
 - (4) A/D 割込み処理ルーチンが開始されます。
 - (5) ADCSR の値を読み出した後、ADF に 0 をライトします。
 - (6) A/D 変換結果 (ADDR_B) を読み出して、処理します。
 - (7) A/D 割込み処理ルーチンの実行が終了します。
- この後、ADST = 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

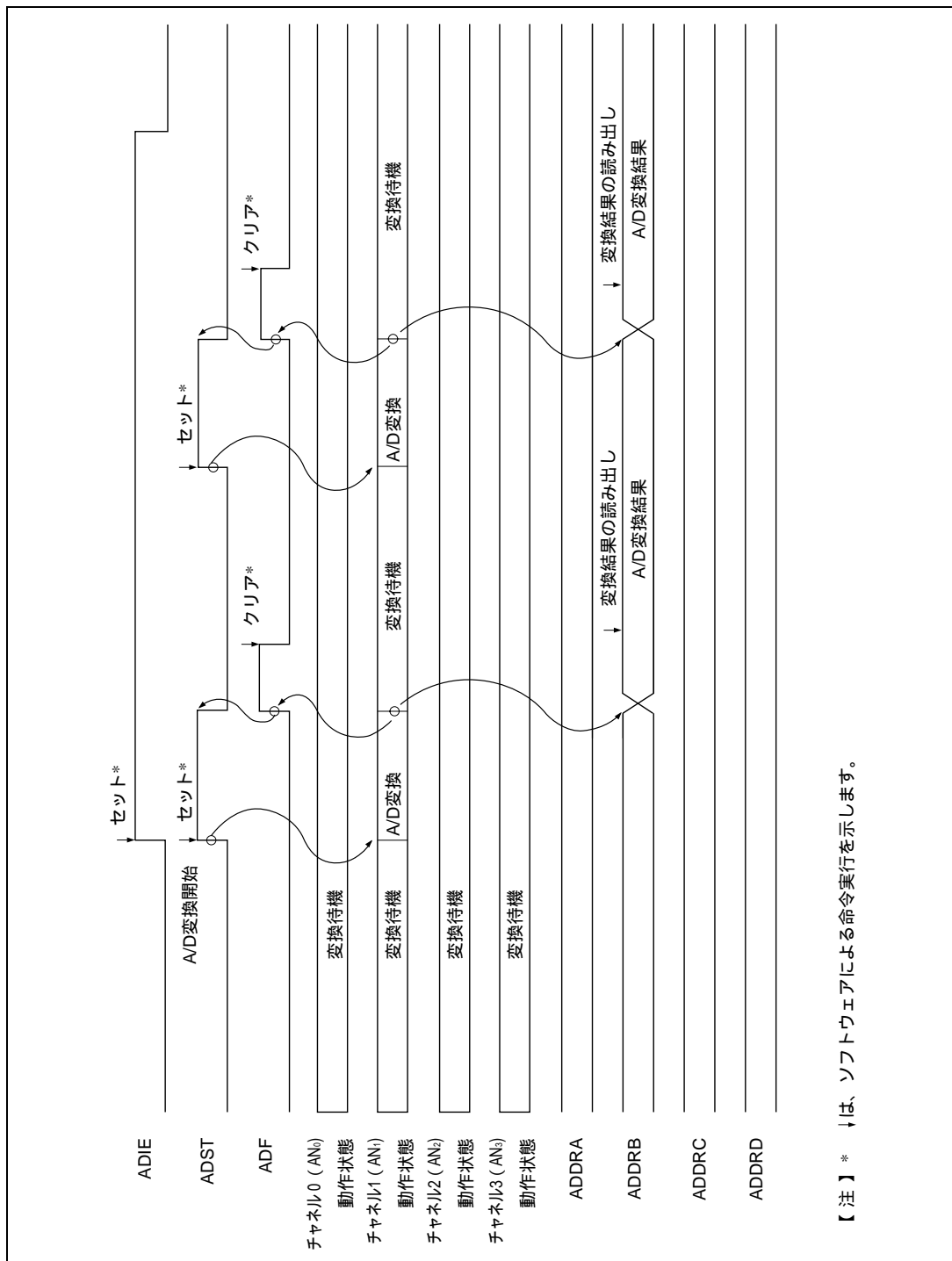


図 15.3 A/D 変換器の動作例 (単一モード、チャンネル 1 選択時)

【注】 * ↓は、ソフトウェアによる命令実行を示します。

15.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN₀、CH2 = 1 のとき AN₄) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN₁ または AN₅) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返して行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切換えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN₀ ~ AN₂) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 15.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキャングループをグループ 0 (CH2 = 0)、アナログ入力チャンネルを AN₀ ~ AN₂ (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN₀) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。
次に第 2 チャンネル (AN₁) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN₂) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN₀ ~ AN₂) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN₀) を選択し、変換が行われます。
このとき ADIE ビットが、1 にセットされていると、A/D 変換終了後、ADI 割込みを発生しません。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。
ADST ビットを 0 に書き換えると A/D 変換は停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN₀) から変換が行われます。

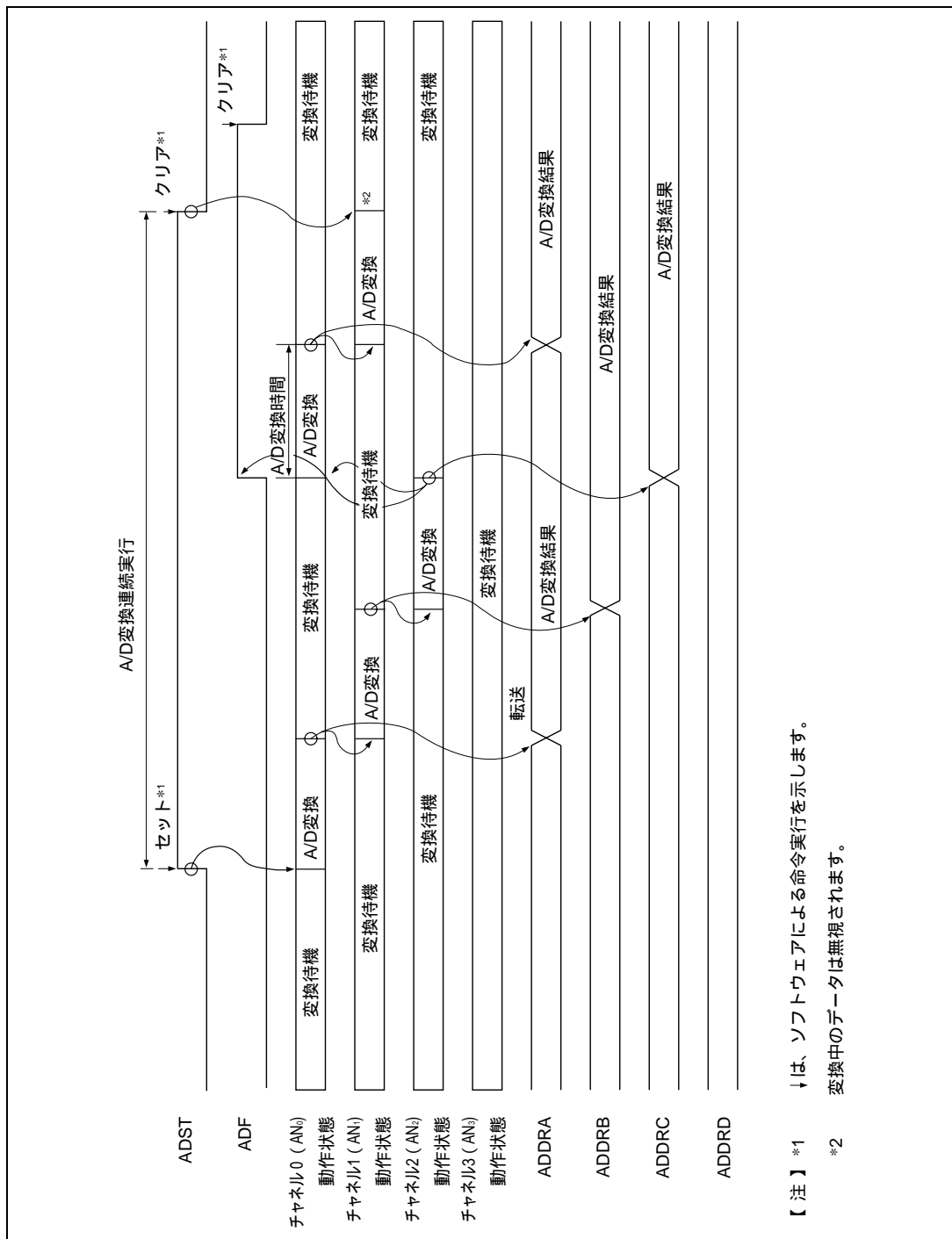


図 15.4 A/D 変換器の動作例 (スキャンモード AN0 ~ AN2 の 3 チャンネル選択時)

15.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_b 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 15.5 に示します。また A/D 変換時間を表 15.4 に示します。A/D 変換時間は、図 15.5 に示すように、 t_b と入力サンプリング時間を含めた時間となります。ここで t_b は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、交換時間は表 15.4 に示す範囲で変化します。

スキャンモードの交換時間は、表 15.4 に示す値が 1 回目の交換時間となりますが、2 回目以降は $CKS = 0$ の場合は 256 ステート（固定）、 $CKS = 1$ の場合は 128 ステート（固定）となります。（ $\text{ } = \text{ }$ の場合）

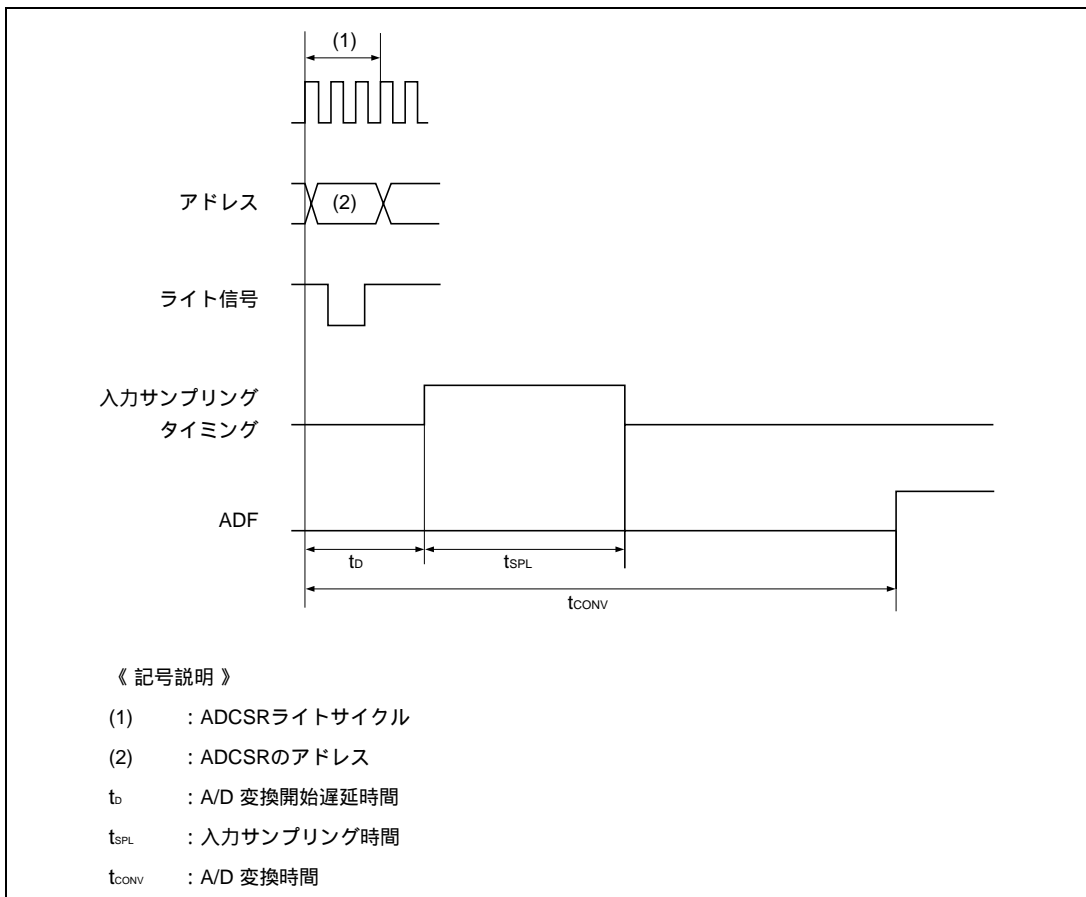


図 15.5 A/D 交換タイミング

表 15.4 A/D 交換時間 (単一モード)

項目	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10	-	17	6	-	9
入力サンプリング時間*	t_{SPL}	-	80	-	-	40	-
A/D 変換時間*	t_{CONV}	259	-	266	131	-	134

【注】 表中の数値の単位はステートです。

* $p =$ の場合の数値です。 $p = /2$ の場合は2倍になります。

15.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが 1 にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 15.6 に示します。

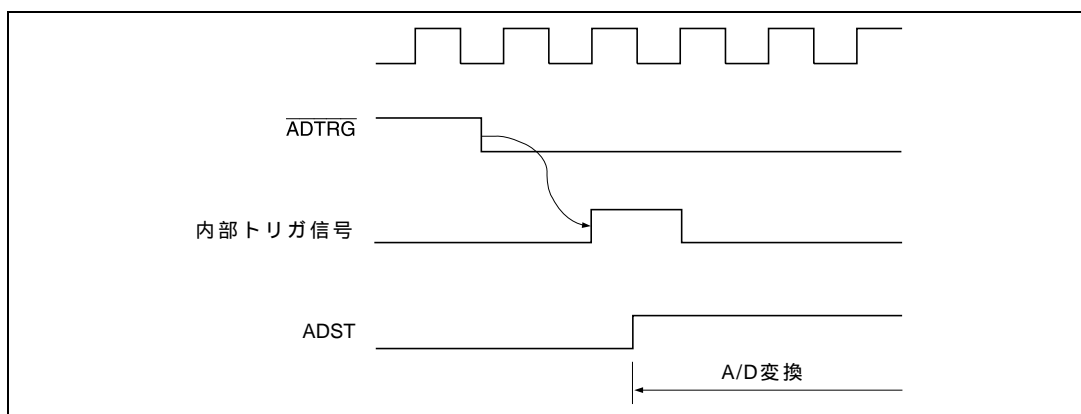


図 15.6 外部トリガ入力タイミング

15.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットで許可 / 禁止することができます。

15.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ電源端子他の設定範囲

(a) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} 、 AN_n 、 AV_{CC} の範囲としてください。
($n=0\sim7$)

(b) AV_{CC} 、 AV_{SS} 入力電圧

AV_{CC} 入力電圧は、 $AV_{SS} = V_{SS}$ としてください。A/D 変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

(2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回線の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 ($AN_0\sim AN_7$)、アナログ基準電源 (AV_{ref})、アナログ電源 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したデジタルグランド (V_{SS}) に一点接続してください。

(3) ノイズ対策上の注意

アナログ入力端子 ($AN_0 \sim AN_7$) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 15.7 に示すように $AV_{CC} - AV_{SS}$ 間に接続してください。

また、 AV_{CC} に接続するバイパスコンデンサ、 $AN_0 \sim AN_7$ に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。

なお、図 15.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 ($AN_0 \sim AN_7$) の入力電源が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、充分ご検討くださいますようお願いいたします。

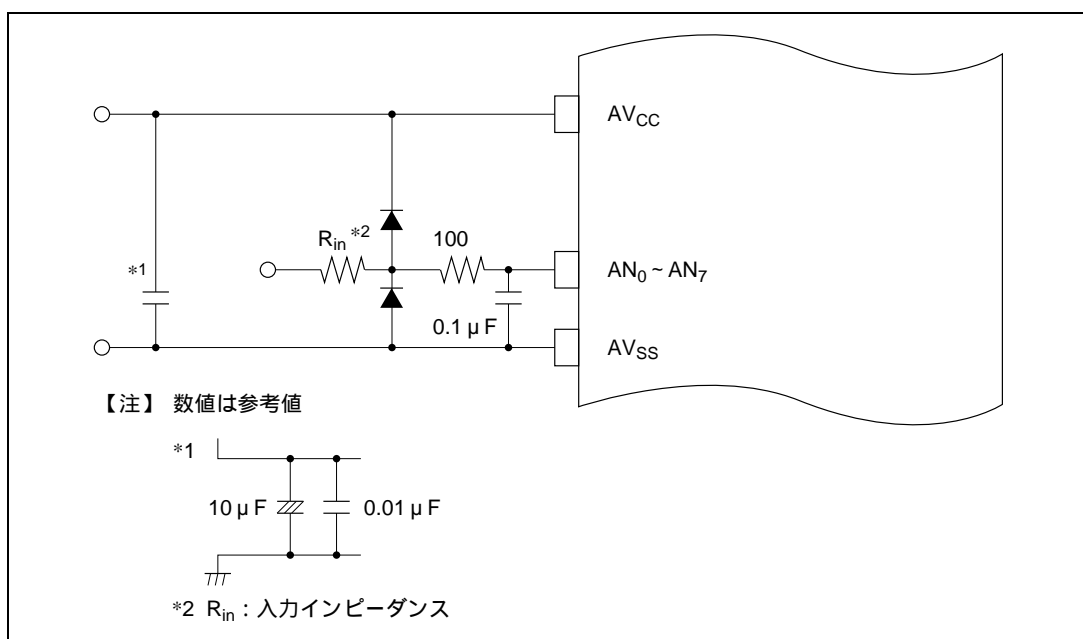


図 15.7 アナログ入力保護回路の例

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能
A/D変換器のデジタル出力コード数
- オフセット誤差
デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.9)
- フルスケール誤差
デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図15.10)
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる (図15.8)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

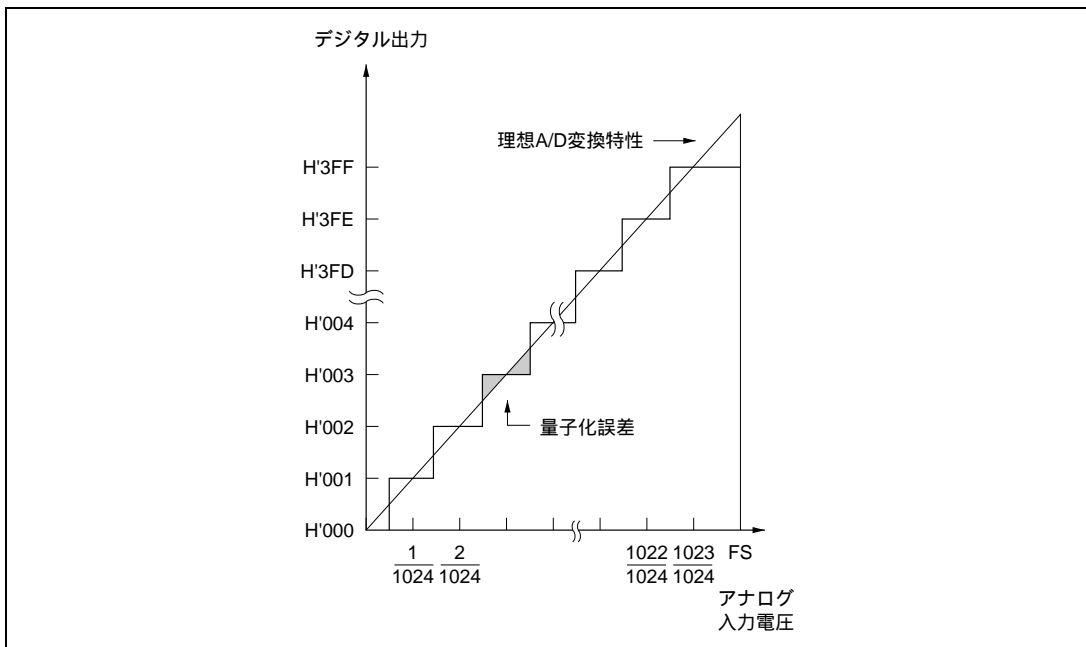


図 15.8 A/D 変換精度の定義 (1)

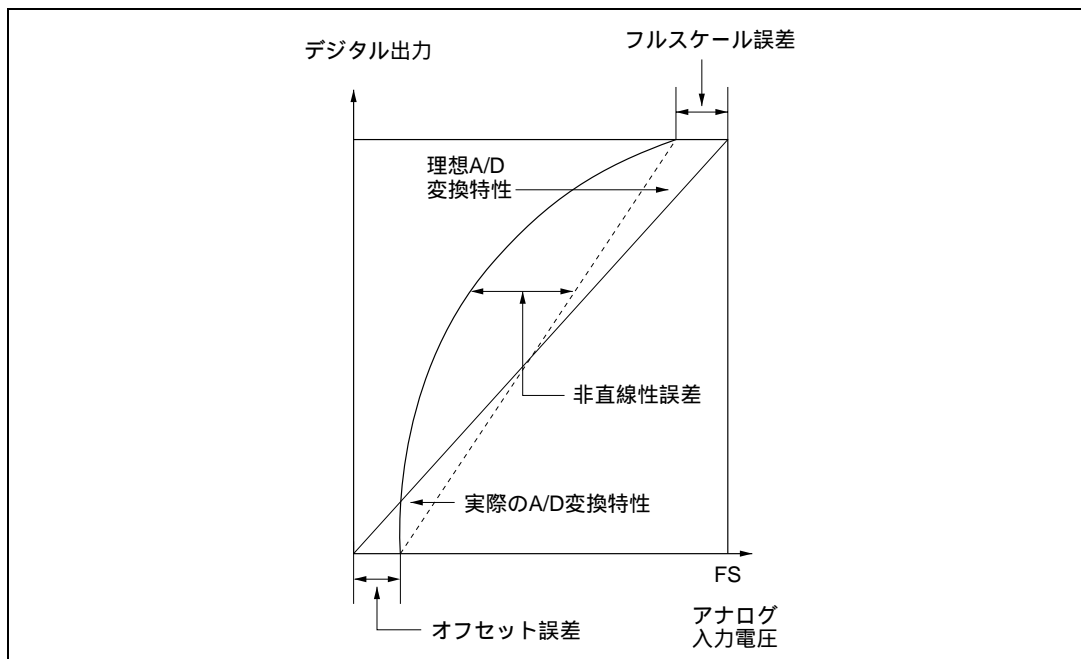


図 15.9 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力、信号源インピーダンスが $10k\ \Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $10k\ \Omega$ を越える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\ \Omega$ だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号(例えば $5Mv/\mu s$ 以上)には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意が必要です。

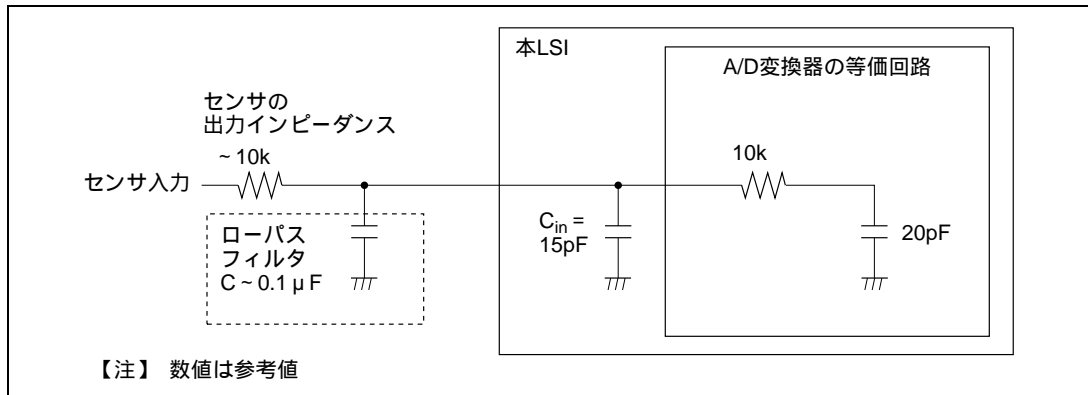


図 15.10 アナログ入力回路の例

16. RAM

16.1 概要

H8/3318 は 4k バイトのスタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがってデータの高速度転送が可能です。

内蔵 RAM は H'EF80 ~ H'FF7F に割り当てられており、システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME) により、内蔵 RAM 有効または無効の制御を行います。

16.1.1 ブロック図

RAM のブロック図を図 16.1 に示します。

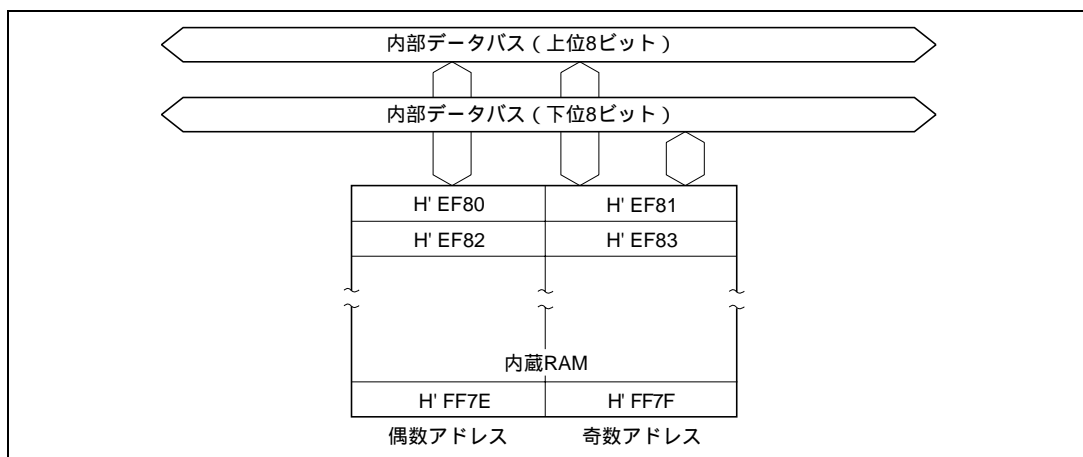


図 16.1 RAM のブロック図

16.1.2 システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	DPME	RAME
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

内蔵 RAM は、SYSCR の RAME ビットによってイネーブル/ディスエーブルされます。なお、SYSCR のその他のビットについての詳細は、「3.2 システムコントロールレジスタ」を参照してください。

ビット 0: RAM イネーブル (RAME)

内蔵 RAM 有効または無効を選択します。RAME ビットは $\overline{\text{RES}}$ 端子の立上がりでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

16.2 動作説明

16.2.1 拡張モード (モード 1、2)

RAME ビットが 1 にセットされているとき、H'EF80 ~ H'FF7F をアクセスすると、内蔵 RAM がアクセスされます。また、RAME ビットが、0 にクリアされているときは、外部アドレスとして、アクセスされます。

16.2.2 シングルチップモード (モード 3)

RAME ビットが 1 にセットされているとき、H'EF80 ~ H'FF7F をアクセスすると、内蔵 RAM がアクセスされます。RAME ビットが、0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると常に H'FF がリードされ、ライトは無効です。

16.3 使用上の注意

16.3.1 初期値について

パワーオンリセット直後の RAM の初期値は不定です。使用するエリアは必ず初期化を行ってください。

17. ROM

17.1 概要

H8/3318 は 60k バイトの ROM を内蔵しています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速度転送が可能です。

内蔵 ROM 有効または無効の設定は、表 17.1 に示すように、モード端子 (MD_1 、 MD_0) により行います。

表 17.1 動作モードと ROM

動作モード	モード端子		内蔵 ROM
	MD_1	MD_0	
モード 1 (内蔵 ROM 無効拡張モード)	0	1	無効
モード 2 (内蔵 ROM 有効拡張モード)	1	0	有効
モード 3 (シングルチップモード)	1	1	有効

なお、PROM 版 (H8/3318ZTAT) は、PROM モードに設定することにより、汎用 PROM ライタを用いて、自由にプログラムの書込みができます。

H8/3318 のモード 2 の ROM は、H' 0000 ~ H'E77F (59264 バイト) が有効になり、モード 3 の ROM は、H'0000 ~ H'EF7F (61312 バイト) が有効になります。詳しくは、「第 3 章 MCU 動作モード」を参照してください。

17.1.1 ブロック図

ROM のブロック図を図 17.1 に示します。

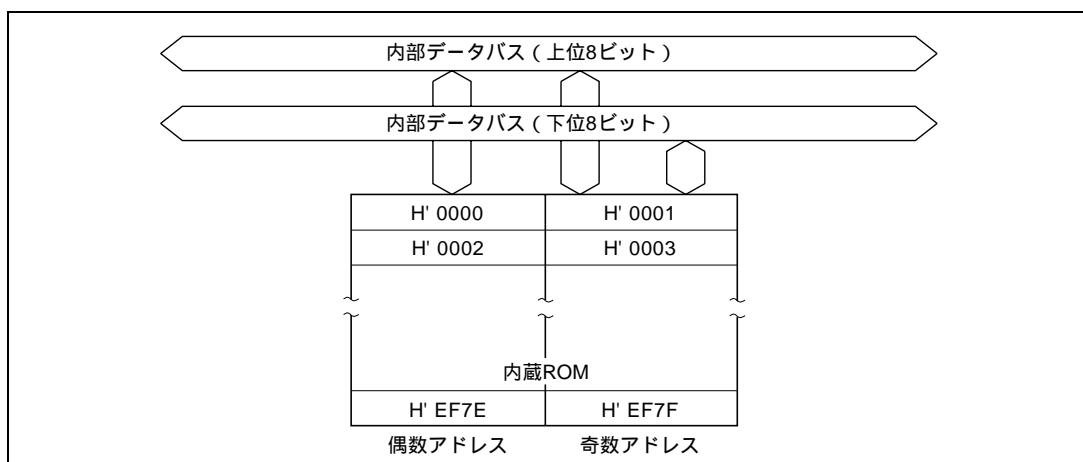


図 17.1 ROM のブロック図 (シングルチップモード)

17.2 PROM モード

17.2.1 PROM モードの設定

H8/3318 の PROM 版の場合、PROM モードに設定するとマイクロコンピュータとしての機能が停止して、HN27C101 と同一の方法で内蔵 PROM のプログラムを行うことができます。

PROM モードの設定方法を、表 17.2 に示します。

表 17.2 PROM モードの設定

端子名	設定
モード端子 MD _i	Low レベル
モード端子 MD _o	
STBY 端子	
P6 _s 、P6 _i 端子	High レベル

17.2.2 ソケットアダプタの端子対応とメモリアップ

PROM のプログラムは、表 17.3 で示すように、各パッケージに対応したソケットアダプタを付けて、32 ピンに変換し、汎用 PROM ライタでプログラミングを行います。ソケットアダプタの端子対応図を図 17.2 に示します。

表 17.3 ソケットアダプタ

パッケージ名	ソケットアダプタの型名	
84 ピン PLCC	HS338ESC02H	HS3337ESCS1H
80 ピン QFP	HS338ESH02H	HS3337ESHS1H
80 ピン TQFP	-	HS3337ESNS1H
84 ピン窓付 LCC	HS338ESG02H	HS3337ESGS1H

H8/3318 の PROM の容量は 60k バイトです。PROM モード時のメモリマップを図 17.3 に示します。内蔵 PROM 内の未使用のアドレス領域のデータは、H'FF としてください。

H8/3318 を PROM ライタでプログラムする際に、アドレスは H'0000 ~ H'EF7F に設定し、H'EF80 以降のデータは H'FF としてください。誤って H'EF80 以降にプログラムすると、PROM の書込みや確認ができなくなることがあります。また、ページプログラミング方式でプログラムしようとした場合も同様です。特にプラスチックパッケージでは再生できませんのでご注意ください。

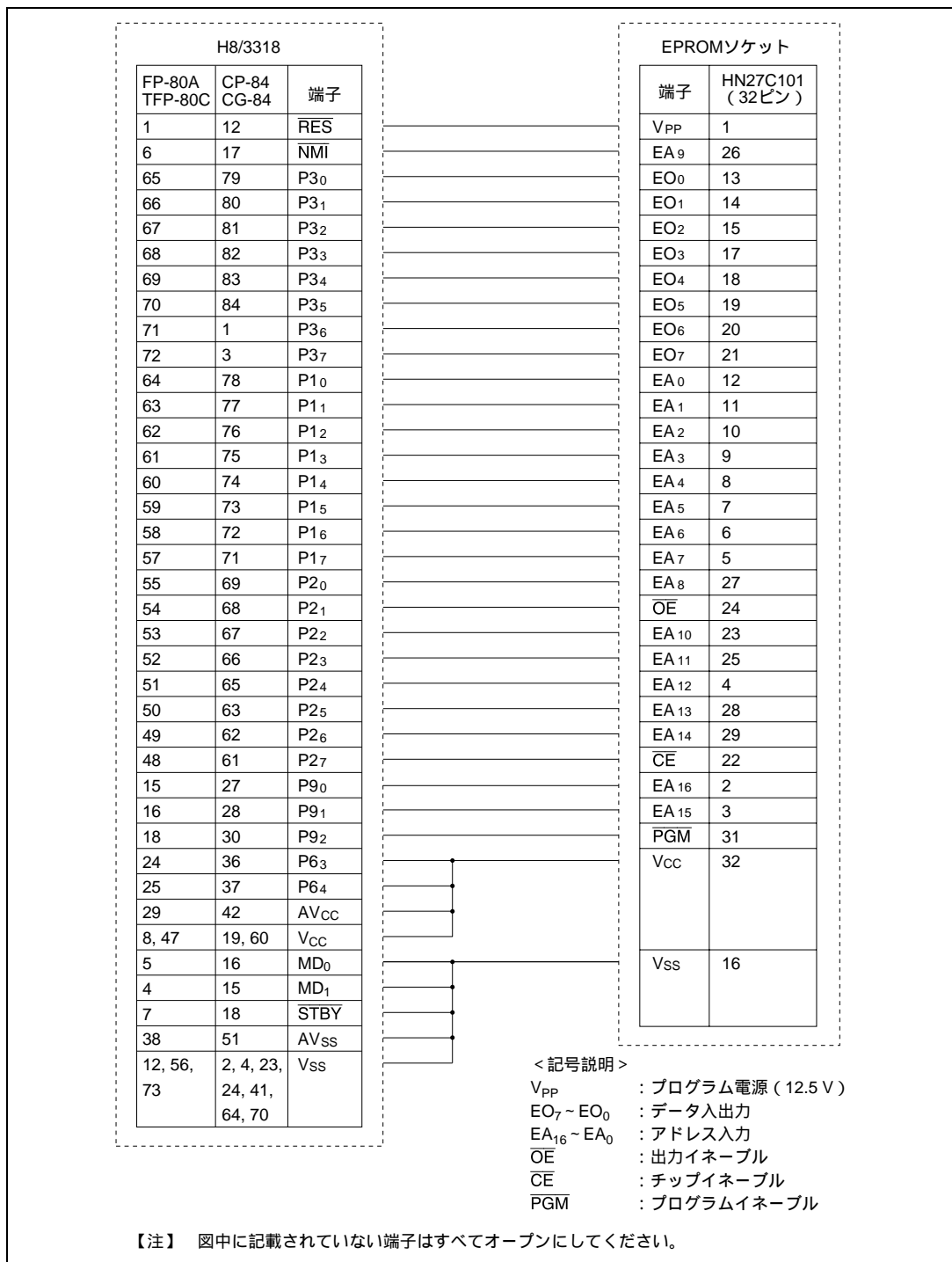


図 17.2 ソケッアダプタの端子対応図

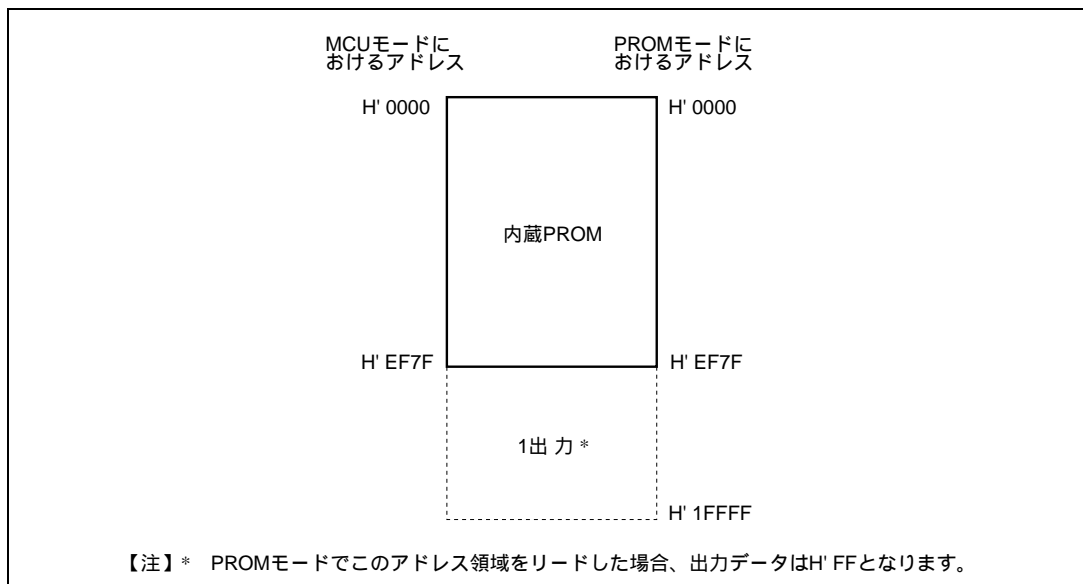


図 17.3 PROM モード時のメモリマップ

17.3 プログラミング

PROM モード時の書込み、ペリファイなどのモード選択は、表 17.4 に示すような設定によって行います。

表 17.4 PROM モード時のモード選択

モード	ピン						
	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	V_{PP}	V_{CC}	$\text{EO}_7 \sim \text{EO}_0$	$\text{EA}_{16} \sim \text{EA}_0$
書込み	L	H	L	V_{PP}	V_{CC}	データ入力	アドレス入力
ペリファイ	L	L	H	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{PP}	V_{CC}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

記号説明

L: Low レベル

H: High レベル

V_{PP} : V_{PP} レベル

V_{CC} : V_{CC} レベル

なお、書込み、読出しは、標準 EPROM HN27C101 と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイトごとの高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ず H'0000 ~ H'EF7F に設定してください。

17.3.1 書込み/ベリファイ

書込み/ベリファイは、効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損なうことなく高速な書込みを行うことができます。未使用のアドレス領域のデータはH'FFです。

高速プログラミングの基本的なフローを図 17.4 に示します。

また、プログラミング時の電気的特性を表 17.5、表 17.6 に、タイミングを図 17.5 に示します。

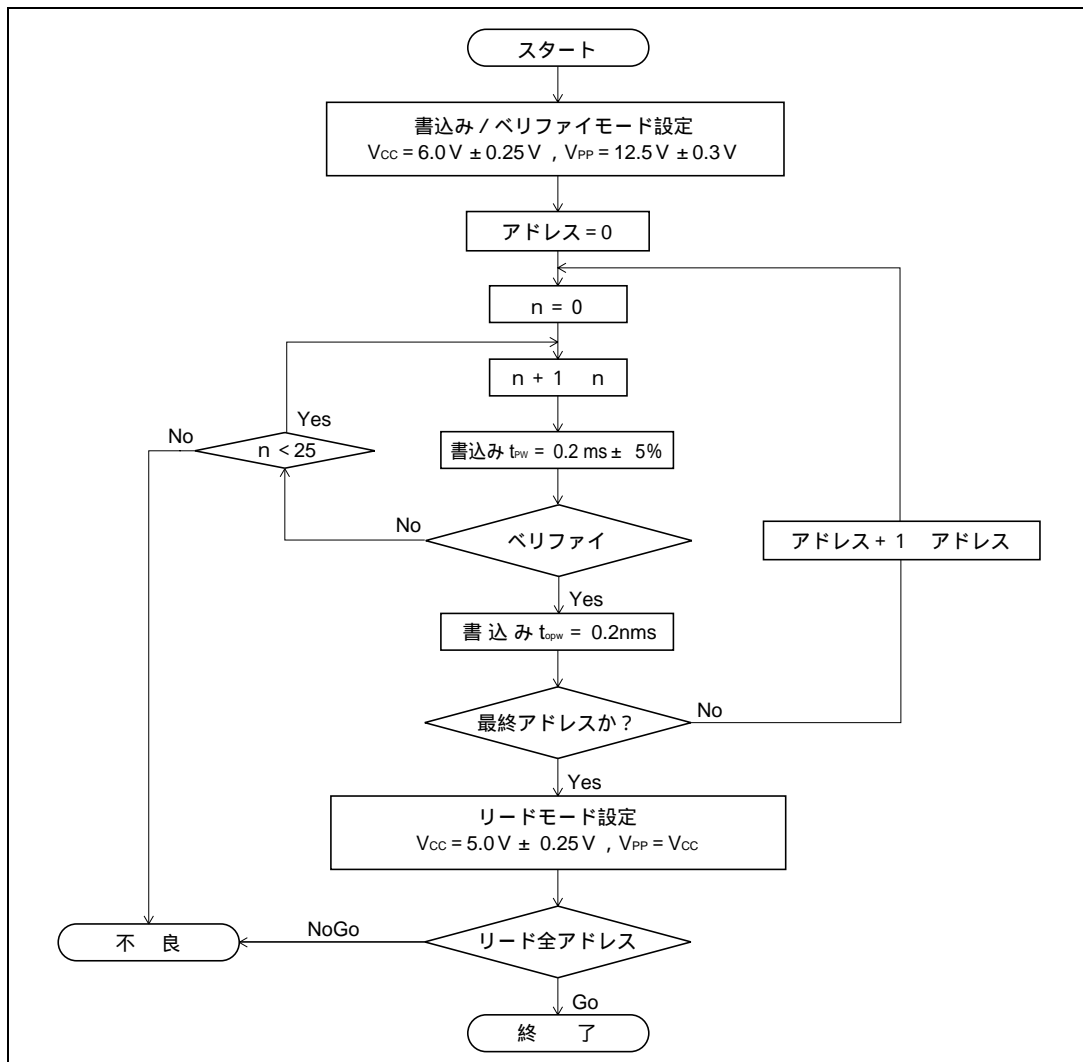


図 17.4 高速プログラミングフローチャート

表 17.5 DC 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{CC} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
入力 High レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 \overline{OE} 、 \overline{CE} 、PGM	V_{IH}	2.4	-	$V_{CC} + 0.3$	V
入力 Low レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 \overline{OE} 、 \overline{CE} 、PGM	V_{IL}	- 0.3	-	0.8	V
出力 High レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4	-	-	V $I_{OH} = 200 \mu A$
出力 Low レベル電圧	$EO_7 \sim EO_0$	V_{OL}	-	-	0.45	V $I_{OL} = 1.6mA$
入力リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 \overline{OE} 、 \overline{CE} 、PGM	$ I_{LI} $	-	-	2	μA $V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}	-	-	40	mA
V_{PP} 電流		I_{PP}	-	-	40	mA

表 17.6 AC 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2	-	-	μs	図 17.5*
\overline{OE} セットアップ時間	t_{OES}	2	-	-	μs	
データセットアップ時間	t_{DS}	2	-	-	μs	
アドレスホールド時間	t_{AH}	0	-	-	μs	
データホールド時間	t_{DH}	2	-	-	μs	
データ出力ディスエーブル時間	t_{DF}	-	-	130	μs	
V_{PP} セットアップ時間	t_{VPS}	2	-	-	μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の \overline{OE} パルス幅	t_{OPW}	0.19	-	5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2	-	-	μs	
\overline{OE} セットアップ時間	t_{CES}	2	-	-	μs	
データ出力遅延時間	t_{OE}	0	-	150	μs	

【注】 * 入力パルスレベル : 0.8 ~ 2.2V
 入力上がり / 立下がり時間 20ns
 タイミング参照レベル
 入力 : 1.0V、2.0V
 出力 : 0.8V、2.0V

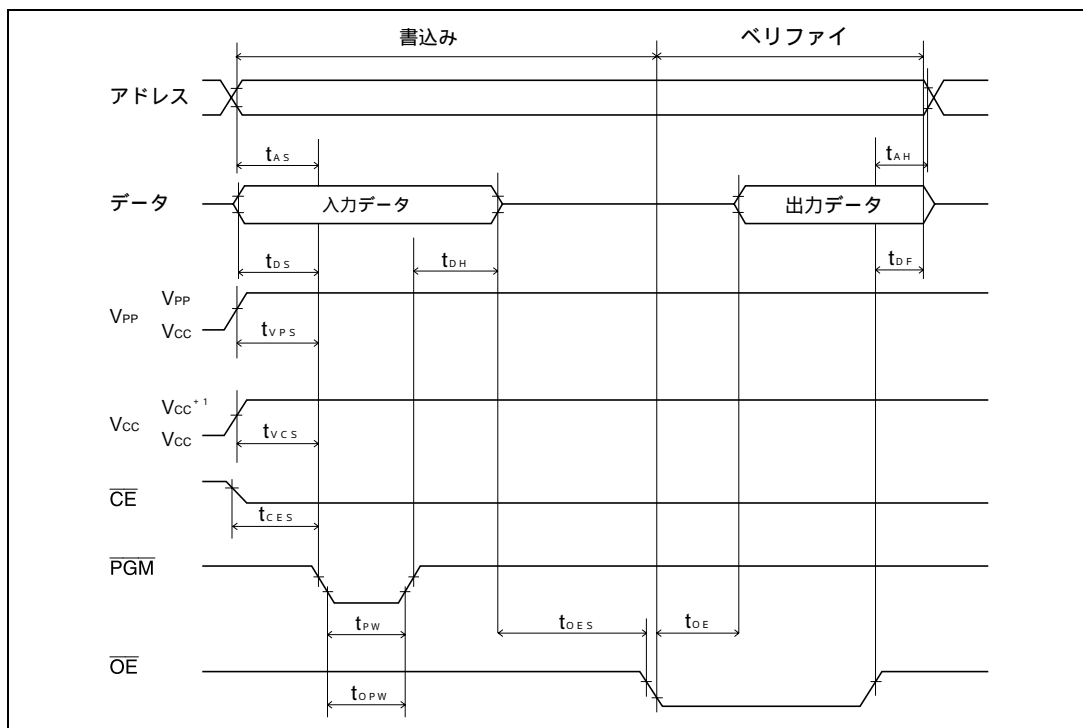


図 17.5 PROM 書込み / ベリファイタイミング

17.3.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧 (V_{pp}) は12.5Vです。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。
PROMライタのHN27C101の日立仕様にセットすると、 V_{pp} は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品のそれぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
- (5) PROMの容量は、60kバイトです。アドレスは、必ずH'0000 ~ H'EF7Fに設定してください。プログラムする際には、未使用のアドレス領域 (H'EF80 ~ H'1FFFF) のデータはH'FFとしてください。

17.3.3 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの1つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 17.6 に推奨するスクリーニングフローを示します。

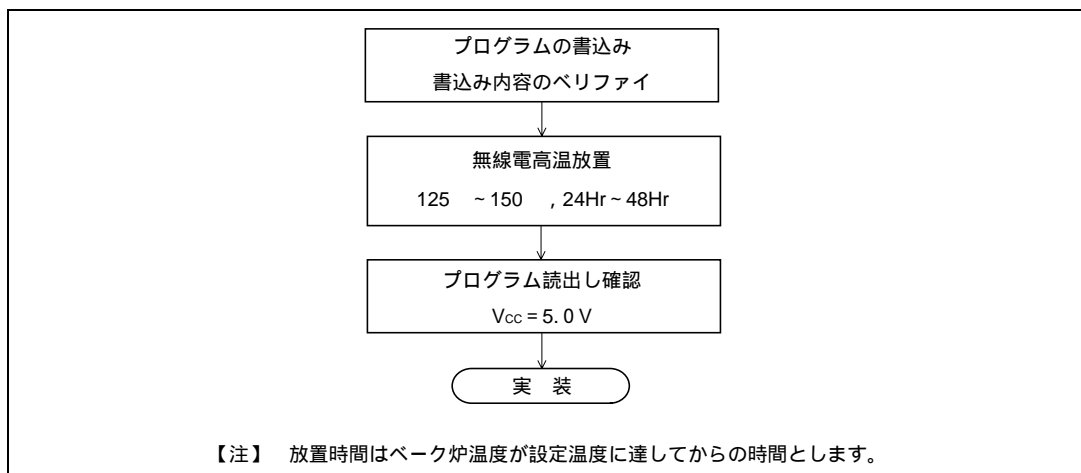


図 17.6 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、窓付パッケージ EPROM 内蔵マイコンを利用するなどして、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

17.3.4 データの消去

データの消去は、パッケージにあいている透明窓から紫外線を照射することにより行います。消去条件を表 17.7 に示します。

表 17.7 消去条件

項目	値
紫外線波長	253.7nm
最小照射量	15W・s/cm

表 17.7 の消去条件を満たすには、12000 μ W/cm² の紫外線ランプを素子の真上 2 ~ 3cm に置いて約 20 分放置します。

17.4 窓付パッケージ品の取扱い

(1) 消去用ガラス窓について

窓付パッケージ品に付いている消去用のガラス窓をプラスチックなどでこすったり、帯電物に触れたりすると、窓の表面に静電気が発生し、LSI を誤動作させることがあります。

消去用窓が帯電した場合には、紫外線を短時間照射することによってチャージを中和させ、正常に戻すことができます。しかし、同時にフローティングゲート中に蓄積されているチャージ量も減少しますので、その後再書込みを行うことをおすすめします。

窓上の帯電を防止する対策として次のような方法があります。

- (1) 操作時は人体アースをとり、また手袋など静電気の原因となるものは使用しないでください。
- (2) ガラス窓を静電気の発生しやすいプラスチックなどで摩擦しないでください。
- (3) 冷却剤スプレーなどの中には、若干のイオンが含まれている場合がありますので注意してください。
- (4) 紫外線しゃ光ラベル（特に導電性物質を含むもの）は、帯電したチャージを一様に平準化するので、しゃ光ラベルを消去用窓に取り付けると効果的です。

(2) 書込み後の取扱いについて

けい光燈や太陽光線の中には若干の紫外線が含まれていますので、これら光の中に LSI を長時間放置するとメモリ情報の反転が生じる可能性があります。また、強い光の中では光電流の影響で LSI が誤動作することもありますので、書込み後は光の透過しないラベル（紫外線しゃ光ラベル）などで消去用ガラス窓を覆って使用されることをおすすめします。

(3) LCC-84 ピンパッケージ品について

LCC-84 ピンパッケージ品を基板に実装する場合は、必ずソケットを使用してください。推奨ソケットを表 17.8 に示します。

表 17.8 LCC-84 ピン実装用ソケット

メーカー	型番
住友スリーエム	284-1273-00-1102J

18. 低消費電力状態

18.1 概要

本 LSI には、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態があります。低消費電力状態には、次の 3 種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードからの解除方法を表 18.1 に示します。

表 18.1 低消費電力状態

モード	遷移条件	状態							解除方法
		クロック	CPU	DTU	周辺機能	CPU レジスタ	RAM	I/O ポート	
スリープモード	SLEEP 命令の実行	動作	停止	動作	動作	保持	保持	保持	<ul style="list-style-type: none"> ・ 割込み ・ RES 端子 ・ STBY 端子
ソフトウェアスタンバイモード	SYSCR の SSBY ビットを 1 にセットした後、SLEEP 命令を実行	停止	停止	停止	停止 リセット	保持	保持	保持	<ul style="list-style-type: none"> ・ NMI 端子 ・ \overline{IRQ}_2、\overline{IRQ}_0 端子 ・ RES 端子 ・ STBY 端子
ハードウェアスタンバイモード	STBY 端子を Low レベル	停止	停止	停止	停止 リセット	不定	保持	ハイインピーダンス	STBY 端子と RES 端子

記号説明

SYSCR： システムコントロールレジスタ

SSBY： ソフトウェアスタンバイビット

18.1.1 システムコントロールレジスタ (SYSCR)

本 LSI は、8 ビットのシステムコントロールレジスタ (SYSCR) のビット 7 の SSBY ビット、ビット 6~4 の STS2~0 ビットの 4 ビットで低消費電力モードの制御を行います。

表 18.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	DPME	RAME
初期値:	0	0	0	0	1	0	0	1
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは 1 にセットされたままです。クリアする場合は、0 をライトしてください。

ビット 7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット 6~4: スタンバイタイムセレクト 2~0 (STS2~0)

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで CPU と周辺機能が待機する時間を指定します。表 18.2 を参照し、動作周波数に応じて待機時間が 8ms 以上となるように指定してください。

ビット 6	ビット 5	ビット 4	説明
STS2	STS1	STS0	
0	0	0	待機時間=8192 ステート (初期値)
		1	待機時間=16384 ステート
	1	0	待機時間=32768 ステート
		1	待機時間=65536 ステート
1	0	-	待機時間=131072 ステート
	1	-	使用禁止

18.2 スリープモード

18.2.1 スリープモードへの遷移

SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU 内のレジスタの内容は保持されます。スリープモードでは内蔵周辺モジュールの機能は停止しません。

18.2.2 スリープモードの解除

スリープモードの解除は、割込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、割込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割込みがディスエーブルされている場合、また、NMI 以外の割込みで、I ビットが 1 にセットされている場合などは、割込み要求が受け付けられないため、スリープ状態は解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

18.3 ソフトウェアスタンバイモード

18.3.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには、SYSCR の SSBY ビットを 1 にセットした後、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなく、クロックをはじめ、内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。内蔵周辺モジュールはリセット状態になり停止しますが、規定の電圧が与えられている限り、CPU のレジスタと内蔵 RAM のデータは保持されています。I/O ポートの状態も保持されています。

18.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割込み ($\overline{\text{NMI}}$ 端子、 $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_2$ 、 $\overline{\text{IRQ}}_6$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割込みによる解除

NMI、 $\text{IRQ}_0 \sim \text{IRQ}_2$ 、 IRQ_6 割込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2~0 ビットによって設定された時間が経過した後、安定したクロックが、本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割込み例外処理を開始します。この場合、ソフトウェアスタンバイに遷移する前に、 $\text{IRQ}_3 \sim \text{IRQ}_5$ 割込みはディスエーブル ($\text{IRQ3E} \sim \text{IRQ7E} = 0$) としてください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。発振安定時間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。リセットによる解除の場合、クロック発振開始と同時に、本 LSI 全体にクロックが供給されます。 $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまで Low レベルに保持してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

18.3.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2 ~ STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 8ms 以上となるように STS2 ~ STS0 を設定してください。表 18.3 に動作周波数と STS2 ~ STS0 ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = 0) の使用を推奨します。

表 18.3 動作周波数と発振安定待機時間

STS2	STS1	STS0	待機時間	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8192 ステート	0.51	0.65	0.8	1.0	1.3	2.0	4.1	8.2	16.4
0	0	1	16384 ステート	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4	32.8
0	1	0	32768 ステート	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	65.5
0	1	1	65536 ステート	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	131.1
1	0	-	131072 ステート	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	262.1

(単位: ms)

 : 推奨設定時間

18.3.4 ソフトウェアスタンバイモードの応用例

ここでは、 $\overline{\text{NMI}}$ 端子の立下がりによってソフトウェアスタンバイモードに移行し、 $\overline{\text{NMI}}$ 端子の立上がりによって解除を行う例を、図 18.1 に示します。

SYS_SCR の NMI エッジ (NMIEG) ビットが 0 (立下がりエッジ指定) の状態で NMI 割込みを受け付けた後、NMIEG ビットを 1 にセットします (立上がりエッジ指定)。そして SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに移行します。

その後、 $\overline{\text{NMI}}$ 端子の立上がりエッジで、ソフトウェアスタンバイモードが解除されます。

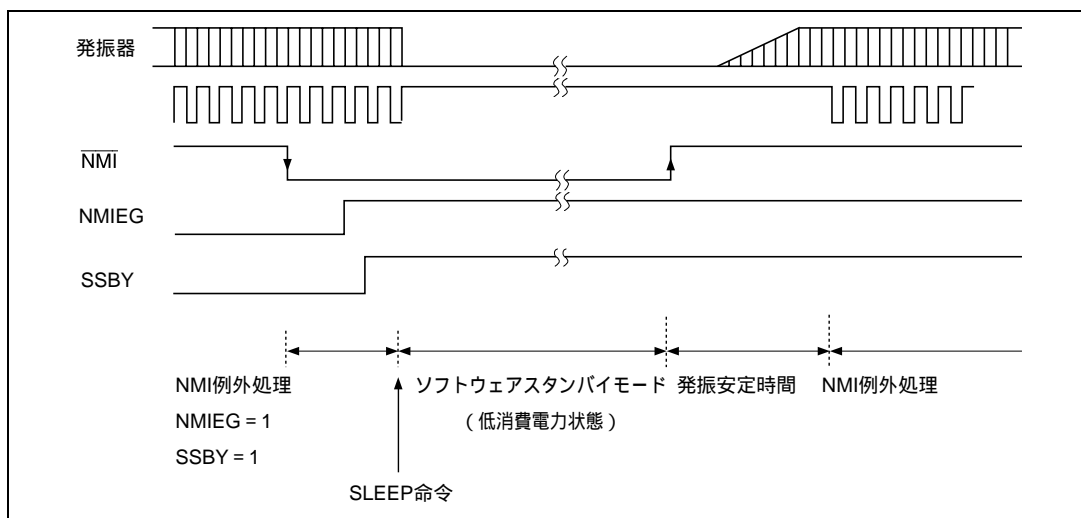


図 18.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

18.3.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

18.4 ハードウェアスタンバイモード

18.4.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPUをはじめ内蔵周辺モジュール全体の機能が停止するため、消費電力は著しく低減します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM のデータは保持*されます I/O ポートは、ハイインピーダンスになります。

- 【注】
1. $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。
 2. ハードウェアスタンバイモード中に、モード端子 (MD_1 、 MD_0) の状態を変化させないでください。特に、ハードウェアスタンバイモード中にモード端子がいずれも Low レベルになると、PROM モードになり消費電流が増加しますので注意してください。

18.4.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子とで行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、クロックは発振を開始します。このとき $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまで、Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

18.4.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミングを図 18.2 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

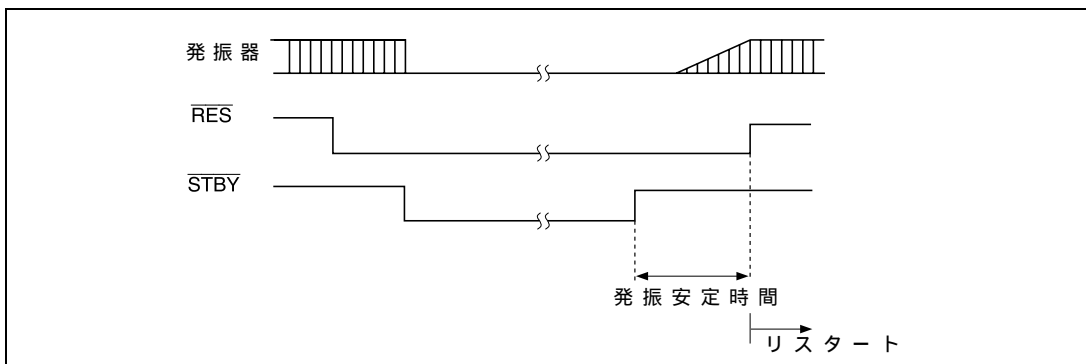


図 18.2 ハードウェアスタンバイモードのタイミング

19. 電気的特性

19.1 絶対最大定格

絶対最大定格を表 19.1 に示します。

表 19.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V
プログラム電圧	V_{PP}	- 0.3 ~ + 13.5	V
入力電圧 (ポート 7 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品: - 20 ~ + 75	
		広温度範囲仕様品: - 40 ~ + 85	
保存温度	T_{stg}	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

19.2 電気的特性

19.2.1 DC 特性

5V 版の DC 特性を表 19.2、4V 版の DC 特性を表 19.3、3V 版の DC 特性を表 19.4、5V 版・4V 版の出力許容電流値を表 19.5、3V 版の出力許容電流値を表 19.6 に示します。

19. 電気的特性

表 19.2 DC 特性(5V 版)

[条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)]

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	(1) V_{T^+} V_{T^-} $V_{T^+} - V_{T^-}$	1.0	-	-	V	
		-	-	$V_{CC} \times 0.7$	V	
		0.4	-	-	V	
入力 High レベル電圧	(2) V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	V	
		2.0	-	$AV_{CC} + 0.3$	V	
		2.0	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	(3) V_{IL}	-0.3	-	0.5	V	
		-0.3	-	0.8	V	
出力 High レベル電圧	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
		3.5	-	-	V	$I_{OH} = -1.0mA$
出力 Low レベル電圧	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
		-	-	1.0	V	$I_{OL} = 10.0mA$
入力リーク電流	$ I_{in} $	-	-	10.0	μA	$V_{in} = 0.5V - V_{CC} - 0.5V$
		-	-	1.0	μA	
		-	-	1.0	μA	$V_{in} = 0.5V - AV_{CC} - 0.5V$
スリープステートリーク電流 (オフ状態)	$ I_{TSI} $	-	-	1.0	μA	$V_{in} = 0.5V - V_{CC} - 0.5V$
入力プルアップ MOS 電流	$-I_p$	30	-	250	μA	$V_{in} = 0V$
入力容量	C_{in}	-	-	60	pF	$V_{in} = 0V$
		-	-	50	pF	$f = 1MHz$
		-	-	15	pF	$T_a = 25$
消費電流*2	通常動作時	-	27	45	mA	$f = 12MHz$
		-	36	60	mA	$f = 16MHz$
	スリープ時	-	18	30	mA	$f = 12MHz$
		-	24	40	mA	$f = 16MHz$
	スタンバイ時*3	-	0.01	5.0	μA	$T_a = 50$
		-	-	20.0	μA	$50 < T_a$
アナログ電源電流	AI_{CC}	-	2.0	5.0	mA	
		-	0.01	5.0	μA	$AV_{CC} = 2.0V \sim 5.5V$
アナログ電源電圧*1	AV_{CC}	4.5	-	5.5	V	動作時
		2.0	-	5.5	V	待機時、非使用時
RAM スタンバイ電圧	V_{RAM}	2.0	-	-	V	

【注】 *1 A/D 変換器を使用しない場合でも、 AV_{CC} は電源(V_{CC})に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。

*2 $V_{IH} \text{ min} = V_{CC} - 0.5V$ 、 $V_{IL} \text{ max} = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップ MOS を OFF 状態にした場合の値です。

*3 $V_{RAM} \sim V_{CC} = 4.5V$ のとき、 $V_{IH} \text{ min} = V_{CC} \times 0.9$ 、 $V_{IL} \text{ max} = 0.3V$ とした場合の値です。

*4 $P8_6 \sim P8_0$ 、 $P9_7$ 、 $P9_5 \sim P9_0$ には、兼用の周辺機能入力を含みます。

表 19.3 DC 特性(4V 版)

[条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V^{*1}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)]

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ入力電圧	(1) V_T^- V_T^+ $V_T^+ - V_T^-$ V_T^- V_T^+ $V_T^+ - V_T^-$	1.0	-	-	V	$V_{CC} = 4.5V \sim 5.5V$	
		-	-	$V_{CC} \times 0.7$	V		
		0.4	-	-	V		
		0.8	-	-	V	$V_{CC} = 4.0V \sim 4.5V$	
			-	-	$V_{CC} \times 0.7$		V
			0.3	-	-		V
入力 High レベル電圧	(2) V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	V		
		2.0	-	$AV_{CC} + 0.3$	V		
			-	$V_{CC} + 0.3$	V		
入力 Low レベル電圧	(3) V_{IL}	-0.3	-	0.5	V		
		-0.3	-	0.8	V		$V_{CC} = 4.5V \sim 5.5V$
		-0.3	-	0.6	V		$V_{CC} = 4.0V \sim 4.5V$
出力 High レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
		3.5	-	-	V	$I_{OH} = -1.0mA$ 、 $V_{CC} = 4.5V \sim 5.5V$	
		2.8	-	-	V	$I_{OH} = -1.0mA$ 、 $V_{CC} = 4.0V \sim 4.5V$	
出力 Low レベル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
			$P1_7 \sim P1_0$ 、 $P2_7 \sim P2_0$	-	-	1.0	V
入力リーク電流	RES	$ I_a $	-	-	10.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
			-	-	1.0	μA	
			$P7_7 \sim P7_0$	-	-	1.0	
スリープステートリーク電流(オフ状態)	ポート 1~6 ポート 8、9	$ I_{TSI} $	-	-	1.0	μA	$V_{in} = 0.5V \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1~3	$-I_p$	30	-	250	μA	$V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$
			20	-	200	μA	$V_{in} = 0V$ 、 $V_{CC} = 4.0V \sim 4.5V$
入力容量	RES	C_{in}	-	-	60	pF	$V_{in} = 0V$
	NMI		-	-	50	pF	$f = 1MHz$
	RES、NMI 以外の全入力端子		-	-	15	pF	$T_a = 25$
消費電流*2	通常動作時	I_{CC}	-	27	45	mA	$f = 12MHz$
			-	36	60	mA	$f = 16MHz$ 、 $V_{CC} = 4.5V \sim 5.5V$
	スリープ時		-	18	30	mA	$f = 12MHz$
			-	24	40	mA	$f = 16MHz$ 、 $V_{CC} = 4.5V \sim 5.5V$
	スタンバイ時*3		-	0.01	5.0	μA	$T_a = 50$
-		-	20.0	μA	$50 < T_a$		
アナログ電源電流	A/D 変換中	AI_{CC}	-	2.0	5.0	mA	
	A/D 変換待機中		-	0.01	5.0	μA	$AV_{CC} = 2.0V \sim 5.5V$
アナログ電源電圧*1		AV_{CC}	4.5	-	5.5	V	動作時
			2.0	-	5.5	V	待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0	-	-	V	

【注】 *1 A/D 変換器を使用しない場合でも、 AV_{CC} は電源(V_{CC})に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。

*2 $V_{IH} \text{ min} = V_{CC} - 0.5V$ 、 $V_{IL} \text{ max} = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップ MOS を OFF 状態にした場合の値です。

*3 V_{RAM} 、 $V_{CC} = 4.0V$ のとき、 $V_{IH} \text{ min} = V_{CC} \times 0.9$ 、 $V_{IL} \text{ max} = 0.3V$ とした場合の値です。

*4 $P8_6 \sim P8_0$ 、 $P9_7$ 、 $P9_5 \sim P9_0$ には、兼用の周辺機能入力を含みます。

19. 電気的特性

表 19.4 DC 特性(3V 版)

[条件: $V_{CC} = 2.7V \sim 5.5V$, $AV_{CC} = 2.7V \sim 5.5V$, $V_{SS} = AV_{SS} = 0V$, $T_a = -20 \sim +75$]

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ入力電圧	(1) V_T^-	$V_{CC} \times 0.15$	-	-	V		
		V_T^+	-	$V_{CC} \times 0.7$	V		
		$V_T^+ - V_T^-$	0.2	-	-		V
入力 High レベル電圧	(2) V_{IH}	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V		
		$V_{CC} \times 0.7$	-	$AV_{CC} + 0.3$	V		
		上記(1)、(2)以外の入力端子	$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$		V
入力 Low レベル電圧	(3) V_{IL}	- 0.3	-	$V_{CC} \times 0.1$	V		
		上記(1)、(3)以外の入力端子	- 0.3	-	$V_{CC} \times 0.15$		V
出力 High レベル電圧	V_{OH}	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$	
		$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1.0mA$	
出力 Low レベル電圧	V_{OL}	-	-	0.4	V	$I_{OL} = 0.8mA$	
		$P1_7 \sim P1_0$, $P2_7 \sim P2_0$	-	-	0.4	V	$I_{OL} = 1.6mA$
入力リーク電流	$ I_{in} $	RES	-	-	10.0	μA	$V_{in} = 0.5V \sim V_{CC} - 0.5V$
		STBY、NMI、MD ₁ 、MD ₀	-	-	1.0	μA	
		$P7_7 \sim P7_0$	-	-	1.0	μA	$V_{in} = 0.5V \sim AV_{CC} - 0.5V$
スリープスタートリーク電流 (オフ状態)	ポート 1~6 ポート 8、9	$ I_{TSI} $	-	-	1.0	μA	$V_{in} = 0.5V \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 1~3	$-I_p$	3	-	120	μA	$V_{in} = 0V$ 、 $V_{CC} = 2.7V \sim 4.0V$
入力容量	RES	C_{in}	-	-	60	pF	$V_{in} = 0V$
	NMI		-	-	50	pF	$f = 1MHz$
	RES、NMI 以外の全入力端子		-	-	15	pF	$T_a = 25$
消費電流*2	通常動作時	I_{CC}	-	7	-	mA	$f = 6MHz$, $V_{CC} = 2.7V \sim 3.6V$
			-	12	22	mA	$f = 10MHz$, $V_{CC} = 2.7V \sim 3.6V$
			-	25	-	mA	$f = 10MHz$, $V_{CC} = 4.0V \sim 5.5V$
	スリープ時		-	5	-	mA	$f = 6MHz$, $V_{CC} = 2.7V \sim 3.6V$
			-	9	16	mA	$f = 10MHz$, $V_{CC} = 2.7V \sim 3.6V$
			-	18	-	mA	$f = 10MHz$, $V_{CC} = 4.0V \sim 5.5V$
	スタンバイ時*3		-	0.01	5.0	μA	$T_a = 50$
-	-	-	20.0	μA	$50 < T_a$		
アナログ電源電流	A/D 変換中	AI_{CC}	-	2.0	5.0	mA	
	A/D 変換待機中		-	0.01	5.0	μA	$AV_{CC} = 2.0V \sim 5.5V$
アナログ電源電圧*1	AV_{CC}	2.7	-	5.5	V	動作時	
		2.0	-	5.5	V	待機時、非使用時	
RAM スタンバイ電圧	V_{RAM}	2.0	-	-	V		

【注】 *1 A/D 変換器を使用しない場合でも、 AV_{CC} は電源(V_{CC})に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。

*2 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップ MOS を OFF 状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 2.7V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。

*4 $P8_6 \sim P8_0$ 、 $P9_7$ 、 $P9_5 \sim P9_0$ には、兼用の周辺機能入力を含みます。

表 19.5 出力許容電流(5V 版、4V 版)
 [条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)]

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、2	I_{OL}	-	-	10	mA
	ポート 1、2 以外の出力端子		-	-	2	
出力 Low レベル許容電流 (総和)	ポート 1、2 端子の総和	I_{OL}	-	-	80	
	全出力端子の総和		-	-	120	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	-	-	2	
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$	-	-	40	

表 19.6 出力許容電流(3V 版)
 [条件: $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$]

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、2	I_{OL}	-	-	2	mA
	ポート 1、2 以外の出力端子		-	-	1	
出力 Low レベル許容電流 (総和)	ポート 1、2 端子の総和	I_{OL}	-	-	40	
	全出力端子の総和		-	-	60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	-	-	2	
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$	-	-	30	

【使用上の注意】

LSI の信頼性確保のため、出力電流値は表 19.5、表 19.6 の値を超えないようにしてください。特に、ダーリントトランジスタまたは LED を直接駆動する場合は、出力に必ず電流制限抵抗を挿入してください(図 19.1、図 19.2 を参照)。

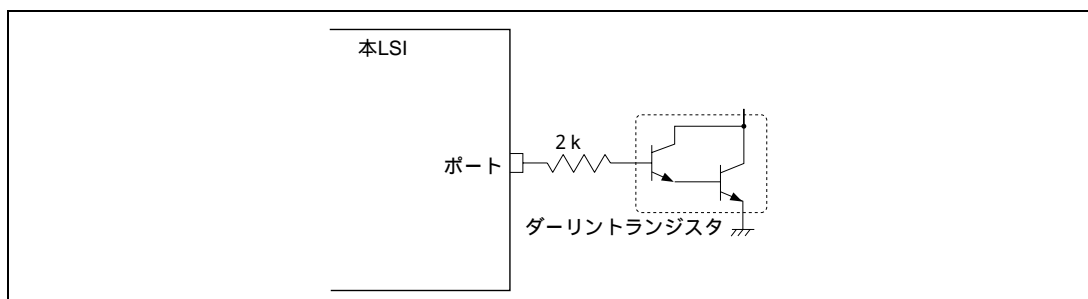


図 19.1 ダーリントトランジスタ駆動回路

19. 電気的特性

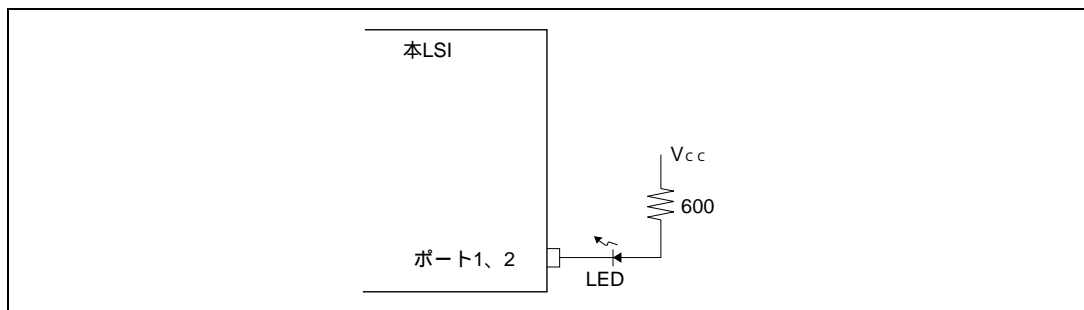


図 19.2 LED 駆動回路

19.2.2 AC 特性

AC 特性として表 19.7 にバスタイミングを、表 19.8 に制御信号タイミングを、表 19.9 に内蔵周辺モジュールタイミングを表 19.10 に外部クロック出力遅延タイミングを示します。

表 19.7 バスタイミング

[条件 A: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)
 条件 B: $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)
 条件 C: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$]

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		12MHz		16MHz			
		min	max	min	max	min	max		
クロックサイクル時間	t_{cyc}	100	500	83.3	500	62.5	500	ns	図 19.4
クロックパルス幅 Low	t_{CL}	30	-	30	-	20	-	ns	
クロックパルス幅 High	t_{CH}	30	-	30	-	20	-	ns	
クロック立上がり時間	t_{Cr}	-	20	-	10	-	10	ns	
クロック立下がり時間	t_{Cl}	-	20	-	10	-	10	ns	
アドレス遅延時間	t_{AD}	-	50	-	35	-	30	ns	
アドレスホールド時間	t_{AH}	20	-	15	-	10	-	ns	
アドレスストロープ遅延時間	t_{ASD}	-	50	-	35	-	30	ns	
ライトストロープ遅延時間	t_{WSD}	-	50	-	35	-	30	ns	
ストロープ遅延時間	t_{SD}	-	50	-	35	-	30	ns	
ライトストロープパルス幅*	t_{WSW}	110	-	90	-	60	-	ns	
アドレスセットアップ時間 1*	t_{AS1}	15	-	10	-	10	-	ns	
アドレスセットアップ時間 2*	t_{AS2}	65	-	50	-	40	-	ns	
リードデータセットアップ時間*	t_{RDS}	35	-	20	-	20	-	ns	
リードデータホールド時間*	t_{RDH}	0	-	0	-	0	-	ns	
リードデータアクセス時間*	t_{ACC}	-	170	-	160	-	110	ns	
リードデータ遅延時間	t_{WDD}	-	75	-	60	-	60	ns	
ライトデータセットアップ時間	t_{WDS}	5	-	5	-	5	-	ns	
ライトデータホールド時間	t_{WDH}	20	-	20	-	20	-	ns	
ウェイトセットアップ時間	t_{WTS}	40	-	35	-	30	-	ns	図 19.5
ウェイトホールド時間	t_{WTH}	10	-	10	-	10	-	ns	

【注】 * 最大動作周波数時の値

19. 電気的特性

表 19.8 制御信号タイミング

[条件 A: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)、
 条件 B: $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)、
 条件 C: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$]

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		12MHz		16MHz			
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	300	-	200	-	200	-	ns	☒ 19.6
RES パルス幅	t_{RESW}	10	-	10	-	10	-	t_{cyc}	
NMI セットアップ時間 (NMI、 $IRQ_0 \sim IRQ_7$)	t_{NMIS}	300	-	150	-	150	-	ns	☒ 19.7
NMI ホールド時間 (NMI、 $IRQ_0 \sim IRQ_7$)	t_{NMIH}	10	-	10	-	10	-	ns	
割込みパルス幅(NMI、 $IRQ_0 \sim IRQ_7$) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	300	-	200	-	200	-	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20	-	20	-	20	-	ms	☒ 19.8
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8	-	8	-	8	-	ms	☒ 19.9

AC 特性測定条件

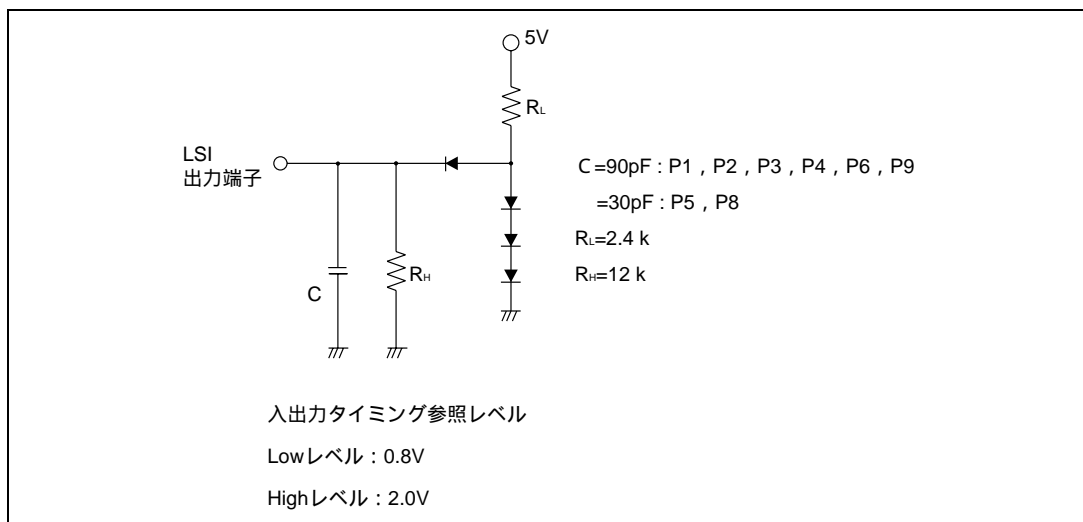


図 19.3 出力負荷回路

表 19.9 内蔵周辺モジュールタイミング

[条件 A: $V_{CC} = 4.5V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)
 条件 B: $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)
 条件 C: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$]

項目	記号	条件 C		条件 B		条件 A		単位	測定条件		
		10MHz		12MHz		16MHz					
		min	max	min	max	min	max				
FRT	タイマ出力遅延時間	t_{FOD}	-	150	-	100	-	100	ns	図 19.10	
	タイマ入力セットアップ時間	t_{FIS}	80	-	50	-	50	-	ns		
	タイマクロック入力セットアップ時間	t_{FICS}	80	-	50	-	50	-	ns	図 19.11	
	タイマクロックパルス幅	t_{FTCWH}	1.5	-	1.5	-	1.5	-	t_{cyc}		
TMR	タイマ出力遅延時間	t_{TOD}	-	150	-	100	-	100	ns	図 19.12	
	タイマリセット入力セットアップ時間	t_{TIRS}	80	-	50	-	50	-	ns	図 19.14	
	タイマクロック入力セットアップ時間	t_{TICS}	80	-	50	-	50	-	ns	図 19.13	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	-	1.5	-	1.5	-	t_{cyc}	
		両エッジ指定	t_{TMCWL}	2.5	-	2.5	-	2.5	-	t_{cyc}	
SCI	入力クロックサイクル	調歩同期	t_{SCVC}	4	-	4	-	4	-	t_{cyc}	図 19.15
		クロック同期	t_{SCVC}	6	-	6	-	6	-	t_{cyc}	
		送信データ遅延時間 (クロック同期)	t_{TXD}	-	200	-	100	-	100	ns	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	150	-	100	-	100	-	ns		
	受信データホールド時間 (クロック同期)	t_{RXH}	150	-	100	-	100	-	ns		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t_{cyc}	図 19.16	
PORT	出力データ遅延時間	t_{PWD}	-	150	-	100	-	100	ns	図 19.17	
	入力データセットアップ時間	t_{PRS}	80	-	50	-	50	-	ns		
	入力データホールド時間	t_{PRH}	80	-	50	-	50	-	ns		
TPC	出力データ遅延時間	t_{TPD}	-	100	-	100	-	100	ns	図 19.18	
DPRAM リード/ライトサイクル	アドレスホールド時間	t_{RSH}	10	-	10	-	10	-	ns	図 19.19	
	チップセレクトホールド時間	t_{CSS}	10	-	10	-	10	-	ns	図 19.20	
	アドレスセットアップ時間	t_{RSS}	10	-	10	-	10	-	ns		
	チップセレクトセットアップ時間	t_{CSS}	10	-	10	-	10	-	ns		
DPRAM ライトサイクル	ライトパルス幅	t_{DWP}	65	-	65	-	65	-	ns	図 19.19	
	ライトデータセットアップ時間	t_{DWS}	35	-	35	-	35	-	ns		
	ライトデータホールド時間	t_{DWH}	20	-	20	-	20	-	ns		
DPRAM リードサイクル	アクセス時間	t_{DAA}	-	100	-	85	-	85	ns	図 19.20	
	リードデータ遅延時間	t_{DOE}	-	85	-	85	-	85	ns		
	チップセレクトアクセス時間	t_{DACS}	-	100	-	85	-	85	ns		
	CS 出力フローティング時間	t_{DCHZ}	-	50	0	50	0	50	ns		
	OE 出力フローティング時間	t_{DQHZ}	-	50	0	50	0	50	ns		
DPRAM WRQ 出力	ウェイトリクエスト遅延時間 1	t_{WTD1}	-	80	-	50	-	50	ns	図 19.21	
	ウェイトリクエスト遅延時間 2	t_{WTD2}	20	-	20	-	20	-	ns		
DPRAM バウンドバッファモードバイトアクセス間隔	バイトアクセス間隔 0	t_{BYTE0}	2	-	2	-	2	-	t_{cyc}	図 19.22	
	バイトアクセス間隔 1	t_{BYTE1}	20	-	20	-	20	-	ns		
	バイトアクセス間隔 2	t_{BYTE2}	9.5	-	9.5	-	9.5	-	t_{cyc}		
DPRAM キュアリバッファモードバイトアクセス間隔	バイトアクセス間隔 3	t_{BYTE3}	11	-	11	-	11	-	t_{cyc}		
パラレルハンドシェイクインタフェース受信	RDY 出力遅延時間 1	t_{HRDYD1}	-	80	-	80	-	80	ns	図 19.23	
	RDY 出力遅延時間 2	t_{HRDYD2}	-	80	-	80	-	80	ns		
	受信データセットアップ時間	t_{TDS}	20	-	20	-	20	-	ns		
	受信データホールド時間	t_{TDH}	25	-	25	-	25	-	ns		
	ハンドシェイクパルス幅	t_{HDWP}	300	-	300	-	300	-	ns		
パラレルハンドシェイクインタフェース	WRQ 出力遅延時間 1	t_{HWRQD1}	-	80	-	80	-	80	ns	図 19.24	
	WRQ 出力遅延時間 2	t_{HWRQD2}	-	80	-	80	-	80	ns		

19. 電気的特性

表 19.10 外部クロック出力遅延タイミング

[条件: $V_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -40 \sim +85$]

項目	記号	規格値		単位	備考
		min	max		
外部クロック出力遅延時間	t_{DEXT}^*	500	-	μs	図 19.25

【注】 * t_{DEXT} は、 \overline{RES} パルス幅(t_{RESW})を $10t_{cyc}$ 含みます。

19.2.3 A/D 変換器特性

A/D 変換器特性を表 19.11 に示します。

表 19.11 A/D 変換器特性

[条件 A: $V_{CC} = 4.5V \sim 5.5V$ 、 $AV_{CC} = 4.5V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)]

条件 B: $V_{CC} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)、

条件 C: $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$]

項目	条件 C			条件 B			条件 A			単位
	10MHz			12 MHz			16 MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	ビット
変換時間 (単一モード)	-	-	13.4	-	-	11.2	-	-	8.4	μs
アナログ入力容量	-	-	20	-	-	20	-	-	20	pF
許容信号源インピーダンス	-	-	5	-	-	10	-	-	10	k
非直線性誤差	-	-	± 6.0	-	-	± 3.0	-	-	± 3.0	LSB
オフセット誤差	-	-	± 4.0	-	-	± 3.5	-	-	± 3.5	LSB
フルスケール誤差	-	-	± 4.0	-	-	± 3.5	-	-	± 3.5	LSB
量子化誤差	-	-	± 0.5	-	-	± 0.5	-	-	± 0.5	LSB
絶対精度	-	-	± 8.0	-	-	± 4.0	-	-	± 4.0	LSB

【注】 * 最大動作周波数時の値

19.3 MCU 動作タイミング

動作タイミングを以下に示します。

19.3.1 バスタイミング	図 19.4 ~ 図 19.5
19.3.2 制御記号タイミング	図 19.6 ~ 図 19.9
19.3.3 16 ビットフリーランニングタイムタイミング	図 19.10、図 19.11
19.3.4 8 ビットタイムタイミング	図 19.12 ~ 図 19.14
19.3.5 SCI タイミング	図 19.15、図 19.16
19.3.6 I/O ポートタイミング	図 19.17
19.3.7 TPC タイミング	図 19.18
19.3.8 DPRAM タイミング	図 19.19 ~ 図 19.24
19.3.9 外部クロック出力タイミング	図 19.25

19.3.1 バスタイミング

(1) 拡張モード時基本バスサイクル (ウェイトステートなし)

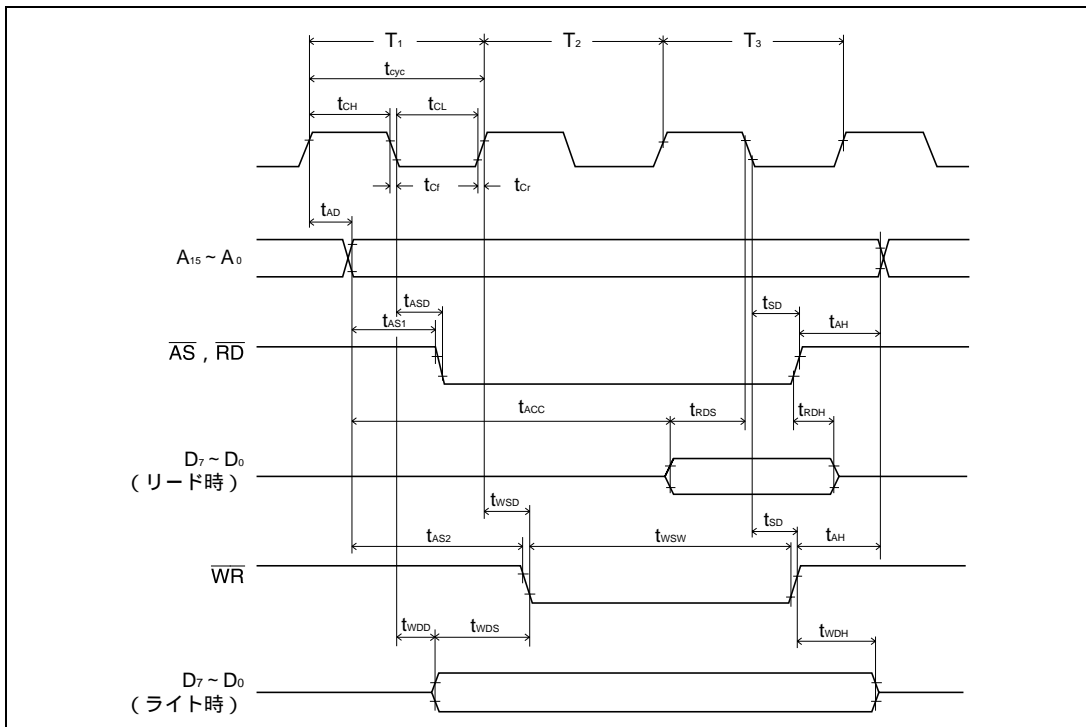


図 19.4 拡張モード時基本バスサイクル (ウェイトステートなし)

19. 電気的特性

(2) 拡張モード時基本バスサイクル(1ウェイトステート)

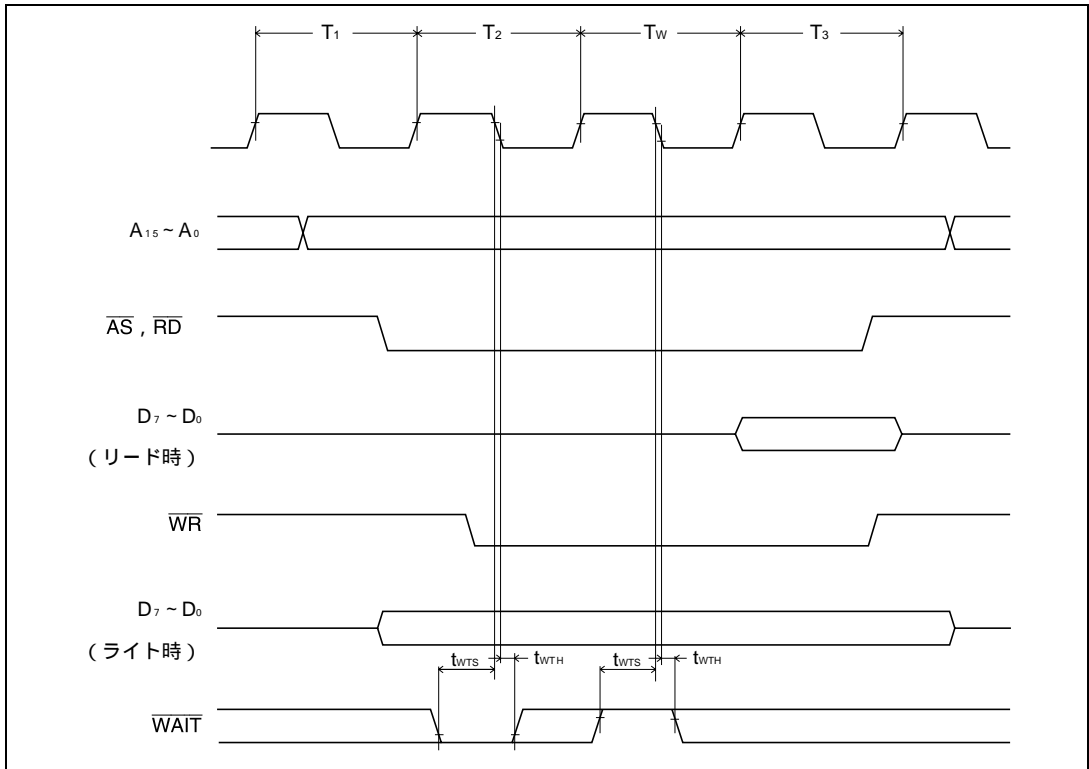


図 19.5 拡張モード(モード 1、2)時基本バスサイクル(1ウェイトステート)

19.3.2 制御記号タイミング

(1) リセット入力タイミング

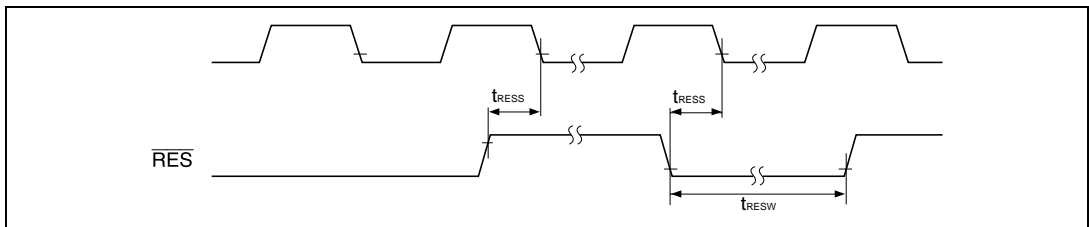


図 19.6 リセット入力タイミング

(2) 割込み入力タイミング

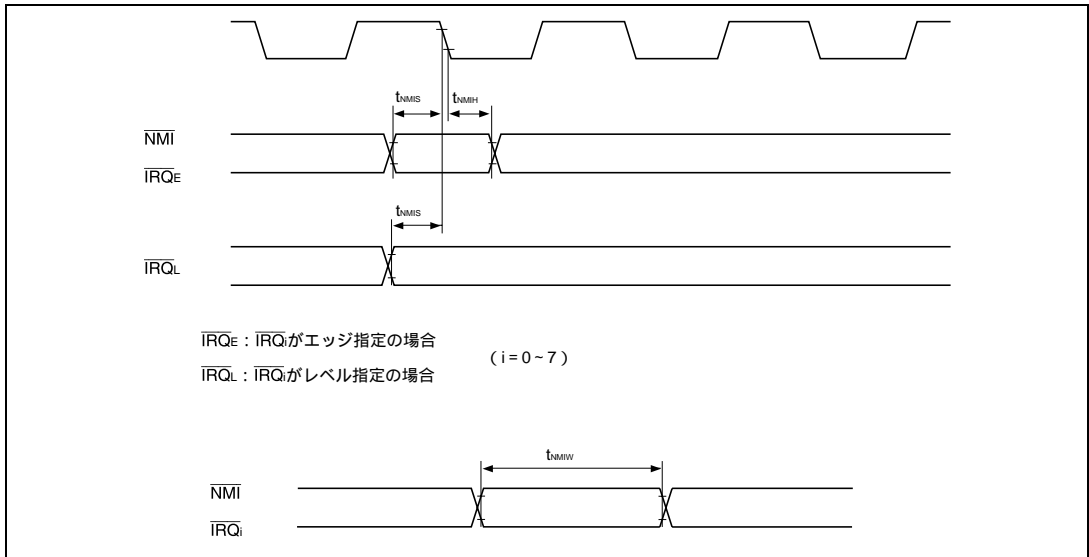


図 19.7 割込み入力タイミング

(3) 発振安定時間タイミング

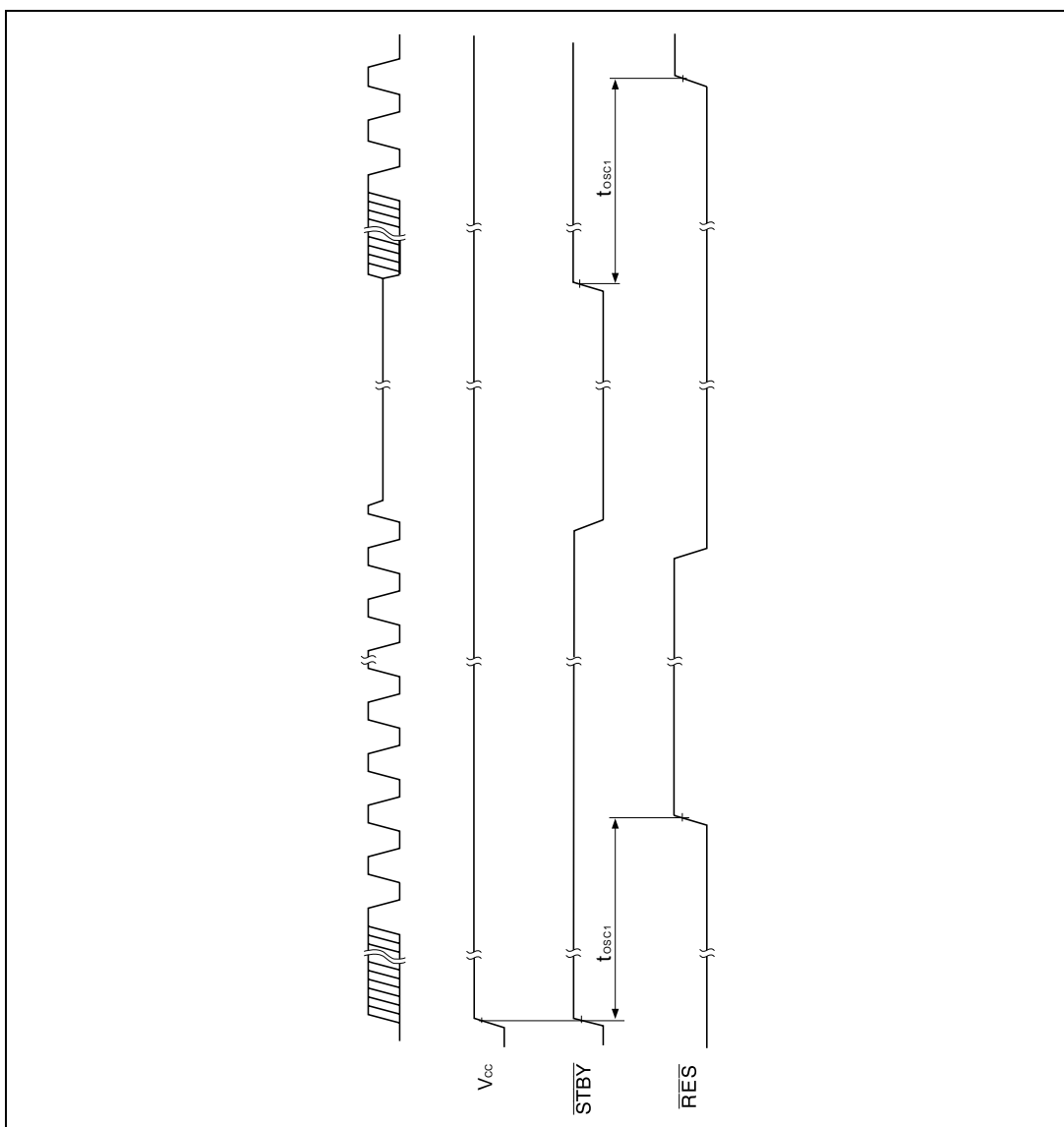


図 19.8 発振安定時間タイミング

(4) 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

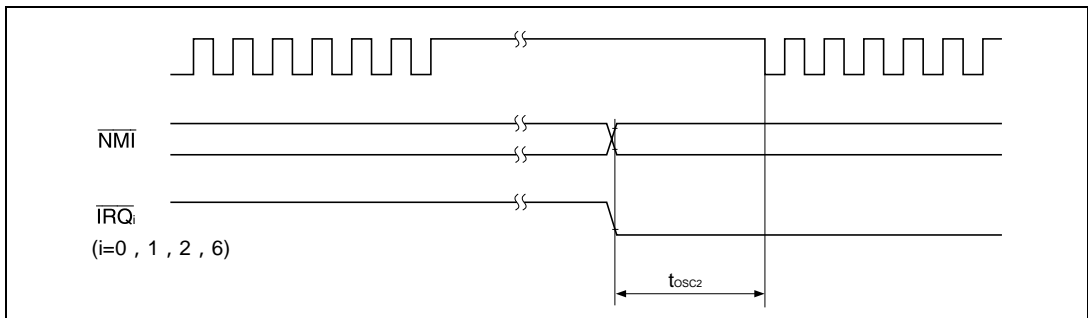


図 19.9 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

19.3.3 16 ビットフリーランニングタイマタイミング

(1) フリーランニングタイマ入出力タイミング

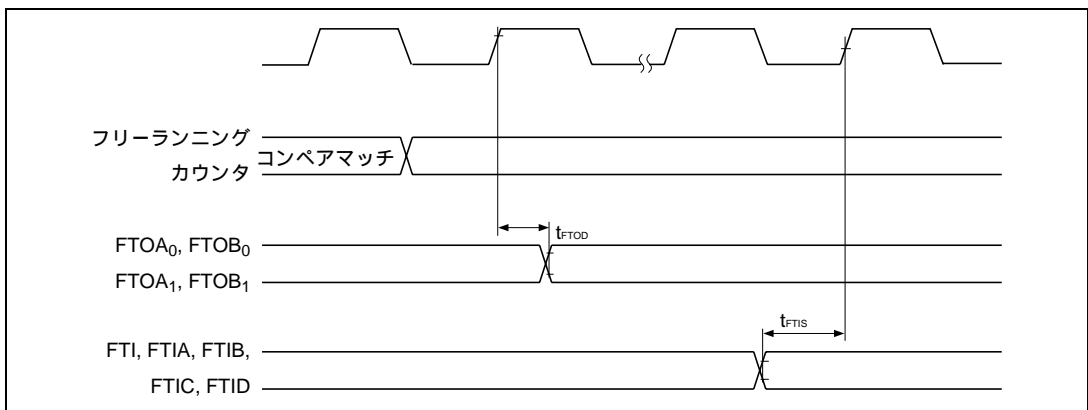


図 19.10 フリーランニングタイマ入出力タイミング

(2) フリーランニングタイマ外部クロック入力タイミング

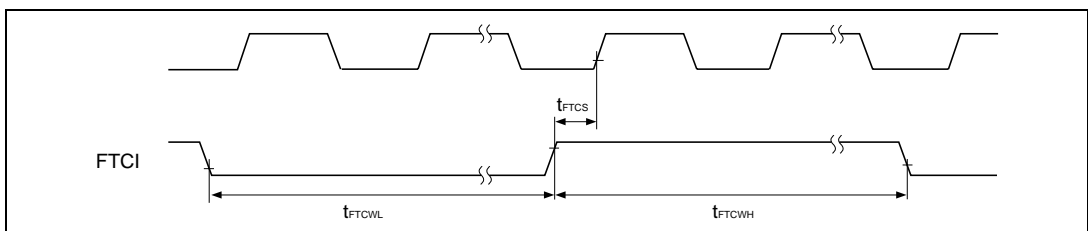


図 19.11 フリーランニングタイマ外部クロック入力タイミング

19.3.4 8ビットタイマタイミング

(1) 8ビットタイマ出力タイミング

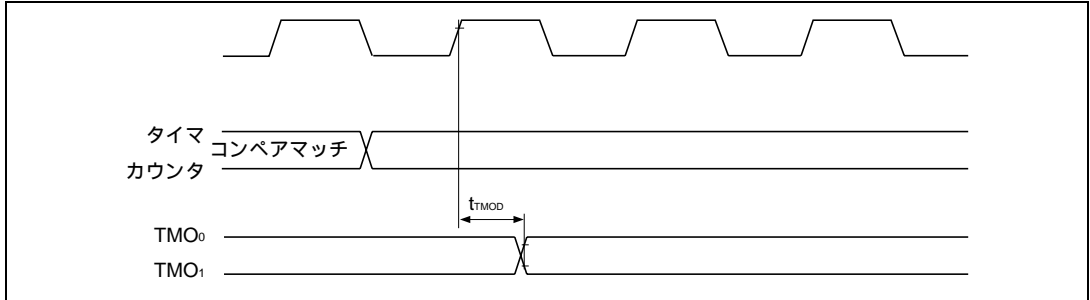


図 19.12 8ビットタイマ出力タイミング

(2) 8ビットタイマクロック入力タイミング

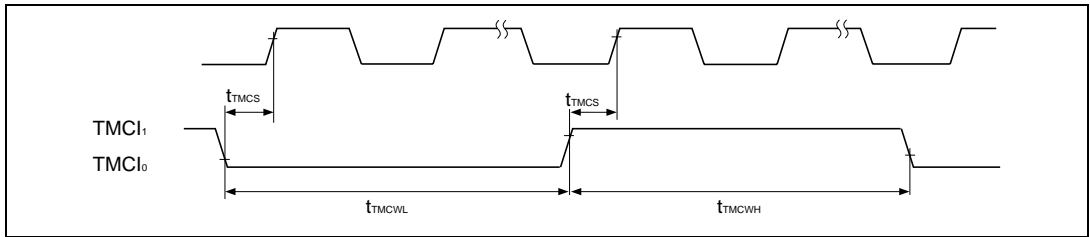


図 19.13 8ビットタイマクロック入力タイミング

(3) 8ビットタイマリセット入力タイミング

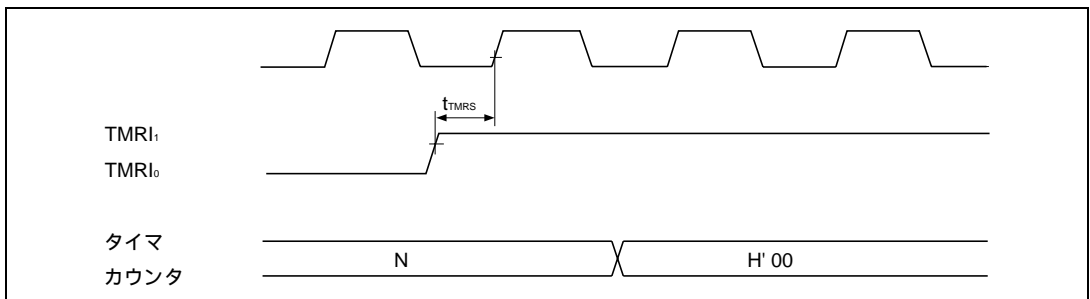


図 19.14 8ビットタイマリセット入力タイミング

19.3.5 SCI タイミング

(1) SCI 入出力タイミング

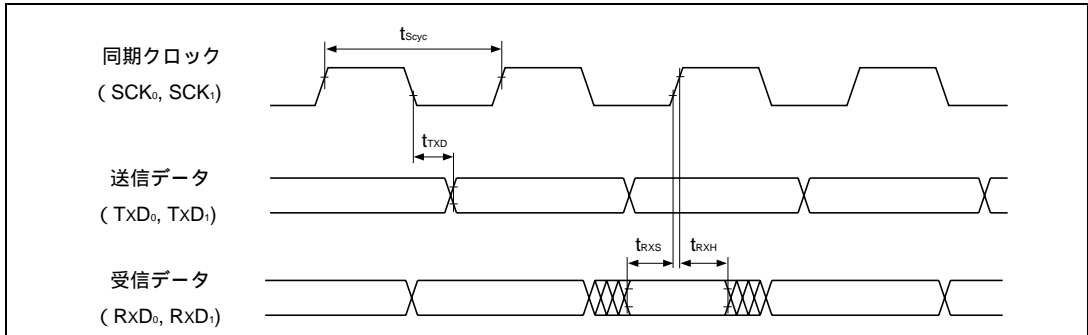


図 19.15 SCI 入出力タイミング (クロック同期モード)

(2) SCI 入力クロックタイミング

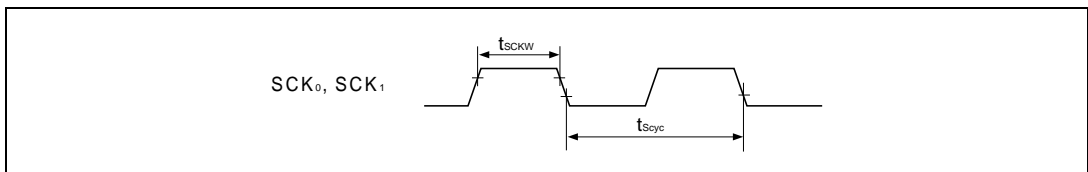
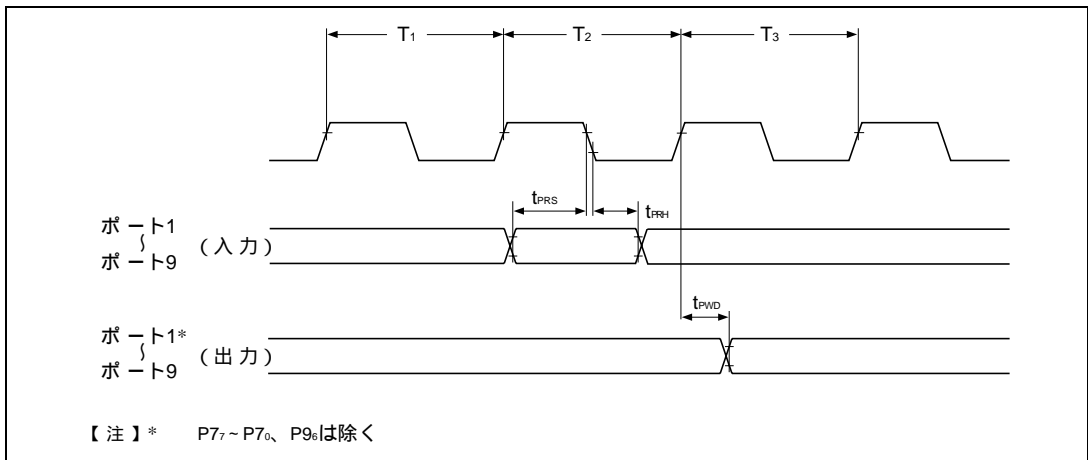


図 18.16 SCI 入力クロックタイミング

19.3.6 I/O ポートタイミング



【注】* P77~P70、P96は除く

図 19.17 I/O ポート入出力タイミング

19.3.7 TPC タイミング

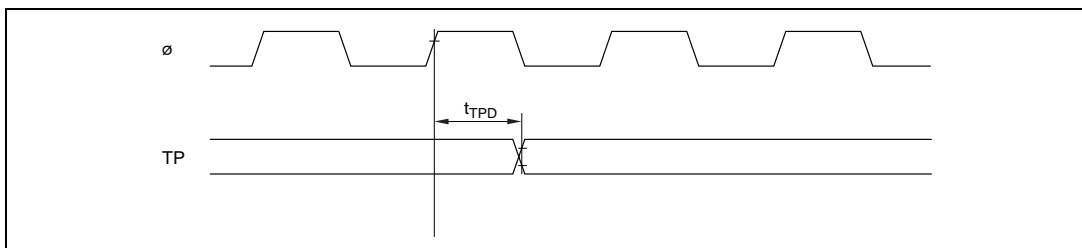


図 19.18 TPC タイミング

19.3.8 DPRAM タイミング

図 19.21 ~ 図 19.22 の記号説明：

データレジスタ状態の 0、1、2 は、それぞれ 0、1、2 バイトのデータレジスタが利用可能な状態で、データレジスタがアクセスされていることを示します。

(1) DPRAM ライトサイクル

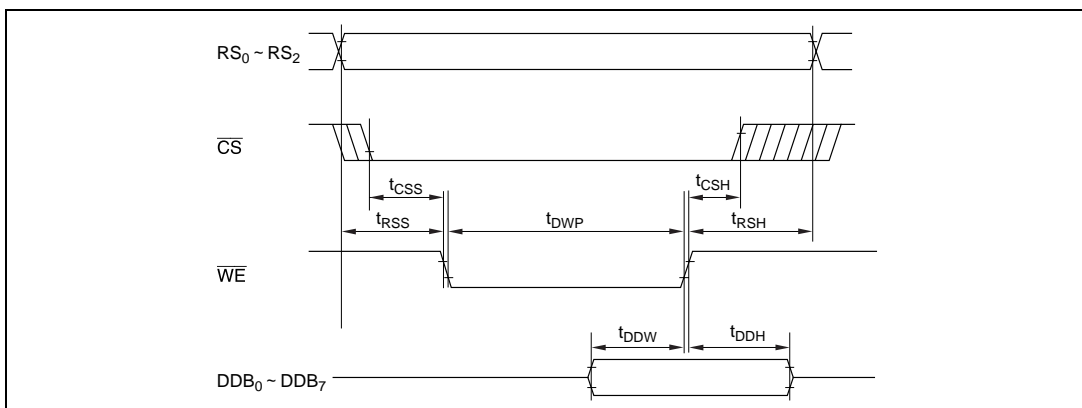


図 19.19 DPRAM ライトタイミング

(2) DPRAM リードサイクル

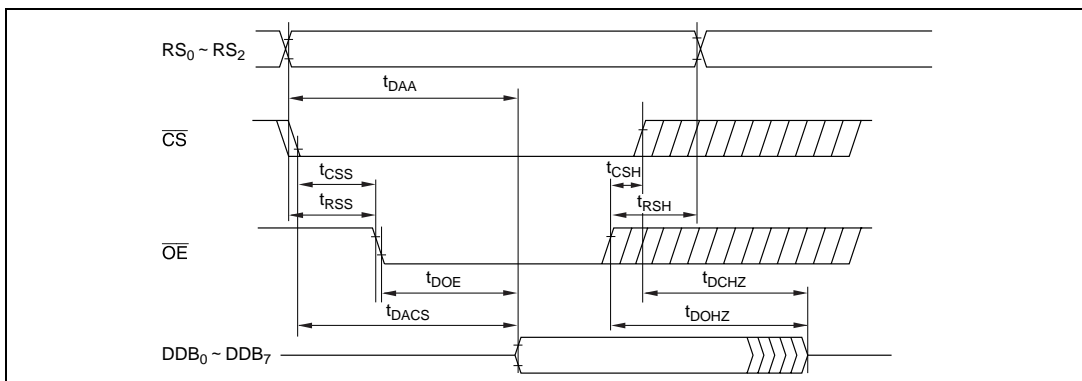


図 19.20 DPRAM リードタイミング

(3) \overline{WRQ} 出力タイミング

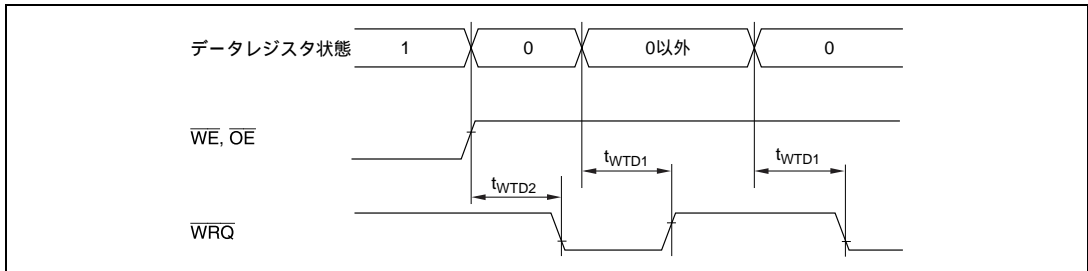


図 19.21 \overline{WRQ} 出力タイミング

(4) ストローブ間隔・アクセス間隔

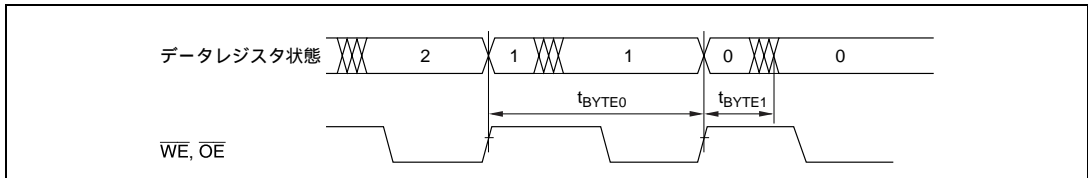


図 19.22 (a) ストローブ間隔およびアクセス間隔(\overline{WRQ} あり)

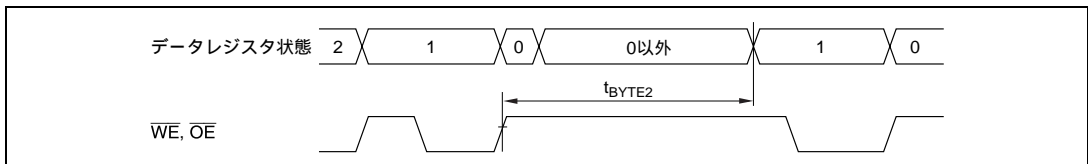


図 19.22 (b) バウンドバッファモードのアクセス間隔(\overline{WRQ} なし)

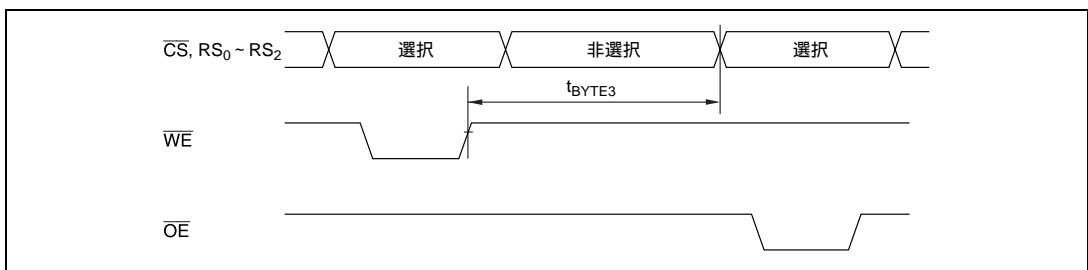


図 19.22 (c) キュアリバッファ動作のアクセス間隔(\overline{WRQ} なし)

19. 電気的特性

(5) パラレルハンドシェイクインタフェース受信タイミング

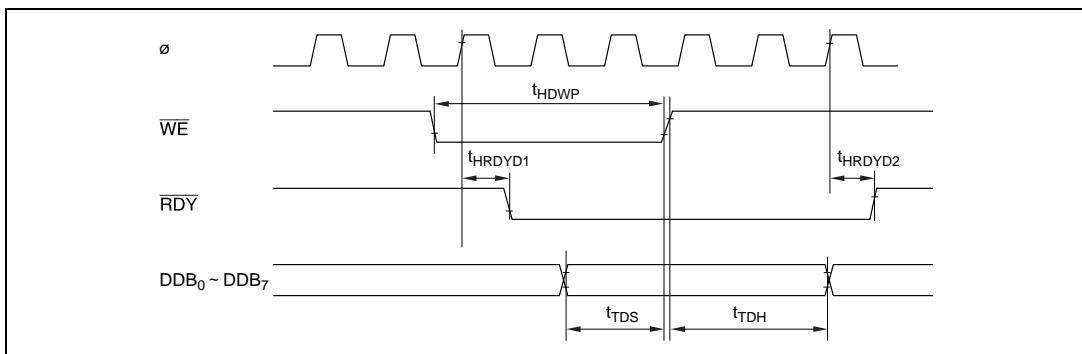


図 19.23 ハンドシェイク受信タイミング

(6) パラレルハンドシェイクインタフェース送信タイミング

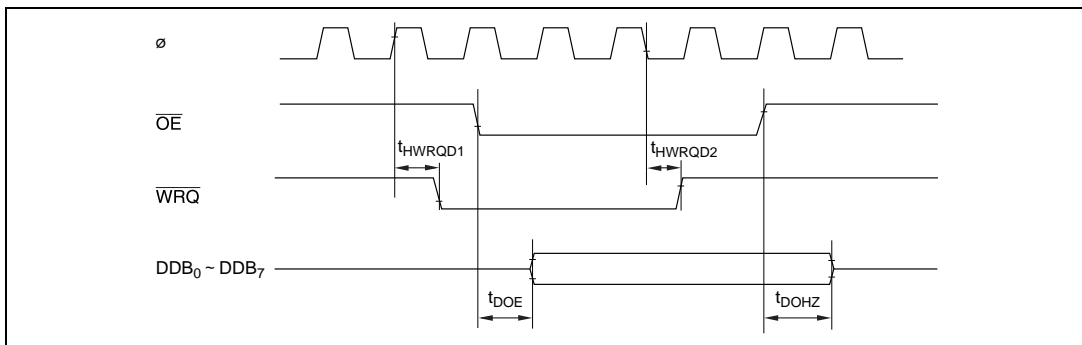


図 19.24 ハンドシェイク送信タイミング

19.3.9 外部クロック出力タイミング

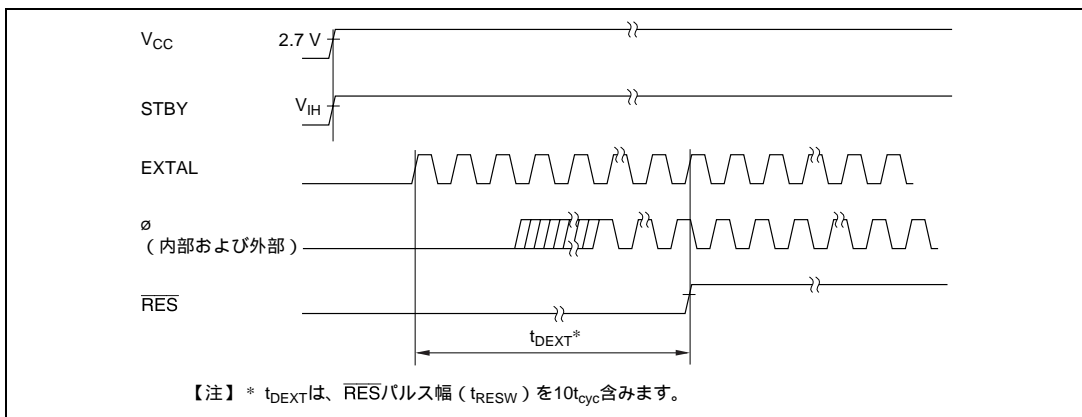


図 19.25 外部クロック出力遅延タイミング

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd8/16	汎用レジスタ (デスティネーション側) 8 ビット / 16 ビット
Rs8/16	汎用レジスタ (ソース側) 8 ビット / 16 ビット
Rn8/16	汎用レジスタ 8 ビット / 16 ビット
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx: 3/8/16	イミディエイトデータ 3 ビット / 8 ビット / 16 ビット
d: 8/16	ディスプレースメント 8 ビット / 16 ビット
@aa: 8/16	絶対アドレス 8 ビット / 16 ビット
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に 0 にクリアされることを表します。
-	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧(1)

二ーモニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード							実行 ポ ラ ト 数*
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/Rn+	@aa:8/16	@(d:8, PC)		@aa-	I	H	N	Z	V	C	
MOV	B	2							#xx:8 Rd8	-	-	-	0	-	2		
	B		2						Rs8 Rd8	-	-	-	0	-	2		
	B			2					@Rs16 Rd8	-	-	-	0	-	4		
	B				4				@(d:16, Rs16) Rd8	-	-	-	0	-	6		
	B					2			@Rs16 Rd8	-	-	-	0	-	6		
	B						2		Rs16+1 Rs16	-	-	-	-	-	-		
	B						2		@aa:8 Rd8	-	-	-	0	-	4		
	B						4		@aa:16 Rd8	-	-	-	0	-	6		
	B		2						Rs8 @Rd16	-	-	-	0	-	4		
	B				4				Rs8 @(d:16, Rd16)	-	-	-	0	-	6		
	B						2		Rd16-1 Rd16	-	-	-	0	-	6		
	B								Rs8 @Rd16	-	-	-	-	-	-		
	B						2		Rs8 @aa:8	-	-	-	0	-	4		
	B						4		Rs8 @aa:16	-	-	-	0	-	6		
	W	4							#xx:16 Rd	-	-	-	0	-	4		
	W		2						Rs16 Rd16	-	-	-	0	-	2		
	W			2					@Rs16 Rd16	-	-	-	0	-	4		
	W				4				@(d:16, Rs16) Rd16	-	-	-	0	-	6		
	W						2		@Rs16 Rd16	-	-	-	0	-	6		
	W							4	Rs16+2 Rs16	-	-	-	-	-	-		
	W								@aa:16 Rd16	-	-	-	0	-	6		
	W		2						Rs16 @Rd16	-	-	-	0	-	4		
	W				4				Rs16 @(d:16, Rd16)	-	-	-	0	-	6		

表 A.1 命令セット一覧(2)

二ーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行 がト 数*
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V	
MOV	MOV. W Rs, @-Rd	W				2								0	-	6
	MOV. W Rs, @aa:16	W					4							0	-	6
POP	POP Rd	W				2								0	-	6
PUSH	PUSH Rs	W				2								0	-	6
MOVPE	MOVPE @aa:16, Rd	B														
MOVPE	MOVPE Rs, @aa:16	B														
ADD	ADD. B #xx:8, Rd	B	2													2
	ADD. B Rs, Rd	B		2												2
	ADD. W Rs, Rd	W		2												2
ADDX	ADDX. B #xx:8, Rd	B	2													2
	ADDX. B Rs, Rd	B		2												2
ADDS	ADDS. W #1, Rd	W		2												2
	ADDS. W #2, Rd	W		2												2
INC	INC. B Rd	B		2												2
DAA	DAA. B Rd	B		2										*		2
SUB	SUB. B Rs, Rd	B		2												2
	SUB. W Rs, Rd	W		2												2
SUBX	SUBX. B #xx:8, Rd	B	2													2
	SUBX. B Rs, Rd	B		2												2

本LSIでは使用できません。

表 A.1 命令セット一覧(3)

二ーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード							実行 回数	
		#xx:8/16	Rn	@Rn	@(d:16,Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8,PC)	@aa	-	I	H	N	Z		V
SUBS	W		2														2
SUBS	W		2														2
DEC	B		2														2
DAS	B		2												*		2
NEG	B		2														2
CMP	B	2															2
CMP	B		2														2
CMP	W		2														2
MULXU	B		2														14
DIVXU	B		2														14
AND	B	2															2
AND	B		2														2
OR	B	2															2
OR	B		2														2
XOR	B	2															2
XOR	B		2														2
NOT	B		2														2
SHAL	B		2														2

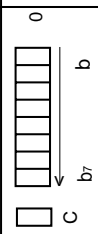


表 A.1 命令セット一覧(4)

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード						実行 バイト 数*	
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@Rn@Rn+	@aa:8/16		@(d:8, PC)	@aa	-	I	H	N		Z
SHAR, B Rd	B	2												0		2
SHLL, B Rd	B	2												0		2
SHLR, B Rd	B	2												0		2
ROTXL, B Rd	B	2												0		2
ROTXR, B Rd	B	2												0		2
ROTL, B Rd	B	2												0		2
ROTR, B Rd	B	2												0		2
BSET #xx:3, Rd	B	2												-	-	2
BSET #xx:3, @Rd	B		4											-	-	8

表 A.1 命令セット一覧(5)

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード					実行 バイト 数*					
		#xx:8/16	Rn	@Rn	@(d:16, Rn)		@Rn@Rn+	@aa:8/16	@(d:8, PC)	@aa	I		H	N	Z	V	C
BEST	BSET #xx:3, @aa:8					4											8
	BSET Rn, Rd		2														2
	BSET Rn, @Rd			4													8
	BSET Rn, @aa:8					4											8
BCLR	BCLR #xx:3, Rd		2														2
	BCLR #xx:3, @Rd			4													8
	BCLR #xx:3, @aa:8					4											8
	BCLR Rn, Rd		2														2
	BCLR Rn, @Rd			4													8
	BCLR Rn, @aa:8					4											8
BNOT	BNOT #xx:3, Rd		2														2
	BNOT #xx:3, @Rd			4													8
	BNOT #xx:3, @aa:8					4											8
	BNOT Rn, Rd		2														2
BNOT Rn, @Rd	BNOT Rn, @Rd			4													8
	BNOT Rn, @aa:8					4											8
	BTST #xx:3, Rd		2														2
	BTST #xx:3, @Rd			4													6
BTST #xx:3, @aa:8	BTST #xx:3, @aa:8					4											6
	BTST Rn, Rd		2														2

表 A.1 命令セット一覧(6)

二ーモニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード							実行 対 数*
		#xx:8/16	Rn	@Rn	@(d:16,Rn)	@-Rn@Rn+	@aa:8/16	@(d:8,PC)		@@aa	I	H	N	Z	V	C	
BTST	BTST Rn, @Rd	B		4					(Rn8 of @Rd16) Z	-	-	-	-	-	-	6	
	BTST Rn, @aa:8	B					4		(Rn8 of @aa:8) Z	-	-	-	-	-	-	6	
BLD	BLD #xx:3, Rd	B	2						(#xx:3 of Rd8) C	-	-	-	-	-	-	2	
	BLD #xx:3, @Rd	B		4					(#xx:3 of @Rd16) C	-	-	-	-	-	-	6	
	BLD #xx:3, @aa:8	B					4		(#xx:3 of @aa:8) C	-	-	-	-	-	-	6	
BILD	BILD #xx:3, Rd	B	2						(#xx:3 of Rd8) C	-	-	-	-	-	-	2	
	BILD #xx:3, @Rd	B		4					(#xx:3 of @Rd16) C	-	-	-	-	-	-	6	
	BILD #xx:3, @aa:8	B					4		(#xx:3 of @aa:8) C	-	-	-	-	-	-	6	
BST	BST #xx:3, Rd	B	2						C (#xx:3 of Rd8)	-	-	-	-	-	-	2	
	BST #xx:3, @Rd	B		4					C (#xx:3 of @Rd16)	-	-	-	-	-	-	8	
	BST #xx:3, @aa:8	B					4		C (#xx:3 of @aa:8)	-	-	-	-	-	-	8	
BIST	BIST #xx:3, Rd	B	2						C (#xx:3 of Rd8)	-	-	-	-	-	-	2	
	BIST #xx:3, @Rd	B		4					C (#xx:3 of @Rd16)	-	-	-	-	-	-	8	
	BIST #xx:3, @aa:8	B					4		C (#xx:3 of @aa:8)	-	-	-	-	-	-	8	
BAND	BAND #xx:3, Rd	B	2						C^(#xx:3 of Rd8) C	-	-	-	-	-	-	2	
	BAND #xx:3, @Rd	B		4					C^(#xx:3 of @Rd16) C	-	-	-	-	-	-	6	
	BAND #xx:3, @aa:8	B					4		C^(#xx:3 of @aa:8) C	-	-	-	-	-	-	6	
BIAND	BIAND #xx:3, Rd	B	2						C^(#xx:3 of Rd8) C	-	-	-	-	-	-	2	
	BIAND #xx:3, @Rd	B		4					C^(#xx:3 of @Rd16) C	-	-	-	-	-	-	6	
	BIAND #xx:3, @aa:8	B					4		C^(#xx:3 of aa:8) C	-	-	-	-	-	-	6	
BOR	BOR #xx:3, Rd	B	2						Cv(#xx:3 of Rd8) C	-	-	-	-	-	-	2	
	BOR #xx:3, @Rd	B		4					Cv(#xx:3 of @Rd16) C	-	-	-	-	-	-	6	
	BOR #xx:3, @aa:8	B					4		Cv(#xx:3 of @aa:8) C	-	-	-	-	-	-	6	

表 A.1 命令セット一覧(7)

二オペランド	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行 ポート 数*	
		#xx:8/16	Rn	@Rn	@(d:16,Rn)	@-Rn@Rn+	@aa:8/16		@(d:8,PC)	@aa	-	I	H	N	Z		V
BIOR	#xx:3, Rd	B	2														2
	#xx:3, @Rd	B		4													6
	#xx:3, @aa:8	B				4											6
BXOR	#xx:3, Rd	B	2														2
	#xx:3, @Rd	B		4													6
	#xx:3, @aa:8	B				4											6
BIXOR	#xx:3, Rd	B	2														2
	#xx:3, @Rd	B		4													6
	#xx:3, @aa:8	B				4											6
Bcc	BT d:8	-								2							4
	BF d:8	-								2							4
	BH d:8	-								2							4
	BL d:8	-								2							4
	BHS d:8	-								2							4
	BLO d:8	-								2							4
	BNE d:8	-								2							4
	BEQ d:8	-								2							4
	BVC d:8	-								2							4
	BVS d:8	-								2							4
	BPL d:8	-								2							4
	BMI d:8	-								2							4
BGE d:8	-								2							4	
BLT d:8	-								2							4	
BGT d:8	-								2							4	
BLE d:8	-								2							4	

表 A.1 命令セット一覧(8)

オペレーション	アドレッシングモード / 命令長 (バイト)						コンディションコード							実行 バイト 数*		
	#xx:8/16	Rn	@Rn	@(d:16,Rn)	@-Rn/Rn+	@aa:8/16	@(d:8, PC)	@@aa	-	I	H	N	Z		V	C
JMP	-	-	2	-	-	-	-	-	-	-	-	-	-	-	-	4
JMP @Rn	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	6
JMP @aa:16	-	-	-	4	-	-	-	-	-	-	-	-	-	-	-	8
JMP @-Rn/Rn+	-	-	-	-	-	-	2	-	-	-	-	-	-	-	-	6
BSR d:8	-	-	-	-	-	2	-	-	-	-	-	-	-	-	-	6
BSR @Rn	-	-	2	-	-	-	-	-	-	-	-	-	-	-	-	6
BSR @aa:16	-	-	-	4	-	-	-	-	-	-	-	-	-	-	-	8
BSR @-Rn/Rn+	-	-	-	-	-	-	2	-	-	-	-	-	-	-	-	8
RTS	-	-	-	-	-	-	-	2	-	-	-	-	-	-	-	8
RTE	-	-	-	-	-	-	-	2	-	-	-	-	-	-	-	10

表 A.1 命令セット一覧(9)

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディショニングコード						実行回数*	
		#xx:8/16	Rn @Rn	@(d:16,Rn)	@Rn @Rn+	@Rn @Rn+	@(d:8, PC)		@aa	I	H	N	Z	V		C
SLEEP	-							2	低消費電力状態に遷移	-	-	-	-	-	-	2
LDC	B	2							#xx:8 CCR							2
LDC	B		2						Rs8 CCR							2
STC	B		2						CCR Rd8	-	-	-	-	-	-	2
ANDC	B	2							CCR _A #xx:8 CCR							2
ORC	B	2							CCR _V #xx:8 CCR							2
XORC	B	2							CCR _⊕ #xx:8 CCR							2
NOP	-							2	PC PC+2	-	-	-	-	-	-	2
EEMOV	-							4	if R4L 0 Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4L-1 R4L Until R4L=0 else next;	-	-	-	-	-	-	

【注】 * : 実行ステータス数は、オペコードおよびオペランドデータが内蔵メモリに存在する場合の値です。それ以外の場合は、「A.3 命令実行ステータス数」を参照してください。
 : ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外るとき0にクリアされます。
 : 演算結果がゼロのとき、演算前の値を保持し、それ以外るとき0にクリアされます。
 : 補正結果に桁上がりが発生したとき1にセットされ、それ以外るとき4n + 8となります。
 : 実行ステータス数は、R4Lの設定値がnのとき4n + 8となります。
 : 本LSIでは使用できません。
 : 除数が負のとき1にセットされ、それ以外るとき0にクリアされます。
 : 除数がゼロのとき1にセットされ、それ以外るとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 にオペレーションコードマップを示します。表 A.2 では、命令コードの第 1 バイト（第 1 ワードのビット 15~8）についてのみ示しています。

第 2 バイトの最上位ビット（命令コードの第 1 ワードのビット 7）が 0 の場合を示します。



← 第 2 バイトの最上位ビット（命令コードの第 1 ワードのビット 7）が 1 の場合を示します。

表 A.2 オペレーションコードマップ

LO HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	INC	ADDS	MOV	ADDX	DAA	
1	SHL SHAR	SHR SHAR	ROT ROTR	ROT ROTR	OR	XOR	AND	NOT NEG	SUB	SUB	DEC	SUBS	CMP	SUBX	DAS	
2	MOV															
3	MOV															
4	BRA ^{*2}	BRN ^{*2}	BHI	BLS	BCC ^{*2}	BCS ^{*2}	BNE ^{*2}	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTS				BST ^{BIST}								
7					BOR ^{BIOR}	BXOR ^{BIXOR}	BAND ^{BAND}	BLD ^{BILD}			MOV	EEMOV	MOV ^{*1}	ビット操作命令		
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】*1 MOVFPEおよびMOVTPPEの命令コードの第11バイト、および第2バイトの最上位ビット（第1ワードのビット15~7）は、MOV命令と共通です。

*2 BT、BF、BHS、BLO命令の機構語は、MOV命令と同一です。

*3 BT、BF、BHS、BLO命令の機構語は、BRA、BRN、BCC、BCS命令と同一です。

A.3 命令実行ステート数

H8/300CPU の各命令についての実行状態と、実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.3 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は、次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) モード 1、スタック領域を外部空間に設定、外部デバイスアクセス時 1 ウェイト挿入とした場合

1. BSET #0, @FFC7
表A.4より
 $I = L = 2, J = K = M = N = 0$
表A.3より
 $S_I = 8, S_L = 3$
実行ステート数 = $2 \times 8 + 2 \times 3 = 22$

2. JSR @@30
表A.4より
 $I = 2, J = K = 1, L = M = N = 0$
表A.3より
 $S_I = S_J = S_K = 8$
実行ステート数 = $2 \times 8 + 1 \times 8 + 1 \times 8 = 32$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)		アクセス対象		
		内蔵メモリ	内蔵周辺モジュール	外部デバイス
命令フェッチ	S_I	2	6	$6 + 2m$
分岐アドレスリード	S_J			
スタック操作	S_K			
バイトデータアクセス	S_L		3	$3 + m$
ワードデータアクセス	S_M		6	$6 + 2m$
内部動作	S_N		1	

<記号説明>

m: 外部デバイスアクセス時のウェイトステート数

表 A.4 命令の実行状態（サイクル数）(1)

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADD.W #1/2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
BCC	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
BGT d:8	2						
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

【注】 空欄はすべて 0 です。

表 A.4 命令の実行状態（サイクル数）(2)

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @ aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BONT Rn, Rd	1					
	BONT Rn, @Rd	2			2		
	BONT Rn, @ aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR, #xx:3@ aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @ aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @ aa:8	2			2		
BSR	BSR d:8	2		1			

【注】 空欄はすべて0です。

表 A.4 命令の実行状態（サイクル数）(3)

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @ aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EPMOV	EPMOV	2			2n + 2*		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1			1		
	MOV.B @(d:16, Rs), Rd	2			1		
	MOV.B @Rs+, Rd	1			1		2

【注】 空欄はすべて 0 です。

表 A.4 命令の実行状態（サイクル数）(4)

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B @aa:8, Rd	1			1		2
	MOV.B @aa:16, Rd	2			1		
	MOV.B Rs, @Rd	1			1		
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					2
	MOV.W Rs, Rd	1					
	MOV.W @Rs, Rd	1				1	
	MOV.W@(d:16, Rs),Rd	2				1	
	MOV.W @Rs+, Rd	1				1	
	MOV.W @aa:16, Rd	2				1	
	MOV.W Rs @Rd	1				1	
	MOV.W Rs, @(d:16, Rd)	2				1	2
	MOV.W Rs, @-Rd	1				1	
	MOV.W Rs, @aa:16	2				1	
MOVFP	MOVFP @aa:16, Rd	本 LSI では使用できません。					
MOVTP	MOVTP Rs, @ aa:16	本 LSI では使用できません。					
MULXU	MULXU.B Rs, Rd	1					12
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT. B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
POP	POP Rd	1			1		2
PUSH	PUSH Rd	1			1		2
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					

【注】 空欄はすべて 0 です。

表 A.4 命令の実行状態（サイクル数）(5)

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					
SUBS	SUBS.W #1/2, Rd	1					
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 空欄はすべて0です。

*1 n は R4L の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n + 1)回行われます。

B. I/O レジスタ一覧

B.1 I/O レジスタ一覧(1)

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'80										外部アドレス (拡張モード時)
H'81										
H'82										
H'83										
H'84										
H'85										
H'86										
H'87										
H'88	SMR	C \bar{A}	CHR	PE	O \bar{E}	STOP	MP	CKS1	CKS0	SCI1
H'89	BRR									
H'8A	SCR	TIM	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'8B	TDR									
H'8C	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'8D	RDR									
H'8E	-	-	-	-	-	-	-	-	-	
H'8F	-	-	-	-	-	-	-	-	-	
H'90	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	-	FRT0
H'91	TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
H'92	FRCH									
H'93	FRCL									
H'94	OCRAH									
	OCRBH									
H'95	OCRAL									
	OCRBL									
H'96	TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
H'97	TOCR	-	-	-	OCSRS	OEA	OEB	OLVLA	OLVLB	
H'98	ICRAH									
H'99	ICRAL									
H'9A	ICRBH									
H'9B	ICRBL									
H'9C	ICRCH									
H'9D	ICRCL									
H'9E	ICRDH									
H'9F	ICRDL									

<記号説明>

(次頁に続く)

FRT0: 16 ビットフリーランニングタイム 0

SCI1: シリアルコミュニケーションインタフェース 1

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'A0	TCR	ICIE	OCIEB	OCIEA	OVIE	OEB	OEA	CKS1	CKS0	FRT1
H'A1	TCSR	ICF	OCFB	OCFA	OVF	OLVLB	OLVLA	IEDG	CCLRA	
H'A2	FRCH									
H'A3	FRCL									
H'A4	OCRAH									
H'A5	OCRAL									
H'A6	OCRBH									
H'A7	OCRBL									
H'A8	ICRH									
H'A9	ICRL									
H'AA	TCSR/TCNT									WDT
H'AB	TCNT									
H'AC	P1PCR	P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR	ポート 1
H'AD	P2PCR	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	ポート 2
H'AE	P3PCR	P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR	ポート 3
H'AF	-	-	-	-	-	-	-	-	-	-
H'B0	P1DDR	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR	ポート 1
H'B1	P2DDR	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR	ポート 2
H'B2	P1DR	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	ポート 1
H'B3	P2DR	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	ポート 2
H'B4	P3DDR	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR	ポート 3
H'B5	P4DDR	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	ポート 4
H'B6	P3DR	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	ポート 3
H'B7	P4DR	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀	ポート 4
H'B8	P5DDR	-	-	-	-	-	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR	ポート 5
H'B9	P6DDR	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR	ポート 6
H'BA	P5DR	-	-	-	-	-	P5 ₂	P5 ₁	P5 ₀	ポート 5
H'BB	P6DR	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	ポート 6
H'BC	-	-	-	-	-	-	-	-	-	-
H'BD	P8DDR	-	P8 ₆ DDR	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR	ポート 8
H'BE	P7DR	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート 7
H'BF	P8DR	-	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	ポート 8

<記号説明>

FRT1: 16 ビットフリーランニングタイム 1

WDT: ウォッチドッグタイム

(次頁に続く)

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'C0	P9DDR	P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR	ポート9
H'C1	P9DR	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	ポート9
H'C2	WSCR	-	-	CKDBL	-	WMS1	WMS0	WC1	WC0	
H'C3	STCR	RING	CMPF	CMPIE	LDAD	MARK	-	ICKS1	ICKS0	
H'C4	SYSCR	SSBY	STS2	STS1	STS0	XRST	NMIEG	DPME	RAME	
H'C5	MDCR	-	-	-	-	-	-	MDS1	MDS0	
H'C6	ISCR	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	
H'C7	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'C8	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR0
H'C9	TCSR	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0	
H'CA	TCORA									
H'CB	TCORB									
H'CC	TCNT									
H'CD	NDER2	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	TPC
H'CE	NDRB*	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
		NDR15	NDR14	NDR13	NDR12	-	-	-	-	
H'CF	NDRA*	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
		NDR7	NDR6	NDR5	NDR4	-	-	-	-	
H'D0	TCR	CMIEB	CMIEA	OVIE	CCLR1	CLR0	CKS2	CKS1	CKS0	TMR1
H'D1	TCSR	CMFB	CMFA	OVF	PWME	OS3	OS2	OS1	OS0	
H'D2	TCORA									
H'D3	TCORB									
H'D4	TCNT									
H'D5	NDER1	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	TPC
H'D6	NDRB* ¹	-	-	-	-	-	-	-	-	
		-	-	-	-	NDR11	NDR10	NDR9	NDR8	
H'D7	NDRA* ¹	-	-	-	-	-	-	-	-	
		-	-	-	-	NDR3	NDR2	NDR1	NDR0	
H'D8	SMR	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI0
H'D9	BRR									
H'DA	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'DB	TDR									

(次頁に続く)

【注】 * 出力トリガの設定により、アドレスが変化します。

<記号説明>

TMR0: 8ビットタイマ チャンネル0

TMR1: 8ビットタイマ チャンネル1

SCI0: シリアルコミュニケーションインタフェース0

TPC: プログラマブルタイミングパターンコントローラ

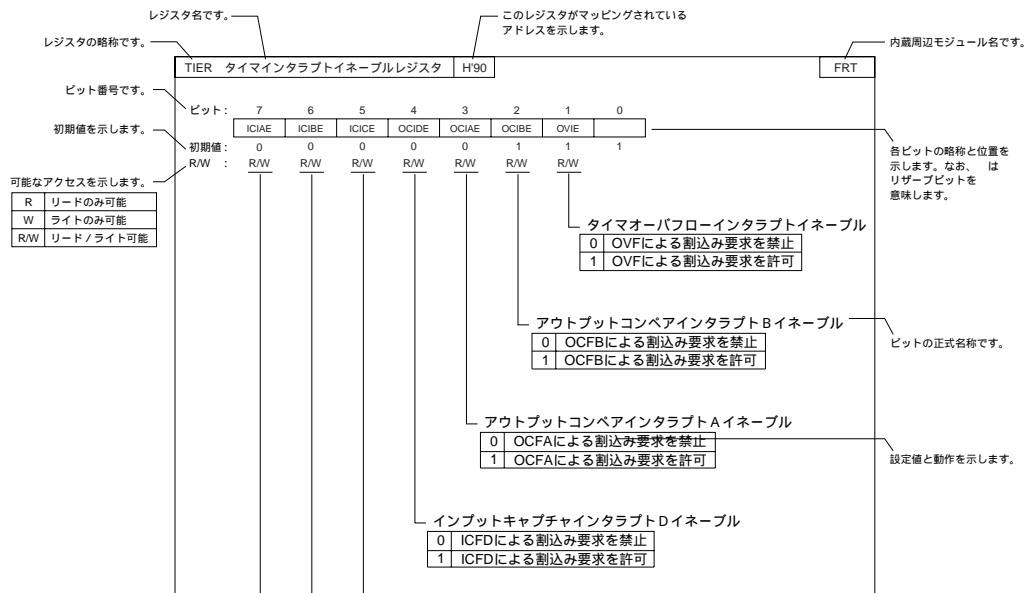
下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'DC	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	SCI0
H'DD	RDR									
H'DE	SCMR	-	-	-	-	SDIR	SINV	-	SMIF	
H'DF	-	-	-	-	-	-	-	-	-	
H'E0	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'E1	ADDRAL	AD1	AD0	-	-	-	-	-	-	
H'E2	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	AD1	AD0	-	-	-	-	-	-	
H'E4	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	AD1	AD0	-	-	-	-	-	-	
H'E6	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	AD1	AD0	-	-	-	-	-	-	
H'E8	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCR	TRGE	-	-	-	-	-	-	-	
H'EA	TPMR	-	-	-	-	G3NOV	G2NOV	G1NOV	G0NOV	TPC
H'EB	TPCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'EC	-	-	-	-	-	-	-	-	-	-
H'ED	-	-	-	-	-	-	-	-	-	
H'EE	-	-	-	-	-	-	-	-	-	
H'EF	-	-	-	-	-	-	-	-	-	
H'F0	PCCSR	QREF	EWRQ	EWAKAR	ERAKAR	MWFEF	MREF	EMWI	EMRI	
H'F1	IOCR	HSCE	DPEA	DPEB	RPEA	RPEB	RPEC	-	-	
H'F2	RLARA									
H'F3	RLARB									
H'F4	CPARB									
H'F5	DTARH									
H'F6	DTCRA	DTE	DTIE	BUD2	BUD1	BUD0	SOS2	SOS1	SOS0	
H'F7	DTARA									
H'F8	DTCRB	DTE	DTIE	BUD2	BUD1	BUD0	SOS2	SOS1	SOS0	
H'F9	DTARB									
H'FA	DTCRC	DTE	DTIE	BUD2	BUD1	BUD0	SOS2	SOS1	SOS0	
H'FB	DTARC									
H'FC	DPDRWH									
H'FD	DPDRWL									
H'FE	DPDRRH									
H'FF	DPDRRL									

< 記号説明 >

TPC: プログラマブルタイミングパターンコントローラ

DTU: データトランスファコントローラ

B.2 I/O レジスタ一覧(2)



SMR シリアルモードレジスタ	H'88	SCI1																		
ビット:	7	6	5	4	3	2	1	0												
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0												
初期値:	0	0	0	0	0	0	0	0												
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W												
							クロックセレクト <table border="1"> <tr><td>0</td><td>0</td><td>クロック</td></tr> <tr><td>0</td><td>1</td><td>p/4クロック</td></tr> <tr><td>1</td><td>0</td><td>p/16クロック</td></tr> <tr><td>1</td><td>1</td><td>p/64クロック</td></tr> </table>		0	0	クロック	0	1	p/4クロック	1	0	p/16クロック	1	1	p/64クロック
0	0	クロック																		
0	1	p/4クロック																		
1	0	p/16クロック																		
1	1	p/64クロック																		
							マルチプロセッサモード <table border="1"> <tr><td>0</td><td>マルチプロセッサ機能の禁止</td></tr> <tr><td>1</td><td>マルチプロセッサフォーマットを選択</td></tr> </table>		0	マルチプロセッサ機能の禁止	1	マルチプロセッサフォーマットを選択								
0	マルチプロセッサ機能の禁止																			
1	マルチプロセッサフォーマットを選択																			
							ストップビットレングス <table border="1"> <tr><td>0</td><td>1ストップビット</td></tr> <tr><td>1</td><td>2ストップビット</td></tr> </table>		0	1ストップビット	1	2ストップビット								
0	1ストップビット																			
1	2ストップビット																			
							パリティモード <table border="1"> <tr><td>0</td><td>偶数パリティ</td></tr> <tr><td>1</td><td>奇数パリティ</td></tr> </table>		0	偶数パリティ	1	奇数パリティ								
0	偶数パリティ																			
1	奇数パリティ																			
							パリティイネーブル <table border="1"> <tr><td>0</td><td>送信時: パリティビットを付加しない 受信時: パリティビットのチェックを行わない</td></tr> <tr><td>1</td><td>送信時: パリティビットを付加する 受信時: パリティビットのチェックを行う</td></tr> </table>		0	送信時: パリティビットを付加しない 受信時: パリティビットのチェックを行わない	1	送信時: パリティビットを付加する 受信時: パリティビットのチェックを行う								
0	送信時: パリティビットを付加しない 受信時: パリティビットのチェックを行わない																			
1	送信時: パリティビットを付加する 受信時: パリティビットのチェックを行う																			
							キャラクタレングス <table border="1"> <tr><td>0</td><td>8ビットデータ</td></tr> <tr><td>1</td><td>7ビットデータ</td></tr> </table>		0	8ビットデータ	1	7ビットデータ								
0	8ビットデータ																			
1	7ビットデータ																			
							コミュニケーションモード <table border="1"> <tr><td>0</td><td>調歩同期式モード</td></tr> <tr><td>1</td><td>クロック同期式モード</td></tr> </table>		0	調歩同期式モード	1	クロック同期式モード								
0	調歩同期式モード																			
1	クロック同期式モード																			

BRR	ビットレートレジスタ	H'89	SCI1																																								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table> <p>初期値: 1 1 1 1 1 1 1 1</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">ビットレートを設定</p>																																											
SCR	シリアルコントロールレジスタ	H'8A	SCI1																																								
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px;"> <tr> <td style="width: 20px; height: 20px;">TIE</td> <td style="width: 20px; height: 20px;">RIE</td> <td style="width: 20px; height: 20px;">TE</td> <td style="width: 20px; height: 20px;">RE</td> <td style="width: 20px; height: 20px;">MPIE</td> <td style="width: 20px; height: 20px;">TEIE</td> <td style="width: 20px; height: 20px;">CKE1</td> <td style="width: 20px; height: 20px;">CKE0</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 40px;"> <p>クロックイネーブル0</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>SCK端子を使用しない</td></tr> <tr><td>1</td><td>SCK端子を出力端子としてクロック出力</td></tr> </table> <p>クロックイネーブル1</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>内部クロックを選択</td></tr> <tr><td>1</td><td>外部クロックを選択</td></tr> </table> <p>トランスミットエンドインタラプトイネーブル</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>TSRエンプティ割り込み要求を禁止</td></tr> <tr><td>1</td><td>TSRエンプティ割り込み要求を許可</td></tr> </table> <p>マルチプロセッサインタラプトイネーブル</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>マルチプロセッサ割り込み禁止</td></tr> <tr><td>1</td><td>マルチプロセッサ割り込み許可</td></tr> </table> <p>レシーブイネーブル</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>受信動作を禁止</td></tr> <tr><td>1</td><td>受信可能状態</td></tr> </table> <p>トランスミットイネーブル</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>送信動作を禁止</td></tr> <tr><td>1</td><td>送信可能状態</td></tr> </table> <p>レシーブインタラプトイネーブル</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>受信完了割り込み要求、受信エラー割り込み要求を禁止</td></tr> <tr><td>1</td><td>受信完了割り込み要求、受信エラー割り込み要求を許可</td></tr> </table> <p>トランスミットインタラプトイネーブル</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>TDRエンプティ割り込み要求を禁止</td></tr> <tr><td>1</td><td>TDRエンプティ割り込み要求を許可</td></tr> </table> </div>				TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	0	SCK端子を使用しない	1	SCK端子を出力端子としてクロック出力	0	内部クロックを選択	1	外部クロックを選択	0	TSRエンプティ割り込み要求を禁止	1	TSRエンプティ割り込み要求を許可	0	マルチプロセッサ割り込み禁止	1	マルチプロセッサ割り込み許可	0	受信動作を禁止	1	受信可能状態	0	送信動作を禁止	1	送信可能状態	0	受信完了割り込み要求、受信エラー割り込み要求を禁止	1	受信完了割り込み要求、受信エラー割り込み要求を許可	0	TDRエンプティ割り込み要求を禁止	1	TDRエンプティ割り込み要求を許可
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0																																				
0	SCK端子を使用しない																																										
1	SCK端子を出力端子としてクロック出力																																										
0	内部クロックを選択																																										
1	外部クロックを選択																																										
0	TSRエンプティ割り込み要求を禁止																																										
1	TSRエンプティ割り込み要求を許可																																										
0	マルチプロセッサ割り込み禁止																																										
1	マルチプロセッサ割り込み許可																																										
0	受信動作を禁止																																										
1	受信可能状態																																										
0	送信動作を禁止																																										
1	送信可能状態																																										
0	受信完了割り込み要求、受信エラー割り込み要求を禁止																																										
1	受信完了割り込み要求、受信エラー割り込み要求を許可																																										
0	TDRエンプティ割り込み要求を禁止																																										
1	TDRエンプティ割り込み要求を許可																																										



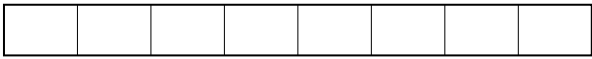
TDR	トランスミットデータレジスタ							H'8B	SCI1
ビット:	7	6	5	4	3	2	1	0	
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
初期値:	1	1	1	1	1	1	1	1	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
<div style="display: flex; justify-content: center; align-items: center; gap: 20px;"> <div style="border-top: 1px solid black; width: 100%;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; height: 20px; width: 100%;"></div> </div> <p>送信データを格納</p>									

SSR シリアルステータスレジスタ								H'8C	SCI1
ビット:	7	6	5	4	3	2	1	0	
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
初期値:	1	0	0	0	0	1	0	0	
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W	
								マルチプロセッサビットトランスファ 0 マルチプロセッサビット0を送信 1 マルチプロセッサビット1を送信	
								マルチプロセッサビット 0 マルチプロセッサビットが0のデータを受信 1 マルチプロセッサビットが1のデータを受信	
								トランスミットエンド 0 [クリア条件] TDRE=1の状態をリードした後、TDREに0を ライトしたとき 1 [セット条件] (1) TE=0のとき (2) 送信完了時に、TDRE=1であったとき	
								パリティエラー 0 [クリア条件] PER=1の状態をPERをリードした後、 PERに0をライトしたとき 1 [セット条件] パリティエラーが発生したとき（受信したデータの パリティがSMRのO/Eビットで設定したパリティ と一致しなかったとき）	
								フレーミングエラー 0 [クリア条件] FER=1の状態をFERをリードした後、FERに0をライトしたとき 1 [セット条件] フレーミングエラーが発生したとき（ストップビットが0の 場合）	
								オーバランエラー 0 [クリア条件] ORER=1の状態をORERをリードした後、ORERに0をライトしたとき 1 [セット条件] オーバランエラーが発生したとき（RDRF=1の状態での次のデー タの受信が完了したとき）	
								レシーブデータレジスタフル 0 [クリア条件] RDRF=1の状態をRDRFをリードした後、RDRFに0をライトしたとき DTUバスサイクルによってRDRがリードされたとき 1 [セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき	
								トランスミットデータレジスタエンプティ 0 [クリア条件] TDRE=1の状態をTDREをリードした後、TDREに0をライトしたとき DTUバスサイクルによってTDRにデータがライトされたとき 1 [セット条件] (1) TDRからTDRへデータの転送が行われたとき (2) TDRE=0の状態をTEに0をクリアしたとき	
【注】* フラグをクリアするための0ライトのみ可能です。									

RDR レシーブデータレジスタ	H'8D								SCI1
ビット:	7	6	5	4	3	2	1	0	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	
<div style="display: flex; justify-content: center; align-items: center; gap: 20px;"> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> <div style="border-left: 1px solid black; border-right: 1px solid black; width: 100%; height: 10px;"></div> </div>									
受信データを格納									

TIER タイマインタラプトイネーブルレジスタ							H'90	FRT0				
ビット:	7	6	5	4	3	2	1	0				
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—				
初期値:	0	0	0	0	0	0	0	1				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—				
								タイマオーバフローインタラプトイネーブル <table border="1"> <tr><td>0</td><td>OVFによる割込み要求を禁止</td></tr> <tr><td>1</td><td>OVFによる割込み要求を許可</td></tr> </table>	0	OVFによる割込み要求を禁止	1	OVFによる割込み要求を許可
0	OVFによる割込み要求を禁止											
1	OVFによる割込み要求を許可											
								アウトプットコンペアインタラプトBイネーブル <table border="1"> <tr><td>0</td><td>OCFBによる割込み要求を禁止</td></tr> <tr><td>1</td><td>OCFBによる割込み要求を許可</td></tr> </table>	0	OCFBによる割込み要求を禁止	1	OCFBによる割込み要求を許可
0	OCFBによる割込み要求を禁止											
1	OCFBによる割込み要求を許可											
								アウトプットコンペアインタラプトAイネーブル <table border="1"> <tr><td>0</td><td>OCFAによる割込み要求を禁止</td></tr> <tr><td>1</td><td>OCFAによる割込み要求を許可</td></tr> </table>	0	OCFAによる割込み要求を禁止	1	OCFAによる割込み要求を許可
0	OCFAによる割込み要求を禁止											
1	OCFAによる割込み要求を許可											
								インพุットキャプチャインタラプトDイネーブル <table border="1"> <tr><td>0</td><td>ICFDによる割込み要求を禁止</td></tr> <tr><td>1</td><td>ICFDによる割込み要求を許可</td></tr> </table>	0	ICFDによる割込み要求を禁止	1	ICFDによる割込み要求を許可
0	ICFDによる割込み要求を禁止											
1	ICFDによる割込み要求を許可											
								インพุットキャプチャインタラプトCイネーブル <table border="1"> <tr><td>0</td><td>ICFCによる割込み要求を禁止</td></tr> <tr><td>1</td><td>ICFCによる割込み要求を許可</td></tr> </table>	0	ICFCによる割込み要求を禁止	1	ICFCによる割込み要求を許可
0	ICFCによる割込み要求を禁止											
1	ICFCによる割込み要求を許可											
								インพุットキャプチャインタラプトBイネーブル <table border="1"> <tr><td>0</td><td>ICFBによる割込み要求を禁止</td></tr> <tr><td>1</td><td>ICFBによる割込み要求を許可</td></tr> </table>	0	ICFBによる割込み要求を禁止	1	ICFBによる割込み要求を許可
0	ICFBによる割込み要求を禁止											
1	ICFBによる割込み要求を許可											
								インพุットキャプチャインタラプトAイネーブル <table border="1"> <tr><td>0</td><td>ICFAによる割込み要求を禁止</td></tr> <tr><td>1</td><td>ICFAによる割込み要求を許可</td></tr> </table>	0	ICFAによる割込み要求を禁止	1	ICFAによる割込み要求を許可
0	ICFAによる割込み要求を禁止											
1	ICFAによる割込み要求を許可											

TCSR タイマコントロール/ステータスレジスタ								H'91	FRT0
ビット:	7	6	5	4	3	2	1	0	
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
初期値:	0	0	0	0	0	0	0	0	
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	
								カウンタクリア 0 FRCのクリアを禁止 1 コンペアマッチAによりFRCをクリア	
								タイマオーバフロー 0 [クリア条件] OVF=1の状態でもVFをリードした後、OVFに0をライトしたとき 1 [セット条件] FRCの値が、H' FFFF H' 0000になったとき	
								アウトプットコンペアフラグB 0 [クリア条件] OCFB=1の状態でもOCFBをリードした後、OCFBに0をライトしたとき 1 [セット条件] FRC=OCRBになったとき	
								アウトプットコンペアフラグA 0 [クリア条件] OCFA=1の状態でもOCFAをリードした後、OCFAに0をライトしたとき 1 [セット条件] FRC=OCRAになったとき	
								インพุットキャプチャフラグD 0 [クリア条件] ICFD=1の状態でもICFDをリードした後、ICFDに0をライトしたとき 1 [セット条件] インพุットキャプチャ信号が発生したとき	
								インพุットキャプチャフラグC 0 [クリア条件] ICFC=1の状態でもICFCをリードした後、ICFCに0をライトしたとき 1 [セット条件] インพุットキャプチャ信号が発生したとき	
								インพุットキャプチャフラグB 0 [クリア条件] ICFB=1の状態でもICFBをリードした後、ICFBに0をライトしたとき 1 [セット条件] インพุットキャプチャ信号によりFRCの値がICRBに転送されたとき	
								インพุットキャプチャフラグA 0 [クリア条件] ICFA=1の状態でもICFAをリードした後、ICFAに0をライトしたとき 1 [セット条件] インพุットキャプチャ信号によりFRCの値がICRAに転送されたとき	
【注】* フラグをクリアするための0ライトのみ可能です。									

FRC H、L フリーランニングカウンタ H、L				H'92、H'93				FRT0
ビット： 7 6 5 4 3 2 1 0 								
初期値： 0 0 0 0 0 0 0 0 R/W： R/W R/W R/W R/W R/W R/W R/W R/W								
↓ カウント値								
OCRA H、L アウトプットコンペアレジスタ A H、L				H'94、H'95				FRT0
ビット： 7 6 5 4 3 2 1 0 								
初期値： 1 1 1 1 1 1 1 1 R/W： R/W R/W R/W R/W R/W R/W R/W R/W								
↓ FRCの値と常時比較 → OCRA = FRCでOCFAをセット								
OCRB H、L アウトプットコンペアレジスタ B H、L				H'94、H'95				FRT0
ビット： 7 6 5 4 3 2 1 0 								
初期値： 1 1 1 1 1 1 1 1 R/W： R/W R/W R/W R/W R/W R/W R/W R/W								
↓ FRCの値と常時比較 → OCRB = FRCでOCFBをセット								

TCR タイマコントロールレジスタ							H'96	FRT0												
ビット:	7	6	5	4	3	2	1	0												
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0												
初期値:	0	0	0	0	0	0	0	0												
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W												
							クロックセレクト <table border="1"> <tr> <td>0</td> <td>0</td> <td>内部クロック: p/2でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>内部クロック: p/8でカウント</td> </tr> <tr> <td>1</td> <td>0</td> <td>内部クロック: p/32でカウント</td> </tr> <tr> <td>1</td> <td>1</td> <td>外部クロック: 立ち上がりエッジでカウント</td> </tr> </table>		0	0	内部クロック: p/2でカウント	0	1	内部クロック: p/8でカウント	1	0	内部クロック: p/32でカウント	1	1	外部クロック: 立ち上がりエッジでカウント
0	0	内部クロック: p/2でカウント																		
0	1	内部クロック: p/8でカウント																		
1	0	内部クロック: p/32でカウント																		
1	1	外部クロック: 立ち上がりエッジでカウント																		
							バッファイネーブルB <table border="1"> <tr> <td>0</td> <td>ICRDをICRBのバッファレジスタとして使用しない</td> </tr> <tr> <td>1</td> <td>ICRDをICRBのバッファレジスタとして使用する</td> </tr> </table>		0	ICRDをICRBのバッファレジスタとして使用しない	1	ICRDをICRBのバッファレジスタとして使用する								
0	ICRDをICRBのバッファレジスタとして使用しない																			
1	ICRDをICRBのバッファレジスタとして使用する																			
							バッファイネーブルA <table border="1"> <tr> <td>0</td> <td>ICRCをICRAのバッファレジスタとして使用しない</td> </tr> <tr> <td>1</td> <td>ICRCをICRAのバッファレジスタとして使用する</td> </tr> </table>		0	ICRCをICRAのバッファレジスタとして使用しない	1	ICRCをICRAのバッファレジスタとして使用する								
0	ICRCをICRAのバッファレジスタとして使用しない																			
1	ICRCをICRAのバッファレジスタとして使用する																			
							インプットエッジセレクトD <table border="1"> <tr> <td>0</td> <td>インプットキャプチャ入力Dの立ち下がりエッジでキャプチャ</td> </tr> <tr> <td>1</td> <td>インプットキャプチャ入力Dの立ち上がりエッジでキャプチャ</td> </tr> </table>		0	インプットキャプチャ入力Dの立ち下がりエッジでキャプチャ	1	インプットキャプチャ入力Dの立ち上がりエッジでキャプチャ								
0	インプットキャプチャ入力Dの立ち下がりエッジでキャプチャ																			
1	インプットキャプチャ入力Dの立ち上がりエッジでキャプチャ																			
							インプットエッジセレクトC <table border="1"> <tr> <td>0</td> <td>インプットキャプチャ入力Cの立ち下がりエッジでキャプチャ</td> </tr> <tr> <td>1</td> <td>インプットキャプチャ入力Cの立ち上がりエッジでキャプチャ</td> </tr> </table>		0	インプットキャプチャ入力Cの立ち下がりエッジでキャプチャ	1	インプットキャプチャ入力Cの立ち上がりエッジでキャプチャ								
0	インプットキャプチャ入力Cの立ち下がりエッジでキャプチャ																			
1	インプットキャプチャ入力Cの立ち上がりエッジでキャプチャ																			
							インプットエッジセレクトB <table border="1"> <tr> <td>0</td> <td>インプットキャプチャ入力Bの立ち下がりエッジでキャプチャ</td> </tr> <tr> <td>1</td> <td>インプットキャプチャ入力Bの立ち上がりエッジでキャプチャ</td> </tr> </table>		0	インプットキャプチャ入力Bの立ち下がりエッジでキャプチャ	1	インプットキャプチャ入力Bの立ち上がりエッジでキャプチャ								
0	インプットキャプチャ入力Bの立ち下がりエッジでキャプチャ																			
1	インプットキャプチャ入力Bの立ち上がりエッジでキャプチャ																			
							インプットエッジセレクトA <table border="1"> <tr> <td>0</td> <td>インプットキャプチャ入力Aの立ち下がりエッジでキャプチャ</td> </tr> <tr> <td>1</td> <td>インプットキャプチャ入力Aの立ち上がりエッジでキャプチャ</td> </tr> </table>		0	インプットキャプチャ入力Aの立ち下がりエッジでキャプチャ	1	インプットキャプチャ入力Aの立ち上がりエッジでキャプチャ								
0	インプットキャプチャ入力Aの立ち下がりエッジでキャプチャ																			
1	インプットキャプチャ入力Aの立ち上がりエッジでキャプチャ																			

TOCR タイマアウトプットコンペアコントロールレジスタ					H'97			FRT0																													
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%;">—</td> <td style="width: 12.5%;">—</td> <td style="width: 12.5%;">—</td> <td style="width: 12.5%;">OCRS</td> <td style="width: 12.5%;">OEA</td> <td style="width: 12.5%;">OEB</td> <td style="width: 12.5%;">OLVLA</td> <td style="width: 12.5%;">OLVLB</td> </tr> </table> <p>初期値: 1 1 1 0 0 0 0 0</p> <p>R/W: — — — R/W R/W R/W R/W R/W</p> <div style="margin-left: 300px;"> <p>— アウトプットレベルB</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>コンペアマッチBにより0出力</td></tr> <tr><td>1</td><td>コンペアマッチBにより1出力</td></tr> </table> <p>— アウトプットレベルA</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>コンペアマッチAにより0出力</td></tr> <tr><td>1</td><td>コンペアマッチAにより1出力</td></tr> </table> <p>— アウトプットイネーブルB</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>アウトプットコンペアB出力を禁止</td></tr> <tr><td>1</td><td>アウトプットコンペアB出力を許可</td></tr> </table> <p>— アウトプットイネーブルA</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>アウトプットコンペアA出力を禁止</td></tr> <tr><td>1</td><td>アウトプットコンペアA出力を許可</td></tr> </table> <p>— アウトプットコンペアレジスタセレクト</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>OCRAレジスタを選択</td></tr> <tr><td>1</td><td>OCRBレジスタを選択</td></tr> </table> </div>										—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB	0	コンペアマッチBにより0出力	1	コンペアマッチBにより1出力	0	コンペアマッチAにより0出力	1	コンペアマッチAにより1出力	0	アウトプットコンペアB出力を禁止	1	アウトプットコンペアB出力を許可	0	アウトプットコンペアA出力を禁止	1	アウトプットコンペアA出力を許可	0	OCRAレジスタを選択	1	OCRBレジスタを選択
—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB																														
0	コンペアマッチBにより0出力																																				
1	コンペアマッチBにより1出力																																				
0	コンペアマッチAにより0出力																																				
1	コンペアマッチAにより1出力																																				
0	アウトプットコンペアB出力を禁止																																				
1	アウトプットコンペアB出力を許可																																				
0	アウトプットコンペアA出力を禁止																																				
1	アウトプットコンペアA出力を許可																																				
0	OCRAレジスタを選択																																				
1	OCRBレジスタを選択																																				
ICRA H、L インพุットキャプチャレジスタ A H、L					H'98、H'99			FRT0																													
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 12.5%; height: 20px;"> </td> <td style="width: 12.5%;"> </td> <td style="width: 12.5%;"> </td> <td style="width: 12.5%;"> </td> <td style="width: 12.5%;"> </td> <td style="width: 12.5%;"> </td> <td style="width: 12.5%;"> </td> <td style="width: 12.5%;"> </td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R R R R R R R R</p> <p style="text-align: center; margin-top: 20px;">インพุットキャプチャ信号が発生するとFRCの値を格納</p>																																					

ICRB H、L	入力キャプチャレジスタ B H、L	H'9A、H'9B	FRT0								
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R R R R R R R R											
インпутキャプチャ信号が発生するとFRCの値を格納											
ICRC H、L	入力キャプチャレジスタ C H、L	H'9C、H'9D	FRT0								
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R R R R R R R R											
インпутキャプチャ信号が発生するとFRCの値、またはICRAの値を格納											
ICRD H、L	入力キャプチャレジスタ D H、L	H'9E、H'9F	FRT0								
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> <td style="width: 20px; height: 20px;"></td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R R R R R R R R											
インпутキャプチャ信号が発生するとFRCの値、またはICRBの値を格納											

TCR タイマコントロールレジスタ				H'A0				FRT1
ビット:	7	6	5	4	3	2	1	0
	ICIE	OCIEB	OCIEA	OVIE	OEB	OEA	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	内部クロック : $\phi_p/2$ でカウント
0	1	内部クロック : $\phi_p/8$ でカウント
1	0	内部クロック : $\phi_p/32$ でカウント
1	1	外部クロック : 立ち上がりエッジでカウント

アウトプットイネーブルA

0	アウトプットコンペアA出力を禁止
1	アウトプットコンペアA出力を許可

アウトプットイネーブルB

0	アウトプットコンペアB出力を禁止
1	アウトプットコンペアB出力を許可

タイマオーバーフローインタラプトイネーブル

0	OVFによる割込み要求を禁止
1	OVFによる割込み要求を許可

アウトプットコンペアインタラプトイネーブルA

0	OCFAによる割込み要求を禁止
1	OCFAによる割込み要求を許可

アウトプットコンペアインタラプトイネーブルB

0	OCFBによる割込み要求を禁止
1	OCFBによる割込み要求を許可

インプットキャプチャインタラプトイネーブル

0	ICFによる割込み要求を禁止
1	ICFによる割込み要求を許可

TCSR タイマコントロール/ステータスレジスタ				H'A1				FRT1																																
ビット:	7	6	5	4	3	2	1	0																																
	ICF	OCFB	OCFA	OVF	OLVLB	OLVLA	IEDG	CCLRA																																
初期値:	0	0	0	0	0	0	0	0																																
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W																																
<p>カウンタクリア</p> <table border="1"> <tr> <td>0</td> <td>FRCのクリアを禁止</td> </tr> <tr> <td>1</td> <td>コンペアマッチAによりFRCをクリア</td> </tr> </table> <p>インプットエッジセレクト</p> <table border="1"> <tr> <td>0</td> <td>インプットキャプチャ入力の立ち下がりエッジでFRCの値をICR転送</td> </tr> <tr> <td>1</td> <td>インプットキャプチャ入力の立ち上がりエッジでFRCの値をICR転送</td> </tr> </table> <p>アウトプットレベルA</p> <table border="1"> <tr> <td>0</td> <td>コンペアマッチAにより0出力</td> </tr> <tr> <td>1</td> <td>コンペアマッチAにより1出力</td> </tr> </table> <p>アウトプットレベルB</p> <table border="1"> <tr> <td>0</td> <td>コンペアマッチBにより0出力</td> </tr> <tr> <td>1</td> <td>コンペアマッチBにより1出力</td> </tr> </table> <p>タイマオーバーフロー</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] OVF=1の状態でもVFほりロードした後、OVFに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] FRCがH'FFFF H'0000になったとき</td> </tr> </table> <p>アウトプットコンペアフラグA</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] OCFA=1の状態でもCFAをリードした後、OCFAに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] FRC=OCRAになったとき</td> </tr> </table> <p>アウトプットコンペアフラグB</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] OCFB=1の状態でもCFBをリードした後、OCFBに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] FRC=OCRBになったとき</td> </tr> </table> <p>インプットキャプチャフラグ</p> <table border="1"> <tr> <td>0</td> <td>[クリア条件] ICF=1の状態でもICFをリードした後、ICFに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] インプットキャプチャ信号によりFRCの値がICRに転送されたとき</td> </tr> </table> <p>【注】* フラグをクリアするための0ライトのみ可能です。</p>									0	FRCのクリアを禁止	1	コンペアマッチAによりFRCをクリア	0	インプットキャプチャ入力の立ち下がりエッジでFRCの値をICR転送	1	インプットキャプチャ入力の立ち上がりエッジでFRCの値をICR転送	0	コンペアマッチAにより0出力	1	コンペアマッチAにより1出力	0	コンペアマッチBにより0出力	1	コンペアマッチBにより1出力	0	[クリア条件] OVF=1の状態でもVFほりロードした後、OVFに0をライトしたとき	1	[セット条件] FRCがH'FFFF H'0000になったとき	0	[クリア条件] OCFA=1の状態でもCFAをリードした後、OCFAに0をライトしたとき	1	[セット条件] FRC=OCRAになったとき	0	[クリア条件] OCFB=1の状態でもCFBをリードした後、OCFBに0をライトしたとき	1	[セット条件] FRC=OCRBになったとき	0	[クリア条件] ICF=1の状態でもICFをリードした後、ICFに0をライトしたとき	1	[セット条件] インプットキャプチャ信号によりFRCの値がICRに転送されたとき
0	FRCのクリアを禁止																																							
1	コンペアマッチAによりFRCをクリア																																							
0	インプットキャプチャ入力の立ち下がりエッジでFRCの値をICR転送																																							
1	インプットキャプチャ入力の立ち上がりエッジでFRCの値をICR転送																																							
0	コンペアマッチAにより0出力																																							
1	コンペアマッチAにより1出力																																							
0	コンペアマッチBにより0出力																																							
1	コンペアマッチBにより1出力																																							
0	[クリア条件] OVF=1の状態でもVFほりロードした後、OVFに0をライトしたとき																																							
1	[セット条件] FRCがH'FFFF H'0000になったとき																																							
0	[クリア条件] OCFA=1の状態でもCFAをリードした後、OCFAに0をライトしたとき																																							
1	[セット条件] FRC=OCRAになったとき																																							
0	[クリア条件] OCFB=1の状態でもCFBをリードした後、OCFBに0をライトしたとき																																							
1	[セット条件] FRC=OCRBになったとき																																							
0	[クリア条件] ICF=1の状態でもICFをリードした後、ICFに0をライトしたとき																																							
1	[セット条件] インプットキャプチャ信号によりFRCの値がICRに転送されたとき																																							
FRC H、L フリーランニングカウンタ H、L				H'A2、H'A3				FRT1																																
ビット:	7	6	5	4	3	2	1	0																																
初期値:	0	0	0	0	0	0	0	0																																
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																
<p>↑</p> <p>カウント値</p>																																								

OCRA H、L	アウトプットコンペアレジスタ A	H、L	H'A4、H'A5	FRT1
ビット: 7 6 5 4 3 2 1 0 				
初期値: 1 1 1 1 1 1 1 1 R/W: R/W R/W R/W R/W R/W R/W R/W R/W				
OCRB H、L	アウトプットコンペアレジスタ B	H、L	H'A6、H'A7	FRT1
ビット: 7 6 5 4 3 2 1 0 				
初期値: 1 1 1 1 1 1 1 1 R/W: R/W R/W R/W R/W R/W R/W R/W R/W				
ICR H、L	インプットキャプチャレジスタ	H、L	H'A8、H'A9	FRT1
ビット: 7 6 5 4 3 2 1 0 				
初期値: 0 0 0 0 0 0 0 0 R/W: R R R R R R R R				
外部入力信号の変化によりインプットキャプチャ信号が発生するとFRCの値をセット				

TCSR タイマコントロール/ステータスレジスタ				H'AA* ¹			WDT																																	
ビット:	7	6	5	4	3	2	1	0																																
	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0																																
初期値:	0	0	0	1	0	0	0	0																																
R/W:	R/(W)* ²	R/W	R/W	—	R/W	R/W	R/W	R/W																																
						クロックセレクト <table border="1"> <tr><td>0</td><td>0</td><td>0</td><td>øp/2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>øp/32</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>øp/64</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>øp/128</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>øp/256</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>øp/512</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>øp/2048</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>øp/4096</td></tr> </table>			0	0	0	øp/2	0	0	1	øp/32	0	1	0	øp/64	0	1	1	øp/128	1	0	0	øp/256	1	0	1	øp/512	1	1	0	øp/2048	1	1	1	øp/4096
0	0	0	øp/2																																					
0	0	1	øp/32																																					
0	1	0	øp/64																																					
0	1	1	øp/128																																					
1	0	0	øp/256																																					
1	0	1	øp/512																																					
1	1	0	øp/2048																																					
1	1	1	øp/4096																																					
						リセットまたはNMIセレクト <table border="1"> <tr><td>0</td><td>NMI機能有効</td></tr> <tr><td>1</td><td>リセット機能有効</td></tr> </table>			0	NMI機能有効	1	リセット機能有効																												
0	NMI機能有効																																							
1	リセット機能有効																																							
						タイマイネーブル <table border="1"> <tr><td>0</td><td>タイマディスエーブル TCNTをH'00にイニシャライズし、カウントアップを停止</td></tr> <tr><td>1</td><td>タイマイネーブル TCNTはカウントアップ開始CPUへの割り込み要求を許可</td></tr> </table>			0	タイマディスエーブル TCNTをH'00にイニシャライズし、カウントアップを停止	1	タイマイネーブル TCNTはカウントアップ開始CPUへの割り込み要求を許可																												
0	タイマディスエーブル TCNTをH'00にイニシャライズし、カウントアップを停止																																							
1	タイマイネーブル TCNTはカウントアップ開始CPUへの割り込み要求を許可																																							
						タイマモードセレクト <table border="1"> <tr><td>0</td><td>インターバルタイマモード (OVF割り込み要求)</td></tr> <tr><td>1</td><td>ウォッチドッグタイマモード (リセットまたはNMI割り込み要求)</td></tr> </table>			0	インターバルタイマモード (OVF割り込み要求)	1	ウォッチドッグタイマモード (リセットまたはNMI割り込み要求)																												
0	インターバルタイマモード (OVF割り込み要求)																																							
1	ウォッチドッグタイマモード (リセットまたはNMI割り込み要求)																																							
						オーバフローフラグ <table border="1"> <tr><td>0</td><td>[クリア条件] OVF=1の状態でもOVFをリードした後、OVFに0をライトしたとき</td></tr> <tr><td>1</td><td>[セット条件] TCNTがH'FF H'00に変化したとき</td></tr> </table>			0	[クリア条件] OVF=1の状態でもOVFをリードした後、OVFに0をライトしたとき	1	[セット条件] TCNTがH'FF H'00に変化したとき																												
0	[クリア条件] OVF=1の状態でもOVFをリードした後、OVFに0をライトしたとき																																							
1	[セット条件] TCNTがH'FF H'00に変化したとき																																							
【注】 *1 リード時のアドレスです。 *2 フラグをクリアするため0ライトのみ可能です。																																								
TCNT タイマカウンタ				H'AB*			WDT																																	
ビット:	7	6	5	4	3	2	1	0																																
初期値:	0	0	0	0	0	0	0	0																																
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																
カウント値																																								
【注】 * ライト時はH'FFAAIにワード転送します。																																								

P1PCR ポート 1 入力プルアップ MOS コントロールレジスタ	H'AC	P1												
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px;"> <tr> <td>P1₇PCR</td><td>P1₆PCR</td><td>P1₅PCR</td><td>P1₄PCR</td><td>P1₃PCR</td><td>P1₂PCR</td><td>P1₁PCR</td><td>P1₀PCR</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 40px;"> <p>└─ ポート1入力プルアップMOS制御</p> <table border="1"> <tr> <td>0</td><td>入力プルアップMOSはOFF状態</td> </tr> <tr> <td>1</td><td>入力プルアップMOSはON状態</td> </tr> </table> </div>			P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR	0	入力プルアップMOSはOFF状態	1	入力プルアップMOSはON状態
P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR							
0	入力プルアップMOSはOFF状態													
1	入力プルアップMOSはON状態													
P2PCR ポート 2 入力プルアップ MOS コントロールレジスタ	H'AD	P2												
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px;"> <tr> <td>P2₇PCR</td><td>P2₆PCR</td><td>P2₅PCR</td><td>P2₄PCR</td><td>P2₃PCR</td><td>P2₂PCR</td><td>P2₁PCR</td><td>P2₀PCR</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 40px;"> <p>└─ ポート2入力プルアップMOS制御</p> <table border="1"> <tr> <td>0</td><td>入力プルアップMOSはOFF状態</td> </tr> <tr> <td>1</td><td>入力プルアップMOSはON状態</td> </tr> </table> </div>			P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	0	入力プルアップMOSはOFF状態	1	入力プルアップMOSはON状態
P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR							
0	入力プルアップMOSはOFF状態													
1	入力プルアップMOSはON状態													
P3PCR ポート 3 入力プルアップ MOS コントロールレジスタ	H'AE	P3												
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px;"> <tr> <td>P3₇PCR</td><td>P3₆PCR</td><td>P3₅PCR</td><td>P3₄PCR</td><td>P3₃PCR</td><td>P3₂PCR</td><td>P3₁PCR</td><td>P3₀PCR</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 40px;"> <p>└─ ポート3入力プルアップMOS制御</p> <table border="1"> <tr> <td>0</td><td>入力プルアップMOSはOFF状態</td> </tr> <tr> <td>1</td><td>入力プルアップMOSはON状態</td> </tr> </table> </div>			P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR	0	入力プルアップMOSはOFF状態	1	入力プルアップMOSはON状態
P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR							
0	入力プルアップMOSはOFF状態													
1	入力プルアップMOSはON状態													
P1DDR ポート 1 データディレクションレジスタ	H'B0	P1												
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px;"> <tr> <td>P1₇DDR</td><td>P1₆DDR</td><td>P1₅DDR</td><td>P1₄DDR</td><td>P1₃DDR</td><td>P1₂DDR</td><td>P1₁DDR</td><td>P1₀DDR</td> </tr> </table> <p>モード1 { 初期値: 1 1 1 1 1 1 1 1 R/W: — — — — — — — —</p> <p>モード2, 3 { 初期値: 0 0 0 0 0 0 0 0 R/W: W W W W W W W W</p> <div style="margin-left: 40px;"> <p>└─ ポート1入出力制御</p> <table border="1"> <tr> <td>0</td><td>入力ポート</td> </tr> <tr> <td>1</td><td>出力ポート</td> </tr> </table> </div>			P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR	0	入力ポート	1	出力ポート
P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR							
0	入力ポート													
1	出力ポート													

P1DR ポート 1 データレジスタ				H'B2				P1															
ビット: <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr> </table>								7	6	5	4	3	2	1	0								
7	6	5	4	3	2	1	0																
初期値: 0 0 0 0 0 0 0 0																							
R/W: R/W R/W R/W R/W R/W R/W R/W																							
↓ カウント値																							
【注】* ライト時はH'FFAAにワード転送します。																							
P2DDR ポート 2 データディレクションレジスタ				H'B1				P2															
ビット: <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>P_{2,7}DDR</td><td>P_{2,6}DDR</td><td>P_{2,5}DDR</td><td>P_{2,4}DDR</td><td>P_{2,3}DDR</td><td>P_{2,2}DDR</td><td>P_{2,1}DDR</td><td>P_{2,0}DDR</td></tr> </table>								7	6	5	4	3	2	1	0	P _{2,7} DDR	P _{2,6} DDR	P _{2,5} DDR	P _{2,4} DDR	P _{2,3} DDR	P _{2,2} DDR	P _{2,1} DDR	P _{2,0} DDR
7	6	5	4	3	2	1	0																
P _{2,7} DDR	P _{2,6} DDR	P _{2,5} DDR	P _{2,4} DDR	P _{2,3} DDR	P _{2,2} DDR	P _{2,1} DDR	P _{2,0} DDR																
モード1	初期値: 1 1 1 1 1 1 1 1																						
	R/W: — — — — — — — —																						
モード2、3	初期値: 0 0 0 0 0 0 0 0																						
	R/W: W W W W W W W W																						
↓ ポート2入出力制御																							
<table border="1"> <tr><td>0</td><td>入力ポート</td></tr> <tr><td>1</td><td>出力ポート</td></tr> </table>								0	入力ポート	1	出力ポート												
0	入力ポート																						
1	出力ポート																						
P2DR ポート 2 データレジスタ				H'B3				P2															
ビット: <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>P_{2,7}</td><td>P_{2,6}</td><td>P_{2,5}</td><td>P_{2,4}</td><td>P_{2,3}</td><td>P_{2,2}</td><td>P_{2,1}</td><td>P_{2,0}</td></tr> </table>								7	6	5	4	3	2	1	0	P _{2,7}	P _{2,6}	P _{2,5}	P _{2,4}	P _{2,3}	P _{2,2}	P _{2,1}	P _{2,0}
7	6	5	4	3	2	1	0																
P _{2,7}	P _{2,6}	P _{2,5}	P _{2,4}	P _{2,3}	P _{2,2}	P _{2,1}	P _{2,0}																
初期値: 0 0 0 0 0 0 0 0																							
R/W: R/W R/W R/W R/W R/W R/W R/W																							
P3DDR ポート 3 データディレクションレジスタ				H'B4				P3															
ビット: <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>P_{3,7}DDR</td><td>P_{3,6}DDR</td><td>P_{3,5}DDR</td><td>P_{3,4}DDR</td><td>P_{3,3}DDR</td><td>P_{3,2}DDR</td><td>P_{3,1}DDR</td><td>P_{3,0}DDR</td></tr> </table>								7	6	5	4	3	2	1	0	P _{3,7} DDR	P _{3,6} DDR	P _{3,5} DDR	P _{3,4} DDR	P _{3,3} DDR	P _{3,2} DDR	P _{3,1} DDR	P _{3,0} DDR
7	6	5	4	3	2	1	0																
P _{3,7} DDR	P _{3,6} DDR	P _{3,5} DDR	P _{3,4} DDR	P _{3,3} DDR	P _{3,2} DDR	P _{3,1} DDR	P _{3,0} DDR																
初期値: 0 0 0 0 0 0 0 0																							
R/W: W W W W W W W W																							
↓ ポート3入出力制御																							
<table border="1"> <tr><td>0</td><td>入力ポート</td></tr> <tr><td>1</td><td>出力ポート</td></tr> </table>								0	入力ポート	1	出力ポート												
0	入力ポート																						
1	出力ポート																						
P3DR ポート 3 データレジスタ				H'B6				P3															
ビット: <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>P_{3,7}</td><td>P_{3,6}</td><td>P_{3,5}</td><td>P_{3,4}</td><td>P_{3,3}</td><td>P_{3,2}</td><td>P_{3,1}</td><td>P_{3,0}</td></tr> </table>								7	6	5	4	3	2	1	0	P _{3,7}	P _{3,6}	P _{3,5}	P _{3,4}	P _{3,3}	P _{3,2}	P _{3,1}	P _{3,0}
7	6	5	4	3	2	1	0																
P _{3,7}	P _{3,6}	P _{3,5}	P _{3,4}	P _{3,3}	P _{3,2}	P _{3,1}	P _{3,0}																
初期値: 0 0 0 0 0 0 0 0																							
R/W: R/W R/W R/W R/W R/W R/W R/W																							

P4DDR ポート4データディレクションレジスタ					H'B5			P4				
ビット:	7	6	5	4	3	2	1	0				
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR				
初期値:	0	0	0	0	0	0	0	0				
R/W:	W	W	W	W	W	W	W	W				
ポート4入出力制御 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
P4DR ポート4データレジスタ					H'B7			P4				
ビット:	7	6	5	4	3	2	1	0				
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀				
初期値:	0	0	0	0	0	0	0	0				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
P5DDR ポート5データディレクションレジスタ					H'B8			P5				
ビット:	7	6	5	4	3	2	1	0				
	—	—	—	—	—	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR				
初期値:	1	1	1	1	1	0	0	0				
R/W:	—	—	—	—	—	W	W	W				
ポート5入出力制御 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
P5DR ポート5データレジスタ					H'BA			P5				
ビット:	7	6	5	4	3	2	1	0				
	—	—	—	—	—	P5 ₂	P5 ₁	P5 ₀				
初期値:	1	1	1	1	1	0	0	0				
R/W:	—	—	—	—	—	R/W	R/W	R/W				
P6DDR ポート6データディレクションレジスタ					H'B9			P6				
ビット:	7	6	5	4	3	2	1	0				
	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR				
初期値:	0	0	0	0	0	0	0	0				
R/W:	W	W	W	W	W	W	W	W				
ポート6入出力制御 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											

P6DDR ポート 6 データレジスタ					H'BB			P6							
ビット: 7 6 5 4 3 2 1 0															
<table border="1" style="width: 100%; text-align: center;"> <tr> <td>P6₇</td><td>P6₆</td><td>P6₅</td><td>P6₄</td><td>P6₃</td><td>P6₂</td><td>P6₁</td><td>P6₀</td> </tr> </table>								P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀								
初期値: 0 0 0 0 0 0 0 0															
R/W: R/W R/W R/W R/W R/W R/W R/W															
P7DDR ポート 7 データレジスタ					H'BE			P7							
ビット: 7 6 5 4 3 2 1 0															
<table border="1" style="width: 100%; text-align: center;"> <tr> <td>P7₇</td><td>P7₆</td><td>P7₅</td><td>P7₄</td><td>P7₃</td><td>P7₂</td><td>P7₁</td><td>P7₀</td> </tr> </table>								P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀								
初期値: * * * * * * *															
R/W: R R R R R R R R															
【注】* P ₇ ~ P ₇₀ 端子により決定されます。															
P8DDR ポート 8 データディレクションレジスタ					H'BD			P8							
ビット: 7 6 5 4 3 2 1 0															
<table border="1" style="width: 100%; text-align: center;"> <tr> <td>—</td><td>P8₆DDR</td><td>P8₅DDR</td><td>P8₄DDR</td><td>P8₃DDR</td><td>P8₂DDR</td><td>P8₁DDR</td><td>P8₀DDR</td> </tr> </table>								—	P8 ₆ DDR	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
—	P8 ₆ DDR	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR								
初期値: 1 0 0 0 0 0 0 0															
R/W: — W W W W W W W															
<div style="text-align: right; margin-right: 20px;"> ポート8入出力制御 <table border="1" style="display: inline-table;"> <tr><td>0</td><td>入力ポート</td></tr> <tr><td>1</td><td>出力ポート</td></tr> </table> </div>								0	入力ポート	1	出力ポート				
0	入力ポート														
1	出力ポート														
P8DR ポート 8 データレジスタ					H'BF			P8							
ビット: 7 6 5 4 3 2 1 0															
<table border="1" style="width: 100%; text-align: center;"> <tr> <td>—</td><td>P8₆</td><td>P8₅</td><td>P8₄</td><td>P8₃</td><td>P8₂</td><td>P8₁</td><td>P8₀</td> </tr> </table>								—	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
—	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀								
初期値: 1 0 0 0 0 0 0 0															
R/W: — R/W R/W R/W R/W R/W R/W R/W															
P9DDR ポート 9 データディレクションレジスタ					H'C0			P9							
ビット: 7 6 5 4 3 2 1 0															
<table border="1" style="width: 100%; text-align: center;"> <tr> <td>P9₇DDR</td><td>P9₆DDR</td><td>P9₅DDR</td><td>P9₄DDR</td><td>P9₃DDR</td><td>P9₂DDR</td><td>P9₁DDR</td><td>P9₀DDR</td> </tr> </table>								P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR								
モード1、2	初期値:	0	1	0	0	0	0	0							
	R/W:	W	—	W	W	W	W	W							
モード3	初期値:	0	0	0	0	0	0	0							
	R/W:	W	W	W	W	W	W	W							
<div style="text-align: right; margin-right: 20px;"> ポート9入出力制御 <table border="1" style="display: inline-table;"> <tr><td>0</td><td>入力ポート</td></tr> <tr><td>1</td><td>出力ポート</td></tr> </table> </div>								0	入力ポート	1	出力ポート				
0	入力ポート														
1	出力ポート														

P9DR ポート9データレジスタ	H'C1	P9																																				
<p style="text-align: center;">ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">P97</td> <td style="padding: 2px 5px;">P96</td> <td style="padding: 2px 5px;">P95</td> <td style="padding: 2px 5px;">P94</td> <td style="padding: 2px 5px;">P93</td> <td style="padding: 2px 5px;">P92</td> <td style="padding: 2px 5px;">P91</td> <td style="padding: 2px 5px;">P90</td> </tr> </table> <p style="text-align: center;">初期値： 0 —* 0 0 0 0 0 0</p> <p style="text-align: center;">R/W： R/W R R/W R/W R/W R/W R/W</p> <p style="text-align: center;">【注】* P9₆端子により決定されます。</p>			P97	P96	P95	P94	P93	P92	P91	P90																												
P97	P96	P95	P94	P93	P92	P91	P90																															
WSCR ウェイトステートコントロールレジスタ	H'C2																																					
<p style="text-align: center;">ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">CKDBL</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">WMS1</td> <td style="padding: 2px 5px;">WMS0</td> <td style="padding: 2px 5px;">WC1</td> <td style="padding: 2px 5px;">WC0</td> </tr> </table> <p style="text-align: center;">初期値： 1 1 0 1 0 0 0 0</p> <p style="text-align: center;">R/W： — — R/W — R/W R/W R/W R/W</p> <div style="margin-top: 20px;"> <p style="text-align: right; margin-right: 20px;">└ ウェイトカウント</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">WSCによるウェイトを禁止 (初期値)</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">1ステート挿入</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">2ステート挿入</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">3ステート挿入</td> </tr> </table> <p style="text-align: right; margin-right: 20px;">└ ウェイトモードセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">プログラマブルウェイトモード</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">ウェイトステートコントロールによるウェイトを禁止</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">端子ウェイトモード1 (初期値)</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">端子オートウェイトモード</td> </tr> </table> <p style="text-align: right; margin-right: 20px;">└ クロック分周</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">周辺モジュールへのクロックは分周しない (p=) (初期値)</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">周辺モジュールへのクロックを2分周する (p= /2)</td> </tr> </table> </div>			—	—	CKDBL	—	WMS1	WMS0	WC1	WC0	0	0	WSCによるウェイトを禁止 (初期値)	0	1	1ステート挿入	1	0	2ステート挿入	1	1	3ステート挿入	0	0	プログラマブルウェイトモード	0	1	ウェイトステートコントロールによるウェイトを禁止	1	0	端子ウェイトモード1 (初期値)	1	1	端子オートウェイトモード	0	周辺モジュールへのクロックは分周しない (p=) (初期値)	1	周辺モジュールへのクロックを2分周する (p= /2)
—	—	CKDBL	—	WMS1	WMS0	WC1	WC0																															
0	0	WSCによるウェイトを禁止 (初期値)																																				
0	1	1ステート挿入																																				
1	0	2ステート挿入																																				
1	1	3ステート挿入																																				
0	0	プログラマブルウェイトモード																																				
0	1	ウェイトステートコントロールによるウェイトを禁止																																				
1	0	端子ウェイトモード1 (初期値)																																				
1	1	端子オートウェイトモード																																				
0	周辺モジュールへのクロックは分周しない (p=) (初期値)																																					
1	周辺モジュールへのクロックを2分周する (p= /2)																																					

STCR シリアルタイムコントロールレジスタ					H'C3			
ビット:	7	6	5	4	3	2	1	0
	RING	CMPF	CMPIE	LOAD	MARK	—	ICKS1	ICKS0
初期値:	0	0	0	1	1	1	0	0
R/W:	R/W	R/(W)*	R/W	(W)	(W)	—	R/W	R/W

インターナルクロックソースセレクト
TMR0、TMR1のTCRを参照してください。

ポインタマーク

0	RLARBにDTARBをコピーする
1	

ポインタロード

0	DTARBにRLARBをコピーする
1	

コンペアインタラプトイネーブル

0	CMPFによる割込み要求 (CMPI) を禁止 (初期値)
1	CMPFによる割込み要求 (CMPI) を許可

コンペアインタラプトフラグ

0	[クリア条件] CMPF=1の状態ですTCRをリードした後、CMPFに0をライトしたとき
1	リングバッファオーバーランエラー [セット条件] DTVサイクルの発生により、DTARBがインクリメントしてCPARBの内容と一致したとき

リングバッファモード

0	DTUチャンネルBをリングバッファモードとしない (初期値)
1	DTUチャンネルBをリングバッファモードとする

【注】 * フラグをクリアするための0ライトのみ可能です。

SYSOCR システムコントロールレジスタ					H'C4																																															
ビット:	7	6	5	4	3	2	1	0																																												
	SSBY	STS2	STS1	STS0	XRST	NMIEG	DPME	RAME																																												
初期値:	0	0	0	0	1	0	0	1																																												
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W																																												
<div style="display: flex; justify-content: space-between; align-items: flex-start;"> <div style="width: 60%;"> <p>RAMイネーブル</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>内蔵RAM無効</td></tr> <tr><td>1</td><td>内蔵RAM有効</td></tr> </table> <p>DPRAMモードイネーブル</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>本LSIをスレープモードにしない</td></tr> <tr><td>1</td><td>本LSIをスレープモードにする</td></tr> </table> <p>NMIエッジ</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>NMI入力の立ち下がりエッジで割込み要求を発生</td></tr> <tr><td>1</td><td>NMI入力の立ち上がりエッジで割込み要求を発生</td></tr> </table> <p>外部リセット</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>ウォッチドッグタイマオーバーフローによりLSIがリセット</td></tr> <tr><td>1</td><td>外部リセット端子によりLSIがリセット</td></tr> </table> <p>スタンバイタイムセレクト2~0</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>0</td><td>0</td><td>待機時間 = 8,192ステート</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>待機時間 = 16,384ステート</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>待機時間 = 32,768ステート</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>待機時間 = 65,536ステート</td></tr> <tr><td>1</td><td>0</td><td>—</td><td>待機時間 = 131,072ステート</td></tr> <tr><td>1</td><td>1</td><td>—</td><td>使用禁止</td></tr> </table> <p>ソフトウェアスタンバイ</p> <table border="1" style="margin-left: 20px;"> <tr><td>0</td><td>SLEEP命令実行後、スリープモードに遷移</td></tr> <tr><td>1</td><td>SLEEP命令実行後、ソフトウェアスタンバイモードに遷移</td></tr> </table> </div> <div style="width: 35%; text-align: center;"> </div> </div>									0	内蔵RAM無効	1	内蔵RAM有効	0	本LSIをスレープモードにしない	1	本LSIをスレープモードにする	0	NMI入力の立ち下がりエッジで割込み要求を発生	1	NMI入力の立ち上がりエッジで割込み要求を発生	0	ウォッチドッグタイマオーバーフローによりLSIがリセット	1	外部リセット端子によりLSIがリセット	0	0	0	待機時間 = 8,192ステート	0	0	1	待機時間 = 16,384ステート	0	1	0	待機時間 = 32,768ステート	0	1	1	待機時間 = 65,536ステート	1	0	—	待機時間 = 131,072ステート	1	1	—	使用禁止	0	SLEEP命令実行後、スリープモードに遷移	1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移
0	内蔵RAM無効																																																			
1	内蔵RAM有効																																																			
0	本LSIをスレープモードにしない																																																			
1	本LSIをスレープモードにする																																																			
0	NMI入力の立ち下がりエッジで割込み要求を発生																																																			
1	NMI入力の立ち上がりエッジで割込み要求を発生																																																			
0	ウォッチドッグタイマオーバーフローによりLSIがリセット																																																			
1	外部リセット端子によりLSIがリセット																																																			
0	0	0	待機時間 = 8,192ステート																																																	
0	0	1	待機時間 = 16,384ステート																																																	
0	1	0	待機時間 = 32,768ステート																																																	
0	1	1	待機時間 = 65,536ステート																																																	
1	0	—	待機時間 = 131,072ステート																																																	
1	1	—	使用禁止																																																	
0	SLEEP命令実行後、スリープモードに遷移																																																			
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移																																																			
MDCR モードコントロールレジスタ					H'C5																																															
ビット:	7	6	5	4	3	2	1	0																																												
	—	—	—	—	—	—	MDS1	MDS0																																												
初期値:	1	1	1	0	0	1	—*	—*																																												
R/W:	-	-	-	-	-	-	R	R																																												
<div style="display: flex; justify-content: space-between; align-items: center;"> <div style="width: 60%;"></div> <div style="width: 35%; text-align: center;"> </div> </div>																																																				
<p>【注】* モード端子 (MD₁、MD₀) により決定されます。</p>																																																				

ISCR IRQ センスコントロールレジスタ								H'C6	
ビット:		7	6	5	4	3	2	1	0
		IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:		0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								IRQ0 ~ IRQ7センスコントロール	
		0	IRQ ₀ ~ IRQ ₇ 入力のLowレベルで割込み要求を発生						
		1	IRQ ₀ ~ IRQ ₇ 入力の立ち下がりエッジで割込み要求を発生						
IER IRQ イネーブルレジスタ								H'C7	
ビット:		7	6	5	4	3	2	1	0
		IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:		0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
								IRQ0 ~ IRQ7イネーブル	
		0	IRQ ₀ ~ IRQ ₇ 割込みを禁止						
		1	IRQ ₀ ~ IRQ ₇ 割込みを許可						

TCR タイマコントロールレジスタ	H'C8	TMR0																																																																				
ビット： 7 6 5 4 3 2 1 0																																																																						
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:12.5%;">CMIEB</td> <td style="width:12.5%;">CMIEA</td> <td style="width:12.5%;">OVIE</td> <td style="width:12.5%;">CCLR1</td> <td style="width:12.5%;">CCLR0</td> <td style="width:12.5%;">CKS2</td> <td style="width:12.5%;">CKS1</td> <td style="width:12.5%;">CKS0</td> </tr> </table>			CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0																																																												
CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0																																																															
初期値： 0 0 0 0 0 0 0 0																																																																						
R/W： R/W R/W R/W R/W R/W R/W R/W																																																																						
クロックセレクト																																																																						
<table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">TCR</th> <th colspan="2">STCR</th> <th rowspan="3">説明</th> </tr> <tr> <th>ビット7</th> <th>ビット0</th> <th>ビット7</th> <th>ビット0</th> </tr> <tr> <th>CKS2</th> <th>CKS1</th> <th>CKS0</th> <th>CKS0</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>—</td> <td>クロック入力禁止 (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>—</td> <td>内部クロック： p/8立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>内部クロック： p/2立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>—</td> <td>内部クロック： p/64立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>内部クロック： p/32立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>—</td> <td>内部クロック： p/1024立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>内部クロック： p/256立ち下がりエッジ()でカウント</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>—</td> <td>クロック入力禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>—</td> <td>外部クロック：立ち上がりエッジ()でカウント</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>—</td> <td>外部クロック：立ち下がりエッジ()でカウント</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>—</td> <td>外部クロック：立ち上がり/立ち下がり(、) 両エッジでカウント</td> </tr> </tbody> </table>			TCR		STCR		説明	ビット7	ビット0	ビット7	ビット0	CKS2	CKS1	CKS0	CKS0	0	0	0	—	クロック入力禁止 (初期値)	0	0	1	—	内部クロック： p/8立ち下がりエッジ()でカウント	0	0	1	1	内部クロック： p/2立ち下がりエッジ()でカウント	0	1	0	—	内部クロック： p/64立ち下がりエッジ()でカウント	0	1	0	1	内部クロック： p/32立ち下がりエッジ()でカウント	0	1	1	—	内部クロック： p/1024立ち下がりエッジ()でカウント	0	1	1	1	内部クロック： p/256立ち下がりエッジ()でカウント	1	0	0	—	クロック入力禁止	1	0	1	—	外部クロック：立ち上がりエッジ()でカウント	1	1	0	—	外部クロック：立ち下がりエッジ()でカウント	1	1	1	—	外部クロック：立ち上がり/立ち下がり(、) 両エッジでカウント
TCR		STCR		説明																																																																		
ビット7	ビット0	ビット7	ビット0																																																																			
CKS2	CKS1	CKS0	CKS0																																																																			
0	0	0	—	クロック入力禁止 (初期値)																																																																		
0	0	1	—	内部クロック： p/8立ち下がりエッジ()でカウント																																																																		
0	0	1	1	内部クロック： p/2立ち下がりエッジ()でカウント																																																																		
0	1	0	—	内部クロック： p/64立ち下がりエッジ()でカウント																																																																		
0	1	0	1	内部クロック： p/32立ち下がりエッジ()でカウント																																																																		
0	1	1	—	内部クロック： p/1024立ち下がりエッジ()でカウント																																																																		
0	1	1	1	内部クロック： p/256立ち下がりエッジ()でカウント																																																																		
1	0	0	—	クロック入力禁止																																																																		
1	0	1	—	外部クロック：立ち上がりエッジ()でカウント																																																																		
1	1	0	—	外部クロック：立ち下がりエッジ()でカウント																																																																		
1	1	1	—	外部クロック：立ち上がり/立ち下がり(、) 両エッジでカウント																																																																		
カウンタクリア																																																																						
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:10%;">0</td> <td style="width:10%;">0</td> <td>クリア禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>コンペアマッチAによりクリア</td> </tr> <tr> <td>1</td> <td>0</td> <td>コンペアマッチBによりクリア</td> </tr> <tr> <td>1</td> <td>1</td> <td>外部リセット入力の立ち上がりエッジによりクリア</td> </tr> </table>			0	0	クリア禁止	0	1	コンペアマッチAによりクリア	1	0	コンペアマッチBによりクリア	1	1	外部リセット入力の立ち上がりエッジによりクリア																																																								
0	0	クリア禁止																																																																				
0	1	コンペアマッチAによりクリア																																																																				
1	0	コンペアマッチBによりクリア																																																																				
1	1	外部リセット入力の立ち上がりエッジによりクリア																																																																				
タイマオーバフローインタラプトイネーブル																																																																						
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:10%;">0</td> <td>OVFによる割込み要求を禁止</td> </tr> <tr> <td>1</td> <td>OVFによる割込み要求を許可</td> </tr> </table>			0	OVFによる割込み要求を禁止	1	OVFによる割込み要求を許可																																																																
0	OVFによる割込み要求を禁止																																																																					
1	OVFによる割込み要求を許可																																																																					
コンペアマッチインタラプトイネーブルA																																																																						
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:10%;">0</td> <td>CMFAによる割込み要求を禁止</td> </tr> <tr> <td>1</td> <td>CMFAによる割込み要求を許可</td> </tr> </table>			0	CMFAによる割込み要求を禁止	1	CMFAによる割込み要求を許可																																																																
0	CMFAによる割込み要求を禁止																																																																					
1	CMFAによる割込み要求を許可																																																																					
コンペアマッチインタラプトイネーブルB																																																																						
<table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:10%;">0</td> <td>CMFBによる割込み要求を禁止</td> </tr> <tr> <td>1</td> <td>CMFBによる割込み要求を許可</td> </tr> </table>			0	CMFBによる割込み要求を禁止	1	CMFBによる割込み要求を許可																																																																
0	CMFBによる割込み要求を禁止																																																																					
1	CMFBによる割込み要求を許可																																																																					

TCSR	タイマコントロール/ステータスレジスタ	H'C9	TMR0																																								
ビット: 7 6 5 4 3 2 1 0																																											
<table border="1" style="width: 100%; text-align: center;"> <tr> <td>CMFB</td> <td>CMFA</td> <td>OVF</td> <td>PWME</td> <td>OS3*1</td> <td>OS2*1</td> <td>OS1*1</td> <td>OS0*1</td> </tr> </table>				CMFB	CMFA	OVF	PWME	OS3*1	OS2*1	OS1*1	OS0*1																																
CMFB	CMFA	OVF	PWME	OS3*1	OS2*1	OS1*1	OS0*1																																				
初期値: 0 0 0 0 0 0 0 0																																											
R/W: R/(W)*2 R/(W)*2 R/(W)*2 R/W R/W R/W R/W R/W																																											
<p>— アウトプットセレクト</p> <table border="1" style="width: 100%;"> <tr> <td>0</td> <td>0</td> <td>コンペアマッチAで変化しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>コンペアマッチAで0出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>コンペアマッチAで1出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>コンペアマッチAごとに反転出力(トグル出力)</td> </tr> </table> <p>— アウトプットセレクト</p> <table border="1" style="width: 100%;"> <tr> <td>0</td> <td>0</td> <td>コンペアマッチBで変化しない</td> </tr> <tr> <td>0</td> <td>1</td> <td>コンペアマッチBで0出力</td> </tr> <tr> <td>1</td> <td>0</td> <td>コンペアマッチBで1出力</td> </tr> <tr> <td>1</td> <td>1</td> <td>コンペアマッチBごとに反転出力(トグル出力)</td> </tr> </table> <p>— PWMモードイネーブル</p> <table border="1" style="width: 100%;"> <tr> <td>0</td> <td>通常タイマモード</td> </tr> <tr> <td>1</td> <td>PWMモード</td> </tr> </table> <p>— タイマオーバーフローフラグ</p> <table border="1" style="width: 100%;"> <tr> <td>0</td> <td>〔クリア条件〕 OVF=1の状態でのOVFをリードした後、OVFIに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 TCNTがH' FF H' 00になったとき</td> </tr> </table> <p>— コンペアマッチフラグA</p> <table border="1" style="width: 100%;"> <tr> <td>0</td> <td>〔クリア条件〕 CMFA=1の状態でのCMFAをリードした後、CMFAIに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 TCNT=TCORAになったとき</td> </tr> </table> <p>— コンペアマッチフラグB</p> <table border="1" style="width: 100%;"> <tr> <td>0</td> <td>〔クリア条件〕 CMFB=1の状態でのCMFBをリードした後、CMFBIに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 TCNT=TCORBになったとき</td> </tr> </table>				0	0	コンペアマッチAで変化しない	0	1	コンペアマッチAで0出力	1	0	コンペアマッチAで1出力	1	1	コンペアマッチAごとに反転出力(トグル出力)	0	0	コンペアマッチBで変化しない	0	1	コンペアマッチBで0出力	1	0	コンペアマッチBで1出力	1	1	コンペアマッチBごとに反転出力(トグル出力)	0	通常タイマモード	1	PWMモード	0	〔クリア条件〕 OVF=1の状態でのOVFをリードした後、OVFIに0をライトしたとき	1	〔セット条件〕 TCNTがH' FF H' 00になったとき	0	〔クリア条件〕 CMFA=1の状態でのCMFAをリードした後、CMFAIに0をライトしたとき	1	〔セット条件〕 TCNT=TCORAになったとき	0	〔クリア条件〕 CMFB=1の状態でのCMFBをリードした後、CMFBIに0をライトしたとき	1	〔セット条件〕 TCNT=TCORBになったとき
0	0	コンペアマッチAで変化しない																																									
0	1	コンペアマッチAで0出力																																									
1	0	コンペアマッチAで1出力																																									
1	1	コンペアマッチAごとに反転出力(トグル出力)																																									
0	0	コンペアマッチBで変化しない																																									
0	1	コンペアマッチBで0出力																																									
1	0	コンペアマッチBで1出力																																									
1	1	コンペアマッチBごとに反転出力(トグル出力)																																									
0	通常タイマモード																																										
1	PWMモード																																										
0	〔クリア条件〕 OVF=1の状態でのOVFをリードした後、OVFIに0をライトしたとき																																										
1	〔セット条件〕 TCNTがH' FF H' 00になったとき																																										
0	〔クリア条件〕 CMFA=1の状態でのCMFAをリードした後、CMFAIに0をライトしたとき																																										
1	〔セット条件〕 TCNT=TCORAになったとき																																										
0	〔クリア条件〕 CMFB=1の状態でのCMFBをリードした後、CMFBIに0をライトしたとき																																										
1	〔セット条件〕 TCNT=TCORBになったとき																																										
<p>【注】*1 OS3~OS0がすべて0のとき、タイマ出力は禁止されます。 *2 フラグをクリアするための0ライトのみ可能です。</p>																																											

TCORA タイムコンスタントレジスタ	H'CA	TMR0								
ビット: 7 6 5 4 3 2 1 0 <table style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> </tr> </table> 初期値: 1 1 1 1 1 1 1 1 R/W: R/W R/W R/W R/W R/W R/W R/W R/W										
TCORA=TCNTでCMFAをセット										
TCORB タイムコンスタントレジスタ	H'CB	TMR0								
ビット: 7 6 5 4 3 2 1 0 <table style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> </tr> </table> 初期値: 1 1 1 1 1 1 1 1 R/W: R/W R/W R/W R/W R/W R/W R/W R/W										
TCORB=TCNTでCMFBをセット										
TCNT タイマカウンタ	H'CC	TMR0								
ビット: 7 6 5 4 3 2 1 0 <table style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> <td style="border: 1px solid black; width: 25px; height: 20px;"></td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W R/W										
カウント値										
NDER2 ネクストデータイネーブルレジスタ 2	H'CD	TPC								
ビット: 7 6 5 4 3 2 1 0 <table style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 25px; height: 20px;">NDER15</td> <td style="border: 1px solid black; width: 25px; height: 20px;">NDER14</td> <td style="border: 1px solid black; width: 25px; height: 20px;">NDER13</td> <td style="border: 1px solid black; width: 25px; height: 20px;">NDER12</td> <td style="border: 1px solid black; width: 25px; height: 20px;">NDER11</td> <td style="border: 1px solid black; width: 25px; height: 20px;">NDER10</td> <td style="border: 1px solid black; width: 25px; height: 20px;">NDER9</td> <td style="border: 1px solid black; width: 25px; height: 20px;">NDER8</td> </tr> </table> 初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W R/W			NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8			
ネクストデータイネーブル15~8										
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 20%;">ビット7~0</th> <th style="width: 80%;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">NDER15 - NDER8</td> <td></td> </tr> <tr> <td style="text-align: center;">0</td> <td>TPC出力TP₁₅~TP₈を禁止 (NDR15~NDR8からP₂₇~P₂₀へ転送禁止)</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力TP₁₅~TP₈を許可 (NDR15~NDR8からP₂₇~P₂₀へ転送許可)</td> </tr> </tbody> </table>			ビット7~0	説明	NDER15 - NDER8		0	TPC出力TP ₁₅ ~TP ₈ を禁止 (NDR15~NDR8からP ₂₇ ~P ₂₀ へ転送禁止)	1	TPC出力TP ₁₅ ~TP ₈ を許可 (NDR15~NDR8からP ₂₇ ~P ₂₀ へ転送許可)
ビット7~0	説明									
NDER15 - NDER8										
0	TPC出力TP ₁₅ ~TP ₈ を禁止 (NDR15~NDR8からP ₂₇ ~P ₂₀ へ転送禁止)									
1	TPC出力TP ₁₅ ~TP ₈ を許可 (NDR15~NDR8からP ₂₇ ~P ₂₀ へ転送許可)									

NDER1				ネクストデータインーブルレジスタ 1				H'D5				TPC																
ビット:		7		6		5		4		3		2		1		0												
		NDER7		NDER6		NDER5		NDER4		NDER3		NDER2		NDER1		NDER0												
初期値:		0		0		0		0		0		0		0		0												
R/W:		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W												
<p>ネクストデータインーブル7~0</p> <table border="1"> <thead> <tr> <th colspan="2">ビット7~0</th> <th rowspan="2">説明</th> </tr> <tr> <th colspan="2">NDER7~NDER0</th> </tr> </thead> <tbody> <tr> <td colspan="2">0</td> <td>TPC出力TP₇~TP₀を禁止 (NDR7~NDR0からP₁₇~P₁₀へ転送禁止)</td> </tr> <tr> <td colspan="2">1</td> <td>TPC出力TP₁₅~TP₈を許可 (NDR7~NDR0からP₁₇~P₁₀へ転送許可)</td> </tr> </tbody> </table>																		ビット7~0		説明	NDER7~NDER0		0		TPC出力TP ₇ ~TP ₀ を禁止 (NDR7~NDR0からP ₁₇ ~P ₁₀ へ転送禁止)	1		TPC出力TP ₁₅ ~TP ₈ を許可 (NDR7~NDR0からP ₁₇ ~P ₁₀ へ転送許可)
ビット7~0		説明																										
NDER7~NDER0																												
0		TPC出力TP ₇ ~TP ₀ を禁止 (NDR7~NDR0からP ₁₇ ~P ₁₀ へ転送禁止)																										
1		TPC出力TP ₁₅ ~TP ₈ を許可 (NDR7~NDR0からP ₁₇ ~P ₁₀ へ転送許可)																										

NDRB	ネクストデータレジスタ B	H'CE、H'D6	TPC																																
<p>TPC出力グループ2、3の出力トリガが同一の場合</p> <p>(1) アドレス：H'FFCE</p> <p>ビット：</p> <table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>NDR15</td><td>NDR14</td><td>NDR13</td><td>NDR12</td><td>NDR11</td><td>NDR10</td><td>NDR9</td><td>NDR8</td> </tr> <tr> <td>初期値：</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td> </tr> <tr> <td>R/W：</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> </table> <p style="text-align: center;"> TPC出力グループ3の出力データを格納 TPC出力グループ2の出力データを格納 </p>				7	6	5	4	3	2	1	0	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	初期値：	1	1	1	1	1	1	1	R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0																												
NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8																												
初期値：	1	1	1	1	1	1	1																												
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W																												
<p>(2) アドレス：H'FFD6</p> <p>ビット：</p> <table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> <tr> <td>初期値：</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td> </tr> <tr> <td>R/W：</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table>				7	6	5	4	3	2	1	0	—	—	—	—	—	—	—	—	初期値：	1	1	1	1	1	1	1	R/W：	—	—	—	—	—	—	—
7	6	5	4	3	2	1	0																												
—	—	—	—	—	—	—	—																												
初期値：	1	1	1	1	1	1	1																												
R/W：	—	—	—	—	—	—	—																												
<p>TPC出力グループ2、3の出力トリガが異なる場合</p> <p>(1) アドレス：H'FFCE</p> <p>ビット：</p> <table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>NDR15</td><td>NDR14</td><td>NDR13</td><td>NDR12</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> <tr> <td>初期値：</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td> </tr> <tr> <td>R/W：</td><td>R/W</td><td>R/W</td><td>R/W</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table> <p style="text-align: center;">TPC出力グループ3の出力データを格納</p>				7	6	5	4	3	2	1	0	NDR15	NDR14	NDR13	NDR12	—	—	—	—	初期値：	0	0	0	1	1	1	1	R/W：	R/W	R/W	R/W	—	—	—	—
7	6	5	4	3	2	1	0																												
NDR15	NDR14	NDR13	NDR12	—	—	—	—																												
初期値：	0	0	0	1	1	1	1																												
R/W：	R/W	R/W	R/W	—	—	—	—																												
<p>(2) アドレス：H'FFD6</p> <p>ビット：</p> <table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>NDR11</td><td>NDR10</td><td>NDR9</td><td>NDR8</td> </tr> <tr> <td>初期値：</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> <tr> <td>R/W：</td><td>—</td><td>—</td><td>—</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> </table> <p style="text-align: center;">TPC出力グループ2の出力データを格納</p>				7	6	5	4	3	2	1	0	—	—	—	—	NDR11	NDR10	NDR9	NDR8	初期値：	1	1	1	0	0	0	0	R/W：	—	—	—	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0																												
—	—	—	—	NDR11	NDR10	NDR9	NDR8																												
初期値：	1	1	1	0	0	0	0																												
R/W：	—	—	—	R/W	R/W	R/W	R/W																												

NDRA ネクストデータレジスタ A	H'CF、H'D7	TPC																
TPC出力グループ0、1の出力トリガが同一の場合																		
(1) アドレス：H'FFCF																		
ビット：	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>NDR7</td><td>NDR6</td><td>NDR5</td><td>NDR4</td><td>NDR3</td><td>NDR2</td><td>NDR1</td><td>NDR0</td> </tr> </table>	7	6	5	4	3	2	1	0	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
7	6	5	4	3	2	1	0											
NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0											
初期値：	<table border="1"> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	0	0	0	0	0	0	0	0									
0	0	0	0	0	0	0	0											
R/W：	<table border="1"> <tr> <td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> </table>	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W											
	TPC出力グループ1の 出力データを格納	TPC出力グループ0の 出力データを格納																
(2) アドレス：H'FFD7																		
ビット：	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table>	7	6	5	4	3	2	1	0	—	—	—	—	—	—	—	—	
7	6	5	4	3	2	1	0											
—	—	—	—	—	—	—	—											
初期値：	<table border="1"> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td> </tr> </table>	1	1	1	1	1	1	1	1									
1	1	1	1	1	1	1	1											
R/W：	<table border="1"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table>	—	—	—	—	—	—	—	—									
—	—	—	—	—	—	—	—											
TPC出力グループ0、1の出力トリガが異なる場合																		
(1) アドレス：H'FFCF																		
ビット：	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>NDR7</td><td>NDR6</td><td>NDR5</td><td>NDR4</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table>	7	6	5	4	3	2	1	0	NDR7	NDR6	NDR5	NDR4	—	—	—	—	
7	6	5	4	3	2	1	0											
NDR7	NDR6	NDR5	NDR4	—	—	—	—											
初期値：	<table border="1"> <tr> <td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td> </tr> </table>	0	0	0	0	1	1	1	1									
0	0	0	0	1	1	1	1											
R/W：	<table border="1"> <tr> <td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table>	R/W	R/W	R/W	R/W	—	—	—	—									
R/W	R/W	R/W	R/W	—	—	—	—											
	TPC出力グループ1の 出力データを格納																	
(2) アドレス：H'FFD7																		
ビット：	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>NDR3</td><td>NDR2</td><td>NDR1</td><td>NDR0</td> </tr> </table>	7	6	5	4	3	2	1	0	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
7	6	5	4	3	2	1	0											
—	—	—	—	NDR3	NDR2	NDR1	NDR0											
初期値：	<table border="1"> <tr> <td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td> </tr> </table>	1	1	1	1	0	0	0	0									
1	1	1	1	0	0	0	0											
R/W：	<table border="1"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td> </tr> </table>	—	—	—	—	R/W	R/W	R/W	R/W									
—	—	—	—	R/W	R/W	R/W	R/W											
		TPC出力グループ0の 出力データを格納																

TCR タイマコントロールレジスタ								H'D0	TMR1																																																																				
ビット: 7 6 5 4 3 2 1 0																																																																													
CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0																																																																						
初期値:	0	0	0	0	0	0	0																																																																						
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																						
								クロックセレクト																																																																					
								<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">TCR</th> <th colspan="2">STCR</th> <th rowspan="3">説明</th> </tr> <tr> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>ビット0</th> </tr> <tr> <th>CKS2</th> <th>CKS1</th> <th>CKS0</th> <th>CKS0</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>—</td> <td>クロック入力禁止 (初期値)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>内部クロック: p/8立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>内部クロック: p/2立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>内部クロック: p/64立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>内部クロック: p/128立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>内部クロック: p/1024立ち下がりエッジ()でカウント</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>内部クロック: p/2048立ち下がりエッジ()でカウント</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>—</td> <td>クロック入力禁止</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>—</td> <td>外部クロック: 立ち上がりエッジ()でカウント</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>—</td> <td>外部クロック: 立ち下がりエッジ()でカウント</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>—</td> <td>外部クロック: 立ち上がり / 立ち下がり(、) 両エッジでカウント</td> </tr> </tbody> </table>		TCR		STCR		説明	ビット2	ビット1	ビット0	ビット0	CKS2	CKS1	CKS0	CKS0	0	0	0	—	クロック入力禁止 (初期値)	0	0	1	0	内部クロック: p/8立ち下がりエッジ()でカウント	0	0	1	1	内部クロック: p/2立ち下がりエッジ()でカウント	0	1	0	0	内部クロック: p/64立ち下がりエッジ()でカウント	0	1	0	1	内部クロック: p/128立ち下がりエッジ()でカウント	0	1	1	0	内部クロック: p/1024立ち下がりエッジ()でカウント	0	1	1	1	内部クロック: p/2048立ち下がりエッジ()でカウント	1	0	0	—	クロック入力禁止	1	0	1	—	外部クロック: 立ち上がりエッジ()でカウント	1	1	0	—	外部クロック: 立ち下がりエッジ()でカウント	1	1	1	—	外部クロック: 立ち上がり / 立ち下がり(、) 両エッジでカウント
TCR		STCR		説明																																																																									
ビット2	ビット1	ビット0	ビット0																																																																										
CKS2	CKS1	CKS0	CKS0																																																																										
0	0	0	—	クロック入力禁止 (初期値)																																																																									
0	0	1	0	内部クロック: p/8立ち下がりエッジ()でカウント																																																																									
0	0	1	1	内部クロック: p/2立ち下がりエッジ()でカウント																																																																									
0	1	0	0	内部クロック: p/64立ち下がりエッジ()でカウント																																																																									
0	1	0	1	内部クロック: p/128立ち下がりエッジ()でカウント																																																																									
0	1	1	0	内部クロック: p/1024立ち下がりエッジ()でカウント																																																																									
0	1	1	1	内部クロック: p/2048立ち下がりエッジ()でカウント																																																																									
1	0	0	—	クロック入力禁止																																																																									
1	0	1	—	外部クロック: 立ち上がりエッジ()でカウント																																																																									
1	1	0	—	外部クロック: 立ち下がりエッジ()でカウント																																																																									
1	1	1	—	外部クロック: 立ち上がり / 立ち下がり(、) 両エッジでカウント																																																																									
								カウンタクリア																																																																					
								<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>0</td> <td>0</td> <td>クリア禁止</td> </tr> <tr> <td>0</td> <td>1</td> <td>コンペアマッチAによりクリア</td> </tr> <tr> <td>1</td> <td>0</td> <td>コンペアマッチBによりクリア</td> </tr> <tr> <td>1</td> <td>1</td> <td>外部リセット入力の立ち上がりエッジによりクリア</td> </tr> </tbody> </table>		0	0	クリア禁止	0	1	コンペアマッチAによりクリア	1	0	コンペアマッチBによりクリア	1	1	外部リセット入力の立ち上がりエッジによりクリア																																																								
0	0	クリア禁止																																																																											
0	1	コンペアマッチAによりクリア																																																																											
1	0	コンペアマッチBによりクリア																																																																											
1	1	外部リセット入力の立ち上がりエッジによりクリア																																																																											
								タイマオーバフローインタラプトイネーブル																																																																					
								<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>0</td> <td>OVFによる割込み要求を禁止</td> </tr> <tr> <td>1</td> <td>OVFによる割込み要求を許可</td> </tr> </tbody> </table>		0	OVFによる割込み要求を禁止	1	OVFによる割込み要求を許可																																																																
0	OVFによる割込み要求を禁止																																																																												
1	OVFによる割込み要求を許可																																																																												
								コンペアマッチインタラプトイネーブルA																																																																					
								<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>0</td> <td>CMFAによる割込み要求を禁止</td> </tr> <tr> <td>1</td> <td>CMFAによる割込み要求を許可</td> </tr> </tbody> </table>		0	CMFAによる割込み要求を禁止	1	CMFAによる割込み要求を許可																																																																
0	CMFAによる割込み要求を禁止																																																																												
1	CMFAによる割込み要求を許可																																																																												
								コンペアマッチインタラプトイネーブルB																																																																					
								<table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td>0</td> <td>CMFBによる割込み要求を禁止</td> </tr> <tr> <td>1</td> <td>CMFBによる割込み要求を許可</td> </tr> </tbody> </table>		0	CMFBによる割込み要求を禁止	1	CMFBによる割込み要求を許可																																																																
0	CMFBによる割込み要求を禁止																																																																												
1	CMFBによる割込み要求を許可																																																																												

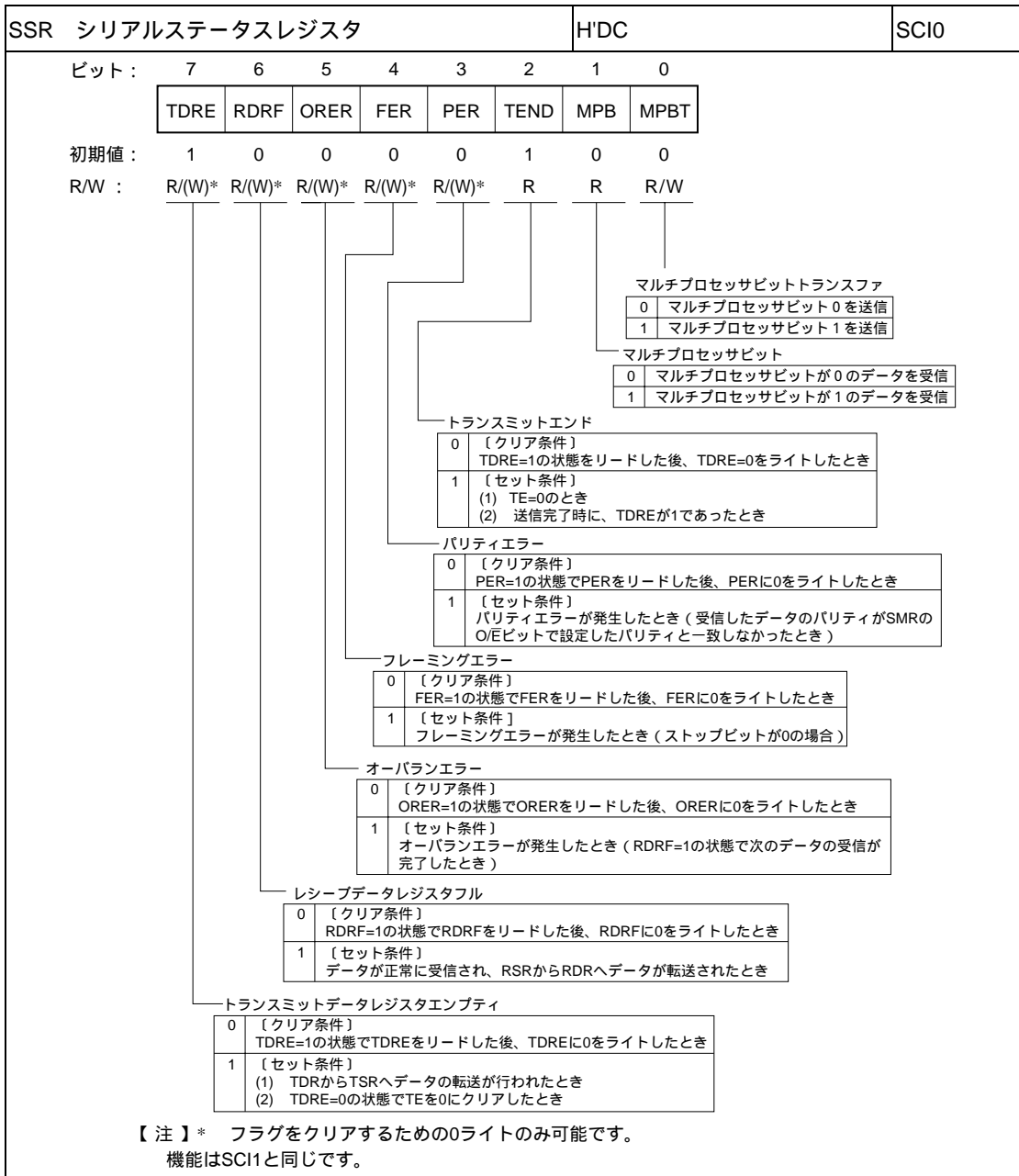
TCSR タイマコントロール/ステータスレジスタ	H'D1	TMR1								
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>CMFB</td> <td>CMFA</td> <td>OVF</td> <td>PWME</td> <td>OS3^{*1}</td> <td>OS2^{*1}</td> <td>OS1^{*1}</td> <td>OS0^{*1}</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R/(W)*2 R/(W)*2 R/(W)*2 R/W R/W R/W R/W R/W 機能はTMR0と同じです。 【注】*1 OS3～OS0がすべて0のとき、タイマ出力は禁止されます。 *2 フラグをクリアするための0ライトのみ可能です。			CMFB	CMFA	OVF	PWME	OS3 ^{*1}	OS2 ^{*1}	OS1 ^{*1}	OS0 ^{*1}
CMFB	CMFA	OVF	PWME	OS3 ^{*1}	OS2 ^{*1}	OS1 ^{*1}	OS0 ^{*1}			
TCORA タイムコンスタントレジスタ A	H'D2	TMR1								
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table> 初期値： 1 1 1 1 1 1 1 1 R/W： R/W R/W R/W R/W R/W R/W R/W R/W 機能はTMR0と同じです。										
TCORB タイムコンスタントレジスタ B	H'D3	TMR1								
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table> 初期値： 1 1 1 1 1 1 1 1 R/W： R/W R/W R/W R/W R/W R/W R/W R/W 機能はTMR0と同じです。										
TCNT タイマカウンタ	H'D4	TMR1								
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R/W R/W R/W R/W R/W R/W R/W R/W 機能はTMR0と同じです。										

SMR	シリアルモードレジスタ							H'D8	SCI0												
ビット:	7	6	5	4	3	2	1	0													
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0													
初期値:	0	0	0	0	0	0	0	0													
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W													
							クロックセレクト <table border="1"> <tr><td>0</td><td>0</td><td>クロック</td></tr> <tr><td>0</td><td>1</td><td>p / 4クロック</td></tr> <tr><td>1</td><td>0</td><td>p / 16クロック</td></tr> <tr><td>1</td><td>1</td><td>p / 64クロック</td></tr> </table>		0	0	クロック	0	1	p / 4クロック	1	0	p / 16クロック	1	1	p / 64クロック	
0	0	クロック																			
0	1	p / 4クロック																			
1	0	p / 16クロック																			
1	1	p / 64クロック																			
						マルチプロセッサモード <table border="1"> <tr><td>0</td><td>マルチプロセッサ機能の禁止</td></tr> <tr><td>1</td><td>マルチプロセッサフォーマットを選択</td></tr> </table>		0	マルチプロセッサ機能の禁止	1	マルチプロセッサフォーマットを選択										
0	マルチプロセッサ機能の禁止																				
1	マルチプロセッサフォーマットを選択																				
					ストップビットレングス <table border="1"> <tr><td>0</td><td>1ストップビット</td></tr> <tr><td>1</td><td>2ストップビット</td></tr> </table>		0	1ストップビット	1	2ストップビット											
0	1ストップビット																				
1	2ストップビット																				
			パリティモード <table border="1"> <tr><td>0</td><td>偶数パリティ</td></tr> <tr><td>1</td><td>奇数パリティ</td></tr> </table>		0	偶数パリティ	1	奇数パリティ													
0	偶数パリティ																				
1	奇数パリティ																				
		パリティイネーブル <table border="1"> <tr><td>0</td><td>送信時: パリティビットを付加しない 受信時: パリティビットのチェックを行わない</td></tr> <tr><td>1</td><td>送信時: パリティビットを付加する 受信時: パリティビットのチェックを行う</td></tr> </table>		0	送信時: パリティビットを付加しない 受信時: パリティビットのチェックを行わない	1	送信時: パリティビットを付加する 受信時: パリティビットのチェックを行う														
0	送信時: パリティビットを付加しない 受信時: パリティビットのチェックを行わない																				
1	送信時: パリティビットを付加する 受信時: パリティビットのチェックを行う																				
		キャラクタレングス <table border="1"> <tr><td>0</td><td>8ビットデータ</td></tr> <tr><td>1</td><td>7ビットデータ</td></tr> </table>		0	8ビットデータ	1	7ビットデータ														
0	8ビットデータ																				
1	7ビットデータ																				
		コミュニケーションモード <table border="1"> <tr><td>0</td><td>調歩同期式モード</td></tr> <tr><td>1</td><td>クロック同期式モード</td></tr> </table>		0	調歩同期式モード	1	クロック同期式モード														
0	調歩同期式モード																				
1	クロック同期式モード																				
機能はSCI1と同じです。																					

BRR	ビットレートレジスタ	H'D9	SCIO
ビット:	7 6 5 4 3 2 1 0		
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1 1 1 1 1 1 1 1		
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W		
機能はSCIと同じです。			

SCR	シリアルコントロールレジスタ	H'DA	SCIO																																
ビット:	7 6 5 4 3 2 1 0																																		
	TIE RIE TE RE MPIE TEIE CKE1 CKE0																																		
初期値:	0 0 0 0 0 0 0 0																																		
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W																																		
<p>クロックイネーブル0</p> <table border="1"> <tr><td>0</td><td>SCK端子を使用しない</td></tr> <tr><td>1</td><td>SCK端子を出力端子としてクロック出力</td></tr> </table> <p>クロックイネーブル1</p> <table border="1"> <tr><td>0</td><td>内部クロックを選択</td></tr> <tr><td>1</td><td>外部クロックを選択</td></tr> </table> <p>トランスミットエンドインタラプトイネーブル</p> <table border="1"> <tr><td>0</td><td>TSR エンプティ 割り込み要求(TEI)を禁止</td></tr> <tr><td>1</td><td>TSR エンプティ 割り込み要求(TEI)を許可</td></tr> </table> <p>マルチプロセッサインタラプトイネーブル</p> <table border="1"> <tr><td>0</td><td>マルチプロセッサ割り込み禁止</td></tr> <tr><td>1</td><td>マルチプロセッサ割り込み許可</td></tr> </table> <p>レシーブイネーブル</p> <table border="1"> <tr><td>0</td><td>受信動作を禁止</td></tr> <tr><td>1</td><td>受信可能状態</td></tr> </table> <p>トランスミットイネーブル</p> <table border="1"> <tr><td>0</td><td>送信動作を禁止</td></tr> <tr><td>1</td><td>送信可能状態</td></tr> </table> <p>レシーブインタラプトイネーブル</p> <table border="1"> <tr><td>0</td><td>受信完了割り込み要求、受信エラー割り込み要求を禁止</td></tr> <tr><td>1</td><td>受信完了割り込み要求、受信エラー割り込み要求を許可</td></tr> </table> <p>トランスミットインタラプトイネーブル</p> <table border="1"> <tr><td>0</td><td>TDR エンプティ 割り込み要求を禁止</td></tr> <tr><td>1</td><td>TDR エンプティ 割り込み要求を許可</td></tr> </table>				0	SCK端子を使用しない	1	SCK端子を出力端子としてクロック出力	0	内部クロックを選択	1	外部クロックを選択	0	TSR エンプティ 割り込み要求(TEI)を禁止	1	TSR エンプティ 割り込み要求(TEI)を許可	0	マルチプロセッサ割り込み禁止	1	マルチプロセッサ割り込み許可	0	受信動作を禁止	1	受信可能状態	0	送信動作を禁止	1	送信可能状態	0	受信完了割り込み要求、受信エラー割り込み要求を禁止	1	受信完了割り込み要求、受信エラー割り込み要求を許可	0	TDR エンプティ 割り込み要求を禁止	1	TDR エンプティ 割り込み要求を許可
0	SCK端子を使用しない																																		
1	SCK端子を出力端子としてクロック出力																																		
0	内部クロックを選択																																		
1	外部クロックを選択																																		
0	TSR エンプティ 割り込み要求(TEI)を禁止																																		
1	TSR エンプティ 割り込み要求(TEI)を許可																																		
0	マルチプロセッサ割り込み禁止																																		
1	マルチプロセッサ割り込み許可																																		
0	受信動作を禁止																																		
1	受信可能状態																																		
0	送信動作を禁止																																		
1	送信可能状態																																		
0	受信完了割り込み要求、受信エラー割り込み要求を禁止																																		
1	受信完了割り込み要求、受信エラー割り込み要求を許可																																		
0	TDR エンプティ 割り込み要求を禁止																																		
1	TDR エンプティ 割り込み要求を許可																																		
機能はSCI1と同じです。																																			

TDR	トランスミットデータレジスタ	H'DB	SCIO
ビット:	7 6 5 4 3 2 1 0		
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1 1 1 1 1 1 1 1		
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W		
機能はSCI1と同じです。			



RDR レシーブデータレジスタ	H'DD	SCI0																				
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 25px; height: 20px;"></td> <td style="width: 25px; height: 20px;"></td> <td style="width: 25px; height: 20px;"></td> <td style="width: 25px; height: 20px;"></td> <td style="width: 25px; height: 20px;"></td> <td style="width: 25px; height: 20px;"></td> <td style="width: 25px; height: 20px;"></td> <td style="width: 25px; height: 20px;"></td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R R R R R R R R 機能はSCI1と同じです。																						
SCMR シリアルコミュニケーションモードレジスタ	H'DE	SCI0																				
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">SDIR</td> <td style="width: 25px; height: 20px;">SINV</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">SMIF</td> </tr> </table> 初期値： 1 1 1 1 0 0 1 0 R/W： — — — — R/W R/W — R/W シリアルコミュニケーションモードセレクト <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;">0</td> <td>通常SCIモード (初期値)</td> </tr> <tr> <td>1</td> <td>リザーブモード</td> </tr> </table> データインバクト <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;">0</td> <td>TDRの内容をそのまま送信 (初期値) 受信データをそのままRDRに格納</td> </tr> <tr> <td>1</td> <td>TDRの内容を反転して送信 受信データを反転してRDRに格納</td> </tr> </table> データトランスファディレクション <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 20px;">0</td> <td>TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストとしてRDRに格納</td> </tr> <tr> <td>1</td> <td>TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納</td> </tr> </table>			—	—	—	—	SDIR	SINV	—	SMIF	0	通常SCIモード (初期値)	1	リザーブモード	0	TDRの内容をそのまま送信 (初期値) 受信データをそのままRDRに格納	1	TDRの内容を反転して送信 受信データを反転してRDRに格納	0	TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストとしてRDRに格納	1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納
—	—	—	—	SDIR	SINV	—	SMIF															
0	通常SCIモード (初期値)																					
1	リザーブモード																					
0	TDRの内容をそのまま送信 (初期値) 受信データをそのままRDRに格納																					
1	TDRの内容を反転して送信 受信データを反転してRDRに格納																					
0	TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストとしてRDRに格納																					
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納																					
ADDRA H、L A/D データレジスタ A H、L	H'E0、H'E1	A/D																				
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 25px; height: 20px;">AD9</td> <td style="width: 25px; height: 20px;">AD8</td> <td style="width: 25px; height: 20px;">AD7</td> <td style="width: 25px; height: 20px;">AD6</td> <td style="width: 25px; height: 20px;">AD5</td> <td style="width: 25px; height: 20px;">AD4</td> <td style="width: 25px; height: 20px;">AD3</td> <td style="width: 25px; height: 20px;">AD2</td> <td style="width: 25px; height: 20px;">AD1</td> <td style="width: 25px; height: 20px;">AD0</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">—</td> <td style="width: 25px; height: 20px;">—</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W： R R R R R R R R R R R R R R R R ADDR _{AH} ADDR _{AL} リザーブビット A/D変換データ A/D変換結果の10ビット データを格納			AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—				
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—							

ADDRB H、L A/D データレジスタ B H、L	H'E2、H'E3	A/D																
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W： R R R R R R R R R R R R R R R R <div style="display: flex; justify-content: space-around; margin-top: 5px;"> ADDRBH ADDRBL </div>			AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—			
A/D変換データ A/D変換結果の10ビット データを格納																		
リザーブビット																		
ADDRC H、L A/D データレジスタ C H、L	H'E4、H'E5	A/D																
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W： R R R R R R R R R R R R R R R R <div style="display: flex; justify-content: space-around; margin-top: 5px;"> ADDRCH ADDRCL </div>			AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—			
A/D変換データ A/D変換結果の10ビット データを格納																		
リザーブビット																		
ADDRD H、L A/D データレジスタ D H、L	H'E6、H'E7	A/D																
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 R/W： R R R R R R R R R R R R R R R R <div style="display: flex; justify-content: space-around; margin-top: 5px;"> ADDRDH ADDRDL </div>			AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—			
A/D変換データ A/D変換結果の10ビット データを格納																		
リザーブビット																		

ADCSR A/D コントロール / ステータスレジスタ						H'E8		A/D																																																																
ビット: 7 6 5 4 3 2 1 0																																																																								
ADF		ADIE		ADST		SCAN		CKS																																																																
CH2		CH1		CH0																																																																				
初期値: 0 0 0 0 0 0 0 0																																																																								
R/(W)*		R/W		R/W		R/W		R/W																																																																
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>チャンネルセレクト</p> <table border="1"> <thead> <tr> <th>グループ選択</th> <th colspan="2">チャンネル選択</th> <th colspan="2">説明</th> </tr> <tr> <th>CH2</th> <th>CH1</th> <th>CH0</th> <th>単一モード</th> <th>スキャンモード</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td>0</td> <td>0</td> <td>AN0</td> <td>AN0</td> </tr> <tr> <td>0</td> <td>1</td> <td>AN1</td> <td>AN0、AN1</td> </tr> <tr> <td>1</td> <td>0</td> <td>AN2</td> <td>AN0 ~ AN2</td> </tr> <tr> <td>1</td> <td>1</td> <td>AN3</td> <td>AN0 ~ AN3</td> </tr> <tr> <td rowspan="4">1</td> <td>0</td> <td>0</td> <td>AN4</td> <td>AN4</td> </tr> <tr> <td>0</td> <td>1</td> <td>AN5</td> <td>AN4、AN5</td> </tr> <tr> <td>1</td> <td>0</td> <td>AN6</td> <td>AN4 ~ AN6</td> </tr> <tr> <td>1</td> <td>1</td> <td>AN7</td> <td>AN4 ~ AN7</td> </tr> </tbody> </table> <p>クロックセレクト</p> <table border="1"> <tr> <td>0</td> <td>変換時間 = 266ステート (max)</td> </tr> <tr> <td>1</td> <td>変換時間 = 134ステート (max)</td> </tr> </table> <p>スキャンモード</p> <table border="1"> <tr> <td>0</td> <td>単一モード</td> </tr> <tr> <td>1</td> <td>スキャンモード</td> </tr> </table> <p>A/Dスタート</p> <table border="1"> <tr> <td>0</td> <td>A/D変換停止</td> </tr> <tr> <td>1</td> <td>(1) 単一モード A/D変換を開始し、変換が終了すると、自動的に0にクリア (2) スキャンモード A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネル内の変換を順次連続して行う</td> </tr> </table> <p>A/Dインタラプトイネーブル</p> <table border="1"> <tr> <td>0</td> <td>A/D変換終了による割り込み要求を禁止</td> </tr> <tr> <td>1</td> <td>A/D変換終了による割り込み要求を許可</td> </tr> </table> <p>A/Dエンドフラグ</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 ADF=1の状態ADFをリードした後、ADFに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 (1) 単一モード A/D変換が終了したとき (2) スキャンモード 設定されたすべてのチャンネルのA/D変換が終了したとき</td> </tr> </table> </div> </div>									グループ選択	チャンネル選択		説明		CH2	CH1	CH0	単一モード	スキャンモード	0	0	0	AN0	AN0	0	1	AN1	AN0、AN1	1	0	AN2	AN0 ~ AN2	1	1	AN3	AN0 ~ AN3	1	0	0	AN4	AN4	0	1	AN5	AN4、AN5	1	0	AN6	AN4 ~ AN6	1	1	AN7	AN4 ~ AN7	0	変換時間 = 266ステート (max)	1	変換時間 = 134ステート (max)	0	単一モード	1	スキャンモード	0	A/D変換停止	1	(1) 単一モード A/D変換を開始し、変換が終了すると、自動的に0にクリア (2) スキャンモード A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネル内の変換を順次連続して行う	0	A/D変換終了による割り込み要求を禁止	1	A/D変換終了による割り込み要求を許可	0	〔クリア条件〕 ADF=1の状態ADFをリードした後、ADFに0をライトしたとき	1	〔セット条件〕 (1) 単一モード A/D変換が終了したとき (2) スキャンモード 設定されたすべてのチャンネルのA/D変換が終了したとき
グループ選択	チャンネル選択		説明																																																																					
CH2	CH1	CH0	単一モード	スキャンモード																																																																				
0	0	0	AN0	AN0																																																																				
	0	1	AN1	AN0、AN1																																																																				
	1	0	AN2	AN0 ~ AN2																																																																				
	1	1	AN3	AN0 ~ AN3																																																																				
1	0	0	AN4	AN4																																																																				
	0	1	AN5	AN4、AN5																																																																				
	1	0	AN6	AN4 ~ AN6																																																																				
	1	1	AN7	AN4 ~ AN7																																																																				
0	変換時間 = 266ステート (max)																																																																							
1	変換時間 = 134ステート (max)																																																																							
0	単一モード																																																																							
1	スキャンモード																																																																							
0	A/D変換停止																																																																							
1	(1) 単一モード A/D変換を開始し、変換が終了すると、自動的に0にクリア (2) スキャンモード A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネル内の変換を順次連続して行う																																																																							
0	A/D変換終了による割り込み要求を禁止																																																																							
1	A/D変換終了による割り込み要求を許可																																																																							
0	〔クリア条件〕 ADF=1の状態ADFをリードした後、ADFに0をライトしたとき																																																																							
1	〔セット条件〕 (1) 単一モード A/D変換が終了したとき (2) スキャンモード 設定されたすべてのチャンネルのA/D変換が終了したとき																																																																							
【注】* フラグをクリアするための0ライトのみ可能です。																																																																								

ADCR A/D コントロールレジスタ					H'E9			A/D
ビット:	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	—	—	—	—	—	—	—
トリガイネーブル								
	0	外部トリガ入力によるA/D変換の開始を禁止						
	1	外部トリガ端子 (ADTRG) の立ち上がりでA/D変換を開始 (外部トリガ入力、およびソフトウェアによるA/D変換の開始が可能)						

TPMR TPC 出力モードレジスタ					H'EA			TPC
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

グループ0 ノンオーバーラップ

0	TPC出力グループ0は通常動作 選択されたFRTのコンペアマッチで出力値を更新 (初期値)
1	TPC出力グループ0は、選択されたFRTの コンペアマッチA、Bによりノンオーバーラップ動作

グループ1 ノンオーバーラップ

0	TPC出力グループ1は通常動作 選択されたFRTのコンペアマッチで出力値を更新 (初期値)
1	TPC出力グループ1は、選択されたFRTの コンペアマッチA、Bによりノンオーバーラップ動作

グループ2 ノンオーバーラップ

0	TPC出力グループ2は通常動作 選択されたFRTのコンペアマッチで出力値を更新 (初期値)
1	TPC出力グループ2は、選択されたFRTの コンペアマッチA、Bによりノンオーバーラップ動作

グループ3 ノンオーバーラップ

0	TPC出力グループ3は通常動作 選択されたFRTのコンペアマッチで出力値を更新 (初期値)
1	TPC出力グループ3は、選択されたFRTの コンペアマッチA、Bによりノンオーバーラップ動作

TPCR TPC 出力コントロールレジスタ								H'EB		TPC																																																																
ビット:	7	6	5	4	3	2	1	0																																																																		
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0																																																																		
初期値:	1	1	1	1	1	1	1	1																																																																		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																		
<p>グループ0コンペアマッチセレクト1、0</p> <table border="1"> <thead> <tr> <th>ビット1</th> <th>ビット0</th> <th>出力トリガとなるFRTのチャンネル選択</th> </tr> <tr> <th>G0CMS1</th> <th>G0CMS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>TPC出力グループ0 (TP₃ ~ TP₀端子) の出力トリガは FRT1のコンペアマッチA</td> </tr> <tr> <td>1</td> <td>TPC出力グループ0 (TP₃ ~ TP₀端子) の出力トリガは FRT0のコンペアマッチA</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>TPC出力グループ0 (TP₃ ~ TP₀端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)</td> </tr> <tr> <td>1</td> <td>TPC出力グループ0 (TP₃ ~ TP₀端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)</td> </tr> </tbody> </table> <p>グループ1コンペアマッチセレクト1、0</p> <table border="1"> <thead> <tr> <th>ビット3</th> <th>ビット2</th> <th>出力トリガとなるFRTのチャンネル選択</th> </tr> <tr> <th>G1CMS1</th> <th>G1CMS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>TPC出力グループ1 (TP₇ ~ TP₄端子) の出力トリガは FRT1のコンペアマッチA</td> </tr> <tr> <td>1</td> <td>TPC出力グループ1 (TP₇ ~ TP₄端子) の出力トリガは FRT0のコンペアマッチA</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>TPC出力グループ1 (TP₇ ~ TP₄端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)</td> </tr> <tr> <td>1</td> <td>TPC出力グループ1 (TP₇ ~ TP₄端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)</td> </tr> </tbody> </table> <p>グループ2コンペアマッチセレクト1、0</p> <table border="1"> <thead> <tr> <th>ビット5</th> <th>ビット4</th> <th>出力トリガとなるFRTのチャンネル選択</th> </tr> <tr> <th>G2CMS1</th> <th>G2CMS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>TPC出力グループ2 (TP₁₁ ~ TP₈端子) の出力トリガは FRT1のコンペアマッチA</td> </tr> <tr> <td>1</td> <td>TPC出力グループ2 (TP₁₁ ~ TP₈端子) の出力トリガは FRT0のコンペアマッチA</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>TPC出力グループ2 (TP₁₁ ~ TP₈端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)</td> </tr> <tr> <td>1</td> <td>TPC出力グループ2 (TP₁₁ ~ TP₈端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)</td> </tr> </tbody> </table> <p>グループ3コンペアマッチセレクト1、0</p> <table border="1"> <thead> <tr> <th>ビット7</th> <th>ビット6</th> <th>出力トリガとなるFRTのチャンネル選択</th> </tr> <tr> <th>G3CMS1</th> <th>G3CMS0</th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="2">0</td> <td>0</td> <td>TPC出力グループ3 (TP₁₅ ~ TP₁₂端子) の出力トリガは FRT1のコンペアマッチA</td> </tr> <tr> <td>1</td> <td>TPC出力グループ3 (TP₁₅ ~ TP₁₂端子) の出力トリガは FRT0のコンペアマッチA</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>TPC出力グループ3 (TP₁₅ ~ TP₁₂端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)</td> </tr> <tr> <td>1</td> <td>TPC出力グループ3 (TP₁₅ ~ TP₁₂端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)</td> </tr> </tbody> </table>											ビット1	ビット0	出力トリガとなるFRTのチャンネル選択	G0CMS1	G0CMS0		0	0	TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは FRT1のコンペアマッチA	1	TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは FRT0のコンペアマッチA	1	0	TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)	1	TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)	ビット3	ビット2	出力トリガとなるFRTのチャンネル選択	G1CMS1	G1CMS0		0	0	TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは FRT1のコンペアマッチA	1	TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは FRT0のコンペアマッチA	1	0	TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)	1	TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)	ビット5	ビット4	出力トリガとなるFRTのチャンネル選択	G2CMS1	G2CMS0		0	0	TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは FRT1のコンペアマッチA	1	TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは FRT0のコンペアマッチA	1	0	TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)	1	TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)	ビット7	ビット6	出力トリガとなるFRTのチャンネル選択	G3CMS1	G3CMS0		0	0	TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは FRT1のコンペアマッチA	1	TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは FRT0のコンペアマッチA	1	0	TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)	1	TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)
ビット1	ビット0	出力トリガとなるFRTのチャンネル選択																																																																								
G0CMS1	G0CMS0																																																																									
0	0	TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは FRT1のコンペアマッチA																																																																								
	1	TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは FRT0のコンペアマッチA																																																																								
1	0	TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)																																																																								
	1	TPC出力グループ0 (TP ₃ ~ TP ₀ 端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)																																																																								
ビット3	ビット2	出力トリガとなるFRTのチャンネル選択																																																																								
G1CMS1	G1CMS0																																																																									
0	0	TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは FRT1のコンペアマッチA																																																																								
	1	TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは FRT0のコンペアマッチA																																																																								
1	0	TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)																																																																								
	1	TPC出力グループ1 (TP ₇ ~ TP ₄ 端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)																																																																								
ビット5	ビット4	出力トリガとなるFRTのチャンネル選択																																																																								
G2CMS1	G2CMS0																																																																									
0	0	TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは FRT1のコンペアマッチA																																																																								
	1	TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは FRT0のコンペアマッチA																																																																								
1	0	TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)																																																																								
	1	TPC出力グループ2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)																																																																								
ビット7	ビット6	出力トリガとなるFRTのチャンネル選択																																																																								
G3CMS1	G3CMS0																																																																									
0	0	TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは FRT1のコンペアマッチA																																																																								
	1	TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは FRT0のコンペアマッチA																																																																								
1	0	TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは FRT1のコンペアマッチB (ノンオーバーラップ動作可能)																																																																								
	1	TPC出力グループ3 (TP ₁₅ ~ TP ₁₂ 端子) の出力トリガは FRT0のコンペアマッチB (ノンオーバーラップ動作可能) (初期値)																																																																								

PCCSR パラレルコミュニケーションコントロールス データレジスタ		H'F0 (マスタから 000* ¹)				DTU		
ビット:	7	6	5	4	3	2	1	0
	QREF	EWRQ	EWAKAR	ERAKAR	MWEF	MREF	EMWI	EMRI
初期値:	0	0	0	0	0	1	0	0
R/W:								
内部CPU:	R	R	R	R	R/(W)	R/(W)	R/W	R/W
マスタCPU:	R	R/W	R/W	R/W	R	R	R	R

イネーブルマスタリードインタラプト

0	MREFによる割込み要求 (MREI) を禁止 (初期値)
1	MREFによる割込み要求 (MREI) を許可

イネーブルマスタライトインタラプト

0	MWEFによる割込み要求 (MWEI) を禁止 (初期値)
1	MWEFによる割込み要求 (MWEI) を許可

マスタリードエンドフラグ*²

マスタライトエンドフラグ*²

イネーブルリードアクリッジアンドリクエスト*²
(RDY端子のマスタリードによる動作を許可)

イネーブルライトアクリッジアンドリクエスト*²
(RDY端子のマスタライトによる動作を許可)

イネーブルウェイトリクエスト*²
(WRQ端子の動作を許可)

キューリリードエンドフラグ

0	DPDRRQの内容はデータ (初期値) [クリア条件] DTUが、内蔵RAMのデータをDPDRRQにライトしたとき
1	DPDRRQの内蔵RAMアドレスの下位ビット [セット条件] マスタCPUがDPDRRQに内蔵RAMの下位バイトをライトしたとき

【注】 *¹ マスタCPUからPBIのレジスタを選択するためのレジスタのセレクト入力RS₂ ~ RS₀の値です。
*² 詳細は「第5章 データトランスファユニット」を参照してください。

DPDRRQ DPRAM データレジスタリード Q	- (マスタから 001)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—																
R/W：																		
内部CPU：	W*	W*																
マスタCPU：	R/W	R/W																
内蔵RAMアドレスの下位8ビット および内蔵RAMデータ用レジスタ 【注】 * DTUにより、自動的に内蔵RAMから転送されます。																		
RLARA リロードアドレスレジスタ A	H'F2 (マスタから -)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—																
R/W：	R/W	R/W																
パウダリオーパフロー時のDTARA初期化データ																		
RLARB リロードアドレスレジスタ B	H'F3 (マスタから -)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—																
R/W：	R/W	R/W																
パウダリオーパフロー時のDTARB初期化データ およびリングバッファモード用補助ポインタ																		
CPARB コンペアレジスタ B	H'F4 (マスタから -)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—																
R/W：	R/W	R/W																
リングバッファモード用補助データ																		
DTARH データトランスファアドレスレジスタ H	H'F5 (マスタから -)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td></tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—																
R/W：	R/W	R/W																
内蔵RAMのアドレスの上位8ビットを指定																		

IOCR I/O コントロールレジスタ					H'F1 (マスタから -)			DTU																																																																		
ビット:	7	6	5	4	3	2	1	0																																																																		
	HSCE	DPEA	DPEB	REPA	RPEB	RPEC	—	—																																																																		
初期値:	0	0	0	0	0	0	1	1																																																																		
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	—																																																																		
			DPRAMイネーブル		リピートイネーブル																																																																					
			0 I/O転送または、ダイレクトワードモード (初期値)		0 ノーマルモードで転送 (初期値)																																																																					
			1 ハンドシェークモード		1 リピートモードで転送																																																																					
			パラレルハンドシェークイネーブル																																																																							
			0 DPRAMモード (初期値)																																																																							
			1 ハンドシェークモード																																																																							
<p>【注】 DPME、HSCE、DPEAおよびDPEBの組み合わせで次のようになります。</p> <p>DTU / PBIモジュール動作モード</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>DPME</th> <th>ビット7 HSCE</th> <th>ビット6 DPEA</th> <th>ビット5 DPEB</th> <th>ハンド シェーク モード</th> <th>キュアリバッファ 動作 (DTUチャンネルR)</th> <th>バウンドバッファ モード (DTUチャンネルA)</th> <th>バウンドバッファ モード (DTUチャンネルB)</th> <th>ダイレクト ワードモード (DPDRRH,L)</th> <th>ダイレクト ワードモード (DPRWH,L)</th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">—</td> <td style="text-align: center;">—</td> <td style="text-align: center;">○</td> <td style="text-align: center;">x</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">ハンドシェーク</td> <td style="text-align: center;">ハンドシェーク</td> </tr> <tr> <td rowspan="3" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">x</td> <td style="text-align: center;">○ (リード)</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">○ (リード)</td> <td style="text-align: center;">○ (ライト)</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">x</td> <td style="text-align: center;">○ (リード)</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">○ (リード)</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">バウンドバッファ</td> <td style="text-align: center;">○ (ライト)</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">x</td> <td style="text-align: center;">○ (リード)</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">○ (ライト)</td> <td style="text-align: center;">○ (リード)</td> <td style="text-align: center;">バウンドバッファ</td> <td style="text-align: center;">バウンドバッファ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">x</td> <td style="text-align: center;">○ (リード)</td> <td style="text-align: center;">○ (リード)</td> <td style="text-align: center;">○ (ライト)</td> <td style="text-align: center;">バウンドバッファ</td> <td style="text-align: center;">バウンドバッファ</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">—</td> <td style="text-align: center;">—</td> <td style="text-align: center;">—</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">I/O転送</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> </tr> </tbody> </table> <p>【注】 I/O転送を行うときはDTCRA、B、CのDTEのビットを1にセットしてください。 ハンドシェークモードでの動作は、シングルチップモード時のみ可能です。拡張モード時には、 HSCEビットを1にセットしないでください。</p>									DPME	ビット7 HSCE	ビット6 DPEA	ビット5 DPEB	ハンド シェーク モード	キュアリバッファ 動作 (DTUチャンネルR)	バウンドバッファ モード (DTUチャンネルA)	バウンドバッファ モード (DTUチャンネルB)	ダイレクト ワードモード (DPDRRH,L)	ダイレクト ワードモード (DPRWH,L)	1	1	—	—	○	x	I/O転送	I/O転送	ハンドシェーク	ハンドシェーク	0	0	0	x	○ (リード)	I/O転送	I/O転送	○ (リード)	○ (ライト)	1	0	x	○ (リード)	I/O転送	○ (リード)	I/O転送	バウンドバッファ	○ (ライト)	0	1	x	○ (リード)	I/O転送	○ (ライト)	○ (リード)	バウンドバッファ	バウンドバッファ	1	1	1	x	○ (リード)	○ (リード)	○ (ライト)	バウンドバッファ	バウンドバッファ	0	—	—	—	x	x	I/O転送	I/O転送	x	x
DPME	ビット7 HSCE	ビット6 DPEA	ビット5 DPEB	ハンド シェーク モード	キュアリバッファ 動作 (DTUチャンネルR)	バウンドバッファ モード (DTUチャンネルA)	バウンドバッファ モード (DTUチャンネルB)	ダイレクト ワードモード (DPDRRH,L)	ダイレクト ワードモード (DPRWH,L)																																																																	
1	1	—	—	○	x	I/O転送	I/O転送	ハンドシェーク	ハンドシェーク																																																																	
	0	0	0	x	○ (リード)	I/O転送	I/O転送	○ (リード)	○ (ライト)																																																																	
		1	0	x	○ (リード)	I/O転送	○ (リード)	I/O転送	バウンドバッファ	○ (ライト)																																																																
		0	1	x	○ (リード)	I/O転送	○ (ライト)	○ (リード)	バウンドバッファ	バウンドバッファ																																																																
1	1	1	x	○ (リード)	○ (リード)	○ (ライト)	バウンドバッファ	バウンドバッファ																																																																		
0	—	—	—	x	x	I/O転送	I/O転送	x	x																																																																	

DTCRA データトランスファコントロールレジスタ A				H'F6 (マスタから 010)				DTU
ビット:	7	6	5	4	3	2	1	0
	DTE	DTIE	BUD2	BUD1	BUD0	SOS2	SOS1	SOS0
初期値:	0	0	0	0	0	0	0	0
R/W:								
I/O転送:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
バウンドバッファモード								
内部CPU:	0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
マスタCPU:	0	R	R	R	R	R	R	R
ソースセレクト								
SOS2	SOS1	SOS0	割込み要因	モジュール	転送		要因クリア	
0	0	1	RX10	SCI0	RDR	RAM (バイト)	○	
0	1	0	TX10	SCI0	RAM	TDR (バイト)	○	
0	1	1	AD1	A/D	ADDRA	RAM (ワード)	○	
1	0	0	OCIA1	FRT1	RAM	OCRA (ワード)	○	
1	0	1	OCIA1	FRT1	RAM	OCRA (ワード)	x	
1	1	0	OCIB1	FRT1	RAM	OCRB (ワード)	x	
1	1	1	—	—	リザーブ	—		
バウンダリ								
BUD2	BUD1	BUD0	DTARAオーバフロータイミング		最大転送バイト数			
0	0	0	1バイトの転送終了ごと (初期値)		1			
0	0	1	bit 0 1の桁上がり		2			
0	1	0	bit 1 2の桁上がり		4			
0	1	1	bit 2 3の桁上がり		8			
1	0	0	bit 3 4の桁上がり		16			
1	0	1	bit 4 5の桁上がり		32			
1	1	0	bit 5 6の桁上がり		64			
1	1	1	bit 6 7の桁上がり		128			
データトランスファインタラプトイネーブル								
0	DTEビットの0クリアによる割込み要求 (DTIA) を禁止 (初期値)							
1	DTEビットの0クリアによる割込み要求 (DTIA) を許可							
データトランスファイネーブル								
0	I/O転送が停止中 (初期値) [クリア条件] (1) DTEに0をライトしたとき (2) ノーマルモードで、バウンダリまでの転送が終了したとき							
1	I/O転送が動作中 [セット条件] DTE=0の状態、DTCRAをリードした後、DTEに1をライトしたとき							
【注】 0: 必ず0がリードされます。								

DTARA データトランスファアドレスレジスタ A	H'F7 (マスタから 011)								DTU
ビット:	7	6	5	4	3	2	1	0	
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	
初期値:	—	—	—	—	—	—	—	—	
R/W:									
I/O転送	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
バウンドバッファモード									
内部CPU:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
マスタCPU:	R	R	R	R	R	R	R	R	R
<div style="display: flex; justify-content: center; align-items: center; gap: 10px;"> <div style="border-top: 1px solid black; width: 100%;"></div> <div style="text-align: center;">↓</div> </div> 内蔵RAMアドレスの下位8ビットを指定									

DTCRB データトランスファコントロールレジスタ B	H'F8 (マスタから 010)							DTU																																																																																																													
ビット:	7	6	5	4	3	2	1	0																																																																																																													
	DTE	DTIE	BUD2	BUD1	BUD0	SOS2	SOS1	SOS0																																																																																																													
初期値:	0	0	0	0	0	0	0	0																																																																																																													
R/W:																																																																																																																					
I/O転送	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																																																													
バウンドバッファモード																																																																																																																					
内部CPU:	0	0	R	R	R	0	0	0																																																																																																													
マスタCPU:	—	—	W	W	W	—	—	—																																																																																																													
<p>ソースセレクト</p> <table border="1"> <thead> <tr> <th>SOS2</th> <th>SOS1</th> <th>SOS0</th> <th>割込み要因</th> <th>モジュール</th> <th>転送</th> <th>要因クリア</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>RXIO</td> <td>SCI0</td> <td>RDR RAM (バイト)</td> <td>○</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>TXIO</td> <td>SCI0</td> <td>RAM TDR (バイト)</td> <td>○</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>ADI</td> <td>A/D</td> <td>ADDRA RAM (ワード)</td> <td>○</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>OCIA1</td> <td>TPC</td> <td>RAM NDRB (ワード)</td> <td>○</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>OCIA1</td> <td>TPC</td> <td>RAM NDRA (バイト)</td> <td>○</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>OCIA1</td> <td>FRT1</td> <td>RAM OCRA (ワード)</td> <td>○</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>OCIA1</td> <td>FRT1</td> <td>RAM OCRA (ワード)</td> <td>×</td> </tr> </tbody> </table> <p>バウンダリ</p> <table border="1"> <thead> <tr> <th>BUD2</th> <th>BUD1</th> <th>BUD0</th> <th>DTARBオーバフロータイミング</th> <th>最大転送バイト数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1バイトの転送終了ごと (初期値)</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>bit 0 1の桁上がり</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>bit 1 2の桁上がり</td> <td>4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>bit 2 3の桁上がり</td> <td>8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>bit 3 4の桁上がり</td> <td>16</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>bit 4 5の桁上がり</td> <td>32</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>bit 5 6の桁上がり</td> <td>64</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>bit 6 7の桁上がり</td> <td>128</td> </tr> </tbody> </table> <p>データトランスファインタラプトイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>DTEビットの0クリアによる割込み要求 (DTIB) を禁止 (初期値)</td> </tr> <tr> <td>1</td> <td>DTEビットの0クリアによる割込み要求 (DTIB) を許可</td> </tr> </tbody> </table> <p>データトランスファイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>I/O転送が停止中 (初期値) [クリア条件] (1) DTEに0をライトしたとき (2) ノーマルモードで、バウンダリまでの転送が終了したとき</td> </tr> <tr> <td>1</td> <td>I/O転送が動作中 [セット条件] DTE=0の状態、DTCRBをリードした後、DTEに1をライトしたとき</td> </tr> </tbody> </table> <p>【注】 —: 使用しません。ライトは無効です。 0: 必ず0がリードされます。</p>									SOS2	SOS1	SOS0	割込み要因	モジュール	転送	要因クリア	0	0	1	RXIO	SCI0	RDR RAM (バイト)	○	0	1	0	TXIO	SCI0	RAM TDR (バイト)	○	0	1	1	ADI	A/D	ADDRA RAM (ワード)	○	1	0	0	OCIA1	TPC	RAM NDRB (ワード)	○	1	0	1	OCIA1	TPC	RAM NDRA (バイト)	○	1	1	0	OCIA1	FRT1	RAM OCRA (ワード)	○	1	1	1	OCIA1	FRT1	RAM OCRA (ワード)	×	BUD2	BUD1	BUD0	DTARBオーバフロータイミング	最大転送バイト数	0	0	0	1バイトの転送終了ごと (初期値)	1	0	0	1	bit 0 1の桁上がり	2	0	1	0	bit 1 2の桁上がり	4	0	1	1	bit 2 3の桁上がり	8	1	0	0	bit 3 4の桁上がり	16	1	0	1	bit 4 5の桁上がり	32	1	1	0	bit 5 6の桁上がり	64	1	1	1	bit 6 7の桁上がり	128	0	DTEビットの0クリアによる割込み要求 (DTIB) を禁止 (初期値)	1	DTEビットの0クリアによる割込み要求 (DTIB) を許可	0	I/O転送が停止中 (初期値) [クリア条件] (1) DTEに0をライトしたとき (2) ノーマルモードで、バウンダリまでの転送が終了したとき	1	I/O転送が動作中 [セット条件] DTE=0の状態、DTCRBをリードした後、DTEに1をライトしたとき
SOS2	SOS1	SOS0	割込み要因	モジュール	転送	要因クリア																																																																																																															
0	0	1	RXIO	SCI0	RDR RAM (バイト)	○																																																																																																															
0	1	0	TXIO	SCI0	RAM TDR (バイト)	○																																																																																																															
0	1	1	ADI	A/D	ADDRA RAM (ワード)	○																																																																																																															
1	0	0	OCIA1	TPC	RAM NDRB (ワード)	○																																																																																																															
1	0	1	OCIA1	TPC	RAM NDRA (バイト)	○																																																																																																															
1	1	0	OCIA1	FRT1	RAM OCRA (ワード)	○																																																																																																															
1	1	1	OCIA1	FRT1	RAM OCRA (ワード)	×																																																																																																															
BUD2	BUD1	BUD0	DTARBオーバフロータイミング	最大転送バイト数																																																																																																																	
0	0	0	1バイトの転送終了ごと (初期値)	1																																																																																																																	
0	0	1	bit 0 1の桁上がり	2																																																																																																																	
0	1	0	bit 1 2の桁上がり	4																																																																																																																	
0	1	1	bit 2 3の桁上がり	8																																																																																																																	
1	0	0	bit 3 4の桁上がり	16																																																																																																																	
1	0	1	bit 4 5の桁上がり	32																																																																																																																	
1	1	0	bit 5 6の桁上がり	64																																																																																																																	
1	1	1	bit 6 7の桁上がり	128																																																																																																																	
0	DTEビットの0クリアによる割込み要求 (DTIB) を禁止 (初期値)																																																																																																																				
1	DTEビットの0クリアによる割込み要求 (DTIB) を許可																																																																																																																				
0	I/O転送が停止中 (初期値) [クリア条件] (1) DTEに0をライトしたとき (2) ノーマルモードで、バウンダリまでの転送が終了したとき																																																																																																																				
1	I/O転送が動作中 [セット条件] DTE=0の状態、DTCRBをリードした後、DTEに1をライトしたとき																																																																																																																				

DTARB データトランスファアドレスレジスタ B	H'F7 (マスタから 011)	DTU																																																								
ビット: 7 6 5 4 3 2 1 0 <div style="border: 1px solid black; width: 100%; height: 20px; margin: 5px 0;"></div> 初期値: — — — — — — — R/W: I/O転送 R/W R/W R/W R/W R/W R/W R/W R/W バウンドバッファモード 内部CPU: R R R R R R R R マスタCPU: W W W W W W W W																																																										
↓ 内蔵RAMアドレスの下位8ビットを指定																																																										
DTCRC データトランスファコントロールレジスタ C	H'FA (マスタから -)	DTU																																																								
ビット: 7 6 5 4 3 2 1 0 <div style="border: 1px solid black; width: 100%; height: 20px; margin: 5px 0;"></div> 初期値: 0 0 0 0 0 0 0 0 R/W: R/W R/W R/W R/W R/W R/W R/W R/W																																																										
ソースセレクト <table border="1" style="width:100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th>SOS2</th> <th>SOS1</th> <th>SOS0</th> <th>割込み要因</th> <th>モジュール</th> <th>転送</th> <th>要因クリア</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>RX10</td> <td>SCI0</td> <td>RDR RAM (バイト)</td> <td>○</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>TX10</td> <td>SCI0</td> <td>RAM TDR (バイト)</td> <td>○</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>AD1</td> <td>A/D</td> <td>ADDRA RAM (ワード)</td> <td>○</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>OCIB1</td> <td>TPC</td> <td>RAM NDRB (ワード)</td> <td>○</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>OCIA1</td> <td>TPC</td> <td>RAM NDRB (ワード)</td> <td>○</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>OCIB1</td> <td>TPC</td> <td>RAM NDRA (バイト)</td> <td>○</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>OCIA1</td> <td>TPC</td> <td>RAM NDRA (バイト)</td> <td>○</td> </tr> </tbody> </table>			SOS2	SOS1	SOS0	割込み要因	モジュール	転送	要因クリア	0	0	1	RX10	SCI0	RDR RAM (バイト)	○	0	1	0	TX10	SCI0	RAM TDR (バイト)	○	0	1	1	AD1	A/D	ADDRA RAM (ワード)	○	1	0	0	OCIB1	TPC	RAM NDRB (ワード)	○	1	0	1	OCIA1	TPC	RAM NDRB (ワード)	○	1	1	0	OCIB1	TPC	RAM NDRA (バイト)	○	1	1	1	OCIA1	TPC	RAM NDRA (バイト)	○
SOS2	SOS1	SOS0	割込み要因	モジュール	転送	要因クリア																																																				
0	0	1	RX10	SCI0	RDR RAM (バイト)	○																																																				
0	1	0	TX10	SCI0	RAM TDR (バイト)	○																																																				
0	1	1	AD1	A/D	ADDRA RAM (ワード)	○																																																				
1	0	0	OCIB1	TPC	RAM NDRB (ワード)	○																																																				
1	0	1	OCIA1	TPC	RAM NDRB (ワード)	○																																																				
1	1	0	OCIB1	TPC	RAM NDRA (バイト)	○																																																				
1	1	1	OCIA1	TPC	RAM NDRA (バイト)	○																																																				
バウンダリ <table border="1" style="width:100%; border-collapse: collapse; margin-top: 10px;"> <thead> <tr> <th>BUD2</th> <th>BUD1</th> <th>BUD0</th> <th>DTARオーバフロータイミング</th> <th>最大転送バイト数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1バイトの転送終了ごと (初期値)</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>bit 0 1の桁上がり</td> <td>2</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>bit 1 2の桁上がり</td> <td>4</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>bit 2 3の桁上がり</td> <td>8</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>bit 3 4の桁上がり</td> <td>16</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>bit 4 5の桁上がり</td> <td>32</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>bit 5 6の桁上がり</td> <td>64</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>bit 6 7の桁上がり</td> <td>128</td> </tr> </tbody> </table>			BUD2	BUD1	BUD0	DTARオーバフロータイミング	最大転送バイト数	0	0	0	1バイトの転送終了ごと (初期値)	1	0	0	1	bit 0 1の桁上がり	2	0	1	0	bit 1 2の桁上がり	4	0	1	1	bit 2 3の桁上がり	8	1	0	0	bit 3 4の桁上がり	16	1	0	1	bit 4 5の桁上がり	32	1	1	0	bit 5 6の桁上がり	64	1	1	1	bit 6 7の桁上がり	128											
BUD2	BUD1	BUD0	DTARオーバフロータイミング	最大転送バイト数																																																						
0	0	0	1バイトの転送終了ごと (初期値)	1																																																						
0	0	1	bit 0 1の桁上がり	2																																																						
0	1	0	bit 1 2の桁上がり	4																																																						
0	1	1	bit 2 3の桁上がり	8																																																						
1	0	0	bit 3 4の桁上がり	16																																																						
1	0	1	bit 4 5の桁上がり	32																																																						
1	1	0	bit 5 6の桁上がり	64																																																						
1	1	1	bit 6 7の桁上がり	128																																																						
データトランスファインタラプトイネーブル <table border="1" style="width:100%; border-collapse: collapse; margin-top: 10px;"> <tbody> <tr> <td style="width:5%;">0</td> <td style="width:85%;">DTEビットの0クリアによる割込み要求 (DTIC) を禁止 (初期値)</td> <td style="width:10%;"></td> </tr> <tr> <td>1</td> <td>DTEビットの0クリアによる割込み要求 (DTIC) を許可</td> <td></td> </tr> </tbody> </table>			0	DTEビットの0クリアによる割込み要求 (DTIC) を禁止 (初期値)		1	DTEビットの0クリアによる割込み要求 (DTIC) を許可																																																			
0	DTEビットの0クリアによる割込み要求 (DTIC) を禁止 (初期値)																																																									
1	DTEビットの0クリアによる割込み要求 (DTIC) を許可																																																									
データトランスファイネーブル <table border="1" style="width:100%; border-collapse: collapse; margin-top: 10px;"> <tbody> <tr> <td style="width:5%;">0</td> <td style="width:70%;">I/O転送が停止中 [クリア条件] (1) DTEに0をライトしたとき (2) ノーマルモードで、バウンダリまでの転送が終了したとき</td> <td style="width:25%; text-align: right;">(初期値)</td> </tr> <tr> <td>1</td> <td>I/O転送が動作中 [セット条件] DTE=0の状態、DTCRCをリードした場合、DTEに1をライトしたとき</td> <td></td> </tr> </tbody> </table>			0	I/O転送が停止中 [クリア条件] (1) DTEに0をライトしたとき (2) ノーマルモードで、バウンダリまでの転送が終了したとき	(初期値)	1	I/O転送が動作中 [セット条件] DTE=0の状態、DTCRCをリードした場合、DTEに1をライトしたとき																																																			
0	I/O転送が停止中 [クリア条件] (1) DTEに0をライトしたとき (2) ノーマルモードで、バウンダリまでの転送が終了したとき	(初期値)																																																								
1	I/O転送が動作中 [セット条件] DTE=0の状態、DTCRCをリードした場合、DTEに1をライトしたとき																																																									

DTARC データトランスファアドレスレジスタ C	H'FB (マスタから -)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr> <td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td></tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—	—	—	—	—	—											
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W											
↓ 内蔵RAMアドレスの下位8ビットを指定																		
DPDRWH DPRAM データレジスタライト H	H'FC (マスタから 100)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr> <td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td></tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—	—	—	—	—	—											
R/W：																		
バウンドバッファモード																		
内部CPU：	R *	R *	R *	R *	R *	R *	R *											
マスタCPU：	W	W	W	W	W	W	W											
ダイレクトワードモード																		
内部CPU：	R	R	R	R	R	R	R											
マスタCPU：	W	W	W	W	W	W	W											
↓ マスタCPUの書き込み専用のデータレジスタ																		
【注】* DTUにより、自動的に内蔵RAMへ転送されます。																		
DPDRWL DPRAM データレジスタライト L	H'FD (マスタから 101)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr> <td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td><td style="width: 20px; height: 15px;"></td></tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—	—	—	—	—	—											
R/W：																		
バウンドバッファモード																		
内部CPU：	R* ¹	R* ¹	R* ¹	R* ¹	R* ¹	R* ¹	R* ¹											
マスタCPU：	W	W	W	W	W	W	W											
ダイレクトワードモード																		
内部CPU：	R	R	R	R	R	R	R											
マスタCPU：	W	W	W	W	W	W	W											
ハンドシェイクモード																		
内部CPU：	R	R	R	R	R	R	R											
マスタCPU：	W* ²	W* ²	W* ²	W* ²	W* ²	W* ²	W* ²											
↓ マスタCPUの書き込み専用のデータレジスタ																		
【注】* ¹ DTUにより、自動的に内蔵RAMへ転送されます。																		
* ² WE端子入力の立ち上がりエッジで、DDB上のデータがラッチされます。																		

DPDRRH DPRAM データレジスタリード H	H'FE (マスタから 110)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 20px;">7</td> <td style="width: 20px;">6</td> <td style="width: 20px;">5</td> <td style="width: 20px;">4</td> <td style="width: 20px;">3</td> <td style="width: 20px;">2</td> <td style="width: 20px;">1</td> <td style="width: 20px;">0</td> </tr> <tr> <td style="height: 15px;"></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—																
R/W：																		
バウンドバッファモード																		
内部CPU：	W*	W*																
マスタCPU：	R	R																
ダイレクトワードモード																		
内部CPU：	W	W																
マスタCPU：	R	R																
↓ マスタCPUの書き出し専用のデータレジスタ																		
【注】* DTUにより、自動的に内蔵RAMから転送されず。																		
DPDRRL DPRAM データレジスタリード L	H'FF (マスタから 111)	DTU																
ビット： <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 20px;">7</td> <td style="width: 20px;">6</td> <td style="width: 20px;">5</td> <td style="width: 20px;">4</td> <td style="width: 20px;">3</td> <td style="width: 20px;">2</td> <td style="width: 20px;">1</td> <td style="width: 20px;">0</td> </tr> <tr> <td style="height: 15px;"></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table>	7	6	5	4	3	2	1	0										
7	6	5	4	3	2	1	0											
初期値：	—	—																
R/W：																		
バウンドバッファモード																		
内部CPU：	W*1	W*1																
マスタCPU：	R	R																
ダイレクトワードモード																		
内部CPU：	W	W																
マスタCPU：	R	R																
ハンドシェイクモード																		
内部CPU：	W	W																
マスタCPU：	R*2	R*2																
↓ マスタCPUの読み出し専用のデータレジスタ																		
【注】 *1 DTUにより、自動的に内蔵RAMから転送されます。																		
*2 OE端子入力のLowレベルで、DDB上にデータが出力されます。																		

C. I/Oポートブロック図

C.1 ポート1ブロック図

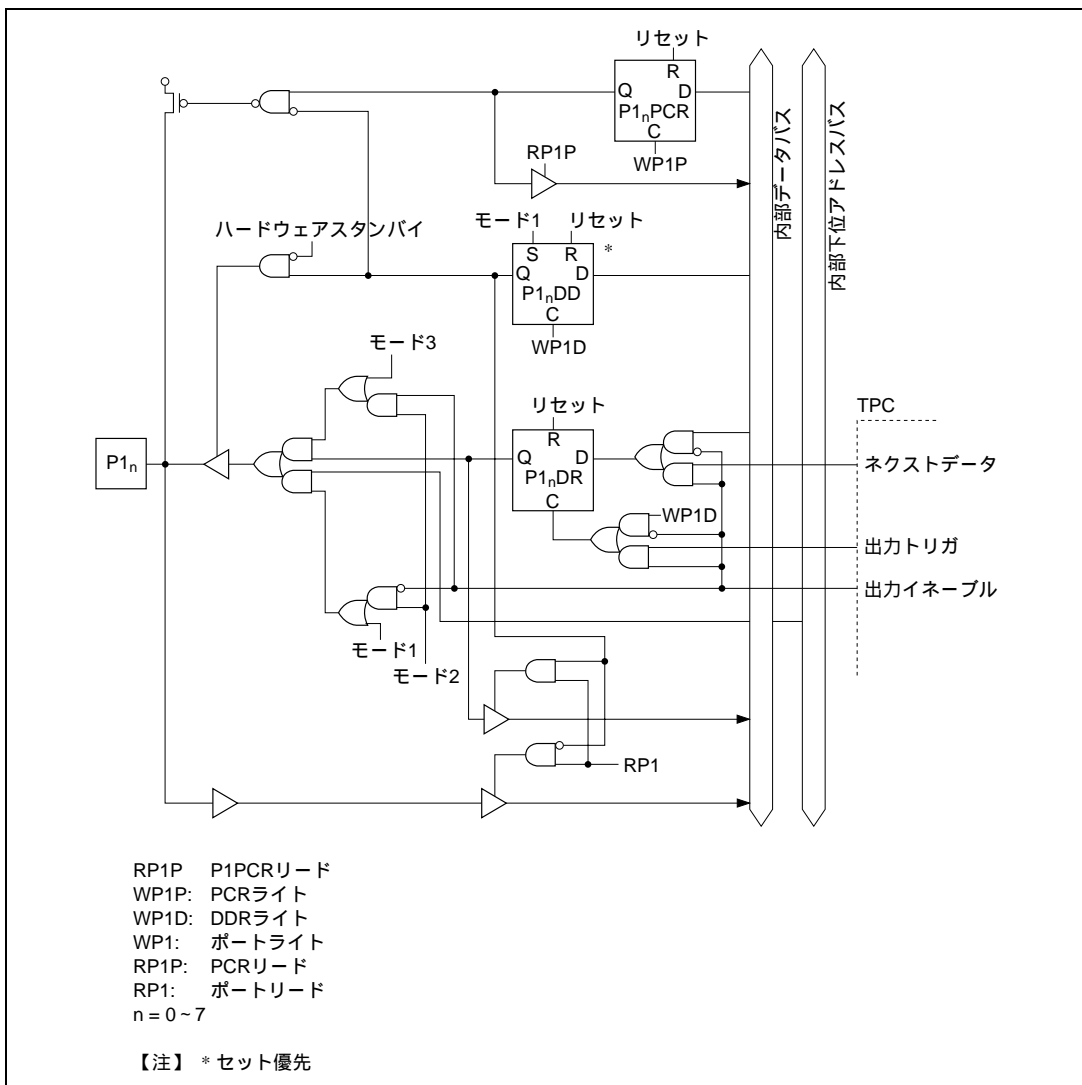


図 C.1 ポート1ブロック図

C.2 ポート2ブロック図

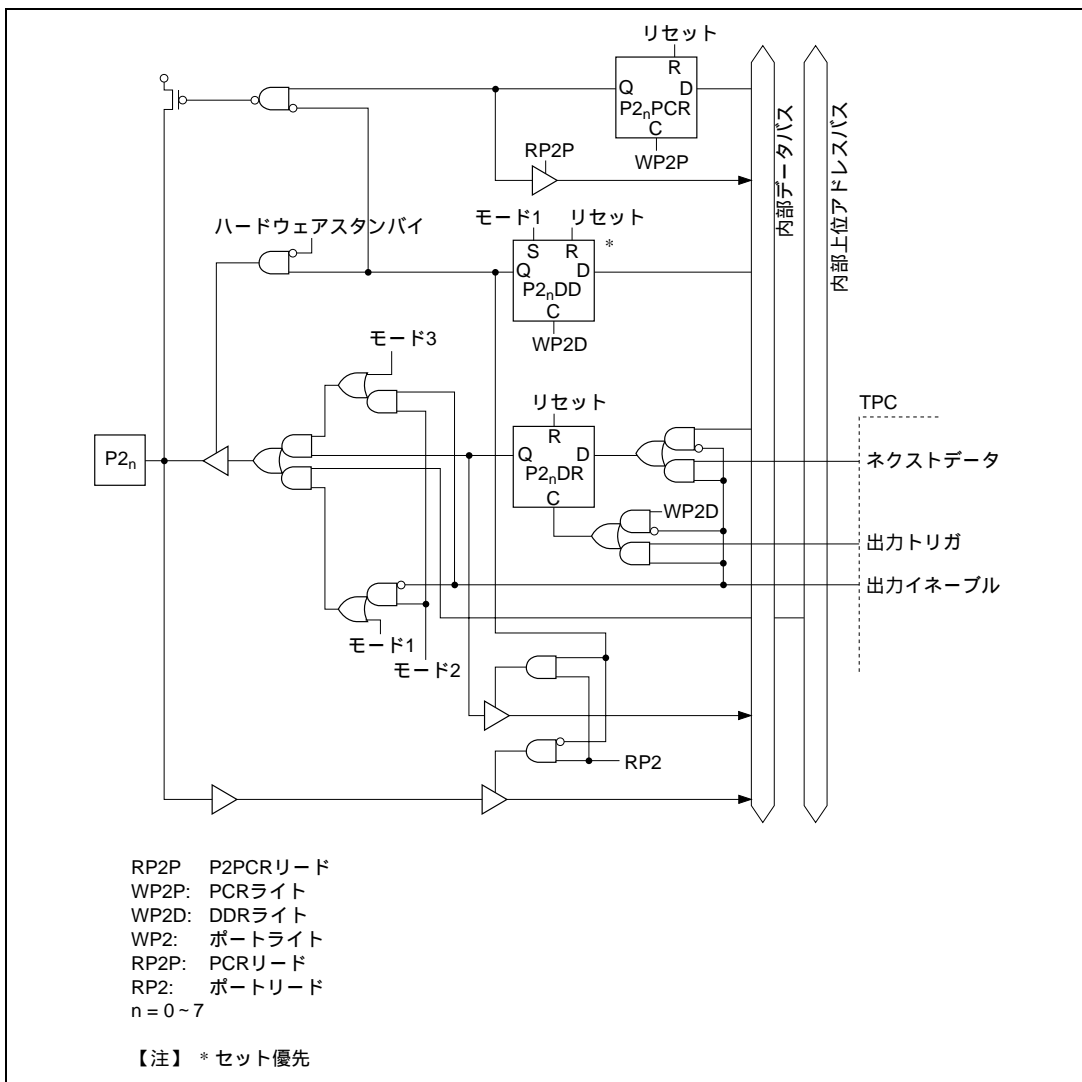


図 C.2 ポート2ブロック図

C.3 ポート3ブロック図

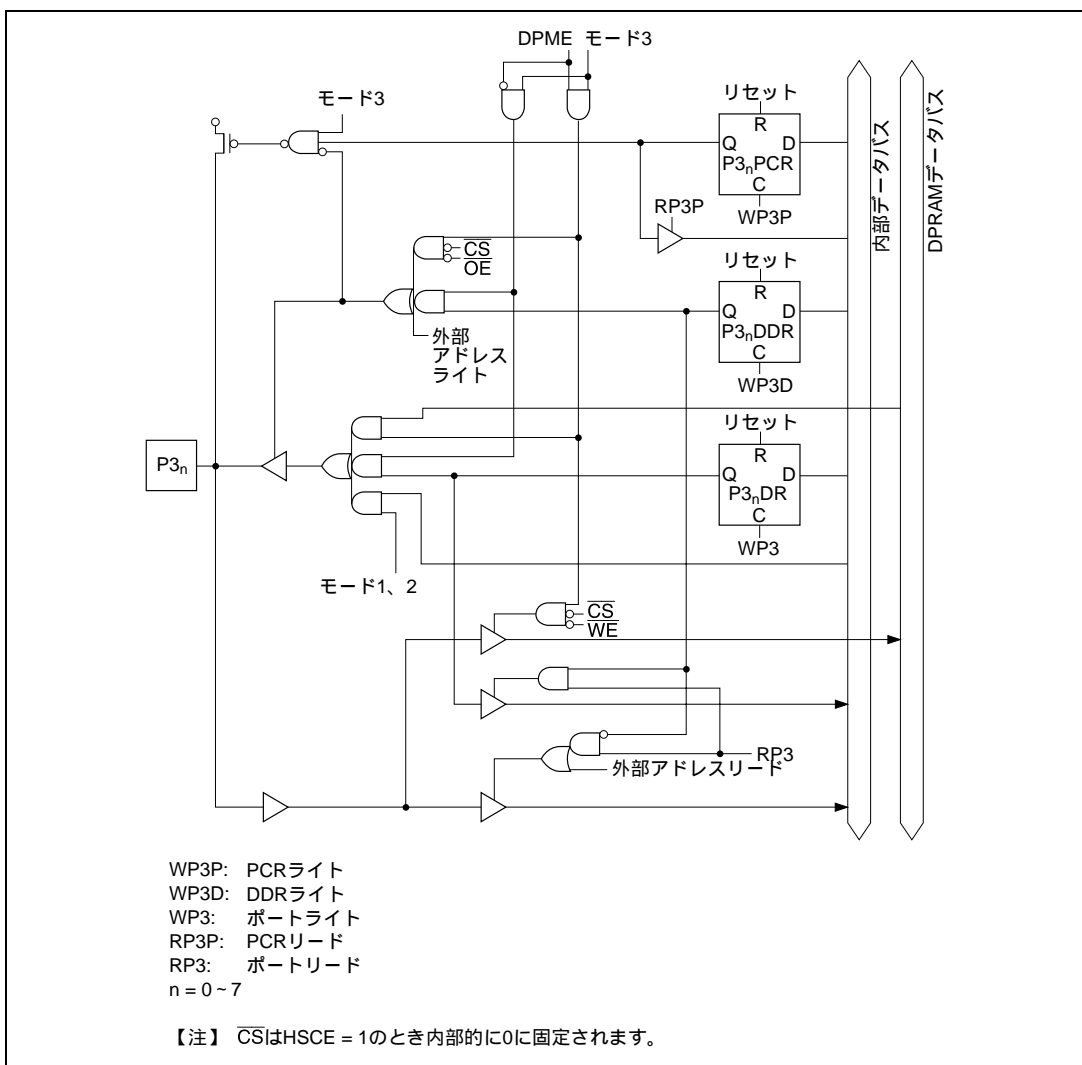


図 C.3 ポート3ブロック図

C.4 ポート4ブロック図

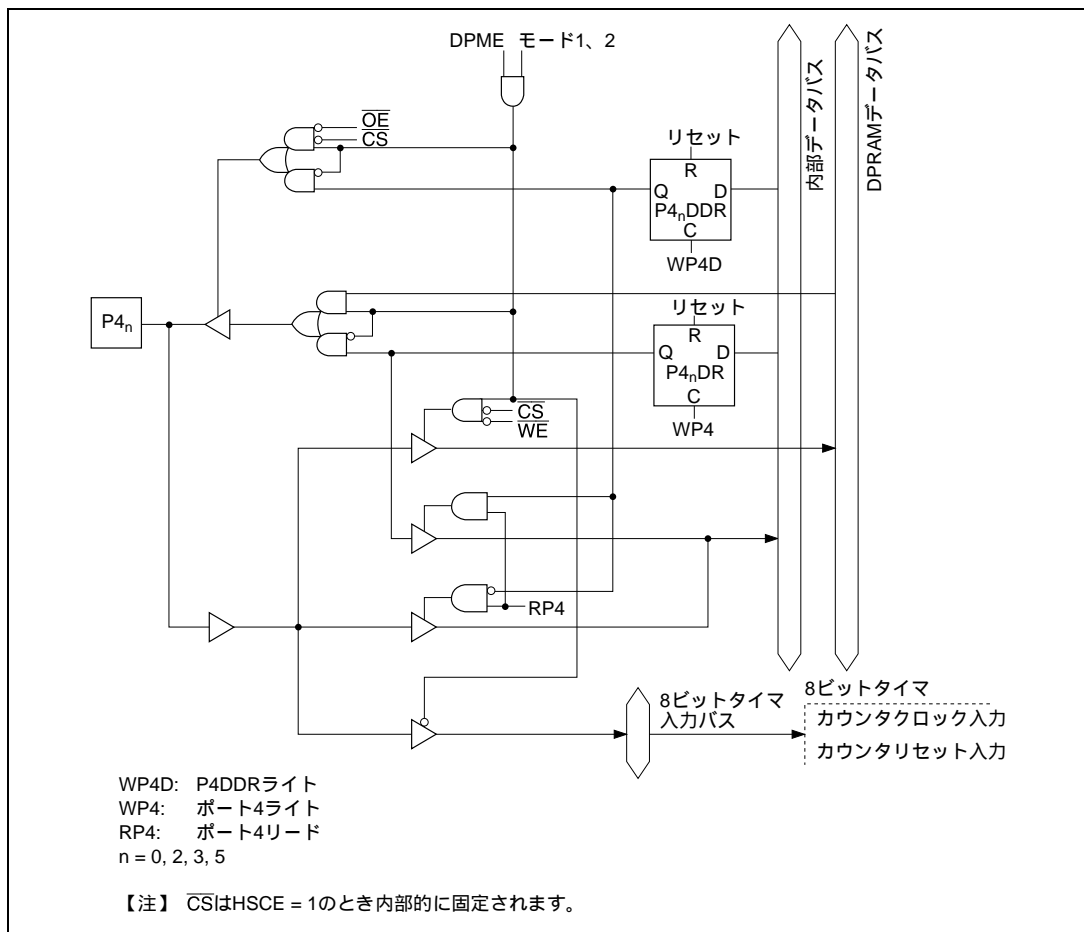


図 C.4(a) ポート4ブロック図 ($P4_0$ 、 $P4_2$ 、 $P4_3$ 、 $P4_5$ 端子)

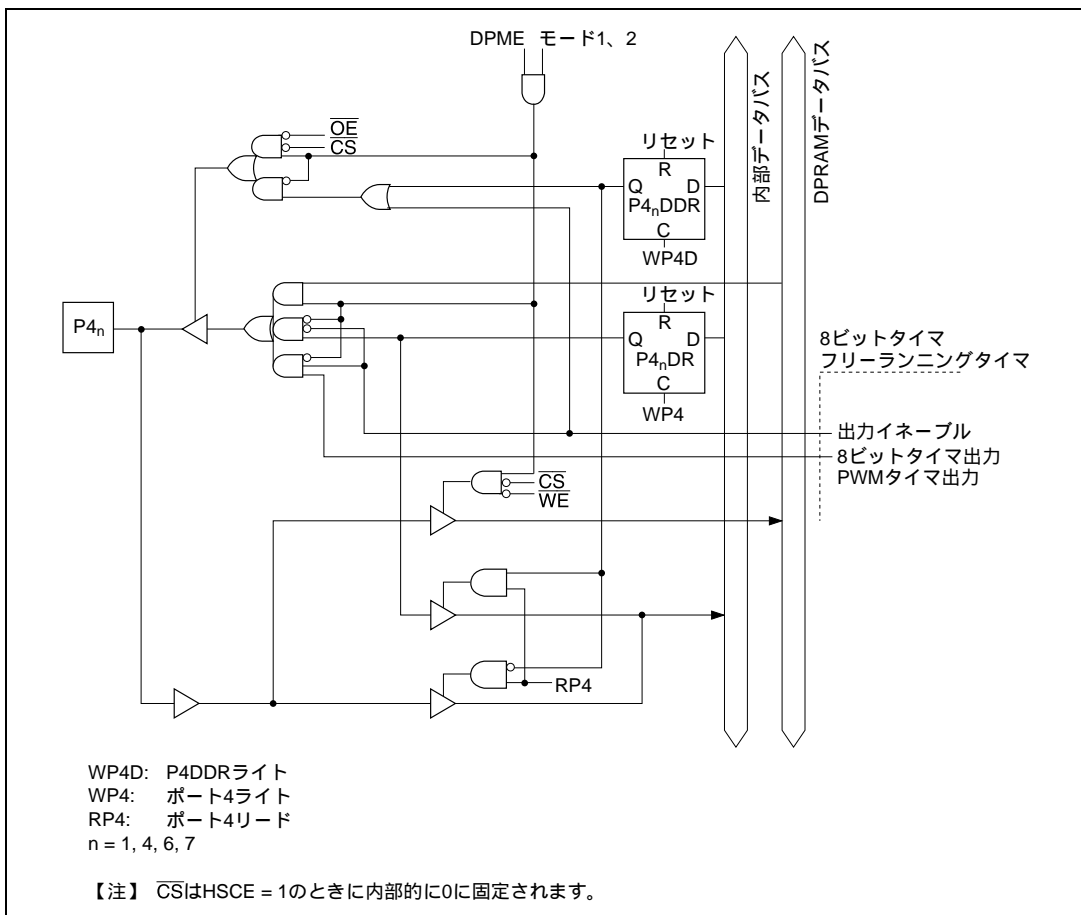


図 C.4(b) ポート 4 ブロック図 (P4₁、P4₄、P4₆、P4₇端子)

C.5 ポート5ブロック図

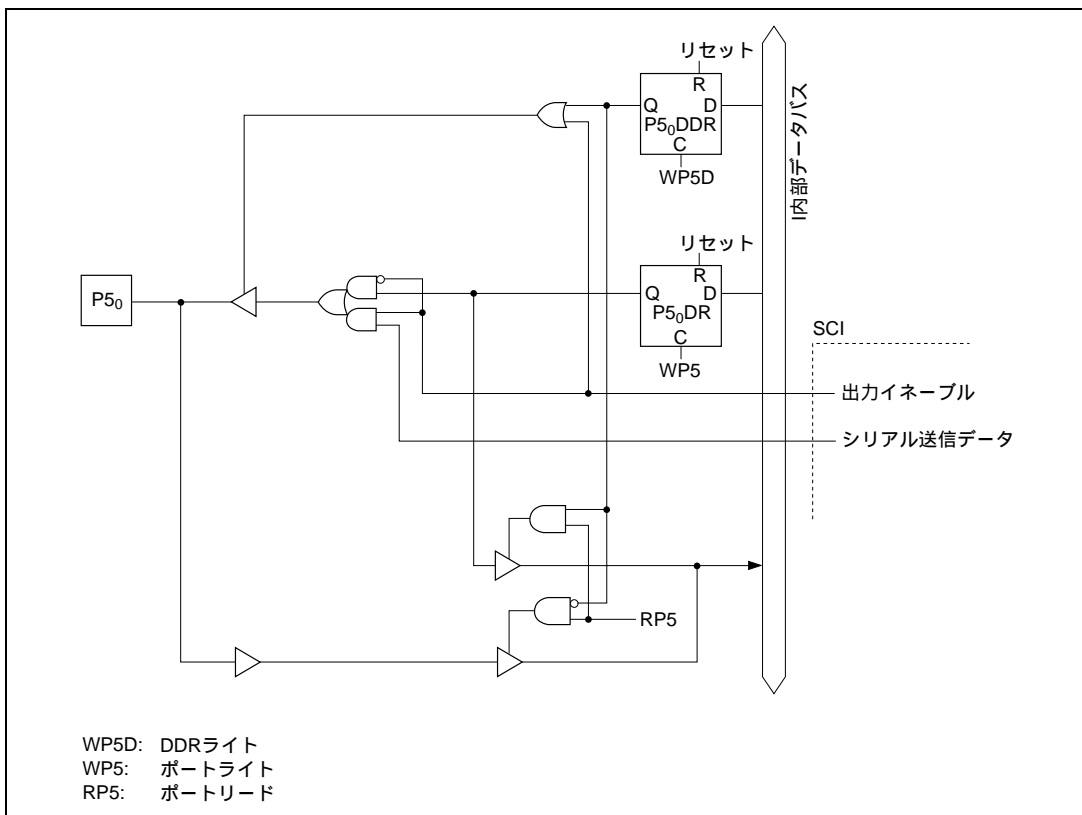


図 C.5(a) ポート5ブロック図 (P5₀端子)

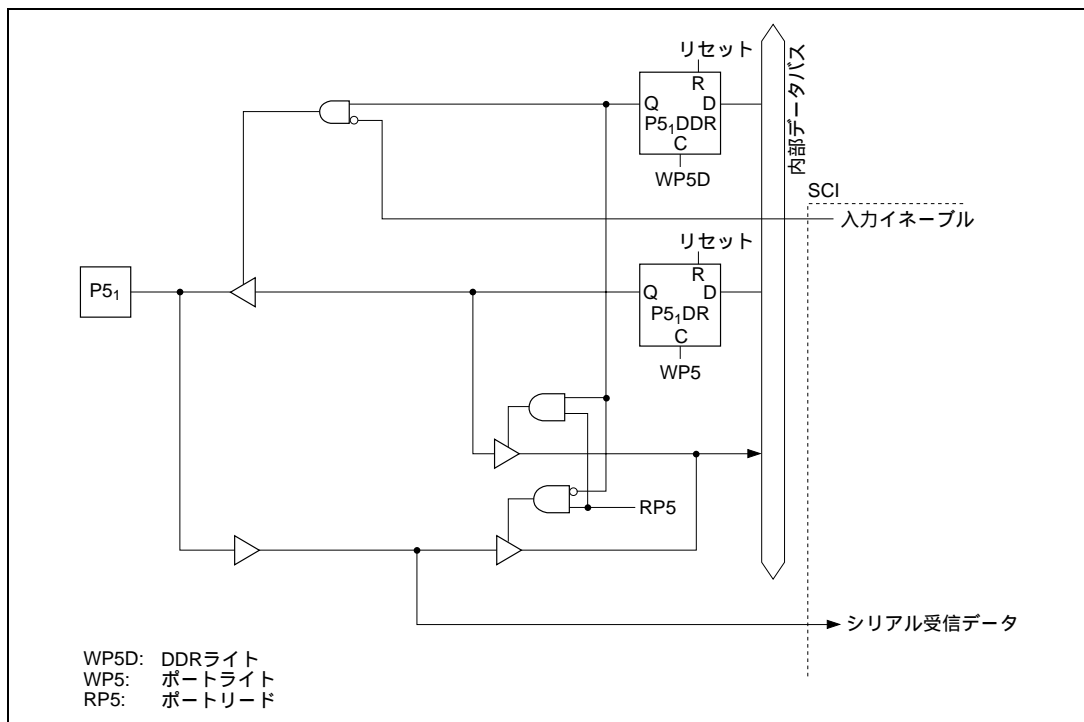


図 C.5(b) ポート 5 ブロック図 (P5₁端子)

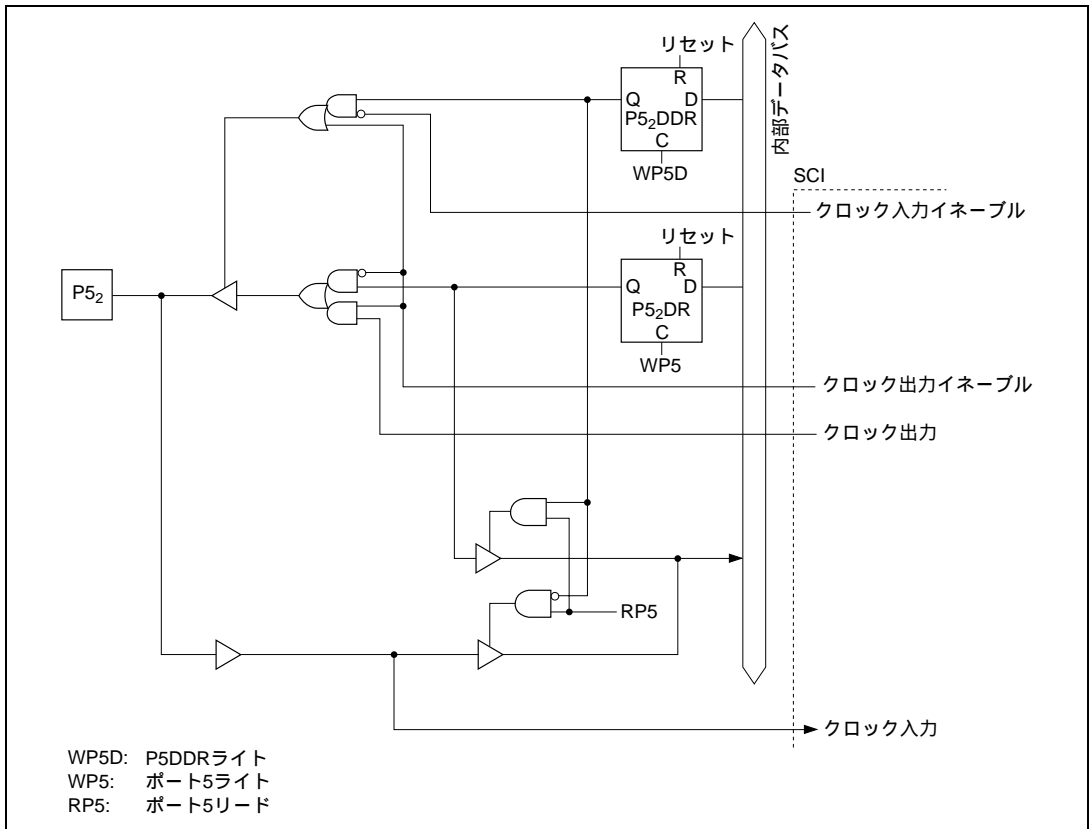


図 C.5(c) ポート 5 ブロック図 (P5₂端子)

C.6 ポート6ブロック図

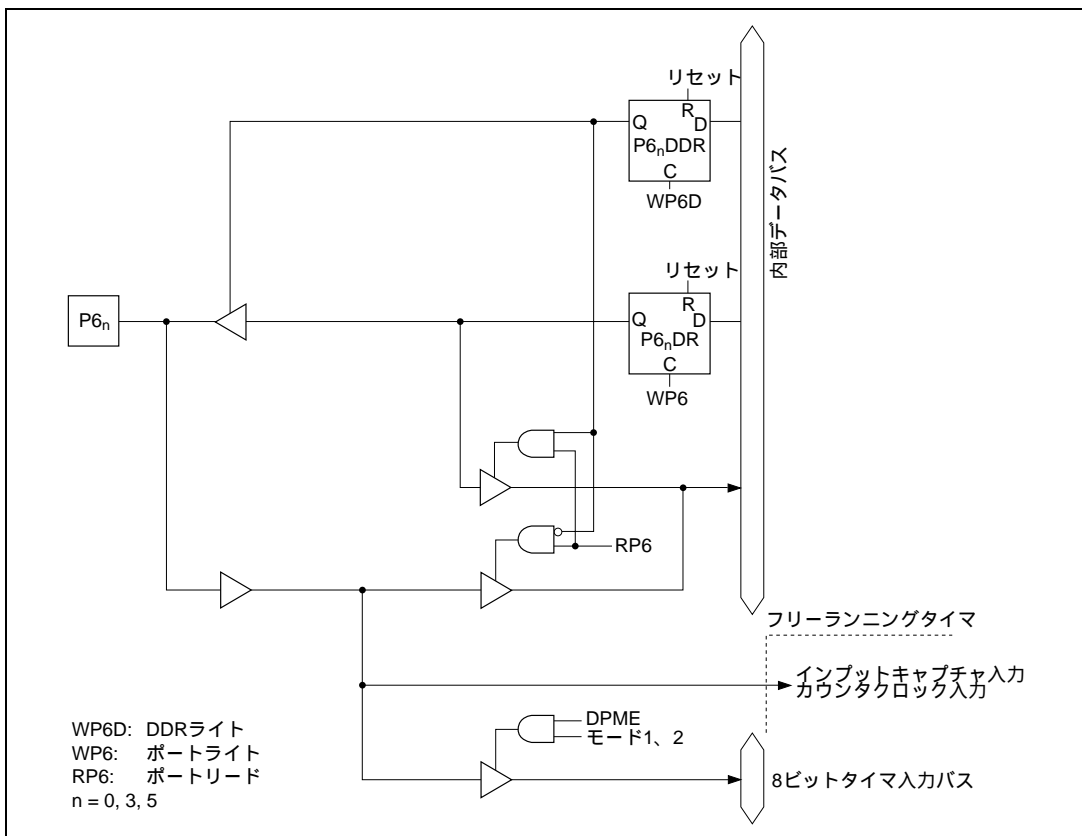


図 C.6(a) ポート6ブロック図 ($P6_0$ 、 $P6_3$ 、 $P6_5$ 端子)

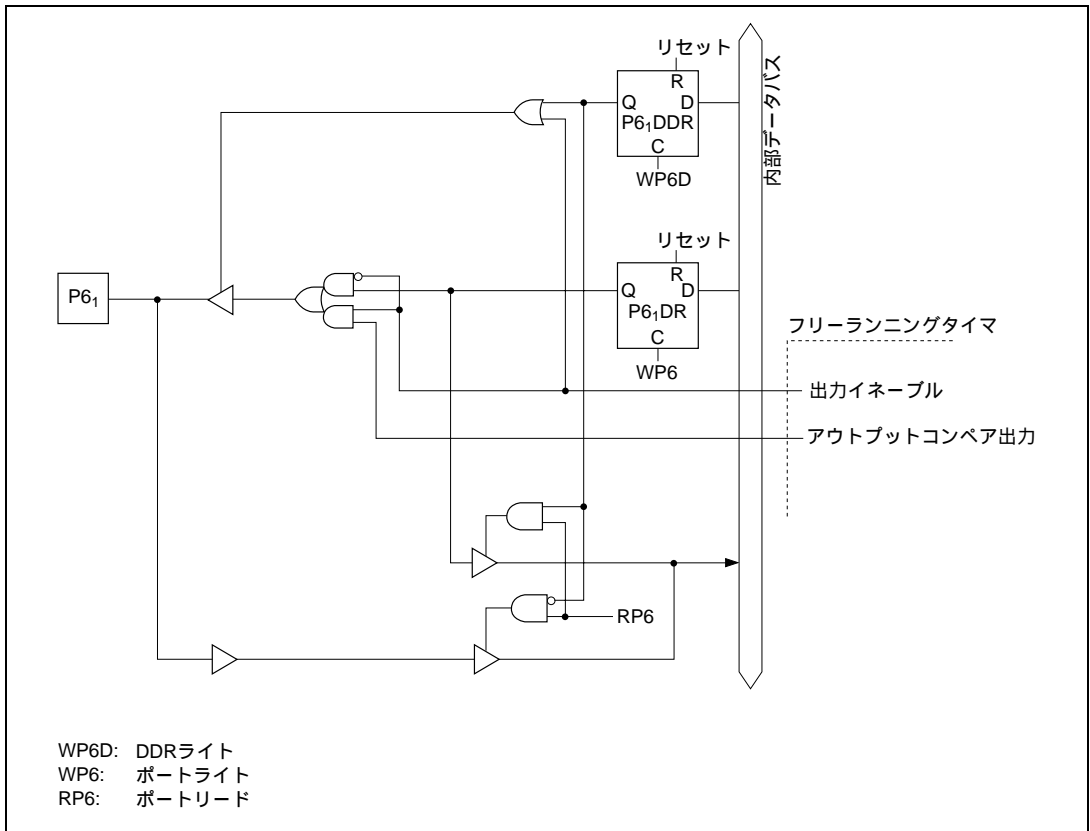


図 C.6(b) ポート 6 ブロック図 (P6₁端子)

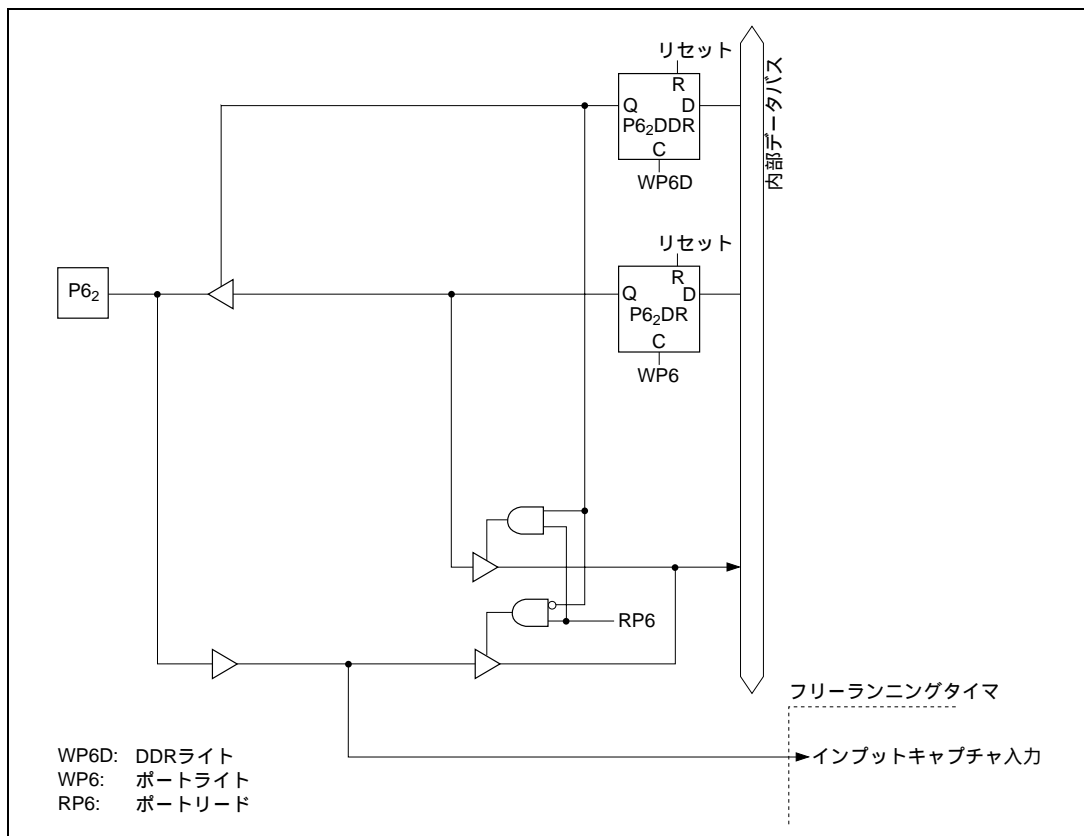


図 C.6(c) ポート 6 ブロック図 (P6₂端子)

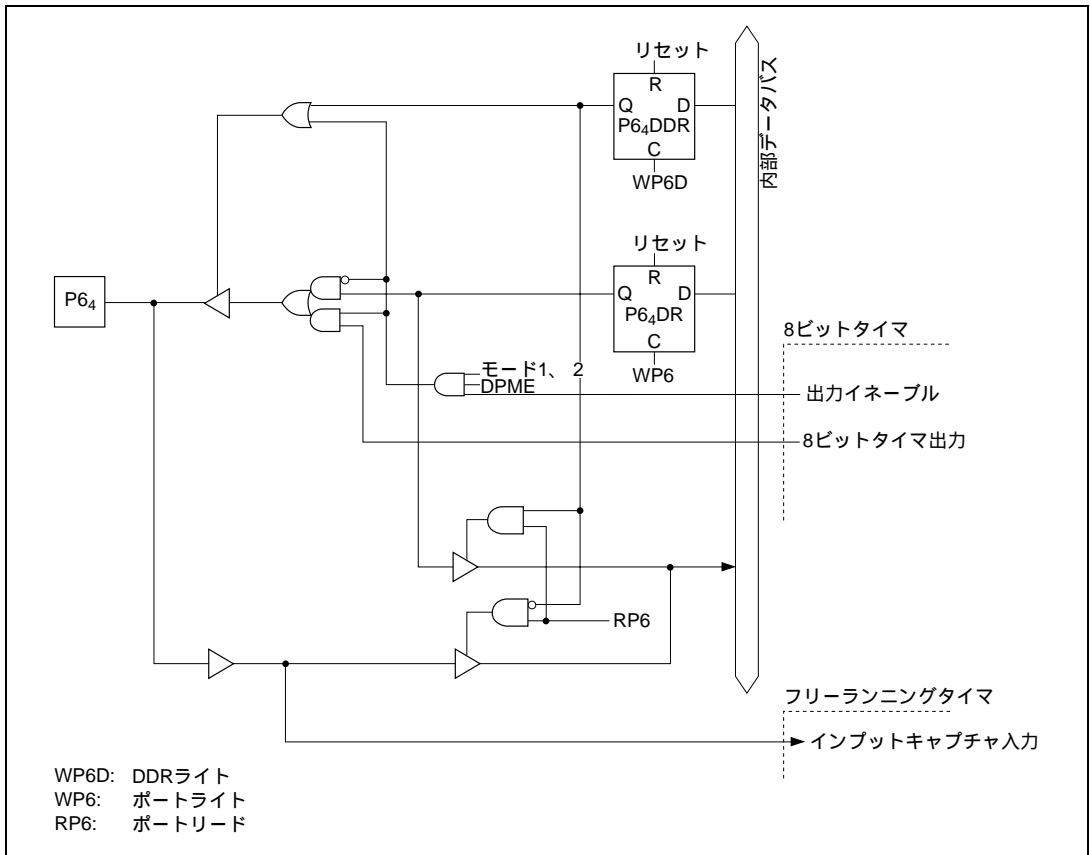


図 C.6(d) ポート 6 ブロック図 (P6₄端子)

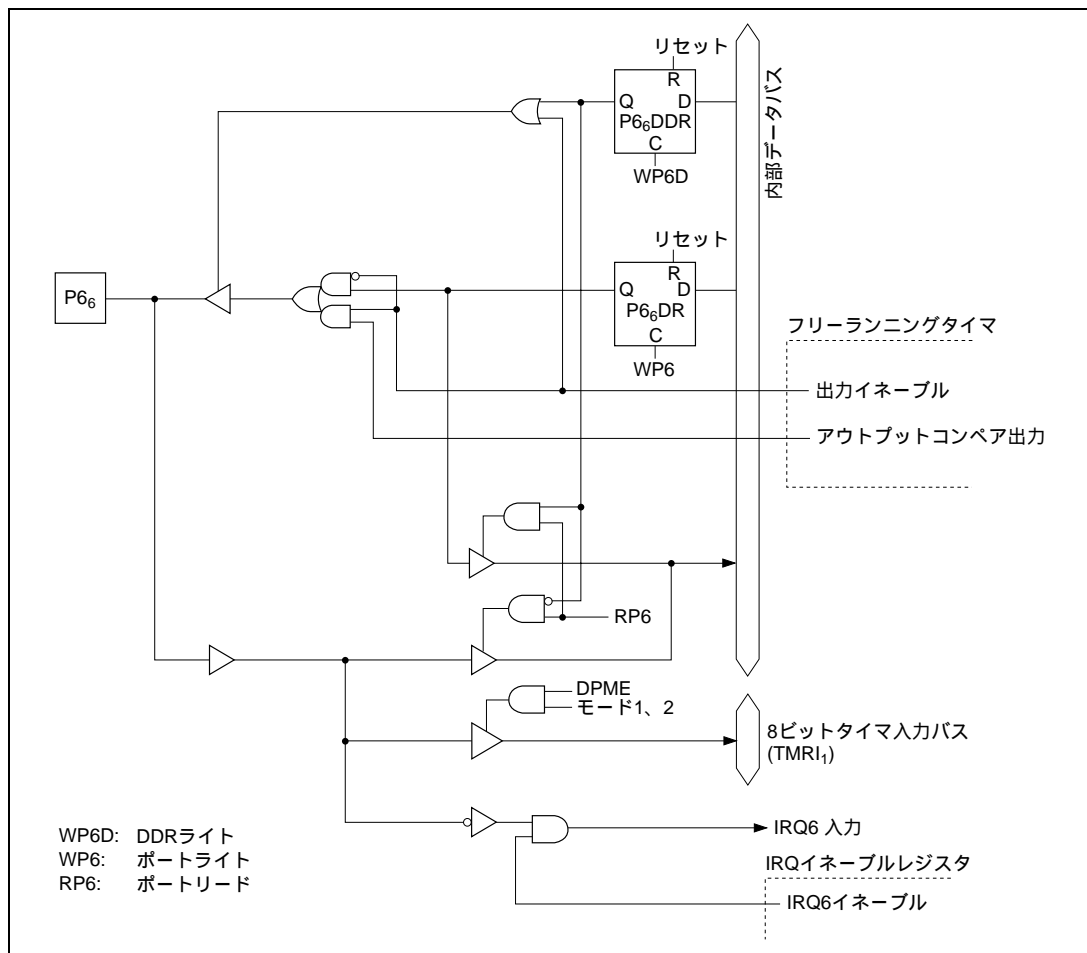


図 C.6(e) ポート 6 ブロック図 (P6_e端子)

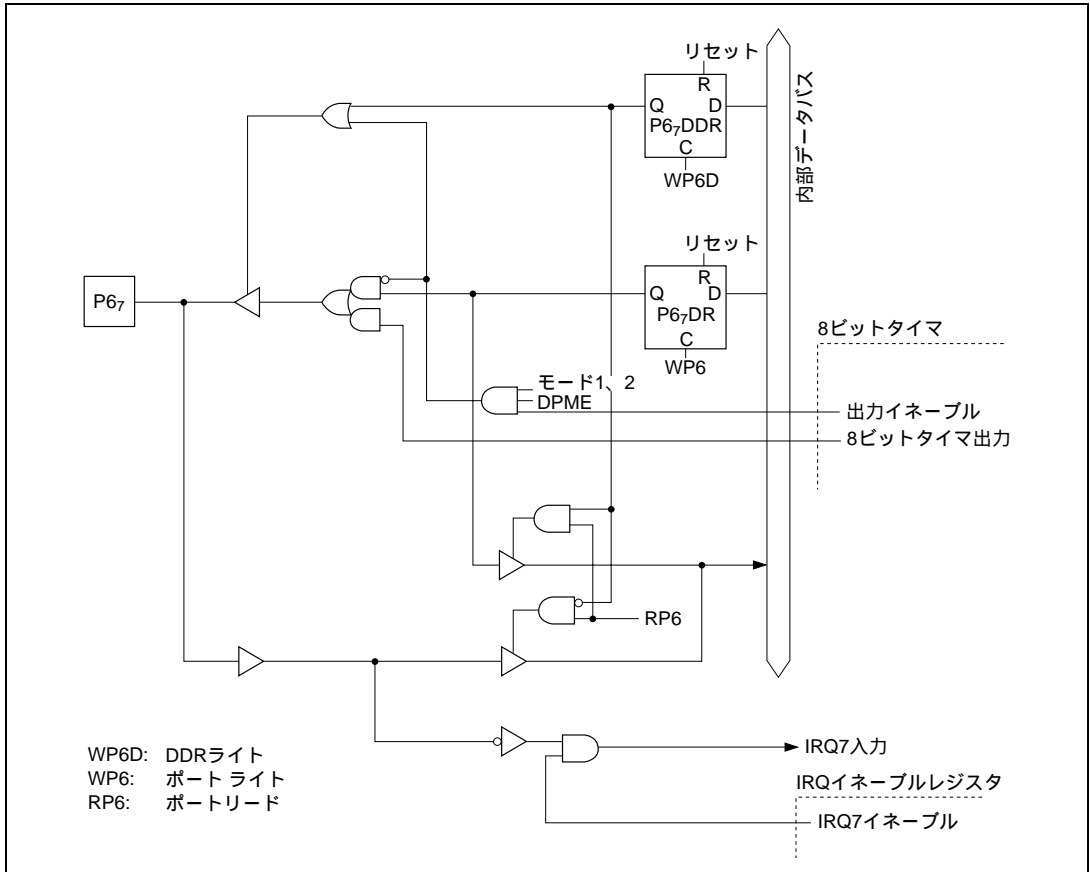


図 C.6(f) ポート 6 ブロック図 (P6₇端子)

C.7 ポート 7 ブロック図

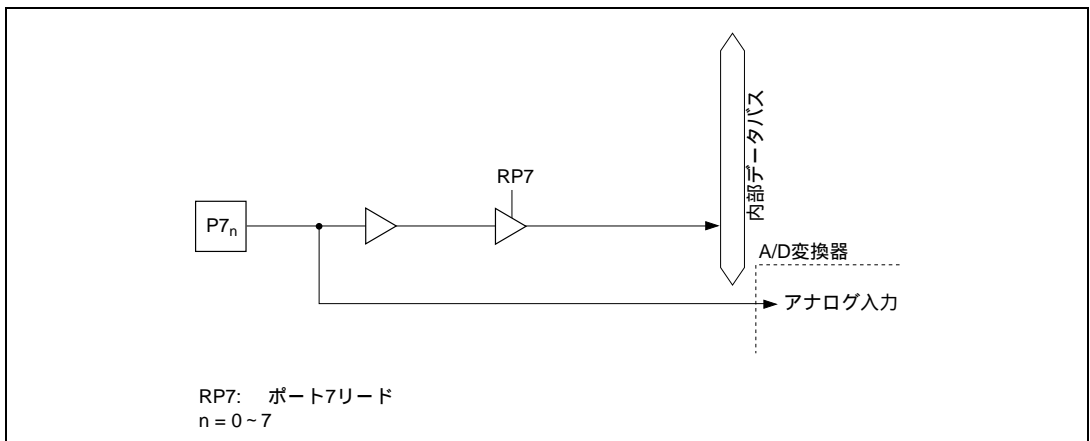


図 C.7 ポート 7 ブロック図 (P7₀ ~ P7₇端子)

C.8 ポート 8 ブロック図

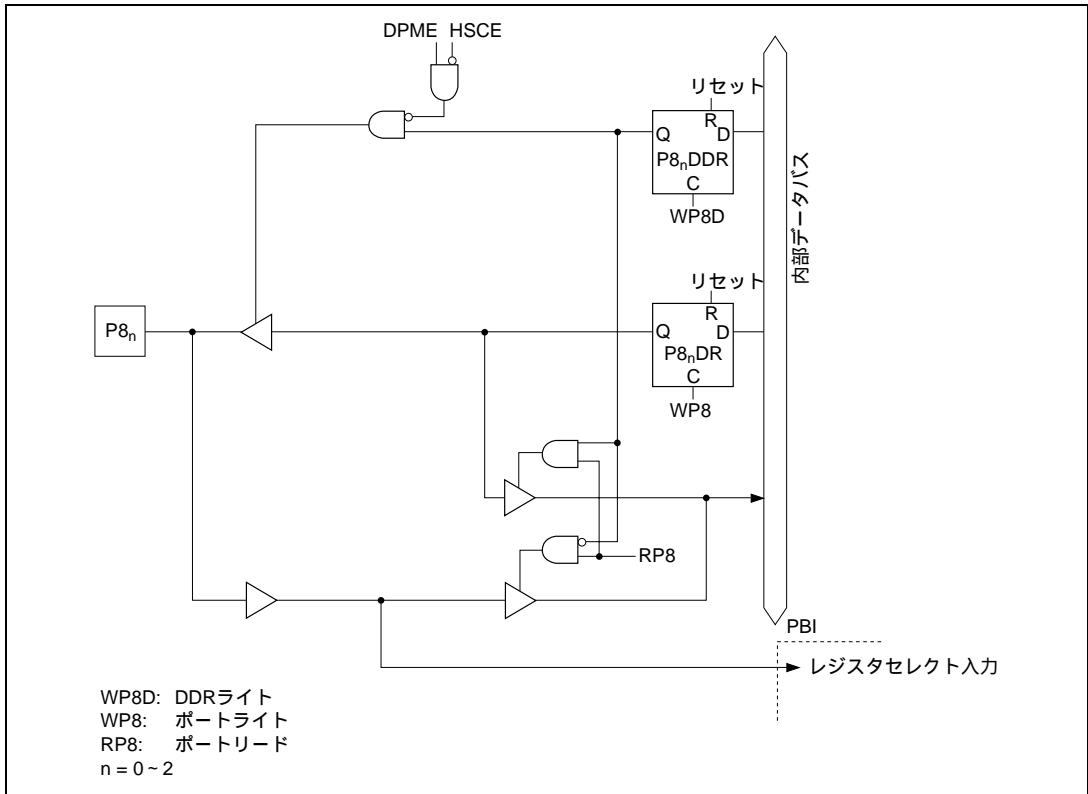


図 C.8(a) ポート 8 ブロック図 ($P8_0 \sim P8_2$ 端子)

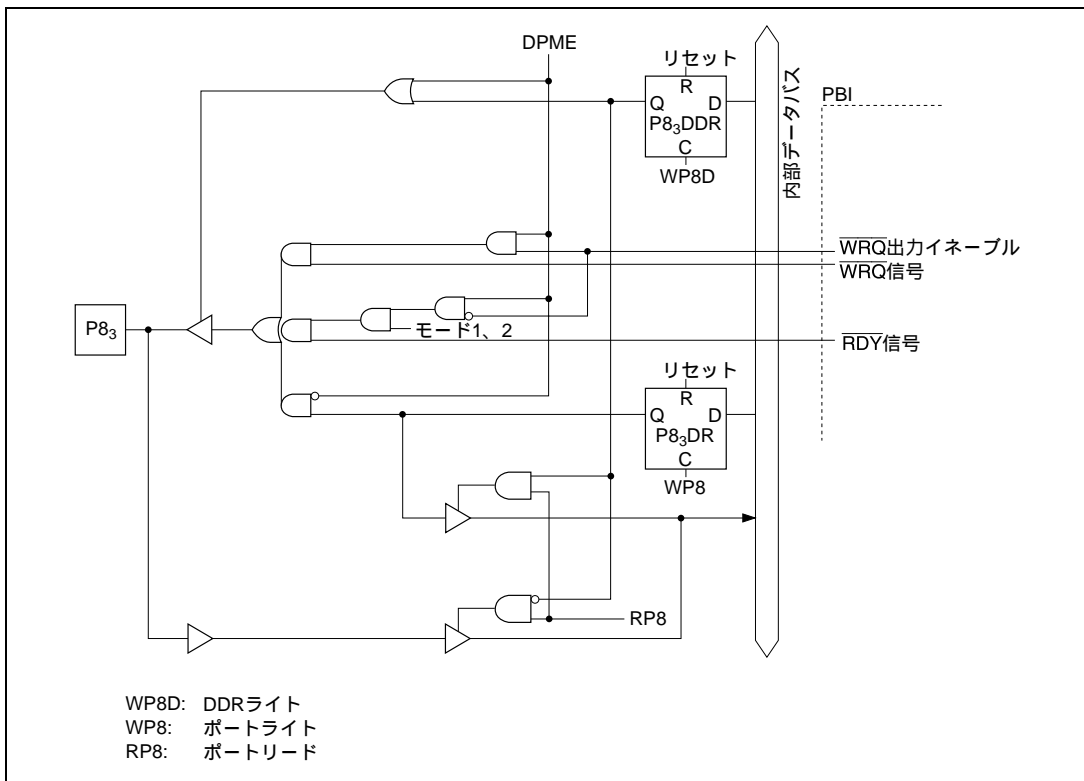


図 C.8(b) ポート 8 ブロック図 (P8₃端子)

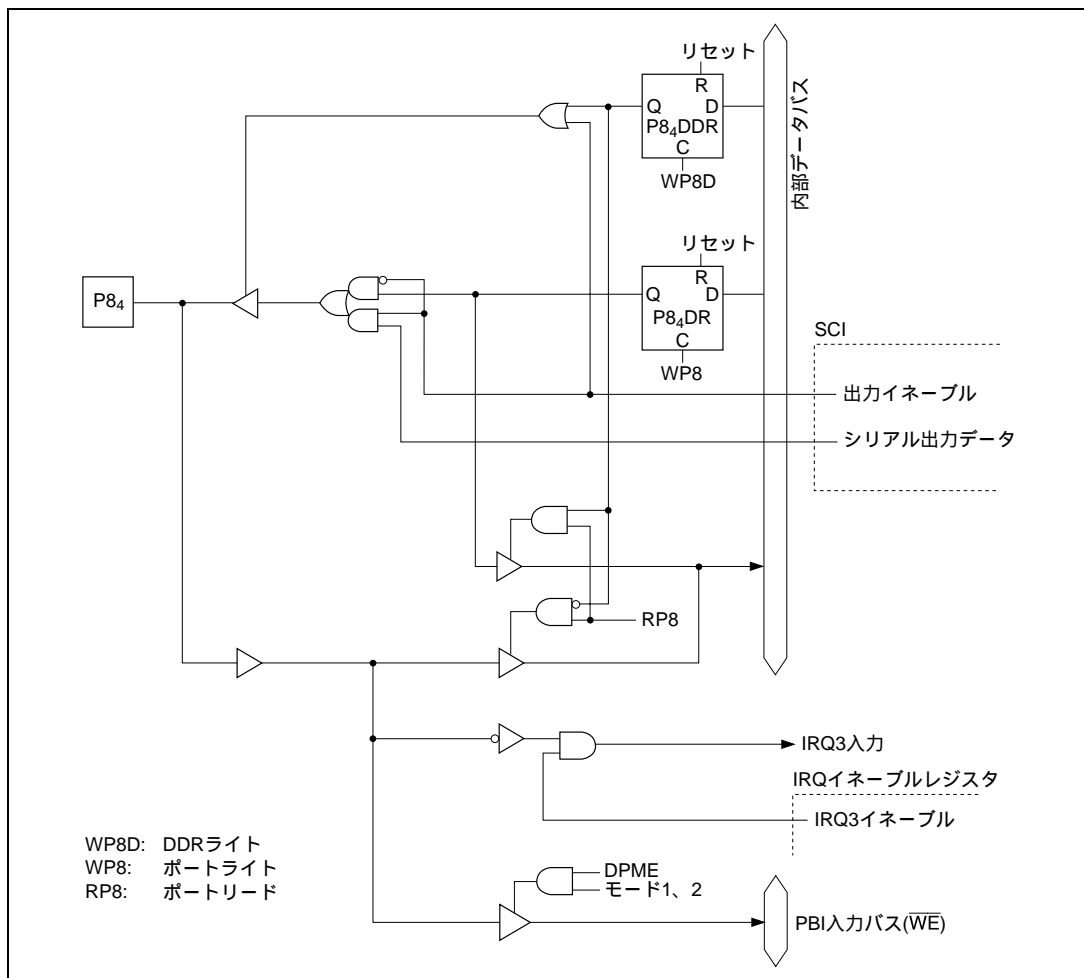


図 C.8(c) ポート 8 ブロック図 (P8₄端子)

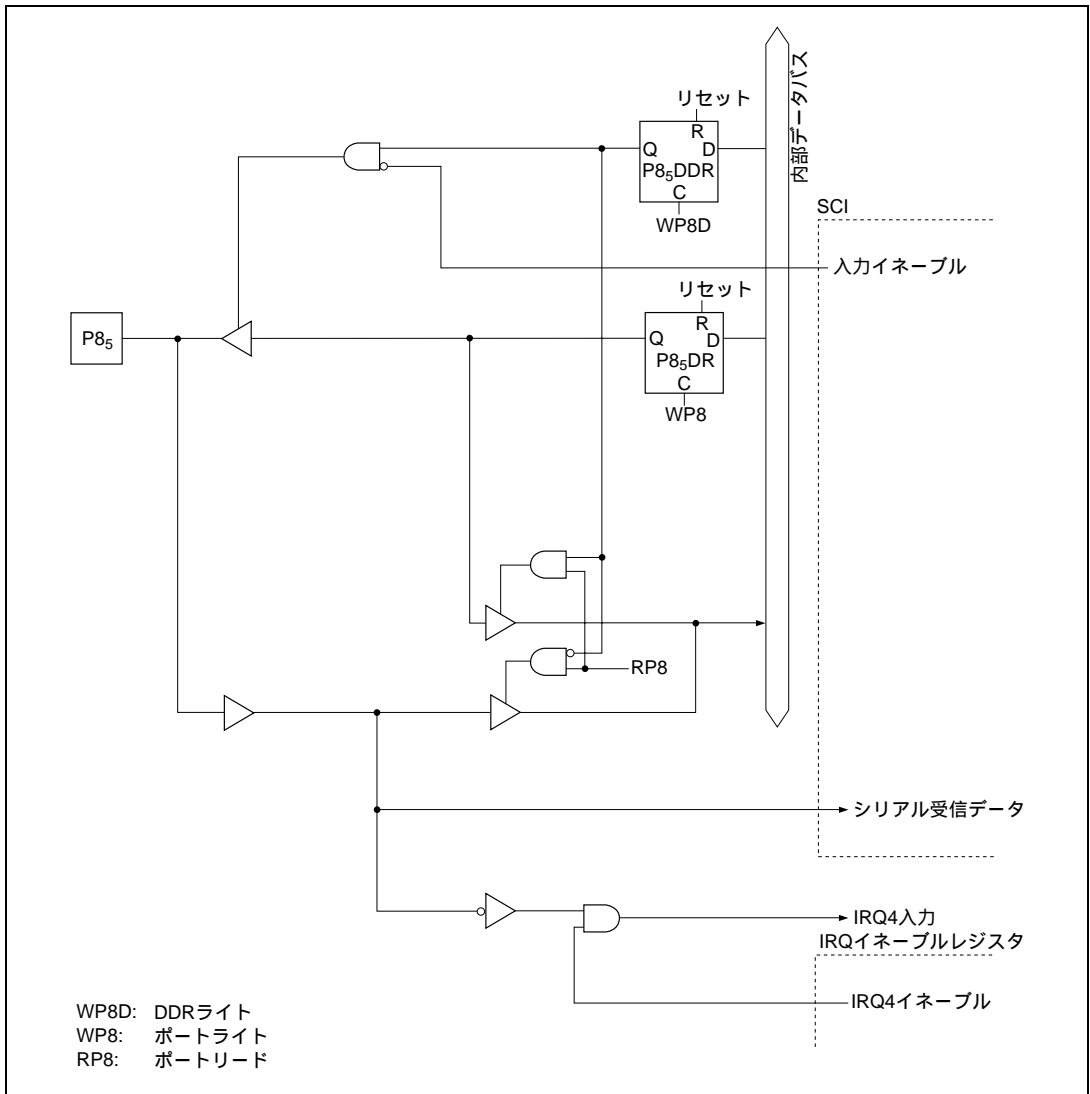


図 C.8(d) ポート 8 ブロック図 (P8₅ 端子)

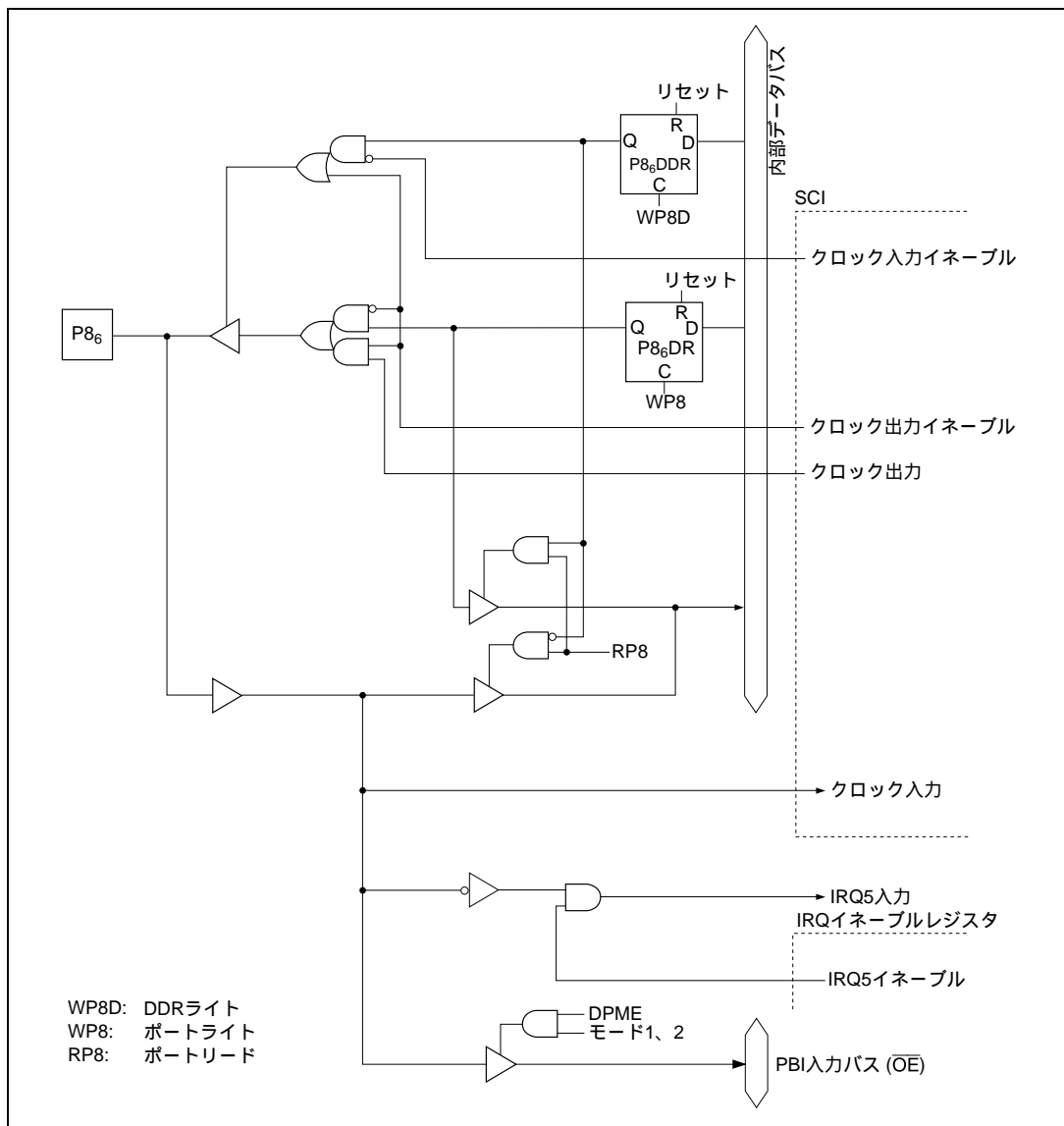


図 C.8(e) ポート 8 ブロック図 (P8_e 端子)

C.9 ポート9ブロック図

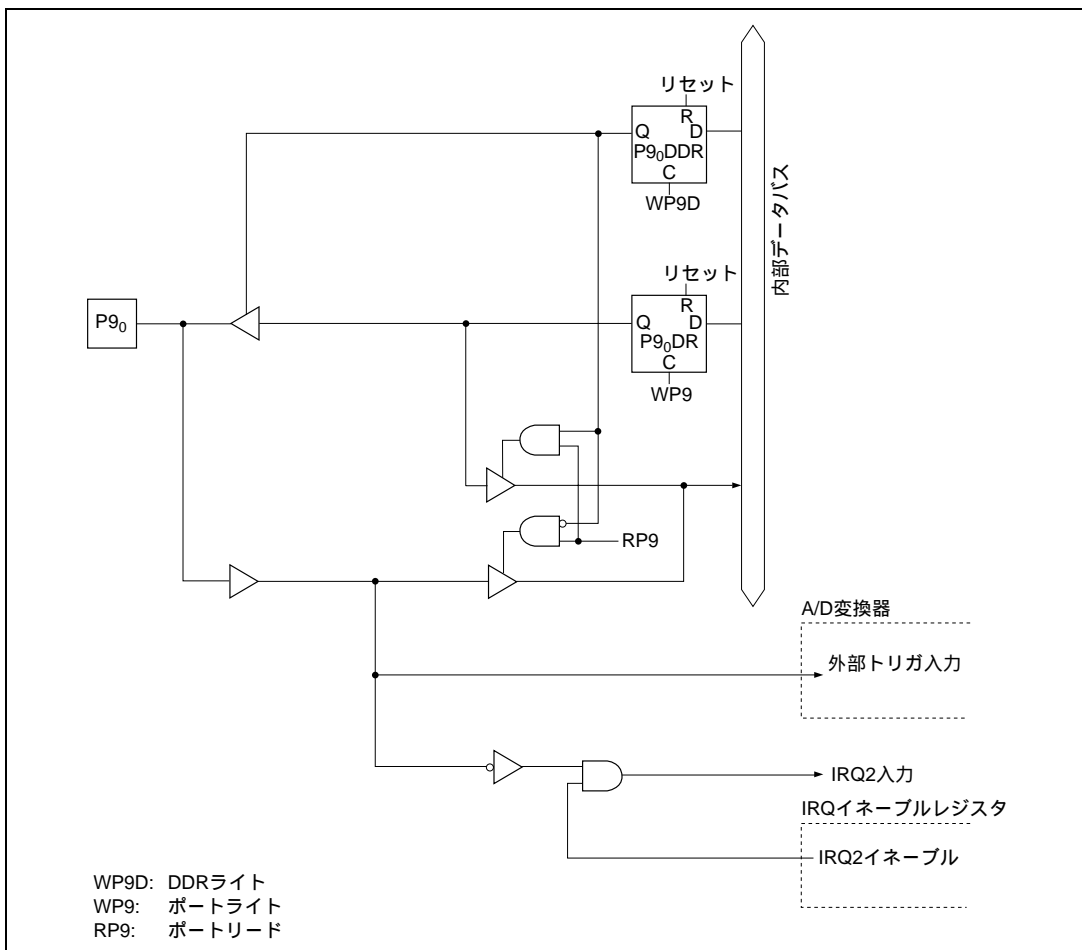


図 C.9(a) ポート9ブロック図 (P9₀端子)

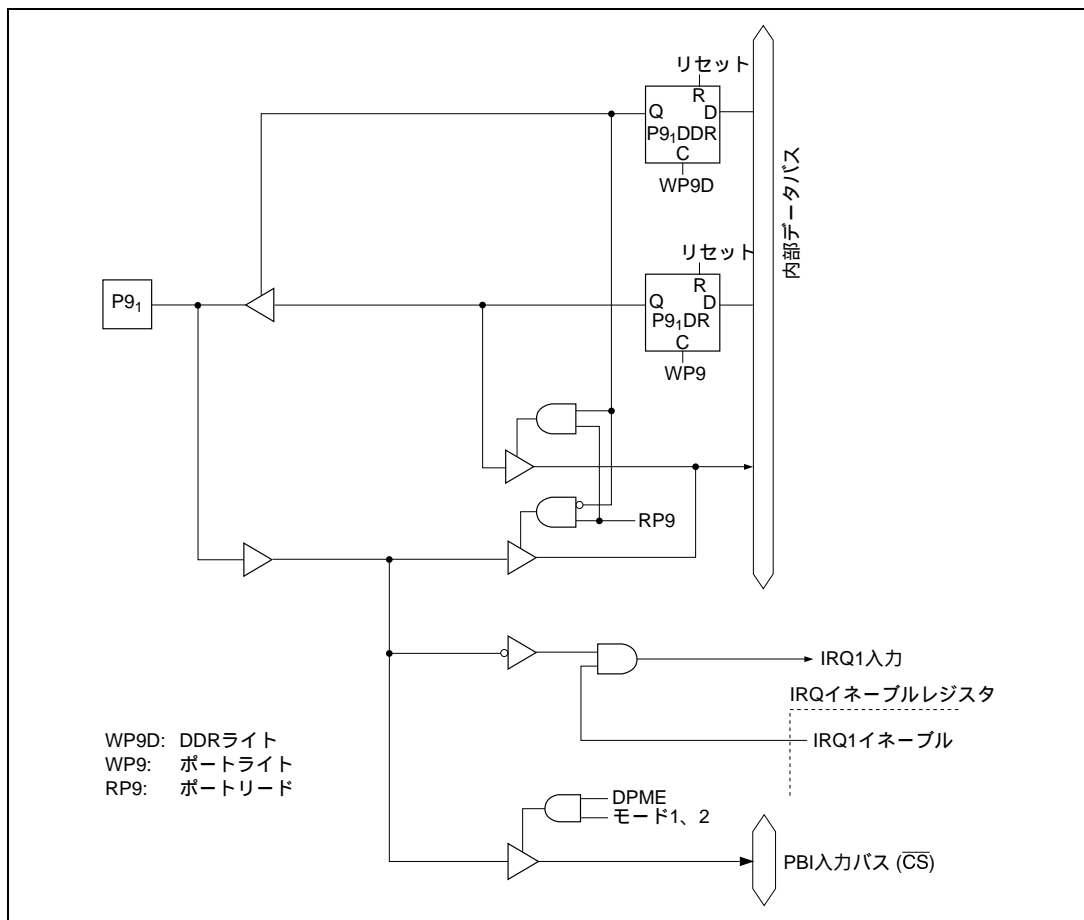


図 C.9(b) ポート 9 ブロック図 (P9₁端子)

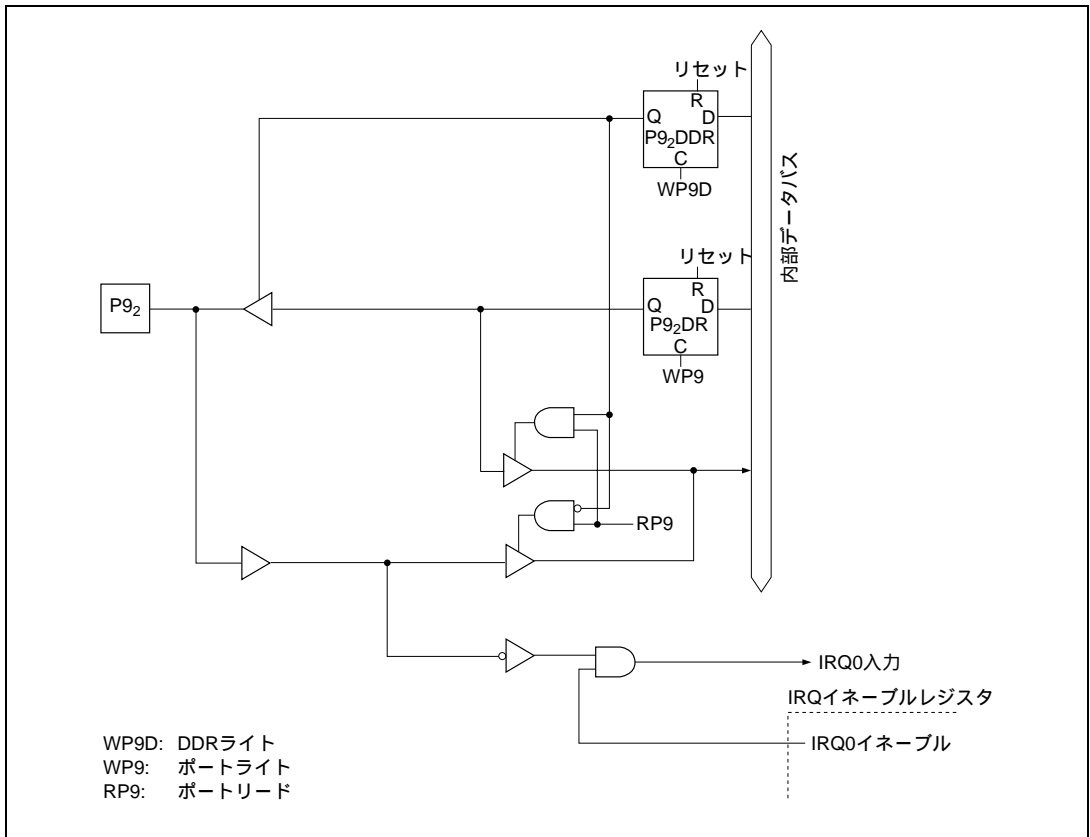


図 C.9(c) ポート 9 ブロック図 (P9₂端子)

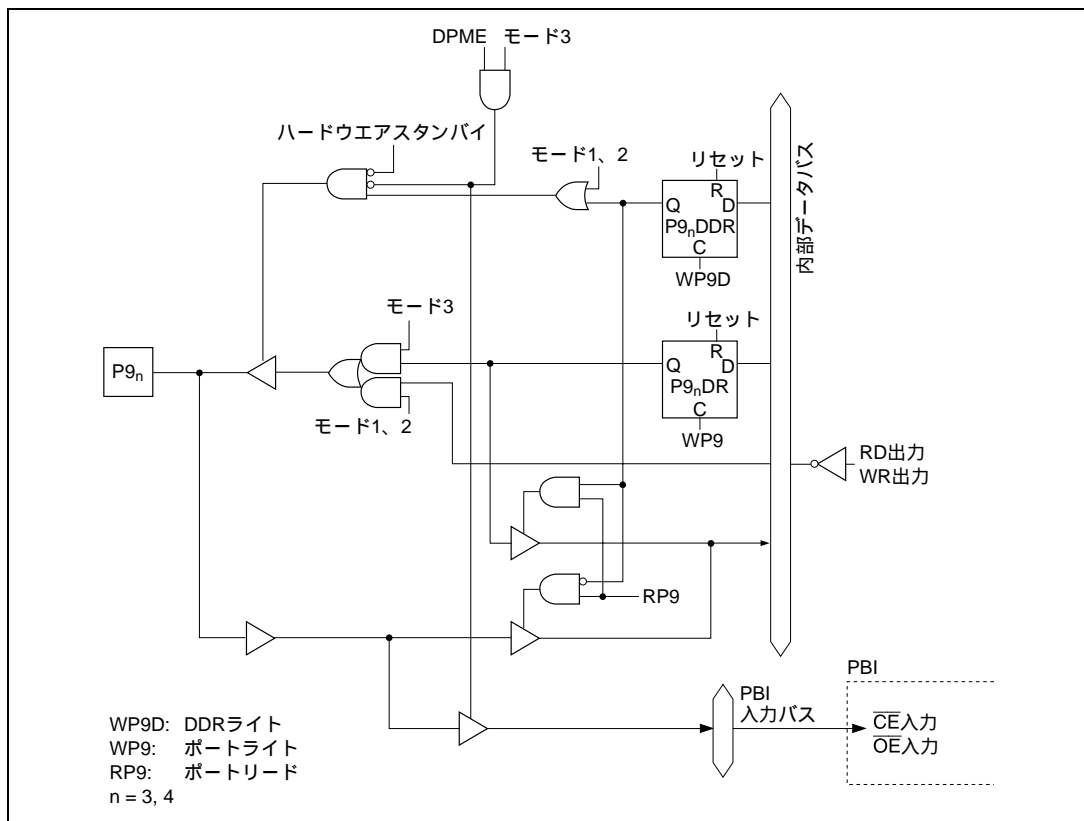


図 C.9(d) ポート 9 ブロック図 (P9₃、P9₄端子)

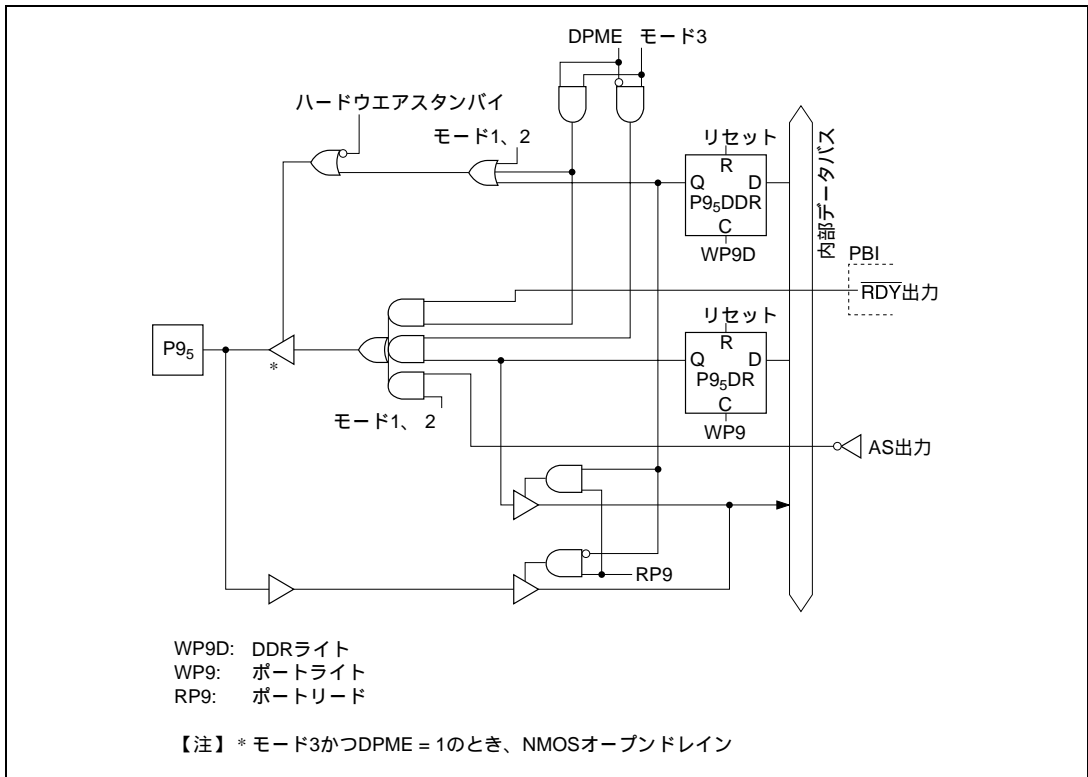


図 C.9(e) ポート 9 ブロック図 (P9₅端子)

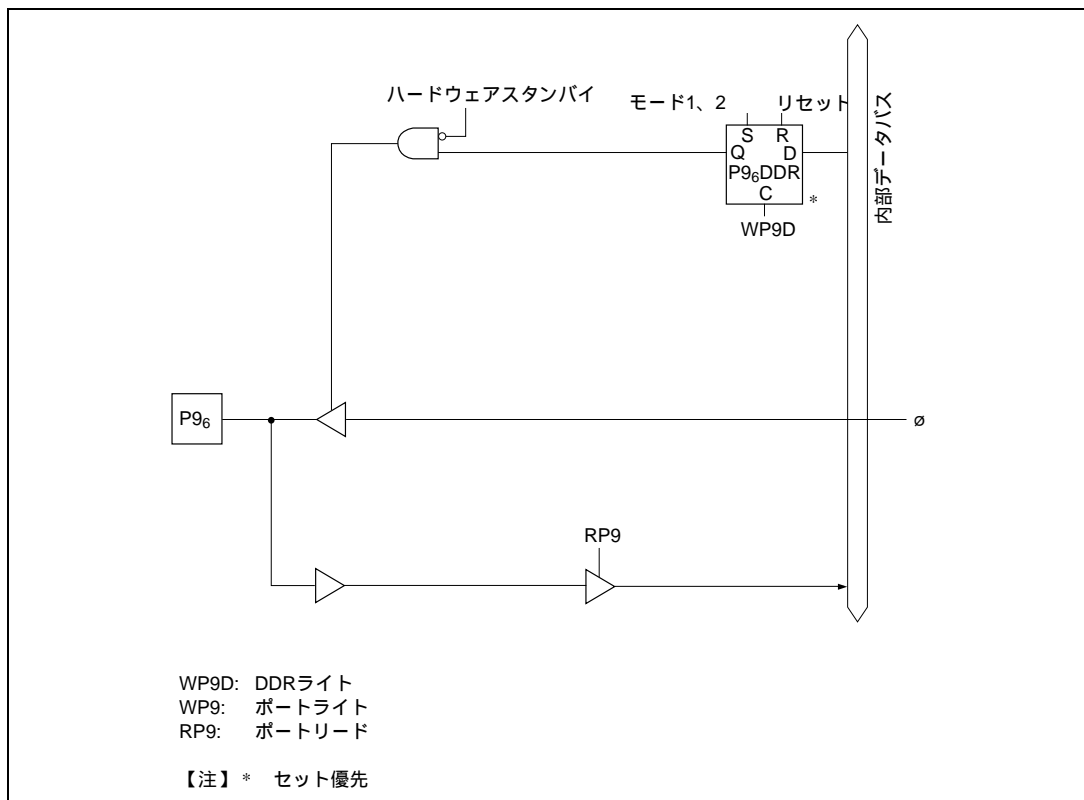


図 C.9(f) ポート 9 ブロック図 (P9₆端子)

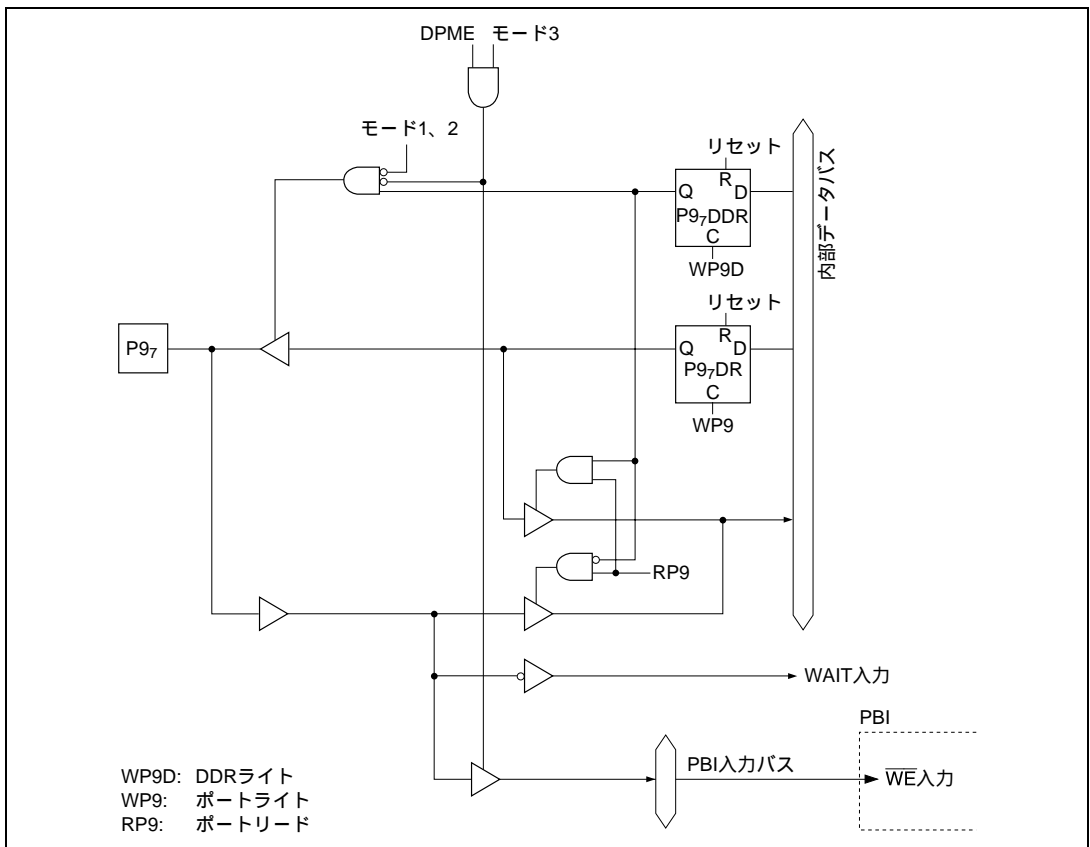


図 C.9(g) ポート 9 ブロック図 (P9, 端子)

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧(1)

ポート名 (兼用端子名)	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	スリープ モード	プログラム 実行状態 (通常動作)
P1 ₇ ~ P1 ₀ A ₇ ~ A ₀ TP ₇ ~ TP ₀	1	L	T	L	keep* ¹	A ₇ ~ A ₀
	2	T		[DDR = 1] L/keep [DDR = 0] keep		アドレス/ 入力ポート
	3			keep		入出力ポート
P2 ₇ ~ P2 ₀ A1 ₅ ~ A ₈ TP ₁₅ ~ TP ₈	1	L	T	L	keep* ¹	A ₁₅ ~ A ₈
	2	T		[DDR = 1] L/keep [DDR = 0] keep		アドレス/ 入力ポート
	3			keep		入出力ポート
P3 ₇ ~ P3 ₀ D ₇ ~ D ₀ DDB ₇ ~ DDB ₀	1	T	T	T	T	D ₇ ~ D ₀
	2					
	3			keep		keep
P4 ₇ ~ P4 ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
P5 ₂ ~ P5 ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
P6 ₇ ~ P6 ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
P7 ₇ ~ P7 ₀	1	T	T	T	T	入力ポート
	2					
	3					
P8 ₆ ~ P8 ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
P9 ₇ /WAIT	1	T	T	T	T	WAIT/ 入出力ポート
	2					
	3			keep		keep

表 D.1 各ポートの状態一覧(2)

ポート名 (兼用端子名)	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	スリープ モード	プログラム 実行状態 (通常動作)
P9 ₇	1	クロック 出力	T	H	クロック出力	クロック出力
	2					
	3	T		[DDR = 1] H [DDR = 0] T	[DDR = 1] クロック出力 [DDR = 0] T	[DDR = 1] クロック出力 [DDR = 0] 入力ポート
P9 ₅ ~ P9 ₃ AS、WR、RD	1	H	T	H	H	AS、WR、RD
	2	T		keep	keep	入出力ポート
	3					
P9 ₂ ~ P9 ₀	1	T	T	keep	keep	入出力ポート
	2					
	3					

<記号説明>

H: High レベル

L: Low レベル

T: ハイインピーダンス

keep: 入力ポートはハイインピーダンス(DDR = 0、PCR = 1 の場合、入力プルアップ MOS は、ON 状態を保持)、
出力ポートは保持

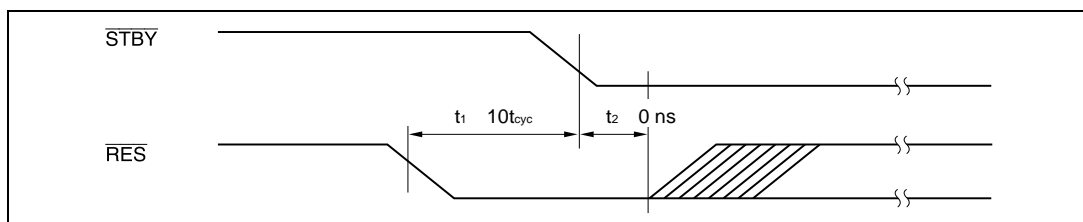
【注】 *1 アドレス出力の場合、最後にアクセスしたアドレスを保持。

*2 内蔵周辺モジュールがイニシャライズされるため、DDR、DR で決まる入出力ポートとなります。

E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

【ハードウェアスタンバイモードの遷移タイミング】

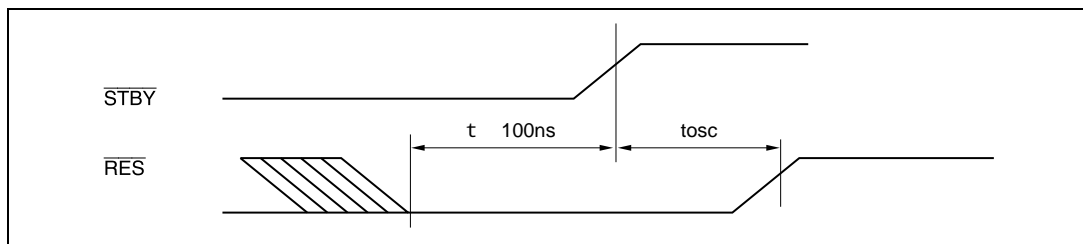
- (1) SYSCRのRAMEビットを0をクリアした状態でRAMの内容を保持する場合
 下記に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10システムクロック前に $\overline{\text{RES}}$ 信号をLowとしてください。
 また、 $\overline{\text{RES}}$ 信号立ち下がり、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、min 0nsです。



- (2) SYSCRのRAMEビットを1にセットした状態またはRAMの内容を保持しない場合(1)のように $\overline{\text{RES}}$ 信号をLowにする必要はありません。

【ハードウェアスタンバイモードからの復帰タイミング】

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、約 100ns 前に $\overline{\text{RES}}$ 信号を Low としてください。



F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

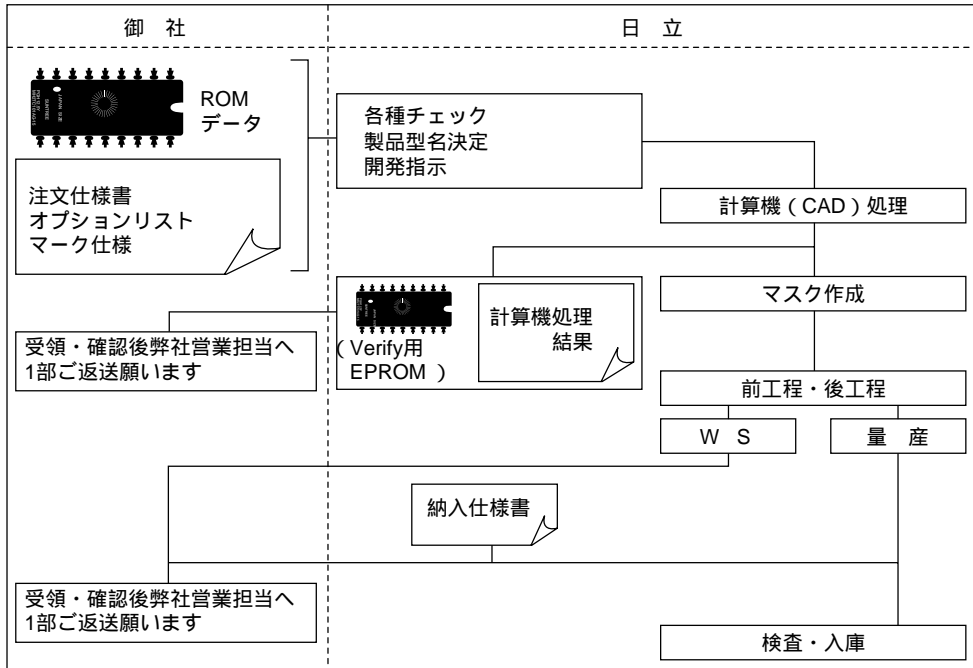


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT®
提出物	ROM データ
	注文仕様書
	オプションリスト*1
	マーク仕様例*2

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

F.2 ROM 発注時注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM または ZTAT[®]マイコンで提出してください。なお、EPROM または ZTAT[®]マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず 'FF' を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発砲スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

G. 型名一覧

表 G.1 H8/3318 型名一覧

製品分類		製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3318	ZTAT 版	HD6473318CG16	HD6473318CG16	84 ピン窓付 LCC (CG-84)
		HD6473318CP16	HD6473318CP16	84 ピン PLCC (CP-84)
		HD6473318F16	HD6473318F16	80 ピン QFP (FP-80A)
		HD6473318TF16	HD6473318TF16	80 ピン TQFP (TFP-80C)
	マスク ROM 版	HD6433318CP	HD6433318(***)CP	84 ピン PLCC (CP-84)
		HD6433318F	HD6433318(***)F	80 ピン QFP (FP-80A)
		HD6433318TF	HD6433318(***)TF	80 ピン TQFP (TFP-80C)

【注】 マスク ROM 版の(***)は ROM コードです。

H. 外形寸法図

外形寸法図 FP-80A を図 H.1、TFP-80C を図 H.2、CP-84 を図 H.3 および CG-84 を図 H.4 に示します。

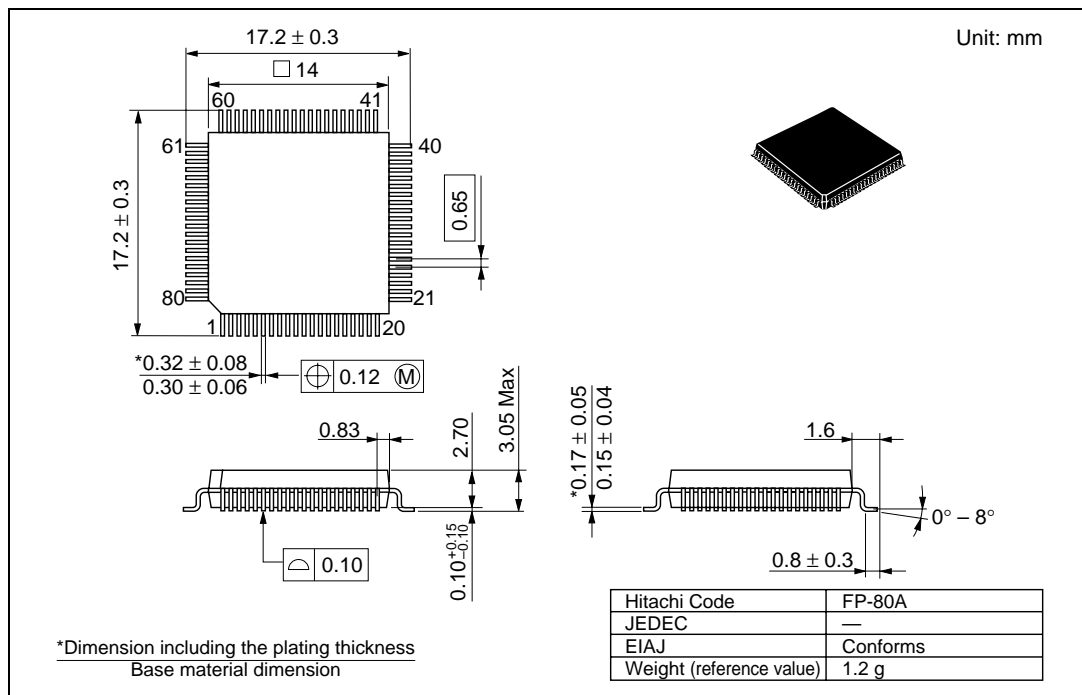


図 H.1 外形寸法図〔FP-80A〕

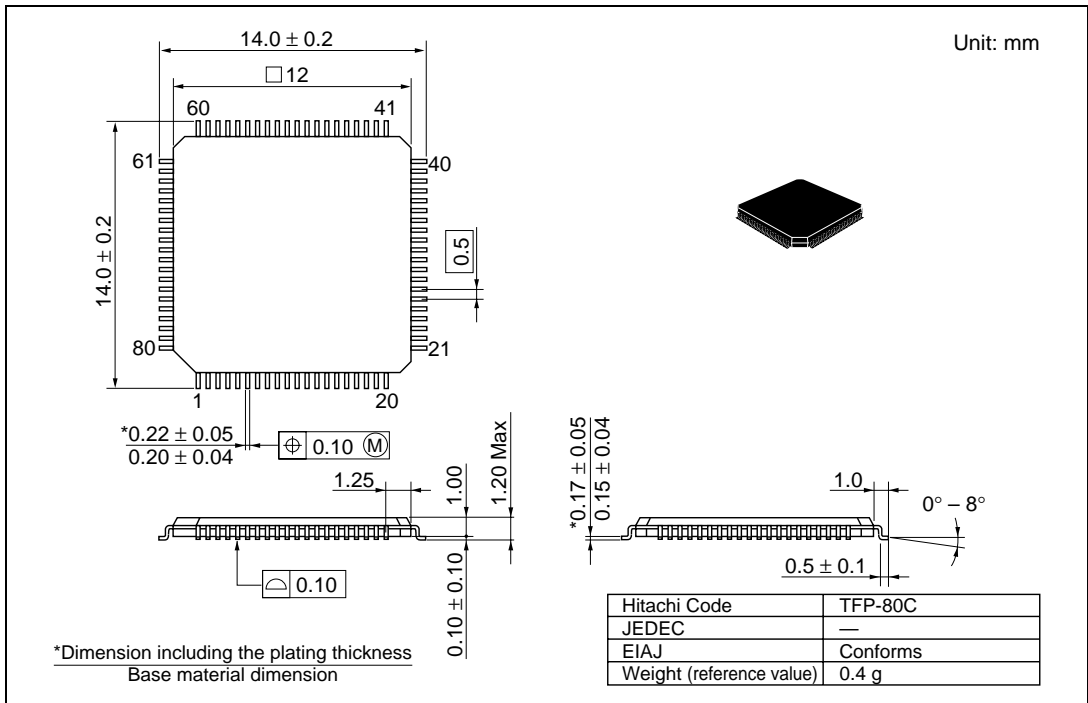


図 H.2 外形寸法図〔TFP-80C〕

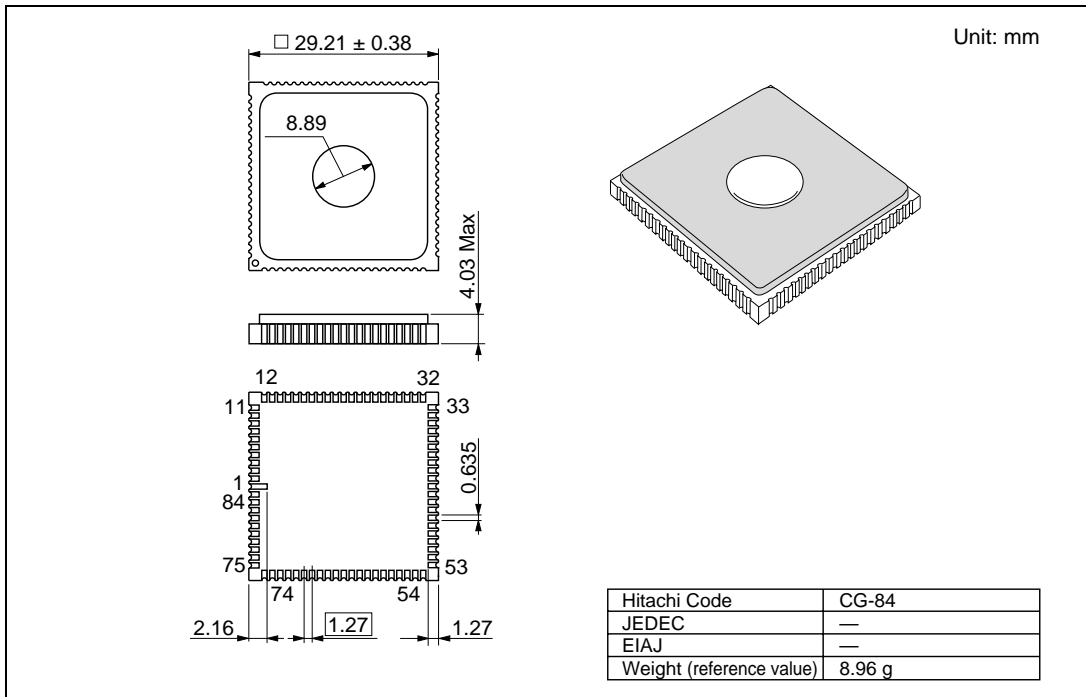


図 H.4 外形寸法図〔CG-84〕

H8/3318
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-114A