

78K0R/Lx3-M

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対象者 このマニュアルは78K0R/Lx3-Mマイクロコントローラの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

・ 78K0R/LG3-M : μ PD78F8070

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0R/Lx3-Mマイクロコントローラのマニュアルは、このマニュアルと命令編（78K0Rマイクロコントローラ共通）の2冊に分かれています。

78K0R/Lx3-M ユーザーズ・マニュアル	78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0Rでは予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。

78K0Rマイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編（R01US0029J）を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : \overline{xxx} (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和 文	英 文
78K0R/Lx3-M ユーザーズ・マニュアル	このマニュアル	R01UH0182E
78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編	R01US0029J	R01US0029E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和 文	英 文	
CC78K0R Ver.2.00 Cコンパイラ	操作編	U18549J	U18549E
	言語編	U18548J	U18548E
RA78K0R Ver.1.20 アセンブラ・パッケージ	操作編	U18547J	U18547E
	言語編	U18546J	U18546E
SM+ システム・シミュレータ	操作編	U18601J	U18601E
	ユーザ・オープン・インタフェース編	U18212J	U18212E
PM+ Ver.6.30		U18416J	U18416E
ID78K0R-QB Ver.3.20 統合デバッガ	操作編	U17839J	U17839E
CubeSuite+ 統合開発環境 ユーザーズマニュアル	起動編	R20UT0727J	R20UT0727E
	78K0R 設計編	R20UT0547J	R20UT0547E
	RL78, 78K0R コーディング編	R20UT0729J	R20UT0729E
	RL78, 78K0R ビルド編	R20UT0730J	R20UT0730E
	78K0R デバッグ編	R20UT0732J	R20UT0732E
	解析編	R20UT0735J	R20UT0735E
	メッセージ編	R20UT0736J	R20UT0736E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E
QB-Programmer プログラミングGUI 操作編	U18527J	U18527E

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ 総合カタログ	R01CS0001J	R01CS0001E
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	C12769E
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体パッケージ実装マニュアル」のホーム・ページ参照

和文 : <http://japan.renesas.com/products/package/manual/index.jsp>

英文 : <http://www.renesas.com/products/package/manual/index.jsp>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目 次

第1章 概 説 ... 1

- 1.1 特 徴 ... 1
- 1.2 オーダ情報 ... 3
- 1.3 端子接続図 (Top View) ... 4
- 1.4 ブロック図 ... 6
- 1.5 機能概要 ... 7

第2章 端子機能 ... 9

- 2.1 端子機能一覧 ... 9
- 2.2 端子機能の説明 ... 15
 - 2.2.1 P00, P01 ... 15
 - 2.2.2 P10-P12, P16 ... 16
 - 2.2.3 P33 ... 18
 - 2.2.4 P40, P41 ... 18
 - 2.2.5 P50-P57 ... 20
 - 2.2.6 P60, P61 ... 21
 - 2.2.7 P81, P82 ... 22
 - 2.2.8 P90-P97 ... 23
 - 2.2.9 P100 ... 23
 - 2.2.10 P120-P122, P124 ... 24
 - 2.2.11 P140-P147 ... 25
 - 2.2.12 P152, P157 ... 26
 - 2.2.13 LP01 ... 27
 - 2.2.14 ANIDS00, ANIDS01, ANIDS10, ANIDS11, ANIDS20, ANIDS21, ANIDS30, ANIDS31 ... 28
 - 2.2.15 CF ... 28
 - 2.2.16 COM0-COM3 ... 28
 - 2.2.17 SEG0-SEG14 ... 28
 - 2.2.18 EXCLKS1 ... 28
 - 2.2.19 FXTOUT ... 28
 - 2.2.20 IC0-IC6 ... 28
 - 2.2.21 RESET ... 28
 - 2.2.22 LRESET ... 28
 - 2.2.23 REGC ... 29
 - 2.2.24 RTC1HZ ... 29
 - 2.2.25 XT1, XT2 ... 29
 - 2.2.26 32KHZCLK ... 29
 - 2.2.27 FLMD0 ... 30
 - 2.2.28 AVDD, AVREF, LAVDD, AVREFIO, LAVSS, LVDD, LVSS, VDD, VLc0-VLc2, VSS ... 31
- 2.3 端子の入出力回路と未使用端子の処理 ... 32

第3章 CPUアーキテクチャ ... 39

- 3.1 **メモリ空間** ... 39
 - 3.1.1 内部プログラム・メモリ空間 ... 42
 - 3.1.2 ミラー領域 ... 44
 - 3.1.3 内部データ・メモリ空間 ... 46
 - 3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 47
 - 3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 ... 47
 - 3.1.6 拡張特殊機能レジスタ (3rd SFR : 3rd Special Function Register) 領域 ... 47
 - 3.1.7 データ・メモリ・アドレッシング ... 48
- 3.2 **プロセッサ・レジスタ** ... 49
 - 3.2.1 制御レジスタ ... 49
 - 3.2.2 汎用レジスタ ... 51
 - 3.2.3 ES, CSレジスタ ... 53
 - 3.2.4 特殊機能レジスタ (SFR : Special Function Register) ... 54
 - 3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) ... 60
 - 3.2.6 拡張特殊機能レジスタ (3rd SFR : 3rd Special Function Register) ... 68
- 3.3 **命令アドレスのアドレッシング** ... 74
 - 3.3.1 レラティブ・アドレッシング ... 74
 - 3.3.2 イミーディエト・アドレッシング ... 74
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 75
 - 3.3.4 レジスタ・ダイレクト・アドレッシング ... 76
- 3.4 **処理データ・アドレスに対するアドレッシング** ... 77
 - 3.4.1 インプライド・アドレッシング ... 77
 - 3.4.2 レジスタ・アドレッシング ... 77
 - 3.4.3 ダイレクト・アドレッシング ... 78
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 79
 - 3.4.5 SFRアドレッシング ... 80
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 81
 - 3.4.7 ベースト・アドレッシング ... 82
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 85
 - 3.4.9 スタック・アドレッシング ... 86

第4章 ポート機能 ... 87

- 4.1 **ポートの機能** ... 87
- 4.2 **ポートの構成** ... 90
 - 4.2.1 ポート0 ... 91
 - 4.2.2 ポート1 ... 93
 - 4.2.3 ポート3 ... 97
 - 4.2.4 ポート4 ... 99
 - 4.2.5 ポート5 ... 101
 - 4.2.6 ポート6 ... 105
 - 4.2.7 ポート8 ... 106
 - 4.2.8 ポート9 ... 109
 - 4.2.9 ポート10 ... 112
 - 4.2.10 ポート12 ... 114
 - 4.2.11 ポート14 ... 118
 - 4.2.12 ポート15 ... 121

- 4.2.13 ポートL0 ... 123
- 4.3 ポート機能を制御するレジスタ ... 124
- 4.4 ポート機能の動作 ... 138
 - 4.4.1 入出力ポートへの書き込み ... 138
 - 4.4.2 入出力ポートからの読み出し ... 138
 - 4.4.3 入出力ポートでの演算 ... 138
 - 4.4.4 異電位 (2.5 V系) 外部デバイスとの接続方法 ... 139
- 4.5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 141
- 4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項 ... 144

第5章 クロック発生回路 ... 145

- 5.1 クロック発生回路の機能 ... 145
- 5.2 クロック発生回路の構成 ... 146
- 5.3 クロック発生回路を制御するレジスタ ... 148
- 5.4 システム・クロック発振回路 ... 165
 - 5.4.1 X1発振回路 ... 165
 - 5.4.2 XT1発振回路 ... 165
 - 5.4.3 高速内蔵発振回路 ... 169
 - 5.4.4 低速内蔵発振回路 ... 169
 - 5.4.5 プリスケーラ ... 169
- 5.5 クロック発生回路の動作 ... 170
- 5.6 クロックの制御 ... 175
 - 5.6.1 高速システム・クロックの制御例 ... 175
 - 5.6.2 高速内蔵発振クロックの制御例 ... 178
 - 5.6.3 サブシステム・クロックの制御例 ... 180
 - 5.6.4 低速内蔵発振クロックの制御例 ... 184
 - 5.6.5 CPUクロック状態移行図 ... 185
 - 5.6.6 CPUクロックの移行前の条件と移行後の処理 ... 192
 - 5.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 195
 - 5.6.8 クロック発振停止前の条件 ... 196
- 5.7 クロック出力制御回路の機能 ... 197
- 5.8 クロック出力制御回路の構成 ... 197
- 5.9 クロック出力制御回路を制御するレジスタ ... 198
- 5.10 クロック出力制御回路の動作 ... 199

第6章 タイマ・アレイ・ユニット ... 200

- 6.1 タイマ・アレイ・ユニットの機能 ... 201
 - 6.1.1 単独チャンネルで動作する機能 ... 201
 - 6.1.2 複数チャンネルで動作する機能 ... 202
 - 6.1.3 LIN-bus対応機能 (タイマ・アレイ・ユニット0のチャンネル7のみ) ... 202
- 6.2 タイマ・アレイ・ユニットの構成 ... 203
- 6.3 タイマ・アレイ・ユニットを制御するレジスタ ... 209
- 6.4 チャンネル出力 (T_{Opq}端子) の制御 ... 233
 - 6.4.1 T_{Opq}端子の出力回路の構成 ... 233
 - 6.4.2 T_{Opq}端子の出力設定 ... 234
 - 6.4.3 チャンネル出力操作時の注意事項 ... 235

- 6.4.4 TOpqビットの一括操作 ... 238
- 6.4.5 カウント動作開始時のタイマ割り込みとTOpq端子出力について ... 239
- 6.5 **チャンネル入力の制御** ... 240
 - 6.5.1 エッジ検出回路 ... 240
- 6.6 **タイマ・アレイ・ユニットの基本機能説明** ... 241
 - 6.6.1 単体動作機能と連動動作機能の概要 ... 241
 - 6.6.2 連動動作機能の基本ルール ... 241
 - 6.6.3 連動動作機能の基本ルールの適用範囲 ... 242
- 6.7 **タイマ・アレイ・ユニットの単独チャンネルでの動作** ... 243
 - 6.7.1 インターバル・タイマ / 方形波出力としての動作 ... 243
 - 6.7.2 外部イベント・カウンタとしての動作 ... 250
 - 6.7.3 分周器としての動作 ... 254
 - 6.7.4 入力パルス間隔測定としての動作 ... 258
 - 6.7.5 入力信号のハイ / ロウ・レベル幅測定としての動作 ... 262
- 6.8 **タイマ・アレイ・ユニットの複数チャンネルでの動作** ... 266
 - 6.8.1 PWM機能としての動作 ... 266
 - 6.8.2 ワンショット・パルス出力機能としての動作 ... 273

第7章 リアルタイム・カウンタ ... 280

- 7.1 **リアルタイム・カウンタの機能** ... 280
- 7.2 **リアルタイム・カウンタの構成** ... 280
- 7.3 **リアルタイム・カウンタを制御するレジスタ** ... 282
- 7.4 **リアルタイム・カウンタの動作** ... 297
 - 7.4.1 リアルタイム・カウンタの動作開始 ... 297
 - 7.4.2 動作開始後のSTOPモードへの移行 ... 298
 - 7.4.3 リアルタイム・カウンタのカウント読み出し / 書き込み ... 299
 - 7.4.4 リアルタイム・カウンタのアラーム設定 ... 301
 - 7.4.5 リアルタイム・カウンタの1 Hz出力 ... 302
 - 7.4.6 リアルタイム・カウンタの32.768 kHz出力 ... 302
 - 7.4.7 リアルタイム・カウンタの時計誤差補正例 ... 303

第8章 リアルタイム・カウンタ2 ... 308

- 8.1 **リアルタイム・カウンタ2の機能** ... 308
- 8.2 **リアルタイム・カウンタ2の構成** ... 308
- 8.3 **リアルタイム・カウンタ2を制御するレジスタ** ... 310
- 8.4 **リアルタイム・カウンタ2の動作** ... 324
 - 8.4.1 リアルタイム・カウンタ2の動作開始 ... 324
 - 8.4.2 動作開始後のSTOPモードへの移行 ... 325
 - 8.4.3 リアルタイム・カウンタ2のカウント読み出し / 書き込み ... 326
 - 8.4.4 リアルタイム・カウンタ2のアラーム設定 ... 328

第9章 ウォッチドッグ・タイマ ... 329

- 9.1 **ウォッチドッグ・タイマの機能** ... 329
- 9.2 **ウォッチドッグ・タイマの構成** ... 330
- 9.3 **ウォッチドッグ・タイマを制御するレジスタ** ... 331
- 9.4 **ウォッチドッグ・タイマの動作** ... 332

- 9.4.1 ウォッチドッグ・タイマの動作制御 ... 332
- 9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 333
- 9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ... 334
- 9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 ... 335

第10章 10ビット逐次比較型A/Dコンバータ ... 336

- 10.1 10ビット逐次比較型A/Dコンバータの機能 ... 336
- 10.2 10ビット逐次比較型A/Dコンバータの構成 ... 338
- 10.3 10ビット逐次比較型A/Dコンバータで使用するレジスタ ... 340
- 10.4 10ビット逐次比較型A/Dコンバータの動作 ... 349
 - 10.4.1 A/Dコンバータの基本動作 ... 349
 - 10.4.2 入力電圧と変換結果 ... 351
 - 10.4.3 A/Dコンバータの動作モード ... 352
- 10.5 A/Dコンバータ特性表の読み方 ... 358
- 10.6 10ビット逐次比較型A/Dコンバータの注意事項 ... 361

第11章 24ビット 型A/Dコンバータ ... 365

- 11.1 24ビット 型A/Dコンバータの機能 ... 365
- 11.2 24ビット 型A/Dコンバータの構成 ... 366
- 11.3 24ビット 型A/Dコンバータで使用するレジスタ ... 369
- 11.4 24ビット 型A/Dコンバータの動作 ... 375
- 11.5 24ビット 型A/Dコンバータの注意事項 ... 377

第12章 シリアル・アレイ・ユニット ... 378

- 12.1 シリアル・アレイ・ユニットの機能 ... 379
 - 12.1.1 3線シリアルI/O (CSI20) ... 379
 - 12.1.2 UART (UART0, UART2, UART3) ... 379
 - 12.1.3 簡易I²C (IIC20) ... 380
- 12.2 シリアル・アレイ・ユニットの構成 ... 381
- 12.3 シリアル・アレイ・ユニットを制御するレジスタ ... 386
- 12.4 動作停止モード ... 408
 - 12.4.1 ユニット単位で動作停止とする場合 ... 408
 - 12.4.2 各チャンネルごとに動作停止とする場合 ... 409
- 12.5 3線シリアルI/O (CSI20) 通信の動作 ... 411
 - 12.5.1 マスタ送信 ... 412
 - 12.5.2 マスタ受信 ... 420
 - 12.5.3 マスタ送受信 ... 426
 - 12.5.4 スレーブ送信 ... 434
 - 12.5.5 スレーブ受信 ... 442
 - 12.5.6 スレーブ送受信 ... 448
 - 12.5.7 転送クロック周波数の算出 ... 456
- 12.6 UART (UART0, UART2, UART3) 通信の動作 ... 458
 - 12.6.1 UART送信 ... 459
 - 12.6.2 UART受信 ... 469
 - 12.6.3 LIN送信 ... 475
 - 12.6.4 LIN受信 ... 478

- 12.6.5 ボー・レートの算出 ... 483
- 12.7 簡易I²C (IIC20) 通信の動作 ... 487
 - 12.7.1 アドレス・フィールド送信 ... 488
 - 12.7.2 データ送信 ... 493
 - 12.7.3 データ受信 ... 496
 - 12.7.4 ストップ・コンディション発生 ... 500
 - 12.7.5 転送レートの算出 ... 501
- 12.8 エラー発生時の処理手順 ... 504
- 12.9 レジスタの設定と端子の関係 ... 506

第13章 シリアル・インタフェースIICA ... 511

- 13.1 シリアル・インタフェースIICAの機能 ... 511
- 13.2 シリアル・インタフェースIICAの構成 ... 514
- 13.3 シリアル・インタフェースIICAを制御するレジスタ ... 517
- 13.4 I²Cバス・モードの機能 ... 530
 - 13.4.1 端子構成 ... 530
 - 13.4.2 IICWL, IICWHレジスタによる転送クロック設定方法 ... 531
- 13.5 I²Cバスの定義および制御方法 ... 532
 - 13.5.1 スタート・コンディション ... 532
 - 13.5.2 アドレス ... 533
 - 13.5.3 転送方向指定 ... 533
 - 13.5.4 アクノリッジ (ACK) ... 534
 - 13.5.5 ストップ・コンディション ... 535
 - 13.5.6 ウェイト ... 536
 - 13.5.7 ウェイト解除方法 ... 538
 - 13.5.8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御 ... 539
 - 13.5.9 アドレスの一致検出方法 ... 540
 - 13.5.10 エラーの検出 ... 540
 - 13.5.11 拡張コード ... 541
 - 13.5.12 アービトレーション ... 542
 - 13.5.13 ウェイク・アップ機能 ... 544
 - 13.5.14 通信予約 ... 547
 - 13.5.15 その他の注意事項 ... 551
 - 13.5.16 通信動作 ... 552
 - 13.5.17 I²C割り込み要求 (INTIICA) の発生タイミング ... 560
- 13.6 タイミング・チャート ... 581

第14章 拡張SFR (3rd SFR) インタフェース ... 596

- 14.1 拡張SFR (3rd SFR) インタフェースの機能 ... 596
- 14.2 拡張SFR (3rd SFR) インタフェースの構成 ... 597
- 14.3 拡張SFR (3rd SFR) インタフェースを制御するレジスタ ... 600
- 14.4 拡張SFR (3rd SFR) インタフェースの動作 ... 615
 - 14.4.1 動作停止モード ... 615
 - 14.4.2 シリアルI/Oモード ... 617
- 14.5 拡張SFR (3rd SFR) レジスタへのリード/ライト ... 619

第15章 LCDコントローラ/ドライバ ... 626

- 15.1 LCDコントローラ/ドライバの機能 ... 626
- 15.2 LCDコントローラ/ドライバの構成 ... 627
- 15.3 LCDコントローラ/ドライバを制御するレジスタ ... 629
- 15.4 LCD表示データ・メモリ ... 636
- 15.5 LCDコントローラ/ドライバの設定 ... 637
- 15.6 コモン信号とセグメント信号 ... 639
- 15.7 表示モード ... 644
 - 15.7.1 スタティック表示例 ... 644
 - 15.7.2 2時分割表示例 ... 647
 - 15.7.3 3時分割表示例 ... 650
 - 15.7.4 4時分割表示例 ... 654
- 15.8 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給 ... 657
 - 15.8.1 外部抵抗分割方式 ... 657
 - 15.8.2 内部昇圧方式 ... 658
 - 15.8.3 容量分割方式 ... 659
- 15.9 LCD表示データの選択 ... 660
 - 15.9.1 Aパターン領域, Bパターン領域のデータ表示 ... 660
 - 15.9.2 点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示) ... 661

第16章 乗除算器 ... 662

- 16.1 乗除算器の機能 ... 662
- 16.2 乗除算器の構成 ... 662
- 16.3 乗除算器を制御するレジスタ ... 667
- 16.4 乗除算器の動作 ... 668
 - 16.4.1 乗算動作 ... 668
 - 16.4.2 除算動作 ... 669

第17章 DMAコントローラ ... 671

- 17.1 DMAコントローラの機能 ... 671
- 17.2 DMAコントローラの構成 ... 672
- 17.3 DMAコントローラを制御するレジスタ ... 675
- 17.4 DMAコントローラの動作 ... 679
 - 17.4.1 動作手順 ... 679
 - 17.4.2 転送モード ... 680
 - 17.4.3 DMA転送の終了 ... 680
- 17.5 DMAコントローラの設定例 ... 681
 - 17.5.1 拡張SFR (3rd SFR) 連続アドレスへのライト ... 681
 - 17.5.2 拡張SFR (3rd SFR) 連続アドレスへのリード ... 683
 - 17.5.3 A/D変換結果の連続取り込み ... 685
 - 17.5.4 UART連続受信 + ACK送信 ... 687
 - 17.5.5 DWAITnによるDMA転送保留 ... 689
 - 17.5.6 ソフトウェアでの強制終了 ... 690
- 17.6 DMAコントローラの注意事項 ... 692

第18章 割り込み機能 ... 694

- 18.1 割り込み機能の種類 ... 694
- 18.2 割り込み要因と構成 ... 694
- 18.3 割り込み機能を制御するレジスタ ... 699
- 18.4 割り込み処理動作 ... 714
 - 18.4.1 マスカブル割り込み要求の受け付け動作 ... 714
 - 18.4.2 ソフトウェア割り込み要求の受け付け動作 ... 717
 - 18.4.3 多重割り込み処理 ... 717
 - 18.4.4 割り込み要求の保留 ... 721

第19章 電力演算回路 ... 722

- 19.1 電力演算回路の機能 ... 722
- 19.2 電力演算回路の構成 ... 723
- 19.3 電力演算回路で使用するレジスタ ... 726
- 19.4 電力, エネルギー演算 ... 755
 - 19.4.1 電流インテグレータ ... 755
 - 19.4.2 90°フェーズ・シフタ ... 755
 - 19.4.3 電流, 電圧RMS演算 ... 756
 - 19.4.4 有効電力と電力量 (エネルギー) 演算 ... 759
 - 19.4.5 無効電力と電力量 (エネルギー) 演算 ... 771
 - 19.4.6 皮相電力と電力量 (エネルギー) 演算 ... 784
 - 19.4.7 アンペア時アキュムレーション ... 792
 - 19.4.8 波形サンプリング機能 ... 794
 - 19.4.9 割り込み ... 795
 - 19.4.10 節電モード ... 803
 - 19.4.11 電力演算回路の注意事項 ... 806

第20章 電力品質測定回路 ... 807

- 20.1 電力品質測定回路の機能 ... 807
 - 20.1.1 割り込み信号生成機能 ... 807
- 20.2 電力品質測定回路の構成 ... 808
- 20.3 電力品質測定回路で使用するレジスタ ... 812
- 20.4 電力品質測定回路の機能詳細 ... 827
- 20.5 電力品質測定回路の注意事項 ... 835

第21章 デジタル周波数変換回路 ... 836

- 21.1 デジタル周波数変換回路の機能 ... 836
- 21.2 デジタル周波数変換回路の構成 ... 836
- 21.3 デジタル周波数変換を制御するレジスタ ... 837
- 21.4 デジタル周波数変換の動作 ... 840

第22章 スタンバイ機能 ... 843

- 22.1 スタンバイ機能と構成 ... 843
 - 22.1.1 スタンバイ機能 ... 843

22.1.2	スタンバイ機能を制御するレジスタ ...	844
22.2	スタンバイ機能の動作 ...	847
22.2.1	HALTモード ...	847
22.2.2	STOPモード ...	853
第23章	リセット機能 ...	859
23.1	リセット要因を確認するレジスタ ...	870
23.2	リセット解除後の注意事項 ...	871
第24章	パワーオン・クリア回路 ...	872
24.1	パワーオン・クリア回路の機能 ...	872
24.2	パワーオン・クリア回路の構成 ...	873
24.3	パワーオン・クリア回路の動作 ...	873
24.4	パワーオン・クリア回路の注意事項 ...	876
第25章	低電圧検出回路 ...	878
25.1	低電圧検出回路の機能 ...	878
25.2	低電圧検出回路の構成 ...	879
25.3	低電圧検出回路を制御するレジスタ ...	879
25.4	低電圧検出回路の動作 ...	883
25.4.1	リセットとして使用時の設定 ...	883
25.4.2	割り込みとして使用時の設定 ...	890
25.5	低電圧検出回路の注意事項 ...	896
第26章	レギュレータ ...	900
26.1	レギュレータの概要 ...	900
26.2	レギュレータを制御するレジスタ ...	900
第27章	オプション・バイト ...	902
27.1	オプション・バイトの機能 ...	902
27.1.1	ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H) ...	902
27.1.2	オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) ...	903
27.2	ユーザ・オプション・バイトのフォーマット ...	904
27.3	オンチップ・デバッグ・オプション・バイトのフォーマット ...	906
27.4	オプション・バイトの設定 ...	907
第28章	フラッシュ・メモリ ...	908
28.1	フラッシュ・メモリ・プログラマによる書き込み方法 ...	908
28.2	プログラミング環境 ...	908
28.3	通信方式 ...	909
28.4	オンボード上の端子処理 ...	911
28.4.1	FLMD0端子 ...	911
28.4.2	TOOL0端子 ...	912

- 28.4.3 $\overline{\text{RESET}}$ 端子 ... 912
- 28.4.4 ポート端子 ... 912
- 28.4.5 REGC端子 ... 912
- 28.4.6 X1, X2端子 ... 913
- 28.4.7 電 源 ... 913
- 28.5 フラッシュ・メモリを制御するレジスタ ... 913
- 28.6 プログラミング方法 ... 914
 - 28.6.1 フラッシュ・メモリ制御 ... 914
 - 28.6.2 フラッシュ・メモリ・プログラミング・モード ... 915
 - 28.6.3 通信方式 ... 915
 - 28.6.4 通信コマンド ... 916
- 28.7 セキュリティ設定 ... 917
- 28.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 919
 - 28.8.1 ブート・スワップ機能 ... 921
 - 28.8.2 フラッシュ・シールド・ウインドウ機能 ... 923
- 28.9 書き込み済み品発注用ROMコードの作成方法 ... 924
 - 28.9.1 ROMコードの発注手順 ... 924

第29章 オンチップ・デバッグ機能 ... 925

- 29.1 QB-MINI2と78K0R/Lx3-Mマイクロコントローラの接続 ... 925
- 29.2 オンチップ・デバッグ・セキュリティID ... 926
- 29.3 ユーザ資源の確保 ... 926

第30章 10進補正 (BCD) 回路 ... 928

- 30.1 10進補正回路の機能 ... 928
- 30.2 10進補正回路で使用するレジスタ ... 928
- 30.3 10進補正回路の動作 ... 929

第31章 命令セットの概要 ... 931

- 31.1 凡 例 ... 932
 - 31.1.1 オペランドの表現形式と記述方法 ... 932
 - 31.1.2 オペレーション欄の説明 ... 933
 - 31.1.3 フラグ動作欄の説明 ... 934
 - 31.1.4 PREFIX命令 ... 934
- 31.2 オペレーション一覧 ... 935

第32章 電気的特性... 952

第33章 外形図 ... 1000

付録A 改版履歴... 1001

- A.1 本版で改訂された主な箇所 ... 1001

第1章 概 説

78K0R/Lx3-Mマイクロコントローラは、78K0R CPUコアを使用し、ROM/RAM、LCDコントローラ/ドライバ、10ビット逐次比較型A/Dコンバータ、多機能シリアル・インタフェース、多機能タイマ、リアルタイム・カウンタ、ウォッチドッグ・タイマ、および電力測定に必要な24ビット 型A/Dコンバータ、電力演算回路、電力品質測定回路、デジタル周波数変換回路などの周辺機能を内蔵した16ビット・シングルチップ・マイクロコントローラです。

1.1 特 徴

高速(0.05 μ s: 高速システム・クロック20 MHz動作時)から超低速(61 μ s: サブシステム・クロック32.768 kHz動作時)まで最小命令実行時間を変更可能

汎用レジスタ: 8ビット \times 32レジスタ(8ビット \times 8レジスタ \times 4バンク)

ROM, RAM容量

- ・プログラム・メモリ (ROM) : 128 Kバイト
- ・データ・メモリ (RAM) : 7 Kバイト

高速内蔵発振クロック内蔵

- ・8 MHz高速内蔵発振クロック: 8 MHz \pm 5%
- ・1 MHz高速内蔵発振クロック: 1 MHz \pm 13%

単電源のフラッシュ・メモリ内蔵(チップ消去/ブロック消去/書き込み禁止機能あり)

セルフ・プログラミング機能対応(ブート・スワップ/フラッシュ・シールド・ウインドウ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア(POC)回路, 低電圧検出(LVI)回路内蔵

ウォッチドッグ・タイマ内蔵(専用の低速内蔵発振クロックで動作可能)

乗除算器(16ビット \times 16ビット, 32ビット \div 32ビット)内蔵

10進補正(BCD)回路内蔵

I/Oポート: 45本(N-chオープン・ドレイン: 2本)

タイマ

- ・16ビット・タイマ: 12チャンネル(入力: 3, 出力: 3)
- ・ウォッチドッグ・タイマ: 1チャンネル
- ・リアルタイム・カウンタ: 1チャンネル(出力: 1)
- ・リアルタイム・カウンタ2: 1チャンネル

シリアル・インタフェース

UART : 1チャンネル

CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル

UART (LIN-bus対応) : 1チャンネル

マルチマスタI²C : 1チャンネル

10ビット逐次比較型A/Dコンバータ : 2チャンネル

24ビット 型A/Dコンバータ : 4チャンネル

LCDコントローラ / ドライバ (内部昇圧 / 容量分割 / 外部抵抗分割を切り替え可能)

- ・セグメント信号出力 : 40本

- ・コモン信号出力 : 4本

DMAコントローラ : 2チャンネル

電力演算回路内蔵

電力品質測定回路内蔵

デジタル周波数変換回路内蔵

電源電圧 : $V_{DD} = 1.8 \sim 3.6 \text{ V}$

動作周囲温度 : $T_A = -40 \sim +85$

1.2 オーダ情報

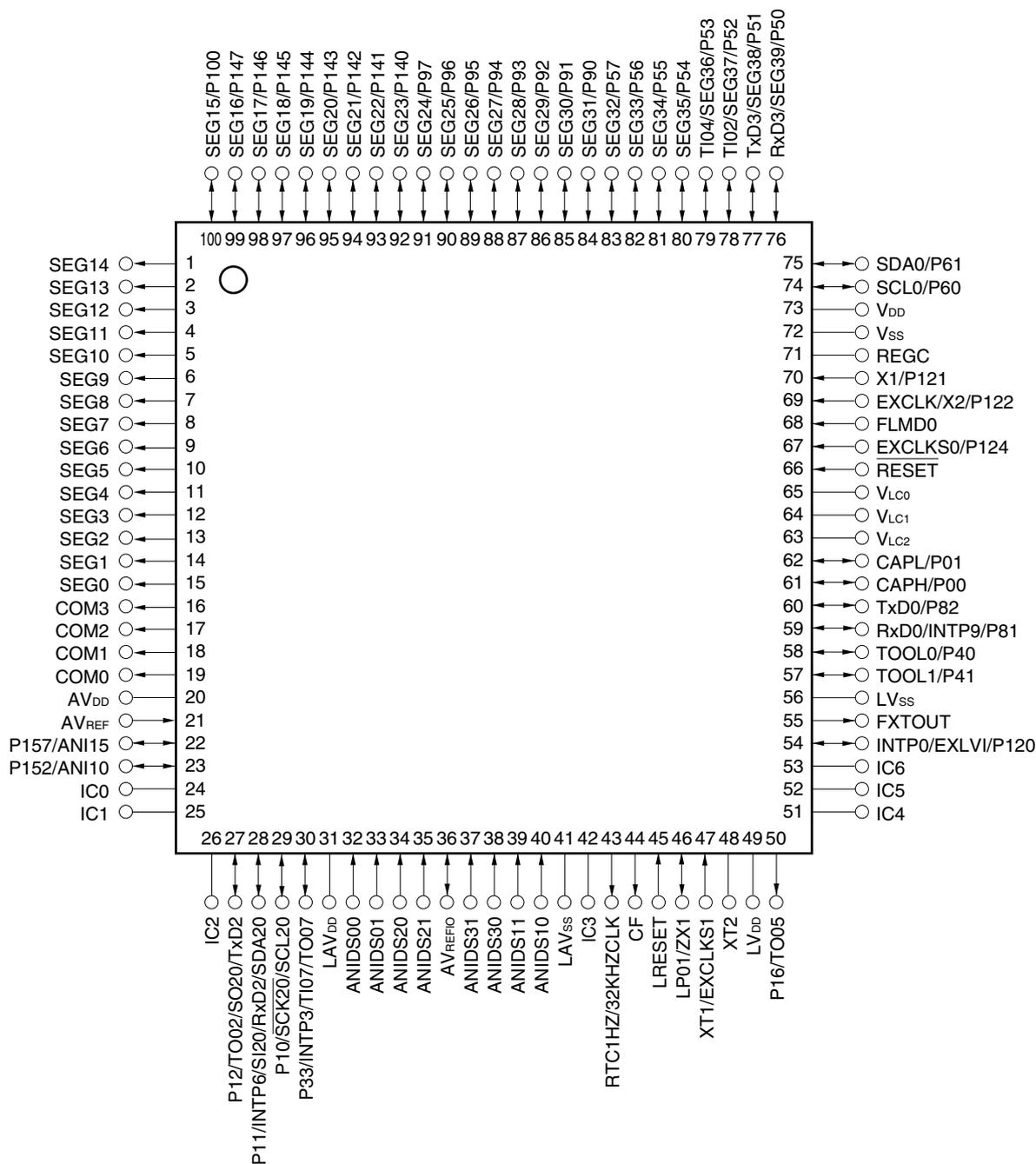
・フラッシュ・メモリ製品（鉛フリー製品）

78K0R/Lx3-M マイクロ コントローラ	パッケージ	オーダ名称
78K0R/LG3-M	100ピン・プラスチックLQFP（ファインピッチ）（14x14）	μPD78F8070GC-UEU-AX

注意 78K0R/Lx3-Mマイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.3 端子接続図 (Top View)

・100ピン・プラスチックLQFP (ファインピッチ) (14x14)



注意1. REGCはコンデンサ (0.47 ~ 1 μ F) を介し, V_{SS}に接続してください。

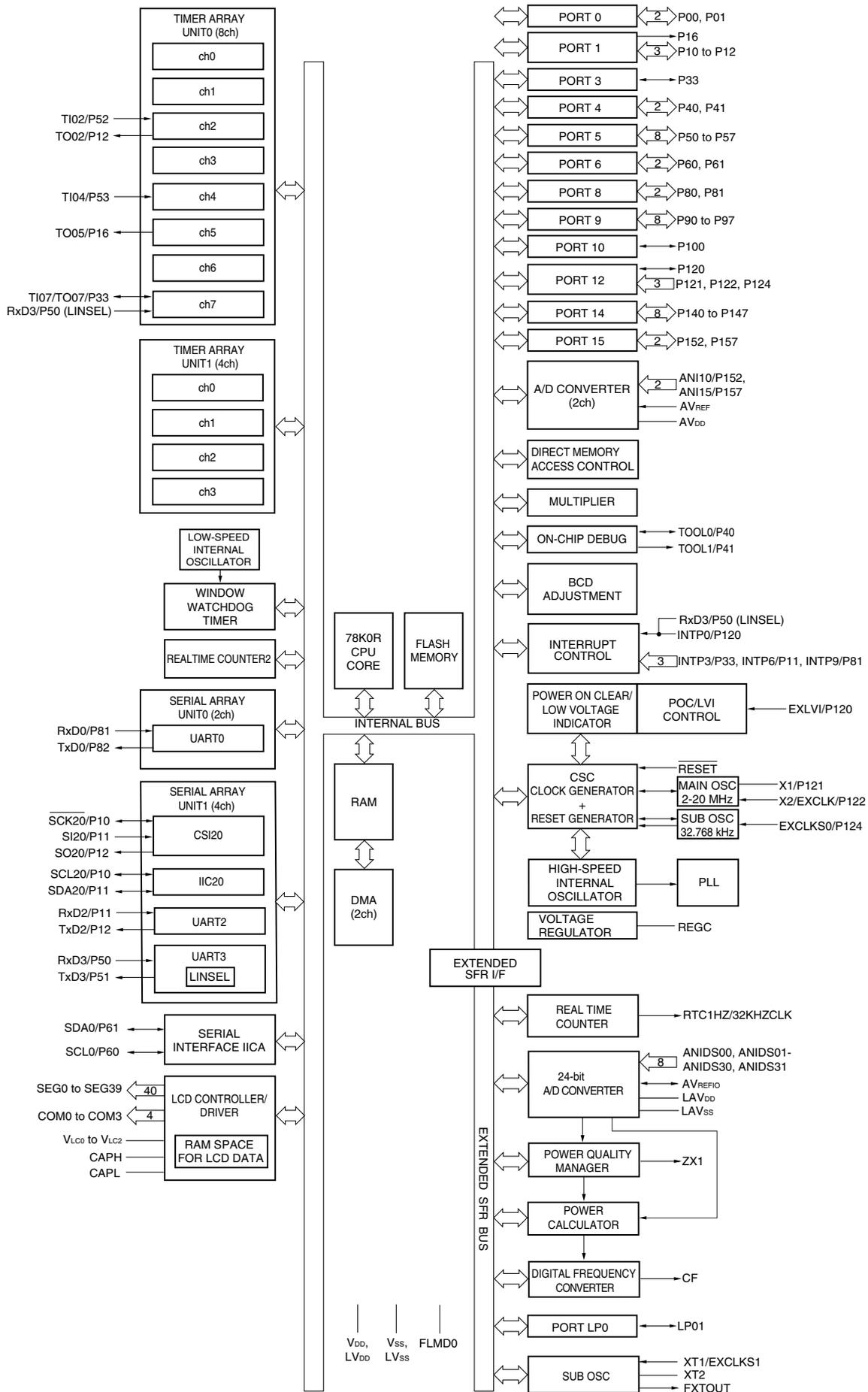
2. ノイズ対策として以下の端子処理を行ってください。

- ・V_{SS}端子とLV_{SS}端子を最短距離でかつ, なるべく太い配線でショートしてください。
- ・RESET端子をバイパス・コンデンサ (容量: 47 μ F程度) を介してGNDに接続してください。
- ・LRESET端子をバイパス・コンデンサ (容量: 10 μ F程度) を介してGNDに接続してください。

端子名称

ANI10, ANI15 :	Analog Input	P50-P57 :	Port 5
ANIDS00, ANIDS01,		P60, P61 :	Port 6
ANIDS10, ANIDS11,		P81, P82 :	Port 8
ANIDS20, ANIDS21,		P90-P97 :	Port 9
ANIDS30, ANIDS31 :	Analog Input	P100 :	Port 10
AV _{DD} :	Analog Power Supply	P120-P122, P124 :	Port 12
AV _{REF} :	Analog Reference Voltage	P140-P147 :	Port 14
AV _{REFIO} :	Analog Reference Voltage	P152, P157 :	Port 15
CAPH, CAPL :	Capacitor for LCD	REGC :	Regulator Capacitance
CF :	Calibration Frequency Output	$\overline{\text{RESET}}$:	Reset
COM0-COM3 :	LCD Common Output	RTC1HZ :	Real-time Counter Correction
EXCLK :	External Clock Input (Main system clock)	RxD0, RxD2, RxD3 :	Receive Data
EXCLKS0,		$\overline{\text{SCK20}}$:	Serial Clock Input/Output
EXCLKS1 :	External Clock Input (Subsystem Clock)	SCL0, SCL20 :	Serial Clock Input/Output
EXLVI :	External Potential Input for Low Voltage Detector	SDA0, SDA20 :	Serial Data Input/Output
FLMD0 :	Flash Programming Mode	SEG0-SEG39 :	LCD Segment Output
FXTOUT :	Subsystem Clock Output	SI20 :	Serial Data Input
IC0-IC6 :	Internal Connection	SO20 :	Serial Data Output
INTP0, INTP3		TI02, TI04, TI07 :	Timer Input
INTP6, INTP9 :	External Interrupt Input	TO02, TO05, TO07 :	Timer Output
LAV _{DD} :	Analog Power Supply	TOOL0 :	Data Input/Output for Tool
LAV _{SS}	Analog Ground	TOOL1 :	Clock Output for Tool
LP01 :	Port LP0	TxD0, TxD2, TxD3 :	Transmit Data
LRESET :	Reset	V _{DD} :	Power Supply
LV _{DD} :	Power Supply	V _{LC0-V_{LC2}} :	LCD Power Supply
LV _{SS} :	Ground	V _{SS} :	Ground
P00, P01 :	Port 0	X1, X2 :	Crystal Oscillator (Main system clock)
P10-P12, P16 :	Port 1	XT1, XT2 :	Crystal Oscillator (Subsystem Clock)
P33 :	Port 3	ZX1 :	Zero Cross Detection Signal Output
P40, P41 :	Port 4	32KHZCLK :	32 kHz Clock Output

1.4 ブロック図



1.5 機能概要

(1/2)

項 目		78K0R/LG3-M	
		μ PD78F8070	
内部メモリ	フラッシュ・メモリ(セルフ・プログラミング対応)	128 KB	
	RAM	7 KB	
メモリ空間		1 Mバイト	
メイン・システム・クロック (発振周波数)	高速システム・クロック	X1 (水晶/セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 2~20 MHz: $V_{DD} = 2.7 \sim 3.6$ V, 2~5 MHz: $V_{DD} = 1.8 \sim 2.7$ V	
	高速内蔵発振クロック	内蔵発振 オプション・バイトで, 1 MHz (TYP.) または 8 MHz (TYP.) を選択	
サブシステム・クロック (発振周波数)		XT1 (水晶) 発振, 外部サブシステム・クロック入力 (EXCLKS1) 32.768 kHz (TYP.)	
低速内蔵発振クロック (WDT用)		内蔵発振 30 kHz (TYP.)	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.05 μs (高速システム・クロック: $f_{MX} = 20$ MHz動作時)	
		0.125 μs (高速内蔵発振クロック: $f_{IH} = 8$ MHz (TYP.) 動作時)	
		30.5 μs (サブシステム・クロック: $f_{SUB} = 32.768$ kHz動作時)	
命令セット		<ul style="list-style-type: none"> ・8ビット演算, 16ビット演算 ・乗算 (16ビット×16ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) など 	
I/Oポート	合計	45本	
	入出力	CMOS	39本
		N-ch O.D.	2本
	出力	CMOS	1本
入力	CMOS	3本	
タイマ	<ul style="list-style-type: none"> ・16ビット・タイマ: 12チャンネル ・ウォッチドッグ・タイマ: 1チャンネル ・リアルタイム・カウンタ: 1チャンネル ・リアルタイム・カウンタ2: 1チャンネル 		
	タイマ出力	3本 (PWM出力: 3本 (タイマ・アレイ・ユニット0))	
	RTC出力	1本 <ul style="list-style-type: none"> ・1 Hz (サブシステム・クロック: $f_{SUB} = 32.768$ kHz) ・32.768 kHz (サブシステム・クロック: $f_{SUB} = 32.768$ kHz) 	
10ビット逐次比較型A/Dコンバータ		2チャンネル	
24ビット 型A/Dコンバータ		4チャンネル	

(2/2)

項 目		78K0R/LG3-M
		μ PD78F8070
シ リ ア ル・ イ ン タ フ ェ ース	UART (LIN-bus対応)	1チャンネル
	CSI / UART / 簡易I ² C	1チャンネル
	UART	1チャンネル
	マルチマスタI ² C	1チャンネル
LCDコントローラ / ドライバ		内部昇圧 / 容量分割 / 外部抵抗分割の切り替えが可能
	セグメント信号出力	40本
	コモン信号出力	4本
乗除算器		16ビット×16ビット = 32ビット (乗算), 32ビット÷32ビット = 32ビット 剰余32ビット (除算)
DMAコントローラ		2チャンネル
ベクタ割り込み 要因	内部	32
	外部	4
電力演算回路		あり
電力品質測定回路		あり
デジタル周波数変数回路		あり
リセット		<ul style="list-style-type: none"> ・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット^注
パワーオン・クリア回路		<ul style="list-style-type: none"> ・ パワー・オン・リセット : 1.61 ± 0.09 V ・ パワー・ダウン・リセット : 1.59 ± 0.09 V
低電圧検出回路	V _{DD} 電圧検出	1.91 V ~ 3.45 V (11段階)
	EXLVI電圧検出	1.21 V
オンチップ・デバッグ機能		あり
10進補正 (BCD) 機能		
電源電圧		V _{DD} = 1.8 ~ 3.6 V
動作周囲温度		T _A = -40 ~ +85
パッケージ		100ピン・プラスチックLQFP (ファインピッチ) (14x14)

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、AV_{DD}、LAV_{DD}、LV_{DD}、V_{DD}の4系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV _{DD}	P152, P157
LAV _{DD}	ANIDS00, ANIDS01, ANIDS10, ANIDS11, ANIDS20, ANIDS21, ANIDS30, ANIDS31端子
LV _{DD}	CF, EXCLKS1, LP01, XT1, XT2, ZX1, LRESET, FXTOUT, TO05, P16端子
V _{DD}	上記以外の端子

(1) ポート機能 (1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	CAPH
P01				CAPL
P10	入出力	ポート1。 3ビット入出力ポートと1ビット出力ポート。 1ビット単位で入力/出力の指定可能。 P10, P11の入力はTTL入力バッファに設定可能。	入力ポート	SCK20/SCL20
P11				SI20/RxD2/SDA20/ INTP6
P12				SO20/TxD2/TO02
P16	出力	P10-P12の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能 P10-P12の入力はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート ^{注1}	TO05
P33	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI07/TO07/INTP3
P40 ^{注2}	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG39/RxD3
P51				SEG38/TxD3
P52				SEG37/TO02
P53				SEG36/TO04
P54-P57				SEG35-SEG32
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCL0
P61				SDA0
P81	入出力	ポート8。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P82の出力は、N-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	RxD0/ INTP9
P82				TxD0
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG31-SEG24
P100	入出力	ポート10。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG15

- 注1. P16/TO05を使用する場合、リセット解除後PM1のPM16ビット、PM2のPM20ビットには0、P2のP20ビットには1を設定してください。
2. オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください。

(1) ポート機能 (2/2)

機能名称	入出力	機能	リセット時	兼用機能
P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
P121	入力	1ビット入出力ポートと3ビット入力ポート。 P120のみ、1ビット単位で入力/出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。		X1
P122				X2/EXCLK
P124				EXCLKS0
P140-P147	入出力	ポート14。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG23-SEG16
P152	入出力	ポート15。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI10
P157				ANI15
LP01	入出力	ポートLP0。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	ZX1

(2) ポート以外の機能 (1/3)

機能名称	入出力	機能	リセット時	兼用機能			
ANI10	入力	10ビット逐次比較型A/Dコンバータのアナログ入力	デジタル 入力ポート	P152			
ANI15				P157			
AV _{REF}	入力	10ビット逐次比較型A/Dコンバータのアナログ基準電圧入力	入力	-			
ANIDS00	入力	24ビット 型A/Dコンバータのアナログ入力。 ANIDSx0は負側入力，ANIDSx1は正側入力端子です。 また，2線方式と3線方式により，各入力端子の対応チャンネル（電 圧／電流）が異なります（第11章 24ビット 型A/Dコンバー タ参照）。	入力	-			
ANIDS01				-			
ANIDS10				-			
ANIDS11				-			
ANIDS20				-			
ANIDS21				-			
ANIDS30				-			
ANIDS31				-			
LAV _{DD}				-	24ビット 型A/Dコンバータの正電源	-	-
AV _{REFIO}				入出力	24ビット 型A/Dコンバータの基準電圧	出力ポート	-
LAV _{SS}	-	24ビット 型A/Dコンバータのグラウンド電位。 V _{SS} と同電位にしてください。	-	-			
SEG0-SEG14	出力	LCDコントローラ／ドライバのセグメント信号出力	出力 入力ポート	-			
SEG15				P100			
SEG16-SEG23				P147-P140			
SEG24-SEG31				P97-P90			
SEG32-SEG39				P57-P50			
CF	出力	較正周波数出力	出力	-			
COM0-COM3	出力	LCDコントローラ／ドライバのコモン信号出力	出力	-			
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-			
CAPH	-	LCDコントローラ／ドライバ用コンデンサ接続	入力ポート	P00			
CAPL				P01			
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0			
INTP0	入力	有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下 がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI			
INTP3				P33/TI07/TO07			
INTP6				P11/SI20/RxD2/ SDA20			
INTP9				P81/RxD0			
LV _{DD}	-	リアルタイム・カウンタ，電力演算回路，サブシステム・クロッ ク発振回路，ポートLPの正電源	-	-			
LV _{SS}	-	リアルタイム・カウンタ，電力演算回路，サブシステム・クロッ ク発振回路，ポートLPのグラウンド電位。 V _{SS} 端子と最短距離でかつ，なるべく太い配線でショートしてくだ さい。	-	-			
REGC	-	内部動作レギュレータ出力（2.4 V）安定容量接続。 コンデンサ（0.47～1 μF）を介し，V _{SS} に接続してください。	-	-			
RTC1HZ	出力	リアルタイム・カウンタ補正クロック（1 Hz）出力	出力	32KHZCLK			
RESET	入力	システム・リセット入力。 バイパス・コンデンサ（容量：47 μF程度）を介してGND に接続 してください。	-	-			

(2) ポート以外の機能 (2/3)

機能名称	入出力	機能	リセット時	兼用機能
LRESET	入力	システム・リセット入力。 ただし、この端子は必ずLV _{DD} に直接接続または抵抗を介して接続してください。また、バイパス・コンデンサ(容量: 10 μ F程度)を介してGNDに接続してください。	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P81/INTP9
RxD2		UART2のシリアル・データ入力		P11/SI20/SDA20/ INTP6
RxD3		UART3のシリアル・データ入力		P50/SEG39
SCK20	入出力	CSI20のクロック入力/出力	入力ポート	P10/SCL20
SCL0	入出力	I ² Cのクロック入力/出力	入力ポート	P60
SCL20	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P10/SCK20
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA20	入力	簡易I ² Cのシリアル・データ入出力		P11/SI20/RxD2/ INTP6
SI20		CSI20のシリアル・データ入力		P11/RxD2/SDA20/ INTP6
SO20	出力	CSI20のシリアル・データ出力	入力ポート	P12/TxD2/TO02
TI02	入力	16ビット・タイマ02への外部カウント・クロック入力	入力ポート	P52/SEG37
TI04		16ビット・タイマ04への外部カウント・クロック入力		P53/SEG36
TI07		16ビット・タイマ07への外部カウント・クロック入力		P33/TO07/INTP3
TO02		16ビット・タイマ02出力		P12/SO20/TxD2
TO05		16ビット・タイマ05出力		P16
TO07		16ビット・タイマ07出力		P33/TI07/INTP3
TxD0		出力		UART0のシリアル・データ出力
TxD2	UART2のシリアル・データ出力		P12/SO20/TO02	
TxD3	UART3のシリアル・データ出力		P51/SEG38	
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
EXCLKS0	入力	サブシステム・クロック用外部クロック入力	入力ポート	P124
EXCLKS1	入力	サブシステム・クロック用外部クロック入力。 ただし、必ずご使用している基板上で、FXTOUT端子からの出力をP124/EXCLKS0端子への入力とするように接続してください。	入力	XT1
FXTOUT	出力	サブシステム・クロック出力。 ただし、必ずご使用している基板上で、FXTOUT端子からの出力をP124/EXCLKS0端子への入力とするように接続してください。	出力	-
XT1	-	サブシステム・クロック用発振子接続	-	EXCLKS1
XT2	-		-	-
ZX1	出力	ゼロクロス検出信号出力	入力ポート	LP01
32KHZCLK	出力	リアルタイム・カウンタ・クロック (32 kHz) 出力	出力	RTC1HZ
V _{DD}	-	正電源	-	-
AV _{DD}	-	P152, P157端子, 10ビット逐次比較型A/Dコンバータの正電源	-	-

(2) ポート以外の機能 (3/3)

機能名称	入出力	機能	リセット時	兼用機能
V _{SS}	-	グラウンド電位。 LV _{SS} 端子と最短距離でかつ、なるべく太い配線でショートしてください。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41
IC0-IC6	-	内部接続端子。 IC0-IC2, IC4-IC6端子はオープンにしてください。 IC3端子はLV _{SS} に接続してください。	-	-

2.2 端子機能の説明

2.2.1 P00, P01

入出力ポートです。兼用機能として、LCDコントローラ/ドライバ用コンデンサ接続端子があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P00/CAPH
P01/CAPL

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバ用コンデンサ接続端子として機能します。

(a) CAPH, CAPL

LCDコントローラ/ドライバ用コンデンサ接続端子です。

注意 P00/CAPH, P01/CAPLを汎用ポートとして使用する場合、LCDモード設定レジスタ (LCDMD) のビット5 (MDSET1) とビット4 (MDSET0) を初期状態と同じ設定“0”で使用してください。

2.2.2 P10-P12, P16

入出力ポートです。兼用機能として、シリアル・インタフェースのクロック入出力、データ入出力、タイマの出力、外部割り込み要求入力があります。

P10, P11端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P10-P12端子の出力は、ポート出力モード・レジスタ1 (POM1) の設定により、N-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

78K0R/LG3-M (100ピン : μ PD78F8070)
P10/SCK20/SCL20
P11/SI20/RxD2/SDA20/INTP6
P12/SO20/TxD2/TO02
P16/TO05

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのクロック入出力、データ入出力、タイマの出力、外部割り込み要求入力として機能します。

(a) $\overline{\text{SCK20}}$

シリアル・インタフェースCSI20のクロック入出力端子です。

(b) SI20

シリアル・インタフェースCSI20のシリアル・データ入力端子です。

(c) SO20

シリアル・インタフェースCSI20のシリアル・データ出力端子です。

(d) SCL20

シリアル・インタフェースIIC20 (簡易I²C) のシリアル・クロック入出力端子です。

(e) SDA20

シリアル・インタフェースIIC20 (簡易I²C) のシリアル・データ入出力端子です。

(f) RxD2

シリアル・インタフェースUART2のシリアル・データ入力端子です。

(g) TxD2

シリアル・インタフェースUART2のシリアル・データ出力端子です。

(h) TO02

16ビット・タイマ02のタイマ出力端子です。

(i) INTP6

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

- 注意1. P10/SCK20/SCL20, P11/SI20/RxD2/SDA20/INTP6を汎用ポートとして使用する場合，シリアル・アレイ・ユニット1の設定に注意してください。詳細は，表12 - 7 レジスタの設定と端子の関係（ユニット1のチャンネル0：CSI20, UART2受信, IIC20）を参照してください。
2. P12/TO02/SO20/TxD2を汎用ポートとして使用する場合，タイマ出力レジスタ0（TO0）のビット2（TO02）とタイマ出力許可レジスタ0（TOE0）のビット2（TOE02）を初期状態と同じ設定“0”で使用してください。また，シリアル・アレイ・ユニット1の設定に注意してください。シリアル・アレイ・ユニット1の詳細は，表12 - 7 レジスタの設定と端子の関係（ユニット1のチャンネル0：CSI20, UART2受信, IIC20）を参照してください。
3. P16/TO05を汎用ポートとして使用する場合，タイマ出力レジスタ0（TO0）のビット5（TO05）とタイマ出力許可レジスタ0（TOE0）のビット5（TOE05）を初期状態と同じ設定“0”で使用してください。また，PM2のPM20ビットにはリセット解除後必ず0，P2のP20ビットにはリセット解除後必ず1を設定してください。

2.2.3 P33

入出力ポートです。兼用機能として、タイマの入出力、外部割り込み要求入力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P33/TI07/TO07/INTP3

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、外部割り込み要求入力として機能します。

(a) TI07

16ビット・タイマ07のタイマ入力端子です。

(b) TO07

16ビット・タイマ07のタイマ出力端子です。

(c) INTP3

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

注意 P33/TO07/TI07/INTP3を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット7 (TO07) とタイマ出力許可レジスタ0 (TOE0) のビット7 (TOE07) を初期状態と同じ設定“0”で使用してください。

2.2.4 P40, P41

入出力ポートです。兼用機能として、フラッシュ・メモリ・プログラマ/デバッガ用データ入出力、デバッガ用クロック出力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P40/TOOL0
P41/TOOL1

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4(PU4)の設定により、内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可(オプション・バイトで設定)の場合は、必ず外部プルアップ抵抗を接続してください。

(2) コントロール・モード

フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力、デバッガ用のクロック出力として機能します。

(a) TOOL0

フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力端子です。

オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください(プルダウン禁止)。

(b) TOOL1

デバッガ用のクロック出力端子です。

オンチップ・デバッグ機能使用時には、P41/TOOL1端子はデバッガのモード設定により次のようになります。

1線モード : ポート(P41)として使用できます。

2線モード : TOOL1端子として使用するためポート(P41)としては使用できません。

注意 P40/TOOL0端子は、次に示す(a)~(c)の場合によって、端子機能が決まります。

(b)か(c)の場合には、該当する端子処理を行ってください。

(a) 通常動作モード時、かつ、

オプション・バイト(000C3H)でオンチップ・デバッグ禁止(OCDENSET = 0)設定時
ポート機能(P40)としてご使用ください。

(b) 通常動作モード時、かつ、

オプション・バイト(000C3H)でオンチップ・デバッグ許可(OCDENSET = 1)設定時
外部で抵抗を介してV_{DD}に接続し、リセット解除前から常にハイ・レベルを入力してください。

(c) オンチップ・デバッグ機能使用時、または、

フラッシュ・メモリ・プログラマによる書き込みモード時
TOOL0端子として使用します。

オンチップ・デバッグ・エミュレータやフラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してV_{DD}に接続することで、プルアップしてください。

2.2.5 P50-P57

入出力ポートです。兼用機能として、シリアル・インタフェースのデータ入出力、タイマの入力、LCDコントローラ/ドライバのセグメント出力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P50/RxD3/SEG39
P51/TxD3/SEG38
P52/TI02/SEG37
P53/TI04/SEG36
P54/SEG35
P55/SEG34
P56/SEG33
P57/SEG32

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、タイマの入力、LCDコントローラ/ドライバのセグメント出力として機能します。

(a) RxD3

シリアル・インタフェースUART3のシリアル・データ入力端子です。

(b) TxD3

シリアル・インタフェースUART3のシリアル・データ出力端子です。

(c) TI02, TI04

16ビット・タイマ02, 04のタイマ入力端子です。

(d) SEG32-SEG39

LCDコントローラ/ドライバのセグメント出力端子です。

2.2.6 P60, P61

入出力ポートです。兼用機能として、シリアル・インタフェースIICAのデータ入出力、クロック入出力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P60/SCL0
P61/SDA0

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60, P61端子の出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースIICAのクロック入出力、データ入出力として機能します。

(a) SCL0

シリアル・インタフェースIICAのシリアル・クロック入出力端子です。

(b) SDA0

シリアル・インタフェースIICAのシリアル・データ入出力端子です。

注意 P60/SCL0, P61/SDA0を汎用ポートとして使用する場合、シリアル・インタフェースIICAを動作停止にしてください。

2.2.7 P81, P82

入出力ポートです。兼用機能として、シリアル・インタフェースのデータ入出力、外部割り込み要求入力があります。

P82端子の出力は、ポート出力モード・レジスタ8 (POM8) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

78K0R/LG3-M (100ピン : μ PD78F8070)
P81/RxD0/INTP9
P82/TxD0

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ8 (PU8) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、外部割り込み要求入力として機能します。

(a) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(b) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(c) INTP9

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

注意 P81/RxD0/INTP9, P82/TxD0を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、表12-5 レジスタの設定と端子の関係(ユニット0のチャンネル0:UART0受信)を参照してください。

2.2.8 P90-P97

入出力ポートです。兼用機能として、LCDコントローラ/ドライバのセグメント出力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P90/SEG31
P91/SEG30
P92/SEG29
P93/SEG28
P94/SEG27
P95/SEG26
P96/SEG25
P97/SEG24

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ9 (PM9) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ9 (PU9) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント出力 (SEG24-SEG31) として機能します。

(a) SEG24-SEG31

LCDコントローラ/ドライバのセグメント出力端子です。

2.2.9 P100

入出力ポートです。兼用機能として、LCDコントローラ/ドライバのセグメント出力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P100/SEG15

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ10 (PM10) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ10 (PU10) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント出力 (SEG15) として機能します。

(a) SEG15

LCDコントローラ/ドライバのセグメント出力端子です。

2.2.10 P120-P122, P124

P120は入出力ポートです。P121, P122, P124は入力ポートです。兼用機能として、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、外部割り込み要求入力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P120/INTP0/EXLVI
P121/X1
P122/X2/EXCLK
P124/EXCLKS0

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、内蔵プルアップ抵抗を使用できます。

P121, P122, P124は入力ポートとして機能します。

(2) コントロール・モード

外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、外部割り込み要求入力として機能します。

(a) EXLVI

外部低電圧検出用電位入力端子です。

(b) X1, X2

メイン・システム・クロック用発振子接続端子です。

(c) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(d) EXCLKS0

サブシステム・クロック用外部クロック入力端子です。

必ずご使用している基板上で、FXTOUT端子からの出力をP124/EXCLKS0端子への入力とするように接続してください。

(e) INTPO

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

- 注意1. P121, P122, P124の機能設定は，リセット解除後1回のみ可能です。一度，発振子/発振器接続用に設定したポートは，リセットしないかぎり入力ポートとして使用できません。
2. P124は，必ずサブシステム・クロック用外部クロック入力(EXCLKS0)として使用してください。EXCLKS0端子使用時の設定は，クロック動作モード制御レジスタ(CMC)，ポート機能制御レジスタ(PORTCTL)で行います。

2.2.11 P140-P147

入出力ポートです。兼用機能として，LCDコントローラ/ドライバのセグメント出力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P140/SEG23
P141/SEG22
P142/SEG21
P143/SEG20
P144/SEG19
P145/SEG18
P146/SEG17
P147/SEG16

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

LCDコントローラ/ドライバのセグメント出力 (SEG16-SEG23) として機能します。

(a) SEG16-SEG23

LCDコントローラ/ドライバのセグメント出力端子です。

2.2.12 P152, P157

入出力ポートです。兼用機能として、10ビット逐次比較型A/Dコンバータのアナログ入力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
P152/ANI10
P157/ANI15

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ15 (PM15) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

10ビット逐次比較型A/Dコンバータのアナログ入力として機能します。

(a) ANI10, ANI15

10ビット逐次比較型A/Dコンバータのアナログ入力端子です。

- 注意**
1. P152/ANI10, P157/ANI15は、リセット解除後はデジタル入力（汎用ポート）モードになります。
 2. P152/ANI10, P157/ANI15のうち1本でもデジタル・ポートとして使用する場合は、 AV_{DD} を V_{DD} と同電位にしてください。

2.2.13 LP01

入出力ポートです。兼用機能として、電力品質測定回路のゼロクロス検出信号出力があります。

78K0R/LG3-M (100ピン : μ PD78F8070)
LP01/ZX1

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタLP0 (LPM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタLP0 (LPU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

電力品質測定回路のゼロクロス検出信号出力として機能します。

(a) ZX1

ゼロクロス検出信号出力端子です。

2.2.14 ANIDS00, ANIDS01, ANIDS10, ANIDS11, ANIDS20, ANIDS21, ANIDS30, ANIDS31

24ビット 型A/Dコンバータのアナログ入力端子です。

ANIDSx0は負側入力, ANIDSx1は正側入力端子です。

また, 2線方式と3線方式により, 各入力端子の対応チャンネル(電圧/電流)が異なります(第11章 24ビット 型A/Dコンバータ参照)。

2.2.15 CF

デジタル周波数変換回路の較正周波数出力端子です。

2.2.16 COM0-COM3

LCDコントローラ/ドライバのコモン出力です。

2.2.17 SEG0-SEG14

LCDコントローラ/ドライバのセグメント出力です。

2.2.18 EXCLKS1

サブシステム・クロック用外部クロック入力端子です。

2.2.19 FXTOUT

サブシステム・クロック出力端子です。

必ずご使用している基板上で, FXTOUT端子からの出力をP124/EXCLKS0端子への入力とするように接続してください。

2.2.20 IC0-IC6

内部接続端子です。

IC0-IC2, IC4-IC6端子はオープンにしてください。

IC3端子はLV_{ss}に接続してください。

2.2.21 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

外部リセット端子を使用しない場合は, 直接または抵抗を介してV_{DD}に接続してください。

外部リセット端子を使用する場合は, V_{DD}を基準に設計してください。

また, この端子はバイパス・コンデンサ(容量: 47 μ F程度)を介してGNDに接続してください。

2.2.22 LRESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

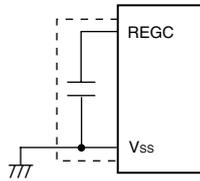
LRESET端子は必ずLV_{DD}に直接接続または抵抗を介して接続してください。

また, この端子はバイパス・コンデンサ(容量: 10 μ F程度)を介してGNDに接続してください。

2. 2. 23 REGC

内部動作レギュレータ出力 (2.4 V) 安定容量接続端子です。コンデンサ (0.47 ~ 1 μ F) を介し、V_{SS}に接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2. 2. 24 RTC1HZ

リアルタイム・カウンタ補正クロック (1 Hz) 出力端子です。

2. 2. 25 XT1, XT2

サブシステム・クロック用発振子接続端子です。

2. 2. 26 32KHZCLK

リアルタイム・カウンタ・クロック (32 kHz) 出力端子です。

2.2.27 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

次に示すいずれかの該当する端子処理を行ってください。

(a) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (28.5 (1) バックグラウンド・イベント・コントロール・レジスタ (BECTL) 参照)。もし外部でもプルダウンするときは200 kΩ以下の抵抗でプルダウンしてください。

また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(b) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

(c) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

2.2.28 AV_{DD}, AV_{REF}, LAV_{DD}, AV_{REFIO}, LAV_{SS}, LV_{DD}, LV_{SS}, V_{DD}, V_{LC0-V_{LC2}}, V_{SS}

(1) AV_{DD}

10ビット逐次比較型A/DコンバータおよびP152, P157の正電源供給端子です。

ポート15のうち,1本でもデジタル・ポートとして使用する場合,または10ビット逐次比較型A/Dコンバータを使用しない場合は, AV_{DD}をV_{DD}と同電位にしてください。

(2) AV_{REF}

10ビット逐次比較型A/Dコンバータの基準電圧入力端子です。

10ビット逐次比較型A/Dコンバータを使用しない場合は, AV_{REF}をAV_{DD}またはV_{DD}と同電位にしてください。

(3) LAV_{DD}

24ビット 型A/Dコンバータの正電源供給端子です。

(4) AV_{REFIO}

24ビット 型A/Dコンバータの基準電圧入出力端子です。

(5) LAV_{SS}

24ビット 型A/Dコンバータのグランド電位端子です。24ビット 型A/Dコンバータを使用しない場合は, LV_{SS}に直接接続してください。

(6) LV_{DD}

リアルタイム・カウンタ, 電力演算回路, サブシステム・クロック発振回路, ポートLPの正電源供給端子です。

(7) LV_{SS}

リアルタイム・カウンタ, 電力演算回路, サブシステム・クロック発振回路, ポートLPのグランド電位端子です。リアルタイム・カウンタ, 電力演算回路, サブシステム・クロック発振回路, ポートLPを使用しない場合は, V_{SS}に直接接続してください。

この端子は, V_{SS}端子と最短距離でかつ, なるべく太い配線でショートしてください。

(8) V_{DD}

正電源供給端子です。

(9) V_{LC0-V_{LC2}}

LCD駆動用電源電圧端子です。

(10) V_{SS}

グランド電位端子です。

この端子は, LV_{SS}端子と最短距離でかつ, なるべく太い配線でショートしてください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-2に示します。

表2-2 各端子の未使用端子処理 (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/CAPH	12-H	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P01/CAPL			
P10/SCK20/SCL20	5-AN		
P11/SI20/RxD2/SDA20/ INTP6			
P12/SO20/TxD2/TO02	5-AG		
P16/TO05	3-C	出力	
P33/TI07/TO07/INTP3	8-R	入出力	
P40/TOOL0		入出力	< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P41/TOOL1	5-AG		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P50/SEG39/RxD3	17-Z		< ポート設定時 >
P51/SEG38/TxD3	17-Y		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P52/SEG37/TI02	17-Z		出力時：オープンにしてください。
P53/SEG36/TI04			< セグメント設定時 >
P54/SEG35-P57/SEG32	17-Y		オープンにしてください。
P60/SCL0	13-R		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P61/SDA0			出力時：オープンにしてください。
P81/RxD0/INTP9	8-R		
P82/TxD0	5-AG		
P90/SEG31- P97/SEG24	17-Y		< ポート設定時 >
P100/SEG15			入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
			< セグメント設定時 >
			オープンにしてください。
P120/INTP0/EXLVI	8-R		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1 ^注	37-C	入力	個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P122/X2/EXCLK ^注			

注 未使用時は、入力ポート・モード (図5-2 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

表2-2 各端子の未使用端子処理 (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P124/EXCLKS0	2-Y	入力	<ポート設定時> 個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 <EXCLKS0設定時> 必ずご使用している基板上で、FXTOUT端子からの出力をP124/EXCLKS0端子への入力とするように接続してください。
P140/SEG23- P147/SEG16	17-Y	入出力	<ポート設定時> 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <セグメント設定時> オープンにしてください。
P152/ANI10 [※]	11-G		入力時：個別に抵抗を介して、AV _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P157/ANI15 [※]			
SEG0-SEG14	17-AC	出力	オープンにしてください。
COM0-COM3	18-G		
V _{LC0} -V _{LC2}	-		
AV _{DD}	-	-	<P152, P157のうち、1本でもデジタル・ポートとして設定時> V _{DD} と同電位にしてください。 <P152, P157をすべてアナログ・ポートとして設定時> 1.8 V AV _{DD} V _{DD} となる電位にしてください。
AV _{REF}	-	-	AV _{DD} またはV _{DD} と同電位にしてください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。 また、バイパス・コンデンサ（容量：47 μF程度）を介してGNDに接続してください。
REGC	-	-	コンデンサ（0.47～1 μF）を介し、V _{SS} に接続してください。
FLMD0	2-W	-	オープンまたは100 kΩ以上の抵抗を介してV _{SS} に接続してください。
XT1/EXCLKS1	37-G	入力	個別に抵抗を介して、LV _{DD} またはLV _{SS} に接続してください。
XT2			オープンにしてください。
LP01/ZX1	5-AG	入出力	入力時：個別に抵抗を介して、LV _{DD} またはLV _{SS} に接続してください。 出力時：オープンにしてください。
LRESET	2-Z	入力	<LRESET設定時> 必ずLV _{DD} に直接接続または抵抗を介して接続してください。 また、バイパス・コンデンサ（容量：10 μF程度）を介してGNDに接続してください。
IC3	2	-	LV _{SS} に直接接続してください。
CF	3-C	出力	オープンにしてください。
RTC1HZ/32KHZCLK			<FXTOUT設定時> 必ずご使用している基板上で、FXTOUT端子からの出力をP124/EXCLKS0端子への入力とするように接続してください。
FXTOUT			
LV _{SS}	-	-	V _{SS} に直接接続してください。 V _{SS} 端子と最短距離でかつ、なるべく太い配線で接続してください。
LAV _{SS}	-	-	LV _{SS} に直接接続してください。

注 P152/ANI10, P157/ANI15は、リセット解除後はデジタル入力ポート・モードになります。

表2 - 2 各端子の未使用端子処理 (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
ANIDS00, ANIDS01- ANIDS30, ANIDS31	35	入力	個別に抵抗を介して, LAV _{DD} またはLAV _{SS} に接続してください。
AV _{REFIO}		入出力	入力時: 個別に抵抗を介して, LAV _{SS} に接続してください。 出力時: オープンにしてください。
IC0-IC2, IC4-IC6	-	-	必ずオープンにしてください。

図2 - 1 端子の入出力回路一覧 (1/4)

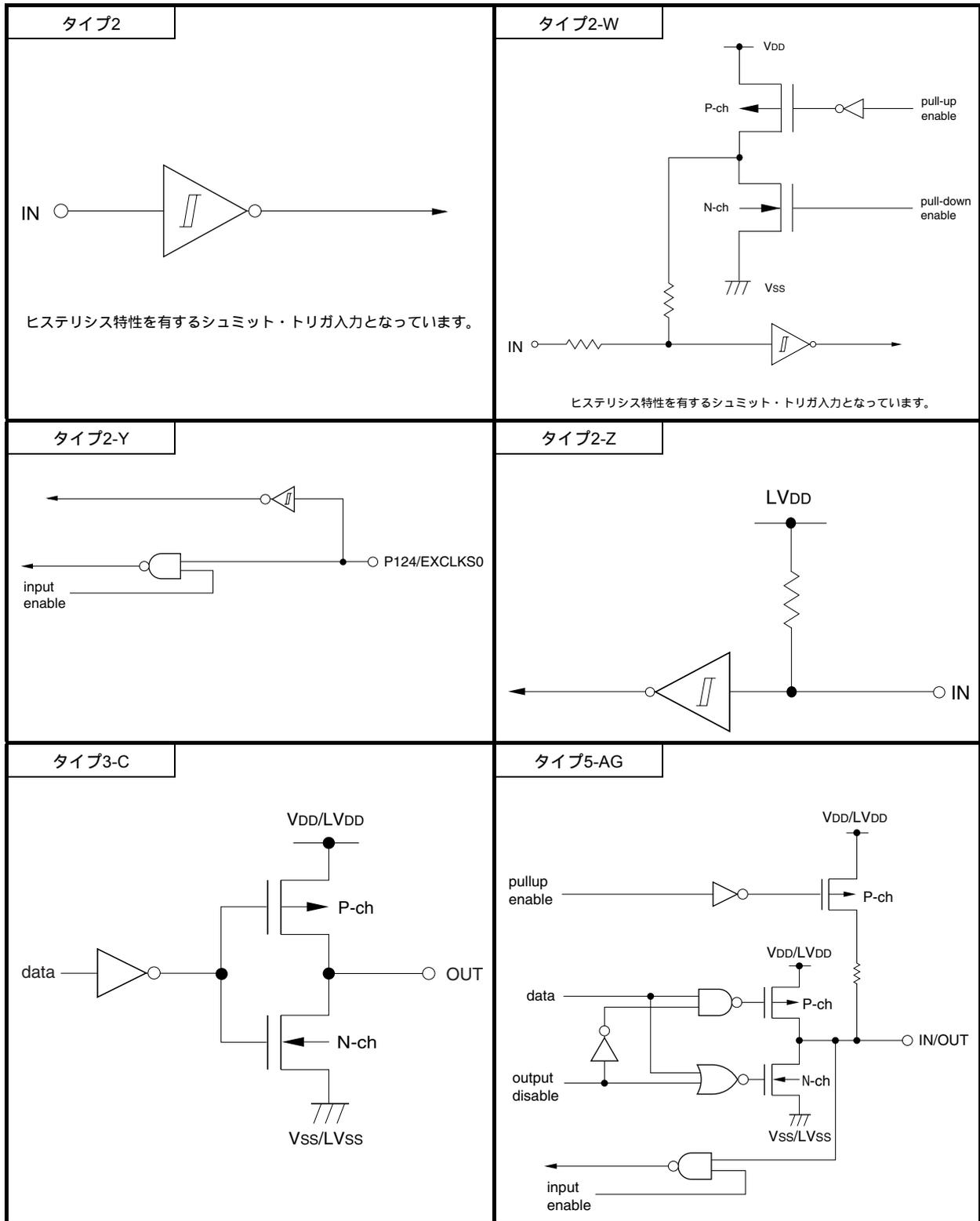


図2 - 1 端子の入出力回路一覧 (2/4)

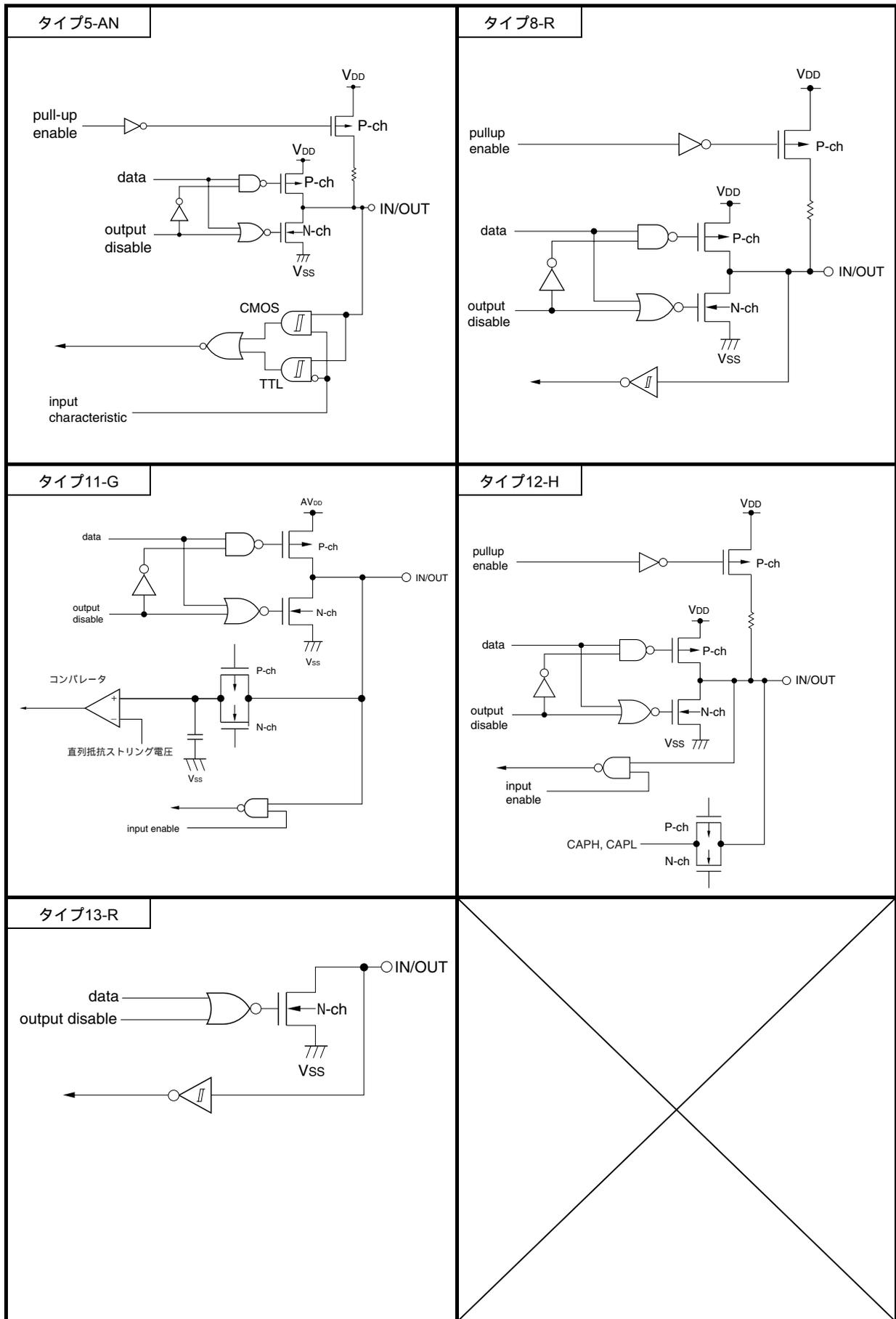


図2 - 1 端子の入出力回路一覧 (3/4)

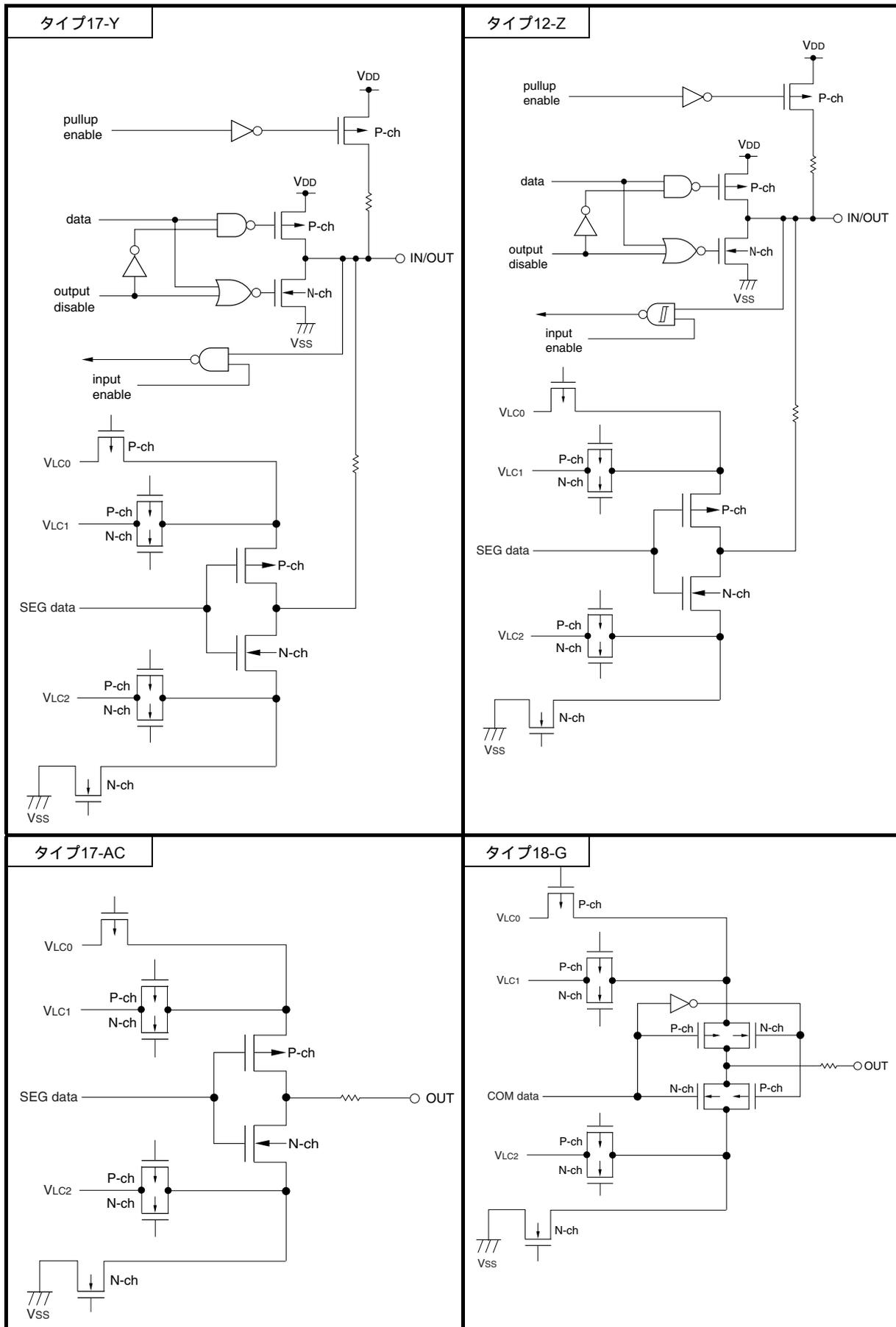
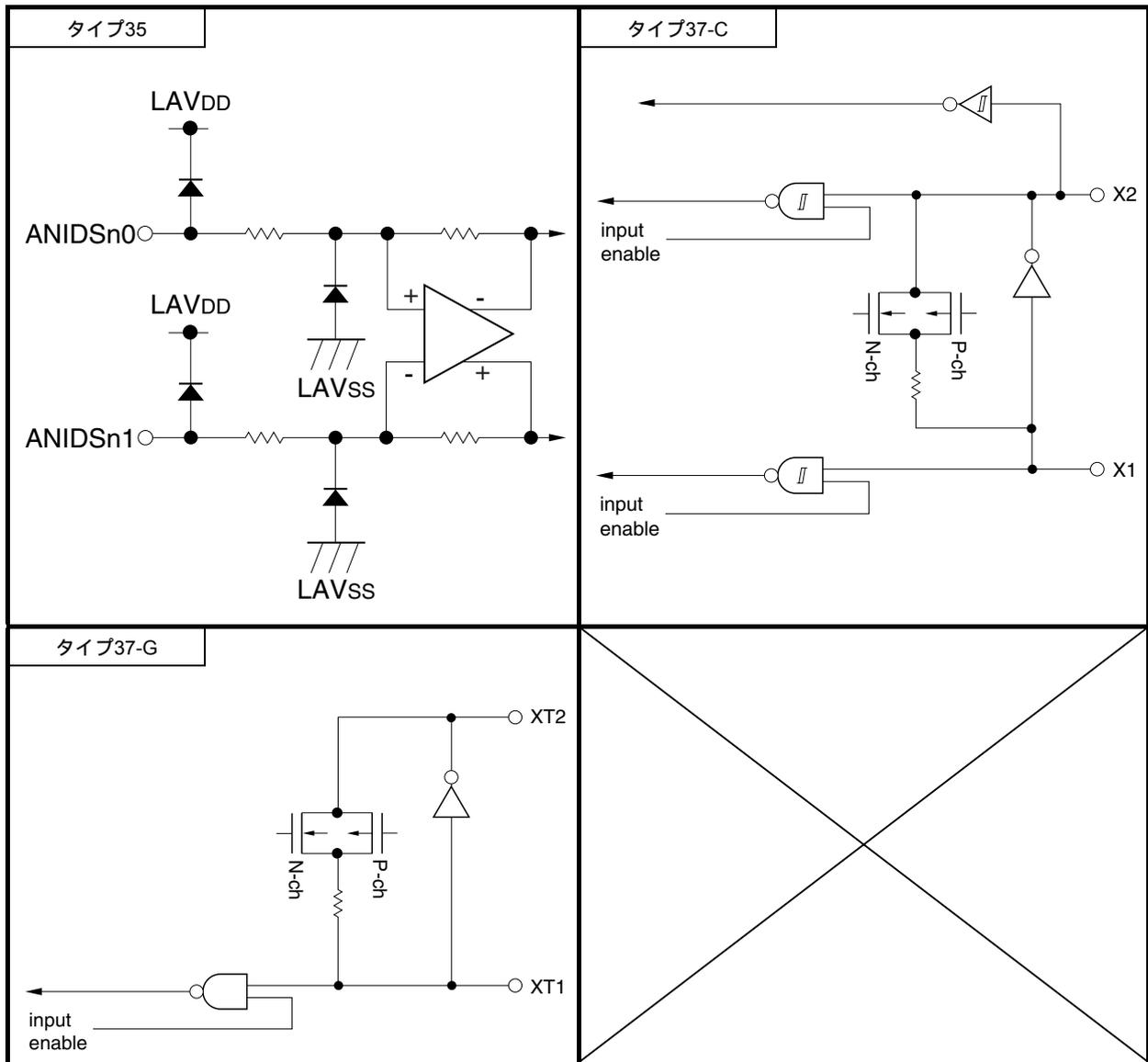


図2-1 端子の入出力回路一覧(4/4)

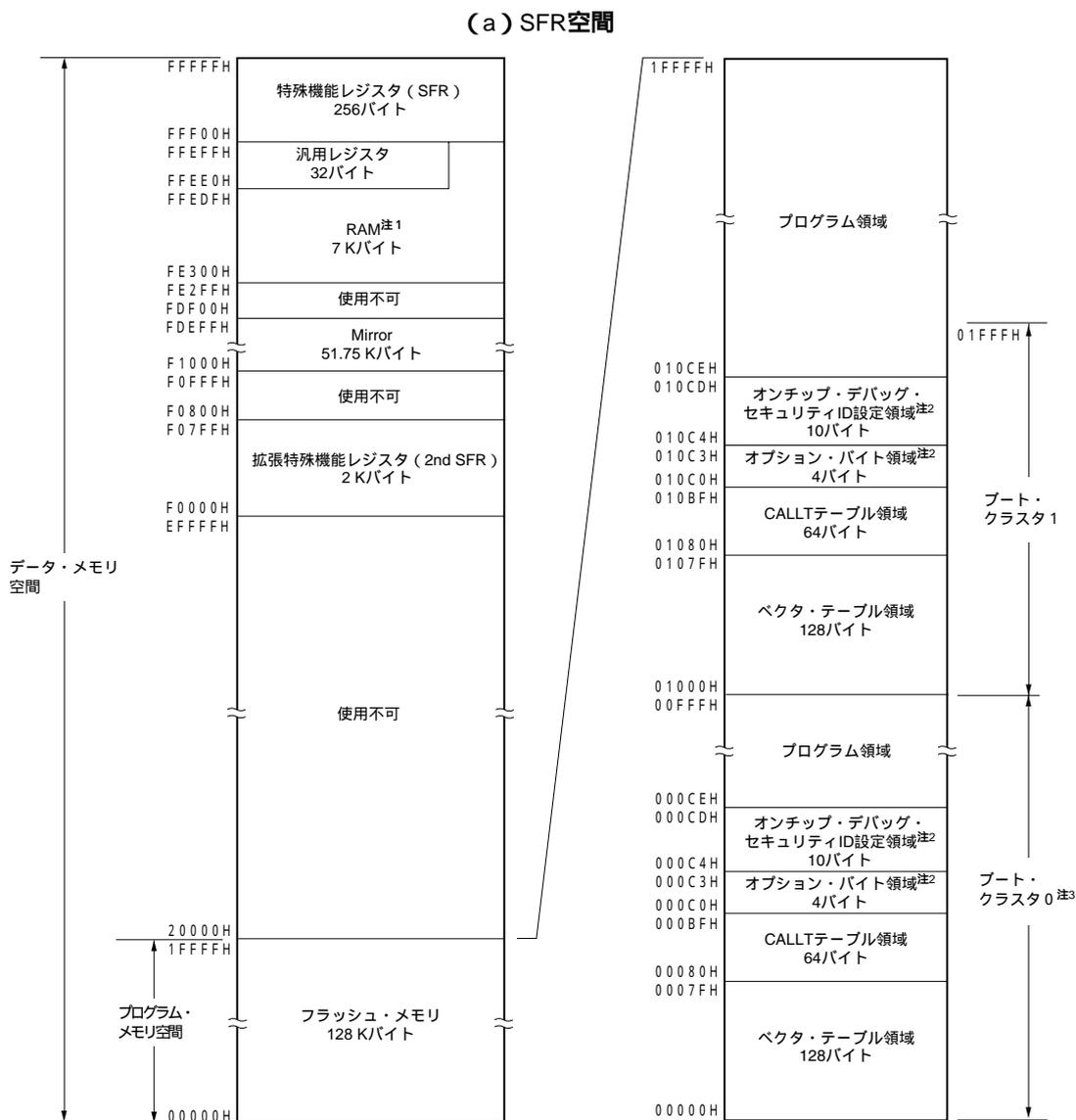


第3章 CPUアーキテクチャ

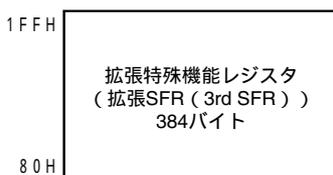
3.1 メモリ空間

78K0R/Lx3-Mマイクロコントローラは、1 Mバイトのメモリ空間をアクセスできます。図3-1に、メモリ・マップを示します。

図3-1 メモリ・マップ



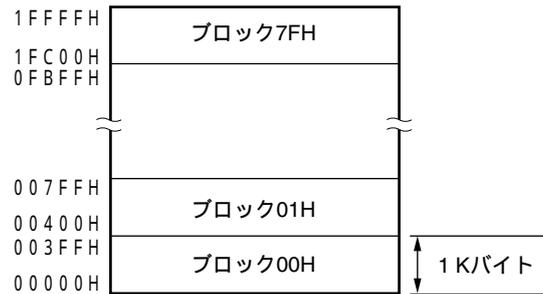
(b) 拡張SFR (3rd SFR) 空間



(注、備考は次ページにあります。)

- 注1. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
2. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
3. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（28.7 **セキュリティ設定**を参照）。

備考 フラッシュ・メモリはブロックごとに分かれています（1ブロック = 1 Kバイト）。アドレス値とブロック番号については，表3-1 **フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ (PC) でアドレスします。

78K0R/Lx3-Mマイクロコントローラは、次に示す内部ROM (フラッシュ・メモリ) を内蔵しています。

表3-2 内部ROM容量

内部ROM	
構造	容量
フラッシュ・メモリ	131071×8ビット (00000H-1FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET入力, POC, LVI, WDT, TRAP	00036H	INTRTC
00004H	INTWDTI	00038H	INTRTCI
00006H	INTLVI	0003CH	INTST2
00008H	INTP0		INTCSI20
0000EH	INTP3		INTIIC20
00014H	INTST3	0003EH	INSR2
00016H	INTSR3	00040H	INTSRE2
00018H	INTSRE3	00042H	INTTM04
0001AH	INTDMA0	00044H	INTTM05
0001CH	INTDMA1	00046H	INTTM06
0001EH	INTST0	00048H	INTTM07
00020H	INTSR0	0004AH	INTP6
00022H	INTSRE0	0004EH	INTP8
00024H	INTCSI10	00050H	INTP9
0002AH	INTIICA	00056H	INTTM10
0002CH	INTTM00	00058H	INTTM11
0002EH	INTTM01	0005AH	INTTM12
00030H	INTTM02	0005CH	INTTM13
00032H	INTTM03	0005EH	INTMD
00034H	INTAD	0007EH	BRK

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令 (CALLT) のサブルーチン・エン트리・アドレスを格納することができます。サブルーチン・エン트리・アドレスは00000H-0FFFFH内の値を設定してください (アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第27章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに, ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第29章 **オンチップ・デバッグ機能**を参照してください。

3.1.2 ミラー領域

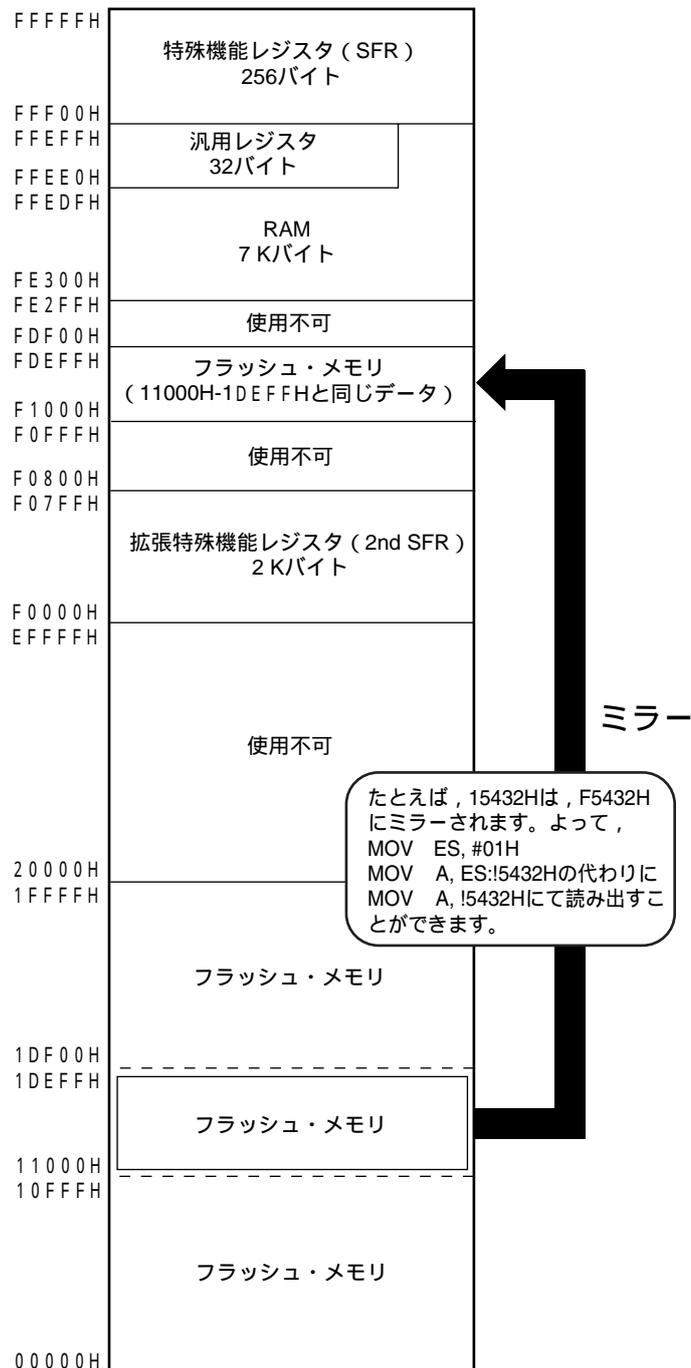
00000H-0FFFFHまたは10000H-1FFFFHのデータ・フラッシュ・エリアをF0000H-FFFFFHへミラーさせています(ミラーさせるデータ・フラッシュ・エリアは, PMCで設定)。

ミラー先のF0000H-FFFFFHからデータを読み込むことにより, オペランドにESレジスタを持たない命令を使用することができるため, 短いコードでデータ・フラッシュ内容の読み出しを行うことができます。ただし, SFR, 拡張SFR(2nd SFR), RAM, 使用不可領域にはミラーされません。

ミラー領域は読み出しのみ可能で, 命令フェッチはできません。

次に例を示します。

例 MAA = 1に設定



備考 MAAは、プロセッサ・モード・コントロール・レジスタ (PMC) のビット0です。

次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を選択するレジスタです。

PMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図3-2 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間選択
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFHへミラー

注意1. PMCの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCの書き替えは禁止です。

2. PMCの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

78K0R/Lx3-Mマイクロコントローラは、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

内部RAM
7168×8ビット (FE300H-FFEFFFH)

データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

注意1. 汎用レジスタ (FFEE0H-FFEFFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

2. セルフ・プログラミング機能使用時は、FFE20H~FFEFFFHの領域をスタック・メモリとして使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFHの領域には、オンチップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オンチップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています。

SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、2nd SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.6 拡張特殊機能レジスタ (3rd SFR : 3rd Special Function Register) 領域

80H-1D8Hの領域には、オンチップ周辺ハードウェアの拡張特殊機能レジスタ (3rd SFR) が割り付けられています (3.2.6 拡張特殊機能レジスタ (3rd SFR : 3rd Special Function Register) の表3-7 拡張SFR (3rd SFR) 一覽参照)。

拡張SFR (3rd SFR) 空間へのアクセスは、拡張SFR (3rd SFR) インタフェースを使用します (第14章 拡張SFR (3rd SFR) インタフェース参照)。

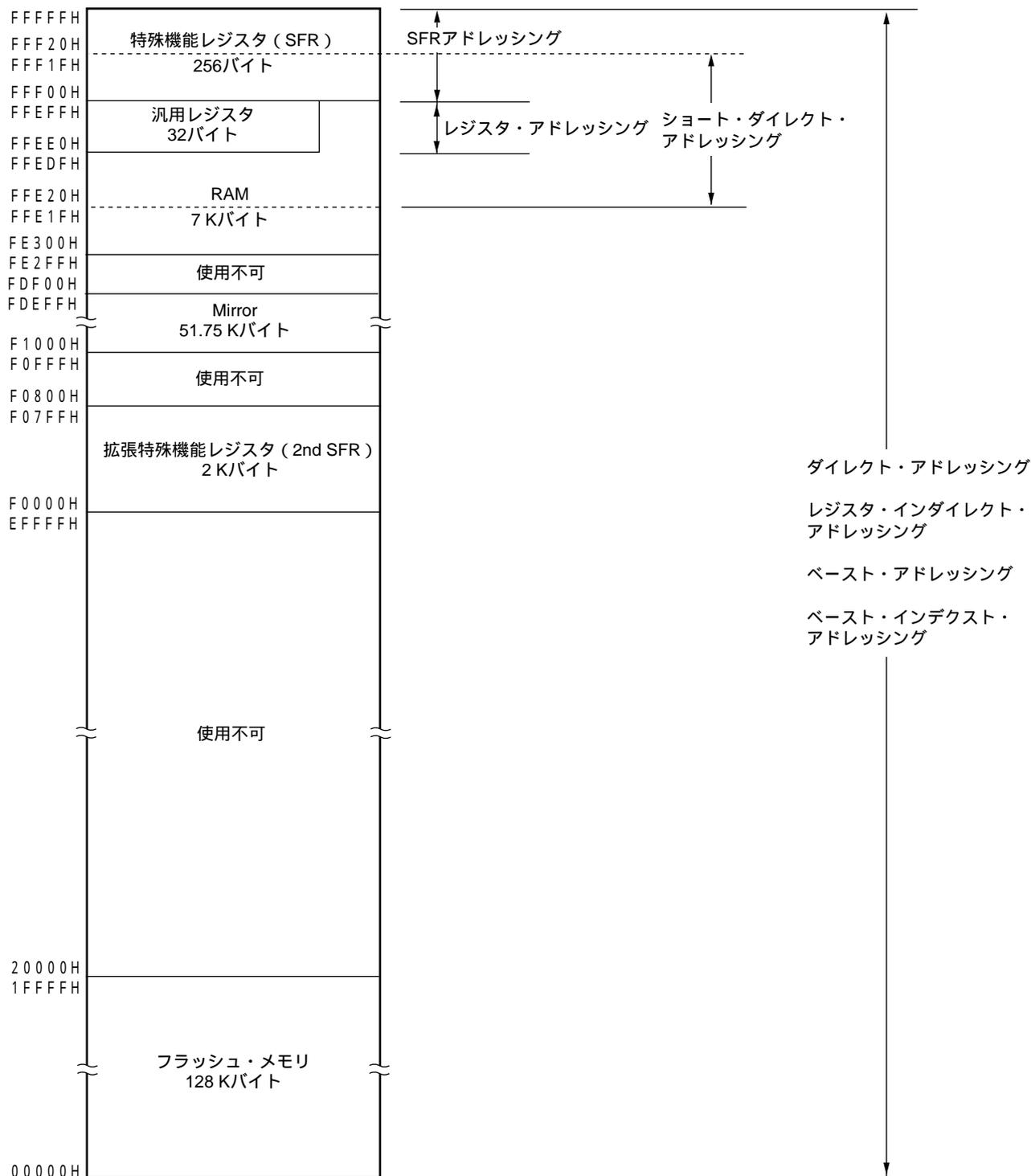
注意 3rd SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.7 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0R/Lx3-Mマイクロコントローラでは、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-3にデータ・メモリとアドレッシングの対応を示します。

図3-3 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

78K0R/Lx3-Mマイクロコントローラは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

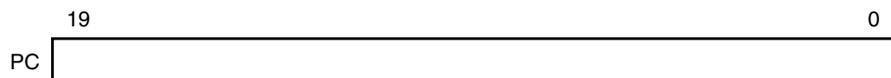
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-4 プログラム・カウンタの構成



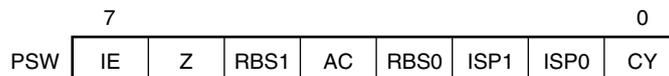
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-5 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (18.3(5)参照) でISP0, ISP1の値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

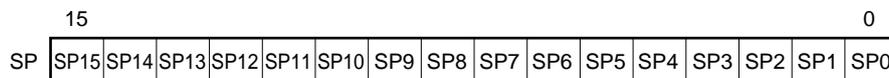
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 6 スタック・ポインタの構成

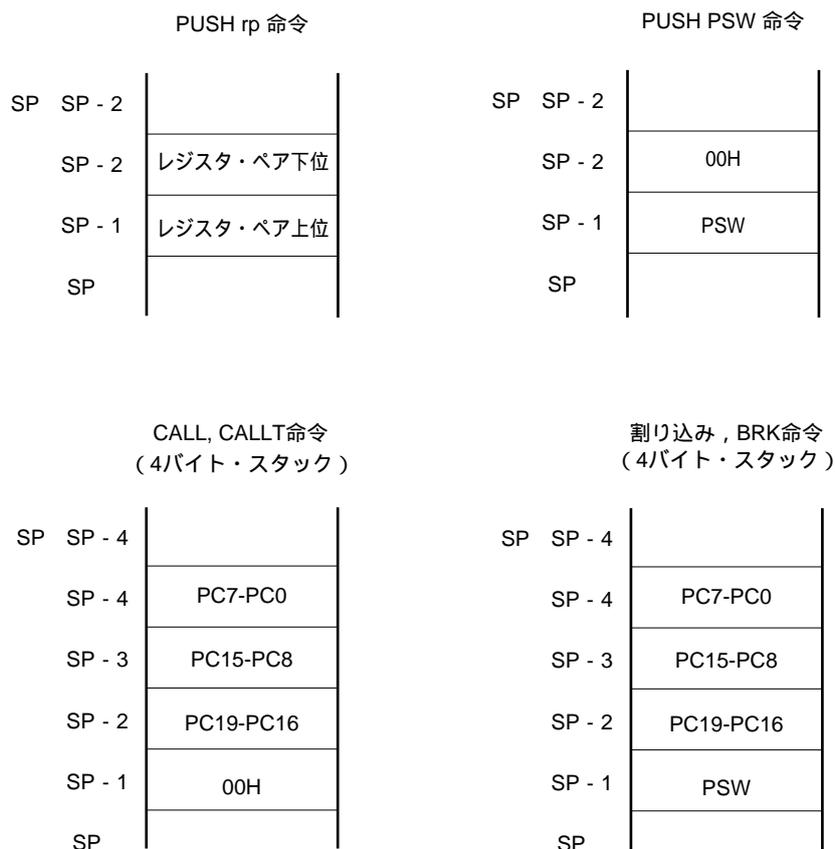


スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3 - 7のようになります。

- 注意1.** SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 汎用レジスタ (FFEE0H~FFEFFH) の空間は、スタック領域としての使用を禁止します。
 - セルフ・プログラミング機能使用時は、FFE20H~FFEFFHの領域をスタック・メモリとして使用できません。

図3-7 スタック・メモリへ退避されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

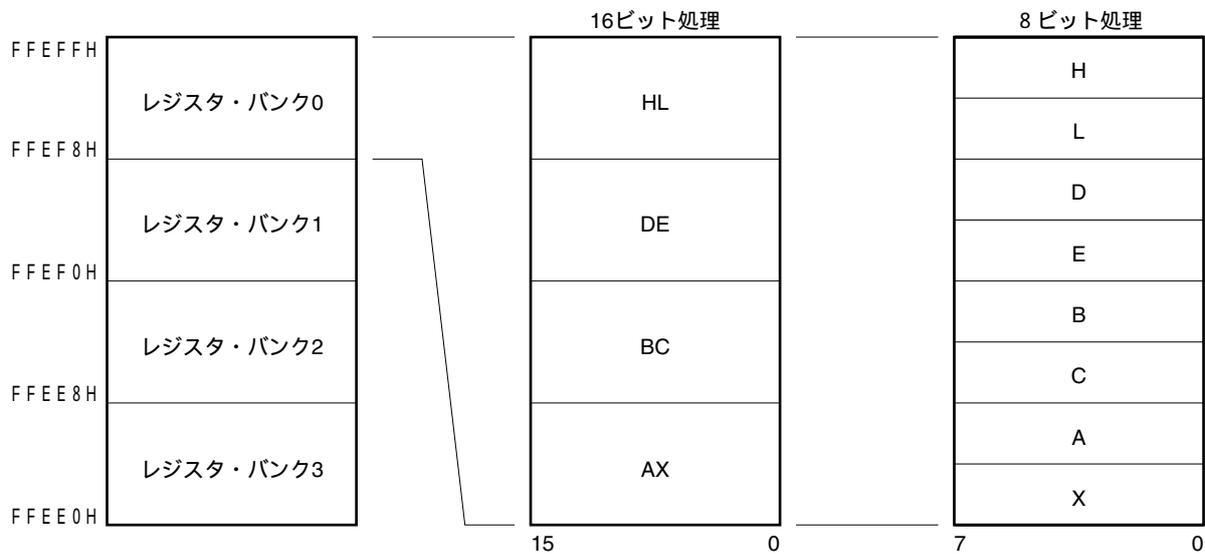
また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

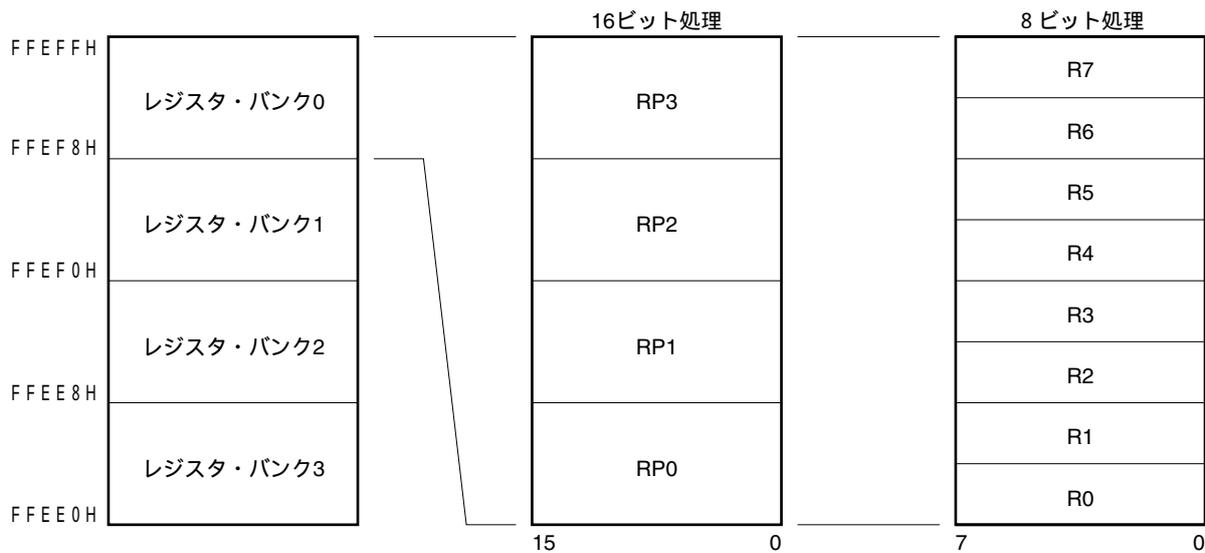
注意 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

図3-8 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 ES, CSレジスタ

ESレジスタにてデータ・アクセス, CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESのリセット後の初期値は0FH, CSのリセット後の初期値は00Hです。

図3 - 9 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

特殊機能レジスタのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R、ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

拡張SFR (3rd SFR) については、3.2.6 **拡張特殊機能レジスタ (3rd SFR : 3rd Special Function Register)** を参照してください。

表3-5 SFR一覧(1/5)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W			-	00H
FFF01H	ポート・レジスタ1	P1		R/W			-	00H
FFF02H	ポート・レジスタ2	P2		R/W			-	00H
FFF03H	ポート・レジスタ3	P3		R/W			-	00H
FFF04H	ポート・レジスタ4	P4		R/W			-	00H
FFF05H	ポート・レジスタ5	P5		R/W			-	00H
FFF06H	ポート・レジスタ6	P6		R/W			-	00H
FFF08H	ポート・レジスタ8	P8		R/W			-	00H
FFF09H	ポート・レジスタ9	P9		R/W			-	00H
FFF0AH	ポート・レジスタ10	P10		R/W			-	00H
FFF0CH	ポート・レジスタ12	P12		R/W			-	不定
FFF0DH	ポート・レジスタ13	P13		R/W			-	00H
FFF0EH	ポート・レジスタ14	P14		R/W			-	00H
FFF0FH	ポート・レジスタ15	P15		R/W			-	00H
FFF10H	シリアル・データ・レジスタ00	TXD0	SDR00	R/W	-			0000H
FFF11H		-			-	-		
FFF12H	シリアル・データ・レジスタ01	RXD0	SDR01	R/W	-			0000H
FFF13H		-			-	-		
FFF14H	シリアル・データ・レジスタ12	TXD3	SDR12	R/W	-			0000H
FFF15H		-			-	-		
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	-			0000H
FFF17H		-			-	-		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	-	-		0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01		R/W	-	-		0000H
FFF1BH								
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	-	-		0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	-		-	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W			-	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W			-	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W			-	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W			-	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W			-	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W			-	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W			-	FFH
FFF29H	ポート・モード・レジスタ9	PM9		R/W			-	FFH

表3-5 SFR一覧(2/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF2AH	ポート・モード・レジスタ10	PM10	R/W			-	FFH
FFF2BH	ポート・モード・レジスタ11	PM11	R/W			-	FFH
FFF2CH	ポート・モード・レジスタ12	PM12	R/W			-	FFH
FFF2EH	ポート・モード・レジスタ14	PM14	R/W			-	FFH
FFF2FH	ポート・モード・レジスタ15	PM15	R/W			-	FFH
FFF30H	A/Dコンバータ・モード・レジスタ	ADM	R/W			-	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS	R/W			-	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1	R/W			-	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0	R/W			-	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0	R/W			-	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1	R/W			-	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1	R/W			-	00H
FFF3CH	入力切り替え制御レジスタ	ISC	R/W			-	00H
FFF3EH	タイマ入力選択レジスタ0	TIS0	R/W			-	00H
FFF3FH	タイマ入力選択レジスタ1	TIS1	R/W			-	00H
FFF40H	LCDモード設定レジスタ	LCDMD	R/W			-	00H
FFF41H	LCD表示モード・レジスタ	LCDM	R/W			-	00H
FFF42H	LCDクロック制御レジスタ0	LCDC0	R/W			-	00H
FFF43H	LCD昇圧レベル制御レジスタ	VLCD	R/W			-	0FH
FFF44H	シリアル・データ・レジスタ02	SIO10	SDR02	R/W	-		0000H
FFF45H		-		-	-		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	-		0000H
FFF47H		-		-	-		
FFF48H	シリアル・データ・レジスタ10	TXD2/SI	SDR10	R/W	-		0000H
FFF49H		O20		-	-		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	-		0000H
FFF4BH		-		-	-		
FFF50H	IICAシフト・レジスタ	IICA	R/W	-		-	00H
FFF51H	IICAステータス・レジスタ	IICS	R			-	00H
FFF52H	IICAフラグ・レジスタ	IICF	R/W			-	00H
FFF64H	タイマ・データ・レジスタ02	TDR02	R/W	-	-		0000H
FFF65H							
FFF66H	タイマ・データ・レジスタ03	TDR03	R/W	-	-		0000H
FFF67H							
FFF68H	タイマ・データ・レジスタ04	TDR04	R/W	-	-		0000H
FFF69H							
FFF6AH	タイマ・データ・レジスタ05	TDR05	R/W	-	-		0000H
FFF6BH							
FFF6CH	タイマ・データ・レジスタ06	TDR06	R/W	-	-		0000H
FFF6DH							

表3-5 SFR一覧(3/5)

アドレス	特殊機能レジスタ(SFR)名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF6EH	タイマ・データ・レジスタ07	TDR07	R/W	-	-		0000H
FFF6FH							
FFF70H	タイマ・データ・レジスタ10	TDR10	R/W	-	-		0000H
FFF71H							
FFF72H	タイマ・データ・レジスタ11	TDR11	R/W	-	-		0000H
FFF73H							
FFF74H	タイマ・データ・レジスタ12	TDR12	R/W	-	-		0000H
FFF75H							
FFF76H	タイマ・データ・レジスタ13	TDR13	R/W	-	-		0000H
FFF77H							
FFF90H	サブカウント・レジスタ	RSUBC	R	-	-		0000H
FFF91H							
FFF92H	秒カウント・レジスタ	SEC	R/W	-		-	00H
FFF93H	分カウント・レジスタ	MIN	R/W	-		-	00H
FFF94H	時カウント・レジスタ	HOUR	R/W	-		-	12H ^注
FFF95H	曜日カウント・レジスタ	WEEK	R/W	-		-	00H
FFF96H	日カウント・レジスタ	DAY	R/W	-		-	01H
FFF97H	月カウント・レジスタ	MONTH	R/W	-		-	01H
FFF98H	年カウント・レジスタ	YEAR	R/W	-		-	00H
FFF99H	時計誤差補正レジスタ	SUBCUD	R/W	-		-	00H
FFF9AH	アラーム分レジスタ	ALARMWMM	R/W	-		-	00H
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	-		-	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	-		-	00H
FFF9DH	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W			-	00H
FFF9EH	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W			-	00H
FFF9FH	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W			-	00H
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	-		-	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W			-	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	-		-	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W			-	09H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W			-	00H

注 リセット後に、リアルタイム・カウンタ2(RTC2)のAMPMビット(RTCC0レジスタのビット3)に1をセットした場合は00Hとなります。

表3-5 SFR一覧(4/5)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	-	-	-	不定 ^{注1}
FFFA9H	低電圧検出レジスタ	LVIM		R/W			-	00H ^{注2}
FFFAAH	低電圧検出レベル選択レジスタ	LVIS		R/W			-	0EH ^{注3}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	-	-	-	1A/9A ^{注4}
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	-	-	-	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	-	-	-	00H
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	-			00H
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	-			00H
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	-			00H
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	-			00H
FFFB6H	DMAバイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	-			00H
FFFB7H	DMAバイト・カウント・レジスタ0H	DBC0H		R/W	-			00H
FFFB8H	DMAバイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	-			00H
FFFB9H	DMAバイト・カウント・レジスタ1H	DBC1H		R/W	-			00H
FFFBAH	DMAモード・コントロール・レジスタ0	DMC0		R/W			-	00H
FFFBBH	DMAモード・コントロール・レジスタ1	DMC1		R/W			-	00H
FFFBCH	DMA動作コントロール・レジスタ0	DRC0		R/W			-	00H
FFFBDH	DMA動作コントロール・レジスタ1	DRC1		R/W			-	00H
FFFBEH	バックグラウンド・イベント・コントロール・レジスタ	BECTL		R/W			-	00H
FFFC0H	-	PFCMD ^{注5}		-	-	-	-	不定
FFFC2H	-	PFS ^{注5}		-	-	-	-	不定
FFFC4H	-	FLPMC ^{注5}		-	-	-	-	不定
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W				00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W				00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W				FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W				FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W				FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W				FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W				FFH
FFFDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W				FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W				00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W				00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W				00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W				00H

注1. RESFのリセット値は、リセット要因により変化します。

2. LVIMのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

3. LVISのリセット値は、リセット要因により変化します。

4. WDTEのリセット値は、オプション・バイトの設定で決定します。

5. セルフ・プログラミング・ライブラリ内で使用するSFRのため、直接操作しないでください。

表3-5 SFR一覧(5/5)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W				FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W				FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W				FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W				FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W				FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W				FFH
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W				FFH
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H		R/W				FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W				FFH
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W				FFH
FFFEEH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W				FFH
FFFEFH	優先順位指定フラグ・レジスタ11H	PR11H		R/W				FFH
FFFF0H	乗除算データ・レジスタA(L)	MDAL/MULA		R/W	-	-		0000H
FFFF1H								
FFFF2H	乗除算データ・レジスタA(H)	MDAH/MULB		R/W	-	-		0000H
FFFF3H								
FFFF4H	乗除算データ・レジスタB(H)	MDBH/MULOH		R/W	-	-		0000H
FFFF5H								
FFFF6H	乗除算データ・レジスタB(L)	MDBL/MULOL		R/W	-	-		0000H
FFFF7H								

備考 拡張SFR(2nd SFR)については、表3-6 拡張SFR(2nd SFR)一覧を参照してください。

拡張SFR(3rd SFR)については、表3-7 拡張SFR(3rd SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR (2nd SFR) 空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR(2nd SFR)領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFR (2nd SFR) は、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に拡張SFR (2nd SFR) の一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

拡張SFR (2nd SFR) のアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R, ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- **R/W**

該当する拡張SFR (2nd SFR) が読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

拡張SFR (3rd SFR) については、3.2.6 **拡張特殊機能レジスタ (3rd SFR : 3rd Special Function Register)** を参照してください。

表3-6 拡張SFR (2nd SFR) 一覧 (1/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0017H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	-		-	10H
F0030H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H
F0031H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H
F0033H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H
F0034H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H
F0035H	ブルアップ抵抗オプション・レジスタ5	PU5	R/W			-	00H
F0038H	ブルアップ抵抗オプション・レジスタ8	PU8	R/W			-	00H
F0039H	ブルアップ抵抗オプション・レジスタ9	PU9	R/W			-	00H
F003AH	ブルアップ抵抗オプション・レジスタ10	PU10	R/W			-	00H
F003CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H
F003EH	ブルアップ抵抗オプション・レジスタ14	PU14	R/W			-	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W			-	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W			-	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W			-	00H
F0060H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W			-	00H
F0061H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W			-	00H
F0080H	ポート・ファンクション・レジスタ	PFALL	R/W			-	00H
F0081H	セグメント・イネーブル・レジスタ	SEGEN	R/W			-	00H
F00E0H	乗除算データ・レジスタC (L)	MDCL	R	-	-		0000H
F00E1H							
F00E2H	乗除算データ・レジスタC (H)	MDCH	R	-	-		0000H
F00E3H							
F00E8H	乗除算コントロール・レジスタ	MDUC	R/W			-	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W			-	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC	R/W	-		-	00H
F00F4H	レギュレータ・モード制御レジスタ	RMC	R/W	-		-	00H
F00F6H	20 MHz高速内蔵発振制御レジスタ	DSCCTL	R/W			-	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	-		-	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	R	-			0000H
F0101H		-					
F0102H	シリアル・ステータス・レジスタ01	SSR01L	R	-			0000H
F0103H		-					
F0104H	シリアル・ステータス・レジスタ02	SSR02L	R	-			0000H
F0105H		-					

表3-6 拡張SFR (2nd SFR) 一覧 (2/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	-			0000H
F010BH		-			-			
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	-			0000H
F010DH		-			-			
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	-	-		0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	-	-		0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	-	-		0020H
F0115H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	-	-		0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	-	-		0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	-	-		0087H
F011DH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R				0000H
F0121H		-			-			
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W				0000H
F0123H		-			-			
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W				0000H
F0125H		-			-			
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	-			0000H
F0127H		-			-			
F0128H	シリアル出力レジスタ0	SO0		R/W	-	-		0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W				0000H
F012BH		-			-			
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	-			0000H
F0135H		-			-			
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	-			0000H
F0141H		-			-			
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	-			0000H
F0143H		-			-			
F0144H	シリアル・ステータス・レジスタ12	SSR12L	SSR12	R	-			0000H
F0145H		-			-			
F0146H	シリアル・ステータス・レジスタ13	SSR13L	SSR13	R	-			0000H
F0147H		-			-			

表3-6 拡張SFR (2nd SFR) 一覧 (3/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	-	-		0000H
F0149H		-			-			
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	-	-		0000H
F014BH		-			-			
F014EH	シリアル・フラグ・クリア・トリガ・レジスタ13	SIR13L	SIR13	R/W	-	-		0000H
F014FH		-			-			
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	-	-		0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	-	-		0020H
F0153H								
F0154H	シリアル・モード・レジスタ12	SMR12		R/W	-	-		0020H
F0155H								
F0156H	シリアル・モード・レジスタ13	SMR13		R/W	-	-		0020H
F0157H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	-	-		0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	-	-		0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ12	SCR12		R/W	-	-		0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ13	SCR13		R/W	-	-		0087H
F015FH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R	-	-		0000H
F0161H		-			-			
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W	-	-		0000H
F0163H		-			-			
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W	-	-		0000H
F0165H		-			-			
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	-	-		0000H
F0167H		-			-			
F0168H	シリアル出力レジスタ1	SO1		R/W	-	-		0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	-	-		0000H
F016BH		-			-			
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	-	-		0000H
F0175H		-			-			
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-		FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-		FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-		FFFFH
F0185H								

表3-6 拡張SFR (2nd SFR) 一覧 (4/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0186H	タイマ・カウンタ・レジスタ03	TCR03	R	-	-		FFFFH
F0187H							
F0188H	タイマ・カウンタ・レジスタ04	TCR04	R	-	-		FFFFH
F0189H							
F018AH	タイマ・カウンタ・レジスタ05	TCR05	R	-	-		FFFFH
F018BH							
F018CH	タイマ・カウンタ・レジスタ06	TCR06	R	-	-		FFFFH
F018DH							
F018EH	タイマ・カウンタ・レジスタ07	TCR07	R	-	-		FFFFH
F018FH							
F0190H	タイマ・モード・レジスタ00	TMR00	R/W	-	-		0000H
F0191H							
F0192H	タイマ・モード・レジスタ01	TMR01	R/W	-	-		0000H
F0193H							
F0194H	タイマ・モード・レジスタ02	TMR02	R/W	-	-		0000H
F0195H							
F0196H	タイマ・モード・レジスタ03	TMR03	R/W	-	-		0000H
F0197H							
F0198H	タイマ・モード・レジスタ04	TMR04	R/W	-	-		0000H
F0199H							
F019AH	タイマ・モード・レジスタ05	TMR05	R/W	-	-		0000H
F019BH							
F019CH	タイマ・モード・レジスタ06	TMR06	R/W	-	-		0000H
F019DH							
F019EH	タイマ・モード・レジスタ07	TMR07	R/W	-	-		0000H
F019FH							
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	-		0000H
F01A5H		-			-		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	-		0000H
F01A9H		-			-		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	-		0000H
F01AFH		-			-		

表3-6 拡張SFR (2nd SFR) 一覧 (5/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R				0000H
F01B1H		-			-	-		
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W				0000H
F01B3H		-			-	-		
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W				0000H
F01B5H		-			-	-		
F01B6H	タイマ・クロック選択レジスタ0	TPS0L	TPS0	R/W	-			0000H
F01B7H		-			-	-		
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	-			0000H
F01B9H		-			-	-		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W				0000H
F01BBH		-			-	-		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	-			0000H
F01BDH		-			-	-		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	-			0000H
F01BFH		-			-	-		
F01C0H	タイマ・カウンタ・レジスタ10	TCR10		R	-	-		FFFFH
F01C1H								
F01C2H	タイマ・カウンタ・レジスタ11	TCR11		R	-	-		FFFFH
F01C3H								
F01C4H	タイマ・カウンタ・レジスタ12	TCR12		R	-	-		FFFFH
F01C5H								
F01C6H	タイマ・カウンタ・レジスタ13	TCR13		R	-	-		FFFFH
F01C7H								
F01C8H	タイマ・モード・レジスタ10	TMR10		R/W	-	-		0000H
F01C9H								
F01CAH	タイマ・モード・レジスタ11	TMR11		R/W	-	-		0000H
F01CBH								
F01CCH	タイマ・モード・レジスタ12	TMR12		R/W	-	-		0000H
F01CDH								
F01CEH	タイマ・モード・レジスタ13	TMR13		R/W	-	-		0000H
F01CFH								
F01D8H	タイマ・チャンネル許可ステータス・レジスタ1	TE1L	TE1	R				0000H
F01D9H		-			-	-		

表3-6 拡張SFR (2nd SFR) 一覧 (6/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01DAH	タイマ・チャンネル開始レジスタ1	TS1L	TS1	R/W				0000H
F01DBH		-			-			
F01DCH	タイマ・チャンネル停止レジスタ1	TT1L	TT1	R/W				0000H
F01DDH		-			-			
F01DEH	タイマ・クロック選択レジスタ1	TPS1L	TPS1	R/W	-			0000H
F01DFH		-			-			
F0230H	IICAコントロール・レジスタ0	IICCTL0		R/W			-	00H
F0231H	IICAコントロール・レジスタ1	IICCTL1		R/W			-	00H
F0232H	IICAロウ・レベル幅設定レジスタ	IICWL		R/W	-		-	FFH
F0233H	IICAハイ・レベル幅設定レジスタ	IICWH		R/W	-		-	FFH
F0234H	スレーブ・アドレス・レジスタ	SVA		R/W	-		-	00H
F0400H	LCD表示データ・メモリ0	SEG0		R/W	-		-	00H
F0401H	LCD表示データ・メモリ1	SEG1		R/W	-		-	00H
F0402H	LCD表示データ・メモリ2	SEG2		R/W	-		-	00H
F0403H	LCD表示データ・メモリ3	SEG3		R/W	-		-	00H
F0404H	LCD表示データ・メモリ4	SEG4		R/W	-		-	00H
F0405H	LCD表示データ・メモリ5	SEG5		R/W	-		-	00H
F0406H	LCD表示データ・メモリ6	SEG6		R/W	-		-	00H
F0407H	LCD表示データ・メモリ7	SEG7		R/W	-		-	00H
F0408H	LCD表示データ・メモリ8	SEG8		R/W	-		-	00H
F0409H	LCD表示データ・メモリ9	SEG9		R/W	-		-	00H
F040AH	LCD表示データ・メモリ10	SEG10		R/W	-		-	00H
F040BH	LCD表示データ・メモリ11	SEG11		R/W	-		-	00H
F040CH	LCD表示データ・メモリ12	SEG12		R/W	-		-	00H
F040DH	LCD表示データ・メモリ13	SEG13		R/W	-		-	00H
F040EH	LCD表示データ・メモリ14	SEG14		R/W	-		-	00H
F040FH	LCD表示データ・メモリ15	SEG15		R/W	-		-	00H
F0410H	LCD表示データ・メモリ16	SEG16		R/W	-		-	00H
F0411H	LCD表示データ・メモリ17	SEG17		R/W	-		-	00H
F0412H	LCD表示データ・メモリ18	SEG18		R/W	-		-	00H
F0413H	LCD表示データ・メモリ19	SEG19		R/W	-		-	00H
F0414H	LCD表示データ・メモリ20	SEG20		R/W	-		-	00H
F0415H	LCD表示データ・メモリ21	SEG21		R/W	-		-	00H
F0416H	LCD表示データ・メモリ22	SEG22		R/W	-		-	00H
F0417H	LCD表示データ・メモリ23	SEG23		R/W	-		-	00H
F0418H	LCD表示データ・メモリ24	SEG24		R/W	-		-	00H

表3 - 6 拡張SFR (2nd SFR) 一覧 (7/7)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0419H	LCD表示データ・メモリ25	SEG25	R/W	-		-	00H
F041AH	LCD表示データ・メモリ26	SEG26	R/W	-		-	00H
F041BH	LCD表示データ・メモリ27	SEG27	R/W	-		-	00H
F041CH	LCD表示データ・メモリ28	SEG28	R/W	-		-	00H
F041DH	LCD表示データ・メモリ29	SEG29	R/W	-		-	00H
F041EH	LCD表示データ・メモリ30	SEG30	R/W	-		-	00H
F041FH	LCD表示データ・メモリ31	SEG31	R/W	-		-	00H
F0420H	LCD表示データ・メモリ32	SEG32	R/W	-		-	00H
F0421H	LCD表示データ・メモリ33	SEG33	R/W	-		-	00H
F0422H	LCD表示データ・メモリ34	SEG34	R/W	-		-	00H
F0423H	LCD表示データ・メモリ35	SEG35	R/W	-		-	00H
F0424H	LCD表示データ・メモリ36	SEG36	R/W	-		-	00H
F0425H	LCD表示データ・メモリ37	SEG37	R/W	-		-	00H
F0426H	LCD表示データ・メモリ38	SEG38	R/W	-		-	00H
F0427H	LCD表示データ・メモリ39	SEG39	R/W	-		-	00H

備考 SFR領域のSFRについては、表3 - 5 SFR一覧を参照してください。

拡張SFR (3rd SFR) については、表3 - 7 拡張SFR (3rd SFR) 一覧を参照してください。

3.2.6 拡張特殊機能レジスタ (3rd SFR : 3rd Special Function Register)

拡張SFR (3rd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

80H-1D8Hの領域に割り付けられています。

拡張SFR (3rd SFR) 空間へのアクセスは、拡張SFR (3rd SFR) インタフェースを使用します (第14章 拡張SFR (3rd SFR) インタフェース参照)。

表3 - 7に拡張SFR (3rd SFR) の一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

拡張SFR (3rd SFR) のアドレスを示す略号です。

- **R/W**

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 3rd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

拡張SFR (2nd SFR) については、3.2.5 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表3-7 拡張SFR (3rd SFR) 一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
80H	拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ20	IF20	R/W	-	-	-	00H	
81H	拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ21	IF21	R/W	-	-	-	00H	
82H	拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ22	IF22	R/W	-	-	-	00H	
83H	拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ23	IF23	R/W	-	-	-	00H	
84H	拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ20	MK20	R/W	-	-	-	FFH	
85H	拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ21	MK21	R/W	-	-	-	FFH	
86H	拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ22	MK22	R/W	-	-	-	FFH	
87H	拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ23	MK23	R/W	-	-	-	FFH	
88H	ブルダウン状態制御レジスタ	PUTCTL	R/W	-	-	-	00H	
8BH	ポート・レジスタLP0	LP0	R/W	-	-	-	00H	
8CH	ポート・モード・レジスタLP0	LPM0	R/W	-	-	-	FFH	
8DH	ブルアップ抵抗オプション・レジスタLP0	LPU0	R/W	-	-	-	00H	
91H	ポート機能制御レジスタ	PORTCTL	R/W	-	-	-	00H	
92H	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W	-	-	-	00H	
93H	アラーム分レジスタ	ALARMWMM	R/W	-	-	-	00H	
94H	アラーム時レジスタ	ALARMWH	R/W	-	-	-	12H	
95H	アラーム曜日レジスタ	ALARMWW	R/W	-	-	-	00H	
96H	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W	-	-	-	00H	
97H	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W	-	-	-	00H	
98H	サブカウント・レジスタ	RSUBC	RSUBCL	R	-	-	-	00H
99H			RSUBCH	R	-	-	-	00H
9AH	秒カウント・レジスタ	SEC	R/W	-	-	-	00H	
9BH	分カウント・レジスタ	MIN	R/W	-	-	-	00H	
9CH	時カウント・レジスタ	HOUR	R/W	-	-	-	12H	
9DH	曜日カウント・レジスタ	WEEK	R/W	-	-	-	00H	
9EH	日カウント・レジスタ	DAY	R/W	-	-	-	01H	
9FH	月カウント・レジスタ	MONTH	R/W	-	-	-	01H	
A0H	年カウント・レジスタ	YEAR	R/W	-	-	-	00H	
A1H	時計誤差補正レジスタ	SUBCUD	R/W	-	-	-	00H	
A3H	24ビット 型A/Dコンバータ・モード・レジスタ	ADM2	R/W	-	-	-	00H	
A4H	A/Dクロック・ディレイ設定レジスタ	ADLY	R/W	-	-	-	00H	
A5H	ハイパス・フィルタ・コントロール・レジスタ0	HPFC0	R/W	-	-	-	00H	
A6H	ハイパス・フィルタ・コントロール・レジスタ1	HPFC1	R/W	-	-	-	00H	
A7H	24ビット 型A/D変換結果レジスタ0	ADCR0	ADCR0L	R	-	-	-	00H
A8H			ADCR0M	R	-	-	-	00H
A9H			ADCR0H	R	-	-	-	00H
AAH	24ビット 型A/D変換結果レジスタ1	ADCR1	ADCR1L	R	-	-	-	00H
ABH			ADCR1M	R	-	-	-	00H
ACH			ADCR1H	R	-	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFR (3rd SFR) インタフェースを使用してアクセスします。

表3-7 拡張SFR (3rd SFR) 一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
ADH	24ビット 型A/D変換結果レジスタ2	ADCR2	ADCR2L	R	-	-	-	00H
AEH			ADCR2M	R	-	-	-	00H
AFH			ADCR2H	R	-	-	-	00H
B0H	24ビット 型A/D変換結果レジスタ3	ADCR3	ADCR3L	R	-	-	-	00H
B1H			ADCR3M	R	-	-	-	00H
B2H			ADCR3H	R	-	-	-	00H
B3H	位相コントロール・レジスタ0	PHC0	PHC0L	R/W	-	-	-	00H
B4H			PHC0H	R/W	-	-	-	00H
B5H	位相コントロール・レジスタ1	PHC1	PHC1L	R/W	-	-	-	00H
B6H			PHC1H	R/W	-	-	-	00H
CBH	リアルタイム・カウンタ・モード・レジスタ	RTCMD		R/W	-	-	-	00H
100H	ピリオド/周波数測定結果レジスタ	PFVAL	PFVALL	R	-	-	-	00H
101H			PFVALH	R	-	-	-	00H
102H	電圧チャンネル1 ゼロクロス・タイムアウト設定レジスタ	ZXTOUT1	ZXTOUT1L	R/W	-	-	-	FFH
103H			ZXTOUT1H	R/W	-	-	-	03H
104H	電圧チャンネル2 ゼロクロス・タイムアウト設定レジスタ	ZXTOUT2	ZXTOUT2L	R/W	-	-	-	FFH
105H			ZXTOUT2H	R/W	-	-	-	03H
106H	電圧チャンネル1 SAGライン・サイクル数設定レジスタ	SAGNUM1		R/W	-	-	-	FFH
107H	電圧チャンネル1 SAGレベル設定レジスタ	SAGVAL1	SAGVAL1L	R/W	-	-	-	00H
108H			SAGVAL1M	R/W	-	-	-	00H
109H			SAGVAL1H	R/W	-	-	-	00H
10AH	電圧チャンネル2 SAGライン・サイクル数設定レジスタ	SAGNUM2		R/W	-	-	-	FFH
10BH	電圧チャンネル2 SAGレベル設定レジスタ	SAGVAL2	SAGVAL2L	R/W	-	-	-	00H
10CH			SAGVAL2M	R/W	-	-	-	00H
10DH			SAGVAL2H	R/W	-	-	-	00H
10EH	電流ピーク・レベル設定レジスタ	IPKLMT	IPKLMTL	R/W	-	-	-	FFH
10FH			IPKLMTM	R/W	-	-	-	FFH
110H	電圧ピーク・レベル設定レジスタ	VPKLMT	VPKLMTL	R/W	-	-	-	FFH
111H			VPKLMTM	R/W	-	-	-	FFH
112H	電流ピーク値レジスタ	IMAX	IMAXL	R	-	-	-	00H
113H			IMAXM	R	-	-	-	00H
114H			IMAXH	R	-	-	-	00H
116H	電流ピーク値クリア・レジスタ	RSTIMAX	RSTIMAXL	R	-	-	-	00H
117H			RSTIMAXM	R	-	-	-	00H
118H			RSTIMAXH	R	-	-	-	00H
119H	電圧ピーク値レジスタ	VMAX	VMAXL	R	-	-	-	00H
11AH			VMAXM	R	-	-	-	00H
11BH			VMAXH	R	-	-	-	00H
11DH	電圧ピーク値クリア・レジスタ	RSTVMAX	RSTVMAXL	R	-	-	-	00H
11EH			RSTVMAXM	R	-	-	-	00H
11FH			RSTVMAXH	R	-	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFR (3rd SFR) インタフェースを使用してアクセスします。

表3-7 拡張SFR (3rd SFR) 一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
120H	ゲイン設定レジスタ	IMATGAIN	IMATGAINL	R/W	-	-	-	00H
121H			IMATGAINH	R/W	-	-	-	00H
122H	フォールト検出制御レジスタ	PQMCTL		R/W	-	-	-	00H
123H	フォールト検出しきい値設定レジスタ	IST		R/W	-	-	-	8BH
124H	フォールト制御レジスタ	ICLK		R/W	-	-	-	84H
150H	周波数変換制御レジスタ	CFCTL		R/W	-	-	-	02H
151H	周波数スケール設定レジスタ	CFMUL	CFMULL	R/W	-	-	-	FFH
152H			CFMULH	R/W	-	-	-	FFH
153H	パルス幅設定レジスタ	PULCTL		R/W	-	-	-	00H
180H	電力演算モード制御レジスタ1	PWCTL1		R/W	-	-	-	00H
181H	電力演算モード制御レジスタ2	PWCTL2		R/W	-	-	-	00H
182H	ゼロロード・レベル制御レジスタ	NLCTL		R/W	-	-	-	00H
183H	有効電力スケール設定レジスタ	ACTDIV		R/W	-	-	-	00H
184H	無効電力スケール設定レジスタ	READIV		R/W	-	-	-	00H
185H	皮相電力スケール設定レジスタ	APPDIV		R/W	-	-	-	00H
186H	電圧チャンネル1 RMSレジスタ	V1RMS	V1RMSL	R	-	-	-	00H
187H			V1RMSM	R	-	-	-	00H
188H			V1RMSH	R	-	-	-	00H
189H	電圧チャンネル2 RMSレジスタ	V2RMS	V2RMSL	R	-	-	-	00H
18AH			V2RMSM	R	-	-	-	00H
18BH			V2RMSH	R	-	-	-	00H
18CH	電流チャンネル1 RMSレジスタ	I1RMS	I1RMSL	R	-	-	-	00H
18DH			I1RMSM	R	-	-	-	00H
18EH			I1RMSH	R	-	-	-	00H
18FH	電流チャンネル2 RMSレジスタ	I2RMS	I2RMSL	R	-	-	-	00H
190H			I2RMSM	R	-	-	-	00H
191H			I2RMSH	R	-	-	-	00H
192H	有効電力アキュムレーション・リード・レジスタ	ACTHR	ACTHRL	R	-	-	-	00H
193H			ACTHRM	R	-	-	-	00H
194H			ACTHRH	R	-	-	-	00H
196H	有効電力アキュムレーション・リセット・リード・レジスタ	RACTHR	RACTHRL	R	-	-	-	00H
197H			RACTHRM	R	-	-	-	00H
198H			RACTHRH	R	-	-	-	00H
199H	有効電力アキュムレーション同期リード・レジスタ	LACTHR	LACTHRL	R	-	-	-	00H
19AH			LACTHRM	R	-	-	-	00H
19BH			LACTHRH	R	-	-	-	00H
19CH	無効電力アキュムレーション・リード・レジスタ	REahr	REahrL	R	-	-	-	00H
19DH			REahrM	R	-	-	-	00H
19EH			REahrH	R	-	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFR (3rd SFR) インタフェースを使用してアクセスします。

表3-7 拡張SFR (3rd SFR) 一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	
				1ビット	8ビット	16ビット		
1A0H	無効電力アキュムレーション・リセット・リード・レジスタ	RREahr	RREahrL	R	-	-	-	00H
1A1H			RREahrM	R	-	-	-	00H
1A2H			RREahrH	R	-	-	-	00H
1A3H	無効電力アキュムレーション同期リード・レジスタ	LREahr	LREahrL	R	-	-	-	00H
1A4H			LREahrM	R	-	-	-	00H
1A5H			LREahrH	R	-	-	-	00H
1A6H	皮相電力アキュムレーション・リード・レジスタ	APPhr	APPhrL	R	-	-	-	00H
1A7H			APPhrM	R	-	-	-	00H
1A8H			APPhrH	R	-	-	-	00H
1AAH	皮相電力アキュムレーション・リセット・リード・レジスタ	RAPPhr	RAPPhrL	R	-	-	-	00H
1ABH			RAPPhrM	R	-	-	-	00H
1ACH			RAPPhrH	R	-	-	-	00H
1ADH	皮相電力アキュムレーション同期リード・レジスタ	LAPPhr	LAPPhrL	R	-	-	-	00H
1AEH			LAPPhrM	R	-	-	-	00H
1AFH			LAPPhrH	R	-	-	-	00H
1B0H	ライン・サイクル数設定レジスタ	LINNUM	LINNUML	R/W	-	-	-	FFH
1B1H			LINNUMH	R/W	-	-	-	FFH
1B2H	有効電力ゲイン設定レジスタ1	ACT1GAIN	ACT1GAINL	R/W	-	-	-	00H
1B3H			ACT1GAINH	R/W	-	-	-	00H
1B4H	有効電力ゲイン設定レジスタ2	ACT2GAIN	ACT2GAINL	R/W	-	-	-	00H
1B5H			ACT2GAINH	R/W	-	-	-	00H
1B6H	無効電力ゲイン設定レジスタ1	REA1GAIN	REA1GAINL	R/W	-	-	-	00H
1B7H			REA1GAINH	R/W	-	-	-	00H
1B8H	無効電力ゲイン設定レジスタ2	REA2GAIN	REA2GAINL	R/W	-	-	-	00H
1B9H			REA2GAINH	R/W	-	-	-	00H
1BAH	皮相電力ゲイン設定レジスタ1	APP1GAIN	APP1GAINL	R/W	-	-	-	00H
1BBH			APP1GAINH	R/W	-	-	-	00H
1BCH	皮相電力ゲイン設定レジスタ2	APP2GAIN	APP2GAINL	R/W	-	-	-	00H
1BDH			APP2GAINH	R/W	-	-	-	00H
1BEH	電流チャンネル1 RMSゲイン設定レジスタ	IRMS1GAIN	IRMS1GAINL	R/W	-	-	-	00H
1BFH			IRMS1GAINH	R/W	-	-	-	00H
1C0H	電流チャンネル2 RMSゲイン設定レジスタ	IRMS2GAIN	IRMS2GAINL	R/W	-	-	-	00H
1C1H			IRMS2GAINH	R/W	-	-	-	00H
1C2H	有効電力オフセット設定レジスタ1	ACT1OS	ACT1OSL	R/W	-	-	-	00H
1C3H			ACT1OSH	R/W	-	-	-	00H
1C4H	有効電力オフセット設定レジスタ2	ACT2OS	ACT2OSL	R/W	-	-	-	00H
1C5H			ACT2OSH	R/W	-	-	-	00H
1C6H	無効電力オフセット設定レジスタ1	REA1OS	REA1OSL	R/W	-	-	-	00H
1C7H			REA1OSH	R/W	-	-	-	00H
1C8H	無効電力オフセット設定レジスタ2	REA2OS	REA2OSL	R/W	-	-	-	00H
1C9H			REA2OSH	R/W	-	-	-	00H

備考 80H-1D8Hのレジスタは、拡張SFR (3rd SFR) インタフェースを使用してアクセスします。

表3-7 拡張SFR (3rd SFR) 一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
1CAH	電流チャンネル1 RMSオフセット設定レジスタ	I1RMSOS	I1RMSOSL	R/W	-	-	-	00H
1CBH			I1RMSOSH	R/W	-	-	-	00H
1CCH	電圧チャンネル1 RMSオフセット設定レジスタ	V1RMSOS	V1RMSOSL	R/W	-	-	-	00H
1CDH			V1RMSOSH	R/W	-	-	-	00H
1CEH	電流チャンネル2 RMSオフセット設定レジスタ	I2RMSOS	I2RMSOSL	R/W	-	-	-	00H
1CFH			I2RMSOSH	R/W	-	-	-	00H
1D0H	電圧チャンネル2 RMSオフセット設定レジスタ	V2RMSOS	V2RMSOSL	R/W	-	-	-	00H
1D1H			V2RMSOSH	R/W	-	-	-	00H
1D2H	サンプリング・モード選択レジスタ	SAMPMODE		R/W	-	-	-	00H
1D3H	サンプリング結果レジスタ1	SAMP1	SAMP1L	R	-	-	-	00H
1D4H			SAMP1M	R	-	-	-	00H
1D5H			SAMP1H	R	-	-	-	00H
1D6H	サンプリング結果レジスタ2	SAMP2	SAMP2L	R	-	-	-	00H
1D7H			SAMP2M	R	-	-	-	00H
1D8H			SAMP2H	R	-	-	-	00H

備考1. 80H-1D8Hのレジスタは、拡張SFR (3rd SFR) インタフェースを使用してアクセスします。

2. SFR領域のSFRについては、表3-5 SFR一覧を参照してください。

拡張SFR (2nd SFR) については、表3-6 拡張SFR (2nd SFR) 一覧を参照してください。

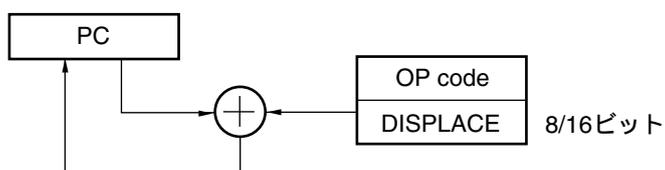
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレイメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-10 レラティブ・アドレッシングの概略



3.3.2 イミディエイト・アドレッシング

【機能】

命令語中のイミディエイト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエイト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-11 CALL !!addr20/BR !!addr20の例

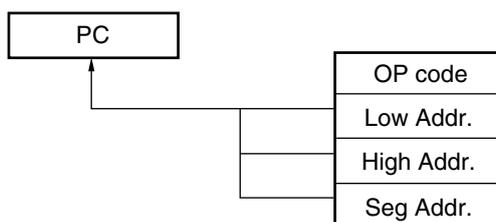
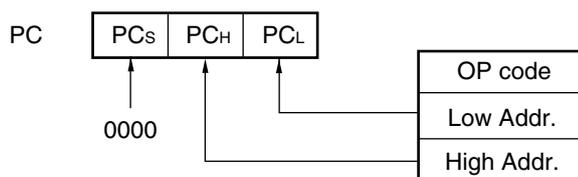


図3-12 CALL !addr16/BR !addr16の例



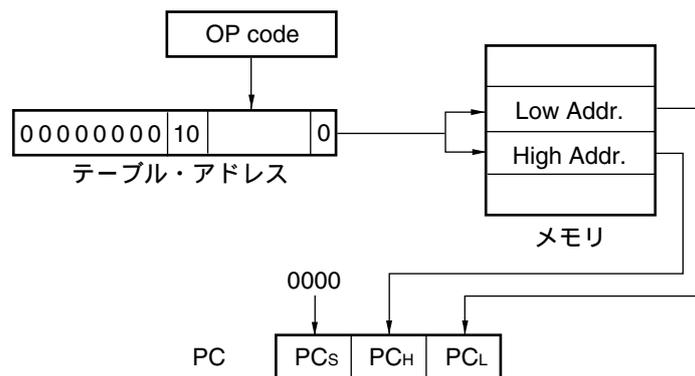
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

78K0Rマイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 13 テーブル・インダイレクト・アドレッシングの概略

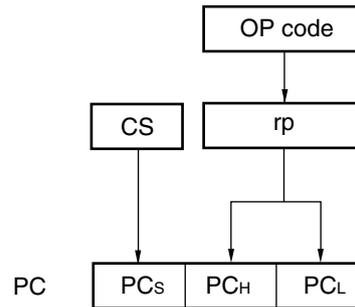


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 14 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

【機能】

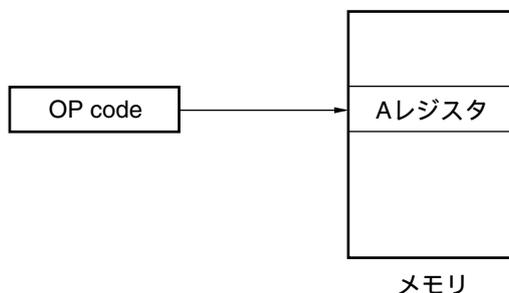
アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。

インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 15 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

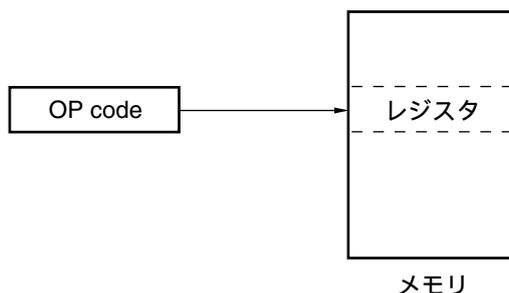
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 16 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:ADDR16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 17 ADDR16の例

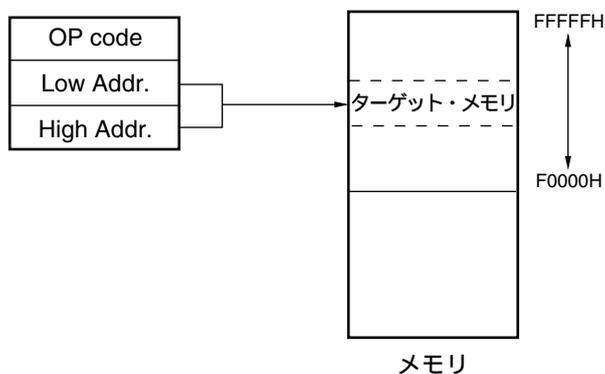
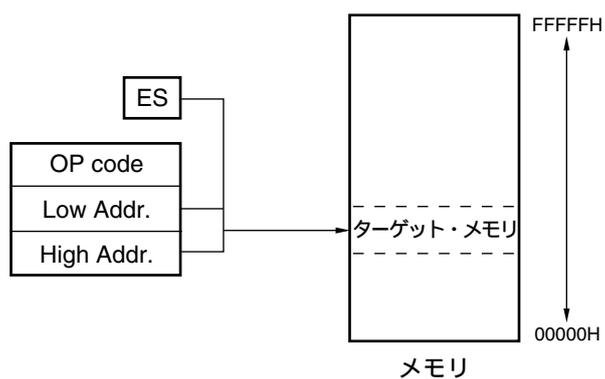


図3 - 18 ES:ADDR16の例



3.4.4 ショート・ダイレクト・アドレッシング

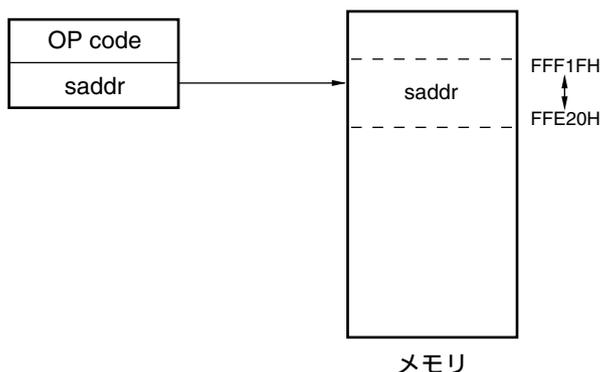
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 19 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミューディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミューディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

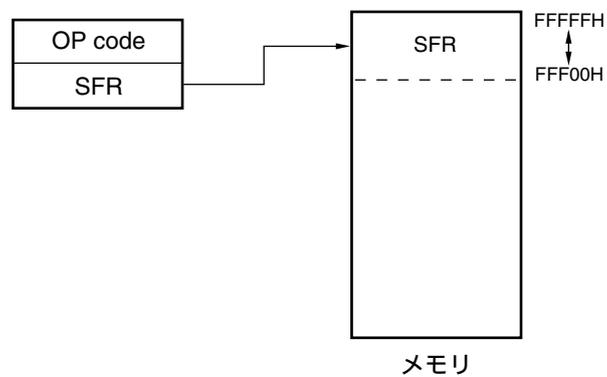
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3 - 20 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 21 [DE], [HL]の例

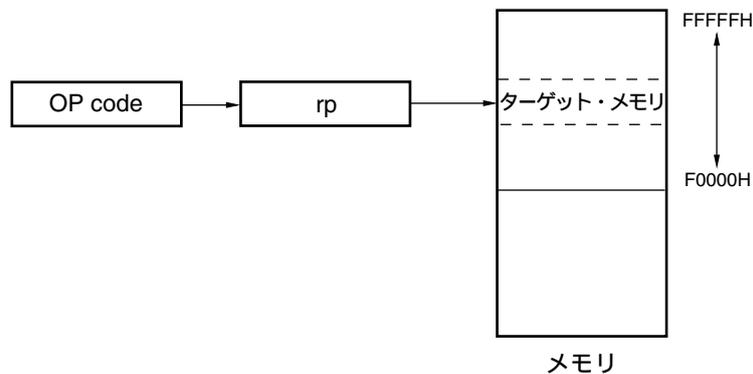
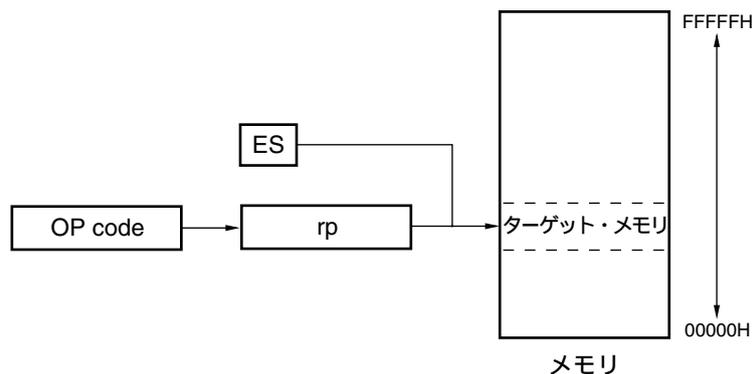


図3 - 22 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
-	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
-	word[BC] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 23 [SP+byte]の例

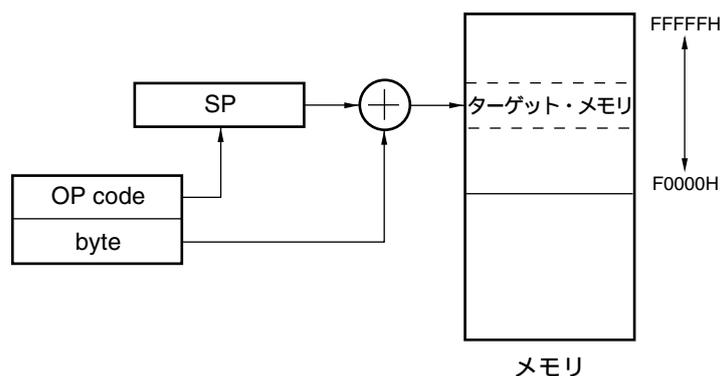


図3 - 24 [HL+byte], [DE+byte]の例

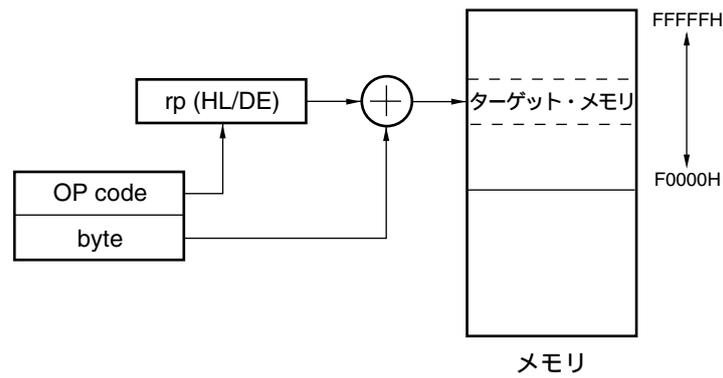


図3 - 25 word[B], word[C]の例

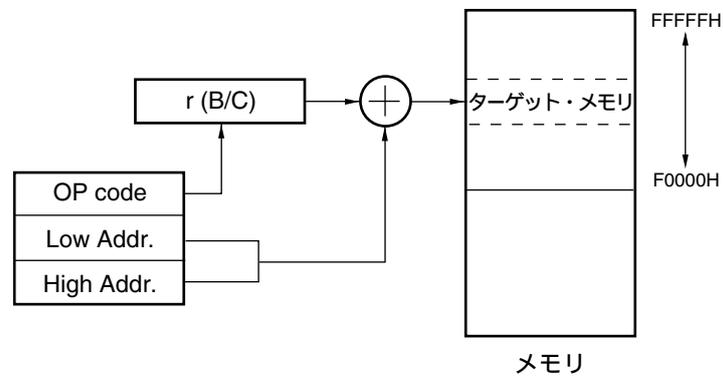


図3 - 26 word[BC]の例

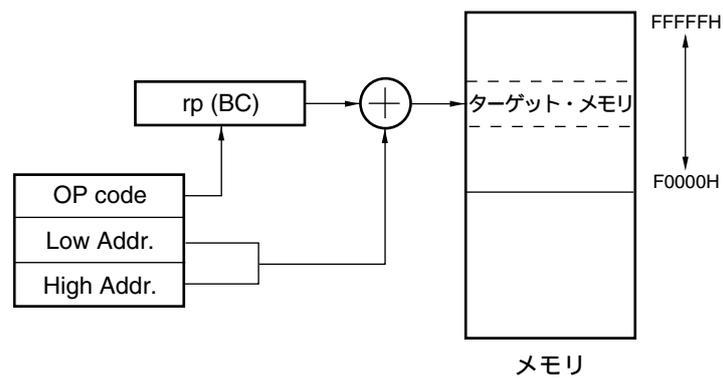


図3 - 27 ES:[HL+byte] , ES:[DE+byte]の例

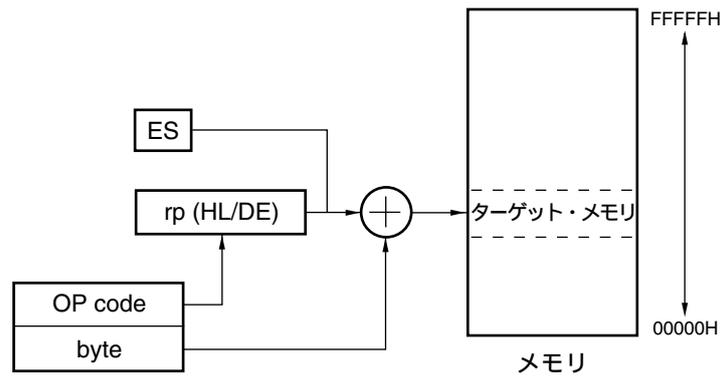


図3 - 28 ES:word[B] , ES:word[C]の例

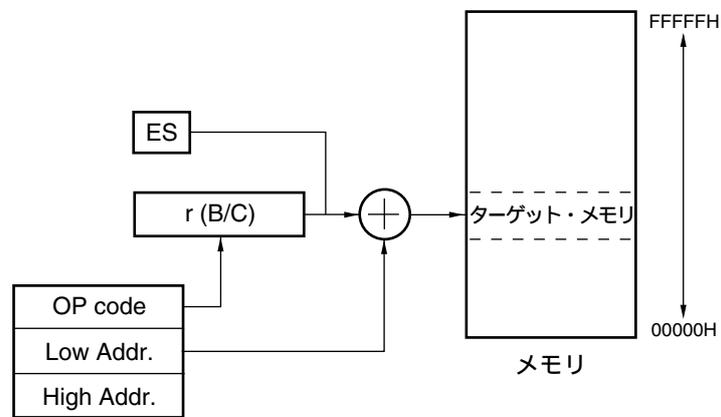
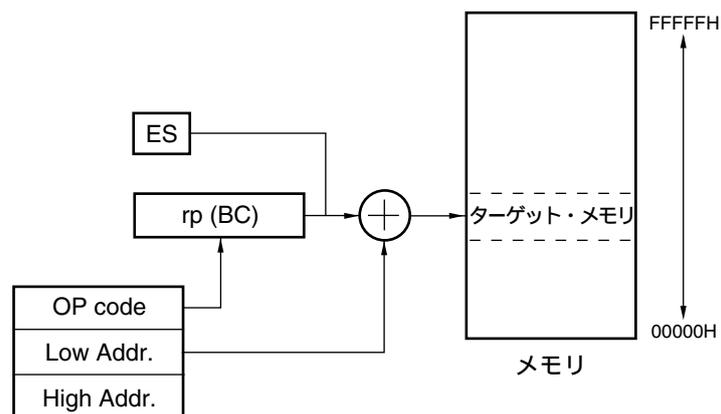


図3 - 29 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + B] , [HL + C] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + B] , ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 30 [HL+B] , [HL+C]の例

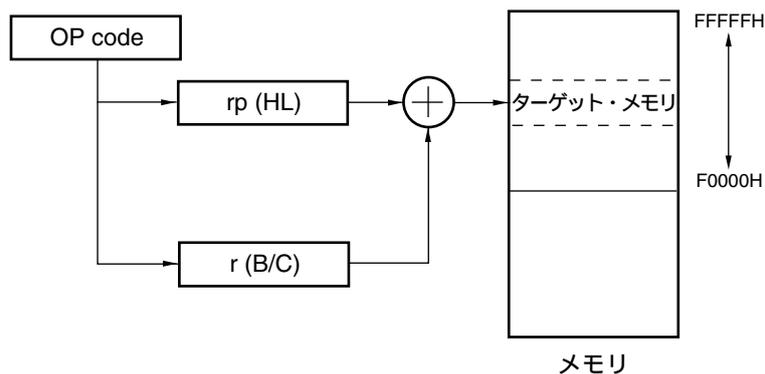
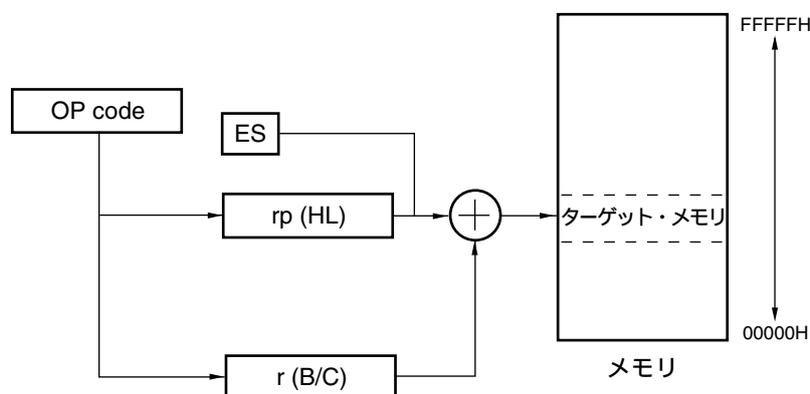


図3 - 31 ES:[HL+B] , ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAMのみに用いられます。

【オペランド形式】

表現形式	記述方法
-	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、 AV_{DD} 、 LAV_{DD} 、 LV_{DD} 、 V_{DD} の4系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV_{DD}	P152, P157
LAV_{DD}	ANIDS00, ANIDS01, ANIDS10, ANIDS11, ANIDS20, ANIDS21, ANIDS30, ANIDS31端子
LV_{DD}	CF, EXCLKS1, LP01, XT1, XT2, ZX1, LRESET, FXTOUT, TO05, P16端子
V_{DD}	上記以外の端子

78K0R/Lx3-Mマイクロコントローラは、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

表4-2 ポートの機能 (1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	CAPH
P01				CAPL
P10	入出力	ポート1。 3ビット入出力ポートと1ビット出力ポート。 1ビット単位で入力/出力の指定可能。 P10, P11の入力はTTL入力バッファに設定可能。	入力ポート	SCK20/SCL20
P11				SI20/RxD2/SDA20/ INTP6
P12				SO20/TxD2/TO02
P16	出力	P10-P12の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能 P10-P12の入力はソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	出力ポート ^{注1}	TO05
P33	入出力	ポート3。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI07/TO07/INTP3
P40 ^{注2}	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG39/RxD3
P51				SEG38/TxD3
P52				SEG37/TI02
P53				SEG36/TI04
P54-P57				SEG35-SEG32
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCL0
P61				SDA0
P81	入出力	ポート8。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 P82の出力は、N-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	RxD0/ INTP9
P82				TxD0
P90-P97	入出力	ポート9。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG31-SEG24
P100	入出力	ポート10。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SEG15

- 注1. P16/TO05を使用する場合、リセット解除後PM1のPM16ビット、PM2のPM20ビットには0、P2のP20ビットには1を設定してください。
2. オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください。

表4-2 ポートの機能(2/2)

機能名称	入出力	機能	リセット時	兼用機能
P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
P121	入力	1ビット入出力ポートと3ビット入力ポート。 P120のみ, 1ビット単位で入力/出力の指定可能。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。		X1
P122				X2/EXCLK
P124				EXCLKS0
P140-P147	入出力	ポート14。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SEG23-SEG16
P152	入出力	ポート15。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI10
P157				ANI15
LP01	入出力	ポートLP0。 1ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	ZX1

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PMxx, LPM0) : PM0, PM1, PM3-PM6, PM8-PM10, PM12, PM14, PM15, LPM0 ポート・レジスタ (Pxx, LP0) : P0, P1, P3-P6, P8-P10, P12, P14, P15, LP0 ブルアップ抵抗オプション・レジスタ (PUxx, LPU0) : PU0, PU1, PU3-PU5, PU8-PU10, PU12, PU14, LPU0 ポート入力モード・レジスタ (PIM1) ポート出力モード・レジスタ (POM1, POM8) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ポート・ファンクション・レジスタ (PFALL) 入力切り替え制御レジスタ (ISC)
ポート	合計45本 (CMOS入出力: 39本, CMOS出力: 1本, CMOS入力: 3本, N-chオープン・ドレイン入出力: 2本)
ブルアップ抵抗	合計37本

4.2.1 ポート0

78K0R/LG3-M (100ピン : μ PD78F8070)
P00/CAPH
P01/CAPL

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00, P01端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

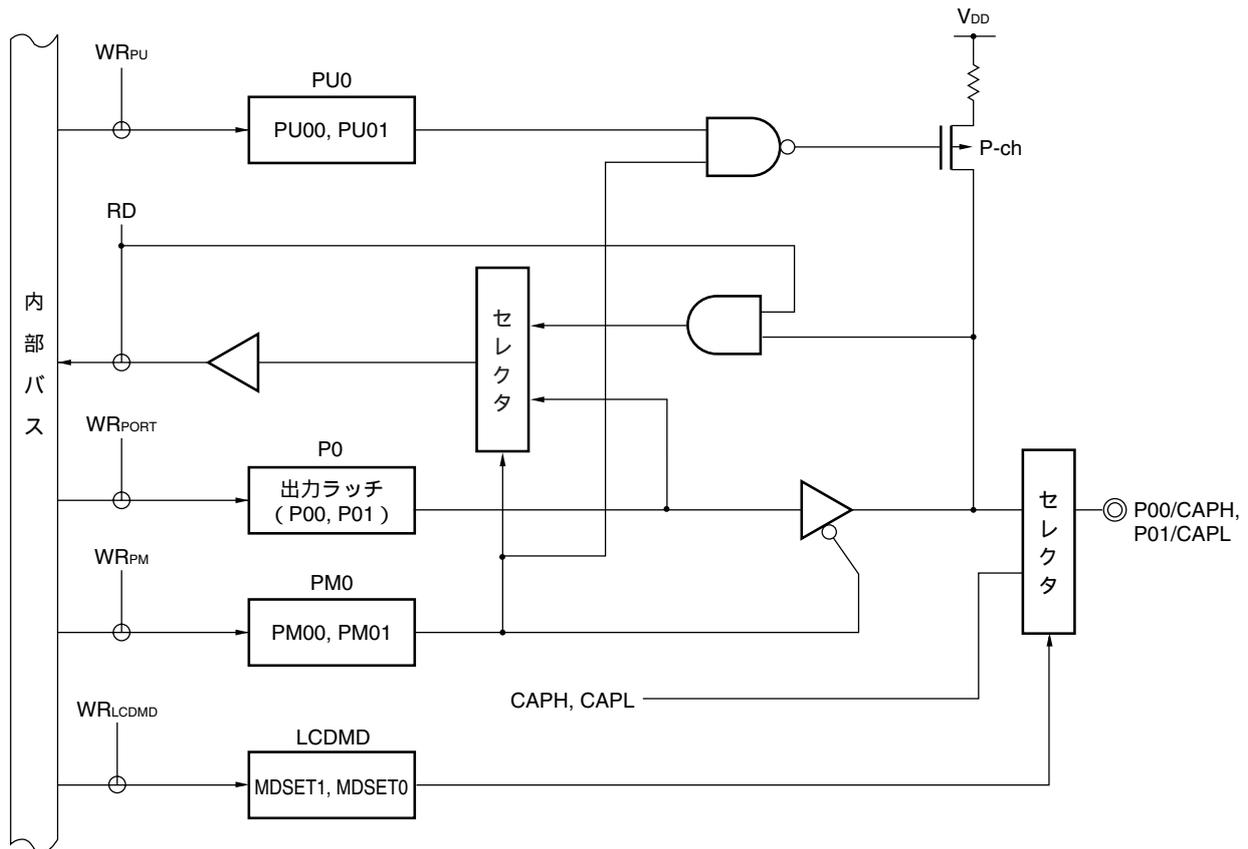
また、兼用機能としてLCDコントローラ/ドライバ用コンデンサ接続端子があります。

リセット信号の発生により、入力モードになります。

図4-1にポート0のブロック図を示します。

注意 P00/CAPH, P01/CAPLを汎用ポートとして使用する場合、LCDモード設定レジスタ (LCDMD) のビット5 (MDSET1) とビット4 (MDSET0) を初期状態と同じ設定“0”で使用してください。

図4-1 P0, P01のブロック図



- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 LCDMD : LCDモード設定レジスタ
 RD : リード信号
 WR_xx : ライト信号

4.2.2 ポート1

78K0R/LG3-M (100ピン : μ PD78F8070)
P10/ $\overline{\text{SCK20}}$ /SCL20
P11/SI20/RxD2/SDA20/INTP6
P12/SO20/TxD2/TO02
P16/TO05

P10-P12は出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11端子の入力は、ポート入力モード・レジスタ1 (PIM1) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P10-P12端子の出力は、ポート出力モード・レジスタ1 (POM1) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

P16は1ビットの出力専用ポートです。

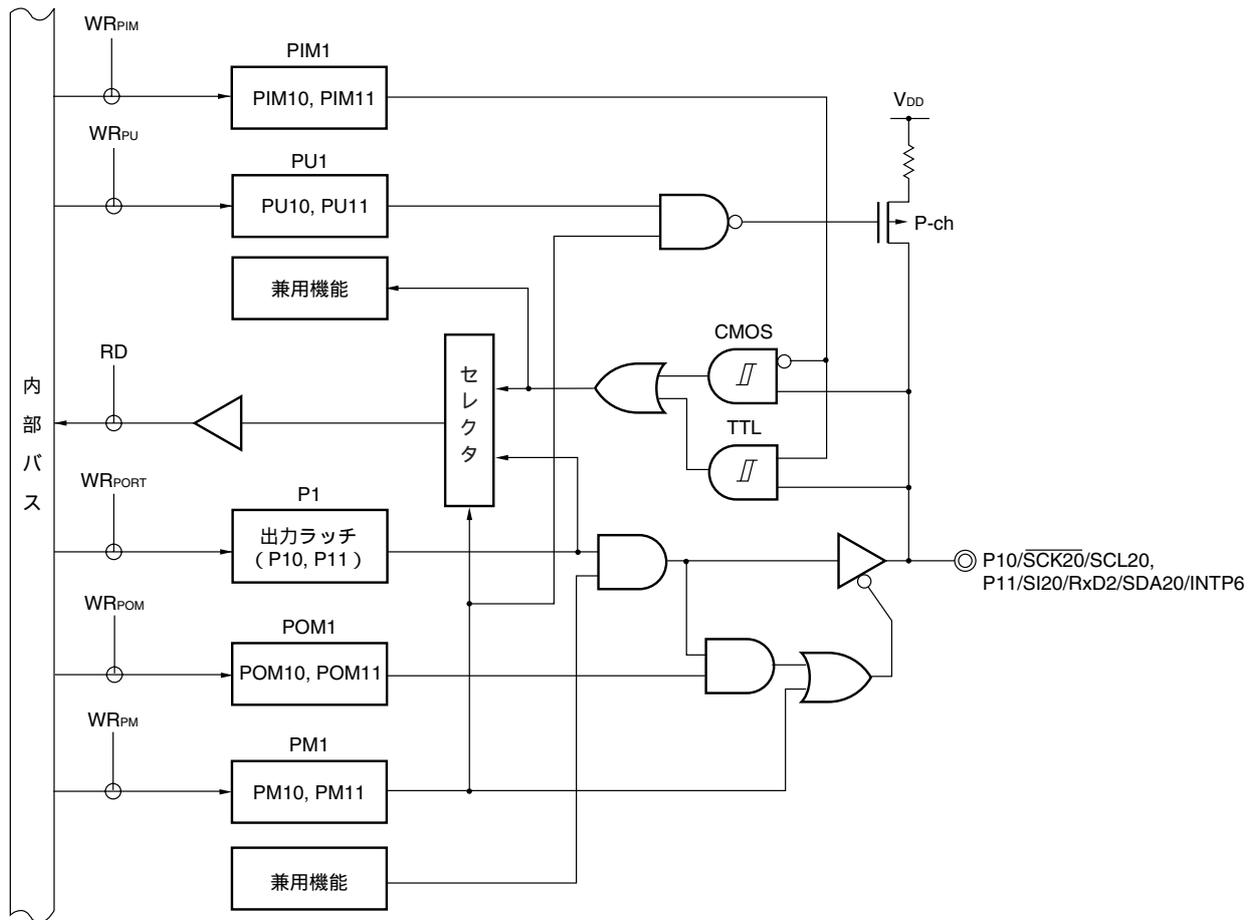
また、兼用機能としてシリアル・インタフェースのクロック入出力、データ入出力、タイマの出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図4-2-4-4にポート1のブロック図を示します。

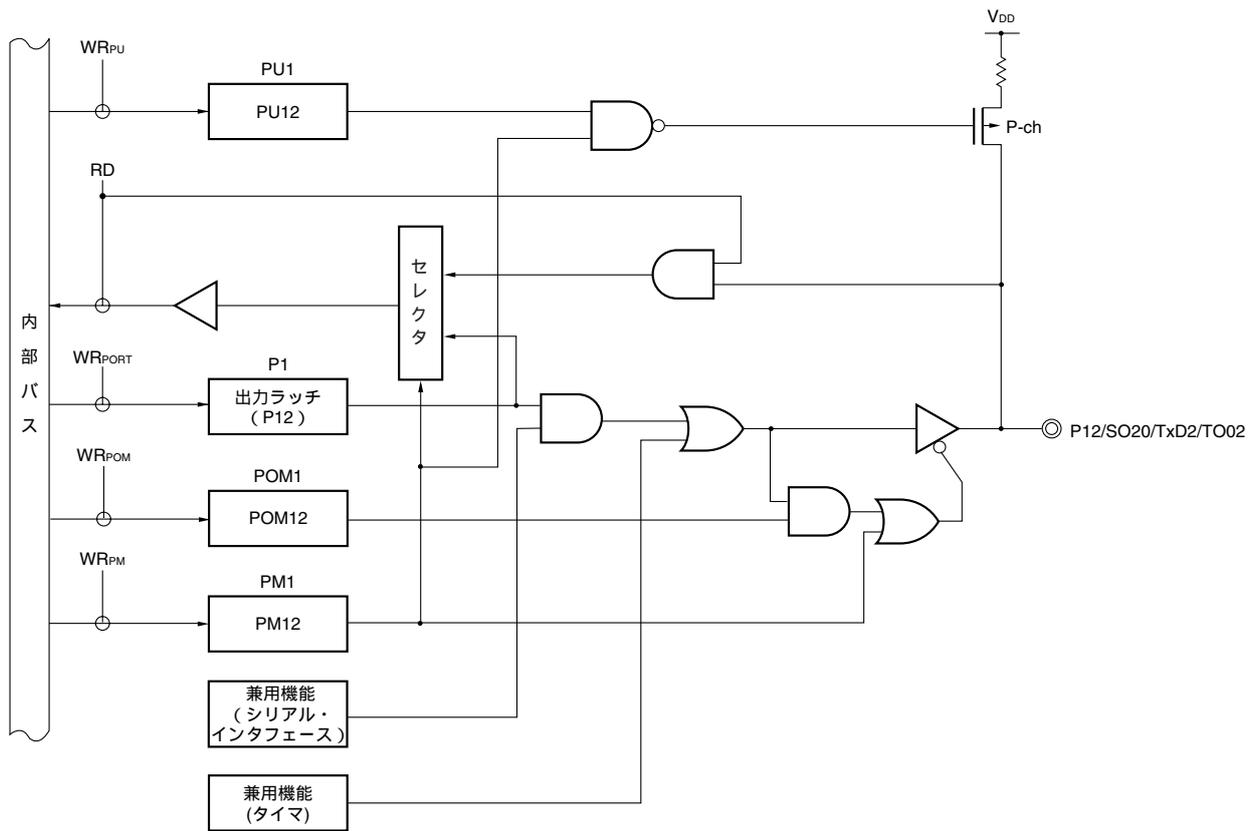
- 注意1.** P10/ $\overline{\text{SCK20}}$ /SCL20, P11/SI20/RxD2/SDA20/INTP6を汎用ポートとして使用する場合、シリアル・アレイ・ユニット1の設定に注意してください。詳細は、表12-7 レジスタの設定と端子の関係(ユニット1のチャンネル0 : CSI20, UART2受信, IIC20)を参照してください。
2. P12/TO02/SO20/TxD2を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット2 (TO02) とタイマ出力許可レジスタ0 (TOE0) のビット2 (TOE02) を初期状態と同じ設定“0”で使用してください。また、シリアル・アレイ・ユニット1の設定に注意してください。シリアル・アレイ・ユニット1の詳細は、表12-7 レジスタの設定と端子の関係(ユニット1のチャンネル0 : CSI20, UART2受信, IIC20)を参照してください。
3. P16/TO05を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット5 (TO05) とタイマ出力許可レジスタ0 (TOE0) のビット5 (TOE05) を初期状態と同じ設定“0”で使用してください。また、PM2のPM20ビットにはリセット解除後必ず0, P2のP20ビットにはリセット解除後必ず1を設定してください。

図4-2 P10, P11のブロック図



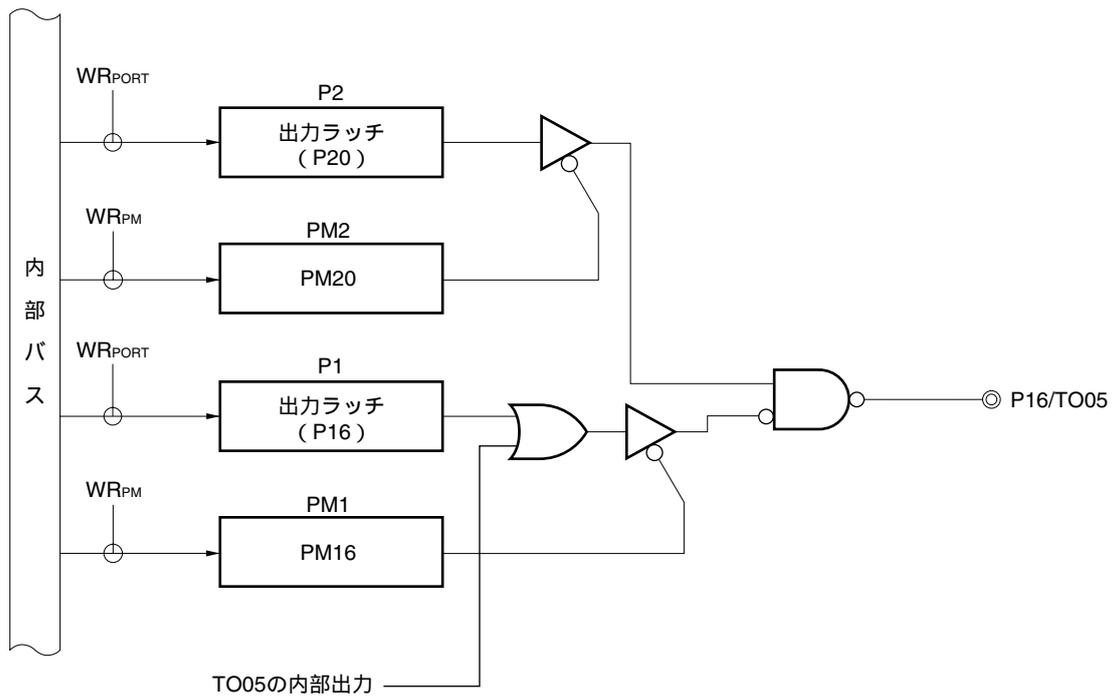
- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 PIM1 : ポート入力モード・レジスタ1
 POM1 : ポート出力モード・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_x : ライト信号

図4-3 P12のブロック図



- P1 : ポート・レジスタ1
 PU1 : プルアップ抵抗オプション・レジスタ1
 POM1 : ポート出力モード・レジスタ1
 PM1 : ポート・モード・レジスタ1
 RD : リード信号
 WR_{xx} : ライト信号

図4 - 4 P16のブロック図



注意 P16/TO05を使用する場合は、PM2のPM20ビットにはリセット解除後必ず0、P2のP20ビットにはリセット解除後必ず1を設定してください。

- P1 : ポート・レジスタ1
- P2 : ポート・レジスタ2
- PM1 : ポート・モード・レジスタ1
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_{xx} : ライト信号

4.2.3 ポート3

78K0R/LG3-M (100ピン : μ PD78F8070)
P33/TI07/TO07/INTP3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P33端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

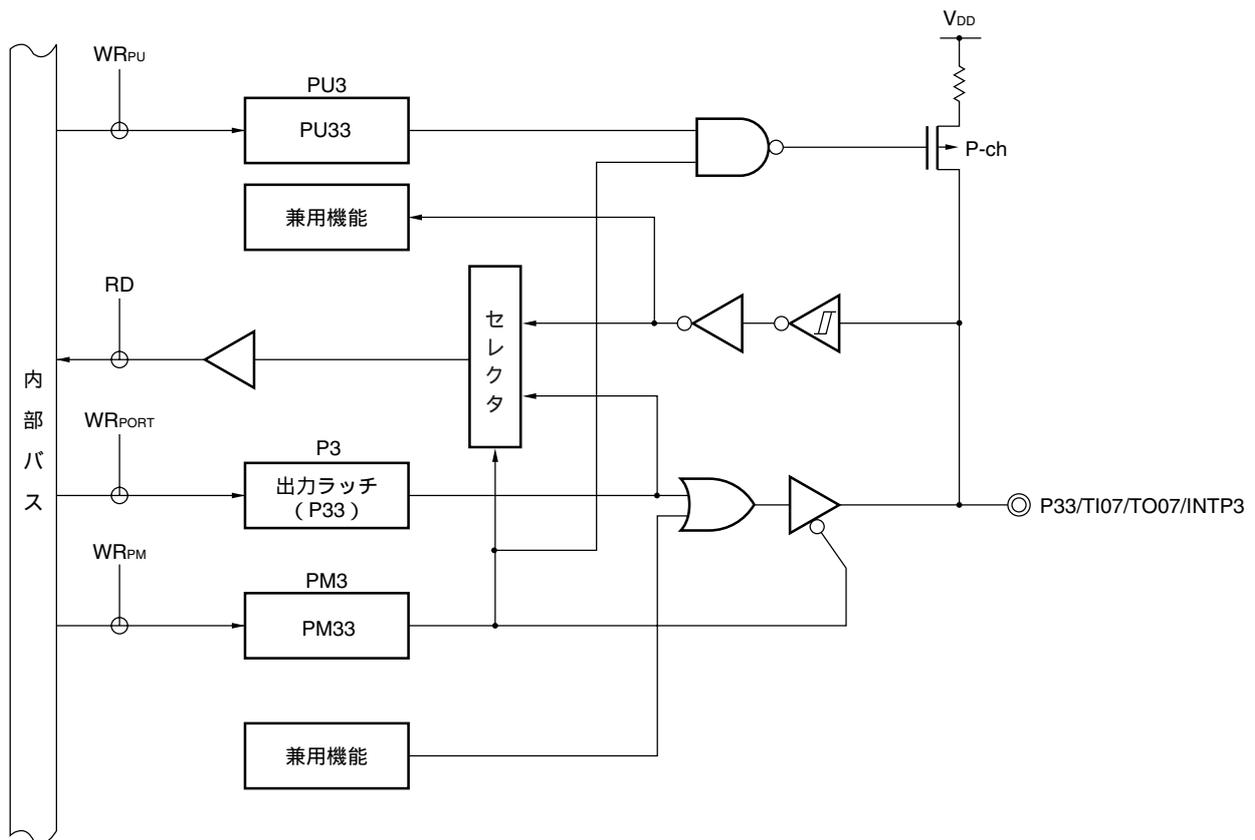
また、兼用機能としてタイマの入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図4-5にポート3のブロック図を示します。

注意 P33/TO07/TI07/INTP3を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット7 (TO07) とタイマ出力許可レジスタ0 (TOE0) のビット7 (TOE07) を初期状態と同じ設定“0”で使用してください。

図4-5 P33のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_{xx} : ライト信号

4.2.4 ポート4

78K0R/LG3-M (100ピン : μ PD78F8070)
P40/TOOL0
P41/TOOL1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード / 出力モードの指定ができます。P40, P41端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます[※]。

また、兼用機能としてフラッシュ・メモリ・プログラマ / デバッガ用データ入出力、デバッガ用クロック出力があります。

リセット信号の発生により、入力モードになります。

図4 - 6にポート4のブロック図を示します。

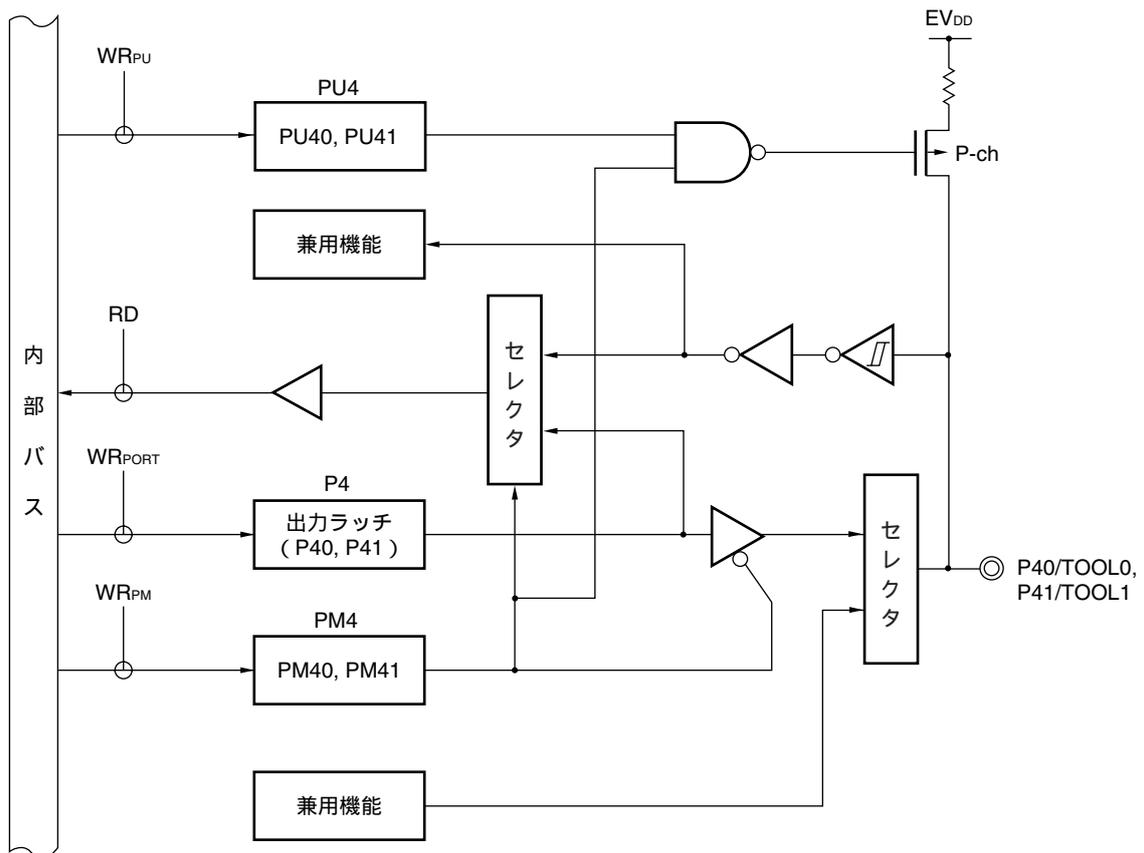
注 P40, P41端子は、ツール接続時にはプルアップ抵抗は接続できません。

注意 P40端子は、ツール接続時はポート端子として使用できません。

P41端子は、オンチップ・デバッグ機能使用時には、デバッガのモード設定により次のようになります。

- ・1線モード : ポート (P41) として使用できます。
- ・2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。

図4-6 P40, P41のブロック図



- P4 : ポート・レジスタ4
 PU4 : プルアップ抵抗オプション・レジスタ4
 PM4 : ポート・モード・レジスタ4
 RD : リード信号
 WR_{xx} : ライト信号

4.2.5 ポート5

78K0R/LG3-M (100ピン : μ PD78F8070)
P50/RxD3/SEG39
P51/TxD3/SEG38
P52/TI02/SEG37
P53/TI04/SEG36
P54/SEG35
P55/SEG34
P56/SEG33
P57/SEG32

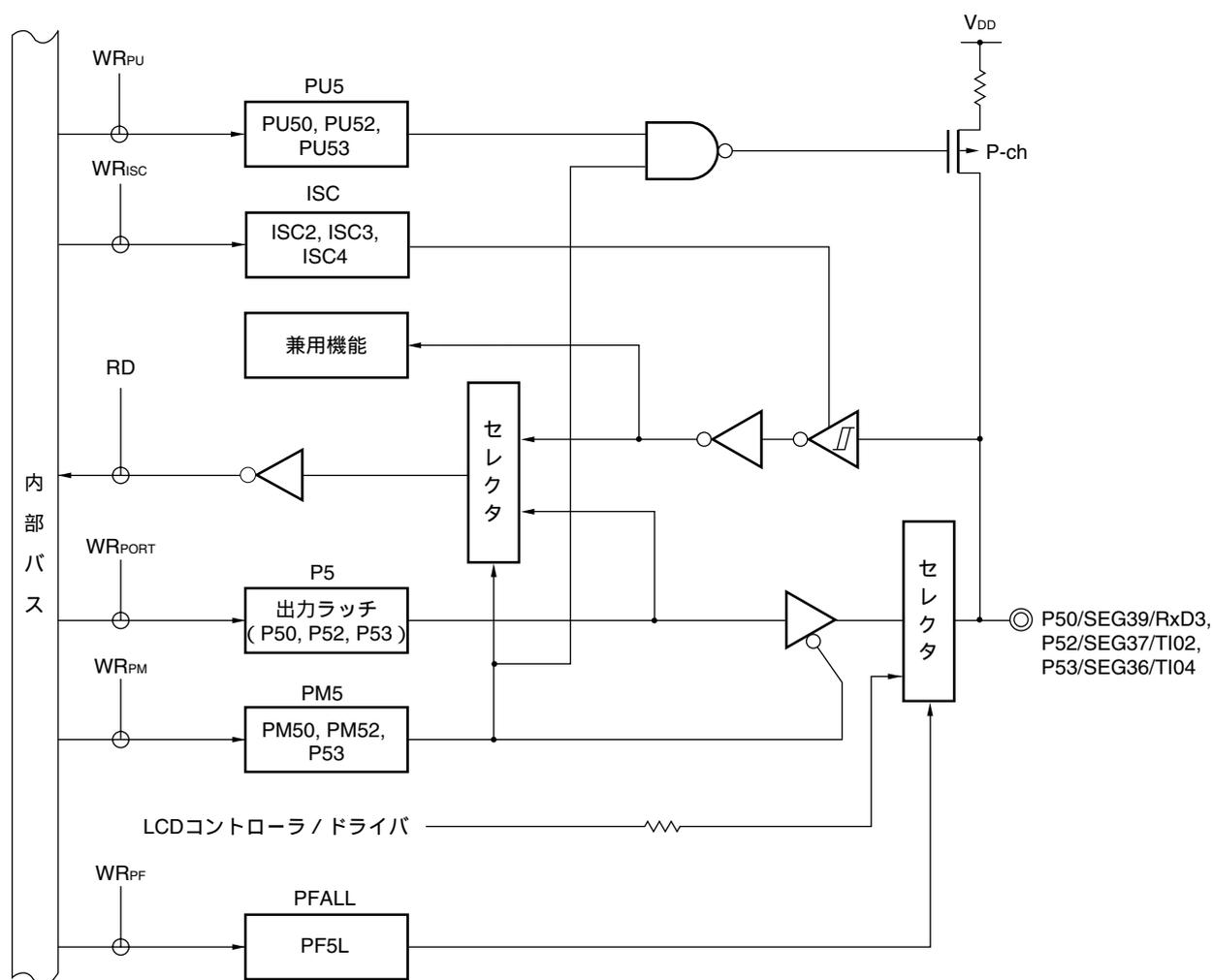
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力モード/出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてシリアル・インタフェースのデータ入出力、タイマの入力、LCDコントローラ/ドライバのセグメント出力があります。

リセット信号の発生により、入力モードになります。

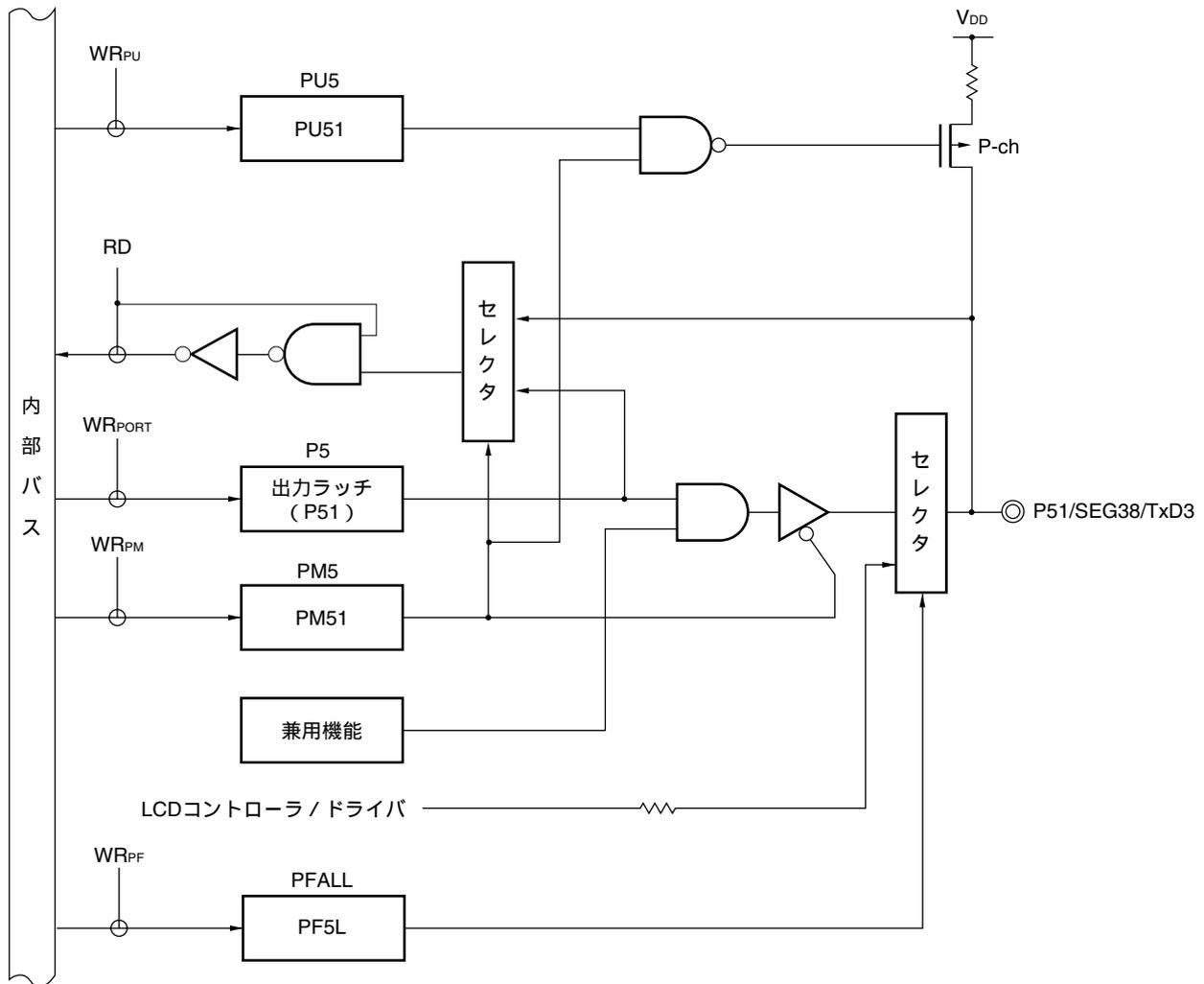
図4-7~4-9にポート5のブロック図を示します。

図4-7 P50, P52, P53のブロック図



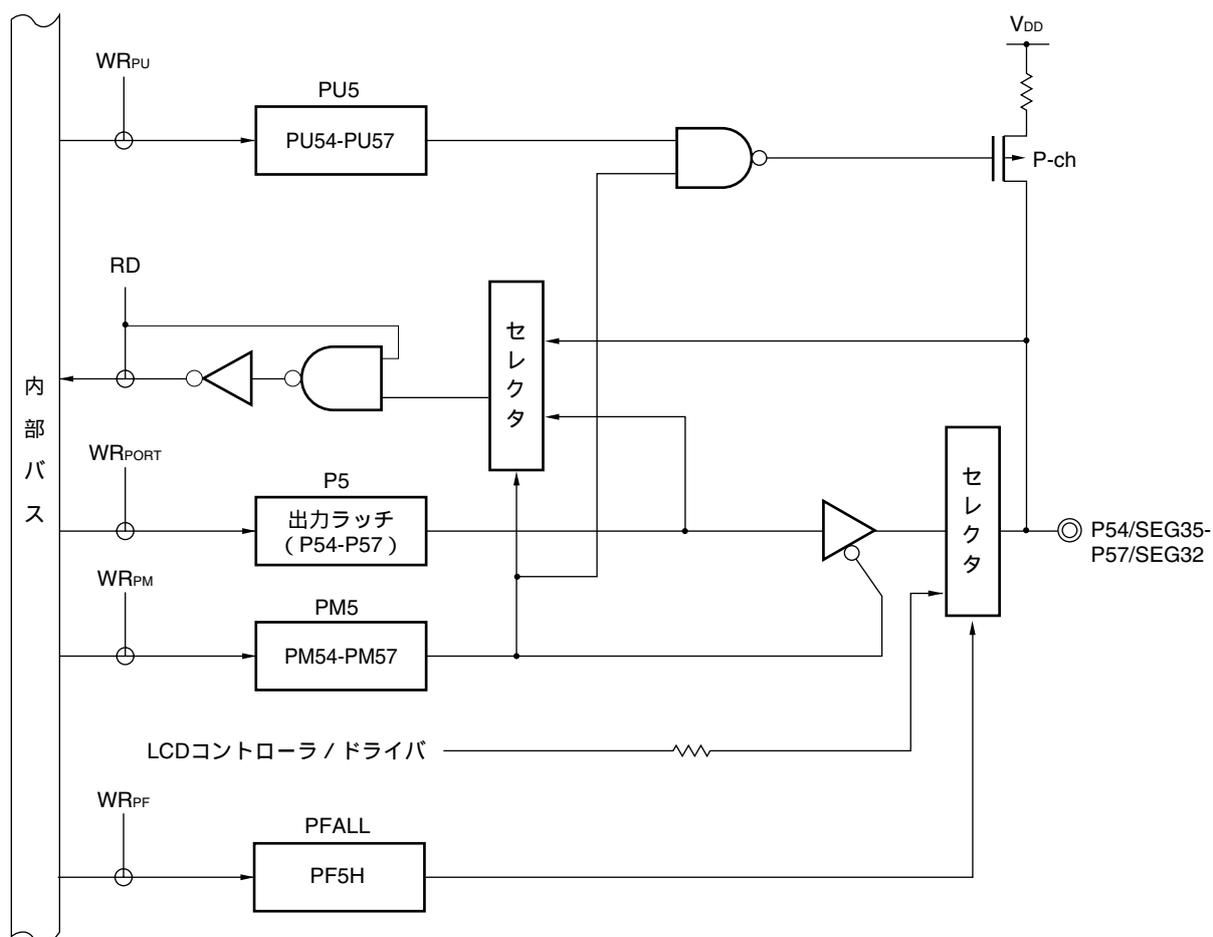
- P5 : ポート・レジスタ5
 PU5 : プルアップ抵抗オプション・レジスタ5
 PM5 : ポート・モード・レジスタ5
 PFALL : ポート・ファンクション・レジスタ
 ISC : 入力切り替え制御レジスタ
 RD : リード信号
 WR_{xx} : ライト信号

図4-8 P51のブロック図



- P5 : ポート・レジスタ5
 PU5 : プルアップ抵抗オプション・レジスタ5
 PM5 : ポート・モード・レジスタ5
 PFALL : ポート・ファンクション・レジスタ
 RD : リード信号
 WR_x : ライト信号

図4-9 P54-P57のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- PFALL : ポート・ファンクション・レジスタ
- RD : リード信号
- WR_x : ライト信号

4.2.6 ポート6

78K0R/LG3-M (100ピン : μ PD78F8070)
P60/SCL0
P61/SDA0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード/出力モードの指定ができます。

出力は、N-chオープン・ドレイン出力 (6V耐圧) です。

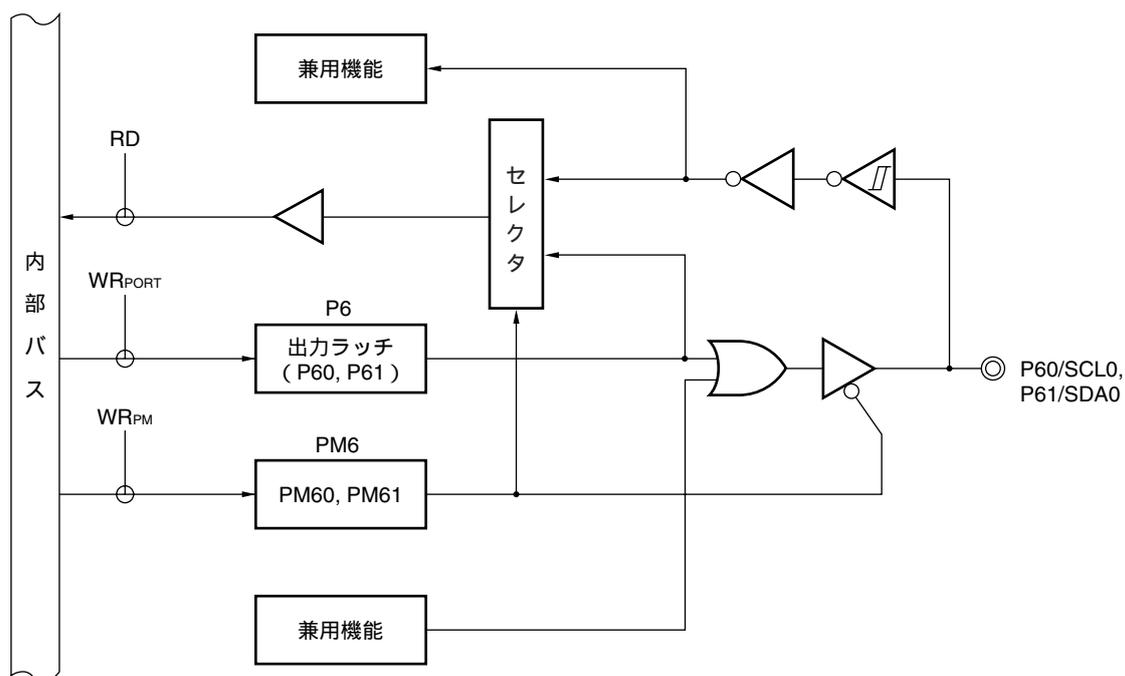
また、兼用機能としてシリアル・インタフェースIICAのデータ入出力、クロックの入出力があります。

リセット信号の発生により、入力モードになります。

図4-10にポート6のブロック図を示します。

注意 P60/SCL0, P61/SDA0を汎用ポートとして使用する場合、シリアル・インタフェースIICAを動作停止にしてください。

図4-10 P60, P61のブロック図



P6 : ポート・レジスタ6

PM6 : ポート・モード・レジスタ6

RD : リード信号

WR_{xx} : ライト信号

4.2.7 ポート8

78K0R/LG3-M (100ピン : μ PD78F8070)
P81/RxD0/INTP9
P82/TxD0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード/出力モードの指定ができます。P81, P82端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ8 (PU8) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P82端子の出力は、ポート出力モード・レジスタ8 (POM8) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

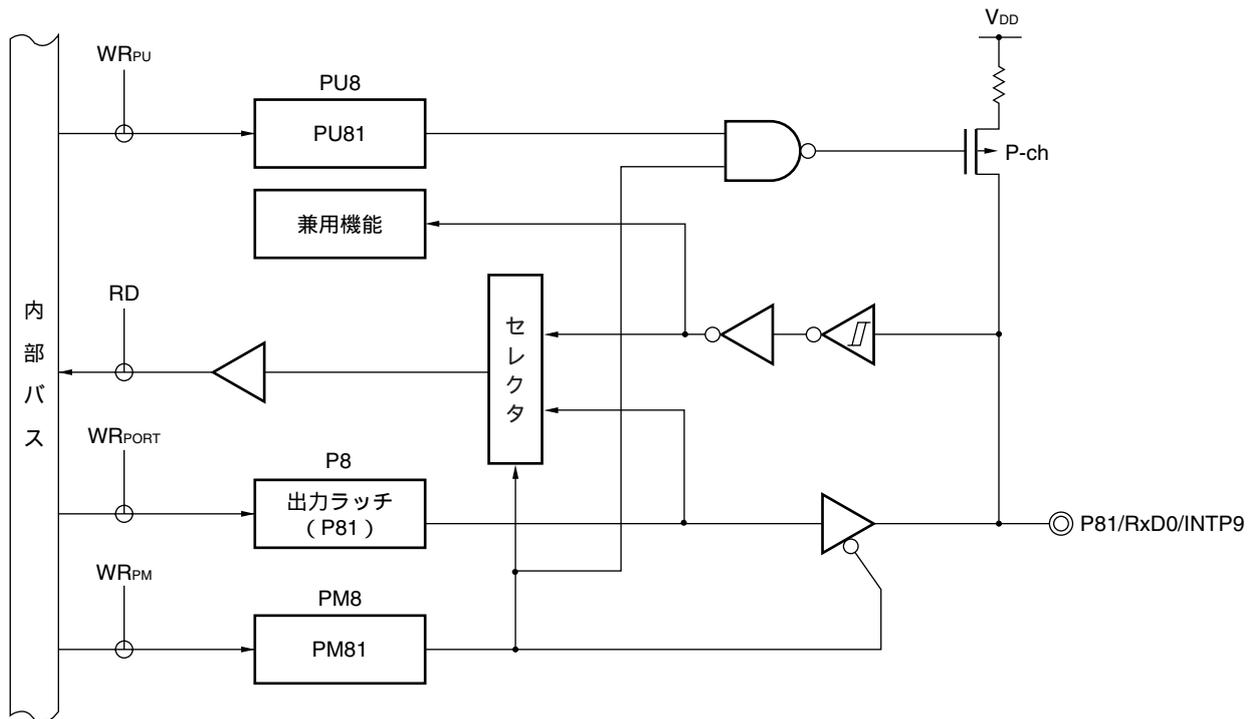
また、兼用機能としてシリアル・インタフェースのクロック入出力、データ入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図4 - 11, 4 - 12にポート8のブロック図を示します。

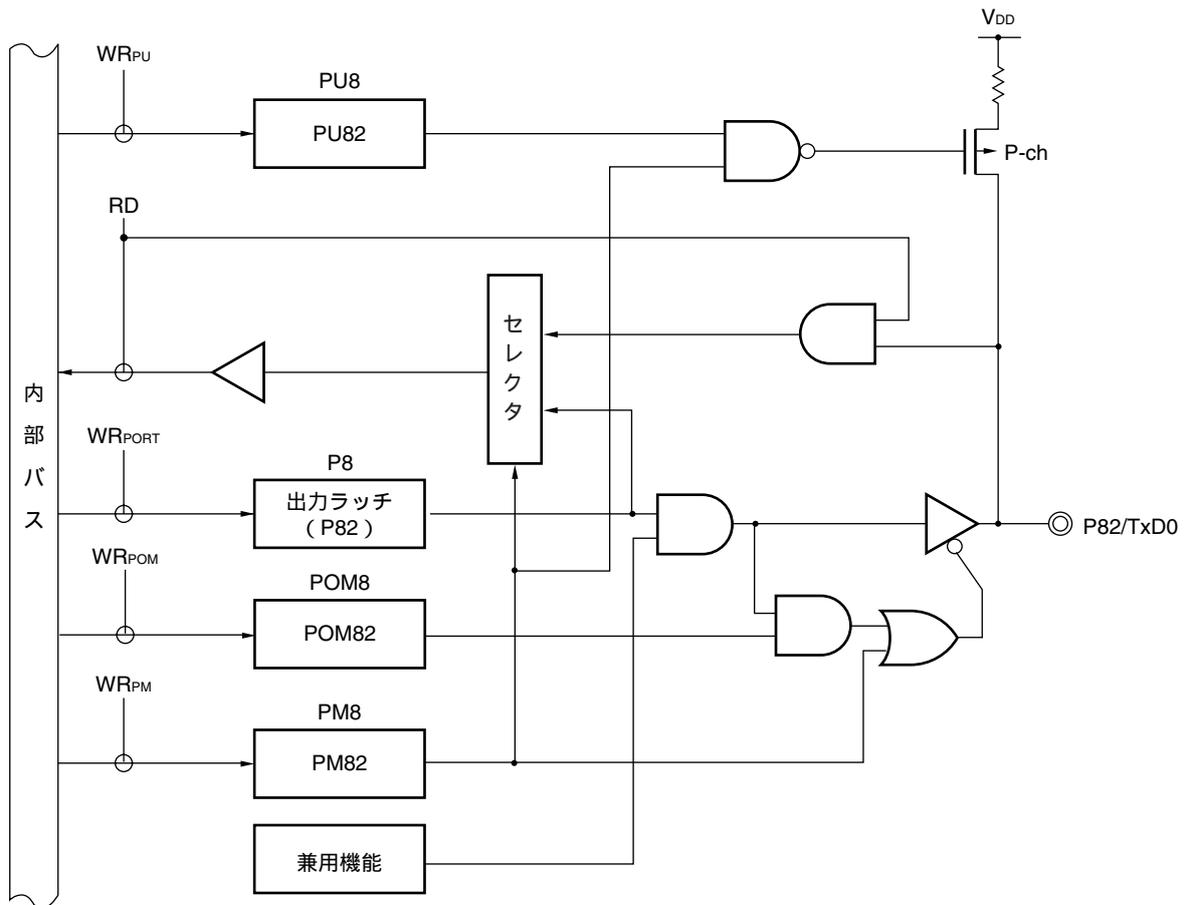
注意 P81/RxD0/INTP9, P82/TxD0を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、表12 - 5 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : UART0受信) を参照してください。

図4-11 P81のブロック図



- P8 : ポート・レジスタ8
- PU8 : プルアップ抵抗オプション・レジスタ8
- PM8 : ポート・モード・レジスタ8
- RD : リード信号
- WR_{xx} : ライト信号

図4-12 P82のブロック図



- P8 : ポート・レジスタ8
 PU8 : プルアップ抵抗オプション・レジスタ8
 POM8 : ポート出力モード・レジスタ8
 PM8 : ポート・モード・レジスタ8
 RD : リード信号
 WR_{xx} : ライト信号

4.2.8 ポート9

78K0R/LG3-M (100ピン : μ PD78F8070)
P90/SEG31
P91/SEG30
P92/SEG29
P93/SEG28
P94/SEG27
P95/SEG26
P96/SEG25
P97/SEG24

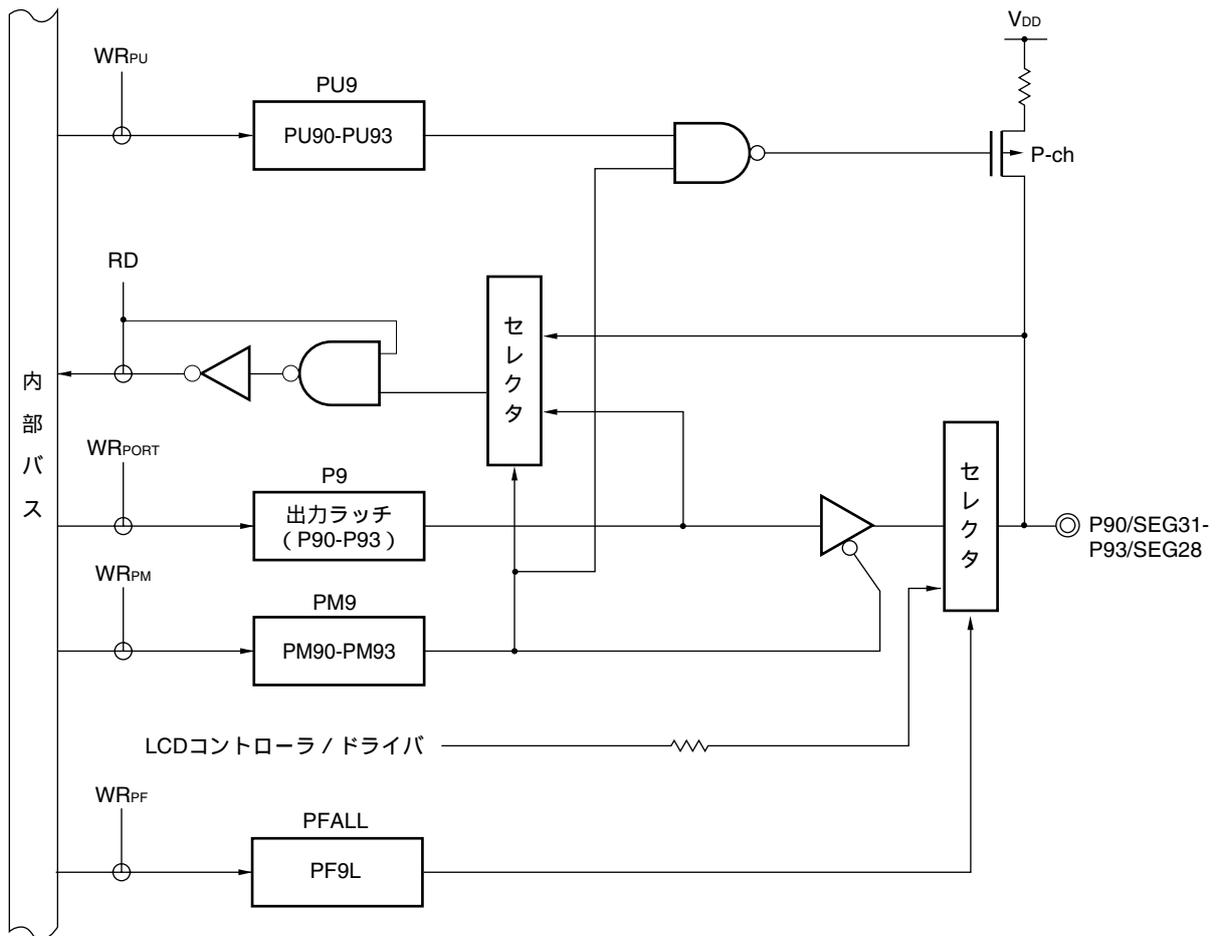
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード/出力モードの指定ができます。P90-P97端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ9 (PU9) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてセグメント出力があります。

リセット信号の発生により、入力モードになります。

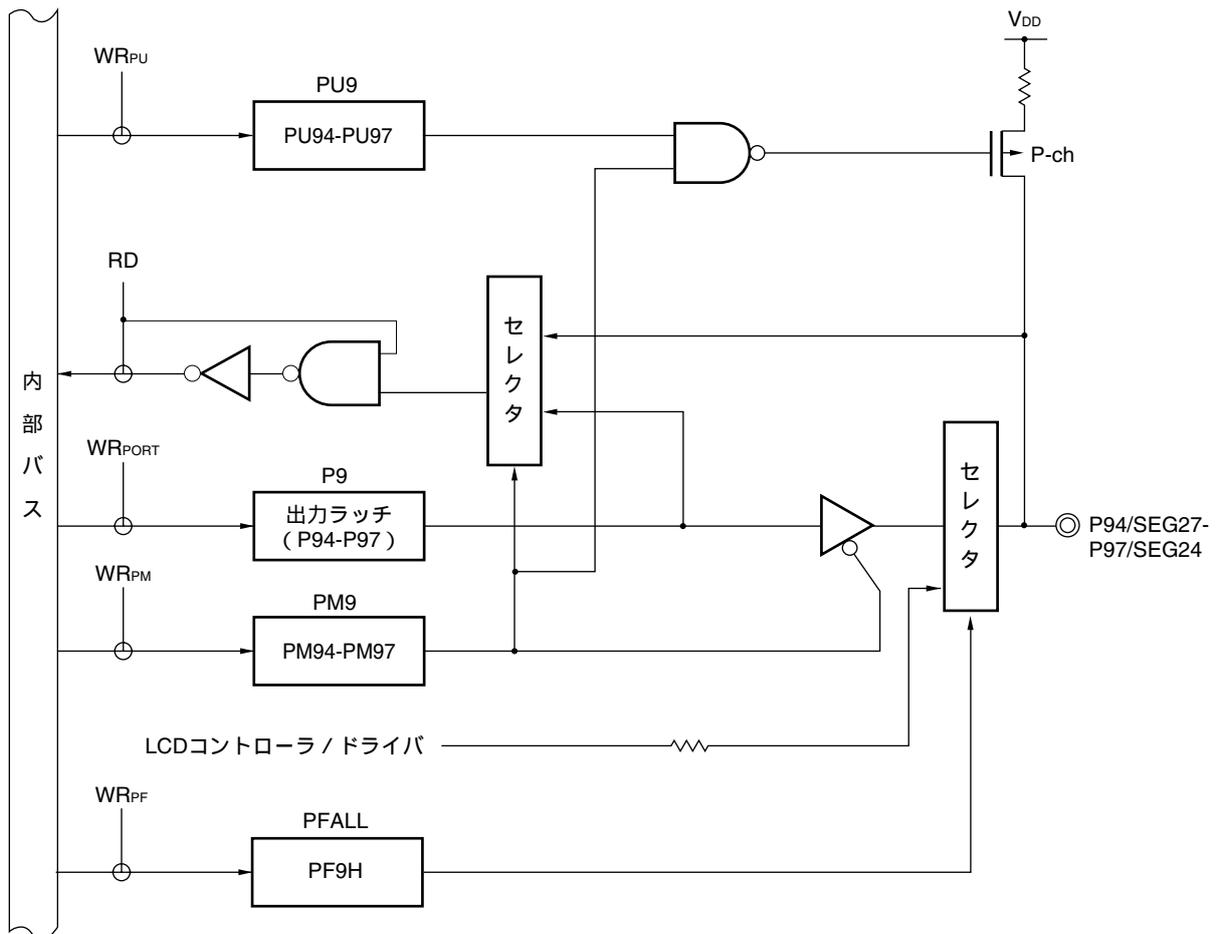
図4 - 13 , 4 - 14にポート9のブロック図を示します。

図4 - 13 P90-P93のブロック図



- P9 : ポート・レジスタ9
 PU9 : プルアップ抵抗オプション・レジスタ9
 PM9 : ポート・モード・レジスタ9
 PFALL : ポート・ファンクション・レジスタ
 RD : リード信号
 WR_x : ライト信号

図4 - 14 P94-P97のブロック図



- P9 : ポート・レジスタ9
 PU9 : プルアップ抵抗オプション・レジスタ9
 PM9 : ポート・モード・レジスタ9
 PFALL : ポート・ファンクション・レジスタ
 RD : リード信号
 WR_x : ライト信号

4.2.9 ポート10

78K0R/LG3-M (100ピン : μ PD78F8070)
P100/SEG15

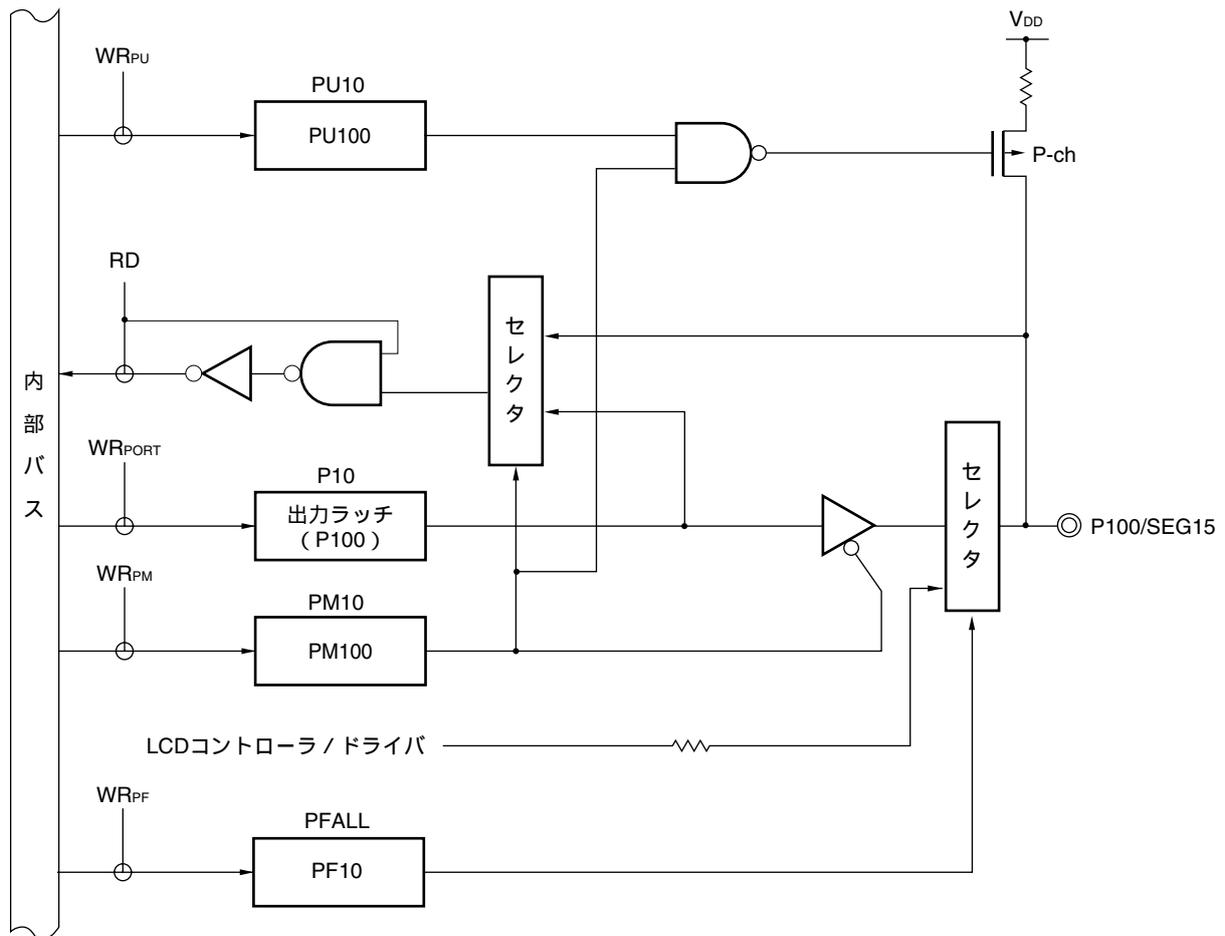
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ10 (PM10) により1ビット単位で入力モード / 出力モードの指定ができます。P100端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ10 (PU10) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてセグメント出力があります。

リセット信号の発生により、入力モードになります。

図4 - 15にポート10のブロック図を示します。

図4-15 P100のブロック図



- P10 : ポート・レジスタ10
 PU10 : プルアップ抵抗オプション・レジスタ10
 PM10 : ポート・モード・レジスタ10
 PFALL : ポート・ファンクション・レジスタ
 RD : リード信号
 WR_x : ライト信号

4.2.10 ポート12

78K0R/LG3-M (100ピン : μ PD78F8070)
P120/INTP0/EXLVI
P121/X1
P122/X2/EXCLK
P124/EXCLKS0

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121, P122, P124は3ビットの入力専用ポートです。

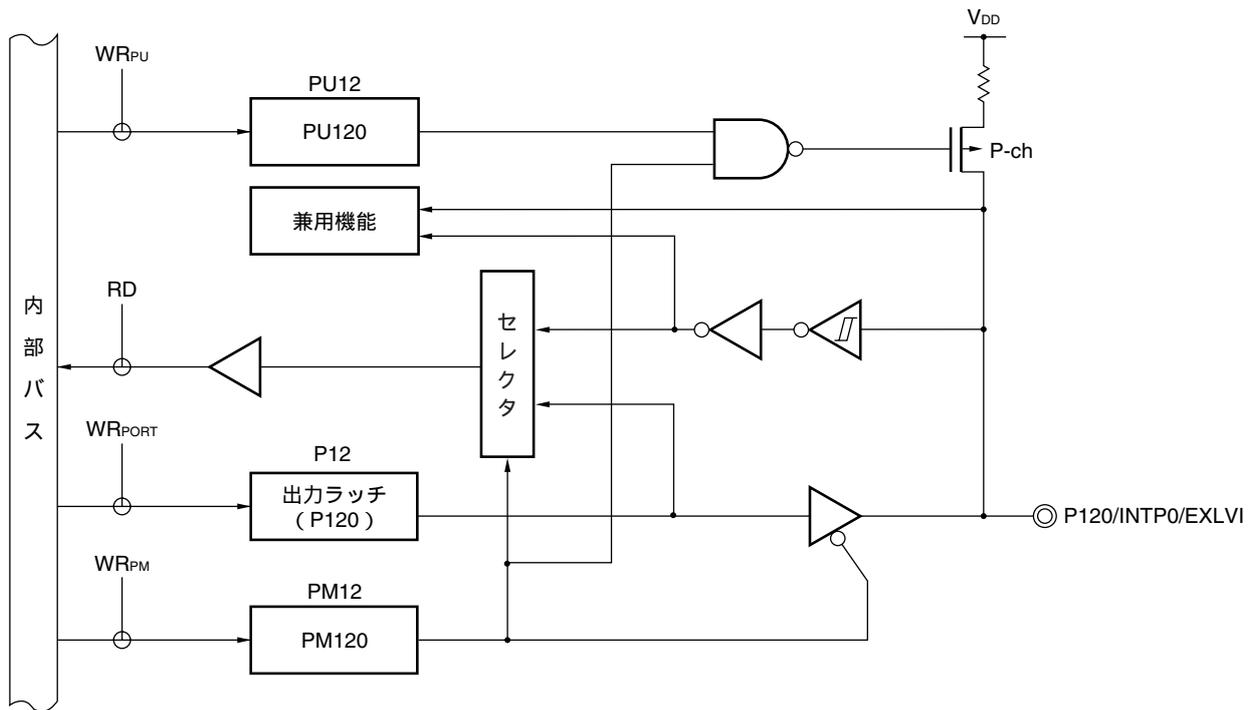
また兼用機能として外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力, サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により, 入力モードになります。

図4 - 16 ~ 4 - 18にポート12のブロック図を示します。

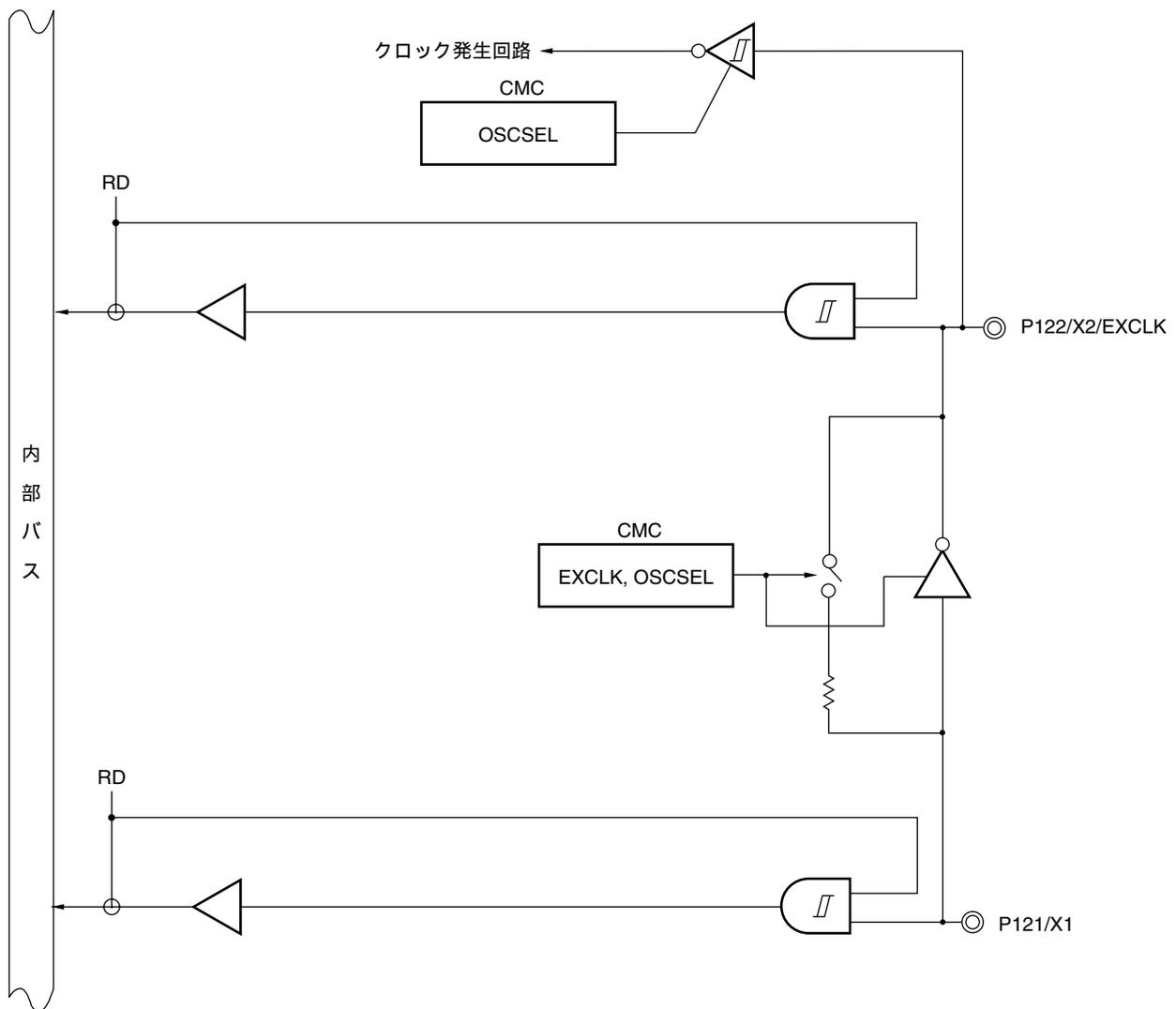
注意 P121, P122, P124の機能設定は, リセット解除後1回のみ可能です。一度, 発振子/発振器接続用に設定したポートは, リセットしないかぎり入力ポートとして使用できません。

図4-16 P120のブロック図



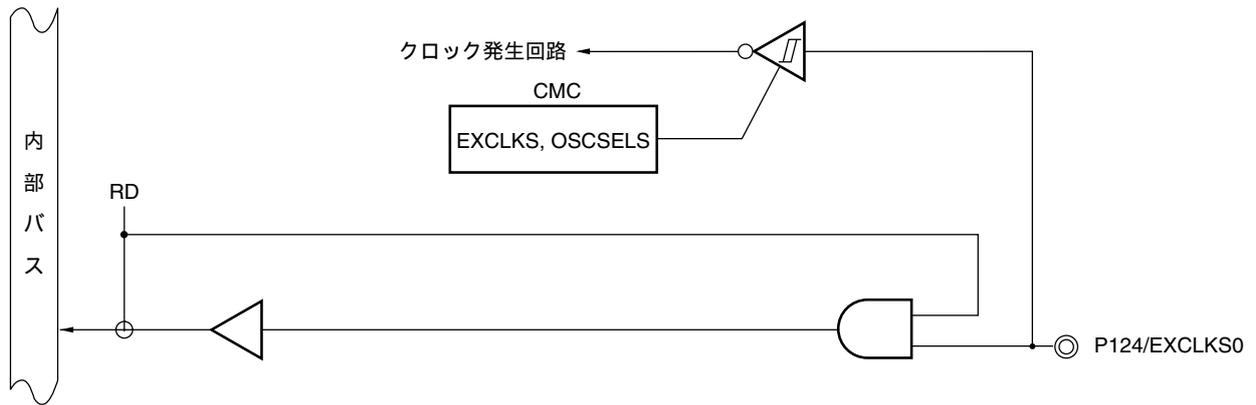
- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_{xx} : ライト信号

図4-17 P121, 122のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

図4 - 18 P124のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

4.2.11 ポート14

78K0R/LG3-M (100ピン : μ PD78F8070)
P140/SEG23
P141/SEG22
P142/SEG21
P143/SEG20
P144/SEG19
P145/SEG18
P146/SEG17
P147/SEG16

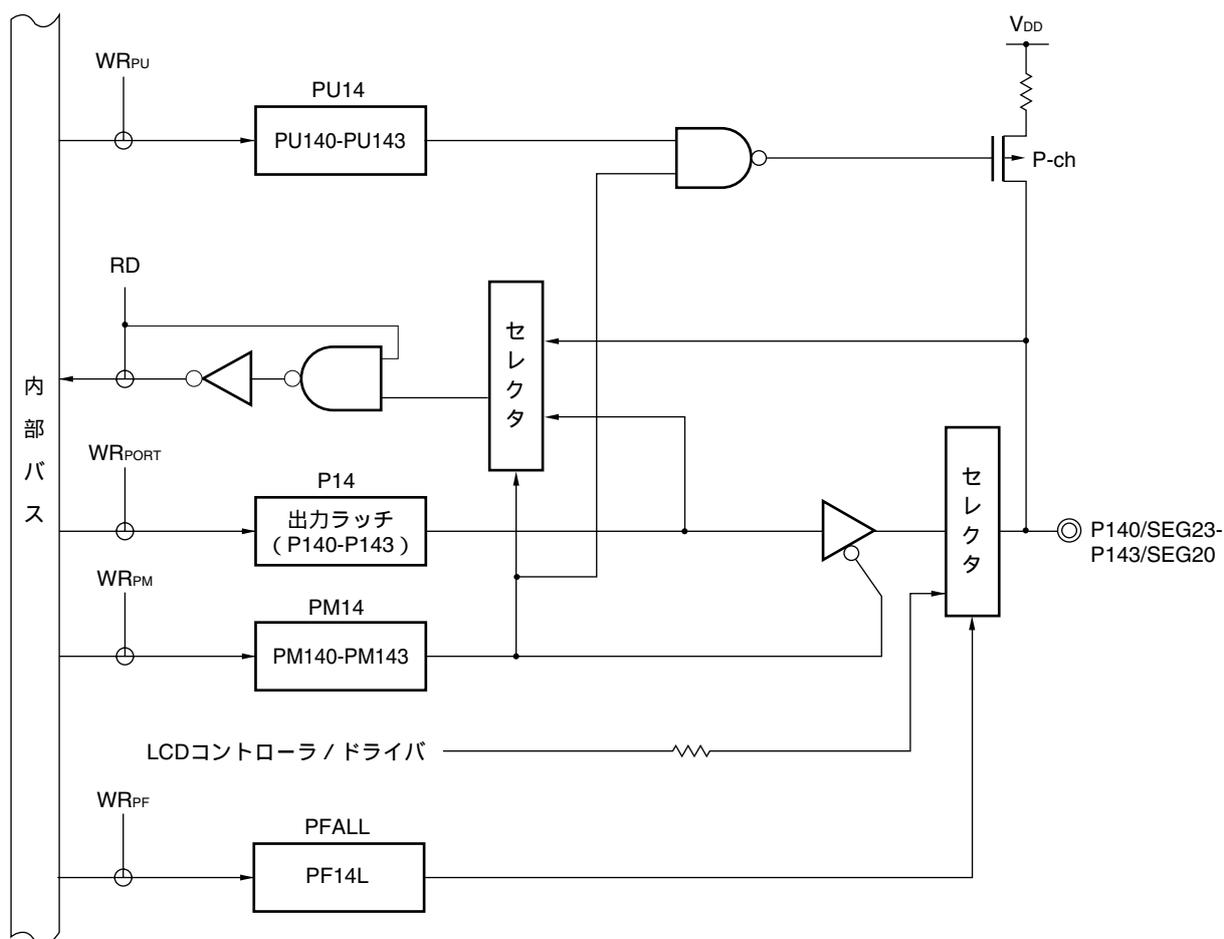
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。P140-P147端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてセグメント出力があります。

リセット信号の発生により、入力モードになります。

図4 - 19 , 4 - 20にポート14のブロック図を示します。

図4-19 P140-P143のブロック図



P14 : ポート・レジスタ14

PU14 : プルアップ抵抗オプション・レジスタ14

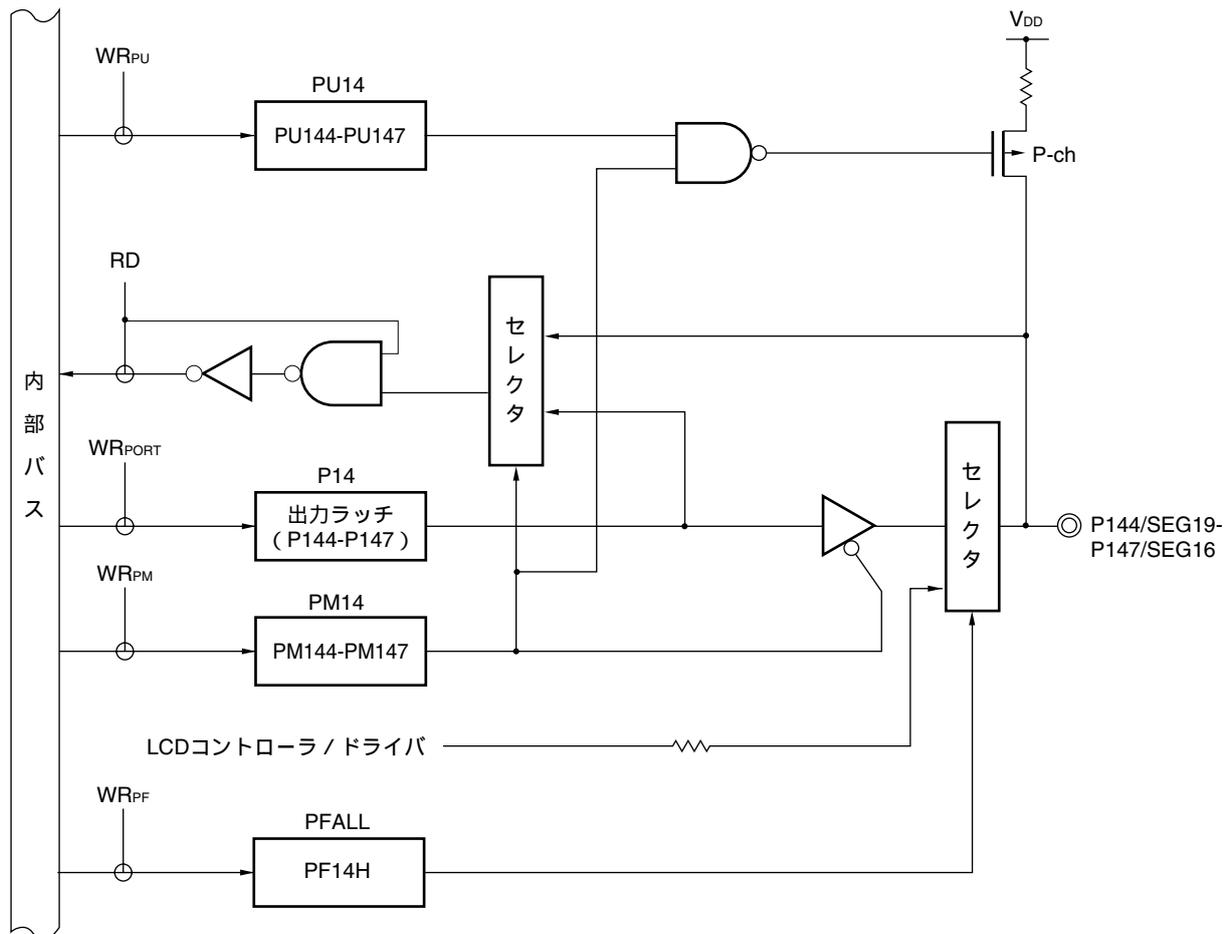
PM14 : ポート・モード・レジスタ14

PFALL : ポート・ファンクション・レジスタ

RD : リード信号

WR_x : ライト信号

図4-20 P144-P147のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- PFALL : ポート・ファンクション・レジスタ
- RD : リード信号
- WR_{xx} : ライト信号

4.2.12 ポート15

78K0R/LG3-M (100ピン : μ PD78F8070)
P152/ANI10
P157/ANI15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能として10ビット逐次比較型A/Dコンバータのアナログ入力があります。

P152/ANI10, P157/ANI15をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM15で入力モードに設定して、下位ビットから使用してください。

P152/ANI10, P157/ANI15をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM15で出力モードに設定してください。

リセット信号の発生により、P152/ANI10, P157/ANI15はすべてデジタル入力になります。

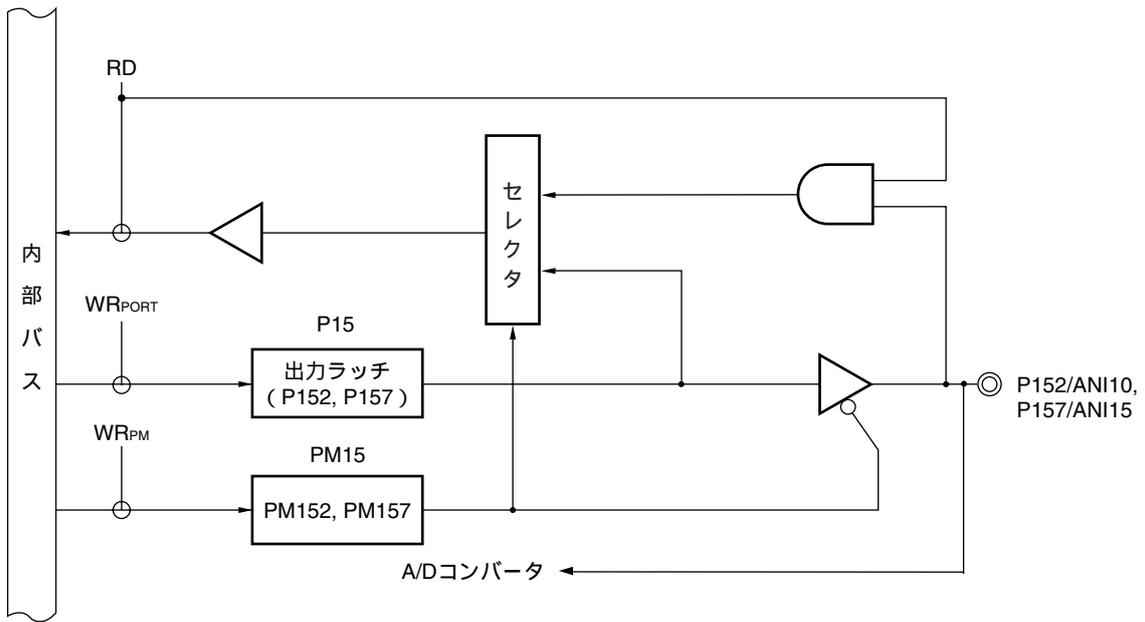
図4 - 21にポート15のブロック図を示します。

注意 ポート15をデジタル・ポートとして使用する場合は、 A_{VDD} を V_{DD} と同電位にしてください。

表4 - 4 ANI10/P152, ANI15/P157端子機能の設定

ADPCレジスタ	PM15レジスタ	ADSレジスタ	ANI10/P152, ANI15/P157端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (A/D変換対象)
		ANI非選択	アナログ入力 (A/D変換非対象)
	出力モード	-	設定禁止

図4 - 21 P152, P157のブロック図



- P15 : ポート・レジスタ15
 PM15 : ポート・モード・レジスタ15
 RD : リード信号
 WR_x : ライト信号

4.2.13 ポートL0

78K0R/LG3-M (100ピン : μ PD78F8070)
LP01/ZX1

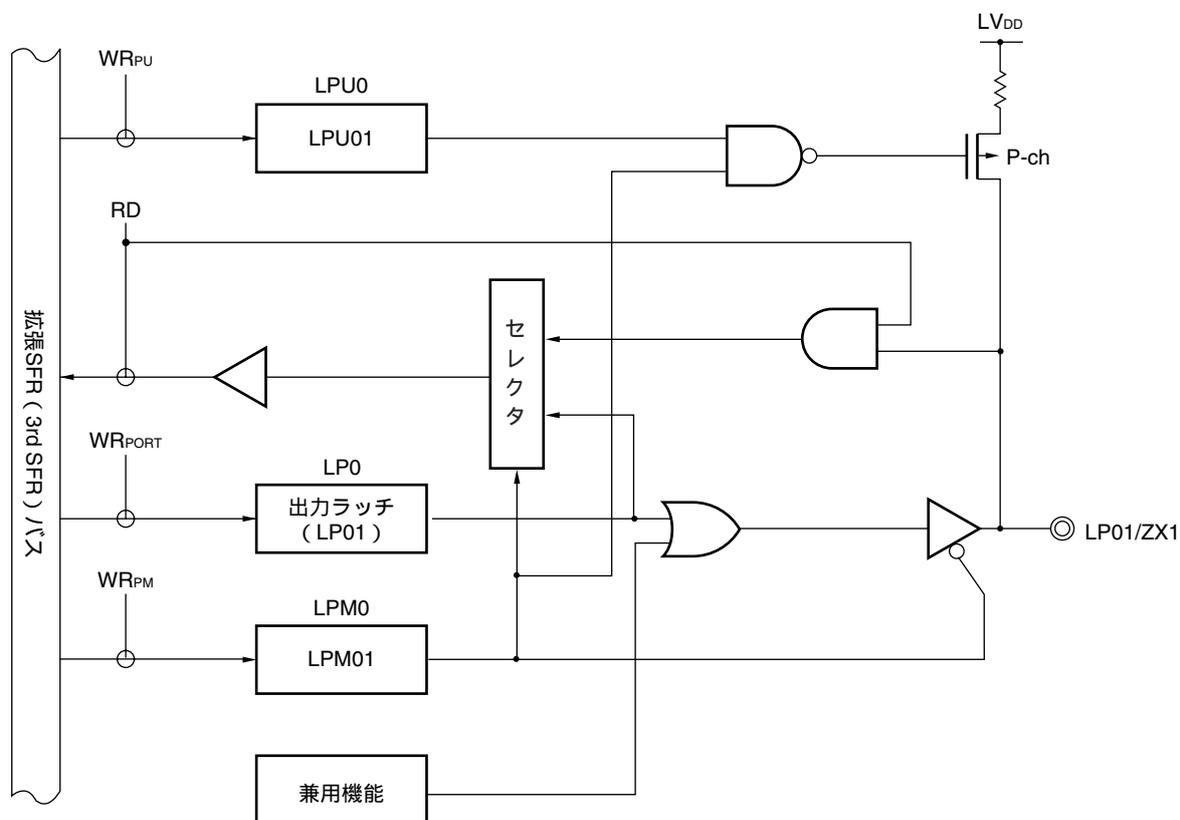
出力ラッチ付き入出力ポートです。ポート・モード・レジスタLPM0 (LPM0) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタLPU0 (LPU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として電力品質測定回路のゼロクロス検出信号出力があります。

リセット信号の発生により、入力モードになります。

図4-22にポートLP0のブロック図を示します。

図4-22 LP01のブロック図



LP0 : ポート・レジスタLP0

LPU0 : プルアップ抵抗オプション・レジスタLP0

LPM0 : ポート・モード・レジスタLP0

RD : リード信号

WR_x : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の8種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx, LPM0)
- ・ポート・レジスタ (Pxx, LP0)
- ・プルアップ抵抗オプション・レジスタ (PUxx, LPU0)
- ・ポート入力モード・レジスタ (PIMx)
- ・ポート出力モード・レジスタ (POMx)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ポート・ファンクション・レジスタ (PFALL)
- ・入力切り替え制御レジスタ (ISC)

(1) ポート・モード・レジスタ (PMxx, LPM0)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタPMxxは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ポート・モード・レジスタLPM0は、拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、FFHになります。

図4-23 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	PM02 ^{注1}	PM01	PM00	FFF20H	FFH	R/W
PM1	1	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27 ^{注1}	PM26 ^{注1}	PM25 ^{注1}	PM24 ^{注1}	PM23 ^{注1}	PM22 ^{注1}	PM21 ^{注1}	PM20 ^{注2}	FFF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM8	1	1	1	1	1	PM82	PM81	PM80 ^{注1}	FFF28H	FFH	R/W
PM9	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90	FFF29H	FFH	R/W
PM10	1	1	1	1	1	1	1	PM100	FFF2AH	FFH	R/W
PM11	1	1	1	1	1	1	PM111 ^{注1}	PM110 ^{注1}	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	PM157	1	1	1	1	PM152	PM151 ^{注1}	PM150 ^{注1}	FFF2FH	FFH	R/W
LPM0	1	1	1	1	1	1	LPM01	1	8CH	FFH	R/W

PMmn, LPM01	Pmn, LP01端子の入出力モードの選択 (m = 0-6, 8-12, 14, 15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

(注と注意は次ページにあります。)

- 注1. PM02, PM21-PM27, PM80, PM110, PM111, PM150, PM151ビットは, リセット解除後必ず0を設定してください。
2. P16/TO05を使用する場合には, リセット解除後必ず0を設定してください。

注意 PM0のビット3-7, PM1のビット7, PM3のビット5-7, PM4のビット2-7, PM6のビット2-7, PM8のビット3-7, PM10のビット1-7, PM11のビット2-7, PM12のビット1-7, PM15のビット3-6, LPM0のビット0, 2-7には必ず1を設定してください。

(2) ポート・レジスタ (Pxx,LP0)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

ポート・レジスタPxxは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

ポート・レジスタLP0は、拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

注 P15を10ビット逐次比較型A/Dコンバータのアナログ入力機能として設定した場合に、ポートを入力モード時にリードすると、端子レベルではなく常に0が読み出されます。

図4-24 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0 ^{注1}	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	0	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	0 ^{注1}	P20 ^{注2}	FFF02H	00H (出力ラッチ)	R/W						
P3	0	0	0	P34	P33	P32	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P8	0	0	0	0	0	P82	P81	0 ^{注1}	FFF08H	00H (出力ラッチ)	R/W
P9	P97	P96	P95	P94	P93	P92	P91	P90	FFF09H	00H (出力ラッチ)	R/W
P10	0	0	0	0	0	0	0	P100	FFF0AH	00H (出力ラッチ)	R/W
P12	0	0	0	P124	0	P122	P121	P120	FFF0CH	不定	R/W ^{注3}
P13	0	0	0	0	0	0	0	P130 ^{注4}	FFF0DH	00H (出力ラッチ)	R/W
P14	P147	P146	P145	P144	P143	P142	P141	P140	FFF0EH	00H (出力ラッチ)	R/W
P15	P157	0	0	0	0	P152	0 ^{注1}	0 ^{注1}	FFF0FH	00H (出力ラッチ)	R/W
LP0	0	0	0	0	0	0	LP01	0	8BH	00H (出力ラッチ)	R/W

Pmn, LP0	m = 0-6, 8-10, 12-15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P0のビット2, P2のビット1-7, P8のビット0, P15のビット0, 1には, 必ず0を設定してください。

2. P16/TO05を使用する場合には, リセット解除後必ず1を設定してください。

3. P121, P122, P124はRead Onlyです。

4. P130は拡張SFR (3rd SFR) のリセットに使用します (第23章 リセット機能参照)。

(3) プルアップ抵抗オプション・レジスタ (PUxx, LPU0)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、PUxx, LPU0の設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタPUxxは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

プルアップ抵抗オプション・レジスタLPU0は、拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図4 - 25 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0 ^注	PU01	PU00	F0030H	00H	R/W
PU1	0	0 ^注	0 ^注	0 ^注	0 ^注	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0 ^注	PU33	0 ^注	0 ^注	0 ^注	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	00H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU8	0	0	0	0	0	PU82	PU81	0 ^注	F0038H	00H	R/W
PU9	PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90	F0039H	00H	R/W
PU10	0	0	0	0	0	0	0	PU100	F003AH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W
LPU0	0	0	0	0	0	0	LPU01	0	8DH	00H	R/W

PU _m n, LPU0	P _m n, LPU0の内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 8-10, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注 PU0のビット2, PU1のビット3-6, PU3のビット0-2, 4, PU8のビット0には, 必ず0を設定してください。

(4) ポート入力モード・レジスタ (PIMx)

P10, P11の入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 26 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM1	0	0 ^注	0 ^注	0 ^注	0 ^注	0	PIM11	PIM10	F0041H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 1 ; n = 0, 1)
0	通常入力バッファ
1	TTL入力バッファ

注 ビット3-6には、必ず0を設定してください。

(5) ポート出力モード・レジスタ (POMx)

P10-P12, P82の出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA10, SDA20端子にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

ポート出力モード・レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 27 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM1	0	0 ^注	0 ^注	0 ^注	0 ^注	POM12	POM11	POM10	F0051H	00H	R/W
POM8	0	0	0	0	0	POM82	0	0	F0058H	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 1, 8 ; n = 0-2)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

注 POM1のビット3-6には, 必ず0を設定してください。

(6) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI10/P152, ANI15/P157端子を, アナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図4 - 28 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え	
					ポート15	
					ANI15/P157	ANI10/P152
0	1	0	1	0	A	A
0	1	1	1	1	A	D
1	0	0	0	0	D	D
上記以外					設定禁止	

- 注意1. A/D変換で使用するチャンネルは, ポート・モード・レジスタ15 (PM15) で入力モードに選択してください。
2. ADPCでデジタル入出力として設定する端子を, ADSで設定しないでください。

(7) ポート・ファンクション・レジスタ (PFALL)

P50-P57, P90-P97, P100, P140-P147端子をポート(セグメント出力以外)/セグメント出力のどちらかで使用するかを設定するレジスタです。

PFALLは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 29 ポート・ファンクション・レジスタ (PFALL) のフォーマット

アドレス : F0080H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF14H	PF14L	PF10	PF9H	PF9L	PF5H	PF5L

PF14H	P144-P147端子のポート/セグメント出力の指定	
0	P144-P147端子をポート(セグメント出力以外)として使用	
1	P144-P147端子をセグメント出力として使用	

PF14L	P140-P143端子のポート/セグメント出力の指定	
0	P140-P143端子をポート(セグメント出力以外)として使用	
1	P140-P143端子をセグメント出力として使用	

PF10	P100端子のポート/セグメント出力の指定	
0	P100端子をポート(セグメント出力以外)として使用	
1	P100端子をセグメント出力として使用	

PF9H	P94-P97端子のポート/セグメント出力の指定	
0	P94-P97端子をポート(セグメント出力以外)として使用	
1	P94-P97端子をセグメント出力として使用	

PF9L	P90-P93端子のポート/セグメント出力の指定	
0	P90-P93端子をポート(セグメント出力以外)として使用	
1	P90-P93端子をセグメント出力として使用	

PF5H	P54-P57端子のポート/セグメント出力の指定	
0	P54-P57端子をポート(セグメント出力以外)として使用	
1	P54-P57端子をセグメント出力として使用	

PF5L	P50-P53端子のポート/セグメント出力の指定	
0	P50-P53端子をポート(セグメント出力以外)として使用	
1	P50-P53端子をセグメント出力として使用	

注意 ビット7に必ず0を設定してください。

(8) 入力切り替え制御レジスタ (ISC)

ISCのビット0, 1は, UART3でLIN-bus通信動作を実現するとき, 外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると, シリアル・データ入力 (RxD3) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって, ウェイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると, シリアル・データ入力 (RxD3) 端子の入力信号がタイマ入力として選択されます。これによって, シンク・ブレーク・フィールドとシンク・フィールドのパルス幅をタイマで測定できます。

ISCのビット2-4は, TI04/SEG36/P53, TI02/SEG37/P52, RxD3/SEG38/P50端子をセグメント出力およびポート出力として使用する場合, 貫流電流の進入を防ぐために, 使用します。

TI04, TI02, RxD3端子と兼用するセグメント出力およびポート出力端子は, シュミット・トリガ・バッファが内部で接続されています。これらの端子をセグメント出力およびポート出力として使用する場合には, 貫流電流の進入を防ぐために, ISCのビット2-4を0に設定 (シュミット・トリガ・バッファを入力禁止) する必要があります。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 30 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	ISC1	ISC0
ISC4	TI04/SEG36/P53のシュミット・トリガ・バッファの制御							
0	入力禁止							
1	入力許可							
ISC3	TI02/SEG37/P52のシュミット・トリガ・バッファの制御							
0	入力禁止							
1	入力許可							
ISC2	RxD3/SEG39/P50のシュミット・トリガ・バッファの制御							
0	入力禁止							
1	入力許可							
ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え							
0	TI07端子の入力信号をタイマ入力とする (通常動作)							
1	RxD3端子の入力信号をタイマ入力とする (ウエイクアップ信号検出)							
ISC0	外部割り込み (INTP0) の入力切り替え							
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)							
1	RxD3端子の入力信号を外部割り込み入力とする (シンク・ブレイク・フィールドとシンク・フィールドのパルス幅測定)							

注意 ビット7-5には、必ず0を設定してください。

TI04/SEG36/P53, TI02/SEG37/P52, RxD3/SEG39/P50端子を使用する場合、使用する機能に応じて、PF5LビットとISCn (n = 2-4) ビットを次のように設定してください。

PF5L	ISCn	端子機能
0	0	ポート出力 (デフォルト)
0	1	ポート入力, タイマ入力またはシリアル・データ入力
1	0	セグメント出力
1	1	設定禁止

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 異電位(2.5V系)外部デバイスとの接続方法

ポート1, ポート8の一部は, $V_{DD} = 2.7V \sim 3.6V$ で動作時に, 2.5V系の電圧で動作している外部デバイスとの入出力接続が可能です。

入力については, ポート入力モード・レジスタ(PIM1)によりビットごとにCMOS/TTLを切り換え可能です。

また, 出力については, ポート出力モード・レジスタ(POM1, POM8)により, 出力バッファをN-chオープン・ドレイン(V_{DD} 耐圧)に切り換えることにより, 異電位に対応可能になります。

(1) UART2, CSI20機能の入出力端子を使用する場合の設定手順

(a) 2.5V系の入力ポートとして使用

リセット解除後, ポート・モードは入力モード(Hi-Z)になっています。

プルアップが必要な場合は, 使用する端子を外部でプルアップします(内蔵プルアップ抵抗は使用不可)。

UART2の場合 : P11

CSI20の場合 : P10, P11

PIM1レジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。

V_{IH}/V_{IL} が2.5V系の動作電圧で動作します。

(b) 2.5V系の出力ポートとして使用

リセット解除後, ポート・モードは入力モード(Hi-Z)になっています。

使用する端子を外部でプルアップします(内蔵プルアップ抵抗は使用不可)。

UART2の場合 : P12

CSI20の場合 : P10, P12

該当するポートの出力ラッチに1を設定します。

POM1レジスタの該当ビットを1に設定し, N-chオープン・ドレイン出力(V_{DD} 耐圧)モードに設定します。

PIM1レジスタを操作して出力モードに設定します。

この時点では, 出力データはハイ・レベルであるため, 端子はHi-Z状態となっています。

シリアル・アレイ・ユニットの動作状態にしたがってロウ・レベルでのみ動作します。

(2) 簡易IIC20機能の入出力端子を使用する場合の設定手順

リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

簡易IIC20の場合：P11, P10

該当するポートの出力ラッチに1を設定します。

POM1レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。

PM1レジスタの該当ビットを出力モードに設定します（出力モードのままデータ入出力可能）。

この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4-5のように設定してください。

表4-5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (1/3)

端子名称	兼用機能		PFALL (PFxxx)	ISC (ISCx)	PMxx	Pxx
	名称	入出力				
P00	CAPH	出力	-	-	1	x
P01	CAPL	出力	-	-	1	x
P10	SCK20	入力	-	-	1	x
		出力	-	-	0	1
	SCL20	入出力	-	-	0	1
P11	SI20	入力	-	-	1	x
	RxD2	入力	-	-	1	x
	SDA20	入出力	-	-	0	1
	INTP6	入力	-	-	1	x
P12	SO20	出力	-	-	0	1
	TxD2	出力	-	-	0	1
	TO02	出力	-	-	0	0
P16	TO05	出力	-	-	0	0
P33	TI07	入力	-	ISC1=0	1	x
	TO07	出力	-	-	0	0
	INTP3	入力	-	-	1	x
P40	TOOL0	入出力	-	-	x	x
P41	TOOL1	出力	-	-	x	x
P50 ^{注1}	RxD3	入力	PF5L=0	ISC2=1 ^{注2}	1	x
P51 ^{注1}	TxD3	出力		-	0	1
P52 ^{注1}	TI02	入力		ISC3=1	1	x
P53 ^{注1}	TI04	入力		ISC4=1	1	x
P60	SCL0	入出力	-	-	0	0
P61	SDA0	入出力	-	-	0	0
P81	RxD0	入力	-	-	1	x
	INTP9	入力	-	-	1	x
P82	TxD0	出力	-	-	0	1

注1. セグメント出力 (SEGxx) については，表4-5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (3/3) を参照してください。

2. ISC0 = 1で，外部割り込み入力 (INTP0) の入力ソースにRxD3入力を設定可能。

ISC1 = 1で，タイマ入力 (TI07) の入力ソースにRxD3入力を設定可能。

備考	x	: don't care
	-	: 対象外
PFALL		: ポート・ファンクション・レジスタ
ISC		: 入力切り替え制御レジスタ
PMxx		: ポート・モード・レジスタ
Pxx		: ポートの出力ラッチ

表4-5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定(2/3)

端子名称	兼用機能		PFALL (PFxxx)	ISC (ISCx)	PMxx	Pxx
	名称	入出力				
P120	INTP0 ^{注1}	入力	-	ISC0=0	1	x
	EXLVI ^{注1}	入力	-	-	1	x
P121	X1 ^{注1}	-	-	-	x	x
P122	X2 ^{注1}	-	-	-	x	x
	EXCLK ^{注1}	入力	-	-	x	x
P124	EXCLKS0 ^{注2}	入力	-	-	x	x
P152 ^{注3}	ANI10	入力	-	-	1	x
P157 ^{注3}	ANI15	入力	-	-	1	x
LP01	ZX1 ^{注4}	出力	-	-	0	0

- 注1. P121, P122端子を，メイン・システム・クロック用発振子接続(X1, X2)，メイン・システム・クロック用外部クロック入力(EXCLK)として使用する場合は，クロック動作モード制御レジスタ(CMC)でX1発振モードまたは外部クロック入力モードに設定する必要があります。CMCは，リセット解除後1回のみ書き込み可能です(詳細は，5.3(1) **クロック動作モード制御レジスタ(CMC)**を参照)。CMCのリセット値は00H(P121, P122はすべて入力ポート)となります。
2. P124端子を，サブシステム・クロック用外部クロック入力(EXCLKS0)として使用する場合は，クロック動作モード制御レジスタ(CMC)，ポート機能制御レジスタ(PORTCTL)で設定する必要があります(詳細は，5.3(1) **クロック動作モード制御レジスタ(CMC)**を参照，5.3(2) **ポート機能制御レジスタ(PORTCTL)**を参照)。
3. P152/ANI10, P157/ANI15端子の機能は，A/Dポート・コンフィギュレータ・レジスタ(ADPC)，ポート・モード・レジスタ15(PM15)，アナログ入力チャネル指定レジスタ(ADS)の設定で決定します。詳細については，4.2.12 **ポート15**を参照してください。
4. LP01端子をゼロクロス信号ZX1出力として使用する場合は，フォールト検出制御レジスタ(PQMCTL)のゼロクロス出力制御ビット(ZX1EN)に1を設定してください。

備考	x	: don't care
	-	: 対象外
	PFALL	: ポート・ファンクション・レジスタ
	ISC	: 入力切り替え制御レジスタ
	PMxx	: ポート・モード・レジスタ
	Pxx	: ポートの出力ラッチ

表4 - 5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (3/3)

端子名称	兼用機能		PFALL (PFxxx)	ISC (ISCx)	PMxx	Pxx
	名称	入出力				
P50 ^注	SEG39	出力	PF5L=1	ISC2 = 0	x	x
P51 ^注	SEG38	出力	PF5L=1	-	x	x
P52 ^注	SEG37	出力	PF5L=1	ISC3 = 0	x	x
P53 ^注	SEG36	出力	PF5L=1	ISC4 = 0	x	x
P54-57	SEG35-SEG32	出力	PF5H=1	-	x	x
P90-93	SEG31-SEG28	出力	PF9L=1	-	x	x
P94-97	SEG27-SEG24	出力	PF9H=1	-	x	x
P140-143	SEG23-SEG20	出力	PF14L=1	-	x	x
P144-147	SEG19-SEG16	出力	PF14H=1	-	x	x
P100	SEG15	出力	PF10=1	-	x	x

注 セグメント出力 (SEGxx) 以外の兼用機能については、表4 - 5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (1/3) を参照してください。

備考 x : don't care
 - : 対象外
 PFALL : ポート・ファンクション・レジスタ
 ISC : 入力切り替え制御レジスタ
 PMxx : ポート・モード・レジスタ
 Pxx : ポートの出力ラッチ

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90は出力ポート, P91-P97は入力ポート(端子状態はすべてハイ・レベル)で、かつポート9の出力ラッチの値が“00H”のとき、出力ポートP90の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート9の出力ラッチの値は、“FFH” になります。

説明: PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ, 読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0R/Lx3-Mマイクロコントローラ内部で、次の順序で行われます。

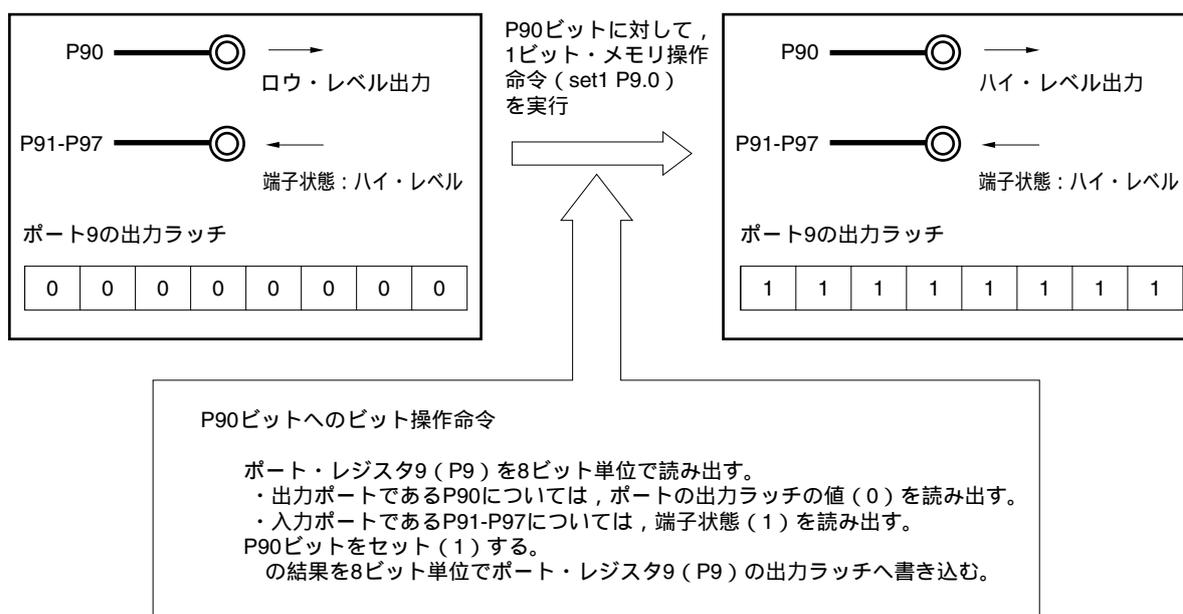
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90は出力ラッチの値(0)を読み出し、入力ポートであるP91-P97は端子状態を読み出します。このときP91-P97の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4-31 1ビット・メモリ操作命令 (P90の場合)



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOP（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

高速内蔵発振回路^注

$f_{IH} = 1$ MHz（TYP.）または $f_{IH} = 8$ MHz（TYP.）のクロックを発振させることができます。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行またはHIOSTOP（CSCのビット0）の設定により、発振を停止することができます。

20 MHz高速内蔵発振クロック発振回路^注

$f_{IH20} = 20$ MHz（TYP.）のクロックを発振させることができます。 $V_{DD} = 2.7$ VでDSCON（20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0）を1に設定すると発振を開始します。DSCONを0に設定すると発振を停止することができます。

注 高速内蔵発振クロックを使用する場合、あらかじめオプション・バイトで周波数（1 MHz、8 MHzまたは20 MHz）を設定しておいてください（詳細は、**第27章 オプション・バイト**参照）。またリセット解除後は高速内蔵発振回路が自動的に発振を開始します。20 MHzの高速内蔵発振回路で動作する場合は、その後、20 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。

注意 型A/Dコンバータを動作させるためには、10 MHzのクロックが必要です。X1, X2端子に10 MHzまたは20 MHzの発振子または外部クロックを供給してください。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 2 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速内蔵発振クロックを切り替えられます。

備考 f_x	: X1クロック発振周波数
f_{IH}	: 高速内蔵発振クロック周波数
f_{IH20}	: 20 MHz高速内蔵発振クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数

(2) サブシステム・クロック

・XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより, $f_{SUB} = 32.768$ kHzのクロックを発振させることができます。

また, EXCLKS1/XT1端子から外部サブシステム・クロック ($f_{EXS} = 32.768$ kHz) を供給することができます。

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ専用クロック)

・低速内蔵発振回路

$f_{IL} = 30$ kHz (TYP.) のクロックを発振させることができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは, ウォッチドッグ・タイマのみです。

ウォッチドッグ・タイマ動作停止時は, 発振を停止します。

備考1. f_{SUB} : サブシステム・クロック周波数

f_{EXS} : 外部サブシステム・クロック周波数

f_{IL} : 低速内蔵発振クロック周波数

2. ウォッチドッグ・タイマは, 次の場合に動作停止します。

- ・ オプション・バイト (000C0H) のビット4 (WDTON) = 0の場合
- ・ オプション・バイト (000C0H) のビット4 (WDTON) = 1, ビット0 (WDSTBYON) = 0のときに, HALT命令またはSTOP命令を実行した場合

5.2 クロック発生回路の構成

クロック発生回路は, 次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) ポート機能制御レジスタ (PORTCTL) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) システム・クロック制御レジスタ (CKC) 20 MHz高速内蔵発振制御レジスタ (DSCCTL) 周辺イネーブル・レジスタ0 (PER0) 動作スピード・モード制御レジスタ (OSMC)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

図5 - 1 クロック発生回路のブロック図

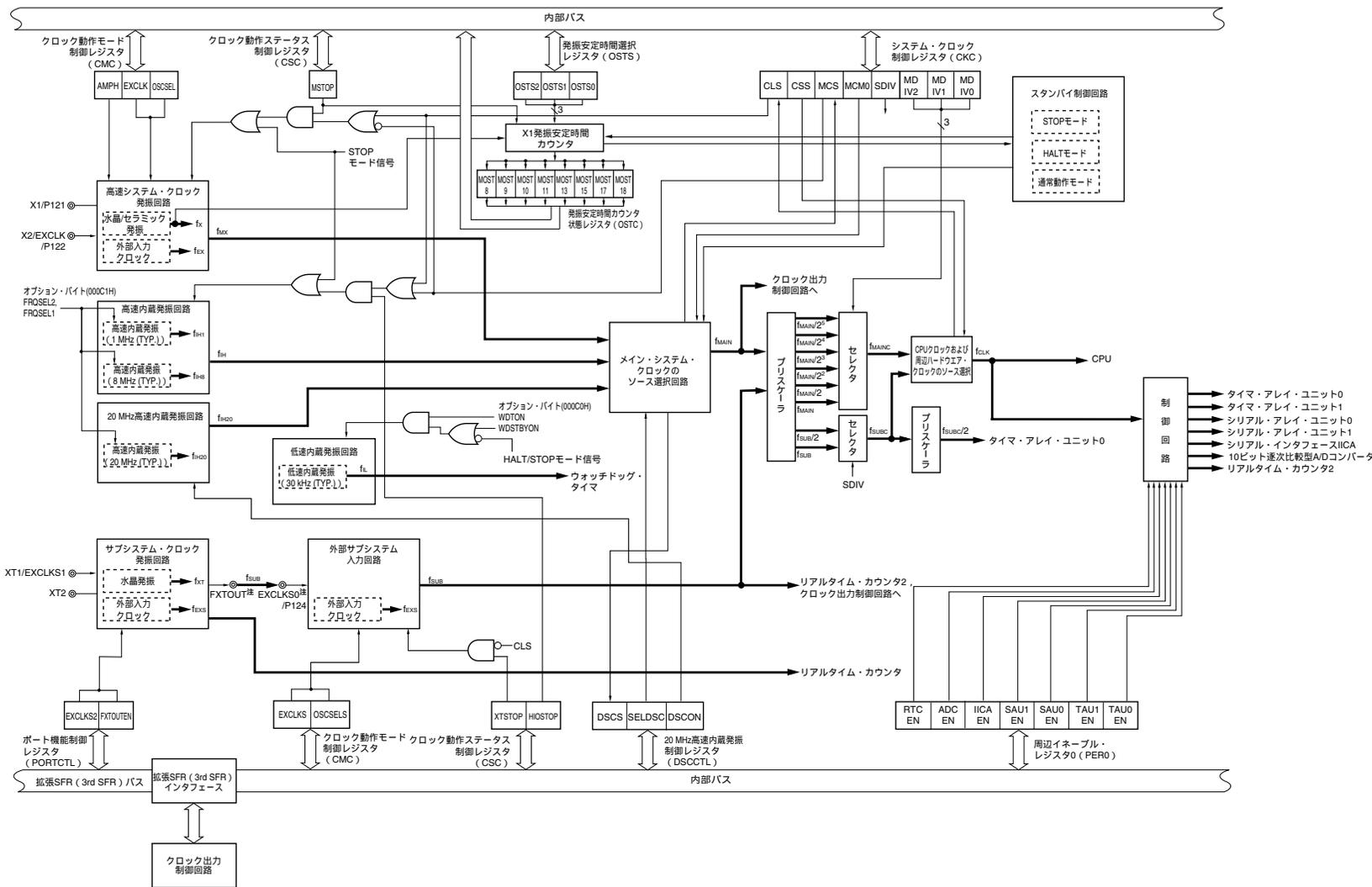


図5 - 17 クロック出力制御回路のブロック図参照

注 EXCLKS0, FXTOUT端子は、必ずご使用している基板上で、FXTOUT端子からの出力をP124/EXCLKS0端子への入力とるように接続してください。

備考 f_x	: X1クロック発振周波数
f_{IH}	: 高速内蔵発振クロック周波数
f_{IH1}	: 1 MHz高速内蔵発振クロック周波数
f_{IH8}	: 8 MHz高速内蔵発振クロック周波数
f_{IH20}	: 20 MHz高速内蔵発振クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{MAINC}	: メイン・システム選択クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{EXS}	: 外部サブシステム・クロック発振周波数
f_{SUB}	: サブシステム・クロック周波数
f_{SUBC}	: サブシステム選択クロック周波数
f_{CLK}	: CPU / 周辺ハードウェア・クロック周波数
f_{IL}	: 低速内蔵発振クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の8種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・ポート機能制御レジスタ (PORTCTL)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・システム・クロック制御レジスタ (CKC)
- ・20 MHz高速内蔵発振制御レジスタ (DSCCTL)
- ・周辺イネーブル・レジスタ0 (PER0)
- ・動作スピード・モード制御レジスタ (OSMC)

(1) クロック動作モード制御レジスタ (CMC)

高速システム・クロックとサブシステム・クロックの動作モードの設定をするレジスタです。

CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、1ビット・メモリ操作命令、または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5 - 2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS ^注	OSCSELS ^注	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPH	高速システム・クロック発振周波数の制御
0	2 MHz f_{MX} 10 MHz
1	10 MHz < f_{MX} 20 MHz

注 EXCLKS, OSCSELSについては, (4) サブシステム・クロック端子の動作モードの設定方法を参照してください。

備考 f_{MX} : 高速システム・クロック周波数

- 注意1. CMCは, リセット解除後, 8ビット・メモリ操作命令で1回のみ書き込み可能です。
- リセット解除後, クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはポート機能制御レジスタ (PORTCTL) の設定でXT1発振を開始する前に, CMCを設定してください。
 - X1クロック発振周波数が10MHzを越える場合は, 必ずAMPHに1を設定してください。
 - CMCを初期値 (00H) のまま使用する場合, 暴走時の誤動作を防止するためにリセット解除後は必ず00Hに設定してください。
 - ビット1-3には, 必ず0を設定してください。

(2) ポート機能制御レジスタ (PORTCTL)

サブシステム・クロックの動作モードを制御するレジスタです。

PORTCTLは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図5-3 ポート機能制御レジスタ (PORTCTL) のフォーマット

アドレス : 91H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PORTCTL	SUBSTAT	0	0	0	0	0	EXCLKS2	FXTOUTEN

SUBSTAT	サブシステム・クロックの発振安定状態フラグ
0	端子リセット状態
1	端子リセット解除後, サブシステム・クロック発振安定時間(2^{16} (2 sec @ 32.768 kHz)) 経過後, セットされます。

EXCLKS2	サブシステム・クロックの指定
0	発振子接続
1	外部クロック入力

FXTOUTEN	サブシステム・クロック発振回路からの出力許可 / 禁止の指定
0	サブシステム・クロック発振回路からの出力禁止
1	サブシステム・クロック発振回路からの出力許可

- 注意1.** EXCLKS2を別の値に書き換える場合, FXTOUTENおよびRTCC0レジスタのRTCEビットを0 (FXTOUTEN = 0, RTCE = 0) にしてから書き換えてください。
- リセット解除後, 外部クロック入力モード (EXCLKS2 = 1) を設定したあとに, 発振子接続モード (EXCLKS2 = 0) を設定することはできません。
 - 発振子接続モードを選択した場合, 必ずサブシステム・クロック発振安定時間経過 (SUBSTAT = 1) 後に, FXTOUTEN = 1 (サブクロック発振許可) とRTCE = 1 (RTC動作許可) を設定してください。

(3) クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック，高速内蔵発振クロック，サブシステム・クロックの動作を制御するレジスタです（20 MHz高速内蔵発振クロック，低速内蔵発振クロックは除く）。

CSCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図5-4 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	-
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御
	外部クロック入力モード
0	EXCLKS0端子からの外部クロック有効
1	EXCLKS0端子からの外部クロック無効

HIOSTOP	高速内蔵発振クロックの動作制御
	0
1	高速内蔵発振回路停止

(注意は次ページにあります。)

- 注意1. リセット解除後、MSTOPの設定でX1発振またはXTSTOPの設定で外部クロック入力を有効にする前に、クロック動作モード制御レジスタ（CMC）を設定してください。
2. MSTOPの設定でX1発振を開始する場合、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
 3. CPU / 周辺ハードウェア・クロック（f_{CLK}）に選択しているクロックは、CSCレジスタで停止させないでください。
 4. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は、次のようになります。

表5 - 2 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU / 周辺ハードウェア・クロックが高速システム・クロック以外で動作 〔 ・ CLS = 0かつMCS = 0 ・ CLS = 1 〕	MSTOP = 1
サブシステム・クロック	CPU / 周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
高速内蔵発振クロック	CPU / 周辺ハードウェア・クロックが高速内蔵発振クロック、20 MHz高速内蔵発振クロック以外で動作 〔 ・ CLS = 0かつMCS = 1 ・ CLS = 1 〕	HIOSTOP = 1

(4) サブシステム・クロック端子の動作モードの設定方法

サブシステム・クロック端子の動作モードは、クロック動作モード制御レジスタ (CMC) のビット5, 4 (EXCLKS, OSCSELS), およびポート機能制御レジスタ (PORTCTL) のビット1, 0 (EXCLKS2, FXTOUTEN) を組み合わせて設定します。

表5-3 サブシステム・クロック使用可否の設定

CMCレジスタ		サブシステム・クロック
ビット5	ビット4	
EXCLKS	OSCSELS	
0	0	使用不可 ^注
0	1	設定禁止
1	0	
1	1	使用可能

注 リアルタイム・カウンタのみ使用可能

注意 EXCLKS, OSCSELSを別の値に書き換える場合、システム・クロック制御レジスタ (CKC) のビット7 (CLS) が0 (メイン・システム・クロックでCPU動作) であることを確認してください。

表5-4 サブシステム・クロック使用可否とサブシステム・クロック端子の動作モードの設定

PORTCTLレジスタ		サブシステム・クロック	サブシステム・クロック端子の動作モード	XT1/EXCLKS1端子	XT2端子
ビット1	ビット0				
EXCLKS2	FXTOUTEN				
0	0	使用不可 ^{注1}	XT1発振モード	水晶発振子接続	
0	1	使用可能			
1	0	使用不可 ^{注1}	外部クロック入力モード	外部クロック入力	注2
1	1	使用可能			

注1. リアルタイム・カウンタのみ使用可能

- XT1/EXCLKS1端子を外部サブシステム・クロック入力として使用する場合は、XT2端子をオープンにしてください。

注意1. サブシステム・クロックを使用する場合は、CMCレジスタのEXCLKS, OSCSELSビットと、PORTCTLレジスタのEXCLKS2, FXTOUTENビットを設定してください。

- サブシステム・クロックで動作中は、CMCレジスタのEXCLKSビットと、PORTCTLレジスタのEXCLKS2, FXTOUTENビットを書き換えしないでください。

(5) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウンタを開始します。

- ・ X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 MSTOP = 0)
- ・ STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10\text{ MHz}$ 時	$f_x = 20\text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^8/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

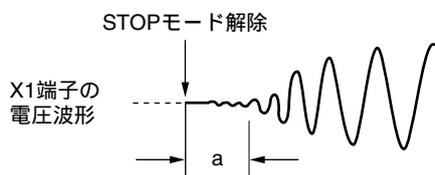
注意1. 上記時間経過後, MOST8から順番に“1”となっていき, そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。

次のときには, OSTSの発振安定時間を, 発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したい場合
- CPUクロックが高速内蔵発振クロックで, X1クロックも発振している状態でSTOPモードに移行し, その後, STOPモードを解除したい場合
(したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(6) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間を自動でウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,OSTCで発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,07Hになります。

図5 - 6 発振安定時間選択レジスタ (OSTS) のフォーマット

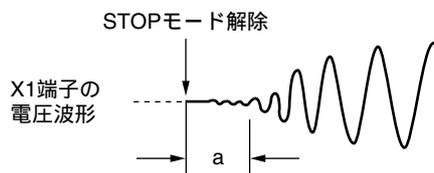
アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	$25.6 \mu\text{s}$	設定禁止
0	0	1	$2^9/f_x$	$51.2 \mu\text{s}$	$25.6 \mu\text{s}$
0	1	0	$2^{10}/f_x$	$102.4 \mu\text{s}$	$51.2 \mu\text{s}$
0	1	1	$2^{11}/f_x$	$204.8 \mu\text{s}$	$102.4 \mu\text{s}$
1	0	0	$2^{13}/f_x$	$819.2 \mu\text{s}$	$409.6 \mu\text{s}$
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

- 発振安定時間が $20 \mu\text{s}$ 以下は設定禁止です。
- OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウンタ動作が終了していることを確認してください。
- X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。次のときには、OSTSの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウンタ値より大きい値に設定してください。
 - CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
 - CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)
- X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(7) システム・クロック制御レジスタ (CKC)

CPU/周辺ハードウェア・クロックの選択, 分周比を設定するレジスタです。

CKCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 09Hになります。

図5-7 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス: FFFA4H リセット時: 09H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	SDIV	MDIV2	MDIV1	MDIV0

CLS	CPU/周辺ハードウェア・クロック (f _{CLK}) のステータス
0	メイン・システム・クロック (f _{MAIN})
1	サブシステム・クロック (f _{SUB})

MCS	メイン・システム・クロック (f _{MAIN}) のステータス
0	高速内蔵発振クロック (f _{IH}) または, 20 MHz高速内蔵発振クロック (f _{IH20})
1	高速システム・クロック (f _{MX})

CSS	MCM0	SDIV	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	x	0	0	0	f _{IH}
		x	0	0	1	f _{IH} /2 (デフォルト)
		x	0	1	0	f _{IH} /2 ²
		x	0	1	1	f _{IH} /2 ³
		x	1	0	0	f _{IH} /2 ⁴ ^{注2}
		x	1	0	1	f _{IH} /2 ⁵ ^{注2}
0	1	x	0	0	0	f _{MX}
		x	0	0	1	f _{MX} /2
		x	0	1	0	f _{MX} /2 ²
		x	0	1	1	f _{MX} /2 ³
		x	1	0	0	f _{MX} /2 ⁴
		x	1	0	1	f _{MX} /2 ⁵ ^{注3}
1 ^{注4}	x ^{注4}	0	x	x	x	f _{SUB}
		1	x	x	x	f _{SUB} /2
上記以外						設定禁止

注1. ビット7, 5は, Read Onlyです。

2. f_{IH} = 1 MHzのとき, 設定禁止です。

3. f_{MX} < 4 MHzのとき, 設定禁止です。

4. CSS = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

(注意, 備考は, 次ページにあります)

- 備考1. f_{IH} : 高速内蔵発振クロック周波数
 f_{IH20} : 20 MHz高速内蔵発振クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{SUB} : サブシステム・クロック周波数
2. x : don't care

- 注意1. CSS, MCM0, SDIV, MDIV2-MDIV0で設定したクロックは, CPUと周辺ハードウェアに供給されます。したがって, CPUクロックを変更すると, 周辺ハードウェア・クロックも同時に変更されます(リアルタイム・カウンタ2, タイマ・アレイ・ユニット(カウント・クロックとして $f_{SUB}/2$, $f_{SUB}/4$, TI0mn入力の有効エッジ, またはINTRTCIの有効エッジ選択時), クロック出力, およびウォッチドッグ・タイマは除く)。よって, CPU/周辺動作ハードウェア・クロックを変更する場合は, 各周辺機能を停止してください。
2. 周辺ハードウェア・クロックがサブシステム・クロックの場合, 10ビット逐次比較型A/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については, 各周辺ハードウェアの章および第32章 電気的特性を参照してください。

78K0R/Lx3-Mマイクロコントローラの一番速い命令はCPUクロック1クロックで実行されます。したがって, CPUクロック(f_{CLK})と最小命令実行時間の関係は, 表5-5のようになります。

表5-5 CPUクロックと最小命令実行時間の関係

CPUクロック (SDIV, MDIV2-MDIV0 ビットで設定)	最小命令実行時間: $1/f_{CLK}$				
	メイン・システム・クロック (CSS = 0)				サブシステム・クロック (CSS = 1)
	高速システム・クロック (MCM0 = 1)		高速内蔵発振クロック (MCM0 = 0)		
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	20 MHz (TYP.) 動作時	32.768 kHz動作時
f_{MAIN}	0.1 μ s	0.05 μ s	0.125 μ s (TYP.)	0.05 μ s (TYP.)	-
$f_{MAIN}/2$	0.2 μ s	0.1 μ s	0.25 μ s (TYP.) (デフォルト)	0.1 μ s (TYP.)	-
$f_{MAIN}/2^2$	0.4 μ s	0.2 μ s	0.5 μ s (TYP.)	0.2 μ s (TYP.)	-
$f_{MAIN}/2^3$	0.8 μ s	0.4 μ s	1.0 μ s (TYP.)	0.4 μ s (TYP.)	-
$f_{MAIN}/2^4$	1.6 μ s	0.8 μ s	2.0 μ s (TYP.)	0.8 μ s (TYP.)	-
$f_{MAIN}/2^5$	3.2 μ s	1.6 μ s	4.0 μ s (TYP.)	1.6 μ s (TYP.)	-
f_{SUB}	-	-	-	-	30.5 μ s
$f_{SUB}/2$	-	-	-	-	61 μ s

- 備考 f_{MAIN} : メイン・システム・クロック周波数 (f_{IH} , f_{IH20} または f_{MX})
 f_{SUB} : サブシステム・クロック周波数

(8) 20 MHz高速内蔵発振制御レジスタ (DSCCTL)

20 MHz高速内蔵発振クロック (DSC) 機能の制御を行うレジスタです。

20 MHz対応の周辺ハードウェア・クロックとして20 MHz高速内蔵発振クロック (f_{H20}) を使用するか、しないかを選択することができます。

DSCCTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 8 20 MHz高速内蔵発振制御レジスタ (DSCCTL) のフォーマット

アドレス : F00F6H リセット時 : 00H R/W^注

略号	7	6	5	4	[3]	[2]	1	[0]
DSCCTL	0	0	0	0	DSCS	SELDSC	0	DSCON

DSCS	20 MHz高速内蔵発振供給状態フラグ
0	供給していない
1	供給している

SELDSC	CPU / 周辺ハードウェア・クロック (f_{CLK}) への20 MHz高速内蔵発振選択
0	20 MHz高速内蔵発振を選択しない (CKCレジスタで選択されたクロックが f_{CLK} へ供給)
1	20 MHz高速内蔵発振を選択 (20 MHz高速内蔵発振が f_{CLK} へ供給)

DSCON	20 MHz高速内蔵発振クロック (f_{H20}) の動作許可 / 禁止
0	動作禁止
1	動作許可

注 ビット3は、Read Onlyです。

注意1. 20 MHz内蔵発振は、 V_{DD} 2.7 Vでないと使用できません。

- V_{DD} 2.7 VでDSCONを設定後、100 μ s経過後にSELDSCを設定してください。
- DSCON = 1のときは高速内蔵発振回路を動作 (HIOSTOP = 0) させておく必要があります。

(9) 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-9 周辺イネーブル・レジスタ0 (PER0) のフォーマット (1/2)

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・カウンタ2 (RTC2) の入力クロック ^注 の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ2 (RTC2) で使用するSFRへのライト不可 ・リアルタイム・カウンタ2 (RTC2) はリセット状態
1	入力クロック供給 ・リアルタイム・カウンタ2 (RTC2) で使用するSFRへのリード/ライト可

ADCEN	10ビット逐次比較型A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・10ビット逐次比較型A/Dコンバータで使用するSFRへのライト不可 ・10ビット逐次比較型A/Dコンバータはリセット状態
1	入力クロック供給 ・10ビット逐次比較型A/Dコンバータで使用するSFRへのリード/ライト可

IICAEN	シリアル・インタフェースIICAの入力クロックの制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入力クロックの制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

注 RTCENでは、CPUからリアルタイム・カウンタ2 (RTC2) のレジスタにアクセスするときには使用されるクロックを供給、停止できます。RTCENで、RTC2の動作クロックの供給を制御することはできません。

注意 ビット6には必ず0を設定してください。

図5-9 周辺イネーブル・レジスタ0 (PER0) のフォーマット (2/2)

SAU0EN	シリアル・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU1EN	タイマ・アレイ・ユニット1の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード/ライト可

(10) 動作スピード・モード制御レジスタ (OSMC)

フラッシュ・メモリの高速動作昇圧回路を制御するレジスタです。

システム・クロックを10 MHz以下の低速で動作する際には、初期値00Hで使用することで、消費電力を低減することができます。

OSMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 10 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	0	0	0	FLPC	FSEL

RTCLPC	サブシステム・クロックHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表22 - 1 HALTモード時の動作状態(2/3)を参照)
1	リアルタイム・カウンタ2, クロック出力, LCDコントローラ/ドライバ以外の周辺機能へのサブシステム・クロック供給停止

FLPC	FSEL	f _{CLK} の周波数選択
0	0	10 MHz以下の周波数で動作 (デフォルト)
0	1	10 MHzを越える周波数で動作
1	0	1 MHzの周波数で動作
1	1	設定禁止

注意1. FSELに“1”を書き込む場合は、必ず以下の2つの動作よりも前に行なってください。

- ・ f_{CLK}をf_{IH}以外に切り替える
 - ・ DMAコントローラを動作させる
2. FSELビットに“1”を書き込むと、CPUはウエイト(140.5クロック(f_{CLK}))します。ウエイト中に発生した割り込み要求は保留されます。
ただし、CPUウエイト中も、f_xの発振安定時間のカウンタは継続可能です。
 3. f_{CLK}を10 MHz以上にする場合には、FSELを“1”にセットしてから、2クロック以上経過後に切り替えてください。
 4. FSEL = 0に設定する場合は、10 MHz以下で動作していることを確認してから設定してください。
 5. V_{DD} 2.7 VでSTOPモードに移行する場合は、f_{CLK}を10 MHz以下に設定したあとに、FSEL = 0にしてください。

(注意は次ページに続きます。)

- 注意6. RTCLPCを1に設定することでサブシステム・クロック時のHALTモード電流を低減できます。ただし、サブシステム・クロックHALTモード中はリアルタイム・カウンタ2以外の周辺機能へクロックを供給できなくなります。サブシステム・クロックHALTモードに設定する前に、PER0のビット7 (RTCEN) は1に、それ以外のPER0の0-6ビットは0にしてください。
7. FLPCは一度0 1に設定すると、リセット以外には、1 0に戻すことは禁止です。
 8. FSELに“1”を書き込む場合、RMC = 00Hの状態で行ってください。
FLPCに“1”を書き込む場合、RMC = 5AHの状態で行ってください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(2~20 MHz)によって発振します。

また,外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

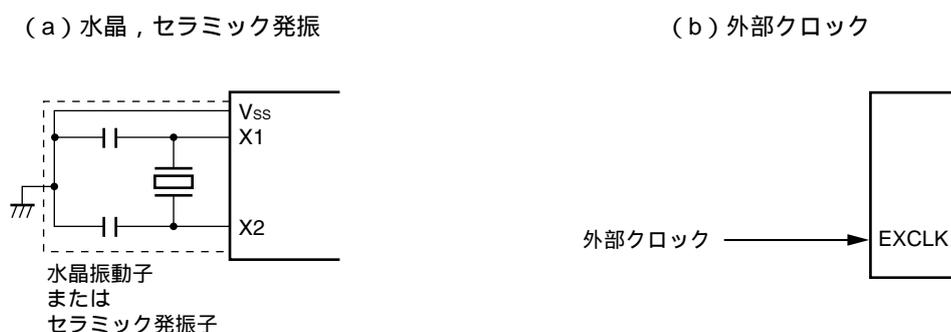
X1発振回路を使用する場合,クロック動作モード制御レジスタ(CMC)のビット7,6(EXCLK, OSCSEL)を次のように設定してください。

- ・水晶,セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は,入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに,入力ポートとしても使用しない場合は,表2-2 各端子の未使用端子処理を参照してください。図5-11にX1発振回路の外付け回路例を示します。

図5-11 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(標準: 32.768 kHz)によって発振します。

また,外部クロックを入力することができます。その場合はEXCLKS1端子にクロック信号を入力してください。

XT1発振回路を使用する場合,クロック動作モード制御レジスタ(CMC)のビット5,4(EXCLKS, OSCSELS),ポート機能制御レジスタ(PORTCTL)のビット1,0(EXCLKS2, FXTOUTEN)を次のように設定してください。

- ・水晶,セラミック発振 : EXCLKS, OSCSELS = 1, 1, EXCLKS2, FXTOUTEN = 0, 1
- ・外部クロック入力 : EXCLKS, OSCSELS = 1, 1, EXCLKS2, FXTOUTEN = 1, 1

XT1発振回路を使用しない場合は,次のように設定してください。

- ・EXCLKS, OSCSELS = 0, 0, EXCLKS2, FXTOUTEN = 1, 0

図5-12にXT1発振回路の外付け回路例を示します。

図5 - 12 XT1発振回路の外付け回路例（水晶発振）



注意1. X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 11, 5 - 12の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

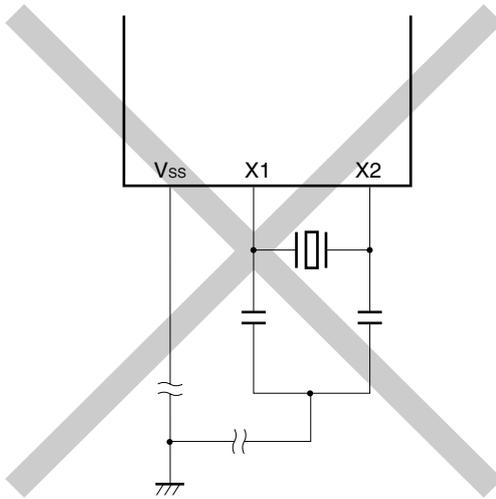
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・低消費発振および超低消費発振を選択する場合、通常発振を選択する場合に比べ、低消費電力を実現することができます。しかし、この場合、XT1発振余裕度が低下しますので、XT1発振に使用する発振子は、発振評価を十分に行った上で、ご使用ください。
- ・XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。
- ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎりV_{SS}と同電位のグラウンド・パターンを配置してください。
- ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

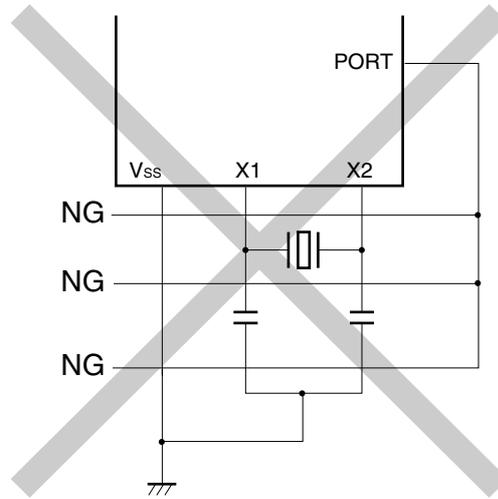
図5 - 13に発振子の接続の悪い例を示します。

図5-13 発振子の接続の悪い例(1/2)

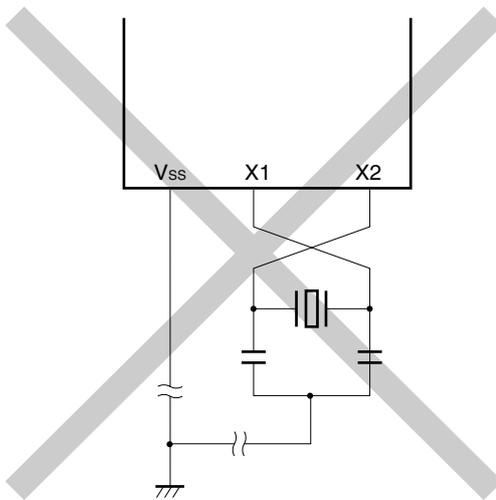
(a) 接続回路の配線が長い



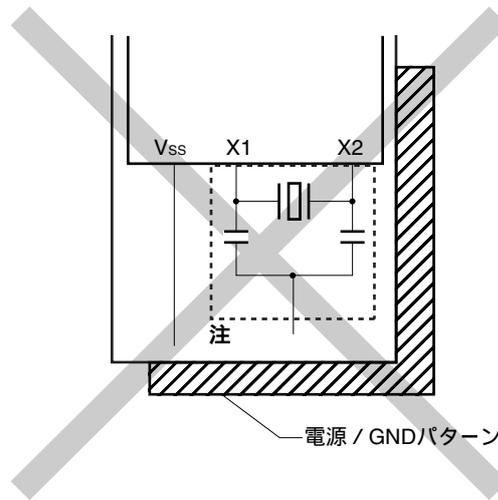
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある



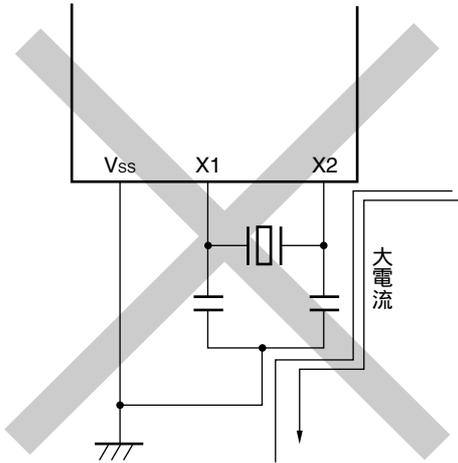
注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

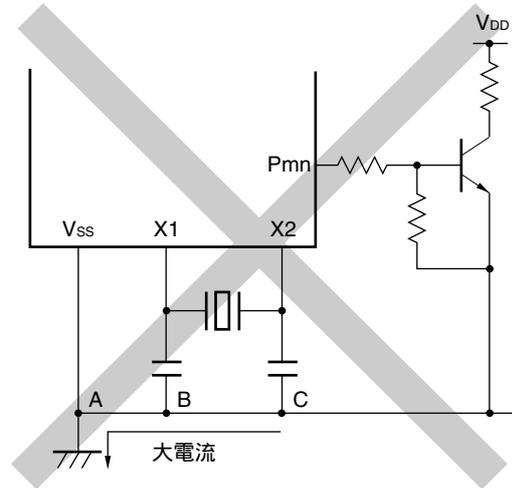
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-13 発振子の接続の悪い例 (2/2)

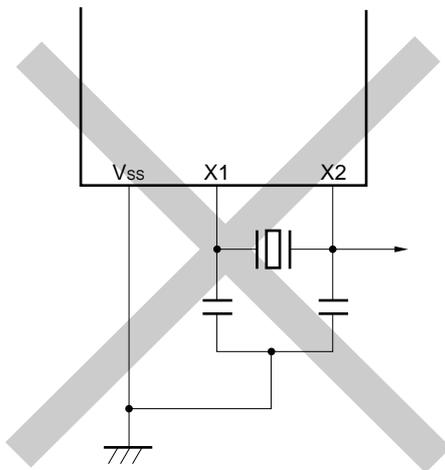
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(g) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を挿入してください。

注意2 . X2とXT1が平行に配線されている場合, X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

5.4.3 高速内蔵発振回路

78K0R/Lx3-Mマイクロコントローラは、高速内蔵発振回路を内蔵しています(1, 8, 20 MHz (TYP.))。クロック動作ステータス制御レジスタ(CSC)のビット0(HIOSTOP)、20 MHz高速内蔵発振制御レジスタ(DSCCTL)のビット0(DSCON)にて発振を制御できます。

注意 1, 8, 20 MHz高速内蔵発振クロックを使用する場合、あらかじめオプション・バイトで周波数を設定しておいてください(詳細は、第27章 オプション・バイト参照)。またリセット解除後は高速内蔵発振回路が自動的に発振を開始します(オプション・バイトで8 MHz/20 MHz選択時は8 MHz高速内蔵発振回路で動作します)。20 MHzの高速内蔵発振回路で動作する場合は、その後、 $V_{DD} = 2.7\text{ V}$ でDSCCTLレジスタのビット0(DSCON)を1に設定すると発振を開始します。

5.4.4 低速内蔵発振回路

78K0R/Lx3-Mマイクロコントローラは、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマのクロックとしてのみ使用します。CPUクロックとして使用できません。

リセット解除後、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、低速内蔵発振回路は自動的に発振を開始し、ウォッチドッグ・タイマを駆動します(30 kHz (TYP.))。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振回路の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

5.4.5 プリスケーラ

プリスケーラは、メイン・システム・クロックおよびサブシステム・クロックを分周し、CPU/周辺ハードウェア・クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1を参照）。

- メイン・システム・クロック f_{MAIN}
 - ・高速システム・クロック f_{MX}
 - X1クロック f_x
 - 外部メイン・システム・クロック f_{EX}
 - ・高速内蔵発振クロック f_{IH}
 - 1 MHz高速内蔵発振クロック f_{IH1}
 - 8 MHz高速内蔵発振クロック f_{IH8}
 - 20 MHz高速内蔵発振クロック f_{IH20}
- サブシステム・クロック f_{sub}
 - ・XT1クロック f_{XT}
 - ・外部サブシステム・クロック f_{EXS}
- サブシステム選択クロック f_{SUBC}
- 低速内蔵発振クロック f_{IL}
- CPU / 周辺ハードウェア・クロック f_{CLK}

78K0R/Lx3-Mマイクロコントローラでは、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。

(1) セキュリティ機能の強化

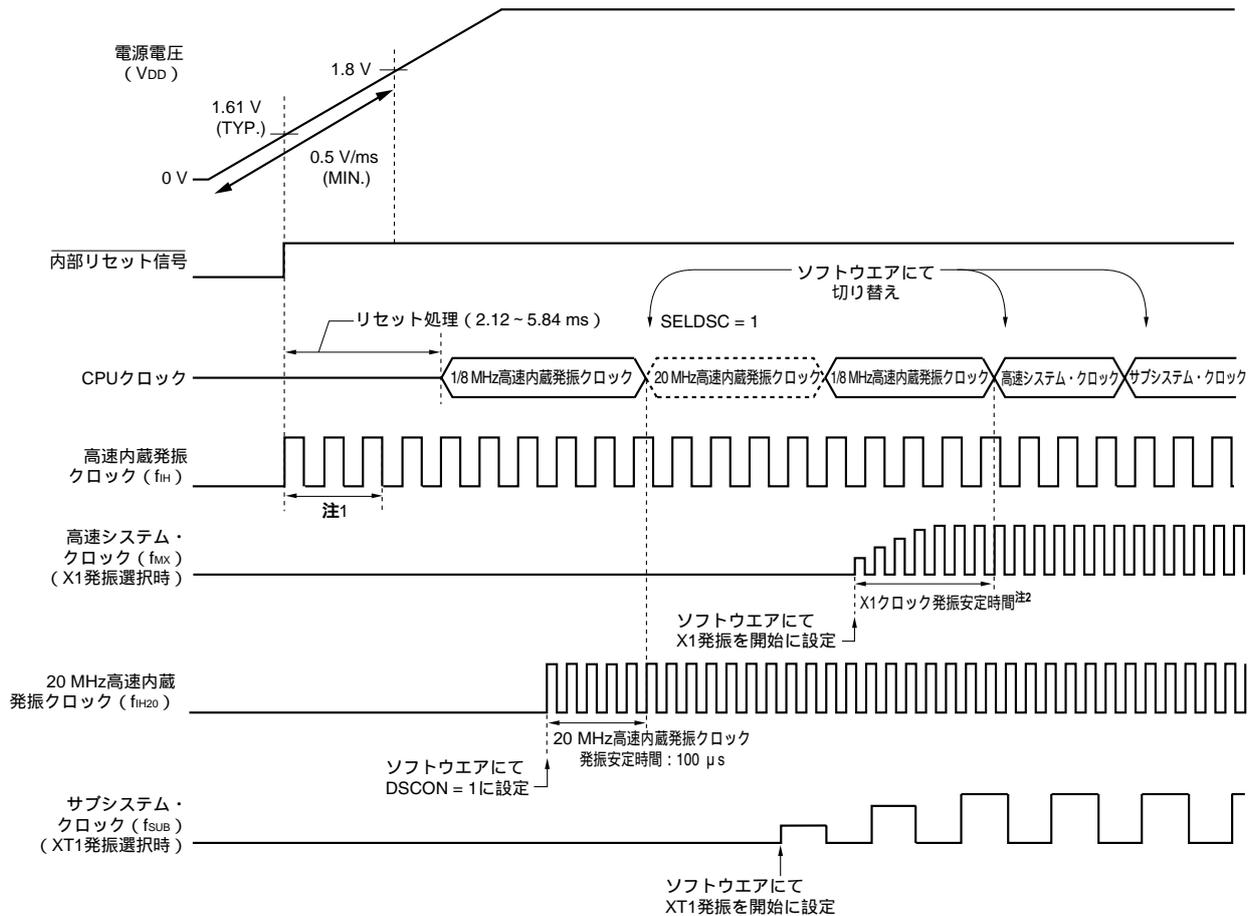
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなどの最低限の処理をしてシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5 - 14、5 - 15に示します。

図5 - 14 電源電圧投入時のクロック発生回路の動作
 (LVIデフォルト・スタート機能停止に設定時 (オプション・バイト : LVIOFF = 1))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.61 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後に電源/レギュレータの電圧安定待ちなどのリセット処理が行われたのちに、CPUが高速内蔵発振クロック^{注3}で動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.1 高速システム・クロックの制御例の(1)、5.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.1 高速システム・クロックの制御例の(3)、5.6.3 サブシステム・クロックの制御例の(3)を参照)。

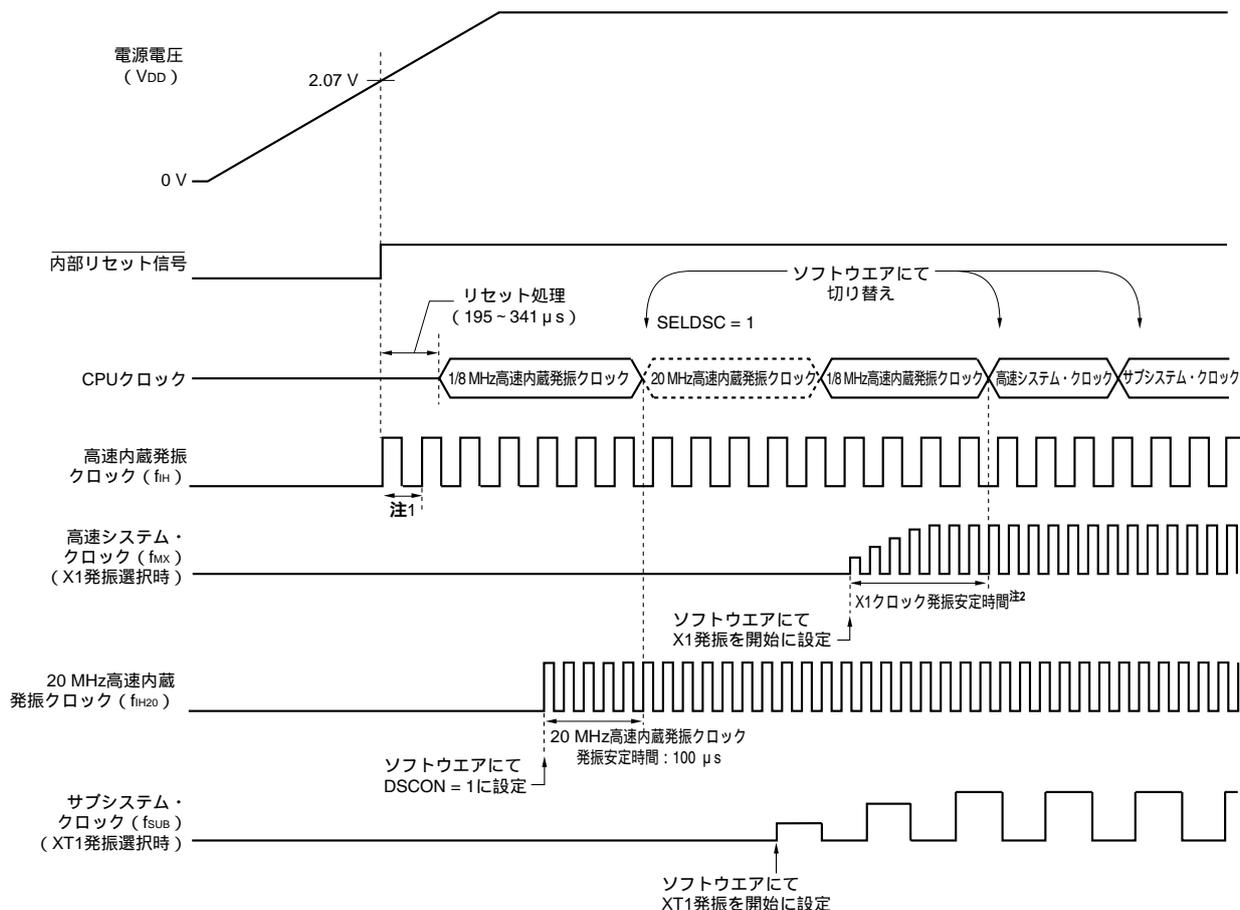
20 MHz高速内蔵発振クロックに切り替える場合は、DSCONビット(20 MHz高速内蔵発振制御レジスタ(DSCCTL)のビット0)を設定したあと100 μsウエイトし、ソフトウェアにてSELDSC = 1に設定することでクロックが切り替わります^{注4}。

(注、注意は次ページにあります。)

- 注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
 3. オプション・バイトで高速内蔵発振回路を8 MHz/20 MHzに選択している場合は8 MHz高速内蔵発振クロックで、1 MHzを選択している場合は1 MHz高速内蔵発振クロックで動作します。
 4. オプション・バイトで高速内蔵発振回路を1 MHzに設定している場合、20 MHz高速内蔵発振クロックは使用できません。
- 注意1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりは、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトでLVIデフォルト・スタート機能動作を設定（LVIOFF = 0）してください（図5 - 15参照）。1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図5 - 14の以降と同様のタイミングで動作します。
2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

図5 - 15 電源電圧投入時のクロック発生回路の動作

(LVIデフォルト・スタート機能動作に設定時 (オプション・バイト : LVIOFF = 0))



電源投入後、低電圧検出 (LVI) 回路による内部リセット信号が発生されます。

電源電圧が2.07 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器^{注3}が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロック^{注3}で動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (5.6.1 **高速システム・クロックの制御例**の(1)、5.6.3 **サブシステム・クロックの制御例**の(1)を参照)。

20 MHz高速内蔵発振クロックに切り替える場合は、ソフトウェアにてDSCON = 1に設定し発振を開始してください。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5.6.1 **高速システム・クロックの制御例**の(3)、5.6.3 **サブシステム・クロックの制御例**の(3)を参照)。

20 MHz高速内蔵発振クロックに切り替える場合は、電源電圧が2.7 V以上であることを確認し、DSCONビット (20 MHz高速内蔵発振制御レジスタ (DSCCTL) のビット0) を設定したあと100 μsウエイトします。ウエイト後、ソフトウェアにてSELDSC = 1に設定することでクロックが切り替わります^{注4}。

(注、注意は次ページにあります。)

- 注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
 3. オプション・バイトで高速内蔵発振回路を8 MHz/20 MHzに選択している場合は8 MHz高速内蔵発振クロックで、1 MHzを選択している場合は1 MHz高速内蔵発振クロックで動作します。
 4. オプション・バイトで高速内蔵発振回路を1 MHzに設定している場合、20 MHz高速内蔵発振クロックは使用できません。

注意 1. 電源電圧が1.61 V (TYP.) に達したあと、電圧安定待ち時間（約2.12 ~ 5.84 ms）が必要となります。1.61 V (TYP.) から2.07 V (TYP.) に達する時間が、電圧安定待ち時間より短い場合は、電圧安定待ち時間を経過してからリセット処理に入ります。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶/セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定, 発振周波数の設定 (CMCレジスタ)

・2 MHz f_x 10 MHzの場合

EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH
0	1	0	0	0	0	0	0

・10 MHz < f_x 20 MHzの場合

EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH
0	1	0	0	0	0	0	1

備考1. f_x : X1クロック発振周波数

2. XT1, XT2端子の設定については、5.6.3 サブシステム・クロックの制御例を参照してください。

X1クロックの発振制御 (CSCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため、OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては、5.6.3 サブシステム・クロックの制御例を参照してください。

2. 電源電圧が、使用するクロックの動作可能電圧 (第32章 電気的特性を参照) に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定 (CMCレジスタ)

EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH
1	1	0	0	0	0	0	0/1

備考 XT1, XT2端子の設定については, 5. 6. 3 (1) XT1クロックを発振する場合の設定手順例を参照してください。

外部メイン・システム・クロックの入力制御 (CSCレジスタ)

MSTOPを0に設定すると, 外部メイン・システム・クロックの入力が有効になります。

注意1. CMCレジスタは, リセット解除後, 8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため, OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては, 5. 6. 3 サブシステム・クロックの制御例を参照してください。

2. 電源電圧が, 使用するクロックの動作可能電圧 (第32章 電気的特性を参照) に達してから, 外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(5. 6. 1 (1) X1クロックを発振する場合の設定手順例, または (2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合, の設定不要です。

高速システム・クロックをCPU/周辺ハードウェア・クロックのソース・クロックに設定し, 設定したクロックの分周比を設定 (CKCレジスタ)

MCM0	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
1	0	0	0	f _{MX}
	0	0	1	f _{MX} /2
	0	1	0	f _{MX} /2 ²
	0	1	1	f _{MX} /2 ³
	1	0	0	f _{MX} /2 ⁴
	1	0	1	f _{MX} /2 ⁵ ^注

注 f_{MX} < 4 MHzのとき, 設定禁止です。

使用しない周辺ハードウェアがある場合、周辺ハードウェアごとに、入力クロックの供給停止可能 (PER0レジスタ)

RTCCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN
--------	---	-------	--------	--------	--------	--------	--------

xxxEN	入力クロックの制御
0	入力クロック供給停止
1	入力クロック供給

- 備考**
- RTCCEN : リアルタイム・カウンタ2の入力クロック制御
 - ADCEN : 10ビット逐次比較型A/Dコンバータの入力クロック制御
 - IICAEN : シリアル・インタフェースIICAの入力クロック制御
 - SAU1EN : シリアル・アレイ・ユニット1の入力クロック制御
 - SAU0EN : シリアル・アレイ・ユニット0の入力クロック制御
 - TAU1EN : タイマ・アレイ・ユニット1の入力クロック制御
 - TAU0EN : タイマ・アレイ・ユニット0の入力クロック制御

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止 (外部クロックを使用している場合は、クロック入力無効) するには、次の2つの方法があります。

- ・STOP命令を実行する
- ・MSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第22章 **スタンバイ機能**を参照してください)。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します (外部クロック入力は無効になります)。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックをサブシステム・クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

X1クロック発振再開後のX1クロックの発振安定時間の設定^注

MSTOPに1を設定する前までに、X1発振再開後にOSTCレジスタで確認したいカウント値より大きい値に、OSTSレジスタの値を設定します。

高速システム・クロックの停止（CSCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注 高速システム・クロックがX1発振モードで、あとでX1クロックを発振再開する場合に必要です。外部クロック入力モード時は、設定不要です。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

5.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^注

高速内蔵発振クロック発振の再開の設定（CSCレジスタ）

HIOSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

注 リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPU / 周辺ハードウェア・クロックとして選択されます。

(2) 高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックとして使用する場合

高速内蔵発振クロックの発振を再開^注

(5.6.2 (1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

注 高速内蔵発振クロック動作中の場合、 の設定不要です。

高速内蔵発振クロックをCPU/周辺ハードウェア・クロックのソース・クロックに設定し、設定したクロックの分周比を設定（CKCレジスタ）

MCM0	MDIV2	MDIV1	MDIV0	CPU/周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	0	f _H
	0	0	1	f _H /2
	0	1	0	f _H /2 ²
	0	1	1	f _H /2 ³
	1	0	0	f _H /2 ⁴ ^注
	1	0	1	f _H /2 ⁵ ^注

注 f_H = 1 MHzのとき、設定禁止です。

注意 高速内蔵発振クロックを再開後に、CPU/周辺ハードウェア・クロックを高速システム・クロックから高速内蔵発振クロックに切り替える場合は、10 μs以上経過後に行ってください。
再開直後に切り替えた場合は、10 μs間の高速内蔵発振の精度が保障できません。

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行する
- ・ HIOSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第22章 スタンバイ機能を参照してください）。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) HIOSTOPを1に設定し、高速内蔵発振クロックを停止する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。
CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速内蔵発振クロックの停止 (CSCレジスタ)

HIOSTOPを1に設定すると、高速内蔵発振が停止します。

注意 HIOSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。
また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

5.6.3 サブシステム・クロックの制御例

サブシステム・クロックは、次の水晶発振子接続があります。

- ・XT1クロック : XT1, XT2端子に水晶発振子接続
- ・外部サブシステム・クロック : EXCLKS1端子に外部クロック入力

注意 CPUがサブシステム・クロック動作中で高速内蔵発振クロックと高速システム・クロックが停止している場合、およびSTOPモード時の場合、周辺ハードウェアの端子からの外部クロックで周辺ハードウェアを動作開始させないでください。

次の設定手順例を、以下に示します。

- (1) XT1クロックを発振する場合
- (2) 外部サブシステム・クロックを使用する場合
- (3) サブシステム・クロックをCPUクロックとして使用する場合
- (4) サブシステム・クロックを停止する場合

注意 サブシステム・クロックをCPUクロックとして使用する場合、同時に周辺ハードウェアにもサブシステム・クロックが供給されます(リアルタイム・カウンタ2, タイマ・アレイ・ユニット(カウント・クロックとして, $f_{SUB}/2$, $f_{SUB}/4$, TI0mn入力の有効エッジ, またはINTRTCIの有効エッジ選択時), クロック出力, およびウォッチドッグ・タイマは除く)。このとき、10ビット逐次比較型A/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第32章 電気的特性を参照してください。

(1) XT1クロックを発振する場合の設定手順例

XT1, XT2端子の設定, 動作モードの選択 (PORTCTLレジスタ)

EXCLKS2, FXTOUTENを次のように設定すると、XT1発振モードとなります。

EXCLKS2	FXTOUTEN	サブシステム・クロック端子の動作モード	XT1/ EXCLKS1端子	XT2端子
0	0	XT1発振モード	水晶 / セラミック発振子接続	
0	1			

備考 P121/X1, P122/X2端子の設定については、5.6.1 高速システム・クロックの制御例を参照してください。

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

動作モードの設定 (PORTCTLレジスタ)

PORTCTLレジスタのFXTOUTENビットに1を設定します。

動作モードの設定 (CMCレジスタ)

CMCレジスタのEXCLKS, OSCSELSビットに1を設定します。

外部クロックの設定 (CSCレジスタ)

CSCレジスタのXTSTOPビットに0を設定します。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため、EXCLK, OSCSELビットの値も同時に設定する必要があります。EXCLK, OSCSELビットについては、5. 6. 1 (1) X1クロックを発振する場合の設定手順例、または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照してください。

2. サブシステム・クロック動作中にEXCLKS2, FXTOUTENを書き換えしないでください。

(2) 外部サブシステム・クロックを使用する場合の設定手順例**XT1, XT2端子の設定, XT1クロック/外部クロックの選択, 発振制御 (PORTCTLレジスタ)**

EXCLKS2, FXTOUTENを次のように設定すると、外部クロック入力モードとなります。この場合、EXCLKS1/XT1端子に外部クロックを入力してください。

EXCLKS2	FXTOUTEN	サブシステム・クロック 端子の動作モード	XT1/ EXCLKS1端子	XT2端子
1	0	外部クロック入力モード	外部クロック入力	注
1	1			

注 XT1/EXCLKS1端子を外部サブシステム・クロック入力として使用する場合は、XT2端子をオープンにしてください。

注意 サブシステム・クロック動作中にEXCLKS2, FXTOUTENを書き換えしないでください。

動作モードの設定 (PORTCTLレジスタ)

PORTCTLレジスタのFXTOUTENビットに1を設定します。

動作モードの設定 (CMCレジスタ)

CMCレジスタのEXCLKS, OSCSELSビットに1を設定します。

外部クロックの設定 (CSCレジスタ)

CSCレジスタのXTSTOPビットに0を設定します。

(3) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振^注

(5.6.3(1) XT1クロックを発振する場合の設定手順例, (2) 外部サブシステム・クロックを使用する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合, の設定不要です。

サブシステム・クロックをCPUクロックのソース・クロックに設定 (CKCレジスタ)

CSS	SDIV	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
1	0	f _{SUB}
	1	f _{SUB} /2

注意 サブシステム・クロックをCPUクロックとして使用する場合, 同時に周辺ハードウェアにもサブシステム・クロックが供給されます (リアルタイム・カウンタ2, タイマ・アレイ・ユニット (カウンタ・クロックとして, f_{SUB}/2, f_{SUB}/4, T10mn入力の有効エッジ, またはINTRTCIの有効エッジ選択時), クロック出力, およびウォッチドッグ・タイマは除く)。このとき, 10ビット逐次比較型A/Dコンバータ, IICAの動作は保証できません。周辺ハードウェアの動作特性については, 各周辺ハードウェアの章および第32章 電気的特性を参照してください。

(4) サブシステム・クロックを停止する場合の設定手順例

CPUクロックのステータスを確認 (CKCレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックが高速システム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロックまたは20 MHz高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

サブシステム・クロックの停止 (CSCレジスタ)

XTSTOPを1に設定すると、サブシステム・クロックが停止します。

- 注意1. XTSTOPに1を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで動作している周辺ハードウェアがある場合は、その周辺ハードウェアの動作を停止してください。
2. STOP命令でサブシステム・クロックの発振を停止することはできません。

5.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。ウォッチドッグ・タイマのクロックとしてのみ使用します。

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（30 kHz（TYP.））。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振器の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

(1) 低速内蔵発振クロックを停止する場合の設定手順例

低速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）=0）し、HALT命令またはSTOP命令を実行する
- ・ オプション・バイトで「ウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット4（WDTON）=0）する

(2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

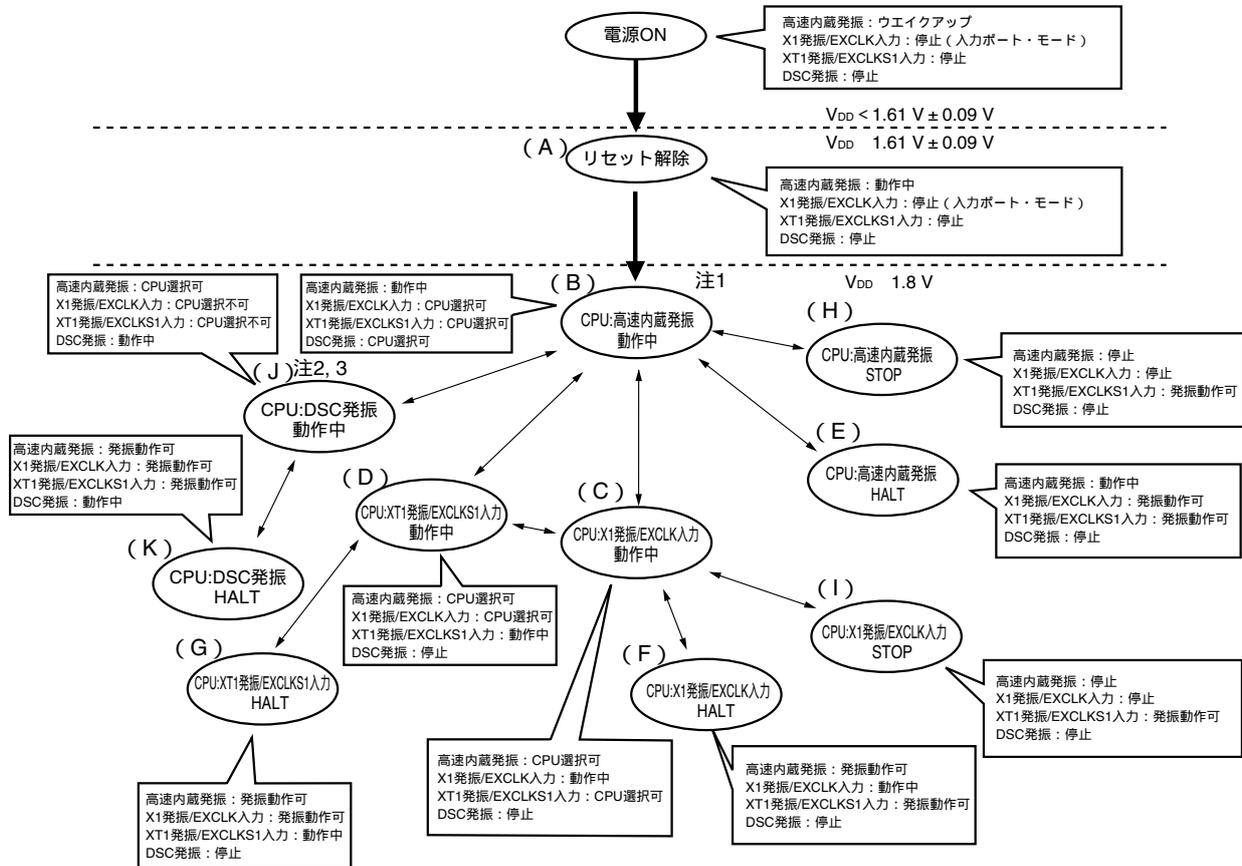
低速内蔵発振クロックを再開するには、次の方法があります。

- ・ HALTモードまたはSTOPモードを解除する
（オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）=0）し、HALT命令またはSTOP命令の実行で、ウォッチドッグ・タイマの動作が停止している場合のみ）

5.6.5 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 16に示します。

図5 - 16 CPUクロック状態移行図



注1. リセット解除後は、システム・クロック制御レジスタ (CKC) = 09Hにより、 $f_{CLK} = f_{IH}/2$ が選択されるため、以下の動作周波数で動作開始します。

- ・ オプション・バイトで1 MHzを選択時 : 500 kHz (1 MHz/2)
- ・ オプション・バイトで8 MHz, 20 MHzを選択時 : 4 MHz (8 MHz/2)

2. 20 MHz内蔵発振は V_{DD} が2.7 V以上であることを確認して設定してください。

3. 20 MHz内蔵発振は、オプション・バイトで1 MHz内蔵発振を選択時は使用することができません。

備考1. オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.07 V \pm 0.2 V$ を越えるまでリセットは解除されません。

そしてリセット処理後に上図の (B) に移行します。

2. DSC : 20 MHz高速内蔵発振クロック

CPUクロックの移行とSFRレジスタの設定例などを表5 - 6に示します。

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (1/6)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ		CMCレジスタ ^{注1}			CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	MSTOP	FSEL		MCM0		
(A) (B) (C) (X1クロック: 2 MHz f_x 10 MHz)	0	1	0	0	0		確認 必要	1	
(A) (B) (C) (X1クロック: 10 MHz < f_x 20 MHz)	0	1	1	0	1 ^{注2}		確認 必要	1	
(A) (B) (C) (外部メイン・クロック)	1	1	x	0	0/1 ^{注2}		確認 不要	1	

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. $f_{CLK} > 10$ MHzのときは、 $FSEL = 1$ です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、 $FSEL = 0$ で使用可能です。

注意 設定するクロックの動作可能電圧 (第32章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ		PORTCTLレジスタ		CMCレジスタ ^注		CSC レジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS2	FXTOUTEN	EXCLKS	OSCSELS	XTSTOP		CSS		
(A) (B) (D) (XT1クロック)	0	1	1	1	0		必要	1	
(A) (B) (D) (外部サブシステム・クロック)	1	1	1	1	0		不要	1	

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考 表5 - 6の (A) - (K) は、図5 - 16の(A) - (K) と対応しています。

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (2/6)

(4) リセット解除後 (A) に、CPUを20 MHz高速内蔵発振クロック動作 (J) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序)

状態遷移	SFRレジスタの設定フラグ	DSCCTL レジスタ ^注	発振安定待ち	DSCCTL レジスタ
		DSCON		SELDSC
(A) (B) (J)		1	必要 (100 μ s)	1

注 V_{DD} 2.7 Vであることを確認して、DSCON = 1にしてください。

(5) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序)

状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP	FSEL		MCM0
(B) (C) (X1クロック : 2 MHz f_x 10 MHz)	0	1	0	注2	0	0	確認 必要	1
(B) (C) (X1クロック : 10 MHz < f_x 20 MHz)	0	1	1	注2	0	1 ^{注3}	確認 必要	1
(B) (C) (外部メイン・クロック)	1	1	×	注2	0	0/1	確認 不要	1

設定済みの場合は不要

高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ (CMC) は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. 発振安定時間選択レジスタ (OSTS) の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ (OSTC) の発振安定時間 OSTSレジスタで設定する発振安定時間

3. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第32章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考1. × : don't care

2. 表5 - 6の (A) - (K) は、図5 - 16の(A) - (K) と対応しています。

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (3/6)

(6) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	PORTCTLレジスタ		CMCレジスタ ^注		CSC レジスタ	発振安定待ち	CKC レジスタ
	EXCLKS2	FXTOUTEN	EXCLKS	OSCSELS	XTSTOP		CSS
(B) (D) (XT1クロック)	0	1	1	1	0	必要	1
(B) (D) (外部サブシステム・クロック)	1	1	1	1	0	不要	1

サブシステム・クロック動作中の場合は不要

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

(7) CPUを高速内蔵発振クロック動作 (B) から、20 MHz高速内蔵発振クロック動作 (J) へ移行

(SFRレジスタの設定順序) →

状態遷移	DSCCTL レジスタ ^注		発振安定待ち	DSCCTL レジスタ
	DSCON			SELDSC
(B) (J)	1		必要 (100 μ s)	1

20 MHz高速内蔵発振クロック
動作中の場合は不要

注 V_{DD} 2.7 Vであることを確認して、DSCON = 1にしてください。

(8) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) (B)	0	10 μ s	0

高速内蔵発振クロック
動作中の場合は不要

備考 表5 - 6の (A) - (K) は、図5 - 16の(A) - (K) と対応しています。

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (4/6)

(9) CPUを高速システム・クロック動作 (C) から, サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	PORTCTLレジスタ		CMCレジスタ [※]		CSC レジスタ	発振安定待ち	CKC レジスタ
	EXCLKS2	FXTOUTEN	EXCLKS	OSCSELS	XTSTOP		CSS
(C) (D) (XT1クロック)	0	1	1	1	0	必要	1
(C) (D) (外部サブシステム・クロック)	1	1	1	1	0	不要	1

サブシステム・クロック動作中の場合は不要

注 CMCレジスタは, リセット解除後, 8ビット・メモリ操作命令で1回のみ書き込み可能です。

(10) CPUをサブシステム・クロック動作 (D) から, 高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ	CSCレジスタ	CKCレジスタ	
	HIOSTOP	MCM0	CSS
(D) (B)	0	0	0

高速内蔵発振クロック
動作中の場合は不要

設定済みの場合は
不要

備考 表5 - 6の (A) - (K) は, 図5 - 16の(A) - (K) と対応しています。

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (5/6)

(11) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序)

状態遷移	SFRレジスタの設定フラグ	OSTS	CSC	OSMC	OSTC	CKC	
		レジスタ	レジスタ	レジスタ		レジスタ	
			MSTOP	FSEL	MCM0	CSS	
(D) (C) (X1クロック : 2 MHz f_x 10 MHz)	注1	0	0	確認必要	1	0	
(D) (C) (X1クロック : 10 MHz $< f_x$ 20 MHz)	注1	0	1 ^{注2}	確認必要	1	0	
(D) (C) (外部メイン・クロック)	注1	0	0/1	確認不要	1	0	

高速システム・クロック動作中の場合は不要

設定済みの場合は不要

注1. OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

2. $f_{CLK} > 10$ MHzのときは, FSEL = 1です。 $f_x > 10$ MHzのときでも, 分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は, FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第32章 電気的特性を参照) に電源電圧が達してから, クロックを設定してください。

(12) CPUを20 MHz高速内蔵発振クロック動作 (J) から, 高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序)

状態遷移	SFRレジスタの設定フラグ	DSCCTL	
		レジスタ	
		SELDSC	DSCON
(J) (B)		0	0

備考 表5 - 6の (A) - (K) は, 図5 - 16の(A) - (K) と対応しています。

表5 - 6 CPUクロックの移行とSFRレジスタの設定例 (6/6)

- (13) ・ CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・ CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行
 ・ CPUが20 MHz高速内蔵発振クロック動作中 (J) にHALTモード (K) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G) (J) (K)	HALT命令を実行する

- (14) ・ CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移	設定内容			
(B) (H)	STOPモード中に動作できない周辺機能を停止する	-	STOP命令を実行する	
(C) (I)		X1発振		OSTSレジスタを設定する
		外部クロック		-

備考 表5 - 6の (A) - (K) は、図5 - 16の(A) - (K) と対応しています。

5.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-7 CPUクロックの移行について(1/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	高速内蔵発振器を停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ EXCLKS2 = 0, FXTOUTEN = 1, EXCLKS = 1, OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS1端子からの外部クロック入力を有効にすること ・ EXCLKS2 = 1, FXTOUTEN = 1, EXCLKS = 1, OSCSELS = 1, XTSTOP = 0	
	20 MHz 高速内蔵発振クロック	オプション・バイトで20 MHzが設定されていて、DSC発振が安定していること ・ V _{DD} 2.7 V ・ DSCON = 1に設定して発振安定時間(100 μs) 経過後 ・ SELDSC = 1	-
X1クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP=0	X1発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	XT1クロック	XT1発振が安定していること ・ EXCLKS2 = 0, FXTOUTEN = 1, EXCLKS = 1, OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	X1発振停止可能 (MSTOP = 1)
	外部サブシステム・クロック	EXCLKS1端子からの外部クロック入力を有効にすること ・ EXCLKS2 = 1, FXTOUTEN = 1, EXCLKS = 1, OSCSELS = 1, XTSTOP = 0	
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

表5-7 CPUクロックの移行について(2/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・HIOSTOP=0	外部メイン・システム・クロック入力を無効に設定可能(MSTOP=1)
	X1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	XT1クロック	XT1発振が安定していること ・EXCLKS2=0, FXTOUTEN=1, EXCLKS=1, OSCSELS=1, XTSTOP=0 ・発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能(MSTOP=1)
	外部サブシステム・クロック	EXCLKS1端子からの外部クロック入力を有効にすること ・EXCLKS2=1, FXTOUTEN=1, EXCLKS=1, OSCSELS=1, XTSTOP=0	
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
XT1クロック	高速内蔵発振クロック	高速内蔵発振器が発振され、メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・HIOSTOP=0, MCS=0	EXCLKS0端子からの外部クロック無効に設定可能(XTSTOP=1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL=1, EXCLK=0, MSTOP=0 ・発振安定時間経過後 ・MCS=1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL=1, EXCLK=1, MSTOP=0 ・MCS=1	
	外部サブシステム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

表5-7 CPUクロックの移行について(3/3)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振され、メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・HIOSTOP = 0, MCS = 0	EXCLKS0端子からの外部クロック無効に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCESEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCESEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	20 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
20 MHz 高速内蔵発振クロック	高速内蔵発振クロック	・SELDSC = 0 (移行時に設定します)	20 MHz高速内蔵発振クロック停止に設定可能 (DSCON = 0)
	X1クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	外部メイン・システム・クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	XT1クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	外部サブシステム・クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

5.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット0-4, 6（MDIV0-MDIV2, SDIV, MCM0, CSS）との設定により、CPUクロックの切り替え（メイン・システム・クロック サブシステム・クロック）、メイン・システム・クロックの切り替え（高速内蔵発振クロック 高速システム・クロック）およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は、CKCを書き換えた直後ではなく、CKCを変更したのち、数クロックは切り替え前のクロックで動作します（表5-8～表5-11参照）。

CPUクロックがメイン・システム・クロックで動作しているか、サブシステム・クロックで動作しているかは、CKCのビット7（CLS）で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか、高速内蔵発振クロックで動作しているかは、CKCのビット5（MCS）で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表5-8 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f _{MAINC}	↔ (分周比変更)	f _{MAINC}	表5-9参照
f _{SUBC}		f _{SUBC}	
f _{IH}	↔	f _{MX}	表5-10参照
f _{MAINC}	↔	f _{SUBC}	表5-11参照

表5-9 f_{MAINC} ↔ f_{MAINC}（分周比変更）、f_{SUBC} ↔ f_{SUBC}（分周比変更）で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロックA	クロックB
クロックA		1 + f _A /f _B クロック
クロックB	1 + f _B /f _A クロック	

表5-10 f_{IH} ↔ f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} > f _{IH}		1 + f _{IH} /f _{MX} クロック
	f _{MX} < f _{IH}		2f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} > f _{IH}	2f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	1 + f _{MX} /f _{IH} クロック	

（備考は次ページにあります。）

表5 - 11 $f_{\text{MAINC}} \leftrightarrow f_{\text{SUBC}}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 ($f_{\text{CLK}} = f_{\text{MAINC}}$)	1 ($f_{\text{CLK}} = f_{\text{SUBC}}$)
0 ($f_{\text{CLK}} = f_{\text{MAINC}}$)	$f_{\text{MAINC}} > f_{\text{SUBC}}$		$1 + 2f_{\text{MAINC}}/f_{\text{SUBC}}$ クロック
1 ($f_{\text{CLK}} = f_{\text{SUBC}}$)	$f_{\text{MAINC}} > f_{\text{SUBC}}$	$2 + f_{\text{SUBC}}/f_{\text{MAINC}}$ クロック	

備考1. 表5 - 9から表5 - 11のクロック数は、切り替え前のCPUクロックのクロック数です。

2. 表5 - 9から表5 - 11のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{\text{H}} = 8 \text{ MHz}$, $f_{\text{MX}} = 10 \text{ MHz}$ 発振時)

$$1 + f_{\text{H}}/f_{\text{MX}} = 1 + 8/10 = 1 + 0.8 = 1.8 \quad 2 \text{ クロック}$$

5.6.8 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表5 - 12 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
外部サブシステム・クロック		
20 MHz高速内蔵発振クロック	SELDSC = 0 (メイン・システム・クロックが20 MHz高速内蔵発振クロック以外で動作)	DSCON = 0

5.7 クロック出力制御回路の機能

クロック出力は拡張SFR（3rd SFR）へのクロックを供給する機能です。

クロック出力選択レジスタ0（CKS0）で選択したクロックを拡張SFR（3rd SFR）へ供給します。

5.8 クロック出力制御回路の構成

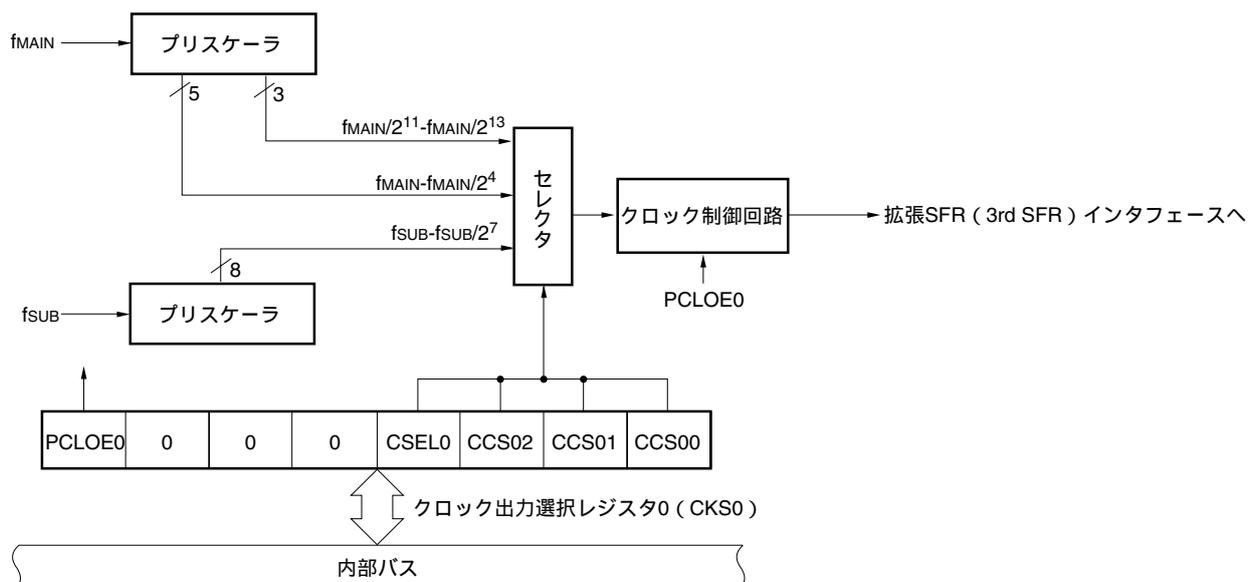
クロック出力制御回路は、次のハードウェアで構成されています。

表5 - 13 クロック出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ0（CKS0）

図5 - 17にクロック出力制御回路のブロック図を示します。

図5 - 17 クロック出力制御回路のブロック図



5.9 クロック出力制御回路を制御するレジスタ

クロック出力制御回路は、次のレジスタで制御します。

- ・クロック出力選択レジスタ0 (CKS0)

(1) クロック出力選択レジスタ0 (CKS0)

拡張SFR (3rd SFR) へのクロック供給の許可/禁止、および供給クロックを設定するレジスタです。

CKS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-18 クロック出力選択レジスタ0 (CKS0) のフォーマット

アドレス：FFFA5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
CKS0	PCLOE0	0	0	0	CSEL0	CCS02	CCS01	CCS00

PCLOE0	拡張SFR (3rd SFR) へのクロック供給の許可/禁止の指定
0	拡張SFR (3rd SFR) へのクロック供給禁止
1	拡張SFR (3rd SFR) へのクロック供給許可

CSEL0	CCS02	CCS01	CCS00	拡張SFR (3rd SFR) へ供給する クロックの選択			
				f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz	
0	0	0	0	f _{MAIN}	5 MHz	10 MHz ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz ^注
0	0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.76 kHz
0	1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz
0	1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz
1	0	0	0	f _{SUB}	32.768 kHz		
1	0	0	1	f _{SUB} /2	16.384 kHz		
1	0	1	0	f _{SUB} /2 ²	8.192 kHz		
1	0	1	1	f _{SUB} /2 ³	4.096 kHz		
1	1	0	0	f _{SUB} /2 ⁴	2.048 kHz		
1	1	0	1	f _{SUB} /2 ⁵	1.024 kHz		
1	1	1	0	f _{SUB} /2 ⁶	512 Hz		
1	1	1	1	f _{SUB} /2 ⁷	256 Hz		

(注、注意、備考は、次ページにあります。)

注 拡張SFR (3rd SFR) は、 $2.7\text{ V} < V_{DD}$ で10 MHzまでのクロック出力が可能です。
また $V_{DD} < 2.7\text{ V}$ で5 MHzを越えるクロックは、設定禁止です。

- 注意1.** 拡張SFR (3rd SFR) へのクロックの切り替えは、クロック供給禁止 (PCLOE0 = 0) にしてから行ってください。
- クロック供給 (PCLOE0 = 1) 中に選択クロック (f_{MAIN} または f_{SUB}) が停止した場合は、供給が不定になります。
 - メイン・システム・クロック選択時 (CSEL0 = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOE0 = 0にしてください。サブシステム・クロック選択時 (CSEL0 = 1) は、STOPモード時にクロック供給が可能なためPCLOE0 = 1に設定可能です。
 - 24ビット 型A/Dコンバータを使用する場合は、拡張SFR (3rd SFR) に10 MHzを供給してください。
 - 拡張SFR (3rd SFR) インタフェースの転送クロック周波数は、拡張SFR (3rd SFR) インタフェースへ供給するクロック周波数の1/4倍以下でかつ、必ず下記を守って設定してください。
 - $V_{DD} = LV_{DD} = 2.7\text{ V}$ 時：転送クロック周波数は1.25 MHz以下に設定
 - $V_{DD} = LV_{DD} < 2.7\text{ V}$ 時：転送クロック周波数は555 kHz以下に設定

- 備考1.** f_{MAIN} : メイン・システム・クロック周波数
2. f_{SUB} : サブシステム・クロック周波数

5.10 クロック出力制御回路の動作

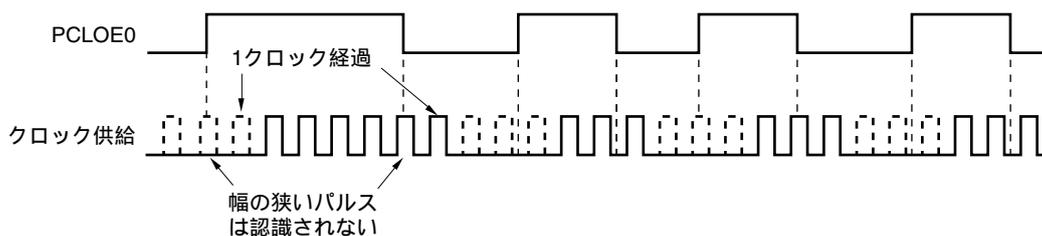
クロック・パルスは、次の手順で出力します。

クロック出力選択レジスタ0 (CKS0) のビット0-3 (CCS00-CCS02, CSEL0) で拡張SFR (3rd SFR) へ供給する周波数を選択する (クロック供給禁止の状態)。

CKS0のビット7 (PCLOE0) に1を設定し、拡張SFR (3rd SFR) へのクロック供給を許可する。

備考 拡張SFR (3rd SFR) へのクロック供給用として使用するときの制御回路は、拡張SFR (3rd SFR) へのクロック供給の許可 / 禁止 (PCLOE0) を切り替えてから1クロック後にクロック供給を開始 / 停止します。このとき幅の狭いパルスは供給されません。PCLOE0による供給の許可 / 停止とクロック供給のタイミングを図5 - 19に示します。

図5 - 19 リモコン出力応用例



第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットには2つのユニットがあります。タイマ・アレイ・ユニット0は8つの16ビット・タイマを、タイマ・アレイ・ユニット1は4つの16ビット・タイマを搭載しています。各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。

タイマ・アレイ・ユニットの機能と対応するチャンネルの関係を次に示します。

機 能		ユニット0								ユニット1			
		0	1	2	3	4	5	6	7	0	1	2	3
単 体 動 作 機 能	インターバル・タイマ												
	方形波出力	-	-		-	-		-		-	-	-	-
	外部イベント・カウンタ	-	-		-		-	-		-	-	-	-
	分周器機能	-	-		-	-	-	-	-	-	-	-	-
	入力パルス間隔測定	-	-		-		-	-		-	-	-	-
	入力信号のハイ/ロウ・レベル幅測定	-	-		-		-	-		-	-	-	-
連 動 動 作 機 能	PWM出力 ワンショット・パルス出力	マスタ		-	-	-	-		-		-	-	-
		スレーブ		-	-	-	-		-		-	-	-

注意 連動動作機能のマスタ・チャンネルとスレーブ・チャンネルの組み合わせについては、6.6.2 連動動作機能の基本ルールを参照してください。

またタイマ・アレイ・ユニット0のチャンネル7は、シリアル・アレイ・ユニット1のUART3と連携し、LIN-bus受信処理を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャンネルで動作する機能

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です（詳細は6.6.1 単体動作機能と連動動作機能の概要参照）。

(1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。

(2) 方形波出力

INTTMpqの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子（TOpq）より出力します。

(3) 外部イベント・カウンタ

タイマ入力端子（Tlpq）に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。

(4) 分周器機能

タイマ入力端子（TI02）から入力されたクロックを、分周して出力端子（TO02）より出力します。

(5) 入力パルス間隔測定

タイマ入力端子（Tlpq）に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子（Tlpq）に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。

備考 mn：ユニット番号+チャンネル番号，pq：ユニット番号+チャンネル番号（タイマ入出力端子を搭載しているチャンネルのみ）

mn = 00-07, 10-13,

pq = 02, 04, 07（タイマ入力端子を搭載しているチャンネル），

pq = 02, 05, 07（タイマ出力端子を搭載しているチャンネル）

6.1.2 複数チャンネルで動作する機能

連動動作機能は、マスタ・チャンネル（主に周期を制御する基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせることで実現する機能です（詳細は6.6.1 単体動作機能と連動動作機能の概要参照）。

(1) PWM (Pulse Width Modulator) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。

(2) ワンショット・パルス出力

2チャンネルをセットで使用し、ディレイとパルス幅を任意に設定できるワンショット・パルスを生成します。

6.1.3 LIN-bus対応機能（タイマ・アレイ・ユニット0のチャンネル7のみ）

(1) ウェイクアップ信号の検出

UART3のシリアル・データ入力端子（RxD3）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) シンク・ブレイク・フィールドの検出

ウェイクアップ信号検出後、UART3のシリアル・データ入力端子（RxD3）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、シンク・ブレイク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

シンク・ブレイク・フィールド検出後、UART3のシリアル・データ入力端子（RxD3）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタmn (TCRmn)
レジスタ	タイマ・データ・レジスタmn (TDRmn)
タイマ入力	TIpq端子, RxD3端子 (LIN-bus用)
タイマ出力	TOpq端子, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタm (TPSm) ・タイマ・チャンネル許可ステータス・レジスタm (TEm) ・タイマ・チャンネル開始レジスタm (TSm) ・タイマ・チャンネル停止レジスタm (TTm) ・タイマ入力選択レジスタ0, 1 (TIS0, TIS1) ・タイマ出力許可レジスタp (TOEp) ・タイマ出力レジスタp (TOp) ・タイマ出力レベル・レジスタp (TOLp) ・タイマ出力モード・レジスタp (TOMp) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタmn (TMRmn) ・タイマ・ステータス・レジスタpq (TSRpq) ・入力切り替え制御レジスタ (ISC) (タイマ・アレイ・ユニット0のチャンネル7のみ) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・レジスタ1, 3, 5 (PM1, PM3, PM5) ・ポート・レジスタ1, 3, 5 (P1, P3, P5)

備考 mn : ユニット番号 + チャンネル番号, pq : ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13,

p = 0, pq = 02, 04, 07 (タイマ入力端子を搭載しているチャンネル),

p = 0, pq = 02, 05, 07 (タイマ出力端子を搭載しているチャンネル)

図6-1, 6-2にブロック図を示します。

図6-1 タイマ・アレイ・ユニット0のブロック図

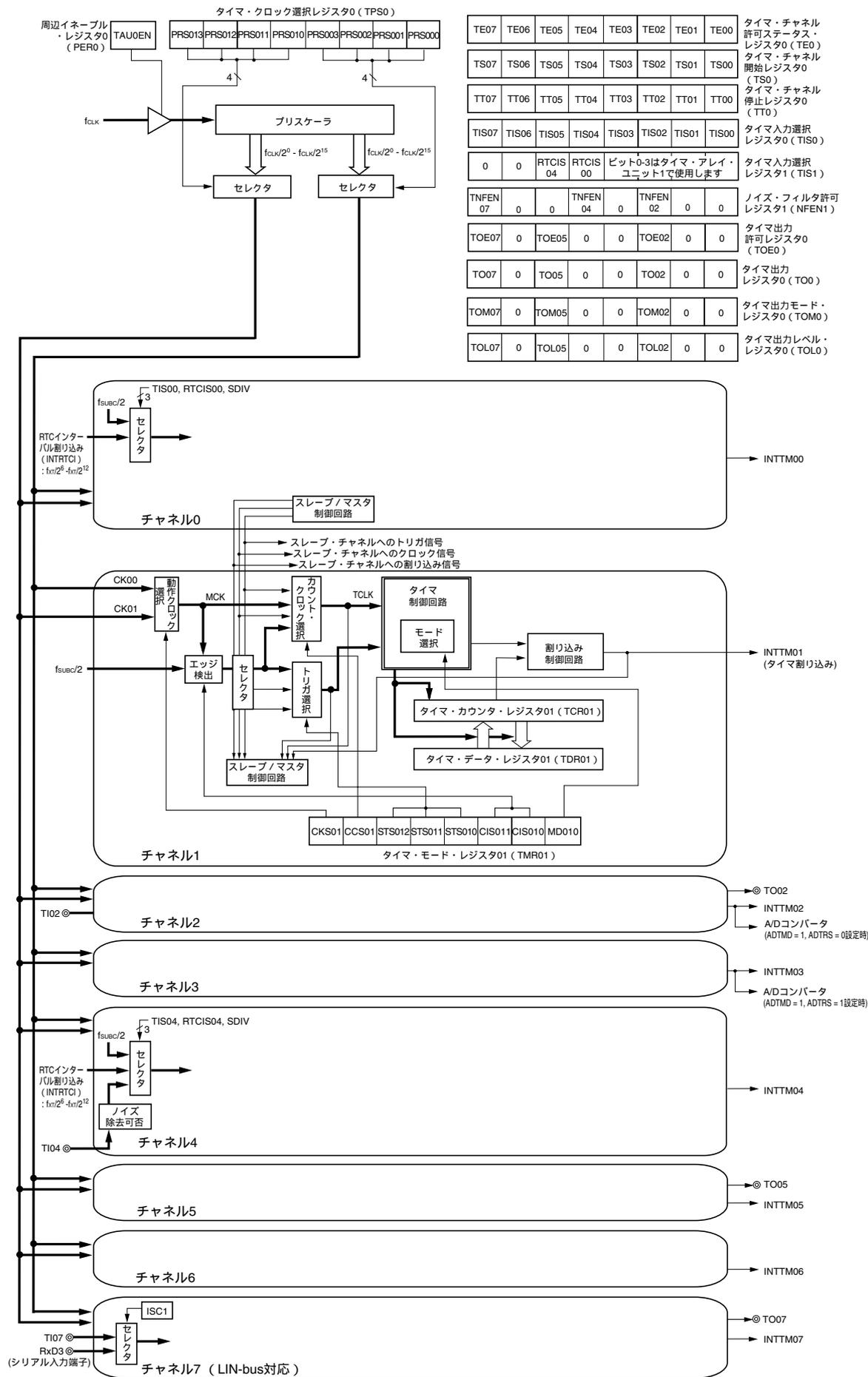
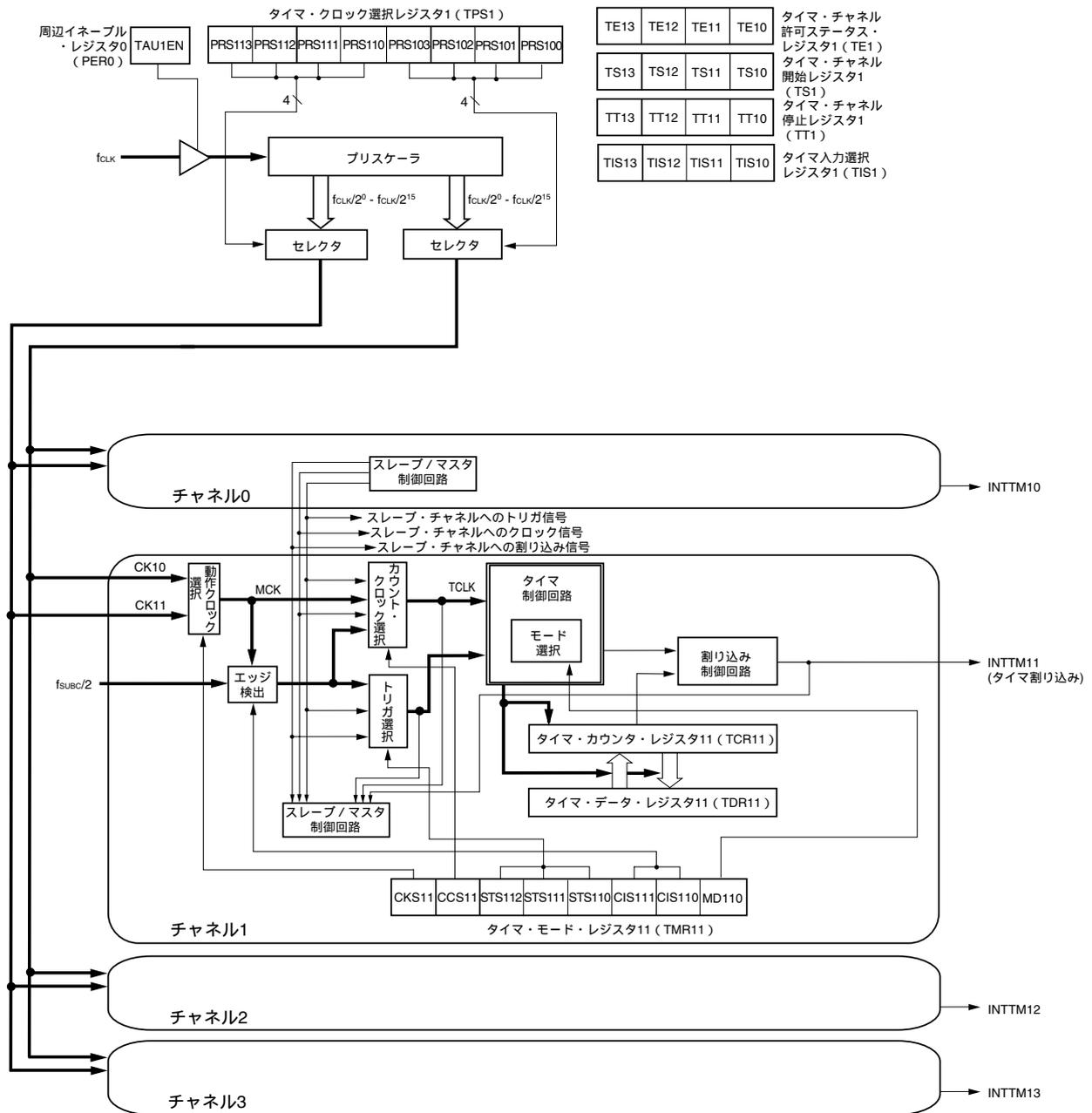


図6-2 タイマ・アレイ・ユニット1のブロック図



(1) タイマ・カウンタ・レジスタ_{mn} (TCR_{mn})

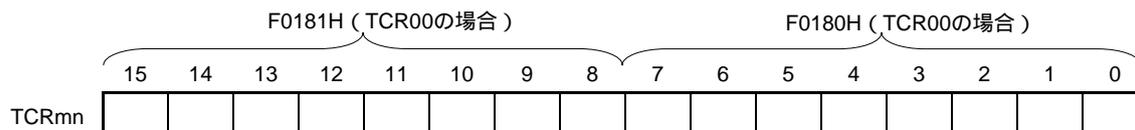
TCR_{mn}は、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、TMR_{mn}のMD_{mn3}-MD_{mn0}ビットで動作モードを選択することで切り替わります。

図6-3 タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) リセット時 : FFFFH R
F01C0H, F01C1H (TCR10) - F01C6H, F01C7H (TCR13)



TCR_{mn}をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAU0ENビット (TAU0の場合)、TAU1ENビット (TAU1の場合) をクリアしたとき

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時

注意 TCR_{mn}をリードしても、TDR_{mn}にはキャプチャしません。

備考 mn : ユニット番号 + チャンネル番号

mn = 00-07, 10-13

TCRmnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6-2 各動作モード時のTCRmnレジスタ読み出し値

動作モード	カウント方式	TCRmnレジスタの読み出し値 ^注			
		リセット後に 動作モード変更	カウント動作を 一時停止(TTmn = 1)後、動作モ ード変更	カウント動作を 一時停止(TTmn = 1)後、動作再 開	ワンカウント後 のスタート・ト リガ待ち状態時
インターバル・タイマ・ モード	ダウン・カウント	FFFFH	不定	停止値	-
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	-
イベント・カウンタ・モ ード	ダウン・カウント	FFFFH	不定	停止値	-
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウ ント・モード	アップ・カウント	0000H	不定	停止値	TDRmnレジ スタのキャプチャ 値+1

注 TEmn = 0でTSmn = 1にした時点の、TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考 mn : ユニット番号 + チャンネル番号

mn = 00-07, 10-13

(2) タイマ・データ・レジスタ_{mn} (TDR_{mn})

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、TMR_{mn}のMD_{mn3}-MD_{mn0}ビットで動作モードを選択することで切り替わります。

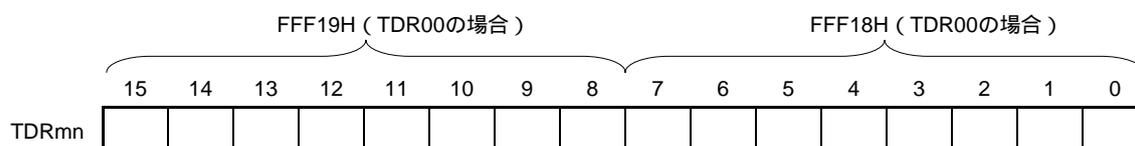
TDR_{mn}は任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図6-4 タイマ・データ・レジスタ_{mn} (TDR_{mn}) のフォーマット

アドレス：FFF18H, FFF19H (TDR00), FFF1AH, FFF1BH (TDR01), リセット時：0000H R/W
 FFF64H, FFF65H (TDR02) - FFF6EH, FFF6FH (TDR07)
 FFF70H, FFF71H (TDR10) - FFF76H, FFF77H (TDR13)

**(i) TDR_{mn}をコンペア・レジスタとして使用するとき**

TDR_{mn}に設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTT_{Mmn}) を発生します。TDR_{mn}は書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR_{mn}はキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) TDR_{pq}をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TCR_{pq}のカウント値をTDR_{pq}にキャプチャします。

キャプチャ・トリガとして、Tl_{pq}端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、TMR_{pq}で設定します。

備考 mn : ユニット番号 + チャンネル番号 , pq : ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13,

pq = 02, 04, 07 (タイマ入力端子を搭載しているチャンネル) ,

pq = 02, 05, 07 (タイマ出力端子を搭載しているチャンネル)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタm (TPSm)
- ・タイマ・モード・レジスタmn (TMRmn)
- ・タイマ・ステータス・レジスタpq (TSRpq)
- ・タイマ・チャンネル許可ステータス・レジスタm (TEm)
- ・タイマ・チャンネル開始レジスタm (TSm)
- ・タイマ・チャンネル停止レジスタm (TTm)
- ・タイマ入力選択レジスタ0, 1 (TIS0, TIS1)
- ・タイマ出力許可レジスタp (TOEp)
- ・タイマ出力レジスタp (TOp)
- ・タイマ出力レベル・レジスタp (TOLp)
- ・タイマ出力モード・レジスタp (TOMp)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・ポート・モード・レジスタ1, 3, 5 (PM1, PM3, PM5)
- ・ポート・レジスタ1, 3, 5 (P1, P3, P5)

備考 mn : ユニット番号 + チャンネル番号 , pq : ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13,

p = 0, pq = 02, 04, 07 (タイマ入力端子を搭載しているチャンネル),

p = 0, pq = 02, 05, 07 (タイマ出力端子を搭載しているチャンネル)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用するときは、必ずビット0 (TAU0EN) を1に設定してください。

タイマ・アレイ・ユニット1を使用するときは、必ずビット1 (TAU1EN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

図6-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PER0	RTGEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

TAUmEN	タイマ・アレイ・ユニットmの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットmで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットmはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットmで使用するSFRへのリード/ライト可

(2) タイマ・クロック選択レジスタm (TPSm)

TPSmは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。TPSmの7-4ビットでCKm1を、3-0ビットでCKm0を選択します。

タイマ動作中のTPSmの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットの書き換え：

CKSmn = 0に設定しているチャンネルがすべて動作停止状態 (TEmn = 0) の場合のみ可能

PRSm10-PRSm13ビットの書き換え：

CKSmn = 1に設定しているチャンネルがすべて動作停止状態 (TEmn = 0) の場合のみ可能

TPSmは16ビット・メモリ操作命令で設定します。

またTPSmの下位8ビットは、TPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TPSmは0000Hになります。

備考 mn : ユニット番号 + チャンネル番号

m = 0, 1, mn = 00-07, 10-13

図6-6 タイマ・クロック選択レジスタm (TPSm) のフォーマット

アドレス : F01B6H, F01B7H (TPS0) リセット時 : 0000H R/W

F01DEH, F01DFH (TPS1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック (CKmk) の選択 ^{注1, 2}				
				f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 00FFH, TT1 = 000FH) させてください。

2. SDIV=0, CCSmn=1かつTISmn=1の場合にかぎり、CPUクロックを切り替えても、TAUmの使用は継続可能です。ただし、CPUクロックの切り替え時に、次の制限事項があります。

・CPUクロック切り替え時に、次のようにソース・クロックずれが発生します。

メイン・システム・クロック サブシステム・クロック(CSS=0 1) : -1クロック

サブシステム・クロック メイン・システム・クロック(CSS=1 0) : +1クロック

注意 ビット15-8には、必ず0を設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. k = 0, 1

3. mn : ユニット番号 + チャンネル番号

m = 0, 1, mn = 00-07, 10-13

(3) タイマ・モード・レジスタ_{mn} (TMR_{mn})

TMR_{mn}は、タイマ・アレイ・ユニット_mのチャンネル_nの動作モード設定レジスタです。動作クロック (MCK) の選択, カウント・クロックの選択, マスタ/スレーブの選択, スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワンカウント, キャプチャ&ワンカウント) 設定を行います。

TMR_{mn}は、動作中 (TE_m = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS_{mn1}, CIS_{mn0}) は、一部の機能で動作中 (TE_m = 1のとき) の書き換えが可能です (詳細は6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作, 6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作を参照)。

TMR_{mn}は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図6-7 タイマ・モード・レジスタ_{mn} (TMR_{mn}) のフォーマット (1/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

F01C8H, F01C9H (TMR10) - F01CEH, F01CFH (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR _{mn}	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn	チャンネル _n の動作クロック (MCK) の選択
0	TPSmレジスタで設定した動作クロックCK _{m0}
1	TPSmレジスタで設定した動作クロックCK _{m1}

動作クロックMCKは、エッジ検出回路に使用されます。また、CCS_{mn}ビットの設定により、サンプリング・クロックおよびカウント・クロック (TCLK) を生成します。

CCS mn	チャンネル _n のカウント・クロック (TCLK) の選択
0	CKS _{mn} ビットで指定した動作クロックMCK
1	Tlpq端子からの入力信号, f _{SUB} /2, f _{SUB} /4, またはINTRTCIの有効エッジ (使用するタイマ入力はTIS _m レジスタで選択)

カウント・クロック (TCLK) は、タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。CCS_{mn}=1の場合、次の条件でご使用ください。

- CKS_{mn}で選択する動作クロックの周波数 TIS_{mn}で選択するクロックの周波数×2

注意 TMR02, TMR04, TMR07レジスタ : ビット14, 13, 5, 4には、必ず0を設定してください。

TMR00, TMR01, TMR03, TMR05, TMR06, TMR10-TMR13レジスタ : ビット14, 13, 11, 5-1には、必ず0を設定してください。

備考 mn : ユニット番号 + チャンネル番号, pq : ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13,

pq = 02, 04, 07 (タイマ入力端子を搭載しているチャンネル)

図6-7 タイマ・モード・レジスタmn (TMRmn) のフォーマット (2/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

F01C8H, F01C9H (TMR10) - F01CEH, F01CFH (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MAS TER mn	チャンネルnの単体動作機能，連動動作機能のスレーブ/連動動作機能のマスタの選択
0	単体動作機能，または連動動作機能でスレーブ・チャンネルとして動作
1	連動動作機能でマスタ・チャンネルとして動作
偶数チャンネルのみマスタ・チャンネル (MASTERmn = 1) に設定できます。 奇数チャンネルは必ずスレーブ・チャンネル (MASTERmn = 0) で使用してください。 また，単体動作機能として使用するチャンネルは，MASTERmn = 0 にします。	

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	Tlpq端子入力信号，f _{SUB} /2，f _{SUB} /4，またはINTRTCIの有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	Tlpq端子入力信号，f _{SUB} /2，f _{SUB} /4，またはINTRTC1の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

CIS mn1	CIS mn0	Tlpq端子入力信号，f _{SUB} /2，f _{SUB} /4，またはINTRTCIの有効エッジ選択 (使用するタイマ入力はTISmレジスタで選択)
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がりエッジ，キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ，キャプチャ・トリガ : 立ち下がりエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0ビット = 10Bに設定してください。		

注意 TMR02, TMR04, TMR07レジスタ : ビット14, 13, 5, 4には，必ず0を設定してください。

TMR00, TMR01, TMR03, TMR05, TMR06, TMR10-TMR13レジスタ : ビット14, 13, 11, 5-1には，必ず0を設定してください。

備考 mn : ユニット番号 + チャンネル番号，pq : ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13,

pq = 02, 04, 07 (タイマ入力端子を搭載しているチャンネル)

図6-7 タイマ・モード・レジスタmn (TMRmn) のフォーマット (3/4)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

F01C8H, F01C9H (TMR10) - F01CEH, F01CFH (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKS mn	0	0	CCS mn	MAST ERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	MD mn0	チャンネルnの動作モードの設定	TCRのカウント動作	単体動作
0	0	0	1/0	インターバル・タイマ・モード	ダウン・カウント	可
0	1	0	1/0	キャプチャ・モード	アップ・カウント	可
0	1	1	0	イベント・カウンタ・モード	ダウン・カウント	可
1	0	0	1/0	ワンカウント・モード	ダウン・カウント	不可
1	1	0	0	キャプチャ&ワンカウント・モード	アップ・カウント	可
上記以外				設定禁止		

MDmn0ビットの動作は、各動作モードによって変わります(次表を参照)。

- 注意1.** TMR02, TMR04, TMR07レジスタ: ビット14, 13, 5, 4には、必ず0を設定してください。
TMR00, TMR01, TMR03, TMR05, TMR06, TMR10-TMR13レジスタ: ビット14, 13, 11, 5-1
には、必ず0を設定してください。
- 2.** タイマ・アレイ・ユニット0のチャンネル0, 1, 3, 6とタイマ・アレイ・ユニット1のチャンネル
0-3は、インターバル・モードのみ設定可能です。

備考 mn : ユニット番号 + チャンネル番号
mn = 00-07, 10-13

図6-7 タイマ・モード・レジスタmn (TMRmn) のフォーマット (4/4)

動作モード (MDmn3-MDmn1で設定(前表参照))	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウント開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウント動作中のスタート・トリガを有効とする ^注 。 その際に割り込みも発生する。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

注 動作中にスタート・トリガ (TSmn = 1) が掛かると、カウンタをクリアし、割り込みを発生して再カウント・スタートします。

備考 mn : ユニット番号 + チャネル番号
mn = 00-07, 10-13,

(4) タイマ・ステータス・レジスタ_{pq} (TSR_{pq})

TSR_{pq}は、チャンネルqのカウンタのオーバーフロー状況を表示するレジスタです。

TSR_{pq}は、キャプチャ・モード (MD_{pq3}-MD_{pq1} = 010B) とキャプチャ&ワンカウント・モード (MD_{pq3}-MD_{pq1} = 110B) のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFP_{pq}ビットの動作とセット/クリア条件は表6-3を参照してください。

TSR_{pq}は、16ビット・メモリ操作命令で読み出します。

またTSR_{pq}の下位8ビットは、TSR_{pqL}で8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSR_{pq}は0000Hになります。

図6-8 タイマ・ステータス・レジスタ_{pq} (TSR_{pq}) のフォーマット

アドレス：F01A4H, F01A5H (TSR02), F01A8H, F01A9H (TSR04) リセット時：0000H R

F01AEH, F01AFH (TSR07)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR _{pq}	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVFP _{pq}

OVFP _{pq}	チャンネルqのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVFP _{pq} = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVFP _{pq} = 0) されます。	

備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

pq = 02, 04, 07

表6-3 各動作モードにおけるOVFP_{pq}ビットの動作とセット/クリア条件

タイマの動作モード	OVFP _{pq}	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード	クリア	(使用不可, セット/クリアされない)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFP_{pq}ビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

(5) タイマ・チャンネル許可ステータス・レジスタ_m (TE_m)

TE_mは、各チャンネルのタイマ動作許可/停止状態を表示するレジスタです。

タイマ・チャンネル開始レジスタ_m (TSM_m) の各ビットが1にセットされると、その対応ビットが1にセットされます。タイマ・チャンネル停止レジスタ_m (TTM_m) の各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE_mは、16ビット・メモリ操作命令で読み出します。

またTE_mの下位8ビットは、TE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TE_mは0000Hになります。

図6-9 タイマ・チャンネル許可ステータス・レジスタ_m (TE_m) のフォーマット

アドレス：F01B0H, F01B1H リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	0	0	0	0	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

アドレス：F01D8H, F01D9H リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE1	0	0	0	0	0	0	0	0	0	0	0	0	TE13	TE12	TE11	TE10

TE mn	チャンネル _n の動作許可/停止状態の表示															
0	動作停止状態															
1	動作許可状態															

備考 mn：ユニット番号+チャンネル番号

m = 0, 1, mn = 00-07, 10-13

(6) タイマ・チャンネル開始レジスタ_m (T_{Sm})

T_{Sm}は、タイマ・カウンタ (TCR_{mn}) をクリアし、カウント動作の開始を各チャンネルごとに設定するトリガ・レジスタです。

各ビット (T_{Smn}) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ_m (TE_m) の対応ビット (TE_{mn}) が1にセットされます。T_{Smn}はトリガ・ビットなので、TE_{mn} = 1になるとすぐT_{Smn}はクリアされます。

T_{Sm}は、16ビット・メモリ操作命令で設定します。

またT_{Sm}の下位8ビットは、T_{SmL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、T_{Sm}は0000Hになります。

図6-10 タイマ・チャンネル開始レジスタ_m (T_{Sm}) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	0	0	0	0	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

アドレス : F01DAH, F01DBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS1	0	0	0	0	0	0	0	0	0	0	0	0	TS13	TS12	TS11	TS10

T _{Smn}	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TE _{mn} を1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR _{mn} のカウント動作開始は、各動作モードにより異なります (表6-4参照)。

注意 TS0のビット15-8とTS1のビット15-4には必ず0を設定してください。

備考1. T_{Sm}レジスタの読み出し値は常に0となります。

2. mn : ユニット番号 + チャンネル番号

m = 0, 1, mn = 00-07, 10-13

表6-4 カウント動作許可状態からTCRmnのカウント・スタートまでの動作

タイマの動作モード	TSmn = 1セット時の動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TSmn = 1) 後, カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnの値をTCRmnにロードし, 以降のカウント・クロックでダウン・カウント動作を行います(6.3(6)(a)インターバル・タイマ・モード時のスタート・タイミング参照)。
・イベント・カウンタ・モード	TSmnビットに1を書き込みにより, TDRmnの値をTCRmnにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMRmnレジスタのSTSmn2-STSmn0ビットで選択した外部トリガ検出では, カウント動作を開始しません(6.3(6)(b)イベント・カウンタ・モード時のスタート・タイミング参照)。
・キャプチャ・モード	スタート・トリガ検出後, カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnにロードし, 以降のカウント・クロックでアップ・カウント動作を行います(6.3(6)(c)キャプチャ・モード時のスタート・タイミング参照)。
・ワンカウント・モード	TEmn = 0の状態, TSmnビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後, カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnの値をTCRmnにロードし, 以降のカウント・クロックでダウン・カウント動作を行います(6.3(6)(d)ワンカウント・モード時のスタート・タイミング参照)。
・キャプチャ&ワンカウント・モード	TEmn = 0の状態, TSmnビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後, カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnにロードし, 以降のカウント・クロックでアップ・カウント動作を行います(6.3(6)(e)キャプチャ&ワンカウント・モード時のスタート・タイミング参照)。

注意 タイマ・アレイ・ユニット0のチャンネル0, 1, 3, 6とタイマ・アレイ・ユニット1のチャンネル0-3は, インターバル・モードのみ設定可能です。

(a) インターバル・タイマ・モード時のスタート・タイミング

TSmnへ1を書き込むことにより, TE_{mn} = 1となります。

TSmnへの書き込み情報はカウント・クロック発生まで保持されます。

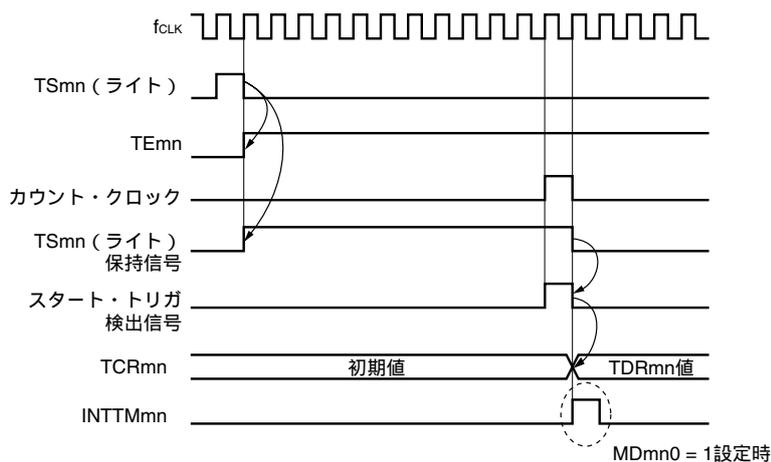
TCRmnは, カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により, 「TDRmn値」をTCRmnにロードし, カウントを開始します。

備考 mn : ユニット番号 + チャンネル番号

mn = 00-07, 10-13

図6 - 11 スタート・タイミング (インターバル・モード時)



注意 カウント・クロックの1周期目の動作はTSmn書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 mn : ユニット番号 + チャンネル番号
mn = 00-07, 10-13

(b) イベント・カウンタ・モード時のスタート・タイミング

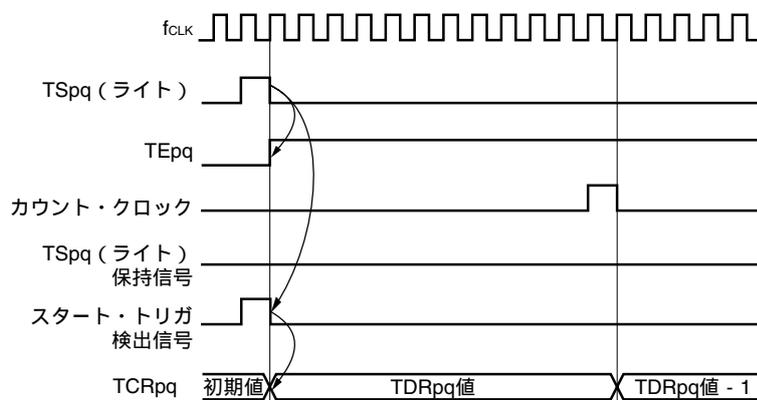
TEpq = 0期間TCRpqは、初期値を保持します。

TSpqへ1を書き込むことにより、TEpq = 1となります。

TSpq = 1 TEpq = 1と同時に、TCRpqに「TDRpq値」をロードし、カウントを開始します。

以降はカウント・クロックに従い、TCRpqの値をダウン・カウントします。

図6 - 12 スタート・タイミング (イベント・カウンタ・モード時)



備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)
pq = 02, 04, 07

(c) キャプチャ・モード時のスタート・タイミング

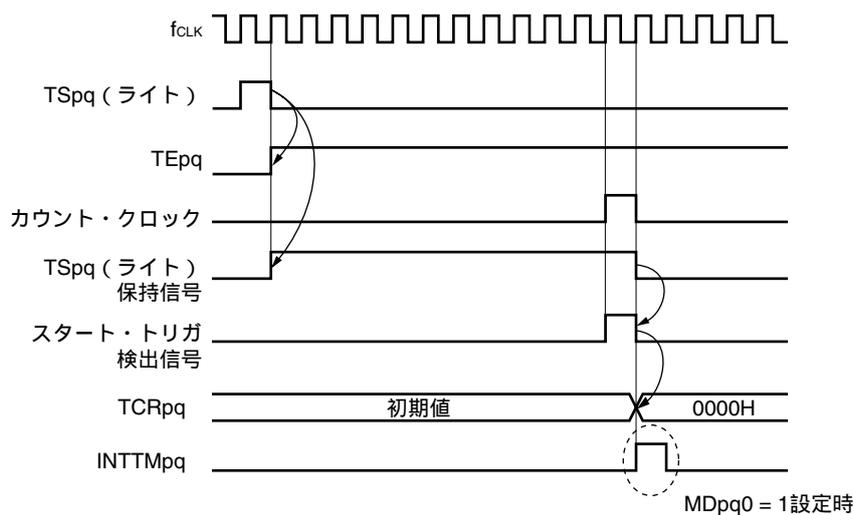
TSpqへ1を書き込むことにより, TEpq = 1となります。

TSpqへの書き込み情報はカウント・クロック発生まで保持されます。

TCRpqは, カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により, 0000HをTCRpqにロードし, カウントを開始します。

図6-13 スタート・タイミング (キャプチャ・モード時)



注意 カウント・クロックの1周期目の動作はTSpq書き込み後, カウント・クロックが発生するまでカウント開始が遅れるため, 1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また, カウント開始タイミングの情報が必要な場合は, MDpq0 = 1に設定することで, カウント開始時に割り込みを発生させることができます。

備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

pq = 02, 04, 07

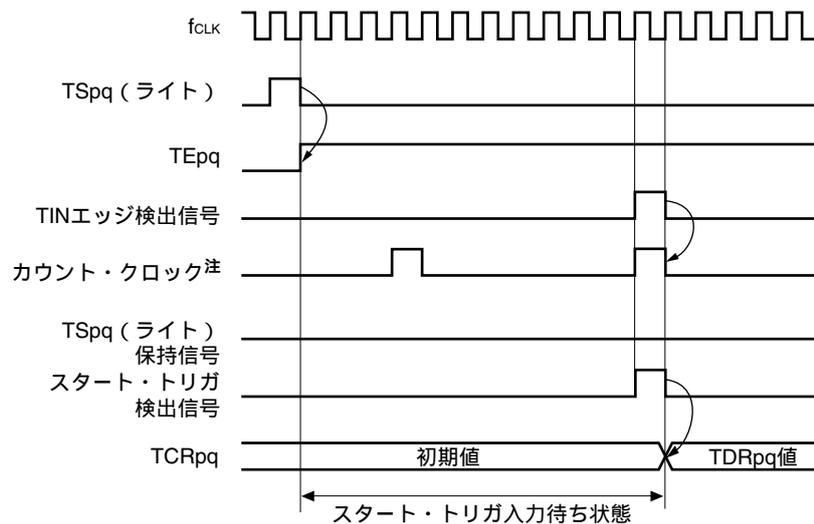
(d) ワンカウント・モード時のスタート・タイミング

TSpqへ1を書き込むことにより、TEpq = 1となります。

スタート・トリガ入力待ち状態となり、TCRpqは初期値を保持します。

スタート・トリガ検出により、「TDRpq値」をTCRpqにロードし、カウントを開始します。

図6 - 14 スタート・タイミング (ワンカウント・モード時)



注 ワンカウント・モード設定時は、カウント・クロックとして動作クロック (MCK) が選択されま
ず (CCSpq = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します
(Tlpq入力を使用する場合、カウント・クロック1クロック分の誤差となります)。

備考 pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)
pq = 02, 05, 07

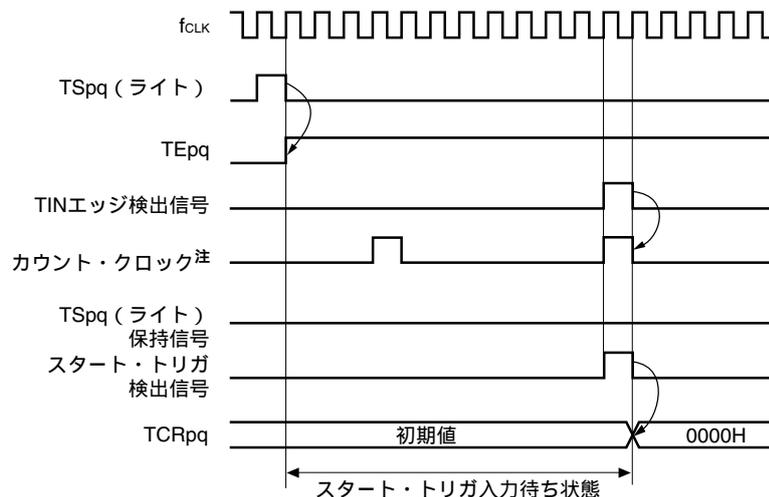
(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

TSpqへ1を書き込むことにより、TEpq = 1となります。

スタート・トリガ入力待ち状態となり、TCRpqは初期値を保持します。

スタート・トリガ検出により、0000HをTCRpqにロードしカウントを開始します。

図6-15 スタート・タイミング (キャプチャ&ワンカウント・モード時)



注 キャプチャ&ワンカウント・モード設定時は、カウント・クロックとして動作クロック (MCK) が選択されます (CCSpq = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (Tlpq入力を使用する場合、カウント・クロック1クロック分の誤差となります)。

(7) タイマ・チャンネル停止レジスタm (TTm)

TTmは、タイマ・カウンタ (TCRmn) をクリアし、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TTmn) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタm (TEm) の対応ビット (TEmn) が0にクリアされます。TTmnはトリガ・ビットなので、TEmn = 0になるとすぐTTmnはクリアされます。

TTmは、16ビット・メモリ操作命令で設定します。

またTTmの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmは0000Hになります。

備考 mn : ユニット番号 + チャンネル番号, pq : ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13,

pq = 02, 04, 07 (タイマ入力端子を搭載しているチャンネル),

pq = 02, 05, 07 (タイマ出力端子を搭載しているチャンネル)

図6 - 16 タイマ・チャンネル停止レジスタ_m (TT_m) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	0	0	0	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

アドレス : F01DCH, F01DDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT1	0	0	0	0	0	0	0	0	0	0	0	0	TT13	TT12	TT11	TT10

TT _{mn}	チャンネル _n の動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生)

注意 TT0のビット15-8とTT1のビット15-4には必ず0を設定してください。

備考1. TT_mレジスタの読み出し値は常に0となります。

2. mn : ユニット番号 + チャンネル番号 ,
m = 0, 1, mn = 00-07, 10-13

(8) タイマ入力選択レジスタ0, 1 (TIS0, TIS1)

TIS0, TIS1は、タイマ入力端子 (TIpq) の入力信号、サブシステム・クロックの2分周 ($f_{SUB}/2$)、サブシステム・クロックの4分周 ($f_{SUB}/4$)、RTCインターバル割り込み (INTRTCI) のいずれかをタイマ入力として使用するか、各チャンネルごとに選択するレジスタです。

TIS0, TIS1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13,

pq = 02, 04, 07 (タイマ入力端子を搭載しているチャンネル)

図6 - 17 タイマ入力選択レジスタ0, 1 (TIS0, TIS1) のフォーマット (1/2)

アドレス : FFF3EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

アドレス : FFF3FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS1	0	0	RTCIS04	RTCIS00	TIS13	TIS12	TIS11	TIS10

図6-17 タイマ入力選択レジスタ0, 1 (TIS0, TIS1) のフォーマット (2/2)

・タイマ・アレイ・ユニット0のチャンネル1-3, 5-7, タイマ・アレイ・ユニット1のチャンネル0-3

TISmn	SDIV	チャンネルで使用するタイマ入力の選択 (mn = 01-03, 05-07) ^{注1}
0	x	TIS02, TIS07のみ有効設定 タイマ入力端子 (TI02, TI07) の入力信号
1	0	f _{SUB} /2
	1	f _{SUB} /4

・タイマ・アレイ・ユニット0のチャンネル0, 4

TISmn	RTCISmn	SDIV	チャンネルで使用するタイマ入力の選択 (mn = 00, 04) ^{注2}
0	x	x	TIS04のみ有効設定 タイマ入力端子 (TI04) の入力信号
1	0	0	f _{SUB} /2
		1	f _{SUB} /4
	1	0	RTCインターバル割り込み (INTRTCI)
		1	設定禁止

注1. TIS01, TIS03, TIS05, TIS06, TIS10-TIS13はタイマ入力端子がないため, f_{SUB}/2, f_{SUB}/4 (TISmn = 1 (mn = 01, 03, 05, 06, 10-13)) のみ選択できます。

2. TIS00はタイマ入力端子がないため, f_{SUB}/2, f_{SUB}/4, RTCインターバル割り込み (INTRTCI) (TIS00 = 1) のみ選択できます。

注意 LIN-bus通信を使用する場合は, ISC1 (入力切り替え制御レジスタ (ISC) のビット1) = 1, TIS07 = 0に設定して, RxD3端子の入力信号を選択しておいてください。

備考1. pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

pq = 02, 04, 07

2. x : don't care

3. f_{SUB} : サブシステム・クロック

4. SDIV : システム・クロック制御レジスタ (CKC) のビット3

(9) タイマ出力許可レジスタp (TOEp)

TOEpは、各チャンネルのタイマ出力許可/禁止を設定するレジスタです。

タイマ出力を許可したチャンネルqは、後述のタイマ出力レジスタ (TOp) のTOpqの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOpq) から出力されます。

TOEpは、16ビット・メモリ操作命令で設定します。

またTOEpの下位8ビットは、TOEpLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEpは0000Hになります。

図6 - 18 タイマ出力許可レジスタp (TOEp) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	TOE 07	0	TOE 05	0	0	TOE 02	0	0

TOE pq	チャンネルqのタイマ出力許可/禁止
0	カウント動作によるTOpq (タイマ・チャンネル出力ビット) の動作停止。 TOpqビットへの書き込みが可能。 TOpq端子がデータ出力機能となり、TOpqビットに設定したレベルがTOpq端子から出力される。 TOpq端子の出力レベルをソフトウェアで操作することができる。
1	カウント動作によるTOpq (タイマ・チャンネル出力ビット) の動作許可。 TOpqへの書き込み不可 (書き込みが無視される)。 TOpq端子がタイマ出力機能となり、タイマの動作によりセット/リセットされる。 TOpq端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注意 ビット15-8, 6, 4, 3, 1, 0には必ず0を設定してください。

備考 pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 05, 07

(10) タイマ出力レジスタp (TOp)

TOpは、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOpq) から出力されます。

このレジスタのTOpのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEpq = 0) のみ可能です。タイマ出力許可時 (TOEpq = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P12/TO02/SO20/TxD2, P16/TO05, P33/TO07/TI07/INTP3端子をポート機能として使用する場合は、該当するTOpqビットに“0”を設定してください。

TOpは、16ビット・メモリ操作命令で設定します。

またTOpの下位8ビットは、TOpLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOpは0000Hになります。

図6 - 19 タイマ出力レジスタp (TOp) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO0 7	0	TO0 5	0	0	TO0 2	0	0
TO pq	チャンネルqのタイマ出力															
0	タイマ出力値が“0”															
1	タイマ出力値が“1”															

注意 ビット15-8, 6, 4, 3, 1, 0には必ず0を設定してください。

備考 pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 05, 07

(11) タイマ出力レベル・レジスタp (TOLp)

TOLpは、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルqの反転設定は、タイマ出力許可 (TOEpq = 1)、連動動作モード (TOMpq = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。トグル・モード (TOMpq = 0) 時には、このレジスタの設定は無効となります。

TOLpは、16ビット・メモリ操作命令で設定します。

またTOLpの下位8ビットは、TOLpLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLpは0000Hになります。

図6 - 20 タイマ出力レベル・レジスタp (TOLp) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL 07	0	TOL 05	0	0	TOL 02	0	0

TOL pq	チャンネルqのタイマ出力レベルの制御														
0	正論理出力 (アクティブ・ハイ)														
1	反転出力 (アクティブ・ロウ)														

注意 ビット15-8, 6, 4, 3, 1, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力が反転出力になります。

2. pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)
p = 0, pq = 02, 05, 07

(12) タイマ出力モード・レジスタp (TOMp)

TOMpは、各チャンネルのタイマ出力モードを制御するレジスタです。

単体動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

連動動作機能 (PWM出力、ワンショット・パルス出力) として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルqの設定は、タイマ出力許可 (TOEpq = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMpは、16ビット・メモリ操作命令で設定します。

またTOMpの下位8ビットは、TOMpLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMpは0000Hになります。

図6 - 21 タイマ出力モード・レジスタp (TOMp) のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM 07	0	TOM 05	0	0	TOM 02	0	0

TOM pq	チャンネルqのタイマ出力モードの制御														
0	トグル・モード (タイマ割り込み要求信号 (INTTMmn) によりトグル出力を行う)														
1	連動動作モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTMmn) でセット, スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMpq) でリセット)														

注意 ビット15-8, 6, 4, 3, 1, 0には必ず0を設定してください。

備考 mn : ユニット番号 + チャンネル番号, pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13 (マスタ・チャンネルの場合 : mn = 04, 06),

p = 0, pq = 02, 05, 07,

(13) 入力切り替え制御レジスタ (ISC)

ISCは、タイマ・アレイ・ユニット0のチャンネル7をシリアル・アレイ・ユニット1と提携してLIN-bus通信動作を実現するときに使用します。

ビット1に1を設定すると、シリアル・データ入力端子 (RxD3) の入力信号がタイマ入力として選択されます。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6 - 22 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD3端子の入力信号をタイマ入力とする (ウエイクアップ信号検出)

注意 ビット5-7には、必ず0を設定してください。

備考1. LIN-bus通信を使用する場合は、ISC1 = 1かつTIS07 = 0に設定し、RxD3端子の入力信号を選択しておいてください。

2. ISCのビット0, 2-4は、タイマ・アレイ・ユニットでは使用しません。

(14) ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1は、タイマ・アレイ・ユニット0のタイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否を各チャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU/周辺動作クロック (f_{CLK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU/周辺動作クロック (f_{CLK}) で同期化だけ行います。

NFEN1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-23 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス：F0061H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	0	0	TNFEN04	0	TNFEN02	0	0
TNFEN07	TI07/P33/TO07/INTP3端子またはRxD0/P81/INTP9端子入力信号のノイズ・フィルタ使用可否 ^注							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN04	TI04/P53/SEG36端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							
TNFEN02	TI02/P52/SEG37端子入力信号のノイズ・フィルタ使用可否							
0	ノイズ・フィルタOFF							
1	ノイズ・フィルタON							

注 ISCレジスタのISC1を設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定：TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定：RxD3端子のノイズ・フィルタ使用可否選択が可能

(15) ポート・モード・レジスタ1, 3, 5 (PM1, PM3, PM5)

ポート1, 3, 5の入力/出力を1ビット単位で設定するレジスタです。

P12/TO02/SO20/TxD2, P16/TO05, P33/TO07/TI07/INTP3端子をタイマ出力として使用するとき, PM12, PM16, PM33およびP12, P16, P33の出力ラッチに0を設定してください。

P52/TI02/SEG37, P53/TI04/SEG36, P33/TO07/TI07/INTP3端子をタイマ入力として使用するとき, PM52, PM53, PM33に1を設定してください。このときP52, P53, P33の出力ラッチは, 0または1のどちらでもかまいません。

PM1, PM3, PM5は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図6 - 24 ポート・モード・レジスタ1, 3, 5 (PM1, PM3, PM5) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

アドレス : FFF25H リセット時 : FFH R/W

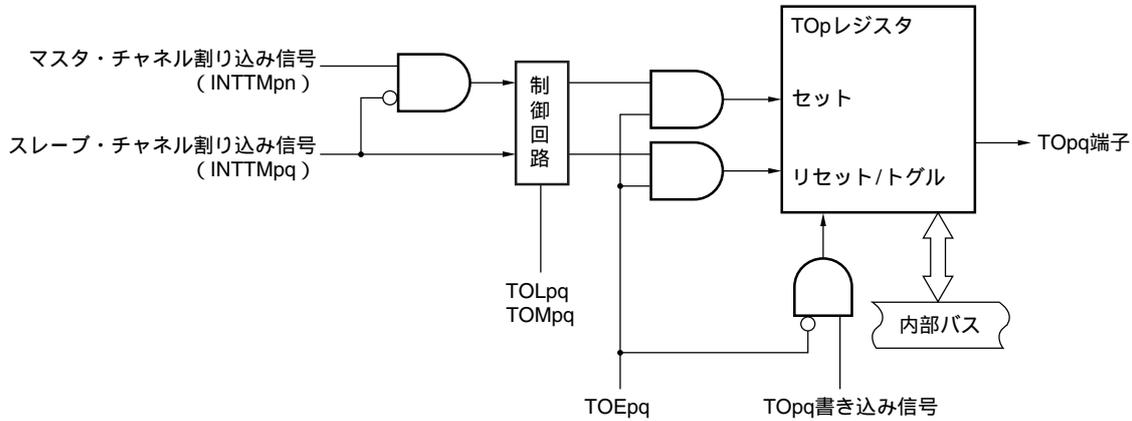
略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PMmn	Pmn端子の入出力モードの選択 (m = 1, 3, 5 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 チャンネル出力 (TOpq端子) の制御

6.4.1 TOpq端子の出力回路の構成

図6-25 出力回路構成図



TOpq端子の出力回路の説明を次に示します。

TOMpq = 0 (トグル・モード) のときは、TOLpqレジスタの設定値は無視され、INTTMpq (スレーブ・チャンネル・タイマ割り込み) のみがTOpqレジスタに伝えられます。

TOMpn, TOMpq = 1 (連動動作モード) のときは、INTTMpn (マスタ・チャンネル・タイマ割り込み) とINTTMpq (スレーブ・チャンネル・タイマ割り込み) がTOpqレジスタに伝えられます。

このとき、TOLpqレジスタが有効となり、次のように信号を制御します。

TOLpq = 0の場合 : 正転動作 (INTTMpn セット, INTTMpq リセット)

TOLpq = 1の場合 : 反転動作 (INTTMpn リセット, INTTMpq セット)

また、INTTMpnとINTTMpqが同時に発生した場合 (PWM出力の0%出力時) は、INTTMpq (リセット信号) が優先され、INTTMpn (セット信号) はマスクされます。

TOEpp = 1で、INTTMpn (マスタ・チャンネル・タイマ割り込み) とINTTMpq (スレーブ・チャンネル・タイマ割り込み) がTOpqに伝えられます。TOpqレジスタへの書き込み (TOpqライト信号) は無効となります。

また、TOEpp = 1のとき、割り込み信号以外でTOpq端子の出力が変化することはありません。

TOpq端子の出力レベルを初期化する場合は、TOEpp = 0に設定しTOpqに値を書き込む必要があります。

TOEpp = 0で、対象チャンネルのTOpqビットへの書き込み (TOpqライト信号) が有効となります。

TOEpp = 0のとき、INTTMpn (マスタ・チャンネル・タイマ割り込み) とINTTMpq (スレーブ・チャンネル・タイマ割り込み) はTOpqに伝えられません。

TOpqレジスタは常に読み出し可能であり、TOpq端子の出力レベルを確認することができます。

備考 pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

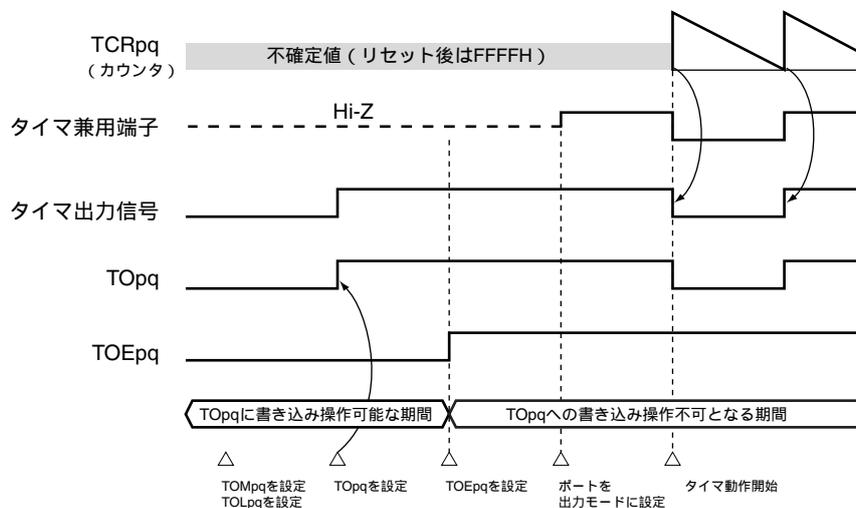
p = 0, pq = 02, 05, 07,

n : マスタ・チャンネル番号 (n = 4, 6)

6.4.2 TOpq端子の出力設定

TOpq出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6 - 26 タイマ出力設定から動作開始までの状態変化



タイマ出力の動作モードを設定します。

- ・ TOMpqビット (0: トグル・モード, 1: 連動動作モード)
- ・ TOLpqビット (0: 正転出力, 1: 反転出力)

TOpqを設定することにより、タイマ出力信号が初期状態に設定されます。

TOE pqに1を書き込み、タイマ出力動作を許可します (TOpqへの書き込みは不可となります)。

ポートの入出力設定を出力に設定します (6.3(15)ポート・モード・レジスタ1, 3, 5 (PM1, PM3, PM5) 参照)。

タイマを動作許可にします (TSpq = 1)。

備考 pq: ユニット番号 + チャネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

pq = 02, 05, 07

6.4.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTOP, TOEp, TOLp, TOMpレジスタの設定値変更について

タイマ動作 (TCRpq, TDRpqの動作) は, TOPq出力回路とは独立しています。よって, TOp, TOEp, TOLp, TOMpの設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOPq端子から出力するためには, 各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTmq) 近辺で, TOPを除くTOEp, TOLp, TOMpの設定値変更を行うと, タイマ割り込み (INTTmq) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTmq) 信号発生タイミング直後に設定値変更が実施された場合とでは, TOPq端子に異なる波形が出力される場合があります。

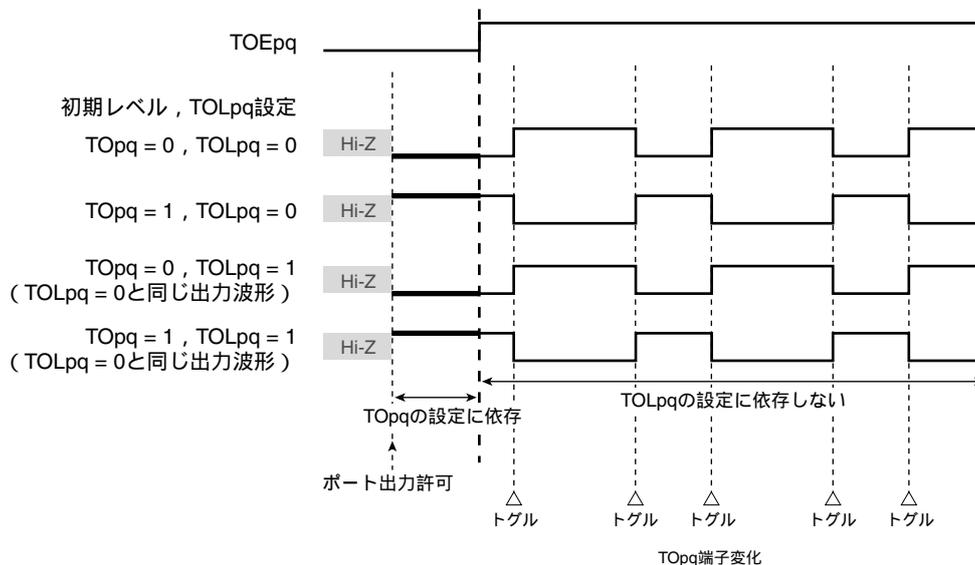
(2) TOPq端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に, TOEpq = 0の状態ではTOPqに書き込みを行い, 初期レベル変更後TOEpq = 1に設定した場合のTOPq端子出力レベルの変化を次に示します。

(a) TOMpq = 0設定で動作を開始した場合 (トグル出力)

TOMpq = 0の時, TOLpqの設定は無効となります。初期レベル設定後, タイマ動作を開始するとトグル信号発生によりTOPq端子の出力レベルを反転します。

図6 - 27 トグル出力時 (TOMpq = 0) のTOPq端子出力状態



備考1. トグル: TOPq端子の出力状態を反転

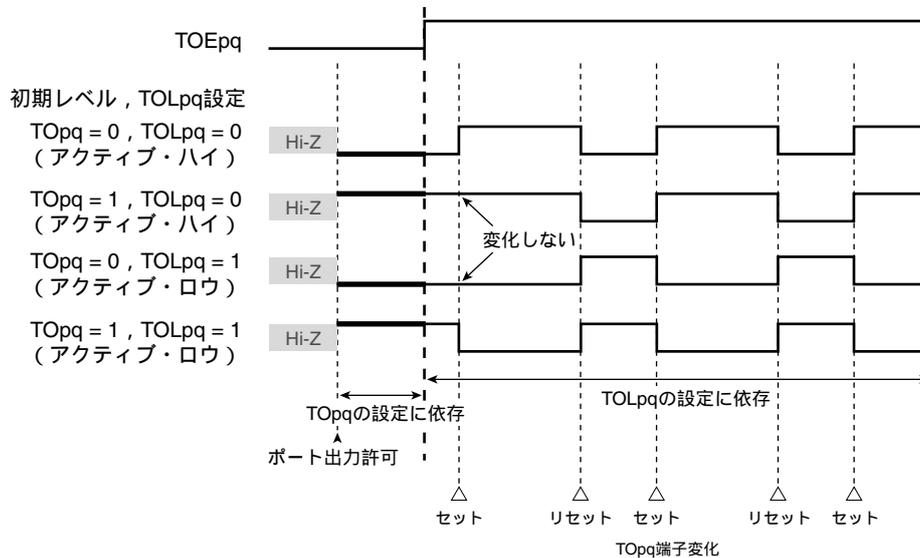
2. pq: ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 05, 07

(b) TOMpq = 1設定で動作を開始した場合 (連動動作モード (PWM出力))

TOMpq = 1の時, TOLpqの設定によりアクティブ・レベルを決定します。

図6 - 28 PWM出力時 (TOMpq = 1) のTOpq端子出力状態



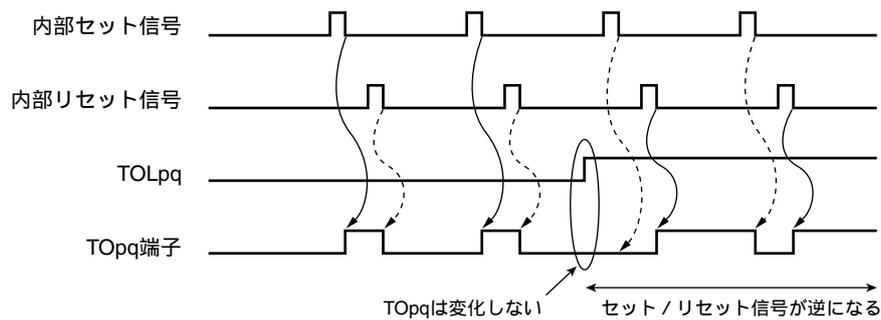
(3) TOPq端子の連動動作モード (TOMpq = 1) での動作について

(a) タイマ動作中にTOLpqの設定を変更した場合

タイマ動作中にTOLpqの設定を変更した場合, 設定が有効となるのはTOPq変化条件の発生タイミングです。TOLpqの書き換えでは, TOPqの出力レベルは変化しません。

タイマ動作中 (TOMpq = 1) にTOLpqの値を変更した場合の動作を次に示します。

図6 - 29 タイマ動作中にTOLpqを変更した場合の動作



- 備考1. セット : TOPq端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化
リセット : TOPq端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化
2. pq : ユニット番号 + チャネル番号 (タイマ出力端子を搭載しているチャネルのみ)
pq = 02, 05, 07

(b) セット/リセット・タイミング

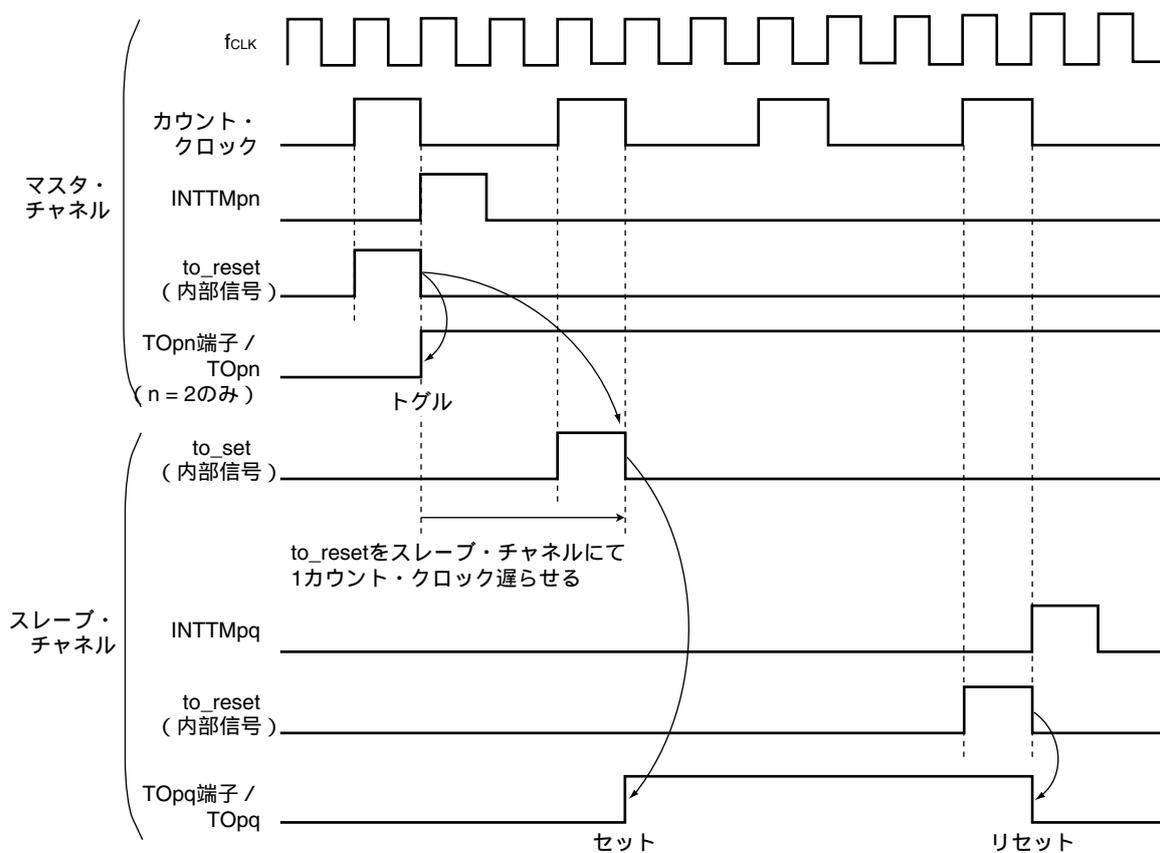
PWM出力時に、0% / 100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMpn) 発生時のTOpn端子/TOpn ($n = 2$ のみ) セット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図6 - 30に示します。

- ・マスタ・チャンネル : TOEpn = 1, TOMpn = 0, TOLpn = 0
- ・スレーブ・チャンネル : TOEpn = 1, TOMpn = 1, TOLpn = 0

図6 - 30 セット/リセット・タイミング動作状態



備考1. to_reset : TOpn端子のリセット/トグル信号

to_set : TOpn端子のセット信号

2. pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 05, 07,

n : マスタ・チャンネル番号 ($n = 4, 6$)

6.4.4 TOpqビットの一括操作

TOpレジスタには、TSpレジスタ（チャンネル・スタート・トリガ）と同様に、1レジスタに全チャンネル分の設定ビット（TOpq）が配置されています。よって、全チャンネルのTOpqを一括で操作することが可能です。また、操作対象としたいTOpq（チャンネル出力）に該当するTOEpq = 0とすることによって任意のビットのみ操作することが可能です。

図6-31 TO0qビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	TO07	0	TO05	0	0	TO02	0	0
								0		1			0		
TOE0	0	0	0	0	0	0	0	TOE07	0	TOE05	0	0	TOE02	0	0
								0		1			1		

書き込みデータ

0	0	0	0	0	0	0	0	1	1	0	0	0	1	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

書き込み後

TO0	0	0	0	0	0	0	0	TO07	0	TO05	0	0	TO02	0	0
								1		1			0		

TOEpq = 0のTOpqビットのみ書き込みが行われます。TOEpq = 1のTOpqビットへの書き込みは無視されます。TOEpq = 1に設定されているTOpq（チャンネル出力）は、書き込み操作による影響は受けません。TOpqに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

注意 TOEpq = 1の場合に、各チャンネルのタイマ割り込み（INTTMpq）による出力とTOpqへの書き込みが競合しても、TOpq端子は正常に出力動作が行われます。

備考 pq : ユニット番号 + チャンネル番号（タイマ出力端子を搭載しているチャンネルのみ）

p = 0, pq = 02, 05, 07

6.4.5 カウント動作開始時のタイマ割り込みとTOPq端子出力について

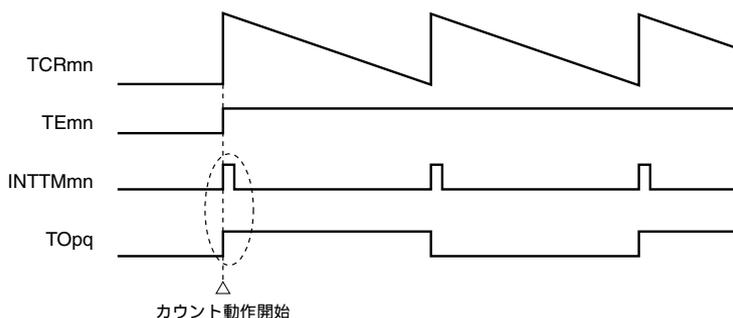
インターバル・タイマ・モード/キャプチャ・モードの場合、TMRmnレジスタのMDmn0ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDmn0 = 1に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOPq出力は制御しません。

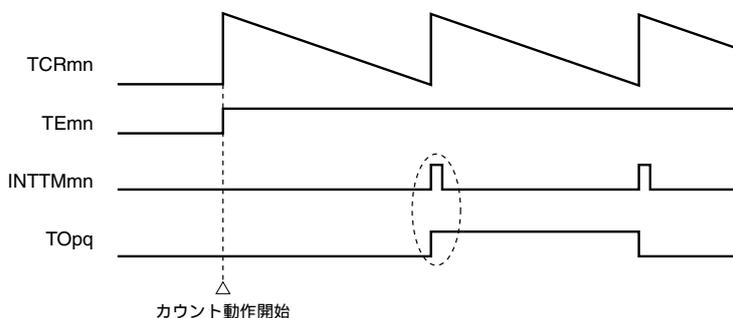
インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6 - 32 MDmn0 = 1に設定した場合



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOPqがトグル動作します。

図6 - 33 MDmn0 = 0に設定した場合



MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOPqも変化しません。1周期をカウント後、INTTMmnを出力し、TOPqがトグル動作します。

備考 mn : ユニット番号 + チャンネル番号, pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13, pq = 02, 05, 07

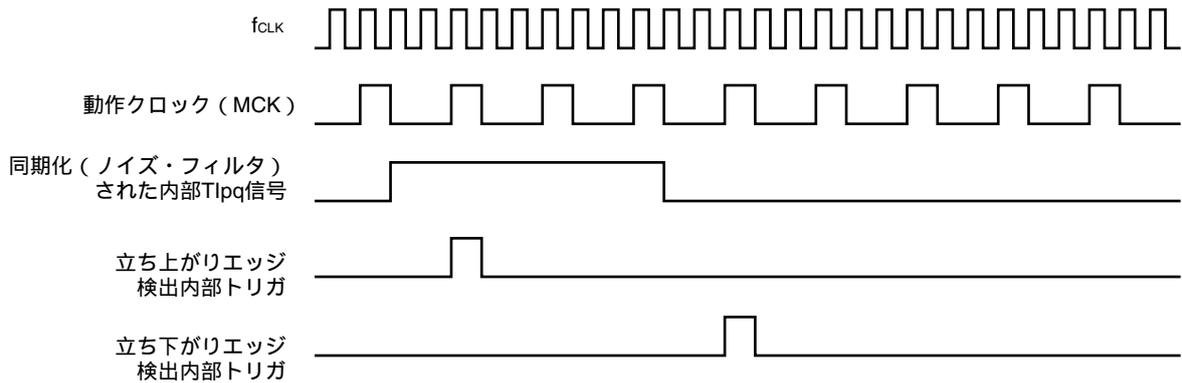
6.5 チャンネル入力の制御

6.5.1 エッジ検出回路

(1) エッジ検出基本動作タイミング

エッジ検出回路のサンプリングは動作クロック（MCK）に合わせて行われます。

図6-34 エッジ検出基本動作タイミング



備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

pq = 02, 04, 07

6.6 タイマ・アレイ・ユニットの基本機能説明

6.6.1 単体動作機能と連動動作機能の概要

タイマ・アレイ・ユニット（以下、TAUと略します）は複数のチャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、いくつかのチャンネルを組み合わせる使用される連動動作機能があります。

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です。

連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせる使用される機能で、使用にあたってはいくつかのルールがあります。

注意 タイマ・アレイ・ユニット1は、連動動作機能を使用することはできません。

6.6.2 連動動作機能の基本ルール

次に連動動作機能の基本的なルールを示します。

- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル4、チャンネル6）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル5、チャンネル7を設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。

例 TAU0のチャンネル4をマスタ・チャンネルにした場合
チャンネル5がスレーブ・チャンネルに設定できます。
TAU0のチャンネル6をマスタ・チャンネルにした場合
チャンネル7がスレーブ・チャンネルに設定できます。

- (4) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。

例 TAU0のチャンネル4、チャンネル6をマスタ・チャンネルにした場合
マスタ・チャンネル4は、チャンネル5をスレーブ・チャンネルとして設定できます。 マスタ・チャンネル4は、チャンネル7をスレーブ・チャンネルとして設定できません。

- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。 マスタ・チャンネルと連動するスレーブ・チャンネルのCKSビット（TMRpqレジスタのビット15）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTMpn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTMpn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できますが、下位チャンネルに自身のINTTMpq（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、自身より上位のマスタ・チャンネルからのINTTMpn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのTSpn、TSpqビットを同時に設定する必要があります。

(11) カウント動作中のTSpn, TSpqビットの設定は、連動させるすべてのチャンネル、またはマスタ・チャンネルのみ設定できます。スレーブ・チャンネルのTSpqのみの設定では使用できません。

(12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのTTpn, TTpqビットを同時に設定する必要があります。

備考 pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

p = 0, pq = 05, 07,

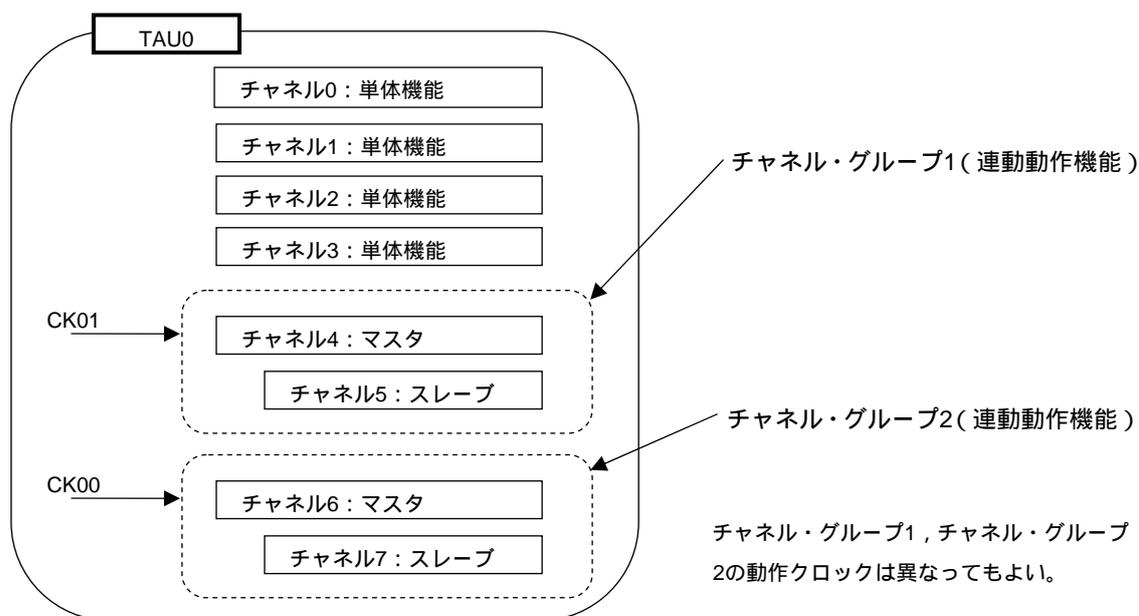
n : マスタ・チャンネル番号 (n = 4, 6)

6.6.3 連動動作機能の基本ルールの適用範囲

連動動作機能のルールは、チャンネル・グループ(1つの連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には6.6.2 連動動作機能の基本ルールのルールは適用されません。

例



6.7 タイマ・アレイ・ユニットの単独チャンネルでの動作

6.7.1 インターバル・タイマ/方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み) を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmnの設定値} + 1)$$

(2) 方形波出力としての動作

TOpqは、INTTMpq発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TOpq出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TOpqからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRpqの設定値} + 1) \times 2$$

$$\cdot \text{TOpqからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDRpqの設定値} + 1) \times 2 \}$$

カウント・クロックには、CKm0, CKm1のほかにTlpq端子からの入力信号、 $f_{\text{SUB}}/2$, $f_{\text{SUB}}/4$, またはINTRTCIの有効エッジの選択ができます。これにより、 f_{CLK} の周波数(メイン・システム・クロック, サブシステム・クロック)に関係なく、インターバル・タイマ動作が可能です。

f_{CLK} に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニット0, 1 (TAUS0, TAUS1)を停止(TT0 = 00FFH, TT1 = 000FH)させてください。

SDIV=0, CCSmn=1かつTISmn=1の場合にかぎり、CPUクロックを切り替えても、TAUmの使用は継続可能です。ただし、CPUクロックの切り替え時に、次の制限事項があります。

- ・CPUクロック切り替え時に、次のようにソース・クロックずれが発生します。

メイン・システム・クロック サブシステム・クロック(CSS=0 1): -1クロック

サブシステム・クロック メイン・システム・クロック(CSS=1 0): +1クロック

TCRmnはインターバル・タイマ・モードでダウン・カウンタとして動作します。

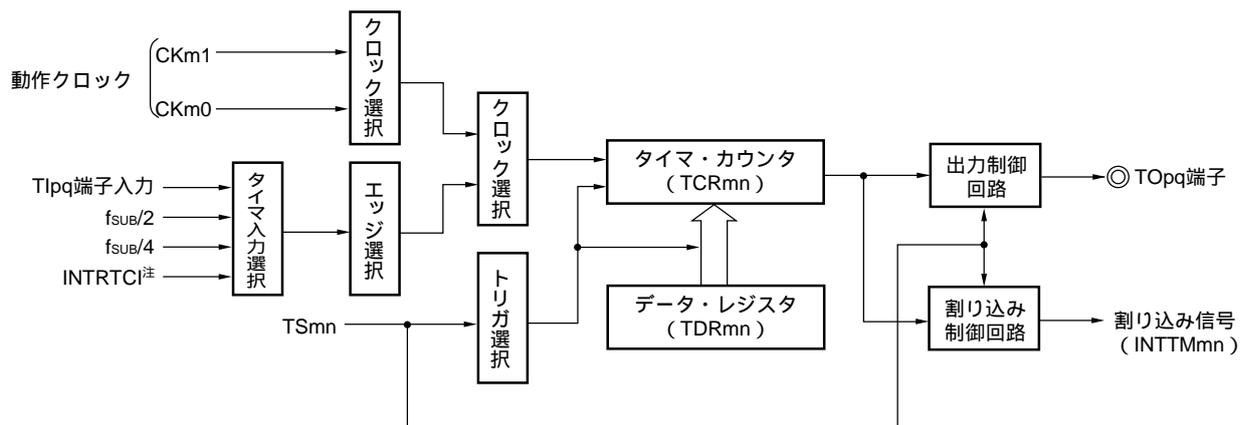
チャンネル・スタート・トリガ・ビット(TSmn)に1を設定後、最初のカウント・クロックでTCRmnはTDRmnの値をロードします。このときTMRmnのMDmn0 = 0ならば、INTTMmnを出力せず、TOpqはトグルしません。TMRmnのMDmn0 = 1ならば、INTTMmnを出力して、TOpqをトグルします。

その後、TCRmnはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら、次のカウント・クロックでINTTMmnを出力しTOpqをトグルします。また、同タイミングで再びTCRmnはTDRmnの値をロードします。以降、同様の動作を継続します。

TDRmnは任意のタイミングで書き換えることができます。書き換えたTDRmnの値は、次の周期から有効となります。

図6 - 35 インターバル・タイマ/方形波出力としての動作のブロック図

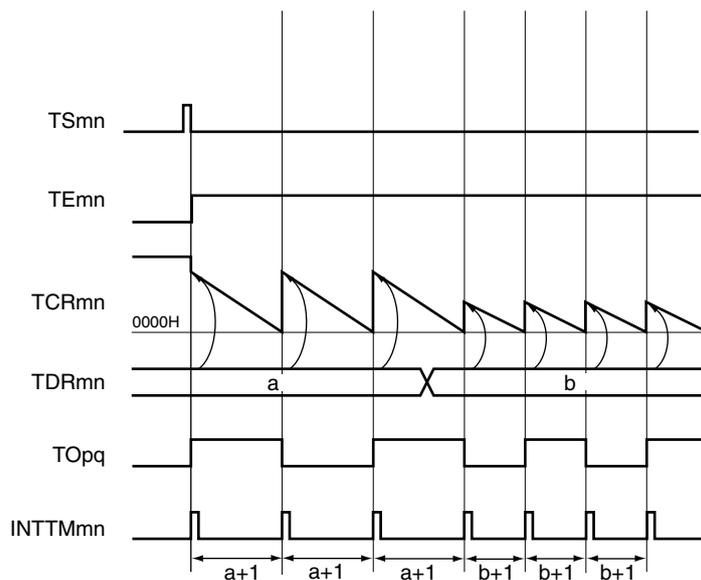


注 タイマ・アレイ・ユニット0のチャンネル0, 4のみ

備考 mn : ユニット番号 + チャンネル番号 , pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

m = 0, 1, mn = 00-07, 10-13, pq = 02, 05, 07

図6 - 36 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (MDmn0 = 1)

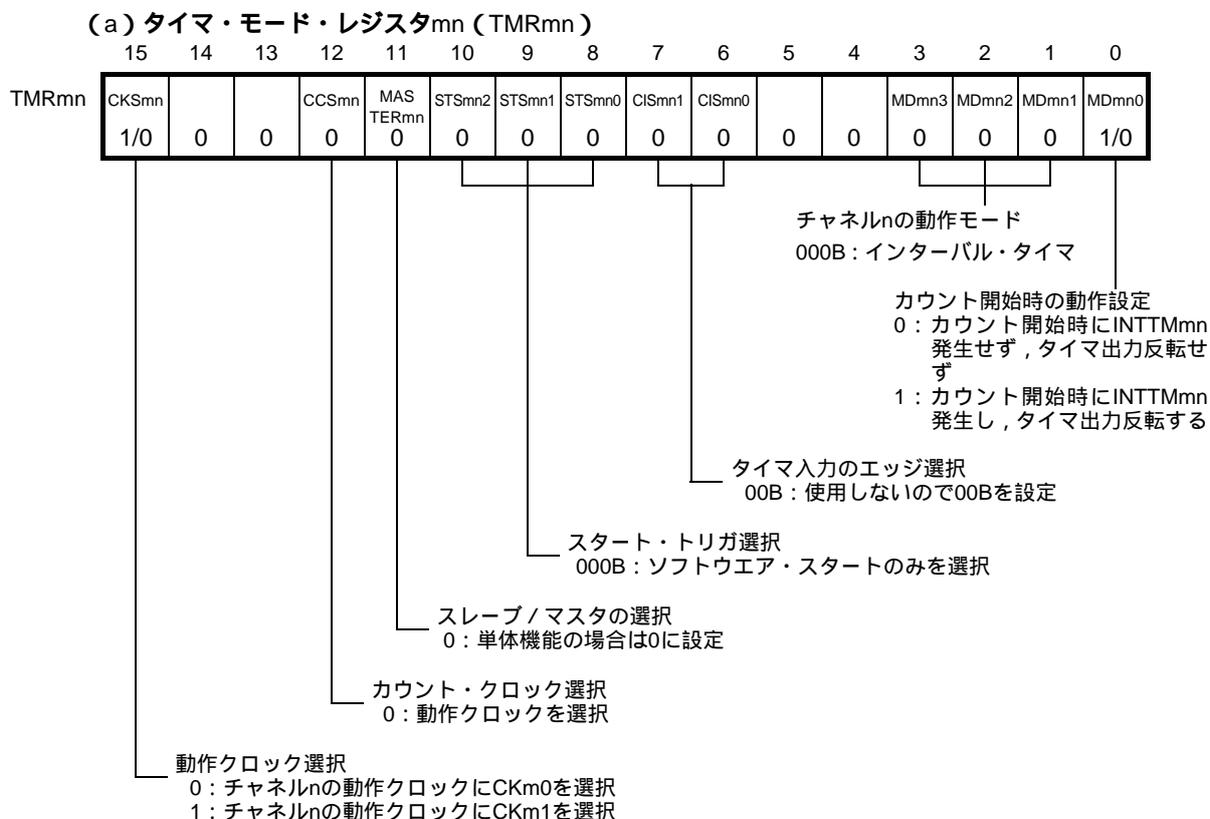


備考 mn : ユニット番号 + チャンネル番号 , pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

mn = 00-07, 10-13, pq = 02, 05, 07

図6 - 37 インターバル・タイマ/方形波出力としての動作時のレジスタ設定内容例 (1/3)

(1) カウント・クロックにCKm0, CKm1を選択した場合



(b) タイマ出力レジスタp (TOp)

ビットq			
TOp	<table border="1"><tr><td>TOpq</td></tr><tr><td>1/0</td></tr></table> 0: TOpqより0を出力する 1: TOpqより1を出力する	TOpq	1/0
TOpq			
1/0			

(c) タイマ出力許可レジスタp (TOEp)

ビットq			
TOEp	<table border="1"><tr><td>TOEpq</td></tr><tr><td>1/0</td></tr></table> 0: カウント動作によるTOpq出力動作停止 1: カウント動作によるTOpq出力動作許可	TOEpq	1/0
TOEpq			
1/0			

(d) タイマ出力レベル・レジスタp (TOLp)

ビットq			
TOLp	<table border="1"><tr><td>TOLpq</td></tr><tr><td>0</td></tr></table> 0: TOMpq = 0 (トグル・モード) では0を設定	TOLpq	0
TOLpq			
0			

(e) タイマ出力モード・レジスタp (TOMp)

ビットq			
TOMp	<table border="1"><tr><td>TOMpq</td></tr><tr><td>0</td></tr></table> 0: トグル・モードを設定	TOMpq	0
TOMpq			
0			

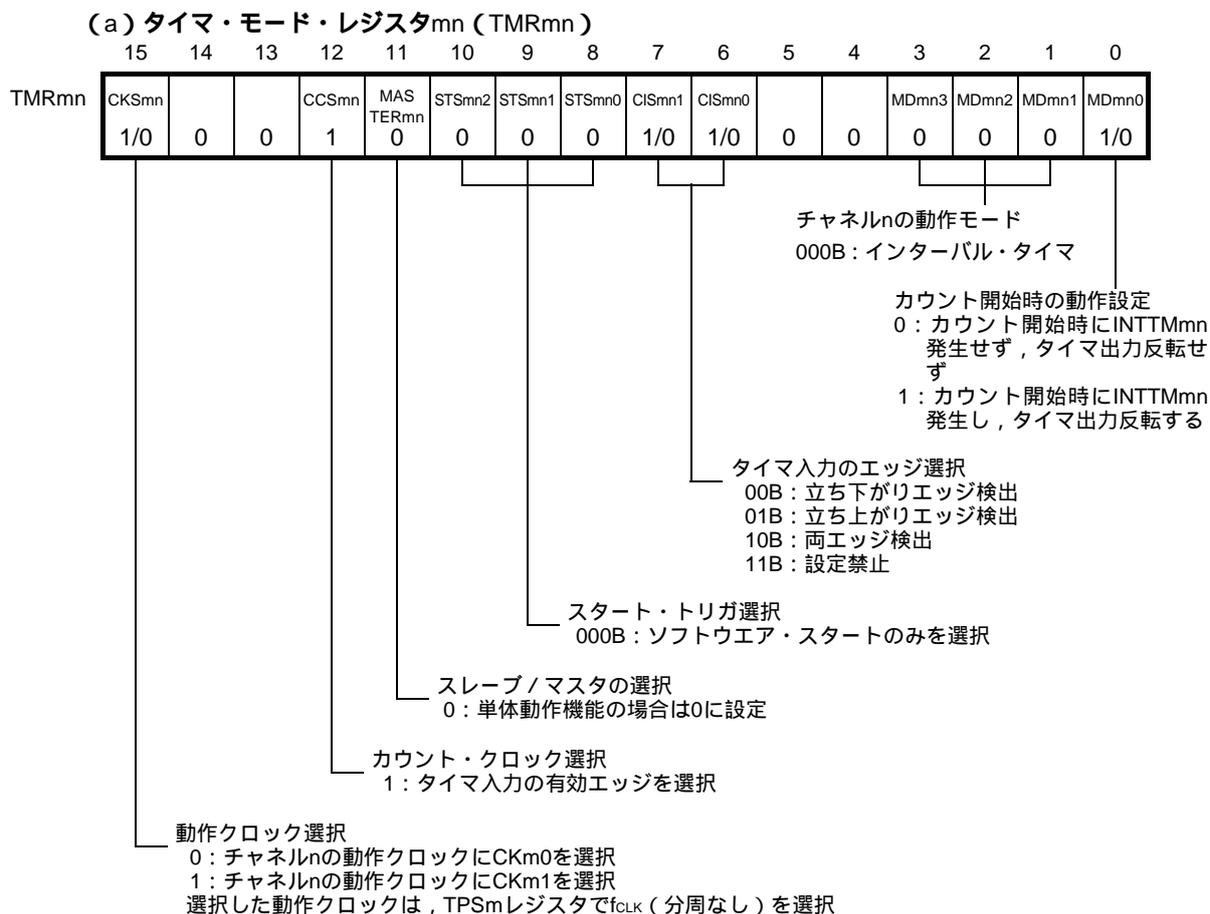
備考 mn: ユニット番号 + チャンネル番号, pq: ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

m = 0, 1, mn = 00-07, 10-13, pq = 02, 05, 07

図6 - 37 インターバル・タイマ/方形波出力としての動作時のレジスタ設定内容例 (2/3)

(2) カウント・クロックにタイマ入力 (Tlpq端子入力, $f_{SUB}/4$, $f_{SUB}/2$, またはINTRTCI) を選択した場合[※] (1/2)

注 タイマ入力は, TISqpビット, SDIVビット, RTCISqpビットで選択します。詳細は, 図6 - 17 タイマ入力選択レジスタ0, 1 (TIS0, TIS1) のフォーマットを参照してください。



(b) タイマ・クロック選択レジスタm (TPSm)

ビット7-4, 3-0

TPSm	PRSmk3-PRSmk0	0000B: TMRmnレジスタのCKSmnで選択した動作クロックに, f_{CLK} (分周なし) を選択
	0000	CKm0選択時はk = 0 (ビット0-3), CKm1選択時はk = 1 (ビット4-7)

(c) タイマ出力レジスタp (TOp)

ビットq

TOp	TOpq	0: TOpqより0を出力する
	1/0	1: TOpqより1を出力する

備考 mn: ユニット番号 + チャンネル番号, pq: ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

m = 0, 1, mn = 00-07, 10-13, pq = 02, 05, 07

図6 - 37 インターバル・タイマ/方形波出力としての動作時のレジスタ設定内容例 (3/3)

(2) カウント・クロックにタイマ入力 (TIpq端子入力, $f_{SUB}/4$, $f_{SUB}/2$, またはINTRTCI) を選択した場合 (2/2)

(d) タイマ出力許可レジスタp (TOEp)

	ビットq	
TOEp	TOEpq	0 : カウント動作によるTOpq出力動作停止
	1/0	1 : カウント動作によるTOpq出力動作許可

(e) タイマ出力レベル・レジスタp (TOLp)

	ビットq	
TOLp	TOLpq	0 : TOMpq = 0 (トグル・モード) では0を設定
	0	

(f) タイマ出力モード・レジスタp (TOMp)

	ビットq	
TOMp	TOMpq	0 : トグル・モードを設定
	0	

備考 mn : ユニット番号 + チャネル番号, pq : ユニット番号 + チャネル番号 (タイマ出力端子を搭載しているチャネルのみ)

m = 0, 1, mn = 00-07, 10-13, pq = 02, 05, 07

図6-38 インターバル・タイマ/方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットまたは,TAU1ENビット に1を設定する	パワーオフ状態 (クロック供給停止,各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態,各チャンネルは動作停止状態 (クロック供給開始,各レジスタへの書き込み可能)
チャ ネル 初期 設定	TMRmnレジスタを設定する(チャンネルの動作モード確 定) カウント・クロックにタイマ入力を選択時には,TISpq ビット,SDIVビット,RTCISpqビットで,使用するタイ マ入力(TIpq端子入力,fsUB/4,fsUB/2,またはINTRTCI を設定する TDRmnレジスタにインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており,多少の電力を消費する)
	TOpq出力を使用する場合, TOMmレジスタのTOMpqビットに0(トグル・モード) を設定する TOLpqビットに0を設定する TOpqビットを設定し,TOpq出力の初期レベルを確定 する TOEpqに1を設定し,TOpqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設 定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は,TOpq初期設定レベルが出力される。 チャンネルは動作停止状態なので,TOpqは変化しない TOpq端子はTOpq設定レベルを出力
動作 開始	TOEpqに1を設定する(動作再開時のみ) TSmnビットに1を設定する TSmnビットはトリガ・ビットなので,自動的に0に戻 る	TEmn = 1になり,カウント動作開始 カウント・クロック入力でTCRmnはTDRmnの値をロード する。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し,TOpqもトグル動作する。
	動作 中	TMRmn, TOMp, TOLpレジスタは,設定値変更禁止 TDRmnレジスタは,任意に設定値変更が可能 TCRmnレジスタは,常に読み出し可能 TSRmnレジスタは,使用しない TOp, TOEpレジスタは,設定値変更可能
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので,自動的に0に戻 る	TEmn = 0になり,カウント動作停止 TCRmnはカウント値を保持して停止 TOpq出力は初期化されず,状態保持
	TOEpqに0を設定し,TOpレジスタに値を設定する	TOpq端子はTOpq設定レベルを出力

備考 mn: ユニット番号 + チャンネル番号, pq: ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャ
ネルのみ)

m = 0, 1, mn = 00-07, 10-13, pq = 02, 05, 07

図6-38 インターバル・タイマ/方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	<p>TOpq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOpqビットに0を設定する</p> <p>TOpq端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える</p> <p>PER0レジスタのTAU0EN, またはTAU1ENビットに0を設定する</p>	<p>TOpq端子出力レベルはポート機能により保持される。</p> <p>TOpq端子出力レベルはHi-Z出力になる。</p> <p>パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOpqビットが0になり, TOpq端子はポート機能となる)</p>

備考 mn : ユニット番号 + チャンネル番号, pq : ユニット番号 + チャンネル番号 (タイマ出力端子を搭載しているチャンネルのみ)

m = 0, 1, mn = 00-07, 10-13, pq = 02, 05, 07

6.7.2 外部イベント・カウンタとしての動作

Tlpq端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRpqの設定値} + 1$$

TCRpqはイベント・カウンタ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット（TSpq）に1を設定することによりTCRpqはTDRpqの値をロードします。

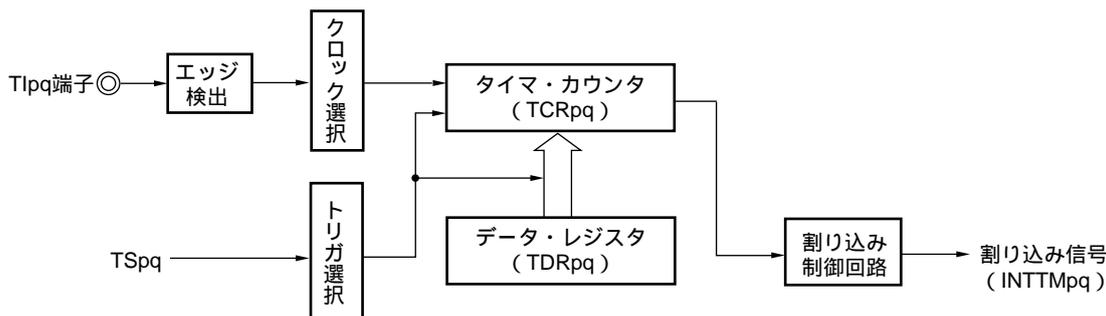
TCRpqはTlpq端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRpq = 0000Hになったら、再びTDRpqの値をロードして、INTTMpqを出力します。

以降、同様の動作を続けます。

TOpqは外部イベントに依存した不規則な波形となるため、TOpqは使用できません。

TDRpqは任意のタイミングで書き換えることができます。書き換えたTDRpqの値は次のカウント期間で有効になります。

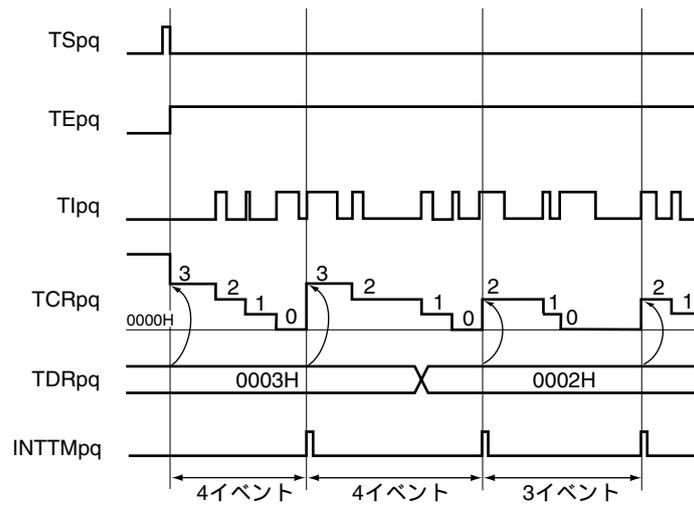
図6 - 39 外部イベント・カウンタとしての動作のブロック図



備考 pq : ユニット番号 + チャンネル番号（タイマ入力端子を搭載しているチャンネルのみ）

pq = 02, 04, 07

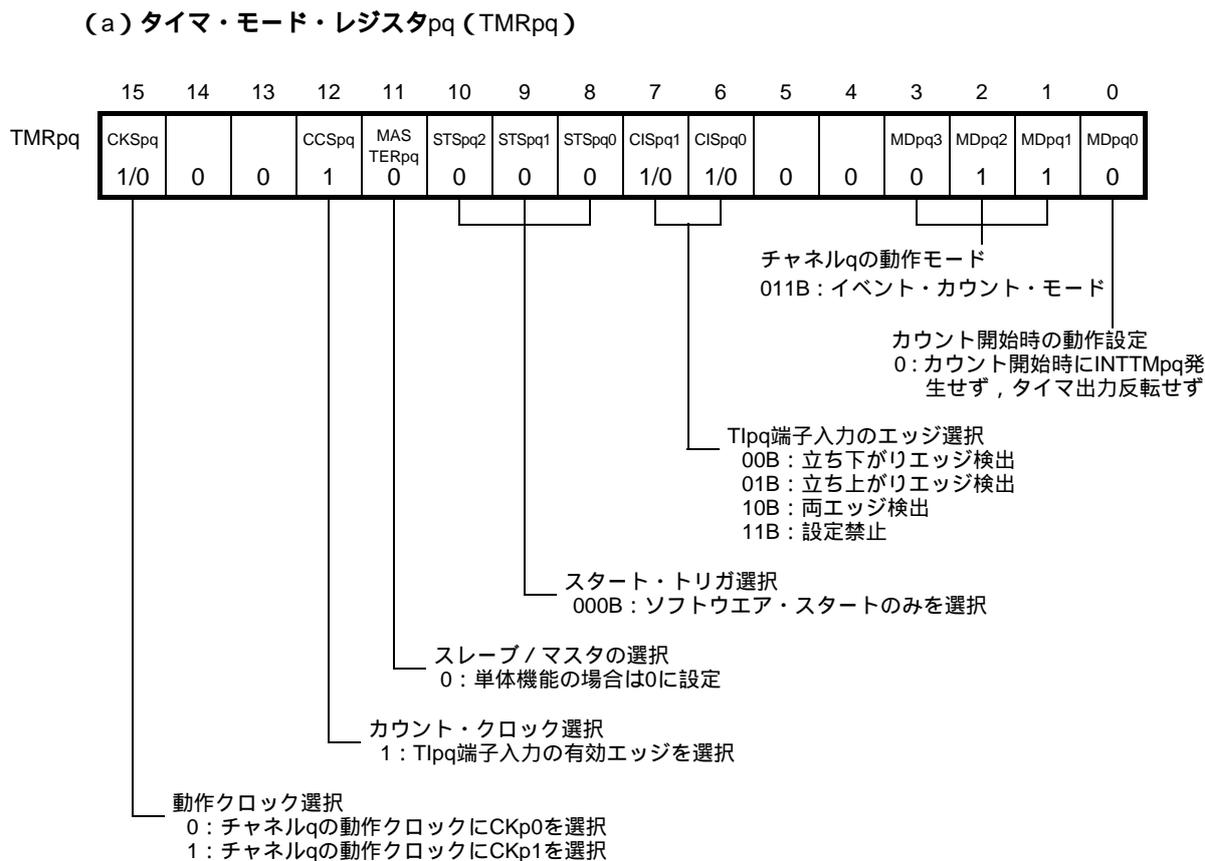
図6 - 40 外部イベント・カウンタとしての動作の基本タイミング例



備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

pq = 02, 04, 07

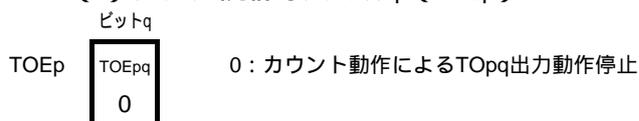
図6-41 外部イベント・カウンタ・モード時のレジスタ設定内容例



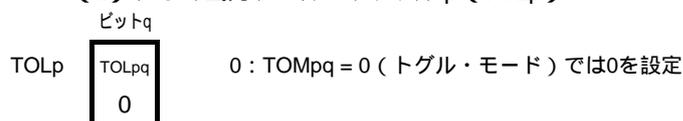
(b) タイマ出力レジスタp (TOp)



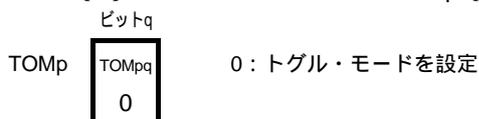
(c) タイマ出力許可レジスタp (TOEp)



(d) タイマ出力レベル・レジスタp (TOLp)



(e) タイマ出力モード・レジスタp (TOMp)



備考 pq: ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 04, 07

図6 - 42 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	▶ パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	TPSpレジスタを設定する CKp0とCKp1のクロック周波数を確定する	
チャ ネル 初期 設定	TMRpqレジスタを設定する (チャンネルの動作モード確定) TDRpqレジスタにカウント数を設定する TOEpレジスタのTOEpqビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 再開	▶ TSpqビットに1を設定する TSpqビットはトリガ・ビットなので、自動的に0に戻る	▶ TEpq = 1になり、カウント動作開始 TCRpqはTDRpqの値をロードし、Tlpq端子入力のエッジ検出待ち状態になる
	動作 中	TDRpqレジスタは、任意に設定値変更が可能 TCRpqレジスタは、常に読み出し可能 TSRpqレジスタは、使用しない TMRpq, TOMp, TOLp, TOP, TOEpレジスタは、設定値変更禁止
	動作 停止	▶ TEpq = 0になり、カウント動作停止 TCRpqはカウント値を保持して停止
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	▶ パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される

備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 04, 07

6.7.3 分周器としての動作

Tlpqに入力されたクロックを分周し、TOpqから出力する分周器として利用することができます。

TOpq出力の分周クロック周波数は次の式で求めることができます。

・立ち上りエッジ / 立ち下りエッジ選択時 :

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDRpq の設定値} + 1) \times 2 \}$$

・両エッジ選択時 :

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDRpqの設定値} + 1)$$

TCRpqはインターバル・タイマ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット (TSpq) に1を設定後、Tlpqの有効エッジ検出でTCRpqはTDRpqの値をロードします。このときTMRpqのMDpq0 = 0ならば、INTTMpqを出力せず、TOpqはトグルしません。TMRpqのMDpq0 = 1ならば、INTTMpqを出力して、TOpqをトグルします。

その後、Tlpqの有効エッジに合わせてダウン・カウントを行い、TCRpq = 0000Hとなったら、TOpqをトグルします。同時にTCRpqはTDRpqの値をロードして、カウントを継続します。

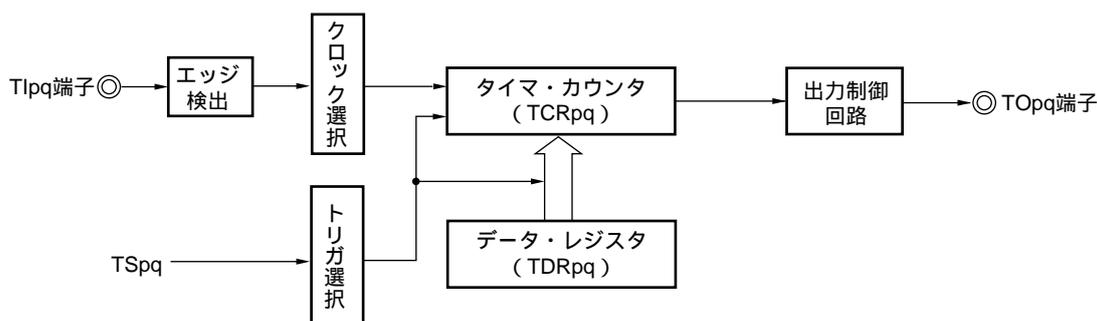
Tlpqの両エッジ検出を選択すると、入力クロックのデューティ誤差がTOpq出力の分周クロック周期に影響します。

TOpqの出力クロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TOpq出力のクロック周期} = \text{理想のTOpq出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

TDRpqは任意のタイミングで書き換えることができます。書き換えたTDRpqの値は次のカウント期間で有効となります。

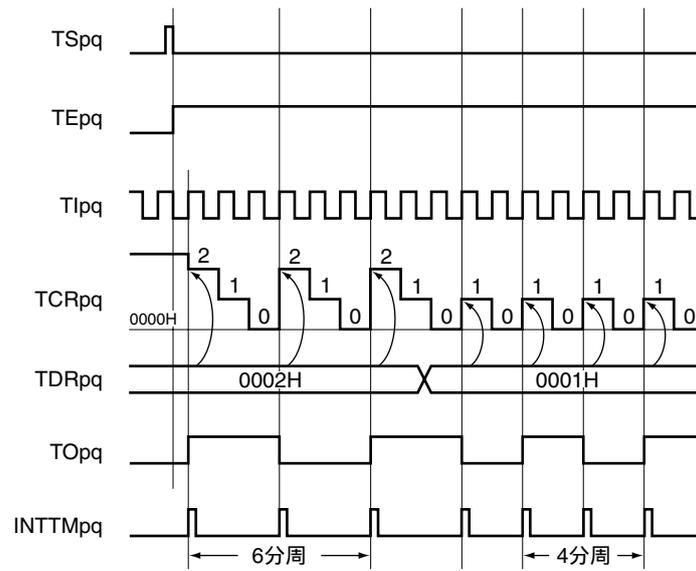
図6 - 43 分周器としての動作のブロック図



備考 pq : ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

pq = 02

図6 - 44 分周器としての動作の基本タイミング例 (MDpq0 = 1)

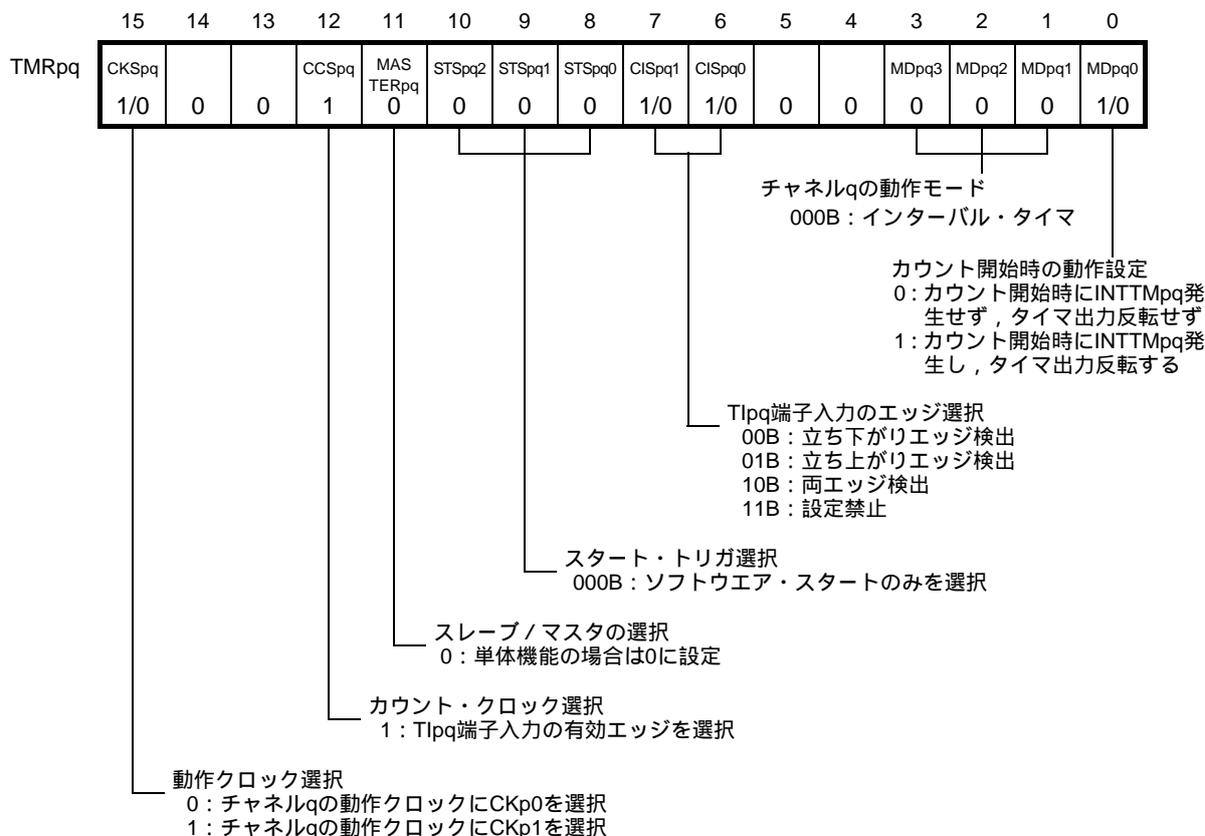


備考 pq : ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

pq = 02

図6-45 分周器時のレジスタ設定内容例

(a) タイマ・モード・レジスタpq (TMRpq)



(b) タイマ出力レジスタp (TOp)

ビットq	TOpq	
	1/0	0: TOpqより0を出力する 1: TOpqより1を出力する

(c) タイマ出力許可レジスタp (TOEp)

ビットq	TOEpq	
	1/0	0: カウント動作によるTOpq出力動作停止 1: カウント動作によるTOpq出力動作許可

(d) タイマ出力レベル・レジスタp (TOLp)

ビットq	TOLpq	
	0	0: TOMpq = 0 (トグル・モード) では0を設定

(e) タイマ出力モード・レジスタp (TOMp)

ビットq	TOMpq	
	0	0: トグル・モードを設定

備考 pq: ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

pq = 02

図6-46 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) → パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TSPレジスタを設定する CKp0とCKp1のクロック周波数を確定する	
チャ ネル 初期 設定	TMRpqレジスタを設定する(チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TDRpqレジスタにインターバル(周期)値を設定する	
	TOMpqレジスタのTOMpqビットに0(トグル・モード)を設定する TOLpqビットに0を設定する TOpqビットを設定し, TOpq出力の初期レベルを確定する	TOpq端子はHi-Z出力状態 → ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOpq初期設定レベルが出力される。
	TOEpqに1を設定し, TOpqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	→ チャンネルは動作停止状態なので, TOpqは変化しない → TOpq端子はTOpq設定レベルを出力
動作 再開	動作開始 TOEpqに1を設定する(動作再開時のみ) TSpqビットに1を設定する TSpqビットはトリガ・ビットなので, 自動的に0に戻る	→ TEpq = 1になり, カウント動作開始 カウント・クロック入力でTCRpqはTDRpqの値をロードする。TMRpqレジスタのMDppq0ビットが1の場合は, JNTTMpqを発生し, TOpqもトグル動作する。
	動作中 TDRpqレジスタは, 任意に設定値変更が可能 TCRpqレジスタは, 常に読み出し可能 TSRpqレジスタは, 使用しない TOp, TOEpqレジスタは, 設定値変更可能 TMRpq, TOMpq, TOLpqレジスタは, 設定値変更禁止	カウンタ(TCRpq)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRpqはTDRpqの値をロードし, カウント・動作を継続する。TCRpq = 0000H検出でINTTMpqを発生し, TOpqはトグル動作する。 以降, この動作を繰り返す。
	動作停止 TTpqビットに1を設定する TTpqビットはトリガ・ビットなので, 自動的に0に戻る TOEpqに0を設定し, TOpレジスタに値を設定する	→ TEpq = 0になり, カウント動作停止 TCRpqはカウント値を保持して停止 TOpq出力は初期化されず, 状態保持 → TOpq端子はTOpq設定レベルを出力
TAU 停止	TOpq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOpqビットに0を設定する	→ TOpq端子出力レベルはポート機能により保持される。
	TOpq端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	→ TOpq端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	→ パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOpqビットが0になり, TOpq端子はポート機能となる)

備考 pq: ユニット番号 + チャンネル番号 (タイマ入出力端子を搭載しているチャンネルのみ)

pq = 02

6.7.4 入力パルス間隔測定としての動作

Tlpq有効エッジでカウント値をキャプチャし、Tlpq入力パルスの間隔を測定することができます。パルス間隔は次の式で求めることができます。

$$\text{Tlpq入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRpq:OVF}) + (\text{TDRpqのキャプチャ値} + 1))$$

注意 Tlpq端子入力は、TMRpqレジスタのCKSpqビットで選択した動作クロックでサンプリングされるため、動作クロック分の誤差が発生します。

TCRpqはキャプチャ・モードでアップ・カウンタとして動作します。

チャンネル・スタート・トリガ (TSpq) に1を設定するとTCRpqはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

Tlpq端子入力の有効エッジを検出すると、カウント値をTDRpqに転送 (キャプチャ) すると同時に、カウンタ (TCRpq) を0000Hにクリアして、INTTMpqを出力します。このとき、カウンタのオーバーフローが発生していたら、TSRpqレジスタのOVFpqビットが1にセットされ、オーバーフローが発生していなかったらOVFpqビットはクリアされます。以降、同様の動作を継続します。

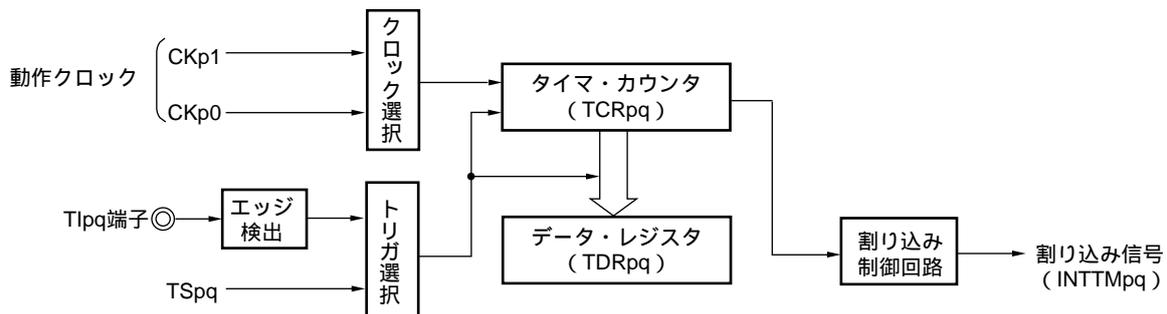
カウント値がTDRpqレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRpqレジスタのOVFpqビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRpqレジスタのOVFpqビットがセット (1) されます。しかし、OVFpqビットは累積形で構成されており、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMRpqレジスタのSTSpq2-STSpq0 = 001Bに設定して、Tlpq有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

TEpq = 1のとき、TCRpqは、Tlpq端子入力を使用せずに、ソフトウェア操作 (TSpq = 1) をキャプチャ・トリガにすることもできます。

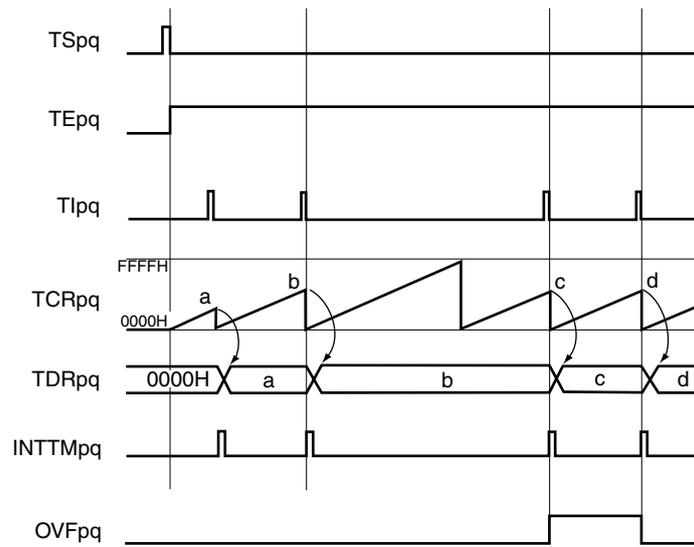
図6-47 入力パルス間隔測定としての動作のブロック図



備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 04, 07

図6 - 48 入力パルス間隔測定としての動作の基本タイミング例 (MDpq0 = 0)

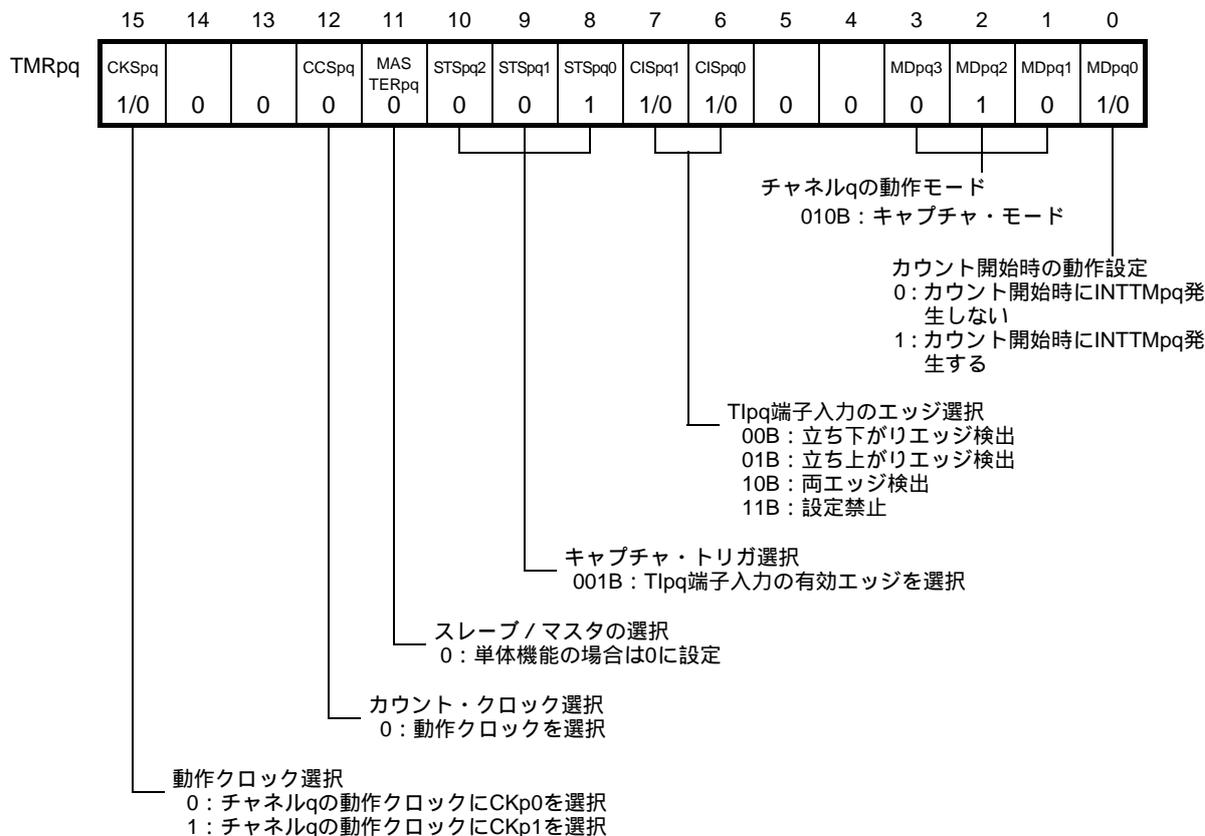


備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

pq = 02, 04, 07

図6 - 49 入力パルス間隔測定時のレジスタ設定内容例

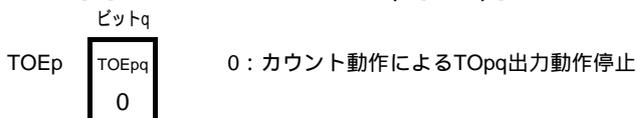
(a) タイマ・モード・レジスタpq (TMRpq)



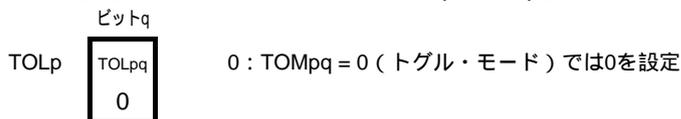
(b) タイマ出力レジスタp (TOp)



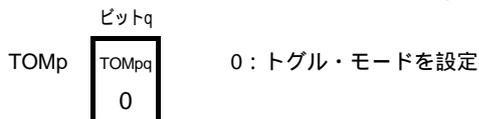
(c) タイマ出力許可レジスタp (TOEp)



(d) タイマ出力レベル・レジスタp (TOLp)



(e) タイマ出力モード・レジスタp (TOMp)



備考 pq: ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 04, 07

図6 - 50 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	▶ パワーオン状態、各チャンネルは動作停止状態 (クロック供給開始、各レジスタへの書き込み可能)
	TSPspレジスタを設定する CKp0とCKp1のクロック周波数を確定する	
チャ ネル 初期 設定	TMRpqレジスタを設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており、多少の電力を消費する)
動作 再開	動作 開始	▶ TEpq = 1になり、カウント動作開始 カウント・クロック入力でTCRpqを0000Hにクリアする。 TMRpqレジスタのMDppqビットが1の場合は、INTTMpqを発生する。
	動作 中	カウンタ (TCRpq) は0000Hからアップ・カウント動作を行い、Tlpq端子入力の有効エッジが検出されたら、カウント値をTDRpqに転送(キャプチャ)する。同時に、TCRpqを0000Hにクリアし、INTTMpqを発生する。 このときオーバフローが発生していたら、TSRpqレジスタのOVFpqビットがセットされ、オーバフローが発生していなかったらOVFpqビットがクリアされる。 以降、この動作を繰り返す。
	動作 停止	▶ TEpq = 0になり、カウント動作停止 TCRpqはカウント値を保持して停止 TSRpqレジスタのOVFpqビットも保持
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	▶ パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される

備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 04, 07

6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作

Tlpqの片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、Tlpqの信号幅（ハイ・レベル幅/ロウ・レベル幅）を測定することができます。Tlpqの信号幅は次の式で求めることができます。

$$\text{Tlpq入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRpq:OVF}) + (\text{TDRpqのキャプチャ値} + 1))$$

注意 Tlpq端子入力は、TMRpqレジスタのCKSpqビットで選択した動作クロックでサンプリングされるため、動作クロック分の誤差が発生します。

TCRpqはキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

チャンネル・スタート・トリガ(TSpq)に1を設定すると、TEpq = 1となりTlpq端子のスタート・エッジ検出待ち状態となります。

Tlpqのスタート・エッジ（ハイ・レベル幅測定ならTlpqの立ち上がりエッジ）を検出すると、カウント・クロックに合わせてアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTlpqの立ち下がりエッジ）を検出すると、カウンタ値をTDRpqに転送すると同時にINTTmqを出力します。このとき、カウンタのオーバーフローが発生していたら、TSRpqレジスタのOVFpqビットがセットされ、オーバーフローが発生していなかったらOVFpqビットはクリアされます。TCRpqは、「TDRpqに転送した値 + 1」の値で停止し、Tlpq端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDRpqレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRpqレジスタのOVFpqビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRpqレジスタのOVFpqビットがセット(1)されます。しかし、OVFpqビットは累積形で構成されており、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

Tlpq端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRpqレジスタのCISpq1、CISpq0ビットにて設定することができます。

この機能は、Tlpq端子入力の信号幅測定を目的とするため、TEpq = 1期間中のTSpqのセット(1)は使用できません。

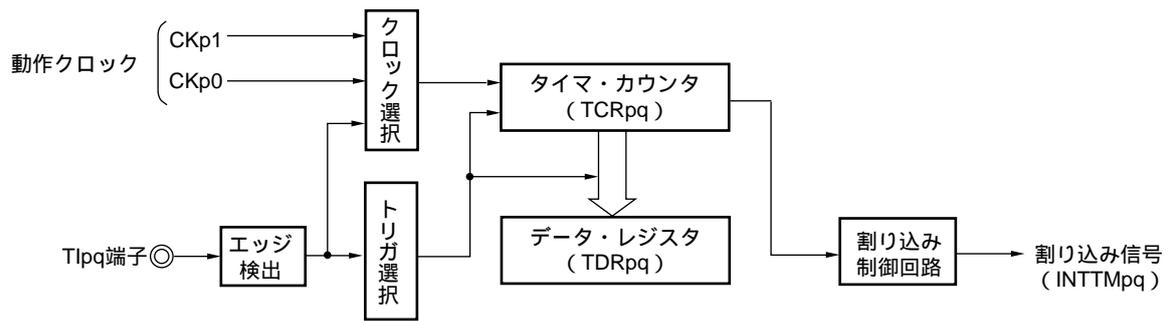
TMRpqのCISpq1, CISpq0 = 10B : ロウ・レベル幅を測定する

TMRpqのCISpq1, CISpq0 = 11B : ハイ・レベル幅を測定する

備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

pq = 02, 04, 07

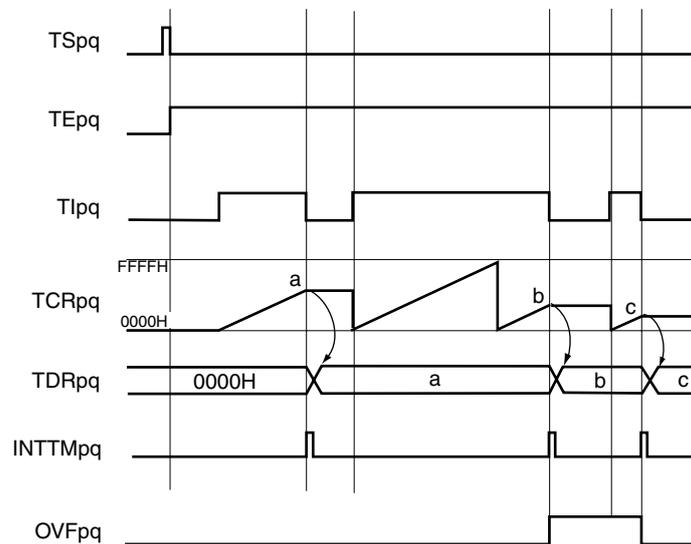
図6 - 51 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 04, 07

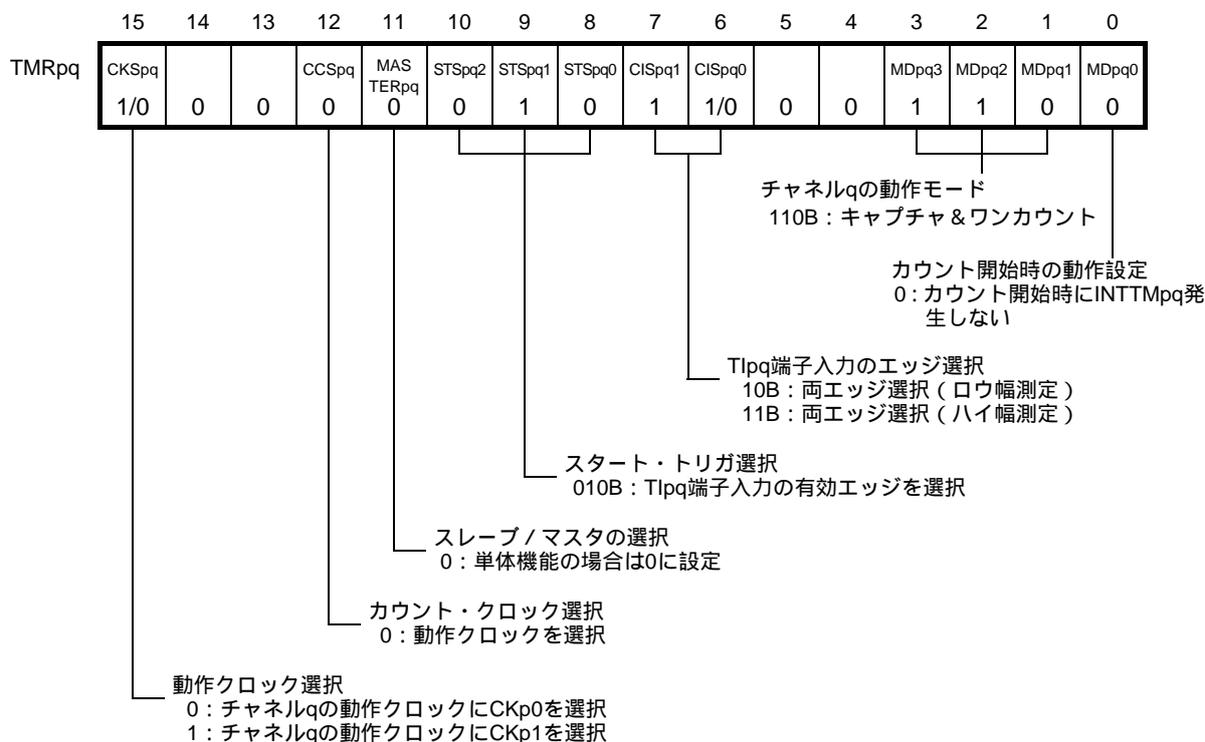
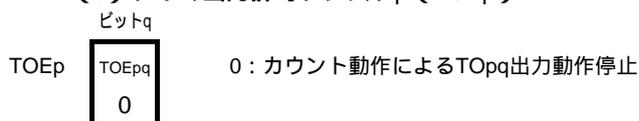
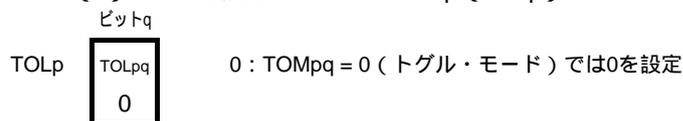
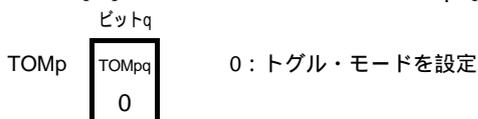
図6 - 52 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

pq = 02, 04, 07

図6 - 53 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタ_{pq} (TMR_{pq})(b) タイマ出力レジスタ_p (TO_p)(c) タイマ出力許可レジスタ_p (TOE_p)(d) タイマ出力レベル・レジスタ_p (TOL_p)(e) タイマ出力モード・レジスタ_p (TOM_p)

備考 pq: ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 04, 07

図6-54 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPSpレジスタを設定する CKp0とCKp1のクロック周波数を確定する	
チャ ネル 初期 設定	TMRpqレジスタを設定する(チャンネルの動作モード確定) TOEpqに0を設定し, TOpqの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSpqビットに1を設定する TSpqビットはトリガ・ビットなので, 自動的に0に戻る	TEpq = 1になり, Tlpq端子のスタート・エッジ検出待ち状態になる
	Tlpq端子入力のカウント・スタート・エッジ検出	TCRpqを0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRpqレジスタは, 任意に設定値変更が可能 TCRpqレジスタは, 常に読み出し可能 TSRpqレジスタは, 使用しない TMRpq, TOMp, TOLp, TOp, TOEpレジスタは, 設定値変更禁止	Tlpq端子のスタート・エッジ検出後, カウンタ(TCRpq)は0000Hからアップ・カウント動作を行う。Tlpq端子のキャプチャ・エッジが検出されたら, カウント値をTDRpqに転送し, INTTMpqを発生する。 このときオーバフローが発生していたら, TSRpqレジスタのOVFpqビットがセットされ, オーバフローが発生していなかったらOVFpqビットがクリアされる。TCRpqは, 次のTlpq端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTpqビットに1を設定する TTpqビットはトリガ・ビットなので, 自動的に0に戻る	TEpq = 0になり, カウント動作停止 TCRpqはカウント値を保持して停止 TSRpqレジスタのOVFpqビットも保持
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 pq : ユニット番号 + チャンネル番号 (タイマ入力端子を搭載しているチャンネルのみ)

p = 0, pq = 02, 04, 07

6.8 タイマ・アレイ・ユニットの複数チャンネルでの動作

6.8.1 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{ \text{TDRmp (スレーブ) の設定値} \} / \{ \text{TDRmn (マスタ) の設定値} + 1 \} \times 100 \\ 0 \% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = 0000\text{H} \\ 100 \% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = \{ \text{TDRmn (マスタ) の設定値} + 1 \} \end{aligned}$$

備考 TDRmp (スレーブ) の設定値 > { TDRmn (マスタ) の設定値 + 1 } の場合は、デューティ値が100 % を越えますが、集約して100 %出力となります。

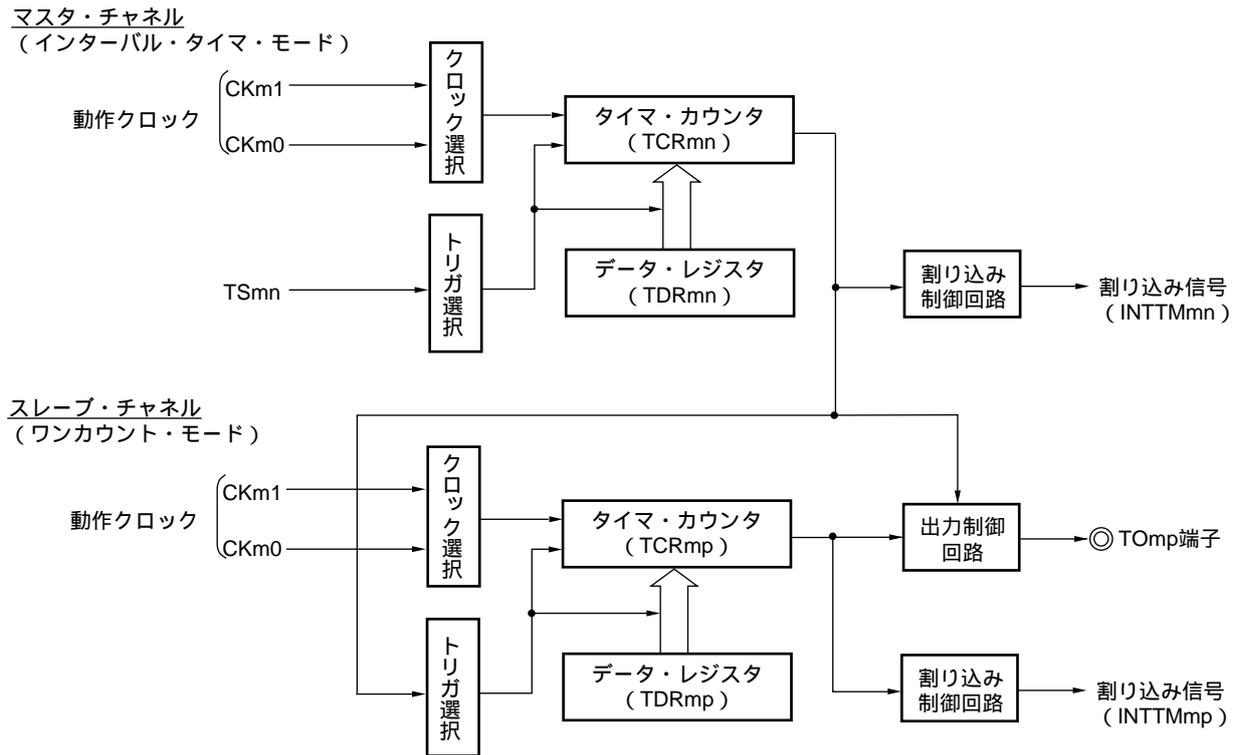
マスタ・チャンネルは、インターバル・タイマ・モードで動作して、周期をカウントします。チャンネル・スタート・トリガ (TSmn) に1を設定すると、INTTMmnを出力します。TCRmnはロードしたTDRmnの値からカウント・クロックに合わせてダウン・カウントを行います。TCRmn = 0000Hとなったら、INTTMmnを出力し、再びTCRmnはTDRmnの値をロードして、以降、同様の動作を続けます。

スレーブ・チャンネルは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。スレーブ・チャンネルのTCRmpは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmpの値をロードし、ダウン・カウントを行います。TCRmp = 0000Hとなったら、INTTMmpを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

注意 マスタ・チャンネルのTDRmnとスレーブ・チャンネルのTDRmpを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn、TCRmpにTDRmn、TDRmpの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われるとTOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnとスレーブのTDRmpを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

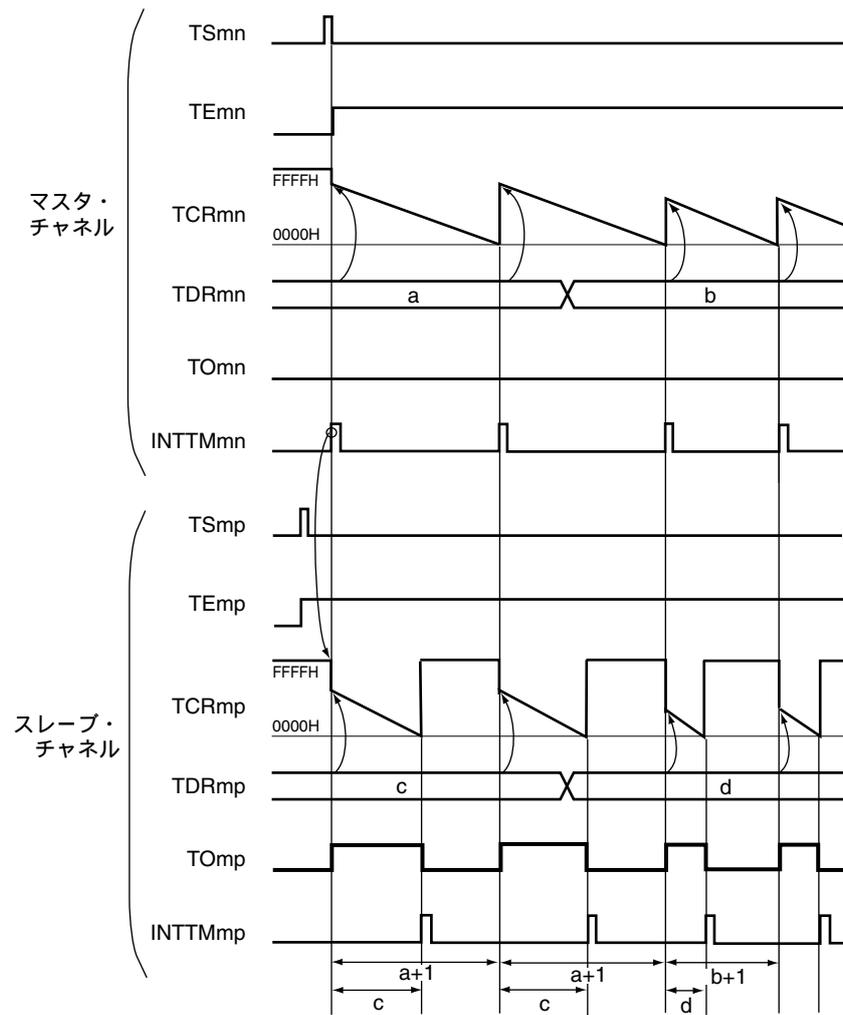
備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

図6-55 PWM機能としての動作のブロック図



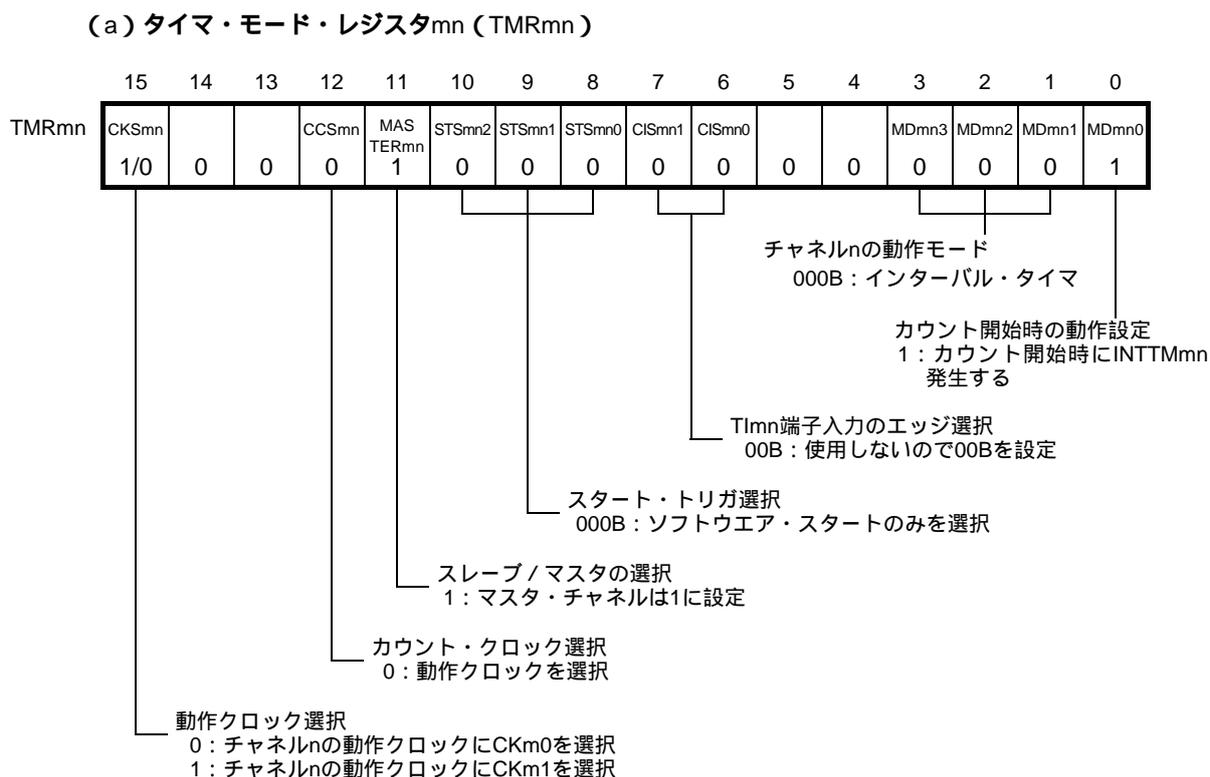
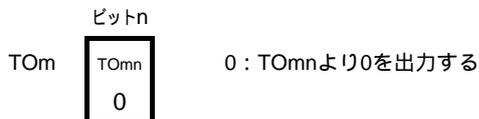
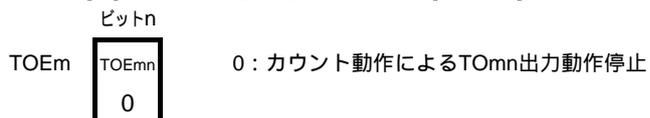
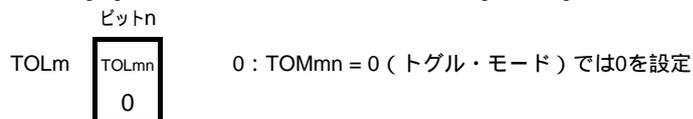
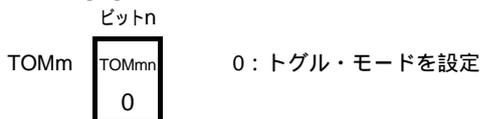
備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

図6-56 PWM機能としての動作の基本タイミング例



備考 $m = 0, n = 4, 6, p = 5, 7, TO05, TO07$ 端子

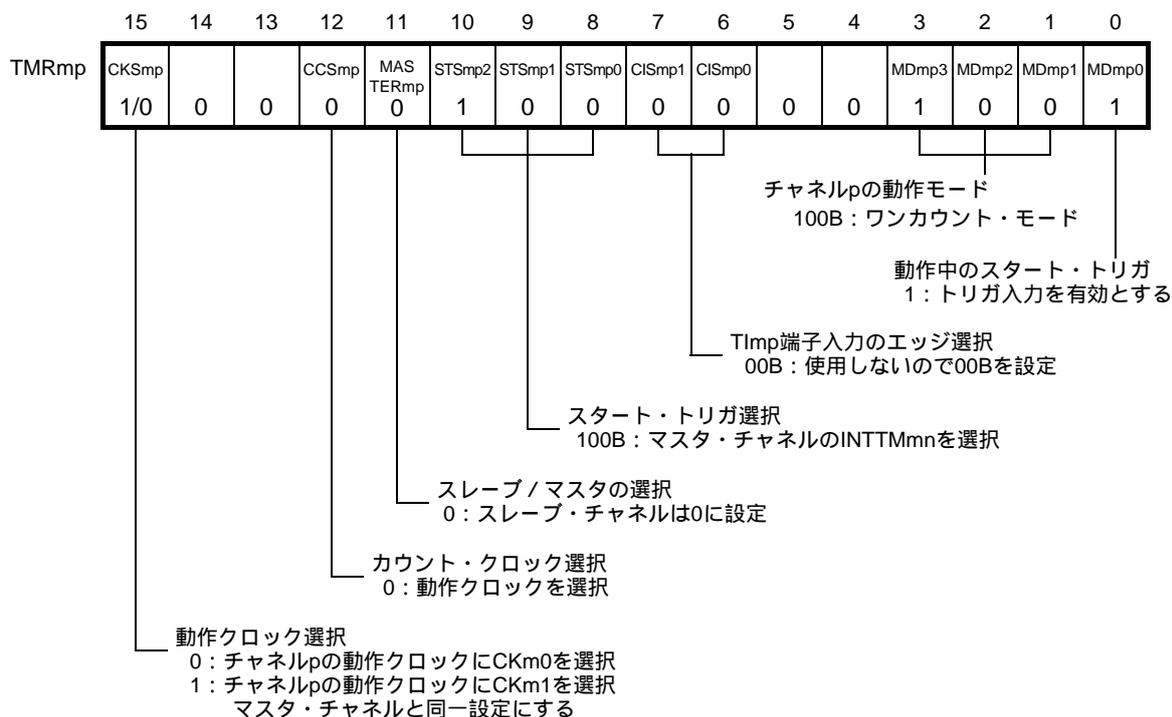
図6 - 57 PWM機能時（マスタ・チャンネル）のレジスタ設定内容例

(b) タイマ出力レジスタ m (TO m)(c) タイマ出力許可レジスタ m (TOE m)(d) タイマ出力レベル・レジスタ m (TOL m)(e) タイマ出力モード・レジスタ m (TOM m)

備考 $m = 0, n = 4, 6, p = 5, 7, TO05, TO07$ 端子

図6-58 PWM機能時(スレープ・チャンネル)のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOm)

ビットp

TOm	TOmp	0: TOmpより0を出力
	1/0	1: TOmpより1を出力

(c) タイマ出力許可レジスタm (TOEm)

ビットp

TOEm	TOEmp	0: カウント動作によるTOmp出力動作停止
	1/0	1: カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットp

TOLm	TOLmp	0: 正論理出力(アクティブ・ハイ)
	1/0	1: 反転出力(アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットp

TOMm	TOMmp	1: 連動動作モードを設定
	1	

備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

図6-59 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのTMRmn, TMRmpレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDRmnレジスタにインターバル(周期)値, スレーブ・チャンネルのTDRmpレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOMmレジスタのTOMmpビットに1(連動動作モード)を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOMn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力
動作 開始	TOEmp(スレーブ)に1を設定する(動作再開時のみ) TSmレジスタのTSmn(マスタ), TSmp(スレーブ)ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャンネルがカウント動作開始し, INTTMmnを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作 中	TMRmn, TMRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは, 設定値変更禁止 TDRmn, TDRmpレジスタは, マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは, 常に読み出し可能 TSRmn, TSRmpレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能
動作 停止	TTmn(マスタ), TTmp(スレーブ)ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので, 自動的に0に戻る	TEmn, TEmp = 0になり, カウント動作停止 TCRmn, TCRmpはカウント値を保持して停止 TOmp出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOEmpに0を設定し, TOmpレジスタに値を設定する	TOmp端子はTOmp設定レベルを出力

動作再開

図6-59 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する	TOmp端子出力レベルはポート機能により保持される。
	TOmp端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOmp端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)

備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

6.8.2 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TImn端子入力またはソフトウェア操作 (TSmn = 1) により、任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{ \text{TDRmn (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{ \text{TDRmp (スレーブ) の設定値} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのTCRmnは、スタート・トリガ検出により動作を開始し、TCRmnはTDRmnの値をロードします。TCRmnはロードしたTDRmnの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000HとなったらINTTMmnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

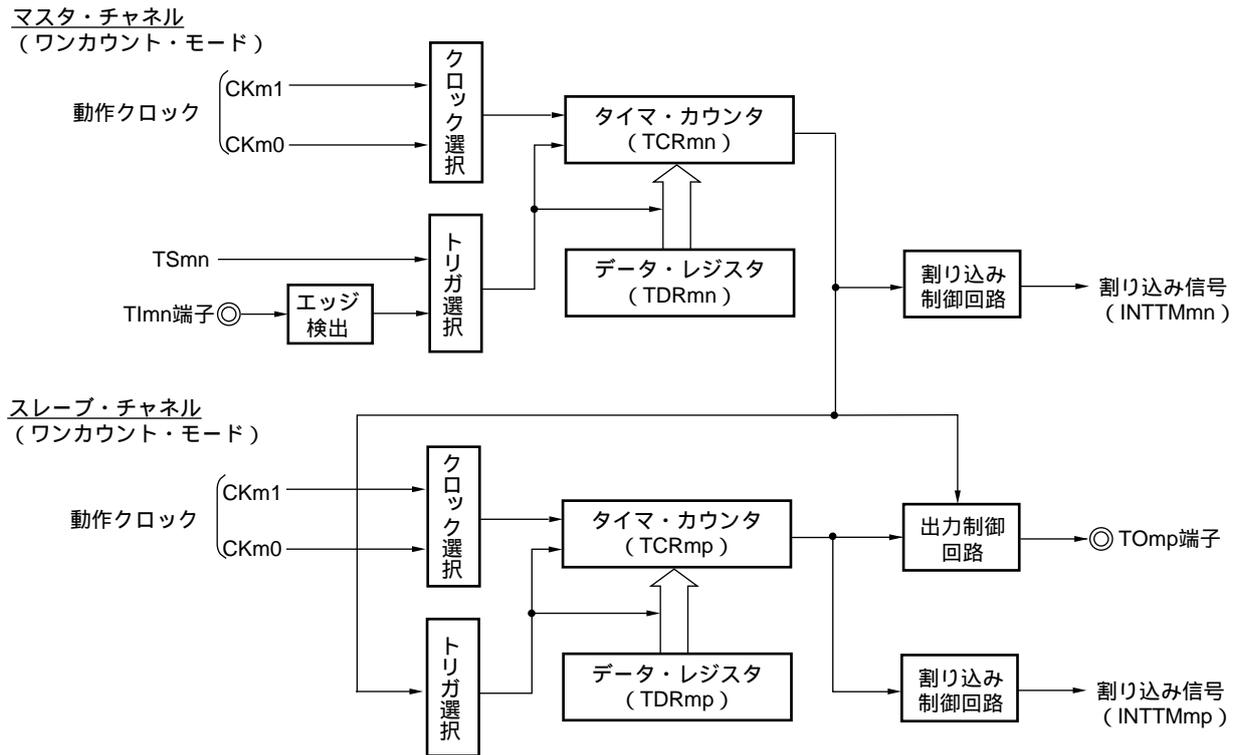
スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルのTCRmpは、マスタ・チャンネルのINTTMmnをスタート・トリガとして動作を開始し、TCRmpはTDRmpの値をロードします。TCRmpはロードしたTDRmpの値からカウント・クロックに合わせてダウン・カウントを行います。そしてTCRmp = 0000HとなったらINTTMmpを出力して、次のスタート・トリガ (マスタ・チャンネルのINTTMmn) 検出があるまで、カウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

マスタ・チャンネルのTCRmnは、TImn端子入力を使用せず、ソフトウェア操作 (TSmn = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャンネルのTDRmnとスレーブ・チャンネルのTDRmpでは、ロード・タイミングが異なるため、動作中にTDRmn、TDRmpを書き換えると不正波形が出力されます。書き換え対象チャンネルのINTTMmn発生後に、TDRmn、TDRmpを書き換えてください。

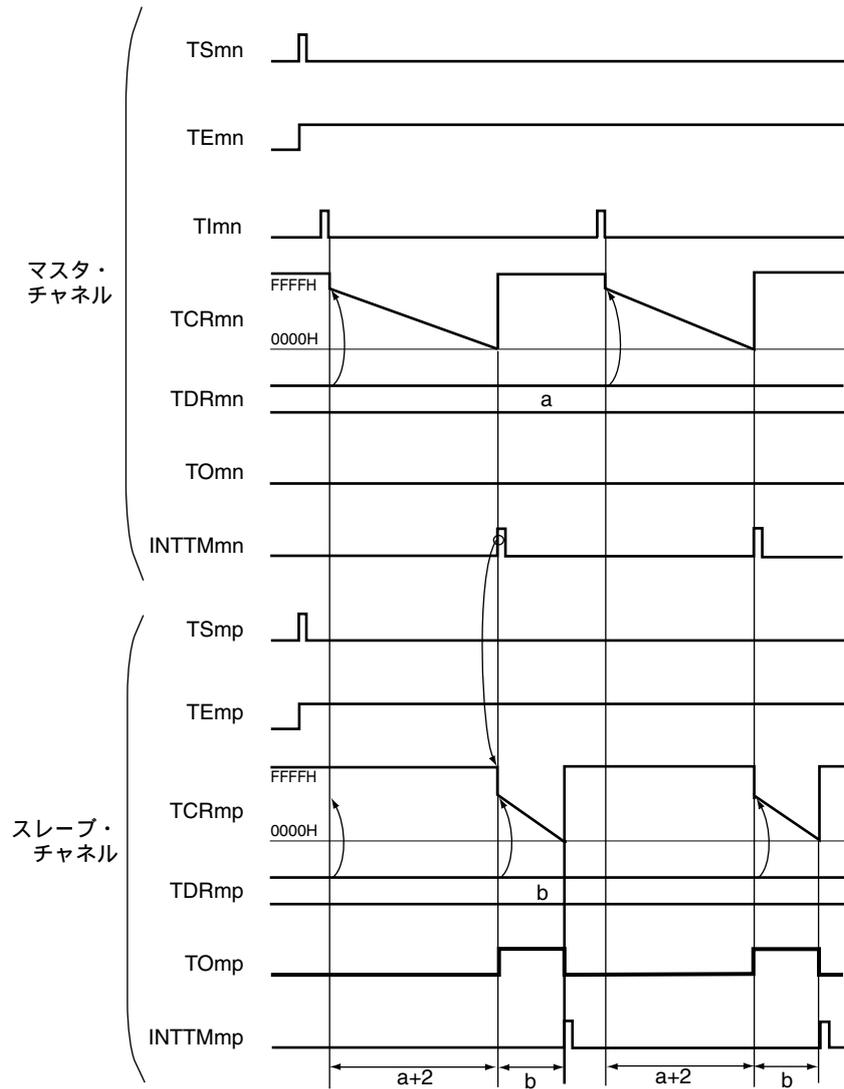
備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

図6-60 ワンショット・パルス出力機能としての動作のブロック図



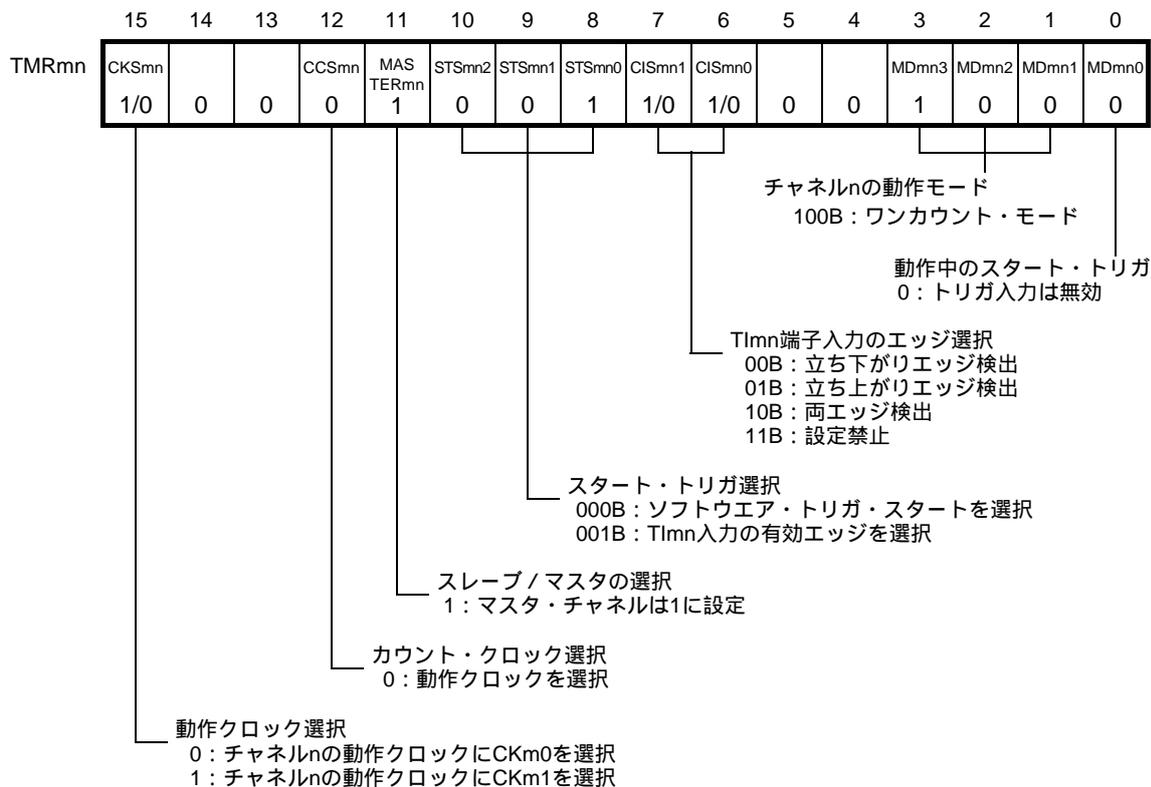
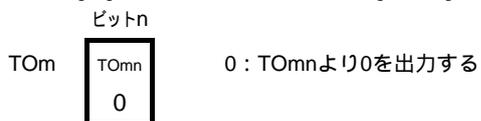
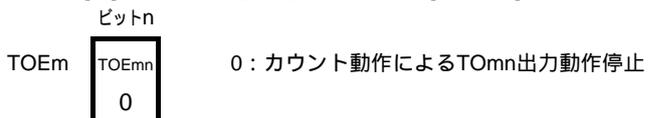
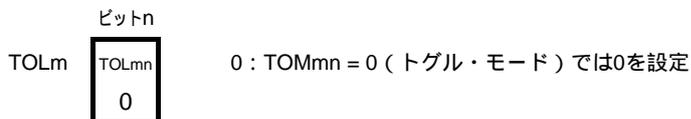
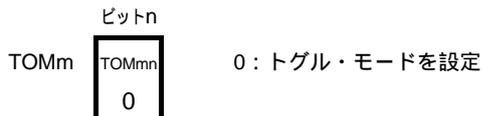
備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

図6 - 61 ワンショット・パルス出力機能（スタート・トリガ：TImn入力の有効エッジ）としての動作の基本タイミング例



備考 $m = 0, n = 4, 6, p = 5, 7, TO05, TO07$ 端子

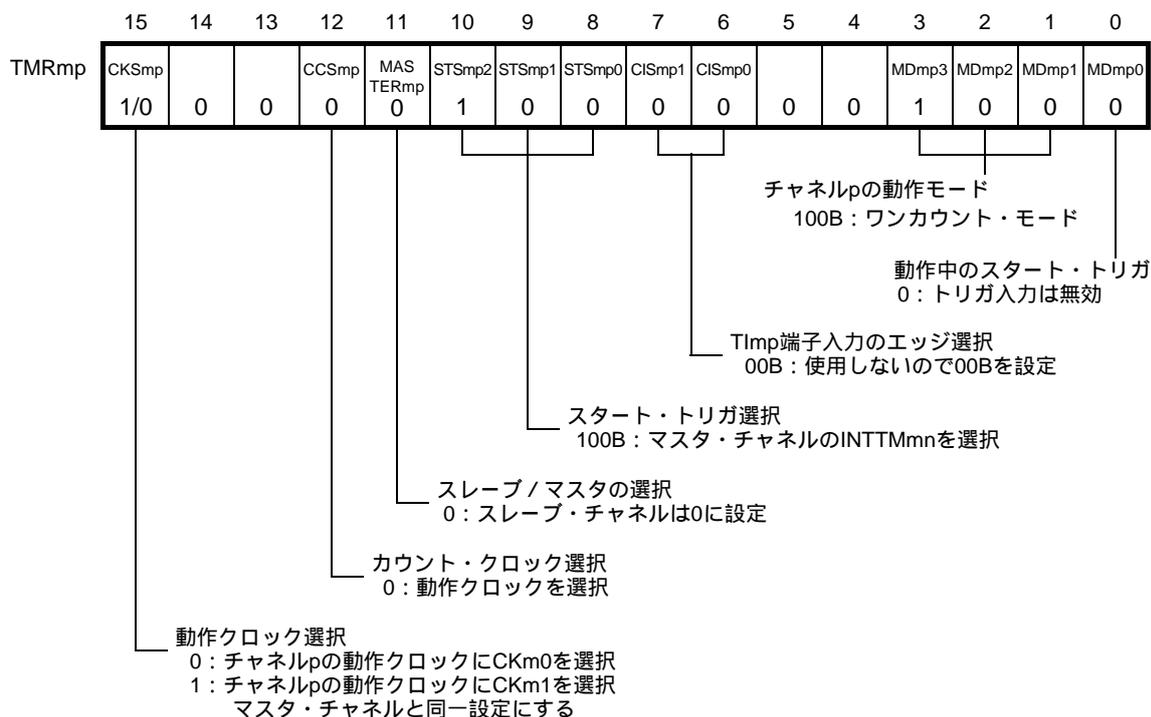
図6-62 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ_{mn} (TMR_{mn})(b) タイマ出力レジスタ_m (TO_m)(c) タイマ出力許可レジスタ_m (TOE_m)(d) タイマ出力レベル・レジスタ_m (TOL_m)(e) タイマ出力モード・レジスタ_m (TOM_m)

備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

図6 - 63 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp (TMRmp)



(b) タイマ出力レジスタm (TOM)

ビットp

TOM	TOMP	0 : TOMより0を出力する
	1/0	1 : TOMより1を出力する

(c) タイマ出力許可レジスタm (TOEm)

ビットp

TOEm	TOEMP	0 : カウント動作によるTOMP出力動作停止
	1/0	1 : カウント動作によるTOMP出力動作許可

(d) タイマ出力レベル・レジスタm (TOLm)

ビットp

TOLm	TOLMP	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1 : 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタm (TOMm)

ビットp

TOMm	TOMMP	1 : 連動動作モードを設定
	1	

備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

図6-64 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPSmレジスタを設定する CKm0とCKm1のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのTMRmn, TMRmpレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRmnレジスタに出力遅延時間, スレーブ・チャンネルのTDRmpレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOMmレジスタのTOMmpビットに1 (連動動作モード) を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力
動作 開始	TOEmp (スレーブ) に1を設定する (動作再開時のみ) TSmレジスタのTSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEm = 1となり, マスタ・チャンネルはTImn入力のエッジ検出待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのスタート・トリガを検出 (TImn端子入力の有効エッジを検出, またはTSmnビットに1を設定)	マスタ・チャンネルがカウント動作開始
動作 中	TMRmnレジスタは, CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmpレジスタ, TOMmn, TOMmp, TOLmn, TOLmpビットは, 設定値変更禁止 TCRmn, TCRmpレジスタは, 常に読み出し可能 TSRmn, TSRmpレジスタは, 使用しない TOM, TOEmレジスタは, 設定値変更可能	マスタ・チャンネルでは, スタート・トリガが検出されたら, TCRmnはTDRmnの値をロードし, ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のTImn端子入力までカウント動作を停止する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTMmnをトリガとして, TCRmpはTDRmpの値をロードし, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので, 自動的に0に戻る	TEmn, TEm = 0になり, カウント動作停止 TCRmn, TCRmpはカウント値を保持して停止 TOmp出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOEmpに0を設定し, TOMレジスタに値を設定する	TOmp端子はTOmn設定レベルを出力

動作再開

図6 - 64 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	<p>TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する</p> <p>TOmp端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える</p> <p>PER0レジスタのTAU0ENビットに0を設定する</p>	<p>TOmp端子出力レベルはポート機能により保持される。</p> <p>TOmp端子出力レベルはHi-Z出力になる。</p> <p>パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmpビットが0になり、TOmp端子はポート機能となる)</p>

備考 m = 0, n = 4, 6, p = 5, 7, TO05, TO07端子

第7章 リアルタイム・カウンタ

注意 リアルタイム・カウンタは、LRESET端子によるリセットでのみ初期化されます。それ以外のRESET端子によるリセット、ウォッチドッグ・タイマ、パワーオンクリア（POC）、低電圧検出回路（LVI）、不正命令の実行による内部リセットでは初期化されません。

7.1 リアルタイム・カウンタの機能

リアルタイム・カウンタには、次のような機能があります。

- ・年、月、曜日、日、時、分、秒のカウントを持ち、最長99年までカウント可能
- ・定周期割り込み機能（周期：1ヶ月～0.5秒）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・インターバル割り込み機能
- ・1 Hzまたは32.768 kHzの端子出力機能

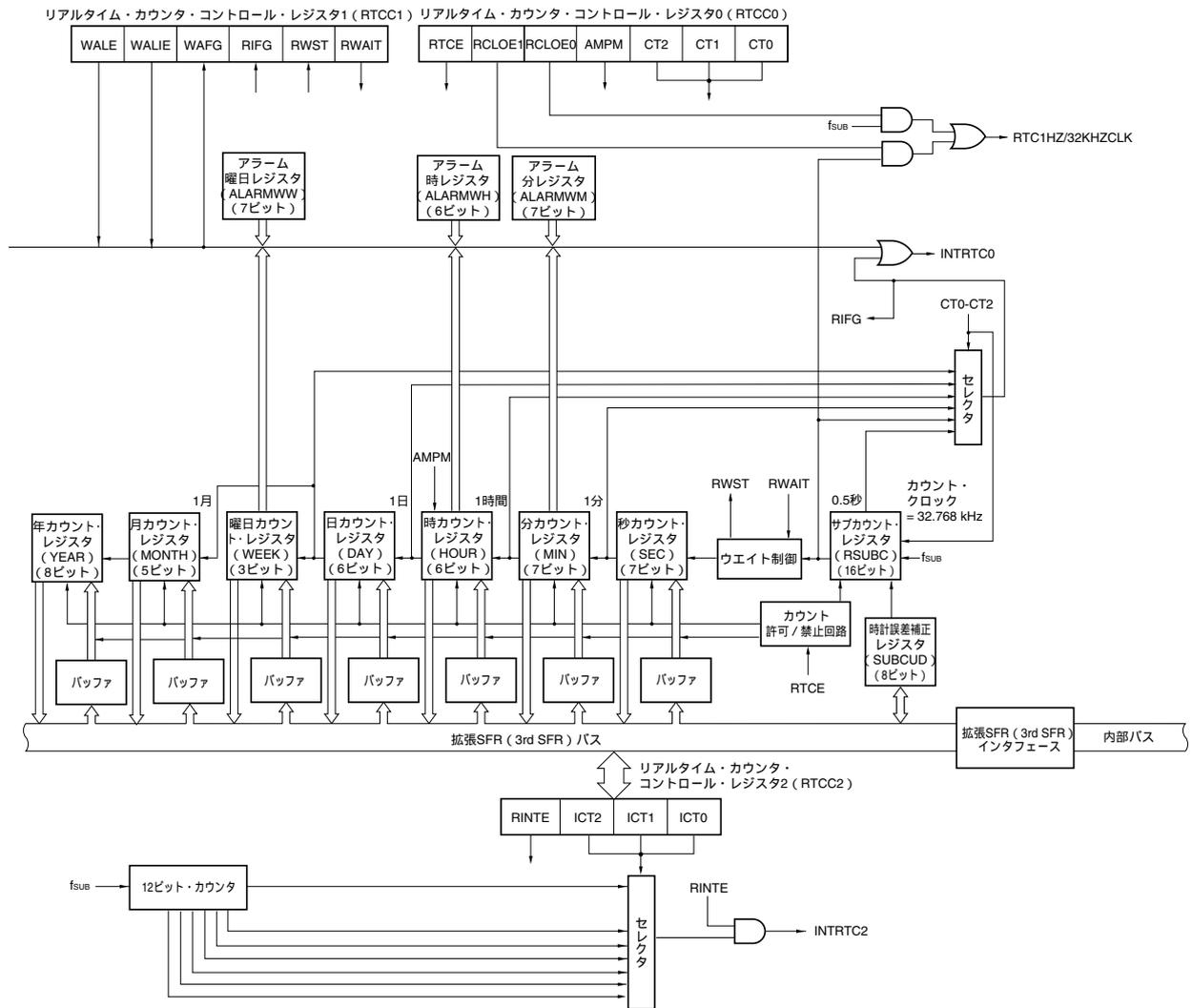
7.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表7-1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) リアルタイム・カウンタ・モード・レジスタ (RTCMD) プルダウン状態制御レジスタ (PUTCTL) サブカウント・レジスタ (RSUBC) 秒カウント・レジスタ (SEC) 分カウント・レジスタ (MIN) 時カウント・レジスタ (HOUR) 日カウント・レジスタ (DAY) 曜日カウント・レジスタ (WEEK) 月カウント・レジスタ (MONTH) 年カウント・レジスタ (YEAR) 時計誤差補正レジスタ (SUBCUD) アラーム分レジスタ (ALARMWM) アラーム時レジスタ (ALARMWH) アラーム曜日レジスタ (ALARMWW)

図7-1 リアルタイム・カウンタのブロック図



7.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次のレジスタで制御します。

これらのレジスタは、すべて拡張SFR（3rd SFR）空間に配置されています。

拡張SFR（3rd SFR）空間へのアクセス方法は、**第14章 拡張SFR（3rd SFR）インタフェース**を参照してください。

- ・リアルタイム・カウンタ・コントロール・レジスタ0（RTCC0）
- ・リアルタイム・カウンタ・コントロール・レジスタ1（RTCC1）
- ・リアルタイム・カウンタ・コントロール・レジスタ2（RTCC2）
- ・リアルタイム・カウンタ・モード・レジスタ（RTCMD）
- ・プルダウン状態制御レジスタ（PUTCTL）
- ・サブカウント・レジスタ（RSUBC）
- ・秒カウント・レジスタ（SEC）
- ・分カウント・レジスタ（MIN）
- ・時カウント・レジスタ（HOUR）
- ・日カウント・レジスタ（DAY）
- ・曜日カウント・レジスタ（WEEK）
- ・月カウント・レジスタ（MONTH）
- ・年カウント・レジスタ（YEAR）
- ・時計誤差補正レジスタ（SUBCUD）
- ・アラーム分レジスタ（ALARMWM）
- ・アラーム時レジスタ（ALARMWH）
- ・アラーム曜日レジスタ（ALARMWW）

(1) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始/停止, RTC1HZ/32KHZCLK端子の制御, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, 00Hになります。

図7-2 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス: 96H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1 ^注	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

RCLOE0 ^注	32KHZCLK端子の出力制御
0	32KHZCLK端子の出力 (32.768 kHz) 禁止
1	32KHZCLK端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

AMPMの値を変更する場合は, RWAIT (RTCC1のビット0) = 1にしてから書き換えてください。AMPMの値を変更すると, 時カウント・レジスタ (HOUR) の値は設定した時間制に対応する値に変更されます。時間桁表示表を表7-2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC0) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	x	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0ビットの値を変更する場合は, INTRTC0を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFGフラグ, RTC0IFフラグをクリアしてから割り込み処理許可にしてください。

注 RCLOE0とRCLOE1は, 同時許可禁止です。

注意 RTCE = 1のときにRCLOE0, RCLOE1を変更すると, 32.768 kHz, 1 Hzの出力の最後の波形が短くなる場合があります。

備考 x : don't care

(2) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1は，拡張SFR（3rd SFR）空間に配置されています。

拡張SFR（3rd SFR）インタフェースを使用して設定します。

リセット信号の発生により，00Hになります。

図7-3 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：97H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効

カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTC0を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTC0IFフラグをクリアしてください。アラームの各レジスタ (RTCC1レジスタのWALIEフラグ，アラーム分レジスタ (ALARMWM)，アラーム時レジスタ (ALARMWH)，アラーム曜日レジスタ (ALARMWW)) を設定する場合，WALEビットを一致動作無効“0”にしてください。

WALIE	アラーム割り込み (INTRTC0) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出

アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中

RWAITの設定が有効であることを示すステータスです。
カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。

図7-3 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC ~ YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 サブカウンタ・レジスタ (RSUBC) は動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。RSUBCのオーバーフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウント・アップします。ただし、秒カウンタ・レジスタへの書き込みを行った場合は、RSUBCがクリアされるためカウント・アップしません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのためRTCC1レジスタへの書き込みは、8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず、値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC0) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTC0が発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(3) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能を制御する8ビットのレジスタです。

RTCC2は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図7-4 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス : 92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	0	0	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTC2) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{SUB}$ (1.953125 ms)
1	0	0	1	$2^7/f_{SUB}$ (3.90625 ms)
1	0	1	0	$2^8/f_{SUB}$ (7.8125 ms)
1	0	1	1	$2^9/f_{SUB}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{SUB}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{SUB}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{SUB}$ (125 ms)

注意 ICT2, ICT1, ICT0の変更は、RINTE = 0のときに行ってください。

(4) リアルタイム・カウンタ・モード・レジスタ (RTCMD)

リアルタイム・カウンタの動作モードを設定する8ビットのレジスタです。

RTCMDは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図7-5 リアルタイム・カウンタ・モード・レジスタ (RTCMD) のフォーマット

アドレス : CBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCMD	RTCMD7	RTCMD6	RTCMD5	RTCMD4	RTCMD3	RTCMD2	RTCMD1	RTCMD0

RTCMD7-RTCMD0	リアルタイム・カウンタの動作モードの設定
01011001 (59H)	リアルタイム・カウンタは動作。 24ビット 型A/Dコンバータ, 電力演算回路, 電力品質測定回路, デジタル周波数変換回路は動作停止。
上記以外	通常動作モード

(5) ブルダウン状態制御レジスタ (PUTCTL)

リセット解除後の端子のブルダウン状態を制御する8ビットのレジスタです。

PUTCTLは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図7-6 ブルダウン状態制御レジスタ (PUTCTL) のフォーマット

アドレス : 88H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PUTCTL	0	0	0	0	0	0	0	PDCUT

PDCUT	ブルダウン抵抗の接続制御
0	ブルダウン抵抗を接続
1	ブルダウン抵抗を切断

注意 拡張SFR (3rd SFR) 空間へのアクセスは、拡張SFR (3rd SFR) インタフェースを使用します。

リセット解除後、拡張SFR (3rd SFR) インタフェースの初期化が終了するまでの間、拡張SFR (3rd SFR) インタフェースの状態が不定にならないようにブルダウン制御を行います。拡張SFR (3rd SFR) インタフェースの初期化が完了したあとは、消費電流を抑えるため、PUTCTLに01Hを設定して、ブルダウン状態を解除してください。

(6) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。
通常0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。
RSUBCは、拡張SFR (3rd SFR) 空間に配置されています。
拡張SFR (3rd SFR) インタフェースを使用して設定します。
リセット信号の発生により、0000Hになります。

- 注意1.** 時計誤差補正レジスタ (SUBCUD) により補正を行う場合は、8000H以上の値になる場合があります。
- このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 - このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図7-7 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス：98H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSUBCL	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

アドレス：99H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSUBCH	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(7) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。
サブカウンタからのオーバーフローによりカウント・アップします。
書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。
SECは、拡張SFR (3rd SFR) 空間に配置されています。
拡張SFR (3rd SFR) インタフェースを使用して設定します。
リセット信号の発生により、00Hになります。

図7-8 秒カウント・レジスタ (SEC) のフォーマット

アドレス：9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(8) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後に, カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-59をBCDコードで設定してください。

MINは, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, 00Hになります。

図7-9 分カウント・レジスタ (MIN) のフォーマット

アドレス: 9BH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(9) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また, リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて, 10進の00-23または01-12, 21-32をBCDコードで設定してください。AMPMの値を変更すると, HOURの値は設定した時間制に対応する値に変更されます。

HOURは, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, 12Hになります。

ただし, リセット後に, AMPMビットに1をセットした場合は00Hとなります。

図7-10 時カウント・レジスタ (HOUR) のフォーマット

アドレス: 9CH リセット時: 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は, AMPM = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表7 - 2に示します。

表7 - 2 時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前/午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

(10) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。

DAYは, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, 01Hになります。

図7 - 11 日カウント・レジスタ (DAY) のフォーマット

アドレス : 9EH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(11) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図7-12 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : 9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタ (WEEK) には、月カウント・レジスタ (MONTH) および日カウント・レジスタ (DAY) に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(12) 月カウント・レジスタ (MONTH)

1-12 (10進) までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、01Hになります。

図7-13 月カウント・レジスタ (MONTH) のフォーマット

アドレス : 9FH リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(13) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図7-14 年カウント・レジスタ (YEAR) のフォーマット

アドレス : A0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(14) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは, INTRTC0を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き替え後は, 割り込み要求フラグ (RTC0IF), 定周期割り込みステータス・フラグ (RIFG) をクリアしてから割り込み処理許可にしてください。

SUBCUDは, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, 00Hになります。

図7 - 15 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: A1H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正

次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。

- ・ DEV = 0設定時: SEC = 00H, 20H, 40Hの期間
- ・ DEV = 1設定時: SEC = 00Hの期間

F6	時計誤差補正値の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (F5, F4, F3, F2, F1, F0) + 1 } × 2だけ減少

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。
 /F5 ~ /F0は, ビット反転した値 (111100のときは000011) となります。
 補正値の範囲: (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124
 (F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(15) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図7 - 16 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：93H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(16) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図7 - 17 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：94H リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(17) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図7-18 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：95H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

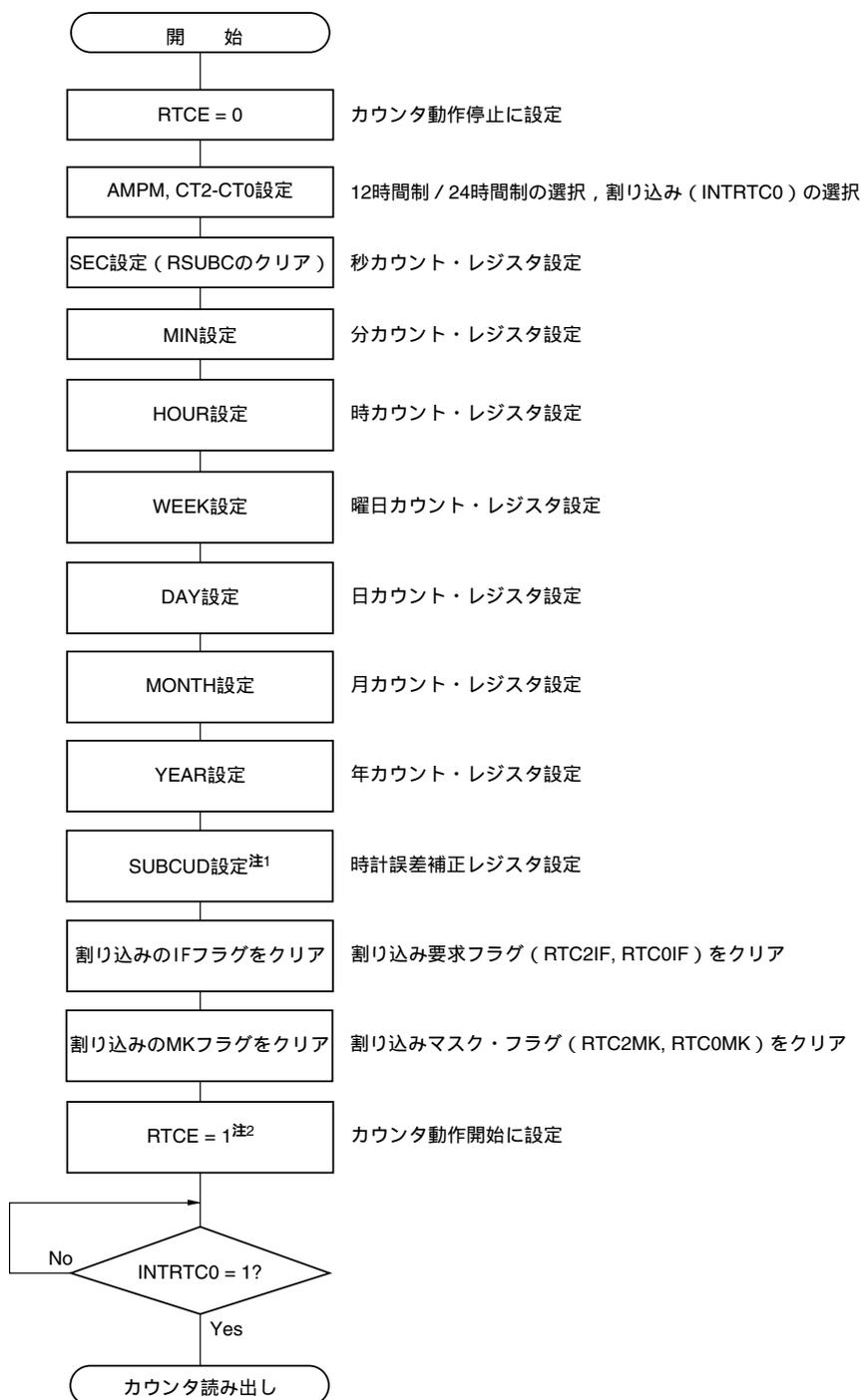
次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜 日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
	0	1	2	3	4	5	6								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

7.4 リアルタイム・カウンタの動作

7.4.1 リアルタイム・カウンタの動作開始

図7-19 リアルタイム・カウンタの動作開始手順



注1. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、7.4.7 リアルタイム・カウンタの時計誤差補正例を参照してください。

2. RTCE = 1のあとにINTRTC0 = 1を待たずにSTOPモードへ移行する場合は、7.4.2 動作開始後のSTOPモードへの移行の手順を確認してください。

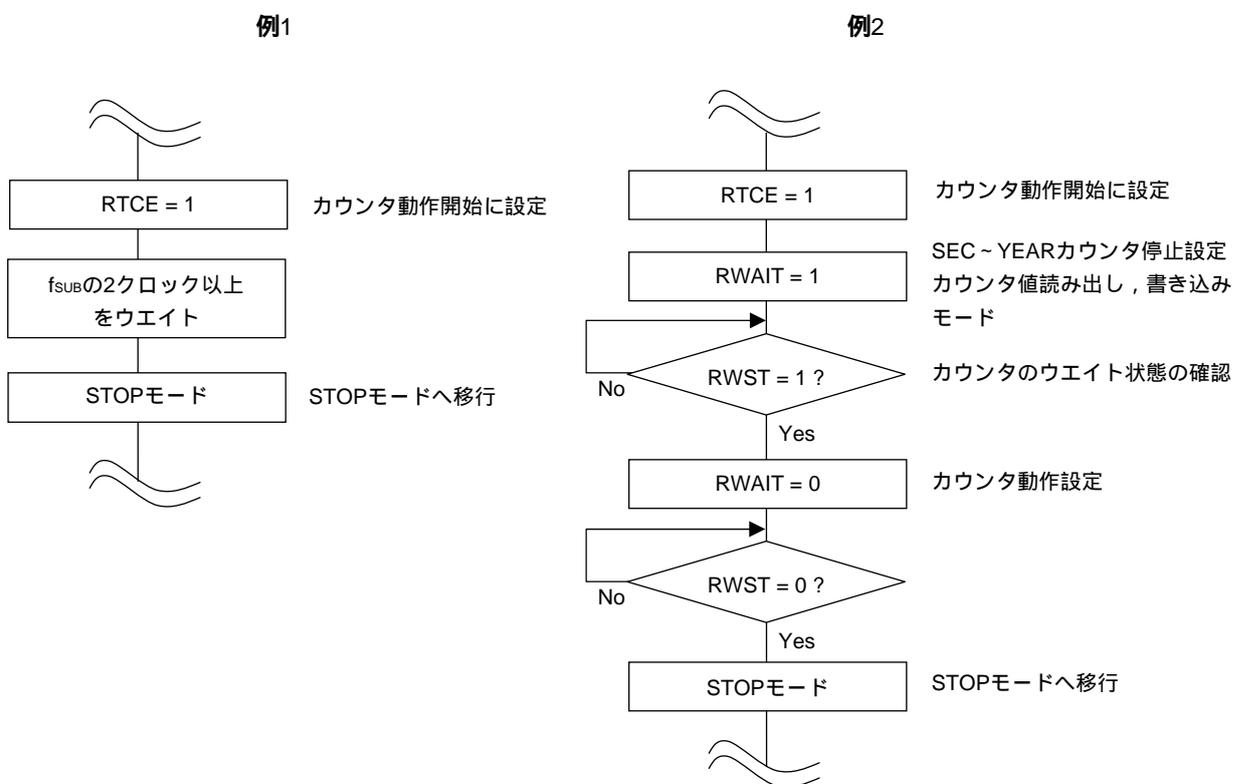
7.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC0割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、入力クロック (f_{SUB}) の2クロック分以上経過後にSTOPモードへ移行する (図7-20 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する (図7-20 例2参照)。

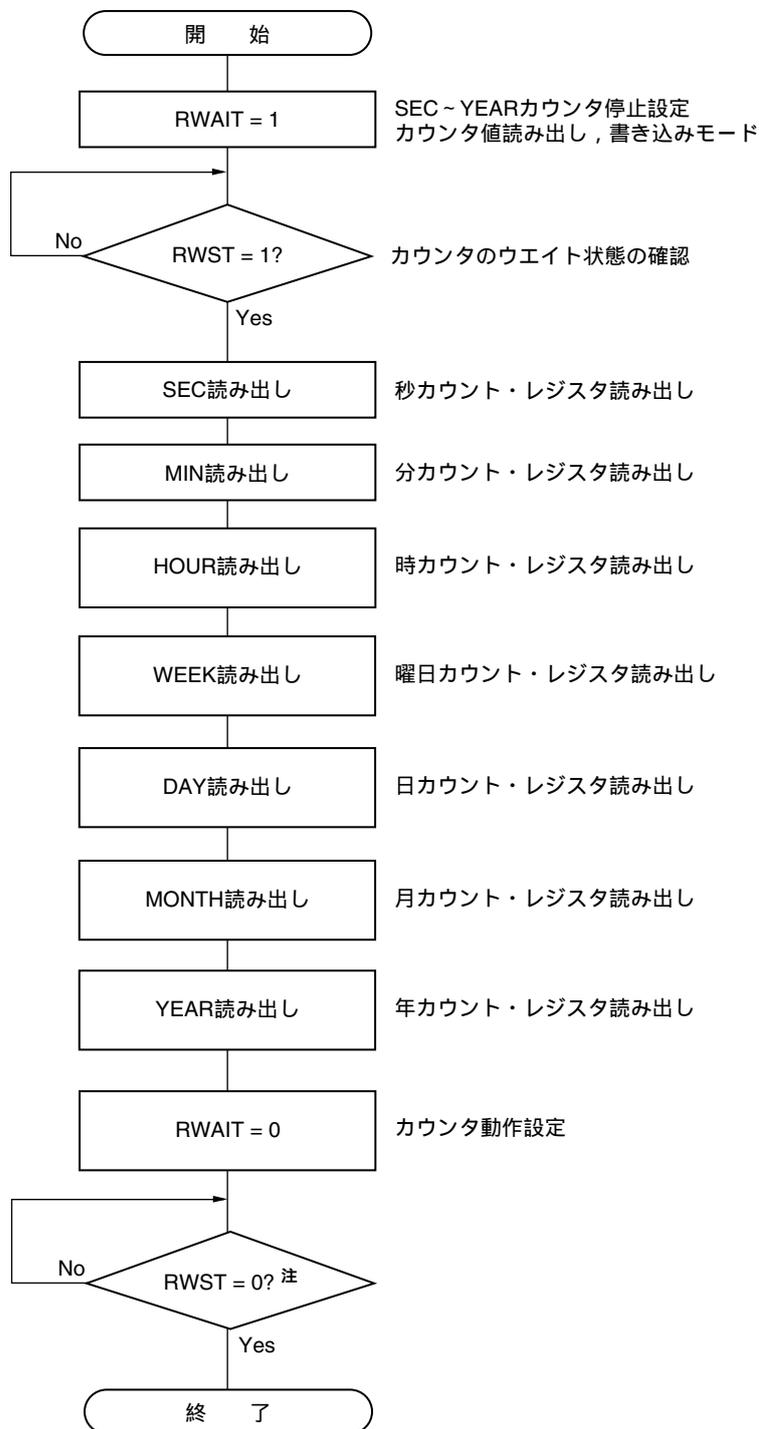
図7-20 RTCE = 1に設定後のSTOPモードへの移行手順



7.4.3 リアルタイム・カウンタのカウンタ読み出し/書き込み

カウンタの読み出し/書き込みは、最初にRWAIT = 1にしてから行ってください。

図7-21 リアルタイム・カウンタの読み出し手順

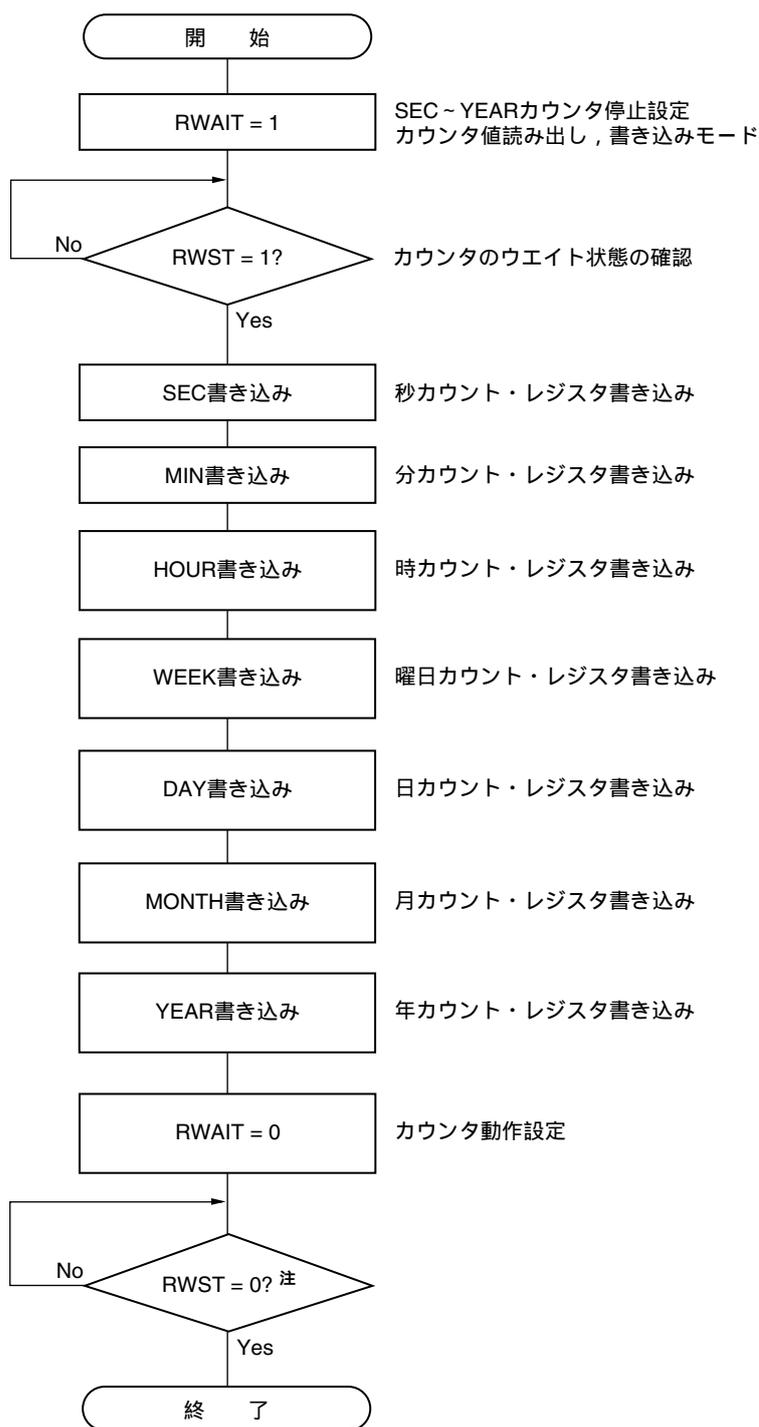


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図7-22 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

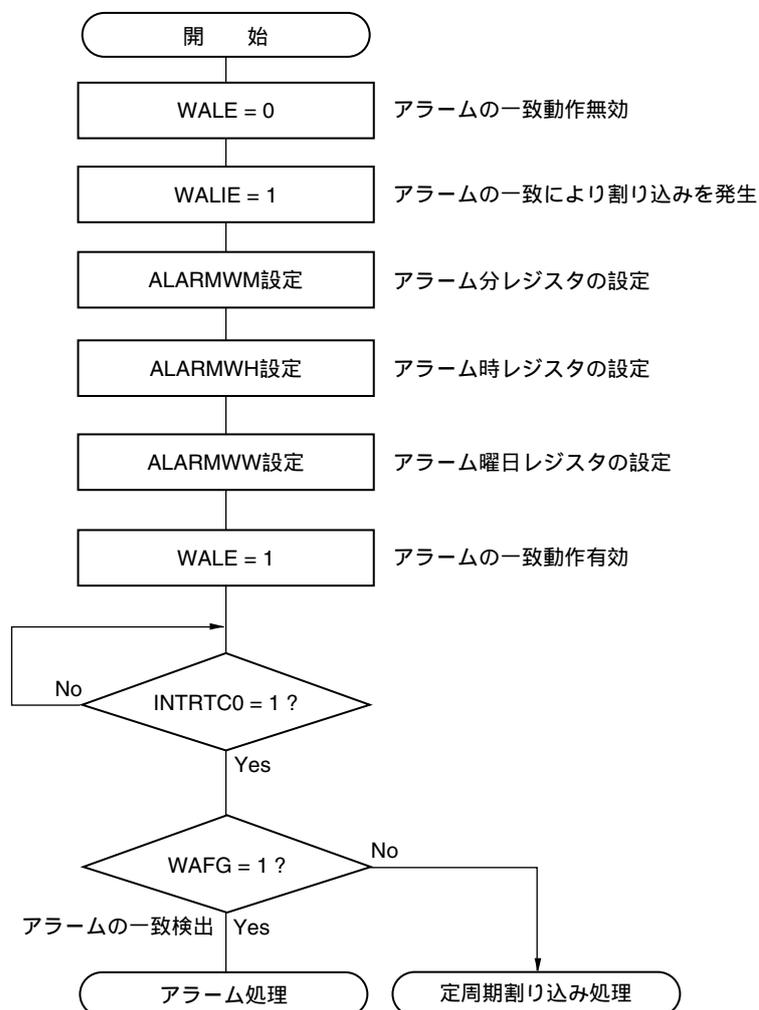
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

7.4.4 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図7-23 アラーム設定手順

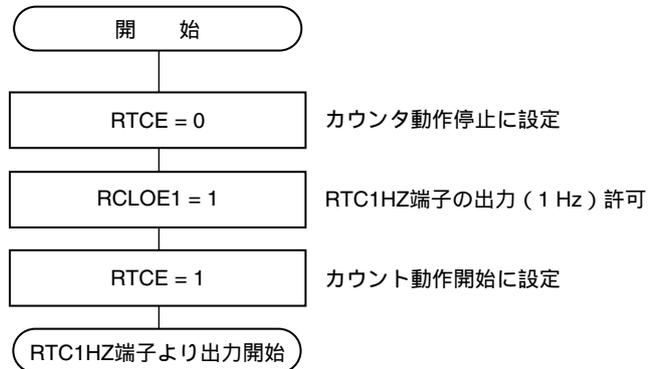


備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

- 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC0) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTC0が発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

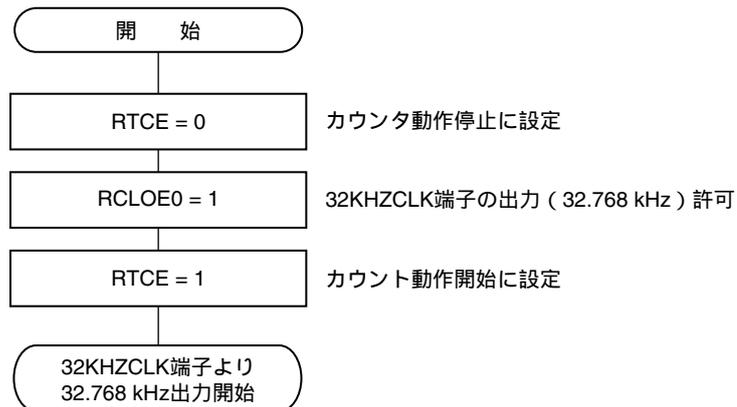
7.4.5 リアルタイム・カウンタの1 Hz出力

図7 - 24 1 Hz出力の設定手順



7.4.6 リアルタイム・カウンタの32.768 kHz出力

図7 - 25 32.768 kHz出力の設定手順



7.4.7 リアルタイム・カウンタの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタ (RSUBC) のカウント値を補正する際の補正値は、次の式で算出できます。
補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6}=0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6}=1\text{の場合}) \text{補正値} = - \{ (\text{/F5}, \text{/F4}, \text{/F3}, \text{/F2}, \text{/F1}, \text{/F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

- 備考1.** 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または - 2, - 4, - 6, - 8 . . . - 120, - 122, - 124です。
2. 発振周波数とは、リアルタイム・カウンタ (RTC) の入力クロック (f_{SUB}) の値です。
32KHZCLK端子からの32 kHz出力周波数、または時計誤差補正レジスタが初期値(00H)時のRTC1HZ端子の出力周波数 × 32768で求めることができます。
3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]は、32KHZCLK端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、7. 4. 5 **リアルタイム・カウンタの1Hz出力**を、32KHZCLK端子から約32 kHzの出力の設定手順は、7. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(32KHZCLK端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm) とすると、- 131.2 ppmは補正範囲が - 63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1分間の補正カウント数 \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = 86の場合)

補正値が0以上 (遅くする場合) では、F6 = 0とします。

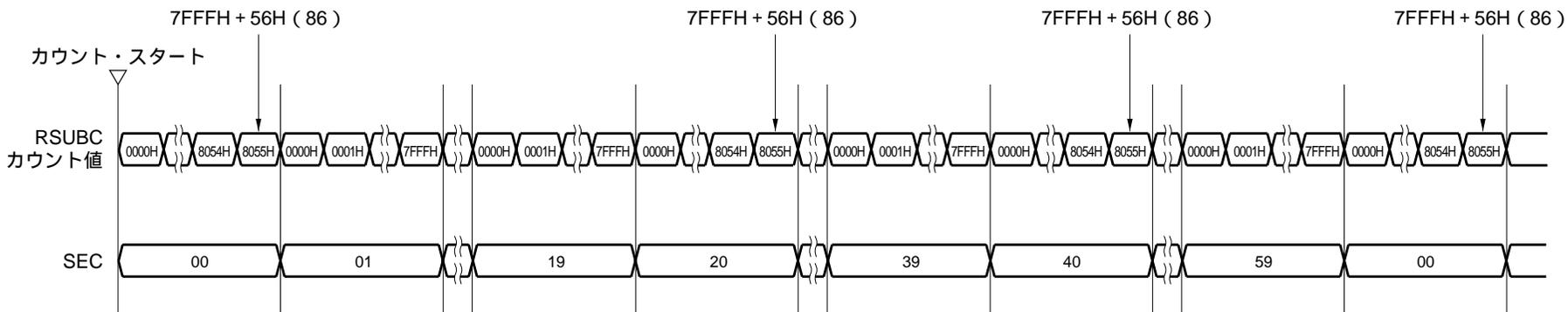
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、DEV = 0、補正値 = 86 (SUBCUDのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作を図7 - 26に示します。

図9 - 26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作



補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]を32KHZCLK端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値 (00H) 時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、7. 4. 5 リアルタイム・カウンタの1Hz出力を、32KHZCLK端子から約32 kHzの出力の設定手順は、7. 4. 6 リアルタイム・カウンタの32.768 kHz出力を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \quad 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = \text{1分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = - 36の場合)

補正値が0以下 (速くする場合) では、F6 = 1とします。

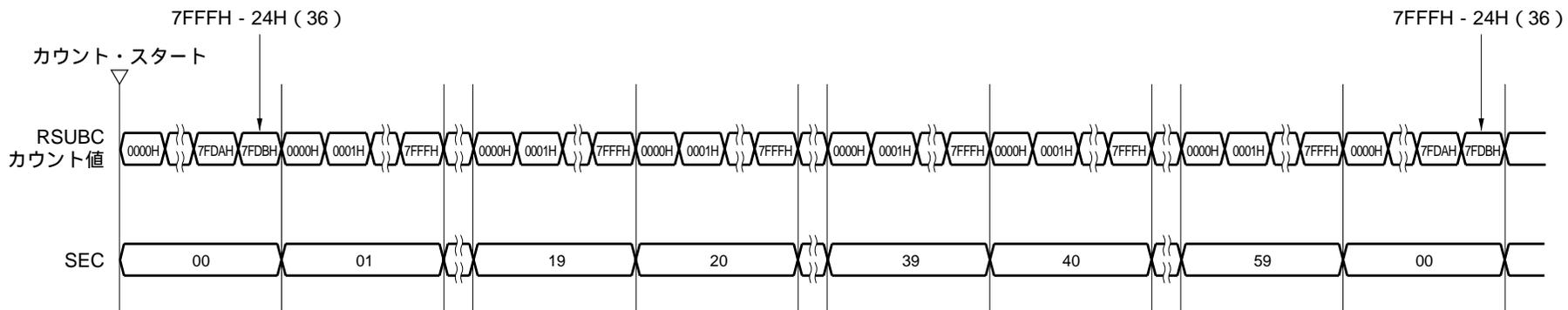
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、DEV = 1、補正値 = - 36 (SUBCUDのビット6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図7 - 27に示します。

図7-27 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作



第8章 リアルタイム・カウンタ2

8.1 リアルタイム・カウンタ2の機能

リアルタイム・カウンタ2には、次のような機能があります。

- ・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
- ・定周期割り込み機能（周期：1ヶ月～0.5秒）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・インターバル割り込み機能

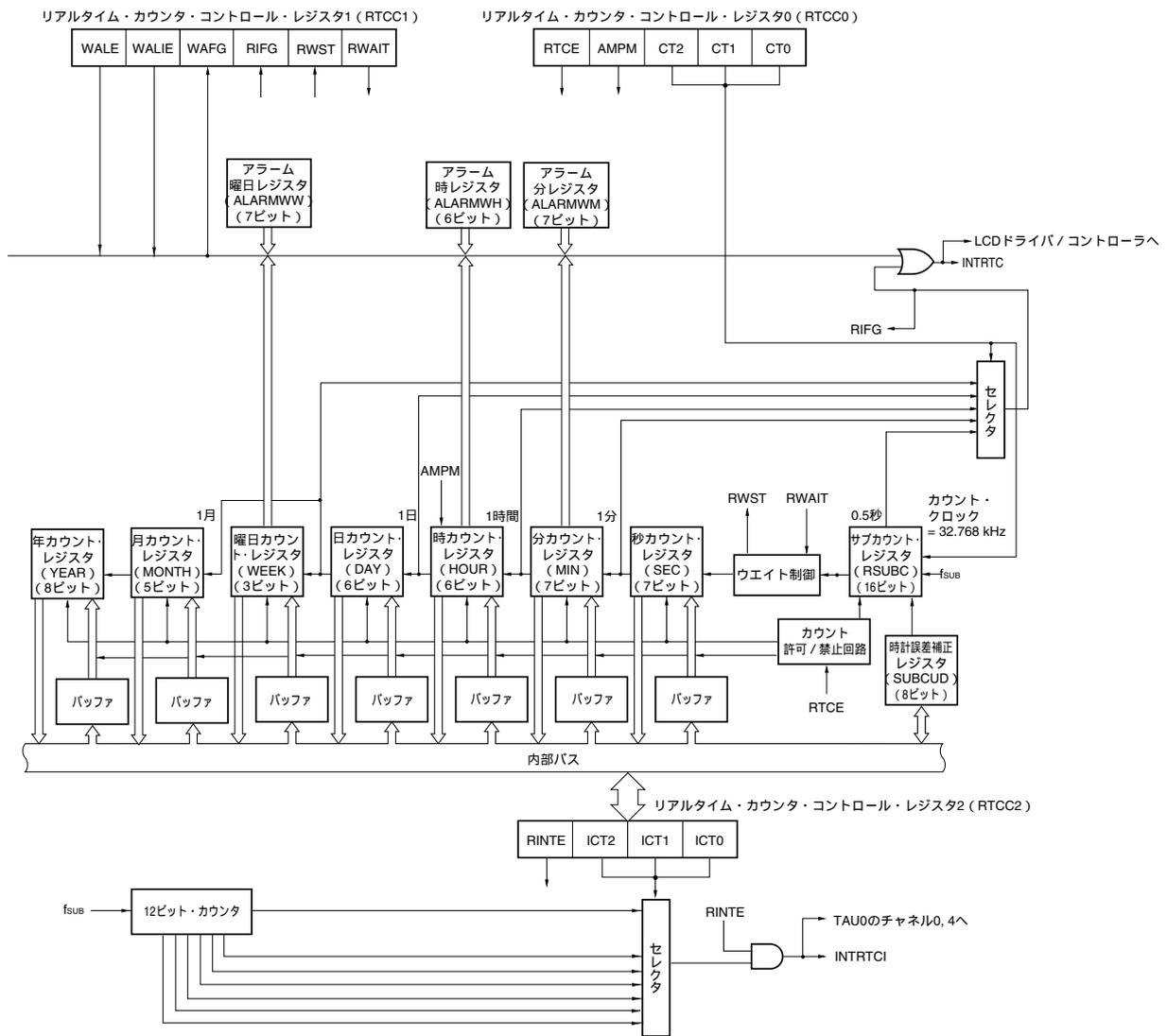
8.2 リアルタイム・カウンタ2の構成

リアルタイム・カウンタ2は，次のハードウェアで構成されています。

表8 - 1 リアルタイム・カウンタ2の構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) サブカウンタ・レジスタ (RSUBC) 秒カウンタ・レジスタ (SEC) 分カウンタ・レジスタ (MIN) 時カウンタ・レジスタ (HOUR) 日カウンタ・レジスタ (DAY) 曜日カウンタ・レジスタ (WEEK) 月カウンタ・レジスタ (MONTH) 年カウンタ・レジスタ (YEAR) 時計誤差補正レジスタ (SUBCUD) アラーム分レジスタ (ALARMWM) アラーム時レジスタ (ALARMWH) アラーム曜日レジスタ (ALARMWW)

図8 - 1 リアルタイム・カウンタ2のブロック図



8.3 リアルタイム・カウンタ2を制御するレジスタ

リアルタイム・カウンタ2は、次の16種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
- ・リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
- ・サブカウント・レジスタ (RSUBC)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

(1) 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・カウンタ2を使用するときは、必ずビット7 (RTCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

RTCEN	リアルタイム・カウンタ2 (RTC2) の入力クロック ^注 の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ2 (RTC2) で使用するSFRへのライト不可 ・リアルタイム・カウンタ2 (RTC2) はリセット状態
1	入力クロック供給 ・リアルタイム・カウンタ2 (RTC2) で使用するSFRへのリード/ライト可

注 RTCENでは、CPUからリアルタイム・カウンタ2 (RTC2) のレジスタにアクセスするときに使われるクロックを供給、停止できます。RTCENで、RTC2の動作クロックの供給を制御することはできません。

- 注意1.** リアルタイム・カウンタ2を使用する場合は、サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。RTCEN = 0の場合は、リアルタイム・カウンタ2の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。
- 2.** 動作スピード・モード制御レジスタ (OSMC) のRTCLPC = 1に設定することにより、サブシステム・クロック時HALTモードで、リアルタイム・カウンタ2以外の周辺機能へのクロック供給を停止することが可能です。その場合、RTCENは1に設定し、PER0のその他のビット0-6は0に設定してください。

(2) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ2動作の開始/停止、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	0	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタ2の動作制御
0	カウンタ動作停止
1	カウンタ動作開始

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

・ AMPMの値を変更する場合は, RWAIT (RTCC1のビット0) = 1にしてから書き換え, 時カウント・レジスタ (HOUR) を再設定してください。

・ 時間桁表示表を表8-2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	×	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0の値を変更する場合は, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き換え後は, RIFGフラグ, RTCIFフラグをクリアしてから割り込み処理許可にしてください。

備考 × : don't care

(3) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8 - 4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FFF9EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
<p>カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1のWALIEフラグ，ALARMWMレジスタ，ALARMWHレジスタ，ALARMWWレジスタ) を設定する場合，WALEを一致動作無効 “0” にしてください。</p>	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
<p>アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に “1” となります。</p> <p>“0” を書き込むことでクリアされ，“1” の書き込みは無効となります。</p>	

図8-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST	リアルタイム・カウンタ2のウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITの設定が有効であることを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタ2のウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
RSUBCは動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。RSUBCのオーバフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウントアップします。ただし、秒カウント・レジスタへの書き込みを行った場合は、RSUBCがクリアされるためカウントアップしません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(4) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能を制御する8ビットのレジスタです。

RTCC2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス：FFF9FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	0	0	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTCI) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{SUB}$ (1.953125 ms)
1	0	0	1	$2^7/f_{SUB}$ (3.90625 ms)
1	0	1	0	$2^8/f_{SUB}$ (7.8125 ms)
1	0	1	1	$2^9/f_{SUB}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{SUB}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{SUB}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{SUB}$ (125 ms)

注意1. ICT2, ICT1, ICT0の変更は、RINTE = 0のときに行ってください。

2. ビット5には、必ず0を設定してください。

備考 f_{SUB} : サブシステム・クロック周波数

(5) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタ2の1秒の基準時間をカウントする16ビットのレジスタです。

0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。

RSUBCは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

- 注意1.** SUBCUDレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 3. このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図8 - 6 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス : FFF90H リセット時 : 0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

アドレス : FFF91H リセット時 : 0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(6) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 7 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(7) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後に, カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-59をBCDコードで設定してください。

MINは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図8-8 分カウント・レジスタ (MIN) のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-23または01-12, 21-32をBCDコードで設定してください。

HOURは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 12Hになります。

ただし, リセット後に, AMPMビット (RTCC0レジスタのビット3) に1をセットした場合は00Hとなります。

図8-9 時カウント・レジスタ (HOUR) のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は, AMPM = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。

表8 - 2 時間桁表示表

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12H
1時	01H	AM1時	01H
2時	02H	AM2時	02H
3時	03H	AM3時	03H
4時	04H	AM4時	04H
5時	05H	AM5時	05H
6時	06H	AM6時	06H
7時	07H	AM7時	07H
8時	08H	AM8時	08H
9時	09H	AM9時	09H
10時	10H	AM10時	10H
11時	11H	AM11時	11H
12時	12H	PM0時	32H
13時	13H	PM1時	21H
14時	14H	PM2時	22H
15時	15H	PM3時	23H
16時	16H	PM4時	24H
17時	17H	PM5時	25H
18時	18H	PM6時	26H
19時	19H	PM7時	27H
20時	20H	PM8時	28H
21時	21H	PM9時	29H
22時	22H	PM10時	30H
23時	23H	PM11時	31H

HOURレジスタ値は、AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。
12時間表示の場合は、HOURレジスタの5ビット目で午前/午後を表示し、午前（AM）のときに0に、午後（PM）のときに1となります。

(9) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り、日のカウント値を示す8ビットのレジスタです。
時カウンタからのオーバフローによりカウント・アップします。
カウンタは、次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大2クロック（32.768 kHz）後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図8 - 10 日カウント・レジスタ (DAY) のフォーマット

アドレス：FFF96H リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 曜日カウント・レジスタ (WEEK)

0-6（10進）までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック（32.768 kHz）後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 11 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス：FFF95H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(11) 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-12をBCDコードで設定してください。

MONTHは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図8 - 12 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-99をBCDコードで設定してください。

YEARは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図8 - 13 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは, INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また, 書き替え後は, 割り込み要求フラグ (RTCIF), 定周期割り込みステータス・フラグ (RIFG) をクリアしてから割り込み処理許可にしてください。

SUBCUDは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図8 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: FFF99H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
<ul style="list-style-type: none"> • DEV = 0設定時: SEC = 00H, 20H, 40Hの期間 • DEV = 1設定時: SEC = 00Hの期間 	

F6	時計誤差補正值の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 } × 2だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。 /F5 ~ /F0は, ビット反転した値 (111100のときは000011) となります。	
補正值の範囲: (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124 (F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(14) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8 - 15 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FFF9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8 - 16 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FFF9BH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(16) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 17 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FFF9CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

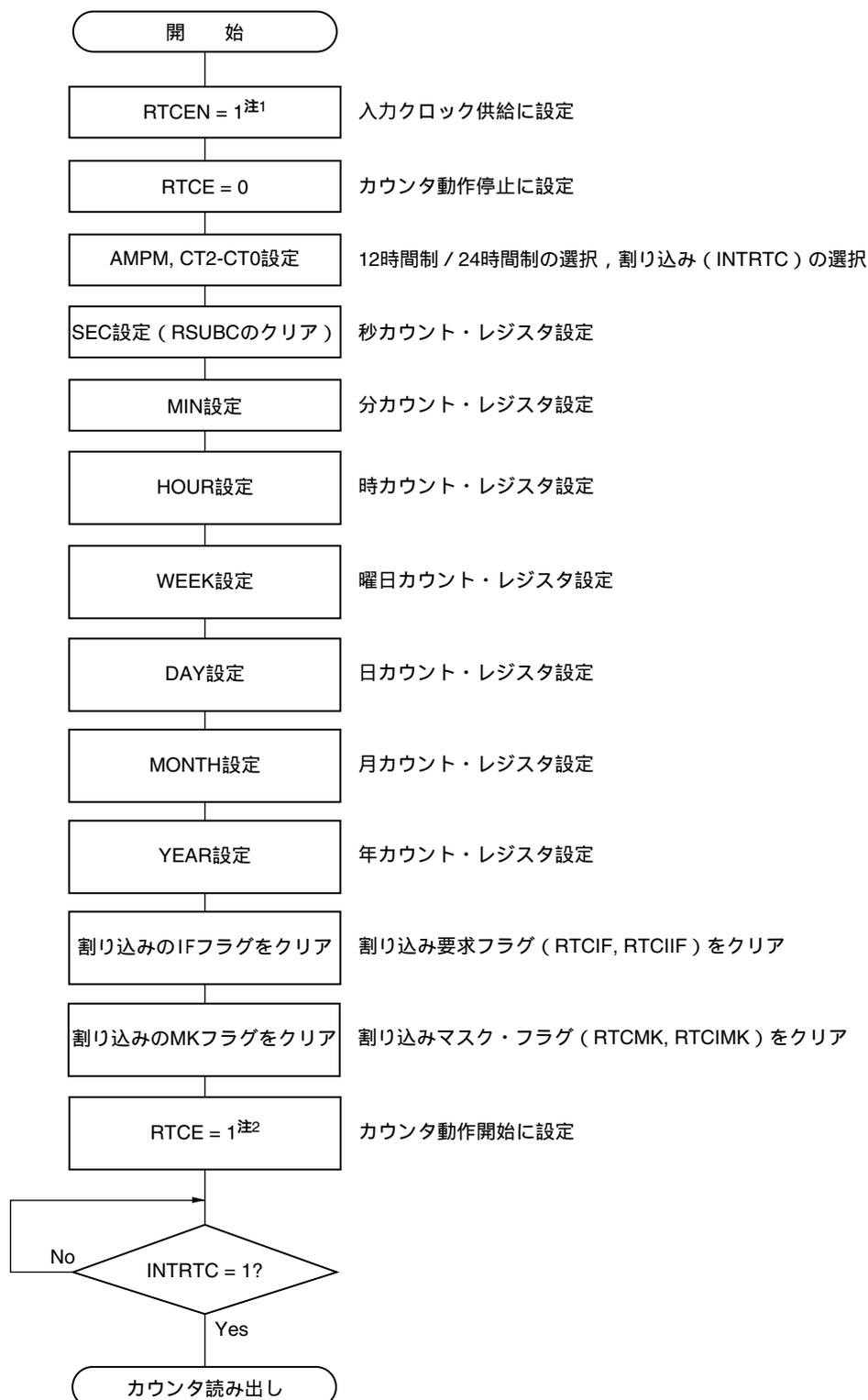
次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
0	1	2	3	4	5	6									
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

8.4 リアルタイム・カウンタ2の動作

8.4.1 リアルタイム・カウンタ2の動作開始

図8 - 18 リアルタイム・カウンタ2の動作開始手順



注1. サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

2. RTCE = 1のあとにINTRTC = 1を待たずにSTOPモードへ移行する場合は、8.4.2 **動作開始後のSTOPモードへの移行の手順**を確認してください。

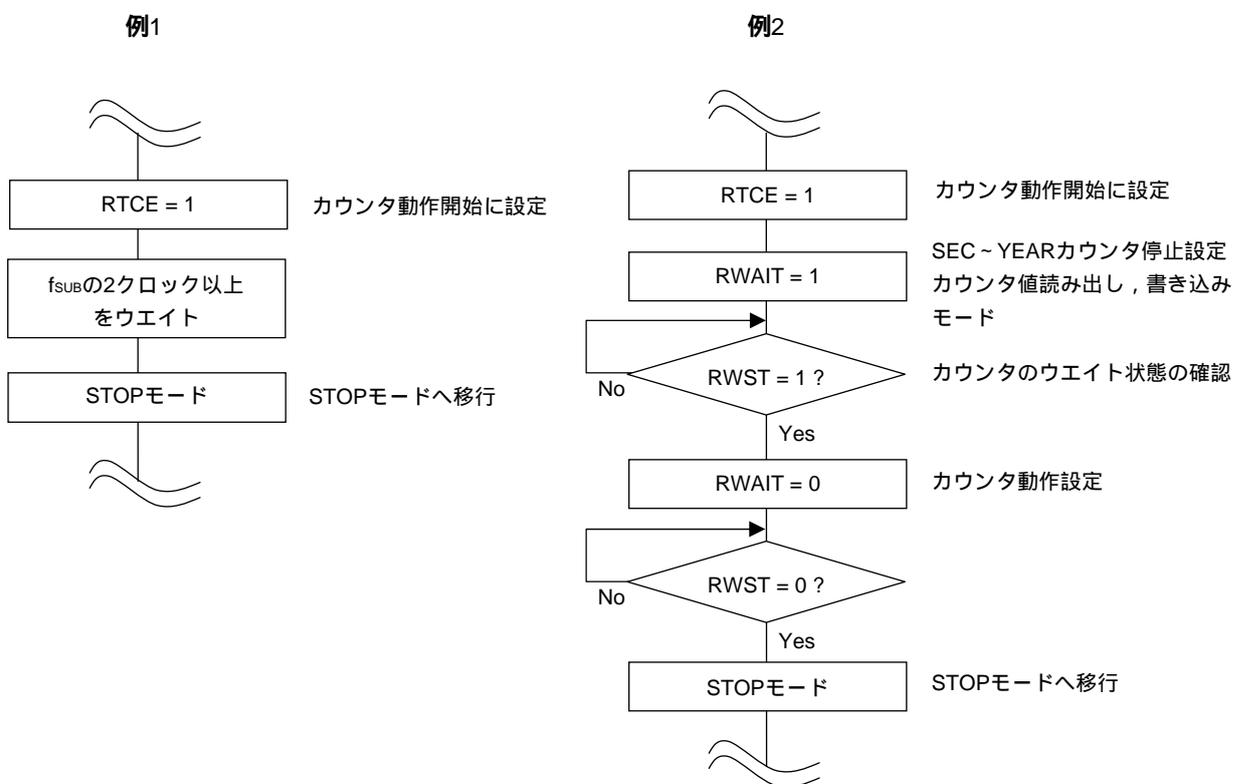
8.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、サブシステム・クロック(f_{SUB})の2クロック分(約 $62\mu s$)以上経過後にSTOPモードへ移行する(図8-19 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する(図8-19 例2参照)。

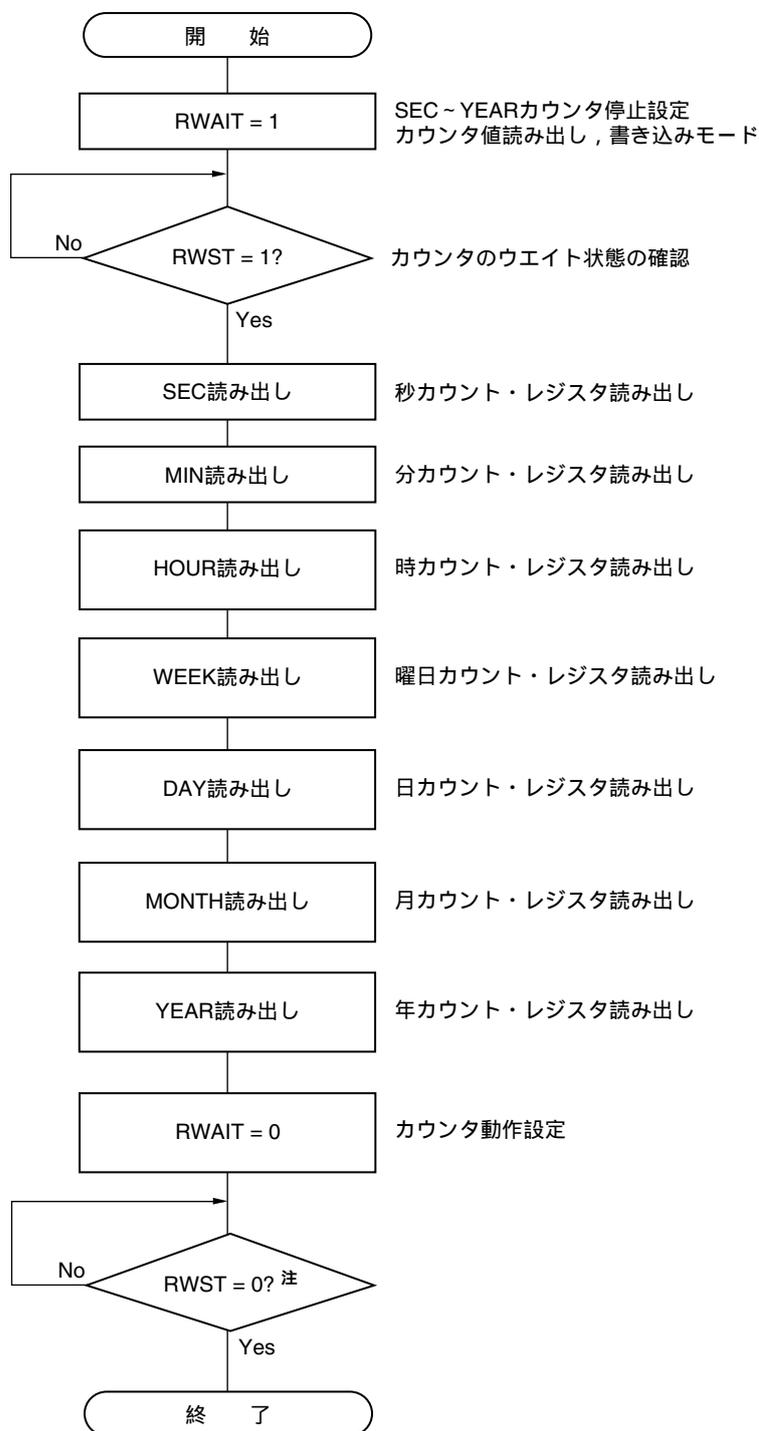
図8-19 RTCE = 1に設定後のSTOPモードへの移行手順



8.4.3 リアルタイム・カウンタ2のカウンタ読み出し/書き込み

カウンタの読み出し/書き込みは、最初にRWAIT = 1にしてから行ってください。

図8-20 リアルタイム・カウンタ2の読み出し手順

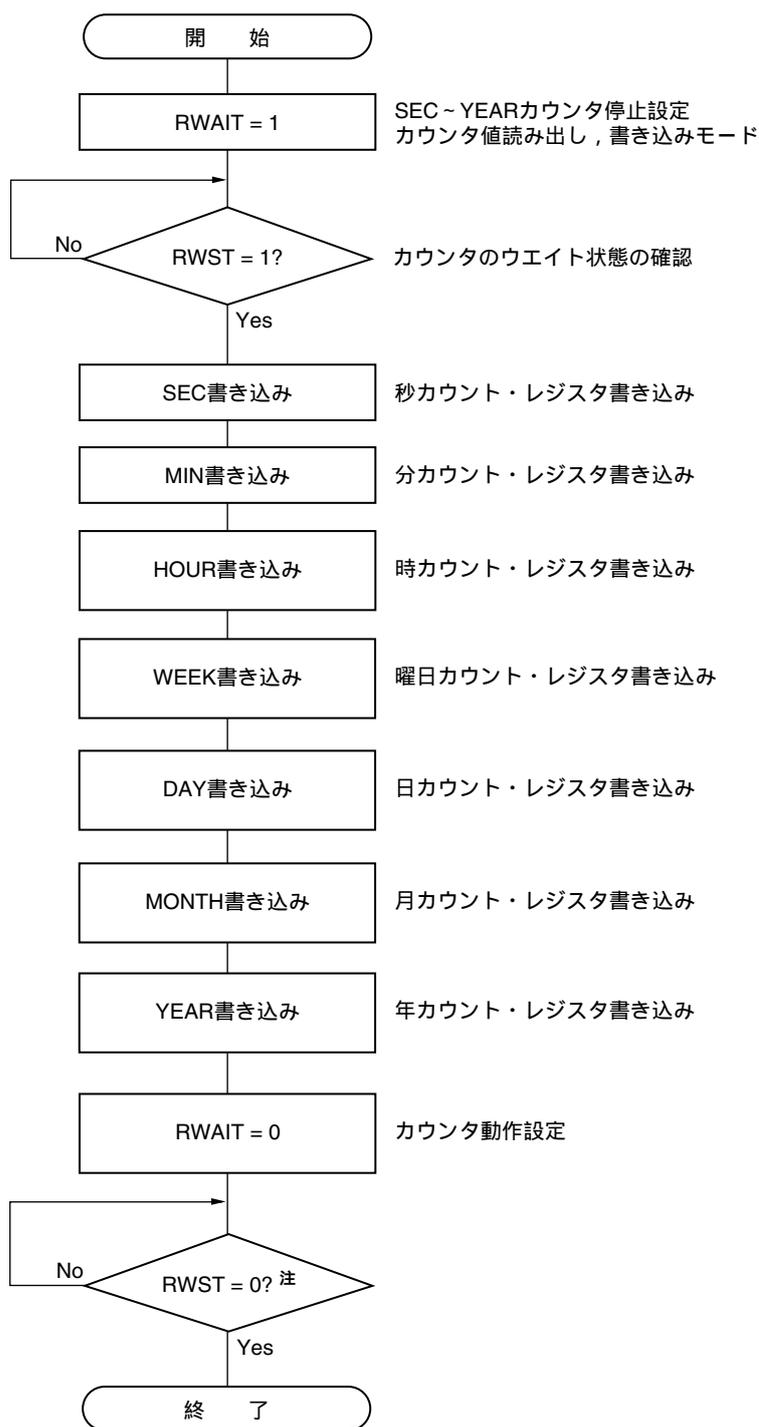


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図8 - 21 リアルタイム・カウンタ2の書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

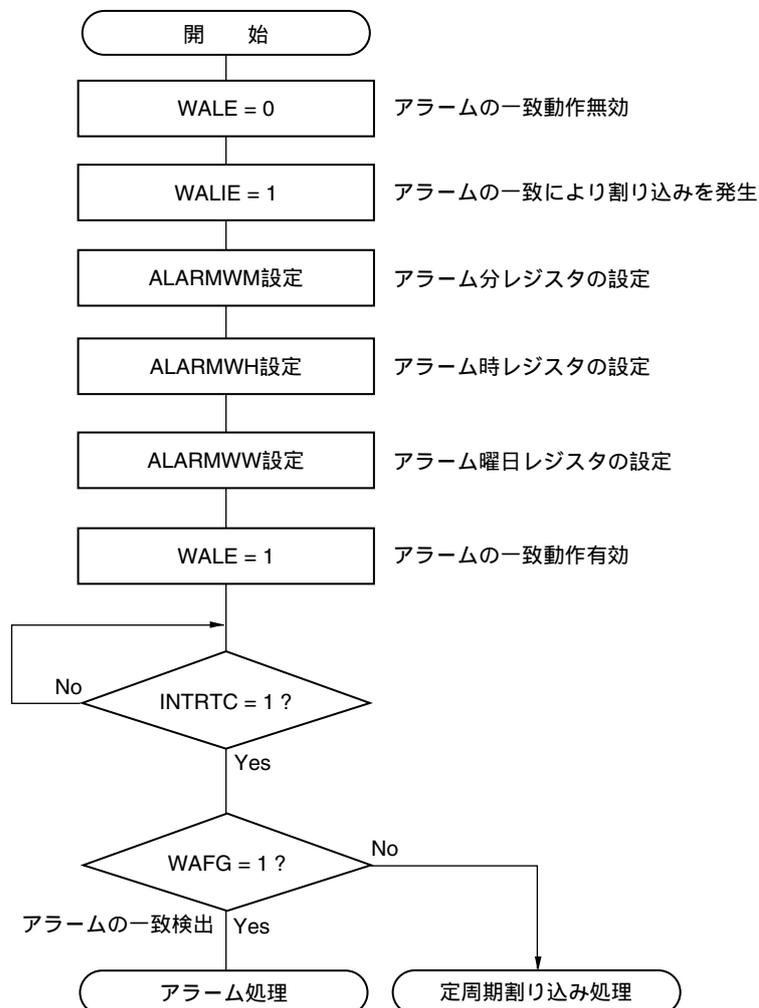
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

8.4.4 リアルタイム・カウンタ2のアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図8 - 22 アラーム設定手順



備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、78K0R/Lx3-Mマイクロコントローラ的全製品に搭載されています。

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに " ACH " 以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDRF) がセット (1) されます。RESFの詳細については第23章 **リセット機能**を参照してください。

また、オーバーフロー時間の75%到達時にインターバル割り込みを発生することもできます。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

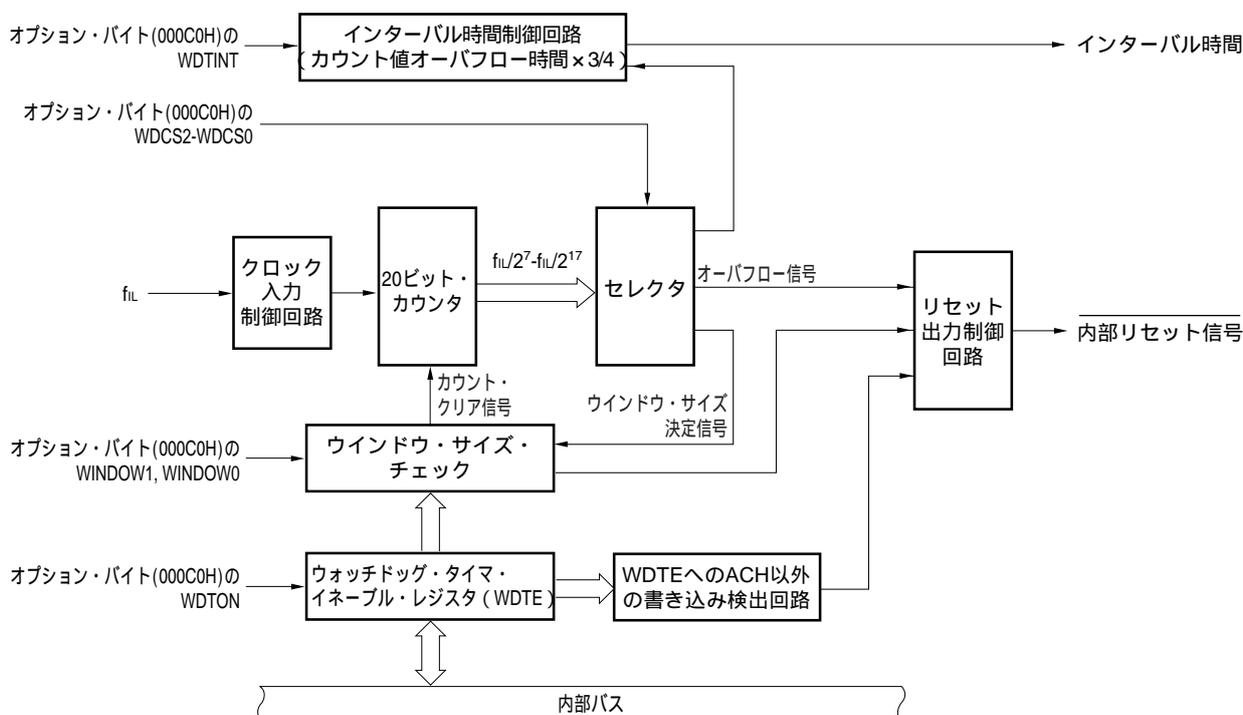
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表9-2 オプション・バイトとウォッチドッグの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第27章 オプション・バイトを参照してください。

図9-1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH / 1AH^注 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト(000C0H)のWDTONの設定値によって、異なります。
ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1 . WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

2 . WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

3 . WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値) になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第27章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後、カウント停止）
1	カウント動作許可（リセット解除後、カウント開始）

・オプション・バイト（000C0H）のビット3-1（WDGS2-WDGS0）で、オーバフロー時間を設定してください（詳細は、9.4.2および第27章を参照）。

・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、9.4.3および第27章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{IL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

<例> オーバフロー時間を $2^{10}/f_{IL}$ 設定時は、カウント値3FHまで“ACH”の書き込みが有効になります。

注意4. オプション・バイト(000C0H)のビット0(WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウィンドウ・サイズを設定してください。

9.4.2 ウォッチドッグ・タイマのオーバーフロー時間の設定

ウォッチドッグ・タイマのオーバーフロー時間は、オプション・バイト(000C0H)のビット3-1(WDCS2-WDCS0)で設定します。

オーバーフロー時は、内部リセット信号を発生します。オーバーフロー時間前の、ウィンドウ・オープン期間中にWDTEに“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定するオーバーフロー時間を次に示します。

表9-3 ウォッチドッグ・タイマのオーバーフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間 (f _{IL} = 33 kHz (MAX.) の場合)
0	0	0	2 ⁷ /f _{IL} (3.88 ms)
0	0	1	2 ⁸ /f _{IL} (7.76 ms)
0	1	0	2 ⁹ /f _{IL} (15.52 ms)
0	1	1	2 ¹⁰ /f _{IL} (31.03 ms)
1	0	0	2 ¹² /f _{IL} (124.12 ms)
1	0	1	2 ¹⁴ /f _{IL} (496.48 ms)
1	1	0	2 ¹⁵ /f _{IL} (992.97 ms)
1	1	1	2 ¹⁷ /f _{IL} (3971.88 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウィンドウ・サイズを設定してください。

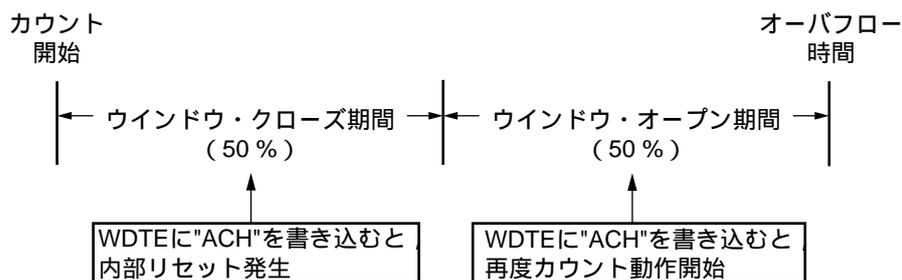
備考 f_{IL} : 低速内蔵発振クロック周波数

9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表9-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

注意1. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

2. オプション・バイト(000C0H)のビット0(WDSTBYON)=0のときは、WINDOW1, WINDOW0の値に関係なく、ウインドウ・オープン期間100%となります。

備考 オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

(2.7 V V_{DD} 3.6 V)

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 18.96 ms	0 ~ 9.48 ms	なし
ウインドウ・オープン時間	18.96 ~ 31.03 ms	9.48 ~ 31.03 ms	0 ~ 31.03 ms

<ウインドウ・オープン期間50 %のとき>

・ オーバフロー時間 :

$$2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/33 \text{ kHz} (\text{MAX.}) = 31.03 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.5) = 0 \sim 2^{10}/27 \text{ kHz} (\text{MIN.}) \times 0.5 = 0 \sim 18.96 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.5) \sim 2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/27 \text{ kHz} (\text{MIN.}) \times 0.5 \sim 2^{10}/33 \text{ kHz} (\text{MAX.}) = 18.96 \sim 31.03 \text{ ms}$$

9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%到達時にインターバル割り込み (INTWDTI) を発生することができます。

表9 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (WDTEレジスタにACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第10章 10ビット逐次比較型A/Dコンバータ

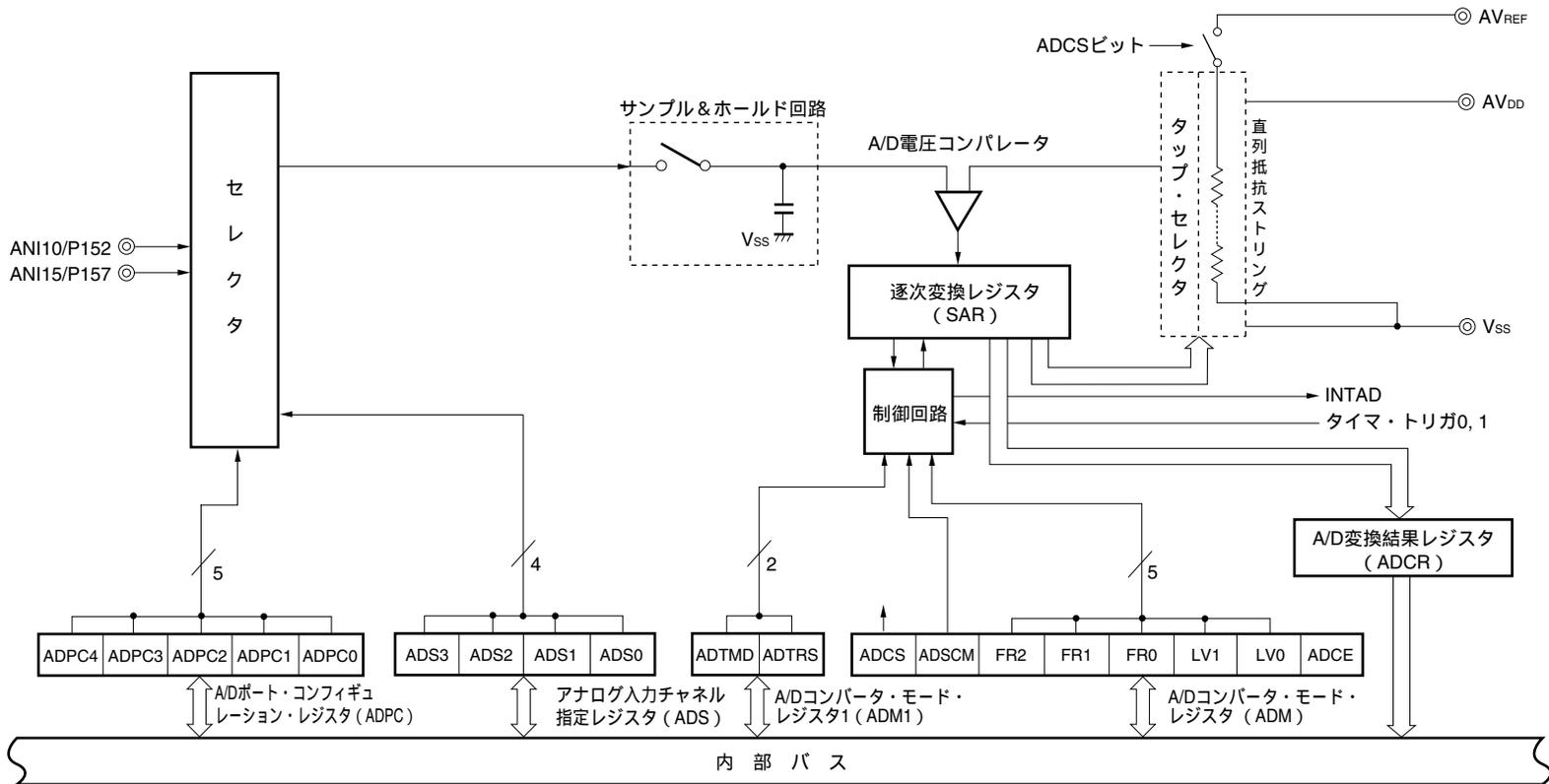
10.1 10ビット逐次比較型A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、2チャンネルのA/Dコンバータ・アナログ入力（ANI10, ANI15）のアナログ入力を制御できる構成になっています。

A/Dコンバータの動作モードには、次の4種類があります。

- ・ソフトウェア・トリガ・モード（連続変換モード）
- ・ソフトウェア・トリガ・モード（シングル変換モード）
- ・タイマ・トリガ・モード（連続変換モード）
- ・タイマ・トリガ・モード（シングル変換モード）

図10-1 A/Dコンバータのブロック図



10.2 10ビット逐次比較型A/Dコンバータの構成

10ビット逐次比較型A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI10, ANI15端子

10ビット逐次比較型A/Dコンバータのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

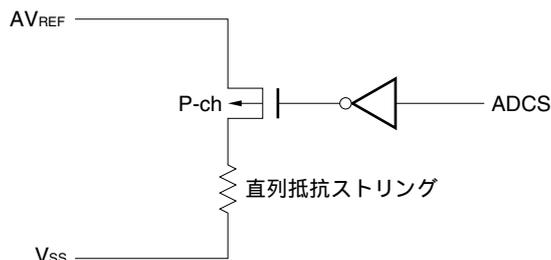
(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF} ~ V_{SS} 間に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図10 - 2 直列抵抗ストリングの回路構成



(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を下位10ビット (ビット2-11) に保持します (上位4ビットは0に固定。下位2ビットは不定。)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) AV_{DD}端子

A/Dコンバータの電源端子です。ポート15のうち、1本でもデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

(10) V_{SS}端子

A/Dコンバータのグランド電位端子です。

(11) AV_{REF}端子

A/Dコンバータの基準電圧を入力するための端子です。

AV_{REF}とV_{SS}間にかかる電圧に基づいて、ANI10, ANI15に入力されるアナログ信号をデジタル信号に変換します。

10.3 10ビット逐次比較型A/Dコンバータで使用するレジスタ

10ビット逐次比較型A/Dコンバータは、次の8種類のレジスタを使用します。

- ・ 周辺イネーブル・レジスタ0 (PER0)
- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ ポート・モード・レジスタ15 (PM15)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

ADCEN	10ビット逐次比較型A/Dコンバータの入カクロックの制御
0	入力クロック供給停止 ・ 10ビット逐次比較型A/Dコンバータで使用するSFRへのライト不可 ・ 10ビット逐次比較型A/Dコンバータはリセット状態
1	入力クロック供給 ・ 10ビット逐次比較型A/Dコンバータで使用するSFRへのリード/ライト可

注意 10ビット逐次比較型A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、10ビット逐次比較型A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

(2) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-4 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM	ADCS	ADSCM	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御 ^{注2, 3, 4}
0	変換動作停止
1	変換動作許可

ADSCM	A/D変換動作モードを指定
0	連続変換モード
1	シングル変換モード

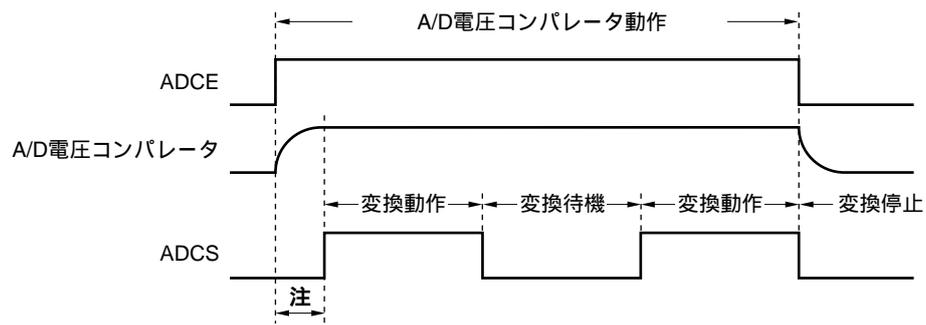
ADCE	A/D電圧コンパレータの動作制御 ^{注4}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

- 注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細については、表10-2 A/D変換時間の選択 (2.7 V AVREF 3.6 V) を参照してください。
2. タイマ・トリガ・モードで使用する場合、ADCSに1を設定しないでください (タイマ・トリガ信号発生時に、ADCSは自動的に1に切り替わります)。ただし、A/D変換動作を停止するために、ADCSに0を設定することは有効です。
3. ADCSをリードすることにより、A/D変換動作中かどうかを知ることができます。
4. A/D電圧コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μ sかかります。このため、ADCEに1を設定してから1 μ s以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μ s以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表10-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費パスは存在しません)
0	1	変換待機モード (A/D電圧コンパレータ動作、コンパレータのみ電力消費)
1	0	設定禁止
1	1	変換モード (A/D電圧コンパレータ動作)

図10 - 5 A/D 電圧コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1\mu\text{s}$ 以上必要です。

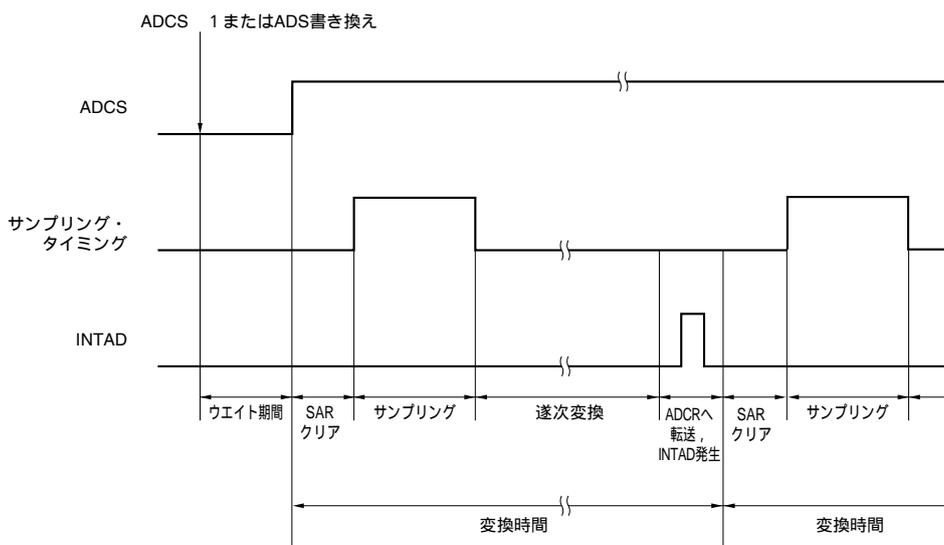
注意 ADSCM, FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

表10 - 2 A/D変換時間の選択 (2.7 V AVREF 3.6 V)

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択				変換 クロック (f _{AD})	
FR2	FR1	FR0	LV1	LV0	f _{CLK} = 1 MHz	f _{CLK} = 8 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz		
0	0	0	0	0	240/f _{CLK}	設定禁止	30 μs	24 μs	12 μs	f _{CLK} /12
0	0	1			160/f _{CLK}		20 μs	16 μs	8 μs	f _{CLK} /8
0	1	0			120/f _{CLK}		15 μs	12 μs	6 μs	f _{CLK} /6
0	1	1			100/f _{CLK}		12.5 μs	10 μs	5 μs	f _{CLK} /5
1	0	0			80/f _{CLK}		10 μs	8 μs	設定禁止	f _{CLK} /4
1	0	1			60/f _{CLK}		7.5 μs	6 μs		f _{CLK} /3
1	1	0			40/f _{CLK}		40 μs	5 μs	設定禁止	f _{CLK} /2
1	1	1			20/f _{CLK}		20 μs	設定禁止		f _{CLK}
上記以外					設定禁止					

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図10 - 6 A/DコンバータのサンプリングとA/D変換のタイミング



(3) A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換起動トリガを設定するレジスタです。

ADM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD	0	0	0	0	0	0	ADTRS

ADTMD	A/Dトリガ・モードの選択
0	ソフトウェア・トリガ・モード
1	タイマ・トリガ・モード (ハードウェア・トリガ・モード)

ADTRS	タイマ・トリガ信号の選択
0	INTTM02
1	INTTM03

注意 A/D変換中にADM1を書き換えることは禁止です。変換動作停止時 (ADCS = 0) に書き換えてください。

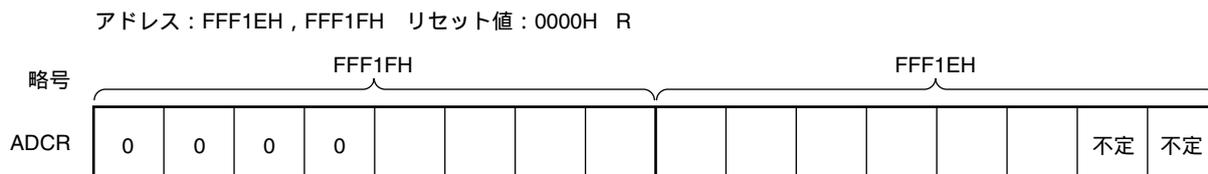
(4) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。上位4ビットは“0”固定です。下位2ビットは不定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位4ビットがFFF1FHに、下位6ビットがFFF1EHに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図10 - 8 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャンネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS、ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

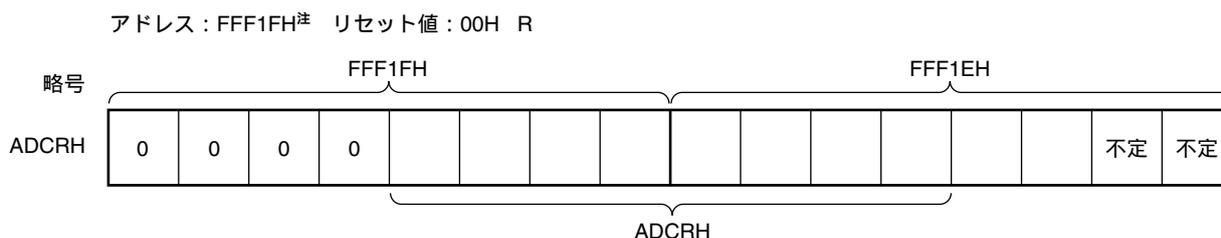
(5) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図10 - 9 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット



注 FFF1FH番地を読み出した場合、ADCRHのデータ (FFF1FHの下位4ビット + FFF1EHの上位4ビット) が読み出されます。

注意 A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャンネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS、ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(6) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 10 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	ADS3	ADS2	ADS1	ADS0

ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル
1	0	1	0	ANI10
1	1	1	1	ANI15
上記以外				設定禁止

注意1. ビット4-7には必ず0を設定してください。

2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ15 (PM15) で入力モードに選択してください。
3. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。

(7) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI10/P152, ANI15/P157端子を, アナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図10 - 11 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

AD PC4	AD PC3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え	
					ポート15	
					ANI15/P157	ANI10/P152
0	1	0	1	0	A	A
0	1	1	1	1	A	D
1	0	0	0	0	D	D
上記以外					設定禁止	

- 注意1. A/D変換で使用するチャンネルは, ポート・モード・レジスタ15 (PM15) で入力モードに選択してください。
2. ADPCでデジタル入出力として設定する端子を, ADSで設定しないでください。

(8) ポート・モード・レジスタ15 (PM15)

ANI10/P152, ANI15/P157端子をアナログ入力ポートとして使用するとき, PM152, PM157にそれぞれ1を設定してください。このときP152, P157の出力ラッチは, 0または1のどちらでもかまいません。

PM152, PM157にそれぞれ0を設定した場合は, アナログ入力ポートとして使用することはできません。

PM15は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は, 端子レベルではなく常に0が読み出されます。

図10 - 12 ポート・モード・レジスタ15 (PM15) のフォーマット

アドレス : FFF2FH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM15	PM157	1	1	1	1	PM152	PM151 ^注	PM150 ^注

PMmn	Pmn端子の入出力モードの選択 (mn = 152, 157)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 PM15のPM150, PM151ビットは, リセット解除後必ず0を設定してください。

ANI10/P152, ANI15/P157端子の機能は, ADPCレジスタ, ADSレジスタ, PM15レジスタの設定で決定します。

表10 - 3 ANI10/P152, ANI15/P157端子機能の設定

ADPCレジスタ	PM15レジスタ	ADSレジスタ	ANI10/P152, ANI15/P157 端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (A/D変換対象)
		ANI非選択	アナログ入力 (A/D非変換対象)
	出力モード	-	設定禁止

10.4 10ビット逐次比較型A/Dコンバータの動作

10.4.1 A/Dコンバータの基本動作

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADGEN) をセット (1) し、A/Dコンバータへの入力クロック供給を開始してください。

A/Dコンバータ・モード・レジスタ (ADM) のビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を、ビット6 (ADSCM) で動作モードを設定してください。

ADMのビット0 (ADCE) をセット (1) し、A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ (PM15) で入力モードに設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で選択してください。

A/Dコンバータ・モード・レジスタ1 (ADM1) でトリガ・モードを設定してください。

でソフトウェア・トリガ・モードを設定している場合は、ADMのビット7 (ADCS) をセット (1) することにより、A/D変換動作を開始します。

でタイマ・トリガ・モードを設定している場合は、タイマ・トリガ信号の検出により、ADCSは自動的に1になり、A/D変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : (3/4) AV_{REF}

・ビット9 = 0 : (1/4) AV_{REF}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

・サンプリングされた電圧 > 電圧タップ : ビット8 = 1

・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

でシングル変換モードを設定している場合は、1回のA/D変換終了後に、ADCSが自動的にクリア(0)され、待機状態になります。

で連続変換モードを設定している場合は、以降 から までの動作を繰り返します。A/Dコンバータを停止する場合は、ADCSを0にクリアしてください。

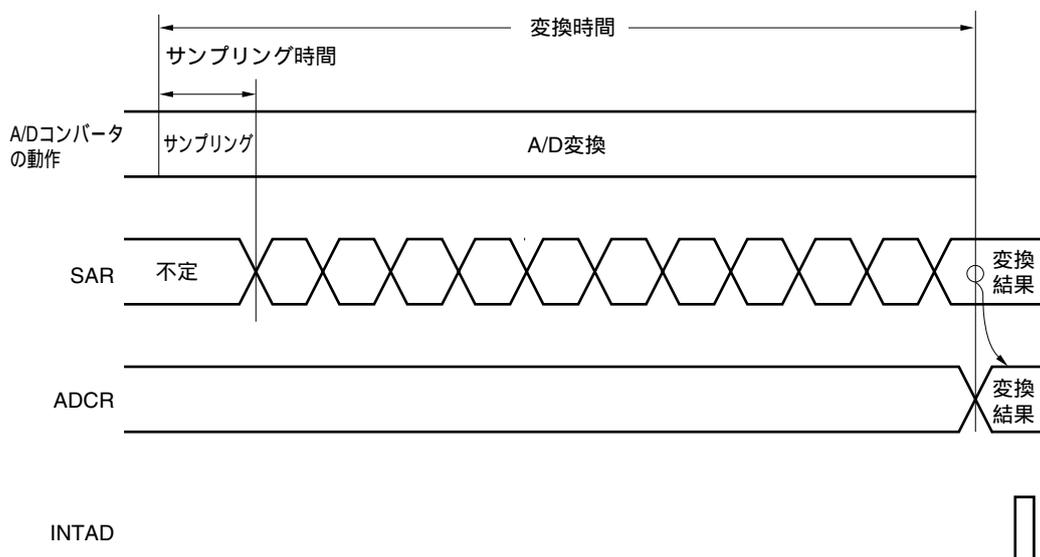
ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット(1)し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 を行ってください。

注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。リセット信号の発生により0000Hまた00Hとなります。

- ・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図10 - 13 A/Dコンバータの基本動作



10.4.2 入力電圧と変換結果

アナログ入力端子 (ANI10, ANI15) に入力されたアナログ入力電圧と理論上の A/D 変換結果 (10 ビット A/D 変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} < V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{AIN} : アナログ入力電圧

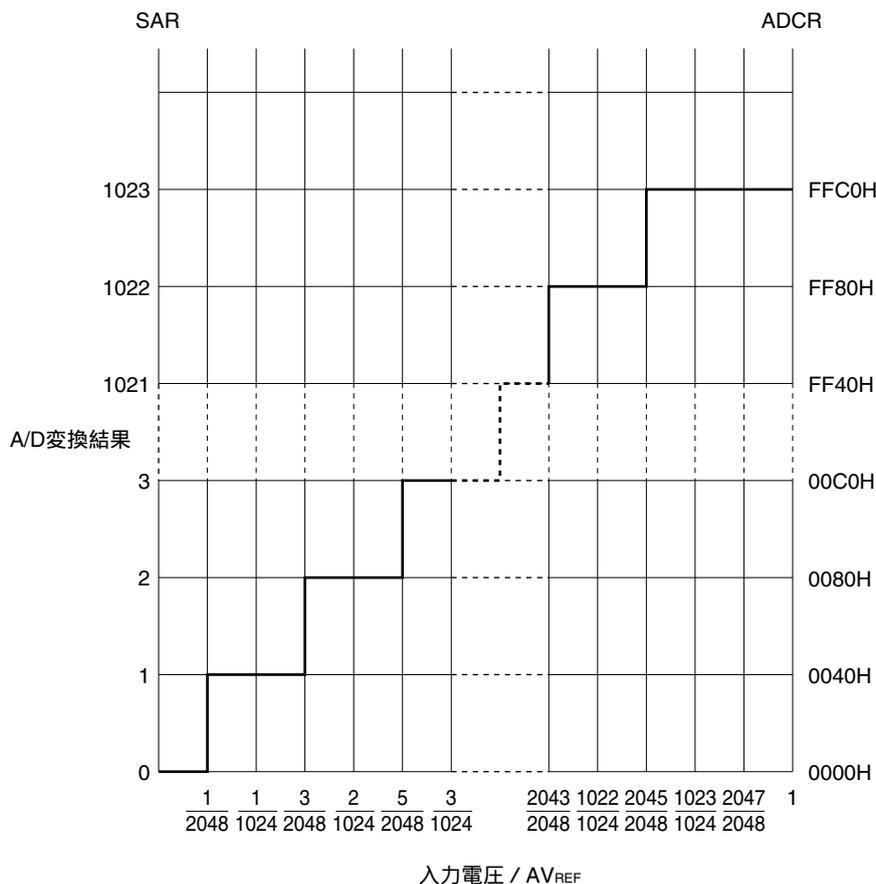
V_{REF} : A/D コンバータの基準電圧

ADCR : 10 ビット A/D 変換結果レジスタ (ADCR) の値

SAR : 逐次変換レジスタ

図10 - 14にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 14 アナログ入力電圧とA/D変換結果の関係



10.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードには、次の4種類があります。

- ・ソフトウェア・トリガ・モード（連続変換モード）
- ・ソフトウェア・トリガ・モード（シングル変換モード）
- ・タイマ・トリガ・モード（連続変換モード）
- ・タイマ・トリガ・モード（シングル変換モード）

(1) ソフトウェア・トリガ・モード（連続変換モード）

A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

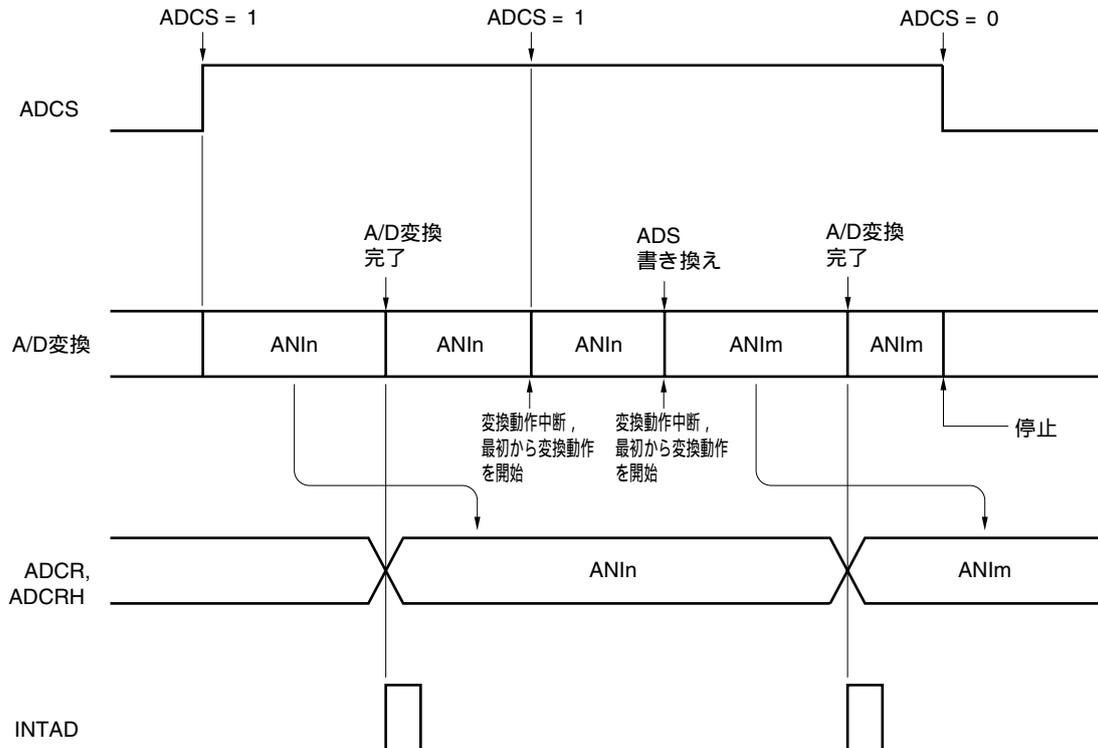
A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADCSに1を書き込むと、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図10 - 15 ソフトウェア・トリガ・モード（連続変換モード）



備考 n = 10, 15

m = 10, 15

(2) ソフトウェア・トリガ・モード (シングル変換モード)

A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

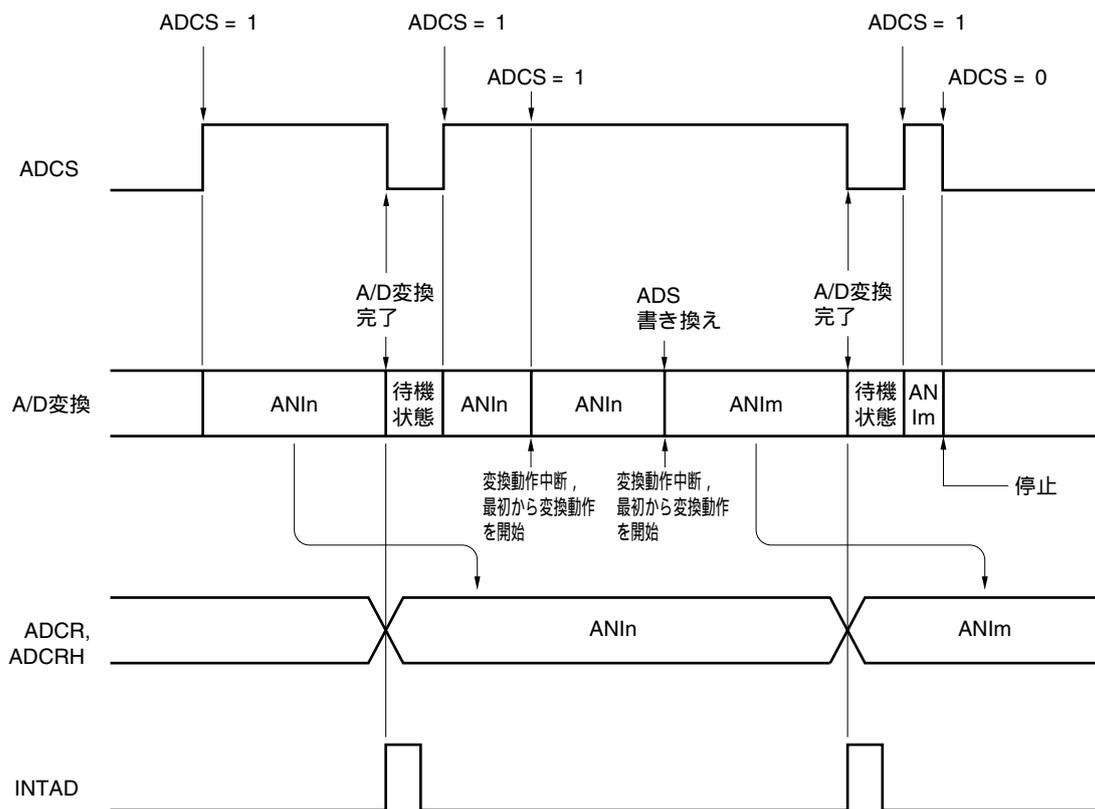
A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ADCSが自動的にクリア (0) され、A/D変換待機状態になります。

A/D変換動作中に、ADCSに1を書き込むと、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図10 - 16 ソフトウェア・トリガ・モード (シングル変換モード)



備考 n = 10, 15

m = 10, 15

(3) タイマ・トリガ・モード (連続変換モード)

A/Dコンバータ・モード・レジスタ1 (ADM1) のビット7 (ADTMD) に1を設定することにより、タイマ・トリガ・モードになり、タイマ・トリガ待機状態となります。

タイマ・トリガ信号の検出により、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) は自動的に1になり、アナログ入力チャネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

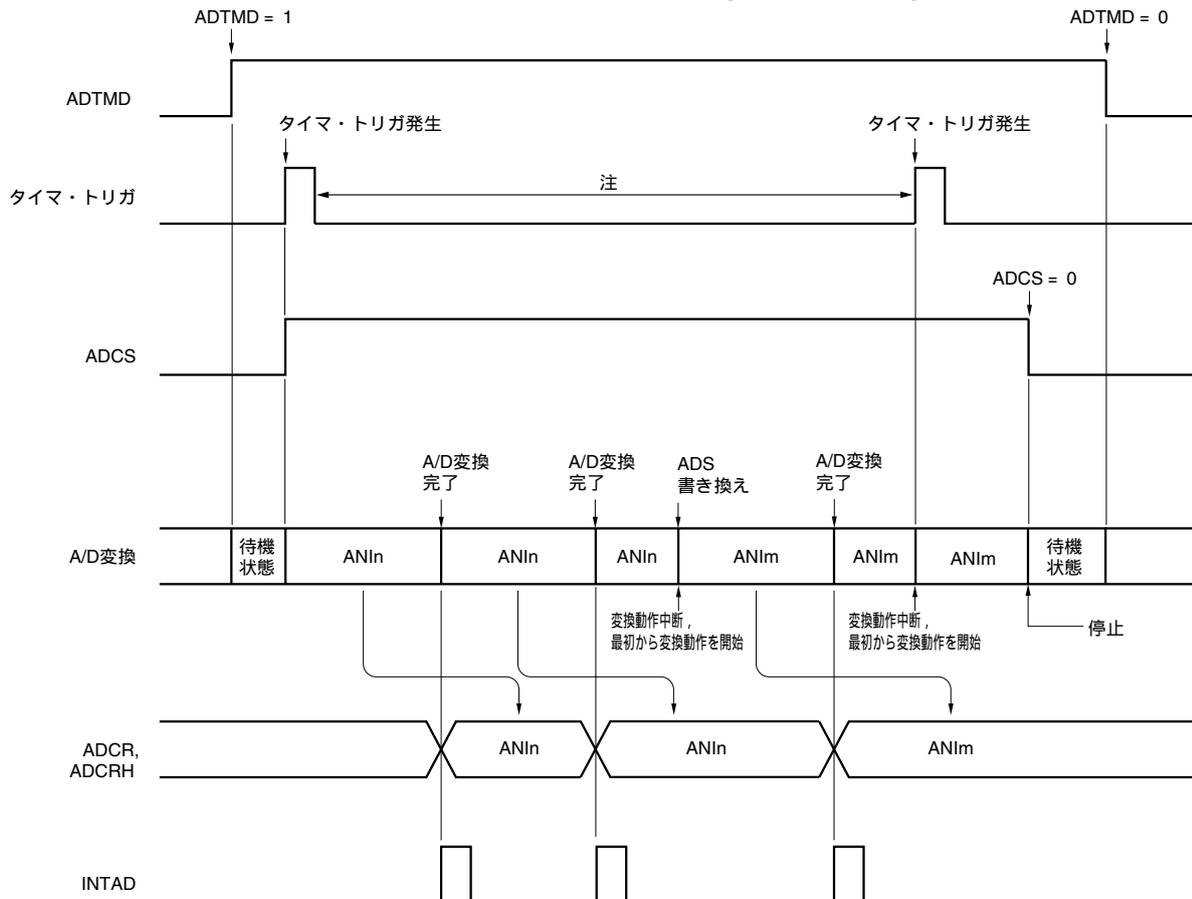
A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、タイマ・トリガ信号が発生した場合、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止し、タイマ・トリガ待機状態になります。このとき直前の変換結果は保持されます。

A/D変換動作停止時 (ADCS = 0) に、ADTMDに0を書き込むと、ソフトウェア・トリガ・モードになり、タイマ・トリガ信号が発生されても、A/D変換動作は開始されません。

図10-17 タイマ・トリガ・モード (連続変換モード)



注 タイマ・トリガ信号の発生は、A/D変換時間以上の間隔を空けてください。

備考 n = 10, 15

m = 10, 15

(4) タイマ・トリガ・モード (シングル変換モード)

A/Dコンバータ・モード・レジスタ1 (ADM1) のビット7 (ADTMD) に1を設定することにより、タイマ・トリガ・モードになり、タイマ・トリガ待機状態となります。

タイマ・トリガ信号の検出により、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) は自動的に1になり、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

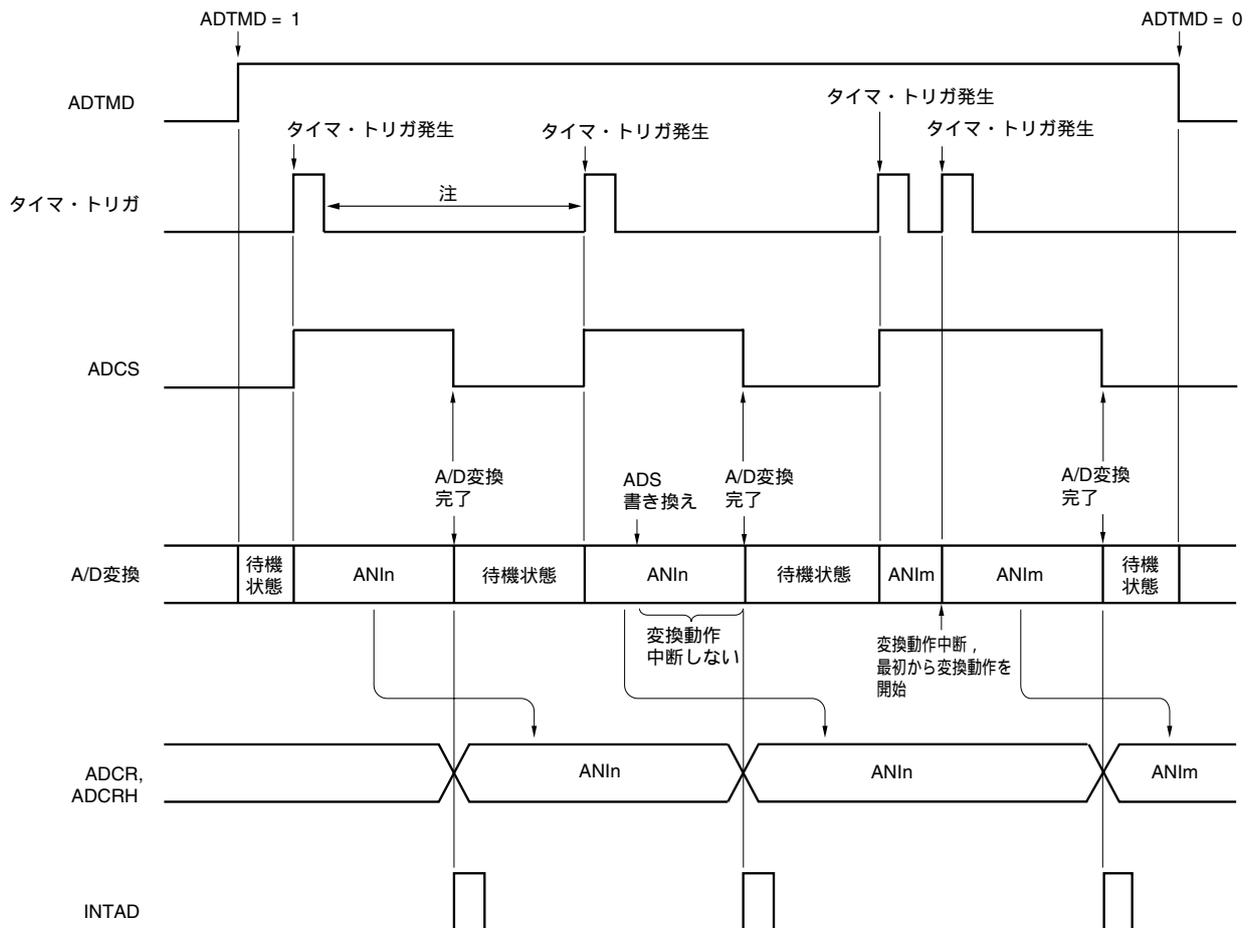
A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ADCSが自動的にクリア (0) され、タイマ・トリガ待機状態となります。

A/D変換動作中に、ADSを書き換えても、そのとき行っていたA/D変換動作を継続します。チャンネルは、次のA/D変換動作開始時に切り替わります。

A/D変換動作中に、タイマ・トリガ信号が発生した場合、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。このとき直前の変換結果は保持されます。

A/D変換動作停止時 (ADCS = 0) に、ADTMDに0を書き込むと、ソフトウェア・トリガ・モードになり、タイマ・トリガ信号が発生されても、A/D変換動作は開始されません。

図10 - 18 タイマ・トリガ・モード (シングル変換モード)



注 タイマ・トリガ信号の発生は、A/D変換時間以上の間隔を空けてください。

備考 n = 10, 15

m = 10, 15

次に設定方法を説明します。

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をセット (1)

A/Dコンバータ・モード・レジスタ (ADM) のビット5-1 (FR2-FR0, LV1, LV0) で変換時間を、
ビット6 (ADSCM) で動作モードを選択

ADMのビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット4-0 (ADPC4-ADPC0) ,
ポート・モード・レジスタ15 (PM15) のビット7, 2 (PM157, PM152) で使用するチャンネルを
アナログ入力に設定

アナログ入力チャンネル指定レジスタ (ADS) のビット3-0 (ADS3-ADS0) で使用するチャンネル
を選択

A/Dコンバータ・モード・レジスタ1 (ADM1) のビット0, 7 (ADTRS, ADTMD) でトリガ・モ
ードを設定

ソフトウェア・トリガ・モードの場合

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

タイマ・トリガ・モードの場合

タイマ・トリガ信号の発生により, ADCSは自動的にセット (1) され, A/D変換動作開始
1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

連続変換モードの場合

次のA/D変換動作を自動的に開始

シングル変換モードの場合

ADCSが自動的にクリア (0) され, 待機状態。A/D変換動作を開始する場合は, へ

<チャンネルを変更する>

ADSのビット3-0 (ADS3-ADS0) で, チャンネルを選択^注

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<A/D変換を終了する>

ADCSをクリア (0)

ソフトウェア・トリガ・モードの場合

ADCEをクリア (0)

タイマ・トリガ・モードの場合

ADCEとADTMDをクリア (0)

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をクリア (0)

注 タイマ・トリガ・モード (シングル変換モード) の場合は, A/D変換中にADSのビット3-0を設定しても, A/D変換動作を継続します。チャンネルは, 次のA/D変換動作開始時に変更されます。それ以外のモードの場合は, ADSのビット3-0設定後, A/D変換動作は中断され, チャンネル変更後に最初からA/D変換動作を開始します。

- 注意1. から までの間は $1\ \mu\text{s}$ 以上空けてください。
2. は, から までの間に行っても,問題ありません。
3. は省略可能です。ただし,この場合には のあと,最初の変換データは無視してください。
4. から までの時間は,ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が,FR2-FR0, LV1, LV0で設定した変換時間となります。

10.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB(Least Significant Bit)といいます。1 LSBのフルスケールに対する比率を%FSR(Full Scale Range)で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図10 - 19 総合誤差

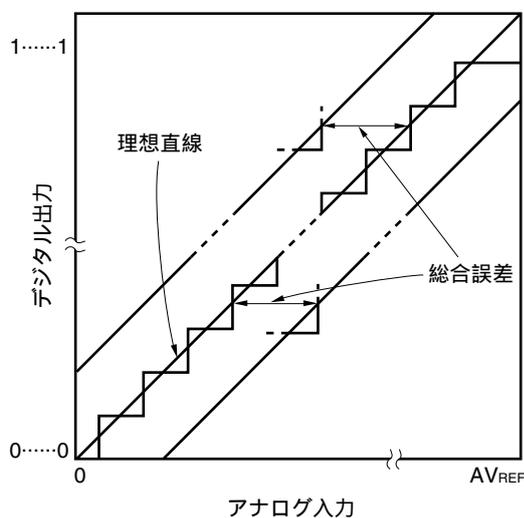
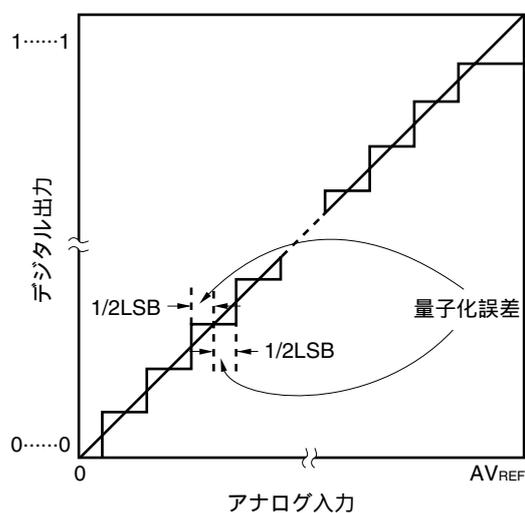


図10 - 20 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図10 - 21 ゼロスケール誤差

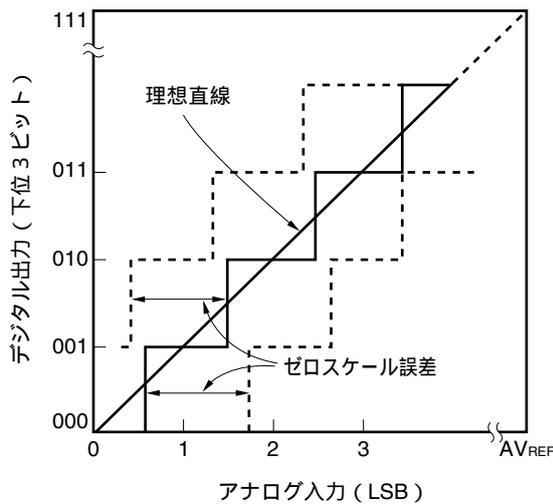


図10 - 22 フルスケール誤差

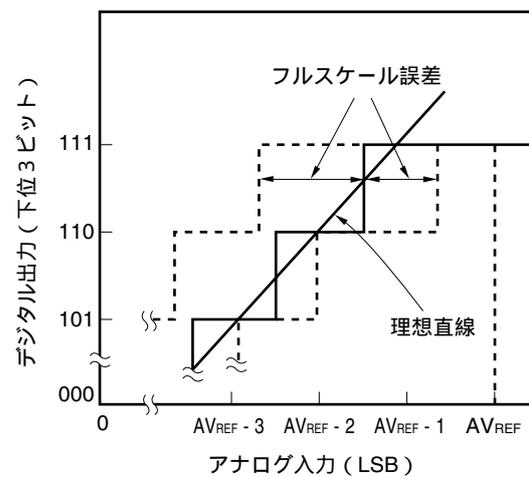


図10 - 23 積分直線性誤差

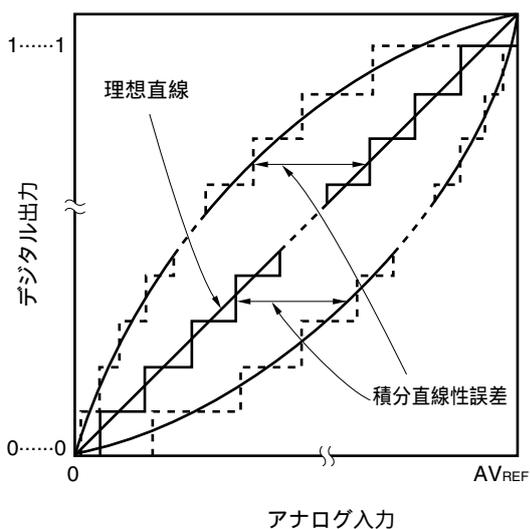
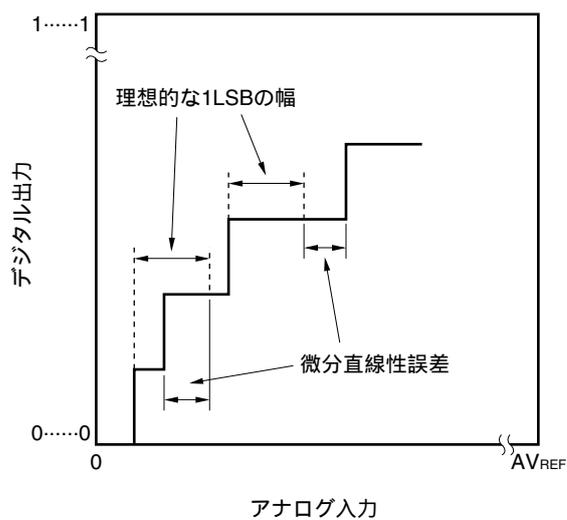


図10 - 24 微分直線性誤差

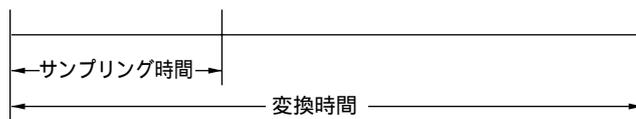
**(8) 変換時間**

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



10.6 10ビット逐次比較型A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0）させてから移行してください。このときA/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L（IF1L）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) ANI10, ANI15入力範囲について

ANI10, ANI15入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 V_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ（ADM）ライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} , ANI10, ANI15端子へのノイズに注意する必要があります。

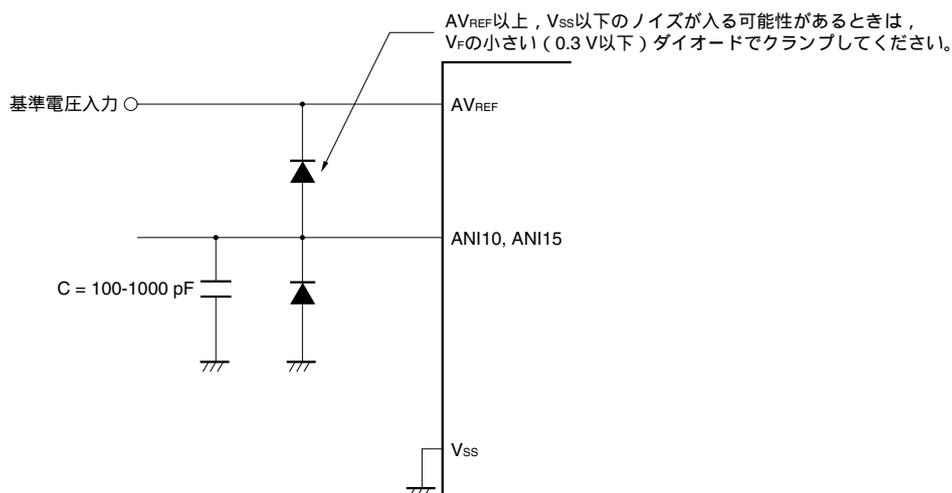
電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10-25のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

図10 - 25 アナログ入力端子の処理



(5) ANI10, ANI15

アナログ入力 (ANI10, ANI15) 端子は入力ポート (P152, P157) 端子と兼用になっています。

ANI10, ANI15のいずれかを選択してA/D変換をする場合、変換中にP152, P157に対してアクセスしないでください。変換分解能が低下することがあります。またP152, P157として使用する端子の選択は、AVREFから最も遠いANI10/P152より行うことを推奨します。

A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子は、デジタル・パルスが入出力されないようにしてください。

A/D変換中に、ポート15の端子のうちのいずれかの端子をデジタル出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中に、ポート15の端子はすべて、デジタル・パルスが出力されないようにしてください。

(6) ANI10, ANI15端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1k以下にし、出力インピーダンスが高いときはANI10, ANI15端子に100 pF程度のコンデンサを付けることを推奨します (図10 - 25参照)。

(7) AV_{REF}端子の入力インピーダンスについて

AV_{REF}端子とV_{SS}端子の間には数十k の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AV_{REF}端子とV_{SS}端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

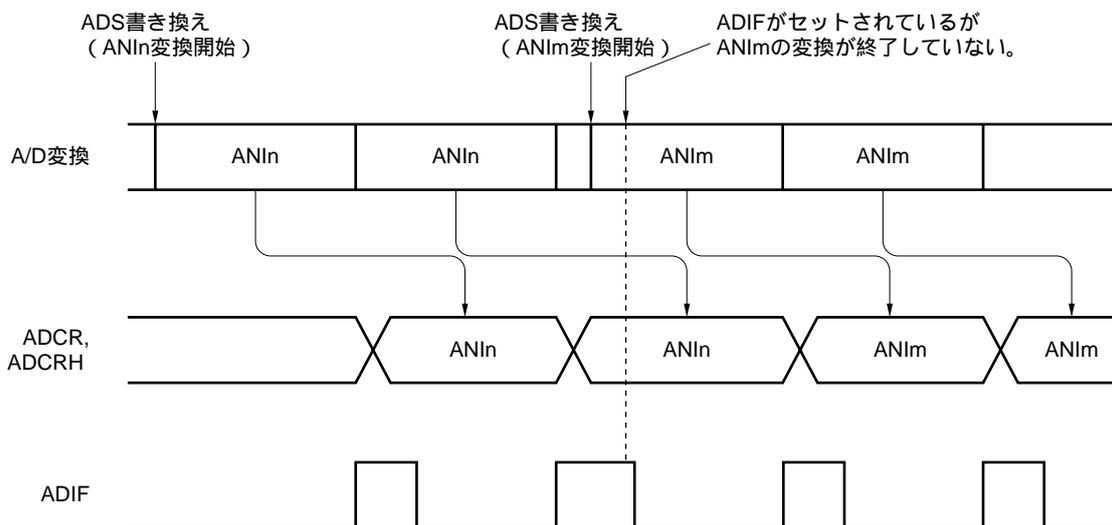
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図10 - 26 A/D変換終了割り込み要求発生タイミング



備考 n = 10, 15

m = 10, 15

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、もしくはADCEビット = 0の状態、ADCSビット = 1にした場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM) , A/Dコンバータ・モード・レジスタ1 (ADM1) , アナログ入力チャンネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき, ADCR, ADCRHの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADM1, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されることがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図10 - 27 ANIn端子内部等価回路

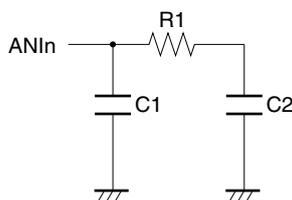


表10 - 4 等価回路の各抵抗と容量値 (参考値)

R1	C1	C2
11.5 kΩ	8.0 pF	8.0 pF

備考1 . 表10 - 4の各抵抗と容量値は保証値ではありません。

2 . n = 10, 15

第11章 24ビット 型A/Dコンバータ

11.1 24ビット 型A/Dコンバータの機能

24ビット 型A/Dコンバータは、アナログ入力をデジタル値に変換する24ビット分解能のコンバータです。次に機能について示します。

S/N比62 dB以上 (チャンネル1, 3のゲイン16倍選択時)

24ビット分解能 (変換結果レジスタ: 24ビット)

4チャンネル

アナログ入力: 8本 (正側, 負側入力/チャンネル)

$\Delta\Sigma$ 変換方式

プリアンプ・ゲイン選択: 2倍, 16倍 (チャンネル1, 3)

動作電圧: $LAV_{DD} = 3.0 \sim 3.6$ V, $LAV_{SS} = 0$ V

アナログ入力電圧: ± 0.375 V (チャンネル0, 2)

± 0.1875 V (チャンネル1, 3 プリアンプ・ゲイン2倍選択時)

± 23.4 mV (チャンネル1, 3 プリアンプ・ゲイン16倍選択時)

基準電圧生成 (1.226 V (TYP.)): 出力可能^注

変換レート: 4.340 kHz

注 24ビット 型A/Dコンバータのリファレンス電圧は、外部基準電位と内部基準電位を選択可能です。リファレンス特性を表11 - 1に示します。

表11 - 1 リファレンス特性

項 目	略 号	MIN.	TYP.	MAX.	単 位
外部基準電位 (入力)	AVREFIO1	1.20		1.25	V
内部基準電位 (出力)	AVREFIO2	1.165	1.226	1.287	V

注意 24ビット 型A/Dコンバータを使用する場合は、クロック出力選択レジスタ0(CKS0)の設定により、拡張SFR (3rd SFR) に10 MHzを供給してください (第5章 クロック発生回路参照)。

11.2 24ビット 型A/Dコンバータの構成

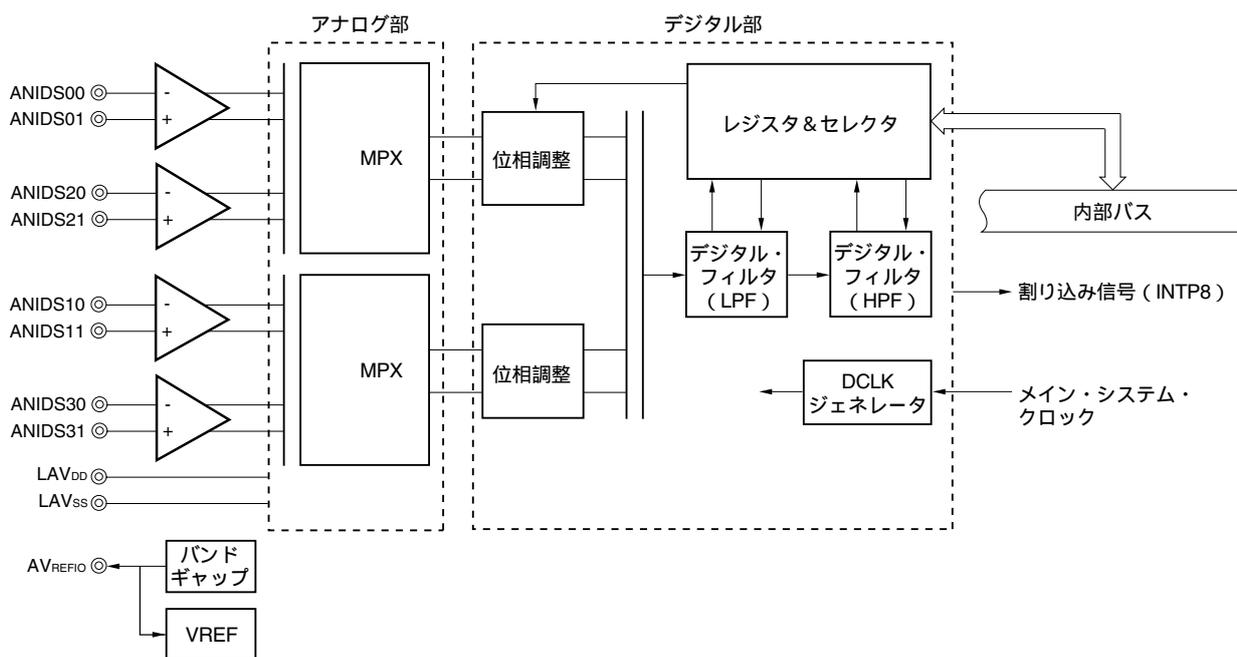
24ビット 型A/Dコンバータは、次のハードウェアで構成しています。

表11-2 24ビット 型A/Dコンバータの構成

項 目	構 成
アナログ入力	4チャンネル 8入力
レジスタ	24ビット 型A/Dコンバータ・モード・レジスタ (ADM2) ハイパス・フィルタ・コントロール・レジスタ0 (HPFC0) ハイパス・フィルタ・コントロール・レジスタ1 (HPFC1) 24ビット 型A/D変換結果レジスタn (ADCRn) 位相コントロール・レジスタ0, 1 (PHC0, PHC1) A/Dクロック・ディレイ設定レジスタ (ADLY)
内部ユニット	プリアンプ部 $\Delta\Sigma$ 変換部 位相調整部 基準電圧発生部 デジタル・フィルタ部 (DF) ハイパス・フィルタ部 (HPF)

備考 n = 0-3

図13 - 1 24ビット 型A/Dコンバータのブロック図



2線方式と3線方式により、各入力端子の対応チャンネル（電圧 / 電流）が異なります。

次の表に従って、電圧チャンネルは電圧センサに、電流チャンネルは電流センサに接続してください。

< 2線方式の場合 (CHMD = 0) >

入力端子	78K0R/LG3-M
ANIDS00, ANIDS01	電圧チャンネル
ANIDS10, ANIDS11	電流チャンネル1
ANIDS20, ANIDS21	電流チャンネル2
ANIDS30, ANIDS31	未使用

< 3線方式の場合 (CHMD = 1) >

入力端子	78K0R/LG3-M
ANIDS00, ANIDS01	電圧チャンネル1
ANIDS10, ANIDS11	電流チャンネル1
ANIDS20, ANIDS21	電圧チャンネル2
ANIDS30, ANIDS31	電流チャンネル2

(1) プリアンプ

ANIDSn0, ANIDSn1端子に inputsするLAV_{SS}基準の信号を内部電圧基準にシフトし,さらに入力信号を増幅するユニットです。出力信号を $\Delta\Sigma$ 回路へ供給します。

(2) マルチプレクス $\Delta\Sigma$ 回路

2マルチプレクスの $\Delta\Sigma$ 回路を2回路内蔵し,計4チャンネルのアナログ入力をデジタル変換します。この2つの $\Delta\Sigma$ 回路は同期して動作し,1つの $\Delta\Sigma$ 回路で2チャンネル分のアナログ入力の変換を時分割で実行します。入力信号の増幅はプリアンプと $\Delta\Sigma$ 回路にて行い,チャンネル0,2は1倍固定,チャンネル1,3は2倍と16倍の切り替えが可能です。変換レートは4.340 kHz,オーバ・サンプリング周波数は555.6 kHzとなります(動作クロック = 10 MHz時)。

(3) 位相調整回路

入力されるアナログ信号の位相を調整する機能です。128 fsを1ステップとして遅延させることで,アナログ信号間の位相を調整します。

外部部品(電流センサなど)により,入力アナログ信号間で位相ずれが生じます。この位相ずれにより,電力演算精度が低下するため,事前にPHCレジスタを使用し,位相ずれを補正してください。

位相ずれの補正は255ステップあり,1ステップは128 fs ($1/128 \times 4.34 \text{ k}$) 周期に相当し,約1.8 μs の遅延時間となります。ライン周波数が60 Hzの場合は0.0389°,50 Hzの場合は0.0324°単位での調整が可能です。

(4) 基準電圧発生部

基準電圧源(バンド・ギャップ・レファレンス回路)を内蔵し,基準電圧入出力端子(AV_{REFIO})より出力します。外付けの基準電圧源を使用する場合は,AV_{REFIO}端子に電圧を入力します。

(5) デジタル・フィルタ(DF)

$\Delta\Sigma$ 回路出力に含まれる高調波ノイズを除去し,かつデータ・レートを128分の1に間引くユニットです。

(6) ハイパス・フィルタ

入力信号に含まれるDC成分およびアナログ回路で生じたDCオフセットを除去するユニットです。チャンネルごとにハイパス・フィルタの挿入/非挿入の選択が可能です。

(7) ANIDSn0-ANIDSn1端子

A/Dコンバータへのアナログ入力端子です。1チャンネル2入力であり,ANIDSn0端子が負側入力,ANIDSn1端子が正側入力となります。

(8) LAV_{DD}端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも,常にLV_{DD}端子と同電位で使用してください。

(9) LAV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にLV_{SS}端子と同電位で使用してください。

(10) AV_{REFIO}端子

A/Dコンバータのレファレンス電圧入出力端子です。内蔵レファレンス電圧を使用する場合は出力端子、外部レファレンス電圧を使用する場合は入力端子として使用します。

11.3 24ビット 型A/Dコンバータで使用するレジスタ

24ビット 型A/Dコンバータでは、次のレジスタを使用します。

これらのレジスタは、すべて拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) 空間へのアクセス方法は、**第14章 拡張SFR (3rd SFR) インタフェース**を参照してください。

- ・ 24ビット 型A/Dコンバータ・モード・レジスタ (ADM2)
- ・ HPFコントロール・レジスタ0 (HPFC0)
- ・ HPFコントロール・レジスタ1 (HPFC1)
- ・ 24ビット 型A/D変換結果レジスタn (ADCRn)
- ・ 位相コントロール・レジスタ0, 1 (PHC0, PHC1)
- ・ A/Dクロック・ディレイ設定レジスタ (ADLY)

備考 n = 0-3

(1) 24ビット 型A/Dコンバータ・モード・レジスタ (ADM2)

24ビット 型A/Dコンバータの電源のオン/オフ、変換動作の許可/停止、単相モードの切り替え、基準電位およびアンプ・ゲインの指定を行うレジスタです。

ADM2は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図11-2 24ビット 型A/Dコンバータ・モード・レジスタ (ADM2) のフォーマット

アドレス : A3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADPON	ADCE2	CHMD	0	BGCUT	PAGS1	0	0

ADPON	24ビット 型A/Dコンバータのパワーオン指定
0	パワーオフ
1	パワーオン

ADCE2	24ビット 型A/Dコンバータの動作指定
0	変換動作停止
1	変換動作許可

CHMD ^注	単相2線方式と単相3線方式の切り替え制御
0	単相2線方式
1	単相3線方式

BGCUT	BGR出力停止制御信号
0	内部基準電位使用, AVREFIOは出力端子
1	BGR出力停止, 外部基準電位使用, AVREFIOは入力端子

PAGS1	チャンネル1, 3のプログラマブル・アンプ・ゲイン指定
0	2倍
1	16倍

注 2線方式と3線方式により, 各入力端子の対応チャンネル (電圧 / 電流) が異なります。
次の表に従って, 電圧チャンネルは電圧センサに, 電流チャンネルは電流センサに接続してください。

<2線方式の場合 (CHMD = 0) >

入力端子	78K0R/LG3-M
ANIDS00, ANIDS01	電圧チャンネル
ANIDS10, ANIDS11	電流チャンネル1
ANIDS20, ANIDS21	電流チャンネル2
ANIDS30, ANIDS31	未使用

<3線方式の場合 (CHMD = 1) >

入力端子	78K0R/LG3-M
ANIDS00, ANIDS01	電圧チャンネル1
ANIDS10, ANIDS11	電流チャンネル1
ANIDS20, ANIDS21	電圧チャンネル2
ANIDS30, ANIDS31	電流チャンネル2

注意 ビット0, 1, 4には必ず0を設定してください。

(2) ハイパス・フィルタ・コントロール・レジスタ0 (HPFC0)

各チャンネルのハイパス・フィルタの挿入指定を行う8ビット・レジスタです。

HPFC0は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図11-3 ハイパス・フィルタ・コントロール・レジスタ0 (HPFC0) のフォーマット

アドレス : A5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
HPFC0	0	0	0	0	THR3	THR2	THR1	THR0

THRn	チャンネルnのハイパス・フィルタ挿入指定 (n = 0-3)
0	ハイパス・フィルタを挿入する
1	ハイパス・フィルタを挿入せず、スルーする

注意 ビット4-7には必ず0を設定してください。

(3) ハイパス・フィルタ・コントロール・レジスタ1 (HPFC1)

各チャンネルのハイパス・フィルタの動作制御を行う8ビット・レジスタです。

HPFC1は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図11-4 ハイパス・フィルタ・コントロール・レジスタ1 (HPFC1) のフォーマット

アドレス : A6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
HPFC1	0	0	0	0	DLY3	DLY2	DLY1	DLY0

DLYn	チャンネルnの位相遅延の付加指定 (n = 0-3)
0	ハイパス・フィルタ内の位相遅延を付加しない
1	ハイパス・フィルタ内の位相遅延を付加する

注意 ビット4-7には必ず0を設定してください。

(4) 24ビット 型A/D変換結果レジスタ_n (ADCR_n)

各チャンネルの変換結果を格納する24ビット・レジスタです。

ADCR_nは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

システム・リセットとADCE2 = 0により、000000Hに初期化されます。

図11 - 5 24ビット 型A/D変換結果レジスタ_n (ADCR_n) のフォーマット

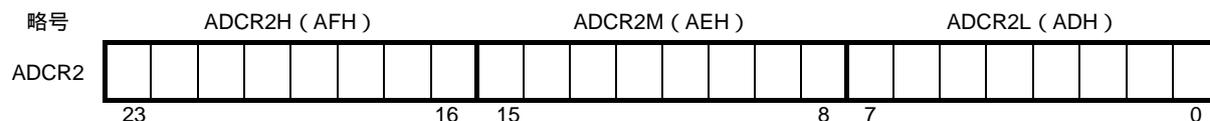
アドレス : A7H-A9H リセット時 : 000000H R



アドレス : AAH-ACH リセット時 : 000000H R



アドレス : ADH-AFH リセット時 : 000000H R



アドレス : B0H-B2H リセット時 : 000000H R



注意1. ADCE2ビット = 0で初期化されるため、ADCR_nレジスタの読み出しはADCE2ビット = 1のときに行ってください。

2. ADCR_nレジスタは、フルスケール入力の場合、次の値になります。

入力電圧 (ゲイン1倍)	ADCR _n レジスタ値
0.375 V	0x400000
- 0.375 V	0xC00000

備考 n = 0-3

(5) 位相コントロール・レジスタ0, 1 (PHC0, PHC1)

各チャンネルの位相調整量の制御を行う9ビット・レジスタです。

位相調整は、アナログ部から入力する1ビットA/D変換データをデジタル・フィルタ部へ出力するタイミングを変えることで行います。このレジスタにより256段分の調整が可能です。

PHC0, PHC1は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図11 - 6 位相コントロール・レジスタ0, 1 (PHC0, PHC1) のフォーマット

アドレス： B3H, B4H リセット時：0000H R/W

略号	PHC0H (B4H)							PHC0L (B3H)																		
PHC0	0	0	0	0	0	0	0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	PHC0	15	8	7	6	5	4	3	2	1	0

アドレス： B5H, B6H リセット時：0000H R/W

略号	PHC1H (B6H)							PHC1L (B5H)																		
PHC1	0	0	0	0	0	0	0	PHC1	PHC1	PHC1	PHC1	PHC1	PHC1	PHC1	PHC1	PHC1	15	8	7	6	5	4	3	2	1	0

PHC0L (PHC00-PHC07) , PHC1L (PHC10-PHC17)	位相調整量の指定 (1段分 = 128 fs)
00H	スルー (位相調整なし)
01H	1段分
...	
FEH	254段分
FFH	255段分

PHC08, PHC18	電圧チャンネル, 電流チャンネル位相調整の選択
0	PHCnLの設定値は電圧チャンネルn位相調整量 (n = 0, 1)
1	PHCnLの設定値は電流チャンネルn位相調整量 (n = 0, 1)

(6) A/Dクロック・ディレイ設定レジスタ (ADLY)

A/D動作クロックとデジタル部クロックとの位相を制御するレジスタです。

ADLYには、必ず00Hを設定してください。

ADLYは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図11-7 A/Dクロック・ディレイ設定レジスタ (ADLY) のフォーマット

アドレス : A4H リセット時 : 00H R/W

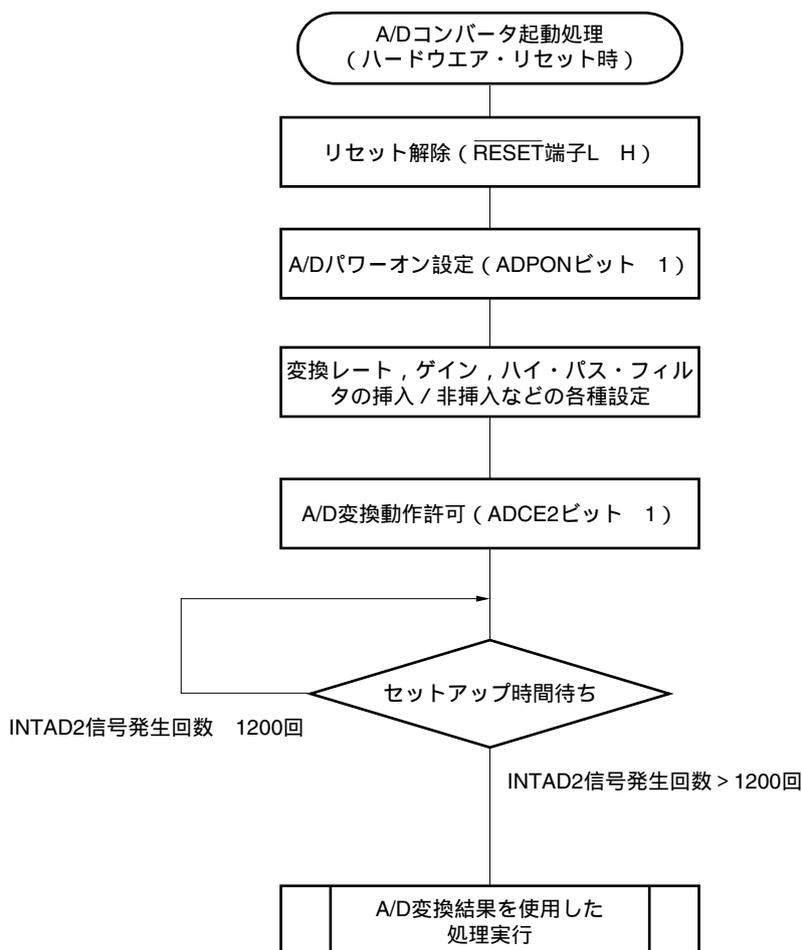
略号	7	6	5	4	3	2	1	0
ADLY	0	0	0	0	0	0	0	0

注意 ビット0-7には必ず0を設定してください。

11.4 24ビット 型A/Dコンバータの動作

ADM2レジスタのADPON, ADCE2ビットをセット(1)することにより,変換動作を開始します。パワーオン後および変換開始後は,アナログ部やデジタル・フィルタ部のセットアップ時間が必要になりますので,次に示すフローに従い初期設定を行ってください。

図11-8 初期設定フロー



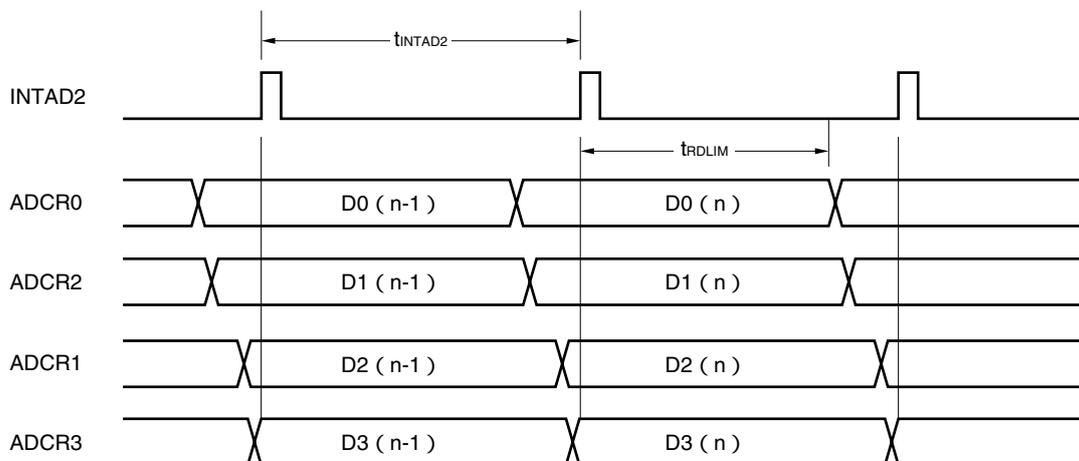
注意 初期化のために一時停止 (ADCE2ビット 0, ADPONビットは1状態継続) したあと再起動した場合も, セットアップ時間待ちは必要になります。この場合はデジタル・フィルタのディレイ分であるA/D変換終了割り込み要求信号 (INTAD2) 10回分をセットアップ時間としてウエイトしてください。

A/D変換動作を許可すると、4チャンネルのアナログ入力端子（ANIDSn0, ANIDSn1端子）の変換を開始します。2マルチプレクスの $\Delta\Sigma$ 回路を2セット内蔵しており、それぞれ時分割で2チャンネル分の変換を実行します。全4チャンネル分の変換を終了するたびに、INTAD2信号を発行して、CPUに対し変換結果の読み出しが可能であることを知らせます。

割り込み処理によりADCRnレジスタを読み出す場合、最大保留時間は図11 - 9に示す値になりますので、それまでにADCRnレジスタの読み出しを完了させてください。

備考 n = 0-3

図11 - 9 INTAD2信号発生とADCRnレジスタ格納タイミング（動作クロック = 10 MHz動作時）



t_{INTAD2} : 割り込み発生周期 : 230.4 μ s

t_{RDLIM} : ADCRnレジスタ読み出し保留時間 (MAX.) : 223.8 μ s ($t_{INTAD2} - 5.5 \times A/D$ のシステム・クロック(動作クロック / 12))

11.5 24ビット 型A/Dコンバータの注意事項

(1) ADCRnレジスタの読み出しは、A/D変換終了割り込み (INTAD2) 処理にて行ってください。そうしない場合ADCRnレジスタへの変換値格納と読み出しの競合により、不正な値を読み出すことがあります。また、INTAD2処理でのADCRnレジスタの読み出し保留期間は、223.8 μ s (10 MHz動作時) になります。

(2) パワーオン (ADM2レジスタのADPONビット = 1) 後、A/Dコンバータ内部のセットアップ時間が必要になるため、最初の1200変換は無効データになります。

注意 動作開始後1200回分のINTAD2信号をカウントし、それ以降のINTAD2信号発生から変換データを取り込んでください。

(3) 初期化のために一時停止 (ADM2レジスタのADCE2ビット = 0, ADPONビットは1状態継続) したあと再起動した場合も、セットアップ時間待ちは必要になります。これはデジタル・フィルタのディレイ分であるINTAD2信号10回分をセットアップ時間としてウエイトしてください。

(4) 変換動作許可 (ADCE2ビット = 1) 後、正常なデータが出力されるまでの時間は、その時のアナログ入力状態によっても依存します。これはアナログ入力状態によりデジタル・フィルタの安定時間が変化するためです。安定時間については、使用する環境にあわせて十分な評価を行ってください。

(5) 24ビット 型A/Dコンバータへの供給クロックが停止した場合は、必ずA/Dコンバータを初期化し直してください。A/Dコンバータを初期化するには、ADCE2ビットをクリア (0) セット (1) の動作を行ってください。この場合、デジタル・フィルタのディレイ分であるA/D変換終了割り込み要求信号 (INTAD2) 10回分をセットアップ時間としてウエイトしてください。

(6) LAV_{DD}をオフする前に、必ずADM2レジスタのADPONビット = 0, ADCE2ビット = 0にしてください。

(7) ADM2レジスタの設定は、必ず変換停止 (ADCE2ビット = 0) 状態で実行してください。

(8) ADCRnレジスタはADCE2ビット = 0時に初期化されるため、ADCRnレジスタの読み出しはADCE2ビット = 1の状態で行ってください。

(9) ソフトウェアSTOPモードに移行する前に、ADPONビット = 0にしてください。
ADPONビット = 1の状態では電流が流れます。

(10) ADCRnレジスタからデータを読み出す場合は、下位バイトから読み出してください。

(11) デジタル・フィルタでは、約0.962のゲインが加わります。

(12) 24ビット 型A/Dコンバータを使用する場合は、クロック出力選択レジスタ (CKS) の設定により、拡張SFR (3rd SFR) に10 MHzを供給してください (第5章 クロック発生回路参照)。

備考 n = 0-3

第12章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに4つのシリアル・チャンネルを持ち、各種シリアル・インタフェース（3線シリアル（CSI）、UART、簡易I²C）をいくつか組み合わせて使用できます。

78K0R/Lx3-Mマイクロコントローラで対応している、各チャンネルの機能割り当ては次のようになっています（ユニット0のチャンネル2は拡張SFR（3rd SFR）インタフェース専用、ユニット1のチャンネル2,3はUART3（LIN-bus対応）専用です）。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	-	UART0	-
	1	-		-
	2	CSI10 (拡張SFR (3rd SFR) インタフェース専用)	-	-
	3	-	-	-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

（組み合わせ例） ユニット1のチャンネル0, 1で「UART2」を使用するときは、CSI20やIIC20を使用することはできませんが、UART3（LIN-bus対応）は使用することができます。

12. 1 シリアル・アレイ・ユニットの機能

78K0R/Lx3-Mマイクロコントローラで対応している各シリアル・インタフェースの特徴を示します。

12. 1. 1 3線シリアルI/O (CSI20)

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

12. 1. 2 UART (UART0, UART2, UART3)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また，UART3（ユニット1の2, 3チャンネル）では，LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|--|---|--|
| <ul style="list-style-type: none"> ・ ウェイクアップ信号検出 ・ シンク・ブレイク・フィールド（SBF）検出 ・ シンク・フィールド測定，ポー・レート算出 | } | <p>外部割り込み（INTP0），
タイマ・アレイ・ユニット（TAU）を活用</p> |
|--|---|--|

12. 1. 3 簡易I²C（IIC20）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能し，ウェイト検出の機能もありません。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・ マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ・ ACK出力機能^注，ACK検出機能
- ・ 8ビットのデータ長
（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- ・ スタート・コンディション，ストップ・コンディション手動発生

[割り込み機能]

- ・ 転送完了割り込み

[エラー検出フラグ]

- ・ パリティ・エラー（ACKエラー）

[簡易I²Cでサポートしていない機能]

- ・ スレーブ送信，スレーブ受信
- ・ アービトレーション負け検出機能
- ・ ウェイト検出機能

注 最終データの受信時は，SOE10（SOE1レジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，12. 7. 3（2）**処理フロー**を参照してください。

備考 フル機能のI²Cバスをご使用の場合は，**第13章 シリアル・インタフェースIICA**を参照してください。

12.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表12-1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビット
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビット ^注
シリアル・クロック 入出力	SCK20端子 (3線シリアルI/O用) , SCL20端子 (簡易I ² C用)
シリアル・データ 入力	SI20端子 (3線シリアルI/O用) , RxD0, RxD2端子 (UART用) , RxD3端子 (LIN-bus対応UART用)
シリアル・データ 出力	SO20端子 (3線シリアルI/O用) , TxD0, TxD2端子 (UART用) , TxD3端子 (LIN-bus対応UART用) , 出力制御回路
シリアル・データ 入出力	SDA20端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOm) ・シリアル出力レベル・レジスタm (SOLm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) ・ポート入力モード・レジスタ1 (PIM1) ・ポート出力モード・レジスタ1, 8 (POM1, POM8) ・ポート・モード・レジスタ1, 5, 8 (PM1, PM5, PM8) ・ポート・レジスタ1, 5, 8 (P1, P5, P8)

注 シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・IICr通信時・・・SIOr (IICrデータ・レジスタ)

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3)

p: CSI番号 (p = 20) q: UART番号 (q = 0, 2, 3) r: IIC番号 (r = 20)

図12 - 1にシリアル・アレイ・ユニット0のブロック図を示します。

図12 - 1 シリアル・アレイ・ユニット0のブロック図

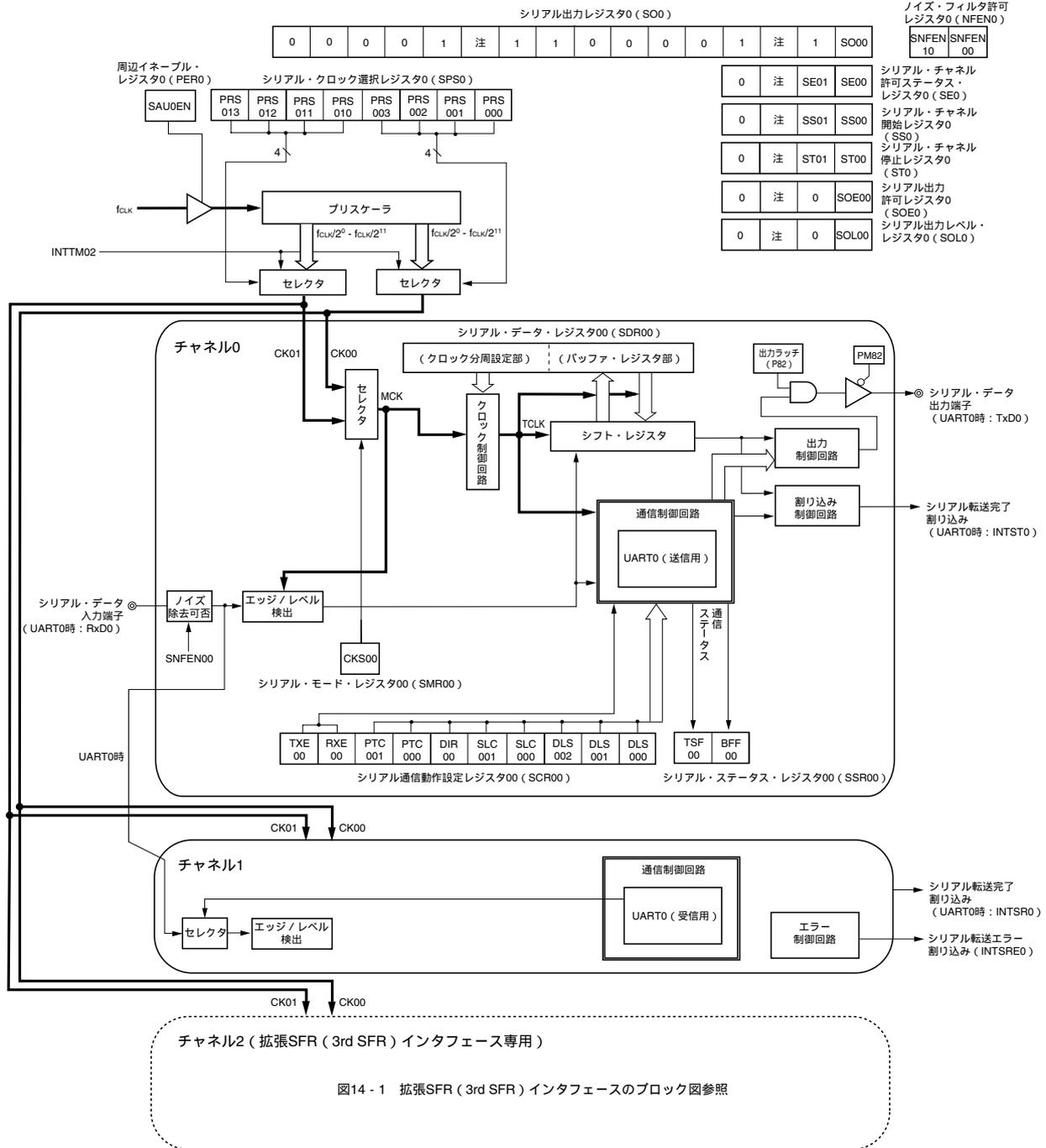
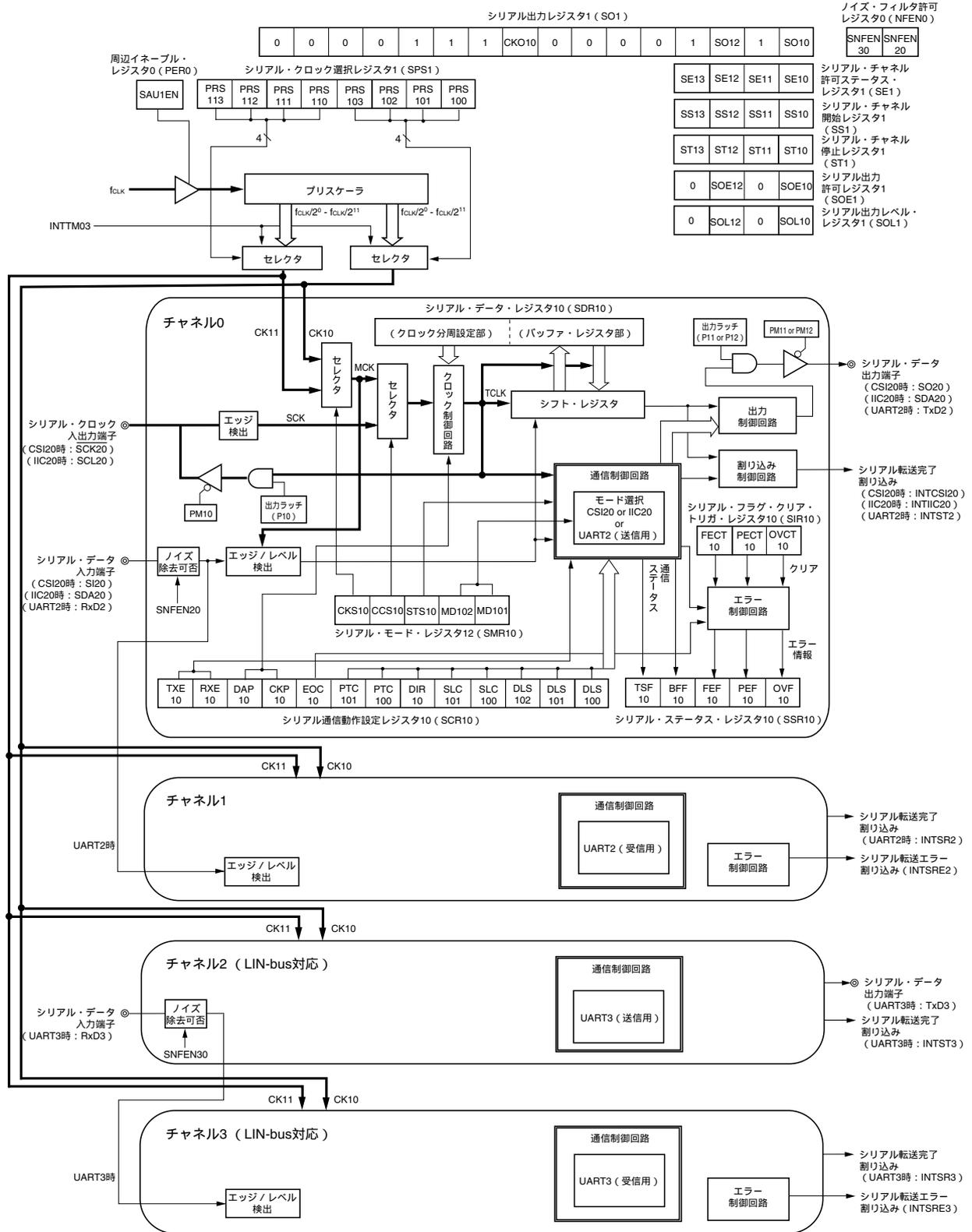


図14 - 1 拡張SFR (3rd SFR) インタフェースのブロック図参照

注 拡張SFR (3rd SFR) インタフェースで使用するビットです
(第14章 拡張SFR (3rd SFR) インタフェース参照)。

図12 - 2にシリアル・アレイ・ユニット1のブロック図を示します。

図12 - 2 シリアル・アレイ・ユニット1のブロック図



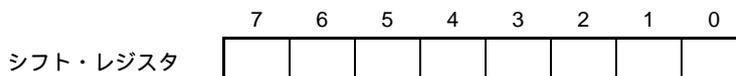
(1) シフト・レジスタ

パラレル シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn (SDRmn) の下位8ビットを使用します。

**(2) シリアル・データ・レジスタmn (SDRmn) の下位8ビット**

SDRmnは、チャンネルnの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (MCK) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8ビットに設定します。

下位8ビットに格納するデータは、データ出力順序に関わらず、SCRmnレジスタのビット0-2 (DLSmn0-DLSmn2) の設定によって、次のようになります。

- ・ 5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ設定可)
- ・ 7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDRmnレジスタのビット0-7に格納)

SDRmnは16ビット単位でリード/ライト可能です。

またSDRmnの下位8ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^注です。

- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・ IICr通信時・・・SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnは0000Hになります。

注 ただし動作停止 (SEmn = 0) 時は、8ビット単位のライト禁止

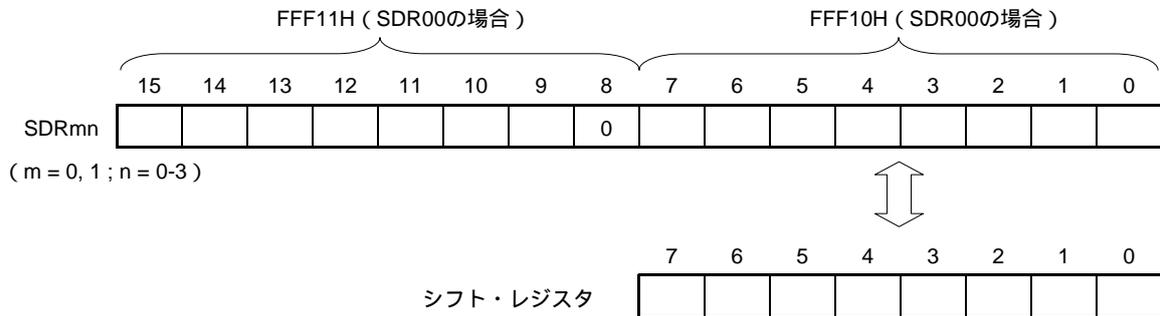
備考1. 受信完了後、ビット0-7内でデータ長を越える部分のビットには、“0”が格納されます。

2. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3)

p: CSI番号 (p = 20) q: UART番号 (q = 0, 2, 3) r: IIC番号 (r = 20)

図12-3 シリアル・データ・レジスタ_{mn} (SDR_{mn}) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11) ,
 FFF14H, FFF15H (SDR12) , FFF16H, FFF17H (SDR13)



注意 ビット8は、必ず0を設定してください。

備考1. SDR_{mn}の上位7ビットの機能については、12.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

12.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・チャンネル許可ステータス・レジスタm (SEm)
- ・シリアル・チャンネル開始レジスタm (SSm)
- ・シリアル・チャンネル停止レジスタm (STm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ1 (PIM1)
- ・ポート出力モード・レジスタ1, 8 (POM1, POM8)
- ・ポート・モード・レジスタ1, 5, 8 (PM1, PM5, PM8)
- ・ポート・レジスタ1, 5, 8 (P1, P5, P8)

備考 m : ユニット番号 (m = 0, 1)

n : チャンネル番号 (n = 0-3)

(1) 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-4 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロックの制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

- 注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ (NFEN0)、ポート入力モード・レジスタ (PIM1)、ポート出力モード・レジスタ (POM1, POM8)、ポート・モード・レジスタ (PM1, PM5, PM8)、ポート・レジスタ (P1, P5, P8) は除く)。
2. SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 0, 1)

(2) シリアル・クロック選択レジスタm (SPSm)

SPSmは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmは16ビット・メモリ操作命令で設定します。

またSPSmの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmは0000Hになります。

図12-5 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mp3	PRS mp2	PRS mp1	PRS mp0	動作クロック (CKmp) の選択 ^{注1}				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz
1	1	1	1	m = 0の場合INTTM02, m = 1の場合INTTM03 ^{注2}				
上記以外				設定禁止				

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAUm) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02, INTTM03を選択する場合は、タイマ・アレイ・ユニット (TAU0) も停止 (TT0 = 00FFH) させてください。

2. TAU0のチャンネル2, チャンネル3において, f_{SUB}/4をカウント・クロックに選択したインターバルタイマ動作をし (TIS0レジスタのTIS02 (m = 0の場合), TIS03 (m = 1の場合) に“1”を設定), SPSmレジスタでINTTM02, INTTM03を選択することにより, f_{CLK}の周波数 (メイン・システム・クロック, サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAUmを動作させることが可能です。ただし, f_{CLK}を変更する場合は, 上記の注1のようにSAUm, TAU0を停止させる必要があります。

注意1. ビット15-8には、必ず0を設定してください。

2. SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

2. m : ユニット番号 (m = 0, 1), p = 0, 1

(3) シリアル・モード・レジスタ_{mn} (SMR_{mn})

SMR_{mn}は、チャンネル_nの動作モード設定レジスタです。動作クロック (MCK) の選択, シリアル・クロック (SCK) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART, I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMR_{mn}は、動作中 (SE_{mn} = 1のとき) の書き換えは禁止です。ただしMD_{mn0}ビットは、動作中でも書き換えをすることができます。

SMR_{mn}は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020Hになります。

図12-6 シリアル・モード・レジスタ_{mn} (SMR_{mn}) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00), F0112H, F0113H (SMR01), リセット時 : 0020H R/W
F0150H, F0151H (SMR10), F0152H, F0153H (SMR11),
F0154H, F0155H (SMR12), F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネル _n の動作クロック (MCK) の選択
0	PRSレジスタで設定したプリスケアラ出力クロックCK _{m0}
1	PRSレジスタで設定したプリスケアラ出力クロックCK _{m1}
動作クロックMCKは、エッジ検出回路に使用されます。また、CCS _{mn} ビットとSDR _{mn} レジスタの上位7ビットの設定により、転送クロック (TCLK) を生成します。	

CCS mn	チャンネル _n の転送クロック (TCLK) の選択
0	CKS _{mn} ビットで指定した動作クロックMCKの分周クロック
1	SCK端子からの入力クロック (CSIモードのスレーブ転送)
転送クロックTCLKは、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCS _{mn} = 0の場合は、SDR _{mn} レジスタの上位7ビットでMCKの分周設定を行います。	

STS mn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I ² C時に選択)
1	RxD端子の有効エッジ (UART受信時に選択)
SS _m レジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

図12 - 6 シリアル・モード・レジスタ_{mn} (SMR_{mn}) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00), F0112H, F0113H (SMR01), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11),
 F0154H, F0155H (SMR12), F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0	UARTモードでのチャンネル _n の受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネル _n の動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネル _n の割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み
連続送信時はMD _{mn0} = 1として、SDR _{mn} データが空になったら次送信データの書き込みを行う。	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

(4) シリアル通信動作設定レジスタ_{mn} (SCR_{mn})

チャンネル_nの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCR_{mn}は、動作中 (SE_{mn} = 1のとき) の書き換えは禁止です。

SCR_{mn}は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087Hになります。

図12-7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00), F011AH, F011BH (SCR01), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10), F015AH, F015BH (SCR11),
 F015CH, F015DH (SCR12), F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信を開始しない
0	1	受信のみ
1	0	送信のみ
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード, 簡易²Cモード時には, 必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0, 2, 3)) のマスク可否の選択
0	エラー割り込みINTSRExをマスクする (INTSRxはマスクされない)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxはマスクされる)

CSIモード, 簡易²Cモード, UART送信時には, EOCmn = 0に設定してください。
 UART受信時には, EOCmn = 1に設定してください。

注意 ビット3, 6, 11には, 必ず0を設定してください。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 20)
 mn = 00, 01, 10-13

図12-7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) , F011AH, F011BH (SCR01) , リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11) ,
 F015CH, F015DH (SCR12) , F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード、簡易²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易²Cモード時には、必ずDIRmn = 0に設定してください。

SLC mn1	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット	
1	1	設定禁止	

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時、簡易²Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
 CSIモード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。

DLS mn2	DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	
1	0	0	5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ選択可)	
1	1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他			設定禁止	

簡易²Cモード時には、必ずDLSmn0 = 1に設定してください。

注意 ビット3, 6, 11には、必ず0を設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00, 01, 10-13

(5) シリアル・データ・レジスタ_{mn} (SDR_{mn}) の上位7ビット

SDR_{mn}は、チャンネル_nの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (MCK) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ_{mn} (SMR_{mn}) でCCS_{mn}ビットを0に設定した場合は、動作クロックをこのSDR_{mn}の上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

SDR_{mn}の下部8ビットの機能については、12.2 シリアル・アレイ・ユニットの構成を参照してください。

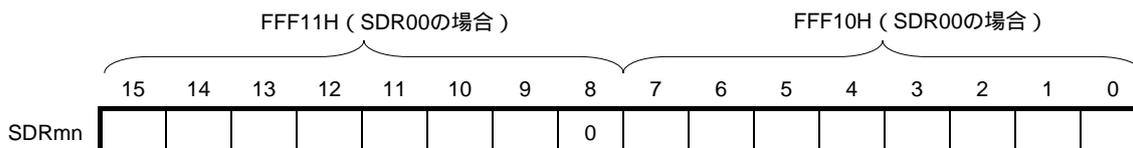
SDR_{mn}は16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SE_{mn} = 0) のときのみ有効です。動作中 (SE_{mn} = 1) にSDR_{mn}に書き込みを行ったときは、下部8ビットのみ値が書き込まれます。動作中にSDR_{mn}の読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、0000Hになります。

図12-8 シリアル・データ・レジスタ_{mn} (SDR_{mn}) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時 : 0000H R/W
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11),
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



SDR _{mn} [15:9]							動作クロック (MCK) の分周による転送クロック設定
0	0	0	0	0	0	0	MCK/2
0	0	0	0	0	0	1	MCK/4
0	0	0	0	0	1	0	MCK/6
0	0	0	0	0	1	1	MCK/8
.
.
.
1	1	1	1	1	1	0	MCK/254
1	1	1	1	1	1	1	MCK/256

注意1. ビット8は、必ず0を設定してください。

2. UART使用時は、SDR_{mn}[15:9] = (0000000B, 0000001B) は設定禁止です。

3. 簡易²C使用時は、SDR_{mn}[15:9] = 0000000Bは設定禁止です。SDR_{mn}[15:9] = 0000001B以上に設定してください。

備考1. SDR_{mn}の下部8ビットの機能については、12.2 シリアル・アレイ・ユニットの構成を参照してください。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

(6) シリアル・ステータス・レジスタ_{mn} (SSR_{mn})

SSR_{mn}は、チャンネル_nの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSR_{mn}は、16ビット・メモリ操作命令で読み出します。

またSSR_{mn}の下位8ビットは、SSR_{mnL}で8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSR_{mn}は0000Hになります。

図12-9 シリアル・ステータス・レジスタ_{mn} (SSR_{mn}) のフォーマット (1/2)

アドレス：F0100H, F0101H (SSR00), F0102H, F0103H (SSR01), リセット時：0000H R

F0140H, F0141H (SSR10), F0142H, F0143H (SSR11),

F0144H, F0145H (SSR12), F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR _{mn}	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn ^注	OVF mn ^注

TSF mn	チャンネル _n の通信状態表示フラグ
0	通信動作を行っていない
1	通信動作を行っている

更新型フラグなので、通信動作が終わると自動的にクリアされます。また、ST_{mn}/SS_{mn}ビットに1を設定した場合もクリアされます。

BFF mn	チャンネル _n のバッファ・レジスタ状態表示フラグ
0	有効なデータがSDR _{mn} レジスタに格納されていない
1	有効なデータがSDR _{mn} レジスタに格納されている

更新型フラグです。送信時には、SDR_{mn}レジスタからシフト・レジスタに転送が終わると自動的にクリアされます。受信時には、SDR_{mn}レジスタから読み出しが終わると自動的にクリアされます。また、ST_{mn}/SS_{mn}ビットに1を設定した場合もクリアされます。

SCR_{mn}レジスタのTXE_{mn}ビット = 1 (各通信モードでの送信、送受信モード時) のときにSDR_{mn}レジスタに送信データを書き込むと自動的にセットされます。SCR_{mn}レジスタのRXE_{mn} = 1 (各通信モードでの受信、送受信モード時) のときにSDR_{mn}レジスタに受信データが格納されると自動的にセットされます。また受信エラーの場合もセットされます。

BFF_{mn} = 1のときにSDR_{mn}レジスタに書き込みをすると、格納されている送信/受信データは破壊され、オーバラン・エラー (OVF_{mn} = 1) と検出されます。

注 SSR00, SSR12レジスタのみ ,FET00, FET12, PET00, PET12, OVF00, OVF12はありません。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

図12 - 9 シリアル・ステータス・レジスタ_{mn} (SSR_{mn}) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00), F0102H, F0103H (SSR01), リセット時 : 0000H R
 F0140H, F0141H (SSR10), F0142H, F0143H (SSR11),
 F0144H, F0145H (SSR12), F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR _{mn}	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^注	PEF mn ^注	OVF mn ^注

FEF mn	チャンネルnのフレーミング・エラー検出フラグ	
0	エラーが発生していない	
1	UART受信時に、フレーミング・エラーが発生している <フレーミング・エラー要因> UART受信完了時に、ストップ・ビットが検出されないときにフレーミング・エラーとなります。	
累積型フラグなので、SIR _{mn} レジスタのFECT _{mn} ビットに1を書き込むまでクリアされません。		

PEF mn	チャンネルnのパリティ・エラー検出フラグ	
0	エラーが発生していない	
1	UART受信時に、パリティ・エラーが発生している、または ² C送信時に、ACK未検出が発生している <パリティ・エラー要因> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないときにパリティ・エラーとなります。 ・ ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったときにACK未検出となります。	
累積型フラグなので、SIR _{mn} レジスタのPECT _{mn} ビットに1を書き込むまでクリアされません。		

OVF mn	チャンネルnのオーバラン・エラー検出フラグ	
0	エラーが発生していない	
1	オーバラン・エラーが発生している <オーバラン・エラー要因> ・受信データがSDR _{mn} レジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをした ・CSIモードのスレーブ送信/送受信で、送信データが準備できていない	
累積型フラグなので、SIR _{mn} レジスタのOVCT _{mn} ビットに1を書き込むまでクリアされません。		

注 SSR00, SSR12レジスタのみ, FET00, FET12, PET00, PET12, OVF00, OVF12はありません。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00, 01, 10-13

(7) シリアル・フラグ・クリア・トリガ・レジスタ_{mn} (SIR_{mn})

チャンネル_nの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECT_{mn}, PECT_{mn}, OVCT_{mn}) を1にセットすると, シリアル・ステータス・レジスタ_{mn} (SSR_{mn}) の対応ビット (FEF_{mn}, PEF_{mn}, OVF_{mn}) が0にクリアされます。SIR_{mn}はトリガ・レジスタなので, SSR_{mn}の対応ビットをクリアするとすぐSIR_{mn}もクリアされます。

SIR_{mn}は, 16ビット・メモリ操作命令で設定します。

またSIR_{mn}の下位8ビットは, SIR_{mn}Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により, SIR_{mn}は0000Hになります。

図12 - 10 シリアル・フラグ・クリア・トリガ・レジスタ_{mn} (SIR_{mn}) のフォーマット

アドレス : F010AH, F010BH (SIR01), F0148H, F0149H (SIR10), リセット時 : 0000H R/W
F014AH, F014BH (SIR11), F014EH, F014FH (SIR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIR _{mn}	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC T _{mn}	PEC T _{mn}	OVC T _{mn}

FEC T _{mn}	チャンネル _n のフレーミング・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSR _{mn} レジスタのFEF _{mn} ビットを0にクリアする

PEC T _{mn}	チャンネル _n のパリティ・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSR _{mn} レジスタのPEF _{mn} ビットを0にクリアする

OVC T _{mn}	チャンネル _n のオーバラン・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSR _{mn} レジスタのOVF _{mn} ビットを0にクリアする

注意 ビット15-3には, 必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 01, 10, 11, 13

2. SIR_{mn}レジスタの読み出し値は常に0000Hとなります。

(8) シリアル・チャンネル許可ステータス・レジスタ_m (SE_m)

SE_mは、各チャンネルのシリアル送受信動作許可/停止状態を表示するレジスタです。

シリアル・チャンネル開始レジスタ0 (SS_m)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ0 (ST_m)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネル_nは、後述のシリアル出力レジスタ_m (SO_m)のCKO_{mn}の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されません。

動作を停止したチャンネル_nは、SO_mレジスタのCKO_{mn}の値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SE_mは、16ビット・メモリ操作命令で読み出します。

またSE_mの下位8ビットは、SE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SE_mは0000Hになります。

図12-11 シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) のフォーマット

アドレス : F0120H, F0121H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	SE0	SE0
															1	0

アドレス : F0160H, F0161H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	SE1	SE1	SE1	SE1
													3	2	1	0

SE _m	チャンネル _n の動作許可/停止状態の表示															
n																
0	動作停止状態 (制御レジスタ, シフト・レジスタの値, およびシリアル・クロック入出力端子, シリアル・データ出力端子, FEF, PEF, OVFの各エラー・フラグの状態を保持したまま停止 ^注)															
1	動作許可状態															

注 ただしSSR_{mn}レジスタのビット6, 5 (TSF_{mn}, BFF_{mn}) はクリアされます。

注意 SE0のビット15-3, SE1のビット15-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

x : 拡張SFR (3rd SFR) インタフェースでのみ使用できるビット

(第14章 拡張SFR (3rd SFR) インタフェース参照)

(9) シリアル・チャンネル開始レジスタ_m (SS_m)

SS_mは、通信 / カウント開始の許可を各チャンネルごとに設定するトリガ・レジスタです。

各ビット (SS_{mn}) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_{mn}) が1にセットされます。SS_{mn}はトリガ・ビットなので、SE_{mn} = 1になるとすぐSS_{mn}はクリアされます。

SS_mは、16ビット・メモリ操作命令で設定します。

またSS_mの下位8ビットは、SS_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SS_mは0000Hになります。

図12 - 12 シリアル・チャンネル開始レジスタ_m (SS_m) のフォーマット

アドレス : F0122H, F0123H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	×	SS0	SS0
															1	0

アドレス : F0162H, F0163H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	SS1	SS1	SS1	SS1
													3	2	1	0

SS _m	チャンネル _n の動作開始トリガ															
n																
0	トリガ動作せず															
1	SE _{mn} に1をセットし、通信待機状態に遷移する (すでに通信動作中の場合は、通信動作を停止し、起動条件待ちの状態となる)															

注意 SS0のビット15-3, SS1のビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

× : 拡張SFR (3rd SFR) インタフェースでのみ使用できるビット

(第14章 拡張SFR (3rd SFR) インタフェース参照)

2. SS_mレジスタの読み出し値は常に0000Hとなります。

(10) シリアル・チャンネル停止レジスタ_m (ST_m)

ST_mは、通信/カウント停止の許可を各チャンネルごとに設定するトリガ・レジスタです。

各ビット (ST_{mn}) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_{mn}) が0にクリアされます。ST_{mn}はトリガ・ビットなので、SE_{mn} = 0になるとすぐST_{mn}はクリアされます。

ST_mは、16ビット・メモリ操作命令で設定します。

またST_mの下位8ビットは、ST_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST_mは0000Hになります。

図12 - 13 シリアル・チャンネル停止レジスタ_m (ST_m) のフォーマット

アドレス : F0124H, F0125H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	×	ST0	ST0
															1	0

アドレス : F0164H, F0165H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	ST1	ST1	ST1	ST1
													3	2	1	0

ST _m n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SE _{mn} を0にクリアし、通信動作を停止する (制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、FEF、PEF、OVFの各エラー・フラグの状態を保持したまま停止 ^注)

注 ただしSSR_{mn}レジスタのビット6, 5 (TSF_{mn}, BFF_{mn}) はクリアされず。

注意 ST0のビット15-3, ST1のビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

× : 拡張SFR (3rd SFR) インタフェースでのみ使用できるビット

(第14章 拡張SFR (3rd SFR) インタフェース参照)

2. ST_mレジスタの読み出し値は常に0000Hとなります。

(11) シリアル出力許可レジスタ_m (SOEm)

SOEmは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネル_nは、後述のシリアル出力レジスタ_m (SOm) のSOmnの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル_nは、SOmレジスタのSOmnの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmは、16ビット・メモリ操作命令で設定します。

またSOEmの低位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmは0000Hになります。

図12 - 14 シリアル出力許可レジスタ_m (SOEm) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0	SOE00

アドレス : F016AH, F016BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE12	0	SOE10

SOE mn	チャンネル _n のシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 ビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00, 10, 12

× : 拡張SFR (3rd SFR) インタフェースでのみ使用できるビット

(第14章 拡張SFR (3rd SFR) インタフェース参照)

(12) シリアル出力レジスタ_m (SO_m)

SO_mは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのビット_nの値が、チャンネル_nのシリアル・データ出力端子から出力されます。

このレジスタのビット_(n+8)の値が、チャンネル_nのシリアル・クロック出力端子から出力されます。

このレジスタのSO_{mn}のソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKO_{mn}のソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、P10/ $\overline{\text{SCK20}}$ /SCL20, P11/SI20/SDA20/RxD2/INTP6, P12/SO20/TxD2/TO02, P51/TxD3/SEG38, P82/TxD0端子をポート機能として使用する場合は、該当するCKO_{mn}, SO_{mn}ビットに“1”を設定してください。

SO_mは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0F0FHになります。

図12 - 15 シリアル出力レジスタ_m (SO_m) のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	x	1	1	0	0	0	0	1	x	1	SO00

アドレス : F0168H, F0169H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	1	1	CKO10	0	0	0	0	1	SO12	1	SO10

CKO _{mn}	チャンネル _n のシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SO _{mn}	チャンネル _n のシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意 SO0のビット11, 9, 8, 3, 1, SO1のビット11-9, 3, 1には、必ず1を設定してください。また、SO_mのビット15-12, 7-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00, 10, 12

x : 拡張SFR (3rd SFR) インタフェースでのみ使用できるビット

(第14章 拡張SFR (3rd SFR) インタフェース参照)

(13) シリアル出力レベル・レジスタ_m (SOL_m)

SOL_mは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I²Cモード時は、必ず0000Hを設定してください。

このレジスタによる各チャンネル_nの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOmnビットの値がそのまま出力されます。

SOL_mは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOL_mは、16ビット・メモリ操作命令で設定します。

またSOL_mの低位8ビットは、SOL_{mL}で8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOL_mは0000Hになります。

図12 - 16 シリアル出力レベル・レジスタ_m (SOL_m) のフォーマット

アドレス : F0134H, F0135H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL00

アドレス : F0174H, F0175H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL12	0	SOL10

SOL _{mn}	UARTモードでのチャンネル _n の送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 SOL0のビット15-1, SOL1のビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 10, 12

(14) 入力切り替え制御レジスタ (ISC)

ISCは、UART3でLIN-bus通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力 (RxD3) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると、シリアル・データ入力 (RxD3) 端子の入力信号がタイマ入力として選択されます。これによって、シンク・ブレイク・フィールドとシンク・フィールドのパルス幅をタイマで測定できます。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 17 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	T107端子の入力信号をタイマ入力とする (通常動作)
1	RxD3端子の入力信号をタイマ入力とする (ウエイクアップ信号検出)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD3端子の入力信号を外部割り込み入力とする (シンク・ブレイク・フィールドとシンク・フィールドのパルス幅測定)

注意 ビット7-5には、必ず0を設定してください。

備考 ビット4-2は、SAU1では使用しません。

(15) ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0は、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否を各チャンネルごとに設定するレジスタです。

CSI, 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。ノイズ・フィルタ有効時は、CPU/周辺動作クロック (f_{CLK}) で2クロックの一致検出と同期化を行います。

NFEN0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 18 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0060H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	0	0	SNFEN00

SNFEN30	RxD3/P50/SEG39端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD3端子として使用するときは、SNFEN30 = 1に設定してください。
P50, SEG39端子として使用するときは、SNFEN30 = 0に設定してください。

SNFEN20	RxD2/P11/SI20/SDA20/INTP6端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD2端子として使用するときは、SNFEN20 = 1に設定してください。
P11, SI20, SDA20, INTP6端子として使用するときは、SNFEN20 = 0に設定してください。

SNFEN00	RxD0/P81/INTP9端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

RxD0端子として使用するときは、SNFEN00 = 1に設定してください。
P81, INTP9端子として使用するときは、SNFEN00 = 0に設定してください。

注意 ビット7, 5, 3-1には、必ず0を設定してください。

(16) ポート入力モード・レジスタ1 (PIM1)

P10, P11の入力バッファを1ビット単位で設定するレジスタです。

PIM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 19 ポート入力モード・レジスタ1 (PIM1) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM1	0	0 ^注	0 ^注	0 ^注	0 ^注	0	PIM11	PIM10	F0041H	00H	R/W

PIM1n	P1n端子の入力バッファの選択 (n = 0, 1)
0	通常入力バッファ
1	TTL入力バッファ

注 ビット3-6には、必ず0を設定してください。

(17) ポート出力モード・レジスタ1, 8 (POM1, POM8)

P10-P12, P82の出力モードを1ビット単位で設定するレジスタです。

POM1, POM8は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図12 - 20 ポート出力モード・レジスタ1, 8 (POM1, POM8) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM1	0	0 ^注	0 ^注	0 ^注	0 ^注	POM12	POM11	POM10	F0051H	00H	R/W
POM8	0	0	0	0	0	POM82	0	0	F0058H	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 1, 8 ; n = 0-2)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

注 ビット3-6には, 必ず0を設定してください。

(18) ポート・モード・レジスタ1, 5, 8 (PM1, PM5, PM8)

ポート1, 5, 8の入力/出力を1ビット単位で設定するレジスタです。

P10/ $\overline{\text{SCK20}}$ /SCL20, P11/SI20/SDA20/RxD2/INTP6, P12/SO20/TxD2/TO02, P51/TxD3/SEG38, P82/TxD0端子をシリアル・データ出力またはシリアル・クロック出力として使用するとき, PM10, PM11, PM12, PM51, PM82ビットに0を, P10, P11, P12, P51, P82の出力ラッチに1を設定してください。

P10/ $\overline{\text{SCK20}}$ /SCL20, P11/SI20/SDA20/RxD2/INTP6, P50/RxD3/SEG39, P81/RxD0/INTP9端子をシリアル・データ入力またはシリアル・クロック入力として使用するとき, PM10, PM11, PM50, PM81ビットに1を設定してください。このときP10, P11, P50, P81の出力ラッチは, 0または1のどちらでもかまいません。

PM1, PM5, PM8は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図12 - 21 ポート・モード・レジスタ1, 5, 8 (PM1, PM5, PM8) のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット	R/W
PM1	1	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM8	1	1	1	1	1	PM82	PM81	PM80 ^注	FFF28H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1, 5, 8; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 PM8のPM80ビットは, リセット解除後必ず0を設定してください。

12.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、P10/ $\overline{\text{SCK20}}$ /SCL20, P11/SI20/SDA20/RxD2/INTP6, P12/SO20/TxD2/TO02, P50/RxD3/SEG39, P51/TxD3/SEG38, P81/RxD0/INTP9, P82/TxD0をポート機能として使用できます。

12.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。

シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN) に0を設定してください。

図12-22 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注意 SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しでも値はすべて初期値となります (入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ (NFEN0), ポート入力モード・レジスタ (PIM1), ポート出力モード・レジスタ (POM1, POM8), ポート・モード・レジスタ (PM1, PM5, PM8), ポート・レジスタ (P1, P5, P8) は除く)。

備考 m: ユニット番号 (m = 0, 1)

■: 設定不可 (初期値を設定)

x: シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1: ユーザの用途に応じて0または1に設定

12.4.2 各チャンネルごとに動作停止とする場合

各チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図12-23 各チャンネルごとに動作停止とする場合の各レジスタの設定 (1/2)

(a) シリアル・チャンネル許可ステータス・レジスタm (SEm)

・・・各チャンネルのシリアル送受信動作許可/停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0														SE02	SE01	SE00
	0	0	0	0	0	0	0	0	0	0	0	0	0	注	0/1	0/1

0: 動作停止状態

SE0レジスタはRead Onlyのステータス・レジスタであり、ST0レジスタにて動作停止にします。

動作を停止したチャンネルは、SO0レジスタのCKO0nの値をソフトウェアで設定できます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1													SE13	SE12	SE11	SE10
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

0: 動作停止状態

SE1レジスタはRead Onlyのステータス・レジスタであり、ST1レジスタにて動作停止にします。

動作を停止したチャンネルは、SO1レジスタのCKO1nの値をソフトウェアで設定できます。

(b) シリアル・チャンネル停止レジスタm (STm)

・・・各チャンネルの通信/カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0														ST02	ST01	ST00
	0	0	0	0	0	0	0	0	0	0	0	0	0	注	0/1	0/1

1: SE0nを0にクリアし、通信動作を停止

ST0nはトリガ・ビットなので、SE0n = 0になるとすぐST0nはクリアされます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
ST1														ST13	ST12	ST11	ST10
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

1: SE1nを0にクリアし、通信動作を停止

ST1nはトリガ・ビットなので、SE1n = 0になるとすぐST1nはクリアされます。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3)

□: 設定不可 (初期値を設定) 0/1: ユーザの用途に応じて0または1に設定

注 拡張SFR (3rd SFR) インタフェースで使用するビットです

(第14章 拡張SFR (3rd SFR) インタフェース参照)。

図12 - 23 各チャンネルごとに動作停止とする場合の各レジスタの設定 (2/2)

(c) シリアル出力許可レジスタ_m (SOEm)

・・・各チャンネルのシリアル通信動作の出力許可 / 停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0														SOE02		SOE00
	0	0	0	0	0	0	0	0	0	0	0	0	0	注	0	0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO0レジスタのSO0nの値をソフトウェアで設定できます。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1														SOE12		SOE10
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO1レジスタのSO1nの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ_m (SOm) ・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0						CKO02								SO02		SO00
	0	0	0	0	1	注	1	1	0	0	0	0	1	注	1	0/1

1 : シリアル・データ出力値が "1"

各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO0n, SO0nビットに "1" を設定してください。

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1								CKO10						SO12		SO10
	0	0	0	0	1	1	1	0/1	0	0	0	0	1	0/1	1	0/1

1 : シリアル・クロック出力値が "1"

1 : シリアル・データ出力値が "1"

各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO1n, SO1nビットに "1" を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

注 拡張SFR (3rd SFR) インタフェースで使用するビットです

(第14章 拡張SFR (3rd SFR) インタフェース参照)。

12.5 3線シリアルI/O (CSI20) 通信の動作

シリアル・クロック (\overline{SCK}) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注意 CSI10 (ユニット0のチャンネル2) は拡張SFR (3rd SFR) インタフェース専用です。

詳細については、第14章 拡張SFR (3rd SFR) インタフェースを参照してください。

3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) に対応しているチャンネルは、SAU0のチャンネル0-2とSAU1のチャンネル0です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	-	UART0	-
	1	-		-
	2	CSI10 (拡張SFR (3rd SFR) インタフェース専用)	-	-
	3	-	-	-
1	0	CSI20	UART2	IIC20
	1	-	UART3 (LIN-bus対応)	-
	2	-		-
	3	-		-

3線シリアルI/O (CSI20) の通信動作は、以下の6種類があります。

- | | |
|-----------------------|------------------------|
| ・ マスタ送信 (12.5.1項を参照) | ・ スレーブ送信 (12.5.4項を参照) |
| ・ マスタ受信 (12.5.2項を参照) | ・ スレーブ受信 (12.5.5項を参照) |
| ・ マスタ送受信 (12.5.3項を参照) | ・ スレーブ送受信 (12.5.6項を参照) |

12.5.1 マスタ送信

マスタ送信とは、この78K0R/Lx3-Mマイクロコントローラが転送クロックを出力し、78K0R/Lx3-Mマイクロコントローラから他デバイスへデータを送信する動作です。

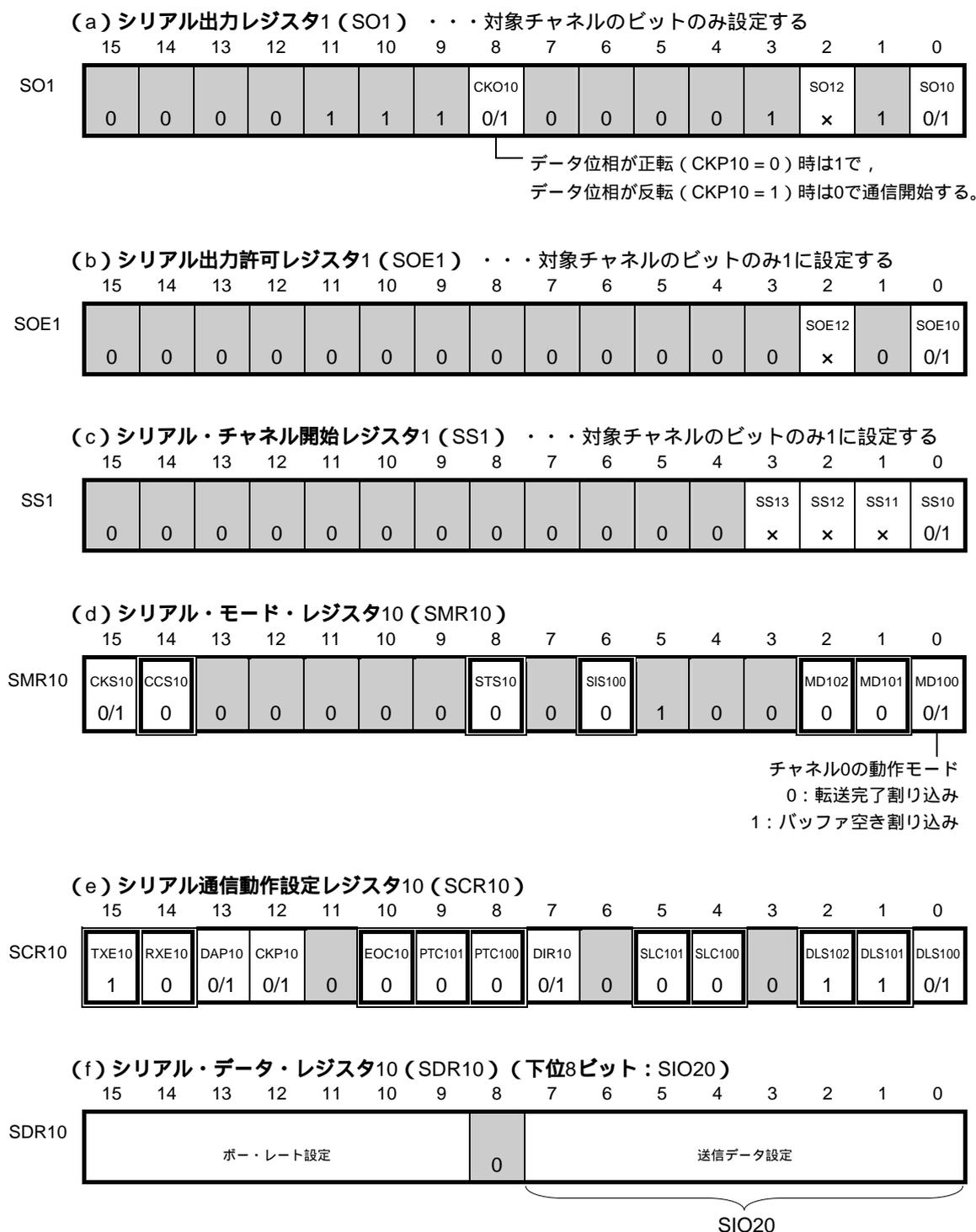
3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SO20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{CLK}/4$ [MHz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [MHz] ^注 f_{CLK} : システム・クロック周波数
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合: シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合: 正転 ・ CKPmn = 1の場合: 反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性のAC特性（第32章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m: ユニット番号 (m = 1) n: チャンネル番号 (n = 0) mn = 10

(1) レジスタ設定

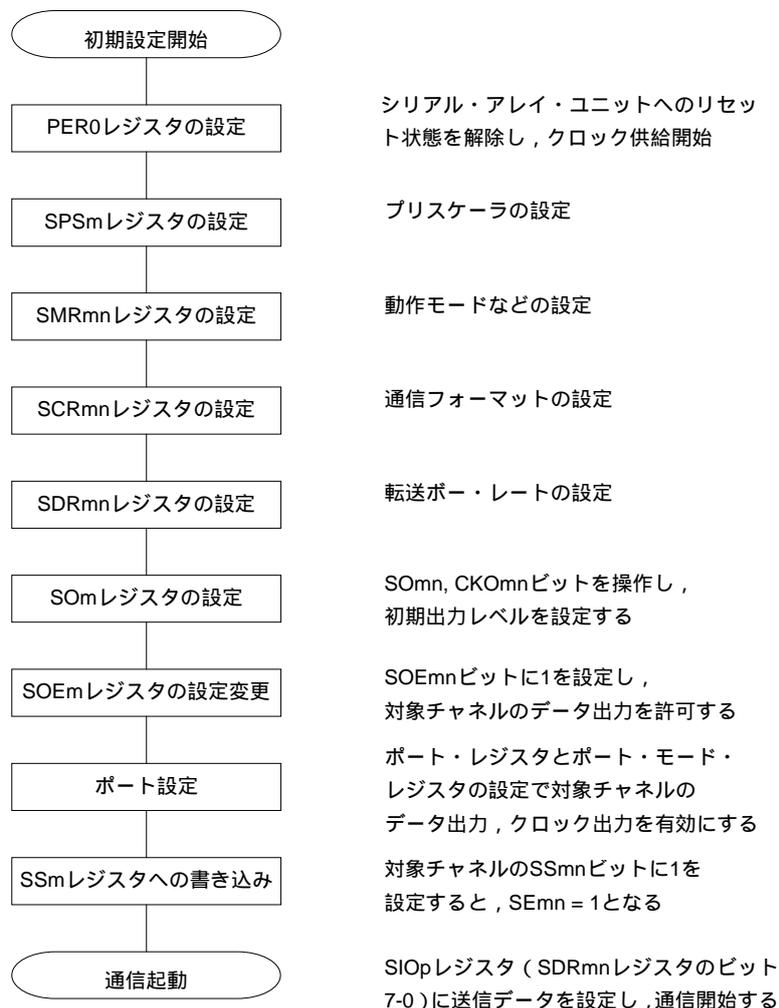
図12-24 3線シリアルI/O (CSI20) のマスタ送信時のレジスタ設定内容例



備考 □ : CSIマスタ送信モードでは設定固定 ■ : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

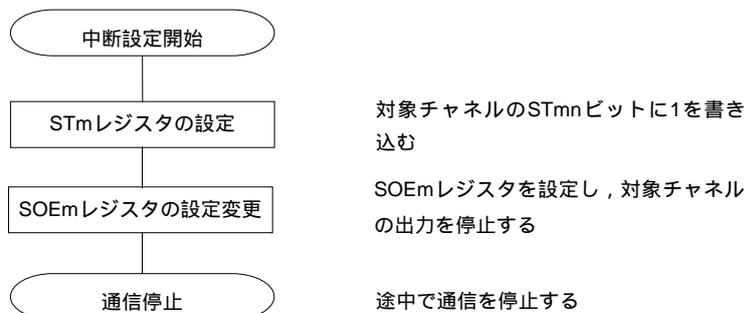
図12 - 25 マスタ送信の初期設定手順



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

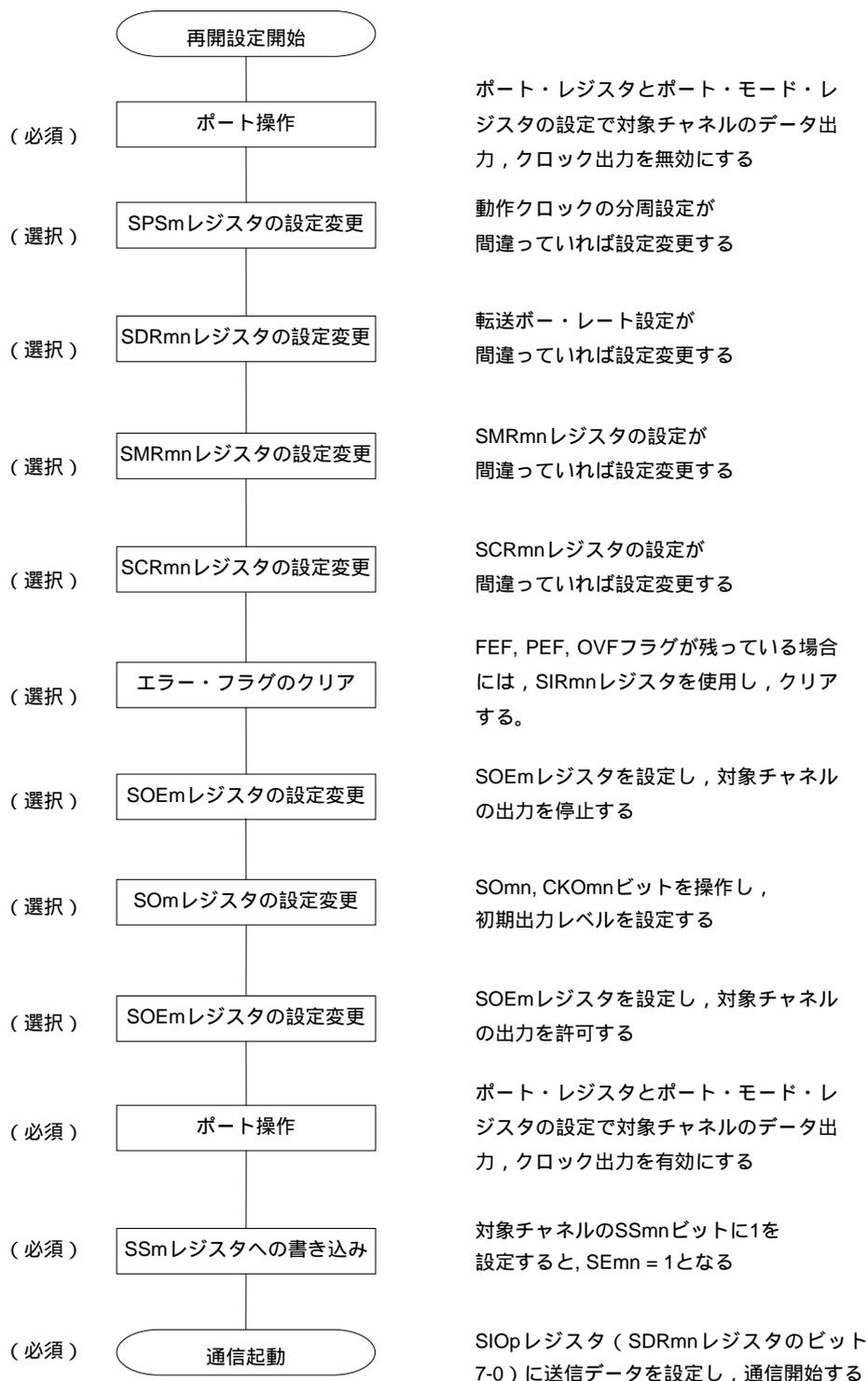
図12 - 26 マスタ送信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図12 - 27 マスタ送信の再開設定手順参照)。

2. m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

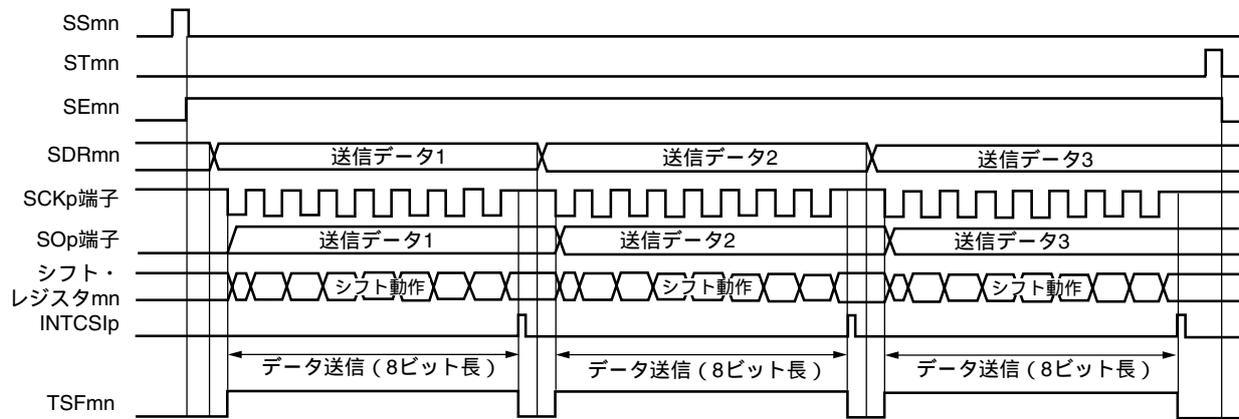
図12 - 27 マスタ送信の再開設定手順



備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

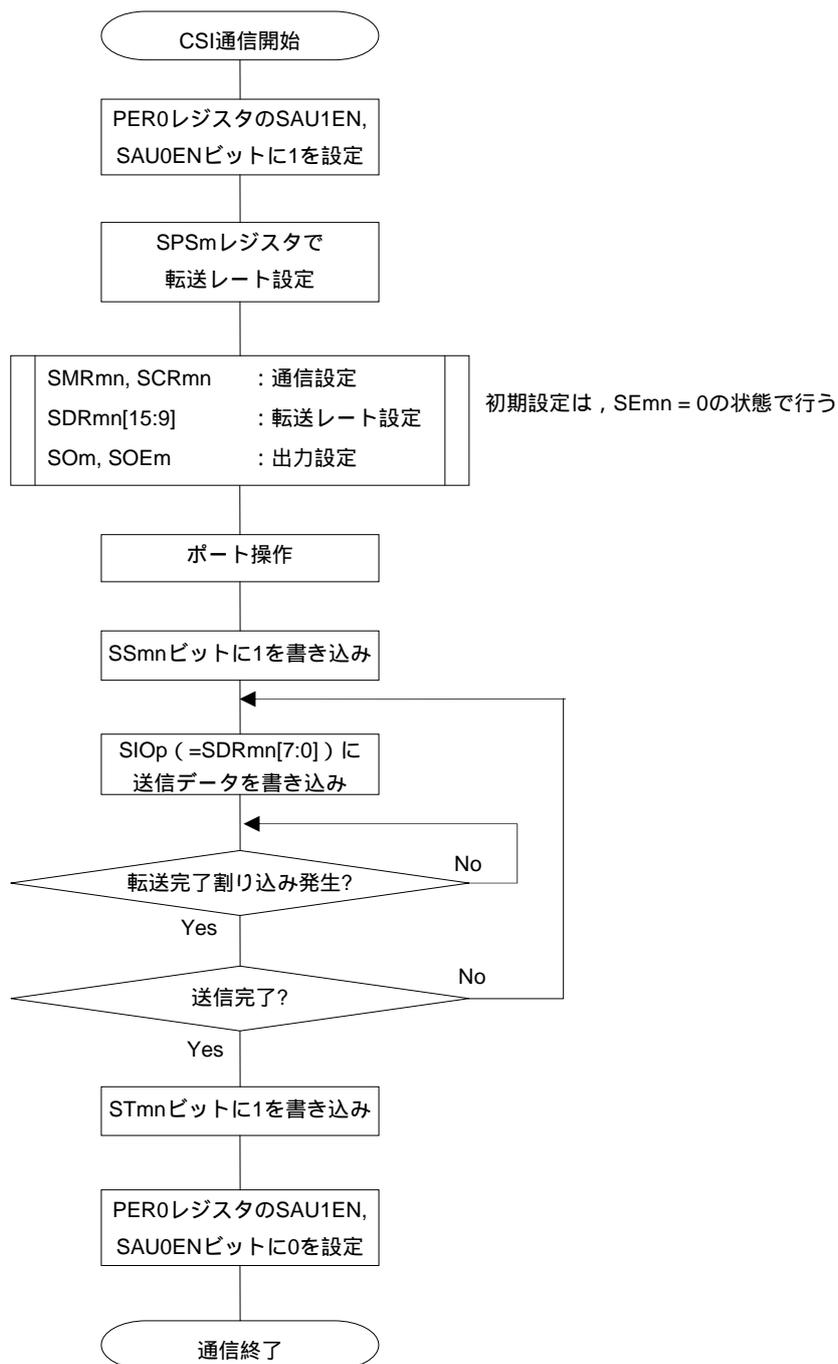
(3) 処理フロー (シングル送信モード時)

図12 - 28 マスタ送信 (シングル送信モード時) のタイミング・チャート



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 29 マスタ送信 (シングル送信モード時) のフロー・チャート

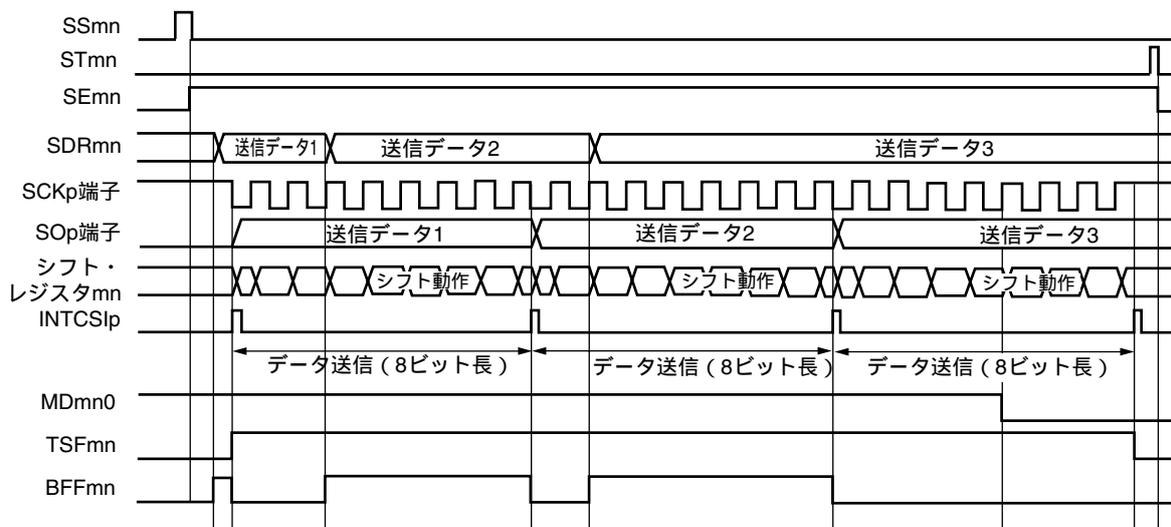


注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

(4) 処理フロー（連続送信モード時）

図12 - 30 マスタ送信（連続送信モード時）のタイミング・チャート



(注)

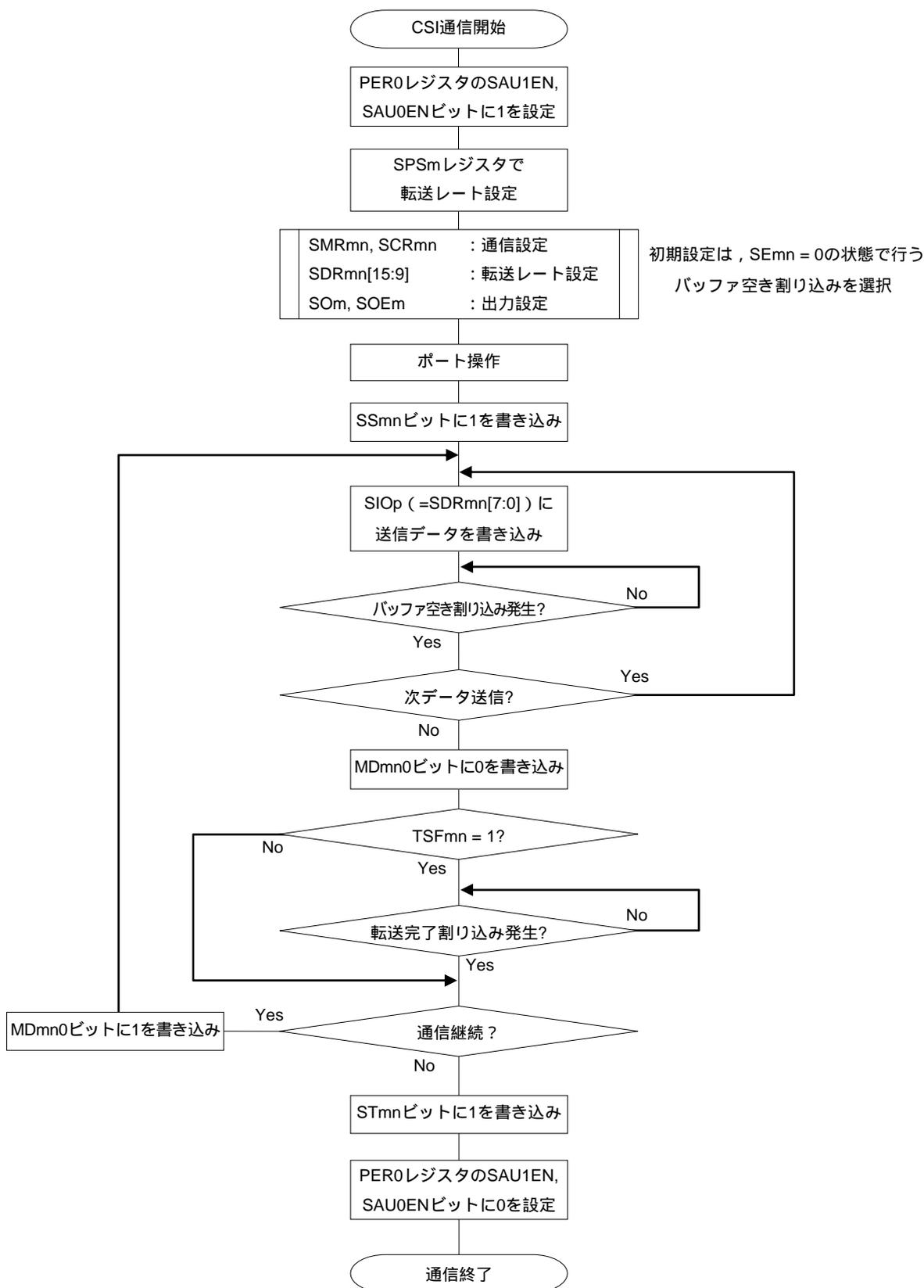
注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 31 マスタ送信（連続送信モード時）のフロー・チャート



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. 図中の ~ は、図12 - 30 マスタ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

12.5.2 マスタ受信

マスタ受信とは、この78K0R/Lx3-Mマイクロコントローラが転送クロックを出力し、78K0R/Lx3-Mマイクロコントローラが他デバイスからデータを受信する動作です。

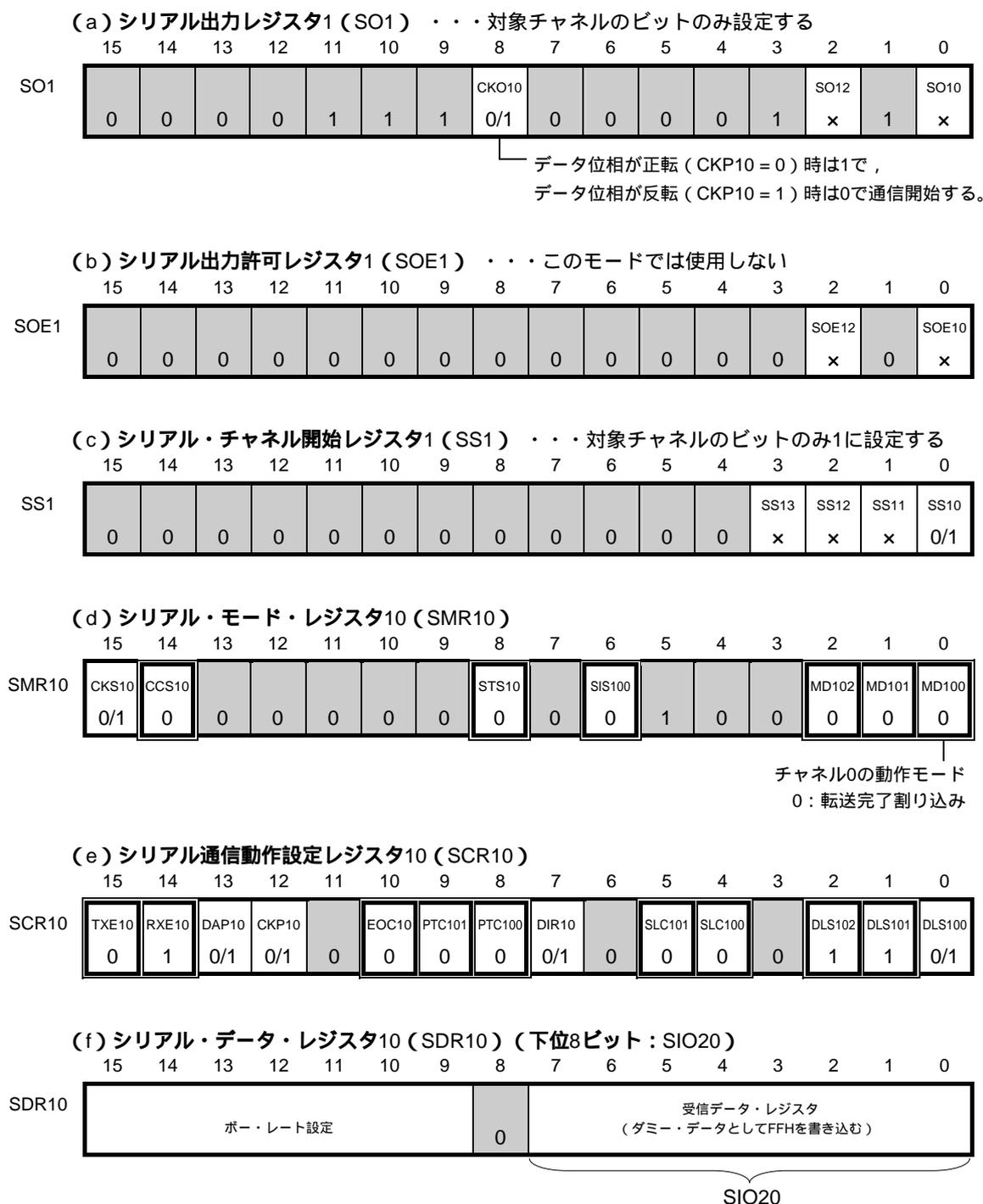
3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SI20
割り込み	INTCSI20 転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{CLK}/4$ [MHz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [MHz] ^注 f_{CLK} : システム・クロック周波数
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性のAC特性（第32章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 1） n：チャンネル番号（n = 0） mn = 10

(1) レジスタ設定

図12-32 3線シリアルI/O (CSI20) のマスタ受信時のレジスタ設定内容例



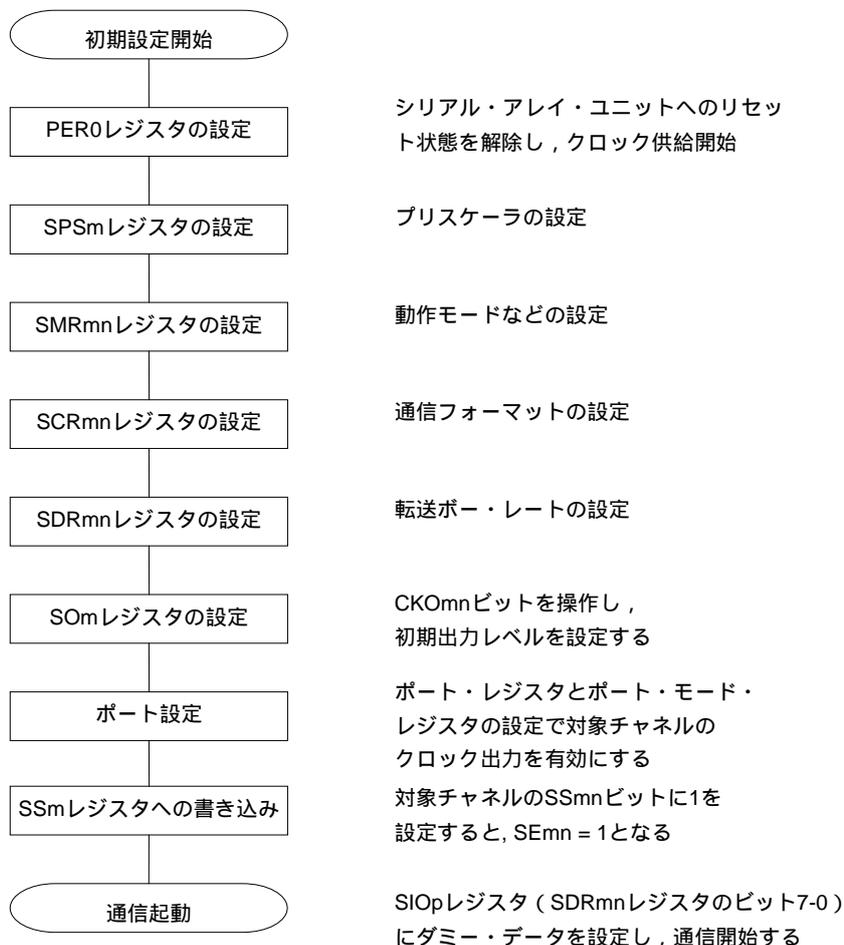
備考 □: CSIマスタ受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

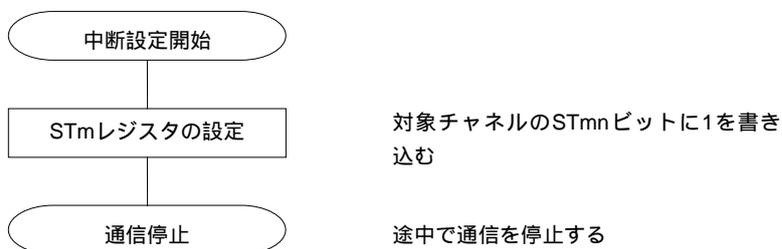
図12 - 33 マスタ受信の初期設定手順



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

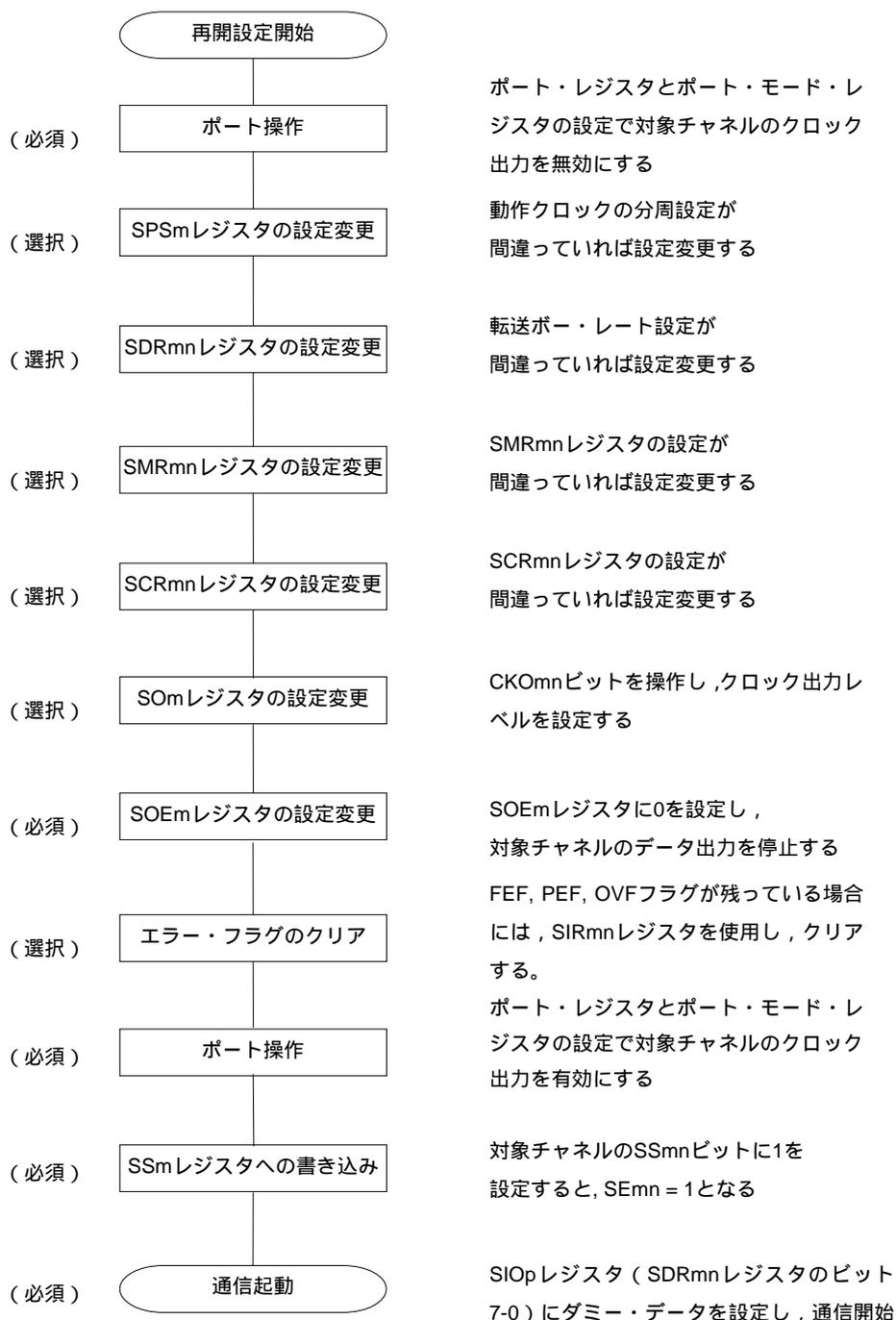
図12 - 34 マスタ受信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図12 - 35 マスタ受信の再開設定手順参照)。

2. m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) mn = 10

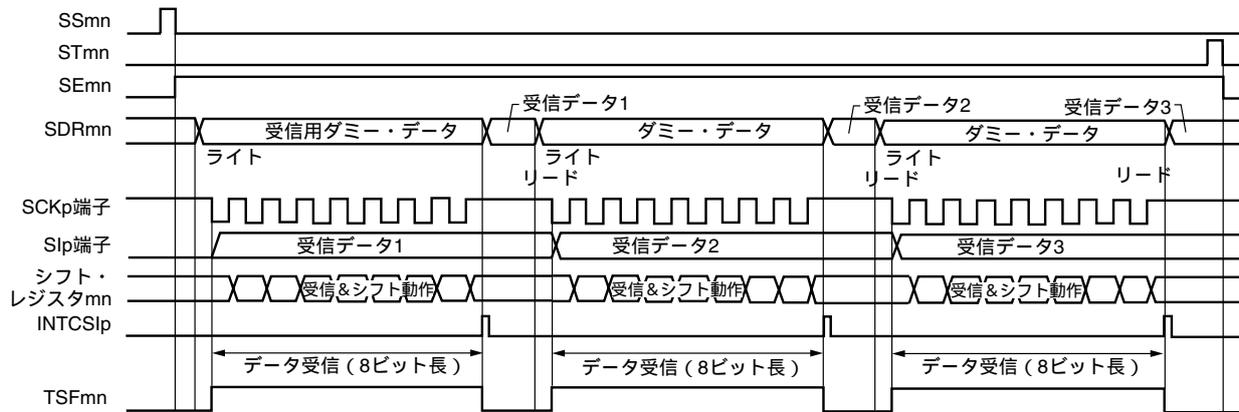
図12 - 35 マスタ受信の再開設定手順



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

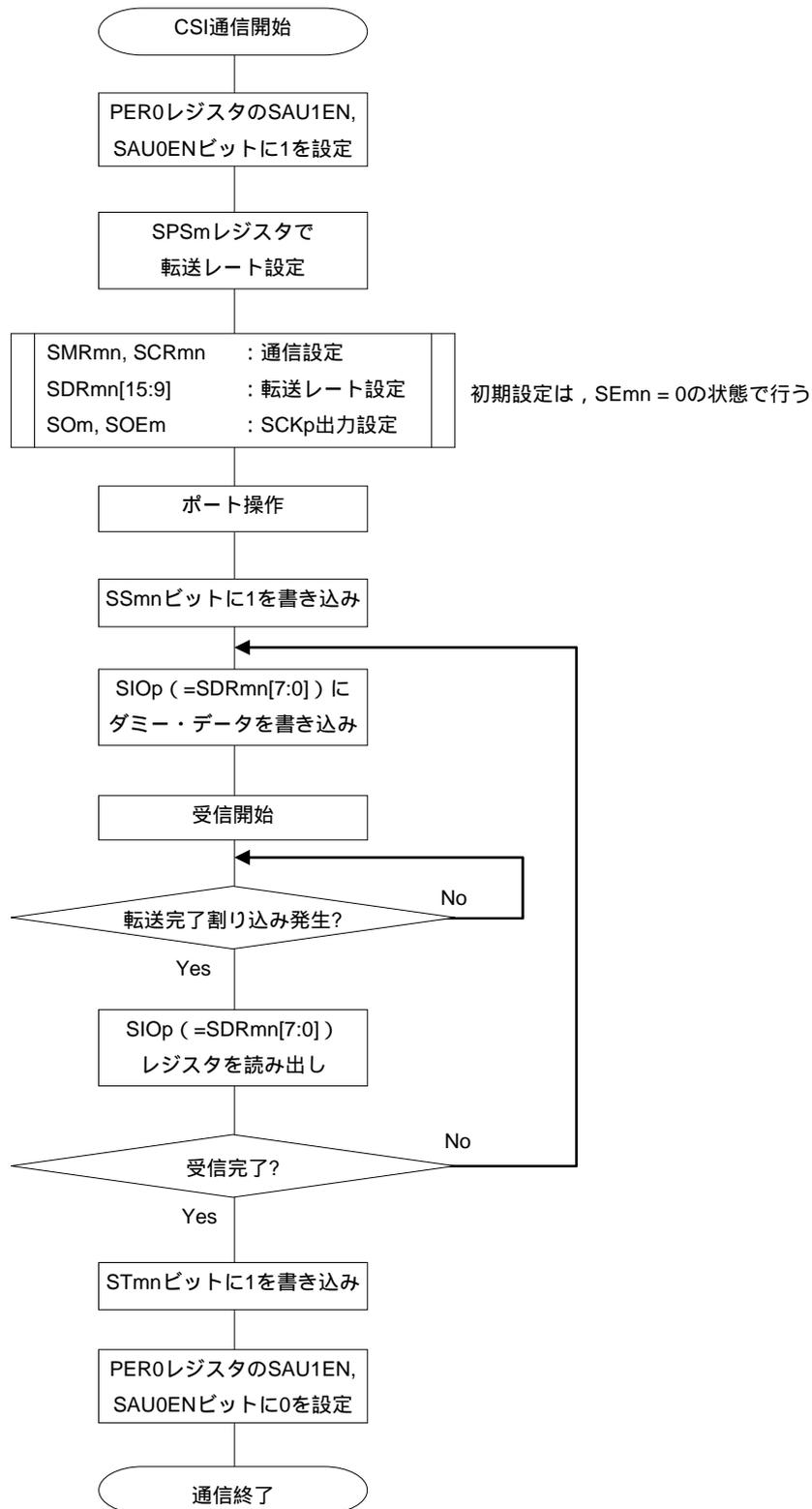
(3) 処理フロー (シングル受信モード)

図12 - 36 マスタ受信 (シングル受信モード) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 37 マスタ受信 (シングル受信モード) のフロー・チャート



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

12.5.3 マスタ送受信

マスタ送受信とは、この78K0R/Lx3-Mマイクロコントローラが転送クロックを出力し、78K0R/Lx3-Mマイクロコントローラと他デバイスでデータを送受信する動作です。

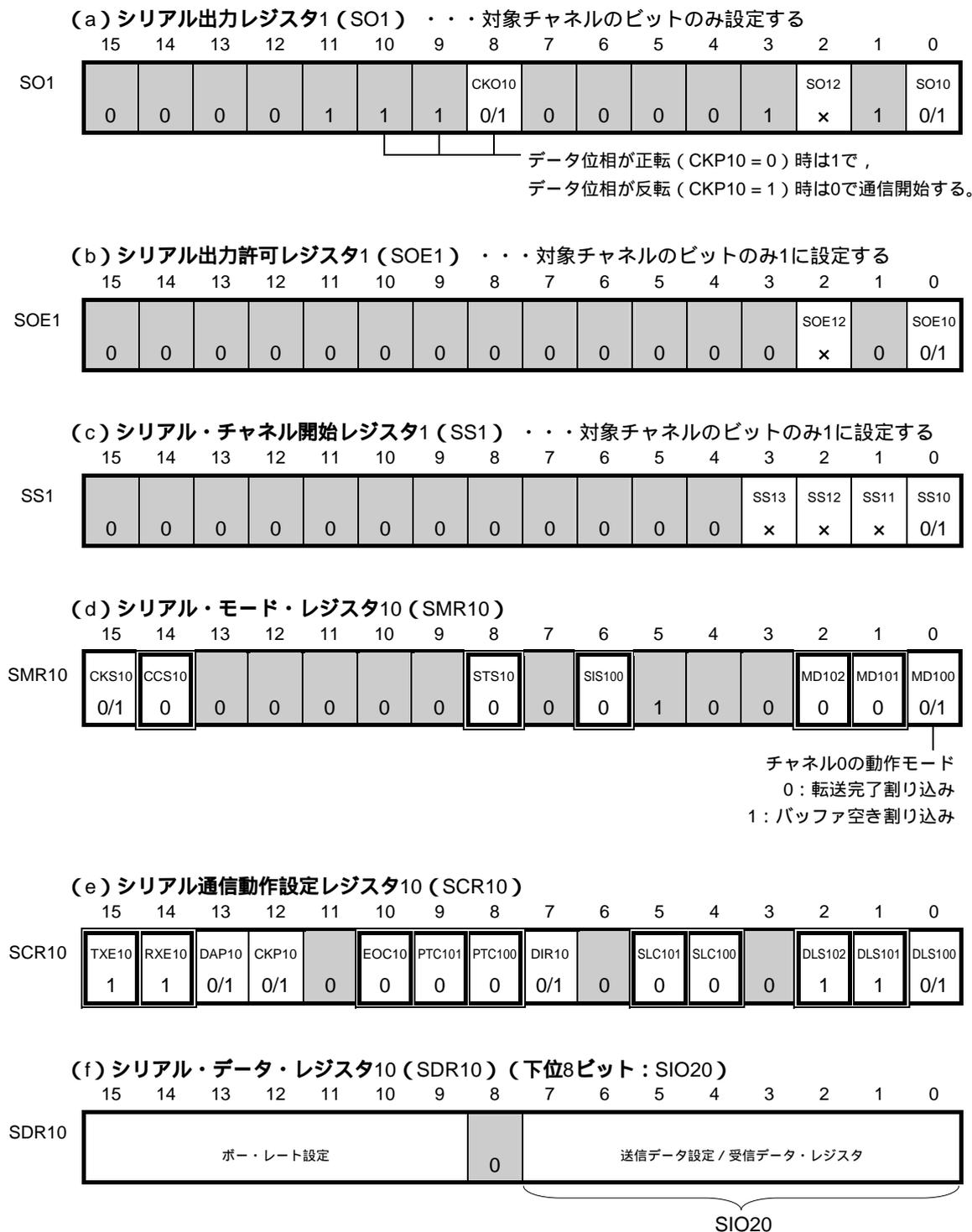
3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SI20, SO20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{CLK}/4$ [MHz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [MHz] ^注 f_{CLK} : システム・クロック周波数
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注 この条件を満たし、かつ電気的特性のAC特性（第32章 電気的特性を参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 1） n：チャンネル番号（n = 0） mn = 10

(1) レジスタ設定

図12 - 38 3線シリアルI/O (CSI20) のマスタ送受信時のレジスタ設定内容例



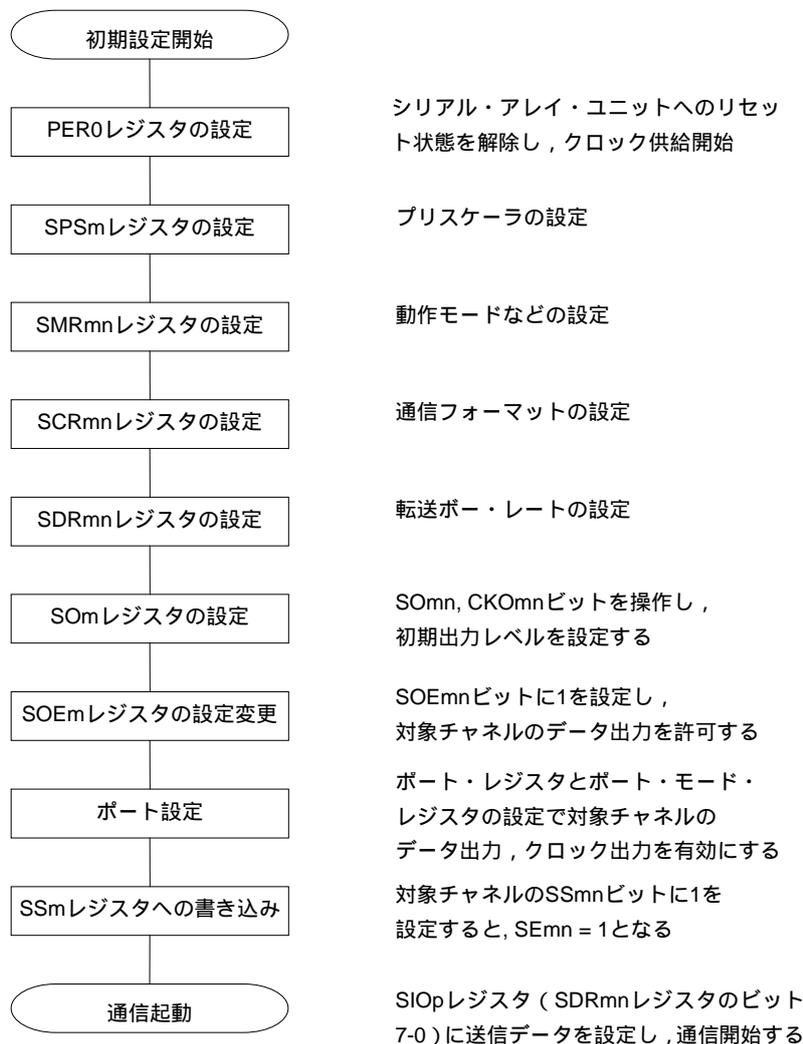
備考 : CSIマスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

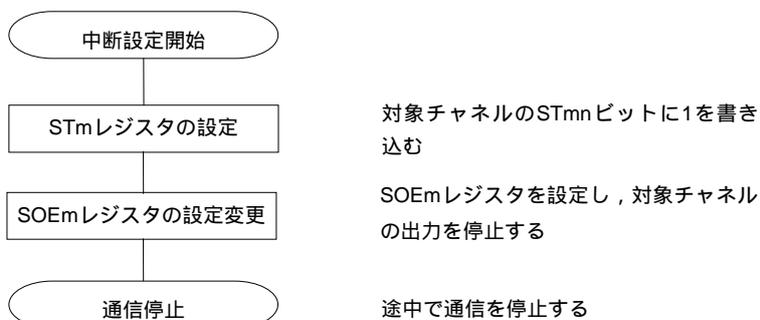
図12 - 39 マスタ送受信の初期設定手順



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

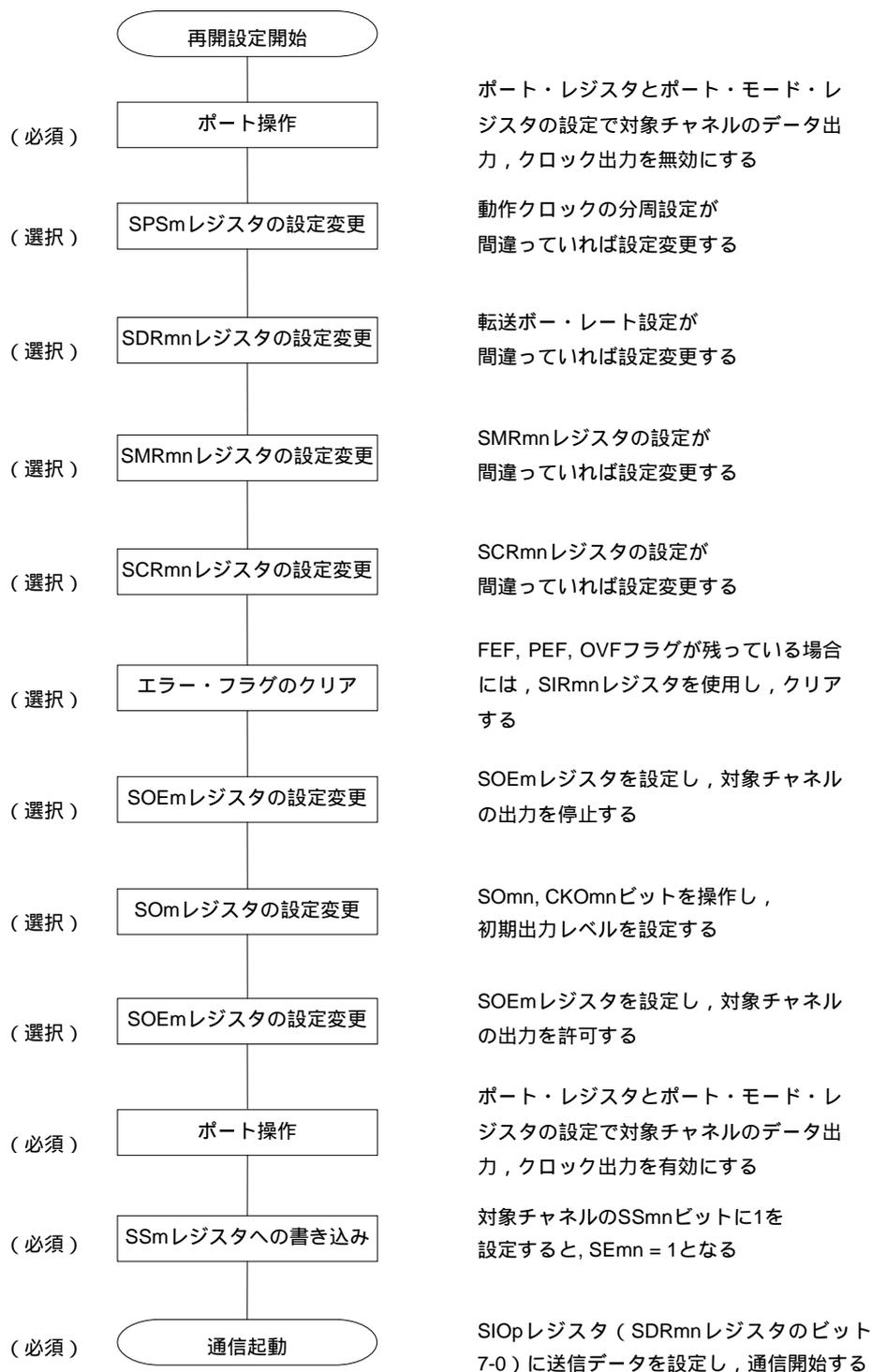
図12 - 40 マスタ送受信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmnレジスタを再設定してください (図12 - 41 マスタ送受信の再開設定手順参照)。

2. m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) mn = 10

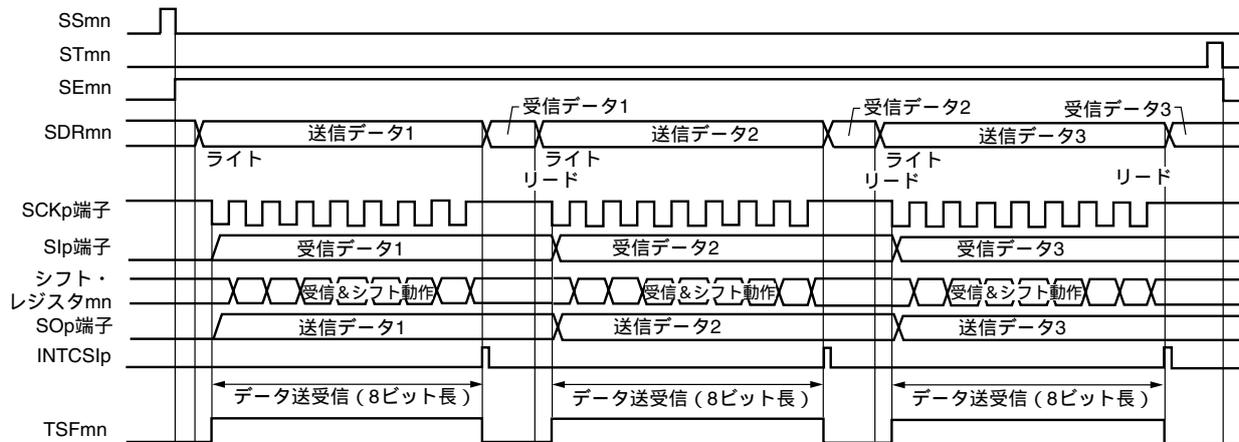
図12 - 41 マスタ送受信の再開設定手順



備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

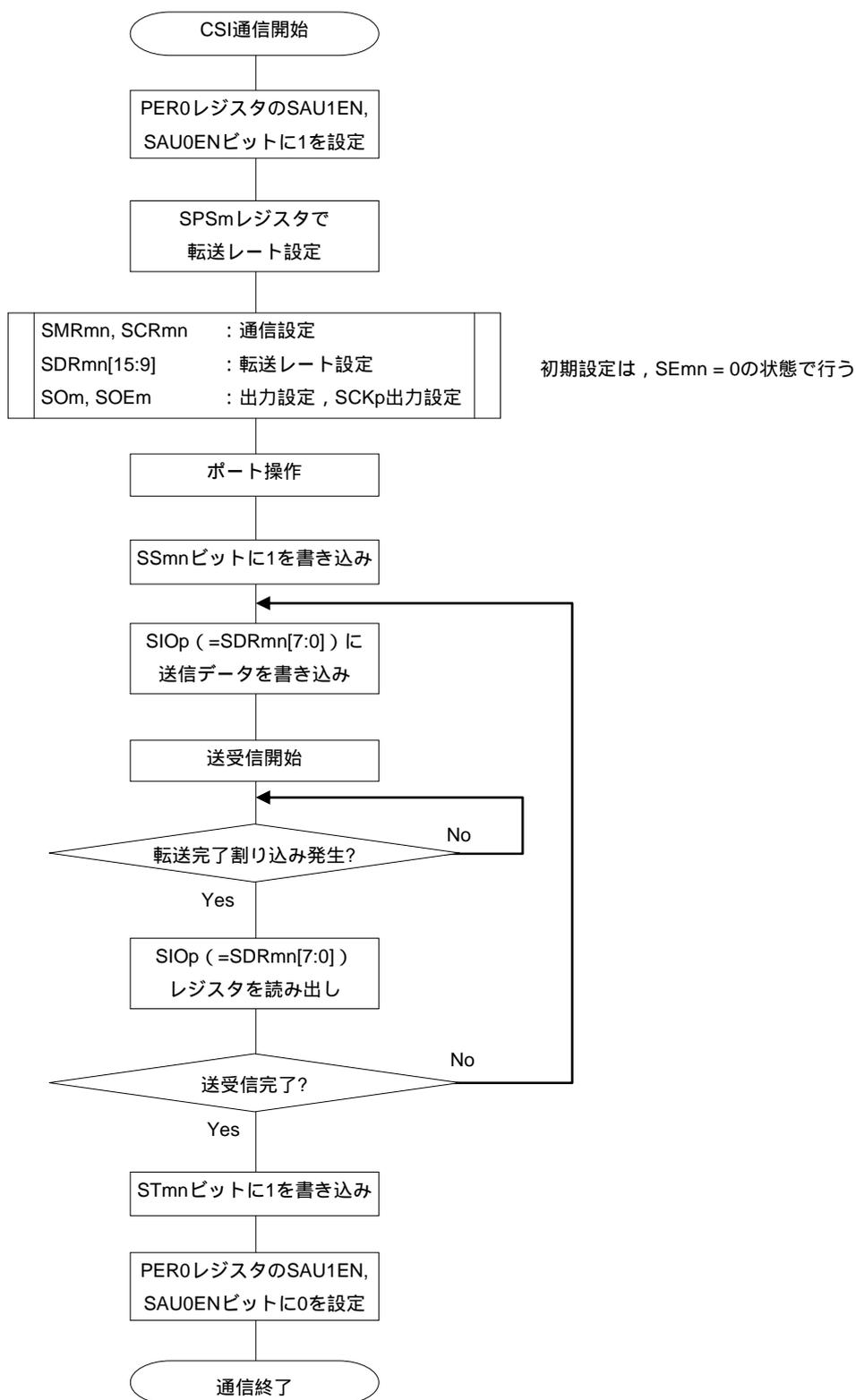
(3) 処理フロー (シングル送受信モード時)

図12 - 42 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 43 マスタ送受信 (シングル送受信モード時) のフロー・チャート

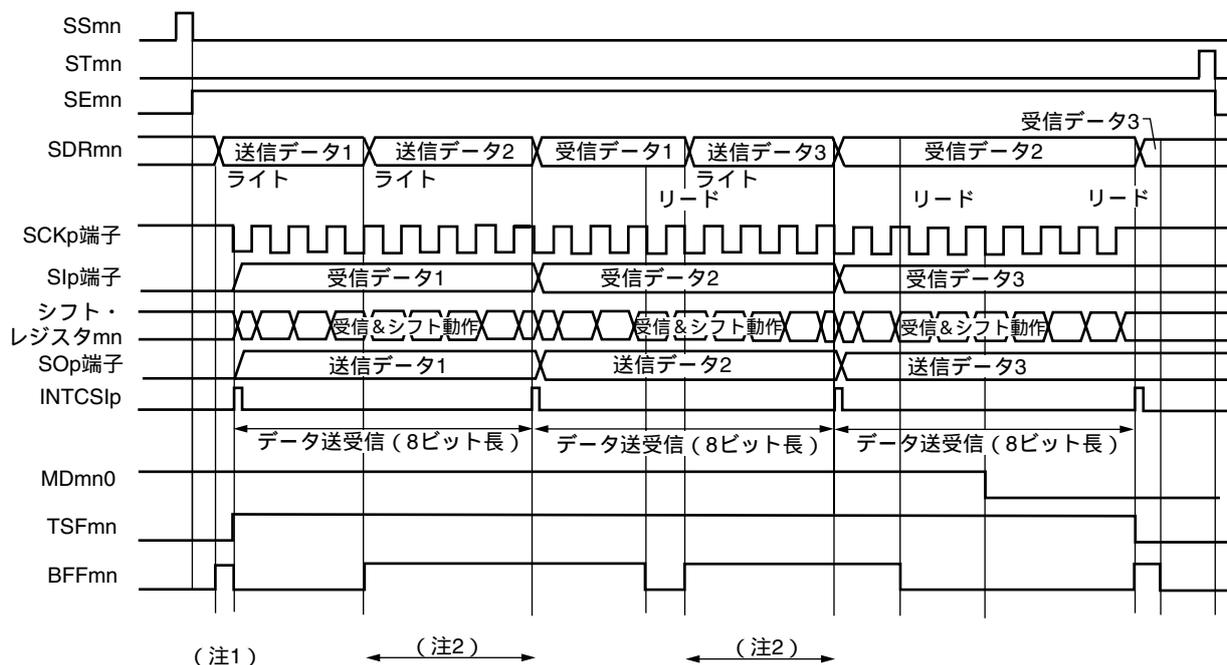


注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

(4) 処理フロー（連続送受信モード時）

図12 - 44 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

- この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

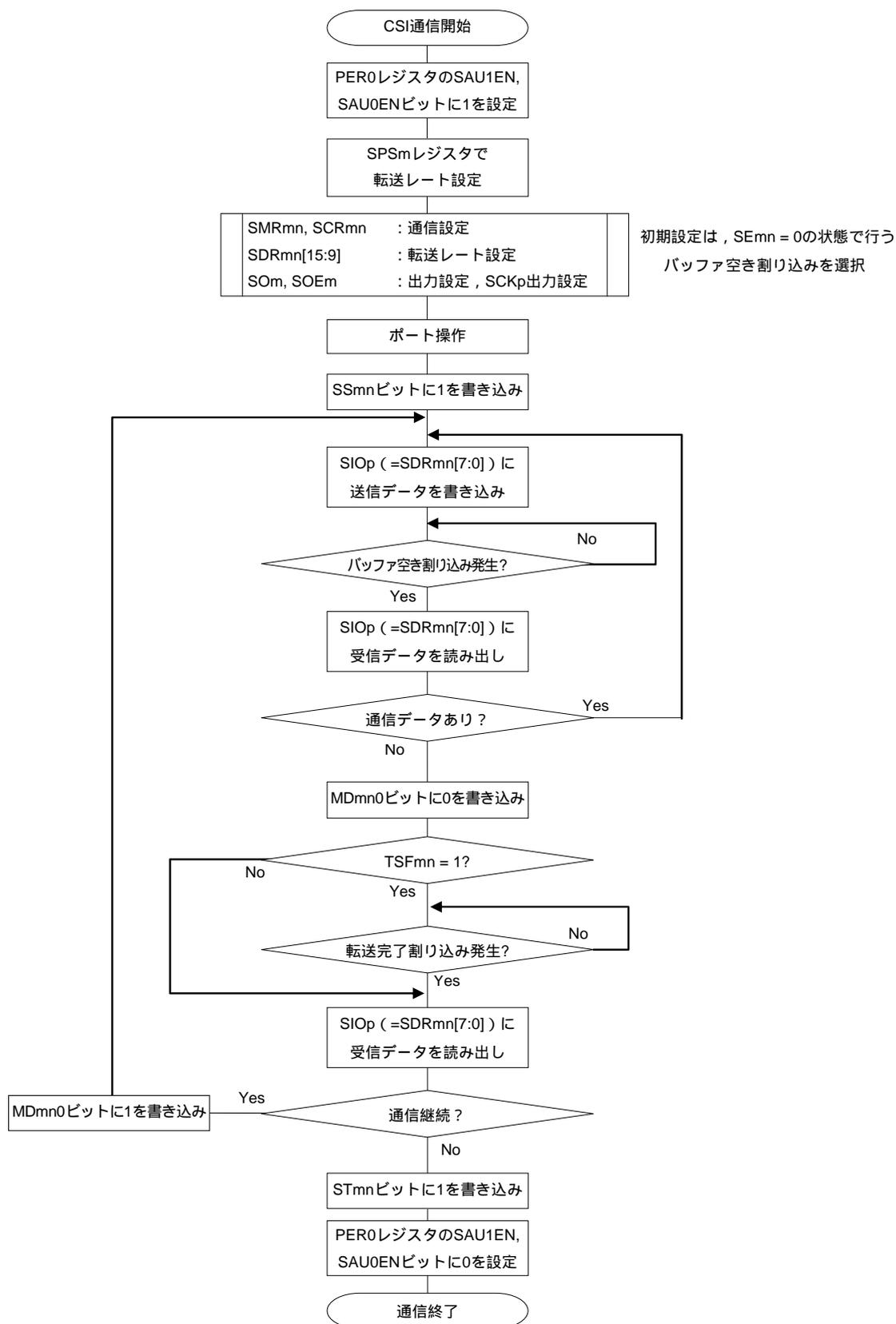
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の ~ は、図12 - 45 マスタ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。

- m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 45 マスタ送受信（連続送受信モード時）のフロー・チャート



注意 SAUmENを“1”に設定後に、4クロック以上間隔を置いてからSPSmレジスタを設定してください。

備考1. 図中の ~ は、図12 - 44 マスタ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

12.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、78K0R/Lx3-Mマイクロコントローラから他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SO20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [MHz] ^{注1, 2}
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [MHz]となります。

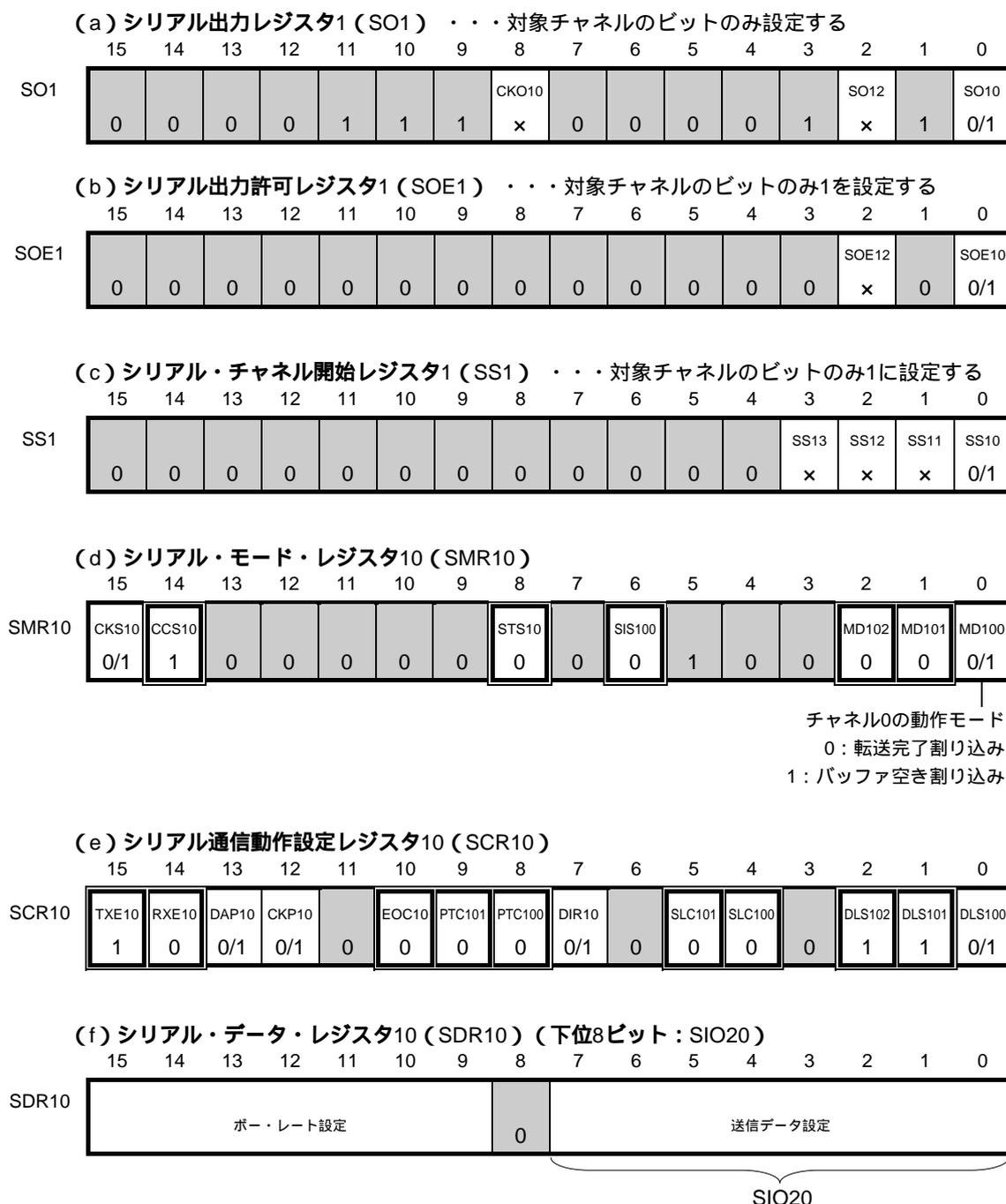
- この条件を満たし、かつ電気的特性のAC特性（第32章 電気的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

- m ：ユニット番号（ $m = 1$ ） n ：チャンネル番号（ $n = 0$ ） $mn = 10$

(1) レジスタ設定

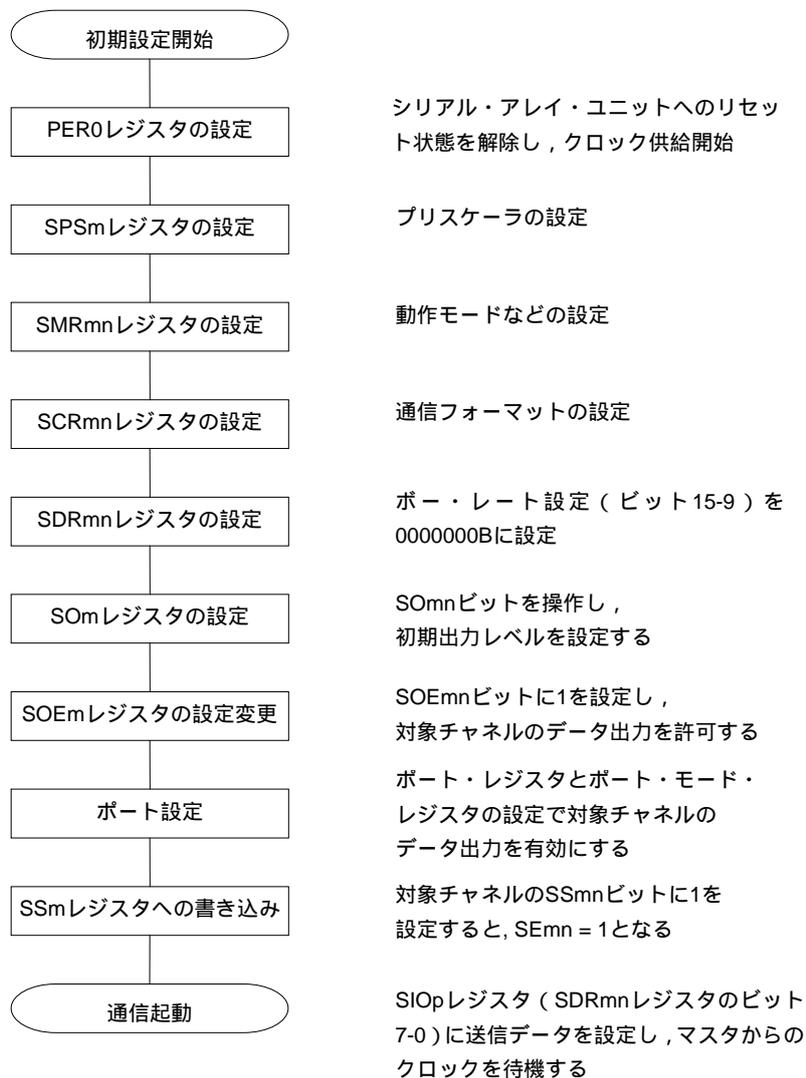
図12 - 46 3線シリアルI/O (CSI20) のスレーブ送信時のレジスタ設定内容例



備考 □ : CSIスレーブ送信モードでは設定固定 ■ : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

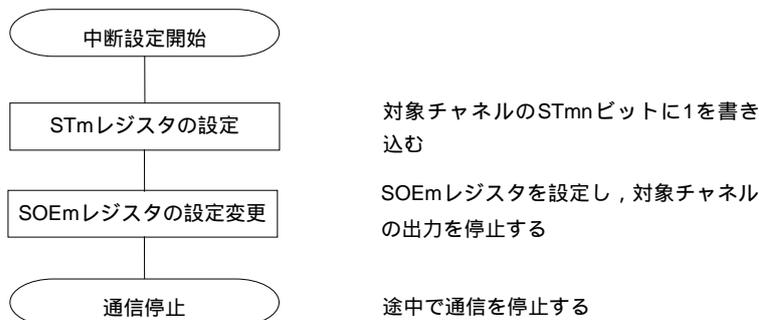
図12 - 47 スレーブ送信の初期設定手順



注意 SAUmENを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

備考 m：ユニット番号（m = 1） n：チャンネル番号（n = 0） p：CSI番号（p = 20） mn = 10

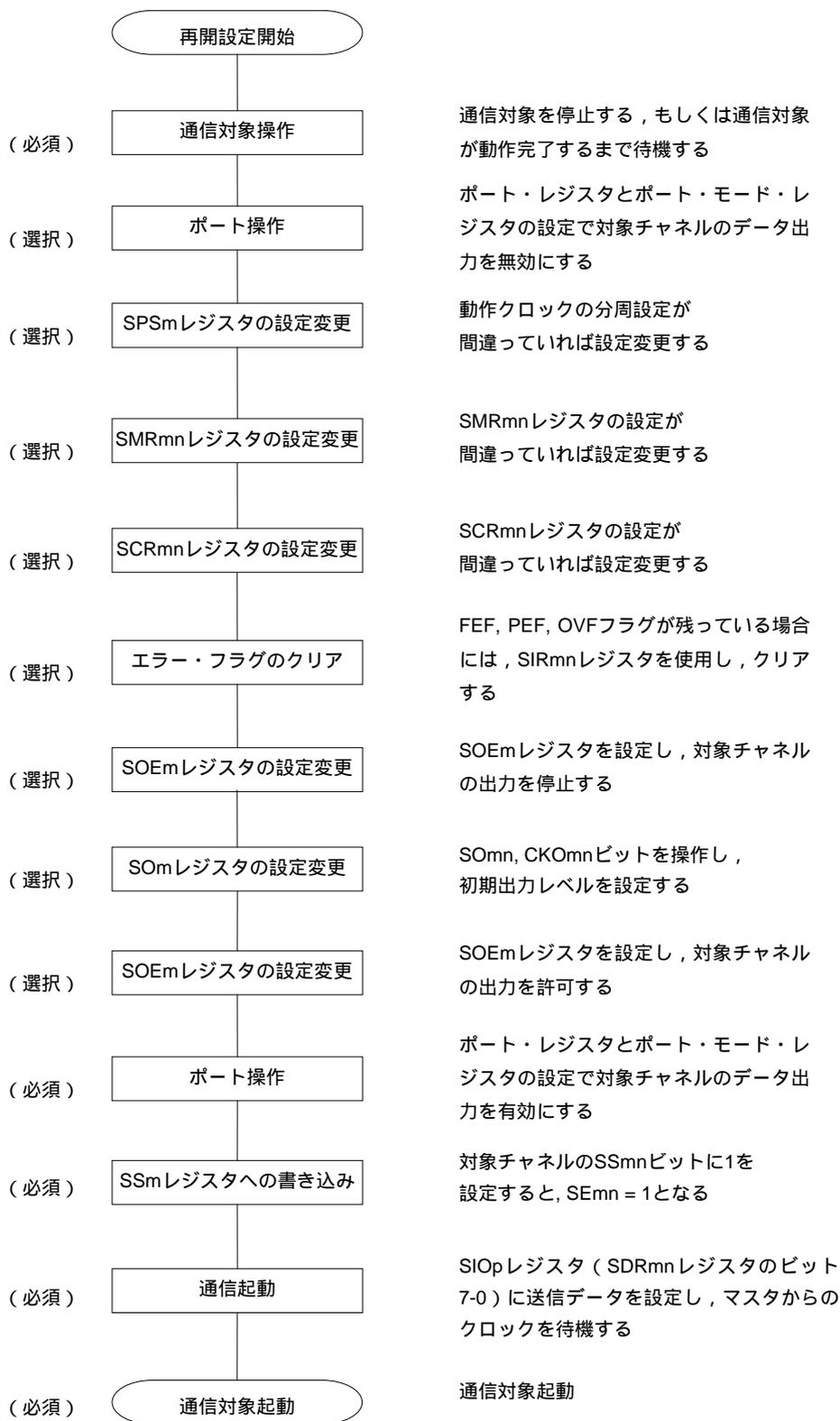
図12 - 48 スレーブ送信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図12 - 49 スレーブ送信の再開設定手順参照）。

2. m：ユニット番号（m = 1） n：チャンネル番号（n = 0） mn = 10

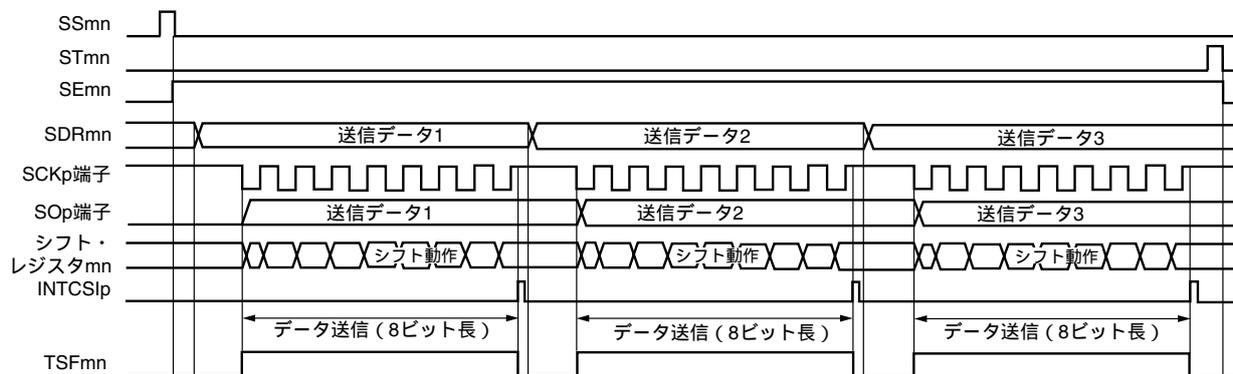
図12 - 49 スレーブ送信の再開設定手順



備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

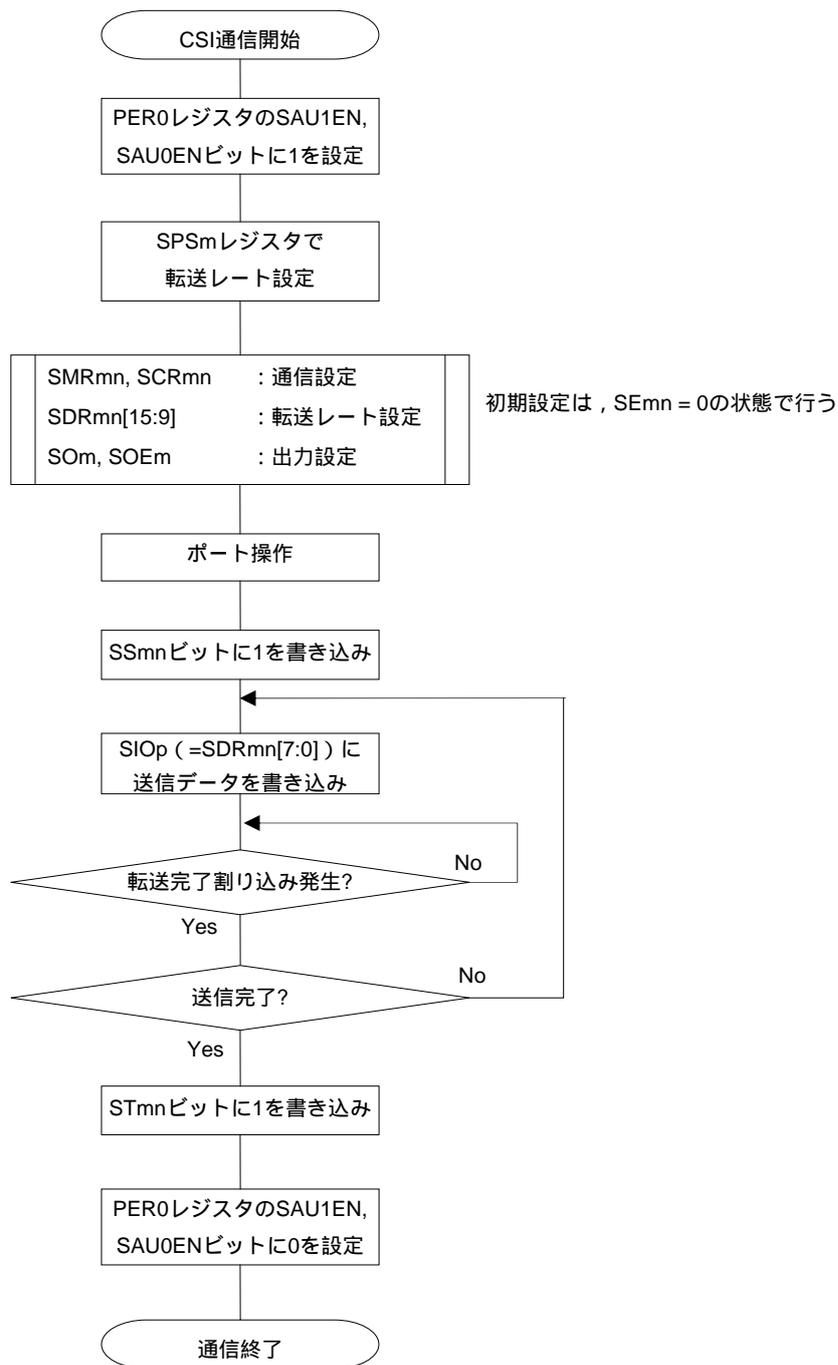
(3) 処理フロー (シングル送信モード時)

図12 - 50 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 51 スレーブ送信 (シングル送信モード時) のフロー・チャート

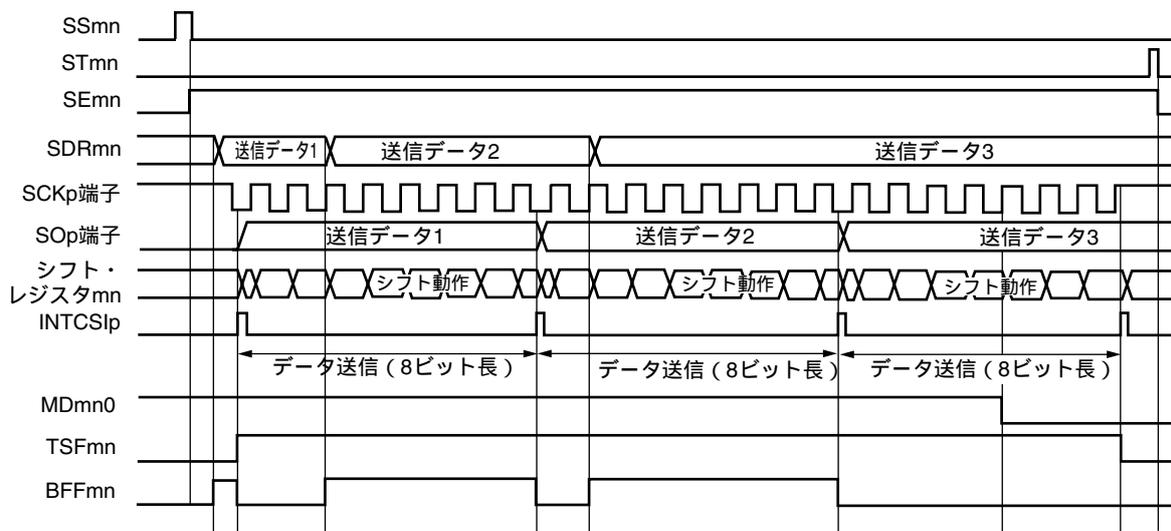


注意 SAUmENを“1”に設定後に、4クロック以上間隔をあげてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

(4) 処理フロー（連続送信モード時）

図12 - 52 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



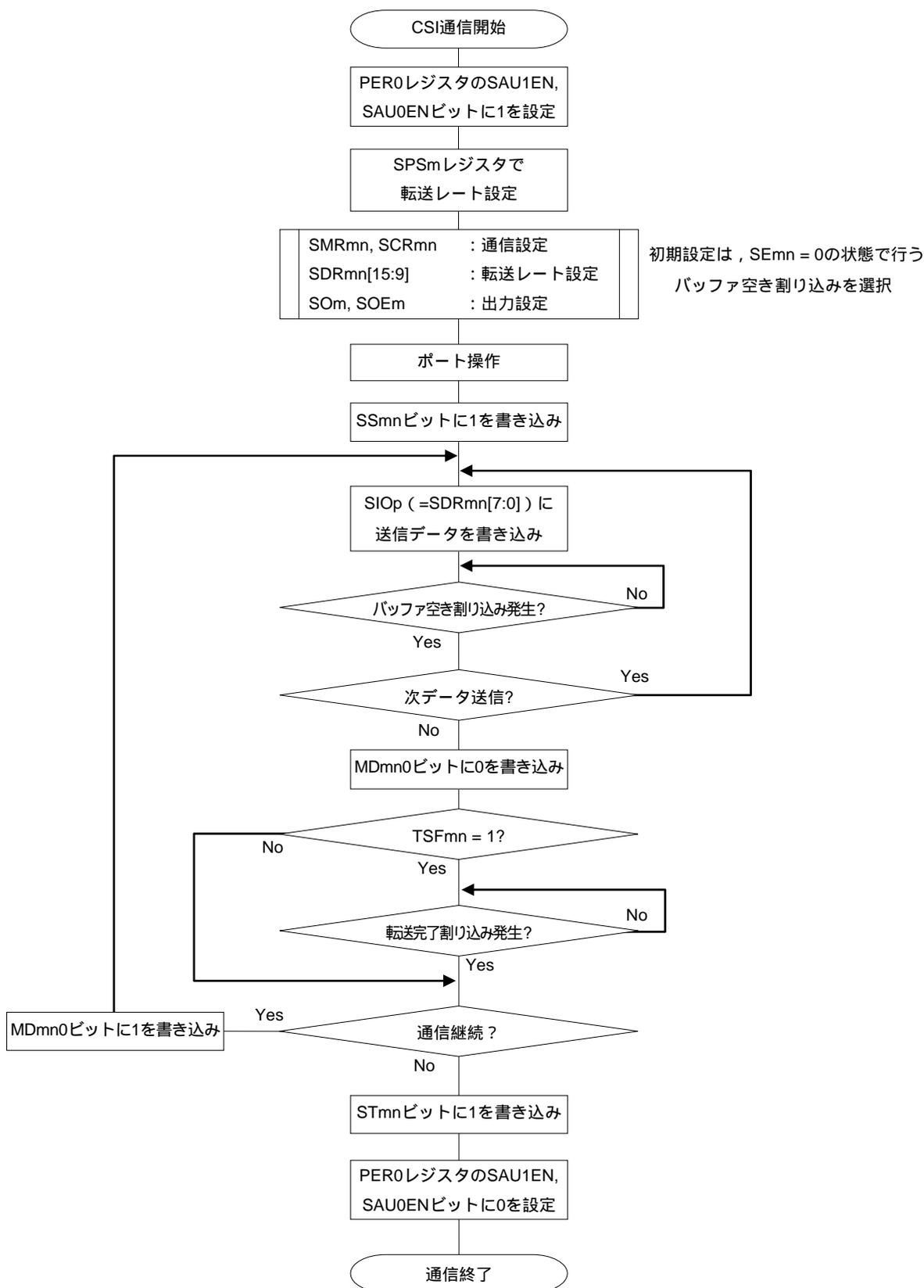
(注)

注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m：ユニット番号（m = 1） n：チャンネル番号（n = 0） p：CSI番号（p = 20） mn = 10

図12 - 53 スレーブ送信（連続送信モード時）のフロー・チャート



注意 SAUmENを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

備考1. 図中の ~ は、図12 - 52 スレーブ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

12.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、78K0R/Lx3-Mマイクロコントローラが他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SI20
割り込み	INTCSI20 転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [MHz] ^{注1,2}
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [MHz]となります。

- この条件を満たし、かつ電気的特性のAC特性（第32章 電気的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

- m ：ユニット番号（ $m = 1$ ） n ：チャンネル番号（ $n = 0$ ） $mn = 10$

(1) レジスタ設定

図12 - 54 3線シリアルI/O (CSI20)のスレーブ受信時のレジスタ設定内容例

(a) シリアル出力レジスタ1 (SO1)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1								CKO10						SO12		SO10
	0	0	0	0	1	1	1	x	0	0	0	0	1	x	1	x

(b) シリアル出力許可レジスタ1 (SOE1) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1														SOE12		SOE10
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	x

(c) シリアル・チャンネル開始レジスタ1 (SS1) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SS1														SS13	SS12	SS11	SS10
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0/1

(d) シリアル・モード・レジスタ10 (SMR10)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR10	CKS10	CCS10						STS10		SIS100				MD102	MD101	MD100
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

チャンネル0の動作モード
0: 転送完了割り込み

(e) シリアル通信動作設定レジスタ10 (SCR10)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR10	TXE10	RXE10	DAP10	CKP10		EOC10	PTC101	PTC100	DIR10		SLC101	SLC100		DLS102	DLS101	DLS100
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

(f) シリアル・データ・レジスタ10 (SDR10) (下位8ビット: SIO20)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR10	0000000 (ポーレート設定)							0	受信データ・レジスタ							

SIO20

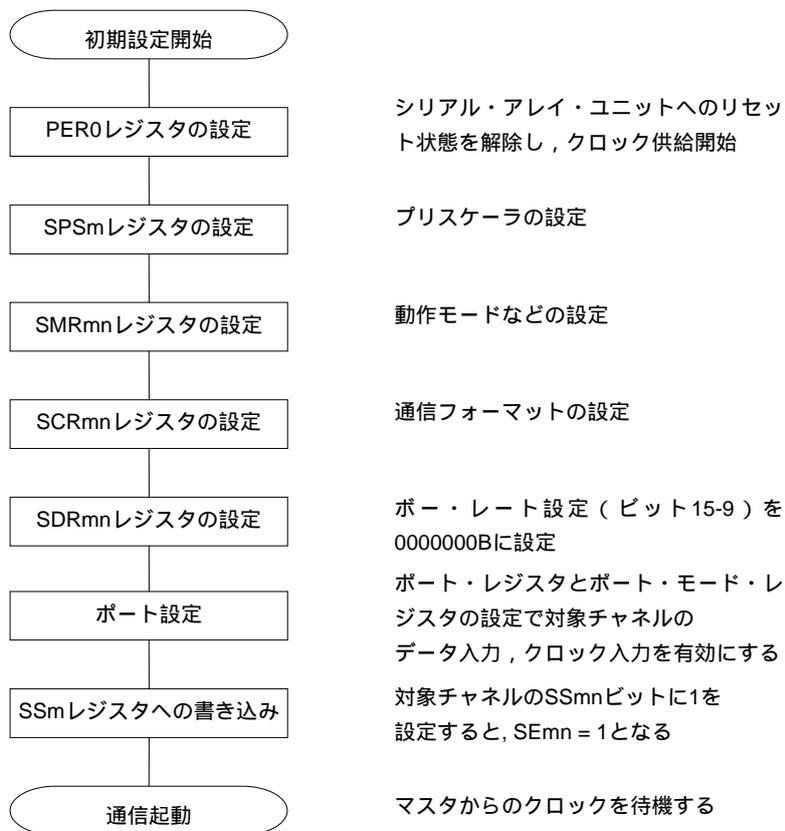
備考 □: CSIスレーブ受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

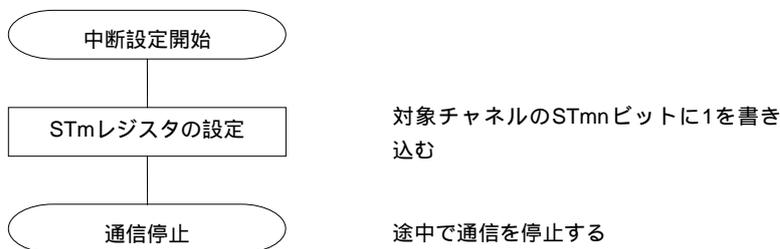
図12 - 55 スレーブ受信の初期設定手順



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m：ユニット番号（m = 1） n：チャンネル番号（n = 0） mn = 10

図12 - 56 スレーブ受信の中断手順



備考 m：ユニット番号（m = 1） n：チャンネル番号（n = 0） mn = 10

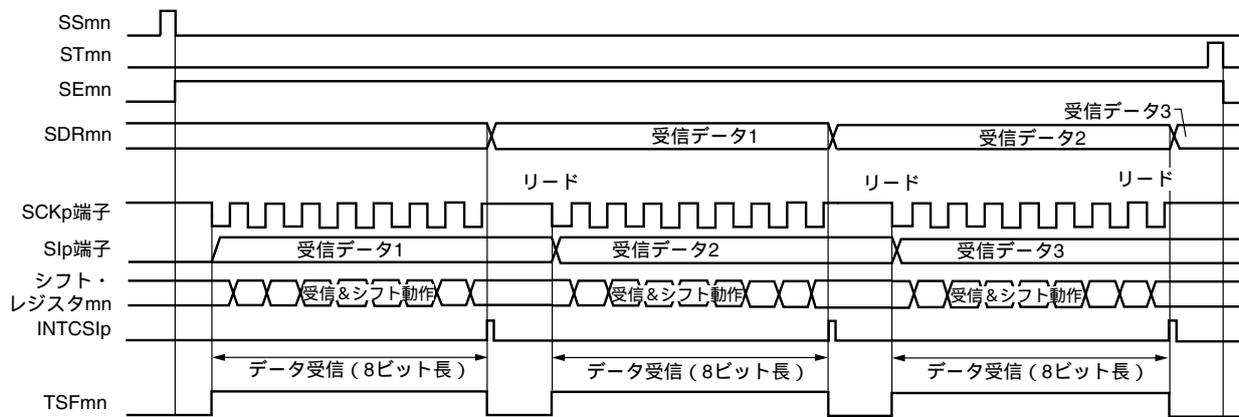
図12 - 57 スレープ受信の再開設定手順



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) mn = 10

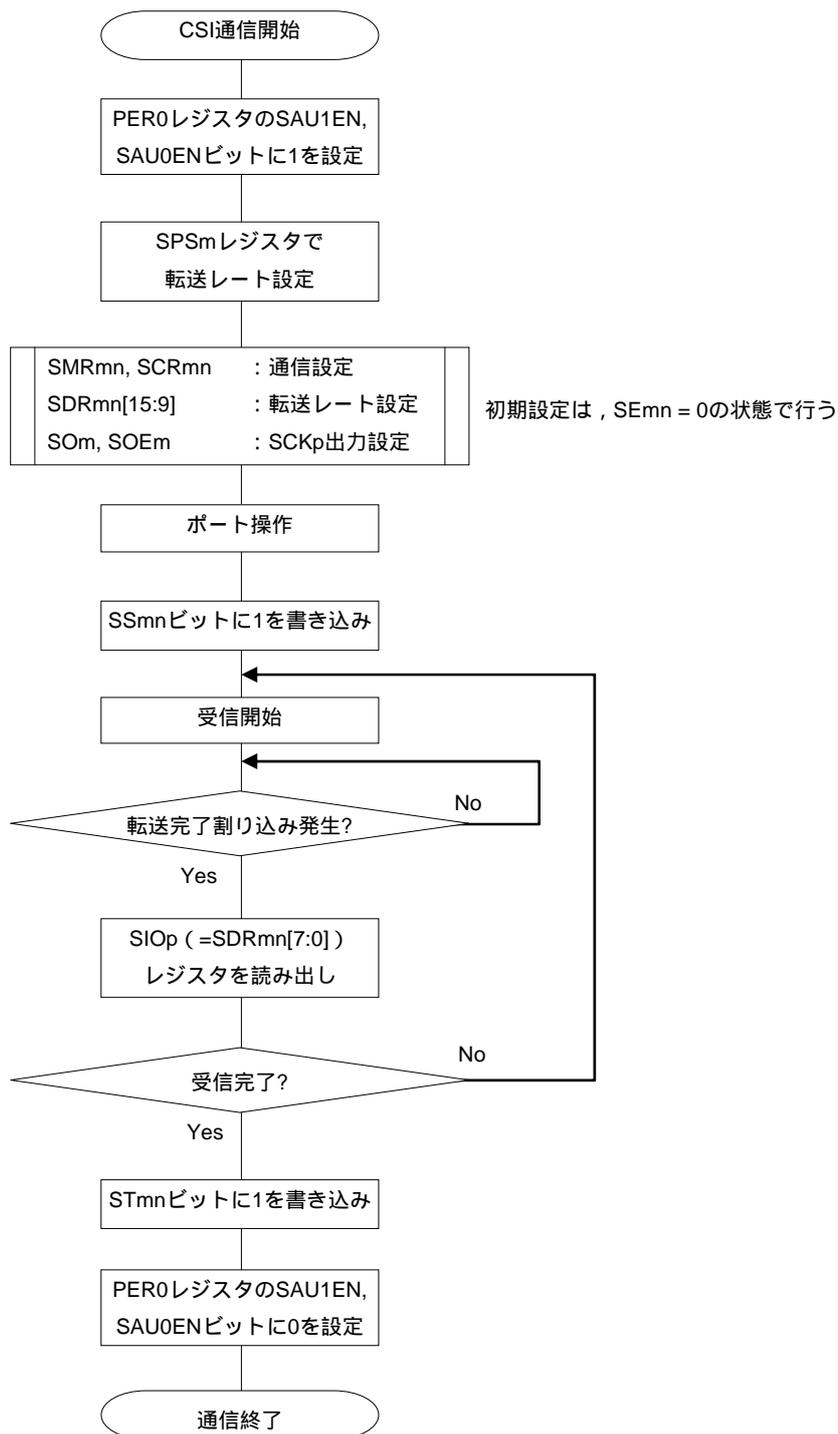
(3) 処理フロー (シングル受信モード)

図12 - 58 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 59 スレーブ受信 (シングル受信モード) のフロー・チャート



注意 SAUmENを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

12.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、78K0R/Lx3-Mマイクロコントローラと他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI20
対象チャンネル	SAU1のチャンネル0
使用端子	SCK20, SI20, SO20
割り込み	INTCSI20 転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [MHz] ^{注1, 2}
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転
データ方向	MSBファーストまたはLSBファースト

注1. SCK20端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [MHz]となります。

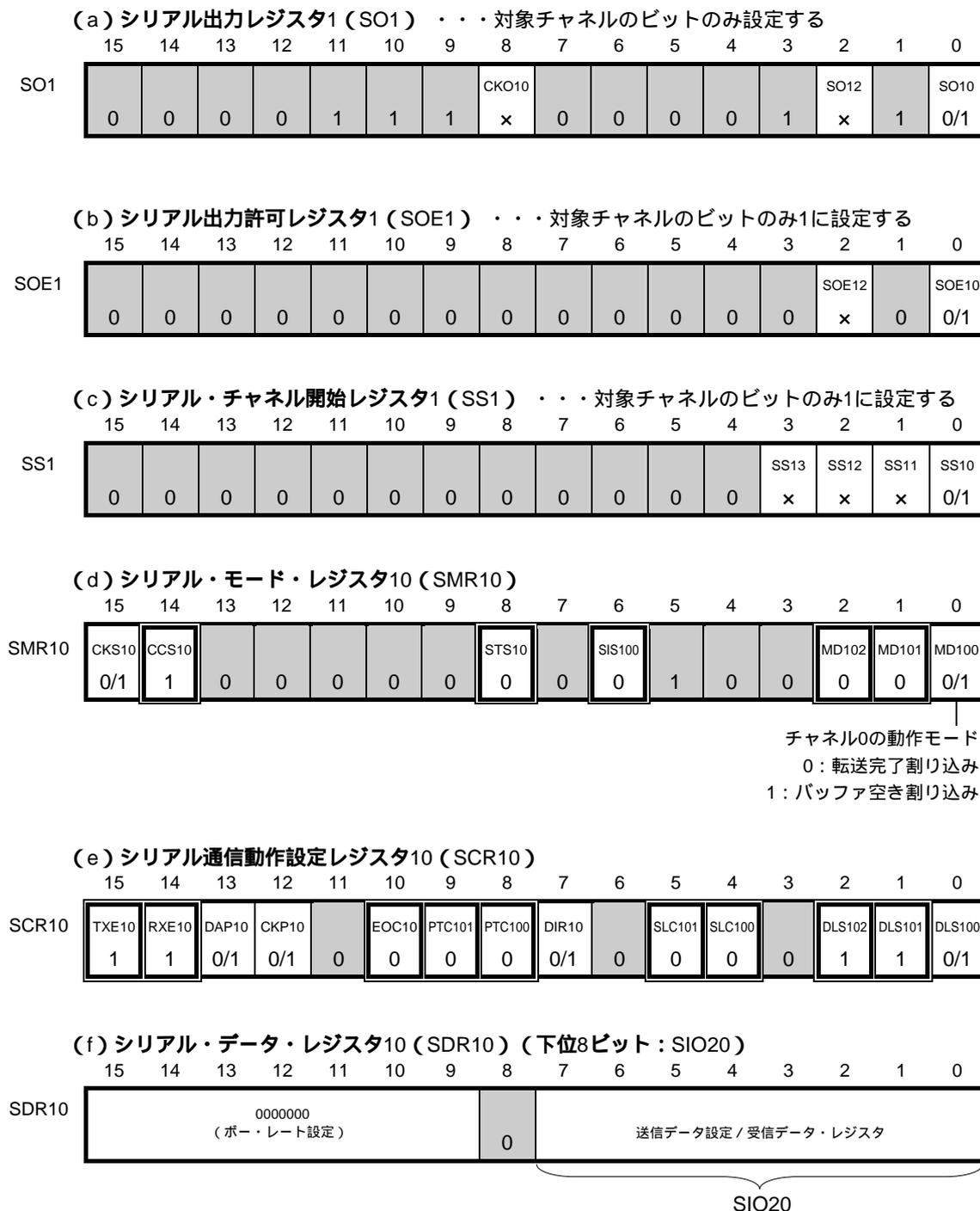
- この条件を満たし、かつ電気的特性のAC特性（第32章 電気的特性を参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

- m ：ユニット番号（ $m = 1$ ） n ：チャンネル番号（ $n = 0$ ） $mn = 10$

(1) レジスタ設定

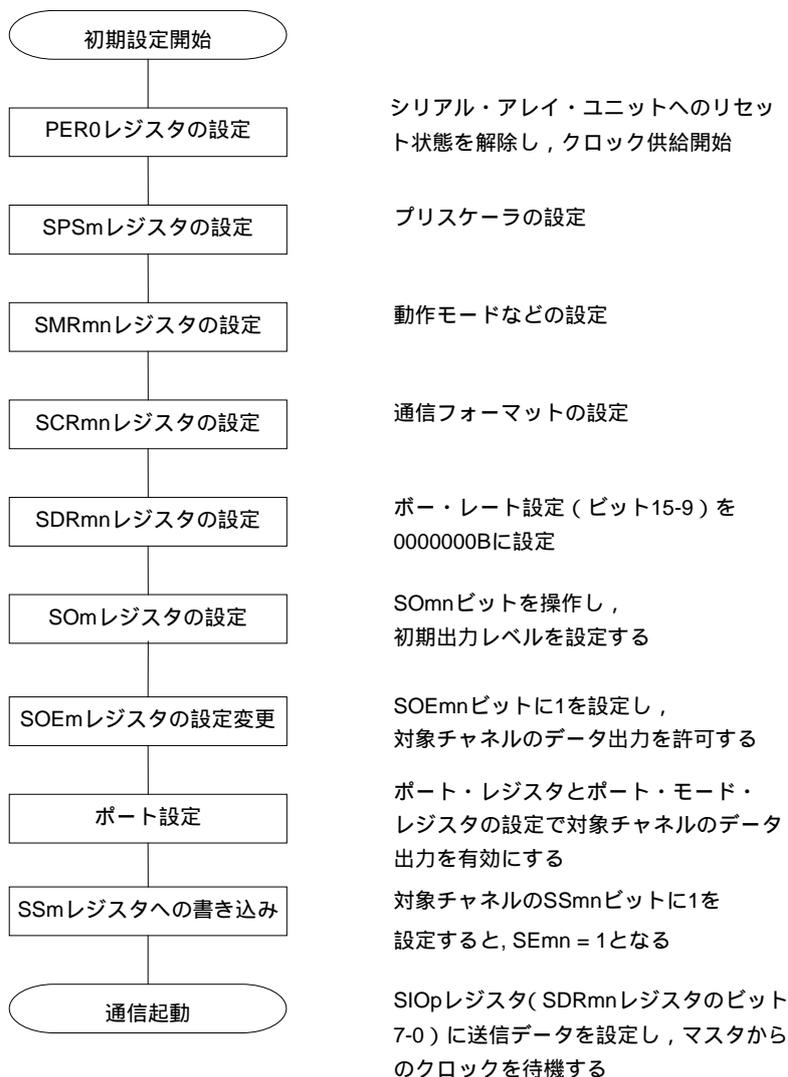
図12 - 60 3線シリアルI/O (CSI20) のスレーブ送受信時のレジスタ設定内容例



備考 : CSIスレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

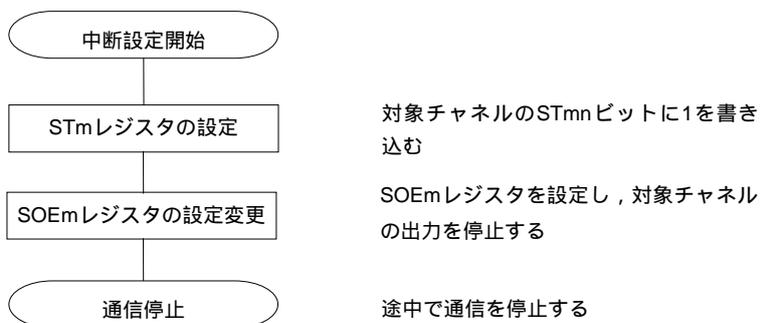
図12 - 61 スレーブ送受信の初期設定手順



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

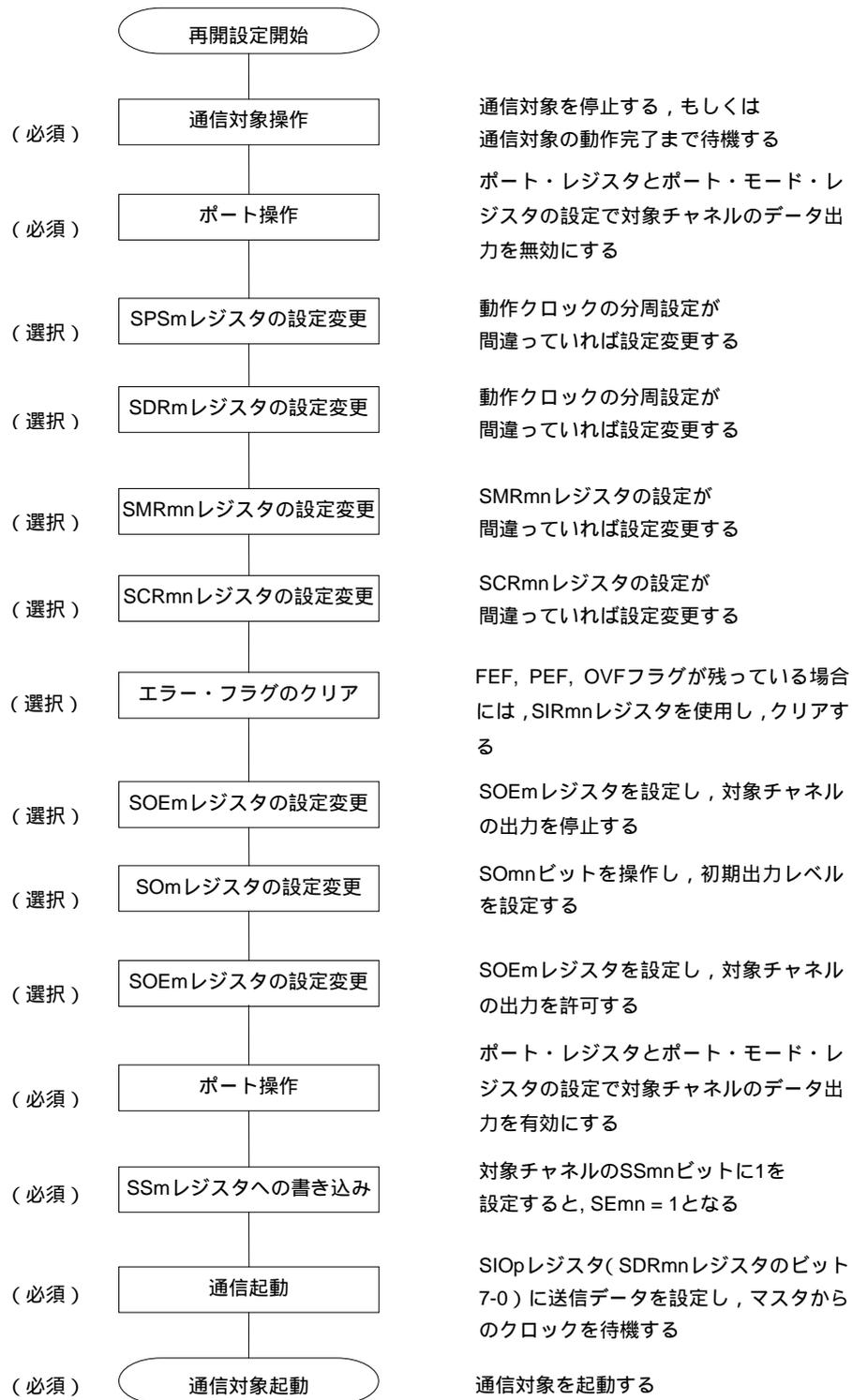
図12 - 62 スレーブ送受信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmnレジスタを再設定してください (図12 - 63 スレーブ送受信の再開設定手順参照)。

2. m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) mn = 10

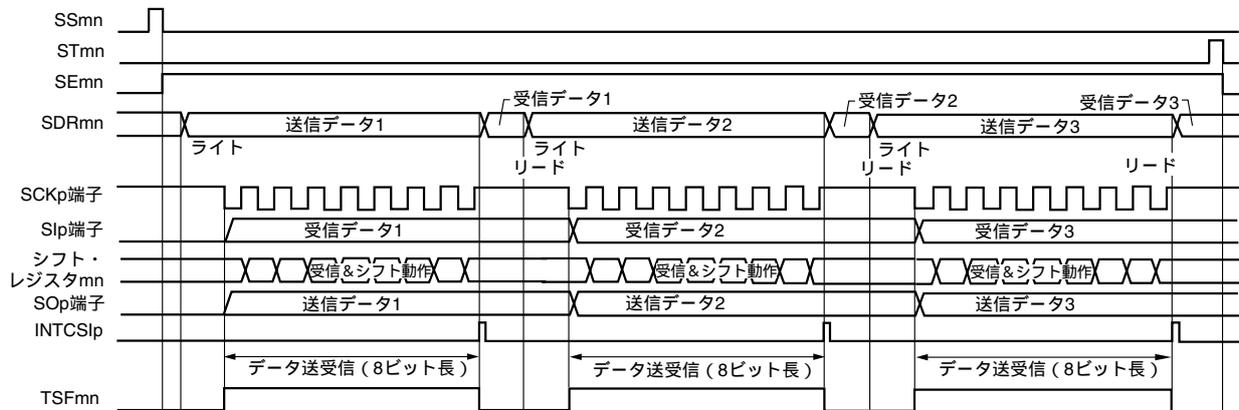
図12 - 63 スレーブ送受信の再開設定手順



備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

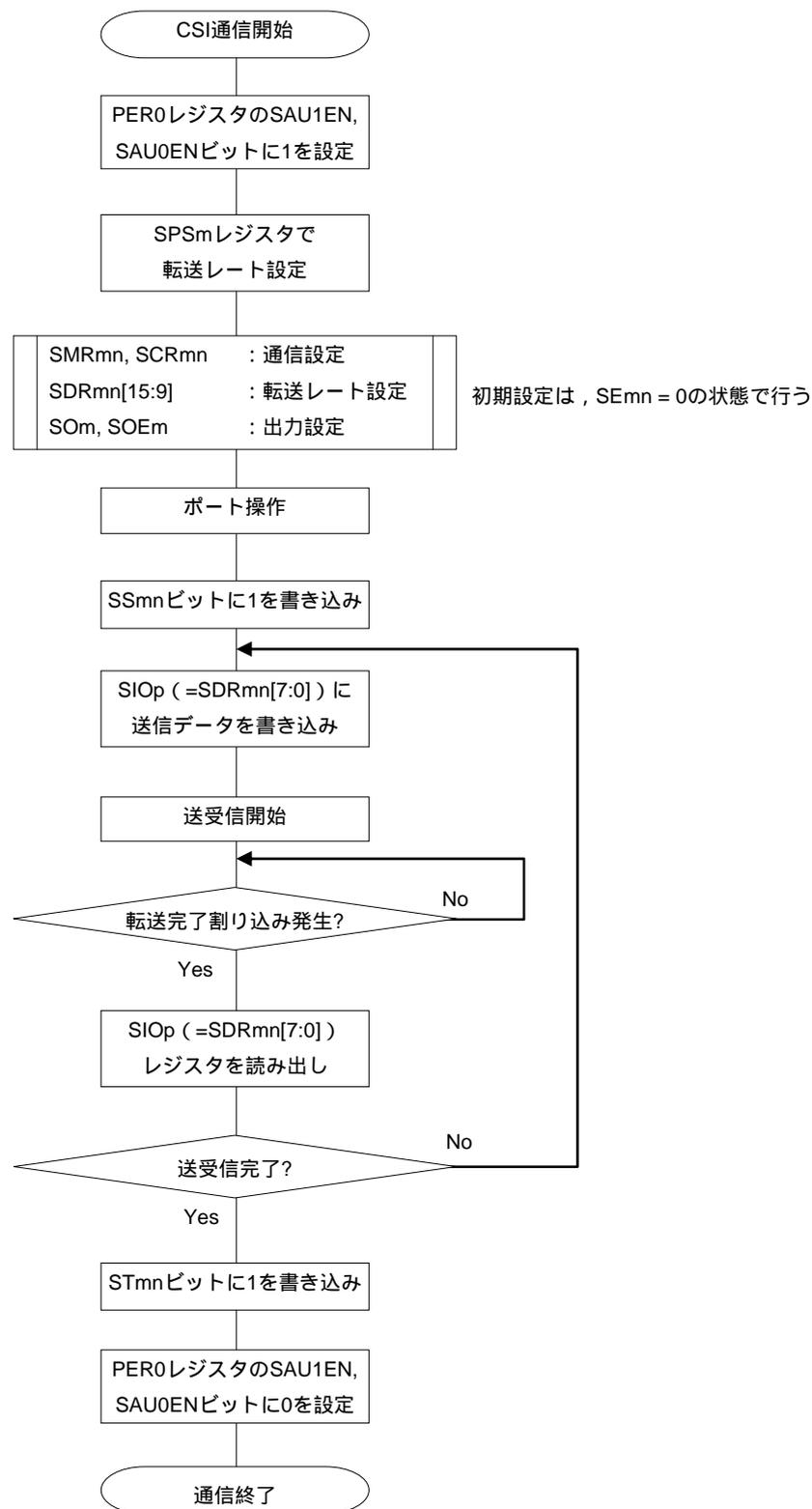
(3) 処理フロー (シングル送受信モード時)

図12 - 64 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 65 スレーブ送受信 (シングル送受信モード時) のフロー・チャート

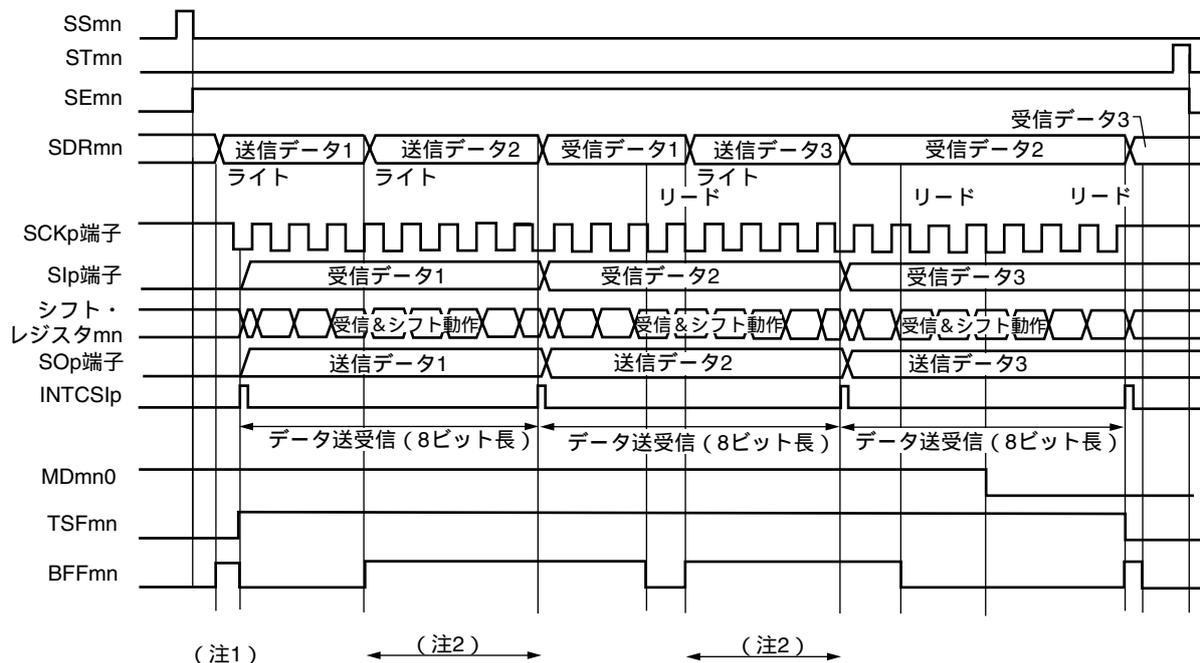


注意 SAUmENを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

(4) 処理フロー（連続送受信モード時）

図12 - 66 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

- この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

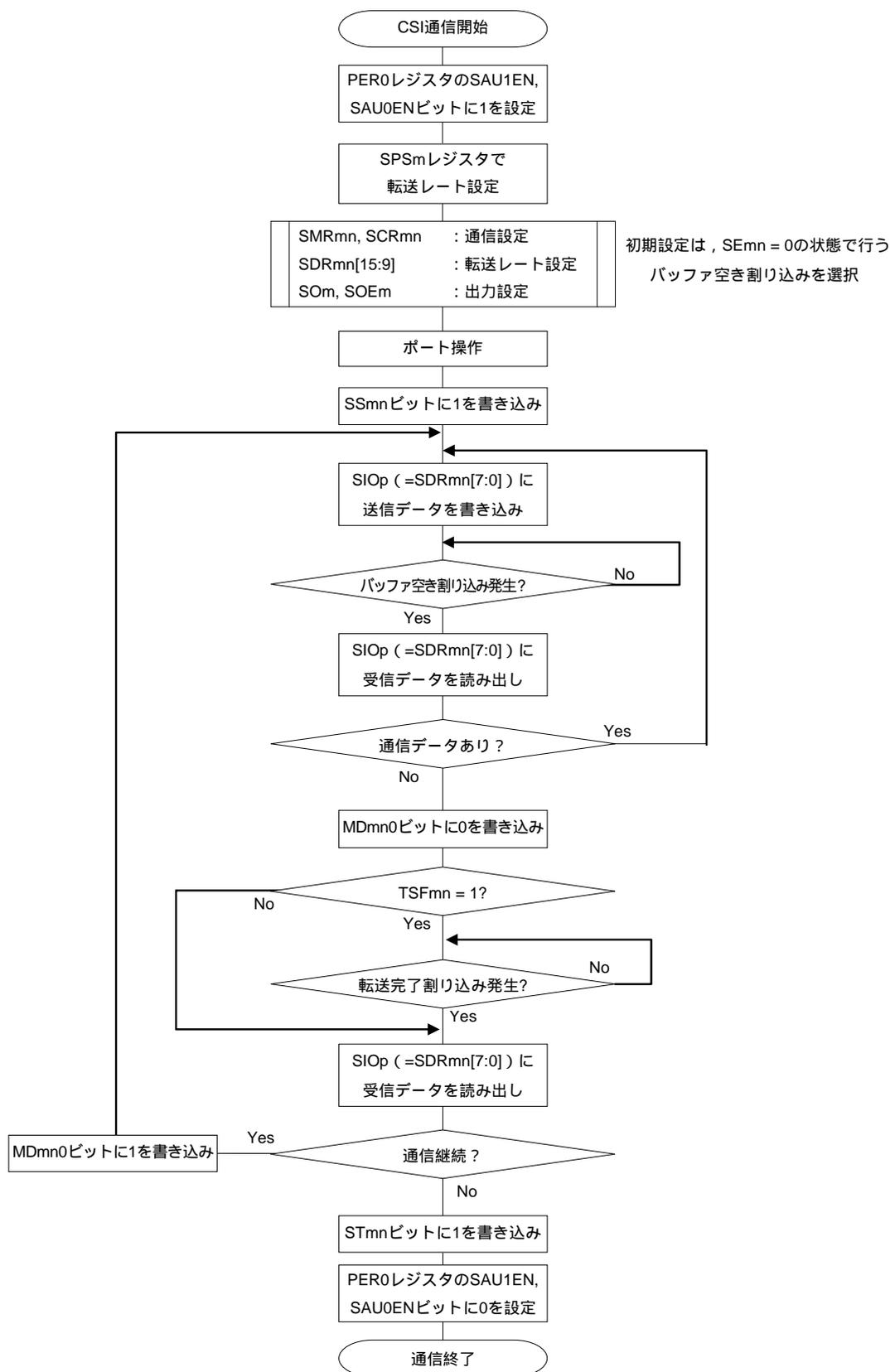
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の ~ は、図12 - 67 スレーブ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。

- m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

図12 - 67 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあげてからSPSmレジスタを設定してください。

備考1. 図中の ~ は、図12 - 66 スレーブ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) p : CSI番号 (p = 20) mn = 10

12.5.7 転送クロック周波数の算出

3線シリアル/O (CSI20) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$(\text{転送クロック周波数}) = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$(\text{転送クロック周波数}) = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大周波数は $f_{\text{CLK}}/6$ または $f_{\text{MCK}}/2$ の小さい方となります。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値 (0000000B-1111111B) なので、0-127 になります。

2. m: ユニット番号 (m=1), n: チャンネル番号 (n=0)

動作クロック (MCK) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表12-2 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ									動作クロック (MCK) ^{注1}	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時	
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz	
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz	
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz	
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz	
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz	
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz	
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz	
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz	
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz	
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz	
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz	
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz	
	X	X	X	X	1	1	1	1	m = 1の場合 : INTTM03 ^{注2}		
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz	
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz	
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz	
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz	
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz	
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz	
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz	
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz	
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz	
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz	
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz	
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz	
	1	1	1	1	X	X	X	X	m = 1の場合 : INTTM03 ^{注2}		
上記以外									設定禁止		

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAUm）の動作を停止（STm = 000FH）させてから変更してください。動作クロックにINTTM03を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

2. TAU0のチャンネル3において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし（TIS0レジスタのTIS03（m = 1の場合）に“1”を設定）、SPSmレジスタでINTTM03を選択することにより、f_{CLK}の周波数（メイン・システム・クロック、サブシステム・クロック）に関係なくサブシステム・クロックの分周固定でSAUmを動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAUm, TAU0を停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) mn = 10

12.6 UART (UART0, UART2, UART3) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART3 (ユニット1の2, 3チャンネル) では, LIN-busに対応しています。

[LIN-bus機能]

- ・ ウエイクアップ信号検出
 - ・ シンク・ブレイク・フィールド (SBF) 検出
 - ・ シンク・フィールド測定, ボー・レート算出
- 外部割り込み (INTP0),
タイマ・アレイ・ユニット (TAU) を活用

UART0では, SAU0のチャンネル0, 1を使用します。

UART2では, SAU1のチャンネル0, 1を使用します。

UART3では, SAU1のチャンネル2, 3を使用します。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	-	UART0	-
	1	-		-
	2	CSI10 (拡張SFR (3rd SFR) インタフェース専用)	-	-
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

注意 UARTとして使用する場合は, 送信側 (偶数チャンネル) と受信側 (奇数チャンネル) のどちらのチャンネルもUARTとしてしか使用することはできません。

UARTの通信動作は、以下の4種類があります。

- ・ UART送信 (12.6.1項を参照)
- ・ UART受信 (12.6.2項を参照)
- ・ LIN送信 (UART3のみ) (12.6.3項を参照)
- ・ LIN受信 (UART3のみ) (12.6.4項を参照)

12.6.1 UART送信

UART送信は、78K0R/Lx3-Mマイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART2	UART3
対象チャンネル	SAU0のチャンネル0	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD0	TxD2	TxD3
割り込み	INTST0	INTST2	INTST3
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能		
エラー検出フラグ	なし		
転送データ長	5ビットまたは7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注		
データ位相	正転出力(デフォルト:ハイ・レベル) 反転出力(デフォルト:ロウ・レベル)		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加 		
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・1ビット付加 ・2ビット付加 		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電気的特性のAC特性(第32章 電気的特性を参照)を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック(MCK)周波数

f_{CLK} : システム・クロック周波数

(1) レジスタ設定

図12 - 68 UART (UART0, UART2, UART3) のUART送信時のレジスタ設定内容例 (1/2)

(a) シリアル出力レジスタ_m (SO_m) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _m	0	0	0	0	1	CKO02	CKO01	CKO10	0	0	0	0	1	SO12	SO _m 0	
						注1	x	x					0/1 ^{注2}	0/1 ^{注2}		

(b) シリアル出力許可レジスタ_m (SOE_m) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE _m	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
														SOE12	SOE _m 0	
														0/1	0	0/1

(c) シリアル・チャンネル開始レジスタ_m (SS_m) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SS _m	0	0	0	0	0	0	0	0	0	0	0	0	0	SS13	SS12	SS _m 1	SS _m 0
														x	0/1	x	0/1

(d) シリアル出力レベル・レジスタ_m (SOL_m) . . . 対象チャンネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL _m	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL12	SOL _m 1	SOL _m 0
														0/1	0	0/1

0 : 正転 (通常) 送信
1 : 反転送信

(e) シリアル・モード・レジスタ_{mn} (SMR_{mn})

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKS _{mn}	CCS _{mn}						STS _{mn}		SIS _{mn} 0				MD _{mn} 2	MD _{mn} 1	MD _{mn} 0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0/1

チャンネル_nの動作モード
0 : 転送完了割り込み
1 : バッファ空き割り込み

注1. 拡張SFR (3rd SFR) インタフェースでのみ使用できるビット

(第14章 拡張SFR (3rd SFR) インタフェース参照)

2. 該当するチャンネルのSOL_{mn}ビットに0を設定している場合は“1”に、SOL_{mn}ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

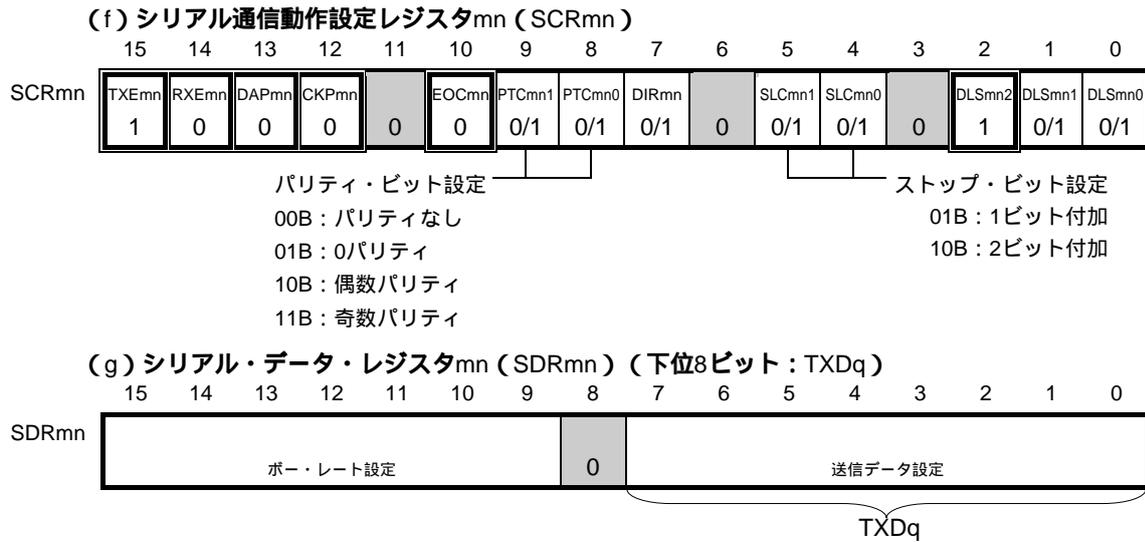
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 10, 12

□ : UART送信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

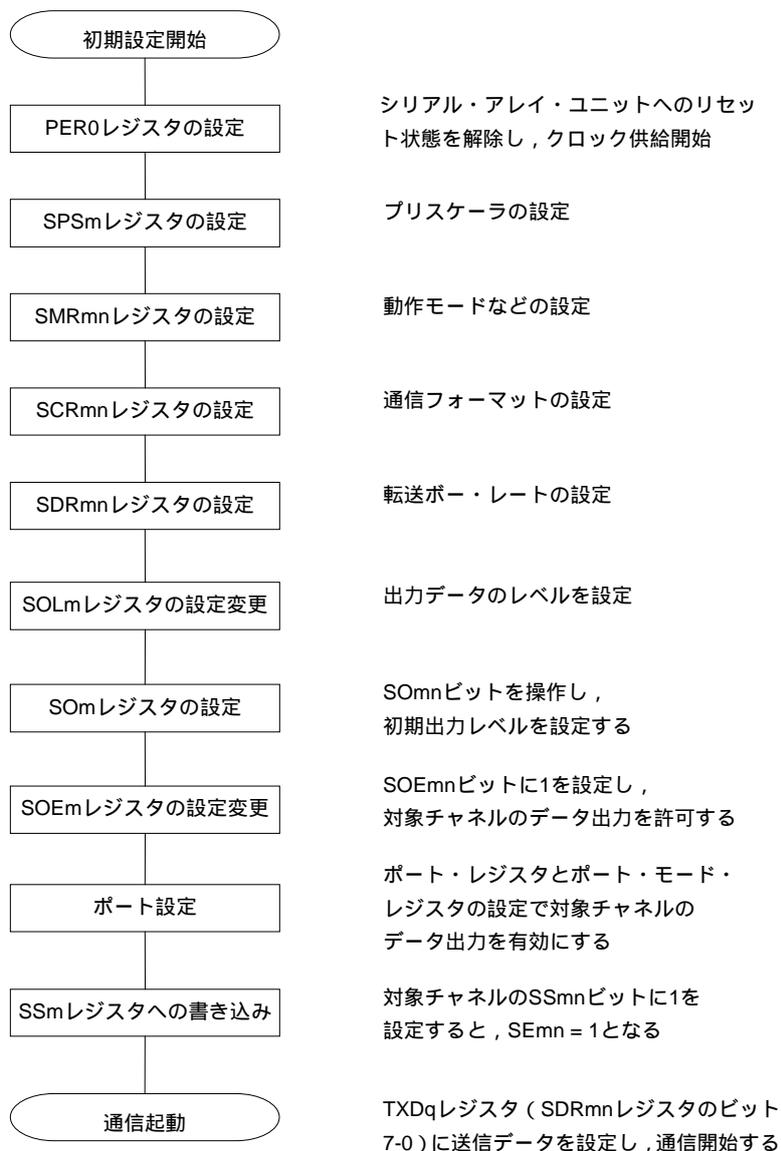
図12 - 68 UART (UART0, UART2, UART3) のUART送信時のレジスタ設定内容例 (2/2)



- 備考** m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 2, 3)
 mn = 00, 10, 12
 : UART送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

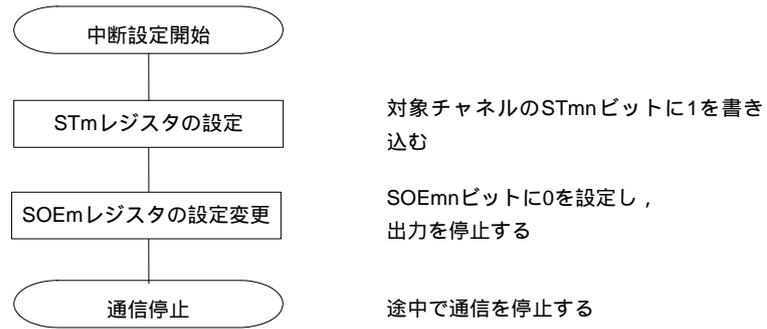
図12 - 69 UART送信の初期設定手順



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 2, 3)
mn = 00, 10, 12

図12 - 70 UART送信の中断手順

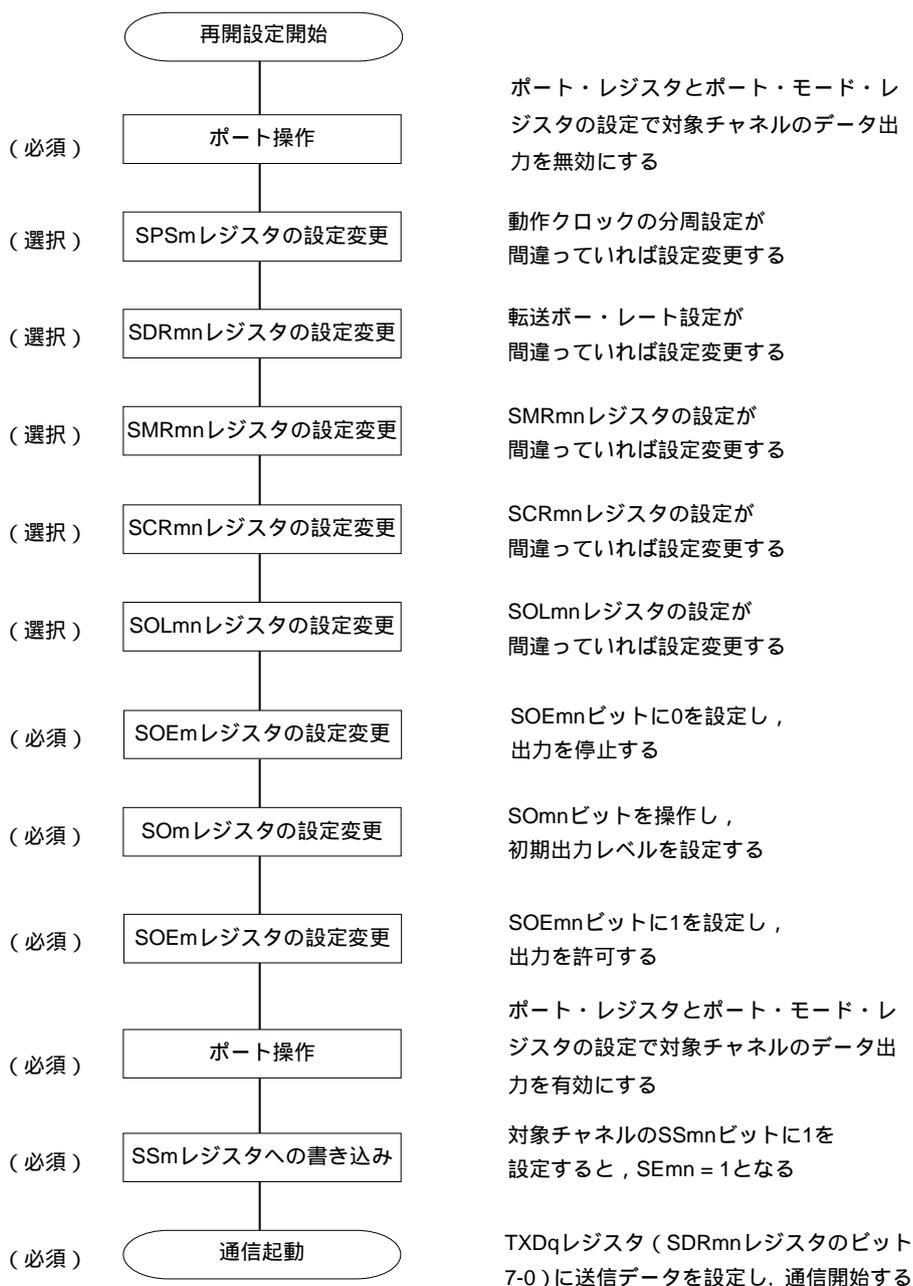


備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください

(図12 - 71 UART送信の再開設定手順参照)。

2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) mn = 00, 10, 12

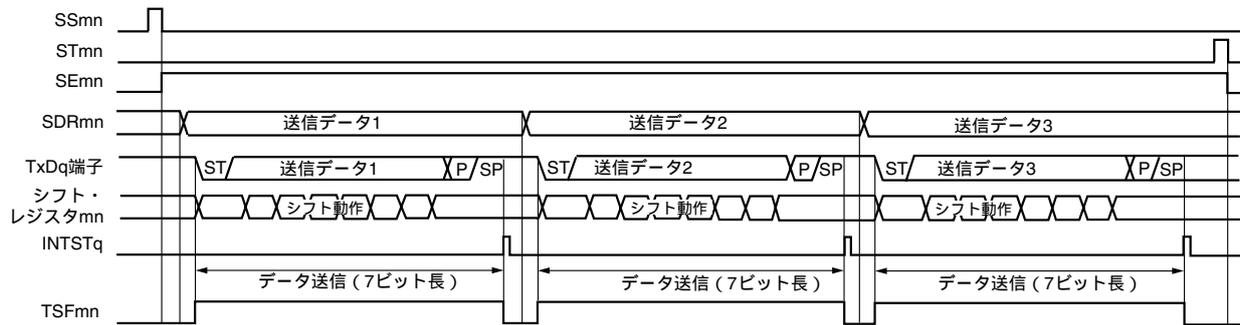
図12 - 71 UART送信の再開設定手順



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 2, 3)
mn = 00, 10, 12

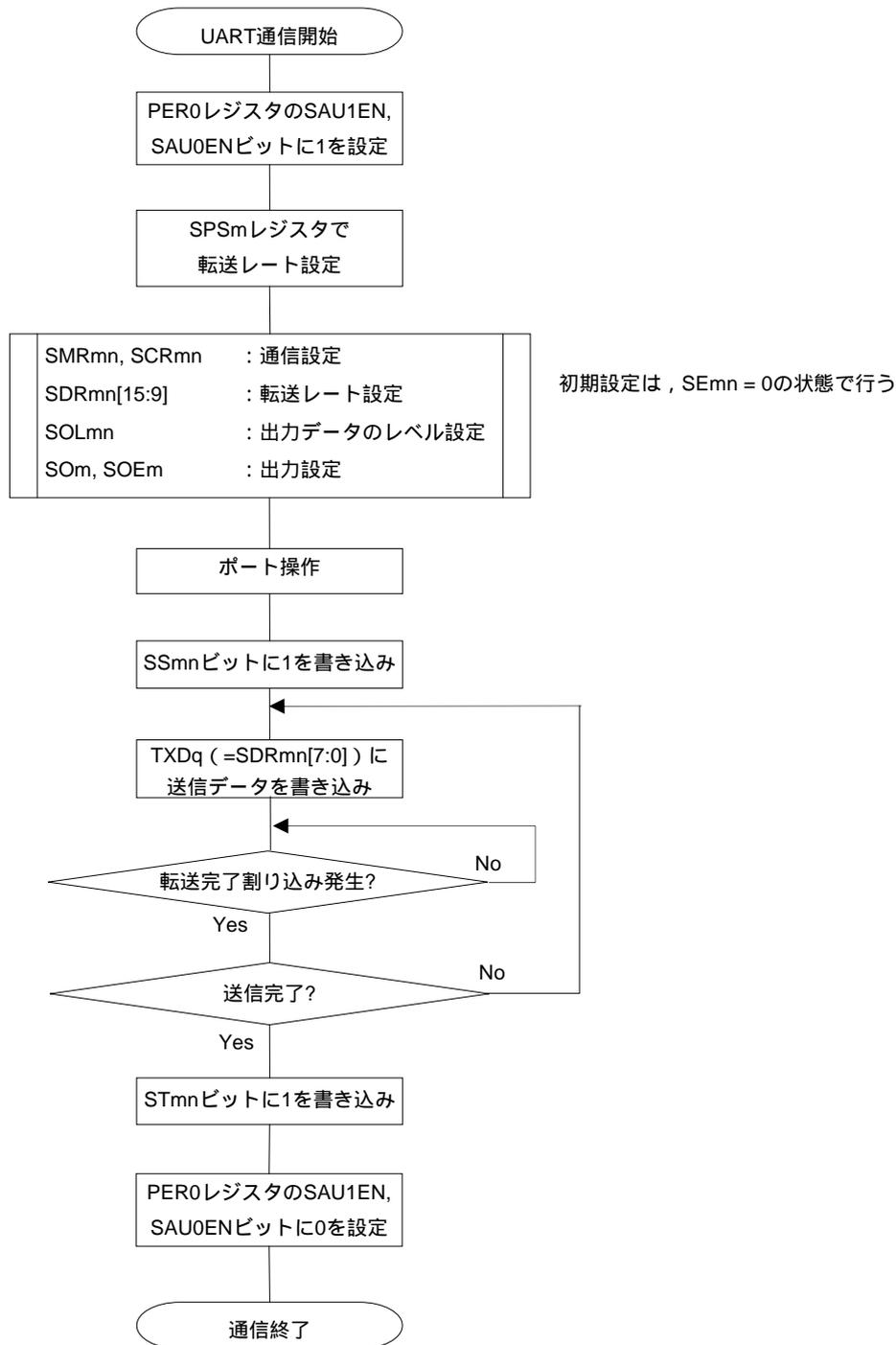
(3) 処理フロー (シングル送信モード時)

図12 - 72 UART送信 (シングル送信モード時) のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 2, 3)
 mn = 00, 10, 12

図12 - 73 UART送信 (シングル送信モード時) のフロー・チャート

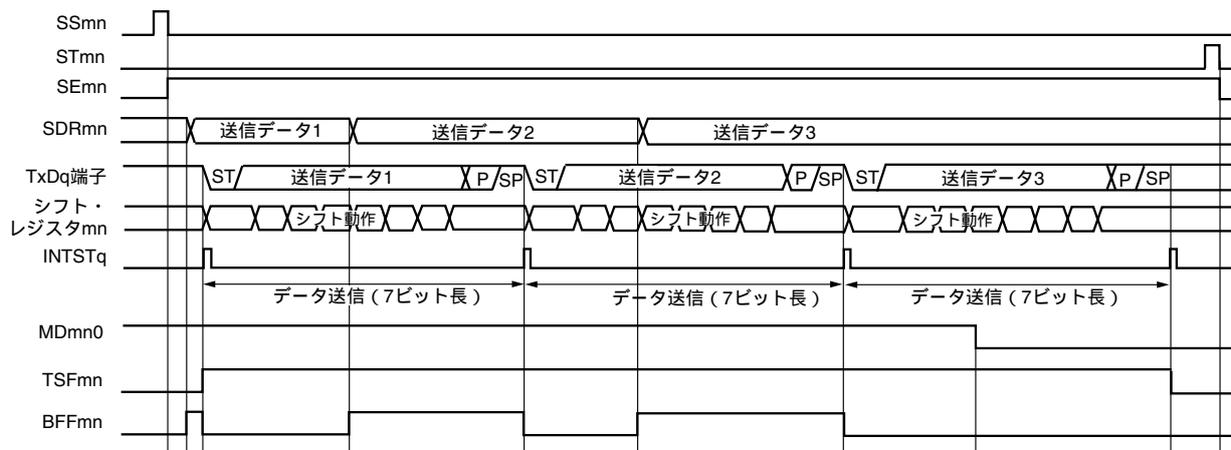


注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 2, 3)
mn = 00, 10, 12

(4) 処理フロー (連続送信モード時)

図12-74 UART送信 (連続送信モード時) のタイミング・チャート



(注)

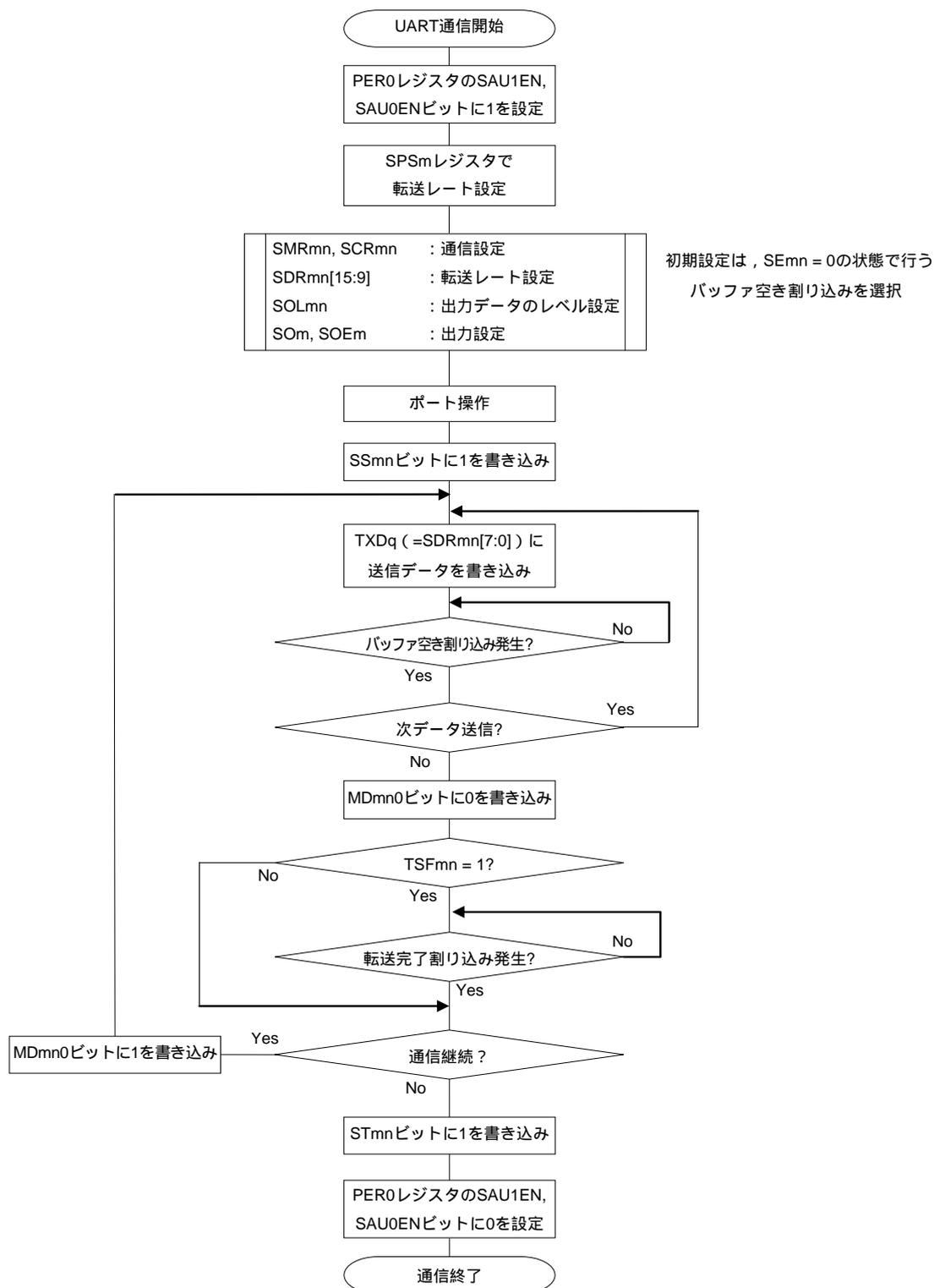
注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 2, 3)
mn = 00, 10, 12

図12 - 75 UART送信（連続送信モード時）のフロー・チャート



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. 図中の ~ は、図12 - 74 UART送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 2, 3)
mn = 00, 10, 12

12.6.2 UART受信

UART受信は、他デバイスから78K0R/Lx3-Mマイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART2	UART3
対象チャンネル	SAU0のチャンネル1	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD0	RxD2	RxD3
割り込み	INTSR0	INTSR2	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	INTSRE2	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEFmn） ・ パリティ・エラー検出フラグ（PEFmn） ・ オーバラン・エラー検出フラグ（OVFmn） 		
転送データ長	5ビットまたは7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [bps]（ $SDRmn[15:9] = 2$ 以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ 0パリティ・ビット付加（パリティ・チェックなし） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

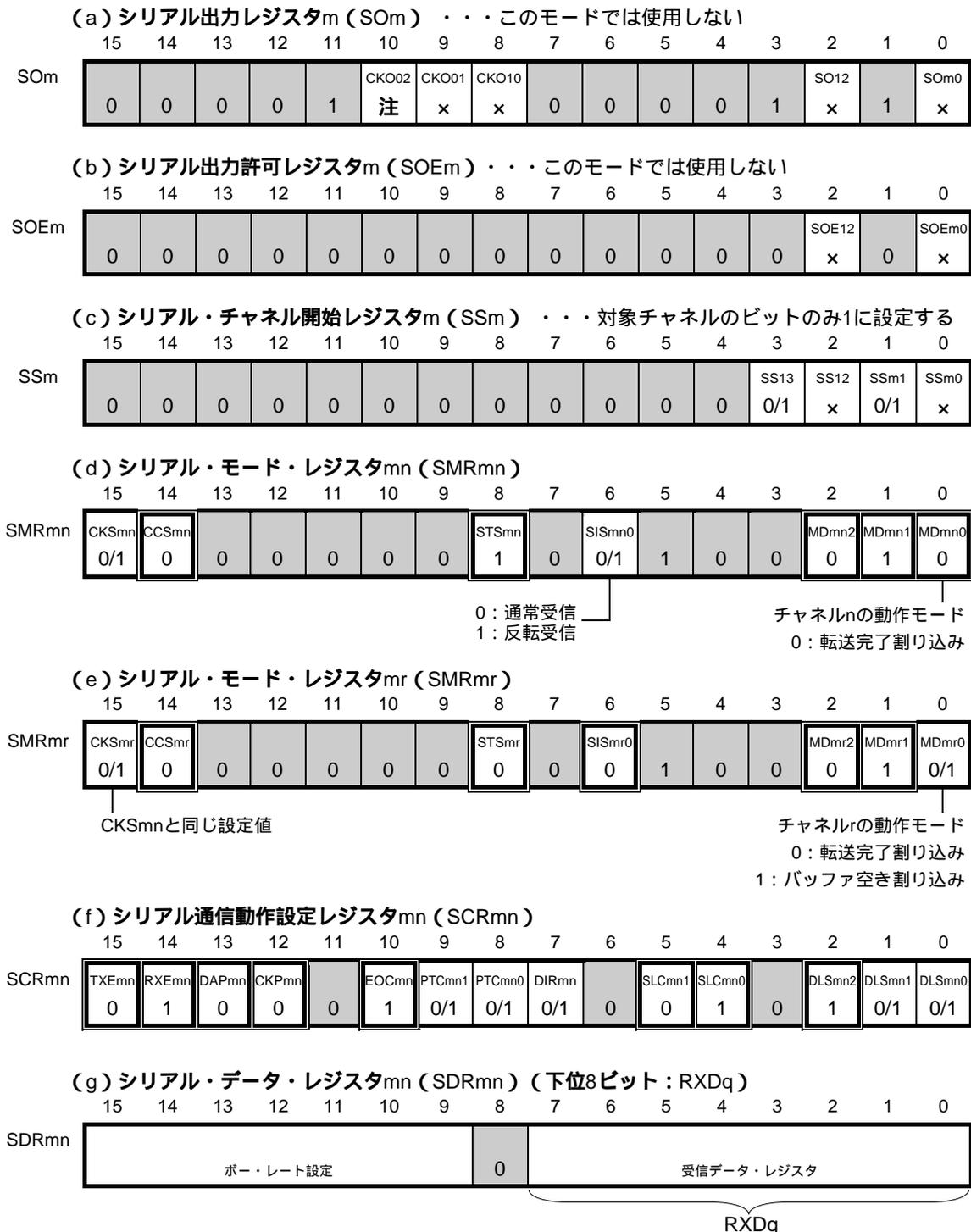
注 この条件を満たし、かつ電気的特性のAC特性（第32章 電気的特性を参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

(1) レジスタ設定

図12 - 76 UART (UART0, UART2, UART3) のUART受信時のレジスタ設定内容例



注 拡張SFR (3rd SFR) インタフェースでのみ使用できるビット (第14章 拡張SFR (3rd SFR) インタフェース参照)

注意 UART受信時は、チャンネル_nとペアになるチャンネル_rのSMR_{mr}も必ず設定してください。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 1, 3) r: チャンネル番号 (r = n - 1)

q: UART番号 (q = 0, 2, 3) mn = 01, 11, 13 mr = 00, 10, 12

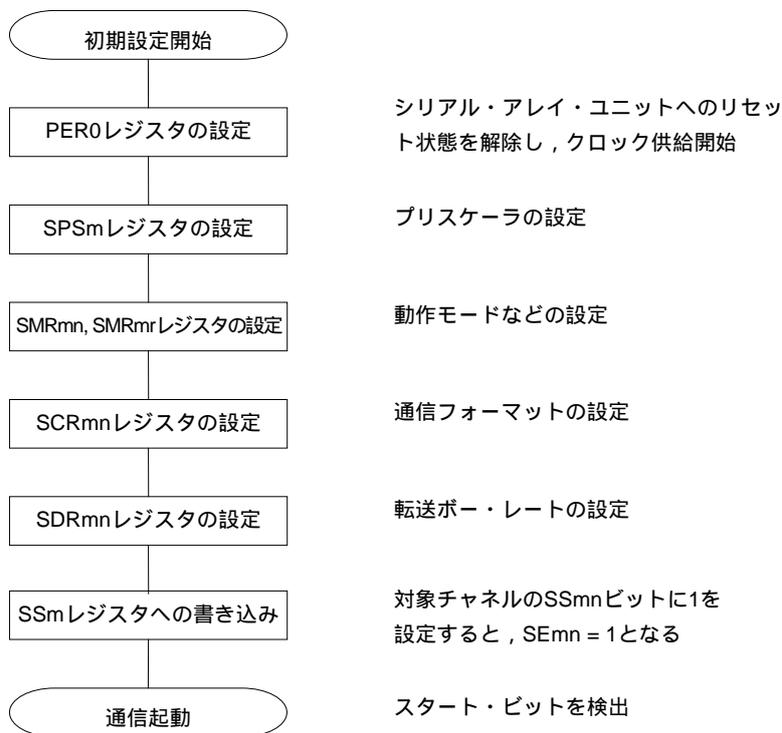
□: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)

×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

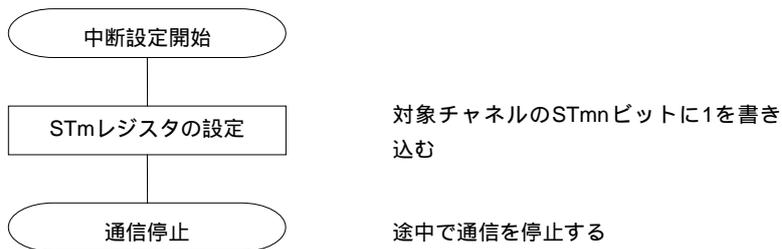
図12 - 77 UART受信の初期設定手順



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

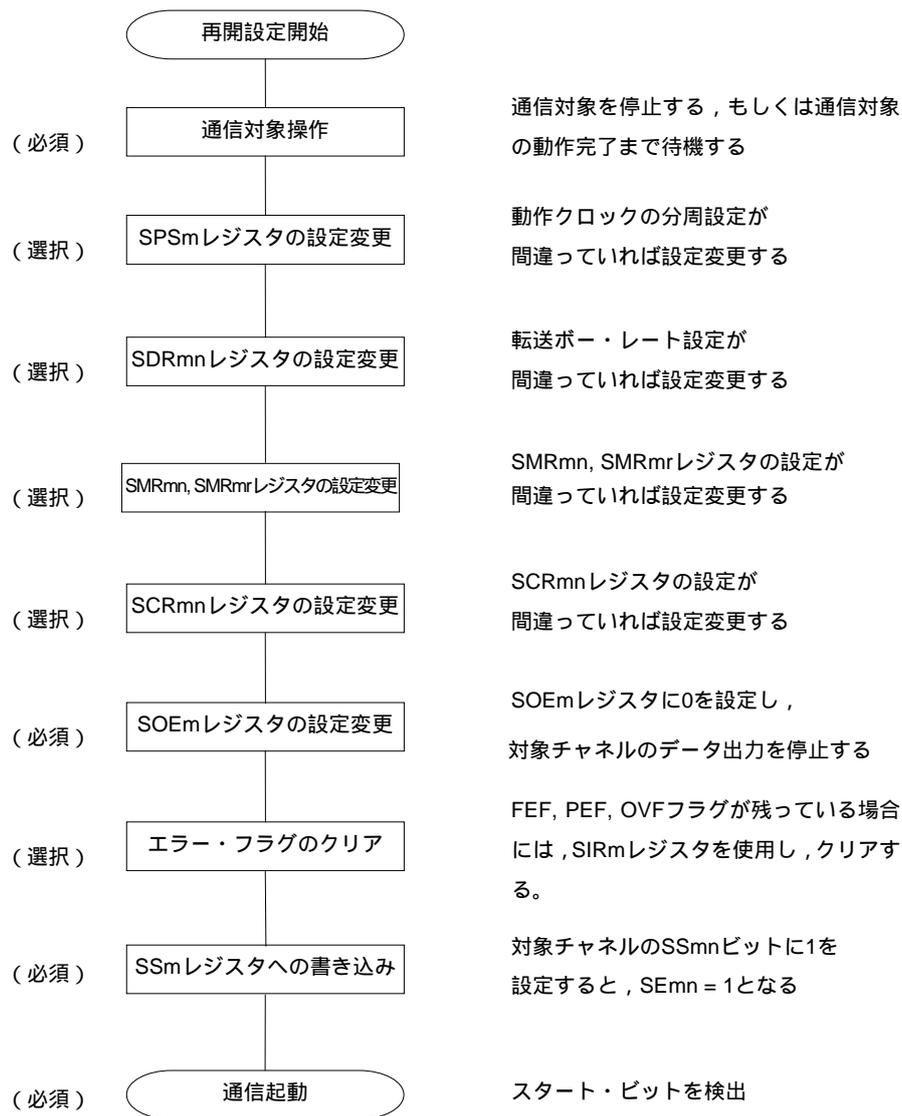
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 1, 3) r : チャンネル番号 (r = n - 1)
mn = 01, 11, 13 mr = 00, 10, 12

図12 - 78 UART受信の中断手順



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 1, 3) mn = 01, 11, 13

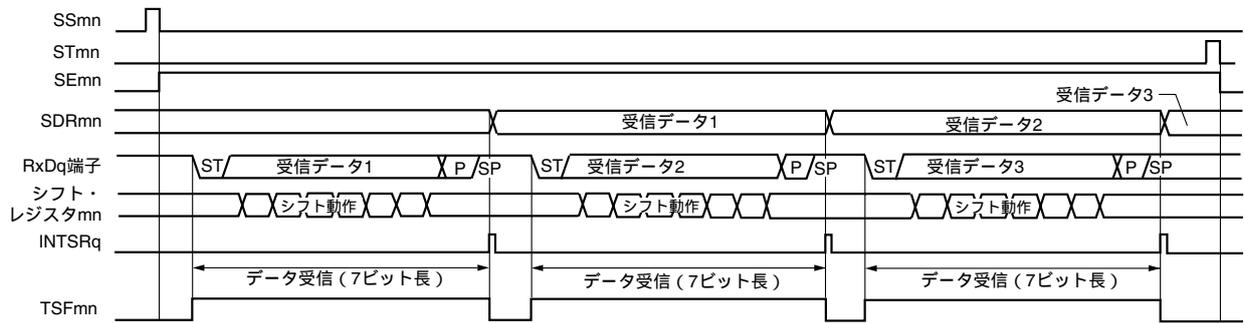
図12 - 79 UART受信の再開設定手順



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 1, 3) r : チャンネル番号 (r = n - 1)
 mn = 01, 11, 13 mr = 00, 10, 12

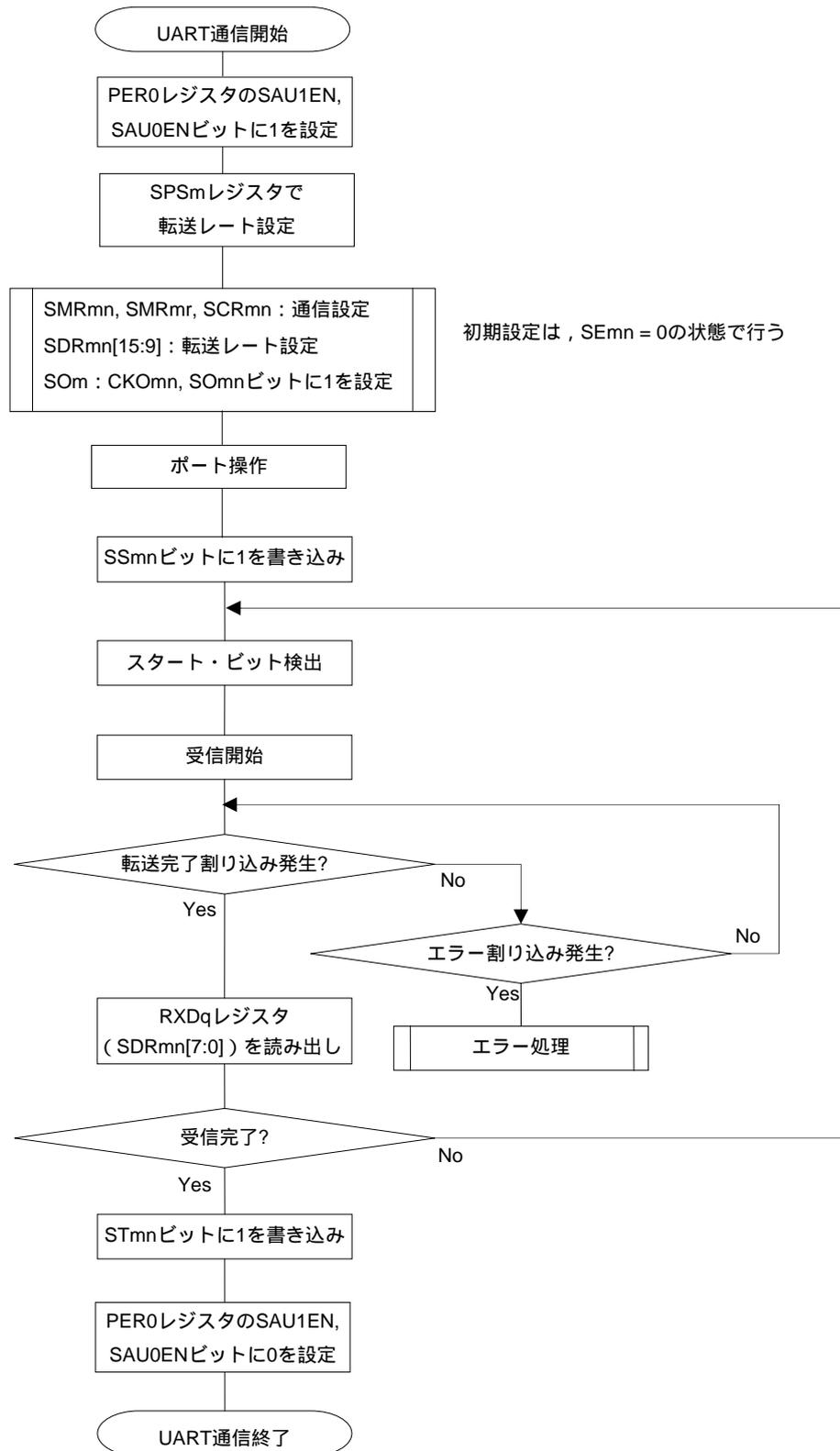
(3) 処理フロー

図12 - 80 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) q : UART番号 (q = 0, 2, 3)
 mn = 01, 11, 13

図12 - 81 UART受信のフロー・チャート



注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) r : チャネル番号 (r = n - 1)
q : UART番号 (q = 0, 2, 3) mn = 01, 11, 13 mr = 00, 10, 12

12.6.3 LIN送信

UART送信のうち、UART3はLIN通信に対応しています。

LIN送信では、ユニット1 (SAU1) のチャンネル2を使用します。

UART	UART0	UART2	UART3
LIN通信対応	不可	不可	可
対象チャンネル	-	-	SAU1のチャンネル2
使用端子	-	-	TxD3
割り込み	-	-	INTST3
	転送完了割り込み (シングル転送モード時) か、バッファ空き割り込み (連続転送モード時) かを選択可能		
エラー検出フラグ	なし		
転送データ長	8ビット		
転送レート	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注		
データ位相	正転出力 (デフォルト: ハイ・レベル) 反転出力 (デフォルト: ロウ・レベル)		
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加		
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注 この条件を満たし、かつ電氣的特性のAC特性 (第32章 電氣的特性を参照) を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック (MCK) 周波数

f_{CLK} : システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 (1~20 kbps) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

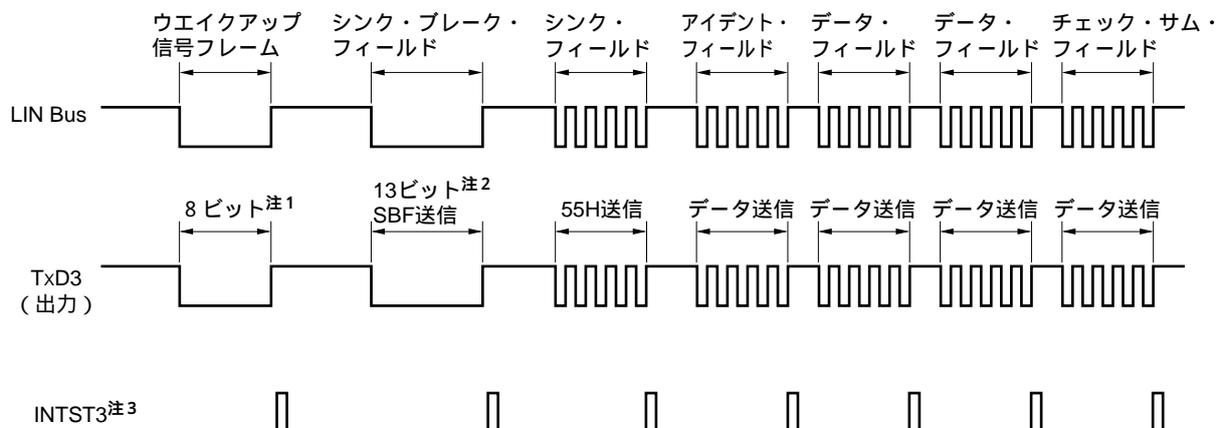
LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15%以下であれば、通信可能です。

LINの送信操作の概略を、図12 - 82に示します。

図12 - 82 LINの送信操作



注1. ウエイクアップ信号の規定を満たせるようにポー・レートを設定し、00Hのデータ送信をすることで対応します。

2. シンク・ブレイク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、シンク・ブレイク・フィールドで使用するポー・レートは次のようになります。

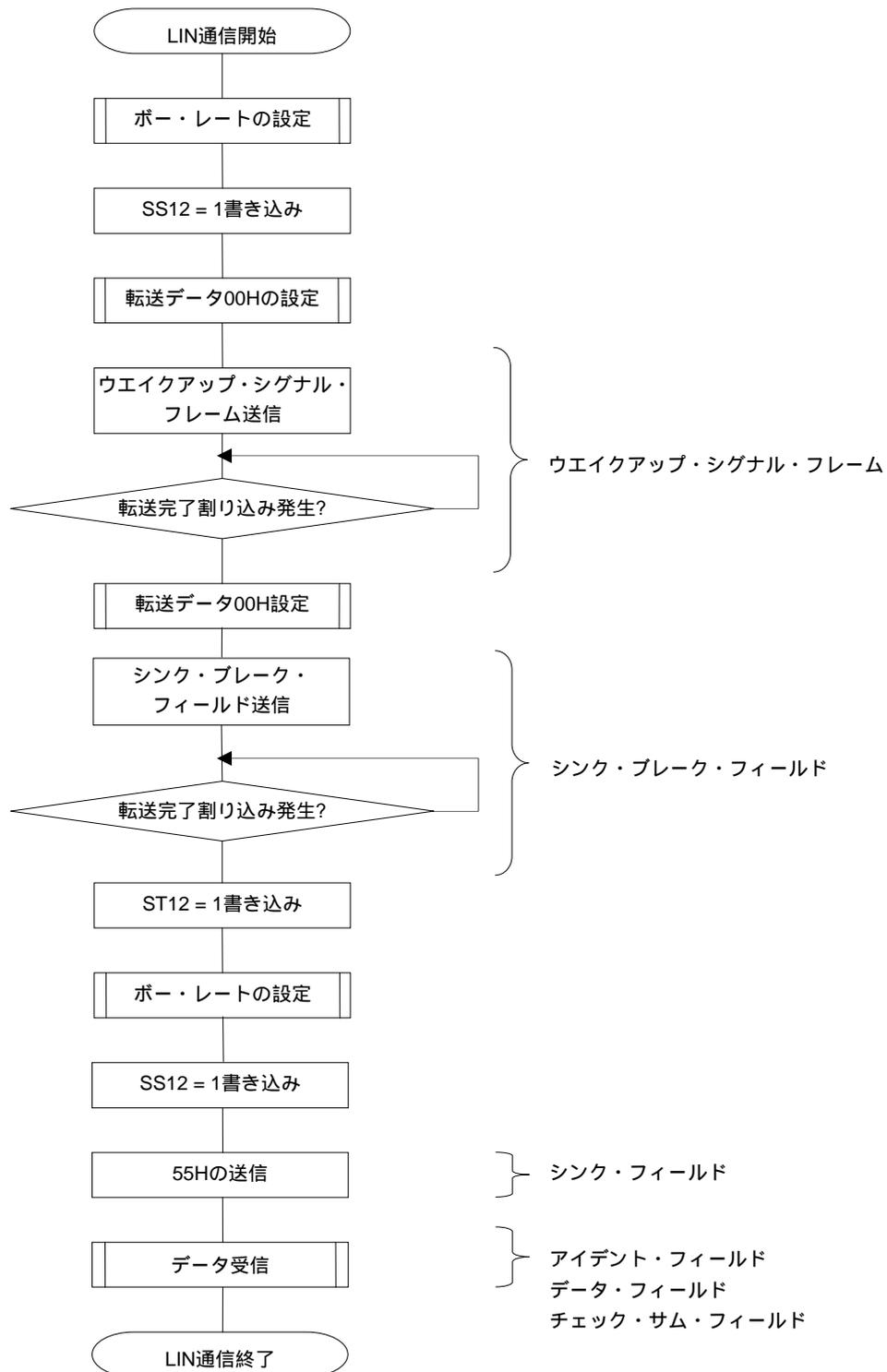
$$\boxed{(\text{シンク・ブレイク・フィールド時のポー・レート}) = 9/13 \times N}$$

このポー・レートで00Hのデータ送信をすることでシンク・ブレイク・フィールドを生成します。

3. 各送信終了時にはINTST3を出力します。またSBF送信時もINTST3を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図12 - 83 LIN送信のフロー・チャート



12.6.4 LIN受信

UART受信のうち，UART3はLIN通信に対応しています。

LIN受信では，ユニット1（SAU1）のチャンネル3を使用します。

UART	UART0	UART2	UART3
LIN通信対応	不可	不可	可
対象チャンネル	-	-	SAU1のチャンネル3
使用端子	-	-	RxD3
割り込み	-	-	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	-	-	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF13） ・ パリティ・エラー検出フラグ（PEF13） ・ オーバラン・エラー検出フラグ（OVF13） 		
転送データ長	8ビット		
転送レート	Max. $f_{MCK}/6$ [bps]（ $SDRmn[15:9] = 2$ 以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注		
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし ・ 0パリティ・ビット付加 ・ 偶数パリティ付加 ・ 奇数パリティ付加 		
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ 1ビット付加 ・ 2ビット付加 		
データ方向	MSBファーストまたはLSBファースト		

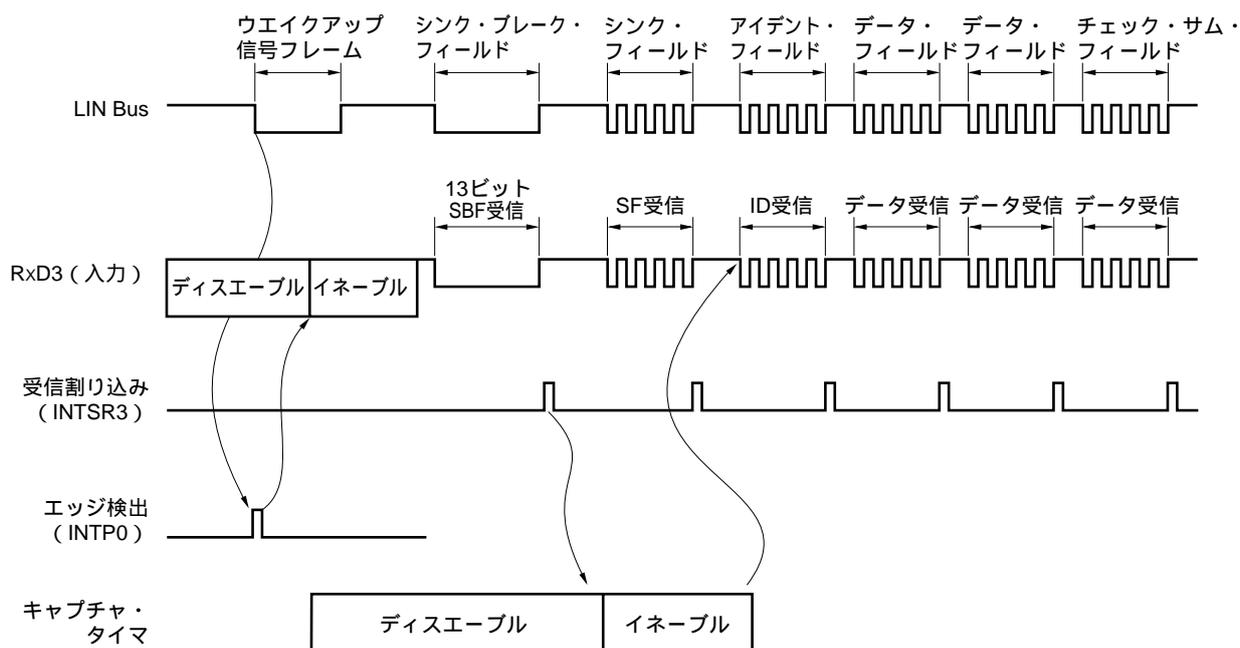
注 この条件を満たし，かつ電気的特性のAC特性（第32章 電気的特性を参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

LINの受信操作の概略を，図12 - 84に示します。

図12 - 84 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP0) で行います。ウェイクアップ信号を検出したら、UART3の受信を許可 (RXE13 = 1) し、SBF受信待ち状態にします。

SBFのスタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、RXD3レジスタ (= シリアル・データ・レジスタ13 (SDR13) のビット7-0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み要求 (INTSR3) を発生します。そして、SBFとして11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断します。SBFとして11ビット未満のロウ・レベルのデータを検出した場合は、SBF受信エラーと判断し、SBF受信待ち状態に戻ります。SBF受信を正常終了した場合、タイマ・アレイ・ユニットのチャンネル7を起動し、シンク・フィールドのビット間隔 (パルス幅) を測定してください (6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照)。シンク・フィールド (SF) のビット間隔からボー・レート誤差を算出します。そして、いったんUART3を動作停止にしてからボー・レートを調整 (再設定) してください。

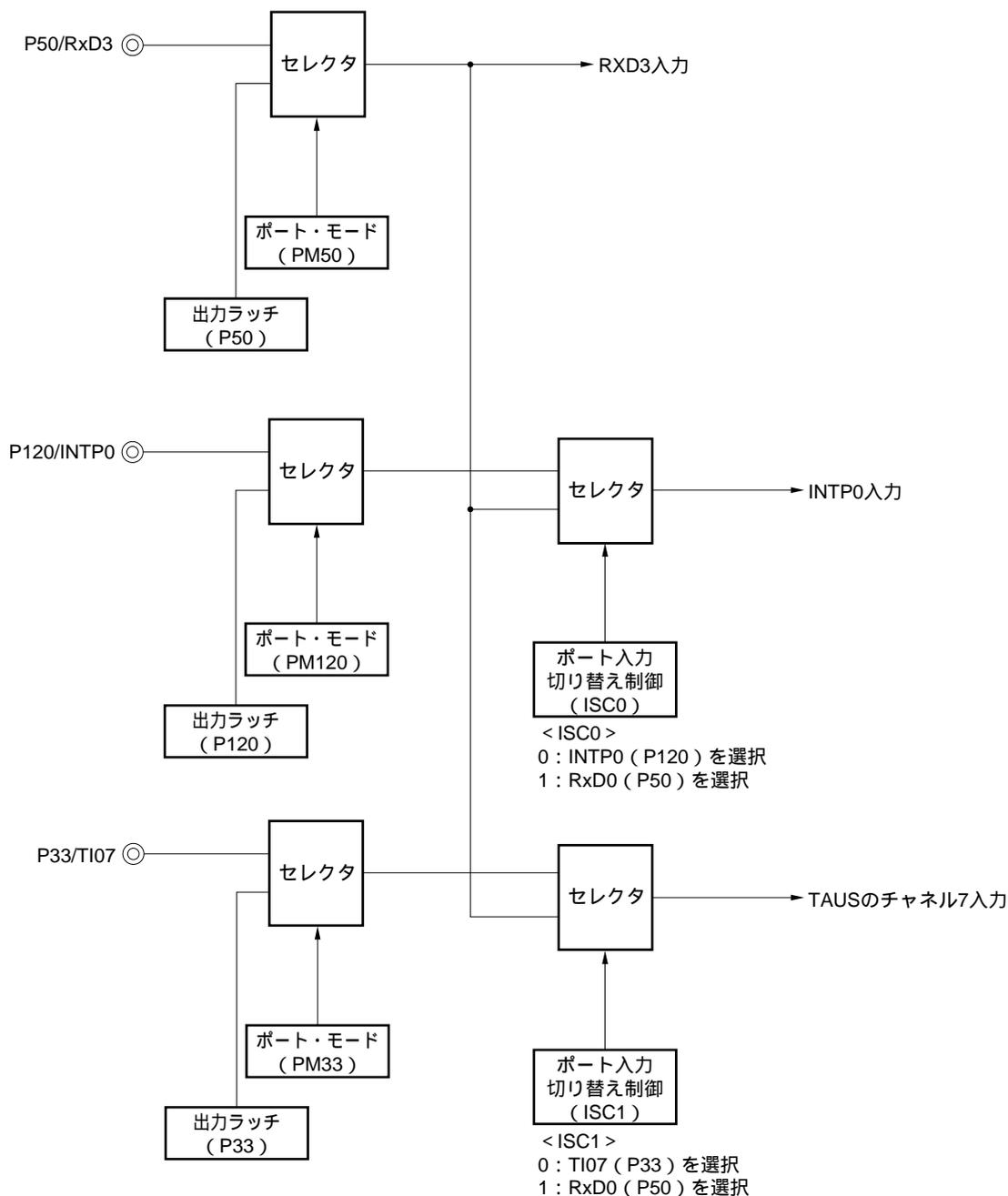
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART3を初期化し、再びSBF受信待ちに設定する処理もソフトウェアにて行ってください。

図12 - 85はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット (TAU) の外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部で結線をせずに、受信用ポート入力 (RxD3) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニット (TAU) へ入力することができます。

図12 - 85 LINの受信操作のポート構成図



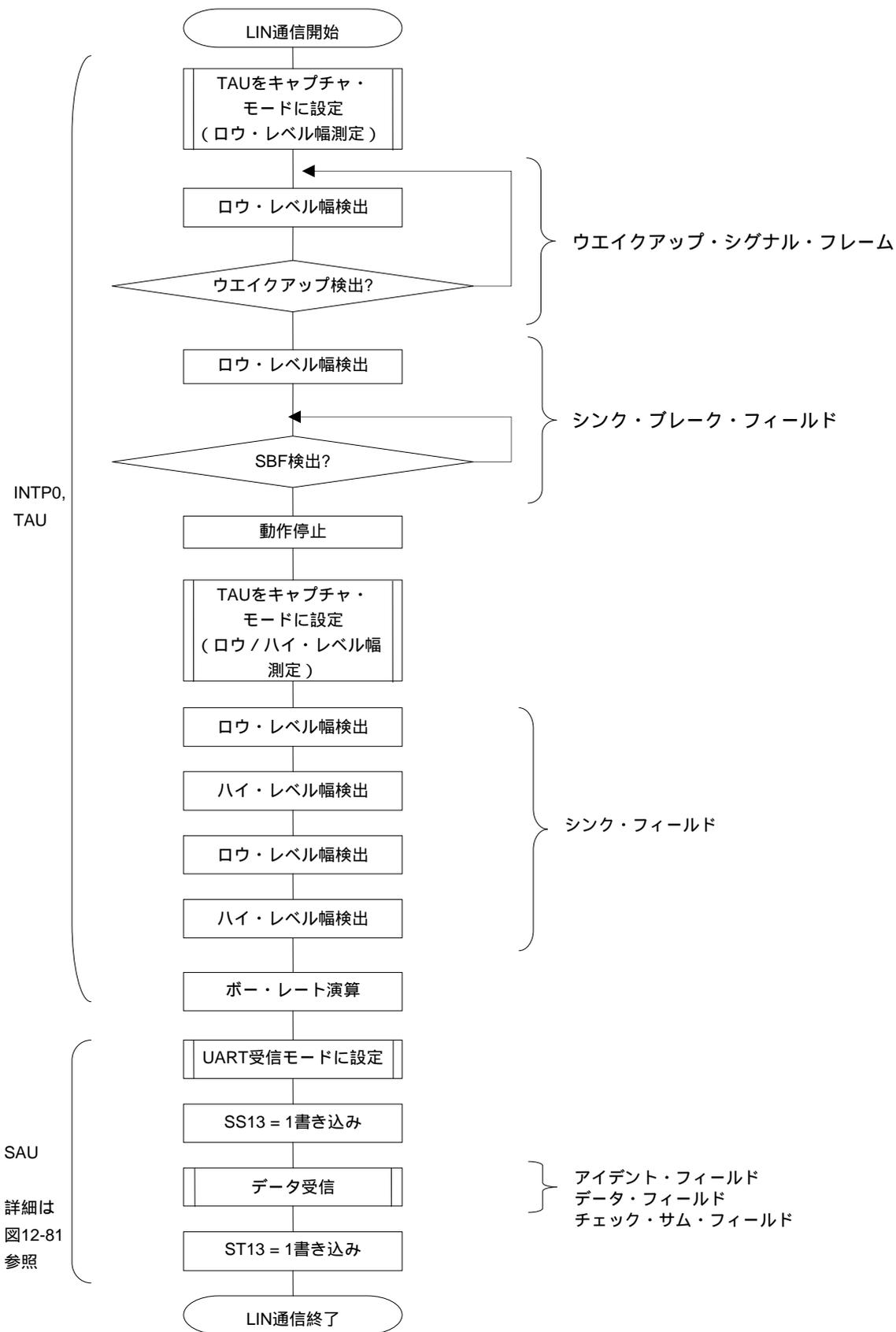
備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図12 - 17参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・タイマ・アレイ・ユニット (TAU) のチャンネル7; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (RxD3
入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・アレイ・ユニット1 (SAU1) のチャンネル2, 3 (UART3)

図12 - 86 LIN受信のフロー・チャート



12.6.5 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0, UART2, UART3) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意 SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので, 2-127になります。

2. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3) mn = 00, 01, 10-13

動作クロック (MCK) は, シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表12-3 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (MCK) ^{注1}	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	1	1	X	X	X	X	m = 0の場合 : INTTM02 ^{注2} m = 1の場合 : INTTM03	
上記以外									設定禁止	

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAUm）の動作を停止（STm = 000FH）させてから変更してください。動作クロックにINTTM02, INTTM03を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

- TAU0のチャンネル2, チャンネル3において, f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし（TIS0レジスタのTIS02（m = 0の場合）, TIS03（m = 1の場合）に“1”を設定）, SPSmレジスタでINTTM02, INTTM03を選択することにより, f_{CLK}の周波数（メイン・システム・クロック, サブシステム・クロック）に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし, f_{CLK}を変更する場合は, 上記の注1のようにSAUm, TAU0を停止させる必要があります。

備考1. X : Don't care

- m : ユニット番号（m = 0, 1） n : チャンネル番号（n = 0-3） mn = 00, 01, 10-13

(2) 送信時のボー・レート誤差

UART (UART0, UART2, UART3) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 20 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 20 \text{ MHz}$ 時			
	動作クロック (MCK)	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	64	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	64	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	64	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	64	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	64	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	64	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	64	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	39	31250.0 bps	± 0.0 %
38400 bps	$f_{\text{CLK}}/2^2$	64	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	64	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	64	153846 bps	+0.16 %
312500 bps	f_{CLK}	31	312500 bps	± 0.0 %

(3) 受信時のボー・レート許容範囲

UART (UART0, UART2, UART3) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (12.6.5(1) ボー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

図12 - 87 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

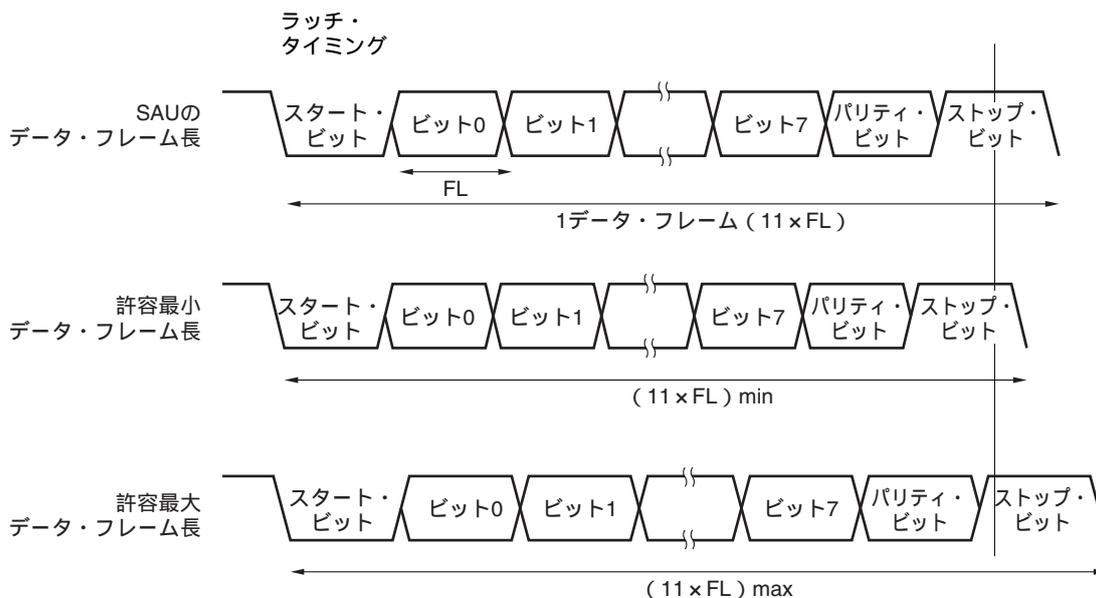


図12 - 87に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) mn = 00, 01, 10-13

12.7 簡易I²C (IIC20) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能もありません。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ・ACK出力機能[※]，ACK検出機能
- ・8ビットのデータ長
（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- ・スタート・コンディション，ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー（ACKエラー）

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信，スレーブ受信
- ・アービトラレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は，SOEmn（SOEmレジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，12.7.3(2) **処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は，**第15章 シリアル・インタフェースIICA**を参照してください。

2. m：ユニット番号（m=1） n：チャンネル番号（n=0） mn=10

簡易I²C (IIC20) に対応しているチャンネルは，SAU1のチャンネル0です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	-	UART0	-
	1	-		-
	2	CSI10 (拡張SFR (3rd SFR) インタフェース専用)	-	-
	3	-	-	-
1	0	CSI20	UART2	IIC20
	1	-	UART3 (LIN-bus対応)	-
	2	-		-
	3	-		-

簡易²I²C (IIC20) の通信動作は、以下の4種類があります。

- ・ アドレス・フィールド送信 (12.7.1項を参照)
- ・ データ送信 (12.7.2項を参照)
- ・ データ受信 (12.7.3項を参照)
- ・ ストップ・コンディション発生 (12.7.4項を参照)

12.7.1 アドレス・フィールド送信

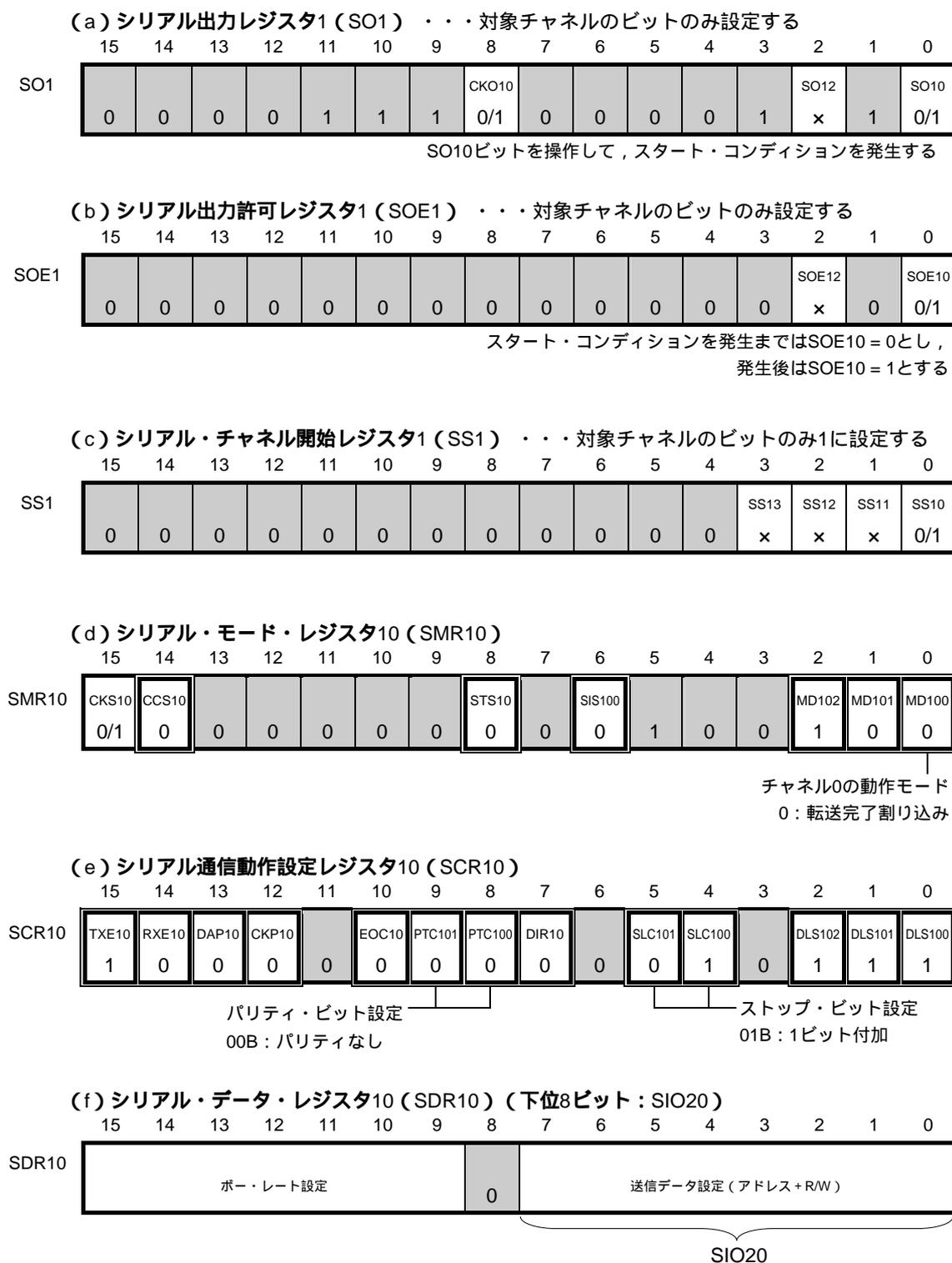
アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、²I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易 ² I ² C	IIC20
対象チャンネル	SAU1のチャンネル0
使用端子	SCL20, SDA20 ^註
割り込み	INTIIC20 転送完了割り込みのみ(バッファ空き割り込みは選択不可)
エラー検出フラグ	パリティ・エラー検出フラグ(PEFmn)
転送データ長	8ビット(上位7ビットをアドレス, 下位1ビットをR/W制御として送信)
転送レート	Max.f _{CLK} /4 [MHz] (SDRmn[15:9] = 1以上) f _{CLK} : システム・クロック周波数 ただし、 ² I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz (ファースト・モード) ・ Max. 100 kHz (標準モード)
データ・レベル	正転出力(デフォルト: ハイ・レベル)
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加(ACK受信タイミング用)
データ方向	MSBファースト

注 簡易²I²Cによる通信を行う場合は、データ入出力端子(SDA20)をポート出力モード・レジスタ1(POM1)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードに設定(POM11 = 1)してください(詳細は4.3 **ポート機能を制御するレジスタ**を参照)。異電位外部デバイスとの通信の場合は、クロック入出力端子(SCL20)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定(POM10 = 1)してください(詳細は、4.4.4 **異電位(2.5 V系)外部デバイスとの接続方法を参照**)。

備考 m: ユニット番号 (m = 1) n: チャンネル番号 (n = 0) mn = 10

(1) レジスタ設定

図12-88 簡易I²C (IIC20) のアドレス・フィールド送信時のレジスタ設定内容例

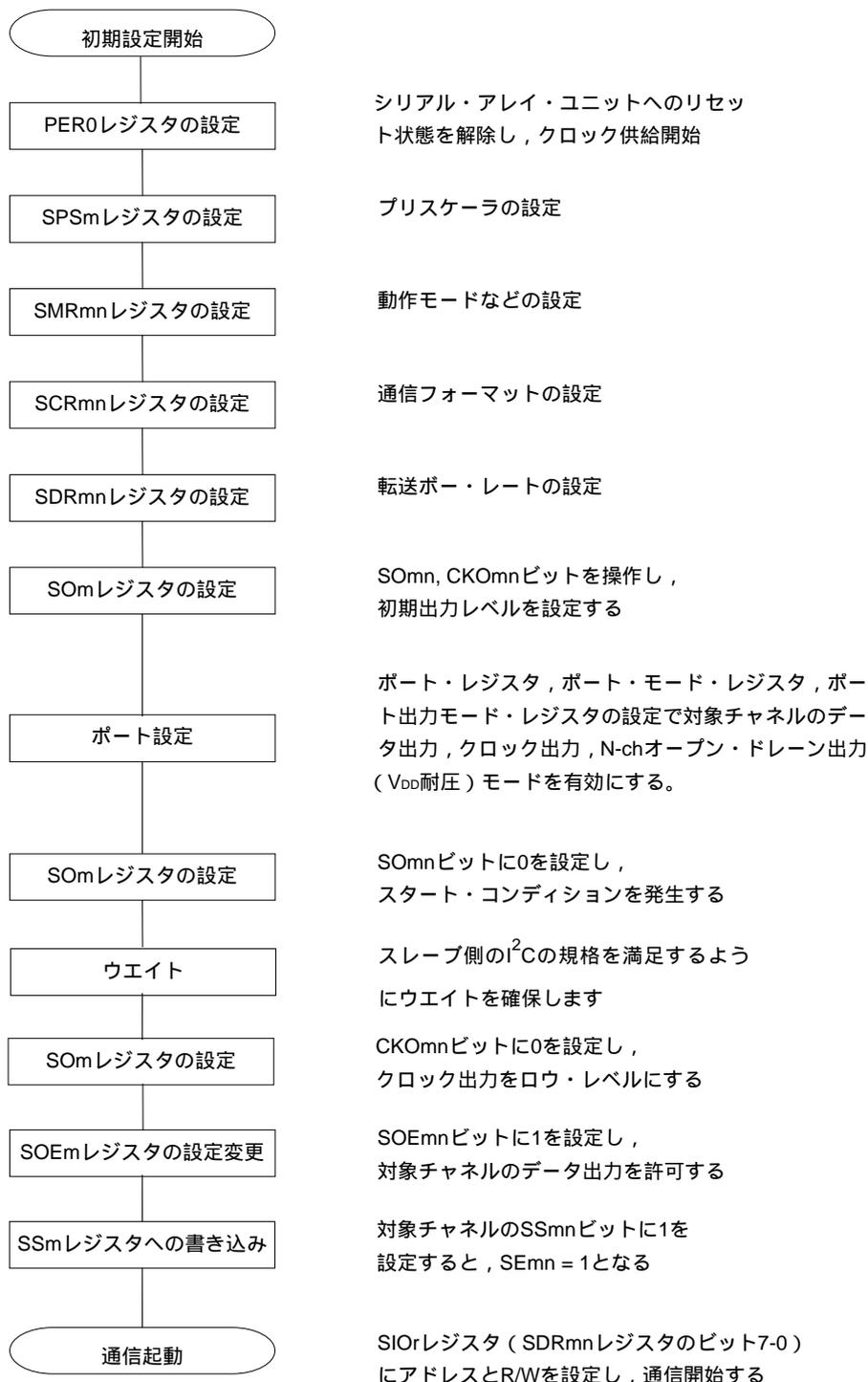
備考 : IICモードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図12 - 89 アドレス・フィールド送信の初期設定手順

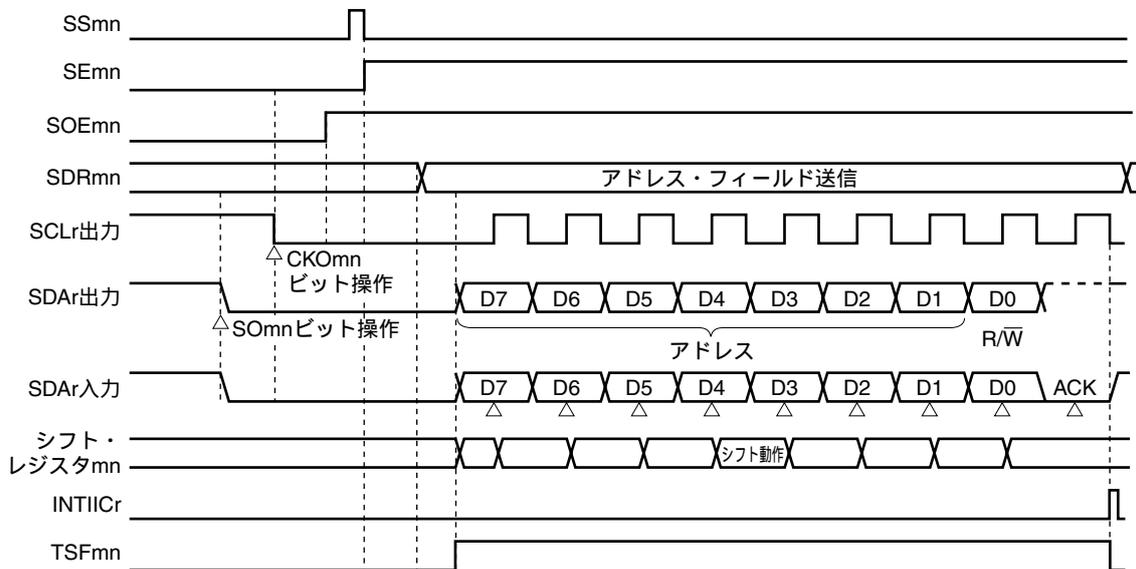


注意 SAUmENを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) mn = 10

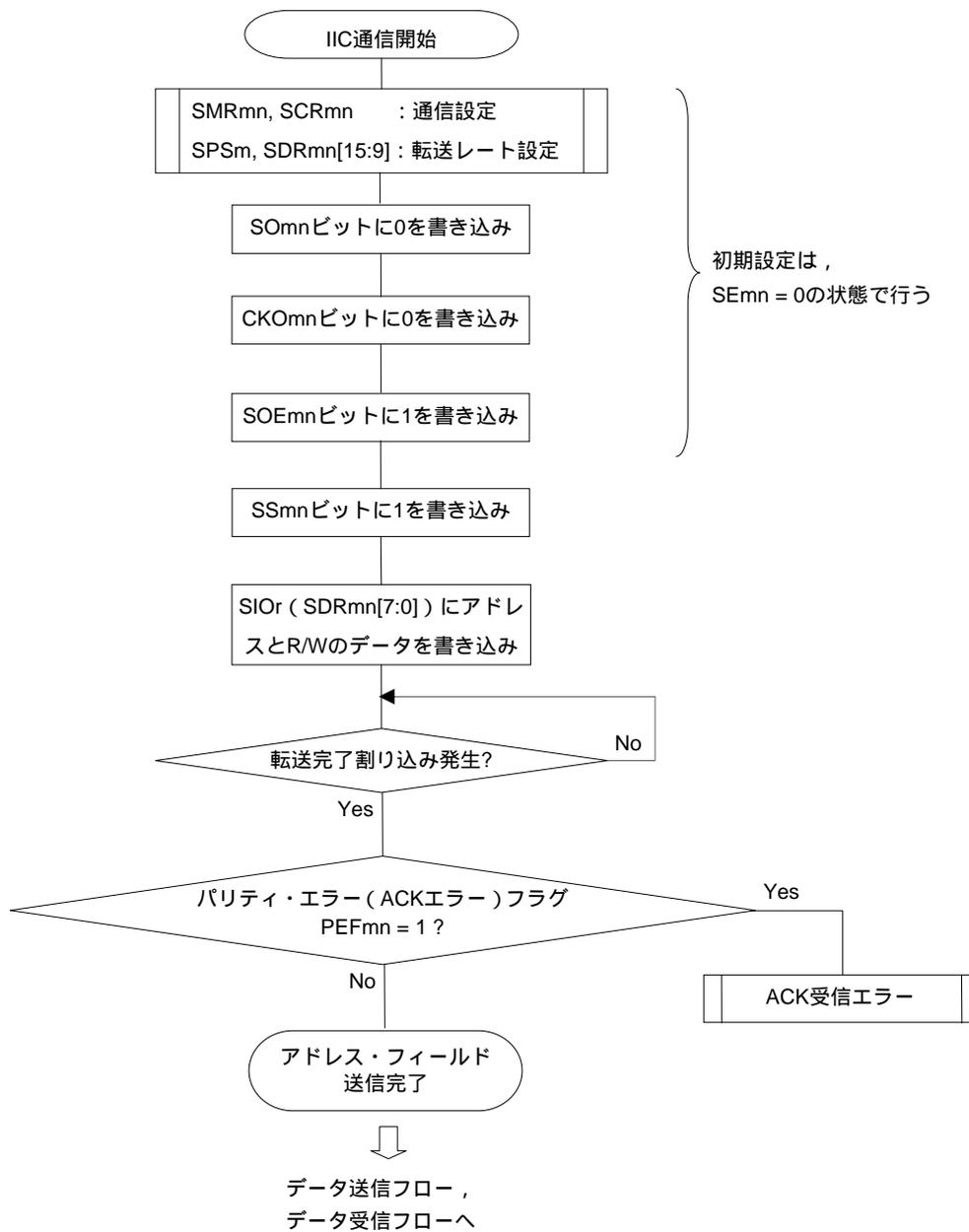
(3) 処理フロー

図12 - 90 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) r : IIC番号 (r = 20) mn = 10

図12 - 91 アドレス・フィールド送信のフロー・チャート



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) mn = 10

12.7.2 データ送信

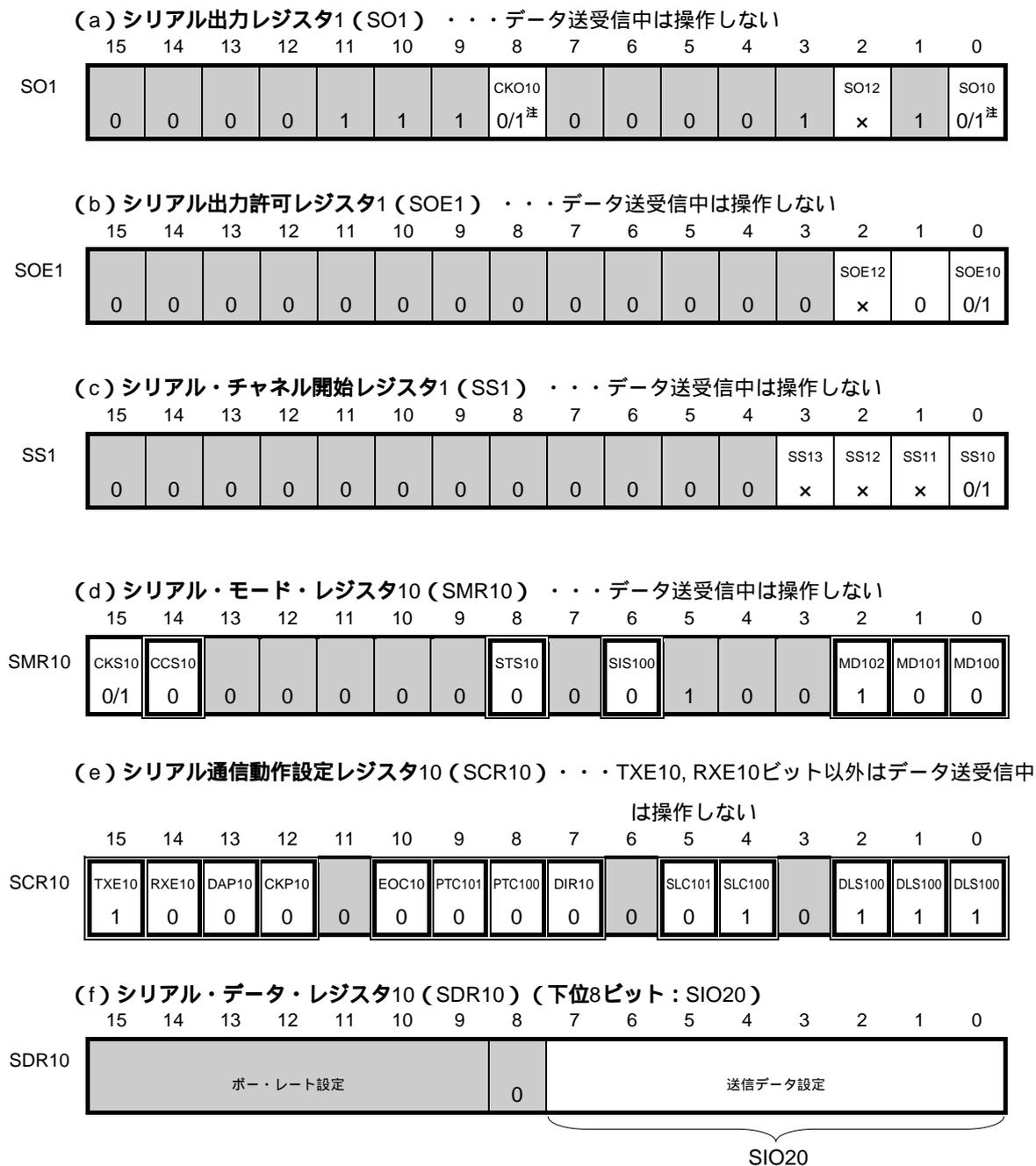
データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC20
対象チャンネル	SAU1のチャンネル0
使用端子	SCL20, SDA20 ^m
割り込み	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）
転送データ長	8ビット
転送レート	Max.f _{CLK} /4 [MHz]（SDRmn[15:9] = 1以上） ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード） f _{CLK} ：システム・クロック周波数
データ・レベル	正転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK受信タイミング用）
データ方向	MSBファースト

注 簡易I²Cによる通信を行う場合は、データ入出力端子（SDA20）をポート出力モード・レジスタ1（POM1）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定（POM11 = 1）してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入出力端子（SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM10 = 1）してください（詳細は、4.4.4 **異電位（2.5 V系）外部デバイスとの接続方法を参照**）。

備考 m：ユニット番号（m = 1） n：チャンネル番号（n = 0） mn = 10

(1) レジスタ設定

図12-92 簡易I²C (IIC20) のデータ送信時のレジスタ設定内容例

注 通信動作中は通信データにより値が変わります。

備考 m: ユニット番号 (m=1) n: チャンネル番号 (n=0) r: IIC番号 (r=20)

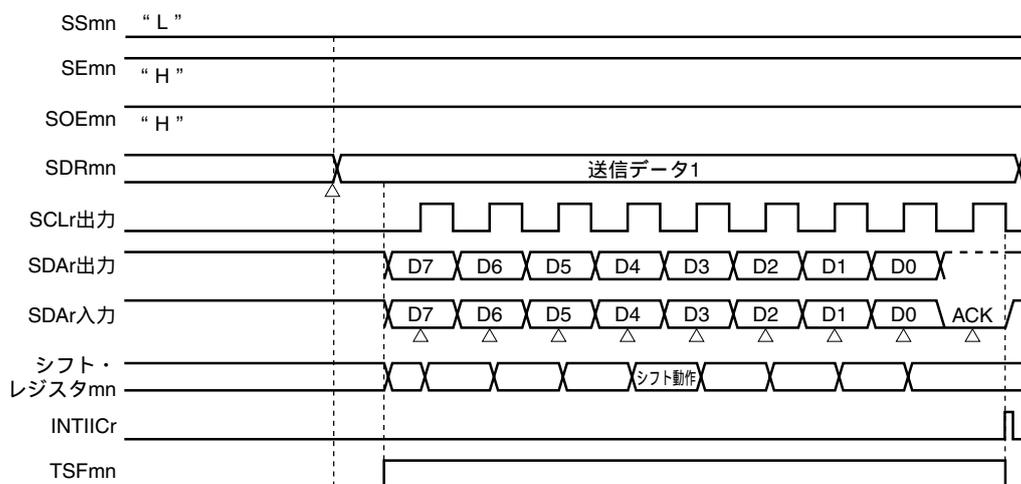
□: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

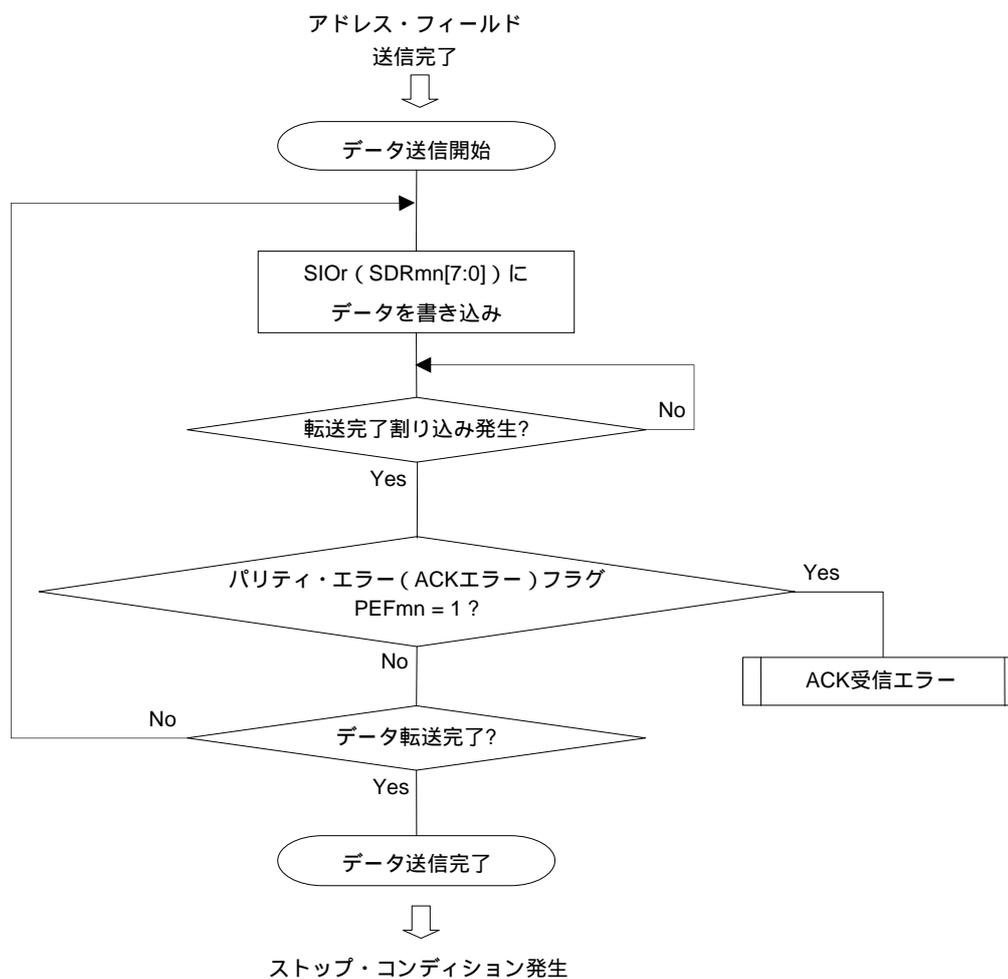
(2) 処理フロー

図12 - 93 データ送信のタイミング・チャート



備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) r : IIC番号 (r = 20) mn = 10

図12 - 94 データ送信のフロー・チャート



備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) mn = 10

12.7.3 データ受信

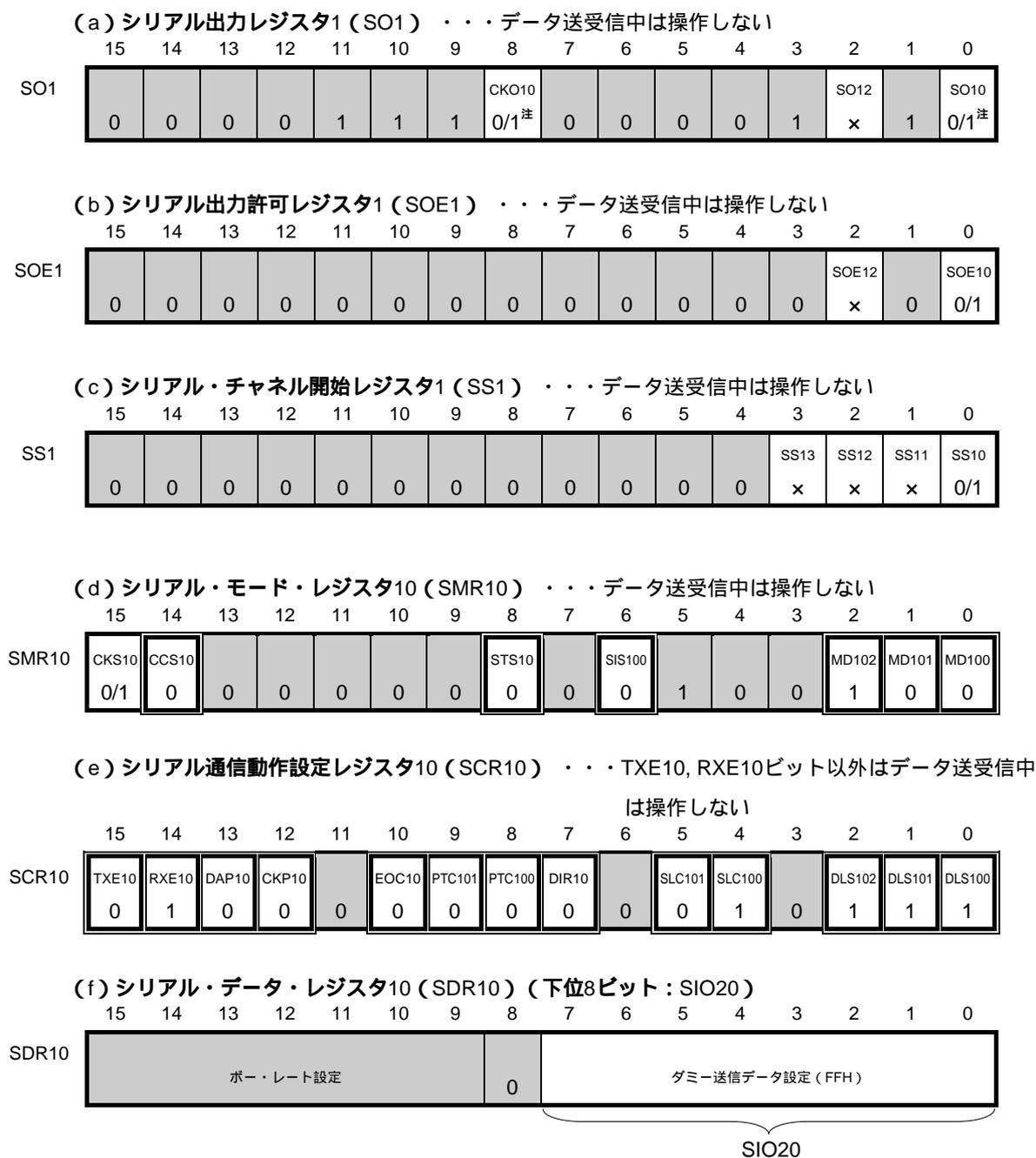
データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC20
対象チャンネル	SAU1のチャンネル0
使用端子	SCL20, SDA20 ^m
割り込み	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	なし
転送データ長	8ビット
転送レート	Max.f _{CLK} /4 [MHz]（SDRmn[15:9] = 1以上） ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード） f _{CLK} ：システム・クロック周波数
データ・レベル	正転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK送信）
データ方向	MSBファースト

注 簡易I²Cによる通信を行う場合は、データ入出力端子（SDA20）をポート出力モード・レジスタ1（POM1）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定（POM11 = 1）してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入出力端子SCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM10 = 1）してください（詳細は、4.4.4 **異電位（2.5 V系）外部デバイスとの接続方法を参照**）。

備考 m：ユニット番号（m = 1） n：チャンネル番号（n = 0） mn = 10

(1) レジスタ設定

図12 - 95 簡易I²C (IIC20) のデータ受信時のレジスタ設定内容例

注 通信動作中は通信データにより値が変わります。

備考 : IICモードでは設定固定 : 設定不可 (初期値を設定)

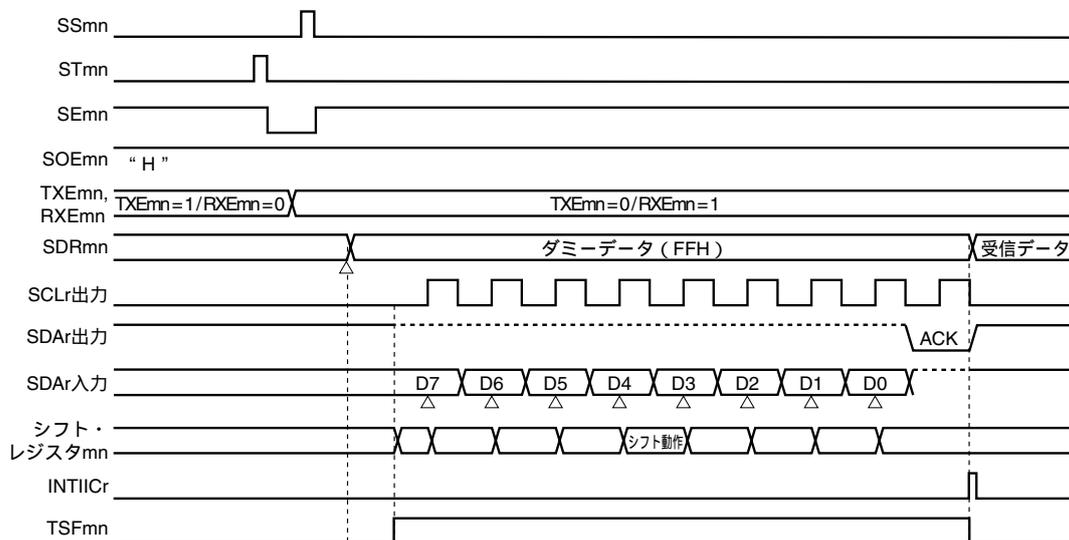
x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

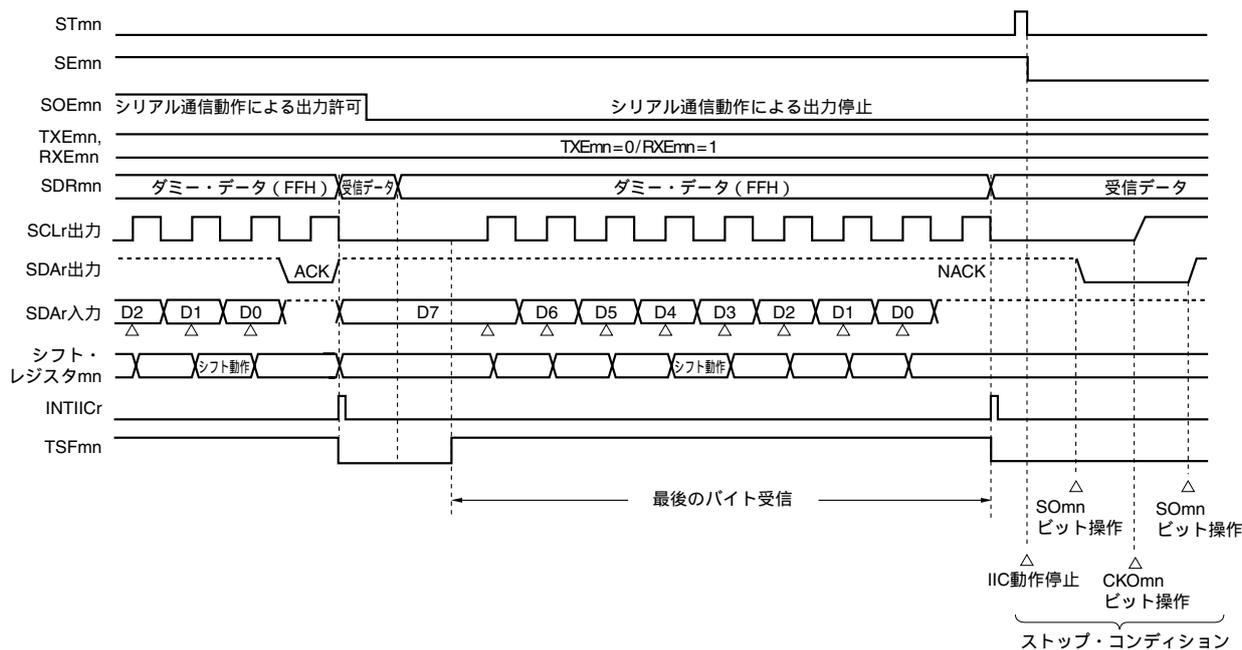
(2) 処理フロー

図12 - 96 データ受信のタイミング・チャート

(a) データ受信開始時

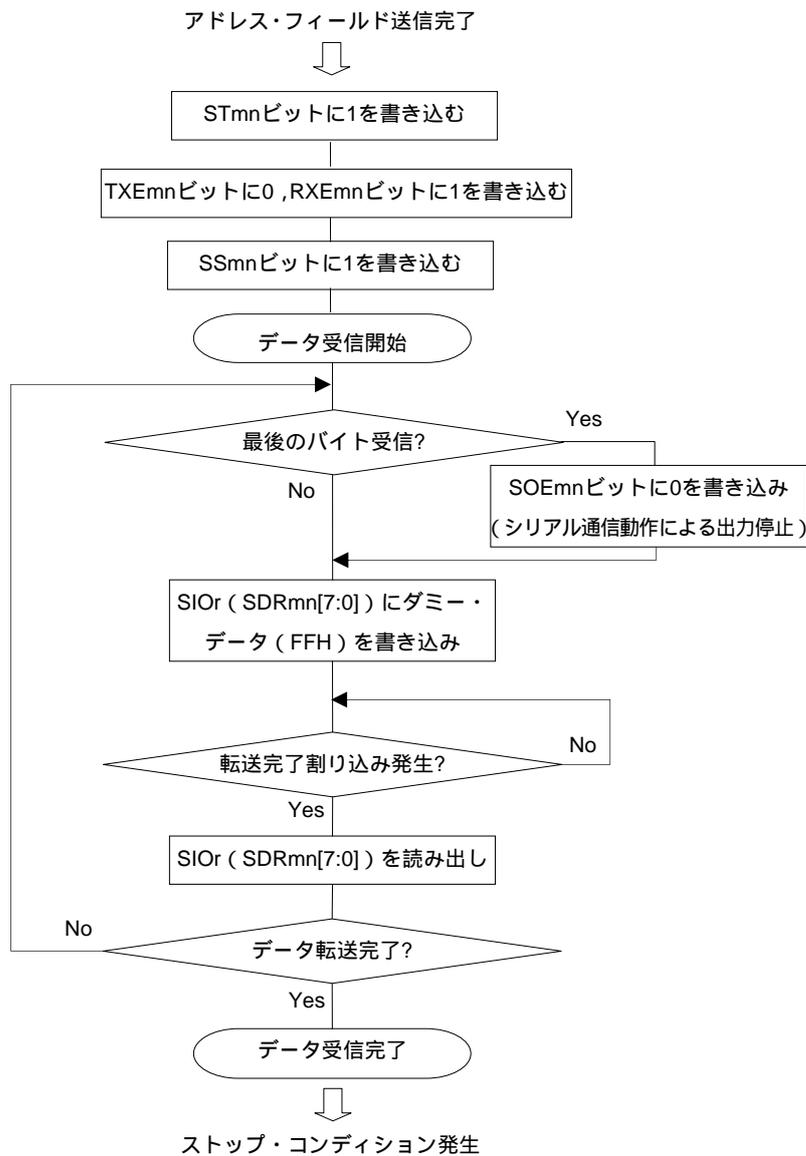


(b) 最終データ受信時



備考 m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) r : IIC番号 (r = 20) mn = 10

図12 - 97 データ受信のフロー・チャート



注意 最終データの受信時もACKを出力します。その後、STmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

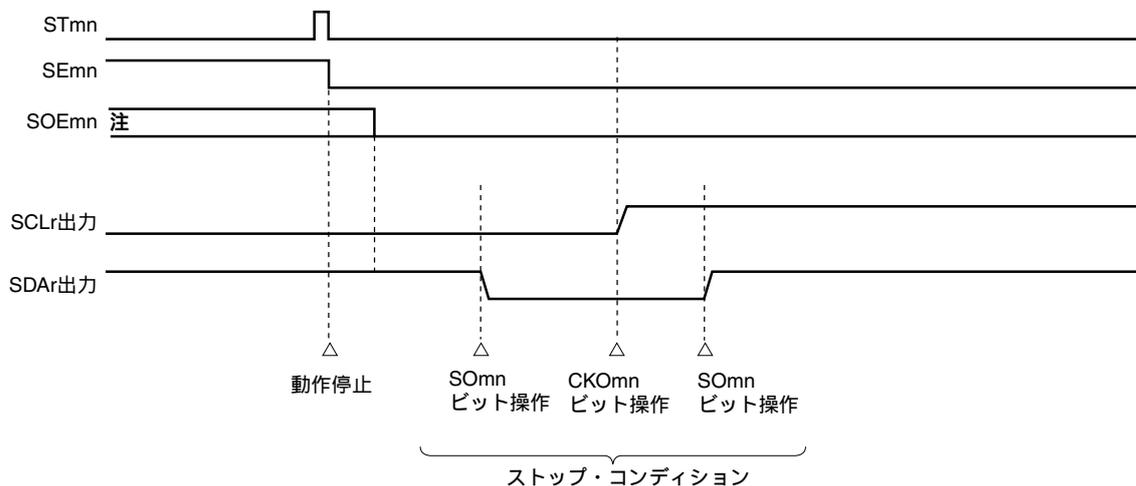
備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) r : IIC番号 (r = 20) mn = 10

12.7.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信 / 受信した後は、ストップ・コンディションを発生し、バスを開放します。

(1) 処理フロー

図12 - 98 ストップ・コンディション発生のタイミング・チャート

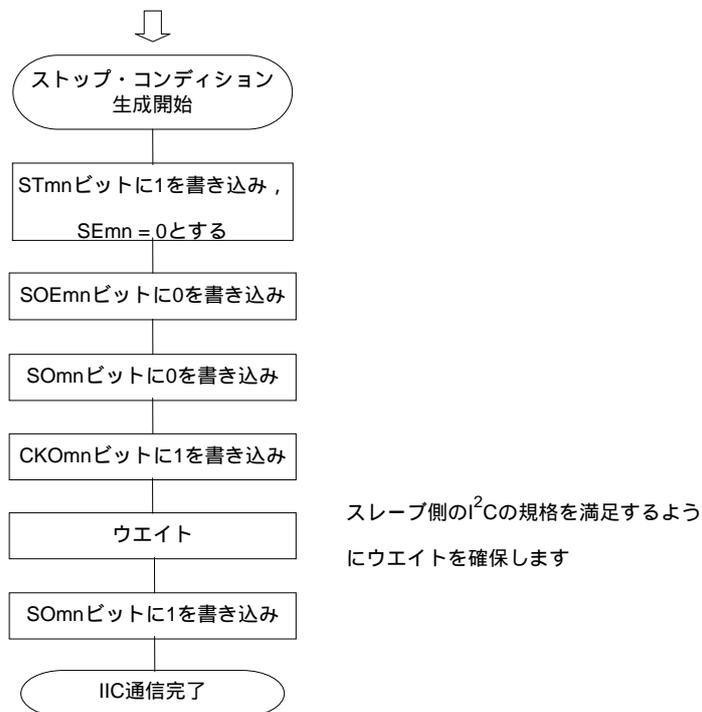


注 受信動作時は最終データを受信する前に、SOEmnビットを0に設定しています。

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) r : IIC番号 (r = 20) mn = 10

図12 - 99 ストップ・コンディション発生のフロー・チャート

データ送信完了 / データ受信完了



備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) mn = 10

12.7.5 転送レートの算出

簡易I²C (IC20) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値 (0000000B-1111111B) なので、0-127 になります。

2. m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) mn = 10

動作クロック (MCK) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表12-4 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (MCK) ^{注1}	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	m = 1の場合 : INTTM03 ^{注2}	
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	1	1	X	X	X	X	m = 1の場合 : INTTM03 ^{注2}	
上記以外									設定禁止	

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAUm）の動作を停止（STm = 000FH）させてから変更してください。動作クロックにINTTM03を選択する場合は、タイマ・アレイ・ユニット（TAU0）も停止（TT0 = 00FFH）させてください。

2. TAU0のチャンネル3において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし（TIS0レジスタのTIS03（m = 1の場合）に“1”を設定）、SPSmレジスタでINTTM03を選択することにより、f_{CLK}の周波数（メイン・システム・クロック、サブシステム・クロック）に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAUm、TAU0を停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 1) n : チャンネル番号 (n = 0) mn = 10

MCK = f_{CLK} = 20 MHzの場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	$f_{CLK} = 20$ MHz時			
	動作クロック (MCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}	99	100 kHz	0.0%
400 kHz	f_{CLK}	24	400 kHz	0.0%

12.8 エラー発生時の処理手順

エラーが発生した場合の処理手順について、各エラー・タイプ別に図12 - 100 ~ 図12 - 102に説明します。

図12 - 100 パリティ・エラーおよびオーバーラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図12 - 101 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
STmnビットに1を設定する	▶ SEMn = 0となり、チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
SSmnビットに1を設定する	▶ SEMn = 1となり、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

図12 - 102 簡易¹2Cモード時のパリティ・エラー (ACKエラー) 発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバーラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出し時のエラーのみをクリアできる
STmnビットに1を設定する	▶ SEMn = 0となり, チャネルnは動作停止状態になる	ACKが返信されていないので, スレーブの受信準備ができていない。そのため, ストップ・コンディションを作成してバスを開放し, 再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し, アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
SSmnビットに1を設定する	▶ SEMn = 1となり, チャネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 1) n : チャネル番号 (n = 0) mn = 10

12.9 レジスタの設定と端子の関係

シリアル・アレイ・ユニット0, 1のチャンネルごとのレジスタの設定と端子の関係を表12 - 5 ~ 表12 - 10示します。

表12 - 5 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : UART0送信)

SE 00 注1	MD 002	MD 001	SOE 00	SO 00	CKO 00	TXE 00	RXE 00	PM 80	P80	PM 81 注2	P81 注2	PM 82	P82	動作モード	端子機能	
															RxD0/ INTP9/ P81注2	TxD0/ P82
0	0	0	0	1	1	0	0	×	×	×	×	×	×	動作停止 モード	INTP9/ P81	P82
	0	1													RxD0/INTP9/ P81	
1	0	1	1	0/1 注4	1	1	0	×	×	×	×	0	1	UART0 送信注5	RxD0/INTP9/ P81	TxD0

- 注1. SE0レジスタは, Read Onlyのステータス・レジスタであり, SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると, この端子はRxD0機能となります (表12 - 6参照)。
その場合, ユニット0のチャンネル0は動作停止モードまたはUART0送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて, 0または1となります。詳細は, 12. 3 (12) シリアル出力レジスタ_m (SO_m) を参照してください。
5. UART0を送信と受信のペアで使用する場合は, ユニット0のチャンネル1をUART0受信に設定にしてください (表12 - 6参照)。

備考 × : dont' care

表12 - 6 レジスタの設定と端子の関係 (ユニット0のチャンネル1 : UART0受信)

SE	MD	MD	SOE	SO	CKO	TXE	RXE	PM	P75	PM	P76	PM	P77	PM	P81	動作	端子機能
01 注1	012	011	01	01	01	01	01	75		76		77		81 注2	注2	動作 モード	RxD0/ INTP9/ P81注2
0	0	0	0	1	1	0	0	x 注3	x 注3	動作 停止 モード	INTP9/ P80						
1	0	1	0	1	1	0	1	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	1	x	UART0 受信 注4,5	RxD0

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると、この端子はRxD0機能となります。その場合、ユニット0のチャンネル0は動作停止モードまたはUART0送信に設定してください(表12 - 5参照)。
3. ポート機能として設定することができます。
4. UART0を送信と受信のペアで使用する場合は、ユニット0のチャンネル0をUART0送信に設定にしてください(表12 - 5参照)。
5. UART0受信時はユニット0のチャンネル0のSMR00レジスタの設定も必要です。詳細は、12. 5. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

表12-7 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)

SE 10 注1	MD 102	MD 101	SOE 10	SO 10	CKO 10	TXE 10	RXE 10	PM 10	P10	PM 11 注2	P11 注2	PM 12	P12	動作モード	端子機能																	
															SCK20/ SCL20/P10	SI20/SDA20/ RxD2/INTP6/ P11注2	SO20/ TxD2/ TO02/P12															
0	0	0	0	1	1	0	0	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	動作停止 モード	P10	INTP6/P11	TO02/P12															
																RxD2/INTP6/ P11																
																INTP6/P11																
1	0	0	0	1	1	0	1	1	x	1	x	x 注3	x 注3	スレーブCSI20 受信	SCK20 (入力)	SI20	TO02/P12															
															1	0/1 注4	1	1	0	1	x	x 注3	x 注3	0	1	スレーブCSI20 送信	SCK20 (入力)	INTP6/P11	SO20			
															1	0/1 注4	1	1	1	1	x	1	x	0	1	スレーブCSI20 送受信	SCK20 (入力)	SI20	SO20			
															0	1	0/1 注4	0	1	0	1	1	x	x 注3	x 注3	マスタCSI20 受信	SCK20 (出力)	SI20	TO02/P12			
															1	0/1 注4	0/1 注4	1	0	0	1	x	x 注3	x 注3	0	1	マスタCSI20 送信	SCK20 (出力)	INTP6/P11	SO20		
															1	0/1 注4	0/1 注4	1	1	0	1	1	x	0	1	マスタCSI20 送受信	SCK20 (出力)	SI20	SO20			
															0	1	1	0/1 注4	1	1	0	x 注3	x 注3	x 注3	x 注3	0	1	UART2 送信注5	P10	RxD2/INTP6/ P11	TxD2	
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	x 注3	x 注3	IIC20 スタート・コン ディション	SCL20	SDA20	TO02/P12															
																		1	0													
																		0	1													
																		1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC20アドレ ス・フィールド 送信	SCL20	SDA20	TO02/P12
																		1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC20データ 送信	SCL20	SDA20	TO02/P12
1	0/1 注4	0/1 注4	0	1	0	1	0	1	x 注3	x 注3	IIC20データ 受信	SCL20	SDA20	TO02/P12																		
0			0	0/1 注7	0/1 注7	0	0	0	1	0	1	x 注3	x 注3	IIC20 ストップ・コン ディション	SCL20	SDA20	TO02/P12															
																		1	0													
																		0	1													

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります(表12-10参照)。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、12.3(12)シリアル出力レジスタm(SOm)を参照してください。
5. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル1をUART2受信に設定にしてください(表12-8参照)。
6. CKO10ビットは、スタート・コンディション発生前は1にセットします。SO10ビットは、スタート・コンディション発生時に1 0にクリアします。
7. CKO10ビットは、ストップ・コンディション発生前は1にセットします。SO10ビットは、ストップ・コンディション発生時に0 1にセットします。

備考 x : dont' care

表12 - 8 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

SE11 ^{注1}	MD112	MD111	TXE11	RXE11	PM11 ^{注2}	P11 ^{注2}	動作 モード	端子機能
								SI20/SDA20/RxD2/INTP6/ P11 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI20/SDA20/INTP6/P11
1	0	1	0	1	1	x	UART2 受信 ^{注4,5}	RxD2

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信に設定してください (表12 - 9参照)。
また、ユニット1のチャンネル0をCSI20またはIIC20に設定すると、この端子はRxD2機能として使用できません。その場合、ユニット1のチャンネル1は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル0をUART2送信に設定にしてください (表12 - 7参照)。
5. UART2受信時はユニット1のチャンネル0のSMR10レジスタの設定も必要です。詳細は、12. 5. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

表12 - 9 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信)

SE12 ^{注1}	MD122	MD121	SOE12	SO12	TXE12	RXE12	PM51	P51	動作モード	端子機能
										TxD3/SEG38/P51
0	0	1	0	1	0	0	×	×	動作停止 モード	SEG38/P51
1	0	1	1	0/1 ^{注3}	1	0	0	1	UART3 送信 ^{注4}	TxD3

- 注1. SE1レジスタは ,Read Onlyのステータス・レジスタであり ,SS1レジスタとST1レジスタにて設定します。
2. ポート機能として設定することができます。
3. 通信動作に応じて、0または1となります。詳細は、12. 3 (12) シリアル出力レジスタ_m (SO_m) を参照してください。
4. UART3を送信と受信のペアで使用する場合は、ユニット1のチャンネル3をUART3受信に設定にしてください (表12 - 10参照)。

表12 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信)

SE13 ^{注1}	MD132	MD131	TXE13	RXE13	PM50	P50	動作 モード	端子機能
								RxD3/SEG38/P50
0	0	1	0	0	×	×	動作停止 モード	SEG38/P50
1	0	1	0	1	1	×	UART3 受信 ^{注3,4}	RxD3

- 注1. SE1レジスタは ,Read Onlyのステータス・レジスタであり ,SS1レジスタとST1レジスタにて設定します。
2. ポート機能として設定することができます。
3. UART3を送信と受信のペアで使用する場合は、ユニット1のチャンネル2をUART3送信に設定にしてください (表12 - 19参照)。
4. UART3受信時はユニット1のチャンネル2のSMR12レジスタの設定も必要です。詳細は、12. 5. 2 (1) レジスタ設定を参照してください。

備考 × : dont' care

第13章 シリアル・インタフェースIICA

13.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

IICAでは、SCL0端子とSDA0端子はオープン・ドレーン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICA) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ1 (IICCTL1) のWUPビットにより設定します。

図13 - 1に、シリアル・インタフェースIICAのブロック図を示します。

図13 - 1 シリアル・インタフェースIICAのブロック図

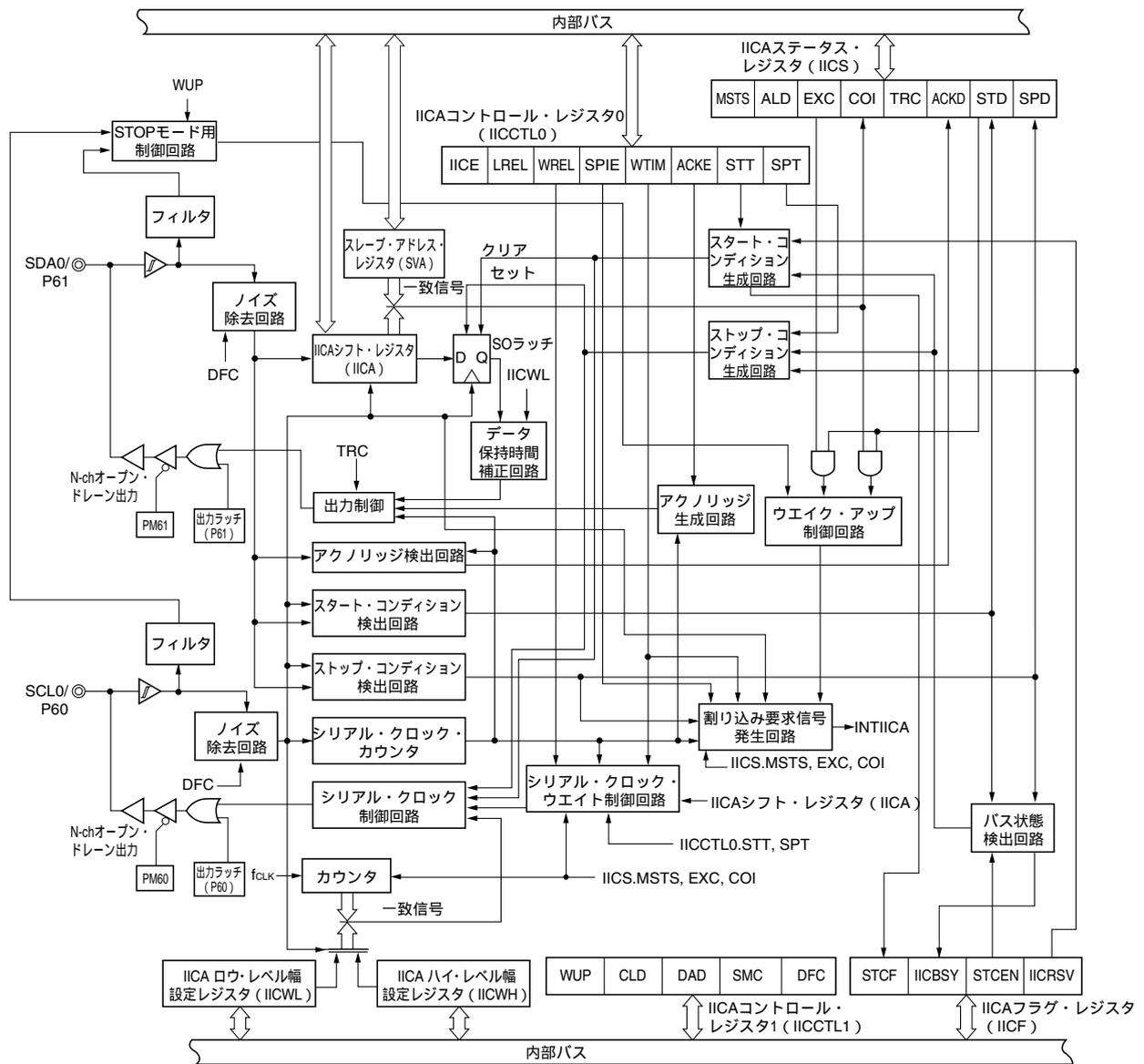
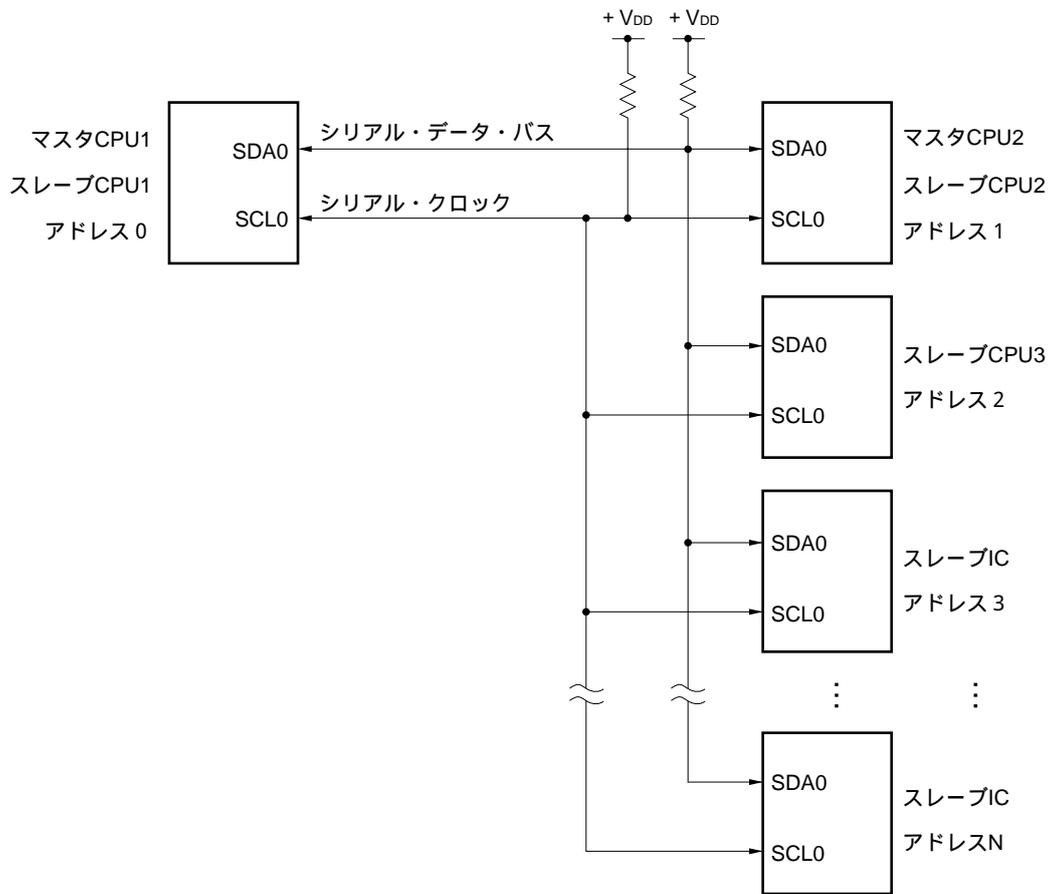


図13 - 2にシリアル・バス構成例を示します。

図13 - 2 I²Cバスによるシリアル・バス構成例



13.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表13-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ (IICA) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ0 (IICCTL0) IICAステータス・レジスタ (IICS) IICAフラグ・レジスタ (IICF) IICAコントロール・レジスタ1 (IICCTL1) IICAロウ・レベル幅設定レジスタ (IICWL) IICAハイ・レベル幅設定レジスタ (IICWH) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICAシフト・レジスタ (IICA)

IICAは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAは送信および受信の両方に使用されます。

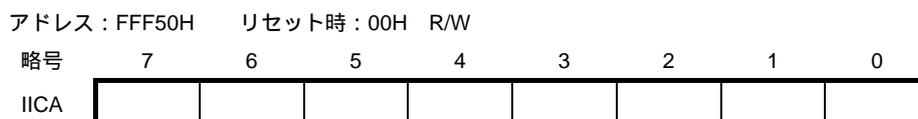
IICAに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウエイト期間中のIICAへの書き込みにより、ウエイトを解除し、データ転送を開始します。

IICAは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-3 IICAシフト・レジスタ (IICA) のフォーマット



- 注意1. データ転送中はIICAにデータを書き込まないでください。
- IICAには、ウエイト期間中にだけ、書き込み/読み出しをしてください。ウエイト期間中を除く通信状態でのIICAへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT) をセット (1) したあと、1回書き込みできます。
 - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAにデータを書き込んでください。

(2) スレープ・アドレス・レジスタ (SVA)

スレープとして使用する場合に、自局アドレスの7ビット { A6, A5, A4, A3, A2, A1, A0 } を格納するレジスタです。

SVAは、8ビット・メモリ操作命令で設定します。

ただし、STD = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図13-4 スレープ・アドレス・レジスタ (SVA) のフォーマット

アドレス : F0234H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
SVA	A6	A5	A4	A3	A2	A1	A0	0 ^注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレープ・アドレス・レジスタ (SVA) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEビットで設定)

備考 WTIMビット : IICAコントロール・レジスタ0 (IICCTL0) のビット3
SPIEビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(9) **アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路,
アクノリッジ検出回路**

各状態の生成および検出を行います。

(10) **データ保持時間補正回路**

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) **スタート・コンディション生成回路**

STTビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVビット = 1)で、かつバスが解放されていない(IICBSYビット = 1)場合には、スタート・コンディション要求は無視し、STCFビットをセット(1)します。

(12) **ストップ・コンディション生成回路**

SPTビットがセット(1)されるとストップ・コンディションを生成します。

(13) **バス状態検出回路**

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STTビット	: IICAコントロール・レジスタ0 (IICCTL0)	のビット1
	SPTビット	: "	のビット0
	IICRSVビット	: IICAフラグ・レジスタ (IICF)	のビット0
	IICBSYビット	: "	のビット6
	STCFビット	: "	のビット7
	STCENビット	: "	のビット1

13.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタ0 (IICCTL0)
- ・IICAフラグ・レジスタ (IICF)
- ・IICAステータス・レジスタ (IICS)
- ・IICAコントロール・レジスタ1 (IICCTL1)
- ・IICAロウ・レベル幅設定レジスタ (IICWL)
- ・IICAハイ・レベル幅設定レジスタ (IICWH)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは、必ずビット4 (IICAEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

IICAEN	シリアル・インタフェースIICAの入力クロックの制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

注意 シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAEN = 1の設定を行ってください。IICAEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

(2) IICAコントロール・レジスタ0 (IICCTL0)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICCTL0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIE, WTIM, ACKEビットは, IICEビット = 0のとき, またはウェイト期間中に設定してください。またIICEビットを"0"から"1"に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00Hになります。

図13-6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (1/4)

アドレス：F0230H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICCTL0	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ (IICS) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE = 0)	セットされる条件 (IICE = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LREL ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ0 (IICCTL0), IICAステータス・レジスタ (IICS) のうち、次のフラグがクリア (0) される。 ・ STT ・ SPT ・ MST5 ・ EXC ・ COI ・ TRC ・ ACKD ・ STD
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL = 0)	セットされる条件 (LREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WREL ^{注2,3}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC = 1) で、9クロック目のウェイト期間中にWRELをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC = 0) にします。	
クリアされる条件 (WREL = 0)	セットされる条件 (WREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

注1. リセットされるのは、IICSレジスタ、IICFレジスタのSTCF、IICBSYビット、IICCTL1レジスタのCLD、DADビットです。

2. IICE = 0の状態では、このビットの信号は無効になります。

3. LREL, WRELビットの読み出し値は常に0になります。

注意 SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態かつ、IICCTL1レジスタのDFC = 1のときにI²Cを動作許可 (IICE = 1) した場合、直後にスタート・コンディションを検出してしまいます。I²Cを動作許可 (IICE = 1) したあと、連続して1ビット・メモリ操作命令により、LRELをセット (1) してください。

図13 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (2/4)

SPIE ^{注1}	ストップ・コンディション検出による割り込み要求発生 of 許可 / 禁止	
0	禁止	
1	許可	
IICCTL1レジスタのWUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE = 0)		セットされる条件 (SPIE = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

WTIM ^{注1}	ウェイトおよび割り込み要求発生 of 制御	
0	8クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビット of 設定にかかわらず、9クロック目の立ち下がり with 割り込みが発生します。アドレス転送終了後このビット of 設定が有効になります。またマスタ時、アドレス転送中 is 9クロック of 立ち下がり to ウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がり with ウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がり with ウェイトに入ります。		
クリアされる条件 (WTIM = 0)		セットされる条件 (WTIM = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

ACKE ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE = 0)		セットされる条件 (ACKE = 1)
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 		<ul style="list-style-type: none"> ・ 命令によるセット

注1. IICE = 0の状態では、このビット of 信号は無効になります。その期間にビット of 設定を行ってください。

2. アドレス転送中 with、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図13 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (3/4)

STT ^注	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	<p>バスが解放されているとき（待機状態、IICBSYが0のとき）： セット（1）すると、スタート・コンディションを生成する（マスタとしての起動）。</p> <p>第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると、バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV = 1） セット（1）してもSTTビットはクリアされ、STTクリア・フラグ（STCF）がセット（1）される。スタート・コンディションは生成しない。</p> <p>ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。</p>	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE = 0に設定し、受信の最後であることをスレーブに伝えたとのウェイト期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 ・SPTと同時セット（1）することは禁止です。 ・STTをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 		
クリアされる条件（STT = 0）		セットされる条件（STT = 1）
<ul style="list-style-type: none"> ・通信予約禁止状態でのSTTのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL = 1（通信退避）によるクリア ・IICE = 0（動作停止）のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICE = 0の状態では、このビットの信号は無効になります。

備考1. ビット1（STT）は、データ設定後に読み出すと0になっています。

2. IICRSV : IICフラグ・レジスタ（IICF）のビット0
 STCF : " のビット7

図13 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (4/4)

SPT	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する (マスタとしての転送終了)。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット (1) 可能です。 ・マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウエイト期間中にセットしてください。 ・STTと同時にセット (1) することは禁止です。 ・SPTのセット (1) は、マスタのときのみ行ってください。 ・WTIM = 0設定時に、8クロック出力後のウエイト期間中にSPTをセット (1) すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIM = 0 1に設定し、9クロック目出力後のウエイト期間中にSPTをセット (1) してください。 ・SPTをセット(1) 後、クリア (0) する前に、再度セット (1) することは禁止です。		
クリアされる条件 (SPT = 0)		セットされる条件 (SPT = 1)
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後、自動的にクリア ・LREL = 1 (通信退避) によるクリア ・IICE = 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注意 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1のとき、9クロック目にWRELをセット (1) してウエイト解除すると、TRCをクリアしてSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウエイト解除は、IICAシフト・レジスタへの書き込みで行ってください。

備考 ビット0 (SPT) は、データ設定後に読み出すと0になっています。

(3) IICAステータス・レジスタ (IICS)

I²Cのステータスを表すレジスタです。

IICSは、STT = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可 (WUP=1) 状態でのIICSレジスタの読み出しは禁止です。WUP = 1の状態から、INTIICA割り込み要求と関係なくWUPビットを1 (ウエイク・アップ動作停止) に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可 (SPIE = 1) して割り込み検出後にIICSレジスタを読み出してください。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
WUP : IICAコントロール・レジスタ1 (IICCTL1) のビット7

図13-7 IICAステータス・レジスタ (IICS) のフォーマット (1/3)

アドレス: FFF51H リセット時: 00H R

略号	7	6	5	4	3	2	1	0
IICS	MSTS	ALD	EXC	COI	TRC	ACKD	STD	SPD

MSTS	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS = 0)		セットされる条件 (MSTS = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD = 1 (アービトレーション負け) のとき ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション生成時

ALD	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTSがクリアされる。	
クリアされる条件 (ALD = 0)		セットされる条件 (ALD = 1)
<ul style="list-style-type: none"> ・IICS読み出し後、自動的にクリア^注 ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・アービトレーションに負けたとき

注 IICSのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD使用時は、ほかのビットよりも先にデータをリードしてください。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
IICE : " のビット7

図13-7 IICAステータス・レジスタ (IICS) のフォーマット (2/3)

EXC	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC = 0)		セットされる条件 (EXC = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが "0000" または "1111" のとき (8クロック目の立ち上がりでセット)

COI	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI = 0)		セットされる条件 (COI = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ (SVA)) と一致したとき (8クロック目の立ち上がりでセット)

TRC	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC = 0)		セットされる条件 (TRC = 1)
<ul style="list-style-type: none"> < マスタ, スレーブ共通 > ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・WREL = 1 (ウエイト解除) によるクリア^注 ・ALD = 0 1 (アービトレーション負け) のとき ・リセット時 ・通信不参加の場合 (MSTS, EXC, COI = 0) < マスタの場合 > ・1バイト目のLSB (転送方向指定ビット) に "1" を出力したとき < スレーブの場合 > ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に "0" を入力したとき 		<ul style="list-style-type: none"> < マスタの場合 > ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "0" (マスタ送信) を出力したとき < スレーブの場合 > ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "1" (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1 (送信状態) のとき, 9クロック目にIICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) をセット (1) してウエイトを解除すると, TRCビットをクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウエイト解除は, IICAシフト・レジスタへの書き込みで行ってください。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
IICE : " のビット7

図13 - 7 IICAステータス・レジスタ (IICS) のフォーマット (3/3)

ACKD	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD = 0)	セットされる条件 (ACKD = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・SCL0の9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

STD	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD = 0)	セットされる条件 (STD = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
	クリアされる条件 (SPD = 0)	セットされる条件 (SPD = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
IICE : " のビット7

(4) IICAフラグ・レジスタ (IICF)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STCF、IICBSYビットは読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止/許可を設定します。

またSTCENにより、IICBSYビットの初期値を設定します。

IICRSV、STCENはI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときのみ書き込み可能です。動作許可後、IICFは読み出し可能となります。

リセット信号の発生により、00Hになります。

図13-8 IICAフラグ・レジスタ (IICF) のフォーマット

アドレス : FFF52H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
IICF	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STTクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STTフラグ・クリア。
クリアされる条件 (STCF = 0)	
<ul style="list-style-type: none"> ・ STT = 1によるクリア ・ IICE = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCF = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず，STTがクリア (0) されたとき 	

IICBSY	I ² Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSY = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN = 0時のIICEのセット 	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE = 1) 後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可 (IICE = 1) 後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCEN = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSV = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

2. STCEN = 1とした場合，実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので，1回目のスタート・コンディションを発行 (STT = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
 IICE : " のビット7

(5) IICAコントロール・レジスタ1 (IICCTL1)

I²Cの動作モードの設定やSCL0, SDA0端子状態を検出するためのレジスタです。

IICCTL1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD、DADビットは読み出しのみ可能です。

IICCTL1レジスタは、WUPビットを除きI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図13-9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (1/2)

アドレス : F0231H リセット時 : 00H R/W^{※1}

略号	7	6	5	4	3	2	1	0
IICCTL1	WUP	0	CLD	DAD	SMC	DFC	0	0

WUP	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
<p>WUP = 1でSTOPモードに移行する場合は、WUPビットをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図13-22 WUP = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPビットをクリア (0) してください。WUPビットをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPビットをクリア (0) したあとに行う必要があります)。</p> <p>WUP = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。</p>	
クリアされる条件 (WUP = 0)	セットされる条件 (WUP = 1)
・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTS, EXC, COI = 0であり、STD = 0 (通信に不参加である事) のとき) ^{※2}

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICSの状態を確認しセットする必要があります。

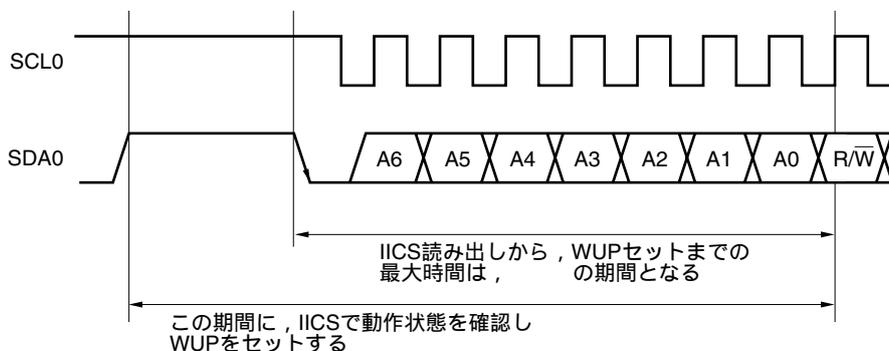


図13 - 9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (2/2)

CLD	SCL0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SCL0端子がロウ・レベルであることを検出	
1	SCL0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD = 0)		セットされる条件 (CLD = 1)
<ul style="list-style-type: none"> ・ SCL0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL0端子がハイ・レベルのとき

DAD	SDA0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SDA0端子がロウ・レベルであることを検出	
1	SDA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD = 0)		セットされる条件 (DAD = 1)
<ul style="list-style-type: none"> ・ SDA0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA0端子がハイ・レベルのとき

SMC	動作モードの切り替え	
0	標準モードで動作	
1	ファーストモードで動作	

DFC	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
<p>デジタル・フィルタは、ファースト・モード時にのみ使用できます。</p> <p>ファースト・モード時はDFCのセット (1) / クリア (0) により、転送クロックが変化することはありません。</p> <p>デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。</p>		

備考 IICE : IICAコントロール・レジスタ0 (IICCTL0) のビット7

(6) IICAロウ・レベル幅設定レジスタ (IICWL)

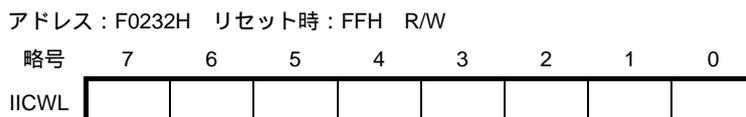
シリアル・インタフェースIICAが、出力するSCL0端子信号のロウ・レベル幅を設定するレジスタです。

IICWLレジスタは、8ビット・メモリ操作命令で設定します。

IICWLレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図13 - 10 IICAロウ・レベル幅設定レジスタ (IICWL) のフォーマット

**(7) IICAハイ・レベル幅設定レジスタ (IICWH)**

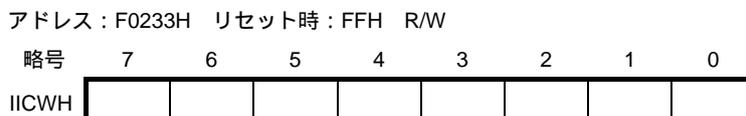
シリアル・インタフェースIICAが、出力するSCL0端子信号のハイ・レベル幅を設定するレジスタです。

IICWHレジスタは、8ビット・メモリ操作命令で設定します。

IICWHレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図13 - 11 IICAハイ・レベル幅設定レジスタ (IICWH) のフォーマット



備考 IICWL, IICWHレジスタによる転送クロックの設定方法は、13. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を参照してください。

(8) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCL0端子をクロック入出力, P61/SDA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE (IICAコントロール・レジスタ0 (IICCTL0) のビット7) が0の場合, P60/SCL0端子およびP61/SDA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICEに1を設定してから, 行ってください。

PM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図13 - 12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n=0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

13.4 I²Cバス・モードの機能

13.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0.....シリアル・クロックを入出力するための端子。

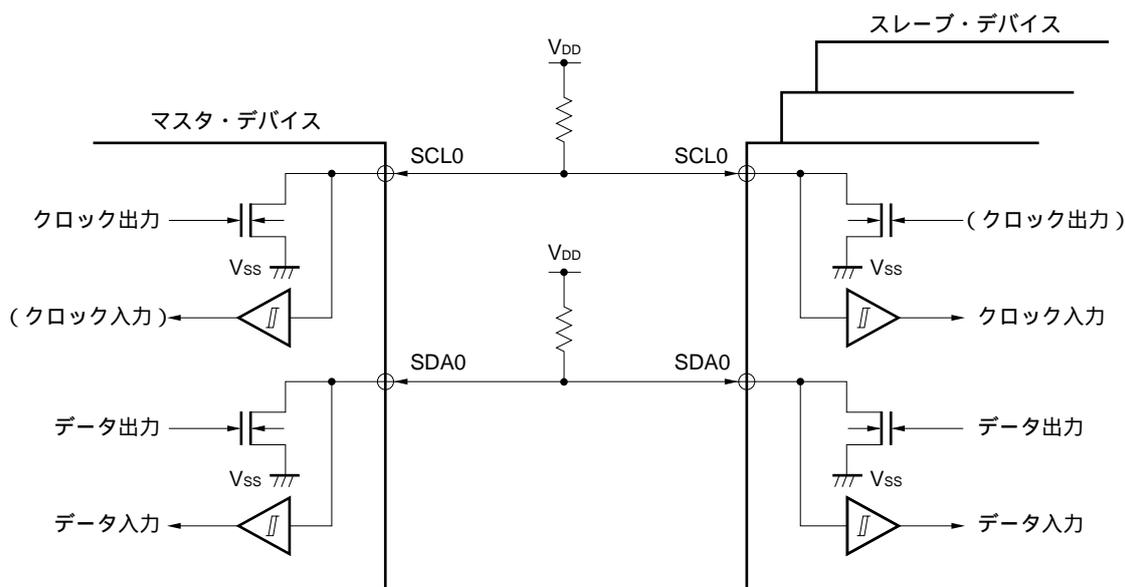
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図13 - 13 端子構成図



13.4.2 IICWL, IICWHレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{CLK}}}{\text{IICWL} + \text{IICWH} + f_{\text{CLK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLとIICWHの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = \frac{0.52}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = \frac{0.47}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

(2) スレーブ側のIICWL, IICWH設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = 1.3 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = 4.7 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

備考1. SDA0, SCL0信号の立ち上がり時間 (t_{R}) と立ち下がり時間 (t_{F}) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

2. IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_{F} : SDA0, SCL0信号の立ち下がり時間

t_{R} : SDA0, SCL0信号の立ち上がり時間

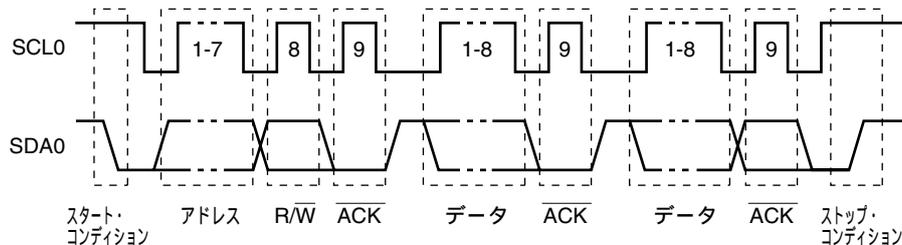
f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

13.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図13-14に示します。

図13-14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

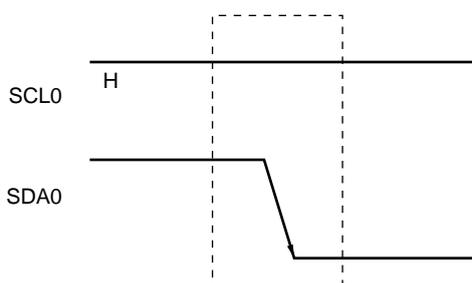
アックノリッジ ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0のロウ・レベル期間を延長し、ウエイトを挿入できます。

13.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図13-15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD: IICAステータス・レジスタ (IICS) のビット0=1) のときにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSのビット1 (STD) がセット (1) されます。

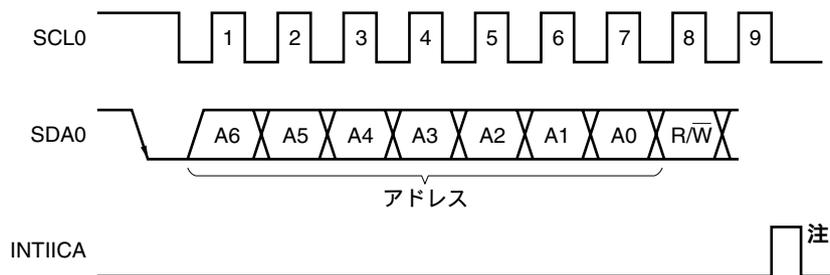
13.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ (SVA) と一致しているかを調べます。このとき、7ビット・データとSVAの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図13 - 16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

アドレスは、スレーブのアドレスと13.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ (IICA) に書き込むと出力します。また、受信したアドレスはIICAに書き込まれます。

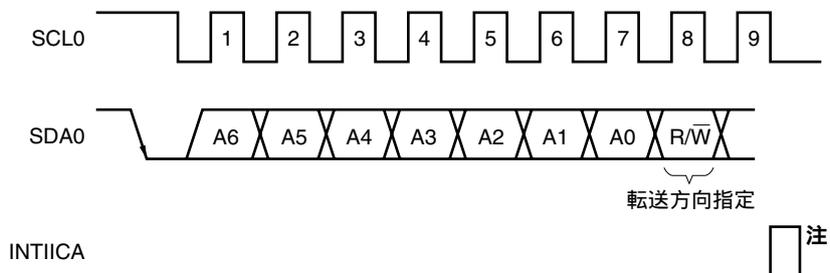
なお、スレーブのアドレスは、IICAの上位7ビットに割り当てられます。

13.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図13 - 17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

13.5.4 アクノリッジ (ACK)

アクノリッジ ($\overline{\text{ACK}}$) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ (IICS) のビット2 (ACKD) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

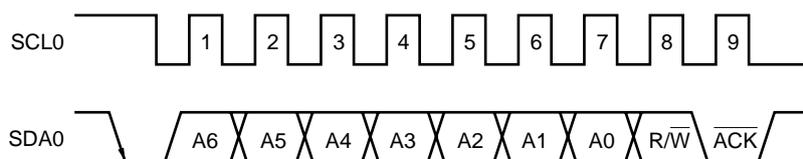
アクノリッジ生成は、受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ0 (IICCTL0) のビット2 (ACKE) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSレジスタのビット3 (TRC) が設定されます。受信 (TRC = 0) の場合は、通常、ACKEをセット (1) してください。

スレーブ受信動作時 (TRC = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図13-18 アクノリッジ



自局アドレス受信時は、ACKEの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・8クロック・ウェイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 0) :

ウェイト解除を行う前にACKEをセット (1) することによって、SCL0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。

- ・9クロック・ウェイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 1) :

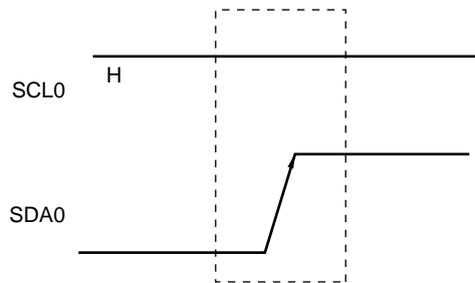
あらかじめACKEをセット (1) することによって、アクノリッジを生成します。

13.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図13 - 19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ0 (IICCTL0) のビット0 (SPT) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ (IICS) のビット0 (SPD) がセット (1) され、IICCTL0のビット4 (SPIE) がセット (1) されている場合にはINTIICAが発生します。

13.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図13 - 20 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE = 1)

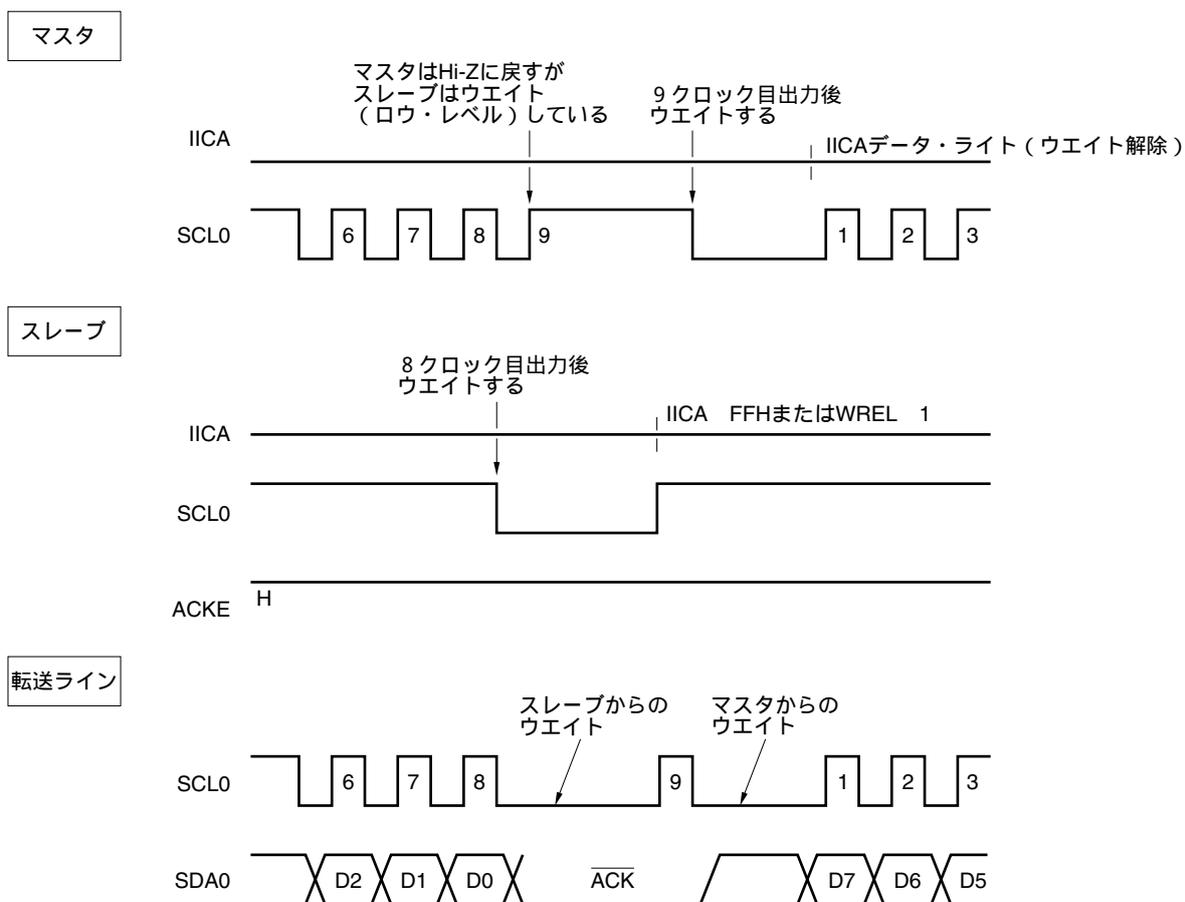
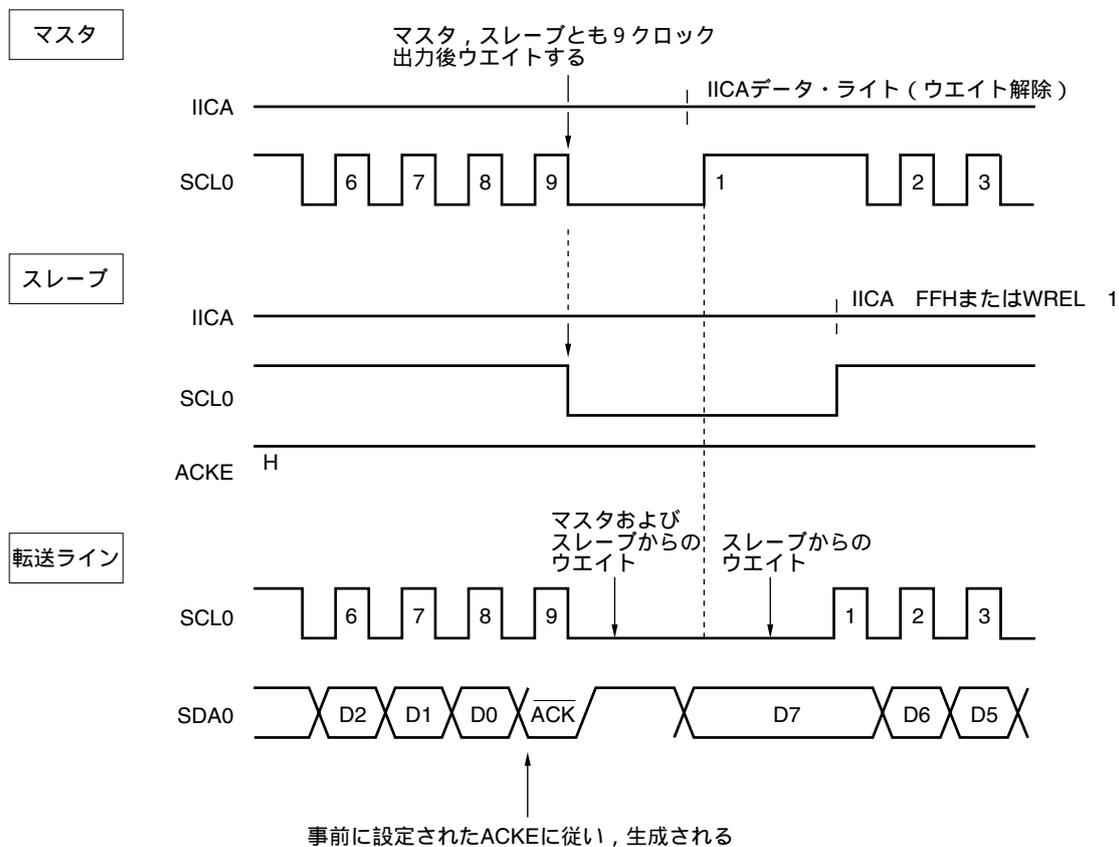


図13 - 20 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE = 1)



備考 ACKE : IICAコントロール・レジスタ0 (IICCTL0) のビット2

WREL : " のビット5

ウェイトは、IICAコントロール・レジスタ0 (IICCTL0) のビット3 (WTIM) の設定により自動的に発生します。

通常、受信側はIICCTL0レジスタのビット5 (WRELビット) = 1またはIICAシフト・レジスタ (IICA) にFFHを書き込むとウェイトを解除し、送信側はIICAレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICCTL0のビット1 (STT) = 1
- ・ IICCTL0のビット0 (SPT) = 1

13.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICCTL0のビット1 (STT) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICCTL0のビット0 (SPT) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELにセット (1) によるウェイト解除後、IICAへのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIICAへの書き込みタイミングの競合により、SDA0への出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTL0のビット6 (LREL) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 WUP (IICAコントロール・レジスタ1 (IICCTL1) のビット7) = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

13.5.8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ0 (IICCTL0) のビット3 (WTIM) の設定で、表13 - 2に示すタイミングでINTIICAが発生し、また、ウェイト制御を行います。

表13 - 2 INTIICA発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICA信号およびウェイトは、スレーブ・アドレス・レジスタ (SVA) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTL0のビット2 (ACKE) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりですべてINTIICAが発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIICAが発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ (SVA) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAもウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAは、ストップ・コンディションを検出すると発生します (SPIE = 1のときのみ)。

13. 5. 9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ (SVA) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA割り込み要求が発生します。

13. 5. 10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICAシフト・レジスタ (IICA) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

13.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC)をセット(1)し、8クロック目の立ち下がりで割り込み要求(INTIICA)を発生します。

スレーブ・アドレス・レジスタ(SVA)に格納された自局アドレスは影響しません。

(2) SVAレジスタに“11110xx0”が設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIICA)は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 : EXC = 1

・7ビット・データの一致 : COI = 1

備考 EXC : IICAステータス・レジスタ(IICS)のビット5

COI : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ0(IICCTL0)のビット6(LREL) = 1に設定してください。次の通信待機状態にします。

表13-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

13. 5. 12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合(STD = 1になる前にSTT = 1にしたとき) , データが異なるまでクロックの調整をしながら , マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは , アービトレーションに負けたタイミングで , IICAステータス・レジスタ (IICS) のアービトレーション負けフラグ (ALD) をセット (1) し , SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは , 次の割り込み要求発生タイミング (8または9クロック目 , ストップ・コンディション検出など) で , ソフトウェアでALD = 1になっていることで検出します。

割り込み要求発生タイミングについては , 13. 5. 8 **割り込み要求 (INTIICA) の発生タイミングおよびウェイト制御**を参照してください。

備考 STD : IICAステータス・レジスタ (IICS) のビット1
STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

図13 - 21 アービトレーション・タイミング例

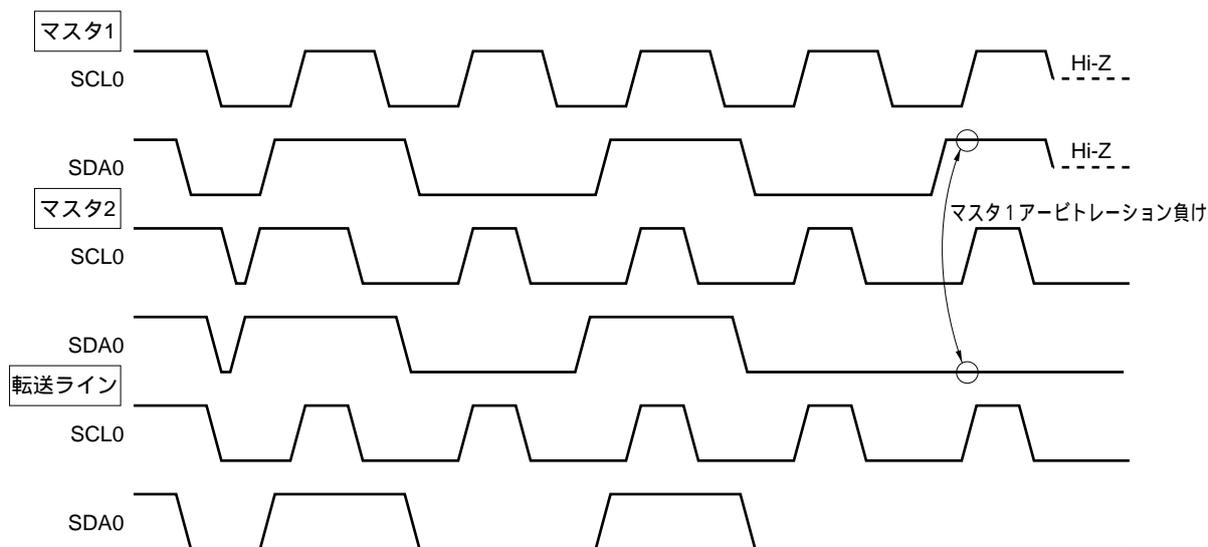


表13-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0がロウ・レベル	

注1. WTIM (IICAコントロール・レジスタ0 (IICCTL0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE = 1に設定してください。

備考 SPIE : IICAコントロール・レジスタ0 (IICCTL0) のビット 4

13.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生する機能です。

アドレスが一致しないときは不要なINTIICA信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICAコントロール・レジスタ0 (IICCTL0) のビット4 (SPIE) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUP = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生します。この割り込み発生後に命令でWUPビットをクリア (0) することで通常動作に戻ります。

WUP = 1に設定する場合のフローを図13 - 22に、アドレス一致によりWUP = 0に設定する場合のフローを図13 - 23に示します。

図13 - 22 WUP = 1を設定する場合のフロー

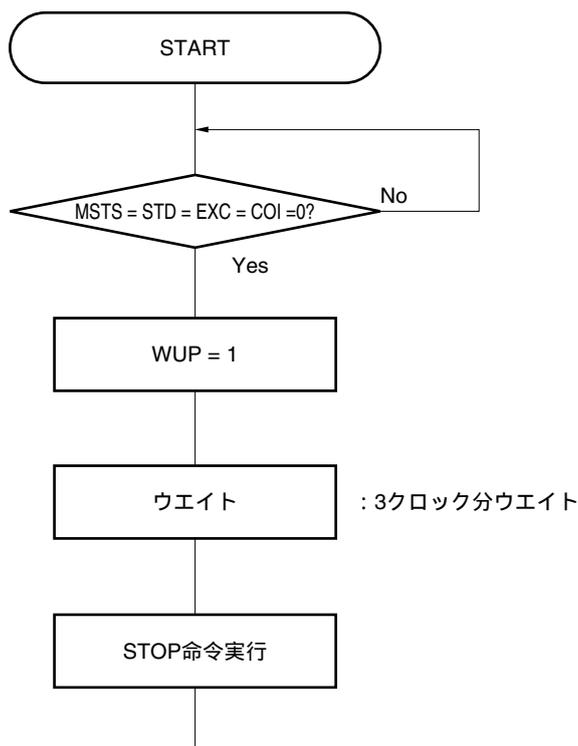
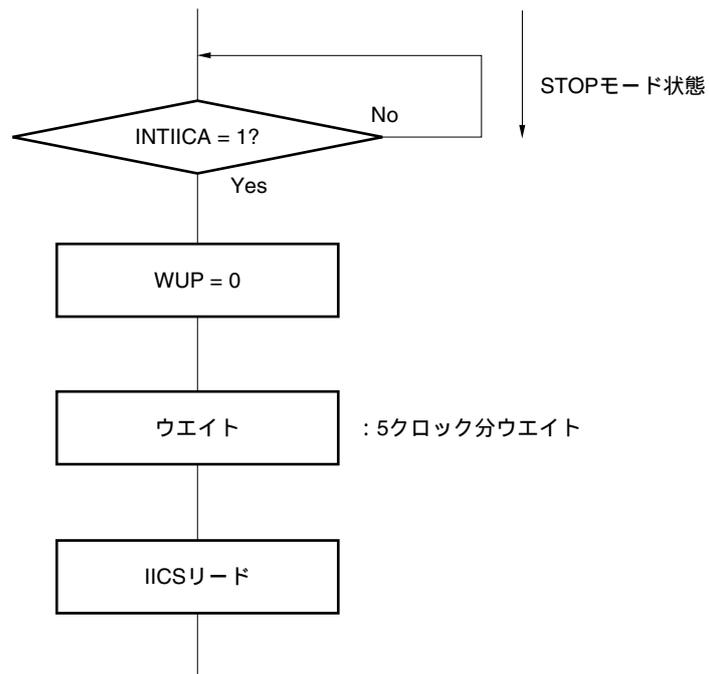


図13 - 23 アドレス一致によりWUP = 0に設定する場合のフロー（拡張コード受信含む）

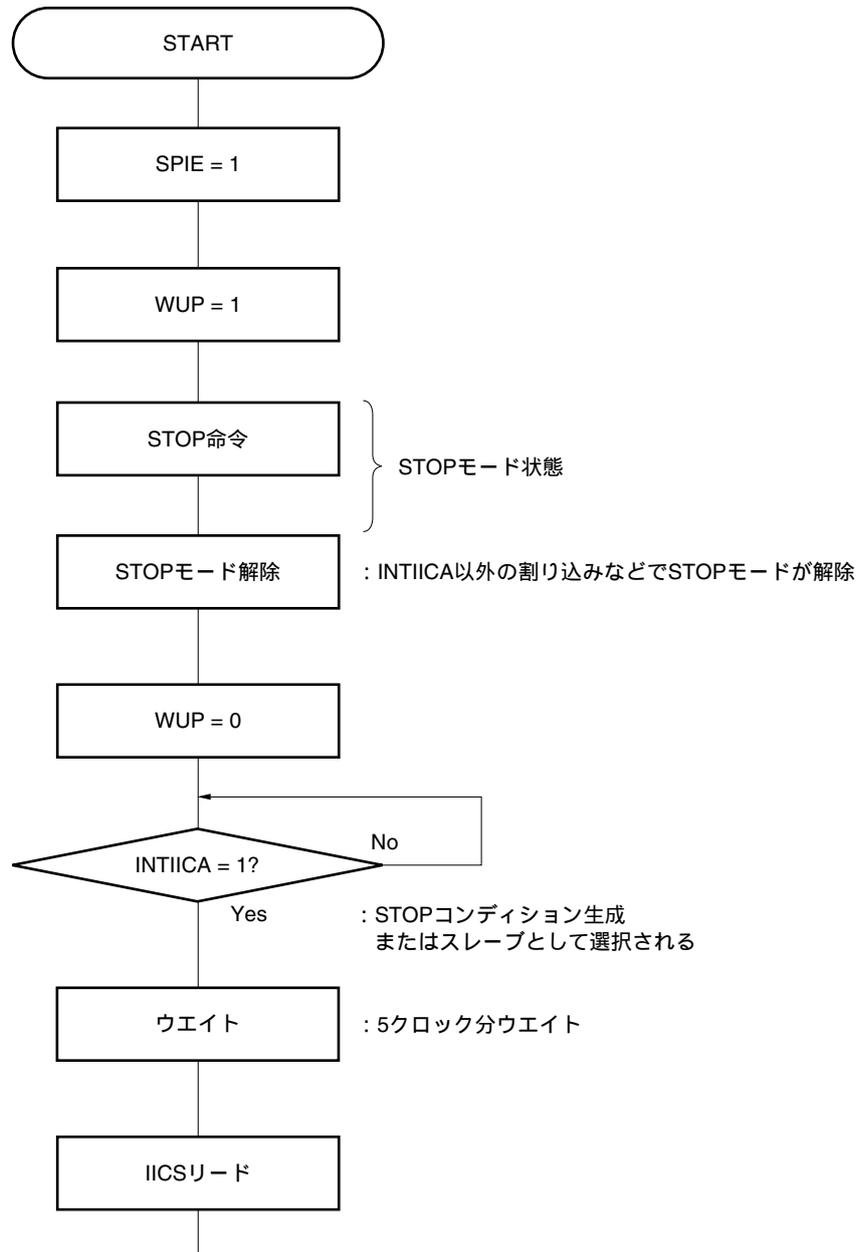


シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求 (INTIICA) 以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・マスタとして動作させる場合 : 図13 - 24のフロー
- ・スレーブとして動作させる場合 : 図13 - 23のフローと同じになります。

図13 - 24 INTIICA以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

13.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICAコントロール・レジスタ0 (IICCTL0) のビット6 (LREL) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTL0のビット1 (STT) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICCTL0のビット4 (SPIE) をセット (1) し、割り込み要求信号 (INTIICA) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ (IICA) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAに書き込まれたデータは、無効です。

STTをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態)通信予約

通信予約として動作するかどうかは、STTをセット (1) し、ウエイト時間をとったあと、MSTS (IICAステータス・レジスタ (IICS) のビット7) で確認します。

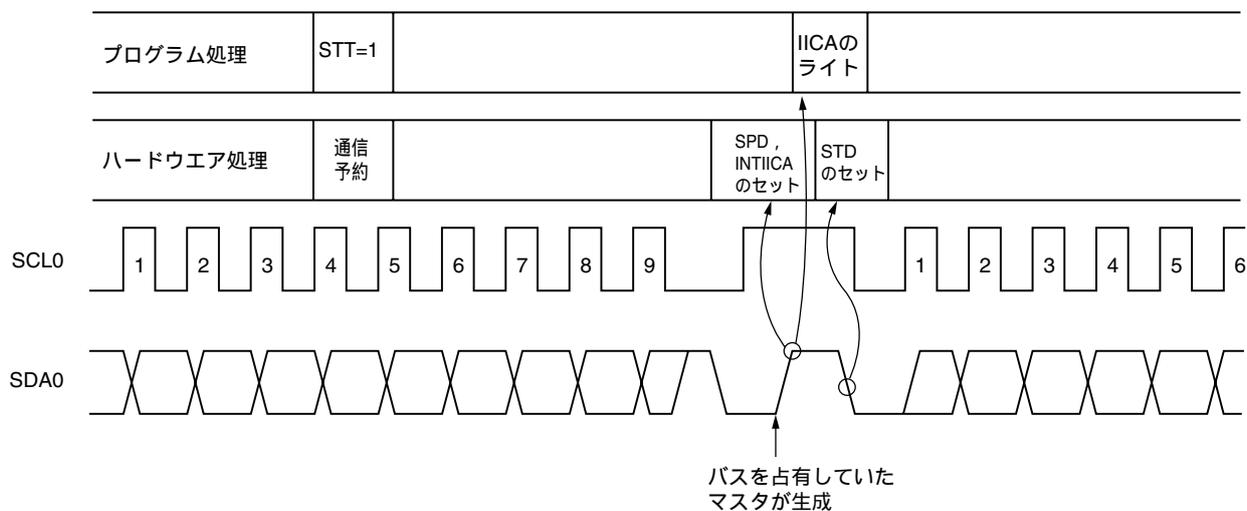
ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

$$\text{STT} = 1 \text{ から MSTS フラグ 確認 までの ウエイト 時間 : } \\ (\text{IICWL の 設定 値} + \text{IICWH の 設定 値} + 4 \text{ クロック}) / f_{\text{CLK}} + t_{\text{F}} \times 2$$

- 備考**
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_{F} : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

通信予約のタイミングを図13 - 25に示します。

図13 - 25 通信予約のタイミング



備考 IICA : IICAシフト・レジスタ

STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

STD : IICAステータス・レジスタ (IICS) のビット1

SPD : " のビット0

通信予約は図13 - 26に示すタイミングで受け付けられます。IICAステータス・レジスタ (IICS) のビット1 (STD) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) = 1で通信予約をします。

図13 - 26 通信予約受け付けタイミング

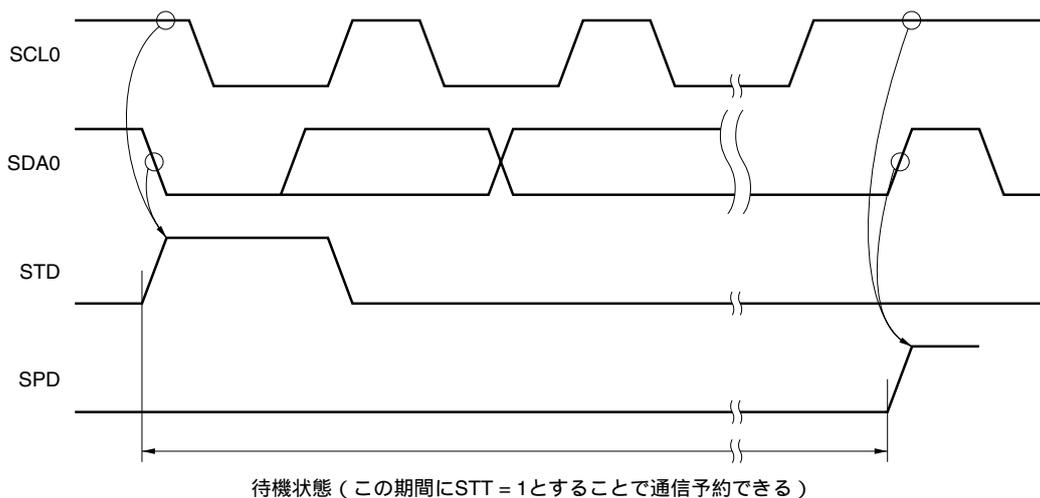
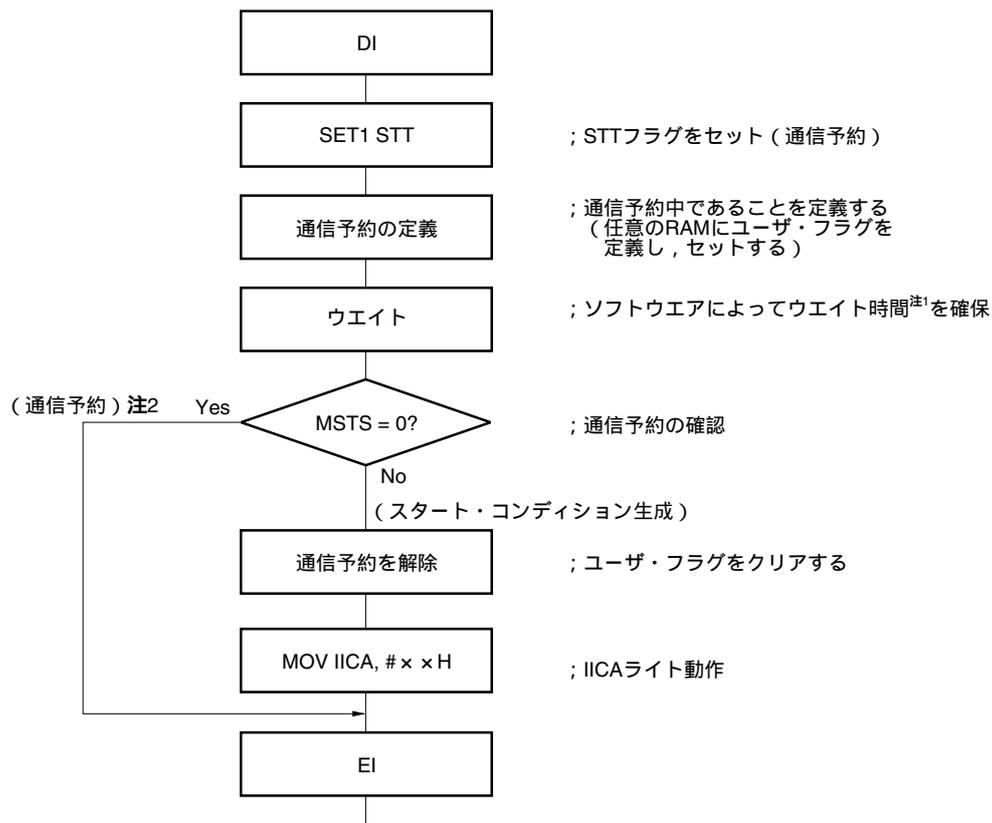


図13 - 27に通信予約の手順を示します。

図13 - 27 通信予約の手順



注1. ウエイト時間は次のようになります。

$$(\text{IICWLの設定値} + \text{IICWHの設定値} + 4\text{クロック}) / \text{fCLK} + \text{tF} \times 2$$

2. 通信予約動作時は, ストップ・コンディション割り込み要求でIICAシフト・レジスタ (IICA) への書き込みを実行します。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

MSTS : IICAステータス・レジスタ (IICS) のビット7

IICA : IICAシフト・レジスタ

IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

tF : SDA0, SCL0信号の立ち下がり時間

fCLK : CPU / 周辺ハードウェア・クロック周波数

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態 (IICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT)) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTL0のビット6 (LREL) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF (IICFのビット7) で確認できます。STT = 1としてからSTCFがセット (1) されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

13.5.15 その他の注意事項

(1) STCEN = 0の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICAコントロール・レジスタ1 (IICCTL1) を設定する

IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) をセット (1) する

IICCTL0のビット0 (SPT) をセット (1) する

(2) STCEN = 1の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

IICCTL0のビット4 (SPIE) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA) 発生を禁止する

IICCTL0のビット7 (IICE) をセット (1) し、I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICEをセット (1) してから、4~80クロック中) に、IICCTL0のビット6 (LREL) をセット (1) にし、強制的に検出を無効とする

(4) STT, SPT (IICCTL0のビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIE (IICCTL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAに通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS (IICSのビット7) を検出する場合には、SPIEをセット (1) する必要はありません。

13.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

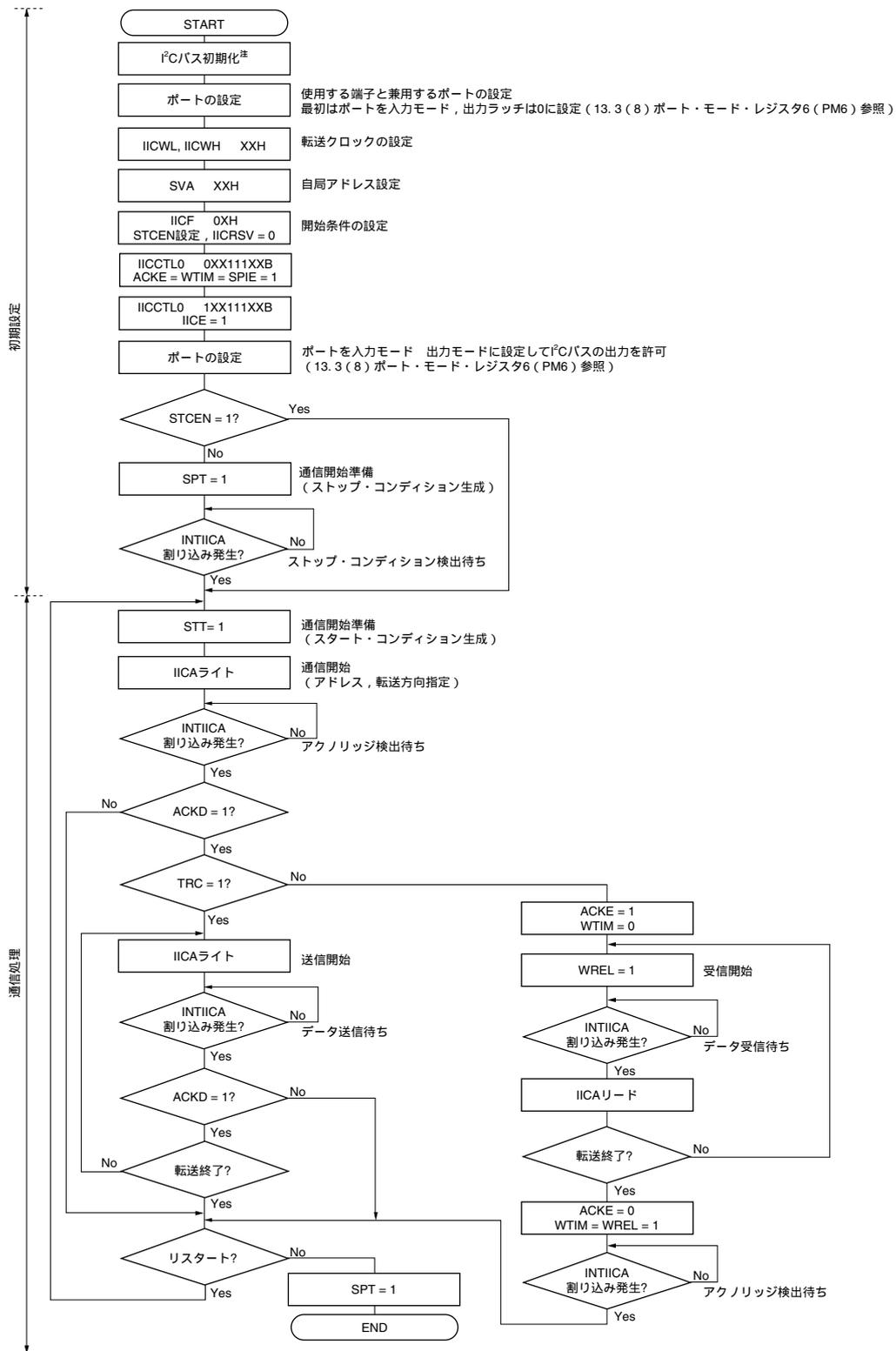
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA割り込みの発生を待ちます。INTIICA割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図13-28 シングルマスタ・システムでのマスタ動作

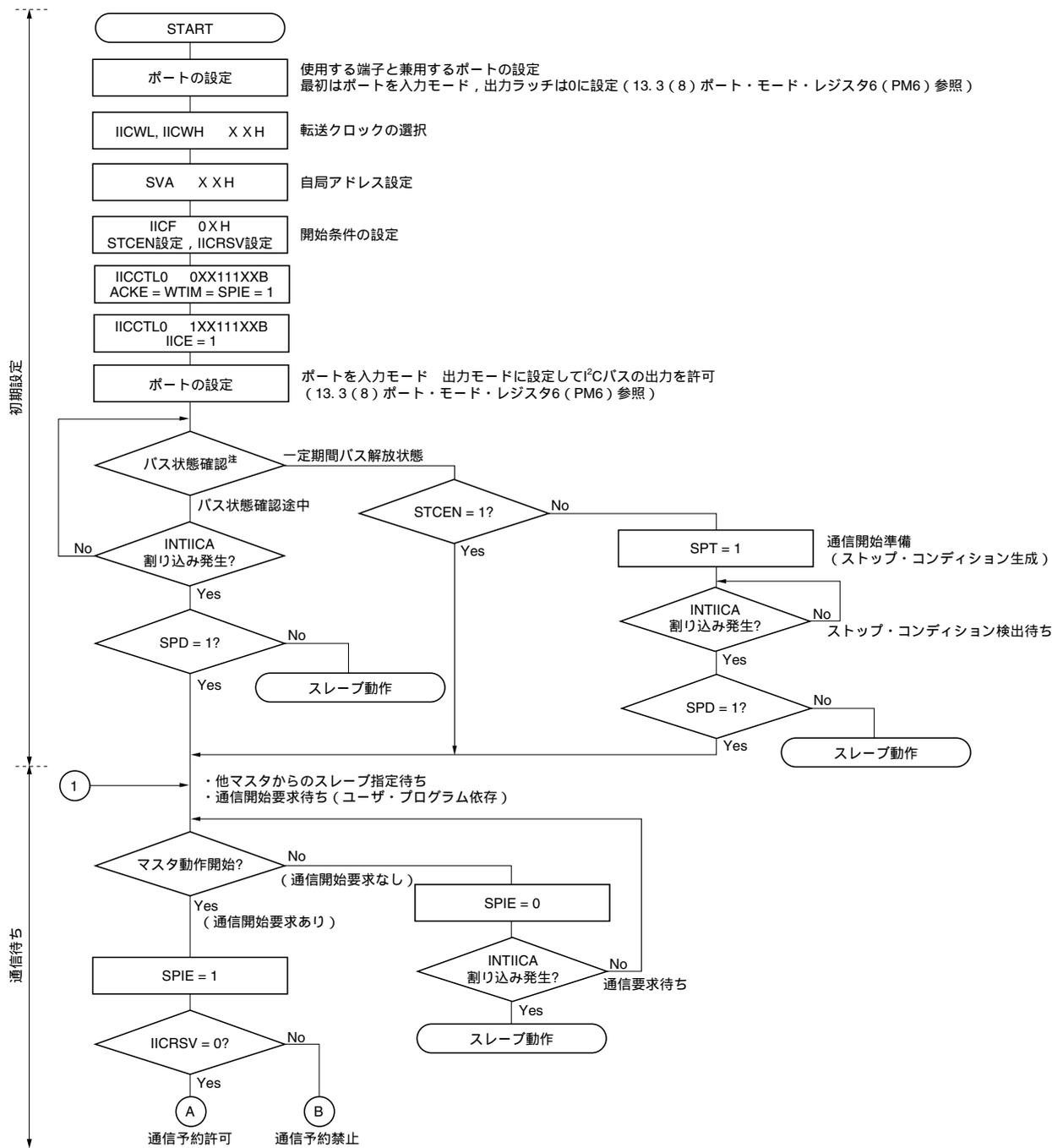


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0端子にロウ・レベルを出力した状態であれば、SCL0端子を出力ポートに設定し、SDA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

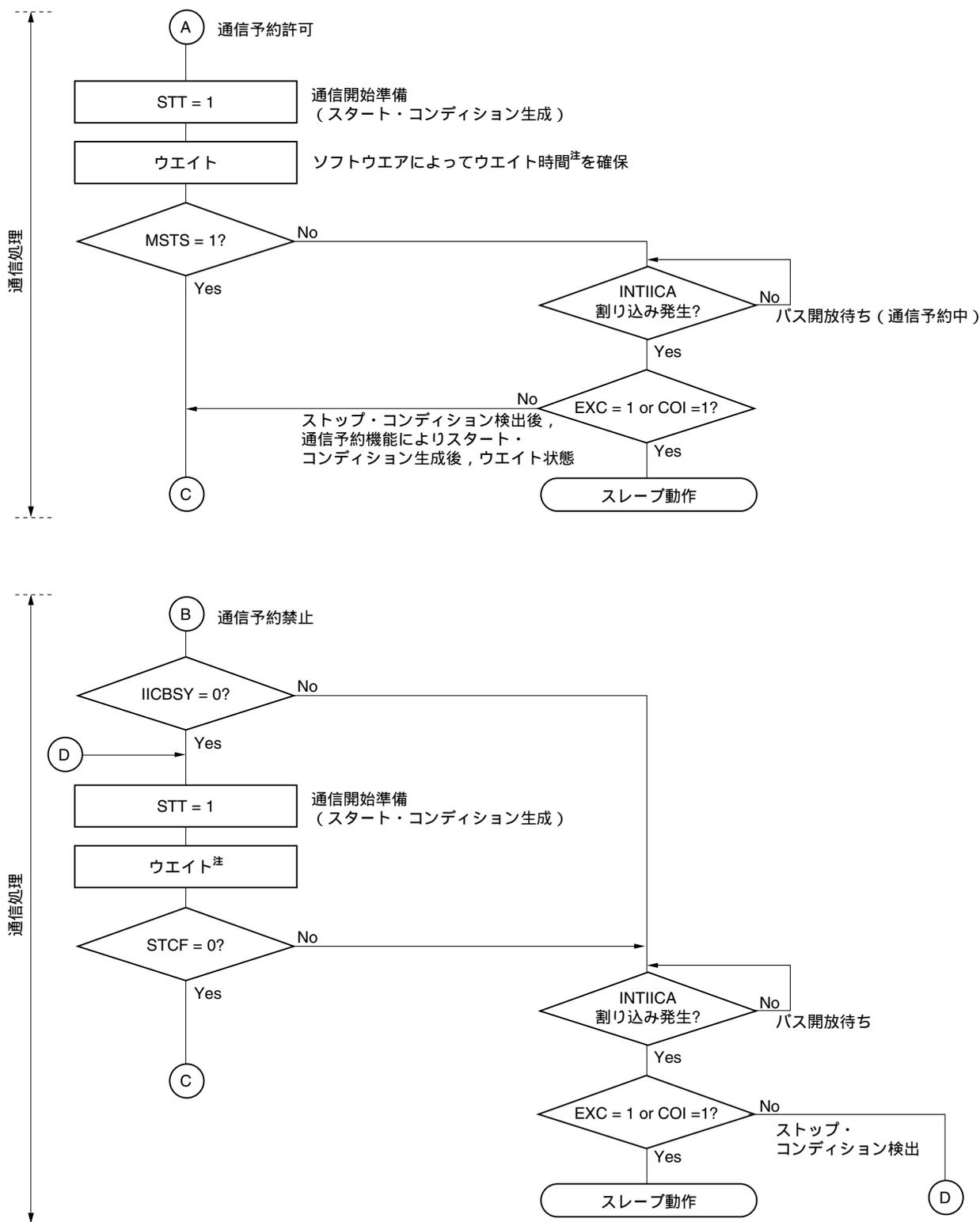
(2) マルチマスタ・システムでのマスタ動作

図13 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLDビット = 1, DADビット = 1) であることを確認してください。定常的にSDA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) するか判断してください。

図13 - 29 マルチマスタ・システムでのマスタ動作 (2/3)

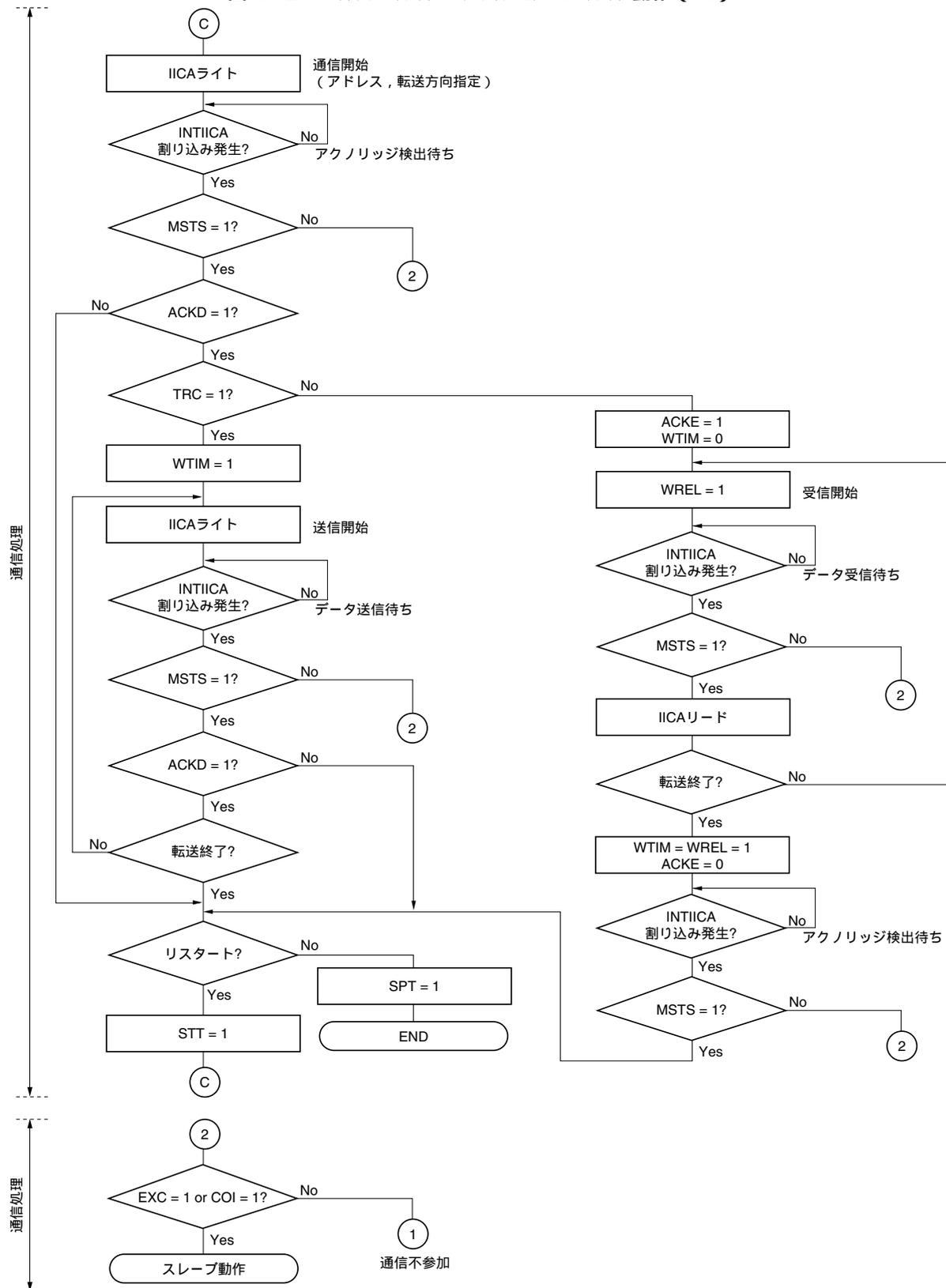


注 ウエイト時間は次のようになります。

$$(\text{IICWLの設定値} + \text{IICWHの設定値} + 4\text{クロック}) / f_{\text{CLK}} + t_{\text{F}} \times 2$$

- 備考
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_F : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図13 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

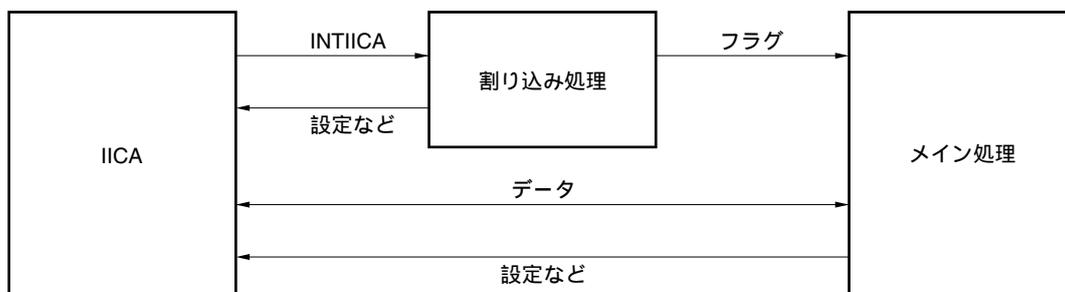
2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA割り込み発生ごとにMSTSビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレープとして使用する場合は、INTIICA割り込み発生ごとにIICS、IICFレジスタでステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICA割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRCの値と同じです。

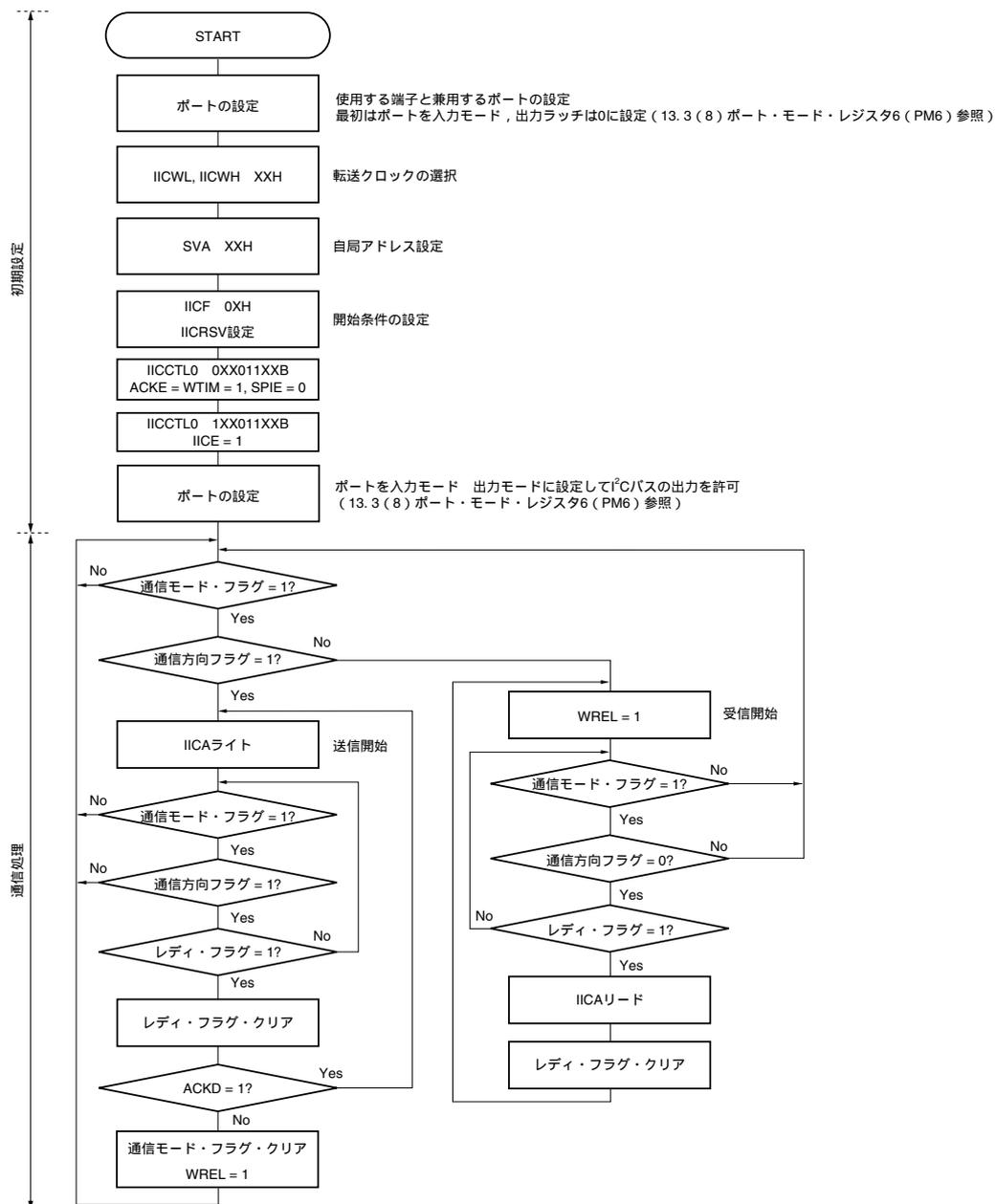
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図13-30 スレーブ動作手順(1)



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICA割り込みではステータスを確認して、次のように行います。

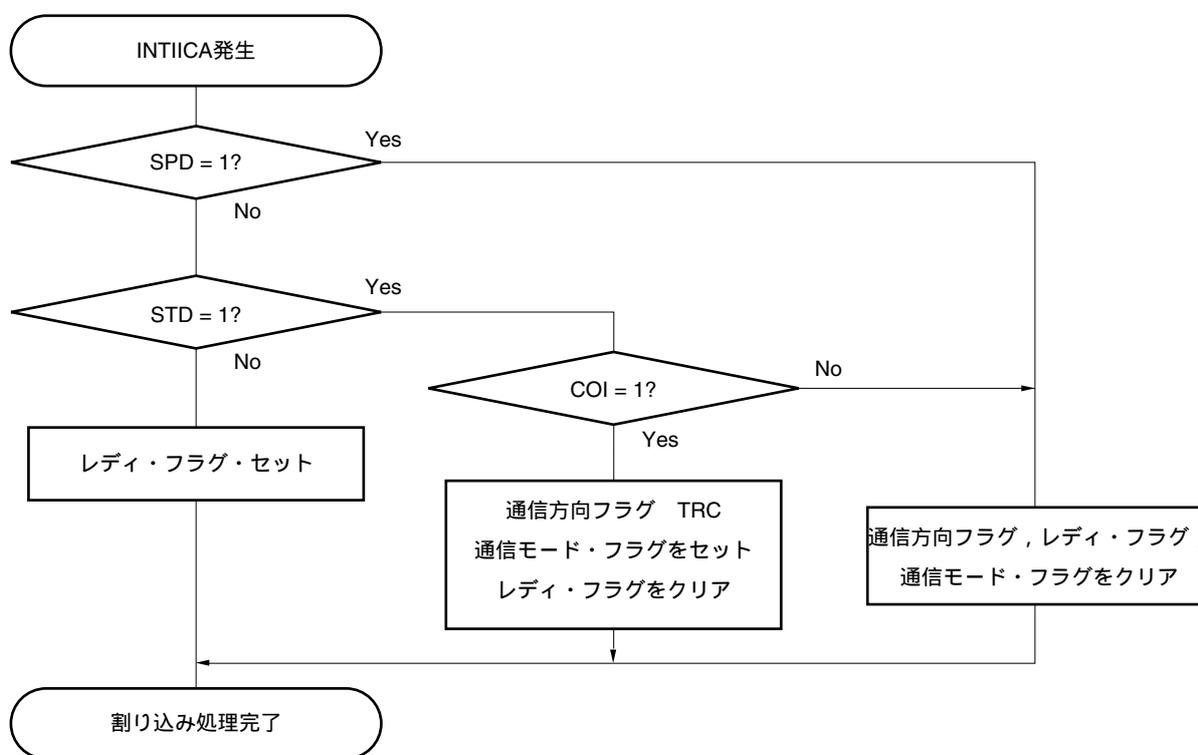
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図13-31 スレーブ動作手順(2)の ~ と対応しています。

図13-31 スレーブ動作手順(2)



13. 5. 17 I²C 割り込み要求 (INTIICA) の発生タイミング

次に、データの送受信、INTIICA 割り込み要求信号発生タイミングと、INTIICA 信号タイミングでの IICS レジスタの値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/ \overline{W} : 転送方向指定
 \overline{ACK} : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM = 0 のとき

SPT = 1								
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4 5

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 000B
 3 : IICS = 1000 × 000B (WTIMをセット(1))^注
 4 : IICS = 1000 × × 00B (SPTをセット(1))
 5 : IICS = 00000001B

注 ストップ・コンディションを生成するために、WTIMをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

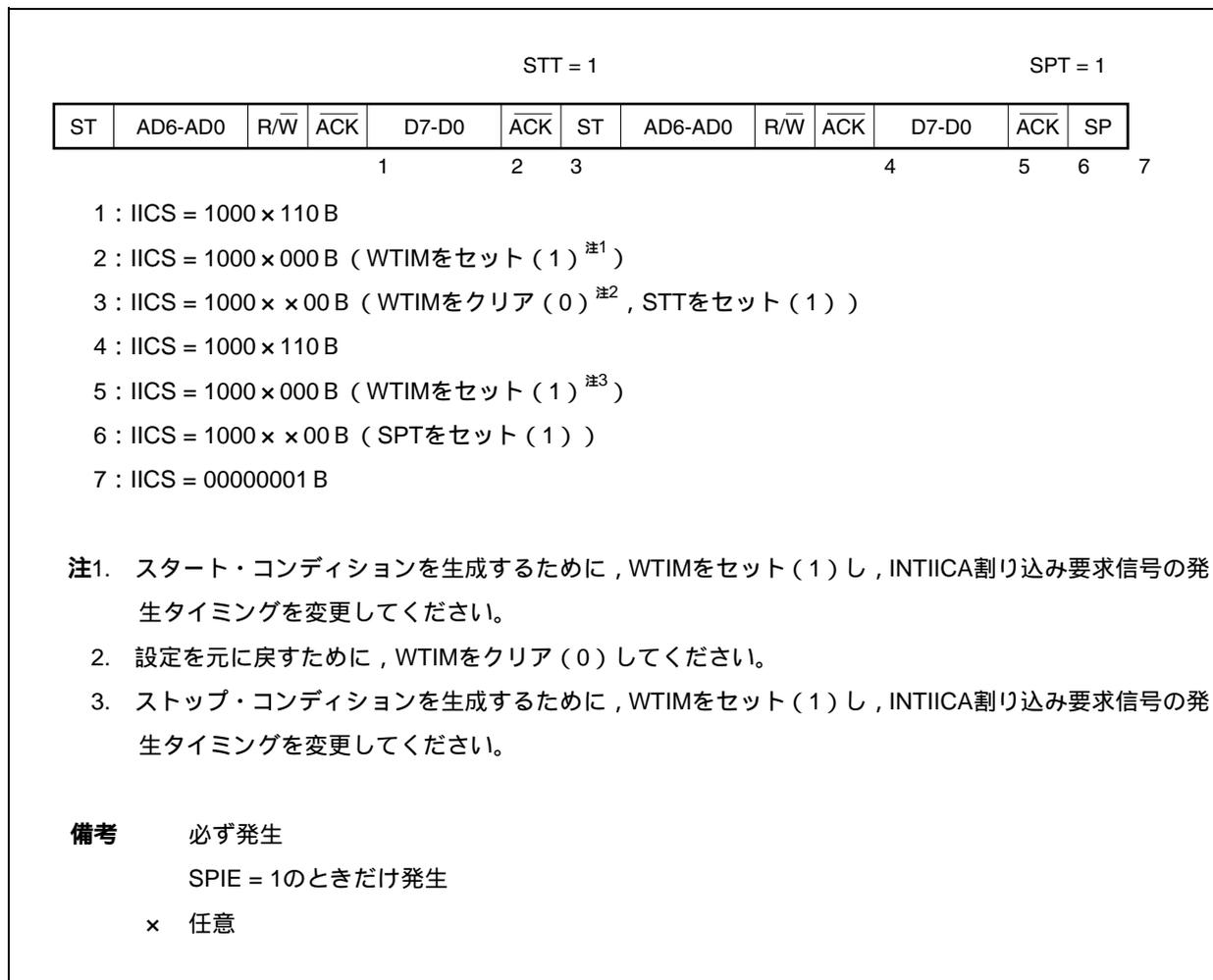
SPT = 1								
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 100B
 3 : IICS = 1000 × × 00B (SPTをセット(1))
 4 : IICS = 00000001B

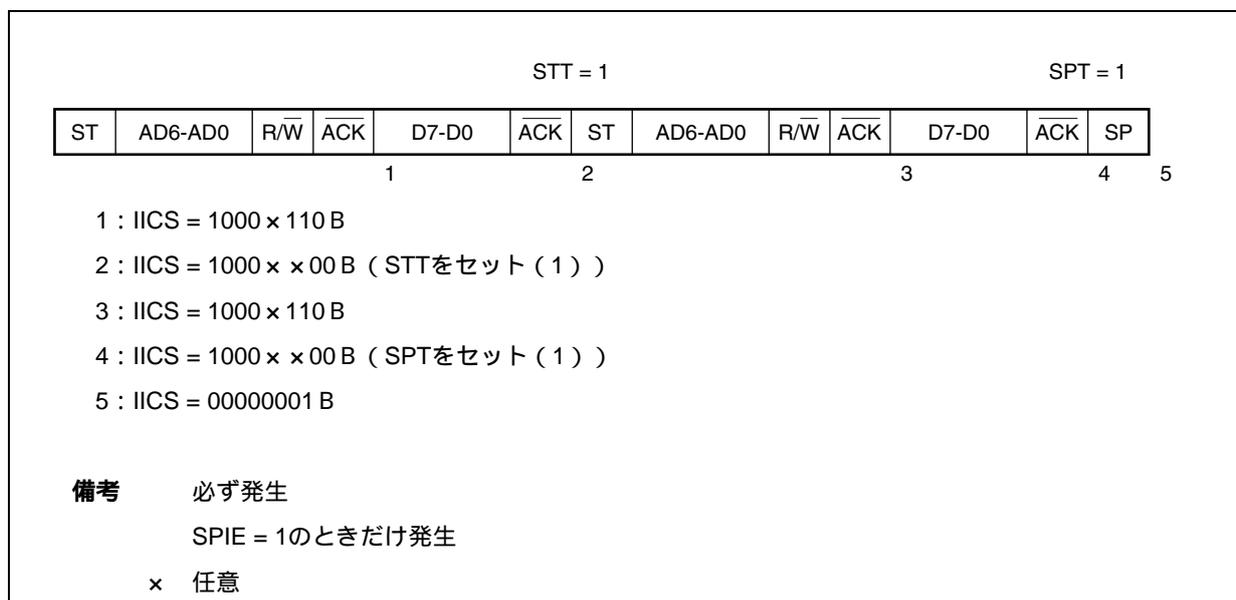
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM = 0 のとき

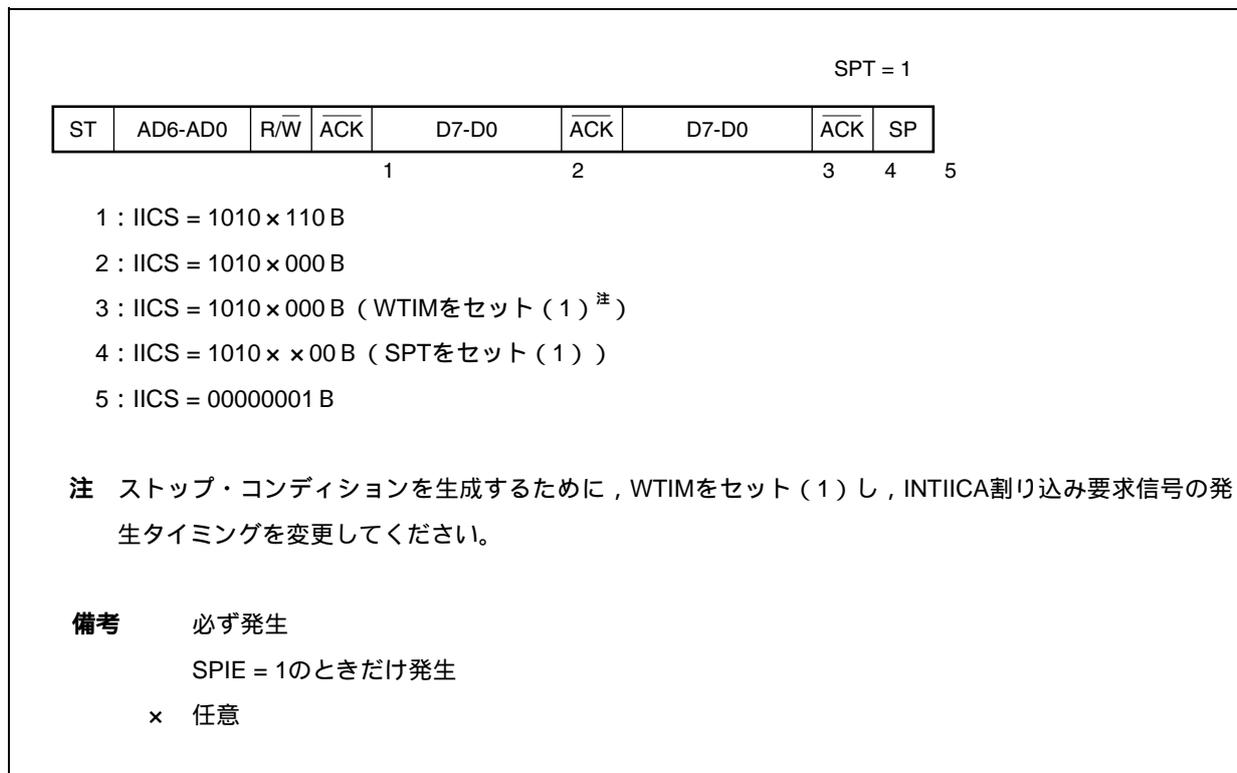


(ii) WTIM = 1 のとき

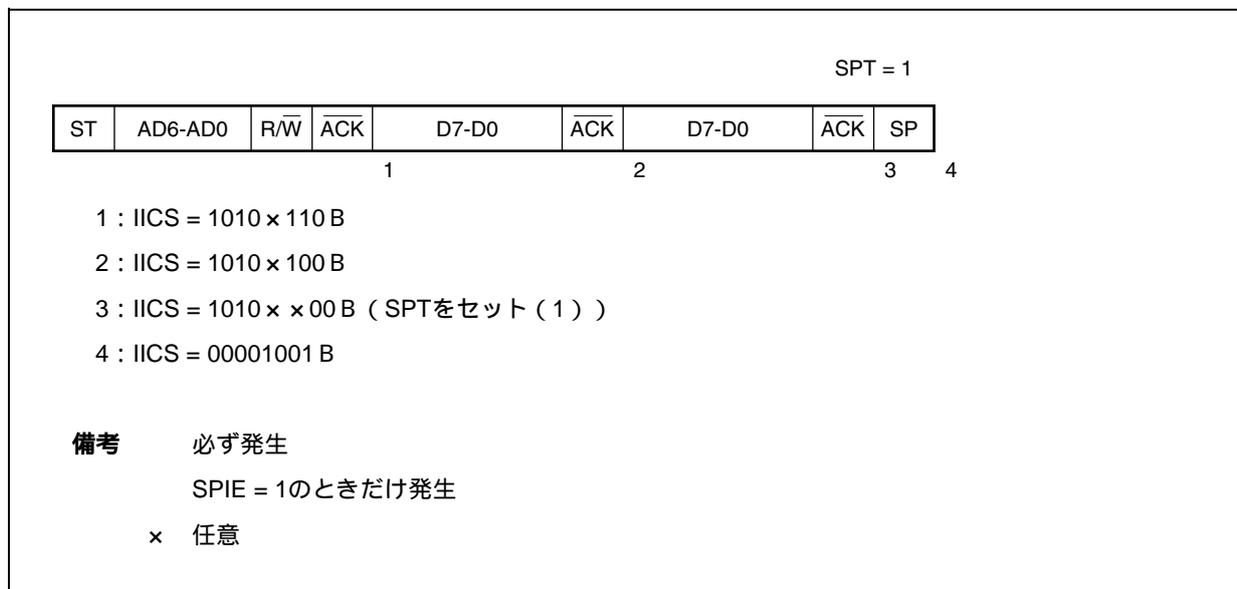


(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM = 0のとき



(ii) WTIM = 1のとき



(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 0001 × 110 B

2 : IICS = 0001 × 000 B

3 : IICS = 0001 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 0001 × 110 B

2 : IICS = 0001 × 100 B

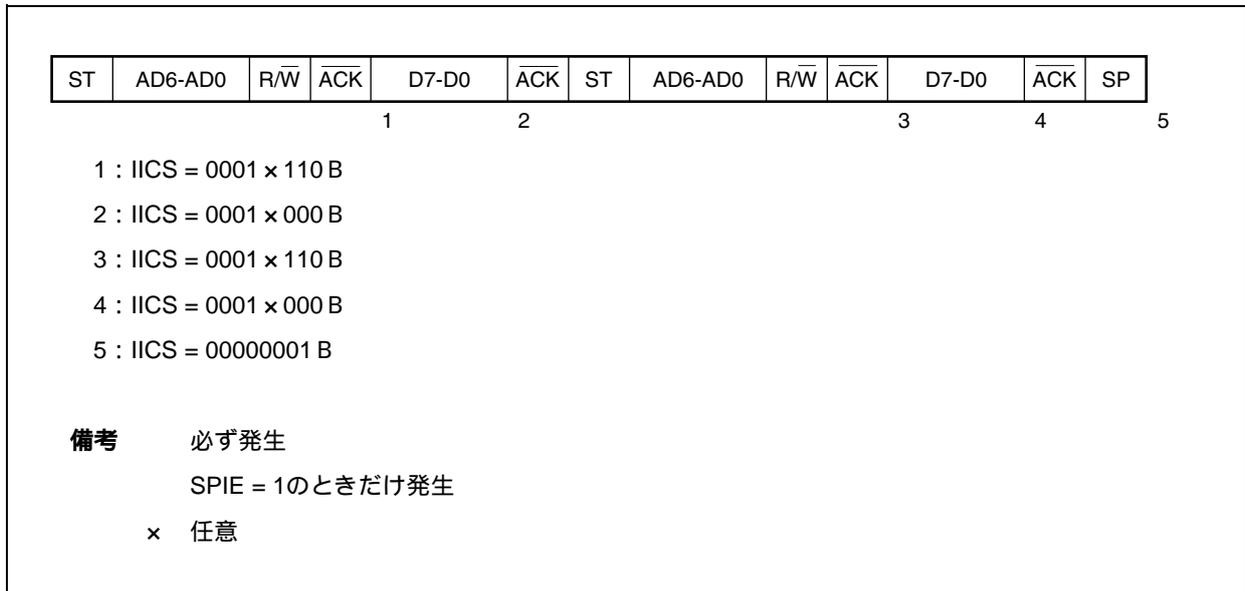
3 : IICS = 0001 × × 00 B

4 : IICS = 00000001 B

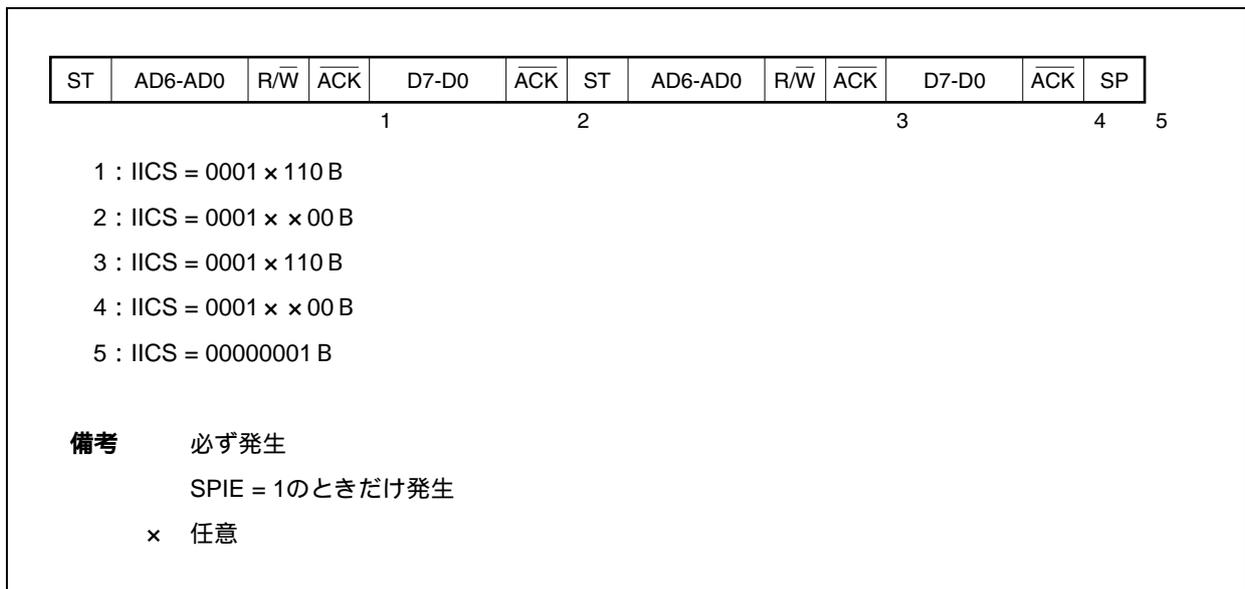
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, SVA一致)

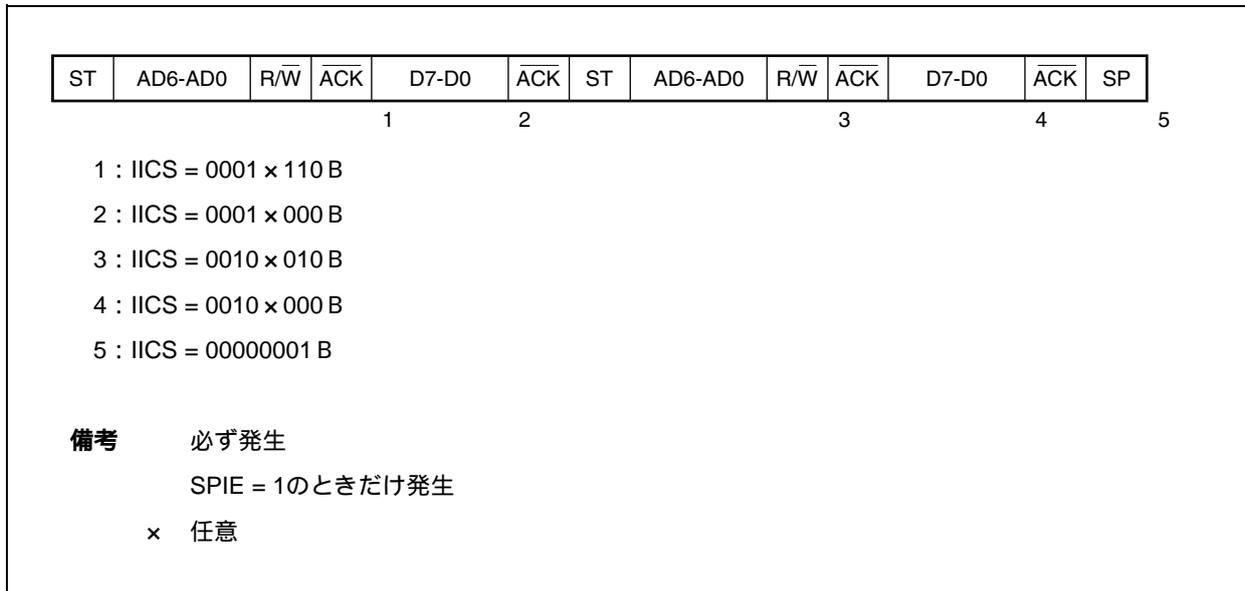


(ii) WTIM = 1 のとき (リスタート後, SVA一致)

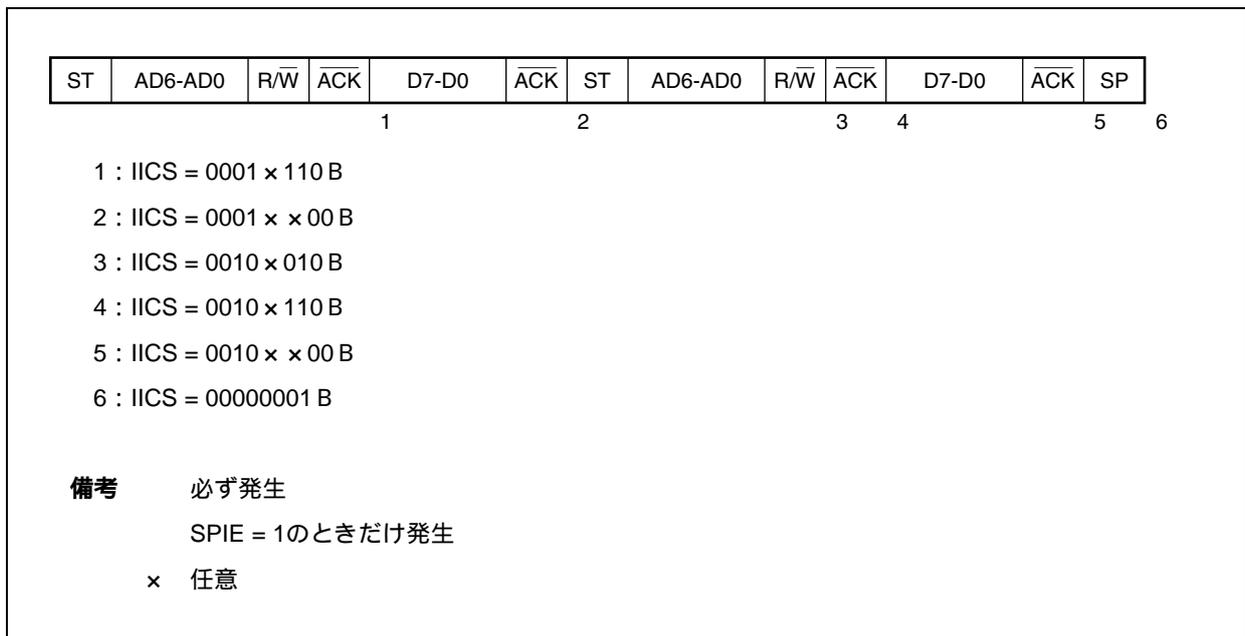


(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード))

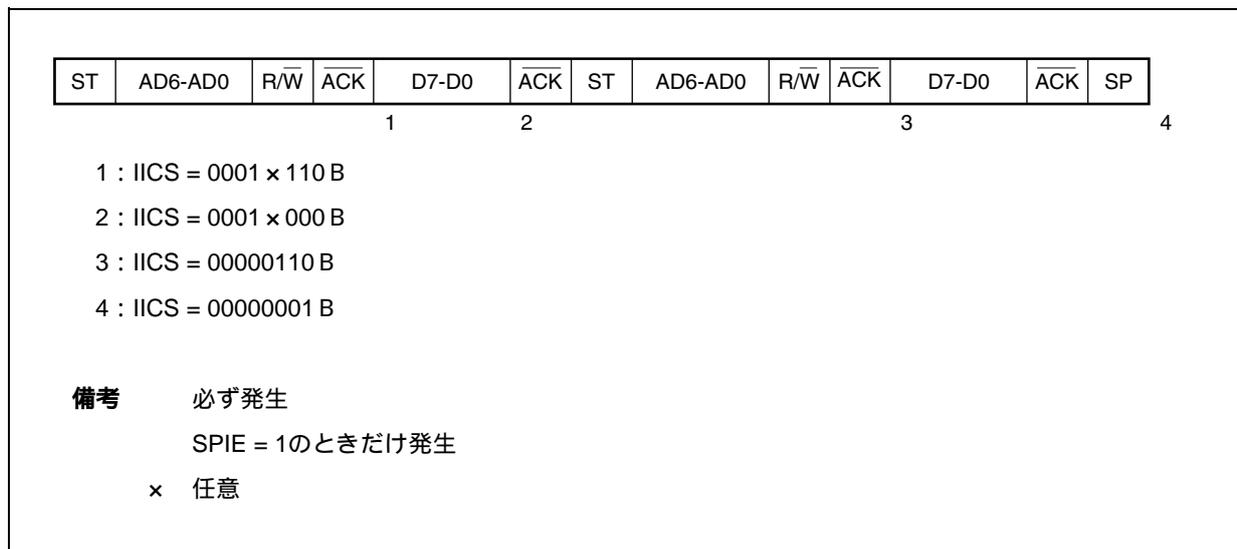


(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード))

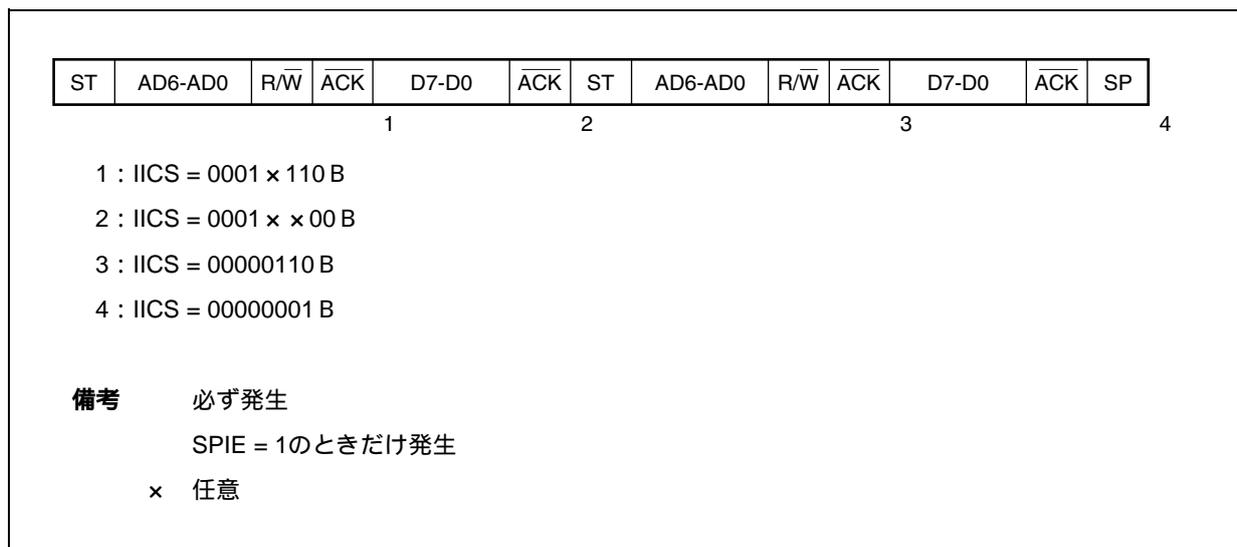


(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))

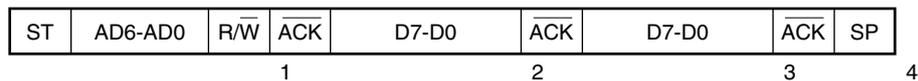


(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM = 0 のとき



1 : IICS = 0010 × 010 B

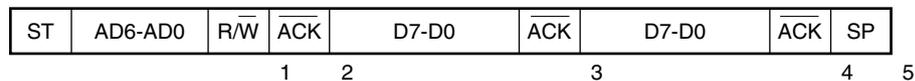
2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき



1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

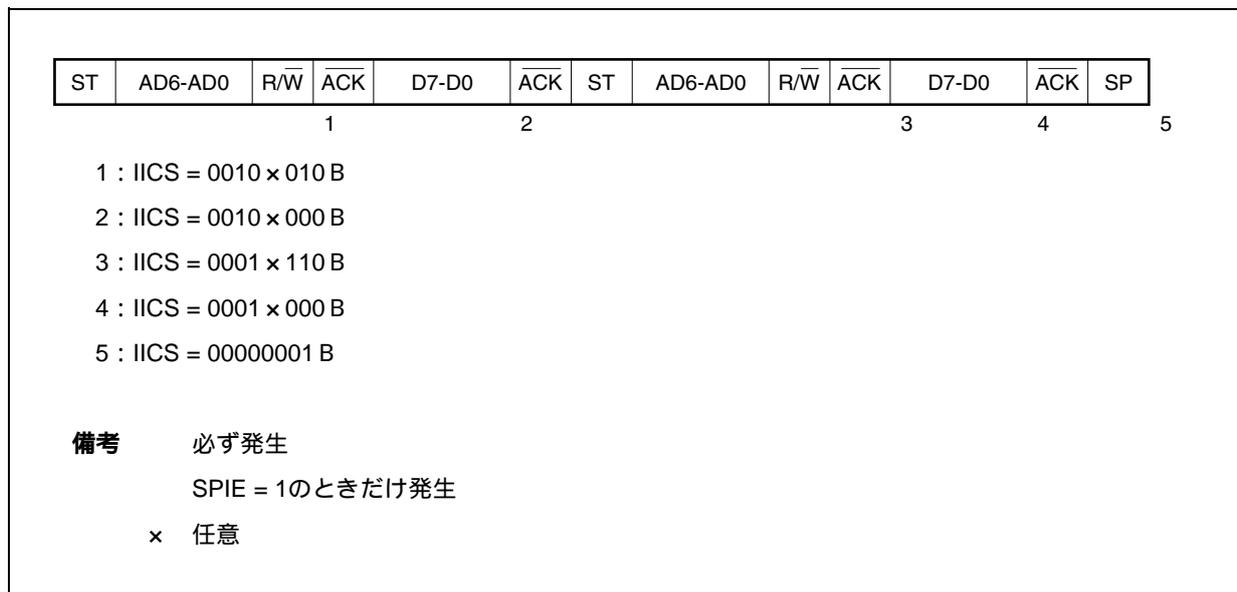
4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

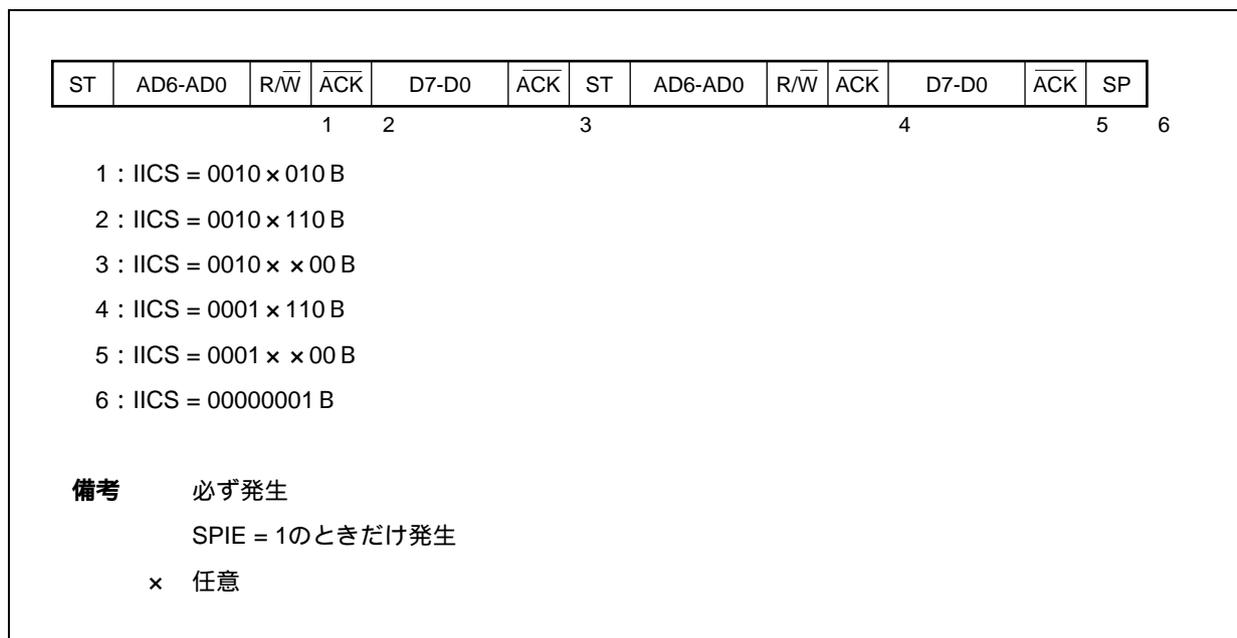
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, SVA一致)

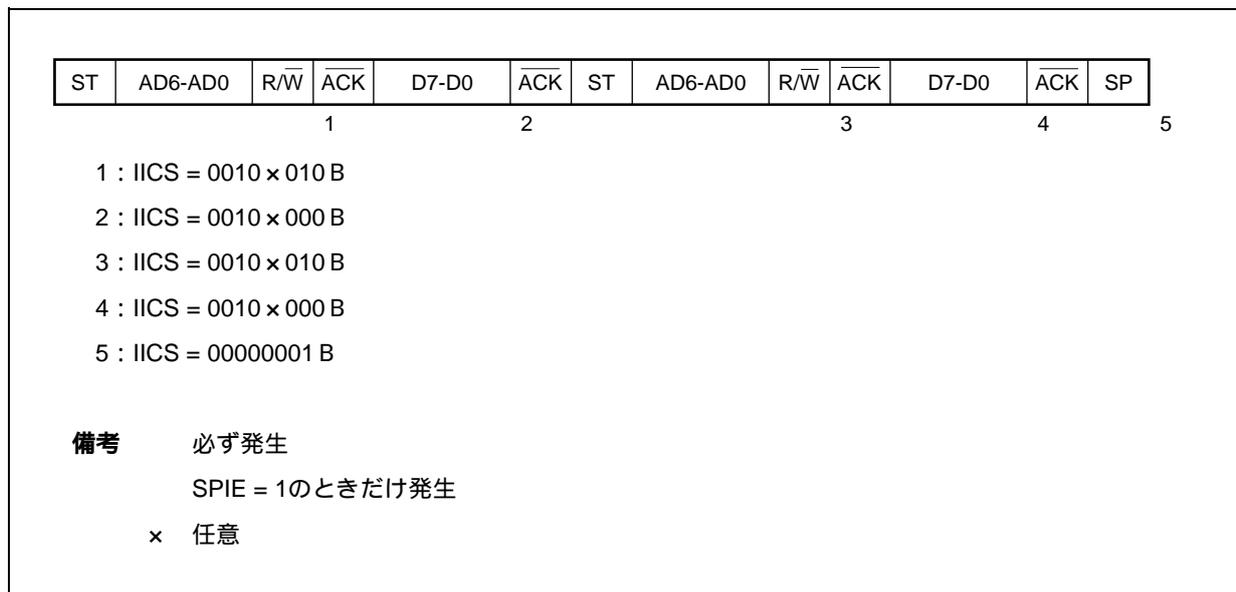


(ii) WTIM = 1 のとき (リスタート後, SVA一致)

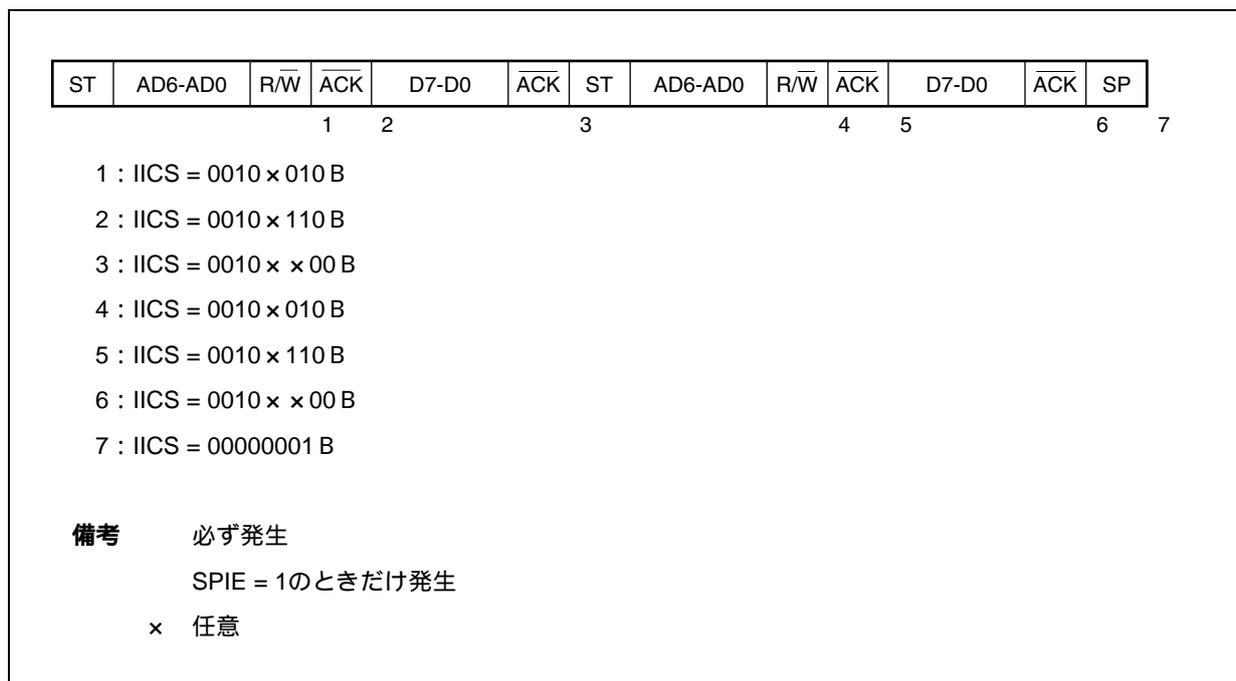


(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, 拡張コード受信)

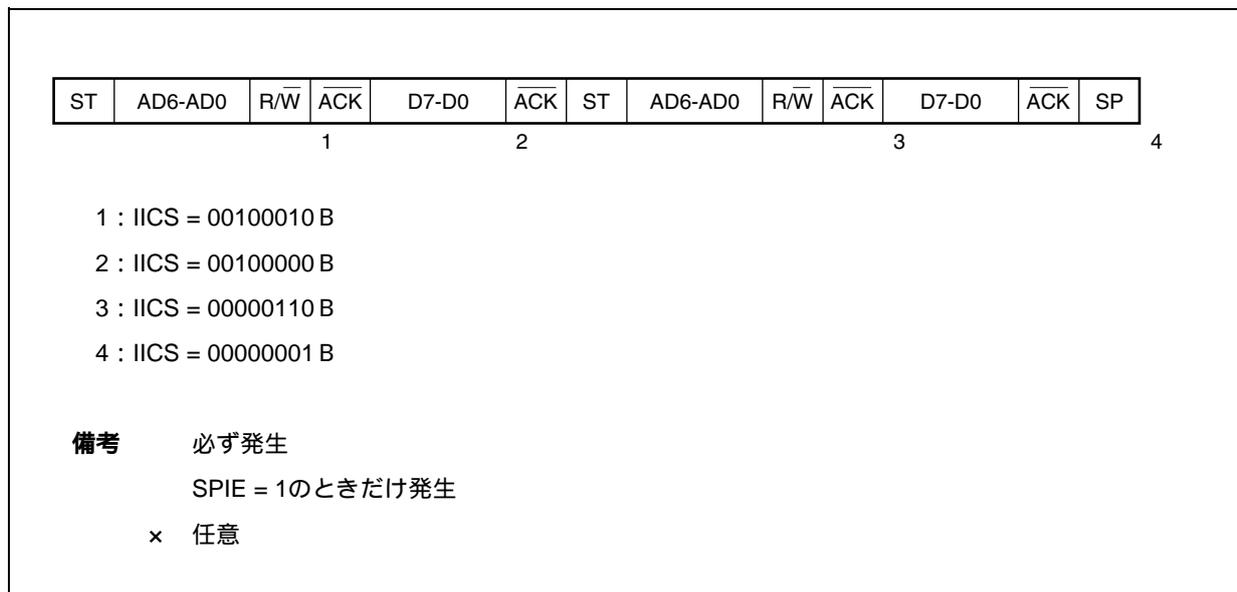


(ii) WTIM = 1 のとき (リスタート後, 拡張コード受信)

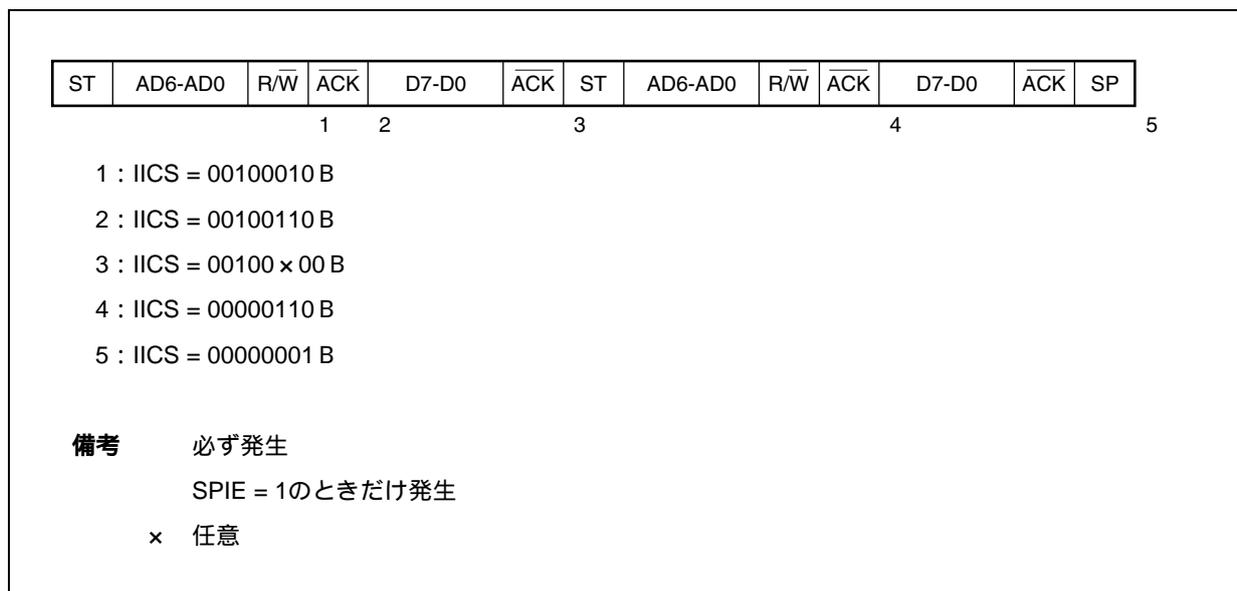


(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM = 1 のとき (リスタート後, アドレス不一致 (拡張コード以外))



(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

1 : IICS = 00000001 B

備考 SPIE = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA 割り込み要求信号の発生ごとに MSTSPIT をリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2	3	4		

1 : IICS = 0101 × 110 B

2 : IICS = 0001 × 000 B

3 : IICS = 0001 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
SPIE = 1のときだけ発生
× 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS = 0101 × 110 B

2 : IICS = 0001 × 100 B

3 : IICS = 0001 × × 00 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS = 0110 × 010 B

2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4 5	

1 : IICS = 0110 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA 割り込み要求信号の発生ごとに MSTS ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM = 1 のとき)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

1 : IICS = 01000110 B

2 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	R/ \bar{W}	\bar{ACK}	D7-D0	\bar{ACK}	D7-D0	\bar{ACK}	SP
----	---------	--------------	-------------	-------	-------------	-------	-------------	----

1

2

1 : IICS = 0110 × 010 B

ソフトウェアで LREL = 1 を設定

2 : IICS = 00000001 B

備考 必ず発生

SPIE = 1 のときだけ発生

× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM = 0 のとき

ST	AD6-AD0	R/ \bar{W}	\bar{ACK}	D7-D0	\bar{ACK}	D7-D0	\bar{ACK}	SP
----	---------	--------------	-------------	-------	-------------	-------	-------------	----

1

2

3

1 : IICS = 10001110 B

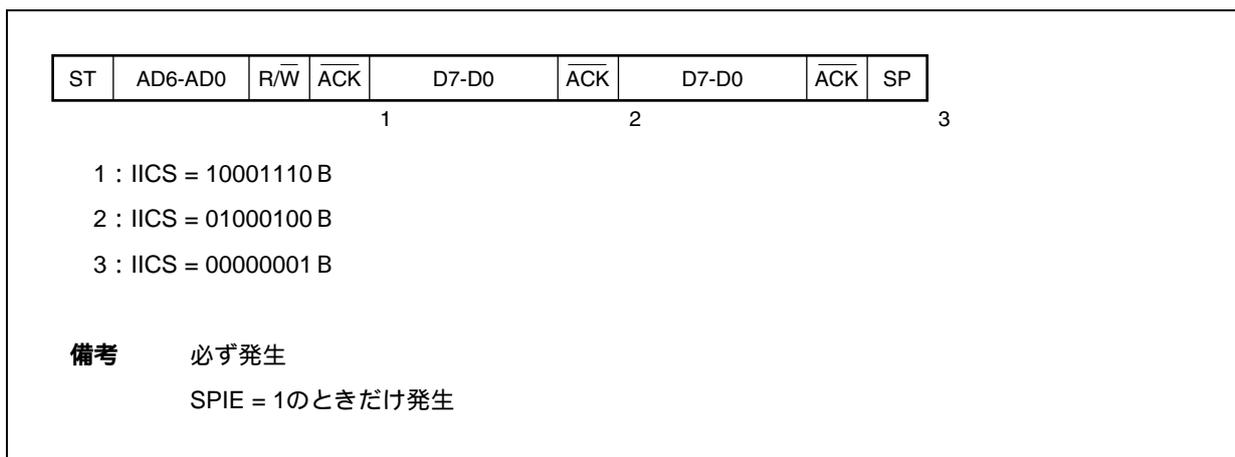
2 : IICS = 01000000 B

3 : IICS = 00000001 B

備考 必ず発生

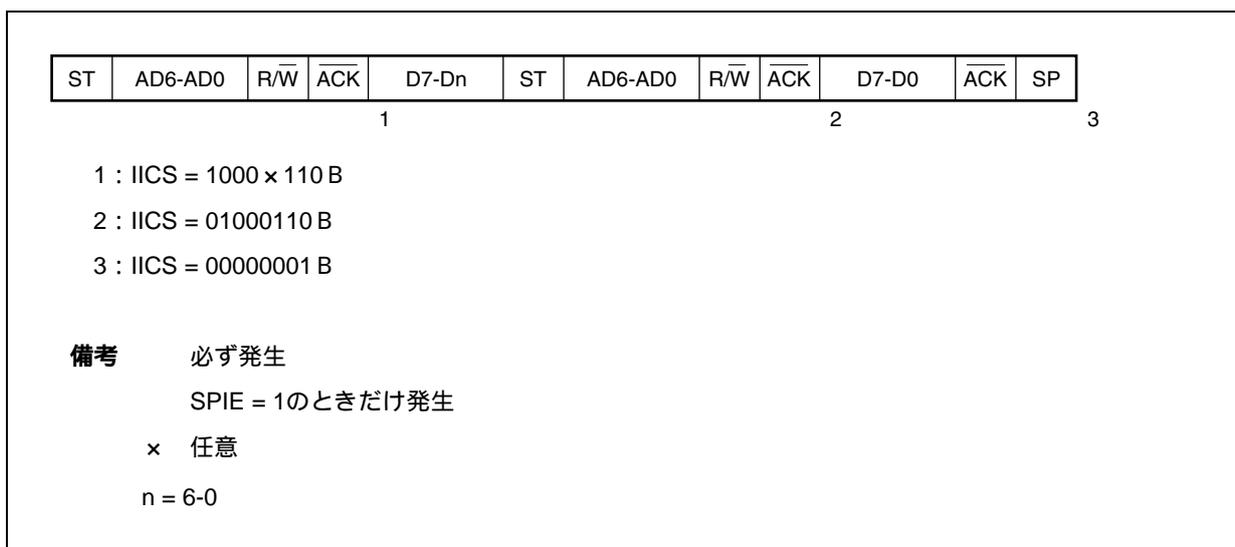
SPIE = 1 のときだけ発生

(ii) WTIM = 1 のとき



(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA不一致)



(ii) 拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1					2		3

1 : IICS = 1000 × 110 B

2 : IICS = 01100010 B

ソフトウェアで LREL = 1 を設定

3 : IICS = 00000001 B

備考 必ず発生

SPIE = 1 のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
				1	2

1 : IICS = 10000110 B

2 : IICS = 01000001 B

備考 必ず発生

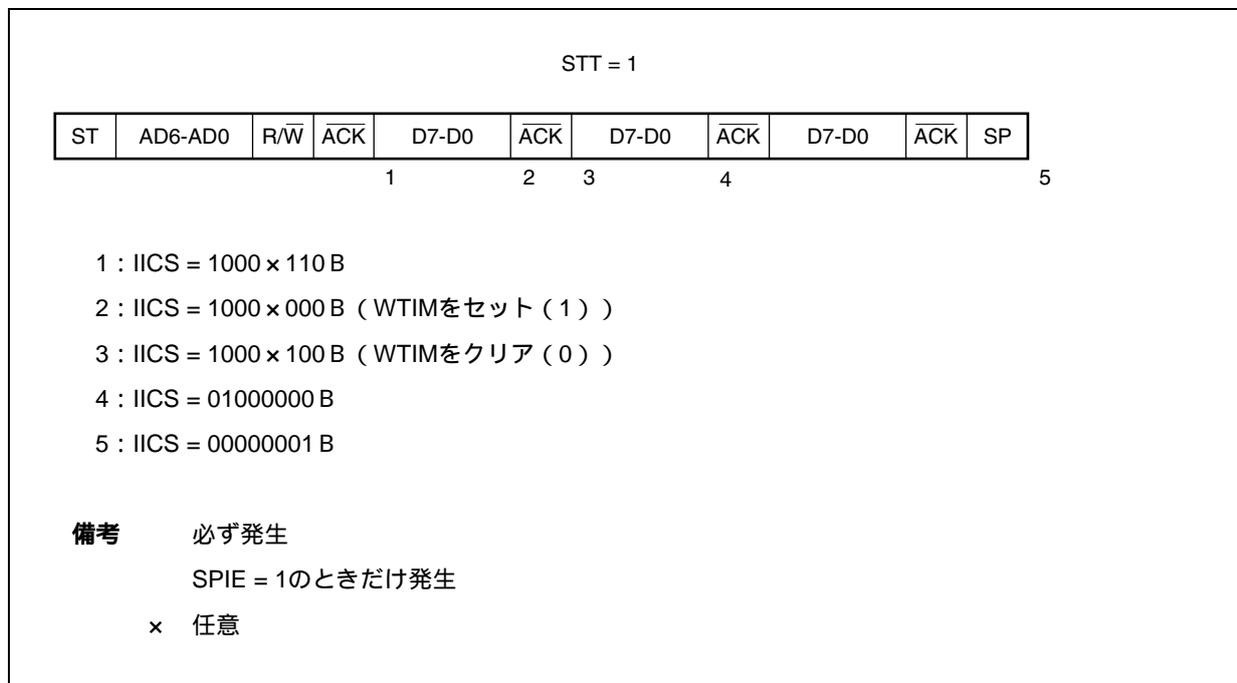
SPIE = 1 のときだけ発生

× 任意

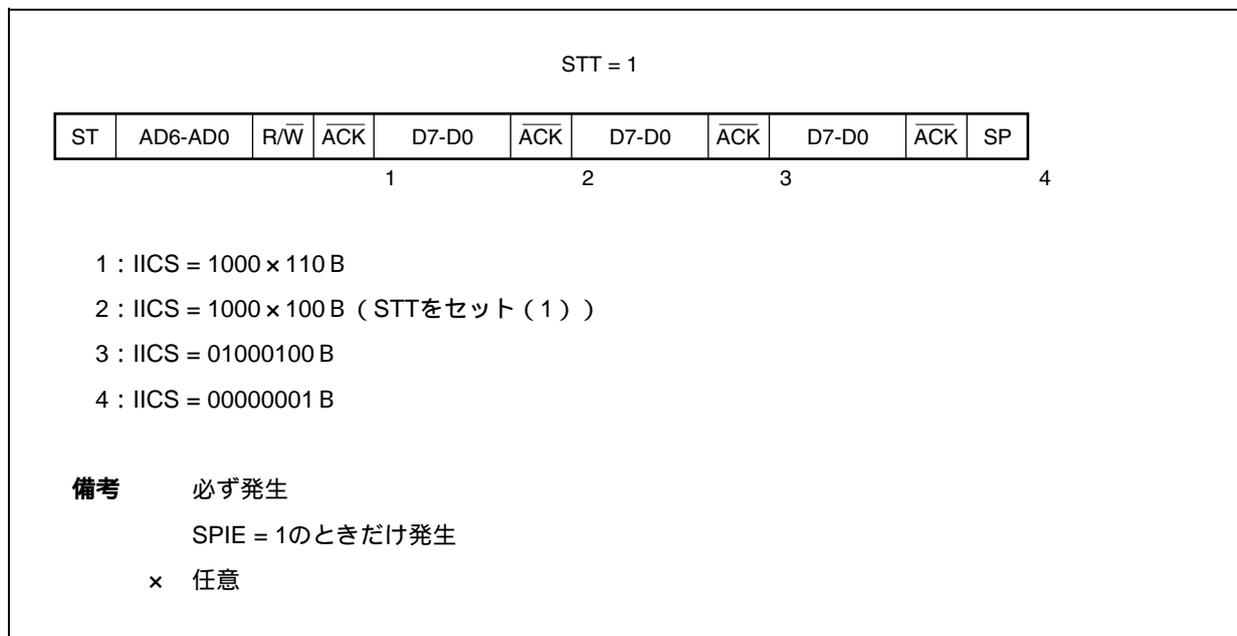
n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0 のとき



(ii) WTIM = 1 のとき



(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM = 0 のとき

STT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3 4

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 000 B (WTIM をセット (1))
 3 : IICS = 1000 × × 00 B (STT をセット (1))
 4 : IICS = 01000001 B

備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(ii) WTIM = 1 のとき

STT = 1

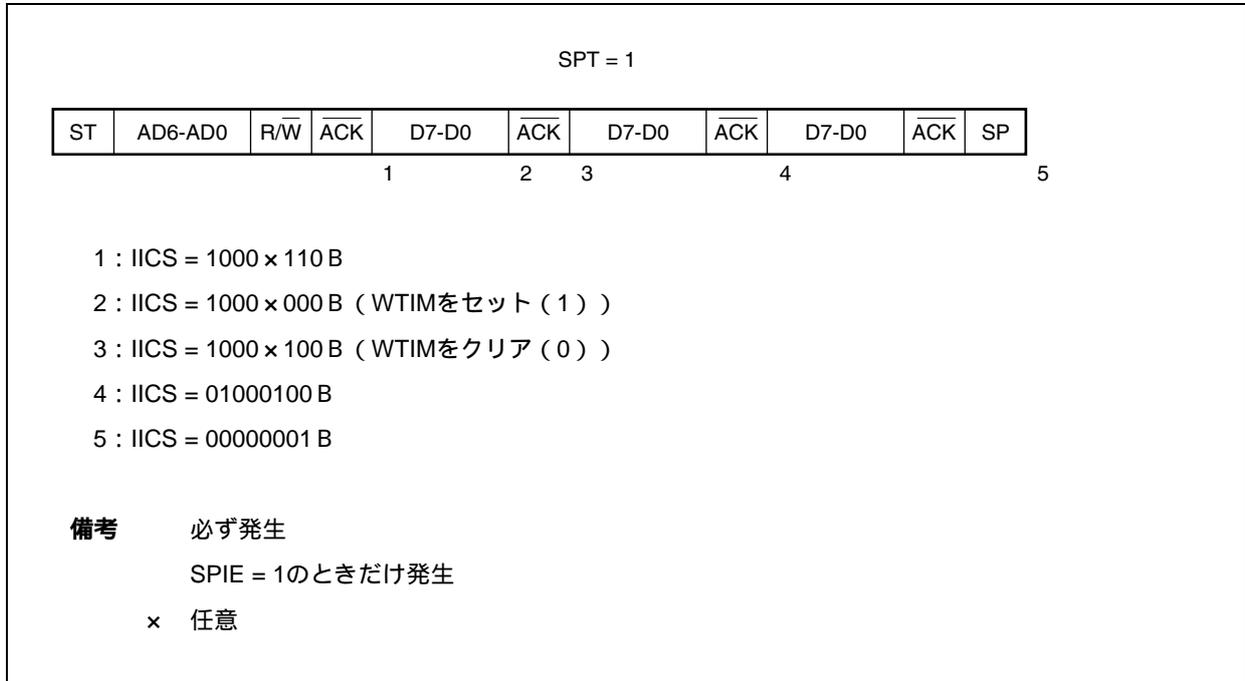
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × × 00 B (STT をセット (1))
 3 : IICS = 01000001 B

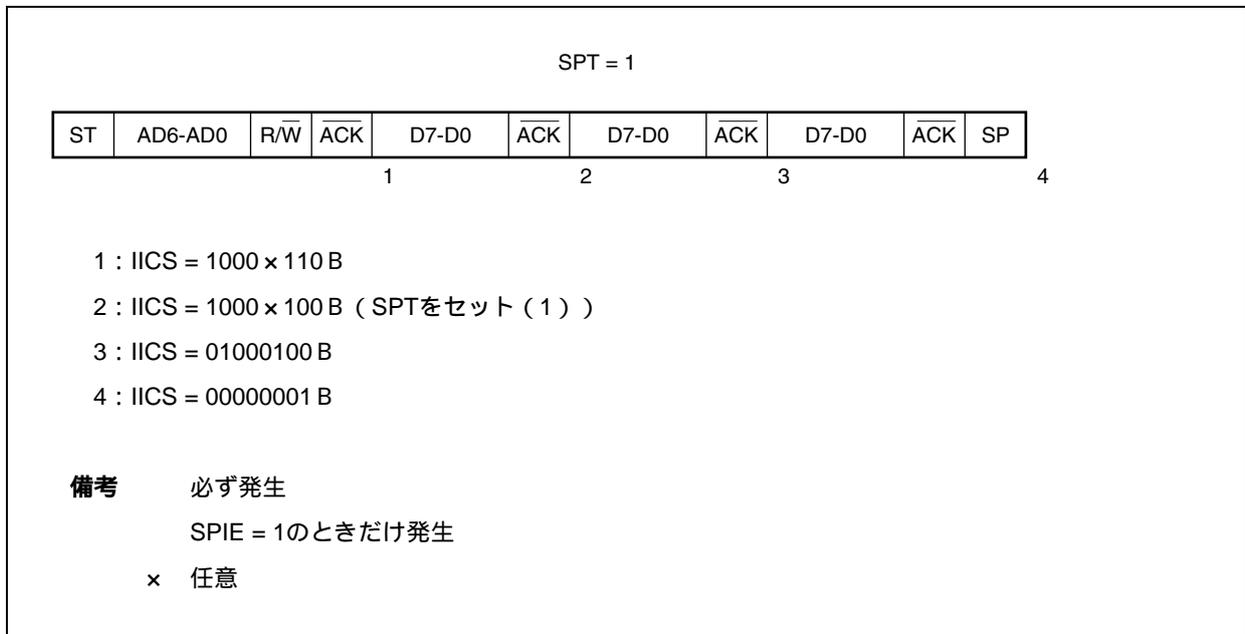
備考 必ず発生
 SPIE = 1 のときだけ発生
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0 のとき



(ii) WTIM = 1 のとき



13.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCビット（IICAステータス・レジスタ（IICS）のビット3）を送信し、スレーブとのシリアル通信を開始します。

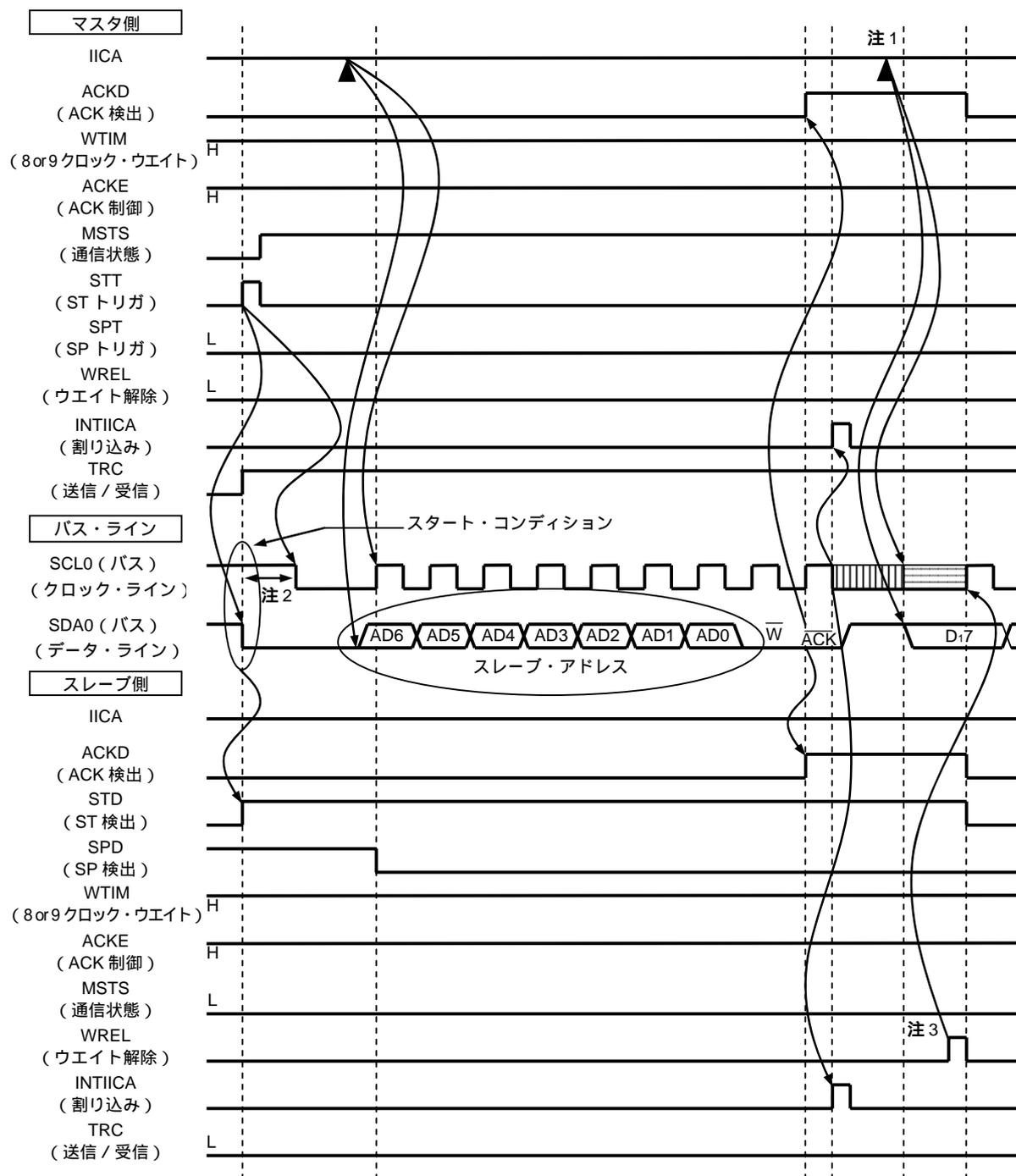
データ通信のタイミング・チャートを図13 - 32，図13 - 33に示します。

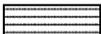
シリアル・クロック（SCL0）の立ち下がりに同期してIICAシフト・レジスタ（IICA）のシフト動作が行われ、送信データがSOラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIICAに取り込まれます。

図13 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (1/4)

(1) スタート・コンディション~アドレス~データ



-  : スレーブによるウェイト
 : マスタ, スレーブによるウェイト

- 注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。
2. SDA0端子信号が立ち下がってからSCL0端子信号が立ち下がるまでの時間は, 標準モード設定時は4.0 μ s以上, ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図13 - 32 (1) スタート・コンディション～アドレス～データの ~ の説明を次に示します。

マスタ側でスタート・コンディション・トリガがセット (STT = 1) されると、バス・データ・ライン (SDA0 = 0) が立ち下がり、スタート・コンディション (SDA0 = 0, SCL0 = 1) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 (MSTS = 1) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり (SCL0 = 0)、通信準備が完了となります。

マスタ側でIICAシフト・レジスタ (IICA) にアドレス + W (送信) が書き込まれると、スレーブ・アドレスが送信されます。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、マスタ側の割り込み (INTIICA : アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA : アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側はウエイト (SCL0 = 0) をかけます[※]。

マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウエイトを解除します。

スレーブ側がウエイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDA0 = 1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図13 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図13 - 32 (1) スタート・コンディション～アドレス～データでは手順 ~

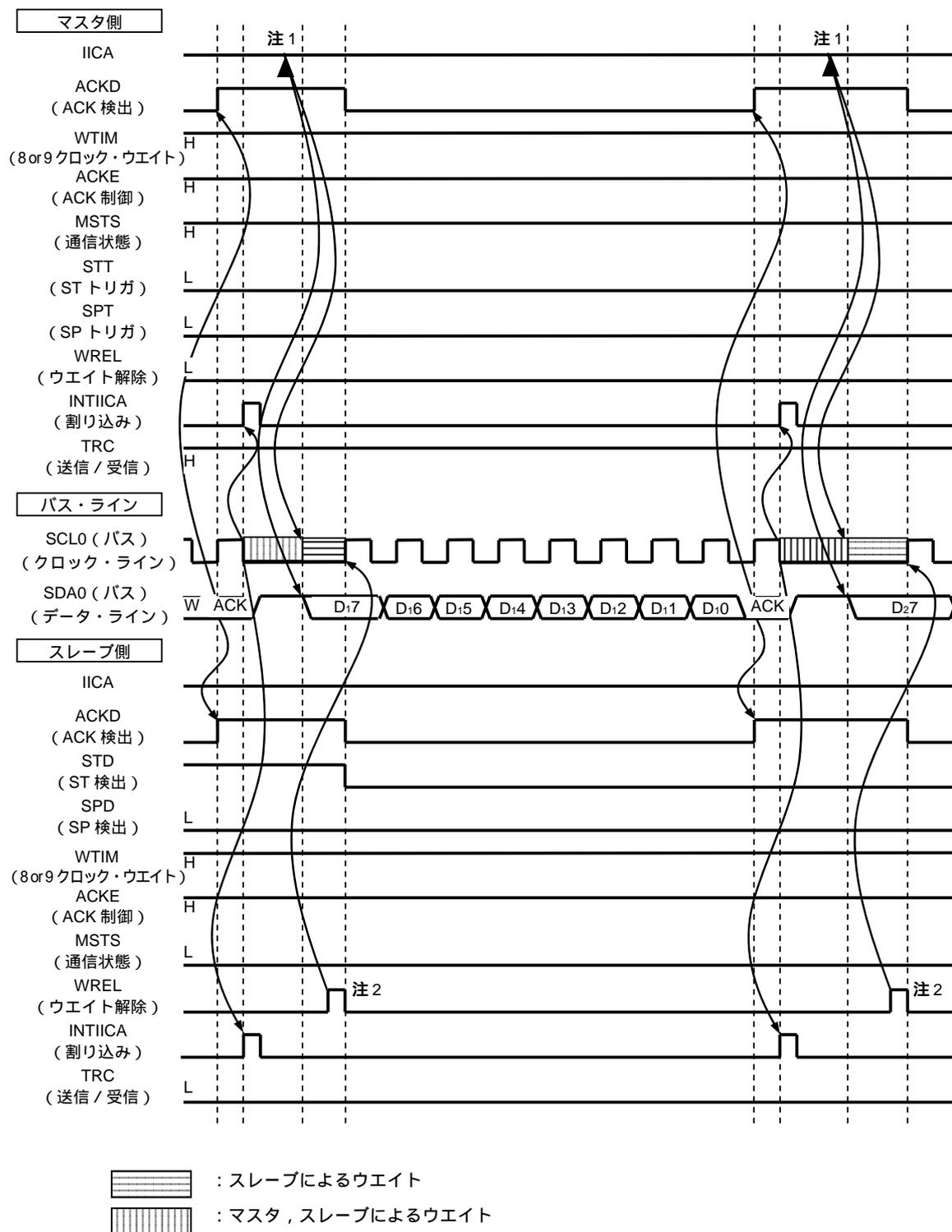
図13 - 32 (2) アドレス～データ～データでは手順 ~

図13 - 32 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図13 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (2/4)

(2) アドレス~データ~データ



注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。

2. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図13 - 32 (2) アドレス～データ～データの ~ の説明を次に示します。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時で、マスタ側の割り込み (INTIICA : アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA : アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側はウエイト (SCL0 = 0) をかけます[※]。

マスタ側がIICAシフト・レジスタ (IICA) に送信データを書き込み、マスタ側によるウエイトを解除します。

スレーブ側がウエイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がり時で、マスタ側とスレーブ側によるウエイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA : 転送完了割り込み) が発生します。

マスタ側がIICAレジスタに送信データを書き込み、マスタ側によるウエイトを解除します。

スレーブ側が受信データを読み出して、ウエイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが (NACK : SDA0 = 1)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK、NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図13 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図13 - 32 (1) スタート・コンディション～アドレス～データでは手順 ~

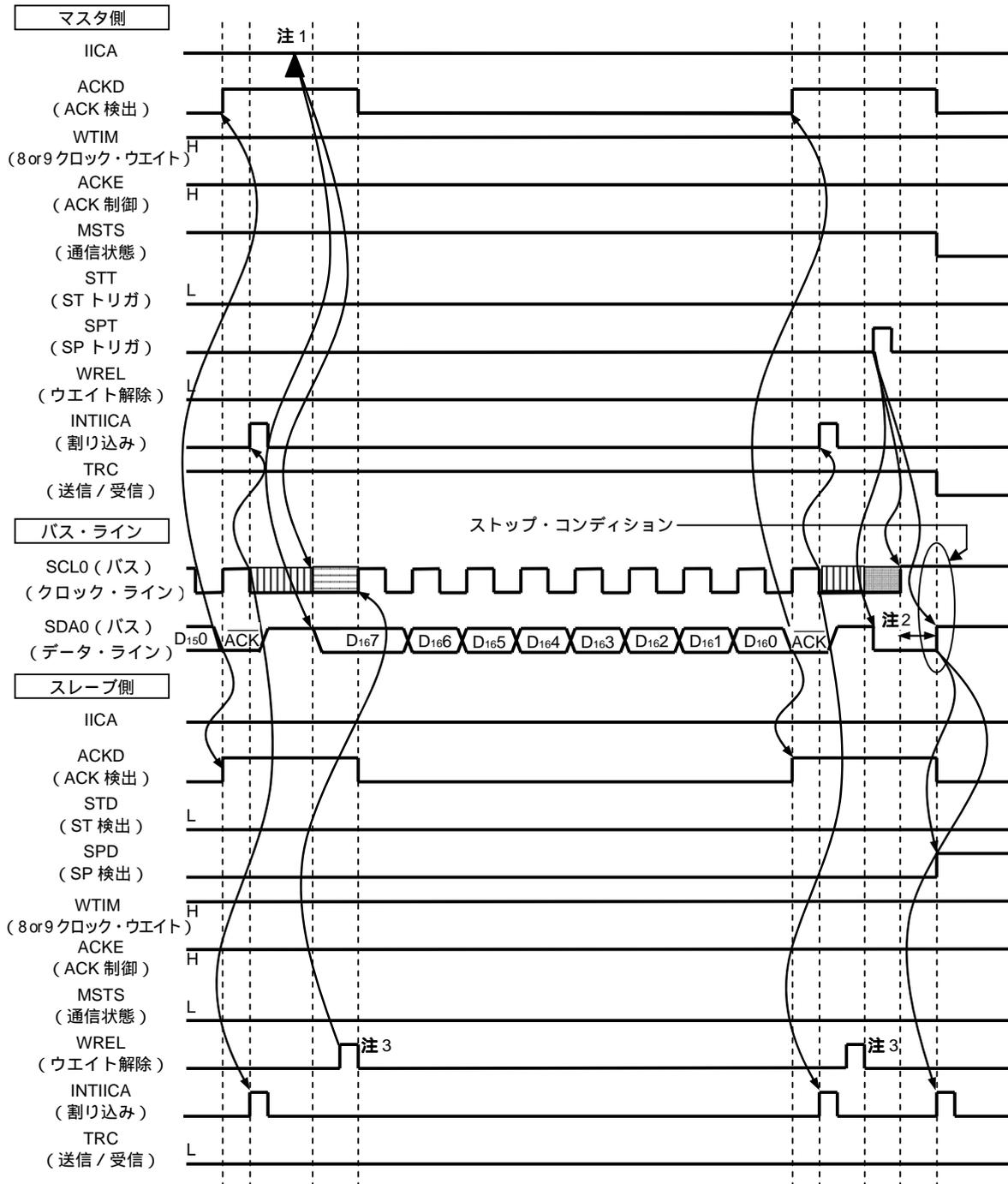
図13 - 32 (2) アドレス～データ～データでは手順 ~

図13 - 32 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図13 - 32 マスタ スレーブ通信例 (マスタ:9クロック, スレーブ:9クロックでウェイト選択時) (3/4)

(3) データ~データ~ストップ・コンディション



-  : マスタによるウェイト
-  : スレーブによるウェイト
-  : マスタ, スレーブによるウェイト

- 注1. マスタ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。
2. ストップ・コンディションの発行後, SCL0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は, 標準モード設定時は4.0 μ s以上, ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図13 - 32 (3) データ~データ~ストップ・コンディションの ~ の説明を次に示します。

データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA : 転送完了割り込み) が発生します。

マスタ側がIICAシフト・レジスタ (IICA) に送信データを書き込み、マスタ側によるウェイトを解除します。

スレーブ側が受信データを読み出して、ウェイトを解除 (WREL = 1) すると、マスタ側からスレーブ側にデータ転送を開始します。

データ転送完了後、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA : 転送完了割り込み) が発生します。

スレーブ側が受信データを読み出し、ウェイトを解除 (WREL = 1) します。

ストップ・コンディション・トリガをセットすると、バス・データ・ラインをクリア (SDA0 = 0)、バス・クロック・ラインをセット (SCL0 = 1) し、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDA0 = 1) することでストップ・コンディションが生成されます。

ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み (INTIICA : ストップ・コンディション割り込み) が発生します。

備考 図13 - 32の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

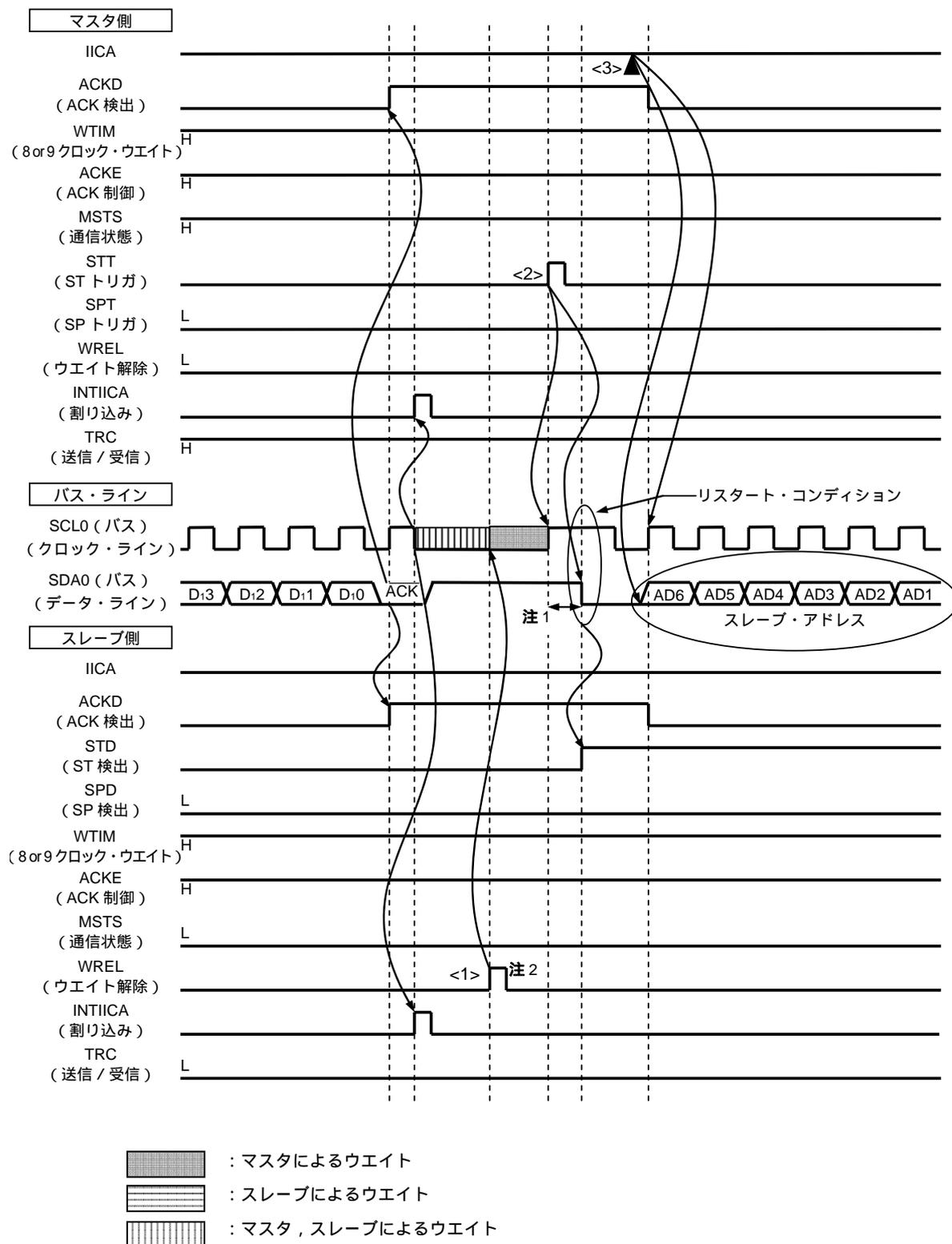
図13 - 32 (1) スタート・コンディション~アドレス~データでは手順 ~

図13 - 32 (2) アドレス~データ~データでは手順 ~

図13 - 32 (3) データ~データ~ストップ・コンディションでは手順 ~
について説明しています。

図13 - 32 マスタ スレーブ通信例 (マスタ: 9クロック, スレーブ: 9クロックでウェイト選択時) (4/4)

(4) データ~リスタート・コンディション~アドレス



注1. リスタート・コンディションの発行後, SCL0端子信号が立ち上がってからスタート・コンディションが生成される時間は, 標準モード設定時は4.7 μ s以上, ファースト・モード設定時は0.6 μ s以上です。

2. スレーブ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

図13 - 32(4)データ~リスタート・コンディション~アドレスの動作説明を次に示します。手順 , の動作後, <1>~<3>の動作を行います。それにより,手順 のデータの送信手順に戻ります。

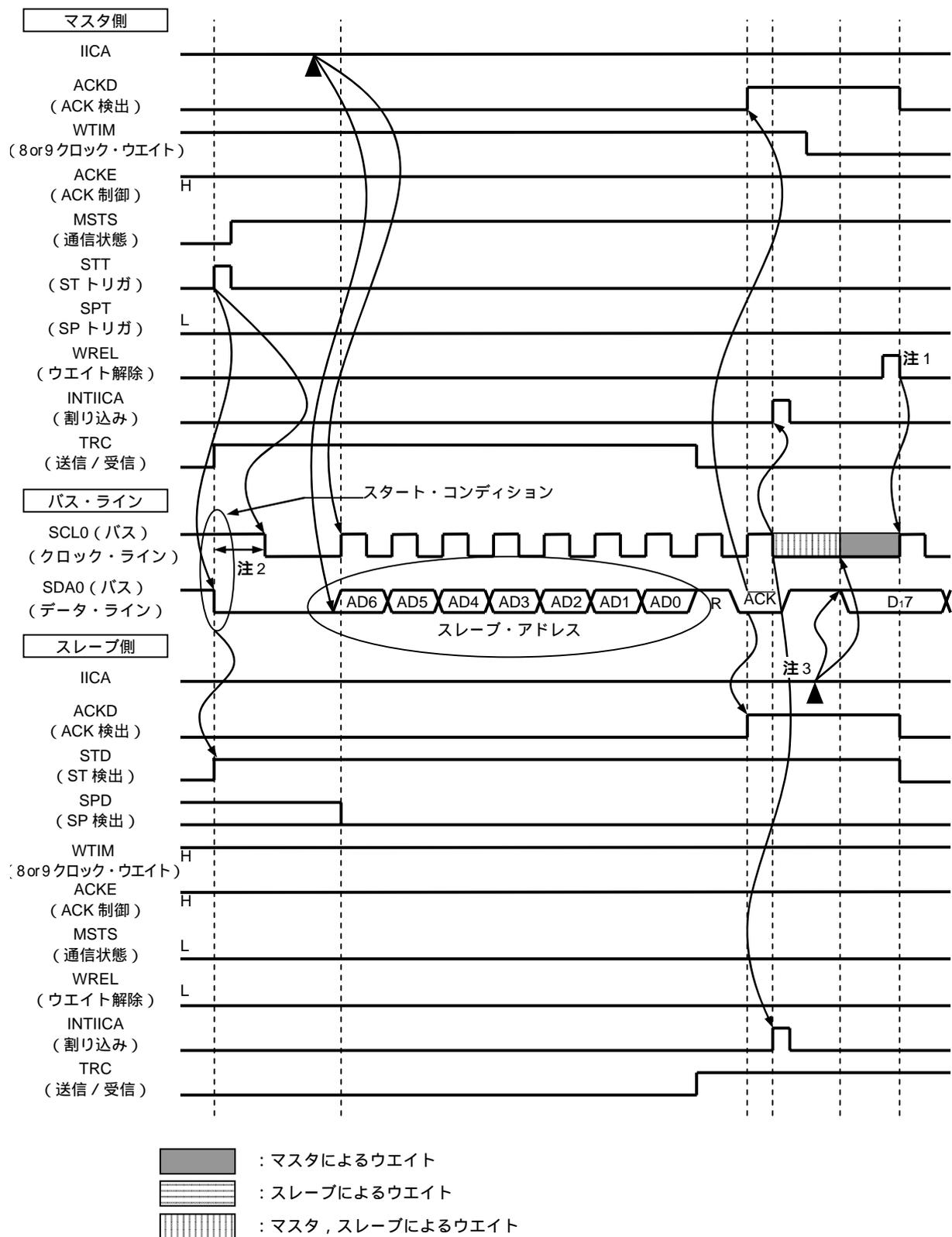
データ転送完了後,スレーブ側のハードウェアよりACKがマスタ側へ送信され,9クロック目の立ち上がり時に,マスタ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで,マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり,マスタ側,スレーブ側で割り込み (INTIICA:転送完了割り込み) が発生します。

- <1> スレーブ側が受信データを読み出して,ウェイトを解除 (WREL = 1) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット (STT = 1) されると,バス・クロック・ラインが立ち上がり (SCL0 = 1),リスタート・コンディション・セットアップ時間後バス・データ・ライン (SDA0 = 0) が立ち下がり,スタート・コンディション (SDA0 = 0, SCL0 = 1) が生成されます。その後,スタート・コンディションを検出すると,ホールド時間経過後,バス・クロック・ラインが立ち下がり (SCL0 = 0),通信準備が完了となります。
- <3> マスタ側でIICAシフト・レジスタ (IICA) にアドレス + R/W (送信) が書き込まれると,スレーブ・アドレスが送信されます。

図13-33 スレーブ マスタ通信例 (マスタ:8クロック,スレーブ:9クロックでウエイト選択時) (1/3)

(1) スタート・コンディション~アドレス~データ



- 注1. マスタ・ウエイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。
2. SDA0端子信号が立ち下がってからSCL0端子信号が立ち下がるまでの時間は, 標準モード設定時は4.0 μ s以上, ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ送信時のウエイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。

図13 - 33 (1) スタート・コンディション~アドレス~データの ~ の説明を次に示します。

マスタ側でスタート・コンディション・トリガがセット ($STT = 1$) されると、バス・データ・ライン ($SDA0 = 0$) が立ち下がり、スタート・コンディション ($SDA0 = 0, SCL0 = 1$) が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態 ($MSTS = 1$) となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり ($SCL0 = 0$)、通信準備が完了となります。

マスタ側でIICAシフト・レジスタ (IICA) にアドレス+W (送信) が書き込まれると、スレーブ・アドレスが送信されます。

受信したアドレスとスレーブのアドレスが一致した場合[※]、スレーブ側のハードウェアよりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出 ($ACKD = 1$) されます。

9クロック目の立ち下がりで、マスタ側の割り込み (INTIICA: アドレス送信完了割り込み) が発生し、スレーブはアドレスが一致した場合、割り込み (INTIICA: アドレス一致割り込み) が発生します。さらに、マスタ側とアドレスが一致したスレーブ側によるウエイト ($SCL0 = 0$) がかけられます[※]。

マスタ側のウエイト・タイミングを8クロック目に ($WTIM = 0$) に変更します。

スレーブ側がIICAレジスタに送信データを書き込み、スレーブ側によるウエイトを解除します。

マスタ側がウエイトを解除 ($WREL = 1$) して、スレーブ側はデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが ($NACK: SDA0 = 1$)。また、スレーブ側のINTIICA割り込み (アドレス一致割り込み) は発生せず、スレーブ側のウエイトもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICA割り込み (アドレス送信完了割り込み) が発生します。

備考 図13 - 33の ~ は、 I^2C バスによるデータ通信の一連の操作手順です。

図13 - 33 (1) スタート・コンディション~アドレス~データでは手順 ~

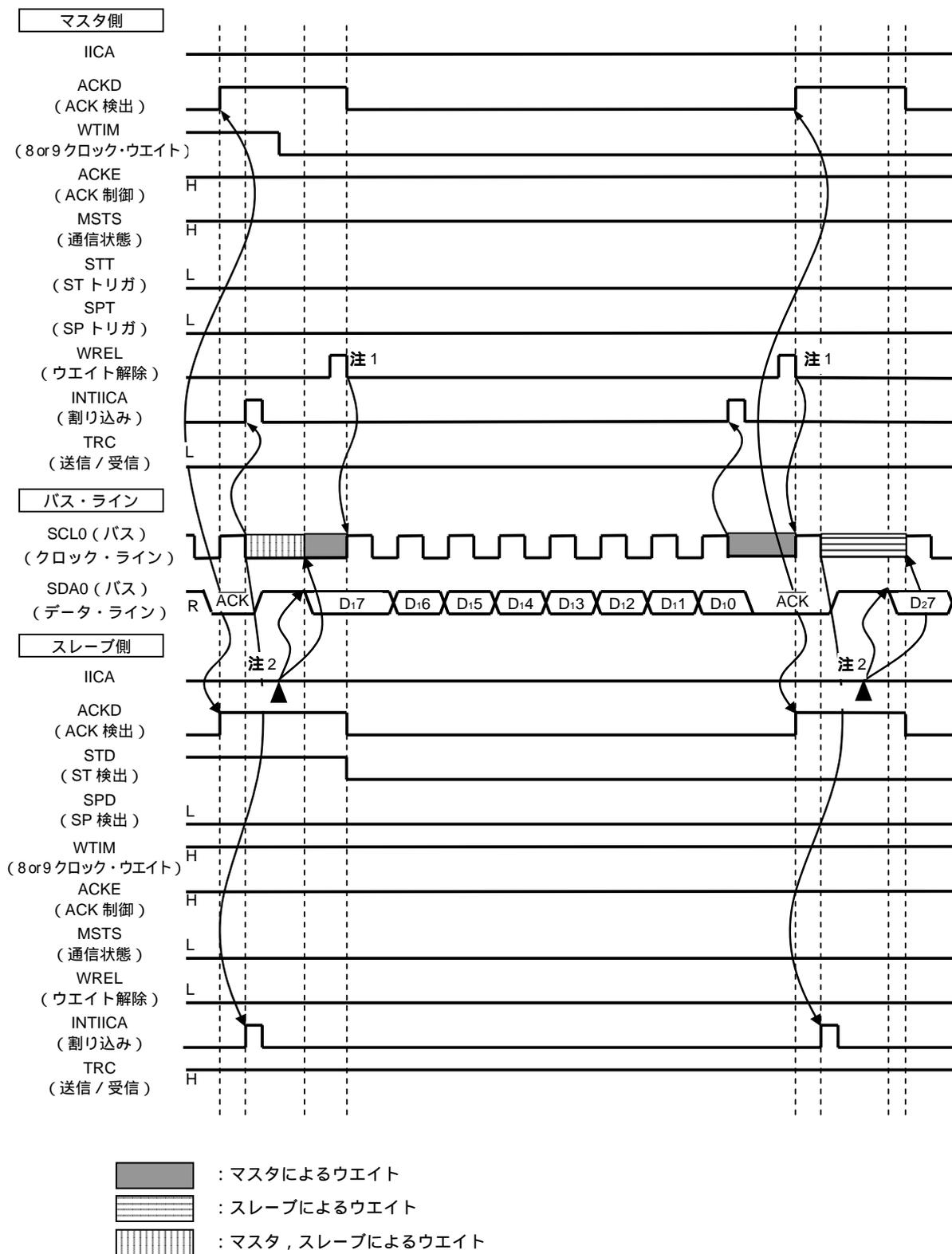
図13 - 33 (2) アドレス~データ~データでは手順 ~

図13 - 33 (3) データ~データ~ストップ・コンディションでは手順 ~

について説明しています。

図13 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (2/3)

(2) アドレス~データ~データ



注1. マスタ・ウェイト解除は, IICA FFHまたはWRELビットのセットのどちらかで行ってください。

2. スレーブ送信時のウェイト解除は, WRELビットのセットではなく, IICAへのデータ書き込みで行ってください。

図13 - 33 (2) アドレス～データ～データの ~ の説明を次に示します。

受信したアドレスとスレーブのアドレスが一致した場合[※],スレーブ側のハードウェアよりACKがマスタ側へ送信され,9クロック目の立ち上がり時に,マスタ側でACKが検出(ACKD=1)されます。

9クロック目の立ち下がりで,マスタ側の割り込み(INTIICA:アドレス送信完了割り込み)が発生し,スレーブはアドレスが一致した場合,割り込み(INTIICA:アドレス一致割り込み)が発生します。さらに,マスタ側とアドレスが一致したスレーブ側によるウェイト(SCL0=0)がかかります[※]。

マスタ側のウェイト・タイミングを8クロック目に(WTIM=0)に変更します。

スレーブ側がIICAシフト・レジスタ(IICA)に送信データを書き込み,スレーブ側によるウェイトを解除します。

マスタ側がウェイトを解除(WREL=1)して,スレーブ側はデータ転送を開始します。

8クロック目の立ち下がりで,マスタ側によるウェイト(SCL0=0)がかかり,マスタ側の割り込み(INTIICA:転送完了割り込み)が発生し,マスタ側のハードウェアよりACKがスレーブ側へ送信されます。

マスタ側は受信したデータを読み出して,ウェイトを解除(WREL=1)します。

9クロック目の立ち上がり時に,スレーブ側でACKが検出(ACKD=1)されます。

9クロック目の立ち下がりで,スレーブ側によるウェイト(SCL0=0)がかかり,スレーブ側は割り込み(INTIICA:転送完了割り込み)が発生します。

スレーブ側のIICAレジスタに送信データを書き込むと,スレーブ側のウェイトが解除され,スレーブ マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は,スレーブ側はACKをマスタ側へ返しませんが(NACK:SDA0=1)。また,スレーブ側のINTIICA割り込み(アドレス一致割り込み)は発生せず,スレーブ側のウェイトもかかりません。

ただし,マスタ側はACK, NACKの両方に対して,INTIICA割り込み(アドレス送信完了割り込み)が発生します。

備考 図13 - 33の ~ は,I²Cバスによるデータ通信の一連の操作手順です。

図13 - 33 (1) スタート・コンディション～アドレス～データでは手順 ~

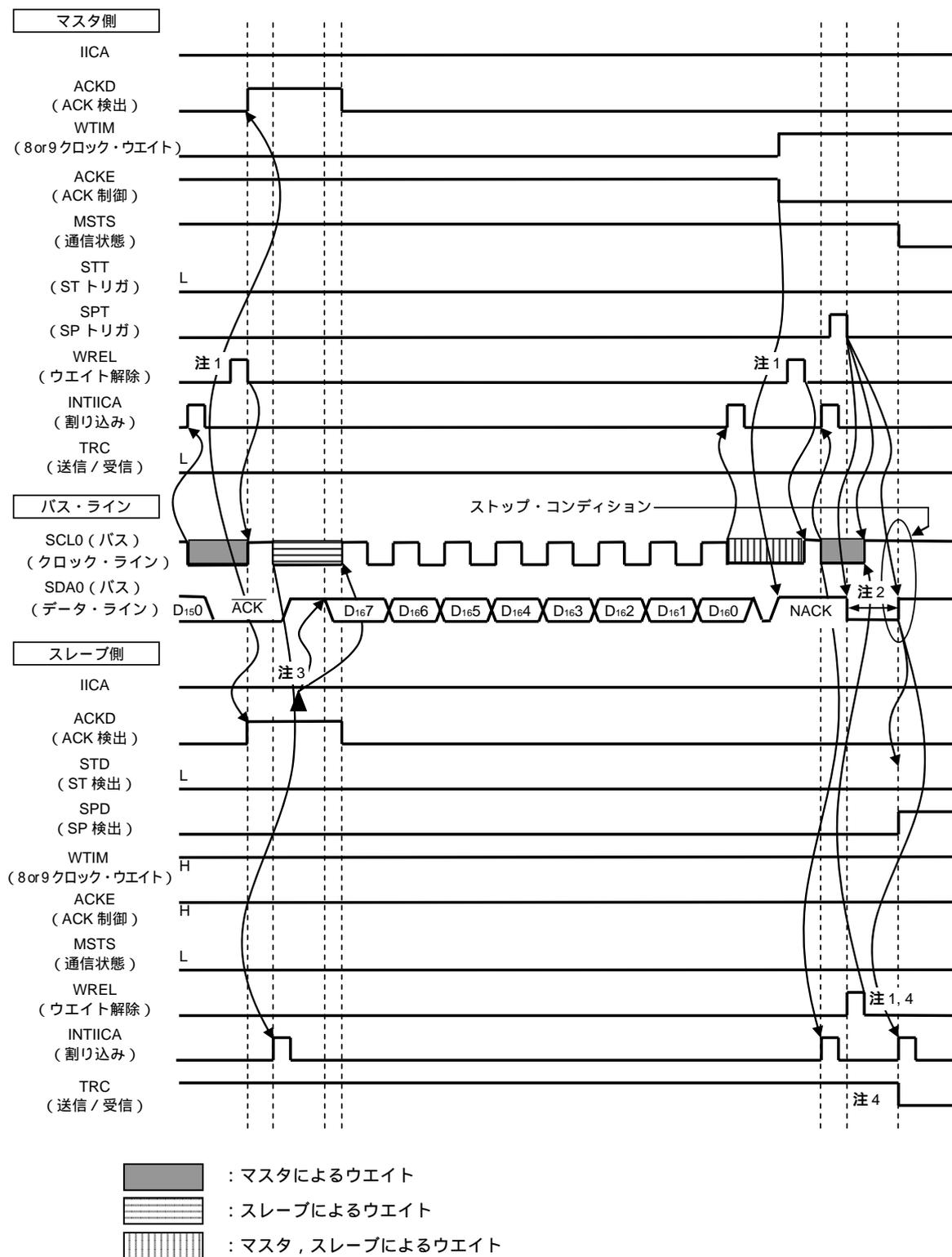
図13 - 33 (2) アドレス～データ～データでは手順 ~

図13 - 33 (3) データ～データ～ストップ・コンディションでは手順 ~

について説明しています。

図13-33 スレーブ マスタ通信例 (マスタ:8 9クロック, スレーブ:9クロックでウエイト選択時) (3/3)

(3) データ~データ~ストップ・コンディション



- 注1. ウエイト解除は、IICA FFHまたはWRELビットのセットのどちらかで行ってください。
2. ストップ・コンディションの発行後、SCL0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
3. スレーブ送信時のウエイト解除は、WRELビットのセットではなく、IICAへのデータ書き込みで行ってください。
4. スレーブ送信時のウエイトをWRELビットのセットで解除すると、TRCビットはクリアされます。

図13 - 33 (3) データ~データ~ストップ・コンディションの ~ の説明を次に示します。

8クロック目の立ち下がりで、マスタ側によるウェイト (SCL0 = 0) がかかり、マスタ側の割り込み (INTIICA: 転送完了割り込み) が発生し、マスタ側のハードウェアよりACKがスレーブ側へ送信されます。マスタ側は受信したデータを読み出して、ウェイトを解除 (WREL = 1) します。

9クロック目の立ち上がり時に、スレーブ側でACKが検出 (ACKD = 1) されます。

9クロック目の立ち下がりで、スレーブ側によるウェイト (SCL0 = 0) がかかり、スレーブ側は割り込み (INTIICA: 転送完了割り込み) が発生します。

スレーブ側のIICAシフト・レジスタ (IICA) に送信データを書き込むと、スレーブ側のウェイトが解除され、スレーブ マスタにデータ転送を開始します。

8クロック目の立ち下がりで、マスタ側の割り込み (INTIICA: 転送完了割り込み) が発生し、マスタ側によるウェイト (SCL0 = 0) がかかります。ACK制御 (ACKE = 1) されているので、この段階でのバス・データ・ラインはロウ・レベル (SDA0 = 0) となります。

マスタ側はNACK応答に設定 (ACKE = 0) し、ウェイト・タイミングを9クロック目ウェイトに変更します。マスタ側がウェイトを解除 (WREL = 1) すると、スレーブ側は9クロック目の立ち上がりでNACKを検出 (ACK = 0) します。

9クロック目の立ち下がりで、マスタ側とスレーブ側によるウェイト (SCL0 = 0) がかかり、マスタ側、スレーブ側で割り込み (INTIICA: 転送完了割り込み) が発生します。

マスタ側でストップ・コンディション発行 (SPT = 1) すると、バス・データ・ラインがクリア (SDA0 = 0) され、マスタ側のウェイトが解除されます。その後、マスタ側はバス・クロック・ラインがセット (SCL0 = 1) されるまで待機します。

スレーブ側はNACKを確認して、送信を止めて通信を完了するためにウェイトを解除 (WREL = 1) します。スレーブによるウェイトが解除されると、バス・クロック・ラインがセット (SCL0 = 1) されます。

マスタ側はバス・クロック・ラインがセット (SCL0 = 1) されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット (SDA0 = 1) してストップ・コンディションを発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、マスタ側、スレーブ側で割り込み (INTIICA: ストップ・コンディション割り込み) が発生します。

備考 図13 - 33の ~ は、I²Cバスによるデータ通信の一連の操作手順です。

図13 - 33 (1) スタート・コンディション~アドレス~データでは手順 ~

図13 - 33 (2) アドレス~データ~データでは手順 ~

図13 - 33 (3) データ~データ~ストップ・コンディションでは手順 ~

について説明しています。

第14章 拡張SFR (3rd SFR) インタフェース

14.1 拡張SFR (3rd SFR) インタフェースの機能

拡張SFR (3rd SFR) インタフェースは、バンク選択信号線とクロック同期式シリアル通信で実現しています。バンク選択信号線とシリアル通信を組み合わせることにより、拡張SFR (3rd SFR) レジスタへのアクセスを行います。シリアル通信は、シリアル・アレイ・ユニット0のチャンネル2に割り当てられているCSI10を使用しています。

拡張SFR (3rd SFR) インタフェースには、次の2種類のモードがあります。

(1) 動作停止モード

拡張SFRインタフェース通信を行わないときに使用するモードです。消費電力を低減することができます。詳細については、14.4.1 動作停止モードを参照してください。

(2) シリアルI/Oモード

2本のチップ・セレクト信号 (内部信号: P30, P31), シリアル・クロック (内部信号: $\overline{\text{SCK10}}$), シリアル・データ (内部信号: SI10, SO10) により、8ビット・データ通信を行うモードです。

詳細については、14.4.2 シリアルI/Oモードを参照してください。

注意 拡張SFR (3rd SFR) インタフェースを使用する場合は、必ず次のように設定してください。

- ・通信データ長: 8ビット
- ・MSBファースト・データ通信
- ・マスタ・モード
- ・データとクロックの位相選択 DAP02, CKP02 = 00設定
- ・拡張SFR (3rd SFR) インタフェース関連のレジスタへのアクセス中は、DI命令を実行 (PSWのIEビット = 0) してください。
- ・拡張SFR (3rd SFR) インタフェースの転送クロック周波数は、拡張SFR (3rd SFR) インタフェースへ供給するクロック周波数の1/4倍以下でかつ、必ず下記を守って設定してください。
 - ・V_{DD} = LV_{DD} 2.7 V時: 転送クロック周波数は1.25 MHz以下に設定
 - ・V_{DD} = LV_{DD} < 2.7 V時: 転送クロック周波数は555 kHz以下に設定

14.2 拡張SFR (3rd SFR) インタフェースの構成

拡張SFR (3rd SFR) インタフェースは、次のハードウェアで構成されています。

表14 - 1 拡張SFR (3rd SFR) インタフェースの構成

項 目	構 成
シフト・レジスタ	8ビット
バッファ・レジスタ	シリアル・データ・レジスタ02 (SDR02) の下位8ビット ^注
制御レジスタ	<ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタ0 (SPS0) ・シリアル・チャンネル許可レジスタ0 (SE0) ・シリアル・チャンネル開始レジスタ0 (SS0) ・シリアル・チャンネル停止レジスタ0 (ST0) ・シリアル出力許可レジスタ0 (SOE0) ・シリアル出力レジスタ0 (SO0) <各チャンネル部のレジスタ> ・シリアル・データ・レジスタ02 (SDR02) ・シリアル・モード・レジスタ02 (SMR02) ・シリアル通信動作設定レジスタ02 (SCR02) ・シリアル・ステータス・レジスタ02 (SSR02) ・シリアル・フラグ・クリア・トリガ・レジスタ02 (SIR02) ・ポート・モード・レジスタ1 (PM1) ・ポート・モード・レジスタ3 (PM3) ・ポート・レジスタ1 (P1) ・ポート・レジスタ3 (P3)

注 シリアル・データ・レジスタ02 (SDR02) の下位8ビットは、SIO10 (CSI10データ・レジスタ) のSFR名称でリード/ライト可能です。

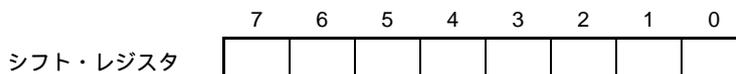
(1) シフト・レジスタ

パラレル シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ02 (SDR02) の下位8ビットを使用します。

**(2) シリアル・データ・レジスタ02 (SDR02) の下位8ビット**

SDR02は、チャンネルnの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (MCK) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8ビットに設定します。

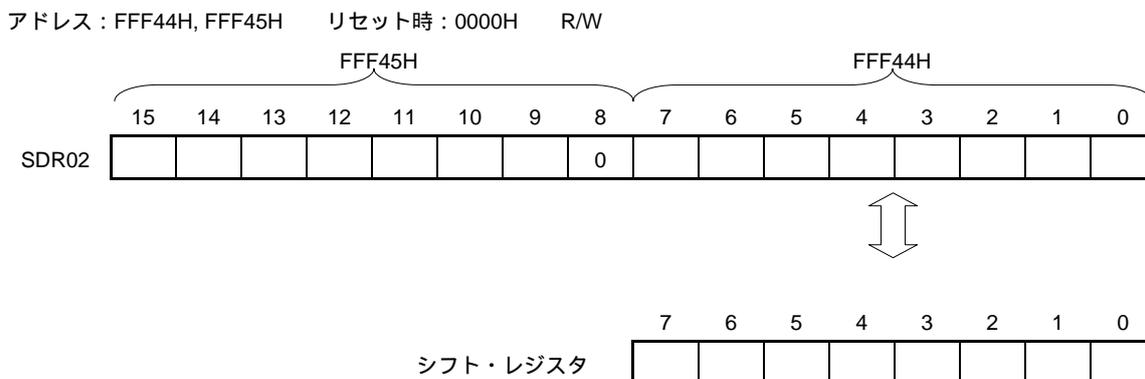
SDR02は16ビット単位でリード/ライト可能です。

またSDR02の下位8ビットは、SIO10 (CSI10データ・レジスタ) のSFR名称で8ビット単位でリード/ライト可能[※]です。

リセット信号の発生により、SDR02は0000Hになります。

注 ただし動作停止 (SE02 = 0) 時は、8ビット単位のライト禁止

図14 - 2 シリアル・データ・レジスタ02 (SDR02) のフォーマット



注意 ビット8は、必ず0を設定してください。

14.3 拡張SFR (3rd SFR) インタフェースを制御するレジスタ

拡張SFR (3rd SFR) インタフェースは、次の14種類のレジスタで制御します。

<ユニット設定部 (ユニット0) のレジスタ>

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタ0 (SPS0)
- ・シリアル・チャンネル許可ステータス・レジスタ0 (SE0)
- ・シリアル・チャンネル開始レジスタ0 (SS0)
- ・シリアル・チャンネル停止レジスタ0 (ST0)
- ・シリアル出力許可レジスタ0 (SOE0)
- ・シリアル出力レジスタ0 (SO0)

<チャンネル部 (チャンネル2) のレジスタ>

- ・シリアル・モード・レジスタ02 (SMR02)
- ・シリアル通信動作設定レジスタ02 (SCR02)
- ・シリアル・データ・レジスタ02 (SDR02)
- ・シリアル・ステータス・レジスタ02 (SSR02)
- ・シリアル・フラグ・クリア・トリガ・レジスタ02 (SIR02)
- ・ポート・モード・レジスタ1, 3 (PM1, PM3)
- ・ポート・レジスタ1, 3 (P1, P3)

(1) 周辺イネーブル・レジスタ0 (PER0)

各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

拡張SFR (3rd SFR) インタフェースは、シリアル・アレイ・ユニット0を使用するため、必ずビット2 (SAU0EN) に1を設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-3 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	[7]	6	[5]	[4]	[3]	[2]	[1]	[0]
PER0	RTCEN	0	ADCEN	IICAEN	SAU1EN	SAU0EN	TAU1EN	TAU0EN

SAU0EN	シリアル・アレイ・ユニット0の入カクロックの制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

- 注意1. 拡張SFR (3rd SFR) インタフェースの設定をする際には、必ず最初にSAU0EN = 1の設定を行ってください。SAU0EN = 0の場合は、拡張SFR (3rd SFR) インタフェースの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります (ポート・モード・レジスタ1, 3 (PM1, PM3), ポート・レジスタ1, 3 (P1, P3) は除く)。
2. SAU0ENを“1”に設定後に、4クロック以上間隔をあけてからSPS0レジスタを設定してください。

(2) シリアル・クロック選択レジスタ0 (SPS0)

SPS0は、各チャンネルに共通して供給される2種類の動作クロック (CK00, CK01) を選択する16ビット・レジスタです。SPS0のビット7-4でCK01を、ビット3-0でCK00を選択します。

SPS0は、動作中 (SE02 = 1のとき) の書き換えは禁止です。

SPS0は16ビット・メモリ操作命令で設定します。

またSPS0の下位8ビットは、SPS0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPS0は0000Hになります。

図14 - 4 シリアル・クロック選択レジスタ0 (SPS0) のフォーマット

アドレス : F0126H, F0127H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPS0	0	0	0	0	0	0	0	0	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS Op3	PRS Op2	PRS Op1	PRS Op0	動作クロック (CK0p) の選択 ^{注1}				
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz
1	1	1	1	INTTM02 ^{注2}				
上記以外				設定禁止				

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU0) の動作を停止 (ST0 = 000FH) させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニット (TAU0) も停止 (TT0 = 00FFH) させてください。

2. TAU0のチャンネル2において、f_{SUB}/4をカウント・クロックに選択したインターバルタイマ動作をし (TIS0レジスタのTIS02に“1”を設定)、SPS0レジスタでINTTM02を選択することにより、f_{CLK}の周波数 (メイン・システム・クロック、サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAU0を動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU0、TAU0を停止させる必要があります。

注意1. ビット15-8には、必ず0を設定してください。

2. SAU0ENを“1”に設定後に、4クロック以上間隔をあけてからSPS0レジスタを設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

2. p = 0, 1

(3) シリアル・チャンネル許可ステータス・レジスタ0 (SE0)

SE0は、各チャンネルのシリアル送受信動作許可 / 停止状態を表示するレジスタです。

シリアル・チャンネル開始レジスタ0 (SS0) のSS02に1を書き込むと、その対応ビット (SE02) が1にセットされます。シリアル・チャンネル停止レジスタ0 (ST0) のST02に1を書き込むと、その対応ビット (SE02) が0にクリアされます。

動作を許可したチャンネル2は、後述のシリアル出力レジスタ0 (SO0) のCKO02の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

SE0は、16ビット・メモリ操作命令で読み出します。

またSE0の下位8ビットは、SE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SE0は0000Hになります。

図14 - 5 シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のフォーマット

アドレス : F0120H, F0121H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 2	x	x

SE0 2	チャンネル2の動作許可 / 停止状態の表示
0	動作停止状態 (制御レジスタ, シフト・レジスタの値, およびシリアル・クロック入出力端子, シリアル・データ出力端子, OVFのエラー・フラグの状態を保持したまま停止 ^注)
1	動作許可状態

注 ただしSSR02レジスタのビット6, 5 (TSF02, BFF02) はクリアされます。

注意 ビット3-15には、必ず0を設定してください。

備考 x : 拡張SFR (3rd SFR) インタフェースでは使用できないビット
(第12章 シリアル・アレイ・ユニット参照)

(4) シリアル・チャンネル開始レジスタ0 (SS0)

SS0は、通信 / カウント開始の許可を各チャンネルごとに設定するトリガ・レジスタです。

SS02に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ0 (SE0) の対応ビット (SE02) が1にセットされます。SS02はトリガ・ビットなので、SE02 = 1になるとすぐSS02はクリアされます。

SS0は、16ビット・メモリ操作命令で設定します。

またSS0の下位8ビットは、SS0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SS0は0000Hになります。

図14 - 6 シリアル・チャンネル開始レジスタ0 (SS0) のフォーマット

アドレス : F0122H, F0123H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS0 2	x	x

SS0 2	チャンネル2の動作開始トリガ														
0	トリガ動作せず														
1	SE02に1をセットし、通信待機状態に遷移する (すでに通信動作中の場合は、通信動作を停止し、起動条件待ちの状態となる)														

注意 ビット3-15には、必ず0を設定してください。

備考1. SS0レジスタの読み出し値は常に0000Hとなります。

2. x : 拡張SFR (3rd SFR) インタフェースでは使用できないビット
(第12章 シリアル・アレイ・ユニット参照)

(5) シリアル・チャンネル停止レジスタ0 (ST0)

ST0は、通信/カウント停止の許可を各チャンネルごとに設定するトリガ・レジスタです。

各ビット (ST02) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ0 (SE0) の対応ビット (SE02) が0にクリアされます。ST02はトリガ・ビットなので、SE02 = 0になるとすぐST02はクリアされます。

ST0は、16ビット・メモリ操作命令で設定します。

またST0の下位8ビットは、ST0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST0は0000Hになります。

図14-7 シリアル・チャンネル停止レジスタ0 (ST0) のフォーマット

アドレス : F0124H, F0125H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST02	x	x

ST02	チャンネル2の動作停止トリガ
0	トリガ動作せず
1	SE02を0にクリアし、通信動作を停止する (制御レジスタ, シフト・レジスタの値, およびシリアル・クロック入出力端子, シリアル・データ出力端子, OVFのエラー・フラグの状態を保持したまま停止 ^注)

注 ただしSSR02レジスタのビット6, 5 (TSF02, BFF02) はクリアされます。

注意 ビット3-15には、必ず0を設定してください。

備考1. ST0レジスタの読み出し値は常に0000Hとなります。

2. x : 拡張SFR (3rd SFR) インタフェースでは使用できないビット
(第12章 シリアル・アレイ・ユニット参照)

(6) シリアル出力許可レジスタ0 (SOE0)

SOE0は、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネル2は、後述のシリアル出力レジスタ0 (SO0) のSO02の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

SOE0は、16ビット・メモリ操作命令で設定します。

またSOE0の下位8ビットは、SOE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOE0は0000Hになります。

図14 - 8 シリアル出力許可レジスタ0 (SOE0) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	0	x

SOE 02	チャンネル2のシリアル出力許可/停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意 ビット1, 3-15には、必ず0を設定してください。

備考 x : 拡張SFR (3rd SFR) インタフェースでは使用できないビット
(第12章 シリアル・アレイ・ユニット参照)

(7) シリアル出力レジスタ0 (SO0)

SO0は、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのビット2の値が、チャンネル2のシリアル・データ出力端子から出力されます。

このレジスタのビット(2+8)の値が、チャンネル2のシリアル・クロック出力端子から出力されます。

このレジスタのSO02のソフトウェアによる書き換えは、シリアル出力禁止 (SOE02 = 0) 時のみ可能です。シリアル出力許可 (SOE02 = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKO02のソフトウェアによる書き換えは、チャンネル動作停止 (SE02 = 0) 時のみ可能です。チャンネル動作許可 (SE02 = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

SO0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0F0FHになります。

図14 - 9 シリアル出力レジスタ0 (SO0) のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	1	1	0	0	0	0	1	SO 02	1	×

CKO 02	チャンネル2のシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SO 02	チャンネル2のシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意 ビット1, 3, 8, 9, 11には、必ず1を設定してください。また、
ビット4-7, 12-15には、必ず0を設定してください。

備考 × : 拡張SFR (3rd SFR) インタフェースでは使用できないビット
(第12章 シリアル・アレイ・ユニット参照)

(8) シリアル・モード・レジスタ02 (SMR02)

SMR02は、チャンネルnの動作モード設定レジスタです。動作クロック (MCK) の選択、割り込み要因の選択を行います。

SMR02は、動作中 (SE02 = 1のとき) の書き換えは禁止です。ただしMD020ビットは、動作中でも書き換えをすることができます。

SMR02は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020Hになります。

図14 - 10 シリアル・モード・レジスタ02 (SMR02) のフォーマット

アドレス : F0114H, F0115H リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR02	CKS 02	0	0	0	0	0	0	0	0	0	1	0	0	0	0	MD 020

CKS 02	チャンネル2の動作クロック (MCK) の選択
0	PRSレジスタで設定したプリスケアラ出カクロックCK00
1	PRSレジスタで設定したプリスケアラ出カクロックCK01
動作クロックMCKは、エッジ検出回路に使用されます。また、SDR02レジスタの上位7ビットの設定により、転送クロック (TCLK) を生成します。	

MD 020	チャンネル2の割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み
連続送信時はMD020 = 1として、SDR02データが空になったら次送信データの書き込みを行う。	

注意 ビット1-4, 6-14には、必ず0を設定してください。ビット5には、必ず1を設定してください。

(9) シリアル通信動作設定レジスタ02 (SCR02)

チャンネル2の通信動作設定レジスタです。データ送受信モードの設定を行います。

SCR02は、動作中 (SE02 = 1のとき) の書き換えは禁止です。

SCR02は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087Hになります。

図14 - 11 シリアル通信動作設定レジスタ02 (SCR02) のフォーマット

アドレス : F011CH, F011DH リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR02	TXE 02	RXE 02	0	0	0	0	0	0	0	0	0	0	0	1	1	1

TXE 02	RXE 02	チャンネル2の動作モードの設定
0	0	通信を開始しない
0	1	受信のみ
1	0	送信のみ
1	1	送受信を行う

- 注意1. ビット3-13には、必ず0を設定してください。ビット0-2には、必ず1を設定してください。
 2. リセット解除後、ビット7 (DIR02) には、必ず0を設定してください。

(10) シリアル・データ・レジスタ02 (SDR02) の上位7ビット

SDR02は、チャンネル2の送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (MCK) の分周設定レジスタとして使われます。

動作クロックをこのSDR02の上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

SDR02の下位8ビットの機能については、14.2 拡張SFR (3rd SFR) インタフェースの構成を参照してください。

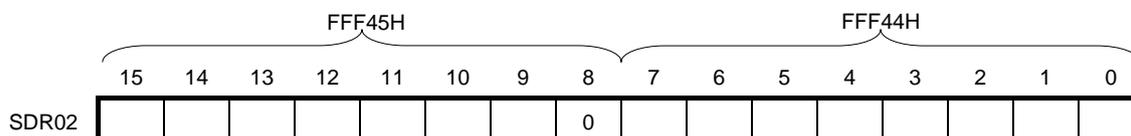
SDR02は16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SE02 = 0) のときのみ有効です。動作中 (SE02 = 1) にSDR02に書き込みを行ったときは、下位8ビットのみ値が書き込まれます。動作中にSDR02の読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、0000Hになります。

図14 - 12 シリアル・データ・レジスタ02 (SDR02) のフォーマット

アドレス : FFF44H, FFF45H リセット時 : 0000H R/W



SDR02[15:9]							動作クロック (MCK) の分周による転送クロック設定
0	0	0	0	0	0	0	MCK/2
0	0	0	0	0	0	1	MCK/4
0	0	0	0	0	1	0	MCK/6
0	0	0	0	0	1	1	MCK/8
.
.
.
1	1	1	1	1	1	0	MCK/254
1	1	1	1	1	1	1	MCK/256

注意1. ビット8は、必ず0を設定してください。

2. 拡張SFR (3rd SFR) インタフェースの転送クロック周波数は、拡張SFR (3rd SFR) インタフェースへ供給するクロック周波数の1/4倍以下でかつ、必ず下記を守って設定してください。

- $V_{DD} = LV_{DD}$ 2.7 V時 : 転送クロック周波数は1.25 MHz以下に設定
- $V_{DD} = LV_{DD} < 2.7$ V時 : 転送クロック周波数は555 kHz以下に設定

備考 SDR02の下位8ビットは、SIO10 (CSI10データ・レジスタ) のSFR名称でリード/ライト可能です。

(11) シリアル・ステータス・レジスタ02 (SSR02)

SSR02は、チャンネル2の通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、オーバーラン・エラーです。

SSR02は、16ビット・メモリ操作命令で読み出します。

またSSR02の下位8ビットは、SSR02Lで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSR02は0000Hになります。

図14 - 13 シリアル・ステータス・レジスタ02 (SSR02) のフォーマット

アドレス : F0104H, F0105H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR02	0	0	0	0	0	0	0	0	0	TSF 02	BFF 02	0	0	0	0	OVF 02

TSF 02	チャンネル2の通信状態表示フラグ
0	通信動作を行っていない
1	通信動作を行っている
更新型フラグなので、通信動作が終わると自動的にクリアされます。また、ST02/SS02ビットに1を設定した場合もクリアされます。	

BFF 02	チャンネル2のバッファ・レジスタ状態表示フラグ
0	有効なデータがSDR02レジスタに格納されていない
1	有効なデータがSDR02レジスタに格納されている
更新型フラグです。送信時には、SDR02レジスタからシフト・レジスタに転送が終わると自動的にクリアされます。受信時には、SDR02レジスタから読み出しが終わると自動的にクリアされます。また、ST02/SS02ビットに1を設定した場合もクリアされます。 SCR02レジスタのTXE02ビット = 1 (各通信モードでの送信, 送受信モード時) のときにSDR02レジスタに送信データを書き込むと自動的にセットされます。SCR02レジスタのRXE02 = 1 (各通信モードでの受信, 送受信モード時) のときにSDR02レジスタに受信データが格納されると自動的にセットされます。また受信エラーの場合もセットされます。 BFF02 = 1のときにSDR02レジスタに書き込みをすると、格納されている送信 / 受信データは破壊され、オーバーラン・エラー (OVF02 = 1) と検出されます。	

OVF 02	チャンネル2のオーバーラン・エラー検出フラグ
0	エラーが発生していない
1	オーバーラン・エラーが発生している <オーバーラン・エラー要因> ・受信データがSDR02レジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをした
累積型フラグなので、SIR02レジスタのOVCT02ビットに1を書き込むまでクリアされません。	

(12) シリアル・フラグ・クリア・トリガ・レジスタ02 (SIR02)

チャンネル2のエラー・フラグをクリアするためのトリガ・レジスタです。

OVCT02を1にセットすると、シリアル・ステータス・レジスタ02 (SSR02) の対応ビット (OVF02) が0にクリアされます。SIR02はトリガ・レジスタなので、SSR02の対応ビットをクリアするとすぐSIR02もクリアされます。

SIR02は、16ビット・メモリ操作命令で設定します。

またSIR02の下位8ビットは、SIR02Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIR02は0000Hになります。

図14 - 14 シリアル・フラグ・クリア・トリガ・レジスタ02 (SIR02) のフォーマット

アドレス : F010CH, F010DH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIR02	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVC T02

OVC T02	チャンネル2のオーバラン・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSR02レジスタのOVF02ビットを0にクリアする

注意 ビット1-15には、必ず0を設定してください。

備考 SIR02レジスタの読み出し値は常に0000Hとなります。

(13) ポート・モード・レジスタ1 (PM1)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタPM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図14 - 15 ポート・モード・レジスタ1 (PM1) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	1	PM16	PM15	PM14	PM13	PM12	PM11	PM10

PM1n	P1n端子の入出力モードの選択 (n = 0-6)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

- 注意1. リセット解除後、PM13, PM15には0を、PM14には1を必ず設定してください。
2. ビット7には、必ず1を設定してください。

(14) ポート・モード・レジスタ3 (PM3)

ポートの入力/出力を1ビット単位で設定するレジスタです。

リセット解除後、PM30, PM31, PM32には、必ず0を設定してください。

ポート・モード・レジスタPM3は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図14 - 16 ポート・モード・レジスタ3 (PM3) のフォーマット

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-4)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

- 注意1. リセット解除後、PM30, PM31, PM32には必ず0を設定してください。
2. ビット5-7には、必ず1を設定してください。

(15) ポート・レジスタ1 (P1)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リセット解除後、P15には必ず1を設定してください

ポート・レジスタP1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 17 ポート・レジスタ1 (P1) のフォーマット

アドレス : FFF01H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
P1	0	P16	P15	P14	P13	P12	P11	P10

P1n	n = 0-6	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注意 リセット解除後、P15には必ず1を設定してください。

(16) ポート・レジスタ3 (P3)

P30, P31は、拡張SFR (3rd SFR) 空間を選択するチップ・セレクト信号です。P30, P31の組み合わせにより、アクセスする拡張SFR (3rd SFR) のアドレス範囲を指定します。

図14 - 18 ポート・レジスタ3 (P3) のフォーマット

アドレス : FFF03H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
P3	0	0	0	P34	P33	P32	P31	P30

P31	P30	拡張SFR (3rd SFR) アドレス
0	0	アクセス無効
0	1	80H-FFH
1	0	100H-17FH
1	1	180H-1FFH

14.4 拡張SFR (3rd SFR) インタフェースの動作

拡張SFR (3rd SFR) インタフェースは、次の2種類のモードがあります。

- ・動作停止モード
- ・シリアルI/Oモード

14.4.1 動作停止モード

動作停止モードでは、拡張SFR (3rd SFR) へのアクセスを行いません。したがって、消費電力を低減できます。

(1) ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止することにより、拡張SFR (3rd SFR) インタフェースは停止するため、ビット2 (SAU0EN) に0を設定してください。

図14 - 19 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注意1. SAU0EN = 0の場合は、拡張SFR (3rd SFR) インタフェースの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります (ポート・モード・レジスタ3 (PM3)、ポート・レジスタ3 (P3) は除く)。

2. SAU0EN = 0にすると、シリアル・アレイ・ユニット0の他のチャンネルのシリアル通信 (UART0) も停止するため、注意してください。

備考 ■：設定不可 (初期値を設定)

x：拡張SFR (3rd SFR) インタフェースでは使用できないビット (他の周辺機能の設定による)

0/1：ユーザの用途に応じて0または1に設定

(2) チャンネル単位で動作停止とする場合

拡張SFR (3rd SFR) インタフェースは、シリアル・アレイ・ユニット0のチャンネル2を停止させることで動作停止できます。その場合の設定は、次の各レジスタで行います。

図14 - 20 チャンネル単位で動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル許可ステータス・レジスタ0 (SE0)

・・・チャンネル2のシリアル送受信動作許可 / 停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0														SE02	SE01	SE00
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	×

0 : 動作停止状態

SE0レジスタはRead Onlyのステータス・レジスタであり、ST0レジスタにて動作停止にします。
動作を停止したチャンネルは、SO0レジスタのCKO02の値をソフトウェアで設定できます。

(b) シリアル・チャンネル停止レジスタ0 (ST0)

・・・チャンネル2の通信 / カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0														ST02	ST01	ST00
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	×	×

1 : SE02を0にクリアし、通信動作を停止

ST02はトリガ・ビットなので、SE02 = 0になるとすぐST02はクリアされます。

(c) シリアル出力許可レジスタ0 (SOE0)

・・・チャンネル2のシリアル通信動作の出力許可 / 停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0														SOE02		SOE00
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0	×

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO0レジスタのSO02の値をソフトウェアで設定できます。

(d) シリアル出力レジスタ0 (SO0) ・・・チャンネル2のシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0						CKO02								SO02		SO00
	0	0	0	0	1	0/1	1	1	0	0	0	0	1	0/1	1	×

1 : シリアル・クロック出力値が“1”

1 : シリアル・データ出力値が“1”

備考 : 設定不可 (初期値を設定)

× : 拡張SFR (3rd SFR) インタフェースでは使用できないビット

(第12章 シリアル・アレイ・ユニット参照)

0/1 : ユーザの用途に応じて0または1に設定

14.4.2 シリアル/Oモード

1バイトごとのデータ送受信を行います。

(1) 機能概要

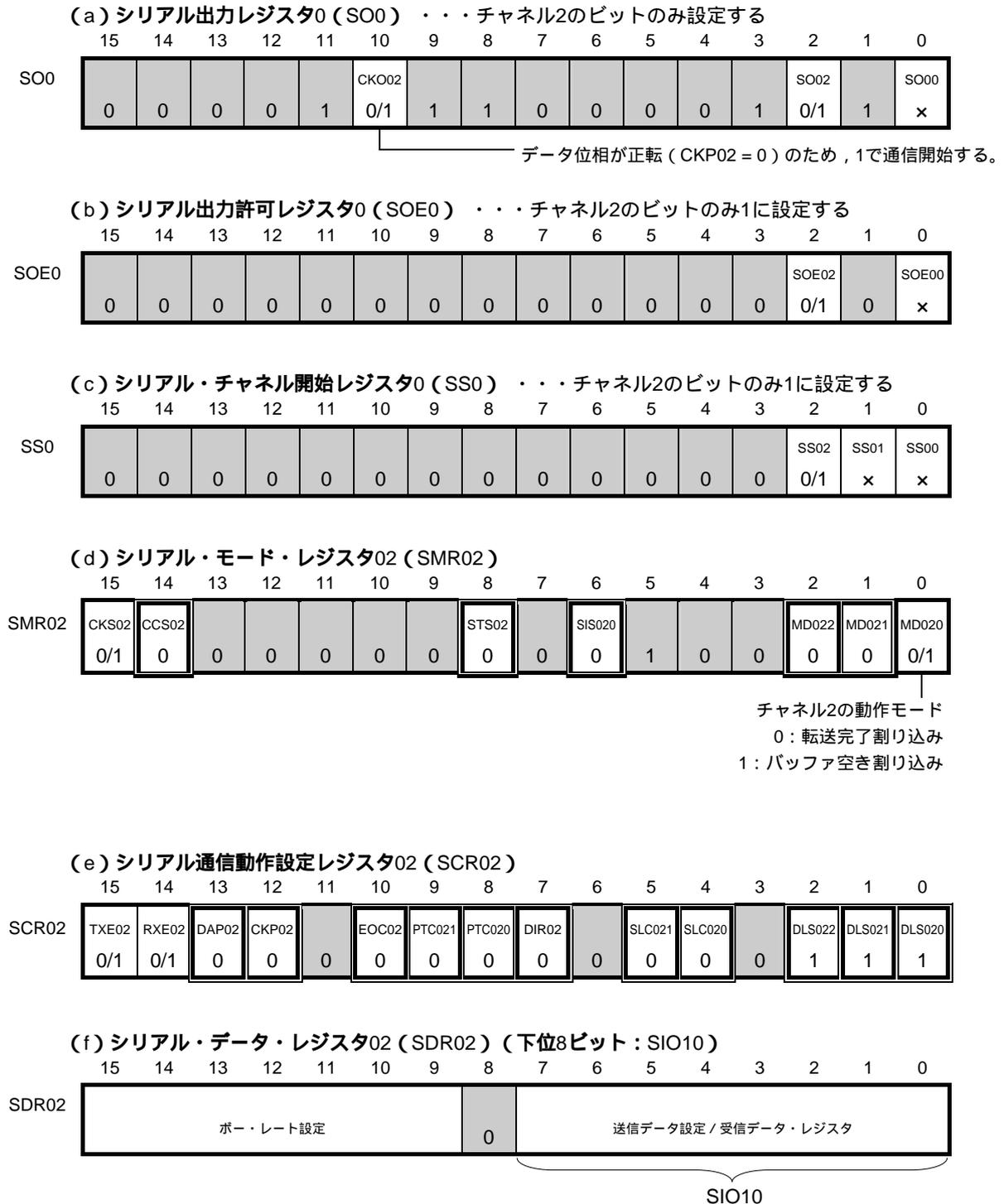
シリアル/O	CSI10
対象チャンネル	SAU0のチャンネル2
内部信号	$\overline{\text{SCK10}}$, SI10, SO10
割り込み	INTCSI10 転送完了割り込み (シングル転送モード時) か, パツファ空き割り込み (連続転送モード時) か を選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ (OVF02) のみ
転送データ長	8ビット
転送レート	Max. $f_{\text{CLK}}/4$ [MHz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [MHz] ^注 f_{CLK} : システム・クロック周波数
データ位相	DAP02 = 0により, シリアル・クロックの動作開始からデータ入出力を開始
クロック位相	CKP02 = 0により, 正転
データ方向	MSBファースト

注 拡張SFR (3rd SFR) インタフェースの転送クロック周波数は, 拡張SFR (3rd SFR) インタフェースへ供給するクロック周波数の1/4倍以下でかつ, 必ず下記を守って設定してください。

- ・ $V_{\text{DD}} = \text{LV}_{\text{DD}}$ 2.7 V時: 転送クロック周波数は1.25 MHz以下に設定
- ・ $V_{\text{DD}} = \text{LV}_{\text{DD}} < 2.7$ V時: 転送クロック周波数は555 kHz以下に設定

(2) レジスタ設定

図14 - 21 シリアルI/Oモード時のレジスタ設定内容例



備考 : 拡張SFR (3rd SFR) インタフェースのシリアルI/Oモードでは設定固定

: 設定不可 (初期値を設定)

x : 拡張SFR (3rd SFR) インタフェースでは使用できないビット

(第12章 シリアル・アレイ・ユニット参照)

0/1 : ユーザの用途に応じて0または1に設定

14.5 拡張SFR (3rd SFR) レジスタへのリード/ライト

拡張SFR (3rd SFR) 空間は384バイト空間であり、128バイトごとのバンクに分かれています。拡張SFR (3rd SFR)レジスタへのアクセスは、バンク選択とシリアル通信を組み合わせることでリード/ライト動作を行います。

(1) 拡張SFR (3rd SFR) バンク指定

拡張SFR(3rd SFR)空間は128バイト×3バンクで構成されています。各バンクは、バンク選択信号(P30, P31)で選択します。チップ・セレクト信号と対応するバンクは、次のとおりです。

表14-2 チップ・セレクト信号と対応するバンク

P31	P30	拡張SFR (3rd SFR) アドレス
0	0	アクセス無効
0	1	80H-FFH
1	0	100H-17FH
1	1	180H-1FFH

注意 バンク選択信号は、シリアル通信中(シリアル・ステータス・レジスタ02(SSR02)のTSF02 = 1)に変更することは禁止です。

(2) コマンド&データ

コマンドを用いて、拡張SFR (3rd SFR) のアクセスするレジスタを指定します。

コマンドでは、拡張SFR (3rd SFR) レジスタへのアクセス方向(リード/ライト)とバンク内アドレスを指定します。最上位ビット(ビット7)でアクセス方向を指定し、ビット6-0でバンク内アドレスを指定します。

アクセス・コマンドおよびデータの構成を、以下に示します。

図14-22 アクセス・コマンドの構成

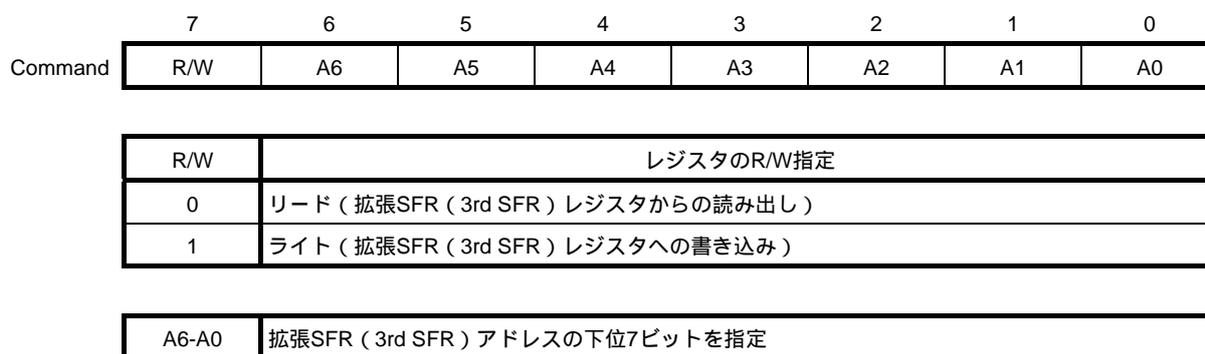
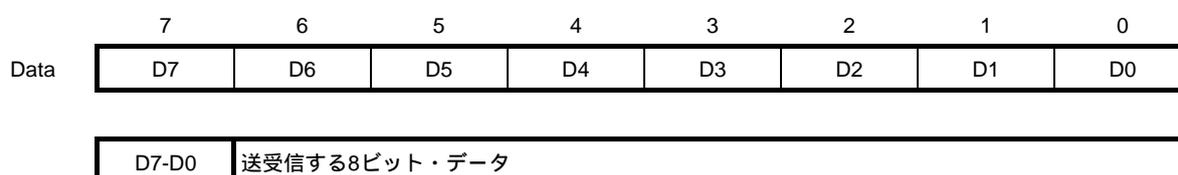


図14-23 データの構成



(3) リード・アクセス

拡張SFR (3rd SFR) レジスタからのデータ・リード・アクセスは、以下の手順で行います。

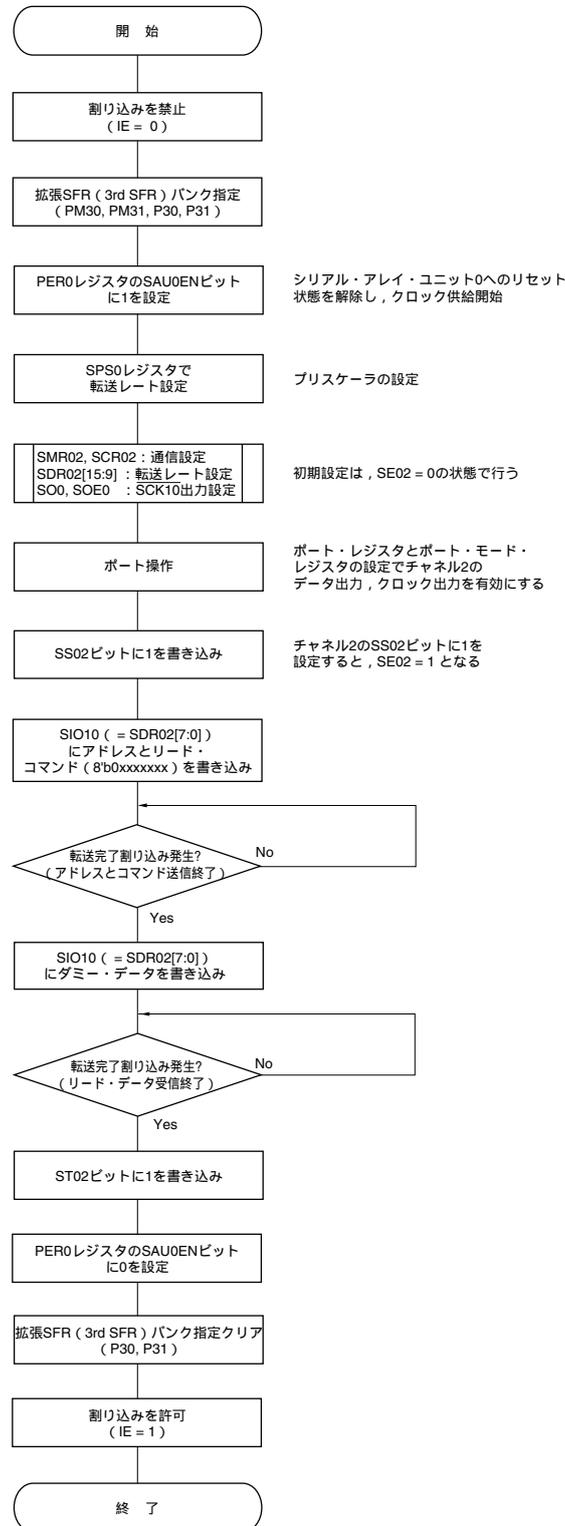
拡張SFR (3rd SFR) バンク選択 (P30, P31)
アクセス・コマンドの送信
リード・データの受信
拡張SFR (3rd SFR) バンク選択のクリア (P30, P31)

- 注意1.** 同一バンク内であっても、非連続アドレスへアクセスする場合は、必ずSFRバンク・クリアを行ってください。
- 2.** 拡張SFR(3rd SFR)レジスタへのアクセスは、割り込み禁止状態(IE = 0)で行ってください。

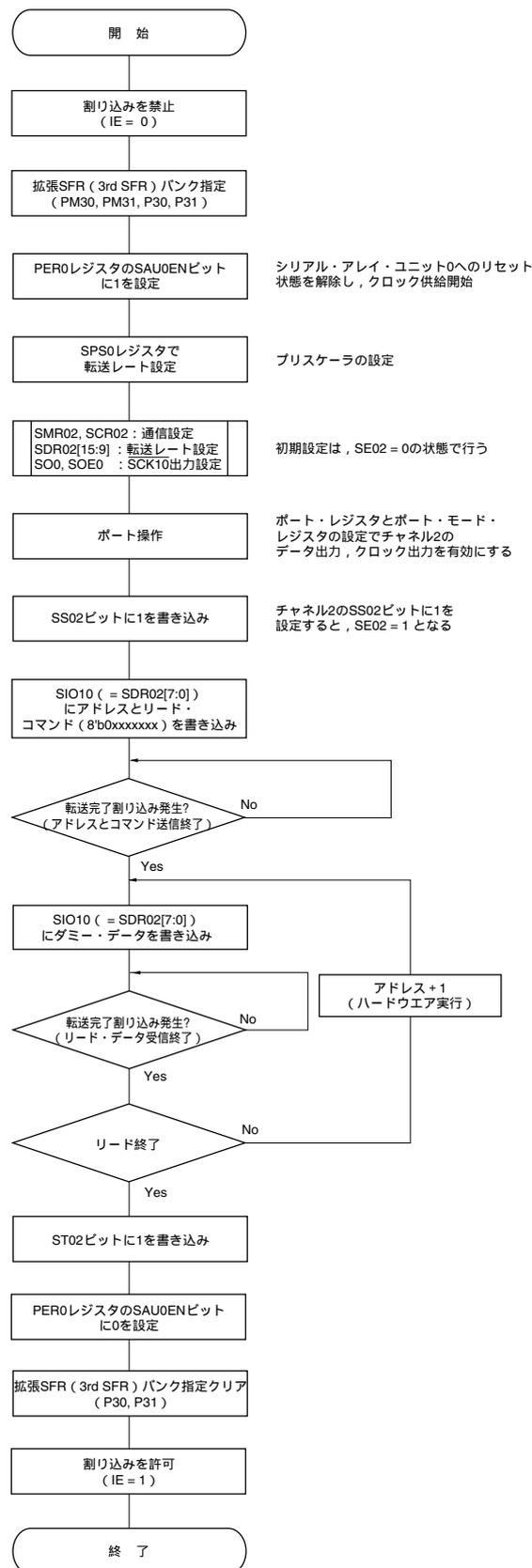
なお、連続アドレスに対するリードを行う場合は、2回目以降のコマンド送信を省略することができます。のデータ・リードが完了すると、拡張SFR(3rd SFR)インタフェースはアドレスを1インクリメントし、連続的にデータを読み出します。コマンド発行処理を省略できるため、高速にデータを読み出すことができます。

図14 - 24 拡張SFR (3rd SFR) レジスタへのデータ・リード・アクセス

(a) 非連続アドレスへのリードを行う場合



(b) 連続アドレスへのリードを行う場合



(4) ライト・アクセス

拡張SFR (3rd SFR) レジスタからのデータ・ライト・アクセスは、以下の手順で行います。

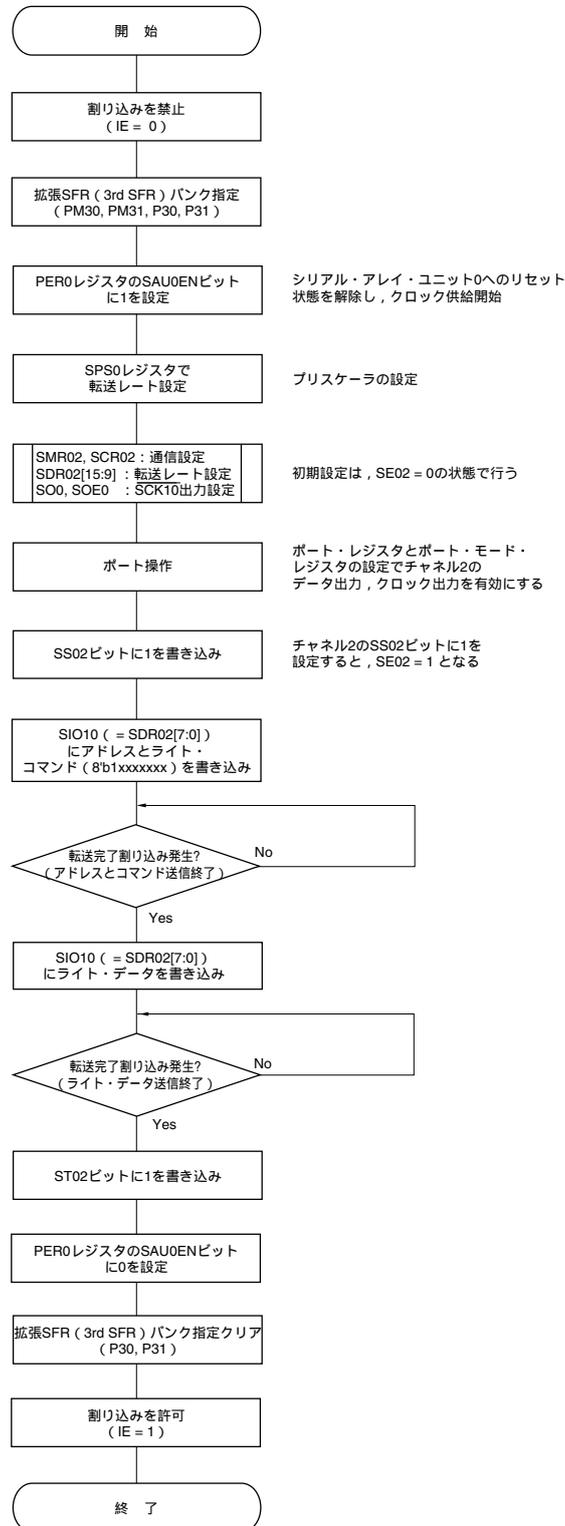
拡張SFR (3rd SFR) バンク選択 (P30, P31)
アクセス・コマンドの送信
ライト・データの送信
拡張SFR (3rd SFR) バンク選択のクリア (P30, P31)

- 注意1.** 同一バンク内であっても、非連続アドレスへアクセスする場合は、必ずSFRバンク・クリアを行ってください。
2. 拡張SFR (3rd SFR) レジスタへのアクセスは、割り込み禁止状態 (IE = 0) で行ってください。
 3. 拡張SFR (3rd SFR) インタフェースでデータ送信中に内部リセットがかかった場合、拡張SFR (3rd SFR) に正常にデータが送信されない可能性があります。

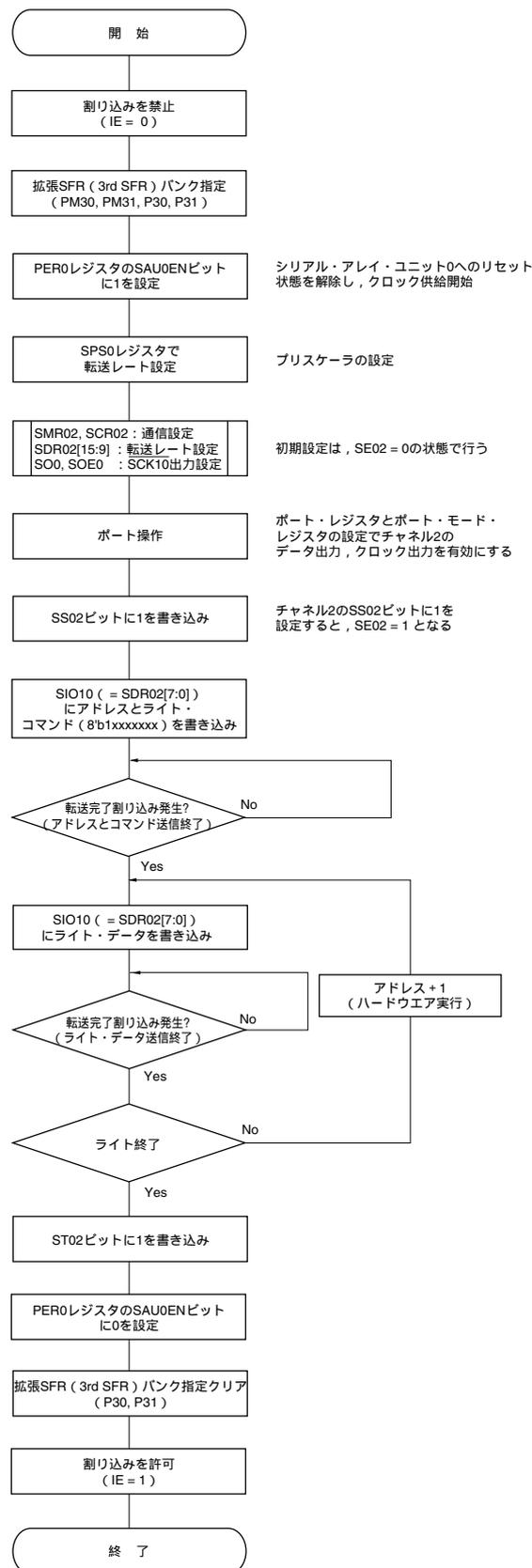
なお、連続アドレスに対するライトを行う場合は、2回目以降のコマンド送信を省略することができます。のライト・データ送信を繰り返すことで、連続的にデータを書き込むことが可能です。コマンド発行処理を省略できるため、高速にデータを書き込むことができます。

図14 - 25 拡張SFR (3rd SFR) レジスタへのデータ・ライト・アクセス

(a) 非連続アドレスへのライトを行う場合



(b) 連続アドレスへのライトを行う場合



第15章 LCDコントローラ / ドライバ

15.1 LCDコントローラ / ドライバの機能

78K0R/Lx3-Mマイクロコントローラに内蔵しているLCDコントローラ / ドライバの機能を次に示します。

- (1) LCD駆動電圧生成回路は、内部昇圧 / 容量分割 / 外部抵抗分割の切り替えが可能
- (2) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (3) 6種類の表示モードが選択可能
 - ・スタティック
 - ・1/2デューティ (1/2バイアス)
 - ・1/3デューティ (1/2バイアス)
 - ・1/3デューティ (1/3バイアス)
 - ・1/4デューティ (1/3バイアス)
- (4) 各表示モードにおいて、6種類のフレーム周波数を選択可能
- (5) 昇圧回路動作時に生成する基準電圧を20段階から選択可能 (コントラスト調整)
- (6) LCD表示データ・メモリのデータ表示を3種類から選択可能
 - ・Aパターン領域 (下位4ビット) を表示
 - ・Bパターン領域 (上位4ビット) を表示
 - ・Aパターン領域とBパターン領域を交互に表示 (リアルタイム・カウンタ2 (RTC2) の定周期割り込み (INTRTC) タイミングに対応した点滅表示)
- (7) セグメント信号出力 40本 (SEG0-SEG39) , コモン信号出力 4本 (COM0-COM3)

各表示モードにおける表示可能な最大画素数を表15 - 1に示します。

表15 - 1 最大表示画素数

LCDドライバ用 駆動電圧生成回路	バイアス法	時分割	使用コモン信号	セグメント 本数	最大表示画素数	
外部抵抗分割	-	スタティック	COM0 (COM1-COM3)	40本	40 (40セグメント×1コモン) ^{注1}	
			COM0, COM1		80 (40セグメント×2コモン) ^{注2}	
	1/2	3	COM0-COM2		120 (40セグメント×3コモン) ^{注3}	
		1/3	3		COM0-COM2	160 (40セグメント×4コモン) ^{注4}
			4		COM0-COM3	
内部昇圧	1/3	3	COM0-COM2	120 (40セグメント×3コモン) ^{注3}		
		4	COM0-COM3	160 (40セグメント×4コモン) ^{注4}		
容量分割	1/3	3	COM0-COM2	120 (40セグメント×3コモン) ^{注3}		
		4	COM0-COM3	160 (40セグメント×4コモン) ^{注4}		

- 注1. ㊦形のLCDパネルの場合、8セグメント×1コモンで5桁表示可能
 2. ㊦形のLCDパネルの場合、4セグメント×2コモンで10桁表示可能
 3. ㊦形のLCDパネルの場合、3セグメント×3コモンで15桁表示可能
 4. ㊦形のLCDパネルの場合、2セグメント×4コモンで20桁表示可能

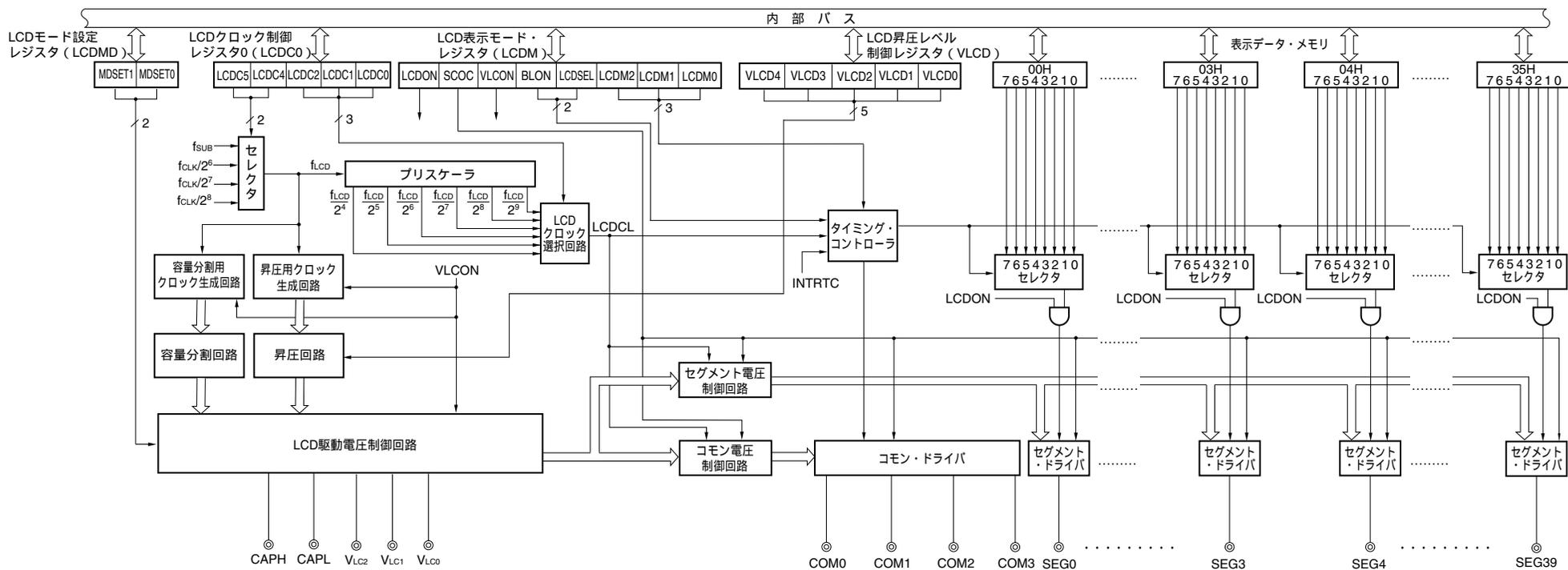
15.2 LCDコントローラ / ドライバの構成

LCDコントローラ / ドライバは、次のハードウェアで構成しています。

表15 - 2 LCDコントローラ / ドライバの構成

項 目	構 成
表示出力	セグメント信号出力 40本 (SEG0-SEG39) , コモン信号出力 4本 (COM0-COM3)
制御レジスタ	LCDモード設定レジスタ (LCDMD) LCD表示モード・レジスタ (LCDM) LCDクロック制御レジスタ0 (LCDC0) LCD昇圧レベル制御レジスタ (VLCD) ポート・ファンクション・レジスタ (PFALL) セグメント・イネーブル・レジスタ (SEGEN) 入力切り替え制御レジスタ (ISC)

図15-1 LCDコントローラ/ドライバのブロック図



備考 セグメント信号出力 40本 (SEG0-SEG39) , コモン信号出力 4本 (COM0-COM3)

15.3 LCDコントローラ / ドライバを制御するレジスタ

LCDコントローラ / ドライバは、次の7種類のレジスタで制御します。

- ・ LCDモード設定レジスタ (LCDMD)
- ・ LCD表示モード・レジスタ (LCDM)
- ・ LCDクロック制御レジスタ0 (LCDC0)
- ・ LCD昇圧レベル制御レジスタ (VLCD)
- ・ ポート・ファンクション・レジスタ (PFALL)
- ・ セグメント・イネーブル・レジスタ (SEGEN)
- ・ 入力切り替え制御レジスタ (ISC)

(1) LCDモード設定レジスタ (LCDMD)

LCD駆動電圧生成回路を設定するレジスタです。

LCDMDは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 2 LCDモード設定レジスタ (LCDMD) のフォーマット

アドレス : FFF40H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDMD	0	0	MDSET1	MDSET0	0	0	0	0

MDSET1	MDSET0	LCD駆動電圧生成回路の選択
0	0	外部抵抗分割方式
0	1	内部昇圧方式
1	0	容量分割方式
1	1	設定禁止

注意 ビット0-3, 6, 7には、必ず0を設定してください。

(2) LCD表示モード・レジスタ (LCDM)

表示動作の許可 / 禁止, 昇圧回路もしくは容量分割回路の動作許可 / 停止, 表示データ領域, 表示モードを設定するレジスタです。

LCDMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 3 LCD表示モード・レジスタ (LCDM) のフォーマット

アドレス : FFF41H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDM	LCDON	SCOC	VLCON	BLON	LCDSEL	LCDM2	LCDM1	LCDM0

LCDON	SCOC	LCD表示の許可 / 禁止
0	0	セグメント端子 / コモン端子にグランド・レベルを出力
0	1	表示オフ (セグメント出力はすべて非選択信号出力)
1	0	セグメント端子 / コモン端子にグランド・レベルを出力
1	1	表示オン

VLCON	昇圧回路もしくは容量分割回路の動作許可 / 停止
0	昇圧回路もしくは容量分割回路の動作停止
1	昇圧回路もしくは容量分割回路の動作許可

BLON	LCDSEL	表示データ領域の制御
0	0	Aパターン領域 (LCD表示データ・メモリの下位4ビット) のデータを表示
0	1	Bパターン領域 (LCD表示データ・メモリの上位4ビット) のデータを表示
1	0	Aパターン領域とBパターン領域のデータを交互に表示 (リアルタイム・カウンタ2 (RTC2) の定周期割り込み (INTRTC) タイミングに対応した点滅表示)
1	1	

LCDM2	LCDM1	LCDM0	LCDコントローラ / ドライバの表示モードの選択					
			外部抵抗分割方式		内部昇圧方式		容量分割方式	
			時分割数	バイアス法	時分割数	バイアス法	時分割数	バイアス法
0	0	0	4	1/3	4	1/3	4	1/3
0	0	1	3	1/3	3	1/3	3	1/3
0	1	0	2	1/2	4	1/3	4	1/3
0	1	1	3	1/2	4	1/3	4	1/3
1	0	0	スタティック		設定禁止			
上記以外			設定禁止					

- 注意1. LCD表示を行わないとき、消費電力を低減させるため、SCOCに0、VLCONに0を設定してください。
2. 外部抵抗分割方式設定時 (MDSET1 = MDSET0 = 0) は、VLCONに1を設定しないでください。
3. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合はリセットしてから)、基準電圧セットアップ時間 (2 ms (MIN.)) をウエイトしたあとに、VLCONに1を設定してください。

注意4. 内部昇圧方式または容量分割方式使用時に、VLCONを操作する場合は、次の手順をお守りください。

A. 表示オン状態から表示オフ状態にして、昇圧 / 容量分割回路を停止するとき

- 1) LCDON = 0により、表示オフ状態にする。
- 2) SCOC = 0により、すべてのセグメント・バッファ、コモン・バッファを出力禁止にする。
- 3) VLCON = 0により、昇圧 / 容量分割回路を停止にする。

B. 表示オン状態で、昇圧 / 容量分割回路を停止するとき

設定禁止です。必ず表示オフにしてから昇圧 / 容量分割回路を停止してください。

C. 昇圧 / 容量分割回路停止状態から表示オンにするとき

- 1) VLCON = 1により昇圧 / 容量分割回路の動作を開始して、昇圧 / 容量分割ウェイト時間待つ(第32章 電気的特性参照)。
- 2) SCOC = 1により、すべてのセグメント・バッファ、コモン・バッファを非表示出力状態にする。
- 3) LCDON = 1により、表示オン状態にする。

(3) LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック、LCDクロックを設定するレジスタです。

LCDクロックと時分割数で、フレーム周波数が決まります。

LCDC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 4 LCDクロック制御レジスタ (LCDC0) のフォーマット

アドレス : FFF42 H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
LCDC0	0	0	LCDC05	LCDC04	0	LCDC02	LCDC01	LCDC00

LCDC05	LCDC04	LCDソース・クロック (f _{lcd}) の選択
0	0	f _{sub}
0	1	f _{clk} /2 ⁶
1	0	f _{clk} /2 ⁷
1	1	f _{clk} /2 ⁸

LCDC02	LCDC01	LCDC00	LCDクロック (LCDCL) の選択
0	0	0	f _{lcd} /2 ⁴
0	0	1	f _{lcd} /2 ⁵
0	1	0	f _{lcd} /2 ⁶
0	1	1	f _{lcd} /2 ⁷
1	0	0	f _{lcd} /2 ⁸
1	0	1	f _{lcd} /2 ⁹
上記以外			設定禁止

注意1. ビット3, 6, 7には、必ず0を設定してください。

2. 内部昇圧方式に設定した場合、LCDクロック (LCDCL) は、512 Hz以下に設定してください。

備考 f_{clk} : CPU / 周辺ハードウェア・クロック周波数

f_{sub} : サブシステム・クロック周波数

(4) LCD昇圧レベル制御レジスタ (VLCD)

昇圧回路動作時に生成する基準電圧を選択（コントラスト調整）するレジスタです。基準電圧は、20段階から選択することができます。

VLCDは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、0FHになります。

図15 - 5 LCD昇圧制御レジスタ (VLCD) のフォーマット

アドレス：FFF43H リセット時：0FH R/W

略号	7	6	5	4	3	2	1	0
VLCD	0	0	0	VLCD4	VLCD3	VLCD2	VLCD1	VLCD0

VLCD4	VLCD3	VLCD2	VLCD1	VLCD0	基準電圧選択 (コントラスト調整)	VLCD電圧
						1/3バイアス時
0	0	0	0	0	1.75 V	5.25 V
0	0	0	0	1	1.70 V	5.10 V
0	0	0	1	0	1.65 V	4.95 V
0	0	0	1	1	1.60 V	4.80 V
0	0	1	0	0	1.55 V	4.65 V
0	0	1	0	1	1.50 V	4.50 V
0	0	1	1	0	1.45 V	4.35 V
0	0	1	1	1	1.40 V	4.20 V
0	1	0	0	0	1.35 V	4.05 V
0	1	0	0	1	1.30 V	3.90 V
0	1	0	1	0	1.25 V	3.75 V
0	1	0	1	1	1.20 V	3.60 V
0	1	1	0	0	1.15 V	3.45 V
0	1	1	0	1	1.10 V	3.30 V
0	1	1	1	0	1.05 V	3.15 V
0	1	1	1	1	1.00 V (デフォルト)	3.00 V
1	0	0	0	0	0.95 V	2.85 V
1	0	0	0	1	0.90 V	2.70 V
1	0	0	1	0	0.85 V	2.55 V
1	0	0	1	1	0.80 V	2.40 V
上記以外					設定禁止	

注意1. VLCDレジスタの設定は、昇圧回路動作時のみ有効です。

- ビット5-7には、必ず0を設定してください。
- VLCDレジスタの値を変更する場合は、必ず昇圧回路の動作を停止 (VLCON = 0) してから行ってください。
- 上記の値は、デバイス評価後に変更する可能性があります。

注意5. 内部昇圧方式を使用する場合は、VLCDレジスタで基準電圧を設定してから（基準電圧をデフォルト値で使用する場合はリセットしてから）、基準電圧セットアップ時間（2 ms (MIN.)）をウエイトしたあとに、VLCONに1を設定してください。

(5) ポート・ファンクション・レジスタ (PFALL)

P50-P57, P90-P97, P100, P140-P147端子をポート（セグメント出力以外）/セグメント出力のどちらかで使用するかを設定するレジスタです。

PFALLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 6 ポート・ファンクション・レジスタ (PFALL) のフォーマット

アドレス：F0080H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PFALL	0	PF14H	PF14L	PF10	PF9H	PF9L	PF5H	PF5L
PF14H	P144-P147端子のポート / セグメント出力の指定							
0	P144-P147端子をポート（セグメント出力以外）として使用							
1	P144-P147端子をセグメント出力として使用							
PF14L	P140-P143端子のポート / セグメント出力の指定							
0	P140-P143端子をポート（セグメント出力以外）として使用							
1	P140-P143端子をセグメント出力として使用							
PF10	P100端子のポート / セグメント出力の指定							
0	P100端子をポート（セグメント出力以外）として使用							
1	P100端子をセグメント出力として使用							
PF9H	P94-P97端子のポート / セグメント出力の指定							
0	P94-P97端子をポート（セグメント出力以外）として使用							
1	P94-P97端子をセグメント出力として使用							
PF9L	P90-P93端子のポート / セグメント出力の指定							
0	P90-P93端子をポート（セグメント出力以外）として使用							
1	P90-P93端子をセグメント出力として使用							
PF5H	P54-P57端子のポート / セグメント出力の指定							
0	P54-P57端子をポート（セグメント出力以外）として使用							
1	P54-P57端子をセグメント出力として使用							
PF5L	P50-P53端子のポート / セグメント出力の指定							
0	P50-P53端子をポート（セグメント出力以外）として使用							
1	P50-P53端子をセグメント出力として使用							

注意 ビット7には、必ず0を設定してください。

(6) セグメント・イネーブル・レジスタ (SEGEN)

セグメント出力専用端子 (SEG8-SEG14) からの出力許可 / 禁止を設定するレジスタです。
SEGENは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図15 - 7 セグメント・イネーブル・レジスタ (SEGEN) のフォーマット

アドレス : F0081H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEGEN	0	0	0	0	0	0	SEGEN1	SEGEN0

SEGENn	セグメント出力専用端子からの出力許可 / 禁止 (n = 0, 1)
0	セグメント出力禁止
1	セグメント出力許可

- 注意1. SEGENは、リセット解除後、1回のみ書き込み可能です。
2. ビット2-7には、必ず0を設定してください。

SEGEN1, SEGEN0ビットが制御するセグメント専用端子は、次のようになります。

SEGEN レジスタ	セグメント専用端子
	78K0R/LG3-M
SEGE1	SEG12-SEG14端子
SEGE0	SEG8-SEG11端子

(7) 入力切り替え制御レジスタ (ISC)

TI04, TI02, RxD3端子と兼用するセグメント出力端子は、シュミット・トリガ・バッファが内部で接続されています。これらの端子をセグメント出力として使用する場合には、貫流電流の進入を防ぐために、シュミット・トリガ・バッファを入力禁止にする必要があります。

ISCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 8 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4	ISC3	ISC2	ISC1	ISC0

ISC4	TI04/SEG36/P53のシュミット・トリガ・バッファの制御
0	入力禁止
1	入力許可

ISC3	TI02/SEG37/P52のシュミット・トリガ・バッファの制御
0	入力禁止
1	入力許可

ISC2	RxD3/SEG39/P50のシュミット・トリガ・バッファの制御
0	入力禁止
1	入力許可

注意 ビット7-5には、必ず0を設定してください。

備考 ビット0, 1は、LCDコントローラ・ドライバでは使用しません。

TI04/SEG36/P53, TI02/SEG37/P52, RxD3/SEG39/P50端子を使用する場合、使用する機能に応じて、PF5LビットとISC_n (n = 2-4) ビットを次のように設定してください。

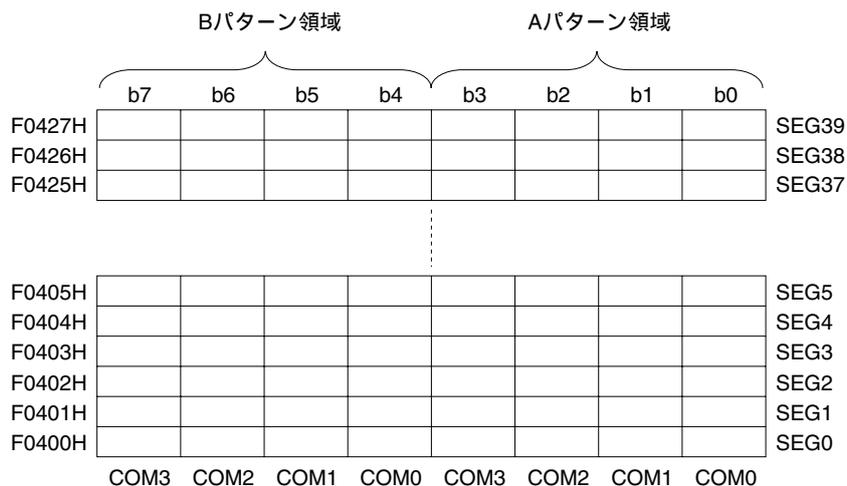
PF5L	ISC _n	端子機能
0	0	ポート出力 (デフォルト)
0	1	ポート入力, タイマ入力またはシリアル・データ入力
1	0	セグメント出力
1	1	設定禁止

15.4 LCD表示データ・メモリ

LCD表示データ・メモリは、F0400H-F0427H番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ / ドライバによりLCDパネルに表示することができます。

図15 - 9にLCD表示データ・メモリの内容とセグメント出力 / コモン出力の関係を示します。また、表示に使用しない領域は、通常のRAMとして使用できます。

図15 - 9 LCD表示データ・メモリの内容とセグメント出力 / コモン出力の関係
(スタティック, 2時分割, 3時分割, 4時分割)



スタティック, 2時分割, 3時分割または4時分割で使用する場合, LCD表示データ・メモリの各アドレスの下位4ビットはAパターン領域, 上位4ビットはBパターン領域となります。

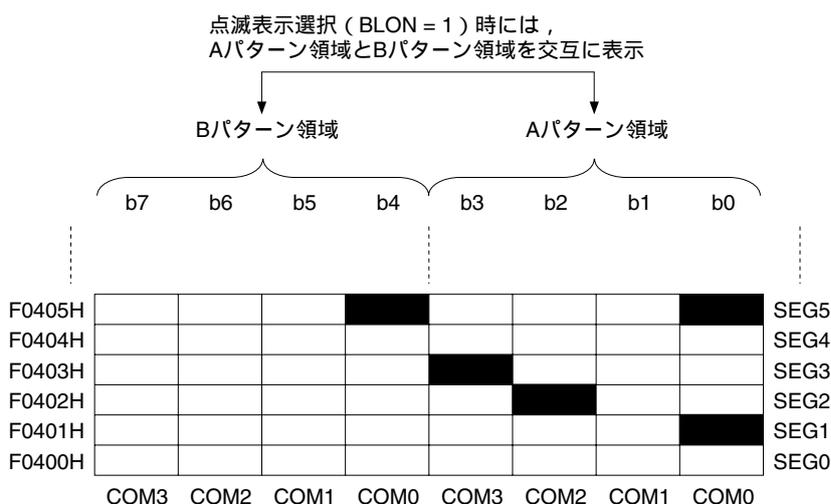
Aパターン領域のデータとCOM信号の対応は, ビット0 COM0, ビット1 COM1, ビット2 COM2, ビット3 COM3となります。

Bパターン領域のデータとCOM信号の対応は, ビット4 COM0, ビット5 COM1, ビット6 COM2, ビット7 COM3となります。

BLON = LCDSEL = 0選択時にはAパターン領域のデータを, BLON = 0, LCDSEL=1選択時には, Bパターン領域のデータを, LCDパネルに表示します。

また, BLON = 1選択時には, リアルタイム・カウンタ2 (RTC2) の定周期割り込み (INTRTC) タイミングに対応して, Aパターン領域とBパターン領域を交互に表示します。

図15 - 10 点滅表示選択時の表示データ例



15.5 LCDコントローラ / ドライバの設定

LCDコントローラ / ドライバの設定は、次のように行ってください。

(1) 外部抵抗分割方式

MDSET0, MDSET1ビット (LCDMDレジスタのビット4, 5) で外部抵抗分割方式に設定する (MDSET0 = MDSET1 = 0)。

セグメント出力専用端子を使用する場合は、使用する端子をSEGENレジスタでセグメント出力許可にする。

ポート端子と兼用しているセグメント出力端子を使用する場合は、使用する端子をPFALLレジスタでセグメント出力に設定する。また、TI04, TI02, RxD3端子と兼用するセグメント出力端子を使用する場合は、ISCレジスタでシュミット・トリガ・バッファを入力禁止にする。

LCD表示用RAM内に表示データを設定する。

LCDM0-LCDM2ビット (LCDMレジスタのビット0-2) で時分割数とバイアス・モードを設定する。

・スタティック, 2時分割, 3時分割, または4時分割を設定

LCDSEL, BLONビット (LCDMレジスタのビット3, 4) で表示データ領域を設定する。

LCDC0レジスタで, LCDソース・クロックとLCDクロックを設定する。

SCOCビット (LCDMレジスタのビット6) をセット (SCOC = 1) する。すべてのセグメント端子, コモン端子から非選択波形が出力され, 非表示状態となる。

LCDONビット (LCDMレジスタのビット7) をセット (LCDON = 1) することにより, 各データ・メモリに対応した出力を開始する。

(2) 内部昇圧方式

MDSET0, MDSET1ビット (LCDMDレジスタのビット4, 5) で内部昇圧方式に設定する (MDSET0 = 1, MDSET1 = 0)。

セグメント出力専用端子を使用する場合は,使用する端子をSEGENレジスタでセグメント出力許可にする。CAPH, CAPL端子を使用するため, PM00 = 1, PM01 = 1に設定する。

ポート端子と兼用しているセグメント出力端子を使用する場合は,使用する端子をPFALLレジスタでセグメント出力に設定する。また, TI04, TI02, RxD3端子と兼用するセグメント出力端子を使用する場合は, ISCレジスタでシュミット・トリガ・バッファを入力禁止にする。

LCD表示用RAM内に表示データを設定する。

LCDM0-LCDM2ビット (LCDMレジスタのビット0-2) で時分割数とバイアス・モードを設定する。

・スタティック, 2時分割, 3時分割, または4時分割を設定

(内部昇圧方式は, 1/3バイアス・モードのみ設定可能)

LCDSEL, BLONビット (LCDMレジスタのビット3, 4) で表示データ領域を設定する。

LCDC0レジスタで, LCDソース・クロックとLCDクロックを設定する。

VLCDレジスタで, 基準電圧を設定する (コントラスト調整)。

VLCDレジスタのセットから基準電圧セットアップ時間 (2 ms (MIN.)) を待つ。

VLCONビット (LCDMレジスタのビット5) をセット (VLCON = 1) し, 昇圧回路動作を開始する。

VLCONビットのセットから昇圧ウエイト時間を待つ (第32章 電気的特性参照)。

SCOCビット (LCDMレジスタのビット6) をセット (SCOC = 1) する。すべてのセグメント端子, コモン端子から非選択波形が出力され, 非表示状態となる。

LCDONビット (LCDMレジスタのビット7) をセット (LCDON = 1) することにより, 各データ・メモリに対応した出力を開始する。

注意 昇圧回路を停止する場合, 必ずSCOCビットとLCDONビットに0を設定してから, VLCONに0を設定してください。

(3) 容量分割方式

MDSET0, MDSET1ビット (LCDMDレジスタのビット4, 5) で容量分割方式に設定する (MDSET0 = 0, MDSET1 = 1)。

セグメント出力専用端子を使用する場合は,使用する端子をSEGENレジスタでセグメント出力許可にする。CAPH, CAPL端子を使用するため, PM00 = 1, PM01 = 1に設定する。

ポート端子と兼用しているセグメント出力端子を使用する場合は,使用する端子をPFALLレジスタでセグメント出力に設定する。また, TI04, TI02, RxD3端子と兼用するセグメント出力端子を使用する場合は, ISCレジスタでシュミット・トリガ・バッファを入力禁止にする。

LCD表示用RAM内に表示データを設定する。

LCDM0-LCDM2ビット (LCDMレジスタのビット0-2) で時分割数とバイアス・モードを設定する。

(容量分割方式は, 1/3バイアス・モードのみ設定可能)

LCDSEL, BLONビット (LCDMレジスタのビット3, 4) で表示データ領域を設定する。

LCDC0レジスタで, LCDソース・クロックとLCDクロックを設定する。

VLCONビット (LCDMレジスタのビット5) をセット (VLCON = 1) し, 容量分割回路動作を開始する。

VLCONのセットから容量分割ウエイト時間を待つ (第32章 電気的特性参照)。

SCOCビット (LCDMレジスタのビット6) をセット (SCOC = 1) する。すべてのセグメント端子, コモン端子から非選択波形が出力され, 非表示状態となる。

LCDONビット (LCDMレジスタのビット7) をセット (LCDON = 1) することにより, 各データ・メモリに対応した出力を開始する。

注意 容量分割回路を停止する場合, 必ずSCOCビットとLCDONビットに0を設定してから, VLCONに0を設定してください。

15.6 コモン信号とセグメント信号

LCDパネルの各画素は, それに対応するコモン信号とセグメント信号の電位差が一定電圧 (LCD駆動電圧 V_{LCD}) 以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは, コモン信号とセグメント信号にDC電圧が加えられると劣化するため, AC電圧によって駆動されます。

(1) コモン信号

コモン信号は, 設定する時分割数に応じて表15-3に示す順序で選択タイミングとなり, それらを一周期として繰り返し動作を行います。スタティック・モードの場合はCOM0-COM3に同一信号が出力されます。

なお, 2時分割の場合のCOM2, COM3端子および3時分割の場合のCOM3端子は, オープンにして使用してください。

表15-3 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3
スタティック	↑	↑	↑	↑
2時分割	↑	↑	オープン	オープン
3時分割	↑	↑	↑	オープン
4時分割	↑	↑	↑	↑

(2) セグメント信号

セグメント信号は、LCD表示データ・メモリ(15.4 LCD表示データ・メモリ参照)に対応しています。

Aパターン領域では、各表示データ・メモリのビット0からビット3がCOM0からCOM3に、Bパターン領域では、各表示データ・メモリのビット4からビット7がCOM0からCOM3に対応します。コモン信号出力の各タイミングに同期して、データ・メモリのデータが読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子(SEG0-SEG39)に出力されます。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極(セグメント信号に対応)と背面電極(コモン信号に対応)がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のLCD表示データ・メモリのビット1-3、2時分割方式の場合のビット2、3、3時分割方式の場合のビット3はLCD表示に使用しませんので、表示以外の目的に使用できます。

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表15-4に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表15-4 LCD駆動電圧

(a) スタティック表示モード

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LCO}	V_{LCO}/V_{SS}
V_{LCO}/V_{SS}		$-V_{LCD}/+V_{LCD}$	0 V/0 V

(b) 1/2バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LCO}	V_{LCO}/V_{SS}
選択信号レベル	V_{LCO}/V_{SS}	$-V_{LCD}/+V_{LCD}$	0 V/0 V
非選択信号レベル	$V_{LC1} = V_{LC2}$	$-\frac{1}{2}V_{LCD}/+\frac{1}{2}V_{LCD}$	$+\frac{1}{2}V_{LCD}/-\frac{1}{2}V_{LCD}$

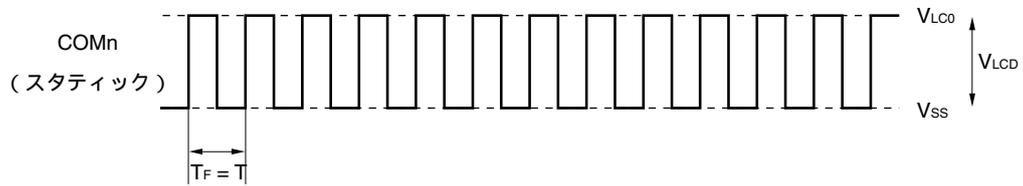
(c) 1/3バイアス法

セグメント信号		選択信号レベル	非選択信号レベル
コモン信号		V_{SS}/V_{LCO}	V_{LC1}/V_{LC2}
選択信号レベル	V_{LCO}/V_{SS}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル	V_{LC2}/V_{LC1}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$+\frac{1}{3}V_{LCD}/-\frac{1}{3}V_{LCD}$

図15 - 11にコモン信号波形を，図15 - 12にコモン信号とセグメント信号の電圧と位相を示します。

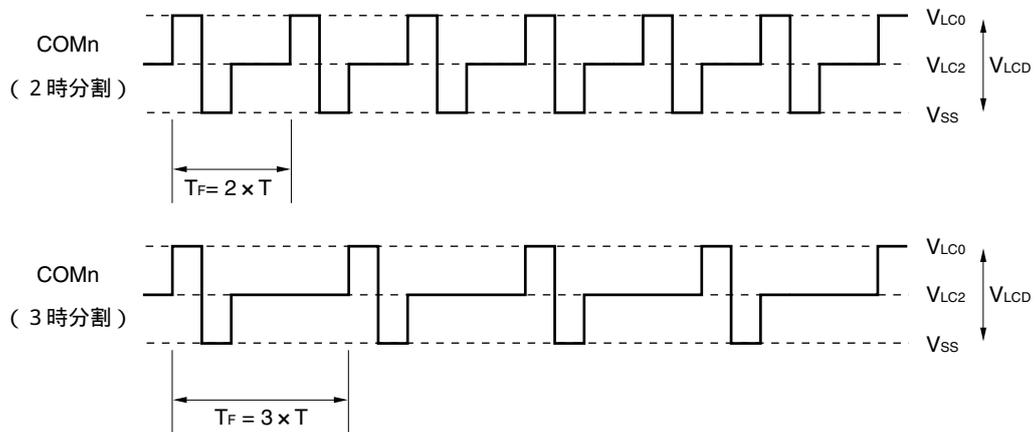
図15 - 11 コモン信号波形 (1/2)

(a) スタティック表示モード



T : LCDクロックの1周期分 T_F : フレーム周波数

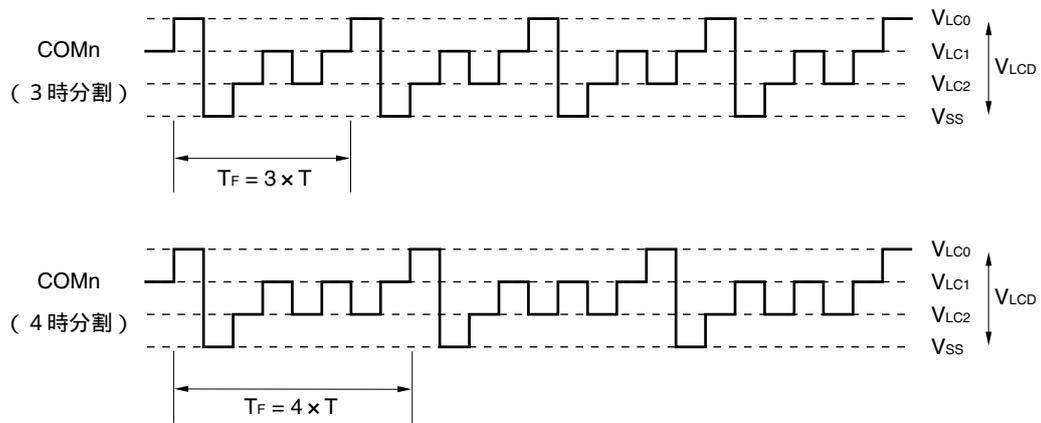
(b) 1/2バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

図15 - 11 コモン信号波形 (2/2)

(c) 1/3バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

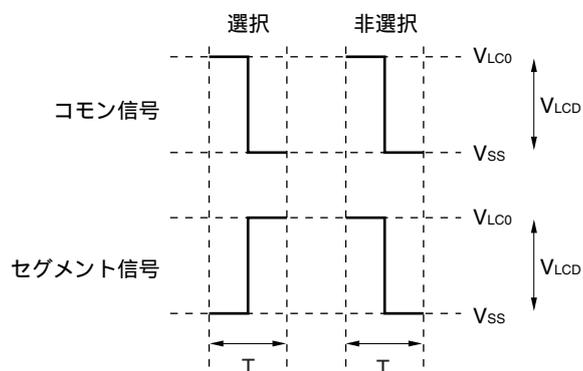
< LCDフレーム周波数の算出例 (4時分割使用時) >

LCDクロック : $32768/2^8 = 256 \text{ Hz}$ (LCDC0 = 04H設定時)

LCDフレーム周波数 : 64 Hz

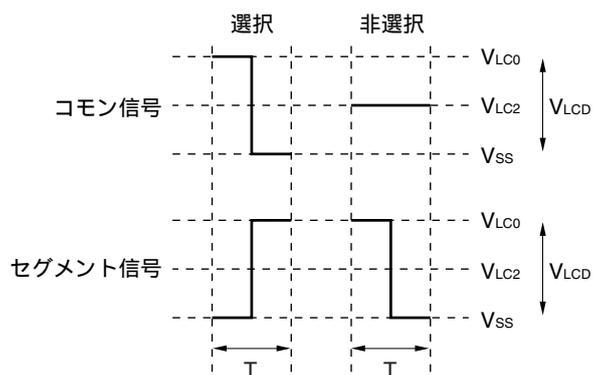
図15 - 12 コモン信号とセグメント信号の電圧と位相

(a) スタティック表示モード



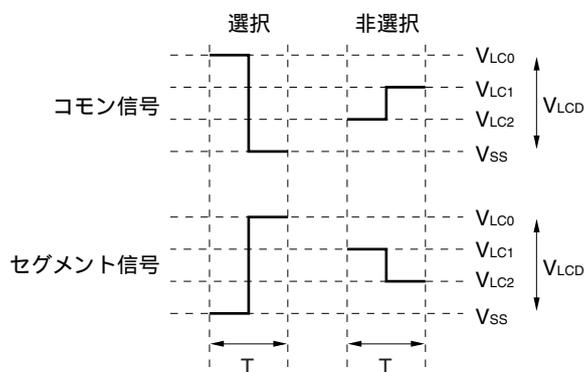
T : LCDクロックの1周期分

(b) 1/2バイアス法



T : LCDクロックの1周期分

(c) 1/3バイアス法



T : LCDクロックの1周期分

15.7 表示モード

15.7.1 スタティック表示例

図15 - 14は、図15 - 13の表示パターンを持つスタティック方式の3桁のLCDパネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0) との接続を示します。表示例は12.3で、表示データ・メモリ (F0400H-F0417H) の内容はこれに対応しています。

ここでは2桁目の2.(2.)を例にとって説明します。図15 - 13の表示パターンに従って、COM0のコモン信号のタイミングで表15 - 5に示すような選択、非選択電圧をSEG8-SEG15端子に出力する必要があります。

表15 - 5 選択, 非選択電圧 (COM0)

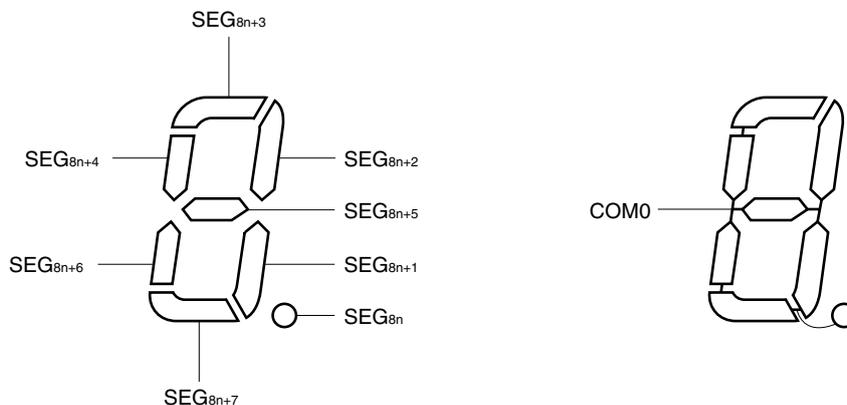
セグメント コモン	SEG8	SEG9	SEG10	SEG11	SEG12	SEG13	SEG14	SEG15
COM0	選	非	選	選	非	選	選	選

これによりSEG8-SEG15に対応する表示データ・メモリ (F0408H-F040FH) のビット0には、10110111を用意すればよいことが分かります。

SEG11, SEG12とCOM0とのLCD駆動波形を図15 - 15に示します。COM0との選択タイミングでSEG11が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図15 - 13 スタティックLCDの表示パターンと電極結線



備考 n = 0-4

図15 - 14 スタティックLCDパネルの結線例

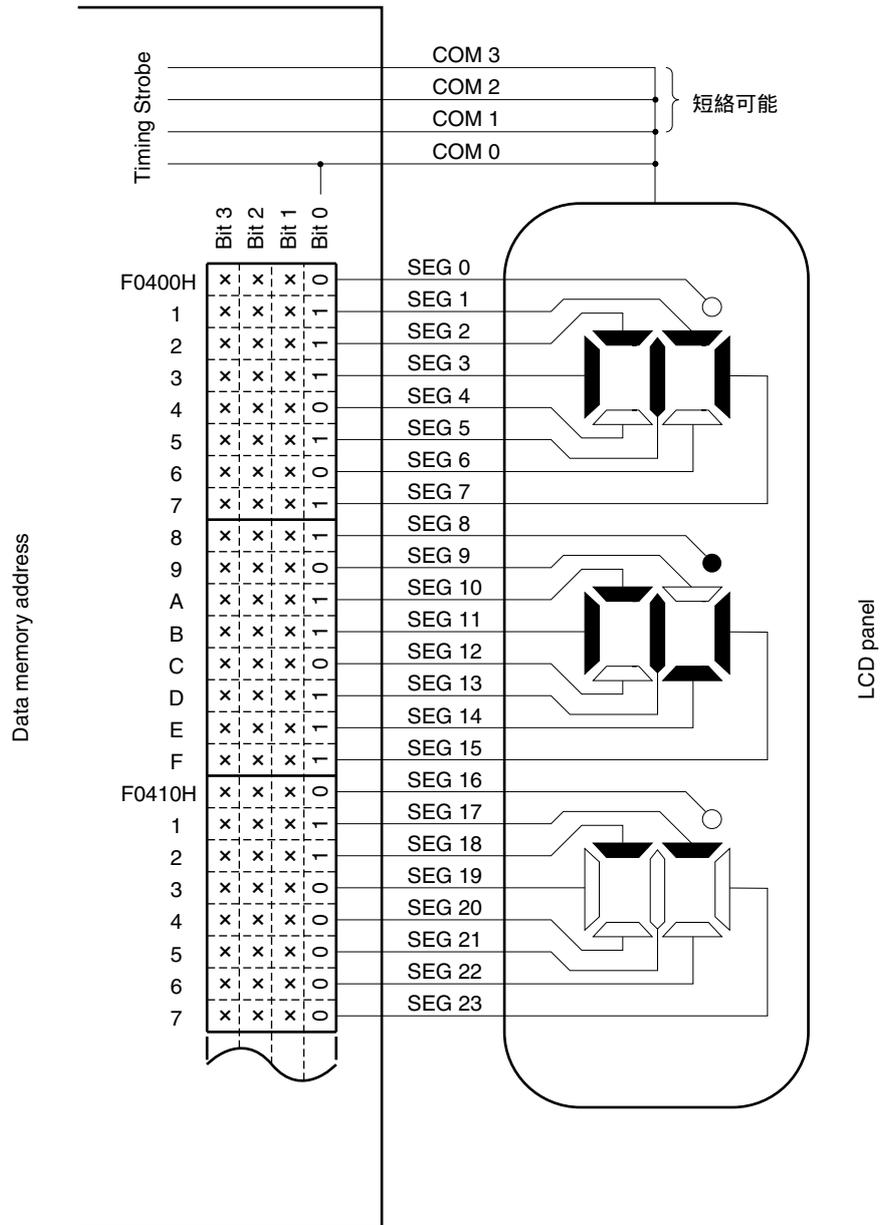
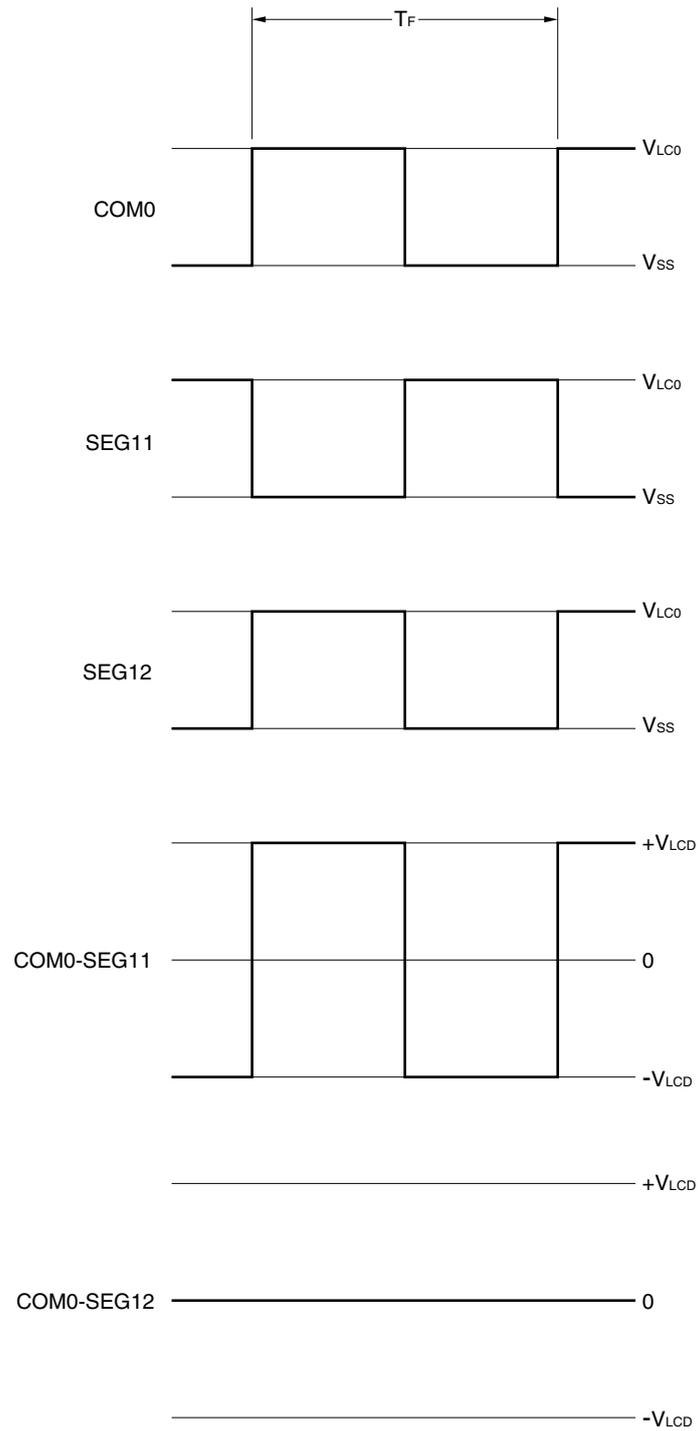


図15 - 15 スタティックLCD駆動波形例



15.7.2 2時分割表示例

図 15 - 17 は、図 15 - 16 の表示パターンを持つ 2 時分割方式の 6 桁 LCD パネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0, COM1) との接続を示します。表示例は 12345.6 で、表示データ・メモリ (F0400H-F0417H) の内容はそれらに対応しています。

ここでは 4 桁目の 3 (ヨ) を例にとって説明します。図 15 - 16 の表示パターンに従って、COM0, COM1 の各コモン信号のタイミングで表 15 - 6 に示すような選択、非選択電圧を SEG12-SEG15 端子に出力する必要があります。

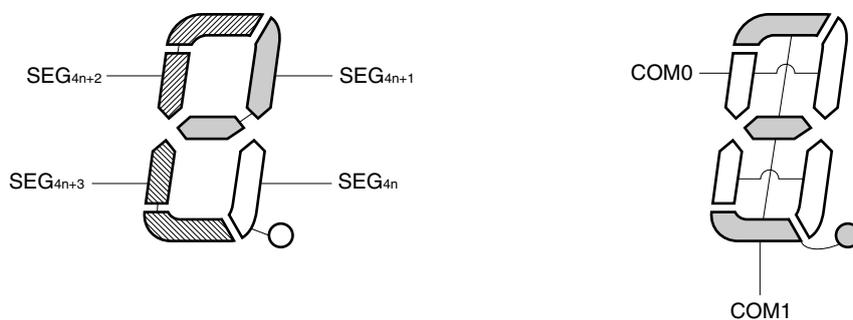
表 15 - 6 選択、非選択電圧 (COM0, COM1)

セグメント コモン	SEG12	SEG13	SEG14	SEG15
COM0	選	選	非	非
COM1	非	選	選	選

これにより、たとえば SEG15 に対応する表示データ・メモリ (F040FH 番地) には、 $\times \times 10$ を用意すればよいことが分かります。

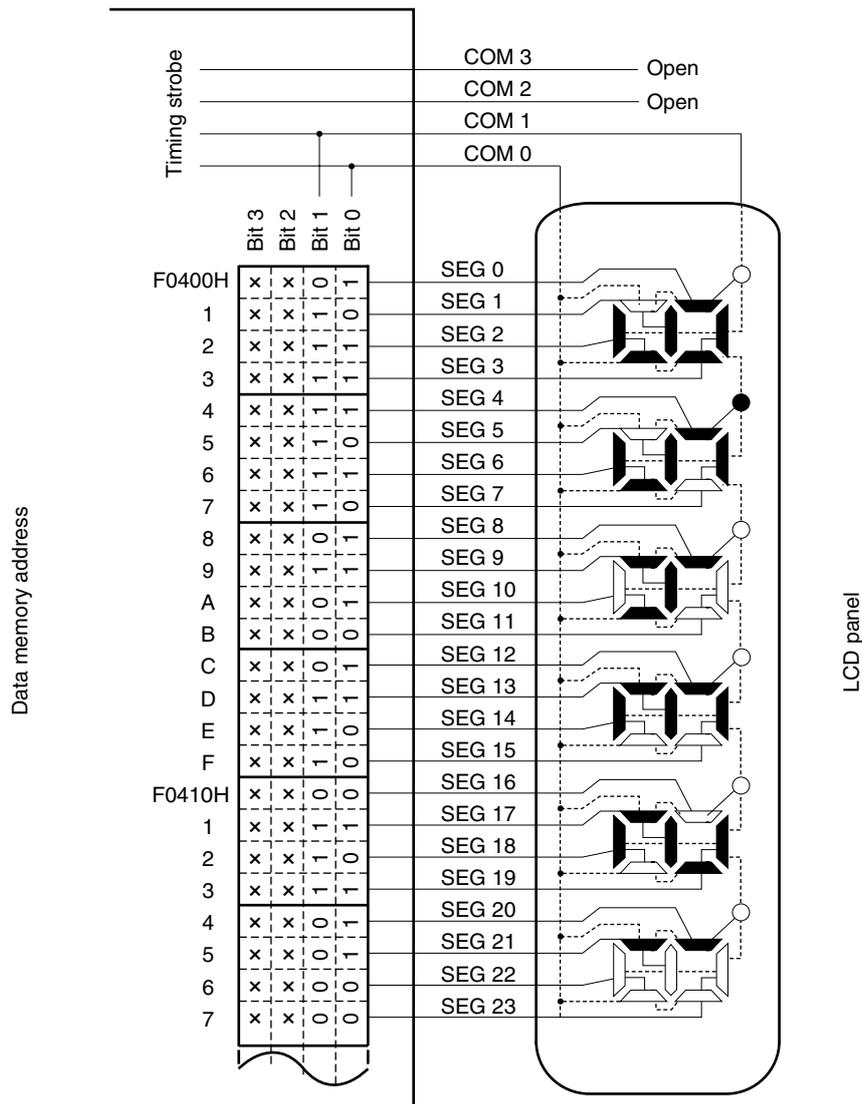
SEG15 と各コモン信号間の LCD 駆動波形例を図 15 - 18 に示します。COM1 の選択タイミングで SEG15 が選択電圧のときに、LCD 点灯レベルである $+V_{Lcd} / -V_{Lcd}$ の交流矩形波が発生することが分かります。

図 15 - 16 2時分割LCD表示パターンと電極結線



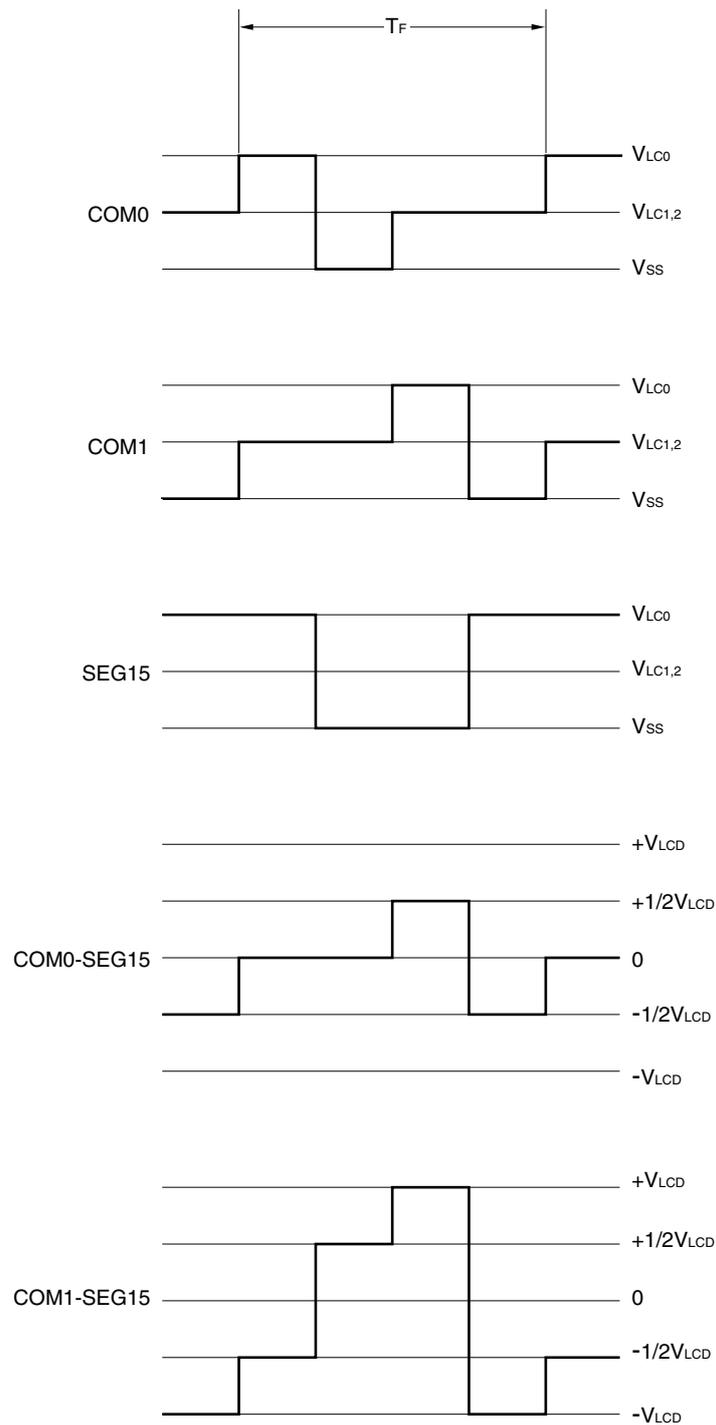
備考 n = 0-9

図15 - 17 2時分割LCDパネルの結線例



x : 2時分割表示のため, 常に任意のデータをストア可能です。

図15 - 18 2時分割LCD駆動波形例 (1/2バイアス法)



15.7.3 3時分割表示例

図 15 - 20 は、図 15 - 19 の表示パターンを持つ 3 時分割方式の 8 桁 LCD パネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM2) との接続を示します。表示例は 123456.78 で、表示データ・メモリ (F0400H-F0417H) の内容はこれに対応しています。

ここでは 3 桁目の 6. (6.) を例にとって説明します。図 15 - 19 の表示パターンに従って、COM0-COM2 の各コモン信号のタイミングで表 15 - 7 に示すような選択、非選択電圧を SEG6-SEG8 端子に出力する必要があります。

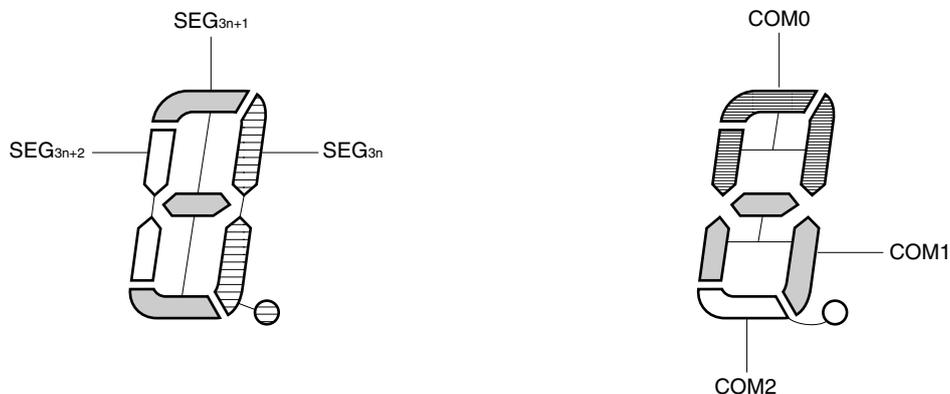
表 15 - 7 選択、非選択電圧 (COM0-COM2)

セグメント	SEG6	SEG7	SEG8
コモン			
COM0	非	選	選
COM1	選	選	選
COM2	選	選	

これにより SEG6 に対応する表示データ・メモリ (F0406H 番地) には、×110 を用意すればよいことが分かります。

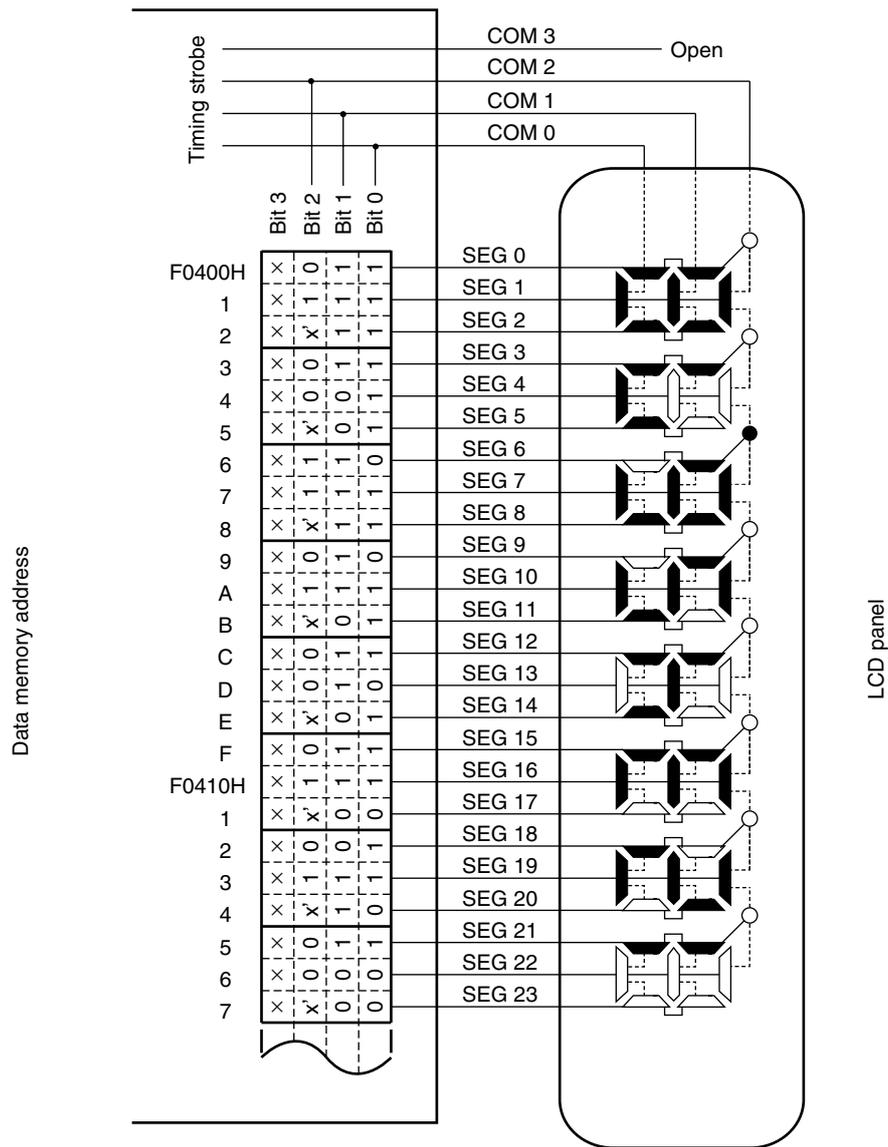
SEG6 と各コモン信号間の LCD 駆動波形例を図 15 - 21 (1/2 バイアス法)、図 15 - 22 (1/3 バイアス法) に示します。COM1 の選択タイミングで SEG6 が選択電圧のとき、および COM2 の選択タイミングで SEG6 が選択電圧のときに、LCD 点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図 15 - 19 3時分割LCD表示パターンと電極結線



備考 n = 0-12

図15 - 20 3時分割LCDパネルの結線例



- X : LCDパネルに対応セグメントがないため任意のデータをストア可能です。
- x : 3時分割表示のため、常に任意のデータをストア可能です。

図15 - 21 3時分割LCD駆動波形例 (1/2バイアス法)

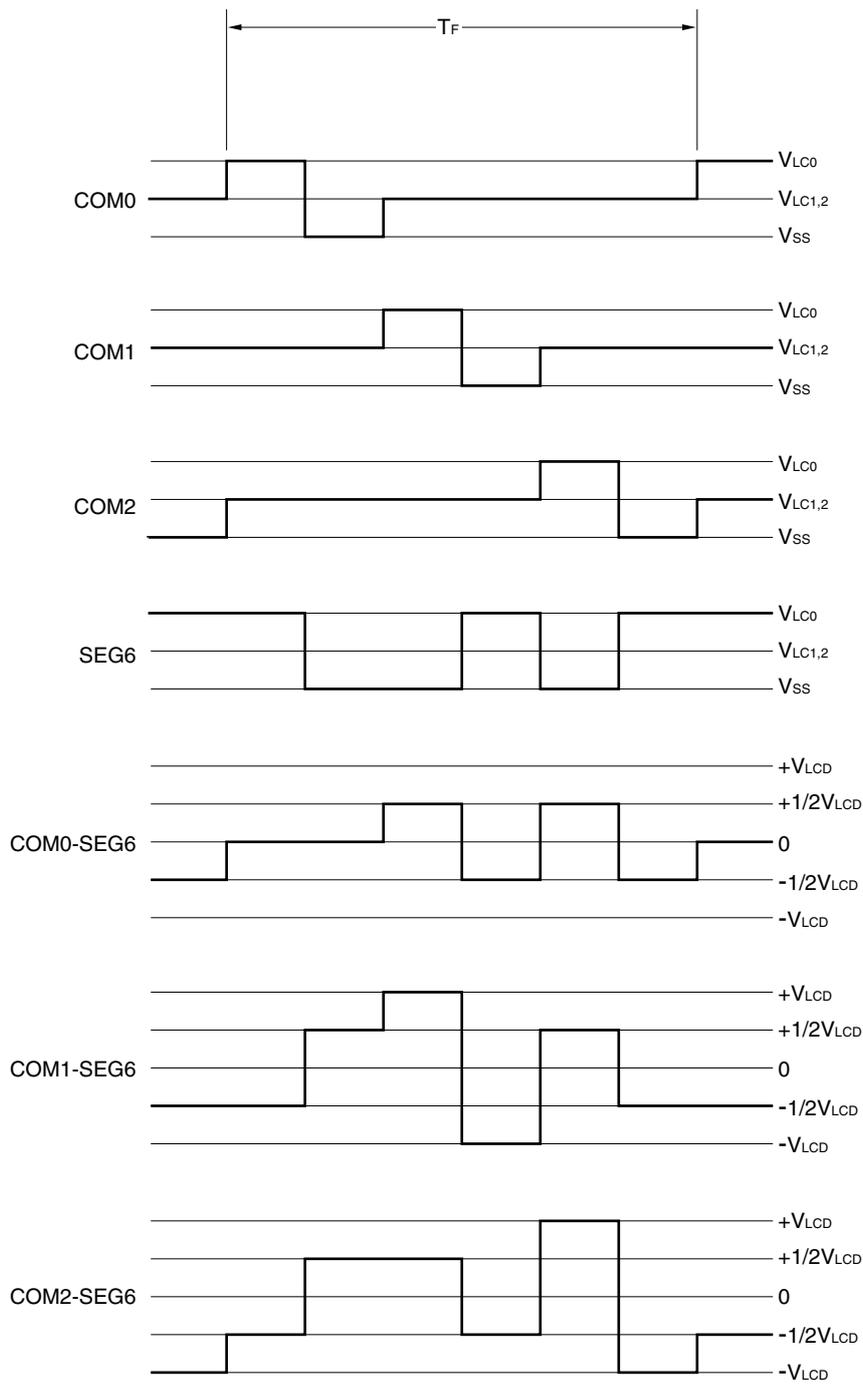
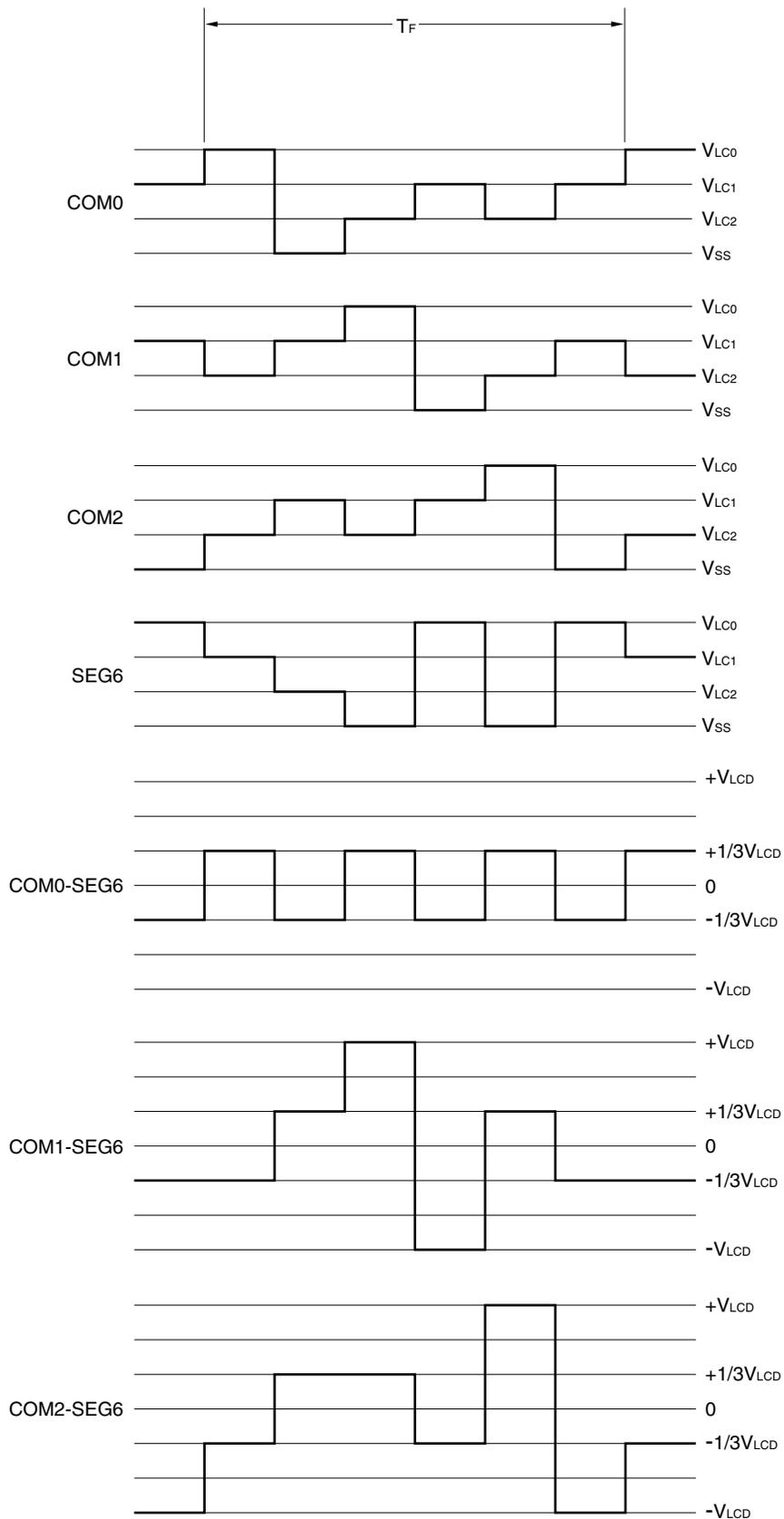


図15 - 22 3時分割LCD駆動波形例 (1/3バイアス法)



15.7.4 4時分割表示例

図 15 - 24 は、図 15 - 23 の表示パターンを持つ 4 時分割方式の 12 桁 LCD パネルとセグメント信号 (SEG0-SEG23) およびコモン信号 (COM0-COM3) との接続を示します。表示例は 123456.789012 で、表示データ・メモリ (F0400H-F0417H 番地) の内容はこれに対応しています。

ここでは 7 桁目の 6. (E) を例にとって説明します。図 15 - 23 の表示パターンに従って、COM0-COM3 の各コモン信号のタイミングで表 15 - 8 に示すような選択、非選択電圧を SEG12, SEG13 端子に出力する必要があります。

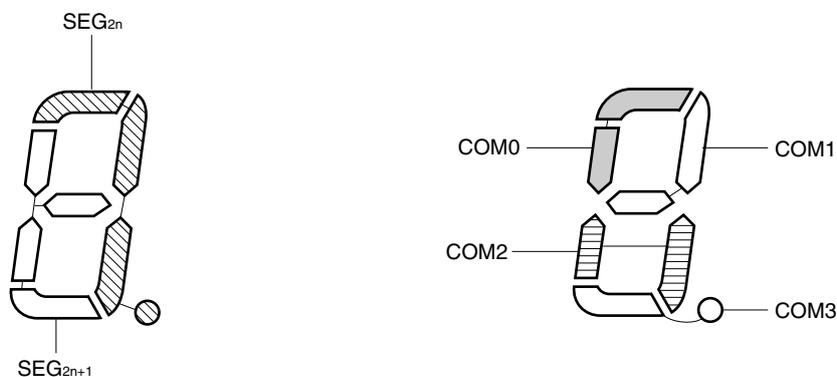
表 15 - 8 選択、非選択電圧 (COM0-COM3)

セグメント コモン	SEG12	SEG13
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これにより SEG12 に対応する表示データ・メモリ (F040CH 番地) には、1101 を用意すればよいことが分かります。

SEG12 と各コモン信号間の LCD 駆動波形例を図 15 - 25 に示します。COM0 の選択タイミングで SEG12 が選択電圧になるときに、LCD 点灯レベルである $+V_{Lcd} / -V_{Lcd}$ の交流矩形波が発生することが分かります。

図 15 - 23 4時分割LCD表示パターンと電極結線



備考 n = 0-19

図15 - 24 4時分割LCDパネルの結線例

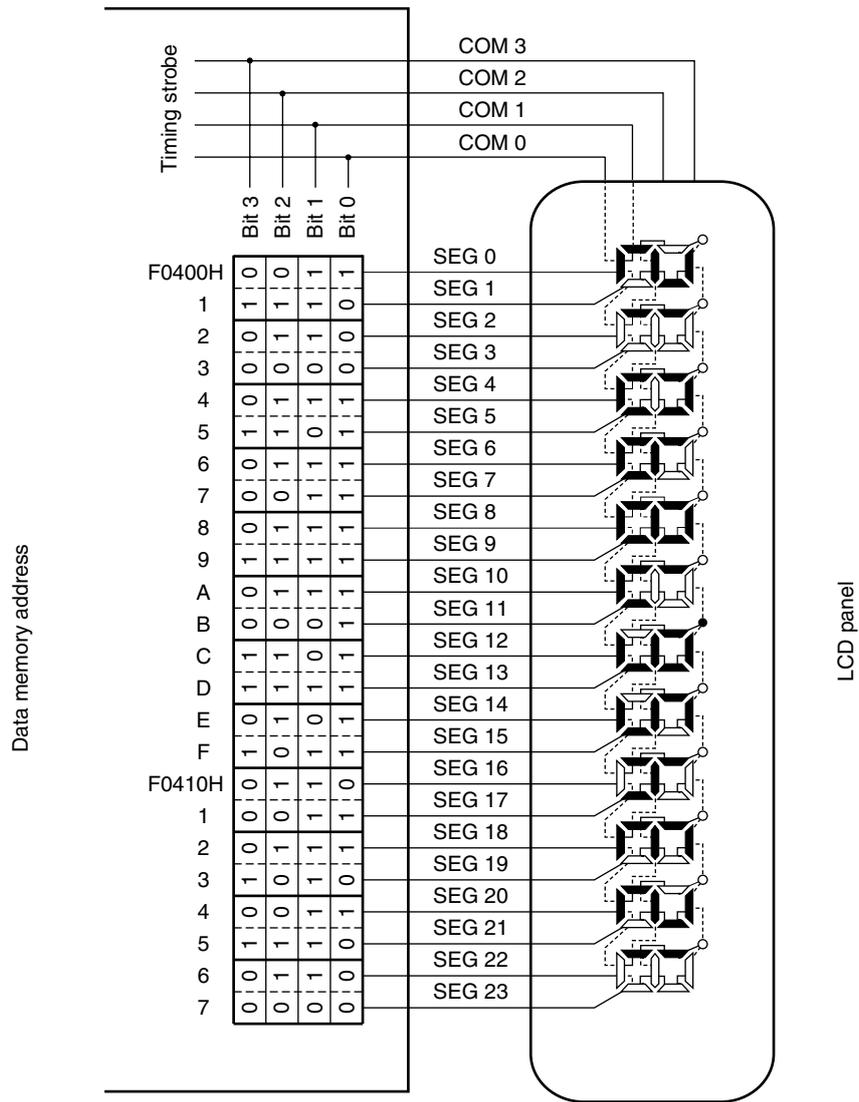
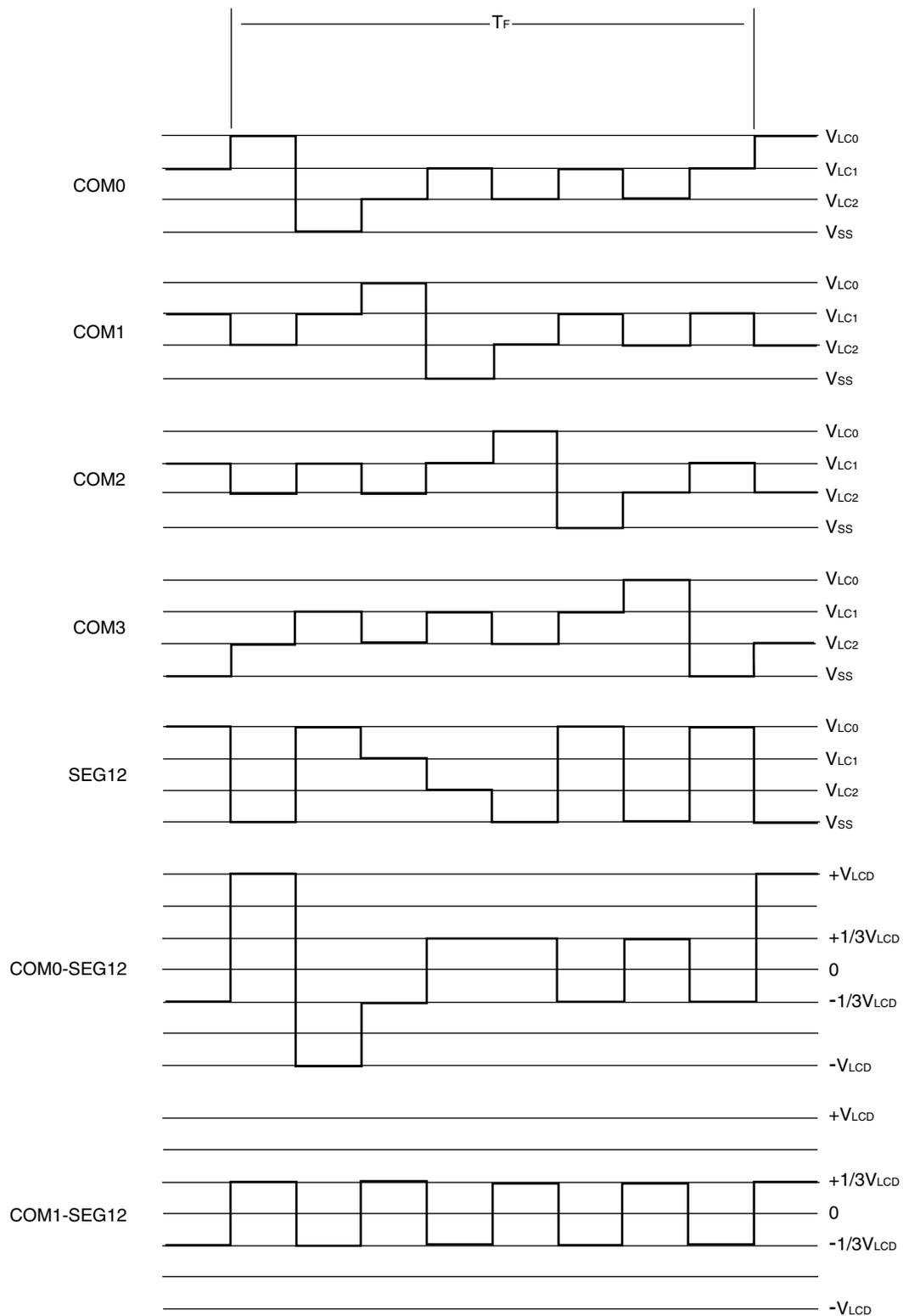


図15 - 25 4時分割LCD駆動波形例 (1/3バイアス法)



備考 COM2-SEG12とCOM3-SEG12の波形は省略

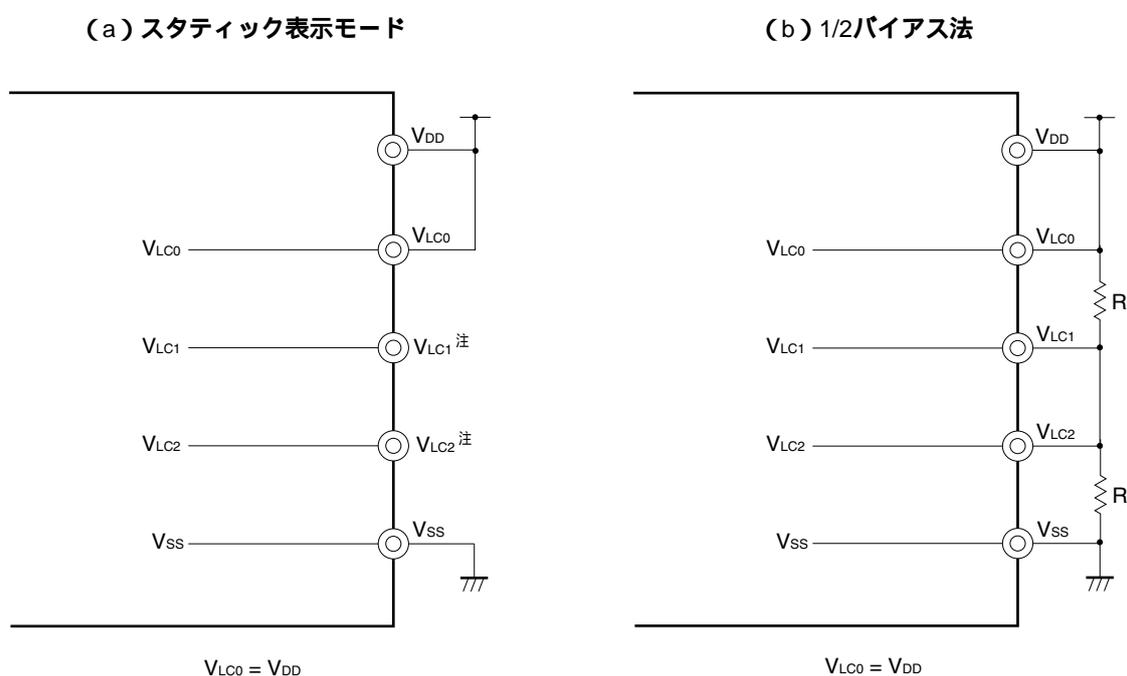
15.8 LCD駆動電圧 V_{LC0} , V_{LC1} , V_{LC2} の供給

78K0R/Lx3-MマイクロコントローラはLCD駆動用電源の生成方法として、外部抵抗分割方式、内部昇圧方式、容量分割方式の3種類を選択できます。

15.8.1 外部抵抗分割方式

78K0R/Lx3-Mマイクロコントローラは、LCD駆動用電源を作るための分割抵抗として、内部抵抗を使用せずに、外付け抵抗を使用することもできます。図15-26に各バイアス法に応じたLCD駆動電圧の接続例を示します。

図15-26 LCD駆動用電源の接続例（外部抵抗分割方式）（1/2）

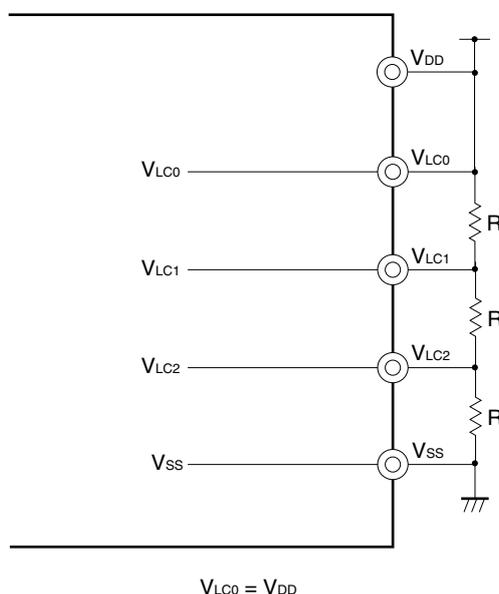


注 V_{LC1} , V_{LC2} は、GNDもしくは V_{LC0} に直接接続してください。

注意 V_{LC0} - V_{LC2} 端子の電位を安定させる場合には、必要に応じて、 V_{LC0} - V_{LC2} 端子 - GND間に $0.1 \mu F$ 程度のコンデンサをつけることを推奨します。

図15 - 26 LCD駆動用電源の接続例（外部抵抗分割方式）（2/2）

(c) 1/3バイアス法



注意 V_{LC0} - V_{LC2} 端子の電位を安定させる場合には、必要に応じて、 V_{LC0} - V_{LC2} 端子 - GND間に $0.1 \mu F$ 程度のコンデンサをつけることを推奨します。

15. 8. 2 内部昇圧方式

78K0R/Lx3-Mマイクロコントローラは、LCD駆動電源用に内部昇圧回路を内蔵しています。内部昇圧回路と外付けのコンデンサ（ $0.47 \mu F \pm 30\%$ ）により、LCD駆動電圧を生成します。内部昇圧方式は、1/3バイアス法のみ使用できます。

内部昇圧方式のLCD駆動電圧は、本体とは別の電源なので、 V_{DD} の変化に関わらず、一定の電圧を供給できます。

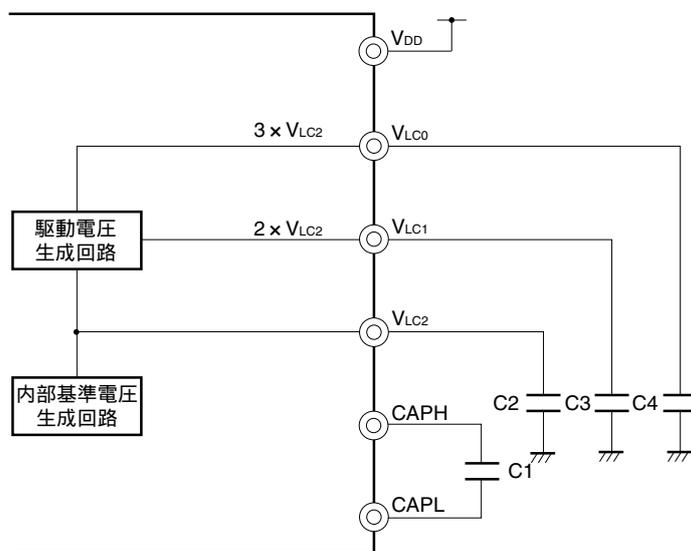
また、LCD昇圧制御レジスタ（VLCD）の設定により、コントラストを調整することができます。

表15 - 9 LCD駆動電圧（内部昇圧方式）

LCD駆動用電源端子	表示モード	1/3バイアス法
V_{LC0}		$3 \times V_{LC2}$
V_{LC1}		$2 \times V_{LC2}$
V_{LC2}		LCD基準電圧

図15 - 27 LCD駆動用電源の接続例（内部昇圧方式）

(a) 1/3バイアス法



備考 なるべくリークの少ないコンデンサをご使用ください。

なお，C1は無極性コンデンサにしてください。

15. 8. 3 容量分割方式

78K0R/Lx3-Mマイクロコントローラは，LCD駆動電源用に容量分割回路を内蔵しています。容量分割回路と外付けのコンデンサ（ $0.47 \mu\text{F} \pm 30\%$ ）により，LCD駆動電圧を生成します。容量分割方式は，1/3バイアス法のみ使用できます。

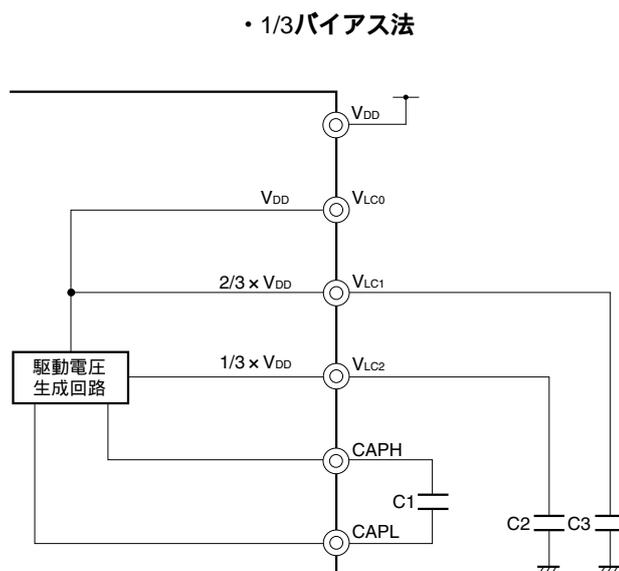
外部抵抗分割方式とは異なり，容量分割方式では常時電流が流れないため，消費電流を低減することができます。

容量分割方式では，CAPH, CAPL端子を使用するため，PM00 = 1, PM01 = 1に設定してください。

表15 - 10 LCD駆動電圧（容量分割方式）

LCD駆動用電源端子	表示モード	1/3バイアス法
V _{LC0}		V _{DD}
V _{LC1}		$2/3 \times V_{LC0}$
V _{LC2}		$1/3 \times V_{LC0}$

図15 - 28 LCD駆動用電源の接続例 (容量分割方式)



備考 なるべくリークの少ないコンデンサをご使用ください。

なお、C1は無極性コンデンサにしてください。

15.9 LCD表示データの選択

78K0R/Lx3-Mマイクロコントローラでは、スタティック、2時分割、3時分割または4時分割で使用する場合、BLONビットとLCDSELビットの設定により、LCD表示データを次の3種類から選択することができます。

- ・ Aパターン領域 (LCD表示データ・メモリの下位4ビット) のデータ表示
- ・ Bパターン領域 (LCD表示データ・メモリの上位4ビット) のデータ表示
- ・ Aパターン領域とBパターン領域のデータを交互に表示 (リアルタイム・カウンタ2 (RTC2) の定周期割り込みタイミングに対応した点滅表示)

15.9.1 Aパターン領域、Bパターン領域のデータ表示

BLON = LCDSEL = 0設定時では、Aパターン領域 (LCD表示データ・メモリの下位4ビット) のデータがLCD表示データとして出力されます。

BLON = 0, LCDSEL = 1設定時では、Bパターン領域 (LCD表示データ・メモリの上位4ビット) のデータがLCD表示データとして出力されます。

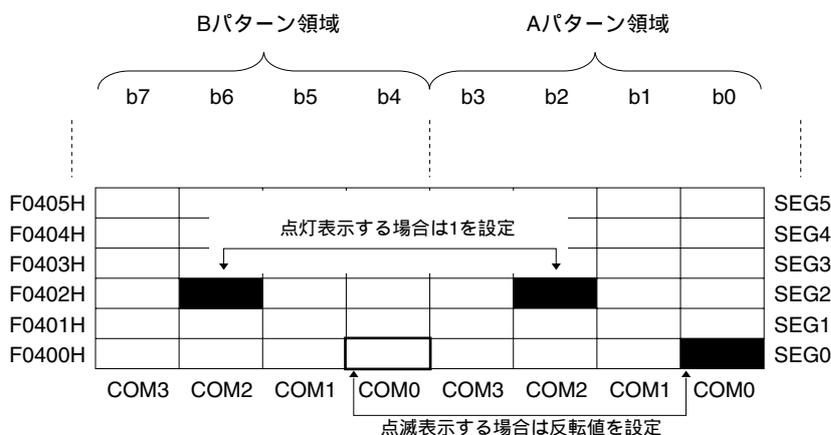
表示領域については、15.4 LCD表示データ・メモリを参照してください。

15.9.2 点滅表示 (Aパターン領域とBパターン領域のデータを交互に表示)

BLON = 1設定時では、リアルタイム・カウンタ2 (RTC2) の定周期割り込み (INTRTC) タイミングに対応して、Aパターン領域とBパターン領域のデータを交互に表示します。RTC2の定周期割り込み (INTRTC) タイミングの設定については、**第8章 リアルタイム・カウンタ2**を参照してください。

LCDを点滅表示する場合、Aパターン領域のビットに対応するBパターン領域のビットに反転値を設定してください (ex. F0400Hのビット0に1を設定し、点滅表示する場合は、F0400Hのビット4に0を設定)。また、LCDを点滅表示しない場合は、同値を設定してください (ex. F0402Hのビット2に1を設定し、点灯表示する場合は、F0402Hのビット6に1を設定)。

図15 - 29 パターン切り替え表示時のLCD表示データの設定例



表示領域については、15.4 LCD表示データ・メモリを参照してください。

次に、表示切り替えのタイミング動作を示します。

図15 - 30 Aパターン表示から点滅表示への切り替え動作

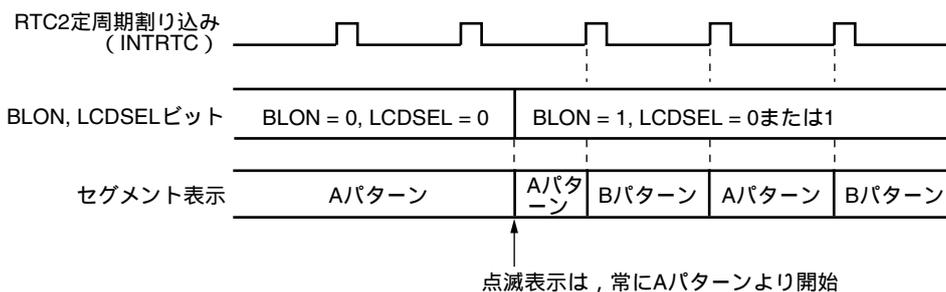


図15 - 31 点滅表示からAパターン表示への切り替え動作



第16章 乗除算器

16.1 乗除算器の機能

乗除算器は、78K0R/Lx3-Mマイクロコントローラの全製品に搭載されています。

乗除算器には、次のような機能があります。

- ・ 16ビット×16ビット = 32ビット (乗算)
- ・ 32ビット÷32ビット = 32ビット 剰余32ビット (除算)

16.2 乗除算器の構成

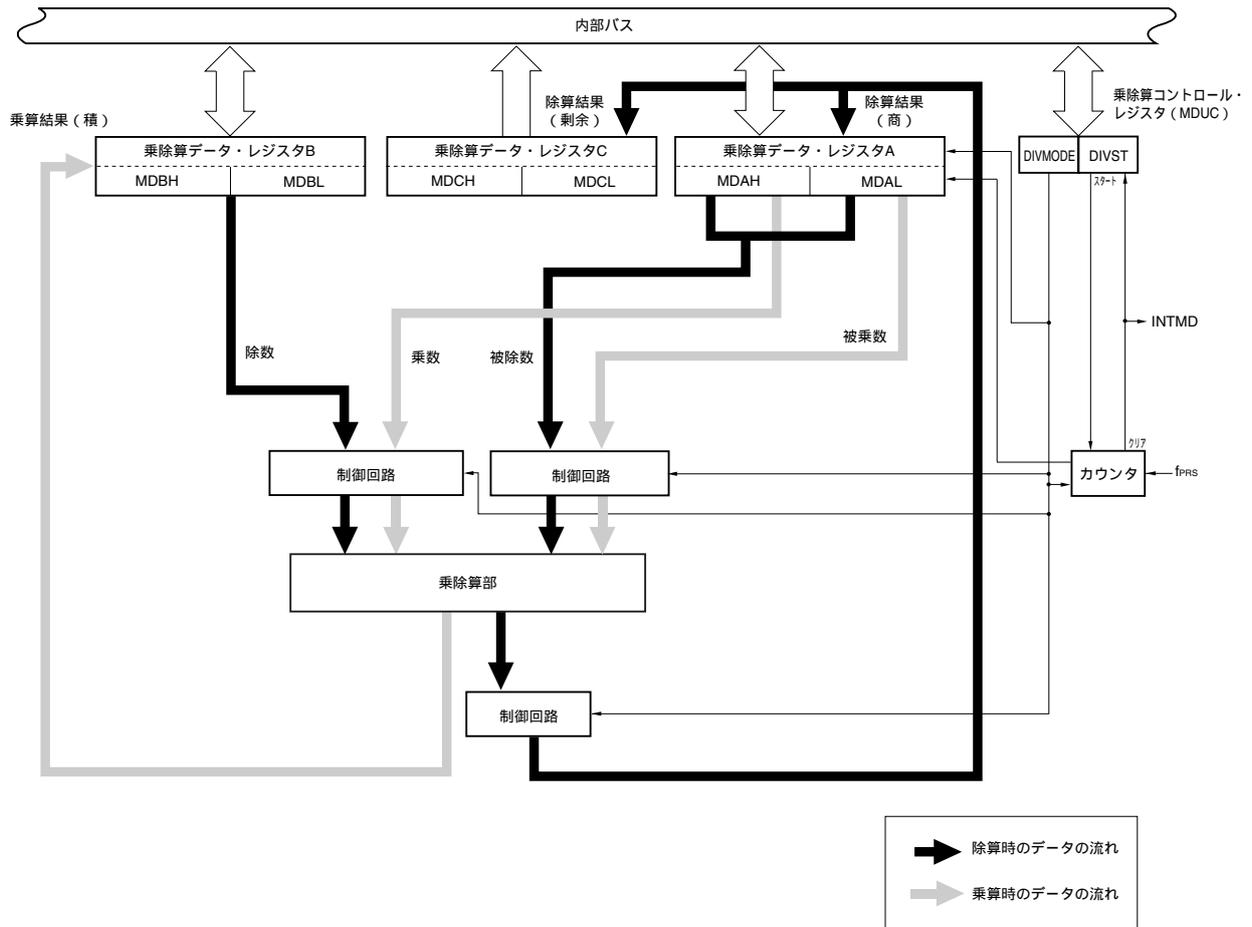
乗除算器は、次のハードウェアで構成されています。

表16 - 1 乗除算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除算器のブロック図を図16 - 1に示します。

図16 - 1 乗除算器のブロック図



(1) 乗除算データ・レジスタA (MDAH, MDAL)

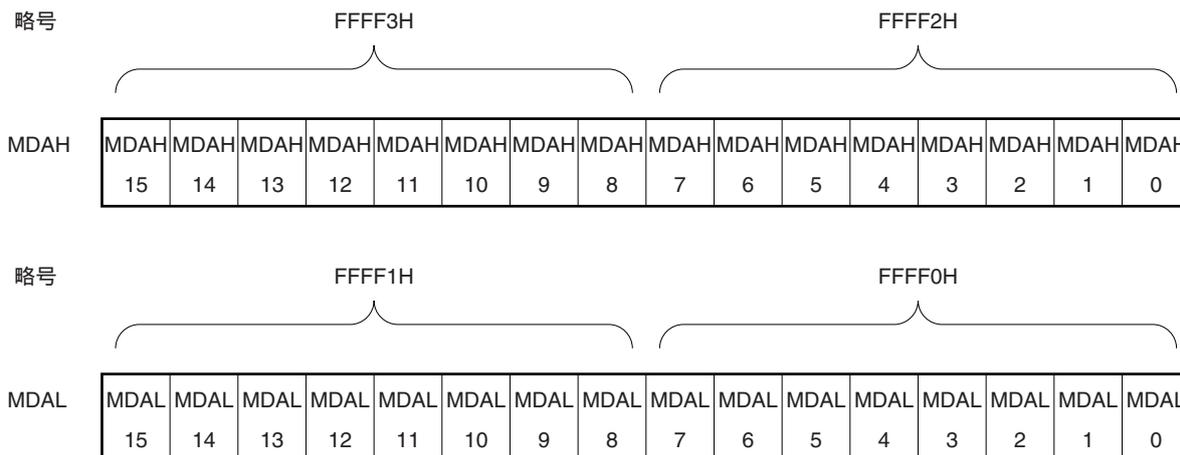
MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果（商）がMDAH, MDALレジスタに格納されます。

MDAH, MDALは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図16 - 2 乗除算データ・レジスタA (MDAH, MDAL) のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H リセット時：0000H, 0000H R/W



- 注意1. 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDAH, MDALの値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定値となります。
2. 除算演算処理中（MDUCが81Hのとき）にMDAH, MDALの値を読み出した場合、その値は保証しません。

MDAH, MDALの演算実行時の機能を次に示します。

表16 - 2 MDAH, MDALの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	MDAH：乗数 MDAL：被乗数	-
1	除算モード	MDAH：被除数（上位16ビット） MDAL：被除数（下位16ビット）	MDAH：除算結果（商） 上位16ビット MDAL：除算結果（商） 下位16ビット

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

(2) 乗除算データ・レジスタB (MDBL, MDBH)

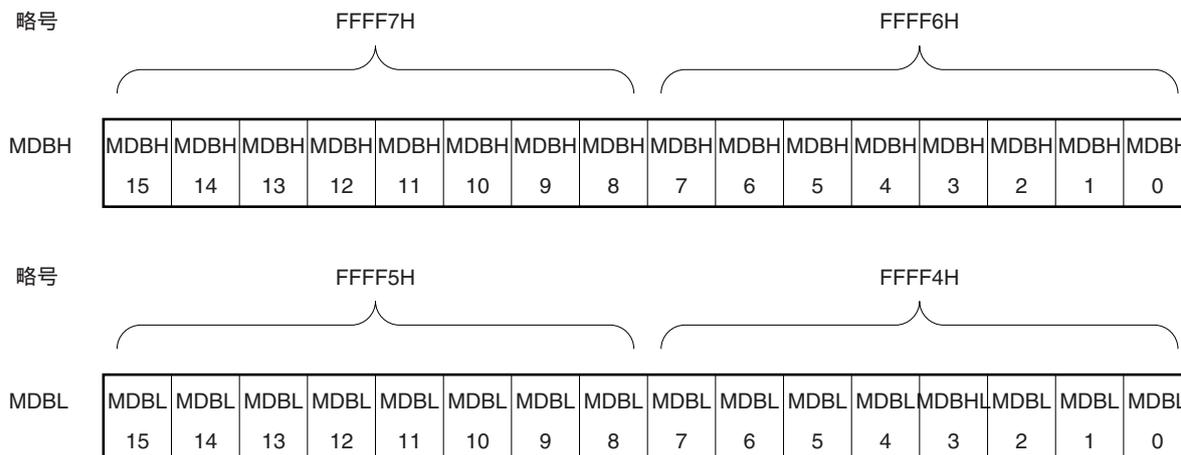
MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は演算結果（積）を格納し、除算モード時は除数データを設定します。

MDBH, MDBLは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図16-3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H リセット時：0000H, 0000H R/W



注意1. 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDBH, MDBLの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。

2. 除算モード時は、MDBH, MDBLに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。

MDBH, MDBLの演算実行時の機能を次に示します。

表16-3 MDBH, MDBLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	MDBH：乗算結果（積） 上位16ビット MDBL：乗算結果（積） 下位16ビット
1	除算モード	MDBH：除数（上位16ビット） MDBL：除数（下位16ビット）	-

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

(3) 乗除算データ・レジスタC (MDCL, MDCH)

MDCH, MDCLレジスタは、除算モードにおいて演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLは、16ビット操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図16-4 乗除算データ・レジスタC (MDCH, MDCL) のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H リセット時：0000H, 0000H R



注意 除算演算処理中（乗除算コントロール・レジスタ (MDUC) が81Hのとき）に、MDCH, MDCLの値を読み出した場合、その値は保証されません。

表16-4 MDCH, MDCLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	-
1	除算モード	-	MDCH：剰余（上位16ビット） MDCL：剰余（下位16ビット）

備考 DIVMODE：乗除算コントロール・レジスタ (MDUC) のビット7

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

< 乗数A > < 乗数B > < 積 >

MDAL (ビット15-0) × MDAH (ビット15-0) = [MDBH (ビット15-0), MDBL (ビット15-0)]

・除算時のレジスタ構成

< 被除数 > < 除数 >

[MDAH (ビット15-0), MDAL (ビット15-0)] ÷ [MDBH (ビット15-0), MDBL (ビット15-0)] =

< 商 > < 剰余 >

[MDAH (ビット15-0), MDAL (ビット15-0)] ... [MDCH (ビット15-0), MDCL (ビット15-0)]

16.3 乗除算器を制御するレジスタ

乗除算器は、乗除算コントロール・レジスタ (MDUC) で制御します。

(1) 乗除算コントロール・レジスタ (MDUC)

MDUCは、乗除算器の動作を制御する8ビット・レジスタです。

MDUCは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図16-5 乗除算コントロール・レジスタ (MDUC) のフォーマット

アドレス：F00E8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	0	0	0	0	0	0	DIVST

DIVMODE	演算モード (乗算 / 除算) の選択
0	乗算モード
1	除算モード

DIVST ^注	除算演算動作の開始 / 停止
0	除算演算処理完了
1	除算演算開始 / 除算演算処理中

注 DIVSTは除算モード時にのみセット (1) 可能です。除算モード時、DIVSTをセット (1) すると除算演算動作を開始します。演算終了後は自動的にDIVSTがクリア (0) されます。乗算モード時は、MDAH, MDALに乗数, 被乗数を設定することにより自動的に演算が開始されます。

- 注意1.** 演算処理中 (DIVSTが1のとき) に、DIVMODEを書き換えないでください。書き換えた場合、演算結果が不定値となります。
- 2.** 除算演算処理中 (DIVSTが1のとき) にDIVSTをソフトウェアでクリア (0) することはできません。

16.4 乗除算器の動作

16.4.1 乗算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) を0にする。

乗除算データ・レジスタA (L) (MDAL) に被乗数をセット

乗除算データ・レジスタA (H) (MDAH) に乗数をセット

(, のセットの順はどちらが先でも問題ありません。MDAH, MDALに乗数, 被乗数をセットすると自動的に乗算演算を開始します。)

・演算処理中

1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

乗除算データ・レジスタB (L) (MDBL) から積 (下位16ビット) を読み出します。

乗除算データ・レジスタB (H) (MDBH) から積 (上位16ビット) を読み出します。

(, の読み出しの順はどちらが先でも問題ありません。)

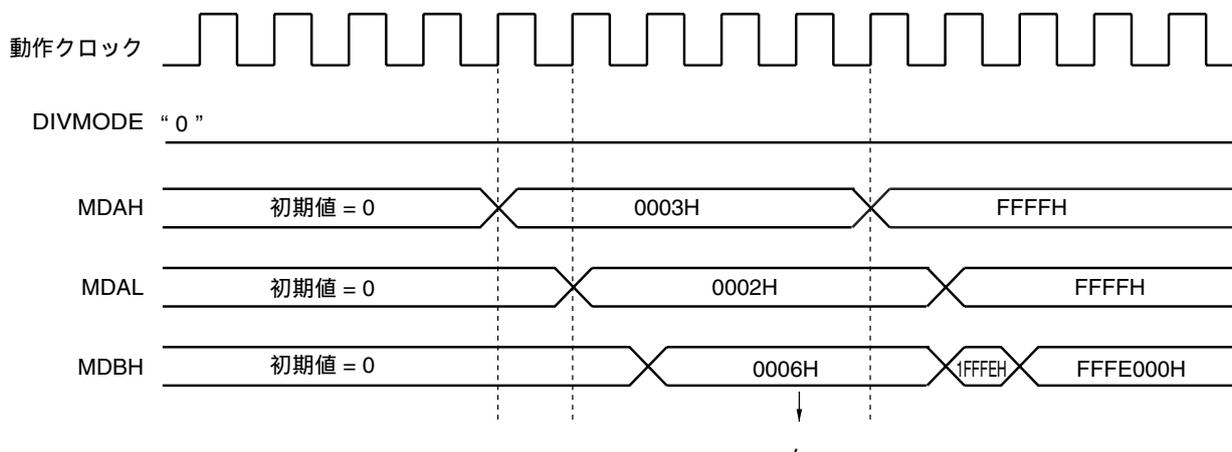
・次回演算

次に乗算を行う場合は, 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は, 16.4.2 除算動作の「初期設定」から行ってください。

備考 手順の ~ は, 図16-6の ~ に対応しています。

図16-6 乗算動作のタイミング図 (0003H×0002H)



16.4.2 除算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) に1をセットする。

乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット

乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット

乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット

乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット

MDUCのビット0 (DIVST) に1をセット

(~ の順はどれからセットしても問題ありません。)

・演算処理中

次のいずれかの処理が完了すれば演算が終了します。

・ 16クロック以上ウエイト (16クロックで演算は終了します。)

・ DIVSTがクリアされたことを確認

・ 除算完了割り込み (INTMD) 発生

(演算処理中のMDBL, MDBH, MDCH, MDCLのリード値は保証しません。)

・演算終了

DIVSTがクリア (0) され, 割り込み要求信号 (INTMD) が発生します (演算終了)。

MDALから商 (下位16ビット) を読み出します。

MDAHから商 (上位16ビット) を読み出します。

乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。

乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。

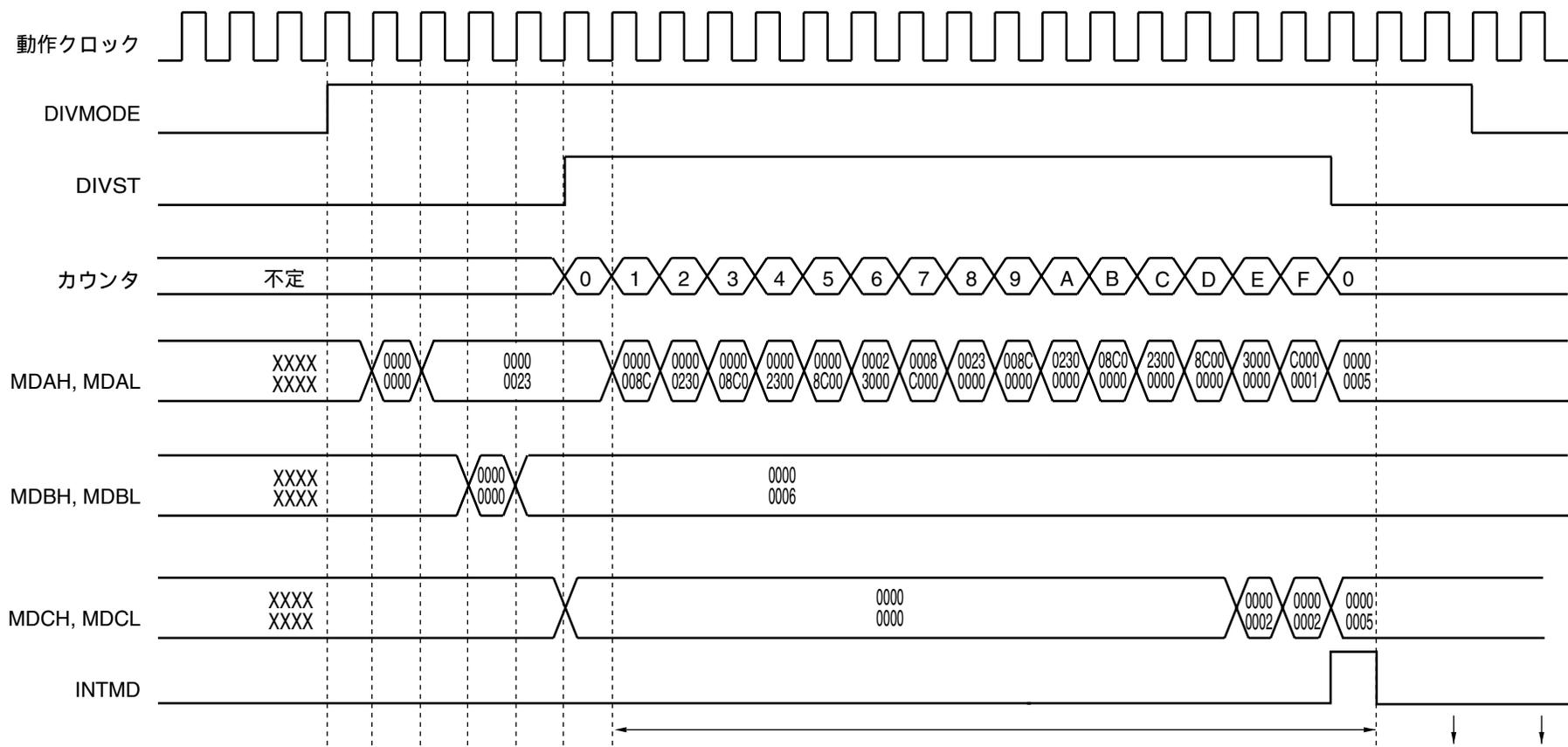
(~ の順はどれから読み出しても問題ありません。)

・次回演算

次に乗算を行う場合は, 16.4.1 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は, 除算動作の「初期設定」から行ってください。

備考 手順の ~ は, 図16-7の ~ に対応しています。

図16-7 除算動作のタイミング図(例: $35 \div 6 = 5$ 余5)

第17章 DMAコントローラ

DMA (Direct Memory Access) コントローラは、78K0R/Lx3-Mマイクロコントローラ的全製品に搭載されています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR 内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したりリアルタイム制御も実現できます。

17.1 DMAコントローラの機能

- ・DMAチャンネル数：2チャンネル
- ・転送単位：8ビット / 16ビット
- ・最大転送単位：1024回
- ・転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）
- ・転送モード：シングル転送モード
- ・転送対象：SFR 内蔵RAM
- ・転送要求：以下の周辺ハードウェアの割り込みから選択
 - ・タイマ・アレイ・ユニット（チャンネル0, 1, 4, 5）
 - ・シリアル・アレイ・ユニット（UART0, UART3）
 - ・拡張SFR（3rd SFR）インタフェース（CSI10）
 - ・10ビット逐次比較型A/Dコンバータ

DMAを使った機能例は、次のようなものが考えられます。

- ・シリアル・インタフェースの連続転送
- ・アナログ・データをまとめて転送
- ・一定時間ごとにA/Dの変換結果を取り込む
- ・一定時間ごとにポートの値を取りこむ

17.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表17-1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	・DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	・DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

(1) DMA SFRアドレス・レジスタ_n (DSAn)

DMAチャンネル_nの転送元 / 転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください[※]。

このレジスタは自動的にインクリメント動作はせず、固定値となります。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DSAnは8ビット単位でリード / ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

注 アドレスFFFFEHは、PMCレジスタのため、設定することはできません。

図17-1 DMA SFRアドレス・レジスタ_n (DSAn) のフォーマット

アドレス : FFFB0H (DSA0), FFFB1H (DSA1) リセット時 : 00H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA RAMアドレス・レジスタ_n (DRAn)

DMAチャンネル_nの転送先/転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域 (FE300H-FFEDFH) のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

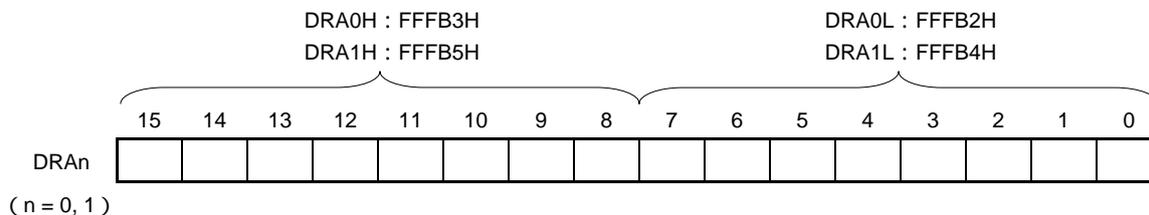
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図17-2 DMA RAMアドレス・レジスタ_n (DRAn) のフォーマット

アドレス : FFFB2H, FFFB3H (DRA0), FFFB4H, FFFB5H (DRA1) リセット時 : 0000H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(3) DMAバイト・カウント・レジスタ_n (DBC_n)

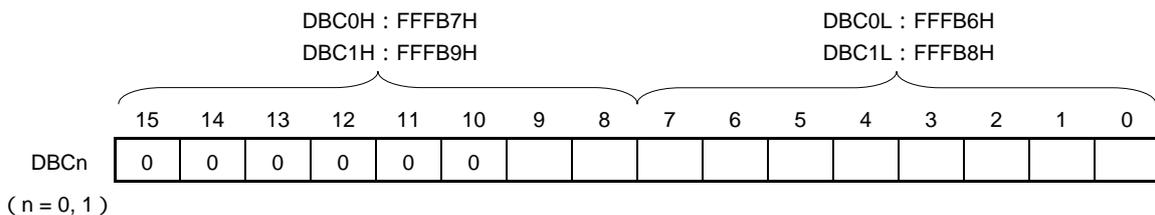
DMAチャンネル_nの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBC_nレジスタに連続転送回数を設定してください(最大1024回)。

DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBC_nレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBC_nは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。リセット信号の発生により、0000Hになります。

図17-3 DMA バイト・カウント・レジスタ_n (DBC_n) のフォーマット

アドレス：FFFB6H, FFFB7H (DBC₀), FFFB8H, FFFB9H (DBC₁) リセット時：0000H R/W



DBC _n [9:0]	転送回数設定 (DBC _n ライト時)	残りの転送回数 (DBC _n リード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
⋮	⋮	⋮
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

- 注意1. ビット15-10は、必ず0を設定してください。
- 2. 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み/読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n：DMAチャンネル番号 (n = 0, 1)

17.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・ DMAモード・コントロール・レジスタ n (DMC n)
- ・ DMA動作コントロール・レジスタ n (DRC n)

備考 n : DMAチャネル番号 ($n = 0, 1$)

(1) DMAモード・コントロール・レジスタ_n (DMC_n)

DMC_nは、DMAチャンネル_nの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STG_n)はDMA起動のソフトウェア・トリガとなります。

DMC_nのビット6, 5, 3-0は、動作中 (DST_n = 1のとき)の書き換えは禁止です。

DMC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17-4 DMAモード・コントロール・レジスタ_n (DMC_n)のフォーマット (1/2)

アドレス：FFFBAH (DMC0), FFFBBH (DMC1) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _{n3}	IFC _{n2}	IFC _{n1}	IFC _{n0}

STG _n ^{注1}	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DEN _n = 1) 時に、DMA転送を開始する
DMA動作許可 (DEN _n = 1) 時に、STG _n に1を書き込むことでDMA転送を開始します。 このビットの読み出し値は常に0となります。	

DRS _n	DMA転送方向の選択
0	SFR 内蔵RAM
1	内蔵RAM SFR

DS _n	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAIT _n ^{注2}	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAIT _n の値を1 0にすることで、保留されているDMA転送を開始することができます。 また、DWAIT _n の値を0 1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウェア・トリガ (STG_n) は、IFC_{n3}-IFC_{n0}ビットの値に関係なく使用できます。

- DMAを2チャンネルともに使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください (DWAIT₀ = DWAIT₁ = 1)。

備考 n : DMAチャンネル番号 (n = 0, 1)

図17-4 DMAモード・コントロール・レジスタ_n (DMC_n) のフォーマット (2/2)

アドレス：FFFBAH (DMC0), FFFBBH (DMC1) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _{n3}	IFC _{n2}	IFC _{n1}	IFC _{n0}

IFC _n 3	IFC _n 2	IFC _n 1	IFC _n 0	DMA起動要因の選択 [※]	
				トリガ信号	トリガ内容
0	0	0	0	-	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	1	0	INTTM00	タイマ・チャンネル0割り込み
0	0	1	1	INTTM01	タイマ・チャンネル1割り込み
0	1	0	0	INTTM04	タイマ・チャンネル4割り込み
0	1	0	1	INTTM05	タイマ・チャンネル5割り込み
0	1	1	0	INTST0	UART0送信完了割り込み
0	1	1	1	INTSR0	UART0受信完了割り込み
1	0	0	0	INTCSI10	CSI10転送完了割り込み
1	0	1	0	INTST3	UART3送信完了割り込み
1	0	1	1	INTSR3	UART3受信完了割り込み
1	1	0	0	INTAD	A/D変換終了割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STG_n) は、IFC_{n3}-IFC_{n0}の値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA動作コントロール・レジスタ_n (DRC_n)

DRC_nは、DMAチャンネル_nの転送許可/禁止を設定するレジスタです。

DRC_nのビット7 (DEN_n) は、動作中 (DST_n = 1のとき) の書き換えは禁止です。

DRC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17 - 5 DMA動作コントロール・レジスタ_n (DRC_n) のフォーマット

アドレス : FFFBCH (DRC₀), FFFBDH (DRC₁) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DRC _n	DEN _n	0	0	0	0	0	0	DST _n

DEN _n	DMA動作許可フラグ
0	DMAチャンネル _n の動作禁止 (DMAの動作クロック停止)
1	DMAチャンネル _n の動作許可
DMA動作許可 (DEN _n = 1) にしてから、DST _n = 1にすることでDMAトリガ待ち状態になります。	

DST _n	DMA転送モード・フラグ
0	DMAチャンネル _n のDMA転送終了
1	DMAチャンネル _n のDMA転送未終了 (転送中)
DMA動作許可 (DEN _n = 1) にしてから、DST _n = 1にすることでDMAトリガ待ち状態になります。 そしてソフトウェア・トリガ (STG _n) または IFC _{n3} -IFC _{n0} で設定した起動要因トリガが入力されると、DMA転送を開始します。 その後、DMA転送が終了すると自動的に0にクリアされます。 DMA転送中に強制終了したい場合は、0を書き込みます。	

注意1. DST_nフラグはDMA転送が終了すると自動的に0にクリアされます。

DEN_nフラグはDST_n = 0のときのみ書き込み許可となるため、DMA_nの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DST_n = 0に設定してからDEN_n = 0としてください (詳細は17.5.6 ソフトウェアでの強制終了参照)。

- OSMCレジスタのFSELビットに1を設定する場合、設定後3クロック以内はDMAを動作許可 (DEN_n = 1) にしないでください。

備考 n : DMAチャンネル番号 (n = 0, 1)

17.4 DMAコントローラの動作

17.4.1 動作手順

DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。

DSAn, DRAn, DBCn, DMCnレジスタにDMA転送のSFRアドレス、RAMアドレス、転送回数、転送モードを設定します。

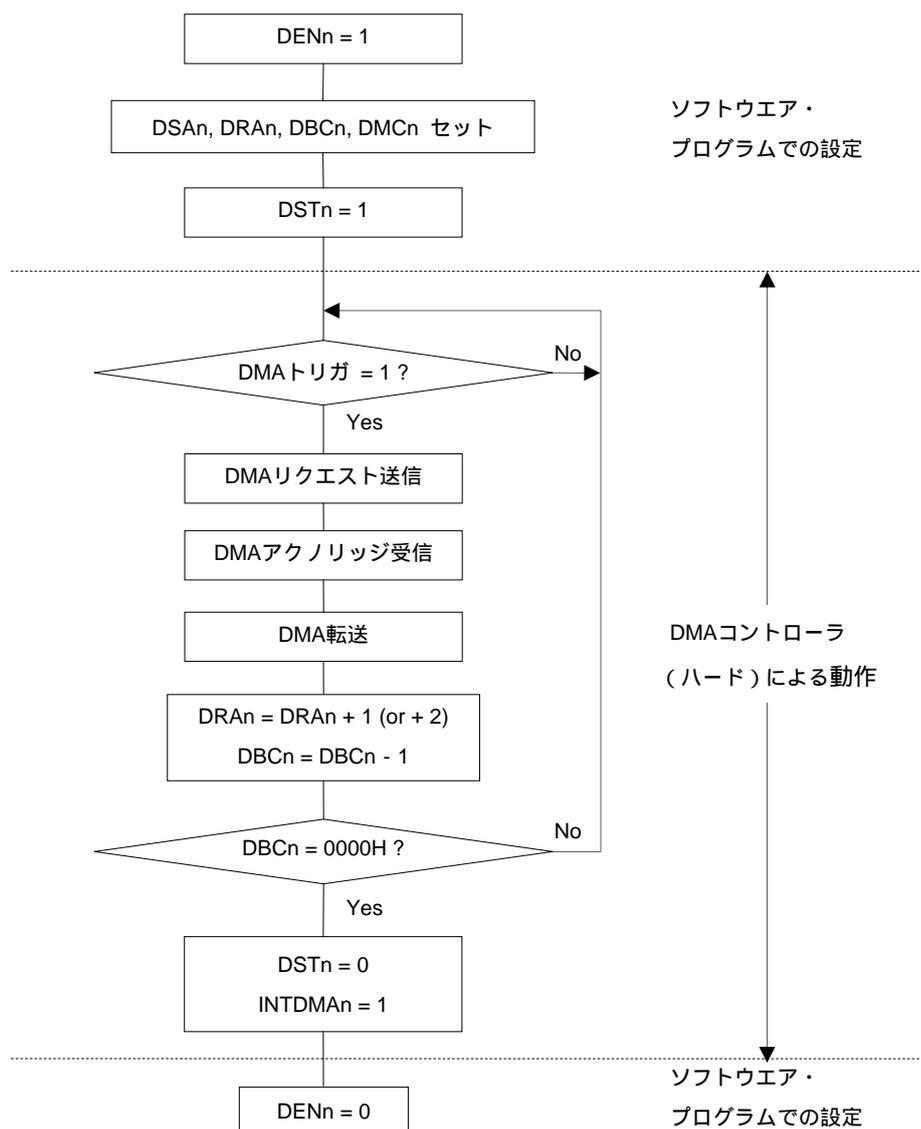
DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。

ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0で設定した起動要因トリガが入力されると、DMA転送を開始します。

DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMAn) の発生により自動的に転送が終了します。

その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図17-6 動作手順



備考 n : DMAチャンネル番号 (n = 0, 1)

17.4.2 転送モード

DMA転送には、DMCnレジスタのビット6, 5 (DRSn, DS_n) の設定により、次の4つの転送モードを選択できます。

DRS _n	DS _n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

17.4.3 DMA転送の終了

DBC_n = 00HとなりDMA転送が完了すると、自動的にDST_nビットがクリア (0) されます。そして割り込み要求 (INTDMA_n) の発生により転送が終了します。

強制終了するためにDST_nビットをクリア (0) すると、DBC_nレジスタとDRAnレジスタは停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA_n) は発生しません。

備考 n : DMAチャネル番号 (n = 0, 1)

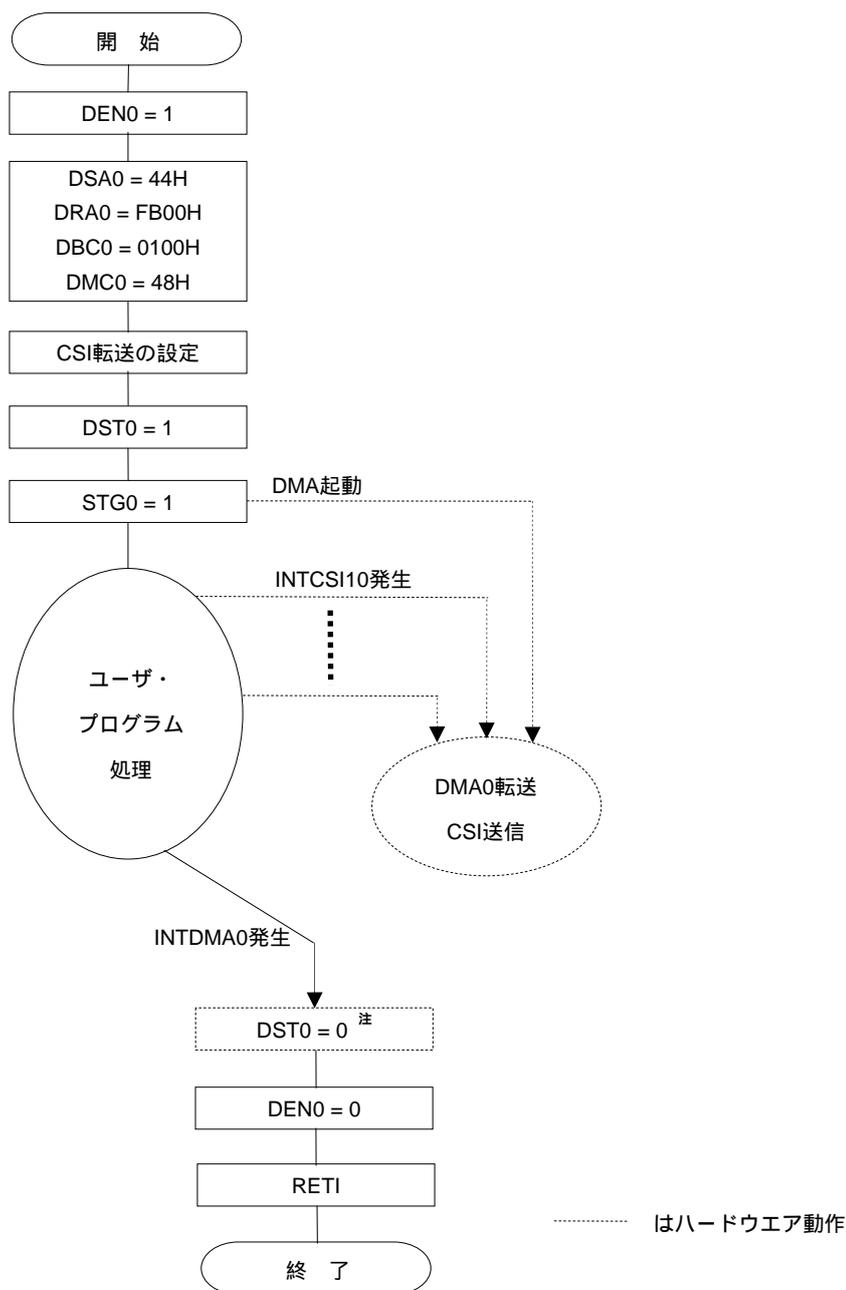
17.5 DMAコントローラの設定例

17.5.1 拡張SFR (3rd SFR) 連続アドレスへのライト

拡張SFR (3rd SFR) 連続アドレスへのライトの設定例のフロー・チャートを次に示します。

- ・ CSI10の連続送信
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因 : INTCSI10 (最初の起動要因のみソフトウェア・トリガ (STG0))
- ・ CSI10の割り込みはIFC03-IFC00 (DMC0レジスタのビット3-0) = 1000Bに割り当て
- ・ RAMのFFB00H-FFBFFH (256バイト) をCSIの送信バッファ (SIO10) のFFF44Hに転送

図17 - 7 拡張SFR (3rd SFR) 連続アドレスへのライトの設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は17. 5. 6 ソフトウェアでの強制終了参照)。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウェア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

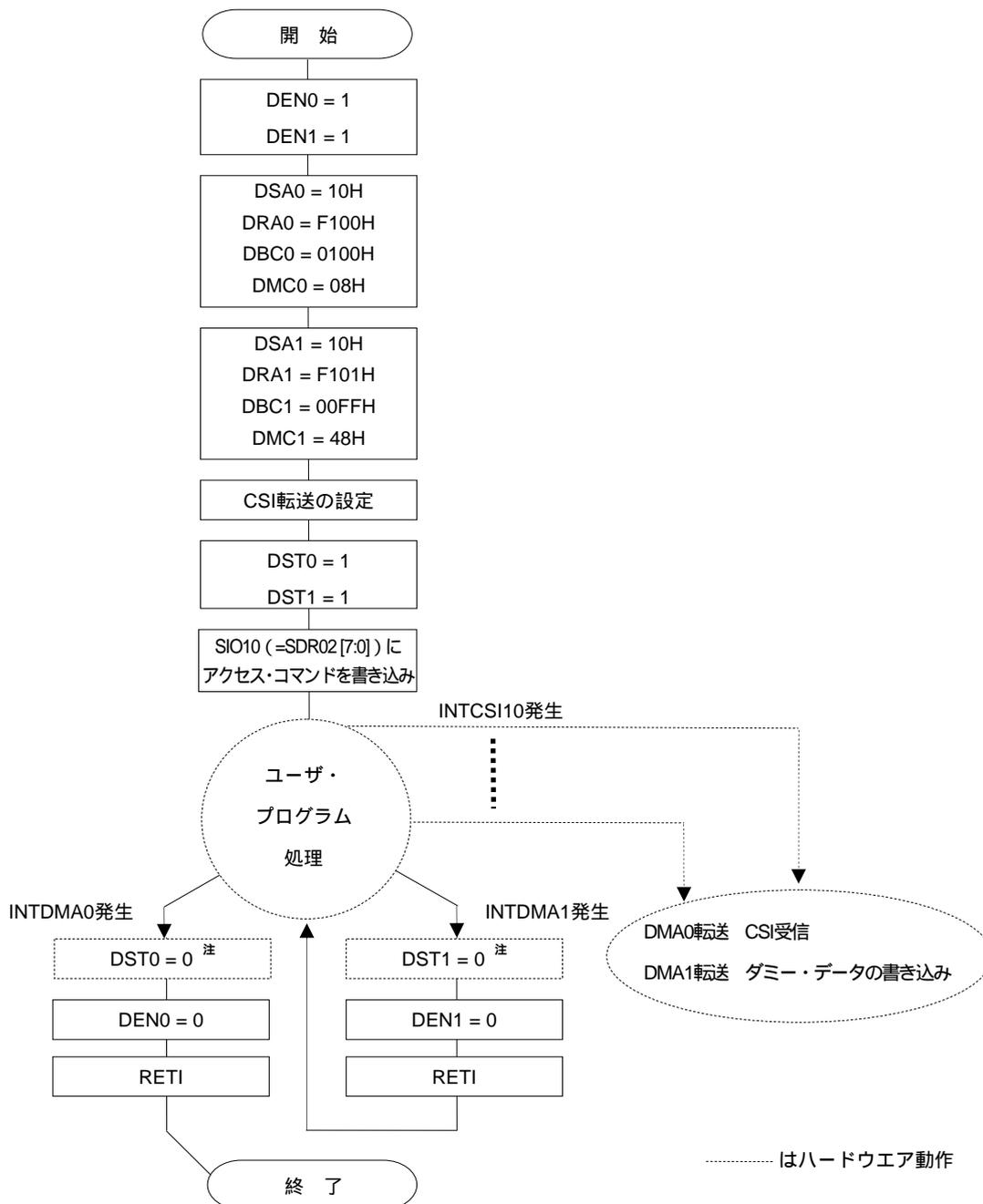
データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA0) が発生します。

17.5.2 拡張SFR (3rd SFR) 連続アドレスへのリード

拡張SFR (3rd SFR) 連続アドレスへのリードの設定例のフロー・チャートを次に示します。

- ・ CSI10のマスタ受信
- ・ DMAのチャンネル0を受信データの読み出し用に、チャンネル1をダミー・データの書き込み用に使用
- ・ DMA起動要因：INTCSI10
(DMAのチャンネル0とチャンネル1を同一の起動要因に設定した場合、チャンネル0が先に転送され、その後チャンネル1が転送されます)
- ・ CSI10の割り込みはIFC03-IFC00 = IFC13-IFC10 (DMCnレジスタのビット3-0) = 1000Bに割り当て
- ・ 最初の1バイトは、ソフト (命令) でアクセス・コマンドを書き込み
- ・ CSIのデータ・レジスタ (SIO10) のFFF10HからRAMのFF100H-FF1FFH (256バイト) に転送 (受信)
(連続受信モード時は、最初のバッファ空き割り込み時の受信データが受信前のため無効なデータ)
- ・ RAMのダミー・データFF101H-FF1FFH (255バイト) をCSIのデータ・レジスタ (SIO10) のFFF10Hに転送

図17 - 8 拡張SFR (3rd SFR) 連続アドレスへのリードの設定例



注 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は17.5.6 ソフトウェアでの強制終了参照)。

データ受信は、1バイト目から自動的に転送されます。連続受信モード時では、最初のバッファ空き割り込み時の受信データは有効データの受信前のため無効なデータとなります。

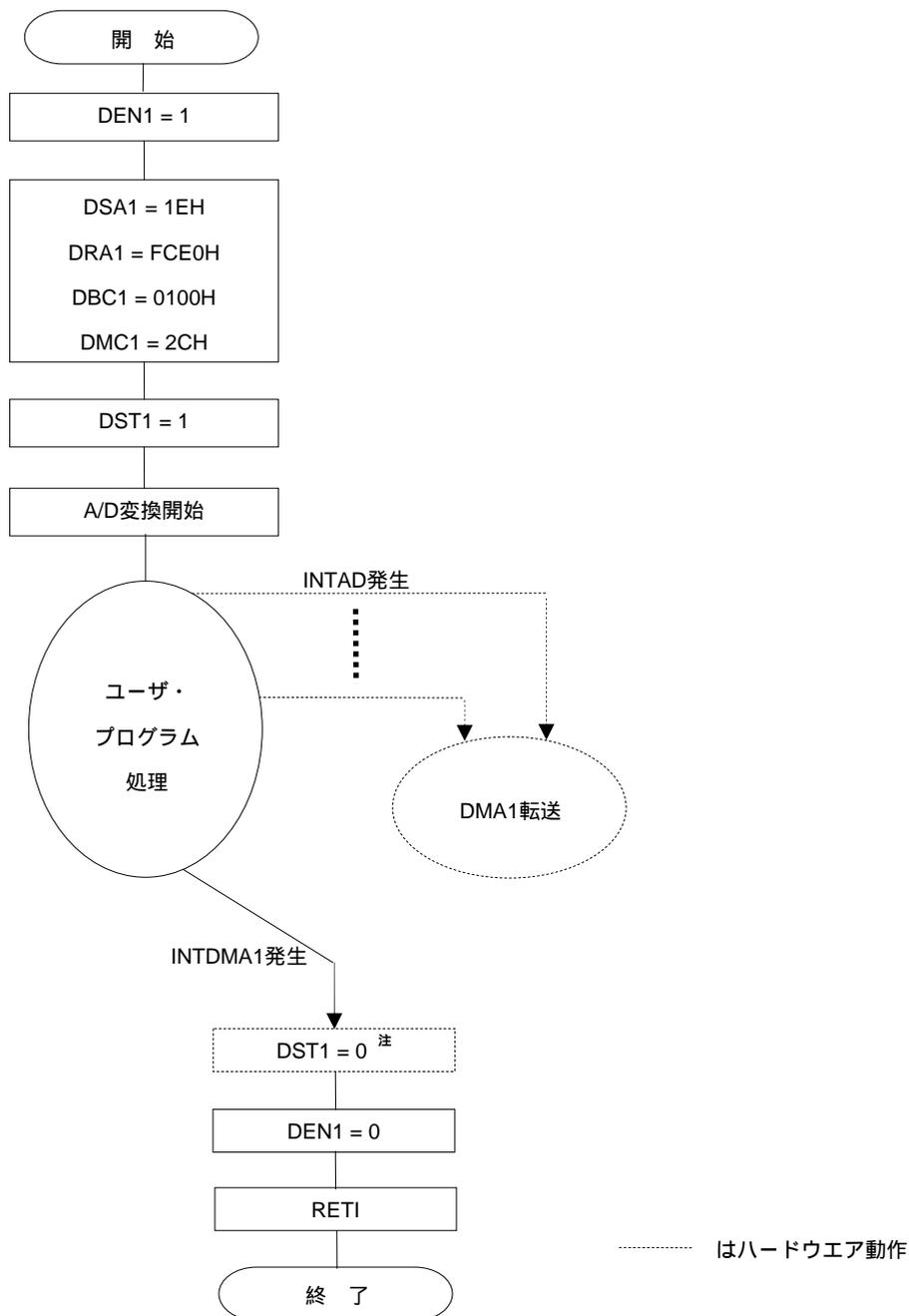
データ・レジスタへの最終のダミー・データの書き込みが終わった時点で、DMA割り込み (INTDMA1) が発生します。データ・レジスタからの最終の受信データの読み出しが終わった時点で、DMA割り込み (INTDMA0) が発生します。再度DMA転送を開始する場合は、CSIの転送が終了したあとに行ってください。

17.5.3 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- ・ A/D変換結果の連続取り込み
- ・ DMAのチャンネル1をDMA転送に使用
- ・ DMA起動要因：INTAD
- ・ A/Dの割り込みはIFC13-IFC10 (DMC1レジスタのビット3-0) = 1100Bに割り当て
- ・ 10ビットA/D変換結果レジスタのFFF1EHとFFF1FH (2バイト) をRAMのFFCE0H-FFEDFHの512バイトに転送

図17 - 9 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

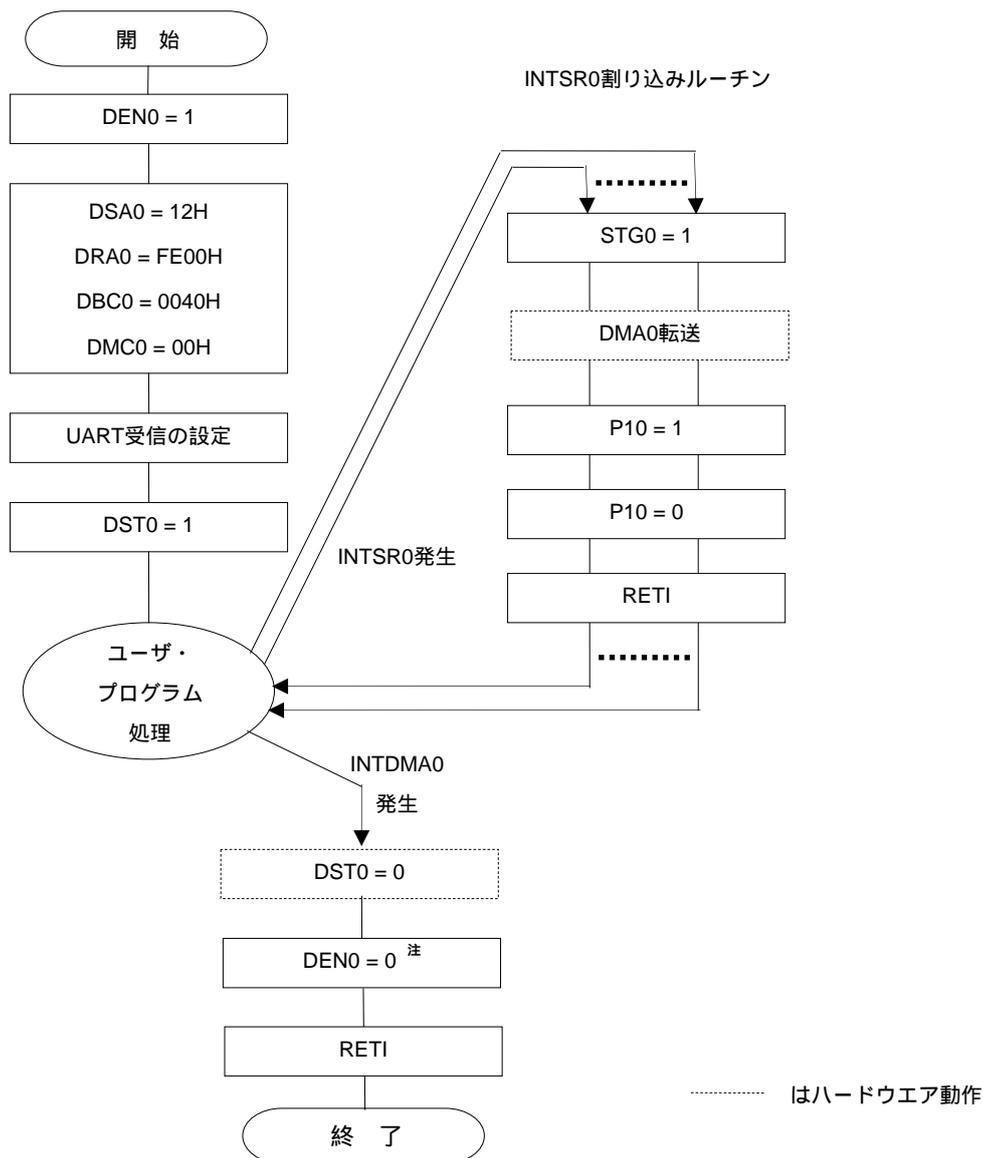
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は17. 5. 6 ソフトウェアでの強制終了参照)。

17.5.4 UART連続受信 + ACK送信

UART連続受信 + ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い，P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：ソフトウェア・トリガ（割り込みによるDMA転送禁止）
- ・ UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図17 - 10 UART連続受信 + ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は17.5.6 ソフトウェアでの強制終了参照)。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み (INTSR0) をDMA起動要因に設定して、受信することもできます。

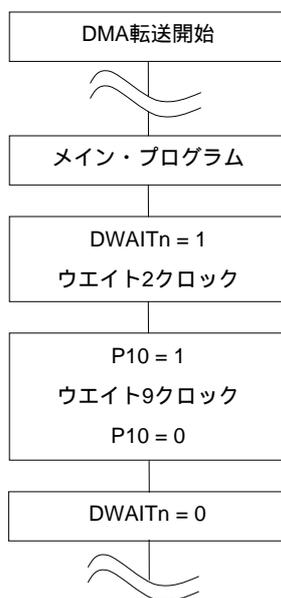
17.5.5 DWAITnによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P10端子より動作周波数の10クロック幅のパルスを入力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図17 - 11 DWAITnによるDMA転送保留の設定例



注意 DMAを2チャンネルともに使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください(DWAIT0 = DWAIT1 = 1)。片方のDMAが保留中にもう一方のDMA転送が実行されると、保留されない場合があります。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

17.5.6 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み(INTDMA_n)発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のどちらかの処理をしてください。

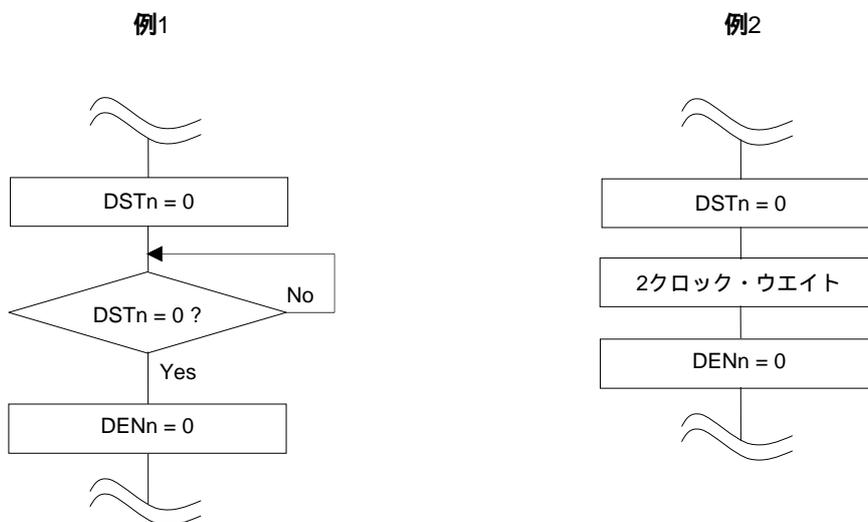
<DMAを1チャンネル使用しているとき>

- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTnが0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする

<DMAを2チャンネル使用しているとき>

- ・DMAを2チャンネルともに使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、2チャンネルともにDWAIT0, DWAIT1ビットをセット(1)してDMA転送を保留してから、DSTnビットをクリア(0)する。その後、2チャンネルともにDWAIT0, DWAIT1ビットをクリア(0)し保留を解除してから、DENnビットをクリア(0)とする

図17 - 12 DMA転送の強制終了 (1/2)

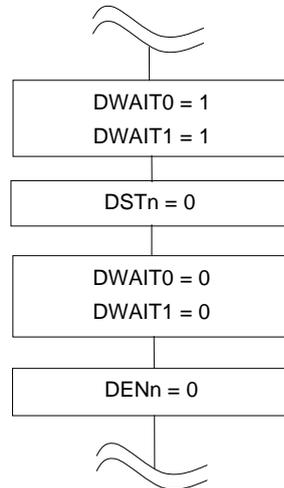


- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

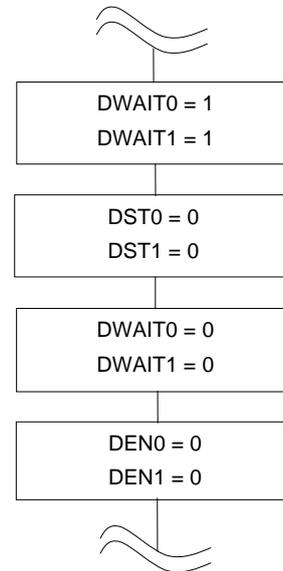
図17 - 12 DMA転送の強制終了 (2/2)

例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



注意 例3では、DWAITnのセット(1)後のウエイト2クロックは必要ありません。また、DSTnをクリア(0)してからDENnをクリア(0)するまで2クロック以上経過しているため、DSTnのクリア(0)後にウエイト2クロックする必要はありません。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

17.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャンネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャンネル0 > DMAチャンネル1の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

(2) DMA応答時間

DMA転送における応答時間は、次のようになります。

表17 - 2 DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック ^注

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

注意1. 上記の応答時間には、DMA転送の2クロック分は含まれていません。

2. DMA保留命令(17.6(4)参照)実行の場合は、各条件の最大応答時間に、その条件で保留する命令の実行時間を足した時間となります。
3. 最大応答時間+1クロック以内での同一チャンネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表17-3 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

- ・ CALL !addr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSWの各レジスタに対するビット操作命令

(5) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDRA0nで示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったら、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。



第18章 割り込み機能

18.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表18 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

18.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計5要因あります (表18 - 1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表18 - 1 割り込み要因一覧 (1/2)

割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ ^{注2}	割り込み要因		ベクタ・テーブル・アドレス
				名称	トリガ	
マスクブル	内部	(A)	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバフロー時間の75%)	00004H
			1	INTLVI	低電圧検出 ^{注4}	00006H
	外部	(B)	2	INTP0	端子入力エッジ検出	00008H
			3	INTP3	端子入力エッジ検出	0000EH
	内部	(A)	4	INTST3	UART3の送信完了	00014H
			5	INTSR3	UART3の受信完了	00016H
			6	INTSRE3	UART3の通信エラー発生	00018H
			7	INTDMA0	DMA0の転送完了	0001AH
			8	INTDMA1	DMA1の転送完了	0001CH
			9	INTST0	UART0の送信完了	0001EH
			10	INTSR0	UART0の受信完了	00020H
			11	INTSRE0	UART0の通信エラー発生	00022H
			12	INTCSI10	CSI10の通信完了	00024H
			13	INTIICA	IICA通信完了	0002AH
			14	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ完了	0002CH
			15	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ完了	0002EH
			16	INTTM02	タイマ・チャンネル2のカウント完了またはキャプチャ完了	00030H
17	INTTM03	タイマ・チャンネル3のカウント完了またはキャプチャ完了	00032H			

注 1. デフォルト・プライオリティは、複数のマスクブル割り込みが発生している場合に、優先する順位です。0が最高順位、35が最低順位です。

2. 基本構成タイプの(A)-(C)は、それぞれ図18-1の(A)-(C)に対応しています。

3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。

表18 - 1 割り込み要因一覧 (2/2)

割り込みの種類	内部 / 外部	基本構成タイプ 注1	デフォルト・プライオリティ ^{注2}	割り込み要因		ベクタ・テーブル・アドレス
				名称	トリガ	
マスクブル	内部	(A)	18	INTAD	A/D変換終了	00034H
			19	INTRTC	リアルタイム・カウンタ2の定周期信号 / アラーム一致検出	00036H
			20	INTRTCI	リアルタイム・カウンタ2のインターバル信号検出	00038H
			21	INTST2	UART2の送信完了	0003CH
				INTCSI20	CSI20の通信完了	
				INTIIC20	IIC20通信完了	
			22	INTSR2	UART2受信完了	0003EH
			23	INTSRE2	UART2の通信エラー発生	00040H
			24	INTTM04	タイマ・チャンネル4のカウント完了またはキャプチャ完了	00042H
			25	INTTM05	タイマ・チャンネル5のカウント完了またはキャプチャ完了	00044H
	26	INTTM06	タイマ・チャンネル6のカウント完了またはキャプチャ完了	00046H		
	27	INTTM07	タイマ・チャンネル7のカウント完了またはキャプチャ完了	00048H		
	外部	(B)	28	INTP6	端子入力エッジ検出	0004AH
			29	INTP8	拡張SFR (3rd SFR) からの割り込み要求	0004EH
			30	INTP9	端子入力エッジ検出	00050H
内部	(A)	31	INTTM10	タイマ・チャンネル10のカウント完了またはキャプチャ完了	00056H	
		32	INTTM11	タイマ・チャンネル11のカウント完了またはキャプチャ完了	00058H	
		33	INTTM12	タイマ・チャンネル12のカウント完了またはキャプチャ完了	0005AH	
		34	INTTM13	タイマ・チャンネル13のカウント完了またはキャプチャ完了	0005CH	
		35	INTMD	除算演算完了	0005EH	
ソフトウェア	-	(C)	-	BRK	BRK命令の実行	0007EH
リセット	-	-	-	RESET	RESET端子入力	00000H
				POC	パワーオン・クリア	
				LVI	低電圧検出 ^{注3}	
				WDT	ウォッチドッグ・タイマのオーバフロー	
				TRAP	不正命令の実行 ^{注4}	

注 1. デフォルト・プライオリティは、複数のマスクブル割り込みが発生している場合に、優先する順位です。0が最高順位、35が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図18 - 1の (A) - (C) に対応しています。

3. 低電圧検出レジスタ (LVIM) のビット1 (LVIMD) = 1選択時。

4. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

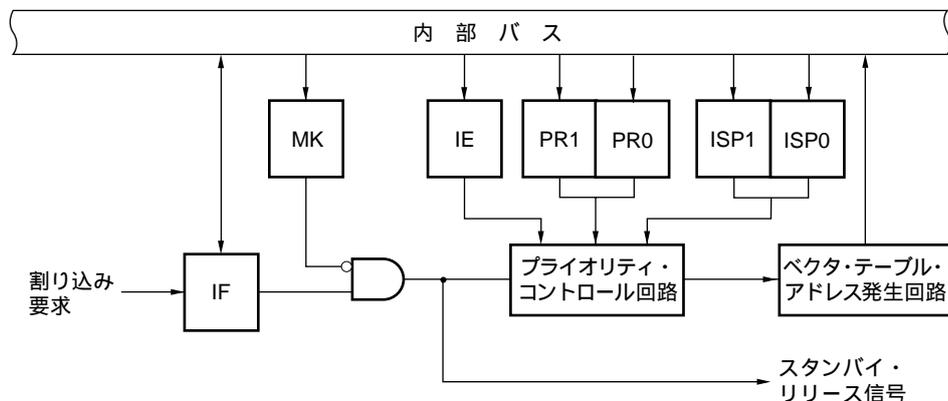
拡張SFR (3rd SFR) で制御される回路 (リアルタイム・カウンタ, 型A/Dコンバータ, 電力演算回路, 電力品質測定回路, デジタル周波数変換回路) からの割り込みがどれか一つでも発生すると, INTP8割り込みとして割り込みコントローラへ入力されます。割り込みハンドラ内で割り込み要因を確認し, 適切な処理を行ってください。

表18 - 2 拡張SFR (3rd SFR) の割り込み要因一覧

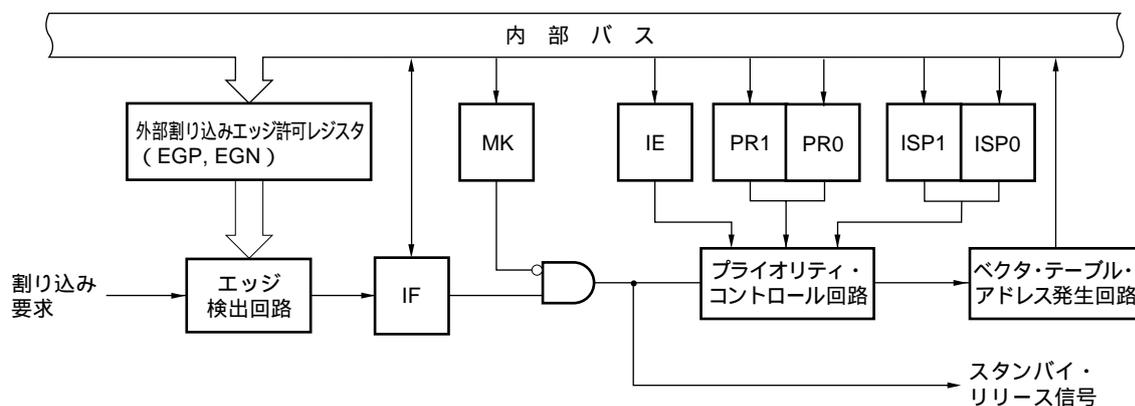
割り込みの種類	内部 / 外部	割り込み要因		回路
		名称	トリガ	
マスカブル	内部 (拡張 SFR (3rd SFR))	INTRTC0	RTCアラームと定周期割り込み	リアルタイム・カウンタ
		INTRTC2	RTCインターバル割り込み	リアルタイム・カウンタ
		INTAD2	ADC変換終了割り込み	型A/Dコンバータ
		INTFAULTSIGN	フォールト検出割り込み	電力品質測定回路
		INTREASIGN	無効電力符号変化割り込み	電力演算回路
		INTACTSIGN	有効電力符号変化割り込み	電力演算回路
		INTAPPNOLD	皮相電力ゼロロード割り込み	電力演算回路
		INTREANOLD	無効電力ゼロロード割り込み	電力演算回路
		INTACTNOLD	有効電力ゼロロード割り込み	電力演算回路
		INTCF	CF出力割り込み	デジタル周波数変換回路
		INTAPPEOF	APPHRレジスタ・オーバフロー割り込み	電力演算回路
		INTREAEOF	REahrレジスタ・オーバフロー割り込み	電力演算回路
		INTACTEOF	ACTHRレジスタ・オーバフロー割り込み	電力演算回路
		INTAPPEHF	APPHRレジスタ・ハーフフル割り込み	電力演算回路
		INTREAEHF	REahrレジスタ・ハーフフル割り込み	電力演算回路
		INTACTEHF	ACTHRレジスタ・ハーフフル割り込み	電力演算回路
		INTWFMSM	WAVEフォーム・レジスタ更新割り込み	電力演算回路
		INTPKI1	電流チャンネルのピーク検出割り込み	電力品質測定回路
		INTPKV1	電圧チャンネルのピーク検出割り込み	電力品質測定回路
		INTCYGEND	同期読み出し割り込み (LINNUMのアクムレーション完了割り込み)	電力演算回路
		INTZXTO1	ゼロクロス・タイムアウト割り込み (電圧チャンネル1)	電力品質測定回路
		INTZXTO2	ゼロクロス・タイムアウト割り込み (電圧チャンネル2)	電力品質測定回路
		INTZX1	ゼロクロス検出割り込み (電圧チャンネル1)	電力品質測定回路
		INTZX2	ゼロクロス検出割り込み (電圧チャンネル2)	電力品質測定回路
		INTSAG1	SAG検出割り込み (電圧チャンネル1)	電力品質測定回路
		INTSAG2	SAG検出割り込み (電圧チャンネル2)	電力品質測定回路
		INTRQFLG	拡張SFR (3rd SFR) 空間からの割り込み	-

図18 - 1 割り込み機能の基本構成

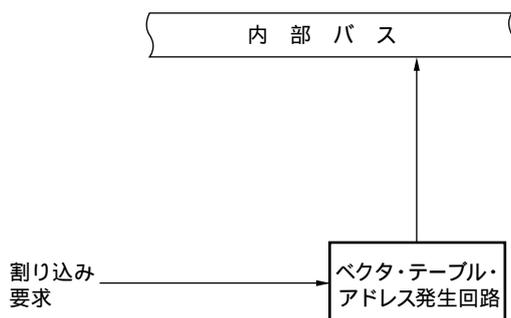
(A) 内部マスク割り込み



(B) 外部マスク割り込み (INTPn)



(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサーピス・プライオリティ・フラグ0
- ISP1 : インサーピス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

18.3 割り込み機能を制御するレジスタ

割り込み機能は、次の8種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- ・拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ (IF20, IF21, IF22, IF23)
- ・拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ (MK20, MK21, MK22, MK23)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表18 - 3に示します。

表18 - 3 割り込み要求ソースに対応する各種フラグ (1/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ				
		レジスタ		レジスタ		レジスタ			
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L			
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1				
INTP0	PIF0		PMK0		PPR00, PPR10				
INTP3	PIF3		PMK3		PPR03, PPR13				
INTST3	STIF3	IF0H	STMK3	MK0H	STPR03, STPR13	PR00H, PR10H			
INTSR3	SRIF3		SRMK3		SRPR03, SRPR13				
INTSRE3	SREIF3		SREMK3		SREPR03, SREPR13				
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10				
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11				
INTST0	STIF0		STMK0		STPR00, STPR10				
INTSR0	SRIF0		SRMK0		SRPR00, SRPR10				
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10				
INTCSI10	CSIIIF10		IF1L		CSIMK10		MK1L	CSIPR010, CSIPR110	PR01L, PR11L
INTIICA	IICAIF				IICAMK			IICAPR0, IICAPR1	
INTTM00	TMIF00	TMMK00		TMPR000, TMPR100					
INTTM01	TMIF01	TMMK01		TMPR001, TMPR101					
INTTM02	TMIF02	TMMK02		TMPR002, TMPR102					
INTTM03	TMIF03	TMMK03		TMPR003, TMPR103					

表18 - 3 割り込み要求ソースに対応する各種フラグ (2/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1	
INTRTCI	RTCIF		RTCIMK		RTCIPR0, RTCIPR1	
INTST2 ^注	STIF2 ^注		STMK2 ^注		STPR02, STPR12 ^注	
INTCSI20 ^注	CSIF20 ^注		CSIMK20 ^注		CSIPR020, CSIPR120 ^注	
INTIIC20 ^注	IICIF20 ^注		IICMK20 ^注		IICPR020, IICPR120 ^注	
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12	
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTP6	PIF6		PMK6		PPR06, PPR16	
INTP8	PIF8		PMK8		PPR08, PPR18	
INTP9	PIF9		PMK9		PPR09, PPR19	
INTTM10	TMIF10	IF2H	TMMK10	MK2H	TMPR010, TMPR110	PR02H, PR12H
INTTM11	TMIF11		TMMK11		TMPR011, TMPR111	
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112	
INTTM13	TMIF13		TMMK13		TMPR013, TMPR113	
INTMD	MDIF		MDMK		MDPR0, MDPR1	

注 UART2, CSI20, IIC20は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST2, INTCSI20, INTIIC20のうち、どちらかが発生したら、IF1Hのビット4はセット(1)されます。また、MK1H, PR01H, PR11Hのビット4は、両方の割り込み要因に対応しています。

表18 - 4 拡張SFR (3rd SFR) 割り込み要求ソースに対応する各種フラグ

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ	
		レジスタ		レジスタ
INTRTC0	RTC0IF	IF20	RTC0MK	MK20
INTRTC2	RTC2IF		RTC2MK	
INTAD2	ADIF2		ADMK2	
INTFAULTSIGN	FAULTSIGNIF		FAULTSIGNMK	
INTREASIGN	REASIGNIF		REASIGNMK	
INTACTSIGN	ACTSIGNIF		ACTSIGNMK	
INTAPPNOLD	APPNOLDIF		APPNOLDMK	
INTREANOLD	REANOLDIF		REANOLDMK	
INTACTNOLD	ACTNOLDIF	IF21	ACTNOLDMK	MK21
INTCF	CFIF		CFMK	
INTAPPEOF	APPEOFIF		APPEOFMK	
INTREAEOF	REAEOFIF		REAEOFMK	
INTACTEOF	ACTEOFIF		ACTEOFMK	
INTAPPEHF	APPEHFIF		APPEHFMK	
INTREAEHF	REAEHFIF		REAEHFMK	
INTACTEHF	ACTEHFIF	IF22	ACTEHFMK	MK22
INTWFSM	WFSMIF		WFSMMK	
INTPKI1	PKI1IF		PKI1MK	
INTPKV1	PKV1IF		PKV1MK	
INTCYCEND	CYCENDIF		CYCENDMK	
INTZXTO1	ZXTO1IF		ZXTO1MK	
INTZXTO2	ZXTO2IF	IF23	ZXTO2MK	MK23
INTZX1	ZX1IF		ZX1MK	
INTZX2	ZX2IF		ZX2MK	
INTSAG1	SAG1IF		SAG1MK	
INTSAG2	SAG2IF		SAG2MK	
INTRQFLG	-		-	

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1H, IF2LとIF2Hをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. タイマ、シリアル・インタフェース、10ビット逐次比較型A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。

2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	0	0	PIF3	0	0	PIF0	LVIF	WDTIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0	SRIF0	STIF0	DMAIF1	DMAIF0	SREIF3	SRIF3	STIF3

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAF	0	0	CSIF10

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	SREIF2	SRIF2	CSIF20 IICIF20 STIF2	0	RTCIF	RTCIF	ADIF

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	0	PIF9	PIF8	0	PIF6	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	0	0	MDIF	TMIF13	TMIF12	TMIF11	TMIF10	0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 IF0Lのビット3, 4, 6, 7, IF1Lのビット1, 2, IF1Hのビット3, IF2Lのビット4, 7, IF2Hのビット0, 6, 7には、必ず0を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0LとMK0H, MK1LとMK1H, MK2LとMK2Hをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18 - 3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) の
フォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	1	1	PMK3	1	1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0	SRMK0	STMK0	DMAMK1	DMAMK0	SREMK3	SRMK3	STMK3

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK	1	1	CSIMK10

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	SREMK2	SRMK2	CSIMK20 IICMK20 STMK2	1	RTCIMK	RTCMK	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	PMK9	PMK8	1	PMK6	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	1	1	MDMK	TMMK13	TMMK12	TMMK11	TMMK10	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK0Lのビット3, 4, 6, 7, MK1Lのビット1, 2, MK1Hのビット3, MK2Lのビット4, 7, MK2Hのビット0, 6, 7には, 必ず1を設定してください。

(3) 拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ (IF20, IF21, IF22, IF23)

拡張SFR (3rd SFR) 割り込み要求フラグは、対応する割り込み要求の発生によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、割り込み要求フラグは自動的にクリアされません。

IF20, IF21, IF22, IF23は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

注意 拡張SFR (3rd SFR) 割り込みマスク・フラグをクリアする前に、拡張SFR (3rd SFR) 割り込み要求フラグをクリアする場合は、拡張SFR (3rd SFR) 割り込み要求フラグを2回クリアしてください。

図18 - 4 拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ (IF20, IF21, IF22, IF23) のフォーマット

アドレス : 80H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF20	REANOLDIF	APPNOLDIF	ACTSIGNIF	REASIGNIF	FAULTSIGNIF	ADIF2	RTC2IF	RTC0IF

アドレス : 81H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF21	REAEHFIF	APPEHFIF	ACTEOFIF	REAEHFIF	APPEOFIF	0	CFIF	ACTNOLDIF

アドレス : 82H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF22	ZXTO1IF	CYCENDIF	0	PKV1IF	0	PKI1IF	WFSMIF	ACTEHFIF

アドレス : 83H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF23	0	0	0	SAG2IF	SAG1IF	ZX2IF	ZX1IF	ZXTO2IF

XXIF	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意 IF21のビット2, IF22のビット3, 5, IF23のビット5-7には、必ず0を設定してください。

(4) 拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ (MK20, MK21, MK22, MK23)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可/禁止を設定するフラグです。

MK20, MK21, MK22, MK23は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、FFHになります。

図18 - 5 拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ (MK20, MK21, MK22, MK23) のフォーマット

アドレス：84H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK20	REANOLDMK	APPNOLDMK	ACTSIGNMK	REASIGNMK	FAULTSIGNMK	ADMK2	RTC2MK	RTC0MK

アドレス：85H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK21	REAEHFMK	APPEHFMK	ACTEOFMK	REAEFMK	APPEFMK	1	CFMK	ACTNOLDMK

アドレス：86H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK22	ZXTO1MK	CYCENDMK	1	PKV1MK	1	PKI1MK	WFSMMK	ACTEHFMK

アドレス：87H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
MK23	1	1	1	SAG2MK	SAG1MK	ZX2MK	ZX1MK	ZXTO2MK

XXMK	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意 MK21のビット2, MK22のビット3, 5, MK23のビット5-7には、必ず1を設定してください。

(5) **優先順位指定フラグ・レジスタ**(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LとPR00H, PR01LとPR01H, PR02LとPR02H, PR10LとPR10H, PR11LとPR11H, PR12LとPR12Hをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18 - 6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	1	1	PPR03	1	1	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	1	1	PPR13	1	1	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00	SRPR00	STPR00	DMAPR01	DMAPR00	SREPR03	SRPR03	STPR03

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10	SRPR10	STPR10	DMAPR11	DMAPR10	SREPR13	SRPR13	STPR13

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR0	1	1	CSIPR010

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR1	1	1	CSIPR110

注意 PR00L, PR10Lのビット3, 4, 6, 7, PR01L, PR11Lのビット1-3には, 必ず1を設定してください。

図18 - 6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (2/2)

アドレス : FFFEBH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	3	[2]	[1]	[0]
PR01H	TMPR004	SREPR02	SRPR02	CSIPR020 IICPR020 STPR02	1	RTCIPR0	RTCPR0	ADPR0

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	3	[2]	[1]	[0]
PR11H	TMPR104	SREPR12	SRPR12	CSIPR120 IICPR120 STPR12	1	RTCIPR1	RTCPR1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	[6]	[5]	4	[3]	[2]	[1]	[0]
PR02L	1	PPR09	PPR08	1	PPR06	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	[6]	[5]	4	[3]	[2]	[1]	[0]
PR12L	1	PPR19	PPR18	1	PPR16	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	[5]	[4]	[3]	[2]	[1]	0
PR02H	1	1	MDPR0	TMPR013	TMPR012	TMPR011	TMPR010	1

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	[5]	[4]	[3]	[2]	[1]	0
PR12H	1	1	MDPR1	TMPR113	TMPR112	TMPR111	TMPR110	1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 PR01H, PR11Hのビット3, PR02L, PR12Lのビット4, 7, PR02H, PR12Hのビット0, 6, 7には, 必ず1を設定してください。

(6) 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) ,

外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0, INTP3, INTP6, INTP9の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18 - 7 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	EGP6	0	0	EGP3	0	0	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	EGN6	0	0	EGN3	0	0	EGN0

アドレス : FFF3AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	0	0	EGP9	0

アドレス : FFF3BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	0	0	EGN9	0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0, 3, 6, 9)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnとEGNnに対応するポートを表18 - 5に示します。

表18 - 5 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP3	EGN3	P33	INTP3
EGP6	EGN6	P11	INTP6
EGP9	EGN9	P81	INTP9

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0, 3, 6, 9

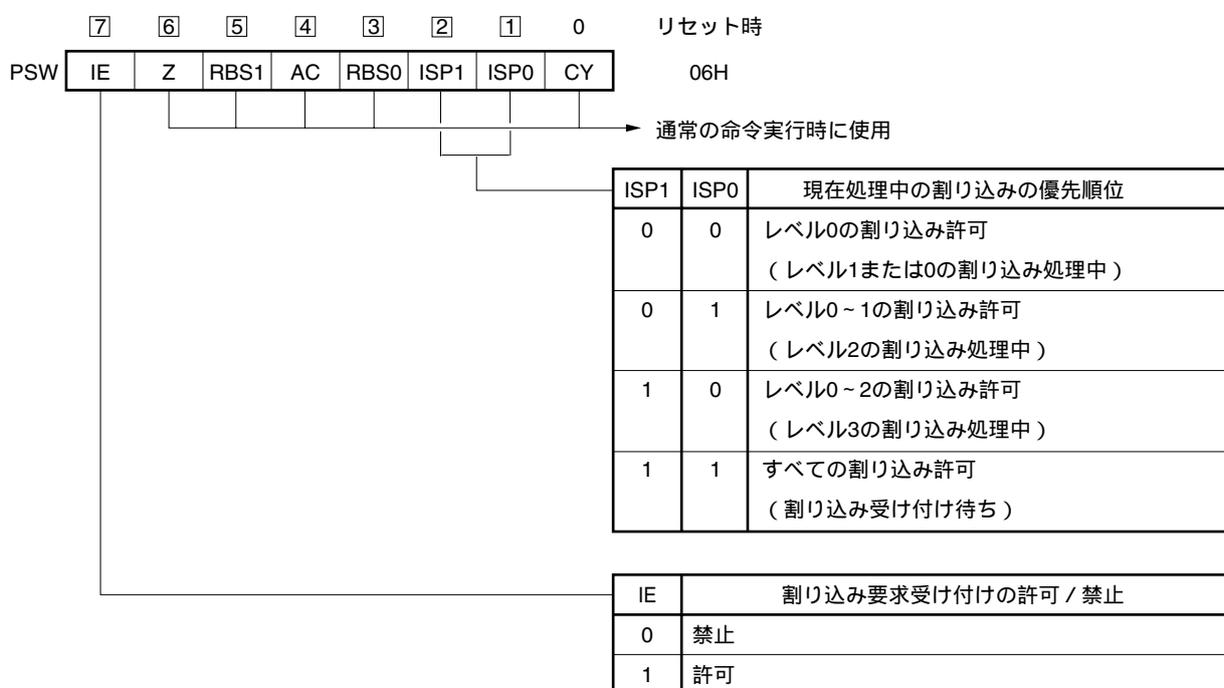
(7) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図18 - 8 プログラム・ステータス・ワードの構成



18.4 割り込み処理動作

18.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表18-6のようになります。

割り込み要求の受け付けタイミングについては、[図18-10](#), [18-11](#)を参照してください。

表18-6 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

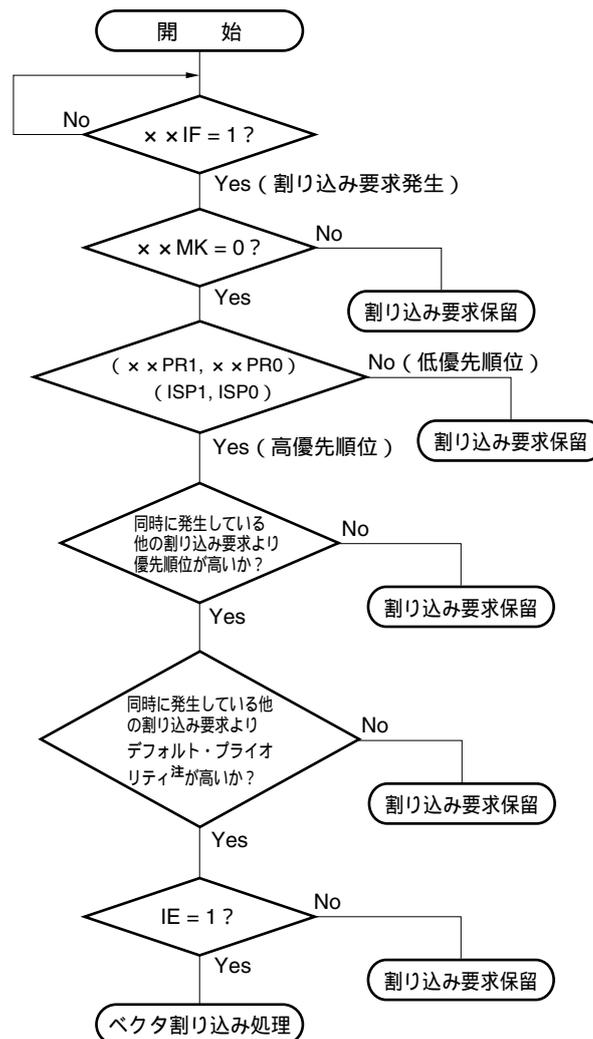
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを[図18-9](#)に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

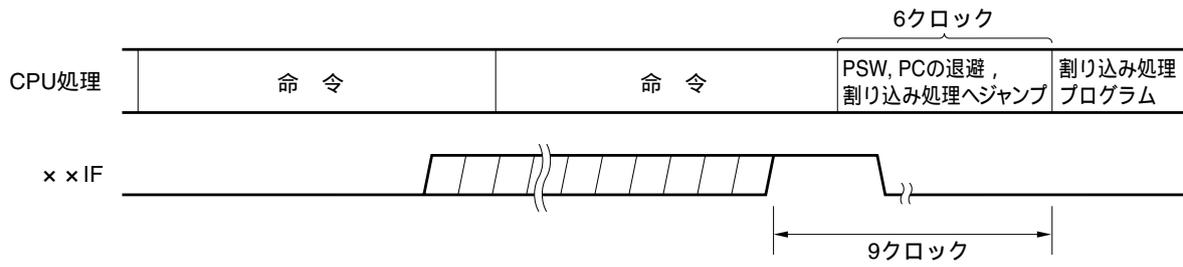
図18 - 9 割り込み要求受け付け処理アルゴリズム



- x x IF : 割り込み要求フラグ
 x x MK : 割り込みマスク・フラグ
 x x PR0 : 優先順位指定フラグ0
 x x PR1 : 優先順位指定フラグ1
 IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)
 ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図18 - 8参照)

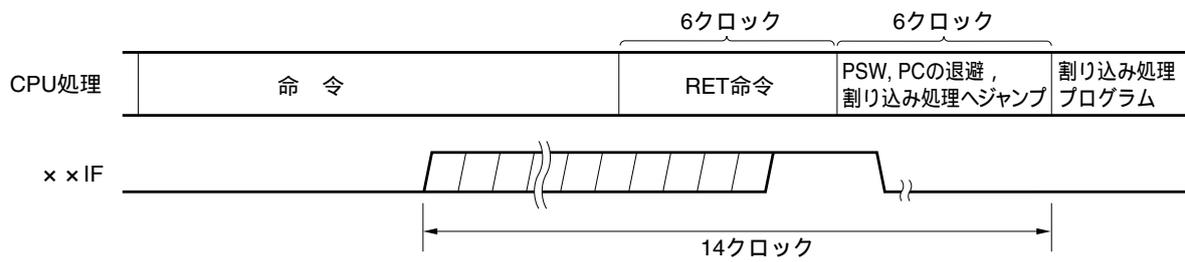
注 デフォルト・プライオリティは、表18 - 1 割り込み要因一覧を参照してください。

図18 - 10 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図18 - 11 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

18.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

18.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表18-7に多重割り込み可能な割り込み要求の関係を、図18-12に多重割り込みの例を示します。

表18 - 7 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0							
マスカブル割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
	ソフトウェア割り込み		x		x		x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hに含まれるフラグです。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

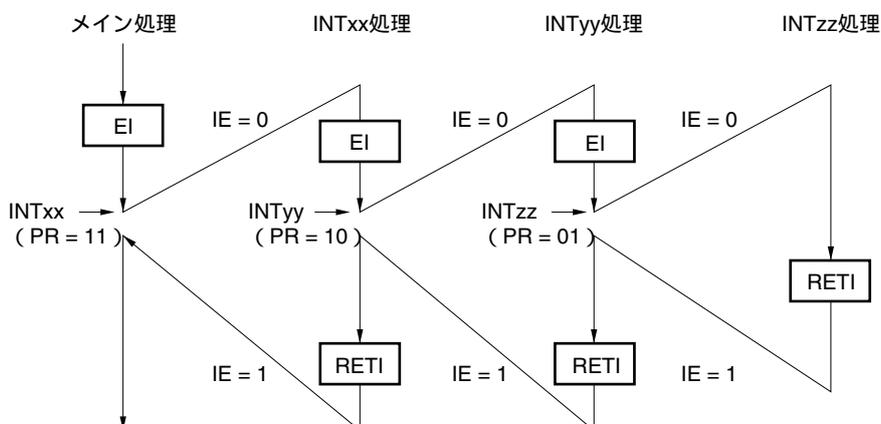
PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

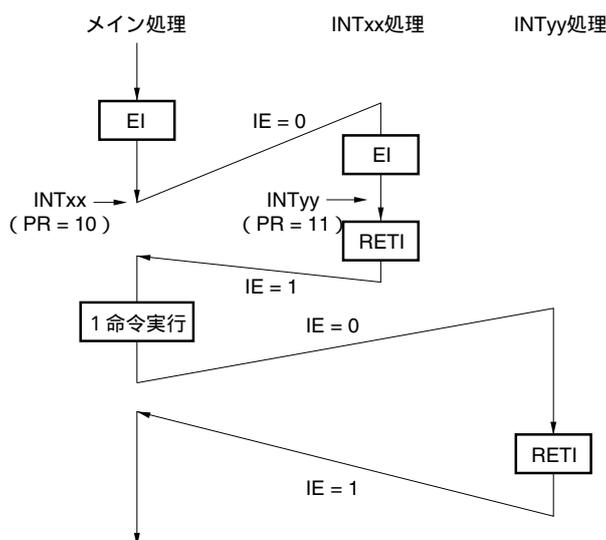
図18 - 12 多重割り込みの例 (1/2)

例1 . 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2 . 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1x = 0, x \times PR0x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1x = 0, x \times PR0x = 1$ でレベル1を指定

PR = 10 : $x \times PR1x = 1, x \times PR0x = 0$ でレベル2を指定

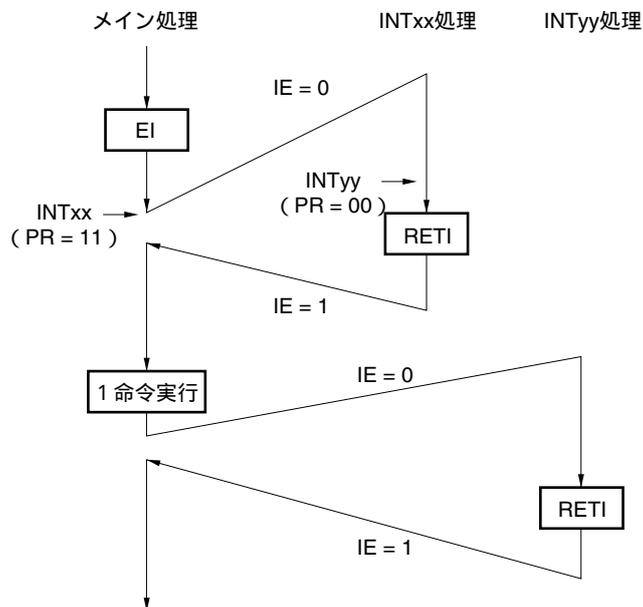
PR = 11 : $x \times PR1x = 1, x \times PR0x = 1$ でレベル1を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図18 - 12 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1x = 0$, $x \times PR0x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1x = 0$, $x \times PR0x = 1$ でレベル1を指定

PR = 10 : $x \times PR1x = 1$, $x \times PR0x = 0$ でレベル2を指定

PR = 11 : $x \times PR1x = 1$, $x \times PR0x = 1$ でレベル1を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

18.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr8
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図18 - 13に示します。

図18 - 13 割り込み要求の保留



- 備考**
1. 命令N：割り込み要求の保留命令
 2. 命令M：割り込み要求の保留命令以外の命令
 3. $x \times IF$ （割り込み要求）の動作は、 $x \times PR$ （優先順位レベル）の値の影響を受けません。

第19章 電力演算回路

19.1 電力演算回路の機能

24ビット 型A/Dコンバータのデジタル・フィルタ, その他機能(ゼロクロス, ピリオド/周波数測定, SAG検出, ピーク検出など)と連携して電力および電力量(エネルギー)の測定を行います。測定機能は, 有効電力と有効電力量の計算, 無効電力と無効電力量の計算, 皮相電力と皮相電力量の計算, 電流/電圧RMS計算です。

電力演算回路は, 単相2線および単相3線モードの両方に対応しています。

電力演算回路は, 次の機能を搭載しています。

- ・インテグレータ (di/dt電流センサ (Rogowskiコイル) 対応)
- ・90°フェーズ・シフト (無効電力演算用)
- ・電流, 電圧RMS演算
- ・有効電力, 有効エネルギー演算
- ・無効電力, 無効エネルギー演算
- ・皮相電力, 皮相エネルギー演算
- ・アンペア時演算
- ・波形サンプリング機能

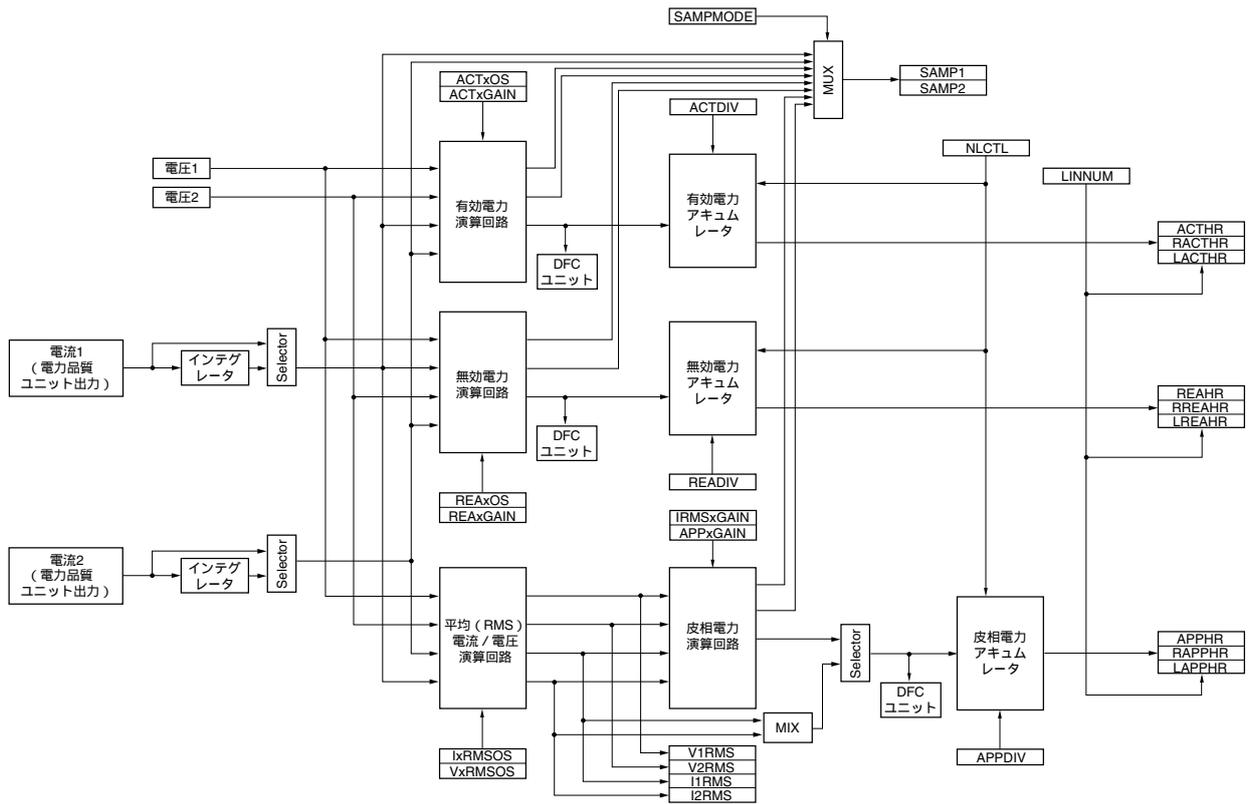
19.2 電力演算回路の構成

電力演算回路は、次のハードウェアで構成しています。

表19-1 電力演算回路のハードウェア

項目	構成
制御回路	電流インテグレータ回路 90°フェーズ・シフト回路 電流，電圧RMS演算回路 有効電力，有効エネルギー演算回路 無効電力，無効エネルギー演算回路 皮相電力，皮相エネルギー演算回路 アンペア時演算回路 波形サンプリング回路
レジスタ	電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS) 電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS) 有効電力アキュムレーション・リード・レジスタ (ACTHR) 有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR) 有効電力アキュムレーション同期リード・レジスタ (LACTHR) 無効電力アキュムレーション・リード・レジスタ (REahr) 無効電力アキュムレーション・リセット・リード・レジスタ (RREahr) 無効電力アキュムレーション同期リード・レジスタ (LREahr) 皮相電力アキュムレーション・リード・レジスタ (APPHR) 皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR) 皮相電力アキュムレーション同期リード・レジスタ (LAPPHR) サンプリング結果レジスタ1, 2 (SAMP1, SAMP2)
制御レジスタ	電力演算モード制御レジスタ1 (PWCTL1) 電力演算モード制御レジスタ2 (PWCTL2) ゼロロード・レベル制御レジスタ (NLCTL) 有効電力スケール設定レジスタ (ACTDIV) 無効電力スケール設定レジスタ (READIV) 皮相電力スケール設定レジスタ (APPDIV) ライン・サイクル数設定レジスタ (LINNUM) 有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN) 無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN) 皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN) 電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN) 有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS) 無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS) 電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS) 電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS) サンプリング・モード選択レジスタ (SAMPMODE)

図19 - 1 電力演算回路のブロック図



(1) 電流インテグレータ回路

電流センサとして di/dt センサ（Rogowskiコイルなど）を接続する場合，電流値を積算するための回路です。

(2) 90° フェーズ・シフト回路

無効電力を計算するため，電圧チャンネルの位相を90°シフトする回路です。

(3) 電流，電圧RMS演算回路

平均（RMS）電流，平均（RMS）電圧を計算する回路です。

(4) 有効電力，有効エネルギー演算回路

有効電力，有効エネルギーを計算するための回路です。

(5) 無効電力，無効エネルギー演算回路

無効電力，無効エネルギーを計算するための回路です。

(6) 皮相電力，皮相エネルギー演算回路

皮相電力，皮相エネルギーを計算するための回路です。この回路はアンペア時演算回路を共有するため，どちらかを選択して使用してください。

(7) アンペア時演算回路

アンペア時を計算するための回路です。この回路は皮相電力 / エネルギー演算回路を共有するため，どちらかを選択して使用してください。

(8) 波形サンプリング回路

24ビット 型A/Dコンバータ・サンプリングごとの演算結果（電流値，電圧値，有効電力，無効電力，皮相電力）を読み出すための回路です。電流値，電圧値，有効電力，無効電力，皮相電力のうち，2種類をSAMMODEレジスタで選択し，読み出すことができます。詳細については，19.4.8 **波形サンプリング機能**を参照してください。

19.3 電力演算回路で使用するレジスタ

電力演算回路では、次のレジスタを使用します。

これらのレジスタは、すべて拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) 空間へのアクセス方法は、[第14章 拡張SFR \(3rd SFR\) インタフェース](#)を参照してください。

- ・ 電力演算モード制御レジスタ1 (PWCTL1)
- ・ 電力演算モード制御レジスタ2 (PWCTL2)
- ・ ゼロロード・レベル制御レジスタ (NLCTL)
- ・ 有効電力スケールリング設定レジスタ (ACTDIV)
- ・ 無効電力スケールリング設定レジスタ (READIV)
- ・ 皮相電力スケールリング設定レジスタ (APPDIV)
- ・ 電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS)
- ・ 電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS)
- ・ 有効電力アキュムレーション・リード・レジスタ (ACTHR)
- ・ 有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR)
- ・ 有効電力アキュムレーション同期リード・レジスタ (LACTHR)
- ・ 無効電力アキュムレーション・リード・レジスタ (REahr)
- ・ 無効電力アキュムレーション・リセット・リード・レジスタ (RREahr)
- ・ 無効電力アキュムレーション同期リード・レジスタ (LREahr)
- ・ 皮相電力アキュムレーション・リード・レジスタ (APPHR)
- ・ 皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR)
- ・ 皮相電力アキュムレーション同期リード・レジスタ (LAPPHR)
- ・ ライン・サイクル数設定レジスタ (LINNUM)
- ・ 有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN)
- ・ 無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN)
- ・ 皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN)
- ・ 電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN)
- ・ 有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS)
- ・ 無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS)
- ・ 電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS)
- ・ 電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS)
- ・ サンプリング・モード選択レジスタ (SAMPMODE)
- ・ サンプリング結果レジスタ1, 2 (SAMP1, SAMP2)

(1) 電力演算モード制御レジスタ1 (PWCTL1)

電力演算，電力品質測定，デジタル周波数変換の制御を行うレジスタです。

PWCTL1は，拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により，00Hになります。

図19 - 2 電力演算モード制御レジスタ1 (PWCTL1) のフォーマット (1/2)

アドレス：180H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PWCTL1	PWREN	READIS	APPDIS	CYCDIS	SAMPEN	APPRMS CFCON	INTE2	INTE1

PWREN ^{注1}	電力演算，電力品質測定，デジタル周波数変換の動作制御
0	電力演算回路の動作禁止
1	電力演算回路の動作許可

READIS	無効電力測定の制御
0	無効電力測定の許可
1	無効電力測定の禁止

APPDIS	皮相電力測定の制御
0	皮相電力測定の許可
1	皮相電力測定の禁止

CYCDIS	同期読み出し割り込み (CYCEND) 検出の制御
0	同期読み出し割り込み (CYCEND) 検出許可
1	同期読み出し割り込み (CYCEND) 検出禁止 ^{注2}

注1. ADM2レジスタのADCE2ビットとPWCTL1レジスタのPWRENビットの設定により，次のように制御されます。

ADCE2	PWREN	24ビット 型A/Dコンバータ (アナログ部，デジタル部)	電力演算，電力品質測定， デジタル周波数変換
0	0	動作不可	動作不可
0	1	動作不可	動作不可
1	0	動作可能	動作不可
1	1	動作可能	動作可能

2. CYCDIS = 1の場合，ハーフ・ライン・サイクル数がLINNUMレジスタに設定した値に達しても，CYCEND割り込みは発生しません。また，LINNUMレジスタが書き込まれても，アキュムレーション・レジスタはクリアされません。

図19 - 2 電力演算モード制御レジスタ1 (PWCTL1) のフォーマット (2/2)

アドレス : 180H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PWCTL1	PWREN	READIS	APPDIS	CYCDIS	SAMPEN	APPRMS CFCON	INTE2	INTE1
SAMPEN	波形サンプル・モードの制御							
0	波形サンプル・モード禁止							
1	波形サンプル・モード許可							
APPRMS CFCON	皮相電力アキュムレーション・レジスタおよびCFパルス出力の 皮相電力 / 平均 (RMS) 電流I _{rms} の選択							
0	皮相電力アキュムレーション・レジスタは、皮相電力を累積します。 CFCTLレジスタのCFSEL1ビット = 1のとき、皮相電力をCFパルス出力します。 CHMD = 0 (2線方式) : 皮相電力1をCFパルス出力 CHMD = 1 (3線方式) : 皮相電力1 + 皮相電力2をCFパルス出力							
1	皮相電力アキュムレーション・レジスタは、平均 (RMS) 電流I _{rms} を累積します。 CFCTLレジスタのCFSEL1ビット = 1のとき、I _{rms} をCFパルス出力します。 CHMD = 0 (2線方式) : I _{1rms} をCFパルス出力 CHMD = 1 (3線方式) : I _{1rms} + I _{2rms} をCFパルス出力							
INTE2	インテグレータ2 (電流チャネル2用) の制御							
0	インテグレータ2の動作禁止							
1	インテグレータ2の動作許可							
INTE1	インテグレータ1 (電流チャネル1用) の制御							
0	インテグレータ1の動作禁止							
1	インテグレータ1の動作許可							

(2) 電力演算モード制御レジスタ2 (PWCTL2)

電力演算，電力品質測定，デジタル周波数変換の制御を行うレジスタです。

PWCTL2は，拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により，00Hになります。

図19 - 3 電力演算モード制御レジスタ2 (PWCTL2) のフォーマット (1/2)

アドレス：181H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PWCTL2	ACTDIS	0	REASIGN	ACTSIGN	ABSVARM	SAVARM	POAM	ABSAM
ACTDIS	有効電力測定の制御							
0	有効電力測定の許可							
1	有効電力測定の禁止							
REASIGN	無効電力符号変化割り込み (INTREASIGN) の発生トリガの設定							
0	無効電力が正から負に変わるときに割り込み発生							
1	無効電力が負から正に変わるときに割り込み発生							
ACTSIGN	有効電力符号変化割り込み (INTACTSIGN) の発生トリガの設定							
0	有効電力が正から負に変わるときに割り込み発生							
1	有効電力が負から正に変わるときに割り込み発生							
ABSVARM ^{注1}	無効電力の絶対値アキュムレーション・モードおよびパルス出力の制御							
0	無効電力の絶対値アキュムレーション・モードの禁止							
1	無効電力の絶対値アキュムレーション・モードの許可							
SAVARM ^{注1}	無効電力アキュムレーション・モードの設定							
0	有効電力の符号に依存しない							
1	有効電力の符号に依存する							

注意 ビット6には，必ず0を設定してください。

注1. SAVARMビットとABSVARMビットの設定により，無効電力信号の積算方法を選択することができます。

SAVARM	ABSVARM	無効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	アンチタンパ・アキュムレーション・モード ^{注2}
1	1	絶対値アキュムレーション・モード

2. 有効電力が正の場合 無効電力は無効電力量アキュムレータに加算されます。有効電力が負の場合，無効電力は無効電力量アキュムレータから減算されます。この設定は，無効電力レジスタとパルス出力の両方に影響します。

図19 - 3 電力演算モード制御レジスタ2 (PWCTL2) のフォーマット (2/2)

アドレス : 181H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PWCTL2	ACTDIS	0	REASIGN	ACTSIGN	ABSVARM	SAVARM	POAM	ABSAM

POAM ^注	有効電力の正値アキュムレーション・モードおよびパルス出力の制御
0	有効電力の正値アキュムレーション・モードの禁止
1	有効電力の正値アキュムレーション・モードの許可

ABSAM ^注	有効電力の絶対値アキュムレーション・モードおよびパルス出力の制御
0	有効電力の絶対値アキュムレーション・モードの禁止
1	有効電力の絶対値アキュムレーション・モードの許可

注意 ビット6には、必ず0を設定してください。

注 POAMビットとABSAMビットの設定により、有効電力量の積算方法を選択することができます。

POAM	ABSAM	有効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	正値アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

(3) ゼロロード・レベル制御レジスタ (NLCTL)

ゼロロード検出の設定を行うレジスタです。

NLCTLは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図19-4 ゼロロード・レベル制御レジスタ (NLCTL) のフォーマット

アドレス：182H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
NLCTL	DISREACMP	ZXRMS	APPNO LOAD1	APPNO LOAD0	REANO LOAD1	REANO LOAD0	ACTNO LOAD1	ACTNO LOAD0
DISREACMP	ライン周波数による無効電力ゲイン補償の設定							
0	ゲイン補償を有効にする							
1	ゲイン補償を無効にする							
ZXRMS	rms値格納時のライン周波数との同期設定							
0	ライン周波数に同期しない							
1	ライン周波数に同期する							
APPNOLOAD1	APPNOLOAD0	皮相電力 / IRMSのゼロロードしきい値の設定						
0	0	皮相電力 / IRMSのゼロロード検出は無効						
0	1	皮相電力 / IRMSのゼロロード検出は有効。しきい値 = フルスケールの0.03%						
1	0	皮相電力 / IRMSのゼロロード検出は有効。しきい値 = フルスケールの0.015%						
1	1	皮相電力 / IRMSのゼロロード検出は有効。しきい値 = フルスケールの0.0075%						
REANOLOAD1	REANOLOAD0	無効電力のゼロロードしきい値の設定						
0	0	無効電力のゼロロード検出は無効						
0	1	無効電力のゼロロード検出は有効。しきい値 = フルスケールの0.015%						
1	0	無効電力のゼロロード検出は有効。しきい値 = フルスケールの0.0075%						
1	1	無効電力のゼロロード検出は有効。しきい値 = フルスケールの0.0037%						
ACTNOLOAD1	ACTNOLOAD0	有効電力のゼロロードしきい値の設定						
0	0	有効電力のゼロロード検出は無効						
0	1	有効電力のゼロロード検出は有効。しきい値 = フルスケールの0.015%						
1	0	有効電力のゼロロード検出は有効。しきい値 = フルスケールの0.0075%						
1	1	有効電力のゼロロード検出は有効。しきい値 = フルスケールの0.0037%						

(4) 有効電力スケール設定レジスタ (ACTDIV)

有効電力のスケール設定を行うレジスタです。

ACTDIVは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図19 - 5 有効電力スケール設定レジスタ (ACTDIV) のフォーマット

アドレス : 183H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ACTDIV	ACTDIV7	ACTDIV6	ACTDIV5	ACTDIV4	ACTDIV3	ACTDIV2	ACTDIV1	ACTDIV0
ACTDIV7-0		有効電力のスケール値の設定						
00H-FFH		有効電力のスケール値						

(5) 無効電力スケール設定レジスタ (READIV)

無効電力のスケール設定を行うレジスタです。

READIVは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図19 - 6 無効電力スケール設定レジスタ (READIV) のフォーマット

アドレス : 184H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
READIV	READIV7	READIV6	READIV5	READIV4	READIV3	READIV2	READIV1	READIV0
READIV7-0		無効電力のスケール値の設定						
00H-FFH		無効電力のスケール値						

(6) 皮相電力スケール設定レジスタ (APPDIV)

皮相電力のスケール設定を行うレジスタです。

APPDIVは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図19 - 7 皮相電力スケール設定レジスタ (APPDIV) のフォーマット

アドレス : 185H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
APPDIV	APPDIV7	APPDIV6	APPDIV5	APPDIV4	APPDIV3	APPDIV2	APPDIV1	APPDIV0
APPDIV7-0		皮相電力のスケール値の設定						
00H-FFH		皮相電力のスケール値						

(7) 電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS)

電圧チャンネル1, 2のRMS測定値を格納するレジスタです。

V1RMS, V2RMSは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 8 電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS) のフォーマット

(a) V1RMS

アドレス : 186H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
V1RMSL	V1RMS7	V1RMS6	V1RMS5	V1RMS4	V1RMS3	V1RMS2	V1RMS1	V1RMS0

アドレス : 187H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
V1RMSM	V1RMS15	V1RMS14	V1RMS13	V1RMS12	V1RMS11	V1RMS10	V1RMS9	V1RMS8

アドレス : 188H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
V1RMSH	V1RMS23	V1RMS22	V1RMS21	V1RMS20	V1RMS19	V1RMS18	V1RMS17	V1RMS16

(b) V2RMS

アドレス : 189H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
V2RMSL	V2RMS7	V2RMS6	V2RMS5	V2RMS4	V2RMS3	V2RMS2	V2RMS1	V2RMS0

アドレス : 18AH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
V2RMSM	V2RMS15	V2RMS14	V2RMS13	V2RMS12	V2RMS11	V2RMS10	V2RMS9	V2RMS8

アドレス : 18BH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
V2RMSH	V2RMS23	V2RMS22	V2RMS21	V2RMS20	V2RMS19	V2RMS18	V2RMS17	V2RMS16

VnRMS23-0	電圧チャンネルnのRMS測定値の格納 (n = 1, 2)
000000H-FFFFFFH	電圧チャンネルnのRMS測定値

(8) 電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS)

電流チャンネル1, 2のRMS測定値を格納するレジスタです。

I1RMS, I2RMSは, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により, 000000Hになります。

図19 - 9 電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS) のフォーマット

(a) I1RMS

アドレス : 18CH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I1RMSL	I1RMS7	I1RMS6	I1RMS5	I1RMS4	I1RMS3	I1RMS2	I1RMS1	I1RMS0

アドレス : 18DH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I1RMSM	I1RMS15	I1RMS14	I1RMS13	I1RMS12	I1RMS11	I1RMS10	I1RMS9	I1RMS8

アドレス : 18EH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I1RMSH	I1RMS23	I1RMS22	I1RMS21	I1RMS20	I1RMS19	I1RMS18	I1RMS17	I1RMS16

(b) I2RMS

アドレス : 18FH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I2RMSL	I2RMS7	I2RMS6	I2RMS5	I2RMS4	I2RMS3	I2RMS2	I2RMS1	I2RMS0

アドレス : 190H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I2RMSM	I2RMS15	I2RMS14	I2RMS13	I2RMS12	I2RMS11	I2RMS10	I2RMS9	I2RMS8

アドレス : 191H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
I2RMSH	I2RMS23	I2RMS22	I2RMS21	I2RMS20	I2RMS19	I2RMS18	I2RMS17	I2RMS16

I _n RMS23-0	電流チャンネル _n のRMS測定値の格納 (n = 1, 2)
000000H-FFFFFFH	電流チャンネル _n のRMS測定値

(9) 有効電力アキュムレーション・リード・レジスタ (ACTHR)

有効電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされません。

ACTHRは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 10 有効電力アキュムレーション・リード・レジスタ (ACTHR) のフォーマット

アドレス : 192H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ACTHRL	ACTHR7	ACTHR6	ACTHR5	ACTHR4	ACTHR3	ACTHR2	ACTHR1	ACTHR0

アドレス : 193H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ACTHRM	ACTHR15	ACTHR14	ACTHR13	ACTHR12	ACTHR11	ACTHR10	ACTHR9	ACTHR8

アドレス : 194H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
ACTHRH	ACTHR23	ACTHR22	ACTHR21	ACTHR20	ACTHR19	ACTHR18	ACTHR17	ACTHR16

ACTHR23-0	有効電力のアキュムレータ値の格納
000000H-FFFFFFH	有効電力のアキュムレータ値 (読み出し後クリアされません)

(10) 有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR)

有効電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされます。

RACTHRは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 11 有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR) のフォーマット

アドレス : 196H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RACTHRL	RACTHR7	RACTHR6	RACTHR5	RACTHR4	RACTHR3	RACTHR2	RACTHR1	RACTHR0

アドレス : 197H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RACTHRM	RACTHR15	RACTHR14	RACTHR13	RACTHR12	RACTHR11	RACTHR10	RACTHR9	RACTHR8

アドレス : 198H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RACTHRH	RACTHR23	RACTHR22	RACTHR21	RACTHR20	RACTHR19	RACTHR18	RACTHR17	RACTHR16

RACTHR23-0	有効電力のアキュムレータ値の格納
000000H-FFFFFFH	有効電力のアキュムレータ値 (読み出し後クリアされます)

(11) 有効電力アキュムレーション同期リード・レジスタ (LACTHR)

有効電力のアキュムレータ値をライン周波数に同期して格納するレジスタです。

LACTHRは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 12 有効電力アキュムレーション同期リード・レジスタ (LACTHR) のフォーマット

アドレス：199H リセット時：00H R

略号	7	6	5	4	3	2	1	0
LACTHRL	LACTHR7	LACTHR6	LACTHR5	LACTHR4	LACTHR3	LACTHR2	LACTHR1	LACTHR0

アドレス：19AH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LACTHRM	LACTHR15	LACTHR14	LACTHR13	LACTHR12	LACTHR11	LACTHR10	LACTHR9	LACTHR8

アドレス：19BH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LACTHRH	LACTHR23	LACTHR22	LACTHR21	LACTHR20	LACTHR19	LACTHR18	LACTHR17	LACTHR16

LACTHR23-0	有効電力のアキュムレータ値の格納
000000H-FFFFFFH	有効電力のアキュムレータ値 (ライン周波数に同期して格納)

(12) 無効電力アキュムレーション・リード・レジスタ (REahr)

無効電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされません。

REahrは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 13 無効電力アキュムレーション・リード・レジスタ (REahr) のフォーマット

アドレス : 19CH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
REahrL	REahr7	REahr6	REahr5	REahr4	REahr3	REahr2	REahr1	REahr0

アドレス : 19DH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
REahrM	REahr15	REahr14	REahr13	REahr12	REahr11	REahr10	REahr9	REahr8

アドレス : 19EH リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
REahrH	REahr23	REahr22	REahr21	REahr20	REahr19	REahr18	REahr17	REahr16

REahr23-0	無効電力のアキュムレータ値の格納
000000H-FFFFFFH	無効電力のアキュムレータ値 (読み出し後クリアされません)

(13) 無効電力アキュムレーション・リセット・リード・レジスタ (RREAHR)

無効電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされます。

RREAHRは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 14 無効電力アキュムレーション・リセット・リード・レジスタ (RREAHR) のフォーマット

アドレス : 1A0H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RREAHR L	RREAHR7	RREAHR6	RREAHR5	RREAHR4	RREAHR3	RREAHR2	RREAHR1	RREAHR0

アドレス : 1A1H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RREAHR M	RREAHR15	RREAHR14	RREAHR13	RREAHR12	RREAHR11	RREAHR10	RREAHR9	RREAHR8

アドレス : 1A2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
RREAHR H	RREAHR23	RREAHR22	RREAHR21	RREAHR20	RREAHR19	RREAHR18	RREAHR17	RREAHR16

RREAHR23-0	無効電力のアキュムレータ値の格納
000000H-FFFFFFH	無効電力のアキュムレータ値 (読み出し後クリアされます)

(14) 無効電力アキュムレーション同期リード・レジスタ (LREahr)

無効電力のアキュムレータ値をライン周波数に同期して格納するレジスタです。

LREahrは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 15 無効電力アキュムレーション同期リード・レジスタ (LREahr) のフォーマット

アドレス : 1A3H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
LREahrL	LREahr7	LREahr6	LREahr5	LREahr4	LREahr3	LREahr2	LREahr1	LREahr0

アドレス : 1A4H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
LREahrM	LREahr15	LREahr14	LREahr13	LREahr12	LREahr11	LREahr10	LREahr9	LREahr8

アドレス : 1A5H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
LREahrH	LREahr23	LREahr22	LREahr21	LREahr20	LREahr19	LREahr18	LREahr17	LREahr16

LREahr23-0	無効電力のアキュムレータ値の格納
000000H-FFFFFFH	無効電力のアキュムレータ値 (ライン周波数に同期して格納)

(15) 皮相電力アキュムレーション・リード・レジスタ (APPHR)

皮相電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされません。

APPHRは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 16 皮相電力アキュムレーション・リード・レジスタ (APPHR) のフォーマット

アドレス：1A6H リセット時：00H R

略号	7	6	5	4	3	2	1	0
APPHRL	APPHR7	APPHR6	APPHR5	APPHR4	APPHR3	APPHR2	APPHR1	APPHR0

アドレス：1A7H リセット時：00H R

略号	7	6	5	4	3	2	1	0
APPHRM	APPHR15	APPHR14	APPHR13	APPHR12	APPHR11	APPHR10	APPHR9	APPHR8

アドレス：1A8H リセット時：00H R

略号	7	6	5	4	3	2	1	0
APPHRH	APPHR23	APPHR22	APPHR21	APPHR20	APPHR19	APPHR18	APPHR17	APPHR16

APPHR23-0	皮相電力のアキュムレータ値の格納
000000H-FFFFFFH	皮相電力のアキュムレータ値 (読み出し後クリアされません)

(16) 皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR)

皮相電力のアキュムレータ値を格納するレジスタです。

読み出し後、レジスタ値はクリアされます。

RAPPHRは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 17 皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR) のフォーマット

アドレス：1AAH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RAPPHRL	RAPPHR7	RAPPHR6	RAPPHR5	RAPPHR4	RAPPHR3	RAPPHR2	RAPPHR1	RAPPHR0

アドレス：1ABH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RAPPHRM	RAPPHR15	RAPPHR14	RAPPHR13	RAPPHR12	RAPPHR11	RAPPHR10	RAPPHR9	RAPPHR8

アドレス：1ACH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RAPPHRH	RAPPHR23	RAPPHR22	RAPPHR21	RAPPHR20	RAPPHR19	RAPPHR18	RAPPHR17	RAPPHR16

RAPPHR23-0	皮相電力のアキュムレータ値の格納
000000H-FFFFFFH	皮相電力のアキュムレータ値 (読み出し後クリアされます)

(17) 皮相電力アキュムレーション同期リード・レジスタ (LAPPHR)

皮相電力のアキュムレータ値をライン周波数に同期して格納するレジスタです。

LAPPHRは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 18 皮相電力アキュムレーション同期リード・レジスタ (LAPPHR) のフォーマット

アドレス：1ADH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LAPPHRL	LAPPHR7	LAPPHR6	LAPPHR5	LAPPHR4	LAPPHR3	LAPPHR2	LAPPHR1	LAPPHR0

アドレス：1AEH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LAPPHRM	LAPPHR15	LAPPHR14	LAPPHR13	LAPPHR12	LAPPHR11	LAPPHR10	LAPPHR9	LAPPHR8

アドレス：1AFH リセット時：00H R

略号	7	6	5	4	3	2	1	0
LAPPHRH	LAPPHR23	LAPPHR22	LAPPHR21	LAPPHR20	LAPPHR19	LAPPHR18	LAPPHR17	LAPPHR16

LAPPHR23-0	皮相電力のアキュムレータ値の格納
000000H-FFFFFFH	皮相電力のアキュムレータ値 (ライン周波数に同期して格納)

(18) ライン・サイクル数設定レジスタ (LINNUM)

同期読み出しモード時のアキュムレータのライン・サイクル数を設定するレジスタです。

ハーフ・ライン単位で設定できます。

LINNUMは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、FFFFHになります。

図19 - 19 ライン・サイクル数設定レジスタ (LINNUM) のフォーマット

アドレス : 1B0H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
LINNUML	LINNUM7	LINNUM6	LINNUM5	LINNUM4	LINNUM3	LINNUM2	LINNUM1	LINNUM0

アドレス : 1B1H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
LINNUMH	LINNUM15	LINNUM14	LINNUM13	LINNUM12	LINNUM11	LINNUM10	LINNUM9	LINNUM8

LINNUM15-0	アキュムレータのハーフ・ライン・サイクル数の設定
0000H-FFFFH	ハーフ・ライン・サイクル数

(19) 有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN)

有効電力のゲイン値を設定するレジスタです。

ACT1GAIN, ACT2GAINは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図19 - 20 有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN) のフォーマット

(a) ACT1GAIN

アドレス：1B2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT1GAINL	ACT1GAIN7	ACT1GAIN6	ACT1GAIN5	ACT1GAIN4	ACT1GAIN3	ACT1GAIN2	ACT1GAIN1	ACT1GAIN0

アドレス：1B3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT1GAINH	0	0	0	0	ACT1GAIN11	ACT1GAIN10	ACT1GAIN9	ACT1GAIN8

(b) ACT2GAIN

アドレス：1B4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT2GAINL	ACT2GAIN7	ACT2GAIN6	ACT2GAIN5	ACT2GAIN4	ACT2GAIN3	ACT2GAIN2	ACT2GAIN1	ACT2GAIN0

アドレス：1B5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT2GAINH	0	0	0	0	ACT2GAIN11	ACT2GAIN10	ACT2GAIN9	ACT2GAIN8

ACTnGAIN11-0	有効電力のゲイン値の設定 (n = 1, 2)
0000H-0FFFH	有効電力のゲイン値

注意 ACT1GAINH, ACT2GAINHのビット4-7には、必ず0を設定してください。

(20) 無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN)

無効電力のゲイン値を設定するレジスタです。

REA1GAIN, REA2GAINは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図19 - 21 無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN) のフォーマット

(a) REA1GAIN

アドレス : 1B6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
REA1GAINL	REA1GAIN7	REA1GAIN6	REA1GAIN5	REA1GAIN4	REA1GAIN3	REA1GAIN2	REA1GAIN1	REA1GAIN0

アドレス : 1B7H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
REA1GAINH	0	0	0	0	REA1GAIN11	REA1GAIN10	REA1GAIN9	REA1GAIN8

(b) REA2GAIN

アドレス : 1B8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
REA2GAINL	REA2GAIN7	REA2GAIN6	REA2GAIN5	REA2GAIN4	REA2GAIN3	REA2GAIN2	REA2GAIN1	REA2GAIN0

アドレス : 1B9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
REA2GAINH	0	0	0	0	REA2GAIN11	REA2GAIN10	REA2GAIN9	REA2GAIN8

REAnGAIN11-0	無効電力のゲイン値の設定 (n = 1, 2)
0000H-0FFFH	無効電力のゲイン値

注意 REA1GAINH, REA2GAINHのビット4-7には、必ず0を設定してください。

(21) 皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN)

皮相電力のゲイン値を設定するレジスタです。

APP1GAIN, APP2GAINは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図19 - 22 皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN) のフォーマット

(a) APP1GAIN

アドレス：1BAH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APP1GAINL	APP1GAIN7	APP1GAIN6	APP1GAIN5	APP1GAIN4	APP1GAIN3	APP1GAIN2	APP1GAIN1	APP1GAIN0

アドレス：1BBH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APP1GAINH	0	0	0	0	APP1GAIN11	APP1GAIN10	APP1GAIN9	APP1GAIN8

(b) APP2GAIN

アドレス：1BCH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APP2GAINL	APP2GAIN7	APP2GAIN6	APP2GAIN5	APP2GAIN4	APP2GAIN3	APP2GAIN2	APP2GAIN1	APP2GAIN0

アドレス：1BDH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
APP2GAINH	0	0	0	0	APP2GAIN11	APP2GAIN10	APP2GAIN9	APP2GAIN8

APPnGAIN11-0	皮相電力のゲイン値の設定 (n = 1, 2)
0000H-0FFFH	皮相電力のゲイン値

注意 APP1GAINH, APP2GAINHのビット4-7には、必ず0を設定してください。

(22) 電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN)

電流チャンネル1, 2のRMSゲイン値を設定するレジスタです。

IRMS1GAIN, IRMS2GAINは, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, 0000Hになります。

図19 - 23 電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN) のフォーマット

(a) IRMS1GAIN

アドレス: 1BEH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
IRMS1 GAINL	IRMS1 GAIN7	IRMS1 GAIN6	IRMS1 GAIN5	IRMS1 GAIN4	IRMS1 GAIN3	IRMS1 GAIN2	IRMS1 GAIN1	IRMS1 GAIN0

アドレス: 1BFH リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
IRMS1 GAINH	0	0	0	0	IRMS1 GAIN11	IRMS1 GAIN10	IRMS1 GAIN9	IRMS1 GAIN8

(b) IRMS2GAIN

アドレス: 1C0H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
IRMS2 GAINL	IRMS2 GAIN7	IRMS2 GAIN6	IRMS2 GAIN5	IRMS2 GAIN4	IRMS2 GAIN3	IRMS2 GAIN2	IRMS2 GAIN1	IRMS2 GAIN0

アドレス: 1C1H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
IRMS2 GAINH	0	0	0	0	IRMS2 GAIN11	IRMS2 GAIN10	IRMS2 GAIN9	IRMS2 GAIN8

IRMSnGAIN11-0	電流チャンネルnのRMSゲイン値の設定 (n = 1, 2)
0000H-0FFFH	電流チャンネルnのRMSゲイン値

注意 IRMS1GAINH, IRMS2GAINHのビット4-7には, 必ず0を設定してください。

(23) 有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS)

有効電力のオフセット値を設定するレジスタです。

ACT1OS, ACT2OSは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図19 - 24 有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS) のフォーマット

(a) ACT1OS

アドレス：1C2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT1OSL	ACT1OS7	ACT1OS6	ACT1OS5	ACT1OS4	ACT1OS3	ACT1OS2	ACT1OS1	ACT1OS0

アドレス：1C3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT1OSH	ACT1OS15	ACT1OS14	ACT1OS13	ACT1OS12	ACT1OS11	ACT1OS10	ACT1OS9	ACT1OS8

(b) ACT2OS

アドレス：1C4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT2OSL	ACT2OS7	ACT2OS6	ACT2OS5	ACT2OS4	ACT2OS3	ACT2OS2	ACT2OS1	ACT2OS0

アドレス：1C5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ACT2OSH	ACT2OS15	ACT2OS14	ACT2OS13	ACT2OS12	ACT2OS11	ACT2OS10	ACT2OS9	ACT2OS8

ACTnOS15-0	有効電力のオフセット値の設定 (n = 1, 2)
0000H-FFFFH	有効電力のオフセット値

(24) 無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS)

無効電力のオフセット値を設定するレジスタです。

REA1OS, REA2OSは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図19 - 25 無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS) のフォーマット

(a) REA1OS

アドレス : 1C6H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
REA1OSL	REA1OS7	REA1OS6	REA1OS5	REA1OS4	REA1OS3	REA1OS2	REA1OS1	REA1OS0

アドレス : 1C7H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
REA1OSH	REA1OS15	REA1OS14	REA1OS13	REA1OS12	REA1OS11	REA1OS10	REA1OS9	REA1OS8

(b) REA2OS

アドレス : 1C8H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
REA2OSL	REA2OS7	REA2OS6	REA2OS5	REA2OS4	REA2OS3	REA2OS2	REA2OS1	REA2OS0

アドレス : 1C9H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
REA2OSH	REA2OS15	REA2OS14	REA2OS13	REA2OS12	REA2OS11	REA2OS10	REA2OS9	REA2OS8

REAnOS15-0	無効電力のオフセット値の設定 (n = 1, 2)
0000H-FFFFH	無効電力のオフセット値

(25) 電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS)

電流チャンネル1, 2のRMSオフセット値を設定するレジスタです。

I1RMSOS, I2RMSOSは, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, 0000Hになります。

図19 - 26 電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS) のフォーマット

(a) I1RMSOS

アドレス : 1CAH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
I1RMSOSL	I1RMSOS7	I1RMSOS6	I1RMSOS5	I1RMSOS4	I1RMSOS3	I1RMSOS2	I1RMSOS1	I1RMSOS0

アドレス : 1CBH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
I1RMSOSH	0	0	0	0	I1RMSOS11	I1RMSOS10	I1RMSOS9	I1RMSOS8

(b) I2RMSOS

アドレス : 1CEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
I2RMSOSL	I2RMSOS7	I2RMSOS6	I2RMSOS5	I2RMSOS4	I2RMSOS3	I2RMSOS2	I2RMSOS1	I2RMSOS0

アドレス : 1CFH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
I2RMSOSH	0	0	0	0	I2RMSOS11	I2RMSOS10	I2RMSOS9	I2RMSOS8

InRMSOS11-0	電流チャンネルnのRMSオフセット値の設定 (n = 1, 2)
0000H-0FFFH	電流チャンネルnのRMSオフセット値

注意 I1RMSOSH, I2RMSOSHのビット4-7には, 必ず0を設定してください。

(26) 電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS)

電圧チャンネル1, 2のRMSオフセット値を設定するレジスタです。

V1RMSOS, V2RMSOSは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図19 - 27 電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS) のフォーマット

(a) V1RMSOS

アドレス : 1CCH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
V1RMSOSL	V1RMSOS7	V1RMSOS6	V1RMSOS5	V1RMSOS4	V1RMSOS3	V1RMSOS2	V1RMSOS1	V1RMSOS0

アドレス : 1CDH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
V1RMSOSH	0	0	0	0	V1RMSOS11	V1RMSOS10	V1RMSOS9	V1RMSOS8

(b) V2RMSOS

アドレス : 1D0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
V2RMSOSL	V2RMSOS7	V2RMSOS6	V2RMSOS5	V2RMSOS4	V2RMSOS3	V2RMSOS2	V2RMSOS1	V2RMSOS0

アドレス : 1D1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
V2RMSOSH	0	0	0	0	V2RMSOS11	V2RMSOS10	V2RMSOS9	V2RMSOS8

VnRMSOS11-0	電圧チャンネルnのRMSオフセット値の設定 (n = 1, 2)
0000H-0FFFH	電圧チャンネルnのRMSオフセット値

注意 V1RMSOSH, V2RMSOSHのビット4-7には、必ず0を設定してください。

(27) サンプリング・モード選択レジスタ (SAMPMODE)

サンプリングする波形を選択するレジスタです。

SAMPMODEは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図19 - 28 サンプリング・モード選択レジスタ (SAMPMODE) のフォーマット

アドレス：1D2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
SAMPMODE	0	SAMP2SEL2	SAMP2SEL1	SAMP2SEL0	0	SAMP1SEL2	SAMP1SEL1	SAMP1SEL0

SAMPnSEL2	SAMPnSEL1	SAMPnSEL0	サンプル・モード用波形nの選択 (n = 1, 2)
0	0	0	インテグレータからのI1出力
0	0	1	インテグレータからのI2出力
0	1	0	有効電力1 (ACT1GAINの乗算後の出力)
0	1	1	有効電力2 (ACT2GAINの乗算後の出力)
1	0	0	無効電力1 (REA1GAINの乗算後の出力)
1	0	1	無効電力2 (REA2GAINの乗算後の出力)
1	1	0	皮相電力1 (APP1GAINの乗算後の出力)
1	1	1	皮相電力2 (APP2GAINの乗算後の出力)

注意 ビット3, 7には、必ず0を設定してください。

(28) サンプルング結果レジスタ1, 2 (SAMP1, SAMP2)

サンプルングによる演算結果を格納するレジスタです。

SAMP1, SAMP2は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図19 - 29 サンプルング結果レジスタ1, 2 (SAMP1, SAMP2) のフォーマット

(a) SAMP1

アドレス：1D3H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP1L	SAMP17	SAMP16	SAMP15	SAMP14	SAMP13	SAMP12	SAMP11	SAMP10

アドレス：1D4H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP1M	SAMP115	SAMP114	SAMP113	SAMP112	SAMP111	SAMP110	SAMP19	SAMP18

アドレス：1D5H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP1H	SAMP123	SAMP122	SAMP121	SAMP120	SAMP119	SAMP118	SAMP117	SAMP116

(b) SAMP2

アドレス：1D6H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP2L	SAMP27	SAMP26	SAMP25	SAMP24	SAMP23	SAMP22	SAMP21	SAMP20

アドレス：1D7H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP2M	SAMP215	SAMP214	SAMP213	SAMP212	SAMP211	SAMP210	SAMP29	SAMP28

アドレス：1D8H リセット時：00H R

略号	7	6	5	4	3	2	1	0
SAMP2H	SAMP223	SAMP222	SAMP221	SAMP220	SAMP219	SAMP218	SAMP217	SAMP216

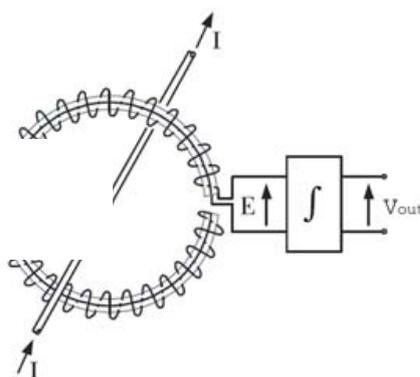
SAMPn23-n0	サンプルングによる演算結果の格納 (n = 1, 2)
000000H-FFFFFFH	サンプルングによる演算結果

19.4 電力，エネルギー演算

19.4.1 電流インテグレータ

di/dtセンサを使用する場合，電流積算を行うために使用します。Rogowskiコイルなどのdi/dtセンサは，相互インダクタンスにより，1次回路電流と2次回路電流（誘導起電力）を測定する仕組みです。1次回路電流が流れると，その周囲に磁界が発生し，その磁界をコイルで電流へ変換します。この2次回路電流は，1次回路電流の変化量（di/dt）を表しています。

図19 - 30 Rogowskiコイル



Rogowskiコイルを電流センサとして使用した場合，入力される電流信号はdi/dt信号であり，電力演算を行う前に電流信号を復元する必要があるため，インテグレータを搭載しています。

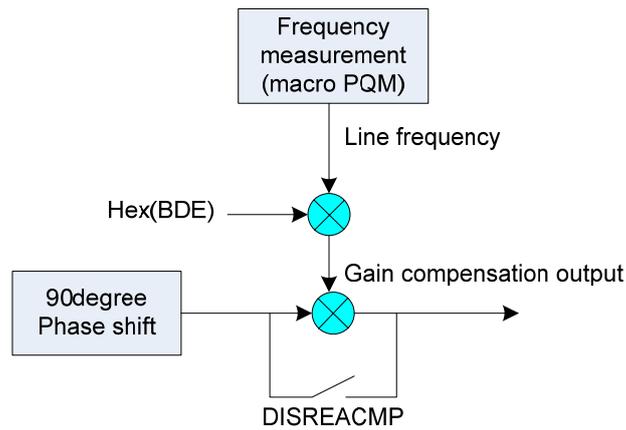
インテグレータには，電流チャンネル1用のインテグレータ1と，電流チャンネル2用のインテグレータ2の2つがあります。リセット時，電流チャンネルのインテグレータはオフになります。インテグレータをオンにするには，PWCTL1レジスタのINTE1, INTE2ビットに1をセットしてください。

19.4.2 90°フェーズ・シフト

無効電力／電力量計算においては，電流と電圧チャンネル間に90°の位相シフトが必要になります。位相シフト・フィルタは，単極のローパス・フィルタで，電力線の周波数（50 Hzまたは60 Hz）に対して90°の位相シフトと，20 dB/decの減衰を行います。

ゲイン補償器は，90°の位相シフト後に配置されています。90°の位相シフトは - 20 dB/decの周波数の変化が生じるため，90°位相シフトした出力とライン周波数を乗算することで，ゲイン補償を行います。ゲイン補償はライン周波数でのみ有効であり，ライン周波数は電力品質測定回路で測定されます。ゲイン補償機能は，NLCTLレジスタのDISREACMPビットで無効にできます。

図19 - 31 90° フェーズ・シフタ



19.4.3 電流，電圧RMS演算

(1) RMS算出方法

信号 $V(t)$ の実効値 (rms) は，次のように定義されます。

$$V_{rms} = \sqrt{\frac{1}{T} * \int_0^T V^2(t) dt}$$

サンプリングされた各信号のRMS値を算出する場合，信号を二乗し，平均値を求め，平方根を算出します。平均値計算はローパス・フィルタ (LFP3) で実現しています。このローパス・フィルタのゲインは，サンプリング周波数が4.34 kHzの場合，-3 dBの遮断周波数は，約1.3 Hzになります。

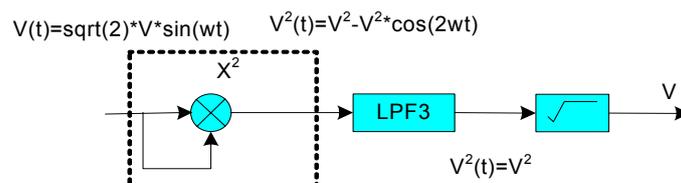
$$V(t) = \sqrt{2} \times V \sin(\omega t)$$

ここでは， V はRMS電圧を表します。

$$V^2(t) = V^2 - V^2 \cos(2\omega t)$$

この信号がLPF3を通ると， $\cos(2\omega t)$ は減衰され，直流 V_{rms}^2 のみが通過します。

図19 - 32 ローパス・フィルタ (LFP3)



算出するRMS値は， $I1_{rms}$ ， $I2_{rms}$ ， $V1_{rms}$ ， $V2_{rms}$ の4つです。

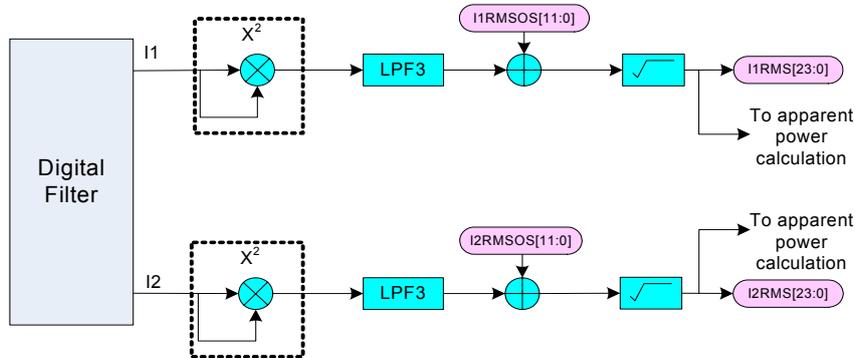
すべてのRMS値は，24ビット・レジスタ $I1_{RMS}$ ， $I2_{RMS}$ ， $V1_{RMS}$ ， $V2_{RMS}$ から読み出すことができます。

(2) 電流チャンネルRMS演算

この回路は、2つの入力電流チャンネル (I1とI2) のRMS値を算出します。I1チャンネルとI2チャンネルのRMS算出方法は同じです。

各電流チャンネルRMS演算結果は、符号なしの24ビット・レジスタI1RMSとI2RMSに格納されます。

図19 - 33 電流チャンネルRMS演算



測定された電流チャンネルのRMS値は、4.34 kHzごとにレジスタに格納されます。また、NLCTLレジスタのZXRMSビットに1をセットすることで、ライン周波数（電圧入力のゼロクロス）に同期して測定結果をレジスタに格納することができます。ZXRMSビットをセットした場合の動作は、次のようになります。

• CHMD = 0の場合

2線モードとなり、I1RMSとI2RMSレジスタは、電圧入力V1のゼロクロス (INTZX1) で更新します。

• CHMD = 1の場合

3線モードとなり、I1RMSは電圧入力V1のゼロクロス (INTZX1) で、I2RMSは電圧入力V2のゼロクロス (INTZX2) で更新します。

INTZX1, INTZX2の詳細については、第20章 電力品質測定回路を参照してください。

型A/Dコンバータ変換結果 (23ビット) はフルスケール入力の場合、 $2^{20} = 0d1048576 = 0x100000$ を出力します。最大となる 型A/Dコンバータ変換結果と、PGA (プリアンプ・ゲイン)、入力電圧範囲の関係は次のとおりです。

- PGA = 1の場合 : 最大入力 = 0.375 V
- PGA = 2の場合 : 最大入力 = 0.1875 V
- PGA = 16の場合 : 最大入力 = 0.0234375 V

フルスケール交流信号の等価RMS (24ビット) 値は、次のようになります。

$$I_{rms_FS} = \frac{2^{20}}{\sqrt{2}} = 0d741455 = 0xB504F$$

電流RMS値の測定精度は、フルスケール ~ 1/500の入力信号の場合、0.5%以下です。

なお、演算結果レジスタ値からアンペア値への変換は、CPUで行う必要があります。

(3) 電流チャンネルRMSオフセット補償

電流チャンネルのRMS値計算では、電流チャンネルのオフセットを除去するため、電流チャンネルRMSオフセット設定レジスタ (I1RMSOS, I2RMSOS) が用意されています。このレジスタは、符号つき12ビット・レジスタです。

電流チャンネルRMSオフセット設定レジスタの1つのLSBは、電流チャンネルRMSレジスタの値の二乗の2048 LSBに相当します。

電流チャンネルRMSオフセット設定レジスタに設定されたオフセット値は、2048倍され補正前のRMS値の二乗に加えることでオフセットを調整します。フルスケール交流入力の場合、電流チャンネルRMS計算の最大値は0d741455です。-60 dB入力 (1000 : 1ダイナミック・レンジに相当) の場合、電流チャンネルRMSオフセット設定レジスタの調整精度は0.186%/LSBです。-54 dB入力 (500 : 1ダイナミック・レンジに相当) の場合、電流チャンネルRMSオフセット設定レジスタの調整精度は0.046%/LSBです。

$$I_{rms} = \sqrt{I_{rms0}^2 + IRMSOS \times 2048}$$

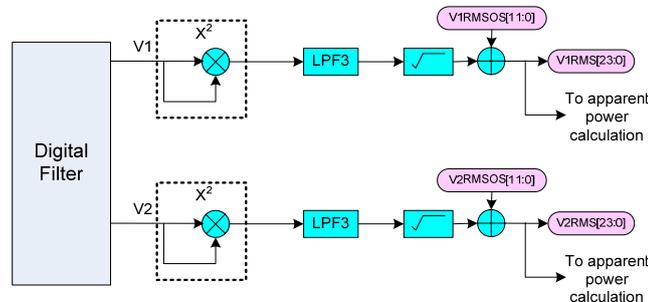
ここでは、I_{rms0}はオフセットを補正していないRMS値の測定結果を表します。

(4) 電圧チャンネルRMS演算

この回路は、2つの電圧チャンネル (V1とV2) のRMS値を算出します。V1チャンネルとV2チャンネルのRMS算出方法は同じです。

各電圧チャンネルRMS演算結果は、符号なしの24ビット・レジスタV1RMSとV2RMSに格納されます。

図19 - 34 電圧チャンネルRMS演算



測定された電圧チャンネルのRMS値は、4.34 kHzごとにレジスタに格納されます。また、NLCTLレジスタのZXRMSビットに1をセットすることで、ライン周波数 (電圧入力のゼロクロス) に同期して測定結果をレジスタに格納することができます。ZXRMSビットをセットした場合の動作は、次のようになります。

- CHMD = 0の場合

2線モードとなり、V1RMSとV2RMSレジスタは、電圧入力V1のゼロクロス (INTZX1) で更新します。

- CHMD = 1の場合

3線モードとなり、V1RMSは電圧入力V1のゼロクロス (INTZX1) で、V2RMSは電圧入力V2のゼロクロス (INTZX2) で更新します。

INTZX1, INTZX2の詳細については、第20章 電力品質測定回路を参照してください。

フルスケール交流信号の等価RMS値（24ビット）は、0d741455（0xB504F）となり、 $0.375V \times \sin(\omega t)$ のアナログ入力を表します。

電圧RMS値の測定精度は、フルスケール～1/100の入力信号の場合、0.5%以下です。

なお、演算結果レジスタ値からボルト値への変換は、CPUで行う必要があります。

(5) 電圧チャンネルRMSオフセット補償

電圧チャンネルのRMS値計算では、電圧チャンネルのオフセットを除去するため、電圧チャンネルRMSオフセット設定レジスタ（V1RMSOS, V2RMSOS）が用意されています。このレジスタは、符号付き12ビットレジスタです。

電圧チャンネルRMSオフセット設定レジスタの1つのLSBは、電圧チャンネルRMSレジスタの値の16 LSBに相当します。

電圧チャンネルRMSオフセット設定レジスタに設定されたオフセット値は、16倍され補正前のRMS値に加えることでオフセットを調整します。フルスケール交流入力の場合、電圧チャンネルRMS計算の最大値は0d741455です。-60 dB入力（1000：1ダイナミック・レンジに相当）の場合、電圧チャンネルRMSオフセット設定レジスタの調整精度は2.15%/LSBです。-40 dB入力（100：1ダイナミック・レンジに相当）の場合、電圧チャンネルRMSオフセット設定レジスタの調整精度は0.215%/LSBです。

$$V_{rms} = V_{rms0} + 16 \times VRMSOS$$

ここでは、 V_{rms0} はオフセットを補正していないRMS値の測定結果を表します。

19.4.4 有効電力と電力量（エネルギー）演算

(1) 有効電力演算

(a) 有効電力算出方法

有効電力は、電源から負荷へ流れるエネルギーの速度であると定義され、電圧と電流信号の積になります。この積は、瞬間電力信号と呼ばれ、各瞬間において流れるエネルギーの速度と等しくなります。電力の単位はワットです。交流システムにおける瞬間電力信号は、次の式で算出されます。

$$i(t) = \sqrt{2} \times I \sin(\omega t)$$

$$v(t) = \sqrt{2} \times V \sin(\omega t)$$

ここでは、 V はRMS電圧、 I はRMS電流、 ω はラジアンによる周波数を表します。

$$p(t) = v(t) \times i(t) = V \times I - V \times I \cos(2\omega t)$$

ライン・サイクル数 (n) の平均電力は、次の式で算出されます。

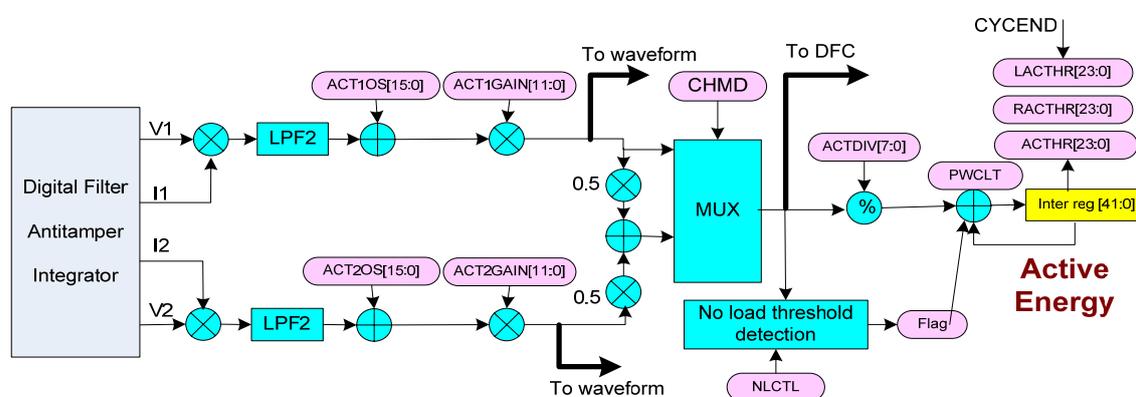
$$P = \frac{1}{nT} \int_0^{nT} p(t) dt = V \times I$$

ここでは、Tはライン・サイクル・ピリオド、Pは有効電力または実電力を表します。

有効電力は、瞬間電力信号p(t)の直流成分に等しく、V×Iで表すことができます。この関係を使用して有効電力を計算します。瞬間電力信号p(t)は、電流信号と電圧信号を乗算することにより生成されます。瞬間電力信号の直流成分は、LPF2 (ローパス・フィルタ) によって抽出されます。

このプロセスを次の図に示します。

図19 - 35 有効電力演算



- CHMD = 0 (単相2線モード) の場合 : 有効電力 = V1 × I1
- CHMD = 1 (単相3線モード) の場合 : 有効電力 = 0.5 × (V1 × I1 + V2 × I2)

ローパス・フィルタLPF2は、 $f - 3db = 5.4$ Hzである瞬間電力の直流成分を抽出するために使用します。

LPF2は、瞬間電力信号によりある程度のリップルが生じますが、このリップルは正弦波であり、その周波数は、ライン周波数の2倍に等しくなります。例えば、ライン周波数が50 Hzであれば、リップル周波数は100 Hz、ライン周波数が60 Hzであれば、リップル周波数は120 Hzとなります。リップルは正弦波のため、エネルギーを計算するために有効電力信号を積分すると、リップルは除去されます (19.4.4 (2) 有効電力量 (エネルギー) 演算を参照)。

有効電力信号は、SAMPMODEレジスタをセットし、拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ22 (MK22) のWFSSMMKビットをクリアすることにより、波形レジスタから読み出すことができます。推奨フローについては、19.4.9(5) 波形関連割り込み (INTWFSM) を参照してください。

(b) 有効電力ゲイン・キャリブレーション

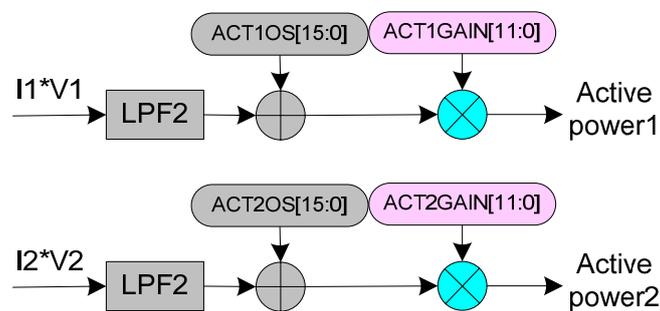
有効電力は乗算器の出力をローパス・フィルタ (LPF2) でフィルタリングすることによって算出します。電流チャンネルおよび電圧チャンネルのゲイン・キャリブレーションは行いません。有効電力のゲイン・キャリブレーションは、有効電力ゲイン設定レジスタ (ACT1GAIN, ACT2GAIN) で行います。符号付き12ビットで構成されるACT1GAIN, ACT2GAINレジスタに書き込むことによりゲインを調整します。

3線モードでは、有効電力のチャンネルが2つあります。

- ・ 電力1 = $I1 \times V1$
- ・ 電力2 = $I2 \times V2$

そのため、電力1用と電力2用にACT1GAINとACT2GAINの2つのレジスタがあります。

図19 - 36 有効電力ゲイン・キャリブレーション



次の式は、ゲインとACT1GAIN, ACT2GAINレジスタの設定値の関係を示しています。

$$Output_{ACT1GAIN} = \{ActivePower1 \times [1 + \frac{ACT1GAIN}{2^{12}}]\}$$

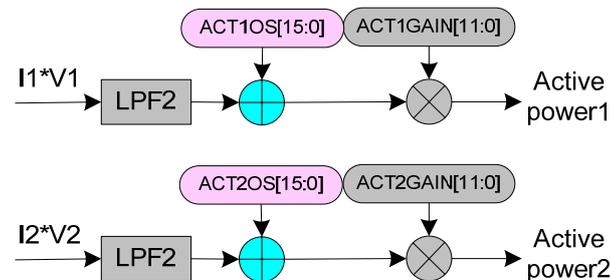
$$Output_{ACT2GAIN} = \{ActivePower2 \times [1 + \frac{ACT2GAIN}{2^{12}}]\}$$

例えば、有効電力ゲイン設定レジスタ (ACT1GAIN, ACT2GAIN) に0x7FFを書き込むと、電力出力は50%増加します (0x7FF = 2047d, $2047/2^{12} = 0.5$)。同様に、0x800 = -2048d (符号付き, 2の補数) では電力出力は50%減少します。各LSBは、電力出力を0.0244% ($1/2^{12} = 0.0244\%$) 増加または減少させます。ACT1GAIN, ACT2GAINレジスタの内容が0x800に等しい場合、出力範囲は最小となり、ACT1GAIN, ACT2GAINレジスタに0x7ffを書き込むと出力範囲は最大になります。このようにして、ACT1GAIN, ACT2GAINレジスタを使用して有効電力 (またはエネルギー) 計算を調整します。

(c) 有効電力オフセット・キャリブレーション

有効電力オフセット補正は、有効電力オフセット設定レジスタ (ACT1OS, ACT2OS) を用いて調整できます。これらのレジスタは、符号付き16ビット・レジスタで、有効電力演算のオフセットを除去するために使用します。オフセット・キャリブレーションでは、電力が消費されていない状態で、有効電力レジスタ値が0となるように調整を行います。

図19 - 37 有効電力オフセット・キャリブレーション



有効電力オフセット設定レジスタに指定する128 LSB (ACT1OS = 0x080またはACT2OS = 0x080) は、LPF2出力の1 LSBに相当しています。電圧、電流チャンネルの双方の入力がフルスケールの場合、LPF2から出力される値は0x200000 = 0d2097152ですが、電流チャンネル入力が - 60 dB (電流チャンネルのフルスケール入力の1/1000)とした場合、LPF2から出力される値は0d2097.152になります。これは、- 60dBの信号入力時に、LPF2出力の1 LSBには、最大0.0477%の測定誤差が生じていることを意味します。有効電力オフセット設定レジスタの1LSBは、LPF2出力の1/128 LSBに相当しており、オフセット・キャリブレーションを行うことで、- 60 dB入力時に測定誤差は0.000372%/LSB (0.0477%/128) となります。

(d) 有効電力符号検出

有効電力符号検出機能は、有効電力の符号の変化を検出します。

有効電力符号検出機能には、次の3つのビットを使用します。

- PWCTL2レジスタのACTSIGNビット

有効電力符号割り込みのトリガ条件を設定します。

ACTSIGN = 0 : 有効電力が正から負に変化すると、INTACTSIGN割り込みが発生します。

ACTSIGN = 1 : 有効電力が負から正に変化すると、INTACTSIGN割り込みが発生します。

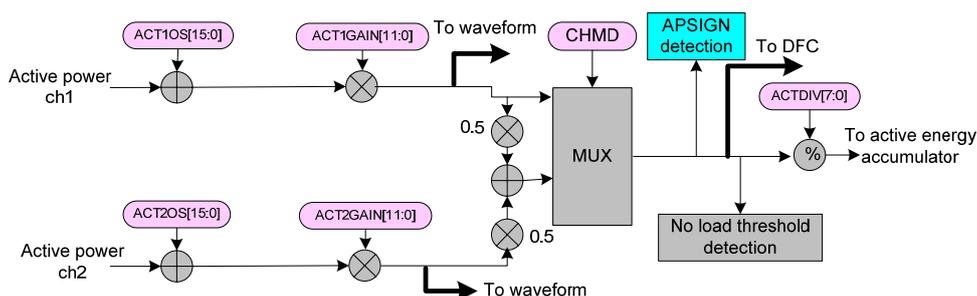
- 拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ20 (IF20) のACTSIGNIFビット

このビットが1の場合、ACTSIGNで指定したトリガ条件が成立したことを示します。ACTSIGNIF割り込みステータスは、一度1になると、このステータス・ビットがクリアされるまで1を保持します。ACTSIGNIFステータスは、このビットにゼロが書き込まれるとクリアされます。

- 拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ20 (MK20) のACTSIGNMKビット

このビットがクリアされていると、ACTSIGNIFフラグがセットされ、割り込みが発生します。

図19 - 38 有効電力符号検出



(e) 有効電力ゼロロード検出

有効電力量には、計測器のクリープ効果を除去するゼロロード検出機能があります。

この機能を使用すると、有効電力がゼロロードしきい値を下回る場合に、有効電力量の累積を行いません。有効電力ゼロロード検出機能には、次の3つのビットを使用します。

- NLCTLレジスタのACTNOLOAD1, ACTNOLOAD0ビット

この2つのビットは、有効電力ゼロロードしきい値を設定します。

00：有効電力ゼロロード検出は無効になります。

01：有効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.015%になります。

10：有効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0075%になります。

11：有効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0037%になります。

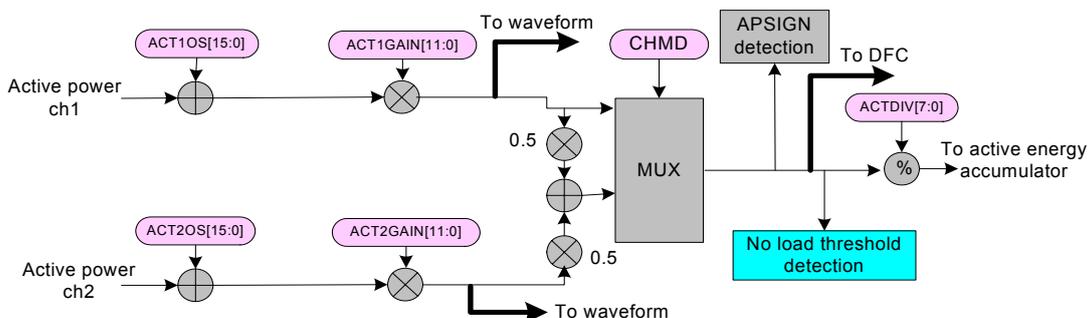
- 拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ21 (IF21) のACTNOLDIFフラグ

ACTNOLDIFフラグは、NLCTLレジスタのACTNOLOAD1, ACTNOLOAD0ビットで設定されたゼロロードしきい値を有効電力が下回るとセットされます。

- 拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ21 (MK21) のACTNOLDMKビット

拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ21 (MK21) のACTNOLDMKビットがクリアされると、割り込みが発生します。この割り込みは、ACTNOLDIFステータス・ビットがクリアされるまで有効です。

図19 - 39 有効電力ゼロロード検出



(2) 有効電力量 (エネルギー) 演算

(a) 有効電力量 (エネルギー) 算出方法

有効電力演算の項で述べたように、電力は電力量の流れる速度として定義されます。このため、電力量は次式で表すことができます。

$$E = \int P(t)dt$$

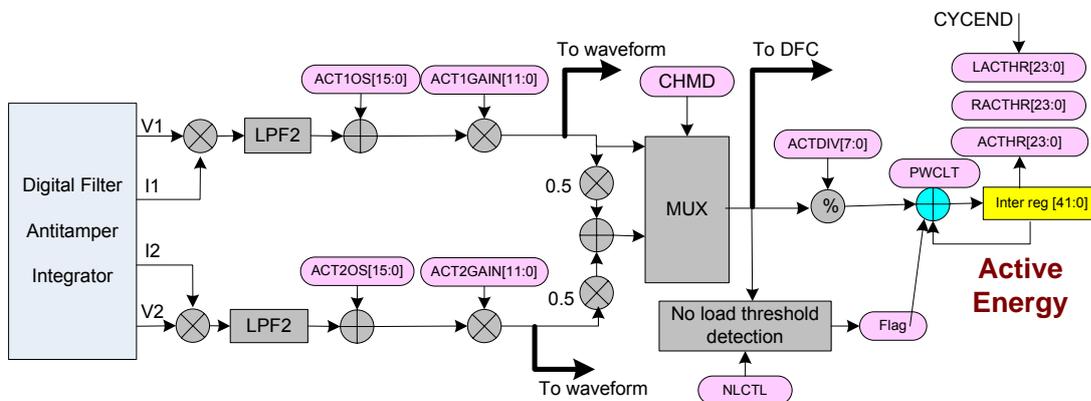
有効電力信号を内部42ビットの電力量レジスタに累積することにより、有効電力信号を積分します。この内部レジスタの上位24ビットを、ACTHRレジスタで読み出すことができます。この積算処理は、連続時間における積分に相当します。

$$E = \int p(t)dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=1}^{\infty} p(nt) \times T \right\}$$

上の式で、nは離散時間サンプル数、Tはサンプル期間を表します。

アキュムレーション・レジスタの離散時間サンプル期間 (T) は、230.4 μ s (18 \times 128/MCLK_10M) となります。電力量は積分処理となっているため、有効電力信号に含まれることのある正弦波成分を除去しています。

図19 - 40 有効電力量 (エネルギー) 演算



有効電力量の積算方法は、PWCLT2レジスタのPOAMビットとABSAMビットの設定により選択することができます。積算方法の詳細については、19.4.4(2)(c) 有効電力量アキュムレーション・モードを参照してください。

表19 - 2 有効電力のアキュムレーション・モード設定

POAM	ABSAM	有効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	正值アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

有効電力は、ACTDIVレジスタの値でスケーリングされ、内部電力量アキュムレータに累積されます。ACTDIVは8ビットの符号なしレジスタであり、スケーリング処理は次のとおりです。

$$\text{スケーリング後の電量} = \text{スケーリング前の電力} / \text{ACTDIV}$$

なお、ACTDIV = 0の設定は禁止です。0を設定した場合は、1として処理を行います。

スケーリング後の有効電力は、内部42ビットの有効電力量アキュムレータに累積されます。内部アキュムレータの上位24ビットは、レジスタにより読み出すことができます。アキュムレータ値の読み出し方法は3種類あり、それぞれの方法ごとに読み出しレジスタが用意されています。

・ACTHRレジスタを用いて読み出した場合：

読み出し時点のアキュムレータの上位24ビットの値が読み出されます。

・RACTHRレジスタを用いて読み出した場合：

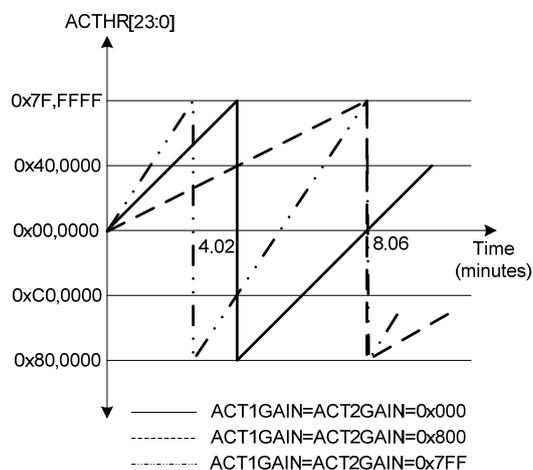
読み出し時点のアキュムレータの上位24ビットの値が読み出されます。読み出し後、アキュムレータの上位24ビットはクリアされます。

・LACTHRレジスタを用いて読み出した場合：

ライン周波数に同期した値の読み出しを行います。詳細については、19.4.4(2)(e)ライン・サイクル有効電力量アキュムレーション・モードを参照してください。

アナログ入力のフルスケール信号（正弦波）の電力量累積の状態を示します。3つの線は、有効電力ゲイン設定レジスタ（ACT1GAIN, ACT2GAIN）の内容が0x7FF, 0x000, 0x800である場合、電力量レジスタがオーバーフロー／アンダフローするまでの時間を示しています。ここに示すように、有効電力ゲイン設定レジスタを最大フルスケール、つまり0x7FFに設定した場合、積分可能時間は最も短くなります。

図19 - 41 フルスケール信号の有効電力量累積



電力または電力量フローが正の場合、オーバフローが発生すると電力量レジスタの内容は、負の最大値 (0x800000) に反転し、以後その値が増え続けることに注意してください。逆に電力が負であれば、アンダフロー後、電力量レジスタは正の最大値 (0x7FFFFFFF) となり、値は減少し続けます。

有効電力量レジスタがハーフフル (正または負)、またはオーバフロー / アンダフローが発生した場合、割り込みフラグACTEHFIFまたはACTEOFIFビットがセットされます。拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ21, 22 (MK21, MK22) のACTEHFMK, ACTEOFMKビットをクリアすると、有効電力量レジスタがハーフフル、またはオーバフローが発生した場合に、割り込みを発生させることができます。

(b) 定常負荷での積分時間

有効電力量 (エネルギー) 演算の項で述べたように、アキュムレーション・レジスタの離散時間サンプル期間 (T) は230.4 μ s (4.34 kHz) になります。アナログ入力にフルスケール正弦波信号を印加し、ACT1GAINおよびACT2GAINレジスタが0x000に設定されている場合、各GAINからの平均ワード値は 2^{21} (または0x1F, FFFF) になります。42ビットの内部レジスタに格納できる正の最大値は、レジスタがオーバフローする前は 2^{41} (または0x1FF, FFFF, FFFF) です。この条件下でACTDIV = 0のとき、積分時間は次の式によって算出されます。

$$Time = \frac{0x1FF, FFFF, FFFF}{0x1F, FFFF} \times 230.4\mu s = 241.59\text{sec} = 4.02\text{min}$$

ACTDIVが0以外の値に設定されている場合は、積分時間は次のように変化します。

$$Time = Time_{ACTDIV=0} \times ACTDIV$$

(c) 有効電力量アキュムレーション・モード

有効電力量 (エネルギー) 演算には、3つのモードがあります。これらのモードは、PWCTL2レジスタのPOAMビットとABSAMビットによって決定します。

表19-3 有効電力のアキュムレーション・モード設定

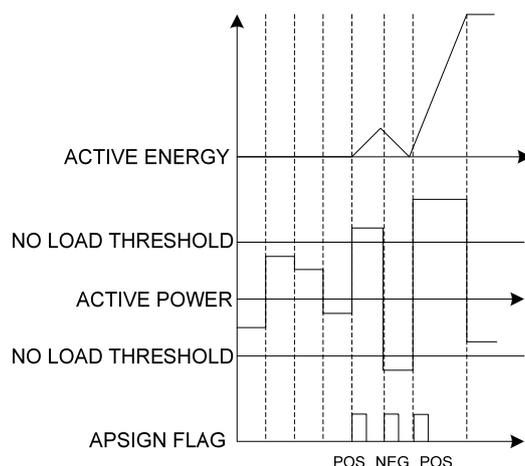
POAM	ABSAM	有効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	正値アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

符号付きアキュムレーション・モード:

符号付きアキュムレーション・モードは、有効電力を符号付きで累算するモードです。有効電力が正の場合、有効電力量アキュムレータに加算され、負の場合はアキュムレータから減算されます。このモードは、リセット時のデフォルト・モードです。

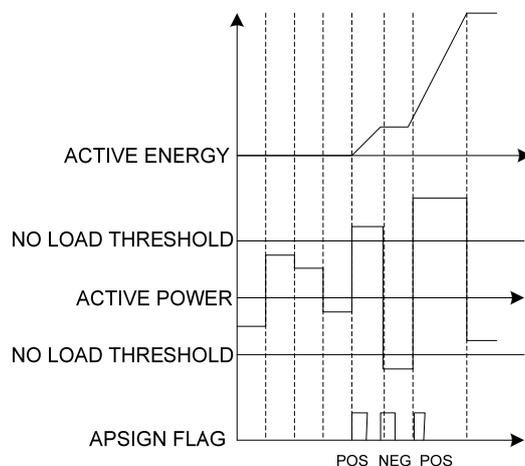
なお、有効電力がゼロロードしきい値を下回る場合は、累積されません。

図19 - 42 符号付きアキュムレーション・モード (有効電力)

**正值アキュムレーション・モード：**

正值アキュムレーション・モードは、PWCTL2レジスタのPOAMビットを1、ABSAMビットを0にすることにより設定できます。このモードでは、正の電力値のみが累積され、負の電力値は無視されます。負の電力値、およびゼロロードしきい値を下回る電力値の累積は行われません。

図19 - 43 正值アキュムレーション・モード (有効電力)

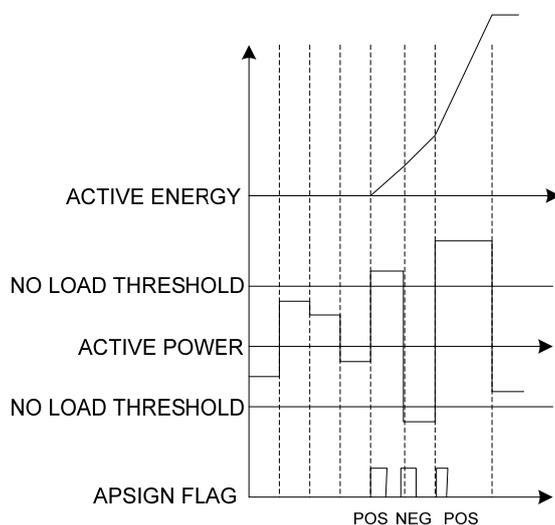


このモードは、CFパルス出力にも反映されます。このモードは、デフォルトではオフに設定されています。このモードでは、電力フロー方向の遷移検出とゼロロードしきい値の検出が有効になります。

絶対値アキュムレーション・モード：

絶対値アキュムレーション・モードは、PWCTL2レジスタのABSAMビットを1にすることにより設定できます。このモードでは、電力量の累積は絶対有効電力を使用して行い、ゼロロードしきい値以下の有効電力の場合は無視されます。

図19 - 44 絶対値アキュムレーション・モード (有効電力)

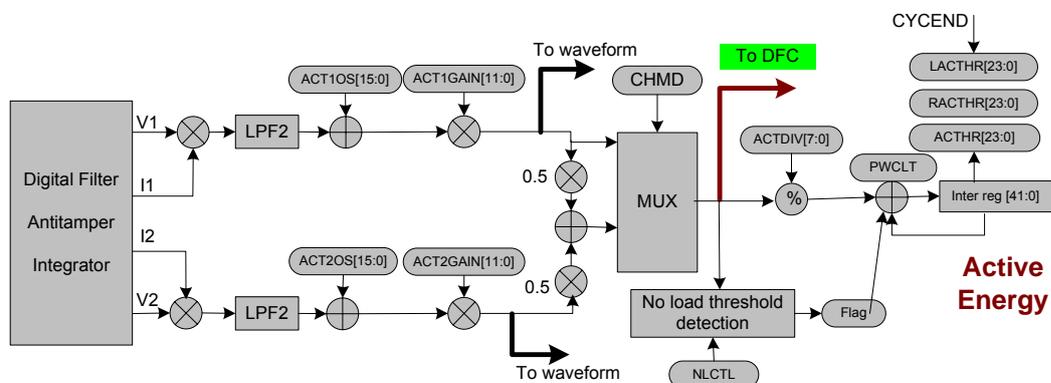


このモードは、CFパルス出力にも反映されます。このモードは、デフォルトではオフに設定されています。このモードでは、電力フロー方向の遷移検出とゼロロードしきい値の検出が有効になります。

(d) 有効電力量パルス出力

有効電力量を反映した周波数パルスを出力します。このパルスの周波数を出力するために、ACT1GAIN, ACT2GAINレジスタから出力された有効電力信号を使用し、PWCTL2レジスタの有効電力量アキュムレーション・モードの設定に従って動作します。パルス出力機能の詳細については、第21章 デジタル周波数変換回路を参照してください。

図19 - 45 有効電力量パルス出力



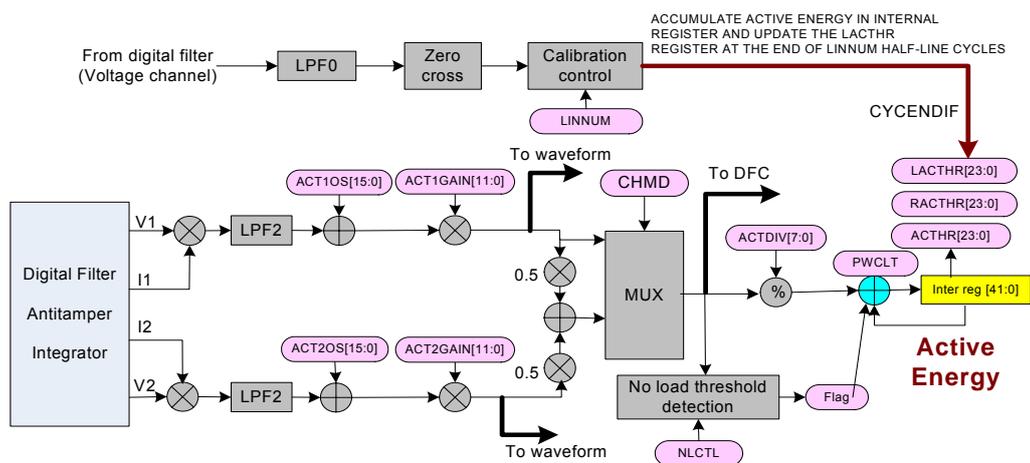
(e) ライン・サイクル有効電力量アキュムレーション・モード

ライン・サイクル有効電力量アキュムレーション・モードでは、有効電力量の正弦波成分による誤差をなくすため、ライン周波数の2倍単位で有効電力の累積を行います。電力量の累積を電圧チャンネルのゼロクロスと同期させることで実現しています。

有効電力には、ライン周波数が50 Hzまたは60 Hzのときに、100 Hzまたは120 Hzのリップルが生じています。このリップルは、電力量累積中に整数倍にならない周期で累積されると、キャリブレーション誤差を発生します。通常、CF周波数は非常に低いいため、リップルがCF周波数に影響を及ぼすことはほとんどありません（例えば、1 Hzでは累積時間は1秒になります）。しかし、キャリブレーション中には、キャリブレーション時間は短くなければならず、リップルによって発生した誤差が大きな影響を与える可能性があります。累積時間がライン周波数の整数倍の周期と等しくすることで、リップルによって発生した誤差をなくすことができます。したがって、ライン・サイクル有効電力量アキュムレーション・モードでは電力量をより正確に算出できます。

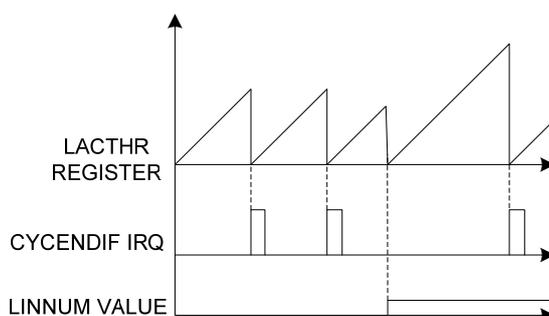
このモードを使用すると、電力量キャリブレーションを大幅に簡略化することができ、キャリブレーションの必要な時間も大幅に短縮できます。ライン・サイクル有効電力量アキュムレーション・モードでは、有効電力信号は、指定したライン・サイクル期間、LACTHRレジスタに累積されます。ハーフ・ライン・サイクル数はLINNUMレジスタで指定し、最大65535ハーフ・ライン・サイクルまで累積できます。有効電力は指定したライン・サイクル数の期間、積分され、有効電力量アキュムレーション・ライン・サイクルの終わりに拡張SFR（3rd SFR）割り込み要求フラグ・レジスタ22（IF22）のCYCENDIFフラグをセットします。拡張SFR（3rd SFR）割り込みマスク・フラグ・レジスタ22（MK22）のCYCENDIFステータス・ビットが0に設定されていると、割り込みが発生します。この割り込みは、CYCENDIFステータス・ビットをクリアするまで有効になります。CYCENDIFフラグがセットされると、すぐに次のアキュムレーション・サイクルが始まります。もし、LACTHRレジスタが新たなCYCENDIFフラグをセットする前に読み出されない場合、LACTHRレジスタは新しい値で上書きされます。

図19 - 46 ライン・サイクル有効電力量アキュムレーション・モード



新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれると、LACTHRレジスタがリセットされ、次のゼロクロスで新たな累積が始まります。その後、LINNUMレジスタの値に達するまでハーフ・ライン・サイクル数がカウントされます。このようにして、LINNUMレジスタの書き込み後の最初のCYCEND割り込みで有効な測定が行われます。ライン有効電力量アキュムレーションでは、有効電力量アキュムレーションと同じ信号経路を使用します。2つのレジスタのLSBサイズは同等です。

図19 - 47 有効電力のアキュムレーション・タイミング



PWCTL1レジスタのCYCDISビットは、CYCEND検出機能を無効にできます。CYCDISビットを1にセットすると、ハーフ・ライン・サイクル数がLINNUMレジスタに設定した値に達しても、CYCEND割り込みが発生しません。さらに、CYCDISビットを1にセットすると、新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれても、LACTHRレジスタと内部アキュムレーション・レジスタは0にリセットされません。

このモードでは、16ビットのLINNUMレジスタが保持できる最大値は65535であることに注意してください。つまり、ライン電力量アキュムレーション・モードでは、最大65535ハーフ・ライン・サイクル数の時間の間、有効電力量を累積できます。ライン周波数が60 Hzの場合は、最大時間は $65535/120 \text{ Hz} = 546 \text{ 秒}$ となります。

19.4.5 無効電力と電力量（エネルギー）演算

(1) 無効電力演算

(a) 無効電力算出方法

無効電力は、電圧または電流波形信号のうちどちらかを90°の位相シフトした際の、電圧と電流波形の積として定義されます。この結果は瞬間無効電力（instantaneous reactive power）と呼ばれます。電流チャンネルの位相が90°シフトした時の瞬間無効電力信号は、次の式で算出されます。

$$v(t) = \sqrt{2}V \sin(\omega t + \theta) \quad i(t) = \sqrt{2}I \sin(\omega t) \quad i'(t) = \sqrt{2}I \sin(\omega t + \frac{\pi}{2})$$

ここでは、 θ は電圧と電流チャンネルの位相差を表します。また、 V はRMS電圧、 I はRMS電流を表します。

$$q(t) = V(t) \times i'(t) = VI \sin(\theta) + VI \sin(2\omega t + \theta)$$

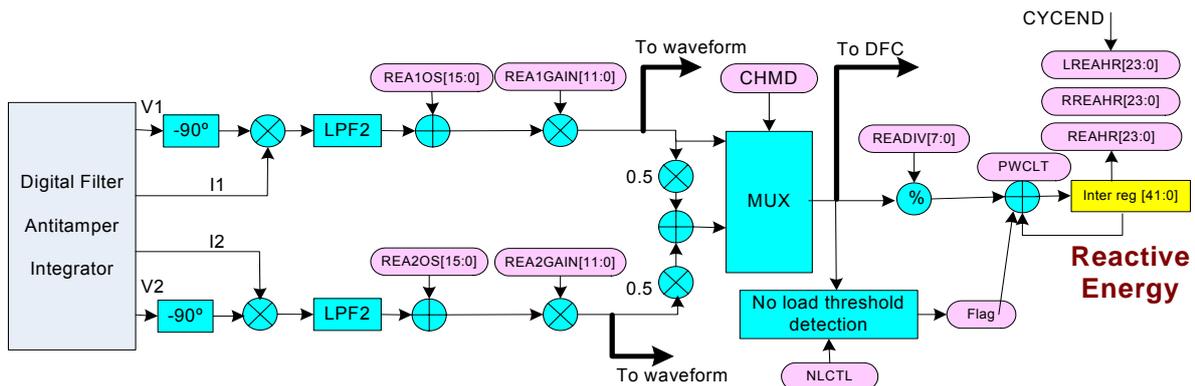
ライン・サイクル数（ n ）の平均無効電力は、次の式で算出されます。

$$Q = \frac{1}{nT} \int_0^{nT} q(t) dt = VI \sin \theta$$

ここでは、 T はライン・サイクル周期、 Q は無効電力を表します。

無効電力の計算プロセスを図19-48に示します。

図19-48 無効電力演算



- CHMD = 0 (単相2線モード) の場合：無効電力 = $V1_{\text{位相シフト}} \times I1$
- CHMD = 1 (単相3線モード) の場合：無効電力 = $0.5 \times (V1_{\text{位相シフト}} \times I1 + V2_{\text{位相シフト}} \times I2)$

位相シフト(-90°の位相シフト)は、LFPで実現されており、高周波成分に対する減衰が発生します。しかし、無効電力演算はライン周波数帯での演算となることから、高調波の影響はほとんどありません。信号幅の減衰分のゲイン補正は、ライン周波数帯で行われます。このゲイン補正は、NLCTLレジスタのDISREACMPビットでオフにすることも可能です。詳細については、19.4.2 90°フェーズ・シフトを参照してください。

無効信号経路のLPFの周波数応答は、平均有効電力の計算でLPF2に使用されるものと同一です。LPF2は、瞬間無効電力信号によりある程度のリップルが生じますが、このリップルは正弦波であり、その周波数は、ライン周波数の2倍に等しくなります。例えば、ライン周波数が50 Hzであれば、リップル周波数は100 Hz、ライン周波数が60 Hzであれば、リップル周波数は120 Hzとなります。リップルは正弦波のため、エネルギーを計算するために無効電力信号を積分すると、リップルは除去されます。

無効電力信号は、SAMPMODEレジスタをセットし、拡張SFR(3rd SFR)割り込みマスク・フラグ・レジスタ22(MK22)のWFSMMKビットをクリアすることにより、波形レジスタから読み出すことができます。推奨フローについては、19.4.9(5)波形関連割り込み(INTWFSM)を参照してください。

(b) 無効電力ゲイン・キャリブレーション

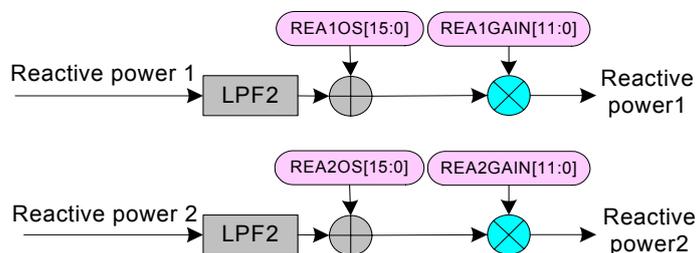
無効電力は乗算器の出力をロー・パス・フィルタ (LPF2) でフィルタリングすることによって算出します。電流チャンネルおよび電圧チャンネルのゲイン・キャリブレーションは行いません。無効電力のゲイン・キャリブレーションは、無効電力ゲイン設定レジスタ (REA1GAIN, REA2GAIN)で行います。符号付き12ビットで構成される REA1GAIN, REA2GAIN レジスタに書き込むことによりゲインを調整します。

3線モードでは、無効電力のチャンネルが2つあります。

- ・ 電力1 = $I1 \times V1 \times \sin\theta1$
- ・ 電力2 = $I2 \times V2 \times \sin\theta2$

そのため、電力1用と電力2用に REA1GAIN と REA2GAIN の2つのレジスタがあります。

図19 - 49 無効電力ゲイン・キャリブレーション



次の式は、ゲインと REA1GAIN, REA2GAIN レジスタの設定値の関係を示しています。

$$Output_{REA1GAIN} = \{ReactivePower1 \times [1 + \frac{REA1GAIN}{2^{12}}]\}$$

$$Output_{REA2GAIN} = \{ReactivePower2 \times [1 + \frac{REA2GAIN}{2^{12}}]\}$$

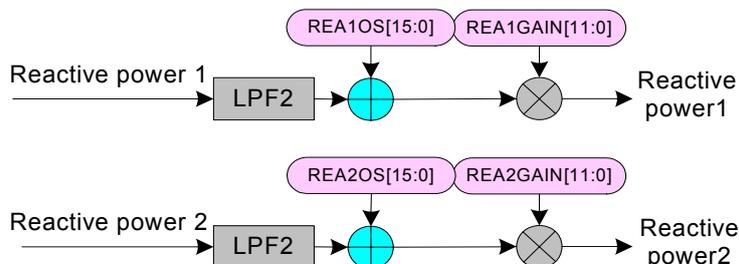
REA1GAIN と REA2GAIN レジスタの分解能は、ACT1GAIN と ACT2GAIN レジスタと同じです (19. 4. 4 (1) (b) 有効電力ゲイン・キャリブレーションの項を参照してください)。

各LSBは、電力出力を0.0244% ($1/2^{12} = 0.0244\%$)増加または減少させます。REA1GAIN, REA2GAIN レジスタを使用して無効電力 (またはエネルギー) 計算を調整します。

(c) 無効電力オフセット・キャリブレーション

無効電力オフセット補正は、無効電力オフセット設定レジスタ (REA1OS, REA2OS) を用いて調整できます。これらのレジスタは、符号付き16ビット・レジスタで、無効電力演算のオフセットを除去するために使用します。オフセット・キャリブレーションでは、電力が消費されていない状態で、無効電力レジスタ値が0となるように調整を行います。

図19 - 50 無効電力オフセット・キャリブレーション

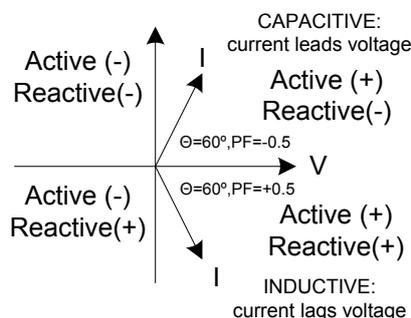


無効電力オフセット設定レジスタに指定する128 LSB (REA1OS = 0X080または REA2OS = 0X080) は、LPF2出力の1 LSBに相当しています。電圧、電流チャンネルの双方の入力がフルスケールで、電圧と電流の位相差が正確に90度である場合、LPF2から出力される値は0x200000 = 0d2097152ですが、電流チャンネル入力が - 60 dB (電流チャンネルのフルスケール入力の1/1000) とした場合、LPF2から出力される値は0d2097.152になります。これは、 - 60 dBの信号入力時に、LPF2出力の1 LSBには、最大0.0477%の測定誤差が生じていることを意味します。無効電力オフセット設定レジスタの1LSBは、LPF2出力の1/128 LSBに相当しており、オフセット・キャリブレーションを行うことで、 - 60 dB入力時に測定誤差は0.000372%/LSB (0.0477%/128) となります。

(d) 無効電力符号演算と検出

有効電力と無効電力の符号は、図19 - 51のとおりです。

図19 - 51 有効電力と無効電力の符号



平均無効電力は、符号付きで計算されることに注意してください。位相シフト・フィルタでは、
- 90°の位相シフトを行います。次の表に電圧と電流の位相差と、無効電力演算結果の符号との関係を示します。

表19 - 4 位相差と符号の関係

角度	インテグレータ	符号
0°と + 90°間	オフ	正
- 90°と0°間	オフ	負
0°と + 90°間	オン	正
- 90°と0°間	オン	負

無効電力符号検出機能は、無効電力の符号の変化を検出します。

無効電力符号検出機能には、次の3つのビットを使用します。

・PWCTL2レジスタのREASIGNビット

無効電力符号割り込みのトリガ条件を設定します。

REASIGN = 0：無効電力が正から負に変化すると、INTREASIGN割り込みが発生します。

REASIGN = 1：無効電力が負から正に変化すると、INTREASIGN割り込みが発生します。

・拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ20 (IF20) のREASIGNIFビット

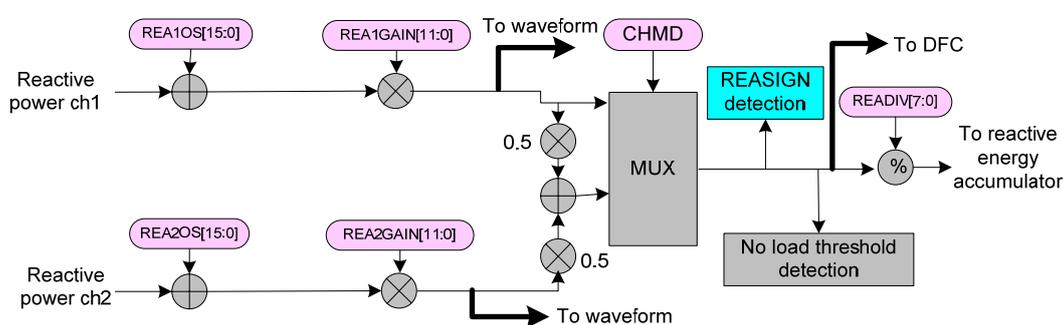
このビットが1の場合、REASIGNで指定したトリガ条件が成立したことを示します。

REASIGNIF割り込みステータスは、一度1になると、このステータス・ビットがクリアされるまで1を保持します。REASIGNIFステータスは、このビットにゼロが書き込まれるとクリアされます。

・拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ20 (MK20) のREASIGNMKビット

このビットがクリアされていると、REASIGNIFフラグがセットされ、割り込みが発生します。

図19 - 52 無効電力符号検出



(e) 無効電力ゼロロード検出

無効電力測定には、ゼロロード検出機能が用意されています。この機能を使用すると、無効電力がゼロロードしきい値を下回る場合に、無効電力量の累積を行いません。無効電力ゼロロード検出機能には、次の3つのビットを使用します。

- NLCTLレジスタのREANOLOAD1, REANOLOAD0ビット

この2つのビットは、無効電力ゼロロードしきい値を設定します。

00：無効電力ゼロロード検出は無効になります。

01：無効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.015%になります。

10：無効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0075%になります。

11：無効電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0037%になります。

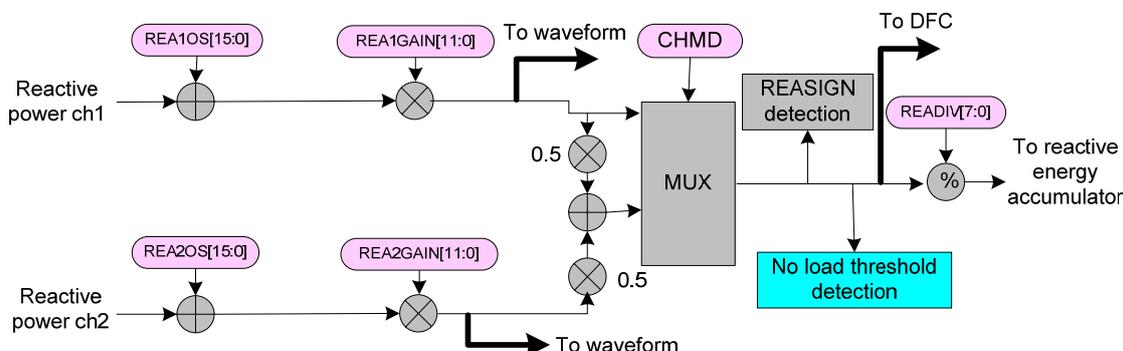
- 拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ21 (IF21) のREANOLDIFフラグ

REANOLDIFフラグは、NLCTLレジスタのREANOLOAD1, REANOLOAD0ビットで設定されたゼロロードしきい値が無効電力が下回るとセットされます。

- 拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ20 (MK20) のREANOLDMKビット

拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ20 (MK20) のREANOLDMKビットがクリアされると、割り込みが発生します。この割り込みは、REANOLDIFステータス・ビットがクリアされるまで有効です。

図19 - 53 無効電力ゼロロード検出

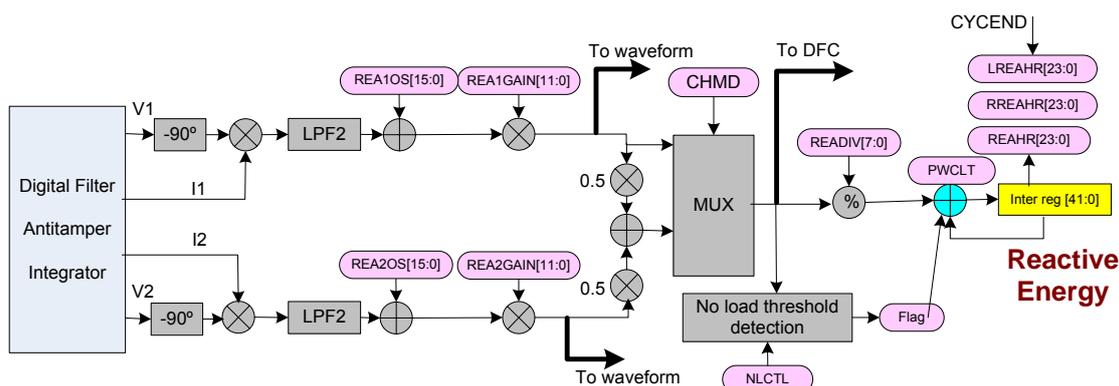


(2) 無効電力量 (エネルギー) 演算

(a) 無効電力量 (エネルギー) 算出方法

有効電力量演算と同様に、無効電力量演算は、無効電力信号を内部42ビットの電力量レジスタに累積することにより積分します。この内部レジスタの上位24ビットを、REahrレジスタで読み出すことができます。アキュムレーション・レジスタの離散時間サンプル期間 (T) は、230.4 μ s (4.34 kHz) となります。電力量は積分処理となっているため、無効電力信号に含まれることのある正弦波成分を除去しています。

図19-54 無効電力量 (エネルギー) 演算



無効電力信号の積算方法は、PWCLT2レジスタのSAVARMビットとABSVARMビットの設定により選択することができます。積算方法の詳細については、19.4.5 (2) (c) 無効電力量アキュムレーション・モードを参照してください。

表19-5 無効電力のアキュムレーション・モード設定

SAVARM	ABSVARM	無効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	アンチタンパ・アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

無効電力は、READIVレジスタの値でスケーリングされ、内部電力量アキュムレータに累積されます。READIVレジスタは、8ビットの符号なしレジスタであり、スケーリング処理は次のとおりです。

$$\text{スケーリング後の電力} = \text{スケーリング前の電力} / \text{READIV}$$

なお、READIV = 0の設定は禁止です。0を設定した場合は、1として処理を行います。

スケーリング後の無効電力は、内部42ビットの無効電力量アキュムレータに累算されます。内部アキュムレータの上位24ビットは、レジスタにより読み出すことができます。アキュムレータ値の読み出し方法は3種類あり、それぞれの方法ごとに読み出しレジスタが用意されています。

・ REAHRレジスタを用いて読み出した場合：

読み出し時点のアクムレータの上位24ビットの値が読み出されます。

・ REATHERレジスタを用いて読み出した場合：

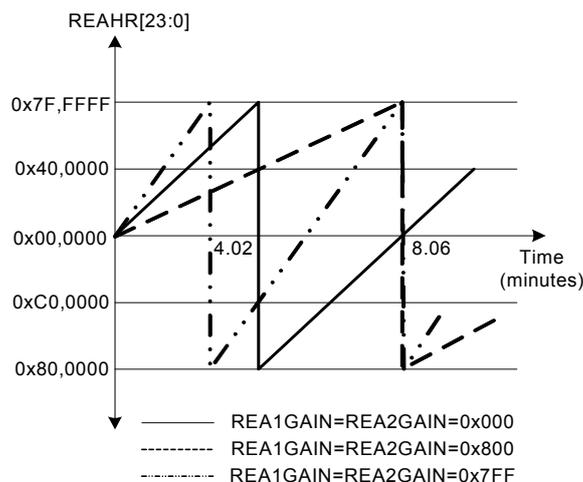
読み出し時点のアクムレータの上位24ビットの値が読み出されます。読み出し後、アクムレータの上位24ビットはクリアされます。

・ LREAHRレジスタを用いて読み出した場合：

ライン周波数に同期した値の読み出しを行います。詳細については、19.4.5(2)(e)ライン・サイクル無効電力量アクムレーション・モードを参照してください。

アナログ入力のフルスケール信号（正弦波）の電力量累積の状態を示します。3つの線は、無効電力ゲイン設定レジスタ（REA1GAIN, REA2GAIN）の内容が0x7FF, 0x000, 0x800である場合、電力量レジスタがオーバーフロー／アンダフローするまでの時間を示しています。ここに示すように、無効電力ゲイン設定レジスタを最大フルスケール、つまり0x7FFに設定した場合、積分可能時間は最も短くなります。

図19 - 55 フルスケール信号の無効電力量累積



電力または電力量フローが正の場合、オーバーフローが発生すると電力量レジスタの内容は、負の最大値（0x800000）に反転し、以後その値が増え続けることに注意してください。逆に電力が負であれば、アンダフロー後、電力量レジスタは正の最大値（0x7FFFFFF）となり、値は減少し続けます。

無効電力量レジスタがハーフフル（正または負）、またはオーバーフロー／アンダフローが発生した場合、割り込みフラグREAHFIFまたはREAOFIFビットがセットされます。拡張SFR（3rd SFR）割り込みマスク・フラグ・レジスタ21（MK21）のREAHFMK、REAOFMKビットをクリアすると、無効電力量レジスタがハーフフル、またはオーバーフローが発生した場合に、割り込みを発生させることができます。

(b) 定常負荷での積分時間

無効電力量（エネルギー）演算の項で述べたように、アキュムレーション・レジスタの離散時間サンプル期間(T)は230.4 μ s(4.34 kHz)になります。アナログ入力にフルスケール正弦波信号を印加し、REA1GAINおよびREA2GAINレジスタが0x000に設定されている場合、各GAINからの平均ワード値は 2^{21} （または0x1F, FFFF）になります。42ビットの内部レジスタに格納できる正の最大値は、レジスタがオーバーフローする前は 2^{41} （または0x1FF, FFFF, FFFF）です。この条件下でREADIV = 0のとき、積分時間は次の式によって算出されます。

$$Time = \frac{0x1FF, FFFF, FFFF}{0x1F, FFFF} \times 230.4\mu s = 241.59 \text{ sec} = 4.02 \text{ min}$$

READIVが0以外の値に設定されている場合は、積分時間は次のように変化します。

$$Time = Time_{READIV=0} \times READIV$$

(c) 無効電力量アキュムレーション・モード

無効電力量（エネルギー）演算には、3つのモードがあります。これらのモードは、PWCTL2レジスタのSAVARMビットとABSVARMビットによって決定します。

表19-6 無効電力のアキュムレーション・モード設定

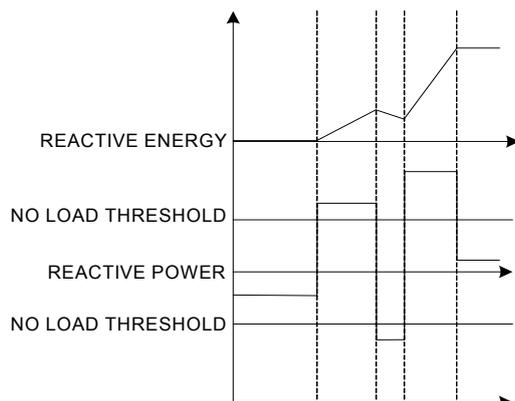
SAVARM	ABSVARM	無効電力のアキュムレーション・モード
0	0	符号付きアキュムレーション・モード
0	1	絶対値アキュムレーション・モード
1	0	アンチタンパ・アキュムレーション・モード
1	1	絶対値アキュムレーション・モード

符号付きアキュムレーション・モード：

符号付きアキュムレーション・モードは、無効電力を符号付きで累算するモードです。無効電力が正の場合、無効電力量アキュムレータに加算され、負の場合はアキュムレータから減算されます。このモードは、リセット時のデフォルト・モードです。

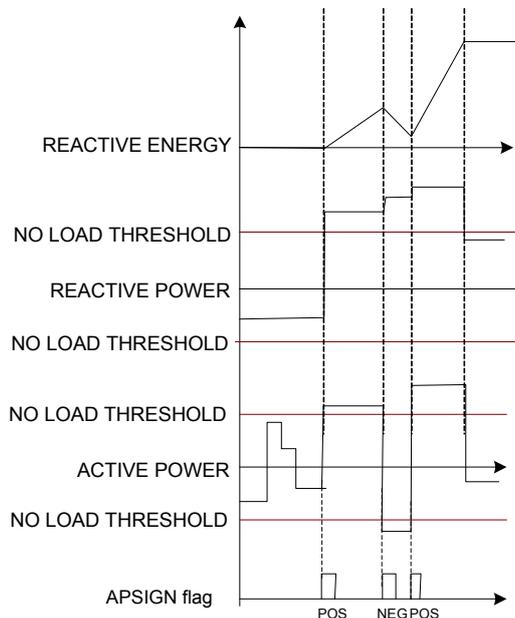
なお、無効電力がゼロロードしきい値を下回る場合は、累積されません。

図19 - 56 符号付きアキュムレーション・モード（無効電力）

**アンチタンパ・アキュムレーション・モード：**

アンチタンパ・アキュムレーション・モードは、PWCTL2レジスタのSAVARMビットを1にすることにより設定できます。このモードでは、無効電力は、有効電力の符号によって累積方法が異なります。有効電力が正の場合、無効電力はそのまま無効電力量アキュムレータに加算されます。有効電力が負の場合、無効電力は無効電力量アキュムレータから減算されます。

図19 - 57 アンチタンパ・アキュムレーション・モード（無効電力）

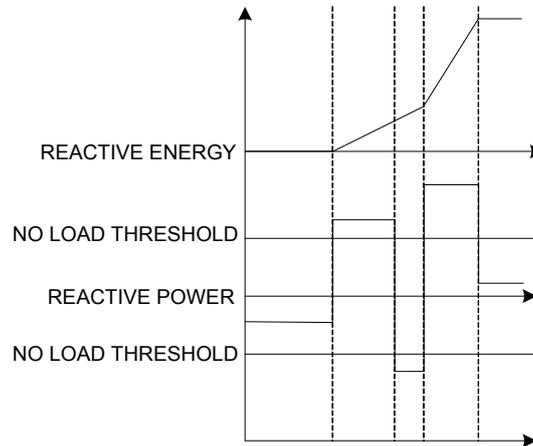


このモードは、CFパルス出力にも反映されます。このモードは、デフォルトではオフに設定されています。このモードでは、電力フロー方向の遷移検出とゼロロードしきい値の検出が有効になります。

絶対値アキュムレーション・モード：

絶対値アキュムレーション・モードは、PWCTL2レジスタのABSVARMビットを1にすることにより設定できます。このモードでは、電力量の累積は絶対無効電力を使用して行い、ゼロロードしきい値以下の無効電力の場合は無視されます。

図19 - 58 絶対値アキュムレーション・モード（無効電力）

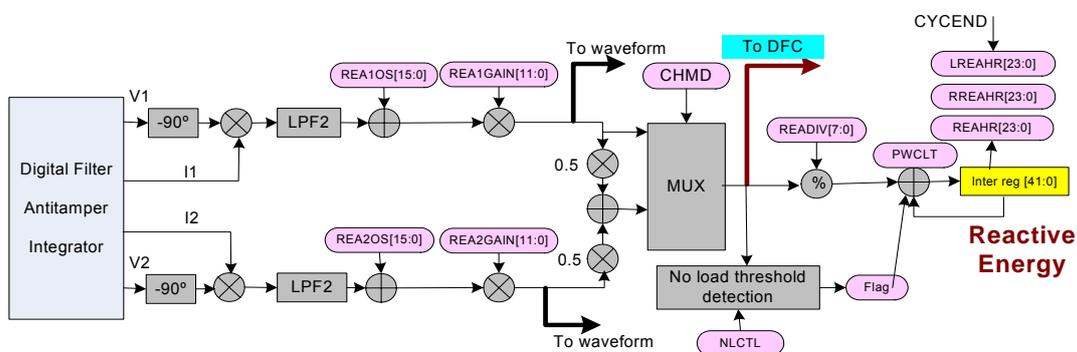


このモードは、CFパルス出力にも反映されます。このモードは、デフォルトではオフに設定されています。このモードでは、電力フロー方向の遷移検出とゼロロードしきい値の検出が有効になります。

(d) 無効電力量パルス出力

無効電力量を反映した周波数パルスを出力します。このパルスの周波数を出力するために、REA1GAIN, REA2GAINレジスタから出力された無効電力信号を使用し、PWCTL2レジスタの無効電力量アキュムレーション・モードの設定に従って動作します。パルス出力機能の詳細については、第21章 デジタル周波数変換回路を参照してください。

図19 - 59 無効電力量パルス出力



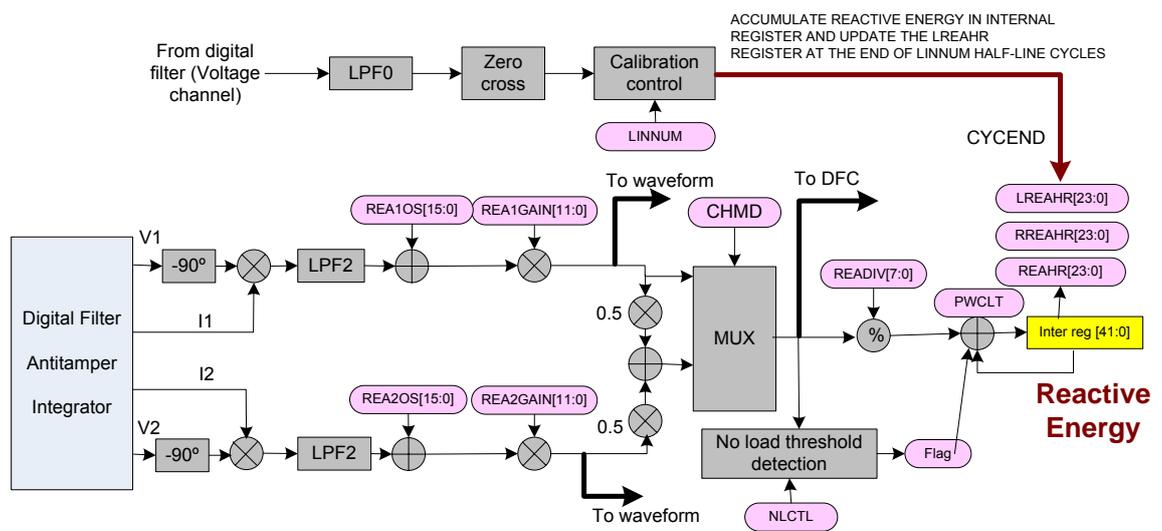
(e) ライン・サイクル無効電力量アキュムレーション・モード

ライン・サイクル無効電力量アキュムレーション・モードでは、無効電力量の正弦波成分による誤差をなくすため、ライン周波数の2倍単位で無効電力の累積を行います。電力量の累積を電圧チャネルのゼロクロスと同期させることで実現しています。

無効電力には、ライン周波数が50 Hzまたは60 Hzのときに、100 Hzまたは120 Hzのリップルが生じています。このリップルは、電力量累積中に整数倍にならない周期で累積されると、キャリアレーション誤差を発生します。通常、CF周波数は非常に低いため、リップルがCF周波数に影響を及ぼすことはほとんどありません（例えば、1 Hzでは累積時間は1秒になります）。しかし、キャリアレーション中には、キャリアレーション時間は短くなければならず、リップルによって発生した誤差が大きな影響を与える可能性があります。累積時間がライン周波数の整数倍の周期と等しくすることで、リップルによって発生した誤差をなくすことができます。したがって、ライン・サイクル無効電力量アキュムレーション・モードでは電力量をより正確に算出できます。

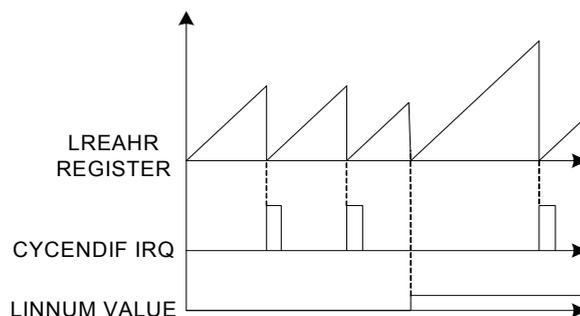
このモードを使用すると、電力量キャリアレーションを大幅に簡略化することができ、キャリアレーションの必要な時間も大幅に短縮できます。ライン・サイクル無効電力量アキュムレーション・モードでは、無効電力信号は、指定したライン・サイクル期間、LREahrレジスタに累積されます。ハーフ・ライン・サイクル数はLINNUMレジスタで指定し、最大65535ハーフ・ライン・サイクルまで累積できます。無効電力は指定したライン・サイクル数の期間、積分され、無効電力量アキュムレーション・ライン・サイクルの終わりに拡張SFR（3rd SFR）割り込み要求フラグ・レジスタ22（IF22）のCYCENDIFフラグをセットします。拡張SFR（3rd SFR）割り込みマスク・フラグ・レジスタ22（MK22）のCYCENDIFマスク・ビットが0に設定されていると、割り込みが発生します。この割り込みは、CYCENDIFステータス・ビットをクリアするまで有効になります。CYCENDIFフラグがセットされると、すぐに次のアキュムレーション・サイクルが始まります。もし、LREahrレジスタが新たなCYCENDIFフラグをセットする前に読み出されない場合、LREahrレジスタは、新しい値で上書きされます。

図19 - 60 ライン・サイクル無効電力量アキュムレーション・モード



新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれると、LREahrレジスタがリセットされ、次のゼロクロスで新たな累積が始まります。その後、LINNUMレジスタの値に達するまでハーフ・ライン・サイクル数がカウントされます。このようにして、LINNUMレジスタの書き込み後の最初のCYCEND割り込みで有効な測定が行われます。ライン無効電力量アキュムレーションでは、無効電力量アキュムレーションと同じ信号経路を使用します。2つのレジスタのLSBサイズは同等です。

図19 - 61 無効電力のアキュムレーション・タイミング



PWCTL1レジスタのCYCDISビットは、CYCEND検出機能を無効にできます。CYCDISビットを1にセットすると、ハーフ・ライン・サイクル数がLINNUMレジスタに設定した値に達しても、CYCEND割り込みが発生しません。さらに、CYCDISビットを1にセットすると、新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれても、LREahrレジスタと内部アキュムレーション・レジスタは0にリセットされません。

このモードでは、16ビットのLINNUMレジスタが保持できる最大値は65535であることに注意してください。つまり、ライン電力量アキュムレーション・モードでは、最大65535ハーフ・ライン・サイクル数の時間の間、無効電力量を累積できます。ライン周波数が60 Hzの場合は、最大時間は $65535/120 \text{ Hz} = 546 \text{ 秒}$ となります。

19.4.6 皮相電力と電力量（エネルギー）演算

(1) 皮相電力演算

(a) 皮相電力算出方法

皮相電力は、負荷に供給できる最大電力として定義されます。VrmsとIrmsは、それぞれ負荷に供給される実効電圧と実効電流です。単相2線モードでは、皮相電力 (AP) = V1RMS × I1RMSであり、単相3線モードでは、(AP) = 0.5 × (V1RMS × I1RMS + V2RMS × I2RMS) となります。この式は電流と電圧間の位相差角には無関係であり、瞬間電力信号は次の式で算出されます。

$$i(t) = \sqrt{2} \times I_{rms} \sin(\omega t)$$

$$v(t) = \sqrt{2} \times V_{rms} \sin(\omega t + \theta)$$

$$p(t) = v(t) \times i(t) = V_{rms} I_{rms} \cos(\theta) - V_{rms} \times I_{rms} \cos(2\omega t + \theta)$$

- CHMD = 0 (単相2線モード) の場合 :

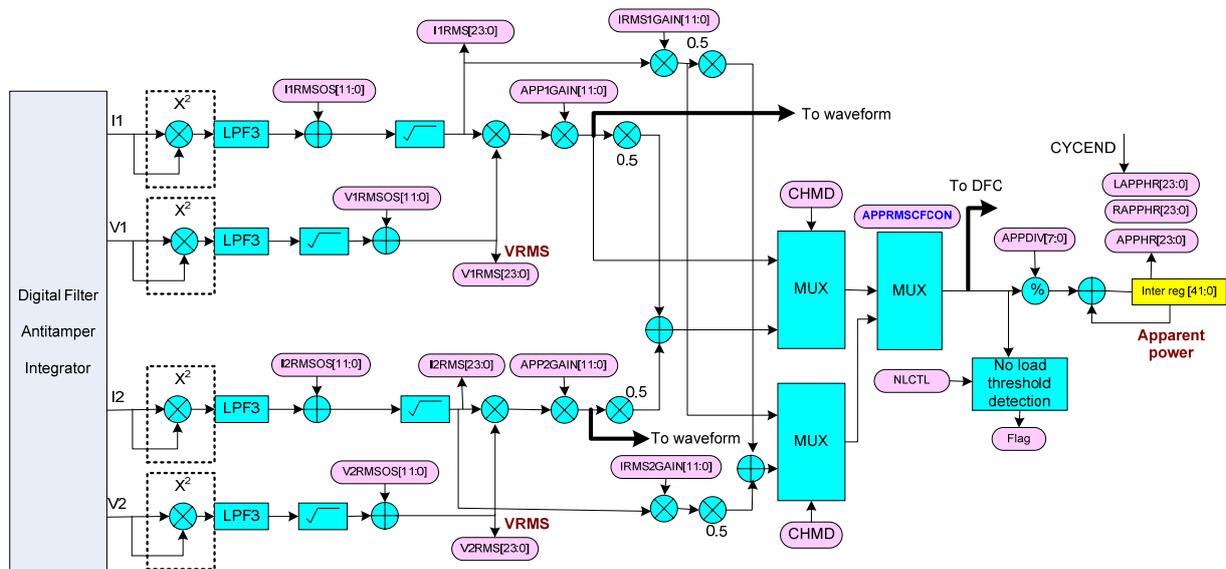
$$Apparen_power = V1rms \times I1rms$$

- CHMD = 1 (単相3線モード) の場合 :

$$Apparen_power = 0.5 * (V1rms \times I1rms + V2rms \times I2rms)$$

皮相電力演算用の信号処理を図19 - 62に示します。

図19 - 62 皮相電力演算

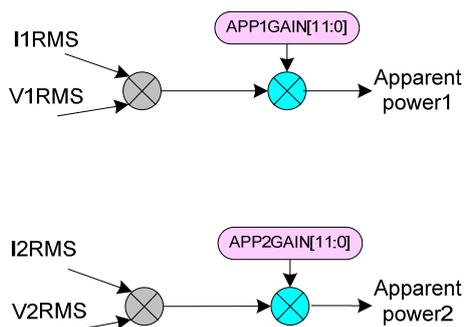


皮相電力信号は、SAMPMODEレジスタをセットし、拡張SFR(3rd SFR)割り込みマスク・フラグ・レジスタ22(MK22)のWFSMMKビットをクリアすることにより、波形レジスタから読み出すことができます。推奨フローについては、19.4.9(5)波形関連割り込み(INTWFSM)を参照してください。

(b) 皮相電力ゲイン・キャリブレーション

皮相電力量のゲインを調整するため、符号付き12ビットで構成されるAPP1GAIN, APP2GAINレジスタが用意されています。

図19 - 63 皮相電力ゲイン・キャリブレーション



次の式は、ゲインとAPP1GAIN, APP2GAINレジスタの設定値の関係を示しています。

$$Output_APP1GAIN = \left\{ ApparentPower1 \times \left[1 + \frac{APP1GAIN}{2^{12}} \right] \right\}$$

$$Output_APP2GAIN = \left\{ ApparentPower2 \times \left[1 + \frac{APP2GAIN}{2^{12}} \right] \right\}$$

例えば、APP1GAINレジスタに0x7FFを書き込むと、皮相電力1の電力出力は50%増加します(0x7FF = 2047d, $2047/2^{12} = 0.5$)。同様に、0x800 = -2047d(符号付き整数)では電力出力は50%減少します。各LSBは、電力出力の0.0244%を示します。皮相電力は、RMSブロックで得た電流と電圧のRMS値で算出されます。

(c) 皮相電力オフセット・キャリブレーション

皮相電力は、平均電流(I1RMS, I2RMS)、平均電圧(V1RMS, V2RMS)の乗算結果です。皮相電力のオフセット・キャリブレーションは、I1RMS, I2RMS, V1RMS, V2RMSのオフセット設定レジスタにより行ってください。詳細は、19.3(25)電流チャンネル1, 2 RMSオフセット設定レジスタ(I1RMSOS, I2RMSOS)、(26)電圧チャンネル1, 2 RMSオフセット設定レジスタ(V1RMSOS, V2RMSOS)を参照してください。

(d) 皮相電力ゼロロード検出

皮相電力測定には、ゼロロード検出機能が用意されています。この機能を使用すると、皮相電力がゼロロードしきい値を下回る場合に、皮相電力量の累積を行いません。皮相電力ゼロロード検出機能には、次の3つのビットを使用します。

- NLCTLレジスタのAPPNOLOAD1, APPNOLOAD0ビット

この2つのビットは、皮相電力ゼロロードしきい値を設定します。

00：皮相電力ゼロロード検出は無効になります。

01：皮相電力ゼロロード検出は有効になり、しきい値はフルスケールの0.03%になります。

10：皮相電力ゼロロード検出は有効になり、しきい値はフルスケールの0.015%になります。

11：皮相電力ゼロロード検出は有効になり、しきい値はフルスケールの0.0075%になります。

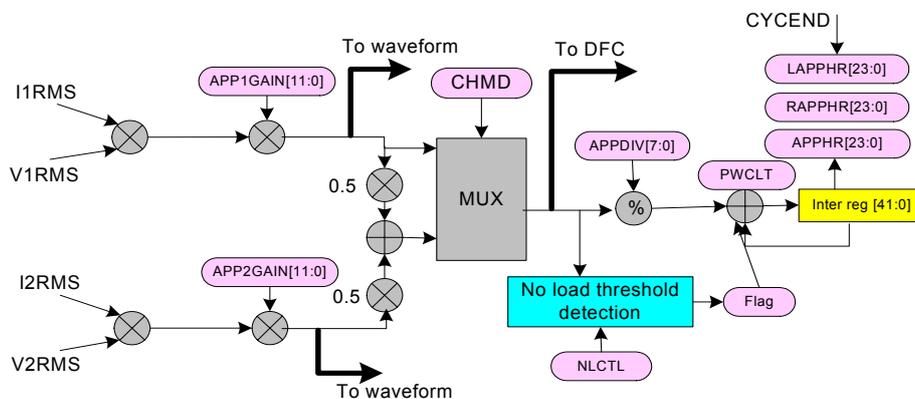
- 拡張SFR (3rd SFR) 割り込み要求フラグ・レジスタ21 (IF21) のAPPNOLDIFフラグ

APPNOLDIFフラグは、NLCTLレジスタのAPPNOLOAD1, APPNOLOAD0ビットで設定されたゼロロードしきい値を皮相電力が下回るとセットされます。

- 拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ20 (MK20) のAPPNOLDMKビット

拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ20 (MK20) のAPPNOLDMKビットがクリアされると、割り込みが発生します。この割り込みは、APPNOLDIFステータス・ビットがクリアされるまで有効です。

図19 - 64 皮相電力ゼロロード検出



このゼロロードしきい値は、CFパルス出力にも適用されます。その場合、ゼロロードしきい値のレベルは、皮相電力量と同じになります。

(2) 皮相電力量 (エネルギー) 演算

(a) 皮相電力量 (エネルギー) 算出方法

皮相電力量は、皮相電力の積分として表されます。

$$Apparen_energy = \int apparent_power(t)dt$$

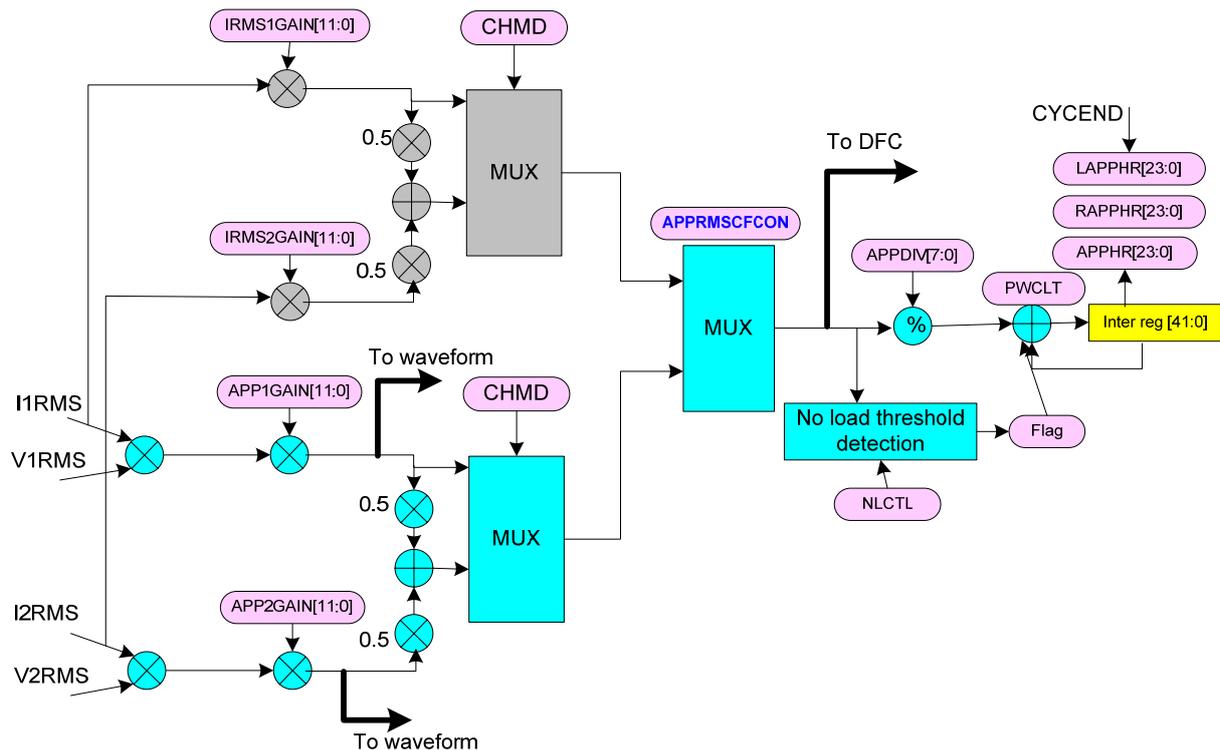
皮相電力信号を内部42ビットのレジスタに累積することにより、皮相電力信号を積分します。この内部レジスタの上位24ビットを、APPHRレジスタで読み出すことができます。

$$Apparen_energy = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} Apparent_power(nT) \times T \right\}$$

上の式で、nは離散時間サンプル数、Tはサンプル期間を表します。

アキュムレーション・レジスタの離散時間サンプル期間(T)は、230.4 μs (4.34 kHz)となります。

図19 - 65 皮相電力量 (エネルギー) 演算



皮相電力信号は、内部レジスタに連続して符号付き加算されます。

皮相電力は、APPDIVレジスタの値でスケーリングされ、内部アキュムレータに累積されます。APPDIVレジスタは、8ビットの符号なしレジスタであり、スケーリング処理は次のとおりです。

$$\text{スケーリング後の電力} = \text{スケーリングまでの電力} / \text{APPDIV}$$

なお、APPDIV = 0の設定は禁止です。0を設定した場合は、1として処理を行います。

スケーリング後の皮相電力は、内部42ビット皮相電力量アキュムレータに累積されます。内部アキュムレータの上位24ビットは、レジスタにより読み出すことができます。アキュムレータ値の読み出し方法は3種類あり、それぞれの方法ごとに読み出しレジスタが用意されています。

・ APPHRレジスタを用いて読み出した場合：

読み出し時点のアキュムレータの上位24ビットの値が読み出されます。

・ RAPPHRレジスタを用いて読み出した場合：

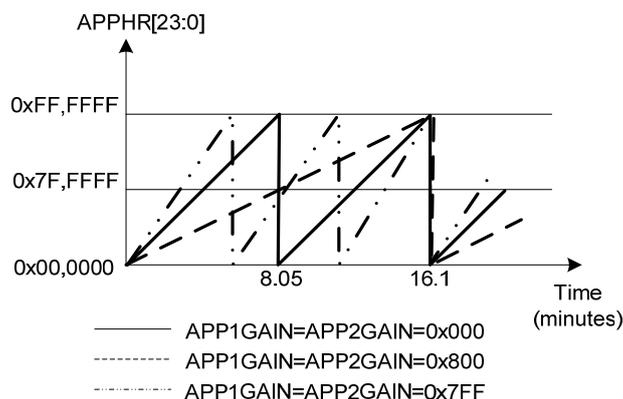
読み出し時点のアキュムレータの上位24ビットの値が読み出されます。読み出し後、アキュムレータの上位24ビットはクリアされます。

・ LAPPHRレジスタを用いて読み出した場合：

ライン周波数に同期した値の読み出しを行います。詳細については、19. 4. 6(2)(d)ライン・サイクル皮相電力量アキュムレーション・モードを参照してください。

皮相電力量は常に正の値であり、アキュムレータは常に加算されています。

図19 - 66 フルスケール信号の皮相電力量累積



皮相電力量レジスタがハーフフル（正または負）、またはオーバーフロー／アンダフローが発生した場合、割り込みフラグAPPHFIFまたはAPOFIFビットがセットされます。拡張SFR（3rd SFR）割り込みマスク・フラグ・レジスタ21（MK21）のAPPEHFMK, APPEOFMKビットをクリアすると、皮相電力量レジスタがハーフフル、またはオーバーフローが発生した場合に、割り込みを発生させることができます。なお、皮相電力量レジスタは符号なしレジスタであるため、ハーフフル割り込みは符号付き有効電力量レジスタの23ビットと異なり、24ビットで発生する点に注意してください。

(b) 定常負荷での積分時間

皮相電力量（エネルギー）演算の項で述べたように、アキュムレーション・レジスタの離散時間サンプル期間(T)は230.4 μ s (4.34 kHz)になります。アナログ入力にフルスケール正弦波信号を印加し、APP1GAINおよびAPP2GAINレジスタが0x000に設定されている場合、各GAINからの平均ワード値は 2^{21} （または0x1F, FFFF）になります。42ビットの内部レジスタに格納できる正の最大値は、レジスタがオーバーフローする前は 2^{42} （または0x3FF, FFFF, FFFF）です。この条件下でAPPDIV = 0のとき、積分時間は次の式によって算出されます。

$$Time = \frac{0x3FF, FFFF, FFFF}{0x1F, FFFF} \times 230.4\mu s = 483.13\text{sec} = 8.05\text{min}$$

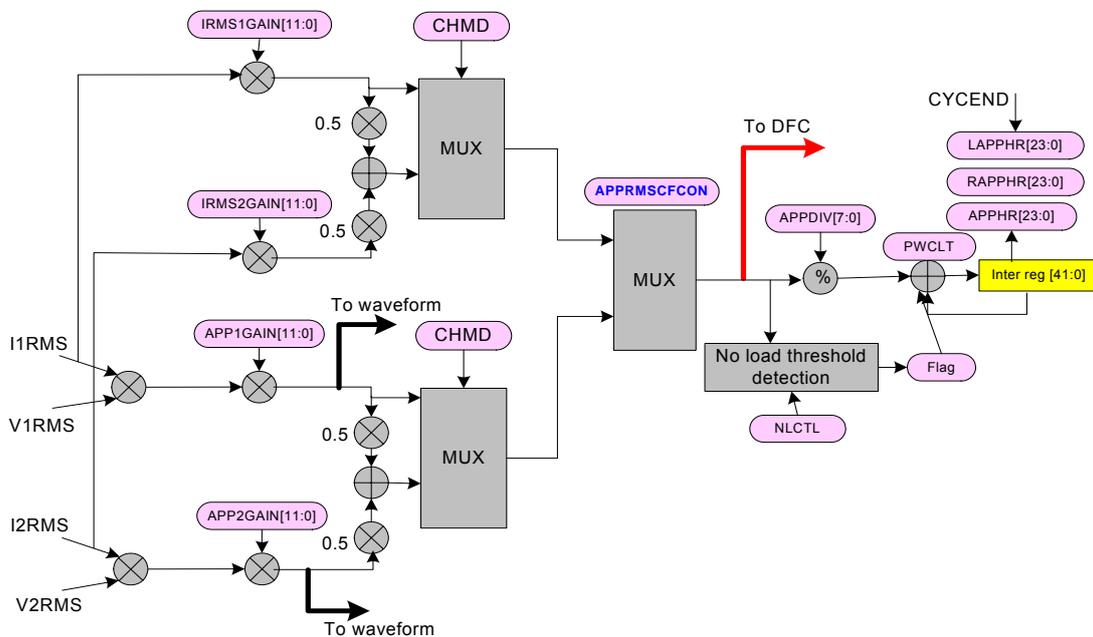
APPDIVが0以外の値に設定されている場合は、積分時間は下記の式に示すように変化します。

$$Time = Time_{APPDIV=0} \times APPDIV$$

(c) 皮相電力量パルス出力

皮相電力量を反映した周波数パルスを出します。このパルスの周波数を出力するために、APP1GAIN, APP2GAINレジスタから出力された皮相電力量信号を使用します。この出力は、周波数がI1rmsまたはI2rmsに比例する周波数のパルスを出力するためにも使用します。パルス出力機能の詳細については、第21章 デジタル周波数変換回路を参照してください。

図19 - 67 皮相電力量パルス出力



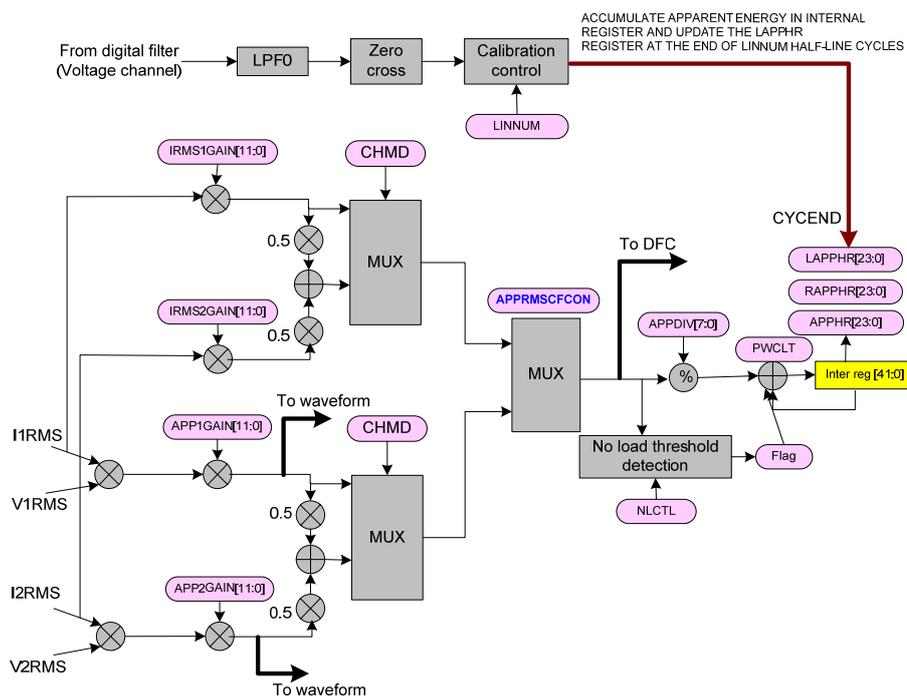
(d) ライン・サイクル皮相電力量アキュムレーション・モード

ライン・サイクル皮相電力量アキュムレーション・モードでは、皮相電力量の正弦波成分による誤差をなくすため、ライン周波数の2倍単位で皮相電力の累積を行います。電力量の累積を電圧チャネルのゼロクロスと同期させることで実現しています。

皮相電力には、ライン周波数が50 Hzまたは60 Hzのときに、100 Hzまたは120 Hzのリップルが生じています。このリップルは、電力量累積中に整数倍にならない周期で累積されると、キャリブレーション誤差を発生します。通常、CF周波数は非常に低いため、リップルがCF周波数に影響を及ぼすことはほとんどありません（例えば、1 Hzでは累積時間は1秒になります）。しかし、キャリブレーション中には、キャリブレーション時間は短くなければならず、リップルによって発生した誤差が大きな影響を与える可能性があります。累積時間がライン周波数の整数倍の周期と等しくすることで、リップルによって発生した誤差をなくすことができます。したがって、ライン・サイクル皮相電力量アキュムレーション・モードでは電力量をより正確に算出できます。

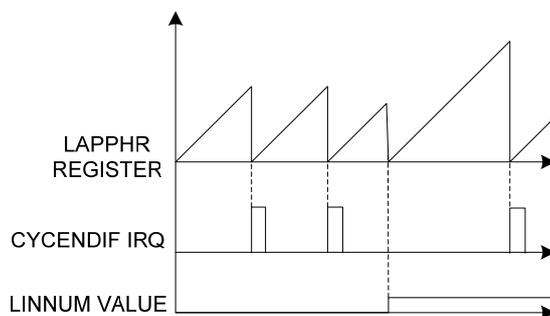
このモードを使用すると、電力量キャリブレーションを大幅に簡略化することができ、キャリブレーションの必要な時間も大幅に短縮できます。ライン・サイクル皮相電力量アキュムレーション・モードでは、皮相電力信号は、指定したライン・サイクル期間でLAPPHRレジスタに累積されます。ハーフ・ライン・サイクル数はLINNUMレジスタで指定し、最大65535ハーフ・ライン・サイクルまで指定できます。皮相電力は指定したライン・サイクル数の期間、積分され、皮相電力量アキュムレーション・ライン・サイクルの終わりに拡張SFR（3rd SFR）割り込み要求フラグ・レジスタ22（IF22）のCYCENDIFフラグをセットします。拡張SFR（3rd SFR）割り込みマスク・フラグ・レジスタ22（MK22）のCYCENDMKマスク・ビットが0に設定されていると、割り込みが発生します。この割り込みは、CYCENDIFステータス・ビットをクリアするまで有効になります。CYCENDIFフラグがセットされるとすぐに次のキャリブレーション・サイクルが始まります。もし、LAPPHRレジスタが新たなCYCENDIFフラグをセットする前に読み出されない場合、LAPPHRレジスタは、新しい値で上書きされます。

図19 - 68 ライン・サイクル皮相電力量アキュムレーション・モード



新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれると、LAPPHRレジスタがリセットされ、次のゼロクロスで新たな累積が始まります。その後、LINNUMレジスタの値に達するまでハーフ・ライン・サイクル数がカウントされます。このようにして、LINNUMレジスタの書き込み後の最初のCYCEND割り込みで有効な測定が行われます。ライン皮相電力量アキュムレーションでは、皮相電力量アキュムレーションと同じ信号経路を使用します。2つのレジスタのLSBサイズは同等です。

図19 - 69 皮相電力のアキュムレーション・タイミング



PWCTL1レジスタのCYCDISビットは、CYCEND検出機能を無効にできます。CYCDISビットを1にセットすると、ハーフ・ライン・サイクル数がLINNUMレジスタに設定された値に達しても、CYCEND割り込みが発生しません。さらに、CYCDISビットを1にセットすると、新しいハーフ・ライン・サイクルがLINNUMレジスタに書き込まれても、LAPPHRレジスタと内部アキュムレーション・レジスタは0にリセットされません。

このモードでは、16ビットのLINNUMレジスタが保持できる最大値は65535であることに注意してください。つまり、ライン電力量アキュムレーション・モードでは、最大65535ハーフ・ライン・サイクル数の時間の間、皮相電力量を累積できます。ライン周波数が60 Hzの場合は、最大時間は $65535/120 \text{ Hz} = 546 \text{ 秒}$ となります。

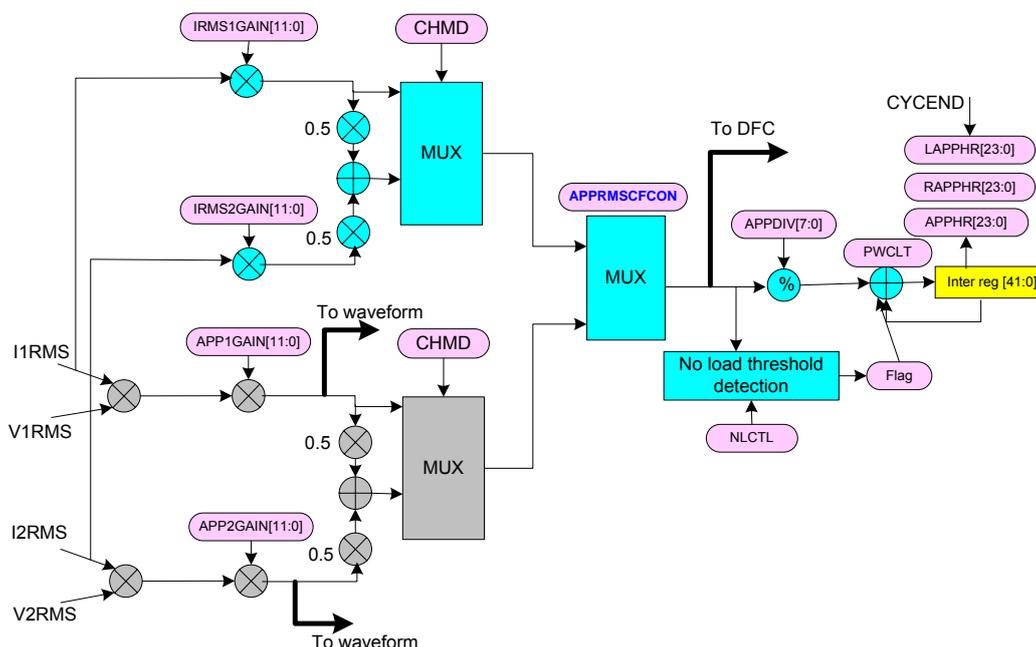
19.4.7 アンペア時アキュムレーション

(1) アンペア時アキュムレーション選択

皮相電力量の代わりにアンペア時を累積することが可能です。アンペア時測定の場合でも、APPHR, RAPPHR, LAPPHRレジスタを用いて結果を読み出します。APPRMSCFCONビットに1をセットすることで、アンペア時の累積を設定することができます。このとき、デジタル周波数変換も皮相電力の代わりに I_{1rms} または $0.5 \times (I_{1rms} + I_{2rms})$ が使用されます。

なお、皮相電力アキュムレーションとアンペア時アキュムレーションは同一回路を使用しているため、どちらかを選択して使用してください。

図19 - 70 アンペア時アキュムレーション



- CHMD = 0 (単相2線モード) の場合 : $IRMS_accumulation = I1RMS$
- CHMD = 1 (単相3線モード) の場合 : $IRMS_accumulation = 0.5 \times (I1RMS + I2RMS)$

この場合、 $IRMS_accumulation$ が、後段のアキュムレーションとデジタル周波数変換への信号になります。

ゼロロードしきい値検出は、APPRMSCFCONビットを1にセットすることで有効にできます。しきい値レベルは、APPNOLOAD1, APPNOLOAD0ビットにより設定してください。

(2) 定常負荷での積分時間

アキュムレーション・レジスタの離散時間サンプル期間 (T) は $230.4 \mu\text{s}$ (4.34 kHz) になります。アナログ入力にフルスケール正弦波信号を印加し、RMS1GAINおよびRMS2GAINレジスタが0x000に設定されている場合、I_{rms}の平均値は次のようになります。

$$I_{rms_FS} = \frac{2^{20}}{\sqrt{2}} = 0d741455 = 0xB504F$$

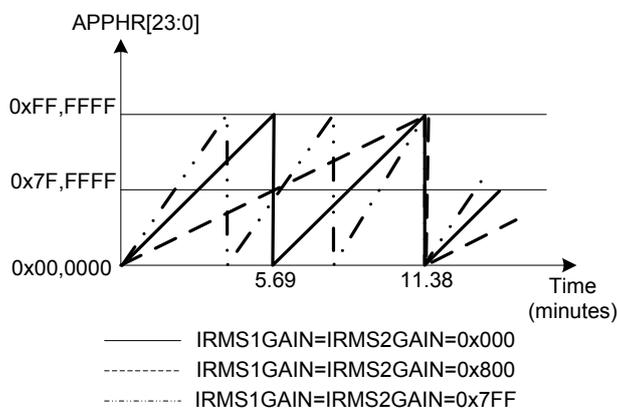
IRMSが電力量アキュムレータに累積される前に、"0"の2つのLSBがIRMSに加算されます。

$$I_{rms_acc_FS} = \frac{2^{22}}{\sqrt{2}} = 0d2965820 = 0x2D413C$$

IRMSアキュムレーションは、皮相電力アキュムレーションと同様に、符号なしアキュムレーションです。42ビットの内部レジスタに格納できる正の最大値は、 2^{42} (または0x3FF, FFFF, FFFF) です。この条件下でAPPDIV = 0のとき、積分時間は次の式によって算出されます。

$$Time = \frac{0x3FF, FFFF, FFFF}{0x2D413C} \times 230.4 \mu\text{s} = 341.66 \text{sec} = 5.69 \text{min}$$

図19 - 71 フルスケール信号のアンペア時累積



APPDIVが0以外の値に設定されている場合は、積分時間は次の式に示すように変化します。

$$Time = Time_{APPDIV=0} \times APPDIV$$

19.4.8 波形サンプリング機能

電力演算の中間データの読み出し用に2つのレジスタ（SAMP1, SAMP2）が用意されています。読み出すデータはSAMPMODEレジスタで選択し、最大2信号まで同時に読み出すことが可能です。4.34 kHzごとに指定されたデータを読み出し、SAMP1, SAMP2レジスタにラッチします。

図19 - 72 波形サンプリング機能

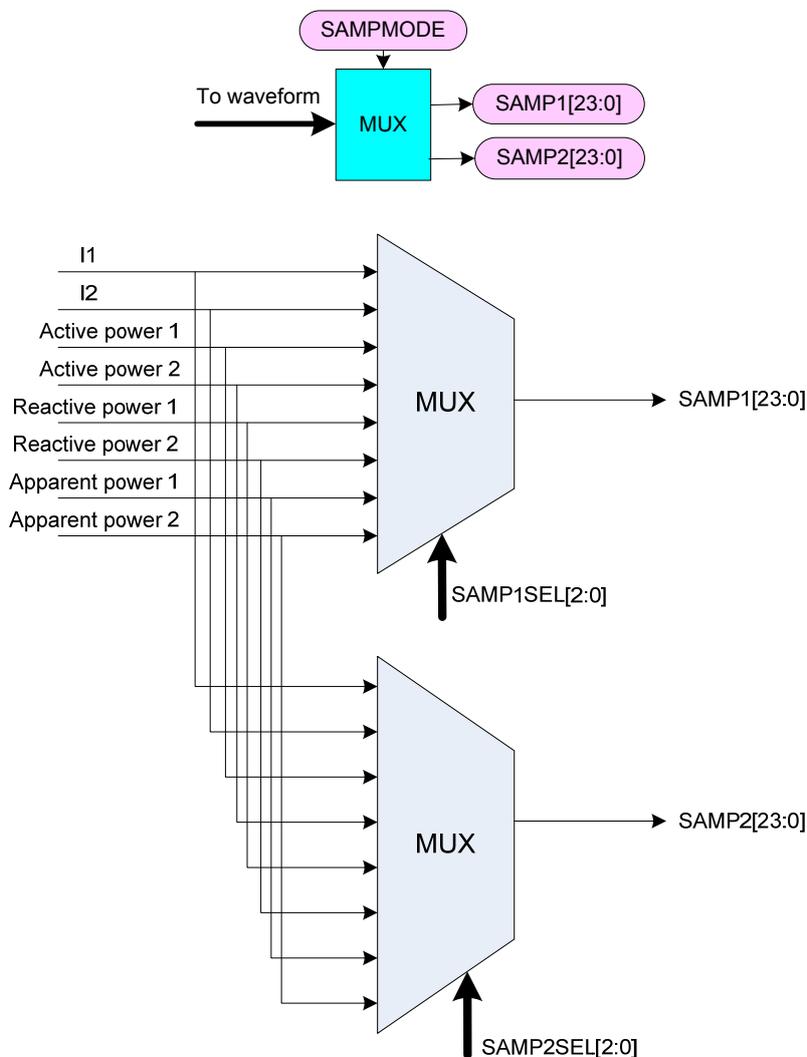


表19 - 7 SAMPMODEレジスタによるサンプル・モード用波形の選択

SAMPnSEL2	SAMPnSEL1	SAMPnSEL0	SAMPMODEレジスタによる サンプル・モード用波形nの選択 (n = 1, 2)	Fs_code
0	0	0	インテグレータからのI1出力	2^{20}
0	0	1	インテグレータからのI2出力	2^{20}
0	1	0	有効電力1 (ACT1GAINの乗算後の出力)	2^{21}
0	1	1	有効電力2 (ACT2GAINの乗算後の出力)	2^{21}
1	0	0	無効電力1 (REA1GAINの乗算後の出力)	2^{21}
1	0	1	無効電力2 (REA2GAINの乗算後の出力)	2^{21}
1	1	0	皮相電力1 (APP1GAINの乗算後の出力)	2^{21}
1	1	1	皮相電力2 (APP2GAINの乗算後の出力)	2^{21}

19.4.9 割り込み

電力演算回路には、13の割り込みがあります。

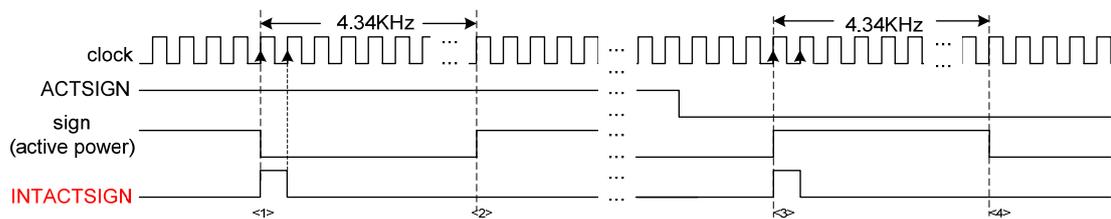
(1) 有効電力と電力量に関連する割り込み

(a) INTACTSIGN

ACTSIGN = 0のときに有効電力が正から負に変化した場合、INTACTSIGN割り込みが発生します。

ACTSIGN = 1のときに有効電力が負から正に変化した場合、INTACTSIGN割り込みが発生します。

図19 - 73 INTACTSIGN割り込み（有効電力）



ACTSIGN = 1のとき、有効電力が負から正に変化 : INTACTSIGNが発生します。

ACTSIGN = 1のとき、有効電力が正から負に変化 : INTACTSIGNは発生しません。

ACTSIGN = 0のとき、有効電力が正から負に変化 : INTACTSIGNが発生します。

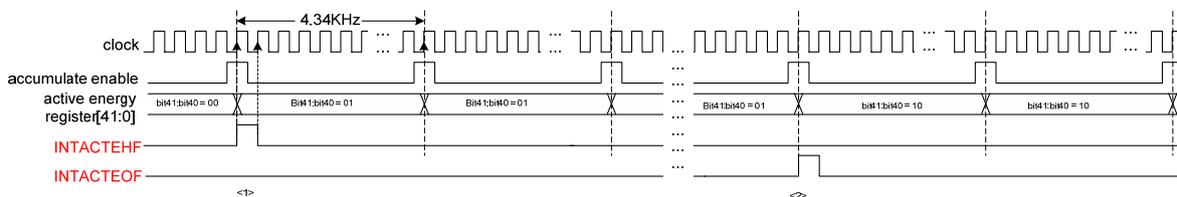
ACTSIGN = 0のとき、有効電力が負から正に変化 : INTACTSIGNは発生しません。

(b) INTACTEHF, INTACTEOF

INTACTEHF割り込みは、有効電力量レジスタがハーフフル（正または負）のときに発生します。

INTACTEOF割り込みは、有効電力量レジスタがオーバフローまたはアンダフロー（正または負）したときに発生します。

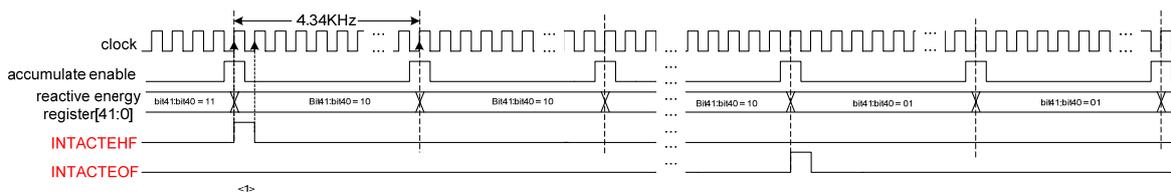
図19 - 74 INTACTEHF, INTACTEOF割り込み（有効電力量が正の場合）



有効電力量がハーフフルの場合，INTACTEHFが発生します。

有効電力量がオーバフローした場合，INTACTEOFが発生します。

図19 - 75 INTACTEHF, INTACTEOF割り込み（有効電力量が負の場合）



有効電力量がハーフフルの場合，INTACTEHFが発生します。

有効電力量がオーバフローした場合，INTACTEOFが発生します。

(c) INTACTNOLD

INTACTNOLD割り込みは、有効電力がゼロロードしきい値を下回るときに発生します。

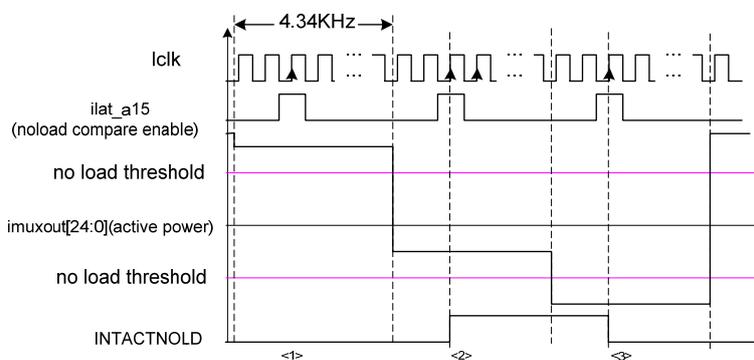
しきい値は、NLCTLレジスタのACTNOLOAD1, ACTNOLOAD0ビットで設定します（詳細については、19.3(3) **ゼロロード・レベル制御レジスタ (NLCTL)** を参照してください）。

有効電力のフルスケールは $2^{21} = 1\text{FFFFFFH}$ です。この値に従って、しきい値を表19-8に示します。

表19-8 有効電力のゼロロードしきい値

ACTNOLOAD1, 0	ゼロロードしきい値
00	0
01	25'h013A (フルスケールの0.015%)
10	25'h009D (フルスケールの0.0075%)
11	25'h004D (フルスケールの0.0037%)

図19-76 INTACTNOLD割り込み (有効電力)



有効電力がゼロロードしきい値を上回る場合、INTACTNOLDは発生しません。

有効電力がゼロロードしきい値を下回る場合、INTACTNOLDが発生します。

有効電力の絶対値がゼロロードしきい値を上回る場合、INTACTNOLDは発生しません。

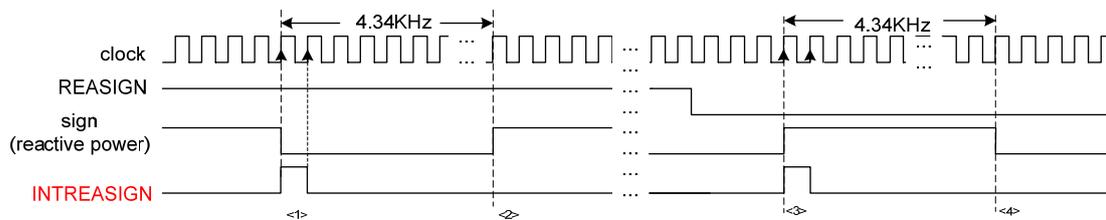
(2) 無効電力と電力量に関連する割り込み

(a) INTREASIGN

REASIGN = 0のときに無効電力が正から負に変化した場合、INTREASIGN割り込みが発生します。

REASIGN = 1のときに無効電力が負から正に変化した場合、INTREASIGN割り込みが発生します。

図19 - 77 INTREASIGN割り込み (無効電力)



REASIGN = 1のとき、無効電力は負から正に変化：INTREASIGNが発生します。

REASIGN = 1のとき、無効電力は正から負に変化：INTREASIGNは発生しません。

REASIGN = 0のとき、無効電力は正から負に変化：INTREASIGNが発生します。

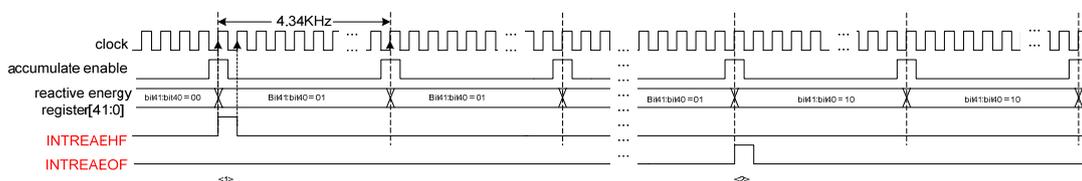
REASIGN = 0のとき、無効電力は負から正に変化：INTREASIGNは発生しません。

(b) INTREAEHF, INTREAEOF

INTREAEHF割り込みは、無効電力量レジスタがハーフフル（正または負）のときに発生します。

INTREAEOF割り込みは、無効電力量レジスタがオーバーフローまたはアンダフロー（正または負）したときに発生します。

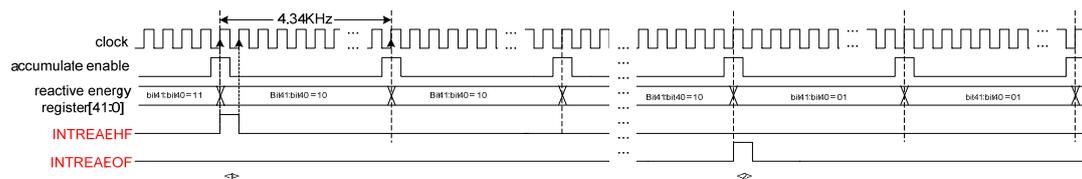
図19 - 78 INTREAEHF, INTREAEOF割り込み（無効電力量が正の場合）



無効電力量がハーフフルの場合、INTREAEHFが発生します。

無効電力量がオーバーフローした場合、INTREAEOFが発生します。

図19 - 79 INTREAEHF, INTREAEOF割り込み（無効電力量が負の場合）



無効電力量がハーフフルの場合、INTREAEHFが発生します。

無効電力量がオーバーフローした場合、INTREAEOFが発生します。

(c) INTREANOLD

INTREANOLD割り込みは、無効電力がゼロロードしきい値を下回るときに発生します。

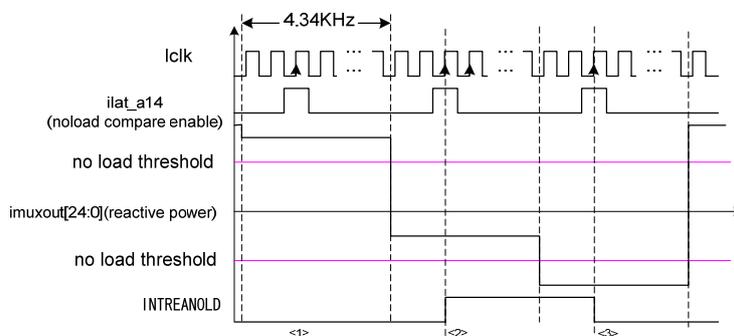
しきい値は、NLCTLレジスタのREANOLOAD1, REANOLOAD0ビットで設定します（詳細については、19.3(3) **ゼロロード・レベル制御レジスタ (NLCTL)** を参照してください）。

無効電力のフルスケールは $2^{21} = 1\text{FFFFFFH}$ です。この値に従って、しきい値を表19-9に示します。

表19-9 無効電力のゼロロードしきい値

REANOLOAD1, 0	ゼロロードしきい値
00	0
01	25'h013A (フルスケールの0.015%)
10	25'h009D (フルスケールの0.0075%)
11	25'h004D (フルスケールの0.0037%)

図19-80 INTREANOLD割り込み（無効電力）



無効電力がゼロロードしきい値を上回る場合、INTREANOLDは発生しません。

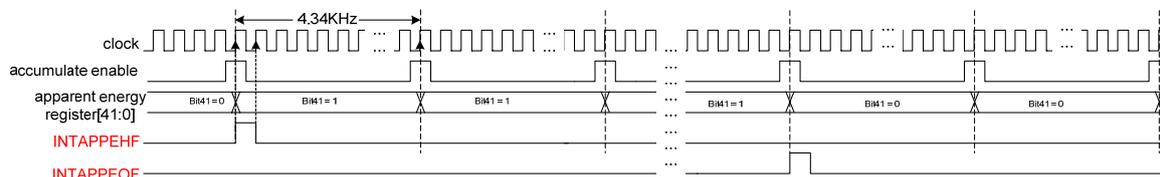
無効電力がゼロロードしきい値を下回る場合、INTREANOLDが発生します。

無効電力の絶対値がゼロロードしきい値を上回る場合、INTREANOLDは発生しません。

(3) 皮相電力と電力量に関連する割り込み

(a) INTAPPEHF, INTAPPEOF

図19 - 81 INTAPPEHF, INTAPPEOF割り込み



(b) INTAPPNOLD

INTAPPNOLD割り込みは、皮相電力がゼロロードしきい値を下回るときに発生します。

しきい値は、NLCTLレジスタのAPPNOLOAD1, APPNOLOAD0ビットで設定します（詳細については、19.3 (3) ゼロロード・レベル制御レジスタ (NLCTL) を参照してください）。

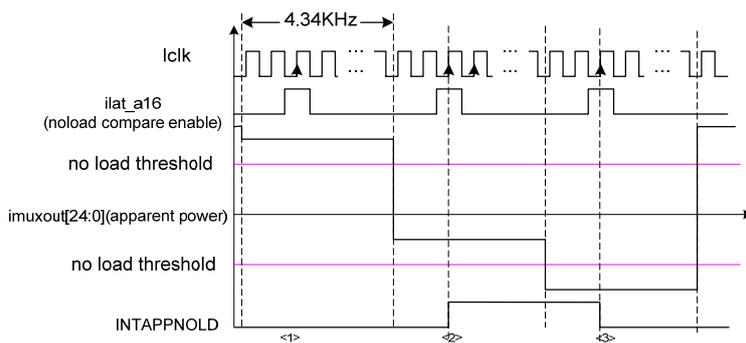
皮相電力のフルスケールは $2^{21} = 1\text{FFFFFFH}$ です。この値に従って、しきい値を表19 - 10に示します。

このゼロロードしきい値は、APPRMSCFCONビットがセットされると、I_{rms}パルス出力にも適用される点に注意してください。その場合、APPRMSCFCON = 1であれば、IRMSゼロロードしきい値検出が有効になり、ゼロロードしきい値のレベルは皮相電力量と同じになります。IRMSのフルスケールは $2^{19.5}$ です。これはIRMSが23ビットで、電力が25ビットであるため、IRMSの2ビットが拡張されたためです。IRMSのしきい値は、 $2^{(19.5+2)} = 2^{21.5} = 2\text{D413D H}$ となります。

表19 - 10 皮相電力のゼロロードしきい値

APPRMSCFCON	APPNOLOAD1, 0	ゼロロードしきい値
0	00	0
0	01	25'h0275 (皮相電力フルスケールの0.03%)
0	10	25'h013A (皮相電力フルスケールの0.015%)
0	11	25'h009D (皮相電力フルスケールの0.0075%)
1	00	0
1	01	25'h0379 (IRMSフルスケールの0.03%)
1	10	25'h01BC (IRMSフルスケールの0.015%)
1	11	25'h00DE (IRMSフルスケールの0.0075%)

図19 - 82 INTAPPNOLD割り込み



皮相電力がゼロロードしきい値を上回る場合、INTAPPNOLDは発生しません。

皮相電力がゼロロードしきい値を下回る場合、INTAPPNOLDが発生します。

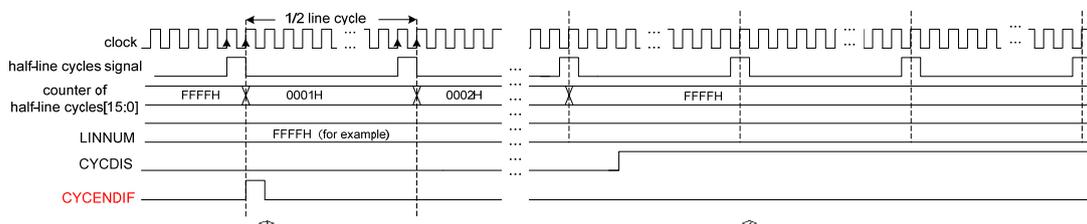
無効電力の皮相値がゼロロードしきい値を上回る場合、INTAPPNOLDは発生しません。

(4) Cycend関連割り込み (INTCYCED)

INTCYCED割り込みは、ハーフ・ライン・サイクル数がLINNUMレジスタ値に等しいときに発生します。

PWCTL1レジスタのCYCDISビットは、INTCYCED検出機能を無効にできます。CYCDISビットを1にセットすると、ハーフ・ライン・サイクル数がLINNUMレジスタに設定した値に達しても、INTCYCED割り込みが発生しません。

図19 - 83 INTCYCED割り込み



CYCDIS = 0, ハーフ・ライン・サイクル数 = LINNUM値である場合、INTCYCEDが発生します。

CYCDIS = 1, ハーフ・ライン・サイクル数 = LINNUM値である場合、INTCYCEDは発生しません。

(5) 波形関連割り込み (INTWFSM)

INTWFSM割り込みは, SAMPnSEL2, SAMPnSEL1, SAMPnSEL0の設定によって発生します (詳細については, 19.3 (27) サンプルング・モード選択レジスタ (SAMPMODE) を参照してください)。

SAMPnSELが割り当てられた信号が変化すると, 対応する割り込みが発生します。

SAMP1とSAMP2レジスタは, サンプルング周期ごとに更新されます ($f_s = 4.34 \text{ kHz}$)。SAMP1とSAMP2レジスタは, いつでも読み出すことができます。波形サンプルングは次のフローを推奨します。

SAMP1とSAMP2レジスタの波形源を選択するために, SAMPMODEレジスタを設定します。

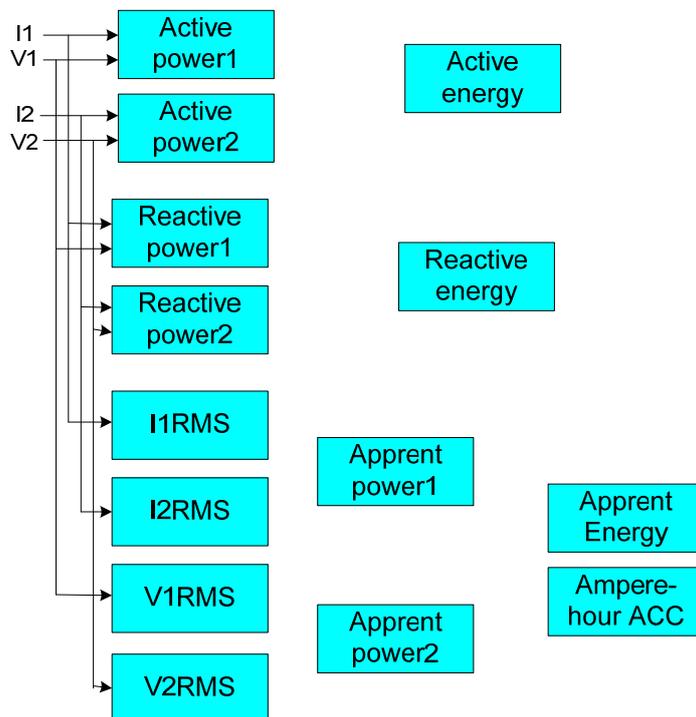
SAMPENビットをセットして, 波形サンプルング機能を有効にします。拡張SFR (3rd SFR) 割り込みマスク・フラグ・レジスタ22 (MK22) のWFSMMKビットをクリアして, SAMP1, SAMP2レジスタの更新後に発生する割り込みを有効にします。

INTWFSMによって割り込みが発生した場合, SAMP1, SAMP2レジスタを読み出して新しい波形サンプルング・データを入手し, WFSMIF (波形サンプルング用割り込みフラグ) をクリアします。

19.4.10 節電モード

消費電力を低減するため, 節電モードを用意しています。不要な電力演算を停止させることが可能です。

図19 - 84 電力構成



節電機能は、次の6つのビットで制御します。

- ・ PWREN (PWCTL1レジスタのビット7)
 - 0 : すべての電力演算機能は無効
 - 1 : すべての電力演算機能は有効

- ・ CHMD (ADM2レジスタのビット5)
 - 0 : 単相2線方式
 - 1 : 単相3線方式

- ・ ACTDIS (PWCTL2のビット7)
 - 0 : 有効電力演算は有効
 - 1 : 有効電力演算は無効

- ・ READIS (PWCTL1のビット6)
 - 0 : 無効電力演算は有効
 - 1 : 無効電力演算は無効

- ・ APPDIS (PWCTL1のビット5)
 - 0 : 皮相電力演算およびアンペア時ACCは有効
 - 1 : 皮相電力演算およびアンペア時ACCは無効

- ・ APPRMSCFCON (PWCTL1のビット2)
 - 0 : 皮相電力を累積
 - 1 : アンペア時を累積

表19 - 11 有効電力と電力量制御表

PWREN	CHMD	ACTDIS	有効電力1	有効電力2	有効電力量
0	0/1	0/1	×	×	×
1	0/1	1	×	×	×
1	0	0		×	
1	1	0			

表19 - 12 無効電力と電力量制御表

PWREN	CHMD	READIS	無効電力1	無効電力2	無効電力量
0	0/1	0/1	×	×	×
1	0/1	1	×	×	×
1	0	0		×	
1	1	0			

表19 - 13 皮相電力と電力量，RMS，アンペア時ACC制御表

PWREN	CHMD	APPDIS	APPRMS CFCON	皮相 電力1	皮相 電力2	皮相 電力量	I1RMS	I2RMS	V1RMS	V2RMS	アンペア 時ACC
0	0/1	0/1	0/1	×	×	×	×	×	×	×	×
1	0	1	0/1	×	×	×			×	×	×
1	0	0	0		×					×	×
1	0	0	1	×	×	×				×	
1	1	1	0/1	×	×	×			×	×	×
1	1	0	0								×
1	1	0	1	×	×	×					

19.4.11 電力演算回路の注意事項

- (1) 電力演算回路は、メイン・クロックが10 MHzで、データ・レートが $10 \text{ MHz} / (128 \times 18) = 4.34 \text{ kHz}$ のときのみ保証されます。
- (2) 電力演算回路は、多くのレジスタが2バイト以上で構成されています。2バイトまたはそれ以上のレジスタを読み出す場合、最初に下位バイトを読み出し、そのあとに上位バイトを読み出してください。同様に2バイトまたはそれ以上のレジスタを書き込む場合、最初に下位バイトを書き込み、そのあとに上位バイトを書き込んでください。これ以外の方法でアクセスを行った場合は、正しくアクセスできません。
- (3) 節電モードを使用する場合は、対応するチャンネルの波形サンプリング機能を使用しないでください。
- (4) 節電モードを設定後、対応する電力量アキュムレータは変化しません。したがって、節電モードを設定後、対応するチャンネルの電力量レジスタを読み出さないようにしてください。
- (5) 節電モードを設定する前に、デジタル周波数変換回路のソースが対応するチャンネルから供給されないように、デジタル周波数変換回路のソースを確認または変更する必要があります。例えば、ACTDISをセットする前に、[CFSEL1, CFSEL0]に“00”を設定することは禁止されています（“00”のとき、デジタル周波数変換回路のソースには有効電力が選択されています）。
- (6) パワーオン（ADM2レジスタのADPONビット = 1）、24ビット 型A/D変換動作許可（ADM2レジスタのADCE2ビット = 1）後に推奨ウエイト時間があります。ウエイト時間経過後に、電力演算回路の動作許可（PWCTL1レジスタのPWRENビット = 1）にしてください。^注
 - インテグレータの動作禁止時（PWCTL1レジスタのINTE1ビット = 0, INTE2ビット = 0）、推奨ウエイト時間は5秒です。
 - インテグレータの動作許可時（PWCTL1レジスタのINTE1ビット = 1, INTE2ビット = 1）、推奨ウエイト時間は20秒です。
 - ウエイト期間中の演算精度は保証できません。また、ウエイト期間中は拡張SFR（3rd SFR）の割り込みを禁止にしてください。ウエイト時間経過後に割り込みフラグをクリアし割り込みを許可してください。

注 A/D変換動作許可後、精度保証された演算が実行されるまでの時間は、そのときのアナログ入力状態によっても依存します。これはアナログ入力状態によりデジタル・フィルタの安定時間が変化するためです。安定時間については、使用する環境にあわせて十分な評価を行ってください。

第20章 電力品質測定回路

電力品質測定回路では，入力信号の品質測定を行います。

20.1 電力品質測定回路の機能

電力品質測定回路は，次の機能を搭載しています。

- ・ゼロクロス検出
- ・ゼロクロス・タイムアウト検出
- ・SAG検出
- ・ピーク測定
- ・ピリオド/周波数測定
- ・フォールト検出
- ・電流チャンネル・ゲイン調整

20.1.1 割り込み信号生成機能

電力品質測定回路では，次の割り込み信号を生成します。

表20 - 1 電力品質測定回路の割り込み信号

割り込み要求信号	割り込み要求フラグ	割り込みマスク・フラグ	割り込み要因
INTZX1	ZX1IF	ZX1MK	電圧チャンネル1のゼロクロス検出割り込み
INTZX2	ZX2IF	ZX2MK	電圧チャンネル2のゼロクロス検出割り込み
INTZXTO1	ZXTO1IF	ZXTO1MK	電圧チャンネル1のゼロクロス・タイムアウト割り込み
INTZXTO2	ZXTO2IF	ZXTO2MK	電圧チャンネル2のゼロクロス・タイムアウト割り込み
INTSAG1	SAG1IF	SAG1MK	電圧チャンネル1のSAG検出割り込み
INTSAG2	SAG2IF	SAG2MK	電圧チャンネル2のSAG検出割り込み
INTPKI1	PKI1IF	PKI1MK	電流チャンネルのピーク検出割り込み
INTPKV1	PKV1IF	PKV1MK	電圧チャンネルのピーク検出割り込み
INTFAULTSIGN	FAULTSIGNIF	FAULTSIGNMK	フォールト検出割り込み

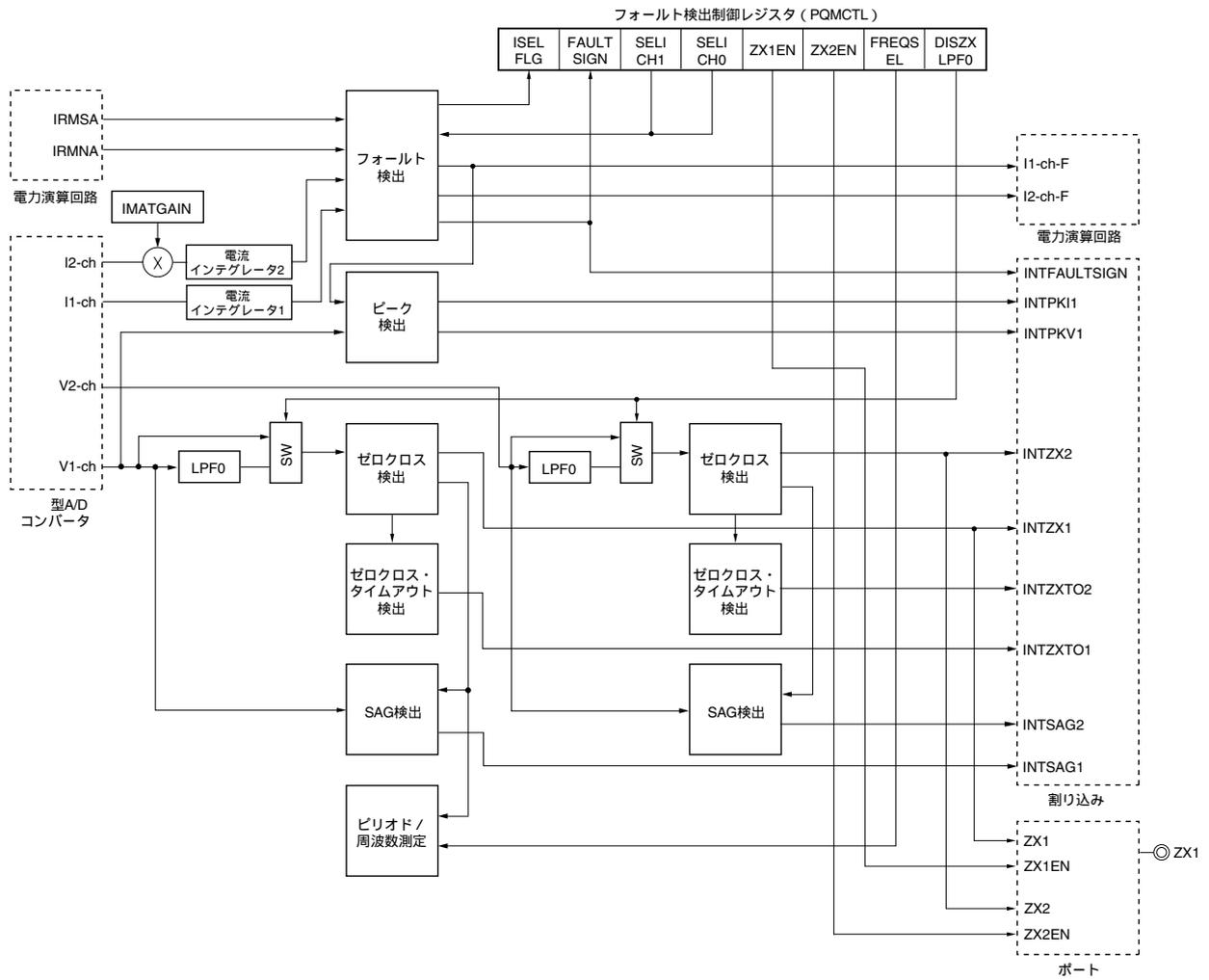
20.2 電力品質測定回路の構成

電力品質測定回路は、次のハードウェアで構成しています。

表20 - 2 電力品質測定回路のハードウェア

項目	構成
制御回路	ゼロクロス検出回路 ゼロクロス・タイムアウト検出回路 SAG検出回路 ピーク測定回路 ピリオド/周波数測定回路 フォールト検出回路 電流チャンネル・ゲイン調整回路
レジスタ	ピリオド/周波数測定結果レジスタ (PFVAL) 電流ピーク値レジスタ (IMAX) 電流ピーク値クリア・レジスタ (RSTIMAX) 電圧ピーク値レジスタ (VMAX) 電圧ピーク値クリア・レジスタ (RSTVMAX)
制御レジスタ	電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2) 電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2) 電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2) 電流ピーク・レベル設定レジスタ (IPKLMT) 電圧ピーク・レベル設定レジスタ (VPKLMT) ゲイン設定レジスタ (IMATGAIN) フォールト検出制御レジスタ (PQMCTL) フォールト検出しきい値設定レジスタ (IST) フォールト制御レジスタ (ICLK)

図20 - 1 電力品質測定回路のブロック図



(1) ゼロクロス検出回路, ゼロクロス・タイムアウト回路

V1チャンネル, V2チャンネルの電圧信号の入力状態を監視します。

PQMCTLレジスタのZX1EN, ZX2ENビットを1を設定すると, ゼロクロス信号出力が有効になります。

(a) ゼロクロス検出

24ビット 型A/Dコンバータから入力されるV1チャンネル, V2チャンネルの値に対して, 符号反転(ゼロクロス)を検出します。ゼロクロス割り込み (INTZXn) を発生させることが可能です。

(b) ゼロクロス・タイムアウト

設定したタイムアウト期間にゼロクロスが検出できない場合, ゼロクロス・タイムアウト割り込み (INTZXTOn) が発生します。

タイムアウト時間は, サンプリング・クロック ($f_s = 4.34 \text{ kHz}$) のカウント数としてZXTOUTnレジスタで設定します。

(2) SAG検出回路

入力電圧 (V1チャンネル, V2チャンネル) の変動を監視します。

SAGNUMnレジスタで設定したライン・サイクル数の期間に, SAGVALnレジスタで指定したSAG検出電圧レベル以下の入力が続いた場合, SAG割り込み (INTSAGn) を発生します。

(3) ピーク測定回路

入力電圧 (V1チャンネル) および入力電流 (I1チャンネル) のピークを監視します。

入力電圧 / 入力電流 (V1チャンネル, I1チャンネル) の絶対値が, VPKLMT / IPKLMTレジスタで設定したピーク検出電圧 / 電流レベルを越えた場合, 割り込み (INTPKV1 / INTPKI1) を発生し, 検出したピーク値 (絶対値) をVMAX / IMAXレジスタに格納します。

なお, ピーク値の読み出しには, 次の2つのモードがあり, 読み出しモードごとにレジスタが用意されています。

- ・通常読み出し (レジスタ名: VMAX / IMAX)

検出したピーク値を読み出せます。

- ・リセット付き読み出し (レジスタ名: RSTVMAX / RSTIMAX)

検出したピーク値を読み出せます。読み出し後, レジスタの値はクリアされます。

備考 n = 1, 2

(4) ピリオド / 周波数測定回路

電圧チャンネル (V1チャンネルのみ) のピリオド / 周波数を測定します。ピリオド / 周波数の切り替えは、PQMCTLレジスタで設定できます。

(a) ピリオド測定

24ビット 型A/Dコンバータのサンプリング・クロック ($f_s = 4.34 \text{ kHz}$) を用いて、20ライン区間をカウントします。カウント結果は、PFVALレジスタへ格納されます。

(b) 周波数測定

24ビット 型A/Dコンバータのサンプリング・クロック ($f_s = 4.34 \text{ kHz}$) を用いて、20ライン区間をカウントします。カウント値を用いて、周波数計算を行います。計算結果は、0.0625 Hz/LSBとしてPFVALレジスタに格納されます。

(5) フォールト検出回路

単相2線方式のみで使用します。I1をライン側、I2をニュートラル側に接続することで、2ラインを用いて電流検出を行います。

(a) フォールト検出

以下の両方の条件が満たされた場合にフォールトと判断し、アクティブ・チャンネルの切り替え、割り込みを発生させることができます。

- ・ I1, I2チャンネルの電流平均値 (RMS値) の差が、アクティブ・チャンネルの平均電流値の指定倍[※] (1/8, 1/16, 1/32, 1/64) を越えたとき
- ・ I1, I2チャンネルの電流平均値 (RMS値) の大きいほうの値が指定値 (ISTレジスタの値) を越えたとき

注 指定倍は、ICLKレジスタで指定します。

(b) アクティブ・チャンネル切り替え

PQMCTLレジスタで自動モードを設定しているとき、フォールト条件が検出されると、アクティブ・チャンネルが自動で切り替わります。また、設定で切り替えることもできます。

現在のアクティブ・チャンネルは、PQMCTLレジスタで確認できます。

(c) フォールト割り込み発生

フォールト検出時、フォールト状態からの復帰時に割り込み (INTFAULTSIGN) を発生します。

(6) 電流チャンネル・ゲイン補正

フォールト検出では、電流I1および電流I2の差を比較します。このため、電流I1、電流I2の電流量は、あらかじめ同じとなるように調整しておく必要があります。電流ゲイン補正回路では、入力電流値I2にゲインを加えることで補正を行います。

20.3 電力品質測定回路で使用するレジスタ

電力品質測定回路では、次のレジスタを使用します。

これらのレジスタは、すべて拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) 空間へのアクセス方法は、**第14章 拡張SFR (3rd SFR) インタフェース**を参照してください。

- ・ ピリオド / 周波数測定結果レジスタ (PFVAL)
- ・ 電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2)
- ・ 電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2)
- ・ 電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2)
- ・ 電流ピーク・レベル設定レジスタ (IPKLMT)
- ・ 電圧ピーク・レベル設定レジスタ (VPKLMT)
- ・ 電流ピーク値レジスタ (IMAX)
- ・ 電流ピーク値クリア・レジスタ (RSTIMAX)
- ・ 電圧ピーク値レジスタ (VMAX)
- ・ 電圧ピーク値クリア・レジスタ (RSTVMAX)
- ・ ゲイン設定レジスタ (IMATGAIN)
- ・ フォールト検出制御レジスタ (PQMCTL)
- ・ フォールト検出しきい値設定レジスタ (IST)
- ・ フォールト制御レジスタ (ICHK)

(1) ピリオド/周波数測定結果レジスタ (PFVAL)

電圧チャンネル1のピリオド/周波数の測定結果を格納するレジスタです。

PFVALは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して読み出します。

リセット信号の発生により、0000Hになります。

図20 - 2 ピリオド/周波数測定結果レジスタ (PFVAL) のフォーマット

アドレス : 100H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
PFVALL	PFVAL7	PFVAL6	PFVAL5	PFVAL4	PFVAL3	PFVAL2	PFVAL1	PFVAL0

アドレス : 101H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
PFVALH	PFVAL15	PFVAL14	PFVAL13	PFVAL12	PFVAL11	PFVAL10	PFVAL9	PFVAL8

PFVAL15-0	電圧チャンネル1のピリオド/周波数測定結果の格納
0000H-FFFFH	ピリオド/周波数測定結果

備考 PQMCTLレジスタのFREQSELビットの設定により、ピリオドまたは周波数のどちらの測定結果を格納するかを指定できます。

- ・ FREQSEL = 0のとき、ピリオド測定結果を格納します。
- ・ FREQSEL = 1のとき、周波数測定結果を格納します。

(2) 電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2)

電圧チャンネル1, 2のゼロクロス・タイムアウト時間を設定するレジスタです。

ZXTOUT1, ZXTOUT2は、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、03FFHになります。

図20 - 3 電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2) のフォーマット

(a) ZXTOUT1

アドレス : 102H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ZXTOUT1L	ZXTOUT17	ZXTOUT16	ZXTOUT15	ZXTOUT14	ZXTOUT13	ZXTOUT12	ZXTOUT11	ZXTOUT10

アドレス : 103H リセット時 : 03H R/W

略号	7	6	5	4	3	2	1	0
ZXTOUT1H	0	0	0	0	0	0	ZXTOUT19	ZXTOUT18

(b) ZXTOUT2

アドレス : 104H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ZXTOUT2L	ZXTOUT27	ZXTOUT26	ZXTOUT25	ZXTOUT24	ZXTOUT23	ZXTOUT22	ZXTOUT21	ZXTOUT20

アドレス : 105H リセット時 : 03H R/W

略号	7	6	5	4	3	2	1	0
ZXTOUT2H	0	0	0	0	0	0	ZXTOUT29	ZXTOUT28

ZXTOUTn9-n0	電圧チャンネルnのゼロクロス・タイムアウト時間の設定 (n = 1, 2)
0000H-03FFH	ゼロクロス・タイムアウト時間

注意1. ZXTOUT1H, ZXTOUT2Hのビット2-7には、必ず0を設定してください。

2. CHMD (ADM2のビット5) = 0のとき、ZXTOUT2は書き込みできません。また、読み出し値はリセット値となります。

(3) 電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2)

電圧チャンネル1, 2のSAG検出のライン・サイクル数を設定するレジスタです。

ハーフ・ライン単位で設定できます。

SAGNUM1, SAGNUM2は, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, FFHになります。

図20 - 4 電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2) のフォーマット

(a) SAGNUM1

アドレス : 106H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
SAGNUM1	SAGNUM17	SAGNUM16	SAGNUM15	SAGNUM14	SAGNUM13	SAGNUM12	SAGNUM11	SAGNUM10

(b) SAGNUM2

アドレス : 10AH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
SAGNUM2	SAGNUM27	SAGNUM26	SAGNUM25	SAGNUM24	SAGNUM23	SAGNUM22	SAGNUM21	SAGNUM20

SAGNUMn7-n0	電圧チャンネルnのSAG検出ライン・サイクル数の設定 (n = 1, 2)
00H-FFH	SAG検出ライン・サイクル数

注意 CHMD (ADM2のビット5) = 0のとき, SAGNUM2は書き込みできません。また, 読み出し値はリセット値となります。

(4) 電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2)

電圧チャンネル1, 2のSAG検出電圧レベルを設定するレジスタです。

SAGVAL1, SAGVAL2は, 拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により, 000000Hになります。

図20 - 5 電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2) のフォーマット

(a) SAGVAL1

アドレス : 107H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL1L	SAGVAL17	SAGVAL16	SAGVAL15	SAGVAL14	SAGVAL13	SAGVAL12	SAGVAL11	SAGVAL10

アドレス : 108H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL1M	SAGVAL115	SAGVAL114	SAGVAL113	SAGVAL112	SAGVAL111	SAGVAL110	SAGVAL19	SAGVAL18

アドレス : 109H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL1H	0	0	SAGVAL121	SAGVAL120	SAGVAL119	SAGVAL118	SAGVAL117	SAGVAL116

(b) SAGVAL2

アドレス : 10BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL2L	SAGVAL27	SAGVAL26	SAGVAL25	SAGVAL24	SAGVAL23	SAGVAL22	SAGVAL21	SAGVAL20

アドレス : 10CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL2M	SAGVAL215	SAGVAL214	SAGVAL213	SAGVAL212	SAGVAL211	SAGVAL210	SAGVAL29	SAGVAL28

アドレス : 10DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SAGVAL2H	0	0	SAGVAL221	SAGVAL220	SAGVAL219	SAGVAL218	SAGVAL217	SAGVAL216

SAGVALn21-n0	電圧チャンネルnのSAG検出電圧レベルの設定 (n = 1, 2)
000000H-3FFFFFFH	SAG検出電圧レベル

注意1. SAGVAL1H, SAGVAL2Hのビット6, 7には, 必ず0を設定してください。

2. CHMD (ADM2のビット5) = 0のとき, SAGVAL2は書き込みできません。また, 読み出し値はリセット値となります。

(5) 電流ピーク・レベル設定レジスタ (IPKLMT)

電流チャンネル1のピーク検出電流レベルを設定するレジスタです。

IPKLMTは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、FFFFHになります。

図20 - 6 電流ピーク・レベル設定レジスタ (IPKLMT) のフォーマット

アドレス : 10EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IPKLMTL	IPKLMT7	IPKLMT6	IPKLMT5	IPKLMT4	IPKLMT3	IPKLMT2	IPKLMT1	IPKLMT0

アドレス : 10FH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
IPKLMTM	IPKLMT15	IPKLMT14	IPKLMT13	IPKLMT12	IPKLMT11	IPKLMT10	IPKLMT9	IPKLMT8

IPKLMT15-0	電流チャンネル1のピーク検出電流レベルの設定
0000H-FFFFH	ピーク検出電流レベル

(6) 電圧ピーク・レベル設定レジスタ (VPKLMT)

電圧チャンネル1のピーク検出電圧レベルを設定するレジスタです。

VPKLMTは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、FFFFHになります。

図20 - 7 電圧ピーク・レベル設定レジスタ (VPKLMT) のフォーマット

アドレス : 110H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
VPKLMTL	VPKLMT7	VPKLMT6	VPKLMT5	VPKLMT4	VPKLMT3	VPKLMT2	VPKLMT1	VPKLMT0

アドレス : 111H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
VPKLMTM	VPKLMT15	VPKLMT14	VPKLMT13	VPKLMT12	VPKLMT11	VPKLMT10	VPKLMT9	VPKLMT8

VPKLMT15-0	電圧チャンネル1のピーク検出電圧レベルの設定
0000H-FFFFH	ピーク検出電圧レベル

(7) 電流ピーク値レジスタ (IMAX)

電流チャンネル1の絶対値がピーク検出電流レベルを越えたとき、検出したピーク値（絶対値）を格納するレジスタです。読み出し後、レジスタ値はクリアされません。

IMAXは、拡張SFR（3rd SFR）空間に配置されています。

拡張SFR（3rd SFR）インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図20 - 8 電流ピーク値レジスタ (IMAX) のフォーマット

アドレス：112H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IMAXL	IMAX7	IMAX6	IMAX5	IMAX4	IMAX3	IMAX2	IMAX1	IMAX0

アドレス：113H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IMAXM	IMAX15	IMAX14	IMAX13	IMAX12	IMAX11	IMAX10	IMAX9	IMAX8

アドレス：114H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IMAXH	0	0	IMAX21	IMAX20	IMAX19	IMAX18	IMAX17	IMAX16

IMAX21-0	検出したピーク電流値（絶対値）の格納
000000H-3FFFFFFH	ピーク電流値（読み出し後クリアされません）

(8) 電流ピーク値クリア・レジスタ (RSTIMAX)

電流チャンネル1の絶対値がピーク検出電流レベルを越えたとき、検出したピーク値（絶対値）を格納するレジスタです。読み出し後、レジスタ値はクリアされます。

RSTIMAXは、拡張SFR（3rd SFR）空間に配置されています。

拡張SFR（3rd SFR）インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図20 - 9 電流ピーク値クリア・レジスタ (RSTIMAX) のフォーマット

アドレス：116H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTIMAXL	RSTIMAX7	RSTIMAX6	RSTIMAX5	RSTIMAX4	RSTIMAX3	RSTIMAX2	RSTIMAX1	RSTIMAX0

アドレス：117H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTIMAXM	RSTIMAX15	RSTIMAX14	RSTIMAX13	RSTIMAX12	RSTIMAX11	RSTIMAX10	RSTIMAX9	RSTIMAX8

アドレス：118H リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTIMAXH	0	0	RSTIMAX21	RSTIMAX20	RSTIMAX19	RSTIMAX18	RSTIMAX17	RSTIMAX16

RSTIMAX21-0	検出したピーク電流値（絶対値）の格納
000000H-3FFFFFFH	ピーク電流値（読み出し後クリアされます）

(9) 電圧ピーク値レジスタ (VMAX)

電圧チャンネル1の絶対値がピーク検出電圧レベルを越えたとき、検出したピーク値（絶対値）を格納するレジスタです。読み出し後、レジスタ値はクリアされません。

VMAXは、拡張SFR（3rd SFR）空間に配置されています。

拡張SFR（3rd SFR）インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図20 - 10 電圧ピーク値レジスタ (VMAX) のフォーマット

アドレス：119H リセット時：00H R

略号	7	6	5	4	3	2	1	0
VMAXL	VMAX7	VMAX6	VMAX5	VMAX4	VMAX3	VMAX2	VMAX1	VMAX0

アドレス：11AH リセット時：00H R

略号	7	6	5	4	3	2	1	0
VMAXM	VMAX15	VMAX14	VMAX13	VMAX12	VMAX11	VMAX10	VMAX9	VMAX8

アドレス：11BH リセット時：00H R

略号	7	6	5	4	3	2	1	0
VMAXH	0	0	VMAX21	VMAX20	VMAX19	VMAX18	VMAX17	VMAX16

VMAX21-0	検出したピーク電圧値（絶対値）の格納
000000H-3FFFFFFH	ピーク電圧値（読み出し後クリアされません）

(10) 電圧ピーク値クリア・レジスタ (RSTVMAX)

電圧チャンネル1の絶対値がピーク検出電圧レベルを越えたとき、検出したピーク値（絶対値）を格納するレジスタです。読み出し後、レジスタ値はクリアされます。

RSTVMAXは、拡張SFR（3rd SFR）空間に配置されています。

拡張SFR（3rd SFR）インタフェースを使用して読み出します。

リセット信号の発生により、000000Hになります。

図20 - 11 電圧ピーク値クリア・レジスタ (RSTVMAX) のフォーマット

アドレス：11DH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTVMAXL	RSTVMAX7	RSTVMAX6	RSTVMAX5	RSTVMAX4	RSTVMAX3	RSTVMAX2	RSTVMAX1	RSTVMAX0

アドレス：11EH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTVMAXM	RSTVMAX15	RSTVMAX14	RSTVMAX13	RSTVMAX12	RSTVMAX11	RSTVMAX10	RSTVMAX9	RSTVMAX8

アドレス：11FH リセット時：00H R

略号	7	6	5	4	3	2	1	0
RSTVMAXH	0	0	RSTVMAX21	RSTVMAX20	RSTVMAX19	RSTVMAX18	RSTVMAX17	RSTVMAX16

RSTVMAX21-0	検出したピーク電圧値（絶対値）の格納
000000H-3FFFFFFH	ピーク電圧値（読み出し後クリアされます）

(11) ゲイン設定レジスタ (IMATGAIN)

電流チャンネル2のゲイン値を設定するレジスタです。

IMATGAINは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、0000Hになります。

図20 - 12 ゲイン設定レジスタ (IMATGAIN) のフォーマット

アドレス : 120H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IMATGAINL	IMATGAIN7	IMATGAIN6	IMATGAIN5	IMATGAIN4	IMATGAIN3	IMATGAIN2	IMATGAIN1	IMATGAIN0

アドレス : 121H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IMATGAINH	0	0	0	0	IMATGAIN11	IMATGAIN10	IMATGAIN9	IMATGAIN8

IMATGAIN11-0	電流チャンネル2のゲイン値の設定
0000H-0FFFH	ゲイン値

- 注意1. IMATGAINHのビット4-7には、必ず0を設定してください。
2. CHMD (ADM2のビット5) = 1のとき、IMATGAINは書き込みできません。また、読み出し値はリセット値となります。

(12) フォールト検出制御レジスタ (PQMCTL)

電流チャネルの選択，フォールト割り込みの設定，ピリオド/周波数測定の切り替え，ゼロクロス検出の制御を行うレジスタです。

PQMCTLは，拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により，00Hになります。

図20 - 13 フォールト検出制御レジスタ (PQMCTL) のフォーマット

アドレス：122H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PQMCTL	ISELFLG	FAULTSIGN	SELICH1	SELICH0	ZX1EN	ZX2EN	FREQSEL	DISZXLPF0

ISELFLG	電力測定時のアクティブ電流チャネル
0	電流チャネル1
1	電流チャネル2

FAULTSIGN	フォールト検出割り込み (INTFAULTSIGN) の発生トリガの設定
0	通常モードからフォールト・モードへの切り替わり時
1	フォールト・モードから通常モードへの切り替わり時

SELICH1	SELICH0	電力測定に使用する電流チャネルの指定
0	0	フォールト状態により，電流チャネルを自動選択
0	1	電流チャネル1を選択 ^注
1	0	電流チャネル2を選択 ^注
1	1	フォールト状態により，電流チャネルを自動選択

注 3線方式 (CHMD = 1) の場合，設定禁止です。

ZX1EN	ゼロクロス出力1の制御
0	ゼロクロス1信号の出力禁止
1	ゼロクロス1信号の出力許可

ZX2EN	ゼロクロス出力2の制御
0	ゼロクロス2信号の出力禁止
1	ゼロクロス2信号の出力許可

FREQSEL	ピリオド/周波数測定の選択
0	PFVALレジスタにピリオド測定結果を格納
1	PFVALレジスタに周波数測定結果を格納

DISZXLPF0	ゼロクロス検出時のロウ・パス・フィルタの設定
0	ロウ・パス・フィルタ有効，ゼロクロス信号ZXはLPF0から出力
1	ロウ・パス・フィルタ無効，ゼロクロス信号ZXは24ビット 型A/Dコンバータから出力

(13) フォールト検出しきい値設定レジスタ (IST)

フォールト検出しきい値を設定するレジスタです。

ISTは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、8BHになります。

図20 - 14 フォールト検出しきい値設定レジスタ (IST) のフォーマット

アドレス : 123H リセット時 : 8BH R/W

略号	7	6	5	4	3	2	1	0
IST	IST7	IST6	IST5	IST4	IST3	IST2	IST1	IST0

IST7-0 (00H-FFH)	フォールト検出しきい値 (%fs) の設定
01H	0.00 %
8BH	0.30 % (デフォルト)
FFH	0.55 %

ISTの調整幅は、0.00216%fs/LSBです。

たとえば、しきい値にフルスケールの0.3%を設定する場合、ISTは次のように計算します。

$$\cdot \text{IST} = 0.3 / 0.00216 = 8\text{BH}$$

ICLKレジスタのICKENビットに1を設定した場合、電流信号がIST値より大きいときに、フォールト検出が可能になります。電流信号がISTで設定したしきい値に満たないときは、フォールト検出は自動的に不可になります。

(14) フォールト制御レジスタ (ICLK)

フォールト検出の制御，および検出条件を設定するレジスタです。

ICLKは，拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により，84Hになります。

図20 - 15 フォールト制御レジスタ (ICLK) のフォーマット

アドレス：124H リセット時：84H R/W

略号	7	6	5	4	3	2	1	0
ICLK	ICKEN	0	0	0	ICK3	ICK2	ICK1	ICK0

ICKEN ^注	電流フォールト・チェックの制御
0	電流フォールト・チェック禁止
1	電流フォールト・チェック許可

ICK3	ICK2	ICK1	ICK0	電流差しきい値
1	x	x	x	電流差しきい値 = 1/8
0	1	x	x	電流差しきい値 = 1/16 (デフォルト)
0	0	1	x	電流差しきい値 = 1/32
0	0	0	1	電流差しきい値 = 1/64
0	0	0	0	電流差しきい値 = 1/16

注意 ビット4-6には，必ず0を設定してください。

注 ICLKレジスタとISTレジスタの設定により，フォールト検出動作は次のようになります。

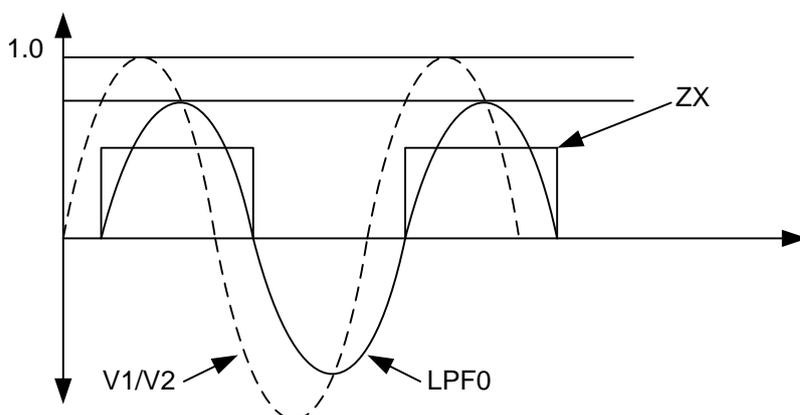
ICHIKEN	IST	ICK3-0	2電流チャネル の最大値	2電流チャネル間 の電流差	フォールト検出動作
0	x	xxxx	x	x	フォールト検出不可
1	IST	xxxx	> IST	x	フォールト検出不可
		1xxx		1/8	通常状態
				> 1/8	フォールト状態を検出
		01xx		1/16	通常状態
				> 1/16	フォールト状態を検出
		001x		1/32	通常状態
				> 1/32	フォールト状態を検出
		0001		1/64	通常状態
	> 1/64	フォールト状態を検出			
0000		1/16	通常状態		
		> 1/16	フォールト状態を検出		

20.4 電力品質測定回路の機能詳細

(1) ゼロクロス検出

電圧チャネルのゼロクロスを検出します。入力される電圧は、ロウ・パス・フィルタ (LPF0) によりフィルタリングを行ったあと、ゼロクロス検出を行っています。

図20 - 16 ゼロクロス検出のタイミング



ゼロクロス信号ZX_nは、バイパスされているかどうかにかかわらず、LPF0から出力されます。LPF0は単極で68 Hzとなっています。そのため、LPF0の入力と出力の間には約1.9 ms (@50 Hz) の位相遅れがあります。同様に、24ビット 型A/Dコンバータのソフト部 (デジタル・フィルタ) には、アナログ入力とA/Dコンバータ出力間に約1.1 ms (@50 Hz) の位相遅れがあります。LPF0とA/Dコンバータの位相遅れにより、電圧チャネルのアナログ入力とゼロクロス信号ZX_n出力間には、約1.1 ms (LPF0バイパス時) または3.02 ms (LPF0使用時) の遅延時間があります。

表20 - 3 ゼロクロス検出の遅延時間

	条件 (@50Hz)	
	LPF0バイパス時	LPF0使用時
電圧チャネルのアナログ入力と ゼロクロス信号ZX _n 出力間の遅延	1.1 ms	3.02 ms

備考 n = 1, 2

(2) ゼロクロス・タイムアウト

ゼロクロス・タイムアウト機能は、一定期間ゼロクロスが検出されなかった際に割り込みが発生する機能です。V1チャンネル、V2チャンネルごとにゼロクロス・タイムアウト機能が使用できます。

ゼロクロス検出回路でゼロクロスが検出されたとき、ZXOUTnレジスタの値は内部カウンタに読み込まれます。サンプリング・クロック (f_s) ごとにカウンタ値をデクリメントします。もし、次のゼロクロスが検出される前にカウンタ値が0となった場合は、ゼロクロス・タイムアウト割り込み (INTZXTO_n) が発生します。なお、ZXOUTnレジスタのデフォルト値は3FFHであり、最大0.23 sまでカウントすることが可能です。

図20 - 17 ゼロクロス・タイムアウト割り込み (INTZXTO_n) のタイミング

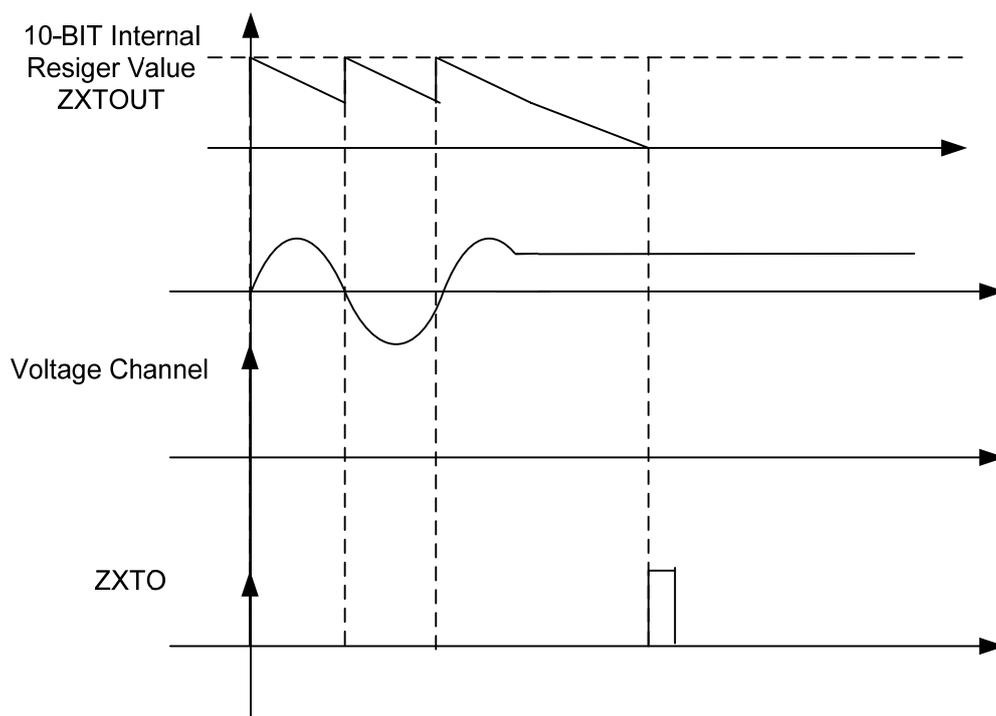
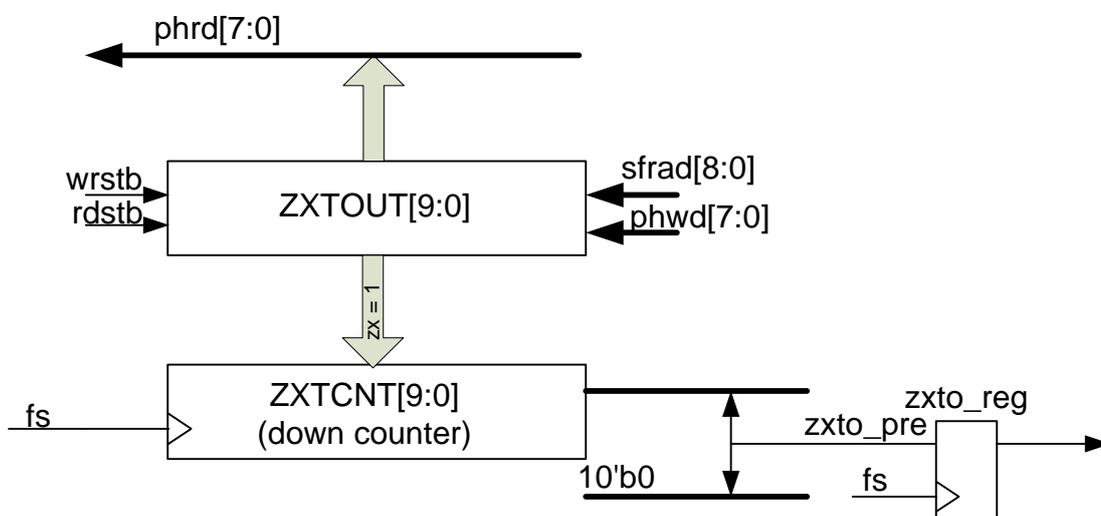


図20 - 18 ZXOUTnレジスタの内部カウンタ



備考 n = 1, 2

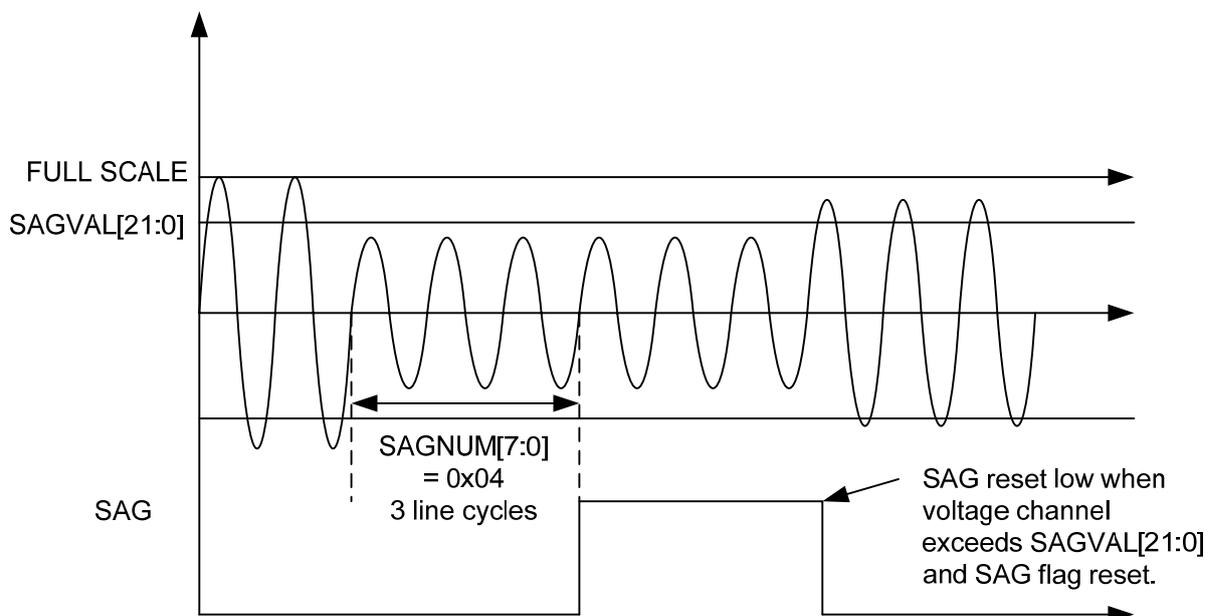
(3) SAG検出機能

入力電圧のSAGを検出する機能です。V1, V2入力の電圧に対して、それぞれ検出することが可能です。

入力電圧（23ビット）の絶対値が、SAGVALnレジスタで指定する電圧値以下の状態で、SAGNUMnレジスタで指定する期間継続した場合、SAG割り込み信号（INTSAGn）を生成します。

SAGNUMnレジスタは8ビット構成で、最大255ライン周波数まで指定することが可能です。また、SAGVALnレジスタは22ビットで構成されます。

図20 - 19 SAG検出のタイミング



備考 n = 1, 2

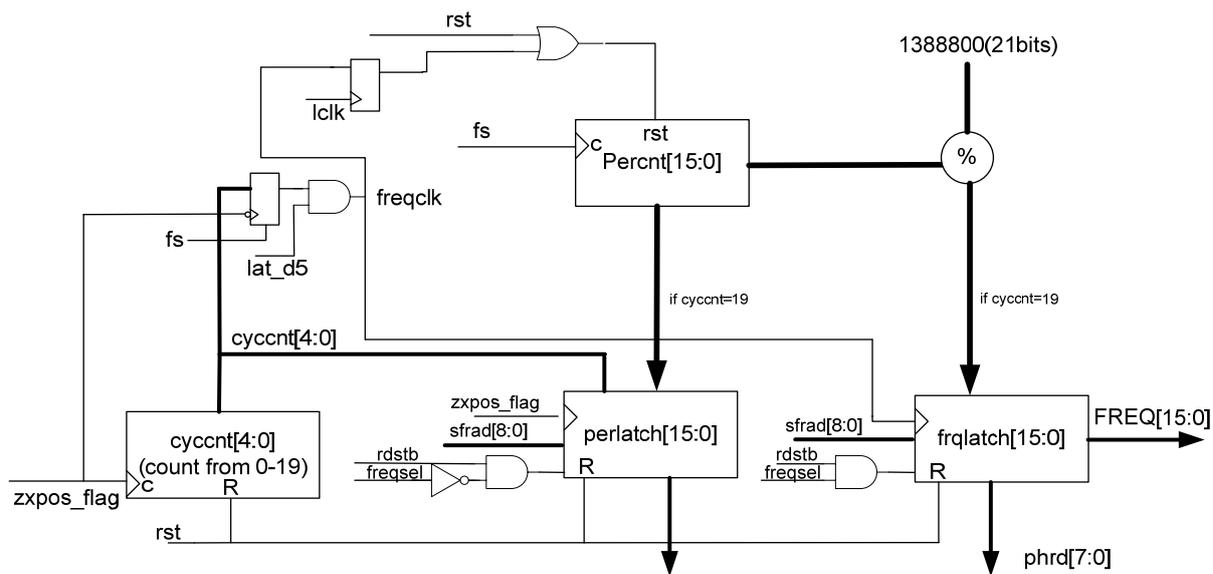
(4) ピリオド/周波数計測

電圧チャネル (V1) のライン周期/周波数を測定することができます。ライン周期/周波数のどちらを測定するかは、PQMCTLレジスタで指定します。この測定は20ライン・サイクル単位で行います。

周期測定では、20ライン・サイクル間でfs(4.34 kHz)クロックでカウントします。このため、11.5 μ s/LSB (0.07%精度) となります。ライン周波数が60 Hzのとき、カウンタ値は1447です。

周波数計測では、20ライン・サイクル間のカウンタ値から計算を行います。ライン周波数が60 Hzのとき、0.0625 Hz/LSB精度であり、演算結果は960になります。

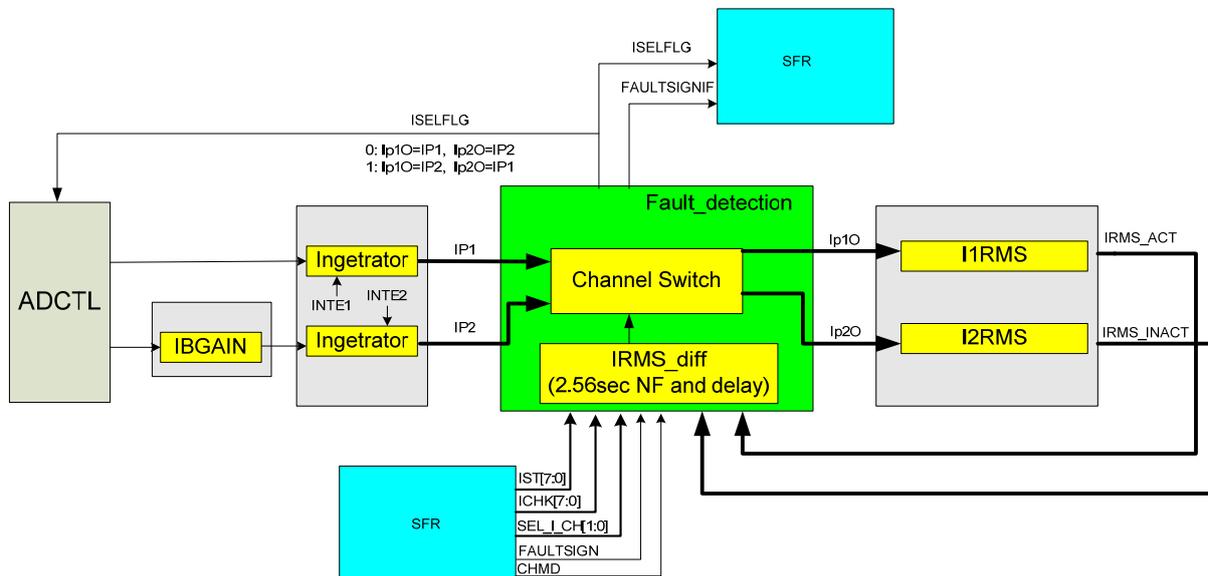
図20 - 20 ピリオド/周波数計測回路



(5) フォールト検出

フォールト検出機能は、単相2線方式のみで使用可能です。I1をライン側，I2をニュートラル側に接続することで，2ラインを用いて，電流検出を行います。この回路は電力演算回路の前段に配置されています。

図20 - 21 フォールト検出回路

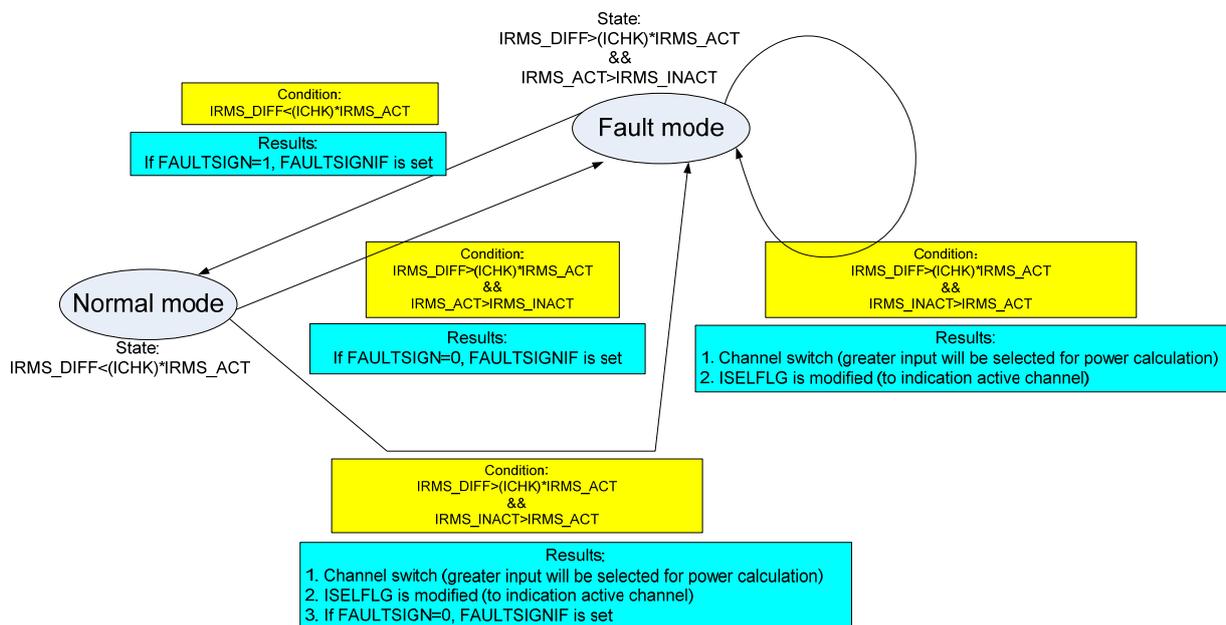


フォールトは，Ip1, Ip2間の電流差が，アクティブ・チャンネルの指定倍（1/8, 1/16, 1/32, 1/64）より大きいときに検出されます。フォールト条件が検出され，かつインクティブ・チャンネルの電流値がアクティブ・チャンネルより大きい場合，チャンネル切り替えが発生し，電流の大きい方のチャンネルがアクティブ・チャンネルに自動的に切り替わります。アクティブ・チャンネルは，PQMCTLレジスタのISELFLGビットでわかります。このビットが0のときIp1チャンネルが，1のときIp2チャンネルがアクティブ・チャンネルとして選択されています。このビットは，チャンネル切り替えが発生した際，自動的に更新されます。

なお，アクティブ・チャンネルはPQMCTLレジスタのSELICH1, SELICH0ビット（2ビット構成）で指定することも可能です。もし，両ビットともに0または1が設定されている場合は，フォールト検出に従います。

通常モードとフォールト・モードの遷移は、次の図のようになります。

図20 - 22 通常モードとフォールト・モードの遷移



- 備考**
- IRMS_ACT : 電力測定に使用する電流チャンネルのRMS
 - IRMS_INACT : 電力測定に使用しない電流チャンネルのRMS
 - IRMS_DIFF : $ABS (IRMS_ACT - IRMS_INACT)$
 - IST : フォールト検出しきい値
 - ICLK : 電流差しきい値
 - FAULTSIGN : フォールト割り込みの発生トリガ設定ビット
 - FAULTSIGNIF : フォールト・モード変更割り込みフラグ

なお、フォールト検出はISTレジスタで指定した値より小さいとき、自動的にディスエーブルになります。これは、電流量が小さい場合の誤検出を避けるためです。

Ip1, Ip2の電流信号間の差を検出しているため、あらかじめ両チャンネルの電流値を合わせておく必要があります。この補正のため、IMATGAINレジスタに補正値を設定する必要があります。詳細は(7)電流チャンネル・ゲイン補正を参照してください。

フォールト・イベントが発生している間も、誤った電力測定を避けるため、電流入力を常時監視しています。

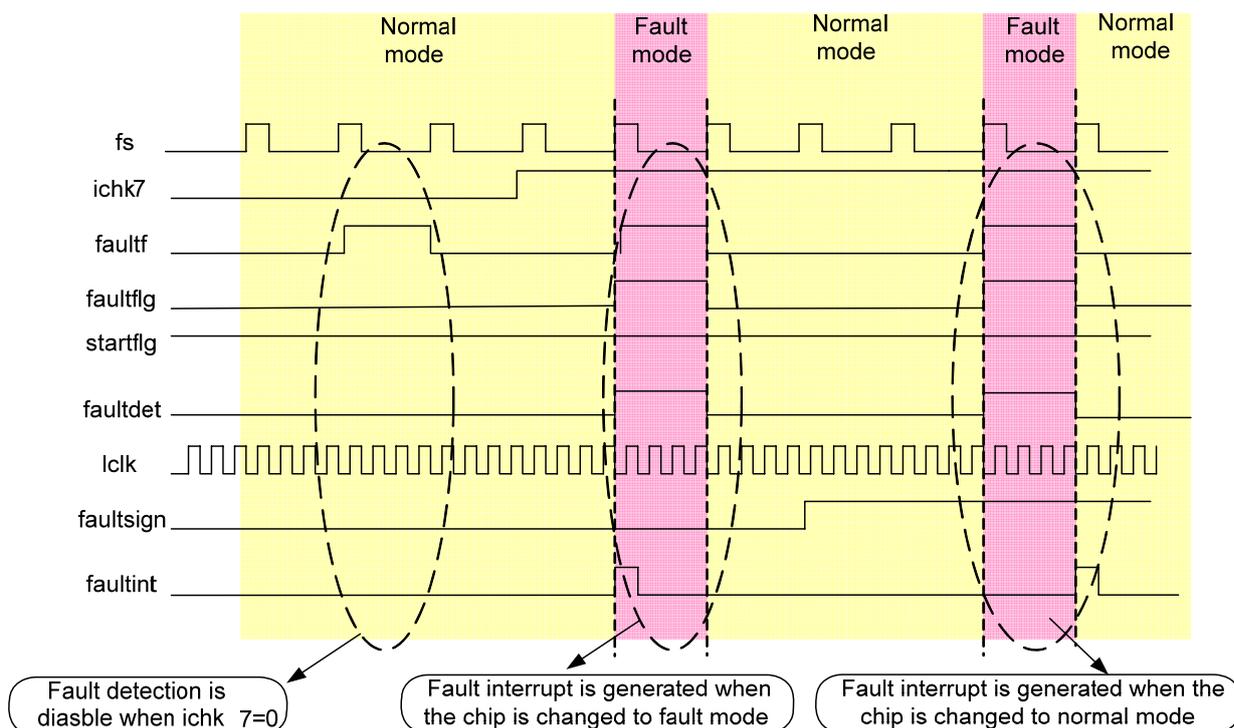
リセット時は、Ip1がデフォルトでアクティブ・チャンネルとなり、有効電力、無効電力、皮相電力の計算に使われています。

- 備考1.** フォールト検出精度を保証するために、フォールト検出電流差制限が、1/64または1/32に設定された場合（ICLKレジスタのビット3-0で設定）、ZXRMS（NLCTLレジスタのビット6）を1にセットすることを推奨します。
2. 単相3線方式（CHMD = 1）では、フォールト検出機能は無効になります。

PQMCTLレジスタのFAULTSIGNビットに0を設定すると、フォールト条件が検出（通常状態からフォールト状態に遷移）されたときに割り込みが発生します。1を設定すると、フォールト条件から復帰（フォールト状態から通常状態へ遷移）したときに割り込みが発生します。

フォールト割り込みとチャンネル切り替え信号は、誤検出を避けるためフィルタを通しています。このため、フォールト・イベント発生から3秒程度の遅延が生じます。

図20 - 23 フォールト割り込みのタイミング



(6) ピーク検出

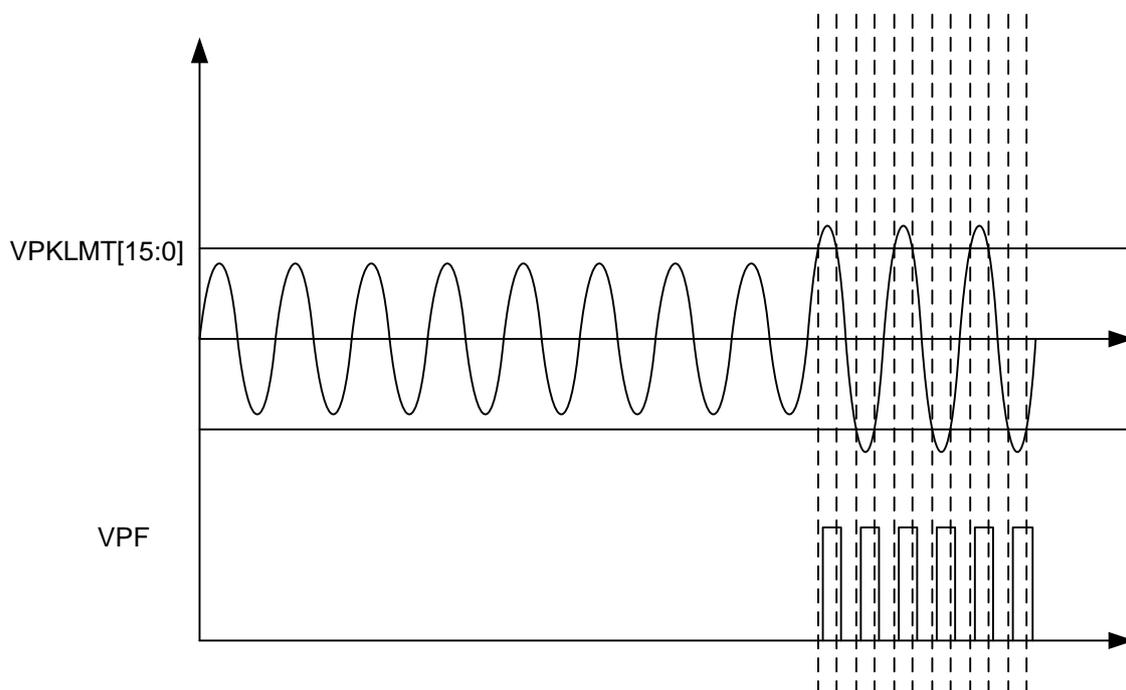
電圧チャンネルの上位16ビットの絶対値が、電圧ピーク値(VPKLMTレジスタの値)を越えたとき、INTPKV1割り込みが発生します。

電流チャンネルの上位16ビットの絶対値が、電圧ピーク値(IPKLMTレジスタの値)を越えたとき、INTPKI1割り込みが発生します。

電圧チャンネルの最大絶対値は内部VMAXレジスタに保存され、拡張SFR (3rd SFR) 空間のVMAXレジスタから値を読み出すことができます。RSTVMAXレジスタを用いて読み出した場合は、最大値の読み出し後にレジスタ値は0にクリアされます。

電流チャンネルの最大絶対値は内部IMAXレジスタに保存され、拡張SFR (3rd SFR) 空間のIMAXレジスタから値を読み出すことができます。RSTIMAXレジスタを用いて読み出した場合は、最大値の読み出し後にレジスタ値は0にクリアされます。

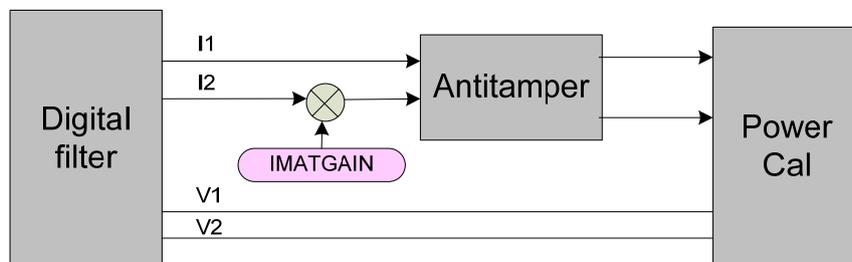
図20 - 24 ピーク検出のタイミング



(7) 電流チャンネル・ゲイン補正

フォールト検出では、電流I1および電流I2の差を比較します。このため、電流I1、電流I2の電流量は、あらかじめ同じとなるように調整しておく必要があります。電流ゲイン補正回路では、入力電流値I2にゲインを加えることで補正を行います。

図20 - 25 電流ゲイン補正回路



$$output_IMATGAIN = input_IMATGAIN \times \left(1 + \frac{IMATGAIN}{2^{12}}\right)$$

IMATGAINは、符号付き整数の12ビット・レジスタです。このレジスタのゲイン分解能は、0.0244%LSB ($2^{-12} = 0.0244\%$) となります。

20.5 電力品質測定回路の注意事項

電力品質測定回路のレジスタは、拡張SFR（3rd SFR）空間に配置されており、2バイト以上で構成されるレジスタが存在しています。2バイト以上のレジスタに対するリード動作を行う場合には、必ずレジスタ全体を読み出す必要があります。下位バイトから読み出してください。同様に、2バイト以上のレジスタに対するライト動作を行う場合には、必ずレジスタ全体への書き込みが必要であり、下位バイトから書き込みを行ってください。これ以外の手順の場合には、正しくリード/ライトできません。

対象となる2バイト・レジスタは次のとおりです。

表20 - 4 2バイト・レジスタ一覧

レジスタ名	R/W	リード・バッファ	ライト・バッファ
ピリオド/周波数測定結果レジスタ (PFVAL)	R	Y	-
電圧チャンネル1 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1)	R/W	-	Y
電圧チャンネル2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT2)	R/W	-	Y
電圧チャンネル1 SAGレベル設定レジスタ (SAGVAL1)	R/W	-	Y
電圧チャンネル2 SAGレベル設定レジスタ (SAGVAL2)	R/W	-	Y
電流ピーク・レベル設定レジスタ (IPKLMT)	R/W	-	Y
電圧ピーク・レベル設定レジスタ (VPKLMT)	R/W	-	Y
電流ピーク値レジスタ (IMAX)	R	Y	-
電流ピーク値クリア・レジスタ (RSTIMAX)	R	Y	-
電圧ピーク値レジスタ (VMAX)	R	Y	-
電圧ピーク値クリア・レジスタ (RSTVMAX)	R	Y	-
ゲイン設定レジスタ (IMATGAIN)	R/W	-	Y

第21章 デジタル周波数変換回路

21.1 デジタル周波数変換回路の機能

デジタル周波数変換回路は、測定された有効電力、無効電力、皮相電力/平均電流（RMS値）を積算し、パルスとして出力する回路です。2種類の出力パルス波形があり、周波数はCFMULレジスタを操作することによりプログラマブルに設定できます。

(1) モード1

0～135 Hzまでの周波数を出力可能です。

パルスのデューティ比が50:50となる波形を出力します。

ただし、周期が180 msを越える場合は、ハイ・レベル幅は90 msに固定されます。

図21 - 1 出力パルス波形（モード1）



(2) モード2

0～1085 Hzの周波数を出力可能です。

出力パルスのハイ・レベル幅を固定した波形を出力します。ハイ・レベル幅は、PULCTLレジスタの設定により、30, 60, 90, 180 μ sを指定できます。

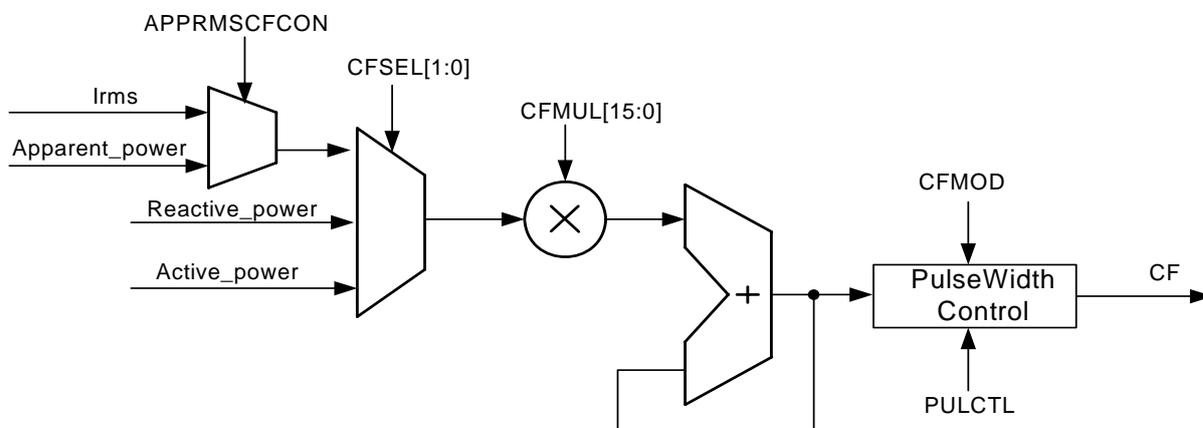
このモードは、主に日本で使用されているモードです。

図21 - 2 出力パルス波形（モード2）



21.2 デジタル周波数変換回路の構成

図21 - 3 デジタル周波数変換回路のブロック図



21.3 デジタル周波数変換を制御するレジスタ

デジタル周波数変換は、次の3種類のレジスタで制御します。

これらのレジスタは、すべて拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) 空間へのアクセス方法は、第14章 拡張SFR (3rd SFR) インタフェースを参照してください。

- ・周波数変換制御レジスタ (CFCTL)
- ・周波数スケール設定レジスタ (CFMULL, CFMULH)
- ・パルス幅設定レジスタ (PULCTL)

(1) 周波数変換制御レジスタ (CFCTL)

CFパルス出力の制御、および出力モードの選択を行うレジスタです。

CFCTLは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、02Hになります。

図21 - 4 周波数変換制御レジスタ (CFCTL) のフォーマット

アドレス : 150H リセット時 : 02H R/W

略号	7	6	5	4	3	2	1	0
CFCTL	0	0	0	0	CFSEL1	CFSEL0	DISCF	CFMOD

CFSEL1	CFSEL0	CFパルス出力の選択 (有効電力, 無効電力, 皮相電力 / 平均電流の選択)
0	0	有効電力をCFパルス出力
0	1	無効電力をCFパルス出力
1	x	皮相電力 / 平均電流をCFパルス出力

DISCF	CF出力の許可 / 禁止
0	CF出力許可 (CF端子からパルスを出力する)
1	CF出力禁止 (CF端子からパルスを出力しない)

CFMOD	CF出力モードの選択
0	モード1波形 (デューティ比50%) を出力 ^注
1	モード2波形 (ハイ・レベル幅固定) を出力

注 出力周期が180 msを越える場合は、ハイ・レベル幅は90 msに固定されます。

注意 節電モードを設定する前に、デジタル周波数変換回路のソースが対応するチャンネルから供給されないように、デジタル周波数変換回路のソースを確認または変更する必要があります。例えば、ACTDISをセットする前に、[CFSEL1, CFSEL0] に“00”を設定することは禁止されています (“00” のとき、デジタル周波数変換回路のソースには有効電力が選択されています)。

(2) 周波数スケーリング設定レジスタ (CFMUL)

周波数のスケーリング値を設定するレジスタです。

CFMULは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、FFHになります。

図21 - 5 周波数スケーリング設定レジスタ (CFMUL) のフォーマット

アドレス : 151H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
CFMULL	CFMUL7	CFMUL6	CFMUL5	CFMUL4	CFMUL3	CFMUL2	CFMUL1	CFMUL0

アドレス : 152H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
CFMULH	CFMUL15	CFMUL14	CFMUL13	CFMUL12	CFMUL11	CFMUL10	CFMUL9	CFMUL8

CFMUL15-0	CF出力パルス幅の設定
0000H-FFFFH	CF出力パルスのスケーリング値を設定

- 注意1. CFMULレジスタの設定値を変更する場合は、必ずDISCF = 1の状態で行ってください。
2. CFMULレジスタに0000Hを設定することは禁止です。0000Hを設定した場合は、FFFFHとして処理します。

(3) パルス幅設定レジスタ (PULCTL)

モード2動作時のパルスのハイ・レベル幅を設定するレジスタです。

PULCTLは、拡張SFR (3rd SFR) 空間に配置されています。

拡張SFR (3rd SFR) インタフェースを使用して設定します。

リセット信号の発生により、00Hになります。

図21 - 6 パルス幅設定レジスタ (PULCTL) のフォーマット

アドレス : 153H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PULCTL	0	0	0	0	0	0	PULCTL1	PULCTL0

PULCTL1	PULCTL0	パルスのハイ・レベル幅の設定 (モード2動作時)
0	0	30 μ s
0	1	90 μ s
1	0	60 μ s
1	1	180 μ s

注意 PULCTLレジスタの設定値を変更する場合は、必ずDISCF = 1の状態で行ってください。

21.4 デジタル周波数変換の動作

デジタル周波数変換回路は、測定された電力値をパルス波形に変換する回路です。電力演算ユニットで計算された電力値を累積加算していき、しきい値を越えたときにパルスを出力します。

図21 - 7 パルス出力（モード1）

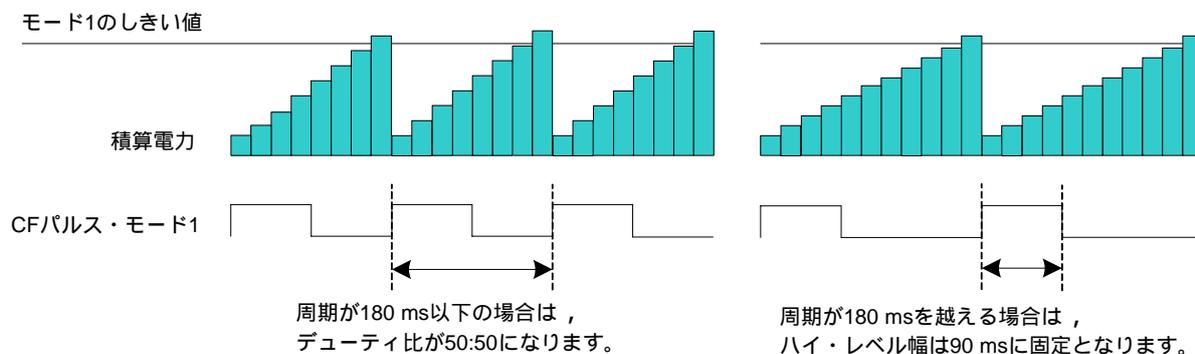
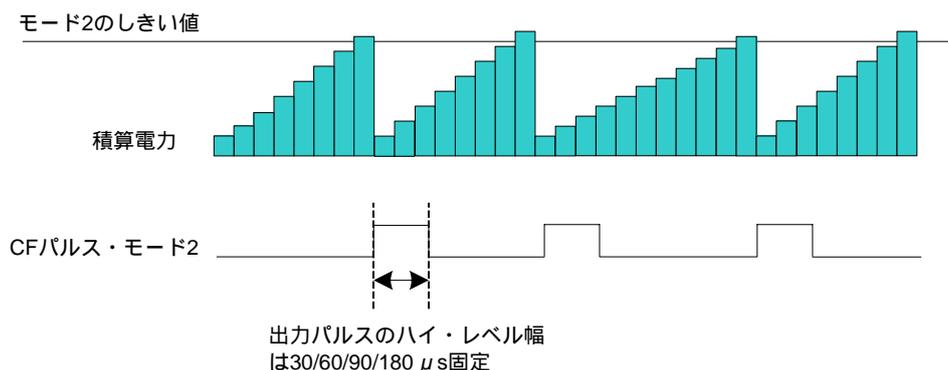


図21 - 8 パルス出力（モード2）



注意1. モード1では、周期が180 msを越える場合、ハイ・レベル幅は90 msに固定されます。

2. 同じ入力電圧の場合は、モード2のCFパルス周波数はモード1の8倍となります。

1サンプルごとの電力値は、スケーリングされ、累積加算器に入力されます。累積加算器で固定しきい値を越えたときにオーバーフロー・フラグが発生し、オーバーフローが発生するごとにCF端子に1パルスを出力します。累積加算器のしきい値は固定であり、入力電力値をCFMULレジスタで指定された値にスケーリングすることで、オーバーフローの発生タイミングを調整します。スケーリングは $1/(2^{16})$ から $(2^{16}-1)/(2^{16})$ の範囲で、 $1/(2^{16})$ 単位で指定できます。

CFMULレジスタに1を設定した場合は、入力電力値は $1/(2^{16})$ にスケーリングされます。CFMULレジスタにFFFFHを設定した場合は、入力電力値は $(2^{16}-1)/(2^{16})$ にスケーリングされます。

(1) 入力データの選択方法

デジタル周波数変換回路への入力は、電力演算回路の有効電力、無効電力、皮相電力 / 平均電流から選択できます。

どの測定結果をパルス出力するかは、CFCTLレジスタのCFSEL0, CFSEL1ビットで選択します。これらのビットを変更する場合は、必ずデジタル周波数変換回路が停止状態 (DISCF = 1) で行ってください。

(2) CFMULレジスタの設定値

フルスケール入力によるCF出力の最大値は、135.623Hz (モード1) / 1084.984Hz (モード2) です。

定格時にN HzのCF周波数を得るためには、CF周波数とCFMULレジスタの設定値は、以下の関係になります。

(a) モード1

$$CFMUL = 2^{16} \times N / (135.623 \times PowerRate)$$

(b) モード2

$$CFMUL = 2^{16} \times N / (1084.984 \times PowerRate)$$

N : 定格入力時のCF出力周波数

PowerRate : フルスケール電力と定格電力の比率

$$PowerRate = \frac{PowerGivenLoad}{PowerFullScale}$$

備考 PowerRateを計算する際は、フルスケール入力時と定格入力時のオフセット、ゲイン、スケールリング設定を同じ条件にしてください。

次のレジスタで設定できます。

- ・ オフセット設定レジスタ : ACTnOS, REAnOS, InRMSOS, VnRMSOS (n = 1, 2)
- ・ ゲイン設定レジスタ : ACTnGAIN, REAnGAIN, APPnGAIN, IRMSnGAIN (n = 1, 2)
- ・ スケールリング設定レジスタ : ACTDIV, READIV, APPDIV

(3) CF出力パルス

CF端子から2種類のパルスを出力することが可能です。パルスの選択は、CFCTLレジスタで設定します。

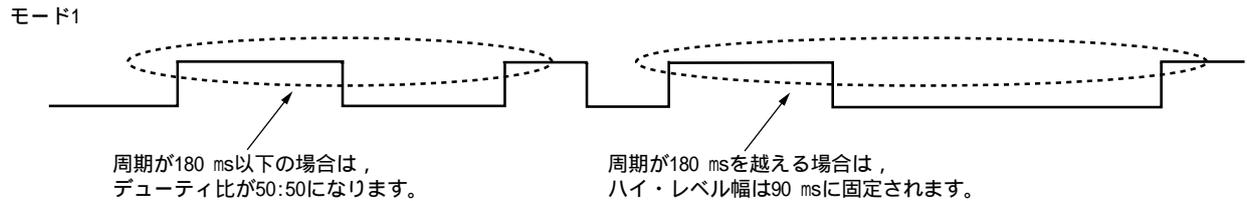
(a) モード1

0 ~ 135 Hzまでの周波数を出力可能です。

パルスのデューティ比が50:50となる波形を出力します。

ただし、周期が180 msを越える場合は、ハイ・レベル幅は90 msに固定されます。

図21-9 波形出力



(b) モード2

0 ~ 1085 Hzの周波数を出力可能です。

出力パルスのハイ・レベル幅を固定した波形を出力します。ハイ・レベル幅は、PULCTLレジスタの設定により、30, 60, 90, 180 μ sを指定できます。

このモードは、主に日本で使用されているモードです。

第22章 スタンバイ機能

22.1 スタンバイ機能と構成

22.1.1 スタンバイ機能

スタンバイ機能は、78K0R/Lx3-Mマイクロコントローラ的全製品に搭載されています。

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、20 MHz高速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1** . STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 2 . STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
 - 3 . 10ビット逐次比較型A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。また、24ビット 型A/Dコンバータ部の動作電流を低減させるためには、24ビット 型A/Dコンバータ・モード・レジスタ (ADM2) のビット7 (ADPON) とビット6 (ADCE2) を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
 - 4 . 低速内蔵発振回路をHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第27章 オプション・バイトを参照してください。
 - 5 . 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

22. 1. 2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作 / 停止, 切り替えを制御するレジスタについては, **第5章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDT, 不正命令の実行によるリセット), STOP命令, MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

図22 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^8/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

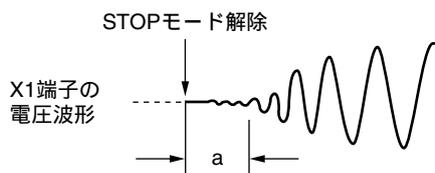
注意1. 上記時間経過後、MOST8から順番に“1”となっていく、そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・ 期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図22 - 2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	$2^8/f_x$	25.6 μs	設定禁止
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

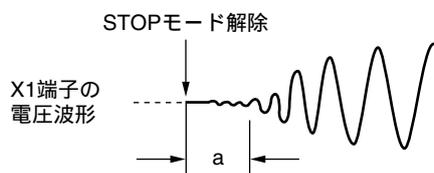
注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSを設定しておいてください。

- 2 . 発振安定時間が20 μs 以下は設定禁止です。
- 3 . OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。
- 4 . X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 5 . 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないで注意してください。

- 6 . X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

22.2 スタンバイ機能の動作

22.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、20 MHz高速内蔵発振クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表22 - 1 HALTモード時の動作状態 (1/3)

項 目	HALTモード の設定	メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f_{IH}) または20 MHz高速内蔵発振ク ロック (f_{IH20}) でCPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロッ ク (f_{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f_{IH}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f_x	HALTモード設定前の状態を継続	動作継続 (停止不可)	動作不可
	f_{EX}		動作不可	動作継続 (停止不可)
サブシステ ム・クロック	f_{XT}	HALTモード設定前の状態を継続		
	f_{EXS}			
f_{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) にて設定 ・WDTON = 0 : 停止 ・WDTON = 1かつWDSTBYON = 1のとき : 発振 ・WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		POC検出電圧以上では, HALTモード設定前の状態を保持。		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット (TAU)		動作可能		
リアルタイム・カウンタ (RTC)				
リアルタイム・カウンタ2 (RTC2)				
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) にて設定 ・WDTON = 0 : 停止 ・WDTON = 1かつWDSTBYON = 1のとき : 動作 ・WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力		動作可能		
10ビット逐次比較型A/Dコンバータ				
24ビット 型A/Dコンバータ				
シリアル・アレイ・ユニット (SAU)				
シリアル・インタフェース (IICA)				
LCDコントローラ/ドライバ				
乗除算器				
DMAコントローラ				
パワーオン・クリア機能				
低電圧検出機能				
外部割り込み				
拡張SFR (3rd SFR) インタフェース				
電力演算回路				
電力品質測定回路				
デジタル周波数変換回路				

備考 f_{IH} : 高速内蔵発振クロック, f_{IH20} : 20 MHz高速内蔵発振クロック
 f_x : X1発振クロック, f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1発振クロック, f_{EXS} : 外部サブシステム・クロック
 f_{IL} : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.4 **ブロック図**, 1.5 **機能概要**を参照してください。

表22 - 1 HALTモード時の動作状態 (2/3)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時
項目		外部サブシステム・クロック (f _{EXS}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _{IH}	HALTモード設定前の状態を継続
	f _X	
	f _{EX}	外部クロックの入力により動作または停止
サブシステム・クロック	f _{XT}	HALTモード設定前の状態を継続
	f _{EXS}	動作継続 (停止不可)
f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU		動作停止
フラッシュ・メモリ		動作停止 (低消費電力モードで待機状態)
RAM		POC検出電圧以上では, HALTモード設定前の状態を保持。
ポート (ラッチ)		HALTモード設定前の状態を保持
タイマ・アレイ・ユニット (TAU)		動作可能
リアルタイム・カウンタ (RTC)		
リアルタイム・カウンタ2 (RTC2)		
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止
クロック出力		動作可能
10ビット逐次比較型A/Dコンバータ		動作不可
24ビット 型A/Dコンバータ		動作可能
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		動作不可
LCDコントローラ/ドライバ		動作可能
乗除算器		
DMAコントローラ		
パワーオン・クリア機能		
低電圧検出機能		
外部割り込み		
拡張SFR (3rd SFR) インタフェース		
電力演算回路		
電力品質測定回路		
デジタル周波数変換回路		

備考 f_{IH} : 高速内蔵発振クロック, f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック, f_{XT} : XT1発振クロック
 f_{EXS} : 外部サブシステム・クロック, f_{IL} : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.4 **ブロック図**, 1.5 **機能概要**を参照してください。

表22 - 1 HALTモード時の動作状態 (3/3)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
項目		外部サブシステム・クロック (f _{EXS}) でCPU動作時 (サブシステム・クロックHALTモード時 (RTCLPC = 1))	
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _{IH}	HALTモード設定前の状態を継続	
	f _X		
	f _{EX}	外部クロックの入力により動作または停止	
サブシステム・クロック	f _{XT}	HALTモード設定前の状態を継続	
	f _{EXS}	動作継続 (停止不可)	
f _{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止	
フラッシュ・メモリ		動作停止 (低消費電力モードで待機状態)	
RAM		POC検出電圧以上では, HALTモード設定前の状態を保持。	
ポート (ラッチ)		HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット (TAU)		動作不可	
リアルタイム・カウンタ (RTC)		動作可能	
リアルタイム・カウンタ2 (RTC2)			
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON), ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止	
クロック出力		動作可能	
10ビット逐次比較型A/Dコンバータ		動作不可	
24ビット 型A/Dコンバータ		動作可能	
シリアル・アレイ・ユニット (SAU)		動作不可	
シリアル・インタフェース (IICA)			
LCDコントローラ/ドライバ		動作可能	
乗除算器		動作停止	
DMAコントローラ			
パワーオン・クリア機能		動作可能	
低電圧検出機能			
外部割り込み			
拡張SFR (3rd SFR) インタフェース		動作不可	
電力演算回路		動作可能	
電力品質測定回路			
デジタル周波数変換回路			

備考 f_{IH} : 高速内蔵発振クロック, f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック, f_{XT} : XT1発振クロック
 f_{EXS} : 外部サブシステム・クロック, f_{IL} : 低速内蔵発振クロック

2. RTCLPC: 動作スピード・モード制御レジスタ (OSMC) のビット7

3. 製品により, 搭載している機能が異なります。1.4 **ブロック図**, 1.5 **機能概要**を参照してください。

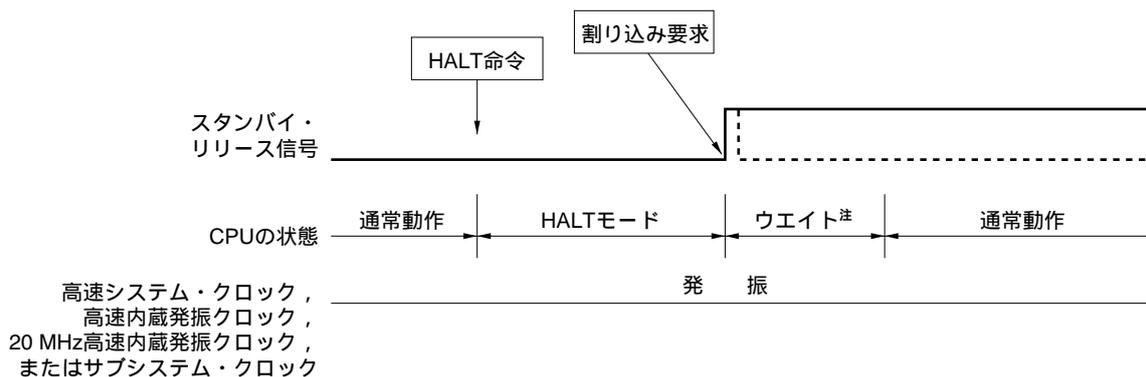
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図22 - 3 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時：10～12クロック
 - サブシステム・クロック時：8～10クロック
- ・ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時：5～6クロック
 - サブシステム・クロック時：3～4クロック

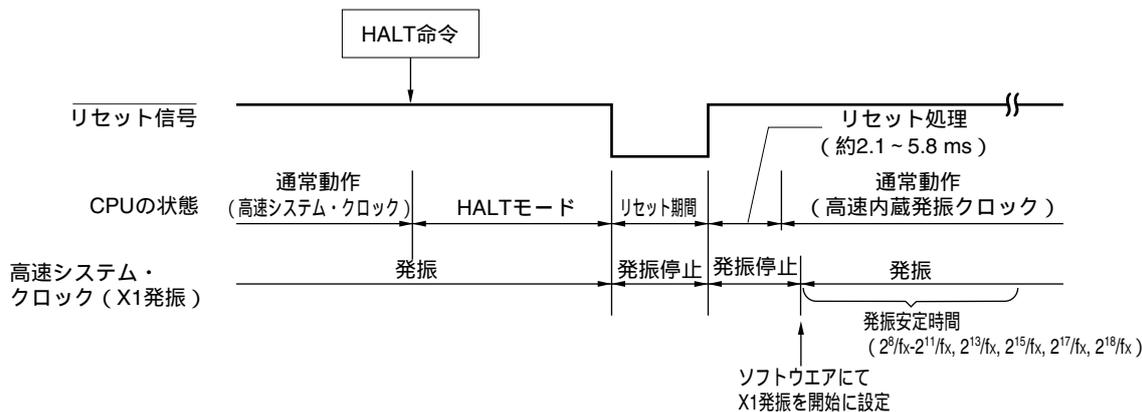
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

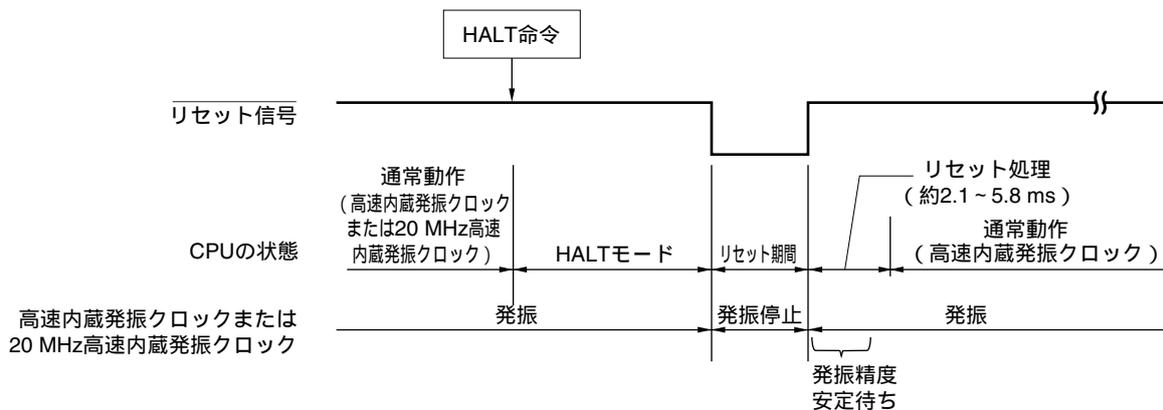
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図22 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



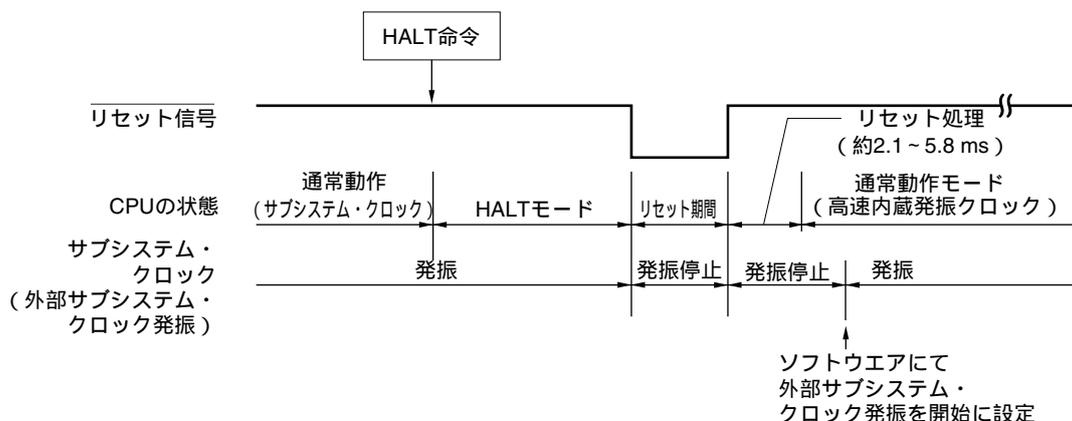
(2) CPUクロックが高速内蔵発振クロックまたは20 MHz高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図22 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合



22. 2. 2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意1. 割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されます。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

2. 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

次にSTOPモード時の動作状態を示します。

表22 - 2 STOPモード時の動作状態

項 目	STOPモード の設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f_{IH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロッ ク (f_{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f_{IH}	停止		
	f_x			
	f_{EX}			
サブシステ ム・クロック	f_{XT}	STOPモード設定前の状態を継続		
	f_{EXS}			
f_{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
フラッシュ・メモリ				
RAM		POC検出電圧以上では, STOPモード設定前の状態を保持。		
ポート (ラッチ)		STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット (TAU)		動作不可		
リアルタイム・カウンタ (RTC)		動作可能		
リアルタイム・カウンタ2 (RTC2)				
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
10ビット逐次比較型A/Dコンバータ		動作停止		
24ビット 型A/Dコンバータ				
シリアル・アレイ・ユニット (SAU)		動作不可		
シリアル・インタフェース (IICA)		アドレス一致によるウエイク・アップ動作可能		
LCDコントローラ/ドライバ		LCDソース・クロックにサブシステム・クロック選択時のみ動作可能		
乗除算器		動作不可		
DMAコントローラ				
パワーオン・クリア機能		動作可能		
低電圧検出機能				
外部割り込み				
拡張SFR (3rd SFR) インタフェース		動作不可		
電力演算回路				
電力品質測定回路				
デジタル周波数変換回路				

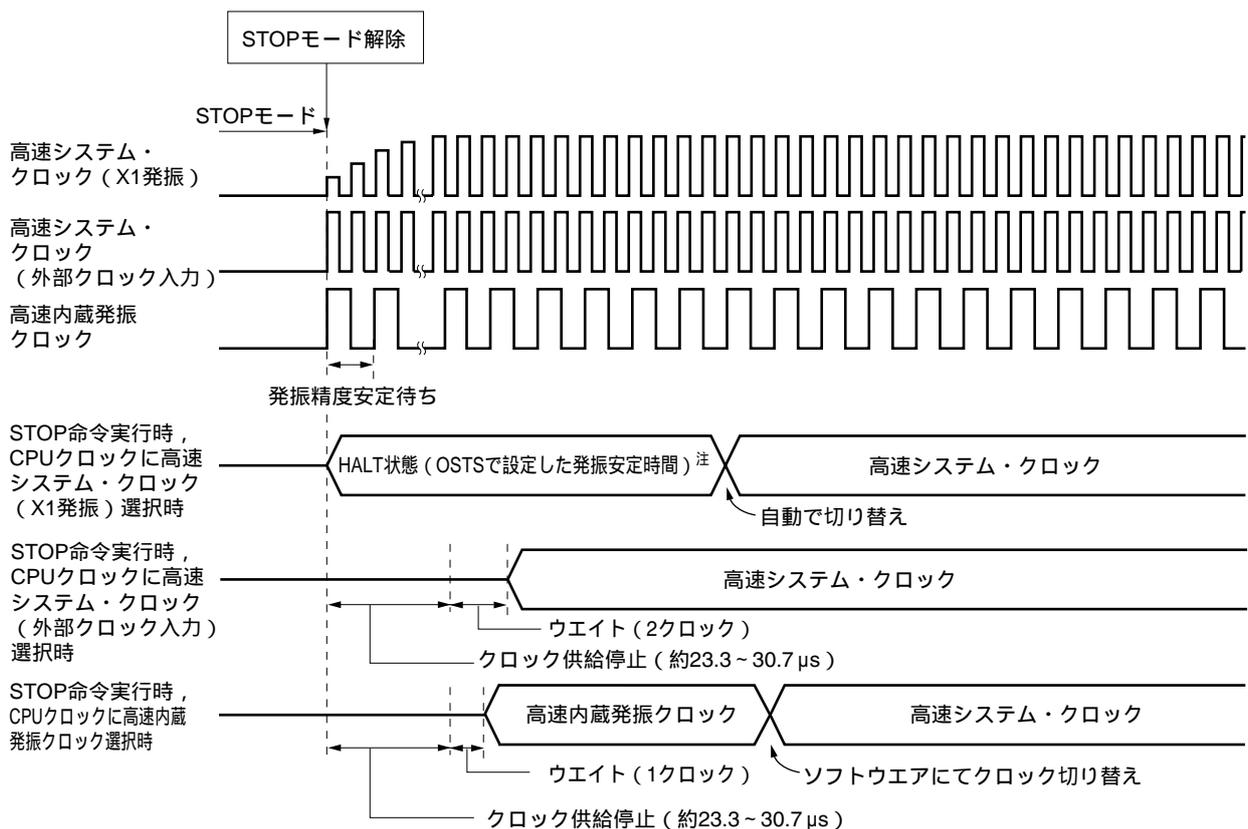
備考1. f_{IH} : 高速内蔵発振クロック, f_x : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック, f_{XT} : XT1発振クロック
 f_{EXS} : 外部サブシステム・クロック, f_{IL} : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.4 **ブロック図**, 1.5 **機能概要**を参照してください。

- 注意1. STOPモード中に動作停止する周辺ハードウェア，および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は，周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速内蔵発振クロックを停止したい場合は，オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）してから，STOP命令を実行してください。
3. 高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，次のSTOP命令実行前に，CPUクロックを一時的に高速内蔵発振クロックに切り替えることで実現できます。STOPモード解除後，CPUクロックを高速内蔵発振クロックから高速システム・クロック（X1発振）に切り替える場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから，行ってください。
4. 20 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

(2) STOPモードの解除

図22 - 5 STOPモード解除時の動作タイミング（マスクされていない割り込み要求による解除の場合）



注 OSTCで設定した発振安定時間が $61 \mu\text{s}$ 以下の場合，最大で“ $61 \mu\text{s} + \text{ウェイト時間}$ ”までHALT状態が継続されます。

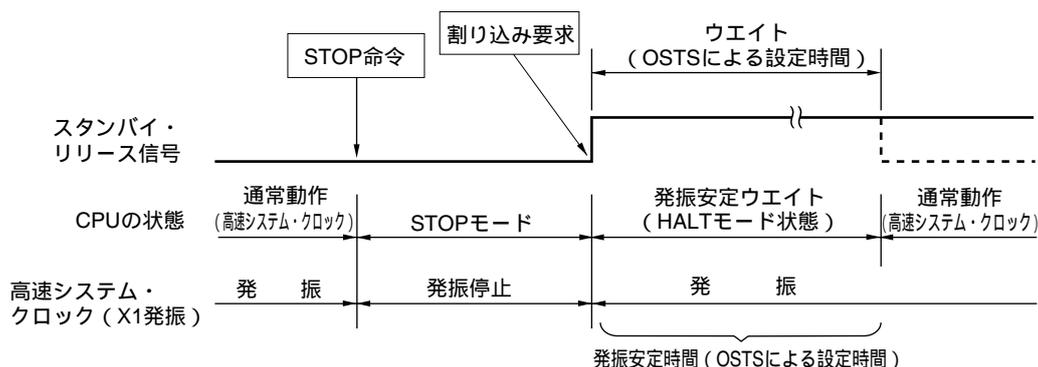
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

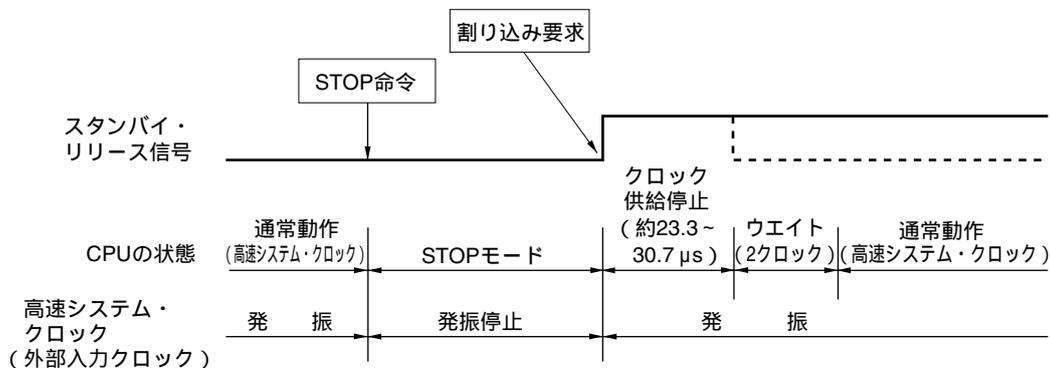
マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図22 - 6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合



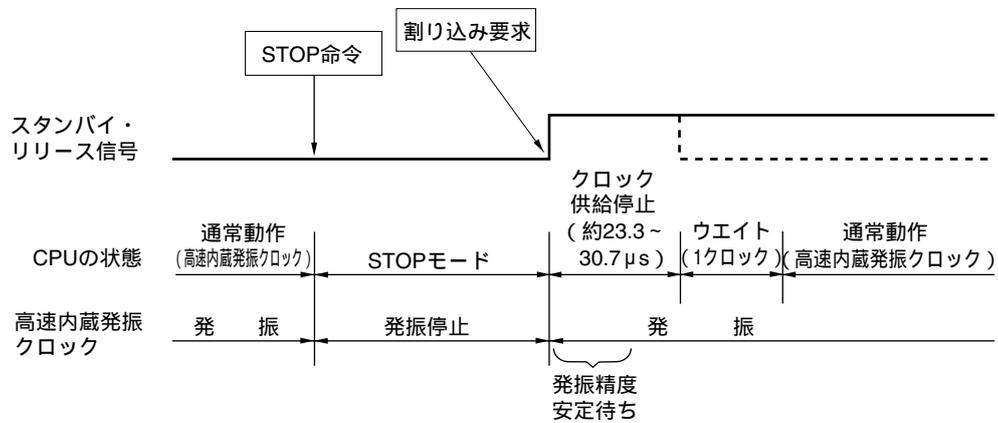
(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図22 - 6 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合



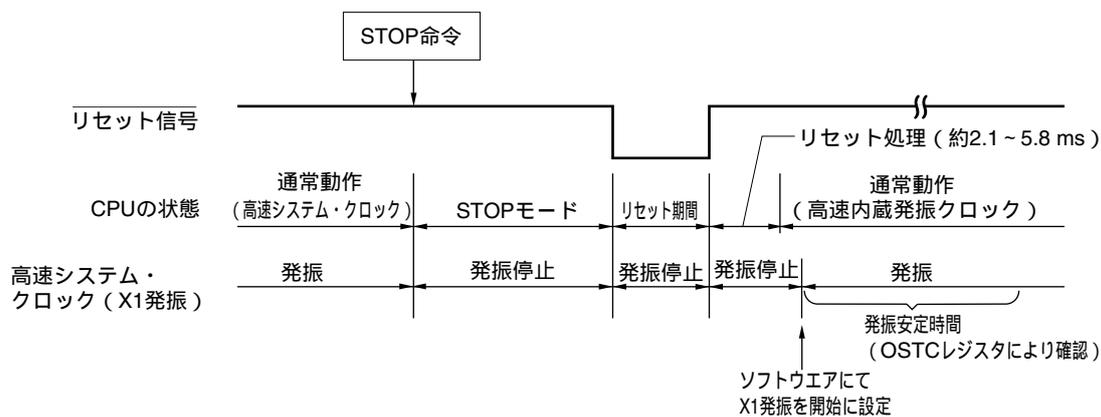
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

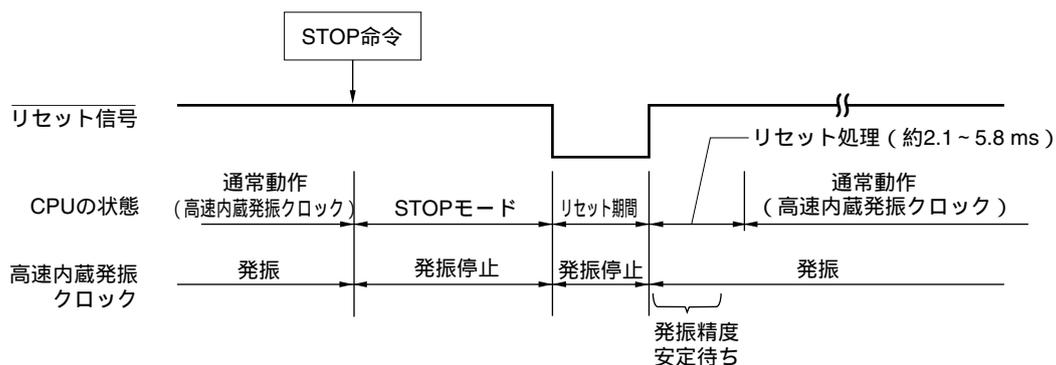
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図22 - 7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

第23章 リセット機能

リセット信号を発生させる方法には、次の5種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電圧検出回路 (LVI) の電源電圧または外部入力端子からの入力電圧 (EXLVI) と検出電圧との比較による内部リセット
- (5) 不正命令の実行による内部リセット^注

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POC回路、LVI回路の電圧検出、または不正命令^注の実行により、リセットがかかり、各ハードウェアは表23 - 1、表23 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図23 - 2から図23 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 V_{DD} V_{POR} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第24章 パワーオン・クリア回路と第25章 低電圧検出回路参照)。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください

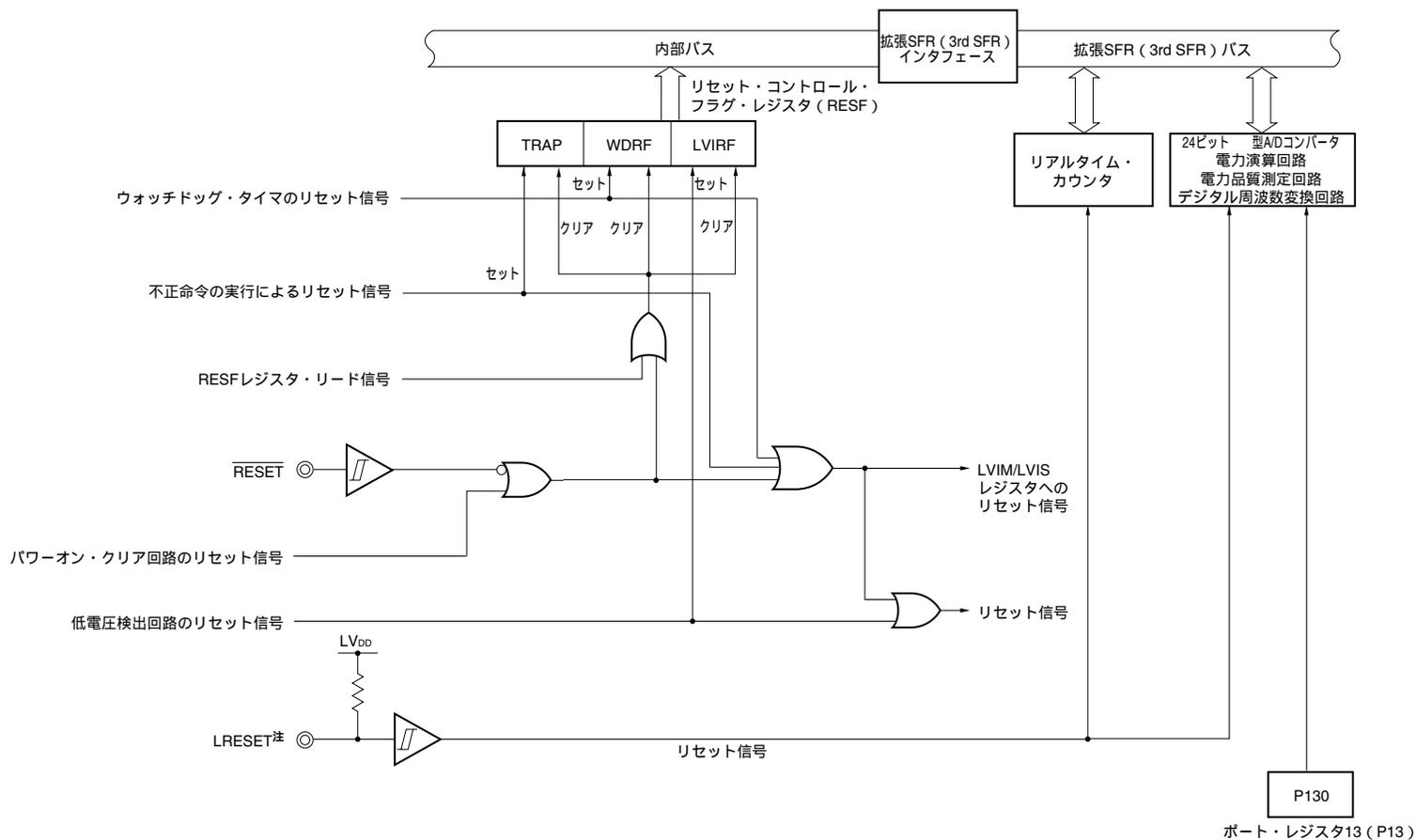
(電源立ち上げ時に外部リセットを行う場合は、動作電圧範囲内(V_{DD} 1.8V)の期間に10 μ s以上ロウ・レベルを継続する必要があります)。

2. リセット信号発生中では、X1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。
4. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子はハイ・インピーダンスとなります。
5. 拡張SFR (3rd SFR) は、リセットによりリセットされません。拡張SFR (3rd SFR) をリセットする場合は、P130をクリア (0) セット (1) クリア (0) の一連の動作を行ってください。

備考 V_{POR} : POC電源立ち上がり検出電圧

V_{LVI} : LVI検出電圧

図23 - 1 リセット機能のブロック図



注 必ずLV_{DD}に直接接続または抵抗を介して接続してください。

注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

備考1 . LVIM : 低電圧検出レジスタ

2 . LVIS : 低電圧検出レベル選択レジスタ

図23 - 2 RESET入力によるリセット・タイミング

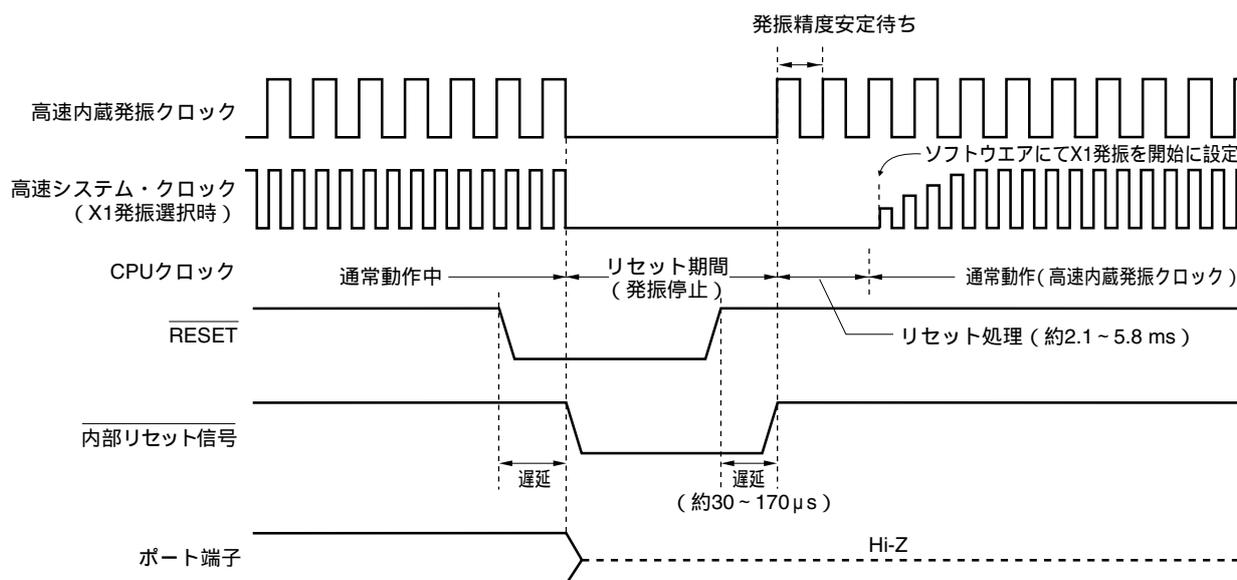
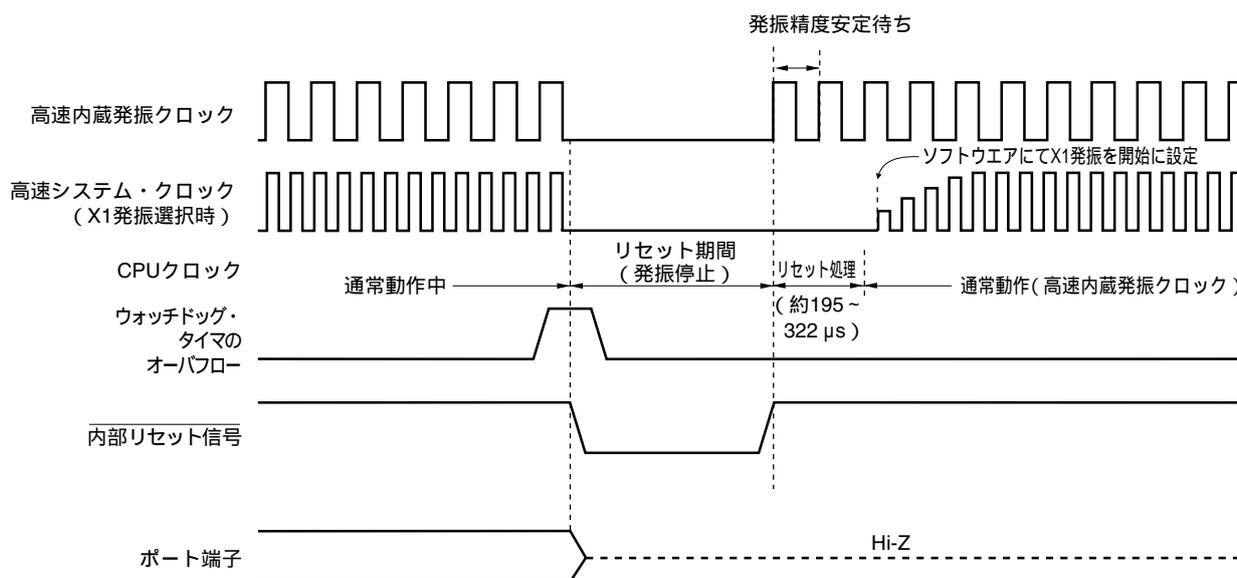
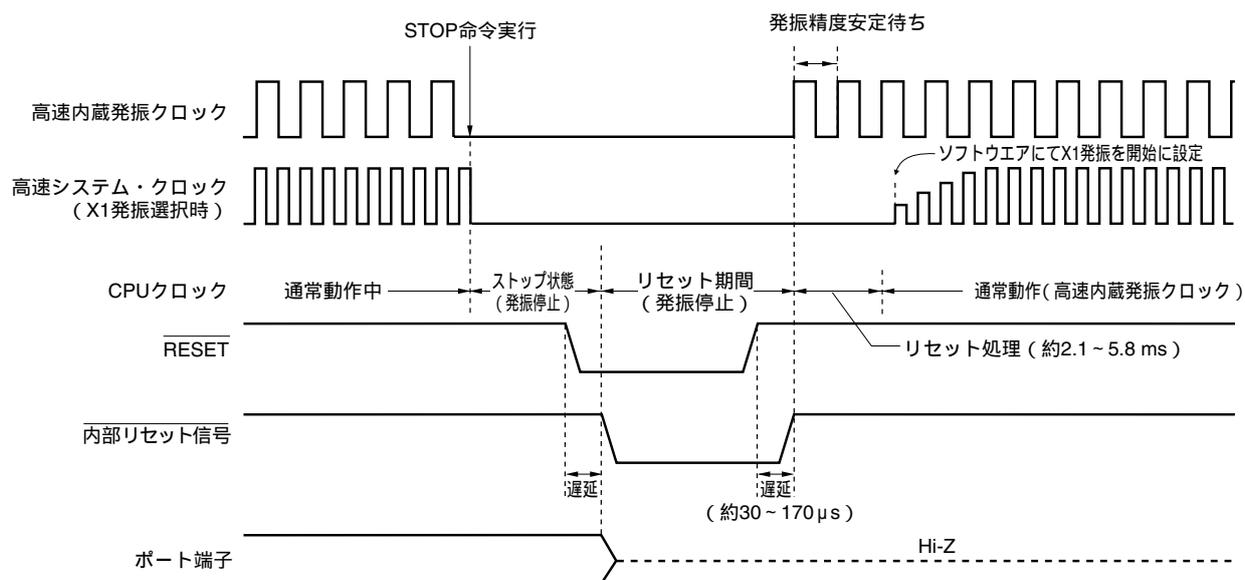


図23 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図23 - 4 STOPモード中のRESET入力によるリセット・タイミング



備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第24章 **パワーオン・クリア回路**と第25章 **低電圧検出回路**を参照してください。

表23 - 1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _H	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	f _{XT}	動作可能
	f _{EXS}	
f _L	動作停止	
CPU		
フラッシュ・メモリ		
RAM	動作停止 (ただし、パワーオン・クリア検出電圧以上時では、値を保持)	
ポート (ラッチ)	ハイ・インピーダンス	
タイマ・アレイ・ユニット (TAU)	動作停止	
リアルタイム・カウンタ (RTC)	動作可能	
リアルタイム・カウンタ2 (RTC2)	動作停止	
ウォッチドッグ・タイマ		
クロック出力		
10ビット逐次比較型A/Dコンバータ		
24ビット 型A/Dコンバータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
LCDコントローラ / ドライバ	動作停止 (COM専用端子, SEG専用端子: GND出力, SEG/汎用ポート兼用端子: 入力ポート, V _{LC0} -V _{LC2} 端子: ハイ・インピーダンス出力, CAPH/P00端子, CAPL/P01端子: 入力ポート)	
乗除算器	動作停止	
DMAコントローラ		
パワーオン・クリア機能	検出動作可能	
低電圧検出機能	動作停止 (ただし, LVIリセット時は動作継続)	
外部割り込み	動作停止	
10進補正 (BCD)		
拡張SFR (3rd SFR) インタフェース		
電力演算回路		
電力品質測定回路		
デジタル周波数変換回路		

備考1. f_H : 高速内蔵発振クロック, f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック, f_{XT} : XT1発振クロック
 f_{EXS} : 外部サブシステム・クロック, f_L : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.4 **ブロック図**, 1.5 **機能概要**を参照してください。

表23 - 2 各ハードウェアのリセット受け付け後の状態 (1/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0-P6, P8-P10, P12-P15, LP0) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM6, PM8-PM15, LPM0)		FFH
ポート入力モード・レジスタ1 (PIM1)		00H
ポート出力モード・レジスタ1, 8 (POM1, POM8)		00H
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU8-PU10, PU12, PU14, LPU0)		00H
クロック動作モード制御レジスタ (CMC)		00H
ポート機能制御レジスタ (PORTCTL)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
システム・クロック制御レジスタ (CKC)		09H
20 MHz高速内蔵発振制御レジスタ (DSCCTL)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ0, 1 (NFEN0, NFEN1)		00H
周辺イネーブル・レジスタ0 (PER0)		00H
動作スピード・モード制御レジスタ (OSMC)		00H
入力切り替え制御レジスタ (ISC)		00H
タイマ・アレイ・ユニット0,1 (TAU0, TAU1)	タイマ・データ・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12, 13 (TDR00, TDR01, TDR02, TDR03, TDR04, TDR05, TDR06, TDR07, TDR10, TDR11, TDR12, TDR13)	0000H
	タイマ・モード・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12, 13 (TMR00, TMR01, TMR02, TMR03, TMR04, TMR05, TMR06, TMR07, TMR10, TMR11, TMR12, TMR13)	0000H
	タイマ・ステータス・レジスタ02, 04, 07 (TSR02, TSR04, TSR07)	0000H
	タイマ入力選択レジスタ0, 1 (TIS0, TIS1)	00H
	タイマ・チャンネル・カウンタ・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 10, 11, 12, 13 (TCR00, TCR01, TCR02, TCR03, TCR04, TCR05, TCR06, TCR07, TCR10, TCR11, TCR12, TCR13)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0, 1 (TE0, TE1)	0000H
	タイマ・チャンネル開始トリガ・レジスタ0, 1 (TS0, TS1)	0000H
	タイマ・チャンネル停止トリガ・レジスタ0, 1 (TT0, TT1)	0000H
	タイマ・クロック選択レジスタ0, 1 (TPS0, TPS1)	0000H
	タイマ・チャンネル出力レジスタ0 (TO0)	0000H
タイマ・チャンネル出力許可レジスタ0 (TOE0)	0000H	

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

表23 - 2 各ハードウェアのリセット受け付け後の状態 (2/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
タイマ・アレイ・ユニット0,1 (TAU0, TAU1)	タイマ・チャンネル出力レベル・レジスタ0 (TOL0)	0000H
	タイマ・チャンネル出力モード・レジスタ0 (TOM0)	0000H
リアルタイム・カウンタ2	サブカウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	曜日カウント・レジスタ (WEEK)	00H
	日カウント・レジスタ (DAY)	01H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
	コントロール・レジスタ1 (RTCC1)	00H
	コントロール・レジスタ2 (RTCC2)	00H
クロック出力制御回路	クロック出力選択レジスタ0 (CKS0)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
10ビット逐次比較型 A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	A/Dコンバータ・モード・レジスタ (ADM)	00H
	A/Dコンバータ・モード・レジスタ1 (ADM1)	00H
	アナログ入力チャンネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	10H
24ビット 型 A/Dコンバータ	24ビット 型A/Dコンバータ・モード・レジスタ (ADM2)	00H
	ハイパス・フィルタ・コントロール・レジスタ0 (HPFC0)	00H
	ハイパス・フィルタ・コントロール・レジスタ1 (HPFC1)	00H
	24ビット 型A/D変換結果レジスタ (ADCR0, ADCR1, ADCR2, ADCR3)	000000H
	位相コントロール・レジスタ0, 1 (PHC0, PHC1)	0000H
	A/Dクロック・ディレイ設定レジスタ (ADLY)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

表23 - 2 各ハードウェアのリセット受け付け後の状態 (3/6)

ハードウェア		リセット受け付け後の状態 ^注
シリアル・アレイ・ユニット 0, 1 (SAU0, SAU1)	シリアル・データ・レジスタ00, 01, 10, 11, 12, 13(SDR00, SDR01, SDR10, SDR11, SDR12, SDR13)	0000H
	シリアル・ステータス・レジスタ00, 01, 10, 11, 12, 13(SSR00, SSR01, SSR10, SSR11, SSR12, SSR13)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ01, 10, 11, 13 (SIR01, SIR10, SIR11, SIR13)	0000H
	シリアル・モード・レジスタ00, 01, 10, 11, 12, 13(SMR00, SMR01, SMR10, SMR11, SMR12, SMR13)	0020H
	シリアル通信動作設定レジスタ00, 01, 10, 11, 12, 13 (SCR00, SCR01, SCR10, SCR11, SCR12, SCR13)	0087H
	シリアル・チャンネル許可ステータス・レジスタ0, 1 (SE0, SE1)	0000H
	シリアル・チャンネル開始レジスタ0, 1 (SS0, SS1)	0000H
	シリアル・チャンネル停止レジスタ0, 1 (ST0, ST1)	0000H
	シリアル・クロック選択レジスタ0, 1 (SPS0, SPS1)	0000H
	シリアル出力レジスタ0, 1 (SO0, SO1)	0F0FH
	シリアル出力許可レジスタ0, 1 (SOE0, SOE1)	0000H
	シリアル出力レベル・レジスタ0, 1 (SOL0, SOL1)	0000H
シリアル・インタフェース IICA	シフト・レジスタ (IICA)	00H
	コントロール・レジスタ0 (IICCTL0)	00H
	コントロール・レジスタ1 (IICCTL1)	00H
	スレーブ・アドレス・レジスタ (SVA)	00H
	ロウ・レベル幅設定レジスタ (IICWL)	FFH
	ハイ・レベル幅設定レジスタ (IICWH)	FFH
	ステータス・レジスタ (IICS)	00H
	フラグ・レジスタ (IICF)	00H
拡張SFR (3rd SFR) インタフェース	シリアル・データ・レジスタ02 (SDR02)	0000H
	シリアル・ステータス・レジスタ02 (SSR02)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ02 (SIR02)	0000H
	シリアル・モード・レジスタ02 (SMR02)	0020H
	シリアル通信動作設定レジスタ02 (SCR02)	0087H
	シリアル・チャンネル許可ステータス・レジスタ0 (SE0)	0000H
	シリアル・チャンネル開始レジスタ0 (SS0)	0000H
	シリアル・チャンネル停止レジスタ0 (ST0)	0000H
	シリアル・クロック選択レジスタ0 (SPS0)	0000H
	シリアル出力レジスタ0 (SO0)	0F0FH
	シリアル出力許可レジスタ0 (SOE0)	0000H
	シリアル出力レベル・レジスタ0 (SOL0)	0000H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。
その他は、リセット後の状態と変わりありません。

表23 - 2 各ハードウェアのリセット受け付け後の状態 (4/6)

	ハードウェア	リセット受け付け後の状態 ^注
LCDコントローラ / ドライバ	LCDモード設定レジスタ (LCDMD)	00H
	LCD表示モード・レジスタ (LCDM)	00H
	LCDクロック制御レジスタ0 (LCDC0)	00H
	LCD昇圧レベル制御レジスタ (VLCD)	0FH
	ポート・ファンクション・レジスタ (PFALL)	00H
	セグメント・イネーブル・レジスタ (SEGEN)	00H
	入力切り替え制御レジスタ (ISC)	00H
乗除算器	乗除算データ・レジスタA (MDAL, MDAH)	0000H
	乗除算データ・レジスタB (MDBL, MDBH)	0000H
	乗除算データ・レジスタC (MDCL, MDCH)	0000H
	乗除算コントロール・レジスタ (MDUC)	00H
電力演算回路	電力演算モード制御レジスタ1 (PWCTL1)	00H
	電力演算モード制御レジスタ2 (PWCTL2)	00H
	ゼロロード・レベル制御レジスタ (NLCTL)	00H
	有効電力スケール設定レジスタ (ACTDIV)	00H
	無効電力スケール設定レジスタ (READIV)	00H
	皮相電力スケール設定レジスタ (APPDIV)	00H
	電圧チャンネル1, 2 RMSレジスタ (V1RMS, V2RMS)	000000H
	電流チャンネル1, 2 RMSレジスタ (I1RMS, I2RMS)	000000H
	有効電力アキュムレーション・リード・レジスタ (ACTHR)	000000H
	有効電力アキュムレーション・リセット・リード・レジスタ (RACTHR)	000000H
	有効電力アキュムレーション同期リード・レジスタ (LACTHR)	000000H
	無効電力アキュムレーション・リード・レジスタ (REahr)	000000H
	無効電力アキュムレーション・リセット・リード・レジスタ (RREahr)	000000H
	無効電力アキュムレーション同期リード・レジスタ (LREahr)	000000H
	皮相電力アキュムレーション・リード・レジスタ (APPHR)	000000H
	皮相電力アキュムレーション・リセット・リード・レジスタ (RAPPHR)	000000H
	皮相電力アキュムレーション同期リード・レジスタ (LAPPHR)	000000H
	ライン・サイクル数設定レジスタ (LINNUM)	FFFFH
	有効電力ゲイン設定レジスタ1, 2 (ACT1GAIN, ACT2GAIN)	0000H
	無効電力ゲイン設定レジスタ1, 2 (REA1GAIN, REA2GAIN)	0000H
	皮相電力ゲイン設定レジスタ1, 2 (APP1GAIN, APP2GAIN)	0000H
	電流チャンネル1, 2 RMSゲイン設定レジスタ (IRMS1GAIN, IRMS2GAIN)	0000H
	有効電力オフセット設定レジスタ1, 2 (ACT1OS, ACT2OS)	0000H
	無効電力オフセット設定レジスタ1, 2 (REA1OS, REA2OS)	0000H
	電流チャンネル1, 2 RMSオフセット設定レジスタ (I1RMSOS, I2RMSOS)	0000H
	電圧チャンネル1, 2 RMSオフセット設定レジスタ (V1RMSOS, V2RMSOS)	0000H
	サンプリング・モード選択レジスタ (SAMPMODE)	00H
サンプリング結果レジスタ1, 2 (SAMP1, SAMP2)	000000H	

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

表23 - 2 各ハードウェアのリセット受け付け後の状態 (5/6)

ハードウェア		リセット受け付け後の状態 ^{注1}
電力品質測定回路	ピリオド / 周波数測定結果レジスタ (PFVAL)	0000H
	電圧チャンネル1, 2 ゼロクロス・タイムアウト設定レジスタ (ZXTOUT1, ZXTOUT2)	03FFH
	電圧チャンネル1, 2 SAGライン・サイクル数設定レジスタ (SAGNUM1, SAGNUM2)	FFH
	電圧チャンネル1, 2 SAGレベル設定レジスタ (SAGVAL1, SAGVAL2)	000000H
	電流ピーク・レベル設定レジスタ (IPKLMT)	FFFFH
	電圧ピーク・レベル設定レジスタ (VPKLMT)	FFFFH
	電流ピーク値レジスタ (IMAX)	000000H
	電流ピーク値クリア・レジスタ (RSTIMAX)	000000H
	電圧ピーク値レジスタ (VMAX)	000000H
	電圧ピーク値クリア・レジスタ (RSTVMAX)	000000H
	ゲイン設定レジスタ (IMATGAIN)	0000H
	フォールト検出制御レジスタ (PQMCTL)	00H
	フォールト検出しきい値設定レジスタ (IST)	8BH
	フォールト制御レジスタ (ICLK)	84H
デジタル周波数変換回路	周波数変換制御レジスタ (CFCTL)	02H
	周波数スケール設定レジスタ (CFMULL, CFMULH)	FFH
	パルス幅設定レジスタ (PULCTL)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	不定 ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注3}
	低電圧検出レベル選択レジスタ (LVIS)	0EH ^{注2}

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように異なります。

リセット要因 レジスタ		RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	LVIによる リセット
RESF	TRAPビット	クリア (0)	クリア (0)	セット (1)	保持	保持
	WDRFビット			保持	セット (1)	保持
	LVIRFビット			保持	保持	セット (1)
LVIS		クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	保持

3. リセット要因およびオプション・バイトの設定により異なります。

表23 - 2 各ハードウェアのリセット受け付け後の状態 (6/6)

ハードウェア		リセット受け付け後の状態 ^注
DMAコントローラ	SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	RAMアドレス・レジスタ0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	バイト・カウント・レジスタ0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	モード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	拡張SFR (3rd SFR) 要求フラグ・レジスタ20, 21, 22, 23 (IF20, IF21, IF22, IF23)	00H
	拡張SFR (3rd SFR) マスク・フラグ・レジスタ20, 21, 22, 23 (MK20, MK21, MK22, MK23)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)	00H
レギュレータ	レギュレータ・モード制御レジスタ (RMC)	00H
フラッシュ・メモリ	バックグラウンド・イベント・コントロール・レジスタ (BECTL)	00H
10進補正 (BCD)	BCD補正結果レジスタ (BCDADJ)	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

23.1 リセット要因を確認するレジスタ

78K0R/Lx3-Mマイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、TRAP, WDRF, LVIRFはクリアされます。

図23 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定 R

略号	7	6	5	4	3	2	1	0
RESF	TRAP ^{注1}	不定	不定	WDRF ^{注1}	不定	不定	不定	LVIRF ^{注1}

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

WDRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. TRAP, WDRF, LVIRF以外のビットは不定となりますので、RESFレジスタの8ビット・データのリード値だけで判定しないでください。

3. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0)、電源立ち上がり波形によっては、LVIRFフラグが最初から1になることがあります。

リセット要求時のRESFの状態を表23 - 3に示します。

表23 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	LVIによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持
WDRF			保持	セット (1)	保持
LVIRF			保持	保持	セット (1)

23.2 リセット解除後の注意事項

リセット解除後は、必ず次の設定を行ってください。

PM02, PM21-PM27, PM80, PM110, PM111, PM150, PM151 ビットは、リセット解除後必ず0を設定してください。

拡張SFR (3rd SFR) は、内部リセットによりリセットされません。拡張SFR (3rd SFR) をリセットする場合は、P130をクリア (0) セット (1) クリア (0) の一連の動作を行ってください。リセット動作に必要なハイ・レベル幅のMIN.値は、1 μ sec (1000 nsec) です。

PM32 (PM3レジスタのビット2) を出力許可 (PM32 = 0) に設定し、クロック出力選択レジスタ0 (CKS0) で出力クロックを選択してください。

PM31, PM30, PM15, PM13を出力許可 (PM31, PM30, PM15, PM13 = 0) , PM14を入力許可 (PM14 = 1) に設定してください。

ブルダウン状態を解除 (PUTCTLレジスタに01Hを設定) してください。

P16/TO05を使用する場合、PM2のPM20ビットにはリセット解除後必ず0、P2のP20ビットにはリセット解除後必ず1を設定してください。

注意 拡張SFR (3rd SFR) インタフェースでデータ送信中に内部リセットがかかった場合、拡張SFR (3rd SFR) に正常にデータが送信されない可能性があります。

第24章 パワーオン・クリア回路

24.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は、78K0R/Lx3-Mマイクロコントローラの全製品に搭載されています。

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧 (V_{DD}) が $1.61\text{ V} \pm 0.09\text{ V}$ を越えた場合に、リセットを解除します。

注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧(V_{DD})が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

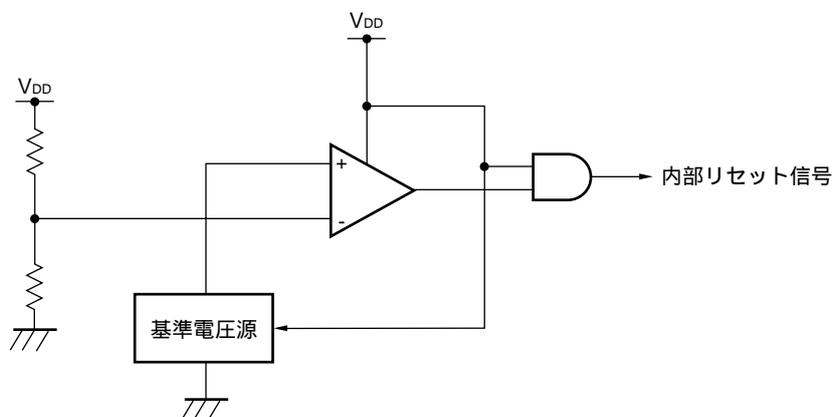
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / 不正命令の実行による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第23章 リセット機能を参照してください。

24.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図24 - 1に示します。

図24 - 1 パワーオン・クリア回路のブロック図



24.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POR} = 1.61\text{ V} \pm 0.09\text{ V}$) を越えたら、リセットを解除します。

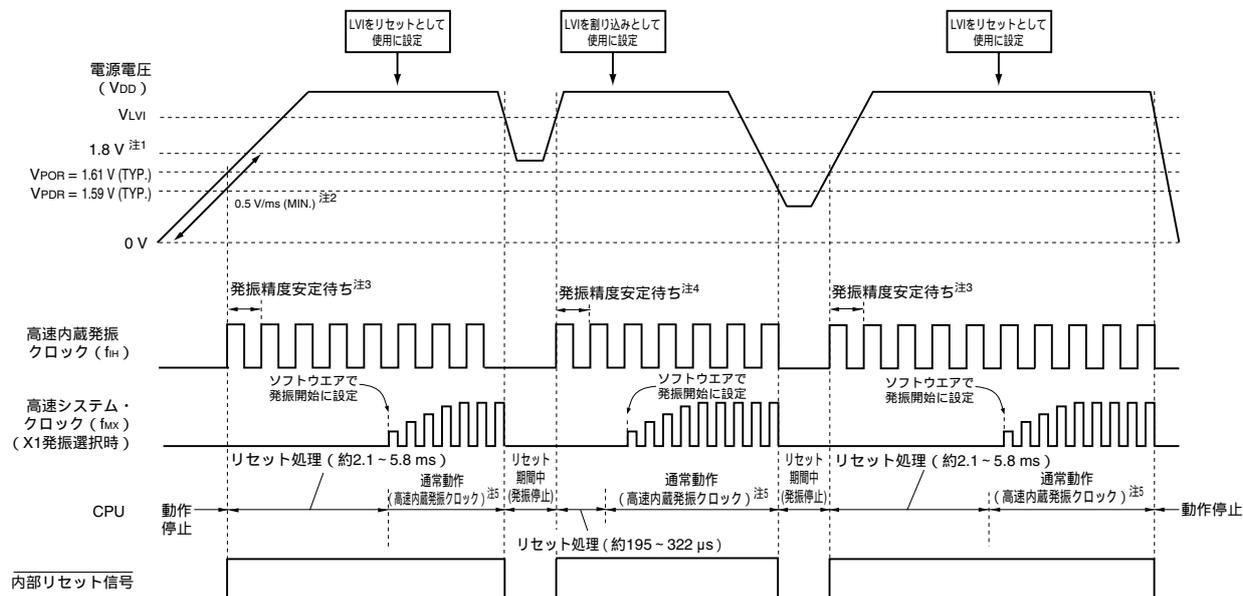
注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図24 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 電源立ち上げ時のLVIがOFFの場合 (オプション・バイト : LVIOFF = 1)



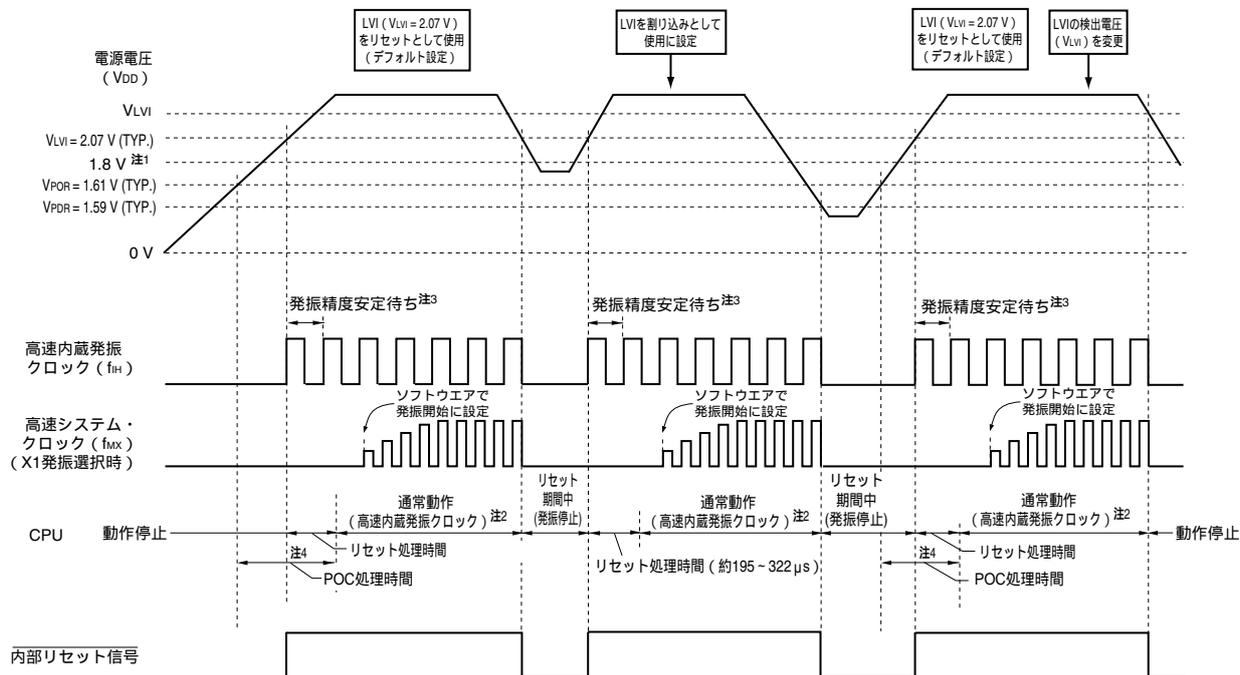
- 注1. 動作保証範囲は、1.8 V V_{DD} 3.6 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトでLVIをデフォルトでON (オプション・バイト : LVIOFF = 0) に設定してください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ちなどのリセット処理時間に含まれます。
4. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
5. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第25章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

図24 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (2/2)

(2) 電源立ち上げ時のLVMIがONの場合 (オプション・バイト : LVIOFF = 0)



- 注1. 動作保証範囲は、1.8 V V_{DD} 3.6 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイム機能などを用いて、発振安定時間を確認してから、切り替えてください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
4. POC検出電圧 (1.59 V (TYP.)) に達してから、通常動作を開始するまでには、次に示す時間が必要となります。
- ・ 1.59 V (TYP.) 2.07 V (TYP.) に到達する時間 < 5.8 msの場合
1.59 V (TYP.) 通常動作までに約2.1 ~ 6.2 msのPOC処理時間がかかります。
 - ・ 1.59 V (TYP.) 2.07 V (TYP.) に到達する時間 > 5.8 msの場合
2.07 V (TYP.) 通常動作までに約195 ~ 322 μ sのリセット処理時間がかかります。

注意 低電圧検出回路をデフォルトの設定から変更する場合は、リセット解除後にソフトウェアで設定してください (第25章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

24.4 パワーオン・クリア回路の注意事項

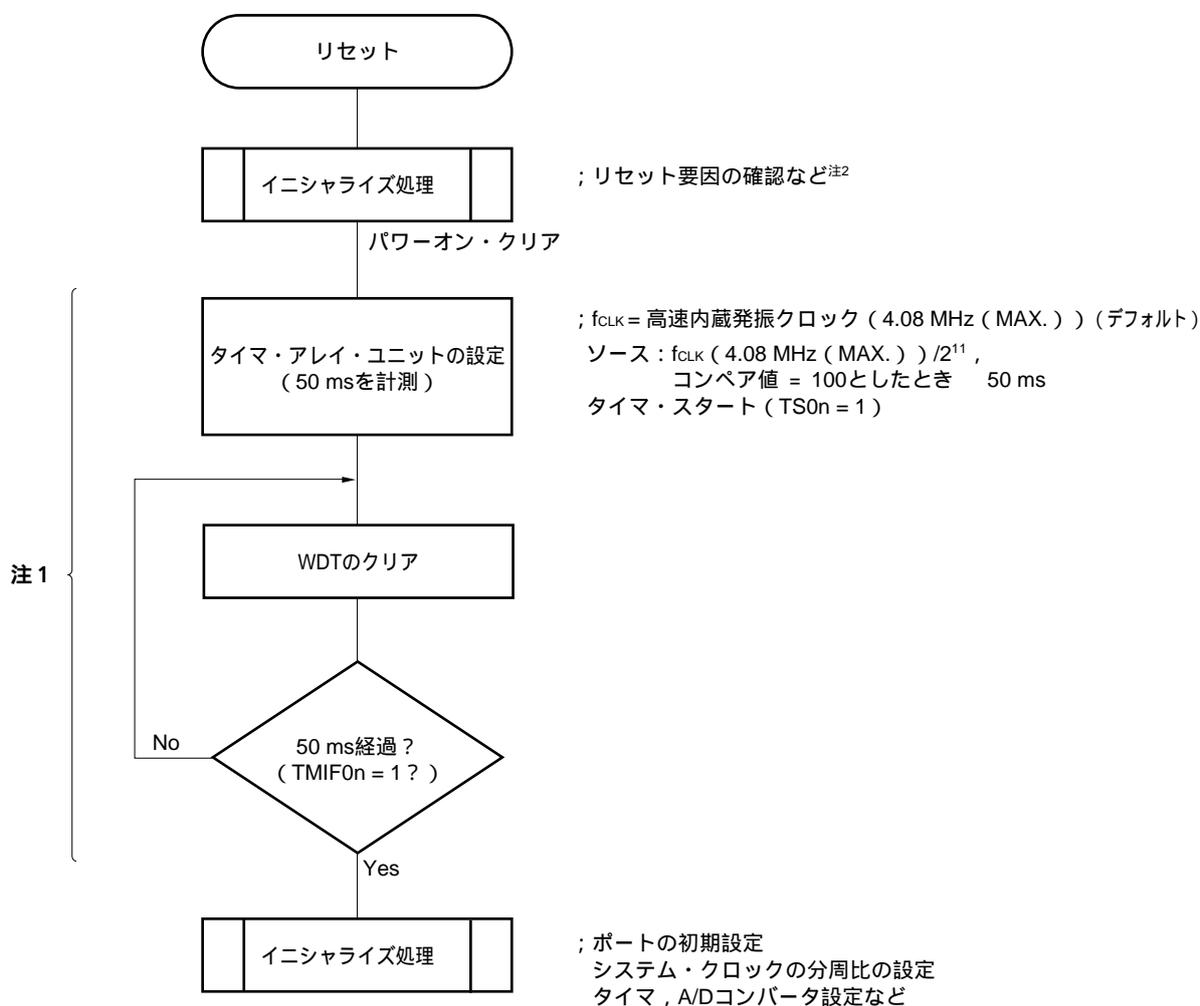
電源電圧 (V_{DD}) が POC 検出電圧 (V_{POR} , V_{PDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図24-3 リセット解除後のソフト処理例 (1/2)

・ POC 検出電圧付近での電源電圧変動が 50 ms 以下の場合



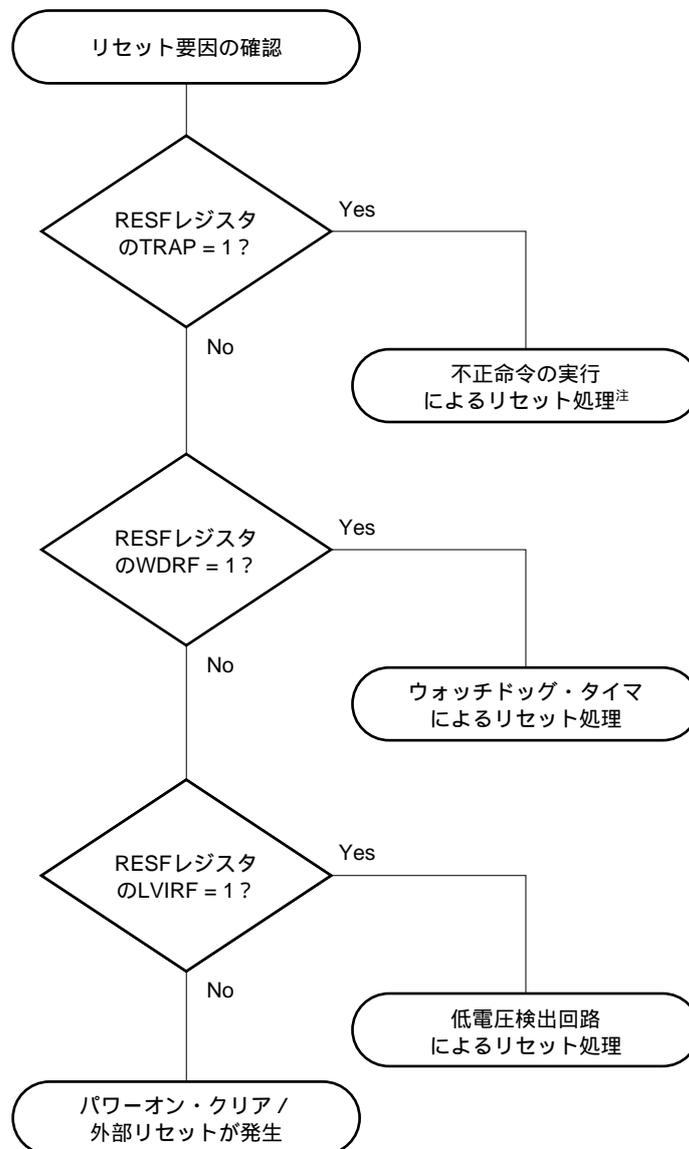
注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

備考 n = 0-7

図24 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第25章 低電圧検出回路

25.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、78K0R/Lx3-Mマイクロコントローラ的全製品に搭載されています。

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。ONに設定し、POC検出電圧 ($V_{POR} = 1.61 V$ (TYP.)) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.2 V$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.1 V$) のときに内部リセット信号を発生します。
- ・検出対象を電源電圧 (V_{DD}) にするか、外部入力端子からの入力電圧 ($EXLVI$) にするかを、ソフトウェアにて選択できます。
- ・検出後にリセットを発生するか、割り込みを発生するかを、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを11段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 (LVISEL = 0)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 (LVISEL = 1)	
リセット選択 (LVIMD = 1)	割り込み選択 (LVIMD = 0)	リセット選択 (LVIMD = 1)	割り込み選択 (LVIMD = 0)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 LVISEL : 低電圧検出レジスタ (LVIM) のビット2

LVIMD : LVIMのビット1

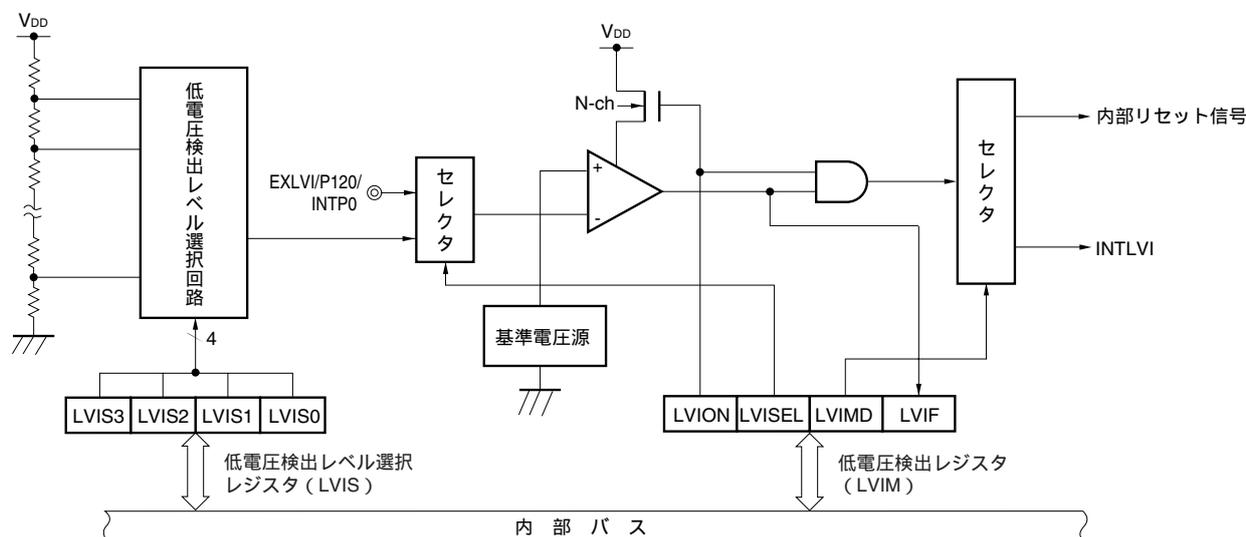
低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、第23章 リセット機能を参照してください。

25.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図25 - 1に示します。

図25 - 1 低電圧検出回路のブロック図



25.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図25 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3,4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, V_{DD} > V_{LVI}時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) > 検出電圧 (V_{LVI}), またはLVI動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) > 検出電圧 (V_{EXLVI}), またはLVI動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. リセット値は, リセット要因およびオプション・バイトの設定により変化します。

LVIリセット時は, クリア (00H) されません。

LVI以外のリセット時は, オプション・バイトLVIOFF = 0のときには, “82H” になり, オプション・バイトLVIOFF = 1のときには, “00H” にリセットされます。

2. ビット0はRead Onlyです。

3. LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。

4. LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1) してからLVIFで電圧を確認するまでに, 次の時間をソフトウェアでウェイトしてください。

・動作安定時間 (10 μs (MAX.))

・最小パルス幅 (200 μs (MIN.))

この期間のLVIFの値は電圧レベルによらず, セット/クリアされる可能性があります使用できません。

また, この期間は割り込み要求フラグのLVIIFフラグがセット (1) される可能性もあります。

(注意は, 次ページにあります)

- 注意1. LVIを停止する場合は、必ず1ビット操作命令でLVIONをクリア(0)してください。
2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
3. LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、0EHになります。

図25 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : 0EH[※] R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	1	0	1	V_{LV10} (3.45 ± 0.1 V)
0	1	1	0	V_{LV11} (3.30 ± 0.1 V)
0	1	1	1	V_{LV12} (3.15 ± 0.1 V)
1	0	0	0	V_{LV13} (2.99 ± 0.1 V)
1	0	0	1	V_{LV14} (2.84 ± 0.1 V)
1	0	1	0	V_{LV15} (2.68 ± 0.1 V)
1	0	1	1	V_{LV16} (2.53 ± 0.1 V)
1	1	0	0	V_{LV17} (2.38 ± 0.1 V)
1	1	0	1	V_{LV18} (2.22 ± 0.1 V)
1	1	1	0	V_{LV19} (2.07 ± 0.1 V)
1	1	1	1	V_{LV110} (1.91 ± 0.1 V)
上記以外				設定禁止

注 リセット値は、リセット要因により変化します。

LVIによるリセットのときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“0EH” にリセットされます。

注意1. ビット4-7には必ず“0”を設定してください。

注意2. LVISの値を変更する場合は、次のいずれかの方法で行ってください。

・LVIを停止させて変更する場合

LVIを停止する (LVION = 0)。

LVISレジスタを変更する。

割り込みとして使用 (LVIMD = 0) モードにする。

LVIの割り込みをマスクする (LVIMK = 1)。

LVIを動作許可する (LVION = 1)。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVI動作許可時にLVIIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

・割り込みとして使用 (LVIMD = 0) モードに設定して変更する場合

LVIの割り込みをマスクする (LVIMK = 1)。

割り込みとして使用 (LVIMD = 0) モードにする

LVISレジスタを変更する。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVISレジスタ変更時にLVIIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図25 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス : FFF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

25.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 (V_{EXLVI}) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

備考 オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。

ONに設定し、POC検出電圧 ($V_{POR} = 1.61 \text{ V (TYP.)}$) 以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 \text{ V} \pm 0.2 \text{ V}$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 \text{ V} \pm 0.1 \text{ V}$) のときに内部リセット信号を発生しません。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 \text{ V} \pm 0.1 \text{ V}$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD: 低電圧検出レジスタ (LVIM) のビット1
LVISEL: LVIMのビット2

25.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1)

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に "0" (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
LVIMのビット7 (LVION) に "1" (LVI動作許可) を設定する

ソフトウェアで次に示す時間（合計 $210\ \mu\text{s}$ ）をウエイトする。

- ・動作安定時間（ $10\ \mu\text{s}$ （MAX.））
- ・最小パルス幅（ $200\ \mu\text{s}$ （MIN.））

「電源電圧（ V_{DD} ） 検出電圧（ V_{LVI} ）」であることを、LVIMのビット0（LVIF）で確認するまで待つ

LVIMのビット1（LVIMD）に“1”（レベル検出時リセット発生）を設定する

図25 - 5に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

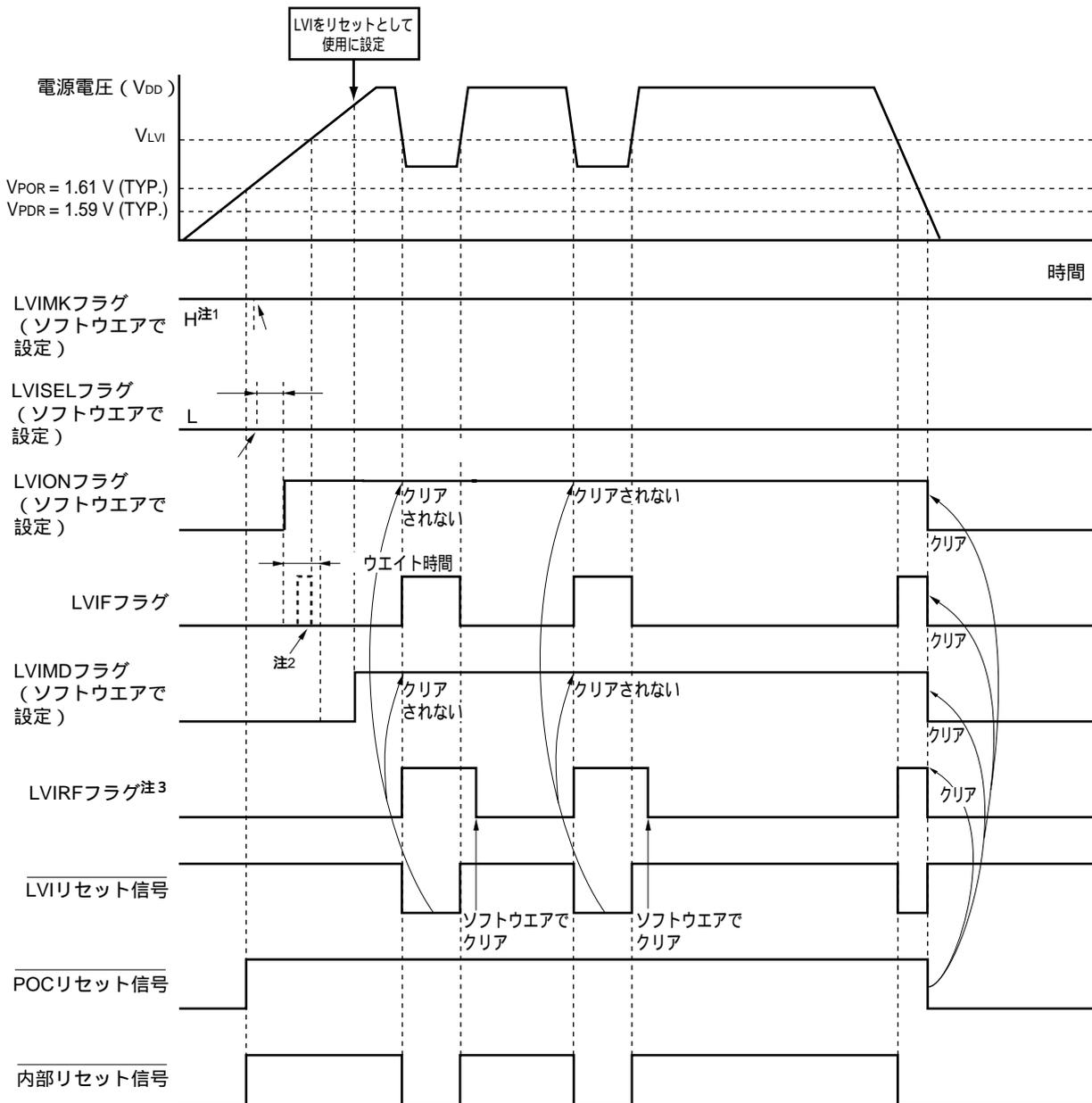
注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「電源電圧（ V_{DD} ） 検出電圧（ V_{LVI} ）」であれば内部リセット信号は発生しません。

動作停止時

必ず1ビット操作命令で、LVIMDクリア（0） LVIONクリア（0）を実行してください。

図25 - 5 内部リセット信号発生のタイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット(1)される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ(RESF)のビット0です。RESFについての詳細は、第23章 リセット機能を参照してください。

備考1. 図25 - 5の ~ は、25.4.1(1)(a)LVIデフォルト・スタート機能停止に設定時(LVIOFF = 1) 動作開始時の ~ と対応しています。

2. V_{POR}: POC電源立ち上がり検出電圧

V_{PDR}: POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値 : V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

図25 - 6に、低電圧検出回路の内部リセット信号発生のタイミングを示します。

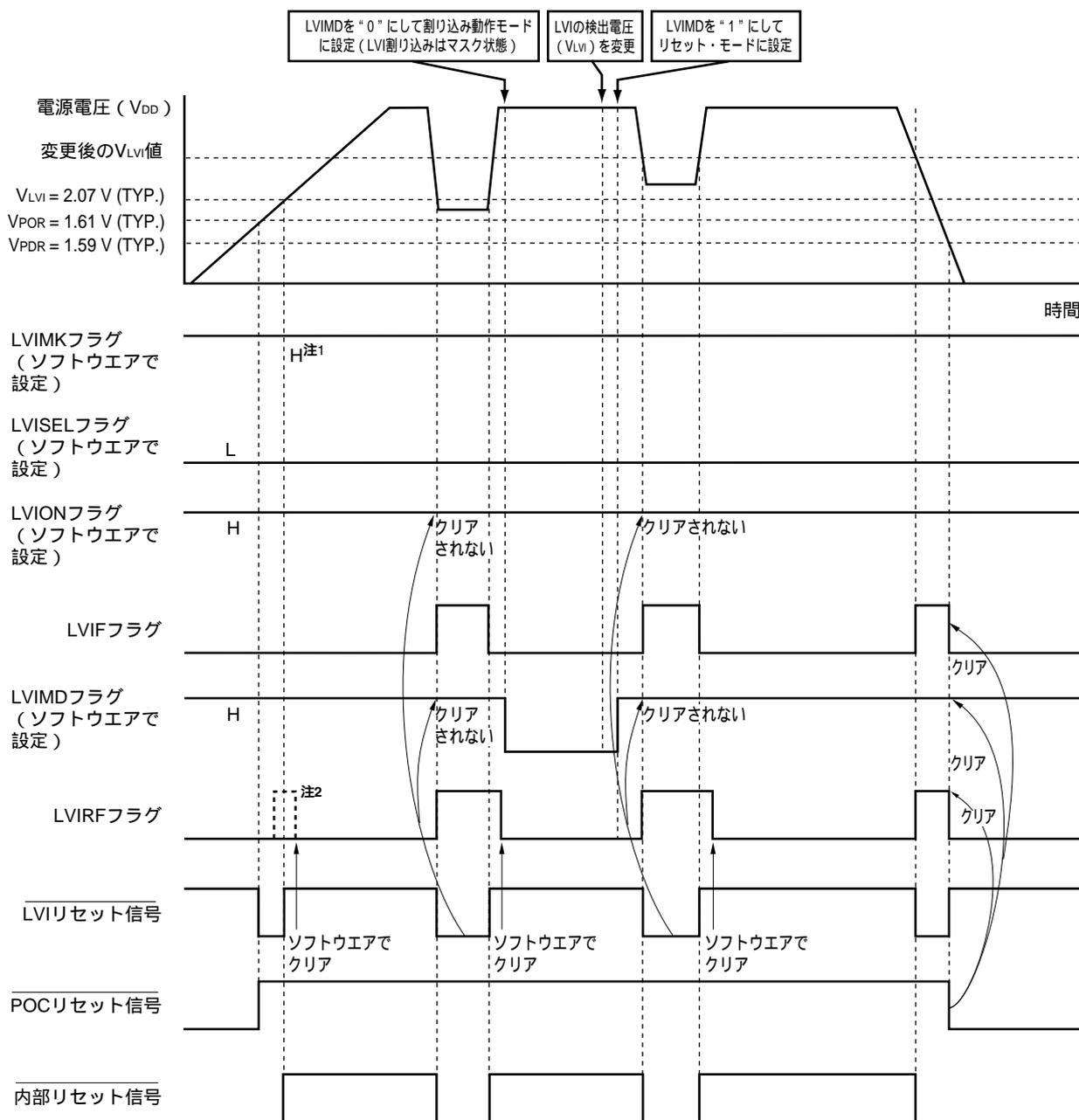
動作停止時

必ず1ビット操作命令で、LVIMDクリア (0) LVIONクリア (0) を実行してください。

注意 LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出しません。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。
これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

図25 - 6 内部リセット信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。

LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第23章 リセット機能を参照してください。

備考 V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する

LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する

ソフトウェアで次に示す時間(合計210 μ s)をウェイトする。

- ・動作安定時間(10 μ s (MAX.))
- ・最小パルス幅(200 μ s (MIN.))

「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であることを、LVIMのビット0(LVIF)で確認するまで待つ

LVIMのビット1(LVIMD)に“1”(レベル検出時にリセット発生)を設定する

図25 - 7に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

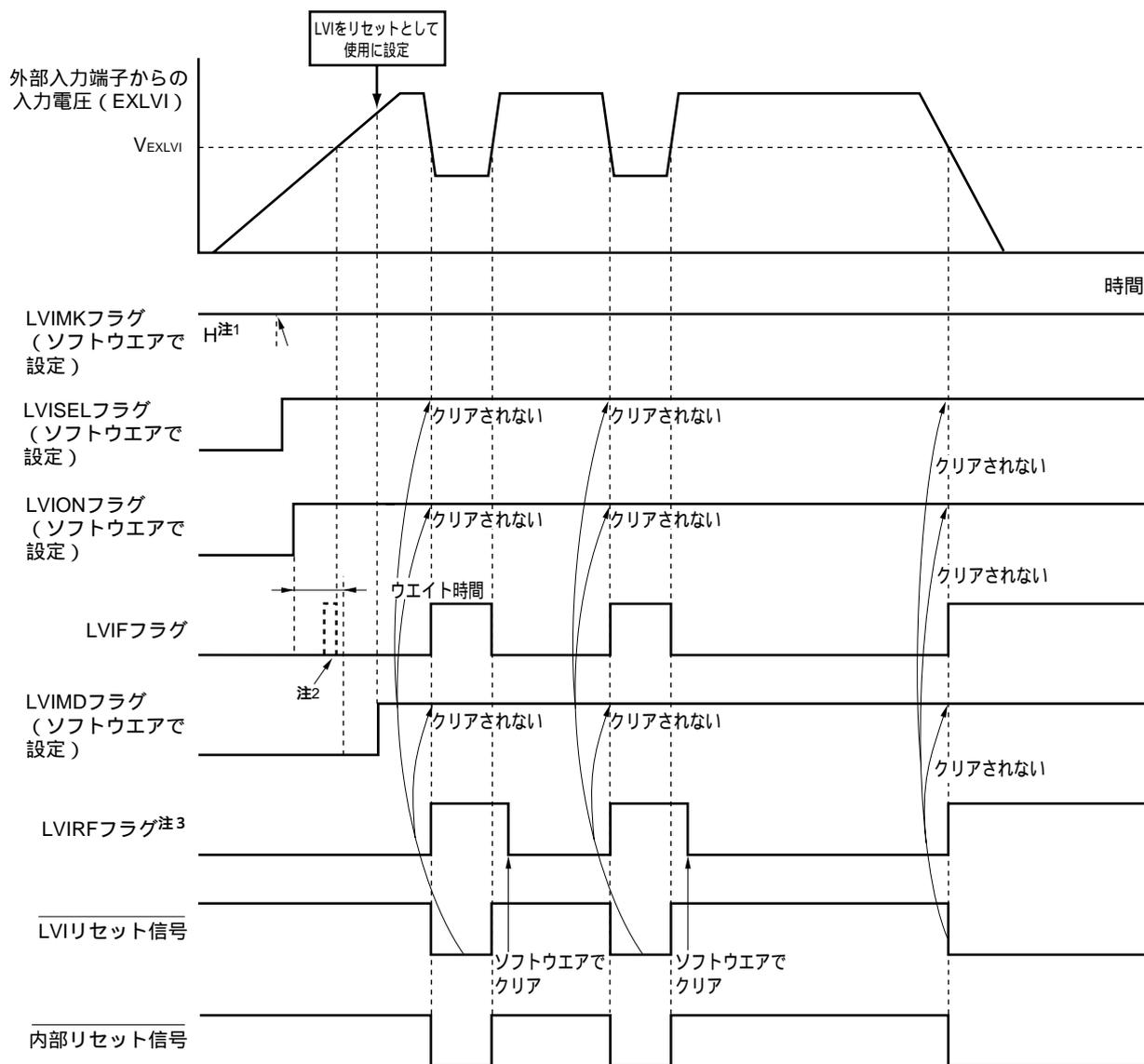
注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
3. 外部入力端子からの入力電圧(EXLVI)は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット操作命令で、LVIMDクリア(0) LVIONクリア(0)を実行してください。

図25 - 7 内部リセット信号発生タイミング (ビット : LVISEL = 1)



注1 . LVIMKフラグはリセット信号の発生により，“1”になっています。

2 . LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット(1)される可能性があります。

3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第23章 リセット機能を参照してください。

備考 図25 - 7の ~ は、25. 4. 1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

25. 4. 2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1)

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μs) をウエイトする。

・動作安定時間 (10 μs (MAX.))

・最小パルス幅 (200 μs (MIN.))

立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を, 立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を, LVIMのビット0 (LVIF) で確認する

LVIの割り込み要求フラグ (LVIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

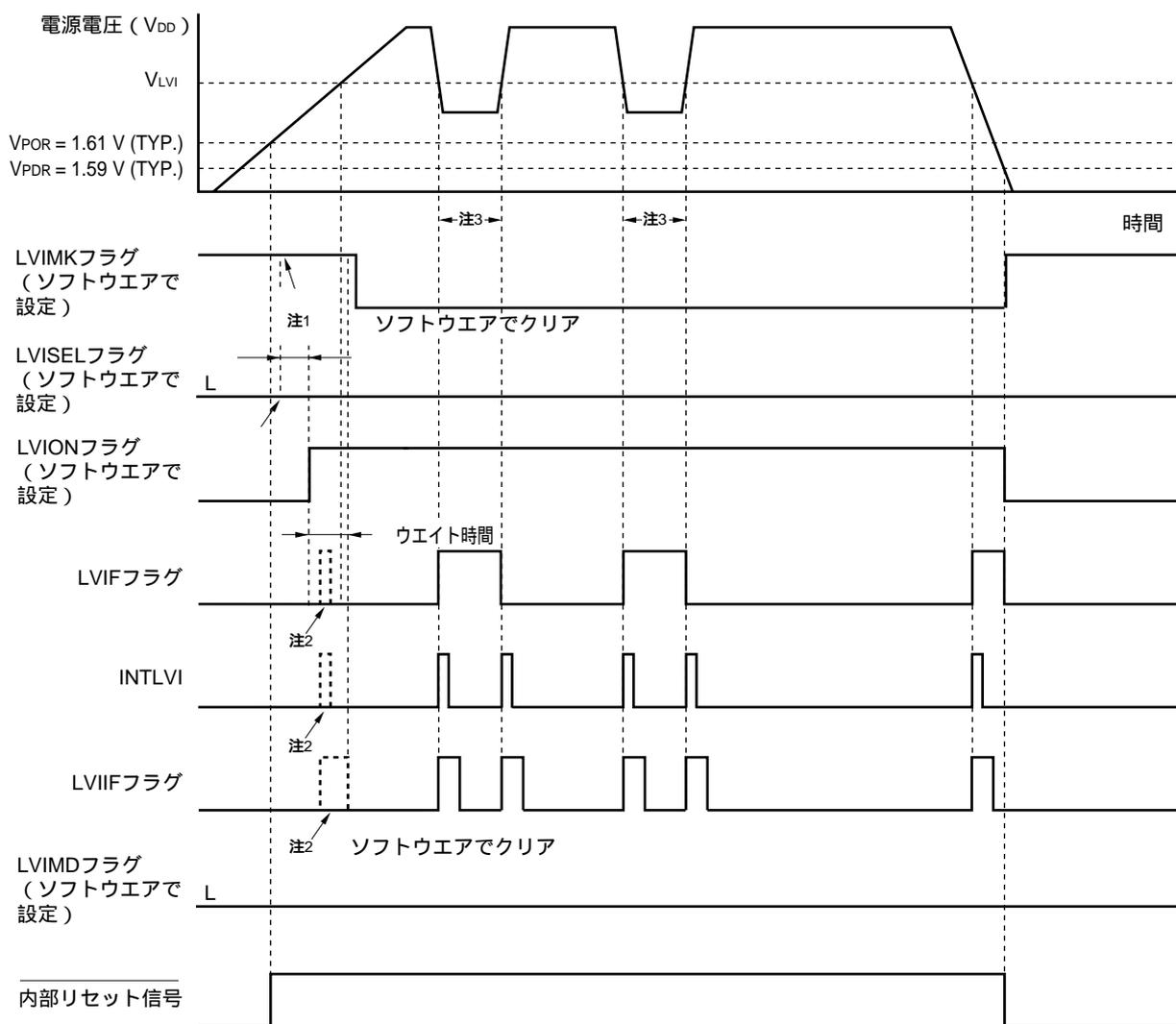
(ベクタ割り込みを使用する場合) EI命令を実行する

図25 - 8に, ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

動作停止時

必ず1ビット操作命令でLVIONをクリア (0) してください。

図25 - 8 割り込み信号発生タイミング (ビット : LVISEL = 0, オプション・バイト : LVIOFF = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。
3. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考1. 図25 - 8の ~ は, 25. 4. 2 (1) (a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の ~ と対応しています。

2. V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値 : V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (立ち下がりを検出する「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

LVIMのビット1 (LVIMD) に “ 0 ” (レベル検出時に割り込み発生) を設定する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図25 - 9に、 ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

動作停止時

必ず1ビット操作命令でLVIONをクリア (0) してください。

注意1. LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

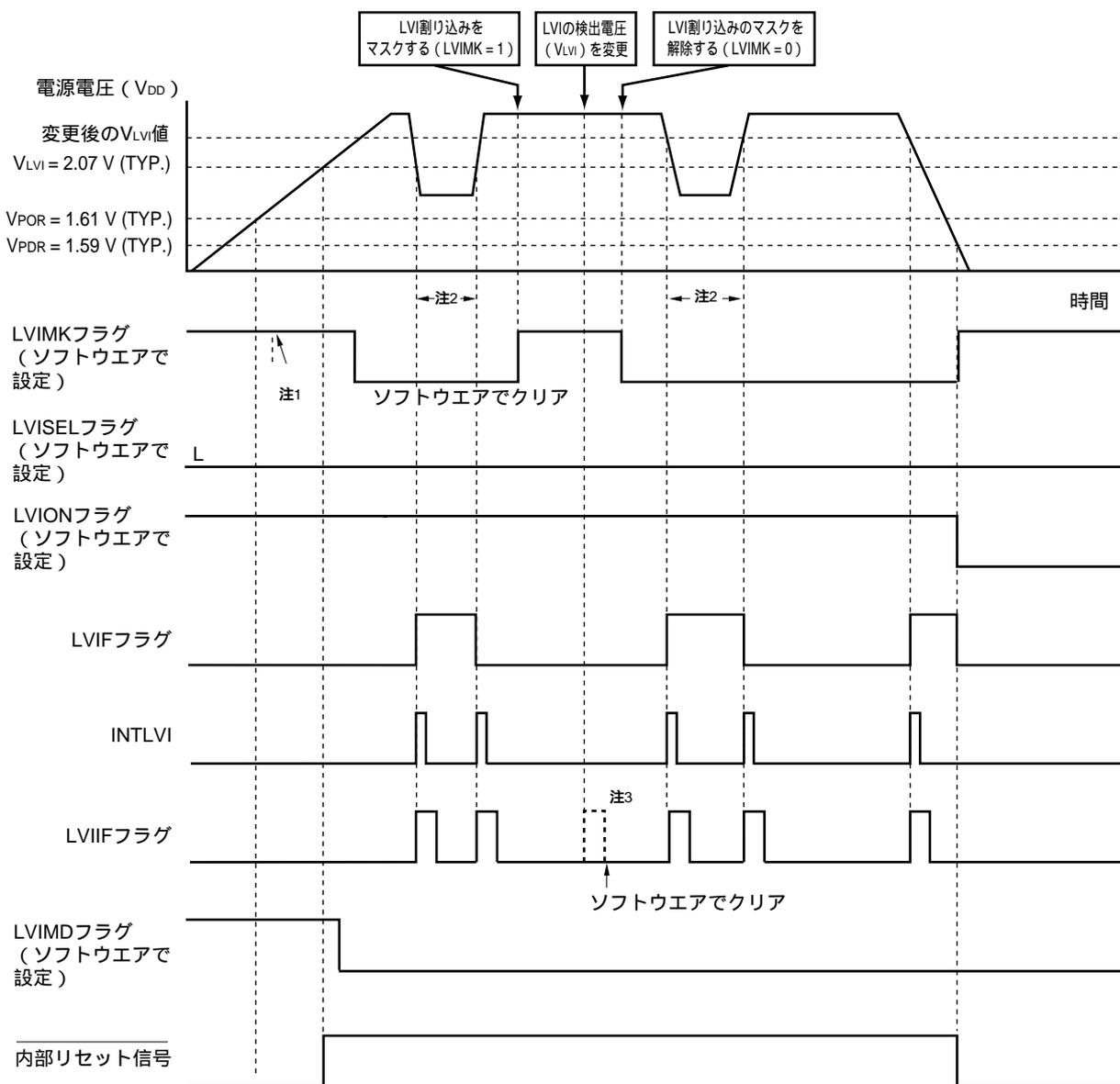
- ・ LVION = 0の期間は低電圧検出しません。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。

これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第23章 リセット機能を参照してください。

図25 - 9 割り込み信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

- 電源電圧 (V_{DD}) 検出電圧 (V_{LVl}) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。
- LVIの検出電圧変更時にLVIIIFフラグがセットされることがあります。

備考1. 図25 - 9の ~ は, 25. 4. 2 (1) (b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0) 動作開始時の ~ と対応しています。

- V_{POR}: POC電源立ち上がり検出電圧
V_{PDR}: POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ(LVIM)のビット2(LVISEL)に“1”(外部入力端子からの入力電圧(EXLVI)のレベルを検出)を設定する

LVIMのビット1(LVIMD)に“0”(レベル検出時に割り込み信号発生)を設定する(デフォルト値)

LVIMのビット7(LVION)に“1”(LVI動作許可)を設定する

ソフトウェアで次に示す時間(合計210 μ s)をウエイトする。

- ・動作安定時間(10 μ s(MAX.))
- ・最小パルス幅(200 μ s(MIN.))

立ち下がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) 検出電圧($V_{EXLVI} = 1.21$ V(TYP.))」を, 立ち上がりを検出する場合は「外部入力端子からの入力電圧(EXLVI) < 検出電圧($V_{EXLVI} = 1.21$ V(TYP.))」を, LVIMのビット0(LVIF)で確認する

LVIの割り込み要求フラグ(LVIIF)をクリア(0)する

LVIの割り込みマスク・フラグ(LVIMK)を解除する

(ベクタ割り込みを使用する場合)EI命令を実行する

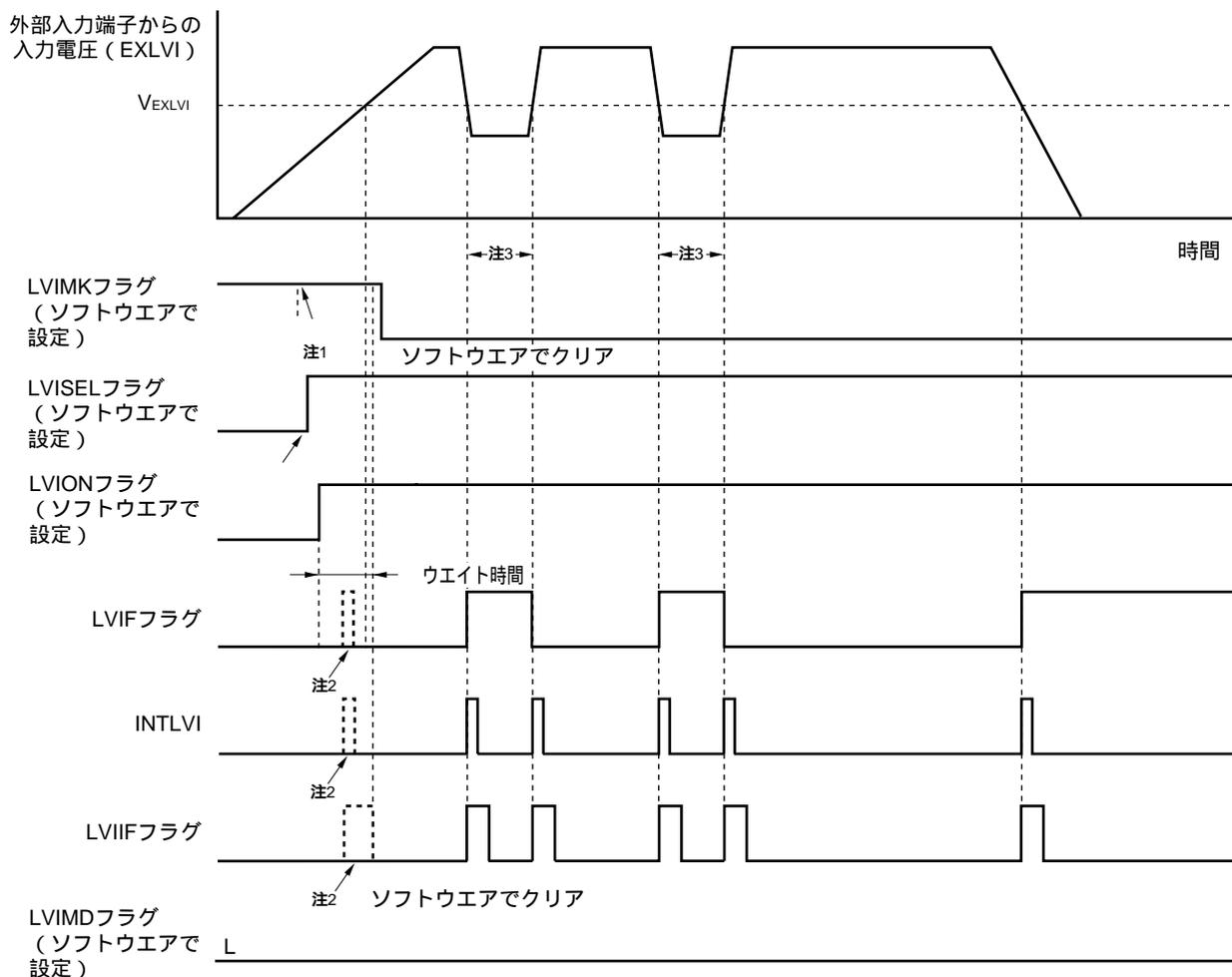
図25 - 10に, ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

注意 外部入力端子からの入力電圧(EXLVI)は, $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット操作命令でLVIONをクリア(0)してください。

図25 - 10 割り込み信号発生時のタイミング (ビット : LVISEL = 1)



- 注1 . LVIMKフラグはリセット信号の発生により, “1” になっています。
- 2 . 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIIFフラグがセット (1) される可能性があります。
- 3 . 外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考 図25 - 10の ~ は, 25. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

25.5 低電圧検出回路の注意事項

(1) 電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で頻繁に変動をする場合の処置方法

電源電圧 (V_{DD}) が LVI 検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

動作例1 : リセットとして使用する場合

リセット状態 / リセット解除状態を繰り返すことがあります。

次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

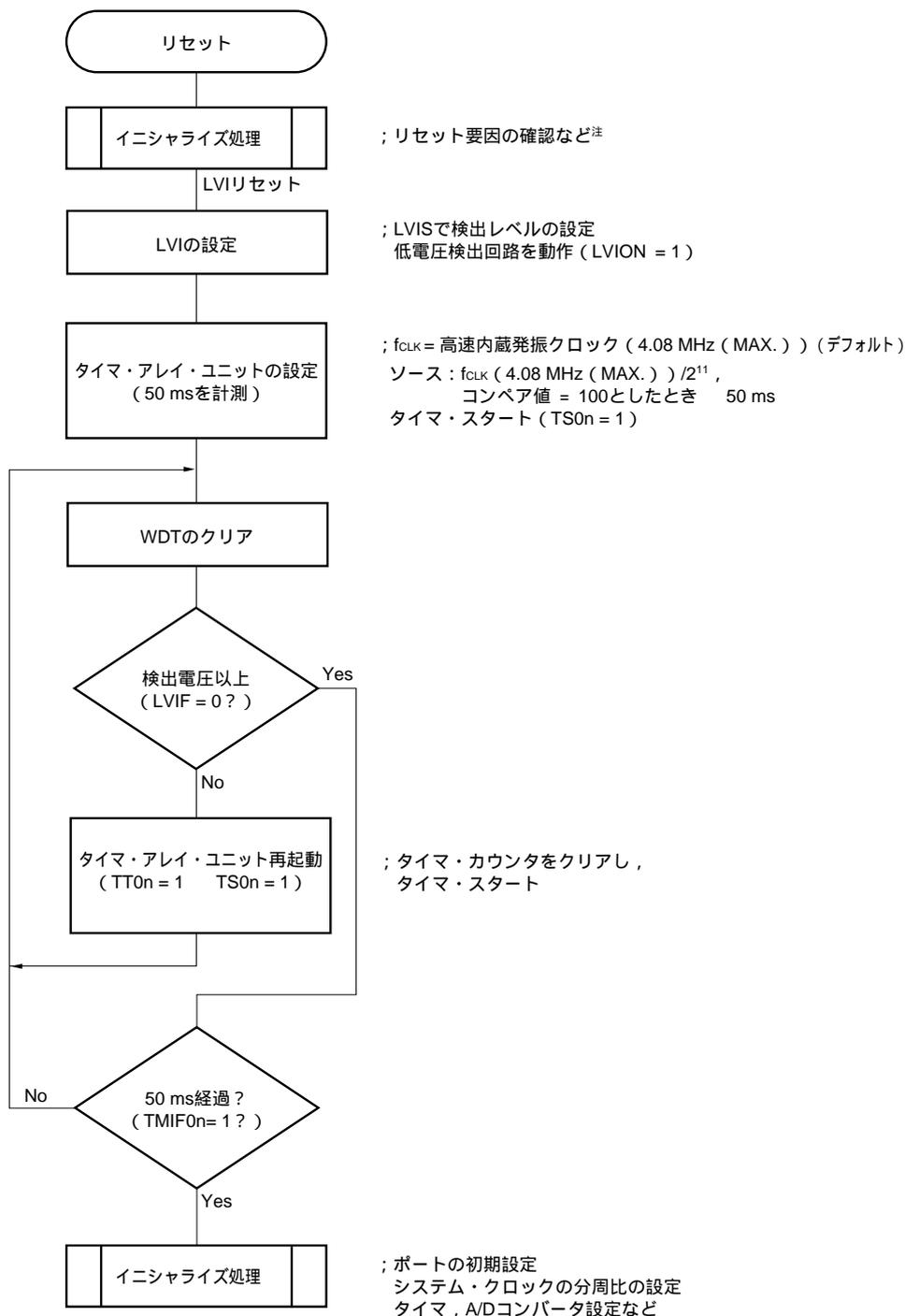
リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図25 - 11を参照)。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

図25 - 11 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

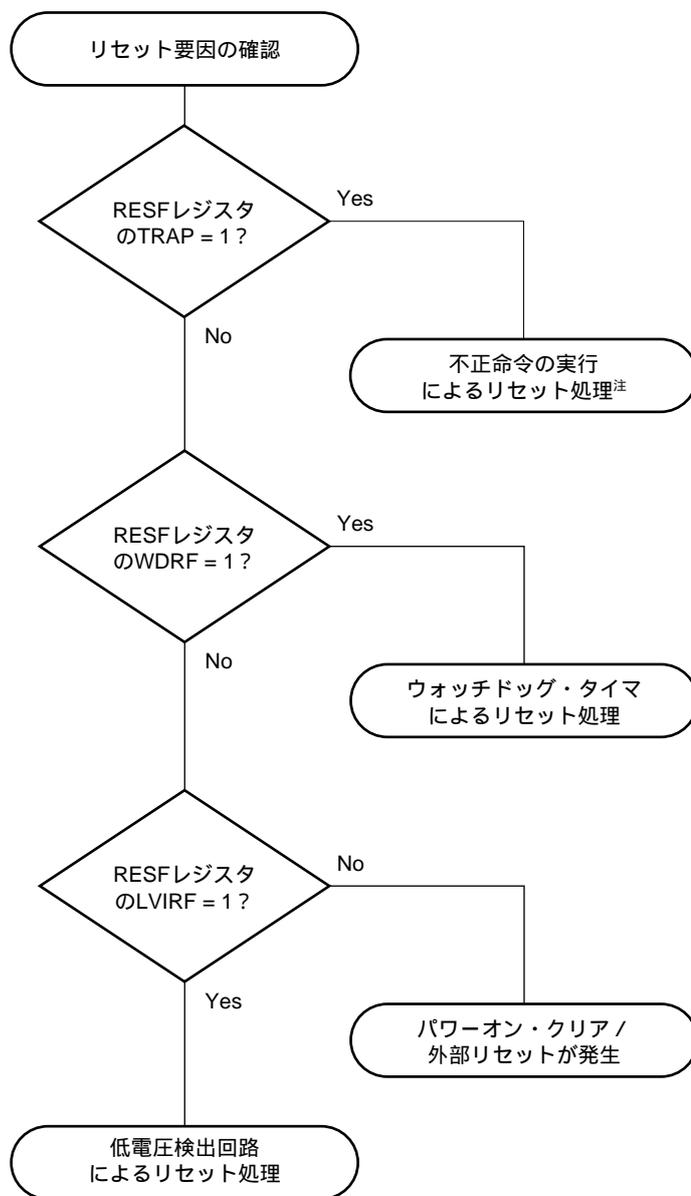
備考1. 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は, 上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

2. $n = 0-7$

図25 - 11 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “ 1 ” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

動作例2 : 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。

次の処置を行うようにしてください。

< 処 置 >

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は“電源電圧 (V_{DD}) 検出電圧 (V_{LVI})”を、立ち上がりを検出する場合は“電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})”を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット1 (LVIIF) をクリア (0) してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとにこれらの処置を行ってください。

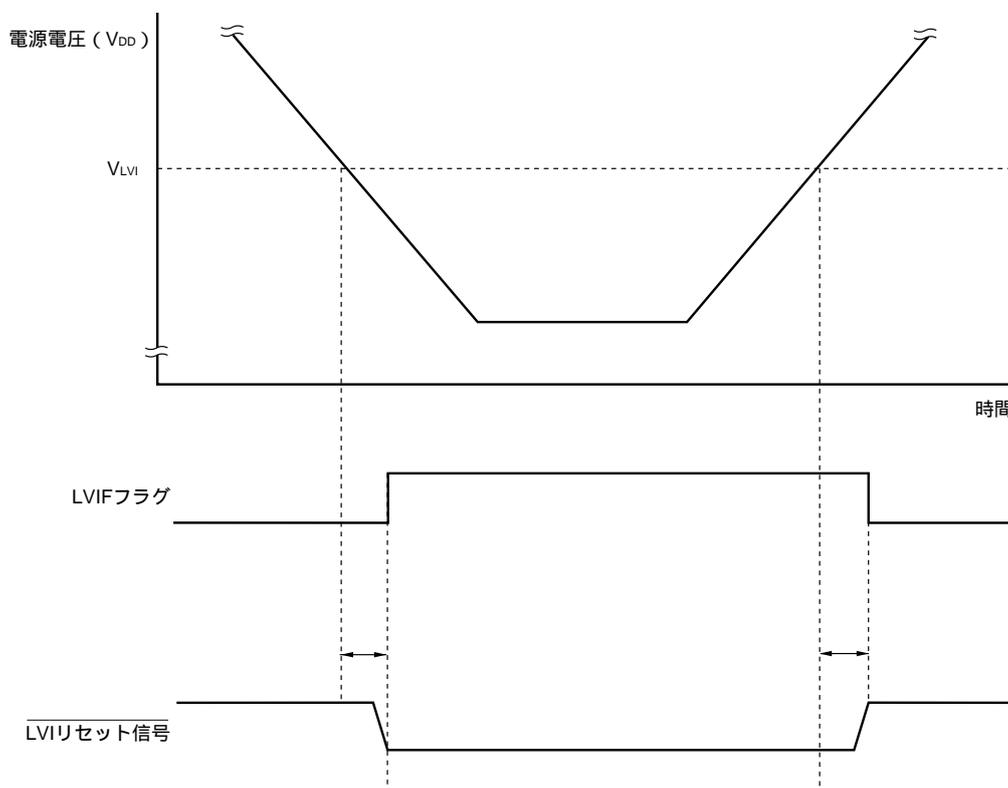
備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

(2) LVIリセット要因発生からLVIリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVI検出電圧 (V_{LVI}) になってから、LVIリセットが発生するまでには遅延が生じます。同じようにLVI検出電圧 (V_{LVI}) 電源電圧 (V_{DD}) になってから、LVIリセットが解除されるまでにも遅延が生じます (図25 - 12参照)。

図25 - 12 LVIリセット要因発生からLVIリセット発生または解除までの遅延



: 最小パルス幅 (200 μs (MIN.))

第26章 レギュレータ

26.1 レギュレータの概要

78K0R/Lx3-Mマイクロコントローラ的全製品には、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、V_{SS}に接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常は2.4V(TYP.)、低消費電力モードでは1.8V(TYP.)です。

26.2 レギュレータを制御するレジスタ

(1) レギュレータ・モード制御レジスタ(RMC)

レギュレータの出力電圧を設定するレジスタです。

RMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図26-1 レギュレータ・モード制御レジスタ(RMC)のフォーマット

アドレス：F00F4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RMC								

RMC[7:0]	レギュレータの出力電圧の制御
5AH	低消費電力モード(1.8V)固定
00H	条件によって通常電力モード(2.4V)と低消費電力モード(1.8V)を切り替える(表26-1参照)
上記以外	設定禁止

注意1. RMCレジスタは、低消費電力モード時(表26-1参照)でのみ書き換えが可能です。つまり、サブシステム・クロック(f_{XT})でCPU動作中で、高速システム・クロック(f_{MX})と高速内蔵発振クロック(f_{IH})と20MHz高速内蔵発振クロック(f_{IH20})がともに停止している状態で書き換えを行ってください。

2. 低消費電力モード固定の設定で使用する場合は、以下の場合にかぎり使用可能です。

<CPUクロックに高速内蔵発振クロック($f_{IH} = 8\text{MHz (TYP.)}$ または $f_{IH} = 1\text{MHz (TYP.)}$) 選択時>
 $f_{CLK} = 1\text{MHz}$,かつ外部発振回路(X1クロック(f_X),外部メイン・システム・クロック(f_{EX}))
 停止

<CPUクロックにX1クロック(f_X)または外部メイン・システム・クロック(f_{EX}) 選択時>
 $f_{CLK} = 1\text{MHz}$,かつ $f_X/f_{EX} = 5\text{MHz}$,かつ高速内蔵発振回路停止

<CPUクロックにサブシステム・クロック(f_{SUB}) 選択時>

高速内蔵発振回路,外部発振回路($f_X/f_{EX} = 5\text{MHz}$)の両方が停止,もしくはどちらか一方が停止

注意3. 低消費電力モードでは、セルフ・プログラミング実行時は $f_{CLK} = 1 \text{ MHz}$ (固定)で使用してください。

4. RMCレジスタの変更後に動作スピード・モード制御レジスタ (OSMC) を変更する場合は、ウエイトが必要です。次に示す手順のとおり、低消費電力モードにする場合は2 ms、通常電力モードにする場合は $10 \mu\text{s}$ の時間をソフトウェアでウエイトしてください。

・低消費電力モードにする場合

f_{CLK} に1 MHzの周波数を選択

RMC 5AH (レギュレータを低消費電力モードにする)

2 msの時間ウエイト

OSMCのFLPC 1, FSEL 0

・通常電力モードにする場合

RMC 00H (レギュレータを通常電力モードにする)

$10 \mu\text{s}$ の時間ウエイト

OSMCのFLPC, FSELを変更

f_{CLK} の周波数を変更

表26 - 1 レギュレータ出力電圧条件

モード	出力電圧	条 件
低消費電力モード	1.8 V	STOPモード時 (OCDモード中は除く)
		サブシステム・クロック (f_{SUB}) でCPU動作中で、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_{IH}) と20 MHz高速内蔵発振クロック (f_{IH20}) がともに停止
		サブシステム・クロック (f_{SUB}) でCPU動作設定時のHALTモード中で、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_{IH}) と20 MHz高速内蔵発振クロック (f_{IH20}) がともに停止
通常電力モード	2.4 V	上記以外

第27章 オプション・バイト

27.1 オプション・バイトの機能

78K0R/Lx3-Mマイクロコントローラのフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 000C2H (ブート・スワップ使用時は000C2H/010C2H) には、必ずFFHを設定してください。

27.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

ウォッチドッグ・タイマの動作

- ・ HALT/STOPモード時の動作停止 / 可能

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマの動作

- ・ 動作停止 / 可能

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのインターバル割り込み

- ・ 使用する / 使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

リセット解除時 (電源立ち上げ時) のLVIの設定

- ・ リセット解除時 (LVIを除くRESET端子, POC, WDT, 不正命令によるリセット), LVIがデフォルトでON / OFF

高速内蔵発振回路の周波数の設定

- ・ 1 MHz, 8 MHz, 20 MHzから選択

注意 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

予約領域です。必ずFFHを設定してください。

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

27.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

オンチップ・デバッグ動作制御

・ オンチップ・デバッグ動作禁止 / 許可

セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・ オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する / 消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

27.2 ユーザ・オプション・バイトのフォーマット

図27 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}					
0	0	設定禁止					
0	1	50 %					
1	0	75 %					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止)						
1	カウンタ動作許可 (リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 33 \text{ kHz (MAX.)}$ の場合)				
0	0	0	$2^7/f_{IL}$ (3.88 ms)				
0	0	1	$2^8/f_{IL}$ (7.76 ms)				
0	1	0	$2^9/f_{IL}$ (15.52 ms)				
0	1	1	$2^{10}/f_{IL}$ (31.03 ms)				
1	0	0	$2^{12}/f_{IL}$ (124.12 ms)				
1	0	1	$2^{14}/f_{IL}$ (496.48 ms)				
1	1	0	$2^{15}/f_{IL}$ (992.97 ms)				
1	1	1	$2^{17}/f_{IL}$ (3971.88 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは, WINDOW1, WINDOW0の値に関係なく, ウインドウ・オープン期間100%となります。

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

備考 f_{IL} : 低速内蔵発振クロック周波数

図27 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット

アドレス : 000C1H/010C1H^{注1}

7	6	5	4	3	2	1	0
1	1	1	1	1	FRQSEL2	FRQSEL1	LVI OFF

FRQSEL2	FRQSEL1	高速内蔵発振回路の周波数
0	1	8 MHz/20 MHz ^{注2}
1	0	1 MHz ^{注3}
1	1	8 MHz
上記以外		設定禁止

LVI OFF	電源立ち上げ時のLVIの設定
0	リセット解除時 (電源立ち上げ時), LVIがデフォルトでON (LVIデフォルト・スタート機能動作)
1	リセット解除時 (電源立ち上げ時), LVIがデフォルトでOFF (LVIデフォルト・スタート機能停止)

- 注1. ブート・スワップ時は, 000C1Hと010C1Hが切り替わるので, 010C1Hにも000C1Hと同じ値を設定してください。
2. 8 MHz/20 MHzを選択した場合, リセット解除後は8 MHzの高速内蔵発振回路が自動的に発振を開始します。20 MHzの高速内蔵発振回路で動作する場合は, その後, $V_{DD} = 2.7 V$ で20 MHz高速内蔵発振制御レジスタ (DSCCTL) のビット0 (DSCON) を1に設定すると発振を開始します。マイコン動作中に1 MHz高速内蔵発振回路に変更することはできません。
3. 1 MHzを選択した場合, リセット解除後は1 MHz高速内蔵発振回路で動作します。マイコン動作中に8 MHz高速内蔵発振回路, 20 MHz高速内蔵発振回路に変更することはできません。

注意1. ビット7-3には, 必ず1を書き込んでください。

2. LVIデフォルト・スタート機能使用時でも, ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には, 次の動作となります。
- LVION = 0の期間は低電圧検出しません。
 - LVION = 0の期間にリセットが発生した場合, リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし, WDTによるリセットと不正命令の実行によるリセットが発生した場合は, 正常に低電圧検出できない期間があります。これはLVIが検出するパルス幅が最大200 μs 必要なのに対し, リセット発生によってLVION = 1に設定されて, LVIの動作安定を待たずにCPUが動作を開始するためです。

図27 - 3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

注 000C2Hは予約領域なので, 必ずFFHを設定してください。またブート・スワップ時は, 000C2Hと010C2Hが切り替わるので, 010C2HにもFFHを設定してください。

27.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図27-4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H^注

	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注 ブート・スワップ時は, 000C3Hと010C3Hが切り替わるので, 010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ, 値を指定できます。

ビット6-1には, 必ず000010Bを書き込んでください。

備考 ビット3-1は, オンチップ・デバッグ機能使用時に値が書き変わるので, 設定後は不定となります。

ただし, 設定時にはビット3-1にも, 必ず初期値 (0, 1, 0) を設定してください。

27.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にRA78K0RまたはPM+のリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

リンカ・オプションの設定方法については、RA78K0R **アセンブラ・パッケージ ユーザーズ・マニュアル**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	0FBH	; 高速内蔵発振回路に8 MHz/20 MHzを選択 ; LVIデフォルト・スタート機能停止
	DB	0FFH	; 予約領域
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		0FBH	; 高速内蔵発振回路に8 MHz/20 MHzを選択 ; LVIデフォルト・スタート機能停止
	DB		0FFH	; 予約領域
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H~010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第28章 フラッシュ・メモリ

78K0R/Lx3-Mマイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

28.1 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0R/Lx3-Mマイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0R/Lx3-Mマイクロコントローラを実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

28.2 プログラミング環境

78K0R/Lx3-Mマイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図28-1 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

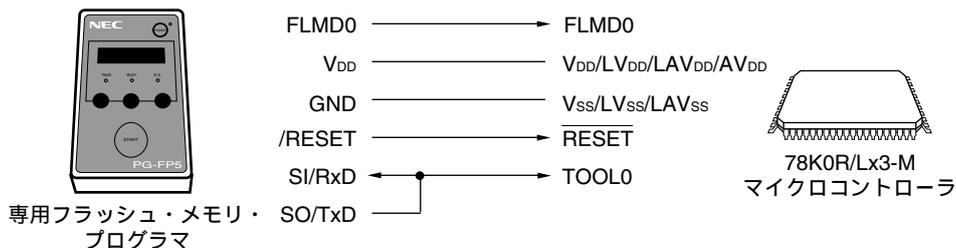
また、専用フラッシュ・メモリ・プログラマと78K0R/Lx3-MマイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

28.3 通信方式

専用フラッシュ・メモリ・プログラマと78K0R/Lx3-Mマイクロコントローラとの通信は、78K0R/Lx3-MマイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：115200 bps ~ 1000000 bps

図28 - 2 専用フラッシュ・メモリ・プログラマとの通信



専用フラッシュ・メモリ・プログラマとしてFlashPro5を使用した場合、FlashPro5は78K0R/Lx3-Mマイクロコントローラに対して次の信号を生成します。詳細はFlashPro5のマニュアルを参照してください。

表28 - 1 端子接続一覧

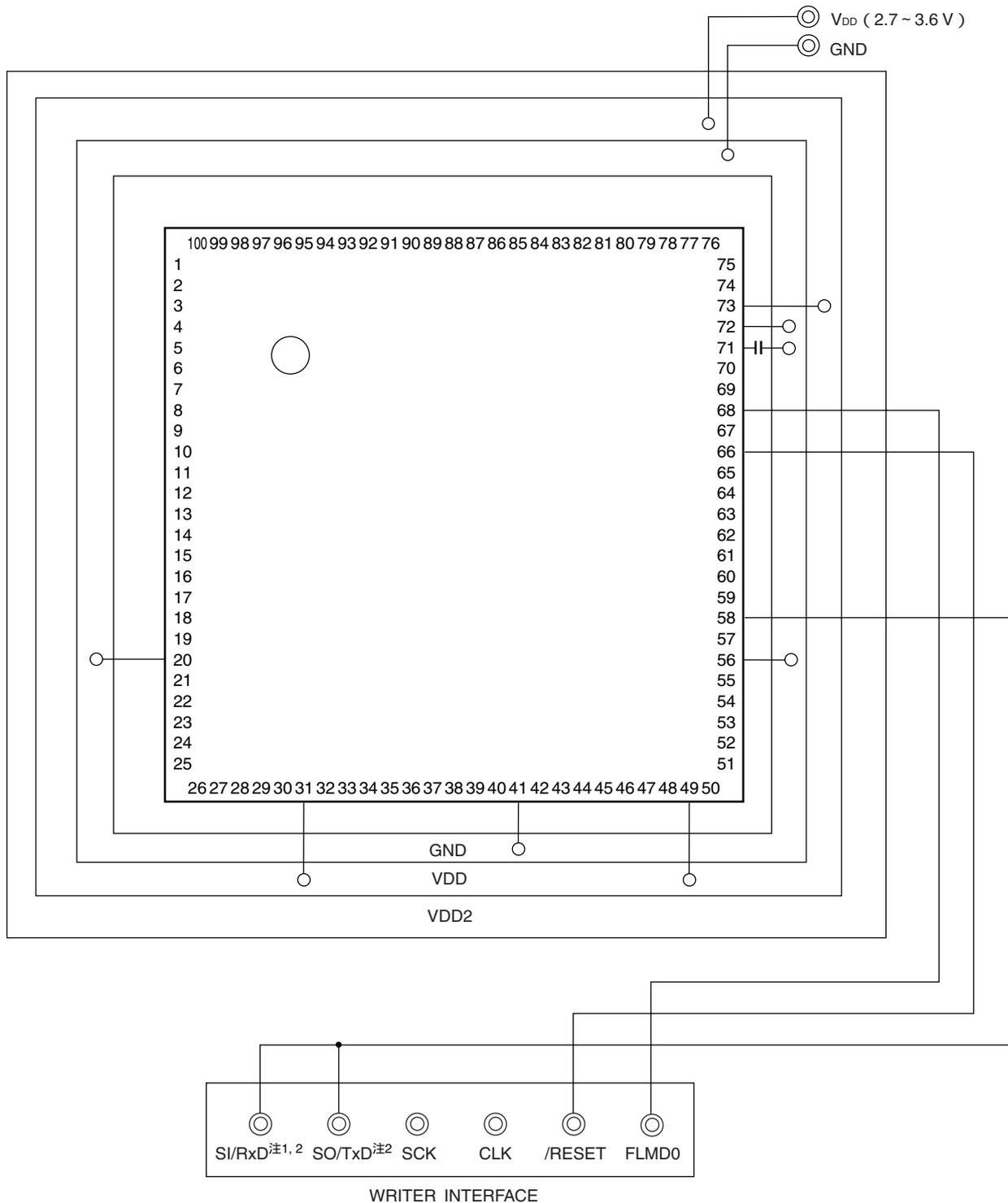
FlashPro5			78K0R/Lx3-Mマイクロコントローラ	接続時の処置
信号名	入出力	端子機能	端子名	
FLMD0	出力	モード信号	FLMD0	
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , LV _{DD} , LAV _{DD} , AV _{DD}	
GND	-	グラウンド	V _{SS} , LV _{SS} , LAV _{SS}	
CLK	出力	クロック出力	-	×
/RESET	出力	リセット信号	RESET	
SI/RxD	入力	受信信号	TOOL0	
SO/TxD	出力	送信信号		
SCK	出力	転送クロック	-	×

備考 : 必ず接続してください。

x : 接続の必要はありません。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図28 - 3 フラッシュ書き込み用アダプタ配線例



注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

28.4 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

28.4.1 FLMD0端子

(1) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、 $1\text{ k}\Omega \sim 200\text{ k}\Omega$ の抵抗でプルダウンしてください。

(2) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常に V_{SS} レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (28.5 (1) バックグラウンド・イベント・コントロール・レジスタ (BECTL) 参照)。もし外部でもプルダウンするときは $200\text{ k}\Omega$ 以下の抵抗でプルダウンしてください。

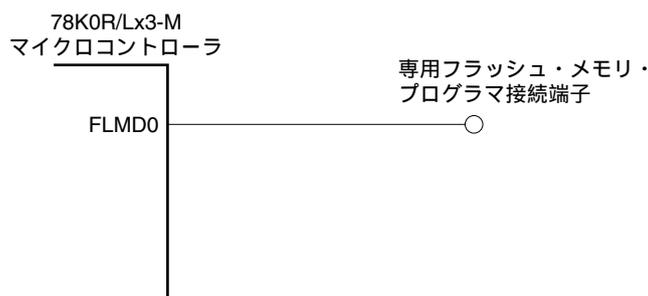
また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、 V_{SS} 端子に直接接続することにより禁止することができます。

(3) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは $100\text{ k}\Omega \sim 200\text{ k}\Omega$ の抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

図28-4 FLMD0端子の接続例



28.4.2 TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、専用フラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してV_{DD}に接続することでプルアップしてください。

通常動作モード時は、オンチップ・デバッグ許可の場合は外部で抵抗を介してV_{DD}に接続することでプルアップし、必ずリセット解除前から常にV_{DD}レベルを入力し続けてください（プルダウン禁止）。

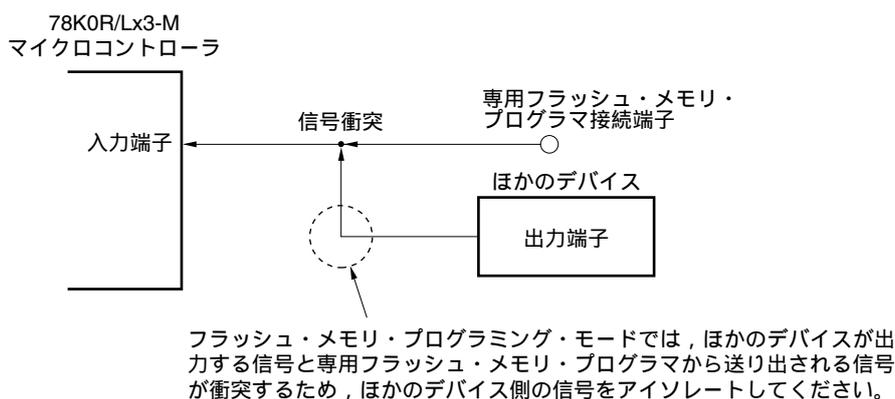
備考 78K0R/Lx3-Mマイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UARTを使用するので、SAUやIICAの端子は使用しません。

28.4.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図28-5 信号の衝突 (RESET端子)



28.4.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

28.4.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μF) を介し、GNDに接続してください。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

28.4.6 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速内蔵発振クロック (f_{IH}) を使用します。

28.4.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、 V_{DD} 端子はフラッシュ・メモリ・プログラムの V_{DD} に、 V_{SS} 端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムで電圧監視をするため、 V_{DD} 、 V_{SS} 端子はフラッシュ・メモリ・プログラムの V_{DD} 、GNDと必ず接続してください。

その他の電源 (LV_{DD} 、 LV_{SS} 、 LAV_{DD} 、 LAV_{SS} 、 AV_{DD}) は、通常動作モード時と同じ電源を供給してください。

28.5 フラッシュ・メモリを制御するレジスタ

(1) バックグラウンド・イベント・コントロール・レジスタ (BECTL)

BECTLレジスタにより、FLMD0端子を外部で制御しなくても、ソフトウェアで制御し、セルフ・プログラミング・モードに引き込むことができます。

ただし、FLMD0端子の端子処理によっては、ソフトウェアでセルフ・プログラミング・モードに引き込むことはできません。BECTLを使用する場合は、FLMD0端子をオープンにすることを推奨します。もし外部でプルダウンするときは100 k 以上の抵抗でプルダウンしてください。また、通常動作モード時は、プルダウン選択で使用してください。セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

BECTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図28 - 6 バックグラウンド・イベント・コントロール・レジスタ (BECTL) のフォーマット

アドレス : FFFBEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BECTL	FLMDPUP	0	0	0	0	0	0	0

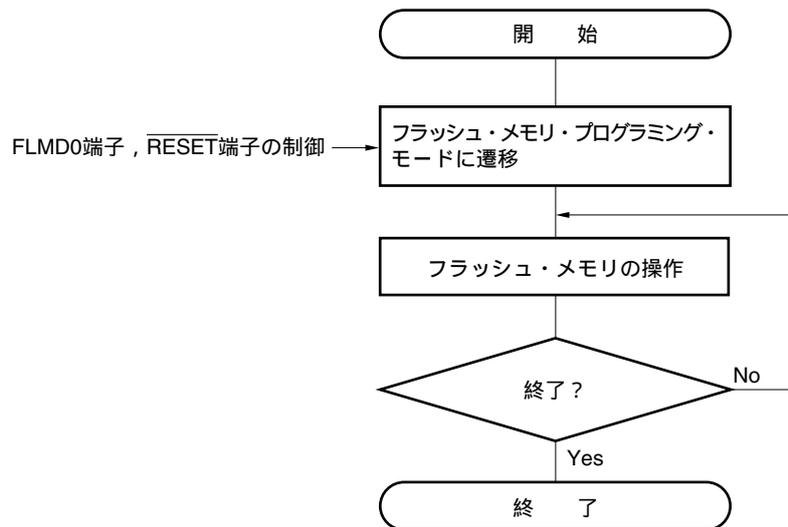
FLMDPUP	FLMD0端子のソフトウェア制御
0	プルダウン選択
1	プルアップ選択

28.6 プログラミング方法

28.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図28 - 7 フラッシュ・メモリの操作手順



28.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0R/Lx3-M マイクロコントローラをフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子とTOOL0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図28-8 フラッシュ・メモリ・プログラミング・モード

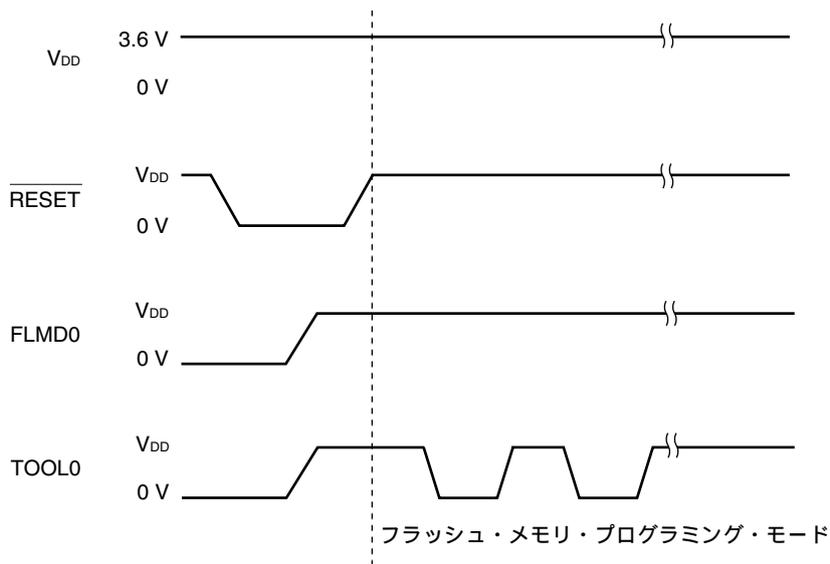


表28-2 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0 V	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

28.6.3 通信方式

78K0R/Lx3-Mマイクロコントローラの通信方式は、次のようになります。

表28-3 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed	Frequency	Multiply Rate	
1線モード (単線UART)	UART-ch0	1 Mbps ^{注2}	-	-	TOOL0

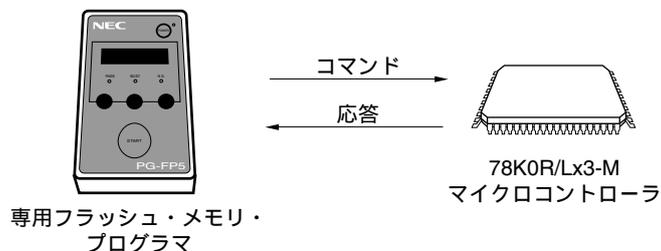
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

- UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

28.6.4 通信コマンド

78K0R/Lx3-Mマイクロコントローラと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0R/Lx3-Mマイクロコントローラへ送られる信号を「コマンド」と呼び、78K0R/Lx3-Mマイクロコントローラから専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図28-9 通信コマンド



78K0R/Lx3-Mマイクロコントローラのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0R/Lx3-Mマイクロコントローラがコマンドに対応した各処理を行います。

表28-4 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランク・チェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	78K0R/Lx3-Mマイクロコントローラ情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0R/Lx3-Mマイクロコントローラのファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また、78K0R/Lx3-Mマイクロコントローラは、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0R/Lx3-Mマイクロコントローラが送出する応答名称を次に示します。

表28-5 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

28.7 セキュリティ設定

78K0R/Lx3-Mマイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- 一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

注意 ブート・クラスタ0の書き換えのセキュリティの設定をした場合、以降、そのデバイスに対しブート・クラスタ0の書き換え、および一括消去（チップ消去）はできなくなります。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、すべてのセキュリティ設定は解除されます。

78K0R/Lx3-Mマイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表28 - 6に示します。

備考 セルフ・プログラミング時の書き込み / 消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は28. 8. 2を参照）。

表28 - 6 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は28.8.2を参照)。

表28 - 7 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		

28.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0R/Lx3-Mマイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はセルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

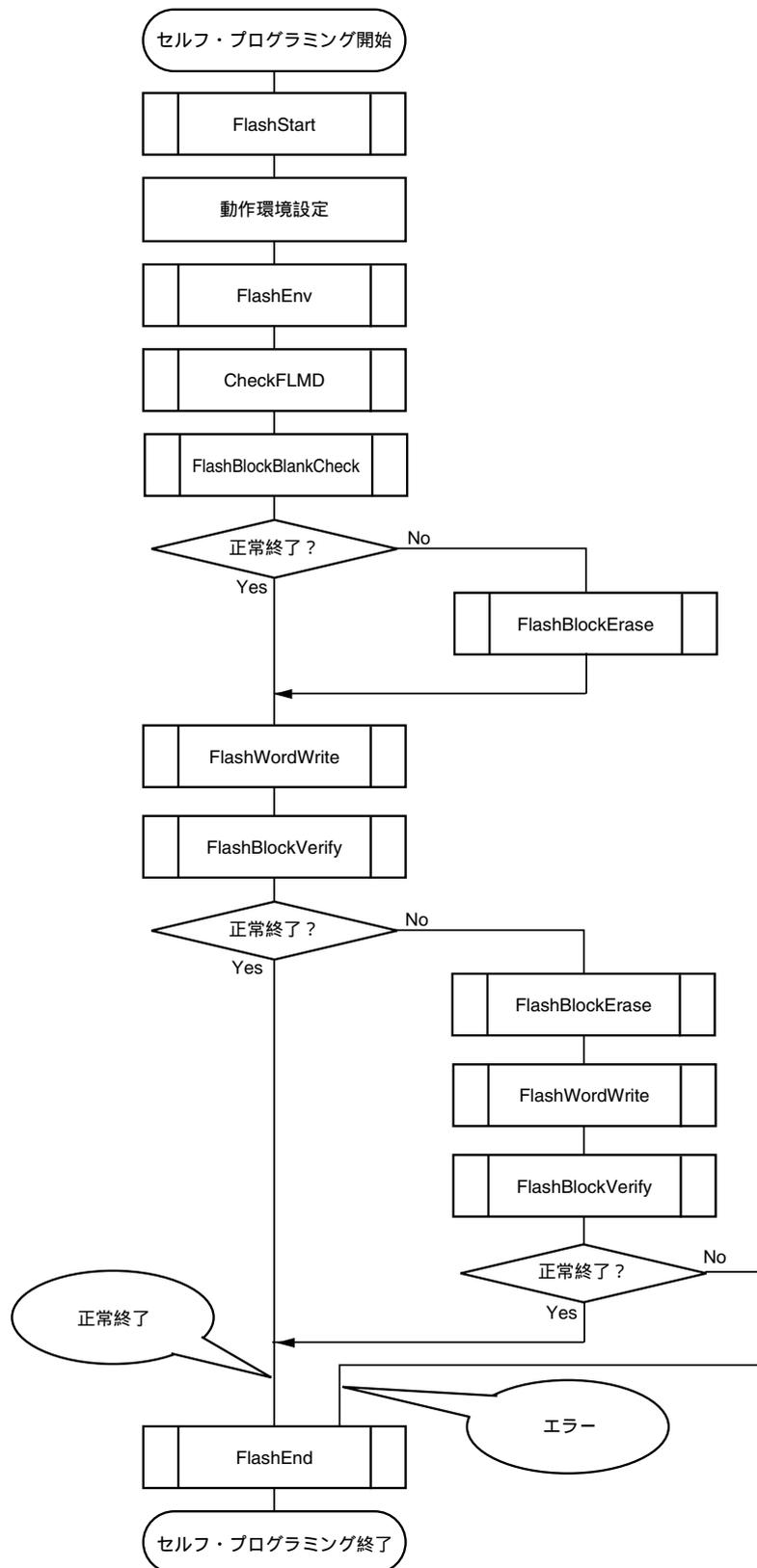
また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。EI状態でマスクされていない割り込み要求が発生すると、セルフ・プログラミング・ライブラリから、直接、割り込みルーチンに分岐します。その後、再びセルフ・プログラミング・モードに移行し、セルフ・プログラミングをレジュームすることができます。ただし、割り込み応答時間は、通常動作モード時と異なります。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング時は、セルフ・プログラミング・スタート・ライブラリ (FlashStart) を呼び出してください。
3. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。
割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
4. 低消費電力モードでは、セルフ・プログラミング実行時は $f_{CLK} = 1 \text{ MHz}$ (固定) で使用してください。低消費電力モードについては、第26章 レギュレータを参照してください。
5. セルフ・プログラミング・ライブラリ関数の実行中は、DMA動作を禁止 (DENn = 0) してください。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図28 - 10 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



28. 8. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

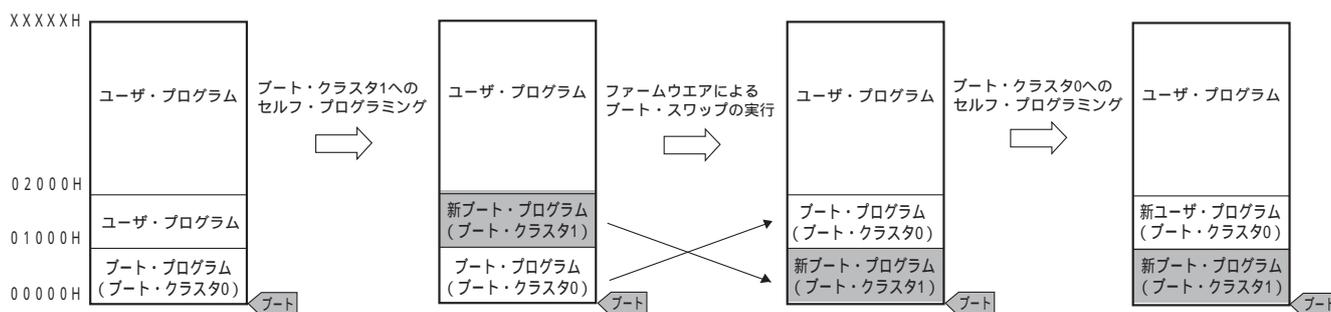
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0[※]の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0R/Lx3-Mマイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図28 - 11 ブート・スワップ機能

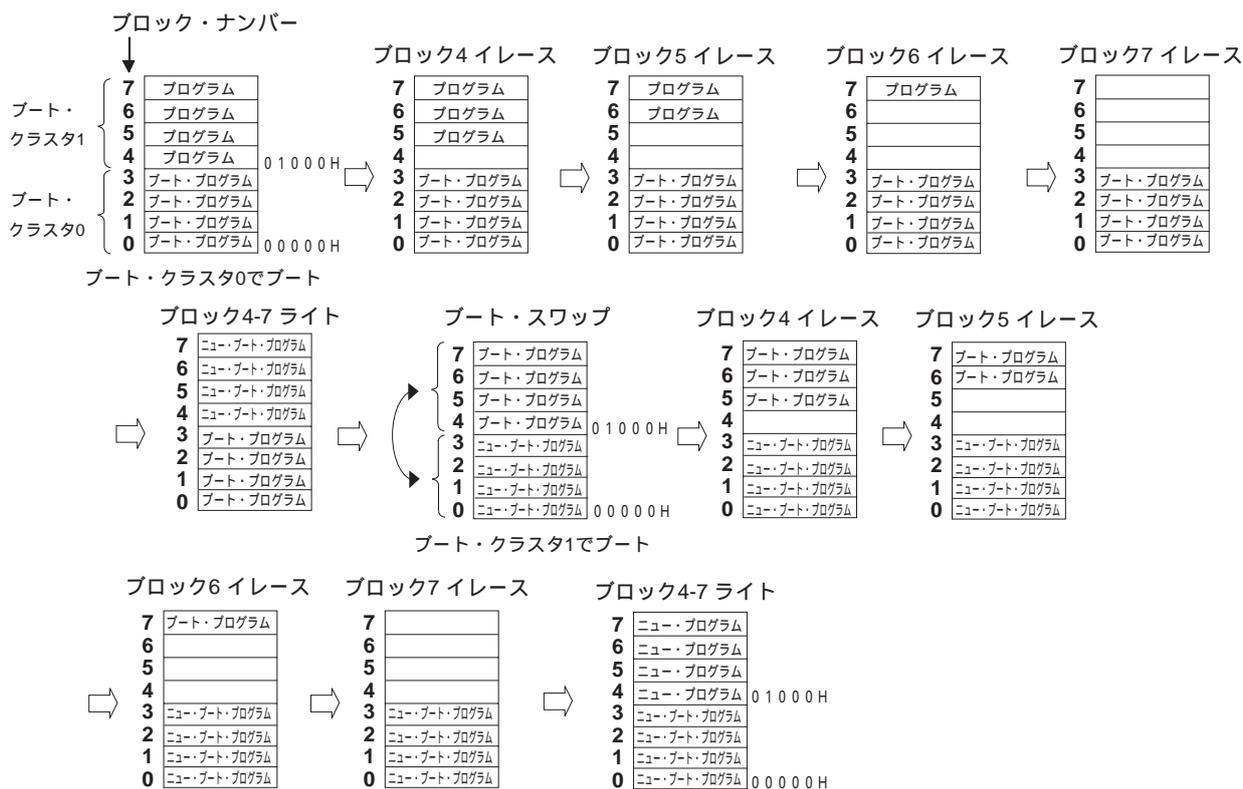


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。

図28 - 12 ブート・スワップの実行例



28. 8. 2 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード / オフボード・プログラミングおよびセルフ・プログラミングの両方で設定 / 変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み / 消去禁止となります。ただし、オンボード / オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み / 消去可能です。

図28 - 13 フラッシュ・シールド・ウインドウの設定例

(対象デバイス： μ PD78F8070，スタート・ブロック：04H，エンド・ブロック：06Hの場合)



注意 フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

表28 - 8 フラッシュ・シールド・ウインドウ機能の設定 / 変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定 / 変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで、ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード / オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード / オフボード・プログラミング時の書き込み / 消去を禁止したい場合には、28. 7 セキュリティ設定を参照してください。

28.9 書き込み済み品発注用ROMコードの作成方法

ルネサス エレクトロニクスでの書き込み済み製品は、発注用のROMコードを作成し、ルネサス エレクトロニクスへ発注する必要があります。

ROMコードは、完成したプログラム（ヘキサ・ファイル）とオプション・データ（フラッシュ・メモリ・プログラマによるセキュリティ設定情報など）をHex Consolidation Utility（以降、HCU）を使用して作成します。

また、HCUは、ROMコード作成に必要な機能を搭載したソフトウェア・ツールです。

ルネサス エレクトロニクスのWEBサイトからHCUをダウンロードしてください。

(1) WEBサイト

https://secure-resource.renesas.com/micro/tool_reg/OdsListTop.do?lang=ja

(2) HCUのダウンロード方法

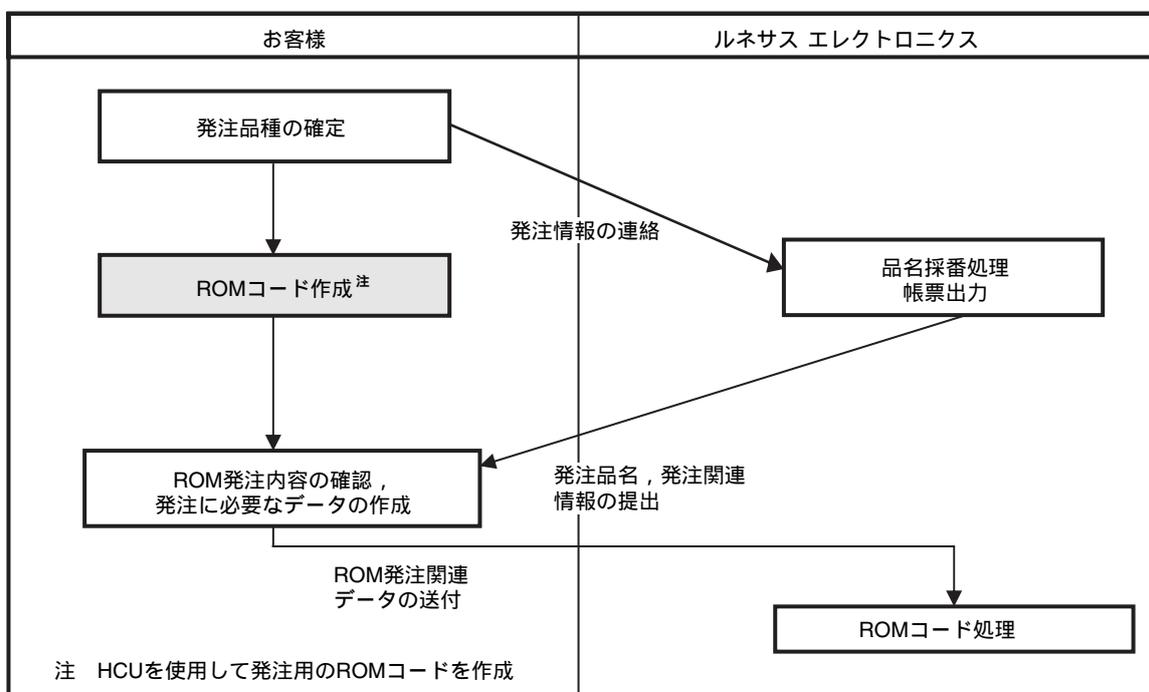
「書き込み済みフラッシュ製品用ソフトウェア」「HCU_GUI」をクリックしてダウンロードしてください。

備考 インストール方法、HCUの使用法の詳細については、上記WEBサイトにあるHCUの添付資料（ユーザズ・マニュアル）を参照してください。

28.9.1 ROMコードの発注手順

ROMコードは、下記の流れでHCUを用いて作成し、ルネサス エレクトロニクスへ発注してください。

詳細は、ROMコードの発注方法 インフォメーション（C10302J）を参照してください。



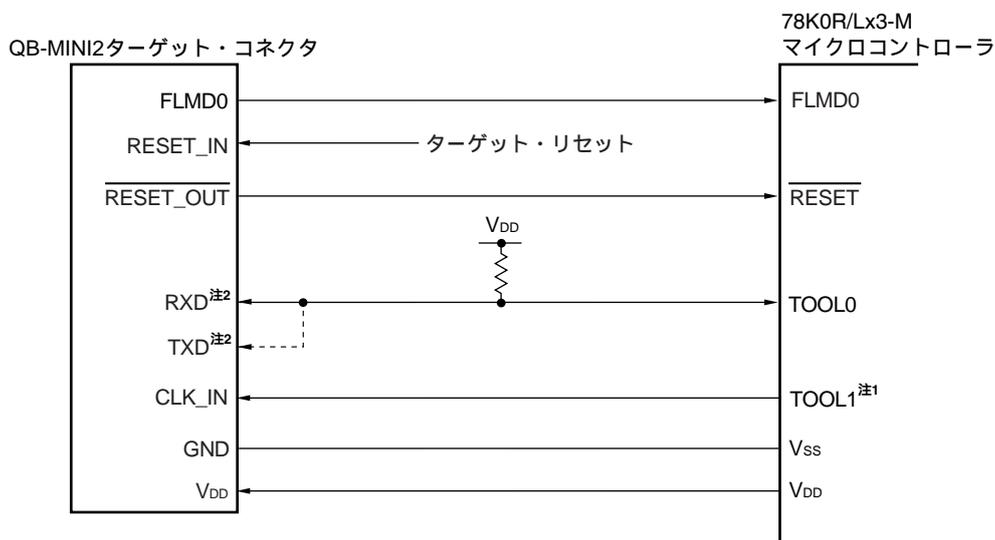
第29章 オンチップ・デバッグ機能

29.1 QB-MINI2と78K0R/Lx3-Mマイクロコントローラの接続

78K0R/Lx3-Mマイクロコントローラは、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ (QB-MINI2) を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、TOOL0、TOOL1^{注1}、 V_{SS} 端子を使用します。

注意 78K0R/Lx3-Mマイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図29 - 1 QB-MINI2と78K0R/Lx3-Mマイクロコントローラの接続例



- 注1. 1線モードで通信を行う場合、接続する必要はありません。2線モードで通信を行う場合、接続してください。このとき、QB-MINI2未接続時には未使用端子となるため、表2 - 2 各端子の未使用端子処理に従って、端子処理をしてください。
2. QB-MINI2の場合、RXD、TXDはQB-MINI2内でショートされるため、点線部の接続は必要ありません。ただし、他のフラッシュ・プログラムを使用する場合、プログラム内部でRXDとTXDをショートできない場合があります。この場合、RxD、TXDをターゲット・システム上でショートする必要があります。

備考 オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子はオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

シリアル通信としては、TOOL0端子を使用した1線モード（単線UART）またはTOOL0，TOOL1端子を使用した2線モードを使用します。フラッシュ・メモリ・プログラミングを行う場合、1線モードを使用します。オンチップ・デバッグを行う場合、1線モードまたは2線モードを使用します。1線モードと2線モードの違いを、表29-1に示します。

表29-1 1線モードと2線モードの違い

通信方式	フラッシュ・プログラミング機能	デバッグ機能
1線モード	使用可能	<ul style="list-style-type: none"> ・疑似リアルタイムRAMモニタ（RRM）機能は未サポート ・DMM機能（RUN中のメモリ書き換え）は未サポート ・2線モードに比べて、デバッグの速度が2倍～4倍遅い
2線モード	なし	<ul style="list-style-type: none"> ・疑似リアルタイムRAMモニタ（RRM）機能はサポート ・DMM機能（RUN中のメモリ書き換え）はサポート

備考 フラッシュ・プログラミング時に2線モードは使用しませんが、TOOL1端子をQB-MINI2のCLK_INに接続していたとしても問題なく正常に書き込みができます。

29.2 オンチップ・デバッグ・セキュリティID

78K0R/Lx3-Mマイクロコントローラでは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第27章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H，000C4H-000CDHと010C3H，010C4H-010CDHが切り替わるので、あらかじめ010C3H，010C4H-010CDHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル**（U18371J）を参照してください。

表29-2 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

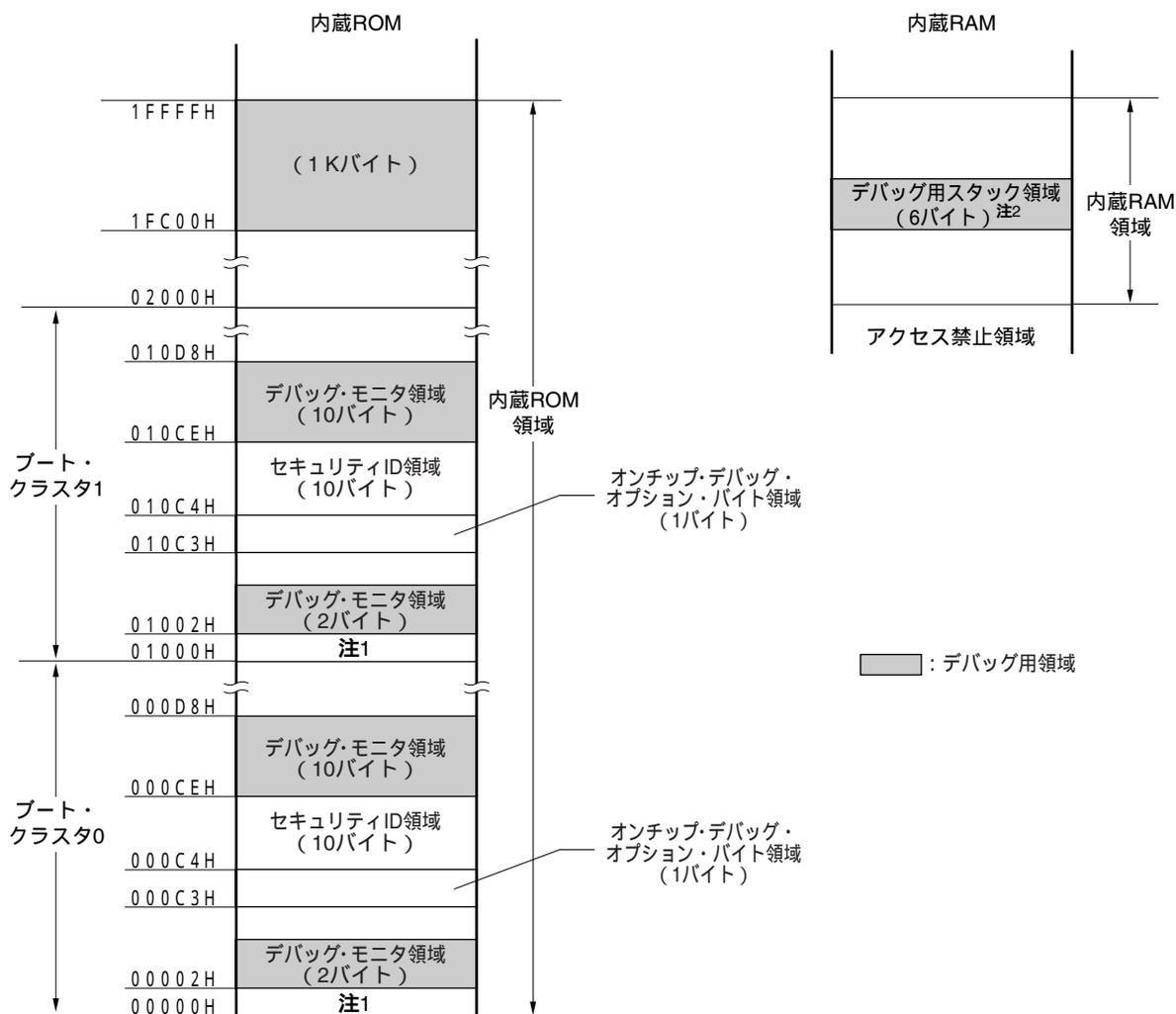
29.3 ユーザ資源の確保

78K0R/Lx3-MマイクロコントローラとQB-MINI2との通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ RA78K0R，コンパイラ CC78K0Rを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図29 - 2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図29 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

- この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、6バイト余分に消費します。

メモリ空間の確保方法の詳細は、QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J) を参照してください。

第30章 10進補正 (BCD) 回路

30.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を, BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと, さらにBCDADJレジスタを加減算することで10進補正演算結果が求められます。

30.2 10進補正回路で使用するレジスタ

10進補正回路は, 次のレジスタを使用します。

- ・BCD補正結果レジスタ (BCDADJ)

(1) BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには, Aレジスタをオペランドにもつ加減算命令によって, BCDコードで加減算結果を求めるための補正値が格納されます。

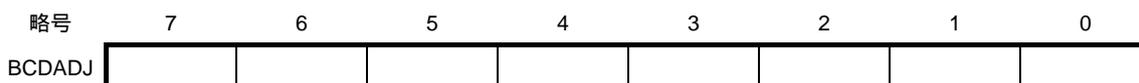
また, BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJは, 8ビット・メモリ操作命令で読み出します。

リセット信号の発生により, 不定になります。

図30 - 1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



30.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

加算したいBCDコード値（被加算値）をAレジスタに格納する。

Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCDADJレジスタに格納される。

Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYレジスタに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため， の命令のあとは，他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ;	99H	-	-	-
ADD A, #89H ;	22H	1	1	66H
ADD A, !BCDADJ ;	88H	1	0	-

例2 $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ;	85H	-	-	-
ADD A, #15H ;	9AH	0	0	66H
ADD A, !BCDADJ ;	00H	1	1	-

例3 $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ;	80H	-	-	-
ADD A, #80H ;	00H	1	0	60H
ADD A, !BCDADJ ;	60H	1	0	-

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

減算されるBCDコード値（被減算値）をAレジスタに格納する。

Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正值がBCDADJレジスタに格納される。

Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正值）を2進数で減算することにより10進補正演算を行い，AレジスタとCYレジスタに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため， の命令のあとは，他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ;	91H	-	-	-
SUB A, #52H ;	3FH	0	1	06H
SUB A, !BCDADJ ;	39H	0	0	-

第31章 命令セットの概要

78K0R/Lx3-Mマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編（U17792J）を参照してください。

備考 表31 - 5 オペレーション一覧の表内の網掛けされている箇所は、78K0マイクロコントローラから追加されたものを示しています。

31.1 凡 例

31.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、!!、\$、\$!、[]、ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミューディアット・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミューディアット・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、!!、\$、\$!、[]、ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表31 - 1の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表31 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）
saddr	FFE20H-FFF1FH イミューディアット・データまたはラベル
saddrp	FFE20H-FFF1FH イミューディアット・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFFH イミューディアット・データまたはラベル
addr16	0000H-FFFFH イミューディアット・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミューディアット・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミューディアット・データまたはラベル
byte	8ビット・イミューディアット・データまたはラベル
bit	3ビット・イミューディアット・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

31.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表31-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
	論理積 (AND)
	論理和 (OR)
	排他的論理和 (exclusive OR)
	反転データ
addr5	16ビット・イミディエト・データ (0080H-00BEHの偶数アドレスのみ)
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレースメント値)
jdisp16	符号付き16ビット・データ (ディスプレースメント値)

31.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表31 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

31.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

表31 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	-
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	-	-	-	-
MOV A, ES:[HL]	11H	8BH	-	-	-

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

31.2 オペレーション一覧

備考 表31 - 5 オペレーション一覧の表内の網掛けされている箇所は，78K0マイクロコントローラから追加されたものを示しています。

表31 - 5 オペレーション一覧 (1/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	r, #byte	2	1	-	r byte				
		saddr, #byte	3	1	-	(saddr) byte				
		sfr, #byte	3	1	-	sfr byte				
		!addr16, #byte	4	1	-	(addr16) byte				
		A, r ^{注3}	1	1	-	A r				
		r, A ^{注3}	1	1	-	r A				
		A, saddr	2	1	-	A (saddr)				
		saddr, A	2	1	-	(saddr) A				
		A, sfr	2	1	-	A sfr				
		sfr, A	2	1	-	sfr A				
		A, !addr16	3	1	4	A (addr16)				
		!addr16, A	3	1	-	(addr16) A				
		PSW, #byte	3	3	-	PSW byte		x	x	x
		A, PSW	2	1	-	A PSW				
		PSW, A	2	3	-	PSW A		x	x	x
		ES, #byte	2	1	-	ES byte				
		ES, saddr	3	1	-	ES (saddr)				
		A, ES	2	1	-	A ES				
		ES, A	2	1	-	ES A				
		CS, #byte	3	1	-	CS byte				
		A, CS	2	1	-	A CS				
		CS, A	2	1	-	CS A				
		A, [DE]	1	1	4	A (DE)				
		[DE], A	1	1	-	(DE) A				
		[DE+byte], #byte	3	1	-	(DE + byte) byte				
		A, [DE+byte]	2	1	4	A (DE + byte)				
		[DE+byte], A	2	1	-	(DE + byte) A				
		A, [HL]	1	1	4	A (HL)				
[HL], A	1	1	-	(HL) A						
[HL+byte], #byte	3	1	-	(HL + byte) byte						

注1．内部RAM領域，SFR領域をアクセスしたとき，またはデータ・アクセスをしない命令のとき。

- 2．プログラム・メモリ領域をアクセスしたとき。
- 3．r = Aを除く。

備考1．命令の1クロックはシステム・クロック制御レジスタ（CKC）で選択したCPUクロック（f_{CLK}）の1クロック分です。

- 2．クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。

表31 - 5 オペレーション一覧 (2/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+byte]	2	1	4	A (HL + byte)			
		[HL+byte], A	2	1	-	(HL + byte) A			
		A, [HL+B]	2	1	4	A (HL + B)			
		[HL+B], A	2	1	-	(HL + B) A			
		A, [HL+C]	2	1	4	A (HL + C)			
		[HL+C], A	2	1	-	(HL + C) A			
		word[B], #byte	4	1	-	(B + word) byte			
		A, word[B]	3	1	4	A (B + word)			
		word[B], A	3	1	-	(B + word) A			
		word[C], #byte	4	1	-	(C + word) byte			
		A, word[C]	3	1	4	A (C + word)			
		word[C], A	3	1	-	(C + word) A			
		word[BC], #byte	4	1	-	(BC + word) byte			
		A, word[BC]	3	1	4	A (BC + word)			
		word[BC], A	3	1	-	(BC + word) A			
		[SP+byte], #byte	3	1	-	(SP + byte) byte			
		A, [SP+byte]	2	1	-	A (SP + byte)			
		[SP+byte], A	2	1	-	(SP + byte) A			
		B, saddr	2	1	-	B (saddr)			
		B, !addr16	3	1	4	B (addr16)			
		C, saddr	2	1	-	C (saddr)			
		C, !addr16	3	1	4	C (addr16)			
		X, saddr	2	1	-	X (saddr)			
		X, !addr16	3	1	4	X (addr16)			
		ES:!addr16, #byte	5	2	-	(ES, addr16) byte			
		A, ES:!addr16	4	2	5	A (ES, addr16)			
		ES:!addr16, A	4	2	-	(ES, addr16) A			
		A, ES:[DE]	2	2	5	A (ES, DE)			
		ES:[DE], A	2	2	-	(ES, DE) A			
		ES:[DE+byte], #byte	4	2	-	((ES, DE) + byte) byte			
		A, ES:[DE+byte]	3	2	5	A ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	-	((ES, DE) + byte) A			
A, ES:[HL]	2	2	5	A (ES, HL)					
ES:[HL], A	2	2	-	(ES, HL) A					

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31 - 5 オペレーション一覧 (3/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	ES:[HL+byte],#byte	4	2	-	((ES, HL) + byte) byte			
		A, ES:[HL+byte]	3	2	5	A ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	-	((ES, HL) + byte) A			
		A, ES:[HL+B]	3	2	5	A ((ES, HL) + B)			
		ES:[HL+B], A	3	2	-	((ES, HL) + B) A			
		A, ES:[HL+C]	3	2	5	A ((ES, HL) + C)			
		ES:[HL+C], A	3	2	-	((ES, HL) + C) A			
		ES:word[B], #byte	5	2	-	((ES, B) + word) byte			
		A, ES:word[B]	4	2	5	A ((ES, B) + word)			
		ES:word[B], A	4	2	-	((ES, B) + word) A			
		ES:word[C], #byte	5	2	-	((ES, C) + word) byte			
		A, ES:word[C]	4	2	5	A ((ES, C) + word)			
		ES:word[C], A	4	2	-	((ES, C) + word) A			
		ES:word[BC], #byte	5	2	-	((ES, BC) + word) byte			
		A, ES:word[BC]	4	2	5	A ((ES, BC) + word)			
		ES:word[BC], A	4	2	-	((ES, BC) + word) A			
		B, ES:!addr16	4	2	5	B (ES, addr16)			
		C, ES:!addr16	4	2	5	C (ES, addr16)			
	X, ES:!addr16	4	2	5	X (ES, addr16)				
	XCH	A, r ^{注3}	1 (r = X) 2 (r = X 以外)	1	-	A r			
		A, saddr	3	2	-	A (saddr)			
		A, sfr	3	2	-	A sfr			
		A, !addr16	4	2	-	A (addr16)			
		A, [DE]	2	2	-	A (DE)			
		A, [DE+byte]	3	2	-	A (DE + byte)			
		A, [HL]	2	2	-	A (HL)			
		A, [HL+byte]	3	2	-	A (HL + byte)			
		A, [HL+B]	2	2	-	A (HL + B)			
A, [HL+C]		2	2	-	A (HL + C)				

注1．内部RAM領域，SFR領域をアクセスしたとき，またはデータ・アクセスをしない命令のとき。

2．プログラム・メモリ領域をアクセスしたとき。

3．r = Aを除く。

備考1．命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2．クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8 ビット ・ データ 転送	XCH	A, ES:!addr16	5	3	-	A (ES, addr16)				
		A, ES:[DE]	3	3	-	A (ES, DE)				
		A, ES:[DE+byte]	4	3	-	A ((ES, DE) + byte)				
		A, ES:[HL]	3	3	-	A (ES, HL)				
		A, ES:[HL+byte]	4	3	-	A ((ES, HL) + byte)				
		A, ES:[HL+B]	3	3	-	A ((ES, HL) + B)				
		A, ES:[HL+C]	3	3	-	A ((ES, HL) + C)				
	ONEB	A	1	1	-	A 01H				
		X	1	1	-	X 01H				
		B	1	1	-	B 01H				
		C	1	1	-	C 01H				
		saddr	2	1	-	(saddr) 01H				
		!addr16	3	1	-	(addr16) 01H				
		ES:!addr16	4	2	-	(ES, addr16) 01H				
	CLRB	A	1	1	-	A 00H				
		X	1	1	-	X 00H				
		B	1	1	-	B 00H				
		C	1	1	-	C 00H				
		saddr	2	1	-	(saddr) 00H				
		!addr16	3	1	-	(addr16) 00H				
		ES:!addr16	4	2	-	(ES,addr16) 00H				
	MOVS	[HL+byte], X	3	1	-	(HL + byte) X	x		x	
		ES:[HL+byte], X	4	2	-	(ES, HL + byte) X	x		x	
	16 ビット ・ データ 転送	MOVW	rp, #word	3	1	-	rp word			
			saddrp, #word	4	1	-	(saddrp) word			
			sfrp, #word	4	1	-	sfrp word			
			AX, saddrp	2	1	-	AX (saddrp)			
			saddrp, AX	2	1	-	(saddrp) AX			
AX, sfrp			2	1	-	AX sfrp				
sfrp, AX			2	1	-	sfrp AX				
AX, rp <small>注3</small>			1	1	-	AX rp				
rp, AX <small>注3</small>			1	1	-	rp AX				

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. rp = AXを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31 - 5 オペレーション一覧 (5/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット ・ デー タ 転 送	MOVW	AX, !addr16	3	1	4	AX (addr16)			
		!addr16, AX	3	1	-	(addr16) AX			
		AX, [DE]	1	1	4	AX (DE)			
		[DE], AX	1	1	-	(DE) AX			
		AX, [DE+byte]	2	1	4	AX (DE + byte)			
		[DE+byte], AX	2	1	-	(DE + byte) AX			
		AX, [HL]	1	1	4	AX (HL)			
		[HL], AX	1	1	-	(HL) AX			
		AX, [HL+byte]	2	1	4	AX (HL + byte)			
		[HL+byte], AX	2	1	-	(HL + byte) AX			
		AX, word[B]	3	1	4	AX (B + word)			
		word[B], AX	3	1	-	(B + word) AX			
		AX, word[C]	3	1	4	AX (C + word)			
		word[C], AX	3	1	-	(C + word) AX			
		AX, word[BC]	3	1	4	AX (BC + word)			
		word[BC], AX	3	1	-	(BC + word) AX			
		AX, [SP+byte]	2	1	-	AX (SP + byte)			
		[SP+byte], AX	2	1	-	(SP + byte) AX			
		BC, saddrp	2	1	-	BC (saddrp)			
		BC, !addr16	3	1	4	BC (addr16)			
		DE, saddrp	2	1	-	DE (saddrp)			
		DE, !addr16	3	1	4	DE (addr16)			
		HL, saddrp	2	1	-	HL (saddrp)			
		HL, !addr16	3	1	4	HL (addr16)			
		AX, ES:!addr16	4	2	5	AX (ES, addr16)			
		ES:!addr16, AX	4	2	-	(ES, addr16) AX			
		AX, ES:[DE]	2	2	5	AX (ES, DE)			
		ES:[DE], AX	2	2	-	(ES, DE) AX			
		AX, ES:[DE+byte]	3	2	5	AX ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	-	((ES, DE) + byte) AX			
AX, ES:[HL]	2	2	5	AX (ES, HL)					
ES:[HL], AX	2	2	-	(ES, HL) AX					

注1 . 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31 - 5 オペレーション一覧 (6/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, ES:[HL+byte]	3	2	5	AX ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	-	((ES, HL) + byte) AX			
		AX, ES:word[B]	4	2	5	AX ((ES, B) + word)			
		ES:word[B], AX	4	2	-	((ES, B) + word) AX			
		AX, ES:word[C]	4	2	5	AX ((ES, C) + word)			
		ES:word[C], AX	4	2	-	((ES, C) + word) AX			
		AX, ES:word[BC]	4	2	5	AX ((ES, BC) + word)			
		ES:word[BC], AX	4	2	-	((ES, BC) + word) AX			
		BC, ES:!addr16	4	2	5	BC (ES, addr16)			
		DE, ES:!addr16	4	2	5	DE (ES, addr16)			
	HL, ES:!addr16	4	2	5	HL (ES, addr16)				
	XCHW	AX, rp ^{注3}	1	1	-	AX rp			
	ONEW	AX	1	1	-	AX 0001H			
		BC	1	1	-	BC 0001H			
CLRW	AX	1	1	-	AX 0000H				
	BC	1	1	-	BC 0000H				
8ビット演算	ADD	A, #byte	2	1	-	A, CY A + byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	-	A, CY A + r	x	x	x
		r, A	2	1	-	r, CY r + A	x	x	x
		A, saddr	2	1	-	A, CY A + (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY A + (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY A + (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY A + (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY A + (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY A + (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY A + (ES, addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY A + (ES, HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY A + ((ES, HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY A + ((ES, HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY A + ((ES, HL) + C)	x	x	x

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. rp = AXを除く。

4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (7/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	ADDC	A, #byte	2	1	-	A, CY	A + byte + CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) + byte + CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A + r + CY	x	x	x
		r, A	2	1	-	r, CY	r + A + CY	x	x	x
		A, saddr	2	1	-	A, CY	A + (saddr) + CY	x	x	x
		A, !addr16	3	1	4	A, CY	A + (addr16) + CY	x	x	x
		A, [HL]	1	1	4	A, CY	A + (HL) + CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A + (HL + byte) + CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A + (HL + B) + CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A + (HL + C) + CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A + (ES, addr16) + CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A + (ES, HL) + CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A + ((ES, HL) + byte) + CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A + ((ES, HL) + B) + CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A + ((ES, HL) + C) + CY	x	x	x	
	SUB	A, #byte	2	1	-	A, CY	A - byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r	x	x	x
		r, A	2	1	-	r, CY	r - A	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16)	x	x	x
A, ES:[HL]		2	2	5	A, CY	A - (ES:HL)	x	x	x	
A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte)	x	x	x		
A, ES:[HL+B]	3	2	5	A, CY	A - ((ES:HL) + B)	x	x	x		
A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C)	x	x	x		

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31 - 5 オペレーション一覧 (8/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	SUBC	A, #byte	2	1	-	A, CY	A - byte - CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r - CY	x	x	x
		r, A	2	1	-	r, CY	r - A - CY	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr) - CY	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16) - CY	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C) - CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A - (ES:HL) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A - ((ES:HL) + B) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	-	A	A byte	x		
		saddr, #byte	3	2	-	(saddr)	(saddr) byte	x		
		A, r ^{注3}	2	1	-	A	A r	x		
		r, A	2	1	-	r	r A	x		
		A, saddr	2	1	-	A	A (saddr)	x		
		A, !addr16	3	1	4	A	A (addr16)	x		
		A, [HL]	1	1	4	A	A (HL)	x		
		A, [HL+byte]	2	1	4	A	A (HL + byte)	x		
		A, [HL+B]	2	1	4	A	A (HL + B)	x		
		A, [HL+C]	2	1	4	A	A (HL + C)	x		
		A, ES:!addr16	4	2	5	A	A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A	A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A	A ((ES:HL) + byte)	x		
A, ES:[HL+B]		3	2	5	A	A ((ES:HL) + B)	x			
A, ES:[HL+C]	3	2	5	A	A ((ES:HL) + C)	x				

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31 - 5 オペレーション一覧 (9/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
		A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x		
	A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x			
	XOR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
A, ES:[HL+B]		3	2	5	A A ((ES:HL) + B)	x			
A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x				

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (10/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	-	A - byte	x	x	x
		saddr, #byte	3	1	-	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A - r	x	x	x
		r, A	2	1	-	r - A	x	x	x
		A, saddr	2	1	-	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x	
	CMP0	A	1	1	-	A - 00H	x	0	0
		X	1	1	-	X - 00H	x	0	0
		B	1	1	-	B - 00H	x	0	0
		C	1	1	-	C - 00H	x	0	0
		saddr	2	1	-	(saddr) - 00H	x	0	0
		!addr16	3	1	4	(addr16) - 00H	x	0	0
ES:!addr16		4	2	5	(ES:addr16) - 00H	x	0	0	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (11/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	-	AX, CY AX + word	x	x	x
		AX, AX	1	1	-	AX, CY AX + AX	x	x	x
		AX, BC	1	1	-	AX, CY AX + BC	x	x	x
		AX, DE	1	1	-	AX, CY AX + DE	x	x	x
		AX, HL	1	1	-	AX, CY AX + HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX + (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX + (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX + (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX + (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	-	AX, CY AX - word	x	x	x
		AX, BC	1	1	-	AX, CY AX - BC	x	x	x
		AX, DE	1	1	-	AX, CY AX - DE	x	x	x
		AX, HL	1	1	-	AX, CY AX - HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX - (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	-	AX - word	x	x	x
		AX, BC	1	1	-	AX - BC	x	x	x
		AX, DE	1	1	-	AX - DE	x	x	x
		AX, HL	1	1	-	AX - HL	x	x	x
		AX, saddrp	2	1	-	AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	
乗算	MULU	X	1	1	-	AX A x X			

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (12/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	-	r r + 1	x	x	
		saddr	2	2	-	(saddr) (saddr) + 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) + 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1	x	x	
	DEC	r	1	1	-	r r - 1	x	x	
		saddr	2	2	-	(saddr) (saddr) - 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) - 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1	x	x	
	INCW	rp	1	1	-	rp rp + 1			
		saddrp	2	2	-	(saddrp) (saddrp) + 1			
		!addr16	3	2	-	(addr16) (addr16) + 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1			
DECW	rp	1	1	-	rp rp - 1				
	saddrp	2	2	-	(saddrp) (saddrp) - 1				
	!addr16	3	2	-	(addr16) (addr16) - 1				
	[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1				
	ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1				
	ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1				
シフト	SHR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ 0) x cnt			x
	SHRW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ 0) x cnt			x
	SHL	A, cnt	2	1	-	(CY A ₇ , A _m A _{m-1} , A ₀ 0) x cnt			x
		B, cnt	2	1	-	(CY B ₇ , B _m B _{m-1} , B ₀ 0) x cnt			x
		C, cnt	2	1	-	(CY C ₇ , C _m C _{m-1} , C ₀ 0) x cnt			x
	SHLW	AX, cnt	2	1	-	(CY AX ₁₅ , AX _m AX _{m-1} , AX ₀ 0) x cnt			x
		BC, cnt	2	1	-	(CY BC ₁₅ , BC _m BC _{m-1} , BC ₀ 0) x cnt			x
	SAR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ A ₇) x cnt			x
SARW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ AX ₁₅) x cnt			x	

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

3. cntはビット・シフト数です。

表31 - 5 オペレーション一覧 (13/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1			×
	ROL	A, 1	2	1	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1			×
	RORC	A, 1	2	1	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1			×
	ROLC	A, 1	2	1	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1			×
	ROLWC	AX, 1	2	1	-	(CY AX ₁₅ , AX ₀ CY, AX _{m+1} AX _m) × 1			×
BC, 1		2	1	-	(CY BC ₁₅ , BC ₀ CY, BC _{m+1} BC _m) × 1			×	
ビット操作	MOV1	CY, saddr.bit	3	1	-	CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY sfr.bit			×
		CY, A.bit	2	1	-	CY A.bit			×
		CY, PSW.bit	3	1	-	CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY (HL).bit			×
		saddr.bit, CY	3	2	-	(saddr).bit CY			
		sfr.bit, CY	3	2	-	sfr.bit CY			
		A.bit, CY	2	1	-	A.bit CY			
		PSW.bit, CY	3	4	-	PSW.bit CY	×	×	
		[HL].bit, CY	2	2	-	(HL).bit CY			
		CY, ES:[HL].bit	3	2	5	CY (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	-	(ES, HL).bit CY			
	AND1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
		CY, A.bit	2	1	-	CY CY A.bit			×
		CY, PSW.bit	3	1	-	CY CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY CY (HL).bit			×
CY, ES:[HL].bit		3	2	5	CY CY (ES, HL).bit			×	
OR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×	
	CY, sfr.bit	3	1	-	CY CY sfr.bit			×	
	CY, A.bit	2	1	-	CY CY A.bit			×	
	CY, PSW.bit	3	1	-	CY CY PSW.bit			×	
	CY, [HL].bit	2	1	4	CY CY (HL).bit			×	
	CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			×	

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (14/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	SET1	saddr.bit	3	2	-	(saddr).bit 1			
		sfr.bit	3	2	-	sfr.bit 1			
		A.bit	2	1	-	A.bit 1			
		!addr16.bit	4	2	-	(addr16).bit 1			
		PSW.bit	3	4	-	PSW.bit 1	x	x	x
		[HL].bit	2	2	-	(HL).bit 1			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 1			
		ES:[HL].bit	3	3	-	(ES, HL).bit 1			
	CLR1	saddr.bit	3	2	-	(saddr).bit 0			
		sfr.bit	3	2	-	sfr.bit 0			
		A.bit	2	1	-	A.bit 0			
		!addr16.bit	4	2	-	(addr16).bit 0			
		PSW.bit	3	4	-	PSW.bit 0	x	x	x
		[HL].bit	2	2	-	(HL).bit 0			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 0			
		ES:[HL].bit	3	3	-	(ES, HL).bit 0			
	SET1	CY	2	1	-	CY 1			1
	CLR1	CY	2	1	-	CY 0			0
NOT1	CY	2	1	-	CY \overline{CY}			x	

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (15/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
コール・リターン	CALL	rp	2	3	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC CS, rp, SP SP - 4				
		\$!addr20	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC PC + 3 + jdisp16, SP SP - 4				
		!addr16	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC 0000, addr16, SP SP - 4				
		!!addr20	4	3	-	(SP - 2) (PC + 4) _s , (SP - 3) (PC + 4) _H , (SP - 4) (PC + 4) _L , PC addr20, SP SP - 4				
		CALLT	[addr5]	2	5	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0000, addr5 + 1), PC _L (0000, addr5), SP SP - 4			
		BRK	-	2	5	-	(SP - 1) PSW, (SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0007FH), PC _L (0007EH), SP SP - 4, IE 0			
		RET	-	1	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), SP SP + 4			
	RETI	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	
	RETB	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (16/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	-	(SP - 1) PSW, (SP - 2) 00H, SP SP - 2			
		rp	1	1	-	(SP - 1) rpH, (SP - 2) rpL, SP SP - 2			
	POP	PSW	2	3	-	PSW (SP + 1), SP SP + 2	R	R	R
		rp	1	1	-	rpL (SP), rpH (SP + 1), SP SP + 2			
	MOVW	SP, #word	4	1	-	SP word			
		SP, AX	2	1	-	SP AX			
		AX, SP	2	1	-	AX SP			
		HL, SP	3	1	-	HL SP			
		BC, SP	3	1	-	BC SP			
		DE, SP	3	1	-	DE SP			
ADDW	SP, #byte	2	1	-	SP SP + byte				
SUBW	SP, #byte	2	1	-	SP SP - byte				
無条件分岐	BR	AX	2	3	-	PC CS, AX			
		\$addr20	2	3	-	PC PC + 2 + jdisp8			
		\$!addr20	3	3	-	PC PC + 3 + jdisp16			
		!addr16	3	3	-	PC 0000, addr16			
		!!addr20	4	3	-	PC addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。

表31-5 オペレーション一覧 (17/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC	PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC	PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC	PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC	PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC	PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5 ^{注3}	-	PC	PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	-	PC	PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	-	2	1	-	Next instruction skip if CY = 1				
	SKNC	-	2	1	-	Next instruction skip if CY = 0				
	SKZ	-	2	1	-	Next instruction skip if Z = 1				
	SKNZ	-	2	1	-	Next instruction skip if Z = 0				
	SKH	-	2	1	-	Next instruction skip if (Z CY)=0				
	SKNH	-	2	1	-	Next instruction skip if (Z CY)=1				
CPU制御	SEL	Rb _n	2	1	-	RBS[1:0]	n			
	NOP	-	1	1	-	No Operation				
	EI	-	3	4	-	IE	1(Enable Interrupt)			
	DI	-	3	4	-	IE	0(Disable Interrupt)			
	HALT	-	2	3	-	Set HALT Mode				
	STOP	-	2	3	-	Set STOP Mode				

注1. 内部RAM領域, SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. クロック数は “ 条件不成立時 / 条件成立時 ” を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。
3. nはレジスタ・バンク数です (n = 0-3)。

第32章 電気的特性

- 注意1. 78K0R/Lx3-Mマイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
2. 製品により、搭載している端子が異なります。1. 3 端子接続図 (Top View) , 第2章 端子機能を参照してください。

絶対最大定格 (TA = 25) (1/3)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 4.6	V
	LV _{DD}		- 0.5 ~ + 4.6	V
	V _{SS}		- 0.5 ~ + 0.3	V
	LV _{SS}		- 0.5 ~ + 0.3	V
	AV _{REFIN} ^{注1}		- 0.5 ~ LAV _{DD} + 0.5 ^{注2}	V
	AV _{DD}		- 0.5 ~ V _{DD} + 0.3 ^{注2}	V
	LAV _{DD}		- 0.5 ~ LV _{DD} + 0.5 ^{注2}	V
	LAV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _{I_{REGC}}	REGC	- 0.3 ~ + 3.6 かつ - 0.3 ~ V _{DD} + 0.3 ^{注3}	V
入力電圧	V _{I1}	P00, P01, P10-P12, P33, P40, P41, P50-P57, P81, P82, P90-P97, P100, P120-P122, P124, P140-P147, EXCLK, RESET, FLMD0	- 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P152, P157	- 0.3 ~ AV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
	V _{I4}	LP01, LRESET, XT1, IC3	- 0.3 ~ LV _{DD} + 0.3 ^{注2}	V

注1. AV_{REFIO}端子の印加電圧

2. 4.6 V以下であること。

3. REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 (TA = 25) (2/3)

項目	略号	条件	定格	単位	
出力電圧	V _{O1}	P00, P01, P10-P12, P33, P40, P41, P50-P57, P60, P61, P81, P82, P90-P97, P100, P120, P140-P147	- 0.3 ~ V _{DD} + 0.3 ^注	V	
	V _{O2}	P152, P157	- 0.3 ~ AV _{DD} + 0.3 ^注	V	
	V _{O3}	SEG0-SEG39, COM0-COM3	外部抵抗分割方式, 容量分割方式	- 0.3 ~ V _{DD} + 0.3 ^注	V
			内部昇圧方式	- 0.3 ~ V _{LC0} + 0.3 ^注	V
	V _{O4}	LP01, P16, CF, RTC1HZ, FXTOUT	- 0.3 ~ LV _{DD} + 0.3 ^注	V	
アナログ入力電圧	V _{AI1}	ANI10, ANI15	- 0.3 ~ AV _{DD} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V	
	V _{AI2}	ANIDS00, ANIDS01, ANIDS10, ANIDS11, ANIDS20, ANIDS21, ANIDS30, ANIDS31	- 0.5 ~ LAV _{DD} + 0.5 ^注	V	
アナログ基準電圧入力	AV _{REF}		- 0.3 ~ AV _{DD} + 0.3 ^注	V	
ハイ・レベル出力電流	I _{OH1}	1端子	P00, P01, P10-P12, P33, P40, P41, P81, P82, P120	- 10	mA
			P50-P57, P90-P97, P100, P140-P147	- 10	mA
			LP01, P16, CF, RTC1HZ, FXTOUT	- 4	mA
		端子合計 - 85 mA	P00, P01, P10-P12, P33, P40, P41, P81, P82, P120	- 25	mA
	P50-P57, P90-P97, P100, P140-P147		- 25	mA	
	LP01, P16, CF, RTC1HZ, FXTOUT		- 35	mA	
	I _{OH2}	1端子	P152, P157	- 0.5	mA
			端子合計	- 2	mA

注 4.6 V以下であること。

- 注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
2. 1端子あたりに流すことができる電流値は、1端子あたりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 (T_A = 25) (3/3)

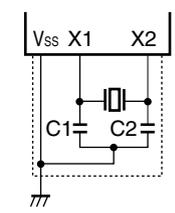
項目	略号	条件		定格	単位
ロウ・レベル出力電流	I _{OL1}	1端子	P00, P01, P10-P12, P33, P40, P41, P81, P82, P120	30	mA
			P60, P61	30	mA
			P50-P57, P90-P97, P100, P140-P147	10	mA
			LP01, P16, CF, RTC1HZ, FXTOUT	4	mA
		端子合計 200 mA	P00, P01, P10-P12, P33, P40, P41, P81, P82, P120	80	mA
			P60, P61	60	mA
			P50-P57, P90-P97, P100, P140-P147	25	mA
			LP01, P16, CF, RTC1HZ, FXTOUT	35	mA
	I _{OL2}	1端子	P152, P157	1	mA
		端子合計		5	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時			
保存温度	T _{stg}		- 65 ~ + 150		

- 注意1. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。
2. 1端子あたりに流すことができる電流値は、1端子あたりの電流値と端子合計の電流値の両方の値を満たす必要があります。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD = AVDD = LVDD = LAVDD 3.6 V, VSS = LVSS = LAVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック発振周波数 (fx) 注	2.7 V VDD 3.6 V	2.0		20.0	MHz
			1.8 V VDD < 2.7 V	2.0		5.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

内蔵発振回路特性

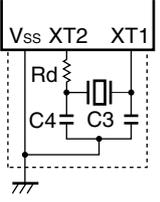
(TA = -40 ~ +85 , 1.8 V VDD = AVDD = LVDD = LAVDD 3.6 V, VSS = LVSS = LAVSS = 0 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位	
高速内蔵発振クロック周波数 (f _{IH}) 注	f _{IH1M}	低消費電力モード	0.87	1	1.13	MHz	
	f _{IH8M}		7.6	8	8.4	MHz	
	f _{IH20M}	2.7 V VDD 3.6 V	19	20	21	MHz	
低速内蔵発振クロック周波数 (f _{IL})	f _{IL}	通常電力モード	2.7 V VDD 3.6 V	24	30	36	kHz
			1.8 V VDD < 2.7 V	21	30	39	
		低消費電力モード		21	30	39	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

XT1発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD = AVDD = LVDD = LAVDD 3.6 V, VSS = LVSS = LAVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f _{XT}) ^注		31	32.768	39	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (1/9)

(TA = -40 ~ +85 , 1.8 V VDD = AVDD = LVDD = LAVDD 3.6 V, VSS = LVSS = LAVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00, P01, P10-P12, P33, P40, P41, P81, P82, P120 1端子			- 1.0	mA	
		P50-P57, P90-P97, P100, P140-P147 1端子			- 0.45	mA	
		P00, P01, P10-P12, P33, P40, P41, P81, P82, P120 合計 (デューティ = 70 %時 ^{注2})	2.7 V V _{DD} 3.6 V			- 10.0	mA
			1.8 V V _{DD} < 2.7 V			- 5.0	mA
		P50-P57, P90-P97, P100, P140-P147 合計 (デューティ = 70 %時 ^{注2})				- 3.6	mA
		全端子合計 (デューティ = 60 %時 ^{注2})	2.7 V V _{DD} 3.6 V			- 13.6	mA
	1.8 V V _{DD} < 2.7 V				- 8.6	mA	
	I _{OH2}	P152, P157 1端子				- 0.1	mA
	I _{OH3}	LP01, P16, CF, RTC1HZ, FXTOUT 1端子	2.7 V V _{DD} 3.6 V			- 2.5	mA
			1.8 V V _{DD} < 2.7 V			- 1.0	mA
		LP01, P16, CF, RTC1HZ, FXTOUT 合計	2.7 V V _{DD} 3.6 V			- 10	mA
			1.8 V V _{DD} < 2.7 V			- 5.0	mA

注1. V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

$$< \text{計算例} > I_{OH} = -20.0 \text{ mAの場合, } n = 50 \%$$

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P10-P12, P82は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/9)

(TA = -40 ~ +85 , 1.8 V VDD = AVDD = LVDD = LAVDD 3.6 V, VSS = LVSS = LAVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	IOL1	P00, P01, P12, P33, P40, P41, P81, P82, P120 1端子	2.7 V VDD 3.6 V			1.0	mA
			1.8 V VDD < 2.7 V			0.5	mA
		P10, P11 1端子	2.7 V VDD 3.6 V			1.5	mA
			1.8 V VDD < 2.7 V			0.6	mA
		P60, P61 1端子	2.7 V VDD 3.6 V			3.0	mA
			1.8 V VDD < 2.7 V			2.0	mA
		P50-P57, P90-P97, P100, P140-P147 1端子	2.7 V VDD 3.6 V			0.8	mA
			1.8 V VDD < 2.7 V			0.35	mA
		P00, P01, P10-P12, P33, P40, P41, P81, P82, P120 合計 (デューティ = 70 %時 ^{注2})	2.7 V VDD 3.6 V			15.0	mA
			1.8 V VDD < 2.7 V			9.0	mA
		P60, P61 合計 (デューティ = 70 %時 ^{注2})	2.7 V VDD 3.6 V			6.0	mA
			1.8 V VDD < 2.7 V			4.0	mA
	P50-P57, P90-P97, P100, P140-P147 合計 (デューティ = 70 %時 ^{注2})	2.7 V VDD 3.6 V			6.4	mA	
		1.8 V VDD < 2.7 V			2.8	mA	
	全端子合計 (デューティ = 70 %時 ^{注2})	2.7 V VDD 3.6 V			27.4	mA	
		1.8 V VDD < 2.7 V			15.8	mA	
	IOL2	P152, P157 1端子				0.4	mA
	IOL3	LP01, P16, CF, RTC1HZ, FXTOUT 1端子	2.7 V VDD 3.6 V			2.5	mA
1.8 V VDD < 2.7 V					1.0	mA	
LP01, P16, CF, RTC1HZ, FXTOUT 合計		2.7 V VDD 3.6 V			15	mA	
		1.8 V VDD < 2.7 V			9.0	mA	

注1. 出力端子からVSS, AVSS端子に流れ込んでも、デバイスの動作を保证する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

$$< \text{計算例} > I_{OL} = 20.0 \text{ mAの場合, } n = 50 \%$$

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/9)

(TA = -40 ~ +85 , 1.8 V VDD = AVDD = LVDD = LAVDD 3.6 V, VSS = LVSS = LAVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	VIH1	P00, P01, P12, P41, P51, P54-P57, P82, P90-P97, P100, P124, P140-P147	0.7VDD		VDD	V	
	VIH2	P10, P11, P33, P40, P50, P52, P53, P81, P120-P122, RESET	通常入力バッファ 0.8VDD		VDD	V	
	VIH3	P10, P11	TTL入力バッファ 2.7 V VDD 3.6 V	2.0		VDD	V
			TTL入力バッファ 1.8 V VDD < 2.7 V	1.6		VDD	V
	VIH4	P152, P157	0.7AVDD		AVDD	V	
	VIH5	P60, P61	0.7VDD		6.0	V	
	VIH6	FLMD0	0.9VDD ^{注1}		VDD	V	
	VIH7	EXCLKS0	0.8VDD		VDD	V	
	VIH8	LP01	0.7LVDD		LVDD	V	
	VIH9	LRESET, EXCLKS1, IC3	0.8LVDD		LVDD	V	
ロウ・レベル入力電圧	UIL1	P00, P01, P12, P41, P51, P54-P57, P82, P90-P97, P100, P124, P140-P147	0		0.3VDD	V	
	UIL2	P10, P11, P33, P40, P50, P52, P53, P81, P120-P122, RESET	通常入力バッファ 0		0.2VDD	V	
	UIL3	P10, P11	TTL入力バッファ 2.7 V VDD 3.6 V	0		0.5	V
			TTL入力バッファ 1.8 V VDD < 2.7 V	0		0.2	V
	UIL4	P152, P157	0		0.3AVDD	V	
	UIL5	P60, P61	0		0.3VDD	V	
	UIL6	FLMD0	0		0.1VDD ^{注2}	V	
	UIL7	EXCLKS0	0		0.346	V	
	UIL8	LP01	0		0.3LVDD	V	
	UIL9	LRESET, EXCLKS1, IC3	0		0.2LVDD	V	

注1. フラッシュ・メモリ・プログラミング・モードで使用するときには、0.9VDD以上にする必要があります。

2. フラッシュ・メモリを書き換え禁止にする場合は、FLMD0端子を直接VSSへ接続し、0.1VDD以下の電圧を保つようにしてください。

注意 P10-P12, P82は、N-chオープン・ドレイン・モード時でもVIHの最大値 (MAX.) はVDDです。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (4/9)

(TA = -40 ~ +85 , 1.8 V VDD = AVDD = LVDD = LAVDD 3.6 V, VSS = LVSS = LAVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	VOH1	P00, P01, P10-P12, P33, P40, P41, P81, P82, P120	IOH1 = -1.0 mA	VDD - 0.5			V
		P50-P57, P90-P97, P100, P140-P147	IOH1 = -0.45 mA	VDD - 0.5			V
	VOH2	P152, P157	IOH2 = -0.1 mA	AVDD - 0.5			V
	VOH3	LP01, P16, CF, RTC1HZ	2.7 V VDD 3.6 V, IOH3 = -2.5 mA	LVDD - 0.5			V
			1.8 V VDD 3.6 V, IOH3 = -1.0 mA	LVDD - 0.5			V
	VOH4	FXTOUT	2.7 V VDD 3.6 V, IOH3 = -2.5 mA	0.8LVDD			V
			1.8 V VDD 3.6 V, IOH3 = -1.0 mA	0.8LVDD			V
	ロウ・レベル出力電圧	VOL1	P00, P01, P12, P33, P40, P41, P81, P82, P120	2.7 V VDD 3.6 V, IOL1 = 1.0 mA			0.5
1.8 V VDD 3.6 V, IOL1 = 0.5 mA						0.4	V
P10, P11			2.7 V VDD 3.6 V, IOL1 = 1.5 mA			0.5	V
			1.8 V VDD 3.6 V, IOL1 = 0.6 mA			0.4	V
P50-P57, P90-P97, P100, P140-P147			2.7 V VDD 3.6 V, IOL1 = 0.8 mA			0.5	V
			1.8 V VDD 3.6 V, IOL1 = 0.35 mA			0.4	V
VOL2		P152, P157	IOL2 = 0.4 mA			0.4	V
VOL3		P60, P61	2.7 V VDD 3.6 V, IOL1 = 3.0 mA			0.4	V
			1.8 V VDD 3.6 V, IOL1 = 2.0 mA			0.4	V
VOL4		LP01, P16, CF, RTC1HZ	2.7 V VDD 3.6 V, IOL3 = 2.5 mA			0.4	V
			1.8 V VDD 3.6 V, IOL3 = 1.0 mA			0.4	V
VOL5		FXTOUT	2.7 V VDD 3.6 V, IOL3 = 2.5 mA			0.346	V
			1.8 V VDD 3.6 V, IOL3 = 1.0 mA			0.346	V

注意 P10-P12, P82は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

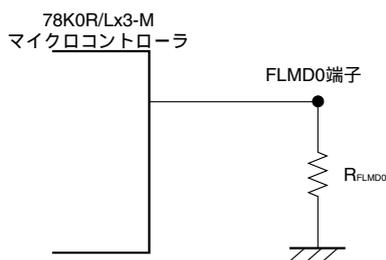
備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (5/9)

(TA = -40 ~ +85 , 1.8 V VDD = AVDD = LVDD = LAVDD 3.6 V, VSS = LVSS = LAVSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力リーク電流	I _{LIH1}	P00, P01, P10-P12, P33, P40, P41, P50-P57, P60, P61, P81, P82, P90-P97, P100, P120, P140-P147, FLMD0, $\overline{\text{RESET}}$, IC0-IC2, IC4-IC6	$V_i = V_{DD}$			1	μA	
	I _{LIH2}	P152, P157	$V_i = AV_{DD}$			1	μA	
	I _{LIH3}	P121, P122, P124 (X1, X2)	$V_i = V_{DD}$	入力ポート時 / 外部クロック時			1	μA
				発振子接続時			10	μA
	I _{LIH4}	XT1	$V_i = LV_{DD}$	外部クロック			5	μA
I _{LIH5}	LP01, LRESET, IC3	$V_i = LV_{DD}$				5	μA	
ロウ・レベル入力リーク電流	I _{LIL1}	P00, P01, P10-P12, P33, P40, P41, P50-P57, P60, P61, P81, P82, P90-P97, P100, P120, P140-P147, FLMD0, $\overline{\text{RESET}}$, IC0-IC2, IC4-IC6	$V_i = V_{SS}$			-1	μA	
	I _{LIL2}	P152, P157	$V_i = V_{SS}$			-1	μA	
	I _{LIL3}	P121, P122, P124 (X1, X2)	$V_i = V_{SS}$	入力ポート時 / 外部クロック時			-1	μA
				発振子接続時			-10	μA
	I _{LIL4}	XT1	$V_i = V_{SS}$	外部クロック			-5	μA
I _{LIL5}	LP01, LRESET, IC3	$V_i = V_{SS}$				-5	μA	
内蔵プルアップ抵抗	R _{U1}	P00, P01, P10-P12, P33, P40, P41, P50-P57, P81, P82, P90-P97, P100, P120, P140-P147	$V_i = V_{SS}$ 入力ポート時	10	20	100	k	
	R _{U2}	LP01, LRESET	$V_i = V_{SS}$	10	30	100	k	
FLMD0端子 外付けプルダウン抵抗 ^注	R _{FLMD0}	ソフトウェアでのセルフ・プログラミング・モード設定を有効にする場合		100			k	

注 FLMD0端子はオープンにすることを推奨します。もし、外部でもプルダウンする必要がある場合は、R_{FLMD0}を100 k 以上にしてください。



備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (6/9)

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = LVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流	IDD1 ^{注1}	動作モード	f _{MX} = 20 MHz, V _{DD} = 3.0 V ^{注2}	方形波入力		5.5	7.7	mA		
				発振子接続		5.8	8.0			
			f _{MX} = 10 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		3.2	4.6	mA		
				発振子接続		3.3	4.7			
			f _{MX} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		1.8	2.7	mA		
				発振子接続		1.9	2.8			
			f _{MX} = 5 MHz, V _{DD} = 2.0 V ^{注2,3}	方形波入力		1.3	2.2	mA		
				発振子接続		1.3	2.2			
				f _{IH} = 20 MHz ^{注4}	V _{DD} = 3.0 V		5.7	8.0	mA	
				f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V		2.6	3.7	mA	
				f _{IH} = 1 MHz, RMC = 5AH, OSMC = 02H ^{注4}	V _{DD} = 3.0 V		190	354	μA	
				f _{SUB} = 32.768 kHz, FSEL = 0, SDIV = 1 ^{注5}	TA = -40 ~ +50	V _{DD} 電流		3.9	8.4	μA
			LV _{DD} 電流					15.0		
			TA = -40 ~ +70		V _{DD} 電流		3.9	11.3	μA	
	LV _{DD} 電流					31.0				
	TA = -40 ~ +85	V _{DD} 電流			3.9	14.6	μA			
		LV _{DD} 電流				25		47		

注1. V_{DD}, AV_{DD}, LAV_{DD}, LV_{DD}, V_{LC0}-V_{LC2}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、ウォッチドッグ・タイマ, LVI回路, A/Dコンバータ, LCDコントローラ/ドライバ, 電力演算回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振, サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FLPC, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット1, 0) = 0, 0設定時。
4. 高速システム・クロック, サブシステム・クロックは停止時。
5. 高速内蔵発振, 高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。リアルタイム・カウンタ (RTC) 動作時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

2. f_{IH} : 高速内蔵発振クロック周波数

3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

DC特性 (7/9)

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = LVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	IDD2 ^{注1}	HALT モード	f _{MX} = 20 MHz, V _{DD} = 3.0 V ^{注2}	方形波入力		1.1	3.3	mA	
				発振子接続		1.4	3.6		
			f _{MX} = 10 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.55	2.1	mA	
				発振子接続		0.65	2.2		
			f _{MX} = 5 MHz, V _{DD} = 3.0 V ^{注2,3}	方形波入力		0.4	1.8	mA	
				発振子接続		0.45	1.8		
			f _{MX} = 5 MHz, V _{DD} = 2.0 V ^{注2,3}	方形波入力		0.26	1.3	mA	
				発振子接続		0.31	1.4		
			f _{IH} = 20 MHz ^{注4}		V _{DD} = 3.0 V		1.3	3.6	mA
			f _{IH} = 8 MHz ^{注4}		V _{DD} = 3.0 V		0.45	1.8	mA
			f _{IH} = 1 MHz, RMC = 5AH, OSMC = 02H ^{注4}		V _{DD} = 3.0 V		45	153	μA
			f _{SUB} = 32.768 kHz, RTCLPC = 1, FSEL = 0, SDIV = 1 ^{注5}	TA = -40 ~ +50	V _{DD} 電流		0.9	3.6	μA
LV _{DD} 電流					15.0				
TA = -40 ~ +70	V _{DD} 電流			0.9	6.0	μA			
	LV _{DD} 電流				31.0				
TA = -40 ~ +85	V _{DD} 電流			0.9	8.8	μA			
	LV _{DD} 電流				2.5		47.0		

注1. V_{DD}, AV_{DD}, LAV_{DD}, LV_{DD}, V_{LC0}-V_{LC2}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、ウォッチドッグ・タイマ, LVI回路, A/Dコンバータ, LCDコントローラ/ドライバ, 電力演算回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振, サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FLPC, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット1, 0) = 0, 0設定時。
4. 高速システム・クロック, サブシステム・クロックは停止時。
5. 高速内蔵発振, 高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。リアルタイム・カウンタ (RTC), リアルタイム・カウンタ2 (RTC2) 動作時。

- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f_{IH} : 高速内蔵発振クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

DC特性 (8/9)

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = LVSS = 0 V)

項目	略号	条件			MIN.	TYP.	MAX.	単位	
電源電流	IDD3 ^{注1}	STOP モード	VDD = LVDD = 3.0 V ^{注2}	TA = -40 ~ +50	VDD電流		0.37	2.8	μA
					LVDD電流			5	
				TA = -40 ~ +70	VDD電流		0.37	5.2	μA
					LVDD電流			21	
				TA = -40 ~ +85	VDD電流		0.37	7.9	μA
					LVDD電流		0.2	37	
		VDD = LVDD = 3.0 V ^{注3}	TA = -40 ~ +50	VDD電流		0.37	2.8	μA	
				LVDD電流			9		
			TA = -40 ~ +70	VDD電流		0.37	5.2	μA	
				LVDD電流			25		
			TA = -40 ~ +85	VDD電流		0.37	7.9	μA	
				LVDD電流		2.5	41		
RTC2動作電流	IRTC2 ^{注4, 5}	fSUB = 32.768 kHz			VDD = 3.0 V		0.2	1	μA
					VDD = 2.0 V		0.2	1	
RTC動作電流	IRTC ^{注6}					0.4	2	μA	
ウォッチドッグ・ タイマ動作電流	IWDT ^{注5, 7}	fIL = 30 kHz				0.31	0.35	μA	
LVI動作電流	ILVI ^{注8}					9	18	μA	
逐次比較型ADコ ンバータ動作電流	IADC ^{注9}	最高速変換時	標準モード1	AVDD0 = 3.0 V		0.7	1.4	mA	

注1. VDD, AVDD, LAVDD, LVDD, VLC0-VLC2に流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流, STOPリーク電流を含みます。ただし, ウォッチドッグ・タイマ, LVI回路, A/Dコンバータ, LCDコントローラ/ドライバ, 電力演算回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

- サブシステム・クロックは停止時。ウォッチドッグ・タイマ, リアルタイム・カウンタ (RTC), サブシステム・クロック発振回路は停止時。
- サブシステム・クロック動作時, ただしサブシステム・クロック発振回路からの出力禁止 (FXTOUTEN = 0)。ウォッチドッグ・タイマ, リアルタイム・カウンタ (RTC), サブシステム・クロック発振回路は動作時。
- リアルタイム・カウンタ2 (VDD端子) にのみ流れる電流です (XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・カウンタ2が動作中の場合, 78K0R/Lx3-Mマイクロコントローラの電流のTYP.値は, IDD1またはIDD2のTYP.値にIRTC2のTYP.値を加算した値となります。IDD1またはIDD2のMAX.値にはリアルタイム・カウンタ2の動作電流も含みます。fCLK = fSUBC時にリアルタイム・カウンタ2が動作中の場合, IDD2のTYP.値にはリアルタイム・カウンタ2の動作電流を含みます。
- 高速内蔵発振, 高速システム・クロックは停止時。
- リアルタイム・カウンタにのみ流れる電流です。
- ウォッチドッグ・タイマ (VDD端子) にのみ流れる電流です (30 kHz内蔵発振器の動作電流を含みます)。fCLK = fSUBC時またはSTOPモード時にウォッチドッグ・タイマが動作中の場合, IDD1またはIDD2またはIDD3にIWDTを加算した値が, 78K0R/Lx3-Mマイクロコントローラの電流値となります。
- LVI回路 (VDD端子) にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVI回路が動作中の場合, IDD1またはIDD2またはIDD3にILVIを加算した値が, 78K0R/Lx3-Mマイクロコントローラの電流値となります。
- 逐次比較型A/Dコンバータ (AVDD端子) にのみ流れる電流です。動作モードまたはHALTモード時に逐次比較型A/Dコンバータが動作中の場合, IDD1またはIDD2にIADCを加算した値が, 78K0R/Lx3-Mマイクロコントローラの電流値となります。

DC特性 (9/9)

(TA = -40 ~ +85 , 1.8 V VDD = LVDD 3.6 V, VSS = LVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
LCD動作電流	I _{LCD1} 注1, 2	外部抵抗分割方式	f _{LCD} = f _{SUB} , LCDパネル未接続, LCDクロック = 512 Hz	V _{DD} = 3.0 V		0.2	1.2	μA	
	I _{LCD2} 注1	内部昇圧方式	f _{LCD} = f _{SUB} , LCDパネル未接続, LCDクロック = 512 Hz	1/3バイアス	V _{LCD} = 01H		1.39	4.7	μA
					V _{LCD} = 0FH		0.94	3.1	μA
I _{LCD3} 注1	容量分割方式	f _{LCD} = f _{SUB} , LCDパネル未接続, LCDクロック = 512 Hz	V _{DD} = 3.0 V		0.36	1.7	μA		
型A/Dコンバータ動作電流	I _{ADC2} 注3				8.1	13.5	mA		
電力演算回路動作電流	I _{CAL} 注4, 5	電力演算回路, 電力品質測定回路, DFC動作電流			3.7	4.5	mA		

注1. LCDコントローラ/ドライバ(V_{DD}端子)にのみ流れる電流です。動作モードまたはHALTモード時にLCDコントローラ/ドライバが動作中の場合、電源電流(I_{DD1}またはI_{DD2})にLCD動作電流(I_{LCD1}またはI_{LCD2}またはI_{LCD3})を加算した値が、78K0R/Lx3-Mマイクロコントローラの電流値となります。

2. LCD分割抵抗に流れる電流は含みません。

3. 型A/Dコンバータ(AV_{DD} = 3.9 mA, LV_{DD} = 4.2 mA)にのみ流れる電流です。動作モードまたはHALTモード時に型A/Dコンバータが動作中の場合、電源電流(I_{DD1}またはI_{DD2})にI_{ADC2}を加算した値が、78K0R/Lx3-Mマイクロコントローラの電流値となります。

4. 電力演算回路(LV_{DD}端子)にのみ流れる電流です。電力演算回路が動作中の場合、電源電流(I_{DD1}, I_{DD2}, I_{DD3}のいずれか)にI_{CAL}を加算した値が、78K0R/Lx3-Mマイクロコントローラの電流値となります。

5. TYP.値はV_{DD} = LAV_{DD} = LV_{DD} = 3.3 V時, LAV_{DD}, LV_{DD}端子に流れる電流です。

AC特性

(1) 基本動作 (1/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = LV_{DD}$ $3.6\text{ V}, 1.8\text{ V}$ AV_{DD} $V_{DD}, 1.8\text{ V}$ LAV_{DD} LV_{DD} ,
 $V_{SS} = LV_{SS} = LAV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{MAN})動作	通常電力モード, FSEL = 1	2.7V V_{DD} 3.6V	0.05		8	μs	
				1.8V $V_{DD} < 2.7\text{ V}$	0.2		8	μs	
			通常電力モード, FSEL = 0	2.7V V_{DD} 3.6V	0.1		8	μs	
				1.8V $V_{DD} < 2.7\text{ V}$	0.2		8	μs	
			低消費電力モード		1		8	μs	
		サブシステム・クロック (f_{SUB})動作	SDIV = 1		57.2	61	62.5	μs	
			SDIV = 0		28.5	30.5	31.3	μs	
		セルフ・プログラミング時		通常電力モード, FSEL = 1	2.7V V_{DD} 3.6V	0.05		1	μs
					1.8V $V_{DD} < 2.7\text{ V}$	0.2		1	μs
				低消費電力モード ^注		0.88	1	1.15	μs
外部メイン・システム・クロック周波数	f_{EX}	2.7V V_{DD} 3.6V	2.0		20.0	MHz			
		1.8V $V_{DD} < 2.7\text{ V}$	2.0		5.0	MHz			
外部メイン・システム・クロック入力ハイ、ロウ・レベル幅	t_{EXH} , t_{EXL}	2.7V V_{DD} 3.6V	24			ns			
		1.8V $V_{DD} < 2.7\text{ V}$	96			ns			
Ti02, Ti04, Ti07入力ハイ・レベル幅、ロウ・レベル幅	t_{TIH} , t_{TIL}		$2/f_{MCK} +$ 10			ns			
TO02, TO05, TO07出力周波数	f_{RO}	2.7V V_{DD} 3.6V			10	MHz			
		1.8V $V_{DD} < 2.7\text{ V}$			5	MHz			
割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{INTH} , t_{INTL}		1			μs			
RESET, LRESETロウ・レベル幅	t_{RSL}		10			μs			

注 低消費電力モードでは、セルフ・プログラミング実行時は $f_{CLK} = 1\text{ MHz}$ (固定) で使用してください。

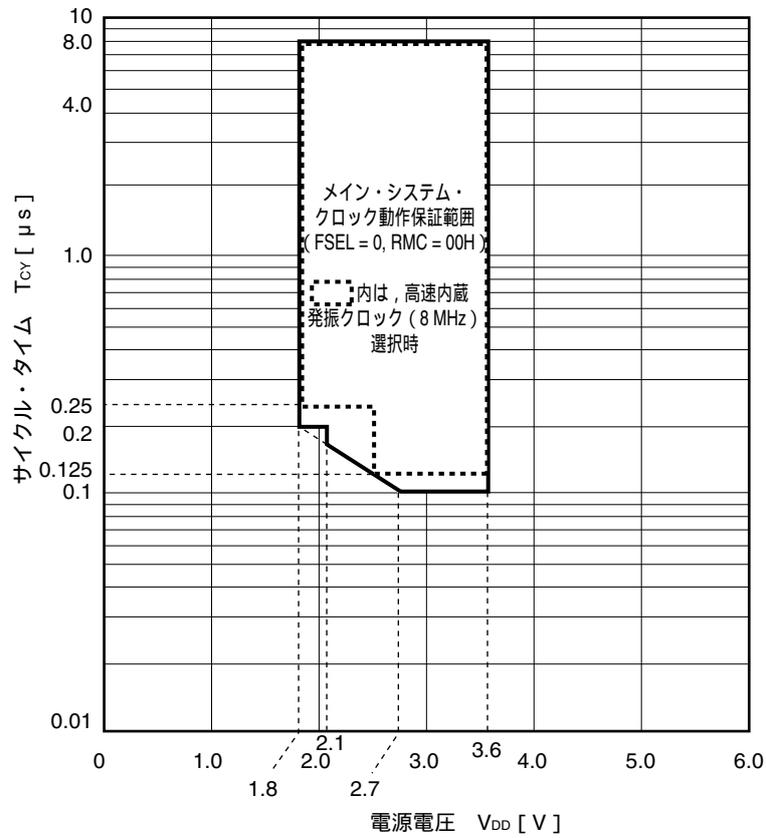
備考1. f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(TMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-7), mn = 00-07, 10-13)

- レギュレータ出力電圧による通常電力モード、低消費電力モードについては、**第26章 レギュレータ**を参照してください。

(1) 基本動作 (2/6)

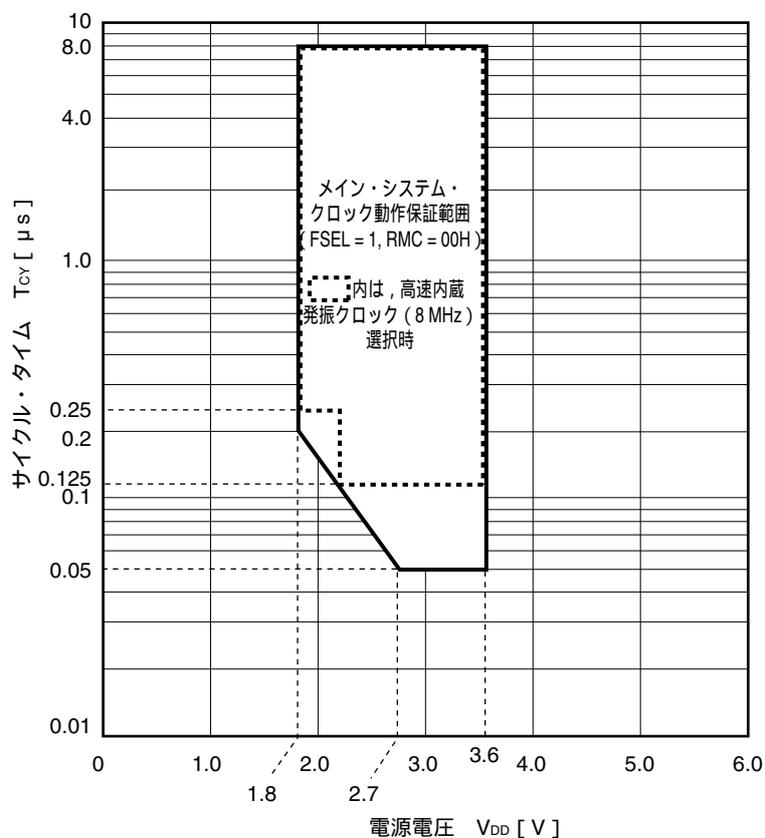
メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 00H)



備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

(1) 基本動作 (3/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 1, RMC = 00H)



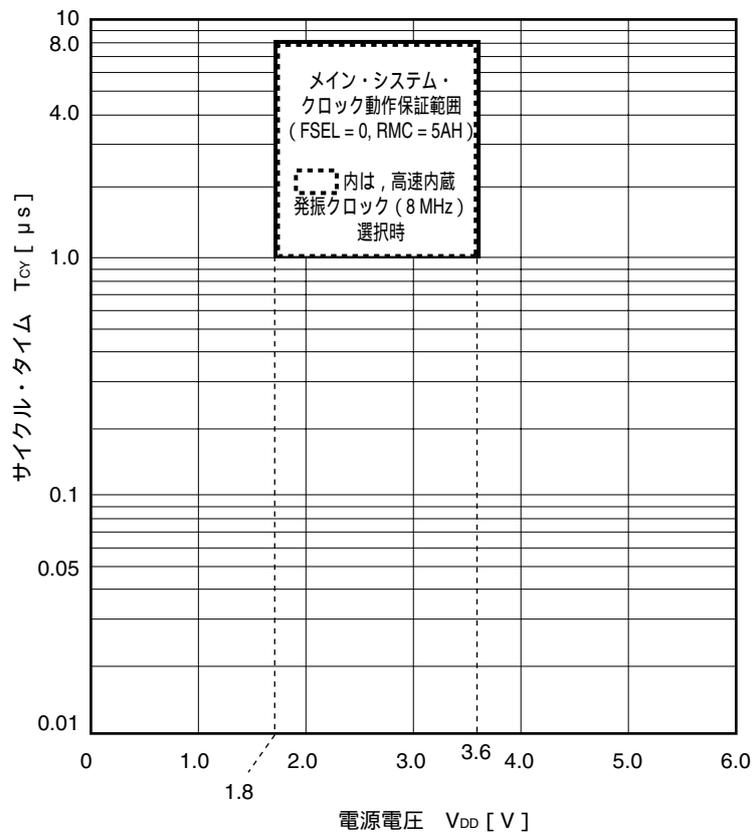
注意 $V_{DD} < 2.25$ VかつFSEL=1の状態では、 f_{EX} 動作時および f_{IH} 動作時のSTOPモード解除を禁止します(分周していても不可。 f_x 動作でのSTOPモード解除は可能)。

備考1. FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

2. f_{IH} : 高速内蔵発振クロック
- f_x : X1クロック
- f_{EX} : 外部メイン・システム・クロック
- f_{MAIN} : メイン・システム・クロック周波数
- f_{SUB} : サブシステム・クロック周波数
- f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(1) 基本動作 (4/6)

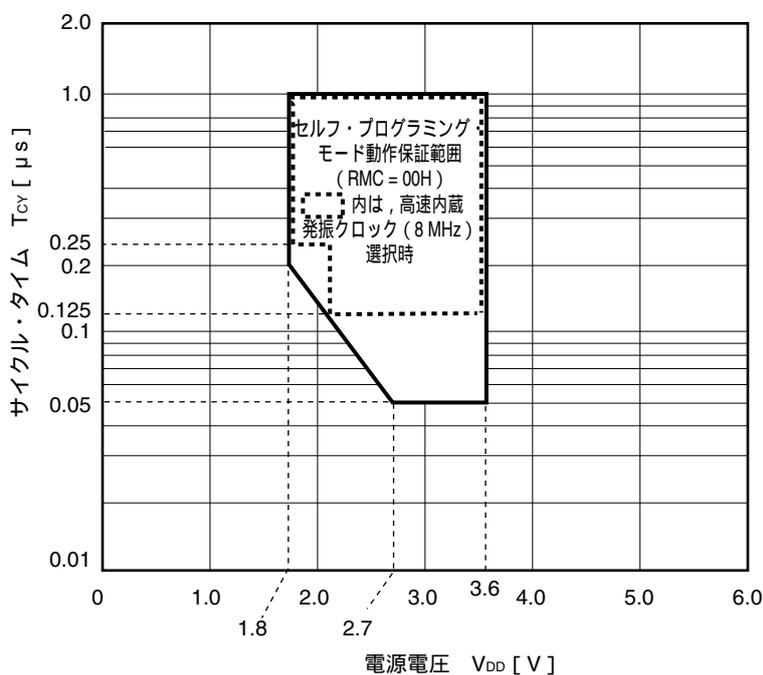
メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 5AH)



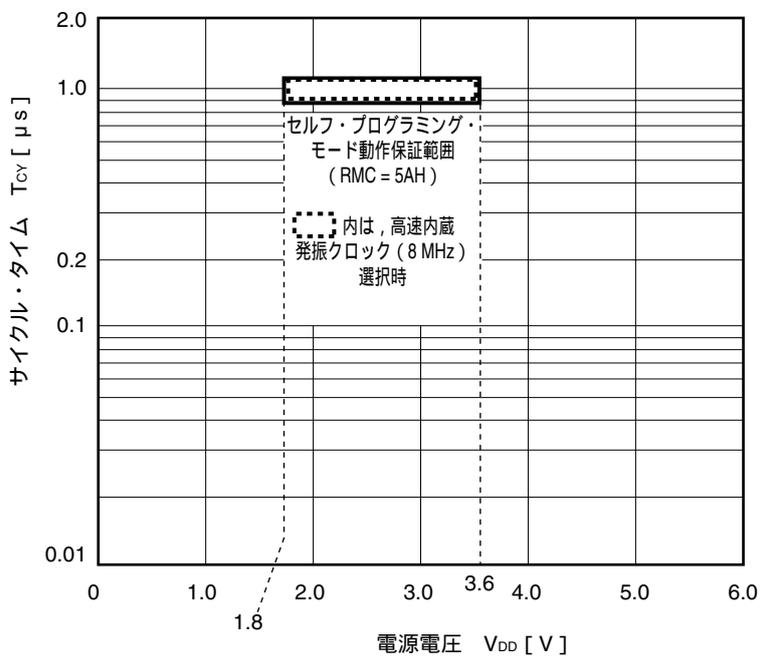
- 備考1. FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
 2. RMC = 5AH時は、全電圧範囲で1 MHz (MAX.) となります。

(1) 基本動作 (5/6)

セルフ・プログラミング・モード時の最小命令実行時間 (RMC = 00H)



セルフ・プログラミング・モード時の最小命令実行時間 (RMC = 5AH)



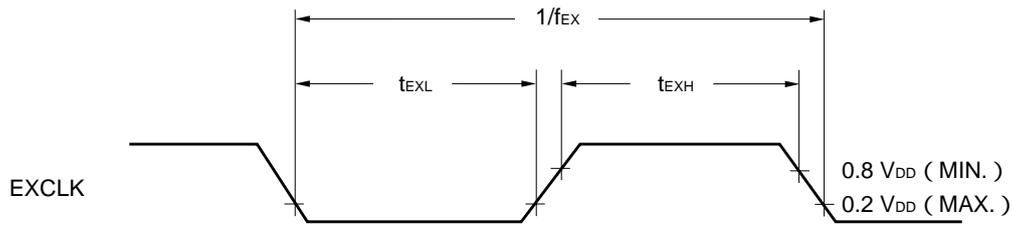
備考 CPUがサブシステム・クロック動作時は、セルフ・プログラミング機能を使用できません。

(1) 基本動作 (6/6)

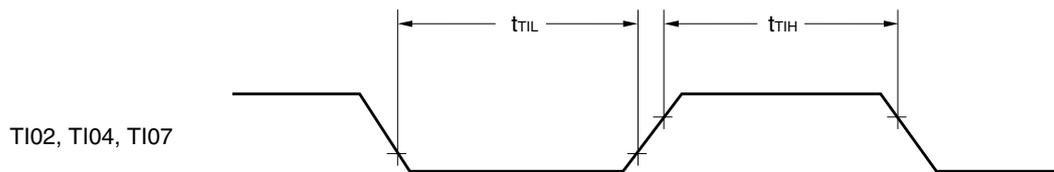
AC タイミング測定点



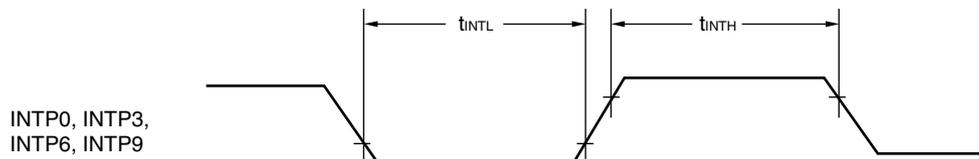
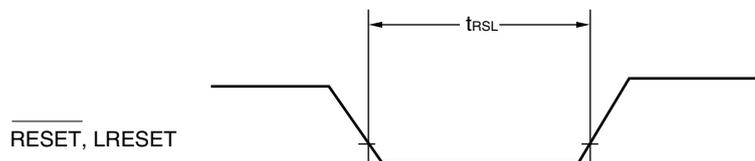
外部メイン・システム・クロック・タイミング



TI タイミング



割り込み要求入力タイミング

 $\overline{\text{RESET}}$, LRESET 入力タイミング

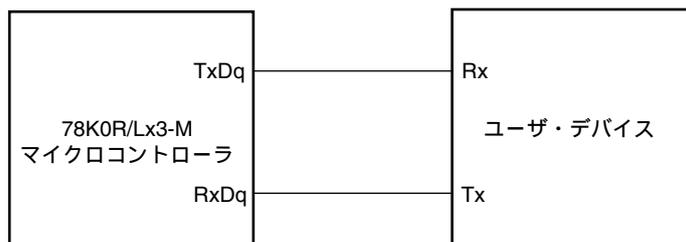
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (1/16)

(TA = -40 ~ +85 , 1.8 V VDD 3.6 V, VSS = 0 V)

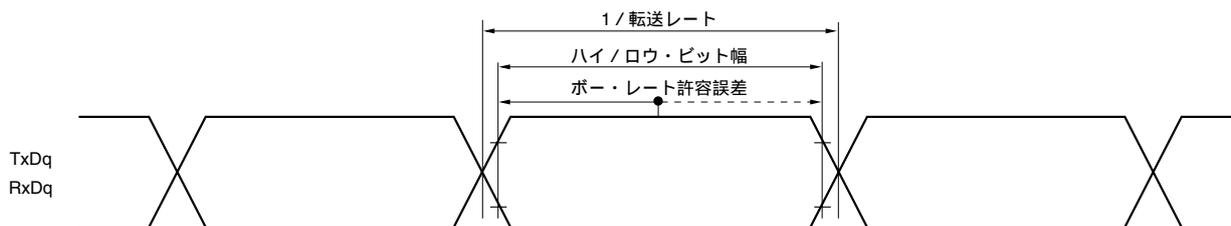
(a) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					$f_{MCK}/6$	bps
		$f_{CLK} = 20 \text{ MHz}, f_{MCK} = f_{CLK}$			3.3	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 PIMgレジスタとPOMxレジスタで、RxDqは通常入力バッファ、TxDqは通常出力モードを選択。

備考1. q : UART番号 (q = 0, 2, 3) , g : PIM番号 (g = 1) , x : POM番号 (x = 1, 8)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0, 2))

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (2/16)

(TA = -40 ~ +85 , 1.8 V VDD 3.6 V, VSS = 0 V)

(b) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCKpサイクル・タイム	t _{KCY1}	2.7 V VDD 3.6 V	300 ^{注1}			ns
		1.8 V VDD < 2.7 V	600 ^{注1}			ns
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	2.7 V VDD 3.6 V	t _{KCY1} /2 - 35			ns
		1.8 V VDD < 2.7 V	t _{KCY1} /2 - 80			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注2}	t _{SIK1}	2.7 V VDD 3.6 V	100			ns
		1.8 V VDD < 2.7 V	190			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注2}	t _{KSI1}		30			ns
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^{注3}	t _{KSO1}	C = 30 pF ^{注4}			40	ns

注1. $\frac{1}{4}f_{\text{CLK}}$ 以上に設定してください。

- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
- Cは、 $\overline{\text{SCKp}}$, SOp出力ラインの負荷容量です。

注意 PIMgレジスタとPOMxレジスタで、Slpは通常入力バッファ、SOpと $\overline{\text{SCKp}}$ は通常出力モードを選択。

備考1. p : CSI番号 (p = 20) , g : PIM番号 (g = 1) , x : POM番号 (x = 1)

2. m : ユニット番号 (m = 1) , n : チャネル番号 (n = 0)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (3/16)

(TA = -40 ~ +85 , 1.8 V VDD 3.6 V, VSS = 0 V)

(c) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	tkCY2	2.7 V VDD 3.6 V	16 MHz < fMCK	8/fMCK			ns
			fMCK 16 MHz	6/fMCK			ns
		1.8 V VDD < 2.7 V	16 MHz < fMCK	8/fMCK			ns
			fMCK 16 MHz	6/fMCK			ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2			tkCY2/2			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	tsik2			80			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	tkSI2			1/fMCK + 50			ns
SCKp SOP出力遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}	2.7 V VDD 3.6 V			2/fMCK + 57	ns
			1.8 V VDD < 2.7 V			2/fMCK + 125	ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
3. Cは、 $\overline{\text{SCKp}}$, SOP出力ラインの負荷容量です。

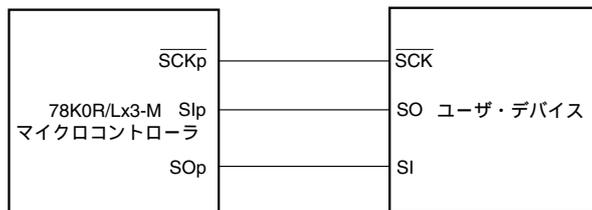
注意 PIMgレジスタとPOMxレジスタで、Slpと $\overline{\text{SCKp}}$ は通常入力バッファ、SOpは通常出力モードを選択。

備考1. p : CSI番号 (p = 20) , g : PIM番号 (g = 1) , x : POM番号 (x = 1)

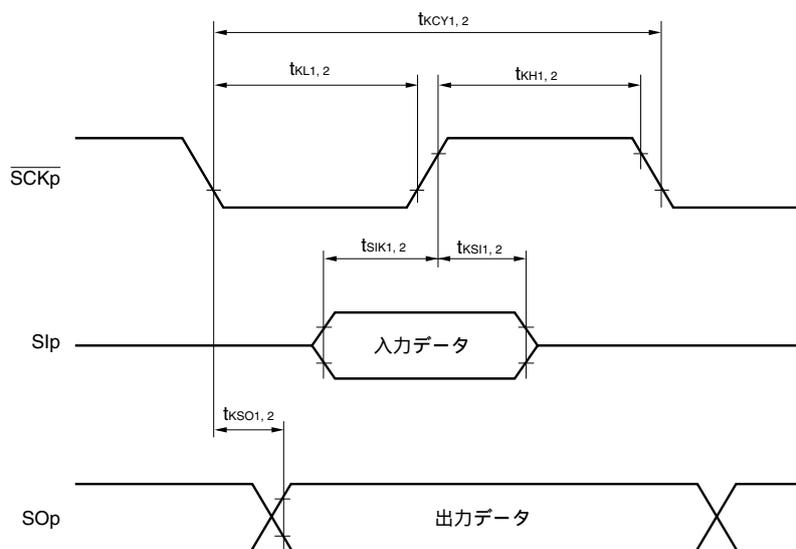
2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 1) , n : チャネル番号 (n = 0))

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (4/16)

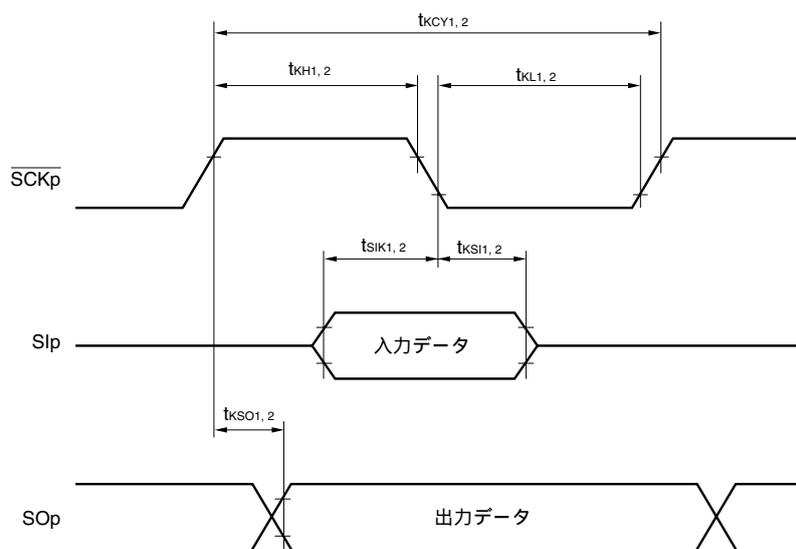
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 20)

2. m : ユニット番号 (m = 1) , n : チャネル番号 (n = 0)

(2) シリアル・インタフェース：シリアル・アレィ・ユニット (5/16)

(TA = -40 ~ +85 , 1.8 V VDD 3.6 V, VSS = 0 V)

(d) 同電位通信時 (簡易I²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7 V VDD 3.6 V, R _b = 3 k , C _b = 100 pF		400	kHz
		1.8 V VDD 3.6 V, R _b = 5 k , C _b = 100 pF		300	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V VDD 3.6 V, R _b = 3 k , C _b = 100 pF	1200		ns
		1.8 V VDD 3.6 V, R _b = 5 k , C _b = 100 pF	1500		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V VDD 3.6 V, R _b = 3 k , C _b = 100 pF	1200		ns
		1.8 V VDD 3.6 V, R _b = 5 k , C _b = 100 pF	1500		ns
データ・セットアップ時間 (受信時)	t _{SU:DAT}	2.7 V VDD 3.6 V, R _b = 3 k , C _b = 100 pF	1/f _{MCK} + 120		ns
		1.8 V VDD 3.6 V, R _b = 5 k , C _b = 100 pF	1/f _{MCK} + 230		ns
データ・ホールド時間 (送信時)	t _{HD:DAT}	2.7 V VDD 3.6 V, R _b = 3 k , C _b = 100 pF	0	660	ns
		1.8 V VDD 3.6 V, R _b = 5 k , C _b = 100 pF	0	710	ns

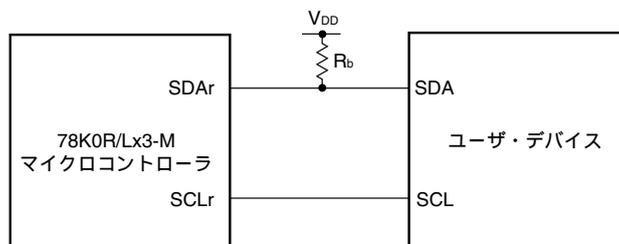
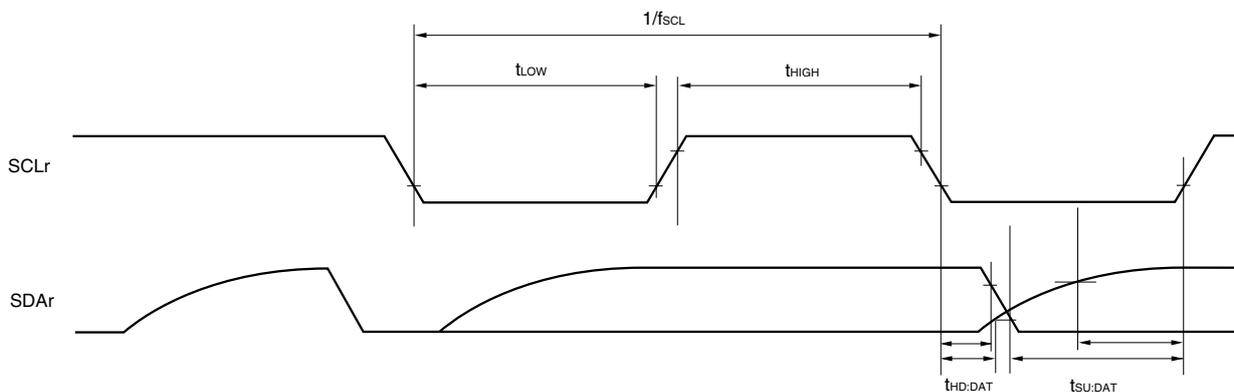
注意 PIMgレジスタとPOMxレジスタで、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択、SCLrは通常出力モードを選択。

備考1. R_b [] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値

2. r : IIC番号 (r = 20), g : PIM番号 (g = 1), x : POM番号 (x = 1)

3. f_{MCK} : シリアル・アレィ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 1), n : チャネル番号 (n = 0), mn = 10)

簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

備考1. R_b [] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値

2. r : IIC番号 (r = 20)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (6/16)

(TA = -40 ~ +85 , 2.7 V V_{DD} 3.6 V, V_{SS} = 0 V)

(e) 異電位 (2.5 V系) 通信時 (UARTモード) (専用ポーレート・ジェネレータ出力) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート		受信	2.7 V V _{DD} 3.6 V,			f _{MCK} /6	bps
			2.3 V V _b < 2.7 V	f _{CLK} = 20 MHz, f _{MCK} = f _{CLK}		3.3	Mbps

注意 PIM_gレジスタとPOM_xレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. q : UART番号 (q = 0, 2, 3) , g : PIM番号 (g = 1) , x : POM番号 (x = 1, 8)

2. V_b [V] : 通信ライン電圧

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR_{mn}レジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 1, 3))

4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

2.7 V V_{DD} 3.6 V, 2.3 V V_b < 2.7 Vのとき : V_{IH} = 2.0 V, V_{IL} = 0.5 V

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (7/16)

(TA = -40 ~ +85 , 2.7 V V_{DD} 3.6 V, V_{SS} = 0 V)

(e) 異電位 (2.5 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート		送信	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V			注1	bps
			f _{CLK} = 19.2 MHz, f _{MCK} = f _{CLK} , C _b = 50 pF, R _b = 2.7 k , V _b = 2.3 V			1.2 ^{注2}	Mbps

注1. f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V V_{DD} 3.6 V, 2.3 V V_b < 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{ -C_b \times R_b \times \ln(1 - \frac{2.0}{V_b}) \}} \times 3 \quad [\text{bps}]$$

$$\text{ポー・レート許容誤差(理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{ -C_b \times R_b \times \ln(1 - \frac{2.0}{V_b}) \}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

この値は送信側と受信側の相対差の理論値となります。

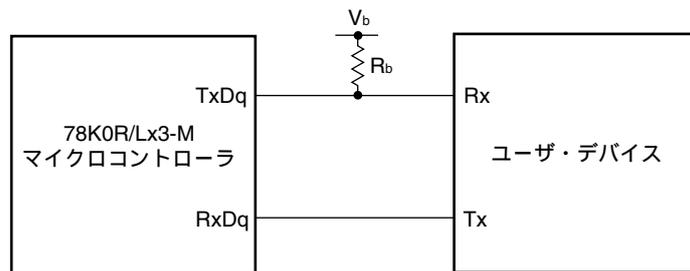
2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注意 PIMgレジスタとPOMxレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

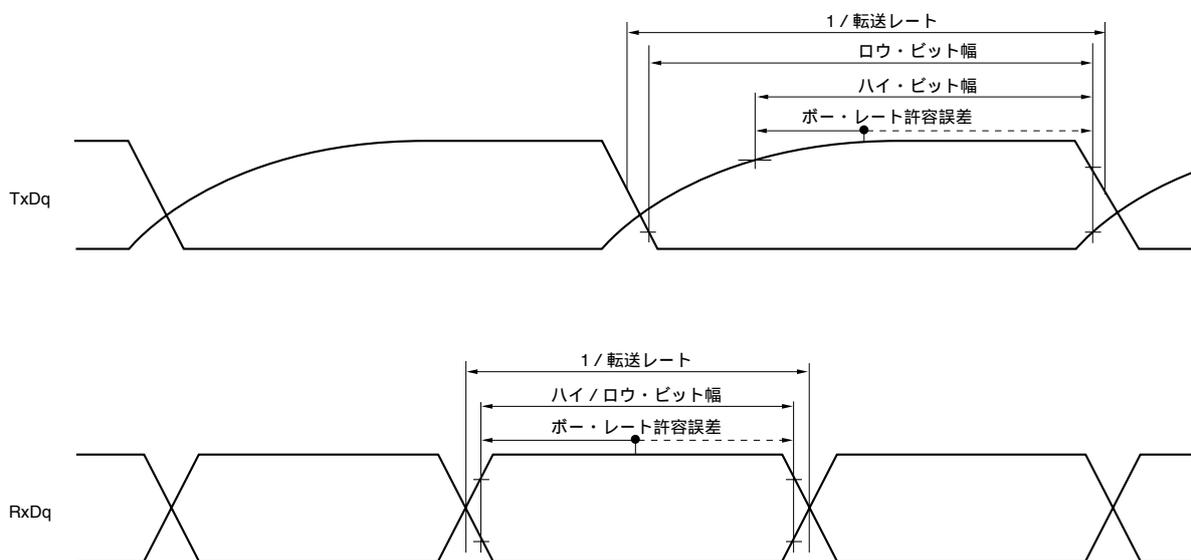
- 備考** 1. R_b []: 通信ライン (TxDq) プルアップ抵抗値, C_b [F]: 通信ライン (TxDq) 負荷容量値, V_b [V]: 通信ライン電圧
 2. q: UART番号 (q = 0, 2, 3), g: PIM番号 (g = 1), x: POM番号 (x = 1, 8)
 3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0, 2))
 4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記のV_{OH}とV_{OL}を観測点としています。
 2.7 V V_{DD} 3.6 V, 2.3 V V_b < 2.7 Vのとき: V_{OH} = 2.0 V, V_{OL} = 0.5 V

(2) シリアル・インタフェース：シリアル・アレィ・ユニット (8/16)

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 PIMgレジスタとPOMxレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレィン出力 (V_{DD} 耐圧) モードを選択。

- 備考1.** R_b [] : 通信ライン (TxDq) プルアップ抵抗値, V_b [V] : 通信ライン電圧
 2. q : UART番号 (q = 0, 2, 3) , g : PIM番号 (g = 1) , x : POM番号 (x = 1, 8)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (9/16)

(TA = -40 ~ +85 , 2.7 V V_{DD} 3.6 V, V_{SS} = 0 V)(f) 異電位 (2.5 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCKp}}$ サイクル・タイム	t _{KCY1}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, C _b = 30 pF, R _b = 2.7 k	800 ^{注1}			ns
$\overline{\text{SCKp}}$ ハイ・レベル幅	t _{KH1}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, C _b = 30 pF, R _b = 2.7 k	t _{KCY1} /2 - 170			ns
$\overline{\text{SCKp}}$ ロウ・レベル幅	t _{KL1}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, C _b = 30 pF, R _b = 2.7 k	t _{KCY1} /2 - 35			ns
Slp セットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注2}	t _{SIK1}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, C _b = 30 pF, R _b = 2.7 k	275			ns
Slp ホールド時間 (対 $\overline{\text{SCKp}}$) ^{注2}	t _{KSI1}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, C _b = 30 pF, R _b = 2.7 k	30			ns
$\overline{\text{SCKp}}$ SOP 出力遅延時間 ^{注2}	t _{KSO1}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, C _b = 30 pF, R _b = 2.7 k			215	ns

注1. $\frac{1}{4}f_{\text{CLK}}$ 以上に設定してください。2. DAP_{mn} = 0, CKP_{mn} = 0 または DAP_{mn} = 1, CKP_{mn} = 1 のとき。

注意 PIM_gレジスタとPOM_xレジスタで, SlpはTTL入力バッファ, SOPと $\overline{\text{SCKp}}$ はN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択。

備考1. p: CSI番号 (p = 20), g: PIM番号 (g = 1), x: POM番号 (x = 1)

2. m: ユニット番号 (m = 1), n: チャネル番号 (n = 0)

3. R_b [Ω]: 通信ライン ($\overline{\text{SCKp}}$, SOP) プルアップ抵抗値, C_b [F]: 通信ライン (Slp, SOP, $\overline{\text{SCKp}}$) 負荷容量値, V_b [V]: 通信ライン電圧4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。2.7 V V_{DD} 3.6 V, 2.3 V V_b < 2.7 V のとき: V_{IH} = 2.0 V, V_{IL} = 0.5 V

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (10/16)

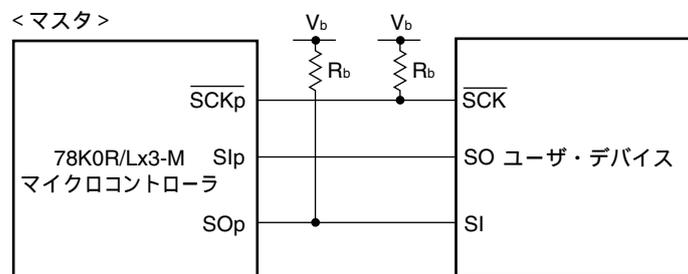
(TA = -40 ~ +85 , 2.7 V VDD 3.6 V, VSS = 0 V)

(f) 異電位 (2.5 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Slpセットアップ時間 (対SCKp) 注	tSIK1	2.7 V VDD 3.6 V, 2.3 V Vb < 2.7 V, Cb = 30 pF, Rb = 2.7 k	100			ns
Slpホールド時間 (対SCKp) 注	tKSI1	2.7 V VDD 3.6 V, 2.3 V Vb < 2.7 V, Cb = 30 pF, Rb = 2.7 k	30			ns
SCKp SOp出力遅延時間注	tKSO1	2.7 V VDD 3.6 V, 2.3 V Vb < 2.7 V, Cb = 30 pF, Rb = 2.7 k			40	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMxレジスタで,SlpはTTL入力バッファ,SOpとSCKpはN-chオープン・ドレイン出力(VDD耐圧)モードを選択。

備考1. p: CSI番号 (p = 20), g: PIM番号 (g = 1), x: POM番号 (x = 1)

2. m: ユニット番号 (m = 1), n: チャネル番号 (n = 0)

3. Rb []: 通信ライン (SCKp, SOp)プルアップ抵抗値, Cb [F]: 通信ライン (Slp, SOp, SCKp)負荷容量値, Vb [V]: 通信ライン電圧

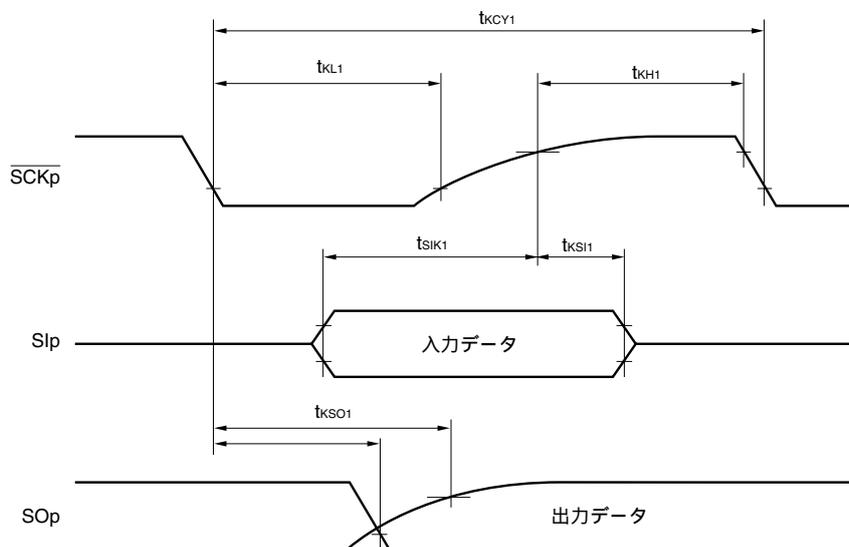
4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のVIHとVILを観測点としています。

2.7 V VDD 3.6 V, 2.3 V Vb < 2.7 Vのとき: VIH = 2.0 V, VIL = 0.5 V

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (11/16)

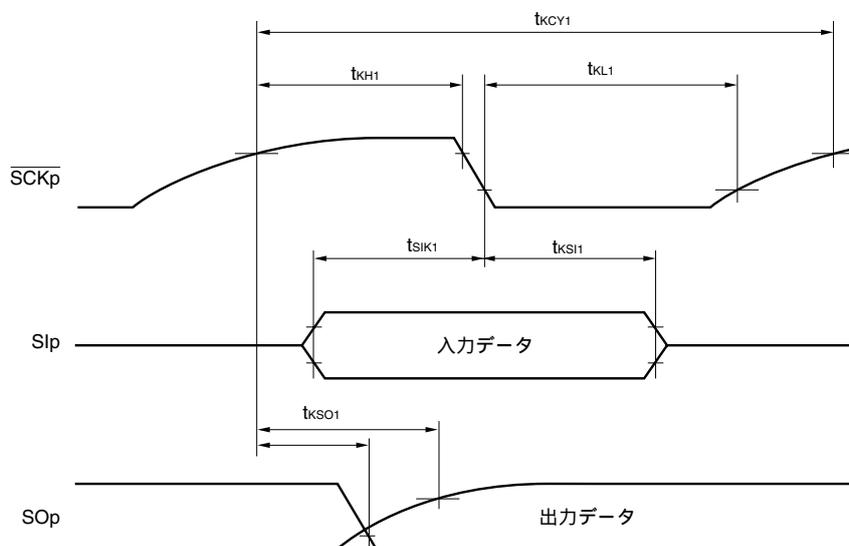
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意 PIMgレジスタとPOMxレジスタで, SIpはTTL入力バッファ, SOpとSCKpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 20) , g : PIM番号 (g = 1) , x : POM番号 (x = 1)

2. m : ユニット番号 (m = 1) , n : チャネル番号 (n = 0)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (12/16)

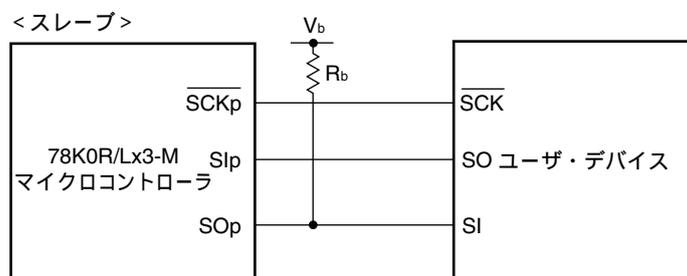
(TA = -40 ~ +85 , 2.7 V V_{DD} 3.6 V, V_{SS} = 0 V)(g) 異電位 (2.5 V系) 通信時 (CSIモード) (スレープ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCKpサイクル・タイム	t _{KCY2}	2.7 V V _{DD} 3.6 V, 2.3 V V _b 2.7 V	18.5 MHz < f _{MCK}	16/f _{MCK}			ns
			14.8 MHz < f _{MCK} 18.5 MHz	14/f _{MCK}			ns
			11.1 MHz < f _{MCK} 14.8 MHz	12/f _{MCK}			ns
			7.4 MHz < f _{MCK} 11.1 MHz	10/f _{MCK}			ns
			3.7 MHz < f _{MCK} 7.4 MHz	8/f _{MCK}			ns
			f _{MCK} 3.7 MHz	6/f _{MCK}			ns
SCKpハイ, ロウ・レベル幅	t _{KH2} , t _{KL2}	2.7 V V _{DD} 3.6 V, 2.3 V V _b 2.7 V	t _{KCY2} /2 - 35			ns	
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t _{SIK2}		90			ns	
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t _{KSI2}		1/f _{MCK} + 50			ns	
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^{注2}	t _{KSO2}	2.7 V V _{DD} 3.6 V, 2.3 V V _b 2.7 V, C _b = 30 pF, R _b = 2.7 k			2/f _{MCK} + 230	ns	

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMxレジスタで,Slpと $\overline{\text{SCKp}}$ はTTL入力バッファ,SOpはN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択。

(備考は次ページにあります。)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (13/16)

備考1. p : CSI番号 ($p = 20$) , g : PIM番号 ($g = 1$) , x : POM番号 ($x = 1$)

2. R_b [] : 通信ライン (SO_p) プルアップ抵抗値 , C_b [F] : 通信ライン (SO_p, \overline{SCKp}) 負荷容量値 ,
 V_b [V] : 通信ライン電圧

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR_mnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 1$) , n : チャネル番号 ($n = 0$))

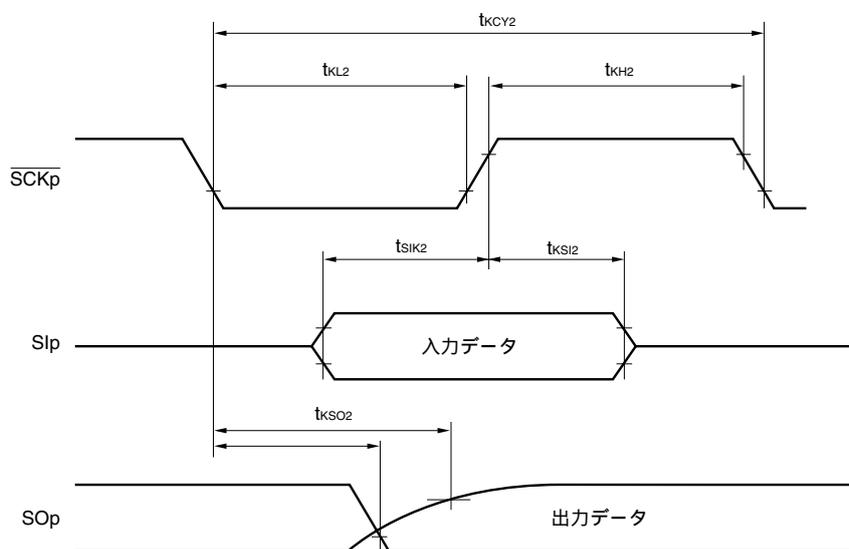
4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

2.7 V V_{DD} 3.6 V, 2.3 V $V_b < 2.7$ Vのとき : $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (14/16)

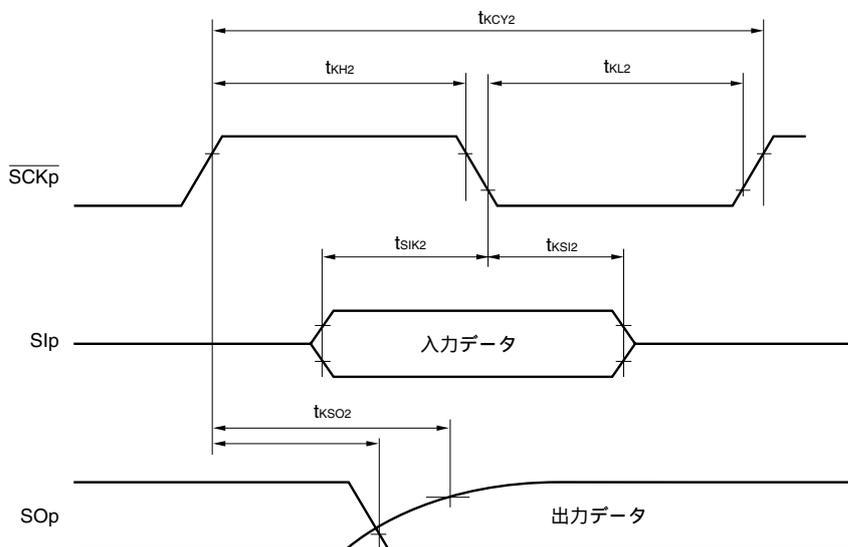
CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 PIMgレジスタとPOMxレジスタで,Slpと $\overline{\text{SCKp}}$ はTTL入力バッファ,SOpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 20) , g : PIM番号 (g = 1) , x : POM番号 (x = 1)

2. m : ユニット番号 (m = 1) , n : チャネル番号 (n = 0)

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (15/16)

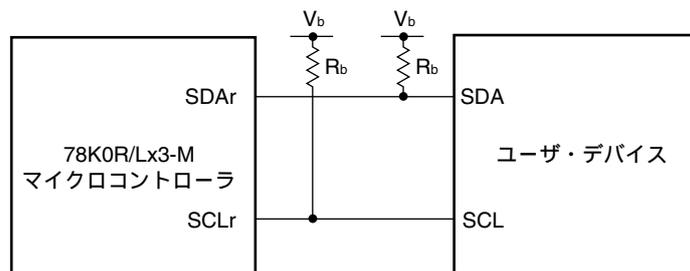
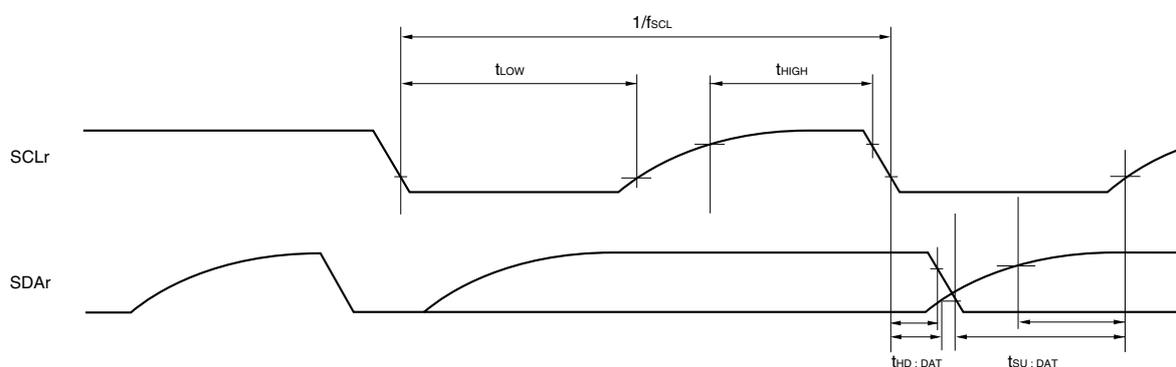
(TA = -40 ~ +85 , 2.7 V V_{DD} 3.6 V, V_{SS} = 0 V)(h) 異電位 (2.5 V系) 通信時 (簡易I²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, R _b = 2.7 k , C _b = 100 pF		400	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, R _b = 2.7 k , C _b = 100 pF	1275		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, R _b = 2.7 k , C _b = 100 pF	655		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, R _b = 2.7 k , C _b = 100 pF	1/f _{MCK} + 190		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V V _{DD} 3.6 V, 2.3 V V _b < 2.7 V, R _b = 2.7 k , C _b = 100 pF	0	660	ns

注意 PIMgレジスタとPOMxレジスタで、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択、SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択。

- 備考1.** R_b [] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値,
V_b [V] : 通信ライン電圧
2. r : IIC番号 (r = 20), g : PIM番号 (g = 1), x : POM番号 (x = 1)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 1), n : チャネル番号 (n = 0), mn = 10)
4. シリアル・アレイ・ユニットの簡易I²Cモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。
2.7 V V_{DD} 3.6 V, 2.3 V V_b < 2.7 Vのとき : V_{IH} = 2.0 V, V_{IL} = 0.5 V

(2) シリアル・インタフェース：シリアル・アレィ・ユニット (16/16)

簡易I²Cモード接続図 (異電位通信時)簡易I²Cモード・シリアル転送タイミング (異電位通信時)

注意 PIMgレジスタとPOMxレジスタで、SDArはTTL入力バッファ、N-chオープン・ドレーン出力 (V_{DD} 耐圧) モードを選択、SCLrはN-chオープン・ドレーン出力 (V_{DD} 耐圧) モードを選択。

- 備考1.** R_b [] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, V_b [V] : 通信ライン電圧
2. r : IIC番号 ($r = 20$), g : PIM番号 ($g = 1$), x : POM番号 ($x = 1$)

(3) シリアル・インタフェース : IICA

(TA = -40 ~ +85 , 1.8 V VDD 3.6 V, VSS = 0 V)

(a) IICA

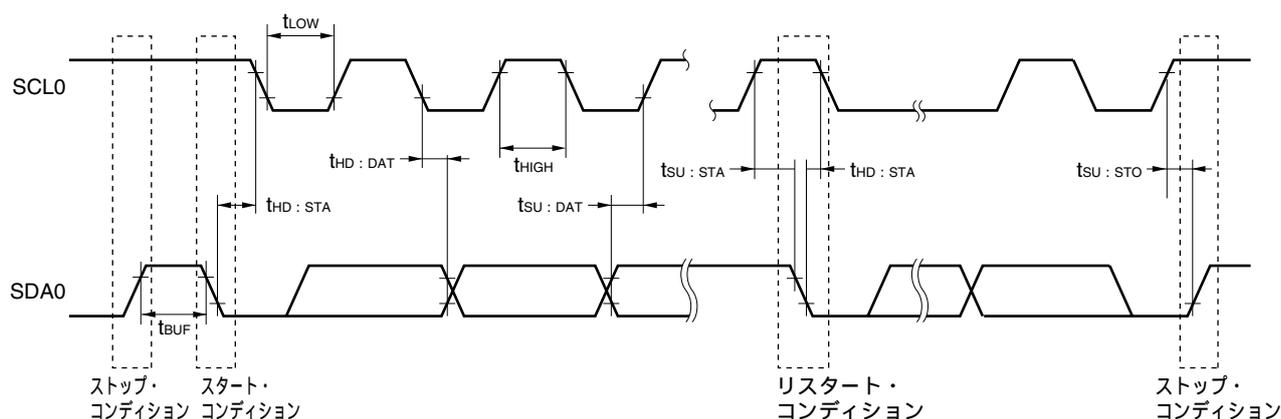
項目	略号	条件	標準モード		ファースト・モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}	ファースト・モード : f _{CLK} 3.5 MHz , 標準モード : f _{CLK} 1 MHz	0	100	0	400	kHz
リスタート・コンディションの セットアップ時間 ^{※1}	t _{SU : STA}		4.7		0.6		μs
ホールド時間	t _{HD : STA}		4.0		0.6		μs
SCL0 = "L"のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		100		ns
データ・ホールド時間 (送信時) ^{※2}	t _{HD : DAT}		0	3.45	0	0.9	μs
ストップ・コンディションの セットアップ時間	t _{SU : STO}		4.0		0.6		μs
パス・フリー時間	t _{BUF}		4.7		1.3		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

2. t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アックノリッジ) タイミングでは, ウエイトがかかります。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

IICAシリアル転送タイミング



(4) シリアル・インタフェース：オンチップ・デバッグ (UART)

(TA = -40 ~ +85 , 1.8 V ≤ VDD ≤ 3.6 V, VSS = 0 V)

(a) オンチップ・デバッグ (UART)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			$f_{CLK}/2^{12}$		$f_{CLK}/6$	bps
		フラッシュ・メモリ・プログラミング・モード ($f_{CLK} = 20 \text{ MHz}$, $2.7 \text{ V} \leq V_{DD}$, $C_b = 50 \text{ pF}$)			3.33	Mbps
TOOL1出力周波数	f_{TOOL1}	$2.7 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$			10	MHz
		$1.8 \text{ V} \leq V_{DD} < 2.7 \text{ V}$			2.5	MHz

アナログ特性

(1) 10ビット逐次比較型A/Dコンバータ

(TA = -40 ~ +85 , 1.8 V AVREF AVDD VDD 3.6 V, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		10	10	10	bit
総合誤差 ^注	AINL				±0.4	%FSR
変換時間	t _{CONV}	標準モード1	5		50	μs
ゼロスケール誤差 ^注	E _{ZS}				±0.4	%FSR
フルスケール誤差 ^注	E _{FS}				±0.4	%FSR
積分直線性誤差 ^注	ILE				±2.5	LSB
微分直線性誤差 ^注	DLE				±1.5	LSB
アナログ入力電圧	V _{AIN}		AV _{SS}		AV _{REF}	V

注 量子化誤差 (± 1/2 LSB) を含みません。

(2) 24ビット 型A/Dコンバータ

(TA = -40 ~ +85 , 3.0 V LAVDD LVDD 3.6 V, LVSS = LAVSS = 0 V)

(a) 推奨動作条件

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧	LAVDD		3.0	3.3	3.6	V
	LVDD		3.0	3.3	3.6	V
クロック周波数	CLKORG	デシメーション・フィルタ用		10.0		MHz
アナログ入力電圧	VAIN(V)	電圧チャンネル	-0.375		0.375	V
	VAIN(I)	電流チャンネル	-0.1875		0.1875	V
動作温度	TOPR		-40	25	85	

(b) リファレンス

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部基準電位(入力)	AVREFIO1		1.20		1.25	V
内部基準電位(出力)	AVREFIO2		1.165	1.226	1.287	V
内部基準電位温度係数	dREF/dT	注		100		ppm/

注 -40 ~ +25 および +25 ~ +85 の温度係数

(c) アナログ入力

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力信号DCレベル	ainDC	電圧ch	-20	0	20	mV
		電流ch, ゲイン1倍 ^注	-20	0	20	mV
		電流ch, ゲイン2倍	-10	0	10	mV
		電流ch, ゲイン16倍	-1.25	0	1.25	mV
入力信号範囲	ainRANGE	電圧ch	-0.375	0	0.375	V
		電流ch, ゲイン1倍 ^注	-0.375	0	0.375	V
		電流ch, ゲイン2倍	-0.1875	0	0.1875	V
		電流ch, ゲイン16倍	-23.4375	0	23.4375	mV
入力ゲイン	ainGAIN	電圧ch	0.93	1	1.07	倍
		電流ch, ゲイン1倍 ^注	0.93	1	1.07	倍
		電流ch, ゲイン2倍	1.86	2	2.14	倍
		電流ch, ゲイン16倍	14.88	16	17.12	倍
入力インピーダンス	ainRIN	電圧ch	100	131.25		k
		電流ch, ゲイン1倍 ^注	100	131.25		k
		電流ch, ゲイン2倍	60	78.75		k
		電流ch, ゲイン16倍	60	78.75		k

注 チャンネル2を電流チャンネルとして使用した場合(第11章 24ビットΔΣ型A/Dコンバータ参照)

注意 チャンネル1, 3のプログラマブル・アンプ・ゲイン指定は同じゲインになります。
チャンネル2はゲイン1倍固定です。

(d) A/Dコンバータ部

項目	略号	条件	MIN.	TYP.	MAX.	単位	
システム・クロック	CLK _{ORG}			10		MHz	
型動作クロック	CLK _{OSX3}	CLK _{OSX6} /2		1.667		MHz	
オーバ・サンプリング周波数	f _{OS}			555.6		kHz	
サンプリング周波数	f _S	f _{OS} /128		4.34		kHz	
出力データ・レート	T _{DATA}	1/f _S DF出力時		230.4		μs	
データ幅	RES			24		bit	
S/N	SNR	0 db@60 Hz 単一正弦波入力時	電圧ch	70	76		dB
			電流ch, ゲイン1倍 ^注	70	76		dB
			電流ch, ゲイン2倍	70	76		dB
			電流ch, ゲイン16倍	62	69		dB
THD	THD	0 db@60 Hz 単一正弦波入力時	電圧ch		- 80	- 72	dB
			電流ch, ゲイン1倍 ^注		- 80	- 72	dB
			電流ch, ゲイン2倍		- 80	- 72	dB
			電流ch, ゲイン16倍		- 80	- 72	dB
チャンネル間アイソレーション	XT		電圧ch	80			dB
			電流ch, ゲイン1倍 ^注	80			dB
			電流ch, ゲイン2倍	80			dB
			電流ch, ゲイン16倍	72			dB
動作電流	I _{AVDD}			3.9	7	mA	

注 チャンネル2を電流チャンネルとして使用した場合（第11章 24ビットΔΣ型A/Dコンバータ参照）

注意 初期データの取り扱いには次のようにしてください。

- ・パワーオフ パワーオン 変換開始 初期データ(1200回分のINTAD2)廃棄 データ取得(1201回目のINTAD2)
- ・パワーオン 変換停止 変換開始 初期データ(10回分のINTAD2)廃棄 データ取得(11回目のINTAD2)

(e) デジタル・フィルタ部

項目	略号	条件	MIN.	TYP.	MAX.	単位
通過域(低域側)	fchpf	- 3 dB		5.4		Hz
帯域内リップル1	rp1	45 Hz ~ 55 Hz@50 Hz	- 0.03		0.03	dB
		54 Hz ~ 66 Hz@60 Hz				
帯域内リップル2	rp2	45 Hz ~ 275 Hz@50 Hz	- 0.1		0.1	dB
		54 Hz ~ 330 Hz@60 Hz				
帯域内リップル3	rp3	45 Hz ~ 1100 Hz@50 Hz	- 0.1		0.1	dB
		54 Hz ~ 1320 Hz@60 Hz				
阻止域(高域側)	fatt	- 80 dB		3020		Hz
帯域外減衰量	ATT		- 80			dB

注意 すべての電流チャンネルは、同じゲイン設定のみ可能(チャンネルごとのゲイン設定は不可)。

電力演算特性

(TA = -40 ~ +85 , 3.0 V LVDD 3.6 V, LVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
チャンネル間の位相誤差 PF = 0.8 キャパシティブ		位相進み : 37 °		± 0.05		°
チャンネル間の位相誤差 PF = 0.5 インダクティブ		位相遅れ : 60 °		± 0.05		°
有効電力測定誤差		ダイナミック・レンジ1000:1@25 , PF = 1		± 0.1		%
無効電力測定誤差		ダイナミック・レンジ1000:1@25 , PF = 0		± 0.5		%
Vrms測定誤差		ダイナミック・レンジ100 : 1@25		± 0.5		%
Irms測定誤差		ダイナミック・レンジ500 : 1@25		± 0.5		%

LCD特性 (1/3)

(1) 外部抵抗分割方式

(a) スタティック・モード ($T_A = -40 \sim +85$, $V_{LCD} (MIN.)$ $V_{DD} 3.6 V, V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}		2.0		V_{DD}	V
LCD出力抵抗 ^注 (コモン)	R_{ODC}	$I_o = \pm 5 \mu A$			40	k
LCD出力抵抗 ^注 (セグメント)	R_{OCS}	$I_o = \pm 1 \mu A$			200	k

(b) 1/2バイアス ($T_A = -40 \sim +85$, $V_{LCD} (MIN.)$ $V_{DD} 3.6 V, V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}		2.7		V_{DD}	V
LCD出力抵抗 ^注 (コモン)	R_{ODC}	$I_o = \pm 5 \mu A$			40	k
LCD出力抵抗 ^注 (セグメント)	R_{OCS}	$I_o = \pm 1 \mu A$			200	k

(c) 1/3バイアス ($T_A = -40 \sim +85$, $V_{LCD} (MIN.)$ $V_{DD} 3.6 V, V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}		2.5		V_{DD}	V
LCD出力抵抗 ^注 (コモン)	R_{ODC}	$I_o = \pm 5 \mu A$			40	k
LCD出力抵抗 ^注 (セグメント)	R_{OCS}	$I_o = \pm 1 \mu A$			200	k

注 出力抵抗とは、 V_{LC0} , V_{LC1} , V_{LC2} , V_{SS} のいずれか1端子と、SEG/COM端子のいずれか1端子の間の抵抗です。

LCD特性 (2/3)

(2) 内部昇圧方式

・1/3バイアス ($T_A = -40 \sim +85$, 1.8V $V_{DD} = 3.6$ V, $V_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
LCD出力電圧可変範囲	V_{LCD2}	C1-C4 ^{注1} = 0.47 μ F ^{注2}	VLCD = 00H	1.67	1.75	1.83	V
			VLCD = 01H	1.62	1.70	1.78	V
			VLCD = 02H	1.57	1.65	1.73	V
			VLCD = 03H	1.52	1.60	1.68	V
			VLCD = 04H	1.47	1.55	1.63	V
			VLCD = 05H	1.42	1.50	1.58	V
			VLCD = 06H	1.37	1.45	1.53	V
			VLCD = 07H	1.32	1.40	1.48	V
			VLCD = 08H	1.27	1.35	1.43	V
			VLCD = 09H	1.22	1.30	1.375	V
			VLCD = 0AH	1.17	1.25	1.33	V
			VLCD = 0BH	1.12	1.20	1.28	V
			VLCD = 0CH	1.07	1.15	1.23	V
			VLCD = 0DH	1.02	1.10	1.18	V
			VLCD = 0EH	0.97	1.05	1.13	V
			VLCD = 0FH	0.92	1.00	1.08	V
VLCD = 10H	0.87	0.95	1.03	V			
VLCD = 11H	0.82	0.90	0.98	V			
VLCD = 12H	0.77	0.85	0.93	V			
VLCD = 13H	0.72	0.80	0.88	V			
ダブル出力電圧	V_{LCD1}	C1-C4 ^{注1} = 0.47 μ F	2 V_{LCD2} - 0.1	2 V_{LCD2}	2 V_{LCD2}	V	
トリプル出力電圧	V_{LCD0}	C1-C4 ^{注1} = 0.47 μ F	3 V_{LCD2} - 0.15	3 V_{LCD2}	3 V_{LCD2}	V	
基準電圧セットアップ時間 ^{注2}	$t_{VAWAIT2}$		2			ms	
昇圧ウエイト時間 ^{注3}	$t_{VAWAIT1}$		500			ms	
		$V_{DD} > V_{LC0}$	5			s	
LCD出力抵抗 ^{注4} (コモン)	R_{ODC}	$I_o = \pm 5 \mu$ A			40	k	
LCD出力抵抗 ^{注4} (セグメント)	R_{OCS}	$I_o = \pm 1 \mu$ A			200	k	

注1. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : V_{LC0} -GND間に接続するコンデンサです。

C3 : V_{LC1} -GND間に接続するコンデンサです。

C4 : V_{LC2} -GND間に接続するコンデンサです。

$C1 = C2 = C3 = C4 = 0.47 \mu$ F $\pm 30\%$

2. LVCDレジスタで基準電圧を設定してから (基準電圧をデフォルト値で使用する場合はリセットしてから) , 昇圧を開始する ($V_{LCON} = 1$) までに必要なウエイト時間です。

3. 昇圧を開始してから ($V_{LCON} = 1$) , 表示が可能になる ($V_{LCDON} = 1$) までのウエイト時間です。

4. 出力抵抗とは、 V_{LC0} , V_{LC1} , V_{LC2} と V_{SS} ピンのいずれかが1端子とSEG/COM端子のいずれかが1端子との間の抵抗です。

LCD特性 (3/3)

(3) 容量分割方式

・1/3バイアス ($T_A = -40 \sim +85$, $2.2\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V_{LC0} 電圧	V_{LC0}	$C1-C4 = 0.47\ \mu\text{F}$ ^{注3}		V_{DD}		V
V_{LC1} 電圧	V_{LC1}	$C1-C4 = 0.47\ \mu\text{F}$ ^{注3}	$2/3 V_{LC0}$ - 0.1	$2/3 V_{LC0}$	$2/3 V_{LC0}$ + 0.1	V
V_{LC2} 電圧	V_{LC2}	$C1-C4 = 0.47\ \mu\text{F}$ ^{注3}	$1/3 V_{LC0}$ - 0.1	$1/3 V_{LC0}$	$1/3 V_{LC0}$ + 0.1	V
容量分割ウエイト時間 ^{注1}	t_{WAIT}		100			ms
LCD出力抵抗 ^{注2} (コモン)	R_{ODC}	$I_o = \pm 5\ \mu\text{A}$			40	k
LCD出力抵抗 ^{注2} (セグメント)	R_{OCS}	$I_o = \pm 1\ \mu\text{A}$			200	k

注1. 降圧を開始してから ($V_{\text{LCON}} = 1$) , 表示が可能になる ($V_{\text{LCDON}} = 1$) までのウエイト時間です。

2. 出力抵抗とは, V_{LC0} , V_{LC1} , V_{LC2} と V_{SS} ピンのいずれか1端子とSEG/COM端子のいずれか1端子との間の抵抗です。

3. LCDを駆動用電圧端子間に接続するコンデンサです。

C1 : CAPH-CAPL間に接続するコンデンサです。

C2 : V_{LC0} -GND間に接続するコンデンサです。

C3 : V_{LC1} -GND間に接続するコンデンサです。

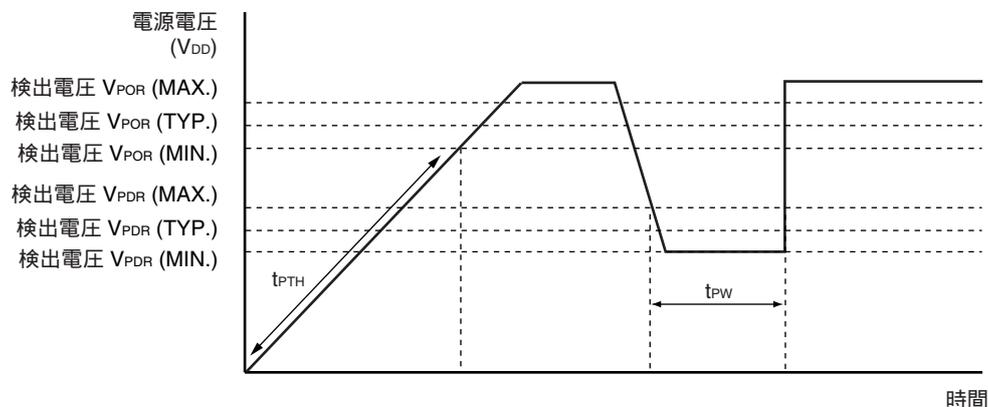
C4 : V_{LC2} -GND間に接続するコンデンサです。

$C1 = C2 = C3 = C4 = 0.47\ \mu\text{F} \pm 30\%$

POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}		1.52	1.61	1.70	V
	V_{PDR}		1.5	1.59	1.68	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0\text{ V}$ V_{POR} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}	電源降下時	200			μs
検出遅延					200	μs

POC回路タイミング



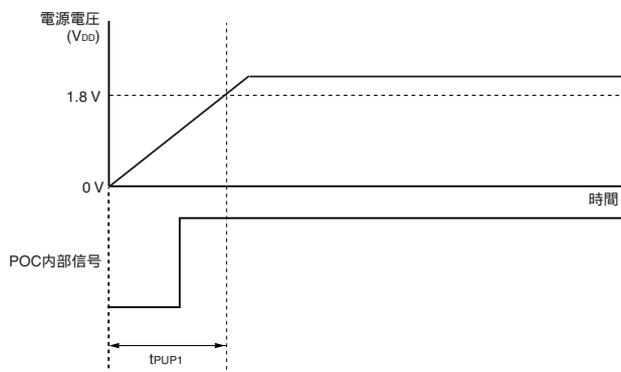
電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 ($V_{DD} : 0 V \sim 1.8 V$)	t_{PUP1}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1) , \overline{RESET} 入力未使用時			3.6	ms
1.8 V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 (\overline{RESET} 入力解除 $V_{DD} : 1.8 V$)	t_{PUP2}	LVIデフォルト・スタート無効 (\overline{LVIOFF} (オプション・バイト) = 1) , \overline{RESET} 入力使用時			1.88	ms

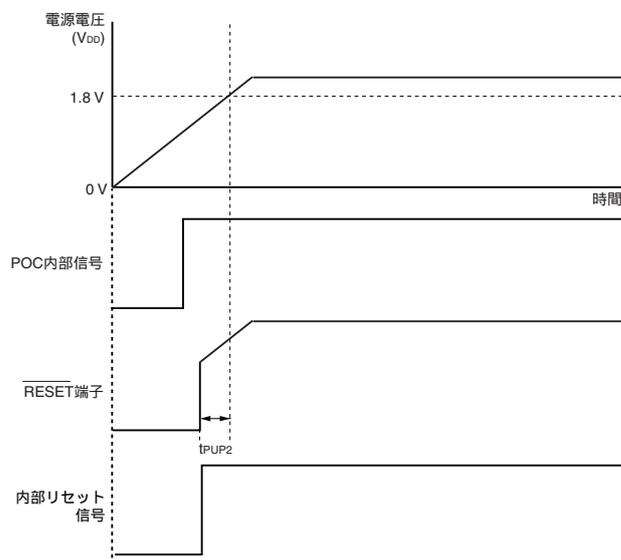
注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げ時間のタイミング

・ \overline{RESET} 端子入力未使用時



・ \overline{RESET} 端子入力使用時 (POC解除後、 \overline{RESET} 端子による外部リセットが解除される場合)



LVI回路特性 ($T_A = -40 \sim +85$, $V_{PDR} = V_{DD} = 3.6\text{ V}$, $V_{SS} = 0\text{ V}$)

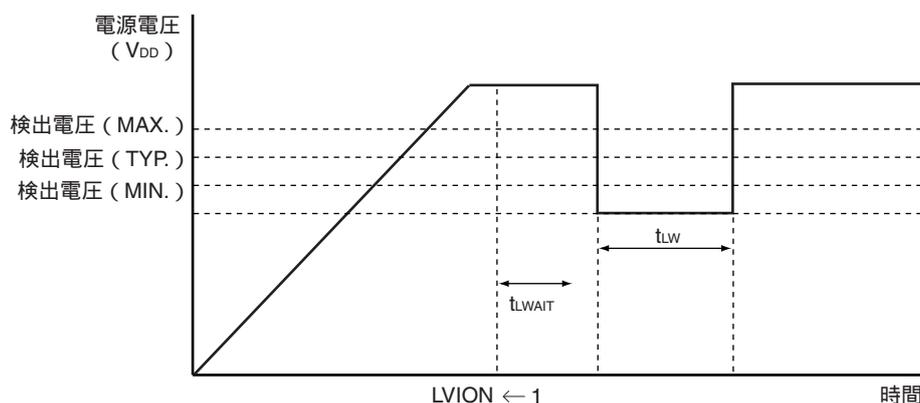
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LV10}	3.35	3.45	3.55	V
		V_{LV11}	3.20	3.30	3.40	V
		V_{LV12}	3.05	3.15	3.25	V
		V_{LV13}	2.89	2.99	3.09	V
		V_{LV14}	2.74	2.84	2.94	V
		V_{LV15}	2.58	2.68	2.78	V
		V_{LV16}	2.43	2.53	2.63	V
		V_{LV17}	2.28	2.38	2.48	V
		V_{LV18}	2.12	2.22	2.32	V
		V_{LV19}	1.97	2.07	2.17	V
		V_{LV10}	1.81	1.91	2.01	V
外部入力端子 ^{注1}	V_{EXLVI}	$EXLVI < V_{DD}, 1.8\text{ V}$ $V_{DD} = 3.6\text{ V}$	1.11	1.21	1.31	V
電源立ち上げ時 電源電圧	V_{PULVI}	LVIデフォルト・スタート機能動作時	1.87	2.07	2.27	V
最小パルス幅	t_{LW}		200			$\mu\text{ s}$
検出遅延					200	$\mu\text{ s}$
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	$\mu\text{ s}$

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LV1(n-1)} > V_{LV1n}$: $n = 1-10$

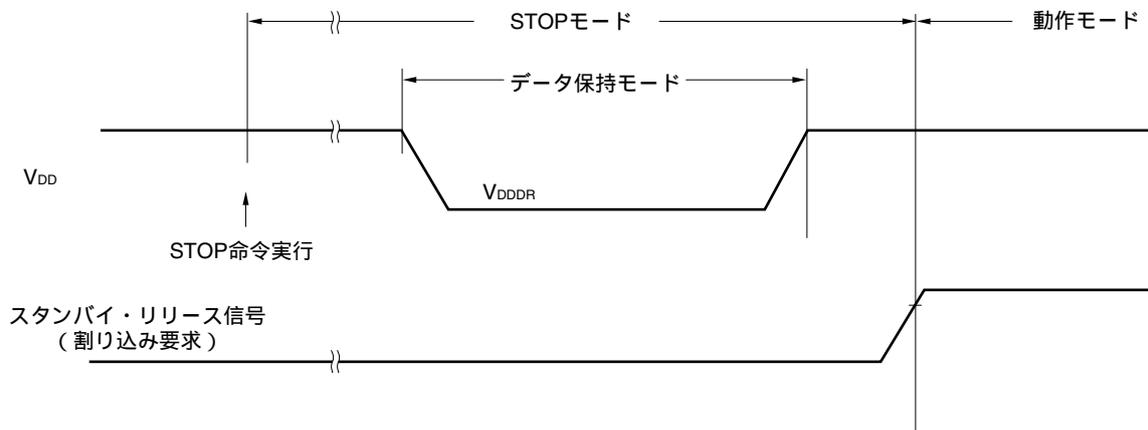
LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.5 [※]		3.6	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

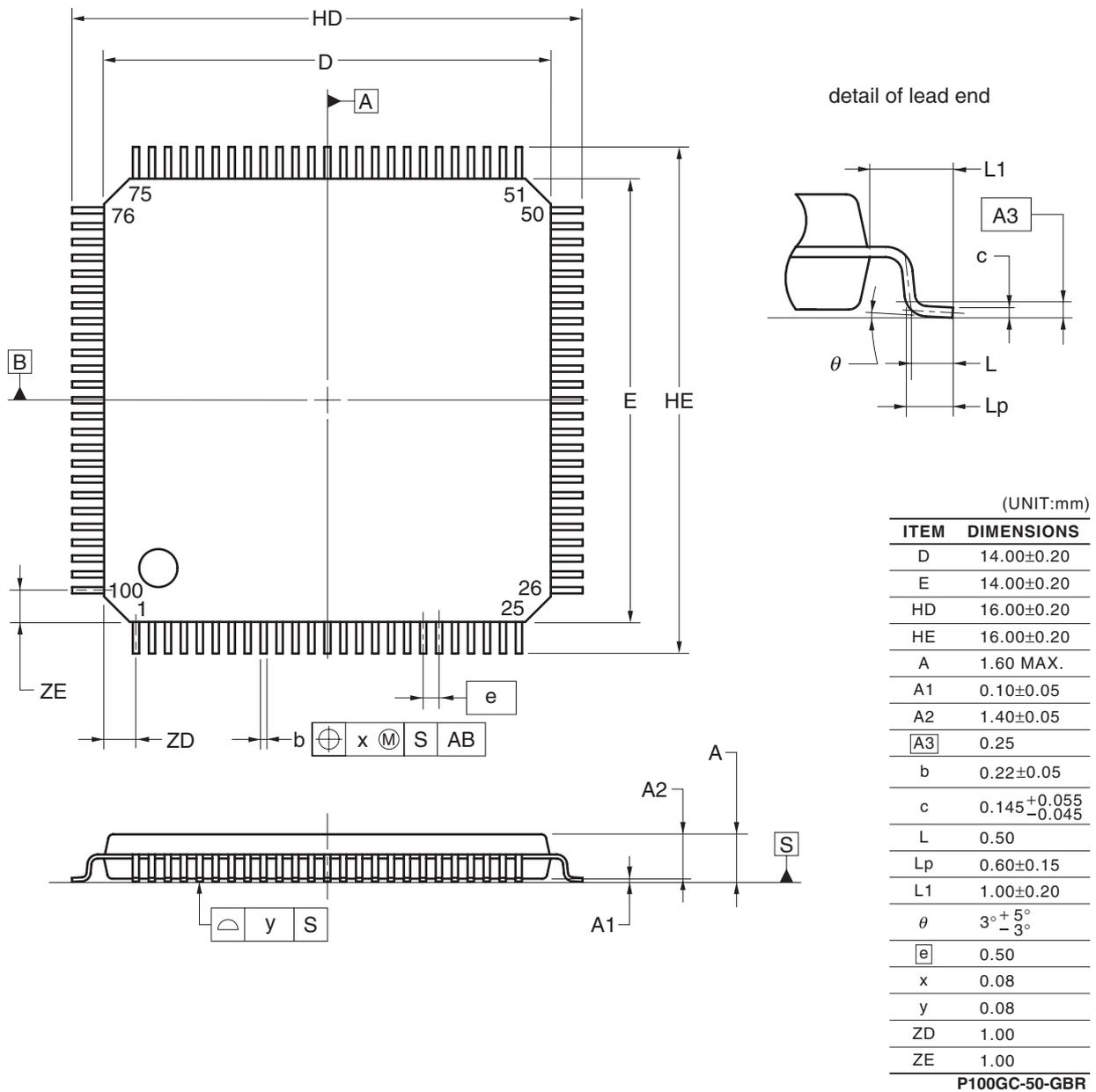
($T_A = -40 \sim +85$, 1.8 V V_{DD} 3.6 V, V_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
V _{DD} 電源電流	I _{DD}	TYP. = 10 MHz, MAX. = 20 MHz		6	20	mA	
1チップあたりの書き換え回数	C _{enwr}	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする [※] 。	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時	保持15年	1000		回
		当社提供のEEPROMエミュレーション・ライブラリ使用時	保持5年	10000			回

注 出荷品に対する初回書き込み時では、「消去書き込み」の場合も、「書き込みのみ」の場合も書き換え1回となります。

第33章 外形图

100-PIN PLASTIC LQFP(FINE PITCH) (14x14)



© 2011 Renesas Electronics Corporation. All rights reserved.

付録A 改版履歴

A.1 本版で改訂された主な箇所

(1/2)

箇所	内容	分類
第1章 概 説		
p.4	1.3 端子接続図 (Top View) に注意を追加	(c)
第2章 端子機能		
p.10	2.1 (1) ポート機能を変更	(c)
p.12-14	2.1 (2) ポート以外の機能を変更	(c)
p.28	2.2.21 RESETを変更	(c)
p.28	2.2.22 LRESETを変更	(c)
p.31	2.2.28 (7) LV _{SS} , (10) V _{SS} を変更	(c)
p.36	図2 - 1 端子の入出力回路一覧 (2/4) のタイプ5-ANを変更	(a)
第3章 CPUアーキテクチャ		
p.59	表3 - 5 SFR一覧 (5/5) を変更	(a)
p.70	表3 - 7 拡張SFR (3rd SFR) 一覧 (2/5) を変更	(a)
第4章 ポート機能		
p.88	表4 - 2 ポートの機能 (1/2) を変更	(c)
p.123	4.2.13 ポートL0を追加	(c)
p.141	表4 - 5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 (1/3) を変更	(a)
第5章 クロック発生回路		
p.145	5.1 (1) メイン・システム・クロックに注意を追加	(c)
p.199	図5 - 18 クロック出力選択レジスタ0 (CKS0) のフォーマットに注意5を追加	(c)
第6章 タイマ・アレイ・ユニット		
p.275	図6 - 61 ワンショット・パルス出力機能 (スタート・トリガ: Timn入力の有効エッジ) としての動作の基本タイミング例を変更	(a)
第7章 リアルタイム・カウンタ		
p.283	図7 - 2 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマットを変更	(a)
p.284	図7 - 3 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマットを変更	(a)
p.286	図7 - 4 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマットを変更	(a)
第11章 24 ビット 型A/D コンバータ		
p.377	11.5 (2) の注意を変更	(c)
第13章 シリアル・インタフェースIICA		
p.527	図13 - 9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (1/2) を変更	(c)
第14章 拡張SFR (3rd SFR) インタフェース		
p.596	14.1 拡張SFR (3rd SFR) インタフェースの機能の注意を変更	(c)
p.610	図14 - 12 シリアル・データ・レジスタ02 (SDR02) のフォーマットの注意を変更	(c)
p.613	図14 - 15 ポート・モード・レジスタ1 (PM1) のフォーマットの注意1を変更	(c)
p.617	14.4.2 (1) 機能概要の注を変更	(c)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

(2/2)

箇所	内容	分類
第15章 LCDコントローラ/ドライバ		
p.627	表15 - 1 最大表示画素数の注を変更	(c)
p.638	15. 5 (2) 内部昇圧方式, (3) 容量分割方式を変更	(c)
p.659	15. 8. 3 容量分割方式を変更	(c)
第18章 割り込み機能		
p.710	図18 - 6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (2/2) を変更	(a)
第19章 電力演算回路		
p.806	19. 4. 11 電力演算回路の注意事項 (1) を変更	(c)
第20章 電力品質測定回路		
p.817	図20 - 6 電流ピーク・レベル設定レジスタ (IPKLMT) のフォーマットを変更	(a)
p.818	図20 - 7 電圧ピーク・レベル設定レジスタ (VPKLMT) のフォーマットを変更	(a)
第21章 デジタル周波数変換回路		
p.840	図21 - 7 パルス出力 (モード1) を変更	(c)
第23章 リセット機能		
p.871	23. 2 リセット解除後の注意事項を変更	(c)
第31章 命令セットの概要		
p.944	表31 - 5 オペレーション一覧 (10/17) を変更	(c)
第32章 電気的特性		
p.955	内蔵発振回路特性を変更	(b)
p.962-965	DC特性 電源電流・動作電流を変更	(b), (c)
p.990	アナログ特性を変更	(b)
第33章 外形図		
p.1000	章を追加	(c)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

78K0R/Lx3-M ユーザーズマニュアル
ハードウェア編

発行年月日 2011年3月28日 Rev.0.01
 2012年3月16日 Rev.1.00

発行 ルネサス エレクトロニクス株式会社
 〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>

78K0R/Lx3-M