

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

78K0R/KG3

16ビット・シングルチップ・マイクロコントローラ

μPD78F1162, 78F1162A, 78F1162A(A)
μPD78F1163, 78F1163A, 78F1163A(A)
μPD78F1164, 78F1164A, 78F1164A(A)
μPD78F1165, 78F1165A, 78F1165A(A)
μPD78F1166, 78F1166A, 78F1166A(A)
μPD78F1167, 78F1167A, 78F1167A(A)
μPD78F1168, 78F1168A, 78F1168A(A)

(メモ)

目次要約

第1章	概 説	...	18
第2章	端子機能	...	29
第3章	CPUアーキテクチャ	...	53
第4章	ポート機能	...	105
第5章	外部バス・インタフェース	...	164
第6章	クロック発生回路	...	187
第7章	タイマ・アレイ・ユニット	...	228
第8章	リアルタイム・カウンタ	...	309
第9章	ウォッチドッグ・タイマ	...	336
第10章	クロック出力/ブザー出力制御回路	...	343
第11章	A/Dコンバータ	...	348
第12章	D/Aコンバータ	...	380
第13章	シリアル・アレイ・ユニット	...	388
第14章	シリアル・インタフェースIIC0	...	522
第15章	乗 算 器	...	597
第16章	DMAコントローラ	...	600
第17章	割り込み機能	...	626
第18章	キー割り込み機能	...	649
第19章	スタンバイ機能	...	651
第20章	リセット機能	...	666
第21章	パワーオン・クリア回路	...	675
第22章	低電圧検出回路	...	681
第23章	レギュレータ	...	703
第24章	オプション・バイト	...	705
第25章	フラッシュ・メモリ	...	710
第26章	オンチップ・デバッグ機能	...	729
第27章	10進補正 (BCD) 機能	...	732
第28章	命令セットの概要	...	735
第29章	電気的特性 (標準品)	...	756
第30章	電気的特性 ((A) 水準品)	...	817
第31章	外形図	...	876
第32章	半田付け推奨条件	...	878
付録A	開発ツール	...	880
付録B	注意事項一覧	...	888
付録C	改版履歴	...	916

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の登録商標です。

Windows、Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

- 本資料に記載されている内容は2009年7月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

はじめに

対象者 このマニュアルは78K0R/KG3の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・ 78K0R/KG3従来規格品 : μ PD78F1162, 78F1163, 78F1164, 78F1165, 78F1166, 78F1167, 78F1168
- ・ 78K0R/KG3 拡張規格品 : μ PD78F1162A, 78F1163A, 78F1164A, 78F1165A, 78F1166A, 78F1167A, 78F1168A
- ・ 78K0R/KG3拡張規格品の(A)水準品 : μ PD78F1162A(A), 78F1163A(A), 78F1164A(A), 78F1165A(A), 78F1166A(A), 78F1167A(A), 78F1168A(A)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0R/KG3のマニュアルは、このマニュアルと命令編（78K0Rマイクロコントローラ共通）の2冊に分かれています。

78K0R/KG3 ユーザーズ・マニュアル	78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

78K0R/KG3マイクロコントローラの拡張規格品の(A)水準品のマニュアルとしてお使いになる方へ
標準製品と(A)水準品は一部の電気的特性と品質水準のみが異なります。(A)水準品については品名を次のように読み替えてください。

- ・ μ PD78F116yA μ PD78F116yA(A) (y = 2-8)

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。
この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0Rでは予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。

78K0Rマイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編 (U17792J) を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁
 アクティブ・ロウの表記 : \overline{xxx} (端子, 信号名称に上線)
 注 : 本文中につけた注の説明
 注意 : 気をつけて読んでいただきたい内容
 備考 : 本文の補足説明
 数の表記 : 2進数... xxx または xxx B
 10進数... xxx
 16進数... xxx H

関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
78K0R/KG3 ユーザーズ・マニュアル	このマニュアル	U17894E
78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編	U17792J	U17792E
78K0Rマイクロコントローラ セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル ^注	U18706J	U18706E

注 この資料は技術管理です。当社販売員にお問い合わせください。

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
CC78K0R Ver.2.00 Cコンパイラ	操作編	U18549J	U18549E
	言語編	U18548J	U18548E
RA78K0R Ver.1.20 アセンブラ・パッケージ	操作編	U18547J	U18547E
	言語編	U18546J	U18546E
SM+ システム・シミュレータ	操作編	U18601J	U18601E
PM+ Ver.6.30		U18416J	U18416E
ID78K0R-QB Ver.3.20 統合デバッガ	操作編	U17839J	U17839E

開発ツール (ハードウェア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E
QB-78K0RKX3 インサーキット・エミュレータ	U17866J	U17866E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	U15260E
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文 : <http://www.necel.com/pkg/ja/jissou/index.html>

英文 : <http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 18

- 1.1 従来規格品 (μ PD78F116x) と拡張規格品 (μ PD78F116xA) の違い ... 18
- 1.2 特 徴 ... 19
- 1.3 応用分野 ... 20
- 1.4 オーダ情報 ... 21
- 1.5 端子接続図 (Top View) ... 22
- 1.6 78K0R/Kx3 マイクロコントローラの製品展開 ... 25
- 1.7 ブロック図 ... 26
- 1.8 機能概要 ... 27

第2章 端子機能 ... 29

- 2.1 端子機能一覧 ... 29
- 2.2 端子機能の説明 ... 35
 - 2.2.1 P00-P06 (Port 0) ... 35
 - 2.2.2 P10-P17 (Port 1) ... 36
 - 2.2.3 P20-P27 (Port 2) ... 37
 - 2.2.4 P30, P31 (Port 3) ... 38
 - 2.2.5 P40-P47 (Port 4) ... 38
 - 2.2.6 P50-P57 (Port 5) ... 40
 - 2.2.7 P60-P67 (Port 6) ... 40
 - 2.2.8 P70-P77 (Port 7) ... 41
 - 2.2.9 P80-P87 (Port 8) ... 41
 - 2.2.10 P110, P111 (Port 11) ... 42
 - 2.2.11 P120-P124 (Port 12) ... 42
 - 2.2.12 P130, P131 (Port 13) ... 43
 - 2.2.13 P140-P145 (Port 14) ... 43
 - 2.2.14 P150-P157 (Port 15) ... 45
 - 2.2.15 AV_{REF0} ... 45
 - 2.2.16 AV_{REF1} ... 46
 - 2.2.17 AV_{SS} ... 46
 - 2.2.18 \overline{RESET} ... 46
 - 2.2.19 REGC ... 46
 - 2.2.20 V_{DD} , EV_{DD0} , EV_{DD1} ... 47
 - 2.2.21 V_{SS} , EV_{SS0} , EV_{SS1} ... 47
 - 2.2.22 FLMD0 ... 47
- 2.3 端子の入出力回路と未使用端子の処理 ... 48

第3章 CPUアーキテクチャ ... 53

- 3.1 メモリ空間 ... 53
 - 3.1.1 内部プログラム・メモリ空間 ... 63
 - 3.1.2 ミラー領域 ... 65
 - 3.1.3 内部データ・メモリ空間 ... 66
 - 3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 67
 - 3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 ... 67
 - 3.1.6 データ・メモリ・アドレッシング ... 68

- 3.2 プロセッサ・レジスタ ... 75
 - 3.2.1 制御レジスタ ... 75
 - 3.2.2 汎用レジスタ ... 77
 - 3.2.3 ES, CSレジスタ ... 79
 - 3.2.4 特殊機能レジスタ (SFR : Special Function Register) ... 80
 - 3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) ... 86
- 3.3 命令アドレスのアドレッシング ... 92
 - 3.3.1 レラティブ・アドレッシング ... 92
 - 3.3.2 イミディエト・アドレッシング ... 92
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 93
 - 3.3.4 レジスタ・ダイレクト・アドレッシング ... 94
- 3.4 処理データ・アドレスに対するアドレッシング ... 95
 - 3.4.1 インプライド・アドレッシング ... 95
 - 3.4.2 レジスタ・アドレッシング ... 95
 - 3.4.3 ダイレクト・アドレッシング ... 96
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 97
 - 3.4.5 SFRアドレッシング ... 98
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 99
 - 3.4.7 ベースト・アドレッシング ... 100
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 103
 - 3.4.9 スタック・アドレッシング ... 104

第4章 ポート機能 ... 105

- 4.1 ポートの機能 ... 105
- 4.2 ポートの構成 ... 108
 - 4.2.1 ポート0 ... 109
 - 4.2.2 ポート1 ... 115
 - 4.2.3 ポート2 ... 121
 - 4.2.4 ポート3 ... 122
 - 4.2.5 ポート4 ... 123
 - 4.2.6 ポート5 ... 132
 - 4.2.7 ポート6 ... 134
 - 4.2.8 ポート7 ... 137
 - 4.2.9 ポート8 ... 138
 - 4.2.10 ポート11 ... 139
 - 4.2.11 ポート12 ... 140
 - 4.2.12 ポート13 ... 144
 - 4.2.13 ポート14 ... 146
 - 4.2.14 ポート15 ... 150
- 4.3 ポート機能を制御するレジスタ ... 151
- 4.4 ポート機能の動作 ... 157
 - 4.4.1 入出力ポートへの書き込み ... 157
 - 4.4.2 入出力ポートからの読み出し ... 157
 - 4.4.3 入出力ポートでの演算 ... 157
 - 4.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法 ... 158
- 4.5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 160
- 4.6 ポート・レジスタ n (P n) に対する1ビット・メモリ操作命令に関する注意事項 ... 163

第5章 外部バス・インタフェース ... 164

- 5.1 外部バス・インタフェースの機能 ... 164
- 5.2 外部バス・インタフェース機能を制御するレジスタ ... 170
- 5.3 ポート・モード・レジスタ, 出力ラッチの設定 ... 173

- 5.4 データ・アクセスによる命令ウエイト数 ... 174
- 5.5 フェッチ・アクセスによる命令実行クロックと命令ウエイト数 ... 174
- 5.6 外部ウエイトによる命令ウエイト数... 175
- 5.7 外部バス・インタフェース機能のタイミング ... 176
 - 5.7.1 マルチプレクスト・バス・モード ... 177
 - 5.7.2 セパレート・バス・モード ... 181
- 5.8 メモリとの接続例 ... 185
 - 5.8.1 外部ロジック (ASICなど) 接続 ... 185
 - 5.8.2 同期メモリ接続 ... 185
 - 5.8.3 非同期メモリ接続 ... 186

第6章 クロック発生回路 ... 187

- 6.1 クロック発生回路の機能 ... 187
- 6.2 クロック発生回路の構成 ... 188
- 6.3 クロック発生回路を制御するレジスタ ... 190
- 6.4 システム・クロック発振回路 ... 204
 - 6.4.1 X1発振回路 ... 204
 - 6.4.2 XT1発振回路 ... 204
 - 6.4.3 高速内蔵発振回路 ... 207
 - 6.4.4 低速内蔵発振回路 ... 207
 - 6.4.5 プリスケーラ ... 207
- 6.5 クロック発生回路の動作 ... 208
- 6.6 クロックの制御 ... 211
 - 6.6.1 高速システム・クロックの制御例 ... 211
 - 6.6.2 高速内蔵発振クロックの制御例 ... 214
 - 6.6.3 サブシステム・クロックの制御例 ... 216
 - 6.6.4 低速内蔵発振クロックの制御例 ... 218
 - 6.6.5 CPUクロック状態移行図 ... 219
 - 6.6.6 CPUクロックの移行前の条件と移行後の処理 ... 224
 - 6.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 ... 226
 - 6.6.8 クロック発振停止前の条件 ... 227

第7章 タイマ・アレイ・ユニット ... 228

- 7.1 タイマ・アレイ・ユニットの機能 ... 228
 - 7.1.1 単独チャンネルで動作する機能 ... 228
 - 7.1.2 複数チャンネルで動作する機能 ... 229
 - 7.1.3 LIN-bus対応機能 (チャンネル7のみ) ... 229
- 7.2 タイマ・アレイ・ユニットの構成 ... 230
- 7.3 タイマ・アレイ・ユニットを制御するレジスタ ... 235
- 7.4 チャンネル出力 (TO0n端子) の制御 ... 256
 - 7.4.1 TO0n端子の出力回路の構成 ... 256
 - 7.4.2 TO0n端子の出力設定 ... 257
 - 7.4.3 チャンネル出力操作時の注意事項 ... 257
 - 7.4.4 TO0nビットの一括操作 ... 261
 - 7.4.5 カウント動作開始時のタイマ割り込みとTO0n端子出力について ... 262
- 7.5 チャンネル入力 (TI0n端子) の制御 ... 263
 - 7.5.1 TI0nエッジ検出回路 ... 263
- 7.6 タイマ・アレイ・ユニットの基本機能説明 ... 264
 - 7.6.1 単体動作機能と連動動作機能の概要 ... 264
 - 7.6.2 連動動作機能の基本ルール ... 264
 - 7.6.3 連動動作機能の基本ルールの適用範囲 ... 265
- 7.7 タイマ・アレイ・ユニットの単独チャンネルでの動作 ... 266

- 7.7.1 インターバル・タイマ / 方形波出力としての動作 ... 266
- 7.7.2 外部イベント・カウンタとしての動作 ... 272
- 7.7.3 分周器としての動作 (チャンネル0のみ) ... 276
- 7.7.4 入力パルス間隔測定としての動作 ... 280
- 7.7.5 入力信号のハイ / ロウ・レベル幅測定としての動作 ... 284
- 7.8 **タイマ・アレイ・ユニットの複数チャンネルでの動作** ... 288
 - 7.8.1 PWM機能としての動作 ... 288
 - 7.8.2 ワンショット・パルス出力機能としての動作 ... 295
 - 7.8.3 多重PWM出力機能としての動作 ... 302

第8章 リアルタイム・カウンタ ... 309

- 8.1 **リアルタイム・カウンタの機能** ... 309
- 8.2 **リアルタイム・カウンタの構成** ... 309
- 8.3 **リアルタイム・カウンタを制御するレジスタ** ... 311
- 8.4 **リアルタイム・カウンタの動作** ... 325
 - 8.4.1 リアルタイム・カウンタの動作開始 ... 325
 - 8.4.2 動作開始後のSTOPモードへの移行 ... 326
 - 8.4.3 リアルタイム・カウンタのカウント読み出し / 書き込み ... 327
 - 8.4.4 リアルタイム・カウンタのアラーム設定 ... 329
 - 8.4.5 リアルタイム・カウンタの1 Hz出力 ... 330
 - 8.4.6 リアルタイム・カウンタの32.768 kHz出力 ... 330
 - 8.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力 ... 330
 - 8.4.8 リアルタイム・カウンタの時計誤差補正例 ... 331

第9章 ウォッチドッグ・タイマ ... 336

- 9.1 **ウォッチドッグ・タイマの機能** ... 336
- 9.2 **ウォッチドッグ・タイマの構成** ... 337
- 9.3 **ウォッチドッグ・タイマを制御するレジスタ** ... 338
- 9.4 **ウォッチドッグ・タイマの動作** ... 339
 - 9.4.1 ウォッチドッグ・タイマの動作制御 ... 339
 - 9.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 ... 340
 - 9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 ... 341
 - 9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 ... 342

第10章 クロック出力 / ブザー出力制御回路 ... 343

- 10.1 **クロック出力 / ブザー出力制御回路の機能** ... 343
- 10.2 **クロック出力 / ブザー出力制御回路の構成** ... 344
- 10.3 **クロック出力 / ブザー出力制御回路を制御するレジスタ** ... 344
- 10.4 **クロック出力 / ブザー出力制御回路の動作** ... 347
 - 10.4.1 出力端子の動作 ... 347

第11章 A/Dコンバータ ... 348

- 11.1 **A/Dコンバータの機能** ... 348
- 11.2 **A/Dコンバータの構成** ... 349
- 11.3 **A/Dコンバータで使用するレジスタ** ... 351
- 11.4 **A/Dコンバータの動作** ... 360
 - 11.4.1 A/Dコンバータの基本動作 ... 360
 - 11.4.2 入力電圧と変換結果 ... 362
 - 11.4.3 A/Dコンバータの動作モード ... 363
- 11.5 **温度センサ機能 (拡張規格品 μ PD78F116xAのみ)** ... 365

- 11.5.1 温度センサの構成 ... 365
- 11.5.2 温度センサで使用するレジスタ ... 366
- 11.5.3 温度センサの動作 ... 368
- 11.5.4 温度センサの使用手順 ... 370
- 11.6 A/Dコンバータ特性表の読み方 ... 373
- 11.7 A/Dコンバータの注意事項 ... 376

第12章 D/Aコンバータ ... 380

- 12.1 D/Aコンバータの機能 ... 380
- 12.2 D/Aコンバータの構成 ... 380
- 12.3 D/Aコンバータで使用するレジスタ ... 382
- 12.4 D/Aコンバータの動作 ... 385
 - 12.4.1 通常モード時の動作 ... 385
 - 12.4.2 リアルタイム出力モード時の動作 ... 386
 - 12.4.3 使用上の注意点 ... 387

第13章 シリアル・アレイ・ユニット ... 388

- 13.1 シリアル・アレイ・ユニットの機能 ... 388
 - 13.1.1 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) ... 388
 - 13.1.2 UART (UART0, UART1, UART2, UART3) ... 389
 - 13.1.3 簡易I²C (IIC10, IIC20) ... 390
- 13.2 シリアル・アレイ・ユニットの構成 ... 391
- 13.3 シリアル・アレイ・ユニットを制御するレジスタ ... 396
- 13.4 動作停止モード ... 417
 - 13.4.1 ユニット単位で動作停止とする場合 ... 417
 - 13.4.2 チャンネルごとに動作停止とする場合 ... 418
- 13.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信の動作 ... 419
 - 13.5.1 マスタ送信 ... 420
 - 13.5.2 マスタ受信 ... 428
 - 13.5.3 マスタ送受信 ... 436
 - 13.5.4 スレーブ送信 ... 444
 - 13.5.5 スレーブ受信 ... 452
 - 13.5.6 スレーブ送受信 ... 458
 - 13.5.7 転送クロック周波数の算出 ... 466
 - 13.5.8 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信時におけるエラー発生時の処理手順 ... 468
- 13.6 UART (UART0, UART1, UART2, UART3) 通信の動作 ... 469
 - 13.6.1 UART送信 ... 470
 - 13.6.2 UART受信 ... 478
 - 13.6.3 LIN送信 ... 484
 - 13.6.4 LIN受信 ... 487
 - 13.6.5 ボー・レートの算出 ... 492
 - 13.6.6 UART (UART0, UART1, UART2, UART3) 通信時におけるエラー発生時の処理手順 ... 496
- 13.7 簡易I²C (IIC10, IIC20) 通信の動作 ... 497
 - 13.7.1 アドレス・フィールド送信 ... 498
 - 13.7.2 データ送信 ... 503
 - 13.7.3 データ受信 ... 506
 - 13.7.4 ストップ・コンディション発生 ... 510
 - 13.7.5 転送レートの算出 ... 511
 - 13.7.6 簡易I²C (IIC10, IIC20) 通信時におけるエラー発生時の処理手順 ... 514
- 13.8 レジスタの設定と端子の関係 ... 515

第14章 シリアル・インタフェースIIC0 ... 522

- 14.1 シリアル・インタフェースIIC0の機能 ... 522
- 14.2 シリアル・インタフェースIIC0の構成 ... 525
- 14.3 シリアル・インタフェースIIC0を制御するレジスタ ... 528
- 14.4 I²Cバス・モードの機能 ... 541
 - 14.4.1 端子構成 ... 541
- 14.5 I²Cバスの定義および制御方法 ... 542
 - 14.5.1 スタート・コンディション ... 542
 - 14.5.2 アドレス ... 543
 - 14.5.3 転送方向指定 ... 543
 - 14.5.4 転送クロックの設定方法 ... 544
 - 14.5.5 アクノリッジ (ACK) ... 545
 - 14.5.6 ストップ・コンディション ... 547
 - 14.5.7 ウェイト ... 548
 - 14.5.8 ウェイト解除方法 ... 550
 - 14.5.9 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御 ... 551
 - 14.5.10 アドレスの一致検出方法 ... 552
 - 14.5.11 エラーの検出 ... 552
 - 14.5.12 拡張コード ... 553
 - 14.5.13 アービトレーション ... 554
 - 14.5.14 ウェイク・アップ機能 ... 556
 - 14.5.15 通信予約 ... 556
 - 14.5.16 その他の注意事項 ... 560
 - 14.5.17 通信動作 ... 561
 - 14.5.18 I²C割り込み要求 (INTIIC0) の発生タイミング ... 569
- 14.6 タイミング・チャート ... 590

第15章 乗算器 ... 597

- 15.1 乗算器の機能 ... 597
- 15.2 乗算器の構成 ... 598
- 15.3 乗算器の動作 ... 599

第16章 DMAコントローラ ... 600

- 16.1 DMAコントローラの機能 ... 600
- 16.2 DMAコントローラの構成 ... 601
- 16.3 DMAコントローラを制御するレジスタ ... 604
- 16.4 DMAコントローラの動作 ... 608
 - 16.4.1 動作手順 ... 608
 - 16.4.2 転送モード ... 609
 - 16.4.3 DMA転送の終了 ... 609
- 16.5 DMAコントローラの設定例 ... 610
 - 16.5.1 CSI連続送信 ... 610
 - 16.5.2 CSIマスタ受信 ... 612
 - 16.5.3 CSI送受信 ... 614
 - 16.5.4 A/D変換結果の連続取り込み ... 616
 - 16.5.5 UART連続受信 + ACK送信 ... 618
 - 16.5.6 DWAITnによるDMA転送保留 ... 620
 - 16.5.7 ソフトウェアでの強制終了 ... 621
- 16.6 DMAコントローラの注意事項 ... 623

第17章 割り込み機能 ... 626

- 17.1 割り込み機能の種類 ... 626
- 17.2 割り込み要因と構成 ... 626
- 17.3 割り込み機能を制御するレジスタ ... 632
- 17.4 割り込み処理動作 ... 641
 - 17.4.1 マスカブル割り込み要求の受け付け動作 ... 641
 - 17.4.2 ソフトウェア割り込み要求の受け付け動作 ... 644
 - 17.4.3 多重割り込み処理 ... 644
 - 17.4.4 割り込み要求の保留 ... 648

第18章 キー割り込み機能 ... 649

- 18.1 キー割り込みの機能 ... 649
- 18.2 キー割り込みの構成 ... 649
- 18.3 キー割り込みを制御するレジスタ ... 650

第19章 スタンバイ機能 ... 651

- 19.1 スタンバイ機能と構成 ... 651
 - 19.1.1 スタンバイ機能 ... 651
 - 19.1.2 スタンバイ機能を制御するレジスタ ... 652
- 19.2 スタンバイ機能の動作 ... 655
 - 19.2.1 HALTモード ... 655
 - 19.2.2 STOPモード ... 660

第20章 リセット機能 ... 666

- 20.1 リセット要因を確認するレジスタ ... 674

第21章 パワーオン・クリア回路 ... 675

- 21.1 パワーオン・クリア回路の機能 ... 675
- 21.2 パワーオン・クリア回路の構成 ... 676
- 21.3 パワーオン・クリア回路の動作 ... 676
- 21.4 パワーオン・クリア回路の注意事項 ... 679

第22章 低電圧検出回路 ... 681

- 22.1 低電圧検出回路の機能 ... 681
- 22.2 低電圧検出回路の構成 ... 682
- 22.3 低電圧検出回路を制御するレジスタ ... 682
- 22.4 低電圧検出回路の動作 ... 686
 - 22.4.1 リセットとして使用時の設定 ... 686
 - 22.4.2 割り込みとして使用時の設定 ... 693
- 22.5 低電圧検出回路の注意事項 ... 699

第23章 レギュレータ ... 703

- 23.1 レギュレータの概要 ... 703
- 23.2 レギュレータを制御するレジスタ ... 703

第24章 オプション・バイト ... 705

- 24.1 オプション・バイトの機能 ... 705
 - 24.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H) ... 705
 - 24.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) ... 706
- 24.2 ユーザ・オプション・バイトのフォーマット ... 706
- 24.3 オンチップ・デバッグ・オプション・バイトのフォーマット ... 708
- 24.4 オプション・バイトの設定 ... 709

第25章 フラッシュ・メモリ ... 710

- 25.1 フラッシュ・メモリ・プログラムによる書き込み方法 ... 710
- 25.2 プログラミング環境 ... 714
- 25.3 通信方式 ... 714
- 25.4 オンボード上の端子処理 ... 715
 - 25.4.1 FLMD0端子 ... 715
 - 25.4.2 TOOL0端子 ... 716
 - 25.4.3 RESET端子 ... 716
 - 25.4.4 ポート端子 ... 717
 - 25.4.5 REGC端子 ... 717
 - 25.4.6 X1, X2端子 ... 717
 - 25.4.7 電 源 ... 717
- 25.5 フラッシュ・メモリを制御するレジスタ ... 717
- 25.6 プログラミング方法 ... 718
 - 25.6.1 フラッシュ・メモリ制御 ... 718
 - 25.6.2 フラッシュ・メモリ・プログラミング・モード ... 719
 - 25.6.3 通信方式 ... 719
 - 25.6.4 通信コマンド ... 720
- 25.7 セキュリティ設定 ... 721
- 25.8 PG-FP4, PG-FP5使用時の各コマンド処理時間 (参考値) ... 723
- 25.9 セルフ書き込みによるフラッシュ・メモリ・プログラミング ... 724
 - 25.9.1 ブート・スワップ機能 ... 726
 - 25.9.2 フラッシュ・シールド・ウインドウ機能 ... 728

第26章 オンチップ・デバッグ機能 ... 729

- 26.1 QB-MINI2と78K0R/KG3の接続 ... 729
- 26.2 オンチップ・デバッグ・セキュリティID ... 730
- 26.3 ユーザ資源の確保 ... 730

第27章 10進補正 (BCD) 回路 ... 732

- 27.1 10進補正回路の機能 ... 732
- 27.2 10進補正回路で使用するレジスタ ... 732
- 27.3 10進補正回路の動作 ... 733

第28章 命令セットの概要 ... 735

- 28.1 凡 例 ... 736
 - 28.1.1 オペランドの表現形式と記述方法 ... 736
 - 28.1.2 オペレーション欄の説明 ... 737
 - 28.1.3 フラグ動作欄の説明 ... 738
 - 28.1.4 PREFIX命令 ... 738
- 28.2 オペレーション一覧 ... 739

第29章	電気的特性 (標準品)	...	756
第30章	電気的特性 ((A) 水準品)	...	817
第31章	外形図	...	876
第32章	半田付け推奨条件	...	878
付録A	開発ツール	...	880
A. 1	ソフトウェア・パッケージ	...	883
A. 2	言語処理用ソフトウェア	...	883
A. 3	制御ソフトウェア	...	884
A. 4	フラッシュ・メモリ書き込み用ツール	...	884
A. 4. 1	フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合	...	884
A. 4. 2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合	...	885
A. 5	デバッグ用ツール (ハードウェア)	...	886
A. 5. 1	インサーキット・エミュレータ QB-78K0RKX3を使用する場合	...	886
A. 5. 2	プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合	...	887
A. 6	デバッグ用ツール (ソフトウェア)	...	887
付録B	注意事項一覧	...	888
付録C	改版履歴	...	916
C. 1	本版で改訂された主な箇所	...	916
C. 2	前版までの改版履歴	...	920

第1章 概 説

1.1 従来規格品 (μ PD78F116x) と拡張規格品 (μ PD78F116xA) の違い

このマニュアルは、78K0R/KG3マイクロコントローラの従来規格品 (μ PD78F116x) と拡張規格品 (μ PD78F116xA) の機能について、説明しています。

78K0R/KG3マイクロコントローラの従来規格品 (μ PD78F116x) と拡張規格品 (μ PD78F116xA) の違いは、次のとおりです。

項目	条件	従来規格品	拡張規格品	本マニュアルでの参照先
温度センサ機能	A/Dコンバータのチャンネル0とチャンネル1を利用、高速内蔵発振回路動作	なし	あり	11.5 温度センサ機能
A/Dコンバータ変換クロック (f_{AD})の周波数範囲の拡張(低速変換時間への対応)	A/Dコンバータ・モード・レジスタ (ADM) のLV1 = LV0 = 0時	4.0 V AV_{REF0} 5.5 V $f_{AD} = 0.6 \sim 3.6$ MHz 2.7 V $AV_{REF0} < 4.0$ V $f_{AD} = 0.6 \sim 1.8$ MHz	4.0 V AV_{REF0} 5.5 V $f_{AD} = 0.33 \sim 3.6$ MHz 2.7 V $AV_{REF0} < 4.0$ V $f_{AD} = 0.33 \sim 1.8$ MHz	11.3 (2) A/Dコンバータ・モード・レジスタ (ADM)
A/Dコンバータ変換精度の改善	2.7 V $AV_{REF0} < 4.0$ V時の総合誤差。 2.3 V $AV_{REF0} < 4.0$ V時のゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差。	-	改善	第29章 電気的特性(標準品) A/Dコンバータ特性
フラッシュの書き換え回数	プログラム更新用途 フラッシュ・メモリ・プログラム使用時および当社提供のセルフ・プログラミング・ライブラリを使用時	100回	1000回	第29章 電気的特性(標準品) フラッシュ・メモリ・プログラミング特性
EEPROM [®] エミュレーション データ保持年数の拡張	データ更新用途。当社提供のEEPROMエミュレーション・ライブラリ使用時(使用可能ROMサイズ: 連続した3ブロックの6 Kバイト)	3年	5年	
簡易I ² Cモード(シリアル・アレィ・ユニット)の動作電圧の拡張	1.8 V $V_{DD} < 2.7$ V, 同電位通信時	非対応	対応	第29章 電気的特性(標準品) シリアル・インタフェース (d) 同電位通信時(簡易I ² Cモード)
外部バス・インタフェース動作電圧の拡張	1.8 V $V_{DD} < 2.7$ V, 同期セパレート/同期マルチプレクスト/非同同期セパレートモード	非対応	対応	第29章 電気的特性(標準品) 外部バス・インタフェース
(A) 水準品規格対応	-	非対応	対応	第30章 電気的特性(A) 水準品)

1.2 特 徴

高速 (0.05 μ s : 高速システム・クロック20 MHz動作時) から超低速 (61 μ s : サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

品 名	項 目	プログラム・メモリ (ROM)	データ・メモリ (RAM)
μ PD78F1162	フラッシュ・メモリ	64 Kバイト	4 Kバイト
μ PD78F1162A			
μ PD78F1163		96 Kバイト	6 Kバイト
μ PD78F1163A			
μ PD78F1164		128 Kバイト	8 Kバイト
μ PD78F1164A			
μ PD78F1165		192 Kバイト	10 Kバイト
μ PD78F1165A			
μ PD78F1166		256 Kバイト	12 Kバイト
μ PD78F1166A			
μ PD78F1167		384 Kバイト	24 Kバイト
μ PD78F1167A			
μ PD78F1168		512 Kバイト	30 Kバイト
μ PD78F1168A			

単電源のフラッシュ・メモリ内蔵 (チップ消去 / ブロック消去 / 書き込み禁止機能あり)

セルフ・プログラミング機能対応 (ブート・スワップ / フラッシュ・シールド・ウインドウ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ (低速内蔵発振クロックで動作可能) 内蔵

乗算器 (16ビット×16ビット) 内蔵

外部バス・インタフェース機能内蔵

キー割り込み機能内蔵

クロック出力 / ブザー出力制御回路内蔵

10進補正 (BCD) 回路内蔵

I/Oポート : 88本 (N-chオープン・ドレイン : 4本)

タイマ : 10チャンネル

・16ビット・タイマ : 8チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

・リアルタイム・カウンタ : 1チャンネル

シリアル・インタフェース

・CSI : 2チャンネル / UART : 1チャンネル

・CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル

・CSI : 1チャンネル / UART : 1チャンネル / 簡易I²C : 1チャンネル

・UART (LIN-bus対応) : 1チャンネル

・I²C : 1チャンネル

10ビット分解能A/Dコンバータ (AV_{REF0} = 2.3 ~ 5.5 V) : 16チャンネル

8ビット分解能D/Aコンバータ (AV_{REF1} = 1.8 ~ 5.5 V) : 2チャンネル

電源電圧 : V_{DD} = 1.8 ~ 5.5 V

動作周囲温度 : T_A = -40 ~ +85

1.3 応用分野

家電製品

- ・レーザ・プリンタのエンジン
- ・洗濯機
- ・エアコン
- ・冷蔵庫

ホーム・オーディオ

デジタル・カメラ，デジタル・ビデオ・カメラ

1.4 オーダ情報

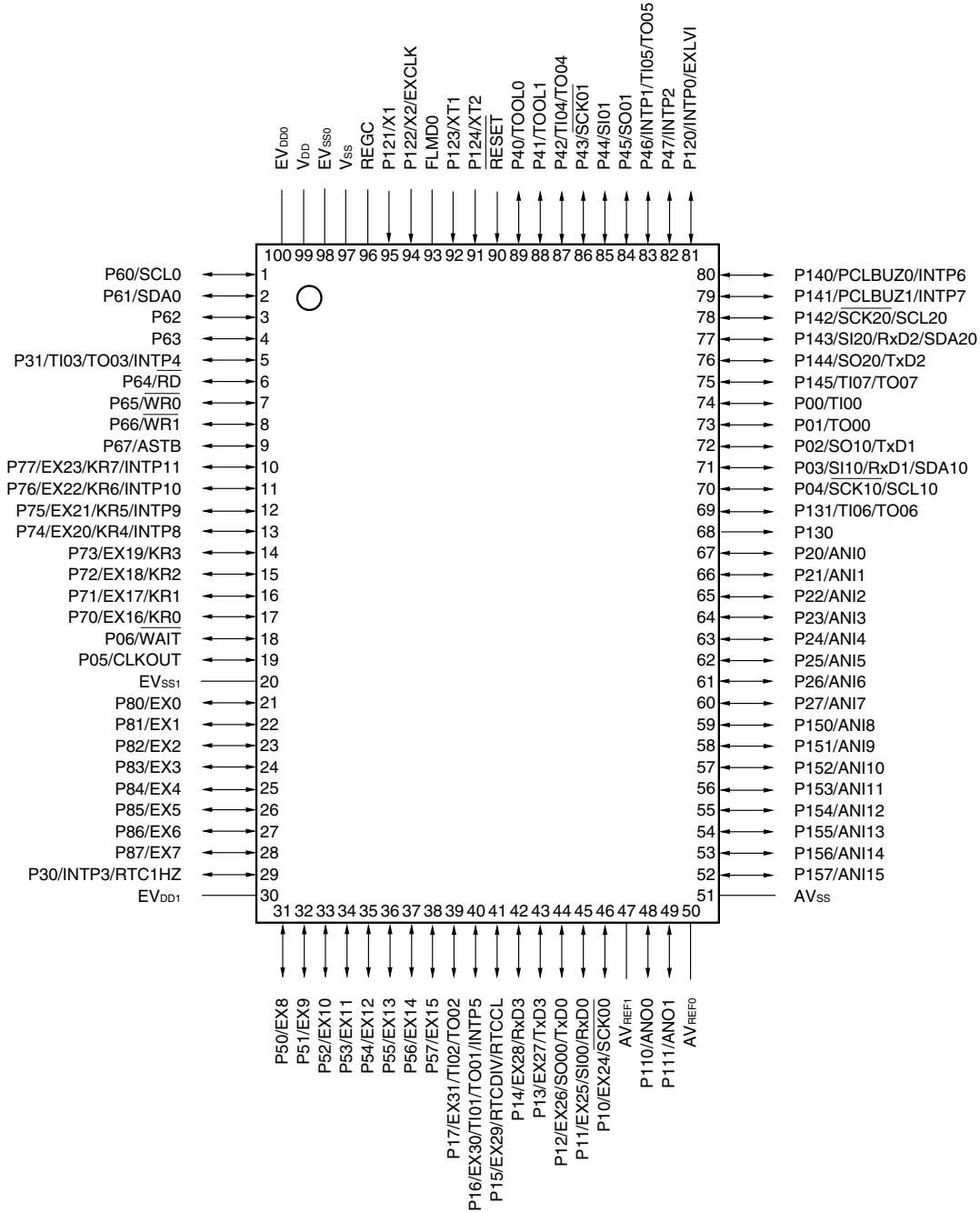
・フラッシュ・メモリ製品

オーダ名称	パッケージ	品質水準
μ PD78F1162GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	標準 (一般電子機器用)
μ PD78F1162AGC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1163GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1163AGC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1164GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1164AGC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1165GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1165AGC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1166GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1166AGC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1167GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1167AGC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1168GC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1168AGC-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1162AGC(A)-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	特別 (高信頼度電子機器用)
μ PD78F1163AGC(A)-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1164AGC(A)-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1165AGC(A)-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1166AGC(A)-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1167AGC(A)-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1168AGC(A)-UEU-AX	100ピン・プラスチックLQFP (ファインピッチ) (14x14)	"
μ PD78F1162GF-GAS-AX	100ピン・プラスチックLQFP (14x20)	標準 (一般電子機器用)
μ PD78F1162AGF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1163GF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1163AGF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1164GF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1164AGF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1165GF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1165AGF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1166GF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1166AGF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1167GF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1167AGF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1168GF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1168AGF-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1162AGF(A)-GAS-AX	100ピン・プラスチックLQFP (14x20)	特別 (高信頼度電子機器用)
μ PD78F1163AGF(A)-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1164AGF(A)-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1165AGF(A)-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1166AGF(A)-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1167AGF(A)-GAS-AX	100ピン・プラスチックLQFP (14x20)	"
μ PD78F1168AGF(A)-GAS-AX	100ピン・プラスチックLQFP (14x20)	"

品質水準とその応用分野の詳細については当社発行の資料「NEC半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

1.5 端子接続図 (Top View)

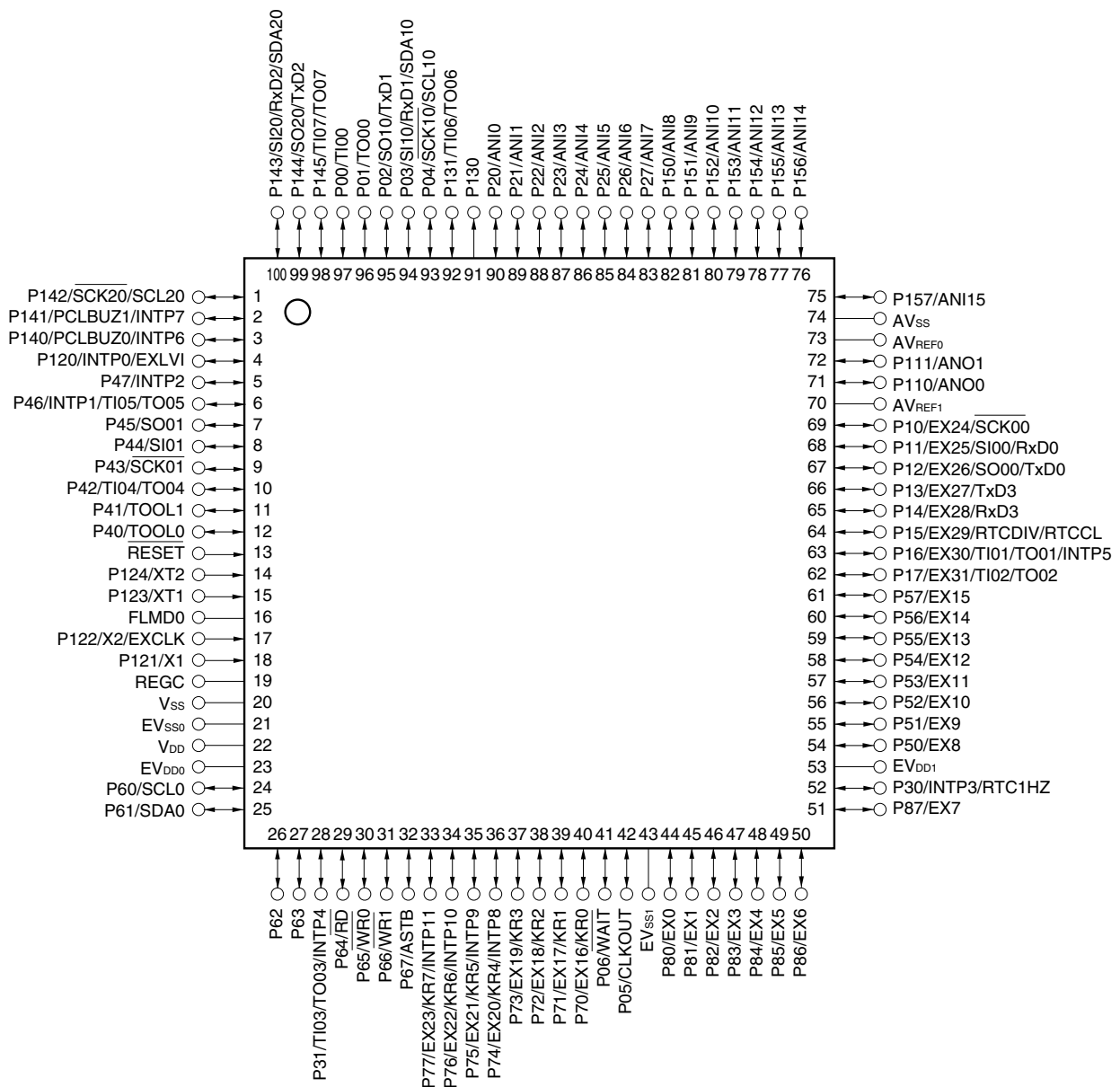
・100ピン・プラスチックLQFP (14x20)



- 注意 1. AVSS, EVSS0, EVSS1は, VSSと同電位にしてください。
 2. EVDD0, EVDD1は, VDDと同電位にしてください。
 3. REGCはコンデンサ (0.47 ~ 1 μF) を介し, VSSに接続してください。
 4. P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P157/ANI15, ..., P150/ANI8, P27/ANI7, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P157/ANI15から設計してください (詳細は, 11.3 (6) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合, VDDと2つのEVDDに個別の電源を供給し, VSSと2つのEVSSを別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

・ 100ピン・プラスチックLQFP（ファインピッチ）（14x14）



注意 1. AV_{SS}, EV_{SS0}, EV_{SS1}は、V_{SS}と同電位にしてください。

2. EV_{DD0}, EV_{DD1}は、V_{DD}と同電位にしてください。

3. REGCはコンデンサ（0.47 ~ 1 μF）を介し、V_{SS}に接続してください。

4. P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）により、P157/ANI15, ..., P150/ANI8, P27/ANI7, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P157/ANI15から設計してください（詳細は、11.3（6）A/Dポート・コンフィギュレーション・レジスタ（ADPC参照））。

備考 マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}と2つのEV_{DD}に個別の電源を供給し、V_{SS}と2つのEV_{SS}を別々のグラウンド・ラインに接続するなどのノイズ対策を行うことを推奨します。

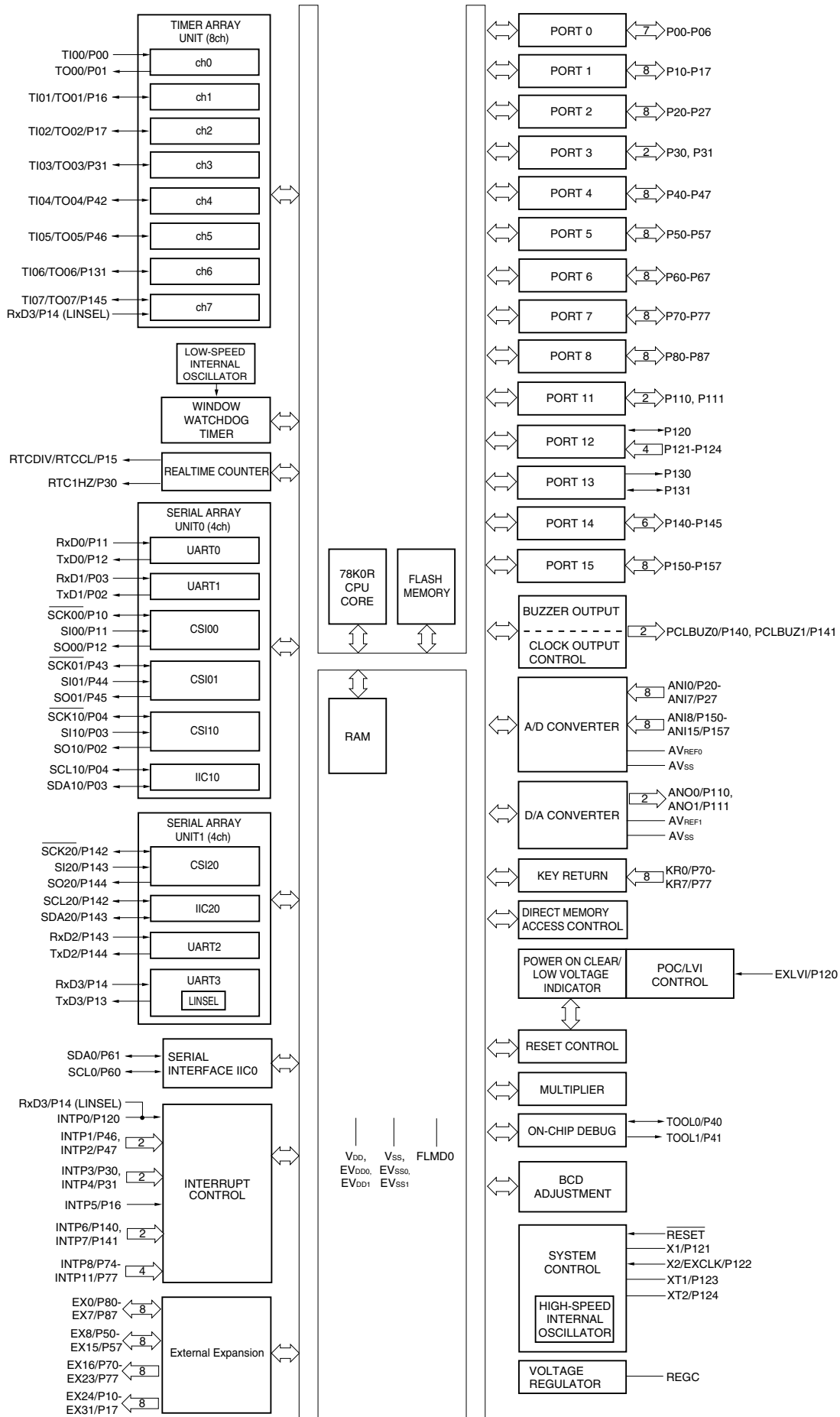
端子名称

ANI0-ANI15	: Analog Input	\overline{RD}	: Read Strobe
ANO0, ANO1	: Analog Output	REGC	: Regulator Capacitance
ASTB	: Address Strobe	\overline{RESET}	: Reset
AV _{REF0} , AV _{REF1}	: Analog Reference Voltage	RTC1HZ	: Real-time Counter Correction Clock
AV _{SS}	: Analog Ground		(1 Hz) Output
CLKOUT	: Clock Output	RTCCL	: Real-time Counter Clock (32 kHz
EV _{DD0} , EV _{DD1}	: Power Supply for Port		Original Oscillation) Output
EV _{SS0} , EV _{SS1}	: Ground for Port	RTCDIV	: Real-time Counter Clock (32 kHz
EX0-EX31	: External Expansion Bus		Divided Frequency) Output
EXCLK	: External Clock Input (Main System Clock)	RxD0-RxD3	: Receive Data
		$\overline{SCK00}$, $\overline{SCK01}$,	: Serial Clock Input/Output
EXLVI	: External Potential Input for Low-voltage Detector	$\overline{SCK10}$, $\overline{SCK20}$	
		SCL0, SCL10, SCL20	: Serial Clock Input/Output
FLMD0	: Flash Programming Mode	SDA0, SDA10, SDA20	: Serial Data Input/Output
INTP0-INTP11	: External Interrupt Input	SI00, SI01,	: Serial Data Input
		SI10, SI20	
KR0-KR7	: Key Return	SO00, SO01,	: Serial Data Output
P00-P06	: Port 0	SO10, SO20	
P10-P17	: Port 1	TI00-TI07	: Timer Input
P20-P27	: Port 2	TO00-TO07	: Timer Output
P30, P31	: Port 3	TOOL0	: Data Input/Output for Tool
P40-P47	: Port 4	TOOL1	: Clock Output for Tool
P50-P57	: Port 5	TxD0-TxD3	: Transmit Data
P60-P67	: Port 6	V _{DD}	: Power Supply
P70-P77	: Port 7	V _{SS}	: Ground
P80-P87	: Port 8	\overline{WAIT}	: Wait
P110, P111	: Port 11	$\overline{WR0}$: Lower Byte Write Strobe
P120-P124	: Port 12	$\overline{WR1}$: Upper Byte Write Strobe
P130, P131	: Port 13	X1, X2	: Crystal Oscillator (Main System
P140-P145	: Port 14		Clock)
P150-P157	: Port 15		
PCLBUZ0, PCLBUZ1	: Programmable Clock Output / Buzzer Output	XT1, XT2	: Crystal Oscillator (Subsystem Clock)

1.6 78K0R/Kx3マイクロコントローラの製品展開

ROM	RAM	78K0R/KE3	78K0R/KF3	78K0R/KG3	78K0R/KH3	78K0R/KJ3
		64ピン	80ピン	100ピン	128ピン	144ピン
512 KB	30 KB	-	-	μPD78F1168	μPD78F1178	μPD78F1188A
				μPD78F1168A	μPD78F1178A	
384 KB	24 KB	-	-	μPD78F1167	μPD78F1177	μPD78F1187A
				μPD78F1167A	μPD78F1177A	
256 KB	12 KB	μPD78F1146	μPD78F1156	μPD78F1166	μPD78F1176	μPD78F1186A
		μPD78F1146A	μPD78F1156A	μPD78F1166A	μPD78F1176A	
192 KB	10 KB	μPD78F1145	μPD78F1155	μPD78F1165	μPD78F1175	μPD78F1185A
		μPD78F1145A	μPD78F1155A	μPD78F1165A	μPD78F1175A	
128 KB	8 KB	μPD78F1144	μPD78F1154	μPD78F1164	μPD78F1174	μPD78F1184A
		μPD78F1144A	μPD78F1154A	μPD78F1164A	μPD78F1174A	
96 KB	6 KB	μPD78F1143	μPD78F1153	μPD78F1163	-	-
		μPD78F1143A	μPD78F1153A	μPD78F1163A		
64 KB	4 KB	μPD78F1142	μPD78F1152	μPD78F1162	-	-
		μPD78F1142A	μPD78F1152A	μPD78F1162A		

1.7 ブロック図



1.8 機能概要

(1/2)

項 目		μPD78F1162, μPD78F1162A	μPD78F1163, μPD78F1163A	μPD78F1164, μPD78F1164A	μPD78F1165, μPD78F1165A	μPD78F1166, μPD78F1166A	μPD78F1167, μPD78F1167A	μPD78F1168, μPD78F1168A										
内部メモリ	フラッシュ・メモリ(セルフ・プログラミング対応)	64 Kバイト	96 Kバイト	128 Kバイト	192 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト										
	RAM	4 Kバイト	6 Kバイト	8 Kバイト	10 Kバイト	12 Kバイト	24 Kバイト	30 Kバイト										
メモリ空間		1 Mバイト																
外部メモリ拡張空間		最大888 K バイト	最大824 Kバイト		最大760 K バイト	最大696 K バイト	最大568 K バイト	最大440 K バイト										
メイン・システム・クロック (発振周波数)	高速システム・クロック	X1(水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) 2~20 MHz: V _{DD} = 2.7~5.5 V, 2~5 MHz: V _{DD} = 1.8~5.5 V																
	高速内蔵発振 クロック	内蔵発振 8 MHz(TYP.): V _{DD} = 1.8~5.5 V																
サブシステム・クロック (発振周波数)		XT1(水晶)発振 32.768 kHz(TYP.): V _{DD} = 1.8~5.5 V																
低速内蔵発振クロック (WDT用)		内蔵発振 240 kHz(TYP.): V _{DD} = 1.8~5.5 V																
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)																
最小命令実行時間		0.05 μs(高速システム・クロック: f _{MX} = 20 MHz動作時)																
		0.125 μs(高速内蔵発振クロック: f _{IH} = 8 MHz(TYP.)動作時)																
		61 μs(サブシステム・クロック: f _{SUB} = 32.768 kHz動作時)																
命令セット		<ul style="list-style-type: none"> ・8ビット演算, 16ビット演算 ・乗算(8ビット×8ビット) ・ビット操作(セット, リセット, テスト, ブール演算)など 																
I/Oポート		<table border="0"> <tr><td>合計</td><td>: 88本</td></tr> <tr><td>CMOS入出力</td><td>: 79本</td></tr> <tr><td>CMOS入力</td><td>: 4本</td></tr> <tr><td>CMOS出力</td><td>: 1本</td></tr> <tr><td>N-chオープン・ドレイン入出力(6V耐圧)</td><td>: 4本</td></tr> </table>							合計	: 88本	CMOS入出力	: 79本	CMOS入力	: 4本	CMOS出力	: 1本	N-chオープン・ドレイン入出力(6V耐圧)	: 4本
合計	: 88本																	
CMOS入出力	: 79本																	
CMOS入力	: 4本																	
CMOS出力	: 1本																	
N-chオープン・ドレイン入出力(6V耐圧)	: 4本																	
タイマ		<ul style="list-style-type: none"> ・16ビット・タイマ : 8チャンネル ・ウォッチドッグ・タイマ : 1チャンネル ・リアルタイム・カウンタ : 1チャンネル 																
		タイマ出力		8本(PWM出力: 7本)														
		RTC出力		2本 ・1 Hz(サブシステム・クロック: f _{SUB} = 32.768 kHz) ・512 Hzまたは16.384 kHzまたは32.768 kHz(サブシステム・クロック: f _{SUB} = 32.768 kHz)														
クロック出力/ブザー出力		2本 ・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz(周辺ハードウェア・クロック: f _{MAIN} = 20 MHz動作時) ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz(サブシステム・クロック: f _{SUB} = 32.768 kHz動作時)																
A/Dコンバータ		10ビット分解能×16チャンネル(AV _{REF0} = 2.3~5.5 V)																
D/Aコンバータ		8ビット分解能×2チャンネル(AV _{REF1} = 1.8~5.5 V)																

項 目	μ PD78F1162, μ PD78F1162A	μ PD78F1163, μ PD78F1163A	μ PD78F1164, μ PD78F1164A	μ PD78F1165, μ PD78F1165A	μ PD78F1166, μ PD78F1166A	μ PD78F1167, μ PD78F1167A	μ PD78F1168, μ PD78F1168A
シリアル・インタフェース	<ul style="list-style-type: none"> ・LIN-bus対応UART：1チャンネル ・CSI：2チャンネル / UART：1チャンネル ・CSI：1チャンネル / UART：1チャンネル / 簡易I²C：1チャンネル ・CSI：1チャンネル / UART：1チャンネル / 簡易I²C：1チャンネル ・I²Cバス：1チャンネル 						
乗算器	16ビット × 16ビット = 32ビット						
DMAコントローラ	2チャンネル						
ベクタ割り込み	内部	28					
要因	外部	13					
キー割り込み	キー入力端子 (KR0-KR7) の立ち下がりエッジ検出により、キー割り込み (INTKR) 発生						
リセット	<ul style="list-style-type: none"> ・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・クリアによる内部リセット ・低電圧検出回路による内部リセット ・不正命令の実行による内部リセット^注 						
オンチップ・デバッグ機能	あり						
電源電圧	$V_{DD} = 1.8 \sim 5.5 \text{ V}$						
動作周囲温度	$T_A = -40 \sim +85$						
パッケージ	100ピン・プラスチックLQFP (14 × 20) (0.65 mmピッチ) 100ピン・プラスチックLQFP (14 × 14) (ファインピッチ) (0.5 mmピッチ)						

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、 AV_{REF0} 、 AV_{REF1} 、 EV_{DD0} 、 EV_{DD1} 、 V_{DD} の5系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV_{REF0}	P20-P27, P150-P157
AV_{REF1}	P110, P111
EV_{DD0} , EV_{DD1}	・ P20-P27, P110, P111, P121-P124, P150-P157以外のポート端子 ・ \overline{RESET} 端子, FLMD0端子
V_{DD}	・ P121-P124 ・ ポート以外の端子 (\overline{RESET} 端子, FLMD0端子を除く)

(1) ポート機能 (1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 7ビット入出力ポート。 P03, P04の入力はTTL入力バッファに設定可能。 P02-P04の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TI00
P01				TO00
P02				SO10/TxD1
P03				SI10/RxD1/SDA10
P04				SCK10/SCL10
P05				CLKOUT
P06				WAIT
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/EX24
P11				SI00/RxD0/EX25
P12				SO00/TxD0/EX26
P13				TxD3/EX27
P14				RxD3/EX28
P15				RTCDIV/RTCCL/EX29
P16				TI01/TO01/INTP5/EX30
P17				TI02/TO02/EX31
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI0-ANI7
P30	入出力	ポート3。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	RTC1HZ/INTP3
P31				TI03/TO03/INTP4
P40 ^注	入出力	ポート4。 8ビット入出力ポート。 P43, P44の入力はTTL入力バッファに設定可能。 P43, P45の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P42				TI04/TO04
P43				SCK01
P44				SI01
P45				SO01
P46				INTP1/TI05/TO05
P47				INTP2
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	EX8-EX15

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は, 必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P47 (Port 4) の注意文参照)。

(1) ポート機能 (2/2)

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6。 8ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力（6V耐圧）。 1ビット単位で入力/出力の指定可能。 P64-P67のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0
P61				SDA0
P62				-
P63				-
P64				RD
P65				WR0
P66				WR1
P67				ASTB
P70-P73	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0/EX16- KR3/EX19
P74-P77				KR4/EX20/INTP8- KR7/EX23/INTP11
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	EX0-EX7
P110	入出力	ポート11。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力ポート	ANO0
P111				ANO1
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P130	出力			ポート13。
P131	入出力	1ビット出力専用ポートと1ビット入出力ポート。 P131のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI06/TO06
P140	入出力	ポート14。 6ビット入出力ポート。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0/INTP6
P141				PCLBUZ1/INTP7
P142				SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2
P145				TI07/TO07
P150-P157	入出力	ポート15。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI8-ANI15

(2) ポート以外の機能 (1/3)

機能名称	入出力	機能	リセット時	兼用機能		
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P20-P27		
ANI8-ANI15	入力	A/Dコンバータのアナログ入力	デジタル 入力ポート	P150-P157		
ANO0	出力	D/Aコンバータのアナログ出力	入力ポート	P110		
ANO1	出力	D/Aコンバータのアナログ出力	入力ポート	P111		
CLKOUT	出力	外部拡張クロック出力	入力ポート	P05		
WAIT	入力	外部ウエイト入力	入力ポート	P06		
\overline{RD}	出力	外部メモリに対するリード・ストロブ信号出力	入力ポート	P64		
$\overline{WR0}$	出力	外部メモリ(下位8ビット)に対するライト・ストロブ	入力ポート	P65		
$\overline{WR1}$	出力	外部メモリ(上位8ビット)に対するライト・ストロブ	入力ポート	P66		
ASTB	出力	外部メモリに対するアドレス・ストロブ信号出力	入力ポート	P67		
EX0-EX7	入出力	外部拡張入出力	入力ポート	P80-P87		
EX8-EX15				P50-P57		
EX16-EX19	出力	外部拡張出力	入力ポート	P70/KR0-P73/KR3		
EX20-EX23				P74/KR4/INTP8- P77/KR7/INTP11		
EX24				P10/SCK00		
EX25				P11/RxD0/SI00		
EX26				P12/TxD0/SO00		
EX27				P13/TxD3		
EX28				P14/RxD3		
EX29				P15/RTCDIV/RTCCL		
EX30				P16/TI01/TO01/INTP5		
EX31				P17/TI02/TO02		
EXLVI	入力			外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力			有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下 がりの両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1						P46/TI05/TO05
INTP2		P47				
INTP3		P30/RTC1HZ				
INTP4		P31/TI03/TO03				
INTP5		P16/TI01/TO01/ EX30				
INTP6		P140/PCLBUZ0				
INTP7		P141/PCLBUZ1				
INTP8		P74/KR4/EX20- P77/KR7/EX23				
INTP9						
INTP10						
INTP11						
KR0-KR3	入力	キー割り込み入力	入力ポート	P70/EX16- P73/EX19		
KR4-KR7				P74/EX20/INTP8- P77/EX23/INTP11		

(2) ポート以外の機能 (2/3)

機能名称	入出力	機能	リセット時	兼用機能
PCLBUZ0	出力	クロック出力 / ブザー出力	入力ポート	P140/INTP6
PCLBUZ1				P141/INTP7
REGC	-	内部動作レギュレータ出力 (2.5 V) 安定容量接続。 コンデンサ (0.47 ~ 1 μ F) を介し, V_{SS} に接続してください。	-	-
RTCDIV	出力	リアルタイム・カウンタ・クロック (32 kHz分周) 出力	入力ポート	P15/RTCCL/EX29
RTCCL	出力	リアルタイム・カウンタ・クロック (32 kHz原発) 出力	入力ポート	P15/RTCDIV/EX29
RTC1HZ	出力	リアルタイム・カウンタ補正クロック (1 Hz) 出力	入力ポート	P30/INTP3
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI00/EX25
RxD1	入力	UART1のシリアル・データ入力	入力ポート	P03/SI10/SDA10
RxD2	入力	UART2のシリアル・データ入力	入力ポート	P143/SI20/SDA20
RxD3	入力	UART3のシリアル・データ入力	入力ポート	P14/EX28
SCK00	入出力	CSI00, CSI01, CSI10, CSI20のクロック入力 / 出力	入力ポート	P10/EX24
SCK01				P43
SCK10				P04/SCL10
SCK20				P142/SCL20
SCL0	入出力	I ² Cのクロック入力 / 出力	入力ポート	P60
SCL10	入出力	簡易I ² Cのクロック入力 / 出力	入力ポート	P04/SCK10
SCL20	入出力	簡易I ² Cのクロック入力 / 出力	入力ポート	P142/SCK20
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA10		簡易I ² Cのシリアル・データ入出力	入力ポート	P03/SI10/RxD1
SDA20		簡易I ² Cのシリアル・データ入出力	入力ポート	P143/SI20/RxD2
SI00	入力	CSI00, CSI01, CSI10, CSI20のシリアル・データ入力	入力ポート	P11/RxD0/EX25
SI01				P44
SI10				P03/RxD1/SDA10
SI20				P143/RxD2/SDA20
SO00	出力	CSI00, CSI01, CSI10, CSI20のシリアル・データ出力	入力ポート	P12/TxD0/EX26
SO01				P45
SO10				P02/TxD1
SO20				P144/TxD2
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	入力ポート	P00
TI01		16ビット・タイマ01への外部カウント・クロック入力		P16/TO01/INTP5/ EX30
TI02		16ビット・タイマ02への外部カウント・クロック入力		P17/TO02/EX31
TI03		16ビット・タイマ03への外部カウント・クロック入力		P31/TO03/INTP4
TI04		16ビット・タイマ04への外部カウント・クロック入力		P42/TO04
TI05		16ビット・タイマ05への外部カウント・クロック入力		P46/INTP1/TO05
TI06		16ビット・タイマ06への外部カウント・クロック入力		P131/TO06
TI07		16ビット・タイマ07への外部カウント・クロック入力		P145/TO07

(2) ポート以外の機能 (3/3)

機能名称	入出力	機能	リセット時	兼用機能
TO00	出力	16ビット・タイマ00出力	入力ポート	P01
TO01		16ビット・タイマ01出力		P16/TI01/INTP5/ EX30
TO02		16ビット・タイマ02出力		P17/TI02/EX31
TO03		16ビット・タイマ03出力		P31/TI03/INTP4
TO04		16ビット・タイマ04出力		P42/TI04
TO05		16ビット・タイマ05出力		P46/INTP1/TI05
TO06		16ビット・タイマ06出力		P131/TI06
TO07		16ビット・タイマ07出力		P145/TI07
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P12/SO00/EX26
TxD1	出力	UART1のシリアル・データ出力	入力ポート	P02/SO10
TxD2	出力	UART2のシリアル・データ出力	入力ポート	P144/SO20
TxD3	出力	UART3のシリアル・データ出力	入力ポート	P13/EX27
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P121-P124およびポート以外の端子(RESET端子, FLMD0端子を除く))	-	-
EV _{DD0} , EV _{DD1}	-	ポート部 (P20-P27, P110, P111, P121-P124, P150-P157以外) , RESET端子, FLMD0端子の正電源	-	-
AV _{REF0}	-	・ A/Dコンバータの基準電圧入力 ・ P20-P27, P150-P157, A/Dコンバータの正電源	-	-
AV _{REF1}	-	・ D/Aコンバータの基準電圧入力 ・ P110, P111, D/Aコンバータの正電源	-	-
V _{SS}	-	グランド電位 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{SS0} , EV _{SS1}	-	ポート部 (P20-P27, P110, P111, P121-P124, P150-P157以外) , RESET端子, FLMD0端子のグランド電位	-	-
AV _{SS}	-	A/Dコンバータ, D/Aコンバータ, P20-P27, P110, P111, P150-P157のグランド電位。EV _{SS0} , EV _{SS1} , V _{SS} と同電位にしてください。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ / デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

2.2 端子機能の説明

2.2.1 P00-P06 (Port 0)

7ビットの入出力ポートです。入出力ポートのほかにタイマの入出力, シリアル・インタフェースのデータ入出力, クロック入出力, 内部システム・クロック出力, 外部ウエイト信号入力機能があります。

P03, P04端子の入力は, ポート入力モード・レジスタ0 (PIM0) の設定により, 1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P02-P04端子の出力は, ポート出力モード・レジスタ0 (POM0) の設定により, 1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

7ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力, シリアル・インタフェースのデータ入出力, クロック入出力, 内部システム・クロック出力, 外部ウエイト信号入力として機能します。

(a) TI00

16ビット・タイマ00への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO00

16ビット・タイマ00のタイマ出力端子です。

(c) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(d) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(e) $\overline{\text{SCK10}}$

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(f) TxD1

シリアル・インタフェースUART1のシリアル・データ出力端子です。

(g) RxD1

シリアル・インタフェースUART1のシリアル・データ入力端子です。

(h) SDA10

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(i) SCL10

シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

(j) CLKOUT

内部システム・クロック出力端子です。

(k) $\overline{\text{WAIT}}$

外部ウエイト信号入力端子です。

注意 P02/SO10/TxD1, P04/ $\overline{\text{SCK10}}$ /SCL10を汎用ポートとして使用する場合、シリアル通信動作設定レジスタ02 (SCR02) は初期状態と同じ設定 (0087H) にしてください。また、ポート出力モード・レジスタ0 (POM0) は00Hにしてください。

2.2.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、リアルタイム・カウンタのクロック出力、外部拡張出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、リアルタイム・カウンタのクロック出力、外部拡張出力として機能します。

(a) SI00

シリアル・インタフェースCSI00のシリアル・データ入力端子です。

(b) SO00

シリアル・インタフェースCSI00のシリアル・データ出力端子です。

(c) $\overline{\text{SCK00}}$

シリアル・インタフェースCSI00のシリアル・クロック入出力端子です。

(d) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(e) RxD3

シリアル・インタフェースUART3のシリアル・データ入力端子です。

(f) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(g) TxD3

シリアル・インタフェースUART3のシリアル・データ出力端子です。

(h) TI01, TI02

16ビット・タイマ01, 02への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(i) TO01, TO02

16ビット・タイマ01, 02のタイマ出力端子です。

(j) INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(k) RTCDIV

リアルタイム・カウンタ・クロック（32 kHz分周）出力端子です。

(l) RTCCL

リアルタイム・カウンタ・クロック（32 kHz原発）出力端子です。

(m) EX24-EX31

外部拡張出力（アドレス・バス）端子です。

注意1. P10/SCK00/EX24, P12/SO00/TxD0/EX26を汎用ポートとして使用する場合，シリアル通信動作設定レジスタ00（SCR00）は初期状態と同じ設定（0087H）にしてください。

2. RTCCLとRTCDIVは同時に出力許可設定にしないでください。

2.2.3 P20-P27（Port 2）

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ2（PM2）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子（ANI0-ANI7）として機能します。アナログ入力端子として使用する場合，11.7（6）ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157を参照してください。

注意 ANI0/P20-ANI7/P27は，リセット解除後はデジタル入力（汎用ポート）モードになります。

2.2.4 P30, P31 (Port 3)

2ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力, タイマ入出力, リアルタイム・カウンタの補正クロック出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部割り込み要求入力, タイマの入出力, リアルタイム・カウンタの補正クロック出力として機能します。

(a) INTP3, INTP4

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) TI03

16ビット・タイマ03への外部カウント・クロック / キャプチャ・トリガ入力端子です。

(c) TO03

16ビット・タイマ03のタイマ出力端子です。

(d) RTC1HZ

リアルタイム・カウンタの補正クロック (1 Hz) 出力端子です。

2.2.5 P40-P47 (Port 4)

8ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, フラッシュ・メモリ・プログラマ / デバッグ用のデータ入出力, クロック出力, タイマの入出力機能があります。

P43, P44端子の入力は, ポート入力モード・レジスタ4 (PIM4) の設定により, 1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P43, P45端子の出力は, ポート出力モード・レジスタ4 (POM4) の設定により, 1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により, 内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可 (オプション・バイトで設定) の場合は, 必ず外部プルアップ抵抗を接続してください。

(2) コントロール・モード

外部割り込み要求入力，シリアル・インタフェースのデータ入出力，クロック入出力，フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力，クロック出力，タイマの入出力として機能します。

(a) INTP1, INTP2

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) TOOL0

フラッシュ・メモリ・プログラマ/デバッグ用のデータ入出力端子です。

オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください（プルダウン禁止）。

(c) TOOL1

デバッグ用のクロック出力端子です。

オンチップ・デバッグ機能使用時には，P41/TOOL1端子はデバッグのモード設定により次のようになります。

1線モード : ポート（P41）として使用できます。

2線モード : TOOL1端子として使用するためポート（P41）としては使用できません。

(d) TI04, TI05

16ビット・タイマ04, 05への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(e) TO04, TO05

16ビット・タイマ04, 05のタイマ出力端子です。

(f) SCK01

シリアル・インタフェースCSI01のシリアル・クロック入出力端子です。

(g) SI01

シリアル・インタフェースCSI01のシリアル・データ入力端子です。

(h) SO01

シリアル・インタフェースCSI01のシリアル・データ出力端子です。

注意 P40/TOOL0端子は，次に示す（a）～（c）の場合によって，端子機能が決まります。

（b）か（c）の場合には，該当する端子処理を行ってください。

（a）通常動作モード時，かつ，

オプション・バイト（000C3H）でオンチップ・デバッグ禁止（OCDENSET = 0）設定時
ポート機能（P40）としてご使用ください。

（b）通常動作モード時，かつ，

オプション・バイト（000C3H）でオンチップ・デバッグ許可（OCDENSET = 1）設定時
外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続し，リセット解除前から常にハイ・レベルを入力してください。

(c) オンチップ・デバッグ機能使用時,または,フラッシュ・メモリ・プログラマによる書き込みモード時

TOOL0端子として使用します。

オンチップ・デバッグ・エミュレータやフラッシュ・メモリ・プログラマに直接接続するか,外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続することで,プルアップしてください。

2.2.6 P50-P57 (Port 5)

8ビットの入出力ポートです。入出力ポートのほかに外部拡張入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により,1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により,内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部拡張入出力として機能します。

(a) EX8-EX15

外部拡張入出力 (マルチプレクスト・アドレス/データ・バス,アドレス・バス,データ・バス) 端子です。

2.2.7 P60-P67 (Port 6)

8ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力,クロック入出力,リード・ストロープ信号出力,ライト・ストロープ信号出力,アドレス・ストロープ信号出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により,1ビット単位で入力ポートまたは出力ポートに指定できます。P64-P67のみプルアップ抵抗オプション・レジスタ6 (PU6) の設定により,内蔵プルアップ抵抗を使用できます。

P60-P63の出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力,クロック入出力,リード・ストロープ信号出力,ライト・ストロープ信号出力,アドレス・ストロープ信号出力として機能します。

(a) SDA0

シリアル・インタフェースIIC0のシリアル・データ入出力端子です。

(b) SCL0

シリアル・インタフェースIIC0のシリアル・クロック入出力端子です。

(c) \overline{RD}

リード・ストローク信号出力端子です。

(d) $\overline{WR0}$

ライト・ストローク信号出力（8ビット・バス・モード，16ビット・バス・モード（下位バイト））端子です。

(e) $\overline{WR1}$

ライト・ストローク信号出力（16ビット・バス・モード（上位バイト））端子です。

(f) ASTB

アドレス・ストローク信号出力端子です。

2.2.8 P70-P77 (Port 7)

8ビットの入出力ポートです。入出力ポートのほかにキー割り込み入力，外部割り込み要求入力，外部拡張出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

キー割り込み入力端子，外部割り込み要求入力，外部拡張出力として機能します。

(a) KR0-KR7

キー割り込み入力端子です。

(b) INTP8-INTP11

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(c) EX16-EX23

外部拡張出力（アドレス・バス）端子です。

2.2.9 P80-P87 (Port 8)

8ビットの入出力ポートです。入出力ポートのほかに外部拡張入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ8 (PM8) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ8 (PU8) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

外部拡張入出力として機能します。

(a) EX0-EX7

外部拡張入出力 (マルチプレクスト・アドレス/データ・バス, データ・バス) 端子です。

2.2.10 P110, P111 (Port 11)

2ビットの入出力ポートです。入出力ポートのほかにD/Aコンバータのアナログ出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ11 (PM11) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

D/Aコンバータのアナログ出力端子 (ANO0, ANO1) として機能します。アナログ出力端子として使用する場合、12.4.3 **使用上の注意点**を参照してください。

2.2.11 P120-P124 (Port 12)

P120は1ビットの入出力ポートです。P121-P124は4ビットの入力ポートです。そのほかに外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力として機能します。

(a) INTPO

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

(e) XT1, XT2

サブシステム・クロック用発振子接続端子です。

2.2.12 P130, P131 (Port 13)

P130は1ビットの出力ポートです。P131は1ビットの入出力ポートです。そのほかにタイマの入出力機能があります。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかると前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます(4.2.12 **ポート13**の備考の図を参照)。

(1) ポート・モード

P130は1ビットの出力ポートとして機能します。

P131は1ビットの入出力ポートとして機能します。ポート・モード・レジスタ13(PM13)の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ13(PU13)の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI06

16ビット・タイマ06への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO06

16ビット・タイマ06のタイマ出力端子です。

2.2.13 P140-P145 (Port 14)

6ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み要求入力、クロック/ブザー出力、シリアル・インタフェースのデータ入出力、クロック入出力機能があります。

P142, P143端子の入力は、ポート入力モード・レジスタ14(PIM14)の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P142-P144端子の出力は、ポート出力モード・レジスタ14(POM14)の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力(V_{DD}耐圧)に指定できます。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、外部割り込み要求入力、クロック/ブザー出力、シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) INTP6, INTP7

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

(b) PCLBUZ0, PCLBUZ1

クロック/ブザー出力端子です。

(c) TI07

16ビット・タイマ07への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(d) TO07

16ビット・タイマ07のタイマ出力端子です。

(e) SI20

シリアル・インタフェースCSI20のシリアル・データ入力端子です。

(f) SO20

シリアル・インタフェースCSI20のシリアル・データ出力端子です。

(g) $\overline{\text{SCK20}}$

シリアル・インタフェースCSI20のシリアル・クロック入出力端子です。

(h) TxD2

シリアル・インタフェースUART2のシリアル・データ出力端子です。

(i) RxD2

シリアル・インタフェースUART2のシリアル・データ入力端子です。

(j) SDA20

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(k) SCL20

シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

2.2.14 P150-P157 (Port 15)

8ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ15 (PM15) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI8-ANI15) として機能します。アナログ入力端子として使用する場合、11.7 (6) ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157を参照してください。

注意 ANI8/P150-ANI15/P157は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.15 AVREF0

A/Dコンバータの基準電圧入力、およびP20-P27, P150-P157, A/Dコンバータの正電源供給端子です。

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15をデジタル入出力またはアナログ入力で使用するかによってAVREF0へ供給できる電圧値は次のようになります。

表2-2 P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15端子へのAVREF0の印加電圧

アナログ / デジタル	V _{DD} 条件	AVREF0電圧値
1本でもアナログ入力として使用し、すべての端子をデジタル入出力として使用しない	2.3 V V _{DD} 5.5 V	2.3 V AVREF0 V _{DD} = EV _{DD0} = EV _{DD1}
アナログ入力とデジタル入出力で使用する端子が混在 ^注	2.7 V V _{DD} 5.5 V	2.7 V AVREF0 V _{DD} = EV _{DD0} = EV _{DD1}
	2.3 V V _{DD} < 2.7 V	AVREF0はEV _{DD0} , EV _{DD1} , V _{DD} と同電位
1本でもデジタル入出力として使用し、すべての端子をアナログ入力として使用しない ^注	2.7 V V _{DD} 5.5 V	2.7 V AVREF0 V _{DD} = EV _{DD0} = EV _{DD1}
	1.8 V V _{DD} < 2.7 V	AVREF0はEV _{DD0} , EV _{DD1} , V _{DD} と同電位

注 デジタル・ポートとして使用するポートの入出力電圧は、AVREF0が基準となります。

- ・ハイ / ロー・レベル入力電圧 (V_{IH4}/V_{IL4})
- ・ハイ / ロー・レベル出力電圧 (V_{OH2}/V_{OL2})

2.2.16 AVREF1

D/Aコンバータの基準電圧入力、およびP110, P111, D/Aコンバータの正電源供給端子です。

P110/ANO0, P111/ANO1をデジタル入出力またはアナログ出力で使用するかによってAVREF1へ供給できる電圧値は次のようになります。

表2-3 P110/ANO0, P111/ANO1端子へのAVREF1の印加電圧

アナログ/デジタル	V _{DD} 条件	AVREF1電圧値
1本でもアナログ出力として使用し、すべての端子をデジタル入出力として使用しない	1.8 V V _{DD} 5.5 V	1.8 V AVREF1 V _{DD} = EV _{DD0} = EV _{DD1}
アナログ出力とデジタル入出力で使用する端子が混在 [※]	2.7 V V _{DD} 5.5 V	2.7 V AVREF1 V _{DD} = EV _{DD0} = EV _{DD1}
	1.8 V V _{DD} < 2.7 V	AVREF1はEV _{DD0} , EV _{DD1} , V _{DD} と同電位
1本でもデジタル入出力として使用し、すべての端子をアナログ出力として使用しない [※]	2.7 V V _{DD} 5.5 V	2.7 V AVREF1 V _{DD} = EV _{DD0} = EV _{DD1}
	1.8 V V _{DD} < 2.7 V	AVREF1はEV _{DD0} , EV _{DD1} , V _{DD} と同電位

注 デジタル・ポートとして使用するポートの入出力電圧は、AVREF1が基準となります。

- ・ハイ/ロウ・レベル入力電圧 (V_{IH5}/V_{IL5})
- ・ハイ/ロウ・レベル出力電圧 (V_{OH2}/V_{OL2})

2.2.17 AVSS

A/Dコンバータ、D/AコンバータおよびP20-P27, P110, P111, P150-P157のグランド電位端子です。A/DコンバータおよびD/Aコンバータを使用しないときでも、常にEV_{SS0}, EV_{SS1}, V_{SS}と同電位で使用してください。

2.2.18 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

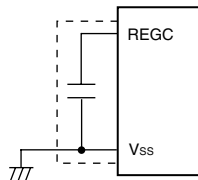
外部リセット端子を使用しない場合は、直接または抵抗を介してEV_{DD0}, EV_{DD1}に接続してください。

外部リセット端子を使用する場合は、V_{DD}を基準に設計してください。

2.2.19 REGC

内部動作レギュレータ出力 (2.5 V) 安定容量接続端子です。コンデンサ (0.47 ~ 1 μF) を介し、V_{SS}に接続してください。ただし、高速内蔵発振クロック、外部メイン・システム・クロック動作時からのSTOPモードを使用する場合は、0.47 μFを推奨します。

また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.20 V_{DD}, EV_{DD0}, EV_{DD1}

V_{DD}は、P121-P124の正電源、およびポート以外の端子（ $\overline{\text{RESET}}$ 端子、FLMD0端子を除く）の正電源供給端子です。

EV_{DD0}, EV_{DD1}は、P20-P27, P110, P111, P121-P124, P150-P157以外のポート端子と $\overline{\text{RESET}}$ 端子、FLMD0端子の正電源供給端子です。

2.2.21 V_{SS}, EV_{SS0}, EV_{SS1}

V_{SS}は、P121-P124のグランド電位、およびポート以外の端子（ $\overline{\text{RESET}}$ 端子、FLMD0端子を除く）のグランド電位端子です。

EV_{SS0}, EV_{SS1}は、P20-P27, P110, P111, P121-P124, P150-P157以外のポート端子と $\overline{\text{RESET}}$ 端子、FLMD0端子のグランド電位端子です。

2.2.22 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

次に示すいずれかの該当する端子処理を行ってください。

(a) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値“0”) のままにしておく必要があります (25.5 (1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 k Ω 以下の抵抗でプルダウンしてください。

また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(b) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 k Ω ~ 200 k Ω の抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

(c) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 k Ω ~ 200 k Ω の抵抗でプルダウンしてください。

2.3 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2 - 4に示します。

表2 - 4 各端子の未使用端子処理 (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P00/TI00	8-R	入出力	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P01/TO00	5-AG			
P02/SO10/TxD1	5-AN			
P03/SI10/RxD1/SDA10				
P04/SCK10/SCL10	8-R			
P05/CLKOUT				
P06/WAIT				
P10/SCK00/EX24				
P11/SI00/RxD0/EX25	5-AG			
P12/SO00/TxD0/EX26				
P13/TxD3/EX27	8-R			
P14/RxD3/EX28				
P15/RTCDIV/RTCCL/EX29	5-AG			
P16/TI01/TO01/INTP5/EX30	8-R			
P17/TI02/TO02/EX31				
P20/ANI0-P27/ANI7 ^注	11-G			入力時：個別に抵抗を介して、AV _{REF0} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P30/RTC1HZ/INTP3	8-R			入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P31/TI03/TO03/INTP4				
P40/TOOL0				
		< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。		
P41/TOOL1	5-AG	入力時：個別に抵抗を介して、EV _{DD0} 、EV _{DD1} 、EV _{SS0} 、EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。		
P42/TI04/TO04	8-R			
P43/SCK01	5-AN			
P44/SI01				
P45/SO01	5-AG			
P46 /TI05/TO05/INTP1	8-R			
P47/INTP2				

注 P20/ANI0-P27/ANI7は、リセット解除後はデジタル入力ポート・モードになります。

表2-4 各端子の未使用端子処理 (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法	
P50/EX8, P51/EX9	8-R	入出力	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P52/EX10-P57/EX15	5-AG			
P60/SCL0	13-R			
P61/SDA0				
P62, P63	13-P			
P64/RD	5-AG			
P65/WR0				
P66/WR1				
P67/ASTB				
P70/KR0/EX14-P73/KR3/EX19	8-R			
P74/KR4/EX20/INTP8-P77/KR7/EX23/INTP11				
P80/EX0-P87/EX7	5-AG			
P110/ANO0, P111/ANO1	12-G			入力時：個別に抵抗を介して，AV _{REF1} ，AV _{SS} に接続してください。 出力時：オープンにしてください。
P120/INTP0/EXLVI	8-R			入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P121/X1 ^{注1}	37-B			入力
P122/X2/EXCLK ^{注1}				
P123/XT1 ^{注1}				
P124/XT2 ^{注1}				
P130	3-C	出力	オープンにしてください。	
P131/TI06/TO06	8-R	入出力	入力時：個別に抵抗を介して，EV _{DD0} ，EV _{DD1} ，EV _{SS0} ，EV _{SS1} のいずれかに接続してください。 出力時：オープンにしてください。	
P140/PCLBUZ0/INTP6				
P141/PCLBUZ1/INTP7				
P142/SCK20/SCL20	5-AN			
P143/SI20/RxD2/SDA20				
P144/SO20/TxD2	5-AG			
P145/TI07/TO07	8-R			
P150/ANI8-P157/ANI15 ^{注2}	11-G		入力時：個別に抵抗を介して，AV _{REF0} またはAV _{SS} に接続してください。 出力時：オープンにしてください。	
AV _{REF0}	-	-	EV _{DD0} ，EV _{DD1} またはV _{DD} と同電位にしてください。 P20-P27およびP150-P157を使用する場合は，2. 2. 15 AV _{REF0} を参照してください。	

注1. 未使用時は，入力ポート・モード（図6-2 クロック動作モード制御レジスタ（CMC）のフォーマットを参照）で上記の推奨接続方法を行ってください。

2. P150/ANI8-P157/ANI15は，リセット解除後はデジタル入力ポート・モードになります。

表2 - 4 各端子の未使用端子処理 (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
AV _{REF1}	-	-	EV _{DD0} , EV _{DD1} またはV _{DD} と同電位にしてください。 P110, P111を使用する場合は, 2. 2. 16 AV _{REF1} を参照してください。
AV _{SS}	-	-	EV _{SS0} , EV _{SS1} , V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	EV _{DD0} , EV _{DD1} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μ F) を介し, V _{SS} に接続してください。

図2 - 1 端子の入出力回路一覧 (1/2)

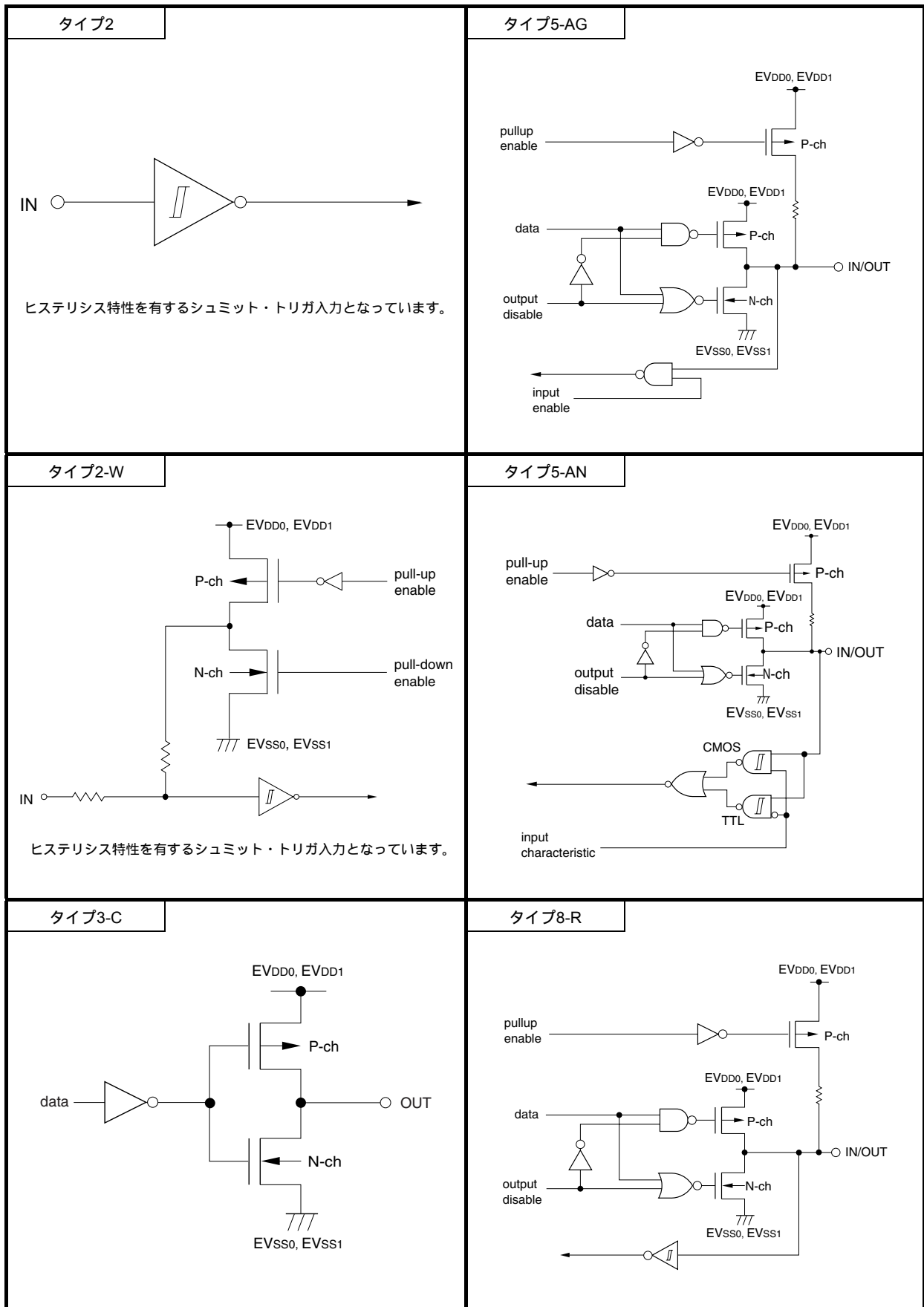
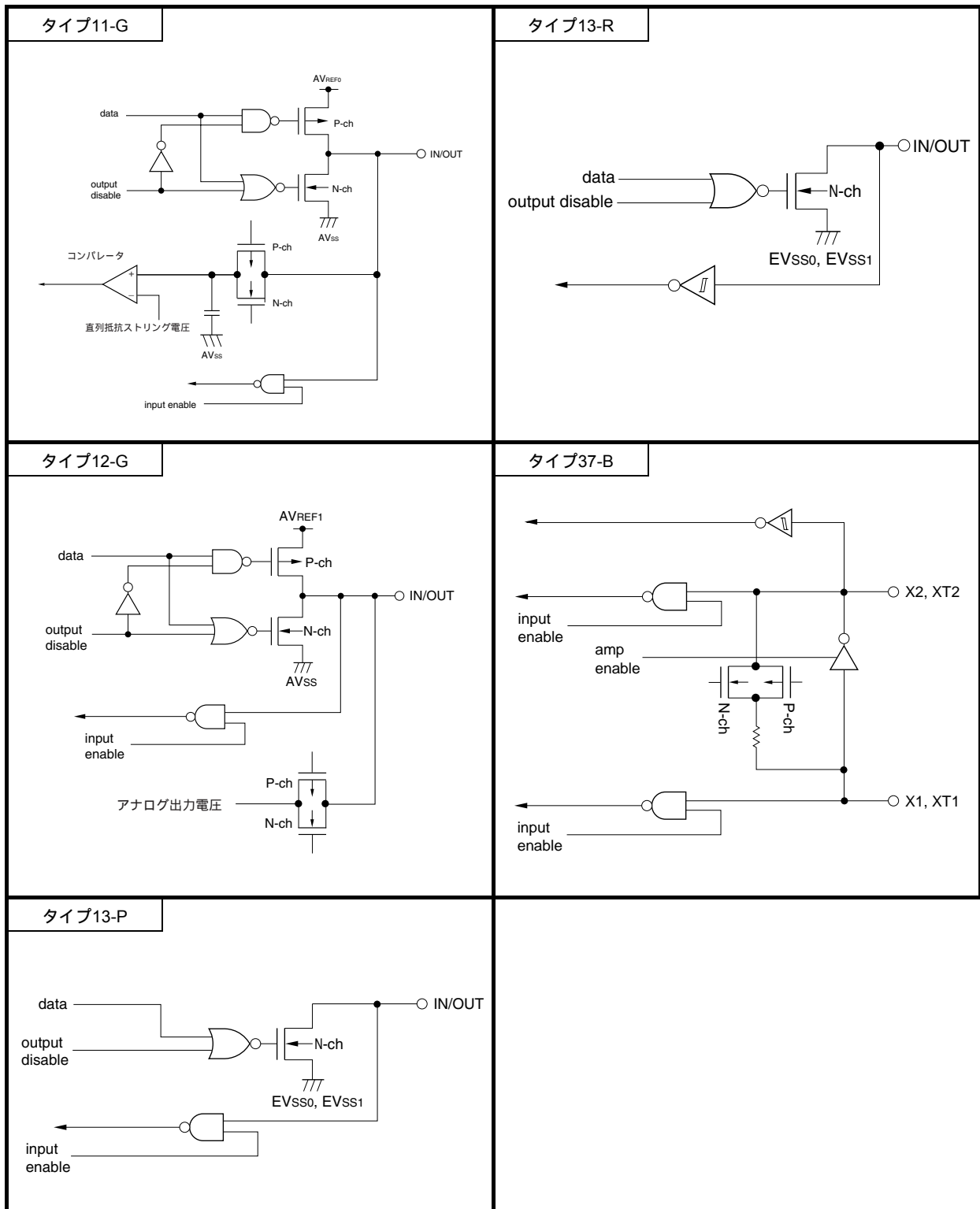


図2 - 1 端子の入出力回路一覧 (2/2)

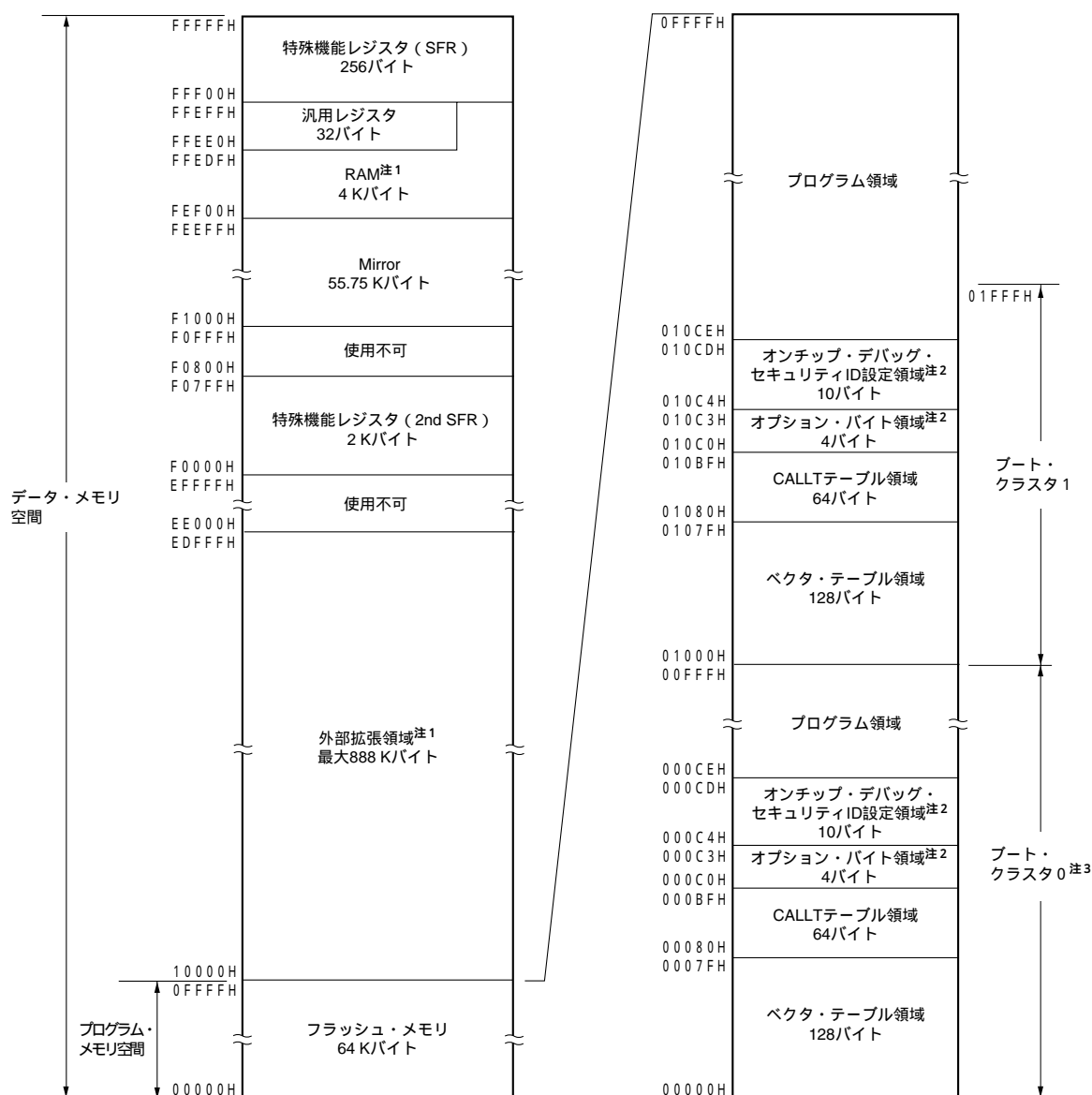


第3章 CPUアーキテクチャ

3.1 メモリ空間

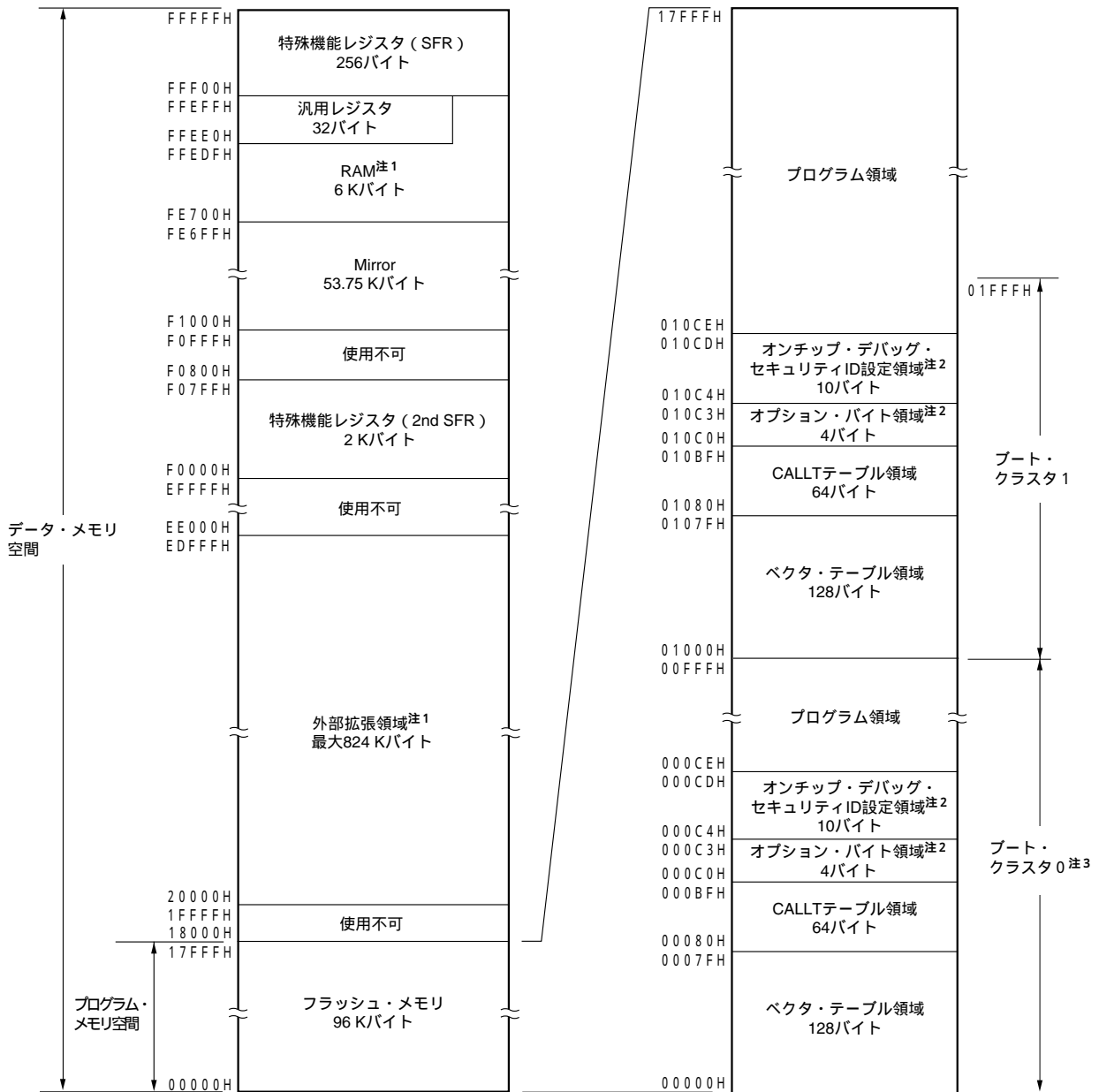
78K0R/KG3は、1 Mバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 7に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD78F1162, 78F1162A)



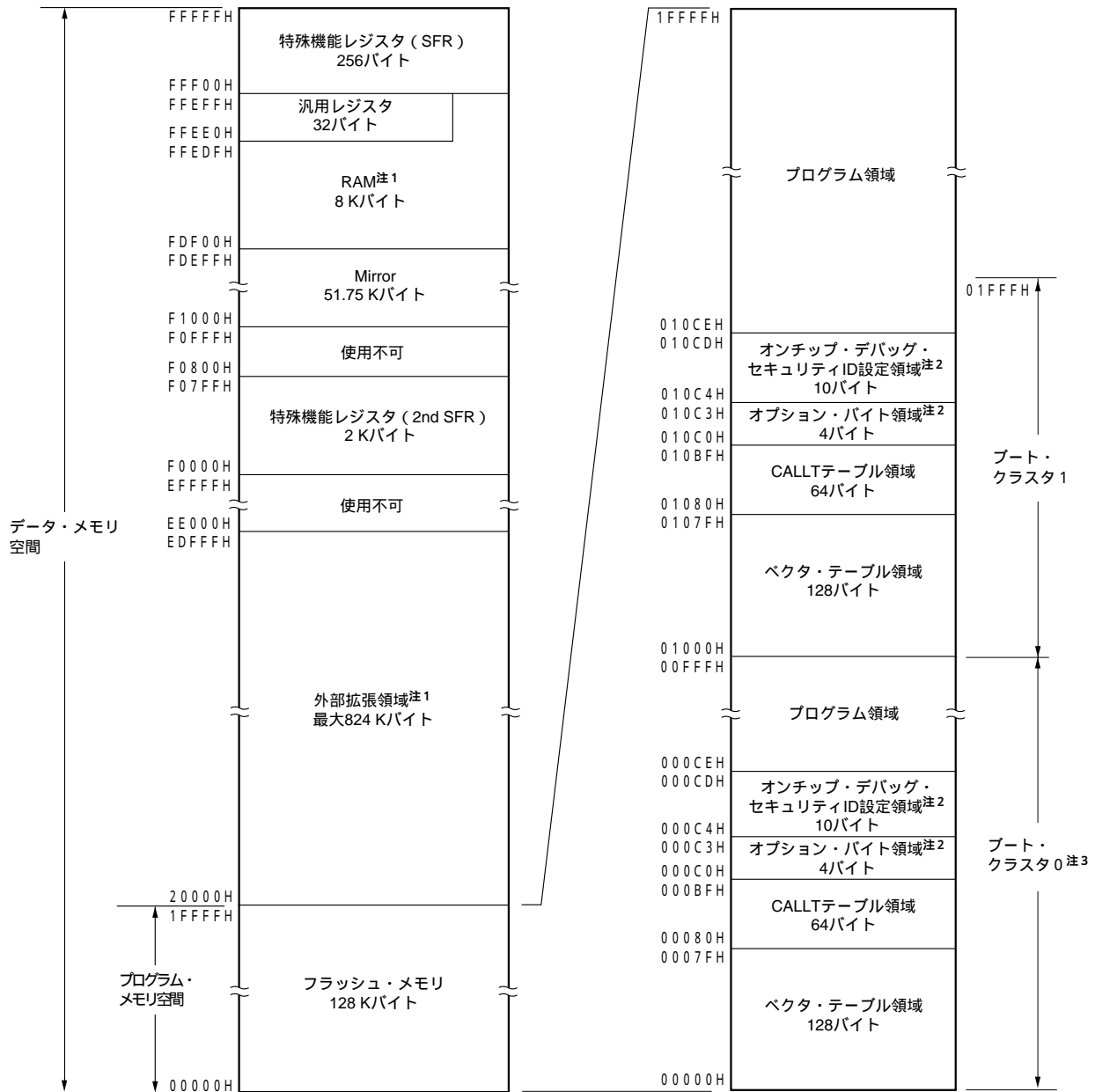
- 注1. 汎用レジスタを除いたRAM領域、および外部拡張領域から命令実行をすることができます。
2. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
3. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (25.7 セキュリティ設定を参照)。

図3-2 メモリ・マップ (μ PD78F1163, 78F1163A)



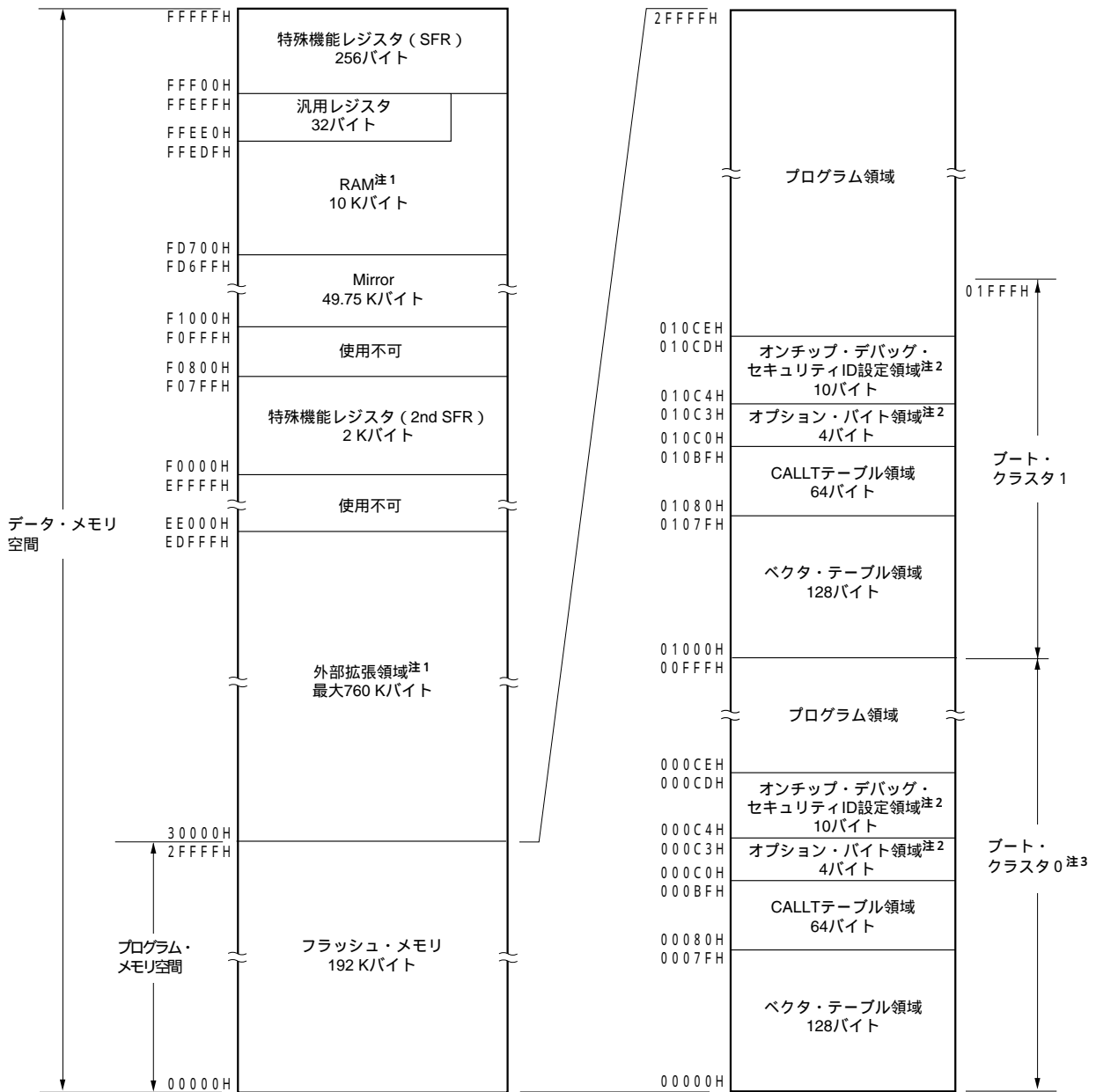
- 注1. 汎用レジスタを除いたRAM領域, および外部拡張領域から命令実行をすることができます。
2. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
3. セキュリティの設定により, ブート・クラスタ0は書き換えを禁止することができます (25.7 セキュリティ設定を参照)。

図3-3 メモリ・マップ (μ PD78F1164, 78F1164A)



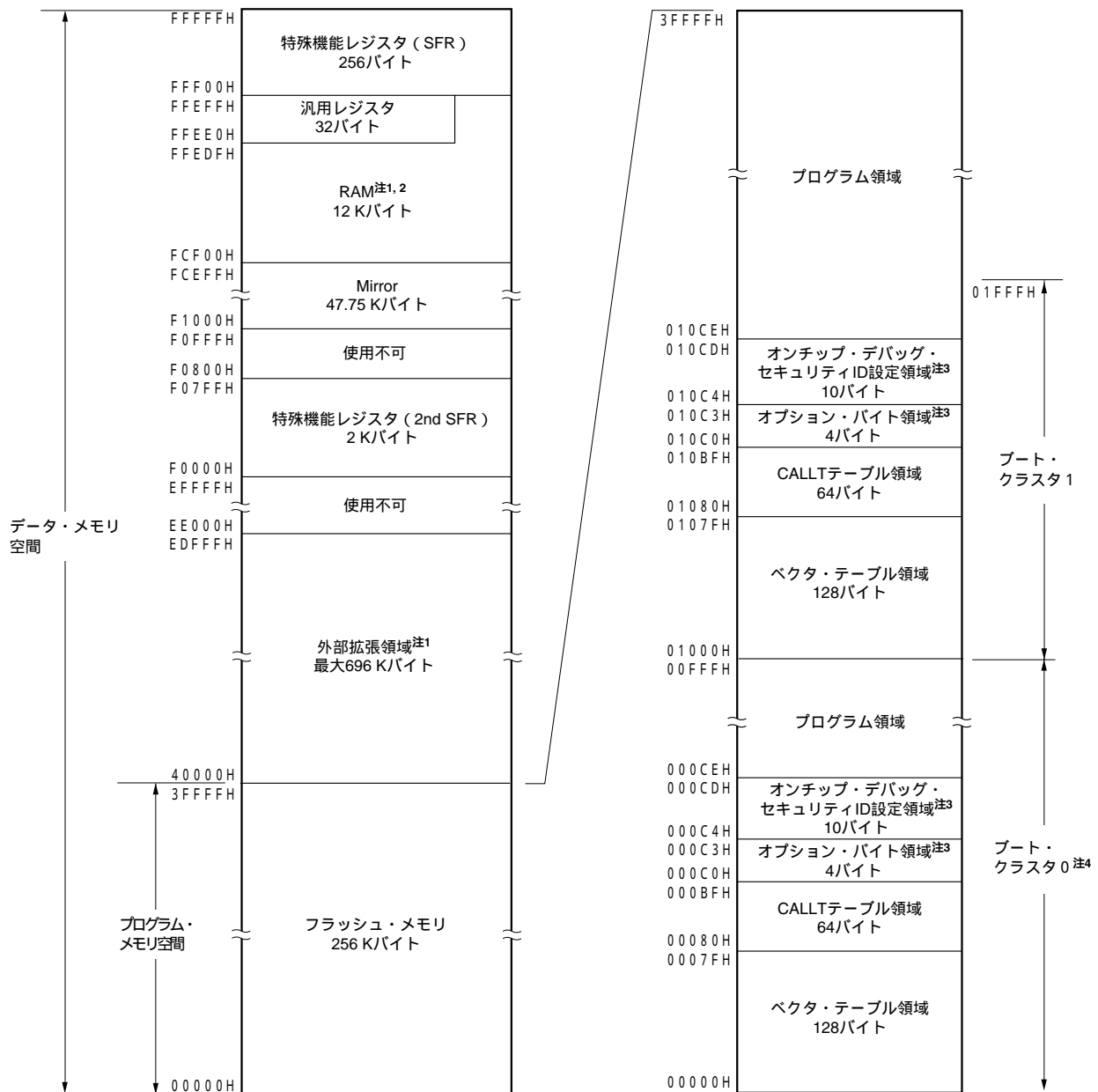
- 注1. 汎用レジスタを除いたRAM領域，および外部拡張領域から命令実行をすることができます。
2. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
3. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます (25.7 セキュリティ設定を参照)。

図3-4 メモリ・マップ (μ PD78F1165, 78F1165A)



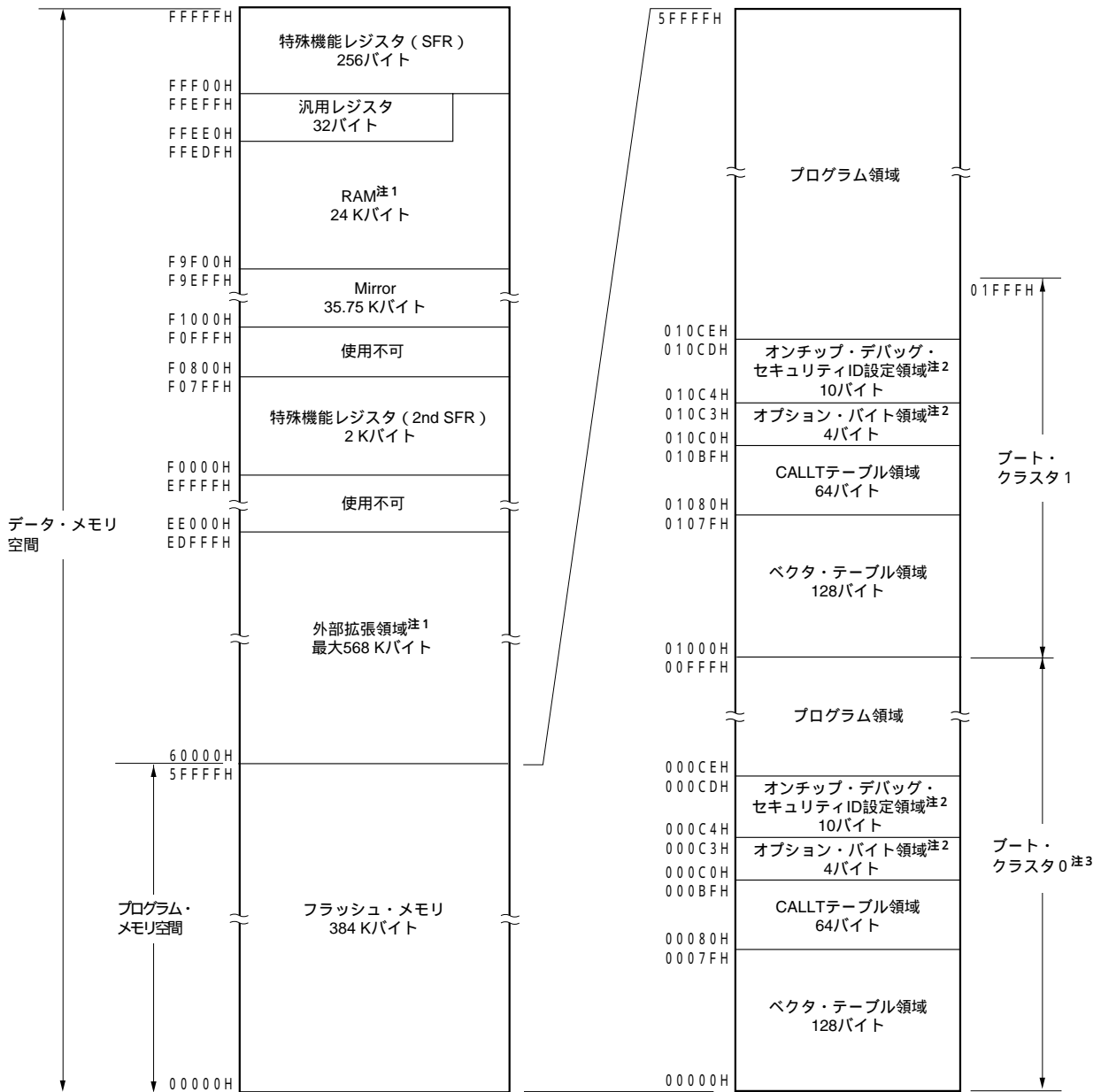
- 注1. 汎用レジスタを除いたRAM領域, および外部拡張領域から命令実行をすることができます。
2. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
3. セキュリティの設定により, ブート・クラスタ0は書き換えを禁止することができます (25.7 **セキュリティ設定**を参照)。

図3-5 メモリ・マップ (μ PD78F1166, 78F1166A)



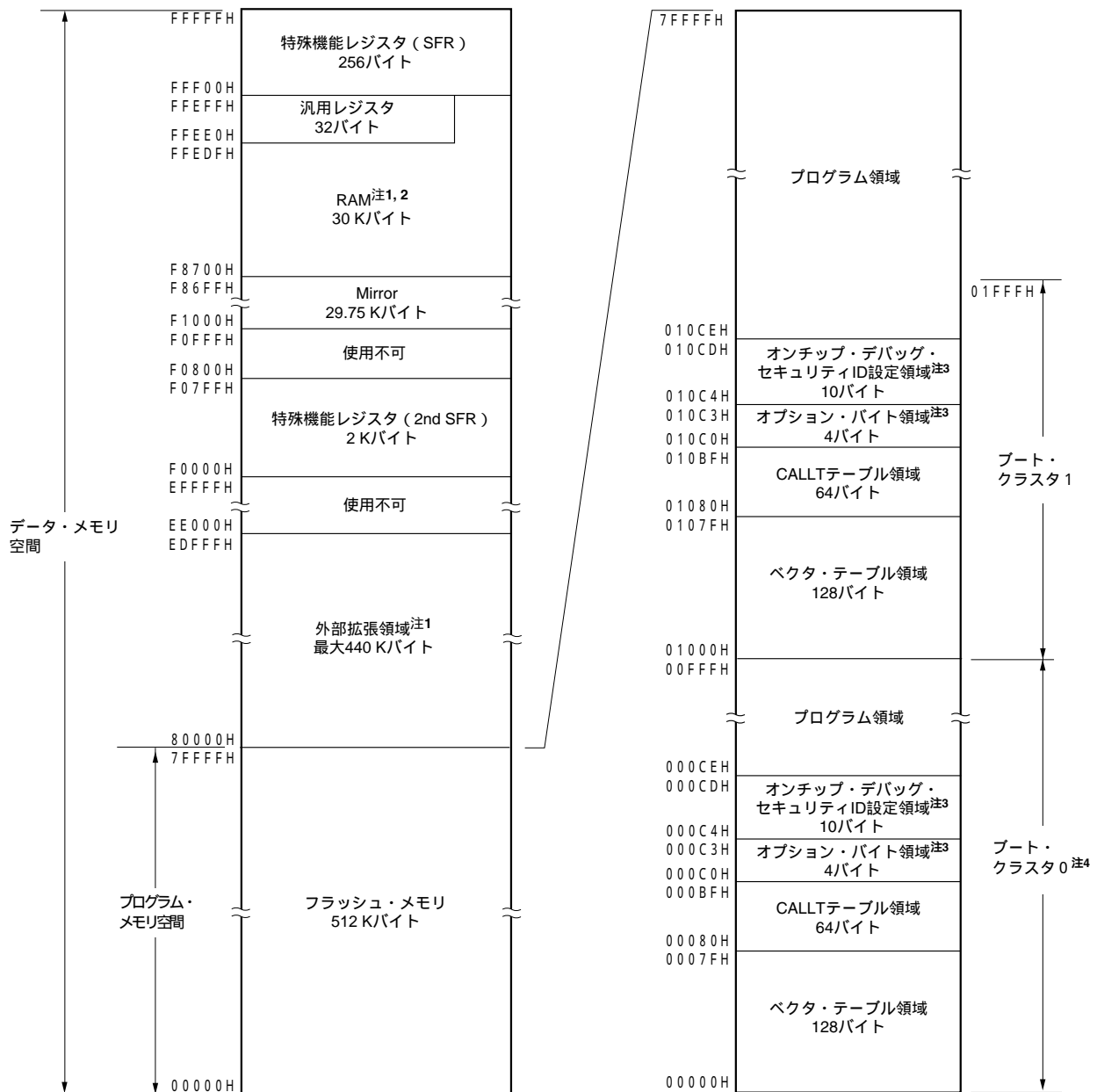
- 注1. 汎用レジスタを除いたRAM領域，および外部拡張領域から命令実行をすることができます。
2. セルフ・プログラミング機能使用時は，セルフ・プログラミング・ライブラリで使用するためFCF00H-FD6FFHの領域が使用禁止になります。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます (25.7 セキュリティ設定を参照)。

図3 - 6 メモリ・マップ (μ PD78F1167, 78F1167A)



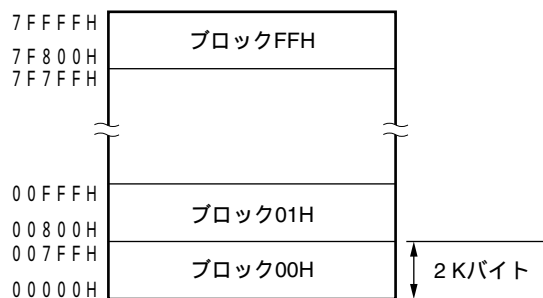
- 注1. 汎用レジスタを除いたRAM領域、および外部拡張領域から命令実行をすることができます。
2. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
3. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (25.7 セキュリティ設定を参照)。

図3-7 メモリ・マップ (μ PD78F1168, 78F1168A)



- 注1. 汎用レジスタを除いたRAM領域、および外部拡張領域から命令実行をすることができます。
2. セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためF8700H-F86FFHの領域が使用禁止になります。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (25.7 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 2 Kバイト)。アドレス値とブロック番号については、表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (1/2)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
00000H-007FFH	00H	10000H-107FFH	20H	20000H-207FFH	40H	30000H-307FFH	60H
00800H-00FFFH	01H	10800H-10FFFH	21H	20800H-20FFFH	41H	30800H-30FFFH	61H
01000H-017FFH	02H	11000H-117FFH	22H	21000H-217FFH	42H	31000H-317FFH	62H
01800H-01FFFH	03H	11800H-11FFFH	23H	21800H-21FFFH	43H	31800H-31FFFH	63H
02000H-027FFH	04H	12000H-127FFH	24H	22000H-227FFH	44H	32000H-327FFH	64H
02800H-02FFFH	05H	12800H-12FFFH	25H	22800H-22FFFH	45H	32800H-32FFFH	65H
03000H-037FFH	06H	13000H-137FFH	26H	23000H-237FFH	46H	33000H-337FFH	66H
03800H-03FFFH	07H	13800H-13FFFH	27H	23800H-23FFFH	47H	33800H-33FFFH	67H
04000H-047FFH	08H	14000H-147FFH	28H	24000H-247FFH	48H	34000H-347FFH	68H
04800H-04FFFH	09H	14800H-14FFFH	29H	24800H-24FFFH	49H	34800H-34FFFH	69H
05000H-057FFH	0AH	15000H-157FFH	2AH	25000H-257FFH	4AH	35000H-357FFH	6AH
05800H-05FFFH	0BH	15800H-15FFFH	2BH	25800H-25FFFH	4BH	35800H-35FFFH	6BH
06000H-067FFH	0CH	16000H-167FFH	2CH	26000H-267FFH	4CH	36000H-367FFH	6CH
06800H-06FFFH	0DH	16800H-16FFFH	2DH	26800H-26FFFH	4DH	36800H-36FFFH	6DH
07000H-077FFH	0EH	17000H-177FFH	2EH	27000H-277FFH	4EH	37000H-377FFH	6EH
07800H-07FFFH	0FH	17800H-17FFFH	2FH	27800H-27FFFH	4FH	37800H-37FFFH	6FH
08000H-087FFH	10H	18000H-187FFH	30H	28000H-287FFH	50H	38000H-387FFH	70H
08800H-08FFFH	11H	18800H-18FFFH	31H	28800H-28FFFH	51H	38800H-38FFFH	71H
09000H-097FFH	12H	19000H-197FFH	32H	29000H-297FFH	52H	39000H-397FFH	72H
09800H-09FFFH	13H	19800H-19FFFH	33H	29800H-29FFFH	53H	39800H-39FFFH	73H
0A000H-0A7FFH	14H	1A000H-1A7FFH	34H	2A000H-2A7FFH	54H	3A000H-3A7FFH	74H
0A800H-0AFFFH	15H	1A800H-1AFFFH	35H	2A800H-2AFFFH	55H	3A800H-3AFFFH	75H
0B000H-0B7FFH	16H	1B000H-1B7FFH	36H	2B000H-2B7FFH	56H	3B000H-3B7FFH	76H
0B800H-0BFFFH	17H	1B800H-1BFFFH	37H	2B800H-2BFFFH	57H	3B800H-3BFFFH	77H
0C000H-0C7FFH	18H	1C000H-1C7FFH	38H	2C000H-2C7FFH	58H	3C000H-3C7FFH	78H
0C800H-0CFFFH	19H	1C800H-1CFFFH	39H	2C800H-2CFFFH	59H	3C800H-3CFFFH	79H
0D000H-0D7FFH	1AH	1D000H-1D7FFH	3AH	2D000H-2D7FFH	5AH	3D000H-3D7FFH	7AH
0D800H-0DFFFH	1BH	1D800H-1DFFFH	3BH	2D800H-2DFFFH	5BH	3D800H-3DFFFH	7BH
0E000H-0E7FFH	1CH	1E000H-1E7FFH	3CH	2E000H-2E7FFH	5CH	3E000H-3E7FFH	7CH
0E800H-0EFFFH	1DH	1E800H-1EFFFH	3DH	2E800H-2EFFFH	5DH	3E800H-3EFFFH	7DH
0F000H-0F7FFH	1EH	1F000H-1F7FFH	3EH	2F000H-2F7FFH	5EH	3F000H-3F7FFH	7EH
0F800H-0FFFFH	1FH	1F800H-1FFFFH	3FH	2F800H-2FFFFH	5FH	3F800H-3FFFFH	7FH

備考 μ PD78F1162, 78F1162A : ブロック番号00H-1FH
 μ PD78F1163, 78F1163A : ブロック番号00H-2FH
 μ PD78F1164, 78F1164A : ブロック番号00H-3FH
 μ PD78F1165, 78F1165A : ブロック番号00H-5FH
 μ PD78F1166, 78F1166A : ブロック番号00H-7FH
 μ PD78F1167, 78F1167A : ブロック番号00H-BFH
 μ PD78F1168, 78F1168A : ブロック番号00H-FFH

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応 (2/2)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
4000H-40FFFH	80H	5000H-50FFFH	A0H	6000H-60FFFH	C0H	7000H-70FFFH	E0H
40800H-40FFFFH	81H	50800H-50FFFFH	A1H	60800H-60FFFFH	C1H	70800H-70FFFFH	E1H
41000H-417FFFH	82H	51000H-517FFFH	A2H	61000H-617FFFH	C2H	71000H-717FFFH	E2H
41800H-41FFFFH	83H	51800H-51FFFFH	A3H	61800H-61FFFFH	C3H	71800H-71FFFFH	E3H
42000H-427FFFH	84H	52000H-527FFFH	A4H	62000H-627FFFH	C4H	72000H-727FFFH	E4H
42800H-42FFFFH	85H	52800H-52FFFFH	A5H	62800H-62FFFFH	C5H	72800H-72FFFFH	E5H
43000H-437FFFH	86H	53000H-537FFFH	A6H	63000H-637FFFH	C6H	73000H-737FFFH	E6H
43800H-43FFFFH	87H	53800H-53FFFFH	A7H	63800H-63FFFFH	C7H	73800H-73FFFFH	E7H
44000H-447FFFH	88H	54000H-547FFFH	A8H	64000H-647FFFH	C8H	74000H-747FFFH	E8H
44800H-44FFFFH	89H	54800H-54FFFFH	A9H	64800H-64FFFFH	C9H	74800H-74FFFFH	E9H
45000H-457FFFH	8AH	55000H-557FFFH	AAH	65000H-657FFFH	CAH	75000H-757FFFH	EAH
45800H-45FFFFH	8BH	55800H-55FFFFH	ABH	65800H-65FFFFH	CBH	75800H-75FFFFH	EBH
46000H-467FFFH	8CH	56000H-567FFFH	ACH	66000H-667FFFH	CCH	76000H-767FFFH	ECH
46800H-46FFFFH	8DH	56800H-56FFFFH	ADH	66800H-66FFFFH	CDH	76800H-76FFFFH	EDH
47000H-477FFFH	8EH	57000H-577FFFH	AEH	67000H-677FFFH	CEH	77000H-777FFFH	EEH
47800H-47FFFFH	8FH	57800H-57FFFFH	AFH	67800H-67FFFFH	CFH	77800H-77FFFFH	EFH
48000H-487FFFH	90H	58000H-587FFFH	B0H	68000H-687FFFH	D0H	78000H-787FFFH	F0H
48800H-48FFFFH	91H	58800H-58FFFFH	B1H	68800H-68FFFFH	D1H	78800H-78FFFFH	F1H
49000H-497FFFH	92H	59000H-597FFFH	B2H	69000H-697FFFH	D2H	79000H-797FFFH	F2H
49800H-49FFFFH	93H	59800H-59FFFFH	B3H	69800H-69FFFFH	D3H	79800H-79FFFFH	F3H
4A000H-4A7FFFH	94H	5A000H-5A7FFFH	B4H	6A000H-6A7FFFH	D4H	7A000H-7A7FFFH	F4H
4A800H-4AFFFFH	95H	5A800H-5AFFFFH	B5H	6A800H-6AFFFFH	D5H	7A800H-7AFFFFH	F5H
4B000H-4B7FFFH	96H	5B000H-5B7FFFH	B6H	6B000H-6B7FFFH	D6H	7B000H-7B7FFFH	F6H
4B800H-4BFFFFH	97H	5B800H-5BFFFFH	B7H	6B800H-6BFFFFH	D7H	7B800H-7BFFFFH	F7H
4C000H-4C7FFFH	98H	5C000H-5C7FFFH	B8H	6C000H-6C7FFFH	D8H	7C000H-7C7FFFH	F8H
4C800H-4CFFFFH	99H	5C800H-5CFFFFH	B9H	6C800H-6CFFFFH	D9H	7C800H-7CFFFFH	F9H
4D000H-4D7FFFH	9AH	5D000H-5D7FFFH	BAH	6D000H-6D7FFFH	DAH	7D000H-7D7FFFH	FAH
4D800H-4DFFFFH	9BH	5D800H-5DFFFFH	BBH	6D800H-6DFFFFH	DBH	7D800H-7DFFFFH	FBH
4E000H-4E7FFFH	9CH	5E000H-5E7FFFH	BCH	6E000H-6E7FFFH	DCH	7E000H-7E7FFFH	FCH
4E800H-4EFFFFH	9DH	5E800H-5EFFFFH	BDH	6E800H-6EFFFFH	DDH	7E800H-7EFFFFH	FDH
4F000H-4F7FFFH	9EH	5F000H-5F7FFFH	BEH	6F000H-6F7FFFH	DEH	7F000H-7F7FFFH	FEH
4F800H-4FFFFH	9FH	5F800H-5FFFFH	BFH	6F800H-6FFFFH	DFH	7F800H-7FFFFH	FFH

備考 μ PD78F1162, 78F1162A : ブロック番号00H-1FH
 μ PD78F1163, 78F1163A : ブロック番号00H-2FH
 μ PD78F1164, 78F1164A : ブロック番号00H-3FH
 μ PD78F1165, 78F1165A : ブロック番号00H-5FH
 μ PD78F1166, 78F1166A : ブロック番号00H-7FH
 μ PD78F1167, 78F1167A : ブロック番号00H-BFH
 μ PD78F1168, 78F1168A : ブロック番号00H-FFH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。

78K0R/KG3は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μ PD78F1162, 78F1162A	フラッシュ・メモリ	65536×8ビット (00000H-0FFFFH)
μ PD78F1163, 78F1163A		98304×8ビット (00000H-17FFFH)
μ PD78F1164, 78F1164A		131072×8ビット (00000H-1FFFFH)
μ PD78F1165, 78F1165A		196608×8ビット (00000H-2FFFFH)
μ PD78F1166, 78F1166A		262144×8ビット (00000H-3FFFFH)
μ PD78F1167, 78F1167A		393216×8ビット (00000H-5FFFFH)
μ PD78F1168, 78F1168A		524288×8ビット (00000H-7FFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	ベクタ・テーブル・アドレス	割り込み要因
00000H	RESET入力, POC, LVI, WDT, TRAP	0002CH	INTTM00
		0002EH	INTTM01
00004H	INTWDTI	00030H	INTTM02
00006H	INTLVI	00032H	INTTM03
00008H	INTP0	00034H	INTAD
0000AH	INTP1	00036H	INTRTC
0000CH	INTP2	00038H	INTRTCI
0000EH	INTP3	0003AH	INTKR
00010H	INTP4	0003CH	INTST2 / INTCSI20/ INTIIC20
00012H	INTP5	0003EH	INTSR2
00014H	INTST3	00040H	INTSRE2
00016H	INTSR3	00042H	INTTM04
00018H	INTSRE3	00044H	INTTM05
0001AH	INTDMA0	00046H	INTTM06
0001CH	INTDMA1	00048H	INTTM07
0001EH	INTST0 / INTCSI00	0004AH	INTP6
00020H	INTSR0 / INTCSI01	0004CH	INTP7
00022H	INTSRE0	0004EH	INTP8
00024H	INTST1 / INTCSI10 / INTIIC10	00050H	INTP9
00026H	INTSR1	00052H	INTP10
00028H	INTSRE1	00054H	INTP11
0002AH	INTIIC0	0007EH	BRK

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第24章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第26章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

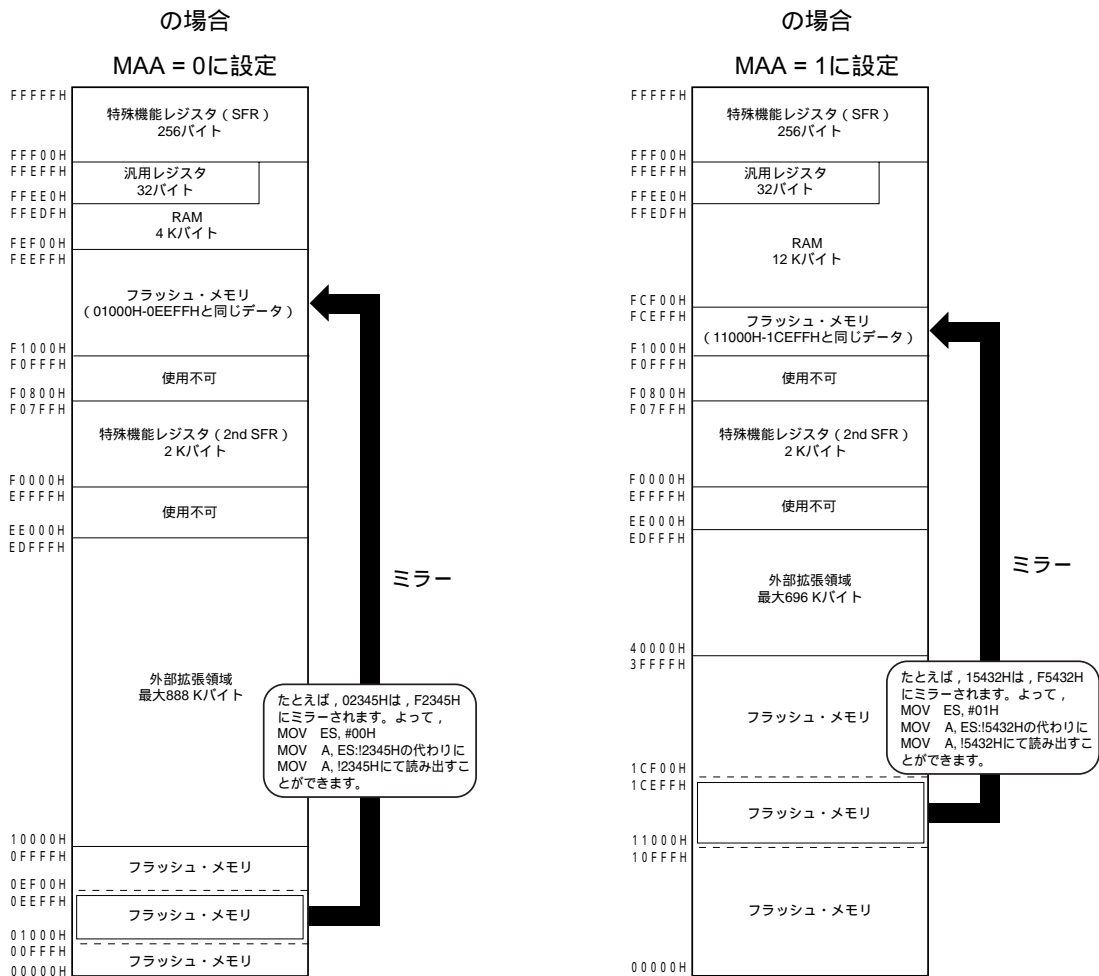
μ PD78F1162, 78F1162Aでは, 00000H-0FFFFHのデータ・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています。μ PD78F1163, 78F1163A, 78F1164, 78F1164A, 78F1165, 78F1165A, 78F1166, 78F1166A, 78F1167, 78F1167A, 78F1168, 78F1168Aでは, 00000H-0FFFFHまたは10000H-1FFFFFFHのデータ・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています(ミラーさせるデータ・フラッシュ・エリアは, プロセッサ・モード・コントロール・レジスタ (PMC) で設定)。

ミラー先のF0000H-FFFFFFHからデータを読み出すことにより, オペランドにESレジスタを持たない命令を使用することができるため, 短いコードでデータ・フラッシュ内容の読み出しを行うことができます。ただし, SFR, 拡張SFR, RAM, 使用不可領域にはミラーされません。

各製品のミラー領域は, 3.1 メモリ空間を参照してください。
ミラー領域は読み出しのみ可能で, 命令フェッチはできません。

次に例を示します。

例1 μ PD78F1162, 78F1162A (フラッシュ・メモリ 64 Kバイト, RAM 4 Kバイト) 例2 μ PD78F1166, 78F1166A (フラッシュ・メモリ 256 Kバイト, RAM 12 Kバイト)



備考 MAAは, プロセッサ・モード・コントロール・レジスタ (PMC) のビット0です。

次に, PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を選択するレジスタです。
 PMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図3-8 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間選択
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

- 注意1. PMCの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCの書き替えは禁止です。
2. PMCの設定後、1命令以上空けてミラー領域にアクセスしてください。
3. μ PD78F1162, 78F1162Aを使用するときは、必ずビット0 (MAA) を0に設定してください。

3.1.3 内部データ・メモリ空間

78K0R/KG3は、次に示すRAMを内蔵しています。

表3-4 内部RAM容量

製品	内部RAM
μ PD78F1162, 78F1162A	4096×8ビット (FEF00H-FFEFFFH)
μ PD78F1163, 78F1163A	6144×8ビット (FE700H-FFEFFFH)
μ PD78F1164, 78F1164A	8192×8ビット (FDF00H-FFEFFFH)
μ PD78F1165, 78F1165A	10240×8ビット (FD700H-FFEFFFH)
μ PD78F1166, 78F1166A	12288×8ビット (FCF00H-FFEFFFH)
μ PD78F1167, 78F1167A	24576×8ビット (F9F00H-FFEFFFH)
μ PD78F1168, 78F1168A	30720×8ビット (F8700H-FFEFFFH)

データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタ (FFEE0H-FFEFFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
2. セルフ・プログラミング機能使用時は、FFE20H~FFEFFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1166, 78F1166AではFCF00H~FD6FFFH, μ PD78F1168, 78F1168AではF8700H-F8EFFFHの領域を使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表3 - 5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3 - 6参照)。

SFR領域 (FFF00H-FFFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0R/KG3では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。

図3 - 9から図3 - 15にデータ・メモリとアドレッシングの対応を示します。

図3 - 9 データ・メモリとアドレッシングの対応 (μ PD78F1162, 78F1162A)

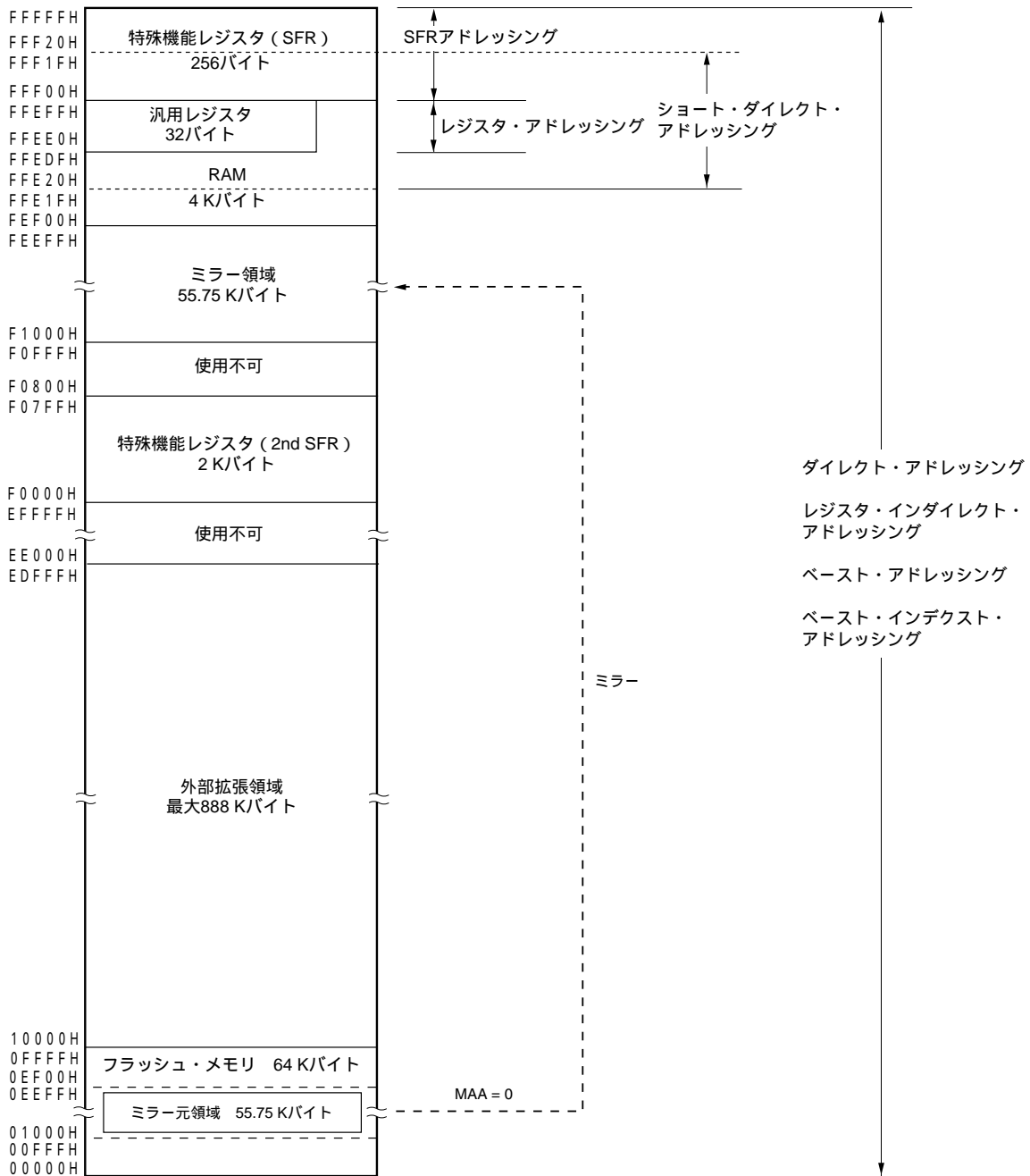


図3 - 10 データ・メモリとアドレッシングの対応 (μ PD78F1163, 78F1163A)

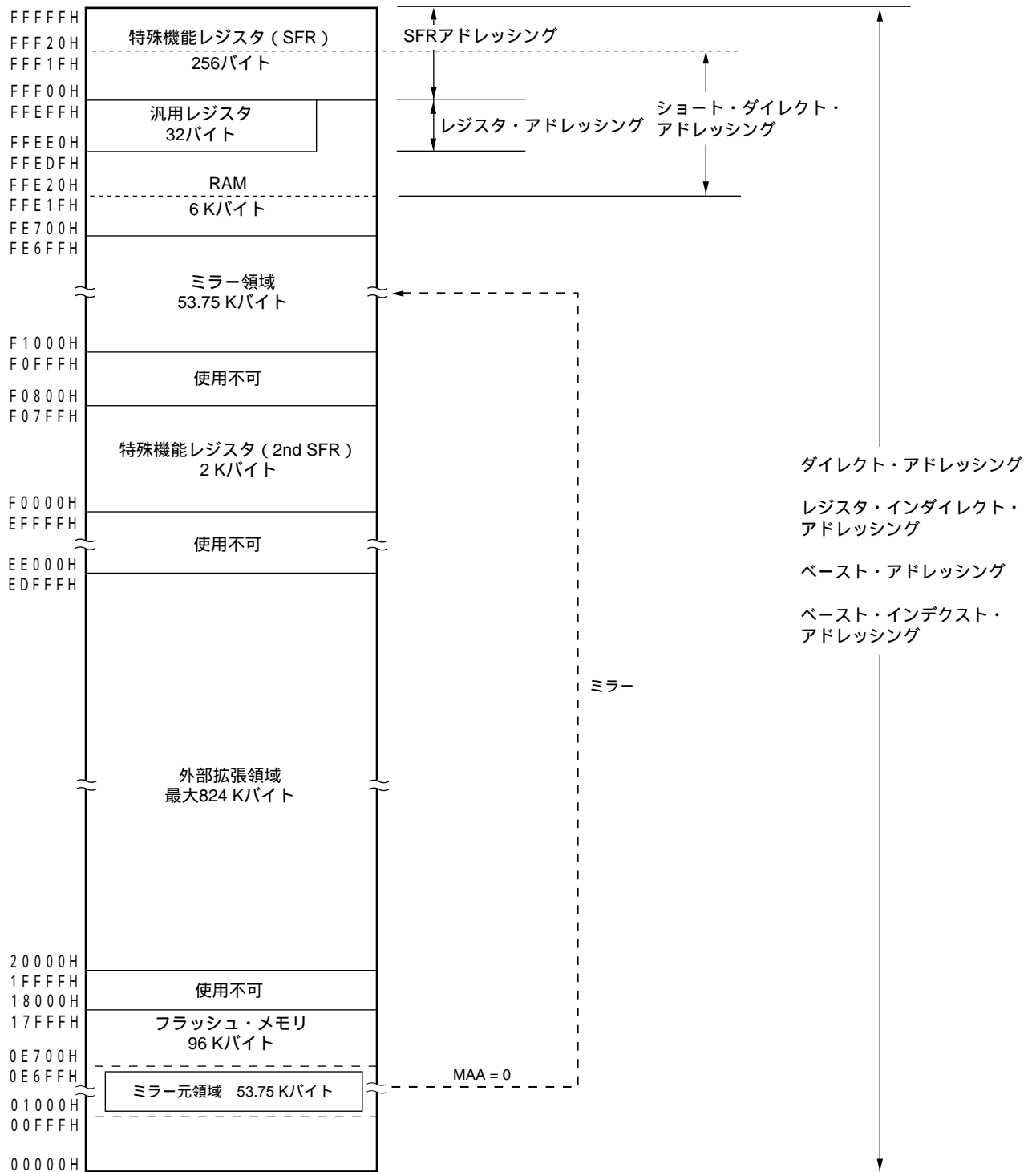


図3-11 データ・メモリとアドレッシングの対応 (μ PD78F1164, 78F1164A)

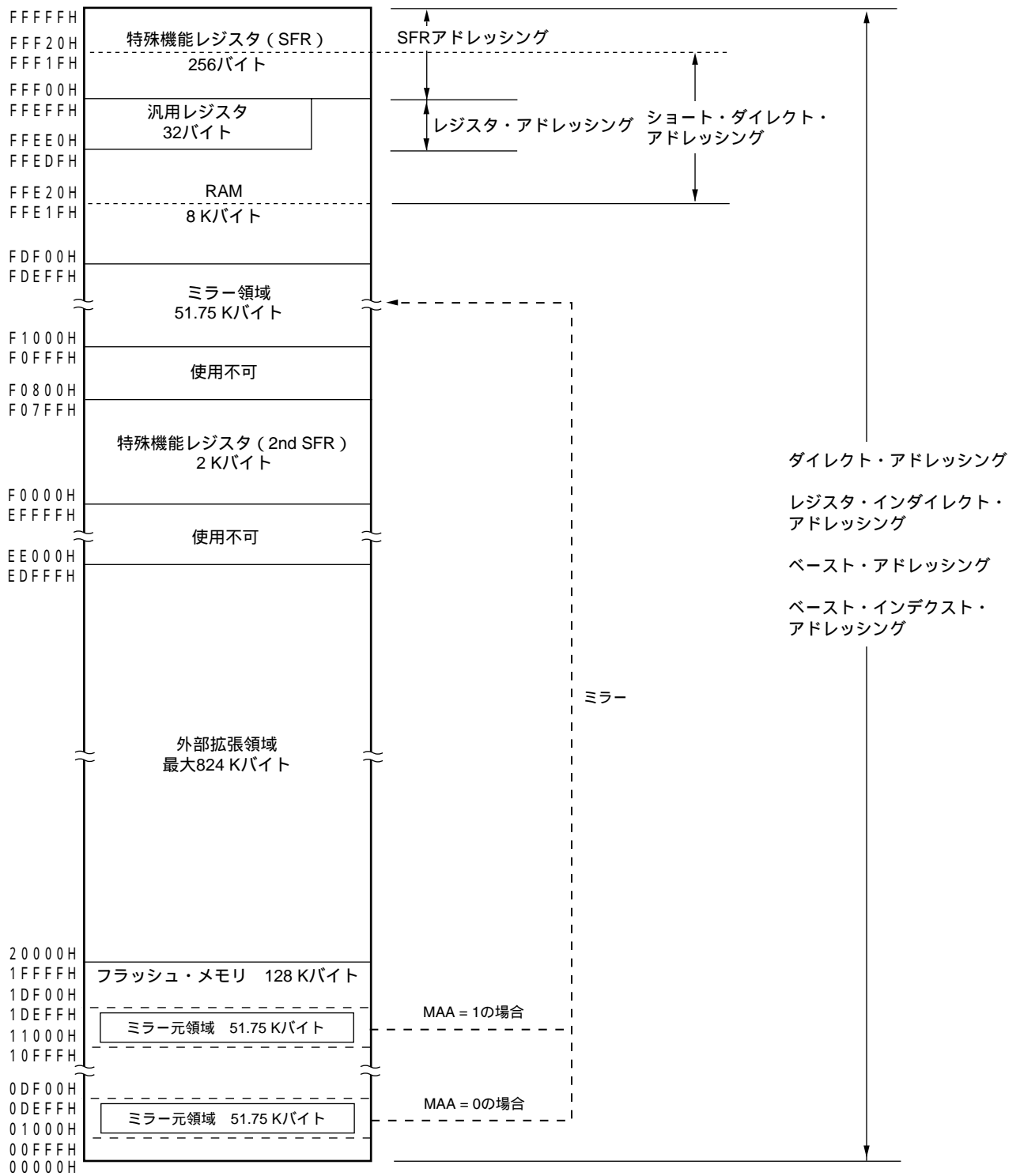


図3 - 12 データ・メモリとアドレッシングの対応 (μ PD78F1165, 78F1165A)

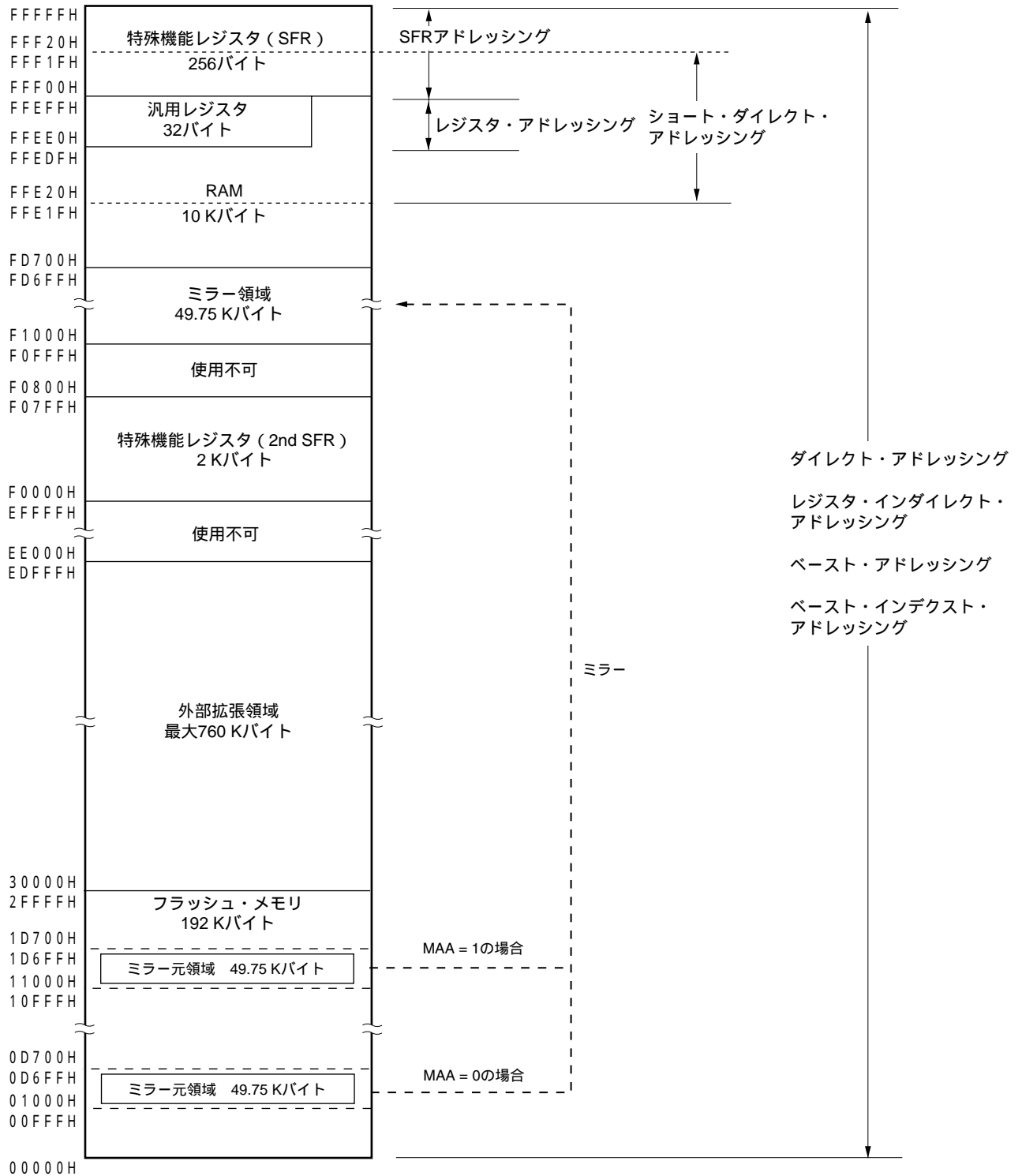
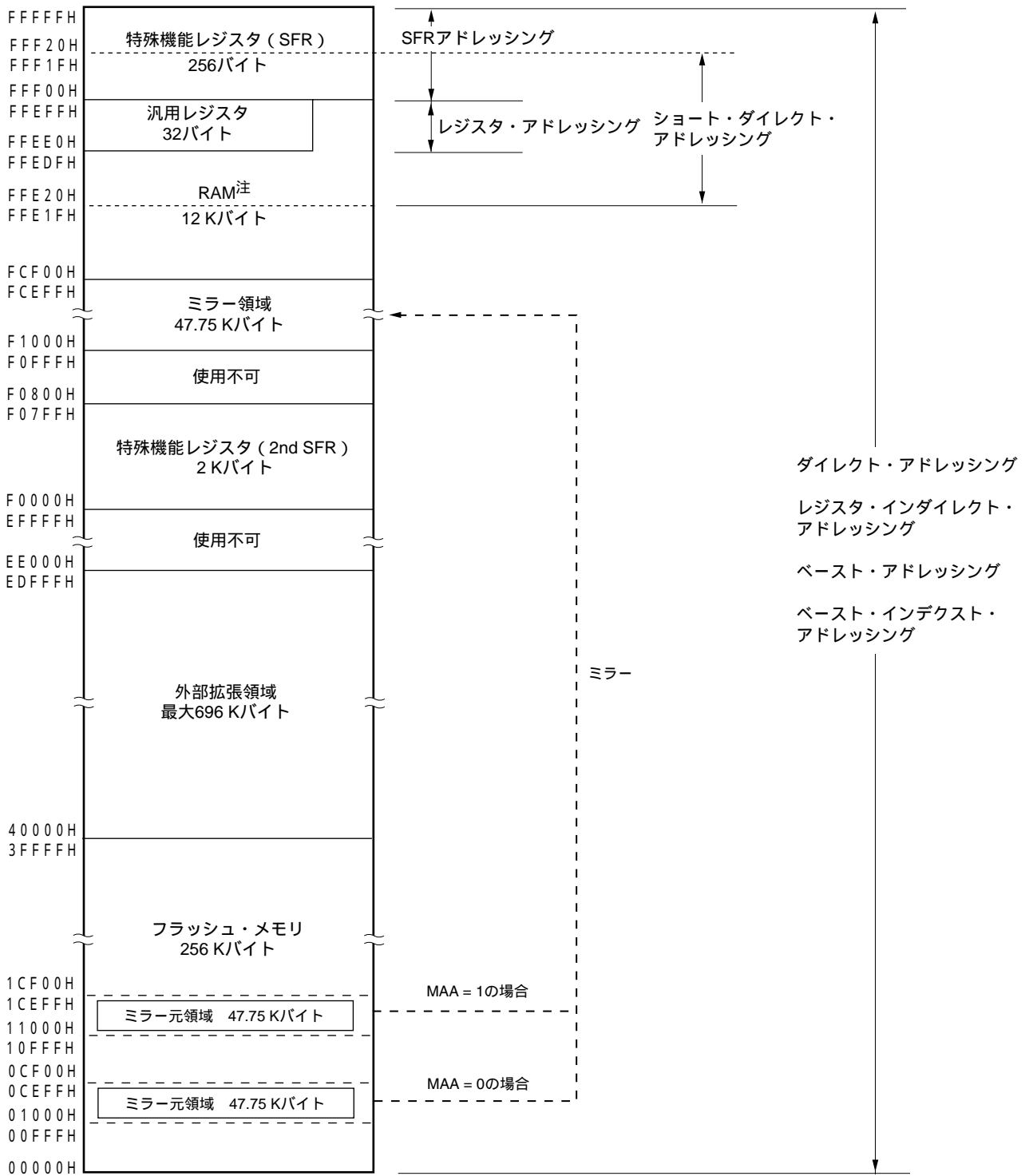


図3 - 13 データ・メモリとアドレッシングの対応 (μ PD78F1166, 78F1166A)



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFCF00H-FD6FFHの領域が使用禁止になります。

図3-14 データ・メモリとアドレッシングの対応 (μ PD78F1167, 78F1167A)

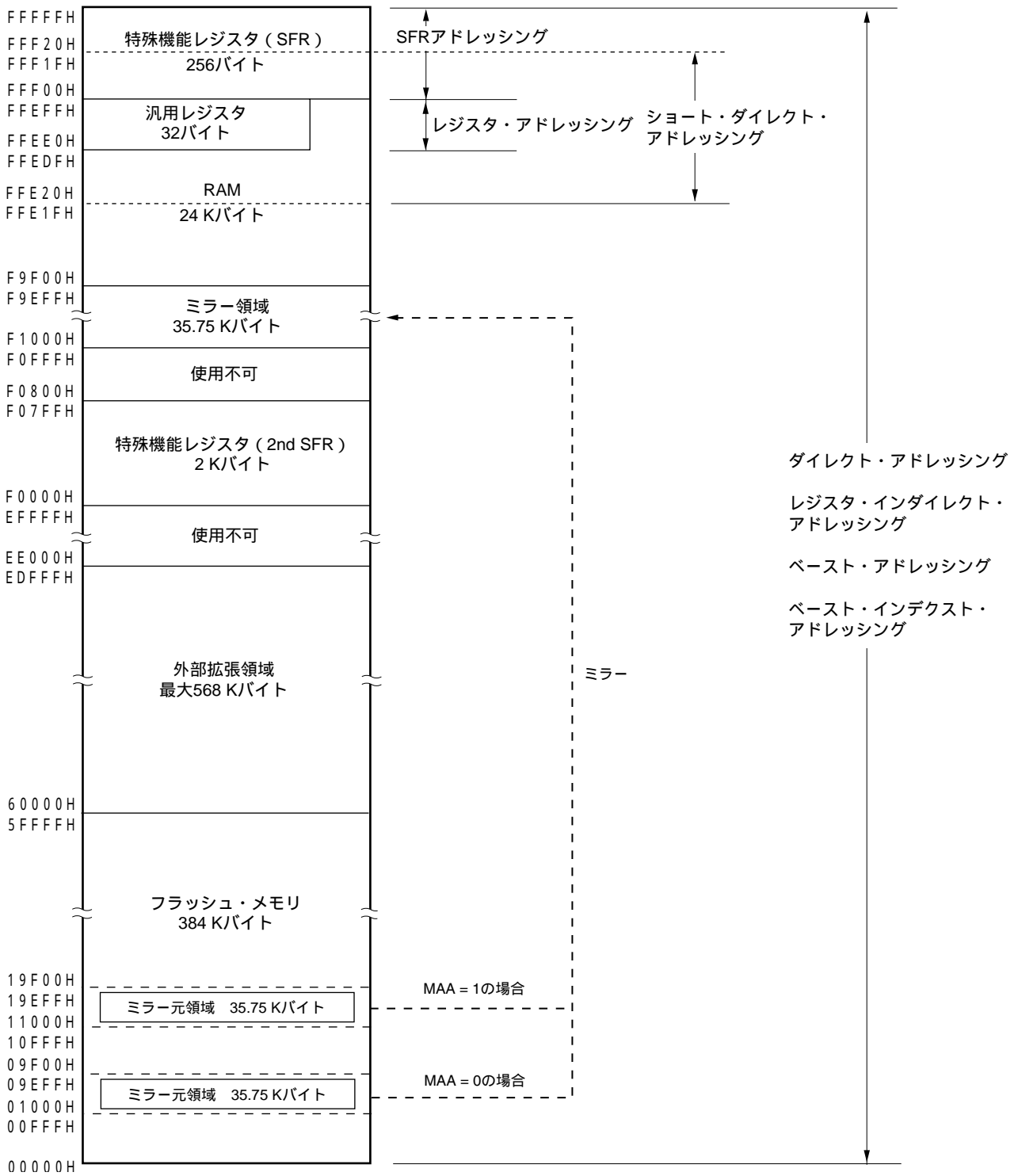
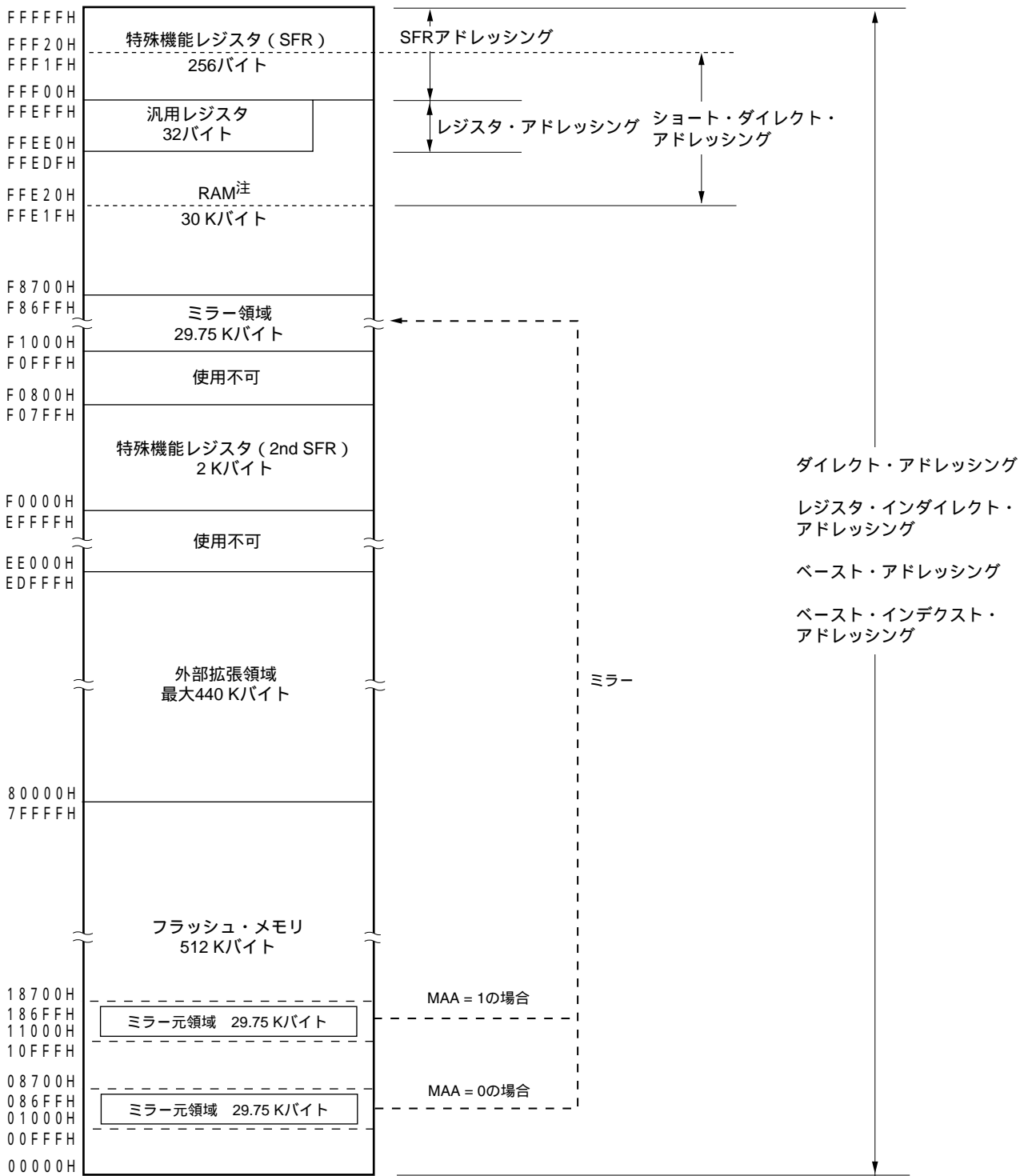


図3 - 15 データ・メモリとアドレッシングの対応 (μ PD78F1168, 78F1168A)



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためF8700H-F8EFFHの領域が使用禁止になります。

3.2 プロセッサ・レジスタ

78K0R/KG3は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

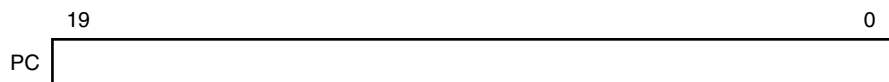
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 16 プログラム・カウンタの構成



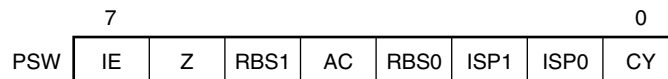
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3 - 17 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスクブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (17.3(3)参照) でISP0, ISP1の値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

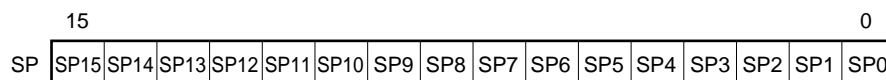
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 18 スタック・ポインタの構成

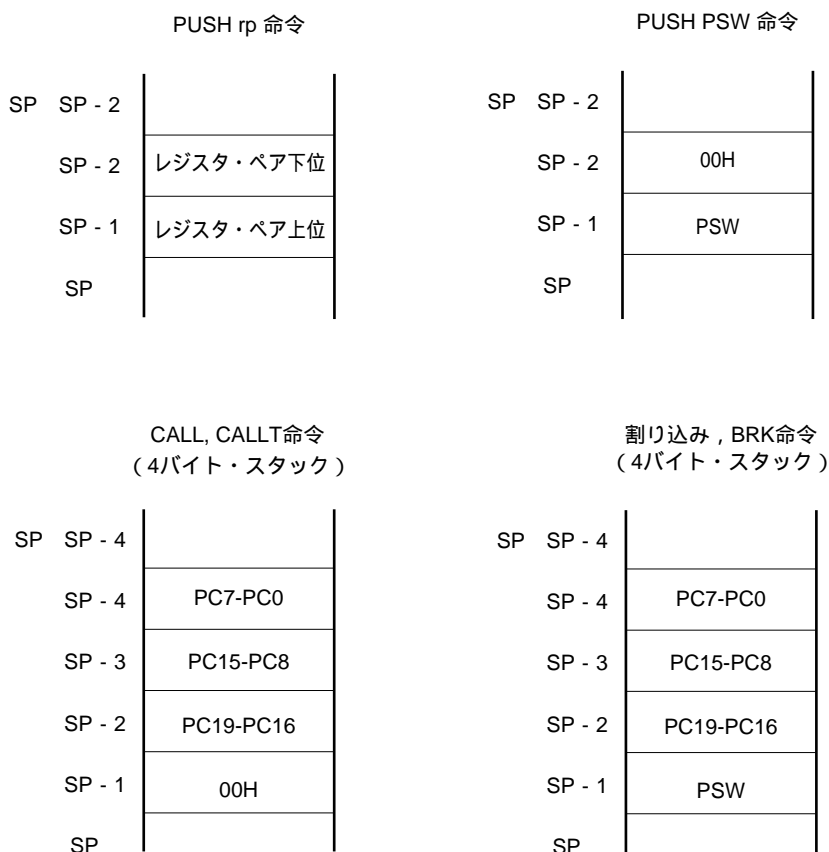


スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3 - 19のようになります。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
2. SPの設定値は必ず偶数にしてください。奇数を設定すると、最下位のビットは自動的に0が設定されます。
 3. 汎用レジスタ (FFEE0H-FFEFFH) の空間は、スタック領域としての使用を禁止します。
 4. セルフ・プログラミング機能使用時は、FFE20H ~ FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1166, 78F1166A ではFCF00H ~ FD6FFH, μ PD78F1168, 78F1168A ではF8700H-F8EFFHの領域を使用できません。

図3 - 19 スタック・メモリへ退避されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

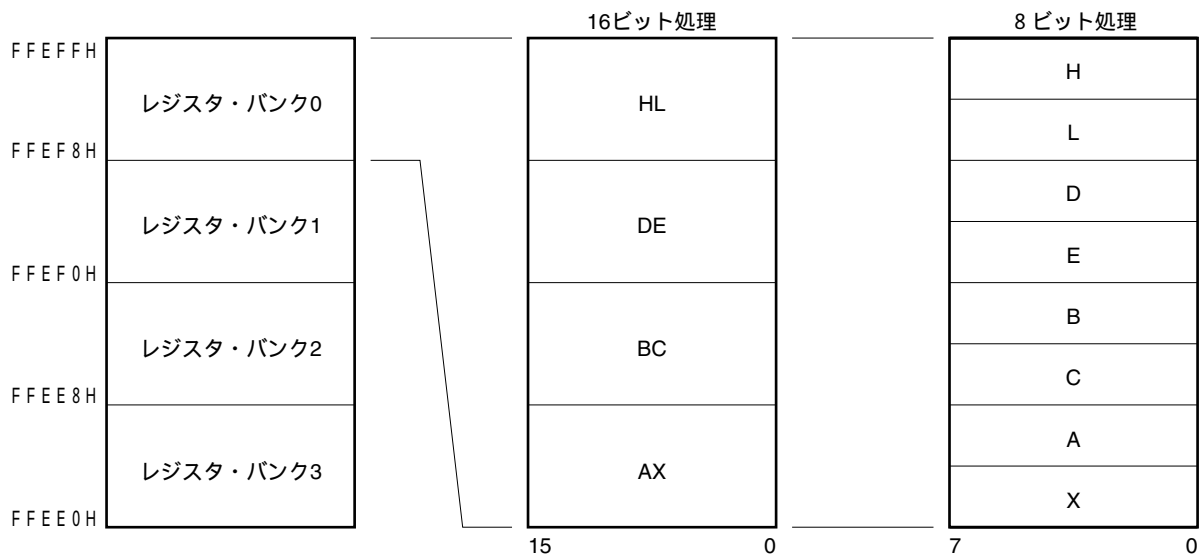
また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

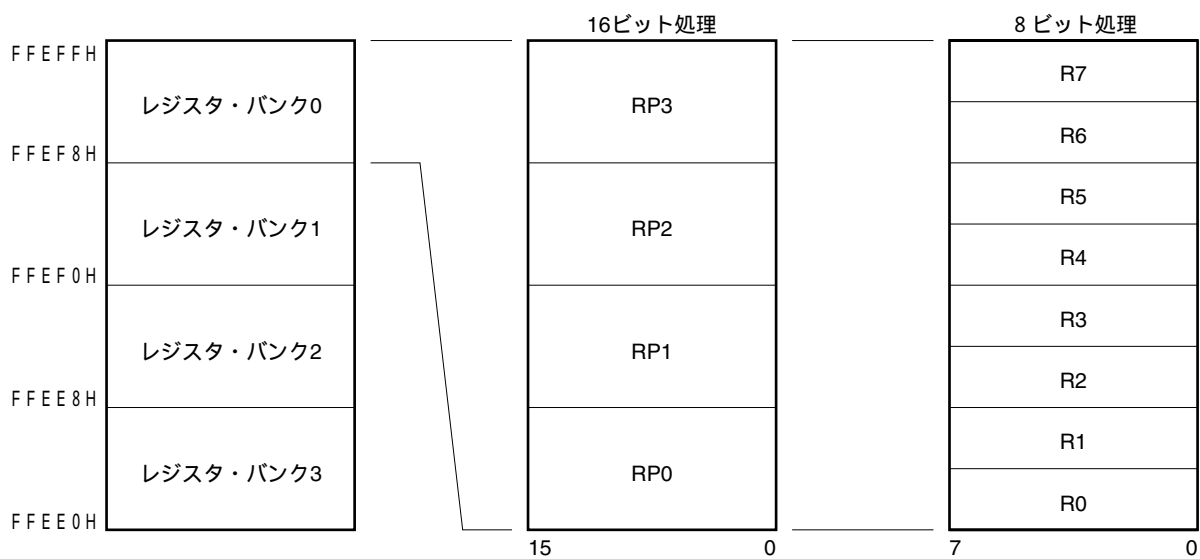
注意 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

図3 - 20 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 ES, CSレジスタ

ESレジスタにてデータ・アクセス, CSレジスタにて分岐命令実行時の上位アドレスを指定できます。

ESのリセット後の初期値は0FH, CSのリセット後の初期値は00Hです。

図3 - 21 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R, ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表3 - 5 SFR一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0	R/W			-	00H
FFF01H	ポート・レジスタ1	P1	R/W			-	00H
FFF02H	ポート・レジスタ2	P2	R/W			-	00H
FFF03H	ポート・レジスタ3	P3	R/W			-	00H
FFF04H	ポート・レジスタ4	P4	R/W			-	00H
FFF05H	ポート・レジスタ5	P5	R/W			-	00H
FFF06H	ポート・レジスタ6	P6	R/W			-	00H
FFF07H	ポート・レジスタ7	P7	R/W			-	00H
FFF08H	ポート・レジスタ8	P8	R/W			-	00H
FFF0BH	ポート・レジスタ11	P11	R/W			-	00H
FFF0CH	ポート・レジスタ12	P12	R/W			-	不定
FFF0DH	ポート・レジスタ13	P13	R/W			-	00H
FFF0EH	ポート・レジスタ14	P14	R/W			-	00H
FFF0FH	ポート・レジスタ15	P15	R/W			-	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	SDR00	R/W	-		0000H
FFF11H					-	-	
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	SDR01	R/W	-		0000H
FFF13H					-	-	
FFF14H	シリアル・データ・レジスタ12	TXD3	SDR12	R/W	-		0000H
FFF15H					-	-	
FFF16H	シリアル・データ・レジスタ13	RXD3	SDR13	R/W	-		0000H
FFF17H					-	-	
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	-	-	0000H
FFF19H							
FFF1AH	タイマ・データ・レジスタ01	TDR01		R/W	-	-	0000H
FFF1BH							
FFF1CH	8ビットD/A変換値設定レジスタ0	DACS0		R/W		-	00H
FFF1DH	8ビットD/A変換値設定レジスタ1	DACS1		R/W		-	00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	-	-	0000H
FFF1FH		8ビットA/D変換結果レジスタ	ADCRH		R	-	-
FFF20H	ポート・モード・レジスタ0	PM0		R/W		-	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W		-	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W		-	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W		-	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W		-	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W		-	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W		-	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W		-	FFH
FFF28H	ポート・モード・レジスタ8	PM8		R/W		-	FFH
FFF2BH	ポート・モード・レジスタ11	PM11		R/W		-	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W		-	FFH
FFF2DH	ポート・モード・レジスタ13	PM13		R/W		-	FEH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W		-	FFH

表3-5 SFR一覧(2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF2FH	ポート・モード・レジスタ15	PM15		R/W			-	FFH
FFF30H	A/Dコンバータ・モード・レジスタ	ADM		R/W			-	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W			-	00H
FFF32H	D/Aコンバータ・モード・レジスタ	DAM		R/W			-	00H
FFF37H	キー・リターン・モード・レジスタ	KRM		R/W			-	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W			-	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W			-	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W			-	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W			-	00H
FFF3CH	入力切り替え制御レジスタ	ISC		R/W			-	00H
FFF3EH	タイマ入力選択レジスタ0	TIS0		R/W			-	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/ SIO10	SDR02	R/W	-			0000H
FFF45H		-			-	-		
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	-			0000H
FFF47H		-			-	-		
FFF48H	シリアル・データ・レジスタ10	TXD2/ SIO20	SDR10	R/W	-			0000H
FFF49H		-			-	-		
FFF4AH	シリアル・データ・レジスタ11	RXD2	SDR11	R/W	-			0000H
FFF4BH		-			-	-		
FFF50H	IICシフト・レジスタ0	IIC0		R/W	-		-	00H
FFF51H	IICフラグ・レジスタ0	IICF0		R/W			-	00H
FFF52H	IICコントロール・レジスタ0	IICC0		R/W			-	00H
FFF53H	IICスレーブ・アドレス・レジスタ0	SVA0		R/W	-		-	00H
FFF54H	IICクロック選択レジスタ0	IICCL0		R/W			-	00H
FFF55H	IIC機能拡張レジスタ0	IICX0		R/W			-	00H
FFF56H	IIC状態レジスタ0	IICS0		R			-	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	-	-		0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03		R/W	-	-		0000H
FFF67H								
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	-	-		0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	-	-		0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	-	-		0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	-	-		0000H
FFF6FH								

表3-5 SFR一覧(3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF90H FFF91H	サブカウント・レジスタ	RSUBC	R	-	-		0000H
FFF92H	秒カウント・レジスタ	SEC	R/W	-		-	00H
FFF93H	分カウント・レジスタ	MIN	R/W	-		-	00H
FFF94H	時カウント・レジスタ	HOUR	R/W	-		-	12H ^{注1}
FFF95H	曜日カウント・レジスタ	WEEK	R/W	-		-	00H
FFF96H	日カウント・レジスタ	DAY	R/W	-		-	01H
FFF97H	月カウント・レジスタ	MONTH	R/W	-		-	01H
FFF98H	年カウント・レジスタ	YEAR	R/W	-		-	00H
FFF99H	時計誤差補正レジスタ	SUBCUD	R/W	-		-	00H
FFF9AH	アラーム分レジスタ	ALARMWWM	R/W	-		-	00H
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	-		-	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	-		-	00H
FFF9DH	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W			-	00H
FFF9EH	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W			-	00H
FFF9FH	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W			-	00H
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	-		-	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W			-	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	-		-	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W			-	09H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W			-	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W			-	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H ^{注2}
FFFA9H	低電圧検出レジスタ	LVIM	R/W			-	00H ^{注3}
FFFAAH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	0EH ^{注4}
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1A/9A ^{注5}
FFFACH	-	TTBLH ^{注6}	-	-	-	-	不定
FFFADH	-						
FFFAEH	-	TTBLL ^{注6}	-	-	-	-	不定
FFF AFH	-						

注1. リセット後に、AMPMMビット (RTCC0レジスタのビット3) に1をセットした場合は00Hとなります。

2. RESFのリセット値は、リセット要因により変化します。

3. LVIMのリセット値は、リセット要因およびオプション・バイトの設定により変化します。

4. LVISのリセット値は、リセット要因により変化します。

5. WDTEのリセット値は、オプション・バイトの設定で決定します。

6. ユーザが使用不可のSFRのため、直接操作しないでください。

表3-5 SFR一覧(4/5)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	-		-	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	-		-	00H
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	-			00H
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	-			00H
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	-			00H
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	-			00H
FFFB6H	DMA バイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	-			00H
FFFB7H	DMA バイト・カウント・レジスタ0H	DBC0H		R/W	-			00H
FFFB8H	DMA バイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	-			00H
FFFB9H	DMA バイト・カウント・レジスタ1H	DBC1H		R/W	-			00H
FFFB AH	DMA モード・コントロール・レジスタ0	DMC0		R/W			-	00H
FFFB BH	DMA モード・コントロール・レジスタ1	DMC1		R/W			-	00H
FFFB CH	DMA 動作コントロール・レジスタ0	DRC0		R/W			-	00H
FFFB DH	DMA 動作コントロール・レジスタ1	DRC1		R/W			-	00H
FFFB EH	バックグラウンド・イベント・コントロール・レジスタ	BECTL		R/W			-	00H
FFFC0H	-	PFCMD ^注		-	-	-	-	不定
FFFC2H	-	PFS ^注		-	-	-	-	不定
FFFC4H	-	FLPMC ^注		-	-	-	-	不定
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W				00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W				00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W				FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W				FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W				FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W				FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W				FFH
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W				FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W				00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W				00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W				00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W				00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W				FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W				FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W				FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W				FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W				FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W				FFH
FFFE AH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W				FFH
FFFE BH	優先順位指定フラグ・レジスタ01H	PR01H		R/W				FFH

注 セルフ・プログラミング・ライブラリ内で使用するSFRのため、直接操作しないでください。

表3-5 SFR一覧(5/5)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W				FFH
FF FEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W				FFH
FFFE EH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W				FFH
FFFE FH	優先順位指定フラグ・レジスタ11H	PR11H		R/W				FFH
FFFF0H	乗算入力データ・レジスタA	MULA		R/W	-	-		0000H
FFFF1H								
FFFF2H	乗算入力データ・レジスタB	MULB		R/W	-	-		0000H
FFFF3H								
FFFF4H	上位乗算結果格納レジスタ	MULOH		R	-	-		0000H
FFFF5H								
FFFF6H	下位乗算結果格納レジスタ	MULOL		R	-	-		0000H
FFFF7H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W			-	00H
FFFFFH	メモリ拡張モード制御レジスタ	MEM		R/W			-	00H

備考 拡張SFR(2nd SFR)については、表3-6 拡張SFR(2nd SFR)一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

各操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 8ビット操作

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R, ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

表3 - 6 拡張SFR (2nd SFR) 一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0017H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	-		-	10H
F0030H	ブルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H
F0031H	ブルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H
F0033H	ブルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H
F0034H	ブルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H
F0035H	ブルアップ抵抗オプション・レジスタ5	PU5	R/W			-	00H
F0036H	ブルアップ抵抗オプション・レジスタ6	PU6	R/W			-	00H
F0037H	ブルアップ抵抗オプション・レジスタ7	PU7	R/W			-	00H
F0038H	ブルアップ抵抗オプション・レジスタ8	PU8	R/W			-	00H
F003CH	ブルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H
F003DH	ブルアップ抵抗オプション・レジスタ13	PU13	R/W			-	00H
F003EH	ブルアップ抵抗オプション・レジスタ14	PU14	R/W			-	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W			-	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W			-	00H
F004EH	ポート入力モード・レジスタ14	PIM14	R/W			-	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W			-	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W			-	00H
F005EH	ポート出力モード・レジスタ14	POM14	R/W			-	00H
F0060H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W			-	00H
F0061H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W			-	00H
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W			-	00H
F00F1H	周辺イネーブル・レジスタ1	PER1	R/W			-	00H
F00F2H	高速内蔵発振器トリミング・レジスタ	HIOTRM	R/W	-		-	10H
F00F3H	動作スピード・モード制御レジスタ	OSMC	R/W	-		-	00H
F00F4H	レギュレータ・モード制御レジスタ	RMC	R/W	-		-	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	-		-	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	-		0000H
F0101H		-			-	-	
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	-		0000H
F0103H		-			-	-	
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	-		0000H
F0105H		-			-	-	
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	-		0000H
F0107H		-			-	-	
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	-		0000H
F0109H		-			-	-	
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	-		0000H
F010BH		-			-	-	
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	-		0000H
F010DH		-			-	-	
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	-		0000H
F010FH		-			-	-	

表3-6 拡張SFR (2nd SFR) 一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	-	-		0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	-	-		0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	-	-		0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	-	-		0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	-	-		0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	-	-		0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	-	-		0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	-	-		0087H
F011FH								
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R				0000H
F0121H		-			-	-		
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W				0000H
F0123H		-			-	-		
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W				0000H
F0125H		-			-	-		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	-			0000H
F0127H		-			-	-		
F0128H	シリアル出力レジスタ0	SO0		R/W	-	-		0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W				0000H
F012BH		-			-	-		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOLO	R/W	-			0000H
F0135H		-			-	-		
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	-			0000H
F0141H		-			-	-		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	-			0000H
F0143H		-			-	-		
F0144H	シリアル・ステータス・レジスタ12	SSR12L	SSR12	R	-			0000H
F0145H		-			-	-		
F0146H	シリアル・ステータス・レジスタ13	SSR13L	SSR13	R	-			0000H
F0147H		-			-	-		
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	-			0000H
F0149H		-			-	-		
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	-			0000H
F014BH		-			-	-		

表3 - 6 拡張SFR (2nd SFR) 一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F014CH	シリアル・フラグ・クリア・トリガ・レジスタ12	SIR12L	SIR12	R/W	-			0000H
F014DH		-			-			
F014EH	シリアル・フラグ・クリア・トリガ・レジスタ13	SIR13L	SIR13	R/W	-			0000H
F014FH		-			-			
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	-	-		0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	-	-		0020H
F0153H								
F0154H	シリアル・モード・レジスタ12	SMR12		R/W	-	-		0020H
F0155H								
F0156H	シリアル・モード・レジスタ13	SMR13		R/W	-	-		0020H
F0157H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	-	-		0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	-	-		0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ12	SCR12		R/W	-	-		0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ13	SCR13		R/W	-	-		0087H
F015FH								
F0160H	シリアル・チャンネル許可ステータス・レジスタ1	SE1L	SE1	R				0000H
F0161H		-			-			
F0162H	シリアル・チャンネル開始レジスタ1	SS1L	SS1	R/W				0000H
F0163H		-			-			
F0164H	シリアル・チャンネル停止レジスタ1	ST1L	ST1	R/W				0000H
F0165H		-			-			
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	-			0000H
F0167H		-			-			
F0168H	シリアル出力レジスタ1	SO1		R/W	-	-		0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W				0000H
F016BH		-			-			
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	-			0000H
F0175H		-			-			
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-		FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-		FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-		FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	-	-		FFFFH
F0187H								

表3 - 6 拡張SFR (2nd SFR) 一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0188H	タイマ・カウンタ・レジスタ04	TCR04	R	-	-		FFFFH
F0189H							
F018AH	タイマ・カウンタ・レジスタ05	TCR05	R	-	-		FFFFH
F018BH							
F018CH	タイマ・カウンタ・レジスタ06	TCR06	R	-	-		FFFFH
F018DH							
F018EH	タイマ・カウンタ・レジスタ07	TCR07	R	-	-		FFFFH
F018FH							
F0190H	タイマ・モード・レジスタ00	TMR00	R/W	-	-		0000H
F0191H							
F0192H	タイマ・モード・レジスタ01	TMR01	R/W	-	-		0000H
F0193H							
F0194H	タイマ・モード・レジスタ02	TMR02	R/W	-	-		0000H
F0195H							
F0196H	タイマ・モード・レジスタ03	TMR03	R/W	-	-		0000H
F0197H							
F0198H	タイマ・モード・レジスタ04	TMR04	R/W	-	-		0000H
F0199H							
F019AH	タイマ・モード・レジスタ05	TMR05	R/W	-	-		0000H
F019BH							
F019CH	タイマ・モード・レジスタ06	TMR06	R/W	-	-		0000H
F019DH							
F019EH	タイマ・モード・レジスタ07	TMR07	R/W	-	-		0000H
F019FH							
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	-		0000H
F01A1H		-			-		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	-		0000H
F01A3H		-			-		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	-		0000H
F01A5H		-			-		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	-		0000H
F01A7H		-			-		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	-		0000H
F01A9H		-			-		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	-		0000H
F01ABH		-			-		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	-		0000H
F01ADH		-			-		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	-		0000H
F01AFH		-			-		

表3 - 6 拡張SFR (2nd SFR) 一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B0H	タイマ・チャンネル許可ステータス・レジスタ0	TE0L	TE0	R				0000H
F01B1H		-			-	-		
F01B2H	タイマ・チャンネル開始レジスタ0	TS0L	TS0	R/W				0000H
F01B3H		-			-	-		
F01B4H	タイマ・チャンネル停止レジスタ0	TT0L	TT0	R/W				0000H
F01B5H		-			-	-		
F01B6H	タイマ・クロック選択レジスタ0	TPS0L	TPS0	R/W	-			0000H
F01B7H		-			-	-		
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	-			0000H
F01B9H		-			-	-		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W				0000H
F01BBH		-			-	-		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	-			0000H
F01BDH		-			-	-		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	-			0000H
F01BFH		-			-	-		

備考 SFR領域のSFRについては、表3 - 5 SFR一覧を参照してください。

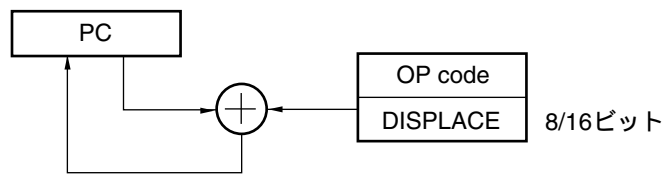
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレイメント値（符号付きの補数データ：-128～+127または-32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3-22 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3-23 CALL !!addr20/BR !!addr20の例

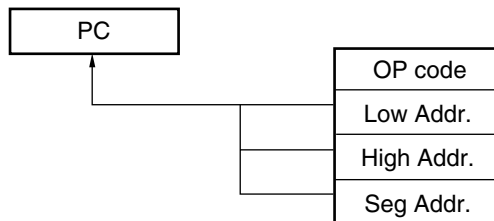
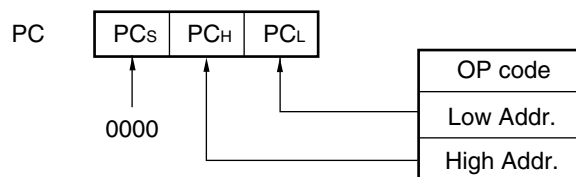


図3-24 CALL !addr16/BR !addr16の例



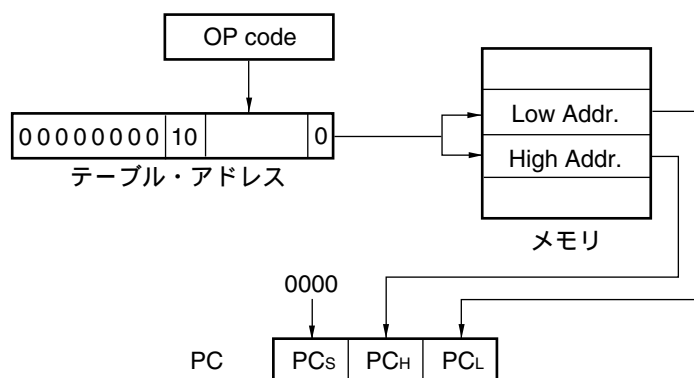
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

78K0Rマイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 25 テーブル・インダイレクト・アドレッシングの概略

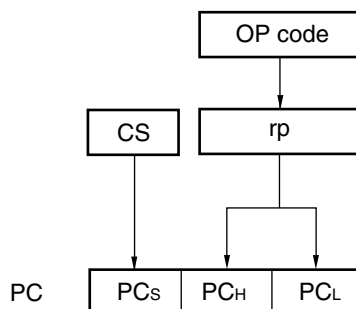


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 26 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

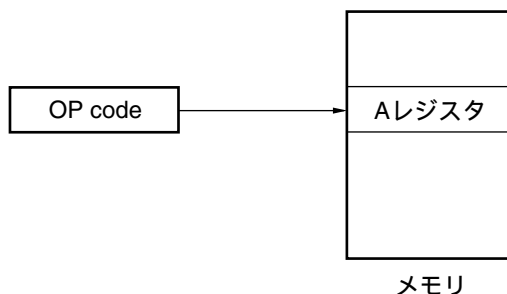
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。
インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 27 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

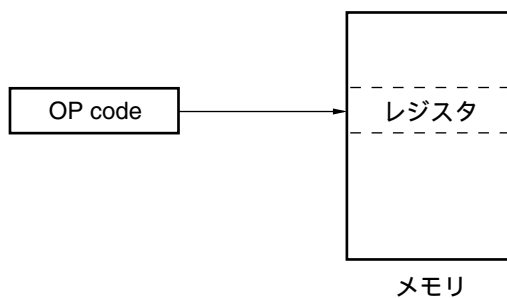
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 28 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:ADDR16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 29 ADDR16の例

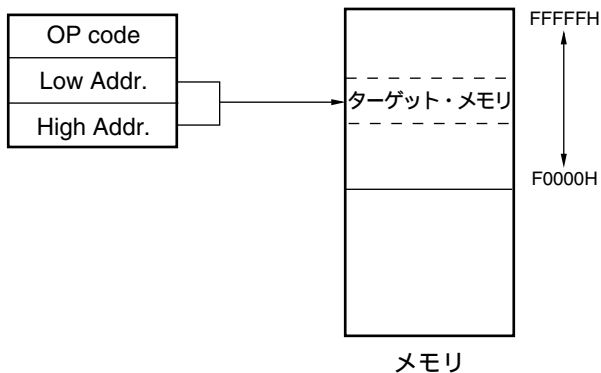
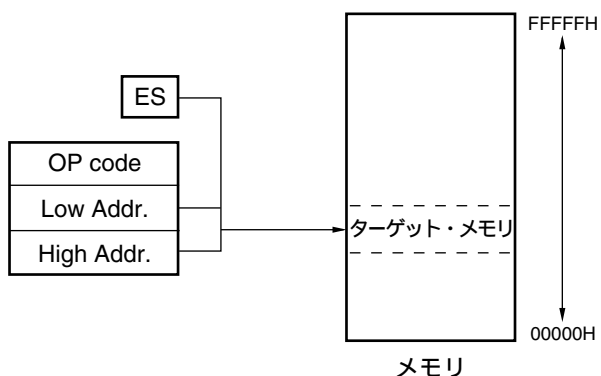


図3 - 30 ES:ADDR16の例



3.4.4 ショート・ダイレクト・アドレッシング

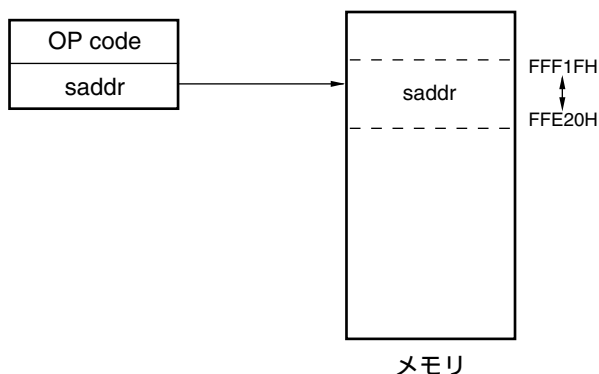
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 31 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミューディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミューディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

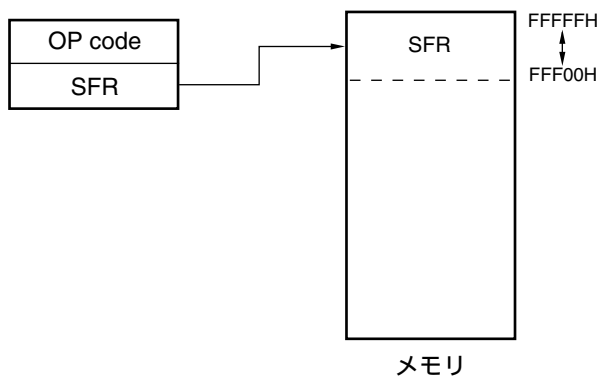
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3 - 32 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[DE] , [HL] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[DE] , ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 33 [DE] , [HL]の例

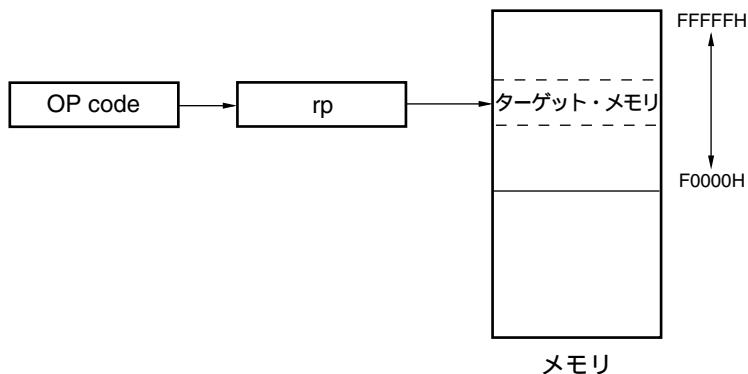
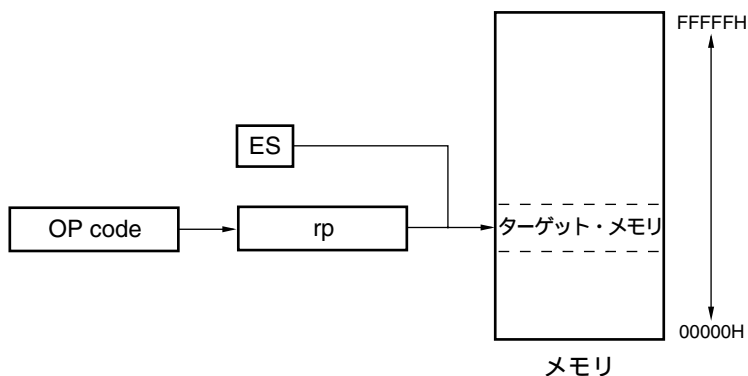


図3 - 34 ES:[DE] , ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
-	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
-	word[BC] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 35 [SP+byte]の例

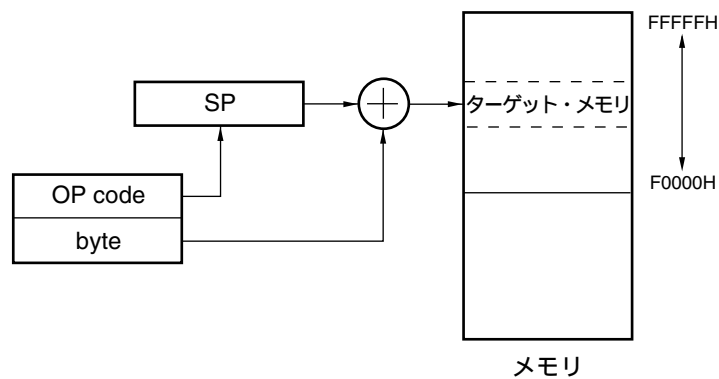


図3 - 36 [HL+byte] , [DE+byte]の例

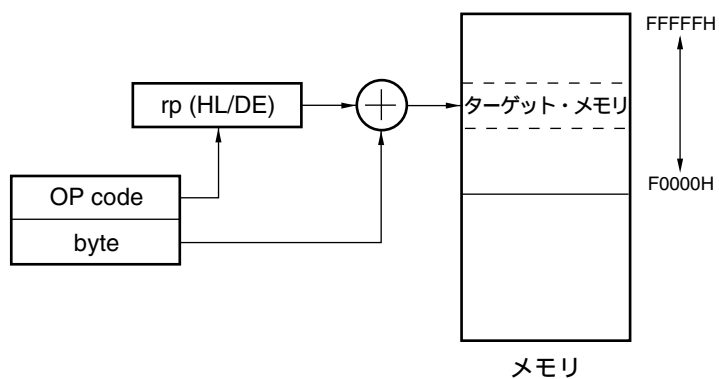


図3 - 37 word[B] , word[C]の例

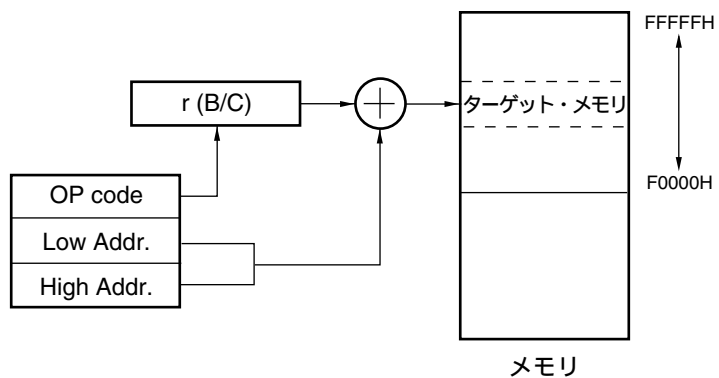


図3 - 38 word[BC]の例

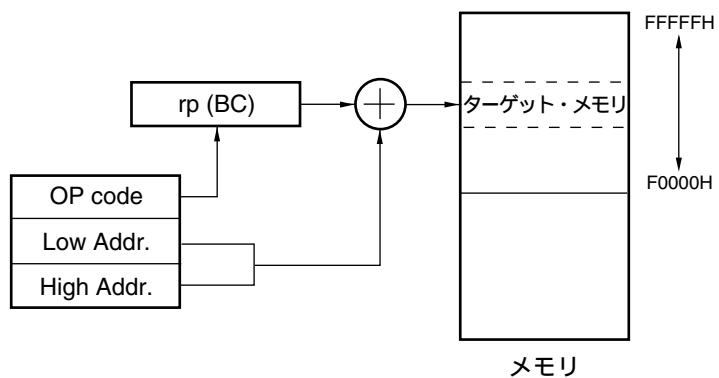


図3 - 39 ES:[HL+byte] , ES:[DE+byte]の例

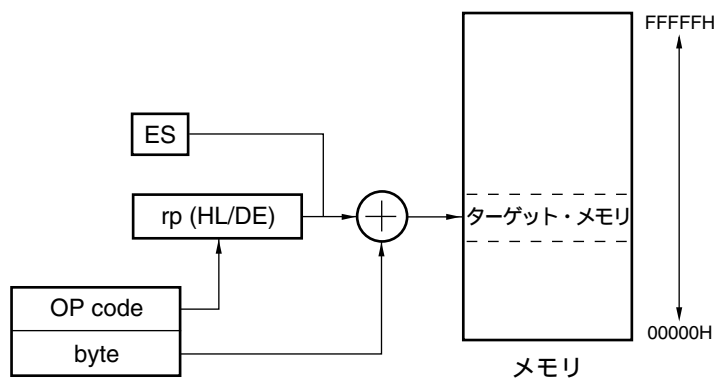


図3 - 40 ES:word[B] , ES:word[C]の例

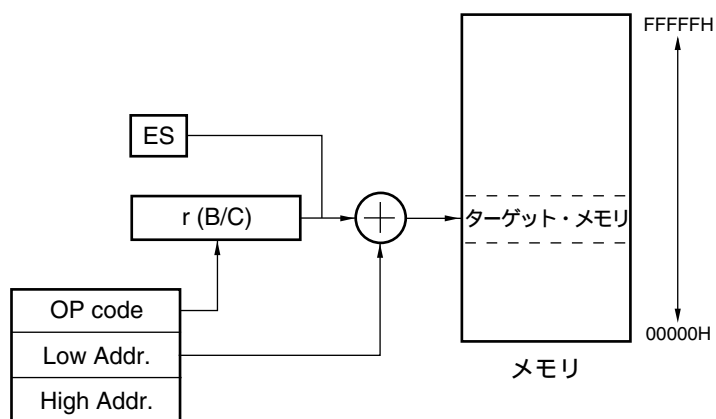
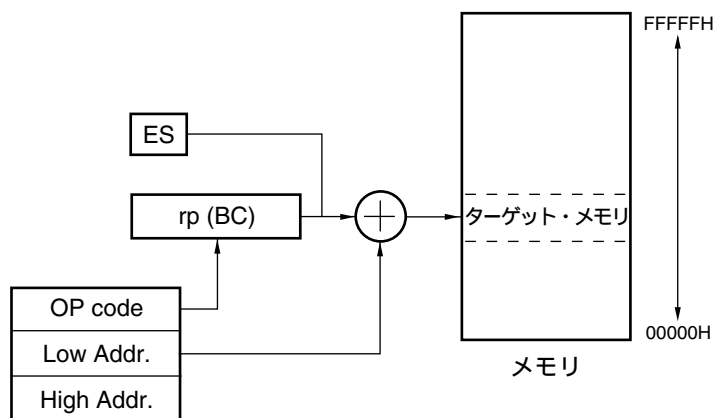


図3 - 41 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + B] , [HL + C] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + B] , ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 42 [HL+B] , [HL+C]の例

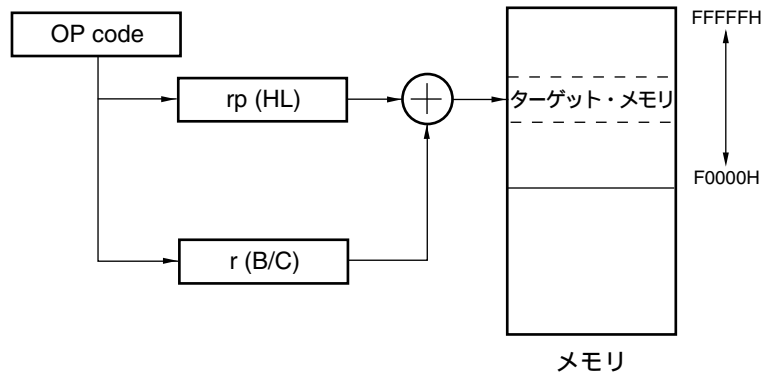
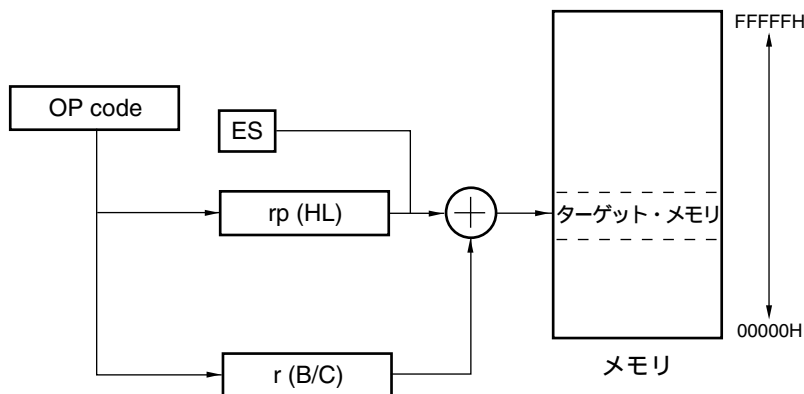


図3 - 43 ES:[HL+B] , ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAMのみに用いられます。

【オペランド形式】

表現形式	記述方法
-	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、 AV_{REF0} 、 AV_{REF1} 、 EV_{DD0} 、 EV_{DD1} 、 V_{DD} の5系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源

電源	対応する端子
AV_{REF0}	P20-P27, P150-P157
AV_{REF1}	P110, P111
EV_{DD0} , EV_{DD1}	<ul style="list-style-type: none"> ・ P20-P27, P110, P111, P121-P124, P150-P157以外のポート端子 ・ \overline{RESET}端子, FLMD0端子
V_{DD}	<ul style="list-style-type: none"> ・ P121-P124 ・ ポート以外の端子 (\overline{RESET}端子, FLMD0端子を除く)

78K0R/KG3は、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 2のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章端子機能を参照してください。

図4 - 1 ポートの種類

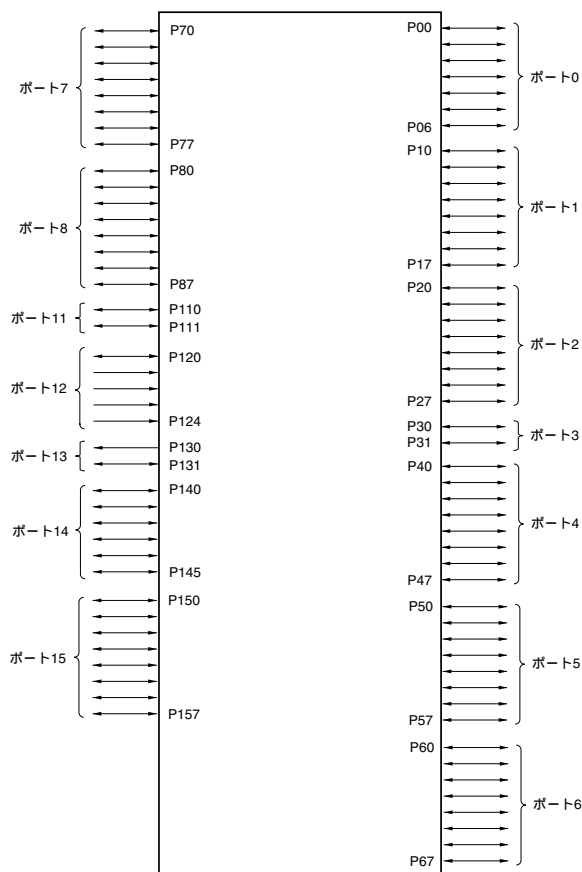


表4-2 ポートの機能 (1/2)

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 7ビット入出力ポート。 P03, P04の入力はTTL入力バッファに設定可能。 P02-P04の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TI00
P01				TO00
P02				SO10/TxD1
P03				SI10/RxD1/SDA10
P04				SCK10/SCL10
P05				CLKOUT
P06				WAIT
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SCK00/EX24
P11				SI00/RxD0/EX25
P12				SO00/TxD0/EX26
P13				TxD3/EX27
P14				RxD3/EX28
P15				RTCDIV/RTCCL/ EX29
P16				TI01/TO01/INTP5/ EX30
P17				TI02/TO02/EX31
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル 入力ポート	ANI0-ANI7
P30	入出力	ポート3。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	RTC1HZ/INTP3
P31				TI03/TO03/INTP4
P40 ^注	入出力	ポート4。 8ビット入出力ポート。 P43, P44の入力はTTL入力バッファに設定可能。 P43, P45の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P42				TI04/TO04
P43				SCK01
P44				SI01
P45				SO01
P46				INTP1/TI05/TO05
P47				INTP2
P50-P57	入出力	ポート5。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	EX8-EX15

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は, 必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P47 (Port 4) の注意文参照)。

表4-2 ポートの機能 (2/2)

機能名称	入出力	機能	リセット時	兼用機能
P60	入出力	ポート6。 8ビット入出力ポート。 P60-P63の出力はN-chオープン・ドレイン出力（6V耐圧）。 1ビット単位で入力/出力の指定可能。 P64-P67のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCL0
P61				SDA0
P62				-
P63				-
P64				$\overline{\text{RD}}$
P65				$\overline{\text{WR0}}$
P66				$\overline{\text{WR1}}$
P67				ASTB
P70-P73	入出力	ポート7。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0/EX16- KR3/EX19
P74-P77				KR4/EX20/INTP8- KR7/EX23/INTP11
P80-P87	入出力	ポート8。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	EX0-EX7
P110	入出力	ポート11。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	入力ポート	ANO0
P111				ANO1
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P130	出力	ポート13。	出力ポート	-
P131	入出力	1ビット出力専用ポートと1ビット入出力ポート。 P131のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI06/TO06
P140	入出力	ポート14。 6ビット入出力ポート。 P142, P143の入力はTTL入力バッファに設定可能。 P142-P144の出力はN-chオープン・ドレイン出力（V _{DD} 耐圧）に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	PCLBUZ0/INTP6
P141				PCLBUZ1/INTP7
P142				SCK20/SCL20
P143				SI20/RxD2/SDA20
P144				SO20/TxD2
P145				TI07/TO07
P150-P157	入出力	ポート15。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI8-ANI15

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-3 ポートの構成

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM8, PM11-PM15) ポート・レジスタ (P0-P8, P11-P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU8, PU12-PU14) ポート入力モード・レジスタ (PIM0, PIM4, PIM14) ポート出力モード・レジスタ (POM0, POM4, POM14) A/Dポート・コンフィギュレーション・レジスタ (ADPC)
ポート	合計：88本 (CMOS入出力：79本, CMOS入力：4本, CMOS出力：1本, N-chオープン・ドレイン入出力：4本)
プルアップ抵抗	合計：61本

4.2.1 ポート0

出力ラッチ付き7ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P06端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P03, P04端子の入力は、ポート入力モード・レジスタ0 (PIM0) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P02-P04端子の出力は、ポート出力モード・レジスタ0 (POM0) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

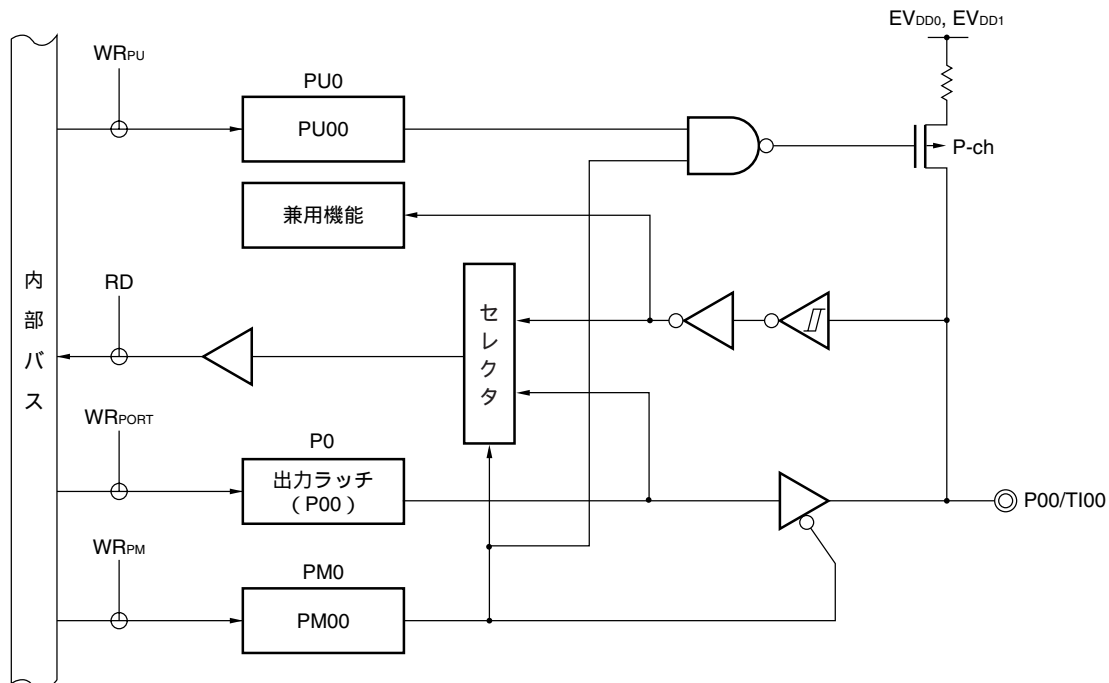
また、兼用機能としてタイマ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、内部システム・クロック出力、外部ウエイト信号入力があります。

リセット信号の発生により、入力モードになります。

図4-2~4-7にポート0のブロック図を示します。

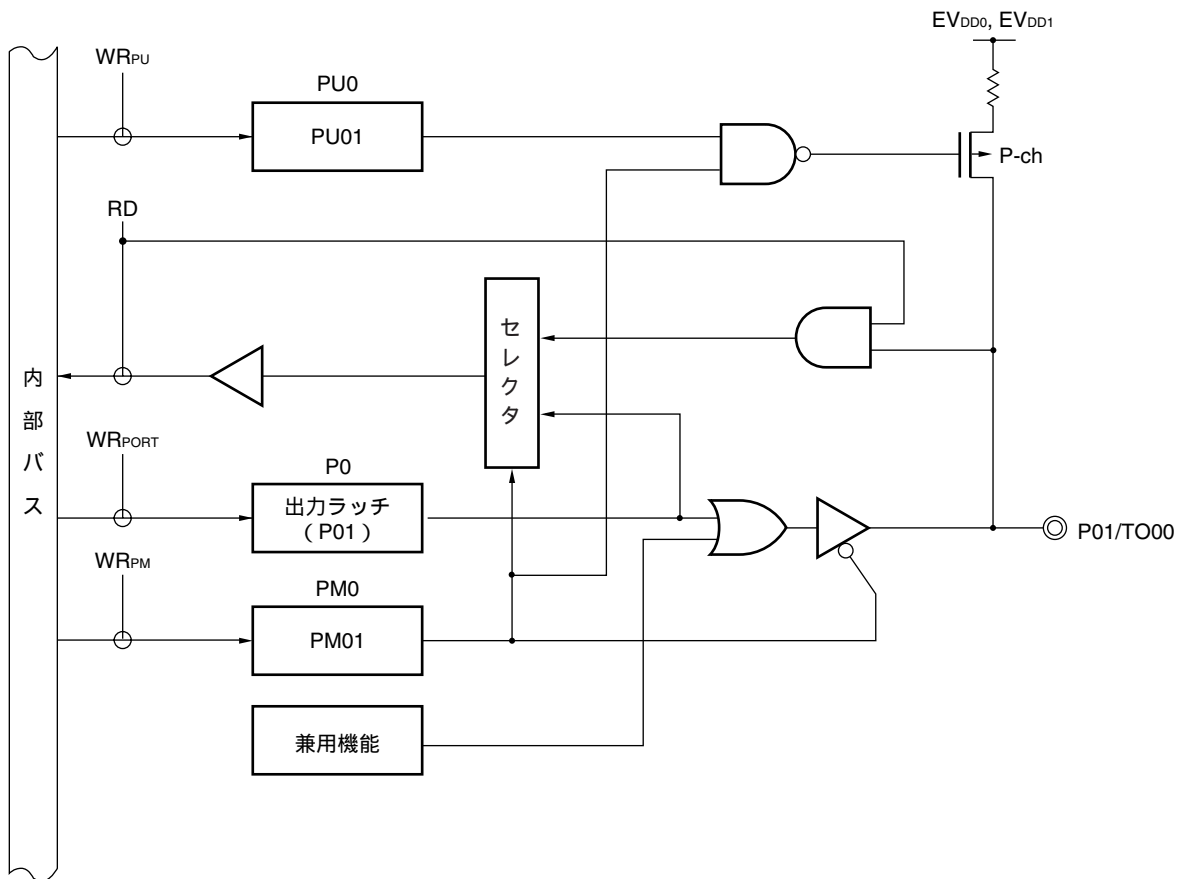
- 注意1.** P01/T000を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0 (TO00) とタイマ出力許可レジスタ0 (TOE0) のビット0 (TOE00) を初期状態と同じ設定“0”で使用してください。
- 2.** P02/SO10/TxD1, P03/SI10/RxD1/SDA10, P04/ $\overline{\text{SCK}}10/\text{SCL}10$ を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、次の表を参照してください。
- ・表13-7 レジスタの設定と端子の関係 (ユニット0のチャンネル2 : CS110, UART1送信, IIC10)
 - ・表13-8 レジスタの設定と端子の関係 (ユニット0のチャンネル3 : UART1受信)

図4-2 P00のブロック図



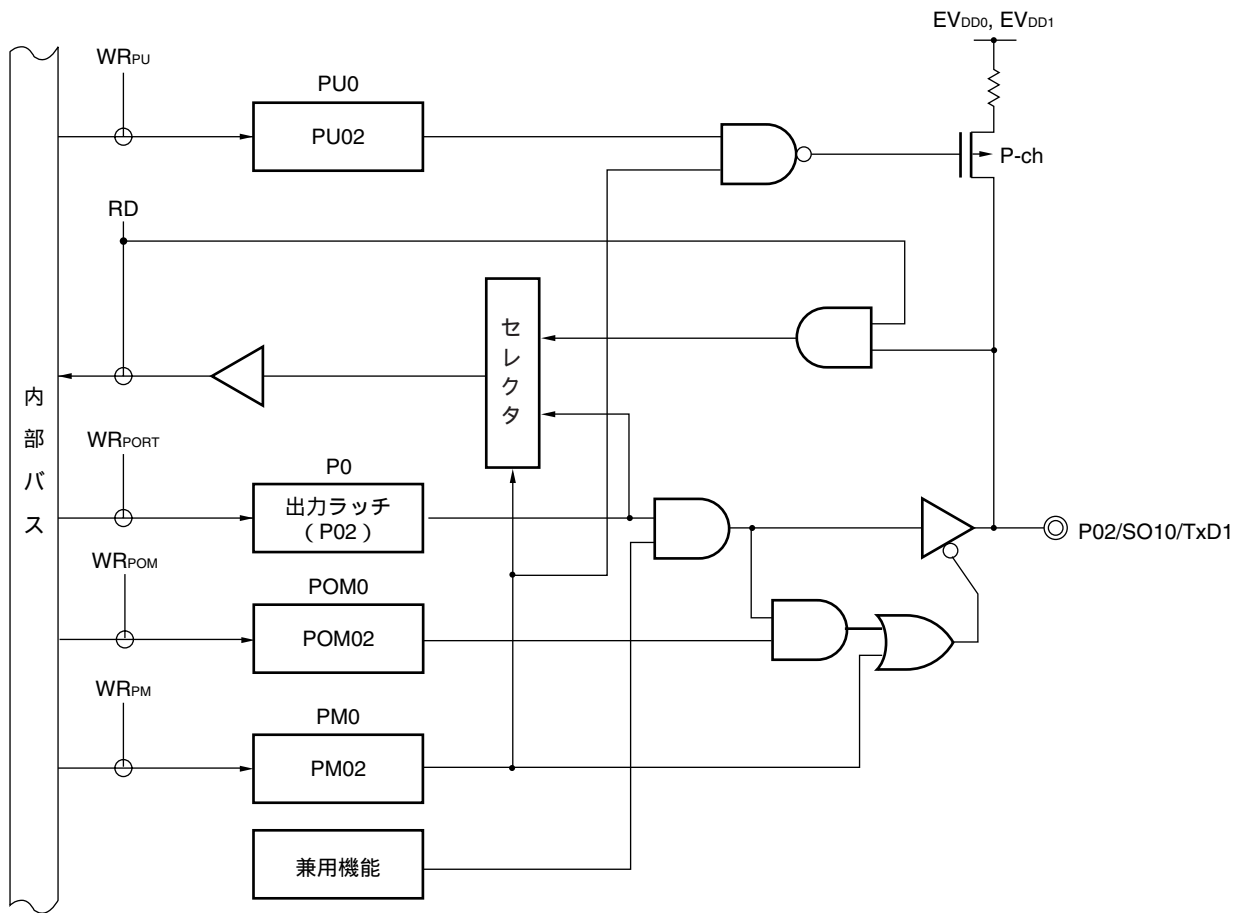
- P0 : ポート・レジスタ0
 PU0 : プルアップ抵抗オプション・レジスタ0
 PM0 : ポート・モード・レジスタ0
 RD : リード信号
 WR_x : ライト信号

図4 - 3 P01のブロック図



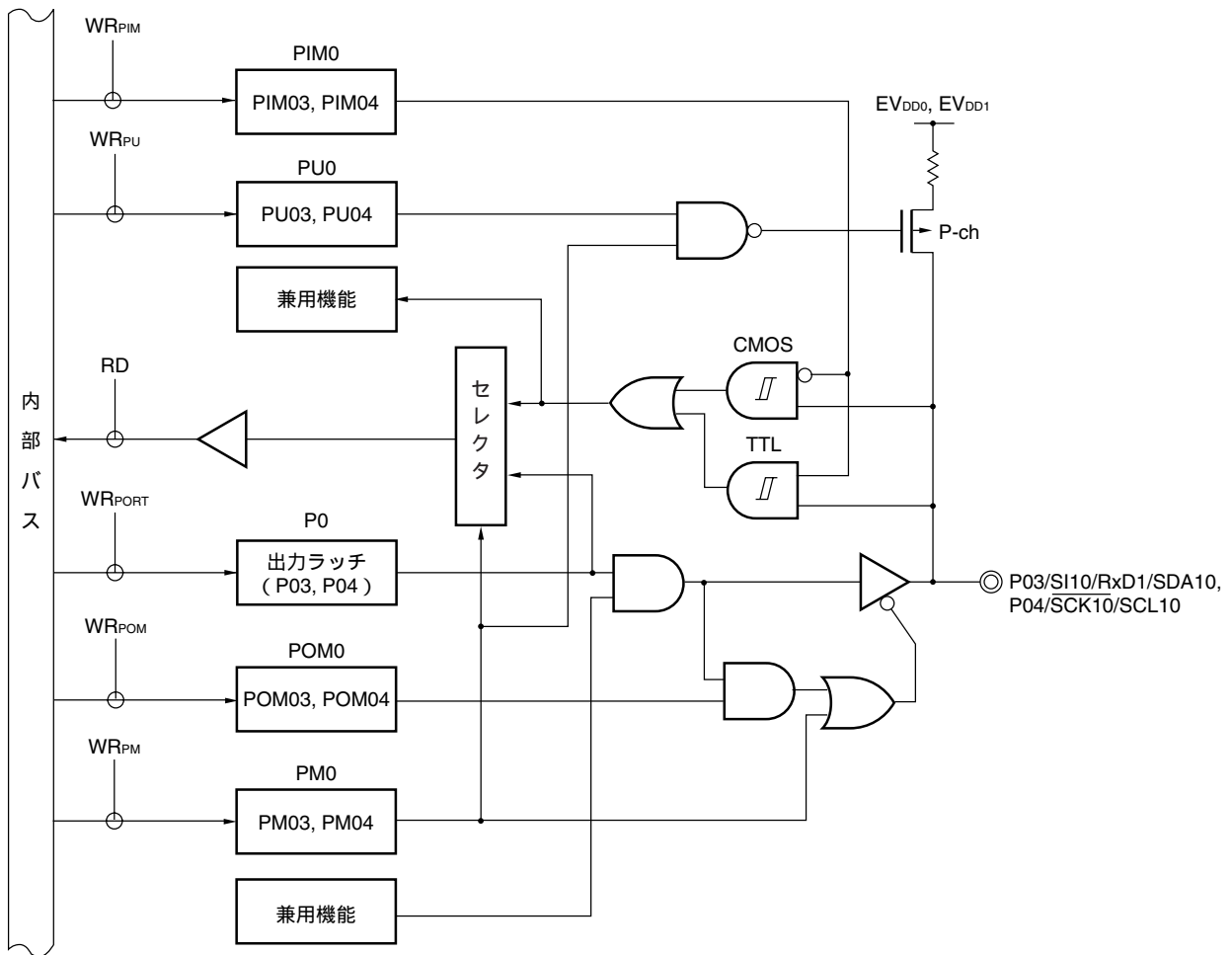
- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 4 P02のブロック図



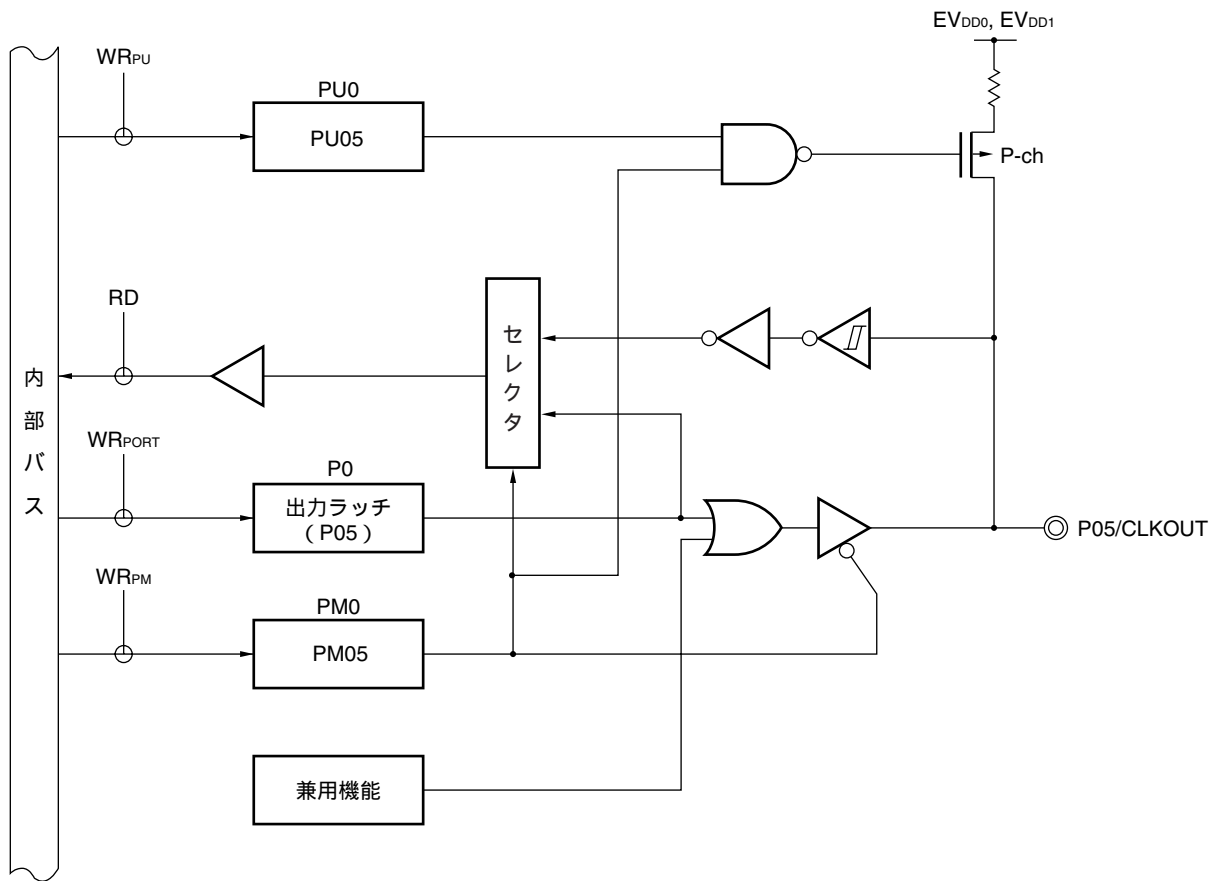
- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

図4 - 5 P03, P04のブロック図



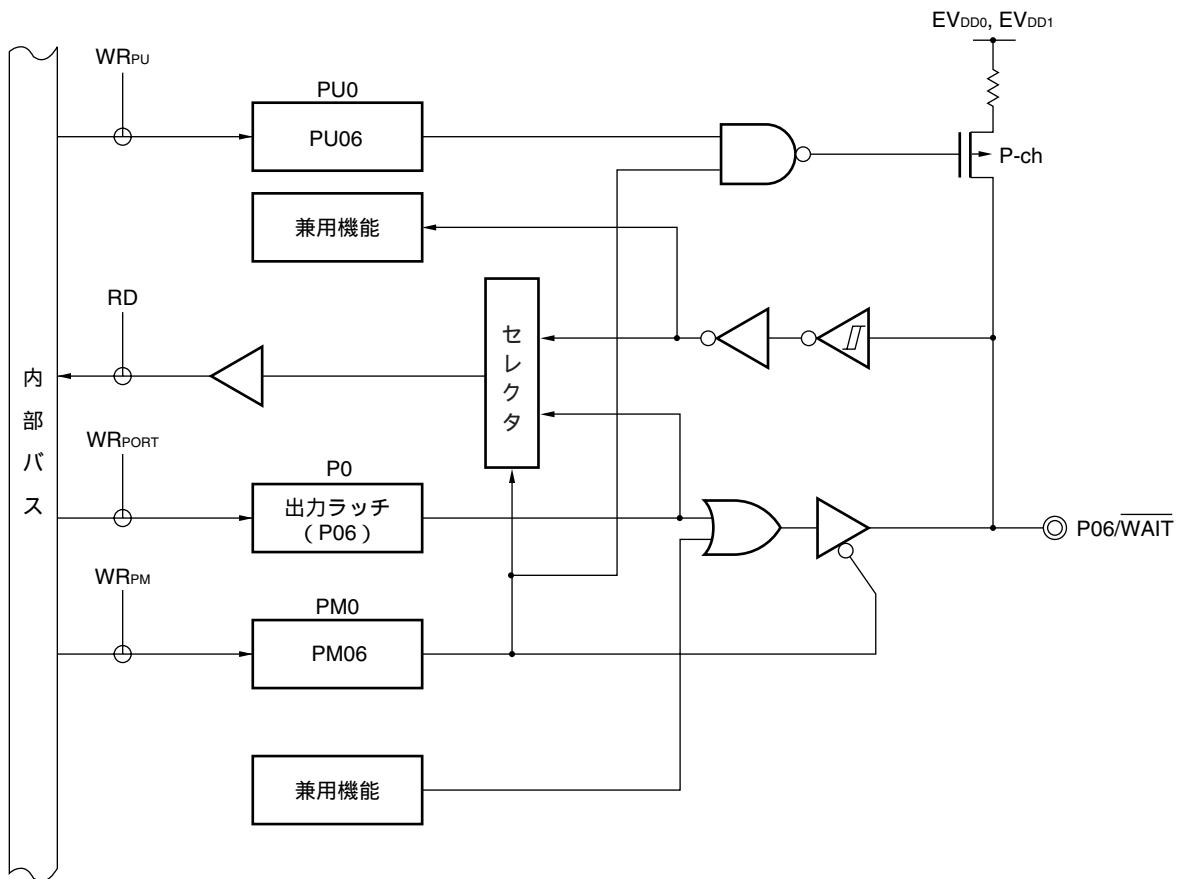
- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- PIM0 : ポート入力モード・レジスタ0
- POM0 : ポート出力モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

図4 - 6 P05のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 7 P06のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_{xx} : ライト信号

4.2.2 ポート1

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

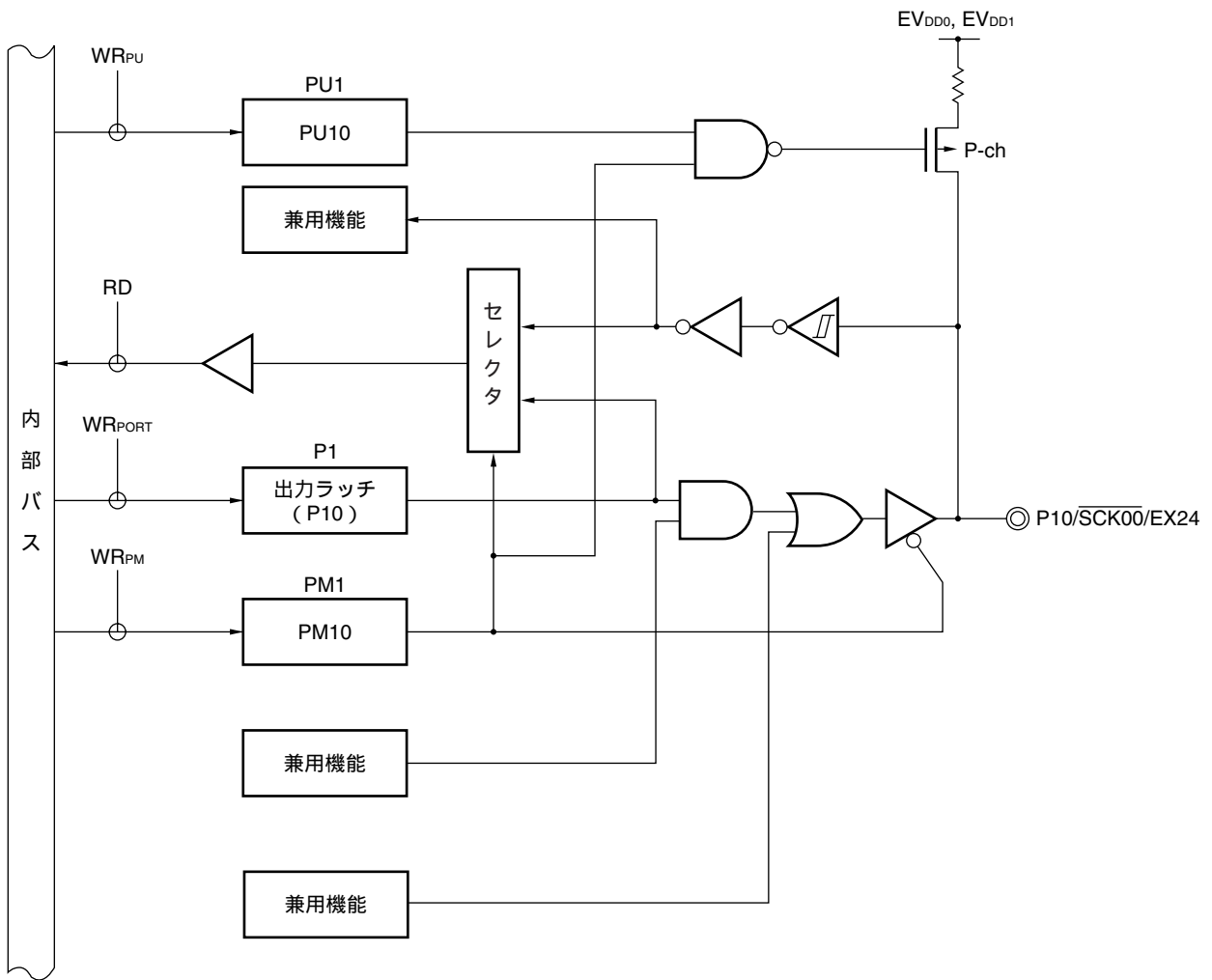
また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、リアルタイム・カウンタのクロック出力、外部拡張出力 (アドレス・バス) があります。

リセット信号の発生により、入力モードになります。

図4-8~4-12にポート1のブロック図を示します。

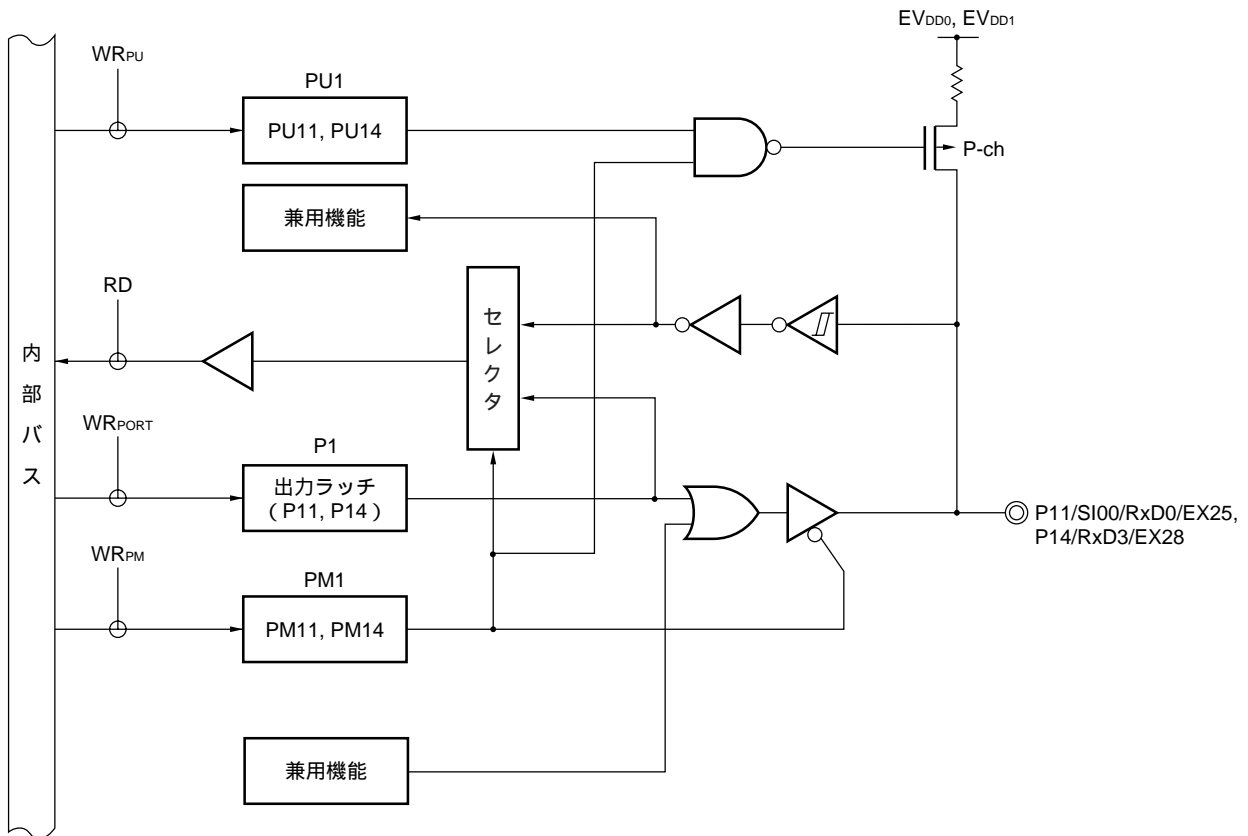
- 注意1.** P10/ $\overline{\text{SCK00}}$ /EX24, P11/SI00/RxD0/EX25, P12/SO00/TxD0/EX26, P13/TxD3/EX27, P14/RxD3/EX28を汎用ポートとして使用する場合、シリアル・アレイ・ユニットの設定に注意してください。詳細は、次の表を参照してください。
- ・表13-5 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : CSI00, UART0送信)
 - ・表13-6 レジスタの設定と端子の関係 (ユニット0のチャンネル1 : CSI01, UART0受信)
 - ・表13-11 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信)
 - ・表13-12 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信)
2. P16/TI01/TO01/INTP5/EX30, P17/TI02/TO02/EX31を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット1, 2 (TO01, TO02) とタイマ出力許可レジスタ0 (TOE0) のビット1, 2 (TOE01, TOE02) を初期状態と同じ設定 "0" で使用してください。
 3. P15/RTCDIV/RTCCCL/EX29を汎用ポートとして使用する場合、リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット4 (RCLOE0) とリアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のビット6 (RCLOE2) を初期状態と同じ設定 "0" で使用してください。
 4. 外部拡張出力 (アドレス・バス) 機能使用時は、その他の兼用機能を出力許可設定しないでください。

図4 - 8 P10のブロック図



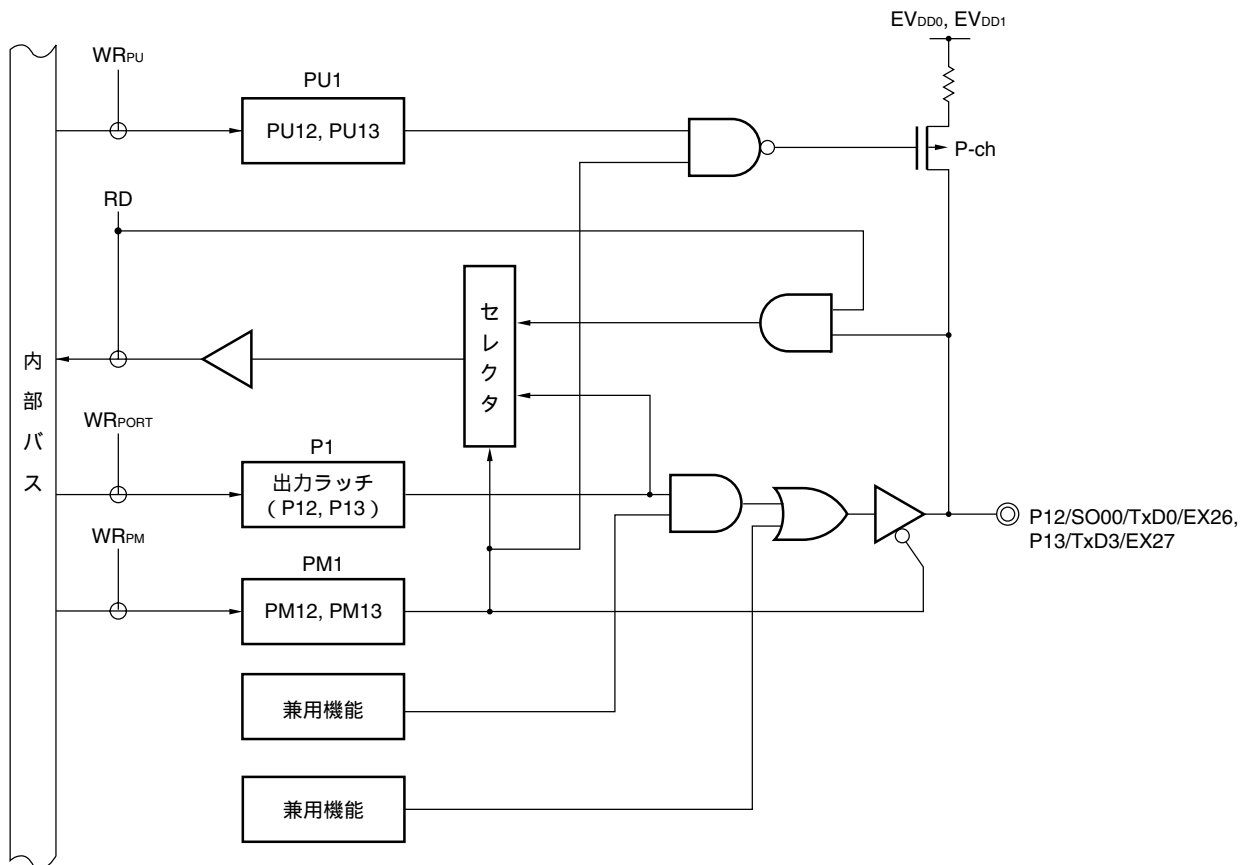
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4-9 P11, P14のブロック図



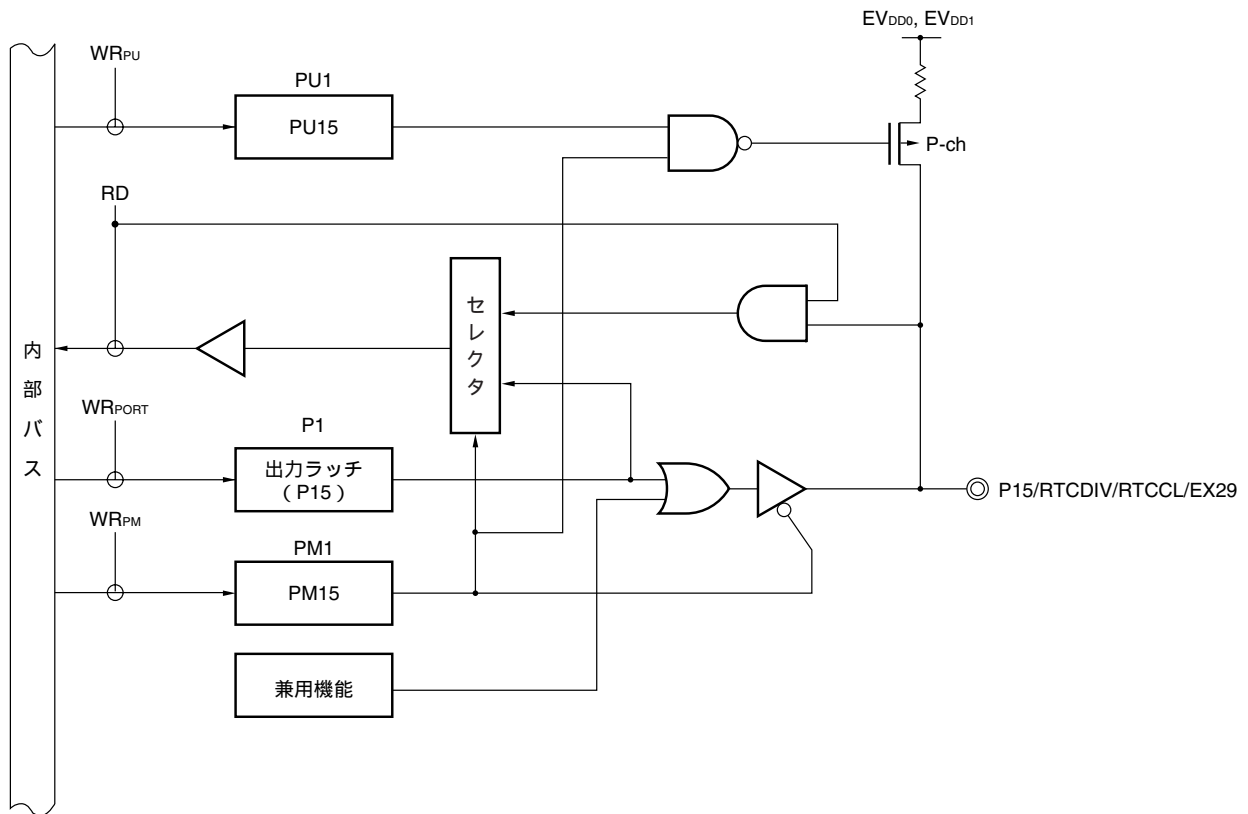
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_x : ライト信号

図4 - 10 P12, P13のブロック図



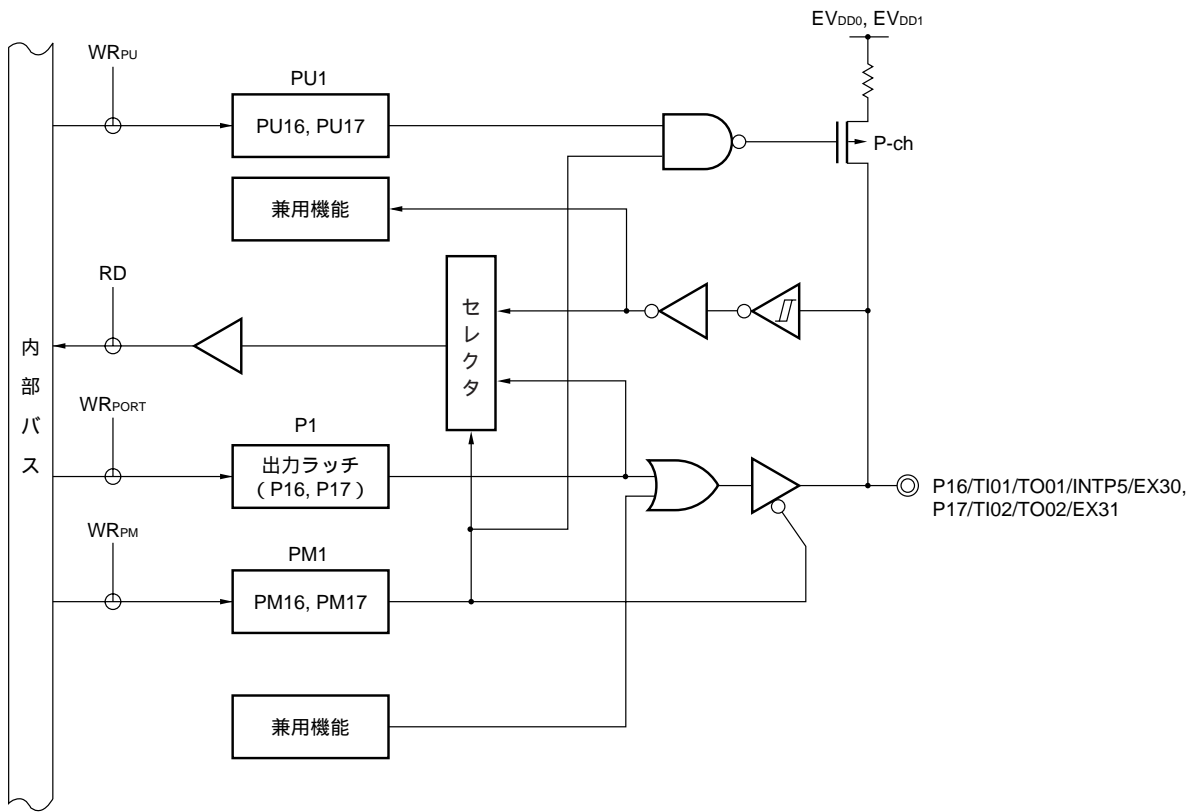
- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 11 P15のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 12 P16, P17のブロック図



- P1 : ポート・レジスタ1
- PU1 : プルアップ抵抗オプション・レジスタ1
- PM1 : ポート・モード・レジスタ1
- RD : リード信号
- WR_{xx} : ライト信号

4.2.3 ポート2

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P20/ANI0-P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM2で入力モードに設定して、下位ビットから使用してください。

P20/ANI0-P27/ANI7をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM2で出力モードに設定してください。

P20/ANI0-P27/ANI7をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM2で入力モードに設定して、上位ビットから使用してください。

表4 - 4 P20/ANI0-P27/ANI7端子機能の設定

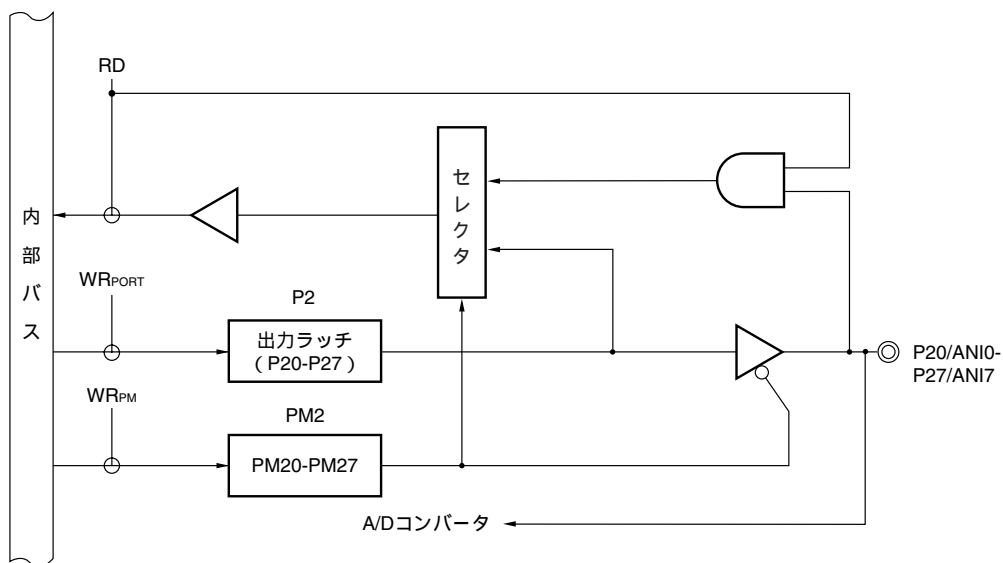
ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてデジタル入力になります。

図4 - 13にポート2のブロック図を示します。

注意 ポート2をデジタル入出力として使用する場合はAV_{REF0}端子への印加電圧については、2. 2. 15 AV_{REF0}を参照してください。

図4 - 13 P20-P27のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_x : ライト信号

4.2.4 ポート3

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。P30, P31端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

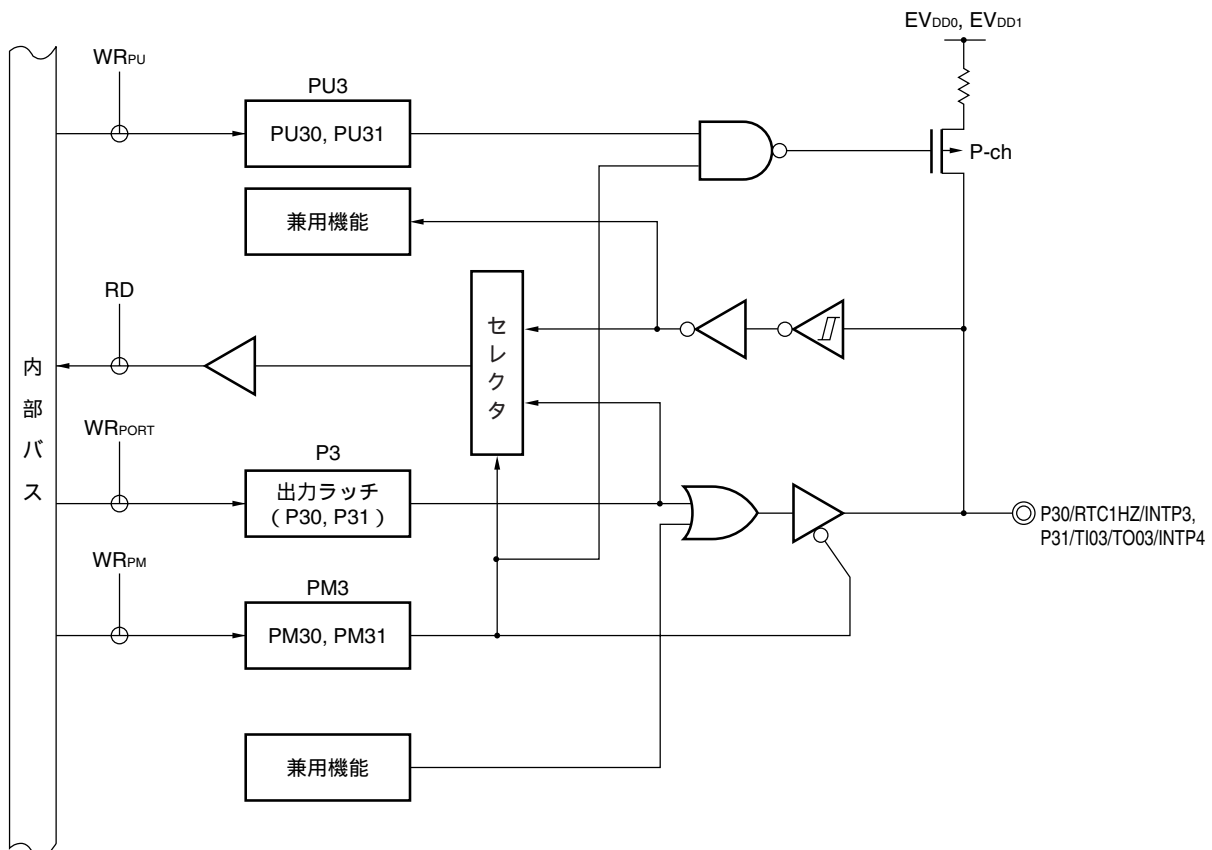
また、兼用機能として外部割り込み要求入力, タイマの入出力, リアルタイム・カウンタの補正クロック出力があります。

リセット信号の発生により, 入力モードになります。

図4 - 14にポート3のブロック図を示します。

- 注意1. P31/TI03/TO03/INTP4を汎用ポートとして使用する場合, タイマ出力レジスタ0 (TO0) のビット3 (TO03) とタイマ出力許可レジスタ0 (TOE0) のビット3 (TOE03) を初期状態と同じ設定 "0" で使用してください。
2. P30/RTC1HZ/INTP3を汎用ポートとして使用する場合, リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット5 (RCLOE1) を初期状態と同じ設定 "0" で使用してください。

図4 - 14 P30, P31のブロック図



- P3 : ポート・レジスタ3
 PU3 : プルアップ抵抗オプション・レジスタ3
 PM3 : ポート・モード・レジスタ3
 RD : リード信号
 WR_{xx} : ライト信号

4.2.5 ポート4

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ4(PM4)により1ビット単位で入力モード/出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4(PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます[※]。

P43, P44端子の入力は、ポート入力モード・レジスタ4(PIM4)の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P43, P45端子の出力は、ポート出力モード・レジスタ4(POM4)により1ビット単位でN-chオープン・ドレーン出力(V_{DD} 耐圧)に設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、フラッシュ・メモリ・プログラマ/デバッグ用データ入出力、クロック出力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4-15~4-22にポート4のブロック図を示します。

注 P40, P41端子は、ツール接続時にはプルアップ抵抗は接続できません。

注意1. P40端子は、ツール接続時はポート端子として使用できません。

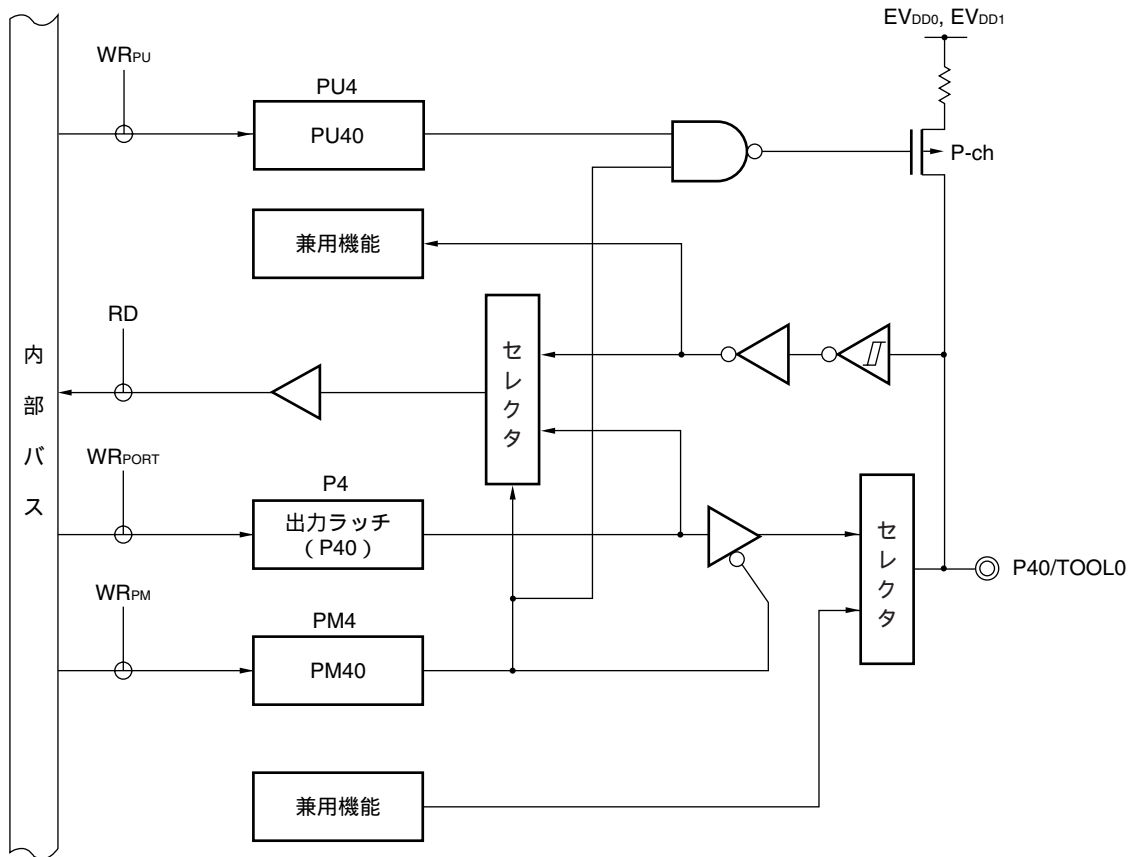
P41端子は、オンチップ・デバッグ機能使用時には、デバッグのモード設定により次のようになります。

1線モード : ポート(P41)として使用できます。

2線モード : TOOL1端子として使用するためポート(P41)としては使用できません。

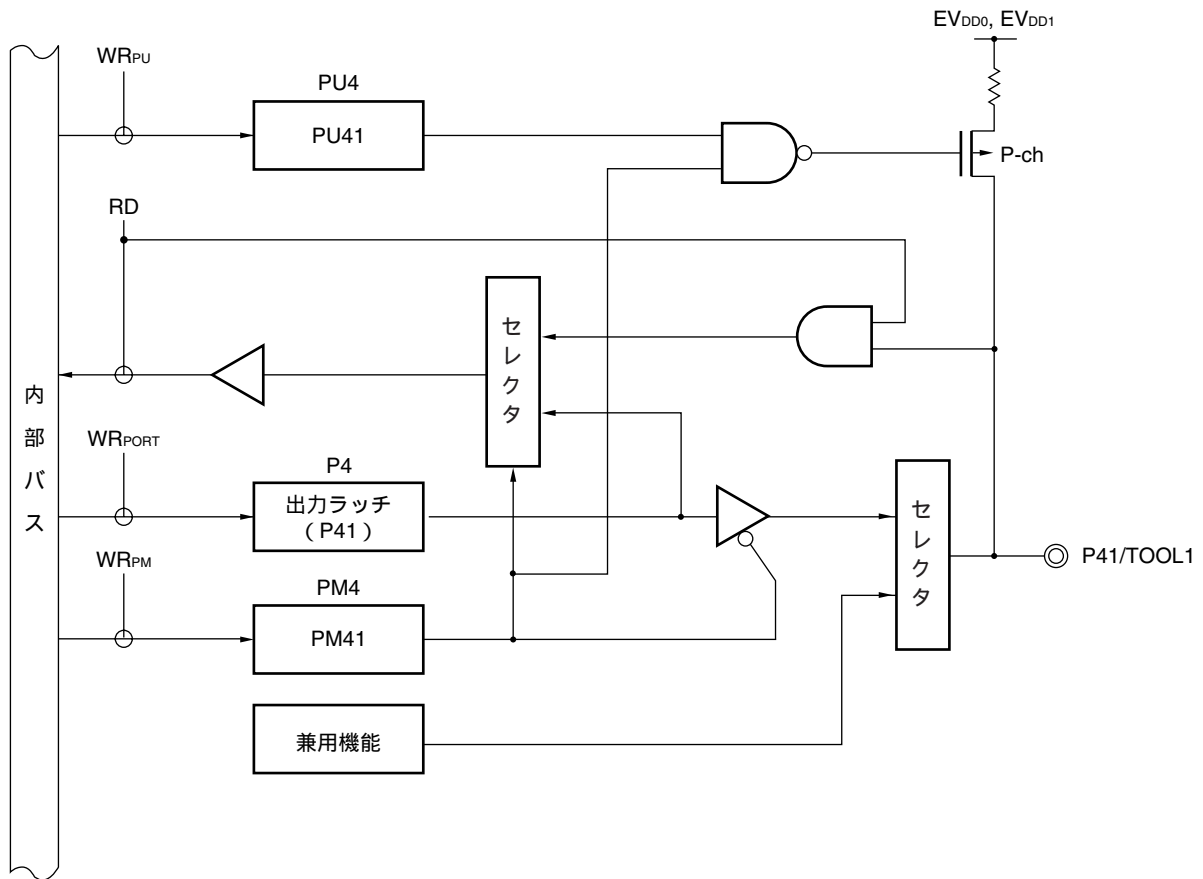
2. P43/SCK01, P44/SI01, P45/SO01を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、表13-6 レジスタの設定と端子の関係(ユニット0のチャンネル1: CSI01, UART0受信)を参照してください。
3. P42/TI04/TO04, P46/INTP1/TI05/TO05を汎用ポートとして使用する場合、タイマ出力レジスタ0(TO0)のビット4, 5(TO04, TO05)とタイマ出力許可レジスタ0(TOE0)のビット4, 5(TOE04, TOE05)を初期状態と同じ設定“0”で使用してください。

図4 - 15 P40のブロック図



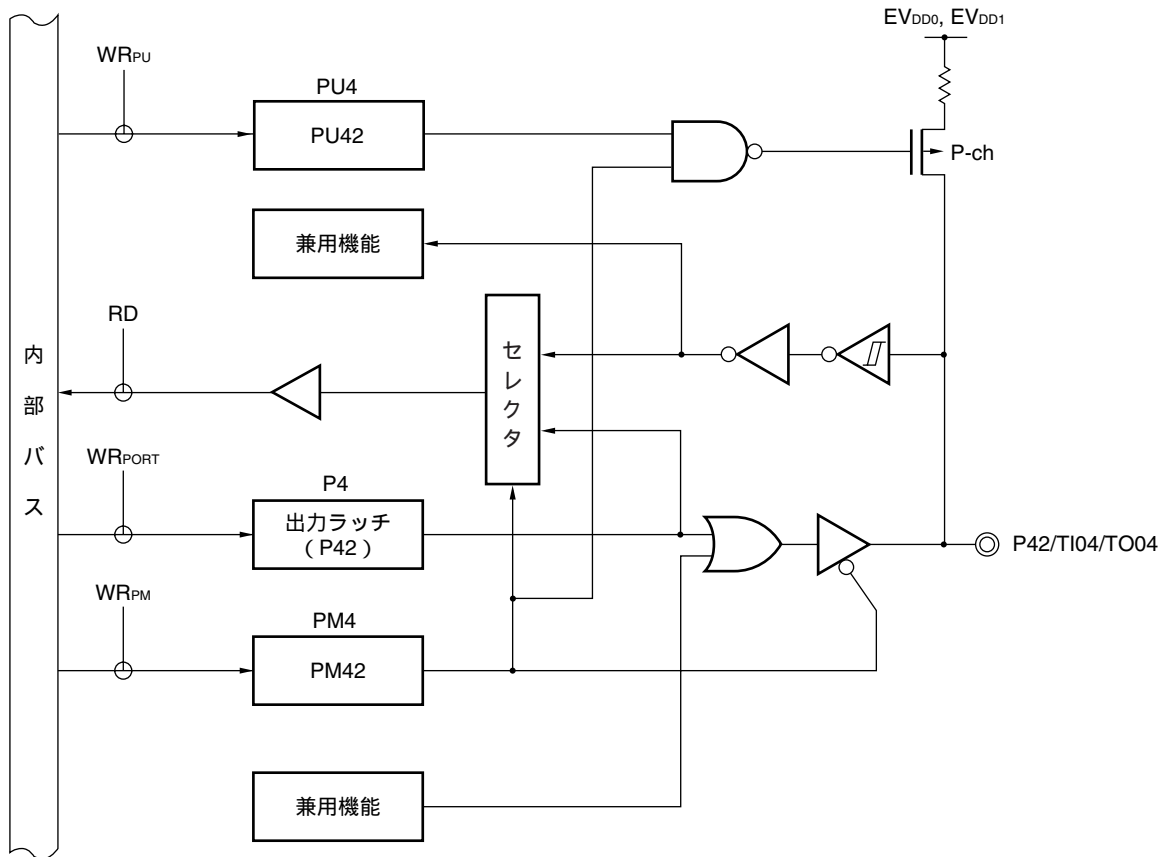
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 16 P41のブロック図



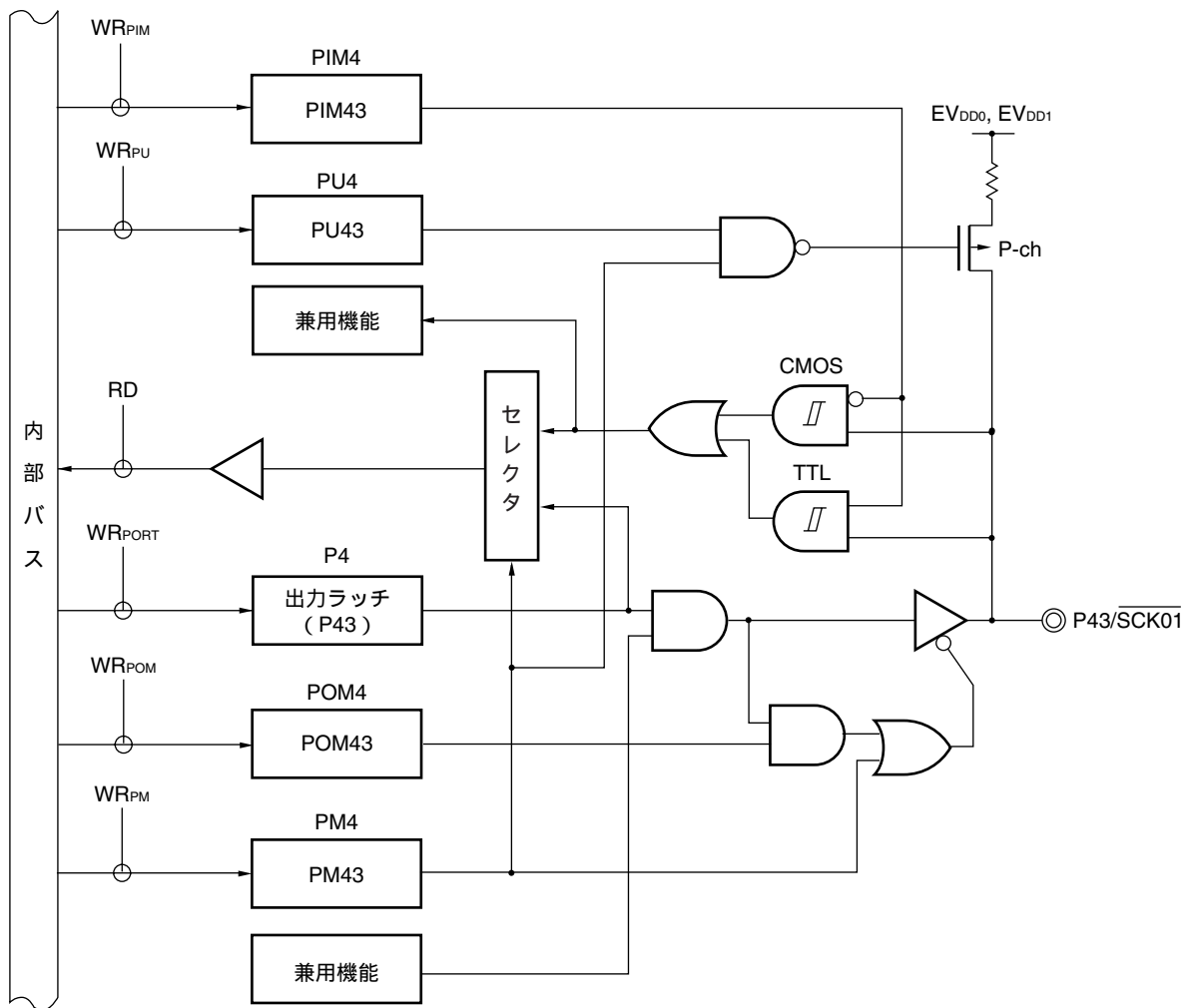
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 17 P42のブロック図



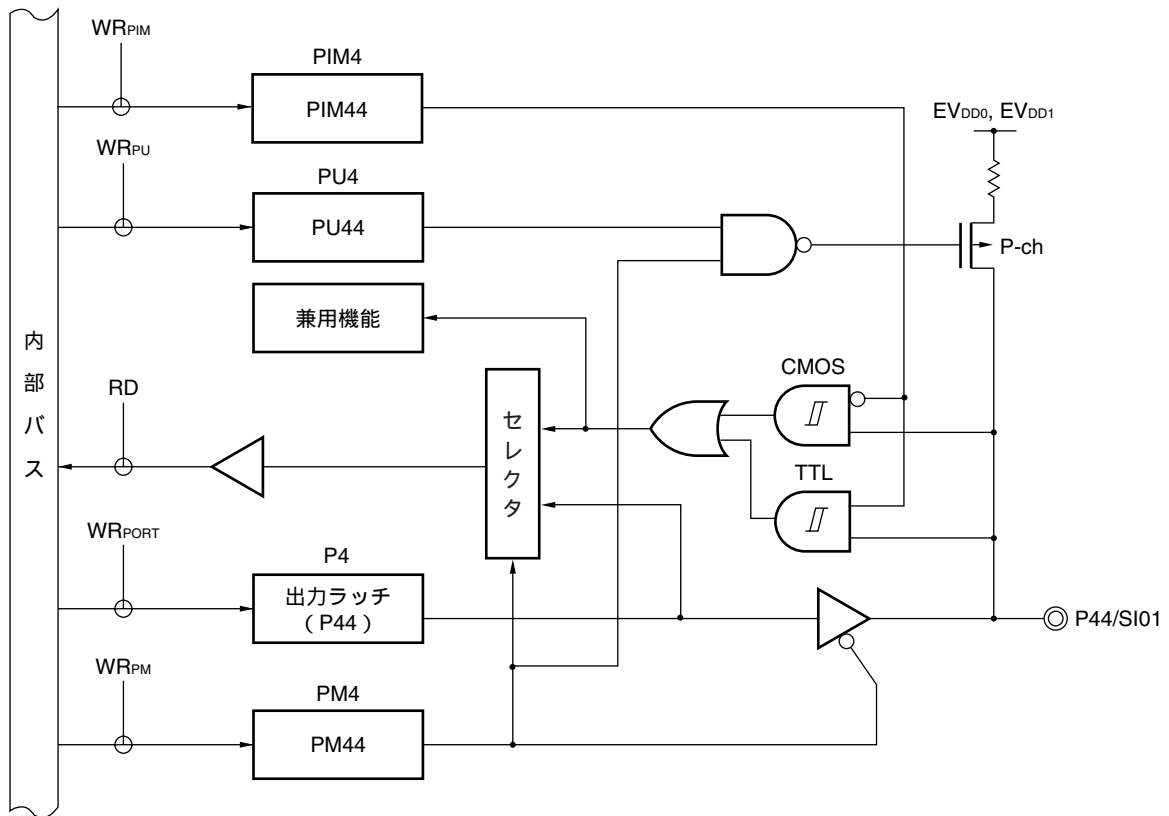
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

図4 - 18 P43のブロック図



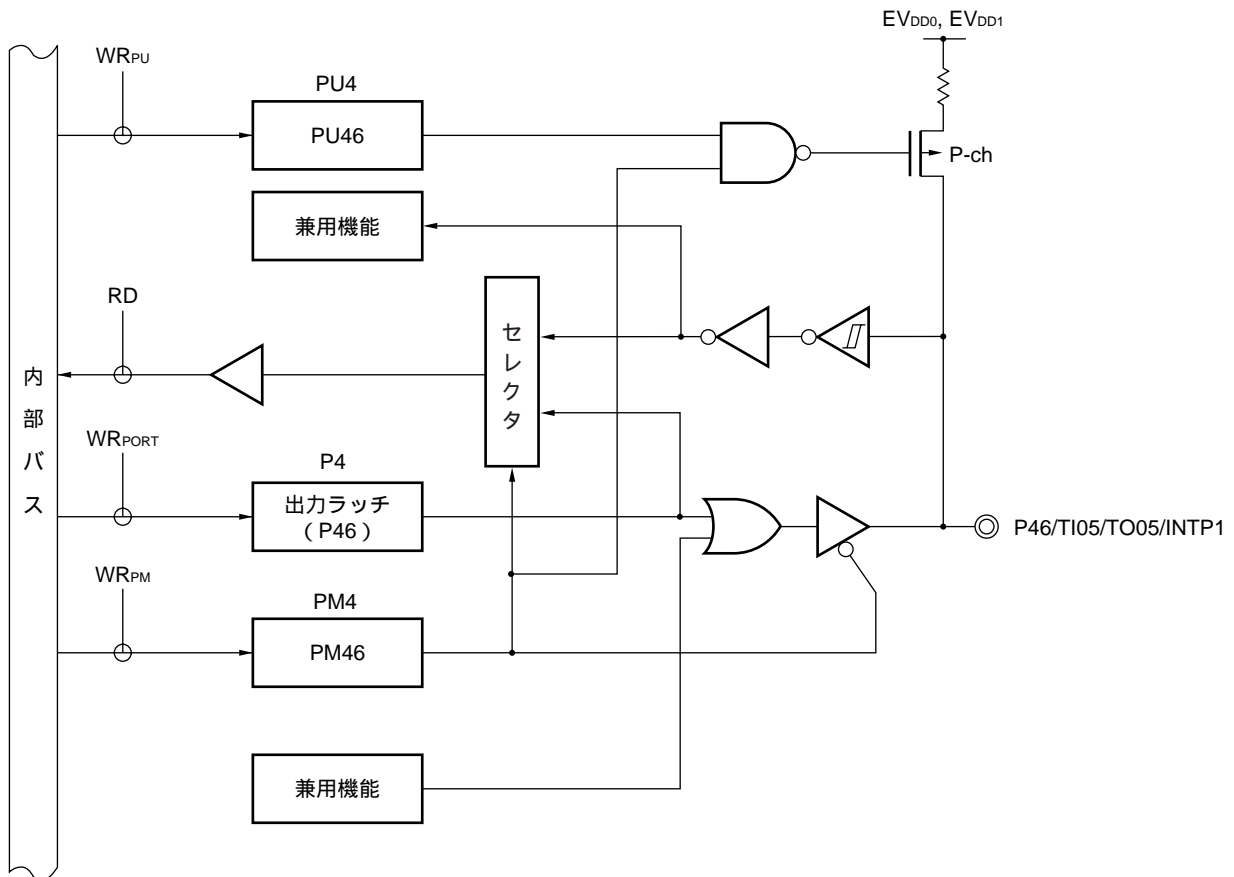
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- PIM4 : ポート入力モード・レジスタ4
- POM4 : ポート出力モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

図4 - 19 P44のブロック図



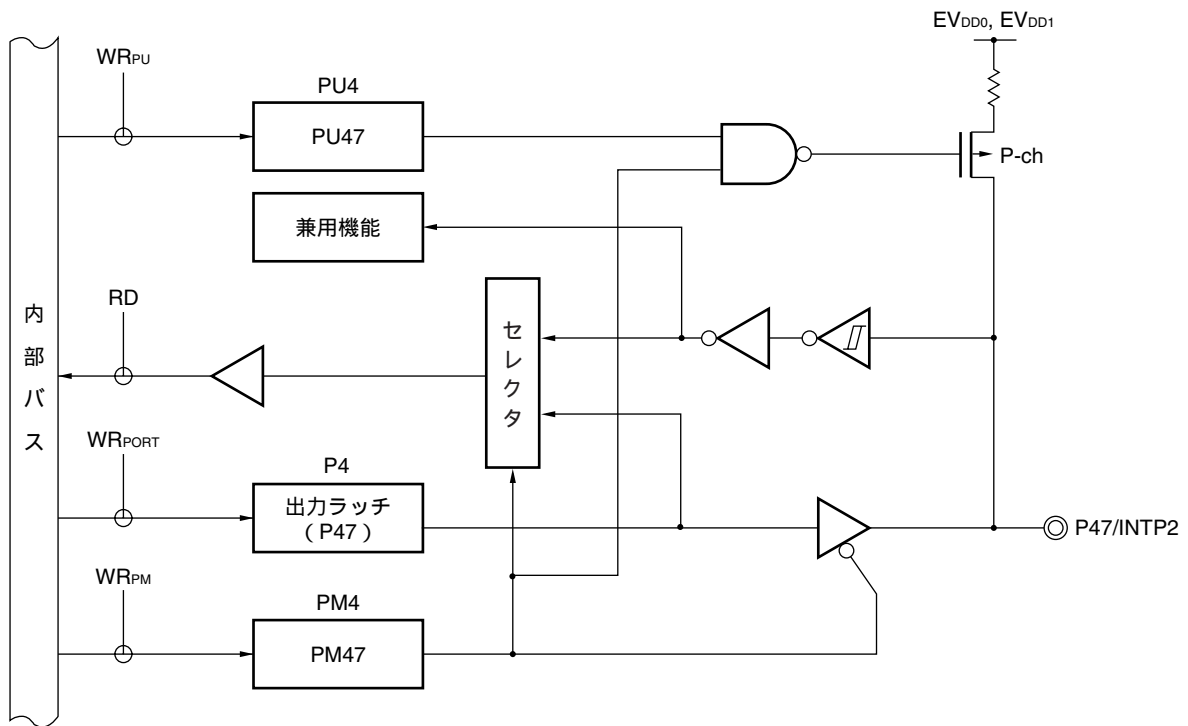
- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- PIM4 : ポート入力モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

図4 - 21 P46のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 22 P47のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_{xx} : ライト信号

4.2.6 ポート5

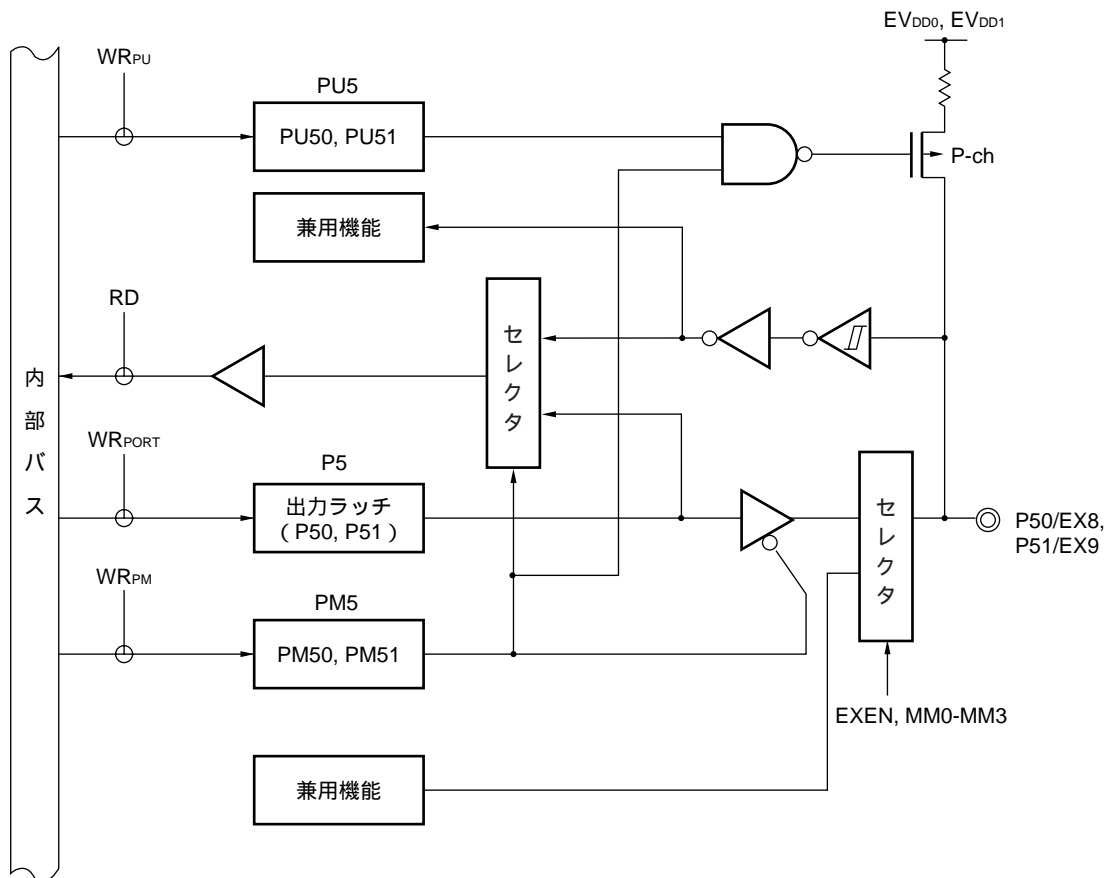
出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード / 出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部拡張入出力 (マルチプレクスト・アドレス / データ・バス, アドレス・バス, データ・バス)があります。外部拡張入出力機能使用時は外部拡張機能によって入出力制御が行われ、ポート・モード・レジスタ5 (PM5), ポート・レジスタ5 (P5), プルアップ抵抗オプション・レジスタ5 (PU5)の設定は無視されます。

リセット信号の発生により、入力モードになります。

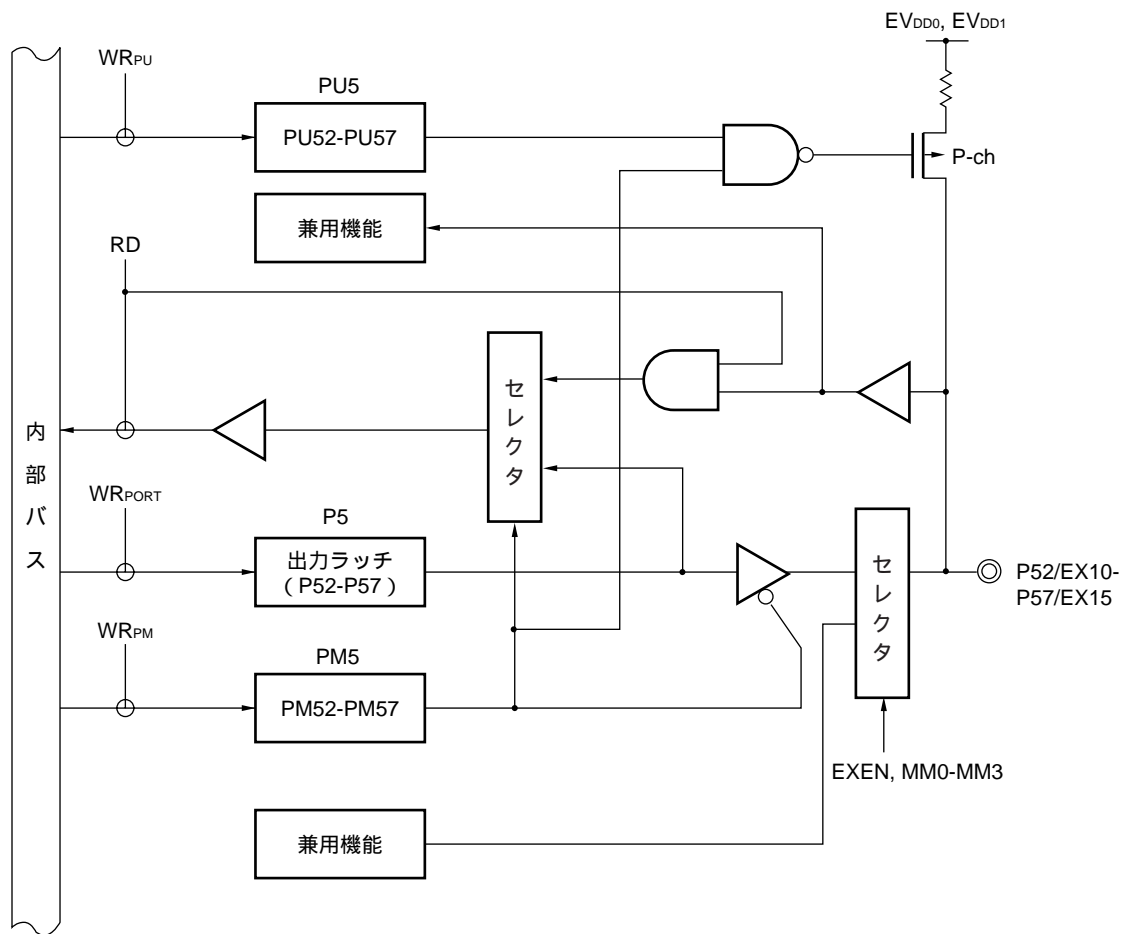
図4 - 23, 4 - 24にポート5のブロック図を示します。

図4 - 23 P50, P51のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号
- EXEN : メモリ拡張モード・コントロール・レジスタ (MEM) のビット7

図4 - 24 P52-P57のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- $WR_{x \times}$: ライト信号
- EXEN : メモリ拡張モード・コントロール・レジスタ (MEM) のビット7

4.2.7 ポート6

出力ラッチ付き8ビット入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード / 出力モードの指定ができます。P64-P67端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6 (PU6)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63端子の出力は、N-chオープン・ドレイン出力(6V耐圧)です。

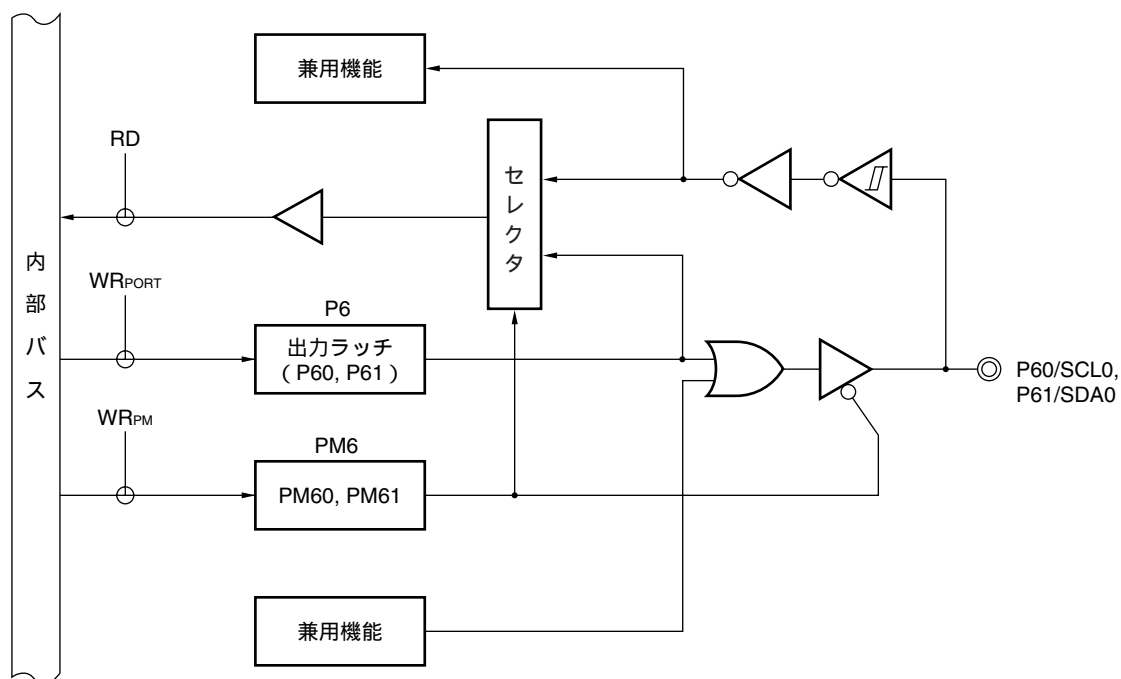
また、兼用機能としてシリアル・インタフェースのデータ入出力、クロックの入出力、リード・ストロープ信号出力、ライト・ストロープ信号出力(8ビット・バス・モード, 16ビット・バス・モード(下位バイト)), ライト・ストロープ信号出力(16ビット・バス・モード(上位バイト)), アドレス・ストロープ信号出力があります。

リセット信号の発生により、入力モードになります。

図4-25~4-27にポート6のブロック図を示します。

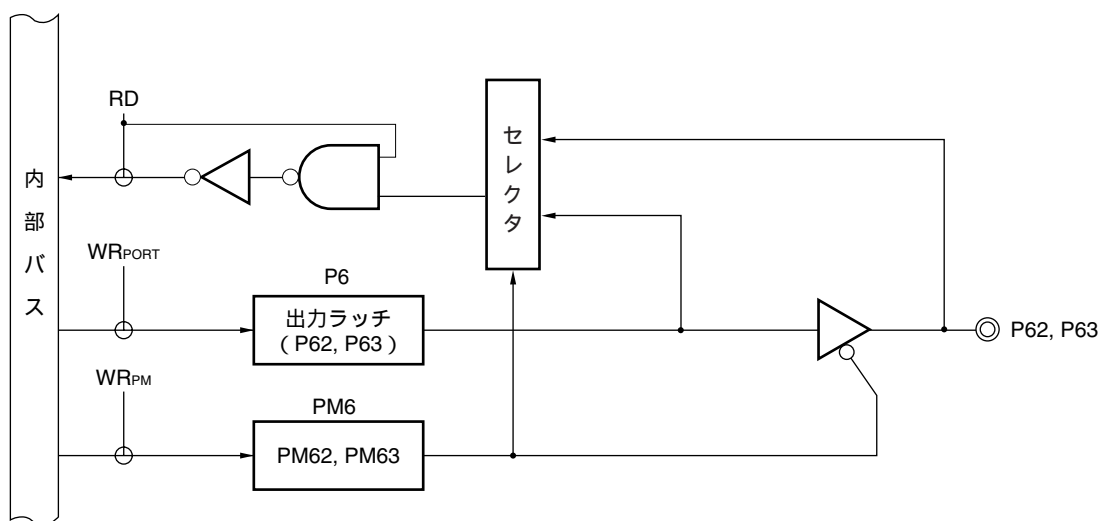
注意 P60/SCL0, P61/SDA0を汎用ポートとして使用する場合、シリアル・インタフェースIIC0を動作停止にしてください。

図4-25 P60, P61のブロック図



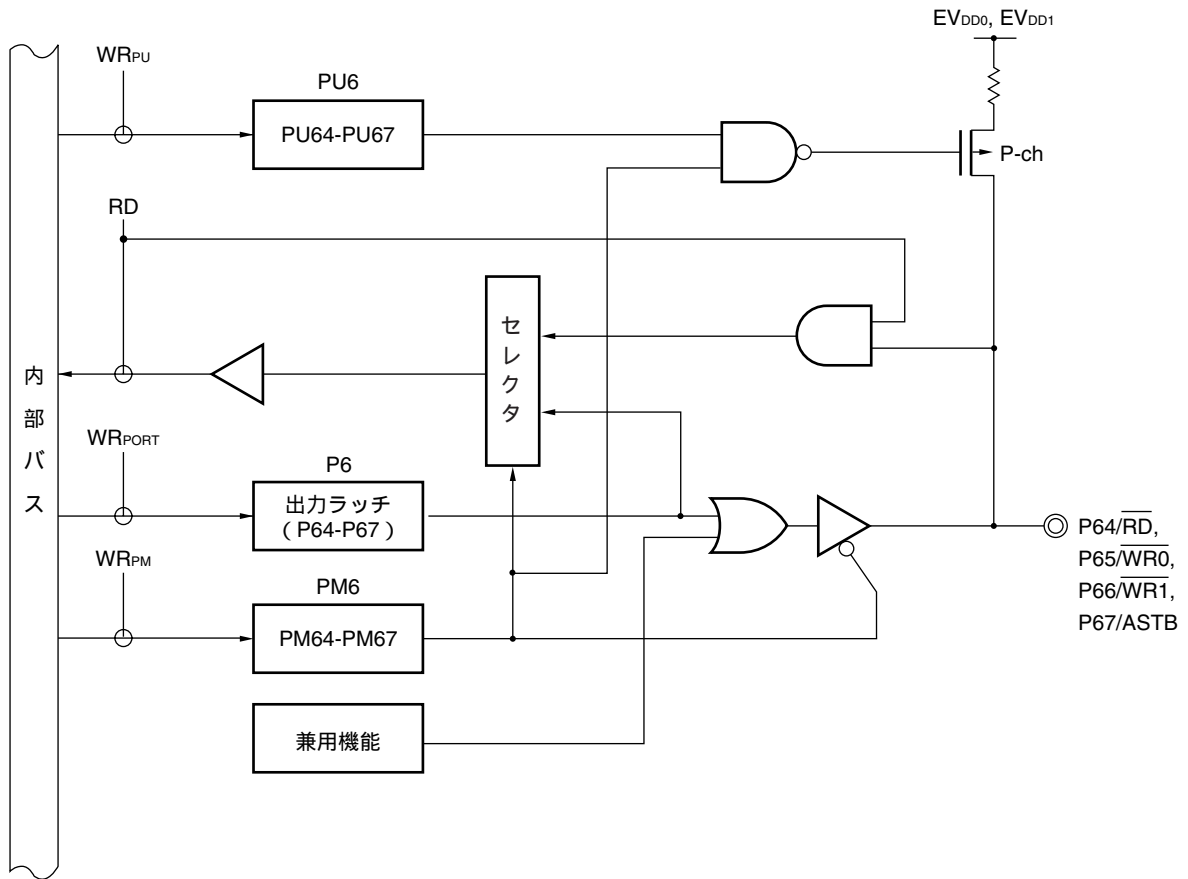
- P6 : ポート・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_x : ライト信号

図4 - 26 P62, P63のブロック図



- P6 : ポート・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_x : ライト信号

図4 - 27 P64-P67のブロック図



- P6 : ポート・レジスタ6
- PU6 : プルアップ抵抗オプション・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_{xx} : ライト信号

4.2.8 ポート7

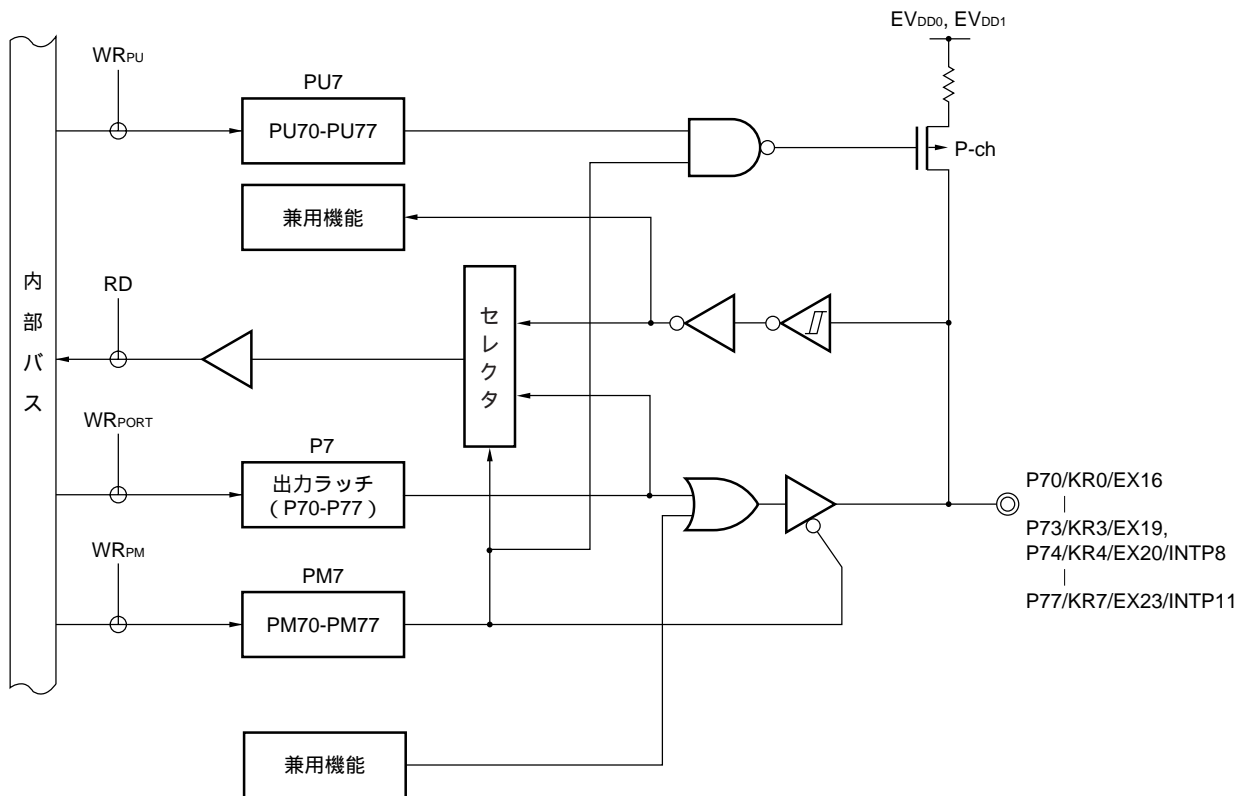
出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー・リターン入力、外部拡張出力 (アドレス・バス)、割り込み要求入力があります。

リセット信号の発生により、入力モードになります。

図4 - 28にポート7のブロック図を示します。

図4 - 28 P70-P77のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

4.2.9 ポート8

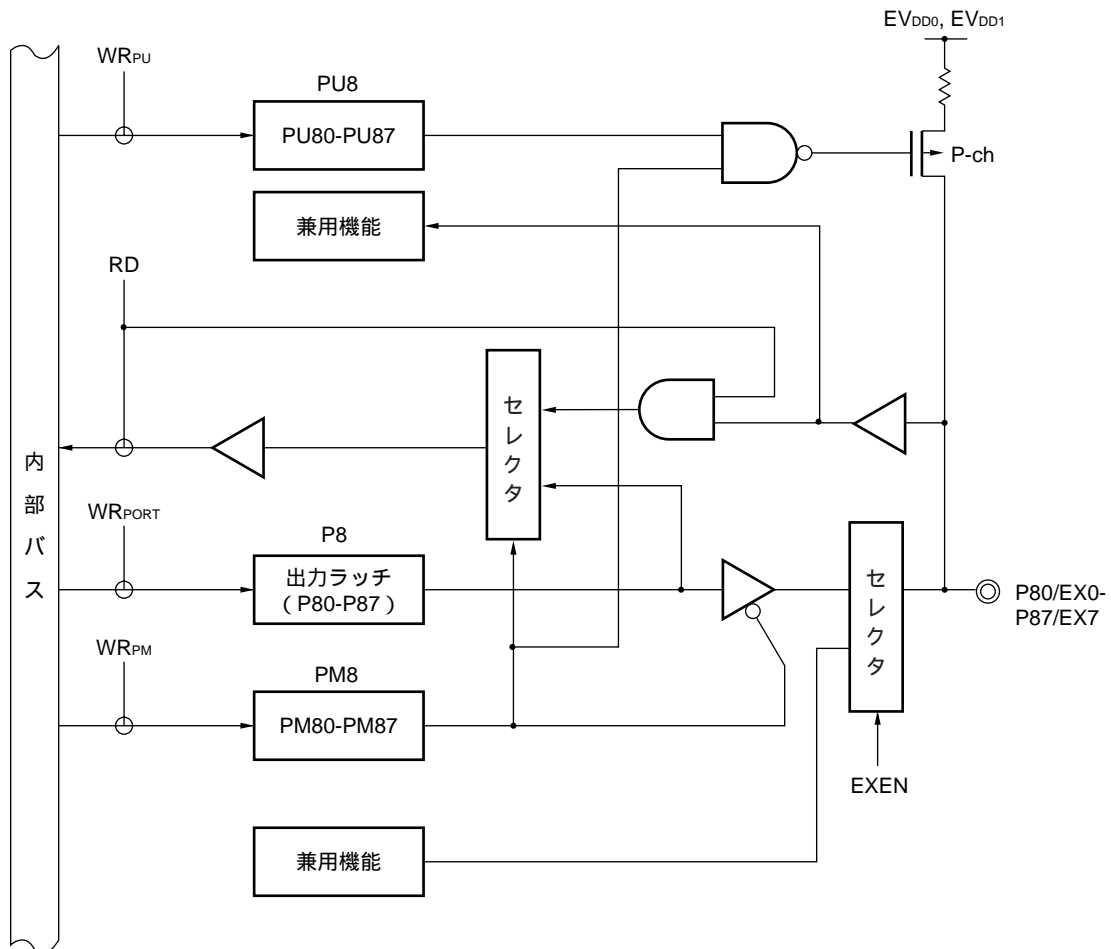
出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード / 出力モードの指定ができます。P80-P87端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ8 (PU8) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部拡張入出力 (マルチプレクスト・アドレス / データ・バス, データ・バス) があります。外部拡張入出力機能使用時は外部拡張機能によって入出力制御が行われ、ポート・モード・レジスタ8 (PM8), ポート・レジスタ8 (P8), プルアップ抵抗オプション・レジスタ8 (PU8) の設定は無視されます。

リセット信号の発生により、入力モードになります。

図4 - 29にポート8のブロック図を示します。

図4 - 29 P80-P87のブロック図



P8 : ポート・レジスタ8

PU8 : プルアップ抵抗オプション・レジスタ8

PM8 : ポート・モード・レジスタ8

RD : リード信号

WR_{xx} : ライト信号

EXEN : メモリ拡張モード・コントロール・レジスタ (MEM) のビット7

4.2.10 ポート11

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ11 (PM11) により1ビット単位で入力モード / 出力モードの指定ができます。

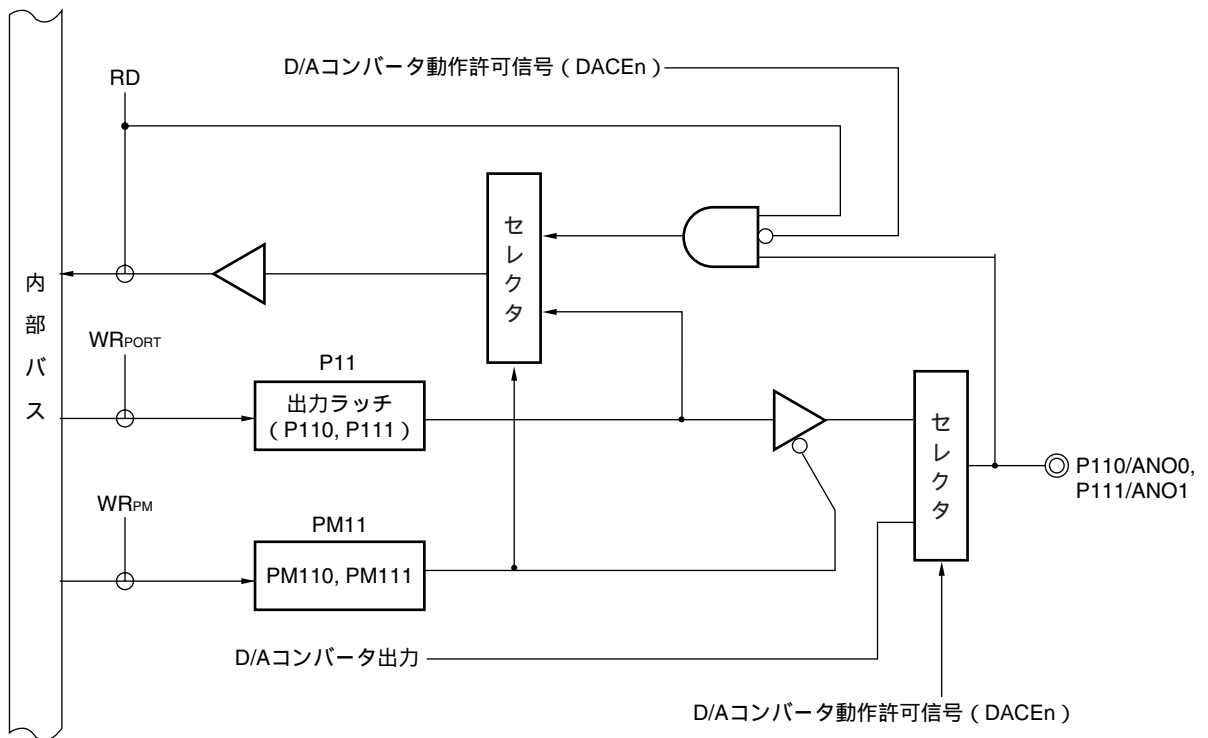
また、兼用機能としてD/Aコンバータのアナログ出力があります。

リセット信号の発生により、入力モードになります。

図4 - 30にポート11のブロック図を示します。

注意 P110, P111をデジタル入出力として使用する場合のAVREF1端子への印加電圧については、2. 2. 16 AVREF1を参照してください。

図4 - 30 P110, P111のブロック図



P11 : ポート・レジスタ11

PM11 : ポート・モード・レジスタ11

RD : リード信号

WR_x : ライト信号

DACEn : D/Aコンバータ・モード・レジスタ (DAM) のビット4, 5 (n = 0, 1)

4.2.11 ポート12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12 (PM12) により, 1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合, プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

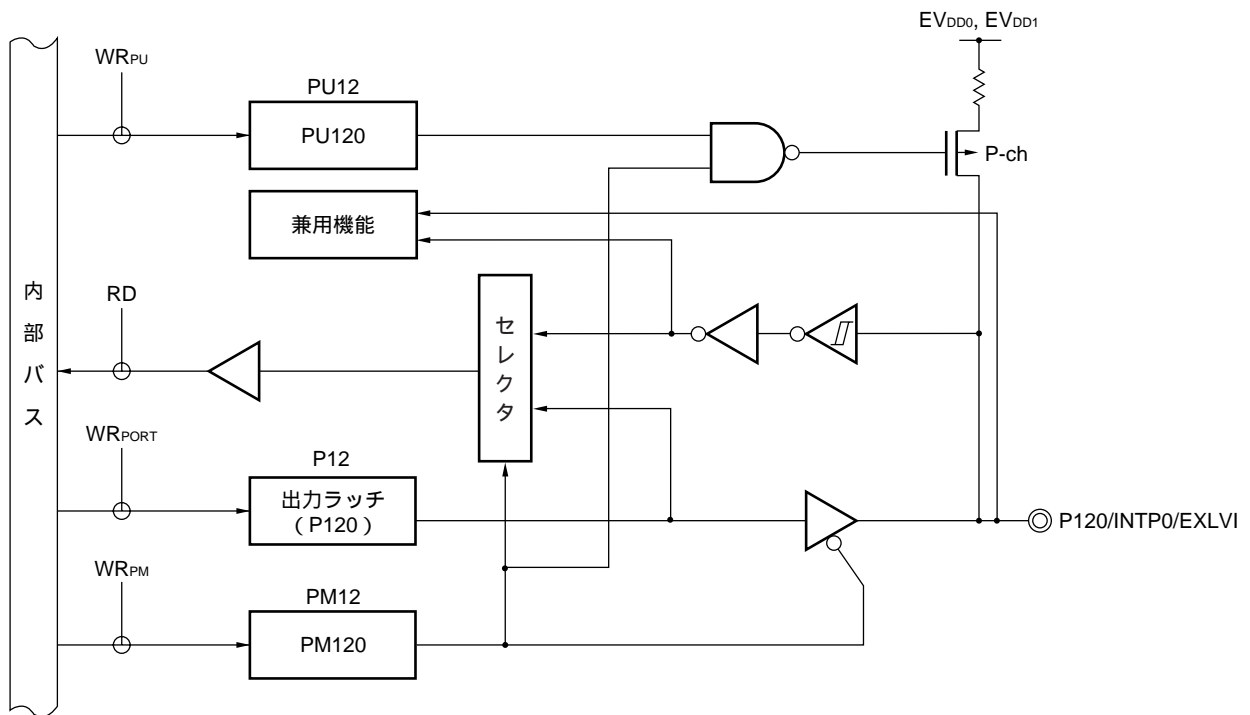
また兼用機能として外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力があります。

リセット信号の発生により, 入力モードになります。

図4 - 31 ~ 4 - 33にポート12のブロック図を示します。

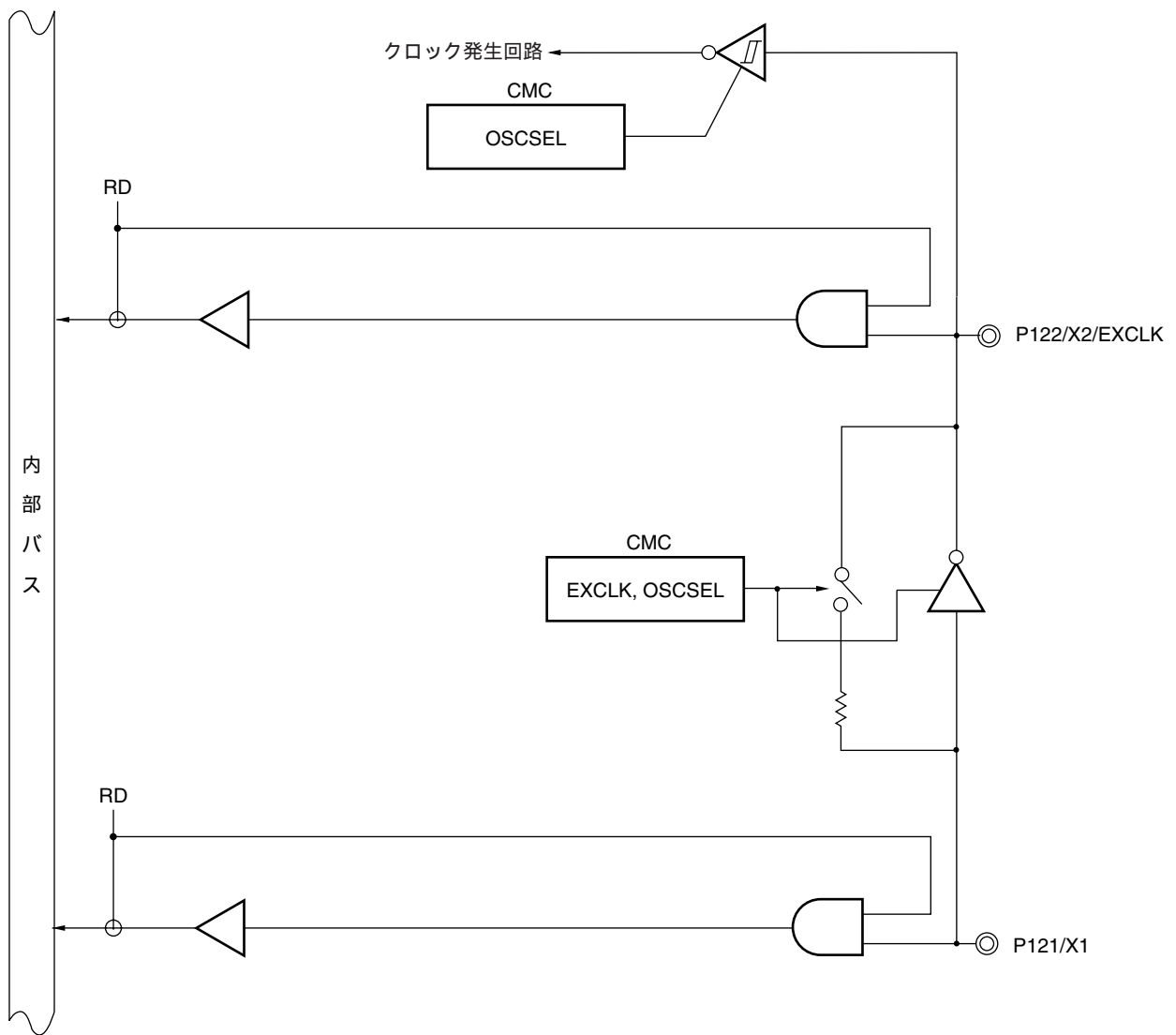
注意 P121-P124の機能設定は, リセット解除後1回のみ可能です。一度, 発振子/発振器接続用に設定したポートは, リセットしないかぎり入力ポートとして使用できません。

図4 - 31 P120のブロック図



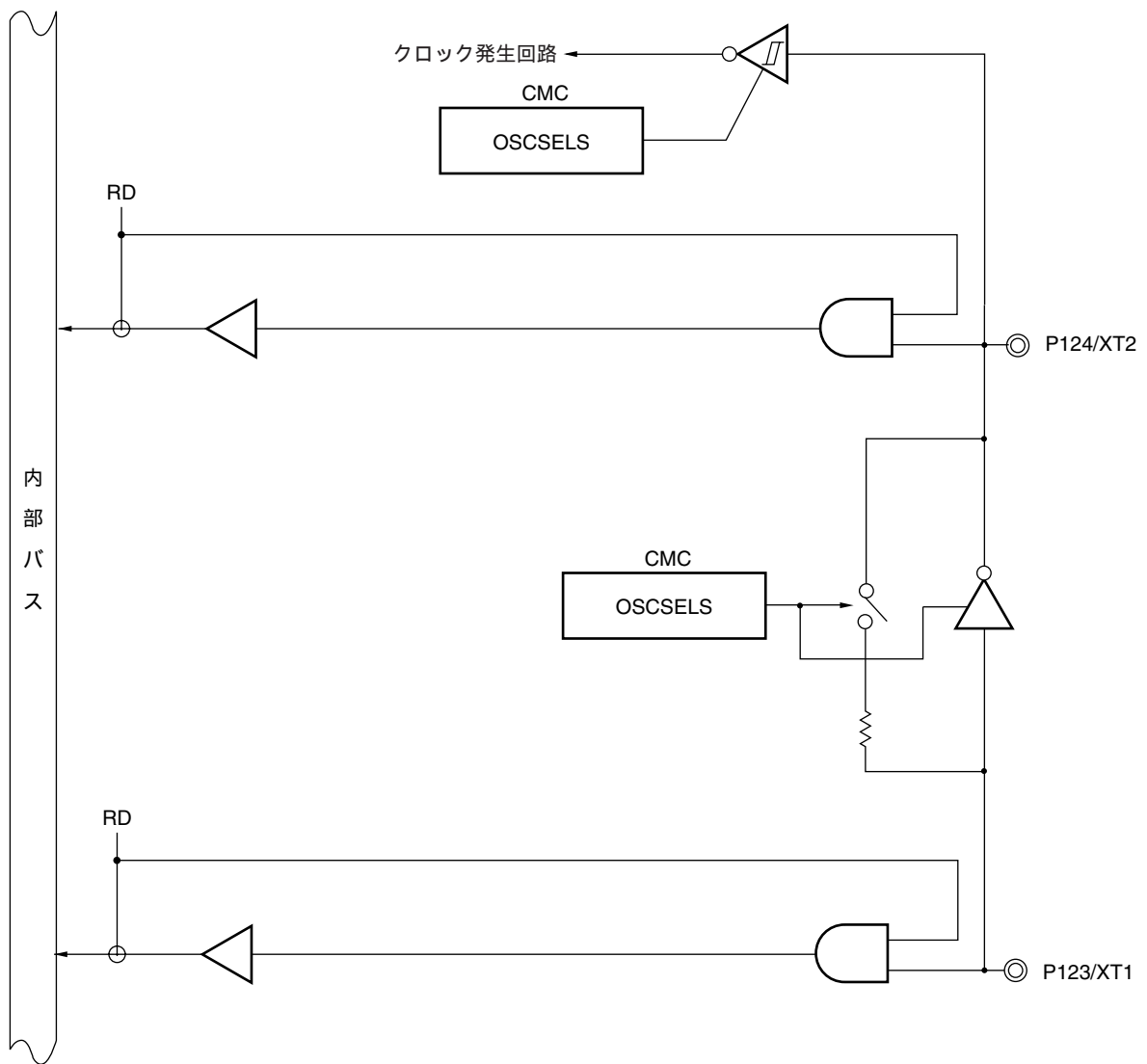
- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- WR_x : ライト信号

図4 - 32 P121, P122のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

図4 - 33 P123, P124のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

4.2.12 ポート13

P130は出力ラッチ付き1ビット出力専用ポートです。

P131は出力ラッチ付き1ビット入出力ポートです。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ13 (PU13) により内蔵プルアップ抵抗を使用できます。

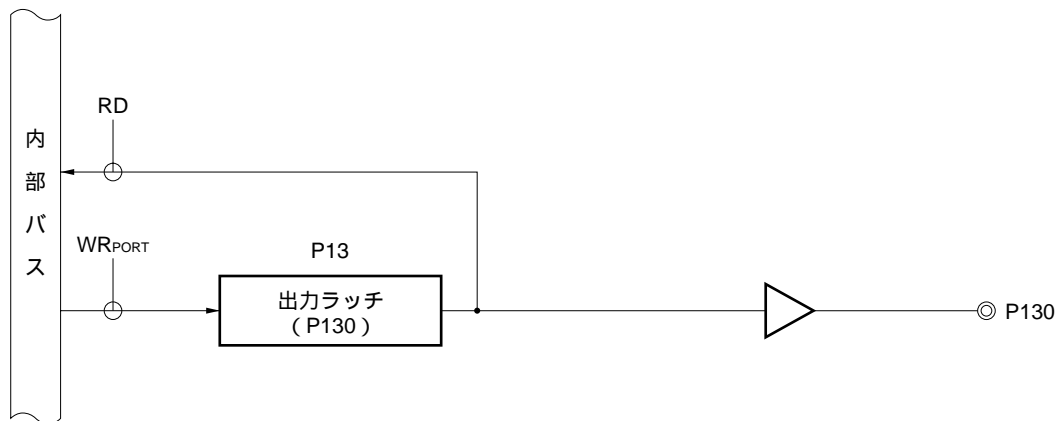
リセット信号の発生により、入力モードになります。

また兼用機能としてタイマの入出力があります。

図4 - 34, 4 - 35にポート13のブロック図を示します。

注意 P131/TI06/TO06を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット6 (TO06) とタイマ出力許可レジスタ0 (TOE0) のビット6 (TOE06) を初期状態と同じ設定“0”で使用してください。

図4 - 34 P130のブロック図



P13 : ポート・レジスタ13

RD : リード信号

WR_{xx} : ライト信号

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

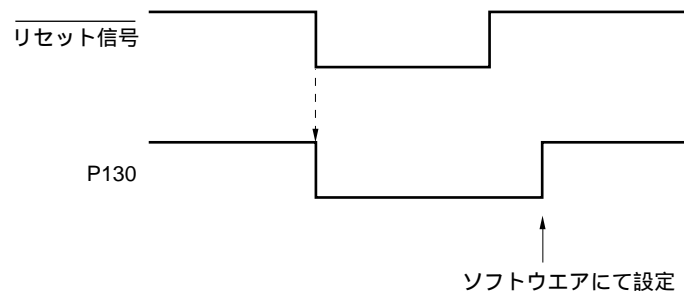
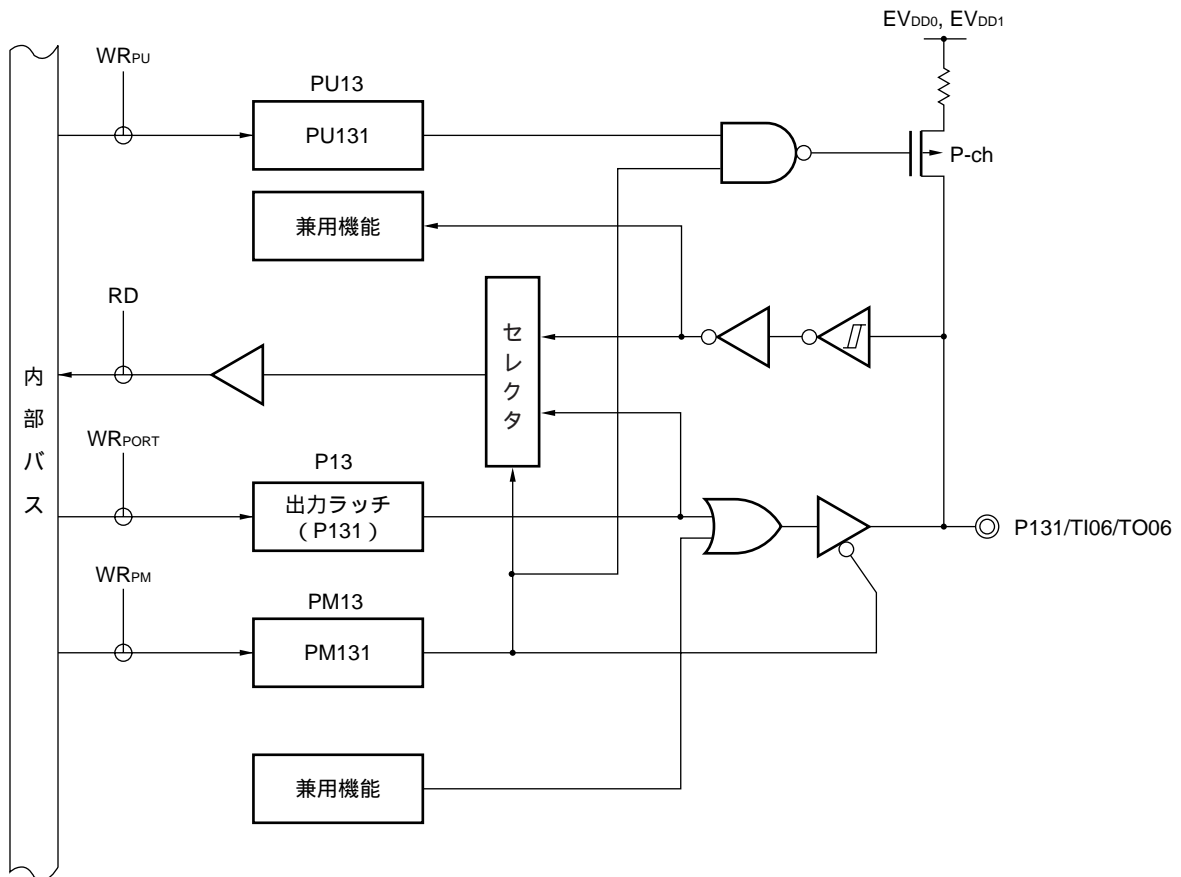


図4 - 35 P131のブロック図



- P13 : ポート・レジスタ13
- PU13 : プルアップ抵抗オプション・レジスタ13
- PM13 : ポート・モード・レジスタ13
- RD : リード信号
- WR_{xx} : ライト信号

4.2.13 ポート14

出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。P140-P145端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P142, P143端子の入力は、ポート入力モード・レジスタ14 (PIM14) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P142-P144端子の出力は、ポート出力モード・レジスタ14 (POM14) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてタイマの入出力、外部割り込み要求入力、クロック / ブザー出力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 36 ~ 4 - 38にポート14のブロック図を示します。

注意1. P142/SCK20/SCL20, P143/SI20/RxD2/SDA20, P144/SO20/TxD2を汎用ポートとして使用する場合、シリアル・アレイ・ユニット1の設定に注意してください。詳細は、次の表を参照してください。

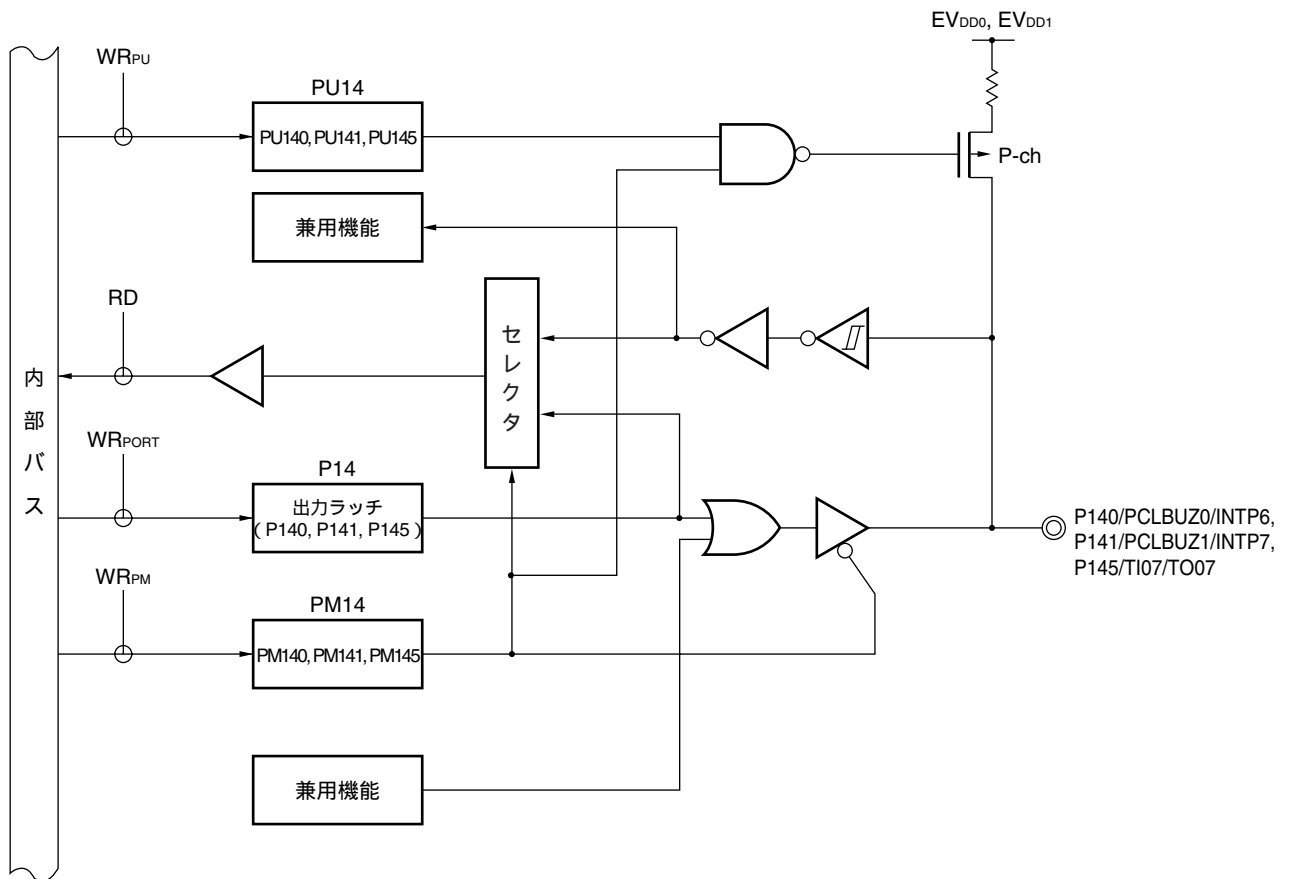
・表13 - 9 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)

・表13 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

2. P145/TI07/TO07を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット7 (TO07) とタイマ出力許可レジスタ0 (TOE0) のビット7 (TOE07) を初期状態と同じ設定 "0" で使用してください。

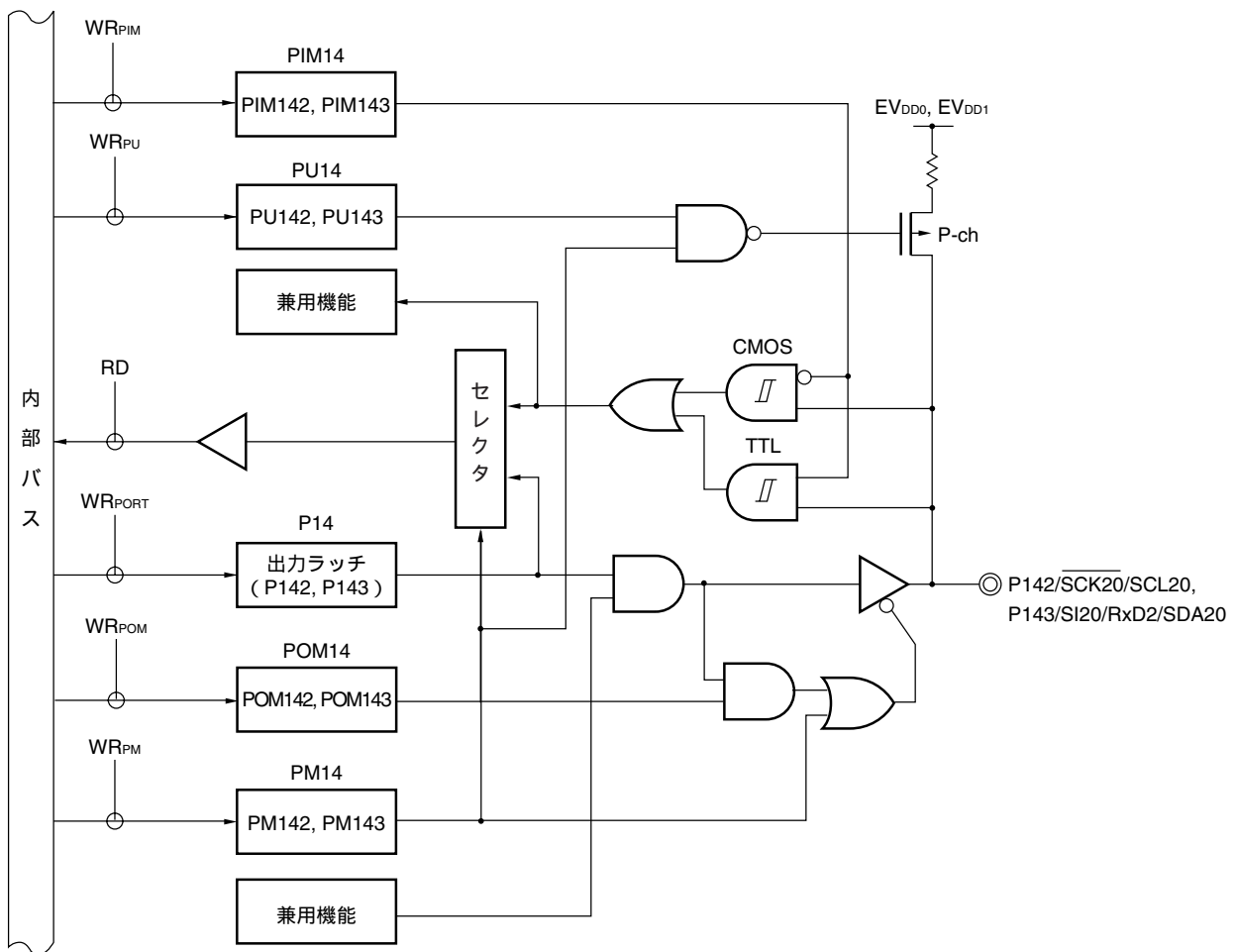
3. P140/PCLBUZ0/INTP6, P141/PCLBUZ1/INTP7を汎用ポートとして使用する場合、クロック出力選択レジスタ0, 1 (CKS0, CKS1) のビット7を初期状態と同じ設定 "0" で使用してください。

図4 - 36 P140, P141, P145のブロック図



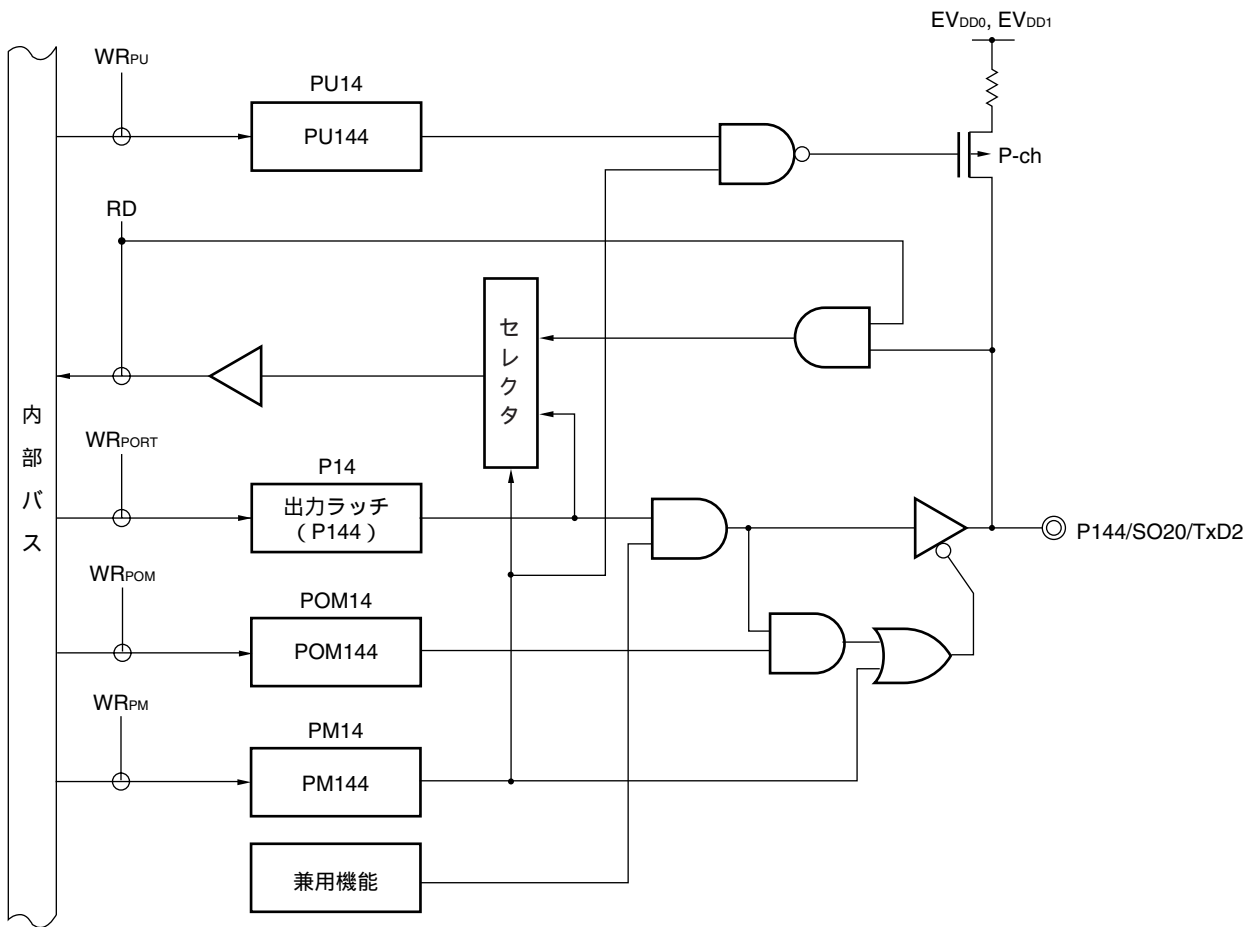
- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 37 P142, P143のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- PIM14 : ポート入力モード・レジスタ14
- POM14 : ポート出力モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

図4 - 38 P144のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- POM14 : ポート出力モード・レジスタ14
- RD : リード信号
- WR_x : ライト信号

4.2.14 ポート15

出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P150/ANI8-P157/ANI15をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM15で入力モードに設定して、下位ビットから使用してください。

P150/ANI8-P157/ANI15をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM15で出力モードに設定してください。

表4 - 5 P150/ANI8-P157/ANI15端子機能の設定

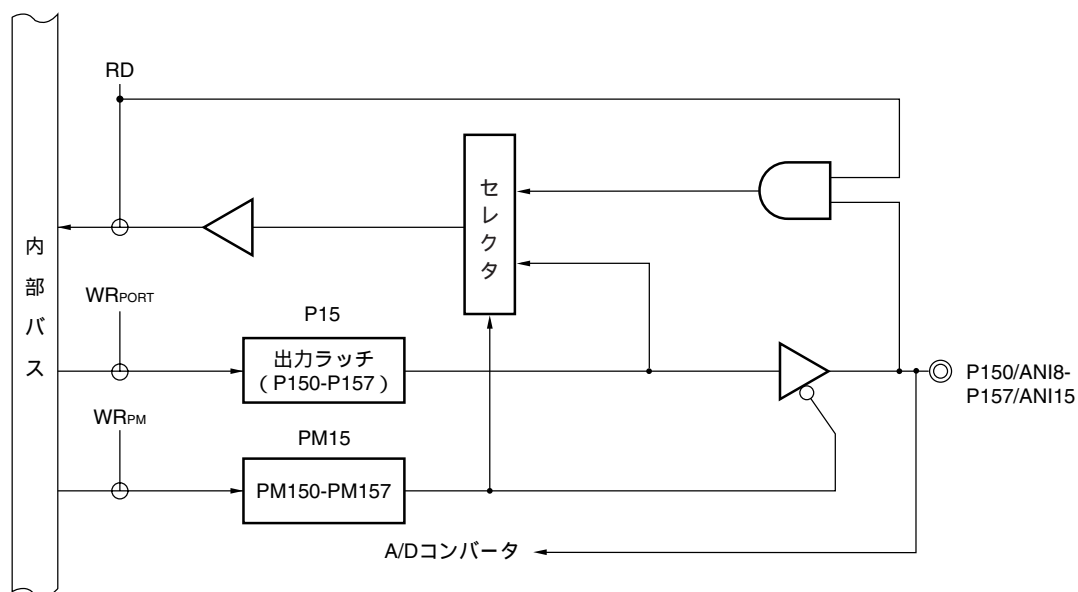
ADPC	PM15	ADS	P150/ANI8-P157/ANI15端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P150/ANI8-P157/ANI15はすべてデジタル入力になります。

図4 - 39にポート15のブロック図を示します。

注意 ポート15をデジタル入出力として使用する場合のAV_{REF0}端子への印加電圧については、2. 2. 15 AV_{REF0}を参照してください。

図4 - 39 P150-P157のブロック図



- P15 : ポート・レジスタ15
- PM15 : ポート・モード・レジスタ15
- RD : リード信号
- WR_x : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の6種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM8, PM11-PM15)
- ・ポート・レジスタ (P0-P8, P11-P15)
- ・プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU8, PU12-PU14)
- ・ポート入力モード・レジスタ (PIM0, PIM4, PIM14)
- ・ポート出力モード・レジスタ (POM0, POM4, POM14)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PM0-PM8, PM11-PM15)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH (PM13はFEH) になります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4 - 40 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM11	1	1	1	1	1	1	PM111	PM110	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM13	1	1	1	1	1	1	PM131	0	FFF2DH	FEH	R/W
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-8, 11-15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 PM0のビット7, PM3のビット2-7, PM11のビット2-7, PM12のビット1-7, PM13のビット2-7, PM14のビット6, 7には必ず1を設定してください。また, PM13のビット0には必ず0を設定してください。

(2) ポート・レジスタ (P0-P8, P11-P15)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

P0-P8, P11-P15は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注 P2, P15をA/Dコンバータのアナログ入力機能として設定した場合、P11をD/Aコンバータのアナログ出力機能として設定した場合に、ポートを入力モード時にリードすると、端子レベルではなく常に0が読み出されます。

図4 - 41 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出力ラッチ)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H (出力ラッチ)	R/W
P11	0	0	0	0	0	0	P111	P110	FFF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W ^注
P13	0	0	0	0	0	0	P131	P130	FFF0DH	00H (出力ラッチ)	R/W
P14	0	0	P145	P144	P143	P142	P141	P140	FFF0EH	00H (出力ラッチ)	R/W
P15	P157	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H (出力ラッチ)	R/W

Pmn	m = 0-8, 11-15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

(3) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU8, PU12-PU14)

P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120, P131, P140-P145の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PU0, PU1, PU3-PU8, PU12-PU14で内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、PU0, PU1, PU3-PU8, PU12-PU14の設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

PU0, PU1, PU3-PU8, PU12-PU14は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 42 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	00H	R/W
PU5 ^注	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8 ^注	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU13	0	0	0	0	0	0	PU131	0	F003DH	00H	R/W
PU14	0	0	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W
PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-8, 12-14 ; n = 0-7)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

注 外部拡張機能使用時は、PU5, PU8レジスタの値にかかわらず内蔵プルアップ抵抗は接続されません。

(4) ポート入力モード・レジスタ (PIM0, PIM4, PIM14)

P03, P04, P43, P44, P142, P143の入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

PIM0, PIM4, PIM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 43 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	0	0	F0040H	00H	R/W
PIM4	0	0	0	PIM44	PIM43	0	0	0	F0044H	00H	R/W
PIM14	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W
PIMmn	Pmn端子の入力バッファの選択 (m = 0, 4, 14 ; n = 2-4)										
0	通常入力バッファ										
1	TTL入力バッファ										

(5) ポート出力モード・レジスタ (POM0, POM4, POM14)

P02-P04, P43, P45, P142-P144の出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA10, SDA20端子にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

POM0, POM4, POM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 44 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	0	F0050H	00H	R/W
POM4	0	0	POM45	0	POM43	0	0	0	F0054H	00H	R/W
POM14	0	0	0	POM144	POM143	POM142	0	0	F005EH	00H	R/W
POMmn	Pmn端子の出力モードの選択 (m = 0, 4, 14 ; n = 2-5)										
0	通常出力モード										
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード										

(6) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15端子を, ポートのデジタル入出力 / A/Dコンバータのアナログ入力に切り替えるレジスタです。

ADPCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図4 - 45 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え																	
					ポート15								ポート2									
					ANI15 /P157	ANI14 /P156	ANI13 /P155	ANI12 /P154	ANI11 /P153	ANI10 /P152	ANI9 /P151	ANI8 /P150	ANI7 /P27	ANI6 /P26	ANI5 /P25	ANI4 /P24	ANI3 /P23	ANI2 /P22	ANI1 /P21	ANI0 /P20		
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D
0	0	0	1	1	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D
0	0	1	0	0	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D
0	0	1	0	1	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D
0	0	1	1	0	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D
0	0	1	1	1	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D
0	1	0	0	0	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D
0	1	0	0	1	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D
0	1	0	1	0	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D
0	1	0	1	1	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	0	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	1	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	0	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
上記以外					設定禁止																	

注意1. A/D変換で使用するチャンネルは, ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。

2. ADPCでデジタル入出力として設定する端子を, アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。

3. P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P157/ANI15, ..., P150/ANI8, P27/ANI7, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P157/ANI15から設計してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法

ポート0, ポート4, ポート14の一部は, $V_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$ で動作時に, 2.5 V系, 3 V系の電圧で動作している外部デバイスとの入出力接続が可能です。

入力については, ポート入力モード・レジスタ (PIM0, PIM4, PIM14) によりビットごとにCMOS/TTLを切り換え可能です。

また, 出力については, ポート出力モード・レジスタ (POM0, POM4, POM14) により, 出力バッファをN-chオープン・ドレイン (V_{DD} 耐圧) に切り換えることにより, 異電位に対応可能になります。

(1) UART1, UART2, CSI01, CSI10, CSI20機能の入出力端子を使用する場合の設定手順

(a) 2.5 V系, 3 V系の入力ポートとして使用

リセット解除後, ポート・モードは入力モード (Hi-Z) になっています。

プルアップが必要な場合は, 使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART1の場合	: P03
UART2の場合	: P143
CSI01の場合	: P43, P44
CSI10の場合	: P03, P04
CSI20の場合	: P142, P143

PIMnレジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。

V_{IH}/V_{IL} が2.5 V系, 3 V系の動作電圧で動作します。

(b) 2.5 V系, 3 V系の出力ポートとして使用

リセット解除後, ポート・モードは入力モード (Hi-Z) になっています。

使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART1の場合	: P02
UART2の場合	: P144
CSI01の場合	: P43, P45
CSI10の場合	: P02, P04
CSI20の場合	: P142, P144

該当するポートの出力ラッチに1を設定します。

POMnレジスタの該当ビットを1に設定し, N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードに設定します。

PMnレジスタを操作して出力モードに設定します。

この時点では, 出力データはハイ・レベルであるため, 端子はHi-Z状態となっています。

シリアル・アレイ・ユニットの動作状態にしたがってロウ・レベルでのみ動作します。

備考 n = 0, 4, 14

(2) 簡易IIC10, IIC20機能の入出力端子を使用する場合の設定手順

リセット解除後、ポート・モードは入力モード (Hi-Z) になっています。
使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

簡易IIC10の場合 : P03, P04

簡易IIC20の場合 : P142, P143

該当するポートの出力ラッチに1を設定します。

POMnレジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードに設定します。

PMnレジスタの該当ビットを出力モードに設定します (出力モードのままデータ入出力可能)。

この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

シリアル・アレイ・ユニットを動作許可し、簡易I²Cモードに設定します。

備考 n = 0, 14

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4-6のように設定してください。

表4-6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (1/3)

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P00	TI00	入力	1	×
P01	TO00	出力	0	0
P02	SO10	出力	0	1
	TxD1	出力	0	1
P03	SI10	入力	1	×
	RxD1	入力	1	×
	SDA10	入出力	0	1
P04	SCK10	入力	1	×
		出力	0	1
	SCL10	入出力	0	1
P05	CLKOUT	出力	0	0
P06	WAIT	入力	1	×
P10	SCK00	入力	1	×
		出力	0	1
	EX24	出力	0	0
P11	SI00	入力	1	×
	RxD0	入力	1	×
	EX25	出力	0	0
P12	SO00	出力	0	1
	TxD0	出力	0	1
	EX26	出力	0	0
P13	TxD3	出力	0	1
	EX27	出力	0	0
P14	RxD3	入力	1	×
	EX28	出力	0	0
P15	RTCDIV	出力	0	0
	RTCCL	出力	0	0
	EX29	出力	0	0
P16	TI01	入力	1	×
	TO01	出力	0	0
	INTP5	入力	1	×
	EX30	出力	0	0

備考 × : don't care

PM × × : ポート・モード・レジスタ

P × × : ポートの出力ラッチ

表4 - 6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (2/3)

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P17	TI02	入力	1	×
	TO02	出力	0	0
	EX31	出力	0	0
P20-P27 ^{注1}	ANI0-ANI7 ^{注1}	入力	1	×
P30	RTC1HZ	出力	0	0
	INTP3	入力	1	×
P31	TI03	入力	1	×
	TO03	出力	0	0
	INTP4	入力	1	×
P40	TOOL0	入出力	×	×
P41	TOOL1	出力	×	×
P42	TI04	入力	1	×
	TO04	出力	0	0
P43	SCK01	入力	1	×
		出力	0	1
P44	SI01	入力	1	×
P45	SO01	出力	0	1
P46	TI05	入力	1	×
	TO05	出力	0	0
	INTP1	入力	1	×
P47	INTP2	入力	1	×
P50-P57	EX8-EX15 ^{注2}	入出力	× ^{注4}	
P60	SCL0	入出力	0	0
P61	SDA0	入出力	0	0
P64	RD	出力	0	0
P65	WR0	出力	0	0
P66	WR1	出力	0	0
P67	ASTB	出力	0	0
P70-P73	KR0-KR3	入力	1	×
	EX16-EX19	出力	0	0
P74-P77	INTP8-INTP11	入力	1	×
	KR4-KR7	入力	1	×
	EX20-EX23	出力	0	0
P80-P87	EX0-EX7 ^{注3}	入出力	× ^{注4}	
P110, P111	ANO0, ANO1 ^{注5}	出力	1	×
P120	INTP0	入力	1	×
	EXLVI	入力	1	×

備考 × : don't care
 PM × × : ポート・モード・レジスタ
 P × × : ポートの出力ラッチ

(注1, 2, 3, 4は, 次ページにあります)

表4 - 6 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定 (3/3)

端子名称	兼用機能		PM × ×	P × ×
	名 称	入出力		
P131	TI06	入力	1	×
	TO06	出力	0	0
P140	PCLBUZ0	出力	0	0
	INTP6	入力	1	×
P141	PCLBUZ1	出力	0	0
	INTP7	入力	1	×
P142	SCK20	入力	1	×
		出力	0	1
	SCL20	入出力	0	1
P143	SI20	入力	1	×
	RxD2	入力	1	×
	SDA20	入出力	0	1
P144	SO20	出力	0	1
	TxD2	出力	0	1
P145	TI07	入力	1	×
	TO07	出力	0	0
P150-P157 ^{注1}	ANI8-ANI15 ^{注1}	入力	1	×

備考 × : don't care
 PM × × : ポート・モード・レジスタ
 P × × : ポートの出力ラッチ

注1. ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子の機能は，A/Dポート・コンフィギュレータ・レジスタ (ADPC)，アナログ入力チャネル指定レジスタ (ADS)，PM2, PM15の設定で決定します。

表4 - 7 ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子機能の設定

ADPC	PM2, PM15	ADS	ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

- メモリ拡張モード制御レジスタ (MEM) の設定によって，EX8-EX15の機能が選択されます。詳細は，第5章 外部バス・インタフェースを参照してください。
- 外部バス・インタフェース動作許可 (EXEN = 1) 時は，自動的にEX0-EX7の機能が選択されます。
- 兼用機能の端子として使用する場合は，メモリ拡張モード制御レジスタ (MEM) で機能を設定します。
- D/Aコンバータ動作許可 (DACE_n = 1) 時は，自動的にANOnの機能が選択されます。ただしポート・モード・レジスタ11は入力モード (PM11_n = 1) に設定してください。

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート1の出力ラッチの値は、“FFH” になります。

説明：PM_{nm}ビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0R/KG3内部で、次の順序で行われます。

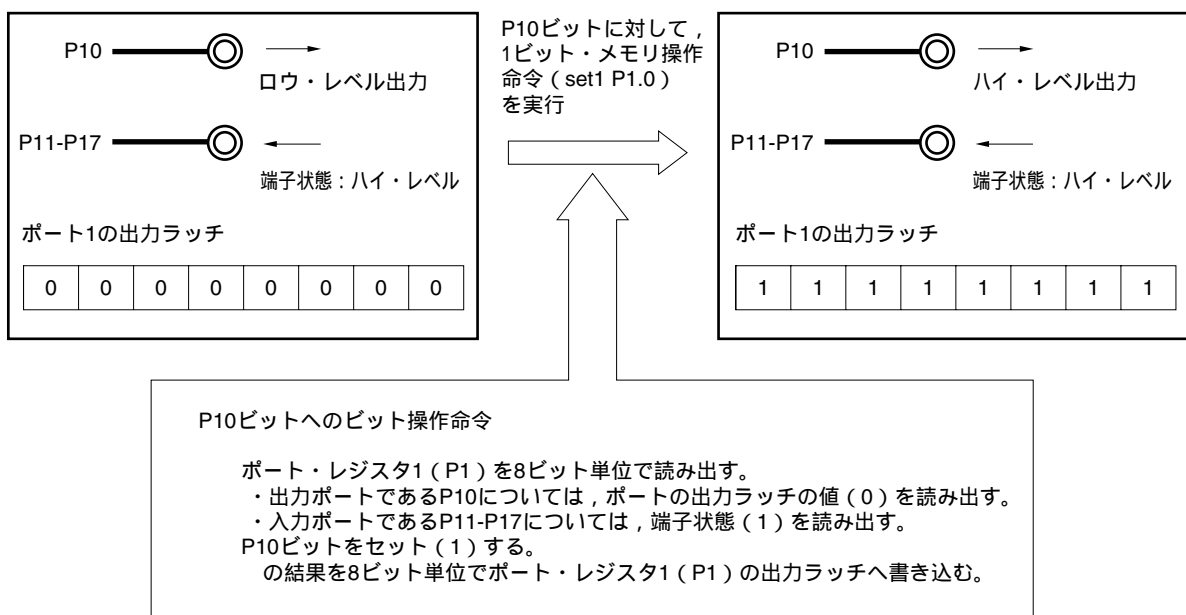
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4-46 1ビット・メモリ操作命令 (P10の場合)



第5章 外部バス・インタフェース

5.1 外部バス・インタフェースの機能

外部バス・インタフェース機能は、内部ROM, RAM, SFR以外の領域に、外部デバイスを接続する機能です。外部デバイスの接続は、ポート0, 1, 5-8を使用します。ポート0, 1, 5-8は、アドレス/データ、リード/ライト・ストロープ、ウエイト、アドレス・ストロープなどの制御を行います。

外部バス・インタフェースには次の特徴があります。

- ・アドレス本数は8本、12本、16本、20本から選択可能
- ・データ・バスは8ビット・バス、16ビット・バスに対応
- ・マルチプレクスト・バスとセパレート・バスに対応
- ・外部メモリからの命令フェッチ時は、セパレート・バス・モードかつ16ビット・バス・モードを選択

外部メモリ拡張モード時の端子機能を、次に示します。

外部デバイス接続時の端子機能		兼用端子
名称	機能	
EX0-EX7	外部拡張入出力(マルチプレクスト・アドレス/データ・バス, データ・バス)	P80-P87
EX8-EX15	外部拡張入出力(マルチプレクスト・アドレス/データ・バス, アドレス・バス, データ・バス)	P50-P57
EX16-EX23	外部拡張出力(アドレス・バス)	P70/KR0-P77/KR7/INTP11
EX24-EX31	外部拡張出力(アドレス・バス)	P10/ $\overline{\text{SCK00}}$ -P17/TI02/TO02
$\overline{\text{RD}}$	リード・ストロープ信号	P64
$\overline{\text{WR0}}$	ライト・ストロープ信号(8ビット・バス・モード, 16ビット・バス・モード(下位バイト))	P65
$\overline{\text{WR1}}$	ライト・ストロープ信号(16ビット・バス・モード(上位バイト))	P66
CLKOUT	内部システム・クロック出力	P05
$\overline{\text{WAIT}}$	ウエイト信号	P06
ASTB	アドレス・ストロープ信号	P67

外部バス・インタフェース端子は、各モード設定により次のように端子機能が異なります。

外部拡張モード		端子	EX31- EX28	EX27- EX24	EX23- EX20	EX19- EX16	EX15- EX12	EX11- EX8	EX7- EX0
マルチプレクスト・バス・モード	8ビット・バス・モード	256バイト拡張モード	-	-	-	-	-	-	AD7-AD0
		4 Kバイト拡張モード	-	-	-	-	-	A11-A8	AD7-AD0
		64 Kバイト拡張モード	-	-	-	-	A15-A12	A11-A8	AD7-AD0
		フルアドレス・モード	-	-	-	A19-A16	A15-A12	A11-A8	AD7-AD0
	16ビット・バス・モード	256バイト拡張モード	-	-	-	-	D15-D12	D11-D8	AD7-AD0
		4 Kバイト拡張モード	-	-	-	-	D15-D12	AD11-AD8	AD7-AD0
		64 Kバイト拡張モード	-	-	-	-	AD15-AD12	AD11-AD8	AD7-AD0
		フルアドレス・モード	-	-	-	A19-A16	AD15-AD12	AD11-AD8	AD7-AD0
セパレート・バス・モード	8ビット・バス・モード	256バイト拡張モード	-	-	-	-	A7-A4	A3-A0	D7-D0
		4 Kバイト拡張モード	-	-	-	A11-A8	A7-A4	A3-A0	D7-D0
		64 Kバイト拡張モード	-	-	A15-A12	A11-A8	A7-A4	A3-A0	D7-D0
		フルアドレス・モード	-	A19-A16	A15-A12	A11-A8	A7-A4	A3-A0	D7-D0
	16ビット・バス・モード	256バイト拡張モード	-	-	A7-A4	A3-A0	D15-D12	D11-D8	D7-D0
		4 Kバイト拡張モード	-	A11-A8	A7-A4	A3-A0	D15-D12	D11-D8	D7-D0
		64 Kバイト拡張モード	A15-A12	A11-A8	A7-A4	A3-A0	D15-D12	D11-D8	D7-D0
		フルアドレス・モード	設定禁止						

備考 EXxx : 端子名

Axx : アドレス・バス

Dxx : データ・バス

ADxx : マルチプレクスト・アドレス/データ・バス

- : 外部バス・インタフェースを使用しない。ポート機能として使用可能。

外部バス・インタフェース機能を使用したときのメモリ・マップは、次のようになります。

図5-1 外部バス・インタフェース機能使用時のメモリ・マップ (1/4)

(a) μ PD78F1162, 78F1162Aのメモリ・マップ

(b) μ PD78F1163, 78F1163Aのメモリ・マップ

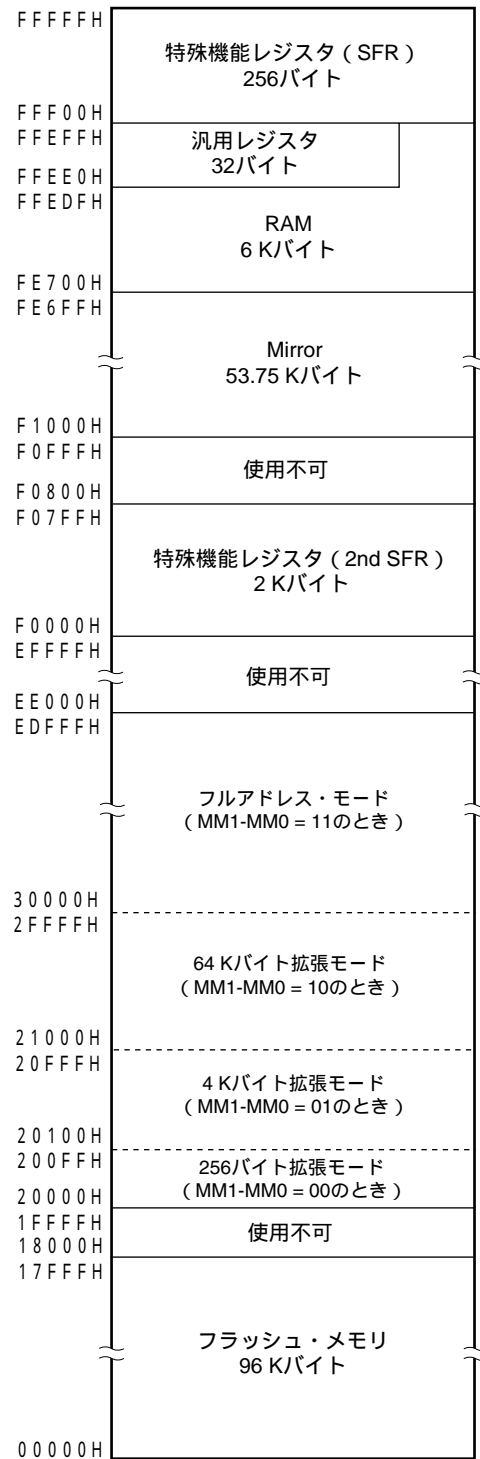
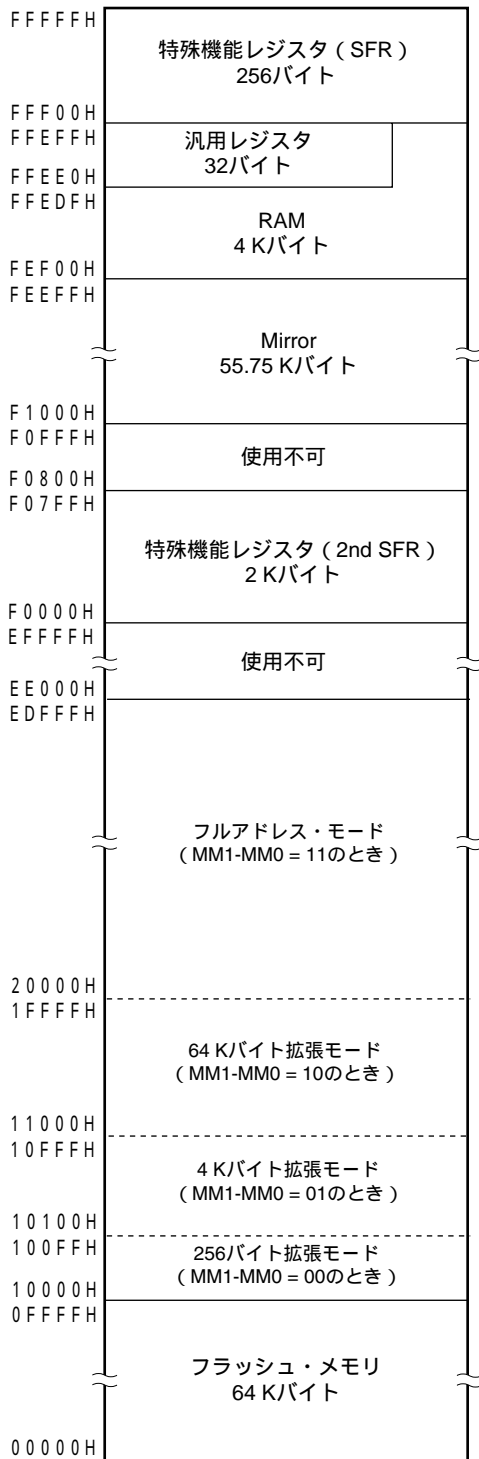


図5-1 外部バス・インタフェース機能使用時のメモリ・マップ(2/4)

(c) μ PD78F1164, 78F1164Aのメモリ・マップ

(d) μ PD78F1165, 78F1165Aのメモリ・マップ

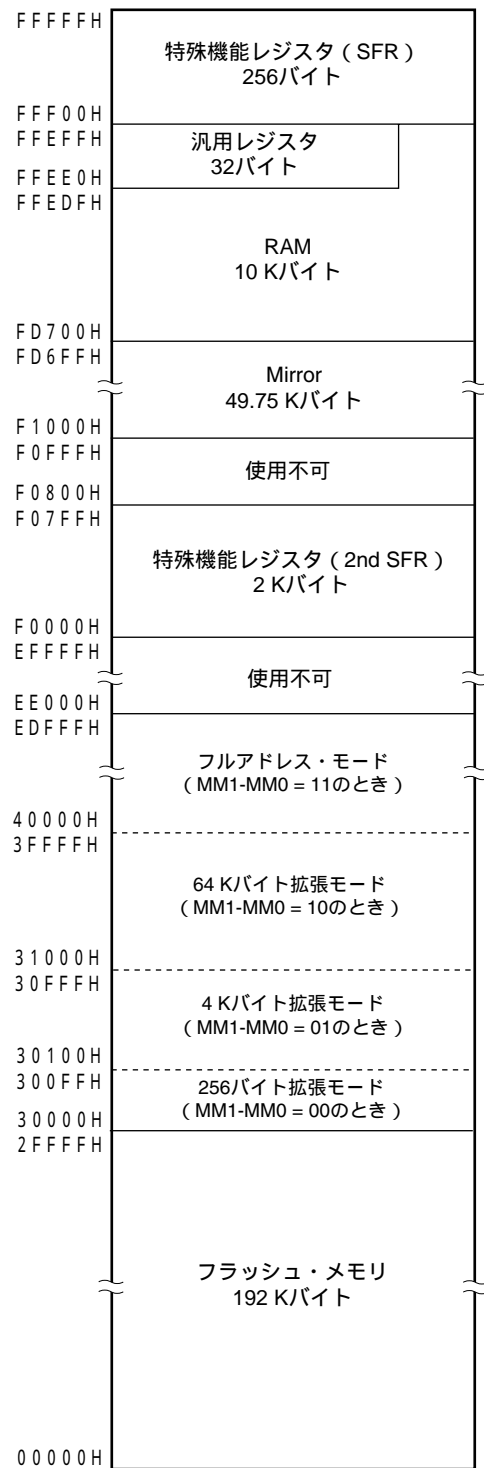
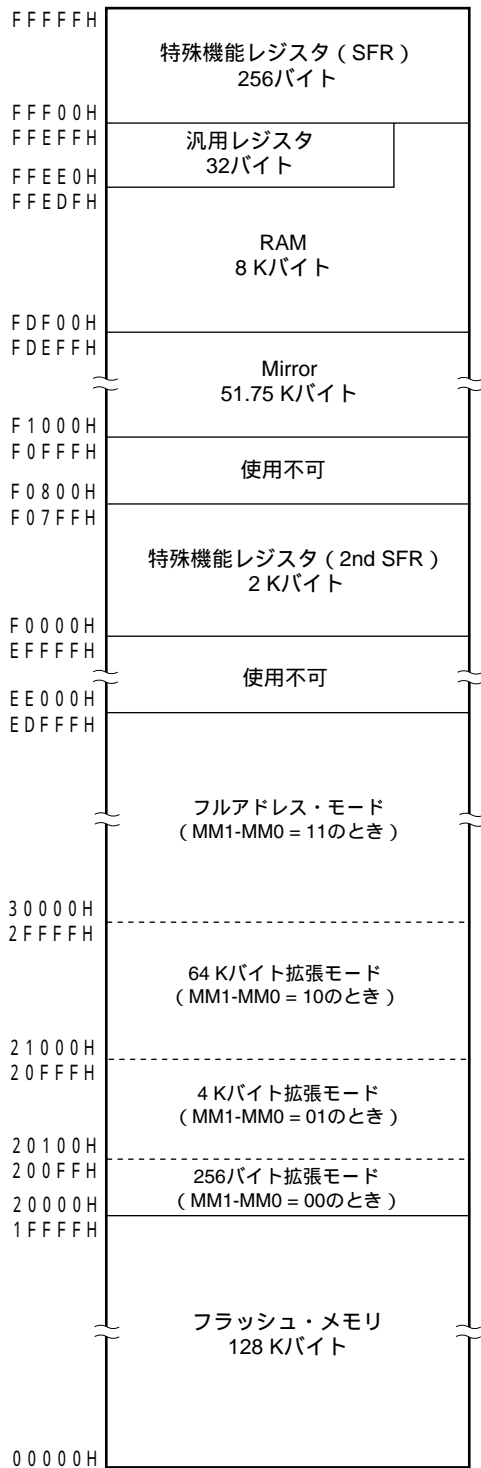
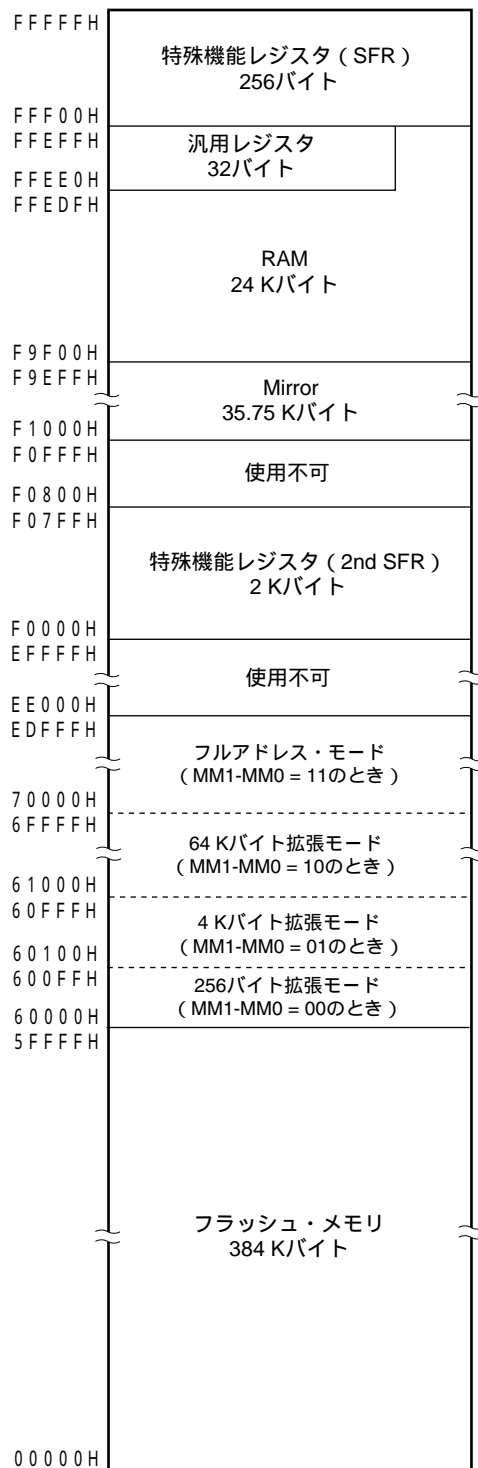
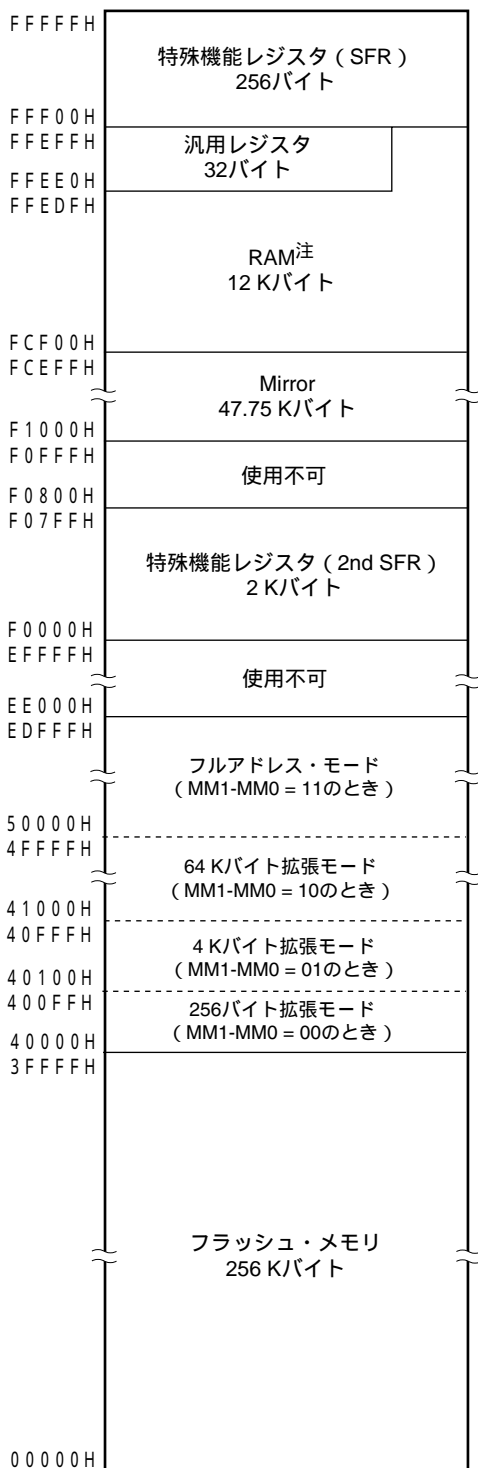


図5-1 外部バス・インタフェース機能使用時のメモリ・マップ (3/4)

(e) μ PD78F1166, 78F1166Aのメモリ・マップ

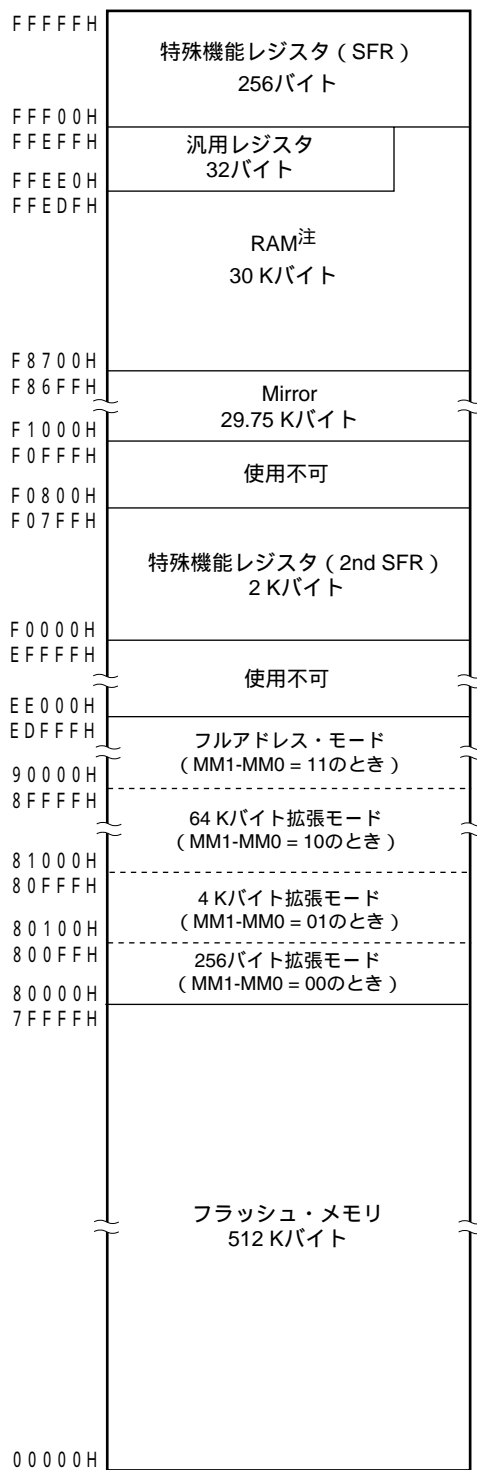
(f) μ PD78F1167, 78F1167Aのメモリ・マップ



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFCF00H-FD6FFHの領域が使用禁止になります。

図5 - 1 外部バス・インタフェース機能使用時のメモリ・マップ (4/4)

(g) μ PD78F1168, 78F1168Aのメモリ・マップ



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためF8700H-F8EFFHの領域が使用禁止になります。

5.2 外部バス・インタフェース機能を制御するレジスタ

外部バス・インタフェース機能は、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ1 (PER1)
- ・メモリ拡張モード制御レジスタ (MEM)
- ・ポート・モード・レジスタ0, 1, 5, 6, 7, 8 (PM0, PM1, PM5, PM6, PM7, PM8)
- ・ポート・レジスタ0, 1, 5, 6, 7, 8 (P0, P1, P5, P6, P7, P8)

(1) 周辺イネーブル・レジスタ1 (PER1)

PER1は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

外部バス・インタフェースを使用するときは、必ずビット0 (EXBEN) を1に設定してください。

PER1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-2 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス：F00F1H リセット時：00H RW

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	0	0	0	EXBEN

EXBEN	外部バス・インタフェースの入カクロックの制御
0	入力クロック供給停止 ・外部バス・インタフェースで使用するSFRへのライト不可 ・外部バス・インタフェース機能はリセット状態
1	入力クロック供給 ・外部バス・インタフェースで使用するSFRへのリード/ライト可

注意 外部バス・インタフェースの設定をする際には、必ず最初にEXBEN = 1の設定を行ってください。EXBEN = 0の場合は、外部バス・インタフェースの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ0, 1, 5, 6, 7, 8 (PM0, PM1, PM5, PM6, PM7, PM8), ポート・レジスタ0, 1, 5, 6, 7, 8 (P0, P1, P5, P6, P7, P8) は除く)。

(2) メモリ拡張モード制御レジスタ (MEM)

MEMは、外部拡張領域を設定するレジスタです。

MEMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 メモリ拡張モード制御レジスタ (MEM) のフォーマット

アドレス : FFFFFH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MEM	EXEN	EXWEN	EW1	EW0	MM3	MM2	MM1	MM0

EXEN	外部バス・インタフェース許可フラグ
0	シングルチップ・モード (ポート機能が有効)
1	外部バス・インタフェースを使用する

EXWEN	外部ウエイト端子許可信号
0	外部ウエイト端子を使用しない。ポートとして使用可能。
1	外部ウエイト端子を使用する

EW1	EW0	CLKOUT端子の出力クロック選択
0	0	fCLK
0	1	fCLK/2
1	0	fCLK/3
1	1	fCLK/4

MM3	外部バス・インタフェースのバス・モード切り替え
0	マルチプレクスト・バス・モード (メモリ・アクセス時のみ選択可能。フェッチ時は選択不可。)
1	セパレート・バス・モード

MM2	外部バス・インタフェースのバス幅選択
0	8ビット・バス・モード ^注 (メモリ・アクセス時のみ選択可能。フェッチ時は選択不可。)
1	16ビット・バス・モード

MM1	MM0	モードの選択
0	0	256バイト拡張モード。アドレス・バス8本使用。
0	1	4 Kバイト拡張モード。アドレス・バス12本使用。
1	0	64 Kバイト拡張モード。アドレス・バス16本使用。
1	1	フルアドレス・モード。アドレス・バス20本使用。

注 8ビット・バス・モード時は、16ビット・アクセス命令は使用できません。

外部バス・インタフェース端子は、メモリ拡張モード制御レジスタ（MEM）の設定により、次のように端子機能が異なります。

MM3	MM2	MM1	MM0	EX31- EX28	EX27- EX24	EX23- EX20	EX19- EX16	EX15- EX12	EX11- EX8	EX7- EX0		
0	0	0	0	-	-	-	-	-	-	AD7-AD0		
0	0	0	1	-	-	-	-	-	A11-A8	AD7-AD0		
0	0	1	0	-	-	-	-	A15-A12	A11-A8	AD7-AD0		
0	0	1	1	-	-	-	A19-A16	A15-A12	A11-A8	AD7-AD0		
0	1	0	0	-	-	-	-	D15-D12	D11-D8	AD7-AD0		
0	1	0	1	-	-	-	-	D15-D12	AD11-AD8	AD7-AD0		
0	1	1	0	-	-	-	-	AD15-AD12	AD11-AD8	AD7-AD0		
0	1	1	1	-	-	-	A19-A16	AD15-AD12	AD11-AD8	AD7-AD0		
1	0	0	0	-	-	-	-	A7-A4	A3-A0	D7-D0		
1	0	0	1	-	-	-	A11-A8	A7-A4	A3-A0	D7-D0		
1	0	1	0	-	-	A15-A12	A11-A8	A7-A4	A3-A0	D7-D0		
1	0	1	1	-	A19-A16	A15-A12	A11-A8	A7-A4	A3-A0	D7-D0		
1	1	0	0	-	-	A7-A4	A3-A0	D15-D12	D11-D8	D7-D0		
1	1	0	1	-	A11-A8	A7-A4	A3-A0	D15-D12	D11-D8	D7-D0		
1	1	1	0	A15-A12	A11-A8	A7-A4	A3-A0	D15-D12	D11-D8	D7-D0		
1	1	1	1	設定禁止								

EXEN	EXWEN	MM3	MM2	CLKOUT	ASTB	\overline{RD}	$\overline{WR0}$	$\overline{WR1}$	\overline{WAIT}
0	X	X	X	-	-	-	-	-	-
1	0	0	0	CLKOUT	ASTB	RD	Write strobe	-	-
1	0	0	1	CLKOUT	ASTB	RD	Low bytes write strobe	High bytes write strobe	-
1	0	1	0	CLKOUT	-	RD	Write strobe	-	-
1	0	1	1	CLKOUT	-	RD	Low bytes write strobe	High bytes write strobe	-
1	1	0	0	CLKOUT	ASTB	RD	Write strobe	-	WAIT
1	1	0	1	CLKOUT	ASTB	RD	Low bytes write strobe	High bytes write strobe	WAIT
1	1	1	0	CLKOUT	-	RD	Write strobe	-	WAIT
1	1	1	1	CLKOUT	-	RD	Low bytes write strobe	High bytes write strobe	WAIT

備考 EXxx : 端子名

Axx : アドレス・バス

Dxx : データ・バス

ADxx : マルチプレクスト・アドレス/データ・バス

- : 外部バス・インタフェースを使用しない。ポート機能として使用可能。

5.4 データ・アクセスによる命令ウエイト数

外部バス・インタフェースをアクセスすることにより、命令にウエイトが入ります。
各命令の動作クロック数にウエイト数を加えた値が、実際の動作クロックとなります。

CLKOUT端子の 選択クロック	ウエイト数 (リード/ライト)
fCLK	3クロック
fCLK/2	5~6クロック
fCLK/3	7~9クロック
fCLK/4	9~12クロック

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

5.5 フェッチ・アクセスによる命令実行クロックと命令ウエイト数

内部フラッシュでは32ビットごとに命令コードを取り込みますが、外部バス・インタフェースから命令コードを取り込む場合は、16ビットごとに命令コードを取り込みます。このため、内部フラッシュに対し、約2倍の命令コード取り込みが必要となります。また、外部メモリへのアクセスにはウエイトが入ります。そのため、外部メモリから命令フェッチする場合の各命令の最小と最大実行クロック数は、内部ROM(フラッシュ・メモリ)領域からの命令フェッチ時のクロック数ごとに、次のようになります。

内部ROM領域から命令フェッチ時 の命令実行クロック数 ^注	外部メモリから命令フェッチ時	
	最小実行クロック数	最大実行クロック数
1	$2+2 \times$ ウエイト	$5+3 \times$ ウエイト
2	$6+2 \times$ ウエイト	$7+6 \times$ ウエイト
3	$4+2 \times$ ウエイト	$8+8 \times$ ウエイト
4	$8+2 \times$ ウエイト	$10+10 \times$ ウエイト
5	$6+2 \times$ ウエイト	$12+9 \times$ ウエイト
6	$10+5 \times$ ウエイト	$14+11 \times$ ウエイト

注 内部RAM領域, SFR領域, 拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のときのクロック数です。

また、ウエイト数は、CLKOUT端子の選択クロックにより次のようになります。

CLKOUT端子の 選択クロック	ウエイト数 (フェッチ)
fCLK	3クロック
fCLK/2	5~6クロック
fCLK/3	7~9クロック
fCLK/4	9~12クロック

注意 フラッシュ・メモリと外部メモリは連続した空間にありますが、外部メモリ空間でのフェッチを行う場合は、フラッシュ・メモリまたはRAMメモリ上の分岐命令(CALL, BR)で開始してください。

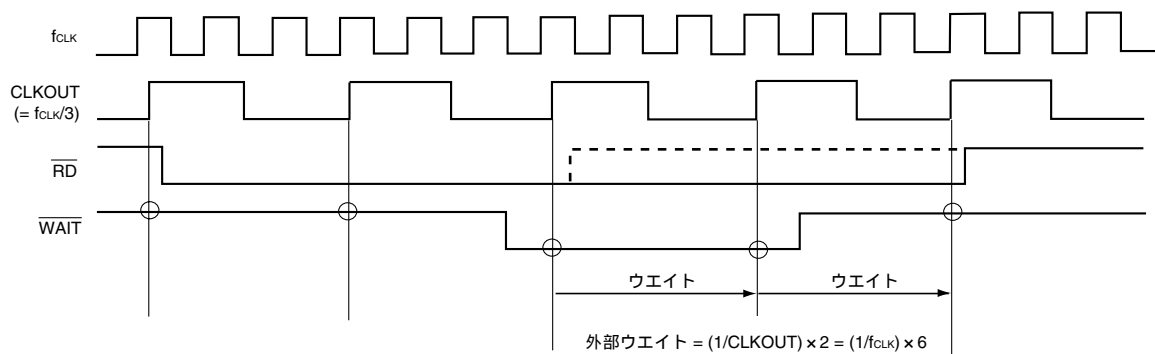
備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

5.6 外部ウエイトによる命令ウエイト数

アクセス速度が遅い外部デバイスにアクセスする場合に、バス・サイクルにウエイトを挿入することができます。CLKOUT信号の立ち上がり時に $\overline{\text{WAIT}}$ 端子へロウ・レベル^注が入力されている場合に、CLKOUTの1クロック分のウエイトが挿入されます。

例えば、CLKOUT端子のクロックとして「 $f_{\text{CLK}}/3$ 」を選択していたときに、2回連続してCLKOUT信号の立ち上がり時に $\overline{\text{WAIT}}$ 端子へロウ・レベルの入力があった場合は、CLKOUTの2クロック分のウエイトが発生するので、 $1/f_{\text{CLK}}$ 単位での外部ウエイト数は「6クロック」となります（図5 - 4を参照）。

図5 - 4 セパレート・バス・リード・タイミングに外部ウエイトが挿入された例



注 電気的特性の「CLKOUT $\overline{\text{WAIT}}$ セットアップ時間 (t_{SKWT1})」, 「CLKOUT $\overline{\text{WAIT}}$ ホールド時間 (t_{HKWT1})」を満たす必要があります（第29章 電気的特性（標準品）, 第30章 電気的特性（A）水準品）を参照）。

備考1. 1クロック： $1/f_{\text{CLK}}$ (f_{CLK} : CPUクロック)

2. 図5 - 4の点線は、外部ウエイトがなかった場合の $\overline{\text{RD}}$ 端子の波形です。

5.7 外部バス・インタフェース機能のタイミング

外部メモリ拡張モード時のタイミング・コントロール信号出力端子を次に示します。

(1) \overline{RD} 端子 (兼用機能 : P64)

リード・ストロブ信号を出力する端子です。外部メモリからの命令フェッチ、データ・リード時に出力します。

内部メモリ・リード時には、リード・ストロブ信号は出力されません(ハイ・レベルを保持します)。

(2) $\overline{WR0}$ 端子 (兼用機能 : P65)

ライト・ストロブ信号(8ビット・バス・モード, 16ビット・バス・モード(下位バイト))を出力する端子です。外部メモリへのデータ・ライト時に出力します。

内部メモリ・ライト時には、ライト・ストロブ信号は出力されません(ハイ・レベルを保持します)。

(3) $\overline{WR1}$ 端子 (兼用機能 : P66)

ライト・ストロブ信号(16ビット・バス・モード(上位バイト))を出力する端子です。外部メモリへのデータ・ライト時に出力します。

内部メモリ・ライト時には、ライト・ストロブ信号は出力されません(ハイ・レベルを保持します)。

(4) \overline{WAIT} 端子 (兼用機能 : P06)

外部ウエイト信号を入力する端子です。

CLKOUT信号に同期させて外部ウエイト信号を入力することにより、バスサイクルにウエイトを挿入することができます。

外部ウエイトを使用しないときは、 \overline{WAIT} 端子を入出力ポートとして使用できます。

内部メモリ・アクセス時には、外部ウエイト信号は無視されます。

(5) ASTB端子 (兼用機能 : P67)

アドレス・ストロブ信号を出力する端子です。

マルチプレクスト・バス・モード時にアドレス・ストロブ信号を出力する端子です。

内部メモリ・アクセス時には、アドレス・ストロブ信号は出力されません(ロウ・レベルを保持します)。

(6) CLKOUT端子 (兼用機能 : P05)

内部システム・クロックを出力する端子です。外部バス・インタフェースを使用する(MEMレジスタのEXENビット = 1)時に出力します。

(7) EX0-EX7, EX8-EX15, EX16-EX23, EX24-EX31端子 (兼用機能 : P80-P87, P50-P57, P70-P77, P10-P17)

アドレス信号を出力、およびデータ信号を入出力する端子です。外部メモリからの命令フェッチ、データ・アクセス時に有効信号が出力あるいは入力されます。

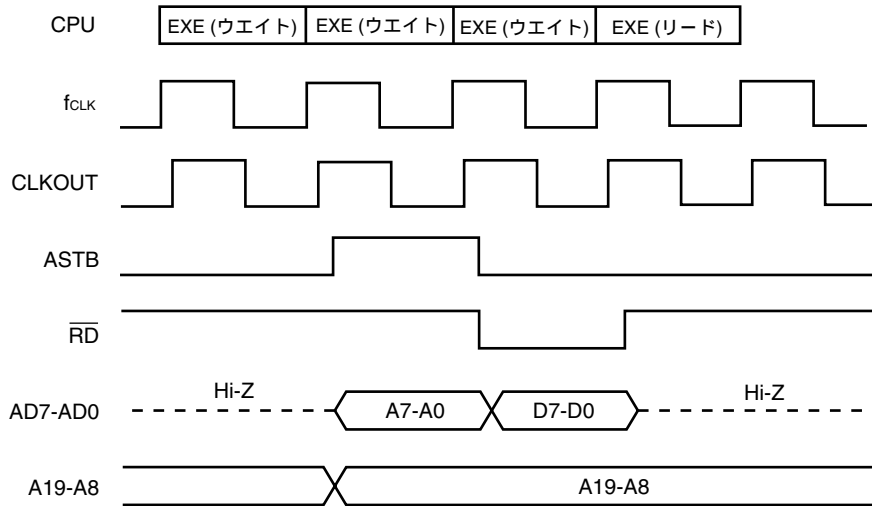
内部メモリ・アクセス時には、アドレス出力端子は最後にアクセスしたアドレスを保持します。データ出力端子はHi-Zとなります。

タイミング・チャートを図5-5から図5-8に示します。

5.7.1 マルチプレクスト・バス・モード

図5-5 外部メモリのリード・タイミング (1/2)

(a) ウェイトなし 8ビット・バス CLKOUT = fCLK (EXWEN = 0, MM3 = 0, MM2 = 0) 設定時



(b) ウェイトあり 8ビット・バス CLKOUT = fCLK (EXWEN = 1, MM3 = 0, MM2 = 0) 設定時

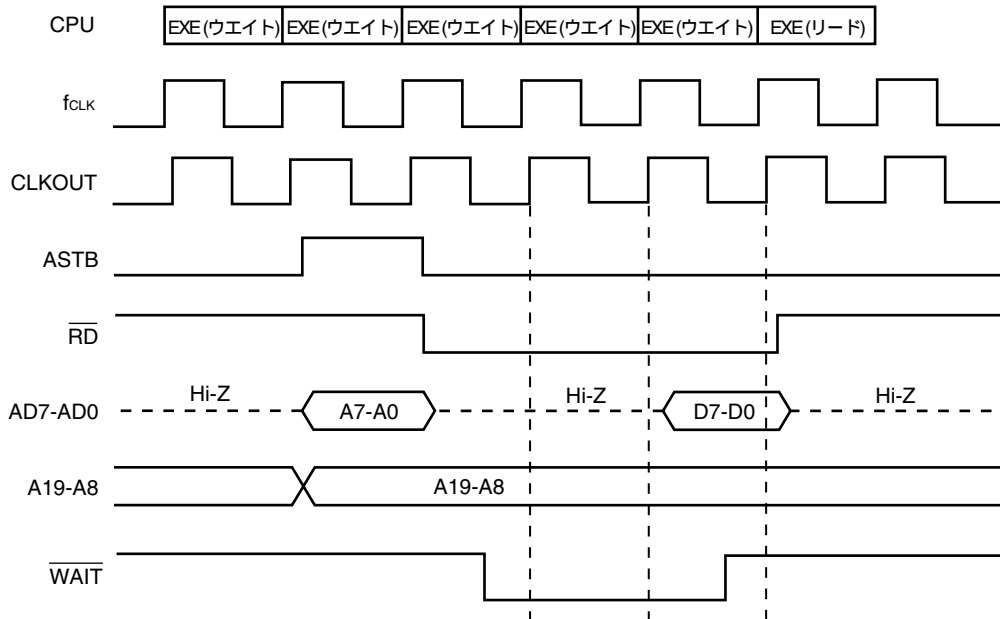
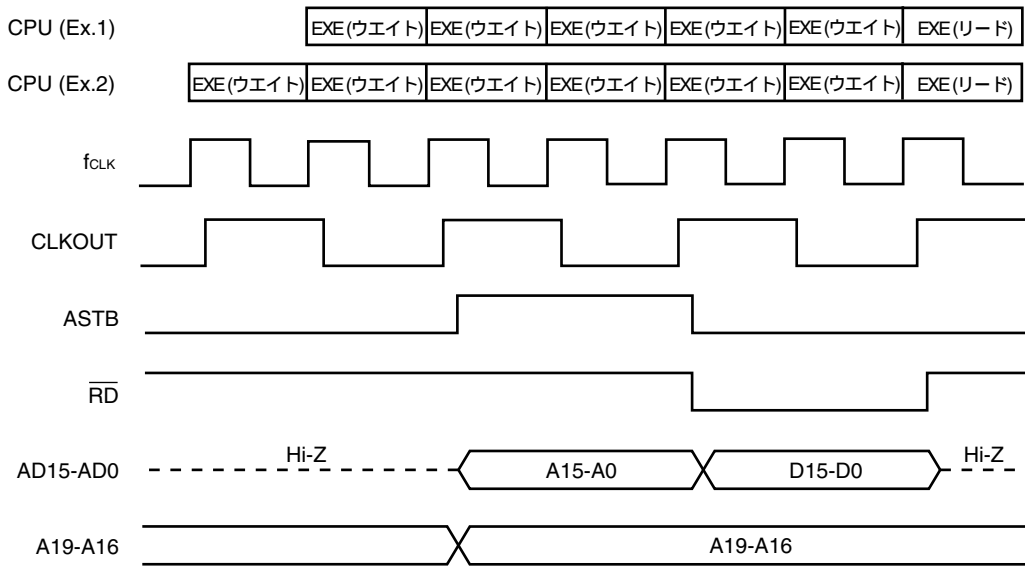


図5-5 外部メモリのリード・タイミング (2/2)

(c) ウェイトなし 16ビット・バス CLKOUT = $f_{CLK}/2$ (EXWEN = 0, MM3 = 0, MM2 = 1) 設定時



(d) ウェイトあり 16ビット・バス CLKOUT = $f_{CLK}/2$ (EXWEN = 1, MM3 = 0, MM2 = 1) 設定時

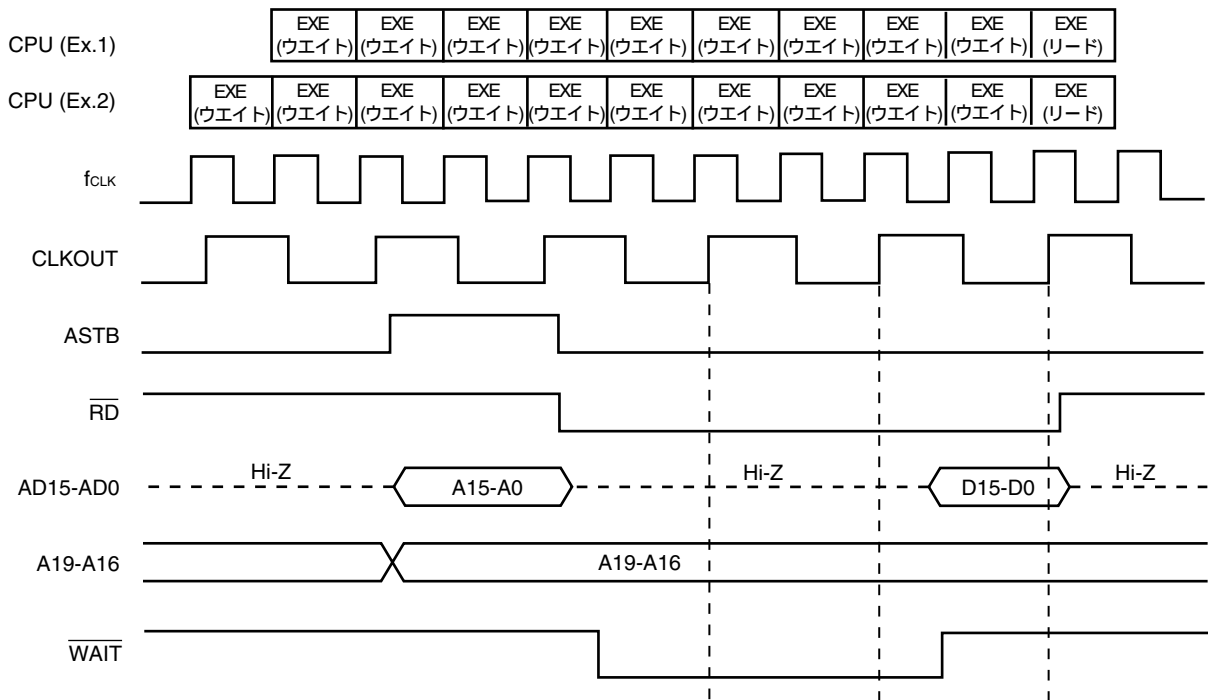
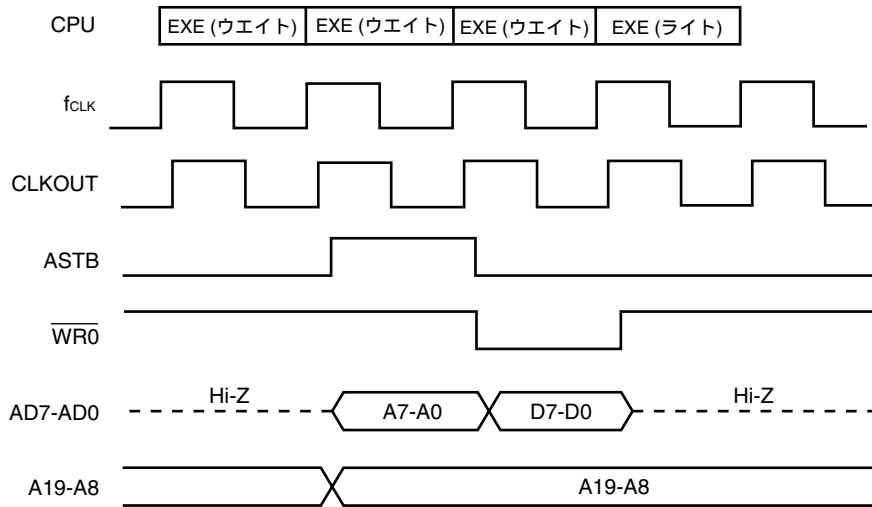


図5 - 6 外部メモリのライト・タイミング (1/2)

(a) ウェイトなし 8ビット・バス CLKOUT = f_{CLK} (EXWEN = 0, MM3 = 0, MM2 = 0) 設定時



(b) ウェイトあり 8ビット・バス CLKOUT = f_{CLK} (EXWEN = 1, MM3 = 0, MM2 = 0) 設定時

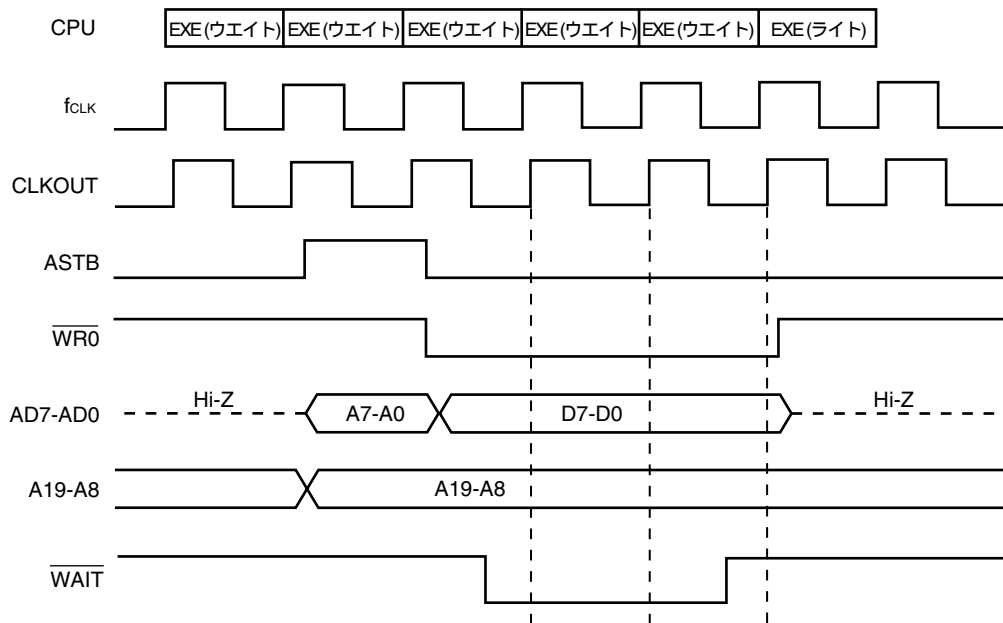
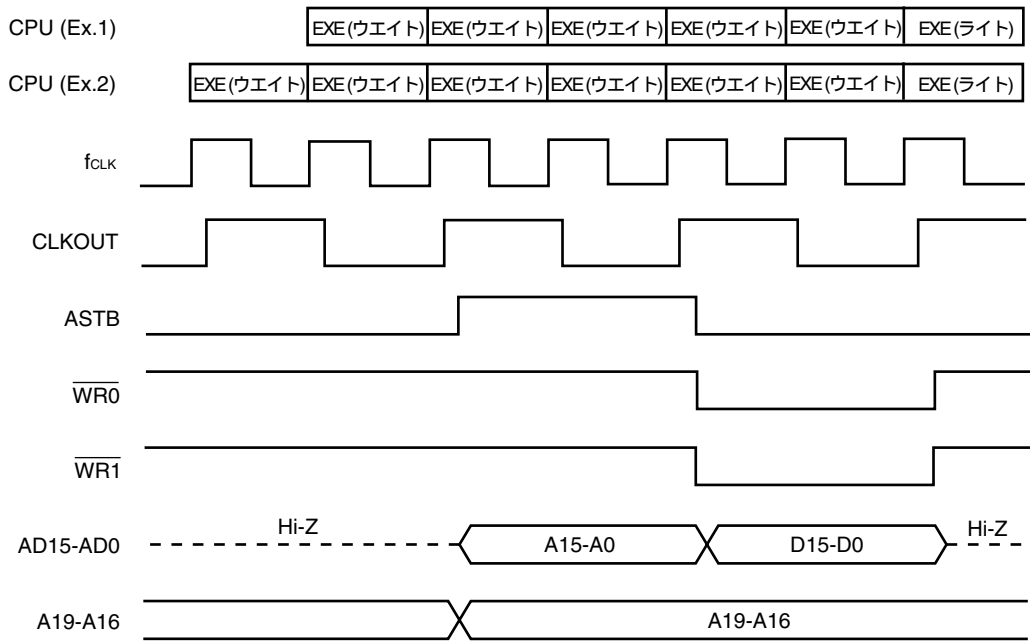
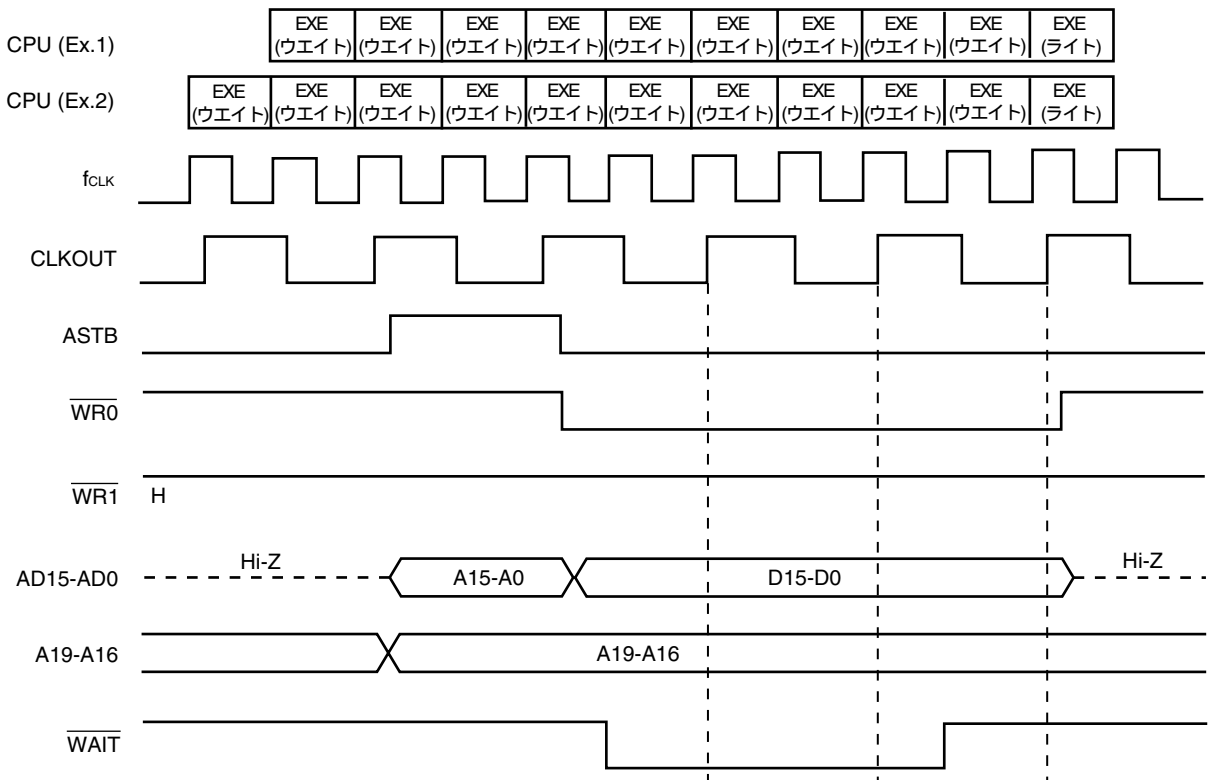


図5-6 外部メモリのライト・タイミング (2/2)

(c) ウェイトなし 16ビット・バス CLKOUT = $f_{CLK}/2$ (EXWEN = 0, MM3 = 0, MM2 = 1) 設定時



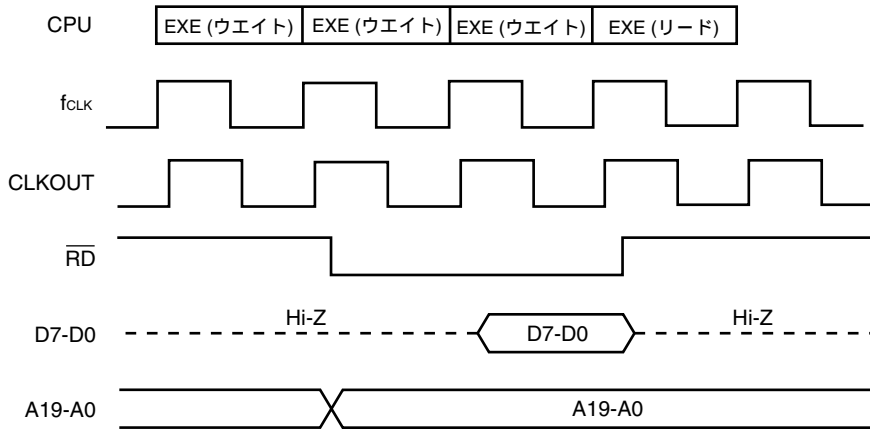
(d) ウェイトあり 16ビット・バス CLKOUT = $f_{CLK}/2$ (EXWEN = 1, MM3 = 0, MM2 = 1) 設定時, 下位8ビット書き込み時



5.7.2 セパレート・バス・モード

図5-7 外部メモリのリード・タイミング (1/2)

(a) ウェイトなし 8ビット・バス CLKOUT = f_{CLK} (EXWEN = 0, MM3 = 1, MM2 = 0) 設定時



(b) ウェイトあり 8ビット・バス CLKOUT = f_{CLK} (EXWEN = 1, MM3 = 1, MM2 = 0) 設定時

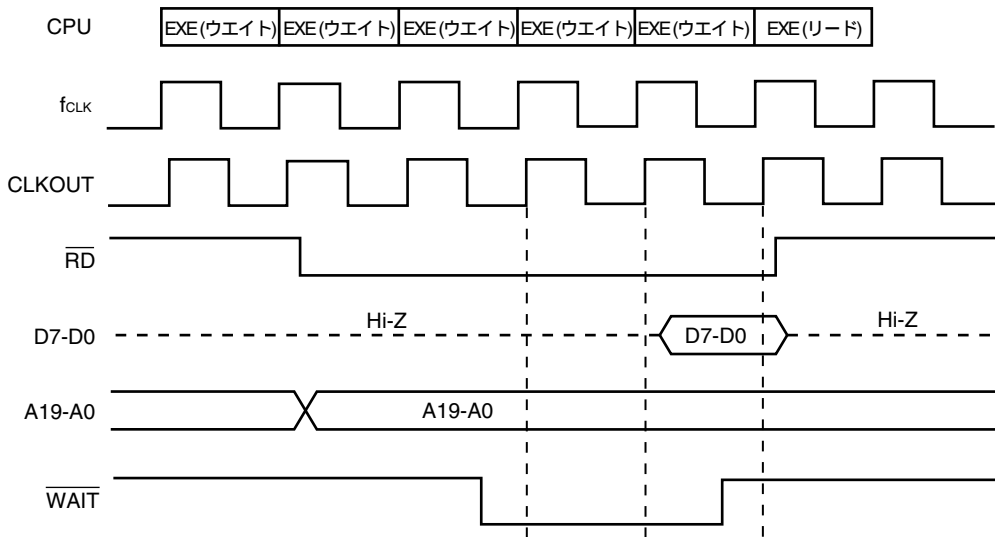
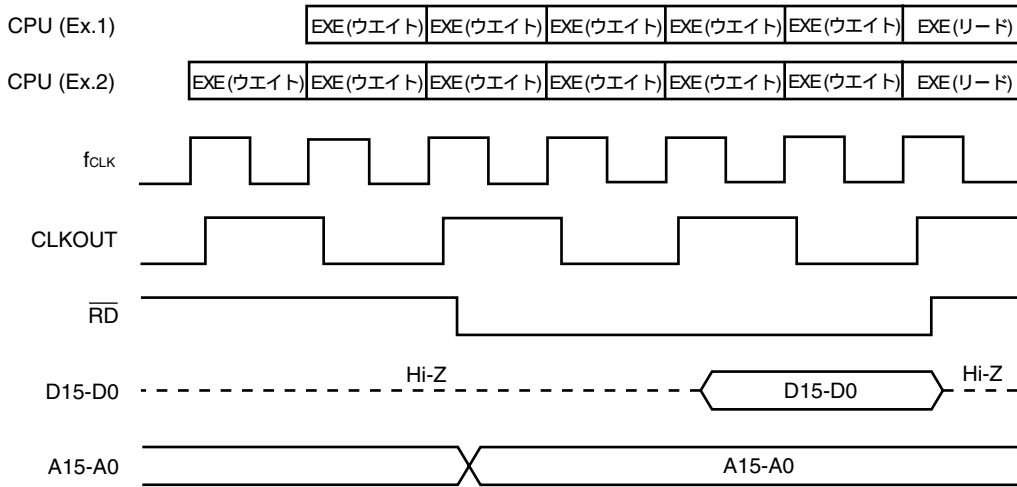


図5 - 7 外部メモリのリード・タイミング (2/2)

(c) ウェイトなし 16ビット・バス CLKOUT = $f_{CLK}/2$ (EXWEN = 0, MM3 = 1, MM2 = 1) 設定時



(d) ウェイトあり 16ビット・バス CLKOUT = $f_{CLK}/2$ (EXWEN = 1, MM3 = 1, MM2 = 1) 設定時

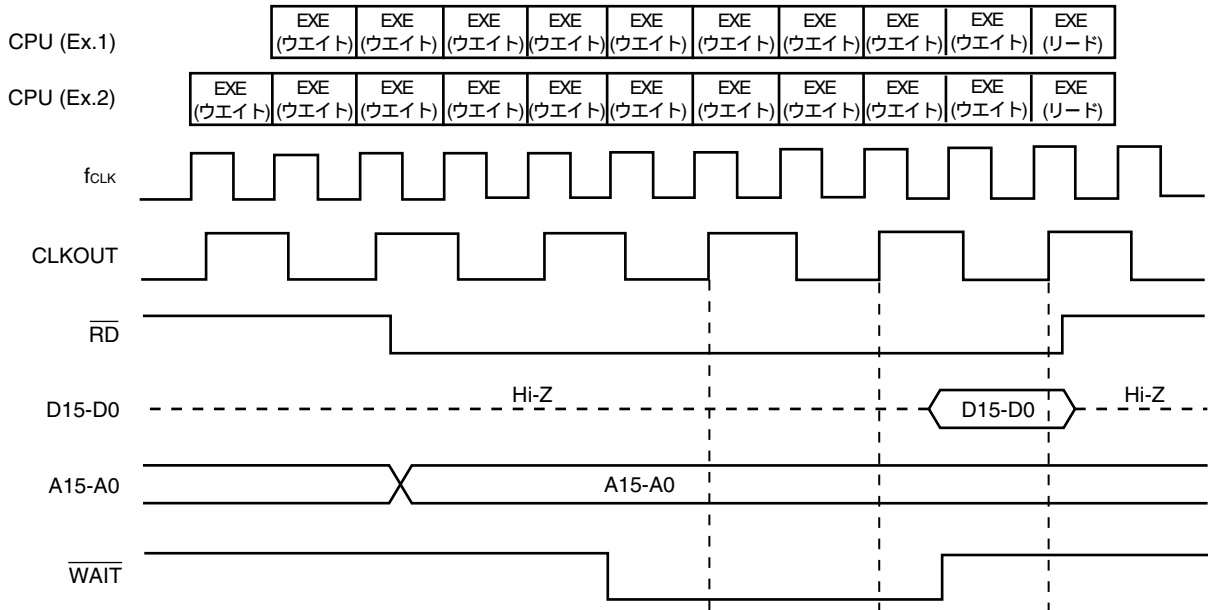
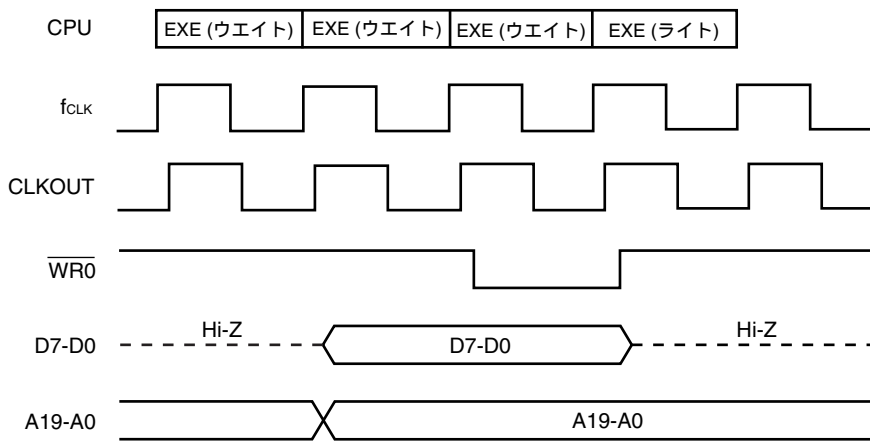


図5 - 8 外部メモリのライト・タイミング (1/2)

(a) ウェイトなし 8ビット・バス CLKOUT = f_{CLK} (EXWEN = 0, MM3 = 1, MM2 = 0) 設定時



(b) ウェイトあり 8ビット・バス CLKOUT = f_{CLK} (EXWEN = 1, MM3 = 1, MM2 = 0) 設定時

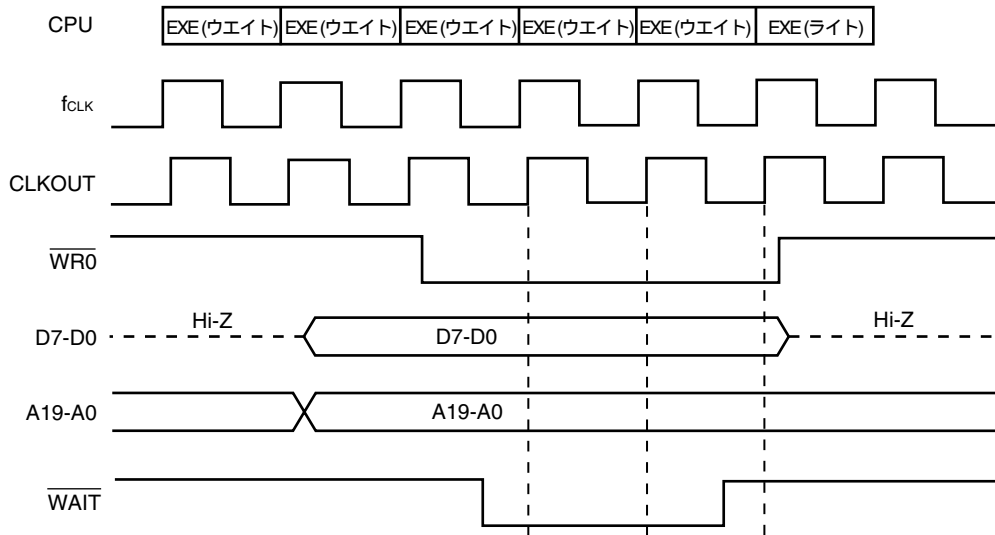
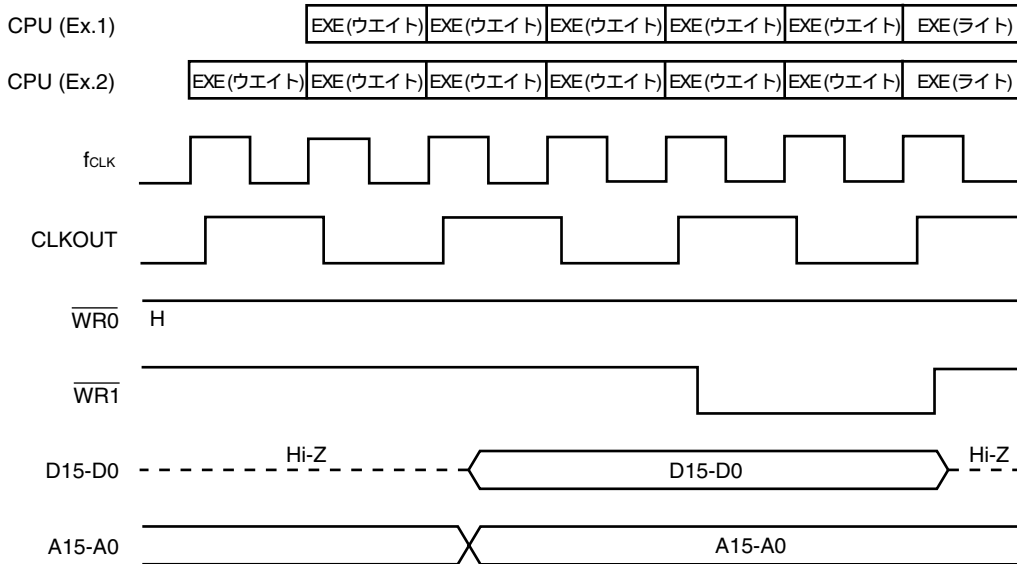
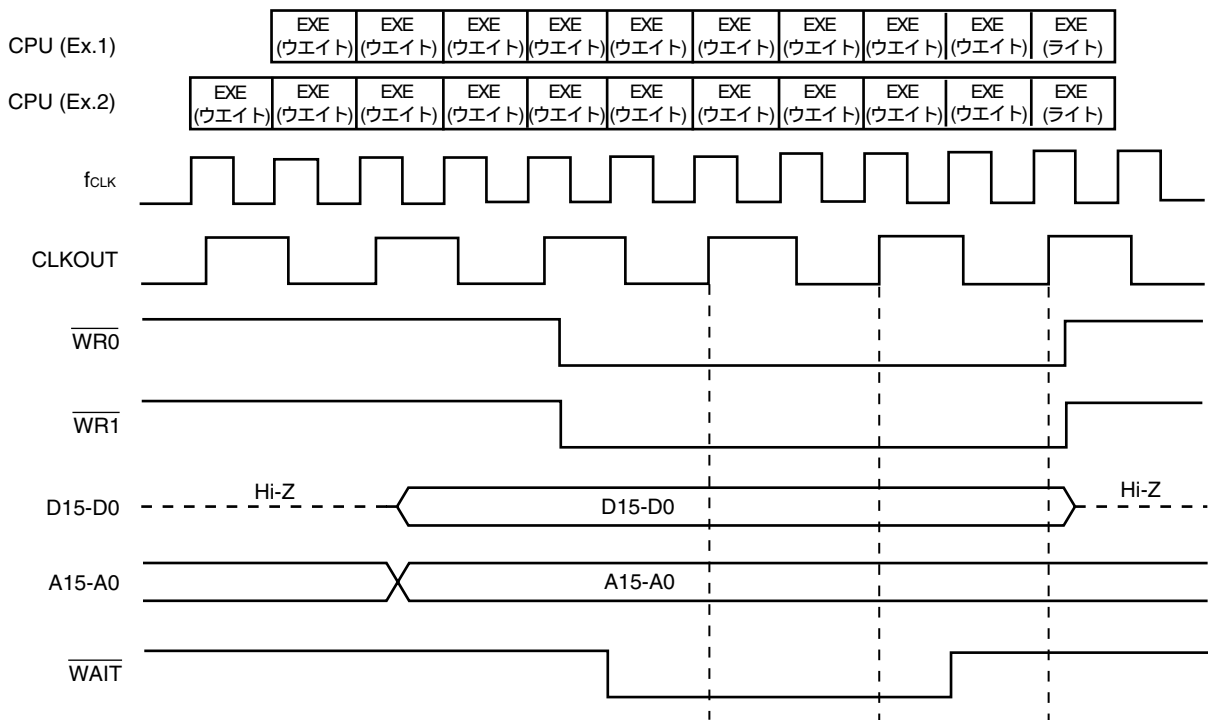


図5 - 8 外部メモリのライト・タイミング (2/2)

(c) ウェイトなし 16ビット・バス CLKOUT = $f_{CLK}/2$ (EXWEN = 0, MM3 = 1, MM2 = 1) 設定時, 上位8ビット書き込み時



(d) ウェイトあり 16ビット・バス CLKOUT = $f_{CLK}/2$ (EXWEN = 1, MM3 = 1, MM2 = 1) 設定時

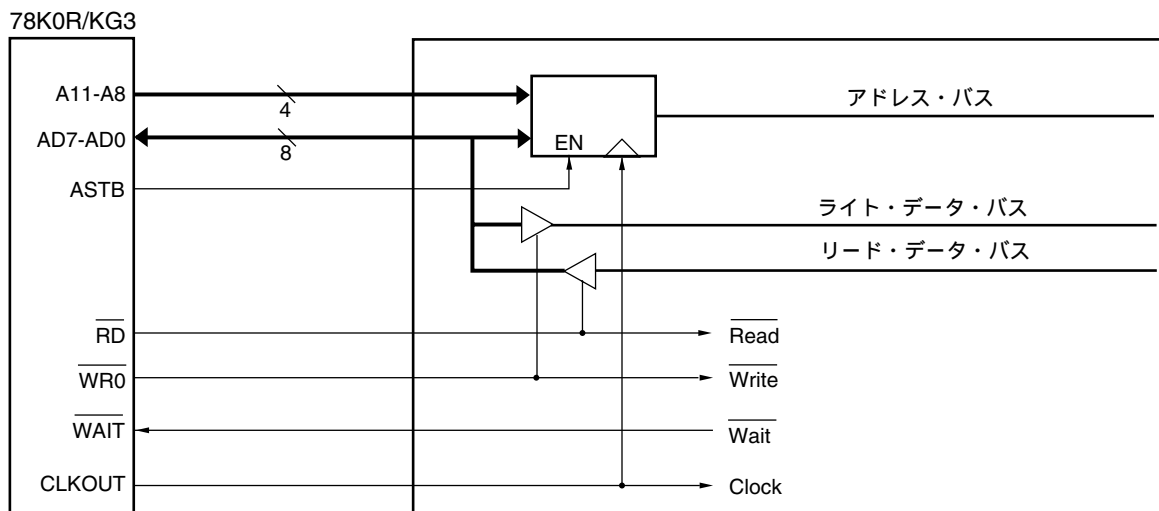


5.8 メモリとの接続例

5.8.1 外部ロジック (ASICなど) 接続

外部ロジックを接続時は、マルチプレクスト・バス・モードとセパレート・バス・モードのどちらかを選択します。バス接続時は、CLKOUTを基準クロックとしてください。その他の信号はCLKOUTに対して遅延を持っていますが、基板上や外部ロジック設計時はCLKOUTが遅くならないように注意してください。

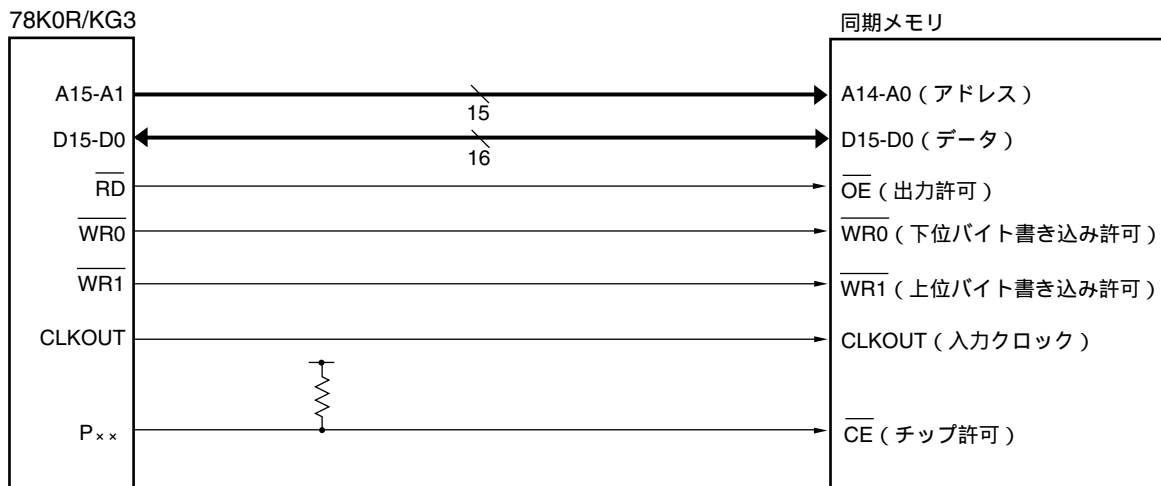
図5 - 9 外部ロジック接続例



5.8.2 同期メモリ接続

同期メモリ接続時はセパレート・バス・モードを使用してください。

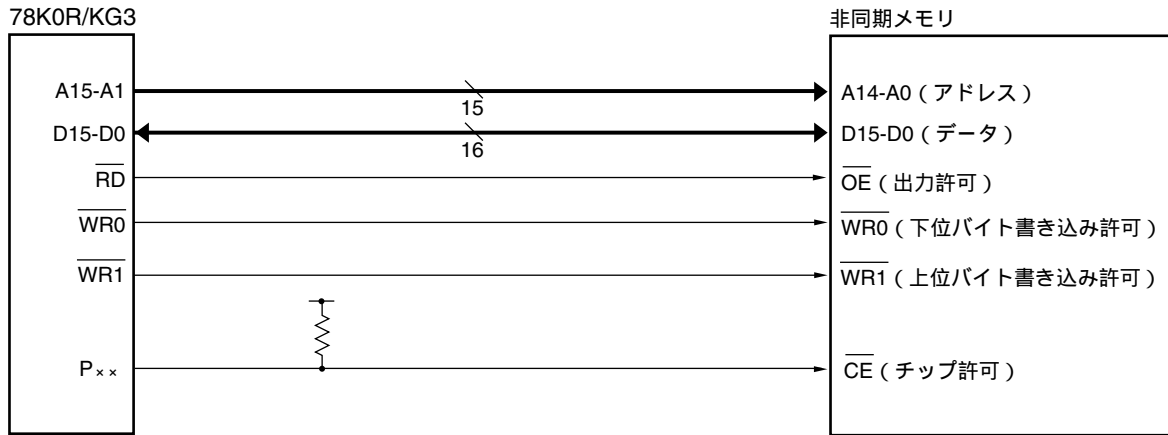
図5 - 10 同期メモリ接続例



5.8.3 非同期メモリ接続

非同期メモリ接続時はセパレート・バス・モードを使用してください。

図5 - 11 非同期メモリ接続例



第6章 クロック発生回路

6.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOP（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

高速内蔵発振回路

$f_H = 8$ MHz（TYP.）のクロックを発振させることができます。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行またはHIOSTOP（CSCのビット0）の設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 2 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速内蔵発振クロックを切り替えられます。

(2) サブシステム・クロック

・XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより、 $f_{SUB} = 32.768$ kHzのクロックを発振させることができます。XTSTOP（CSCのビット6）の設定により、発振を停止することができます。

- 備考** f_x : X1クロック発振周波数
 f_H : 高速内蔵発振クロック周波数
 f_{EX} : 外部メイン・システム・クロック周波数
 f_{SUB} : サブシステム・クロック周波数

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ用クロック)

・ 低速内蔵発振回路

$f_{IL} = 240 \text{ kHz}$ (TYP.) のクロックを発振させることができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは、ウォッチドッグ・タイマのみです。

ウォッチドッグ・タイマ動作停止時は、発振を停止します。

備考1. f_{IL} : 低速内蔵発振クロック周波数

2. ウォッチドッグ・タイマは、次の場合に動作停止します。

- ・ オプション・バイト (000C0H) のビット4 (WDTON) = 0の場合
- ・ オプション・バイト (000C0H) のビット4 (WDTON) = 1, ビット0 (WDSTBYON) = 0のときに、HALT命令またはSTOP命令を実行した場合

6.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表6-1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) システム・クロック制御レジスタ (CKC) 周辺イネーブル・レジスタ0, 1 (PER0, PER1) 動作スピード・モード制御レジスタ (OSMC) 高速内蔵発振器トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 XT1発振回路 高速内蔵発振回路 低速内蔵発振回路

備考 f_x	: X1クロック発振周波数
f_{IH}	: 高速内蔵発振クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{MAINC}	: メイン・システム選択クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{SUB}	: サブシステム・クロック周波数
f_{CLK}	: CPU / 周辺ハードウェア・クロック周波数
f_{IL}	: 低速内蔵発振クロック周波数

6.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の8種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・システム・クロック制御レジスタ (CKC)
- ・周辺イネーブル・レジスタ0, 1 (PER0, PER1)
- ・動作スピード・モード制御レジスタ (OSMC)
- ・高速内蔵発振器トリミング・レジスタ (HIOTRM)

(1) クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、1ビット・メモリ操作命令、または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図6-2 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/P124端子
0	入力ポート・モード	入力ポート	
1	XT1発振モード	水晶振動子接続	

AMPH	X1クロック発振周波数の制御
0	2 MHz f_x 10 MHz
1	10 MHz $< f_x$ 20 MHz

- 注意1. CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
- リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCを設定してください。
 - X1クロック発振周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。
 - 暴走時の誤動作を防止するために、CMCを初期値(00H)のまま使用する場合でも、リセット解除後に00Hを設定することを推奨します。

備考 f_x : X1クロック発振周波数

(2) クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック，高速内蔵発振クロック，サブシステム・クロックの動作を制御するレジスタです（低速内蔵発振クロックは除く）。

CSCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図6-3 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス：FFFA1H リセット時：C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	-
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御	
	XT1発振モード時	入力ポート・モード時
0	XT1発振回路動作	-
1	XT1発振回路停止	

HIOSTOP	高速内蔵発振クロックの動作制御
0	高速内蔵発振回路動作
1	高速内蔵発振回路停止

- 注意1. リセット解除後，MSTOPの設定でX1発振またはXTSTOPの設定でXT1発振を開始する前に，クロック動作モード制御レジスタ (CMC) を設定してください。
2. MSTOPの設定でX1発振を開始する場合，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
3. CPU / 周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは，CSCレジスタで停止させないでください。

注意4. クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は、次のようになります。

表6 - 2 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック	・ CLS = 0かつMCS = 0	MSTOP = 1
外部メイン・システム・クロック	・ CLS = 1 (CPU / 周辺ハードウェア・クロックが高速システム・クロック以外で動作)	
サブシステム・クロック	・ CLS = 0 (CPU / 周辺ハードウェア・クロックがサブシステム・クロック以外で動作)	XTSTOP = 1
高速内蔵発振クロック	・ CLS = 0かつMCS = 1 ・ CLS = 1 (CPU / 周辺ハードウェア・クロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1

(3) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 MSTOP = 0)
- ・ STOPモードを解除したとき

図6-4 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST	MOST	MOST	MOST	MOST	MOST	MOST	MOST
	8	9	10	11	13	15	17	18

MOST	MOST	MOST	MOST	MOST	MOST	MOST	MOST	発振安定時間のステータス		
								fx = 10 MHz時	fx = 20 MHz時	
8	9	10	11	13	15	17	18			
0	0	0	0	0	0	0	0	2 ⁸ /fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2 ⁹ /fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2 ⁹ /fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2 ¹⁰ /fx以上	102.4 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2 ¹¹ /fx以上	204.8 μs以上	102.4 μs以上
1	1	1	1	1	0	0	0	2 ¹³ /fx以上	819.2 μs以上	409.6 μs以上
1	1	1	1	1	1	0	0	2 ¹⁵ /fx以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	2 ¹⁷ /fx以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2 ¹⁸ /fx以上	26.21 ms以上	13.11 ms以上

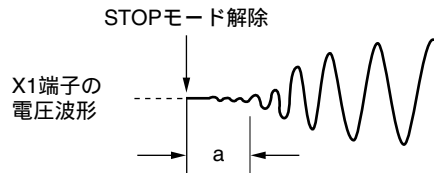
注意1. 上記時間経過後, MOST8から順番に“1”となっていく, そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。

次のときには、「OSTSの発振安定時間」 「OSTCレジスタで確認したいカウント値」に設定してください。

- CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始したい場合
- CPUクロックが高速内蔵発振クロックで, X1クロックも発振している状態でSTOPモードに移行し, その後, STOPモードを解除したい場合
(したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

(4) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合,STOPモード解除後は,OSTSで設定した時間を自動でウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合,STOPモード解除後は,OSTCで発振安定時間が経過したかを確認してください。OSTCでは,あらかじめOSTSで設定した時間までの確認ができます。

OSTSは,8ビット・メモリ操作命令で設定します。

リセット信号の発生により,07Hになります。

図6 - 5 発振安定時間選択レジスタ (OSTS) のフォーマット

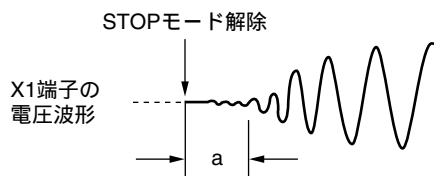
アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs	設定禁止
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

- 2 . 発振安定時間が20 μs 以下は設定禁止です。
- 3 . OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウンタ動作が終了していることを確認してください。
- 4 . X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 5 . 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。次のときには、「OSTSの発振安定時間」 「OSTCレジスタで確認したいカウンタ値」に設定してください。
 - ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
 - ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)
- 6 . X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(5) システム・クロック制御レジスタ (CKC)

CPU / 周辺ハードウェア・クロックの選択, 分周比を設定するレジスタです。

CKCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 09Hになります。

図6 - 6 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 09H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	1	MDIV2	MDIV1	MDIV0

CLS	CPU / 周辺ハードウェア・クロック (f _{CLK}) のステータス
0	メイン・システム・クロック (f _{MAIN})
1	サブシステム・クロック (f _{SUB})

MCS	メイン・システム・クロック (f _{MAIN}) のステータス
0	高速内蔵発振クロック (f _{IH})
1	高速システム・クロック (f _{MX})

CSS	MCM0	MDIV2	MDIV1	MDIV0	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	0	0	f _{IH}
		0	0	1	f _{IH} /2 (デフォルト)
		0	1	0	f _{IH} /2 ²
		0	1	1	f _{IH} /2 ³
		1	0	0	f _{IH} /2 ⁴
		1	0	1	f _{IH} /2 ⁵
0	1	0	0	0	f _{MX}
		0	0	1	f _{MX} /2
		0	1	0	f _{MX} /2 ²
		0	1	1	f _{MX} /2 ³
		1	0	0	f _{MX} /2 ⁴
		1	0	1	f _{MX} /2 ⁵ ^{注2}
¹ 注3	^x 注3	x	x	x	f _{SUB} /2
上記以外					設定禁止

注1. ビット7, 5は, Read Onlyです。

2. f_{MX} < 4 MHzのとき, 設定禁止です。

3. CSS = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

備考1. f_{IH} : 高速内蔵発振クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{SUB} : サブシステム・クロック周波数

2. x : don't care

(注意1~3は, 次ページにあります)

- 注意1. ビット3には、必ず1を設定してください。
2. CSS, MCM0, MDIV2-MDIV0で設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・カウンタ、クロック出力/プザー出力、およびウォッチドッグ・タイマは除く)。よって、CPU/周辺動作ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
 3. 周辺ハードウェア・クロックがサブシステム・クロックの場合、A/Dコンバータ、IIC0の動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性(標準品)、第30章 電気的特性((A)水準品)を参照してください。

78K0R/KG3の一番速い命令はCPUクロック1クロックで実行されます。したがって、CPUクロック(f_{CLK})と最小命令実行時間の関係は、表6-3のようになります。

表6-3 CPUクロックと最小命令実行時間の関係

CPUクロック (MDIV2-MDIV0 ビットで設定)	最小命令実行時間: $1/f_{CLK}$			
	メイン・システム・クロック (CSS = 0)			サブシステム・クロック (CSS = 1)
	高速システム・クロック (MCM0 = 1)		高速内蔵発振クロック (MCM0 = 0)	
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	32.768 kHz動作時
f_{MAIN}	0.1 μ s	0.05 μ s	0.125 μ s (TYP.)	-
$f_{MAIN}/2$	0.2 μ s	0.1 μ s	0.25 μ s (TYP.) (デフォルト)	-
$f_{MAIN}/2^2$	0.4 μ s	0.2 μ s	0.5 μ s (TYP.)	-
$f_{MAIN}/2^3$	0.8 μ s	0.4 μ s	1.0 μ s (TYP.)	-
$f_{MAIN}/2^4$	1.6 μ s	0.8 μ s	2.0 μ s (TYP.)	-
$f_{MAIN}/2^5$	3.2 μ s	1.6 μ s	4.0 μ s (TYP.)	-
$f_{SUB}/2$	-		-	61 μ s

備考 f_{MAIN} : メイン・システム・クロック周波数 (f_{IH} または f_{MX})
 f_{SUB} : サブシステム・クロック周波数

(6) 周辺イネーブル・レジスタ0, 1 (PER0, PER1)

各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

PER0, 1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-7 周辺イネーブル・レジスタのフォーマット (1/2)

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

アドレス：F00F1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	0	0	0	EXBEN

RTCEN	リアルタイム・カウンタ (RTC) の入力クロック ^注 の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 ・リアルタイム・カウンタ (RTC) はリセット状態
1	入力クロック供給 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード/ライト可

DACEN	D/Aコンバータの入力クロックの制御
0	入力クロック供給停止 ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入力クロック供給 ・D/Aコンバータで使用するSFRへのリード/ライト可

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード/ライト可

注 RTCENで制御可能な入力クロックは、CPUからリアルタイム・カウンタ (RTC) で使用するレジスタにアクセスする場合に使用されます。RTCENで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

注意 PER0レジスタのビット1, PER1レジスタのビット1-7には必ず“0”を設定してください。

図6-7 周辺イネーブル・レジスタのフォーマット (2/2)

IIC0EN	シリアル・インタフェースIIC0の入カクロックの制御
0	入カクロック供給停止 ・シリアル・インタフェースIIC0で使用するSFRへのライト不可 ・シリアル・インタフェースIIC0はリセット状態
1	入カクロック供給 ・シリアル・インタフェースIIC0で使用するSFRへのリード/ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード/ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロックの制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード/ライト可

TAU0EN	タイマ・アレイ・ユニットの入カクロックの制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

EXBEN	外部バス・インタフェースの入カクロックの制御
0	入カクロック供給停止 ・外部バス・インタフェースで使用するSFRへのライト不可 ・外部バス・インタフェースはリセット状態
1	入カクロック供給 ・外部バス・インタフェースで使用するSFRへのリード/ライト可

注意 PER0レジスタのビット1, PER1レジスタのビット1-7には必ず“0”を設定してください。

(7) 動作スピード・モード制御レジスタ (OSMC)

フラッシュ・メモリの高速動作昇圧回路を制御するレジスタです。

システム・クロックを10 MHz以下の低速で動作する際には、初期値00Hで使用することで、消費電力を低減することができます。

OSMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図6-8 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス：F00F3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	0	0	0	0	FSEL

FSEL	f_{CLK} の周波数選択
0	10 MHz以下の周波数で動作 (デフォルト)
1	10 MHzを越える周波数で動作

- 注意1. OSMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
- FSELに“1”を書き込む場合は、必ず以下の2つの動作よりも前に行ってください。
 - ・ f_{CLK} を f_{IH} 以外に切り替える
 - ・DMAコントローラを動作させる
 - FSELに“1”を書き込むと、CPUはウェイトします。
 ウェイト中に発生した割り込み要求は保留されます。
 ウェイト時間は、 $f_{CLK} = f_{IH}$ のとき $16.6 \mu s \sim 18.5 \mu s$ 、 $f_{CLK} = f_{IH}/2$ のとき $33.3 \mu s \sim 36.9 \mu s$ です。
 ただし、CPUウェイト中も、 f_x の発振安定時間のカウンタは継続可能です。
 - f_{CLK} を10 MHz以上にする場合には、FSELを“1”にセットしてから、2クロック以上経過後に切り替えてください。外部バス・インタフェースを使用する場合も、FSELを“1”にセットしてから、2クロック以上経過後に使用してください。
 - FSEL = 1では、10 MHz以下の周波数でも動作可能です。

(8) 高速内蔵発振器トリミング・レジスタ (HIOTRM)

高速内蔵発振器の精度補正をするレジスタです。

水晶振動子を用いたサブシステム・クロックや、高精度の外部クロック入力を用いたタイマ (リアルタイム・カウンタやタイマ・アレイ・ユニット) を使用するなどして高速内蔵発振器の周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、10Hになります。

注意 精度補正後に温度、 V_{DD} 端子電圧に変化があった場合、周波数は変動します。

また、HIOTRMレジスタに初期値(10H)以外を設定した場合は、その後の温度、 V_{DD} 電圧変動、またはHIOTRMレジスタの設定値によって高速内蔵発振クロックの発振精度が $8 \text{ MHz} \pm 5 \%$ を越える可能性があります。温度、 V_{DD} 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 9 高速内蔵発振器トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00F2H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	0	TTRM4	TTRM3	TTRM2	TTRM1	TTRM0

TTRM4	TTRM3	TTRM2	TTRM1	TTRM0	クロック補正值 (2.7V V _{DD} 5.5V)		
					MIN.	TYP.	MAX.
0	0	0	0	0	- 5.54%	- 4.88%	- 4.02%
0	0	0	0	1	- 5.28%	- 4.62%	- 3.76%
0	0	0	1	0	- 4.99%	- 4.33%	- 3.47%
0	0	0	1	1	- 4.69%	- 4.03%	- 3.17%
0	0	1	0	0	- 4.39%	- 3.73%	- 2.87%
0	0	1	0	1	- 4.09%	- 3.43%	- 2.57%
0	0	1	1	0	- 3.79%	- 3.13%	- 2.27%
0	0	1	1	1	- 3.49%	- 2.83%	- 1.97%
0	1	0	0	0	- 3.19%	- 2.53%	- 1.67%
0	1	0	0	1	- 2.88%	- 2.22%	- 1.36%
0	1	0	1	0	- 2.23%	- 1.91%	- 1.31%
0	1	0	1	1	- 1.92%	- 1.60%	- 1.28%
0	1	1	0	0	- 1.60%	- 1.28%	- 0.96%
0	1	1	0	1	- 1.28%	- 0.96%	- 0.64%
0	1	1	1	0	- 0.96%	- 0.64%	- 0.32%
0	1	1	1	1	- 0.64%	- 0.32%	±0%
1	0	0	0	0	±0% (デフォルト)		
1	0	0	0	1	±0%	+ 0.32%	+ 0.64%
1	0	0	1	0	+ 0.33%	+ 0.65%	+ 0.97%
1	0	0	1	1	+ 0.66%	+ 0.98%	+ 1.30%
1	0	1	0	0	+ 0.99%	+ 1.31%	+ 1.63%
1	0	1	0	1	+ 1.32%	+ 1.64%	+ 1.96%
1	0	1	1	0	+ 1.38%	+ 1.98%	+ 2.30%
1	0	1	1	1	+ 1.46%	+ 2.32%	+ 2.98%
1	1	0	0	0	+ 1.80%	+ 2.66%	+ 3.32%
1	1	0	0	1	+ 2.14%	+ 3.00%	+ 3.66%
1	1	0	1	0	+ 2.48%	+ 3.34%	+ 4.00%
1	1	0	1	1	+ 2.83%	+ 3.69%	+ 4.35%
1	1	1	0	0	+ 3.18%	+ 4.04%	+ 4.70%
1	1	1	0	1	+ 3.53%	+ 4.39%	+ 5.05%
1	1	1	1	0	+ 3.88%	+ 4.74%	+ 5.40%
1	1	1	1	1	+ 4.24%	+ 5.10%	+ 5.76%

注意 高速内蔵発振の周波数は、HIOTRMの値をある値より大きくすることにより速くなり、小さくすることにより遅くなります。大きくすることにより周波数が遅くなったり、小さくすることにより速くなるような逆転は起こりません。

6.4 システム・クロック発振回路

6.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2～20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

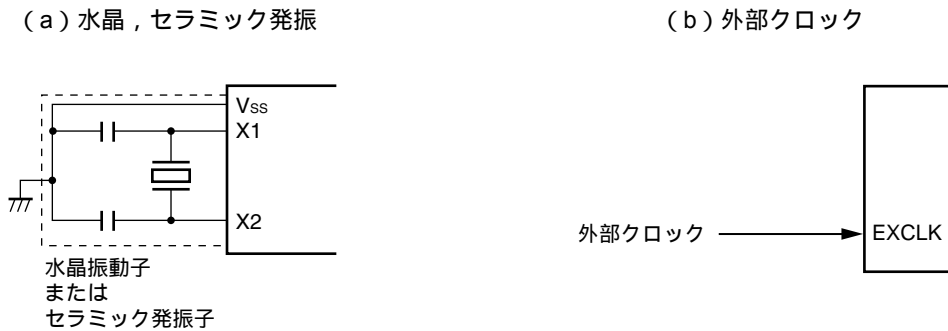
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-2 各端子の未使用端子処理を参照してください。

図6-10にX1発振回路の外付け回路例を示します。

図6-10 X1発振回路の外付け回路例



注意を次ページに示します。

6.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

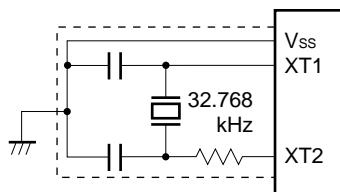
XT1発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

XT1発振回路を使用しない場合は、入力ポート・モード（OSCSELS = 0）に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-2 各端子の未使用端子処理を参照してください。

図6-11にXT1発振回路の外付け回路例を示します。

図6-11 XT1発振回路の外付け回路例（水晶発振）



注意を次ページに示します。

注意 X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6 - 10、6 - 11の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

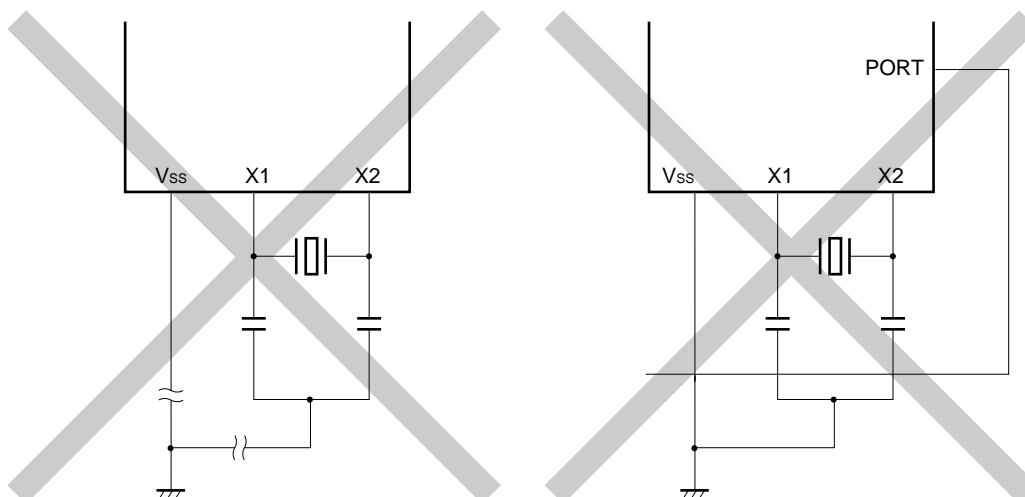
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図6 - 12に発振子の接続の悪い例を示します。

図6 - 12 発振子の接続の悪い例 (1/2)

(a) 接続回路の配線が長い

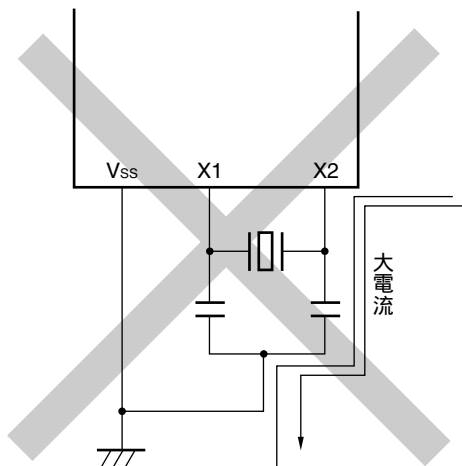
(b) 信号線が交差している



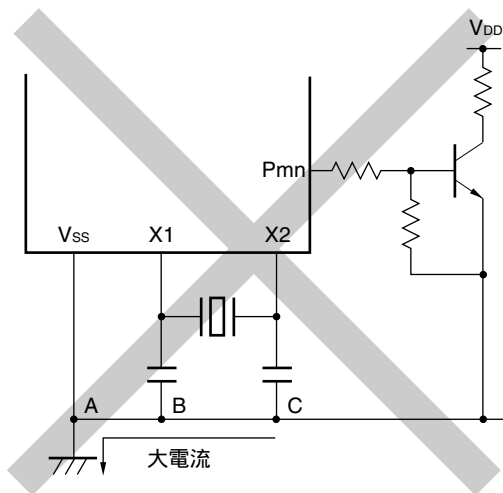
備考 サブシステム・クロックをご使用の場合は、X1、X2をXT1、XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図6 - 12 発振子の接続の悪い例 (2/2)

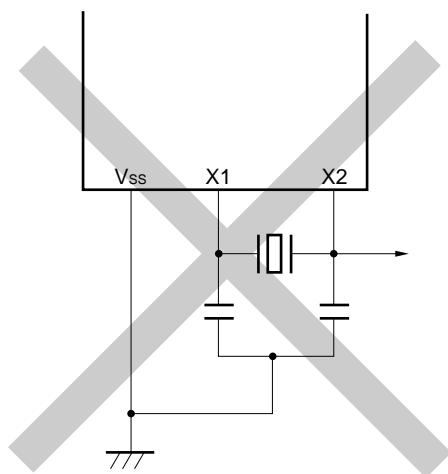
(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を挿入してください。

注意 X2とXT1が平行に配線されている場合, X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

6.4.3 高速内蔵発振回路

78K0R/KG3は、高速内蔵発振回路を内蔵しています（8 MHz（TYP.））。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）にて発振を制御できます。

リセット解除後、高速内蔵発振回路は自動的に発振を開始します。

6.4.4 低速内蔵発振回路

78K0R/KG3は、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマのクロックとしてのみ使用します。CPUクロックとして使用できません。

リセット解除後、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、低速内蔵発振回路は自動的に発振を開始し、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振回路の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

6.4.5 プリスケーラ

プリスケーラは、メイン・システム・クロックおよびサブシステム・クロックを分周し、CPU / 周辺ハードウェア・クロックを生成します。

6.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図6 - 1を参照）。

メイン・システム・クロック f_{MAIN}
・高速システム・クロック f_{MX}
 X1クロック f_x
 外部メイン・システム・クロック f_{EX}
・高速内蔵発振クロック f_{IH}
サブシステム・クロック f_{SUB}
低速内蔵発振クロック f_{IL}
CPU / 周辺ハードウェア・クロック f_{CLK}

78K0R/KG3では、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セキュリティ機能の強化

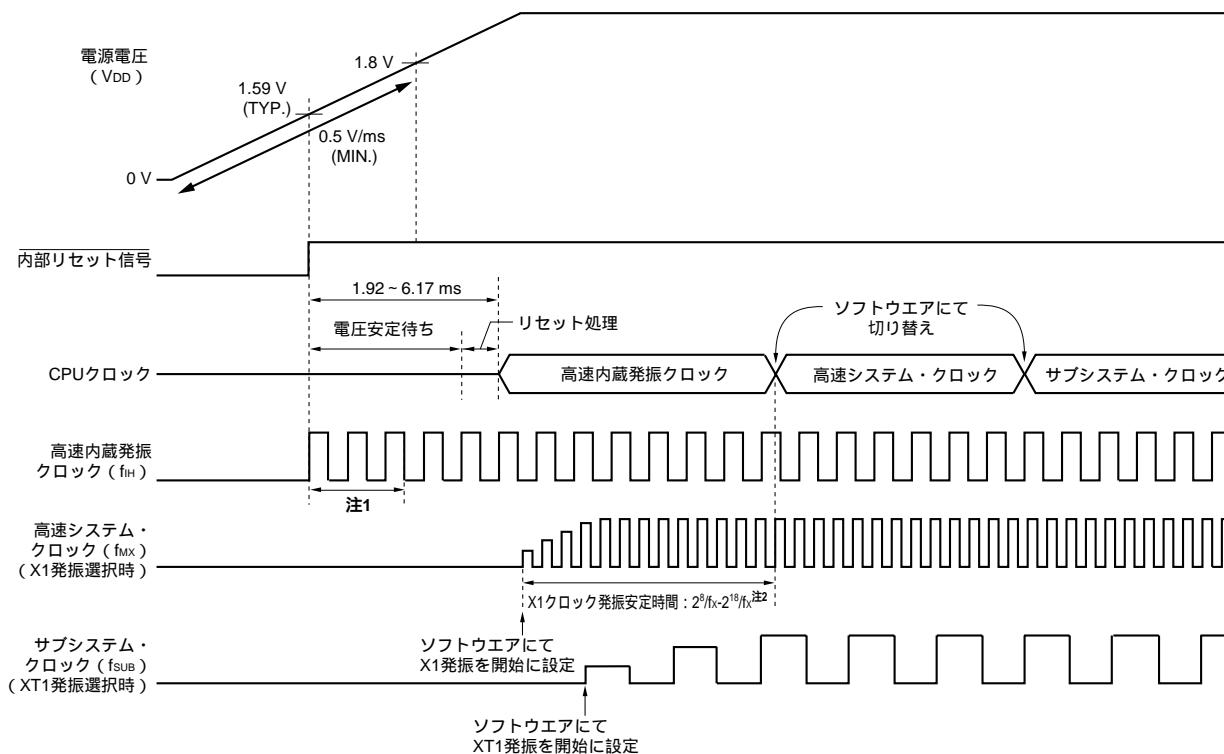
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなどの最低限の処理をしてシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図6 - 13と図6 - 14に示します。

図6 - 13 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能停止に設定時 (オプション・バイト : LVIOFF = 1))



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.59 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

電源電圧が0.5 V/ms (MIN.) の傾きで立ち上がると、リセット解除後に電源 / レギュレータの電圧安定待ち時間が経過してから、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください (6. 6. 1 高速システム・クロックの制御例の(1), 6. 6. 3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (6. 6. 1 高速システム・クロックの制御例の(3), 6. 6. 3 サブシステム・クロックの制御例の(2)を参照)。

注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。

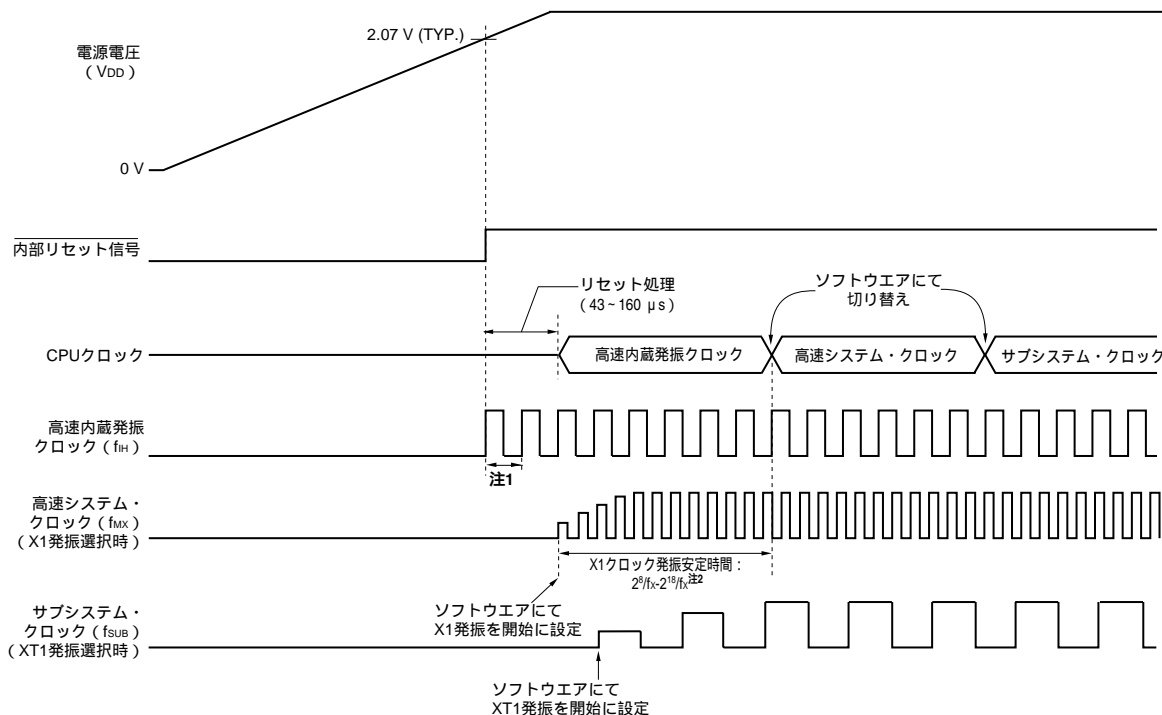
2. リセット解除時 (上図) およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。またCPUクロックが高速システム・クロック (X1発振) の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ (OSTS) で設定してください。

注意1. 電源投入時から1.8 Vに達するまでの電圧の立ち上がりは、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力するか、オプション・バイトでLVIデフォルト・スタート機能動作を設定 (LVIOFF = 0) してください (図6 - 14参照)。1.8 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図6 - 13の以降と同様のタイミングで動作します。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(6.6.1 高速システム・クロックの制御例の(4)、6.6.2 高速内蔵発振クロックの制御例の(3)、6.6.3 サブシステム・クロックの制御例の(3)を参照)。

図6-14 電源電圧投入時のクロック発生回路の動作
(LVIデフォルト・スタート機能動作に設定時(オプション・バイト:LVI0FF = 0))



電源投入後、低電圧検出(LVI)回路による内部リセット信号が発生されます。

電源電圧が2.07 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。

リセット解除後、リセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(6.6.1 高速システム・クロックの制御例の(1)、6.6.3 サブシステム・クロックの制御例の(1)を参照)。

CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(6.6.1 高速システム・クロックの制御例の(3)、6.6.3 サブシステム・クロックの制御例の(2)を参照)。

注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

2. リセット解除時(上図)およびCPUクロックが高速内蔵発振クロックの場合のSTOPモード解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。またCPUクロックが高速システム・クロック(X1発振)の場合、STOPモード解除時の発振安定時間を、発振安定時間選択レジスタ(OSTS)で設定してください。

注意 1. 電源電圧が1.59 V (TYP.) に達したあと、電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.07 V (TYP.) に達する時間が、電圧安定待ち時間より短い場合は、リセット処理前に電圧安定待ち時間が自動的に発生します。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

備考 マイコン動作中、ソフトウェアの設定により、CPUクロックとして使用していないクロックを停止することができます。また、高速内蔵発振クロックと高速システム・クロックはSTOP命令の実行により、クロックを停止することができます(6.6.1 高速システム・クロックの制御例の(4)、6.6.2 高速内蔵発振クロックの制御例の(3)、6.6.3 サブシステム・クロックの制御例の(3)を参照)。

6.6 クロックの制御

6.6.1 高速システム・クロックの制御例

高速システム・クロックは、次の2種類があります。

- ・X1クロック : X1, X2端子に水晶/セラミック発振子接続
- ・外部メイン・システム・クロック : EXCLK端子に外部クロック入力

また、未使用時では、X1/P121, X2/EXCLK/P122端子を入力ポートとして使用できます。

注意 X1/P121, X2/EXCLK/P122端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) X1クロックを発振する場合
- (2) 外部メイン・システム・クロックを使用する場合
- (3) 高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合
- (4) 高速システム・クロックを停止する場合

(1) X1クロックを発振する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定、発振周波数の設定(CMCレジスタ)

・2 MHz f_x 10 MHzの場合

EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
0	1	0	0/1	0	0	0	0

・10 MHz $< f_x$ 20 MHzの場合

EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
0	1	0	0/1	0	0	0	1

備考1. f_x : X1クロック発振周波数

2. P123/XT1, P124/XT2端子の設定については、6.6.3 サブシステム・クロックの制御例を参照してください。

X1クロックの発振制御(CSCレジスタ)

MSTOPを0に設定すると、X1発振回路が発振を開始します。

X1クロックの発振安定待ち

OSTCレジスタを確認し、必要な時間の経過をウエイトします。

ウエイト中は、高速内蔵発振クロックで他のソフトウェア処理を実行できます。

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
 そのため、OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては、
 6. 6. 3 サブシステム・クロックの制御例を参照してください。
2. 電源電圧が、使用するクロックの動作可能電圧（第29章 電気的特性（標準品）、第30章 電気的特性（A）水準品）を参照）に達してから、X1クロックの設定を行ってください。

(2) 外部メイン・システム・クロックを使用する場合の設定手順例

P121/X1, P122/X2/EXCLK端子の設定 (CMCレジスタ)

EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
1	1	0	0/1	0	0	0	x

- 備考1. x : don't care
2. P123/XT1, P124/XT2端子の設定については、6. 6. 3 (1) サブシステム・クロックを発振する場合の設定手順例を参照してください。

外部メイン・システム・クロックの入力制御 (CSCレジスタ)

MSTOPを0に設定すると、外部メイン・システム・クロックの入力が有効になります。

- 注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
 そのため、OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては、
 6. 6. 3 サブシステム・クロックの制御例を参照してください。
2. 電源電圧が、使用するクロックの動作可能電圧（第29章 電気的特性（標準品）、第30章 電気的特性（A）水準品）を参照）に達してから、外部メイン・システム・クロックの設定を行ってください。

(3) 高速システム・クロックをCPU / 周辺ハードウェア・クロックとして使用する場合の設定手順例

高速システム・クロックの発振を設定^注

(6. 6. 1 (1) X1クロックを発振する場合の設定手順例、または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照)。

注 高速システム・クロック動作中の場合、 の設定不要です。

高速システム・クロックをCPU / 周辺ハードウェア・クロックのソース・クロックに設定し、設定したクロックの分周比を設定 (CKCレジスタ)

MCM0	MDIV2	MDIV1	MDIV0	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
1	0	0	0	f _{MX}
	0	0	1	f _{MX} /2
	0	1	0	f _{MX} /2 ²
	0	1	1	f _{MX} /2 ³
	1	0	0	f _{MX} /2 ⁴
	1	0	1	f _{MX} /2 ⁵ 注

注 f_{MX} < 4 MHzのとき、設定禁止です。

使用しない周辺ハードウェアがある場合、周辺ハードウェアごとに、入力クロックの供給停止可能 (PER0レジスタ)

RTCCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN
--------	-------	-------	--------	--------	--------	---	--------

(PER1レジスタ)

0	0	0	0	0	0	0	EXBEN
---	---	---	---	---	---	---	-------

xxxEN	入力クロックの制御
0	入力クロック供給停止
1	入力クロック供給

注意 PER0レジスタのビット1, PER1レジスタのビット1-7には必ず“0”を設定してください。

備考	RTCCEN	:リアルタイム・カウンタの入力クロック制御
	DACEN	:D/Aコンバータの入力クロック制御
	ADCEN	:A/Dコンバータの入力クロック制御
	IIC0EN	:シリアル・インタフェースIIC0の入力クロック制御
	SAU1EN	:シリアル・アレイ・ユニット1の入力クロック制御
	SAU0EN	:シリアル・アレイ・ユニット0の入力クロック制御
	TAU0EN	:タイマ・アレイ・ユニットの入力クロック制御
	EXBEN	:外部バス・インタフェースの入力クロック制御

(4) 高速システム・クロックを停止する場合の設定手順例

高速システム・クロックを停止 (外部クロックを使用している場合は、クロック入力無効) するには、次の2つの方法があります。

- ・STOP命令を実行する
- ・MSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの停止を設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します (STOPモード中に使用できない周辺ハードウェアについては、第19章 スタンバイ機能を参照してください)。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、X1発振は停止します (外部クロック入力は無効になります)。

(b) MSTOPを1に設定し、X1発振を停止（外部クロック入力を無効）する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSとMCSで、CPUクロックが高速システム・クロック以外で動作しているかを確認します。

CLS = 0, MCS = 1の場合、CPUに高速システム・クロックが供給されていますので、CPUクロックをサブシステム・クロックか、高速内蔵発振クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

X1クロック発振再開後のX1クロックの発振安定時間の設定^注

MSTOPに1を設定する前までに、X1発振再開後にOSTCレジスタで確認したいカウント値より大きい値に、OSTSレジスタの値を設定します。

高速システム・クロックの停止（CSCレジスタ）

MSTOPを1に設定すると、X1発振は停止します（外部クロック入力は無効になります）。

注 高速システム・クロックがX1発振モードで、あとでX1クロックを発振再開する場合に必要です。外部クロック入力モード時は、設定不要です。

注意 MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。

6.6.2 高速内蔵発振クロックの制御例

次の設定手順例を、以下に示します。

- (1) 高速内蔵発振クロックの発振を再開する場合
- (2) 高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックとして使用する場合
- (3) 高速内蔵発振クロックを停止する場合

(1) 高速内蔵発振クロックの発振を再開する場合の設定手順例^注

高速内蔵発振クロック発振の再開の設定（CSCレジスタ）

HIOSTOPを0に設定すると高速内蔵発振クロックは発振を再開します。

注 リセット解除後、高速内蔵発振器は自動的に発振し、高速内蔵発振クロックがCPU / 周辺ハードウェア・クロックとして選択されます。

(2) 高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックとして使用する場合

高速内蔵発振クロックの発振を再開^注

(6.6.2 (1) 高速内蔵発振クロックの発振を再開する場合の設定手順例を参照)。

注 高速内蔵発振クロック動作中の場合、 の設定不要です。

高速内蔵発振クロックをCPU / 周辺ハードウェア・クロックのソース・クロックに設定し、設定したクロックの分周比を設定（CKCレジスタ）

MCM0	MDIV2	MDIV1	MDIV0	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	0	f _H
	0	0	1	f _H /2
	0	1	0	f _H /2 ²
	0	1	1	f _H /2 ³
	1	0	0	f _H /2 ⁴
	1	0	1	f _H /2 ⁵

注意 高速内蔵発振クロックを再開後に、CPU / 周辺ハードウェア・クロックを高速システム・クロックから高速内蔵発振クロックに切り替える場合は、10 μs以上経過後に行ってください。再開直後に切り替えた場合は、10 μs間の高速内蔵発振の精度が保証できません。

(3) 高速内蔵発振クロックを停止する場合の設定手順例

高速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ STOP命令を実行する
- ・ HIOSTOPを1に設定する

(a) STOP命令を実行する場合

周辺ハードウェアの設定

STOPモード中に使用できない周辺ハードウェアをすべて停止します（STOPモード中に使用できない周辺ハードウェアについては、第19章 **スタンバイ機能**を参照してください）。

STOPモード解除後のX1クロックの発振安定時間の設定

STOPモード移行前にX1クロックが発振している場合、STOP命令実行前までにOSTSレジスタの値を設定します。

STOP命令の実行

STOP命令を実行すると、STOPモードに移行し、高速内蔵発振クロックは停止します。

(b) HIOSTOPを1に設定し、高速内蔵発振クロックを停止する場合

CPUクロックのステータスを確認（CKCレジスタ）

CLSとMCSで、CPUクロックが高速内蔵発振クロック以外で動作していることを確認します。CLS = 0, MCS = 0の場合、CPUに高速内蔵発振クロックが供給されていますので、CPUクロックを高速システム・クロックか、サブシステム・クロックに変更してください。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

高速内蔵発振クロックの停止 (CSCレジスタ)

HIOSTOPを1に設定すると、高速内蔵発振が停止します。

注意 HIOSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。
また、高速内蔵発振クロックで動作している周辺ハードウェアを停止してください。

6.6.3 サブシステム・クロックの制御例

XT1, XT2端子に水晶発振子を接続して、サブシステム・クロックを発振することができます。

また、未使用時では、XT1/P123, XT2/P124端子を入力ポートとして使用できます。

注意 XT1/P123, XT2/P124端子のリセット解除時は、入力ポート・モードです。

次の設定手順例を、以下に示します。

- (1) サブシステム・クロックを発振する場合
- (2) サブシステム・クロックをCPUクロックとして使用する場合
- (3) サブシステム・クロックを停止する場合

注意 サブシステム・クロックをCPUクロックとして使用する場合、同時に周辺ハードウェアにもサブシステム・クロックが供給されます(リアルタイム・カウンタ、クロック出力/ブザー出力、およびウォッチドッグ・タイマは除く)。このとき、A/Dコンバータ、IIC0の動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 **電気的特性(標準品)**、第30章 **電気的特性(A) 水準品**を参照してください。

(1) サブシステム・クロックを発振する場合の設定手順例**P123/XT1, P124/XT2端子の設定 (CMCレジスタ)**

EXCLK	OSCSEL	0	OSCSELS	0	0	0	AMPH
0/1	0/1	0	1	0	0	0	0/1

備考 P121/X1, P122/X2端子の設定については、6.6.1 **高速システム・クロックの制御例**を参照してください。

サブシステム・クロックの発振制御 (CSCレジスタ)

XTSTOPを0に設定すると、XT1発振回路が発振を開始します。

サブシステム・クロックの発振安定待ち

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

そのため、EXCLK、OSCSELビットの値も同時に設定する必要があります。EXCLK、OSCSELビットについては、6.6.1(1) X1クロックを発振する場合の設定手順例、または(2)外部メイン・システム・クロックを使用する場合の設定手順例を参照してください。

(2) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例

サブシステム・クロックを発振^注

(6.6.3(1) サブシステム・クロックを発振する場合の設定手順例を参照)

注 サブシステム・クロック動作中の場合、 の設定不要です。

サブシステム・クロックをCPUクロックのソース・クロックに設定 (CKCレジスタ)

CSS	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
1	f _{SUB} /2

注意 サブシステム・クロックをCPUクロックとして使用する場合、同時に周辺ハードウェアにもサブシステム・クロックが供給されます (リアルタイム・カウンタ、クロック出力/ブザー出力、およびウォッチドッグ・タイマは除く)。このとき、A/Dコンバータ、IIC0の動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性(標準品)、第30章 電気的特性 (A) 水準品)を参照してください。

(3) サブシステム・クロックを停止する場合の設定手順例

CPUクロックのステータスを確認 (CKCレジスタ)

CLSとMCSで、CPUクロックがサブシステム・クロック以外で動作しているかを確認します。

CLS = 1の場合、CPUにサブシステム・クロックが供給されていますので、CPUクロックを高速内蔵発振クロックか高速システム・クロックに変更してください (サブシステム・クロックから他のクロックへ変更する場合の条件については、図6-15 CPUクロック状態移行図または、表6-5 CPUクロックの移行についてを参照してください)。

CLS	MCS	CPUクロックのステータス
0	0	高速内蔵発振クロック
0	1	高速システム・クロック
1	x	サブシステム・クロック

サブシステム・クロックの停止 (CSCレジスタ)

XTSTOPを1に設定すると、サブシステム・クロックが停止します。

- 注意1.** XTSTOPに1を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで動作している周辺ハードウェアがある場合は、その周辺ハードウェアの動作を停止してください。
- 2.** STOP命令でサブシステム・クロックの発振を停止することはできません。

6.6.4 低速内蔵発振クロックの制御例

低速内蔵発振クロックは、CPUクロックとして使用することはできません。ウォッチドッグ・タイマのクロックとしてのみ使用します。

リセット解除後、低速内蔵発振器は自動的に発振します。オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、ウォッチドッグ・タイマを駆動します（240 kHz（TYP.））。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振器の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

(1) 低速内蔵発振クロックを停止する場合の設定手順例

低速内蔵発振クロックを停止するには、次の2つの方法があります。

- ・ オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）し、HALT命令またはSTOP命令を実行する
- ・ オプション・バイトで「ウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット4（WDTON）= 0）する

(2) 低速内蔵発振クロックの発振を再開する場合の設定手順例

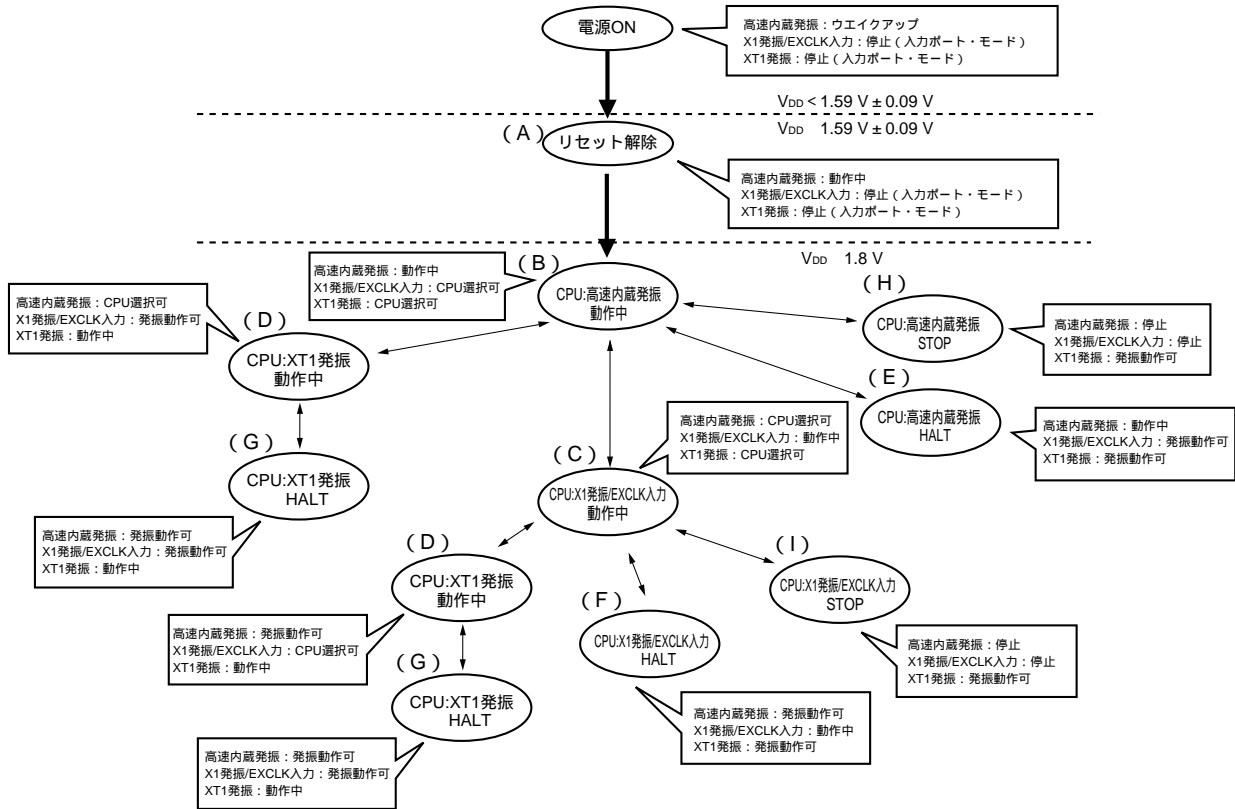
低速内蔵発振クロックを再開するには、次の方法があります。

- ・ HALTモードまたはSTOPモードを解除する
（オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）し、HALT命令またはSTOP命令の実行で、ウォッチドッグ・タイマの動作が停止している場合のみ）

6.6.5 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図6 - 15に示します。

図6 - 15 CPUクロック状態移行図



備考 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧(V_{DD})が $2.07 V \pm 0.2 V$ を越えるまでリセットは解除されません。そしてリセット処理後に上図の(B)に移行します。

CPUクロックの移行とSFRレジスタの設定例などを表6 - 4に示します。

表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (1/4)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移		SFRレジスタの設定
(A)	(B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	MSTOP	FSEL		MCM0
(A) (B) (C) (X1クロック : 2 MHz f_x 10 MHz)	0	1	0	0	0	確認 必要	1
(A) (B) (C) (X1クロック : 10 MHz < f_x 20 MHz)	0	1	1	0	^{1注2}	確認 必要	1
(A) (B) (C) (外部メイン・クロック)	1	1	x	0	0/1	確認 不要	1

注1. CMC, OSMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第29章 電気的特性 (標準品) , 第30章 電気的特性 ((A) 水準品) を参照) に電源電圧が達してから、クロックを設定してください。

備考 x : don't care

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注	CSCレジスタ	発振安定待ち	CKCレジスタ
	OSCSELS	XTSTOP		CSS
(A) (B) (D)	1	0	必要	1

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考 表6 - 4の (A) - (I) は、図6 - 15の(A) - (I) と対応しています。

表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/4)

(4) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP	FSEL		MCM0
(B) (C) (X1クロック : 2 MHz f_x 10 MHz)	0	1	0	注2	0	0	確認 必要	1
(B) (C) (X1クロック : 10 MHz < f_x 20 MHz)	0	1	1	注2	0	1 ^{注3}	確認 必要	1
(B) (C) (外部メイン・クロック)	1	1	x	注2	0	0/1	確認 不要	1

設定済みの場合は不要

高速システム・クロック
動作中の場合は不要

注1. CMC, OSMCレジスタは、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. OSTCの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

3. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第29章 電気的特性 (標準品), 第30章 電気的特性 ((A) 水準品) を参照) に電源電圧が達してから、クロックを設定してください。

備考 x : don't care

(5) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注	CSCレジスタ	発振安定待ち	CKCレジスタ
	OSCSELS	XTSTOP		CSS
(B) (D)	1	0	必要	1

サブシステム・クロック動作中の場合は不要

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考 表6 - 4の (A) - (I) は、図6 - 15の(A) - (I) と対応しています。

表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (3/4)

(6) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) (B)		0	10 μs	0

高速内蔵発振クロック
動作中の場合は不要

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CMCレジスタ ^注	CSCレジスタ	発振安定待ち	CKCレジスタ
		OSCSLS	XTSTOP		CSS
(C) (D)		1	0	必要	1

サブシステム・クロック動作中の場合は不要

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

(8) CPUをサブシステム・クロック動作 (D) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	CKCレジスタ	
		HIOSTOP	MCM0	CSS
(D) (B)		0	0	0

高速内蔵発振クロック
動作中の場合は不要

設定済みの場合は
不要

備考 表6 - 4の (A) - (I) は、図6 - 15の(A) - (I) と対応しています。

表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (4/4)

(9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ	
			MSTOP	FSEL		MCM0	CSS
(D) (C) (X1クロック : 2 MHz f_x 10 MHz)		注1	0	0	確認 必要	1	0
(D) (C) (X1クロック : 10 MHz < f_x 20 MHz)		注1	0	1 ^{注2}	確認 必要	1	0
(D) (C) (外部メイン・クロック)		注1	0	0/1	確認 不要	1	0

高速システム・クロック動作中の場合は不要
設定済みの場合は不要

注1. OSTsの発振安定時間を次のように設定してください。

- ・期待するOSTCの発振安定時間 OSTsで設定する発振安定時間

2. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第29章 電気的特性 (標準品) , 第30章 電気的特性 ((A) 水準品) を参照) に電源電圧が達してから、クロックを設定してください。

- (10) ・CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 ・CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 ・CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G)	HALT命令を実行する

- (11) ・CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移	設定内容
(B) (H)	STOPモード中に動作できない周辺機能を停止する
(C) (I)	OSTSレジスタを設定する
	外部クロック

備考 表6 - 4の (A) - (I) は、図6 - 15の(A) - (I) と対応しています。

6.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表6-5 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	高速内蔵発振器を停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	サブシステム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	
X1クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP = 0	X1発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	サブシステム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	X1発振停止可能 (MSTOP = 1)
外部メイン・システム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	サブシステム・クロック	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)

表6 - 5 CPUクロックの移行について (2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
サブシステム・クロック ^注	高速内蔵発振クロック	高速内蔵発振器が発振され、メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	

注 サブシステム・クロックから他のクロックへ移行する場合は、サブシステム・クロックに設定する前のクロックに一度戻してから、変更する必要があります。たとえば、高速内蔵発振クロック サブシステム・クロックの状態からX1クロックに移行する場合は、サブシステム・クロック 高速内蔵発振クロック X1クロックの順で変更します。

6.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット0-2, 4, 6 (MDIV0-MDIV2, MCM0, CSS) との設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック), メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, CKCを書き換えた直後ではなく, CKCを変更したのち, 数クロックは切り替え前のクロックで動作します (表6-6 ~ 表6-9参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロックで動作しているかは, CKCのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速内蔵発振クロックで動作しているかは, CKCのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表6-6 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	タイプ
f_{MAIN}	↔ (分周比変更)	f_{MAIN}	タイプ1 (表6-7参照)
f_{IH}	↔	f_{MX}	タイプ2 (表6-8参照)
f_{MAIN}	↔	$f_{SUB}/2$	タイプ3 (表6-9参照)

表6-7 タイプ1で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロックA	クロックB
クロックA		$1 + f_A/f_B$ クロック
クロックB	$1 + f_B/f_A$ クロック	

表6-8 タイプ2で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
		MCM0	
MCM0		0 ($f_{MAIN} = f_{IH}$)	1 ($f_{MAIN} = f_{MX}$)
0 ($f_{MAIN} = f_{IH}$)	$f_{MX} \geq f_{IH}$		$1 + f_{IH}/f_{MX}$ クロック
	$f_{MX} < f_{IH}$		$2f_{IH}/f_{MX}$ クロック
1 ($f_{MAIN} = f_{MX}$)	$f_{MX} \geq f_{IH}$	$2f_{MX}/f_{IH}$ クロック	
	$f_{MX} < f_{IH}$	$1 + f_{MX}/f_{IH}$ クロック	

(備考は次頁にあります。)

表6 - 9 タイプ3で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	CSS	
	0 ($f_{CLK} = f_{MAINC}$)	1 ($f_{CLK} = f_{SUB}/2$)
0 ($f_{CLK} = f_{MAINC}$)		$1 + 4f_{MAINC}/f_{SUB}$ クロック
1 ($f_{CLK} = f_{SUB}/2$)	$2 + f_{SUB}/2f_{MAINC}$ クロック	

- 備考1.** f_{IH} : 高速内蔵発振クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{MAIN} : メイン・システム・クロック周波数
 f_{MAINC} : メイン・システム選択クロック周波数
 f_{SUB} : サブシステム・クロック周波数
 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
- 表6 - 7から表6 - 9のクロック数は、切り替え前のCPUクロックのクロック数です。
 - 表6 - 7から表6 - 9のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_{IH} = 8 \text{ MHz}$, $f_{MX} = 10 \text{ MHz}$ 発振時)

$$1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 \quad 2\text{クロック}$$

6.6.8 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

表6 - 10 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
サブシステム・クロック	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1

第7章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは1つのユニットに8つの16ビット・タイマを搭載しています。各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせで高度なタイマ機能として使用することもできます。

単体動作機能	連動動作機能
<ul style="list-style-type: none">・インターバル・タイマ・方形波出力・外部イベント・カウンタ・分周器機能（チャンネル0のみ）・入力パルス間隔測定・入力信号のハイ/ロウ・レベル幅測定	<ul style="list-style-type: none">・PWM出力・ワンショット・パルス出力・多重PWM出力

またチャンネル7は、シリアル・アレイ・ユニット1のUART3と連携し、LIN-bus受信処理を実現することができます。

7.1 タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

7.1.1 単独チャンネルで動作する機能

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です（詳細は7.6.1 単体動作機能と連動動作機能の概要参照）。

(1) インターバル・タイマ

一定間隔で割り込み（INTTM0n）を発生する基準タイマとして利用できます。

(2) 方形波出力

INTTM0nの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子（TO0n）より出力します。

(3) 外部イベント・カウンタ

タイマ入力端子（TI0n）に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。

(4) 分周器機能（チャンネル0のみ）

タイマ入力端子（TI00）から入力されたクロックを、分周して出力端子（TO00）より出力します。

備考 n：チャンネル番号（n = 0-7）

(5) 入力パルス間隔測定

タイマ入力端子 (TI0n) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (TI0n) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。

備考 n: チャンネル番号 (n = 0-7)

7.1.2 複数チャンネルで動作する機能

連動動作機能は、マスタ・チャンネル (主に周期を制御する基準タイマ) とスレーブ・チャンネル (マスタ・チャンネルに従い動作するタイマ) を組み合わせて実現する機能です (詳細は7.6.1 **単体動作機能と連動動作機能の概要参照**)。

(1) PWM (Pulse Width Modulator) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。

(2) ワンショット・パルス出力

2チャンネルをセットで使用し、ディレイとパルス幅を任意に設定できるワンショット・パルスを生成します。

(3) 多重PWM (Pulse Width Modulator) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルとして使用することで、周期一定で任意のデューティのPWM信号を最大7種類生成することができます。

7.1.3 LIN-bus対応機能 (チャンネル7のみ)

(1) ウェイクアップ信号の検出

UART3のシリアル・データ入力端子 (RxD3) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) シンク・ブレイク・フィールドの検出

ウェイクアップ信号検出後、UART3のシリアル・データ入力端子 (RxD3) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、シンク・ブレイク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

シンク・ブレイク・フィールド検出後、UART3のシリアル・データ入力端子 (RxD3) に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

7.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

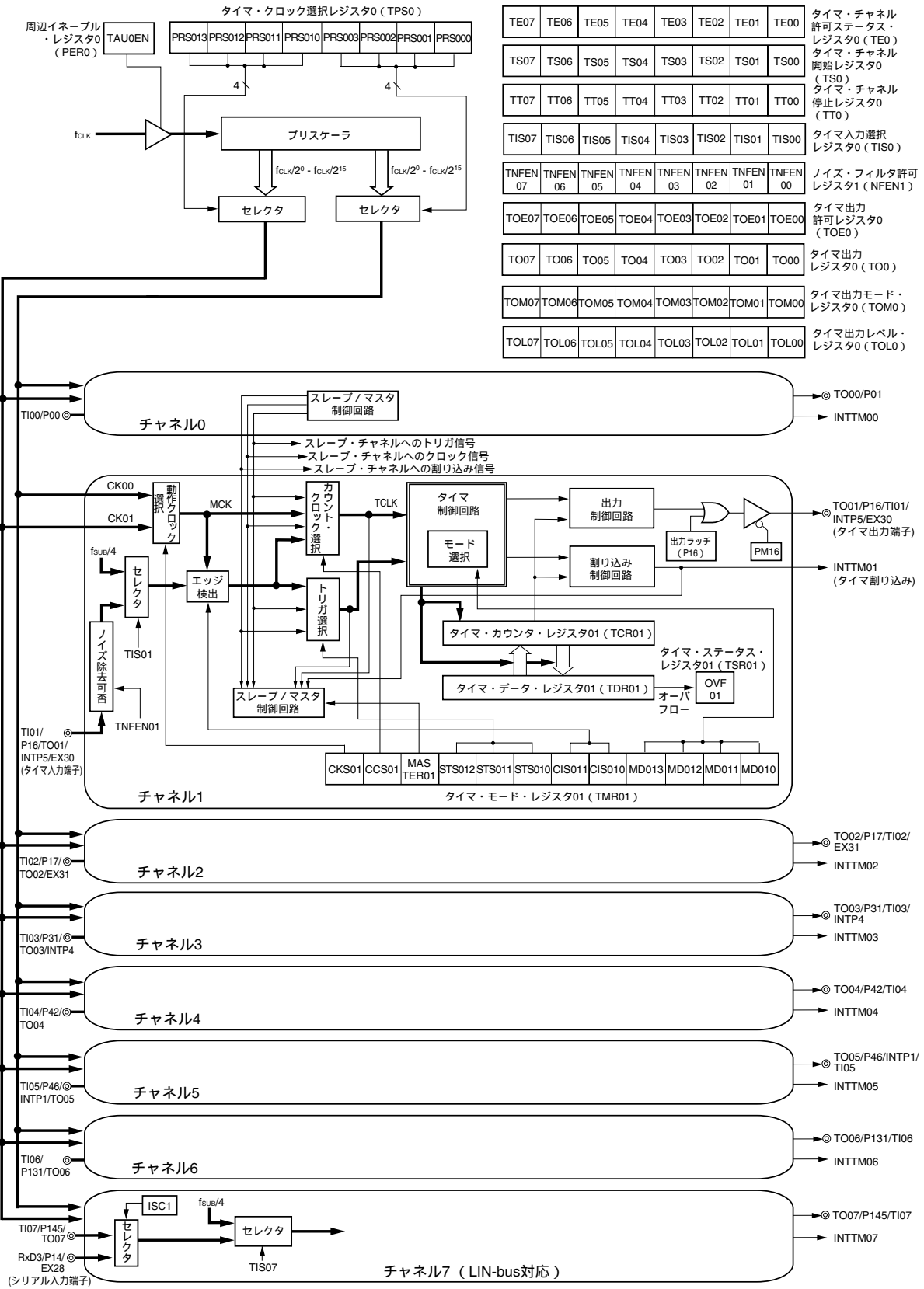
表7-1 タイマ・アレイ・ユニットの構成

項 目	構 成
タイマ/カウンタ	タイマ・カウンタ・レジスタ0n (TCR0n)
レジスタ	タイマ・データ・レジスタ0n (TDR0n)
タイマ入力	TI00-TI07端子, RxD3端子 (LIN-bus用)
タイマ出力	TO00-TO07端子, 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・タイマ・クロック選択レジスタ0 (TPS0) ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0) ・タイマ・チャンネル開始レジスタ0 (TS0) ・タイマ・チャンネル停止レジスタ0 (TT0) ・タイマ入力選択レジスタ0 (TIS0) ・タイマ出力許可レジスタ0 (TOE0) ・タイマ出力レジスタ0 (TO0) ・タイマ出力レベル・レジスタ0 (TOL0) ・タイマ出力モード・レジスタ0 (TOM0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタ0n (TMR0n) ・タイマ・ステータス・レジスタ0n (TSR0n) ・入力切り替え制御レジスタ (ISC) (チャンネル7のみ) ・ノイズ・フィルタ許可レジスタ1 (NFEN1) ・ポート・モード・レジスタ0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14) ・ポート・レジスタ0, 1, 3, 4, 13, 14 (P0, P1, P3, P4, P13, P14)

備考 n: チャンネル番号 (n = 0-7)

図7-1にブロック図を示します。

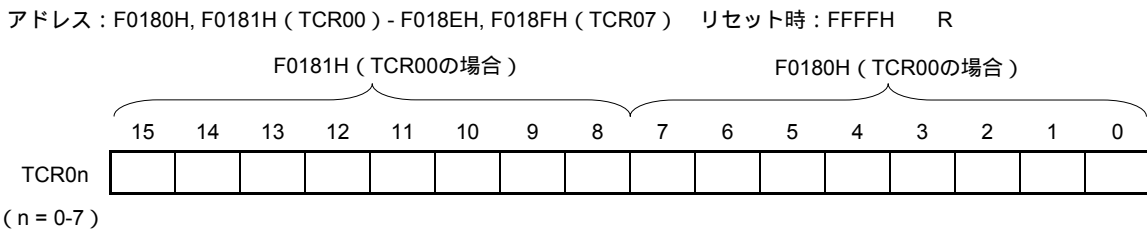
図7-1 タイマ・アレイ・ユニットのブロック図



(1) タイマ・カウンタ・レジスタ0n (TCR0n)

TCR0nは、カウント・クロックをカウントする16ビットのリード専用レジスタです。
 カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。
 インクリメントかデクリメントかは、TMR0nのMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

図7-2 タイマ・カウンタ・レジスタ0n (TCR0n) のフォーマット



TCR0nをリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ0 (PER0) のTAU0ENビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCR0nをリードしても、TDR0nにはキャプチャしません。

TCR0nレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表7 - 2 各動作モード時のTCR0nレジスタ読み出し値

動作モード	カウント方式	TCR0nレジスタの読み出し値 ^注			
		リセット後に動作モード変更	カウント動作を一時停止 (TT0n = 1) 後, 動作モード変更	カウント動作を一時停止 (TT0n = 1) 後, 動作再開	ワンカウント後のスタート・トリガ待ち状態時
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	-
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	-
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	-
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDR0nレジスタのキャプチャ値 + 1

注 TE0n = 0でTS0n =1にした時点の、TCR0nレジスタの読み出し値を示します。カウント動作開始までこの値がTCR0nレジスタに保持されます。

備考 n = 0-7

(2) タイマ・データ・レジスタ0n (TDR0n)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、TMR0nのMD0n3-MD0n0ビットで動作モードを選択することで切り替わります。

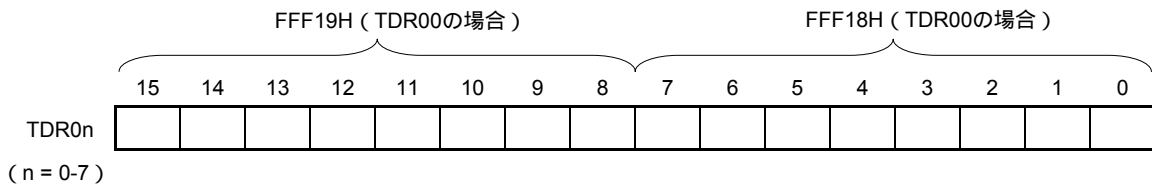
TDR0nは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、0000Hになります。

図7-3 タイマ・データ・レジスタ0n (TDR0n) のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF1AH, FFF1BH (TDR01), リセット時 : 0000H R/W
 FFF64H, FFF65H (TDR02) - FFF6EH, FFF6FH (TDR07)



(i) TDR0nをコンペア・レジスタとして使用するとき

TDR0nに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTM0n) を発生します。TDR0nは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR0nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) TDR0nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TCR0nのカウント値をTDR0nにキャプチャします。

キャプチャ・トリガとして、TI0n端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、TMR0nで設定します。

備考 n = 0-7

7.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・タイマ・クロック選択レジスタ0 (TPS0)
- ・タイマ・モード・レジスタ0n (TMR0n)
- ・タイマ・ステータス・レジスタ0n (TSR0n)
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0)
- ・タイマ・チャンネル開始レジスタ0 (TS0)
- ・タイマ・チャンネル停止レジスタ0 (TT0)
- ・タイマ入力選択レジスタ0 (TIS0)
- ・タイマ出力許可レジスタ0 (TOE0)
- ・タイマ出力レジスタ0 (TO0)
- ・タイマ出力レベル・レジスタ0 (TOL0)
- ・タイマ出力モード・レジスタ0 (TOM0)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1 (NFEN1)
- ・ポート・モード・レジスタ0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14)
- ・ポート・レジスタ0, 1, 3, 4, 13, 14 (P0, P1, P3, P4, P13, P14)

備考 n = 0-7

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用するときは、必ずビット0 (TAU0EN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-4 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H RW

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード/ライト可

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAU0EN = 1の設定を行ってください。TAU0EN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (タイマ入力選択レジスタ0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1 (NFEN1), ポート・モード・レジスタ0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14), ポート・レジスタ0, 1, 3, 4, 13, 14 (P0, P1, P3, P4, P13, P14) は除く)。

2. PER0レジスタのビット1には必ず“0”を設定してください。

(2) タイマ・クロック選択レジスタ0 (TPS0)

TPS0は、各チャンネルに共通して供給される2種類の動作クロック (CK00, CK01) を選択する16ビット・レジスタです。TPS0の7-4ビットでCK01を、3-0ビットでCK00を選択します。

タイマ動作中のTPS0の書き換えは、次の場合のみ可能です。

PRS000-PRS003ビットの書き換え：

CKS0n = 0に設定しているチャンネルがすべて動作停止状態 (TE0n = 0) の場合のみ可能

PRS010-PRS013ビットの書き換え：

CKS0n = 1に設定しているチャンネルがすべて動作停止状態 (TE0n = 0) の場合のみ可能

TPS0は16ビット・メモリ操作命令で設定します。

またTPS0の下位8ビットは、TPS0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TPS0は0000Hになります。

図7-5 タイマ・クロック選択レジスタ0 (TPS0) のフォーマット

アドレス：F01B6H, F01B7H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	0	0	0	0	0	0	0	0	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 0m3	PRS 0m2	PRS 0m1	PRS 0m0	動作クロック (CK0m) の選択 ^注				
				f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz
1	1	0	0	f _{CLK} /2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	0	1	f _{CLK} /2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットを停止 (TT0 = 00FFH) させてください。

注意 ビット15-8には、必ず0を設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. m = 0, 1 n = 0-7

(3) タイマ・モード・レジスタ0n (TMR0n)

TMR0nは、チャンネルnの動作モード設定レジスタです。動作クロック (MCK) の選択, カウント・クロックの選択, マスタ/スレーブの選択, スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワン・カウント, キャプチャ&ワン・カウント) 設定を行います。

TMR0nは、動作中 (TE0 = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS0n1, CIS0n0) は、一部の機能で動作中 (TE0 = 1のとき) の書き換えが可能です (詳細は7.7 タイマ・アレイ・ユニットの単独チャンネルでの動作, 7.8 タイマ・アレイ・ユニットの複数チャンネルでの動作を参照)。

TMR0nは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図7-6 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

CKS 0n	チャンネルnの動作クロック (MCK) の選択
0	TPS0レジスタで設定した動作クロックCK00
1	TPS0レジスタで設定した動作クロックCK01
動作クロックMCKは、エッジ検出回路に使用されます。また、CCS0nビットの設定によりカウント・クロック (TCLK) を生成します。	

CCS 0n	チャンネルnのカウント・クロック (TCLK) の選択
0	CKS0nビットで指定した動作クロックMCK
1	TI0n端子からの入力信号の有効エッジ/サブシステム・クロックの4分周 (fsue/4)
カウント・クロック (TCLK) は、タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。	

MAS TER 0n	チャンネルnの単体動作機能, 連動動作機能のスレーブ/連動動作機能のマスタの選択
0	単体動作機能, または連動動作機能でスレーブ・チャンネルとして動作
1	連動動作機能でマスタ・チャンネルとして動作
偶数チャンネルのみマスタ・チャンネル (MASTER0n = 1) に設定できます。 奇数チャンネルは必ずスレーブ・チャンネル (MASTER0n = 0) で使用してください。 また、単体動作機能として使用するチャンネルは、MASTER0n = 0 にします。	

注意 ビット14, 13, 5, 4には、必ず0を設定してください。

備考 n = 0-7

図7-6 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (2/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

STS 0n2	STS 0n1	STS 0n0	チャンネルnのスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)
0	0	1	TI0n端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	TI0n端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用 (連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

CIS 0n1	CIS 0n0	TI0n端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がりエッジ, キャプチャ・トリガ : 立ち上がりエッジ
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がりエッジ

STS0n2-STS0n0ビット = 010B時以外で両エッジ指定を使用する場合は, CIS0n1-CIS0n0ビット = 10Bに設定してください。

備考 n = 0-7

図7-6 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (3/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR0n	CKS 0n	0	0	CCS 0n	MAS TER0n	STS 0n2	STS 0n1	STS 0n0	CIS 0n1	CIS 0n0	0	0	MD 0n3	MD 0n2	MD 0n1	MD 0n0

MD 0n3	MD 0n2	MD 0n1	MD 0n0	チャンネルnの動作モードの設定	TCRのカウンタ動作	単体動作
0	0	0	1/0	インターバル・タイマ・モード	ダウン・カウンタ	可
0	1	0	1/0	キャプチャ・モード	アップ・カウンタ	可
0	1	1	0	イベント・カウンタ・モード	ダウン・カウンタ	可
1	0	0	1/0	ワンカウント・モード	ダウン・カウンタ	不可
1	1	0	0	キャプチャ&ワンカウント・モード	アップ・カウンタ	可
上記以外				設定禁止		

MD0n0ビットの動作は、各動作モードによって変わります(下表を参照)。

動作モード (MD0n3-MD0n1で設定(上表参照))	MD 0n0	カウンタ・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 1, 0)	1	カウンタ開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 1, 1)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・ワンカウント・モード (1, 0, 0)	0	カウンタ動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウンタ動作中のスタート・トリガを有効とする ^注 。 その際に割り込みも発生する。
・キャプチャ&ワンカウント・モード (1, 1, 0)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウンタ動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

注 動作中にスタート・トリガ (TS0n = 1) が掛かると、カウンタをクリアし、割り込みを発生して再カウント・スタートします。

備考 n = 0-7

(4) タイマ・ステータス・レジスタ0n (TSR0n)

TSR0nは、チャンネルnのカウンタのオーバーフロー状況を表示するレジスタです。

TSR0nは、キャプチャ・モード (MD0n3-MD0n1 = 010B) とキャプチャ&ワンカウント・モード (MD0n3-MD0n1 = 110B) のみ有効です。それ以外のモードでセットされることはありません。各動作モードでのOVFビットの動作とセット/クリア条件は表7-3を参照してください。

TSR0nは、16ビット・メモリ操作命令で読み出します。

またTSR0nの下位8ビットは、TSR0nLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSR0nは0000Hになります。

図7-7 タイマ・ステータス・レジスタ0n (TSR0n) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR0n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバーフロー状況
0	オーバーフローなし
1	オーバーフロー発生
OVF = 1のとき、次にオーバーフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

表7-3 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVF	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバーフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバーフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア セット	- (使用不可, セット/クリアされない)

備考 OVFビットは、カウンタがオーバーフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

(5) タイマ・チャンネル許可ステータス・レジスタ0 (TE0)

TE0は、各チャンネルのタイマ動作許可 / 停止状態を表示するレジスタです。

タイマ・チャンネル開始レジスタ0 (TS0) の各ビットが1にセットされると、その対応ビットが1にセットされます。タイマ・チャンネル停止レジスタ0 (TT0) の各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE0は、16ビット・メモリ操作命令で読み出します。

またTE0の下位8ビットは、TE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TE0は0000Hになります。

図7-8 タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	0	0	0	0	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

TE0n	チャンネルnの動作許可 / 停止状態の表示
0	動作停止状態
1	動作許可状態

備考 n = 0-7

(6) タイマ・チャンネル開始レジスタ0 (TS0)

TS0は、タイマ・カウンタ (TCR0n) をクリアし、カウント動作の開始を各チャンネルごとに設定するトリガ・レジスタです。

各ビット (TS0n) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の対応ビット (TE0n) が1にセットされます。TS0nはトリガ・ビットなので、TE0n = 1になるとすぐTS0nはクリアされます。

TS0は、16ビット・メモリ操作命令で設定します。

またTS0の下位8ビットは、TS0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TS0は0000Hになります。

図7-9 タイマ・チャンネル開始レジスタ0 (TS0) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	0	0	0	0	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

TS0n	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TE0nを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCR0nのカウント動作開始は、各動作モードにより異なります (表7-4参照)。

注意 ビット15-8には、必ず0を設定してください。

備考1. TS0レジスタの読み出し値は常に0となります。

2. n = 0-7

表7-4 カウント動作許可状態からTCR0nのカウント・スタートまでの動作 (1/2)

タイマの動作モード	TS0n = 1セット時の動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TS0n = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDR0nの値をTCR0nにロードし、以降のカウント・クロックでダウン・カウント動作を行います (7.3(6)(a) インターバル・タイマ・モード時のスタート・タイミング 参照)。
・イベント・カウンタ・モード	TS0nビットに1を書き込みにより、TDR0nの値をTCR0nにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMR0nレジスタのSTS0n2-STS0n0ビットで選択した外部トリガ検出では、カウント動作を開始しません (7.3(6)(b) イベント・カウンタ・モード時のスタート・タイミング 参照)。
・キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCR0nにロードし、以降のカウント・クロックでアップ・カウント動作を行います (7.3(6)(c) キャプチャ・モード時のスタート・タイミング 参照)。

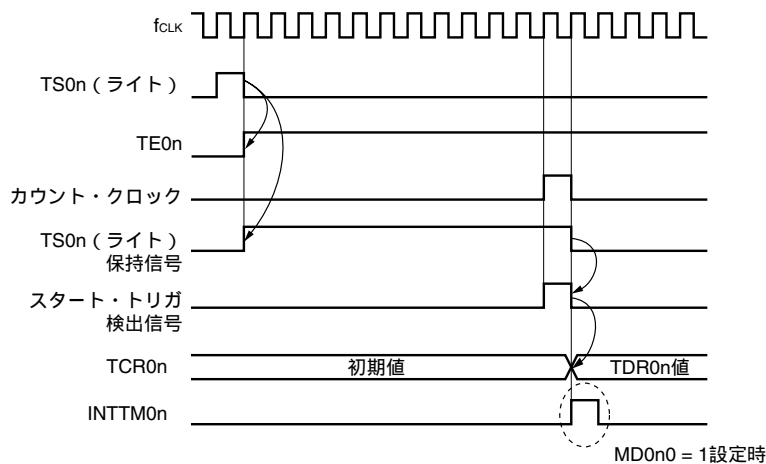
表7-4 カウント動作許可状態からTCR0nのカウンタ・スタートまでの動作 (2/2)

タイマの動作モード	TS0n = 1セット時の動作
・ワンカウント・モード	TE0n = 0の状態、TS0nビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウンタ・クロック発生まで何も動作しません。 最初のカウンタ・クロックでTDR0nの値をTCR0nにロードし、以降のカウンタ・クロックでダウン・カウンタ動作を行います (7.3(6)(d)ワンカウント・モード時のスタート・タイミング参照)。
・キャプチャ&ワンカウント・モード	TE0n = 0の状態、TS0nビットに1を書き込みむことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウンタ・クロック発生まで何も動作しません。 最初のカウンタ・クロックで0000HをTCR0nにロードし、以降のカウンタ・クロックでアップ・カウンタ動作を行います (7.3(6)(e)キャプチャ&ワンカウント・モード時のスタート・タイミング参照)。

(a) インターバル・タイマ・モード時のスタート・タイミング

TS0nへ1を書き込むことにより、TE0n = 1となります。
 TS0nへの書き込み情報はカウンタ・クロック発生まで保持されます。
 TCR0nは、カウンタ・クロック発生まで初期値を保持しています。
 カウンタ・クロック発生により、「TDR0n値」をTCR0nにロードし、カウンタを開始します。

図7-10 スタート・タイミング (インターバル・タイマ・モード時)

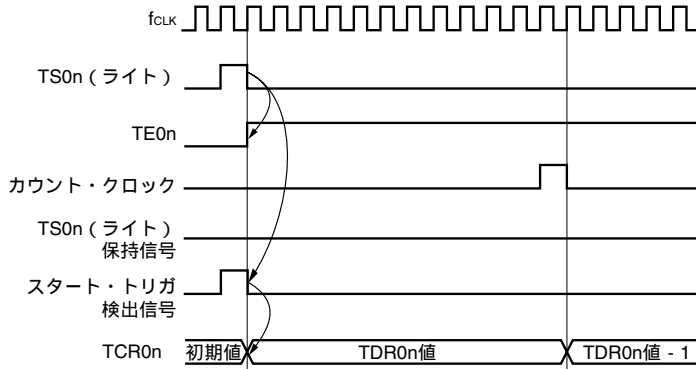


注意 カウンタ・クロックの1周期目の動作はTS0n書き込み後、カウンタ・クロックが発生するまでカウンタ開始が遅れるため、1周期目は最大でカウンタ・クロック1クロック分の誤差が生じます。また、カウンタ開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウンタ開始時に割り込みを発生させることができます。

(b) イベント・カウンタ・モード時のスタート・タイミング

TE0n = 0期間TCR0nは、初期値を保持します。
 TS0nへ1を書き込むことにより、TE0n = 1となります。
 TS0n = 1 TE0n = 1と同時に、TCR0nに「TDR0n値」をロードし、カウントを開始します。
 以降はカウント・クロックに従い、TCR0nの値をダウン・カウントします。

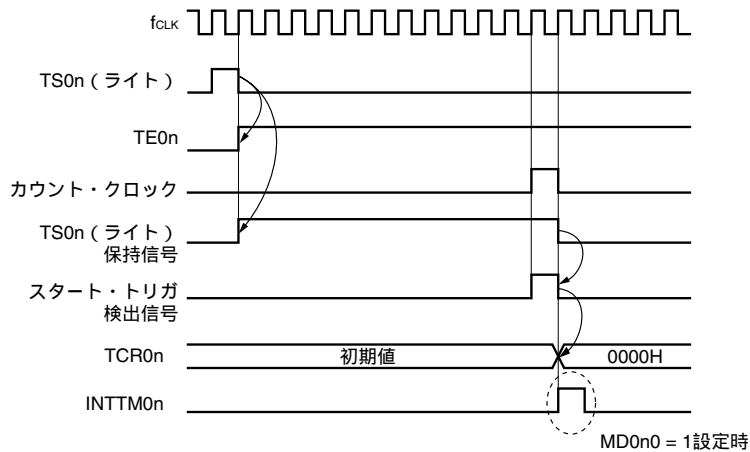
図7-11 スタート・タイミング (イベント・カウンタ・モード時)



(c) キャプチャ・モード時のスタート・タイミング

TS0nへ1を書き込むことにより、TE0n = 1となります。
 TS0nへの書き込み情報はカウント・クロック発生まで保持されます。
 TCR0nは、カウント・クロック発生まで初期値を保持しています。
 カウント・クロック発生により、0000HをTCR0nにロードし、カウントを開始します。

図7-12 スタート・タイミング (キャプチャ・モード時)



注意 カウント・クロックの1周期目の動作はTS0n書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

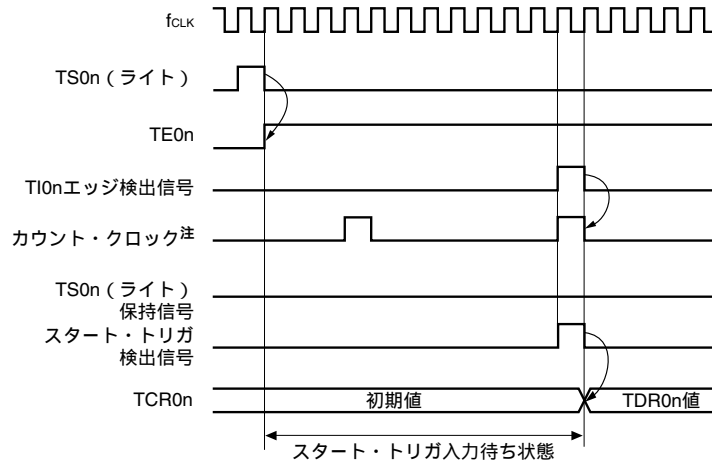
(d) ワンカウント・モード時のスタート・タイミング

TS0nへ1を書き込むことにより、TE0n = 1となります。

スタート・トリガ入力待ち状態となり、TCR0nは初期値を保持します。

スタート・トリガ検出により、「TDR0n値」をTCR0nにロードし、カウントを開始します。

図7 - 13 スタート・タイミング (ワンカウント・モード時)



注 ワンカウント・モード設定時は、カウント・クロックとして動作クロック (MCK) が選択されま
ず (CCS0n = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します
(Tl0nを使用する場合、カウント・クロック1クロック分の誤差となります)。

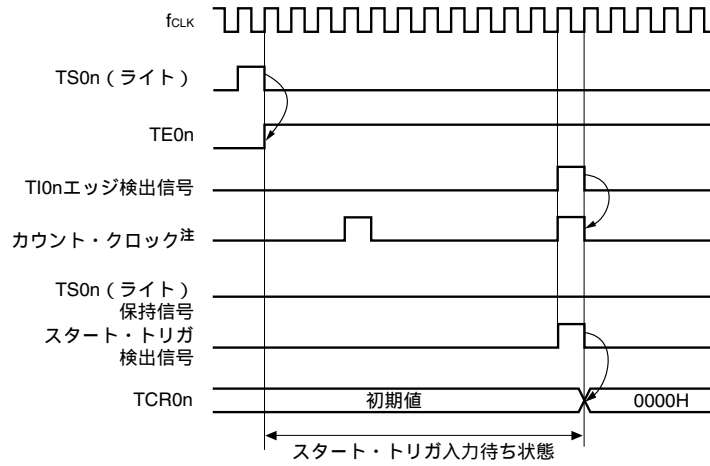
(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

TS0nへ1を書き込むことにより、TE0n = 1となります。

スタート・トリガ入力待ち状態となり、TCR0nは初期値を保持します。

スタート・トリガ検出により、0000HをTCR0nにロードしカウントを開始します。

図7 - 14 スタート・タイミング (キャプチャ&ワンカウント・モード時)



注 キャプチャ&ワンカウント・モード設定時は、カウント・クロックとして動作クロック (MCK) が選択されず (CCS0n = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (Tl0nを使用する場合、カウント・クロック1クロック分の誤差となります)。

(7) タイマ・チャンネル停止レジスタ0 (TT0)

TT0は、タイマ・カウンタ (TCR0n) をクリアし、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TT0n) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の対応ビット (TE0n) が0にクリアされます。TT0nはトリガ・ビットなので、TE0n = 0になるとすぐTT0nはクリアされます。

TT0は、16ビット・メモリ操作命令で設定します。

またTT0の下位8ビットは、TT0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TT0は0000Hになります。

図7 - 15 タイマ・チャンネル停止レジスタ0 (TT0) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	0	0	0	0	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

TT0n	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生)

注意 ビット15-8には、必ず0を設定してください。

備考1. TT0レジスタの読み出し値は常に0となります。

2. n = 0-7

(8) タイマ入力選択レジスタ0 (TIS0)

TIS0は、タイマ入力端子 (TI0n) の入力信号か、サブシステム・クロックの4分周 (fsub/4) か、どちらを有効にするかを各チャンネルごとに選択するレジスタです。

TIS0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7 - 16 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : FFF3EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TIS0n	チャンネルnで使用するタイマ入力/サブシステム・クロックの選択
0	タイマ入力端子 (TI0n) の入力信号
1	サブシステム・クロックの4分周 (fsub/4)

(9) タイマ出力許可レジスタ0 (TOE0)

TOE0は、各チャンネルのタイマ出力許可/禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ (TO0) のTO0nの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TO0n) から出力されます。

TOE0は、16ビット・メモリ操作命令で設定します。

またTOE0の低位8ビットは、TOE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOE0は0000Hになります。

図7 - 17 タイマ出力許可レジスタ0 (TOE0) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00

TOE0n	チャンネルnのタイマ出力許可/禁止
0	カウント動作によるTO0n (タイマ・チャンネル出力ビット) の動作停止。 TO0nビットへの書き込みが可能。 TO0n端子がデータ出力機能となり、TO0nビットに設定したレベルがTO0n端子から出力される。 TO0n端子の出力レベルをソフトウェアで操作することができる。
1	カウント動作によるTO0n (タイマ・チャンネル出力ビット) の動作許可。 TO0nへの書き込み不可 (書き込みが無視される)。 TO0n端子がタイマ出力機能となり、タイマの動作によりセット/リセットされる。 TO0n端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注意 ビット15-8には、必ず0を設定してください。

備考 n = 0-7

(10) タイマ出力レジスタ0 (TO0)

TO0は、各チャンネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TO0n) から出力されます。

このレジスタのTO0nのソフトウェアによる書き換えは、タイマ出力禁止時 (TOE0n = 0) のみ可能です。タイマ出力許可時 (TOE0n = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P01/TO00, P16/TO01, P17/TO02, P31/TO03, P42/TO04, P46/TO05, P131/TO06, P145/TO07端子をポート機能として使用する場合は、該当するTO0nビットに“0”を設定してください。

TO0は、16ビット・メモリ操作命令で設定します。

またTO0の下位8ビットは、TO0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TO0は0000Hになります。

図7 - 18 タイマ出力レジスタ0 (TO0) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	0	0	0	0	TO0 7	TO0 6	TO0 5	TO0 4	TO0 3	TO0 2	TO0 1	TO0 0

TO0 n	チャンネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット15-8には、必ず0を設定してください。

備考 n = 0-7

(11) タイマ出力レベル・レジスタ0 (TOL0)

TOL0は、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOE0n = 1)、連動動作モード (TOM0n = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。トグル・モード (TOM0n = 0) 時には、このレジスタの設定は無効となります。

TOL0は、16ビット・メモリ操作命令で設定します。

またTOL0の下位8ビットは、TOL0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOL0は0000Hになります。

図7 - 19 タイマ出力レベル・レジスタ0 (TOL0) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	0	0	0	0	TOL 07	TOL 06	TOL 05	TOL 04	TOL 03	TOL 02	TOL 01	TOL 00

TOL 0n	チャンネルnのタイマ出力レベルの制御															
0	正論理出力 (アクティブ・ハイ)															
1	反転出力 (アクティブ・ロウ)															

注意 ビット15-8には、必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力が反転出力になります。

2. n = 0-7

(12) タイマ出力モード・レジスタ0 (TOM0)

TOM0は、各チャンネルのタイマ出力モードを制御するレジスタです。

単体動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

連動動作機能 (PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOE0n = 1)時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOM0は、16ビット・メモリ操作命令で設定します。

またTOM0の下位8ビットは、TOM0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOM0は0000Hになります。

図7-20 タイマ出力モード・レジスタ0 (TOM0) のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	0	0	0	0	TOM07	TOM06	TOM05	TOM04	TOM03	TOM02	TOM01	TOM00

TOM0n	チャンネルnのタイマ出力モードの制御
0	トグル・モード (タイマ割り込み要求信号 (INTTM0n) によりトグル出力を行う)
1	連動動作モード (マスタ・チャンネルのタイマ割り込み要求信号 (INTTM0n) で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTM0m) で出力がリセット)

注意 ビット15-8には、必ず0を設定してください。

備考 n : チャンネル番号, m : スレーブ・チャンネル番号
 n = 0-7 (マスタ・チャンネル時 : n = 0, 2, 4, 6)
 n < m - 7 (ただしmは、n以降の連続した整数)

(13) 入力切り替え制御レジスタ (ISC)

ISCは、チャンネル7をシリアル・アレイ・ユニット1と提携してLIN-bus通信動作を実現するときを使用します。

ビット1に1を設定すると、シリアル・データ入力端子 (RxD3) の入力信号がタイマ入力として選択されます。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-21 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD3端子の入力信号をタイマ入力とする (シンク・ブレイク・フィールドとシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD3端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-2には、必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD3端子の入力信号を選択しておいてください。

(14) ノイズ・フィルタ許可レジスタ1 (NFEN1)

NFEN1は、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否を各チャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、CPU / 周辺動作クロック (f_{CLK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、CPU / 周辺動作クロック (f_{CLK}) で同期化だけ行います。

NFEN1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-22 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマット

アドレス : F0061H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	TI07/TO07/P145端子またはRxD3/P14/EX26端子入力信号のノイズ・フィルタ使用可否 ^注
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN06	TI06/TO06/P131端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN05	TI05/TO05/INTP1/P46端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN04	TI04/TO04/P42端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	TI03/TO03/INTP4/P31端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02/TO02/P17端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01/TO01/INTP5/P16端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00/P00端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注 ISCレジスタのISC1を設定することにより、適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD3端子のノイズ・フィルタ使用可否選択が可能

(15) ポート・モード・レジスタ0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14)

ポート0, 1, 3, 4, 13, 14の入力/出力を1ビット単位で設定するレジスタです。

P01/TO00, P16/TO01/TI01/INTP5/EX30, P17/TO02/TI02/EX31, P31/TO03/TI03/INTP4, P42/TO04/TI04, P46/TO05/TI05/INTP1, P131/TO06/TI06, P145/TO07/TI07端子をタイマ出力として使用するとき, PM01, PM16, PM17, PM31, PM42, PM46, PM131, PM145およびP01, P16, P17, P31, P42, P46, P131, P145の出力ラッチに0を設定してください。

P00/TI00, P16/TO01/TI01/INTP5/EX30, P17/TO02/TI02/EX31, P31/TO03/TI03/INTP4, P42/TO04/TI04, P46/TO05/TI05/INTP1, P131/TO06/TI06, P145/TO07/TI07端子をタイマ入力として使用するとき, PM00, PM16, PM17, PM31, PM42, PM46, PM131, PM145に1を設定してください。このときP00, P16, P17, P31, P42, P46, P131, P145の出力ラッチは, 0または1のどちらでもかまいません。

PM0, PM1, PM3, PM4, PM13, PM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図7-23 ポート・モード・レジスタ0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14) のフォーマット

アドレス : FFF20H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス : FFF21H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

アドレス : FFF24H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス : FFF2DH	リセット時 : FEH	R/W						
略号	7	6	5	4	3	2	1	0
PM13	1	1	1	1	1	1	PM131	0

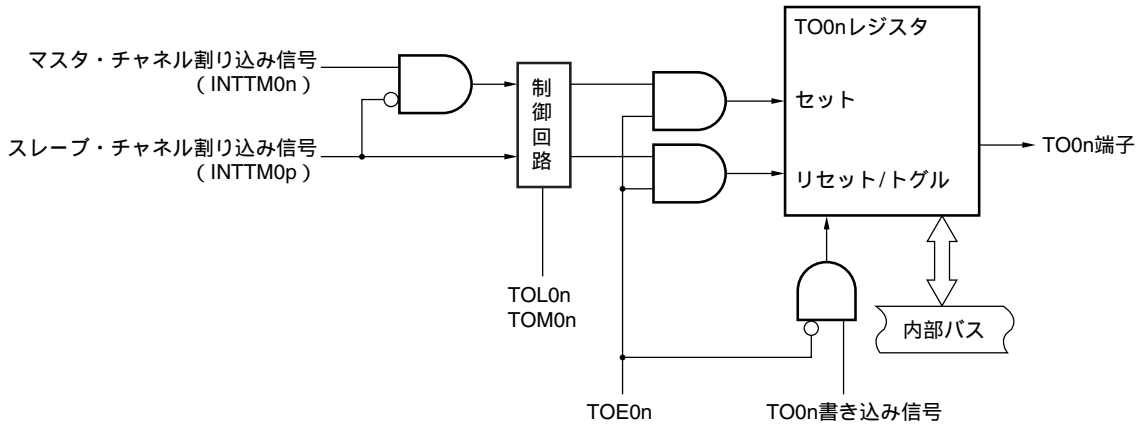
アドレス : FFF2EH	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 4, 13, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 チャンネル出力 (TO0n端子) の制御

7.4.1 TO0n端子の出力回路の構成

図7-24 出力回路構成図



TO0n端子の出力回路の説明を次に示します。

TOM0n = 0 (トグル・モード) のときは、TOL0nレジスタの設定値は無視され、INTTM0p (スレーブ・チャンネル・タイマ割り込み) のみがTO0nレジスタに伝えられます。

TOM0n = 1 (連動動作モード) のときは、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) がTO0nレジスタに伝えられます。

このとき、TOL0nレジスタが有効となり、次のように信号を制御します。

TOL0n = 0の場合 : 正転動作 (INTTM0n セット, INTTM0p リセット)

TOL0n = 1の場合 : 反転動作 (INTTM0n リセット, INTTM0p セット)

また、INTTM0nとINTTM0pが同時に発生した場合 (PWM出力の0%出力時) は、INTTM0p (リセット信号) が優先され、INTTM0n (セット信号) はマスクされます。

TOE0n = 1で、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) がTO0nに伝えられます。TO0nレジスタへの書き込み (TO0nライト信号) は無効となります。

また、TOE0n = 1のとき、割り込み信号以外でTO0n端子の出力が変化することはありません。

TO0n端子の出力レベルを初期化する場合は、TOE0n = 0に設定しTO0nに値を書き込む必要があります。

TOE0n = 0で、対象チャンネルのTO0nビットへの書き込み (TO0nライト信号) が有効となります。

TOE0n = 0のとき、INTTM0n (マスタ・チャンネル・タイマ割り込み) とINTTM0p (スレーブ・チャンネル・タイマ割り込み) はTO0nに伝えられません。

TO0nレジスタは常に読み出し可能であり、TO0n端子の出力レベルを確認することができます。

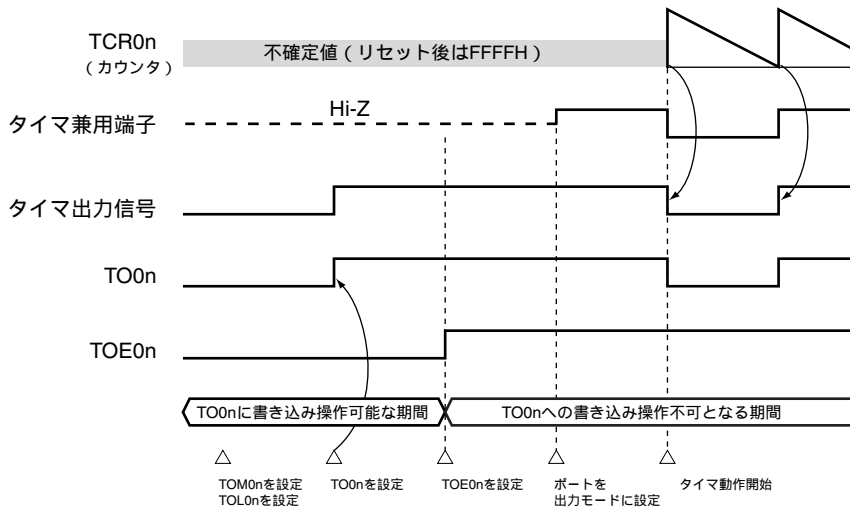
備考1. n = 0-7 (ただし、マスタ・チャンネルの場合n = 0, 2, 4, 6)

2. p = n+1, n+2, n+3 ... (ただしp = 7とする)

7.4.2 TO0n端子の出力設定

TO0n出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7-25 タイマ出力設定から動作開始までの状態変化



タイマ出力の動作モードを設定をします。

- ・TOM0レジスタ (0: トグルモード, 1: 連動動作モード)
- ・TOL0nレジスタ (0: 正転出力, 1: 反転出力)

TO0nを設定することにより、タイマ出力信号が初期状態に設定されます。

TOE0nに1を書き込み、タイマ出力動作を許可します (TO0nへの書き込みは不可となります)。

ポートの入出力設定を出力に設定します (7.3(15)ポート・モード・レジスタ0, 1, 3, 4, 13, 14参照)。

タイマを動作許可にします (TS0n = 1)。

備考 n = 0-7

7.4.3 チャネル出力操作時の注意事項

(1) タイマ動作中のTO0,TOE0,TOL0,TOM0レジスタの設定値変更について

タイマ動作 (TCR0n, TDR0nの動作) は、TO0n出力回路とは独立しています。よって、TO0, TOE0, TOL0, TOM0の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTO0n端子から出力するためには、各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTM0n) 近辺で、TO0を除くTOE0, TOL0, TOM0の設定値変更を行うと、タイマ割り込み (INTTM0n) 信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み (INTTM0n) 信号発生タイミング直後に設定値変更が実施された場合とでは、TO0n端子に異なる波形が出力される場合があります。

備考 n = 0-7

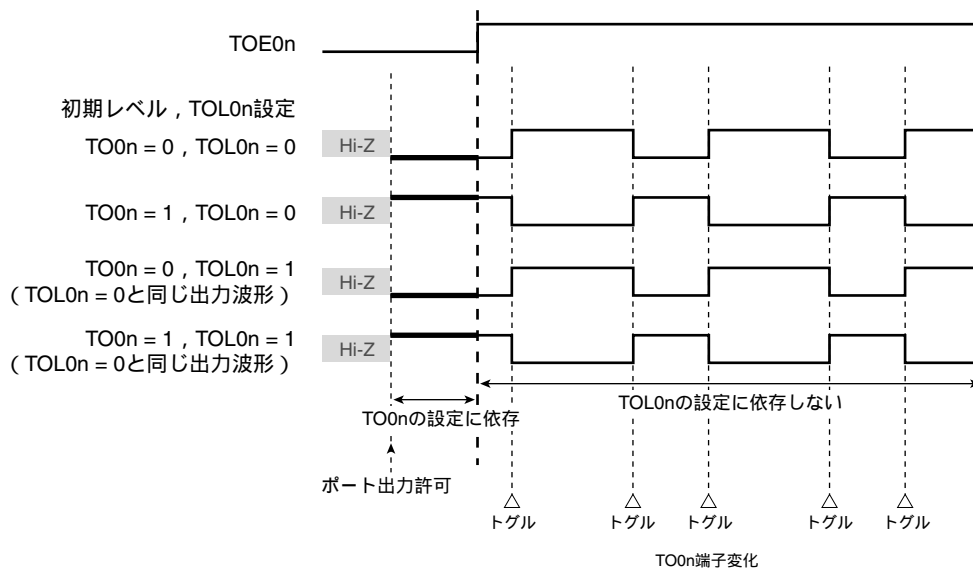
(2) TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、TOE0n = 0の状態ではTO0nに書き込みを行い、初期レベル変更後TOE0n = 1に設定した場合のTO0n端子出力レベルの変化を次に示します。

(a) TOM0n = 0設定で動作を開始した場合（トグル出力）

TOM0n = 0の時、TOL0nの設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTO0n端子の出力レベルを反転します。

図7 - 26 トグル出力時 (TOM0n = 0) のTO0n端子出力状態



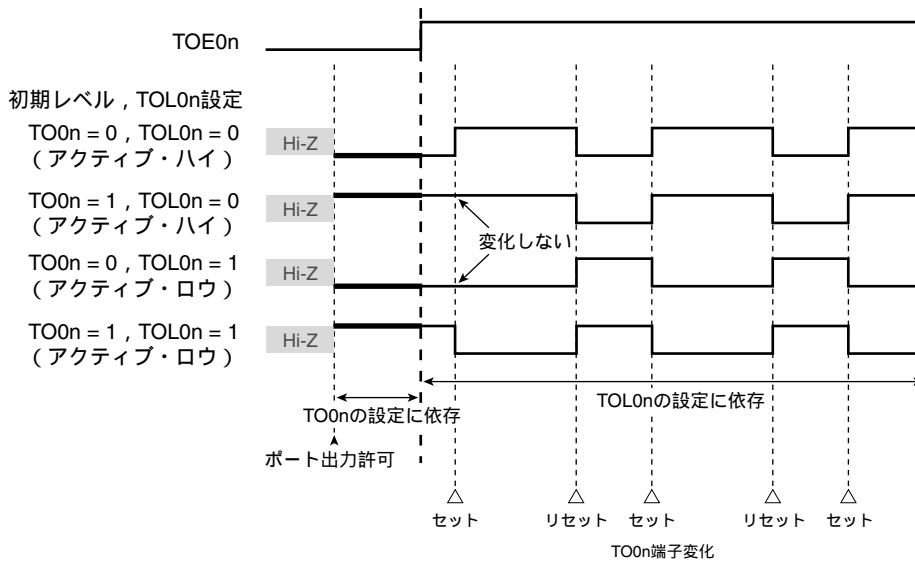
備考1. トグル：TO0n端子の出力状態を反転

2. n = 0-7

(b) TOM0n = 1設定で動作を開始した場合（連動動作モード（PWM出力））

TOM0n = 1の時、TOL0nの設定によりアクティブ・レベルを決定します。

図7 - 27 PWM出力時（TOM0n = 1）のTO0n端子出力状態



- 備考1. セット : TO0n端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TO0n端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
2. n = 0-7

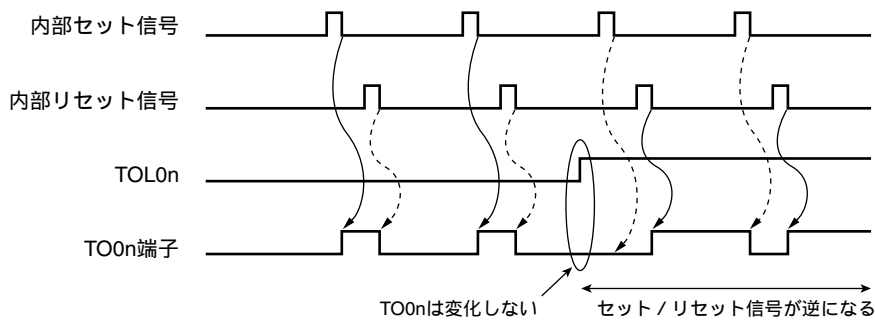
(3) TO0n端子の連動動作モード（TOM0n = 1）での動作について

(a) タイマ動作中にTOL0nの設定を変更した場合

タイマ動作中にTOL0nの設定を変更した場合、設定が有効となるのはTO0n変化条件の発生タイミングです。TOL0nの書き換えでは、TO0nの出力レベルは変化しません。

タイマ動作中（TOM0n = 1）にTOL0nの値を変更した場合の動作を次に示します。

図7 - 28 タイマ動作中にTOL0nを変更した場合の動作



- 備考1. セット : TO0n端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化
リセット : TO0n端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化
2. n = 0-7

(b) セット/リセット・タイミング

PWM出力時に、0% / 100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTM0n) 発生時のTO0n端子/TO0nセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

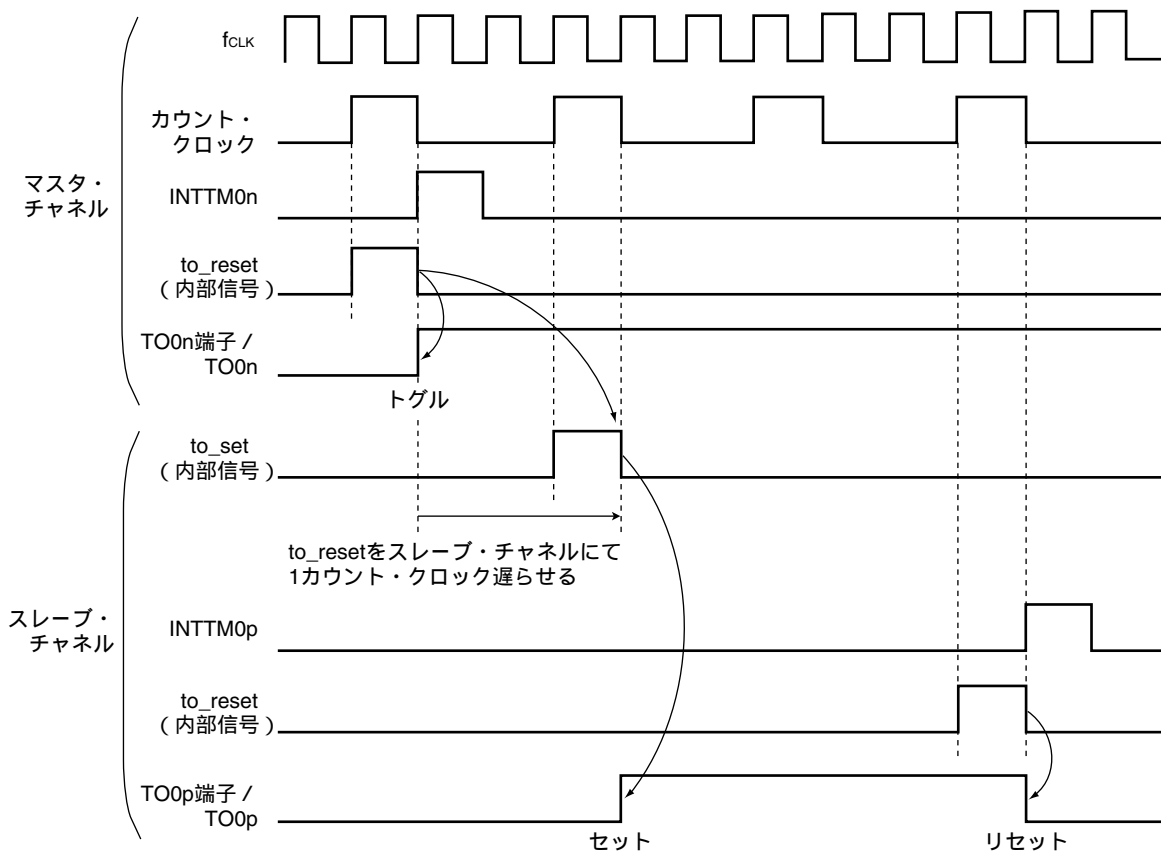
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図7 - 29に示します。

マスタ・チャンネル : TOE0n = 1, TOM0n = 0, TOL0n = 0

スレーブ・チャンネル : TOE0p = 1, TOM0p = 1, TOL0p = 0

図7 - 29 セット/リセット・タイミング動作状態



- 備考1. to_reset : TO0n端子のリセット/トグル信号
 to_set : TO0n端子のセット信号
- n = 0-7 (ただし、マスタ・チャンネルの場合n = 0, 2, 4, 6)
 - p = n+1, n+2, n+3 ... (ただしp 7とする)

7.4.4 TO0nビットの一括操作

TO0レジスタには、TS0レジスタ（チャンネル・スタート・トリガ）と同様に、1レジスタに全チャンネル分の設定ビット（TO0n）が配置されています。よって、全チャンネルのTO0nを一括で操作することが可能です。また、操作対象としたいTO0n（チャンネル出力）に該当するTOE0n = 0とすることによって任意のビットのみ操作することが可能です。

図7 - 30 TO0nビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
									0	0	1	0	0	0	1	0
TOE0	0	0	0	0	0	0	0	0	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00
									0	0	1	0	1	1	1	1

書き込みデータ

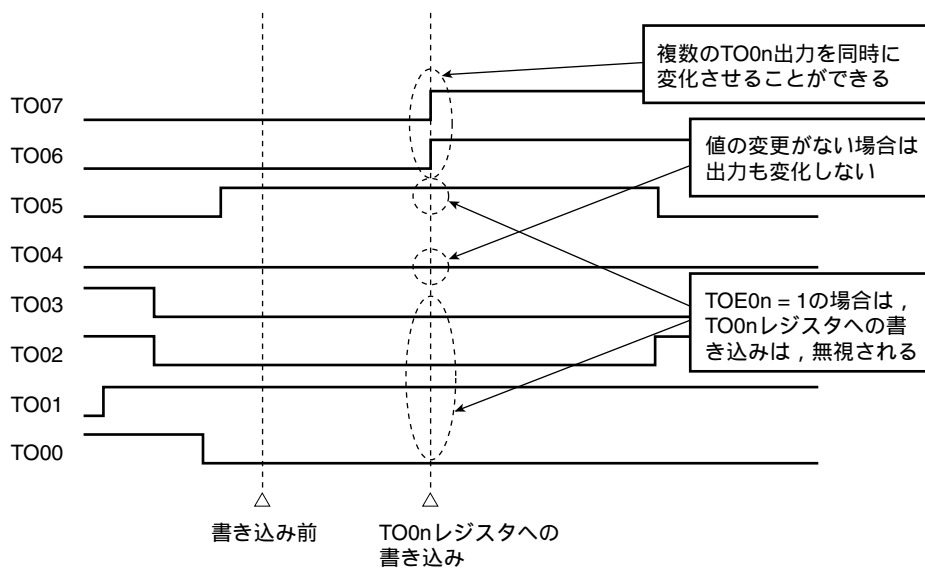
0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

書き込み後

TO0	0	0	0	0	0	0	0	0	TO07	TO06	TO05	TO04	TO03	TO02	TO01	TO00
									1	1	1	0	0	0	1	0

TOE0n = 0のTO0nビットのみ書き込みが行われます。TOE0n = 1のTO0nビットへの書き込みは無視されます。TOE0n = 1に設定されているTO0n（チャンネル出力）は、書き込み操作による影響は受けません。TO0nに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図7 - 31 TO0nビットの一括操作によるTO0nの端子状態



（注意，備考は次ページにあります）

注意 $TOE0n = 1$ の場合に、各チャンネルのタイマ割り込み (INTTM0n) による出力と $TO0n$ への書き込みが競合しても、 $TO0n$ 端子は正常に出力動作が行われます。

備考 $n = 0-7$

7.4.5 カウント動作開始時のタイマ割り込みと $TO0n$ 端子出力について

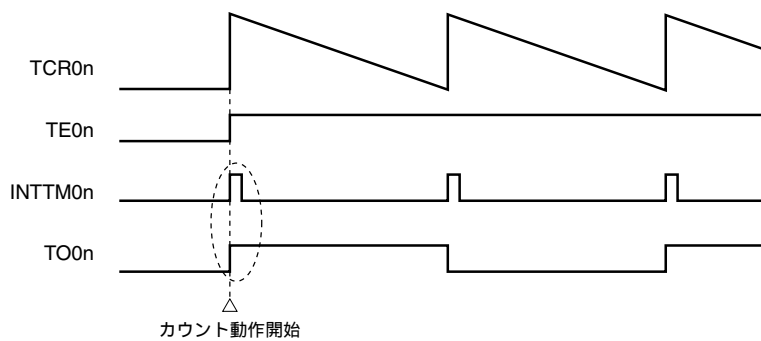
インターバル・タイマ・モード / キャプチャ・モードの場合、 $TMR0n$ レジスタの $MD0n0$ ビットは、「カウント開始時にタイマ割り込みを発生する / しない」を設定するビットとなります。

$MD0n0 = 1$ に設定することで、タイマ割り込み (INTTM0n) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、 $TO0n$ 出力は制御しません。

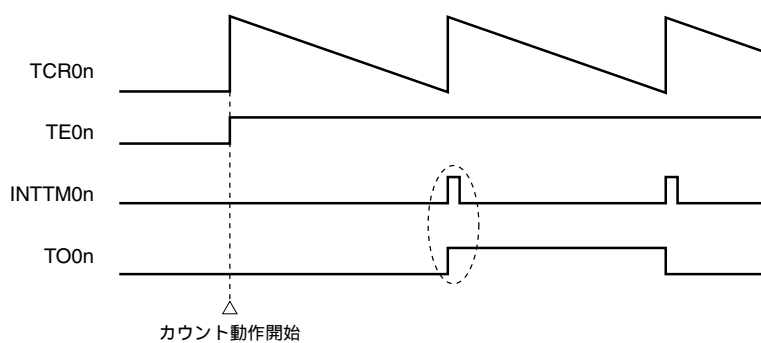
インターバル・タイマ・モード ($TOE0n = 1, TOM0n = 0$) に設定した場合の動作例を次に示します。

図7-32 $MD0n0 = 1$ に設定した場合



$MD0n0 = 1$ に設定した場合、カウント動作開始時にタイマ割り込み (INTTM0n) が出力され、 $TO0n$ がトグル動作します。

図7-33 $MD0n0 = 0$ に設定した場合



$MD0n0 = 0$ に設定した場合、カウント動作開始時にタイマ割り込み (INTTM0n) を出力しません。 $TO0n$ も変化しません。1周期をカウント後、INTTM0nを出力し、 $TO0n$ がトグル動作します。

備考 $n = 0-7$

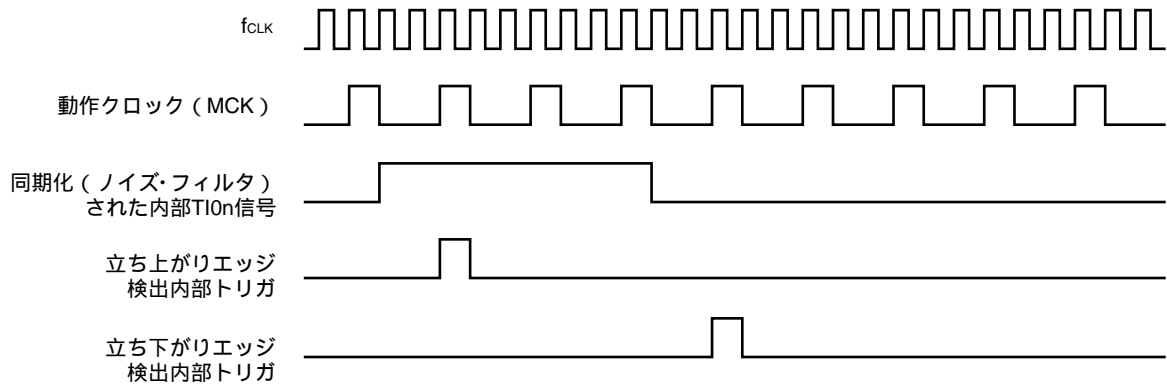
7.5 チャンネル入力 (TI0n端子) の制御

7.5.1 TI0nエッジ検出回路

(1) エッジ検出基本動作タイミング

エッジ検出回路のサンプリングは動作クロック (MCK) に合わせて行われます。

図7 - 34 エッジ検出基本動作タイミング



備考 n = 0-7

7.6 タイマ・アレイ・ユニットの基本機能説明

7.6.1 単体動作機能と連動動作機能の概要

タイマ・アレイ・ユニット（以下、TAUと略します）は複数のチャンネルで構成されており、各チャンネル単独で動作する単体動作機能と、いくつかのチャンネルを組み合わせる連動動作機能があります。

単体動作機能は、他のチャンネルの動作モードに関係なく任意のチャンネルで使用可能な機能です。

連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

7.6.2 連動動作機能の基本ルール

次に連動動作機能の基本的なルールを示します。

- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, ...）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。

例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, ...）がスレーブ・チャンネルに設定できます。

- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。

例 チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。

- (6) マスタ・チャンネルと連動するスレーブ・チャンネルは、同じ動作クロックを設定します。マスタ・チャンネルと連動するスレーブ・チャンネルのCKSビット（TMR0nレジスタのビット15）が同じ設定値になっている必要があります。
- (7) マスタ・チャンネルはINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャンネルに伝えることができます。
- (8) スレーブ・チャンネルはマスタ・チャンネルのINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できますが、下位チャンネルに自身のINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。
- (9) マスタ・チャンネルは、他のマスタ・チャンネルからのINTTM0n（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを使用できません。
- (10) 連動させるチャンネルを同時スタートさせるため、連動させるチャンネルのTS0nビットを同時に設定する必要があります。
- (11) カウント動作中のTS0nビットの設定は、連動させるすべてのチャンネル、またはマスタ・チャンネルのみ設定できます。スレーブ・チャンネルのTS0nのみの設定では使用できません。
- (12) 連動させるチャンネルを同時に停止させるため、連動させるチャンネルのTT0nビットを同時に設定する必要があります。

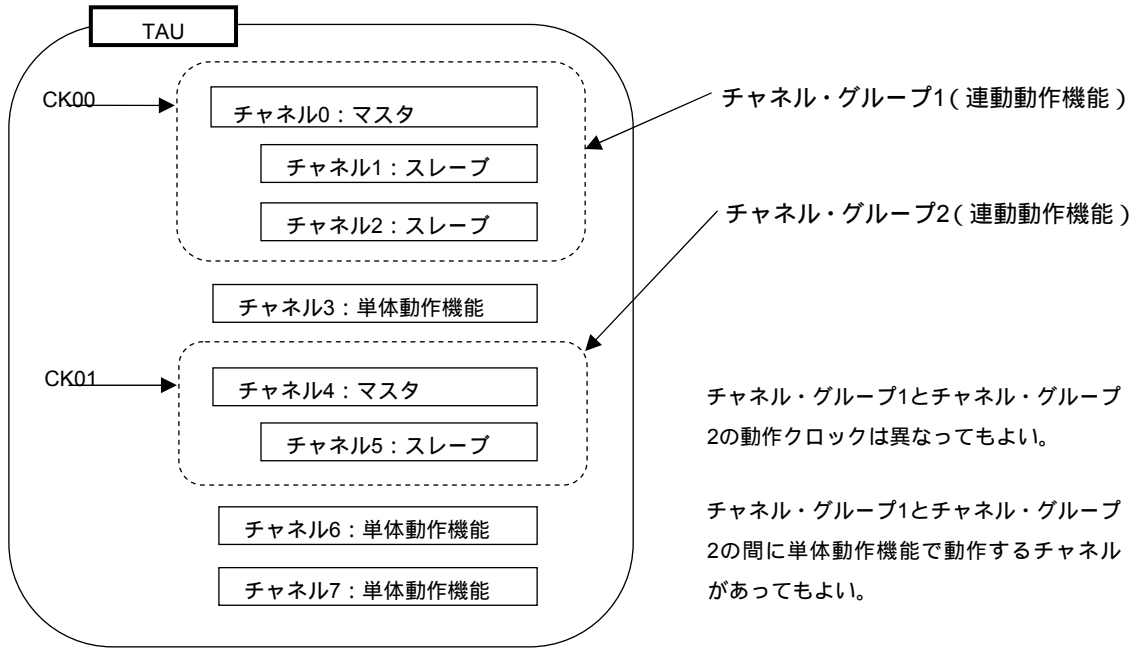
備考 n = 0-7

7.6.3 連動動作機能の基本ルール適用範囲

連動動作機能のルールは、チャンネル・グループ(1つの連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合)内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には7.6.2 連動動作機能の基本ルールのルールは適用されません。

例



7.7 タイマ・アレイ・ユニットの単独チャンネルでの動作

7.7.1 インターバル・タイマ/方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTM0n (タイマ割り込み) を発生する基準タイマとして利用することができます。
割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM0n (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR0nの設定値} + 1)$$

カウント・クロックには、CK00, CK01のほかにサブシステム・クロックの4分周 ($f_{\text{SUB}}/4$) の選択ができます。これにより、 f_{CLK} の周波数 (メイン・システムクロック, サブシステム・クロック) に関係なく、カウント・クロックを $f_{\text{SUB}}/4$ 固定でインターバル・タイマ動作が可能です。ただし、 f_{CLK} に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニット (TAU) を停止 (TT0 = 00FFH) させてから変更してください。

(2) 方形波出力としての動作

TO0nは、INTTM0n発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。
TO0n出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TO0nからの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR0nの設定値} + 1) \times 2$$

$$\cdot \text{TO0nからの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDR0nの設定値} + 1) \times 2 \}$$

TCR0nはインターバル・タイマ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット (TS0n) に1を設定後、最初のカウント・クロックでTCR0nはTDR0nの値をロードします。このときTMR0nのMD0n0 = 0ならば、INTTM0nを出力せず、TO0nはトグルしません。TMR0nのMD0n0 = 1ならば、INTTM0nを出力して、TO0nをトグルします。

その後、TCR0nはカウント・クロックに合わせてダウン・カウントを行います。

TCR0n = 0000Hとなったら、次のカウント・クロックでINTTM0nを出力しTO0nをトグルします。また、同タイミングで再びTCR0nはTDR0nの値をロードします。以降、同様の動作を続けます。

TDR0nは任意のタイミングで書き換えることができます。書き換えたTDR0nの値は、次の周期から有効となります。

備考1. n = 0-7

2. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
 f_{SUB} : サブシステム・クロック発振周波数

図7 - 35 インターバル・タイマ/方形波出力としての動作のブロック図

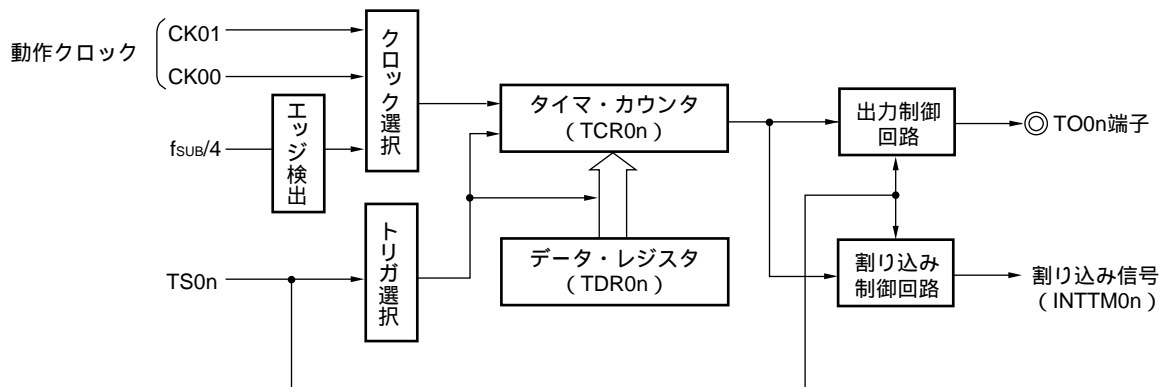
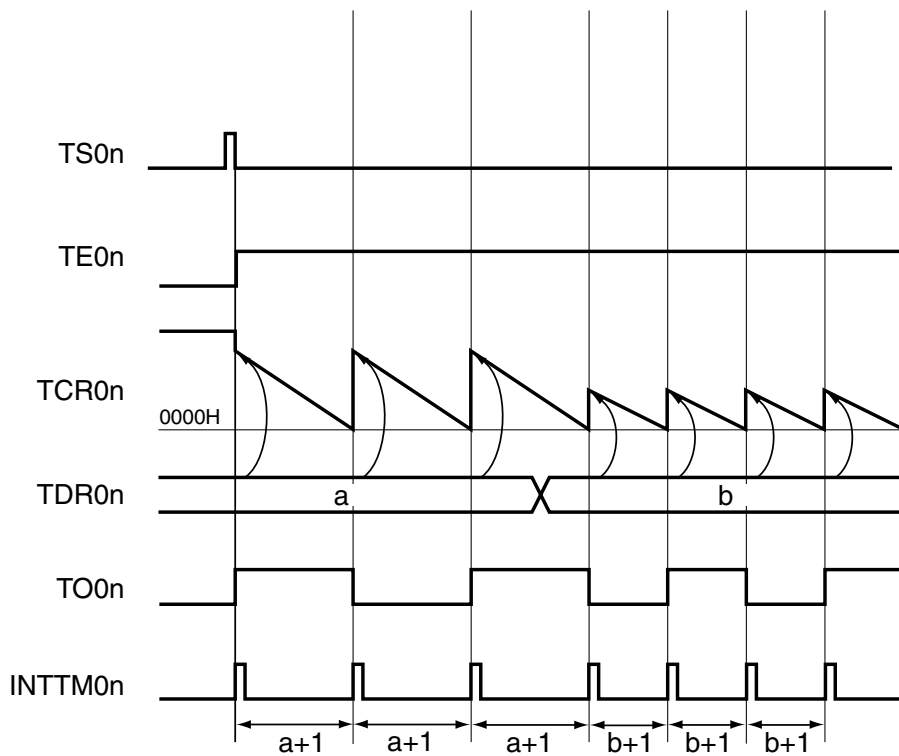


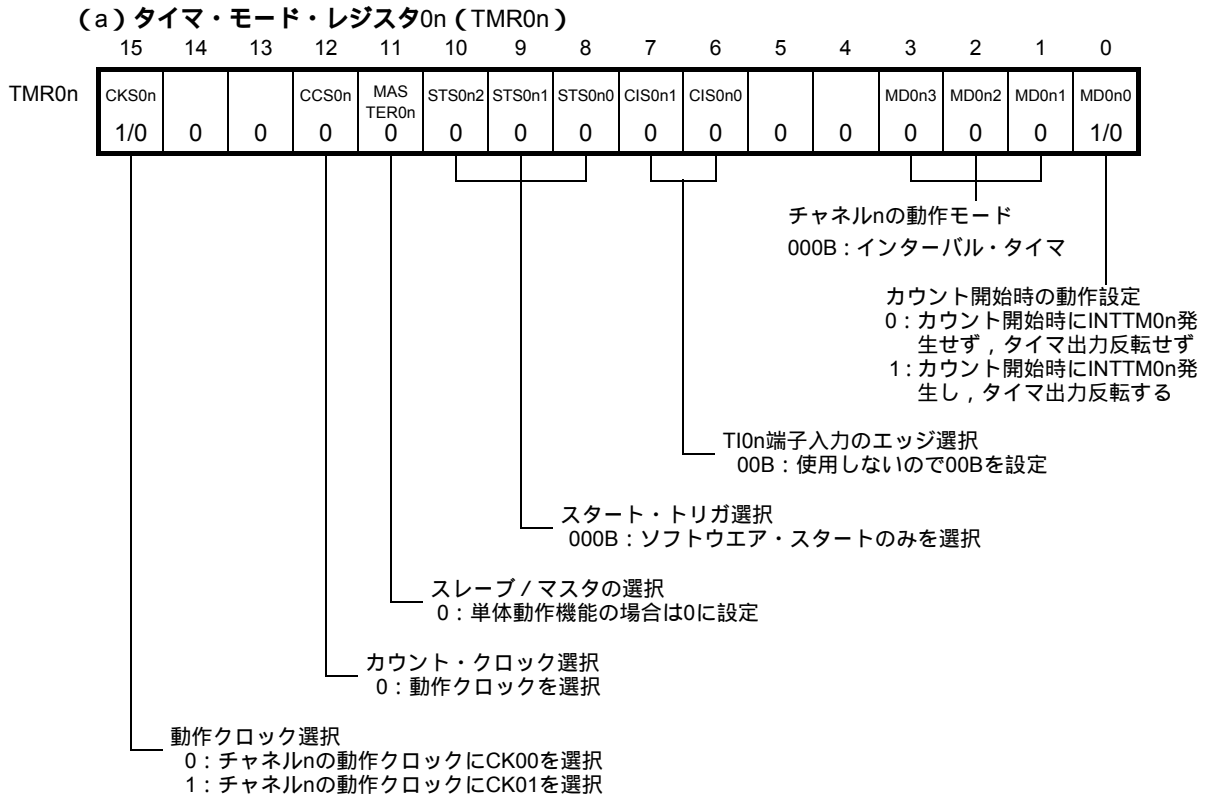
図7 - 36 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (MD0n0 = 1)



備考 n = 0-7

図7 - 37 インターバル・タイマ/方波出力時のレジスタ設定内容例 (1/3)

(1) カウント・クロックにCK00, CK01を選択した場合



(b) タイマ出力レジスタ0 (TO0)

	ビットn	
TO0	TO0n	0: TO0nより0を出力する
	1/0	1: TO0nより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットn	
TOE0	TOE0n	0: カウント動作によるTO0n出力動作停止
	1/0	1: カウント動作によるTO0n出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットn	
TOL0	TOL0n	0: TOM0n = 0 (トグル・モード) では0を設定
	0	

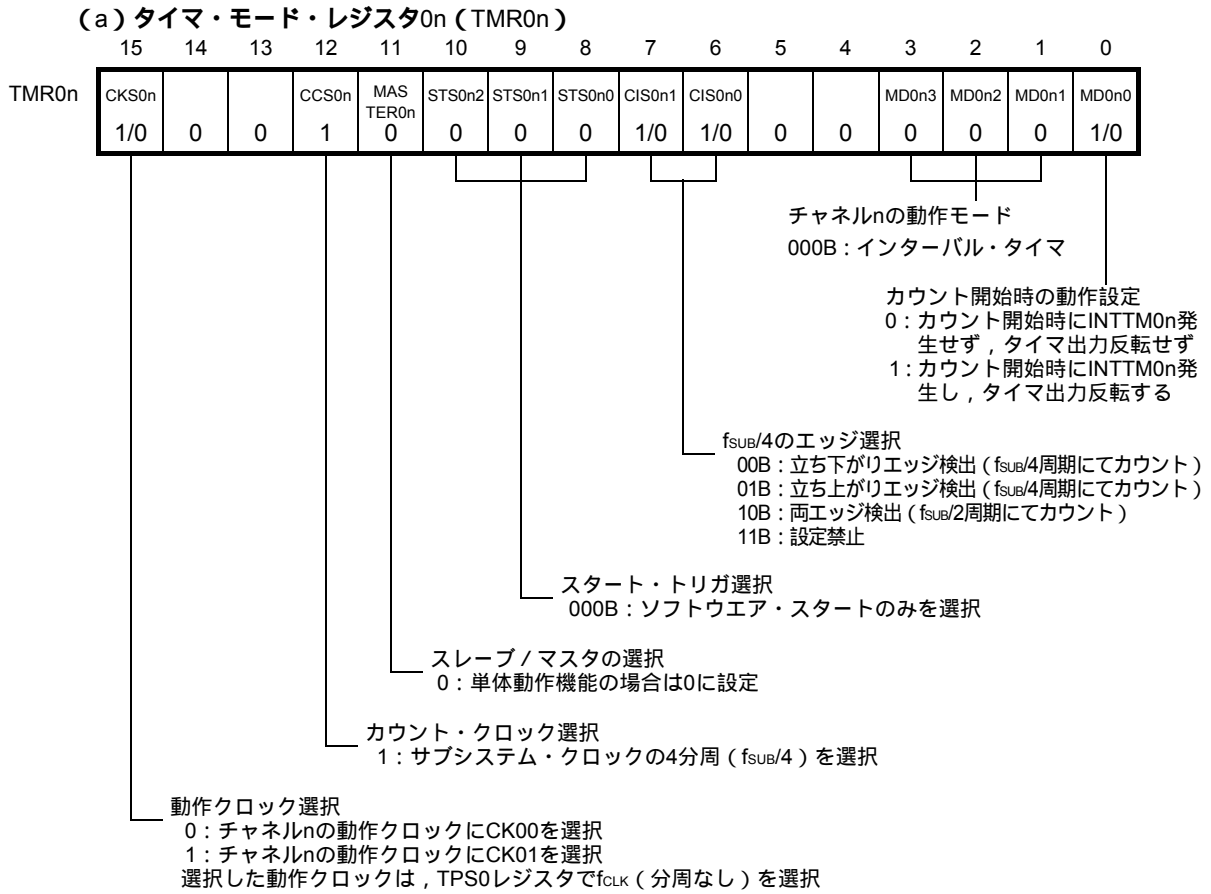
(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットn	
TOM0	TOM0n	0: トグル・モードを設定
	0	

備考 n = 0-7

図7-37 インターバル・タイマ/方形波出力時のレジスタ設定内容例(2/3)

(2) カウント・クロックに $f_{SUB}/4$ を選択した場合



(b) タイマ・クロック選択レジスタ0 (TPS0)

ビット7-4, 3-0

TPS0	PRSM3-PRSM0 0000	0000B: TMR0nレジスタのCKS0nで選択した動作クロックに、 f_{CLK} (分周なし) を選択 CK00選択時は $m = 0$ (ビット0-3), CK01選択時は $m = 1$ (ビット4-7)
------	---------------------	--

(c) タイマ入力選択レジスタ0 (TIS0)

ビットn

TIS0	TIS0n 1	1: サブシステム・クロックの4分周 ($f_{SUB}/4$) を選択
------	------------	--

(d) タイマ出力レジスタ0 (TO0)

ビットn

TO0	TO0n 1/0	0: TO0nより0を出力する 1: TO0nより1を出力する
-----	-------------	------------------------------------

備考1. $n = 0-7, m = 0, 1$

2. f_{SUB} : サブシステム・クロック発振周波数

図7-38 インターバル・タイマ/方形波出力機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	TMR0nレジスタを設定する(チャンネルの動作モード確定) カウント・クロックに $f_{sub}/4$ を選択時は, TIS0nビットに 1 ($f_{sub}/4$) を設定する TDR0nレジスタにインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TO0n出力を使用する場合, TOM0レジスタのTOM0nビットに0(トグル・モード) を設定する TOL0nビットに0を設定する TO0nビットを設定し, TO0n出力の初期レベルを確定 する TOE0nに1を設定し, TO0nの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設 定する	TO0n端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TO0n初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO0nは変化しない TO0n端子はTO0n設定レベルを出力
動作 開始	TOE0nに1を設定する(動作再開時のみ) TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻 る	TE0n = 1になり, カウント動作開始 カウント・クロック入力でTCR0nはTDR0nの値をロードす る。TMR0nレジスタのMD0n0ビットが1の場合は, INTTM0n を発生し, TO0nもトグル動作する。
	動作 中	TMR0nレジスタ, TOM0n, TOL0nビットは, 設定値変更 禁止 TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能
動作 停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻 る	TE0n = 0になり, カウント動作停止 TCR0nはカウント値を保持して停止 TO0n出力は初期化されず, 状態保持
	TOE0nに0を設定し, TO0nビットに値を設定する	TO0n端子はTO0n設定レベルを出力
TAU 停止	TO0n端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO0nピッ トに0を設定する	TO0n端子出力レベルはポート機能により保持される。
	TO0n端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER0レジスタのTAU0ENビットに0を設定する	TO0n端子出力レベルはHi-Z出力になる。 パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO0nビットが0になり, TO0n端子はポート機能となる)

動作再開

備考 n = 0-7

7.7.2 外部イベント・カウンタとしての動作

TI0n端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDR0nの設定値} + 1$$

TCR0n はイベント・カウンタ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット（TS0n）に1を設定することによりTCR0nはTDR0nの値をロードします。

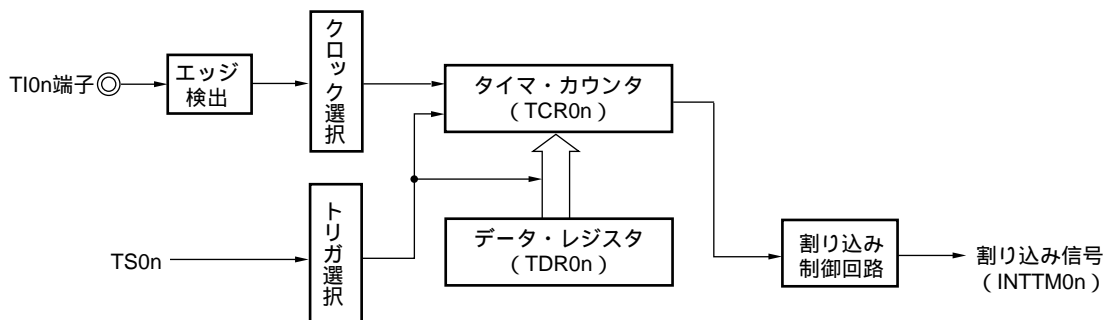
TCR0nはTI0n端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCR0n = 0000Hになったら、再びTDR0nの値をロードして、INTTM0nを出力します。

以降、同様の動作を継続します。

TO0nは外部イベントに依存した不規則な波形となるため、TO0nは使用できません。

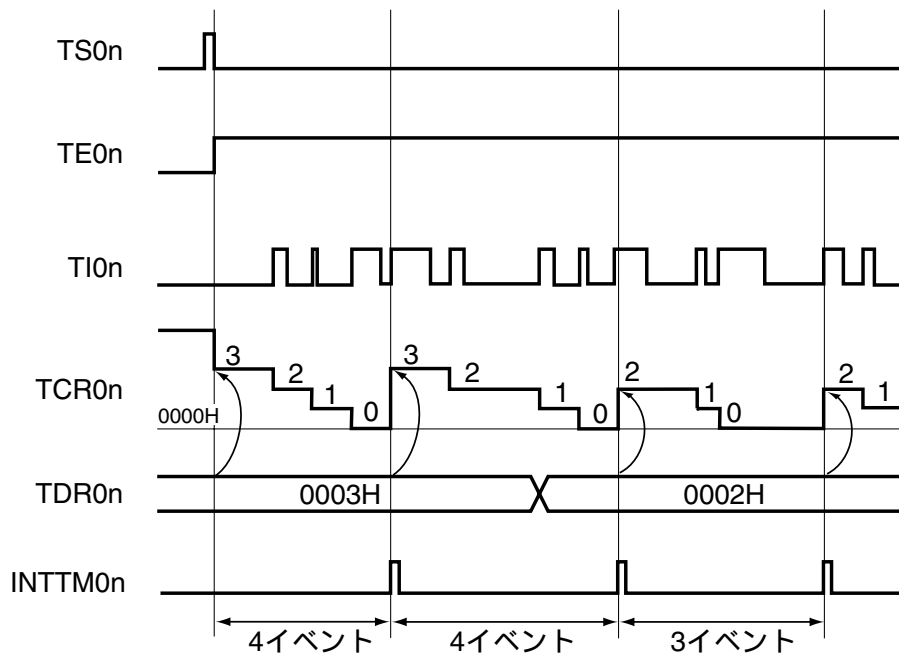
TDR0nは任意のタイミングで書き換えることができます。書き換えたTDR0nの値は次のカウント期間で有効になります。

図7 - 39 外部イベント・カウンタとしての動作のブロック図



備考 n = 0-7

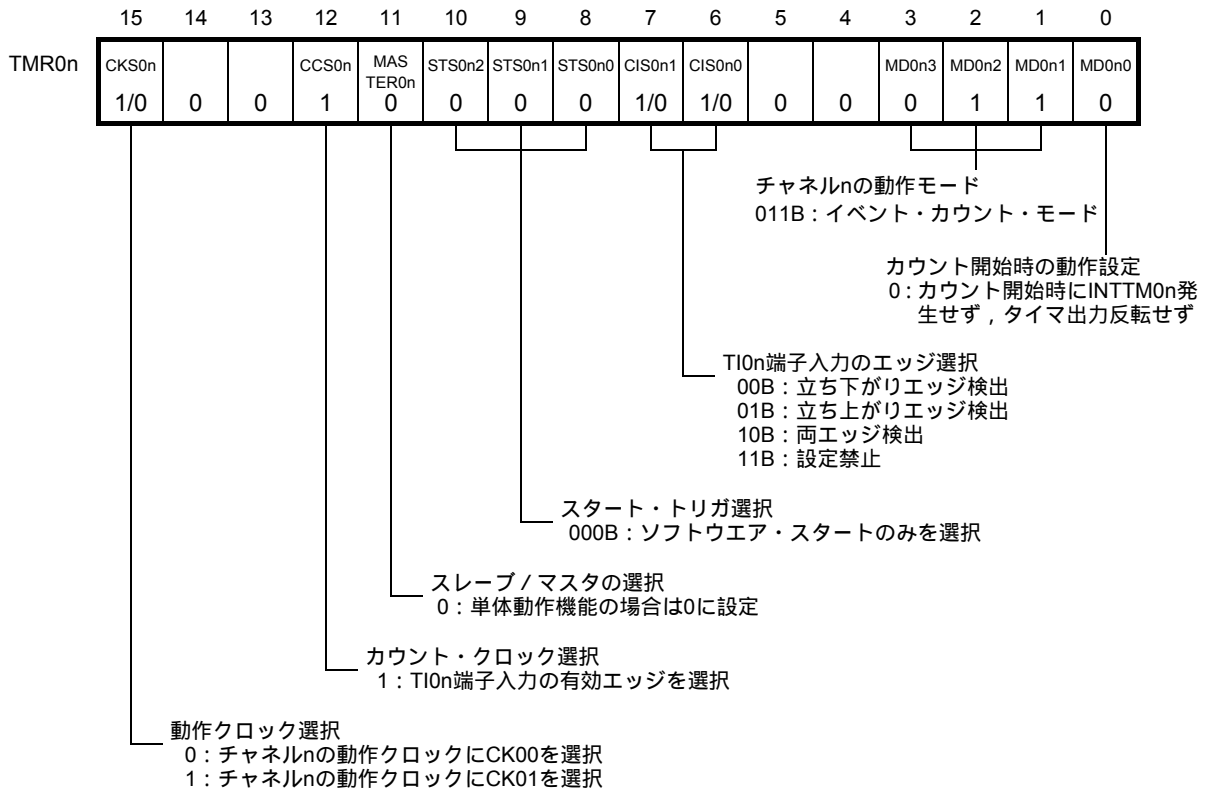
図7-40 外部イベント・カウンタとしての動作の基本タイミング例



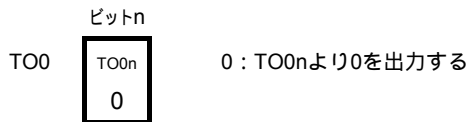
備考 n = 0-7

図7-41 外部イベント・カウンタ・モード時のレジスタ設定内容例

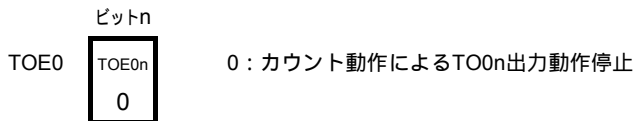
(a) タイマ・モード・レジスタ0n (TMR0n)



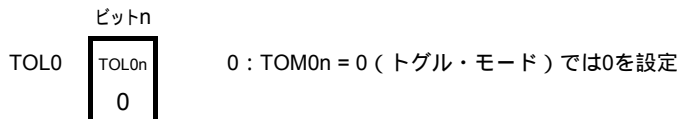
(b) タイマ出力レジスタ0 (TO0)



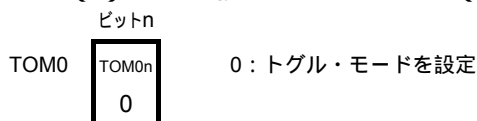
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0-7

図7-42 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態，各チャンネルは動作停止状態 (クロック供給開始，各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR0nレジスタを設定する(チャンネルの動作モード確定) TDR0nレジスタにカウント数を設定する TOE0レジスタのTOE0nビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており，多少の電力を消費する)
動作 再開	動作 開始	▶TS0nビットに1を設定する TS0nビットはトリガ・ビットなので，自動的に0に戻る
	動作 中	▶TE0n = 1になり，カウント動作開始 TCR0nはTDR0nの値をロードし，TI0n端子入力のエッジ検出待ち状態になる
	動作 停止	▶TI0n端子入力のエッジが検出されるごとに，カウンタ(TCR0n)はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCR0nはTDR0nの値をロードし，カウント動作を継続する。TCR0n = 0000H検出でINTTM0n出力を発生する。 以降，この動作を繰り返す。
TAU 停止	▶TT0nビットに1を設定する TT0nビットはトリガ・ビットなので，自動的に0に戻る	▶TE0n = 0になり，カウント動作停止 TCR0nはカウント値を保持して停止
	▶PER0レジスタのTAU0ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され，各チャンネルのSFRも初期化される

備考 n = 0-7

7.7.3 分周器としての動作（チャンネル0のみ）

TI00に入力されたクロックを分周し，TO00から出力する分周器として利用することができます。

TO00出力の分周クロック周波数は次の式で求めることができます。

・立ち上がりエッジ / 立ち下がりエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDR00 の設定値} + 1) \times 2 \}$$

・両エッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDR00の設定値} + 1)$$

TCR00はインターバル・タイマ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット（TS00）に1を設定後，TI00の有効エッジ検出でTCR00はTDR00の値をロードします。このときTMR00のMD000 = 0ならば，INTTM00を出力せず，TO00はトグルしません。TMR00のMD000 = 1ならば，INTTM00を出力して，TO00をトグルします。

その後，TI00の有効エッジに合わせてダウン・カウントを行い，TCR00 = 0000Hとなったら，TO00をトグルします。同時にTCR00はTDR00の値をロードして，カウントを継続します。

TI00の両エッジ検出を選択すると，入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出力クロックの周期には，動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出力クロック周期} \pm \text{動作クロック周期（誤差）}$$

TDR00は任意のタイミングで書き換えることができます。書き換えたTDR00の値は次のカウント期間で有効となります。

図7 - 43 分周器としての動作のブロック図

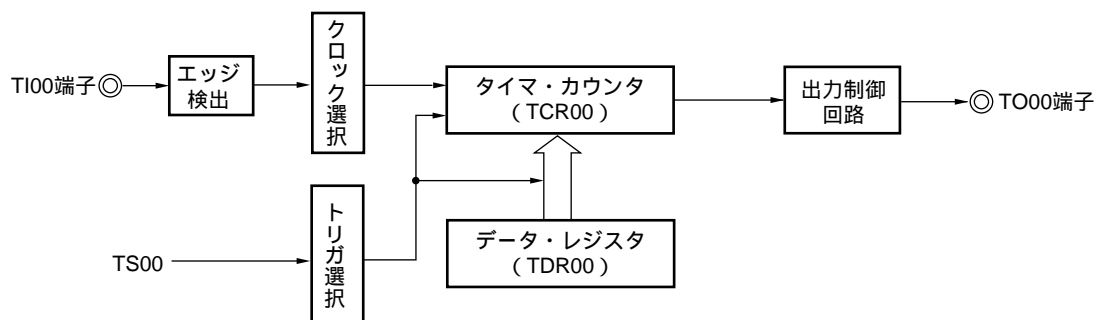


図7-44 分周器としての動作の基本タイミング例 (MD000 = 1)

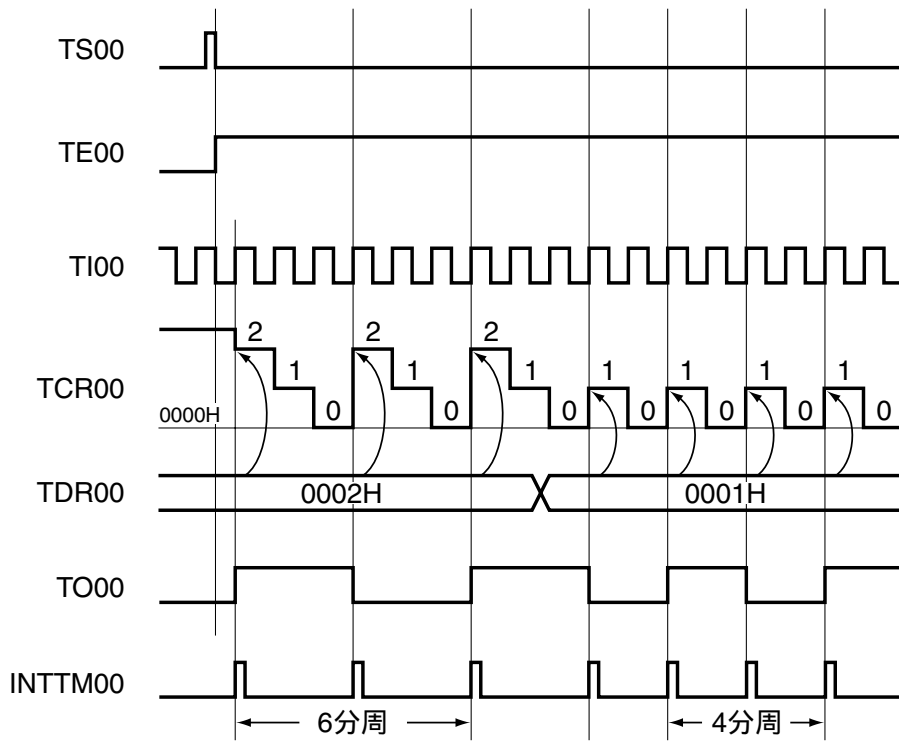
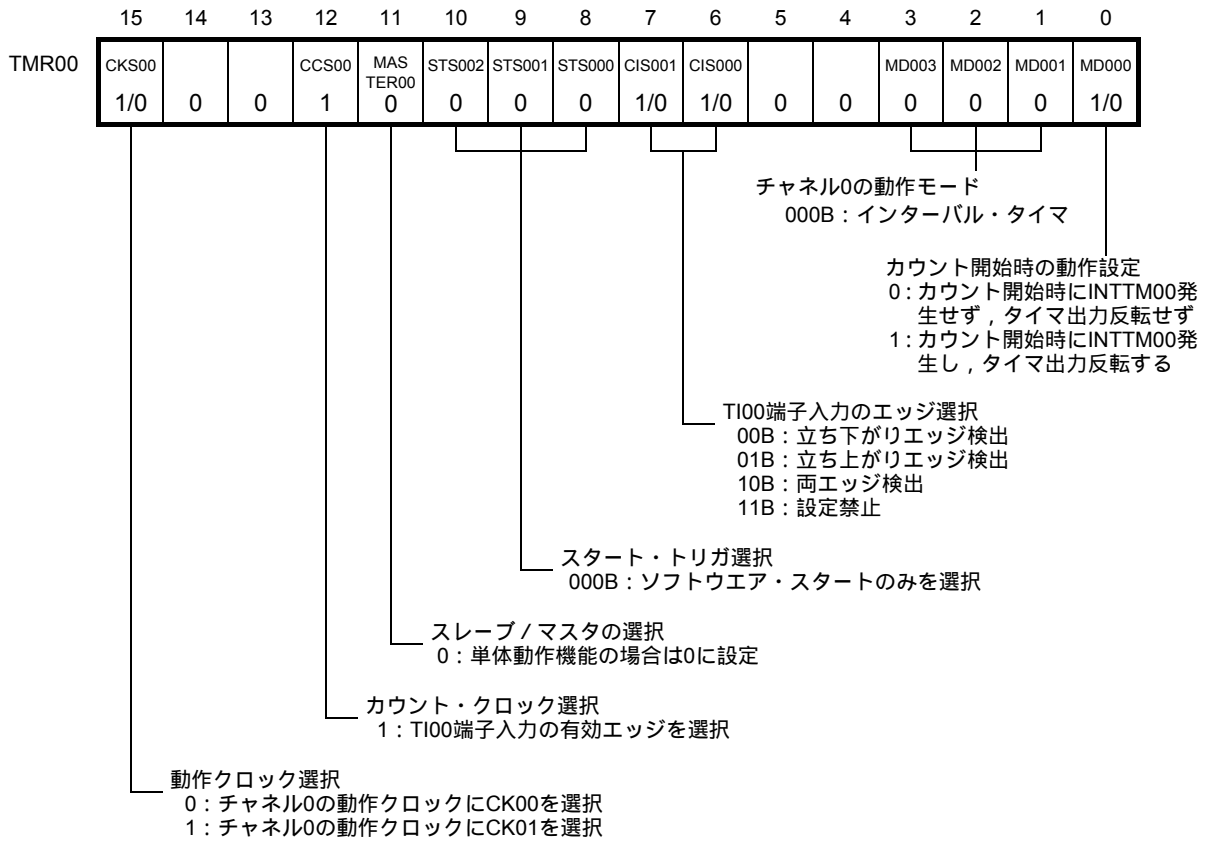


図7-45 分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ0 (TMR00)



(b) タイマ出力レジスタ0 (TO0)

ビット0		
TO0	TO00	0: TO00より0を出力する
	1/0	1: TO00より1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

ビット0		
TOE0	TOE00	0: カウント動作によるTO00出力動作停止
	1/0	1: カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビット0		
TOL0	TOL00	0: TOM00 = 0 (トグル・モード) では0を設定
	0	

(e) タイマ出力モード・レジスタ0 (TOM0)

ビット0		
TOM0	TOM00	0: トグル・モードを設定
	0	

図7-46 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR00レジスタを設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TDR00レジスタにインターバル (周期) 値を設定する	
	TOM0レジスタのTOM00ビットに0 (トグル・モード) を設定する	TO00端子はHi-Z出力状態
	TOL00ビットに0を設定する TO00ビットを設定し, TO00出力の初期レベルを確定する	▶ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。
	TOE00に1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	▶チャンネルは動作停止状態なので, TO00は変化しない ▶TO00端子はTO00設定レベルを出力
動作 開始	TOE00に1を設定する (動作再開時のみ)	
	TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	▶TE00 = 1になり, カウント動作開始 カウント・クロック入力でTCR00はTDR00の値をロードする。TMR00レジスタのMD000ビットが1の場合は, JNTTM00を発生し, TO00もトグル動作する。
動作 中	TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE00レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止	カウンタ (TCR00) はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR00はTDR00の値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し, TO00はトグル動作する。 以降, この動作を繰り返す。
動作 停止	TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	▶TE00 = 0になり, カウント動作停止 TCR00はカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE00に0を設定し, TO00ビットに値を設定する	▶TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する	▶TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	▶TO00端子出力レベルはHi-Z出力になる。
	PER0レジスタのTAU0ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

動作再開

第7章
TAU

7.7.4 入力パルス間隔測定としての動作

TI0n有効エッジでカウント値をキャプチャし、TI0n入力パルスの間隔を測定することができます。パルス間隔は次の式で求めることができます。

$$\text{TI0n入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times \left((10000\text{H} \times \text{TSR0n:OVF}) + (\text{TDR0nのキャプチャ値} + 1) \right)$$

注意 TI0n端子入力は、TMR0nレジスタのCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロック分の誤差が発生します。

TCR0nはキャプチャ・モードでアップ・カウンタとして動作します。

チャンネル・スタート・トリガ (TS0n) に1を設定するとTCR0nはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TI0n端子入力の有効エッジを検出すると、カウント値をTDR0nに転送 (キャプチャ) すると同時に、カウンタ (TCR0n) を0000Hにクリアして、INTTM0nを出力します。このとき、カウンタのオーバーフローが発生していたら、TSR0nレジスタのOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を続けます。

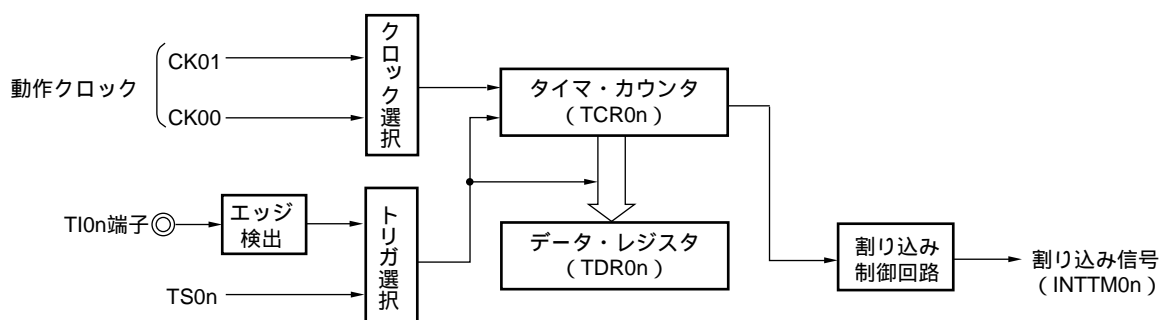
カウント値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSR0nレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR0nレジスタのOVFビットがセット (1) されます。しかし、OVFビットは累積形で構成されており、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMR0nレジスタのSTS0n2-STS0n0 = 001Bに設定して、TI0n有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

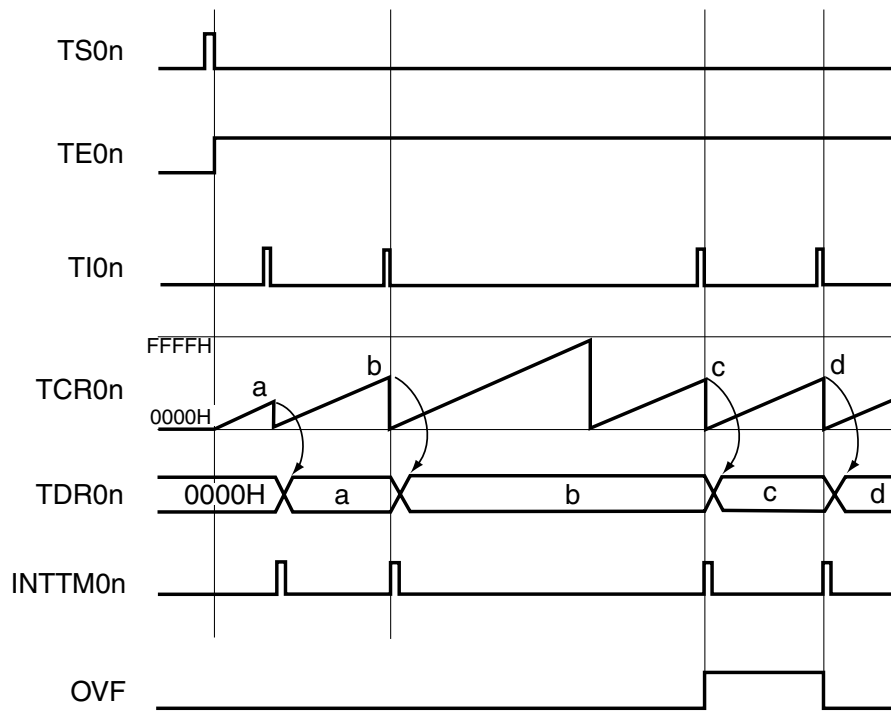
TE0n = 1のときは、TI0n端子入力を使用せずに、ソフトウェア操作 (TS0n = 1) をキャプチャ・トリガにすることもできます。

図7-47 入力パルス間隔測定としての動作のブロック図



備考 n = 0-7

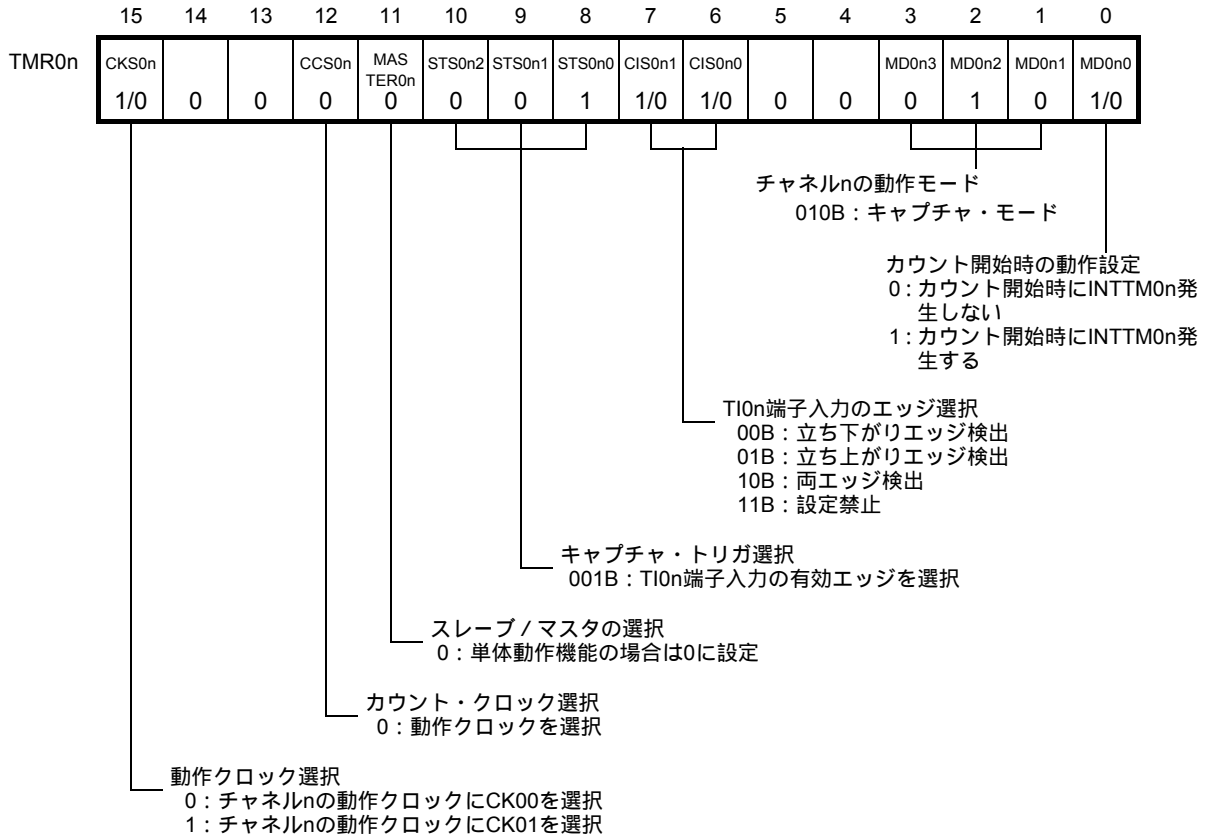
図7 - 48 入力パルス間隔測定としての動作の基本タイミング例 (MD0n0 = 0)



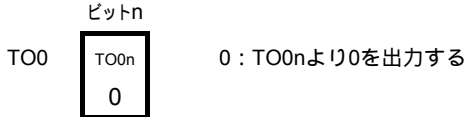
備考 n = 0-7

図7 - 49 入力パルス間隔測定時のレジスタ設定内容例

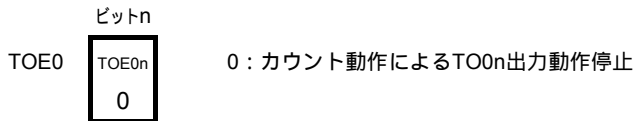
(a) タイマ・モード・レジスタ0n (TMR0n)



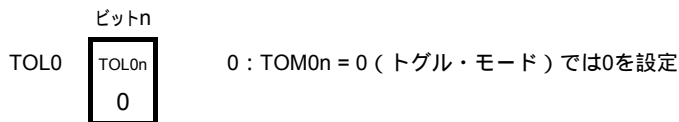
(b) タイマ出力レジスタ0 (TO0)



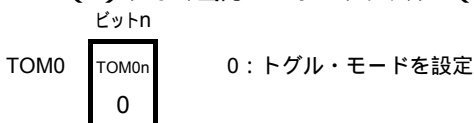
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0-7

図7 - 50 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR0nレジスタを設定する (チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 1になり, カウント動作開始 カウント・クロック入力でTCR0nを0000Hにクリアする。 TMR0nレジスタのMD0n0ビットが1の場合は, INTTM0nを発生する。
	動作 中	TMR0nレジスタは, CIS0n1, CIS0n0ビットのみ設定値変更可能 TDR0nレジスタは, 常に読み出し可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 常に読み出し可能 TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止
動作 停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 0になり, カウント動作停止 TCR0nはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 n = 0-7

7.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作

TI0nの片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TI0nの信号幅（ハイ・レベル幅/ロウ・レベル幅）を測定することができます。TI0nの信号幅は次の式で求めることができます。

$$\text{TI0n入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRn:OVF}) + (\text{TDR0nのキャプチャ値} + 1))$$

注意 TI0n端子入力は、TMR0nレジスタのCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロック分の誤差が発生します。

TCR0nはキャプチャ&ワンカウント・モードでアップカウンタとして動作します。

チャネル・スタート・トリガ（TS0n）に1を設定すると、TE0n = 1となりTI0n端子のスタート・エッジ検出待ち状態となります。

TI0nのスタート・エッジ（ハイ・レベル幅測定ならTI0nの立ち上がりエッジ）を検出すると、カウント・クロックに合わせてアップカウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定ならTI0nの立ち下がりエッジ）を検出すると、カウンタ値をTDR0nに転送すると同時にINTTM0nを出力します。このとき、カウンタのオーバーフローが発生していたら、TSRnレジスタのOVFビットがセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。TCR0nは、「TDR0nに転送した値+1」の値で停止し、TI0n端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値がTDR0nレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSR0nレジスタのOVFビットがセット（1）されます。しかし、OVFビットは累積形で構成されており、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

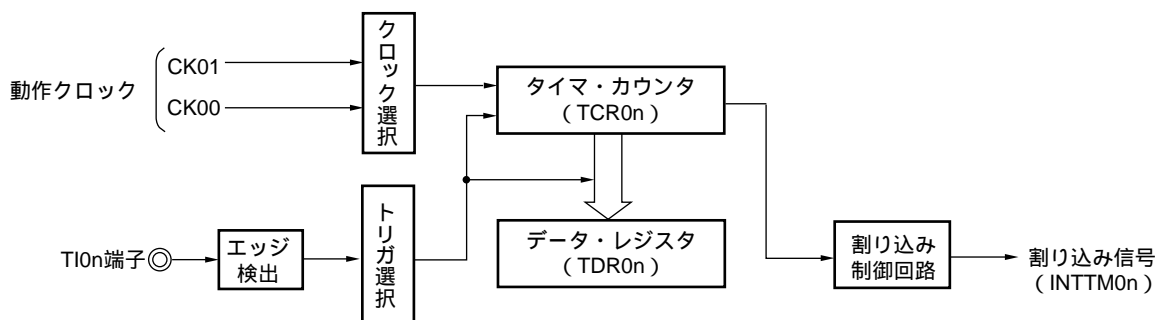
TI0n端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMR0nレジスタのCIS0n1、CIS0n0ビットにて設定することができます。

この機能は、TI0n端子入力の信号幅測定を目的とするため、TE0n = 1期間中のTS0nのセット（1）は使用できません。

TMR0nのCIS0n1, CIS0n0 = 10B : ロウ・レベル幅を測定する

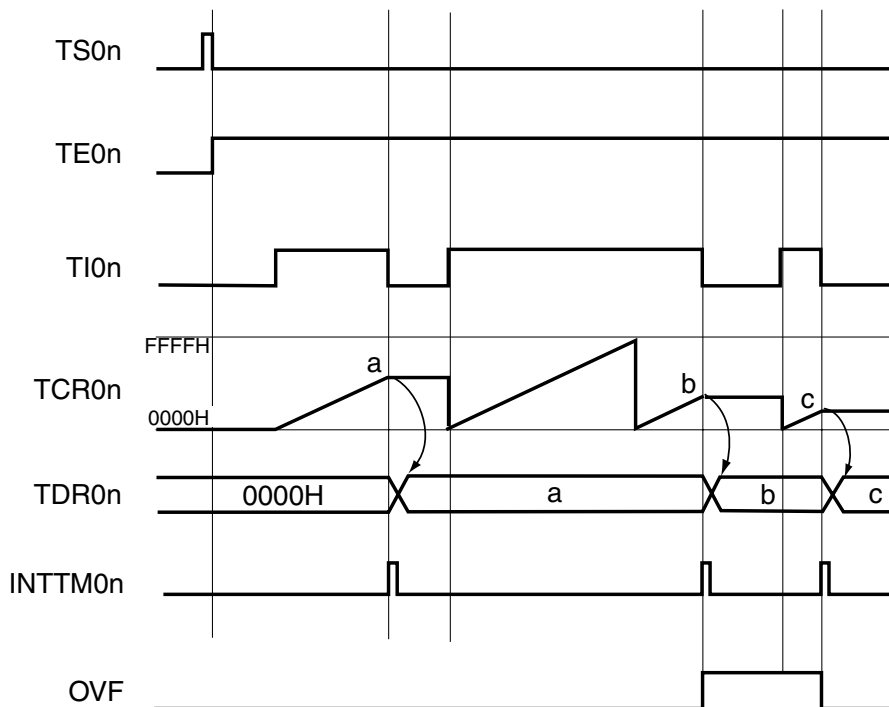
TMR0nのCIS0n1, CIS0n0 = 11B : ハイ・レベル幅を測定する

図7 - 51 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



備考 n = 0-7

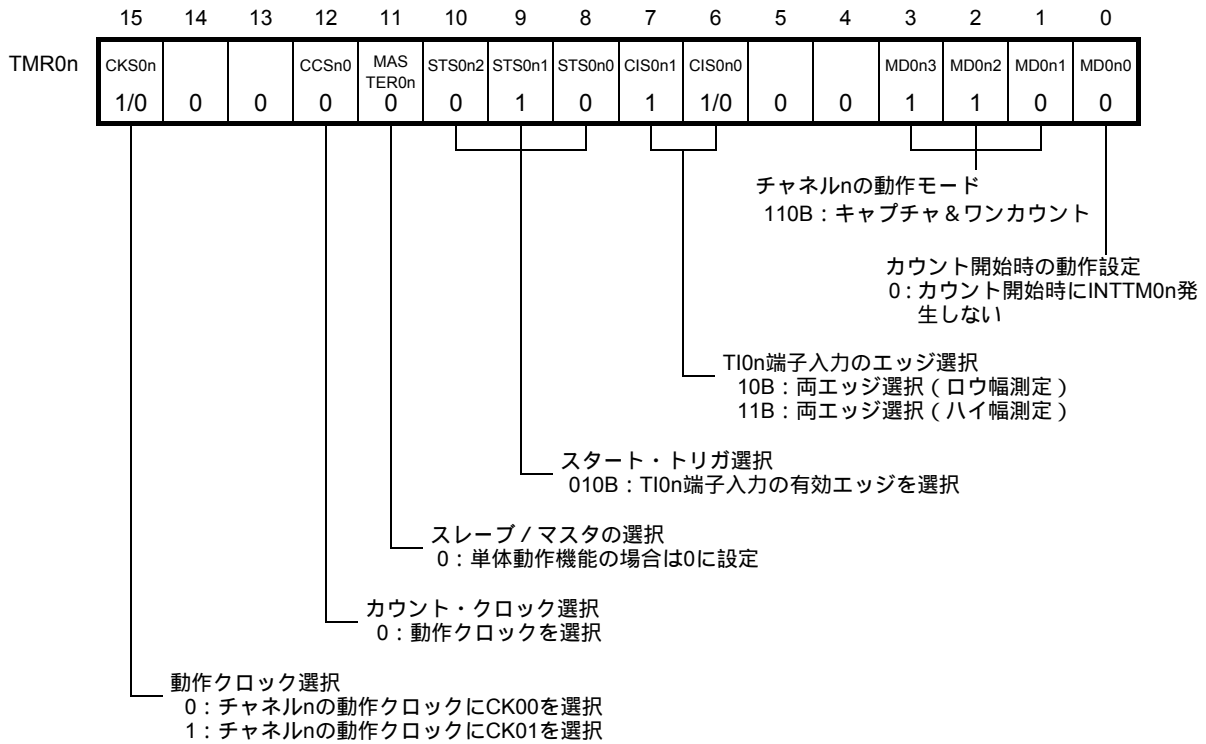
図7 - 52 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



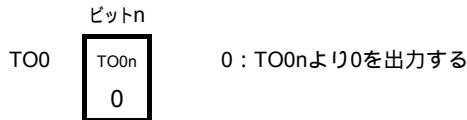
備考 n = 0-7

図7 - 53 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

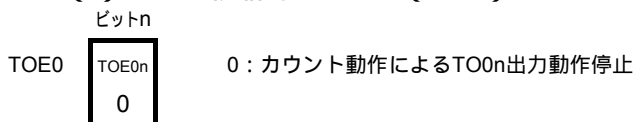
(a) タイマ・モード・レジスタ0n (TMR0n)



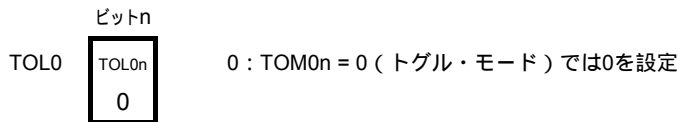
(b) タイマ出力レジスタ0 (TO0)



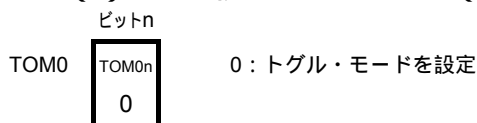
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0-7

図7 - 54 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	TMR0nレジスタを設定する (チャンネルの動作モード確定) TOE0nに0を設定し, TO0nの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TS0nビットに1を設定する TS0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 1になり, Tl0n端子のスタート・エッジ検出待ち状態になる
	Tl0n端子入力のカウント・スタート・エッジ検出	▶TCR0nを0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDR0nレジスタは, 任意に設定値変更が可能 TCR0nレジスタは, 常に読み出し可能 TSR0nレジスタは, 使用しない TMR0nレジスタ, TOM0n, TOL0n, TO0n, TOE0nビットは, 設定値変更禁止	Tl0n端子のスタート・エッジ検出後, カウンタ (TCRn) は0000Hからアップ・カウント動作を行う。Tl0n端子のキャプチャ・エッジが検出されたら, カウント値をTDR0nに転送し, INTTM0nを発生する。 このときオーバフローが発生していたら, TSR0nレジスタのOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCR0nは, 次のTl0n端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TT0nビットに1を設定する TT0nビットはトリガ・ビットなので, 自動的に0に戻る	▶TE0n = 0になり, カウント動作停止 TCR0nはカウント値を保持して停止 TSR0nレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAU0ENビットに0を設定する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 n = 0-7

7.8 タイマ・アレイ・ユニットの複数チャンネルでの動作

7.8.1 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

<p>パルス周期 = { TDR0n (マスタ) の設定値 + 1 } × カウント ・ クロック周期</p> <p>デューティ [%] = { TDR0m (スレーブ) の設定値 } / { TDR0n (マスタ) の設定値 + 1 } × 100</p> <p>0 % 出力 : TDR0m (スレーブ) の設定値 = 0000H</p> <p>100 % 出力 : TDR0m (スレーブ) の設定値 { TDR0n (マスタ) の設定値 + 1 }</p>
--

備考 TDR0m (スレーブ) の設定値 > { TDR0n (マスタ) の設定値 + 1 } の場合は、デューティ値が100 % を越えますが、集約して100 %出力となります。

マスタ・チャンネルは、インターバル・タイマ・モードで動作して、周期をカウントします。チャンネル・スタート・トリガ (TS0n) に1を設定すると、INTTM0nを出力します。TCR0nはロードしたTDR0nの値からカウント・クロックに合わせてダウン・カウントを行います。TCR0n = 0000Hとなったら、INTTM0nを出力し、再びTCR0nはTDR0nの値をロードして、以降、同様の動作を続けます。

スレーブ・チャンネルは、ワンカウント・モードで動作して、デューティをカウントし、TO0m端子よりPWM波形を出力します。スレーブ・チャンネルのTCR0mは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TDR0mの値をロードし、ダウン・カウントを行います。TCR0m = 0000Hとなったら、INTTM0mを出力し、次のスタート・トリガ (マスタ・チャンネルのINTTM0n) が入力されるまでカウントを停止します。TO0mの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0m = 0000Hとなったらインアクティブ・レベルとなります。

注意 マスタ・チャンネルのTDR0nとスレーブ・チャンネルのTDR0mを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCR0n, TCR0mにTDR0n, TDR0mの値がロードされるのは、マスタ・チャンネルのINTTM0n発生時となります。そのため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0m端子は期待通りの波形を出力できません。したがって、マスタのTDR0nとスレーブのTDR0mを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。

備考 n = 0, 2, 4, 6

m = n+1

図7-55 PWM機能としての動作のブロック図

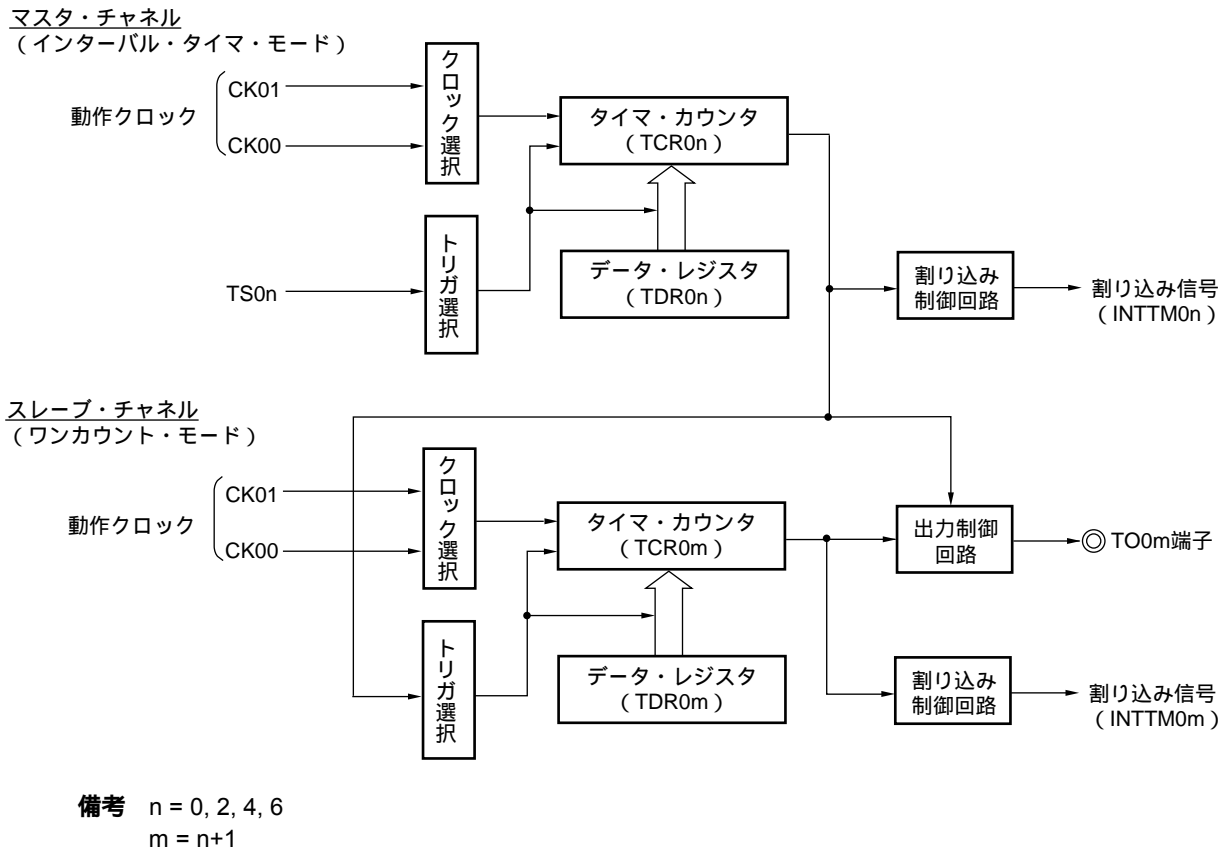
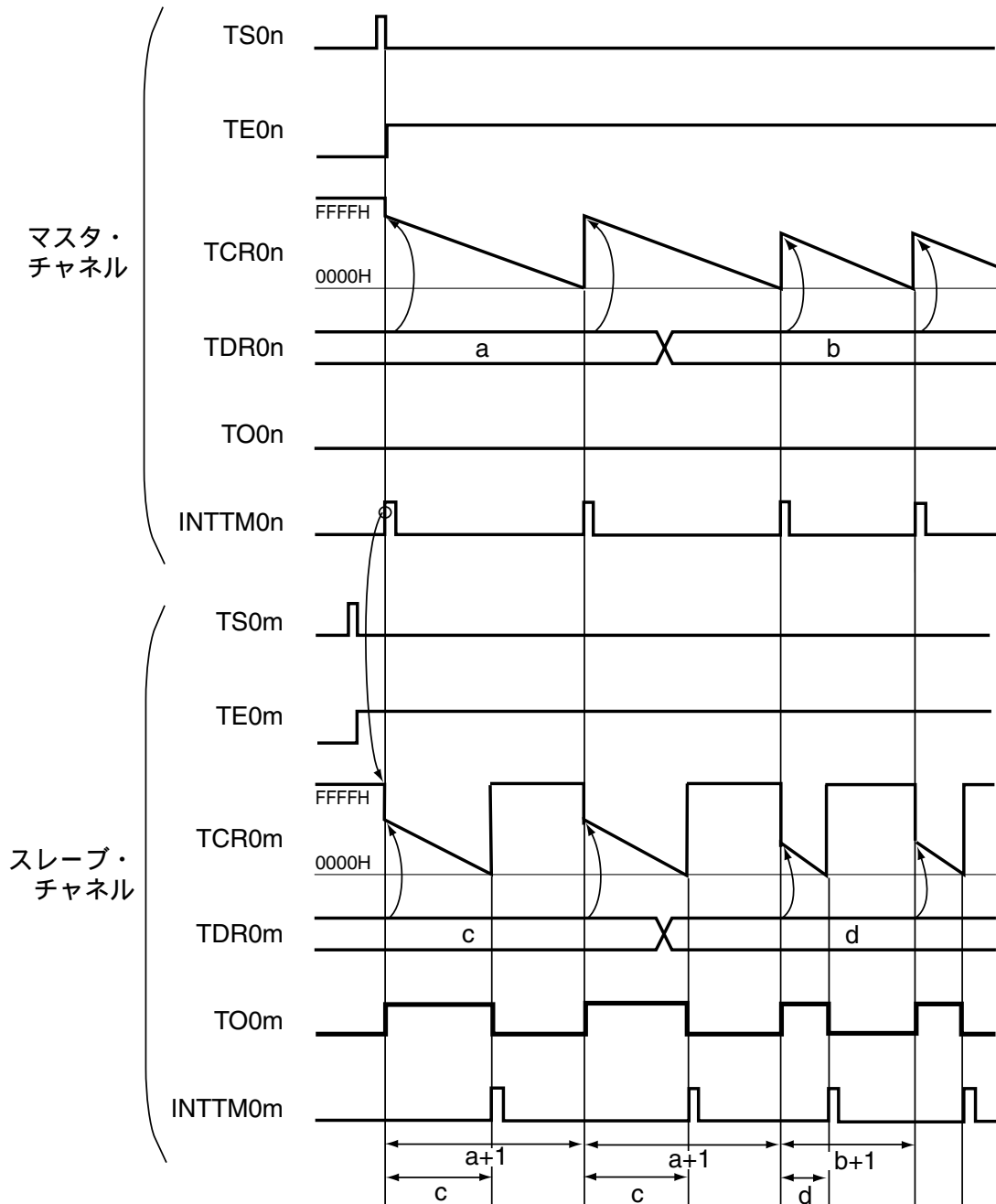


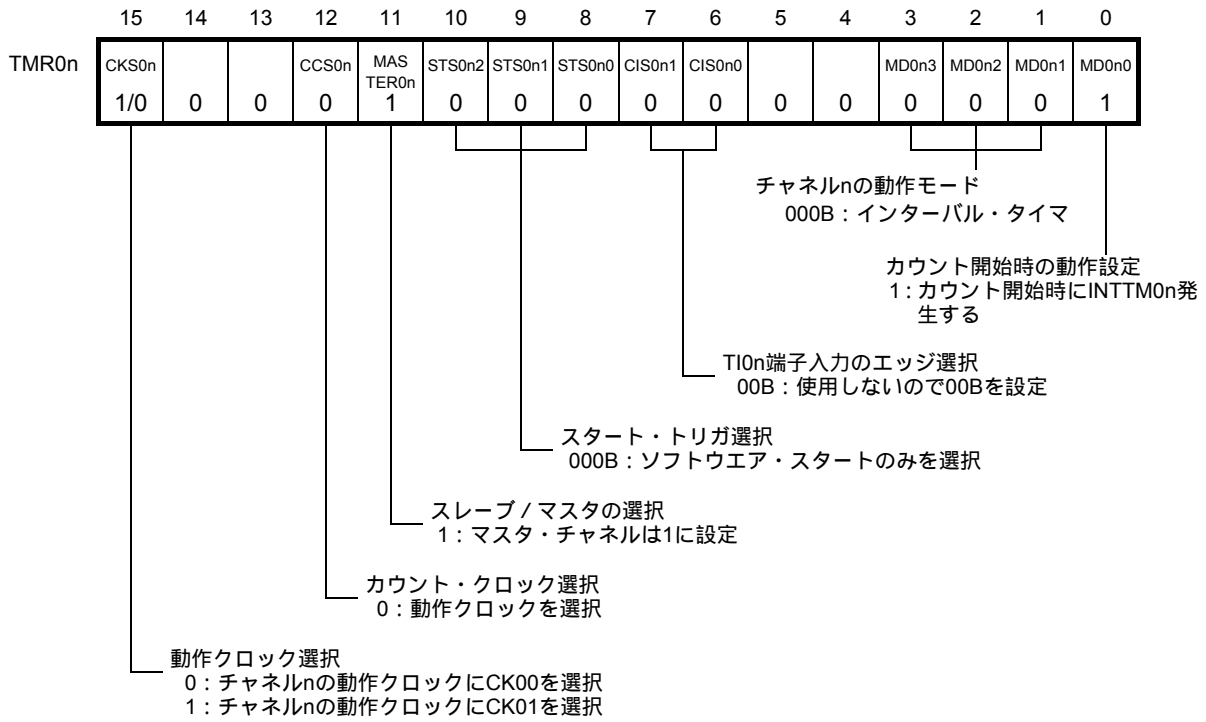
図7-56 PWM機能としての動作の基本タイミング例



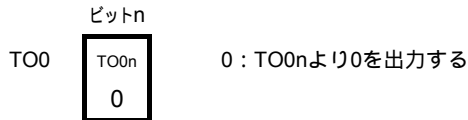
備考 $n = 0, 2, 4, 6$
 $m = n+1$

図7-57 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

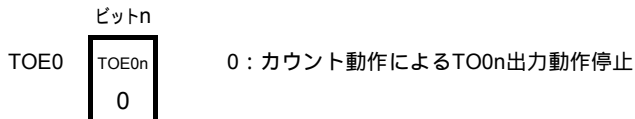
(a) タイマ・モード・レジスタ0n (TMR0n)



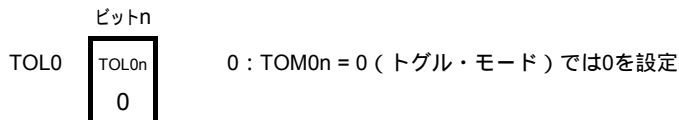
(b) タイマ出力レジスタ0 (TO0)



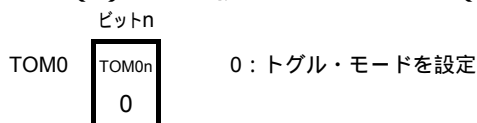
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



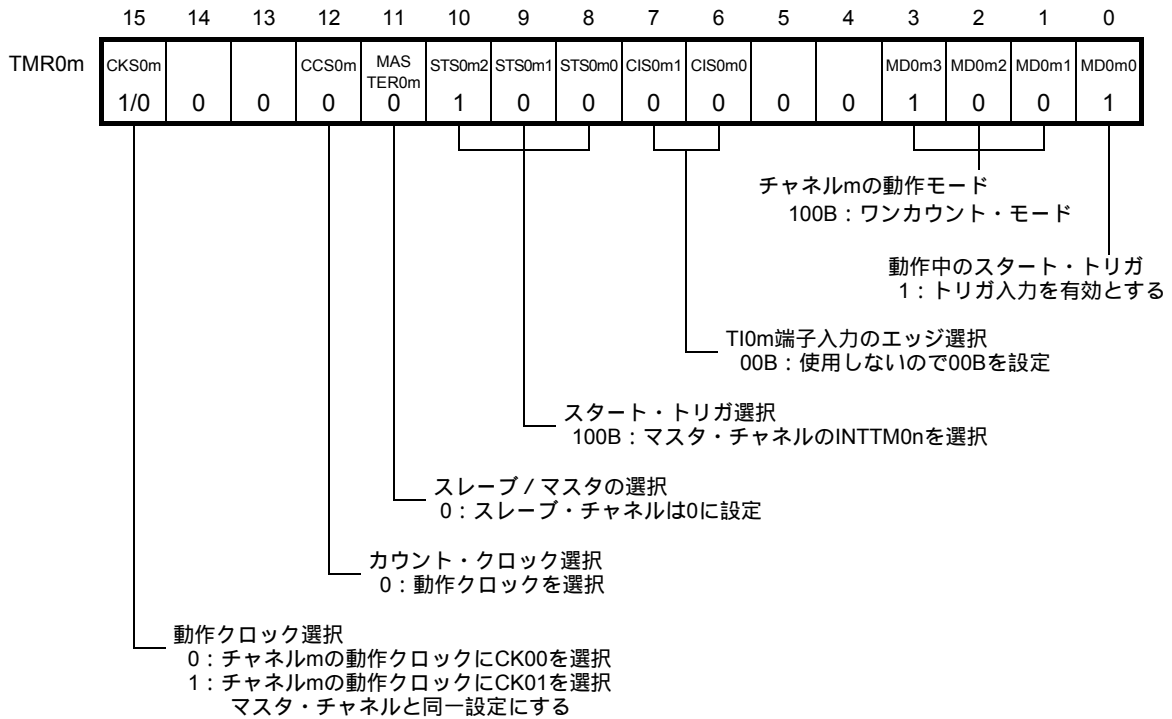
(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0, 2, 4, 6

図7-58 PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例

(a) タイマ・モード・レジスタ0m (TMR0m)



(b) タイマ出力レジスタ0 (TO0)

ビットm

TO0	TO0m	0: TO0mより0を出力
	1/0	1: TO0mより1を出力

(c) タイマ出力許可レジスタ0 (TOE0)

ビットm

TOE0	TOE0m	0: カウント動作によるTO0m出力動作停止
	1/0	1: カウント動作によるTO0m出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

ビットm

TOL0	TOL0m	0: 正論理出力(アクティブ・ハイ)
	1/0	1: 反転出力(アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

ビットm

TOM0	TOM0m	1: 連動動作モードを設定
	1	

備考 n = 0, 2, 4, 6
m = n+1

図7 - 59 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	PER0レジスタのTAU0ENビットに1を設定する	<p>パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)</p> <p>→ パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)</p>
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのTMR0n, TMR0mレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDR0nレジスタにインターバル (周期) 値, スレーブ・チャンネルのTDR0mレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOM0mビットに1 (連動動作モード) を設定する TOL0mビットを設定する TO0mビットを設定し, TO0m出力の初期レベルを確定する TOE0mに1を設定し, TO0mの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	<p>TO0m端子はHi-Z出力状態</p> <p>→ ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0m初期設定レベルが出力される。</p> <p>→ チャンネルは動作停止状態なので, TO0mは変化しない</p> <p>→ TO0m端子はTO0m設定レベルを出力</p>
動作 再開	TOE0m (スレーブ) に1を設定する (動作再開時のみ) TS0レジスタのTS0n (マスタ), TS0m (スレーブ) ビットに同時に1を設定する TS0n, TS0mビットはトリガ・ビットなので, 自動的に0に戻る	<p>→ TE0n = 1, TE0m = 1となる</p> <p>マスタ・チャンネルがカウント動作開始し, INTTM0nを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。</p>
	動作 中	<p>TMR0n, TMR0mレジスタ, TOM0n, TOM0m, TOL0n, TOL0mビットは, 設定値変更禁止</p> <p>TDR0n, TDR0mレジスタは, マスタ・チャンネルのINTTM0n発生後に設定値変更可能</p> <p>TCR0n, TCR0mレジスタは, 常に読み出し可能</p> <p>TSR0n, TSR0mレジスタは, 使用しない</p> <p>TO0, TOE0レジスタは, 設定値変更可能</p> <p>マスタ・チャンネルでは, TCR0nはTDR0nの値をロードし, ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に, TCR0nはTDR0nの値をロードし, 再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネルでは, マスタ・チャンネルのINTTM0nをトリガとして, TCR0mはTDR0mの値をロードし, カウンタはダウン・カウント動作を行う。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0m出力レベルをアクティブ・レベルとする。そしてTCR0m = 0000HまでカウントしたらTO0m出力レベルをインアクティブ・レベルにして, カウント動作を停止する。</p> <p>以降, この動作を繰り返す。</p>
動作 停止	TT0n (マスタ), TT0m (スレーブ) ビットに同時に1を設定する TT0n, TT0mビットはトリガ・ビットなので, 自動的に0に戻る	<p>→ TE0n, TE0m = 0になり, カウント動作停止</p> <p>TCR0n, TCR0mはカウント値を保持して停止</p> <p>TO0m出力は初期化されず, 状態保持</p>
	スレーブ・チャンネルのTOE0mに0を設定し, TO0mビットに値を設定する	→ TO0m端子はTO0m設定レベルを出力

動作再開

備考 n = 0, 2, 4, 6
m = n+1

図7 - 59 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	<p>TO0m端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0mビットに0を設定する</p> <p>TO0m端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える</p> <p>PER0レジスタのTAU0ENビットに0を設定する</p>	<p>TO0m端子出力レベルはポート機能により保持される。</p> <p>TO0m端子出力レベルはHi-Z出力になる。</p> <p>パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0mビットが0になり、TO0m端子はポート機能となる)</p>

備考 n = 0, 2, 4, 6
m = n+1

7.8.2 ワンショット・パルス出力機能としての動作

2チャンネルをセットで使用して、TI0n端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$$\begin{aligned} \text{ディレイ} &= \{ \text{TDR0n (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{ \text{TDR0m (スレーブ) の設定値} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

マスタ・チャンネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャンネルのTCR0nは、スタート・トリガ検出により動作を開始し、TCR0nはTDR0nの値をロードします。TCR0nはロードしたTDR0nの値からカウント・クロックに合わせてダウン・カウントを行い、TCR0n = 0000HとなったらINTTM0nを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

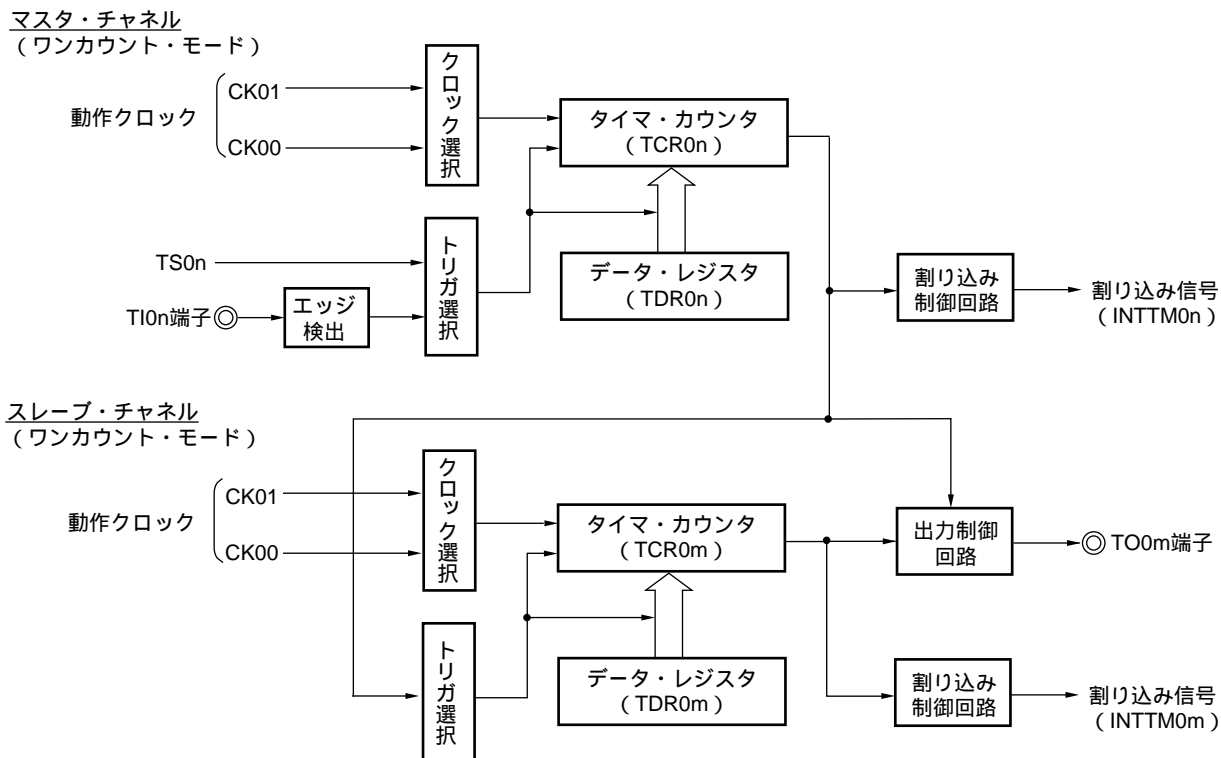
スレーブ・チャンネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャンネルのTCR0mは、マスタ・チャンネルのINTTM0nをスタート・トリガとして動作を開始し、TCR0mはTDR0mの値をロードします。TCR0mはロードしたTDR0mの値からカウント・クロックに合わせてダウン・カウントを行います。そしてTCR0m = 0000HとなったらINTTM0mを出力して、次のスタート・トリガ（マスタ・チャンネルのINTTM0n）検出があるまで、カウントを停止します。TO0mの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0m = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TI0n端子入力を使用せず、ソフトウェア操作（TS0n = 1）をスタート・トリガにすることもできます。

注意 マスタ・チャンネルのTDR0nとスレーブ・チャンネルのTDR0mでは、ロード・タイミングが異なるため、動作中にTDR0n、TDR0mを書き換えると不正波形が出力されます。TDR0nはINTTM0n発生後に、TDR0mはINTTM0m発生後に書き換えてください。

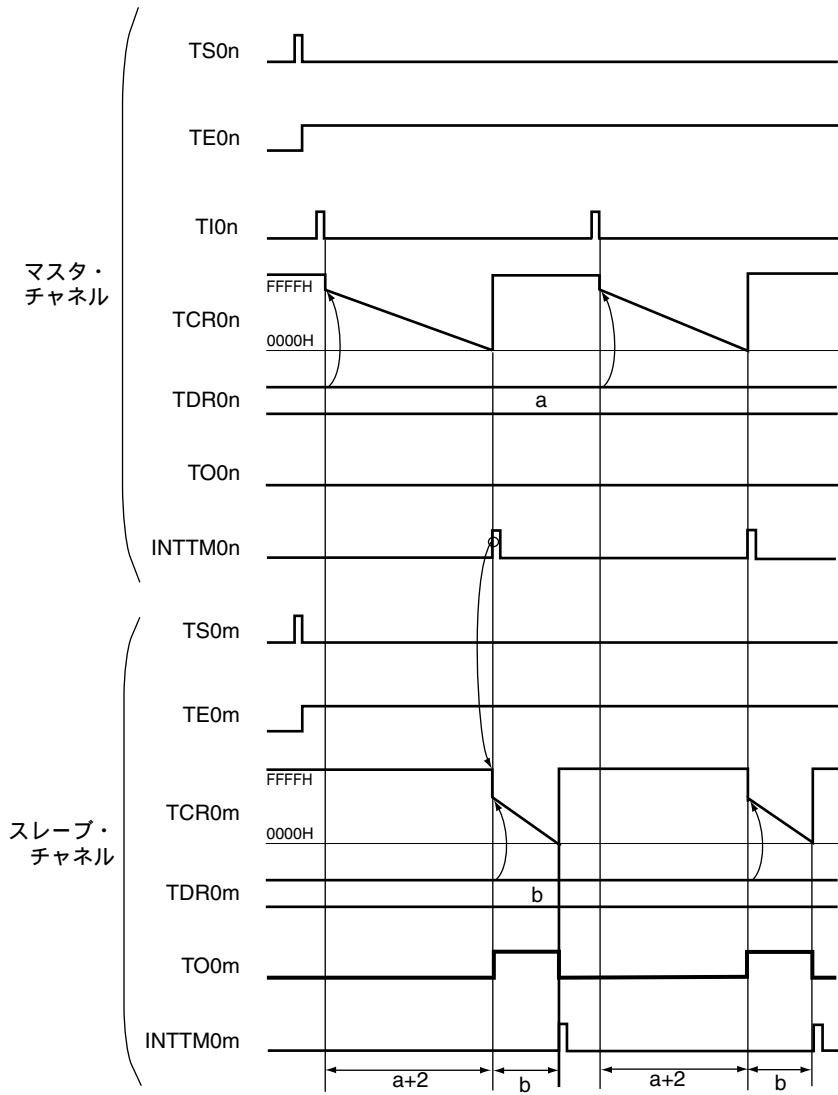
備考 n = 0, 2, 4, 6
m = n+1

図7-60 ワンショット・パルス出力機能としての動作のブロック図



備考 n = 0, 2, 4, 6
m = n+1

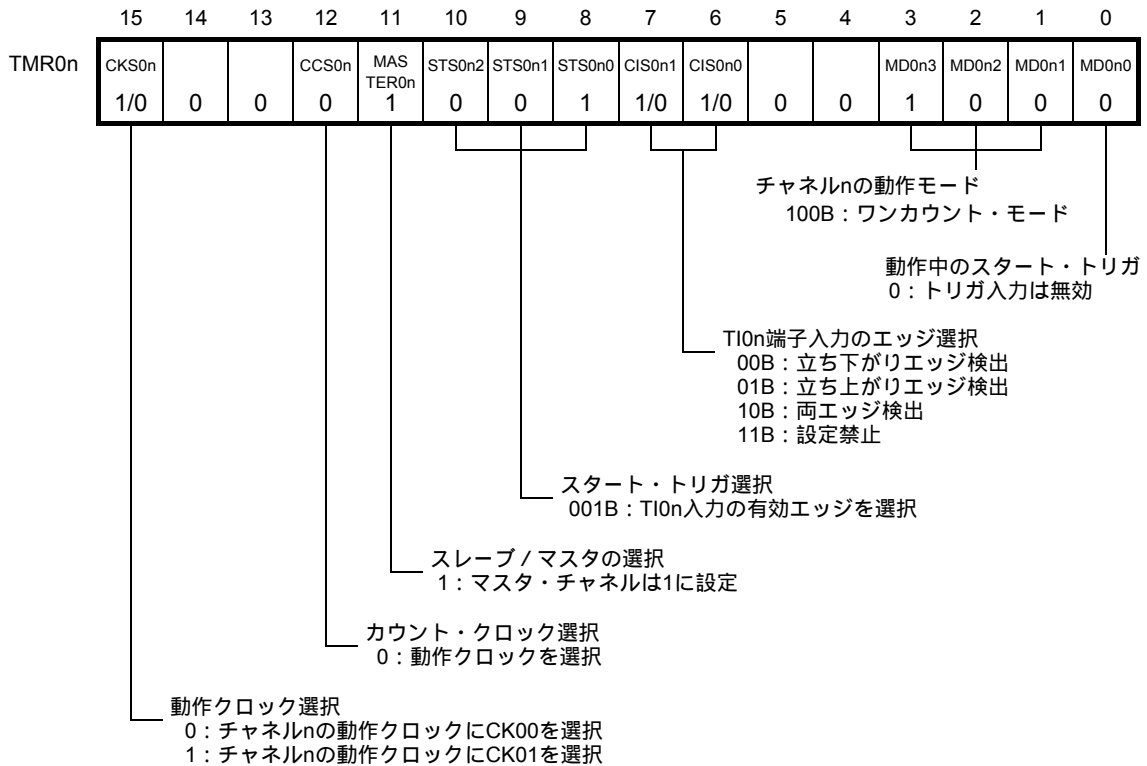
図7-61 ワンショット・パルス出力機能としての動作の基本タイミング例



備考 n = 0, 2, 4, 6
m = n+1

図7-62 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

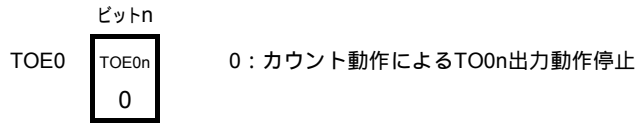
(a) タイマ・モード・レジスタ0n (TMR0n)



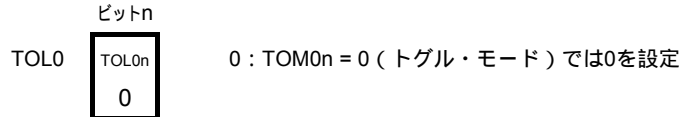
(b) タイマ出力レジスタ0 (TO0)



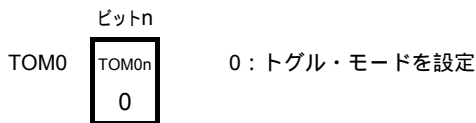
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



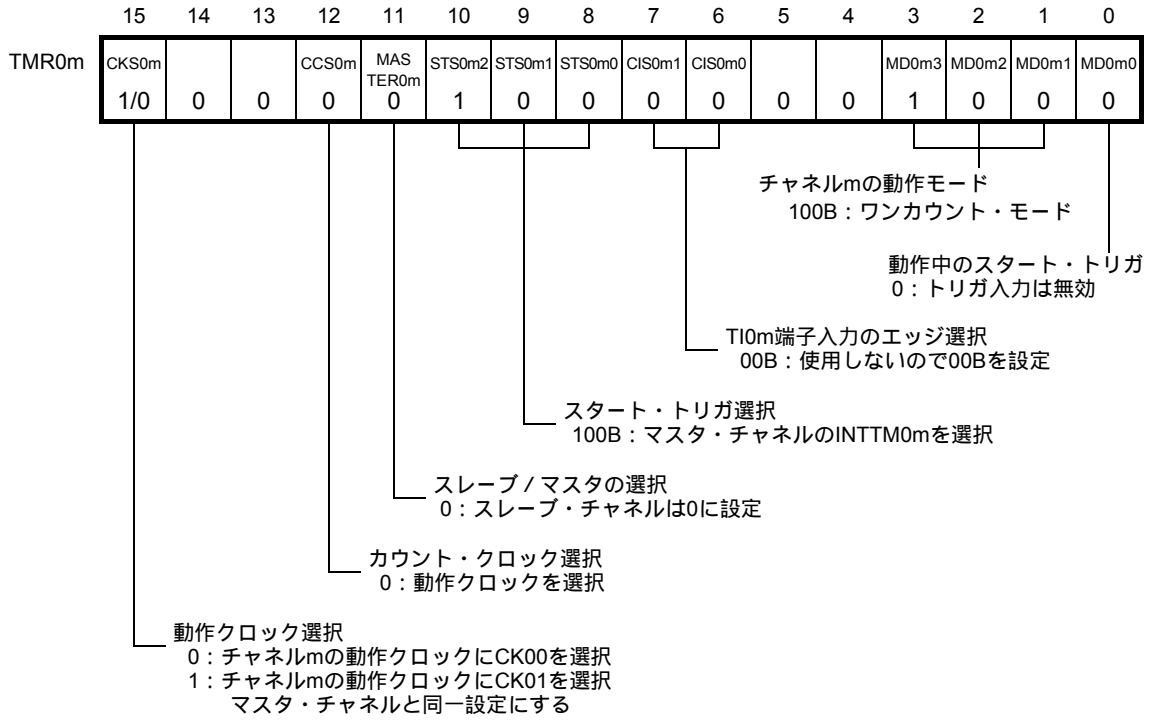
(e) タイマ出力モード・レジスタ0 (TOM0)



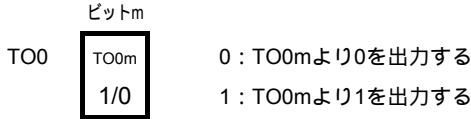
備考 n = 0, 2, 4, 6

図7 - 63 ワンショット・パルス出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

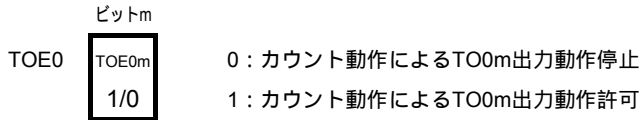
(a) タイマ・モード・レジスタ0m (TMR0m)



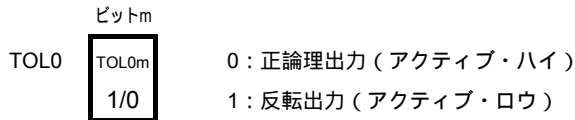
(b) タイマ出力レジスタ0 (TO0)



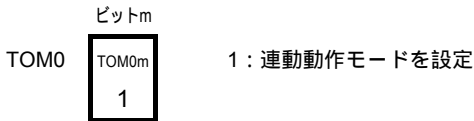
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0, 2, 4, 6
m = n+1

図7-64 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのTMR0n, TMR0mレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDR0nレジスタに出力遅延時間, スレーブ・チャンネルのTDR0mレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOM0mビットに1 (連動動作モード) を設定する TOL0mビットを設定する TO0mビットを設定し, TO0m出力の初期レベルを確定する	TO0m端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0m初期設定レベルが出力される。
	TOE0mに1を設定し, TO0mの動作を許可	チャンネルは動作停止状態なので, TO0mは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する	TO0m端子はTO0m設定レベルを出力
動作 開始	TOE0m (スレーブ) に1を設定する (動作再開時のみ) TS0レジスタのTS0n (マスタ), TS0m (スレーブ) ビットに同時に1を設定する TS0n, TS0mビットはトリガ・ビットなので, 自動的に0に戻る	TE0n = 1, TE0m = 1となり, マスタ・チャンネルはTI0n入力のエッジ検出待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャンネルのTI0n端子入力の有効エッジ検出	マスタ・チャンネルがカウント動作開始
動作 中	TMR0nレジスタは, CIS0n1, CIS0n0ビットのみ設定値変更可能 TMR0m, TDR0n, TDR0mレジスタ, TOM0n, TOM0m, TOL0n, TOL0mビットは, 設定値変更禁止 TCR0n, TCR0mレジスタは, 常に読み出し可能 TSR0n, TSR0mレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, TI0n端子入力の有効エッジが検出されたら, TCR0nはTDR0nの値をロードし, ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0n出力を発生し, 次のTI0n端子入力までカウント動作を停止する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTM0nをトリガとして, TCR0mはTDR0mの値をロードし, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0m出力レベルをアクティブ・レベルとする。そしてTCR0m = 0000HまでカウントしたらTO0m出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TT0n (マスタ), TT0m (スレーブ) ビットに同時に1を設定する TT0n, TT0mビットはトリガ・ビットなので, 自動的に0に戻る	TE0n, TE0m = 0になり, カウント動作停止 TCR0n, TCR0mはカウント値を保持して停止 TO0m出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOE0mに0を設定し, TO0mビットに値を設定する	TO0m端子はTO0m設定レベルを出力

備考 n = 0, 2, 4, 6

m = n+1

図7 - 64 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	<p>TO0m端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO0mビットに0を設定する</p> <p>TO0m端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える</p> <p>PER0レジスタのTAU0ENビットに0を設定する</p>	<p>TO0m端子出力レベルはポート機能により保持される。</p> <p>TO0m端子出力レベルはHi-Z出力になる。</p> <p>パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TO0mビットが0になり、TO0m端子はポート機能となる)</p>

備考 n = 0, 2, 4, 6
m = n+1

7.8.3 多重PWM出力機能としての動作

PWM機能を拡張し、スレーブ・チャンネルを複数使用することで、多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{ \text{TDR0p (スレーブ1) の設定値} \} / \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times 100 \\ \text{デューティ2 [\%]} &= \{ \text{TDR0q (スレーブ2) の設定値} \} / \{ \text{TDR0n (マスタ) の設定値} + 1 \} \times 100 \end{aligned}$$

備考 TDR0p (スレーブ1) の設定値 > { TDR0n (マスタ) の設定値 + 1 } の場合
または TDR0q (スレーブ2) の設定値 > { TDR0n (マスタ) の設定値 + 1 } の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのTCR0nは、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCR0pは、ワンカウント・モードで動作して、デューティをカウントし、TO0p端子よりPWM波形を出力します。TCR0pは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TCR0pにTDR0pの値をロードし、ダウン・カウントを行います。TCR0p = 0000Hとなったら、INTTM0pを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTM0n)が入力されるまでカウントを停止します。TO0pの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0p = 0000Hとなったらインアクティブ・レベルとなります。

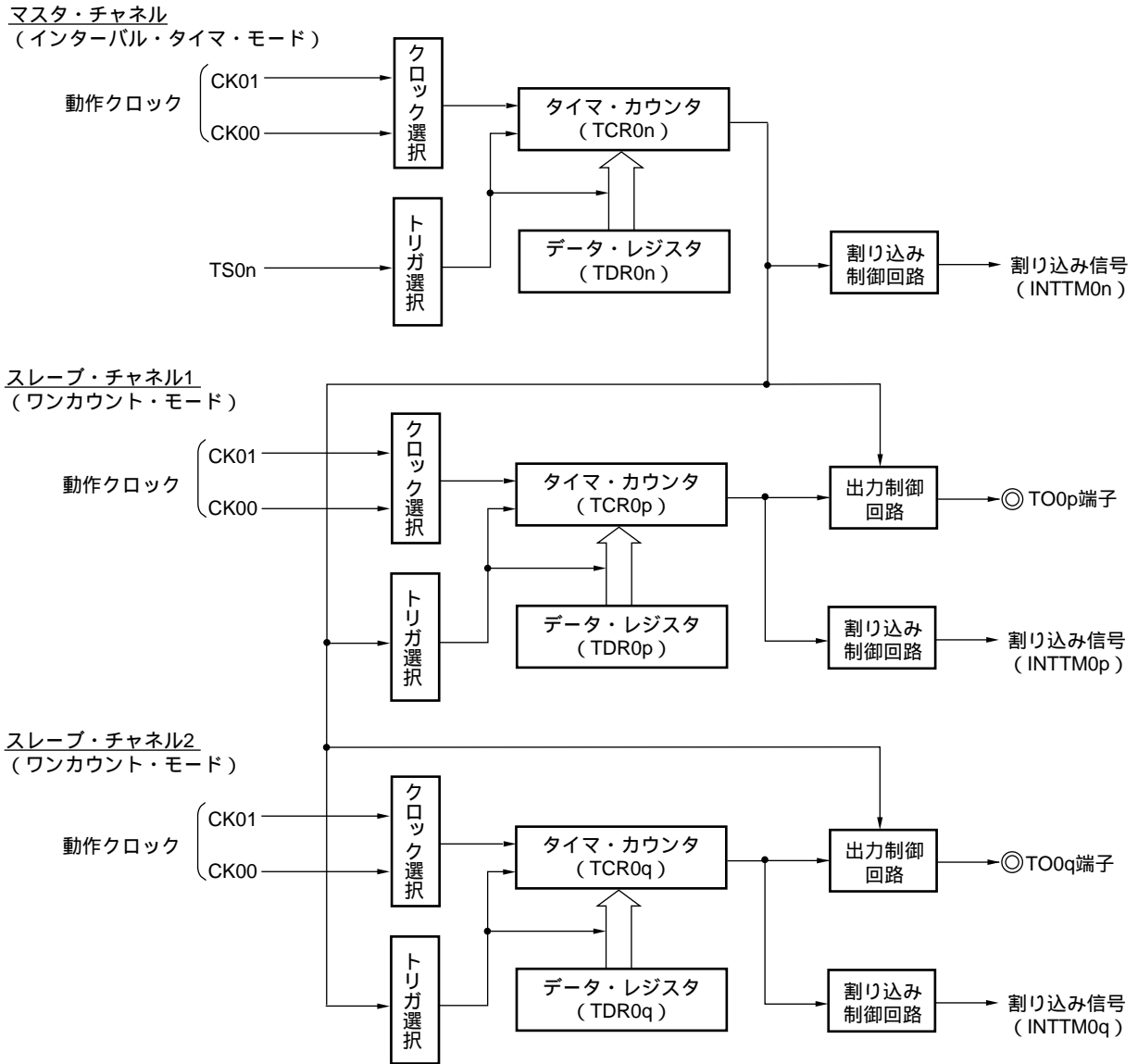
スレーブ・チャンネル2のTCR0qも、スレーブ・チャンネル1のTCR0pと同様に、ワンカウント・モードで動作して、デューティをカウントし、TO0q端子よりPWM波形を出力します。TCR0qは、マスタ・チャンネルのINTTM0nをスタート・トリガとして、TCR0qにTDR0qの値をロードし、ダウン・カウントを行います。TCR0q = 0000Hとなったら、INTTM0qを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTM0n)が入力されるまでカウントを停止します。TO0qの出力レベルは、マスタ・チャンネルのINTTM0n発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCR0q = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大7種のPWMを同時に出力できます。

注意 マスタ・チャンネルのTDR0nとスレーブ・チャンネル1のTDR0pを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCR0n、TCR0pにTDR0n、TDR0pの値をロードするのは、マスタ・チャンネルのINTTM0n発生後となるため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は、期待通りの波形を出力できません。したがって、マスタのTDR0nとスレーブのTDR0pを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDR0qの場合も同様です。)

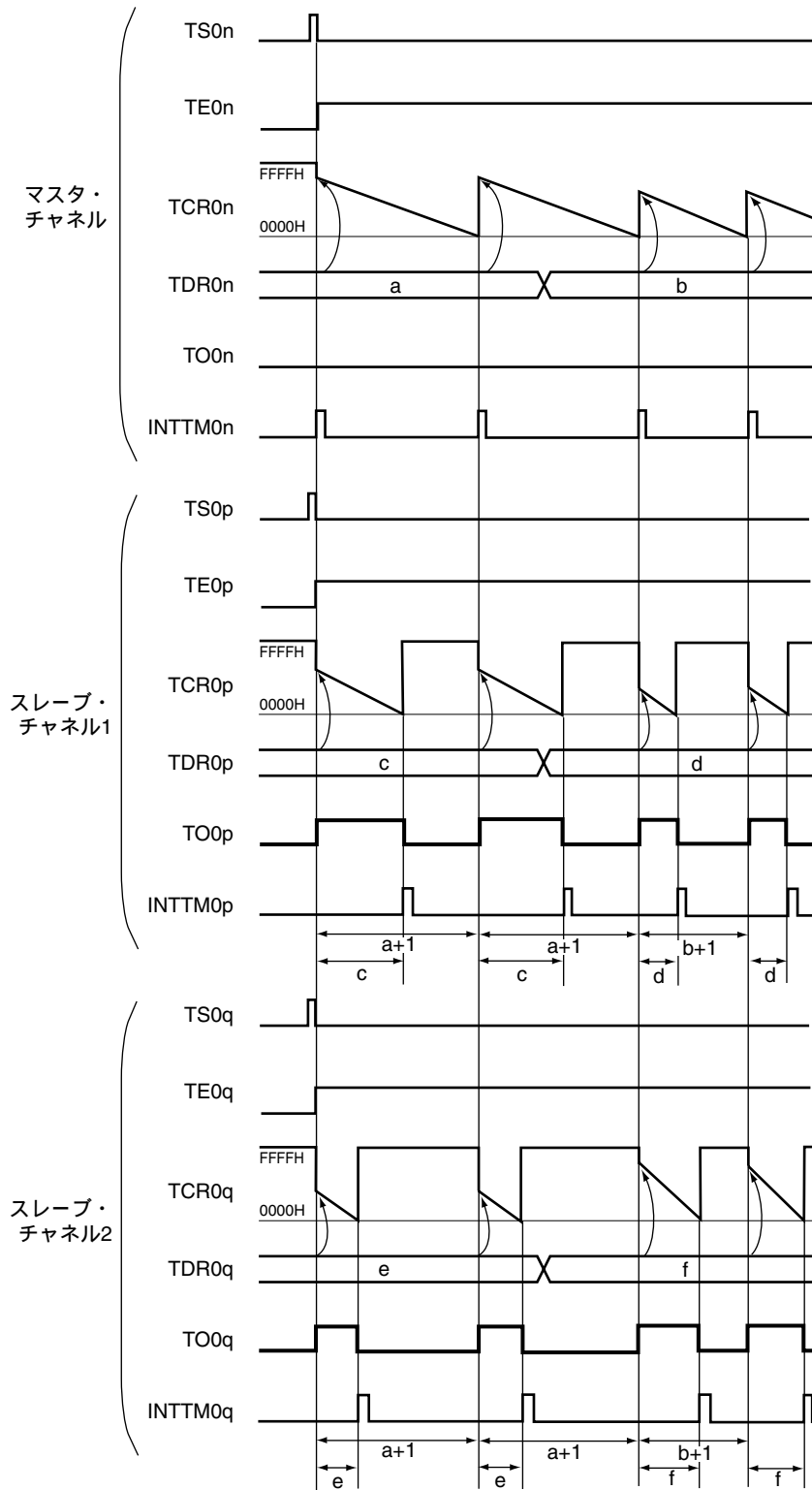
備考 n = 0, 2, 4
n < p < q 7
ただしp, qは、n以降の連続した整数 (p = n + 1, q = n + 2)

図7 - 65 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



- 備考1. $n = 0, 2, 4$
 2. $p = n+1$
 $q = n+2$

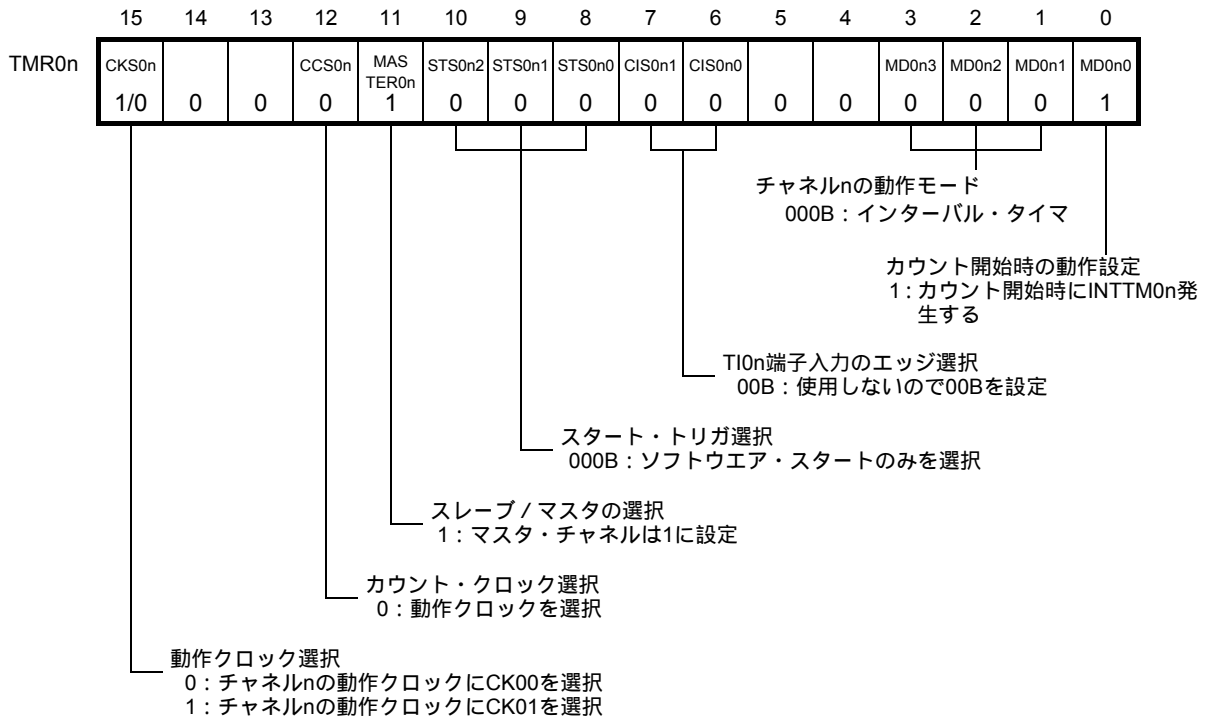
図7 - 66 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合)



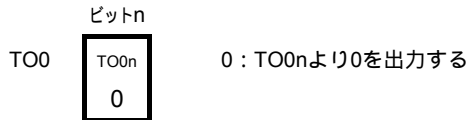
- 備考1. n = 0, 2, 4
 2. p = n+1
 q = n+2

図7-67 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

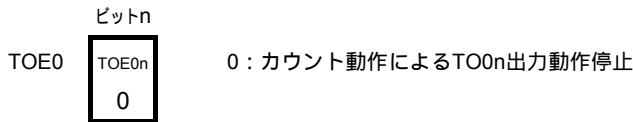
(a) タイマ・モード・レジスタ0n (TMR0n)



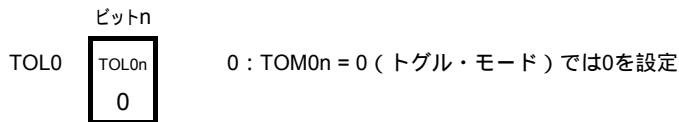
(b) タイマ出力レジスタ0 (TO0)



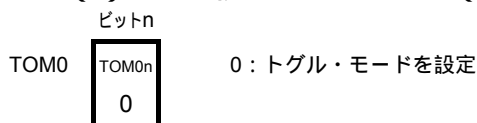
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)

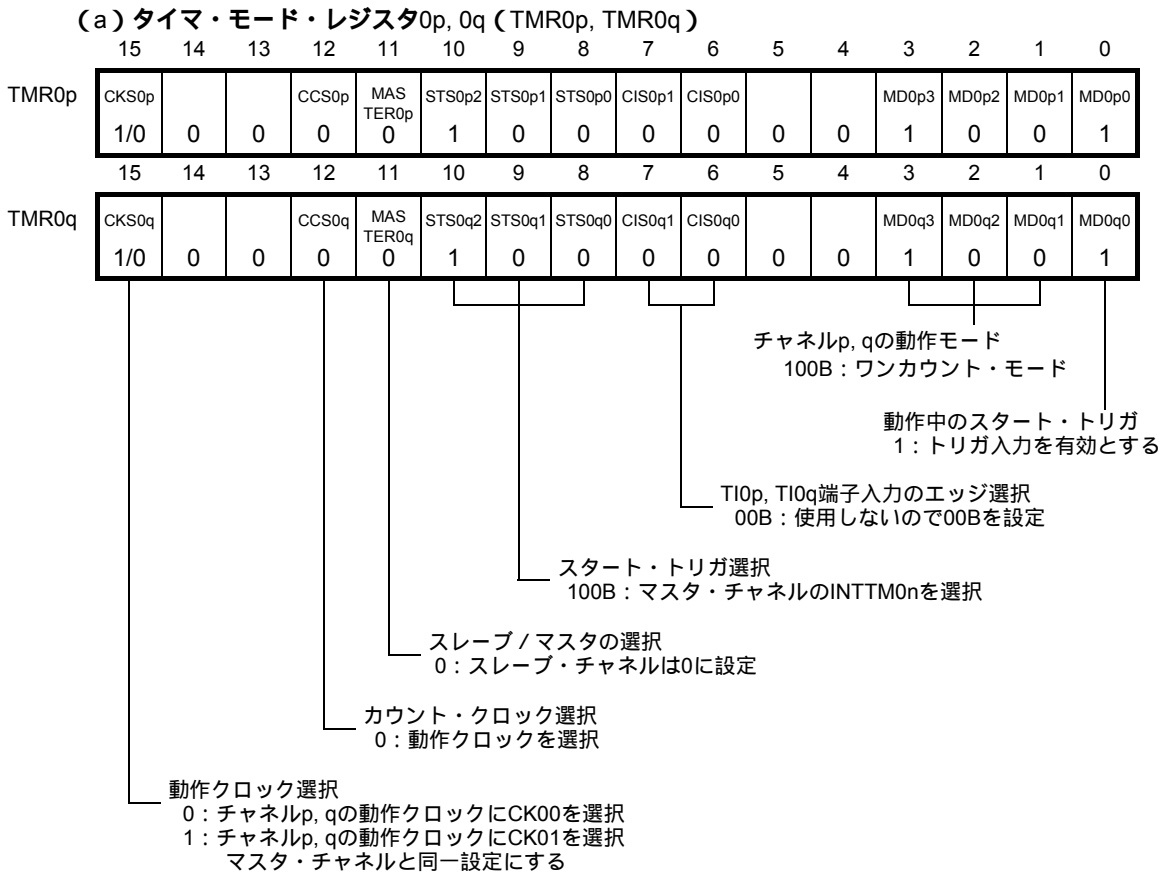


(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 0, 2, 4

図7 - 68 多重PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例 (2種類のPWMを出力する場合)



(b) タイマ出力レジスタ0 (TO0)

	ビットq	ビットp	
TO0	TO0q	TO0p	0 : TO0p, TO0qより0を出力する
	1/0	1/0	1 : TO0p, TO0qより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットq	ビットp	
TOE0	TOE0q	TOE0p	0 : カウント動作によるTO0p, TO0q出力動作停止
	1/0	1/0	1 : カウント動作によるTO0p, TO0q出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットq	ビットp	
TOL0	TOL0q	TOL0p	0 : 正論理出力 (アクティブ・ハイ)
	1/0	1/0	1 : 反転出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ0 (TOM0)

	ビットq	ビットp	
TOM0	TOM0q	TOM0p	1 : 連動動作モードを設定
	1	1	

備考 n = 0, 2, 4; p = n+1; q = n+2

図7 - 69 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER0レジスタのTAU0ENビットに1を設定する	▶パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用する各チャンネルのTMR0n, TMR0p, TMR0qレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDR0nレジスタにインターバル (周期) 値, スレーブ・チャンネルのTDR0p, TDR0qレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOM0p, TOM0qビットに1(連動動作モード)を設定する TOL0p, TOL0qビットに0を設定する TO0p, TO0qビットを設定し, TO0p, TO0q出力の初期レベルを確定する	TO0p, TO0q端子はHi-Z出力状態
	TOE0p, TOE0qに1を設定し, TO0p, TO0qの動作を許可	▶ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO0p, TO0q初期設定レベルが出力される。
	ポート・レジスタとポート・モード・レジスタに0を設定する	▶チャンネルは動作停止状態なので, TO0p, TO0qは変化しない ▶TO0p, TO0q端子はTO0p, TO0q設定レベルを出力

- 備考1. n = 0, 2, 4
2. p = n+1; q = n+2

図7 - 69 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（2/2）

	ソフトウェア操作	ハードウェアの状態	
動作再開	動作開始	<p>TOE0p, TOE0q (スレーブ) に1を設定する (動作再開時のみ)</p> <p>TS0レジスタのTS0n (マスタ), TS0p, TS0q (スレーブ) ビットに同時に1を設定する</p> <p>TS0n, TS0p, TS0qビットはトリガ・ビットなので、自動的に0に戻る</p>	<p>TE0n = 1, TE0p, TE0q = 1となる</p> <p>マスタ・チャンネルがカウント動作開始し、INTTM0nを発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。</p>
	動作中	<p>TMR0n, TMR0p, TMR0qレジスタ, TOM0n, TOM0p, TOM0q, TOL0n, TOL0p, TOL0qビットは、設定値変更禁止</p> <p>TDR0n, TDR0p, TDR0qレジスタは、マスタ・チャンネルのINTTM0n発生後に設定値変更可能</p> <p>TCR0n, TCR0p, TCR0qレジスタは、常に読み出し可能</p> <p>TSR0n, TSR0p, TSR0qレジスタは、使用しない</p> <p>TO0, TOE0レジスタは、設定値変更可能</p>	<p>マスタ・チャンネルでは、TCR0nはTDR0nの値をロードし、ダウン・カウント動作を行う。TCR0n = 0000HまでカウントしたらINTTM0nを発生する。同時に、TCR0nはTDR0nの値をロードし、再びダウン・カウントを開始する。</p> <p>スレーブ・チャンネル1では、マスタ・チャンネルのINTTM0n信号をトリガとして、TDR0pレジスタ値をTCR0pに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0p出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0p出力レベルをインアクティブ・レベルにして、カウント動作を停止する。</p> <p>スレーブ・チャンネル2では、マスタ・チャンネルのINTTM0n信号をトリガとして、TDR0qレジスタ値をTCR0qに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM0n出力から1カウント・クロック経過後にTO0q出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO0q出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。</p>
	動作停止	<p>TT0n (マスタ), TT0p, TT0q (スレーブ) ビットに同時に1を設定する</p> <p>TT0n, TT0p, TT0qビットはトリガ・ビットなので、自動的に0に戻る</p>	<p>TE0n, TE0p, TE0q = 0になり、カウント動作停止</p> <p>TCR0n, TCR0p, TCR0qはカウント値を保持して停止</p> <p>TO0p, TO0q出力は初期化されず、状態保持</p>
	TAU停止	<p>スレーブ・チャンネルのTOE0p, TOE0qに0を設定し、TO0p, TO0qビットに値を設定する</p> <p>TO0p, TO0q端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TO0p, TO0qビットに0を設定する</p> <p>TO0p, TO0q端子の出力レベルを保持不要の場合</p> <p>ポート・モード・レジスタを入力モードに切り替える</p> <p>PER0レジスタのTAU0ENビットに0を設定する</p>	<p>TO0p, TO0q端子はTO0p, TO0q設定レベルを出力</p> <p>TO0p, TO0q端子出力レベルはポート機能により保持される。</p> <p>TO0p, TO0q端子出力レベルはHi-Z出力になる。</p> <p>パワーオフ状態</p> <p>全回路が初期化され、各チャンネルのSFRも初期化される (TO0p, TO0qビットが0になり、TO0p, TO0q端子はポート機能となる)</p>

備考1. n = 0, 2, 4
 2. p = n+1; q = n+2

第8章 リアルタイム・カウンタ

8.1 リアルタイム・カウンタの機能

リアルタイム・カウンタには、次のような機能があります。

- ・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
- ・定周期割り込み機能（周期：1ヶ月～0.5秒）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・インターバル割り込み機能
- ・1 Hzの端子出力機能
- ・512 Hz, 16.384 kHz, 32.768 kHzのいずれかの端子出力機能

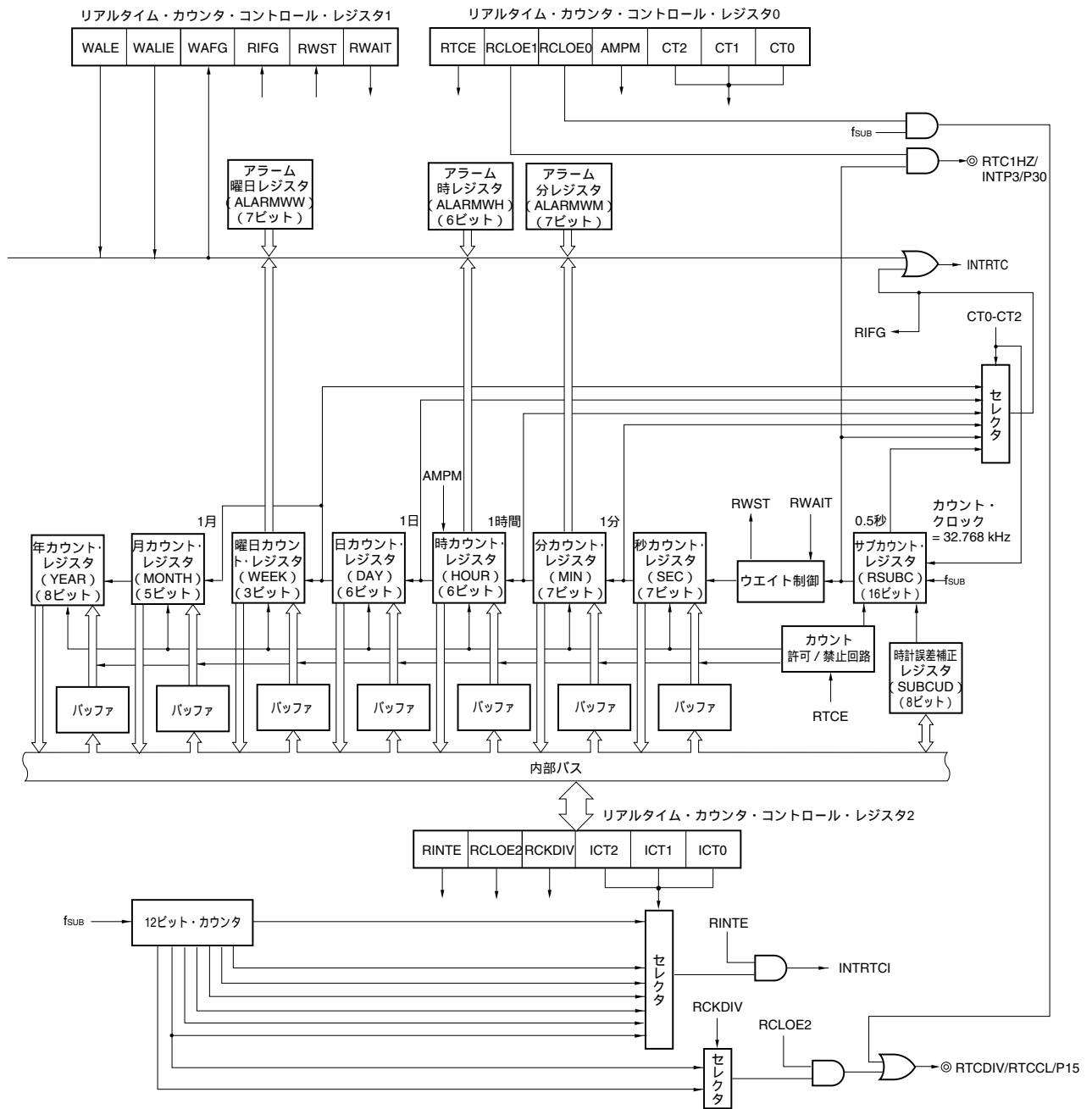
8.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは，次のハードウェアで構成されています。

表8 - 1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) サブカウント・レジスタ (RSUBC) 秒カウント・レジスタ (SEC) 分カウント・レジスタ (MIN) 時カウント・レジスタ (HOUR) 日カウント・レジスタ (DAY) 曜日カウント・レジスタ (WEEK) 月カウント・レジスタ (MONTH) 年カウント・レジスタ (YEAR) 時計誤差補正レジスタ (SUBCUD) アラーム分レジスタ (ALARMWM) アラーム時レジスタ (ALARMWH) アラーム曜日レジスタ (ALARMWW) ポート・モード・レジスタ1, 3 (PM1, PM3) ポート・レジスタ1, 3 (P1, P3)

図8 - 1 リアルタイム・カウンタのブロック図



8.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次の18種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
- ・リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
- ・サブカウント・レジスタ (RSUBC)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)
- ・ポート・モード・レジスタ1, 3 (PM1, PM3)
- ・ポート・レジスタ1, 3 (P1, P3)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・カウンタを使用するときは、必ずビット7 (RTCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・カウンタ (RTC) の入力クロック ^注 の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 ・リアルタイム・カウンタ (RTC) はリセット状態
1	入力クロック供給 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード/ライト可

注 RTCENでは、CPUからリアルタイム・カウンタ (RTC) のレジスタにアクセスするときを使用されるクロックを供給、停止できます。RTCENで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

注意1. リアルタイム・カウンタを使用する場合は、サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。RTCEN = 0の場合は、リアルタイム・カウンタの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. PER0レジスタのビット1には必ず“0”を設定してください。

(2) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始/停止、RTCCL端子/RTC1HZ端子の制御、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	[7]	6	[5]	[4]	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RCLOE0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力 (1 Hz) 禁止
1	RTC1HZ端子の出力 (1 Hz) 許可

RCLOE0 ^注	RTCCL端子の出力制御
0	RTCCL端子の出力 (32.768 kHz) 禁止
1	RTCCL端子の出力 (32.768 kHz) 許可

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

AMPMの値を変更する場合は、RWAIT (RTCC1のビット0) = 1にしてから書き換えてください。AMPMの値を変更すると、時カウント・レジスタ (HOUR) の値は設定した時間制に対応した値に変更されます。時間桁表示表を表8 - 2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウント・アップに同期)
0	1	0	1秒に1度 (秒カウント・アップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	x	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0の値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注 RCLOE0とRCLOE2は、同時許可禁止です。

注意 RTCE = 1のときにRCLOE0, RCLOE1を変更すると、32.768 kHz, 1 Hzの出力にグリッチが生じる場合があります。

備考 x : don't care

(3) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。
 RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により，00Hになります。

図8 - 4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FFF9EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1のWALIEフラグ，ALARMWWMレジスタ，ALARMWHレジスタ，ALARMWWレジスタ) を設定する場合，WALEを一致動作無効 “0” にしてください。	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に “1” となります。 “0” を書き込むことでクリアされ，“1” の書き込みは無効となります。	

図8-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり

定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。
“0”を書き込むことでクリアされ，“1”の書き込みは無効となります。

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中

RWAITの設定が有効であることを示すステータスです。
カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
RSUBCは動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。RSUBCのオーパフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウントアップします。ただし、秒カウンタ・レジスタへの書き込みを行った場合は、RSUBCがクリアされるためカウントアップしません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(4) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能, RTCDIV端子を制御する8ビットのレジスタです。
 RTCC2は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により, 00Hになります。

図8 - 5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス : FFF9FH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC2	RINTE	RCLOE2	RCKDIV	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTCI) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{XT}$ (1.953125 ms)
1	0	0	1	$2^7/f_{XT}$ (3.90625 ms)
1	0	1	0	$2^8/f_{XT}$ (7.8125 ms)
1	0	1	1	$2^9/f_{XT}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{XT}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{XT}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{XT}$ (125 ms)

RCLOE2 ^注	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

RCKDIV	RTCDIV端子の出力周波数の選択
0	RTCDIV端子から512 Hzを出力 (1.95 ms)
1	RTCDIV端子から16.384 kHzを出力 (0.061 ms)

注 RCLOE0とRCLOE2は, 同時許可禁止です。

- 注意1. ICT2, ICT1, ICT0の変更は, RINTE = 0のときに行ってください。
2. RTCDIV端子の出力を停止した場合, f_{XT} の最大2クロック後まで出力を行い, ロウ・レベルとなります。512 Hzを出力している場合でハイ・レベルになった直後に出力を停止すると, 最小で f_{XT} の1クロック幅のパルスが発生することがあります。
 3. 動作開始後, 最初のインターバル期間, RTCDIV端子の出力幅は, 設定より短くなる場合があります。

(5) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。

0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。

RSUBCは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

- 注意1. SUBCUDレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 3. このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図8 - 6 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス : FFF90H リセット時 : 0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

アドレス : FFF91H リセット時 : 0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(6) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

SECは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 7 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(7) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り, 分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後に, カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

MINは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図8 - 8 分カウント・レジスタ (MIN) のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り, 時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また, リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット3 (AMPM) で設定した時間制に応じて, 10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると, HOURレジスタの値は設定した時間制に対応する値に変更されます。

範囲外の値を設定した場合は, 1周期後に正常値に戻ります。

HOURは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 12Hになります。

ただし, リセット後に, AMPMビットに1をセットした場合は00Hとなります。

図8 - 9 時カウント・レジスタ (HOUR) のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は, AMPM = 0 (12時間制) を選択した場合, AM (0) / PM (1) を示します。

表8 - 2 時間桁表示表 (1/2)

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H

表8 - 2 時間桁表示表 (2/2)

24時間表示 (AMPMビット = 1)		12時間表示 (AMPMビット = 0)	
時間	HOURレジスタ	時間	HOURレジスタ
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

(9) 日カウント・レジスタ (DAY)

1-31 (10進) までの値を取り, 日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは, 次に示すようにカウントします。

- ・ 01-31 (1, 3, 5, 7, 8, 10, 12月)
- ・ 01-30 (4, 6, 9, 11月)
- ・ 01-29 (2月 うるう年)
- ・ 01-28 (2月 通常年)

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-31をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

DAYは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図8 - 10 日カウント・レジスタ (DAY) のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

WEEKは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 11 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(11) 月カウント・レジスタ (MONTH)

1-12 (10進) までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。範囲外の値を設定した場合は1周期後に正常値に戻ります。

MONTHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図8 - 12 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。範囲外の値を設定した場合は、1周期後に正常値に戻ります。

YEARは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 13 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図8 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: FFF99H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (60秒ごと) に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
<ul style="list-style-type: none"> DEV = 0設定時: SEC = 00H, 20H, 40Hの期間 DEV = 1設定時: SEC = 00Hの期間 	

F6	時計誤差補正值の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (F5, F4, F3, F2, F1, F0) + 1 } × 2だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。	
/F5 ~ /F0は, ビット反転した値 (111100のときは000011) となります。	
補正值の範囲: (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124	
(F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(14) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8 - 15 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FFF9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12、21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8 - 16 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FFF9BH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(16) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 17 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FFF9CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

(17) ポート・モード・レジスタ1, 3 (PM1, PM3)

ポート1, 3の入力 / 出力を1ビット単位で設定するレジスタです。

P15/RTCDIV/RTCCL, P30/RTC1HZ/INTP3端子をリアルタイム・カウンタのクロック出力として使用する
るとき, PM15, PM30およびP15, P30の出力ラッチに0を設定してください。

PM1, PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図8 - 18 ポート・モード・レジスタ1, 3 (PM1, PM3) のフォーマット

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF23H リセット時 : FFH R/W

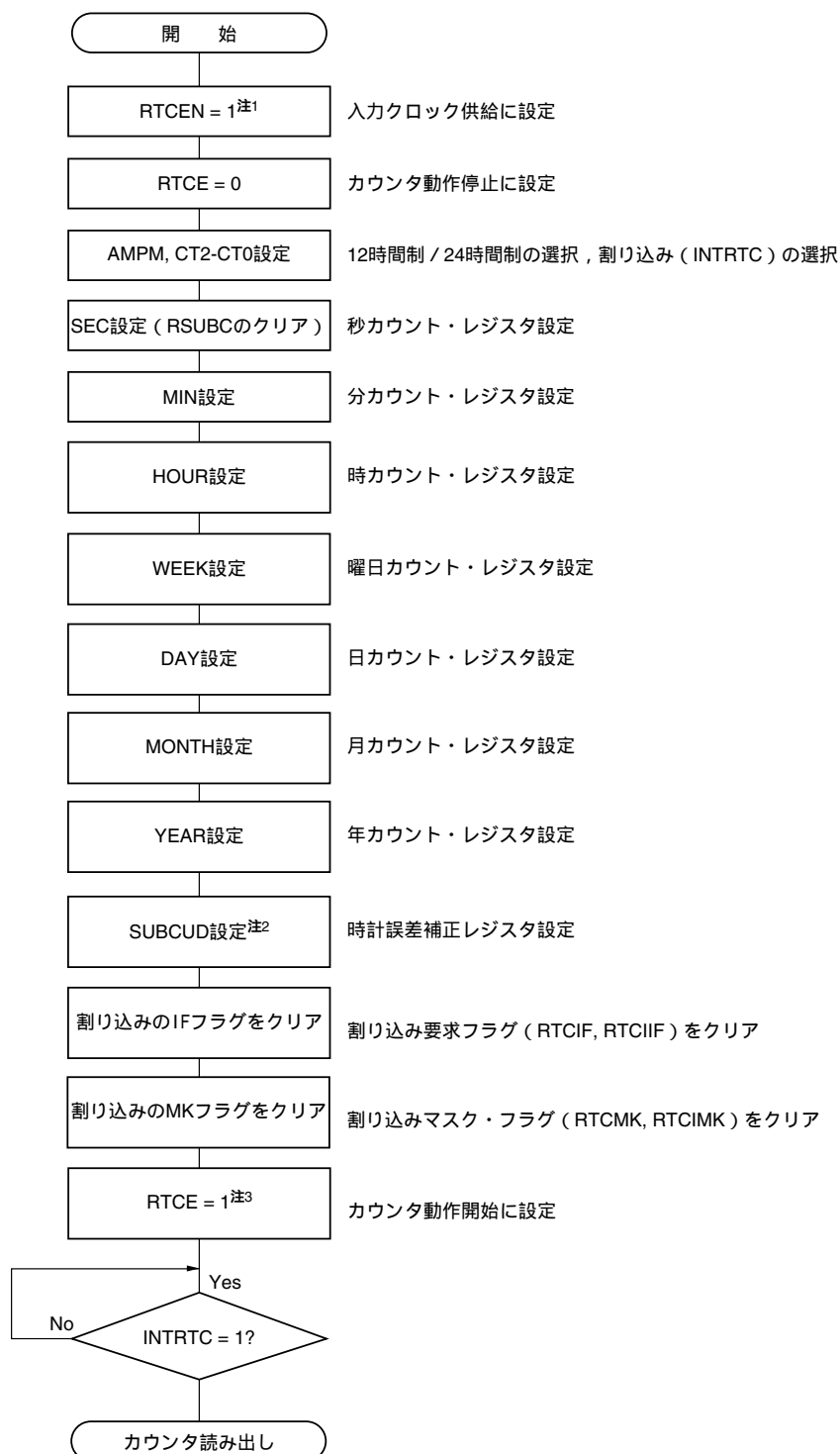
略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

PMmn	Pmn端子の入出力モードの選択 (m = 1, 3 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

8.4 リアルタイム・カウンタの動作

8.4.1 リアルタイム・カウンタの動作開始

図8 - 19 リアルタイム・カウンタの動作開始手順



- 注1. サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。
2. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、8.4.8 リアルタイム・カウンタの時計誤差補正例を参照してください。
3. RTCE = 1のあとにINTRTC = 1を待たずにSTOPモードへ移行する場合は、8.4.2 動作開始後のSTOPモードへの移行の手順を確認してください。

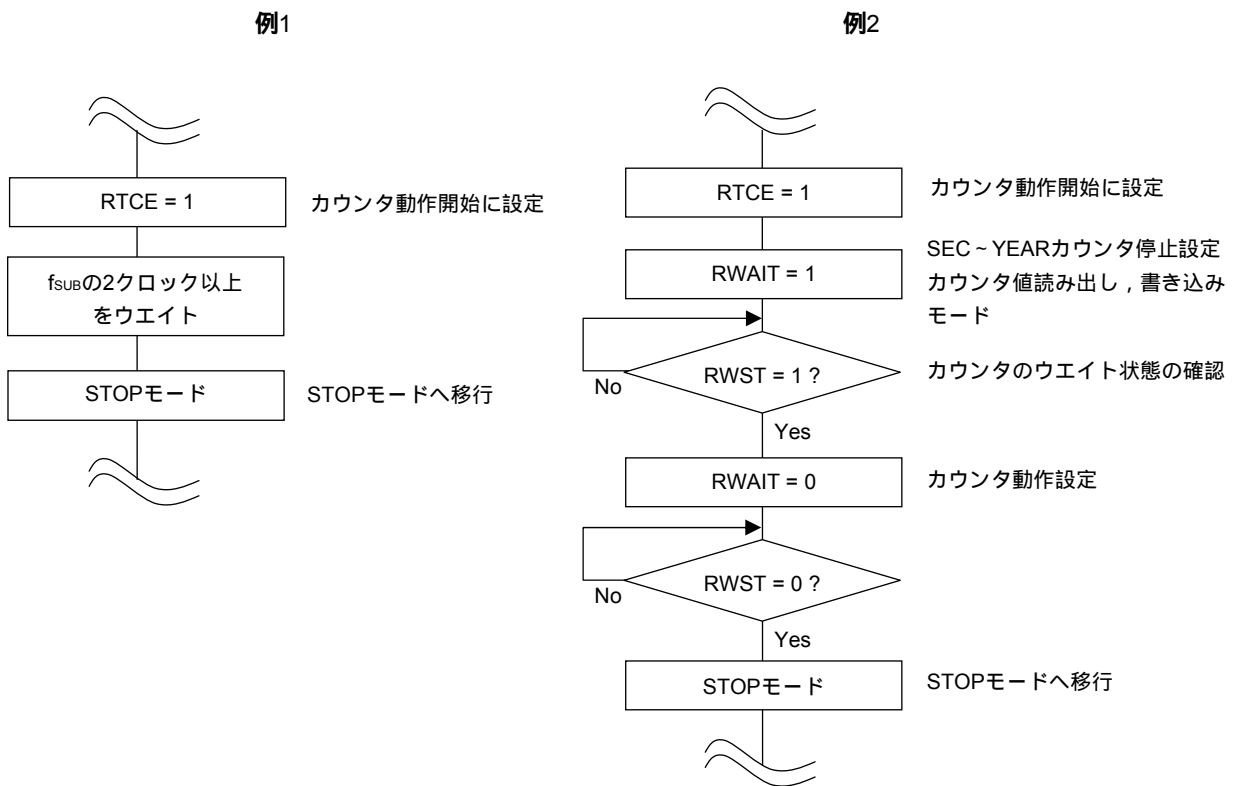
8.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、サブシステム・クロック (f_{SUB}) の2クロック分 (約62 μs) 以上経過後にSTOPモードへ移行する (図8 - 20 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する (図8 - 20 例2参照)。

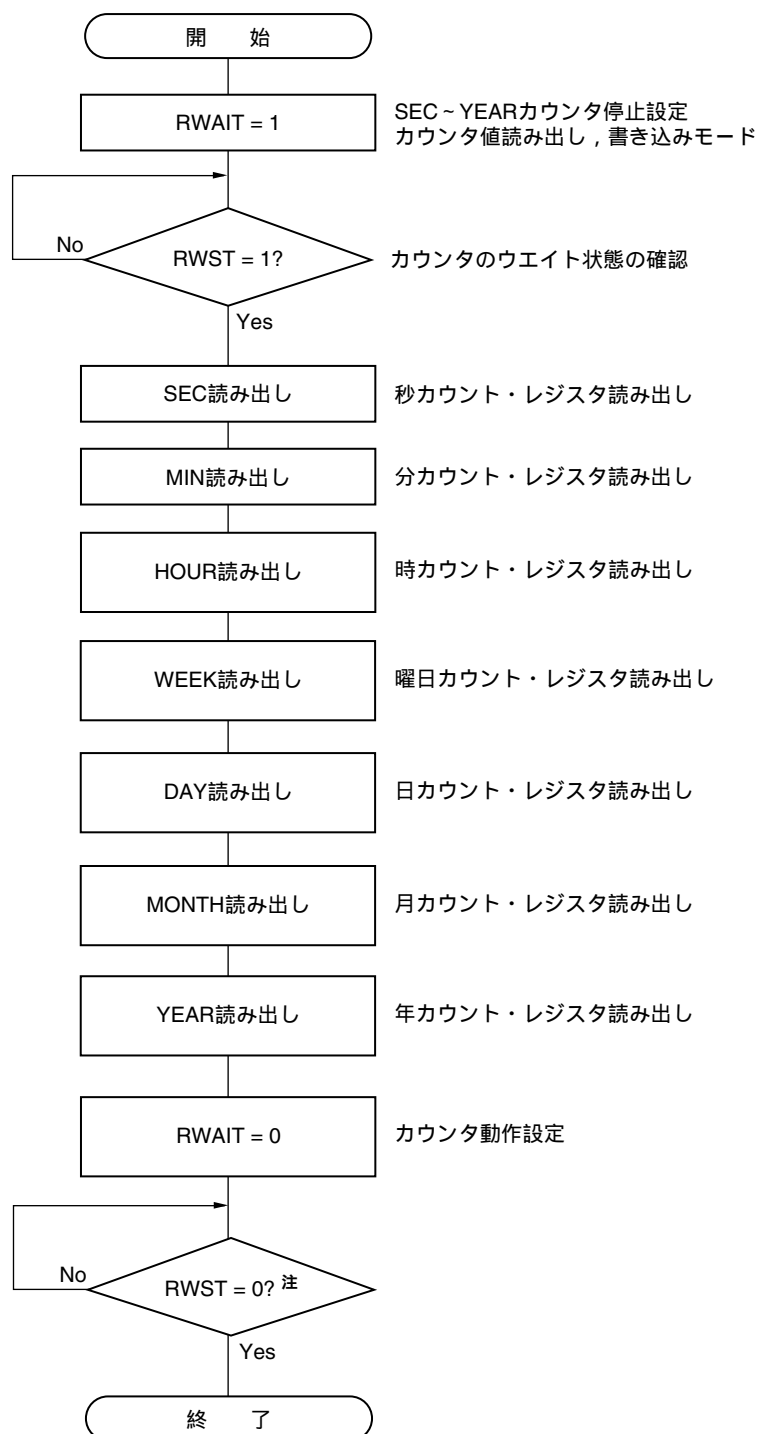
図8 - 20 RTCE = 1に設定後のSTOPモードへの移行手順



8.4.3 リアルタイム・カウンタのカウンタ読み出し/書き込み

カウンタの読み出し/書き込みは、最初にRWAIT = 1にしてから行ってください。

図8 - 21 リアルタイム・カウンタの読み出し手順

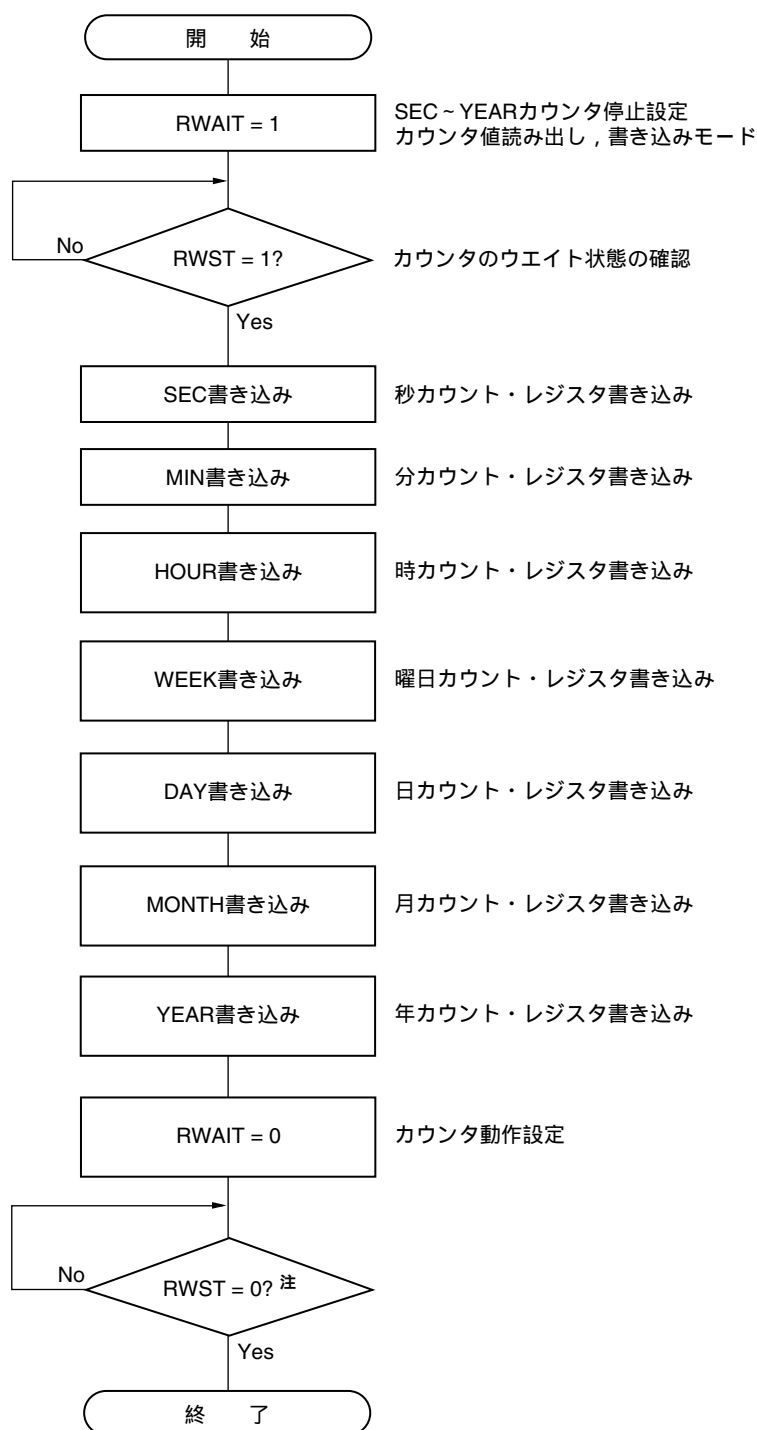


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図8 - 22 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には, 必ずRWST = 0であることを確認してください。

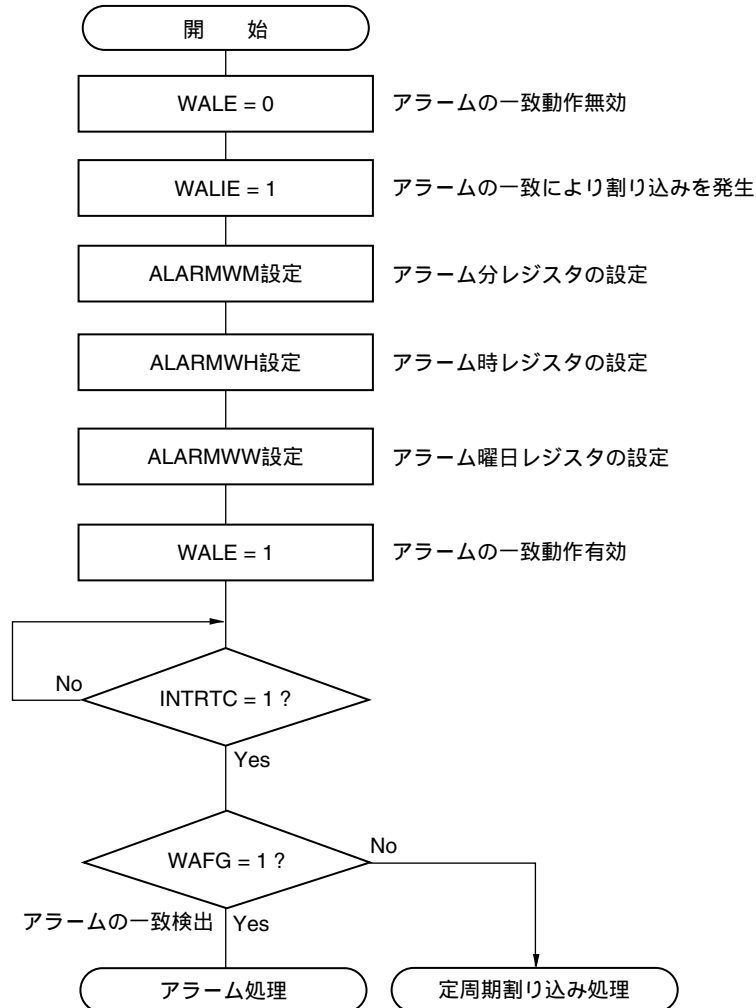
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また, すべてのレジスタを設定する必要はなく, 一部のレジスタのみを書き換えても構いません。

8.4.4 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図8 - 23 アラーム設定手順

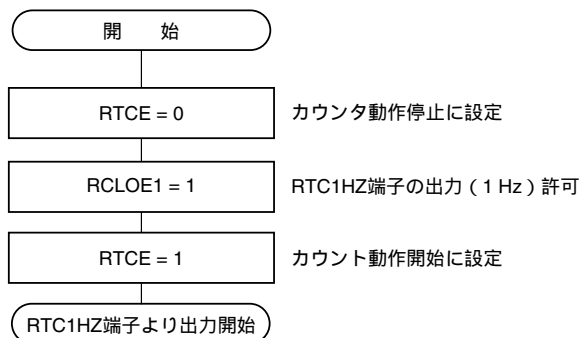


備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

8.4.5 リアルタイム・カウンタの1 Hz出力

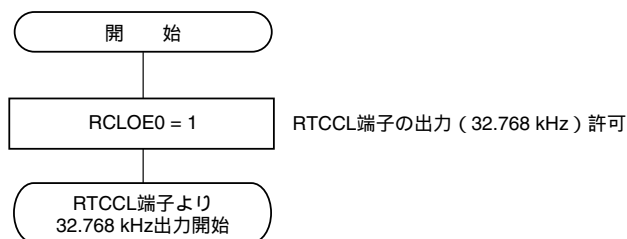
図8 - 24 1 Hz出力の設定手順



注意 サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

8.4.6 リアルタイム・カウンタの32.768 kHz出力

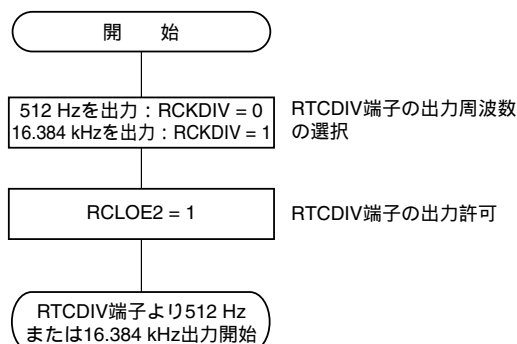
図8 - 25 32.768 kHz出力の設定手順



注意 サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

8.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力

図8 - 26 512 Hz, 16.384 kHz出力の設定手順



注意 サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

8.4.8 リアルタイム・カウンタの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

サブカウント・レジスタ (RSUBC) のカウント値を補正する際の補正値は、次の式で算出できます。
補正範囲が、- 63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3$$

(DEV = 1の場合)

$$\text{補正値}^{\text{注}} = 1\text{分間の補正カウント数} = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60$$

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット6-0の値により求められる時計誤差補正値です。

$$(\text{F6}=0\text{の場合}) \text{補正値} = \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) - 1 \} \times 2$$

$$(\text{F6}=1\text{の場合}) \text{補正値} = - \{ (\text{F5}, \text{F4}, \text{F3}, \text{F2}, \text{F1}, \text{F0}) + 1 \} \times 2$$

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値 (111100のときは000011) となります。

- 備考1.** 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または - 2, - 4, - 6, - 8 . . . - 120, - 122, - 124です。
2. 発振周波数とは、サブシステム・クロック (f_{SUB}) の値です。
RTCCL端子からの32 kHz出力周波数、または時計誤差補正レジスタが初期値 (00H) 時のRTC1HZ端子の出力周波数 × 32768で求めることができます。
3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例

32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数はRTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、8. 4. 5 **リアルタイム・カウンタの1 Hz出力**を、RTCCL端子から約32 kHzの出力の設定手順は、8. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(RTCCL端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm) とすると、- 131.2 ppmは補正範囲が - 63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= 1分間の補正カウント数 \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = 86の場合)

補正値が0以上(遅くする場合)では、F6 = 0とします。

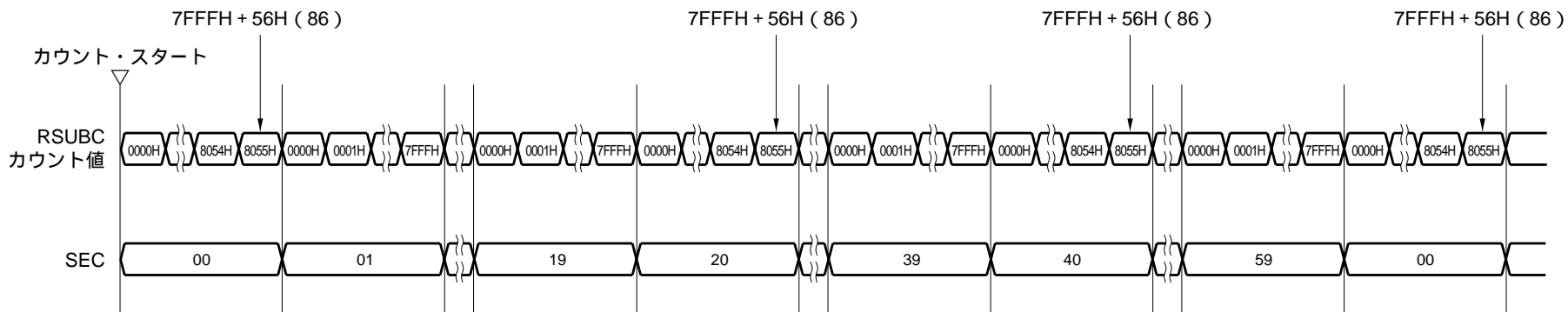
(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} \{ (F5, F4, F3, F2, F1, F0) - 1 \} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0) \end{aligned}$$

したがって、32772.3 Hzから32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、DEV = 0、補正値 = 86 (SUBCUDのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作を図8 - 27に示します。

図8 - 27 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0) の場合の動作



補正例

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数[※]をRTCCL端子から約32 kHzを出力するか、時計誤差補正レジスタが初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1HZ出力の設定手順は、8. 4. 5 **リアルタイム・カウンタの1 Hz出力**を、RTCCL端子から約32 kHzの出力の設定手順は、8. 4. 6 **リアルタイム・カウンタの32.768 kHz出力**を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \quad 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm) とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} = \text{1分間の補正カウント数} &= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &= -36 \end{aligned}$$

【(F6 ~ F0) への設定値の算出】

(補正値 = -36の場合)

補正値が0以下(速くする場合)では、F6 = 1とします。

(F5, F4, F3, F2, F1, F0) は、補正値から算出します。

$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4Hz + 18.3 ppm) への補正の場合、DEV = 1、補正値 = -36 (SUBCUDのビット6-0 : 1101110) と補正レジスタを設定すると、32768 Hz (0 ppm) となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作を図8 - 28に示します。

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDRF) がセット (1) されます。RESFの詳細については第20章 **リセット機能**を参照してください。

また、オーバフロー時間の75%到達時にインターバル割り込みを発生することもできます。

9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表9-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

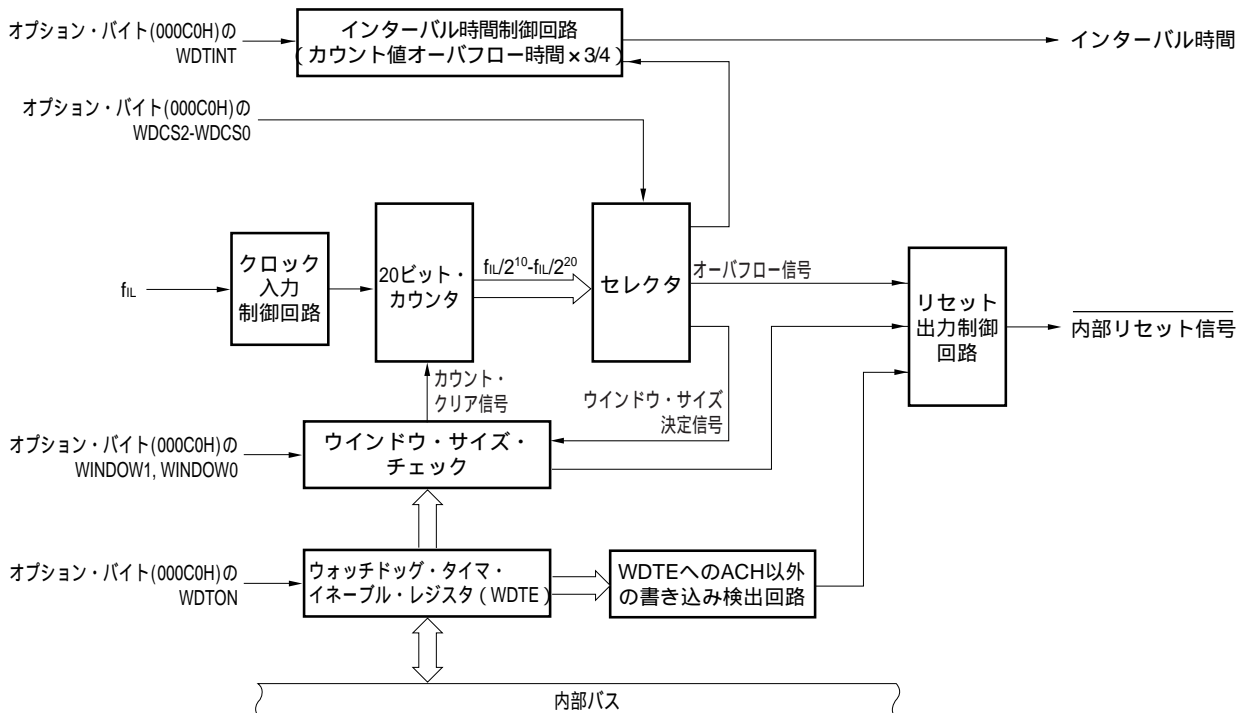
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表9-2 オプション・バイトとウォッチドッグの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第24章 オプション・バイトを参照してください。

図9-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速内蔵発振クロック周波数

9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^註になります。

図9-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH / 1AH^註 R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTEのリセット値は、オプション・バイト(000C0H)のWDTONの設定値によって、異なります。
ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1 . WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

2 . WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

3 . WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値) になります。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト (000C0H) で次の内容を設定します。

- ・オプション・バイト (000C0H) のビット4 (WDTON) を1に設定し、ウォッチドッグ・タイマのカウント動作を許可 (リセット解除後、カウンタは動作開始) にしてください (詳細は、第24章を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止 (リセット解除後、カウント停止)
1	カウント動作許可 (リセット解除後、カウント開始)

- ・オプション・バイト (000C0H) のビット3-1 (WDOS2-WDOS0) で、オーバフロー時間を設定してください (詳細は、9.4.2および第24章を参照)。
- ・オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で、ウインドウ・オープン期間を設定してください (詳細は、9.4.3および第24章を参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{IL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

<例> オーバフロー時間を $2^{10}/f_{IL}$ 設定時は、カウント値3FHまで“ACH”の書き込みが有効になります。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により, ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は, 次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0の場合, HALTおよびSTOPモード解除後は, ウォッチドッグ・タイマのカウントを再開します。このとき, カウンタはクリア (0) して, カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は, CPUは発振安定時間経過後に動作を開始します。

そのため, STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと, 発振安定時間中にオーバーフローしてリセットが発生します。

よって, インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し, ウォッチドッグ・タイマをクリアする場合は, 発振安定時間経過後にクリアすることになるため, その時間を考慮してオーバーフロー時間を設定してください。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

9. 4. 2 ウォッチドッグ・タイマのオーバーフロー時間の設定

ウォッチドッグ・タイマのオーバーフロー時間は, オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で設定します。

オーバーフロー時は, 内部リセット信号を発生します。オーバーフロー時間前の, ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより, カウントはクリアされ, 再度カウント動作を開始します。

設定するオーバーフロー時間を次に示します。

表9-3 ウォッチドッグ・タイマのオーバーフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバーフロー時間
0	0	0	$2^{10}/f_{IL}$ (3.88 ms)
0	0	1	$2^{11}/f_{IL}$ (7.76 ms)
0	1	0	$2^{12}/f_{IL}$ (15.52 ms)
0	1	1	$2^{13}/f_{IL}$ (31.03 ms)
1	0	0	$2^{15}/f_{IL}$ (124.12 ms)
1	0	1	$2^{17}/f_{IL}$ (496.48 ms)
1	1	0	$2^{18}/f_{IL}$ (992.97 ms)
1	1	1	$2^{20}/f_{IL}$ (3971.88 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

備考1. f_{IL} : 低速内蔵発振クロック周波数

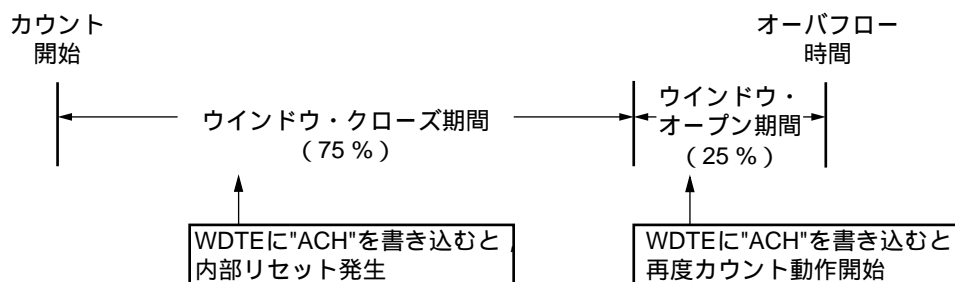
2. () 内は $f_{IL} = 264 \text{ kHz (MAX.)}$ の場合

9.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (000C0H) のビット6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバーフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表9-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

注意1. フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバーフロー時間およびウインドウ・サイズを設定してください。

2. オプション・バイト(000C0H)のビット0(WDSTBYON)=0のときは、WINDOW1, WINDOW0の値に関係なく、ウインドウ・オープン期間100%となります。
3. 次のいずれかの条件に該当する場合は、ウインドウ・オープン期間を25%に設定しないでください。

- ・電源電圧 $V_{DD} < 2.7$ Vで使用する場合
- ・STOPモードの使用, もしくはソフトウェアでメイン・システム・クロック(高速内蔵発振クロック, X1クロック, 外部メイン・システム・クロック)をすべて停止する場合。
- ・低消費電流モード

備考1. オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 3.56 ms	0 ~ 2.37 ms	0 ~ 0.119 ms	なし
ウインドウ・オープン時間	3.56 ~ 3.88 ms	2.37 ~ 3.88 ms	0.119 ~ 3.88 ms	0 ~ 3.88 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/264 \text{ kHz} (\text{MAX.}) = 3.88 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 3.56 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/216 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{10}/264 \text{ kHz} (\text{MAX.}) = 3.56 \sim 3.88 \text{ ms}$$

2. f_{IL} : 低速内蔵発振クロック周波数

9.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%到達時にインターバル割り込み (INTWDTI) を発生することができます。

表9 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (WDTEレジスタにACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第10章 クロック出力/ブザー出力制御回路

10.1 クロック出力/ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。

また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

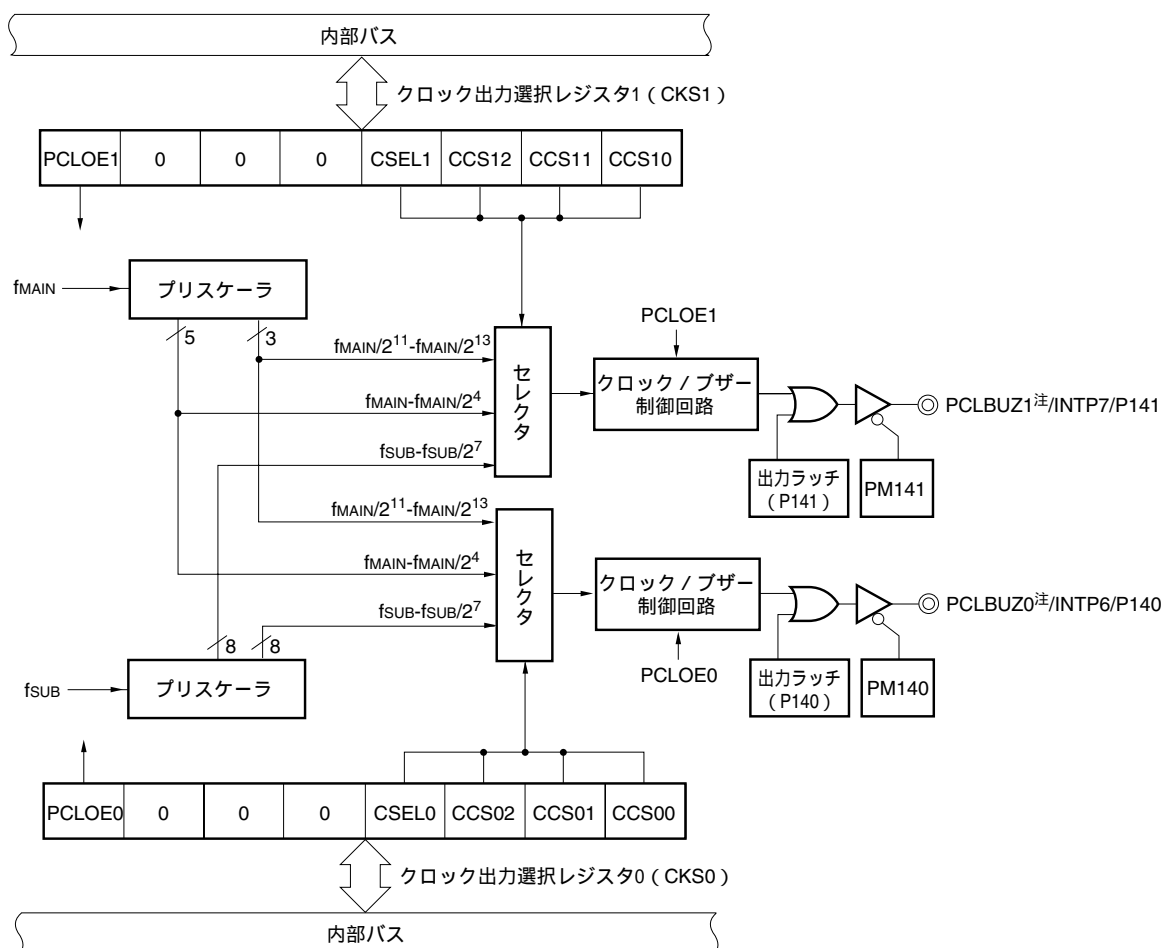
出力端子は、PCLBUZ0とPCLBUZ1の2つがあります。

PCLBUZ0は、クロック出力選択レジスタ0 (CKS0) で選択したクロックを出力します。

PCLBUZ1は、クロック出力選択レジスタ1 (CKS1) で選択したクロックを出力します。

図10 - 1にクロック出力/ブザー出力制御回路のブロック図を示します。

図10 - 1 クロック出力/ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子は、2.7 V V_{DD} で10 MHzまでのクロック出力が可能です。 $V_{DD} < 2.7 V$ で5 MHzを越えるクロックは、設定禁止です。

備考 f_{MAIN} : メイン・システム・クロック周波数

f_{SUB} : サブシステム・クロック周波数

10.2 クロック出力/ブザー出力制御回路の構成

クロック出力/ブザー出力制御回路は、次のハードウェアで構成されています。

表10 - 1 クロック出力/ブザー出力制御回路の構成

項 目	構 成
制御レジスタ	クロック出力選択レジスタ0, 1 (CKS0, CKS1) ポート・モード・レジスタ14 (PM14) ポート・レジスタ14 (P14)

10.3 クロック出力/ブザー出力制御回路を制御するレジスタ

クロック出力/ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタ0, 1 (CKS0, CKS1)
- ・ポート・モード・レジスタ14 (PM14)

(1) クロック出力選択レジスタ0, 1 (CKS0, CKS1)

クロック出力またはブザー周波数出力の端子 (PCLBUZ0/ PCLBUZ1) の出力許可/禁止、および出力クロックを設定するレジスタです。

CKS0で、PCLBUZ0の出力するクロックを選択します。

CKS1で、PCLBUZ1の出力するクロックを選択します。

CKS0, CKS1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス : FFFA5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZnの出力許可 / 禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZnの出力クロックの選択			
				f _{MAIN} = 5 MHz	f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz	
0	0	0	0	f _{MAIN}	5 MHz	10 MHz ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	2.5 MHz	5 MHz	10 MHz ^注
0	0	1	0	f _{MAIN} /2 ²	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{MAIN} /2 ³	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{MAIN} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	2.44 kHz	4.88 kHz	9.76 kHz
0	1	1	0	f _{MAIN} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz
0	1	1	1	f _{MAIN} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz
1	0	0	0	f _{SUB}	32.768 kHz		
1	0	0	1	f _{SUB} /2	16.384 kHz		
1	0	1	0	f _{SUB} /2 ²	8.192 kHz		
1	0	1	1	f _{SUB} /2 ³	4.096 kHz		
1	1	0	0	f _{SUB} /2 ⁴	2.048 kHz		
1	1	0	1	f _{SUB} /2 ⁵	1.024 kHz		
1	1	1	0	f _{SUB} /2 ⁶	512 Hz		
1	1	1	1	f _{SUB} /2 ⁷	256 Hz		

注 出力クロックは、2.7 V V_{DD}で10 MHzを越えると設定禁止です。またV_{DD} < 2.7 Vで5 MHzを越えるクロックは、設定禁止です。

- 注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。
 2. クロック出力(PCLOEn = 1)中に選択クロック (f_{MAIN}またはf_{SUB})が停止した場合は、出力が不定になります。

備考1. n = 0, 1

2. f_{MAIN} : メイン・システム・クロック周波数
 3. f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ14 (PM14)

ポート14の入力/出力を1ビット単位で設定するレジスタです。

P140/INTP6/PCLBUZ0, P141/INTP7/PCLBUZ1端子をクロック出力/ブザー出力機能として使用するとき, PM140, PM141およびP140, P141の出力ラッチに0を設定してください。

PM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図10 - 3 ポート・モード・レジスタ14 (PM14) のフォ - マット

アドレス : FFF2EH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PM14n	P14n端子の入出力モードの選択 (n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

10.4 クロック出力/ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

出力端子は、PCLBUZ0とPCLBUZ1の2つがあります。

PCLBUZ0は、クロック出力選択レジスタ0 (CKS0) で選択したクロック/ブザーを出力します。

PCLBUZ1は、クロック出力選択レジスタ1 (CKS1) で選択したクロック/ブザーを出力します。

10.4.1 出力端子の動作

PCLBUZnは、次の手順で出力します。

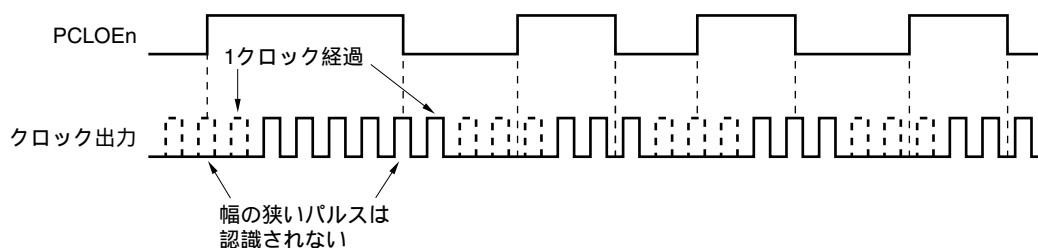
PCLBUZn端子のクロック出力選択レジスタ (CKSn) のビット0-3 (CCSn0-CCSn2, CSELn) で出力周波数を選択する (出力は禁止の状態)。

CKSnのビット7 (PCLOEn) に1を設定し、クロック出力/ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可/禁止 (PCLOEn) を切り替えてから1クロック後にクロック出力を開始/停止します。このとき幅の狭いパルスは出力されません。PCLOEnによる出力の許可/停止とクロック出力のタイミングを図10 - 4に示します。

2. n = 0, 1

図10 - 4 リモコン出力応用例



第11章 A/Dコンバータ

11.1 A/Dコンバータの機能

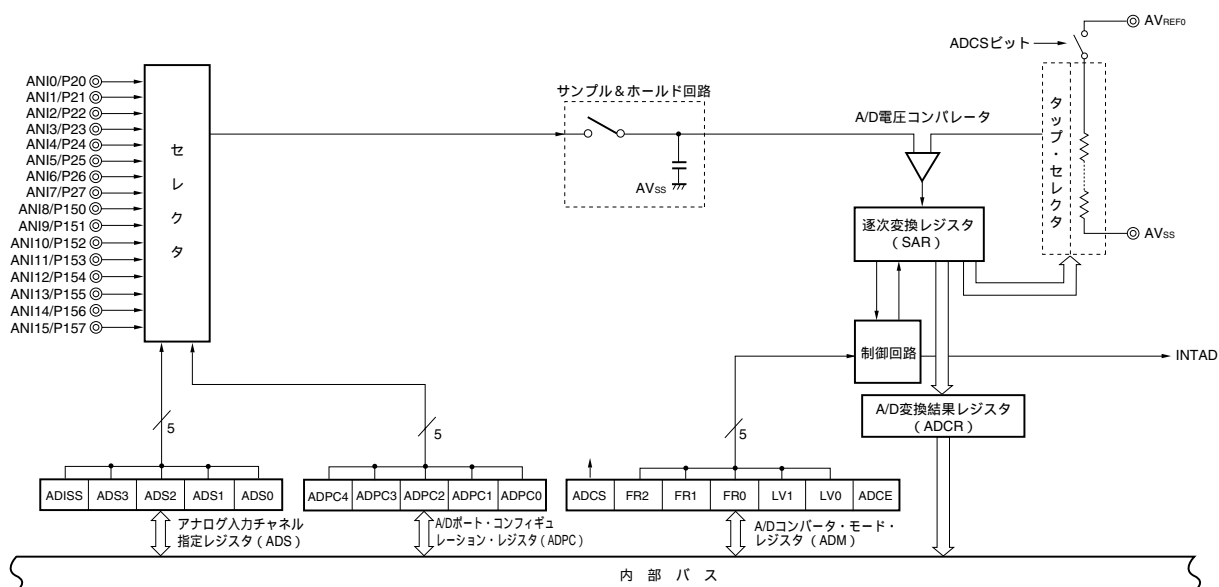
A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大16チャンネル (ANI0-ANI15) のアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

- ・10ビット分解能A/D変換

ANI0-ANI15からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

図11-1 A/Dコンバータのブロック図



11.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI15端子

A/Dコンバータの16チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

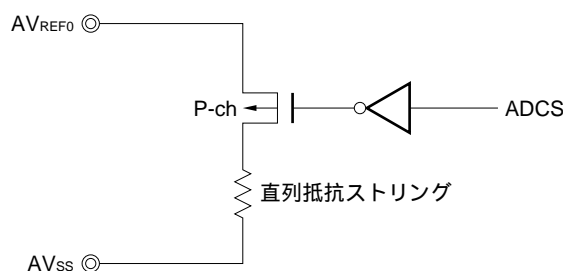
(2) サンプル&ホールド回路

サンプル&ホールド回路は、セクタで選択されたアナログ入力端子の入力電圧をA/D変換開始時にサンプリングし、そのサンプリングされた電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングはAVREF0-AVSS間に接続されており、サンプリングされた電圧値と比較する電圧を発生します。

図11-2 直列抵抗ストリングの回路構成



(4) A/D電圧コンパレータ

A/D電圧コンパレータは、サンプリングされた電圧値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

A/D電圧コンパレータで比較した結果を、最上位ビット (MSB) から変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了)、SARレジスタの内容はA/D変換結果レジスタ (ADCR) に転送されます。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、INTADを発生します。

(9) AV_{REF0}端子

A/Dコンバータのアナログ電源端子/基準電圧を入力する端子です。AV_{REF0}、AV_{SS}間にかかる電圧に基づいて、ANI0-ANI15に入力される信号をデジタル信号に変換します。P20/ANI0-P27/ANI7、P150/ANI8-P157/ANI15をデジタル入出力またはアナログ入力で使用するかによってAV_{REF0}へ供給できる電圧値は次のようになります。

表11-1 P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15端子へのAV_{REF0}の印加電圧

アナログ/デジタル	V _{DD} 条件	AV _{REF0} 電圧値
1本でもアナログ入力として使用し、すべての端子をデジタル入出力として使用しない	2.3 V V _{DD} 5.5 V	2.3 V AV _{REF0} V _{DD} = EV _{DD0} = EV _{DD1}
アナログ入力とデジタル入出力で使用する端子が混在 [※]	2.7 V V _{DD} 5.5 V	2.7 V AV _{REF0} V _{DD} = EV _{DD0} = EV _{DD1}
	2.3 V V _{DD} < 2.7 V	AV _{REF0} はEV _{DD0} , EV _{DD1} , V _{DD} と同電位
1本でもデジタル入出力として使用し、すべての端子をアナログ入力として使用しない [※]	2.7 V V _{DD} 5.5 V	2.7 V AV _{REF0} V _{DD} = EV _{DD0} = EV _{DD1}
	1.8 V V _{DD} < 2.7 V	AV _{REF0} はEV _{DD0} , EV _{DD1} , V _{DD} と同電位

注 デジタル・ポートとして使用するポートの入出力電圧は、AV_{REF0}が基準となります。

- ・ハイ/ロウ・レベル入力電圧 (V_{IH4}/V_{IL4})
- ・ハイ/ロウ・レベル出力電圧 (V_{OH2}/V_{OL2})

(10) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にEV_{SS0}、EV_{SS1}、V_{SS}と同電位で使用してください。

(11) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

(12) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子を、A/Dコンバータのアナログ入力/ポートのデジタル入出力に切り替えるレジスタです。

(13) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

(14) ポート・モード・レジスタ2, 15 (PM2, PM15)

ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子を、入力/出力に切り替えるレジスタです。

11.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の7種類のレジスタを使用します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・アナログ入力チャネル指定レジスタ (ADS)
- ・ポート・モード・レジスタ2, 15 (PM2, PM15)
- ・10ビットA/D変換結果レジスタ (ADCR)
- ・8ビットA/D変換結果レジスタ (ADCRH)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-3 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入力クロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入力クロック供給 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ2, 15 (PM2, PM15) は除く)。

2. PER0レジスタのビット1には必ず“0”を設定してください。

(2) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-4 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM	ADCS	0	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

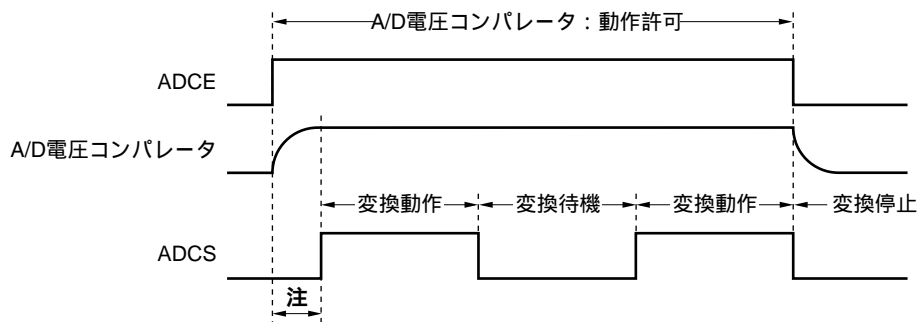
ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

- 注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表11-3 A/D変換時間の選択を参照してください。
2. A/D電圧コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μsかかります。このため、ADCEに1を設定してから1 μs以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μs以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表11-2 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費バスは存在しません)
0	1	変換待機モード (A/D電圧コンパレータのみ電力消費)
1	0	設定禁止
1	1	変換モード (A/D電圧コンパレータ：動作許可)

図11-5 A/D電圧コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、1 μs以上必要です。

注意 FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

表11-3 A/D変換時間の選択

(1) 2.7 V AV_{REF0} 5.5 V

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択			変換クロック (f_{AD})	
FR2	FR1	FR0	LV1	LV0	$f_{CLK} = 2$ MHz	$f_{CLK} = 10$ MHz	$f_{CLK} = 20$ MHz		
0	0	0	0	0	$264/f_{CLK}$	設定禁止	$26.4 \mu s$	$13.2 \mu s$	$f_{CLK}/12$
0	0	1	0	0	$176/f_{CLK}$		$17.6 \mu s$	$8.8 \mu s$ ^{注1}	$f_{CLK}/8$
0	1	0	0	0	$132/f_{CLK}$	$66.0 \mu s$ ^{注2}	$13.2 \mu s$	$6.6 \mu s$ ^{注1}	$f_{CLK}/6$
0	1	1	0	0	$88/f_{CLK}$	$44.0 \mu s$ ^{注2}	$8.8 \mu s$ ^{注1}	設定禁止	$f_{CLK}/4$
1	0	0	0	0	$66/f_{CLK}$	$33.0 \mu s$	$6.6 \mu s$ ^{注1}		$f_{CLK}/3$
1	0	1	0	0	$44/f_{CLK}$	$22.0 \mu s$	設定禁止		$f_{CLK}/2$
1	1	1	0	0	$22/f_{CLK}$	$11.0 \mu s$ ^{注1}			f_{CLK}
上記以外					設定禁止				

注1. 4.0 V AV_{REF0} 5.5 V時のみ設定可能

2. 機能拡張品 (μ PD78F116xA) のみ

注意 変換時間は、次の条件で設定してください。

従来規格品 (μ PD78F116x)

- 4.0 V AV_{REF0} 5.5 Vの場合 : $f_{AD} = 0.6 \sim 3.6$ MHz
- 2.7 V $AV_{REF0} < 4.0$ Vの場合 : $f_{AD} = 0.6 \sim 1.8$ MHz

機能拡張品 (μ PD78F116xA)

- 4.0 V AV_{REF0} 5.5 Vの場合 : $f_{AD} = 0.33 \sim 3.6$ MHz
- 2.7 V $AV_{REF0} < 4.0$ Vの場合 : $f_{AD} = 0.33 \sim 1.8$ MHz

(2) 2.3 V AV_{REF0} 5.5 V

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択			変換クロック (f_{AD})
FR2	FR1	FR0	LV1	LV0	$f_{CLK} = 2 \text{ MHz}$	$f_{CLK} = 5 \text{ MHz}$		
0	0	0	0	1	$480/f_{CLK}$	設定禁止	設定禁止	$f_{CLK}/12$
0	0	1	0	1	$320/f_{CLK}$	設定禁止	64.0 μs	$f_{CLK}/8$
0	1	0	0	1	$240/f_{CLK}$		48.0 μs	$f_{CLK}/6$
0	1	1	0	1	$160/f_{CLK}$		32.0 μs	$f_{CLK}/4$
1	0	0	0	1	$120/f_{CLK}$		60.0 μs	24.0 μs ^{注1}
1	0	1	0	1	$80/f_{CLK}$	40.0 μs	16.0 μs ^{注2}	$f_{CLK}/2$
1	1	1	0	1	$40/f_{CLK}$	20.0 μs ^{注2}	設定禁止	f_{CLK}
上記以外					設定禁止			

注1. 2.7 V AV_{REF0} 5.5 V時のみ設定可能

2. 4.0 V AV_{REF0} 5.5 V時のみ設定可能

注意1. 変換時間は、次の条件で設定してください。

• 4.0 V AV_{REF0} 5.5 Vの場合： $f_{AD} = 0.6 \sim 3.6 \text{ MHz}$

• 2.7 V $AV_{REF0} < 4.0 \text{ V}$ の場合： $f_{AD} = 0.6 \sim 1.8 \text{ MHz}$

• 2.3 V $AV_{REF0} < 2.7 \text{ V}$ の場合： $f_{AD} = 0.6 \sim 1.44 \text{ MHz}$

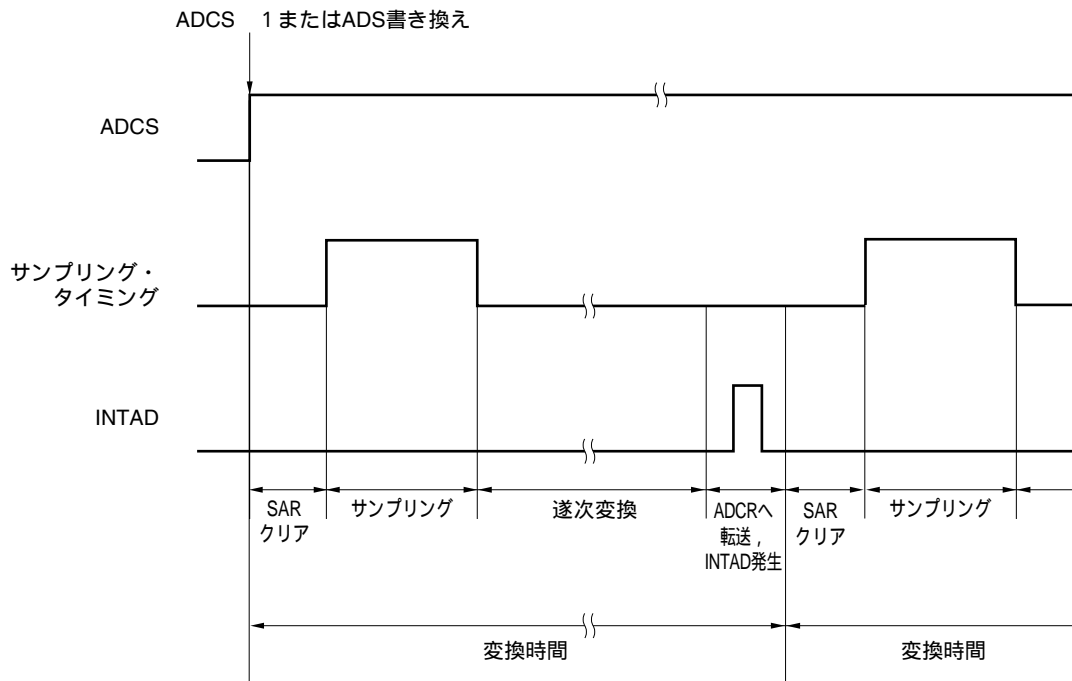
2. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 ($ADCS = 0$) させたのちに行ってください。

3. 2.3 V $AV_{REF0} < 2.7 \text{ V}$ の場合、LV1, LV0をデフォルト値から変更してください。

4. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図11 - 6 A/DコンバータのサンプリングとA/D変換のタイミング



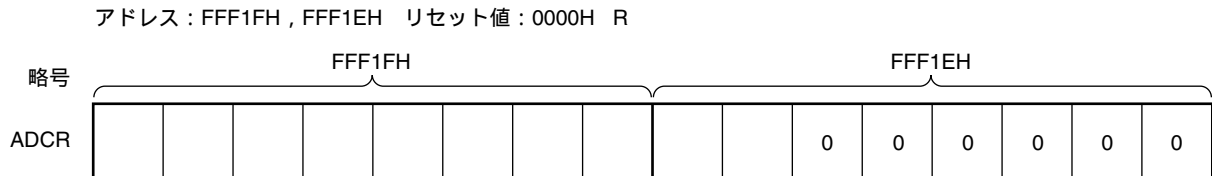
(3) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図11-7 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS、ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(4) 8ビットA/D変換結果レジスタ (ADCRH)

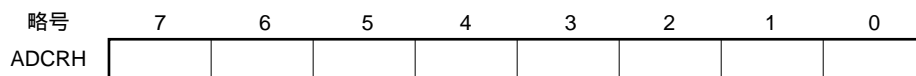
A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図11-8 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FFF1FH リセット時：00H R



注意 A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM、ADS、ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(5) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11 - 9 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	0	ADS3	ADS2	ADS1	ADS0

ADISS	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャンネル	入力ソース
0	0	0	0	0	ANI0	P20/ANI0端子
0	0	0	0	1	ANI1	P21/ANI1端子
x	0	0	1	0	ANI2	P22/ANI2端子
x	0	0	1	1	ANI3	P23/ANI3端子
x	0	1	0	0	ANI4	P24/ANI4端子
x	0	1	0	1	ANI5	P25/ANI5端子
x	0	1	1	0	ANI6	P26/ANI6端子
x	0	1	1	1	ANI7	P27/ANI7端子
x	1	0	0	0	ANI8	P150/ANI8端子
x	1	0	0	1	ANI9	P151/ANI9端子
x	1	0	1	0	ANI10	P152/ANI10端子
x	1	0	1	1	ANI11	P153/ANI11端子
x	1	1	0	0	ANI12	P154/ANI12端子
x	1	1	0	1	ANI13	P155/ANI13端子
x	1	1	1	0	ANI14	P156/ANI14端子
x	1	1	1	1	ANI15	P157/ANI15端子

- 注意1. ビット4-6には必ず0を設定してください。
- A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。
 - ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。

備考 x : don't care

(6) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子を, A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図11 - 10 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

ADP C4	ADP C3	ADP C2	ADP C1	ADP C0	アナログ入力 (A) / デジタル入出力 (D) の切り替え																	
					ポート15								ポート2									
					ANI15 /P157	ANI14 /P156	ANI13 /P155	ANI12 /P154	ANI11 /P153	ANI10 /P152	ANI9 /P151	ANI8 /P150	ANI7 /P27	ANI6 /P26	ANI5 /P25	ANI4 /P24	ANI3 /P23	ANI2 /P22	ANI1 /P21	ANI0 /P20		
0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D
0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D
0	0	0	1	1	A	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D
0	0	1	0	0	A	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D
0	0	1	0	1	A	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D
0	0	1	1	0	A	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D
0	0	1	1	1	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D
0	1	0	0	0	A	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D
0	1	0	0	1	A	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D
0	1	0	1	0	A	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D
0	1	0	1	1	A	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	0	A	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	0	1	A	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	0	A	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	1	1	1	1	A	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D
上記以外					設定禁止																	

注意1. A/D変換で使用するチャネルは, ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。

2. ADPCでデジタル入出力として設定する端子を, ADSで設定しないでください。

3. P20/ANI0-P27/ANI7,P150/ANI8-P157/ANI15は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P157/ANI15,...,P150/ANI8, P27/ANI7,...,P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P157/ANI15から設計してください。

(7) ポート・モード・レジスタ2, 15 (PM2, PM15)

ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157 端子をアナログ入力ポートとして使用する時、PM20-PM27, PM150-PM157にそれぞれ1を設定してください。このときP20-P27, P150-P157の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27, PM150-PM157にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2, PM15は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

図11 - 11 ポート・モード・レジスタ2, 15 (PM2, PM15) のフォーマット

アドレス：FFF22H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

アドレス：FFF2FH リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM15	PM157	PM156	PM155	PM154	PM153	PM152	PM151	PM150

PMmn	Pmn端子の入出力モードの選択 (m = 2, 15 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子の機能は、ADPC, ADS, PM2, PM15の設定で決定します。

表11 - 4 ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子機能の設定

ADPC	PM2, PM15	ADS	ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

11.4 A/Dコンバータの動作

11.4.1 A/Dコンバータの基本動作

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADGEN) をセット (1) し、A/Dコンバータへの入力クロック供給を開始してください。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ (PM2, PM15) で入力モードに設定してください。

ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を設定してください。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で1チャンネル選択してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを (1/2) AV_{REF0} にします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF0} よりも大きければ、SARのMSBをセットしたままです。また、(1/2) AV_{REF0} よりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1 : (3/4) AV_{REF0}

・ビット9 = 0 : (1/4) AV_{REF0}

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

・サンプリングされた電圧 > 電圧タップ : ビット8 = 1

・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

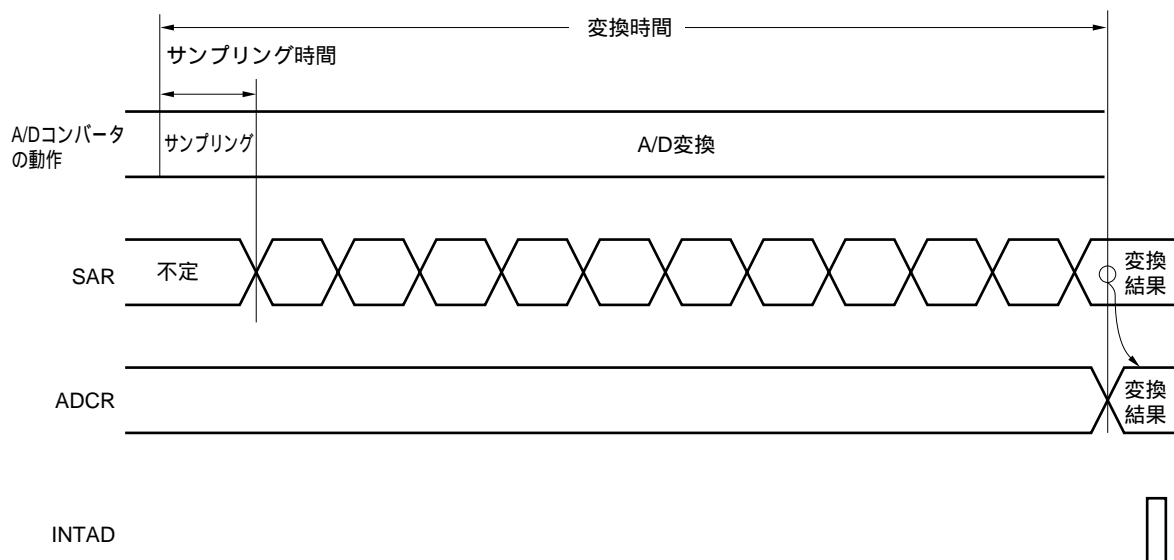
注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

・ADCR (16ビット) : 10ビットのA/D変換値を格納します。

・ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図11 - 12 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャンネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

11.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI15) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビットA/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

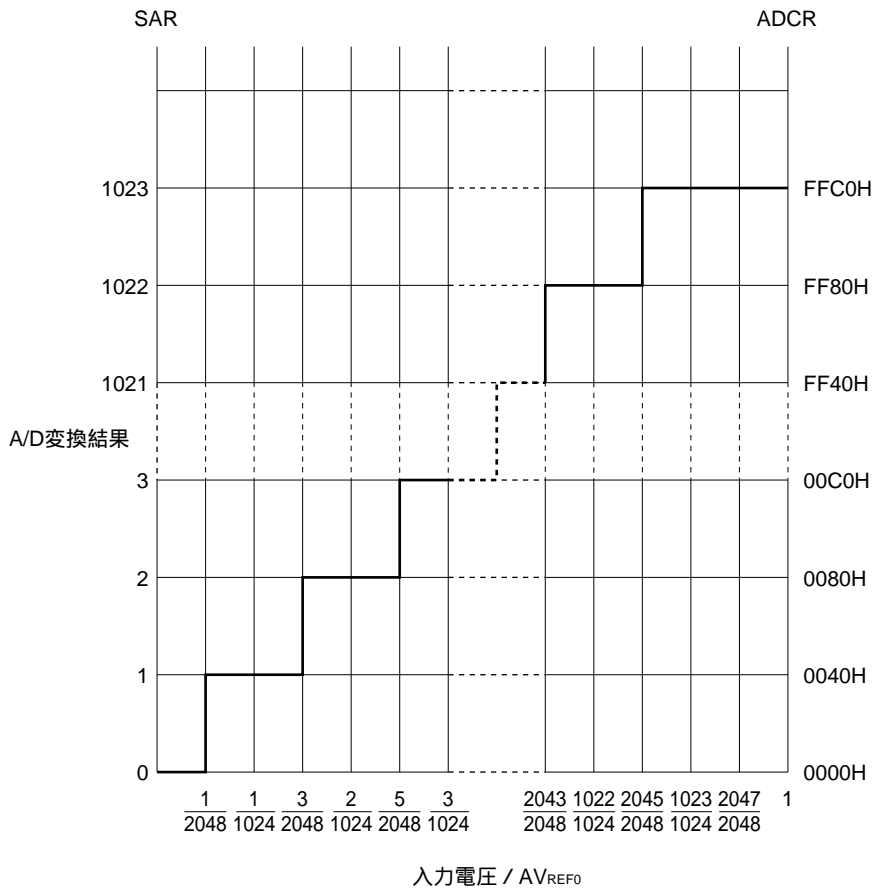
または、

$$\left(\frac{ADCR}{64} - 0.5 \right) \times \frac{AV_{REF0}}{1024} < V_{AIN} < \left(\frac{ADCR}{64} + 0.5 \right) \times \frac{AV_{REF0}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{AIN} : アナログ入力電圧
- AV_{REF0} : AV_{REF0}端子電圧
- ADCR : A/D変換結果レジスタ (ADCR) の値
- SAR : 逐次変換レジスタ

図11 - 13にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 13 アナログ入力電圧とA/D変換結果の関係



11.4.3 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードになっています。アナログ入力チャンネル指定レジスタ (ADS) によってANI0-ANI15からアナログ入力を1チャンネル選択し、A/D変換を行います。

(1) A/D変換動作

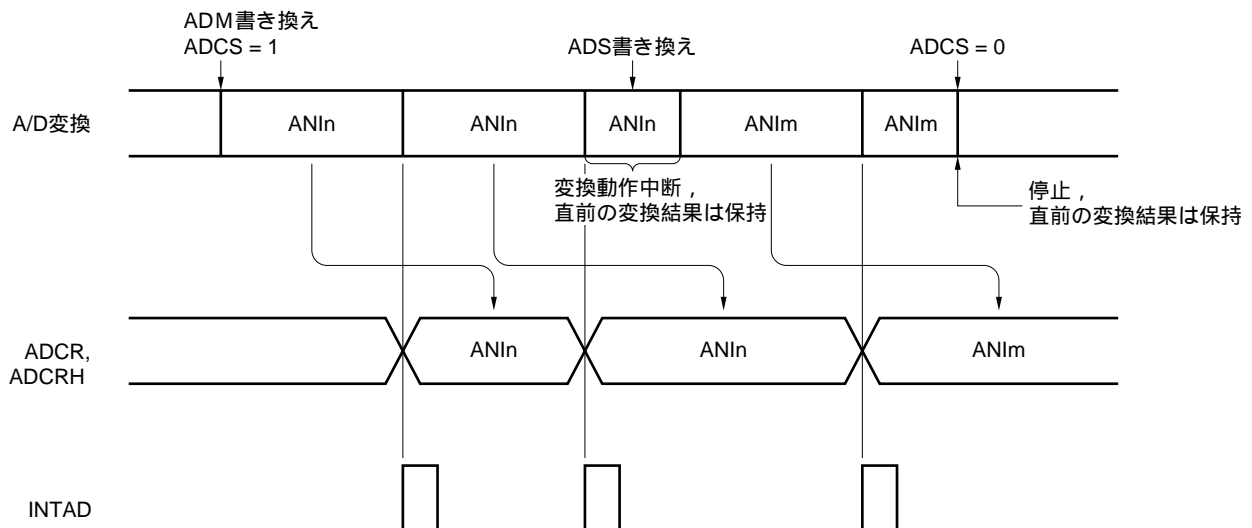
A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) に1を設定することにより、アナログ入力チャンネル指定レジスタ (ADS) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、割り込み要求信号 (INTAD) を発生します。1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。

A/D変換動作中に、ADSを書き換えると、そのとき行っていたA/D変換動作を中断し、再度、最初からA/D変換動作を開始します。

また、A/D変換動作中に、ADCSに0を書き込むと、ただちにA/D変換動作を停止します。このとき直前の変換結果は保持されます。

図11 - 14 A/D変換動作



備考1 . n = 0-15

2 . m = 0-15

次に設定方法を説明します。

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をセット (1)

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット4-0 (ADPC4-ADPC0) ,
ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20) , ポート・モード・レジスタ
15 (PM15) のビット7-0 (PM157-PM150) で使用するチャンネルをアナログ入力に設定

ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を選択

アナログ入力チャンネル指定レジスタ (ADS) のビット7, 3-0 (ADISS, ADS3-ADS0) で使用する
チャンネルを選択

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< チャンネルを変更する >

ADSのビット7, 3-0 (ADISS, ADS3-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をクリア (0)

注意1. から までの間は1 μ s以上空けてください。

2. は, から までの間に行っても, 問題ありません。

3. から までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは
異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

11.5 温度センサ機能（拡張規格品 μ PD78F116xAのみ）

温度センサは、温度依存のある内部基準電圧（センサ0，ANI0側）と、温度依存のない内部基準電圧（センサ1，ANI1側）の2つの電圧をA/D変換し計算することにより、 AV_{REF0} の電圧に依存せず（ AV_{REF0} 2.7 V）温度を算出できます。

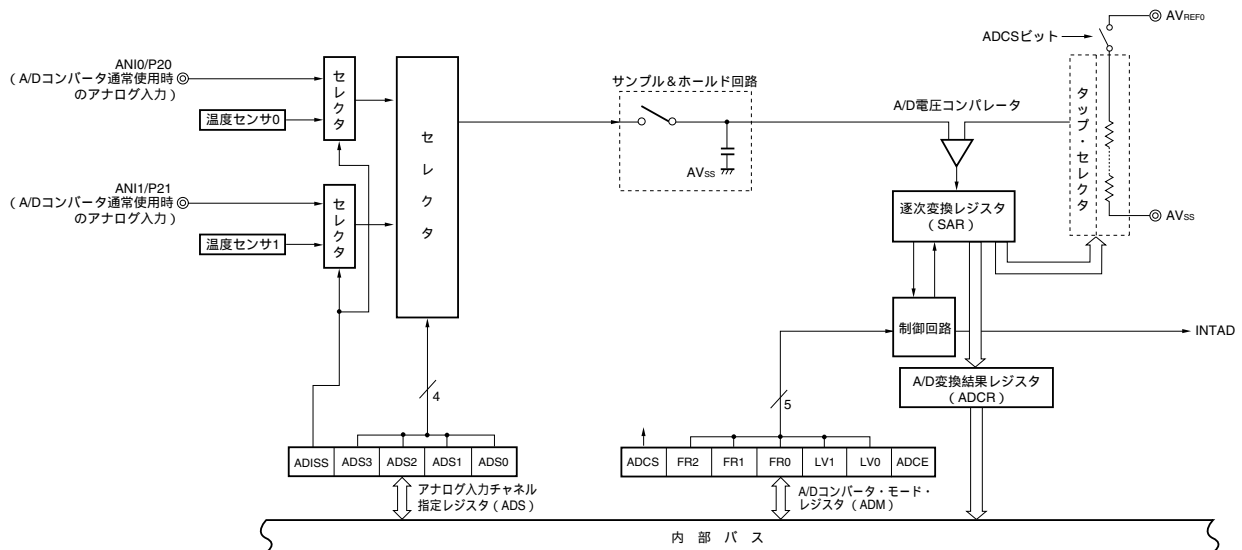
注意 低消費電流モード設定時（ $RMC = 5AH$ ）または、高速内蔵発振回路を停止（ $HIOSTOP = 1$ （ CSC レジスタのビット0））している状態では、温度センサを使用できません。高速内蔵発振回路が動作（ $HIOSTOP = 0$ ）していれば、CPU/周辺ハードウェア・クロックに選択していなくても温度センサの動作は可能です。

11.5.1 温度センサの構成

温度センサは、A/Dコンバータと次のハードウェアで構成されています。

- ・ 温度センサ0：温度依存性のある内部基準電圧を出力
- ・ 温度センサ1：温度依存性のない内部基準電圧を出力

図11 - 15 温度センサのブロック図



11.5.2 温度センサで使用するレジスタ

温度センサを使用する場合は、次の4種類のレジスタを使用します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・アナログ入力チャネル指定レジスタ (ADS)
- ・10ビットA/D変換結果レジスタ (ADCR)

注意 温度センサ使用時は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)、ポート・モード・レジスタ2 (PM2)、ポート・レジスタ2 (P2) の設定は必要ありません。また、端子をデジタル入出力に設定していても問題ありません。

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、A/Dコンバータの基本動作時と同様に使用してください(11.3(1)周辺イネーブル・レジスタ0 (PER0) 参照)

(2) A/Dコンバータ・モード・レジスタ (ADM)

ADMレジスタは、A/Dコンバータの基本動作時と同様に使用してください(11.3(2)A/Dコンバータ・モード・レジスタ (ADM) 参照)

ただし、温度センサ使用時のA/D変換時間の選択は表11-5のようになります。

表11-5 温度センサ使用時のA/D変換時間の選択

(1) 2.7 V V_{REF0} 5.5 V

A/Dコンバータ・モード・レジスタ (ADM)					変換時間の選択			変換クロック (f_{AD})		
FR2	FR1	FR0	LV1	LV0	$f_{CLK} = 2 \text{ MHz}$	$f_{CLK} = 8 \text{ MHz}$	$f_{CLK} = 20 \text{ MHz}$			
0	0	0	0	1	$480/f_{CLK}$	設定禁止	$60.0 \mu\text{s}$	$24.0 \mu\text{s}$	$f_{CLK}/12$	
0	0	1	0	1	$320/f_{CLK}$	設定禁止	$40.0 \mu\text{s}$	設定禁止	$f_{CLK}/8$	
0	1	0	0	1	$240/f_{CLK}$		$30.0 \mu\text{s}$		$f_{CLK}/6$	
0	1	1	0	1	$160/f_{CLK}$		設定禁止		$f_{CLK}/4$	
1	0	0	0	1	$120/f_{CLK}$		$60.0 \mu\text{s}$		$f_{CLK}/3$	
1	0	1	0	1	$80/f_{CLK}$	$40.0 \mu\text{s}$			$f_{CLK}/2$	
1	1	1	0	1	$40/f_{CLK}$	設定禁止			f_{CLK}	
上記以外					設定禁止					

注意1. 変換時間は、 $f_{AD} = 0.6 \sim 1.8 \text{ MHz}$ の範囲で設定してください。

- FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。
- 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(3) 10ビットA/D変換結果レジスタ (ADCR)

ADCRレジスタは、A/Dコンバータの基本動作時と同様に使用してください(11.3(3)10ビットA/D変換結果レジスタ (ADCR)参照)。

注意 温度センサ使用時のA/D変換では、温度センサ0 (ANI0側)のA/D変換結果は2回目以降を、温度センサ1 (ANI1側)の変換結果は3回目以降の変換結果を使用してください。

(4) アナログ入力チャネル指定レジスタ (ADS)

A/Dコンバータの基本動作時と同様に、A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。ただし、温度センサ使用時は、A/Dコンバータの基本動作時と設定が異なります。

ADSは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図11-16 温度センサ使用時のアナログ入力チャネル指定レジスタ (ADS) のフォーマット

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	0	ADS3	ADS2	ADS1	ADS0

ADISS	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
1	0	0	0	0	ANI0	温度センサ0出力
1	0	0	0	1	ANI1	温度センサ1出力
上記以外					設定禁止	

注意 ビット4-6には必ず0を設定してください。

11.5.3 温度センサの動作

(1) 温度センサ検出値

温度センサを使用する場合は、使用する温度範囲の高温と低温の2点を基準温度とし、その基準温度での温度センサ0, 1のA/D変換結果をあらかじめ測定しておく必要があります。測定は、セットにおいて温度センサを使用する状態と同一環境にて行ってください。

高温、低温の基準温度の値から求められる温度センサ検出値特性の式により、任意の温度での温度センサ0, 1のA/D変換結果から、そのときの温度を求めることができます。

備考 温度依存のあるセンサと温度依存のないセンサそれぞれのA/D変換結果の比をとった値を、本マニュアルでは“温度センサ検出値”と呼びます。

・ 温度依存のあるセンサ

変換チャンネル：温度センサ0 (ANI0側)

A/D変換結果：ADT0

・ 温度依存のないセンサ

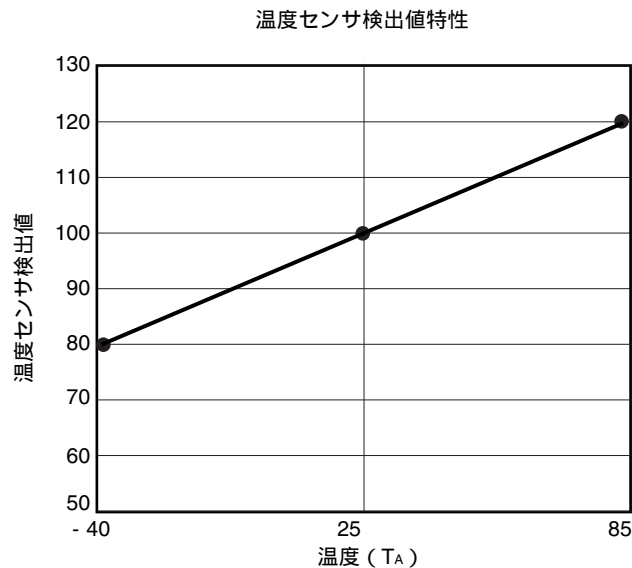
変換チャンネル：温度センサ1 (ANI1側)

A/D変換結果：ADT1

$$\cdot \text{温度センサ検出値} = KTV = \frac{ADT0}{ADT1} \times 256$$

温度センサ検出値の特性（参考値）を次に示します。

図11 - 17 温度センサ検出値特性（参考値）



(2) 温度算出方法

図11-17のように、温度センサ検出値は温度に対して線形に近い特性を持ちます。よって、温度センサ検出値は次の式で表すことができます。

温度センサ検出値 傾き × (T_{NOW} - T_{BASE1}) + オフセット

$$KTV_{NOW} = \frac{(KTV_{BASE2} - KTV_{BASE1})}{(T_{BASE2} - T_{BASE1})} \times (T_{NOW} - T_{BASE1}) + KTV_{BASE1}$$

T_{BASE1}：低基準温度，T_{BASE2}：高基準温度，T_{NOW}：センサ動作時の温度，

KTV_{BASE1}：低基準温度時の温度センサ検出値，KTV_{BASE2}：高基準温度時の温度センサ検出値

KTV_{NOW}：温度測定時の温度センサ検出値，

また、ADT_{0BASE1}：低基準温度時のA/D変換結果（センサ0）
 ADT_{1BASE1}：低基準温度時のA/D変換結果（センサ1）
 ADT_{0BASE2}：高基準温度時のA/D変換結果（センサ0）
 ADT_{1BASE2}：高基準温度時のA/D変換結果（センサ1）
 ADT_{0NOW}：温度測定時のA/D変換結果（センサ0）
 ADT_{1NOW}：温度測定時のA/D変換結果（センサ1）

とすると、KTV_{BASE1}、KTV_{BASE2}、KTV_{NOW}は次のようになります。

$$KTV_{BASE1} = \frac{ADT_{0BASE1}}{ADT_{1BASE1}} \times 256$$

$$KTV_{BASE2} = \frac{ADT_{0BASE2}}{ADT_{1BASE2}} \times 256$$

$$KTV_{NOW} = \frac{ADT_{0NOW}}{ADT_{1NOW}} \times 256$$

よって、温度T_{NOW}は、次の計算式で求められます。

$$T_{NOW} = \frac{(KTV_{NOW} - KTV_{BASE1}) \times (T_{BASE2} - T_{BASE1})}{(KTV_{BASE2} - KTV_{BASE1})} + T_{BASE1}$$

$$T_{NOW} = \frac{ADT_{1BASE2} \times (ADT_{1BASE1} \times ADT_{0NOW} - ADT_{0BASE1} \times ADT_{1NOW}) \times (T_{BASE2} - T_{BASE1})}{ADT_{1NOW} \times (ADT_{1BASE1} \times ADT_{0BASE2} - ADT_{0BASE1} \times ADT_{1BASE2})} + T_{BASE1}$$

- 備考1.** 計算によって温度を求める場合は、使用温度範囲の両端を基準温度として測定しておくことを推奨します
2. 温度T_{NOW}は計算で算出する方法のほかに、あらかじめ各温度毎の温度センサ検出値を測定し、テーブル・データとして用意しておき、温度測定時の温度センサ検出値と比較することによって温度T_{NOW}を求める方法もあります。その場合、検出したい温度間隔に応じて、テーブル・データを作成しておく必要があります。

11.5.4 温度センサの使用手順

(1) 温度センサの使用手順

セットにおいて温度センサを使用する状態と同一環境にて、次の準備を行います

- ・計算によって温度を算出する場合

使用する温度範囲の高温と低温の2点を基準温度とし、その基準温度での温度センサ0, 1のA/D変換結果を、セット出荷前などにあらかじめ測定しておきます。

- ・テーブル参照によって温度を求める場合

各温度の温度センサ検出値を測定して計算し、テーブル・データとして用意しておきます。

上記の値は、セルフ・プログラミングを使用して書き込むなどにより内部のフラッシュ・メモリ領域に格納しておきます。または、外付けのメモリなどに格納しておいてもかまいません。

備考 計算式を用いて、高温、低温での温度センサ0, 1のA/D変換結果から求める場合は、使用温度範囲の両端を基準温度として測定しておくことを推奨します。

温度を求めたいときに、温度センサ0, 1の出力電圧をA/D変換し、ADT0, ADT1から計算式で求めるか、温度センサ検出値を算出し、あらかじめ用意していたテーブル・データと比較して求めます。

(2) 温度センサ0, 1のADT0、ADT1を求める手順

(基準温度時のADT0_{BASE1}, ADT1_{BASE1}, ADT0_{BASE2}, ADT1_{BASE2}, 温度測定時のADT0_{NOW}, ADT1_{NOW})

< A/D変換の初期設定 >

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADGEN) をセット (1)

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を選択

< 温度センサ0の測定 >

アナログ入力チャネル指定レジスタ (ADS) に “80H” を設定して温度センサ0を選択

ADMのビット7 (ADCS) をセット (1) し、A/D変換動作開始

1回のA/D変換が終了し、割り込み要求信号 (INTAD) 発生

2回のA/D変換が終了し、割り込み要求信号 (INTAD) 発生

A/D変換データ (ADT0) をA/D変換結果レジスタ (ADCR) から読み出し

< 温度センサ1の測定 >

アナログ入力チャネル指定レジスタ (ADS) に “81H” を設定して温度センサ1を選択

1回のA/D変換が終了し、割り込み要求信号 (INTAD) 発生

2回のA/D変換が終了し、割り込み要求信号 (INTAD) 発生

3回のA/D変換が終了し、割り込み要求信号 (INTAD) 発生

A/D変換データ (ADT1) をA/D変換結果レジスタ (ADCR) から読み出し

(手順は、次のページに続きます)

< 温度 T_{NOW} を求める >

次のいずれかの方法で温度を求めます

・ 計算によって求める場合

基準温度での測定時は、ADT0とADT1をセルフ・プログラミングなどにより内部フラッシュ・メモリへ書き込む。温度測定時は、その時のADT0, ADT1の値から次の計算式によって現在の温度 T_{NOW} を求める。

$$T_{NOW} = \frac{ADT1_{BASE2} \times (ADT1_{BASE1} \times ADT0_{NOW} - ADT0_{BASE1} \times ADT1_{NOW}) \times (T_{BASE2} - T_{BASE1})}{ADT1_{NOW} \times (ADT1_{BASE1} \times ADT0_{BASE2} - ADT0_{BASE1} \times ADT1_{BASE2})} + T_{BASE1}$$

・ テーブル参照により求める場合

テーブル・データ測定時は、ADT0とADT1の値から温度センサ検出値 ($ADT0/ADT1 \times 256$) を検出したい温度間隔毎に測定して計算し、その値と対応する温度をテーブル・データとしてセルフ・プログラミングなどにより、内部フラッシュ・メモリへ書き込む。

温度測定時は、その時のADT0, ADT1の値から温度センサ検出値 ($ADT0/ADT1 \times 256$) を算出し、その値とテーブル・データの値を比較し、現在の温度 T_{NOW} を求める。

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をクリア (0)

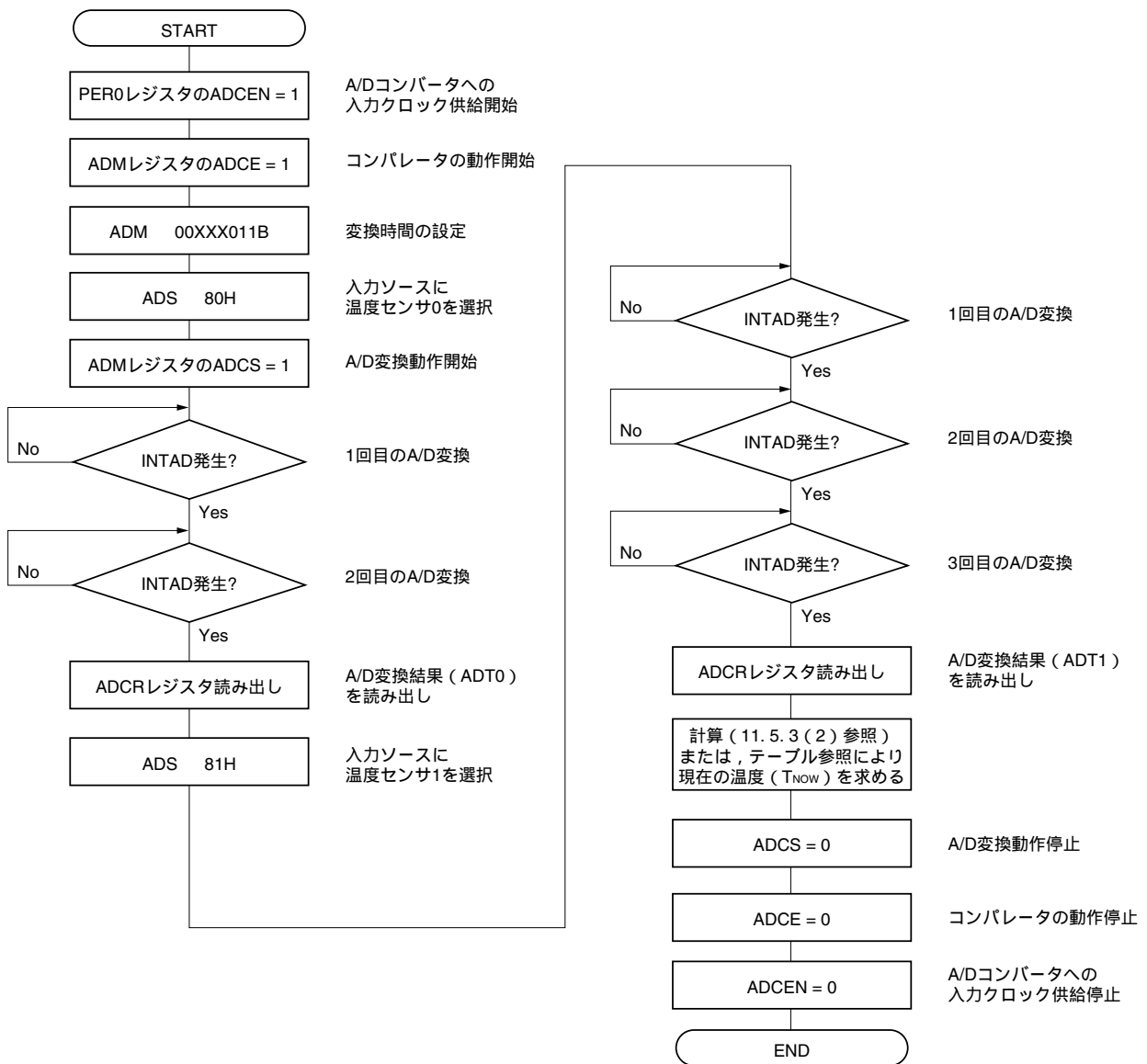
注意1. から までの間は $1 \mu\text{s}$ 以上空けてください。 $1 \mu\text{s}$ 以内でADCSに1を設定した場合は、センサ0側も3回目以降の変換結果が有効となります。

2. は、 から までの間に行っても、問題ありません。

3. から までの時間は、ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が、FR2-FR0, LV1, LV0で設定した変換時間となります。

4. から までの間は AV_{REF0} の電圧を変化させないでください。温度センサ検出値は AV_{REF0} の電圧に依存しないため、 AV_{REF0} の電圧は温度測定毎に異なっても問題ありませんが、一度の温度測定 (から) の間は一定にする必要があります。

図11-18 温度センサの使用手順のフロー・チャート



注意 温度センサ0 (ANI0側) のA/D変換結果は2回目以降を、温度センサ1 (ANI1側) の変換結果は3回目以降の変換結果を使用してください。

備考 図11-18の ~ は、11.5.4 (2) 温度センサ0, 1のADT0、ADT1を求める手順の ~ と対応しています。

11.6 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは， $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図11 - 19 総合誤差

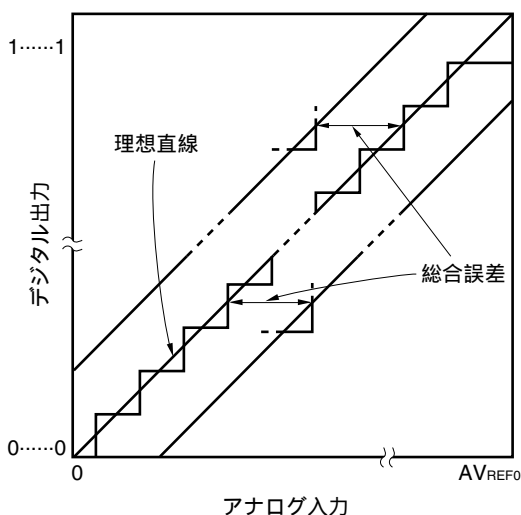
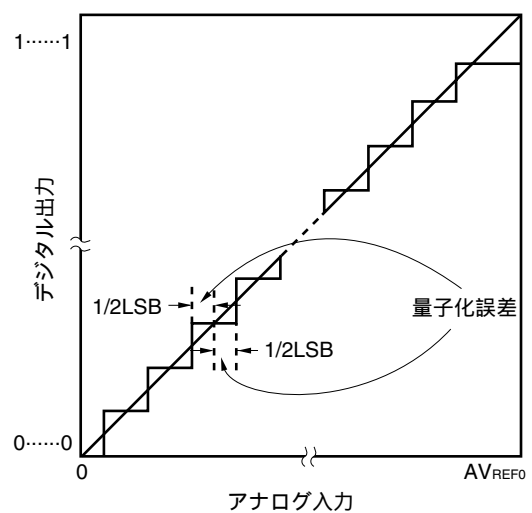


図11 - 20 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール - 3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図11 - 21 ゼロスケール誤差

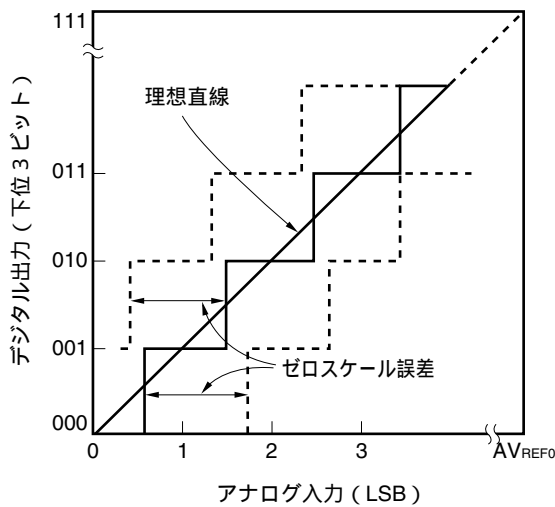


図11 - 22 フルスケール誤差

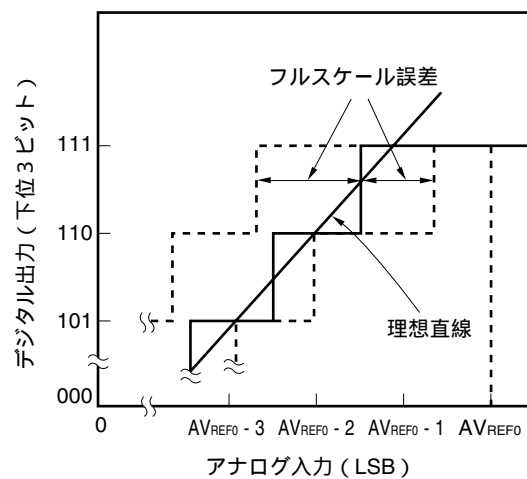


図11-23 積分直線性誤差

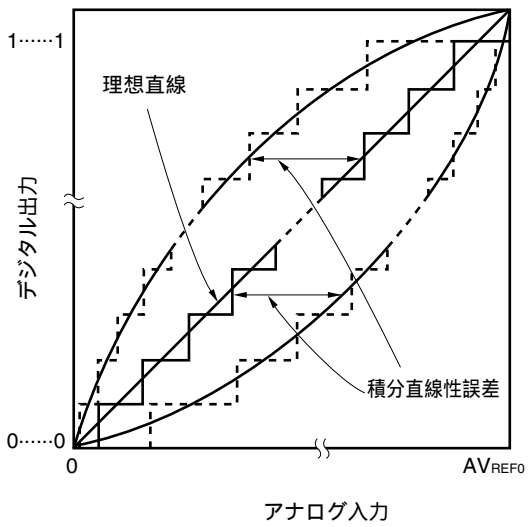
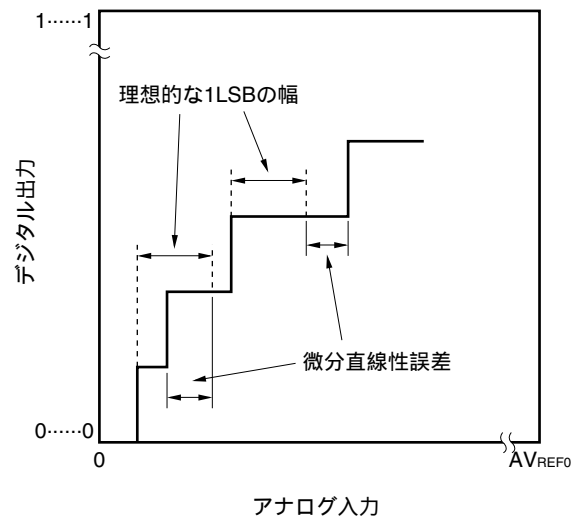


図11-24 微分直線性誤差

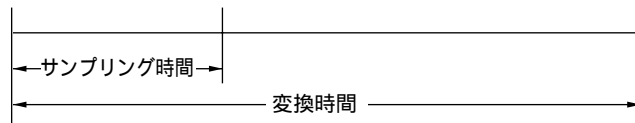


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



11.7 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0）させてから移行してください。このときA/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L（IF1L）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) A/Dコンバータの停止時の電流低減について

AV_{REF0} への印加電圧は、通常は表11-1の条件を満たしてください。

A/Dコンバータ停止時は、A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）とビット0（ADCE）を0にしていれば、 AV_{REF0} へ電圧を印加していてもA/Dコンバータにより電流が増大することはありません。ただし、図11-25のように AV_{REF0} への供給電源からマイコンの外部回路に電流が流れる場合などは、次の条件を満たすことにより、 $AV_{REF0} = 0V = AV_{SS}$ とすることができ、外部の電流を削減できます。

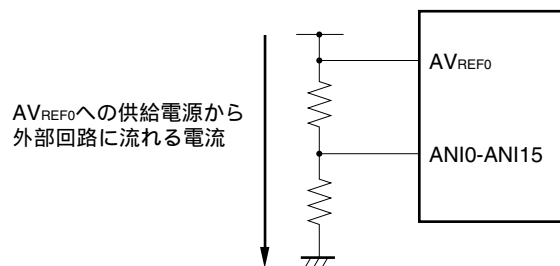
$AV_{REF0} = 0V$ とする前に次の状態にしておいてください。

- ・A/Dコンバータ・モード・レジスタ（ADM）のADCS = 0かつADCE = 0に設定する。
- ・デジタル入出力端子のポート・モード・レジスタ（PM20-PM27, PM150-PM157）に1を設定し入力モードとするか、出力モードとする場合は、ポート・モード・レジスタ（PM20-PM27, PM150-PM157）に0を設定、ポート・レジスタ（P20-P27, P150-P157）に0を設定しロウ・レベル出力とする（ハイ・レベル出力禁止）。
- ・全アナログ/デジタル端子（P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15）に電圧が印加されていないこと（0Vとする）。

$AV_{REF0} = 0V$ 時は次の動作をしないでください。

- ・ポート・レジスタ（P20-P27, P150-P157）、ポート・モード・レジスタ（PM20-PM27, PM150-PM157）へ命令やDMA転送によりアクセスしないこと

図11-25 外部回路に電流が流れる回路例



A/Dコンバータ再開時は、 AV_{REF0} の電圧が立ち上がり、安定してからADCE = 1に設定し、動作させてください（A/Dコンバータの動作設定手順は、11.4.1 A/Dコンバータの基本動作参照）。デジタル・ポートへのアクセスは、 AV_{REF0} の電圧が立ち上がり、安定してから行ってください。

また、 AV_{REF0} の電圧の立ち上がり、立ち下がり時は、D/Aコンバータの変換動作を停止してください。

(3) ANI0-ANI15入力範囲について

ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特に AV_{REF0} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(4) 競合動作について

変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）ライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ（ADM）ライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）ライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(5) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF0} 、ANI0-ANI15端子へのノイズに注意する必要があります。

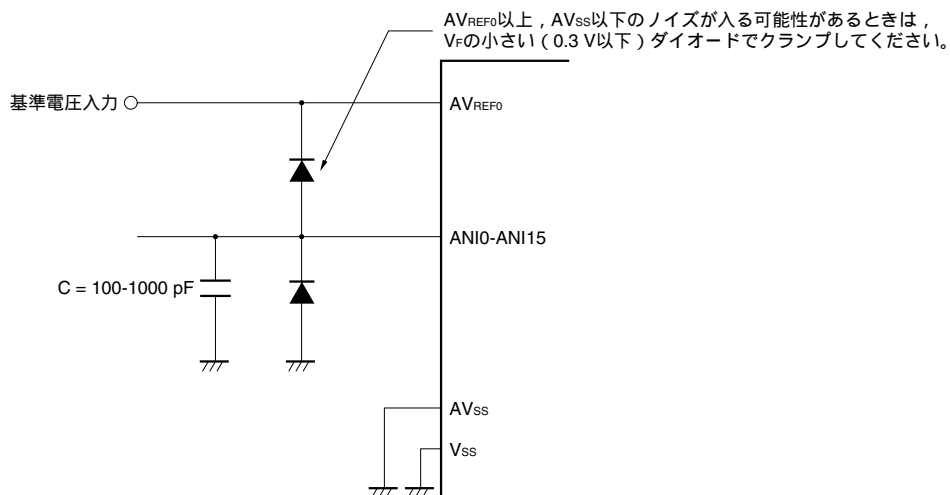
電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-26のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

図11-26 アナログ入力端子の処理

**(6) ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157**

アナログ入力（ANI0-ANI7）端子は入力ポート（P20-P27）端子と兼用になっています。

アナログ入力（ANI8-ANI15）端子は入力ポート（P150-P157）端子と兼用になっています。

ANI0-ANI15のいずれかを選択してA/D変換をする場合、変換中にP20-P27, P150-P157に対してアクセ

しないでください。変換分解能が低下することがあります。またP20-P27, P150-P157として使用する端子の選択は、 AV_{REF0} から最も遠い $ANI0/P20$ より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(7) ANI0-ANI15端子の入カインピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 kΩ以下にし、出力インピーダンスが高いときはANI0-ANI15端子に100 pF程度のコンデンサを付けることを推奨します(図11-26参照)。

(8) AV_{REF0} 端子の入カインピーダンスについて

AV_{REF0} 端子と AV_{SS} 端子の間には数十kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{REF0} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

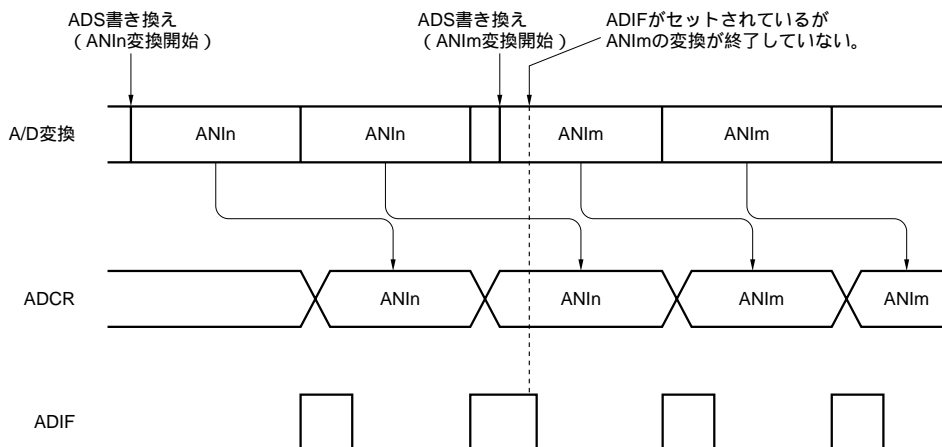
(9) 割り込み要求フラグ (ADIF) について

アナログ入力チャンネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図11-27 A/D変換終了割り込み要求発生タイミング



備考1 . n = 0-15

2 . m = 0-15

(10) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(11) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャンネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(12) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図11 - 28 ANIn端子内部等価回路

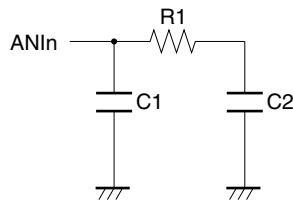


表11 - 6 等価回路の各抵抗と容量値 (参考値)

AV _{REF0}	R1	C1	C2
4.0 V V _{DD} 5.5 V	8.1 k	8 pF	5 pF
2.7 V V _{DD} < 4.0 V	31 k	8 pF	5 pF
2.3 V V _{DD} < 2.7 V	381 k	8 pF	5 pF

備考1. 表11 - 6の各抵抗と容量値は保証値ではありません。

2. n = 0-15

(13) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AV_{REF0}, AV_{REF1} (D/Aコンバータ用基準電圧) の電圧が安定してから開始してください。

第12章 D/Aコンバータ

12.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ信号に変換する8ビット分解能のコンバータで、2チャンネル(ANO0, ANO1)のアナログ出力を制御できる構成になっています。

D/Aコンバータには、次のような機能があります。

8ビット分解能 × 2ch

R-2Rラダー方式

アナログ出力電圧： $AV_{REF1} \times m/256$ (AV_{REF1} ：D/Aコンバータ用基準電圧， m ：DACSnレジスタに設定した値)

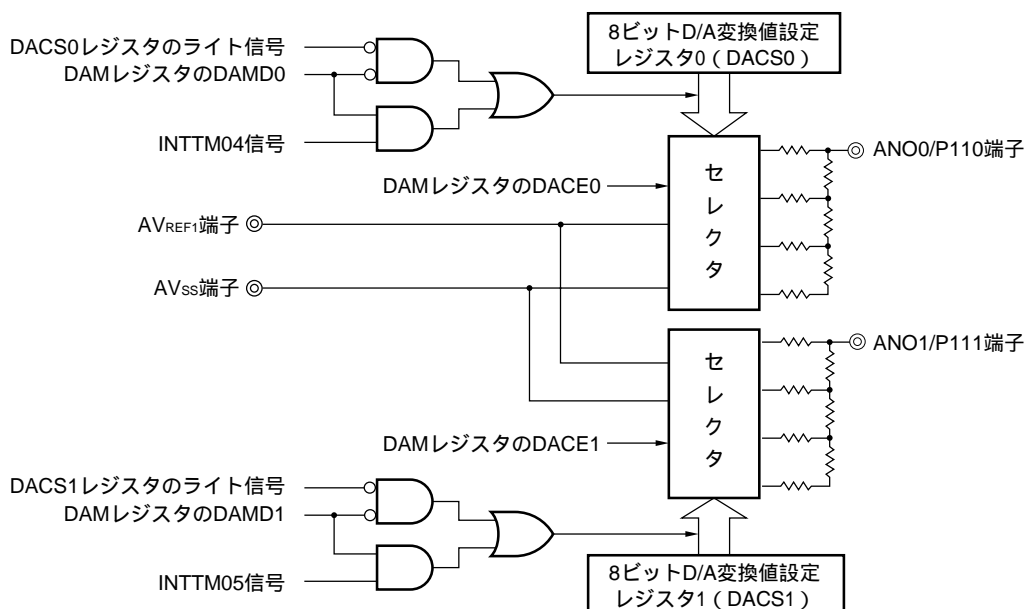
動作モード：通常モード / リアルタイム出力モード

備考 $n = 0, 1$

12.2 D/Aコンバータの構成

次にD/Aコンバータの構成について示します。

図12-1 D/Aコンバータのブロック図



- 備考1. INTTM04, INTTM05は、リアルタイム出力モードに使用するタイマ・トリガ信号(タイマ・チャンネル4,5からの割り込み信号)です。
2. D/Aコンバータのチャンネル0とチャンネル1は、 AV_{REF1} 端子を共用しています。
3. D/Aコンバータのチャンネル0とチャンネル1は、 AV_{SS} 端子を共用しています。また、 AV_{SS} 端子はA/Dコンバータとも共用しています。

D/Aコンバータは、次のハードウェアで構成されています。

表12 - 1 D/Aコンバータの構成

項目	構成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) D/Aコンバータ・モード・レジスタ (DAM) 8ビットD/A変換値設定レジスタ0, 1 (DACS0, DACS1)

(1) AV_{REF1}端子

D/Aコンバータの基準電圧入力、およびP110, P111, D/Aコンバータの正電源供給端子です。

P110/ANO0, P111/ANO1端子をデジタル入出力またはアナログ出力で使用するかによってAV_{REF1}へ供給できる電圧値は次のようになります。

表12 - 2 P110/ANO0, P111/ANO1端子へのAV_{REF1}の印加電圧

アナログ / デジタル	V _{DD} 条件	AV _{REF1} 電圧値
1本でもアナログ出力として使用し、すべての端子をデジタル入出力として使用しない	1.8 V V _{DD} 5.5 V	1.8 V AV _{REF1} V _{DD} = EV _{DD0} = EV _{DD1}
アナログ出力とデジタル入出力で使用する端子が混在 ^注	2.7 V V _{DD} 5.5 V	2.7 V AV _{REF1} V _{DD} = EV _{DD0} = EV _{DD1}
	1.8 V V _{DD} < 2.7 V	AV _{REF1} はEV _{DD0} , EV _{DD1} , V _{DD} と同電位
1本でもデジタル入出力として使用し、すべての端子をアナログ出力として使用しない ^注	2.7 V V _{DD} 5.5 V	2.7 V AV _{REF1} V _{DD} = EV _{DD0} = EV _{DD1}
	1.8 V V _{DD} < 2.7 V	AV _{REF1} はEV _{DD0} , EV _{DD1} , V _{DD} と同電位

注 デジタル・ポートとして使用するポートの入出力電圧は、AV_{REF1}が基準となります。

- ・ハイ / ロウ・レベル入力電圧 (V_{IH5}/V_{IL5})
- ・ハイ / ロウ・レベル出力電圧 (V_{OH2}/V_{OL2})

12.3 D/Aコンバータで使用するレジスタ

D/Aコンバータは、次のレジスタを使用します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・D/Aコンバータ・モード・レジスタ (DAM)
- ・8ビットD/A変換値設定レジスタ0, 1 (DACS0, DACS1)
- ・ポート・モード・レジスタ11 (PM11)
- ・ポート・レジスタ11 (P11)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/Aコンバータを使用するときは、必ずビット6 (DACEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTGEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

DACEN	D/Aコンバータの入カクロックの制御
0	入力クロック供給停止 <ul style="list-style-type: none"> ・D/Aコンバータで使用するSFRへのライト不可 ・D/Aコンバータはリセット状態
1	入力クロック供給 <ul style="list-style-type: none"> ・D/Aコンバータで使用するSFRへのリード/ライト可

注意1. D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ11 (PM11) とポート・レジスタ11 (P11) は除く)。

2. PER0レジスタのビット1には必ず“0”を設定してください。

(2) D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

DAMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 3 D/Aコンバータ・モード・レジスタ (DAM) のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DAM	0	0	DACE1	DACE0	0	0	DAMD1	DAMD0

DACEn	D/A変換動作の制御 (n = 0, 1)
0	変換動作停止
1	変換動作許可

DAMDn	D/Aコンバータの動作モード選択 (n = 0, 1)
0	通常モード
1	リアルタイム出力モード

(3) 8ビットD/A変換値設定レジスタ0, 1 (DACS0, DACS1)

ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

DACS0, DACS1は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 4 8ビットD/A変換値設定レジスタ0, 1 (DACS0, DACS1) のフォーマット

アドレス：FFF1CH, FFF1DH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DACS _n	DACS _n 7	DACS _n 6	DACS _n 5	DACS _n 4	DACS _n 3	DACS _n 2	DACS _n 1	DACS _n 0

備考 n = 0, 1

(4) ポート・モード・レジスタ11 (PM11)

ポート11の入力/出力を1ビット単位で設定するレジスタです。

P110/ANO0, P111/ANO1端子をD/Aコンバータのアナログ出力機能として使用するとき, PM110, PM111にそれぞれ1を設定してください。このときP110, P111の出力ラッチは, 0または1のどちらでもかまいません。

PM11は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図12-5 ポート・モード・レジスタ11 (PM11) のフォ - マット

アドレス : FFF2BH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM11	1	1	1	1	1	1	PM111	PM110

PM11n	P11n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

12.4 D/Aコンバータの動作

12.4.1 通常モード時の動作

DACS_nレジスタへのライト動作を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DAMレジスタのDAMD_nビット = 0 (通常モード) に設定します。

DACS_nレジスタにANOn端子に出力するアナログ電圧値を設定します。

以上、を初期設定として行います。

DAMレジスタのDACE_nビット = 1 (D/A変換動作許可) に設定します。

これによりD/A変換が開始し、ANOn端子にて設定したアナログ電圧を出力します。

ただし、出力レベルが確定するのは、D/A変換開始からセトリング・タイム経過後となります。

以降、D/A変換を行う場合は、DACS_nレジスタへのライト動作を行います。

ライト動作から f_{CLK} の1クロック経過後にD/A変換を開始し、ANOn端子にアナログ電圧を出力します。ただし、出力レベルが確定するのは、D/A変換開始からセトリング・タイム経過後となります。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

また、DAMレジスタのDACE_nビット = 0 (D/A変換動作停止) に設定すると、アナログ電圧の出力を停止し、P110/ANO0, P111/ANO1端子はポート・モードとして使用可能となります。そのときP110/ANO0, P111/ANO1端子は、PM11レジスタのPM11_nビット = 1 (入力モード) であるためハイ・インピーダンスになります。PM11_nビット = 0 (出力モード) に設定することにより、P11レジスタの設定値が出力されます。

注意 同一チャンネルのDACS_nの書き込み間隔は、 f_{CLK} の1クロックより長くあけるようにしてください。連続して書き込むと最後に書き込んだ値のみを変換します。

備考1. $n = 0, 1$

2. f_{CLK} : CPU / 周辺ハードウェア・クロック

12.4.2 リアルタイム出力モード時の動作

タイマ・チャンネル4, タイマ・チャンネル5の割り込み要求信号 (INTTM04, INTTM05) を起動トリガとして, D/A変換を行います。

次に, その設定方法を示します。

DAMレジスタのDAMDnビット = 1 (リアルタイム出力モード) に設定します。

DACSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

DAMレジスタのDACEEnビット = 1 (D/A変換動作許可) に設定します。

以上 ~ を初期設定として行います。

タイマ・チャンネル4, タイマ・チャンネル5を動作させます。

INTTM04, INTTM05信号が発生すると, D/A変換を開始しANOn端子に で設定したアナログ電圧を出力します。

ただし, 出力レベルが確定するのは, D/A変換開始からセトリング・タイム経過後となります。以降, DACSnレジスタに設定した値がINTTM04, INTTM05信号のタイミングで出力されます。

なお, 次のD/A変換を行う (INTTM04, INTTM05信号が発生する) 前までに, DACSnレジスタにANOn端子に出力するアナログ電圧値を設定してください。

また, DAMレジスタのDACEEnビット = 0 (D/A変換動作停止) に設定すると, アナログ電圧の出力を停止し, P110/ANO0, P111/ANO1端子はポート・モードとして使用可能となります。そのときP110/ANO0, P111/ANO1端子は, PM11レジスタのPM11nビット = 1 (入力モード) であるためハイ・インピーダンスになります。PM11nビット = 0 (出力モード) に設定することにより, P11レジスタの設定値が出力されます。

のDACEEnビットのセットにてD/A変換を開始し, ANOn端子にアナログ電圧を出力しますが, までのANOn端子の出力値は不定です。ただし, の設定前に次の設定を行うことにより, のときに任意の値を出力することができます。

- ・ DAMレジスタのDAMDnビット = 0 (通常モード) に設定します。
- ・ のときにANOn端子から出力したい電圧値を, DACSnレジスタに設定します。
- ・ その後, ~ の手順を行います。
これにより, のときに で設定した値を出力させることができます。ただし, 出力レベルが確定するのは, D/A変換開始からセトリング・タイム経過後となります。

注意1. 同一チャンネルへの起動トリガの発生間隔は, f_{CLK} の1クロックより長くあけるようにしてください。

f_{CLK} ごとに連続して起動トリガを発生させると, 最初のトリガでのみD/A変換をします。

2. の時に任意の値を出力するための手順 (手順 ~) では, 次の点に注意してください。
 - ・ でDACSnレジスタに設定後, でD/A変換動作を許可とするまでの間にリアルタイム出力モードの起動トリガを発生させないでください。
 - ・ でDACSnレジスタに設定後, 一度PER0レジスタのDACENビットをクリアした場合は, で任意の値を出力できません。

備考1. HALT, STOPモード時のANO0, ANO1端子の出力値については, 第19章 **スタンバイ機能**を参照してください。

2. $n = 0, 1$
3. f_{CLK} : CPU / 周辺ハードウェア・クロック

12.4.3 使用上の注意点

D/Aコンバータを使用する際の注意事項を次に示します。

- (1) D/A変換中は、ANO0, ANO1端子と兼用するデジタル・ポートの入出力機能は動作しません。
D/A変換中に入力モードのP11レジスタをリードしても、“0”が読み出されます。
- (2) D/A変換中は、P11レジスタへのリード/ライト動作および、PM11レジスタの設定変更は行わないでください（変換精度が悪化する恐れがあります）。
- (3) ANO0, ANO1端子の設定は、2チャンネルともにアナログ出力、またはデジタル入出力として使用し、必ず2チャンネルを同じ用途で使用することを推奨します（変換精度が悪化する恐れがあります）。
- (4) リアルタイム出力モード時は、タイマ・トリガ発生前までにDACSnレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACSnレジスタの設定値を変更しないでください。
- (5) 動作モードの切り替えは、必ずDAMレジスタのDACE_nビット = 0（D/A変換動作停止）にしたあとに行ってください。
- (6) ANO0またはANO1端子と兼用しているポートを使用する場合、レベル変化の少ないポート入力として使用してください。
- (7) AV_{REF1}またはAV_{REF0}（A/Dコンバータ用基準電圧）の電源投入および電源切断時は、D/Aコンバータの変換動作を停止してください。
- (8) D/Aコンバータは、STOPモード時に動作が停止するため、ANO0, ANO1端子は、ハイ・インピーダンスになり消費電力を低減できます。
ただし、STOPモード以外のスタンバイ・モードでは端子は保持されるため、消費電力を低減する場合にはDAMレジスタのDACE_nビット = 0（D/A変換動作停止）にしてください。
- (9) D/Aコンバータの出力インピーダンスが高いため、ANOn端子（n = 0, 1）から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には、負荷とANOn端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください（出力インピーダンスが高いため）。配線が長くなるような場合は、グランド・パターンで囲むなどの処置をしてください。

第13章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに4つのシリアル・チャンネルを持ち、各種シリアル・インタフェース（3線シリアル（CSI）、UART、簡易I²C）をいくつか組み合わせて使用できます。

78K0R/KG3で対応している、各チャンネルの機能割り当ては次のようになっています（ユニット1のチャンネル2,3はUART3（LIN-bus対応）専用です）。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	CSI01		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3（LIN-bus対応）	-
	3	-		-

（組み合わせ例） ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、CSI10またはUART1またはIIC10は使用することができます。

13.1 シリアル・アレイ・ユニットの機能

78K0R/KG3で対応している各シリアル・インタフェースの特徴を示します。

13.1.1 3線シリアルI/O（CSI00, CSI01, CSI10, CSI20）

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

13.1.2 UART (UART0, UART1, UART2, UART3)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART3 (ユニット1の2, 3チャンネル) では, LIN-busに対応しています。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ シンク・ブレイク・フィールド (SBF) 検出
- ・ シンク・フィールド測定, ボー・レート算出

} 外部割り込み (INTP0),
タイマ・アレイ・ユニット (TAU) を活用

13.1.3 簡易I²C (IIC10, IIC20)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能もありません。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^注, ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ・スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信, スレーブ受信
- ・アービトレーション負け検出機能
- ・ウエイト検出機能

注 最終データの受信時は、SOEmn (SOEmレジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、13. 7. 3 (2) **処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は、**第14章 シリアル・インタフェースIIC0** を参照してください。

2. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2)

13.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表13-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビット
バッファ・レジスタ	シリアル・データ・レジスタmn (SDRmn) の下位8ビット ^注
シリアル・クロック 入出力	SCK00, SCK01, SCK10, SCK20端子 (3線シリアルI/O用), SCL10, SCL20端子 (簡易I ² C用)
シリアル・データ 入力	SI00, SI01, SI10, SI20端子 (3線シリアルI/O用), RxD0, RxD1, RxD2端子 (UART用), RxD3端子 (LIN-bus対応UART用)
シリアル・データ 出力	SO00, SO01, SO10, SO20端子 (3線シリアルI/O用), TxD0, TxD1, TxD2端子 (UART用), TxD3端子 (LIN-bus対応UART用), 出力制御回路
シリアル・データ 入出力	SDA10, SDA20端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタm (SPSm) ・シリアル・チャンネル許可レジスタm (SEm) ・シリアル・チャンネル開始レジスタm (SSm) ・シリアル・チャンネル停止レジスタm (STm) ・シリアル出力許可レジスタm (SOEm) ・シリアル出力レジスタm (SOm) ・シリアル出力レベル・レジスタm (SOLm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタmn (SDRmn) ・シリアル・モード・レジスタmn (SMRmn) ・シリアル通信動作設定レジスタmn (SCRmn) ・シリアル・ステータス・レジスタmn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) ・ポート入力モード・レジスタ0, 4, 14 (PIM0, PIM4, PIM14) ・ポート出力モード・レジスタ0, 4, 14 (POM0, POM4, POM14) ・ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14) ・ポート・レジスタ0, 1, 4, 14 (P0, P1, P4, P14)

注 シリアル・データ・レジスタmn (SDRmn) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・IICr通信時・・・SIOr (IICrデータ・レジスタ)

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3)

p: CSI番号 (p = 00, 01, 10, 20) q: UART番号 (q = 0-3) r: IIC番号 (r = 10, 20)

図13 - 1にシリアル・アレイ・ユニット0のブロック図を示します。

第13章 SAU

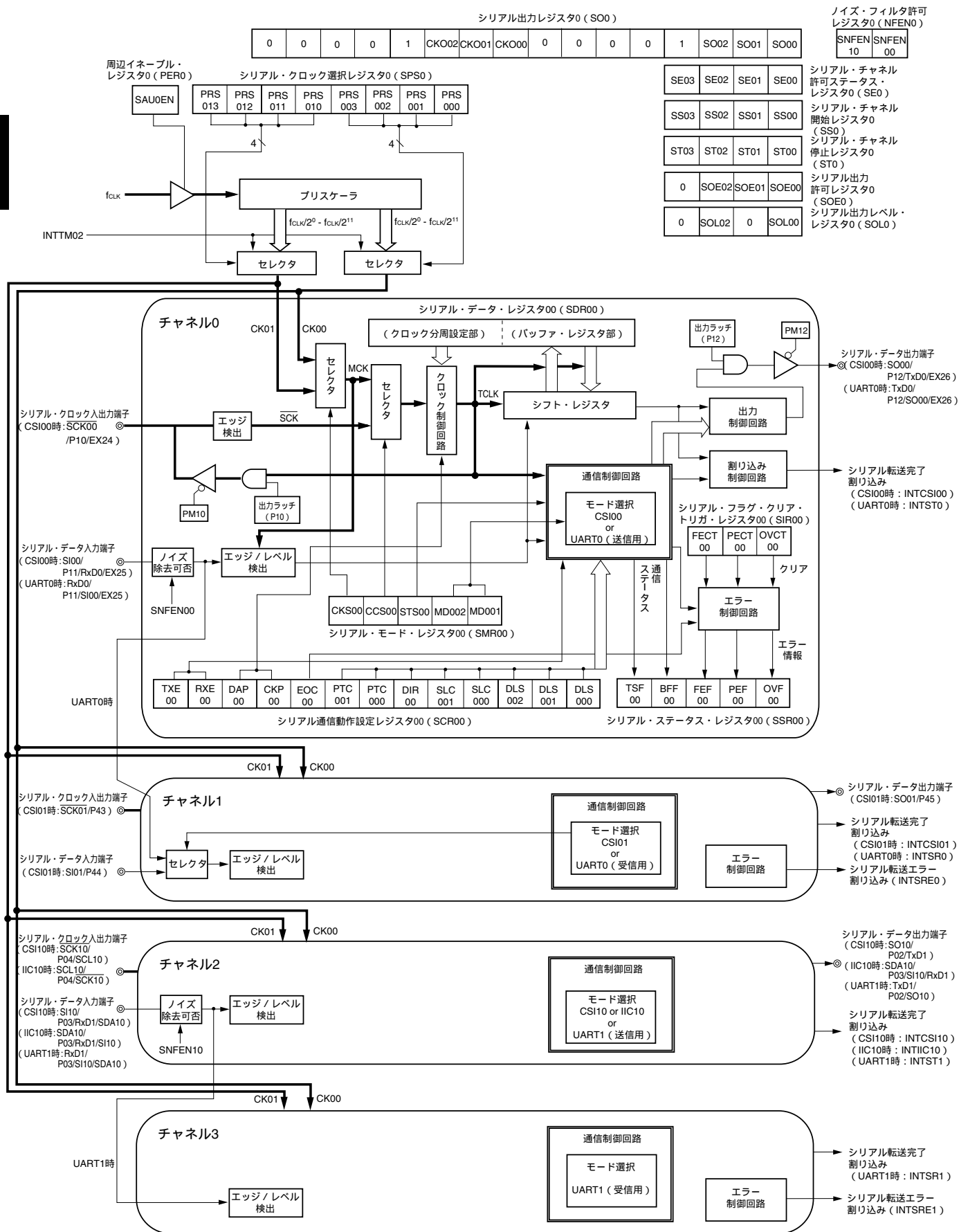
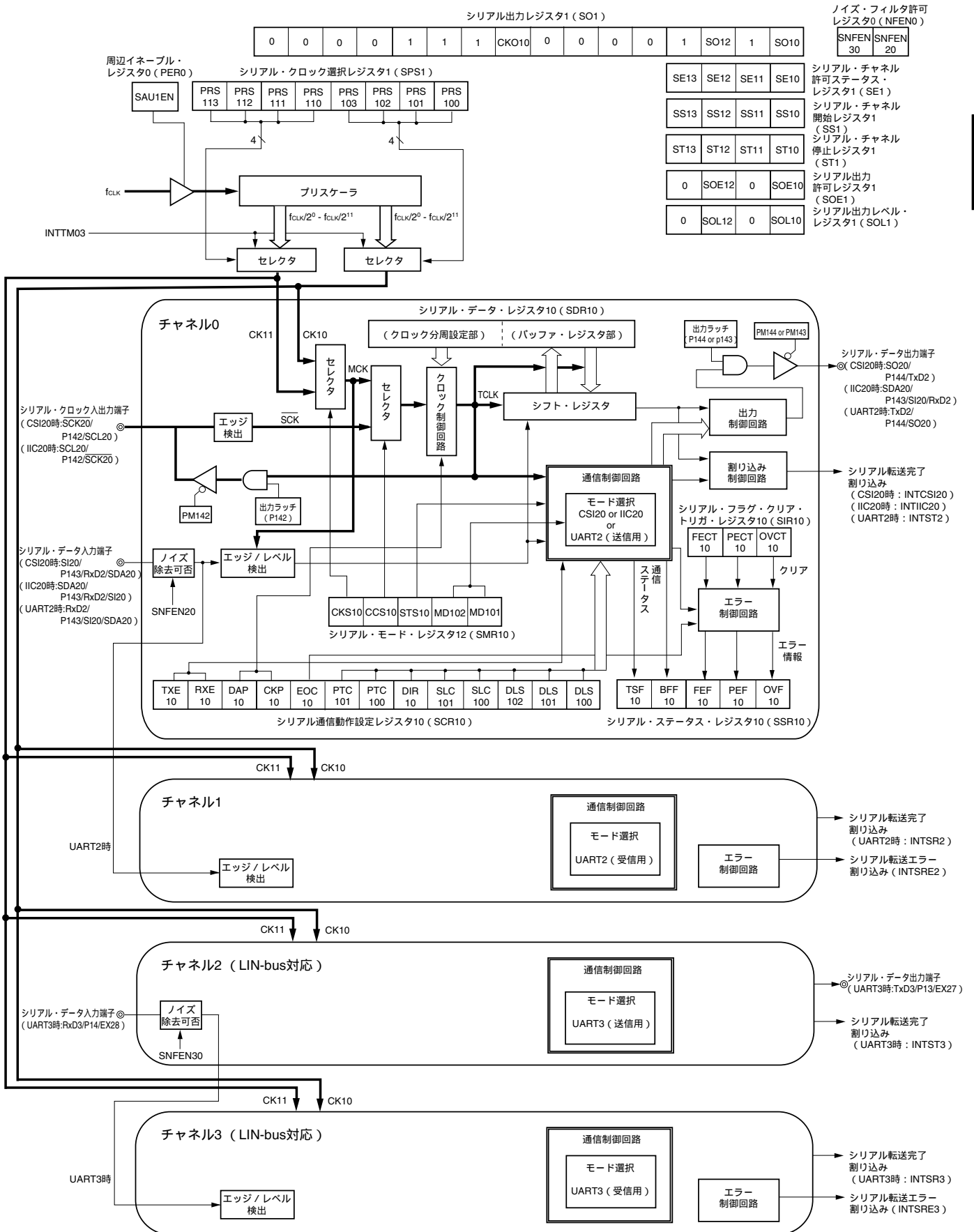


図13 - 2にシリアル・アレイ・ユニット1のブロック図を示します。

図13 - 2 シリアル・アレイ・ユニット1のブロック図



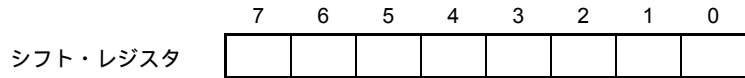
(1) シフト・レジスタ

パラレル シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタmn (SDRmn) の下位8ビットを使用します。



(2) シリアル・データ・レジスタmn (SDRmn) の下位8ビット

SDRmnは、チャンネルnの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (MCK) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8ビットに設定します。

下位8ビットに格納するデータは、データ出力順序に関わらず、SCRmnレジスタのビット0-2 (DLSmn0-DLSmn2) の設定によって、次のようになります。

- ・ 5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ設定可)
- ・ 7ビット・データ長 (SDRmnレジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDRmnレジスタのビット0-7に格納)

SDRmnは16ビット単位でリード/ライト可能です。

またSDRmnの下位8ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能^注です。

- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・ IICr通信時・・・SIOr (IICrデータ・レジスタ)

注 ただし動作停止 (SEmn = 0) 時は、8ビット単位のライト禁止

リセット信号の発生により、SDRmnは0000Hになります。

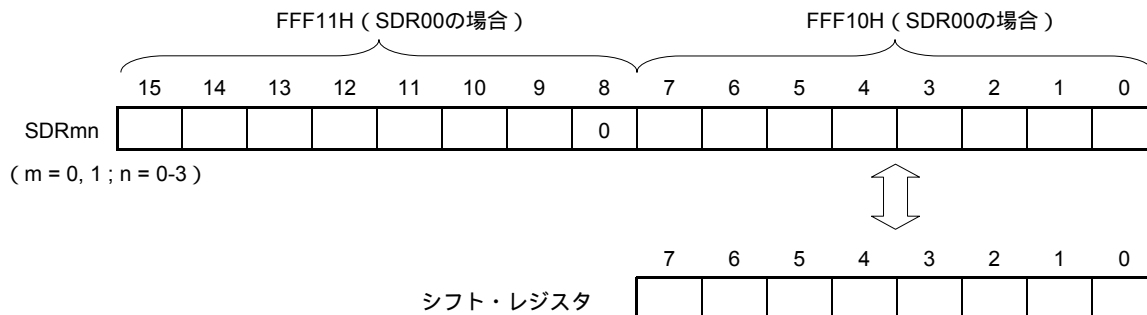
備考1. 受信完了後、ビット0-7内でデータ長を越える部分のビットには、“0”が格納されます。

2. m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0-3)

p: CSI番号 (p = 00, 01, 10, 20) q: UART番号 (q = 0-3) r: IIC番号 (r = 10, 20)

図13 - 3 シリアル・データ・レジスタ_{mn} (SDR_{mn}) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03) ,
 FFF48H, FFF49H (SDR10) , FFF4AH, FFF4BH (SDR11) ,
 FFF14H, FFF15H (SDR12) , FFF16H, FFF17H (SDR13)



注意 ビット8は、必ず0を設定してください。

備考1. SDR_{mn}の上位7ビットの機能については、13. 3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

13.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタ m (SPSm)
- ・シリアル・モード・レジスタ mn (SMRmn)
- ・シリアル通信動作設定レジスタ mn (SCRmn)
- ・シリアル・データ・レジスタ mn (SDRmn)
- ・シリアル・ステータス・レジスタ mn (SSRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- ・シリアル・チャンネル許可ステータス・レジスタ m (SEm)
- ・シリアル・チャンネル開始レジスタ m (SSm)
- ・シリアル・チャンネル停止レジスタ m (STm)
- ・シリアル出力許可レジスタ m (SOEm)
- ・シリアル出力レベル・レジスタ m (SOLm)
- ・シリアル出力レジスタ m (SOM)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 4, 14 (PIM0, PIM4, PIM14)
- ・ポート出力モード・レジスタ0, 4, 14 (POM0, POM4, POM14)
- ・ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14)
- ・ポート・レジスタ0, 1, 4, 14 (P0, P1, P4, P14)

備考 m : ユニット番号 ($m = 0, 1$)

n : チャンネル番号 ($n = 0-3$)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN) に1を設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13-4 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入カクロックの制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットmで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットmはリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニットmで使用するSFRへのリード/ライト可

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります(入力切り替え制御レジスタ(ISC)、ノイズ・フィルタ許可レジスタ(NFEN0)、ポート入力モード・レジスタ(PIM0, PIM4, PIM14)、ポート出力モード・レジスタ(POM0, POM4, POM14)、ポート・モード・レジスタ(PM0, PM1, PM4, PM14)、ポート・レジスタ(P0, P1, P4, P14)は除く)。

- PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。
- PER0レジスタのビット1には必ず“0”を設定してください。

備考 m：ユニット番号 (m = 0, 1)

(2) シリアル・クロック選択レジスタm (SPSm)

SPSmは、各チャネルに共通して供給される2種類の動作クロック(CKm0, CKm1)を選択する16ビット・レジスタです。SPSmのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SPSmは16ビット・メモリ操作命令で設定します。

またSPSmの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmは0000Hになります。

図13 - 5 シリアル・クロック選択レジスタm (SPSm) のフォーマット

アドレス : F0126H, F0127H (SPS0) , F0166H, F0167H (SPS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mp3	PRS mp2	PRS mp1	PRS mp0		動作クロック (CKmp) の選択 ^{注1}			
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz
1	1	1	1	m = 0の場合INTTM02, m = 1の場合INTTM03 ^{注2}				
上記以外				設定禁止				

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02, INTTM03を選択する場合は、タイマ・アレイ・ユニット (TAU) も停止 (TT0 = 00FFH) させてください。

2. TAUのチャンネル2, チャンネル3において、f_{SUB}/4をカウント・クロックに選択したインターバルタイマ動作をし (TIS0レジスタのTIS02 (m = 0の場合), TIS03 (m = 1の場合) に “1” を設定), SPSmレジスタでINTTM02, INTTM03を選択することにより、f_{CLK}の周波数 (メイン・システム・クロック, サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU, TAUを停止させる必要があります。

注意1. ビット15-8には、必ず0を設定してください。

2. PER0レジスタを “1” に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

2. m : ユニット番号 (m = 0, 1), p = 0, 1

(3) シリアル・モード・レジスタ_{mn} (SMR_{mn})

SMR_{mn}は、チャンネル_nの動作モード設定レジスタです。動作クロック (MCK) の選択, シリアル・クロック (\overline{SCK}) 入力の使用可否, スタート・トリガ設定, 動作モード (CSI, UART, I²C) 設定, 割り込み要因の選択を行います。またUARTモード時のみ, 受信データのレベル反転の設定を行います。

SMR_{mn}は、動作中 (SE_{mn} = 1のとき) の書き換えは禁止です。ただしMD_{mn0}ビットは、動作中でも書き換えをすることができます。

SMR_{mn}は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020Hになります。

図13-6 シリアル・モード・レジスタ_{mn} (SMR_{mn}) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11),
 F0154H, F0155H (SMR12), F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネル _n の動作クロック (MCK) の選択
0	SPSmレジスタで設定した動作クロックCK _{m0}
1	SPSmレジスタで設定した動作クロックCK _{m1}
動作クロックMCKは、エッジ検出回路に使用されます。また、CCS _{mn} ビットとSDR _{mn} レジスタの上位7ビットの設定により、転送クロック (TCLK) を生成します。	

CCS mn	チャンネル _n の転送クロック (TCLK) の選択
0	CKS _{mn} ビットで指定した動作クロックMCKの分周クロック
1	\overline{SCK} 端子からの入力クロック (CSIモードのスレーブ転送)
転送クロックTCLKは、シフト・レジスタ, 通信制御回路, 出力制御回路, 割り込み制御回路, エラー制御回路に使用されます。CCS _{mn} = 0の場合は、SDR _{mn} レジスタの上位7ビットでMCKの分周設定を行います。	

STS mn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I ² C時に選択)
1	RxD端子の有効エッジ (UART受信時に選択)
SSmレジスタに1を設定後, 上記の要因が満たされてから転送開始となります。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

図13 - 6 シリアル・モード・レジスタmn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
 F0150H, F0151H (SMR10), F0152H, F0153H (SMR11),
 F0154H, F0155H (SMR12), F0156H, F0157H (SMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn	0	SIS mn0	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタートビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタートビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD mn2	MD mn1	チャンネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD mn0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

(4) シリアル通信動作設定レジスタmn (SCRmn)

チャンネルnの通信動作設定レジスタです。データ送受信モード, データとクロックの位相, エラー信号のマスク可否, パリティ・ビット, 先頭ビット, ストップ・ビット, データ長, などの設定を行います。

SCRmnは, 動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnは, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, 0087Hになります。

図13-7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
 F0158H, F0159H (SCR10), F015AH, F015BH (SCR11),
 F015CH, F015DH (SCR12), F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信を開始しない
0	1	受信のみ
1	0	送信のみ
1	1	送受信を行う

DAP mn	CKP mn	CSIモードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード, 簡易I²Cモード時には, 必ずDAPmn, CKPmn = 0, 0に設定してください。

EOC mn	エラー割り込み信号 (INTSREx (x = 0-3)) のマスク可否の選択
0	エラー割り込みINTSRExをマスクする (INTSRxはマスクされない)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxはマスクされる)

CSIモード, 簡易I²Cモード, UART送信時には, EOCmn = 0に設定してください^注。
 UART受信時には, EOCmn = 1に設定してください。

注 CSI01をEOC01 = 0で使用しない場合, エラー割り込みINTSRE0が発生する場合があります。

注意 ビット3, 6, 11には, 必ず0を設定してください。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 20)

図13 - 7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) , リセット時 : 0087H R/W
 F0158H, F0159H (SCR10) , F015AH, F015BH (SCR11) ,
 F015CH, F015DH (SCR12) , F015EH, F015FH (SCR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLC mn1	SLC mn0	0	DLS mn2	DLS mn1	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^注	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード、簡易²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易²Cモード時には、必ずDIRmn = 0に設定してください。

SLC mn1	SLC mn0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット	
1	1	設定禁止	

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
 UART受信時、簡易²Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1) に設定してください。
 CSIモード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0) に設定してください。

DLS mn2	DLS mn1	DLS mn0	CSI, UARTモードでのデータ長の設定	
1	0	0	5ビット・データ長 (SDRmnレジスタのビット0-4に格納) (UARTモード時のみ選択可)	
1	1	0	7ビット・データ長 (SDRmnレジスタのビット0-6に格納)	
1	1	1	8ビット・データ長 (SDRmnレジスタのビット0-7に格納)	
その他			設定禁止	

簡易²Cモード時には、必ずDLSmn0 = 1に設定してください。

注 データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

(5) シリアル・データ・レジスタ_{mn} (SDR_{mn}) の上位7ビット

SDR_{mn}は、チャンネル_nの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (MCK) の分周設定レジスタとして使われます。

シリアル・モード・レジスタ_{mn} (SMR_{mn}) でCCS_{mn}ビットを0に設定した場合は、動作クロックをこのSDR_{mn}の上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

SDR_{mn}の下部8ビットの機能については、13.2 シリアル・アレイ・ユニットの構成を参照してください。

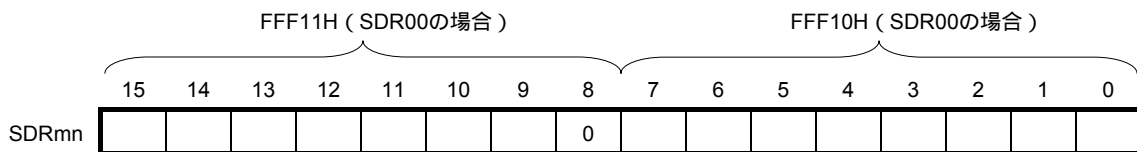
SDR_{mn}は16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態 (SE_{mn} = 0) のときのみ有効です。動作中 (SE_{mn} = 1) にSDR_{mn}に書き込みを行ったときは、下部8ビットのみ値が書き込まれます。動作中にSDR_{mn}の読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、0000Hになります。

図13-8 シリアル・データ・レジスタ_{mn} (SDR_{mn}) のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時 : 0000H R/W
 FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),
 FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11),
 FFF14H, FFF15H (SDR12), FFF16H, FFF17H (SDR13)



SDR _{mn} [15:9]							動作クロック (MCK) の分周による転送クロック設定
0	0	0	0	0	0	0	MCK/2
0	0	0	0	0	0	1	MCK/4
0	0	0	0	0	1	0	MCK/6
0	0	0	0	0	1	1	MCK/8
.
.
.
1	1	1	1	1	1	0	MCK/254
1	1	1	1	1	1	1	MCK/256

注意1. ビット8は、必ず0を設定してください。

2. UART使用時は、SDR_{mn}[15:9] = (0000000B, 0000001B) は設定禁止です。

3. 簡易I²C使用時は、SDR_{mn}[15:9] = 0000000Bは設定禁止です。SDR_{mn}[15:9] = 0000001B以上に設定してください。

4. 動作停止状態 (SE_{mn} = 0) のときに、下部8ビットへ8ビット書き込みは行わないでください(上位7ビットが0にクリアされます)。

備考1. SDR_{mn}の下部8ビットの機能については、13.2 シリアル・アレイ・ユニットの構成を参照してください。

2. m : ユニット番号 (m = 0, 1)

n : チャンネル番号 (n = 0-3)

(6) シリアル・ステータス・レジスタmn (SSRmn)

SSRmnは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnは、16ビット・メモリ操作命令で読み出します。

またSSRmnの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnは0000Hになります。

図13-9 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (1/2)

アドレス：F0100H, F0101H (SSR00) - F0106, F0107H (SSR03), リセット時：0000H R

F0140H, F0141H (SSR10), F0142, F0143H (SSR11),

F0144H, F0145H (SSR12), F0146, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作を行っていない
1	通信動作を行っている
更新型フラグなので、通信動作が終わると自動的にクリアされます。また、STmn/SSmnビットに1を設定した場合もクリアされます。	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
更新型フラグです。送信時には、SDRmnレジスタからシフト・レジスタに転送が終わると自動的にクリアされます。受信時には、SDRmnレジスタから読み出しが終わると自動的にクリアされます。また、STmn/SSmnビットに1を設定した場合もクリアされます。	
SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信、送受信モード時) のときにSDRmnレジスタに送信データを書き込むと自動的にセットされます。SCRmnレジスタのRXEmn = 1 (各通信モードでの受信、送受信モード時) のときにSDRmnレジスタに受信データが格納されると自動的にセットされます。また受信エラーの場合もセットされます。	
BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データは破壊され、オーバラン・エラー (OVFmn = 1) と検出されます。	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

図13 - 9 シリアル・ステータス・レジスタmn (SSRmn) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R
 F0140H, F0141H (SSR10), F0142, F0143H (SSR11),
 F0144H, F0145H (SSR12), F0146H, F0147H (SSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn	PEF mn	OVF mn

FEF mn	チャンネルnのフレーミング・エラー検出フラグ	
0	エラーが発生していない	
1	UART受信時に、フレーミング・エラーが発生している <フレーミング・エラー要因> UART受信完了時に、ストップ・ビットが検出されないときにフレーミング・エラーとなります。	
累積型フラグなので、SIRmnレジスタのFECTmnビットに1を書き込むまでクリアされません。		

PEF mn	チャンネルnのパリティ・エラー検出フラグ	
0	エラーが発生していない	
1	UART受信時に、パリティ・エラーが発生している、または ² C送信時に、ACK未検出が発生している <パリティ・エラー要因> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないときにパリティ・エラーとなります。 ・ ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったときにACK未検出となります。	
累積型フラグなので、SIRmnレジスタのPECTmnビットに1を書き込むまでクリアされません。		

OVF mn	チャンネルnのオーバラン・エラー検出フラグ	
0	エラーが発生していない	
1	オーバラン・エラーが発生している <オーバラン・エラー要因> ・受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをした ・CSIモードのスレーブ送信/送受信で、送信データが準備できていない	
累積型フラグなので、SIRmnレジスタのOVCTmnビットに1を書き込むまでクリアされません。		

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

(7) シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECTmn, PECTmn, OVCTmn) を1にセットすると, シリアル・ステータス・レジスタmn (SSRmn) の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmnはトリガ・レジスタなので, SSRmnの対応ビットをクリアするとすぐSIRmnもクリアされます。

SIRmnは, 16ビット・メモリ操作命令で設定します。

またSIRmnの下位8ビットは, SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により, SIRmnは0000Hになります。

図13 - 10 シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn) のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W
 F0148H, F0149H (SIR10), F014AH, F014BH (SIR11),
 F014CH, F014DH (SIR12), F014EH, F014FH (SIR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC Tmn	PEC Tmn	OVC Tmn

FEC Tmn	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSRmnレジスタのFEFmnビットを0にクリアする

PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVC Tmn	チャンネルnのオーバラン・エラー・フラグのクリア・トリガ
0	トリガ動作せず
1	SSRmnレジスタのOVFmnビットを0にクリアする

注意 ビット15-3には, 必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

2. SIRmnレジスタの読み出し値は常に0000Hとなります。

(8) シリアル・チャンネル許可ステータス・レジスタ_m (SE_m)

SE_mは、各チャンネルのシリアル送受信動作許可 / 停止状態を表示するレジスタです。

シリアル・チャンネル開始レジスタ_m (SS_m) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ_m (ST_m) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネル_nは、後述のシリアル出力レジスタ_m (SO_m) のCKO_mの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されません。

動作を停止したチャンネル_nは、SO_mレジスタのCKO_mの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション / ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SE_mは、16ビット・メモリ操作命令で読み出します。

またSE_mの下位8ビットは、SE_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SE_mは0000Hになります。

図13 - 11 シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) のフォーマット

アドレス : F0120H, F0121H (SE0), F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE _m	0	0	0	0	0	0	0	0	0	0	0	0	SE _m 3	SE _m 2	SE _m 1	SE _m 0

SE _m n	チャンネル _n の動作許可 / 停止状態の表示
0	動作停止状態 (制御レジスタ, シフト・レジスタの値, およびシリアル・クロック入出力端子, シリアル・データ出力端子, FEF, PEF, OVFの各エラー・フラグの状態を保持したまま停止 ^注)
1	動作許可状態

注 ただしSSR_mnレジスタのビット6, 5 (TSF_mn, BFF_mn) はクリアされます。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

(9) シリアル・チャンネル開始レジスタ_m (SS_m)

SS_mは、通信 / カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SS_{mn}) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_{mn}) が1にセットされます。SS_{mn}はトリガ・ビットなので、SE_{mn} = 1になるとすぐSS_{mn}はクリアされます。

SS_mは、16ビット・メモリ操作命令で設定します。

またSS_mの下位8ビットは、SS_{mL}で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SS_mは0000Hになります。

図13 - 12 シリアル・チャンネル開始レジスタ_m (SS_m) のフォーマット

アドレス : F0122H, F0123H (SS0), F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS _m	0	0	0	0	0	0	0	0	0	0	0	0	SS _m	SS _m	SS _m	SS _m
													3	2	1	0

SS _m	チャンネル _n の動作開始トリガ														
_n															
0	トリガ動作せず														
1	SE _{mn} に1をセットし、通信待機状態に遷移する (すでに通信動作中の場合は、通信動作を停止し、起動条件待ちの状態となる)														

注意 ビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

2. SS_mレジスタの読み出し値は常に0000Hとなります。

(10) シリアル・チャンネル停止レジスタ_m (ST_m)

ST_mは、通信 / カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (ST_m_n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ_m (SE_m) の対応ビット (SE_m_n) が0にクリアされます。ST_m_nはトリガ・ビットなので、SE_m_n = 0になるとすぐST_m_nはクリアされます。

ST_mは、16ビット・メモリ操作命令で設定します。

またST_mの下位8ビットは、ST_mLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST_mは0000Hになります。

図13 - 13 シリアル・チャンネル停止レジスタ_m (ST_m) のフォーマット

アドレス : F0124H, F0125H (ST₀) , F0164H, F0165H (ST₁) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST _m	0	0	0	0	0	0	0	0	0	0	0	0	ST _m 3	ST _m 2	ST _m 1	ST _m 0

ST _m n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SE _m _n を0にクリアし、通信動作を停止する (制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、FEF、PEF、OVFの各エラー・フラグの状態を保持したまま停止 ^注)

注 ただしSSR_m_nレジスタのビット6, 5 (TSF_m_n, BFF_m_n) はクリアされます。

注意 ビット15-4には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

2. ST_mレジスタの読み出し値は常に0000Hとなります。

(11) シリアル出力許可レジスタ_m (SOEm)

SOEmは、各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタです。

シリアル出力を許可したチャンネル_nは、後述のシリアル出力レジスタ_m (SOm) のSOmnの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル_nは、SOmレジスタのSOmnの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション/ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEmは、16ビット・メモリ操作命令で設定します。

またSOEmの下位8ビットは、SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEmは0000Hになります。

図13 - 14 シリアル出力許可レジスタ_m (SOEm) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 02	SOE 01	SOE 00

アドレス : F016AH, F016BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 12	0	SOE 10

SOE mn	チャンネル _n のシリアル出力許可/停止														
0	シリアル通信動作による出力停止														
1	シリアル通信動作による出力許可														

注意 SOE0のビット15-3, SOE1のビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00-02, 10, 12

(12) シリアル出力レジスタ_m (SO_m)

SO_mは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのビット_nの値が、チャンネル_nのシリアル・データ出力端子から出力されます。

このレジスタのビット_(n+8)の値が、チャンネル_nのシリアル・クロック出力端子から出力されます。

このレジスタのSO_{mn}のソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKO_{mn}のソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、P02/SO10/TxD1, P03/SI10/SDA10/RxD1, P04/SCK10/SCL10, P10/SCK00/EX24, P12/SO00/TxD0/EX26, P13/TxD3/EX27, P43/SCK01, P45/SO01, P142/SCK20/SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2 端子をポート機能として使用する場合は、該当するCKO_{mn}, SO_{mn}ビットに“1”を設定してください。

SO_mは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0F0FHになります。

図13 - 15 シリアル出力レジスタ_m (SO_m) のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	CKO 01	CKO 00	0	0	0	0	1	SO 02	SO 01	SO 00

アドレス : F0168H, F0169H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	1	1	1	CKO 10	0	0	0	0	1	SO 12	1	SO 10

CKO mn	チャンネル _n のシリアル・クロック出力														
0	シリアル・クロック出力値が“0”														
1	シリアル・クロック出力値が“1”														

SO mn	チャンネル _n のシリアル・データ出力														
0	シリアル・データ出力値が“0”														
1	シリアル・データ出力値が“1”														

注意 SO0のビット11, 3, SO1のビット11-9, 3, 1には、必ず1を設定してください。また、SO_mのビット15-12, 7-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) mn = 00-02, 10, 12

(13) シリアル出力レベル・レジスタm (SOLm)

SOLmは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I²Cモード時は、必ず0000Hを設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可 (SOEmn = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOEmn = 0) 時はSOmnビットの値がそのまま出力されます。

SOLmは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SOLmは、16ビット・メモリ操作命令で設定します。

またSOLmの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmは0000Hになります。

図13 - 16 シリアル出力レベル・レジスタm (SOLm) のフォーマット

アドレス : F0134H, F0135H (SOL0), F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL m2	0	SOL m0

SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 ビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2)

(14) 入力切り替え制御レジスタ (ISC)

ISCは、UART3でLIN-bus通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力 (RxD3) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって、ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると、シリアル・データ入力 (RxD3) 端子の入力信号がタイマ入力として選択されます。これによって、シンク・ブレイク・フィールドとシンク・フィールドのパルス幅をタイマで測定できます。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13 - 17 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	0	0	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャンネル7の入力切り替え
0	Ti07端子の入力信号をタイマ入力とする (通常動作)
1	RxD3端子の入力信号をタイマ入力とする (シンク・ブレイク・フィールドとシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD3端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

注意 ビット7-2には、必ず0を設定してください。

(15) ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0は、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSI, 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズフィルタ有効時は、CPU/周辺動作クロック(f_{CLK})で2クロックの一致検出と同期化を行います。

NFEN0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図13 - 18 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス：F0060H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3/P14端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD3端子として使用するときは、SNFEN30 = 1に設定してください。	
P14端子として使用するときは、SNFEN30 = 0に設定してください。	

SNFEN20	RxD2/SDA20/SI20/P143端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
SDA20, SI20, P143端子として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1/SDA10/SI10/P03端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
SDA10, SI10, P03端子として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0/SI00/P11端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
SI00, P11端子として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7, 5, 3, 1には、必ず0を設定してください。

(16) ポート入力モード・レジスタ0, 4, 14 (PIM0, PIM4, PIM14)

ポート0, 4, 14の入力バッファを1ビット単位で設定するレジスタです。

PIM0, PIM4, PIM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図13 - 19 ポート入力モード・レジスタ0, 4, 14 (PIM0, PIM4, PIM14) のフォーマット

アドレス : F0040H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM0	0	0	0	PIM04	PIM03	0	0	0
アドレス : F0044H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM4	0	0	0	PIM44	PIM43	0	0	0
アドレス : F004EH	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
PIM14	0	0	0	0	PIM143	PIM142	0	0

PIMmn	Pmn端子の入力バッファの選択 (m = 0, 4, 14 ; n = 2-4)
0	通常入力バッファ
1	TTL入力バッファ

(17) ポート出力モード・レジスタ0, 4, 14 (POM0, POM4, POM14)

ポート0, 4, 14の出力モードを1ビット単位で設定するレジスタです。

POM0, POM4, POM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図13 - 20 ポート出力モード・レジスタ0, 4, 14 (POM0, POM4, POM14) のフォーマット

アドレス : F0050H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM0	0	0	0	POM04	POM03	POM02	0	0
アドレス : F0054H	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM4	0	0	POM45	0	POM43	0	0	0
アドレス : FFF5EH	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
POM14	0	0	0	POM144	POM143	POM142	0	0

POMmn	Pmn端子の出力モードの選択 (m = 0, 4, 14 ; n = 2-5)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

(18) ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14)

ポート0, 1, 4, 14の入力/出力を1ビット単位で設定するレジスタです。

P02/SO10/TxD1, P03/SI10/RxD1/SDA10, P04/SCK10/SCL10, P10/SCK00/EX24, P12/SO00/TxD0/EX26, P13/TxD3/EX27, P43/SCK01, P45/SO01, P142/SCK20/SCL20, P143/SI20/RxD2/SDA20, P144/SO20/TxD2端子をシリアル・データ出力またはシリアル・クロック出力として使用するとき, PM02, PM03, PM04, PM10, PM12, PM13, PM43, PM45, PM142, PM143, PM144ビットに0を, P02, P03, P04, P10, P12, P13, P43, P45, P142, P143, P144の出力ラッチに1を設定してください。

P03/SI10/RxD1/SDA10, P04/SCK10/SCL10, P10/SCK00/EX24, P11/SI00/RxD0/EX25, P14/RxD3/EX28, P43/SCK01, P44/SI01, P142/SCK20/SCL20, P143/SI20/RxD2/SDA20端子をシリアル・データ入力またはシリアル・クロック入力として使用するとき, PM03, PM04, PM10, PM11, PM14, PM43, PM44, PM142, PM143ビットに1を設定してください。このときP03, P04, P10, P11, P14, P43, P44, P142, P143の出力ラッチは, 0または1のどちらでもかまいません。

PM0, PM1, PM4, PM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, FFHになります。

図13 - 21 ポート・モード・レジスタ0, 1, 4, 14 (PM0, PM1, PM4, PM14) のフォーマット

アドレス : FFF20H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス : FFF21H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10

アドレス : FFF24H	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40

アドレス : FFF2EH	リセット時 : FFH	R/W						
略号	7	6	5	4	3	2	1	0
PM14	1	1	PM145	PM144	PM143	PM142	PM141	PM140

PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 4, 14 ; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

13.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、P02/SO10/TxD1, P03/SI10/SDA10/RxD1, P04/ $\overline{\text{SCK10}}$ /SCL10, P10/ $\overline{\text{SCK00}}$ /EX24, P11/SI00/RxD0/EX25, P12/SO00/TxD0/EX26, P13/TxD3/EX27, P14/RxD3/EX28, P43/ $\overline{\text{SCK01}}$, P44/SI01, P45/SO01, P142/ $\overline{\text{SCK20}}$ /SCL20, P143/SI20/SDA20/RxD2, P144/SO20/TxD2をポート機能として使用できます。

13.4.1 ユニット単位で動作停止とする場合

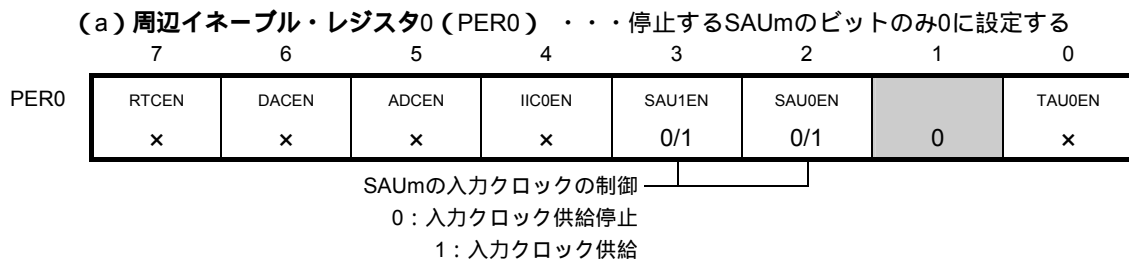
ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN) に0を設定してください。

シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN) に0を設定してください。

図13-22 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（入力切り替え制御レジスタ (ISC)、ノイズフィルタ許可レジスタ (NFEN0)、ポート入力モード・レジスタ (PIM0, PIM4, PIM14)、ポート出力モード・レジスタ (POM0, POM4, POM14)、ポート・モード・レジスタ (PM0, PM1, PM4, PM14)、ポート・レジスタ (P0, P1, P4, P14) は除く)。

2. PER0レジスタのビット1には必ず“0”を設定してください。

備考 m：ユニット番号 (m = 0, 1) ：設定不可 (初期値を設定)

x：シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1：ユーザの用途に応じて0または1に設定

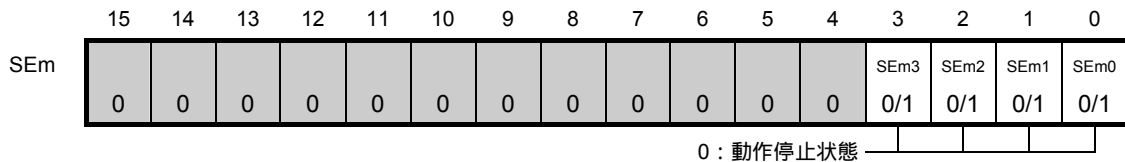
13.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図13-23 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル許可ステータス・レジスタ_m (SE_m)

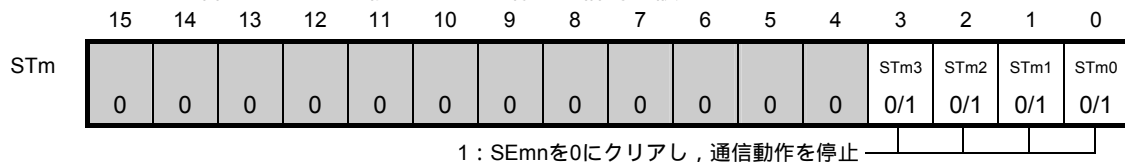
・・・各チャンネルのシリアル送受信動作許可/停止状態が表示されるレジスタ



SE_mレジスタはRead Onlyのステータス・レジスタであり、ST_mレジスタにて動作停止にします。
動作を停止したチャンネルは、SO_mレジスタのCKO_mnの値をソフトウェアで設定できます。

(b) シリアル・チャンネル停止レジスタ_m (ST_m)

・・・各チャンネルの通信/カウント停止の許可を設定するレジスタ



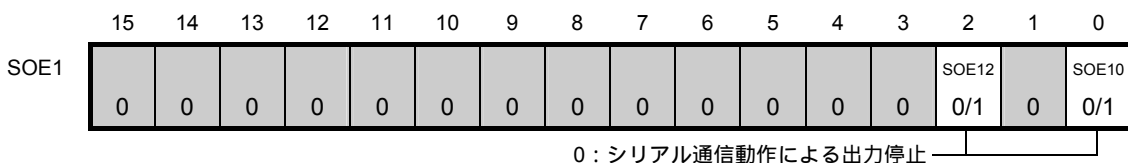
ST_mnはトリガ・ビットなので、SE_mn = 0になるとすぐST_mnはクリアされます。

(c) シリアル出力許可レジスタ_m (SOE_m)

・・・各チャンネルのシリアル通信動作の出力許可/停止を設定するレジスタ

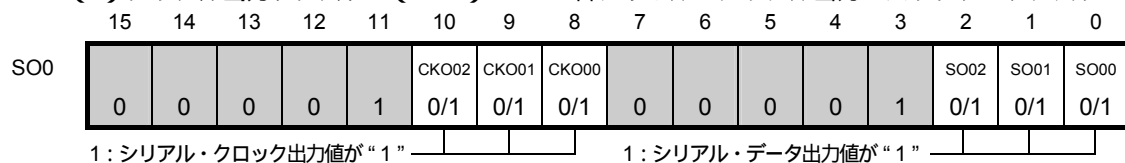


シリアル出力を停止したチャンネルは、SO₀レジスタのSO₀nの値をソフトウェアで設定できます。

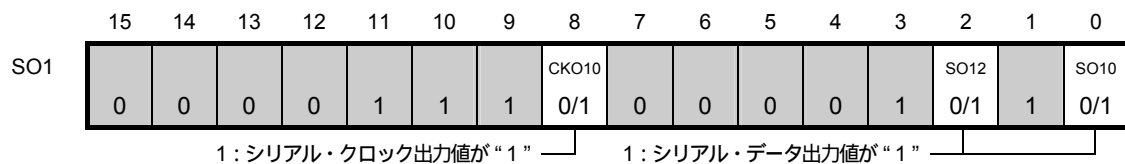


シリアル出力を停止したチャンネルは、SO₁レジスタのSO₁nの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ_m (SO_m) ・・・各チャンネルのシリアル出力のバッファ・レジスタ



各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO₀n, SO₀nビットに“1”を設定してください。



各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO₁₀, SO₁nビットに“1”を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

13.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信の動作

シリアル・クロック (\overline{SCK}) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) に対応しているチャンネルは、SAU0のチャンネル0-2とSAU1のチャンネル0です。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	CSI01		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-	UART3 (LIN-bus対応)	-
	2	-		-
	3	-		-

3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) の通信動作は、以下の6種類があります。

- ・ マスタ送信 (13.5.1項を参照)
- ・ マスタ受信 (13.5.2項を参照)
- ・ マスタ送受信 (13.5.3項を参照)
- ・ スレーブ送信 (13.5.4項を参照)
- ・ スレーブ受信 (13.5.5項を参照)
- ・ スレーブ送受信 (13.5.6項を参照)

13.5.1 マスタ送信

マスタ送信とは、この78K0R/KG3が転送クロックを出力し、78K0R/KG3から他デバイスへデータを送信する動作です。

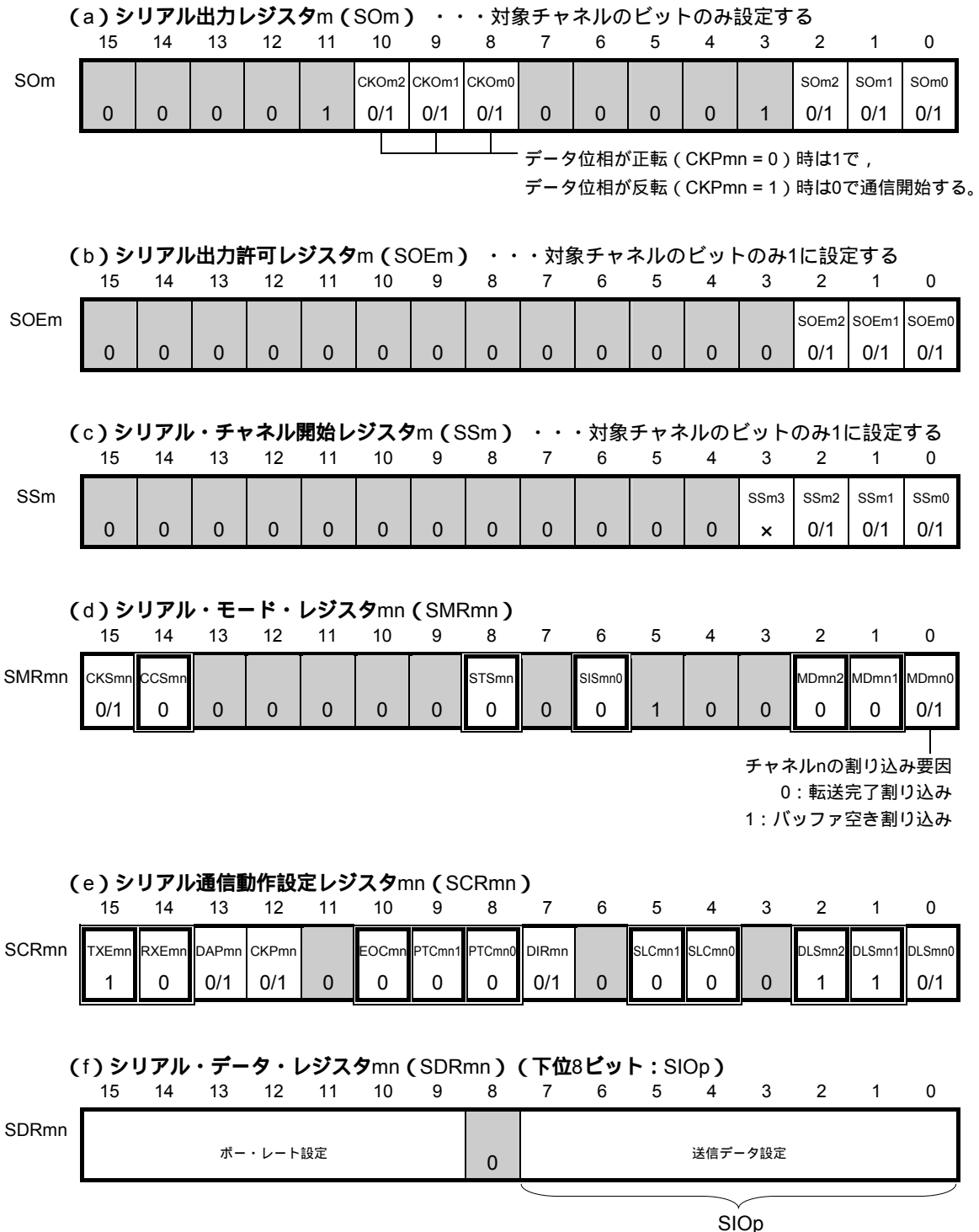
3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK10}}$, SO10	$\overline{\text{SCK20}}$, SO20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{CLK}}/4$ [Hz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性（標準品）, 第30章 電気的特性（A水準品）参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2）

(1) レジスタ設定

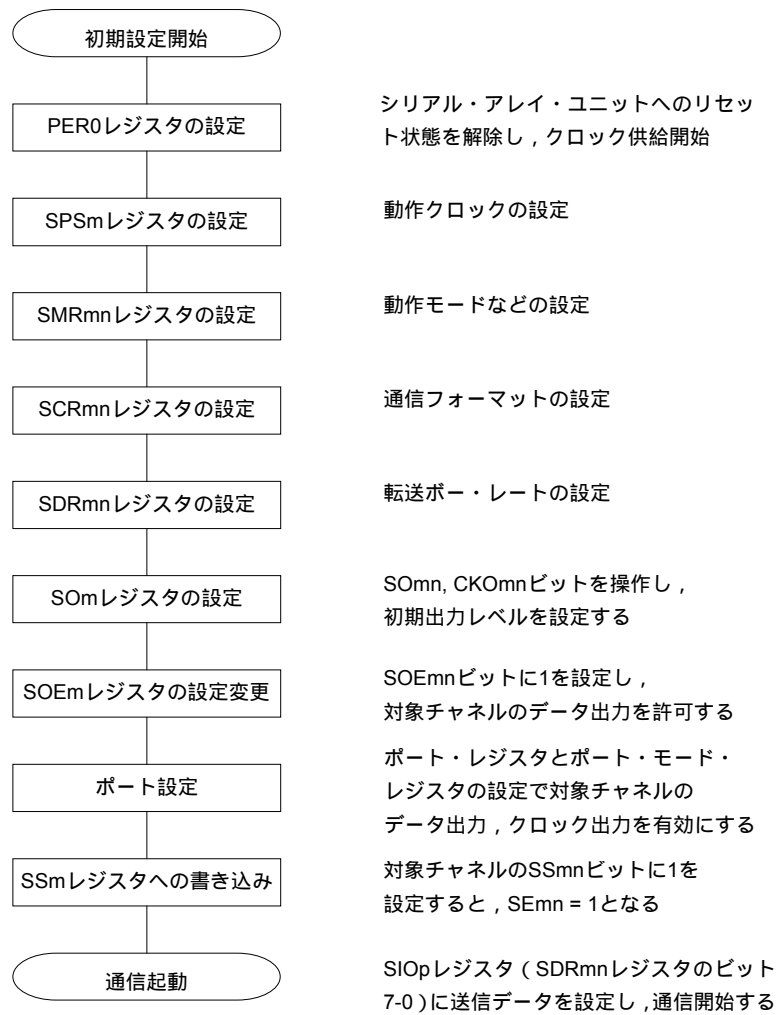
図13 - 24 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のマスタ送信時のレジスタ設定内容例



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)
 : CSIマスタ送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

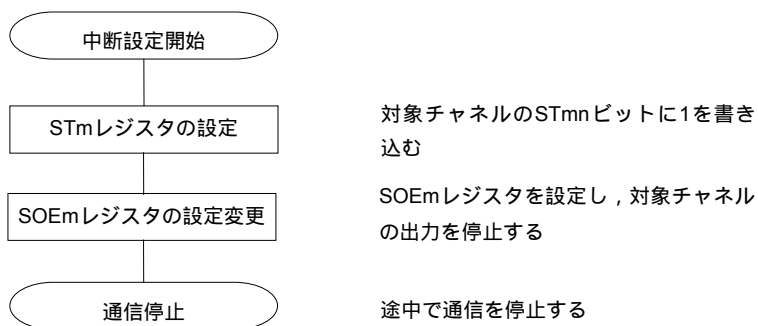
(2) 操作手順

図13 - 25 マスタ送信の初期設定手順



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

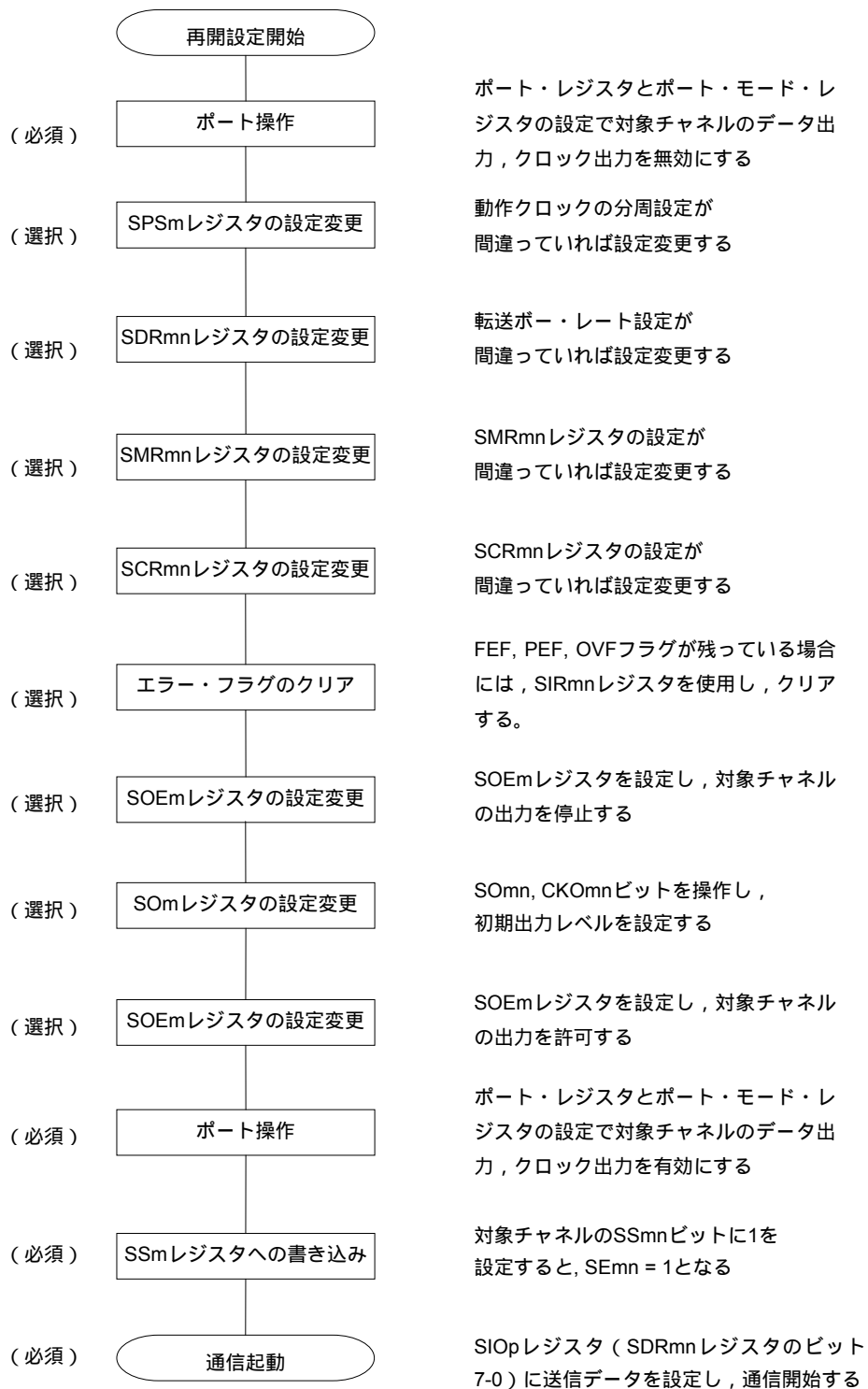
図13 - 26 マスタ送信の中断手順



備考1. 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図13 - 27 マスタ送信の再開設定手順参照)。

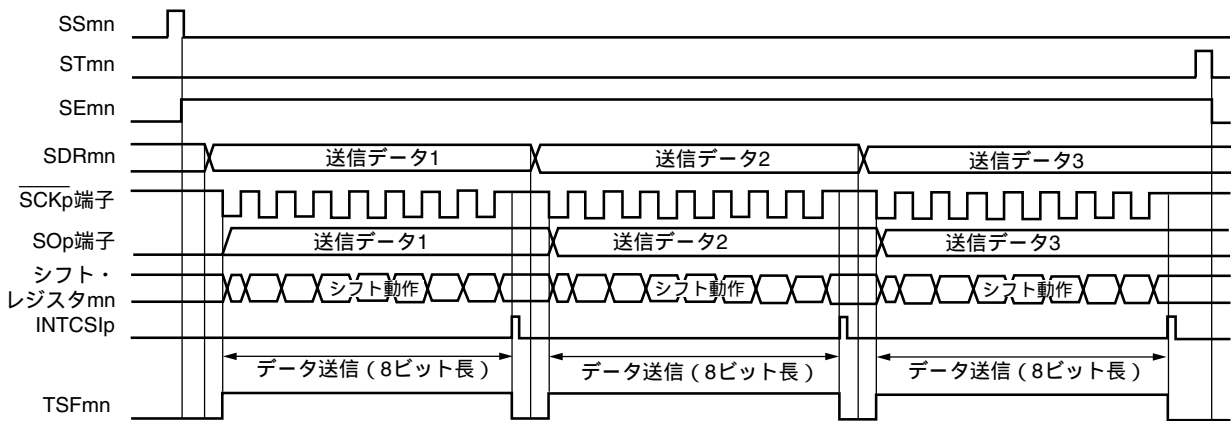
2. p : CSI番号 (p = 00, 01, 10, 20)

図13 - 27 マスタ送信の再開設定手順



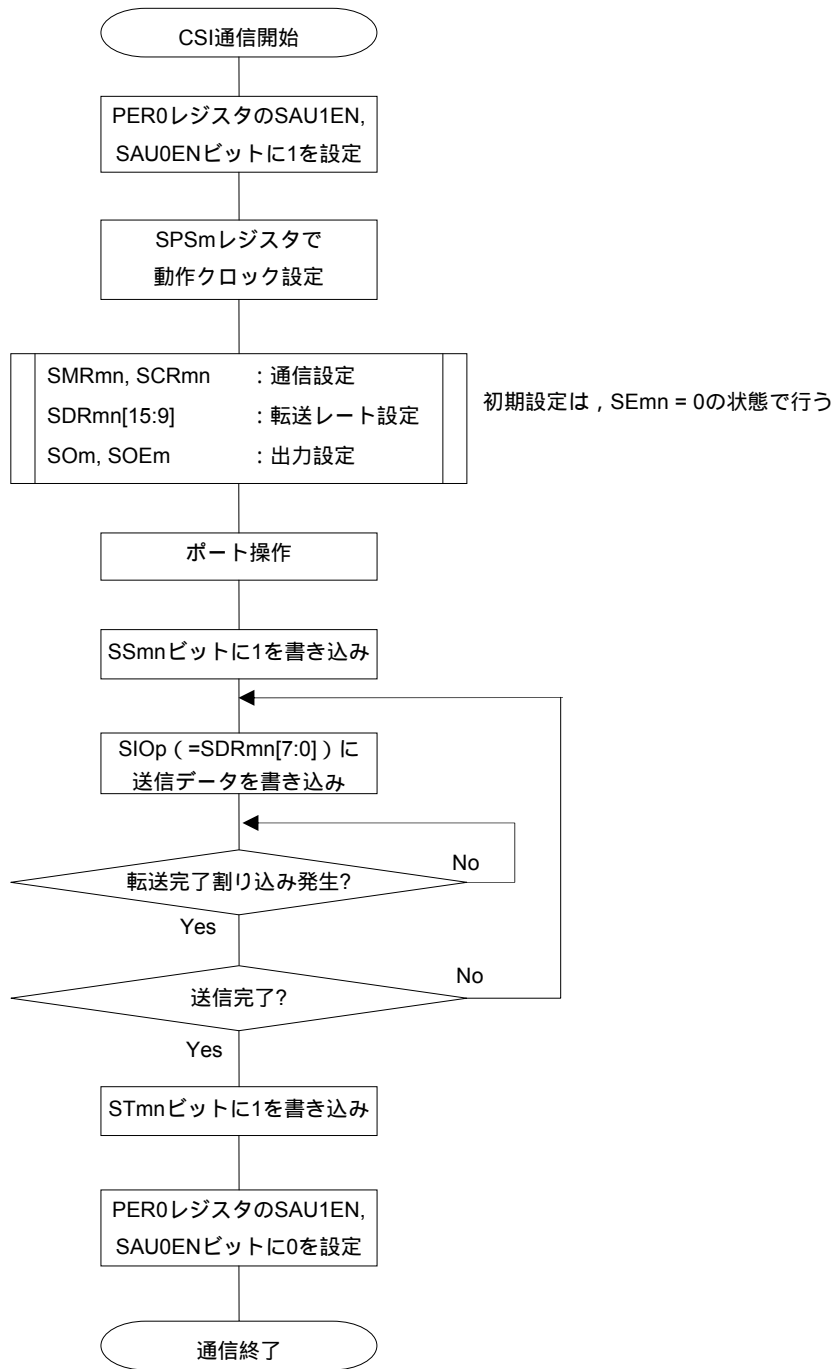
(3) 処理フロー (シングル送信モード時)

図13 - 28 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

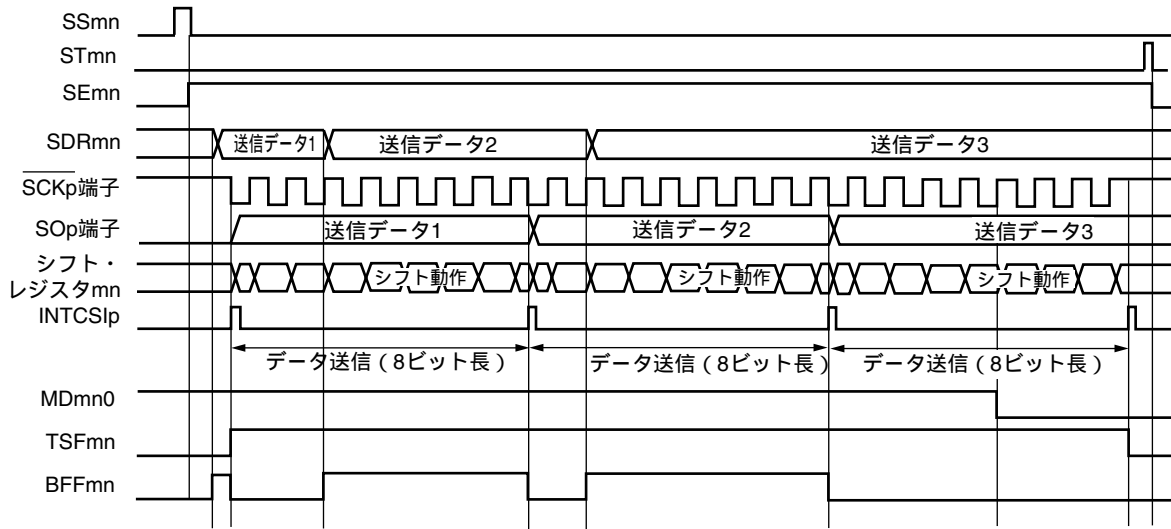
図13 - 29 マスタ送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図13 - 30 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



(注)

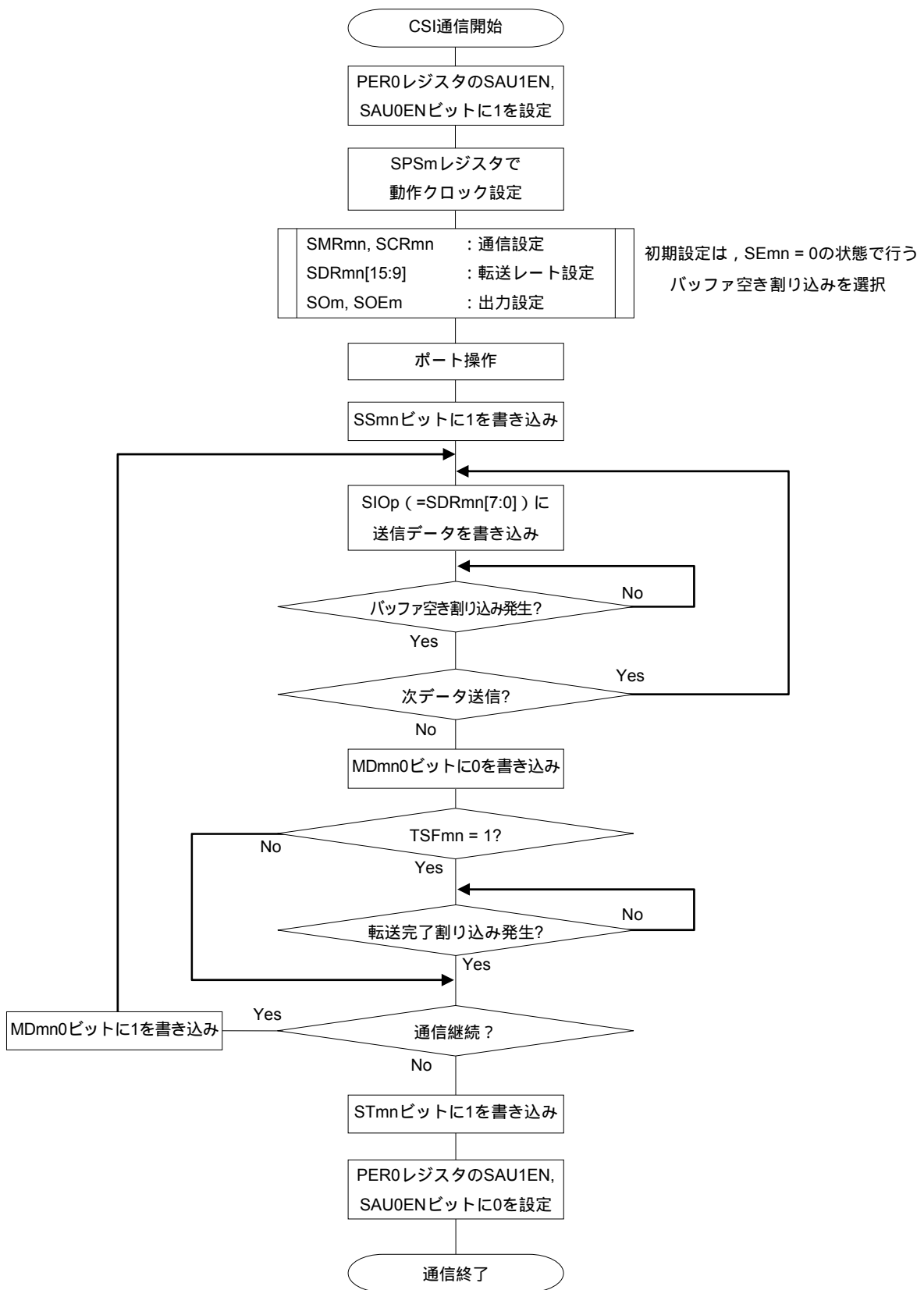
注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

図13 - 31 マスタ送信 (連続送信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

備考 図中の ~ は、図13 - 30 マスタ送信 (連続送信モード時) のタイミング・チャートの ~ に対応しています。

13.5.2 マスタ受信

マスタ受信とは、この78K0R/KG3が転送クロックを出力し、78K0R/KG3が他デバイスからデータを受信する動作です。

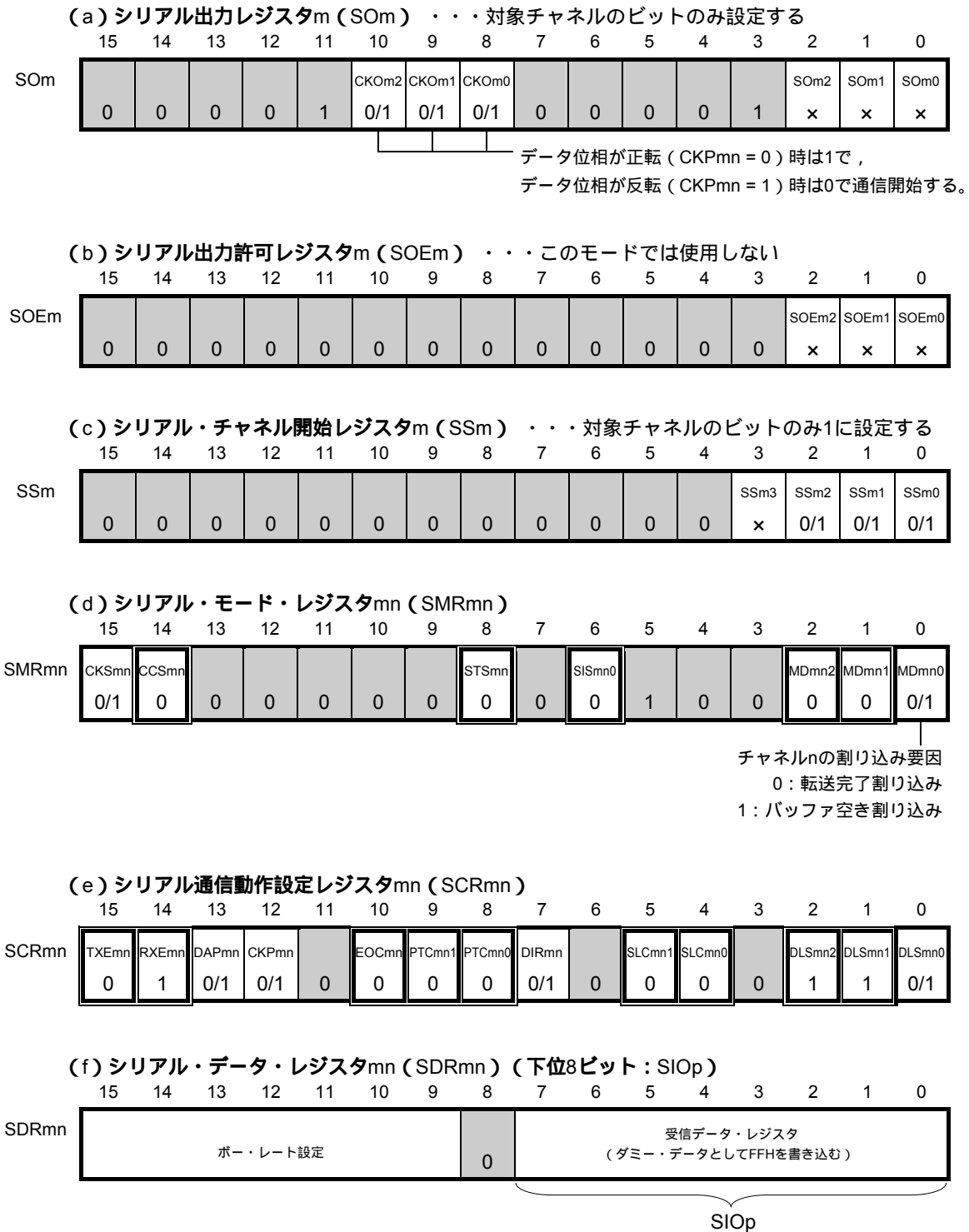
3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SI00	$\overline{\text{SCK01}}$, SI01	$\overline{\text{SCK10}}$, SI10	$\overline{\text{SCK20}}$, SI20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{CLK}}/4$ [Hz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性（標準品）, 第30章 電気的特性（A）水準品）参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2）

(1) レジスタ設定

図13 - 32 3線シリアル/I/O (CSI00, CSI01, CSI10, CSI20) のマスタ受信時のレジスタ設定内容例



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

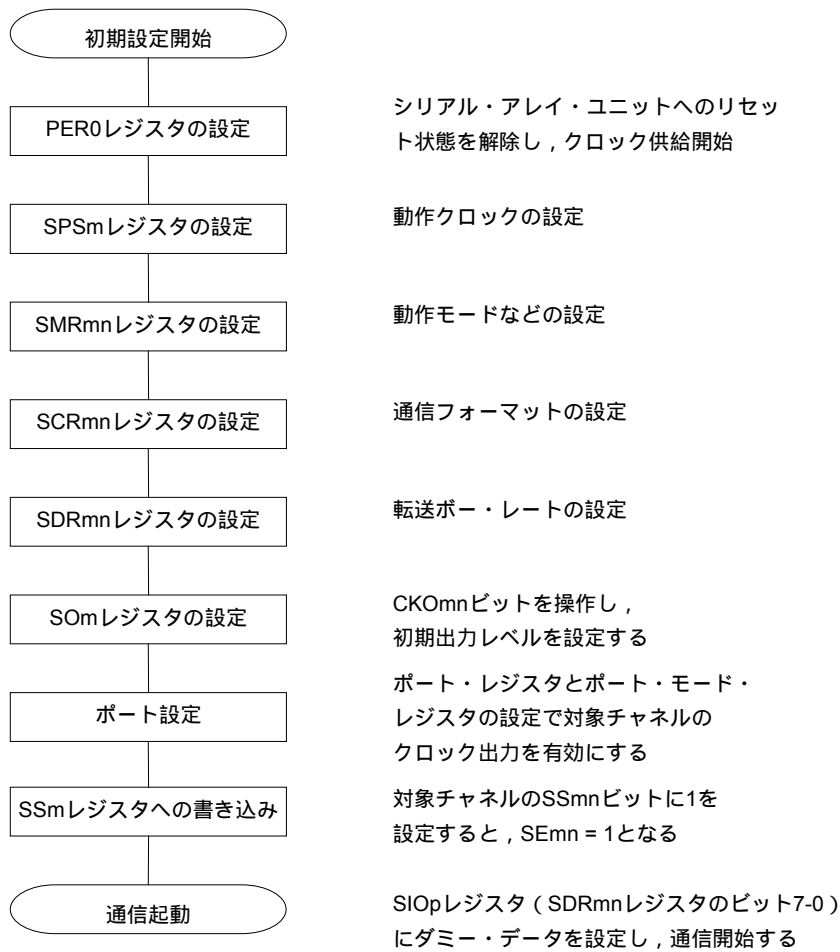
□ : CSIマスタ受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

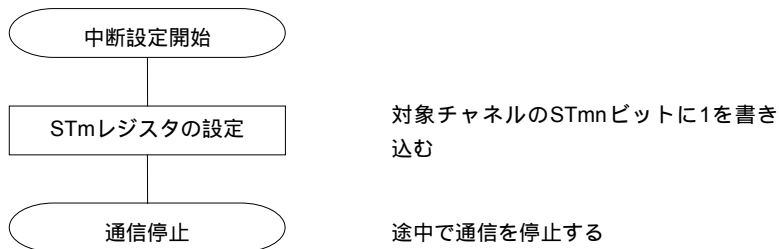
(2) 操作手順

図13 - 33 マスタ受信の初期設定手順



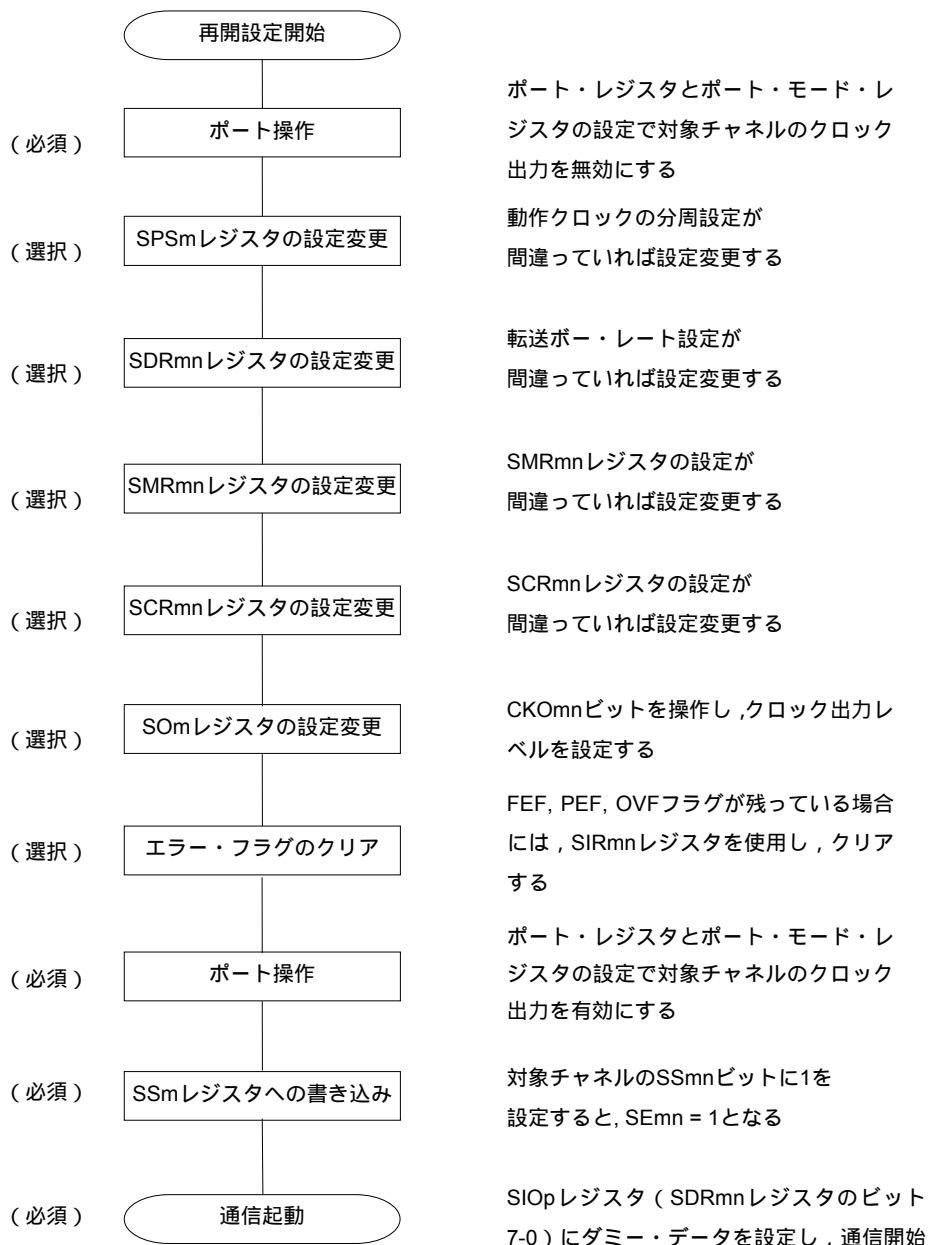
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図13 - 34 マスタ受信の中断手順



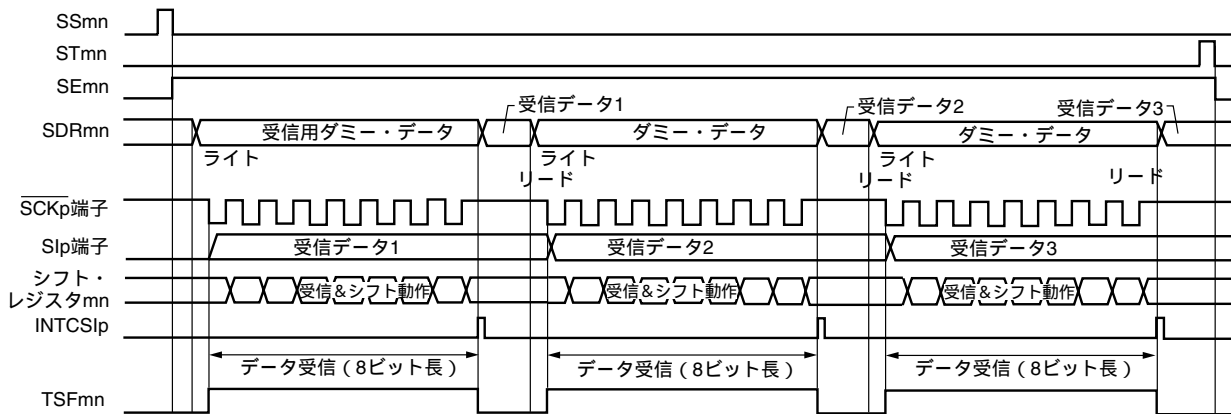
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図13 - 35 マスタ受信の再開設定手順参照)。

図13 - 35 マスタ受信の再開設定手順



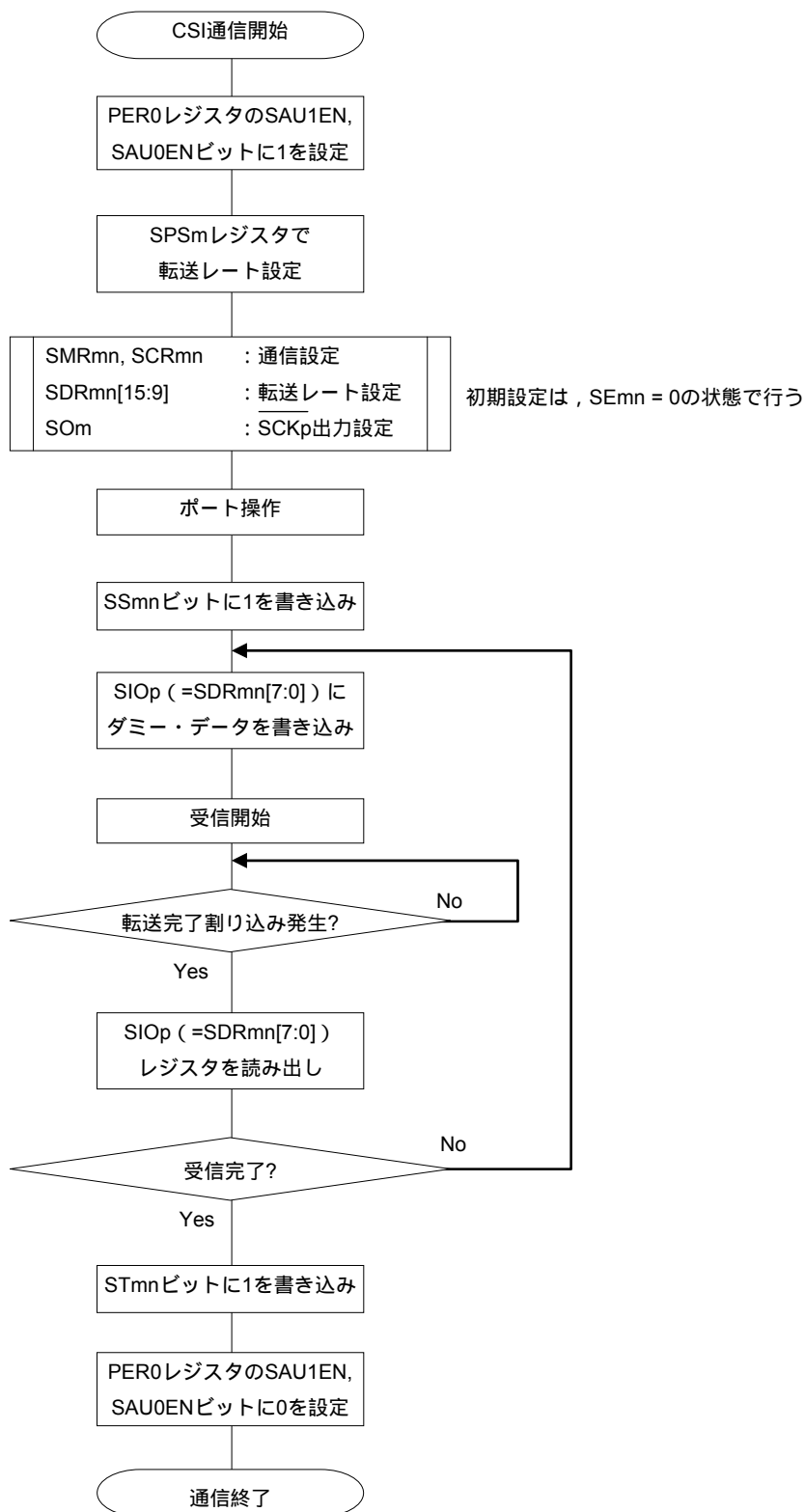
(3) 処理フロー (シングル受信モード時)

図13 - 36 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

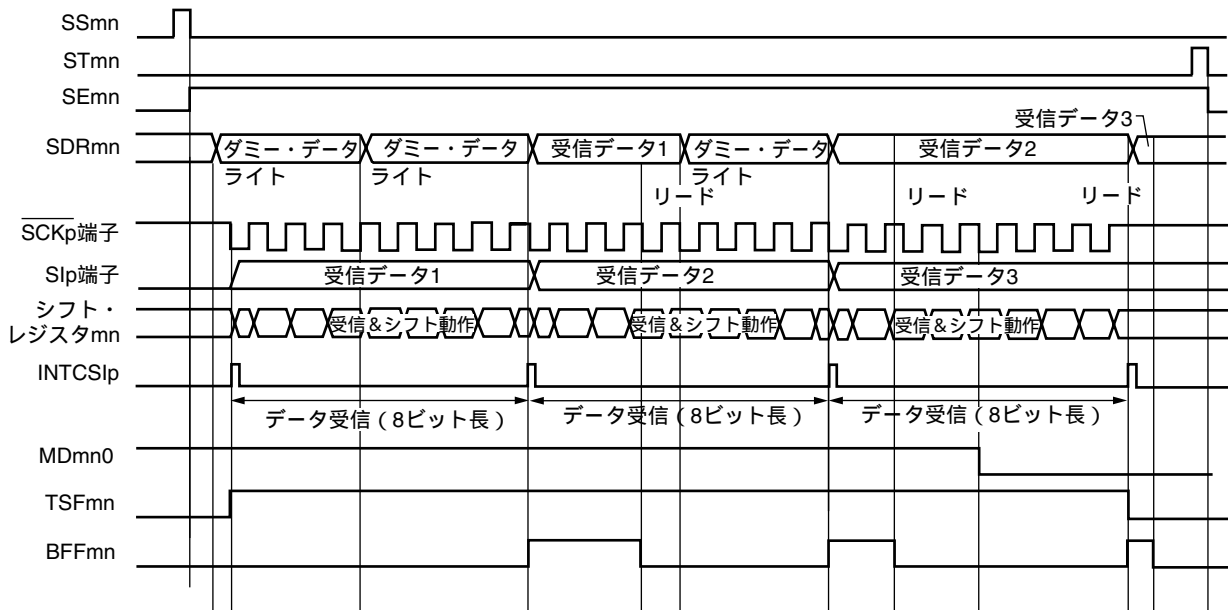
図13 - 37 マスタ受信 (シングル受信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続受信モード時）

図13 - 38 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



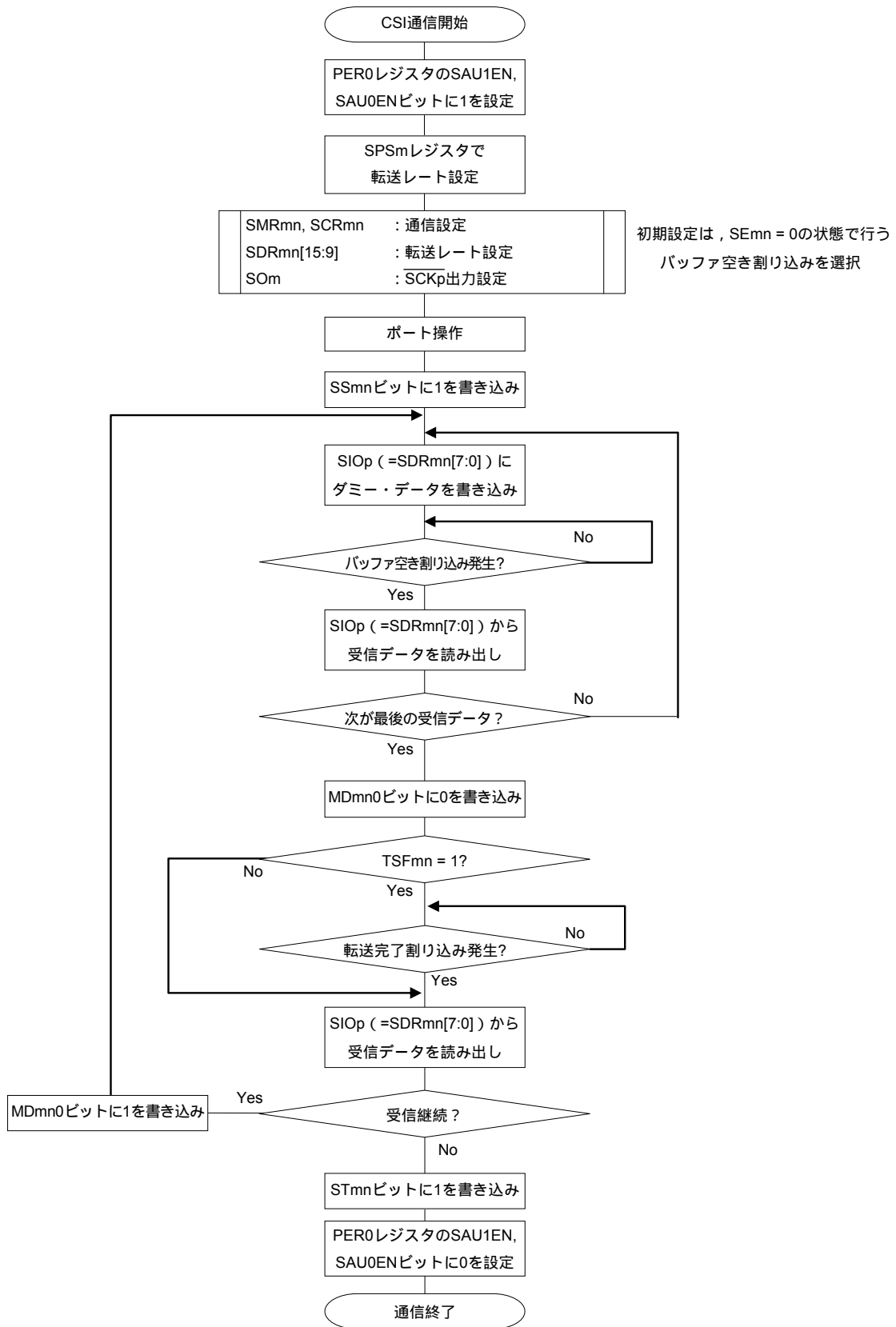
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の ~ は、図13 - 39 マスタ受信（連続受信モード時）のフロー・チャートの ~ に対応しています。

2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

図13 - 39 マスタ受信 (連続受信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔を置いてからSPSmレジスタを設定してください。

備考 図中の ~ は、図13 - 38 マスタ受信 (連続受信モード時) のタイミング・チャートの ~ に対応しています。

13.5.3 マスタ送受信

マスタ送受信とは、この78K0R/KG3が転送クロックを出力し、78K0R/KG3と他デバイスでデータを送受信する動作です。

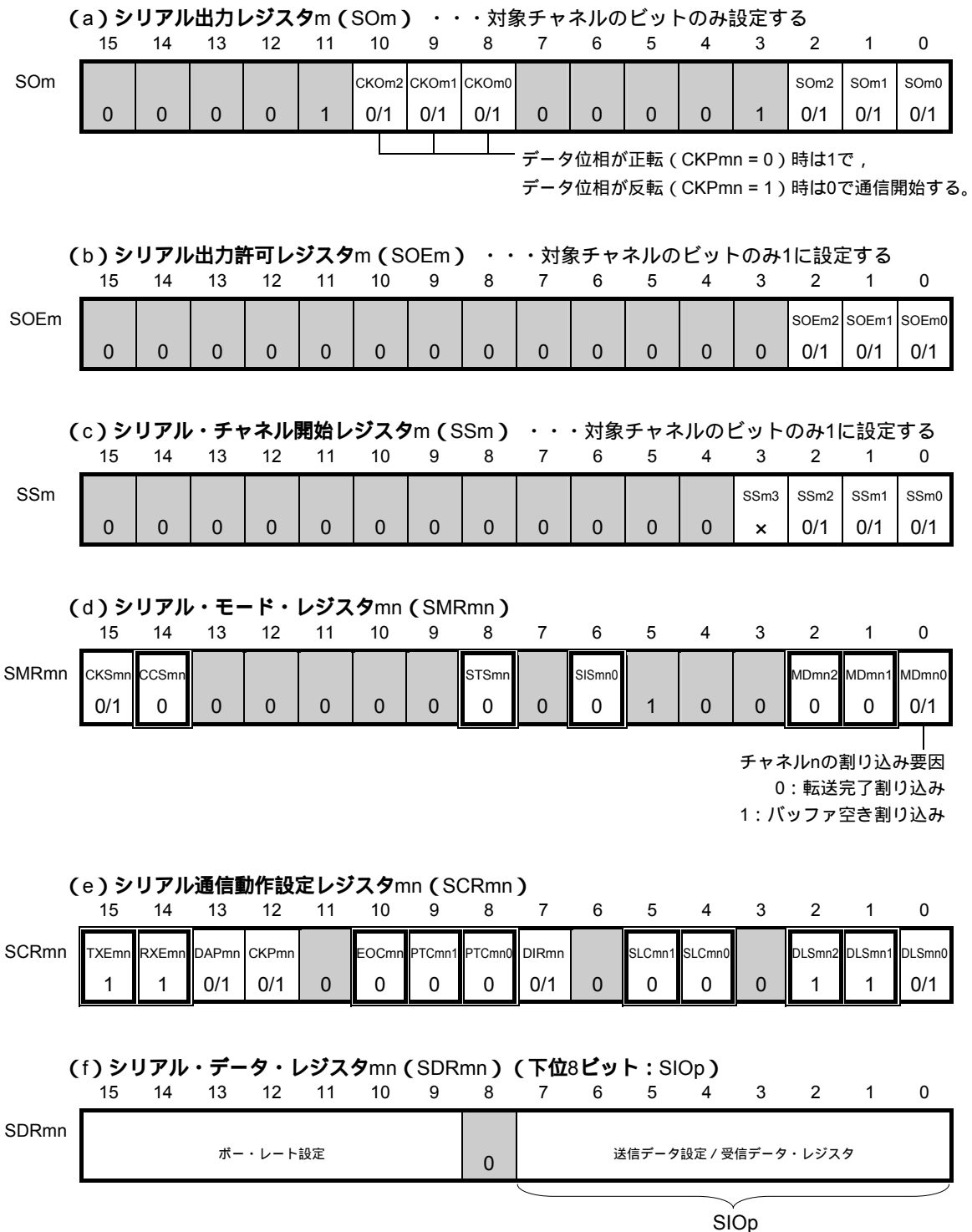
3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SI00, SO00	$\overline{\text{SCK01}}$, SI01, SO01	$\overline{\text{SCK10}}$, SI10, SO10	$\overline{\text{SCK20}}$, SI20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{CLK}}/4$ [Hz], Min. $f_{\text{CLK}}/(2 \times 2^{11} \times 128)$ [Hz] ^注 f_{CLK} : システム・クロック周波数			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性（標準品）, 第30章 電気的特性（A水準品）参照）を満たす範囲内で使用してください。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2）

(1) レジスタ設定

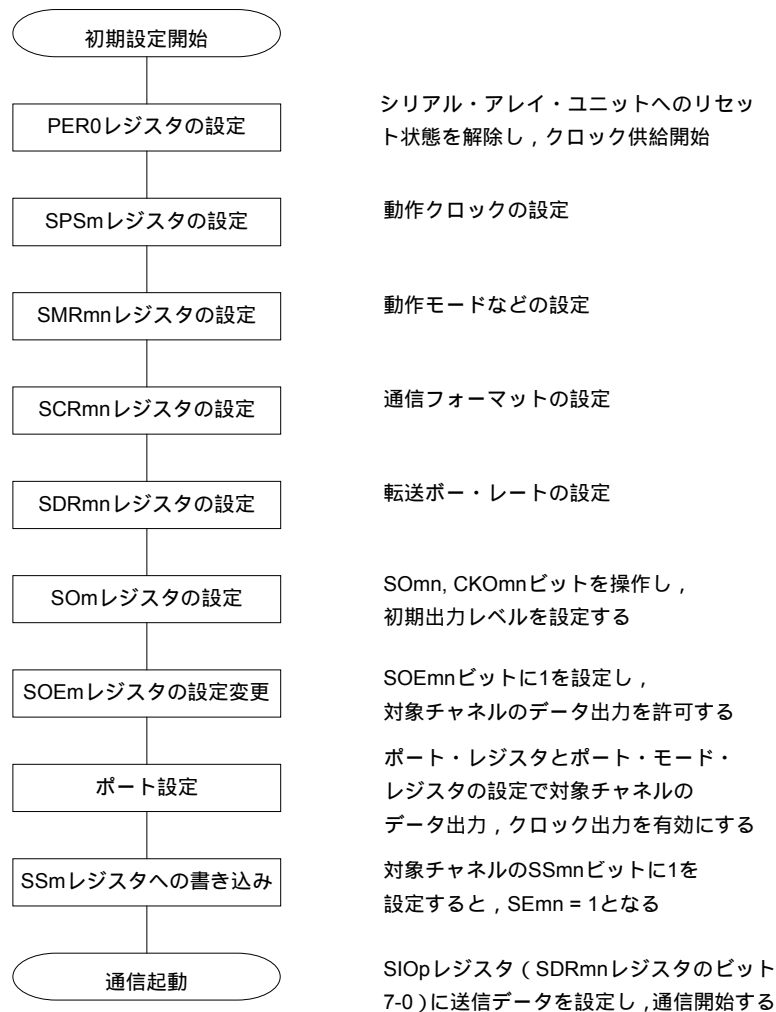
図13 - 40 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のマスタ送受信時のレジスタ設定内容例



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)
 : CSIマスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

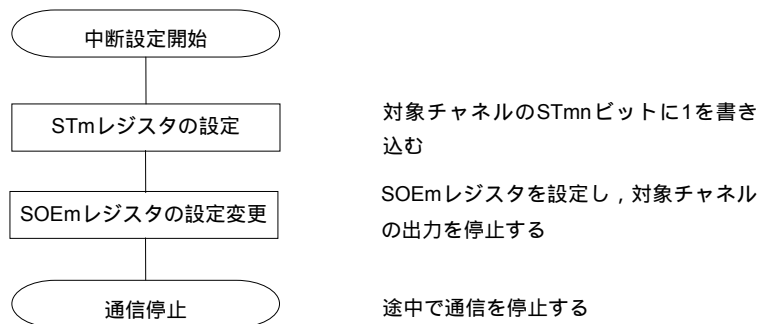
(2) 操作手順

図13 - 41 マスタ送受信の初期設定手順



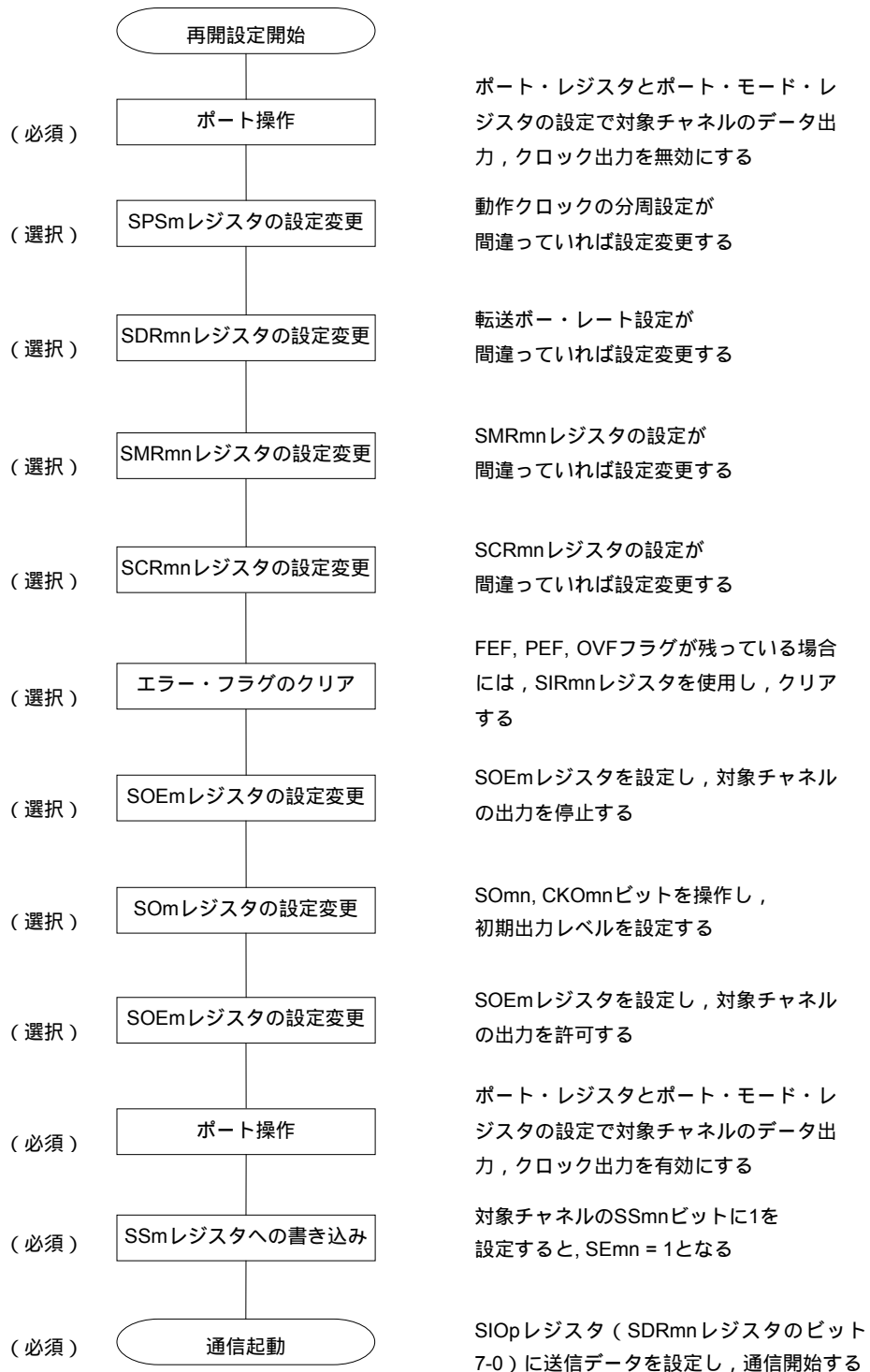
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図13 - 42 マスタ送受信の中断手順



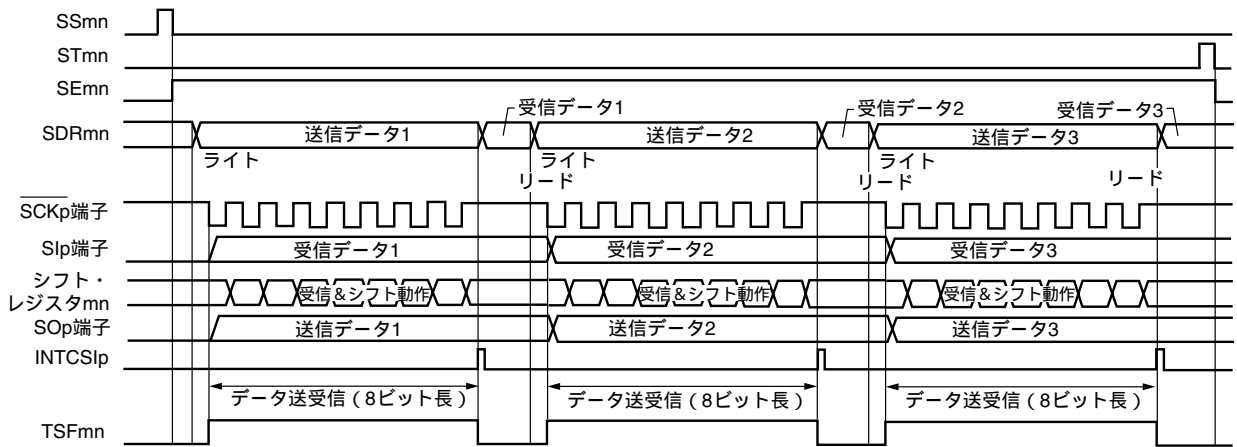
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください(図13 - 43 マスタ送受信の再開設定手順参照)。

図13 - 43 マスタ送受信の再開設定手順



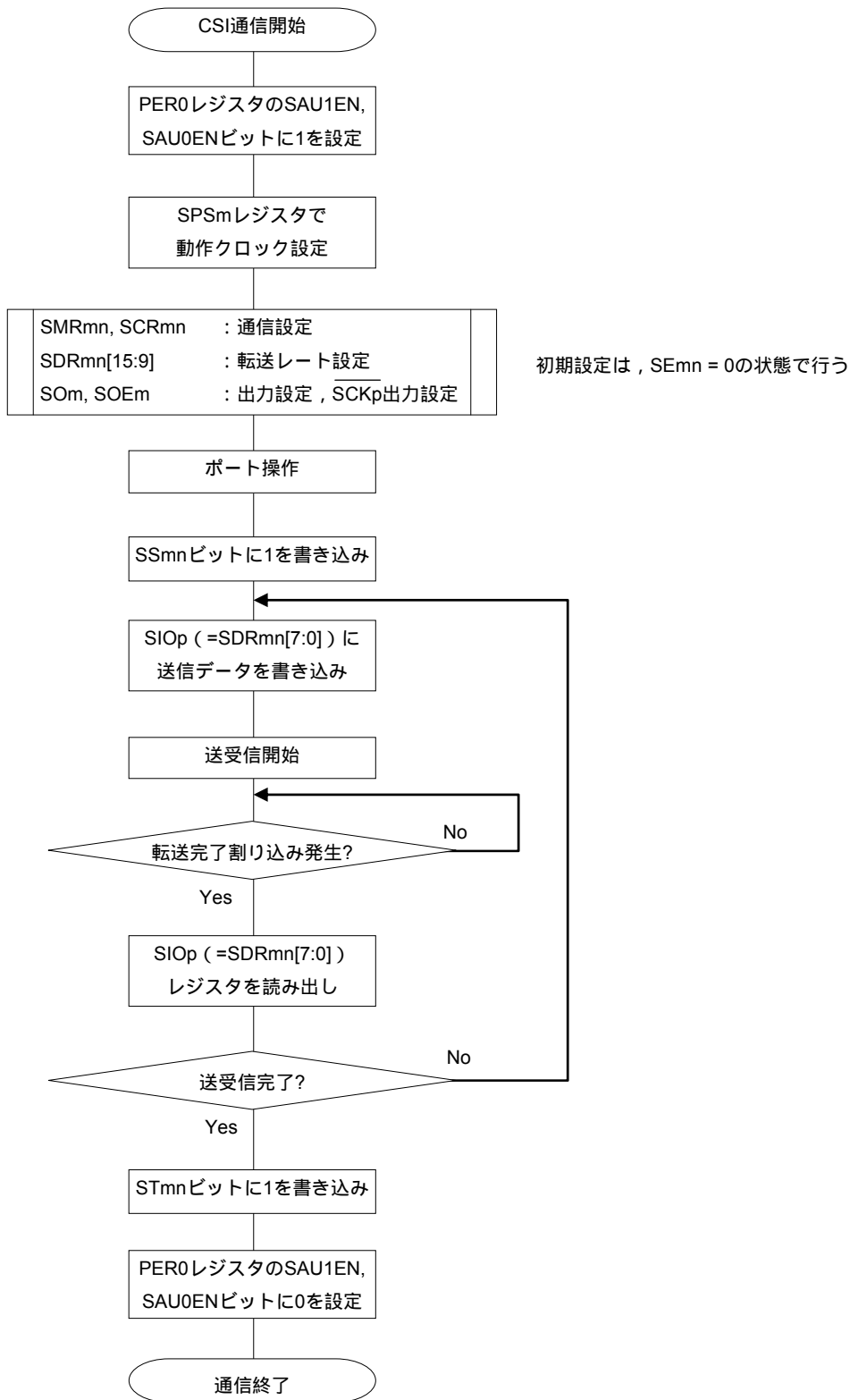
(3) 処理フロー (シングル送受信モード時)

図13 - 44 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

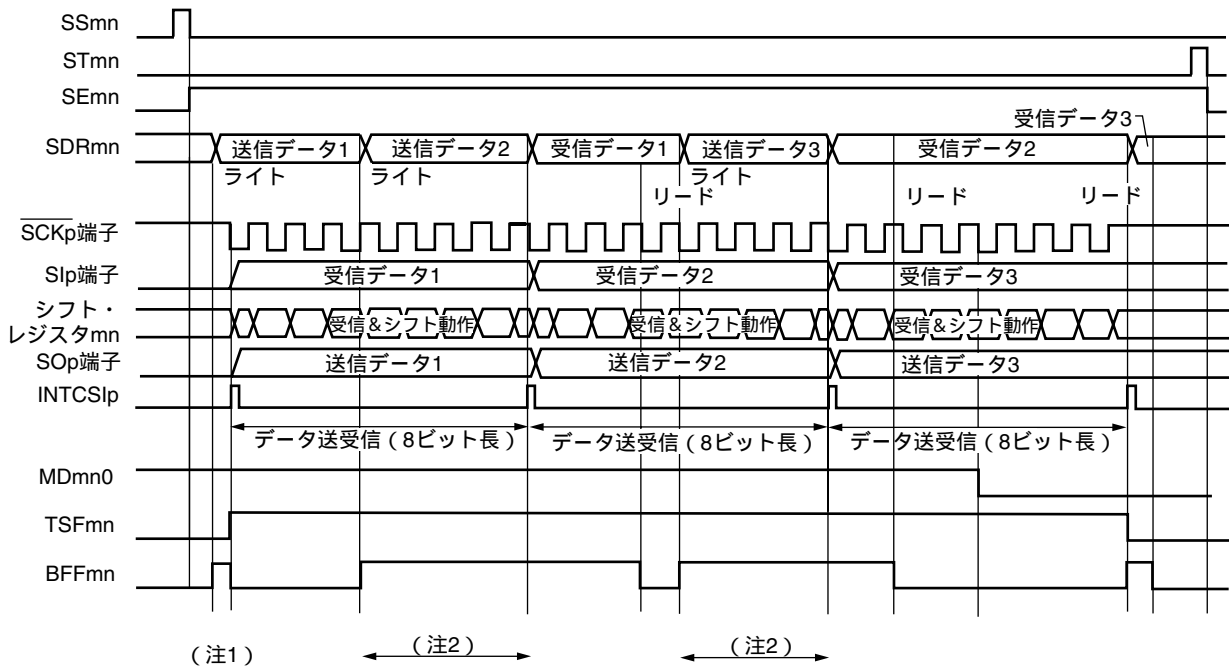
図13 - 45 マスタ送受信 (シングル送受信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送受信モード時）

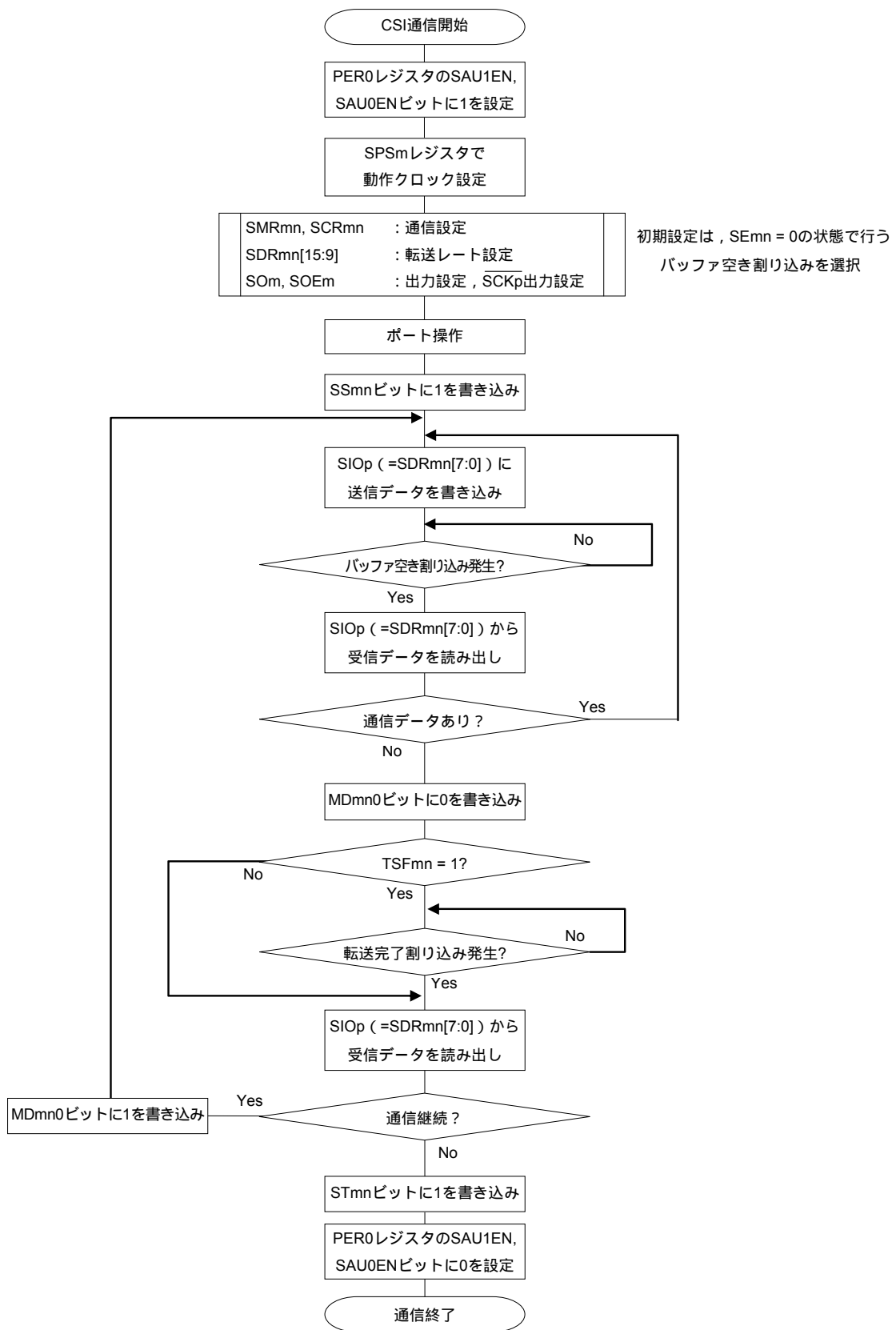
図13 - 46 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



- 注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。
- 注意** MDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の ~ は、図13 - 47 マスタ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。
2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

図13 - 47 マスタ送受信 (連続送受信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

備考 図中の ~ は、図13 - 46 マスタ送受信 (連続送受信モード時) のタイミング・チャートの ~ に対応しています。

13.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、78K0R/KG3から他デバイスへデータを送信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SO00	$\overline{\text{SCK01}}$, SO01	$\overline{\text{SCK10}}$, SO10	$\overline{\text{SCK20}}$, SO20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}			
データ位相	DAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始			
クロック位相	CKPmnビットにより選択可能 ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転			
データ方向	MSBファーストまたはLSBファースト			

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

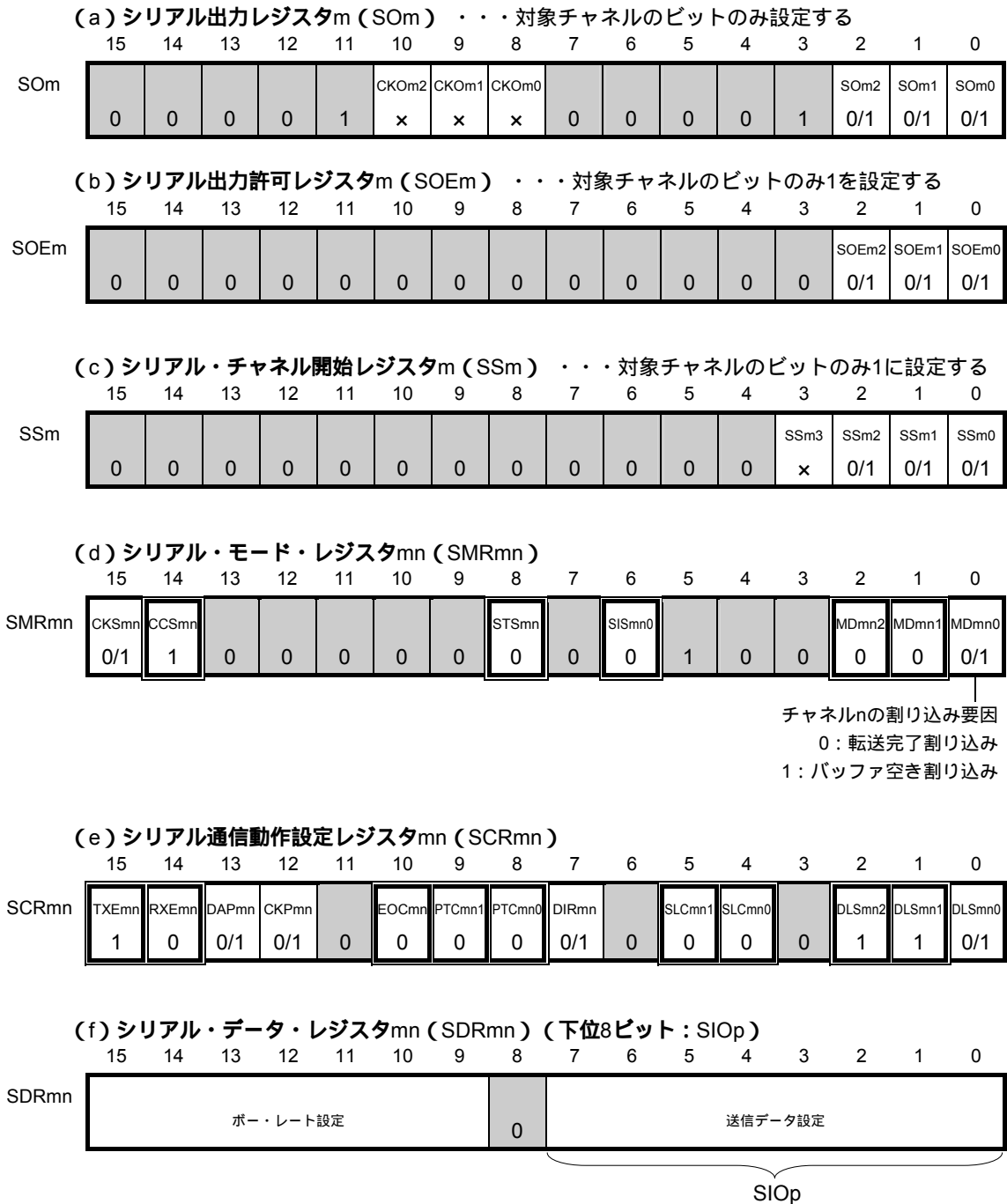
2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性（標準品））、第30章 電気的特性（A）水準品）参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2）

(1) レジスタ設定

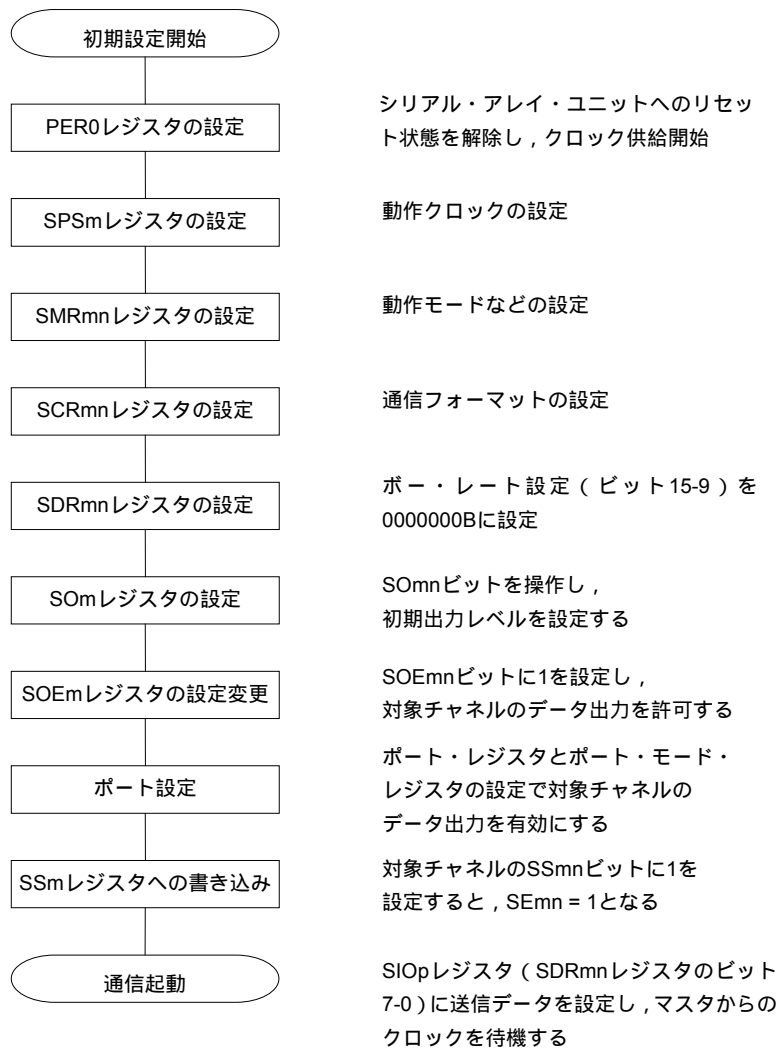
図13 - 48 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のスレーブ送信時のレジスタ設定内容例



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)
 : CSIスレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

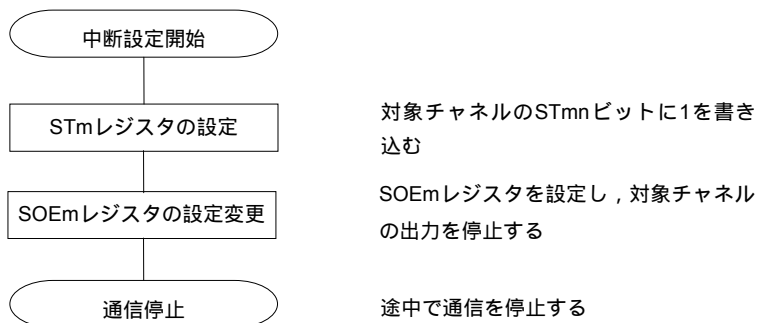
(2) 操作手順

図13 - 49 スレーブ送信の初期設定手順



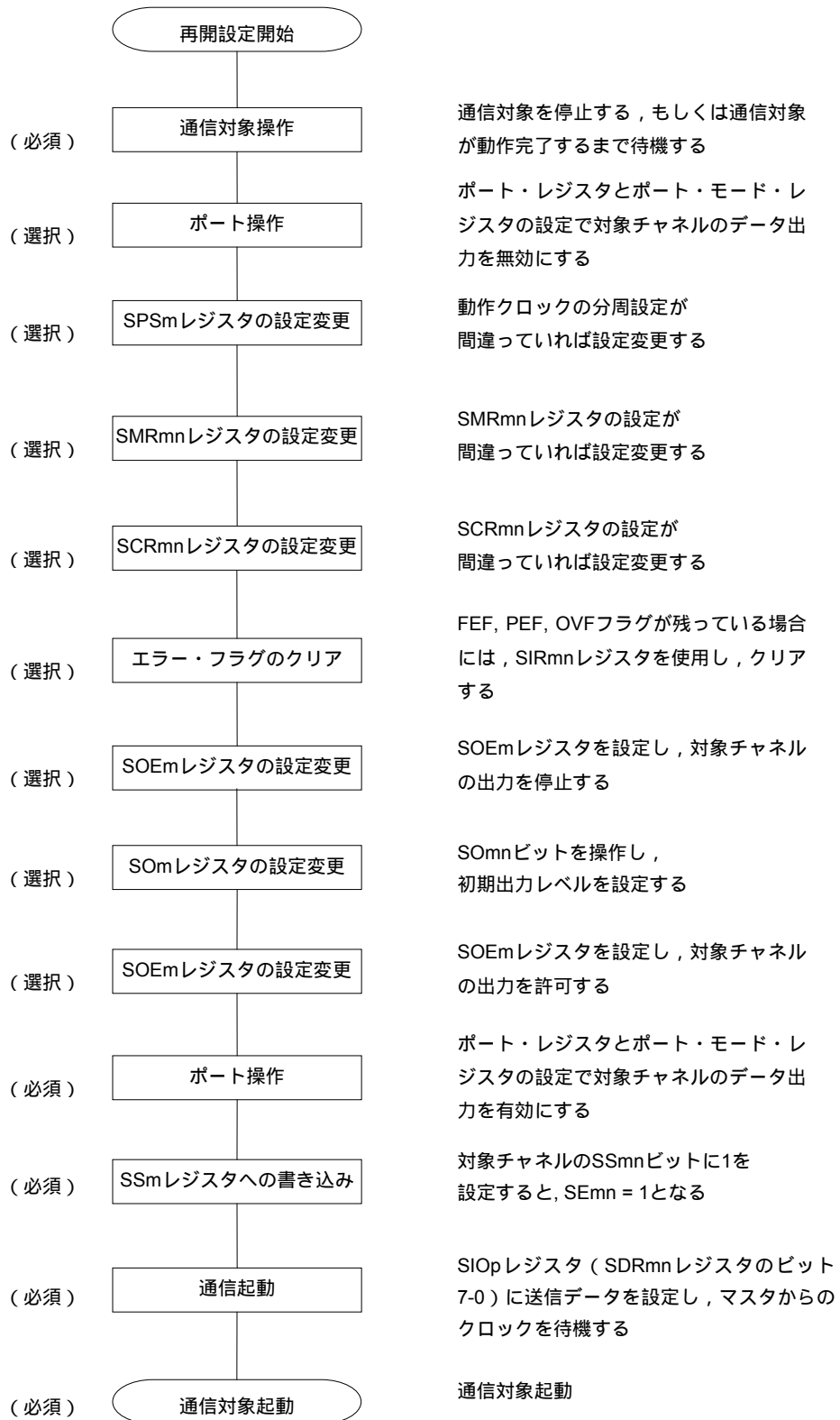
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図13 - 50 スレーブ送信の中断手順



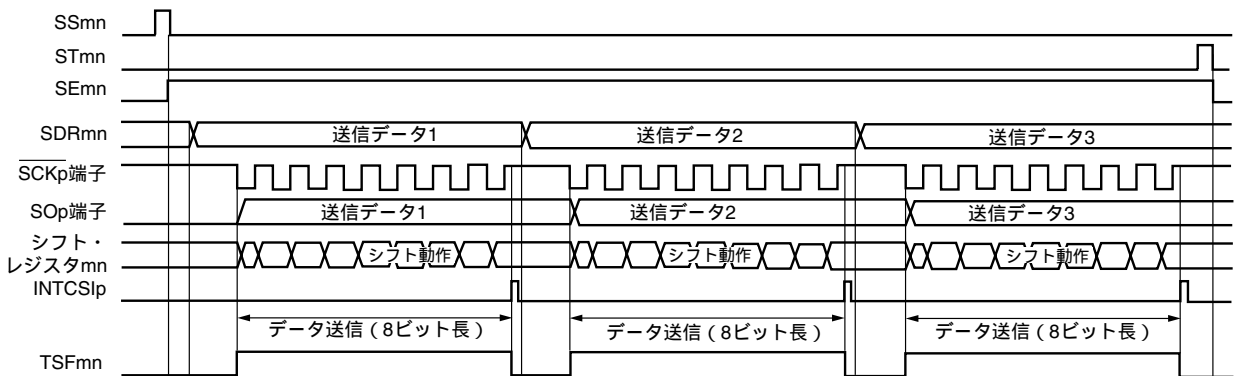
備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください（図13 - 51 スレーブ送信の再開設定手順参照）。

図13 - 51 スレーブ送信の再開設定手順



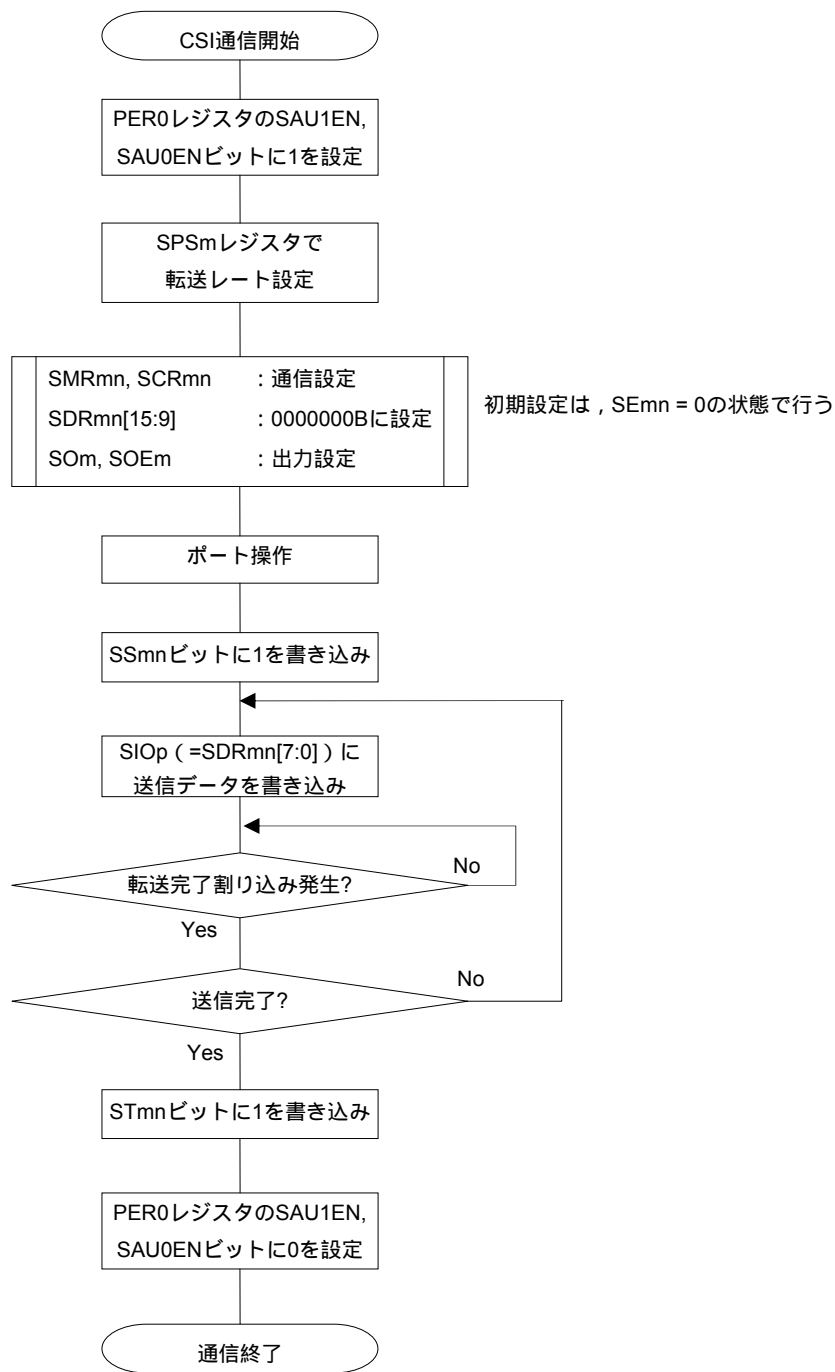
(3) 処理フロー (シングル送信モード時)

図13 - 52 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

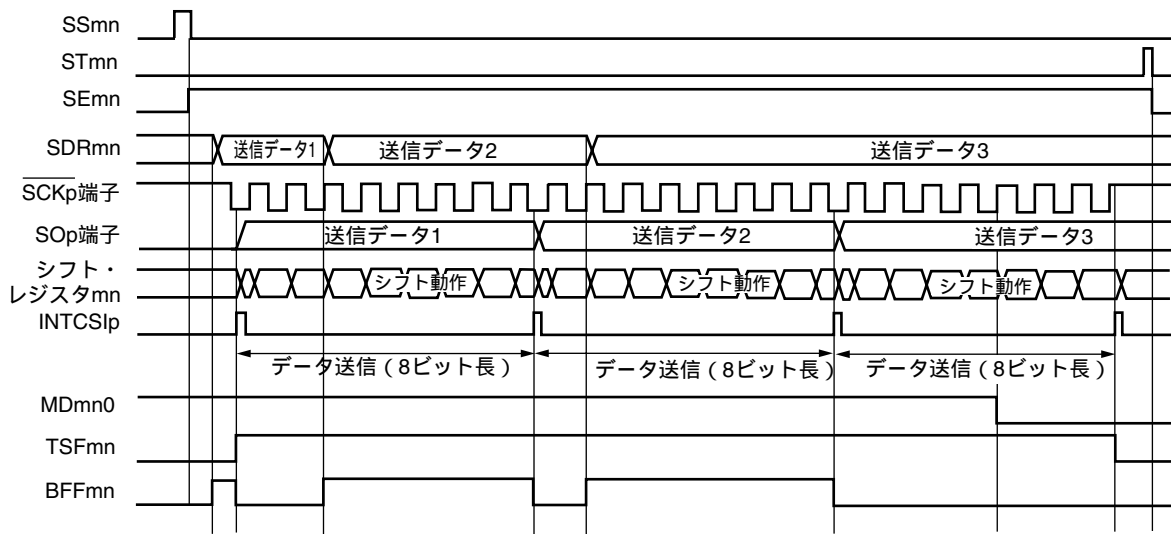
図13 - 53 スレーブ送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に, 4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー (連続送信モード時)

図13 - 54 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

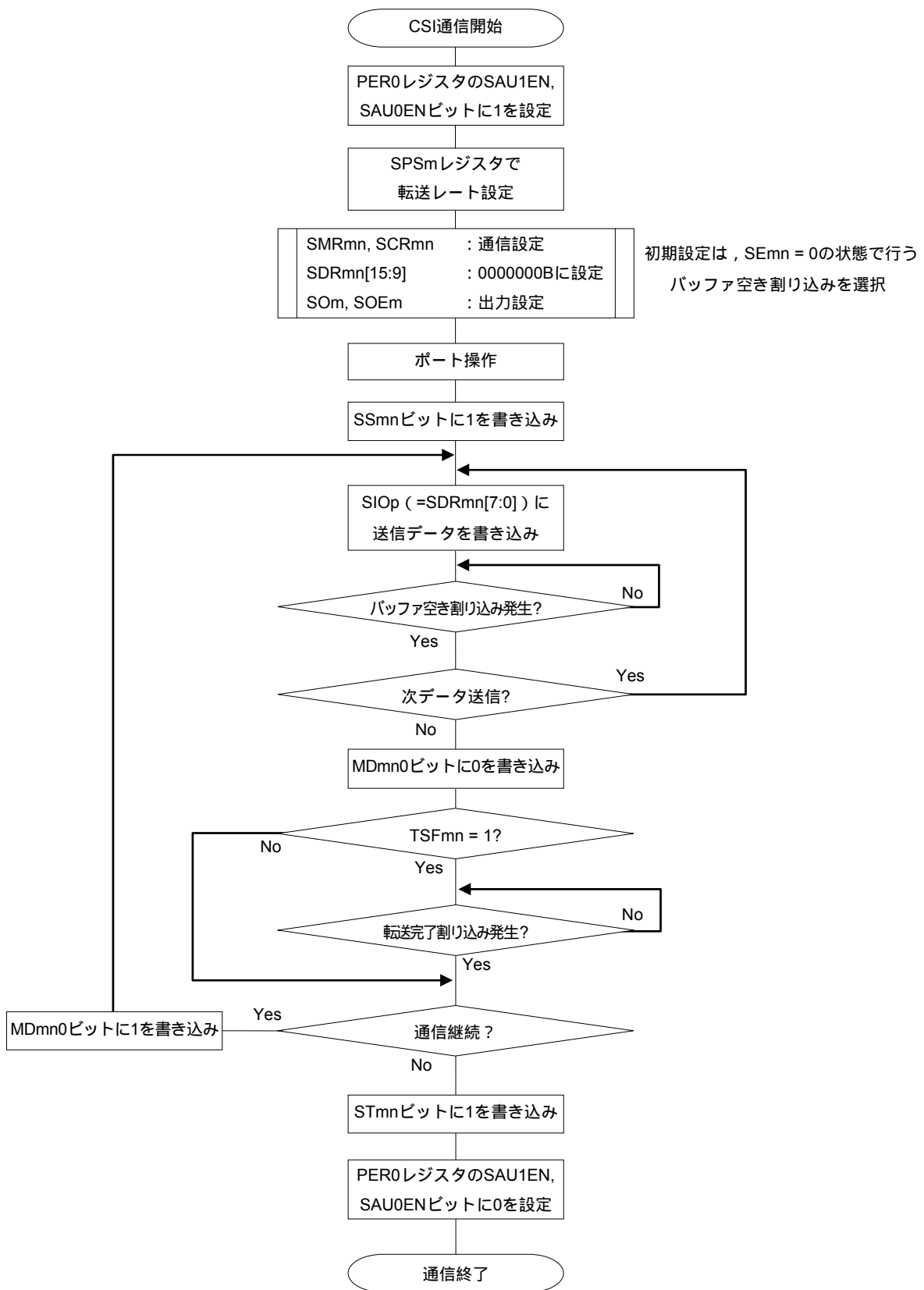


(注)

注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

図13 - 55 スレープ送信 (連続送信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔を置いてからSPSmレジスタを設定してください。

備考 図中の ~ は、図13 - 54 スレープ送信 (連続送信モード時) のタイミング・チャートの ~ に対応しています。

13.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、78K0R/KG3が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SI00	$\overline{\text{SCK01}}$, SI01	$\overline{\text{SCK10}}$, SI10	$\overline{\text{SCK20}}$, SI20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

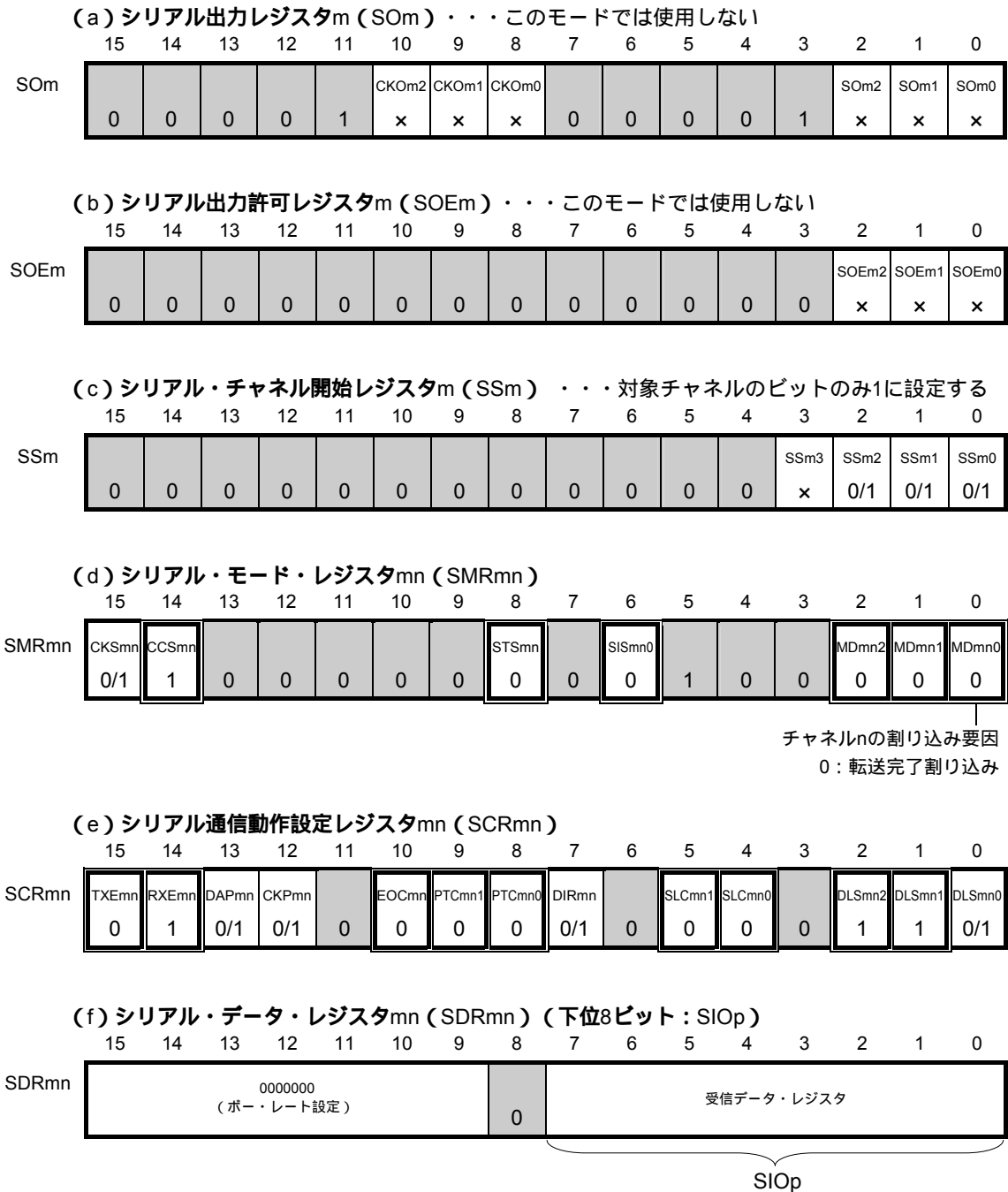
2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性（標準品）, 第30章 電気的特性（A）水準品）参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2）

(1) レジスタ設定

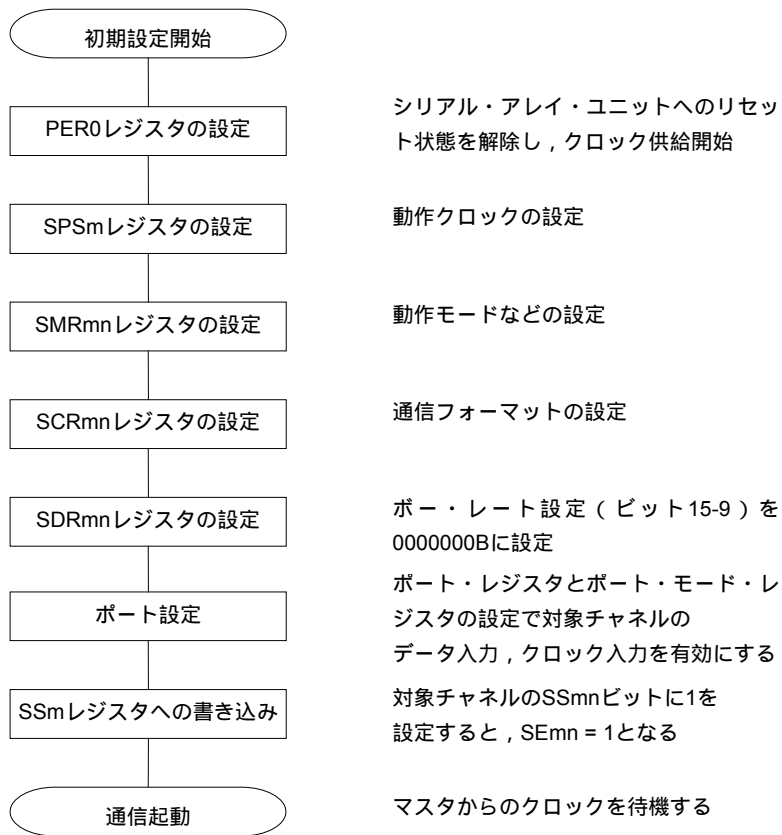
図13 - 56 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のスレーブ受信時のレジスタ設定内容例



備考 m：ユニット番号 (m = 0, 1) n：チャンネル番号 (n = 0-2) p：CSI番号 (p = 00, 01, 10, 20)
：CSIスレーブ受信モードでは設定固定 ：設定不可 (初期値を設定)
 x：このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1：ユーザの用途に応じて0または1に設定

(2) 操作手順

図13 - 57 スレーブ受信の初期設定手順



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図13 - 58 スレーブ受信の中断手順

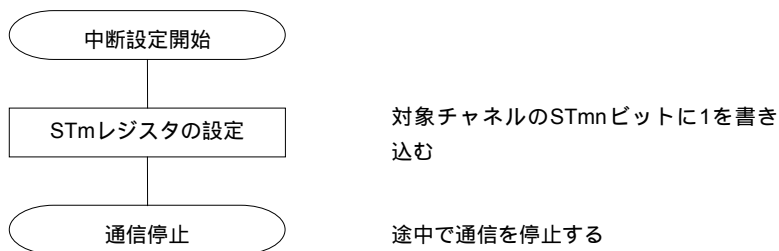
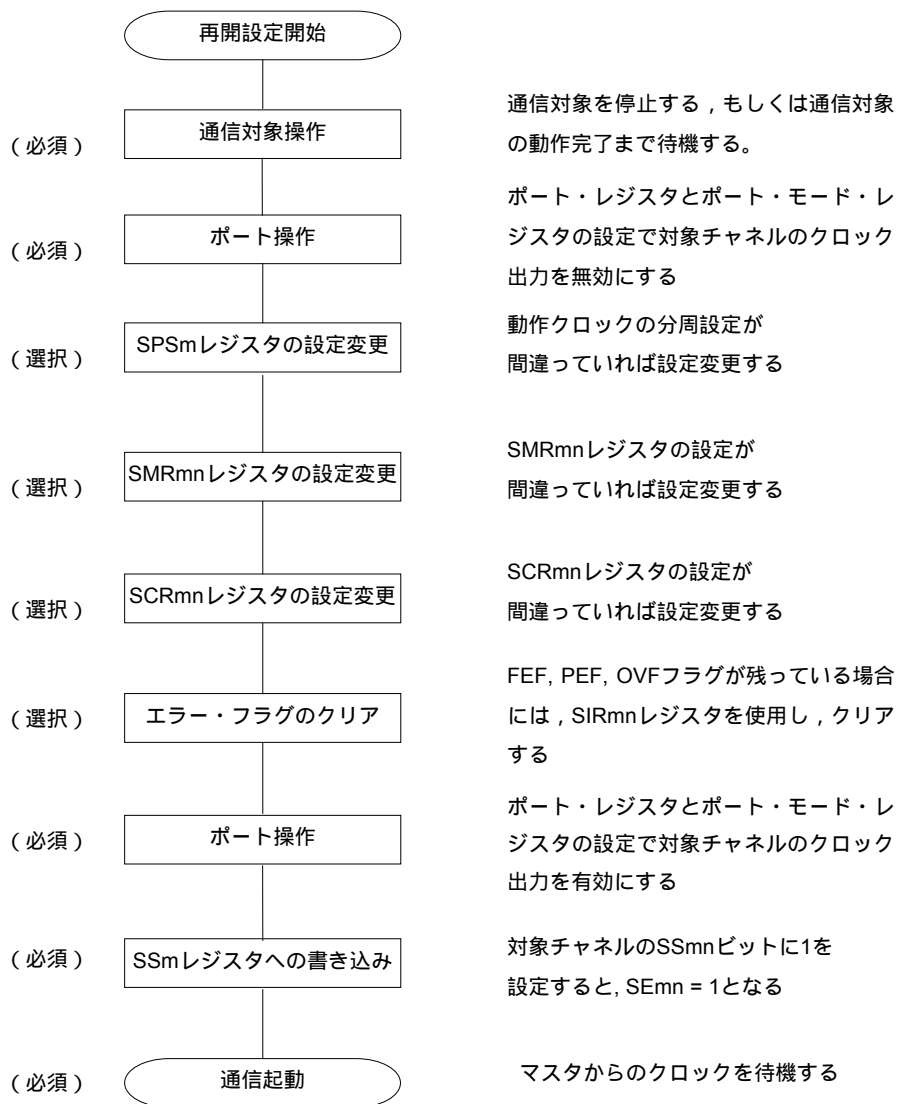
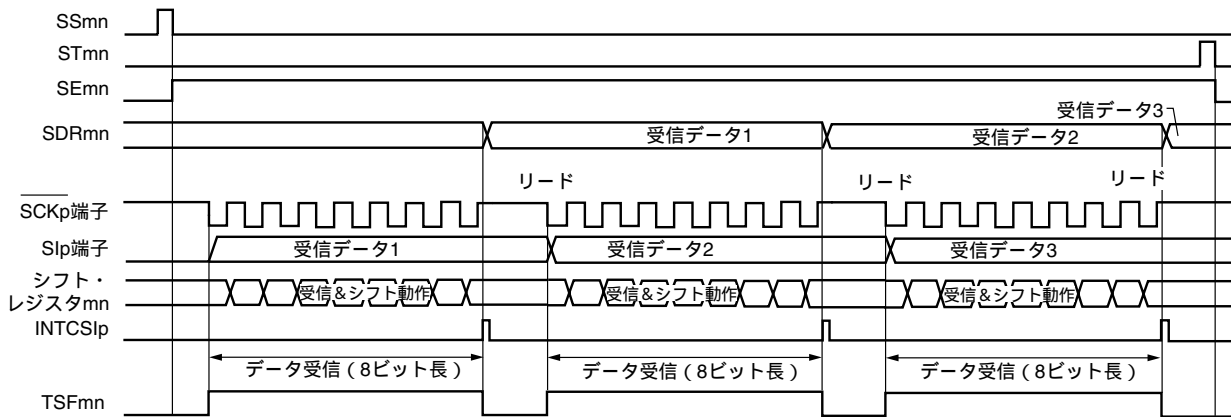


図13 - 59 スレーブ受信の再開設定手順



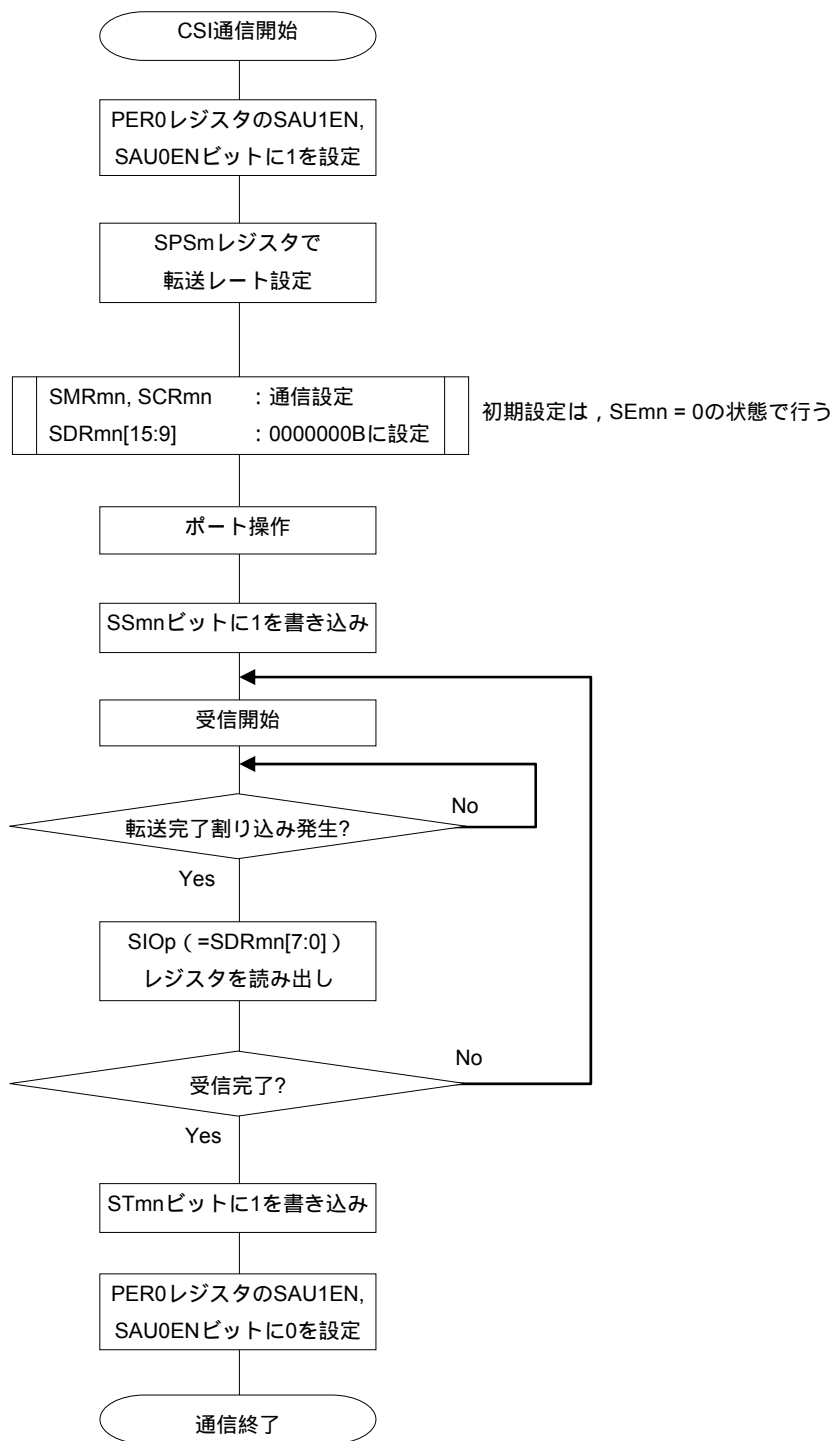
(3) 処理フロー (シングル受信モード時)

図13 - 60 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

図13 - 61 スレーブ受信 (シングル受信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に，4クロック以上間隔をあけてからSPSmレジスタを設定してください。

13.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、78K0R/KG3と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00	CSI01	CSI10	CSI20
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル1	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	$\overline{\text{SCK00}}$, SI00, SO00	$\overline{\text{SCK01}}$, SI01, SO01	$\overline{\text{SCK10}}$, SI10, SO10	$\overline{\text{SCK20}}$, SI20, SO20
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI20
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ			
転送データ長	7ビットまたは8ビット			
転送レート	Max. $f_{\text{MCK}}/6$ [Hz] ^{注1, 2}			
データ位相	DAPmnビットにより選択可能 <ul style="list-style-type: none"> ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 			
クロック位相	CKPmnビットにより選択可能 <ul style="list-style-type: none"> ・ CKPmn = 0の場合：正転 ・ CKPmn = 1の場合：反転 			
データ方向	MSBファーストまたはLSBファースト			

注1. $\overline{\text{SCK00}}$, $\overline{\text{SCK01}}$, $\overline{\text{SCK10}}$, $\overline{\text{SCK20}}$ 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{\text{MCK}}/6$ [Hz]となります。

2. この条件を満たし、かつ電気的特性のAC特性（第29章 電気的特性（標準品））、第30章 電気的特性（A）水準品）参照）を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0-2）

(1) レジスタ設定

図13 - 62 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) のスレーブ送受信時のレジスタ設定内容例



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

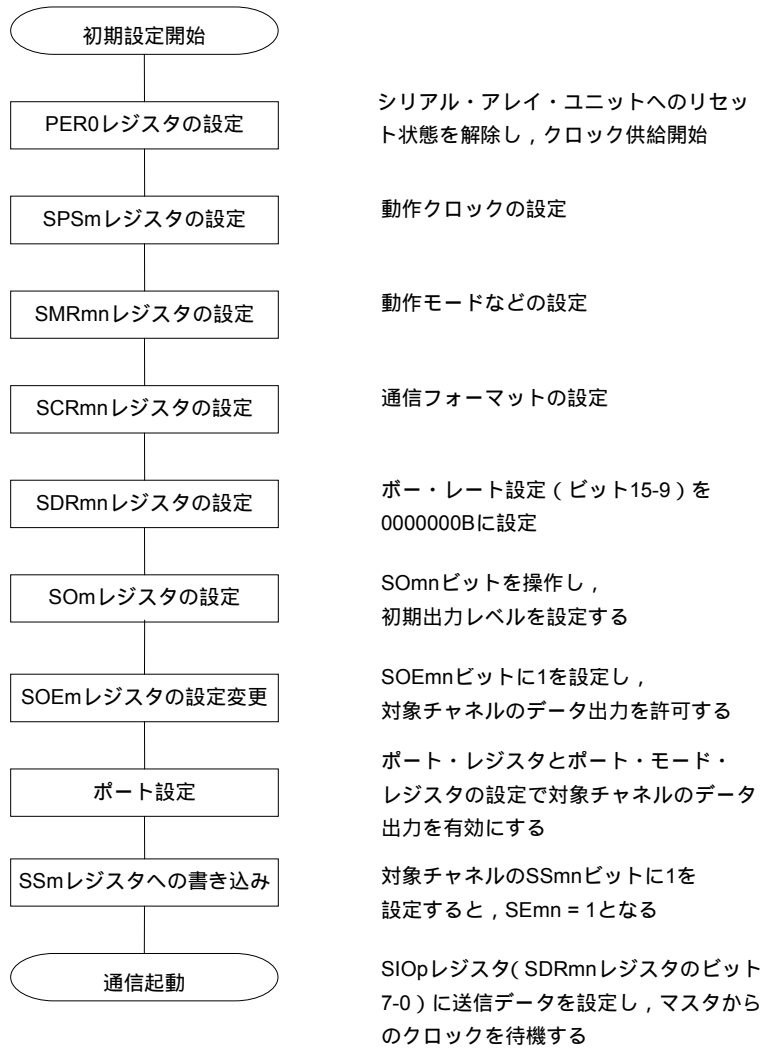
□ : CSIスレーブ送受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

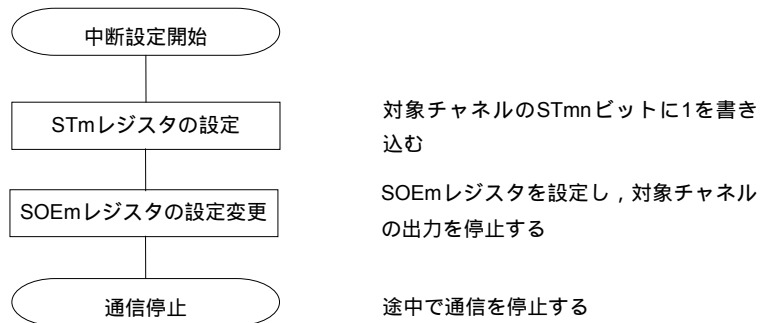
図13 - 63 スレーブ送受信の初期設定手順



注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

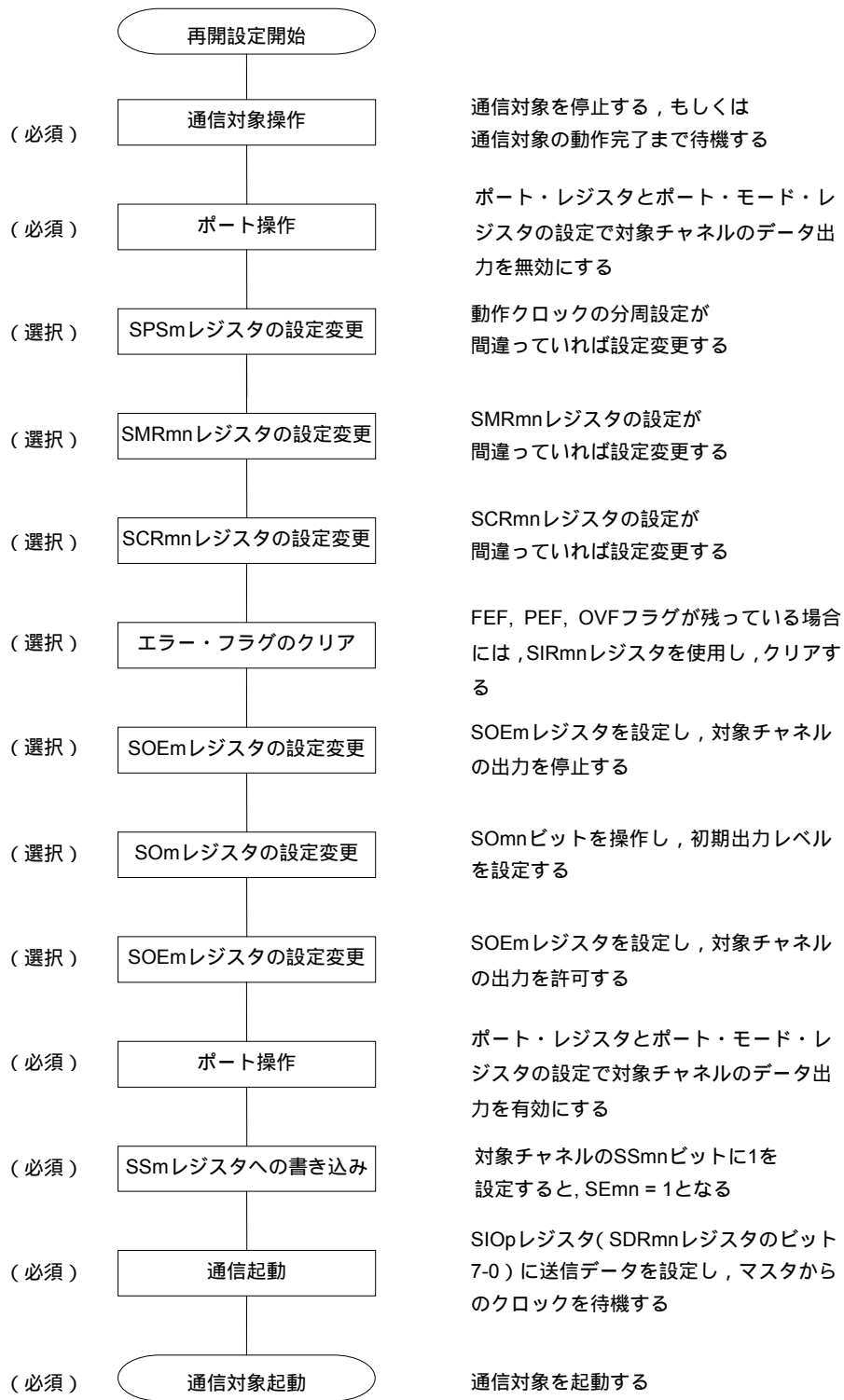
2. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図13 - 64 スレーブ送受信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図13 - 65 スレーブ送受信の再開設定手順参照)。

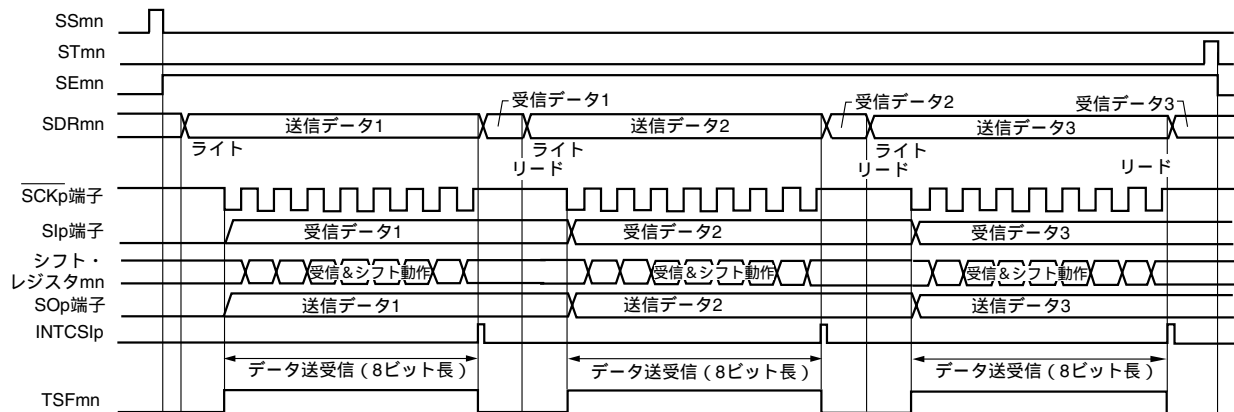
図13 - 65 スレーブ送受信の再開設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOPレジスタへ設定してください。

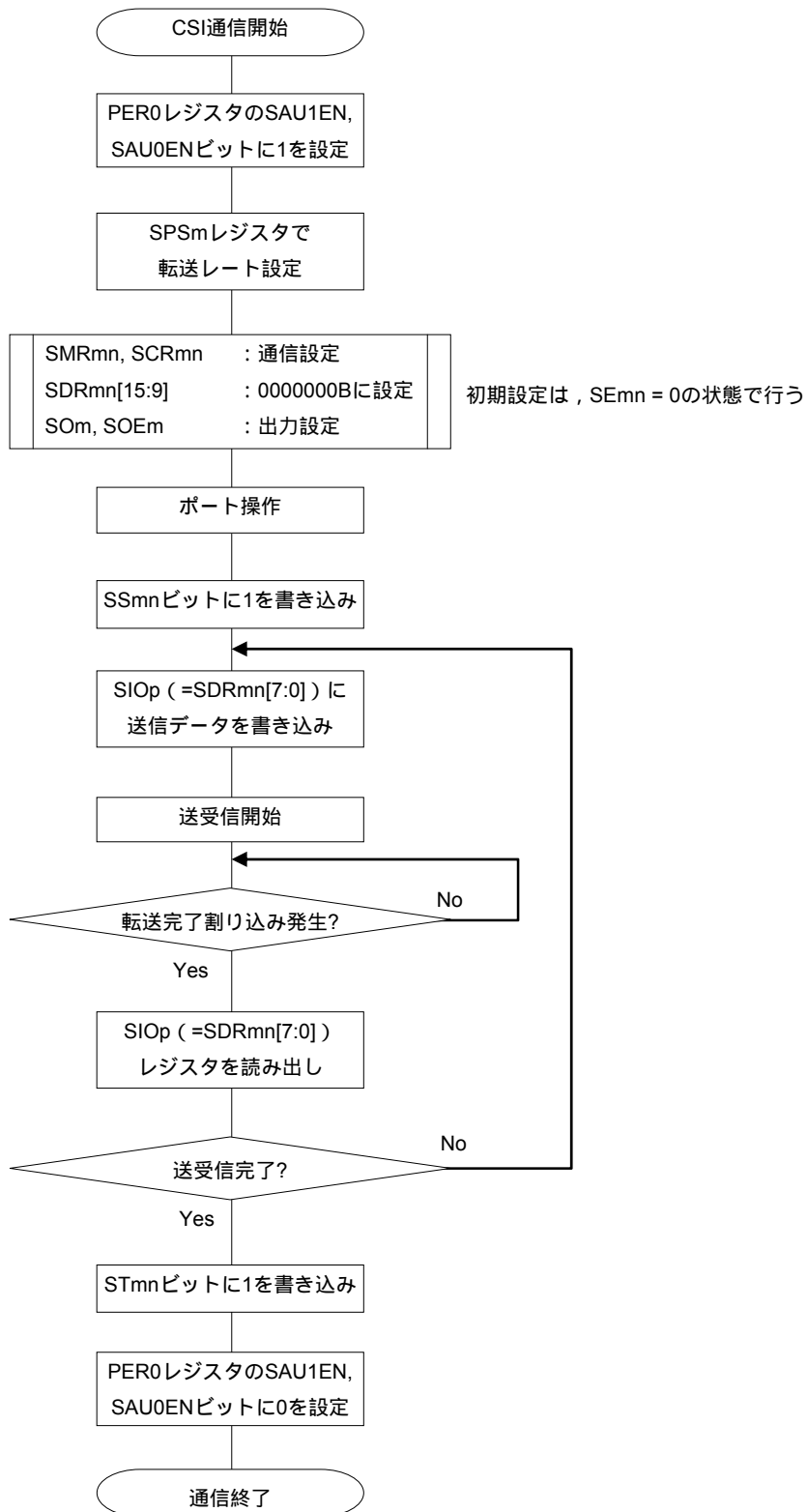
(3) 処理フロー (シングル送受信モード時)

図13 - 66 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

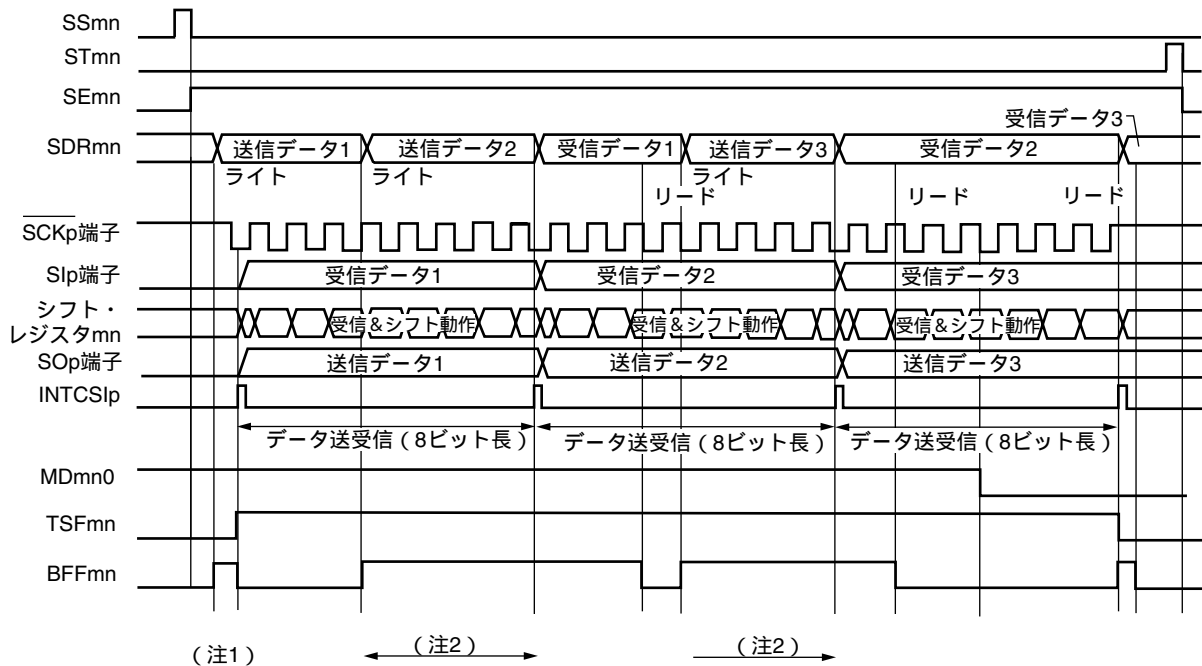
図13 - 67 スレーブ送受信 (シングル送受信モード時) のフロー・チャート



- 注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。
2. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー（連続送受信モード時）

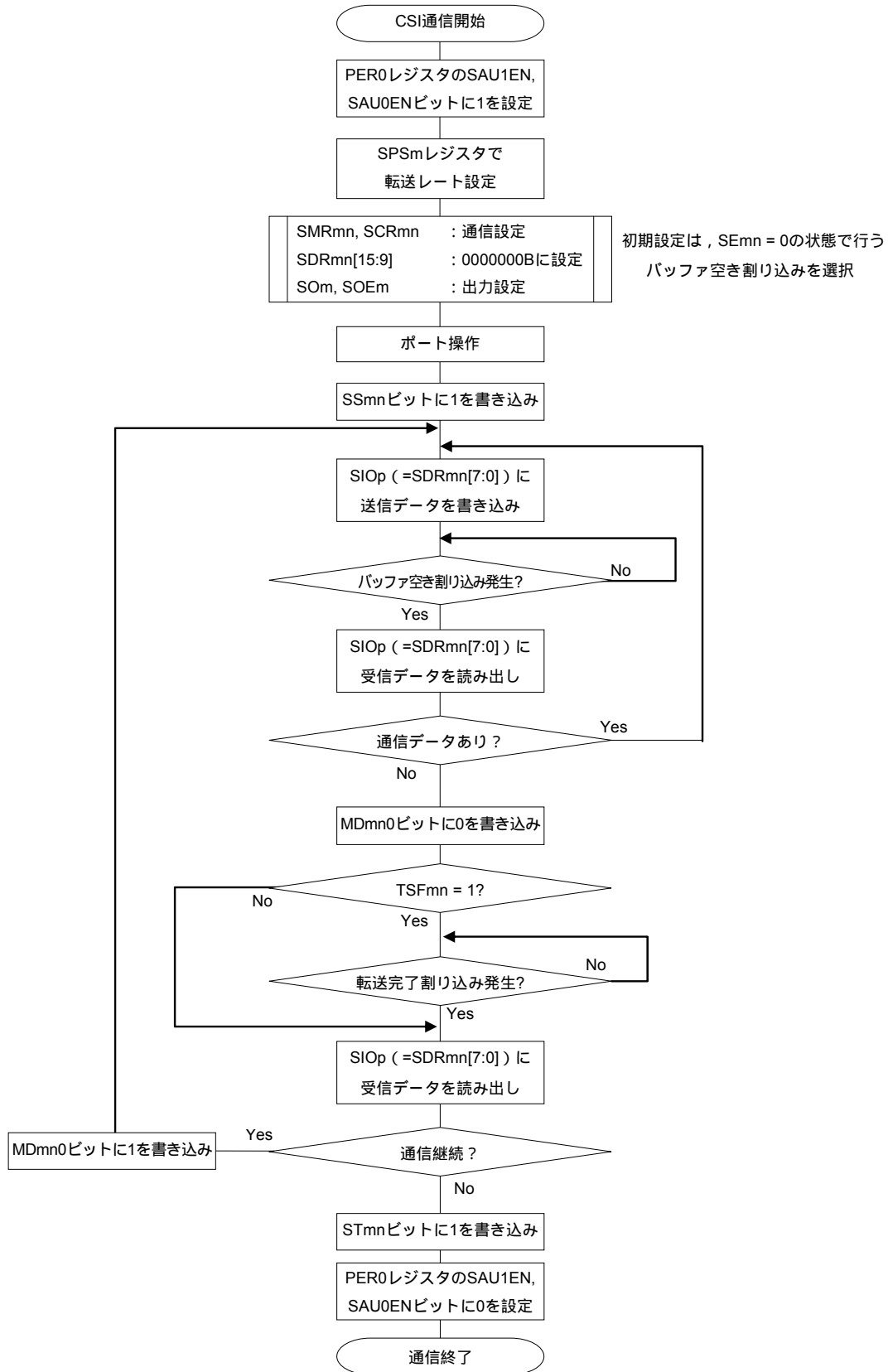
図13 - 68 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



- 注1. BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。
2. この期間にSDRmnレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。
- 注意 MDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の ~ は、図13 - 69 スレーブ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。
2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-2) p : CSI番号 (p = 00, 01, 10, 20)

図13 - 69 スレープ送受信 (連続送受信モード時) のフロー・チャート



注意1. PER0レジスタを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

2. マスタからのクロックが開始される前に、必ず送信データをSIOPレジスタへ設定してください。

備考 図中の ~ は、図13 - 68 スレープ送受信 (連続送受信モード時) のタイミング・チャートの ~ に対応しています。

13.5.7 転送クロック周波数の算出

3線シリアルI/O(CSI00, CSI01, CSI10, CSI20)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$(\text{転送クロック周波数}) = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$(\text{転送クロック周波数}) = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注}} \text{ [Hz]}$$

注 ただし、許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値(0000000B-1111111B)なので、0-127になります。

2. m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-2)

動作クロック (MCK) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表13-2 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (MCK) ^{注1}	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	m = 0の場合: INTTM02, m = 1の場合: INTTM03 ^{注2}	
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
		1	1	1	1	X	X	X	X	m = 0の場合: INTTM02, m = 1の場合: INTTM03 ^{注2}
上記以外									設定禁止	

注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02, INTTM03を選択する場合は、タイマ・アレイ・ユニット (TAU) も停止 (TT0 = 00FFH) させてください。

2. TAUのチャンネル2, チャンネル3において, f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし (TIS0レジスタのTIS02 (m = 0の場合), TIS03 (m = 1の場合) に“1”を設定), SPSmレジスタでINTTM02, INTTM03を選択することにより, f_{CLK}の周波数 (メイン・システム・クロック, サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし, f_{CLK}を変更する場合は, 上記の注1のようにSAU, TAUを停止させる必要があります。

備考1. X: Don't care

2. m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-2)

13.5.8 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信時におけるエラー発生時の処理手順

3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信時にエラーが発生した場合の処理手順を図13 - 70に示します。

図13 - 70 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで、読み出した時点で発生していたエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-2), mn = 00-02, 10

13.6 UART (UART0, UART1, UART2, UART3) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。通信相手と非同期で (内部ポー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART3 (ユニット1の2, 3チャンネル) では, LIN-busに対応しています。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ シンク・ブレイク・フィールド (SBF) 検出
- ・ シンク・フィールド測定, ポー・レート算出

} 外部割り込み (INTP0),
タイマ・アレイ・ユニット (TAU) を活用

UART0では, SAU0のチャンネル0, 1を使用します。
 UART1では, SAU0のチャンネル2, 3を使用します。
 UART2では, SAU1のチャンネル0, 1を使用します。
 UART3では, SAU1のチャンネル2, 3を使用します。

ユニット	チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	CSI01		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

注意 UARTとして使用する場合は, 送信側 (偶数チャンネル) と受信側 (奇数チャンネル) のどちらのチャンネルもUARTとしてしか使用することはできません。

UARTの通信動作は, 以下の4種類があります。

- ・ UART送信 (13.6.1項を参照)
- ・ UART受信 (13.6.2項を参照)
- ・ LIN送信 (UART3のみ) (13.6.3項を参照)
- ・ LIN受信 (UART3のみ) (13.6.4項を参照)

13.6.1 UART送信

UART送信は、78K0R/KG3から他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	5ビットまたは7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加			
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電気的特性のAC特性(第29章 電気的特性(標準品),第30章 電気的特性(A水準品)参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック (MCK) 周波数

f_{CLK} : システム・クロック周波数

2. m : ユニット番号 ($m = 0, 1$) n : チャンネル番号 ($n = 0, 2$)

(1) レジスタ設定

図13 - 71 UART (UART0, UART1, UART2, UART3) のUART送信時のレジスタ設定内容例

(a) シリアル出力レジスタ_m (SO_m) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _m	0	0	0	0	1	CKOm2	CKOm1	CKOm0	0	0	0	0	1	SOm2	SOm1	SOm0
						x	x	x						0/1 ^注	x	0/1 ^注

(b) シリアル出力許可レジスタ_m (SOEm) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
														SOEm2	SOEm1	SOEm0
														0/1	x	0/1

(c) シリアル・チャネル開始レジスタ_m (SS_m) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SS _m	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
														x	0/1	x	0/1

(d) シリアル出力レベル・レジスタ_m (SOL_m) . . . 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL _m	0	0	0	0	0	0	0	0	0	0	0	0	0	SOLm2		SOLm0
														0/1	0	0/1

0 : 正転 (通常) 送信
1 : 反転送信

(e) シリアル・モード・レジスタ_{mn} (SMR_{mn})

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKSmn	CCSmn						STSmn		SlSmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0/1

チャンネル_nの割り込み要因
0 : 転送完了割り込み
1 : バッファ空き割り込み

(f) シリアル通信動作設定レジスタ_{mn} (SCR_{mn})

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR _{mn}	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLSmn2	DLSmn1	DLSmn0
	1	0	0	0	0	0	0/1	0/1	0/1	0	0/1	0/1	0	1	0/1	0/1

パリティ・ビット設定
00B : パリティなし
01B : 0パリティ
10B : 偶数パリティ
11B : 奇数パリティ

ストップ・ビット設定
01B : 1ビット付加
10B : 2ビット付加

(g) シリアル・データ・レジスタ_{mn} (SDR_{mn}) (下位8ビット : TXD_q)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SDR _{mn}	ボー・レート設定								0	送信データ設定							

TXD_q

注 該当するチャネルのSOL_{mn}ビットに0を設定している場合は“1”に, SOL_{mn}ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-3)

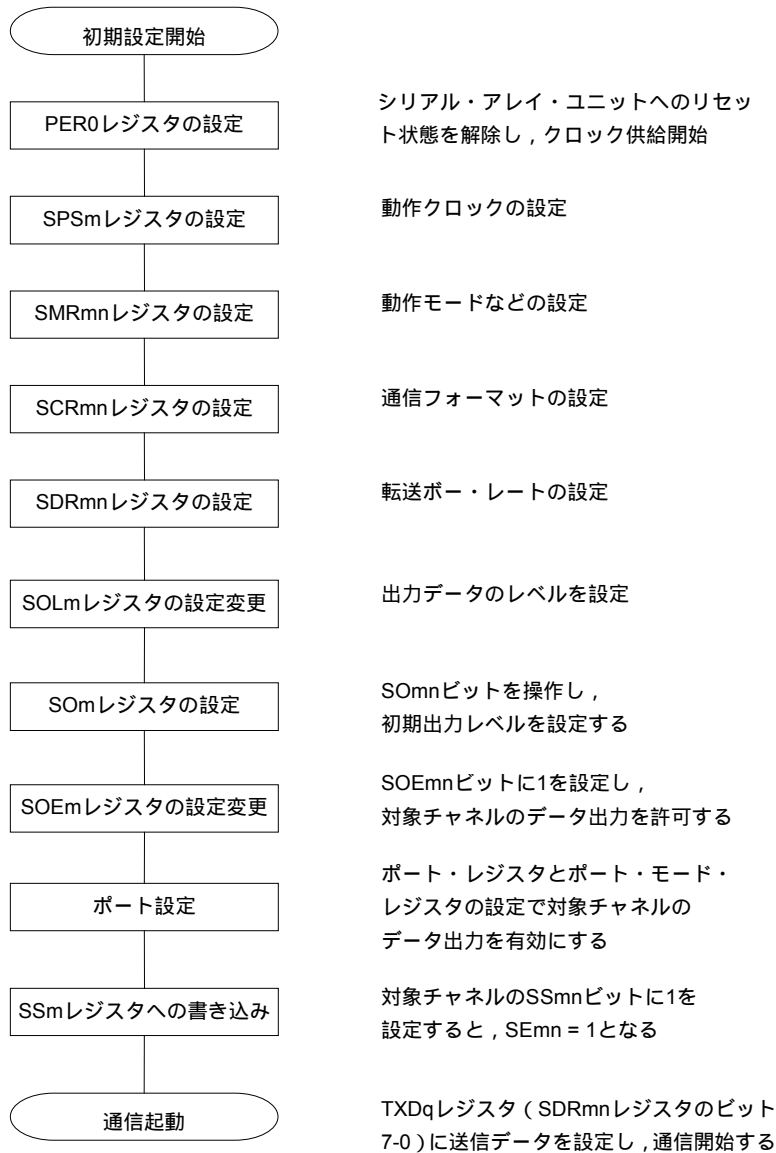
□ : UART送信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

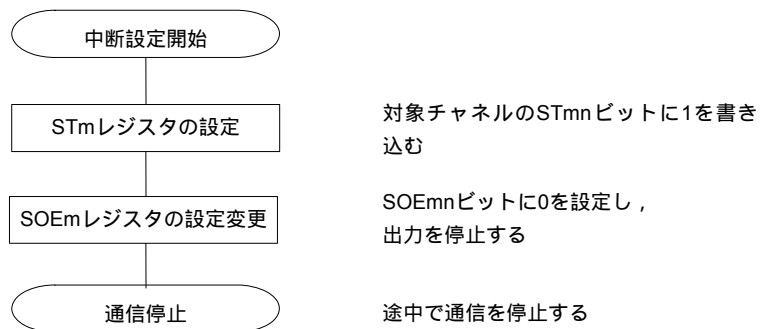
(2) 操作手順

図13 - 72 UART送信の初期設定手順



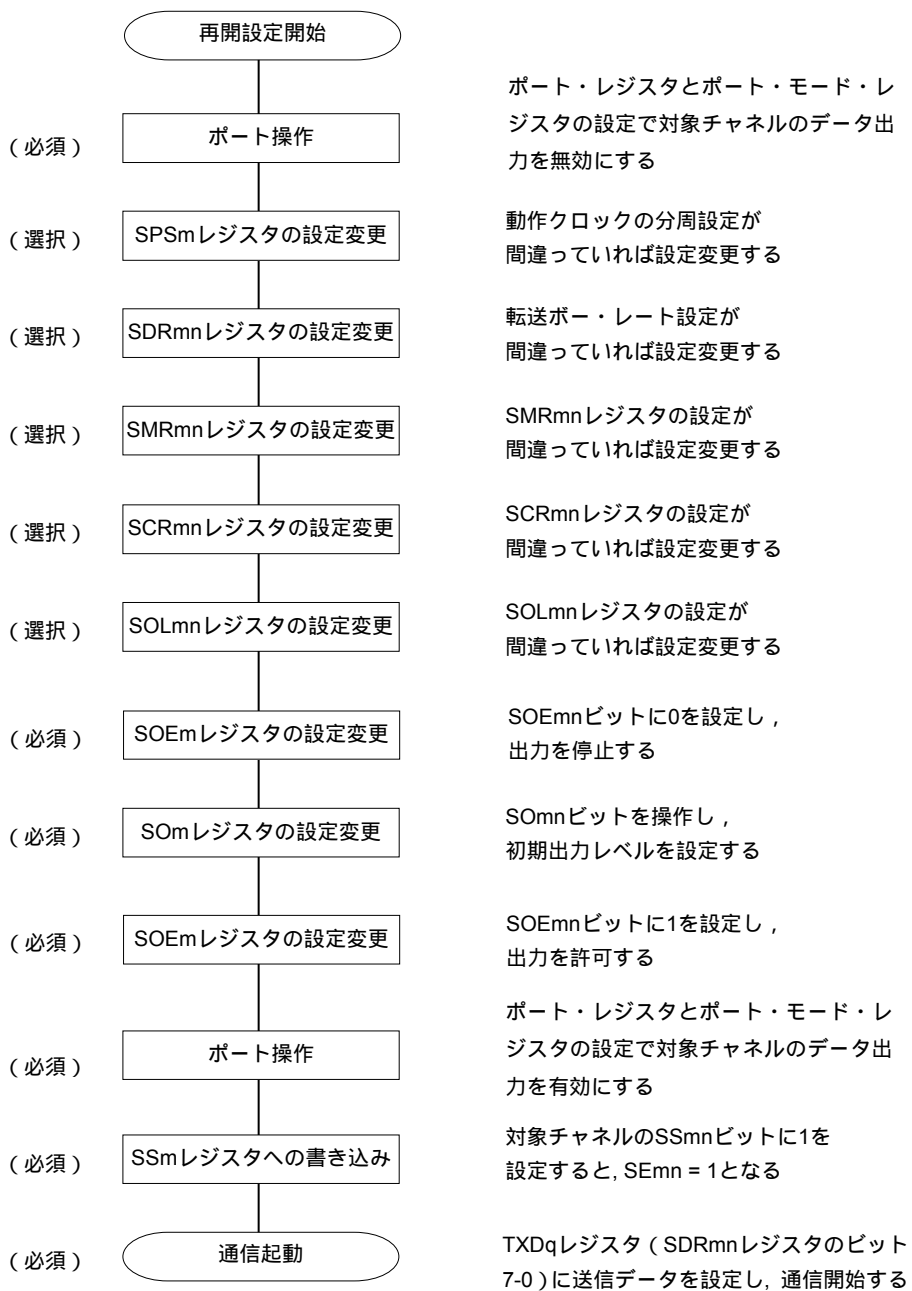
注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図13 - 73 UART送信の中断手順



備考 中断後も端子レベルは保持されますので、動作を再開する際にはSOmレジスタを再設定してください (図13 - 74 UART送信の再開設定手順参照)。

図13 - 74 UART送信の再開設定手順



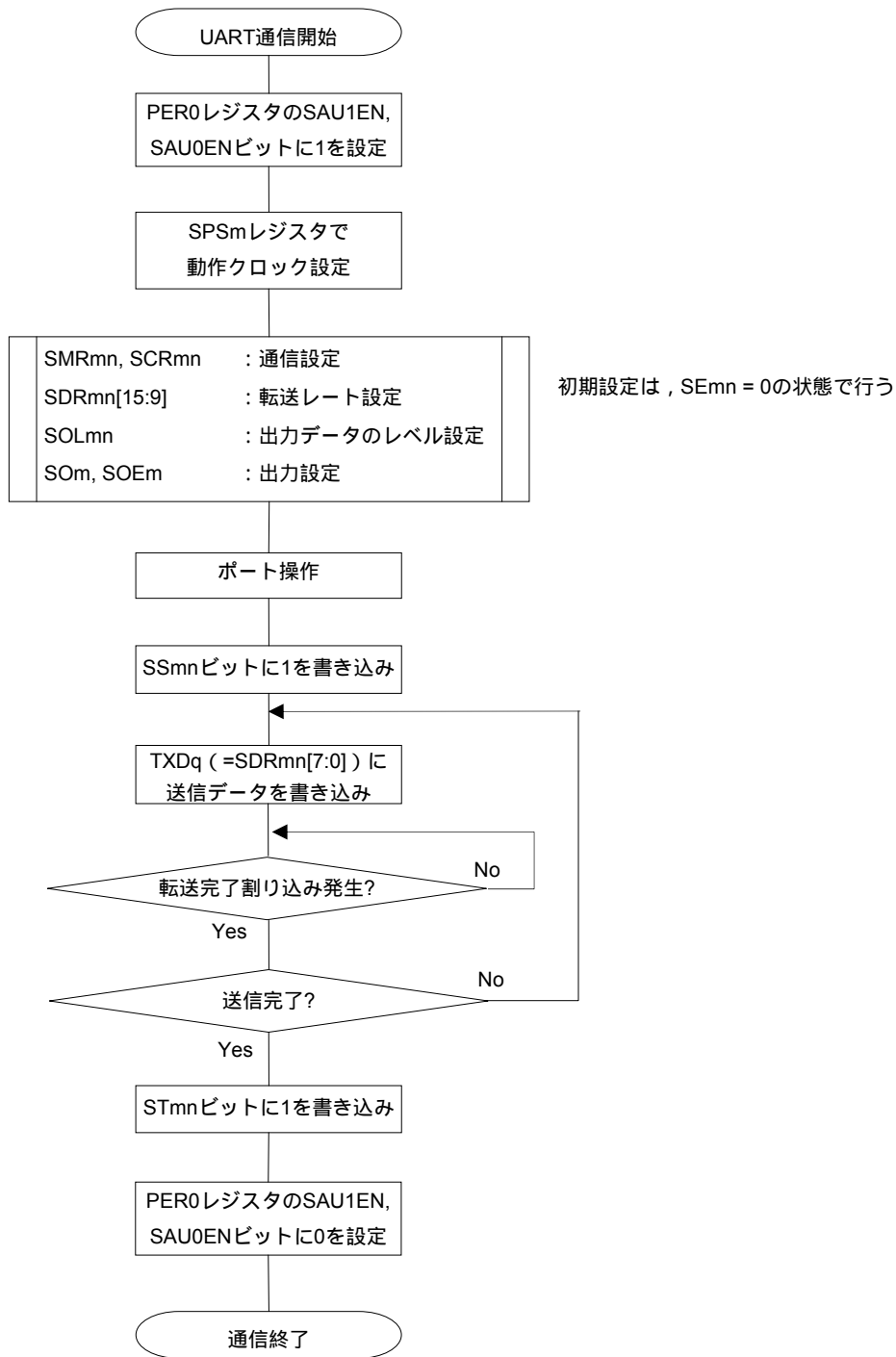
(3) 処理フロー (シングル送信モード時)

図13 - 75 UART送信 (シングル送信モード時) のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-3)

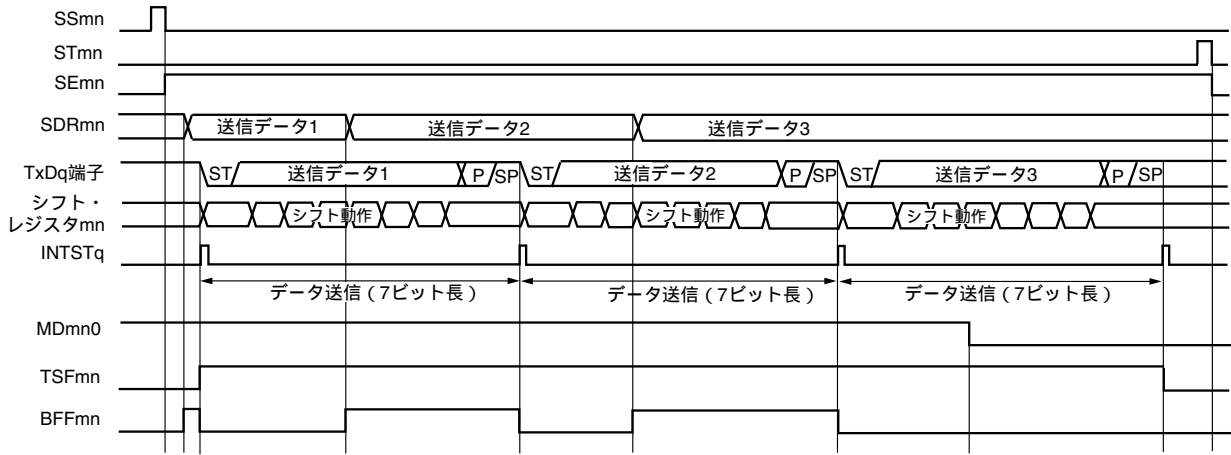
図13 - 76 UART送信 (シングル送信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

(4) 処理フロー（連続送信モード時）

図13 - 77 UART送信（連続送信モード時）のタイミング・チャート



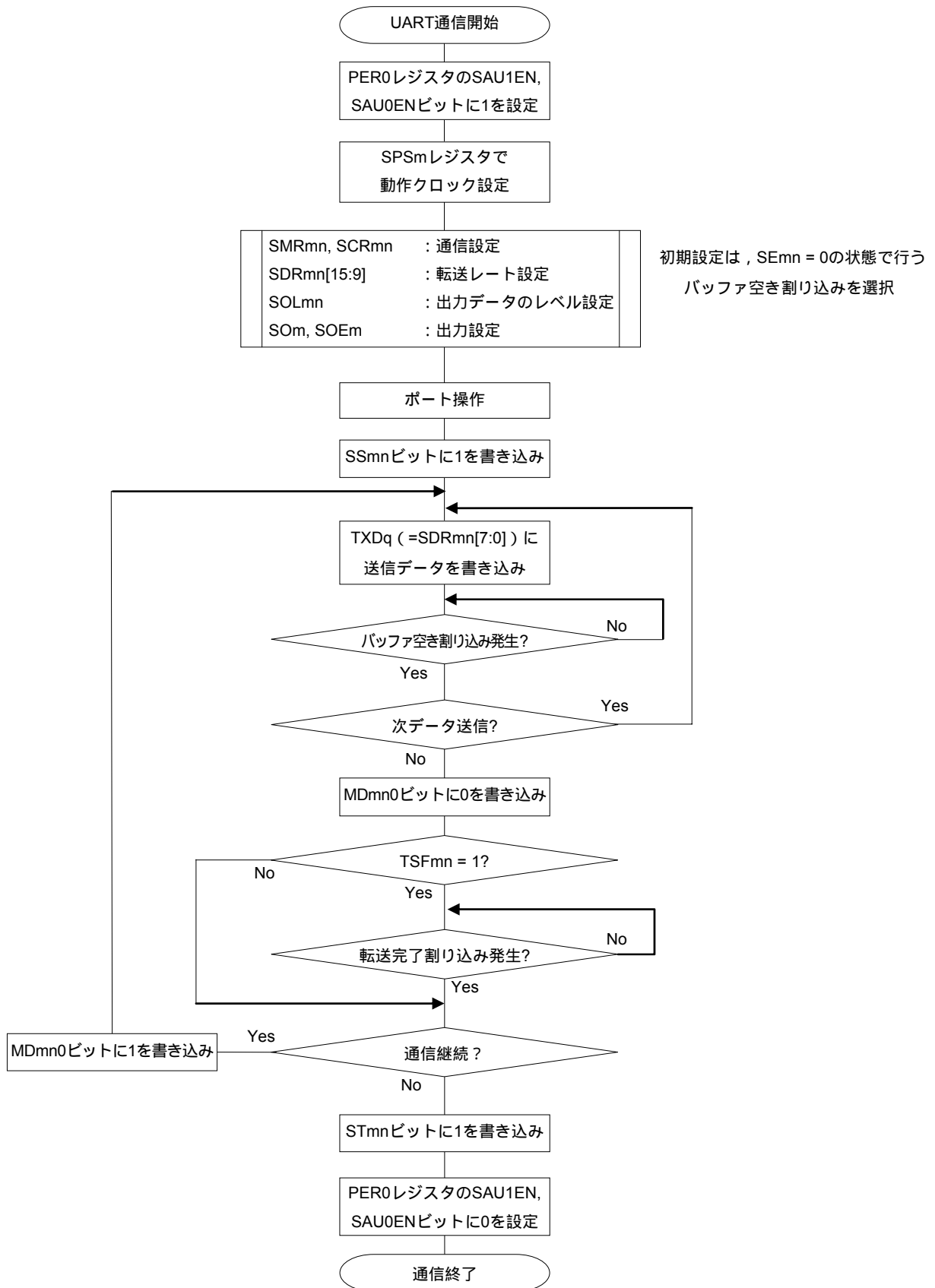
(注)

注 BFFmn = 1の期間にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意 MDmn0ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0-3)

図13 - 78 UART送信 (連続送信モード時) のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

備考 図中の ~ は、図13 - 77 UART送信 (連続送信モード時) のタイミング・チャートの ~ に対応しています。

13.6.2 UART受信

UART受信は、他デバイスから78K0R/KG3が非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTSR0	INTSR1	INTSR2	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEFmn） ・ パリティ・エラー検出フラグ（PEFmn） ・ オーバラン・エラー検出フラグ（OVFmn） 			
転送データ長	5ビットまたは7ビットまたは8ビット			
転送レート	Max. $f_{MCK}/6$ [bps]（ $SDR_{mn}[15:9] = 2$ 以上）, Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ 0パリティ・ビット付加（パリティ・チェックなし） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 			
ストップ・ビット	1ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし、かつ電氣的特性のAC特性（第29章 電氣的特性（標準品）, 第30章 電氣的特性（A水準品）参照）を満たす範囲内で使用してください。

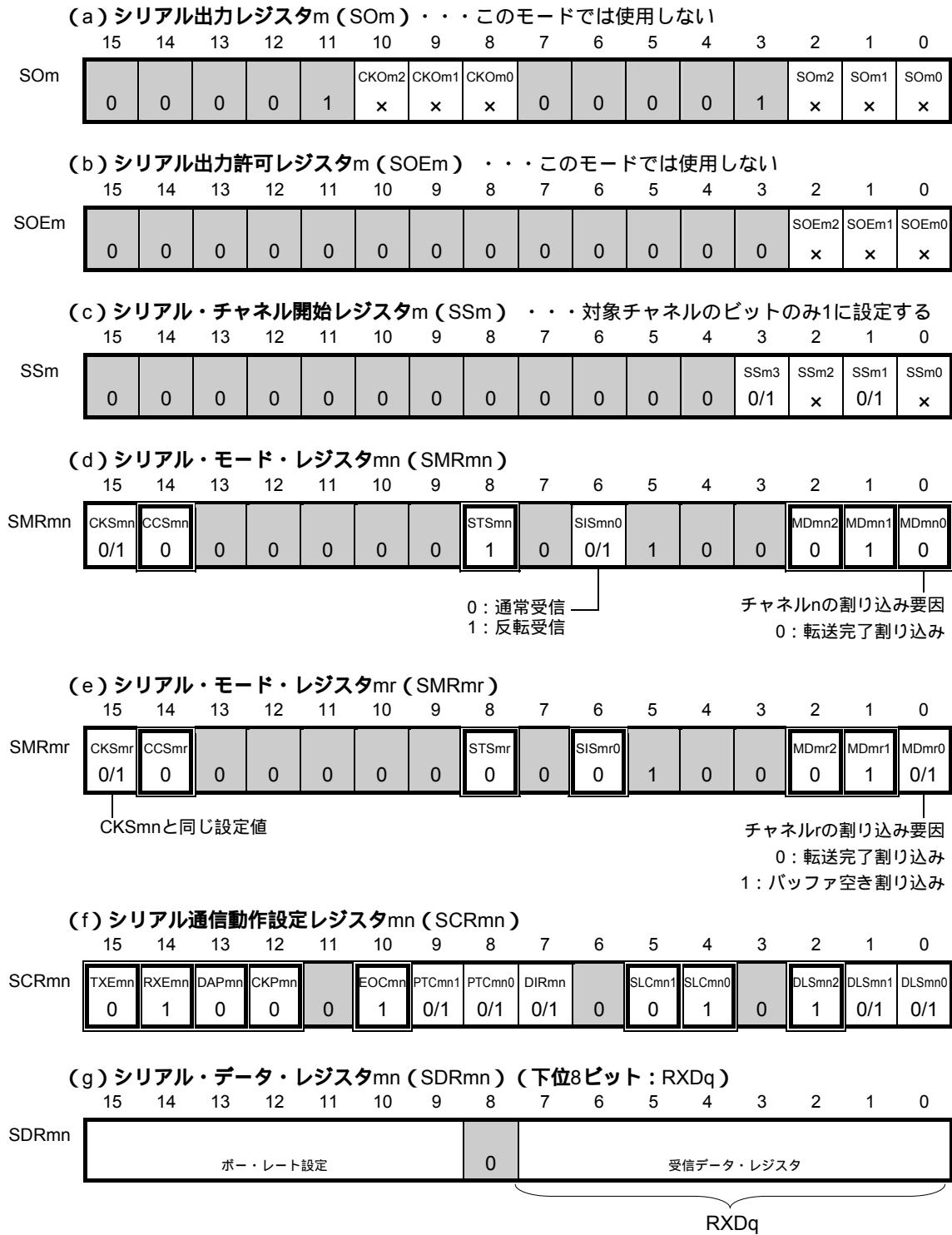
備考1. f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

2. m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 1, 3）

(1) レジスタ設定

図13 - 79 UART (UART0, UART1, UART2, UART3) のUART受信時のレジスタ設定内容例



注意 UART受信時は、チャンネル_nとペアになるチャンネル_rのSMR_{mr}も必ず設定してください。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 1, 3) r: チャンネル番号 (r = n - 1)

q: UART番号 (q = 0-3)

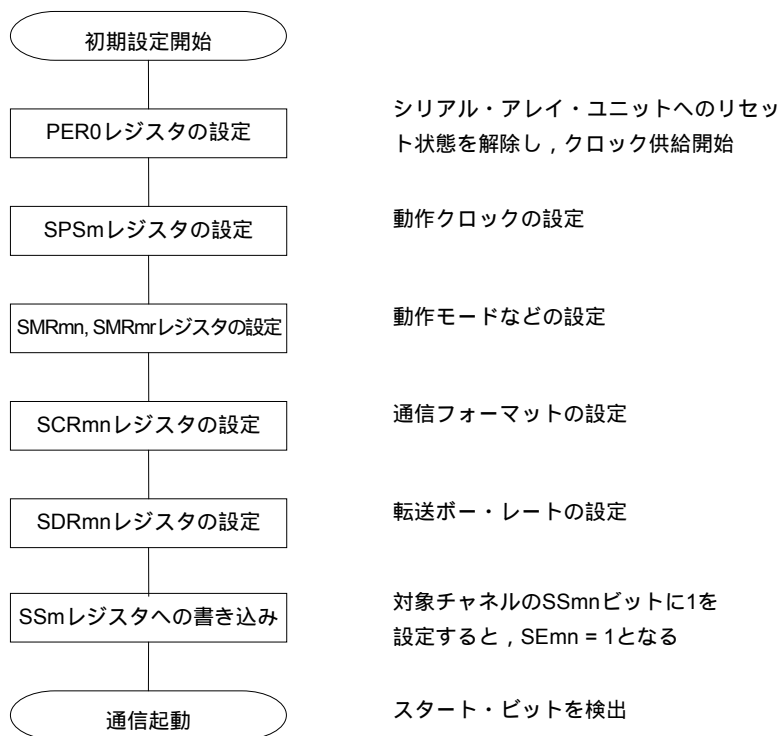
□: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図13 - 80 UART受信の初期設定手順



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

図13 - 81 UART受信の中断手順

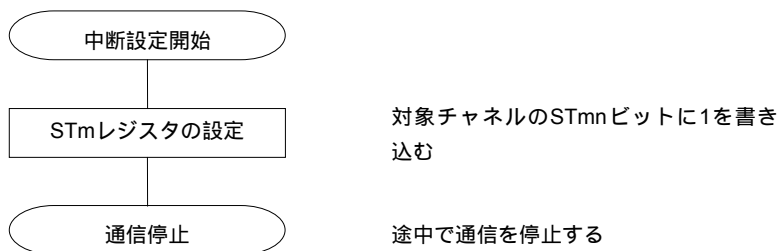
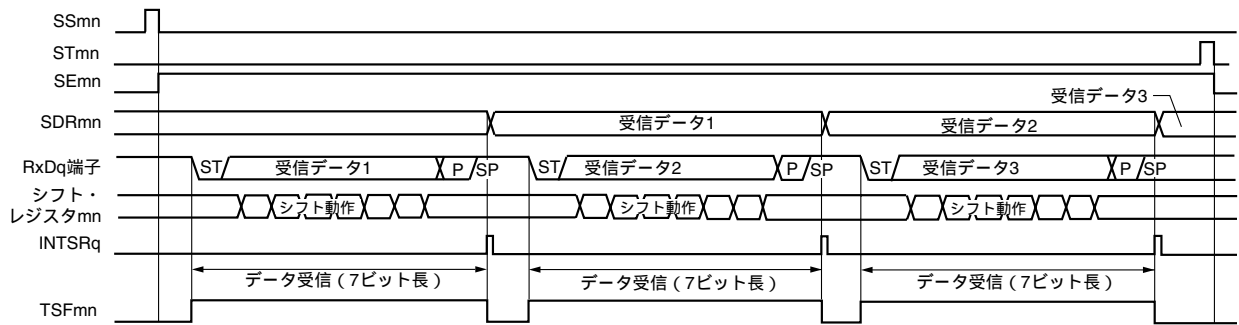


図13 - 82 UART受信の再開設定手順



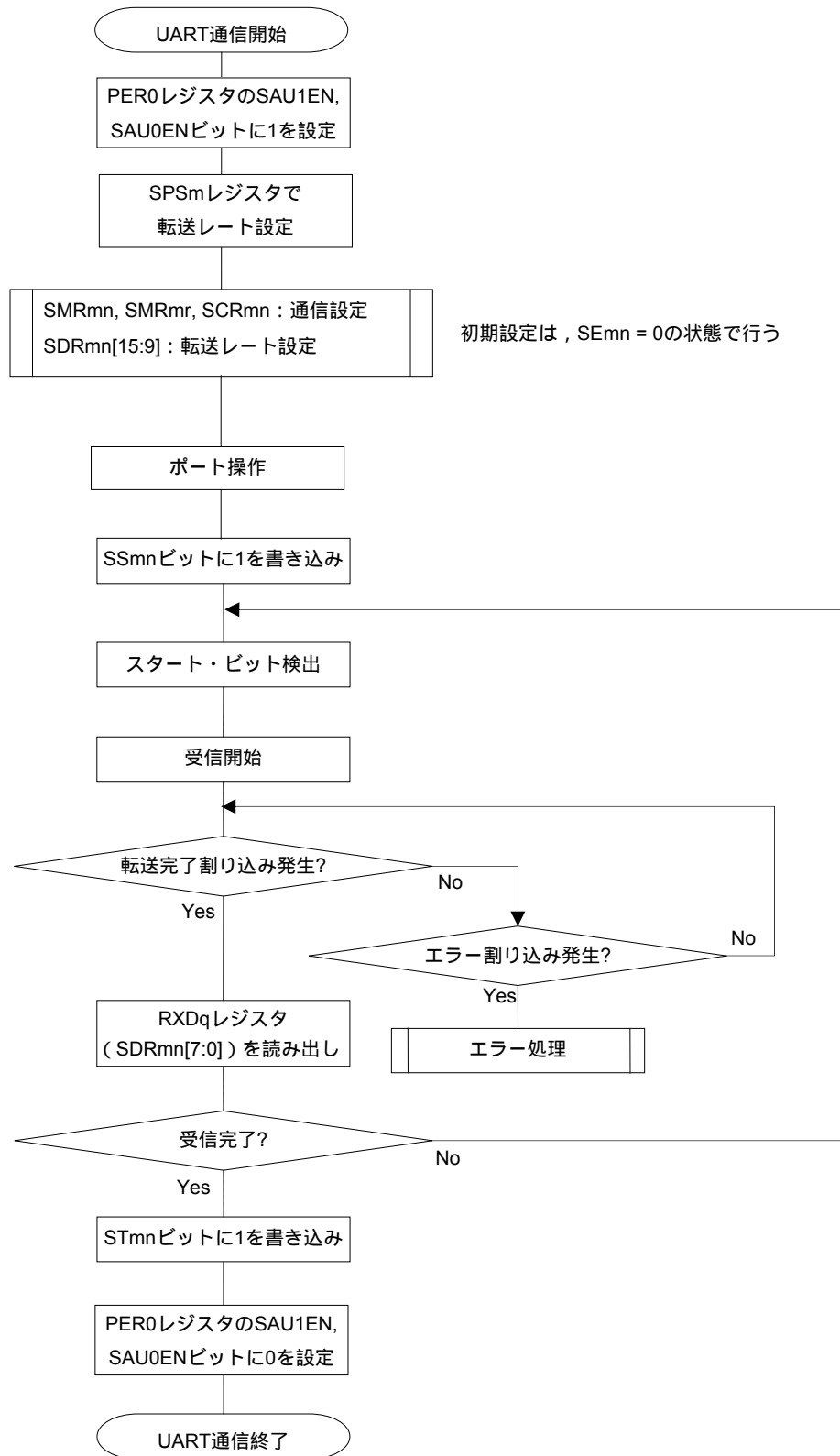
(3) 処理フロー

図13 - 83 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3) q : UART番号 (q = 0-3)

図13 - 84 UART受信のフロー・チャート



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。

13.6.3 LIN送信

UART送信のうち，UART3はLIN通信に対応しています。

LIN送信では，ユニット1（SAU1）のチャンネル2を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	不可	可
対象チャンネル	-	-	-	SAU1のチャンネル2
使用端子	-	-	-	TxD3
割り込み	-	-	-	INTST3
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート	Max. $f_{MCK}/6$ [bps] (SDR12[15:9] = 2以上) , Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加			
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加			
データ方向	MSBファーストまたはLSBファースト			

注 この条件を満たし，かつ電気的特性のAC特性（第29章 電気的特性（標準品））,第30章 電気的特性（A水準品）参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

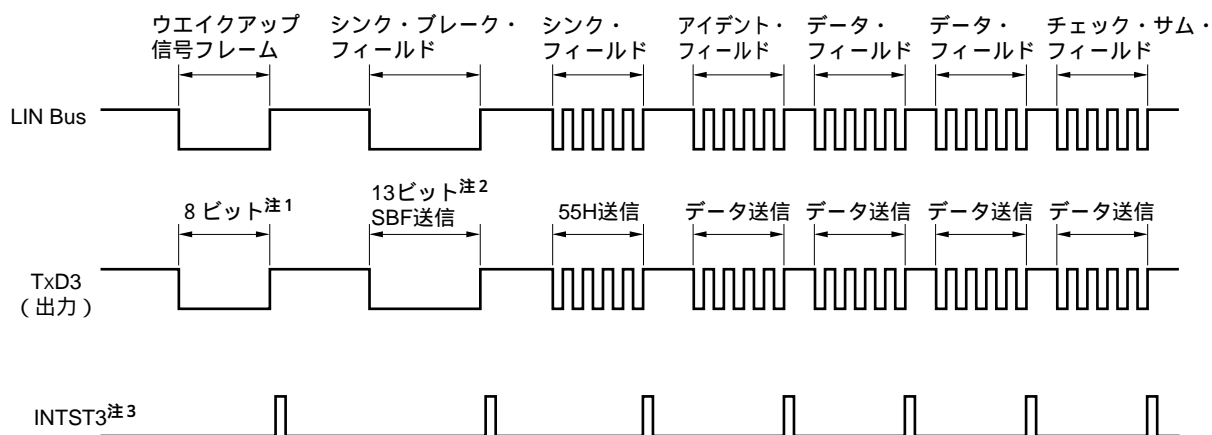
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにボー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため，スレーブのボー・レート誤差が±15%以下であれば，通信可能です。

LINの送信操作の概略を，図13 - 85に示します。

図13 - 85 LINの送信操作



- 注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、00Hのデータ送信をすることで対応します。
2. シンク・ブレイク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、シンク・ブレイク・フィールドで使用するポー・レートは次のようになります。

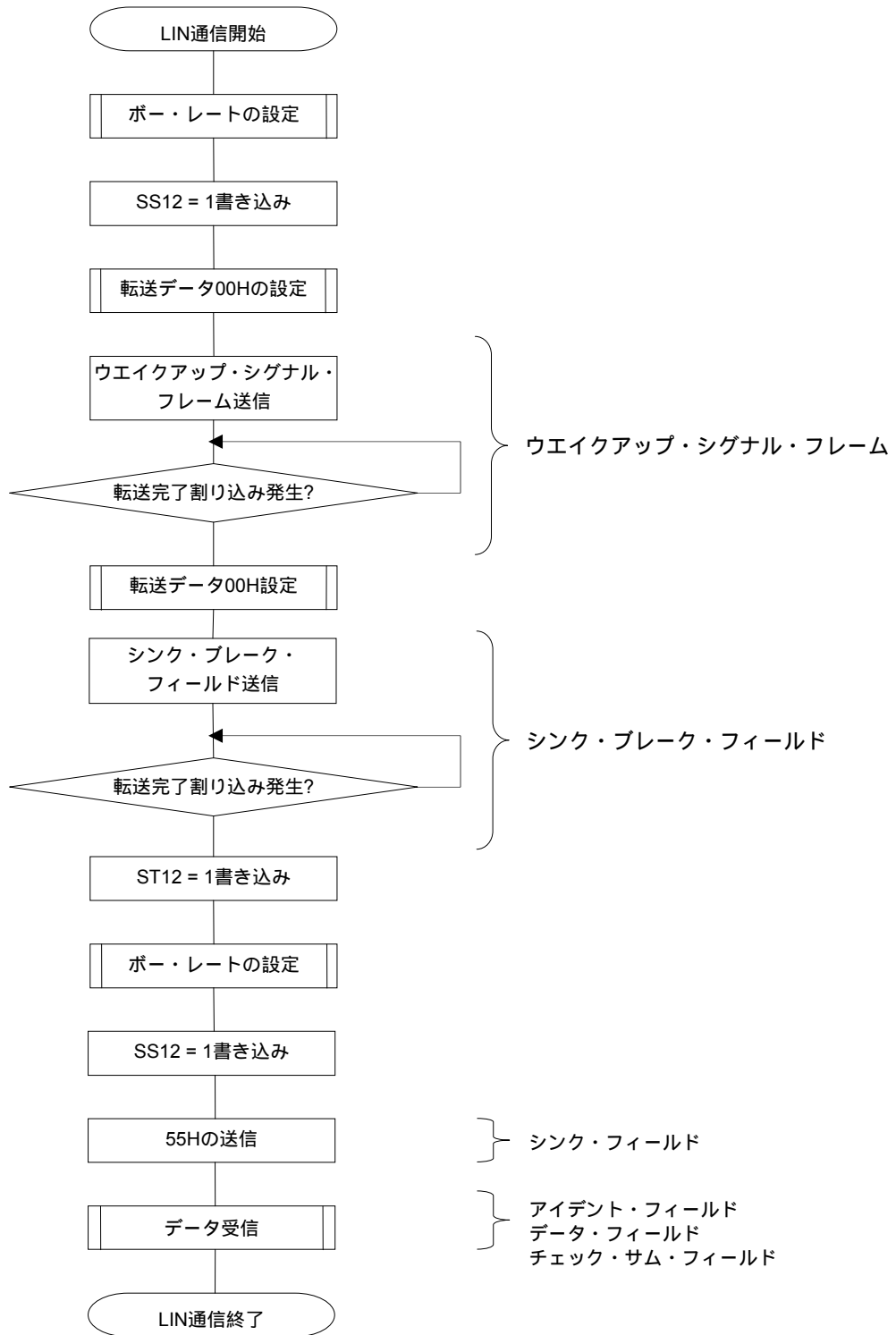
$$\boxed{(\text{シンク・ブレイク・フィールド時のポー・レート}) = 9/13 \times N}$$

このポー・レートで00Hのデータ送信をすることでシンク・ブレイク・フィールドを生成します。

3. 各送信終了時にはINTST3を出力します。またSBF送信時もINTST3を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図13 - 86 LIN送信のフロー・チャート



13.6.4 LIN受信

UART受信のうち，UART3はLIN通信に対応しています。

LIN受信では，ユニット1（SAU1）のチャンネル3を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	不可	不可	不可	可
対象チャンネル	-	-	-	SAU1のチャンネル3
使用端子	-	-	-	RxD3
割り込み	-	-	-	INTSR3
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）			
エラー割り込み	-	-	-	INTSRE3
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF13） ・ パリティ・エラー検出フラグ（PEF13） ・ オーバラン・エラー検出フラグ（OVF13） 			
転送データ長	8ビット			
転送レート	Max. $f_{MCK}/6$ [bps]（SDR13[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注			
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）			
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックしない） ・ 0パリティ・ビット付加（パリティ・チェックしない） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 			
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ 1ビット付加 ・ 2ビット付加 			
データ方向	MSBファーストまたはLSBファースト			

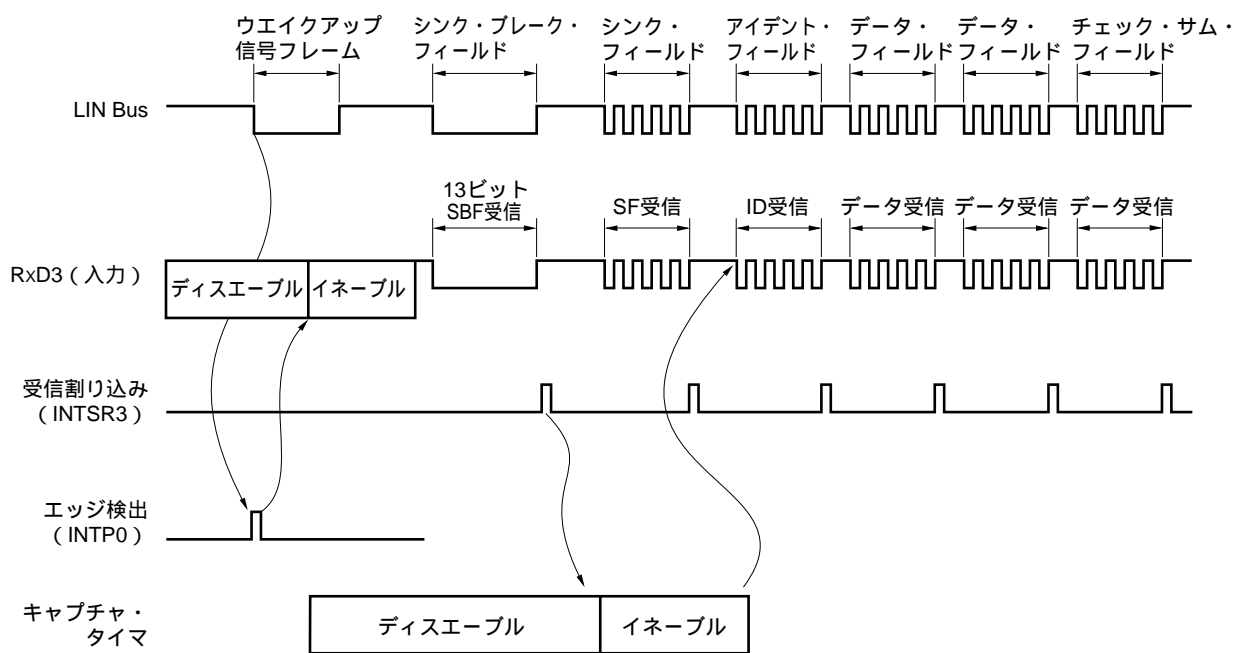
注 この条件を満たし，かつ電気的特性のAC特性（第29章 電気的特性（標準品）），第30章 電気的特性（A水準品）参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数

f_{CLK} ：システム・クロック周波数

LINの受信操作の概略を，図13 - 87に示します。

図13 - 87 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTPO)で行います。ウェイクアップ信号を検出したら、UART3の受信を許可 (RXE13 = 1) し、SBF受信待ち状態にします。

SBFのスタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、RXD3レジスタ (= シリアル・データ・レジスタ13 (SDR13) のビット7-0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み要求 (INTSR3) を発生します。そして、SBFとして11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断します。SBFとして11ビット未満のロウ・レベルのデータを検出した場合は、SBF受信エラーと判断し、SBF受信待ち状態に戻ります。SBF受信を正常終了した場合、タイマ・アレイ・ユニットのチャンネル7を起動し、シンク・フィールドのビット間隔 (パルス幅) を測定してください (7.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照)。シンク・フィールド (SF) のビット間隔からボー・レート誤差を算出します。そして、いったんUART3を動作停止にしてからボー・レートを調整 (再設定) してください。

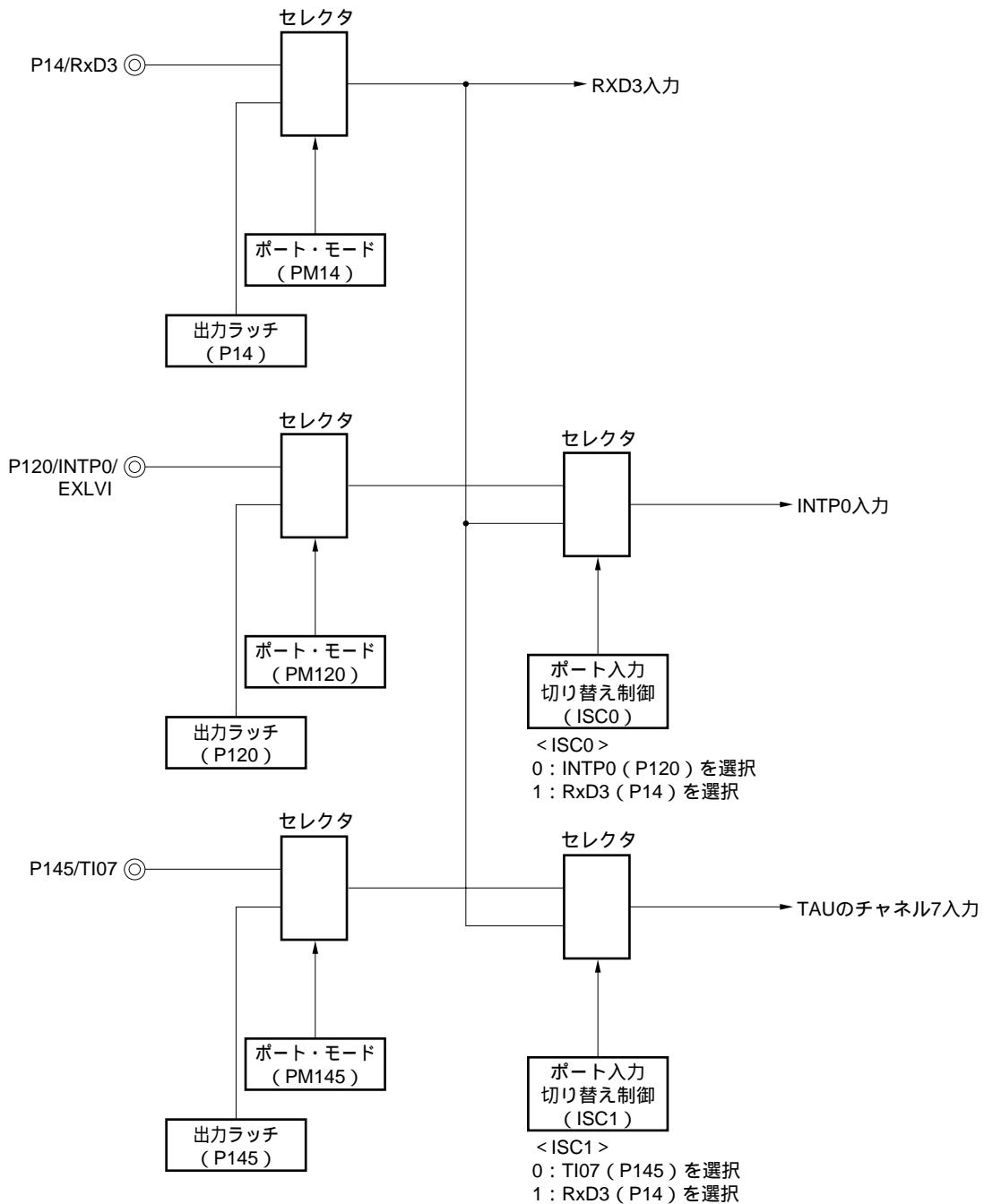
チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART3を初期化し、再びSBF受信待ちに設定する処理もソフトウェアにて行ってください。

図13 - 88はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット(TAU)の外部イベント・キャプチャ動作で計測し、ポーレート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部で結線をせずに、受信用ポート入力(RxD3)の入力ソースを外部割り込み(INTP0)およびタイマ・アレイ・ユニット(TAU)へ入力することができます。

図13 - 88 LINの受信操作のポート構成図



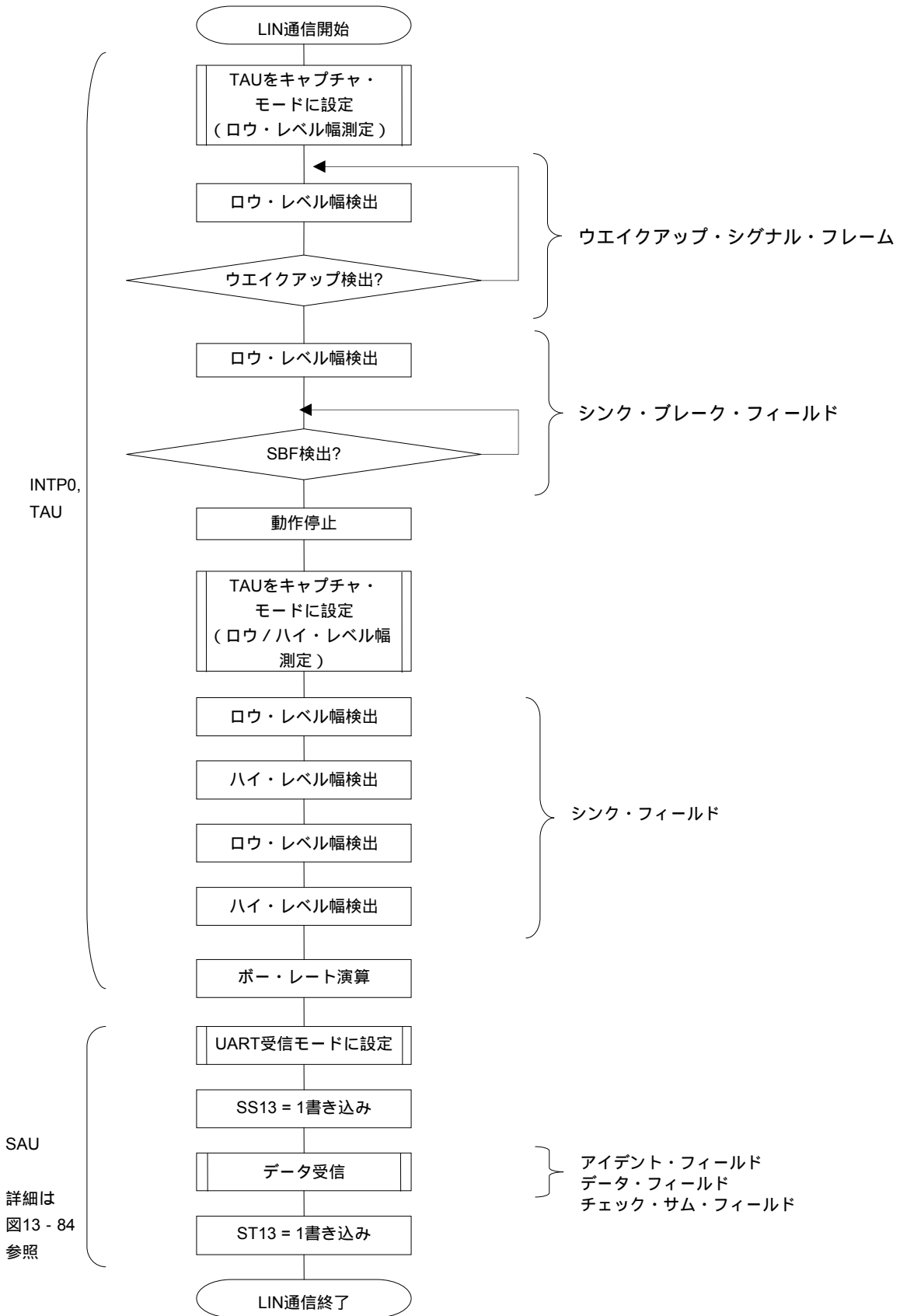
備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図13 - 17参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途 : ウェイクアップ信号のエッジを検出し、通信開始を検出
- ・タイマ・アレイ・ユニット (TAU) のチャンネル7 ; ボー・レート誤差検出
用途 : シンク・フィールド (SF) の長さを検出し、ビット数で割ることでボー・レート誤差を検出 (RxD3
入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・アレイ・ユニット1 (SAU1) のチャンネル2, 3 (UART3)

図13 - 89 LIN受信のフロー・チャート



13.6.5 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0, UART1, UART2, UART3) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意 SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので, 2-127になります。

2. m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-3)

動作クロック (MCK) は, シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表13-3 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ									動作クロック (MCK) ^{注1}	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	fCLK = 20 MHz 動作時	
0		X	X	X	X	0	0	0	0	fCLK	20 MHz
		X	X	X	X	0	0	0	1	fCLK/2	10 MHz
		X	X	X	X	0	0	1	0	fCLK/2 ²	5 MHz
		X	X	X	X	0	0	1	1	fCLK/2 ³	2.5 MHz
		X	X	X	X	0	1	0	0	fCLK/2 ⁴	1.25 MHz
		X	X	X	X	0	1	0	1	fCLK/2 ⁵	625 kHz
		X	X	X	X	0	1	1	0	fCLK/2 ⁶	313 kHz
		X	X	X	X	0	1	1	1	fCLK/2 ⁷	156 kHz
		X	X	X	X	1	0	0	0	fCLK/2 ⁸	78.1 kHz
		X	X	X	X	1	0	1	0	fCLK/2 ⁹	39.1 kHz
		X	X	X	X	1	0	1	1	fCLK/2 ¹⁰	19.5 kHz
		X	X	X	X	1	0	1	1	fCLK/2 ¹¹	9.77 kHz
					1	1	1	1	m = 0の場合: INTTM02, m = 1の場合: INTTM03 ^{注2}		
1		0	0	0	0	X	X	X	X	fCLK	20 MHz
		0	0	0	1	X	X	X	X	fCLK/2	10 MHz
		0	0	1	0	X	X	X	X	fCLK/2 ²	5 MHz
		0	0	1	1	X	X	X	X	fCLK/2 ³	2.5 MHz
		0	1	0	0	X	X	X	X	fCLK/2 ⁴	1.25 MHz
		0	1	0	1	X	X	X	X	fCLK/2 ⁵	625 kHz
		0	1	1	0	X	X	X	X	fCLK/2 ⁶	313 kHz
		0	1	1	1	X	X	X	X	fCLK/2 ⁷	156 kHz
		1	0	0	0	X	X	X	X	fCLK/2 ⁸	78.1 kHz
		1	0	0	1	X	X	X	X	fCLK/2 ⁹	39.1 kHz
		1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	19.5 kHz
		1	0	1	1	X	X	X	X	fCLK/2 ¹¹	9.77 kHz
		1	1	1	1	X	X	X	X	m = 0の場合: INTTM02, m = 1の場合: INTTM03 ^{注2}	
上記以外										設定禁止	

注1. fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (STm = 000FH) させてから変更してください。動作クロックにINTTM02, INTTM03を選択する場合は、タイマ・アレイ・ユニット (TAU) も停止 (TT0 = 00FFH) させてください。

2. TAUのチャンネル2, チャンネル3において, fSUB/4をカウント・クロックに選択したインターバル・タイマ動作をし (TIS0レジスタのTIS02 (m = 0の場合), TIS03 (m = 1の場合) に“1”を設定), SPSmレジスタでINTTM02, INTTM03を選択することにより, fCLKの周波数 (メイン・システム・クロック, サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし, fCLKを変更する場合は, 上記の注1のようにSAU, TAUを停止させる必要があります。

備考1. X : Don't care

2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

(2) 送信時のボー・レート誤差

UART (UART0, UART1, UART2, UART3) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 20 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 20 \text{ MHz}$ 時			
	動作クロック (MCK)	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{\text{CLK}}/2^9$	64	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	64	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	64	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	64	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	64	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	64	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	64	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	39	31250.0 bps	±0.0 %
38400 bps	$f_{\text{CLK}}/2^2$	64	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	64	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	64	153846 bps	+0.16 %
312500 bps	f_{CLK}	31	312500 bps	±0.0 %

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

(3) 受信時のボー・レート許容範囲

UART (UART0, UART1, UART2, UART3) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$\text{(受信可能な最大ボー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ボー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (13.6.5 (1) ボー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3)

図13 - 90 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

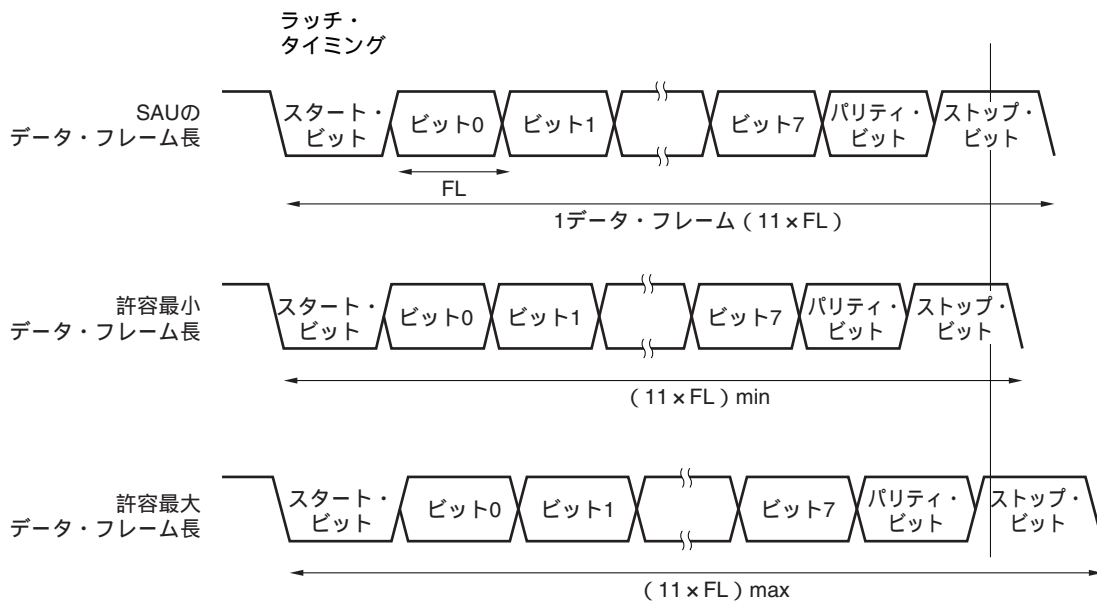


図13 - 90に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

13. 6. 6 UART (UART0, UART1, UART2, UART3) 通信時におけるエラー発生時の処理手順

UART (UART0, UART1, UART2, UART3) 通信時にエラーが発生した場合の処理手順を図13 - 91, 図13 - 92に示します。

図13 - 91 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる

図13 - 92 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類を判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる
STmnビットに1を設定する	▶ SEMn = 0となり, チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため, 通信相手との同期を取り直して通信を再開する
SSmnビットに1を設定する	▶ SEMn = 1となり, チャネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

13.7 簡易I²C (IIC10, IIC20) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能し、ウエイト検出の機能也没有ありません。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・ マスタ送信，マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ ACK出力機能^注，ACK検出機能
- ・ 8ビットのデータ長
(アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御)
- ・ スタート・コンディション，ストップ・コンディション手動発生

[割り込み機能]

- ・ 転送完了割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー
- ・ パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・ スレーブ送信，スレーブ受信
- ・ アービトレーション負け検出機能
- ・ ウエイト検出機能

注 最終データの受信時は，SOEmn (SOEmレジスタ) ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，13. 7. 3 (2) **処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は，**第14章 シリアル・インタフェースIIC0**を参照してください。

2. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0, 2)

簡易I²C (IIC10, IIC20) に対応しているチャネルは，SAU0のチャネル2と，SAU1のチャネル0です。

ユニット	チャネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00	UART0	-
	1	CSI01		-
	2	CSI10	UART1	IIC10
	3	-		-
1	0	CSI20	UART2	IIC20
	1	-		-
	2	-	UART3 (LIN-bus対応)	-
	3	-		-

簡易I²C (IIC10, IIC20) の通信動作は、以下の4種類があります。

- ・ アドレス・フィールド送信 (13.7.1項を参照)
- ・ データ送信 (13.7.2項を参照)
- ・ データ受信 (13.7.3項を参照)
- ・ ストップ・コンディション発生 (13.7.4項を参照)

13.7.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

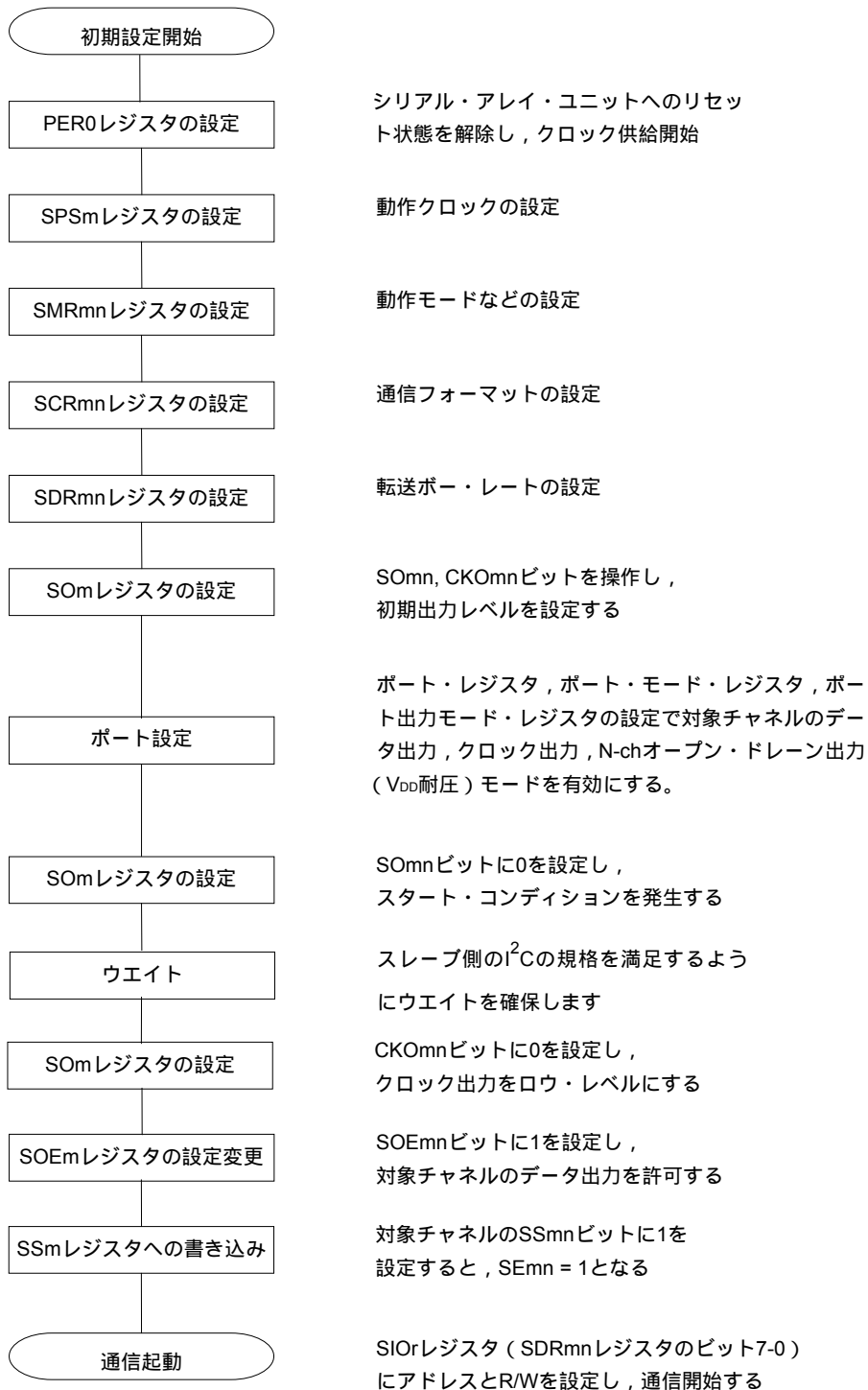
簡易I ² C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 ^註	SCL20, SDA20 ^註
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)	
エラー検出フラグ	パリティ・エラー検出フラグ(PEFmn)	
転送データ長	8ビット(上位7ビットをアドレス, 下位1ビットをR/W制御として送信)	
転送レート	Max. f _{MCK} /4 [Hz] (SDRmn[15:9] = 1以上) f _{MCK} : 対象チャンネルの動作クロック(MCK)周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz (ファースト・モード) ・ Max. 100 kHz (標準モード)	
データ・レベル	正転出力(デフォルト: ハイ・レベル)	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加(ACK受信タイミング用)	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POM0, POM14)にてN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定(POM03, POM143 = 1)してください(詳細は4.3 **ポート機能を制御するレジスタ**を参照)。異電位外部デバイスとの通信の場合は、クロック入力/出力端子(SCL10とSCL20)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧)モードを設定(POM04, POM142 = 1)してください(詳細は、4.4.4 **異電位(2.5V系, 3V系)外部デバイスとの接続方法を参照**)。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2)

(2) 操作手順

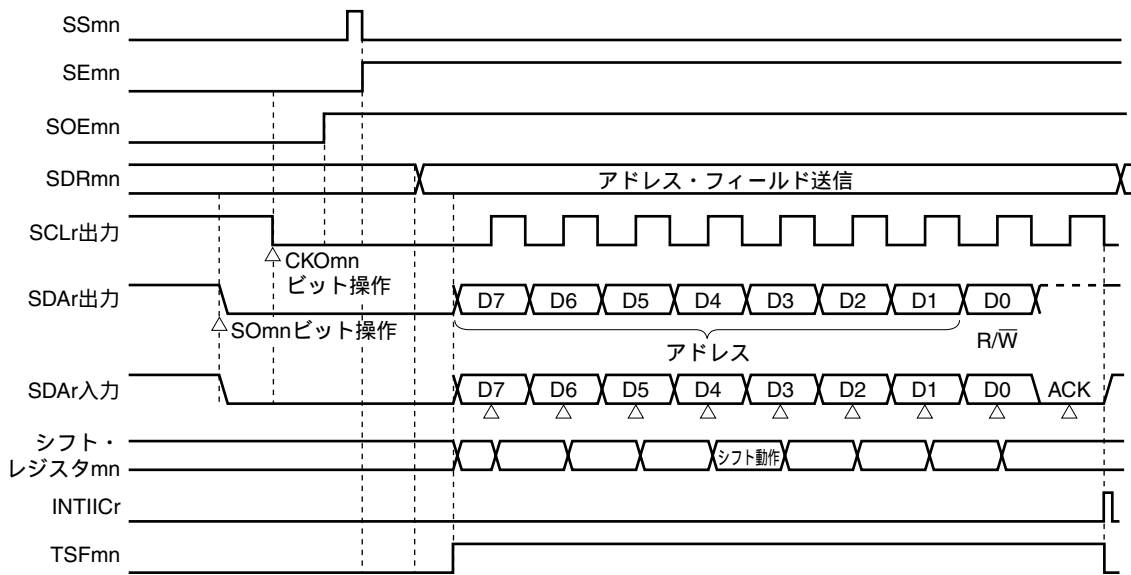
図13 - 94 アドレス・フィールド送信の初期設定手順



注意 PER0レジスタを“1”に設定後に、4クロック以上間隔を空けてからSPSmレジスタを設定してください。

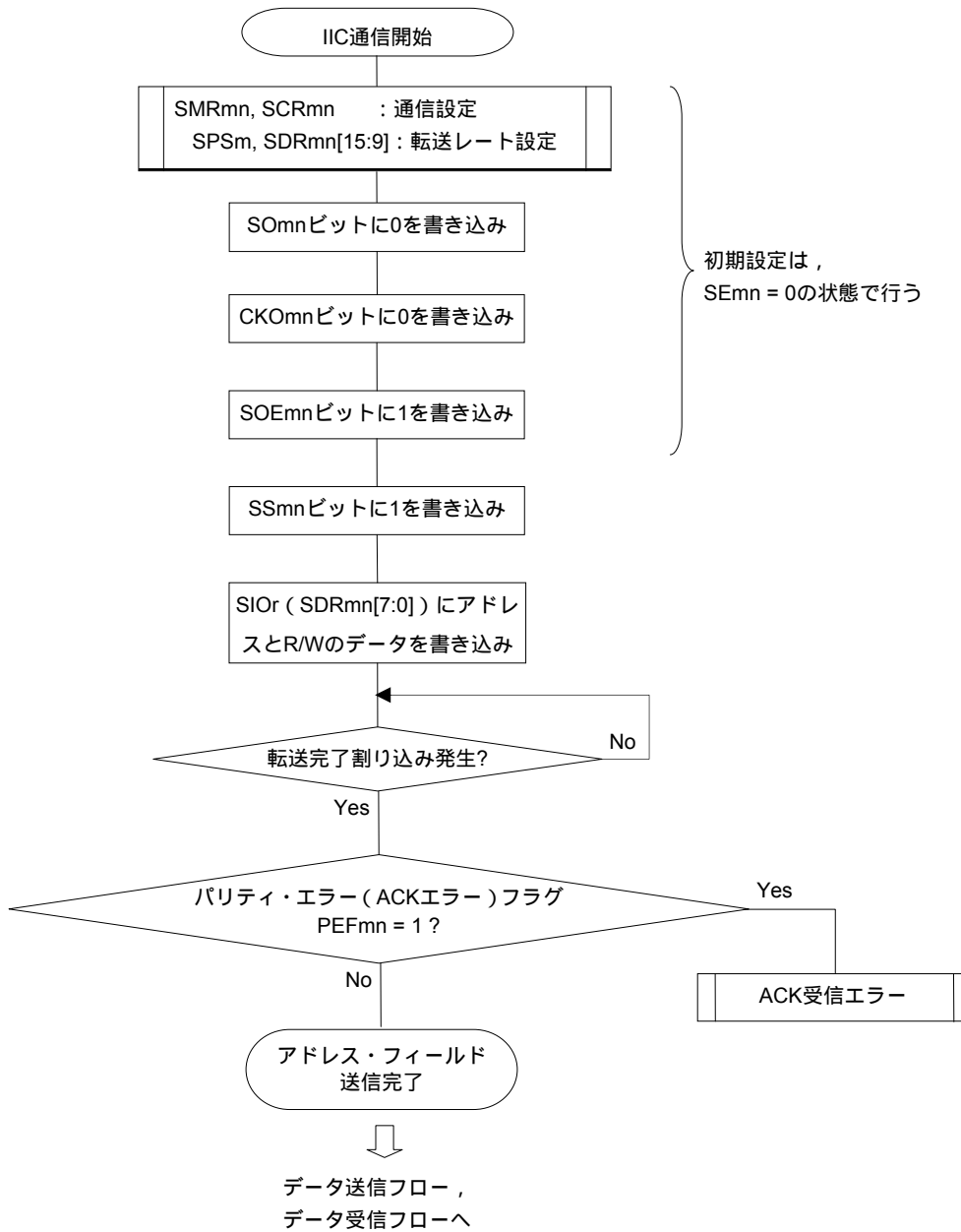
(3) 処理フロー

図13 - 95 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 10, 20)

図13 - 96 アドレス・フィールド送信のフロー・チャート



13.7.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 ^注	SCL20, SDA20 ^注
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM03, POM143 = 1）を設定してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10とSCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM04, POM142 = 1）してください（詳細は、4.4.4 **異電位（2.5V系、3V系）外部デバイスとの接続方法を参照**）。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2）

(1) レジスタ設定

図13 - 97 簡易I²C (IIC10, IIC20) のデータ送信時のレジスタ設定内容例

(a) シリアル出力レジスタ_m (SO_m) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO _m						CKOm2	CKOm1	CKOm0						SOm2	SOm1	SOm0
	0	0	0	0	1	0/1 ^注	x	0/1 ^注	0	0	0	0	1	0/1 ^注	x	0/1 ^注

(b) シリアル出力許可レジスタ_m (SOEm) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm														SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	x	0/1

(c) シリアル・チャンネル開始レジスタ_m (SS_m) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SS _m														SSm3	SSm2	SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

(d) シリアル・モード・レジスタ_{mn} (SMR_{mn}) . . . データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR _{mn}	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

(e) シリアル通信動作設定レジスタ_{mn} (SCR_{mn}) . . . TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR _{mn}	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0		DLsmn2	DLsmn1	DLsmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

(f) シリアル・データ・レジスタ_{mn} (SDR_{mn}) (下位8ビット: SIO_r)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDR _{mn}	ボー・レート設定								0	送信データ設定						
	SIO _r															

注 通信動作中は通信データにより値が変わります。

備考 m: ユニット番号 (m = 0, 1) n: チャンネル番号 (n = 0, 2) r: IIC番号 (r = 10, 20)

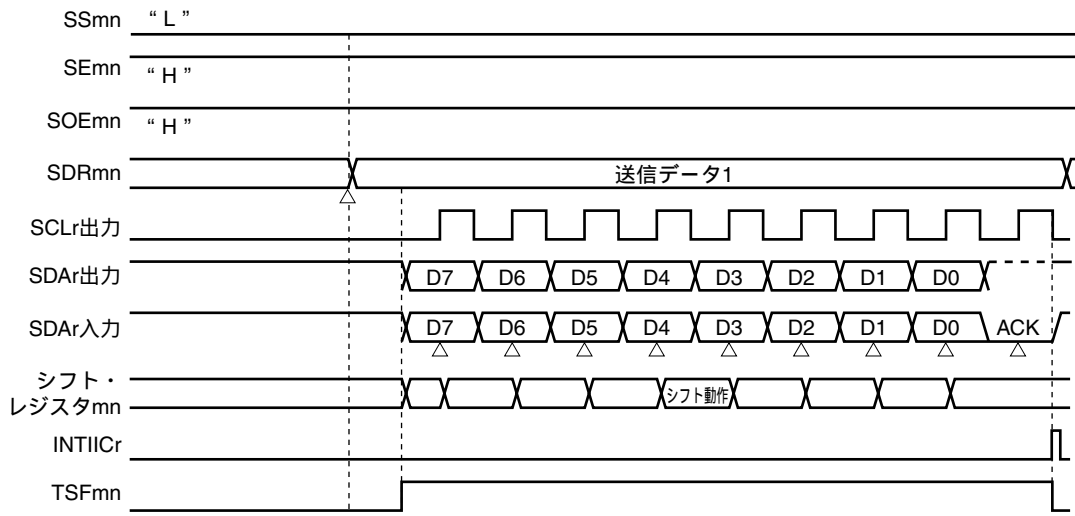
□: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

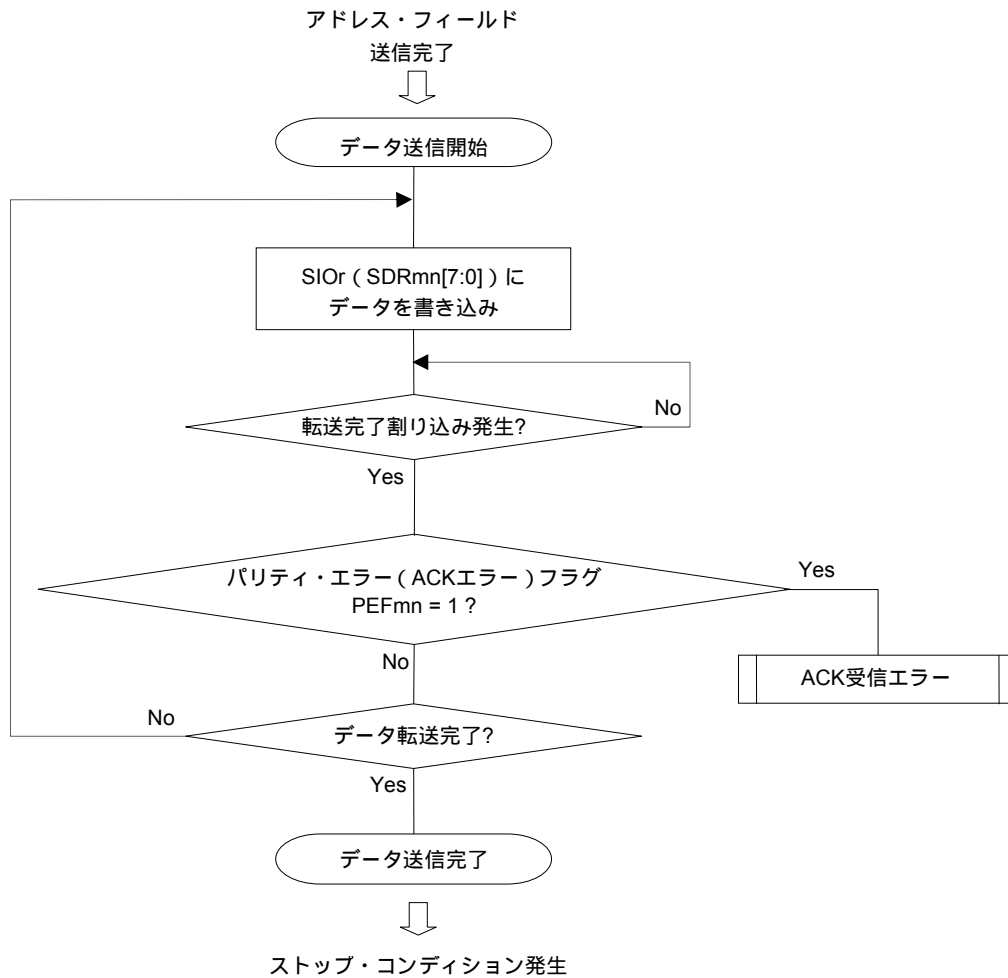
(2) 処理フロー

図13 - 98 データ送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 10, 20)

図13 - 99 データ送信のフロー・チャート



13.7.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

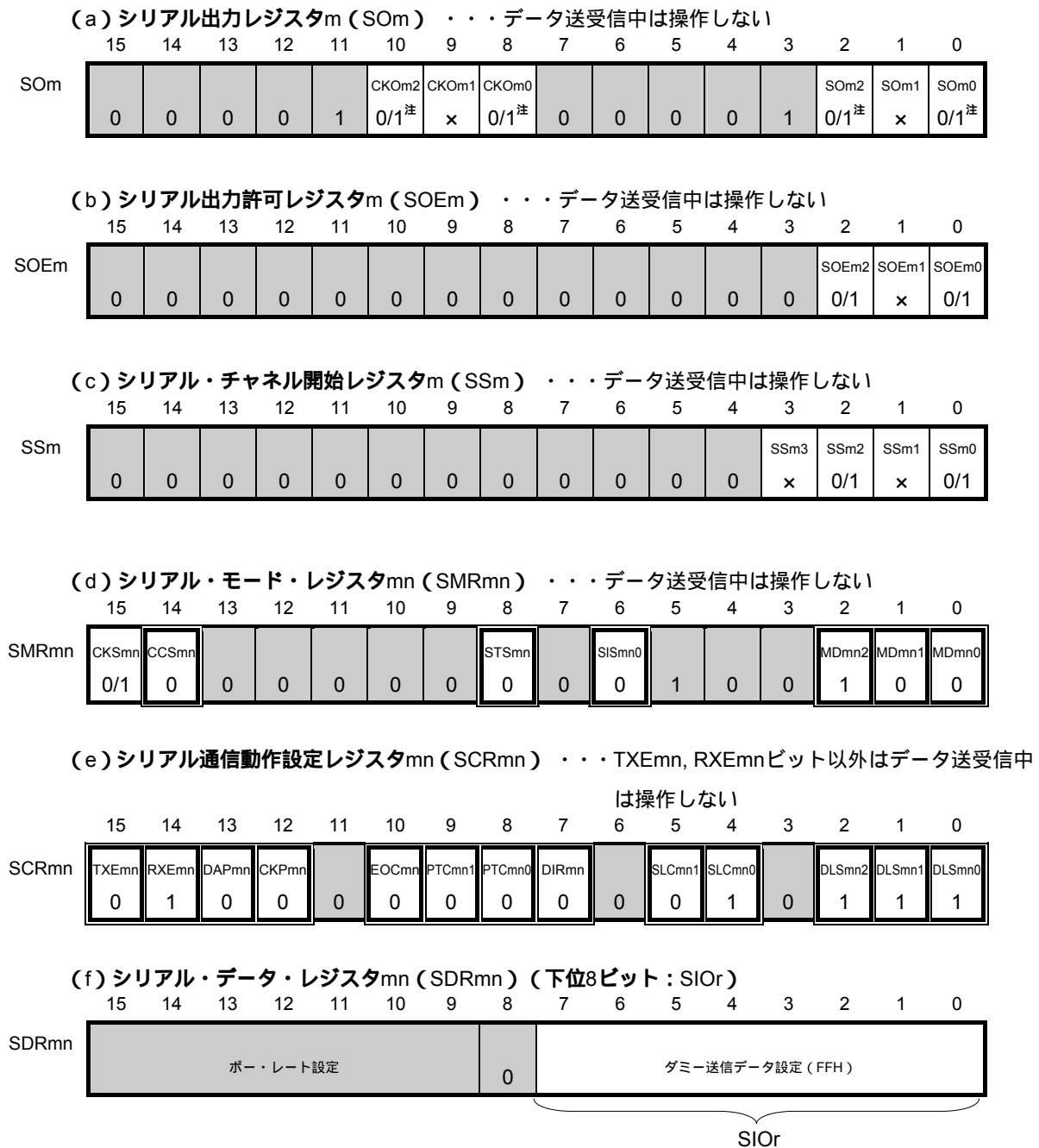
簡易I ² C	IIC10	IIC20
対象チャンネル	SAU0のチャンネル2	SAU1のチャンネル0
使用端子	SCL10, SDA10 [※]	SCL20, SDA20 [※]
割り込み	INTIIC10	INTIIC20
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/4$ [Hz]（SDRmn[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック（MCK）周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK送信）	
データ方向	MSBファースト	

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM0, POM14）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モード（POM03, POM143 = 1）を設定してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10とSCL20）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM04, POM142 = 1）してください（詳細は、4.4.4 **異電位（2.5V系, 3V系）外部デバイスとの接続方法を参照**）。

備考 m：ユニット番号（m = 0, 1） n：チャンネル番号（n = 0, 2）

(1) レジスタ設定

図13 - 100 簡易I²C (IIC10, IIC20) のデータ受信時のレジスタ設定内容例



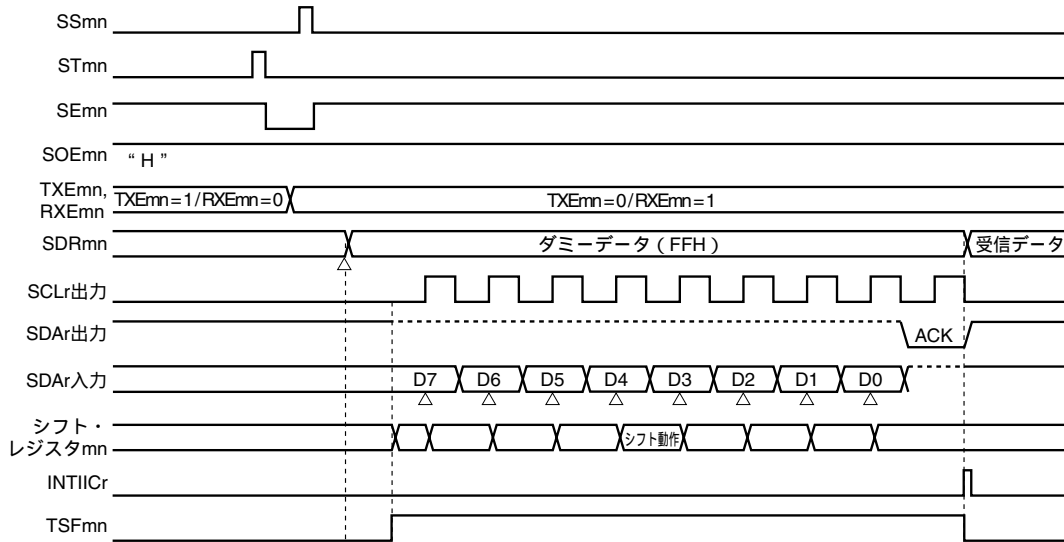
注 通信動作中は通信データにより値が変わります。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 10, 20)
 : IICモードでは設定固定 : 設定不可 (初期値を設定)
 x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

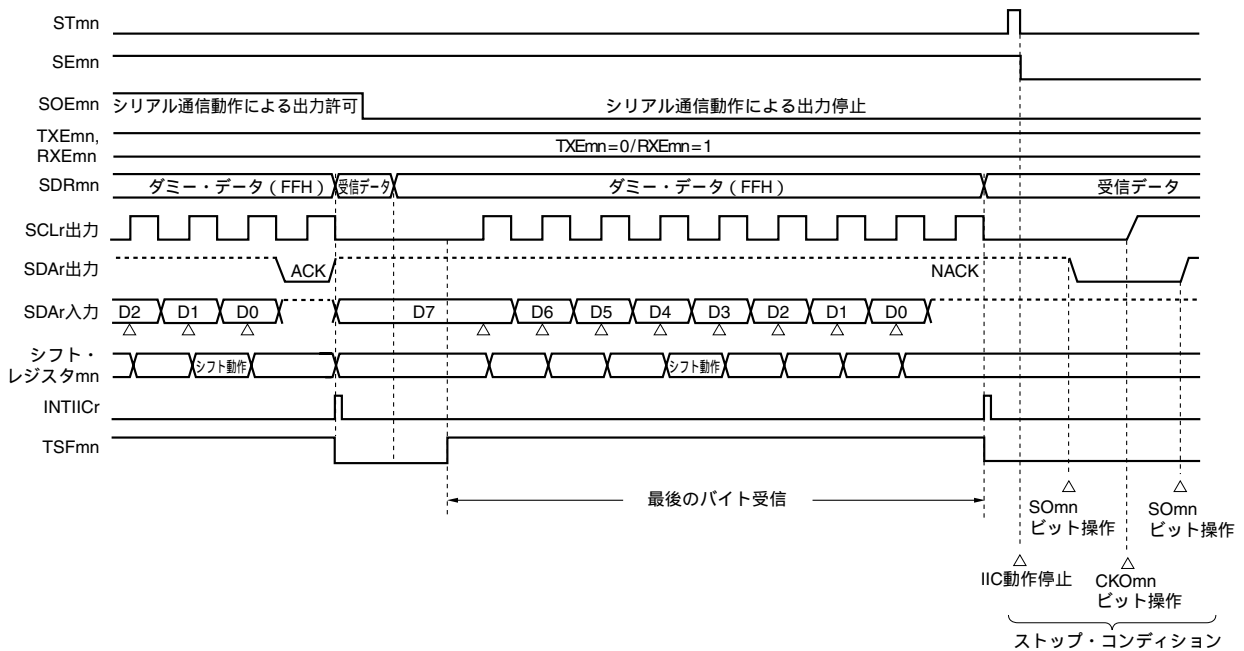
(2) 処理フロー

図13 - 101 データ受信のタイミング・チャート

(a) データ受信開始時

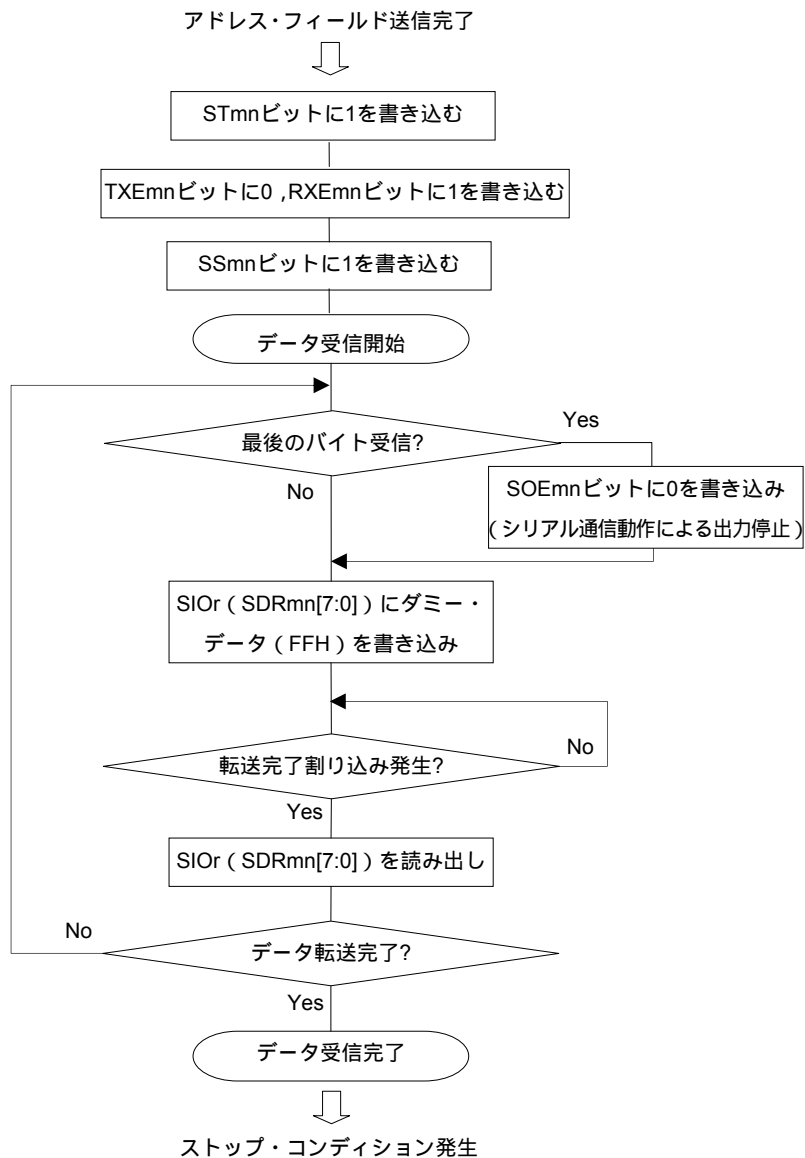


(b) 最終データ受信時



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) r : IIC番号 (r = 10, 20)

図13 - 102 データ受信のフロー・チャート



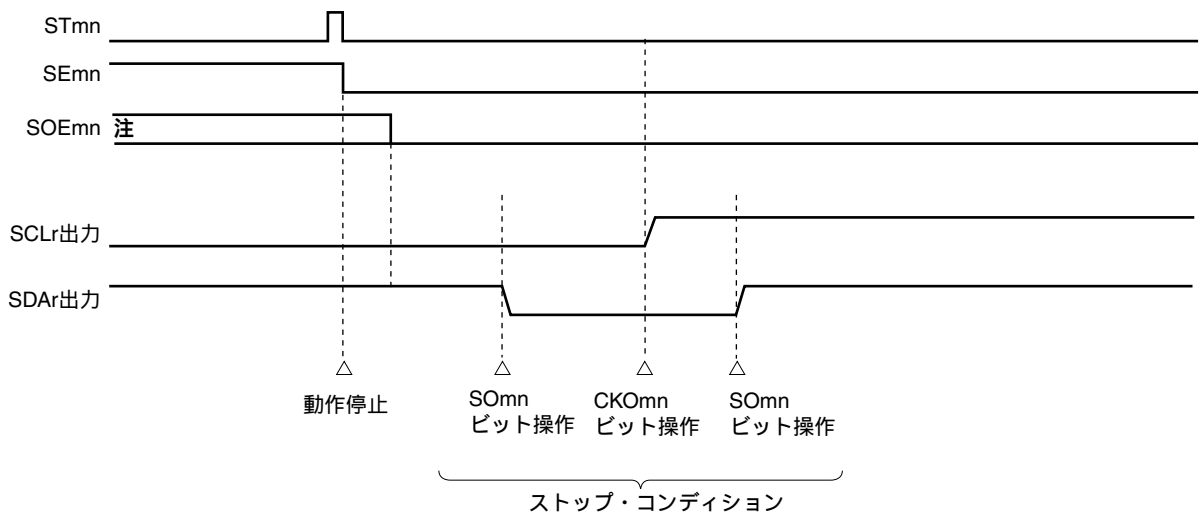
注意 最終データの受信時はACKを出力しません (NACK)。その後、STmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

13.7.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信 / 受信した後は、ストップ・コンディションを発生し、バスを開放します。

(1) 処理フロー

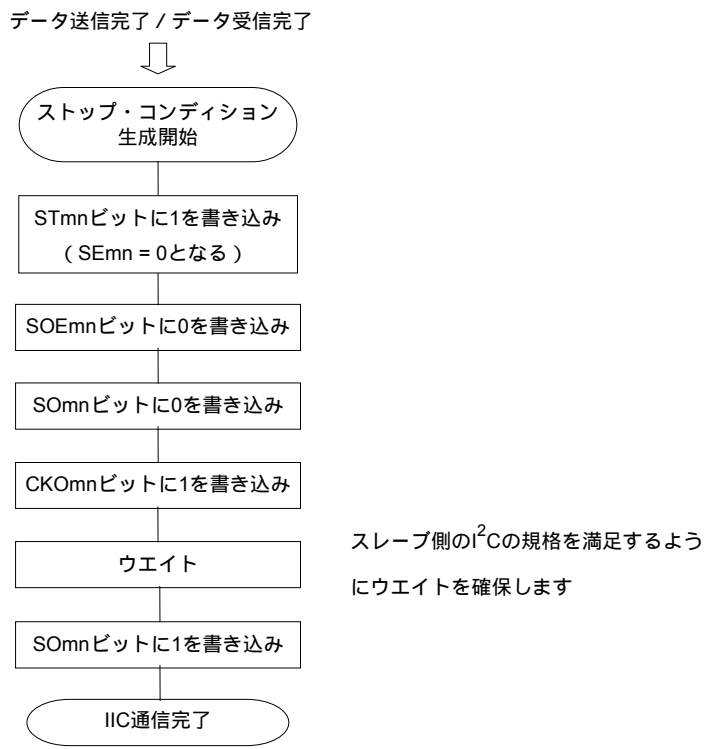
図13 - 103 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、SOEmnビットを0に設定しています。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) r : IIC番号 (r = 10, 20)

図13 - 104 ストップ・コンディション発生のフロー・チャート



13.7.5 転送レートの算出

簡易I²C (IIC10, IIC20) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャンネルの動作クロック (MCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

備考1. SDRmn[15:9]は、SDRmnレジスタのビット15-9の値 (0000001B-1111111B) なので、1-127 になります。

2. m : ユニット番号 (m = 0, 1) , n : チャンネル番号 (n = 0, 2)

動作クロック (MCK) は、シリアル・クロック選択レジスタm (SPSm) とシリアル・モード・レジスタmn (SMRmn) のビット15 (CKSmn) で決まります。

表13-4 動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (MCK) ^{注1}	
	CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	m = 0の場合: INTTM02, m = 1の場合: INTTM03 ^{注2}	
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
		1	1	1	1	X	X	X	X	m = 0の場合: INTTM02, m = 1の場合: INTTM03 ^{注2}
上記以外									設定禁止	

注1. f_{CLK}に選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(STm = 000FH)させてから変更してください。動作クロックにINTTM02, INTTM03を選択する場合は、タイマ・アレイ・ユニット(TAU)も停止(TT0 = 00FFH)させてください。

2. TAUのチャンネル2, チャンネル3において, f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし(TIS0レジスタのTIS02(m = 0の場合), TIS03(m = 1の場合)に“1”を設定), SPSmレジスタでINTTM02, INTTM03を選択することにより, f_{CLK}の周波数(メイン・システム・クロック, サブシステム・クロック)に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし, f_{CLK}を変更する場合は, 上記の注1のようにSAU, TAUを停止させる必要があります。

備考1. X: Don't care

2. m: ユニット番号(m = 0, 1), n: チャンネル番号(n = 0, 2)

MCK = f_{CLK} = 20 MHzの場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	$f_{CLK} = 20$ MHz時			
	動作クロック (MCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}	99	100 kHz	0.0%
400 kHz	f_{CLK}	24	400 kHz	0.0%

13.7.6 簡易I²C (IIC10, IIC20) 通信時におけるエラー発生時の処理手順

簡易I²C (IIC10, IIC20) 通信時にエラーが発生した場合の処理手順を図13 - 105, 図13 - 106に示します。

図13 - 105 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる

図13 - 106 簡易I²Cモード時のパリティ・エラー (ACKエラー) 発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
SDRmnレジスタをリードする	▶ BFF = 0となり, チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
SSRmnレジスタをリードする		エラーの種類の判別を行い, リード値はエラー・フラグのクリアに使用する
SIRmnレジスタをライトする	▶ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで, 読み出した時点で発生していたエラーのみをクリアできる
STmnビットに1を設定する	▶ SEMn = 0となり, チャネルnは動作停止状態になる	ACKが返信されていないので, スレーブの受信準備ができていない。そのため, ストップ・コンディションを作成してバスを開放し, 再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し, アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
SSmnビットに1を設定する	▶ SEMn = 1となり, チャネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) mn = 02, 10

13.8 レジスタの設定と端子の関係

シリアル・アレイ・ユニット0, 1のチャンネルごとのレジスタの設定と端子の関係を表13 - 5 ~ 表13 - 12示します。

表13 - 5 レジスタの設定と端子の関係 (ユニット0のチャンネル0 : CSI00, UART0送信)

SE 00 注1	MD 002	MD 001	SOE 00	SO 00	CKO 00	TXE 00	RXE 00	PM 10	P10	PM 11 注2	P11 注2	PM 12	P12	動作モード	端子機能		
															SCK00/ EX24/P10	SI00/EX25/ RxD0/P11注2	SO00/EX26/ TxD0/P12
0	0	0	0	1	1	0	0	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	動作停止 モード	EX24/P10	EX25/P11	EX26/P12
	0	1														EX25/P11/ RxD0	
1	0	0	0	1	1	0	1	1	x	1	x	x 注3	x 注3	スレーブCSI00 受信	SCK00 (入力)	SI00	P12
															1	0/1 注4	1
			1	0/1 注4	1	1	1	1	x	1	x	0	1	スレーブCSI00 送受信	SCK00 (入力)	SI00	SO00
			0	1	0/1 注4	0	1	0	1	1	x	x 注3	x 注3	マスタCSI00 受信	SCK00 (出力)	SI00	P12
			1	0/1 注4	0/1 注4	1	0	0	1	x 注3	x 注3	0	1	マスタCSI00 送信	SCK00 (出力)	P11	SO00
			1	0/1 注4	0/1 注4	1	1	0	1	1	x	0	1	マスタCSI00 送受信	SCK00 (出力)	SI00	SO00
	0	1	1	0/1 注4	1	1	0	x 注3	x 注3	x 注3	x 注3	0	1	UART0 送信注5	P10	P11/RxD0	TxD0

- 注1. SE0レジスタは, Read Onlyのステータス・レジスタであり, SS0レジスタとST0レジスタにて設定します。
- 2. ユニット0のチャンネル1をUART0受信に設定すると, この端子はRxD0機能となります (表13 - 6参照)。その場合, ユニット0のチャンネル0は動作停止モードまたはUART0送信を必ず選択してください。
- 3. ポート機能として設定することができます。
- 4. 通信動作に応じて, 0または1となります。詳細は, 13. 3 (12) シリアル出力レジスタm (SOm) を参照してください。
- 5. UART0を送信と受信のペアで使用する場合は, ユニット0のチャンネル1をUART0受信に設定にしてください (表13 - 6参照)。

備考 x : dont' care

表13 - 6 レジスタの設定と端子の関係 (ユニット0のチャンネル1 : CSI01, UART0受信)

SE 01 注1	MD 012	MD 011	SOE 01	SO 01	CKO 01	TXE 01	RXE 01	PM 43	P43	PM 44	P44	PM 45	P45	PM 11 注2	P11 注2	動作 モード	端子機能																	
																	SCK01/ P43	SI01/P44	SO01/ P45	SI00/EX25/ RxD0/ P11注2														
0	0	0	0	1	1	0	0	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	動作 停止 モード	P43	P44	P45	SI00/EX25/ P11														
																					0	1												
1	0	0	0	1	1	0	1	1	x	1	x	x 注3	x 注3	x 注3	x 注3	スレーブ CSI01 受信	SCK01 (入力)	SI01	P45	SI00/EX25/ P11														
																	1	0/1 注4	1	1	0	1	x 注3	x 注3	0	1	x 注3	x 注3	スレーブ CSI01 送信	SCK01 (入力)	P44	SO01	SI00/EX25/ P11	
																	1	0/1 注4	1	1	1	1	x	1	x	0	1	x 注3	x 注3	スレーブ CSI01 送受信	SCK01 (入力)	SI01	SO01	SI00/EX25/ P11
																	0	1	0/1 注4	0	1	0	1	1	x	x 注3	x 注3	x 注3	x 注3	マスタ CSI01 受信	SCK01 (出力)	SI01	P45	SI00/EX25/ P11
																	1	0/1 注4	0/1 注4	1	0	0	1	x 注3	x 注3	0	1	x 注3	x 注3	マスタ CSI01 送信	SCK01 (出力)	P44	SO01	SI00/EX25/ P11
																	1	0/1 注4	0/1 注4	1	1	0	1	1	x	0	1	x 注3	x 注3	マスタ CSI01 送受信	SCK01 (出力)	SI01	SO01	SI00/EX25/ P11
0	1	0	1	1	0	1	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	1	x	UART0 受信 注5,6	P43	P44	P45	RxD0															

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると、この端子はRxD0機能となります。その場合、ユニット0のチャンネル0は動作停止モードまたはUART0送信に設定してください(表13 - 5参照)。
また、ユニット0のチャンネル0をCSI00に設定すると、この端子はRxD0機能として使用できません。その場合、ユニット0のチャンネル1は動作停止モードまたはCSI01に設定してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、13. 3 (12) シリアル出力レジスタm (SOm) を参照してください。
5. UART0を送信と受信のペアで使用する場合は、ユニット0のチャンネル0をUART0送信に設定にしてください(表13 - 5参照)。
6. UART0受信時はユニット0のチャンネル0のSMR00レジスタの設定も必要です。詳細は、13. 6. 2 (1) レジスタ設定を参照してください。

備考 x : don't care

表13-7 レジスタの設定と端子の関係 (ユニット0のチャンネル2 : CSI10, UART1送信, IIC10)

SE 02 注1	MD 022	MD 021	SOE 02	SO 02	CKO 02	TXE 02	RXE 02	PM 04	P04	PM 03 注2	P03 注2	PM 02	P02	動作モード	端子機能			
															SCK10/ SCL10/P04	SI10/SDA10/ RxD1/P03注2	SO10/ TxD1/P02	
0	0	0	0	1	1	0	0	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	動作停止 モード	P04	P03	P02	
	0	1														P03/RxD1		
	1	0														P03		
1	0	0	0	1	1	0	1	1	x 注3	1	x 注3	x 注3	x 注3	スレーブCSI10 受信	SCK10 (入力)	SI10	P02	
			1	0/1 注4	1	1	0	1	x 注3	x 注3	x 注3	0	1	スレーブCSI10 送信	SCK10 (入力)	P03	SO10	
			1	0/1 注4	1	1	1	1	x 注3	1	x 注3	0	1	スレーブCSI10 送受信	SCK10 (入力)	SI10	SO10	
			0	1	0/1 注4	0	1	0	1	1	x 注3	x 注3	x 注3	x 注3	マスタCSI10 受信	SCK10 (出力)	SI10	P02
			1	0/1 注4	0/1 注4	1	0	0	1	x 注3	x 注3	0	1	マスタCSI10 送信	SCK10 (出力)	P03	SO10	
			1	0/1 注4	0/1 注4	1	1	0	1	1	x 注3	0	1	マスタCSI10 送受信	SCK10 (出力)	SI10	SO10	
	0	1	1	0/1 注4	1	1	0	x 注3	x 注3	x 注3	x 注3	0	1	UART1 送信注5	P04	P03/RxD1	TxD1	
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	x 注3	x 注3	IIC10 スタート・コン ディション	SCL10	SDA10	P02	
						1	0											
						0	1											
	1	0	0	1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC10アドレ ス・フィールド 送信	SCL10	SDA10	P02
				1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC10データ 送信	SCL10	SDA10	P02
0	0	0	0	0/1 注7	0/1 注7	0	0	0	1	0	1	x 注3	x 注3	IIC10 ストップ・コン ディション	SCL10	SDA10	P02	
						1	0											
						0	1											

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル3をUART1受信に設定すると、この端子はRxD1機能となります(表13-8参照)。その場合、ユニット0のチャンネル2は動作停止モードまたはUART1送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、13.3(12)シリアル出力レジスタm(SOm)を参照してください。
5. UART1を送信と受信のペアで使用する場合は、ユニット0のチャンネル3をUART1受信に設定にしてください(表13-8参照)。
6. CKO02ビットは、スタート・コンディション発生前は1にセットします。SO02ビットは、スタート・コンディション発生時に1 0にクリアします。
7. CKO02ビットは、ストップ・コンディション発生前は1にセットします。SO02ビットは、ストップ・コンディション発生時に0 1にセットします。

備考 x : dont' care

第13章 SAU (IIC10, IIC20)

表13 - 8 レジスタの設定と端子の関係 (ユニット0のチャンネル3 : UART1受信)

SE03 ^{注1}	MD032	MD031	TXE03	RXE03	PM03 ^{注2}	P03 ^{注2}	動作	端子機能
							モード	SI10/SDA10/RxD1/P03 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI10/SDA10/P03 ^{注2}
1	0	1	0	1	1	x	UART1 受信 ^{注4,5}	RxD1

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ユニット0のチャンネル3をUART1受信に設定すると、この端子はRxD1機能となります。その場合、ユニット0のチャンネル2は動作停止モードまたはUART1送信に設定してください (表13 - 7参照)。
また、ユニット0のチャンネル2をCSI10またはIIC10に設定すると、この端子はRxD1機能として使用できません。その場合、ユニット0のチャンネル3は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART1を送信と受信のペアで使用する場合は、ユニット0のチャンネル2をUART1送信に設定にしてください (表13 - 7参照)。
5. UART1受信時はユニット0のチャンネル2のSMR02レジスタの設定も必要です。詳細は、13. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

表13-9 レジスタの設定と端子の関係 (ユニット1のチャンネル0 : CSI20, UART2送信, IIC20)

SE 10 注1	MD 102	MD 101	SOE 10	SO 10	CKO 10	TXE 10	RXE 10	PM 142	P142 ×	PM 143 注2	P143 注2	PM 144	P144 ×	動作モード	端子機能																	
															SCK20/ SCL20/P142	SI20/SDA20/ RxD2/P143 ^{注2}	SO20/ TxD2/P144															
0	0	0	0	1	1	0	0	×	×	×	×	×	×	動作停止 モード	P142	P143	P144															
																P143/RxD2																
																P143																
1	0	0	0	1	1	0	1	1	×	1	×	×	×	スレーブCSI20 受信	SCK20 (入力)	SI20	P144															
																1		0/1 注4	1	1	0	1	×	×	×	0	1	スレーブCSI20 送信	SCK20 (入力)	P143	SO20	
																1		0/1 注4	1	1	1	1	×	1	×	0	1	スレーブCSI20 送受信	SCK20 (入力)	SI20	SO20	
																0		1	0/1 注4	0	1	0	1	1	×	×	×	×	マスタCSI20 受信	SCK20 (出力)	SI20	P144
																1		0/1 注4	0/1 注4	1	0	0	1	×	×	0	1	マスタCSI20 送信	SCK20 (出力)	P143	SO20	
																1		0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	マスタCSI20 送受信	SCK20 (出力)	SI20	SO20	
	0	1	1	0/1 注4	1	1	0	×	×	×	×	0	1	UART2 送信 ^{注5}	P142	P143/RxD2	TxD2															
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	×	×	IIC20 スタート・コン ディション	SCL20	SDA20	P144															
																		1	0													
1	1	0	1	0/1 注4	0/1 注4	1	0	0	1	0	1	×	×	IIC20アドレ ス・フィールド 送信	SCL20	SDA20	P144															
																		1	0/1 注4	0/1 注4	1	0	0	1	0	1	×	×	IIC20データ 送信	SCL20	SDA20	P144
																		1	0/1 注4	0/1 注4	0	1	0	1	0	1	×	×	IIC20データ 受信	SCL20	SDA20	P144
0	1	0	0	0/1 注7	0/1 注7	0	0	0	1	0	1	×	×	IIC20 ストップ・コン ディション	SCL20	SDA20	P144															
																		1	0													

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります(表13-10参照)。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて、0または1となります。詳細は、13.3(12)シリアル出力レジスタm(SOm)を参照してください。
5. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル1をUART2受信に設定にしてください(表13-10参照)。
6. CKO10ビットは、スタート・コンディション発生前は1にセットします。SO10ビットは、スタート・コンディション発生時に1 0にクリアします。
7. CKO10ビットは、ストップ・コンディション発生前は1にセットします。SO10ビットは、ストップ・コンディション発生時に0 1にセットします。

備考 × : don't care

表13 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信)

SE11 ^{注1}	MD112	MD111	TXE11	RXE11	PM143 ^{注2}	P143 ^{注2}	動作 モード	端子機能
								SI20/SDA20/RxD2/P143 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI20/SDA20/P143
1	0	1	0	1	1	x	UART2 受信 ^{注4,5}	RxD2

- 注1. SE1レジスタは、Read Onlyのステータス・レジスタであり、SS1レジスタとST1レジスタにて設定します。
2. ユニット1のチャンネル1をUART2受信に設定すると、この端子はRxD2機能となります。その場合、ユニット1のチャンネル0は動作停止モードまたはUART2送信に設定してください (表13 - 9参照)。
また、ユニット1のチャンネル0をCSI20またはIIC20に設定すると、この端子はRxD2機能として使用できません。その場合、ユニット1のチャンネル1は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART2を送信と受信のペアで使用する場合は、ユニット1のチャンネル0をUART2送信に設定にしてください (表13 - 9参照)。
5. UART2受信時はユニット1のチャンネル0のSMR10レジスタの設定も必要です。詳細は、13. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

表13 - 11 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信)

SE12 ^{注1}	MD122	MD121	SOE12	SO12	TXE12	RXE12	PM13	P13	動作モード	端子機能
										EX27/TxD3/P13
0	0	1	0	1	0	0	x ^{注2}	x ^{注2}	動作停止モード	EX27/P13
1	0	1	1	0/1 ^{注3}	1	0	0	1	UART3送信 ^{注4}	TxD3

- 注1. SE1レジスタは ,Read Onlyのステータス・レジスタであり ,SS1レジスタとST1レジスタにて設定します。
2. ポート機能として設定することができます。
3. 通信動作に応じて、0または1となります。詳細は、13. 3 (12) シリアル出力レジスタ_m (SO_m) を参照してください。
4. UART3を送信と受信のペアで使用する場合は、ユニット1のチャンネル3をUART3受信に設定にしてください (表13 - 12参照)。

表13 - 12 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信)

SE13 ^{注1}	MD132	MD131	TXE13	RXE13	PM14	P14	動作モード	端子機能
								EX28/RxD3/P14
0	0	1	0	0	x ^{注2}	x ^{注2}	動作停止モード	EX28/P14
1	0	1	0	1	1	x	UART3受信 ^{注3,4}	RxD3

- 注1. SE1レジスタは ,Read Onlyのステータス・レジスタであり ,SS1レジスタとST1レジスタにて設定します。
2. ポート機能として設定することができます。
3. UART3を送信と受信のペアで使用する場合は、ユニット1のチャンネル2をUART3送信に設定にしてください (表13 - 11参照)。
4. UART3受信時はユニット1のチャンネル2のSMR12レジスタの設定も必要です。詳細は、13. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

第14章 シリアル・インタフェースIIC0

14.1 シリアル・インタフェースIIC0の機能

シリアル・インタフェースIIC0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック (SCL0) とシリアル・データ・バス (SDA0) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

IIC0では、SCL0端子とSDA0端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

図14 - 1に、シリアル・インタフェースIIC0のブロック図を示します。

図14-1 シリアル・インタフェースIIC0のブロック図

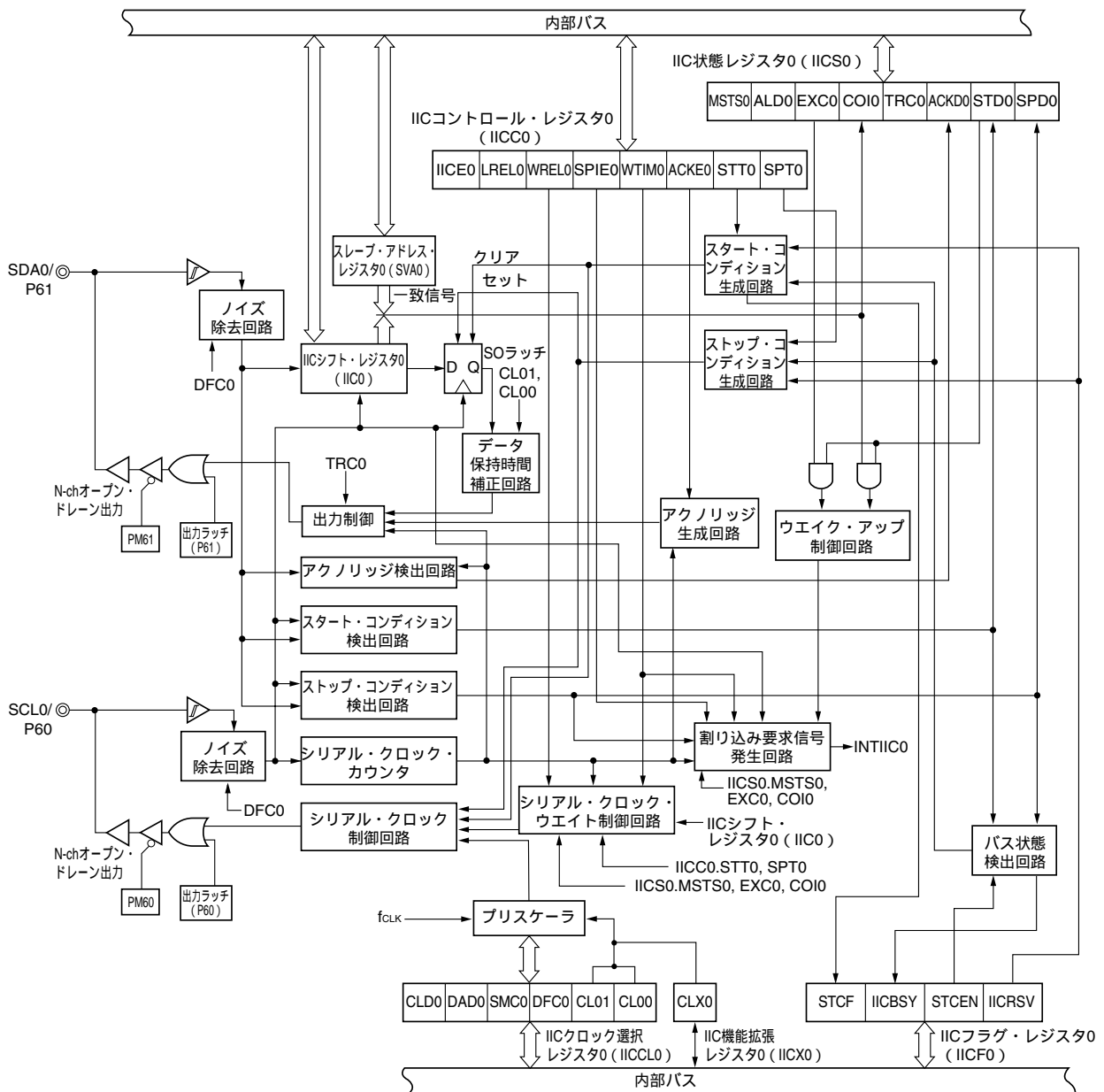
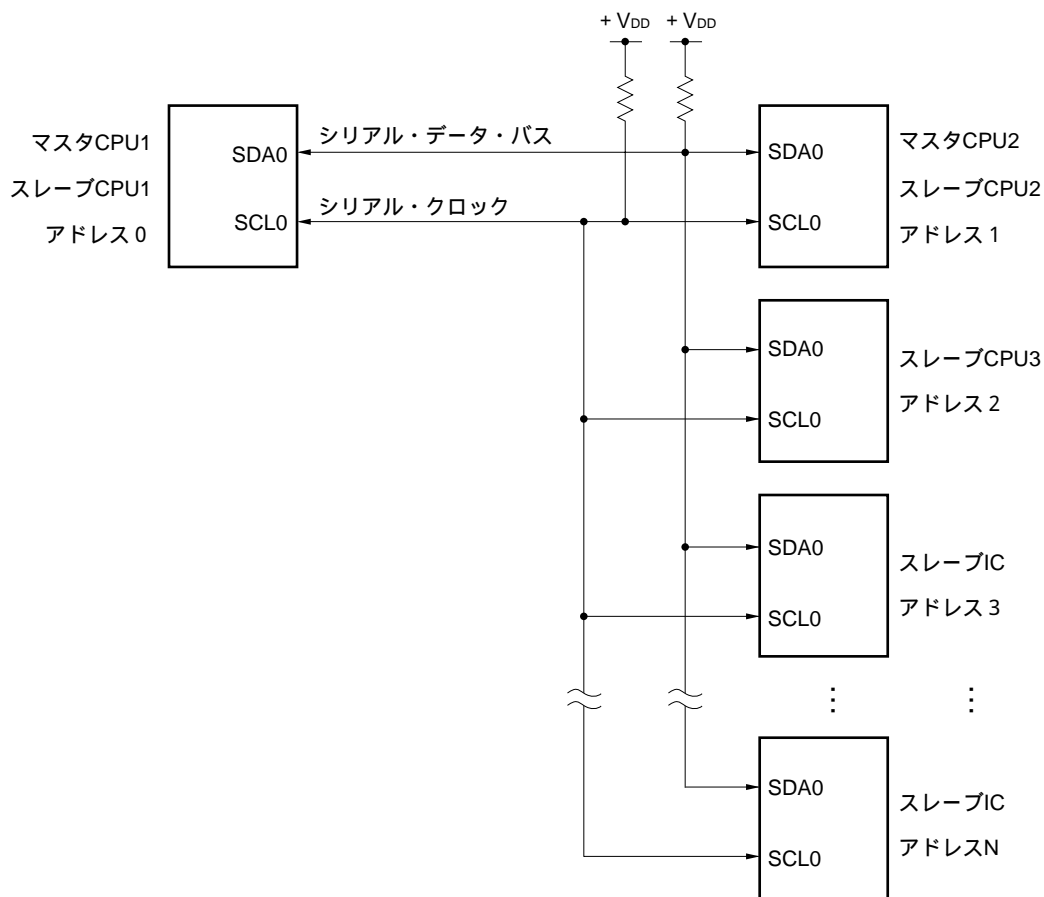


図14 - 2にシリアル・バス構成例を示します。

図14 - 2 I²Cバスによるシリアル・バス構成例



14.2 シリアル・インタフェースIIC0の構成

シリアル・インタフェースIIC0は、次のハードウェアで構成されています。

表14 - 1 シリアル・インタフェースIIC0の構成

項目	構成
レジスタ	IICシフト・レジスタ0 (IIC0) スレーブ・アドレス・レジスタ0 (SVA0)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICコントロール・レジスタ0 (IICC0) IIC状態レジスタ0 (IICS0) IICフラグ・レジスタ0 (IICF0) IICクロック選択レジスタ0 (IICCL0) IIC機能拡張レジスタ0 (IICX0) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICシフト・レジスタ0 (IIC0)

IIC0は、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行ル・データに、8ビットの平行ル・データを8ビットのシリアル・データに変換するレジスタです。IIC0は送信および受信の両方に使用されます。

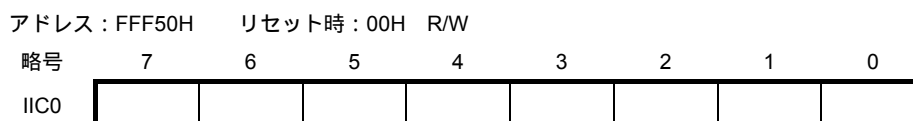
IIC0に対する書き込み / 読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIIC0への書き込みにより、ウェイトを解除し、データ転送を開始します。

IIC0は、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 3 IICシフト・レジスタ0 (IIC0) のフォーマット



注意1. データ転送中はIIC0にデータを書き込まないでください。

2. IIC0には、ウェイト期間中にだけ、書き込み / 読み出しをしてください。ウェイト期間中を除く通信状態でのIIC0へのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。

(2) スレーブ・アドレス・レジスタ0 (SVA0)

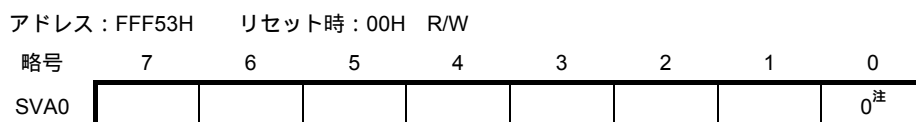
スレーブとして使用する場合に、自局アドレスを格納するレジスタです。

SVA0は、8ビット・メモリ操作命令で設定します。

ただし、STD0 = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図14 - 4 スレーブ・アドレス・レジスタ0 (SVA0) のフォーマット



注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIIC0) を発生させる回路です。

(5) プリスケーラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIIC0) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIM0ビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIE0ビットで設定)

備考 WTIM0ビット : IICコントロール・レジスタ0 (IICC0) のビット3
 SPIE0ビット : " のビット4

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

STT0ビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVビット = 1)で、かつバスが解放されていない(IICBSYビット = 1)場合には、スタート・コンディション要求は無視し、STCFビットをセット(1)します。

(13) ストップ・コンディション生成回路

SPT0ビットがセット(1)されるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STT0ビット	:	IICコントロール・レジスタ0 (IICC0) のビット1
	SPT0ビット	:	" のビット0
	IICRSVビット	:	IICフラグ・レジスタ0 (IICF0) のビット0
	IICBSYビット	:	" のビット6
	STCFビット	:	" のビット7
	STCENビット	:	" のビット1

14.3 シリアル・インタフェースIIC0を制御するレジスタ

シリアル・インタフェースIIC0は、次の8種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICコントロール・レジスタ0 (IIC0)
- ・IICフラグ・レジスタ0 (IICF0)
- ・IIC状態レジスタ0 (IICS0)
- ・IICクロック選択レジスタ0 (IICCL0)
- ・IIC機能拡張レジスタ0 (IICX0)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロの使用可否を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIIC0を使用するときは、必ずビット4 (IIC0EN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	DACEN	ADCEN	IIC0EN	SAU1EN	SAU0EN	0	TAU0EN

IIC0EN	シリアル・インタフェースIIC0の入カクロックの制御
0	入カクロック供給停止 ・シリアル・インタフェースIIC0で使用するSFRへのライト不可 ・シリアル・インタフェースIIC0はリセット状態
1	入カクロック供給 ・シリアル・インタフェースIIC0で使用するSFRへのリード/ライト可

注意1. シリアル・インタフェースIIC0の設定をする際には、必ず最初にIIC0EN = 1の設定を行ってください。IIC0EN = 0の場合は、シリアル・インタフェースIIC0の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ6 (PM6) , ポート・レジスタ6 (P6) は除く)。

2. PER0レジスタのビット1には必ず“0”を設定してください。

(2) IICコントロール・レジスタ0 (IICC0)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし, SPIE0, WTIM0, ACKE0ビットは, IICE0ビット = 0のとき, またはウェイト期間中に設定してください。またIICE0ビットを"0"から"1"に設定するときに, これらのビットを同時に設定できます。

リセット信号の発生により, 00Hになります。

図14-6 IICコントロール・レジスタ0 (IICC0) のフォーマット (1/4)

アドレス : FFF52H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICC0	IICE0	LRELO	WRELO	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I ² Cの動作許可
0	動作停止。IIC状態レジスタ0 (IICS0) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE0 = 0)	セットされる条件 (IICE0 = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

LRELO ^{注2}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IICコントロール・レジスタ0 (IICC0) , IIC状態レジスタ0 (IICS0) のうち、次のフラグがクリア (0) される。 ・STT0 ・SPT0 ・MSTS0 ・EXC0 ・COI0 ・TRC0 ・ACKD0 ・STD0
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
<ul style="list-style-type: none"> ・ストップ・コンディション検出後、マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信 	
クリアされる条件 (LRELO = 0)	セットされる条件 (LRELO = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

WRELO ^{注2}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC0 = 1) で、9クロック目のウェイト期間中にWRELOをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC0 = 0) にします。	
クリアされる条件 (WRELO = 0)	セットされる条件 (WRELO = 1)
<ul style="list-style-type: none"> ・実行後、自動的にクリア ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注1. リセットされるのは、IICS0レジスタ、IICF0レジスタのSTCF、IICBSYビット、IICCL0レジスタのCLD0、DAD0ビットです。

2. IICE0 = 0の状態では、このビットの信号は無効になります。

注意 SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態、I²Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。I²Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LRELOをセット (1) してください。

図14-6 IICコントロール・レジスタ0 (IICC0) のフォーマット (2/4)

SPIE0 ^{注1}	ストップ・コンディション検出による割り込み要求発生時の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIE0 = 0)		セットされる条件 (SPIE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

WTIM0 ^{注1}	ウェイトおよび割り込み要求発生時の制御	
0	8クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 8クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりでの割り込み要求発生。 マスタの場合 : 9クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
アドレス転送中はこのビットの設定にかかわらず, 9クロック目の立ち下がりでの割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時, アドレス転送中は9クロックの立ち下がりにウェイトが入りません。自局アドレスを受信したスレーブは, アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでのウェイトに入ります。ただし拡張コードを受信したスレーブは, 8クロック目の立ち下がりでのウェイトに入ります。		
クリアされる条件 (WTIM0 = 0)		セットされる条件 (WTIM0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

ACKE0 ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE0 = 0)		セットされる条件 (ACKE0 = 1)
・ 命令によるクリア ・ リセット時		・ 命令によるセット

- 注1. IICE0 = 0の状態では, このビットの信号は無効になります。その期間にビットの設定を行ってください。
2. アドレス転送中で, かつ拡張コードでない場合, 設定値は無効です。
スレーブかつアドレスが一致した場合は, 設定値に関係なくアクノリッジを生成します。

図14-6 IICコントロール・レジスタ0 (IICC0) のフォーマット (3/4)

STT0 ^注	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき (待機状態, IICBSYが0のとき) :</p> <p>スタート・コンディションを生成する (マスタとしての起動)。SCL0ラインがハイ・レベルの状態、SDA0ラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。その後、規格の時間を確保し、SCL0をロウ・レベル (ウェイト状態) にする。</p> <p>第三者が通信中のとき :</p> <ul style="list-style-type: none"> 通信予約機能許可の場合 (IICRSV = 0) スタート・コンディション予約フラグとして機能。セット (1) されると、バスが解放されたあと自動的にスタート・コンディションを生成する。 通信予約機能禁止の場合 (IICRSV = 1) STCFをセット (1) し、STT0をクリア (0) する。スタート・コンディションは生成しない。 <p>ウェイト状態 (マスタ時) :</p> <p>ウェイトを解除してリスタート・コンディションを生成する。</p>
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合 : 転送中のセット (1) は禁止です。ACKE0 = 0に設定し、受信の最後であることをスレープに伝えたとのウェイト期間中にだけセット (1) 可能です。 マスタ送信の場合 : アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット (1) してください。 SPT0と同時セット (1) することは禁止です。 STT0をセット (1) 後、クリア (0) される前に再度セット (1) することは禁止です。 	
クリアされる条件 (STT0 = 0)	セットされる条件 (STT0 = 1)
<ul style="list-style-type: none"> 通信予約禁止状態でのSTT0のセット (1) アービトレーションに負けたとき マスタでのスタート・コンディション生成 LREL0 = 1 (通信退避) によるクリア IICE0 = 0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット

注 IICE0 = 0の状態では、このビットの信号は無効になります

備考1. ビット1 (STT0) は、データ設定後に読み出すと0になっています。

2. IICRSV : IICフラグ・レジスタ (IICF0) のビット0
 STCF : " のビット7

図14-6 IICコントロール・レジスタ0 (IICC0) のフォーマット (4/4)

SPT0	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する (マスタとしての転送終了)。 SDA0ラインをロウ・レベルにしたあと、SCL0ラインをハイ・レベルにするか、またはSCL0がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0ラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット (1) は禁止です。 ACKE0 = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット (1) 可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウェイト期間中にセットしてください。 STT0と同時にセット (1) することは禁止です。 SPT0のセット (1) は、マスタのときのみ行ってください。^注 WTIM0 = 0設定時に、8クロック出力後のウェイト期間中にSPT0をセット (1) すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIM0 = 0 1に設定し、9クロック目出力後のウェイト期間中にSPT0をセット (1) してください。 SPT0をセット(1) 後、クリア (0) する前に、再度セット (1) することは禁止です。 	
クリアされる条件 (SPT0 = 0)	セットされる条件 (SPT0 = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LREL0 = 1 (通信退避) によるクリア IICE0 = 0 (動作停止) のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット

注 SPT0のセット (1) は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPT0をセット (1) してストップ・コンディションを生成する必要があります。

注意 IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1のとき、9クロック目にWREL0をセット (1) してウェイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

備考 ビット0 (SPT0) は、データ設定後に読み出すと0になっています。

(3) IIC状態レジスタ0 (IICS0)

I²Cのステータスを表すレジスタです。

IICS0は、STT0 = 1およびウエイト期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

図14 - 7 IIC状態レジスタ0 (IICS0) のフォーマット (1/3)

アドレス：FFF56H リセット時：00H R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS0 = 0)		
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・ALD0 = 1 (アービトレーション負け) のとき ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (MSTS0 = 1)		
<ul style="list-style-type: none"> ・スタート・コンディション生成時 		

ALD0	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS0がクリアされる。	
クリアされる条件 (ALD0 = 0)		
<ul style="list-style-type: none"> ・IICS0読み出し後、自動的にクリア^注 ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (ALD0 = 1)		
<ul style="list-style-type: none"> ・アービトレーションに負けたとき 		

EXC0	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC0 = 0)		
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		
セットされる条件 (EXC0 = 1)		
<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき(8クロック目の立ち上がりでセット) 		

注 IICS0のほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD0使用時は、ほかのビットよりも先にデータをリードしてください。

備考 LREL0 : IICコントロール・レジスタ0 (IICC0) のビット6
IICE0 : " のビット7

図14 - 7 IIC状態レジスタ0 (IICS0) のフォーマット (2/3)

COI0	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
	クリアされる条件 (COI0 = 0)	セットされる条件 (COI0 = 1)
	<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ ストップ・コンディション検出時 ・ LREL0 = 1 (通信退避) によるクリア ・ IICE0 = 1 0 (動作停止) のとき ・ リセット時 	<ul style="list-style-type: none"> ・ 受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ0 (SVA0)) と一致したとき (8クロック目の立ち上がりでセット)

TRC0	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
	クリアされる条件 (TRC0 = 0)	セットされる条件 (TRC0 = 1)
	<p>< マスタ, スレーブ共通 ></p> <ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ LREL0 = 1 (通信退避) によるクリア ・ IICE0 = 1 0 (動作停止) のとき ・ WREL0 = 1 (ウェイト解除) によるクリア^注 ・ ALD0 = 0 1 (アービトレーション負け) のとき ・ リセット時 <p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・ 1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ 1バイト目のLSB (転送方向指定ビット) に “0” を入力したとき <p>< 通信不参加の場合 ></p>	<p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・ スタート・コンディション生成時 ・ 1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・ 1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき

注 IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1のとき, 9クロック目にIICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) をセット (1) してウェイトを解除すると, TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。

備考 LREL0 : IICコントロール・レジスタ0 (IICC0) のビット6
IICE0 : " のビット7

図14 - 7 IIC状態レジスタ0 (IICS0) のフォーマット (3/3)

ACKD0	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
クリアされる条件 (ACKD0 = 0)		セットされる条件 (ACKD0 = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELO = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・SCL0の9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STD0 = 0)		セットされる条件 (STD0 = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELO = 1 (通信退避) によるクリア ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD0	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
クリアされる条件 (SPD0 = 0)		セットされる条件 (SPD0 = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE0 = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 LRELO : IICコントロール・レジスタ0 (IICC0) のビット6
 IICE0 : " のビット7

(4) IICフラグ・レジスタ0 (IICF0)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICF0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STCF、IICBSYビットは読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止/許可を設定します。

またSTCENにより、IICBSYビットの初期値を設定します。

IICRSV、STCENはI²Cが動作禁止 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0) のときのみ書き込み可能です。動作許可後、IICF0は読み出し可能となります。

リセット信号の発生により、00Hになります。

図14-8 IICフラグ・レジスタ0 (IICF0) のフォーマット

アドレス：FFF51H リセット時：00H R/W^注

略号	7	6	5	4	3	2	1	0
IICF0	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0フラグ・クリア。
クリアされる条件 (STCF = 0)	
<ul style="list-style-type: none"> ・ STT0 = 1によるクリア ・ IICE0 = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCF = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず，STT0がクリア (0) されたとき 	

IICBSY	I ² Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE0 = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSY = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN = 0時のIICE0のセット 	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE0 = 1) 後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可 (IICE0 = 1) 後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCEN = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSV = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

2. STCEN = 1とした場合，実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので，1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。

備考 STT0 : IICコントロール・レジスタ0 (IICC0) のビット1
IICE0 : " のビット7

(5) IICクロック選択レジスタ0 (IICCL0)

I²Cの転送クロックを設定するレジスタです。

IICCL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD0、DAD0ビットは読み出しのみ可能です。SMC0、CL01、CL00ビットは、IIC機能拡張レジスタ0 (IICX0) のビット0 (CLX0) と組み合わせて設定します (14.5.4 転送クロックの設定方法を参照)。

IICCL0は、IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0のときに設定してください。リセット信号の発生により、00Hになります。

図14 - 9 IICクロック選択レジスタ0 (IICCL0) のフォーマット

アドレス : FFF54H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

CLD0	SCL0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SCL0端子がロウ・レベルであることを検出	
1	SCL0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD0 = 0)		セットされる条件 (CLD0 = 1)
<ul style="list-style-type: none"> ・ SCL0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL0端子がハイ・レベルのとき

DAD0	SDA0端子のレベル検出 (IICE0 = 1のときのみ有効)	
0	SDA0端子がロウ・レベルであることを検出	
1	SDA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD0 = 0)		セットされる条件 (DAD0 = 1)
<ul style="list-style-type: none"> ・ SDA0端子がロウ・レベルのとき ・ IICE0 = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え	
0	標準モードで動作	
1	ファースト・モードで動作	

DFC0	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モード時にのみ使用できます。 ファースト・モード時はDFC0のセット (1) / クリア (0) により、転送クロックが変化することはありません。 デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。		

注 ビット4, 5はRead Onlyです。

備考 IICE0 : IICコントロール・レジスタ0 (IICC0) のビット7

(6) IIC機能拡張レジスタ0 (IICX0)

I²Cの機能拡張を設定するレジスタです。

IICX0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。CLX0ビットはIICクロック選択レジスタ0 (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) と組み合わせて設定します (詳細は14.5.4 転送クロックの設定方法を参照)。

IICX0は、IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 0のときに設定してください。リセット信号の発生により、00Hになります。

図14 - 10 IIC機能拡張レジスタ0 (IICX0) のフォーマット

アドレス : FFF55H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICX0	0	0	0	0	0	0	0	CLX0

表14 - 2 選択クロックの設定

IICX0 ビット0 CLX0	IICCL0			転送クロック (f _{CLK} /m)	設定可能な選択クロック (f _{CLK}) の範囲	動作モード
	ビット3 SMC0	ビット1 CL01	ビット0 CL00			
	0	0	0			
0	0	0	1	f _{CLK} /172	8.38 MHz ~ 16.76 MHz	
0	0	1	0	f _{CLK} /344	16.76 MHz ~ 20 MHz	
0	0	1	1	f _{CLK} /44	2.00 MHz ~ 4.2 MHz	
0	1	0	x	f _{CLK} /48	7.60 MHz ~ 16.76 MHz	ファースト・モード (SMC0ビット = 1)
0	1	1	0	f _{CLK} /96	16.00 MHz ~ 20 MHz	
0	1	1	1	f _{CLK} /24	4.00 MHz ~ 8.4 MHz	
1	0	x	x	設定禁止		
1	1	0	x	f _{CLK} /24	8.00 MHz ~ 8.38 MHz	ファースト・モード (SMC0ビット = 1)
1	1	1	0	f _{CLK} /48	16.00 MHz ~ 16.76 MHz	
1	1	1	1	f _{CLK} /12	4.00 MHz ~ 4.19 MHz	

注意 動作許可 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 1) する前に、CLX0, SMC0, CL01, CL00でI²Cの転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (0) してください。

- 備考1. x : don't care
 2. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(7) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCL0端子をクロック入出力, P61/SDA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE0 (IICコントロール・レジスタ0 (IICC0) のビット7) が0の場合, P60/SCL0端子およびP61/SDA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICE0に1を設定してから, 行ってください。

PM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図14 - 11 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

14.4 I²Cバス・モードの機能

14.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0.....シリアル・クロックを入出力するための端子。

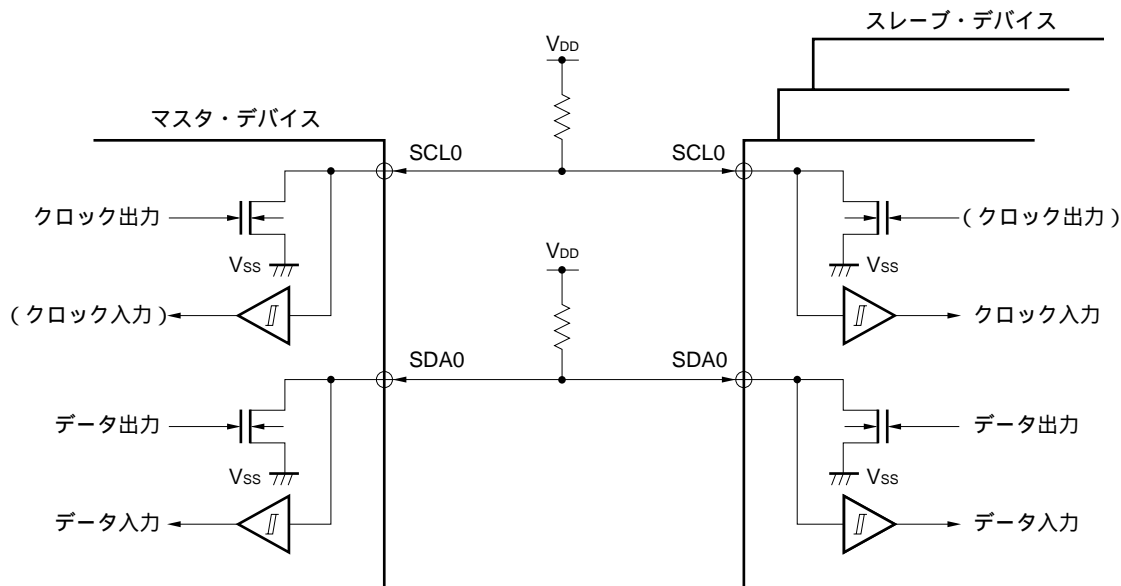
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図14 - 12 端子構成図

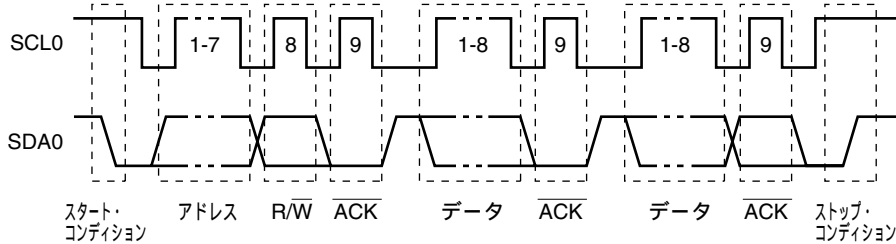


14.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図14 - 13に示します。

図14 - 13 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

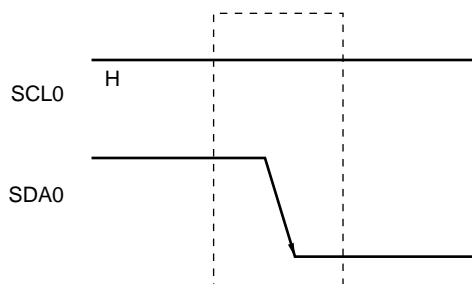
アクノリッジ ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0のロウ・レベル期間を延長し、ウエイトを挿入できます。

14.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するとき生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図14 - 14 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD0 : IIC状態レジスタ0 (IICS0) のビット0 = 1) のときにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICS0のビット1 (STD0) がセット (1) されます。

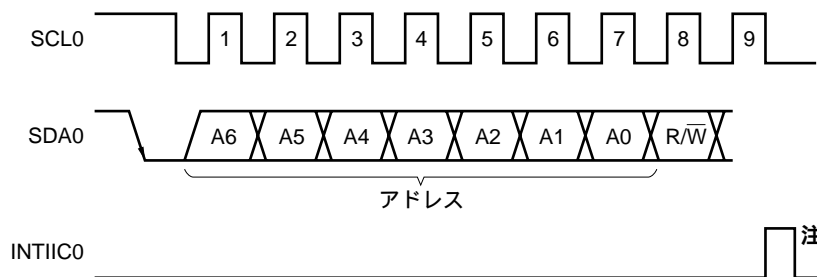
14.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ0 (SVA0) と一致しているかを調べます。このとき、7ビット・データとSVA0の値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図14 - 15 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

アドレスは、スレーブのアドレスと14.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICシフト・レジスタ0 (IIC0) に書き込むと出力します。また、受信したアドレスはIIC0に書き込まれます。

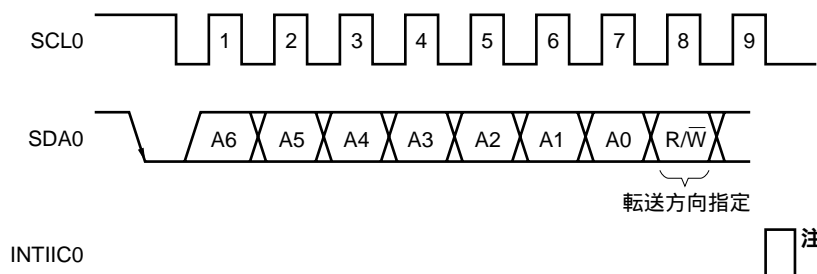
なお、スレーブのアドレスは、IIC0の上位7ビットに割り当てられます。

14.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図14 - 16 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIIC0は発生しません。

14.5.4 転送クロックの設定方法

(1) マスタ側の選択クロックの設定

I²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

$m = 12, 24, 44, 48, 88, 96, 172, 344$ (表14-3 選択クロックの設定参照)

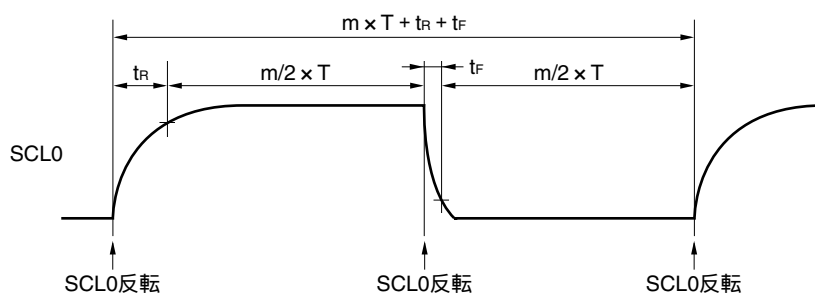
$T : 1/f_{CLK}$

t_R : SCL0立ち上がり時間

t_F : SCL0立ち下がり時間

たとえば、 $f_{CLK} = 4.19$ MHz、 $m = 88$ 、 $t_R = 200$ ns、 $t_F = 50$ nsの場合のI²Cの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (88 \times 238.7 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 47.0 \text{ kHz}$$



選択クロックは、IICクロック選択レジスタ0 (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) とIIC機能拡張レジスタ0 (IICX0) のビット0 (CLX0) を組み合わせて設定します。

(2) スレーブ側の選択クロックの設定

スレーブとして使用する場合は、「表14-3 選択クロックの設定」に従い、使用する f_{CLK} (設定可能な選択クロックの範囲) と、使用するIIC動作モード (標準 / ファースト) により、IICクロック選択レジスタ0 (IICCL0) のビット3, 1, 0 (SMC0, CL01, CL00) とIIC機能拡張レジスタ0 (IICX0) のビット0 (CLX0) の設定をしてください。

表14 - 3 選択クロックの設定

IICX0	IICCL0			転送クロック (f _{CLK/m})	設定可能な選択クロック (f _{CLK})の範囲	動作モード
	ビット3	ビット1	ビット0			
	CLX0	SMC0	CL01			
0	0	0	0	f _{CLK} /88	4.00 MHz ~ 8.4 MHz	標準モード (SMC0ビット = 0)
0	0	0	1	f _{CLK} /172	8.38 MHz ~ 16.76 MHz	
0	0	1	0	f _{CLK} /344	16.76 MHz ~ 20 MHz	
0	0	1	1	f _{CLK} /44	2.00 MHz ~ 4.2 MHz	
0	1	0	x	f _{CLK} /48	7.60 MHz ~ 16.76 MHz	ファースト・モード (SMC0ビット = 1)
0	1	1	0	f _{CLK} /96	16.00 MHz ~ 20 MHz	
0	1	1	1	f _{CLK} /24	4.00 MHz ~ 8.4 MHz	
1	0	x	x	設定禁止		
1	1	0	x	f _{CLK} /24	8.00 MHz ~ 8.38 MHz	ファースト・モード (SMC0ビット = 1)
1	1	1	0	f _{CLK} /48	16.00 MHz ~ 16.76 MHz	
1	1	1	1	f _{CLK} /12	4.00 MHz ~ 4.19 MHz	

注意 動作許可 (IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) = 1) する前に, CLX0, SMC0, CL01, CL00で²f_{CLK}の転送クロック周波数を決定してください。転送クロック周波数を変更する場合は, 一度IICE0をクリア (0) してください。

- 備考**1. x : don't care
2. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

14.5.5 アクノリッジ (ACK)

アクノリッジ (ACK) によって, 送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は, 8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常, 8ビット・データ送信後, アクノリッジを受信します。受信側からアクノリッジが返されたとき, 受信が正しく行われたものとして処理を続けます。アクノリッジの検出は, IIC状態レジスタ0 (IICS0) のビット2 (ACKD0) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず, ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき, マスタはストップ・コンディションまたはリスタート・コンディションを出力し, 送信を中止します。アクノリッジが返らない場合, 次の要因が考えられます。

- 受信が正しく行われていない。
- 最終データの受信が終わっている。
- アドレス指定した受信側が存在しない。

アクノリッジ生成は, 受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます (正常受信)。

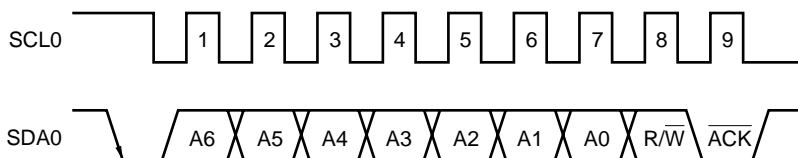
IICコントロール・レジスタ0 (IICC0) のビット2 (ACKE0) をセット (1) することによって, アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3 (TRC0) が設定されます。受信 (TRC0 = 0) の場合は, 通常, ACE0をセット (1) してください。

スレーブ受信動作時 (TRC0 = 0) にデータを受信できなくなったとき, または次のデータを必要としないと

きには、ACKE0をクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時($TRC0 = 0$)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKE0をクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図14 - 17 アクノリッジ



自局アドレス受信時は、ACKE0の値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKE0をセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

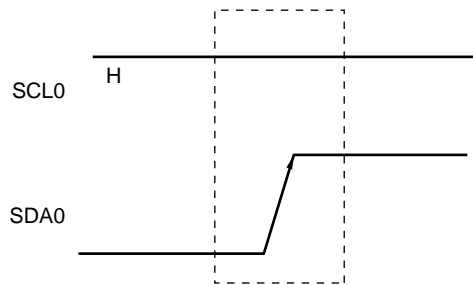
- ・8クロック・ウェイト選択時(IIC0レジスタのビット3(WTIM0) = 0) :
ウェイト解除を行う前にACKE0をセット(1)することによって、SCL0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時(IIC0レジスタのビット3(WTIM0) = 1) :
あらかじめACKE0をセット(1)することによって、アクノリッジを生成します。

14.5.6 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図14 - 18 ストップ・コンディション



ストップ・コンディションは、IICコントロール・レジスタ0 (IICC0) のビット0 (SPT0) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIIC状態レジスタ0 (IICS0) のビット0 (SPD0) がセット (1) され、IICC0のビット4 (SPIE0) がセット (1) されている場合にはINTIIC0が発生します。

14.5.7 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図14 - 19 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE0 = 1)

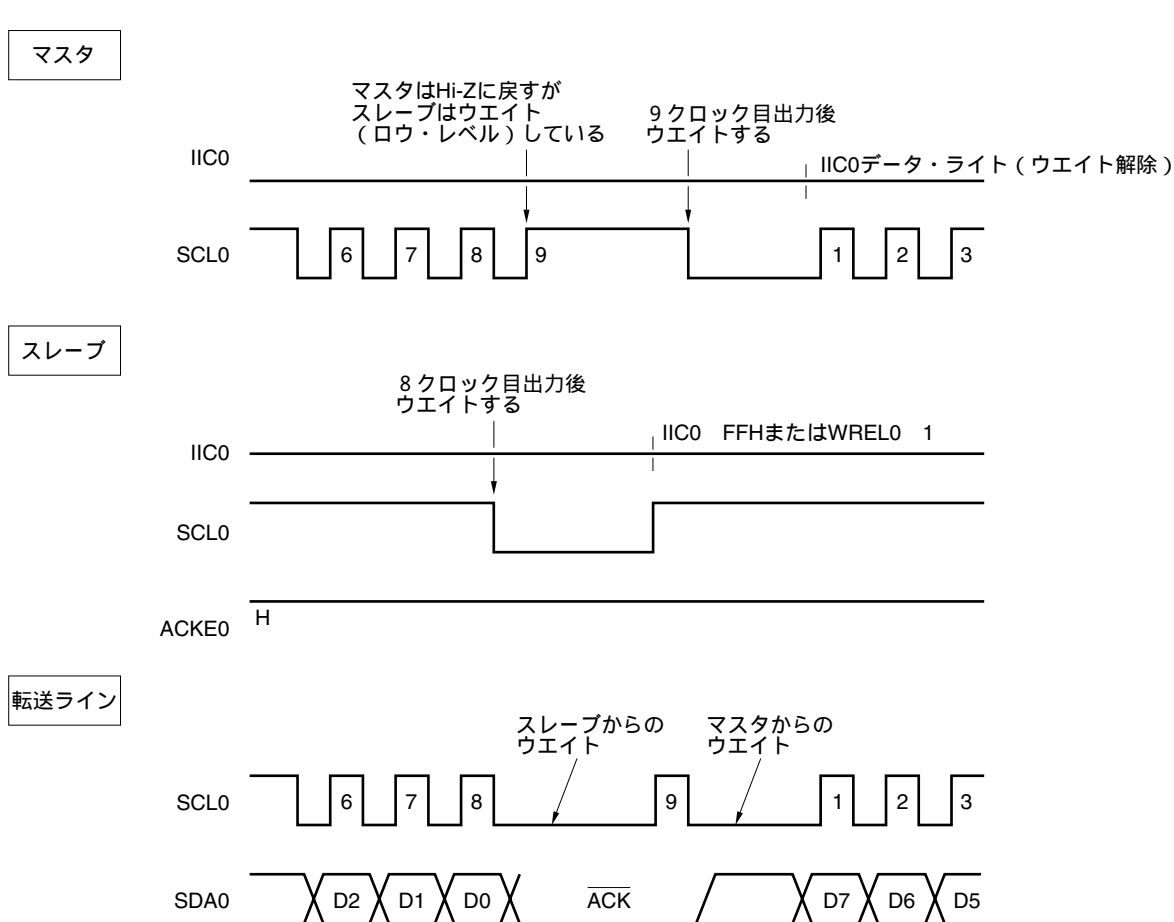
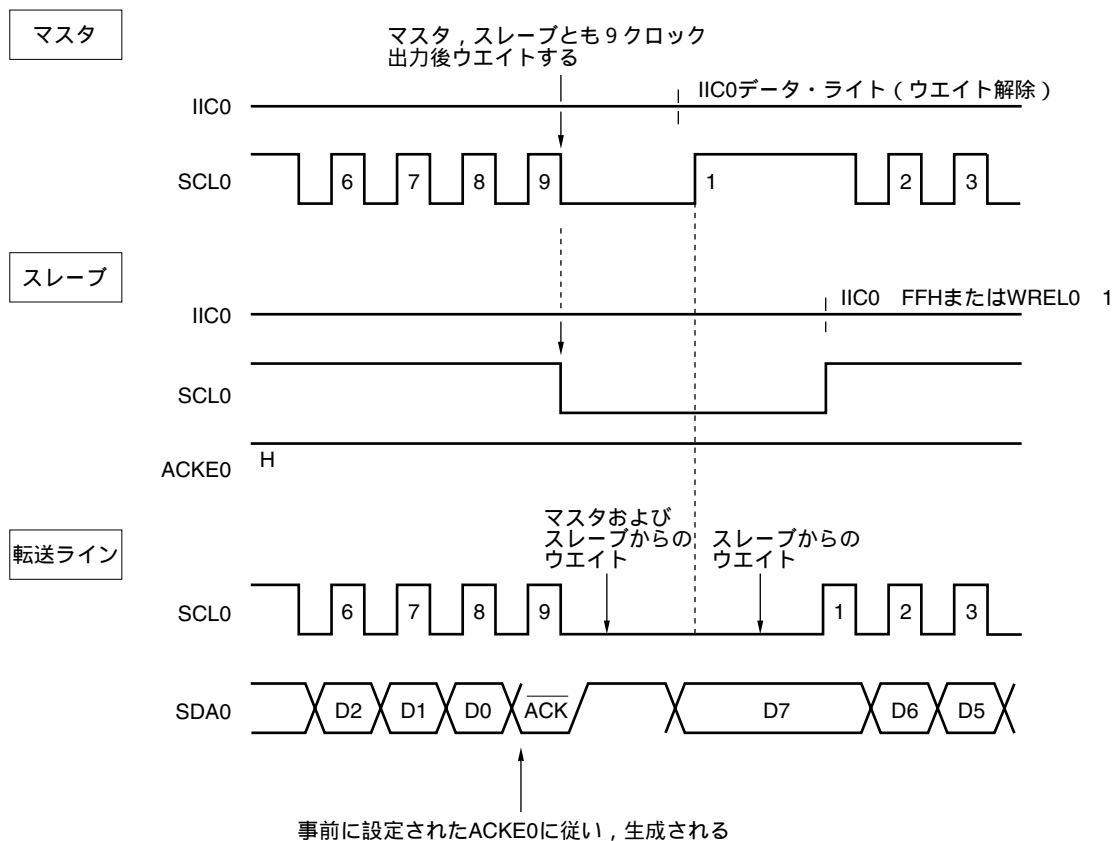


図14 - 19 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE0 = 1)



備考 ACKE0 : IICコントロール・レジスタ0 (IICC0) のビット2

WRELO : " のビット5

ウェイトは、IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定により自動的に発生します。

通常、受信側はIICC0のビット5 (WRELO) = 1またはIICシフト・レジスタ0 (IIC0) FFHライトにするとウェイトを解除し、送信側はIIC0にデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- ・ IICC0のビット1 (STT0) = 1
- ・ IICC0のビット0 (SPT0) = 1

14.5.8 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICシフト・レジスタ0 (IIC0) へのデータ書き込み
- ・ IICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IIC0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)^注
- ・ IIC0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IIC0にデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IIC0コントロール・レジスタ0 (IICC0) のビット5 (WREL0) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICC0のビット1 (STT0) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICC0のビット0 (SPT0) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WREL0にセット (1) によるウェイト解除後、IIC0へのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIIC0への書き込みタイミングの競合により、SDA0への出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICE0をクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICC0のビット6 (LREL0) をセット (1) すると通信から退避するので、ウェイトを解除できます。

14.5.9 割り込み要求 (INTIIC0) 発生タイミングおよびウェイト制御

IICコントロール・レジスタ0 (IICC0) のビット3 (WTIM0) の設定で、表14 - 4に示すタイミングでINTIIC0が発生し、また、ウェイト制御を行います。

表14 - 4 INTIIC0発生タイミングおよびウェイト制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIIC0信号およびウェイトは、スレーブ・アドレス・レジスタ0 (SVA0) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICC0のビット2 (ACKE0) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりですべてINTIIC0が発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIIC0が発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ0 (SVA0) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIIC0もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIM0ビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIM0ビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIM0ビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICシフト・レジスタ0 (IIC0) へのデータ書き込み
- ・ IICコントロール・レジスタ0 (IICC0) のビット5 (WREL0) のセット (ウェイト解除)
- ・ IIC0レジスタのビット1 (STT0) のセット (スタート・コンディションの生成)^注
- ・ IIC0レジスタのビット0 (SPT0) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM0 = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIIC0は、ストップ・コンディションを検出すると発生します (SPIE0 = 1のときのみ)。

14.5.10 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ0 (SVA0) に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIIC0割り込み要求が発生します。

14.5.11 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICシフト・レジスタ0 (IIC0) にも取り込まれるため、送信開始前と送信終了後のIIC0データを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

14.5.12 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC0)をセット(1)し、8クロック目の立ち下がりでの割り込み要求(INTIIC0)を発生します。

スレーブ・アドレス・レジスタ0(SVA0)に格納された自局アドレスは影響しません。

(2) SVA0に“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIIC0)は、8クロック目の立ち下がりで発生します。

- ・上位4ビット・データの一致 : EXC0 = 1
- ・7ビット・データの一致 : COI0 = 1

備考 EXC0 : IIC状態レジスタ0(IICS0)のビット5
COI0 : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICコントロール・レジスタ0(IIC0)のビット6(LREL0) = 1に設定してください。次の通信待機状態にします。

表14-5 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

14.5.13 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合(STD0 = 1になる前にSTT0 = 1にしたとき), データが異なるまでクロックの調整をしながら, マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは, アービトレーションに負けたタイミングで, IIC状態レジスタ0 (IICS0) のアービトレーション負けフラグ (ALD0) をセット (1) し, SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは, 次の割り込み要求発生タイミング (8または9クロック目, ストップ・コンディション検出など) で, ソフトウェアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては, 14.5.9 割り込み要求 (INTIIC0) の発生タイミングおよびウェイト制御を参照してください。

備考 STD0 : IIC状態レジスタ0 (IICS0) のビット1

STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

図14 - 20 アービトレーション・タイミング例

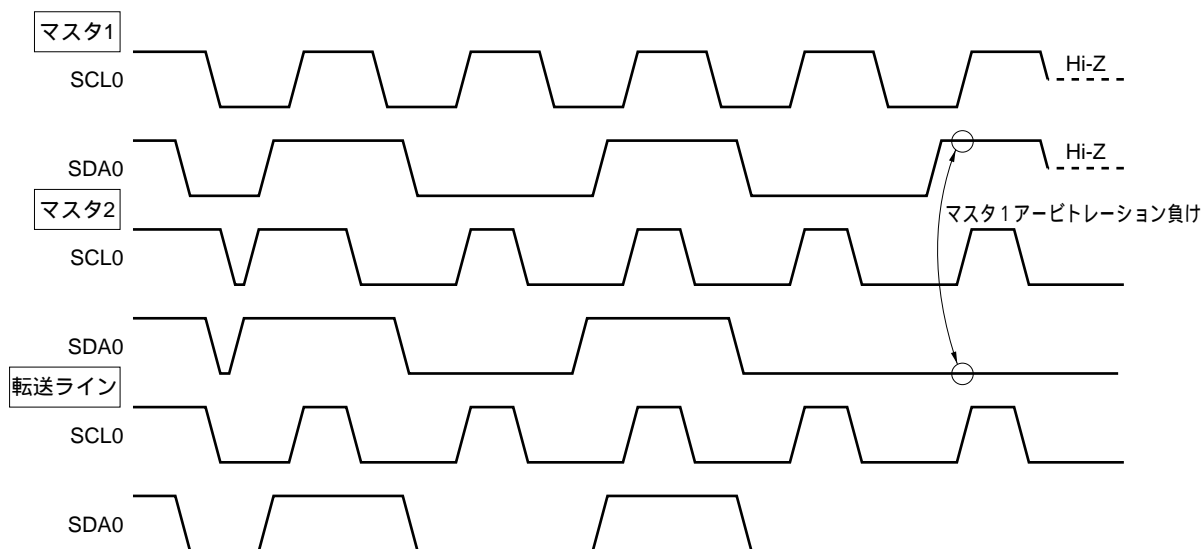


表14-6 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE0 = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0がロウ・レベル	

注1. WTIM0 (IICコントロール・レジスタ0 (IICC0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE0 = 1に設定してください。

備考 SPIE0 : IICコントロール・レジスタ0 (IICC0) のビット 4

14.5.14 ウエイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIIC0) を発生する機能です。

アドレスが一致しないときは不要なINTIIC0信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウエイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウエイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウエイク・アップ機能に関係なく、IICコントロール・レジスタ0 (IICC0) のビット4 (SPIE0) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

14.5.15 通信予約

(1) 通信予約機能許可の場合 (IICフラグ・レジスタ0 (IICF0) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICコントロール・レジスタ0 (IICC0) のビット6 (LREL0) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICC0のビット1 (STT0) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICC0のビット4 (SPIE0) をセット (1) し、割り込み要求信号 (INTIIC0) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICシフト・レジスタ0 (IIC0) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IIC0に書き込まれたデータは、無効です。

STT0をセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態)通信予約

通信予約として動作するかどうかは、STT0をセット (1) し、ウエイト時間をとったあと、MSTS0 (IIC状態レジスタ0 (IICS0) のビット7) で確認します。

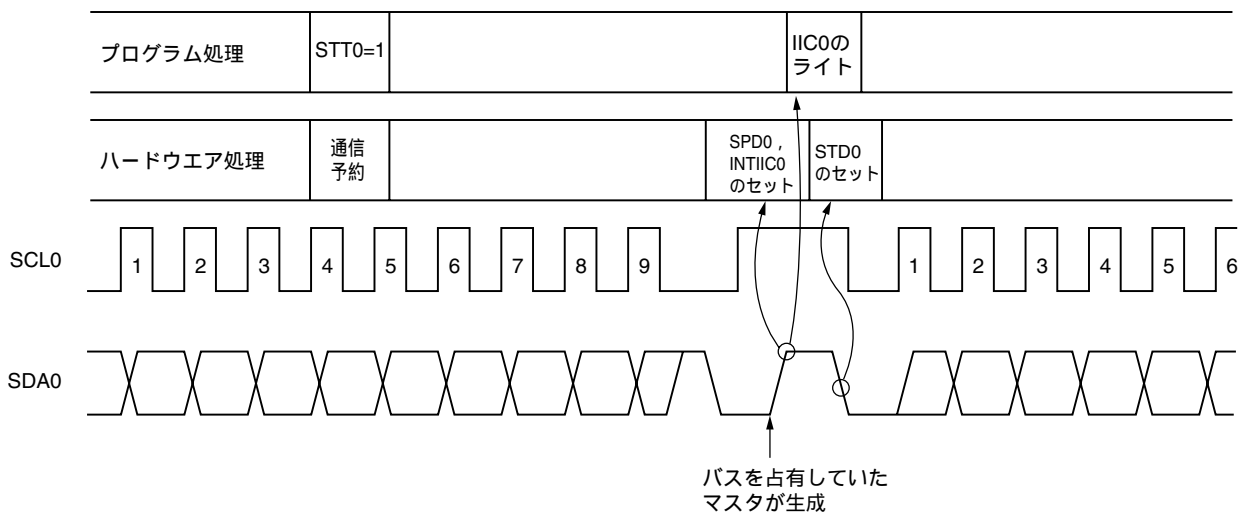
ウエイト時間は、表14 - 6に示す時間をソフトウェアにより確保してください。

表14 - 7 ウェイト時間

CLX0	SMC0	CL01	CL00	ウェイト時間
0	0	0	0	43クロック
0	0	0	1	85クロック
0	0	1	0	101クロック
0	0	1	1	23クロック
0	1	0	0	27クロック
0	1	0	1	
0	1	1	0	51クロック
0	1	1	1	15クロック
1	1	0	0	
1	1	0	1	
1	1	1	0	27クロック
1	1	1	1	9クロック

通信予約のタイミングを図14 - 21に示します。

図14 - 21 通信予約のタイミング



備考 IIC0 : IICシフト・レジスタ0

STT0 : IICコントロール・レジスタ0 (IICC0) のビット1

STD0 : IIC状態レジスタ0 (IICS0) のビット1

SPD0 : " のビット0

通信予約は図14 - 22に示すタイミングで受け付けられます。IIC状態レジスタ0 (IICS0) のビット1 (STD0) = 1になったあと、ストップ・コンディション検出までにIICコントロール・レジスタ0 (IICC0) のビット1 (STT0) = 1で通信予約をします。

図14 - 22 通信予約受け付けタイミング

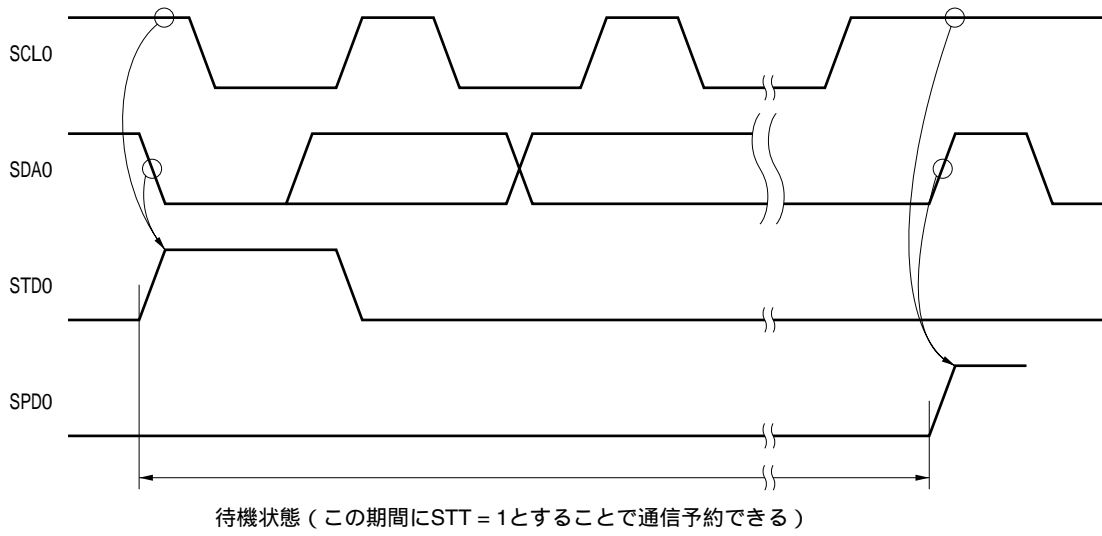
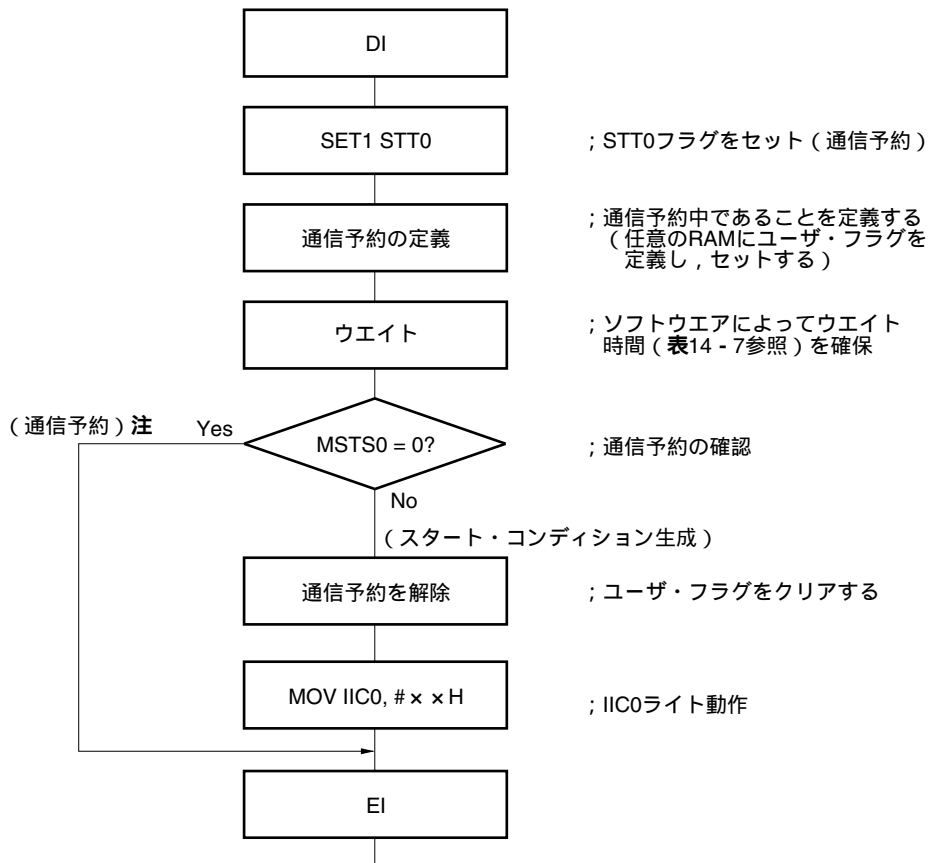


図14 - 23に通信予約の手順を示します。

図14 - 23 通信予約の手順



注 通信予約動作時は、ストップ・コンディション割り込み要求でIICシフト・レジスタ0 (IIC0) への書き込みを実行します。

備考 STT0 : IICコントロール・レジスタ0 (IICC0) のビット1
MSTS0 : IIC状態レジスタ0 (IICS0) のビット7
IIC0 : IICシフト・レジスタ0

(2) 通信予約機能禁止の場合 (IICフラグ・レジスタ0 (IICF0) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態(IICコントロール・レジスタ0 (IICC0) のビット1 (STT0) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクリッジを返さず、IICC0のビット6(LREL0) = 1で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF (IICF0のビット7) で確認できます。STT0 = 1としてからSTCFがセット (1) されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

14.5.16 その他の注意事項

(1) STCEN (IICフラグ・レジスタ0 (IICF0) のビット1) = 0の場合

I²C動作許可 (IICE0 = 1) 直後, 実際のバス状態にかかわらず通信状態 (IICBSY (IICF0のビット6) = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は, まずストップ・コンディションを生成し, バスを解放してからマスタ通信を行ってください。

マルチマスタでは, バスが解放されていない (ストップ・コンディションを検出していない) 状態では, マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICクロック選択レジスタ0 (IICCL0) を設定する

IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) をセット (1) する

IICC0のビット0 (SPT0) をセット (1) する

(2) STCEN = 1の場合

I²C動作許可 (IICE0 = 1) 直後, 実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので, 1回目のスタート・コンディションを生成 (STT0 (IICコントロール・レジスタ0 (IICC0) のビット1) = 1) する場合は, ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDA0端子がロウ・レベルで, かつSCL0端子がハイ・レベルのときに, I²C動作を許可して通信に途中参加すると, I²CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は, アクノリッジを返し, 他者との間のI²C通信を妨害してしまいます。これを回避するために, 次の順番でI²Cを起動してください。

IICC0のビット4 (SPIE0) をクリア (0) し, ストップ・コンディション検出による割り込み要求信号 (INTIIC0) 発生を禁止する

IICC0のビット7 (IICE0) をセット (1) し, I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICE0をセット (1) してから, 4~80クロック中) に, IICC0のビット6 (LREL0) をセット (1) にし, 強制的に検出を無効とする

(4) 動作許可 (IICE0 = 1) する前に, SMC0, CL01, CL00 (IICL0のビット3, 1, 0), CLX0 (IICX0のビット0)

で転送クロック周波数を決定してください。転送クロック周波数を変更する場合は, 一度IICE0をクリア (0) してください。

(5) STT0, SPT0 (IICC0のビット1, 0) をセットしたあと, クリア (0) される前の再セットは禁止します。

- (6) 送信予約をした場合には、SPIE0 (IICL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IIC0に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0 (IICSOのビット7) を検出する場合には、SPIE0をセット (1) する必要はありません。

14.5.17 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定 (1フレーム) 期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

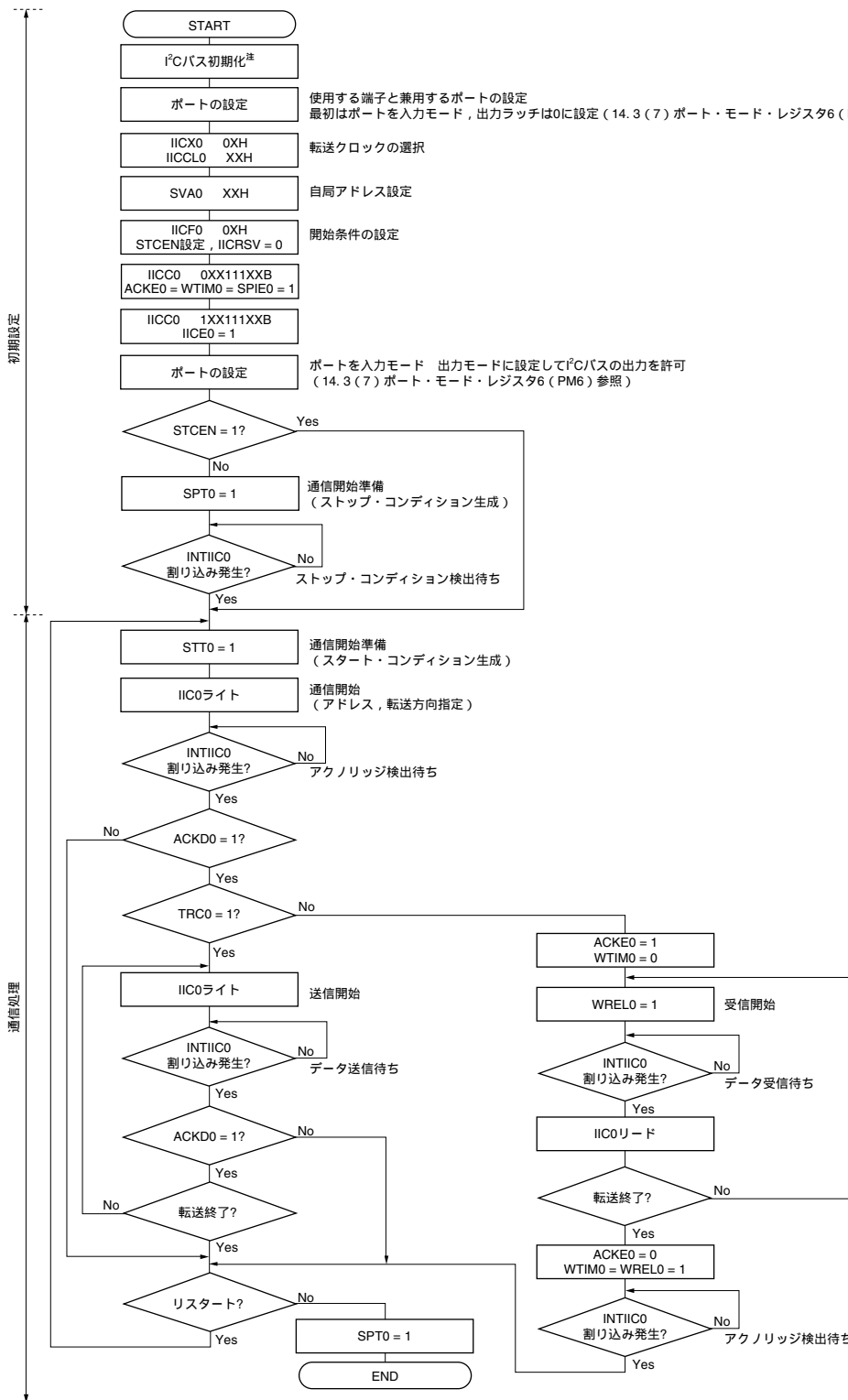
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIIC0割り込みの発生を待ちます。INTIIC0割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

図14 - 24 シングルマスタ・システムでのマスタ動作

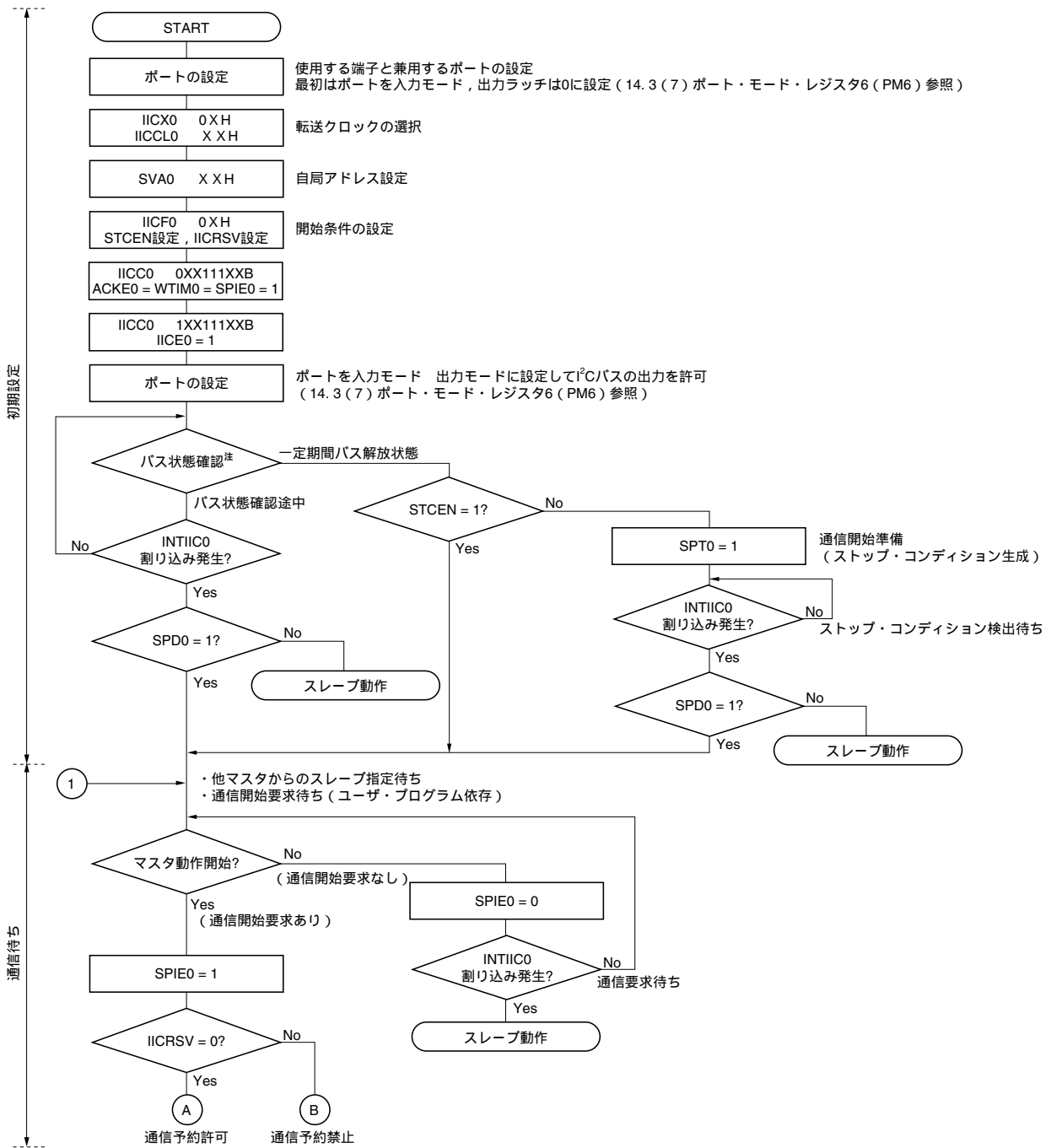


注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0端子にロウ・レベルを出力した状態であれば、SCL0端子を出力ポートに設定し、SDA0端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

(2) マルチマスタ・システムでのマスタ動作

図14 - 25 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLD0ビット = 1, DAD0ビット = 1) であることを確認してください。定期的にSDA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) するか判断してください。

図14 - 25 マルチマスタ・システムでのマスタ動作 (2/3)

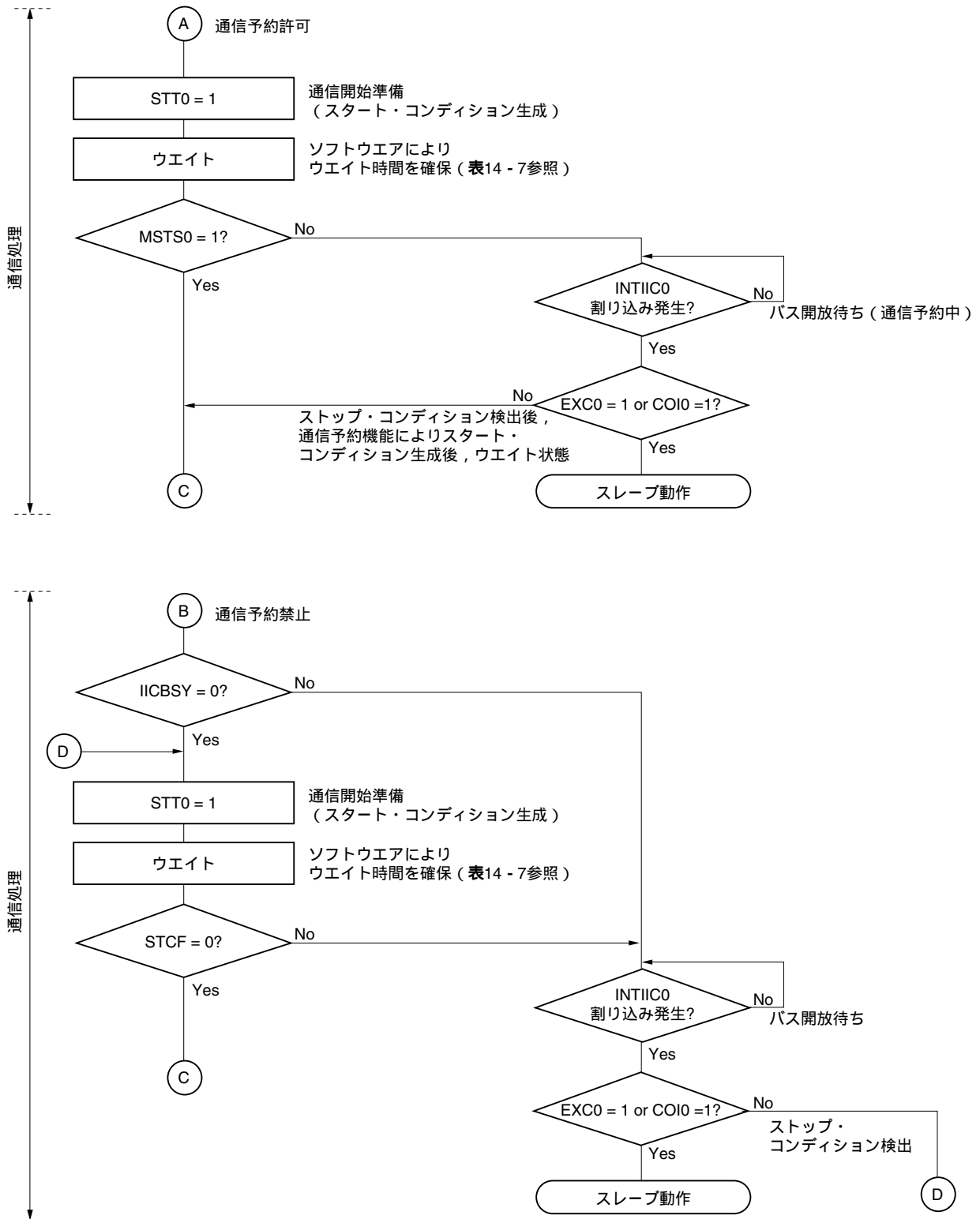
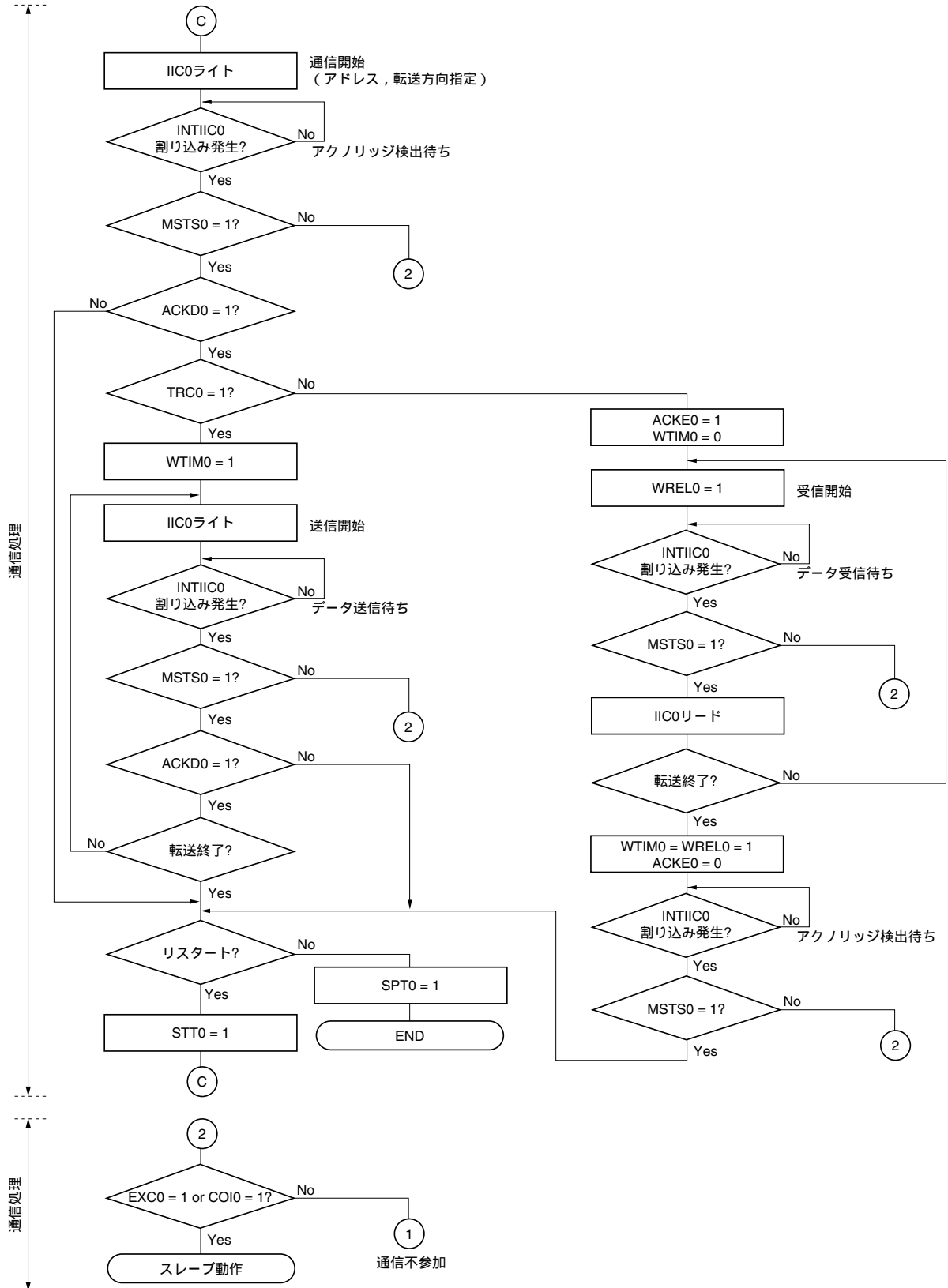


図14 - 25 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

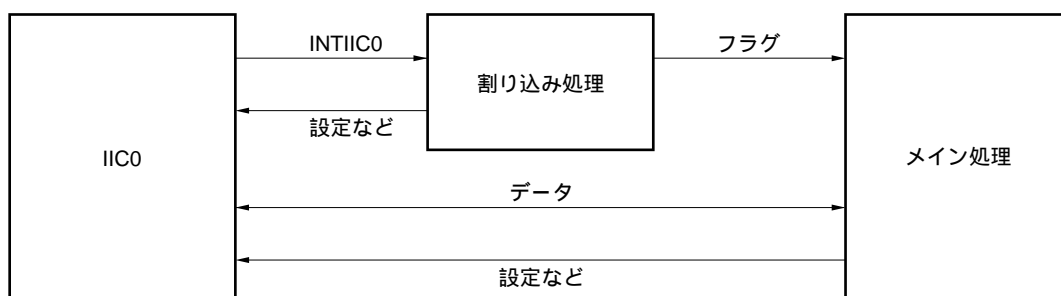
2. マルチマスタ・システムでマスタとして使用する場合は、INTIIC0割り込み発生ごとにMSTS0ビットをリードし、アービトレーション結果を確認してください。
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIIC0割り込み発生ごとにIICS0、IICF0レジスタでステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIIC0割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIIC0割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIIC0の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIIC0割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRC0の値と同じです。

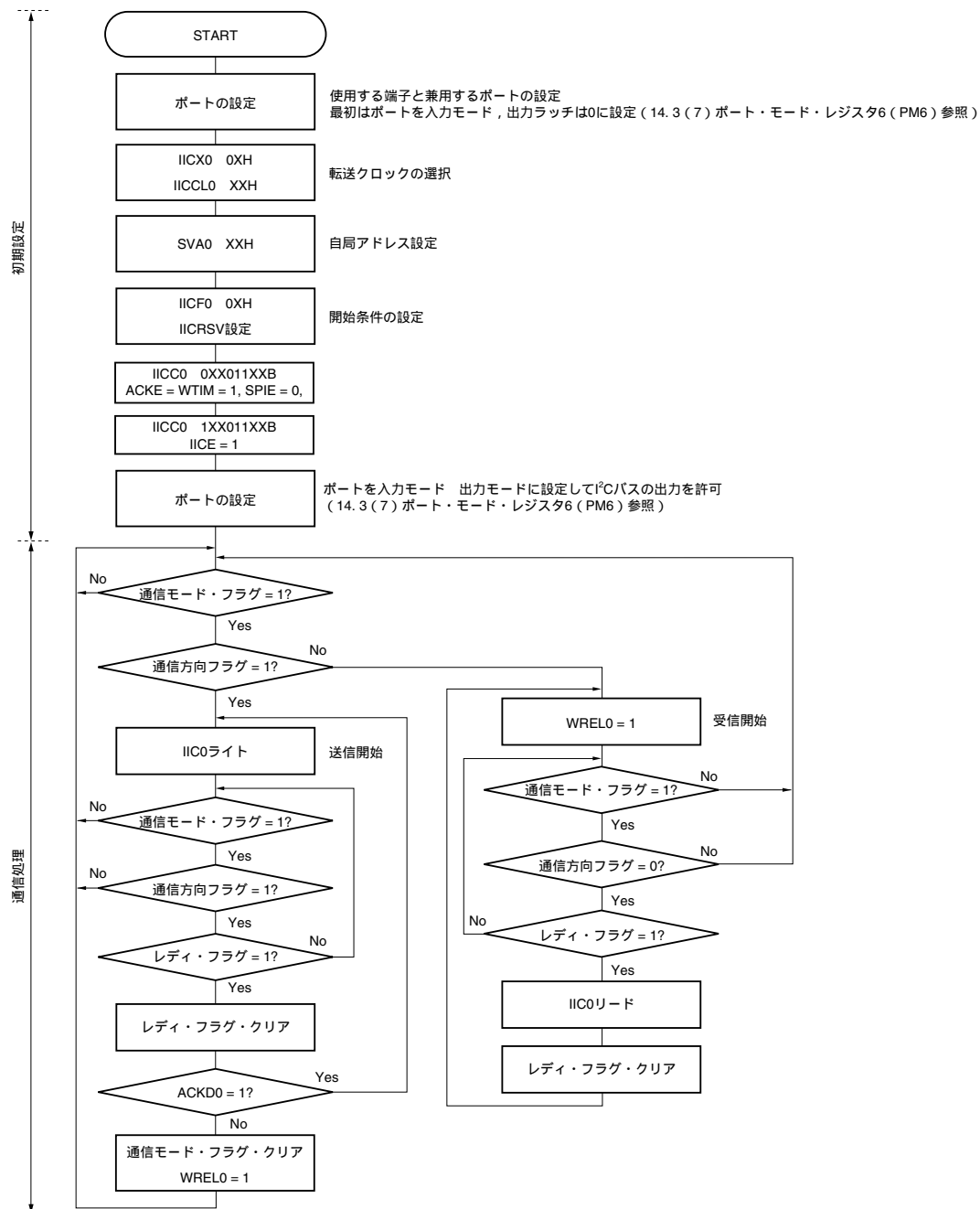
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIIC0を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図14 - 26 スレーブ動作手順（1）



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIIC0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIIC0割り込みではステータスを確認して、次のように行います。

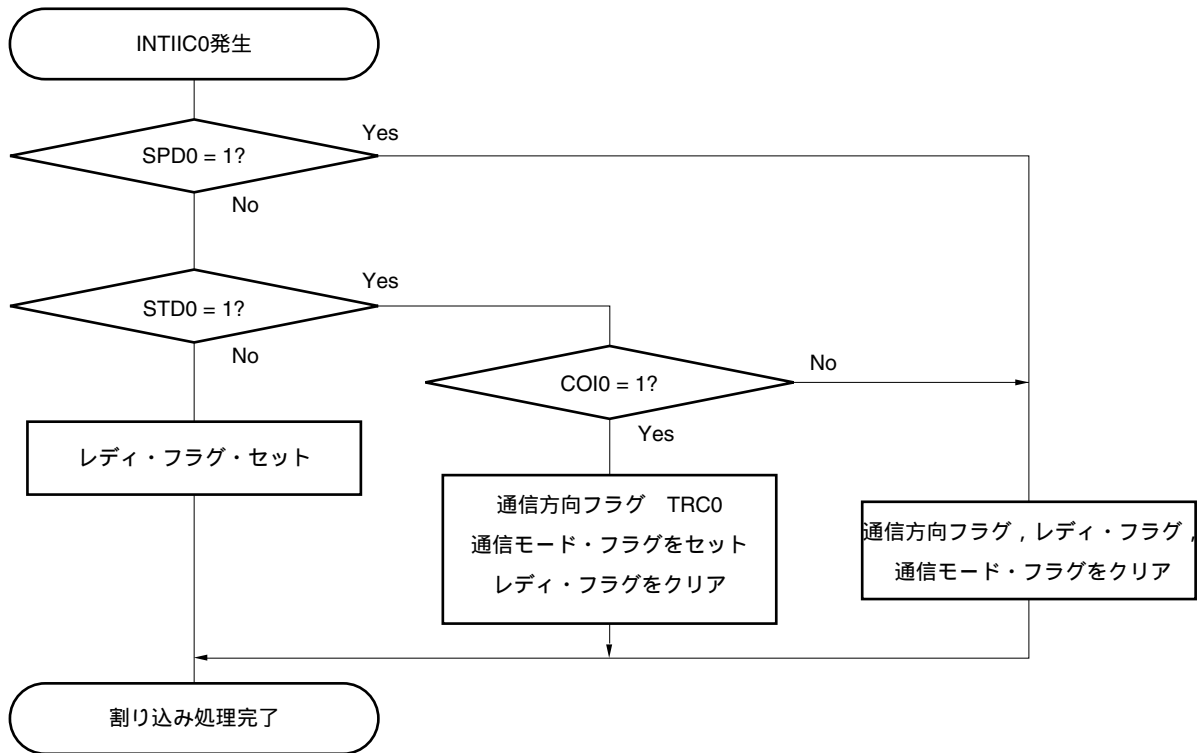
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウエイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図14-27 スレーブ動作手順(2)の ~ と対応しています。

図14-27 スレーブ動作手順(2)



14. 5. 18 I²C割り込み要求 (INTIIC0) の発生タイミング

次に、データの送受信、INTIIC0割り込み要求信号発生タイミングと、INTIIC0信号タイミングでのIICS0レジスタの値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/ \overline{W} : 転送方向指定
 \overline{ACK} : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM0 = 0のとき

SPT0 = 1								
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICS0 = 1000 × 110B
 2 : IICS0 = 1000 × 000B
 3 : IICS0 = 1000 × 000B (WTIM0をセット(1))^注
 4 : IICS0 = 1000 × × 00B (SPT0をセット(1))
 5 : IICS0 = 00000001B

注 ストップ・コンディションを生成するために、WTIM0をセット(1)し、INTIIC0割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

SPT0 = 1								
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS0 = 1000 × 110B
 2 : IICS0 = 1000 × 100B
 3 : IICS0 = 1000 × × 00B (SPT0をセット(1))
 4 : IICS0 = 00000001B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM0 = 0のとき

STT0 = 1						SPT0 = 1						
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2	3				4	5	6 7

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × 000 B (WTIM0をセット(1)^{注1})
 3 : IICS0 = 1000 × × 00 B (WTIM0をクリア(0)^{注2}, STT0をセット(1))
 4 : IICS0 = 1000 × 110 B
 5 : IICS0 = 1000 × 000 B (WTIM0をセット(1)^{注3})
 6 : IICS0 = 1000 × × 00 B (SPT0をセット(1))
 7 : IICS0 = 00000001 B

注1. スタート・コンディションを生成するために、WTIM0をセット(1)し、INTIIC0割り込み要求信号の発生タイミングを変更してください。
 2. 設定を元に戻すために、WTIM0をクリア(0)してください。
 3. ストップ・コンディションを生成するために、WTIM0をセット(1)し、INTIIC0割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

STT0 = 1						SPT0 = 1						
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × × 00 B (STT0をセット(1))
 3 : IICS0 = 1000 × 110 B
 4 : IICS0 = 1000 × × 00 B (SPT0をセット(1))
 5 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM0 = 0のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICS0 = 1010 × 110 B
 2 : IICS0 = 1010 × 000 B
 3 : IICS0 = 1010 × 000 B (WTIM0をセット(1) ^注)
 4 : IICS0 = 1010 × × 00 B (SPT0をセット(1))
 5 : IICS0 = 00000001 B

注 ストップ・コンディションを生成するために、WTIM0をセット(1)し、INTIIC0割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

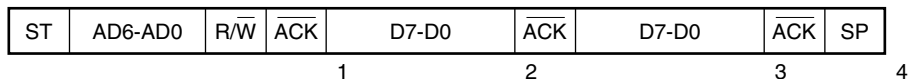
1 : IICS0 = 1010 × 110 B
 2 : IICS0 = 1010 × 100 B
 3 : IICS0 = 1010 × × 00 B (SPT0をセット(1))
 4 : IICS0 = 00001001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM0 = 0のとき



1 : IICS0 = 0001 x 110 B

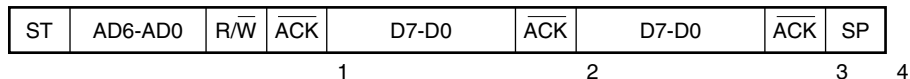
2 : IICS0 = 0001 x 000 B

3 : IICS0 = 0001 x 000 B

4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき



1 : IICS0 = 0001 x 110 B

2 : IICS0 = 0001 x 100 B

3 : IICS0 = 0001 x x 00 B

4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0 = 0001 x 110 B

2 : IICS0 = 0001 x 000 B

3 : IICS0 = 0001 x 110 B

4 : IICS0 = 0001 x 000 B

5 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2					3	4	5

1 : IICS0 = 0001 x 110 B

2 : IICS0 = 0001 x x 00 B

3 : IICS0 = 0001 x 110 B

4 : IICS0 = 0001 x x 00 B

5 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード))



1 : IICS0 = 0001 x 110 B

2 : IICS0 = 0001 x 000 B

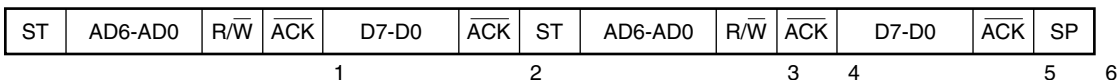
3 : IICS0 = 0010 x 010 B

4 : IICS0 = 0010 x 000 B

5 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード))



1 : IICS0 = 0001 x 110 B

2 : IICS0 = 0001 x x 00 B

3 : IICS0 = 0010 x 010 B

4 : IICS0 = 0010 x 110 B

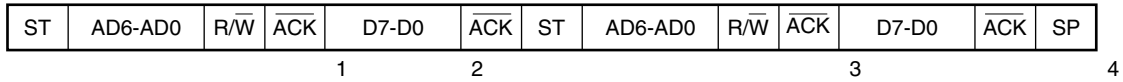
5 : IICS0 = 0010 x x 00 B

6 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0 = 0001 x 110 B

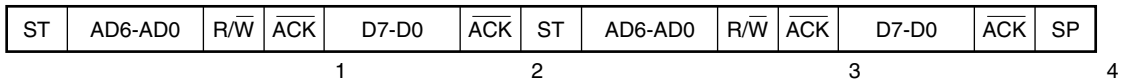
2 : IICS0 = 0001 x 000 B

3 : IICS0 = 00000110 B

4 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0 = 0001 x 110 B

2 : IICS0 = 0001 x x 00 B

3 : IICS0 = 00000110 B

4 : IICS0 = 00000001 B

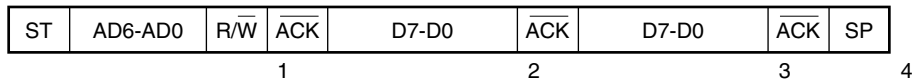
- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM0 = 0のとき



1 : IICS0 = 0010 × 010 B

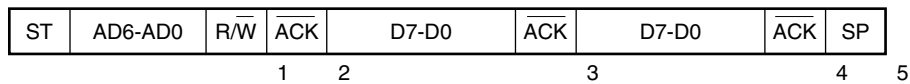
2 : IICS0 = 0010 × 000 B

3 : IICS0 = 0010 × 000 B

4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき



1 : IICS0 = 0010 × 010 B

2 : IICS0 = 0010 × 110 B

3 : IICS0 = 0010 × 100 B

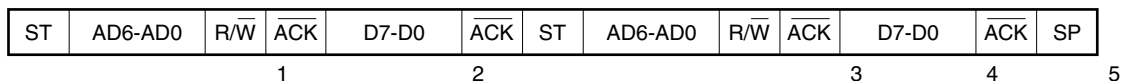
4 : IICS0 = 0010 × × 00 B

5 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, SVA0一致)



1 : IICS0 = 0010 × 010 B

2 : IICS0 = 0010 × 000 B

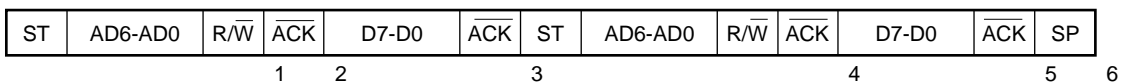
3 : IICS0 = 0001 × 110 B

4 : IICS0 = 0001 × 000 B

5 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, SVA0一致)



1 : IICS0 = 0010 × 010 B

2 : IICS0 = 0010 × 110 B

3 : IICS0 = 0010 × × 00 B

4 : IICS0 = 0001 × 110 B

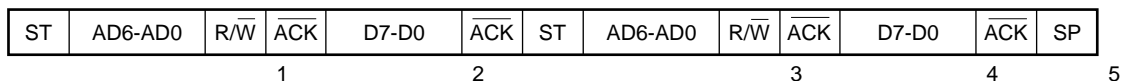
5 : IICS0 = 0001 × × 00 B

6 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, 拡張コード受信)



1 : IICS0 = 0010 x 010 B

2 : IICS0 = 0010 x 000 B

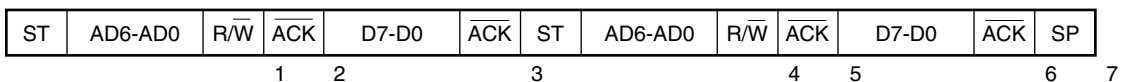
3 : IICS0 = 0010 x 010 B

4 : IICS0 = 0010 x 000 B

5 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, 拡張コード受信)



1 : IICS0 = 0010 x 010 B

2 : IICS0 = 0010 x 110 B

3 : IICS0 = 0010 x x 00 B

4 : IICS0 = 0010 x 010 B

5 : IICS0 = 0010 x 110 B

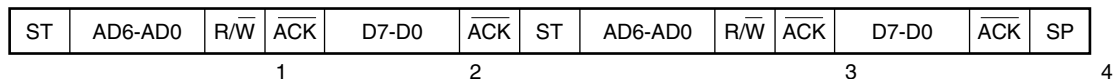
6 : IICS0 = 0010 x x 00 B

7 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM0 = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0 = 00100010 B

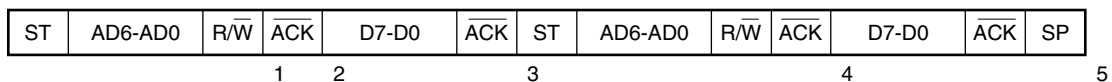
2 : IICS0 = 00100000 B

3 : IICS0 = 00000110 B

4 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



1 : IICS0 = 00100010 B

2 : IICS0 = 00100110 B

3 : IICS0 = 00100 × 00 B

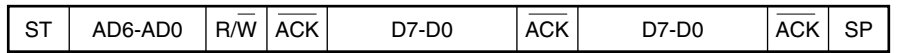
4 : IICS0 = 00000110 B

5 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



1

1 : IICS0 = 00000001 B

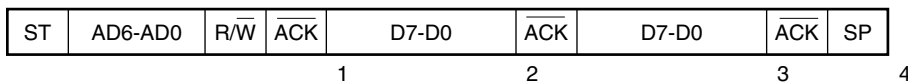
備考 SPIE0 = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと, スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は, INTIIC0割り込み要求信号の発生ごとにMSTS0ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



1 : IICS0 = 0101 x 110 B

2 : IICS0 = 0001 x 000 B

3 : IICS0 = 0001 x 000 B

4 : IICS0 = 00000001 B

備考 必ず発生
SPIE0 = 1のときだけ発生

x 任意

(ii) WTIM0 = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS0 = 0101 × 110 B

2 : IICS0 = 0001 × 100 B

3 : IICS0 = 0001 × × 00 B

4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM0 = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1		2		3	4

1 : IICS0 = 0110 × 010 B

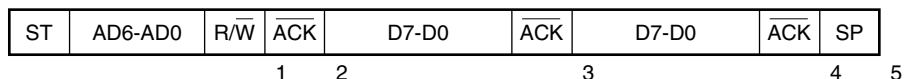
2 : IICS0 = 0010 × 000 B

3 : IICS0 = 0010 × 000 B

4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき



1 : IICS0 = 0110 × 010 B

2 : IICS0 = 0010 × 110 B

3 : IICS0 = 0010 × 100 B

4 : IICS0 = 0010 × × 00 B

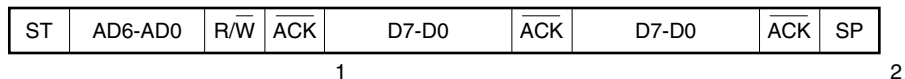
5 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIIC0割り込み要求信号の発生ごとにMSTS0ビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM0 = 1のとき)

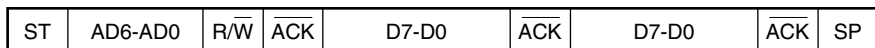


1 : IICS0 = 01000110 B

2 : IICS0 = 00000001 B

- 備考** 必ず発生
 SPIE0 = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1

2

1 : IICS0 = 0110 x 010 B

ソフトウェアでLREL0 = 1を設定

2 : IICS0 = 00000001 B

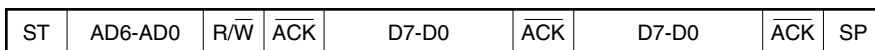
備考 必ず発生

SPIE0 = 1のときだけ発生

x 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM0 = 0のとき



1

2

3

1 : IICS0 = 10001110 B

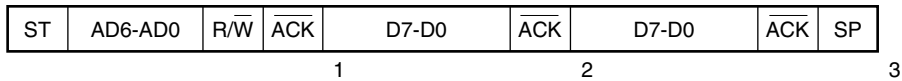
2 : IICS0 = 01000000 B

3 : IICS0 = 00000001 B

備考 必ず発生

SPIE0 = 1のときだけ発生

(ii) WTIMO = 1のとき



1 : IICS0 = 10001110 B

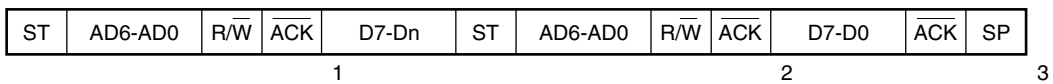
2 : IICS0 = 01000100 B

3 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVA0不一致)



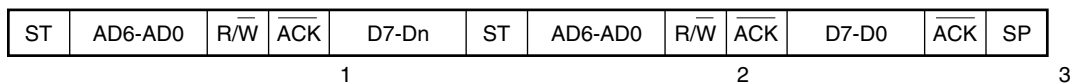
1 : IICS0 = 1000 × 110 B

2 : IICS0 = 01000110 B

3 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意
 n = 6-0

(ii) 拡張コード



1 : IICS0 = 1000 x 110 B

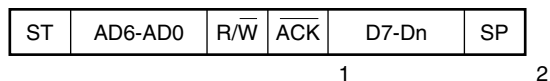
2 : IICS0 = 01100010 B

ソフトウェアでLREL0 = 1を設定

3 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意
 n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



1 : IICS0 = 10000110 B

2 : IICS0 = 01000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意
 n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0のとき

STT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3	4			5

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × 000 B (WTIM0をセット (1))
 3 : IICS0 = 1000 × 100 B (WTIM0をクリア (0))
 4 : IICS0 = 01000000 B
 5 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

STT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3				4

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × 100 B (STT0をセット (1))
 3 : IICS0 = 01000100 B
 4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM0 = 0のとき

STT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3 4

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × 000 B (WTIM0をセット (1))
 3 : IICS0 = 1000 × × 00 B (STT0をセット (1))
 4 : IICS0 = 01000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

STT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × × 00 B (STT0をセット (1))
 3 : IICS0 = 01000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM0 = 0のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3	4			5

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × 000 B (WTIM0をセット (1))
 3 : IICS0 = 1000 × 100 B (WTIM0をクリア (0))
 4 : IICS0 = 01000100 B
 5 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

(ii) WTIM0 = 1のとき

SPT0 = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3				4

1 : IICS0 = 1000 × 110 B
 2 : IICS0 = 1000 × 100 B (SPT0をセット (1))
 3 : IICS0 = 01000100 B
 4 : IICS0 = 00000001 B

備考 必ず発生
 SPIE0 = 1のときだけ発生
 × 任意

14.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IIC状態レジスタ0（IICS0）のビット3）を送信し、スレーブとのシリアル通信を開始します。

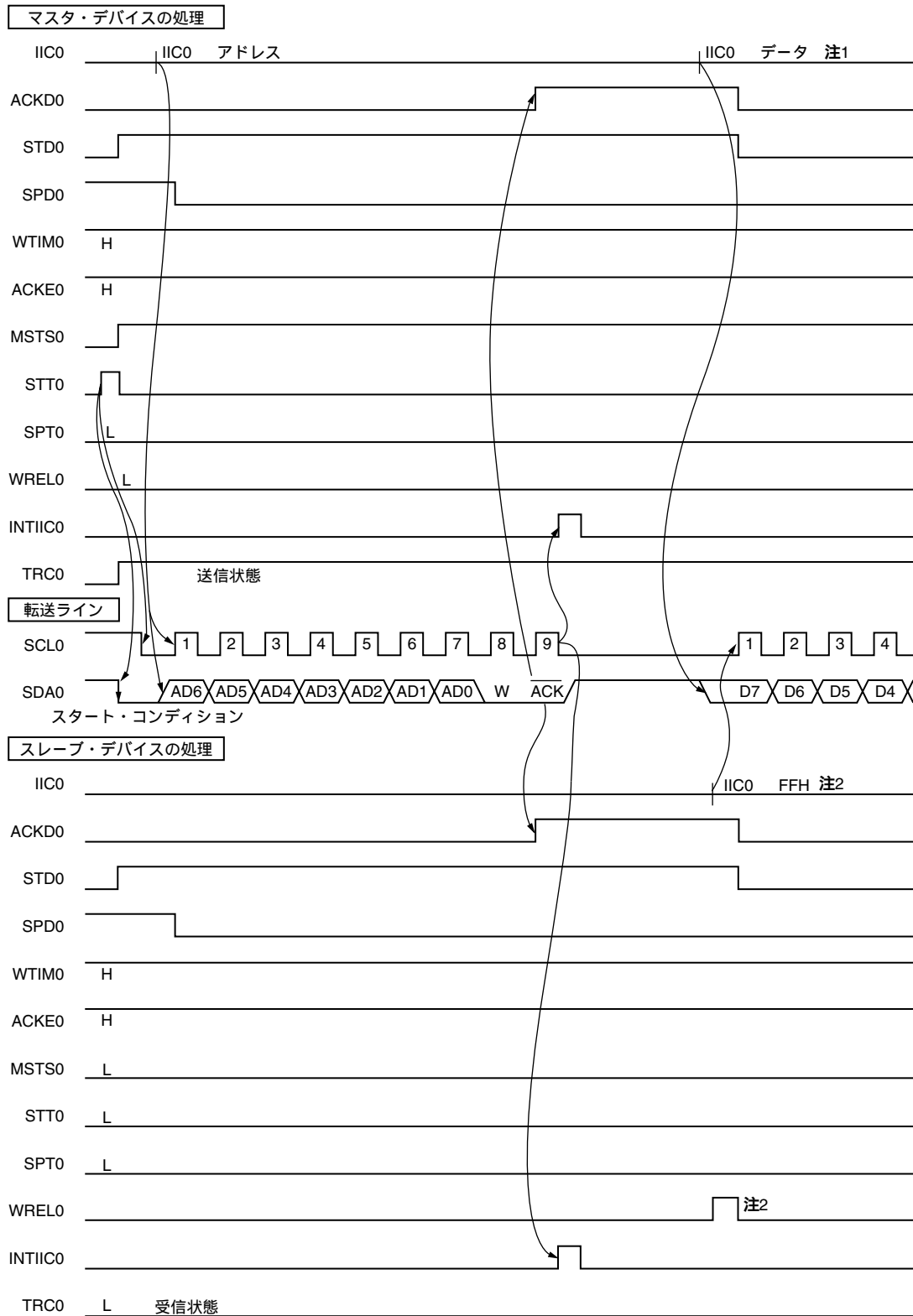
データ通信のタイミング・チャートを図14 - 28，図14 - 29に示します。

シリアル・クロック（SCL0）の立ち下がりに同期してIICシフト・レジスタ0（IIC0）のシフト動作が行われ、送信データがSO0ラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIIC0に取り込まれます。

図14 - 28 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション~アドレス

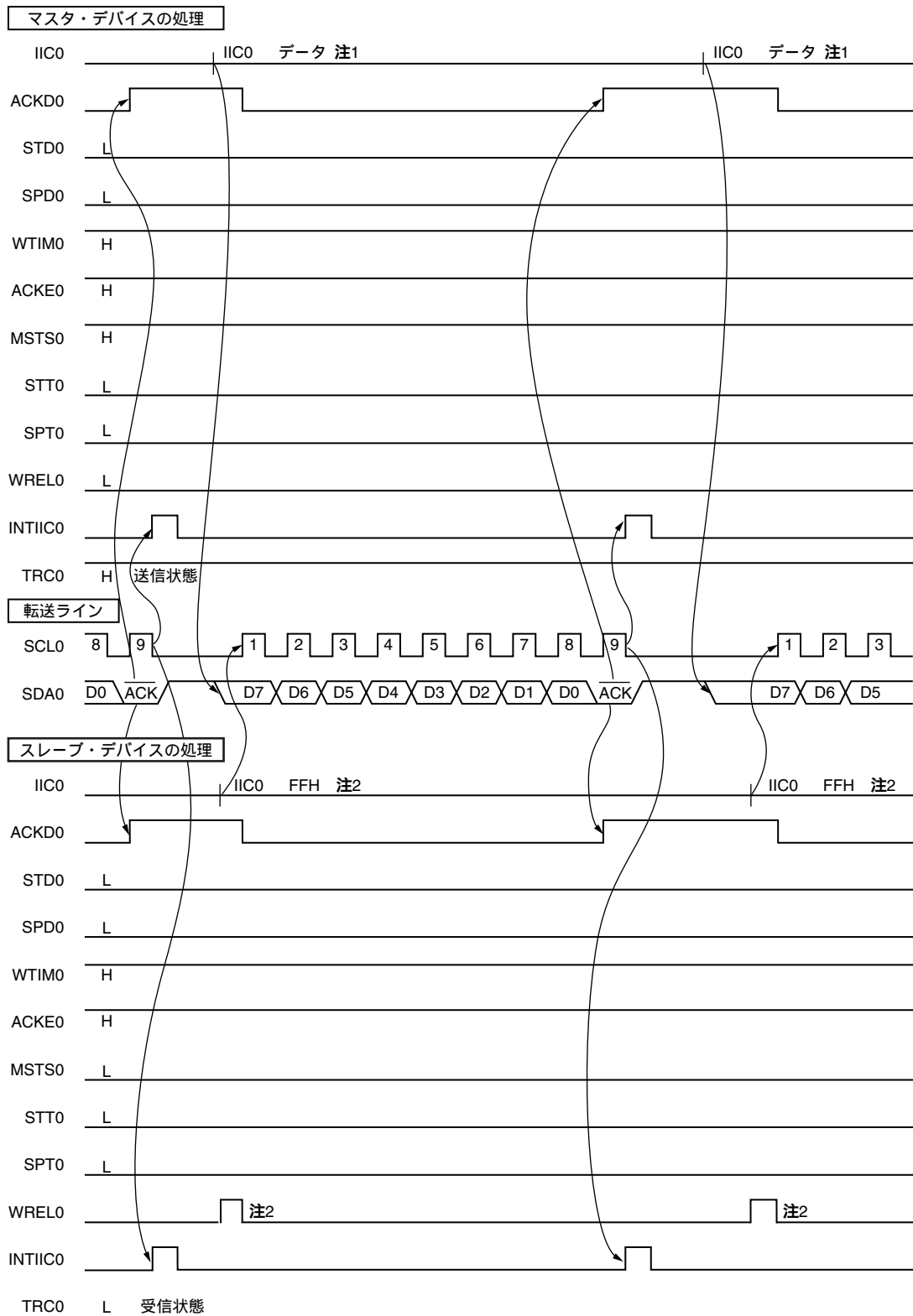


注1. マスタ送信時のウエイト解除は、WRELOのセットではなく、IIC0へのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

図14 - 28 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

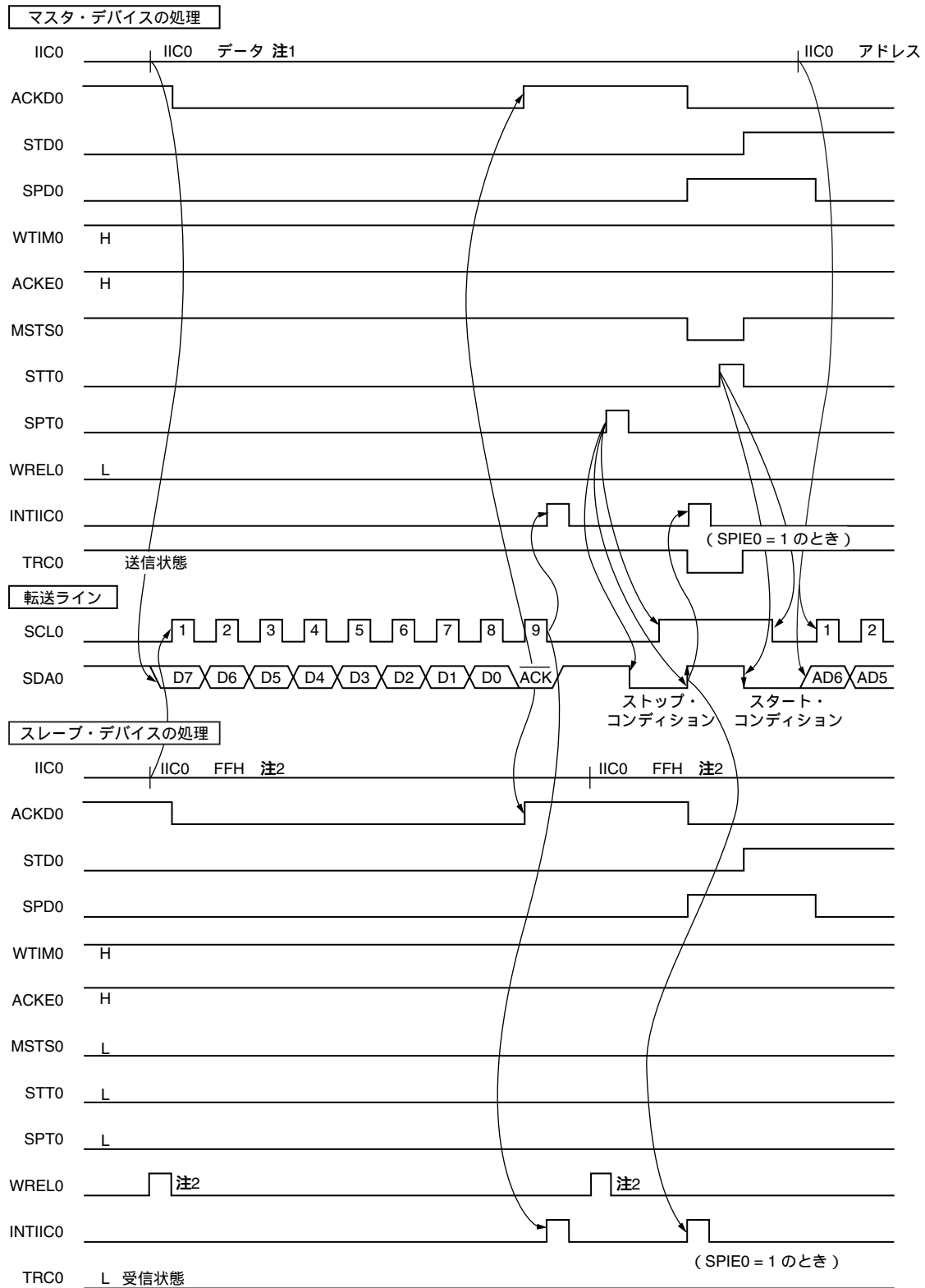


注1. マスタ送信時のウエイト解除は、WRELOのセットではなく、IIC0へのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

図14 - 28 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

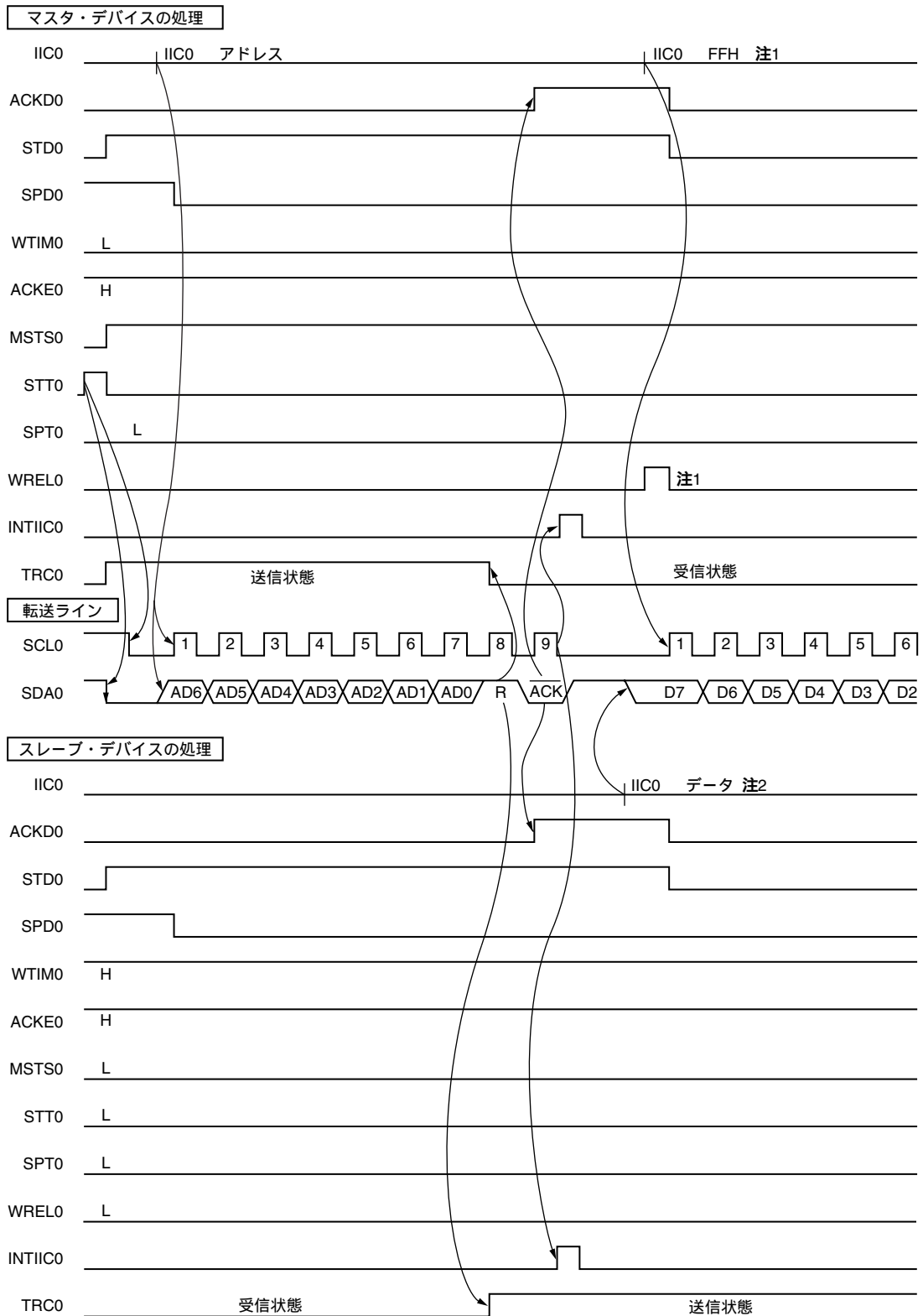
(3) ストップ・コンディション



- 注1. マスタ送信時のウエイト解除は、WRELOのセットではなく、IIC0へのデータ書き込みで行ってください。
- 2. スレーブ・ウエイト解除は、IIC0 FFHまたはWRELOのセットのどちらかで行ってください。

図14 - 29 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

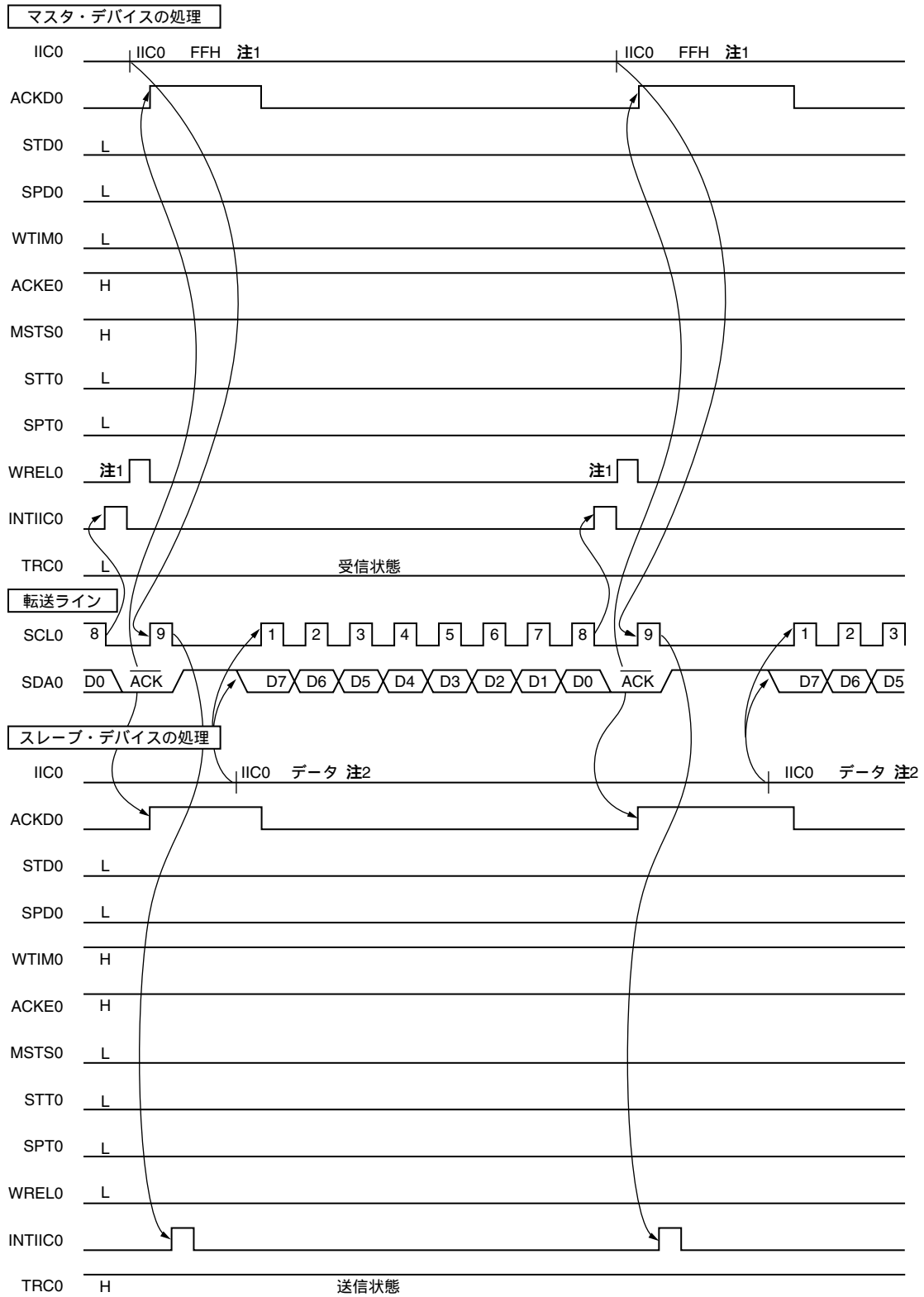
(1) スタート・コンディション~アドレス



- 注1. マスタ・ウェイト解除は, IIC0 FFHまたはWRELOのセットのどちらかで行ってください。
- 2. スレーブ送信時のウェイト解除は, WRELOのセットではなく, IIC0へのデータ書き込みで行ってください。

図14 - 29 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (2/3)

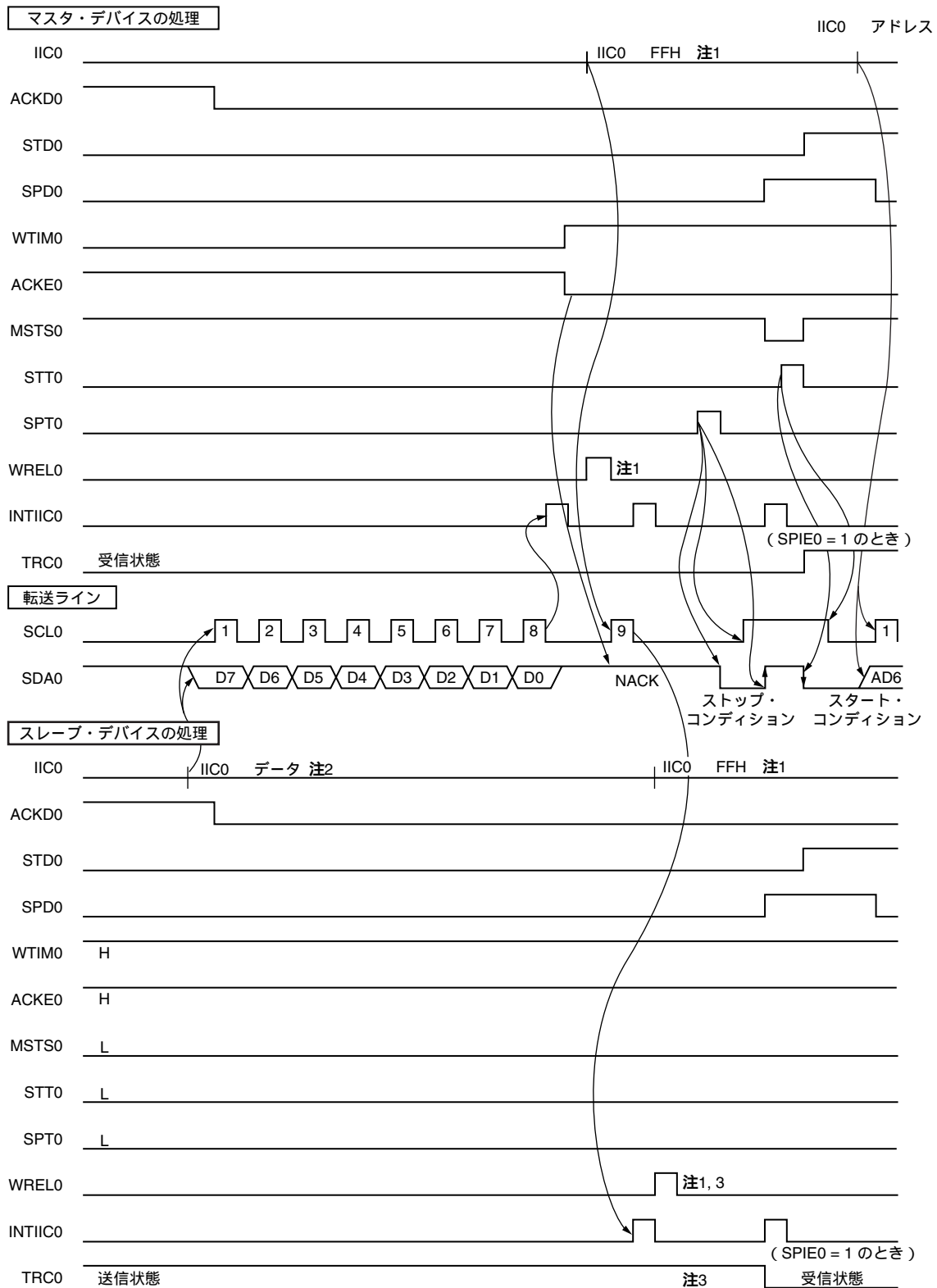
(2) データ



- 注1. マスタ・ウエイト解除は, IIC0 FFHまたはWREL0のセットのどちらかで行ってください。
- 2. スレーブ送信時のウエイト解除は, WREL0のセットではなく, IIC0へのデータ書き込みで行ってください。

図14 - 29 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウエイト選択時) (3/3)

(3) ストップ・コンディション



- 注1. ウエイト解除は, IIC0 FFHまたはWRELO0のセットのどちらかで行ってください。
2. スレーブ送信時のウエイト解除は, WRELO0のセットではなく, IIC0へのデータ書き込みで行ってください。
3. スレーブ送信時のウエイトをWRELO0のセットで解除すると, TRC0はクリアされます。

第15章 乗算器

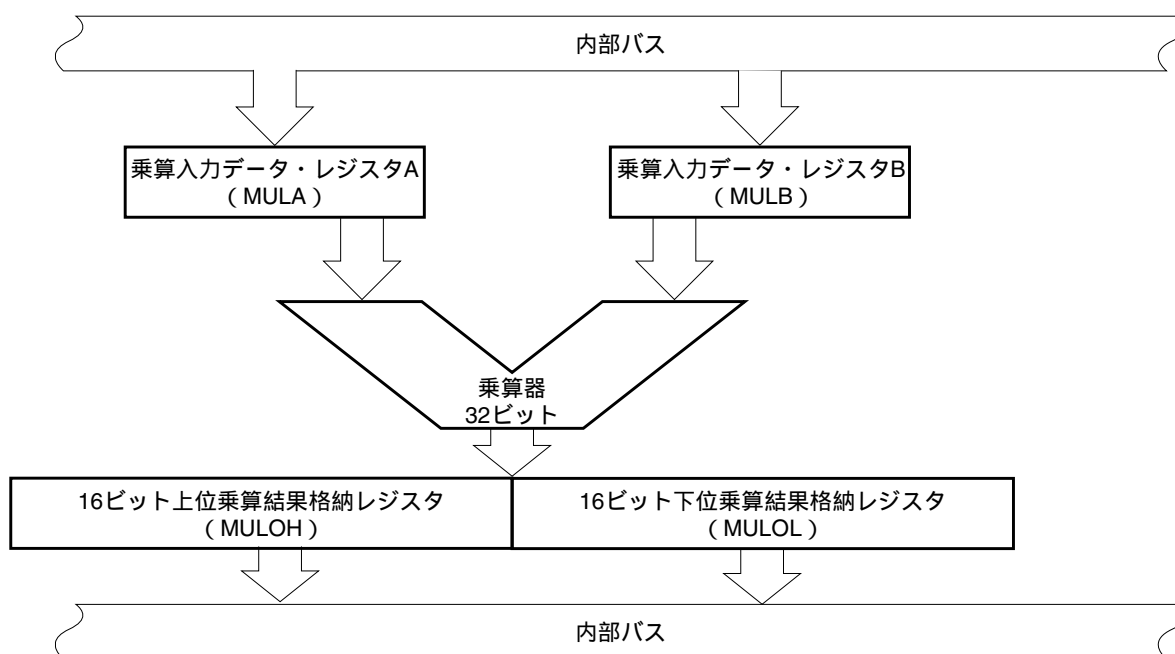
15.1 乗算器の機能

乗算器には、次のような機能があります。

- ・ 16ビット×16ビット = 32ビットの計算ができます。

図15 - 1に乗算器のブロック図を示します。

図15 - 1 乗算器のブロック図



15.2 乗算器の構成

(1) 16ビット上位乗算結果格納レジスタ, 16ビット下位乗算結果格納レジスタ (MULOH, MULOL)

MULOHとMULOLの2つのレジスタで32ビットの乗算結果を格納するレジスタです。

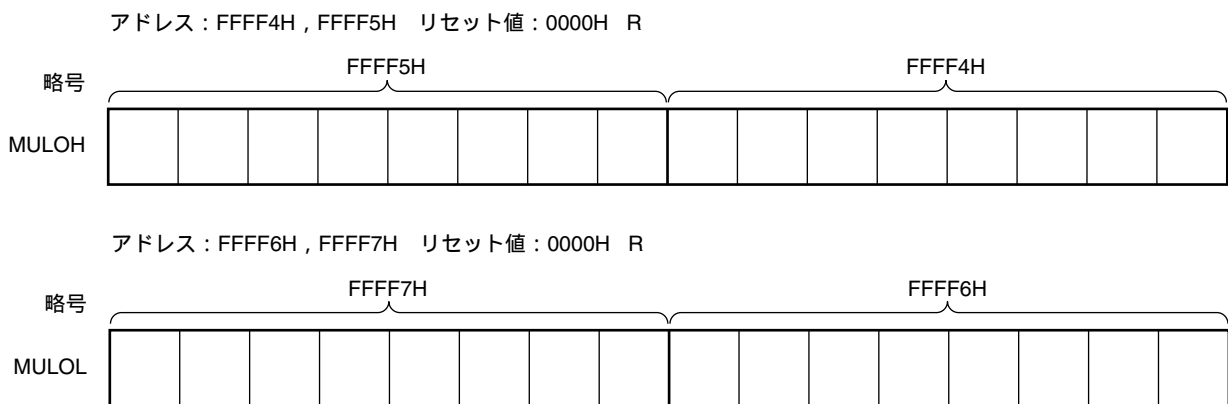
乗算結果の上位16ビットをMULOHに, 乗算結果の下位16ビットをMULOLに格納することにより, 合計で32ビットの乗算結果を格納できます。

このレジスタは, CPUクロックで1クロック経過後, 乗算結果を保持します。

MULOH, MULOLは, 16ビット・メモリ操作命令で読み出します。

リセット信号の発生により, 0000Hになります。

図15 - 2 16ビット上位乗算結果格納レジスタ, 16ビット下位乗算結果格納レジスタ (MULOH, MULOL) のフォーマット



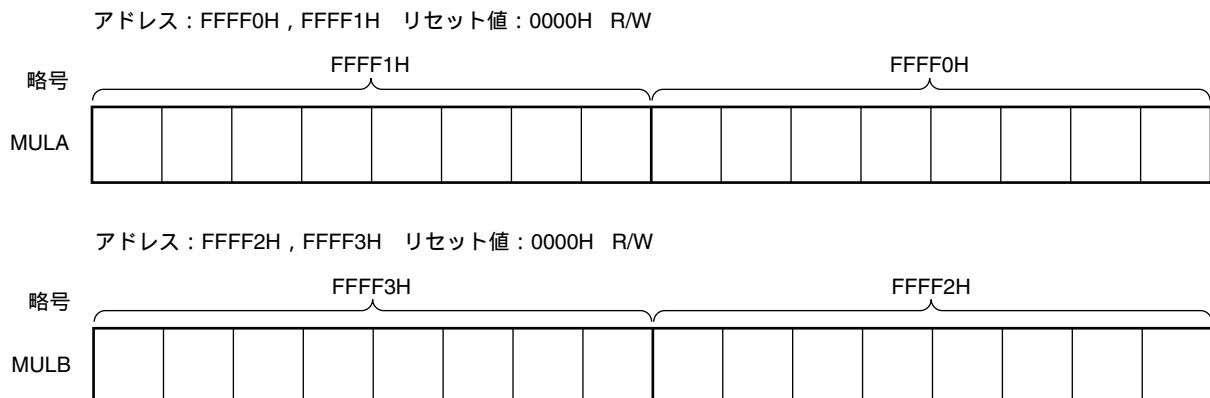
(2) 乗算入力データ・レジスタA, B (MULA, MULB)

16ビットの乗算データ格納用レジスタです。乗算器はMULAとMULBの値を乗算します。

MULA, MULBは, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, 0000Hになります。

図15 - 3 乗算入力データ・レジスタA, B (MULA, MULB) のフォーマット



15.3 乗算器の動作

MULAレジスタとMULBレジスタに値を格納し、1クロック以上待った後にMULOHレジスタおよびMULOLレジスタを読み出すことにより、結果を取得することができます。MULAまたはMULBを固定し、どちらか片方だけを書き換えても、書き換え後1クロック以上経過すれば、結果を読み出すことができます。また、MULOHとMULOLの読み出しは、どちらが先でも問題なく結果を読み出すことができます。

ソース例を次に示します。

例

```
MOVW    MULA, #1234H
MOVW    MULB, #5678H
NOP                                           ; 1クロック・ウエイト。NOPでなくても可
MOVW    AX, MULOH                          ; 上位側結果取得
PUSH    AX
MOVW    AX, MULOL                          ; 下位側結果取得
```

第16章 DMAコントローラ

78K0R/KG3は、DMA (Direct Memory Access) コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR 内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したりリアルタイム制御も実現できます。

16.1 DMAコントローラの機能

DMAチャンネル数：2チャンネル

転送単位：8ビット / 16ビット

最大転送単位：1024回

転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

転送モード：シングル転送モード

転送要求：以下の周辺ハードウェア割り込みから選択

- ・ A/Dコンバータ
- ・ シリアル・インタフェース (CSI00, CSI01, CSI10, UART0, UART1, UART3, IIC10)
- ・ タイマ (チャンネル0, 1, 4, 5)

転送対象：SFR 内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・ シリアル・インタフェースの連続転送
- ・ アナログ・データをまとめて転送
- ・ 一定時間ごとにA/Dの変換結果を取り込む
- ・ 一定時間ごとにポートの値を取りこむ

16.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表16 - 1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	・DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	・DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

(1) DMA SFRアドレス・レジスタ_n (DSA_n)

DMAチャンネル_nの転送元 / 転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください[※]。

このレジスタは自動的にインクリメント動作はせず、固定値となります。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

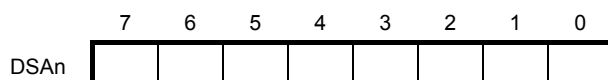
DSA_nは8ビット単位でリード / ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

注 アドレスFFFFEHは、PMCレジスタのため、設定することはできません。

図16 - 1 DMA SFRアドレス・レジスタ_n (DSA_n) のフォーマット

アドレス : FFFB0H (DSA0), FFFB1H (DSA1) リセット時 : 00H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA RAMアドレス・レジスタ_n (DRAn)

DMAチャネル_nの転送先/転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域 (μ PD78F1162, 78F1162Aでは, FEF00H-FFEDFH) のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

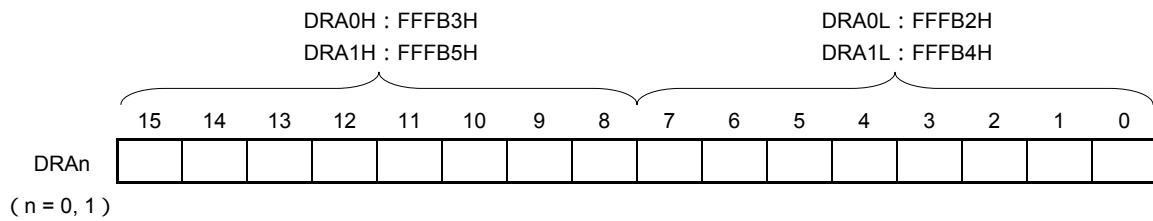
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図16-2 DMA RAMアドレス・レジスタ_n (DRAn) のフォーマット

アドレス : FFFB2H, FFFB3H (DRA0), FFFB4H, FFFB5H (DRA1) リセット時 : 0000H R/W



備考 n : DMAチャネル番号 (n = 0, 1)

(3) DMAバイト・カウント・レジスタ_n (DBC_n)

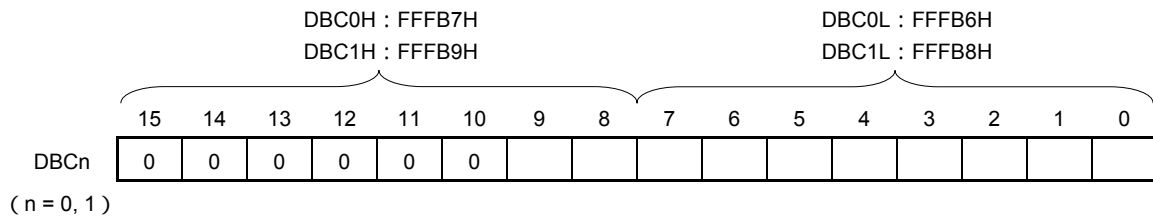
DMAチャネル_nの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBC_nレジスタに連続転送回数を設定してください(最大1024回)。

DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBC_nレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBC_nは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。リセット信号の発生により、0000Hになります。

図16 - 3 DMA バイト・カウント・レジスタ_n (DBC_n) のフォーマット

アドレス : FFFB6H, FFFB7H (DBC0), FFFB8H, FFFB9H (DBC1) リセット時 : 0000H R/W



DBC _n [9:0]	転送回数設定 (DBC _n ライト時)	残りの転送回数 (DBC _n リード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
⋮	⋮	⋮
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意1. ビット15-10は、必ず0を設定してください。

- 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み/読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n : DMAチャネル番号 (n = 0, 1)

16.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・DMAモード・コントロール・レジスタ n (DMC n)
- ・DMA動作コントロール・レジスタ n (DRC n)

備考 n : DMAチャネル番号 ($n = 0, 1$)

(1) DMAモード・コントロール・レジスタ_n (DMC_n)

DMC_nは、DMAチャンネル_nの転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STG_n)はDMA起動のソフトウェア・トリガとなります。

DMC_nのビット6, 5, 3-0は、動作中 (DST_n = 1のとき)の書き換えは禁止です。

DMC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 4 DMAモード・コントロール・レジスタ_n (DMC_n)のフォーマット (1/2)

アドレス : FFFBAH (DMC0), FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMC _n	STG _n	DRS _n	DS _n	DWAIT _n	IFC _{n3}	IFC _{n2}	IFC _{n1}	IFC _{n0}

STG _n ^{注1}	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DEN _n = 1) 時に、DMA転送を開始する
DMA動作許可 (DEN _n = 1) 時に、STG _n に1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRS _n	DMA転送方向の選択
0	SFR 内蔵RAM
1	内蔵RAM SFR

DS _n	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAIT _n ^{注2}	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAIT _n の値を1 0にすることで、保留されているDMA転送を開始することができます。 また、DWAIT _n の値を0 1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

- 注1. ソフトウェア・トリガ (STG_n) は、IFC_{n3}-IFC_{n0}の値に関係なく使用できます。
2. DMAを2チャンネルともに使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください (DWAIT₀ = DWAIT₁ = 1)。

備考 n : DMAチャンネル番号 (n = 0, 1)

図16 - 4 DMAモード・コントロール・レジスタ_n (DMCn) のフォーマット (2/2)

アドレス：FFFBAH (DMC0), FFFBBH (DMC1) リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

IFCn 3	IFCn 2	IFCn 1	IFCn 0	DMA起動要因の選択 ^注	
				トリガ信号	トリガ内容
0	0	0	0	-	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	1	0	INTTM00	タイマ・チャンネル0のカウンタ完了またはキャプチャ完了割り込み
0	0	1	1	INTTM01	タイマ・チャンネル1のカウンタ完了またはキャプチャ完了割り込み
0	1	0	0	INTTM04	タイマ・チャンネル4のカウンタ完了またはキャプチャ完了割り込み
0	1	0	1	INTTM05	タイマ・チャンネル5のカウンタ完了またはキャプチャ完了割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了, バッファ空き割り込み / CSI00の転送完了, バッファ空き割り込み
0	1	1	1	INTSR0/INTCSI01	UART0受信の転送完了割り込み / CSI01の転送完了, バッファ空き割り込み
1	0	0	0	INTST1/INTCSI10/INTIIC10	UART1送信の転送完了, バッファ空き割り込み / CSI10の転送完了, バッファ空き割り込み / IIC10の転送完了割り込み
1	0	0	1	INTSR1	UART1受信の転送完了割り込み
1	0	1	0	INTST3	UART3送信の転送完了, バッファ空き割り込み
1	0	1	1	INTSR3	UART3受信の転送完了割り込み
1	1	0	0	INTAD	A/D変換終了割り込み
上記以外				設定禁止	

注 ソフトウェア・トリガ (STGn) は, IFCn3-IFCn0の値に関係なく使用できます。

備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA動作コントロール・レジスタ_n (DRC_n)

DRC_nは、DMAチャンネル_nの転送許可/禁止を設定するレジスタです。

DRC_nのビット7 (DEN_n) は、動作中 (DST_n = 1のとき) の書き換えは禁止です。

DRC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 5 DMA動作コントロール・レジスタ_n (DRC_n) のフォーマット

アドレス : FFFBCH (DRC₀) , FFFBDH (DRC₁) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	<input type="checkbox"/>
DRC _n	DEN _n	0	0	0	0	0	0	DST _n

DEN _n	DMA動作許可フラグ
0	DMAチャンネル _n の動作禁止 (DMAの動作クロック停止)
1	DMAチャンネル _n の動作許可

DMA動作許可 (DEN_n = 1) にしてから、DST_n = 1にすることでDMAトリガ待ち状態になります。

DST _n	DMA転送モード・フラグ
0	DMAチャンネル _n のDMA転送終了
1	DMAチャンネル _n のDMA転送未終了 (転送中)

DMA動作許可 (DEN_n = 1) にしてから、DST_n = 1にすることでDMAトリガ待ち状態になります。
 そしてソフトウェア・トリガ (STG_n) またはIFC_n3-IFC_n0で設定した起動要因トリガが入力されると、DMA転送を開始します。
 その後、DMA転送が終了すると自動的に0にクリアされます。
 DMA転送中に強制終了したい場合は、0を書き込みます。

注意 DST_nフラグはDMA転送が終了すると自動的に0にクリアされます。

DEN_nフラグはDST_n = 0のときのみ書き込み許可となるため、DMA_nの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DST_n = 0に設定してからDEN_n = 0としてください (詳細は16.5.7 ソフトウェアでの強制終了参照)。

備考 n : DMAチャンネル番号 (n = 0, 1)

16.4 DMAコントローラの動作

16.4.1 動作手順

DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。

DSAn, DRAn, DBCn, DMCnレジスタにDMA転送のSFRアドレス、RAMアドレス、転送回数、転送モードを設定します。

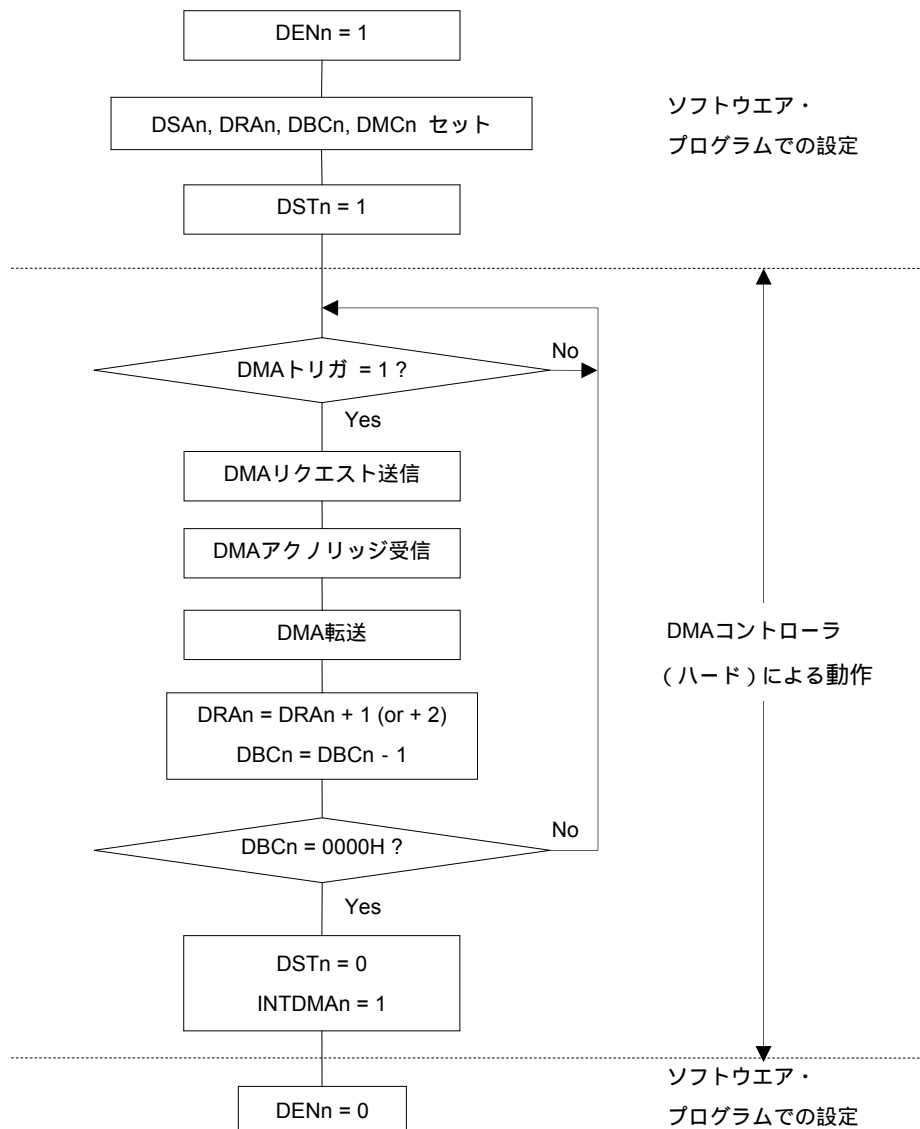
DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。

ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0で設定した起動要因トリガが入力されると、DMA転送を開始します。

DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMAn) の発生により自動的に転送が終了します。

その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図16-6 動作手順



備考 n : DMAチャンネル番号 (n = 0, 1)

16.4.2 転送モード

DMA転送には、DMCnレジスタのビット6, 5 (DRSn, DS_n) の設定により、次の4つの転送モードを選択できます。

DRS _n	DS _n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

16.4.3 DMA転送の終了

DBC_n = 00HとなりDMA転送が完了すると、自動的にDST_nビットがクリア (0) されます。そして割り込み要求 (INTDMA_n) の発生により転送が終了します。

強制終了するためにDST_nビットをクリア (0) すると、DBC_nレジスタとDRANレジスタは停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA_n) は発生しません。

備考 n : DMAチャネル番号 (n = 0, 1)

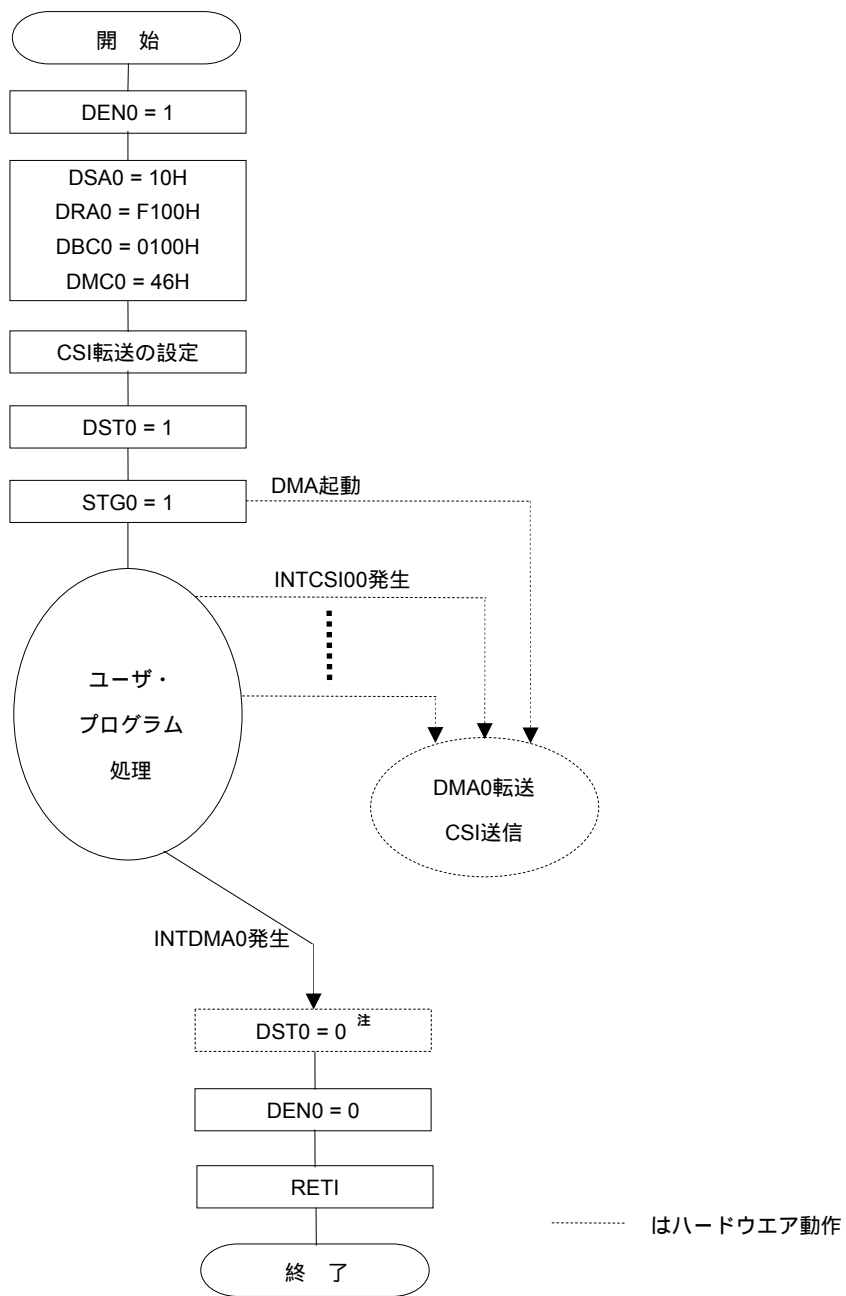
16.5 DMAコントローラの設定例

16.5.1 CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- ・ CSI00の連続送信 (256バイト)
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因 : INTCSI00 (最初の起動要因のみソフトウェア・トリガ (STG0))
- ・ CSI00の割り込みはIFC03-IFC00 (DMC0レジスタのビット3-0) = 0110Bに割り当て
- ・ RAMのFF100H-FF1FFH (256バイト) をCSIのデータ・レジスタ (SIO00) のFFF10Hに転送

図16-7 CSI連続送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は16.5.7 ソフトウェアでの強制終了参照)。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。この例ではソフトウェア・トリガにて起動しています。

2回目以降のCSI送信は自動的に転送されます。

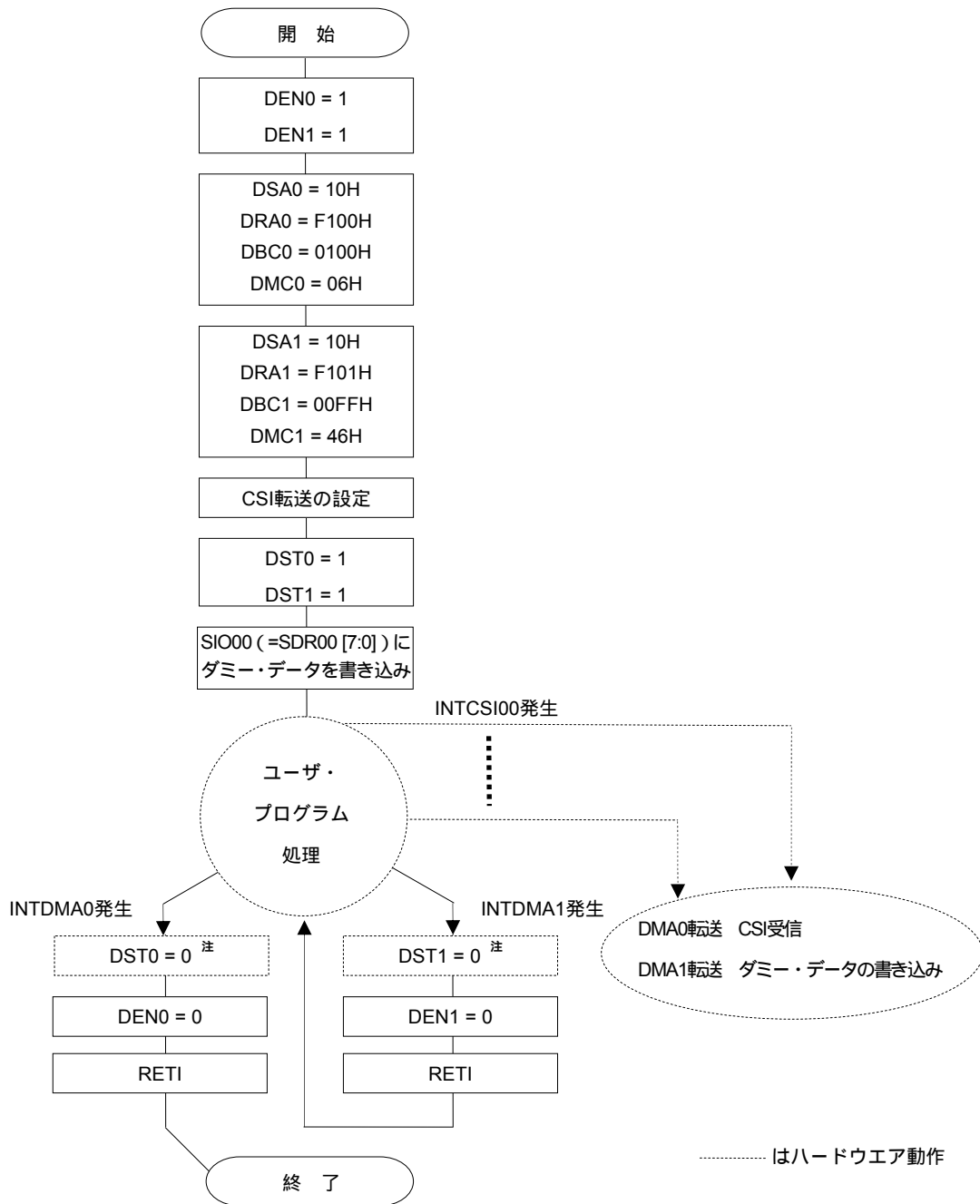
データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA0) が発生します。

16.5.2 CSIマスタ受信

CSIマスタ受信の設定例のフロー・チャートを次に示します。

- CSI00のマスタ受信 (256バイト)
- DMAのチャンネル0を受信データの読み出し用に, チャンネル1をダミー・データの書き込み用に使用
- DMA起動要因: INTCSI00
(DMAのチャンネル0とチャンネル1を同一の起動要因に設定した場合, チャンネル0が先に転送され, その後チャンネル1が転送されます)
- CSI00の割り込みはIFC03-IFC00 = IFC13-IFC10 (DMCnレジスタのビット3-0) = 0110Bに割り当て
- CSIのデータ・レジスタ (SIO00) のFFF10HからRAMのFF100H-FF1FFH (256バイト) に転送 (受信)
(連続受信モード時は, 最初のバッファ空き割り込み時の受信データが受信前のため無効なデータ)
- RAMのダミー・データFF101H-FF1FFH (255バイト) をCSIのデータ・レジスタ (SIO00) のFFF10Hに転送
(最初の1バイトは, ソフト (命令) でダミー・データを書き込み)

図16 - 8 CSIマスタ受信の設定例



注 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。
DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は16. 5. 7 ソフトウェアでの強制終了参照)。

CSIマスタ受信の場合は、受信動作開始時はCSIの割り込みがないため、この例ではソフトウェアにてダミー・データを書き込んでいます。

データ受信は、1バイト目から自動的に転送されます (連続受信モード時では、最初のバッファ空き割り込み時の受信データは有効データの受信前のため無効なデータとなります)。

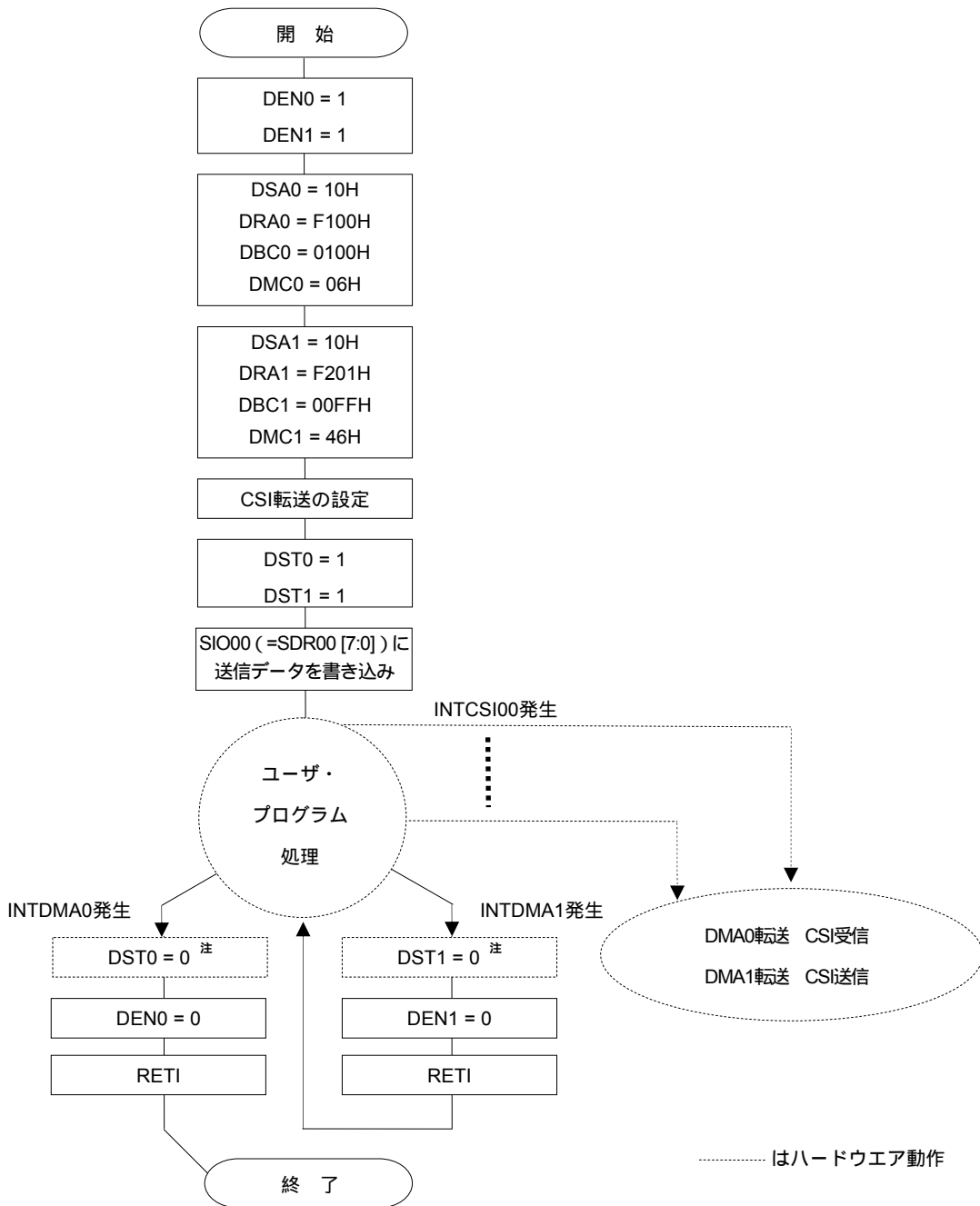
データ・レジスタへの最終のダミー・データの書き込みが終わった時点で、DMA割り込み (INTDMA₁) が発生します。データ・レジスタからの最終の受信データの読み出しが終わった時点で、DMA割り込み (INTDMA₀) が発生します。再度DMA転送を開始する場合は、CSIの転送が終了したあとに行ってください。

16.5.3 CSI送受信

CSI送受信の設定例のフロー・チャートを次に示します。

- CSI00の送受信（256バイト）
- DMAのチャンネル0を受信データの読み出し用に，チャンネル1を送信データの書き込み用に使用
- DMA起動要因：INTCSI00
(DMAのチャンネル0とチャンネル1を同一の起動要因に設定した場合，チャンネル0が先に転送され，その後チャンネル1が転送されます)
- CSI00の割り込みはIFC03-IFC00 = IFC13-IFC10 (DMCnレジスタのビット3-0) = 0110Bに割り当て
- CSIのデータ・レジスタ (SIO00) のFFF10HからRAMのFF100H-FF1FFH (256バイト) に転送 (受信)
(連続送受信モード時は，最初のバッファ空き割り込み時の受信データが受信前のため無効なデータ)
- RAMのFF201H-FF2FFH (255バイト) をCSIのデータ・レジスタ (SIO00) のFFF10Hに転送 (送信)
(最初の1バイトは、ソフト (命令) で送信データを書き込み)

図16-9 CSI送受信の設定例



注 DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。

DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は16. 5. 7 ソフトウェアでの強制終了参照)。

CSI送受信の場合は、1バイト目の送信データの書き込み時はCSIの割り込みがないため、この例ではソフトウェアにて送信データを書き込んでいます。2バイト目以降のデータ送信は自動的に転送されます。

データ受信は1バイト目から自動的に転送されます (連続送受信モード時では、最初のバッファ空き割り込み時の受信データは有効データの受信前のため無効なデータとなります)。

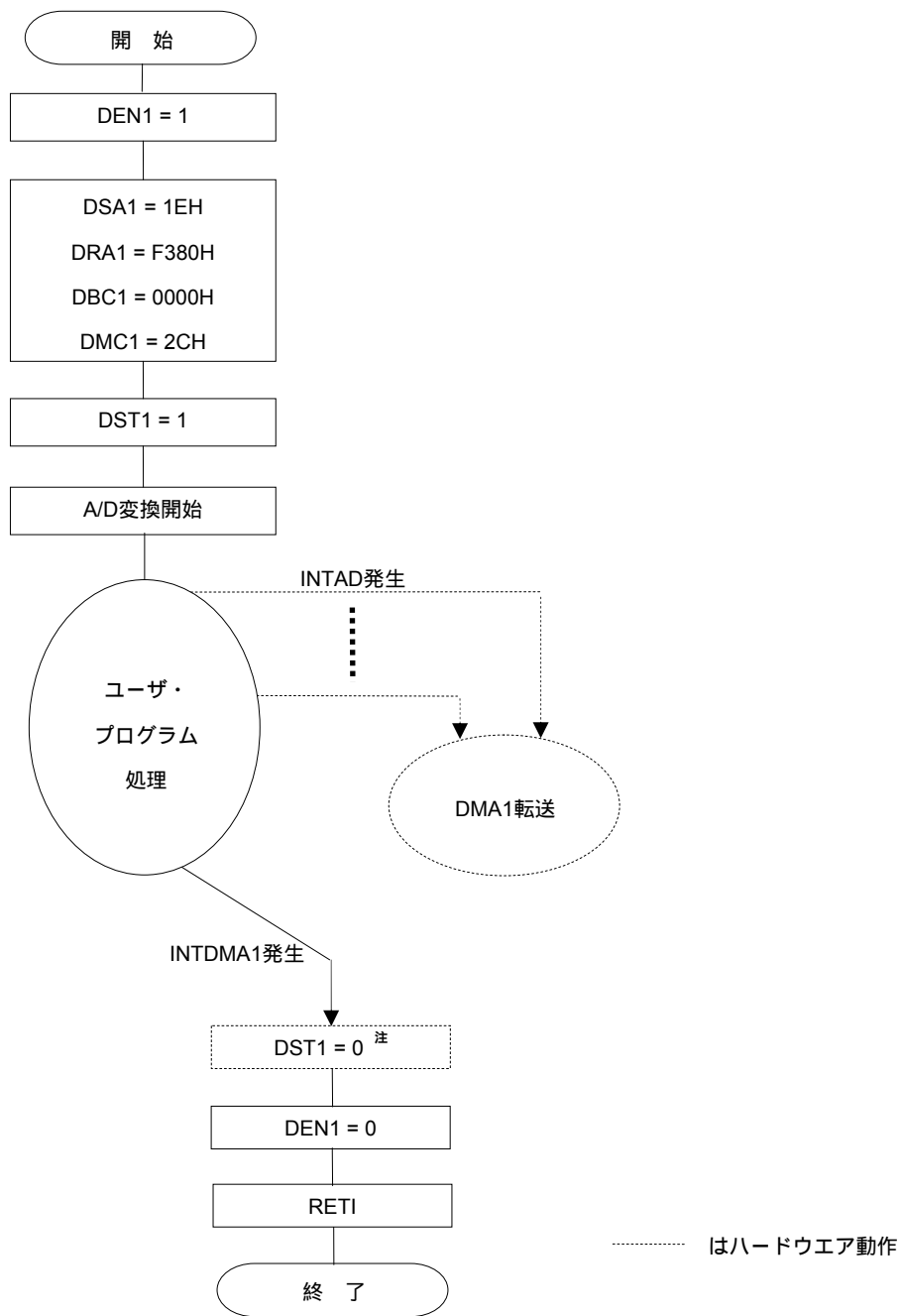
データ・レジスタへの最終の送信データの書き込みが終わった時点で、DMA割り込み (INTDMA₁) が発生します。データ・レジスタからの最終の受信データの読み出しが終わった時点で、DMA割り込み (INTDMA₀) が発生します。再度DMA転送を開始する場合は、CSIの転送が終了したあとに行ってください。

16.5.4 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- A/D変換結果の連続取り込み
- DMAのチャンネル1をDMA転送に使用
- DMA起動要因：INTAD
- A/Dの割り込みはIFC13-IFC10（DMC1レジスタのビット3-0）= 1100Bに割り当て
- 10ビットA/D変換結果レジスタのFFF1EHとFFF1FH（2バイト）をRAMのFF380H-FFB7FHの2048バイトに転送

図16 - 10 A/D変換結果の連続取り込みの設定例



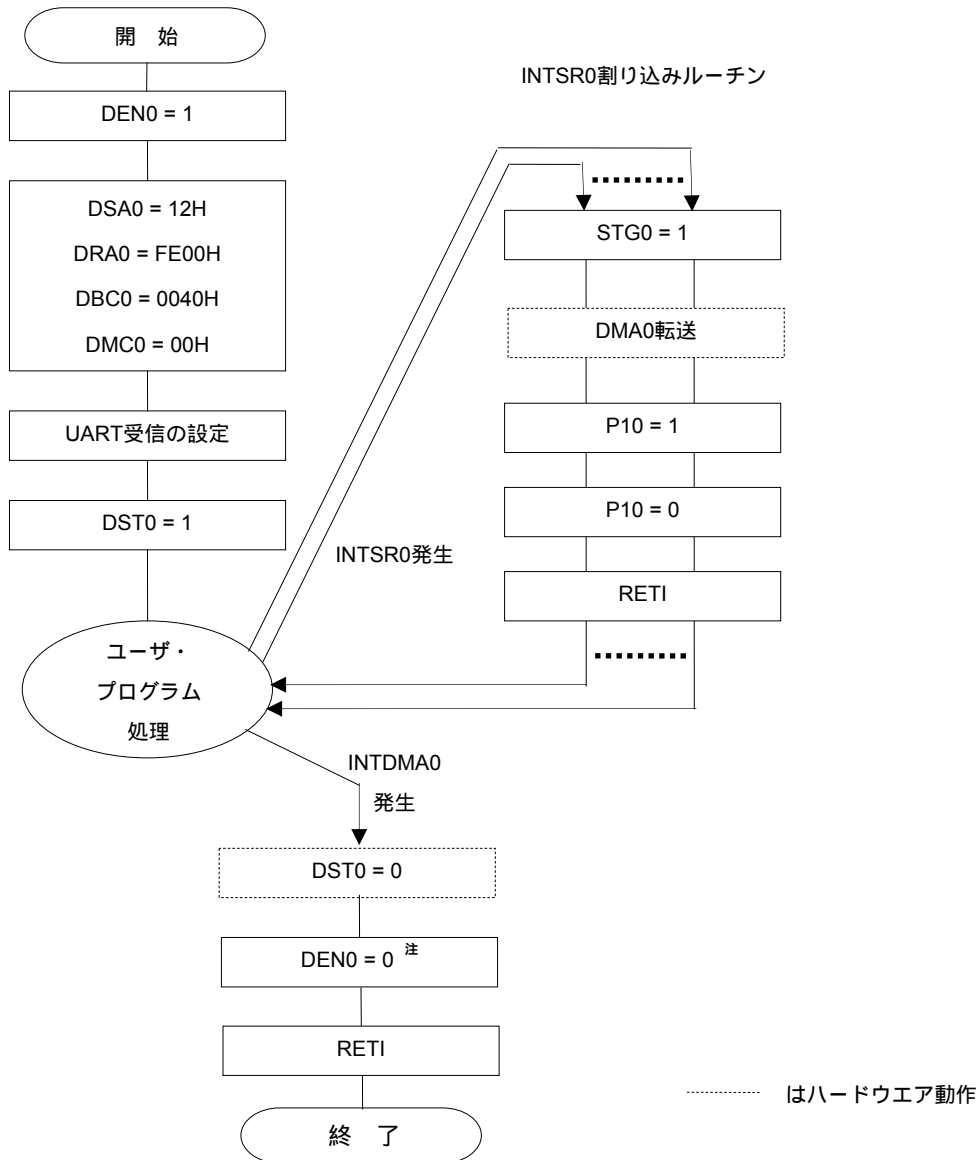
注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。
 DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は16. 5. 7 ソフトウェアでの強制終了参照)。

16.5.5 UART連続受信 + ACK送信

UART連続受信 + ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い，P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：ソフトウェア・トリガ（割り込みによるDMA転送禁止）
- ・ UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図16 - 11 UART連続受信 + ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は16. 5. 7 ソフトウェアでの強制終了参照)。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み (INTSR0) をDMA起動要因に設定して、受信することもできます。

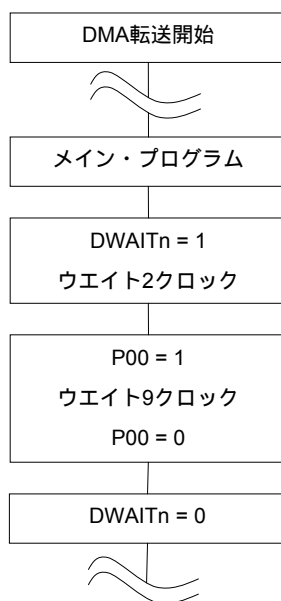
16.5.6 DWAITnによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、 $DWAITn = 1$ とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は、保留を解除後に実行されます。ただし、保留できる転送トリガは各チャンネル1つなので、保留中に同一チャンネルの転送トリガが2回以上発生しても、保留解除後に実行されるDMA転送は1回です。

一例として、P00端子より動作周波数の10クロック幅のパルスを入力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際は $DWAITn = 1$ とすることでDMA転送を保留できます。

$DWAITn = 1$ に設定後、DMA転送が保留されるまで2クロック必要となります。

図16 - 12 DWAITnによるDMA転送保留の設定例



注意 DMAを2チャンネルともに使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください($DWAIT0 = DWAIT1 = 1$)。片方のDMAが保留中にもう一方のDMA転送が実行されると、保留されない場合があります。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

16.5.7 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み(INTDMA_n)発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

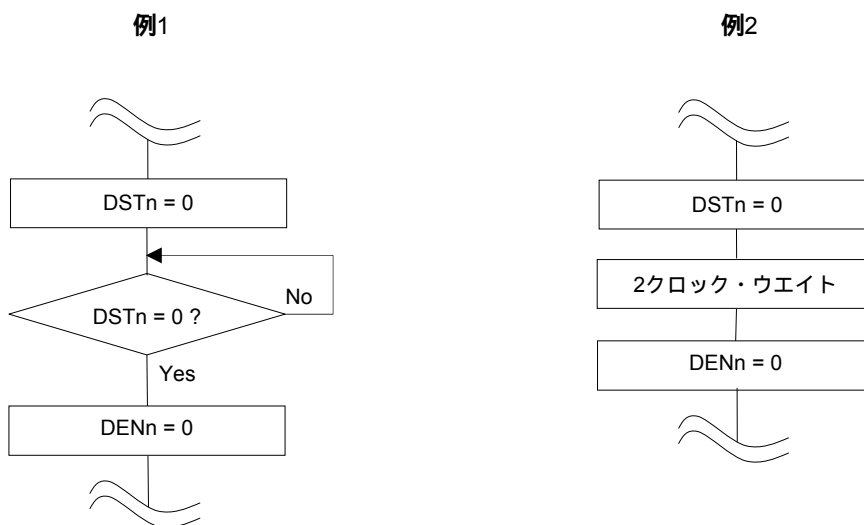
<DMAを1チャンネル使用しているとき>

- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTnが0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする

<DMAを2チャンネル使用しているとき>

- ・DMAを2チャンネルともに使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、2チャンネルともにDWAIT0, DWAIT1ビットをセット(1)してDMA転送を保留してから、DSTnビットをクリア(0)する。その後、2チャンネルともにDWAIT0, DWAIT1ビットをクリア(0)し保留を解除してから、DENnビットをクリア(0)とする

図16 - 13 DMA転送の強制終了 (1/2)

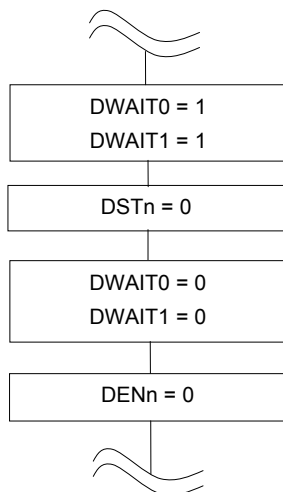


- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

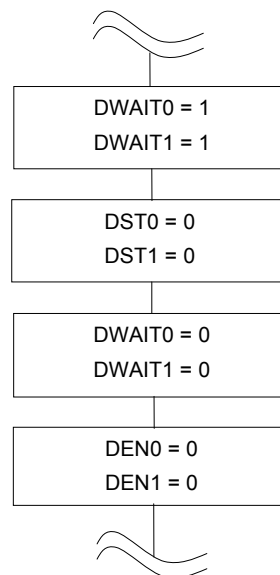
図16 - 13 DMA転送の強制終了 (2/2)

例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



注意 例3では、DWAITnのセット(1)後のウエイト2クロックは必要ありません。また、DSTnをクリア(0)してからDENnをクリア(0)するまで2クロック以上経過しているため、DSTnのクリア(0)後にウエイト2クロックする必要はありません。

- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

16.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャンネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャンネル0 > DMAチャンネル1の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

(2) DMA応答時間

DMA転送における応答時間は、次のようになります。

表16 - 2 DMA転送における応答時間

	最小時間	最大時間
応答時間 ^注	3クロック	10クロック

注 内部ROMからの命令実行時(外部メモリへのデータ・アクセスなし)の時間です。ただし、次の場合はさらにDMA転送が遅れる場合があります。遅れるクロック数は条件により異なります。

条件		最大応答時間
内部ROMからの命令実行の場合	外部メモリへのデータ・アクセスがある場合	$8 + (3 \times (\text{外部ウエイト} + \text{内部ウエイト}))$ クロック
内部RAMからの命令実行の場合	外部メモリへのデータ・アクセスがない場合	16クロック
	外部メモリへのデータ・アクセスがある場合	$16 + (3 \times (\text{外部ウエイト} + \text{内部ウエイト}))$ クロック
外部メモリからの命令実行の場合		$16 + (12 \times (\text{外部ウエイト} + \text{内部ウエイト}))$ クロック

- 注意1. 応答時間には、DMA転送の2クロック分は含まれていません。
2. DMA保留命令(16.6(4)参照)実行の場合は、各条件の最大応答時間に、その条件での保留する命令の実行時間を足した時間となります。
 3. 最大応答時間+1クロック以内での同一チャンネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考1. 「内部ウエイト」... 外部バス・インタフェースのCLKOUT端子のクロック選択によって決まるウエイト数

CLKOUT端子の選択クロック	内部ウエイト数
fCLK	3クロック
fCLK/2	5~6クロック
fCLK/3	7~9クロック
fCLK/4	9~12クロック

2. 「外部ウエイト」... 外部バス・インタフェースのWAIT端子によって決まるウエイト数(1/fCLK単位)。詳細は5.6 外部ウエイトによる命令ウエイト数を参照。
3. 1クロック : 1/fCLK (fCLK : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表16 - 3 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

- ・ CALL !addr16
- ・ CALL \$!addr20
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSWの各レジスタに対するビット操作命令

(5) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDRA0nで示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったら、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

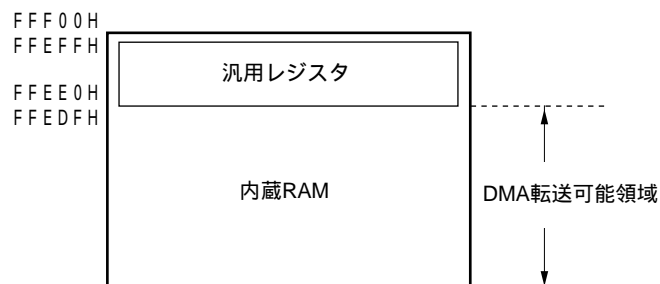
SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。



第17章 割り込み機能

17.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表17 - 1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

外部：13，内部：28

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

17.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みをあわせて、合計42要因あります。また、それ以外にリセット要因が最大で合計5要因あります (表17 - 1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表17-1 割り込み要因一覧(1/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバーフロー時間の75%)	内部	0004H	(A)
	1	INTLVI	低電圧検出 ^{注4}		0006H	
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)
	3	INTP1			000AH	
	4	INTP2			000CH	
	5	INTP3			000EH	
	6	INTP4			0010H	
	7	INTP5			0012H	
	8	INTST3	UART3送信の転送完了,バッファ空き割り込み	内部	0014H	(A)
	9	INTSR3	UART3受信の転送完了		0016H	
	10	INTSRE3	UART3受信の通信エラー発生		0018H	
	11	INTDMA0	DMA0の転送完了		001AH	
	12	INTDMA1	DMA1の転送完了		001CH	
	13	INTST0 /INTCSI00	UART0送信の転送完了,バッファ空き割り込み /CSI00の転送完了,バッファ空き割り込み		001EH	
	14	INTSR0 /INTCSI01	UART0受信の転送完了 / CSI01の転送完了,バ ッファ空き割り込み		0020H	
	15	INTSRE0	UART0受信の通信エラー発生		0022H	
	16	INTST1 /INTCSI10 /INTIIC10	UART1送信の転送完了,バッファ空き割り込み /CSI10の転送完了,バッファ空き割り込み/ IIC10の転送完了		0024H	
	17	INTSR1	UART1受信の転送完了		0026H	
	18	INTSRE1	UART1受信の通信エラー発生		0028H	
	19	INTIIC0	IIC0通信完了		002AH	
	20	INTTM00	タイマ・チャンネル0のカウント完了またはキ ャプチャ完了		002CH	
21	INTTM01	タイマ・チャンネル1のカウント完了またはキ ャプチャ完了	002EH			

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0
が最高順位、40が最低順位です。

2. 基本構成タイプの(A)-(D)は、それぞれ図17-1の(A)-(D)に対応しています。

3. オプション・バイト(000C0H)のビット7(WDTINT)=1選択時。

4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=0選択時。

表17-1 割り込み要因一覧(2/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
マスカブル	22	INTTM02	タイマ・チャンネル2のカウンタ完了またはキャプチャ完了	内部	0030H	(A)
	23	INTTM03	タイマ・チャンネル3のカウンタ完了またはキャプチャ完了		0032H	
	24	INTAD	A/D変換終了		0034H	
	25	INTRTC	リアルタイム・カウンタの定周期信号 / アラーム一致検出		0036H	
	26	INTRTCI	リアルタイム・カウンタのインターバル信号検出		0038H	
	27	INTKR	キー・リターン信号検出	外部	003AH	(C)
	28	INTST2 /INTCSI20 /INTIIC20	UART2送信の転送完了,バッファ空き割り込み / CSI20の転送完了, バッファ空き割り込み / IIC20の転送完了	内部	003CH	(A)
	29	INTSR2	UART2受信の転送完了		003EH	
	30	INTSRE2	UART2受信の通信エラー発生		0040H	
	31	INTTM04	タイマ・チャンネル4のカウンタ完了またはキャプチャ完了		0042H	
	32	INTTM05	タイマ・チャンネル5のカウンタ完了またはキャプチャ完了		0044H	
	33	INTTM06	タイマ・チャンネル6のカウンタ完了またはキャプチャ完了		0046H	
	34	INTTM07	タイマ・チャンネル7のカウンタ完了またはキャプチャ完了		0048H	
	35	INTP6	端子入力エッジ検出	外部	004AH	(B)
	36	INTP7			004CH	
	37	INTP8			004EH	
	38	INTP9			0050H	
	39	INTP10			0052H	
	40	INTP11			0054H	

注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、40が最低順位です。

2. 基本構成タイプの(A)-(D)は、それぞれ図17-1の(A)-(D)に対応しています。

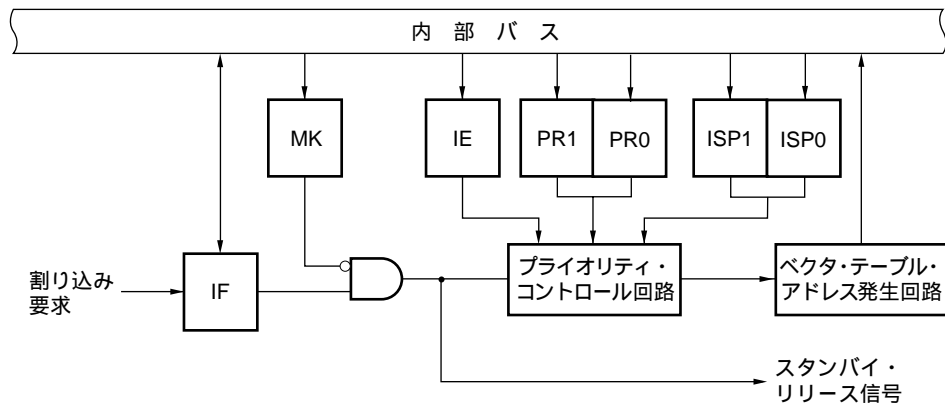
表17-1 割り込み要因一覧 (3/3)

割り込みの 処理	デフォルト・ プライオリティ ^{注1}	割り込み要因		内部/ 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ソフトウェア	-	BRK	BRK命令の実行	-	007EH	(D)
リセット	-	RESET	RESET $\bar{}$ 端子入力	-	0000H	-
		POC	パワーオン・クリア			
		LVI	低電圧検出 ^{注3}			
		WDT	ウォッチドッグ・タイマのオーバフロー			
		TRAP	不正命令の実行 ^{注4}			

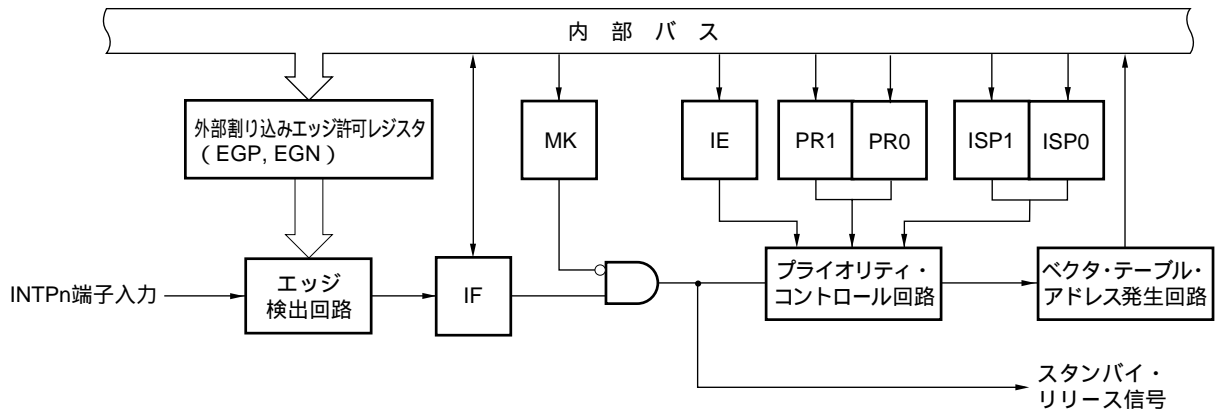
- 注 1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、40が最低順位です。
2. 基本構成タイプの(A)-(D)は、それぞれ図17-1の(A)-(D)に対応しています。
3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=1選択時。
4. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図17 - 1 割り込み機能の基本構成 (1/2)

(A) 内部マスク割り込み



(B) 外部マスク割り込み (INTPn)

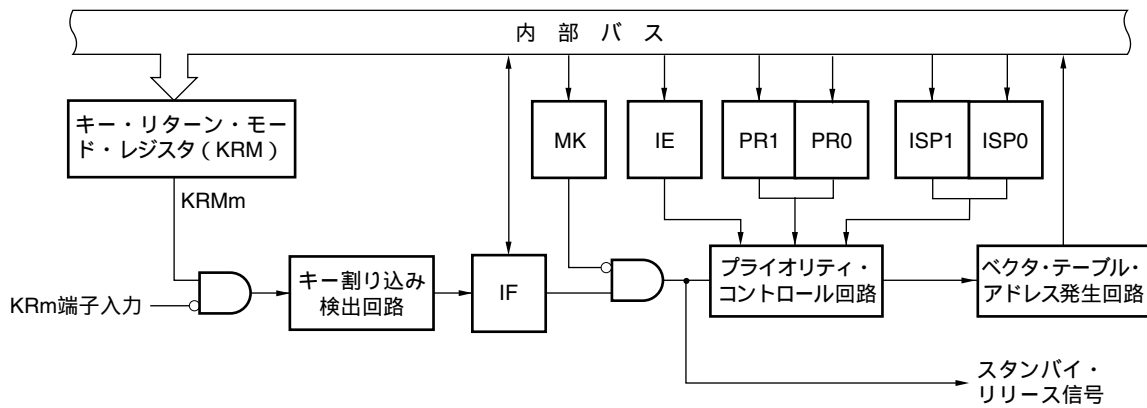


- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサース・プライオリティ・フラグ0
 ISP1 : インサース・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

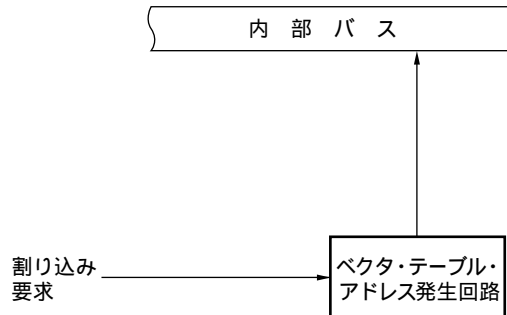
2. n = 0-11

図17-1 割り込み機能の基本構成 (2/2)

(C) 外部マスクابل割り込み (INTKR)



(D) ソフトウェア割り込み



- 備考1. IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサースervice・プライオリティ・フラグ0
 ISP1 : インサースervice・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

2. m = 0-7

17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表17-2に示します。

表17-2 割り込み要求ソースに対応する各種フラグ (1/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
INTLVI	LVIIIF		LVIMK		LVIPR0, LVIPR1	
INTP0	PIF0		PMK0		PPR00, PPR10	
INTP1	PIF1		PMK1		PPR01, PPR11	
INTP2	PIF2		PMK2		PPR02, PPR12	
INTP3	PIF3		PMK3		PPR03, PPR13	
INTP4	PIF4		PMK4		PPR04, PPR14	
INTP5	PIF5		PMK5		PPR05, PPR15	
INTST3	STIF3	IF0H	STMK3	MK0H	STPR03, STPR13	PR00H, PR10H
INTSR3	SRIF3		SRMK3		SRPR03, SRPR13	
INTSRE3	SREIF3		SREMK3		SREPR03, SREPR13	
INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10	
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11	
INTST0 ^{注1}	STIF0 ^{注1}		STMK0 ^{注1}		STPR00, STPR10 ^{注1}	
INTCSI00 ^{注1}	CSIIF00 ^{注1}		CSIMK00 ^{注1}		CSIPR000, CSIPR100 ^{注1}	
INTSR0 ^{注2}	SRIF0 ^{注2}		SRMK0 ^{注2}		SRPR00, SRPR10 ^{注2}	
INTCSI01 ^{注2}	CSIIF01 ^{注2}		CSIMK01 ^{注2}		CSIPR001, CSIPR101 ^{注2}	
INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10	

注1. UART0とCSI00は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST0とINTCSI00のうち、どちらかが発生したら、IF0Hのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hのビット5は、両方の割り込み要因に対応しています。

2. UART0とCSI01は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSR0とINTCSI01のうち、どちらかが発生したら、IF0Hのビット6はセット(1)されます。また、MK0H, PR00H, PR10Hのビット6は、両方の割り込み要因に対応しています。

表17-2 割り込み要求ソースに対応する各種フラグ (2/2)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
		レジスタ		レジスタ		レジスタ
INTST1 ^{注1}	STIF1 ^{注1}	IF1L	STMK1 ^{注1}	MK1L	STPR01, STPR11 ^{注1}	PR01L, PR11L
INTCSI10 ^{注1}	CSIIF10 ^{注1}		CSIMK10 ^{注1}		CSIPR010, CSIPR110 ^{注1}	
INTIIC10 ^{注1}	IICIF10 ^{注1}		IICMK10 ^{注1}		IICPR010, IICPR110 ^{注1}	
INTSR1	SRIF1		SRMK1		SRPR01, SRPR11	
INTSRE1	SREIF1		SREMK1		SREPR01, SREPR11	
INTIIC0	IICIF0		IICMK0		IICPR00, IICPR10	
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100	
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101	
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102	
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103	
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1	
INTRTCI	RTCIF		RTCIMK		RTCIPR0, RTCIPR1	
INTKR	KRIF		KRMK		KRPR0, KRPR1	
INTST2 ^{注2}	STIF2 ^{注2}		STMK2 ^{注2}		STPR02, STPR12 ^{注2}	
INTCSI20 ^{注2}	CSIIF20 ^{注2}		CSIMK20 ^{注2}		CSIPR020, CSIPR120 ^{注2}	
INTIIC20 ^{注2}	IICIF20 ^{注2}		IICMK20 ^{注2}		IICPR020, IICPR120 ^{注2}	
INTSR2	SRIF2		SRMK2		SRPR02, SRPR12	
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12	
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104	
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106	
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107	
INTP6	PIF6		PMK6		PPR06, PPR16	
INTP7	PIF7		PMK7		PPR07, PPR17	
INTP8	PIF8		PMK8		PPR08, PPR18	
INTP9	PIF9		PMK9		PPR09, PPR19	
INTP10	PIF10		PMK10		PPR010, PPR110	
INTP11	PIF11	IF2H	PMK11	MK2H	PPR011, PPR111	PR02H, PR12H

- 注1. UART1, CSI10, IIC10は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生したら、IF1Lのビット0はセット(1)されます。また、MK1L, PR01L, PR11Lのビット0は、3つすべての割り込み要因に対応しています。
2. UART2, CSI20, IIC20は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF1Hのビット4はセット(1)されます。また、MK1H, PR01H, PR11Hのビット4は、3つすべての割り込み要因に対応しています。

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1H, IF2LとIF2Hをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図17 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0	SRIF0	STIF0	DMAIF1	DMAIF0	SREIF3	SRIF3	STIF3
		CSIIF01	CSIIF00					

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICIF0	SREIF1	SRIF1	STIF1
								CSIIF10
								IICIF10

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	SREIF2	SRIF2	STIF2	KRIF	RTCIIF	RTCIF	ADIF
				CSIIF20				
				IICIF20				

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	PIF10	PIF9	PIF8	PIF7	PIF6	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	0	0	0	0	0	0	0	PIF11

図17 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (2/2)

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. IF2Hのビット1-7には必ず0を設定してください。

2. タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合, いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
3. 割り込み要求フラグ・レジスタのフラグ操作には, 1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は, コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため, 「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお, C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合, コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合, 「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで, 同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても, 「mov IF0L, a」でクリア (0) されます。したがって, C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは, 対応するマスクブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また, MK0LとMK0H, MK1LとMK1H, MK2LとMK2Hをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときには, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

備考 このレジスタへの書き込み命令を行った場合, 命令実行クロック数が2クロック長くなります。

図17-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0	SRMK0	STMK0	DMAMK1	DMAMK0	SREMK3	SRMK3	STMK3
		CSIMK01	CSIMK00					

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICMK0	SREMK1	SRMK1	STMK1
								CSIMK10
								IICMK10

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK04	SREMK2	SRMK2	STMK2	KRMK	RTCIMK	RTCMK	ADMK
				CSIMK20				
				IICMK20				

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	PMK10	PMK9	PMK8	PMK7	PMK6	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	1	1	1	1	1	1	1	PMK11

XXMKX	割り込み処理の制御							
0	割り込み処理許可							
1	割り込み処理禁止							

注意 MK2Hのビット1-7には必ず1を設定してください。

(3)優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LとPR00H, PR01LとPR01H, PR02LとPR02H, PR10LとPR10H, PR11LとPR11H, PR12LとPR12Hをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図17-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR00H	SREPR00	SRPR00	STPR00	DMAPR01	DMAPR00	SREPR03	SRPR03	STPR03
		CSIPR001	CSIPR000					

アドレス : FFFEDH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR10H	SREPR10	SRPR10	STPR10	DMAPR11	DMAPR10	SREPR13	SRPR13	STPR13
		CSIPR101	CSIPR100					

アドレス : FFFEAH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICPR00	SREPR01	SRPR01	STPR01
								CSIPR010
								IICPR010

アドレス : FFFEEH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICPR10	SREPR11	SRPR11	STPR11
								CSIPR110
								IICPR110

図17-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (2/2)

アドレス : FFFEBH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR01H	TMPR004	SREPR02	SRPR02	STPR02 CSIPR020 IICPR020	KRPR0	RTCIPR0	RTCPR0	ADPR0

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR11H	TMPR104	SREPR12	SRPR12	STPR12 CSIPR120 IICPR120	KRPR1	RTCIPR1	RTCPR1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR02L	PPR010	PPR09	PPR08	PPR07	PPR06	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR12L	PPR110	PPR19	PPR18	PPR17	PPR16	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	[0]
PR02H	1	1	1	1	1	1	1	PPR011

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	[0]
PR12H	1	1	1	1	1	1	1	PPR111

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 PR02H, PR12Hのビット1-7には必ず1を設定してください。

(4) 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1は、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図17 - 5 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1) , 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

アドレス : FFF3BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-11)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がり両エッジ

EGPnとEGNnに対応するポートを表17 - 3に示します。

表17 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P46	INTP1
EGP2	EGN2	P47	INTP2
EGP3	EGN3	P30	INTP3
EGP4	EGN4	P31	INTP4
EGP5	EGN5	P16	INTP5
EGP6	EGN6	P140	INTP6
EGP7	EGN7	P141	INTP7
EGP8	EGN8	P74	INTP8
EGP9	EGN9	P75	INTP9
EGP10	EGN10	P76	INTP10
EGP11	EGN11	P77	INTP11

注意 外部割り込み機能からポート機能に切り替える場合に、エッジ検出を行う可能性があるため、EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-11

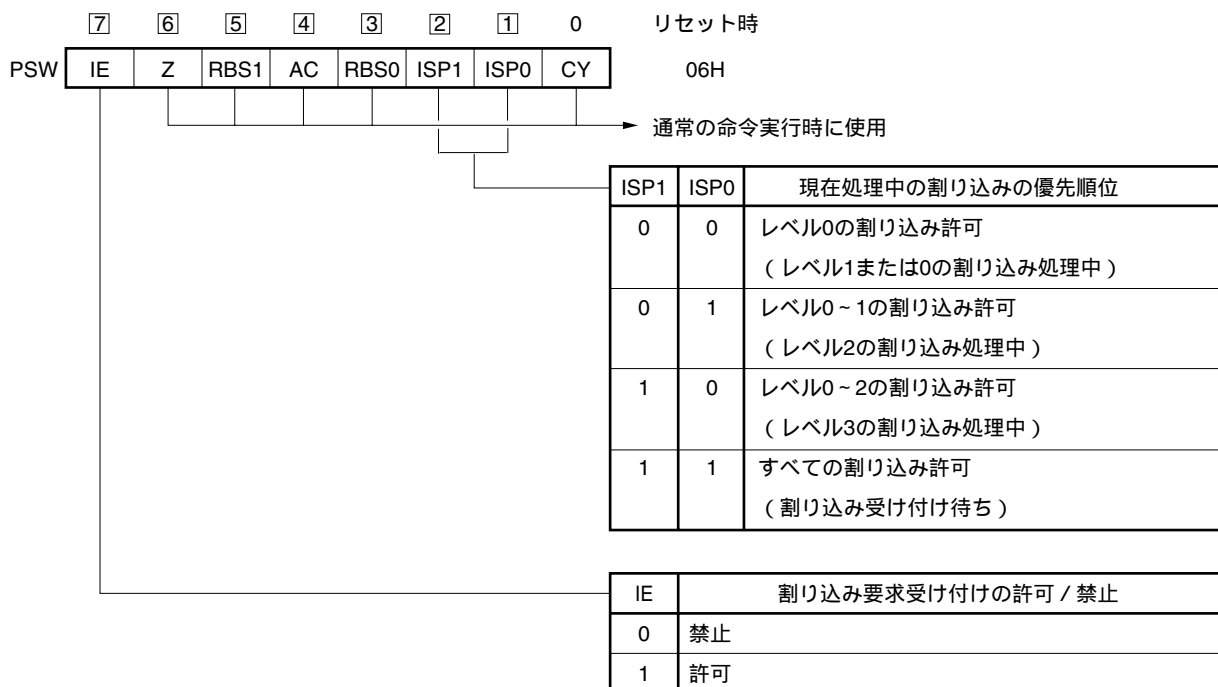
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可/禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図17-6 プログラム・ステータス・ワードの構成



17.4 割り込み処理動作

17.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表17-4のようになります。

割り込み要求の受け付けタイミングについては、図17-8, 17-9を参照してください。

表17-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

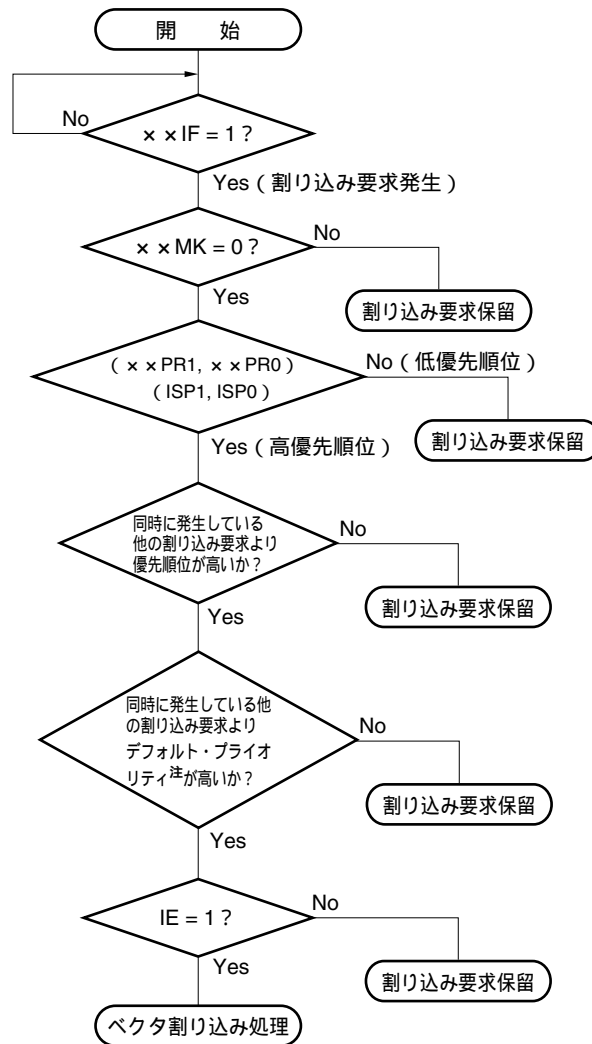
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図17-7に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

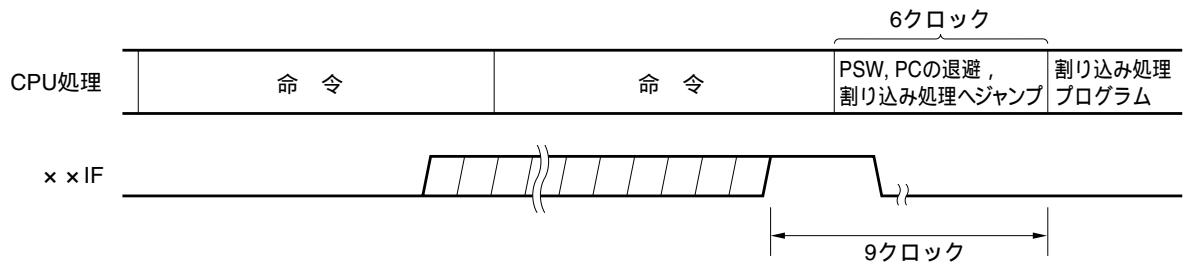
図17 - 7 割り込み要求受け付け処理アルゴリズム



- x x IF : 割り込み要求フラグ
- x x MK : 割り込みマスク・フラグ
- x x PR0 : 優先順位指定フラグ0
- x x PR1 : 優先順位指定フラグ1
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可 , 0 = 禁止)
- ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図17 - 6参照)

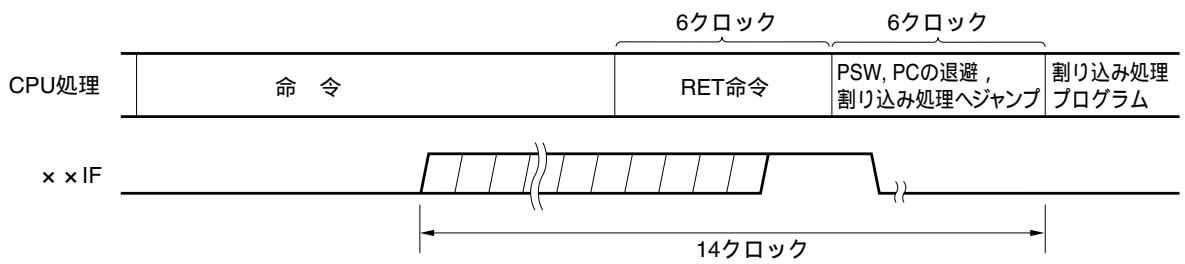
注 デフォルト・プライオリティは、表17 - 1 割り込み要因一覧を参照してください。

図17 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図17 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

17.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ (PC) の順に内容をスタックに退避し、IEフラグをリセット (0) し、ベクタ・テーブル (0007EH, 0007FH) の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

17.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表17-5に多重割り込み可能な割り込み要求の関係を、図17-10に多重割り込みの例を示します。

表17 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
ソフトウェア割り込み			x		x		x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hに含まれるフラグです。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

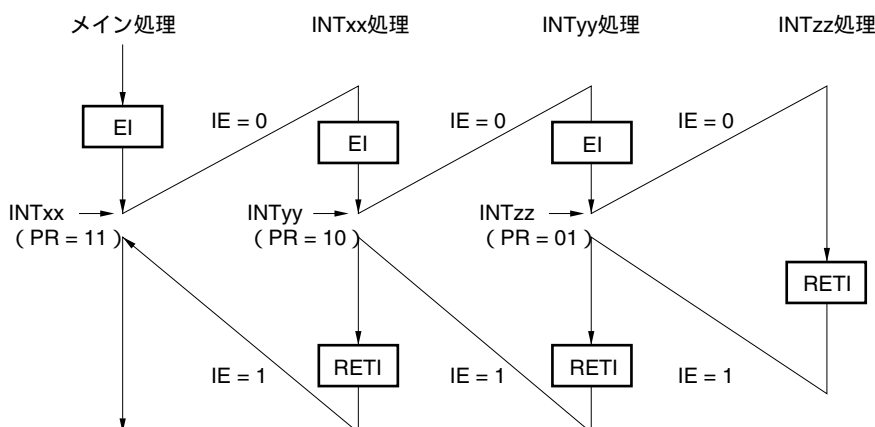
PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

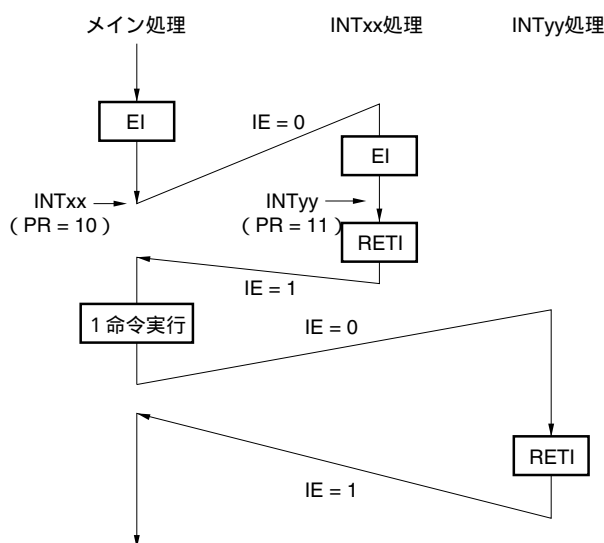
図17-10 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1 x = 0, x \times PR0 x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1 x = 0, x \times PR0 x = 1$ でレベル1を指定

PR = 10 : $x \times PR1 x = 1, x \times PR0 x = 0$ でレベル2を指定

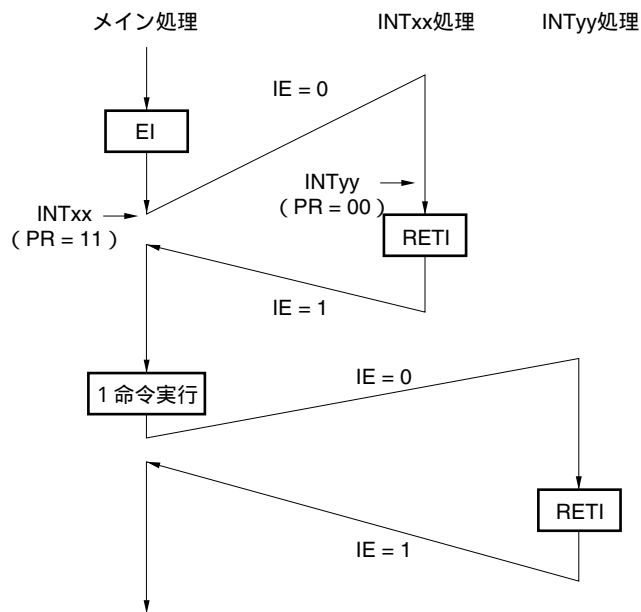
PR = 11 : $x \times PR1 x = 1, x \times PR0 x = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図17 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : $x \times PR1x = 0$, $x \times PR0x = 0$ でレベル0を指定 (高優先順位)

PR = 01 : $x \times PR1x = 0$, $x \times PR0x = 1$ でレベル1を指定

PR = 10 : $x \times PR1x = 1$, $x \times PR0x = 0$ でレベル2を指定

PR = 11 : $x \times PR1x = 1$, $x \times PR0x = 1$ でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

17.4.4 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, # byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスカブル割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図17-11に示します。

図17-11 割り込み要求の保留



- 備考1** . 命令N：割り込み要求の保留命令
- 2 . 命令M：割り込み要求の保留命令以外の命令
- 3 . x x IF（割り込み要求）の動作は、x x PR（優先順位レベル）の値の影響を受けません。

第18章 キー割り込み機能

18.1 キー割り込みの機能

キー・リターン・モード・レジスタ (KRM) の設定により、キー割り込み入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み (INTKR) を発生させることができます。

表18 - 1 キー割り込み検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

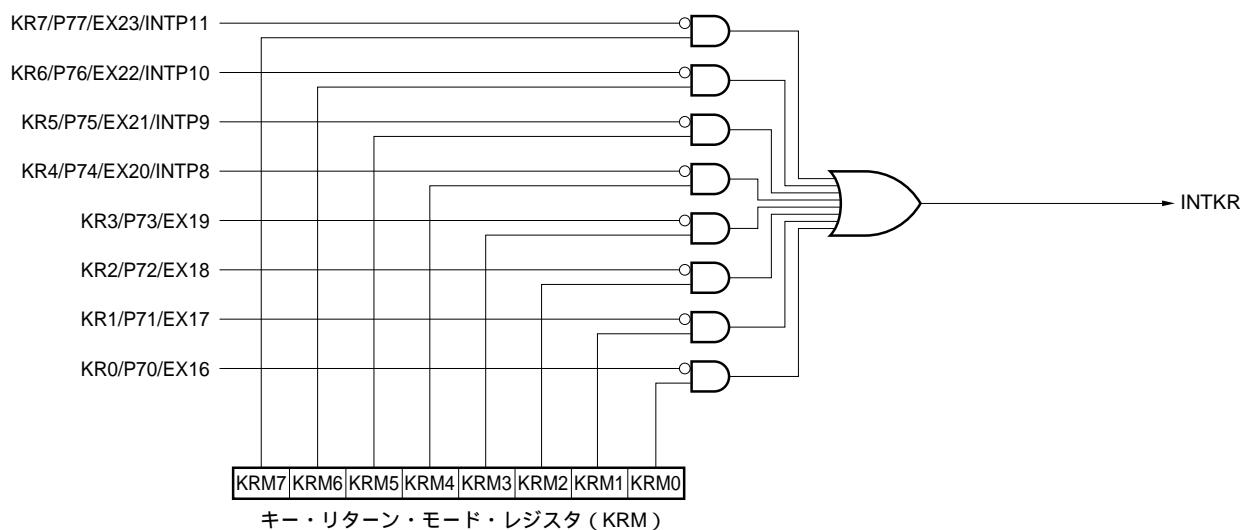
18.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表18 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM) ポート・モード・レジスタ7 (PM7)

図18 - 1 キー割り込みのブロック図



18.3 キー割り込みを制御するレジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRM0-KRM7ビットをそれぞれKR0-KR7信号で制御するレジスタです。

KRMは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図18-2 キー・リターン・モード・レジスタ (KRM) のフォーマット

アドレス：FFF37H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. KRM0-KRM7のうち使用するビットに1を設定する場合、それに対応するプルアップ抵抗レジスタ7 (PU7) のビット0-7 (PU70-PU77) に1を設定してください。

2. キー割り込み入力端子にロウ・レベルが入力されている状態で、KRMレジスタの対象ビットをセットすると、割り込みが発生します。

この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRMレジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅(250 ns以上)を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。

3. キー割り込みモードで使用していないビットは通常ポートとして使用可能です。

備考 n = 0-7

(2) ポート・モード・レジスタ (PM7)

ポート7の入力/出力を1ビット単位で設定するレジスタです。

P70/KR0/EX16, P71/KR1/EX17, P72/KR2/EX18, P73/KR3/EX19, P74/KR4/EX20/INTP8, P75/KR5/EX21/INTP9, P76/KR6/EX22/INTP10, P77/KR7/EX23/INTP11端子をキー割り込み入力として使用するとき、PM70-PM77にそれぞれ1を設定してください。このときP70-P77の出力ラッチは、0または1のどちらでもかまいません。

PM7は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図18-3 ポート・モード・レジスタ (PM7) のフォーマット

アドレス：FFF27H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	P7n端子の入出力モードの選択 (n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 n = 0-7

第19章 スタンバイ機能

19.1 スタンバイ機能と構成

19.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1.** STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
 3. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
 4. 低速内蔵発振回路をHALT、STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第24章 オプション・バイトを参照してください。

19.1.2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして、次の2種類があります。

- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 クロックの動作/停止, 切り替えを制御するレジスタについては, **第6章 クロック発生回路**を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 (RESET入力, POC, LVI, WDT, 不正命令の実行によるリセット), STOP命令, MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

図19-1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^8/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

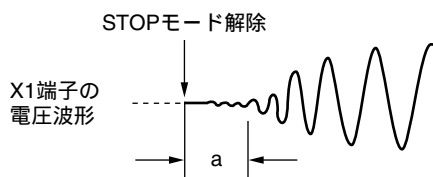
注意1. 上記時間経過後、MOST8から順番に“1”となっていき、そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないの注意してください。

3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までの確認ができます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図19-2 発振安定時間選択レジスタ (OSTS) のフォーマット

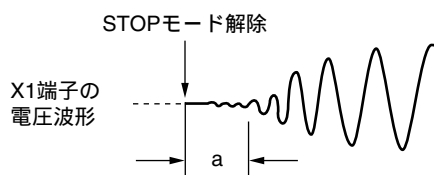
アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs 設定禁止
0	0	1	$2^9/f_x$	51.2 μs 25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs 51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs 102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs 409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms 1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms 6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms 13.11 ms

注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSを設定しておいてください。

2. 発振安定時間が20 μs 以下は設定禁止です。
3. OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。
4. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
5. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。
 - ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間
 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
6. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

19.2 スタンバイ機能の動作

19.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

表19 - 1 HALTモード時の動作状態 (1/2)

項 目	HALTモード の設定	メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f _H) で CPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロッ ク (f _{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f _H	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f _X	HALTモード設定前の状態を継続	動作継続 (停止不可)	動作不可
	f _{EX}		動作不可	動作継続 (停止不可)
サブシステ ム・クロック	f _{XT}	HALTモード設定前の状態を継続		
	f _L	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
フラッシュ・メモリ		低消費電流モードで動作可能		
RAM		動作停止。ただしPOC検出電圧以上では、HALTモード設定前の状態を保持。		
ポート (ラッチ)		HALTモード設定前の状態を保持		
外部バス・インタフェース		動作停止。各端子の状態 CKOUT : 内部システム・クロックを出力し続ける AD15-AD0またはD15-D0 : ハイ・インピーダンス A19-A0 : HALTモード設定前の状態を保持 \overline{RD} , $\overline{WR0}$, $\overline{WR1}$: ハイ・レベル ASTB : ロウ・レベル \overline{WAIT} : ハイ・インピーダンス		
タイマ・アレイ・ユニット (TAU)		動作可能		
リアルタイム・カウンタ (RTC)		動作可能		
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力/ブザー出力		動作可能		
A/Dコンバータ		動作可能		
D/Aコンバータ		動作可能		
シリアル・アレイ・ユニッ ト (SAU)		動作可能		
シリアル・インタフェース (IIC0)		動作可能		
乗算器		動作停止		
DMAコントローラ		動作可能		
パワーオン・クリア機能		動作可能		
低電圧検出機能		動作可能		
外部割り込み		動作可能		
キー割り込み機能		動作可能		

- 備考1. f_H : 高速内蔵発振クロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_L : 低速内蔵発振クロック
 2. A_{xx} : アドレスバス
 D_{xx} : データ・バス
 AD_{xx} : マルチプレクスト・アドレス/データ・バス

表19 - 1 HALTモード時の動作状態 (2/2)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時
項目		XT1クロック (f _{XT}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	f _H	HALTモード設定前の状態を継続
	f _X	
	f _{EX}	外部クロックの入力により動作または停止
サブシステム・クロック	f _{XT}	動作継続 (停止不可)
	f _L	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止
CPU		動作停止
フラッシュ・メモリ		低消費電流モードで動作可能
RAM		動作停止。ただしPOC検出電圧以上では, HALTモード設定前の状態を保持。
ポート (ラッチ)		HALTモード設定前の状態を保持
外部バス・インタフェース		動作停止。各端子の状態 CKOUT : 内部システム・クロックを出力し続ける AD15-AD0またはD15-D0 : ハイ・インピーダンス A19-A0 : HALTモード設定前の状態を保持 RD, WR0, WR1 : ハイ・レベル ASTB : ロウ・レベル WAIT : ハイ・インピーダンス
タイマ・アレイ・ユニット (TAU)		動作可能
リアルタイム・カウンタ (RTC)		
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止
クロック出力/ブザー出力		動作可能
A/Dコンバータ		動作不可
D/Aコンバータ		動作可能
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IIC0)		動作不可
乗算器		動作停止
DMAコントローラ		動作可能
パワーオン・クリア機能		
低電圧検出機能		
外部割り込み		
キー割り込み機能		

- 備考1. f_H : 高速内蔵発振クロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_L : 低速内蔵発振クロック
2. A_{xx} : アドレスバス
 D_{xx} : データ・バス
 AD_{xx} : マルチプレクスト・アドレス/データ・バス

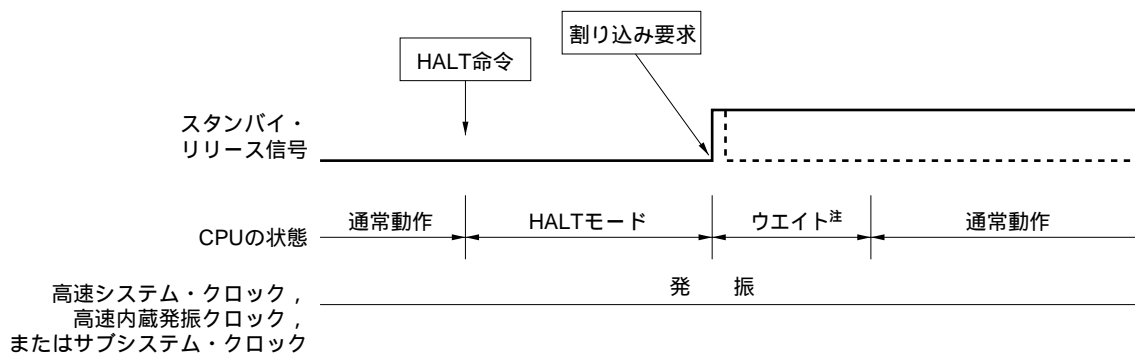
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図19-3 HALTモードの割り込み要求発生による解除



注 ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時：10～12クロック
 - サブシステム・クロック時：8～10クロック
- ・ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時：5～6クロック
 - サブシステム・クロック時：3～4クロック

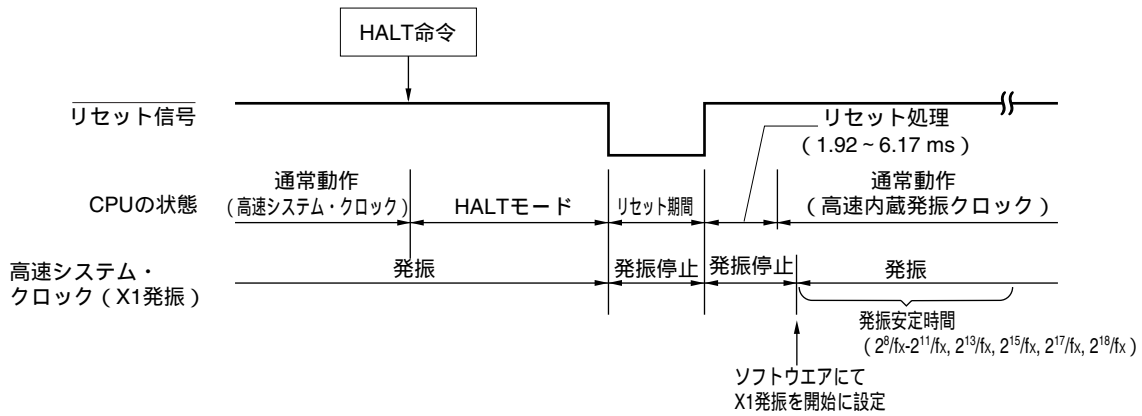
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

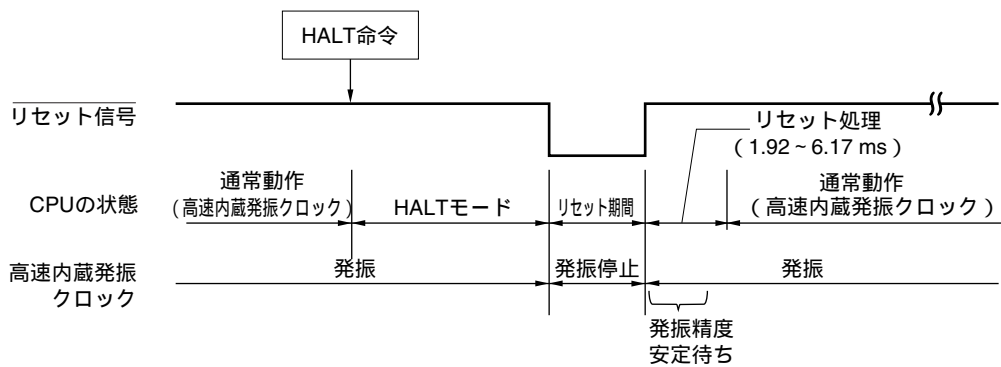
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図19 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合



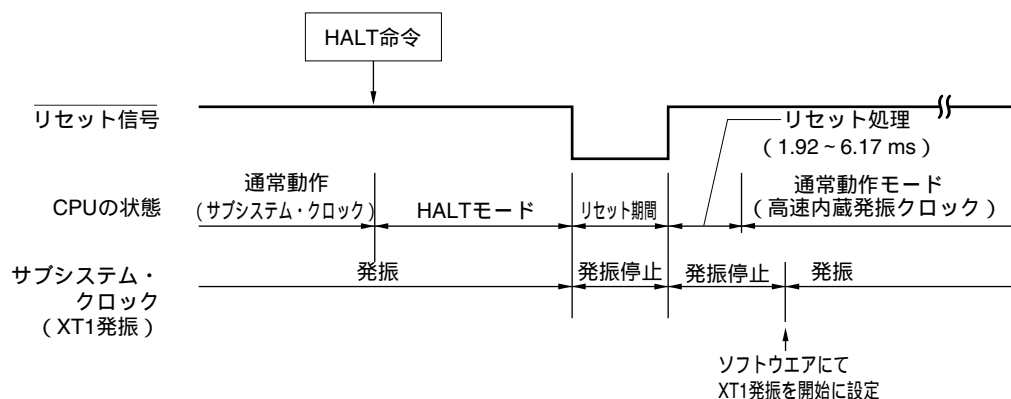
(2) CPUクロックが高速内蔵発振クロックの場合



備考 fx : X1クロック発振周波数

図19 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合



19.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されます。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ (OSTS) による設定時間だけウエイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表19-2 STOPモード時の動作状態

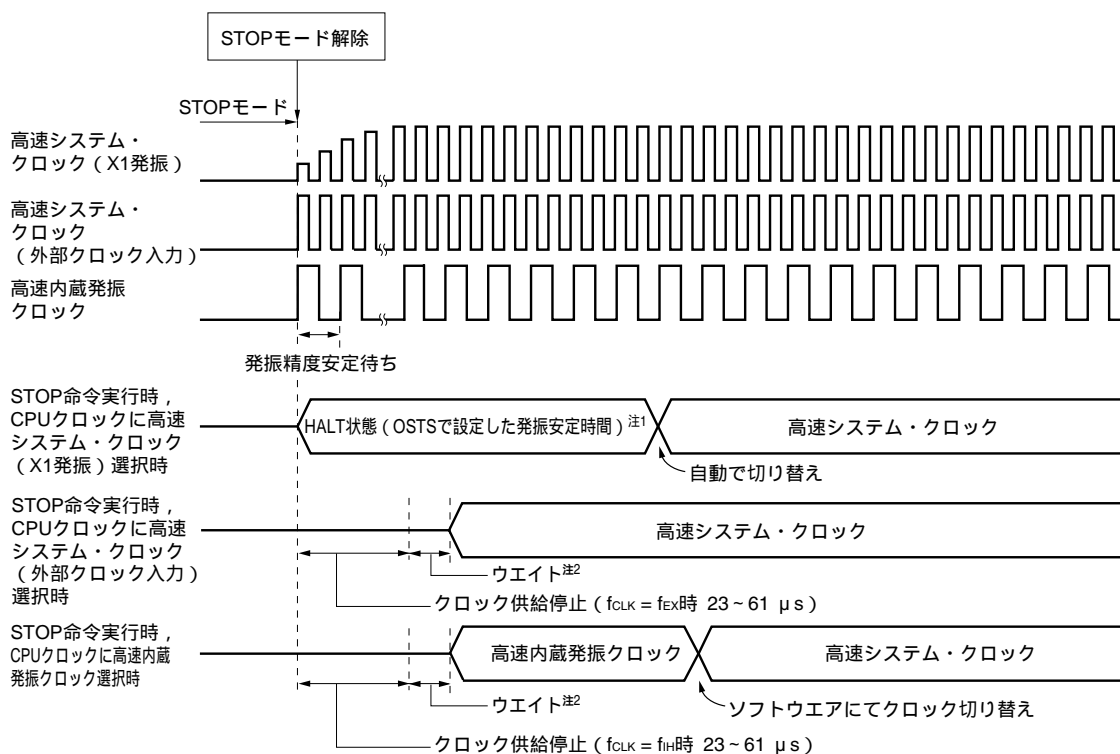
項目	STOPモードの設定	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
		高速内蔵発振クロック (f_{IH}) でCPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{IH}	停止		
	f_x			
	f_{EX}			
サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続		
	f_{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		動作停止。ただしPOC検出電圧以上では, STOPモード設定前の状態を保持。		
ポート (ラッチ)		STOPモード設定前の状態を継続		
外部バス・インタフェース		動作停止。各端子の状態 CKOUT : ロウ・レベル AD15-AD0またはD15-D0 : ハイ・インピーダンス A19-A0 : STOPモード設定前の状態を保持 RD, WR0, WR1 : ハイ・レベル ASTB : ロウ・レベル WAIT : ハイ・インピーダンス		
タイマ・アレイ・ユニット (TAU)		動作停止		
リアルタイム・カウンタ (RTC)		動作可能		
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力 / ブザー出力		カウント・クロックにサブシステム・クロック選択時のみ動作可能		
A/Dコンバータ		動作停止		
D/Aコンバータ		動作停止 (端子はHi-Z状態)		
シリアル・アレイ・ユニット (SAU)		動作停止		
シリアル・アレイ・ユニット (IIC0)		動作停止		
乗算器		動作停止		
DMAコントローラ		動作停止		
パワーオン・クリア機能		動作可能		
低電圧検出機能		動作可能		
外部割り込み		動作可能		
キー割り込み機能		動作可能		

- 備考1. f_{IH} : 高速内蔵発振クロック
 f_x : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{IL} : 低速内蔵発振クロック
2. Axx : アドレスバス
 Dxx : データ・バス
 ADxx : マルチプレクスト・アドレス / データ・バス

- 注意1. STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速内蔵発振クロックを停止したい場合は、オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定(000C0Hのビット0(WDSTBYON)=0)してから、STOP命令を実行してください。
3. 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速内蔵発振クロックに切り替えてください。STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック(X1発振)に切り替える場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間を確認してから、行ってください。

(2) STOPモードの解除

図19-5 STOPモード解除時の動作タイミング(マスクされていない割り込み要求による解除の場合)



注1. OSTCで設定した発振安定時間が $61\mu\text{s}$ 以下の場合、最大で“ $61\mu\text{s}$ + ウェイト時間”までHALT状態が継続されます

2. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 10~12クロック
- ・ベクタ割り込み処理を行わない場合 : 5~6クロック

備考 f_{EX} : 外部メイン・システム・クロック周波数
 f_{IH} : 高速内蔵発振クロック周波数
 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

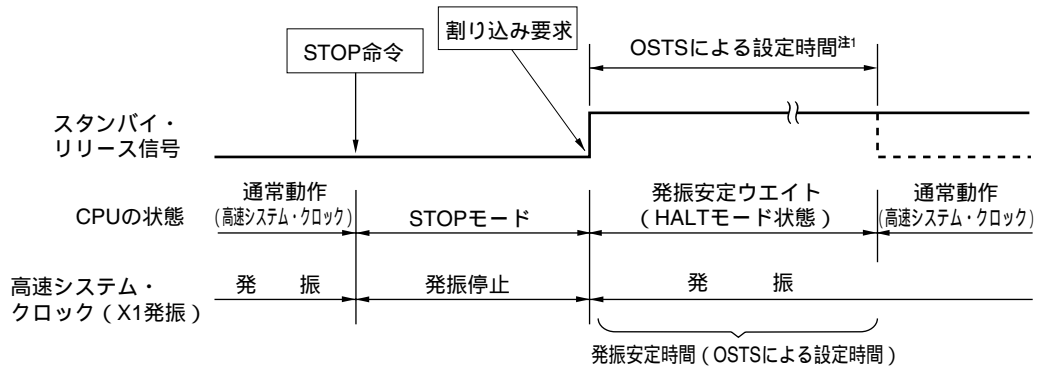
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

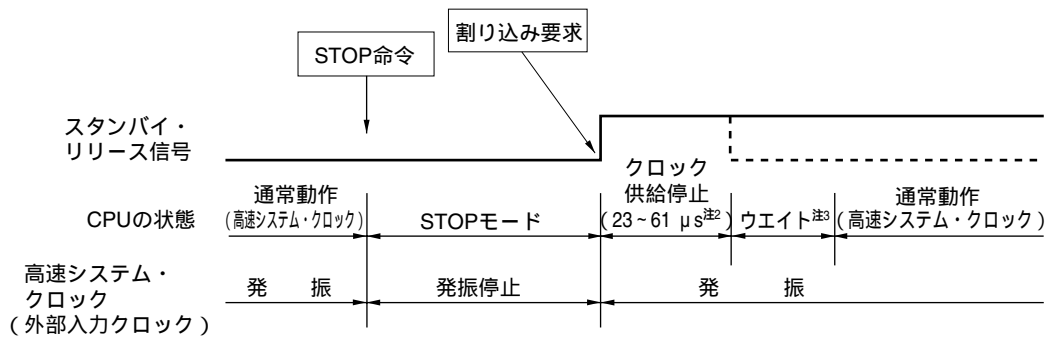
マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図19 - 6 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック (X1発振) の場合



(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



注1. OSTSで設定した発振安定時間が61 μs以下の場合、最大で“61 μs + ウエイト時間”までHALT状態が継続されます。

2. $f_{CLK} = f_{EX}$ のとき

3. ウエイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 10~12クロック
- ・ベクタ割り込み処理を行わない場合 : 5~6クロック

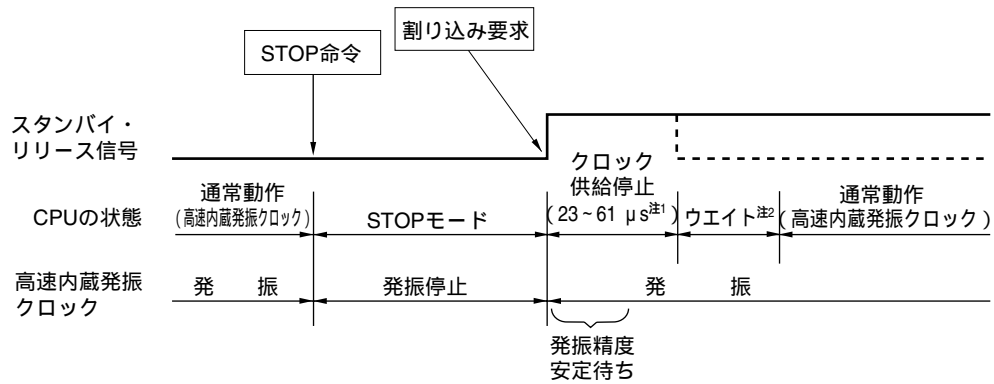
備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. f_{EX} : 外部メイン・システム・クロック周波数

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図19 - 6 STOPモードの割り込み要求発生による解除 (2/2)

(3) CPUクロックが高速内蔵発振クロックの場合



注1. $f_{\text{CLK}} = f_{\text{IH}}$ のとき

2. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合 : 10 ~ 12クロック
- ・ベクタ割り込み処理を行わない場合 : 5 ~ 6クロック

備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. f_{IH} : 高速内蔵発振クロック周波数

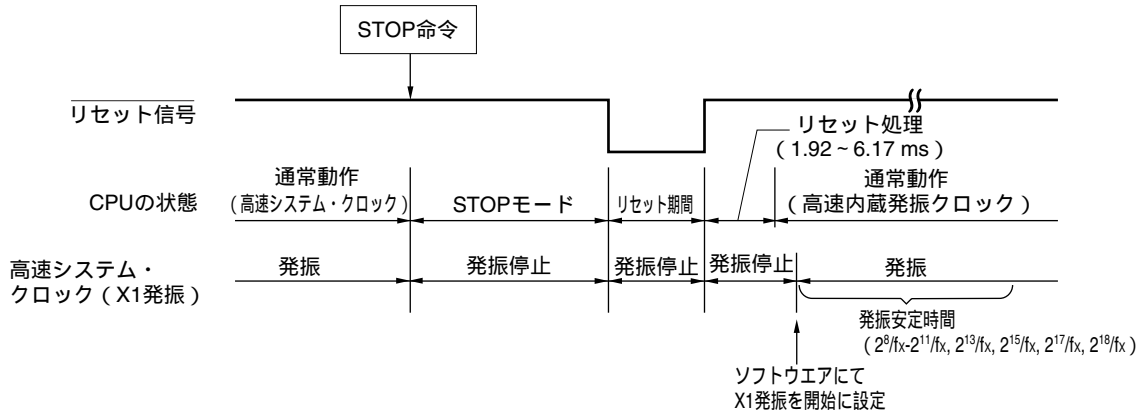
f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(b) リセット信号の発生による解除

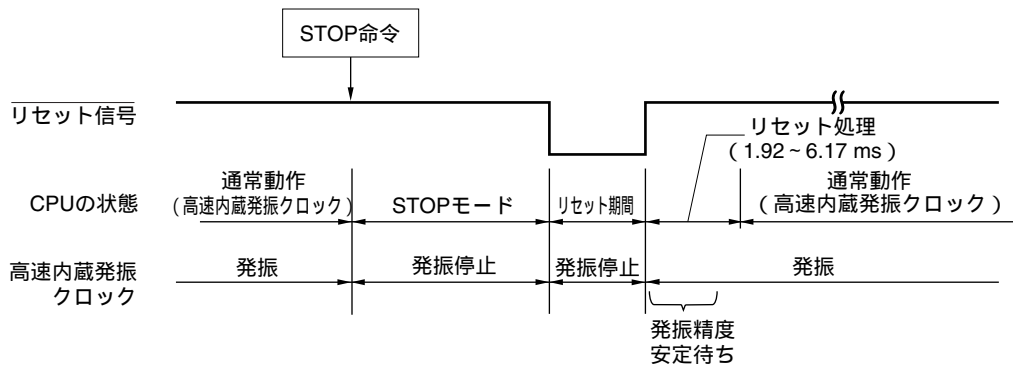
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図19-7 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

第20章 リセット機能

リセット信号を発生させる方法には、次の5種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電圧検出回路 (LVI) の電源電圧または外部入力端子からの入力電圧 (EXLVI) と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^注

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POC回路、LVI回路の電圧検出、または不正命令の実行^注により、リセットがかかり、各ハードウェアは表20 - 1, 表20 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、P130のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図20 - 2から図20 - 4参照)。POC回路、LVI回路の電圧検出によるリセットは、リセット後 V_{DD} V_{POC} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第21章 パワーオン・クリア回路と第22章 低電圧検出回路参照)。

注 FFHの命令コードを実行したときに発生します。

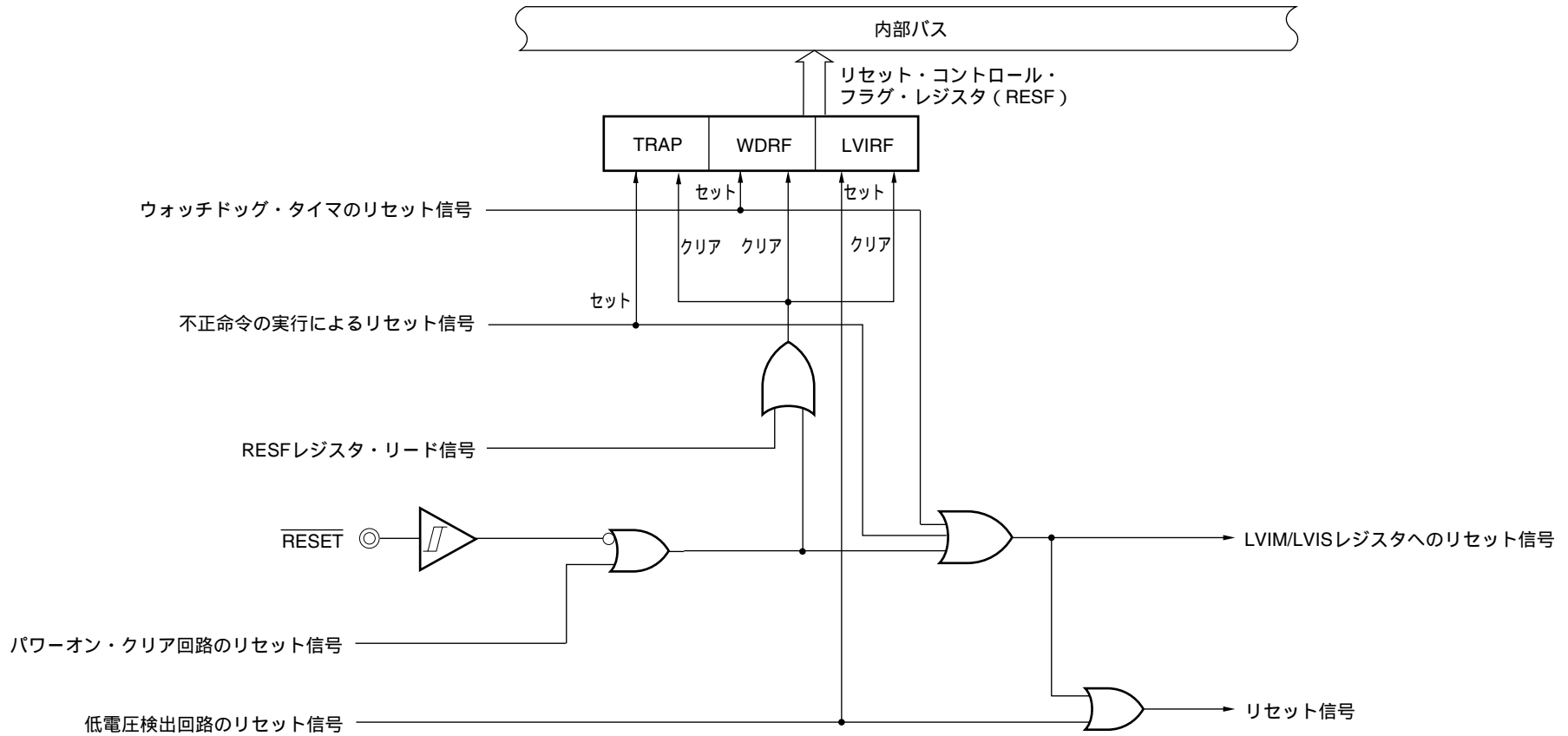
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。

(電源立ち上げ時に外部リセットを行う場合、動作電圧範囲外 ($V_{DD} < 1.8V$) の期間は10 μ sにカウントしません。ただしロウ・レベル入力はPOC解除前から継続されていてもかまいません。)

2. リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。ただし、各SFRと2nd SFRは初期化されるため、ポート端子P130はロウ・レベル出力に、それ以外のポート端子はハイ・インピーダンスとなります。

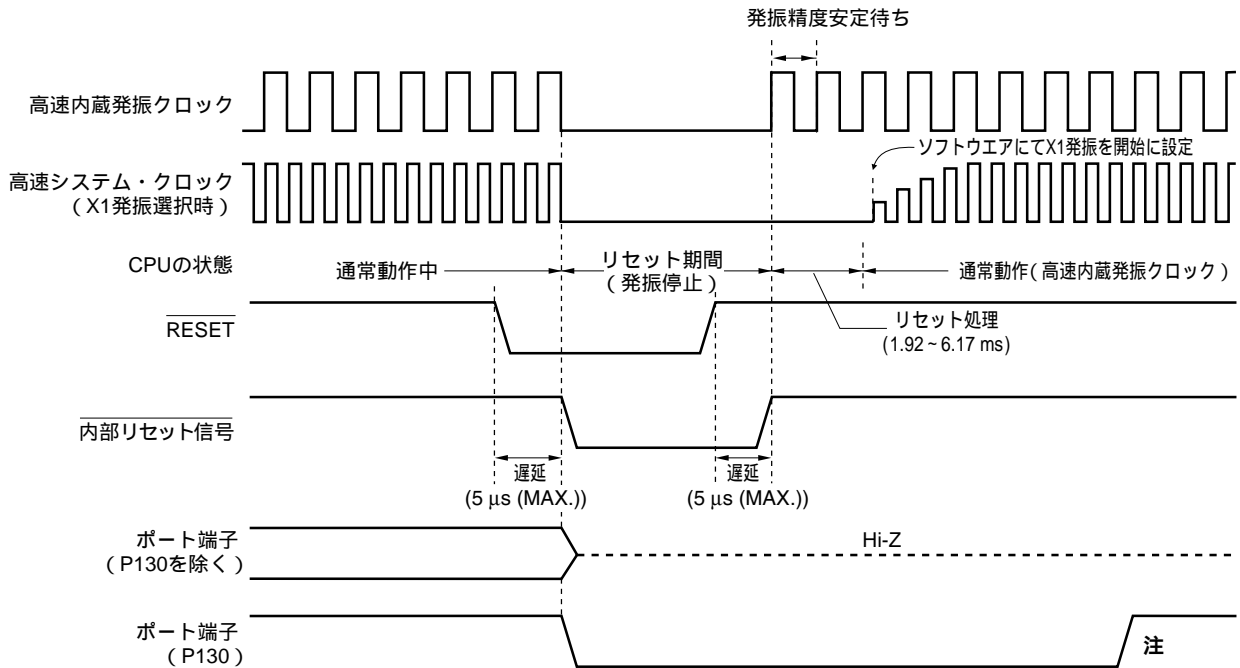
図20 - 1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考1.** LVIM：低電圧検出レジスタ
2. LVIS：低電圧検出レベル選択レジスタ

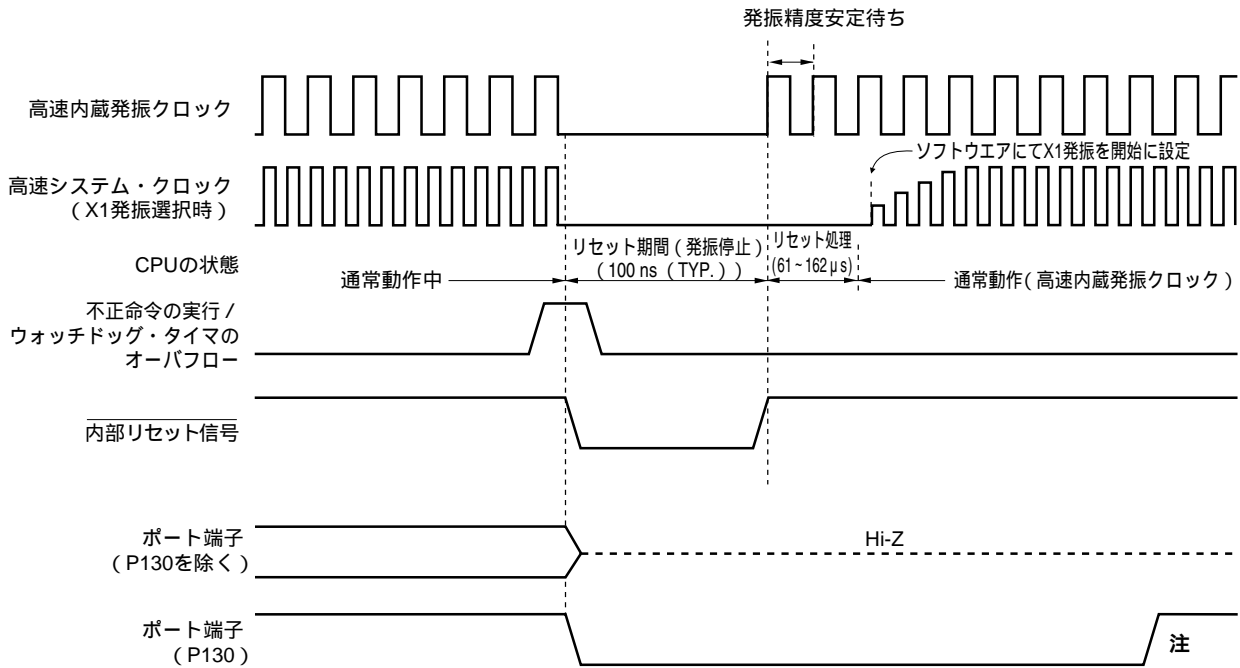
図20 - 2 RESET入力によるリセット・タイミング



注 ソフトウェアでハイ・レベル出力にしてください。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

図20 - 3 不正命令の実行/ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

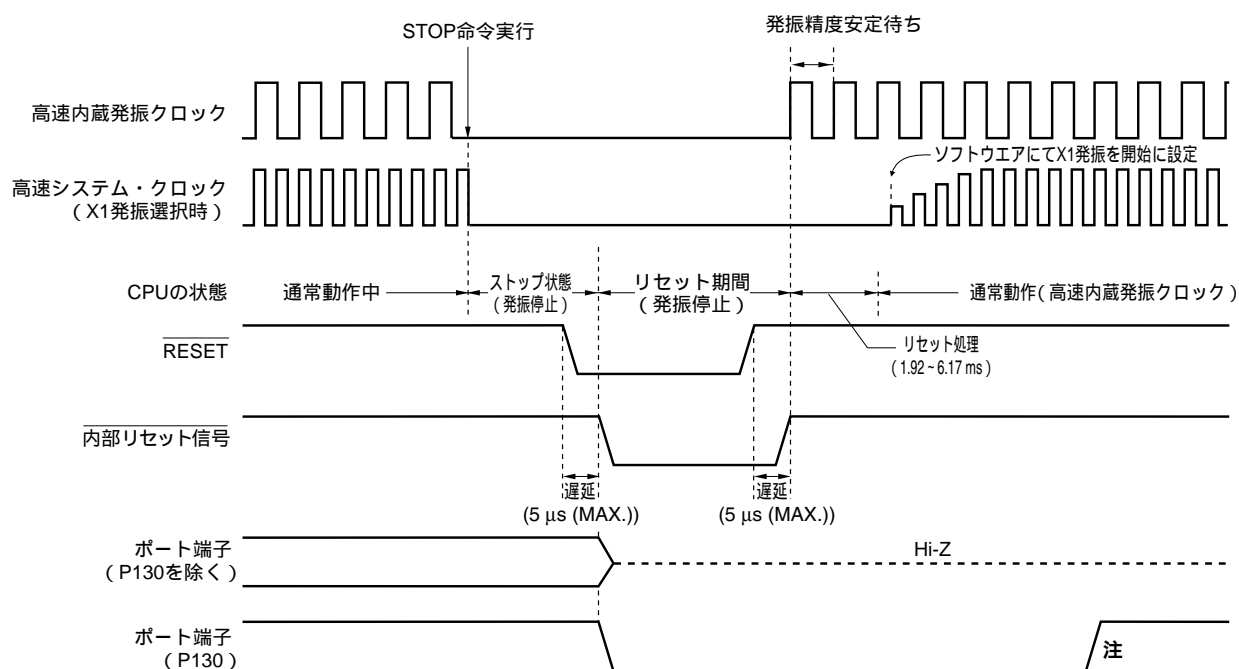


注 ソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

図20-4 STOPモード中のRESET入力によるリセット・タイミング



注 ソフトウェアでハイ・レベル出力にしてください。

- 備考1. リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。
2. パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは、第21章 パワーオン・クリア回路と第22章 低電圧検出回路を参照してください。

表20 - 1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f _H	動作停止
	f _X	動作停止 (X1, X2端子は入力ポート・モード)
	f _{EX}	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	f _{XT}	動作停止 (XT1, XT2端子は入力ポート・モード)
f _L	動作停止	
CPU		
フラッシュ・メモリ	低消費電流モードで動作可能	
RAM	動作停止	
ポート (ラッチ)	動作停止	
外部バス・インタフェース		
タイマ・アレイ・ユニット (TAU)		
リアルタイム・カウンタ (RTC)		
ウォッチドッグ・タイマ		
クロック出力 / ブザー出力		
A/Dコンバータ		
D/Aコンバータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IIC0)		
乗算器		
DMAコントローラ		
パワーオン・クリア機能	動作可能	
低電圧検出機能	動作停止 (ただし, LVIリセット時は動作継続)	
外部割り込み	動作停止	
キー割り込み機能		

備考 f_H : 高速内蔵発振クロック
 f_X : X1発振クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1発振クロック
 f_L : 低速内蔵発振クロック

表20 - 2 各ハードウェアのリセット受け付け後の状態 (1/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート・レジスタ (P0-P8, P11-P15) (出力ラッチ)		00H
ポート・モード・レジスタ	PM0-PM8, PM11, PM12, PM14, PM15	FFH
	PM13	FEH
ポート入力モード・レジスタ0, 4, 14 (PIM0, PIM4, PIM14)		00H
ポート出力モード・レジスタ0, 4, 14 (POM0, POM4, POM14)		00H
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU8, PU12-PU14)		00H
メモリ拡張モード制御レジスタ (MEM)		00H
クロック動作モード制御レジスタ (CMC)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
システム・クロック制御レジスタ (CKC)		09H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ0, 1 (NFEN0, NFEN1)		00H
周辺イネーブル・レジスタ0, 1 (PER0, PER1)		00H
高速内蔵発振器トリミング・レジスタ (HIOTRM)		10H
動作スピード・モード制御レジスタ (OSMC)		00H
タイマ・アレイ・ユニット (TAU)	タイマ・データ・レジスタ00, 01, 02, 03, 04, 05, 06, 07 (TDR00, TDR01, TDR02, TDR03, TDR04, TDR05, TDR06, TDR07)	0000H
	タイマ・モード・レジスタ00, 01, 02, 03, 04, 05, 06, 07 (TMR00, TMR01, TMR02, TMR03, TMR04, TMR05, TMR06, TMR07)	0000H
	タイマ・ステータス・レジスタ00, 01, 02, 03, 04, 05, 06, 07 (TSR00, TSR01, TSR02, TSR03, TSR04, TSR05, TSR06, TSR07)	0000H
	タイマ入力選択レジスタ0 (TIS0)	00H
	タイマ・カウンタ・レジスタ00, 01, 02, 03, 04, 05, 06, 07 (TCR00, TCR01, TCR02, TCR03, TCR04, TCR05, TCR06, TCR07)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0 (TE0)	0000H
	タイマ・チャンネル開始トリガ・レジスタ0 (TS0)	0000H
	タイマ・チャンネル停止トリガ・レジスタ0 (TT0)	0000H
	タイマ・クロック選択レジスタ0 (TPS0)	0000H
	タイマ出力レジスタ0 (TO0)	0000H
	タイマ出力許可レジスタ0 (TOE0)	0000H
	タイマ出力レベル・レジスタ0 (TOL0)	0000H
	タイマ出力モード・レジスタ0 (TOM0)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

表20 - 2 各ハードウェアのリセット受け付け後の状態 (2/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
リアルタイム・カウンタ	サブカウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	日カウント・レジスタ (DAY)	01H
	曜日カウント・レジスタ (WEEK)	00H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
	コントロール・レジスタ1 (RTCC1)	00H
コントロール・レジスタ2 (RTCC2)	00H	
クロック出力 / ブザー出力制御回路	クロック出力選択レジスタ0, 1 (CKS0, CKS1)	00H
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	モード・レジスタ (ADM)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	10H
D/Aコンバータ	8ビットD/A変換値設定レジスタ0, 1 (DACS0, DACS1)	00H
	D/Aコンバータ・モード・レジスタ (DAM)	00H
シリアル・アレイ・ユニット (SAU)	シリアル・データ・レジスタ00, 01, 02, 03, 10, 11, 12, 13 (SDR00, SDR01, SDR02, SDR03, SDR10, SDR11, SDR12, SDR13)	0000H
	シリアル・ステータス・レジスタ00, 01, 02, 03, 10, 11, 12, 13 (SSR00, SSR01, SSR02, SSR03, SSR10, SSR11, SSR12, SSR13)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ00, 01, 02, 03, 10, 11, 12, 13 (SIR00, SIR01, SIR02, SIR03, SIR10, SIR11, SIR12, SIR13)	0000H
	シリアル・モード・レジスタ00, 01, 02, 03, 10, 11, 12, 13 (SMR00, SMR01, SMR02, SMR03, SMR10, SMR11, SMR12, SMR13)	0020H
	シリアル通信動作設定レジスタ00, 01, 02, 03, 10, 11, 12, 13 (SCR00, SCR01, SCR02, SCR03, SCR10, SCR11, SCR12, SCR13)	0087H
	シリアル・チャネル許可ステータス・レジスタ0, 1 (SE0, SE1)	0000H
	シリアル・チャネル開始レジスタ0, 1 (SS0, SS1)	0000H
	シリアル・チャネル停止レジスタ0, 1 (ST0, ST1)	0000H
	シリアル・クロック選択レジスタ0, 1 (SPS0, SPS1)	0000H
	シリアル出力レジスタ0, 1 (SO0, SO1)	0F0FH
	シリアル出力許可レジスタ0, 1 (SOE0, SOE1)	0000H
	シリアル出力レベル・レジスタ0, 1 (SOL0, SOL1)	0000H
	入力切り替え制御レジスタ (ISC)	00H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

表20 - 2 各ハードウェアのリセット受け付け後の状態 (3/3)

ハードウェア		リセット受け付け後の状態 ^{注1}
シリアル・インタフェース IIC0	シフト・レジスタ0 (IIC0)	00H
	コントロール・レジスタ0 (IICC0)	00H
	スレーブ・アドレス・レジスタ0 (SVA0)	00H
	クロック選択レジスタ0 (IICCL0)	00H
	機能拡張レジスタ0 (IICX0)	00H
	状態レジスタ0 (IICS0)	00H
	フラグ・レジスタ0 (IICF0)	00H
乗算器	乗算入力データ・レジスタA (MULA)	0000H
	乗算入力データ・レジスタB (MULB)	0000H
	上位乗算結果格納レジスタ (MULOH)	0000H
	下位乗算結果格納レジスタ (MULOL)	0000H
キー割り込み	キー・リターン・モード・レジスタ (KRM)	00H
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注3}
	低電圧検出レベル選択レジスタ (LVIS)	0EH ^{注2}
レギュレータ	レギュレータ・モード制御レジスタ (RMC)	00H
DMAコントローラ	SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	RAMアドレス・レジスタ0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	バイト・カウント・レジスタ0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	モード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0, 1 (EGP0, EGP1)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0, 1 (EGN0, EGN1)	00H
	10進補正 (BCD) 回路	BCD補正結果レジスタ (BCDADJ)

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように異なります。

レジスタ		リセット要因	RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	LVIIによる リセット
RESF	TRAPビット		クリア (0)	クリア (0)	セット (1)	保持	保持
	WDRFビット				保持	セット (1)	保持
	LVIRFビット				保持	保持	セット (1)
LVIS			クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	保持

3. リセット要因およびオプション・バイトの設定により異なります。

20.1 リセット要因を確認するレジスタ

78K0R/KG3は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、00Hになります。

図20 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 00H^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDRF	0	0	0	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

WDRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) , 電源立ち上がり波形によっては、LVIRFフラグが最初から1になることがあります。

リセット要求時のRESFの状態を表20 - 3に示します。

表20 - 3 リセット要求時のRESFの状態

リセット要因 フラグ	$\overline{\text{RESET}}$ 入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	LVIによる リセット
TRAP	クリア (0)	クリア (0)	セット (1)	保持	保持
WDRF			保持	セット (1)	保持
LVIRF			保持	保持	セット (1)

第21章 パワーオン・クリア回路

21.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。

電源電圧 (V_{DD}) が $1.59\text{ V} \pm 0.09\text{ V}$ を越えた場合に、リセットを解除します。

注意 オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトで ON に設定した場合は、電源電圧 (V_{DD}) が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

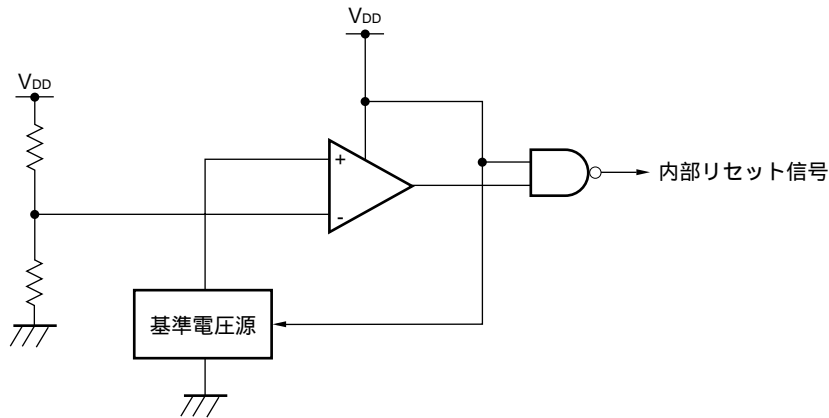
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / 不正命令の実行による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVI / 不正命令のいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、第20章 リセット機能を参照してください。

21.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図21-1に示します。

図21-1 パワーオン・クリア回路のブロック図



21.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POC} = 1.59\text{ V} \pm 0.09\text{ V}$) を越えたら、リセットを解除します。

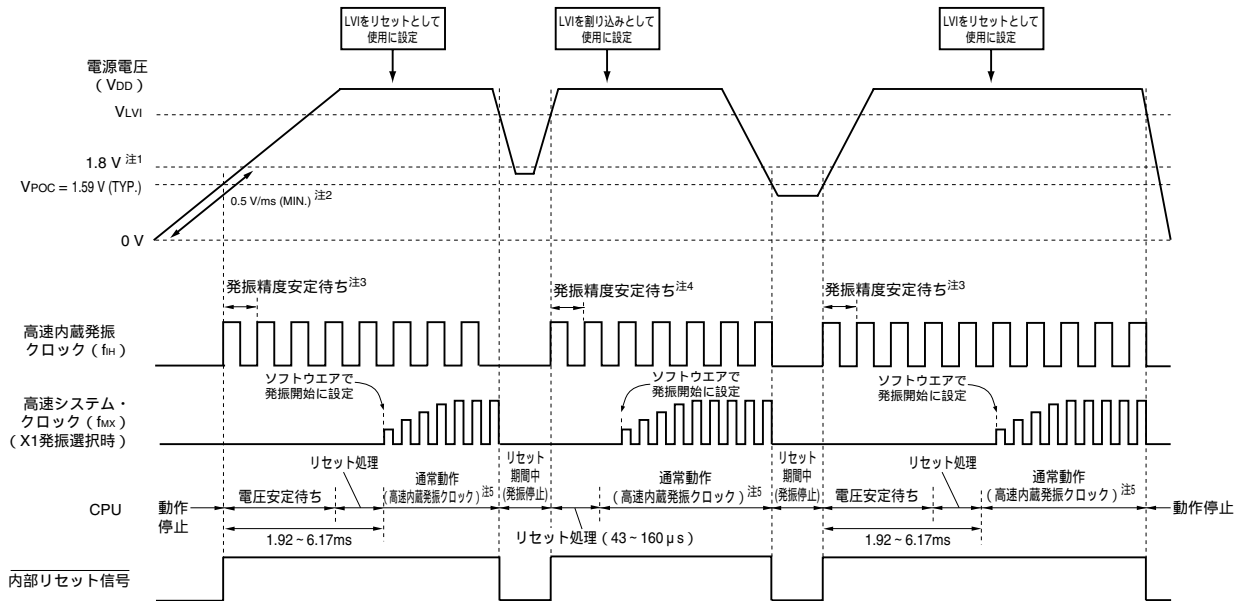
注意 オプション・バイトで、低電圧検出(LVI)回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.07\text{ V} \pm 0.2\text{ V}$ を越えるまでリセットは解除されません。

- ・電源電圧 (V_{DD}) と検出電圧 ($V_{POC} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{POC}$ になったとき内部リセット信号を発生します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図21 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1/2)

(1) 電源立ち上げ時のLVIがOFFの場合 (オプション・バイト : LVIOFF = 1)



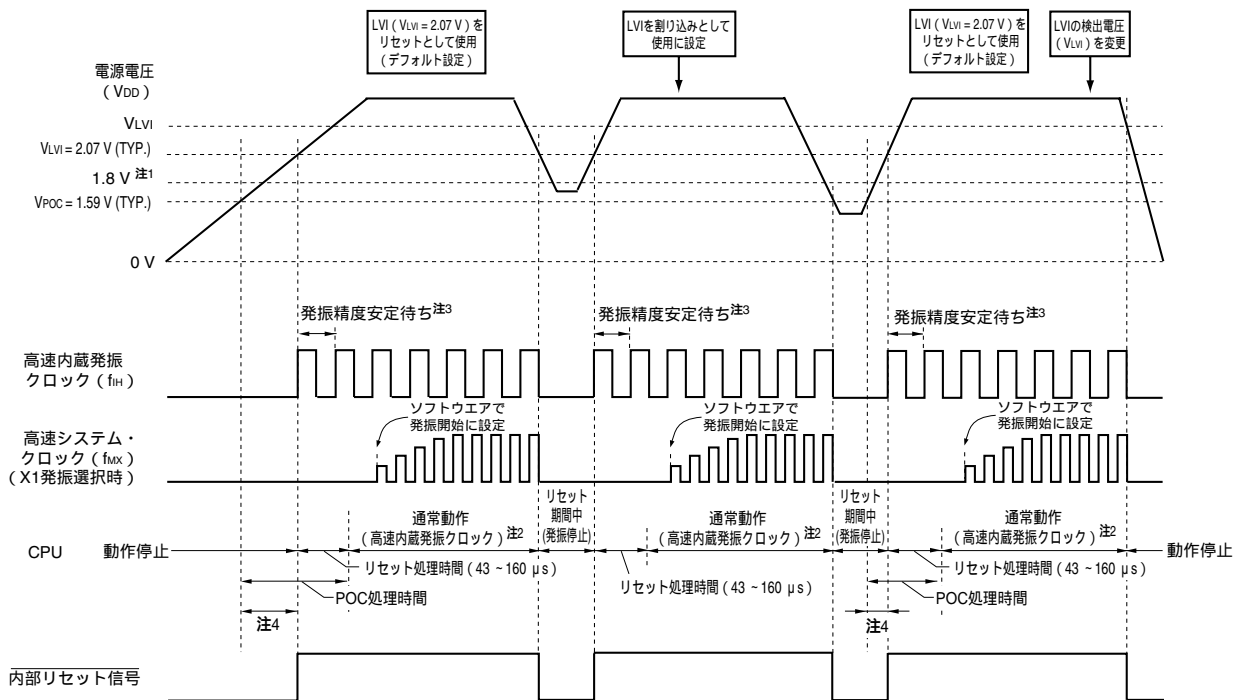
- 注1. 動作保証範囲は、1.8 V V_{DD} 5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
- 2. 電源投入時から1.8 Vに達するまでの電圧の立ち上がり率が、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトでLVIをデフォルトでON (オプション・バイト : LVIOFF = 0) に設定してください。
- 3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ち時間に含まれます。
- 4. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 5. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第22章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

図21 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2/2)

(2) 電源立ち上げ時のLVIがONの場合 (オプション・バイト : LVIOFF = 0)



- 注1. 動作保証範囲は、1.8 V V_{DD} 5.5 Vです。電源立ち下がり時に1.8 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
4. POC検出電圧 (1.59 V (TYP.)) に達してから、通常動作を開始するまでには、次に示す時間が必要となります。
- ・ 1.59 V (TYP.) 2.07 V (TYP.) に到達する時間 < 6.17 msの場合
1.59 V (TYP.) 通常動作までに1.92 ~ 6.33 msのPOC処理時間がかかります。
 - ・ 1.59 V (TYP.) 2.07 V (TYP.) に到達する時間 > 6.17 msの場合
2.07 V (TYP.) 通常動作までに43 ~ 160 μ sのリセット処理時間がかかります。

注意 低電圧検出回路をデフォルトの設定から変更する場合は、リセット解除後にソフトウェアで設定してください (第22章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POC} : POC検出電圧

21.4 パワーオン・クリア回路の注意事項

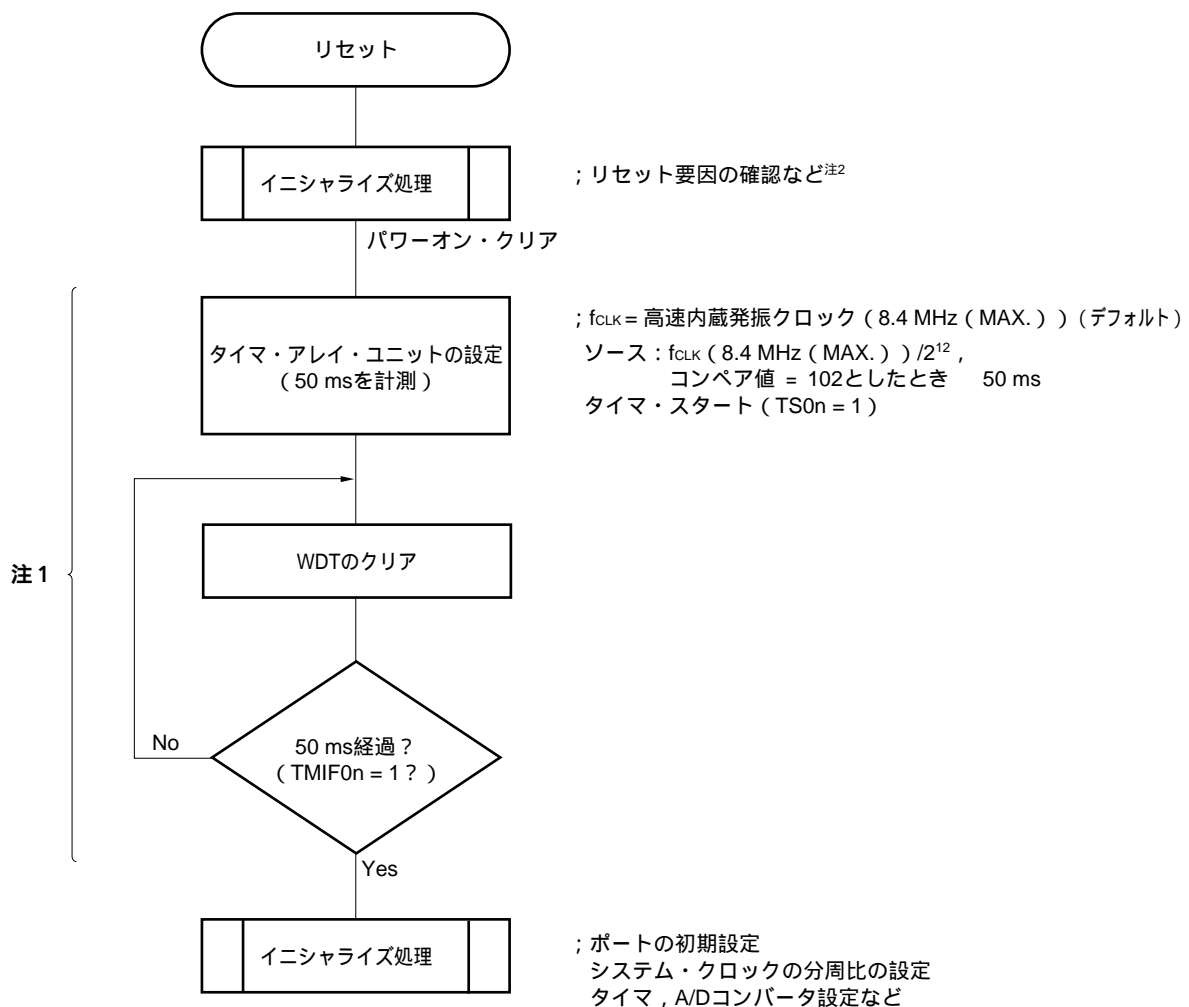
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図21-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合



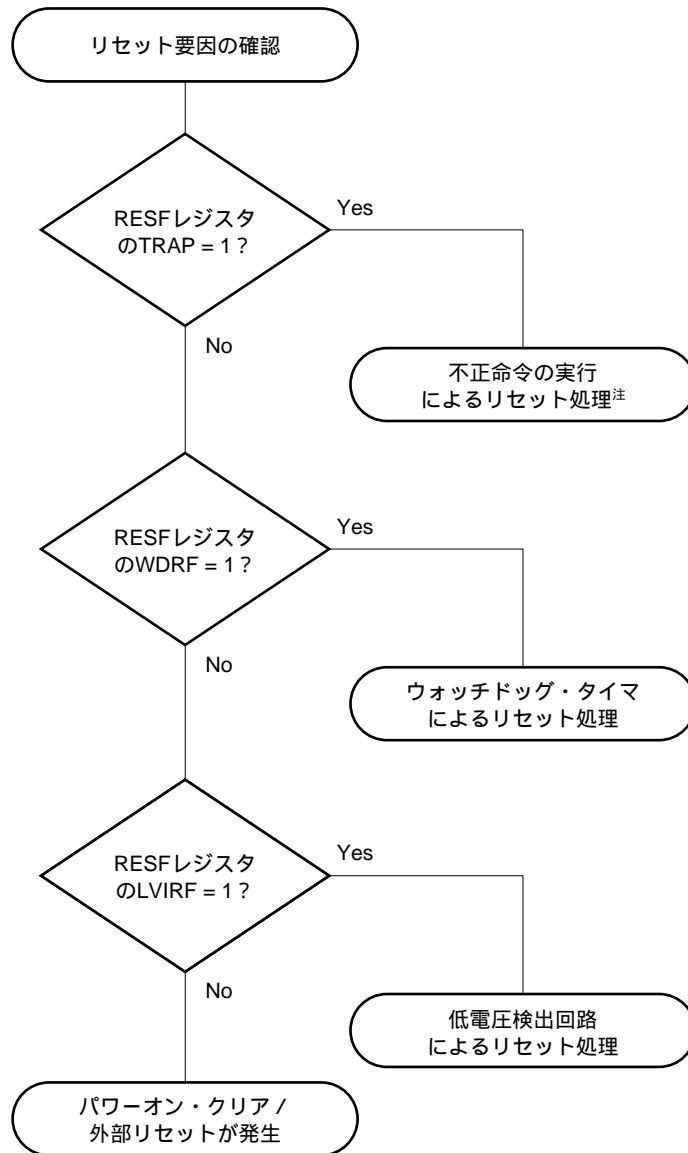
注1 . この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2 . 次ページにフロー・チャートを示します。

備考 n = 0-7

図21-3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第22章 低電圧検出回路

22.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、内部リセット^注または内部割り込み信号を発生します。
- ・オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。ONに設定し、POC 検出電圧以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.2 V$) のときに内部リセット信号^注を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.1 V$) のときに内部リセット信号^注を発生します。
- ・検出対象を電源電圧 (V_{DD}) にするか、外部入力端子からの入力電圧 ($EXLVI$) にするかを、ソフトウェアにて選択できます。
- ・検出後にリセットを発生するか、割り込みを発生するかを、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを16段階より選択できます。
- ・STOPモード時においても動作可能です。

注 LVIリセットが解除されてから、通常動作までのリセット処理時間は、**図21 - 2 (2) 電源立ち上げ時のLVIがONの場合 (オプション・バイト: LVIOFF = 0)** のタイミングを参照してください。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 (LVISEL = 0)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 (LVISEL = 1)	
リセット選択 (LVIMD = 1)	割り込み選択 (LVIMD = 0)	リセット選択 (LVIMD = 1)	割り込み選択 (LVIMD = 0)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 LVISEL : 低電圧検出レジスタ (LVIM) のビット2

LVIMD : LVIMのビット1

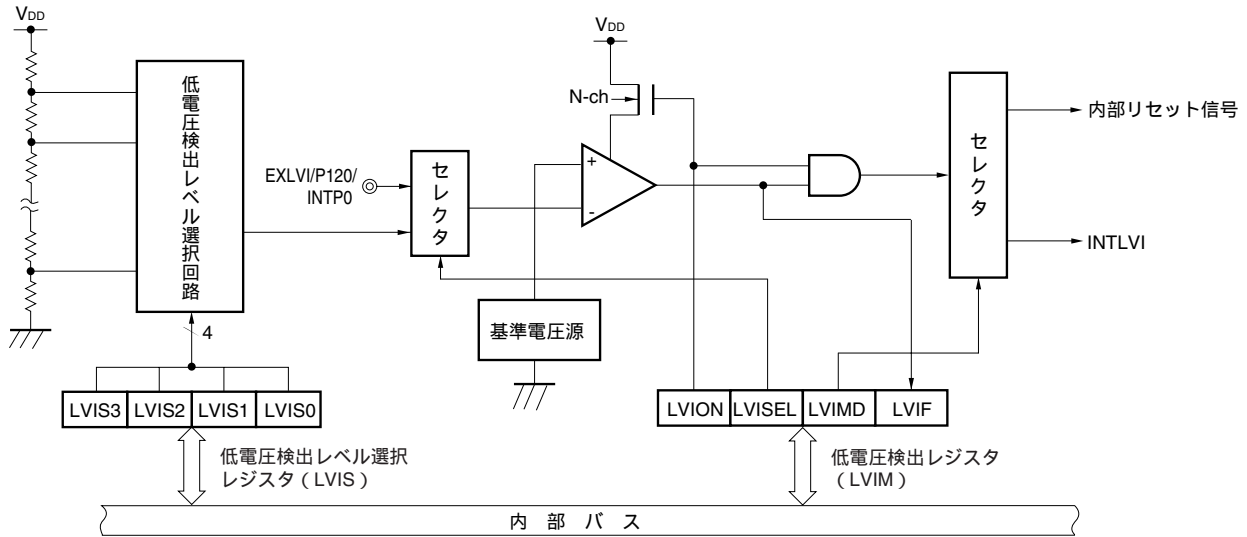
低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ (RESF) のビット0 (LVIRF) がセット (1) されます。RESFについての詳細は、**第20章 リセット機能** を参照してください。

22.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図22 - 1に示します。

図22 - 1 低電圧検出回路のブロック図



22.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3, 4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} > V_{LVI}になったとき内部割り込み信号を発生 LVISEL=1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI > V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, V_{DD} > V_{LVI}時に内部リセット解除 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI > V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) > 検出電圧 (V_{LVI}), またはLVI動作禁止時 LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) > 検出電圧 (V_{EXLVI}), またはLVI動作禁止時
1	<ul style="list-style-type: none"> LVISEL=0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL=1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. リセット値は, リセット要因およびオプション・バイトの設定により変化します。

LVIリセット時は, クリア (00H) されません。

LVI以外のリセット時は, オプション・バイトLVIOFF = 0のときには, “82H” になり, オプション・バイトLVIOFF = 1のときには, “00H” にリセットされます。

- ビット0はRead Onlyです。
- LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。
- LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1)してからLVIFで電圧を確認するまでに, 次の時間をソフトウェアでウェイトしてください。
 - 動作安定時間 (10 μs (MAX.))
 - 最小パルス幅 (200 μs (MIN.))
 - 検出遅延時間 (200 μs (MAX.))

この期間のLVIFの値は電圧レベルによらず, セット/クリアされる可能性があり使用できません。また, この期間は割り込み要求フラグのLVIIFフラグがセット (1) される可能性もあります。

(注意は, 次ページにあります)

- 注意1. LVIを停止する場合は、次のいずれかの手順を行ってください。
- ・8ビット・メモリ操作命令の場合：LVIMに“00H”を書き込む
 - ・1ビット・メモリ操作命令の場合：LVIONをクリア(0)
2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
3. LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIIF = 1 となることがあります。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、0EHになります。

図22 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス：FFFAAH リセット時：0EH[※] R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	V_{LVI0} (4.22 ± 0.1 V)
0	0	0	1	V_{LVI1} (4.07 ± 0.1 V)
0	0	1	0	V_{LVI2} (3.92 ± 0.1 V)
0	0	1	1	V_{LVI3} (3.76 ± 0.1 V)
0	1	0	0	V_{LVI4} (3.61 ± 0.1 V)
0	1	0	1	V_{LVI5} (3.45 ± 0.1 V)
0	1	1	0	V_{LVI6} (3.30 ± 0.1 V)
0	1	1	1	V_{LVI7} (3.15 ± 0.1 V)
1	0	0	0	V_{LVI8} (2.99 ± 0.1 V)
1	0	0	1	V_{LVI9} (2.84 ± 0.1 V)
1	0	1	0	V_{LVI10} (2.68 ± 0.1 V)
1	0	1	1	V_{LVI11} (2.53 ± 0.1 V)
1	1	0	0	V_{LVI12} (2.38 ± 0.1 V)
1	1	0	1	V_{LVI13} (2.22 ± 0.1 V)
1	1	1	0	V_{LVI14} (2.07 ± 0.1 V)
1	1	1	1	V_{LVI15} (1.91 ± 0.1 V)

注 リセット値は、リセット要因により変化します。

LVIによるリセットのときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“0EH”にリセットされます。

注意1. ビット7-4には必ず“0”を設定してください。

注意2. LVISの値を変更する場合は、次のいずれかの方法で行ってください。

・LVIを停止させて変更する場合

LVIを停止する (LVION = 0)。

LVISレジスタを変更する。

割り込みとして使用 (LVIMD = 0) モードにする。

LVIの割り込みをマスクする (LVIMK = 1)。

LVIを動作許可する (LVION = 1)。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVI動作許可時にLVIIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

・割り込みとして使用 (LVIMD = 0) モードに設定して変更する場合

LVIの割り込みをマスクする (LVIMK = 1)。

割り込みとして使用 (LVIMD = 0) モードにする

LVISレジスタを変更する。

LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVISレジスタ変更時にLVIIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図22 - 4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス : FFF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

22.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 (V_{EXLVI}) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

備考 オプション・バイトにて、低電圧検出 (LVI) 回路をデフォルトでONに設定できます。

ONに設定し、POC検出電圧以下から電源を立ち上げた場合は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.2 V$) のときに内部リセット信号を発生します。それ以降は、電源電圧 (V_{DD}) < 検出電圧 ($V_{LVI} = 2.07 V \pm 0.1 V$) のときに内部リセット信号を発生します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF: LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD: 低電圧検出レジスタ (LVIM) のビット1
LVISEL: LVIMのビット2

22.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1)

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に "0" (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に "1" (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計410 μ s) をウェイトする。

- ・ 動作安定時間 (10 μ s (MAX.))
- ・ 最小パルス幅 (200 μ s (MIN.))
- ・ 検出遅延時間 (200 μ s (MAX.))

「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であることを、LVIMのビット0 (LVIF) で確認するまで待つ

LVIMのビット1 (LVIMD) に “ 1 ” (レベル検出時リセット発生) を設定する

図22 - 5に, ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

注意1. は必ず行ってください。LVIMK = 0になっている場合, の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で, 「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。

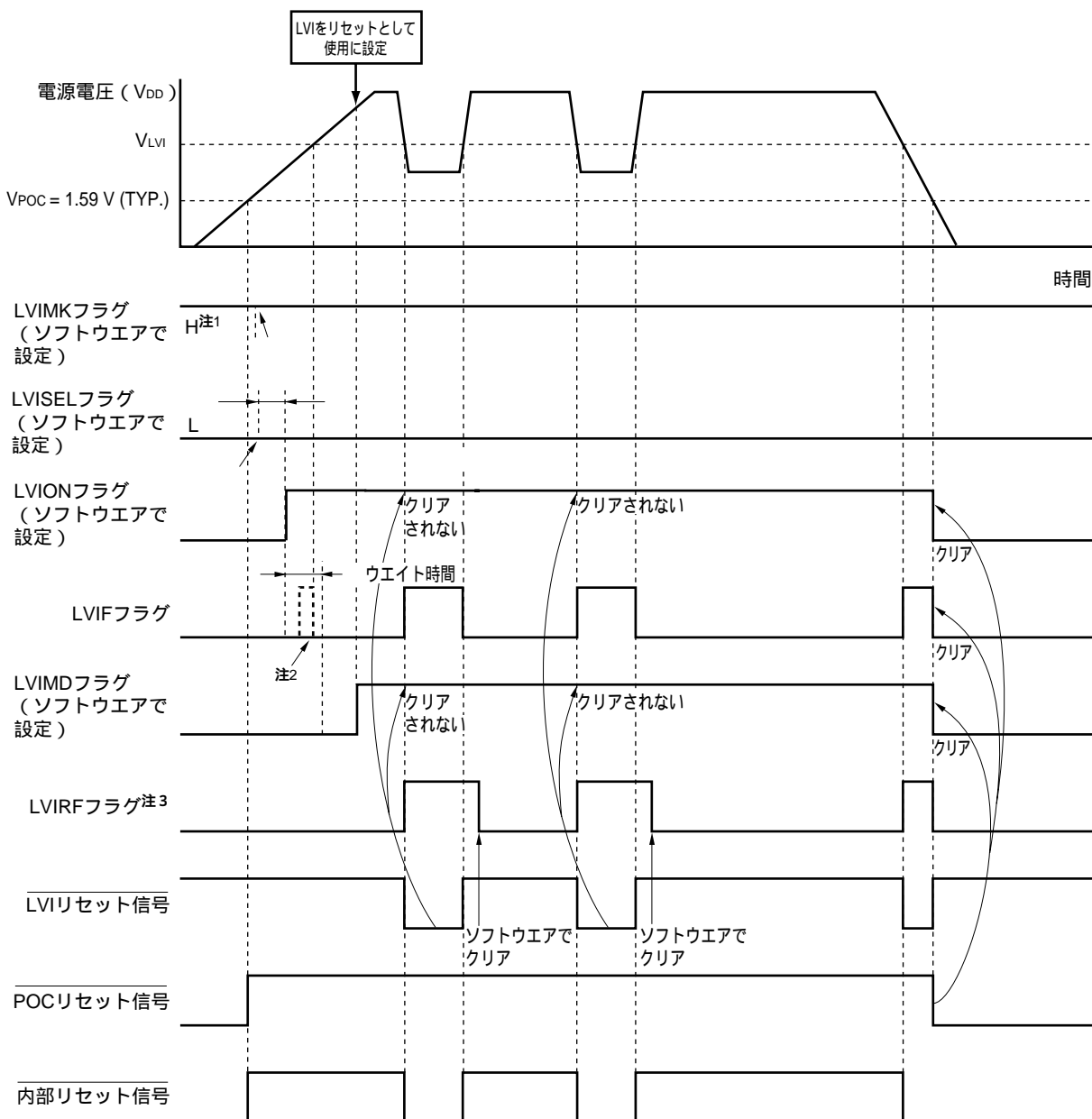
動作停止時

次のいずれかの手順を, 必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合：
LVIMに “ 00H ” を書き込む

- ・ 1ビット・メモリ操作命令の場合：
LVIMDをクリア (0) LVIONをクリア (0)

図22 - 5 内部リセット信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 1)



注1. LVIMKフラグはリセット信号の発生により, “1” になっています。

2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが, セット (1) される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第20章 リセット機能を参照してください。

備考 図22 - 5の ~ は, 22. 4. 1 (1) (a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の ~ と対応しています。

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は “ 1 ” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “ 0 ” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値 : V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “ 1 ” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “ 0 ” (「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

図22 - 6に、低電圧検出回路の内部リセット信号発生のタイミングを示します。

動作停止時

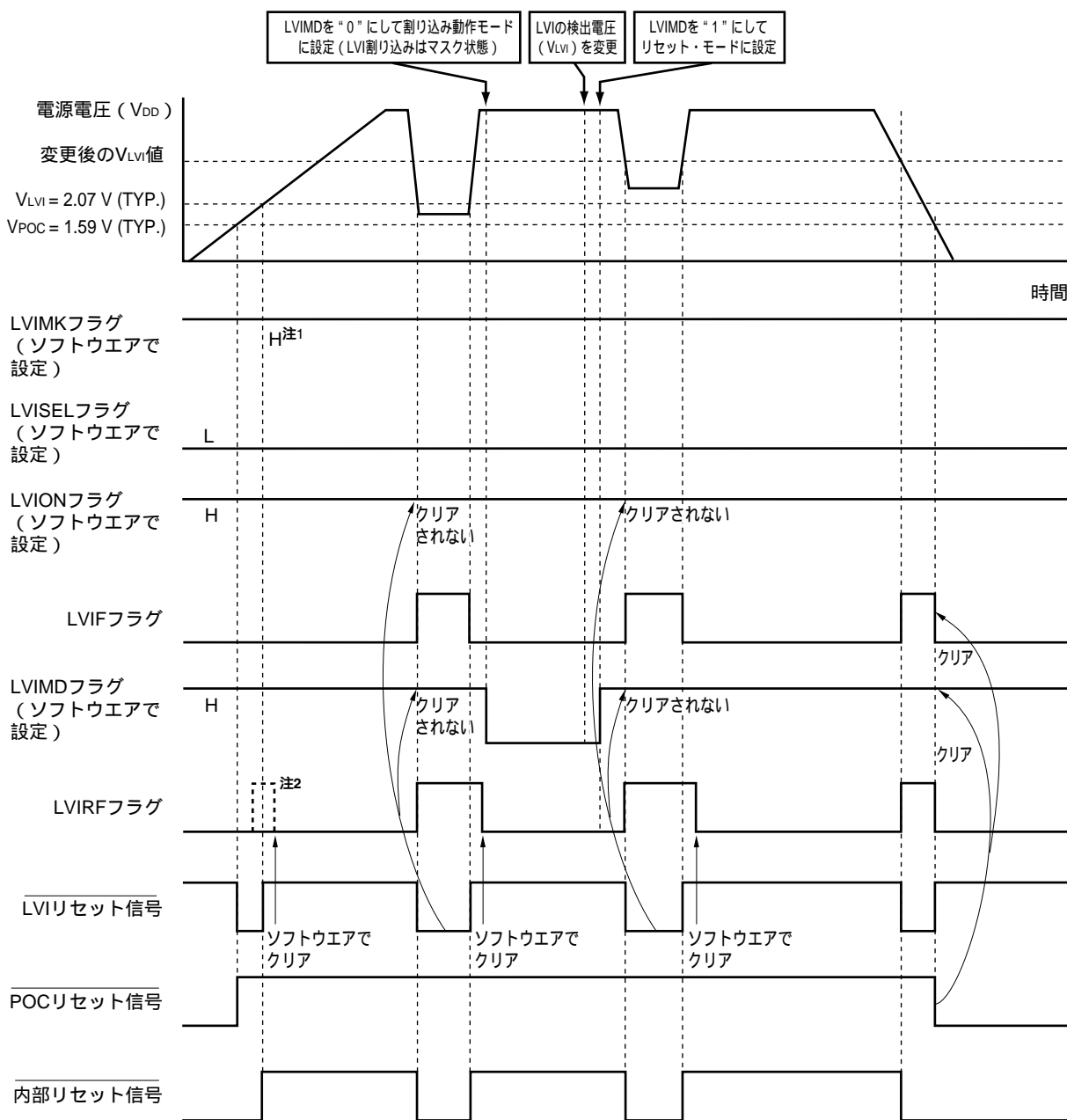
次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合 :
LVIMに “ 00H ” を書き込む
- ・ 1ビット・メモリ操作命令の場合 :
LVIMDをクリア (0) LVIONをクリア (0)

注意 LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

- ・ LVION = 0の期間は低電圧検出しない。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。
これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

図22 - 6 内部リセット信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。

LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第20章 リセット機能を参照してください。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計410 μ s) をウェイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))
- ・検出遅延時間 (200 μ s (MAX.))

「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」であることを、LVIMのビット0 (LVIF) で確認するまで待つ

LVIMのビット1 (LVIMD) に “1” (レベル検出時にリセット発生) を設定する

図22 - 7に、 ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

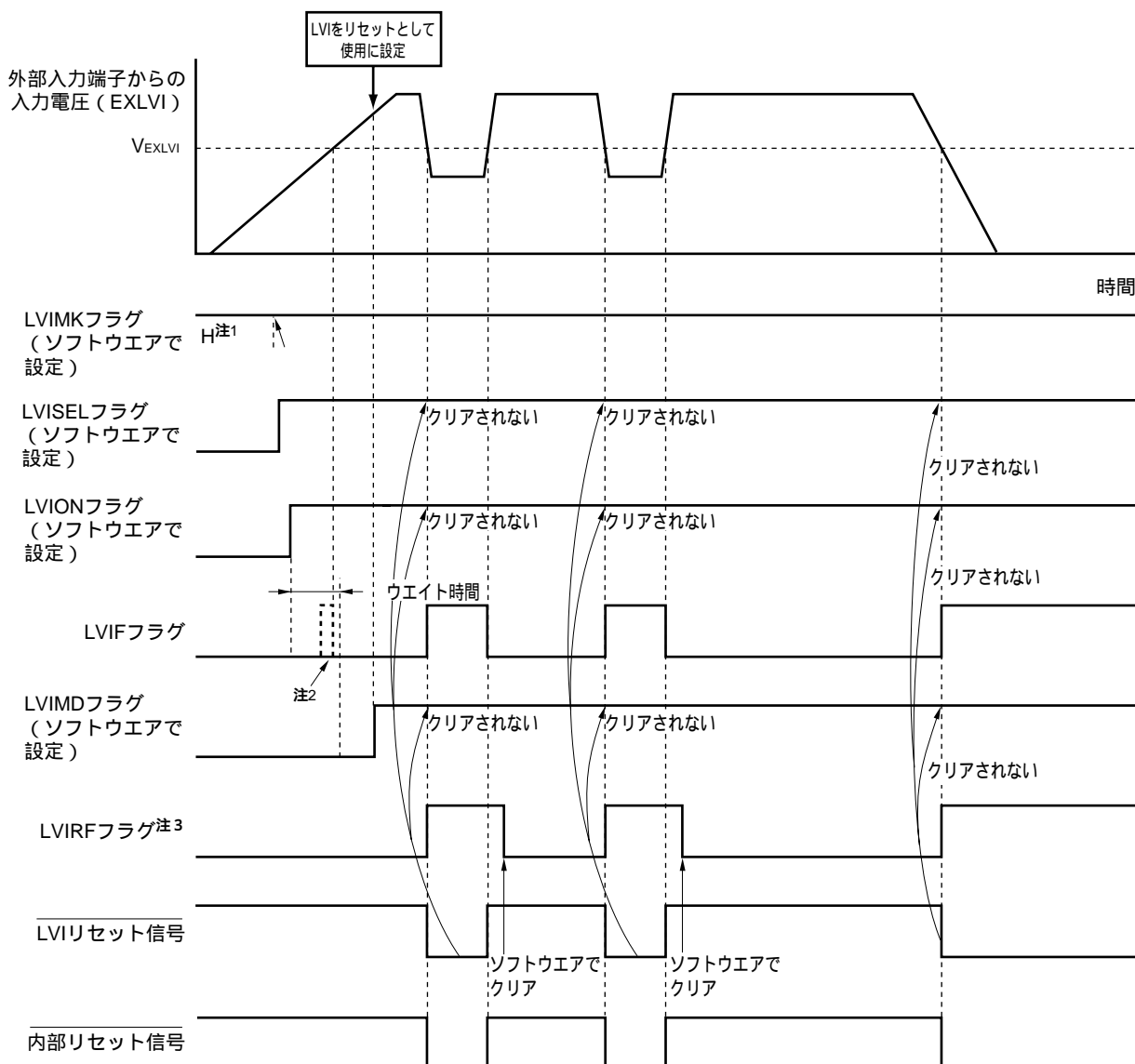
2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
3. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに “00H” を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIMDをクリア (0) LVIONをクリア (0)

図22 - 7 内部リセット信号発生タイミング (ビット : LVISEL = 1)



注1 . LVIMKフラグはリセット信号の発生により、“1”になっています。

2 . LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット(1)される可能性があります。

3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第20章 リセット機能を参照してください。

備考 図22 - 7の ~ は、22. 4. 1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

22.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

(a) LVIデフォルト・スタート機能停止に設定時 ($LVIOFF = 1$)

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ (LVIM) のビット2 ($LVISEL$) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

LVIMのビット1 ($LVIMD$) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 ($LVIS3$ - $LVIS0$) で検出電圧を設定する

LVIMのビット7 ($LVION$) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計410 μs) をウエイトする。

- ・動作安定時間 (10 μs (MAX.))
- ・最小パルス幅 (200 μs (MIN.))
- ・検出遅延時間 (200 μs (MAX.))

立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を、LVIMのビット0 ($LVIF$) で確認する

LVIの割り込み要求フラグ ($LVIIF$) をクリア (0) する

LVIの割り込みマスク・フラグ ($LVIMK$) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図22 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

動作停止時

次のいずれかの手順を、必ず実行してください。

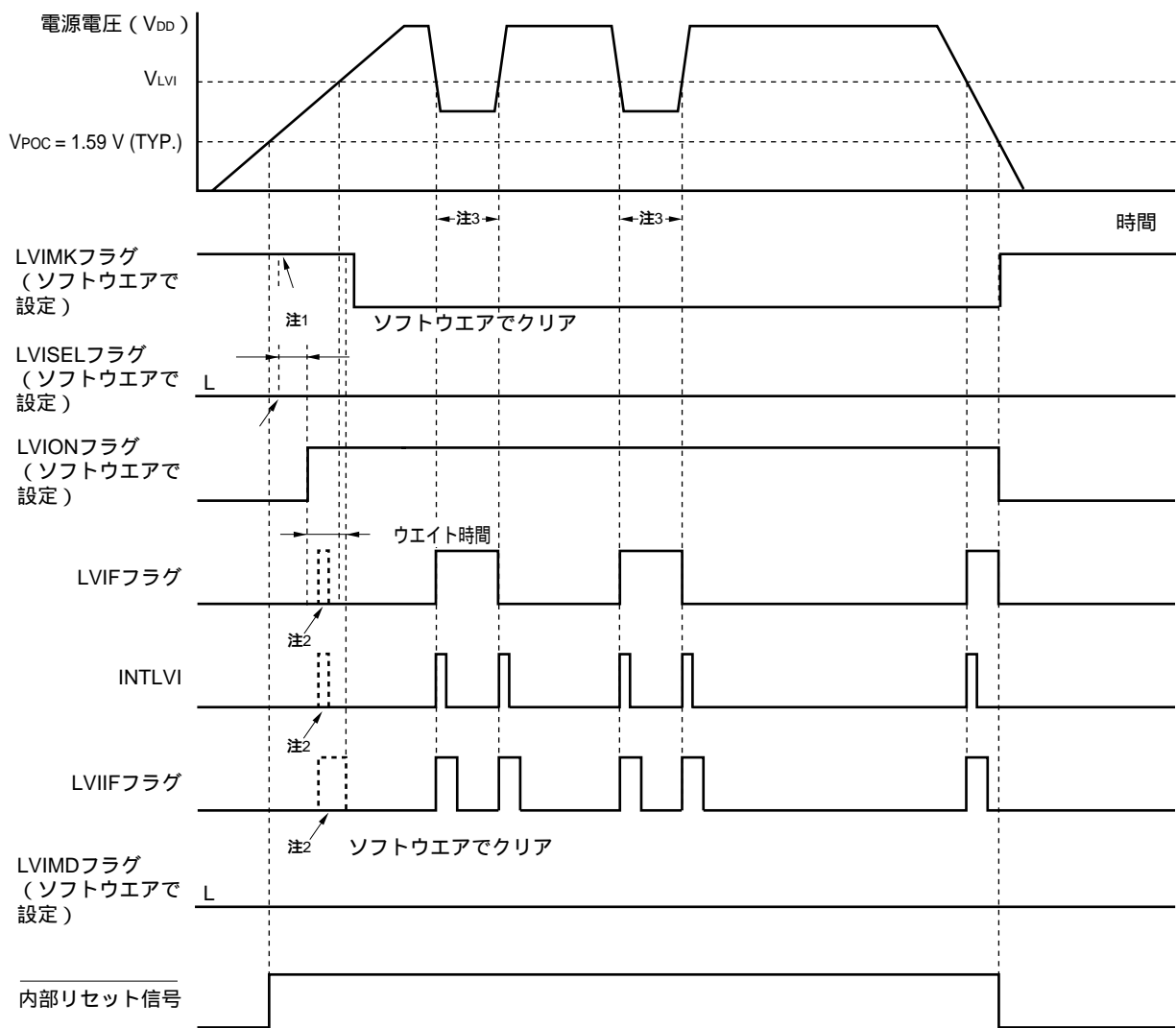
- ・8ビット・メモリ操作命令の場合：

LVIMに “00H” を書き込む

- ・1ビット・メモリ操作命令の場合：

LVIONをクリア (0)

図22 - 8 割り込み信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 1)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIFフラグがセット (1) される可能性があります。
3. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIIF = 1となることがあります。

備考 図22 - 8の ~ は、22.4.2 (1) (a) LVIデフォルト・スタート機能停止に設定時 (LVIOFF = 1) 動作開始時の ~ と対応しています。

(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0)

動作開始時

次の初期設定の状態です。

- ・ LVIMのビット7 (LVION) は “1” (LVI動作許可)
- ・ 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) は “0” (電源電圧 (V_{DD}) のレベルを検出)
- ・ 低電圧検出レベル選択レジスタ (LVIS) は 0EH (デフォルト値: V_{LVI} = 2.07 ± 0.1 V)
- ・ LVIMのビット1 (LVIMD) は “1” (レベル検出時リセット発生)
- ・ LVIMのビット0 (LVIF) は “0” (立ち下がりを検出する「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」)

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み発生) を設定する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図22 - 9に、 ~ と対応した低電圧検出回路の割り込み信号発生タイミングを示します。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・ 8ビット・メモリ操作命令の場合：
 - LVIMに “00H” を書き込む
- ・ 1ビット・メモリ操作命令の場合：
 - LVIONをクリア (0)

注意1. LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。

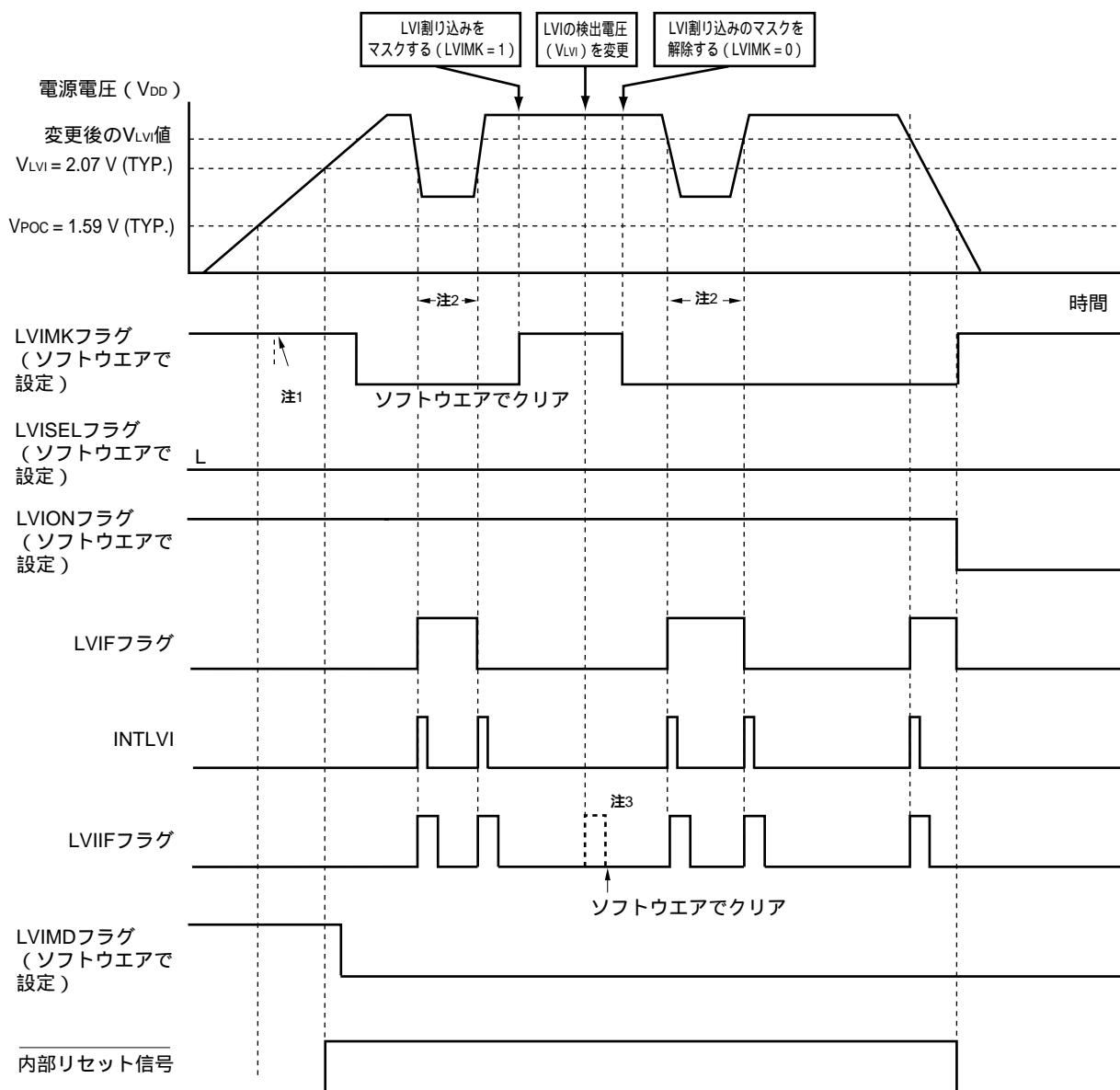
- ・ LVION = 0の期間は低電圧検出しません。
- ・ LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。

これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。

2. LVIデフォルト・スタート機能使用時 (000C1Hのビット0 (LVIOFF) = 0) は、電源立ち上がり波形により、LVIRFフラグが最初から1になることがあります。

RESFについての詳細は、第20章 リセット機能を参照してください。

図22 - 9 割り込み信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 0)



- 注1. LVIMKフラグはリセット信号の発生により, "1" になっています。
2. 電源電圧 (V_{DD}) 検出電圧 (V_{LV1}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。
3. LVIの検出電圧変更時にLVIIIFフラグがセットされることがあります。

備考 図22 - 9の ~ は, 22.4.2(1)(b) LVIデフォルト・スタート機能動作に設定時 (LVIOFF = 0) 動作開始時の ~ と対応しています。

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に "1" (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する

LVIMのビット1 (LVIMD) に "0" (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

LVIMのビット7 (LVION) に "1" (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計410 μ s) をウェイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))
- ・検出遅延時間 (200 μ s (MAX.))

立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、LVIMのビット0 (LVIF) で確認する

LVIの割り込み要求フラグ (LVIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

図22 - 10に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

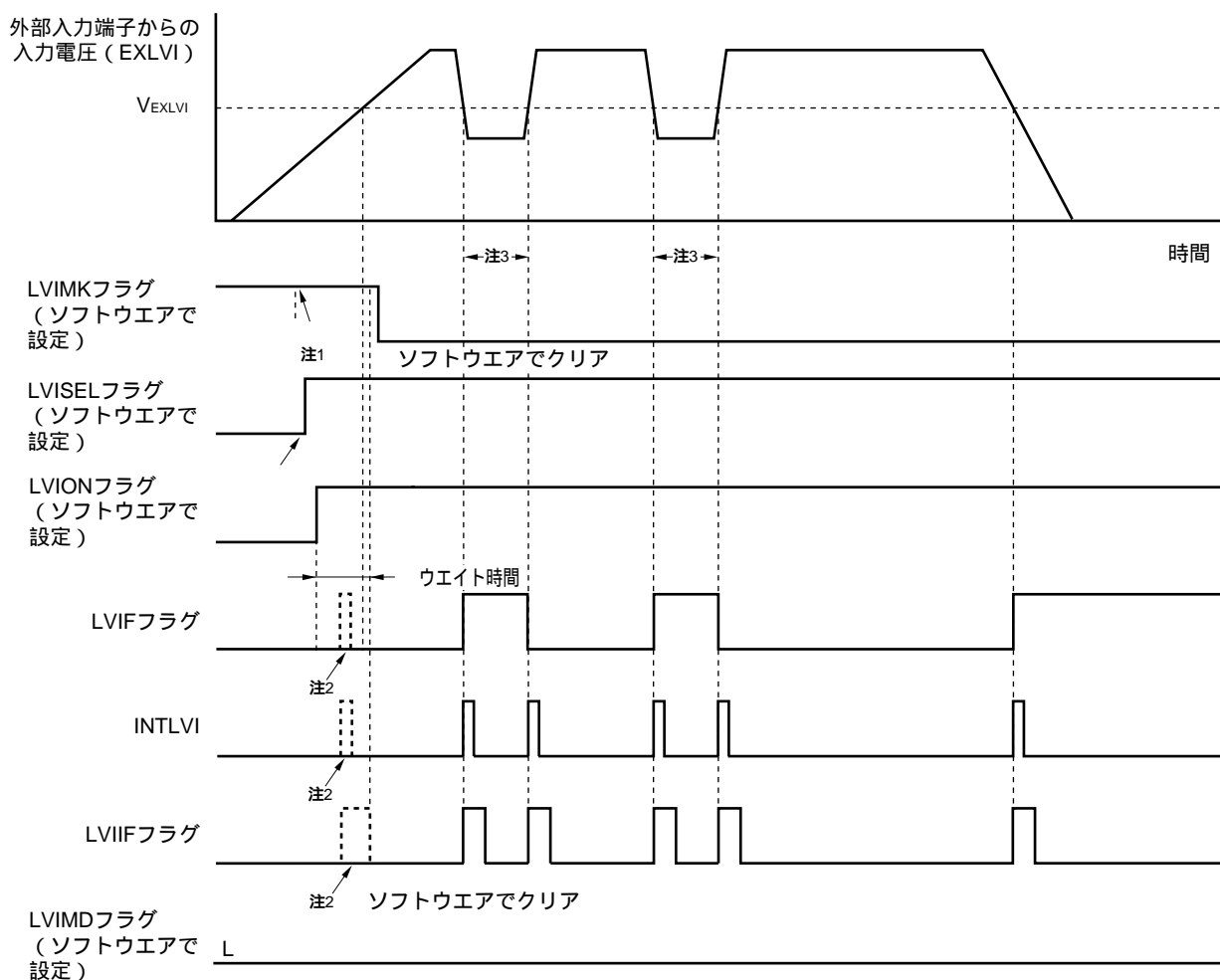
注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

次のいずれかの手順を、必ず実行してください。

- ・8ビット・メモリ操作命令の場合：
 - LVIMに "00H" を書き込む
- ・1ビット・メモリ操作命令の場合：
 - LVIONをクリア (0)

図22 - 10 割り込み信号発生タイミング (ビット : LVISEL = 1)



- 注1 . LVIMKフラグはリセット信号の発生により, “1” になっています。
- 2 . 割り込み要求信号 (INTLVI) が発生し, LVIFフラグ, LVIIFフラグがセット (1) される可能性があります。
- 3 . 外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI}) の時にLVI動作禁止 (LVIONをクリア) とすると, 割り込み要求信号 (INTLVI) が発生しLVIIF = 1となることがあります。

備考 図22 - 10の ~ は, 22. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

22.5 低電圧検出回路の注意事項

(1) 電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で頻繁に変動をする場合の処置方法

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

動作例1 : リセットとして使用する場合

リセット状態/リセット解除状態を繰り返すことがあります。

次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

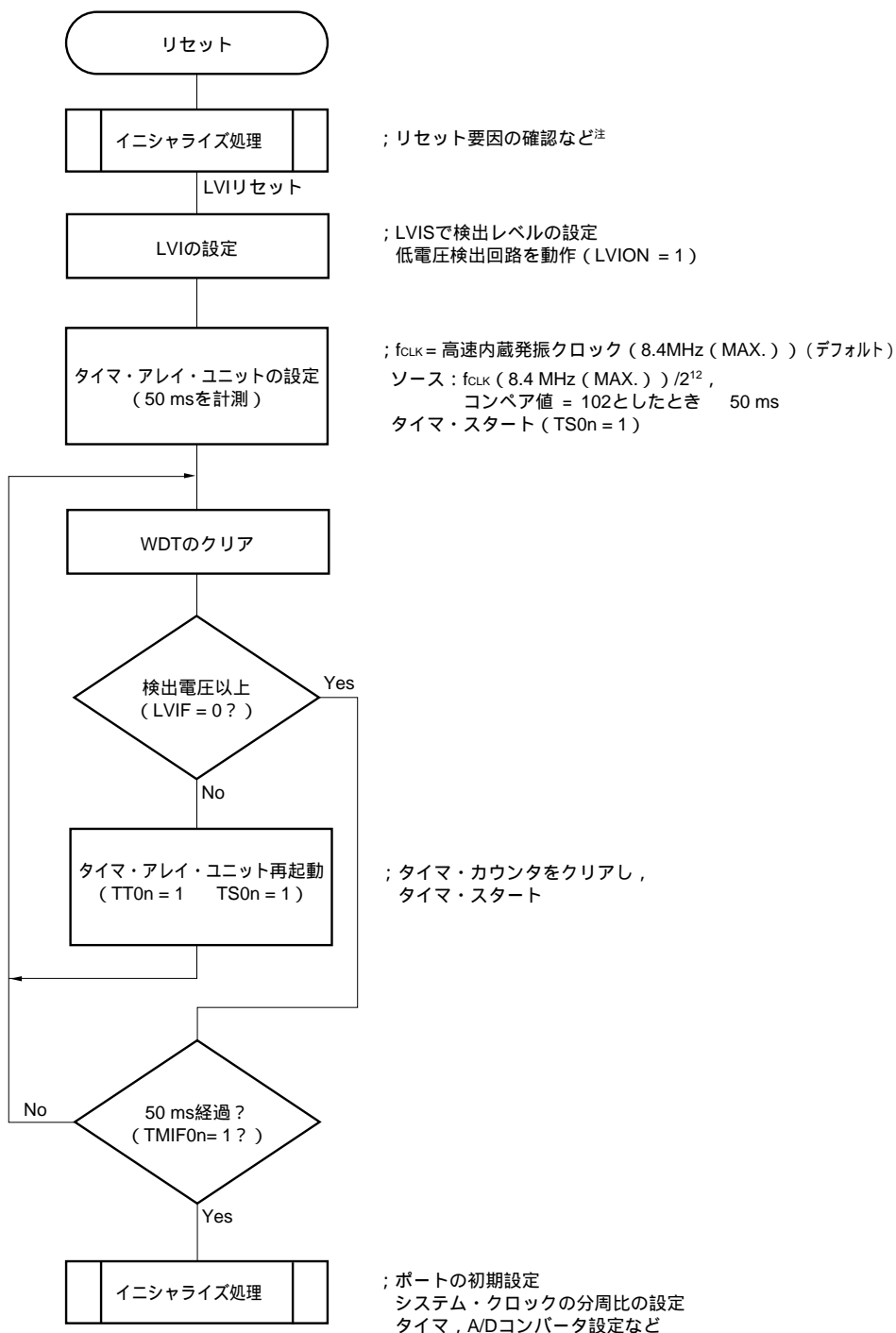
リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください (図22 - 11を参照)。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “ 1 ” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (V_{EXLVI})
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21\text{ V}$)

図22 - 11 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

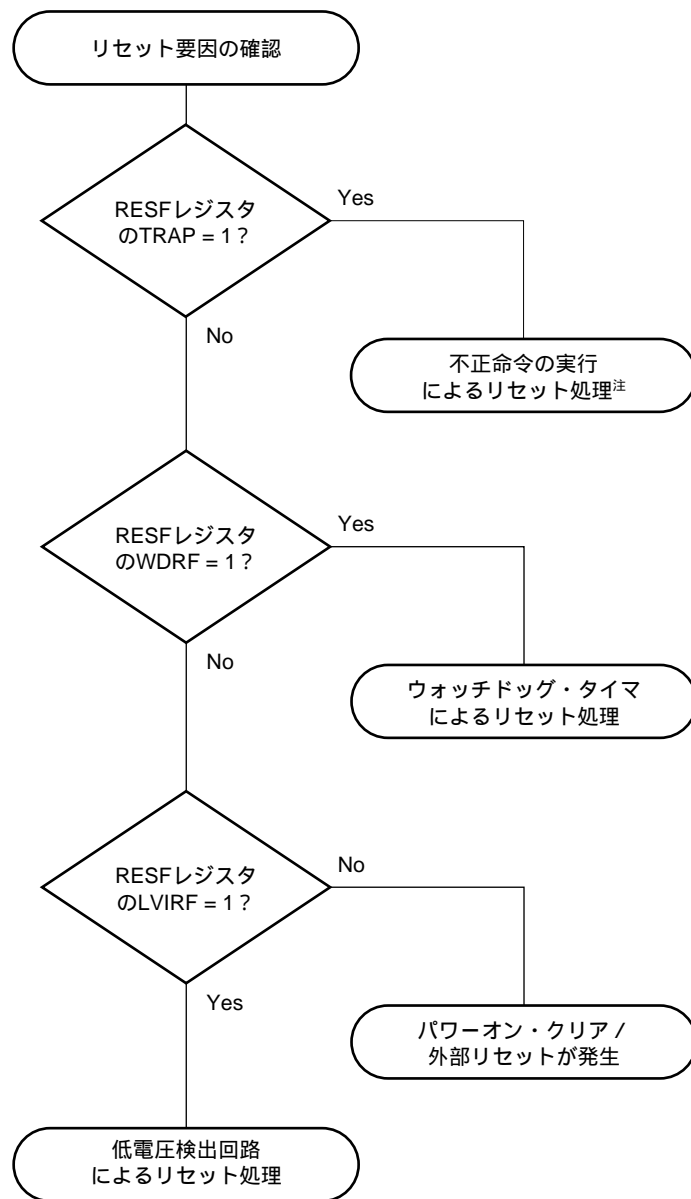
備考1. 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “ 1 ” を設定した場合は, 上記の語句を次のように読み替えてください。

- ・ 電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・ 検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

2. n = 0-7

図22 - 11 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

動作例2 : 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。

次の処置を行うようにしてください。

< 処 置 >

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は“電源電圧 (V_{DD}) 検出電圧 (V_{LVI})”を、立ち上がりを検出する場合は“電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})”を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット1 (LVIIF) をクリア (0) してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとにこれらの処置を行ってください。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21 V$)

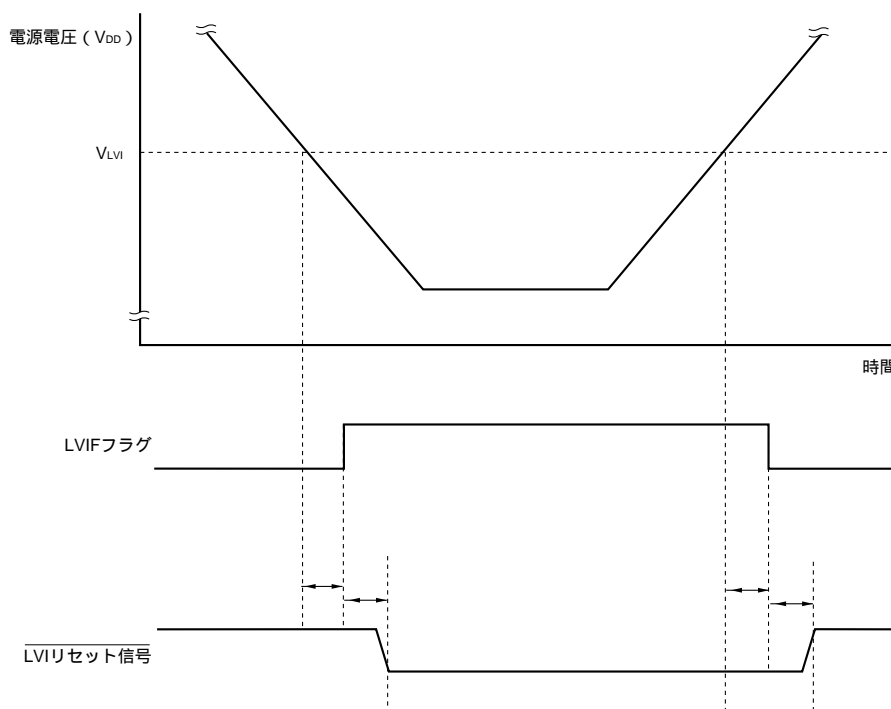
(2) LVIリセット要因発生からLVIリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVI検出電圧 (V_{LVI}) になってから、LVIリセットが発生するまでには遅延が生じます。

同じようにLVI検出電圧 (V_{LVI}) 電源電圧 (V_{DD}) になってから、LVIリセットが解除されるまでにも遅延が生じます (図22 - 12参照)。

LVIリセットが解除されてから、通常動作までのリセット処理時間は、図21 - 2 (2) 電源立ち上げ時のLVIがONの場合 (オプション・バイト: LVIOFF = 0) のタイミングを参照してください。

図22 - 12 LVIリセット要因発生からLVIリセット発生または解除までの遅延



: 最小パルス幅 (200 μs (MIN.))

: 検出遅延時間 (200 μs (MAX.))

第23章 レギュレータ

23.1 レギュレータの概要

78K0R/KG3は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、V_{SS}に接続してください。ただし、高速内蔵発振クロック、外部メイン・システム・クロック動作時からのSTOPモードを使用する場合は、0.47 μ Fを推奨します。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常は2.5V(TYP.)、低消費電流モードでは1.8V(TYP.)です。

23.2 レギュレータを制御するレジスタ

(1) レギュレータ・モード制御レジスタ(RMC)

レギュレータの出力電圧を設定するレジスタです。

RMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図23 - 1 レギュレータ・モード制御レジスタ(RMC)のフォーマット

アドレス：F00F4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RMC								

RMC[7:0]	レギュレータの出力電圧の制御
5AH	低消費電流モード(1.8V)固定
00H	条件によって通常電流モード(2.5V)と低消費電流モード(1.8V)を切り替える(表23 - 1参照)
上記以外	設定禁止

注意1. RMCレジスタは、低消費電力モード時(表23 - 1参照)でのみ書き換えが可能です。つまり、サブシステム・クロック(f_{xt})でCPU動作中で、高速システム・クロック(f_{mx})と高速内蔵発振クロック(f_{ih})が共に停止している状態で書き換えを行ってください。

2. 低消費電流モード固定の設定で使用する場合は、以下の場合にかぎり使用可能です。

<CPUクロックにX1クロック選択時>

f_x 5 MHzかつ f_{clk} 5 MHz

<CPUクロックに高速内蔵発振クロック、外部入力クロック、サブシステム・クロック選択時>

f_{clk} 5 MHz

3. 低消費電流モード時は、セルフ・プログラミング機能を使用禁止です。

表23 - 1 レギュレータ出力電圧条件

モード	出力電圧	条 件
低消費電流モード	1.8 V	システム・リセット期間中
		STOPモード時 (OCDモード中は除く)
		サブシステム・クロック (f_{XT}) でCPU動作中で、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_{IH}) が共に停止
通常電流モード	2.5 V	上記以外

第24章 オプション・バイト

24.1 オプション・バイトの機能

78K0R/KG3のフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 000C2H (ブート・スワップ使用時は000C2H/010C2H) には、必ずFFHを設定してください。

24.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

ウォッチドッグ・タイマの動作

- ・HALT/STOPモード時の動作停止 / 可能

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマの動作

- ・動作停止 / 可能

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのインターバル割り込み

- ・使用する / 使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

リセット解除時 (電源立ち上げ時) のLVIの設定

- ・リセット解除時 (LVIを除くRESET端子, POC, WDT, 不正命令によるリセット), LVIがデフォルトでON / OFF

注意 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

(3) 000C2H/010C2H

予約領域です。必ずFFHを設定してください。

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

24.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止 / 許可

セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する / 消去しない

注意 ブート・スワップ時は, 000C3Hと010C3Hが切り替わるので, 010C3Hにも000C3Hと同じ値を設定してください。

24.2 ユーザ・オプション・バイトのフォーマット

図24-1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット (1/2)

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止 (リセット解除後, カウント停止)
1	カウンタ動作許可 (リセット解除後, カウント開始)

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間
0	0	0	2 ¹⁰ /f _{IL} (3.88 ms)
0	0	1	2 ¹¹ /f _{IL} (7.76 ms)
0	1	0	2 ¹² /f _{IL} (15.52 ms)
0	1	1	2 ¹³ /f _{IL} (31.03 ms)
1	0	0	2 ¹⁵ /f _{IL} (124.12 ms)
1	0	1	2 ¹⁷ /f _{IL} (496.48 ms)
1	1	0	2 ¹⁸ /f _{IL} (992.97 ms)
1	1	1	2 ²⁰ /f _{IL} (3971.88 ms)

図24 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット (2/2)

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

- 注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。
2. WDSTBYON = 0のときは, WINDOW1, WINDOW0の値に関係なく, ウィンドウ・オープン期間100%となります。

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウィンドウ・サイズを設定してください。

- 備考1. f_{IL} : 低速内蔵発振クロック周波数
2. () 内は, $f_{IL} = 264 \text{ kHz (MAX.)}$ の場合

図24 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	LVIOFF
LVIOFF	電源立ち上げ時のLVIの設定						
0	リセット解除時 (電源立ち上げ時), LVIがデフォルトでON (LVIデフォルト・スタート機能動作)						
1	リセット解除時 (電源立ち上げ時), LVIがデフォルトでOFF (LVIデフォルト・スタート機能停止)						

注 ブート・スワップ時は, 000C1Hと010C1Hが切り替わるので, 010C1Hにも000C1Hと同じ値を設定してください。

- 注意1. ビット7-1には, 必ず1を書き込んでください。
2. LVIデフォルト・スタート機能使用時でも, ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には, 次の動作となります。
- ・ LVION = 0の期間は低電圧検出しません。
 - ・ LVION = 0の期間にリセットが発生した場合, リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし, WDTIによるリセットと不正命令の実行によるリセットが発生した場合は, 正常に低電圧検出できない期間があります。
- これはLVIが検出するパルス幅が最大200 μs 必要なのに対し, リセット発生によってLVION = 1に設定されて, LVIの動作安定を待たずにCPUが動作を開始するためです。

図24 - 3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

注 000C2Hは予約領域なので、必ずFFHを設定してください。またブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

24.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図24 - 4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H^注

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する。
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない。

注 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。

ビット6-1には、必ず000010Bを書き込んでください。

備考 ビット3-1は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。

ただし、設定時にはビット3-1にも、必ず初期値 (0, 1, 0) を設定してください。

24.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にRA78K0RまたはPM+のリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

リンカ・オプションの設定方法については、RA78K0R **アセンブラ・パッケージ ユーザーズ・マニュアル**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	10H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間25%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	0FFH	; LVIデフォルト・スタート機能停止
	DB	0FFH	; 予約領域
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		10H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間25%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		0FFH	; LVIデフォルト・スタート機能停止
	DB		0FFH	; 予約領域
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第25章 フラッシュ・メモリ

78K0R/KG3は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

25.1 フラッシュ・メモリ・プログラマによる書き込み方法

78K0R/KG3の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- ・ PG-FP4, FL-PR4
- ・ PG-FP5, FL-PR5
- ・ QB-MINI2

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上に78K0R/KG3を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0R/KG3を実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考 FL-PR4, FL-PR5, FAシリーズは、（株）内藤電誠町田製作所の製品です。

表25 - 1 78K0R/KG3と専用フラッシュ・メモリ・プログラムの配線表

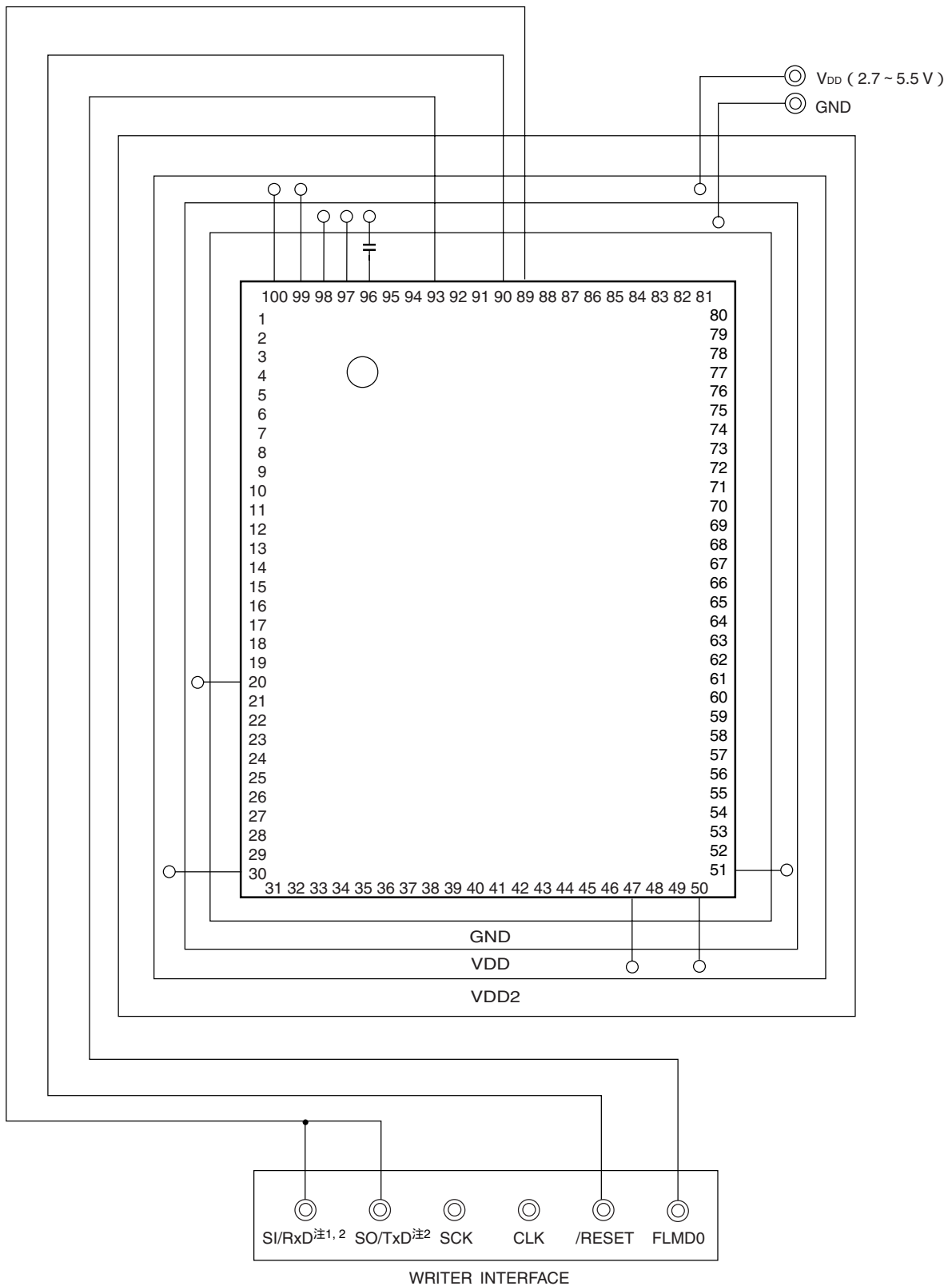
専用フラッシュ・メモリ・プログラマ接続端子			GFパッケージ		GCパッケージ	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD ^{注1,2}	入力	受信信号	TOOL0/P40	89	TOOL0/P40	12
SO/TxD ^{注2}	出力	送信信号				
SCK	出力	転送クロック	-	-	-	-
CLK	出力	クロック出力	-	-	-	-
/RESET	出力	リセット信号	RESET	90	RESET	13
FLMD0	出力	モード信号	FLMD0	93	FLMD0	16
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	99	V _{DD}	22
			EV _{DD0}	100	EV _{DD0}	23
			EV _{DD1}	30	EV _{DD1}	53
			AV _{REF0}	50	AV _{REF0}	73
			AV _{REF1}	47	AV _{REF1}	70
GND	-	グラウンド	V _{SS}	97	V _{SS}	20
			EV _{SS0}	98	EV _{SS0}	21
			EV _{SS1}	20	EV _{SS1}	43
			AV _{SS}	51	AV _{SS}	74

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

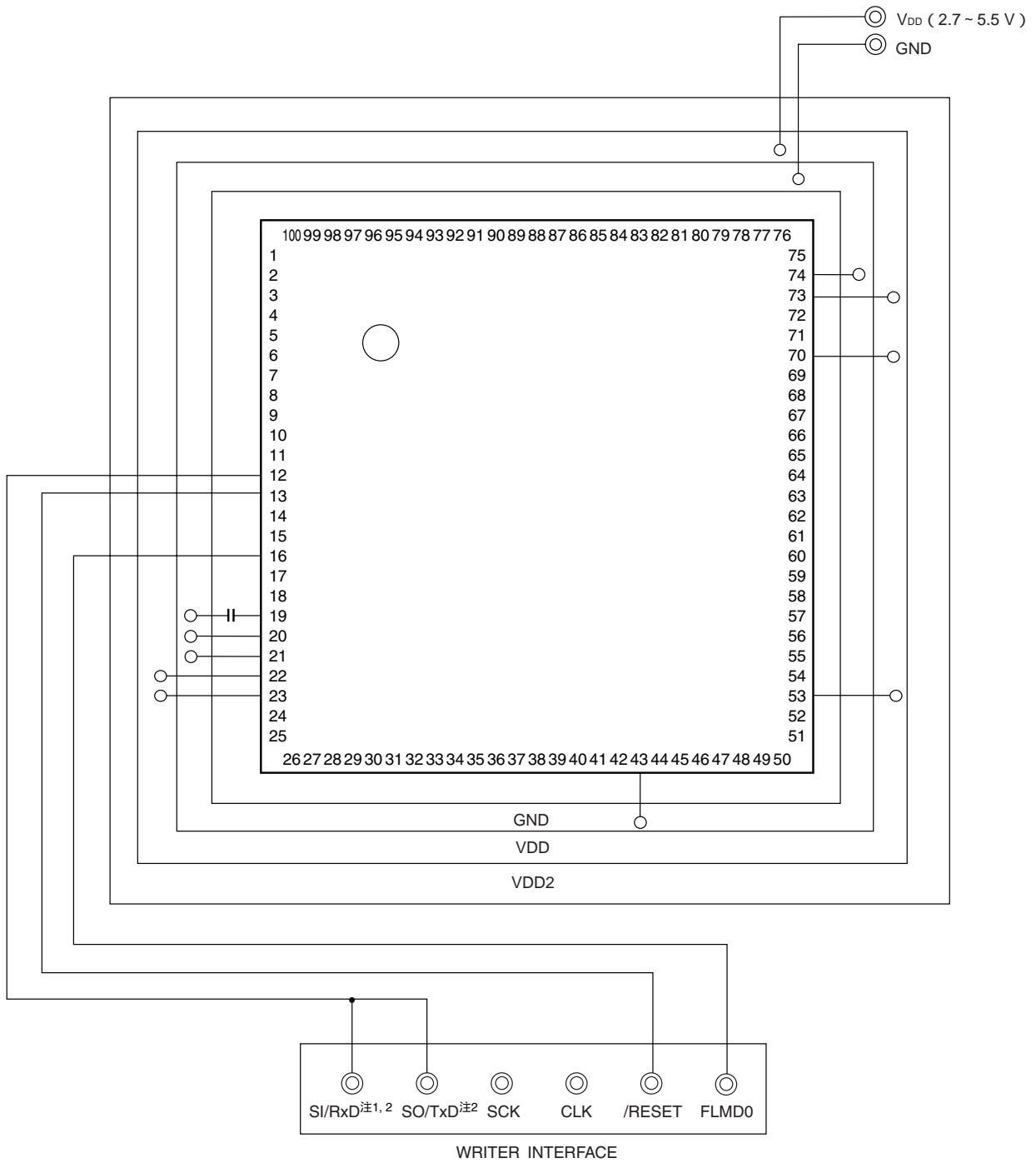
図25 - 1 フラッシュ書き込み用アダプタ配線例 (GFパッケージ)



注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

図25 - 2 フラッシュ書き込み用アダプタ配線例 (GCパッケージ)



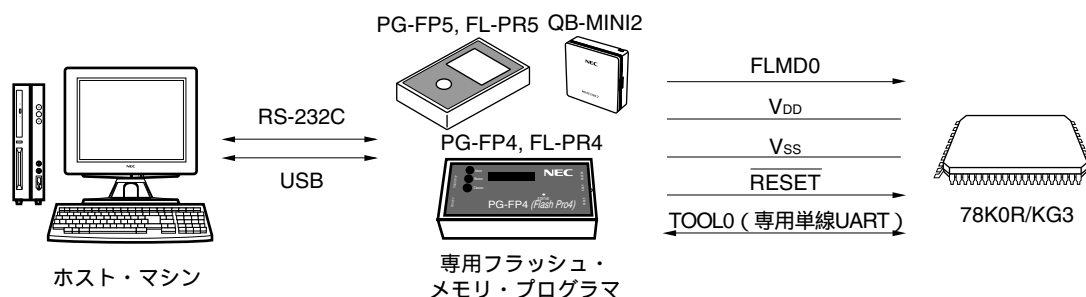
注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

25.2 プログラミング環境

78K0R/KG3のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図25-3 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

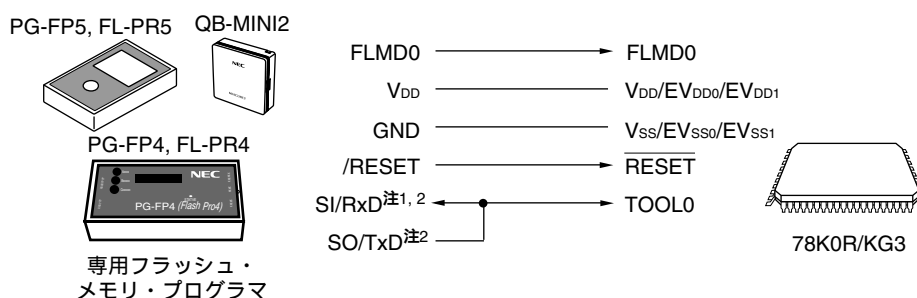
また、専用フラッシュ・メモリ・プログラマと78K0R/KG3とのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

25.3 通信方式

専用フラッシュ・メモリ・プログラマと78K0R/KG3との通信は、78K0R/KG3のTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：115200 bps ~ 1000000 bps

図25-4 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

専用フラッシュ・メモリ・プログラマは78K0R/KG3に対して次の信号を生成します。詳細はPG-FP4, FL-PR4, PG-FP5, FL-PR5またはMINICUBE2のマニュアルを参照してください。

表25 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0R/KG3	接続時の処置
信号名	入出力	端子機能	端子名	
FLMD0	出力	モード信号	FLMD0	
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , EV _{DD0} , EV _{DD1} , AV _{REF0} , AV _{REF1}	
GND	-	グラウンド	V _{SS} , EV _{SS0} , EV _{SS1} , AV _{SS}	
CLK	出力	クロック出力	-	x
/RESET	出力	リセット信号	RESET	
SI/RxD ^{注1, 2}	入力	受信信号	TOOL0	
SO/TxD ^{注2}	出力	送信信号		
SCK	出力	転送クロック	-	x

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

25.4 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

25.4.1 FLMD0端子

(1) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 k ~ 200 k の抵抗でプルダウンしてください。

(2) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (25.5(1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 k 以下の抵抗でプルダウンしてください。

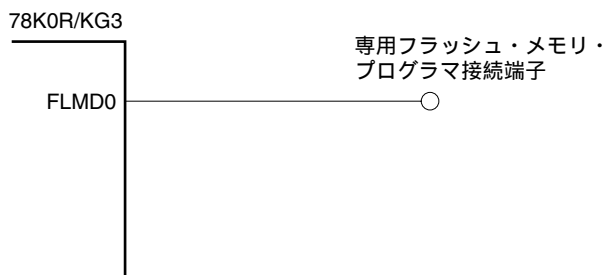
また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(3) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 k ~ 200 k の抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

図25 - 5 FLMD0端子の接続例



25.4.2 TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、専用フラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続することでプルアップしてください。

通常動作モード時は、オンチップ・デバッグ許可の場合は外部で抵抗を介してEV_{DD0}またはEV_{DD1}に接続することでプルアップし、必ずリセット解除前から常にV_{DD}レベルを入力し続けてください（プルダウン禁止）。

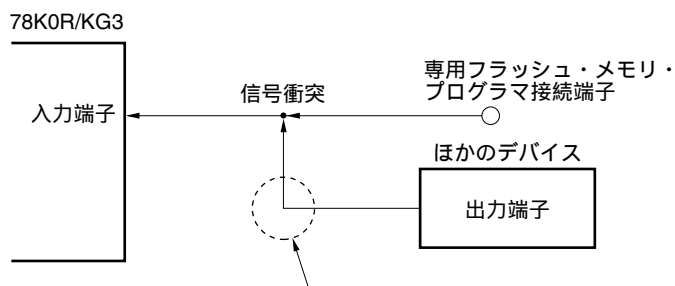
備考 78K0R/KG3と専用フラッシュ・メモリ・プログラマとの通信には、単線UARTを使用するので、SAUやIIC0の端子は使用しません。

25.4.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図25 - 6 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

25.4.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

25.4.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μ F) を介し、GNDに接続してください。ただし通常動作時に、高速内蔵発振クロック、外部メイン・システム・クロックからのSTOPモードを使用する場合は、0.47 μ Fを推奨します。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

25.4.6 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速内蔵発振クロック (f_{IH}) を使用します。

25.4.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラムのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、V_{DD}、V_{SS}端子はフラッシュ・メモリ・プログラムのV_{DD}、GNDと必ず接続してください。

その他の電源 (EV_{DD0}, EV_{DD1}, EV_{SS0}, EV_{SS1}, AV_{REF0}, AV_{REF1}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

25.5 フラッシュ・メモリを制御するレジスタ

(1) バックグラウンド・イベント・コントロール・レジスタ (BECTL)

BECTLレジスタにより、FLMD0端子を外部で制御しなくても、ソフトウェアで制御し、セルフ・プログラミング・モードに引き込むことができます。

ただし、FLMD0端子の端子処理によっては、ソフトウェアでセルフ・プログラミング・モードに引き込むことはできません。BECTLを使用する場合は、FLMD0端子をオープンにすることを推奨します。もし外部でプルダウンするときは100 k 以上の抵抗でプルダウンしてください。また、通常動作モード時は、プルダウン選択で使用してください。セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

BECTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図25 - 7 バックグラウンド・イベント・コントロール・レジスタ (BECTL) のフォーマット

アドレス : FFFBEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BECTL	FLMDPUP	0	0	0	0	0	0	0

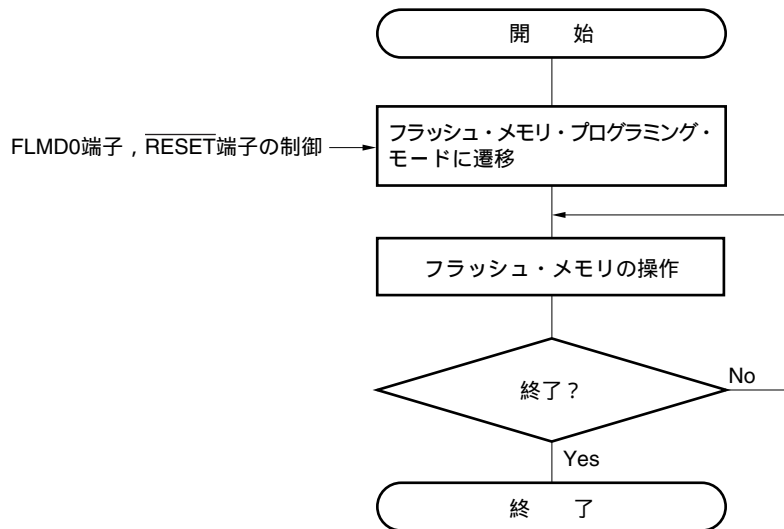
FLMDPUP	FLMD0端子のソフトウェア制御
0	プルダウン選択
1	プルアップ選択

25.6 プログラミング方法

25.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図25 - 8 フラッシュ・メモリの操作手順



25.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0R/KG3をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子とTOOL0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図25-9 フラッシュ・メモリ・プログラミング・モード

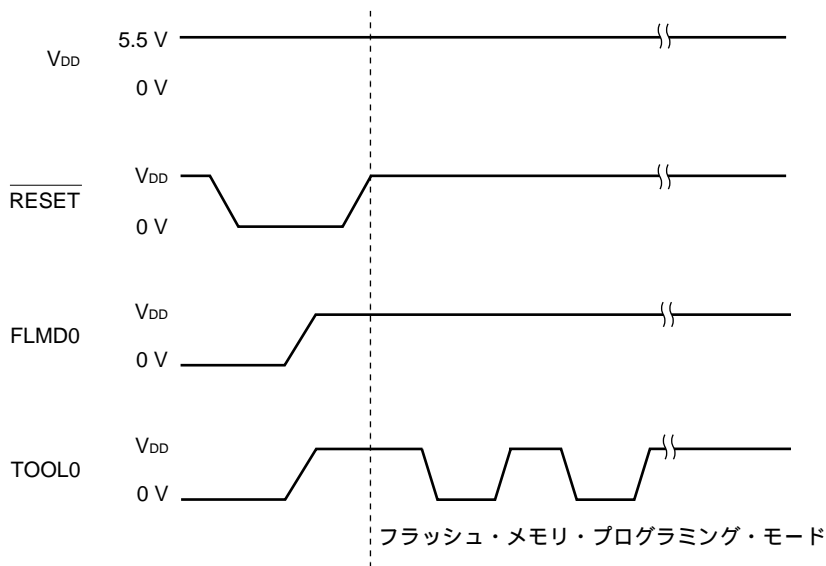


表25-3 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0 V	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

25.6.3 通信方式

78K0R/KG3の通信方式は、次のようになります。

表25-4 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
1線モード (単線UART)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	-	-	TOOL0

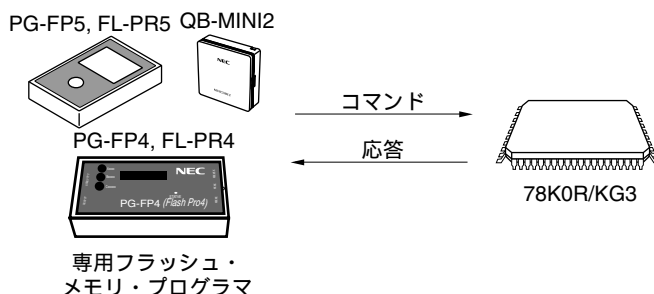
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

25.6.4 通信コマンド

78K0R/KG3と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0R/KG3へ送られる信号を「コマンド」と呼び、78K0R/KG3から専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図25 - 10 通信コマンド



78K0R/KG3のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0R/KG3がコマンドに対応した各処理を行います。

表25 - 5 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	78K0R/KG3情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0R/KG3ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また、78K0R/KG3は、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0R/KG3が送出する応答名称を次に示します。

表25 - 6 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

25.7 セキュリティ設定

78K0R/KG3は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、すべてのセキュリティ設定は解除されます。

78K0R/KG3のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表25-7に示します。

備考 セルフ・プログラミング時の書き込み / 消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は25.9.2を参照）。

表25 - 7 セキュリティ機能有効時とコマンドの関係

(1) オンボード / オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去 (チップ消去) 禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去 (チップ消去) 禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去 (チップ消去) 禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み / 消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います (詳細は25.9.2を参照)。

表25 - 8 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード / オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去 (チップ消去) 禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去 (チップ消去) コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去 (チップ消去) 禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード / オフボード・プログラミングで、一括消去 (チップ消去) コマンドを実行する (セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		

25.8 PG-FP4, PG-FP5使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラムとしてPG-FP4, PG-FP5を使用した場合の, 各コマンド処理時間(参考値)を次に示します。

表25 - 9 PG-FP4使用時の各コマンド処理時間 (参考値)

PG-FP4の コマンド	Port: UART													
	Speed: 115200 bps							Speed: 1 Mbps						
	μ PD78F1162, μ PD78F1162A	μ PD78F1163, μ PD78F1163A	μ PD78F1164, μ PD78F1164A	μ PD78F1165, μ PD78F1165A	μ PD78F1166, μ PD78F1166A	μ PD78F1167, μ PD78F1167A	μ PD78F1168, μ PD78F1168A	μ PD78F1162, μ PD78F1162A	μ PD78F1163, μ PD78F1163A	μ PD78F1164, μ PD78F1164A	μ PD78F1165, μ PD78F1165A	μ PD78F1166, μ PD78F1166A	μ PD78F1167, μ PD78F1167A	μ PD78F1168, μ PD78F1168A
Signature	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)
Blankcheck	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)	0.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)
Erase	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)
Program	9.5 s (TYP.)	13.5 s (TYP.)	19 s (TYP.)	26.5 s (TYP.)	35 s (TYP.)	51.5 s (TYP.)	68.5 s (TYP.)	3.5 s (TYP.)	5 s (TYP.)	6.5 s (TYP.)	9 s (TYP.)	12 s (TYP.)	17.5 s (TYP.)	23 s (TYP.)
Verify	8.5 s (TYP.)	12 s (TYP.)	16 s (TYP.)	23.5 s (TYP.)	31 s (TYP.)	46 s (TYP.)	61 s (TYP.)	2.5 s (TYP.)	3.5 s (TYP.)	4.5 s (TYP.)	6 s (TYP.)	8 s (TYP.)	11.5 s (TYP.)	15.5 s (TYP.)
E.P.V	10.5 s (TYP.)	14.5 s (TYP.)	20 s (TYP.)	28 s (TYP.)	36.5 s (TYP.)	53.5 s (TYP.)	71 s (TYP.)	4.5 s (TYP.)	6 s (TYP.)	7.5 s (TYP.)	10.5 s (TYP.)	13.5 s (TYP.)	19.5 s (TYP.)	25.5 s (TYP.)
Checksum	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)
Security	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)

表25 - 10 PG-FP5使用時の各コマンド処理時間 (参考値)

PG-FP5の コマンド	Port: UART													
	Speed: 115200 bps							Speed: 1 Mbps						
	μ PD78F1162, μ PD78F1162A	μ PD78F1163, μ PD78F1163A	μ PD78F1164, μ PD78F1164A	μ PD78F1165, μ PD78F1165A	μ PD78F1166, μ PD78F1166A	μ PD78F1167, μ PD78F1167A	μ PD78F1168, μ PD78F1168A	μ PD78F1162, μ PD78F1162A	μ PD78F1163, μ PD78F1163A	μ PD78F1164, μ PD78F1164A	μ PD78F1165, μ PD78F1165A	μ PD78F1166, μ PD78F1166A	μ PD78F1167, μ PD78F1167A	μ PD78F1168, μ PD78F1168A
シグネチャ情 報の取得	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)
ブランクチ ェック	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)	0.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)
消去	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)	0.5 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)
書き込み	9 s (TYP.)	13.5 s (TYP.)	17.5 s (TYP.)	26 s (TYP.)	34 s (TYP.)	51 s (TYP.)	67.5 s (TYP.)	3 s (TYP.)	4.5 s (TYP.)	6 s (TYP.)	8.5 s (TYP.)	11 s (TYP.)	16.5 s (TYP.)	22 s (TYP.)
ペリファイ	8 s (TYP.)	12 s (TYP.)	15.5 s (TYP.)	23 s (TYP.)	30.5 s (TYP.)	45.5 s (TYP.)	60 s (TYP.)	2.5 s (TYP.)	3.5 s (TYP.)	4 s (TYP.)	5.5 s (TYP.)	7.5 s (TYP.)	11 s (TYP.)	14 s (TYP.)
消去後, 書き込み	9.5 s (TYP.)	13.5 s (TYP.)	18 s (TYP.)	26.5 s (TYP.)	35 s (TYP.)	52 s (TYP.)	69 s (TYP.)	3.5 s (TYP.)	5 s (TYP.)	6 s (TYP.)	9 s (TYP.)	12 s (TYP.)	18 s (TYP.)	23.5 s (TYP.)
チェックサ ム	1 s (TYP.)	1 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	1 s (TYP.)	1.5 s (TYP.)	1.5 s (TYP.)	2 s (TYP.)	2.5 s (TYP.)
セキュリティ	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)	0.5 s (TYP.)

25.9 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0R/KG3は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能は78K0R/KG3セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

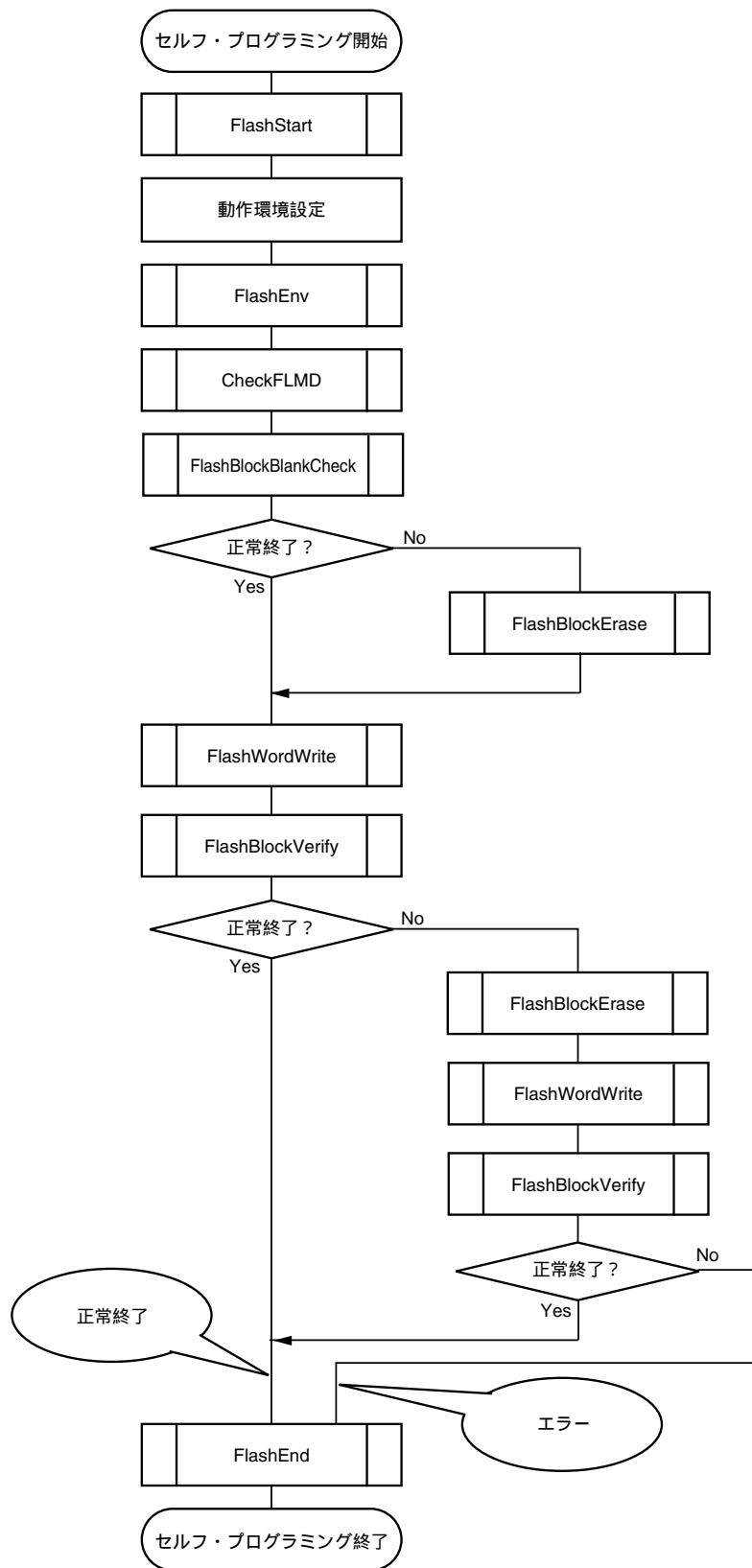
また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。EI状態でマスクされていない割り込み要求が発生すると、セルフ・プログラミング・ライブラリから、直接、割り込みルーチンに分岐します。その後、再びセルフ・プログラミング・モードに移行し、セルフ・プログラミングをレジュームすることができます。ただし、割り込み応答時間は、通常動作モード時と異なります。

備考 セルフ・プログラミング機能の詳細および78K0R/KG3セルフ・プログラミング・ライブラリの詳細については、78K0Rマイクロコントローラ **セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (U18706J)** を参照してください。

- 注意**
1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。
 2. セルフ・プログラミング時は、セルフ・プログラミング・スタート・ライブラリ (FlashStart) を呼び出してください。
 3. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア (0) されている状態でセルフ・プログラミング・ライブラリを実行してください。
割り込みを許可する場合は、EI命令によりIEフラグがセット (1) されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア (0) して、セルフ・プログラミング・ライブラリを実行してください。
 4. 低消費電流モード時は、セルフ・プログラミング機能は使用できません。低消費電流モードについては、第23章 レギュレータを参照してください。
 5. セルフ・プログラミング・ライブラリ関数の実行中は、DMA動作を禁止 (DENn = 0) してください。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図25 - 11 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



備考 セルフ・プログラミング・ライブラリの詳細については、78K0Rマイクロコントローラ セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル (U18706J) を参照してください。

25.9.1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

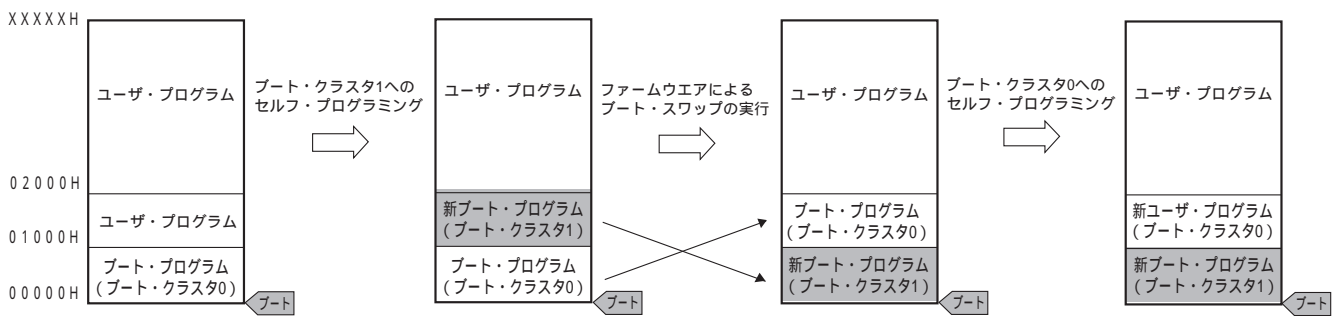
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0R/KG3内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図25 - 12 ブート・スワップ機能

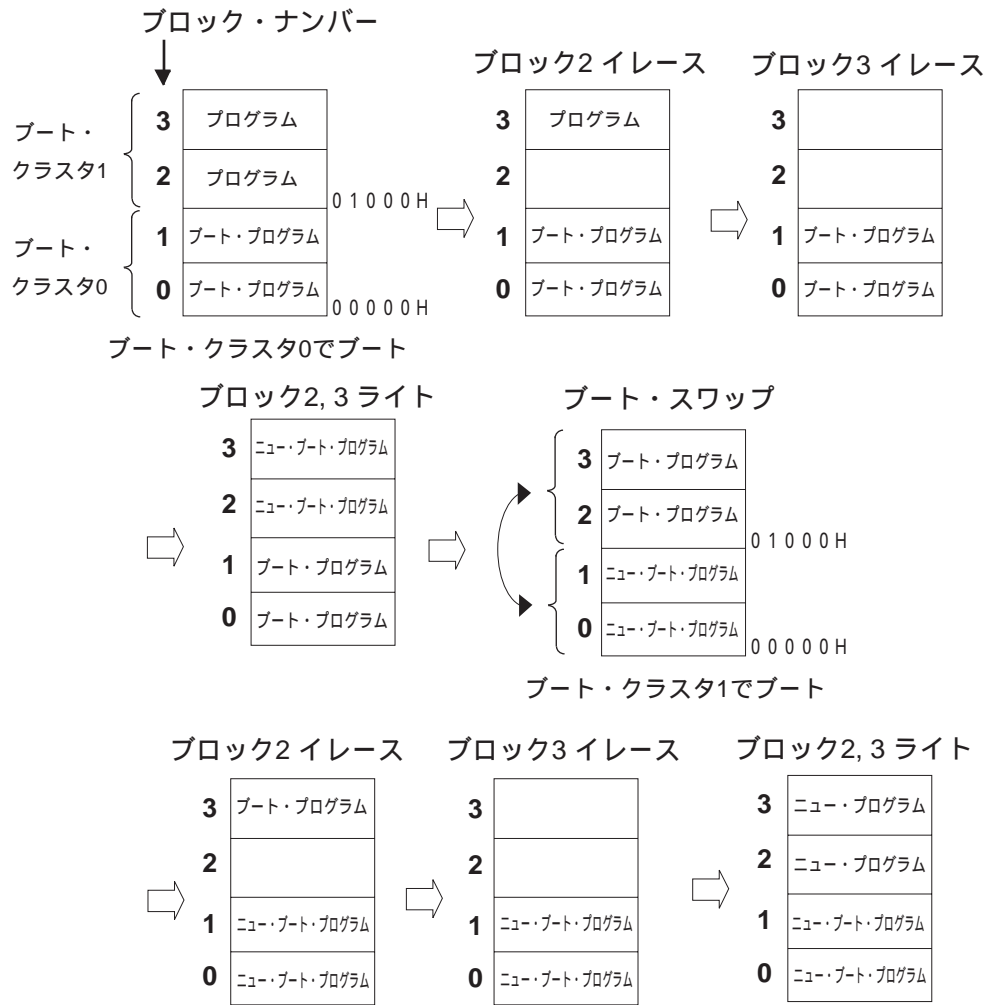


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。

図25 - 13 ブート・スワップの実行例



25.9.2 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード/オフボード・プログラミングおよびセルフ・プログラミングの両方で設定/変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み/消去禁止となります。ただし、オンボード/オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み/消去可能です。

図25-14 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：μPD78F1162, 78F1162A, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意 フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

表25-11 フラッシュ・シールド・ウインドウ機能の設定/変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定/変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード/オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード/オフボード・プログラミング時の書き込み/消去を禁止したい場合には、25.7 セキュリティ設定を参照してください。

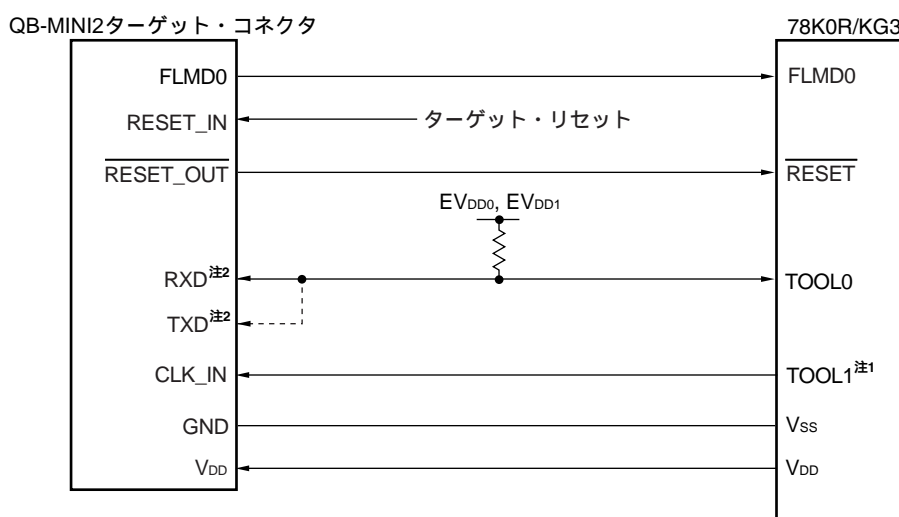
第26章 オンチップ・デバッグ機能

26.1 QB-MINI2と78K0R/KG3の接続

78K0R/KG3は、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ（QB-MINI2）を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、TOOL0、TOOL1^{注1}、 V_{SS} 端子を使用します。

注意 78K0R/KG3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図26 - 1 QB-MINI2と78K0R/KG3の接続例



注1. 1線モードで通信を行う場合、接続する必要はありません。2線モードで通信を行う場合、接続してください。このとき、QB-MINI2未接続時には未使用端子となるため、表2 - 2 各端子の未使用端子処理に従って、端子処理をしてください。

2. QB-MINI2の場合、RXD、TXDはQB-MINI2内でショートされるため、点線部の接続は必要ありません。ただし、他のフラッシュ・プログラムを使用する場合、プログラム内部でRXDとTXDをショートできない場合があります。この場合、RXD、TXDをターゲット・システム上でショートする必要があります。

注意 2線モードで通信を行う場合、TOOL1端子からCPUクロック周波数の1/2のクロックが出力されます。そのクロックにより、電源に多少の揺れが生じた場合は、対策として抵抗やビーズ・フェライト等などの使用が有効です。

備考 オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子はオープンにすることを推奨します。もし外部でプルダウンするときは100 k Ω 以上の抵抗でプルダウンしてください。

シリアル通信としては、TOOL0端子を使用した1線モード（単線UART）またはTOOL0、TOOL1端子を使用した2線モードを使用します。フラッシュ・メモリ・プログラミングを行う場合、1線モードを使用します。オンチップ・デバッグを行う場合、1線モードまたは2線モードを使用します。1線モードと2線モードの違いを、表26-1に示します。

表26-1 1線モードと2線モードの違い

通信方式	フラッシュ・ プログラミング機能	デバッグ機能
1線モード	使用可能	・疑似リアルタイムRAMモニタ（RRM）機能は未サポート
2線モード	なし	・疑似リアルタイムRAMモニタ（RRM）機能はサポート

備考 フラッシュ・プログラミング時に2線モードは使用しませんが、TOOL1端子をQB-MINI2のCLK_INに接続していたとしても問題なく正常に書き込みができます。

26.2 オンチップ・デバッグ・セキュリティID

78K0R/KG3では、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第24章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル**（U18371J）を参照してください。

表26-2 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

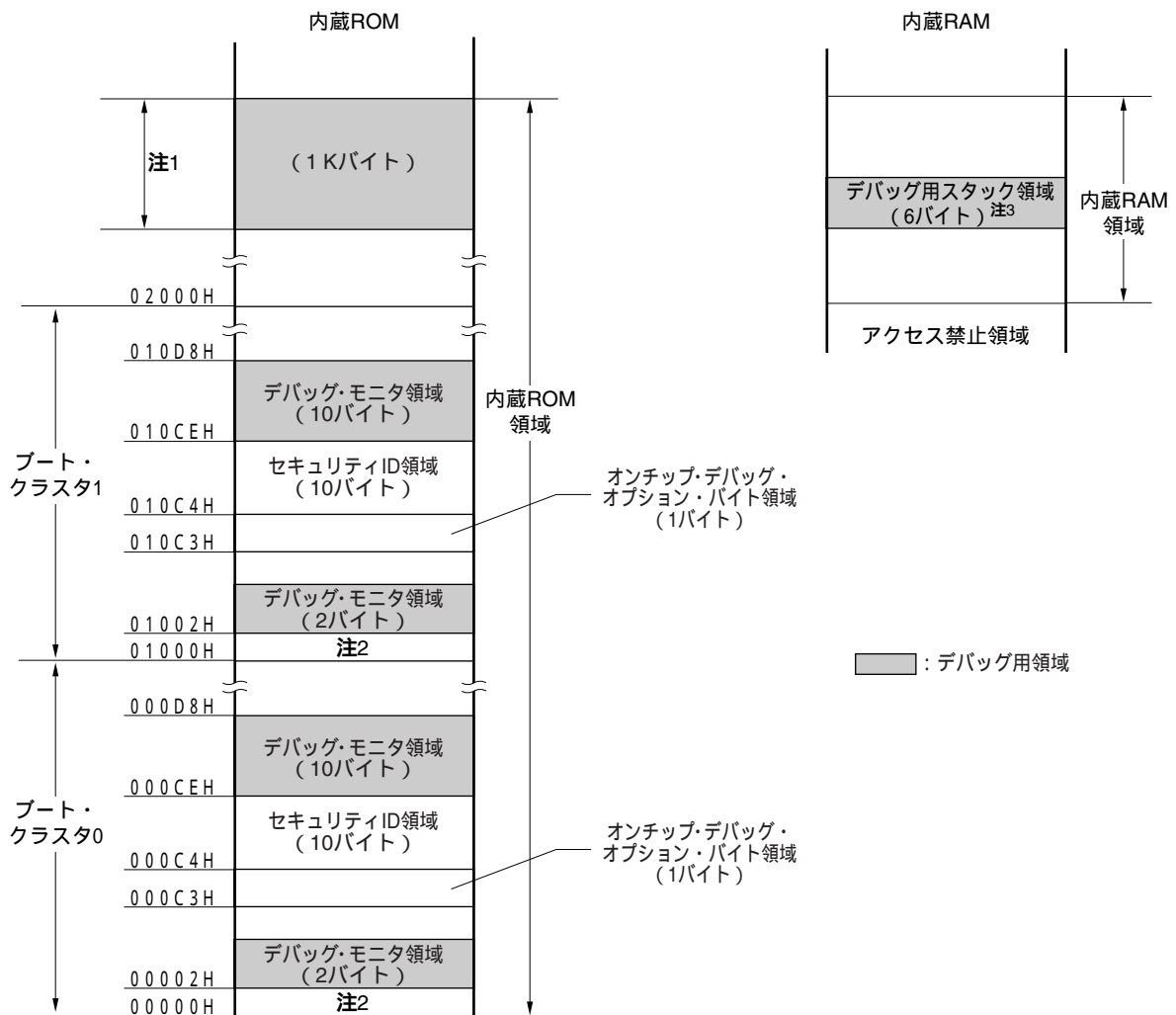
26.3 ユーザ資源の確保

78K0R/KG3とQB-MINI2との通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ RA78K0R、コンパイラ CC78K0Rを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図26-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図26 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品	内蔵ROM	アドレス
μ PD78F1162, 78F1162A	64 Kバイト	0FC00H-0FFFFH
μ PD78F1163, 78F1163A	96 Kバイト	17C00H-17FFFH
μ PD78F1164, 78F1164A	128 Kバイト	1FC00H-1FFFFH
μ PD78F1165, 78F1165A	192 Kバイト	2FC00H-2FFFFH
μ PD78F1166, 78F1166A	256 Kバイト	3FC00H-3FFFFH
μ PD78F1167, 78F1167A	384 Kバイト	5FC00H-5FFFFH
μ PD78F1168, 78F1168A	512 Kバイト	7FC00H-7FFFFH

2. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
3. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、6バイト余分に消費します。

メモリ空間の確保方法の詳細は、QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J) を参照してください。

第27章 10進補正 (BCD) 回路

27.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCDADJレジスタを加減算することで10進補正演算結果が求められます。

27.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・BCD補正結果レジスタ (BCDADJ)

(1) BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正値が格納されます。

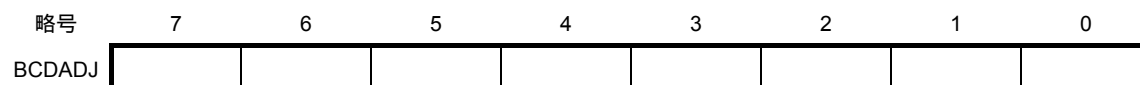
また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図27 - 1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



27.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

加算したいBCDコード値 (被加算値) をAレジスタに格納する。

Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を, そのまま2進数で加算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCDADJレジスタに格納される。

Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ;	99H	-	-	-
ADD A, #89H ;	22H	1	1	66H
ADD A, !BCDADJ ;	88H	1	0	-

例2 $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ;	85H	-	-	-
ADD A, #15H ;	9AH	0	0	66H
ADD A, !BCDADJ ;	00H	1	1	-

例3 $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ;	80H	-	-	-
ADD A, #80H ;	00H	1	0	60H
ADD A, !BCDADJ ;	60H	1	0	-

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

減算されるBCDコード値（被減算値）をAレジスタに格納する。

Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCDADJレジスタに格納される。

Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため， の命令のあとは，他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ;	91H	-	-	-
SUB A, #52H ;	3FH	0	1	06H
SUB A, !BCDADJ ;	39H	0	0	-

第28章 命令セットの概要

78K0Rマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編(U17792J)を参照してください。

備考 表28 - 5 オペレーション一覧の表内の網掛けされている箇所は、78K0マイクロコントローラから追加されたものを示しています。

28.1 凡 例

28.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、!!、\$、\$!、[]、ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミューディアット・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミューディアット・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、!!、\$、\$!、[]、ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表28 - 1の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表28 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミューディアット・データまたはラベル
saddrp	FFE20H-FFF1FH イミューディアット・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFH イミューディアット・データまたはラベル
addr16	0000H-FFFFFH イミューディアット・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミューディアット・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミューディアット・データまたはラベル
byte	8ビット・イミューディアット・データまたはラベル
bit	3ビット・イミューディアット・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3 - 5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3 - 6 拡張SFR（2nd SFR）一覧を参照してください。

28.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表28 - 2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
	論理積 (AND)
	論理和 (OR)
	排他的論理和 (exclusive OR)
	反転データ
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

28.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表28 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

28.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表28 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	-
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	-	-	-	-
MOV A, ES:[HL]	11H	8BH	-	-	-

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

28.2 オペレーション一覧

表28-5 オペレーション一覧 (1/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	-	r byte			
		saddr, #byte	3	1	-	(saddr) byte			
		sfr, #byte	3	1	-	sfr byte			
		!addr16, #byte	4	1	-	(addr16) byte			
		A, r <small>注3</small>	1	1	-	A r			
		r, A <small>注3</small>	1	1	-	r A			
		A, saddr	2	1	-	A (saddr)			
		saddr, A	2	1	-	(saddr) A			
		A, sfr	2	1	-	A sfr			
		sfr, A	2	1	-	sfr A			
		A, !addr16	3	1	4	A (addr16)			
		!addr16, A	3	1	-	(addr16) A			
		PSW, #byte	3	3	-	PSW byte	x	x	x
		A, PSW	2	1	-	A PSW			
		PSW, A	2	3	-	PSW A	x	x	x
		ES, #byte	2	1	-	ES byte			
		ES, saddr	3	1	-	ES (saddr)			
		A, ES	2	1	-	A ES			
		ES, A	2	1	-	ES A			
		CS, #byte	3	1	-	CS byte			
		A, CS	2	1	-	A CS			
		CS, A	2	1	-	CS A			
		A, [DE]	1	1	4	A (DE)			
		[DE], A	1	1	-	(DE) A			
		[DE+byte], #byte	3	1	-	(DE + byte) byte			
		A, [DE+byte]	2	1	4	A (DE + byte)			
[DE+byte], A	2	1	-	(DE + byte) A					
A, [HL]	1	1	4	A (HL)					
[HL], A	1	1	-	(HL) A					
[HL+byte], #byte	3	1	-	(HL + byte) byte					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります (外部メモリ領域への分岐を除く)。

3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されず。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5.4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (2/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+byte]	2	1	4	A (HL + byte)			
		[HL+byte], A	2	1	-	(HL + byte) A			
		A, [HL+B]	2	1	4	A (HL + B)			
		[HL+B], A	2	1	-	(HL + B) A			
		A, [HL+C]	2	1	4	A (HL + C)			
		[HL+C], A	2	1	-	(HL + C) A			
		word[B], #byte	4	1	-	(B + word) byte			
		A, word[B]	3	1	4	A (B + word)			
		word[B], A	3	1	-	(B + word) A			
		word[C], #byte	4	1	-	(C + word) byte			
		A, word[C]	3	1	4	A (C + word)			
		word[C], A	3	1	-	(C + word) A			
		word[BC], #byte	4	1	-	(BC + word) byte			
		A, word[BC]	3	1	4	A (BC + word)			
		word[BC], A	3	1	-	(BC + word) A			
		[SP+byte], #byte	3	1	-	(SP + byte) byte			
		A, [SP+byte]	2	1	-	A (SP + byte)			
		[SP+byte], A	2	1	-	(SP + byte) A			
		B, saddr	2	1	-	B (saddr)			
		B, !addr16	3	1	4	B (addr16)			
		C, saddr	2	1	-	C (saddr)			
		C, !addr16	3	1	4	C (addr16)			
		X, saddr	2	1	-	X (saddr)			
		X, !addr16	3	1	4	X (addr16)			
		ES:!addr16, #byte	5	2	-	(ES, addr16) byte			
		A, ES:!addr16	4	2	5	A (ES, addr16)			
		ES:!addr16, A	4	2	-	(ES, addr16) A			
		A, ES:[DE]	2	2	5	A (ES, DE)			
		ES:[DE], A	2	2	-	(ES, DE) A			
		ES:[DE+byte], #byte	4	2	-	((ES, DE) + byte) byte			
A, ES:[DE+byte]	3	2	5	A ((ES, DE) + byte)					
ES:[DE+byte], A	3	2	-	((ES, DE) + byte) A					
A, ES:[HL]	2	2	5	A (ES, HL)					
ES:[HL], A	2	2	-	(ES, HL) A					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります (外部メモリ領域への分岐を除く)。

3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されず。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5. 4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (3/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	ES:[HL+byte],#byte	4	2	-	((ES, HL) + byte) byte			
		A, ES:[HL+byte]	3	2	5	A ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	-	((ES, HL) + byte) A			
		A, ES:[HL+B]	3	2	5	A ((ES, HL) + B)			
		ES:[HL+B], A	3	2	-	((ES, HL) + B) A			
		A, ES:[HL+C]	3	2	5	A ((ES, HL) + C)			
		ES:[HL+C], A	3	2	-	((ES, HL) + C) A			
		ES:word[B], #byte	5	2	-	((ES, B) + word) byte			
		A, ES:word[B]	4	2	5	A ((ES, B) + word)			
		ES:word[B], A	4	2	-	((ES, B) + word) A			
		ES:word[C], #byte	5	2	-	((ES, C) + word) byte			
		A, ES:word[C]	4	2	5	A ((ES, C) + word)			
		ES:word[C], A	4	2	-	((ES, C) + word) A			
		ES:word[BC], #byte	5	2	-	((ES, BC) + word) byte			
		A, ES:word[BC]	4	2	5	A ((ES, BC) + word)			
		ES:word[BC], A	4	2	-	((ES, BC) + word) A			
		B, ES:!addr16	4	2	5	B (ES, addr16)			
		C, ES:!addr16	4	2	5	C (ES, addr16)			
	X, ES:!addr16	4	2	5	X (ES, addr16)				
	XCH	A, r ^{注3}	1 (r = X) 2 (r = X 以外)	1	-	A r			
		A, saddr	3	2	-	A (saddr)			
		A, sfr	3	2	-	A sfr			
		A, !addr16	4	2	-	A (addr16)			
		A, [DE]	2	2	-	A (DE)			
		A, [DE+byte]	3	2	-	A (DE + byte)			
		A, [HL]	2	2	-	A (HL)			
		A, [HL+byte]	3	2	-	A (HL + byte)			
		A, [HL+B]	2	2	-	A (HL + B)			
A, [HL+C]	2	2	-	A (HL + C)					

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。
 3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5. 4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	XCH	A, ES:!addr16	5	3	-	A (ES, addr16)				
		A, ES:[DE]	3	3	-	A (ES, DE)				
		A, ES:[DE+byte]	4	3	-	A ((ES, DE) + byte)				
		A, ES:[HL]	3	3	-	A (ES, HL)				
		A, ES:[HL+byte]	4	3	-	A ((ES, HL) + byte)				
		A, ES:[HL+B]	3	3	-	A ((ES, HL) + B)				
		A, ES:[HL+C]	3	3	-	A ((ES, HL) + C)				
	ONEB	A	1	1	-	A 01H				
		X	1	1	-	X 01H				
		B	1	1	-	B 01H				
		C	1	1	-	C 01H				
		saddr	2	1	-	(saddr) 01H				
		!addr16	3	1	-	(addr16) 01H				
		ES:!addr16	4	2	-	(ES, addr16) 01H				
	CLR B	A	1	1	-	A 00H				
		X	1	1	-	X 00H				
		B	1	1	-	B 00H				
		C	1	1	-	C 00H				
		saddr	2	1	-	(saddr) 00H				
		!addr16	3	1	-	(addr16) 00H				
		ES:!addr16	4	2	-	(ES,addr16) 00H				
	MOVS	[HL+byte], X	3	1	-	(HL + byte) X	x		x	
		ES:[HL+byte], X	4	2	-	(ES, HL + byte) X	x		x	
	16ビット・データ転送	MOVW	rp, #word	3	1	-	rp word			
			saddrp, #word	4	1	-	(saddrp) word			
			sfrp, #word	4	1	-	sfrp word			
			AX, saddrp	2	1	-	AX (saddrp)			
			saddrp, AX	2	1	-	(saddrp) AX			
AX, sfrp			2	1	-	AX sfrp				
sfrp, AX			2	1	-	sfrp AX				
AX, rp ^{注3}			1	1	-	AX rp				
rp, AX ^{注3}			1	1	-	rp AX				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. rp = AXを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。

3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5.4 **データ・アクセスによる命令ウェイト数**を参照してください。

表28 - 5 オペレーション一覧 (5/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, !addr16	3	1	4	AX (addr16)			
		!addr16, AX	3	1	-	(addr16) AX			
		AX, [DE]	1	1	4	AX (DE)			
		[DE], AX	1	1	-	(DE) AX			
		AX, [DE+byte]	2	1	4	AX (DE + byte)			
		[DE+byte], AX	2	1	-	(DE + byte) AX			
		AX, [HL]	1	1	4	AX (HL)			
		[HL], AX	1	1	-	(HL) AX			
		AX, [HL+byte]	2	1	4	AX (HL + byte)			
		[HL+byte], AX	2	1	-	(HL + byte) AX			
		AX, word[B]	3	1	4	AX (B + word)			
		word[B], AX	3	1	-	(B + word) AX			
		AX, word[C]	3	1	4	AX (C + word)			
		word[C], AX	3	1	-	(C + word) AX			
		AX, word[BC]	3	1	4	AX (BC + word)			
		word[BC], AX	3	1	-	(BC + word) AX			
		AX, [SP+byte]	2	1	-	AX (SP + byte)			
		[SP+byte], AX	2	1	-	(SP + byte) AX			
		BC, saddrp	2	1	-	BC (saddrp)			
		BC, !addr16	3	1	4	BC (addr16)			
		DE, saddrp	2	1	-	DE (saddrp)			
		DE, !addr16	3	1	4	DE (addr16)			
		HL, saddrp	2	1	-	HL (saddrp)			
		HL, !addr16	3	1	4	HL (addr16)			
		AX, ES:!addr16	4	2	5	AX (ES, addr16)			
		ES:!addr16, AX	4	2	-	(ES, addr16) AX			
		AX, ES:[DE]	2	2	5	AX (ES, DE)			
		ES:[DE], AX	2	2	-	(ES, DE) AX			
		AX, ES:[DE+byte]	3	2	5	AX ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	-	((ES, DE) + byte) AX			
AX, ES:[HL]	2	2	5	AX (ES, HL)					
ES:[HL], AX	2	2	-	(ES, HL) AX					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります (外部メモリ領域への分岐を除く)。
3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されま。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5.4 **データ・アクセスによる命令ウェイト数**を参照してください。

表28-5 オペレーション一覧 (6/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, ES:[HL+byte]	3	2	5	AX ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	-	((ES, HL) + byte) AX			
		AX, ES:word[B]	4	2	5	AX ((ES, B) + word)			
		ES:word[B], AX	4	2	-	((ES, B) + word) AX			
		AX, ES:word[C]	4	2	5	AX ((ES, C) + word)			
		ES:word[C], AX	4	2	-	((ES, C) + word) AX			
		AX, ES:word[BC]	4	2	5	AX ((ES, BC) + word)			
		ES:word[BC], AX	4	2	-	((ES, BC) + word) AX			
		BC, ES:!addr16	4	2	5	BC (ES, addr16)			
		DE, ES:!addr16	4	2	5	DE (ES, addr16)			
	HL, ES:!addr16	4	2	5	HL (ES, addr16)				
	XCHW	AX, rp ^{注3}	1	1	-	AX rp			
	ONEW	AX	1	1	-	AX 0001H			
		BC	1	1	-	BC 0001H			
CLRW	AX	1	1	-	AX 0000H				
	BC	1	1	-	BC 0000H				
8ビット演算	ADD	A, #byte	2	1	-	A, CY A + byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	-	A, CY A + r	x	x	x
		r, A	2	1	-	r, CY r + A	x	x	x
		A, saddr	2	1	-	A, CY A + (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY A + (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY A + (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY A + (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY A + (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY A + (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY A + (ES, addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY A + (ES, HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY A + ((ES, HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY A + ((ES, HL) + B)	x	x	x
A, ES:[HL+C]	3	2	5	A, CY A + ((ES, HL) + C)	x	x	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. rp = AXを除く。
4. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。
3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で、外部バス・インタフェース機能使用時には、フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に、ウエイト数が加算されます。これは、命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため、外部メモリのウエイトが入ってしまうためです。ウエイト数は5.4 データ・アクセスによる命令ウエイト数を参照してください。

表28 - 5 オペレーション一覧 (7/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	ADDC	A, #byte	2	1	-	A, CY	A + byte + CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) + byte + CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A + r + CY	x	x	x
		r, A	2	1	-	r, CY	r + A + CY	x	x	x
		A, saddr	2	1	-	A, CY	A + (saddr) + CY	x	x	x
		A, !addr16	3	1	4	A, CY	A + (addr16) + CY	x	x	x
		A, [HL]	1	1	4	A, CY	A + (HL) + CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A + (HL + byte) + CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A + (HL + B) + CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A + (HL + C) + CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A + (ES, addr16) + CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A + (ES, HL) + CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A + ((ES, HL) + byte) + CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A + ((ES, HL) + B) + CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A + ((ES, HL) + C) + CY	x	x	x	
	SUB	A, #byte	2	1	-	A, CY	A - byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r	x	x	x
		r, A	2	1	-	r, CY	r - A	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16)	x	x	x
A, ES:[HL]		2	2	5	A, CY	A - (ES:HL)	x	x	x	

- 注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。
 3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で、外部バス・インタフェース機能使用時には、フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に、ウェイト数が加算されます。これは、命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため、外部メモリのウェイトが入ってしまうためです。ウェイト数は5. 4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (8/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	SUBC	A, #byte	2	1	-	A, CY	A - byte - CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r - CY	x	x	x
		r, A	2	1	-	r, CY	r - A - CY	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr) - CY	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16) - CY	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C) - CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A - (ES:HL) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A - ((ES:HL) + B) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	-	A	A byte	x		
		saddr, #byte	3	2	-	(saddr)	(saddr) byte	x		
		A, r ^{注3}	2	1	-	A	A r	x		
		r, A	2	1	-	r	r A	x		
		A, saddr	2	1	-	A	A (saddr)	x		
		A, !addr16	3	1	4	A	A (addr16)	x		
		A, [HL]	1	1	4	A	A (HL)	x		
		A, [HL+byte]	2	1	4	A	A (HL + byte)	x		
		A, [HL+B]	2	1	4	A	A (HL + B)	x		
		A, [HL+C]	2	1	4	A	A (HL + C)	x		
		A, ES:!addr16	4	2	5	A	A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A	A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A	A ((ES:HL) + byte)	x		
A, ES:[HL+B]		3	2	5	A	A ((ES:HL) + B)	x			
A, ES:[HL+C]	3	2	5	A	A ((ES:HL) + C)	x				

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。
 3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5. 4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (9/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット 演算	OR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x		
		A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x		
		A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x		
	XOR	A, #byte	2	1	-	A A byte	x		
		saddr, #byte	3	2	-	(saddr) (saddr) byte	x		
		A, r ^{注3}	2	1	-	A A r	x		
		r, A	2	1	-	r r A	x		
		A, saddr	2	1	-	A A (saddr)	x		
		A, !addr16	3	1	4	A A (addr16)	x		
		A, [HL]	1	1	4	A A (HL)	x		
		A, [HL+byte]	2	1	4	A A (HL + byte)	x		
		A, [HL+B]	2	1	4	A A (HL + B)	x		
		A, [HL+C]	2	1	4	A A (HL + C)	x		
		A, ES:!addr16	4	2	5	A A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A A (ES:HL)	x		
A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)	x				
A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)	x				
A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)	x				

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。
 3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5. 4 データ・アクセスによる命令ウェイト数を参照してください。

表28-5 オペレーション一覧 (10/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	-	A - byte	x	x	x
		saddr, #byte	3	1	-	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A - r	x	x	x
		r, A	2	1	-	r - A	x	x	x
		A, saddr	2	1	-	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
	A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x	
	ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x	
	CMP0	A	1	1	-	A - 00H	x	x	x
		X	1	1	-	X - 00H	x	x	x
		B	1	1	-	B - 00H	x	x	x
C		1	1	-	C - 00H	x	x	x	
saddr		2	1	-	(saddr) - 00H	x	x	x	
!addr16		3	1	4	(addr16) - 00H	x	x	x	
ES:!addr16		4	2	5	(ES:addr16) - 00H	x	x	x	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。

3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5.4 **データ・アクセスによる命令ウェイト数**を参照してください。

表28-5 オペレーション一覧 (11/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	-	AX, CY AX + word	x	x	x
		AX, AX	1	1	-	AX, CY AX + AX	x	x	x
		AX, BC	1	1	-	AX, CY AX + BC	x	x	x
		AX, DE	1	1	-	AX, CY AX + DE	x	x	x
		AX, HL	1	1	-	AX, CY AX + HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX + (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX + (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX + (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX + (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	-	AX, CY AX - word	x	x	x
		AX, BC	1	1	-	AX, CY AX - BC	x	x	x
		AX, DE	1	1	-	AX, CY AX - DE	x	x	x
		AX, HL	1	1	-	AX, CY AX - HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX - (ES:addr16)	x	x	x
	CMPW	AX, #word	3	1	-	AX - word	x	x	x
		AX, BC	1	1	-	AX - BC	x	x	x
		AX, DE	1	1	-	AX - DE	x	x	x
		AX, HL	1	1	-	AX - HL	x	x	x
		AX, saddrp	2	1	-	AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
	乗算	MULU	X	1	1	-	AX A x X		

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります (外部メモリ領域への分岐を除く)。
 3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されず。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5.4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (12/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	-	r r + 1	x	x	
		saddr	2	2	-	(saddr) (saddr) + 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) + 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1	x	x	
	DEC	r	1	1	-	r r - 1	x	x	
		saddr	2	2	-	(saddr) (saddr) - 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) - 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1	x	x	
	INCW	rp	1	1	-	rp rp + 1			
		saddrp	2	2	-	(saddrp) (saddrp) + 1			
		!addr16	3	2	-	(addr16) (addr16) + 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1			
	DECW	rp	1	1	-	rp rp - 1			
		saddrp	2	2	-	(saddrp) (saddrp) - 1			
		!addr16	3	2	-	(addr16) (addr16) - 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1			
シフト	SHR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ 0) x cnt			x
	SHRW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ 0) x cnt			x
	SHL	A, cnt	2	1	-	(CY A ₇ , A _m A _{m-1} , A ₀ 0) x cnt			x
		B, cnt	2	1	-	(CY B ₇ , B _m B _{m-1} , B ₀ 0) x cnt			x
		C, cnt	2	1	-	(CY C ₇ , C _m C _{m-1} , C ₀ 0) x cnt			x
	SHLW	AX, cnt	2	1	-	(CY AX ₁₅ , AX _m AX _{m-1} , AX ₀ 0) x cnt			x
		BC, cnt	2	1	-	(CY BC ₁₅ , BC _m BC _{m-1} , BC ₀ 0) x cnt			x
	SAR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ A ₇) x cnt			x
SARW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ AX ₁₅) x cnt			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。

3. cntはビット・シフト数です。

4. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5.4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (13/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1			×
	ROL	A, 1	2	1	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1			×
	RORC	A, 1	2	1	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1			×
	ROLC	A, 1	2	1	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1			×
	ROLWC	AX, 1	2	1	-	(CY AX ₁₅ , AX ₀ CY, AX _{m+1} AX _m) × 1			×
		BC, 1	2	1	-	(CY BC ₁₅ , BC ₀ CY, BC _{m+1} BC _m) × 1			×
ビット操作	MOV1	CY, saddr.bit	3	1	-	CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY sfr.bit			×
		CY, A.bit	2	1	-	CY A.bit			×
		CY, PSW.bit	3	1	-	CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY (HL).bit			×
		saddr.bit, CY	3	2	-	(saddr).bit CY			
		sfr.bit, CY	3	2	-	sfr.bit CY			
		A.bit, CY	2	1	-	A.bit CY			
		PSW.bit, CY	3	4	-	PSW.bit CY	×	×	
		[HL].bit, CY	2	2	-	(HL).bit CY			
		CY, ES:[HL].bit	3	2	5	CY (ES, HL).bit			×
	ES:[HL].bit, CY	3	3	-	(ES, HL).bit CY				
	AND1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
		CY, A.bit	2	1	-	CY CY A.bit			×
		CY, PSW.bit	3	1	-	CY CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY CY (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			×
	OR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
		CY, A.bit	2	1	-	CY CY A.bit			×
CY, PSW.bit		3	1	-	CY CY PSW.bit			×	
CY, [HL].bit		2	1	4	CY CY (HL).bit			×	
CY, ES:[HL].bit		3	2	5	CY CY (ES, HL).bit			×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります (外部メモリ領域への分岐を除く)。
 3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5. 4 データ・アクセスによる命令ウェイト数を参照してください。

表28-5 オペレーション一覧 (14/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	SET1	saddr.bit	3	2	-	(saddr).bit 1			
		sfr.bit	3	2	-	sfr.bit 1			
		A.bit	2	1	-	A.bit 1			
		!addr16.bit	4	2	-	(addr16).bit 1			
		PSW.bit	3	4	-	PSW.bit 1	x	x	x
		[HL].bit	2	2	-	(HL).bit 1			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 1			
		ES:[HL].bit	3	3	-	(ES, HL).bit 1			
	CLR1	saddr.bit	3	2	-	(saddr.bit) 0			
		sfr.bit	3	2	-	sfr.bit 0			
		A.bit	2	1	-	A.bit 0			
		!addr16.bit	4	2	-	(addr16).bit 0			
		PSW.bit	3	4	-	PSW.bit 0	x	x	x
		[HL].bit	2	2	-	(HL).bit 0			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 0			
		ES:[HL].bit	3	3	-	(ES, HL).bit 0			
	SET1	CY	2	1	-	CY 1			1
	CLR1	CY	2	1	-	CY 0			0
NOT1	CY	2	1	-	CY \overline{CY}			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります (外部メモリ領域への分岐を除く)。
 3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されません。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5.4 データ・アクセスによる命令ウェイト数を参照してください。

表28-5 オペレーション一覧 (15/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
コール・リターン	CALL	rp	2	3	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC CS, rp, SP SP - 4				
		!addr20	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC PC + 3 + jdisp16, SP SP - 4				
		!addr16	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC 0000, addr16, SP SP - 4				
		!!addr20	4	3	-	(SP - 2) (PC + 4) _s , (SP - 3) (PC + 4) _H , (SP - 4) (PC + 4) _L , PC addr20, SP SP - 4				
		CALLT	[addr5]	2	5	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0000, addr5 + 1), PC _L (0000, addr5), SP SP - 4			
		BRK	-	2	5	-	(SP - 1) PSW, (SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0007FH), PC _L (0007EH), SP SP - 4, IE 0			
		RET	-	1	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), SP SP + 4			
	RETI	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	
	RETB	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。
3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5. 4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (16/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	-	(SP - 1) PSW, (SP - 2) 00H, SP SP - 2			
		rp	1	1	-	(SP - 1) rpH, (SP - 2) rpL, SP SP - 2			
	POP	PSW	2	3	-	PSW (SP + 1), SP SP + 2	R	R	R
		rp	1	1	-	rpL (SP), rpH (SP + 1), SP SP + 2			
	MOVW	SP, #word	4	1	-	SP word			
		SP, AX	2	1	-	SP AX			
		AX, SP	2	1	-	AX SP			
		HL, SP	3	1	-	HL SP			
		BC, SP	3	1	-	BC SP			
		DE, SP	3	1	-	DE SP			
ADDW	SP, #byte	2	1	-	SP SP + byte				
SUBW	SP, #byte	2	1	-	SP SP - byte				
無条件分岐	BR	AX	2	3	-	PC CS, AX			
		\$addr20	2	3	-	PC PC + 2 + jdisp8			
		!addr20	3	3	-	PC PC + 3 + jdisp16			
		!addr16	3	3	-	PC 0000, addr16			
		!!addr20	4	3	-	PC addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 1					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (fCLK) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります (外部メモリ領域への分岐を除く)。

3. 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5. 4 データ・アクセスによる命令ウェイト数を参照してください。

表28 - 5 オペレーション一覧 (17/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	-	PC PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	-	2	1	-	Next instruction skip if CY = 1			
	SKNC	-	2	1	-	Next instruction skip if CY = 0			
	SKZ	-	2	1	-	Next instruction skip if Z = 1			
	SKNZ	-	2	1	-	Next instruction skip if Z = 0			
	SKH	-	2	1	-	Next instruction skip if (Z CY)=0			
	SKNH	-	2	1	-	Next instruction skip if (Z CY)=1			
CPU制御	SEL	RBn	2	1	-	RBS[1:0] n			
	NOP	-	1	1	-	No Operation			
	EI	-	3	4	-	IE 1(Enable Interrupt)			
	DI	-	3	4	-	IE 0(Disable Interrupt)			
	HALT	-	2	3	-	Set HALT Mode			
	STOP	-	2	3	-	Set STOP Mode			

- 注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2 . プログラム・メモリ領域をアクセスしたとき。
 3 . クロック数は“条件不成立時/条件成立時”を表しています。

- 備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります (外部メモリ領域への分岐を除く)。
 3 . nはレジスタ・バンク数です (n=0-3)。
 4 . 外部メモリ領域が内蔵フラッシュ領域と接している製品で, 外部バス・インタフェース機能使用時には, フラッシュの最終アドレス (最大16バイト) に配置された命令の実行クロック数に, ウェイト数が加算されます。これは, 命令コードの先読みを行う際にフラッシュ空間を越え外部メモリ空間をアクセスしてしまうため, 外部メモリのウェイトが入ってしまうためです。ウェイト数は5.4 データ・アクセスによる命令ウェイト数を参照してください。

第29章 電気的特性（標準品）

対象製品 従来規格品：μ PD78F1162, 78F1163, 78F1164, 78F1165, 78F1166, 78F1167, 78F1168

拡張規格品：μ PD78F1162A, 78F1163A, 78F1164A, 78F1165A, 78F1166A, 78F1167A, 78F1168A

注意 78K0R/KG3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

絶対最大定格（ $T_A = 25$ ）（1/2）

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	- 0.5 ~ + 0.3	V
	AV _{REF0}		- 0.5 ~ V _{DD} + 0.3 ^{注1}	V
	AV _{REF1}		- 0.5 ~ V _{DD} + 0.3 ^{注1}	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _{I_{REGC}}	REGC	- 0.3 ~ + 3.6 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
入力電圧	V _{I1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120-P124, P131, P140-P145, EXCLK, RESET, FLMD0	- 0.3 ~ EV _{DD0} , EV _{DD1} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P20-P27, P150-P157	- 0.3 ~ AV _{REF0} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I4}	P110, P111	- 0.3 ~ AV _{REF1} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V

注1. 6.5 V以下であること。

- REGC端子にはコンデンサ（0.47 ~ 1 μF）を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件	定格	単位	
出力電圧	V _{O1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P120, P130, P131, P140-P145	- 0.3 ~ EV _{DD0} , EV _{DD1} + 0.3 ^注	V	
	V _{O2}	P20-P27, P150-P157	- 0.3 ~ AV _{REF0} + 0.3	V	
	V _{O3}	P110, P111	- 0.3 ~ AV _{REF1} + 0.3	V	
アナログ入力電圧	V _{AN}	ANI0-ANI15	- 0.3 ~ AV _{REF0} + 0.3 ^注 かつ - 0.3 ~ V _{DD} + 0.3 ^注	V	
アナログ出力電圧	V _{AO}	ANO0, ANO1	- 0.3 ~ AV _{REF1} + 0.3	V	
ハイ・レベル出力電流	I _{OH1}	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120, P130, P131, P140-P145	- 10	mA
		端子合計 - 80 mA	P00-P04, P40-P47, P120, P130, P131, P140-P145	- 25	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87	- 55	mA
	I _{OH2}	1端子	P20-P27, P110, P111,	- 0.5	mA
		端子合計	P150-P157	- 2	mA
	ロウ・レベル出力電流	I _{OL1}	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P120, P130, P131, P140-P145	30
端子合計 200 mA			P00-P04, P40-P47, P120, P130, P131, P140-P145	60	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87	140	mA
I _{OL2}		1端子	P20-P27, P110, P111,	1	mA
		端子合計	P150-P157	5	mA
動作周囲温度		T _A	通常動作時	- 40 ~ + 85	
	フラッシュ・メモリ・プログラミング時				
保存温度	T _{stg}		- 65 ~ + 150		

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (f_x) ^注	2.7 V V_{DD} 5.5 V	2.0		20.0	MHz
			1.8 V $V_{DD} < 2.7$ V	2.0		5.0	
水晶振動子		X1クロック発振周波数 (f_x) ^注	2.7 V V_{DD} 5.5 V	2.0		20.0	MHz
			1.8 V $V_{DD} < 2.7$ V	2.0		5.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

内蔵発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位	
8 MHz 内蔵発振器	高速内蔵発振クロック	2.7 V VDD 5.5 V	7.6	8.0	8.4	MHz	
	周波数 (f _H) ^{注1}	1.8 V VDD < 2.7 V	5.0	8.0	8.4	MHz	
240 kHz 内蔵発振器	低速内蔵発振クロック	通常電流モード	2.7 V VDD 5.5 V	216	240	264	kHz
			1.8 V VDD < 2.7 V	192	240	264	kHz
	周波数 (f _L)	低消費電流モード ^{注2}	192	240	264	kHz	

注1. HIOTRM = 10H時の発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. レギュレータ出力が低消費電流モードとなるのは、次に示す場合です。

- ・RMCレジスタに5AH設定時
- ・システム・リセット期間中
- ・STOPモード時 (OCDモード中は除く)
- ・サブシステム・クロック (f_{XT}) でのCPU動作中に、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_H) が共に停止した場合
- ・CPU動作設定時のHALTモード中 (CPUはサブシステム・クロック (f_{XT}) で動作) に、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_H) が共に停止した場合

備考 レギュレータ出力電圧による通常電流モード、低消費電流モードについては、第23章 レギュレータを参照してください。

XT1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) ^注		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・ 配線は極力短くする。
 - ・ 他の信号線と交差させない。
 - ・ 変化する大電流が流れる線に接近させない。
 - ・ 発振回路のコンデンサの接地点は、常にV_{SS}と同電位になるようにする。
 - ・ 大電流が流れるグランド・パターンに接地しない。
 - ・ 発振回路から信号を取り出さない。
2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数

(1) X1発振: セラミック発振子 (AMPH = 0, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCC2M00G56-R0	SMD	2.0	内蔵 (47)	内蔵 (47)	1.8	5.5
	CSTCR4M00G55-R0	SMD	4.0	内蔵 (39)	内蔵 (39)	1.8	
	CSTLS4M00G56-B0	リード		内蔵 (47)	内蔵 (47)	1.8	
	CSTCR4M19G55-R0	SMD	4.194	内蔵 (39)	内蔵 (39)	1.8	
	CSTLS4M19G56-B0	リード		内蔵 (47)	内蔵 (47)	1.8	
	CSTCR4M91G55-R0	SMD	4.915	内蔵 (39)	内蔵 (39)	1.8	
	CSTLS4M91G53-B0	リード		内蔵 (15)	内蔵 (15)	1.8	
	CSTLS4M91G56-B0			内蔵 (47)	内蔵 (47)	2.1	
	CSTCR5M00G53-R0	SMD	5.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTCR5M00G55-R0			内蔵 (39)	内蔵 (39)	1.8	
	CSTLS5M00G53-B0	リード	5.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS5M00G56-B0			内蔵 (47)	内蔵 (47)	2.1	
	CSTCR6M00G53-R0	SMD	6.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTCR6M00G55-R0			内蔵 (39)	内蔵 (39)	1.9	
	CSTLS6M00G53-B0	リード	6.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS6M00G56-B0			内蔵 (47)	内蔵 (47)	2.2	
	CSTCE8M00G52-R0	SMD	8.0	内蔵 (10)	内蔵 (10)	1.8	
	CSTCE8M00G55-R0			内蔵 (33)	内蔵 (33)	1.9	
	CSTLS8M00G53-B0	リード	8.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS8M00G56-B0			内蔵 (47)	内蔵 (47)	2.4	
	CSTCE8M38G52-R0	SMD	8.388	内蔵 (10)	内蔵 (10)	1.8	
	CSTCE8M38G55-R0			内蔵 (33)	内蔵 (33)	1.9	
	CSTLS8M38G53-B0	リード	8.388	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS8M38G56-B0			内蔵 (47)	内蔵 (47)	2.4	
CSTCE10M0G52-R0	SMD	10.0	内蔵 (10)	内蔵 (10)	1.8		
CSTCE10M0G55-R0			内蔵 (33)	内蔵 (33)	2.1		
CSTLS10M0G53-B0	リード	10.0	内蔵 (15)	内蔵 (15)	1.8		
東光株式会社	DCRHTC(P)2.00LL	リード	2.0	内蔵 (30)	内蔵 (30)	1.8	5.5
	DCRHTC(P)4.00LL		4.0	内蔵 (30)	内蔵 (30)		
	DECRHTC4.00	SMD	4.0	内蔵 (15)	内蔵 (15)		
	DCRHYC(P)8.00A	リード	8.0	内蔵 (22)	内蔵 (22)		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(2) X1発振 : 水晶振動子 (AMPH = 0, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
京セラキンセキ 株式会社	HC49SFWB04194D0PPTZZ	リード	4.194	10	10	1.8	5.5
	CX49GFWB04194D0PPTZZ						
	CX1255GB04194D0PPTZZ	SMD					
	HC49SFWB05000D0PPTZZ	リード	5.0	10	10	1.8	
	CX49GFWB05000D0PPTZZ						
	CX1255GB05000D0PPTZZ	SMD					
	CX8045GB05000D0PPTZZ						
	HC49SFWB08380D0PPTZZ	リード	8.38	10	10	1.8	
	CX49GFWB08380D0PPTZZ						
	CX1255GB08380D0PPTZZ	SMD					
	CX8045GB08380D0PPTZZ						
	CX5032GB08380D0PPTZZ						
	HC49SFWB10000D0PPTZZ	リード	10.0	10	10	1.8	
	CX49GFWB10000D0PPTZZ						
	CX1255GB10000D0PPTZZ	SMD					
	CX8045GB10000D0PPTZZ						
CX5032GB10000D0PPTZZ							
CX5032SB10000D0PPTZZ							
CX3225GB10000D0PPTZZ							

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(3) X1発振 : セラミック発振子 (AMPH = 1, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCE12M0G55-R0	SMD	12.0	内蔵 (33)	内蔵 (33)	1.8	5.5
	CSTCE16M0V53-R0	SMD		内蔵 (15)	内蔵 (15)		
	CSTLS16M0X51-B0	リード		内蔵 (5)	内蔵 (5)		
	CSTCE20M0V53-R0	SMD	20.0	内蔵 (15)	内蔵 (15)	1.9	2.0
	CSTCG20M0V53-R0	小型 SMD		内蔵 (15)	内蔵 (15)		
	CSTLS20M0X51-B0	リード		内蔵 (5)	内蔵 (5)		
東光株式会社	DCRHYC(P)12.00A	リード	12.0	内蔵 (22)	内蔵 (22)	1.8	5.5
	DCRHZ(P)16.00A-15	リード	16.0	内蔵 (15)	内蔵 (15)		
	DCRHZ(P)20.00A-15	リード	20.0	内蔵 (15)	内蔵 (15)	2.0	
	DECRHZ20.00	SMD		内蔵 (10)	内蔵 (10)	1.8	

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(4) X1発振 : 水晶振動子 (AMPH = 1, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
京セラキンセキ 株式会社	HC49SFWB16000D0PPTZZ	リード	16.0	10	10	1.8	5.5
	CX49GFWB16000D0PPTZZ						
	CX1255GB16000D0PPTZZ	SMD					
	CX8045GB16000D0PPTZZ						
	CX5032GB16000D0PPTZZ						
	CX5032SB16000D0PPTZZ						
	CX3225GB16000D0PPTZZ						
	CX3225SB16000D0PPTZZ						
	CX2520SB16000D0PPTZZ						
	HC49SFWB20000D0PPTZZ	リード	20.0	10	10	2.3	
	CX49GFWB20000D0PPTZZ						
	CX1255GB20000D0PPTZZ	SMD					
	CX8045GB20000D0PPTZZ						
	CX5032GB20000D0PPTZZ						
	CX5032SB20000D0PPTZZ						
	CX3225GB20000D0PPTZZ						
	CX3225SB20000D0PPTZZ						
	CX2520SB20000D0PPTZZ						
CX2016SB20000D0PPTZZ							

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(5) XT1発振：水晶振動子 (TA = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	推奨回路定数			発振電圧範囲	
					C3 (pF)	C4 (pF)	Rd (k)	MIN. (V)	MAX. (V)
セイコーイン スツル株式会 社	SP-T2A	SMD	32.768	6.0	5	5	0	1.8	5.5
				12.5	18	18	0		
	SSP-T7	小型 SMD		7.0	7	7	0		
				12.5	18	18	0		
	VT-200	リード		6.0	5	5	0		
				12.5	18	18	0		
シチズンミヨ タ株式会社	CM200S	SMD	32.768	9.0	12	15	0	1.8	5.5
					12	15	100		
	CM315	SMD		9.0	15	15	0		
					15	15	100		
	CM519	SMD		9.0	15	12	0		
					15	12	100		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(6) XT1発振：水晶振動子 (TA = -20 ~ +70)

メーカー	品名	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	推奨回路定数			発振電圧範囲	
					C3 (pF)	C4 (pF)	Rd (k)	MIN. (V)	MAX. (V)
シチズンミヨ タ株式会社	CFS-206	リード	32.768	12.5	22	18	0	1.8	5.5
					22	18	100		
				9.0	12	15	0		
					12	15	100		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

DC特性 (1/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V, 1.8 V$ $AV_{REF0} = V_{DD}, 1.8 V$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120, P130, P131, P140-P145 1端子	4.0 V $V_{DD} = 5.5 V$			- 3.0	mA
			2.7 V $V_{DD} < 4.0 V$			- 1.0	mA
			1.8 V $V_{DD} < 2.7 V$			- 1.0	mA
		P00-P04, P40-P47, P120, P130, P131, P140-P145 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} = 5.5 V$			- 20.0	mA
			2.7 V $V_{DD} < 4.0 V$			- 10.0	mA
			1.8 V $V_{DD} < 2.7 V$			- 5.0	mA
	I _{OH2}	P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} = 5.5 V$			- 30.0	mA
			2.7 V $V_{DD} < 4.0 V$			- 19.0	mA
			1.8 V $V_{DD} < 2.7 V$			- 10.0	mA
		全端子合計 (デューティ = 60 %時 ^{注2})	4.0 V $V_{DD} = 5.5 V$			- 50.0	mA
			2.7 V $V_{DD} < 4.0 V$			- 29.0	mA
			1.8 V $V_{DD} < 2.7 V$			- 15.0	mA
	P20-P27, P150-P157 1端子	$AV_{REF0} = V_{DD}$			- 0.1	mA	
	P110, P111 1端子	$AV_{REF1} = V_{DD}$			- 0.1	mA	

注1. EV_{DD0}, EV_{DD1} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OH} = -20.0 \text{ mA}$ の場合、 $n = 50 \%$

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P02-P04, P43, P45, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V, 1.8 V$ $AV_{REF0} = V_{DD}, 1.8 V$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P02, P05, P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120, P130, P131, P140, P141, P144, P145 1端子	4.0 V $V_{DD} = 5.5 V$		8.5	mA
			2.7 V $V_{DD} < 4.0 V$		1.0	mA
			1.8 V $V_{DD} < 2.7 V$		0.5	mA
		P03, P04, P142, P143 1端子	4.0 V $V_{DD} = 5.5 V$		8.5	mA
			2.7 V $V_{DD} < 4.0 V$		1.5	mA
			1.8 V $V_{DD} < 2.7 V$		0.6	mA
		P60-P63 1端子	4.0 V $V_{DD} = 5.5 V$		15.0	mA
			2.7 V $V_{DD} < 4.0 V$		3.0	mA
			1.8 V $V_{DD} < 2.7 V$		2.0	mA
	P00-P04, P40-P47, P120, P130, P131, P140-P145 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} = 5.5 V$		20.0	mA	
		2.7 V $V_{DD} < 4.0 V$		15.0	mA	
		1.8 V $V_{DD} < 2.7 V$		9.0	mA	
	P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} = 5.5 V$		45.0	mA	
		2.7 V $V_{DD} < 4.0 V$		35.0	mA	
		1.8 V $V_{DD} < 2.7 V$		20.0	mA	
	全端子合計 (デューティ = 60 %時 ^{注2})	4.0 V $V_{DD} = 5.5 V$		65.0	mA	
		2.7 V $V_{DD} < 4.0 V$		50.0	mA	
		1.8 V $V_{DD} < 2.7 V$		29.0	mA	
I _{OL2}	P20-P27, P150-P157 1端子	$AV_{REF0} = V_{DD}$			0.4	mA
	P110, P111 1端子	$AV_{REF1} = V_{DD}$			0.4	mA

注1. 出力端子からEV_{SS0}, EV_{SS1}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OL} = 20.0 \text{ mA}$ の場合, $n = 50 \%$

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 1.8\text{ V}$ AV_{REF0} $V_{DD}, 1.8\text{ V}$ AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V_{IH1}	P01, P02, P12, P13, P15, P41, P45, P52-P57, P64-P67, P80-P87, P121-P124, P144	$0.7V_{DD}$		V_{DD}	V	
	V_{IH2}	P00, P03-P06, P10, P11, P14, P16, P17, P30, P31, P40, P42-P44, P46, P47, P50, P51, P70-P77, P120, P131, P140-P143, P145, EXCLK, RESET	通常入力バッファ	$0.8V_{DD}$		V_{DD}	V
	V_{IH3}	P03, P04, P43, P44, P142, P143	TTL入力バッファ $4.0\text{ V } V_{DD} 5.5\text{ V}$	2.2		V_{DD}	V
			TTL入力バッファ $2.7\text{ V } V_{DD} < 4.0\text{ V}$	2.0		V_{DD}	V
			TTL入力バッファ $1.8\text{ V } V_{DD} < 2.7\text{ V}$	1.6		V_{DD}	V
	V_{IH4}	P20-P27, P150-P157	$2.7\text{ V } AV_{REF0} V_{DD}$	$0.7AV_{REF0}$		AV_{REF0}	V
			$AV_{REF0}=V_{DD} < 2.7\text{ V}$				
	V_{IH5}	P110, P111	$2.7\text{ V } AV_{REF1} V_{DD}$	$0.7AV_{REF1}$		AV_{REF1}	V
			$AV_{REF1}=V_{DD} < 2.7\text{ V}$				
	V_{IH6}	P60-P63		$0.7V_{DD}$		6.0	V
V_{IH7}	FLMD0		$0.9V_{DD}$ 注1		V_{DD}	V	
ロウ・レベル入力電圧	V_{IL1}	P01, P02, P12, P13, P15, P41, P45, P52-P57, P64-P67, P80-P87, P121-P124, P144	0		$0.3V_{DD}$	V	
	V_{IL2}	P00, P03-P06, P10, P11, P14, P16, P17, P30, P31, P40, P42-P44, P46, P47, P50, P51, P70-P77, P120, P131, P140-P143, P145, EXCLK, RESET	通常入力バッファ	0		$0.2V_{DD}$	V
	V_{IL3}	P03, P04, P43, P44, P142, P143	TTL入力バッファ $4.0\text{ V } V_{DD} 5.5\text{ V}$	0		0.8	V
			TTL入力バッファ $2.7\text{ V } V_{DD} < 4.0\text{ V}$	0		0.5	V
			TTL入力バッファ $1.8\text{ V } V_{DD} < 2.7\text{ V}$	0		0.2	V
	V_{IL4}	P20-P27, P150-P157	$2.7\text{ V } AV_{REF0} V_{DD}$	0		$0.3AV_{REF0}$	V
			$AV_{REF0}=V_{DD} < 2.7\text{ V}$				
	V_{IL5}	P110, P111	$2.7\text{ V } AV_{REF1} V_{DD}$	0		$0.3AV_{REF1}$	V
			$AV_{REF1}=V_{DD} < 2.7\text{ V}$				
	V_{IL6}	P60-P63		0		$0.3V_{DD}$	V
V_{IL7}	FLMD0 注2		0		$0.1V_{DD}$	V	

- 注1. フラッシュ・メモリ・プログラミング・モードで使用するときには、 $0.9V_{DD}$ 以上にする必要があります。
 2. フラッシュ・メモリを書き換え禁止にする場合は、FLMD0端子処理を直接 V_{SS} へ接続し、 $0.1V_{DD}$ 以下の電圧を保つようにしてください。

- 注意1. P02-P04, P43, P45, P142-P144は、N-chオープン・ドレイン・モード時でも V_{IH} の最大値(MAX.)は V_{DD} です。
 2. P122/EXCLKは、入力ポート・モードと外部クロック・モードとで、 V_{IH} , V_{IL} の値が異なります。
 外部クロック入力モード時は、EXCLKのDC特性を満たしてください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (4/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V, 1.8 V$ $AV_{REF0} = V_{DD}, 1.8 V$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P30, P31, P40-P47, I _{OH1} = - 3.0 mA	4.0 V $V_{DD} = 5.5 V,$			V	
		P50-P57, P64-P67, P70-P77, P80-P87, I _{OH1} = - 1.0 mA	1.8 V $V_{DD} = 5.5 V,$			V	
	V _{OH2}	P20-P27, P150-P157, I _{OH2} = - 0.1 mA	$AV_{REF0} = V_{DD},$	$AV_{REF0} - 0.5$		V	
		P110, P111, I _{OH2} = - 0.1 mA	$AV_{REF1} = V_{DD},$	$AV_{REF1} - 0.5$		V	
	ロウ・レベル出力電圧	V _{OL1}	P00-P02, P05, P06, P10-P17, P30, P31, I _{OL1} = 8.5 mA	4.0 V $V_{DD} = 5.5 V,$		0.7	V
P40-P47, P50-P57, I _{OL1} = 1.0 mA			2.7 V $V_{DD} = 5.5 V,$		0.5	V	
P64-P67, P70-P77, I _{OL1} = 0.5 mA			1.8 V $V_{DD} = 5.5 V,$		0.4	V	
P80-P87, P120, I _{OL1} = 0.5 mA							
P130, P131, P140, I _{OL1} = 8.5 mA			4.0 V $V_{DD} = 5.5 V,$		0.7	V	
P141, P144, P145, I _{OL1} = 1.5 mA			2.7 V $V_{DD} = 5.5 V,$		0.5	V	
			1.8 V $V_{DD} = 5.5 V,$		0.4	V	
V _{OL2}		P20-P27, P150-P157, I _{OL2} = 0.4 mA	$AV_{REF0} = V_{DD},$		0.4	V	
		P110, P111, I _{OL2} = 0.4 mA	$AV_{REF1} = V_{DD},$		0.4	V	
V _{OL3}		P60-P63	I _{OL1} = 15.0 mA	4.0 V $V_{DD} = 5.5 V,$		2.0	V
			I _{OL1} = 5.0 mA	4.0 V $V_{DD} = 5.5 V,$		0.4	V
			I _{OL1} = 3.0 mA	2.7 V $V_{DD} = 5.5 V,$		0.4	V
			I _{OL1} = 2.0 mA	1.8 V $V_{DD} = 5.5 V,$		0.4	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (5/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, 1.8 V $AV_{REF0} = V_{DD}$, 1.8 V $AV_{REF1} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位		
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P120, P131, P140-P145, FLMD0, \overline{RESET}	$V_i = V_{DD}$			1	μA	
		P20-P27, P150-P157	$V_i = AV_{REF0}$, 2.7 V $AV_{REF0} = V_{DD}$			1	μA	
			$V_i = AV_{REF0}$, $AV_{REF0} = V_{DD} < 2.7$ V					
		P110, P111	$V_i = AV_{REF1}$, 2.7 V $AV_{REF1} = V_{DD}$			1	μA	
$V_i = AV_{REF1}$, $AV_{REF1} = V_{DD} < 2.7$ V								
I _{LIH4}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$	入力ポート時			1	μA	
			発振子接続時			10	μA	
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P120, P131, P140-P145, FLMD0, \overline{RESET}	$V_i = V_{SS}$			- 1	μA	
			P20-P27, P150-P157	$V_i = V_{SS}$, 2.7 V $AV_{REF0} = V_{DD}$			- 1	μA
				$V_i = V_{SS}$, $AV_{REF0} = V_{DD} < 2.7$ V				
			P110, P111	$V_i = V_{SS}$, 2.7 V $AV_{REF1} = V_{DD}$			- 1	μA
$V_i = V_{SS}$, $AV_{REF1} = V_{DD} < 2.7$ V								
I _{LIL4}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$	入力ポート時			- 1	μA	
			発振子接続時			- 10	μA	

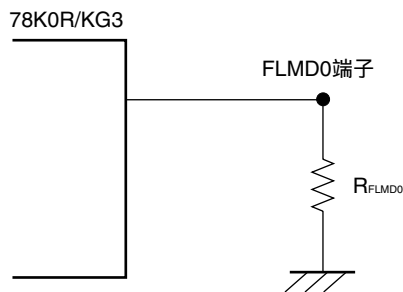
備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (6/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5\text{ V}, 1.8\text{ V}$ $AV_{REF0} = V_{DD}, 1.8\text{ V}$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内蔵プルアップ抵抗	R_U	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120, P131, P140-P145 $V_i = V_{SS}$, 入力ポート時	10	20	100	k
FLMDD0端子 外付けプルダウン抵抗 ^注	R_{FLMDD0}	ソフトウェアでのセルフ・プログラミング・モード設定を有効にする場合	100			k

注 FLMDD0端子はオープンにすることを推奨します。もし、外部でもプルダウンする必要がある場合は、 R_{FLMDD0} を100 k 以上にしてください。



備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (7/15)

μ PD78F1162, 78F1162A, 78F1163, 78F1163A, 78F1164, 78F1164A, 78F1165, 78F1165A, 78F1166, 78F1166A
 (TA = -40 ~ +85 , 1.8 V VDD = EVDD0 = EVDD1 5.5 V, 1.8 V AVREF0 VDD, 1.8 V AVREF1 VDD,
 VSS = EVSS0 = EVSS1 = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	IDD1 ^{注1}	動作モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		7.0	12.2	mA	
				発振子接続		7.3	12.5		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		7.0	12.2	mA	
				発振子接続		7.3	12.5		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力		3.8	6.2	mA	
				発振子接続		3.9	6.3		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力		3.8	6.2	mA	
				発振子接続		3.9	6.3		
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力		2.1	3.0	mA
					発振子接続		2.2	3.1	
				低消費電流モード ^{注4}	方形波入力		1.5	2.1	mA
					発振子接続		1.5	2.1	
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	通常電流モード	方形波入力		1.4	2.1	mA
					発振子接続		1.4	2.1	
低消費電流モード ^{注4}	方形波入力			1.4	2.0	mA			
	発振子接続			1.4	2.0				
f _{IH} = 8 MHz ^{注5}		V _{DD} = 5.0 V		3.1	5.0	mA			
		V _{DD} = 3.0 V		3.1	5.0				

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. RMCレジスタに5AH設定時
5. 高速システム・クロック, サブシステム・クロックは停止時。FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH} : 高速内蔵発振クロック周波数

2. レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第23章 レギュレータを参照してください。
3. TYP.値の温度条件は, TA = 25 です。

DC特性 (8/15)

μ PD78F1162, 78F1162A, 78F1163, 78F1163A, 78F1164, 78F1164A, 78F1165, 78F1165A, 78F1166, 78F1166A
 (TA = -40 ~ +85 , 1.8 V VDD = EVDD0 = EVDD1 5.5 V, 1.8 V AVREF0 VDD, 1.8 V AVREF1 VDD,
 VSS = EVSS0 = EVSS1 = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	IDD1 ^{注1}	動作モード	fSUB = 32.768 kHz ^{注2} , TA = -40 ~ +70	VDD = 5.0 V	6.4	24.0	μ A		
				VDD = 3.0 V	6.4	24.0	μ A		
				VDD = 2.0 V	6.3	21.0	μ A		
					fSUB = 32.768 kHz ^{注2} , TA = -40 ~ +85	VDD = 5.0 V	6.4	31.0	μ A
						VDD = 3.0 V	6.4	31.0	μ A
						VDD = 2.0 V	6.3	28.0	μ A

注1. VDD, EVDD0, EVDD1, AVREF0, AVREF1に流れるトータル電流です。入力端子をVDDまたはVSSに固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

備考1. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は、TA = 25 です。

DC特性 (9/15)

μ PD78F1162, 78F1162A, 78F1163, 78F1163A, 78F1164, 78F1164A, 78F1165, 78F1165A, 78F1166, 78F1166A
 (TA = -40 ~ +85 , 1.8 V VDD = EVDD0 = EVDD1 5.5 V, 1.8 V AVREF0 VDD, 1.8 V AVREF1 VDD,
 VSS = EVSS0 = EVSS1 = AVSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	IDD2 ^{注1}	HALT モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		1.0	2.7	mA	
				発振子接続		1.3	3.0		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.0	2.7	mA	
			発振子接続		1.3	3.0			
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力		0.52	1.4	mA	
			発振子接続		0.62	1.5			
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力		0.52	1.4	mA	
			発振子接続		0.62	1.5			
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力		0.36	0.75	mA
				発振子接続		0.41	0.8		
			低消費電流モード ^{注4}	方形波入力		0.22	0.5	mA	
				発振子接続		0.27	0.55		
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	通常電流モード	方形波入力		0.22	0.5	mA
					発振子接続		0.27	0.55	
	低消費電流モード ^{注4}	方形波入力		0.22	0.5	mA			
			発振子接続		0.27		0.55		
	f _{IH} = 8 MHz ^{注5}		V _{DD} = 5.0 V		0.45	1.2	mA		
			V _{DD} = 3.0 V		0.45	1.2			

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振，サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. RMCレジスタに5AH設定時
5. 高速システム・クロック，サブシステム・クロックは停止時。FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH} : 高速内蔵発振クロック周波数

2. レギュレータ出力電圧による通常電流モード，低消費電流モードについては，第23章 レギュレータを参照してください。
3. TYP.値の温度条件は，TA = 25 です。

DC特性 (10/15)

μ PD78F1162, 78F1162A, 78F1163, 78F1163A, 78F1164, 78F1164A, 78F1165, 78F1165A, 78F1166, 78F1166A
 ($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} ,
 $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流	^{注1} I_{DD2}	HALT モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +70$	$V_{DD} = 5.0$ V	2.2	14.0	μ A
				$V_{DD} = 3.0$ V	2.2	14.0	μ A
				$V_{DD} = 2.0$ V	2.1	13.8	μ A
	^{注3} I_{DD3}	STOP モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +85$	$V_{DD} = 5.0$ V	2.2	21.0	μ A
				$V_{DD} = 3.0$ V	2.2	21.0	μ A
				$V_{DD} = 2.0$ V	2.1	20.8	μ A
^{注3} I_{DD3}	STOP モード	$T_A = -40 \sim +70$		1.1	9.0	μ A	
			$T_A = -40 \sim +85$		1.1	16.0	μ A

注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

3. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。サブシステム・クロック停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は、 $T_A = 25$ です。

DC特性 (11/15)

μ PD78F1167, 78F1167A, 78F1168, 78F1168A

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V, 1.8 V$ $AV_{REF0} = V_{DD}, 1.8 V$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	I _{DD1} ^{注1}	動作モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		7.0	12.2	mA	
				発振子接続		7.3	12.5		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		7.0	12.2	mA	
				発振子接続		7.3	12.5		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力		3.8	6.2	mA	
				発振子接続		3.9	6.3		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力		3.8	6.2	mA	
				発振子接続		3.9	6.3		
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力		2.1	3.0	mA
					発振子接続		2.2	3.1	
				低消費電流モード ^{注4}	方形波入力		1.5	2.1	mA
					発振子接続		1.5	2.1	
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	通常電流モード	方形波入力		1.4	2.1	mA
					発振子接続		1.4	2.1	
低消費電流モード ^{注4}	方形波入力			1.4	2.0	mA			
	発振子接続			1.4	2.0				
f _{IH} = 8 MHz ^{注5}		V _{DD} = 5.0 V		3.1	5.0	mA			
		V _{DD} = 3.0 V		3.1	5.0				

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. RMCレジスタに5AH設定時
5. 高速システム・クロック, サブシステム・クロックは停止時。FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH} : 高速内蔵発振クロック周波数

2. レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第23章 レギュレータを参照してください。
3. TYP.値の温度条件は, T_A = 25 です。

DC特性 (12/15)

μ PD78F1167, 78F1167A, 78F1168, 78F1168A

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I_{DD1} ^{注1}	動作モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +70$	$V_{DD} = 5.0$ V		6.4	36.0	μ A
				$V_{DD} = 3.0$ V		6.4	36.0	μ A
				$V_{DD} = 2.0$ V		6.3	32.8	μ A
			$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +85$	$V_{DD} = 5.0$ V		6.4	51.0	μ A
				$V_{DD} = 3.0$ V		6.4	51.0	μ A
				$V_{DD} = 2.0$ V		6.3	47.8	μ A

注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は、 $T_A = 25$ です。

DC特性 (13/15)

μ PD78F1167, 78F1167A, 78F1168, 78F1168A

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	I _{DD2} ^{注1}	HALT モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		1.0	2.7	mA	
				発振子接続		1.3	3.0		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.0	2.7	mA	
				発振子接続		1.3	3.0		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力		0.52	1.4	mA	
				発振子接続		0.62	1.5		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力		0.52	1.4	mA	
				発振子接続		0.62	1.5		
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力		0.36	0.75	mA
					発振子接続		0.41	0.8	
				低消費電流モード ^{注4}	方形波入力		0.22	0.5	mA
					発振子接続		0.27	0.55	
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	通常電流モード	方形波入力		0.22	0.5	mA
					発振子接続		0.27	0.55	
	低消費電流モード ^{注4}	方形波入力		0.22	0.5	mA			
		発振子接続		0.27	0.55				
f _{IH} = 8 MHz ^{注5}		V _{DD} = 5.0 V		0.45	1.2	mA			
		V _{DD} = 3.0 V		0.45	1.2				

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振, サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. RMCレジスタに5AH設定時
5. 高速システム・クロック, サブシステム・クロックは停止時。FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH} : 高速内蔵発振クロック周波数

2. レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第23章 レギュレータを参照してください。
3. TYP.値の温度条件は, T_A = 25 です。

DC特性 (14/15)

μ PD78F1167, 78F1167A, 78F1168, 78F1168A

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
電源電流	I_{DD2} ^{注1}	HALT モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +70$	$V_{DD} = 5.0$ V		2.2	26.0	μ A	
				$V_{DD} = 3.0$ V		2.2	26.0	μ A	
				$V_{DD} = 2.0$ V		2.1	25.8	μ A	
		I_{DD3} ^{注3}	STOP モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +85$	$V_{DD} = 5.0$ V		2.2	41.0	μ A
					$V_{DD} = 3.0$ V		2.2	41.0	μ A
					$V_{DD} = 2.0$ V		2.1	40.8	μ A
		$T_A = -40 \sim +70$		1.1	21.0	μ A			
		$T_A = -40 \sim +85$		1.1	36.0	μ A			

注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ, D/Aコンバータ, LVI回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振, 高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

3. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。サブシステム・クロック停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は, $T_A = 25$ です。

DC特性 (15/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}, 1.8 \text{ V}$ $AV_{REF0} = V_{DD}, 1.8 \text{ V}$ $AV_{REF1} = V_{DD},$
 $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RTC動作電流	I _{RTC} 注1, 2	f _{SUB} = 32.768 kHz	V _{DD} = 3.0 V	0.2	1.0	μA
			V _{DD} = 2.0 V	0.2	1.0	
ウォッチドッグ・タイマ動作電流	I _{WDT} 注2, 3	f _{IL} = 240 kHz		5	10	μA
A/Dコンバータ動作電流	I _{ADC} ^{注4}	最高速変換中, 2.3 V AV _{REF0}		0.86	1.9	mA
D/Aコンバータ動作電流	I _{DAC} ^{注5}	1チャンネル当たり		1.0	2.5	mA
LVI動作電流	I _{LVI} ^{注6}			9	18	μA

注1. リアルタイム・カウンタにのみ流れる電流です(XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・カウンタが動作中の場合、TYP.値は、I_{DD1}またはI_{DD2}のTYP.値にI_{RTC}のTYP.値を加算した値が、78K0R/KG3の電流値となります。I_{DD1}またはI_{DD2}のMAX.値にはリアルタイム・カウンタの動作電流も含まれます。

2. 高速内蔵発振、高速システム・クロックは停止時。

3. ウォッチドッグ・タイマにのみ流れる電流です(240 kHz内蔵発振器の動作電流を含みます)。f_{CLK} = f_{SUB}/2時またはSTOPモード時にウォッチドッグ・タイマが動作中の場合、I_{DD1}またはI_{DD2}またはI_{DD3}にI_{WDT}を加算した値が、78K0R/KG3の電流値となります。

4. A/Dコンバータ(AV_{REF0}端子)にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が、78K0R/KG3の電流値となります。

5. D/Aコンバータ(AV_{REF1}端子)にのみ流れる電流です。動作モードまたはHALTモード時にD/Aコンバータが動作中の場合、I_{DD1}またはI_{DD2}にI_{DAC}を加算した値が、78K0R/KG3の電流値となります。

6. LVI回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVI回路が動作中の場合、I_{DD1}またはI_{DD2}またはI_{DD3}にI_{LVI}を加算した値が、78K0R/KG3の電流値となります。

備考1. f_{IL} : 低速内蔵発振クロック周波数

f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. TYP.値の温度条件は、T_A = 25 °C です。

AC特性

(1) 基本動作 (1/6)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $1.8\text{ V} \leq AV_{REF0} \leq V_{DD}$, $1.8\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{MAIN})動作	通常電流モード 2.7V $V_{DD} \leq 5.5\text{ V}$	0.05		8	$\mu\text{ s}$
			1.8V $V_{DD} < 2.7\text{ V}$	0.2		8	$\mu\text{ s}$
		低消費電流モード		0.2		8	$\mu\text{ s}$
		サブシステム・クロック (f_{SUB})動作		57.2	61	62.5	$\mu\text{ s}$
		セルフ・プログラミング時	通常電流モード 2.7V $V_{DD} \leq 5.5\text{ V}$	0.05		0.5	$\mu\text{ s}$
外部メイン・システム・クロック周波数	f_{EX}	2.7V $V_{DD} \leq 5.5\text{ V}$	通常電流モード		2.0	20.0	MHz
		低消費電流モード		2.0	5.0	MHz	
		1.8V $V_{DD} < 2.7\text{ V}$		2.0	5.0	MHz	
外部メイン・システム・クロック入力ハイ, ロウ・レベル幅	t_{EXH} , t_{EXL}	2.7V $V_{DD} \leq 5.5\text{ V}$	通常電流モード		24		ns
			低消費電流モード		96		ns
	1.8V $V_{DD} < 2.7\text{ V}$		96		ns		
Ti00-Ti07入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH} , t_{TIL}		$1/f_{MCK} + 10$				ns
TO00-TO07出力周波数	f_{RO}	2.7V $V_{DD} \leq 5.5\text{ V}$			10	MHz	
		1.8V $V_{DD} < 2.7\text{ V}$			5	MHz	
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	2.7V $V_{DD} \leq 5.5\text{ V}$			10	MHz	
		1.8V $V_{DD} < 2.7\text{ V}$			5	MHz	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}		1				$\mu\text{ s}$
キー割り込み入力 ロウ・レベル幅	t_{KR}		250				ns
RESETロウ・レベル幅	t_{RSL}		10				$\mu\text{ s}$

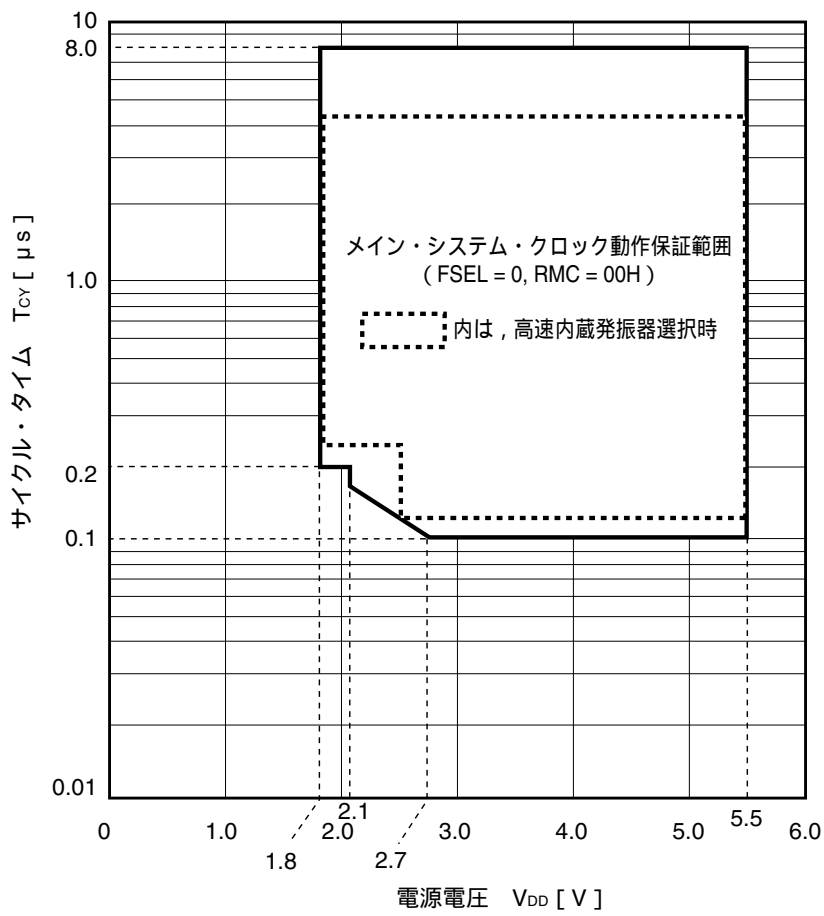
備考1. f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(TMR0nレジスタのCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-7))

- レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第23章 レギュレータを参照してください。

(1) 基本動作 (2/6)

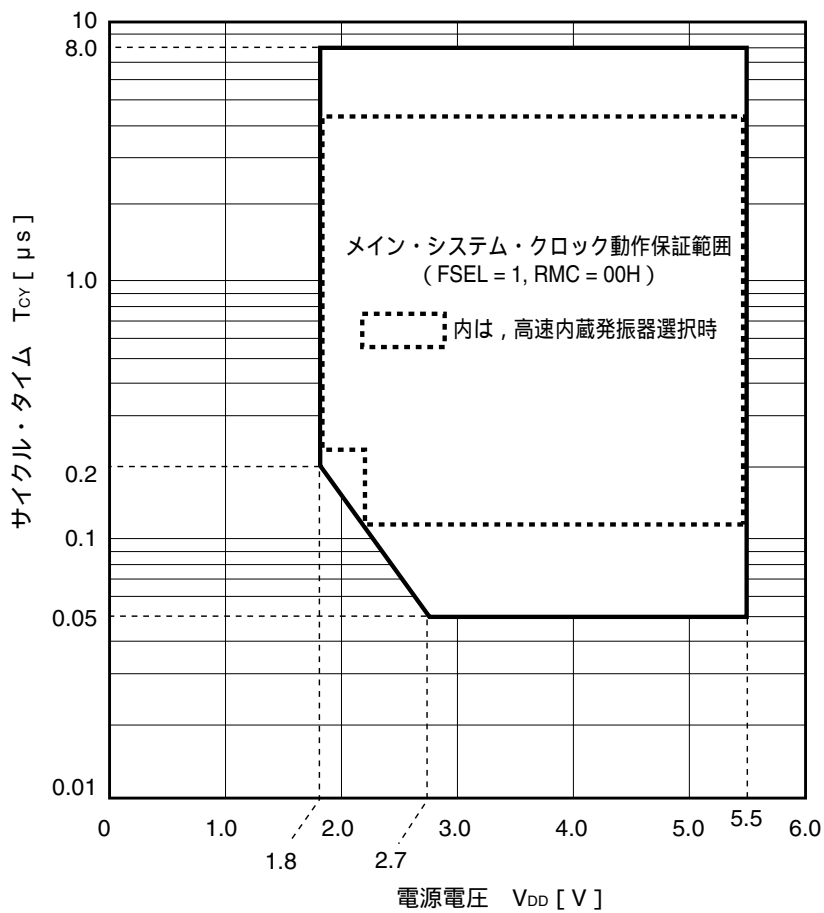
メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 00H)



備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
 RMC : レギュレータ・モード制御レジスタ

(1) 基本動作 (3/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 1, RMC = 00H)

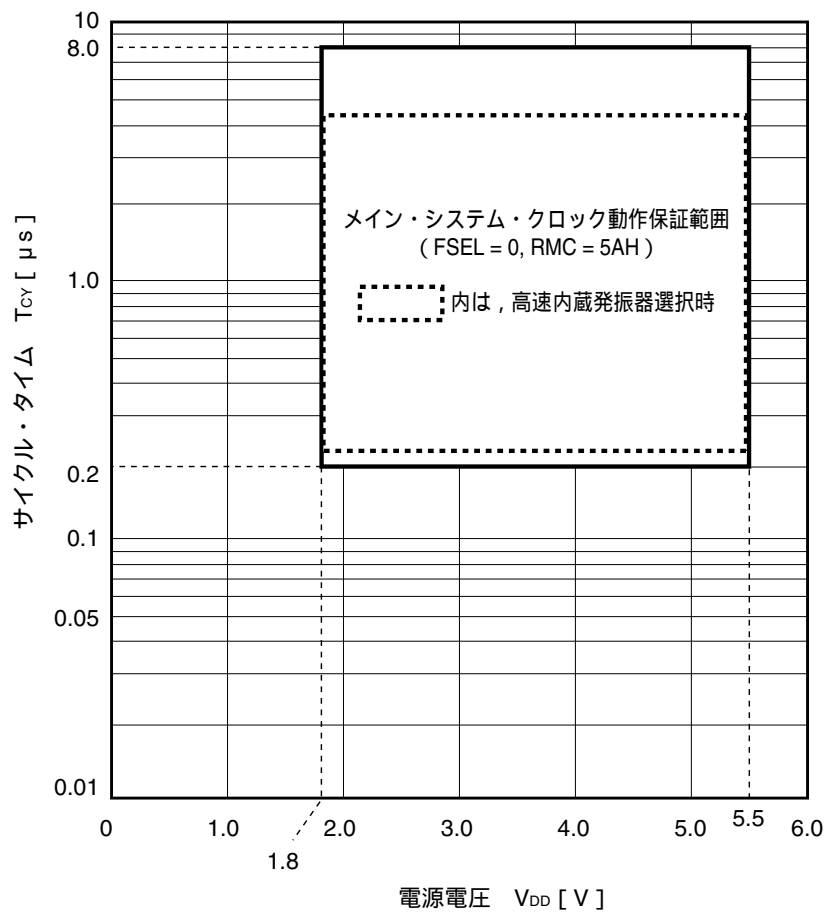


備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

RMC : レギュレータ・モード制御レジスタ

(1) 基本動作 (4/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 5AH)



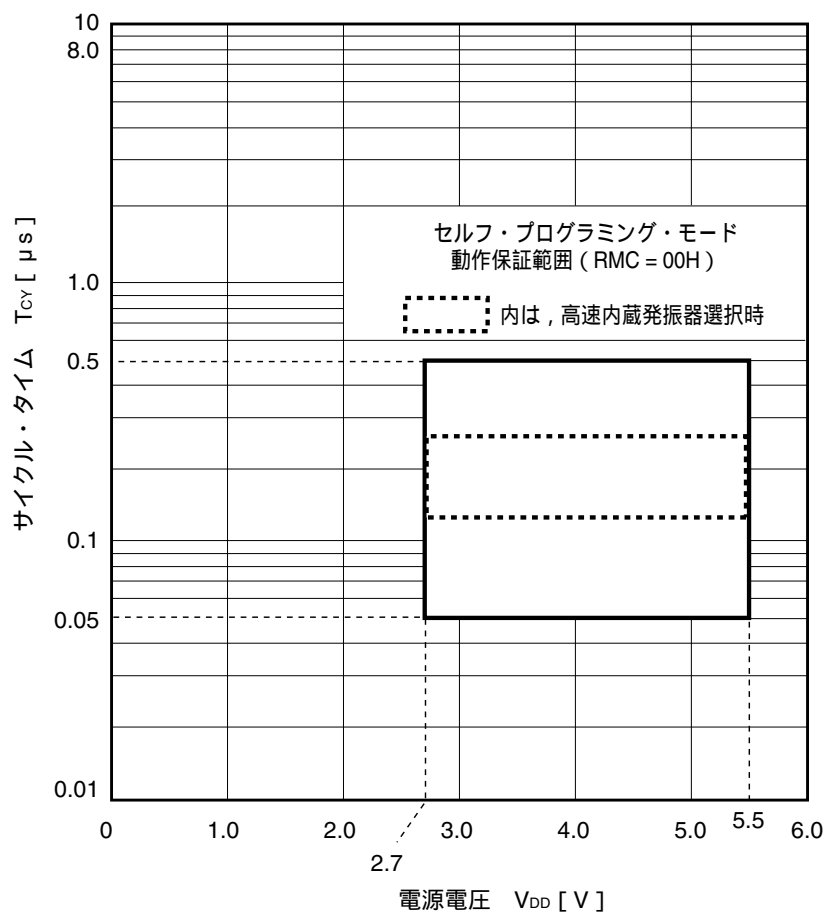
備考1. FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

RMC : レギュレータ・モード制御レジスタ

2. RMC = 5AH時は, 全電圧範囲で5 MHz (MAX.) となります。

(1) 基本動作 (5/6)

セルフ・プログラミング・モード時の最小命令実行時間 (RMC = 00H)

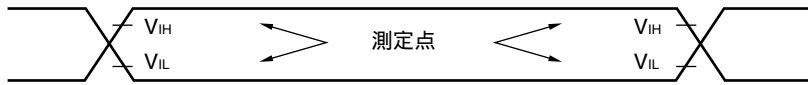


備考1. RMC : レギュレータ・モード制御レジスタ

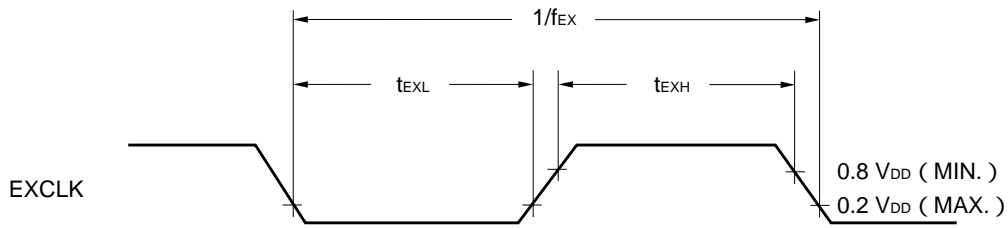
- RMC = 5AH時および、CPUがサブシステム・クロック動作時は、セルフ・プログラミング機能を使用できません。

(1) 基本動作 (6/6)

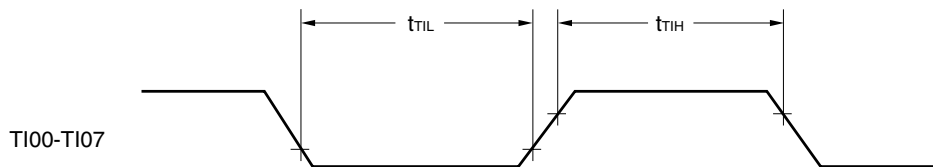
ACタイミング測定点 (外部バス・インタフェースを除く)



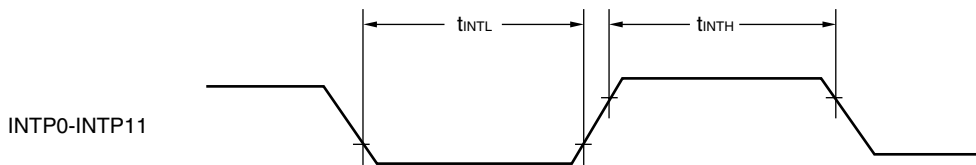
外部メイン・システム・クロック・タイミング



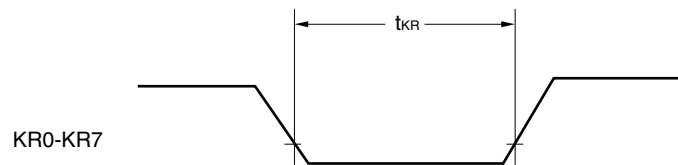
TIタイミング



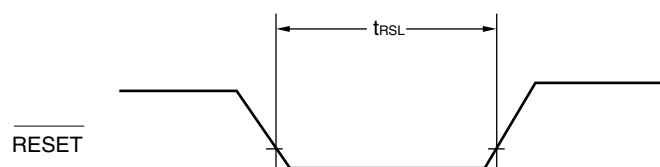
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET入力タイミング



(2) 外部バス・インタフェース (1/3)

(a) リード/ライト・サイクル (CLKOUT同期)

・従来規格品 (μ PD78F116x)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKOUTサイクル	t _{CYK}	<1>	2.7V V _{DD} 5.5V	100		ns
CLKOUTハイ・レベル幅	t _{WKH}	<2>	2.7V V _{DD} 5.5V	0.4t _{CYK} - 30	0.6t _{CYK}	ns
CLKOUTロウ・レベル幅	t _{WKL}	<3>	2.7V V _{DD} 5.5V	0.4t _{CYK} - 30	0.6t _{CYK}	ns
ASTBハイ・レベル幅	t _{WASH1}	<4>	2.7V V _{DD} 5.5V	0.8t _{CYK} - 40	1.2t _{CYK}	ns
\overline{RD} ロウ・レベル幅	t _{WRDL1}	<5>	2.7V V _{DD} 5.5V	(0.8 + m + w) t _{CYK} - 40	(1.2 + m + w) t _{CYK}	ns
$\overline{WR0}$, $\overline{WR1}$ ロウ・レベル幅	t _{WWRL1}	<6>	2.7V V _{DD} 5.5V	(0.8 + w) t _{CYK} - 40	(1.2 + w) t _{CYK}	ns
CLKOUT ASTB遅延時間	t _{DKAS1}	<7>	2.7V V _{DD} 5.5V	2	50	ns
CLKOUT \overline{RD} 遅延時間	t _{DKRD1}	<8>	2.7V V _{DD} 5.5V	2	50	ns
CLKOUT $\overline{WR0}$, $\overline{WR1}$ 遅延時間	t _{DKWR1}	<9>	2.7V V _{DD} 5.5V	2	50	ns
CLKOUT アドレス遅延時間	t _{DKA1}	<10>	2.7V V _{DD} 5.5V	2	55	ns
CLKOUT 出力データ遅延時間	t _{DKOD1}	<11>	2.7V V _{DD} 5.5V	2	55	ns
CLKOUT 出力データ・ホールド時間	t _{HKOD1}	<12>	2.7V V _{DD} 5.5V	2		ns
CLKOUT 入力データ・セットアップ時間	t _{SKD11}	<13>	2.7V V _{DD} 5.5V	40		ns
CLKOUT 入力データ・ホールド時間	t _{HKD11}	<14>	2.7V V _{DD} 5.5V	0		ns
CLKOUT \overline{WAIT} セットアップ時間	t _{SKWT1}	<15>	2.7V V _{DD} 5.5V	45		ns
CLKOUT \overline{WAIT} ホールド時間	t _{HKWT1}	<16>	2.7V V _{DD} 5.5V	0		ns
アドレス出力停止 \overline{RD} 遅延時間	t _{DAR1}	<17>	2.7V V _{DD} 5.5V	0		ns

備考1. C_L : 端子負荷容量は15 pF

2. 測定点 V_{OH} = 0.8V_{DD}, V_{OL} = 0.2V_{DD}
3. m = 0 : マルチプレクスト・バス・モード
 m = 1 : セパレート・バス・モード
 w : \overline{WAIT} によるウエイト数

・拡張規格品 (μ PD78F116xA)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

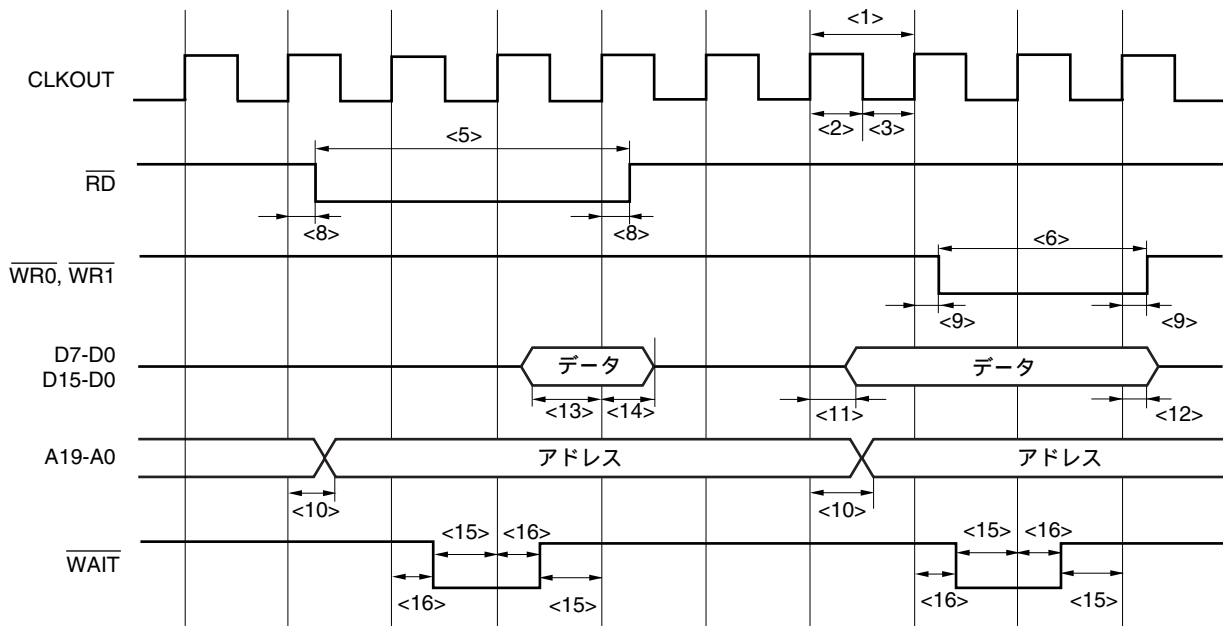
項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKOUTサイクル	t_{CYK}	<1>	2.7V V_{DD} 5.5V	100		ns
			1.8V $V_{DD} < 2.7$ V	200		ns
CLKOUTハイ・レベル幅	t_{WKH}	<2>	2.7V V_{DD} 5.5V	$0.4t_{CYK} - 30$	$0.6t_{CYK}$	ns
			1.8V $V_{DD} < 2.7$ V	$0.4t_{CYK} - 50$	$0.6t_{CYK}$	ns
CLKOUTロウ・レベル幅	t_{WKL}	<3>	2.7V V_{DD} 5.5V	$0.4t_{CYK} - 30$	$0.6t_{CYK}$	ns
			1.8V $V_{DD} < 2.7$ V	$0.4t_{CYK} - 50$	$0.6t_{CYK}$	ns
ASTBハイ・レベル幅	t_{WASH1}	<4>	2.7V V_{DD} 5.5V	$0.8t_{CYK} - 40$	$1.2t_{CYK}$	ns
			1.8V $V_{DD} < 2.7$ V	$0.8t_{CYK} - 60$	$1.2t_{CYK}$	ns
RDロウ・レベル幅	t_{WRDL1}	<5>	2.7V V_{DD} 5.5V	$(0.8 + m + w)t_{CYK} - 40$	$(1.2 + m + w)t_{CYK}$	ns
			1.8V $V_{DD} < 2.7$ V	$(0.8 + m + w)t_{CYK} - 60$	$(1.2 + m + w)t_{CYK}$	ns
WR0, WR1ロウ・レベル幅	t_{WWRL1}	<6>	2.7V V_{DD} 5.5V	$(0.8 + w)t_{CYK} - 40$	$(1.2 + w)t_{CYK}$	ns
			1.8V $V_{DD} < 2.7$ V	$(0.8 + w)t_{CYK} - 60$	$(1.2 + w)t_{CYK}$	ns
CLKOUT ASTB遅延時間	t_{DKAS1}	<7>	2.7V V_{DD} 5.5V	2	50	ns
			1.8V $V_{DD} < 2.7$ V	2	80	ns
CLKOUT RD遅延時間	t_{DKRD1}	<8>	2.7V V_{DD} 5.5V	2	50	ns
			1.8V $V_{DD} < 2.7$ V	2	80	ns
CLKOUT WR0, WR1遅延時間	t_{DKWR1}	<9>	2.7V V_{DD} 5.5V	2	50	ns
			1.8V $V_{DD} < 2.7$ V	2	80	ns
CLKOUT アドレス遅延時間	t_{DKA1}	<10>	2.7V V_{DD} 5.5V	2	55	ns
			1.8V $V_{DD} < 2.7$ V	2	90	ns
CLKOUT 出力データ遅延時間	t_{DKOD1}	<11>	2.7V V_{DD} 5.5V	2	55	ns
			1.8V $V_{DD} < 2.7$ V	2	90	ns
CLKOUT 出力データ・ホールド時間	t_{HKOD1}	<12>	2.7V V_{DD} 5.5V	2		ns
			1.8V $V_{DD} < 2.7$ V	2		ns
CLKOUT 入力データ・セットアップ時間	t_{SKD1}	<13>	2.7V V_{DD} 5.5V	40		ns
			1.8V $V_{DD} < 2.7$ V	85		ns
CLKOUT 入力データ・ホールド時間	t_{HKD1}	<14>	2.7V V_{DD} 5.5V	0		ns
			1.8V $V_{DD} < 2.7$ V	0		ns
CLKOUT WAITセットアップ時間	t_{SKWT1}	<15>	2.7V V_{DD} 5.5V	45		ns
			1.8V $V_{DD} < 2.7$ V	85		ns
CLKOUT WAITホールド時間	t_{HKWT1}	<16>	2.7V V_{DD} 5.5V	0		ns
			1.8V $V_{DD} < 2.7$ V	0		ns
アドレス出力停止 RD 遅延時間	t_{DAR1}	<17>	2.7V V_{DD} 5.5V	0		ns
			1.8V $V_{DD} < 2.7$ V	0		ns

備考1. C_L : 端子負荷容量は15 pF

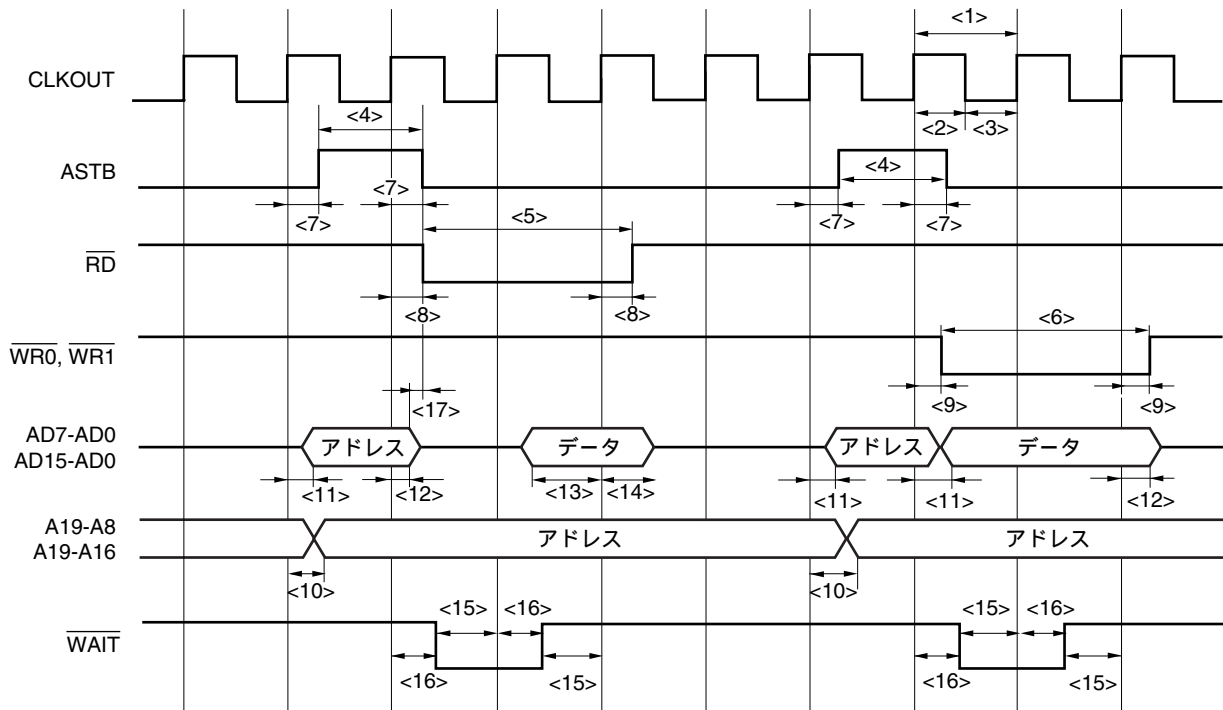
- 測定点 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$
- $m = 0$: マルチプレクスト・バス・モード
 $m = 1$: セパレート・バス・モード
 w : WAITによるウェイト数

(2) 外部バス・インタフェース (2/3)

リード/ライト・サイクル (CLKOUT同期) : セバレート・バス・モード時



リード/ライト・サイクル (CLKOUT同期) : マルチプレクスト・バス・モード時



(2) 外部バス・インタフェース (3/3)

(b) リード/ライト・サイクル (CLKOUT非同期)

・従来規格品 (μ PD78F116x)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKOUTサイクル	t_{CYK2}	<18> 2.7V V_{DD} 5.5V	100			ns
\overline{RD} 口ウ・レベル幅	t_{WRDL2}	<19> 2.7V V_{DD} 5.5V	$1.8t_{CYK2} - 40$		$2.2t_{CYK2}$	ns
$\overline{WR0}$, $\overline{WR1}$ 口ウ・レベル幅	t_{WWRL2}	<20> 2.7V V_{DD} 5.5V	$0.8t_{CYK2} - 40$		$1.2t_{CYK2}$	ns
\overline{RD} 入力データ・セットアップ時間	t_{SRDDI2}	<21> 2.7V V_{DD} 5.5V	90			ns
\overline{RD} 入力データ・ホールド時間	t_{HRDDI2}	<22> 2.7V V_{DD} 5.5V	0			ns
$\overline{WR0}$, $\overline{WR1}$ 出力データ・セットアップ時間	t_{SWROD2}	<23> 2.7V V_{DD} 5.5V	$t_{CYK2} - 5$			ns
$\overline{WR0}$, $\overline{WR1}$ 出力データ・ホールド時間	t_{HKOD2}	<24> 2.7V V_{DD} 5.5V	2			ns
\overline{RD} アドレス遅延時間	t_{DRDA2}	<25> 2.7V V_{DD} 5.5V			5	ns
$\overline{WR0}$, $\overline{WR1}$ アドレス・セットアップ時間	t_{SWRA2}	<26> 2.7V V_{DD} 5.5V	$t_{CYK2} - 5$			ns

・拡張規格品 (μ PD78F116xA)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKOUTサイクル	t_{CYK2}	<18> 2.7V V_{DD} 5.5V	100			ns
		1.8V $V_{DD} < 2.7V$	200			ns
\overline{RD} 口ウ・レベル幅	t_{WRDL2}	<19> 2.7V V_{DD} 5.5V	$1.8t_{CYK2} - 40$		$2.2t_{CYK2}$	ns
		1.8V $V_{DD} < 2.7V$	$1.8t_{CYK2} - 60$		$2.2t_{CYK2}$	ns
$\overline{WR0}$, $\overline{WR1}$ 口ウ・レベル幅	t_{WWRL2}	<20> 2.7V V_{DD} 5.5V	$0.8t_{CYK2} - 40$		$1.2t_{CYK2}$	ns
		1.8V $V_{DD} < 2.7V$	$0.8t_{CYK2} - 60$		$1.2t_{CYK2}$	ns
\overline{RD} 入力データ・セットアップ時間	t_{SRDDI2}	<21> 2.7V V_{DD} 5.5V	90			ns
		1.8V $V_{DD} < 2.7V$	170			ns
\overline{RD} 入力データ・ホールド時間	t_{HRDDI2}	<22> 2.7V V_{DD} 5.5V	0			ns
		1.8V $V_{DD} < 2.7V$	0			ns
$\overline{WR0}$, $\overline{WR1}$ 出力データ・セットアップ時間	t_{SWROD2}	<23> 2.7V V_{DD} 5.5V	$t_{CYK2} - 5$			ns
		1.8V $V_{DD} < 2.7V$	$t_{CYK2} - 15$			ns
$\overline{WR0}$, $\overline{WR1}$ 出力データ・ホールド時間	t_{HKOD2}	<24> 2.7V V_{DD} 5.5V	2			ns
		1.8V $V_{DD} < 2.7V$	2			ns
\overline{RD} アドレス遅延時間	t_{DRDA2}	<25> 2.7V V_{DD} 5.5V			5	ns
		1.8V $V_{DD} < 2.7V$			15	ns
$\overline{WR0}$, $\overline{WR1}$ アドレス・セットアップ時間	t_{SWRA2}	<26> 2.7V V_{DD} 5.5V	$t_{CYK2} - 5$			ns
		1.8V $V_{DD} < 2.7V$	$t_{CYK2} - 15$			ns

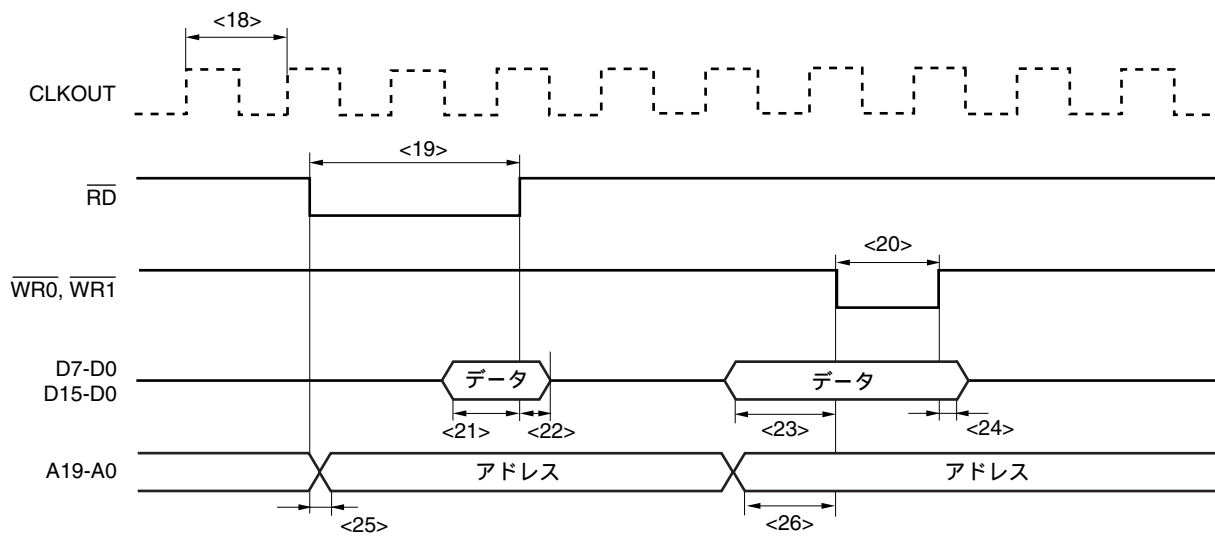
注意1. CLKOUT非同期ではCLKOUT出力は使用しませんが、メモリ拡張モード制御レジスタ(MEM)のビット4, 5 (EW0, EW1)の設定によって、CPUはウエイトが発生します。 f_{CLK} が高速の場合は、EW0, EW1ビットの設定で、ウエイトを挿入してください。

2. CLKOUT非同期では、 \overline{WAIT} 端子は使用しないでください。
CLKOUT非同期では、セパレート・バス・モードを使用してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. C_L : 端子負荷容量は15 pF
3. 測定点 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

リード/ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時



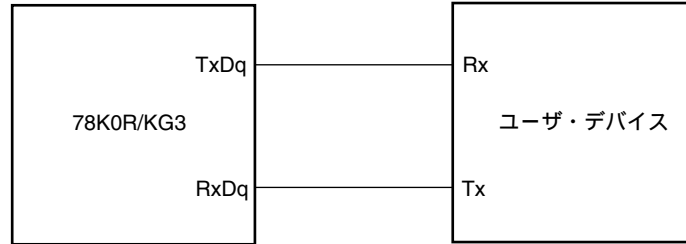
(3) シリアル・インタフェース：シリアル・アレイ・ユニット (1/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

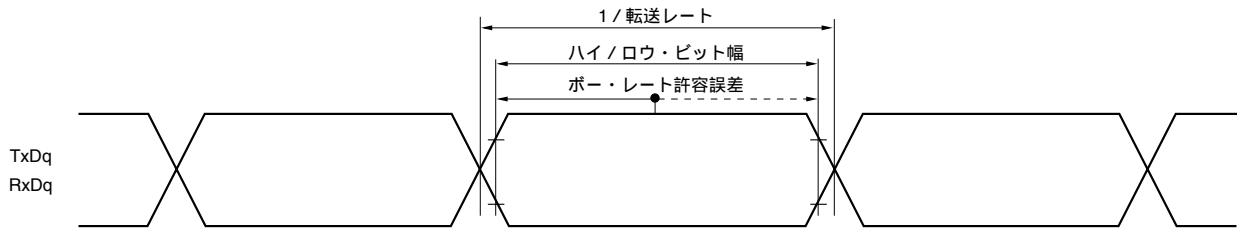
(a) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					$f_{MCK}/6$	bps
		$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$			3.3	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDiは通常入力バッファ、TxDiは通常出力モードを選択。

備考1. q : UART番号 (q = 0-3) , g : PIM, POM番号 (g = 0, 14) ,

i : 異電位通信を選択可能なUART番号 (i = 1, 2)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-3))

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (2/17)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(b) 同電位通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	200 ^{注1}			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	300 ^{注1}			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	600 ^{注1}			ns
SCKpハイ, ロウ・レベル幅	t_{KH1} , t_{KL1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$t_{KCY1}/2 - 20$			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$t_{KCY1}/2 - 35$			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	$t_{KCY1}/2 - 80$			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注2}	t_{SIK1}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	70			ns
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	100			ns
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	190			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注2}	t_{SH1}		30			ns
\overline{SCKp} SOP出力遅延時間 ^{注3}	t_{KSO1}	$C = 30\text{ pF}$ ^{注4}			40	ns

注1. $C \geq 4/f_{CLK}$ 以上に設定してください。

- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 \overline{SCKp} ”となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 \overline{SCKp} ”となります。
- Cは、 \overline{SCKp} , SOP出力ラインの負荷容量です。

注意 PIMgレジスタとPOMgレジスタで、Sijは通常入力バッファ、SOjと \overline{SCKj} は通常出力モードを選択。

- 備考1. p : CSI番号 (p = 00, 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14) ,
j : 異電位通信を選択可能なCSI番号 (j = 01, 10, 20)
2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (3/17)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(c) 同電位通信時 (CSIモード) (スレーブ・モード, \overline{SCKp} ...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCKpサイクル・タイム	t_{KY2}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$6/f_{MCK}$			ns	
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$16\text{ MHz} < f_{MCK}$	$8/f_{MCK}$		ns	
			$f_{MCK} \leq 16\text{ MHz}$	$6/f_{MCK}$		ns	
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	$16\text{ MHz} < f_{MCK}$	$8/f_{MCK}$		ns	
$f_{MCK} \leq 16\text{ MHz}$	$6/f_{MCK}$			ns			
SCKpハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{KY2}/2$			ns	
Slpセットアップ時間 (対 \overline{SCKp}) ^{注1}	t_{SIK2}		80			ns	
Slpホールド時間 (対 \overline{SCKp}) ^{注1}	t_{KS2}		$1/f_{MCK} +$ 50			ns	
SCKp SOP出力遅延時間 ^{注2}	t_{KSO2}	$C = 30\text{ pF}$ ^{注3}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			$2/f_{MCK} + 45$	ns
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$			$2/f_{MCK} + 57$	ns
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$			$2/f_{MCK} + 125$	ns

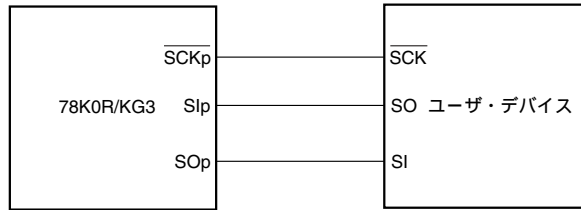
- 注1. $DAP_{mn} = 0$, $CKP_{mn} = 0$ または $DAP_{mn} = 1$, $CKP_{mn} = 1$ のとき。 $DAP_{mn} = 0$, $CKP_{mn} = 1$ または $DAP_{mn} = 1$, $CKP_{mn} = 0$ のときは“対 \overline{SCKp} ”となります。
2. $DAP_{mn} = 0$, $CKP_{mn} = 0$ または $DAP_{mn} = 1$, $CKP_{mn} = 1$ のとき。 $DAP_{mn} = 0$, $CKP_{mn} = 1$ または $DAP_{mn} = 1$, $CKP_{mn} = 0$ のときは“対 \overline{SCKp} ”となります。
3. Cは, SOP出力ラインの負荷容量です。

注意 PIMgレジスタとPOMgレジスタで, Slj と \overline{SCKj} は通常入力バッファ, SOj は通常出力モードを選択。

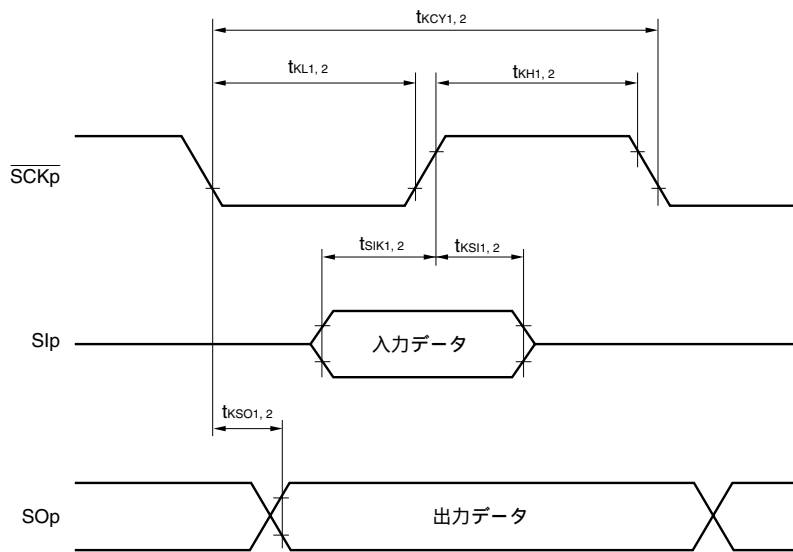
- 備考1. p: CSI番号 (p = 00, 01, 10, 20), g: PIM, POM番号 (g = 0, 4, 14),
j: 異電位通信を選択可能なCSI番号 (j = 01, 10, 20)
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-2))

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (4/17)

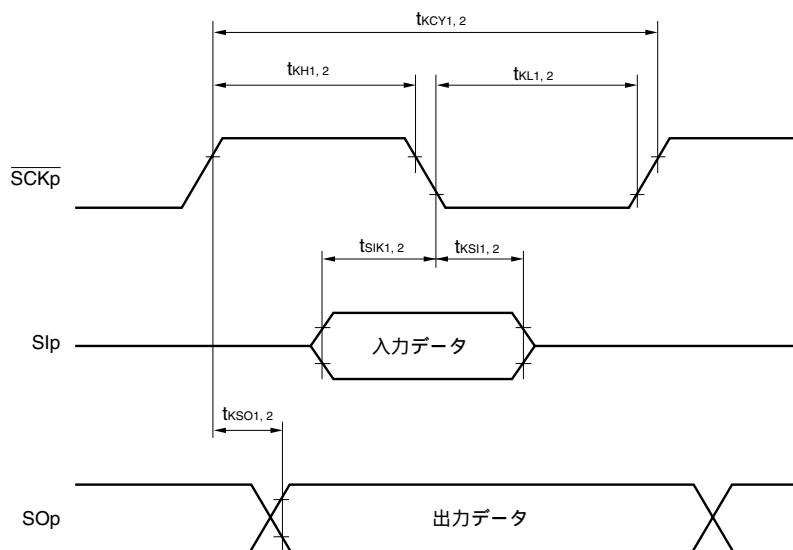
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号 (p = 00, 01, 10, 20)
2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

(3) シリアル・インタフェース：シリアル・アレィ・ユニット (5/17)

(d) 同電位通信時 (簡易I²Cモード)

・従来規格品 (μ PD78F116x)

(T_A = -40 ~ +85 , 2.7 V V_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k		400 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	995		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	995		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	1/f _{MCK} + 120		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	0	160	ns

注 かつf_{MCK}/4以下に設定してください。

・拡張規格品 (μ PD78F116xA)

(T_A = -40 ~ +85 , 1.8 V V_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V)

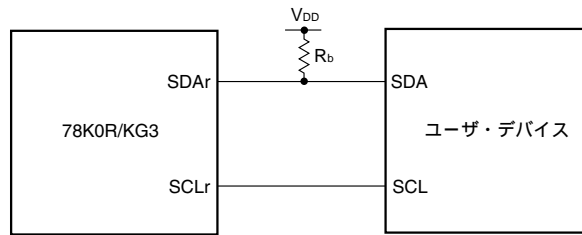
項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k		400 ^注	kHz
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k		300 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	995		ns
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k	1500		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	995		ns
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k	1500		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	1/f _{MCK} + 120		ns
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k	1/f _{MCK} + 230		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	0	160	ns
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k	0	210	ns

注 かつf_{MCK}/4以下に設定してください。

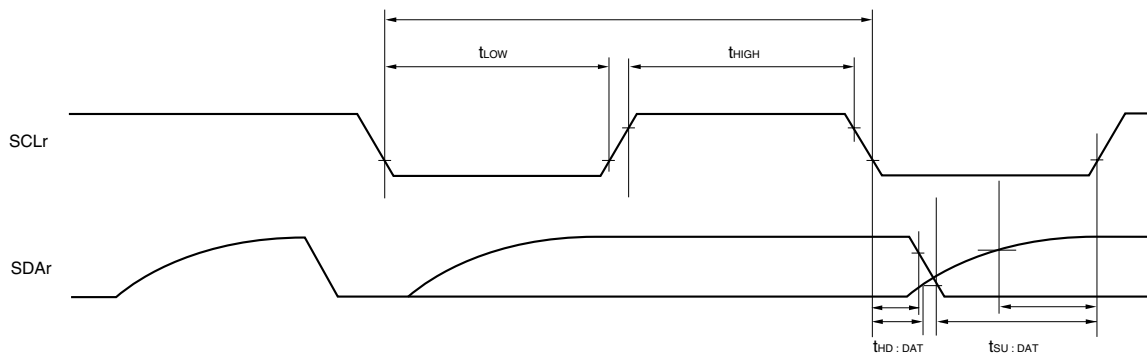
(備考は次ページにあります。)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (6/17)

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



注意 PIMgレジスタとPOMgレジスタで、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCLrは通常出力モードを選択。

- 備考**1. R_b [] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値
 2. r : IIC番号 (r = 10, 20), g : PIM, POM番号 (g = 0, 14)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 2), mn = 02, 10)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (7/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート		受信	4.0 V V_{DD} 5.5 V,			$f_{MCK}/6$	bps
			2.7 V V_b 4.0 V	$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$			3.3
			2.7 V $V_{DD} < 4.0\text{ V}$,			$f_{MCK}/6$	bps
			2.3 V V_b 2.7 V	$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$			3.3

注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. q : UART番号 (q = 1, 2) , g : PIM, POM番号 (g = 0, 14)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-3))

3. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

4. UART0, UART3は、異電位通信できません。異電位通信をする場合は、UART1, UART2を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (8/17)

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート		送信	4.0 V VDD 5.5 V,			注1	
			2.7 V Vb 4.0 V	fCLK = 16.8 MHz, fMCK = fCLK, Cb = 50 pF, Rb = 1.4 k , Vb = 2.7 V			2.8 ^{注2}
		2.7 V VDD < 4.0 V,				注3	
			2.3 V Vb 2.7 V	fCLK = 19.2 MHz, fMCK = fCLK, Cb = 50 pF, Rb = 2.7 k , Vb = 2.3 V			1.2 ^{注4}

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V VDD = EVDD 5.5 V, 2.7 V Vb 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.2}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。
- fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V VDD = EVDD < 4.0 V, 2.3 V Vb 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \left\{ -C_b \times R_b \times \ln \left(1 - \frac{2.0}{V_b} \right) \right\}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

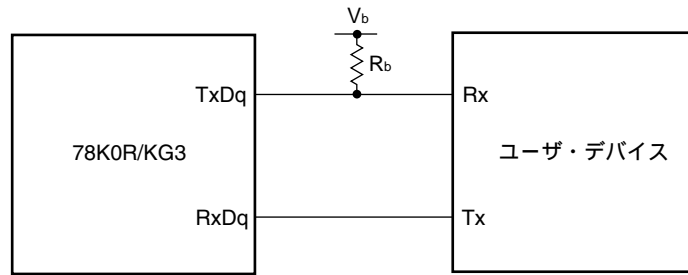
- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (VDD耐圧) モードを選択。

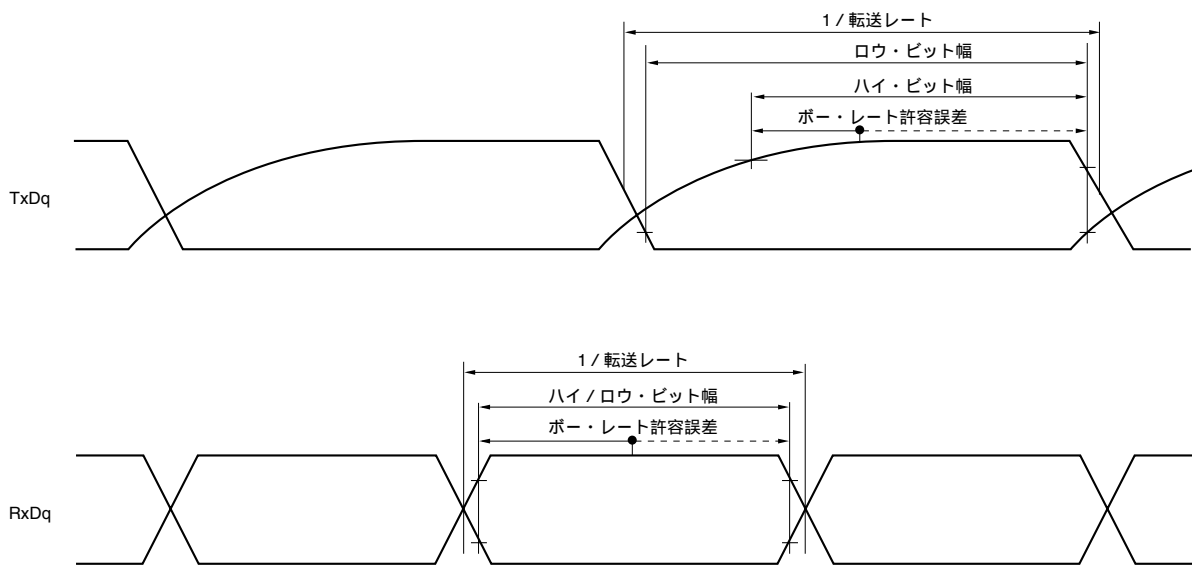
- 備考**1. Rb [] : 通信ライン (TxDq) プルアップ抵抗値, Cb [F] : 通信ライン (TxDq) 負荷容量値, Vb [V] : 通信ライン電圧
 2. q : UART番号 (q = 1, 2) , g : PIM, POM番号 (g = 0, 14)
 3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-3))
 4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記のVIHとVILを観測点としています。
 4.0 V VDD 5.5 V, 2.7 V Vb 4.0 Vのとき : VIH = 2.2 V, VIL = 0.8 V
 2.7 V VDD 4.0 V, 2.3 V Vb 2.7 Vのとき : VIH = 2.0 V, VIL = 0.5 V
 5. UART0, UART3は、異電位通信できません。異電位通信をする場合は、UART1, UART2を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (9/17)

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレーン出力 (V_{DD} 耐圧) モードを選択。

- 備考** 1. R_b [] : 通信ライン (TxDq) プルアップ抵抗値, V_b [V] : 通信ライン電圧
 2. q : UART番号 (q = 1, 2) , g : PIM, POM番号 (g = 0, 14)
 3. UART0, UART3は、異電位通信できません。異電位通信をする場合は、UART1, UART2を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (10/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	tkCY1	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	400 ^{注1}			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	800 ^{注1}			ns
SCKpハイ・レベル幅	tkH1	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	tkCY1/2 - 75			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	tkCY1/2 - 170			ns
SCKpロウ・レベル幅	tkL1	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	tkCY1/2 - 20			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	tkCY1/2 - 35			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注2}	tsIK1	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	150			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	275			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注2}	tkSI1	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k	30			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k	30			ns
\overline{SCKp} SOp出力遅延時間 ^{注2}	tkSO1	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30$ pF, $R_b = 1.4$ k			120	ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, $C_b = 30$ pF, $R_b = 2.7$ k			215	ns

注1. $\text{かつ} 4/f_{CLK}$ 以上に設定してください。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpと \overline{SCKp} はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

3. R_b [] : 通信ライン (\overline{SCKp} , SOp) プルアップ抵抗値, C_b [F] : 通信ライン (\overline{SCKp} , SOp) 負荷容量値, V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2$ V, $V_{IL} = 0.8$ V

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V

5. CSI00は, 異電位通信できません。異電位通信をする場合は, CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (11/17)

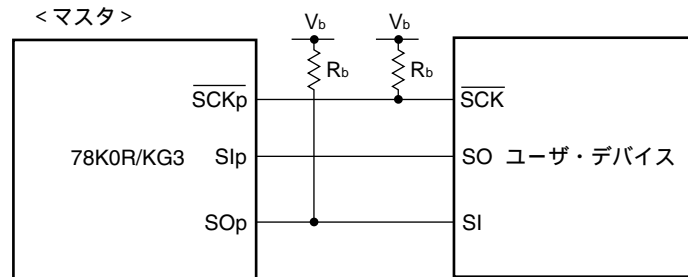
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Slpセットアップ時間 (対 \overline{SCKp}) ^注	t _{SIK1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$	70			ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$	100			ns
Slpホールド時間 (対 \overline{SCKp}) ^注	t _{KS11}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$	30			ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$	30			ns
\overline{SCKp} SOp出力遅延時間 ^注	t _{KS01}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$			40	ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$			40	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpと \overline{SCKp} はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

3. R_b [] : 通信ライン (\overline{SCKp} , SOp) プルアップ抵抗値, C_b [F] : 通信ライン (\overline{SCKp} , SOp) 負荷容量値, V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

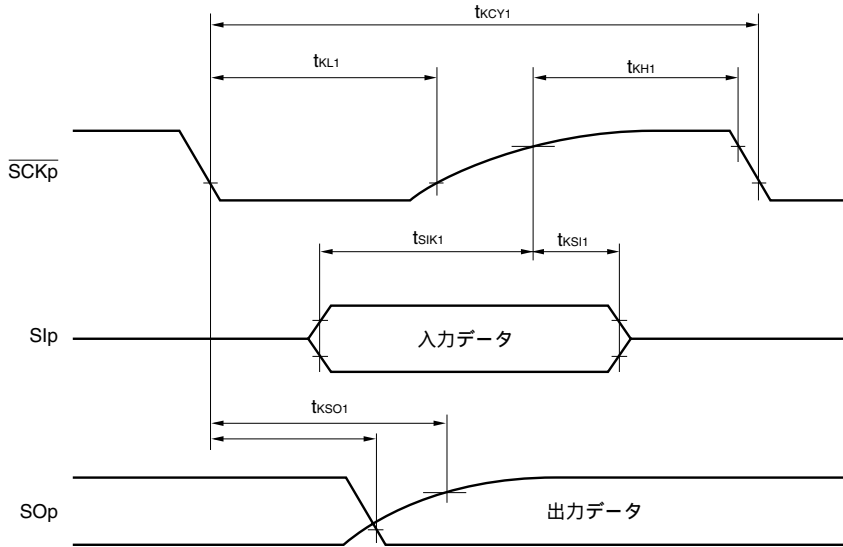
4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

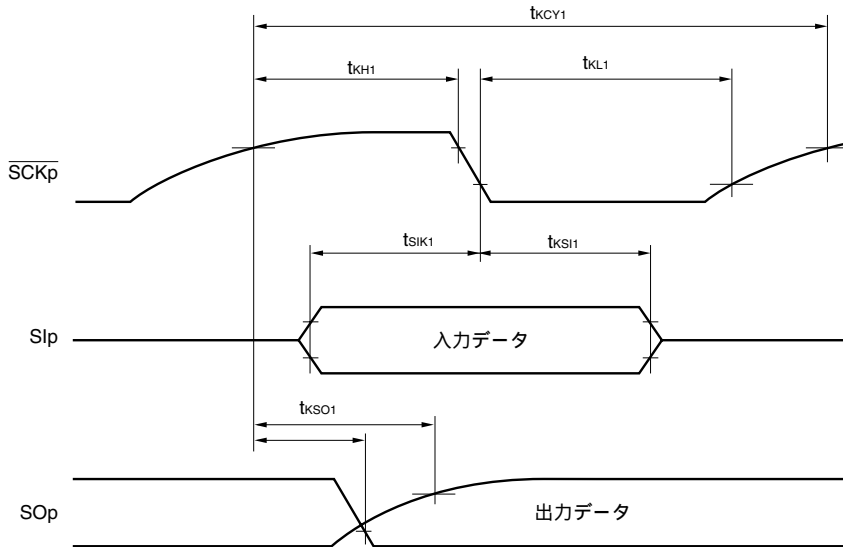
5. CSI00は, 異電位通信できません。異電位通信をする場合は, CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (12/17)

CSIモード・シリアル転送タイミング：マスタ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：マスタ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpとSCKpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

- 備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14)
 2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)
 3. CSI00は, 異電位通信できません。異電位通信をする場合は, CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (13/17)

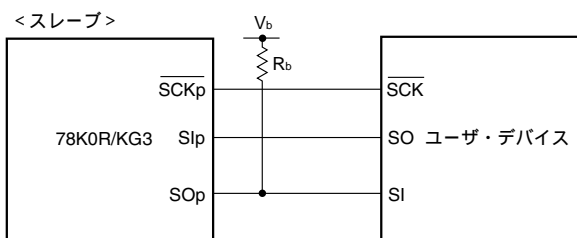
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V	13.6 MHz < f_{MCK}	10/ f_{MCK}		ns
			6.8 MHz < f_{MCK} 13.6 MHz	8/ f_{MCK}		ns
			f_{MCK} 6.8 MHz	6/ f_{MCK}		ns
		2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V	18.5 MHz < f_{MCK}	16/ f_{MCK}		ns
			14.8 MHz < f_{MCK} 18.5 MHz	14/ f_{MCK}		ns
			11.1 MHz < f_{MCK} 14.8 MHz	12/ f_{MCK}		ns
			7.4 MHz < f_{MCK} 11.1 MHz	10/ f_{MCK}		ns
			3.7 MHz < f_{MCK} 7.4 MHz	8/ f_{MCK}		ns
	f_{MCK} 3.7 MHz	6/ f_{MCK}		ns		
SCKpハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V	$t_{KCY2}/2 -$ 20			ns
		2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V	$t_{KCY2}/2 -$ 35			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{SIK2}		90			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{KSI2}		1/ $f_{MCK} +$ 50			ns
$\overline{\text{SCKp}}$ SOP出力遅延時間 ^{注2}	t_{KS02}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$			2/ $f_{MCK} +$ 120	ns
		2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$			2/ $f_{MCK} +$ 230	ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで,Slpと $\overline{\text{SCKp}}$ はTTL入力バッファ,SOpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

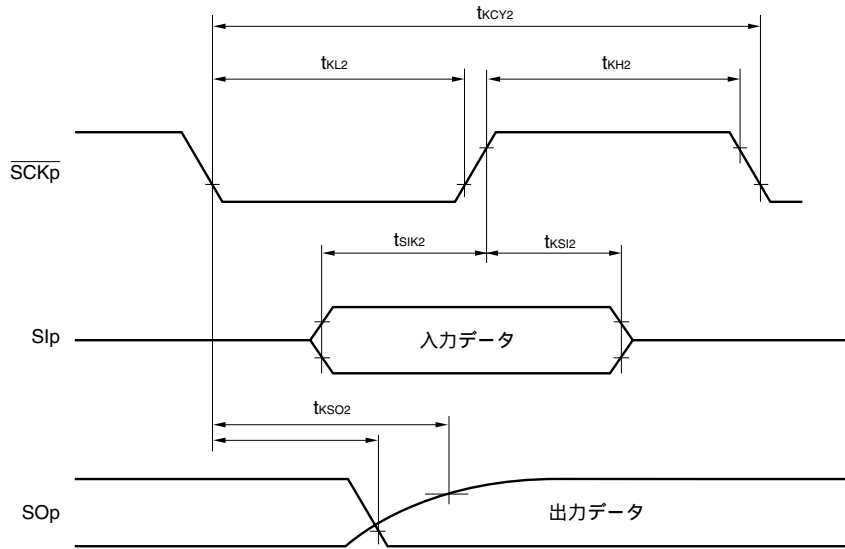
(備考は次ページにあります。)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (14/17)

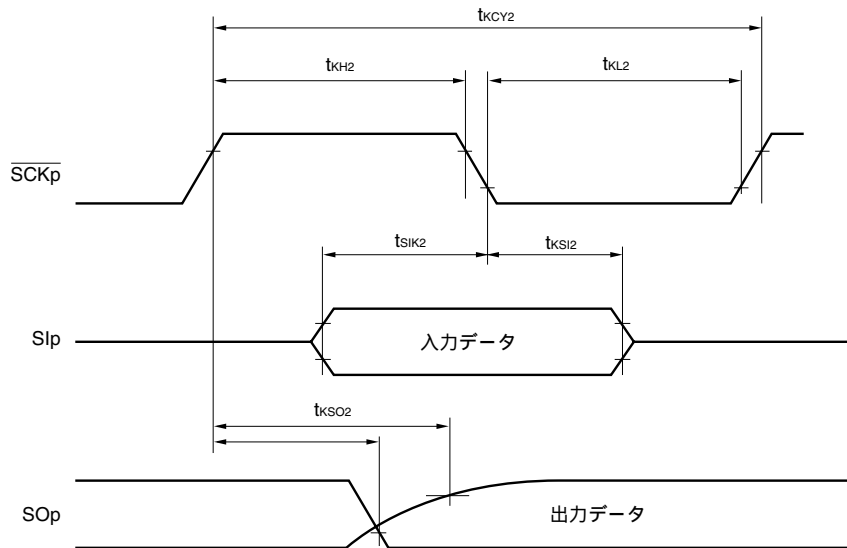
- 備考1. p : CSI番号 ($p = 01, 10, 20$) , g : PIM, POM番号 ($g = 0, 4, 14$)
2. $R_b [\]$: 通信ライン (SOp) プルアップ抵抗値, $C_b [F]$: 通信ライン (SOp) 負荷容量値,
 $V_b [V]$: 通信ライン電圧
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$) , n : チャネル番号 ($n = 0-2$))
4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。
- | | | | | |
|-------|----------|--------------|-------|---|
| 4.0 V | V_{DD} | 5.5 V, 2.7 V | V_b | 4.0 Vのとき : $V_{IH} = 2.2 V, V_{IL} = 0.8 V$ |
| 2.7 V | V_{DD} | 4.0 V, 2.3 V | V_b | 2.7 Vのとき : $V_{IH} = 2.0 V, V_{IL} = 0.5 V$ |
5. CSI00は、異電位通信できません。異電位通信をする場合は、CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (15/17)

CSIモード・シリアル転送タイミング：スレーブ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 PIMgレジスタとPOMgレジスタで,SlpとSCKpはTTL入力バッファ,SOpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

- 備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14)
 2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)
 3. CSI00は, 異電位通信できません。異電位通信をする場合は, CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (16/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(h) 異電位 (2.5 V系, 3 V系) 通信時 (簡易²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$		400 ^註	kHz
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$		400 ^註	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	1065		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	1065		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	445		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	445		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	1/f _{MCK} + 190		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	1/f _{MCK} + 190		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	0	160	ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	0	160	ns

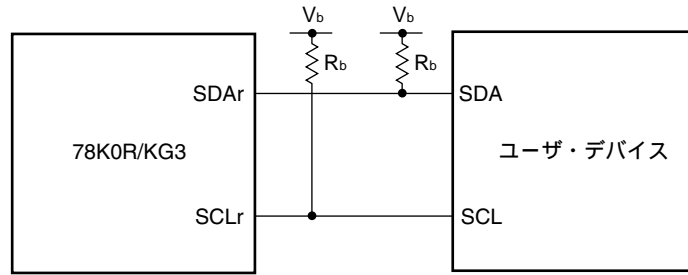
注 かつf_{MCK}/4以下に設定してください。

注意 PIMgレジスタとPOMgレジスタで、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択、SCLrはN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択。

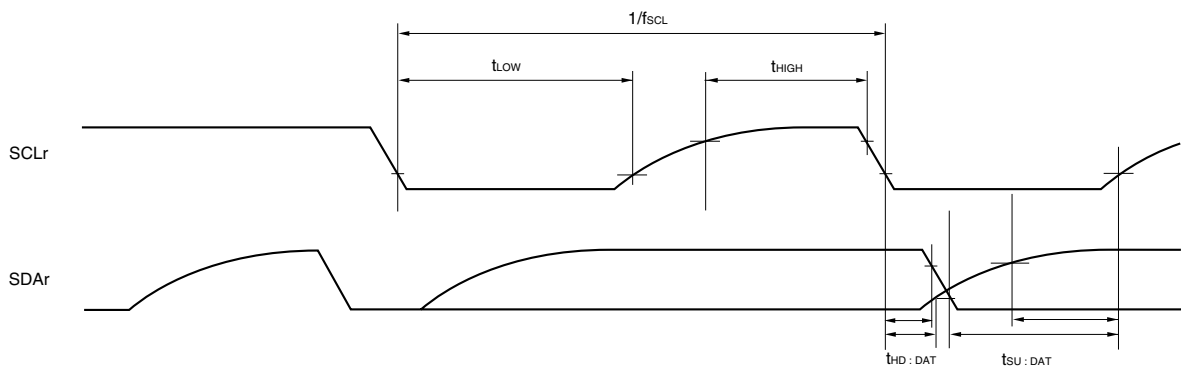
- 備考1. R_b [] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V] : 通信ライン電圧
2. r : IIC番号 (r = 10, 20), g : PIM, POM番号 (g = 0, 14)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数 (SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 2), mn = 02, 10)
4. シリアル・アレイ・ユニットの簡易²Cモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。
- 4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : V_{IH} = 2.2 V, V_{IL} = 0.8 V
- 2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : V_{IH} = 2.0 V, V_{IL} = 0.5 V

(3) シリアル・インタフェース：シリアル・アレィ・ユニット (17/17)

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで、SDArはTTL入力バッファ、N-chオープン・ドレィン出力 (V_{DD} 耐圧) モードを選択、SCLrはN-chオープン・ドレィン出力 (V_{DD} 耐圧) モードを選択。

備考1. R_b [] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, V_b [V] : 通信ライン電圧

2. r : IIC番号 (r = 10, 20), g : PIM, POM番号 (g = 0, 14)

(4) シリアル・インタフェース : IIC0

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(a) IIC0

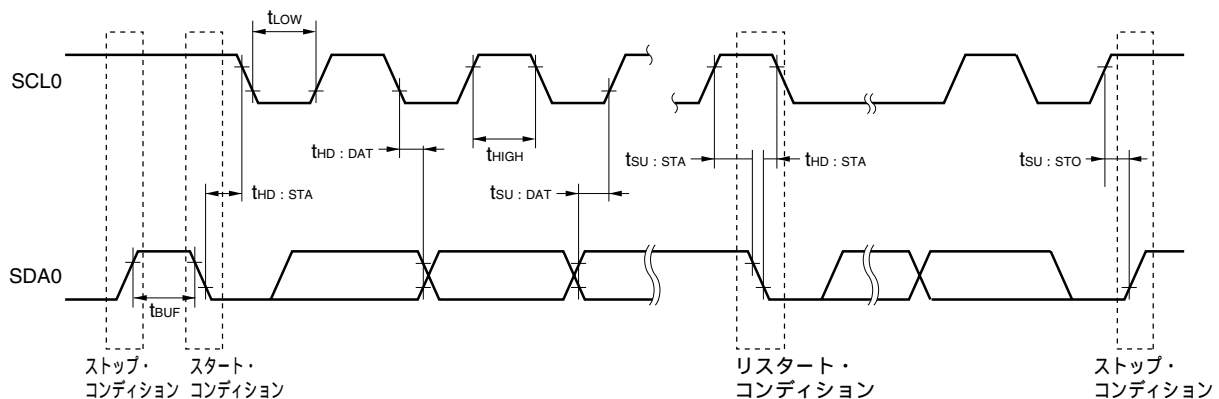
項目	略号	条件	標準モード		ファースト・モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}	6.7 MHz f _{CLK}	0	100	0	400	kHz
		4.0 MHz f _{CLK} < 6.7 MHz	0	100	0	340	
		3.2 MHz f _{CLK} < 4.0 MHz	0	100	-	-	
		2.0 MHz f _{CLK} < 3.2 MHz	0	85	-	-	
リスタート・コンディションのセットアップ時間 ^{注1}	t _{SU : STA}		4.7		0.6		μs
ホールド時間	t _{HD : STA}		4.0		0.6		μs
SCL0 = "L"のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}	CL00 = 1かつCL01 = 1	0	3.45 ^{注3}	0	0.9 ^{注4}	μs
			5.50 ^{注5}	1.5 ^{注6}			
		CL00 = 0かつCL01 = 0 , またはCL00 = 1かつ CL01 = 0	0	3.45	0	0.9 ^{注7}	μs
						0.95 ^{注8}	
ストップ・コンディションのセットアップ時間	t _{SU : STO}		4.0		0.6		μs
パス・フリー時間	t _{BUF}		4.7		1.3		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

- t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, \overline{ACK} (アックノリッジ) タイミングでは, ウエイトがかかります。
- 3.2 MHz f_{CLK} 4.19 MHz時
- 6.7 MHz f_{CLK} 8.38 MHz時
- 2.0 MHz f_{CLK} < 3.2 MHz時。このとき, SCL0クロックは85 kHz以内で使用してください。
- 4.0 MHz f_{CLK} < 6.7 MHz時。このとき, SCL0クロックは340 kHz以内で使用してください。
- 8.0 MHz f_{CLK} 16.76 MHz時
- 7.6 MHz f_{CLK} < 8.0 MHz時

備考 CL00, CL01, DFC0 : IICクロック選択レジスタ0 (IICCL0) のビット0, 1, 2

IIC0シリアル転送タイミング



(5) シリアル・インタフェース : オンチップ・デバッグ (UART)

(TA = -40 ~ +85 , 1.8 V V_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V)

(a) オンチップ・デバッグ (UART)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			f _{CLK} /2 ¹²		f _{CLK} /6	bps
		フラッシュ・メモリ・プログラミング・モード			2.66	Mbps
TOOL1出力周波数	f _{TOOL1}	2.7 V V _{DD} 5.5 V			10	MHz
		1.8 V V _{DD} < 2.7 V			2.5	MHz

A/Dコンバータ特性 (1/2)

($T_A = -40 \sim +85$, 2.3 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, 2.3 V $AV_{REF0} = V_{DD}$, 1.8 V $AV_{REF1} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(a) 従来規格品 (μ PD78F116x)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V $AV_{REF0} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0$ V			± 0.6	%FSR
		2.3 V $AV_{REF0} < 2.7$ V			± 0.7	%FSR
変換時間	tCONV	4.0 V $AV_{REF0} = 5.5$ V	6.1		66.6	μ s
		2.7 V $AV_{REF0} < 4.0$ V	12.2		66.6	μ s
		2.3 V $AV_{REF0} < 2.7$ V	27		66.6	μ s
ゼロスケール誤差 ^{注1, 2}	EZS	4.0 V $AV_{REF0} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0$ V			± 0.6	%FSR
		2.3 V $AV_{REF0} < 2.7$ V			± 0.6	%FSR
フルスケール誤差 ^{注1, 2}	EFS	4.0 V $AV_{REF0} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0$ V			± 0.6	%FSR
		2.3 V $AV_{REF0} < 2.7$ V			± 0.6	%FSR
積分直線性誤差 ^{注1}	ILE	4.0 V $AV_{REF0} = 5.5$ V			± 2.5	LSB
		2.7 V $AV_{REF0} < 4.0$ V			± 4.5	LSB
		2.3 V $AV_{REF0} < 2.7$ V			± 4.5	LSB
微分直線性誤差 ^{注1}	DLE	4.0 V $AV_{REF0} = 5.5$ V			± 1.5	LSB
		2.7 V $AV_{REF0} < 4.0$ V			± 2.0	LSB
		2.3 V $AV_{REF0} < 2.7$ V			± 2.0	LSB
アナログ入力電圧	VAIN	2.3 V $AV_{REF0} = 5.5$ V	AV_{SS}		AV_{REF0}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

A/Dコンバータ特性 (2/2)

($T_A = -40 \sim +85$, 2.3 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, 2.3 V $AV_{REF0} = V_{DD}$, 1.8 V $AV_{REF1} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(b) 拡張規格品 (μ PD78F116xA)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V $AV_{REF0} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0$ V			± 0.5	%FSR
		2.3 V $AV_{REF0} < 2.7$ V			± 0.7	%FSR
変換時間	tCONV	4.0 V $AV_{REF0} = 5.5$ V	6.1		66.6	μ s
		2.7 V $AV_{REF0} < 4.0$ V	12.2		66.6	μ s
		2.3 V $AV_{REF0} < 2.7$ V	27		66.6	μ s
ゼロスケール誤差 ^{注1, 2}	EZS	4.0 V $AV_{REF0} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0$ V			± 0.5	%FSR
		2.3 V $AV_{REF0} < 2.7$ V			± 0.5	%FSR
フルスケール誤差 ^{注1, 2}	EFS	4.0 V $AV_{REF0} = 5.5$ V			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0$ V			± 0.5	%FSR
		2.3 V $AV_{REF0} < 2.7$ V			± 0.5	%FSR
積分直線性誤差 ^{注1}	ILE	4.0 V $AV_{REF0} = 5.5$ V			± 2.5	LSB
		2.7 V $AV_{REF0} < 4.0$ V			± 3.5	LSB
		2.3 V $AV_{REF0} < 2.7$ V			± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	4.0 V $AV_{REF0} = 5.5$ V			± 1.5	LSB
		2.7 V $AV_{REF0} < 4.0$ V			± 1.5	LSB
		2.3 V $AV_{REF0} < 2.7$ V			± 1.5	LSB
アナログ入力電圧	VAIN	2.3 V $AV_{REF0} = 5.5$ V	AV_{SS}		AV_{REF0}	V

注1. 量子化誤差 ($\pm 1/2$ LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

温度センサ (拡張規格品 (μ PD78F116xA) のみ)

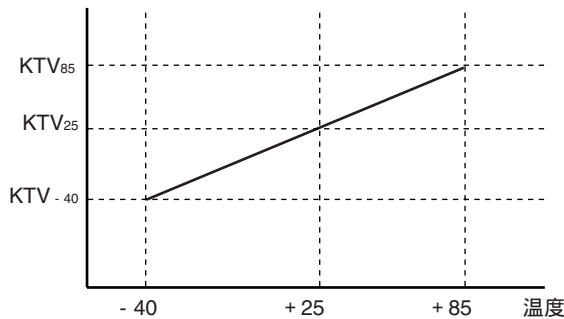
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 2.7 V AV_{REF0} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
10 あたりの温度センサ検出値の増加係数	TC		1	3.5	15	/10
温度センサ検出値	KTV ₋₄₀	$T_A = -40$	30	80	130	-
	KTV ₂₅	$T_A = +25$	65	101	140	-
	KTV ₈₅	$T_A = +85$	100	122	150	-

備考 温度センサ検出値は、次の計算式で求めることができます。

$$\text{温度センサ検出値} = \frac{\text{温度依存のあるセンサAD変換値}}{\text{温度依存のないセンサAD変換値}} \times 256 \frac{TC}{10} (\text{センサ動作時の温度} - \text{低基準温度}) + \text{低基準温度時の温度センサ検出値}$$

温度センサ検出値



D/Aコンバータ特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

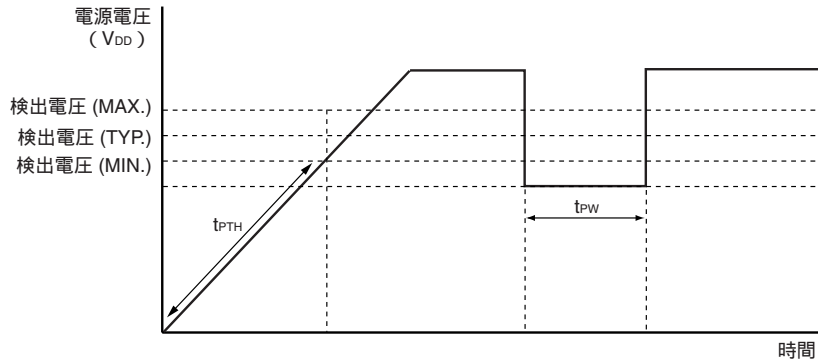
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	$R_{load} = 2$ M			± 1.2	%FSR
		$R_{load} = 4$ M			± 0.8	%FSR
		$R_{load} = 10$ M			± 0.6	%FSR
セットリング・タイム	t_{SET}	$C_{load} = 20$ pF	4.0 V AV_{REF1} 5.5 V		3	μ s
			2.7 V $AV_{REF1} < 4.0$ V		3	μ s
			1.8 V $AV_{REF1} < 2.7$ V		6	μ s
D/A出力抵抗	R_o	D/Aコンバータ1チャンネル当たり		6.4		k

備考 D/Aコンバータの通常モード時は、DACSnレジスタへの書き込みから f_{CLK} の1クロック経過後からD/A変換を開始します。また、出力レベルが確定するのは、D/A変換開始からセットリング・タイム経過後となります。

POC回路特性 (TA = -40 ~ +85 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOCO		1.5	1.59	1.68	V
電源電圧立ち上がり傾き	tPTH	VDD : 0 V VPOCOの変化傾き	0.5			V/ms
最小パルス幅	tpw	電源降下時	200			μs
検出遅延					200	μs

POC回路タイミング



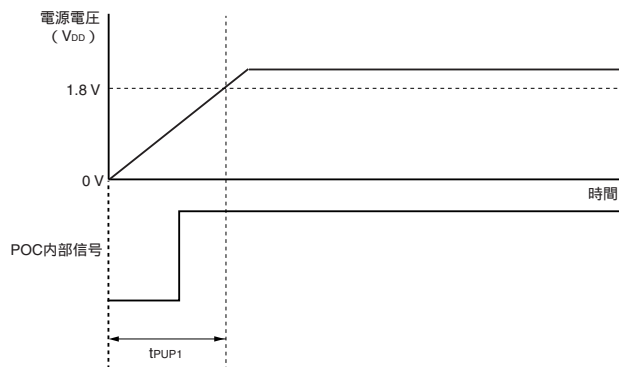
電源電圧立ち上げ時間 (TA = -40 ~ +85 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V (VDD (MIN.)) までの立ち上げ最大時間 [※] (VDD : 0 V 1.8 V)	tpUP1	LVIデフォルト・スタート無効 (LVIOFF (オプション・バイト) = 1) , RESET入力未使用時			3.6	ms
1.8 V (VDD (MIN.)) までの立ち上げ最大時間 [※] (RESET入力解除 VDD : 1.8 V)	tpUP2	LVIデフォルト・スタート無効 (LVIOFF (オプション・バイト) = 1) , RESET入力使用時			1.88	ms

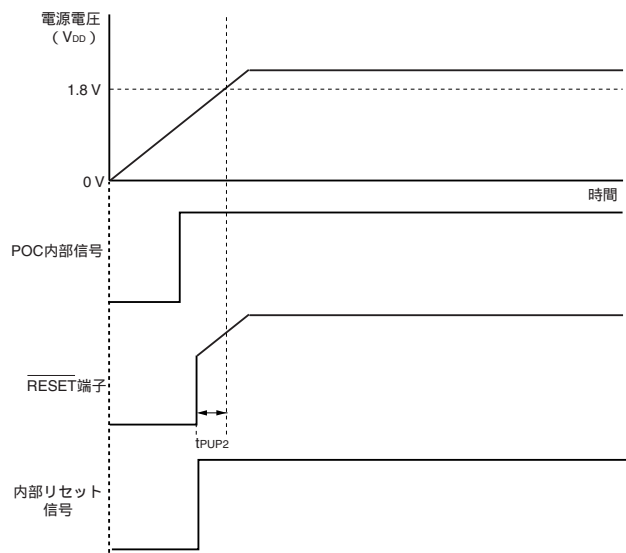
注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げ時間のタイミング

・RESET端子入力未使用時



・RESET端子入力使用時 (POC解除後, RESET端子による外部リセットが解除される場合)



LVI回路特性 ($T_A = -40 \sim +85$, $V_{POC} = V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0 V$)

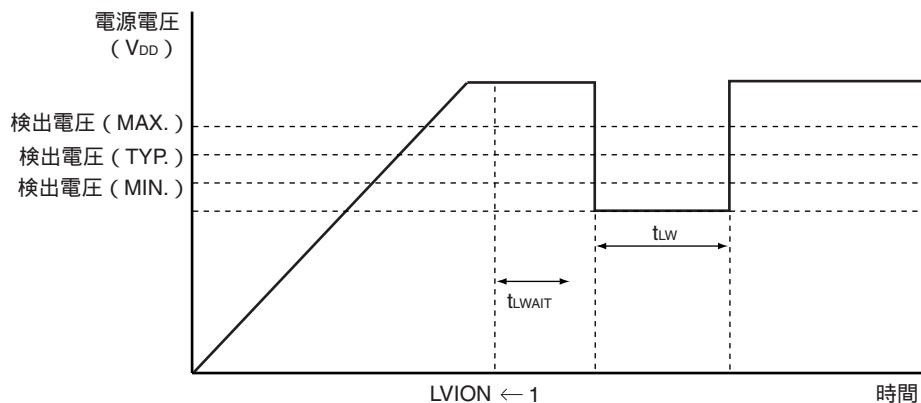
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVI0}	4.12	4.22	4.32	V
		V_{LVI1}	3.97	4.07	4.17	V
		V_{LVI2}	3.82	3.92	4.02	V
		V_{LVI3}	3.66	3.76	3.86	V
		V_{LVI4}	3.51	3.61	3.71	V
		V_{LVI5}	3.35	3.45	3.55	V
		V_{LVI6}	3.20	3.30	3.40	V
		V_{LVI7}	3.05	3.15	3.25	V
		V_{LVI8}	2.89	2.99	3.09	V
		V_{LVI9}	2.74	2.84	2.94	V
		V_{LVI10}	2.58	2.68	2.78	V
		V_{LVI11}	2.43	2.53	2.63	V
		V_{LVI12}	2.28	2.38	2.48	V
		V_{LVI13}	2.12	2.22	2.32	V
		V_{LVI14}	1.97	2.07	2.17	V
V_{LVI15}	1.81	1.91	2.01	V		
外部入力端子 ^{注1}	V_{EXLVI}	$EXLVI < V_{DD}$, 1.8 V $V_{DD} = 5.5 V$	1.11	1.21	1.31	V
電源立ち上げ時 電源電圧	V_{PUPLVI}	LVIデフォルト・スタート機能動作時	1.87	2.07	2.27	V
最小パルス幅	t_{LW}		200			μs
検出遅延					200	μs
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	μs

注1. EXLVI/P120/INTPO端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n} : n = 1-15$

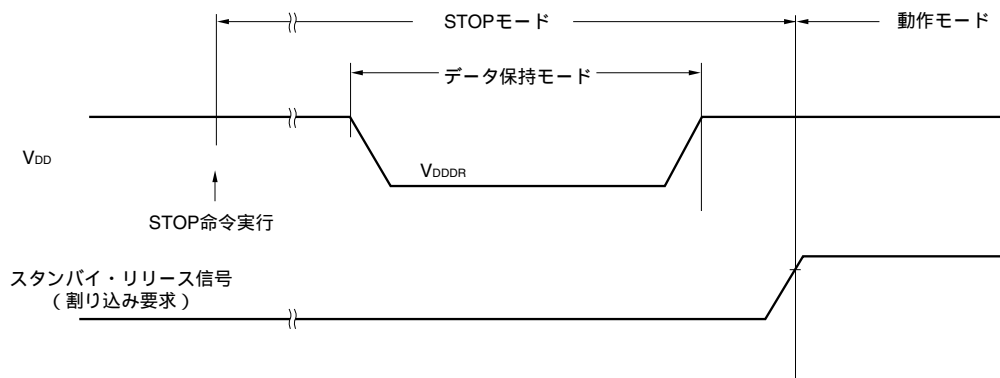
LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.5 [#]		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $V_{SS} = EV_{SS0} = EV_{SS1} = 0$ V)

(a) 従来規格品 (μ PD78F116x)

項目	略号	条件		MIN.	TYP.	MAX.	単位
V_{DD} 電源電流	I _{DD}	TYP. = 10 MHz, MAX. = 20 MHz			4.5	15	mA
CPU / 周辺ハードウェア・クロック周波数	f _{CLK}			2		20	MHz
書き換え回数(ブロックごとの消去回数)	C _{WRT}	プログラム更新用途	保持	100			回
		フラッシュ・メモリ・プログラマ 使用時および当社提供のセルフ・ プログラミング・ライブラリを使用時	15年				
書き換え回数(ブロックごとの消去回数)	C _{WRT}	データ更新用途	保持	10,000			回
		当社提供のEEPROMエミュレーション・ ライブラリ使用時(使用可能ROMサイズ:連続した3ブロックの6 Kバイト)。	3年				

備考 データを複数回更新する場合は、データ更新用途として使用してください。

(b) 拡張規格品 (μ PD78F116xA)

項目	略号	条件		MIN.	TYP.	MAX.	単位
V_{DD} 電源電流	I _{DD}	TYP. = 10 MHz, MAX. = 20 MHz			4.5	15	mA
CPU / 周辺ハードウェア・クロック周波数	f _{CLK}			2		20	MHz
書き換え回数(ブロックごとの消去回数)	C _{WRT}	プログラム更新用途	保持	1000			回
		フラッシュ・メモリ・プログラマ 使用時および当社提供のセルフ・ プログラミング・ライブラリを使用時	15年				
書き換え回数(ブロックごとの消去回数)	C _{WRT}	データ更新用途	保持	10,000			回
		当社提供のEEPROMエミュレーション・ ライブラリ使用時(使用可能ROMサイズ:連続した3ブロックの6 Kバイト)。	5年				

備考 データを複数回更新する場合は、データ更新用途として使用してください。

第30章 電気的特性 (A) 水準品)

対象製品 μ PD78F1162A(A), 78F1163A(A), 78F1164A(A), 78F1165A(A), 78F1166A(A), 78F1167A(A), 78F1168A(A)

注意 78K0R/KG3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過してしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

絶対最大定格 (T_A = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD0} , EV _{DD1}	EV _{DD0} = EV _{DD1}	- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS0} , EV _{SS1}	EV _{SS0} = EV _{SS1}	- 0.5 ~ + 0.3	V
	AV _{REF0}		- 0.5 ~ V _{DD} + 0.3 ^{注1}	V
	AV _{REF1}		- 0.5 ~ V _{DD} + 0.3 ^{注1}	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _{I_{REGC}}	REGC	- 0.3 ~ + 3.6 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
入力電圧	V _{I1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120-P124, P131, P140-P145, EXCLK, RESET, FLMD0	- 0.3 ~ EV _{DD0} , EV _{DD1} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I2}	P60-P63 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P20-P27, P150-P157	- 0.3 ~ AV _{REF0} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I4}	P110, P111	- 0.3 ~ AV _{REF1} + 0.3 かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V

注1. 6.5 V以下であること。

2. REGC端子にはコンデンサ (0.47 ~ 1 μ F) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
出力電圧	VO1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P120, P130, P131, P140-P145		- 0.3 ~ EVDD0, EVDD1 + 0.3 ^注	V
	VO2	P20-P27, P150-P157		- 0.3 ~ AVREF0 + 0.3	V
	VO3	P110, P111		- 0.3 ~ AVREF1 + 0.3	V
アナログ入力電圧	VAN	ANI0-ANI15		- 0.3 ~ AVREF0 + 0.3 ^注 かつ - 0.3 ~ VDD + 0.3 ^注	V
アナログ出力電圧	VAO	ANO0, ANO1		- 0.3 ~ AVREF1 + 0.3	V
ハイ・レベル出力電流	IOH1	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120, P130, P131, P140-P145	- 10	mA
		端子合計 - 80 mA	P00-P04, P40-P47, P120, P130, P131, P140-P145	- 25	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87	- 55	mA
	IOH2	1端子	P20-P27, P110, P111,	- 0.5	mA
		端子合計	P150-P157	- 2	mA
	ロウ・レベル出力電流	IOL1	1端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P120, P130, P131, P140-P145	30
端子合計 200 mA			P00-P04, P40-P47, P120, P130, P131, P140-P145	60	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87	140	mA
IOL2		1端子	P20-P27, P110, P111,	1	mA
		端子合計	P150-P157	5	mA
動作周囲温度		TA	通常動作時		- 40 ~ + 85
	フラッシュ・メモリ・プログラミング時				
保存温度	Tstg			- 65 ~ + 150	

注 6.5 V以下であること。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

X1発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (fx) 注	2.7 V VDD 5.5 V	2.0		20.0	MHz
			1.8 V VDD < 2.7 V	2.0		5.0	
水晶振動子		X1クロック発振周波数 (fx) 注	2.7 V VDD 5.5 V	2.0		20.0	MHz
			1.8 V VDD < 2.7 V	2.0		5.0	

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常にVSSと同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

内蔵発振回路特性

(TA = -40 ~ +85 , 1.8 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

発振子	項目	条件	MIN.	TYP.	MAX.	単位	
8 MHz 内蔵発振器	高速内蔵発振クロック	2.7 V VDD 5.5 V	7.6	8.0	8.4	MHz	
	周波数 (f _H) ^{注1}	1.8 V VDD < 2.7 V	5.0	8.0	8.4	MHz	
240 kHz 内蔵発振器	低速内蔵発振クロック	通常電流モード	2.7 V VDD 5.5 V	216	240	264	kHz
			1.8 V VDD < 2.7 V	192	240	264	kHz
	周波数 (f _L)	低消費電流モード ^{注2}	192	240	264	kHz	

注1. HIOTRM = 10H時の発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. レギュレータ出力が低消費電流モードとなるのは、次に示す場合です。

- ・RMCレジスタに5AH設定時
- ・システム・リセット期間中
- ・STOPモード時 (OCDモード中は除く)
- ・サブシステム・クロック (f_{XT}) でのCPU動作中に、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_H) が共に停止した場合
- ・CPU動作設定時のHALTモード中 (CPUはサブシステム・クロック (f_{XT}) で動作) に、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_H) が共に停止した場合

備考 レギュレータ出力電圧による通常電流モード、低消費電流モードについては、第23章 レギュレータを参照してください。

XT1発振回路特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) ^注		32	32.768	35	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

推奨発振回路定数

(1) X1発振：セラミック発振子 (AMPH = 0, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCC2M00G56-R0	SMD	2.0	内蔵 (47)	内蔵 (47)	1.8	5.5
	CSTCR4M00G55-R0	SMD	4.0	内蔵 (39)	内蔵 (39)	1.8	
	CSTLS4M00G56-B0	リード		内蔵 (47)	内蔵 (47)	1.8	
	CSTCR4M19G55-R0	SMD	4.194	内蔵 (39)	内蔵 (39)	1.8	
	CSTLS4M19G56-B0	リード		内蔵 (47)	内蔵 (47)	1.8	
	CSTCR4M91G55-R0	SMD	4.915	内蔵 (39)	内蔵 (39)	1.8	
	CSTLS4M91G53-B0	リード		内蔵 (15)	内蔵 (15)	1.8	
	CSTLS4M91G56-B0			内蔵 (47)	内蔵 (47)	2.1	
	CSTCR5M00G53-R0	SMD	5.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTCR5M00G55-R0			内蔵 (39)	内蔵 (39)	1.8	
	CSTLS5M00G53-B0	リード	5.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS5M00G56-B0			内蔵 (47)	内蔵 (47)	2.1	
	CSTCR6M00G53-R0	SMD	6.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTCR6M00G55-R0			内蔵 (39)	内蔵 (39)	1.9	
	CSTLS6M00G53-B0	リード	6.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS6M00G56-B0			内蔵 (47)	内蔵 (47)	2.2	
	CSTCE8M00G52-R0	SMD	8.0	内蔵 (10)	内蔵 (10)	1.8	
	CSTCE8M00G55-R0			内蔵 (33)	内蔵 (33)	1.9	
	CSTLS8M00G53-B0	リード	8.0	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS8M00G56-B0			内蔵 (47)	内蔵 (47)	2.4	
	CSTCE8M38G52-R0	SMD	8.388	内蔵 (10)	内蔵 (10)	1.8	
	CSTCE8M38G55-R0			内蔵 (33)	内蔵 (33)	1.9	
	CSTLS8M38G53-B0	リード	8.388	内蔵 (15)	内蔵 (15)	1.8	
	CSTLS8M38G56-B0			内蔵 (47)	内蔵 (47)	2.4	
CSTCE10M0G52-R0	SMD	10.0	内蔵 (10)	内蔵 (10)	1.8		
CSTCE10M0G55-R0			内蔵 (33)	内蔵 (33)	2.1		
CSTLS10M0G53-B0	リード	10.0	内蔵 (15)	内蔵 (15)	1.8		
東光株式会社	DCRHTC(P)2.00LL	リード	2.0	内蔵 (30)	内蔵 (30)	1.8	5.5
	DCRHTC(P)4.00LL		4.0	内蔵 (30)	内蔵 (30)		
	DECRHTC4.00	SMD	4.0	内蔵 (15)	内蔵 (15)		
	DCRHYC(P)8.00A	リード	8.0	内蔵 (22)	内蔵 (22)		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(2) X1発振 : 水晶振動子 (AMPH = 0, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
京セラキンセキ 株式会社	HC49SFWB04194D0PPTZZ	リード	4.194	10	10	1.8	5.5
	CX49GFWB04194D0PPTZZ						
	CX1255GB04194D0PPTZZ	SMD					
	HC49SFWB05000D0PPTZZ	リード	5.0	10	10	1.8	
	CX49GFWB05000D0PPTZZ						
	CX1255GB05000D0PPTZZ	SMD					
	CX8045GB05000D0PPTZZ						
	HC49SFWB08380D0PPTZZ	リード	8.38	10	10	1.8	
	CX49GFWB08380D0PPTZZ						
	CX1255GB08380D0PPTZZ	SMD					
	CX8045GB08380D0PPTZZ						
	CX5032GB08380D0PPTZZ						
	HC49SFWB10000D0PPTZZ	リード	10.0	10	10	1.8	
	CX49GFWB10000D0PPTZZ						
	CX1255GB10000D0PPTZZ	SMD					
	CX8045GB10000D0PPTZZ						
CX5032GB10000D0PPTZZ							
CX5032SB10000D0PPTZZ							
CX3225GB10000D0PPTZZ							

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(3) X1発振 : セラミック発振子 (AMPH = 1, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
村田製作所	CSTCE12M0G55-R0	SMD	12.0	内蔵 (33)	内蔵 (33)	1.8	5.5
	CSTCE16M0V53-R0	SMD		内蔵 (15)	内蔵 (15)		
	CSTLS16M0X51-B0	リード		内蔵 (5)	内蔵 (5)		
	CSTCE20M0V53-R0	SMD	20.0	内蔵 (15)	内蔵 (15)	1.9	2.0
	CSTCG20M0V53-R0	小型 SMD		内蔵 (15)	内蔵 (15)		
	CSTLS20M0X51-B0	リード		内蔵 (5)	内蔵 (5)		
東光株式会社	DCRHYC(P)12.00A	リード	12.0	内蔵 (22)	内蔵 (22)	1.8	5.5
	DCRHZ(P)16.00A-15	リード	16.0	内蔵 (15)	内蔵 (15)		
	DCRHZ(P)20.00A-15	リード	20.0	内蔵 (15)	内蔵 (15)	2.0	
	DECRHZ20.00	SMD		内蔵 (10)	内蔵 (10)	1.8	

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(4) X1発振 : 水晶振動子 (AMPH = 1, RMC = 00H, T_A = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (MHz)	推奨回路定数		発振電圧範囲	
				C1 (pF)	C2 (pF)	MIN. (V)	MAX. (V)
京セラキンセキ 株式会社	HC49SFWB16000D0PPTZZ	リード	16.0	10	10	1.8	5.5
	CX49GFWB16000D0PPTZZ						
	CX1255GB16000D0PPTZZ	SMD					
	CX8045GB16000D0PPTZZ						
	CX5032GB16000D0PPTZZ						
	CX5032SB16000D0PPTZZ						
	CX3225GB16000D0PPTZZ						
	CX3225SB16000D0PPTZZ						
	CX2520SB16000D0PPTZZ						
	HC49SFWB20000D0PPTZZ	リード	20.0	10	10	2.3	
	CX49GFWB20000D0PPTZZ						
	CX1255GB20000D0PPTZZ	SMD					
	CX8045GB20000D0PPTZZ						
	CX5032GB20000D0PPTZZ						
	CX5032SB20000D0PPTZZ						
	CX3225GB20000D0PPTZZ						
	CX3225SB20000D0PPTZZ						
	CX2520SB20000D0PPTZZ						
CX2016SB20000D0PPTZZ							

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(5) XT1発振：水晶振動子 (TA = -40 ~ +85)

メーカー	品名	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	推奨回路定数			発振電圧範囲	
					C3 (pF)	C4 (pF)	Rd (k)	MIN. (V)	MAX. (V)
セイコーイン スツル株式会 社	SP-T2A	SMD	32.768	6.0	5	5	0	1.8	5.5
				12.5	18	18	0		
	SSP-T7	小型 SMD		7.0	7	7	0		
				12.5	18	18	0		
	VT-200	リード		6.0	5	5	0		
				12.5	18	18	0		
シチズンミヨ タ株式会社	CM200S	SMD	32.768	9.0	12	15	0	1.8	5.5
					12	15	100		
	CM315	SMD		9.0	15	15	0		
					15	15	100		
	CM519	SMD		9.0	15	12	0		
					15	12	100		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

(6) XT1発振：水晶振動子 (TA = -20 ~ +70)

メーカー	品名	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	推奨回路定数			発振電圧範囲	
					C3 (pF)	C4 (pF)	Rd (k)	MIN. (V)	MAX. (V)
シチズンミヨ タ株式会社	CFS-206	リード	32.768	12.5	22	18	0	1.8	5.5
					22	18	100		
				9.0	12	15	0		
					12	15	100		

注意 この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。その際、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。

DC特性 (1/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V, 1.8 V$ $AV_{REF0} = V_{DD}, 1.8 V$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120, P130, P131, P140-P145 1端子	4.0 V $V_{DD} = 5.5 V$			- 3.0	mA
			2.7 V $V_{DD} < 4.0 V$			- 1.0	mA
			1.8 V $V_{DD} < 2.7 V$			- 1.0	mA
		P00-P04, P40-P47, P120, P130, P131, P140-P145	4.0 V $V_{DD} = 5.5 V$			- 12.0	mA
			2.7 V $V_{DD} < 4.0 V$			- 7.0	mA
		合計 (デューティ = 70 %時 ^{注2})	1.8 V $V_{DD} < 2.7 V$			- 5.0	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87	4.0 V $V_{DD} = 5.5 V$			- 18.0	mA
			2.7 V $V_{DD} < 4.0 V$			- 15.0	mA
			1.8 V $V_{DD} < 2.7 V$			- 10.0	mA
	合計 (デューティ = 70 %時 ^{注2})						
	全端子合計 (デューティ = 60 %時 ^{注2})	4.0 V $V_{DD} = 5.5 V$			- 23.0	mA	
		2.7 V $V_{DD} < 4.0 V$			- 20.0	mA	
		1.8 V $V_{DD} < 2.7 V$			- 15.0	mA	
I _{OH2}	P20-P27, P150-P157 1端子	$AV_{REF0} = V_{DD}$				- 0.1	mA
	P110, P111 1端子	$AV_{REF1} = V_{DD}$				- 0.1	mA

注1. EV_{DD0}, EV_{DD1} 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

< 計算例 > $I_{OH} = -20.0 \text{ mA}$ の場合, $n = 50 \%$

$$\text{端子合計の出力電流} = (-20.0 \times 0.7) / (50 \times 0.01) = -28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P02-P04, P43, P45, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00-P02, P05, P06, P10-P17, 4.0 V V_{DD} 5.5 V			8.5	mA	
		P30, P31, P40-P47, P50-P57, 2.7 V $V_{DD} < 4.0$ V			1.0	mA	
		P64-P67, P70-P77, P80-P87, 1.8 V $V_{DD} < 2.7$ V			0.5	mA	
		P120, P130, P131, P140, P141, P144, P145 1端子					
		P03, P04, P142, P143 1端子	4.0 V V_{DD} 5.5 V			8.5	mA
			2.7 V $V_{DD} < 4.0$ V			1.5	mA
			1.8 V $V_{DD} < 2.7$ V			0.6	mA
		P60-P63 1端子	4.0 V V_{DD} 5.5 V			15.0	mA
			2.7 V $V_{DD} < 4.0$ V			3.0	mA
	1.8 V $V_{DD} < 2.7$ V				2.0	mA	
	P00-P04, P40-P47, P120, P130, P131, P140-P145 合計 (デューティ = 70 %時 ^{注2})	4.0 V V_{DD} 5.5 V			20.0	mA	
		2.7 V $V_{DD} < 4.0$ V			15.0	mA	
		1.8 V $V_{DD} < 2.7$ V			9.0	mA	
	P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87 合計 (デューティ = 70 %時 ^{注2})	4.0 V V_{DD} 5.5 V			45.0	mA	
		2.7 V $V_{DD} < 4.0$ V			35.0	mA	
		1.8 V $V_{DD} < 2.7$ V			20.0	mA	
	全端子合計 (デューティ = 60 %時 ^{注2})	4.0 V V_{DD} 5.5 V			65.0	mA	
		2.7 V $V_{DD} < 4.0$ V			50.0	mA	
1.8 V $V_{DD} < 2.7$ V				29.0	mA		
I _{OL2}	P20-P27, P150-P157 1端子	AV_{REF0} V_{DD}			0.4	mA	
	P110, P111 1端子	AV_{REF1} V_{DD}			0.4	mA	

注1. 出力端子からEV_{SS0}, EV_{SS1}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > I_{OL} = 20.0 mAの場合, n = 50 %

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P01, P02, P12, P13, P15, P41, P45, P52-P57, P64-P67, P80-P87, P121-P124, P144	0.7V _{DD}		V _{DD}	V	
	V _{IH2}	P00, P03-P06, P10, P11, P14, P16, P17, P30, P31, P40, P42-P44, P46, P47, P50, P51, P70-P77, P120, P131, P140-P143, P145, EXCLK, RESET	通常入力バッファ	0.8V _{DD}		V _{DD}	V
	V _{IH3}	P03, P04, P43, P44, P142, P143	TTL入力バッファ 4.0 V V _{DD} 5.5 V	2.2		V _{DD}	V
			TTL入力バッファ 2.7 V V _{DD} < 4.0 V	2.0		V _{DD}	V
			TTL入力バッファ 1.8 V V _{DD} < 2.7 V	1.6		V _{DD}	V
	V _{IH4}	P20-P27, P150-P157	2.7 V AV _{REF0} V _{DD}	0.7AV _{REF0}		AV _{REF0}	V
			AV _{REF0} =V _{DD} < 2.7 V				
	V _{IH5}	P110, P111	2.7 V AV _{REF1} V _{DD}	0.7AV _{REF1}		AV _{REF1}	V
			AV _{REF1} =V _{DD} < 2.7 V				
	V _{IH6}	P60-P63		0.7V _{DD}		6.0	V
V _{IH7}	FLMD0		0.9V _{DD} ^{注1}		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P01, P02, P12, P13, P15, P41, P45, P52-P57, P64-P67, P80-P87, P121-P124, P144	0		0.3V _{DD}	V	
	V _{IL2}	P00, P03-P06, P10, P11, P14, P16, P17, P30, P31, P40, P42-P44, P46, P47, P50, P51, P70-P77, P120, P131, P140-P143, P145, EXCLK, RESET	通常入力バッファ	0		0.2V _{DD}	V
	V _{IL3}	P03, P04, P43, P44, P142, P143	TTL入力バッファ 4.0 V V _{DD} 5.5 V	0		0.8	V
			TTL入力バッファ 2.7 V V _{DD} < 4.0 V	0		0.5	V
			TTL入力バッファ 1.8 V V _{DD} < 2.7 V	0		0.2	V
	V _{IL4}	P20-P27, P150-P157	2.7 V AV _{REF0} V _{DD}	0		0.3AV _{REF0}	V
			AV _{REF0} =V _{DD} < 2.7 V				
	V _{IL5}	P110, P111	2.7 V AV _{REF1} V _{DD}	0		0.3AV _{REF1}	V
			AV _{REF1} =V _{DD} < 2.7 V				
V _{IL6}	P60-P63		0		0.3V _{DD}	V	
V _{IL7}	FLMD0 ^{注2}		0		0.1V _{DD}	V	

- 注1. フラッシュ・メモリ・プログラミング・モードで使用するときには、0.9V_{DD}以上にする必要があります。
 2. フラッシュ・メモリを書き換え禁止にする場合は、FLMD0端子処理を直接V_{SS}へ接続し、0.1V_{DD}以下の電圧を保つようにしてください。

- 注意1. P02-P04, P43, P45, P142-P144は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値(MAX.)はV_{DD}です。
 2. P122/EXCLKは、入力ポート・モードと外部クロック・モードとで、V_{IH}, V_{IL}の値が異なります。
 外部クロック入力モード時は、EXCLKのDC特性を満たしてください。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (4/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	V _{OH1}	P00-P06, P10-P17, P30, P31, P40-P47, I _{OH1} = - 3.0 mA	4.0 V V_{DD} 5.5 V,	$V_{DD} - 0.7$		V	
		P50-P57, P64-P67, P70-P77, P80-P87, I _{OH1} = - 1.0 mA	1.8 V V_{DD} 5.5 V,	$V_{DD} - 0.5$		V	
	V _{OH2}	P20-P27, P150-P157, I _{OH2} = - 0.1 mA	AV_{REF0} V_{DD} ,	$AV_{REF0} - 0.5$		V	
		P110, P111, I _{OH2} = - 0.1 mA	AV_{REF1} V_{DD} ,	$AV_{REF1} - 0.5$		V	
	ロウ・レベル出力電圧	V _{OL1}	P00-P02, P05, P06, P10-P17, P30, P31, I _{OL1} = 8.5 mA	4.0 V V_{DD} 5.5 V,		0.7	V
P40-P47, P50-P57, I _{OL1} = 1.0 mA			2.7 V V_{DD} 5.5 V,		0.5	V	
P64-P67, P70-P77, I _{OL1} = 0.5 mA			1.8 V V_{DD} 5.5 V,		0.4	V	
P80-P87, P120, I _{OL1} = 8.5 mA			4.0 V V_{DD} 5.5 V,		0.7	V	
P130, P131, P140, I _{OL1} = 1.5 mA			2.7 V V_{DD} 5.5 V,		0.5	V	
P141, P144, P145, I _{OL1} = 0.6 mA			1.8 V V_{DD} 5.5 V,		0.4	V	
V _{OL2}			P20-P27, P150-P157, I _{OL2} = 0.4 mA	AV_{REF0} V_{DD} ,		0.4	V
		P110, P111, I _{OL2} = 0.4 mA	AV_{REF1} V_{DD} ,		0.4	V	
V _{OL3}		P60-P63	I _{OL1} = 15.0 mA	4.0 V V_{DD} 5.5 V,		2.0	V
			I _{OL1} = 5.0 mA	4.0 V V_{DD} 5.5 V,		0.4	V
			I _{OL1} = 3.0 mA	2.7 V V_{DD} 5.5 V,		0.4	V
			I _{OL1} = 2.0 mA	1.8 V V_{DD} 5.5 V,		0.4	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (5/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 1.8\text{ V}$ AV_{REF0} $V_{DD}, 1.8\text{ V}$ AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I _{LIH1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P120, P131, P140-P145, FLMD0, $\overline{\text{RESET}}$	$V_i = V_{DD}$			1	μA
			$V_i = AV_{REF0}$, $2.7\text{ V} < AV_{REF0} < V_{DD}$			1	μA
				$V_i = AV_{REF0}$, $AV_{REF0} = V_{DD} < 2.7\text{ V}$			
			I _{LIH2}	P20-P27, P150-P157	$V_i = AV_{REF1}$, $2.7\text{ V} < AV_{REF1} < V_{DD}$		
$V_i = AV_{REF1}$, $AV_{REF1} = V_{DD} < 2.7\text{ V}$							
I _{LIH3}	P110, P111	$V_i = V_{DD}$	入力ポート時			1	μA
		$V_i = V_{DD}$	発振子接続時			10	μA
ロウ・レベル入力リーク電流	I _{LIL1}	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P120, P131, P140-P145, FLMD0, $\overline{\text{RESET}}$	$V_i = V_{SS}$			- 1	μA
			$V_i = V_{SS}$, $2.7\text{ V} < AV_{REF0} < V_{DD}$			- 1	μA
				$V_i = V_{SS}$, $AV_{REF0} = V_{DD} < 2.7\text{ V}$			
			I _{LIL2}	P20-P27, P150-P157	$V_i = V_{SS}$, $2.7\text{ V} < AV_{REF1} < V_{DD}$		
$V_i = V_{SS}$, $AV_{REF1} = V_{DD} < 2.7\text{ V}$							
I _{LIL3}	P110, P111	$V_i = V_{SS}$	入力ポート時			- 1	μA
		$V_i = V_{SS}$	発振子接続時			- 10	μA
I _{LIL4}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$	入力ポート時			- 1	μA
		$V_i = V_{SS}$	発振子接続時			- 10	μA

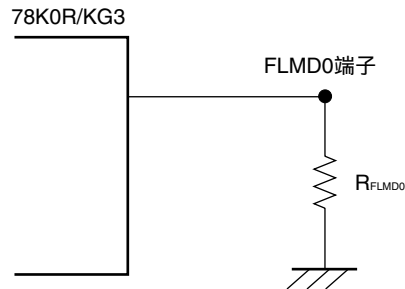
備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (6/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 1.8\text{ V}$ AV_{REF0} $V_{DD}, 1.8\text{ V}$ AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内蔵プルアップ抵抗	R_U	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P120, P131, P140-P145	10	20	100	k
FLMDD0端子 外付けプルダウン抵抗 ^注	R_{FLMDD0}	ソフトウェアでのセルフ・プログラミング・モード設定を有効にする場合	100			k

注 FLMDD0端子はオープンにすることを推奨します。もし、外部でもプルダウンする必要がある場合は、 R_{FLMDD0} を100 k 以上にしてください。



備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (7/15)

μ PD78F1162A(A), 78F1163A(A), 78F1164A(A), 78F1165A(A), 78F1166A(A)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位			
電源電流	I _{DD1} ^{注1}	動作モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		7.0	12.2	mA		
				発振子接続		7.3	12.5			
				f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		7.0	12.2	mA	
				発振子接続		7.3	12.5			
				f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力		3.8	6.2	mA	
				発振子接続		3.9	6.3			
				f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力		3.8	6.2	mA	
				発振子接続		3.9	6.3			
				f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力		2.1	3.0	mA
					発振子接続		2.2	3.1		
				低消費電流モード ^{注4}	方形波入力		1.5	2.1	mA	
					発振子接続		1.5	2.1		
				f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	通常電流モード	方形波入力		1.4	2.1	mA
						発振子接続		1.4	2.1	
		低消費電流モード ^{注4}	方形波入力		1.4	2.0	mA			
				発振子接続		1.4		2.0		
		f _{IH} = 8 MHz ^{注5}		V _{DD} = 5.0 V		3.1	5.0	mA		
					V _{DD} = 3.0 V		3.1		5.0	

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. RMCレジスタに5AH設定時
5. 高速システム・クロック, サブシステム・クロックは停止時。FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH} : 高速内蔵発振クロック周波数

2. レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第23章 レギュレータを参照してください。
3. TYP.値の温度条件は, T_A = 25 度です。

DC特性 (8/15)

μ PD78F1162A(A), 78F1163A(A), 78F1164A(A), 78F1165A(A), 78F1166A(A)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 1.8\text{ V}$ AV_{REF0} $V_{DD}, 1.8\text{ V}$ AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	I _{DD1} ^{注1}	動作モード	f _{SUB} = 32.768 kHz ^{注2} , T _A = -40 ~ +70	V _{DD} = 5.0 V	6.4	24.0	μA		
				V _{DD} = 3.0 V	6.4	24.0	μA		
				V _{DD} = 2.0 V	6.3	21.0	μA		
					f _{SUB} = 32.768 kHz ^{注2} , T _A = -40 ~ +85	V _{DD} = 5.0 V	6.4	31.0	μA
						V _{DD} = 3.0 V	6.4	31.0	μA
						V _{DD} = 2.0 V	6.3	28.0	μA

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は、T_A = 25 です。

DC特性 (9/15)

μ PD78F1162A(A), 78F1163A(A), 78F1164A(A), 78F1165A(A), 78F1166A(A)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 1.8\text{ V}$ AV_{REF0} $V_{DD}, 1.8\text{ V}$ AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I _{DD2} ^{注1}	HALT モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力	1.0	2.7	mA	
				発振子接続	1.3	3.0		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力	1.0	2.7	mA	
				発振子接続	1.3	3.0		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力	0.52	1.4	mA	
				発振子接続	0.62	1.5		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力	0.52	1.4	mA	
				発振子接続	0.62	1.5		
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力	0.36	0.75	mA
					発振子接続	0.41	0.8	
				低消費電流モード ^{注4}	方形波入力	0.22	0.5	mA
					発振子接続	0.27	0.55	
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	通常電流モード	方形波入力	0.22	0.5	mA
					発振子接続	0.27	0.55	
低消費電流モード ^{注4}	方形波入力			0.22	0.5	mA		
	発振子接続			0.27	0.55			
	f _{IH} = 8 MHz ^{注5}	V _{DD} = 5.0 V	0.45	1.2	mA			
		V _{DD} = 3.0 V	0.45	1.2				

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ, D/Aコンバータ, LVI回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振, サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. RMCレジスタに5AH設定時
5. 高速システム・クロック, サブシステム・クロックは停止時。FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH} : 高速内蔵発振クロック周波数

2. レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第23章 レギュレータを参照してください。
3. TYP.値の温度条件は, T_A = 25 です。

DC特性 (10/15)

μ PD78F1162A(A), 78F1163A(A), 78F1164A(A), 78F1165A(A), 78F1166A(A)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流	^{注1} I_{DD2}	HALT モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +70$	$V_{DD} = 5.0$ V	2.2	14.0	μ A
				$V_{DD} = 3.0$ V	2.2	14.0	μ A
				$V_{DD} = 2.0$ V	2.1	13.8	μ A
	^{注1} I_{DD2}	HALT モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +85$	$V_{DD} = 5.0$ V	2.2	21.0	μ A
				$V_{DD} = 3.0$ V	2.2	21.0	μ A
				$V_{DD} = 2.0$ V	2.1	20.8	μ A
^{注3} I_{DD3}	STOP モード	$T_A = -40 \sim +70$		1.1	9.0	μ A	
			$T_A = -40 \sim +85$		1.1	16.0	μ A

注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

3. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。サブシステム・クロック停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は、 $T_A = 25$ です。

DC特性 (11/15)

μ PD78F1167A(A), 78F1168A(A)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}, 1.8 \text{ V}$ $AV_{REF0} = V_{DD}, 1.8 \text{ V}$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	I _{DD1} ^{注1}	動作モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		7.0	12.2	mA	
				発振子接続		7.3	12.5		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		7.0	12.2	mA	
				発振子接続		7.3	12.5		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力		3.8	6.2	mA	
				発振子接続		3.9	6.3		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力		3.8	6.2	mA
					発振子接続		3.9	6.3	
				低消費電流モード ^{注4}	方形波入力		2.1	3.0	mA
					発振子接続		2.2	3.1	
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力		1.5	2.1	mA
					発振子接続		1.5	2.1	
				低消費電流モード ^{注4}	方形波入力		1.4	2.1	mA
					発振子接続		1.4	2.1	
f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	通常電流モード	方形波入力		1.4	2.1	mA			
		発振子接続		1.4	2.1				
低消費電流モード ^{注4}	方形波入力		1.4	2.0	mA				
	発振子接続		1.4	2.0					
f _{IH} = 8 MHz ^{注5}		V _{DD} = 5.0 V		3.1	5.0	mA			
		V _{DD} = 3.0 V		3.1	5.0				

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. RMCレジスタに5AH設定時
5. 高速システム・クロック, サブシステム・クロックは停止時。FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH} : 高速内蔵発振クロック周波数

2. レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第23章 レギュレータを参照してください。
3. TYP.値の温度条件は, T_A = 25 度です。

DC特性 (12/15)

 μ PD78F1167A(A), 78F1168A(A)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I_{DD1} ^{注1}	動作モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +70$	$V_{DD} = 5.0$ V		6.4	36.0	μ A
				$V_{DD} = 3.0$ V		6.4	36.0	μ A
				$V_{DD} = 2.0$ V		6.3	32.8	μ A
			$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +85$	$V_{DD} = 5.0$ V		6.4	51.0	μ A
				$V_{DD} = 3.0$ V		6.4	51.0	μ A
				$V_{DD} = 2.0$ V		6.3	47.8	μ A

注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は、 $T_A = 25$ です。

DC特性 (13/15)

μ PD78F1167A(A), 78F1168A(A)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V, 1.8 V$ $AV_{REF0} = V_{DD}, 1.8 V$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位		
電源電流	I _{DD2} ^{注1}	HALT モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力		1.0	2.7	mA	
				発振子接続		1.3	3.0		
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力		1.0	2.7	mA	
				発振子接続		1.3	3.0		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力		0.52	1.4	mA	
				発振子接続		0.62	1.5		
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力		0.52	1.4	mA	
				発振子接続		0.62	1.5		
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	通常電流モード	方形波入力		0.36	0.75	mA
					発振子接続		0.41	0.8	
				低消費電流モード ^{注4}	方形波入力		0.22	0.5	mA
					発振子接続		0.27	0.55	
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	通常電流モード	方形波入力		0.22	0.5	mA
					発振子接続		0.27	0.55	
	低消費電流モード ^{注4}	方形波入力		0.22	0.5	mA			
		発振子接続		0.27	0.55				
f _{IH} = 8 MHz ^{注5}		V _{DD} = 5.0 V		0.45	1.2	mA			
		V _{DD} = 3.0 V		0.45	1.2				

注1. V_{DD}, EV_{DD0}, EV_{DD1}, AV_{REF0}, AV_{REF1}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振，サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. RMCレジスタに5AH設定時
5. 高速システム・クロック，サブシステム・クロックは停止時。FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH} : 高速内蔵発振クロック周波数

2. レギュレータ出力電圧による通常電流モード，低消費電流モードについては，第23章 レギュレータを参照してください。
3. TYP.値の温度条件は，T_A = 25 です。

DC特性 (14/15)

 μ PD78F1167A(A), 78F1168A(A)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, 1.8 V AV_{REF0} V_{DD} , 1.8 V AV_{REF1} V_{DD} ,
 $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位			
電源電流	I_{DD2} ^{注1}	HALT モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +70$	$V_{DD} = 5.0$ V		2.2	26.0	μ A	
				$V_{DD} = 3.0$ V		2.2	26.0	μ A	
				$V_{DD} = 2.0$ V		2.1	25.8	μ A	
		I_{DD3} ^{注3}	STOP モード	$f_{SUB} = 32.768$ kHz ^{注2} , $T_A = -40 \sim +85$	$V_{DD} = 5.0$ V		2.2	41.0	μ A
					$V_{DD} = 3.0$ V		2.2	41.0	μ A
					$V_{DD} = 2.0$ V		2.1	40.8	μ A
		$T_A = -40 \sim +70$		1.1	21.0	μ A			
		$T_A = -40 \sim +85$		1.1	36.0	μ A			

注1. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、D/Aコンバータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

3. V_{DD} , EV_{DD0} , EV_{DD1} , AV_{REF0} , AV_{REF1} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。サブシステム・クロック停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は、 $T_A = 25$ です。

DC特性 (15/15)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}, 1.8 \text{ V}$ $AV_{REF0} = V_{DD}, 1.8 \text{ V}$ $AV_{REF1} = V_{DD},$
 $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
RTC動作電流	I _{RTC} 注1, 2	f _{SUB} = 32.768 kHz	V _{DD} = 3.0 V	0.2	1.0	μA
			V _{DD} = 2.0 V	0.2	1.0	
ウォッチドッグ・タイマ動作電流	I _{WDT} 注2, 3	f _{IL} = 240 kHz		5	10	μA
A/Dコンバータ動作電流	I _{ADC} ^{注4}	最高速変換中, 2.3 V AV _{REF0}		0.86	1.9	mA
D/Aコンバータ動作電流	I _{DAC} ^{注5}	1チャンネル当たり		1.0	2.5	mA
LVI動作電流	I _{LVI} ^{注6}			9	18	μA

注1. リアルタイム・カウンタにのみ流れる電流です(XT1発振器の動作電流は含みません)。動作モードまたはHALTモード時にリアルタイム・カウンタが動作中の場合、TYP.値は、I_{DD1}またはI_{DD2}のTYP.値にI_{RTC}のTYP.値を加算した値が、78K0R/KG3の電流値となります。I_{DD1}またはI_{DD2}のMAX.値にはリアルタイム・カウンタの動作電流も含まれます。

2. 高速内蔵発振、高速システム・クロックは停止時。

3. ウォッチドッグ・タイマにのみ流れる電流です(240 kHz内蔵発振器の動作電流を含みます)。f_{CLK} = f_{SUB}/2時またはSTOPモード時にウォッチドッグ・タイマが動作中の場合、I_{DD1}またはI_{DD2}またはI_{DD3}にI_{WDT}を加算した値が、78K0R/KG3の電流値となります。

4. A/Dコンバータ(AV_{REF0}端子)にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、I_{DD1}またはI_{DD2}にI_{ADC}を加算した値が、78K0R/KG3の電流値となります。

5. D/Aコンバータ(AV_{REF1}端子)にのみ流れる電流です。動作モードまたはHALTモード時にD/Aコンバータが動作中の場合、I_{DD1}またはI_{DD2}にI_{DAC}を加算した値が、78K0R/KG3の電流値となります。

6. LVI回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVI回路が動作中の場合、I_{DD1}またはI_{DD2}またはI_{DD3}にI_{LVI}を加算した値が、78K0R/KG3の電流値となります。

備考1. f_{IL} : 低速内蔵発振クロック周波数

f_{SUB} : サブシステム・クロック周波数(XT1クロック発振周波数)

f_{CLK} : CPU/周辺ハードウェア・クロック周波数

2. TYP.値の温度条件は、T_A = 25 です。

AC特性

(1) 基本動作 (1/6)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ $5.5\text{ V}, 1.8\text{ V}$ AV_{REF0} $V_{DD}, 1.8\text{ V}$ AV_{REF1} $V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック	通常電流モード	2.7 V V_{DD} 5.5 V	0.05		8	$\mu\text{ s}$
				1.8 V $V_{DD} < 2.7\text{ V}$	0.2		8	$\mu\text{ s}$
		(f_{MAIN}) 動作	低消費電流モード		0.2		8	$\mu\text{ s}$
		サブシステム・クロック (f_{SUB}) 動作			57.2	61	62.5	$\mu\text{ s}$
		セルフ・プログラミング時	通常電流モード	2.7 V V_{DD} 5.5 V	0.05		0.5	$\mu\text{ s}$
外部メイン・システム・クロック周波数	f_{EX}	2.7 V V_{DD} 5.5 V	通常電流モード	2.0		20.0	MHz	
			低消費電流モード	2.0		5.0	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$	2.0		5.0	MHz		
外部メイン・システム・クロック入力ハイ, ロウ・レベル幅	t_{EXH}	2.7 V V_{DD} 5.5 V	通常電流モード	24			ns	
			低消費電流モード	96			ns	
	t_{EXL}	1.8 V $V_{DD} < 2.7\text{ V}$	96			ns		
TI00-TI07入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH} , t_{TIL}			$1/f_{MCK} +$ 10			ns	
TO00-TO07出力周波数	f_{RO}	2.7 V V_{DD} 5.5 V				10	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$				5	MHz	
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	2.7 V V_{DD} 5.5 V				10	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$				5	MHz	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH} , t_{INTL}			1			$\mu\text{ s}$	
キー割り込み入力 ロウ・レベル幅	t_{KR}			250			ns	
RESETロウ・レベル幅	t_{RSL}			10			$\mu\text{ s}$	

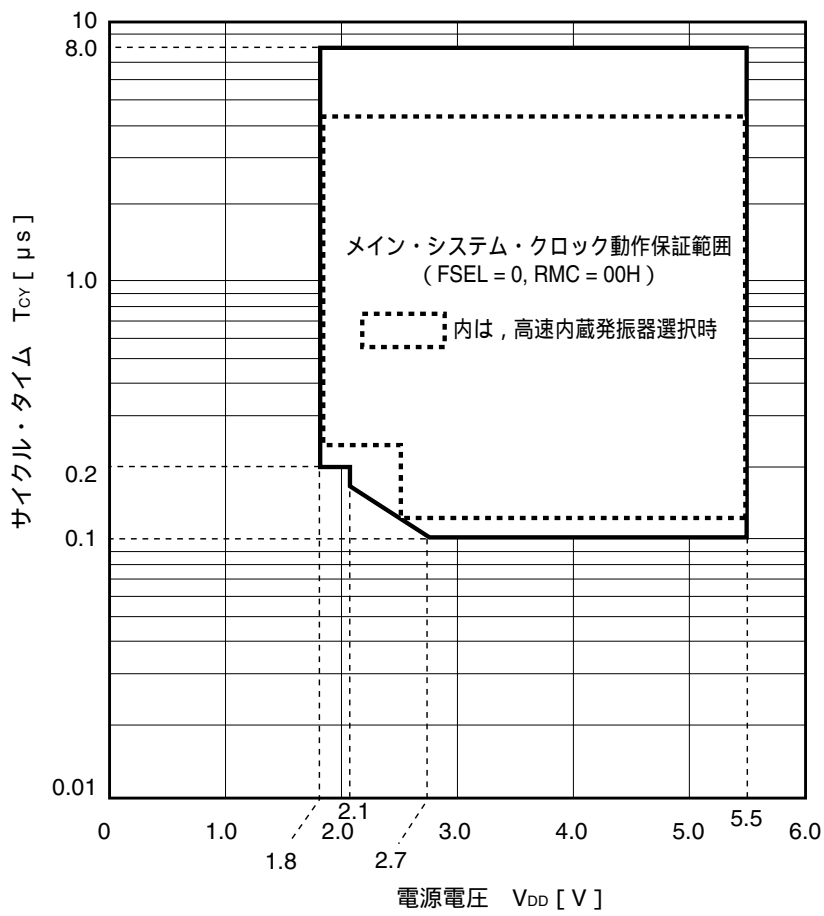
備考1. f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

(TMR0nレジスタのCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-7))

- レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第23章 レギュレータを参照してください。

(1) 基本動作 (2/6)

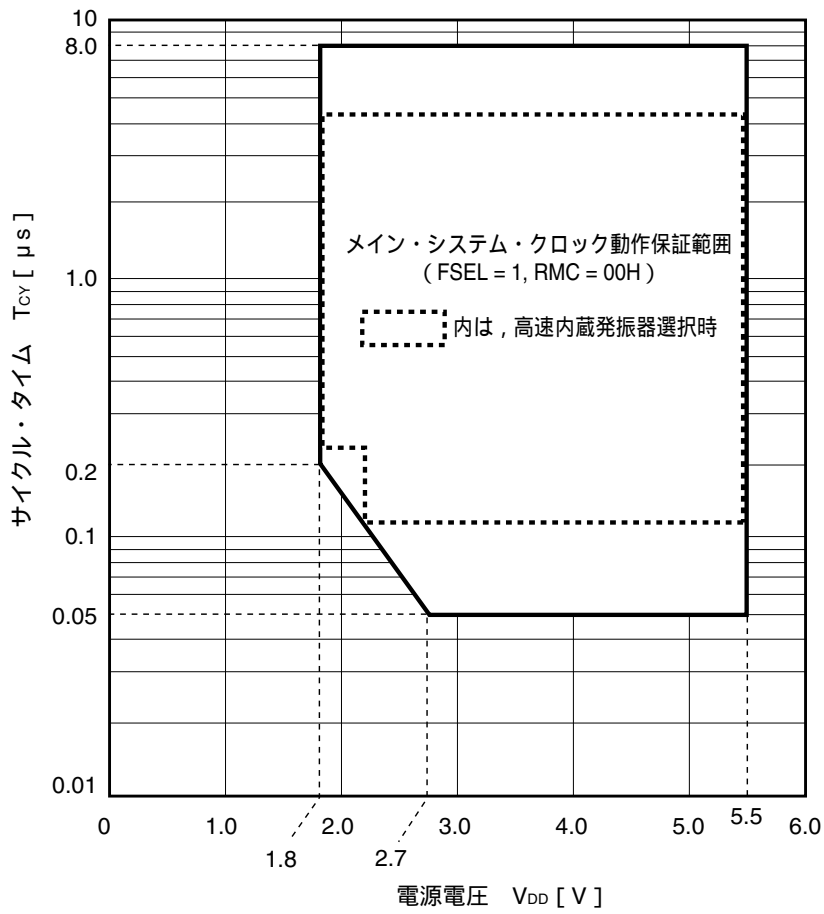
メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 00H)



備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
 RMC : レギュレータ・モード制御レジスタ

(1) 基本動作 (3/6)

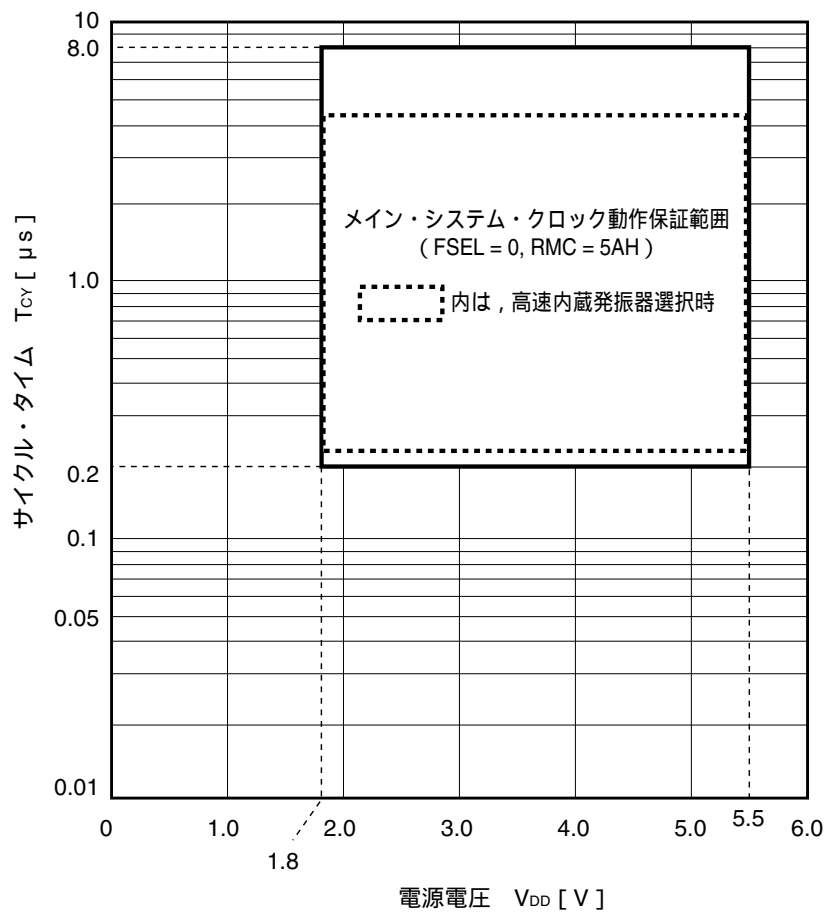
メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 1, RMC = 00H)



備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
RMC : レギュレータ・モード制御レジスタ

(1) 基本動作 (4/6)

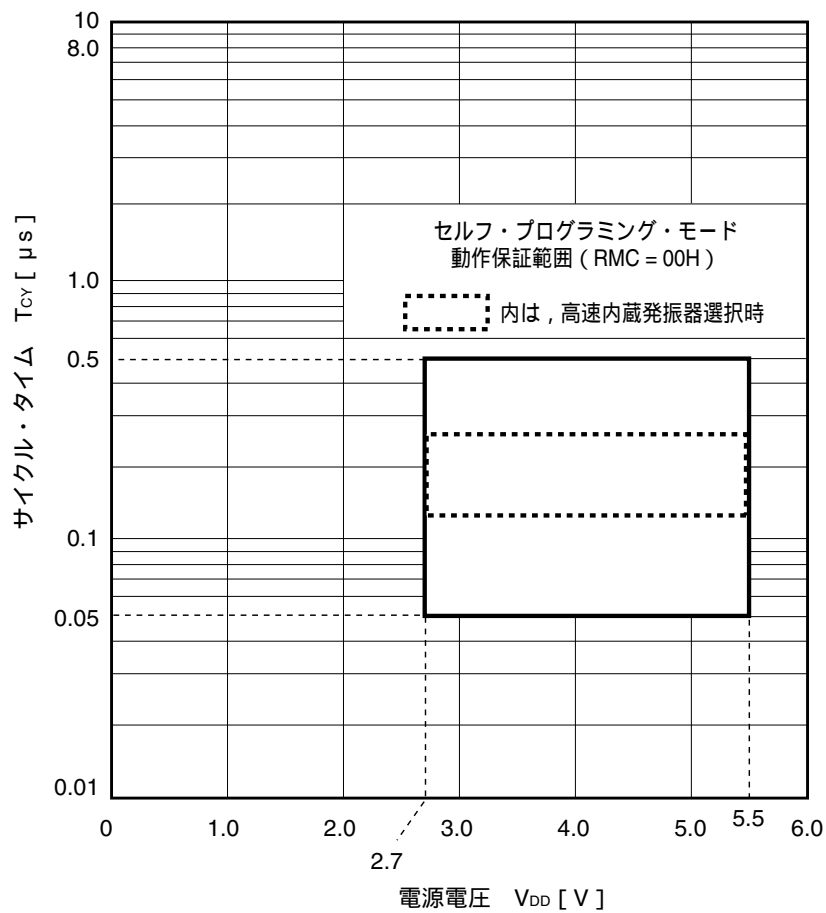
メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 5AH)



- 備考1. FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
RMC : レギュレータ・モード制御レジスタ
2. RMC = 5AH時は、全電圧範囲で5 MHz (MAX.) となります。

(1) 基本動作 (5/6)

セルフ・プログラミング・モード時の最小命令実行時間 (RMC = 00H)

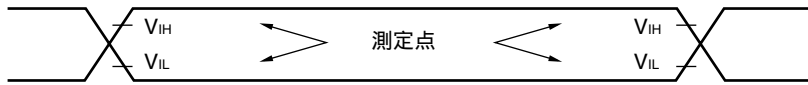


備考1. RMC : レギュレータ・モード制御レジスタ

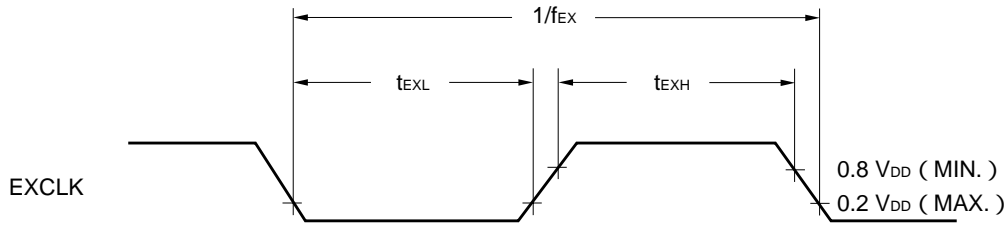
- RMC = 5AH時および、CPUがサブシステム・クロック動作時は、セルフ・プログラミング機能を使用できません。

(1) 基本動作 (6/6)

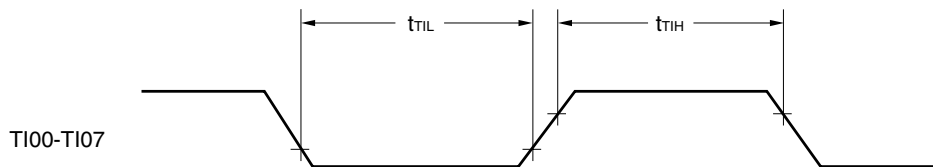
ACタイミング測定点 (外部バス・インタフェースを除く)



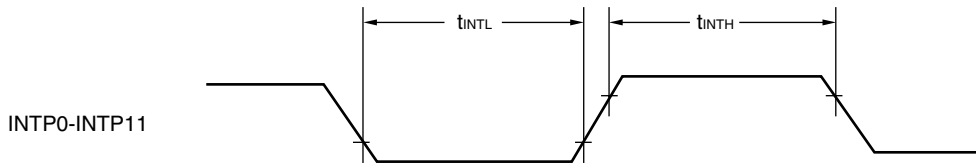
外部メイン・システム・クロック・タイミング



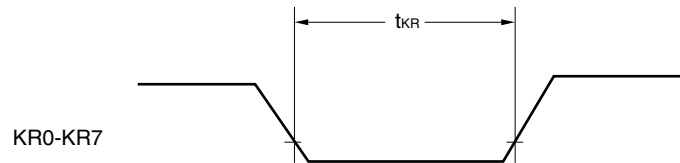
TIタイミング



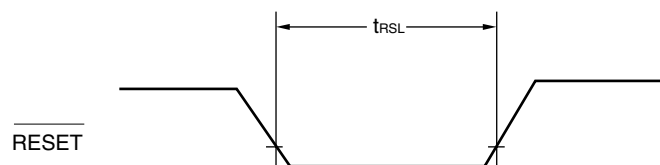
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET入力タイミング



(2) 外部バス・インタフェース (1/3)

($T_A = -40 \sim +85$, $1.8V \le V_{DD} = EV_{DD0} = EV_{DD1} \le 5.5V$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0V$)

(a) リード/ライト・サイクル (CLKOUT同期)

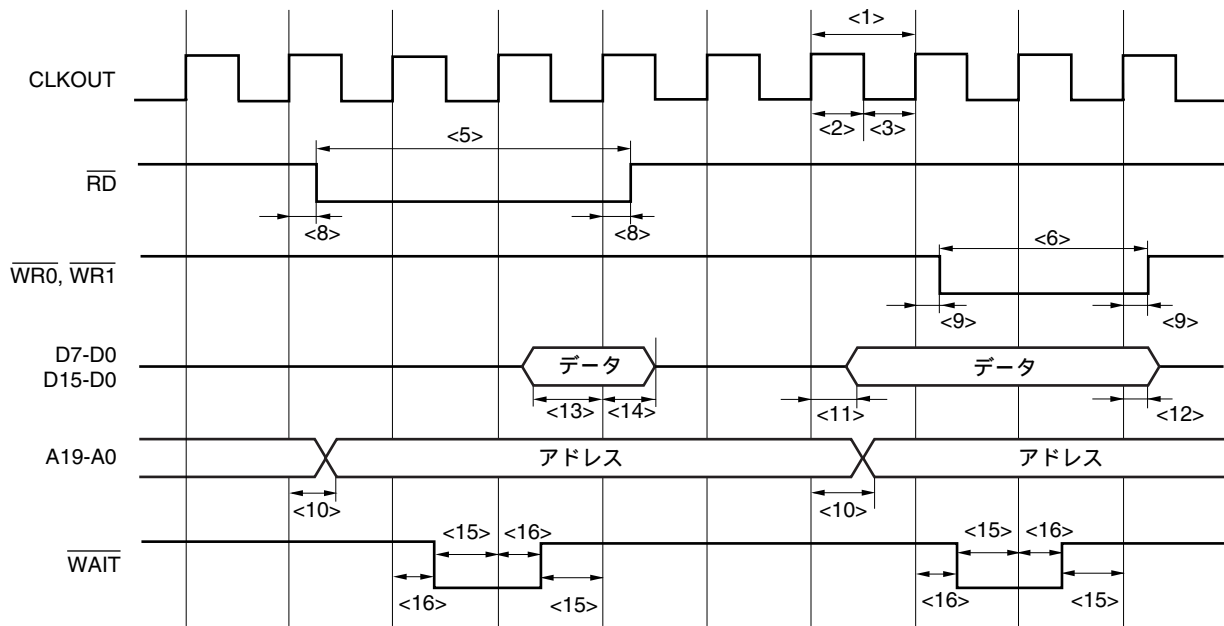
項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKOUTサイクル	t_{CYK}	<1>	$2.7V \le V_{DD} \le 5.5V$	100		ns
			$1.8V \le V_{DD} < 2.7V$	200		ns
CLKOUTハイ・レベル幅	t_{WKH}	<2>	$2.7V \le V_{DD} \le 5.5V$	$0.4t_{CYK} - 30$	$0.6t_{CYK}$	ns
			$1.8V \le V_{DD} < 2.7V$	$0.4t_{CYK} - 50$	$0.6t_{CYK}$	ns
CLKOUTロウ・レベル幅	t_{WKL}	<3>	$2.7V \le V_{DD} \le 5.5V$	$0.4t_{CYK} - 30$	$0.6t_{CYK}$	ns
			$1.8V \le V_{DD} < 2.7V$	$0.4t_{CYK} - 50$	$0.6t_{CYK}$	ns
ASTBハイ・レベル幅	t_{WASH1}	<4>	$2.7V \le V_{DD} \le 5.5V$	$0.8t_{CYK} - 40$	$1.2t_{CYK}$	ns
			$1.8V \le V_{DD} < 2.7V$	$0.8t_{CYK} - 60$	$1.2t_{CYK}$	ns
RDロウ・レベル幅	t_{WRDL1}	<5>	$2.7V \le V_{DD} \le 5.5V$	$(0.8 + m + w)t_{CYK} - 40$	$(1.2 + m + w)t_{CYK}$	ns
			$1.8V \le V_{DD} < 2.7V$	$(0.8 + m + w)t_{CYK} - 60$	$(1.2 + m + w)t_{CYK}$	ns
WR0, WR1ロウ・レベル幅	t_{WWRL1}	<6>	$2.7V \le V_{DD} \le 5.5V$	$(0.8 + w)t_{CYK} - 40$	$(1.2 + w)t_{CYK}$	ns
			$1.8V \le V_{DD} < 2.7V$	$(0.8 + w)t_{CYK} - 60$	$(1.2 + w)t_{CYK}$	ns
CLKOUT ASTB遅延時間	t_{DKAS1}	<7>	$2.7V \le V_{DD} \le 5.5V$	2	50	ns
			$1.8V \le V_{DD} < 2.7V$	2	80	ns
CLKOUT RD遅延時間	t_{DKRD1}	<8>	$2.7V \le V_{DD} \le 5.5V$	2	50	ns
			$1.8V \le V_{DD} < 2.7V$	2	80	ns
CLKOUT WR0, WR1遅延時間	t_{DKWR1}	<9>	$2.7V \le V_{DD} \le 5.5V$	2	50	ns
			$1.8V \le V_{DD} < 2.7V$	2	80	ns
CLKOUT アドレス遅延時間	t_{DKA1}	<10>	$2.7V \le V_{DD} \le 5.5V$	2	55	ns
			$1.8V \le V_{DD} < 2.7V$	2	90	ns
CLKOUT 出力データ遅延時間	t_{DKOD1}	<11>	$2.7V \le V_{DD} \le 5.5V$	2	55	ns
			$1.8V \le V_{DD} < 2.7V$	2	90	ns
CLKOUT 出力データ・ホールド時間	t_{HKOD1}	<12>	$2.7V \le V_{DD} \le 5.5V$	2		ns
			$1.8V \le V_{DD} < 2.7V$	2		ns
CLKOUT 入力データ・セットアップ時間	t_{SKD1}	<13>	$2.7V \le V_{DD} \le 5.5V$	40		ns
			$1.8V \le V_{DD} < 2.7V$	85		ns
CLKOUT 入力データ・ホールド時間	t_{HKD1}	<14>	$2.7V \le V_{DD} \le 5.5V$	0		ns
			$1.8V \le V_{DD} < 2.7V$	0		ns
CLKOUT WAITセットアップ時間	t_{SKWT1}	<15>	$2.7V \le V_{DD} \le 5.5V$	45		ns
			$1.8V \le V_{DD} < 2.7V$	85		ns
CLKOUT WAITホールド時間	t_{HKWT1}	<16>	$2.7V \le V_{DD} \le 5.5V$	0		ns
			$1.8V \le V_{DD} < 2.7V$	0		ns
アドレス出力停止 RD遅延時間	t_{DAR1}	<17>	$2.7V \le V_{DD} \le 5.5V$	0		ns
			$1.8V \le V_{DD} < 2.7V$	0		ns

備考1. C_L : 端子負荷容量は15 pF

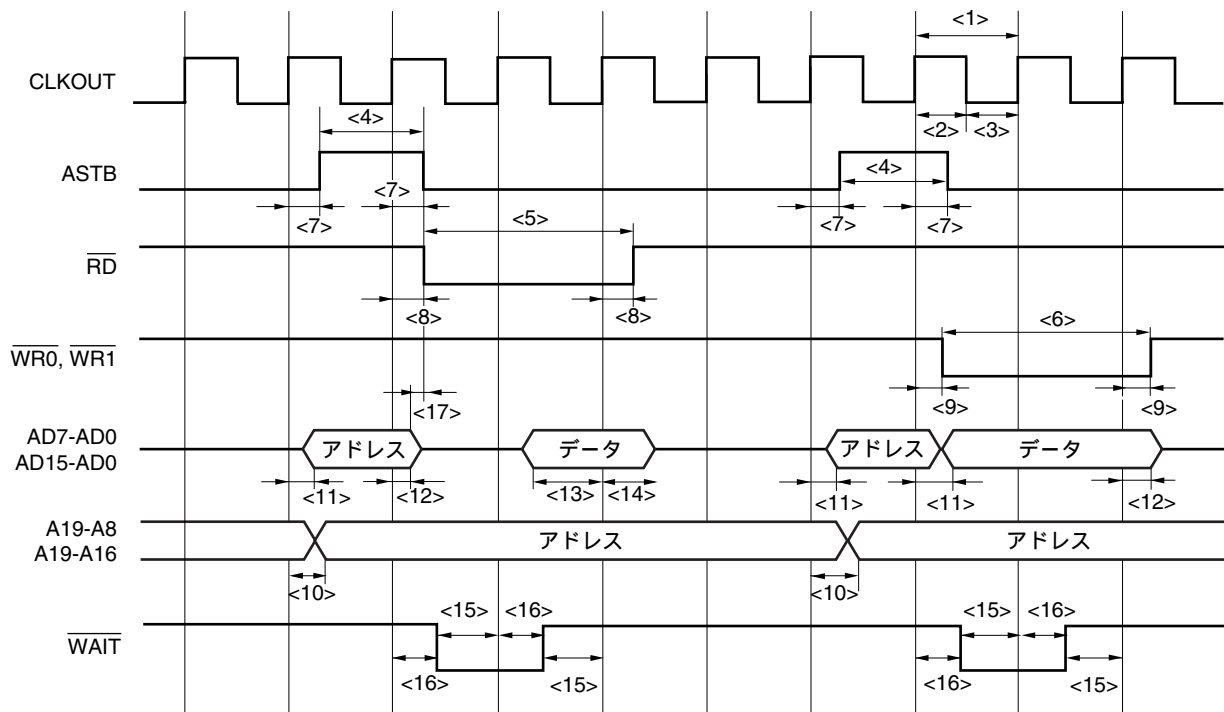
2. 測定点 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$
3. $m = 0$: マルチプレクスト・バス・モード
 $m = 1$: セパレート・バス・モード
 w : WAITによるウェイト数

(2) 外部バス・インタフェース (2/3)

リード/ライト・サイクル (CLKOUT同期) : セバレート・バス・モード時



リード/ライト・サイクル (CLKOUT同期) : マルチプレクスト・バス・モード時



(2) 外部バス・インタフェース (3/3)

(TA = -40 ~ +85 , 1.8 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(b) リード/ライト・サイクル (CLKOUT非同期)

項目	略号	条件	MIN.	TYP.	MAX.	単位
CLKOUTサイクル	t _{CYK2}	<18>	2.7 V V _{DD} 5.5 V	100		ns
			1.8 V V _{DD} <2.7 V	200		ns
RD口ウ・レベル幅	t _{WRDL2}	<19>	2.7 V V _{DD} 5.5 V	1.8t _{CYK2} - 40	2.2t _{CYK2}	ns
			1.8 V V _{DD} <2.7 V	1.8t _{CYK2} - 60	2.2t _{CYK2}	ns
WR0, WR1口ウ・レベル幅	t _{WWRL2}	<20>	2.7 V V _{DD} 5.5 V	0.8t _{CYK2} - 40	1.2t _{CYK2}	ns
			1.8 V V _{DD} <2.7 V	0.8t _{CYK2} - 60	1.2t _{CYK2}	ns
RD 入力データ・セットアップ時間	t _{SRDDI2}	<21>	2.7 V V _{DD} 5.5 V	90		ns
			1.8 V V _{DD} <2.7 V	170		ns
RD 入力データ・ホールド時間	t _{HRDDI2}	<22>	2.7 V V _{DD} 5.5 V	0		ns
			1.8 V V _{DD} <2.7 V	0		ns
WR0, WR1 出力データ・セットアップ時間	t _{SWROD2}	<23>	2.7 V V _{DD} 5.5 V	t _{CYK2} - 5		ns
			1.8 V V _{DD} <2.7 V	t _{CYK2} - 15		ns
WR0, WR1 出力データ・ホールド時間	t _{HKOD2}	<24>	2.7 V V _{DD} 5.5 V	2		ns
			1.8 V V _{DD} <2.7 V	2		ns
RD アドレス遅延時間	t _{DRDA2}	<25>	2.7 V V _{DD} 5.5 V		5	ns
			1.8 V V _{DD} <2.7 V		15	ns
WR0, WR1 アドレス・セットアップ時間	t _{SWRA2}	<26>	2.7 V V _{DD} 5.5 V	t _{CYK2} - 5		ns
			1.8 V V _{DD} <2.7 V	t _{CYK2} - 15		ns

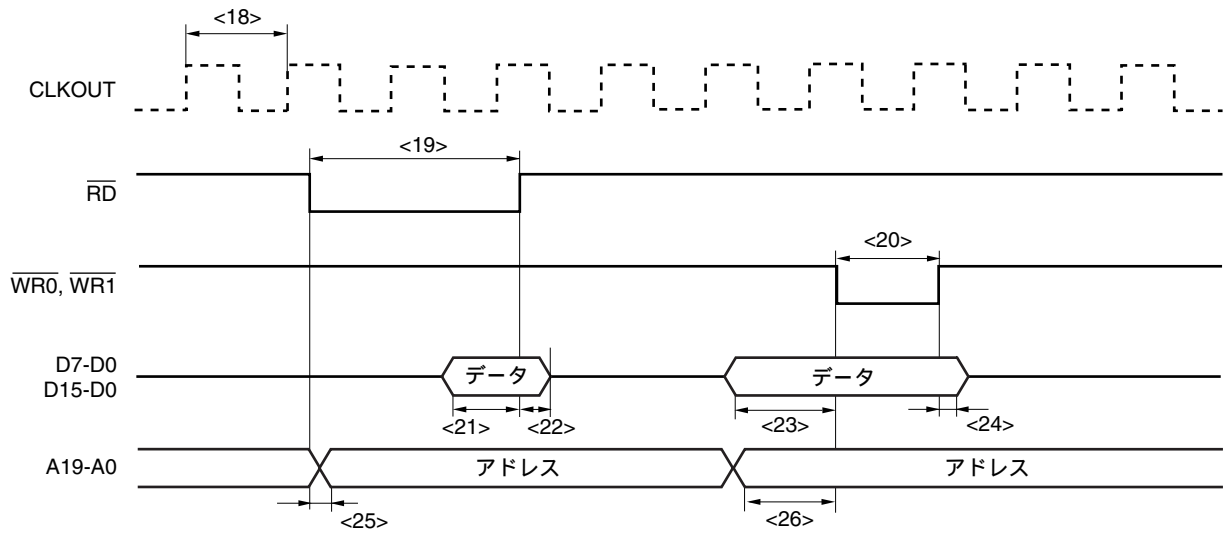
注意1. CLKOUT非同期ではCLKOUT出力は使用しませんが、メモリ拡張モード制御レジスタ(MEM)のビット4, 5 (EW0, EW1) の設定によって、CPUはウエイトが発生します。f_{CLK}が高速の場合は、EW0, EW1ビットの設定で、ウエイトを挿入してください。

2. CLKOUT非同期では、 $\overline{\text{WAIT}}$ 端子は使用しないでください。
CLKOUT非同期では、セパレート・バス・モードを使用してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. C_L : 端子負荷容量は15 pF
3. 測定点 V_{OH} = 0.8V_{DD}, V_{OL} = 0.2V_{DD}

リード/ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時



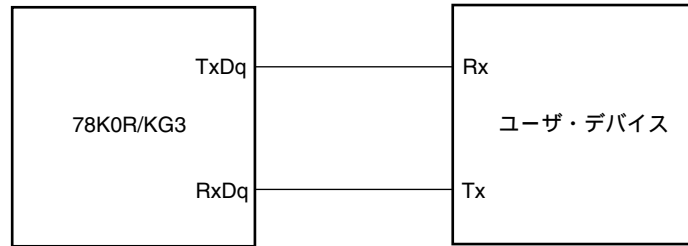
(3) シリアル・インタフェース：シリアル・アレイ・ユニット (1/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5$ V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

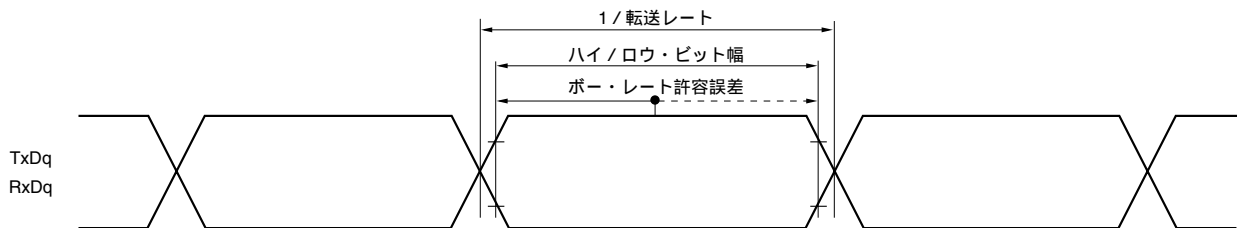
(a) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					$f_{MCK}/6$	bps
		$f_{CLK} = 20$ MHz, $f_{MCK} = f_{CLK}$			3.3	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDiは通常入力バッファ、TxDiは通常出力モードを選択。

- 備考1.** q : UART番号 (q = 0-3) , g : PIM, POM番号 (g = 0, 14) ,
 i : 異電位通信を選択可能なUART番号 (i = 1, 2)
- 2.** f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-3))

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (2/17)

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(b) 同電位通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}	4.0 V V_{DD} 5.5 V	200 ^{注1}			ns
		2.7 V $V_{DD} < 4.0\text{ V}$	300 ^{注1}			ns
		1.8 V $V_{DD} < 2.7\text{ V}$	600 ^{注1}			ns
SCKpハイ, ロウ・レベル幅	t _{KH1} , t _{KL1}	4.0 V V_{DD} 5.5 V	t _{KCY1} /2 - 20			ns
		2.7 V $V_{DD} < 4.0\text{ V}$	t _{KCY1} /2 - 35			ns
		1.8 V $V_{DD} < 2.7\text{ V}$	t _{KCY1} /2 - 80			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注2}	t _{SIK1}	4.0 V V_{DD} 5.5 V	70			ns
		2.7 V $V_{DD} < 4.0\text{ V}$	100			ns
		1.8 V $V_{DD} < 2.7\text{ V}$	190			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注2}	t _{KSH1}		30			ns
\overline{SCKp} SOP出力遅延時間 ^{注3}	t _{KSO1}	C = 30 pF ^{注4}			40	ns

注1. $\frac{1}{4}f_{CLK}$ 以上に設定してください。

- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 \overline{SCKp} ”となります。
- DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 \overline{SCKp} ”となります。
- Cは、 \overline{SCKp} , SOP出力ラインの負荷容量です。

注意 PIMgレジスタとPOMgレジスタで、Sijは通常入力バッファ、SOjと \overline{SCKj} は通常出力モードを選択。

- 備考1. p : CSI番号 (p = 00, 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14) ,
j : 異電位通信を選択可能なCSI番号 (j = 01, 10, 20)
2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (3/17)

($T_A = -40 \sim +85$, $1.8\text{ V} \leq V_{DD} = EV_{DD0} = EV_{DD1} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(c) 同電位通信時 (CSIモード) (スレーブ・モード, \overline{SCKp} ...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCKpサイクル・タイム	t_{KY2}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$6/f_{MCK}$			ns	
		$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$	$16\text{ MHz} < f_{MCK}$	$8/f_{MCK}$		ns	
			$f_{MCK} \leq 16\text{ MHz}$	$6/f_{MCK}$		ns	
		$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	$16\text{ MHz} < f_{MCK}$	$8/f_{MCK}$		ns	
$f_{MCK} \leq 16\text{ MHz}$	$6/f_{MCK}$			ns			
SCKpハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}		$t_{KY2}/2$			ns	
Slpセットアップ時間 (対 \overline{SCKp}) ^{注1}	t_{SIK2}		80			ns	
Slpホールド時間 (対 \overline{SCKp}) ^{注1}	t_{KS2}		$1/f_{MCK} +$ 50			ns	
SCKp SOP出力遅延時間 ^{注2}	t_{KS02}	$C = 30\text{ pF}$ ^{注3}	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			$2/f_{MCK} + 45$	ns
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$			$2/f_{MCK} + 57$	ns
			$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$			$2/f_{MCK} + 125$	ns

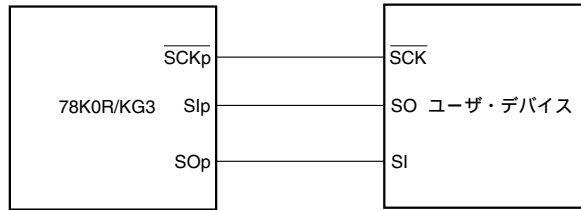
- 注1. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対 \overline{SCKp} ”となります。
2. $DAPmn = 0$, $CKPmn = 0$ または $DAPmn = 1$, $CKPmn = 1$ のとき。 $DAPmn = 0$, $CKPmn = 1$ または $DAPmn = 1$, $CKPmn = 0$ のときは“対 \overline{SCKp} ”となります。
3. Cは、SOp出力ラインの負荷容量です。

注意 PIMgレジスタとPOMgレジスタで、 Slj と \overline{SCKj} は通常入力バッファ、 SOj は通常出力モードを選択。

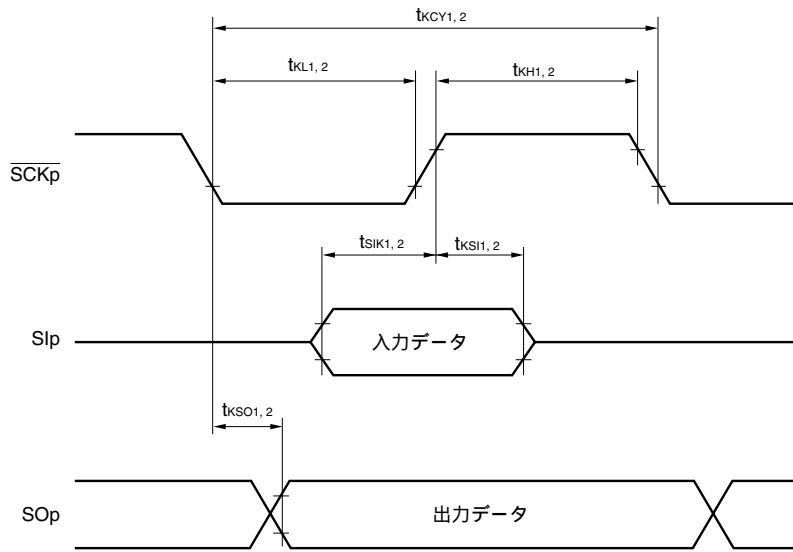
- 備考1. p : CSI番号 (p = 00, 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14) ,
j : 異電位通信を選択可能なCSI番号 (j = 01, 10, 20)
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2))

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (4/17)

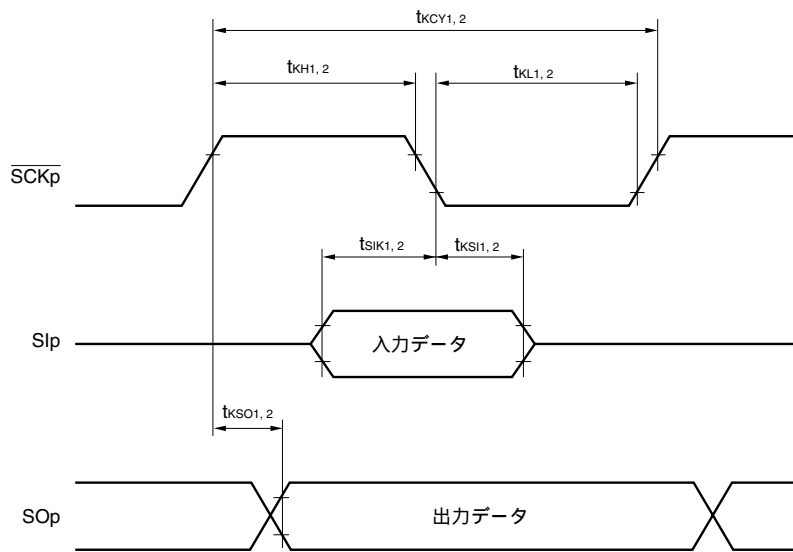
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



- 備考1. p : CSI番号 (p = 00, 01, 10, 20)
2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

(3) シリアル・インタフェース：シリアル・アレィ・ユニット (5/17)

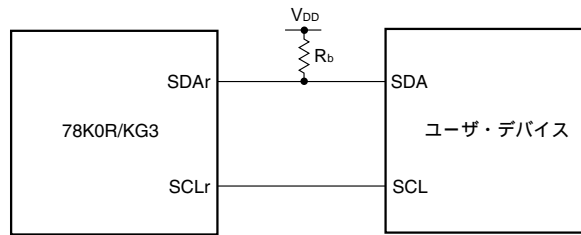
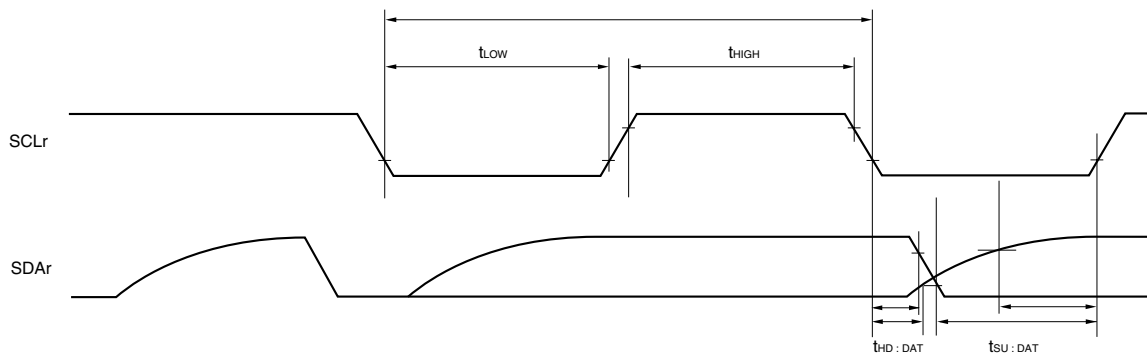
(TA = -40 ~ +85 , 1.8 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(d) 同電位通信時 (簡易I²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k		400 ^注	kHz
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k		300 ^注	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	995		ns
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k	1500		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	995		ns
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k	1500		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	1/f _{MCK} + 120		ns
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k	1/f _{MCK} + 230		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V V _{DD} 5.5 V, C _b = 100 pF, R _b = 3 k	0	160	ns
		1.8 V V _{DD} < 2.7 V C _b = 100 pF, R _b = 5 k	0	210	ns

注 かつf_{MCK}/4以下に設定してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (6/17)

簡易I²Cモード接続図 (同電位通信時)簡易I²Cモード・シリアル転送タイミング (同電位通信時)

注意 PIMgレジスタとPOMgレジスタで、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCLrは通常出力モードを選択。

- 備考**1. R_b [] : 通信ライン (SDAr) プルアップ抵抗値, C_b [F] : 通信ライン (SCLr, SDAr) 負荷容量値
 2. r : IIC番号 ($r = 10, 20$), g : PIM, POM番号 ($g = 0, 14$)
 3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 2$), $mn = 02, 10$)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (7/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート		受信	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V	$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$		$f_{MCK}/6$	bps
						3.3	Mbps
			2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V	$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$		$f_{MCK}/6$	bps
						3.3	Mbps

注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. q : UART番号 (q = 1, 2) , g : PIM, POM番号 (g = 0, 14)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-3))

3. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

4. UART0, UART3は、異電位通信できません。異電位通信をする場合は、UART1, UART2を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (8/17)

(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = AVSS = 0 V)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート	送信	4.0 V VDD 5.5 V,			注1	Mbps
		2.7 V Vb 4.0 V	fCLK = 16.8 MHz, fMCK = fCLK, Cb = 50 pF, Rb = 1.4 k , Vb = 2.7 V		2.8 ^{注2}	
		2.7 V VDD < 4.0 V,			注3	
		2.3 V Vb 2.7 V	fCLK = 19.2 MHz, fMCK = fCLK, Cb = 50 pF, Rb = 2.7 k , Vb = 2.3 V		1.2 ^{注4}	

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V VDD = EVDD 5.5 V, 2.7 V Vb 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{ -C_b \times R_b \times \ln(1 - \frac{2.2}{V_b}) \}} \times 3 \quad [\text{bps}]$$

$$\text{ポー・レート許容誤差(理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{ -C_b \times R_b \times \ln(1 - \frac{2.2}{V_b}) \}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

この値は送信側と受信側の相対差の理論値となります。

- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。
- fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V VDD = EVDD < 4.0 V, 2.3 V Vb 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{ -C_b \times R_b \times \ln(1 - \frac{2.0}{V_b}) \}} \times 3 \quad [\text{bps}]$$

$$\text{ポー・レート許容誤差(理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{ -C_b \times R_b \times \ln(1 - \frac{2.0}{V_b}) \}}{\left(\frac{1}{\text{転送レート}} \right) \times \text{転送ビット数}} \times 100 \quad [\%]$$

この値は送信側と受信側の相対差の理論値となります。

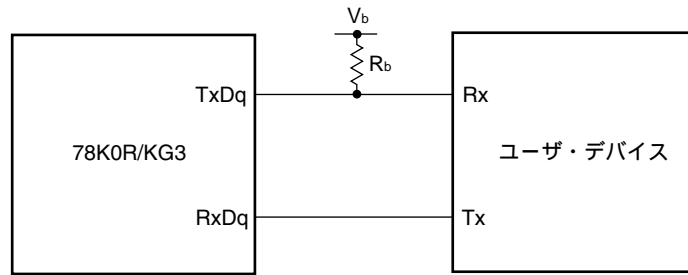
- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (VDD耐圧) モードを選択。

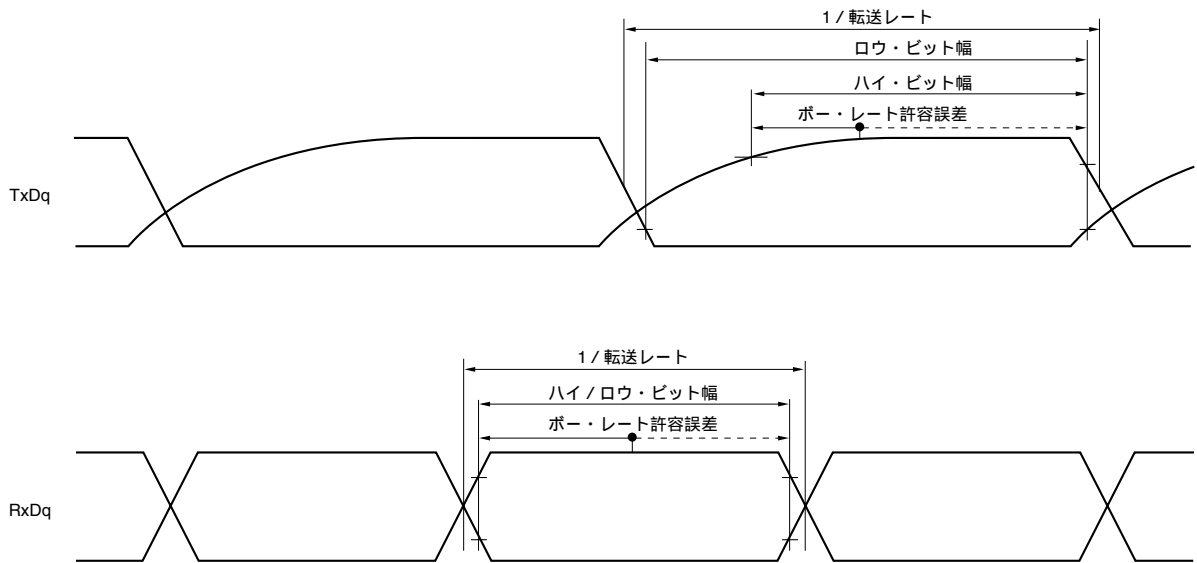
- 備考** 1. Rb [] : 通信ライン (TxDq) プルアップ抵抗値, Cb [F] : 通信ライン (TxDq) 負荷容量値, Vb [V] : 通信ライン電圧
 2. q : UART番号 (q = 1, 2) , g : PIM, POM番号 (g = 0, 14)
 3. fMCK : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-3))
 4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記のVIHとVILを観測点としています。
 4.0 V VDD 5.5 V, 2.7 V Vb 4.0 Vのとき : VIH = 2.2 V, VIL = 0.8 V
 2.7 V VDD 4.0 V, 2.3 V Vb 2.7 Vのとき : VIH = 2.0 V, VIL = 0.5 V
 5. UART0, UART3は、異電位通信できません。異電位通信をする場合は、UART1, UART2を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (9/17)

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレーン出力 (V_{DD} 耐圧) モードを選択。

- 備考**
1. R_b [] : 通信ライン (TxDq) プルアップ抵抗値, V_b [V] : 通信ライン電圧
 2. q : UART番号 ($q = 1, 2$), g : PIM, POM番号 ($g = 0, 14$)
 3. UART0, UART3は、異電位通信できません。異電位通信をする場合は、UART1, UART2を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (10/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0$ V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	400 ^{注1}			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	800 ^{注1}			ns
SCKpハイ・レベル幅	t _{KH1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	t _{KCY1} /2 - 75			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	t _{KCY1} /2 - 170			ns
SCKpロウ・レベル幅	t _{KL1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	t _{KCY1} /2 - 20			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	t _{KCY1} /2 - 35			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注2}	t _{SIK1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	150			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	275			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注2}	t _{KSI1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	30			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	30			ns
\overline{SCKp} SOp出力遅延時間 ^{注2}	t _{KSO1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k			120	ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k			215	ns

注1. $\frac{1}{4}f_{CLK}$ 以上に設定してください。

2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpと \overline{SCKp} はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p: CSI番号 (p = 01, 10, 20), g: PIM, POM番号 (g = 0, 4, 14)

2. m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-2)

3. R_b []: 通信ライン (\overline{SCKp} , SOp) プルアップ抵抗値, C_b [F]: 通信ライン (\overline{SCKp} , SOp) 負荷容量値, V_b [V]: 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき: V_{IH} = 2.2 V, V_{IL} = 0.8 V

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき: V_{IH} = 2.0 V, V_{IL} = 0.5 V

5. CSI00は, 異電位通信できません。異電位通信をする場合は, CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (11/17)

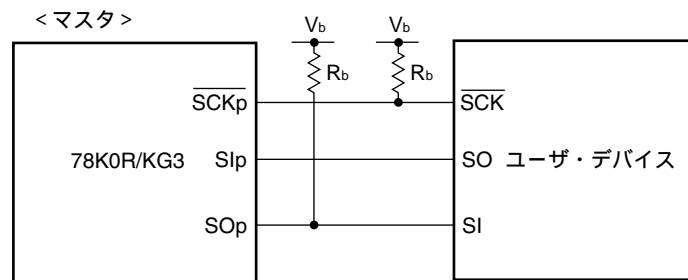
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^注	t _{SIK1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$	70			ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$	100			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^注	t _{KS11}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$	30			ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$	30			ns
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^注	t _{KS01}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$			40	ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$			40	ns

注 DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpと $\overline{\text{SCKp}}$ はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14)

2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)

3. R_b [] : 通信ライン ($\overline{\text{SCKp}}$, SOp) プルアップ抵抗値, C_b [F] : 通信ライン ($\overline{\text{SCKp}}$, SOp) 負荷容量値, V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

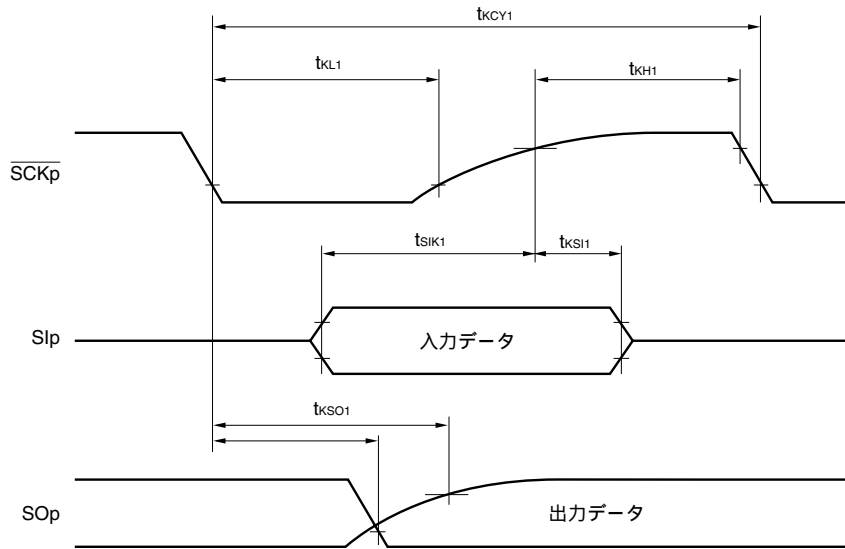
4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

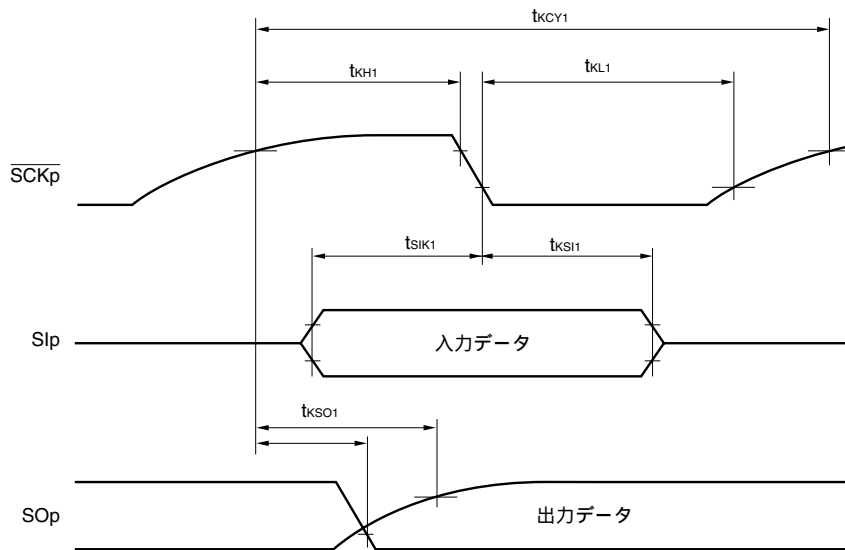
5. CSI00は, 異電位通信できません。異電位通信をする場合は, CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (12/17)

CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）
 （DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpとSCKpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

- 備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14)
 2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)
 3. CSI00は, 異電位通信できません。異電位通信をする場合は, CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレィ・ユニット (13/17)

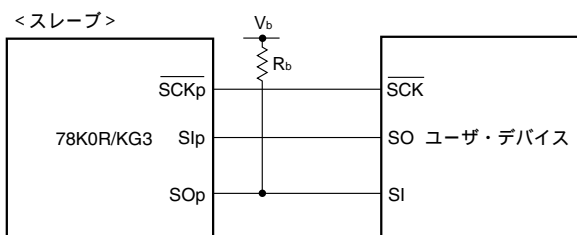
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
SCKpサイクル・タイム	t_{KCY2}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V	13.6 MHz < f_{MCK}	10/ f_{MCK}			ns
			6.8 MHz < f_{MCK} 13.6 MHz	8/ f_{MCK}			ns
			f_{MCK} 6.8 MHz	6/ f_{MCK}			ns
		2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V	18.5 MHz < f_{MCK}	16/ f_{MCK}			ns
			14.8 MHz < f_{MCK} 18.5 MHz	14/ f_{MCK}			ns
			11.1 MHz < f_{MCK} 14.8 MHz	12/ f_{MCK}			ns
			7.4 MHz < f_{MCK} 11.1 MHz	10/ f_{MCK}			ns
			3.7 MHz < f_{MCK} 7.4 MHz	8/ f_{MCK}			ns
	f_{MCK} 3.7 MHz	6/ f_{MCK}			ns		
SCKpハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V	$t_{KCY2}/2 -$ 20				ns
		2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V	$t_{KCY2}/2 -$ 35				ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{SIK2}		90				ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{KSI2}		1/ f_{MCK} + 50				ns
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^{注2}	t_{KS02}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$			2/ f_{MCK} + 120		ns
		2.7 V V_{DD} < 4.0 V, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$			2/ f_{MCK} + 230		ns

- 注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで,Slpと $\overline{\text{SCKp}}$ はTTL入力バッファ,SOpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

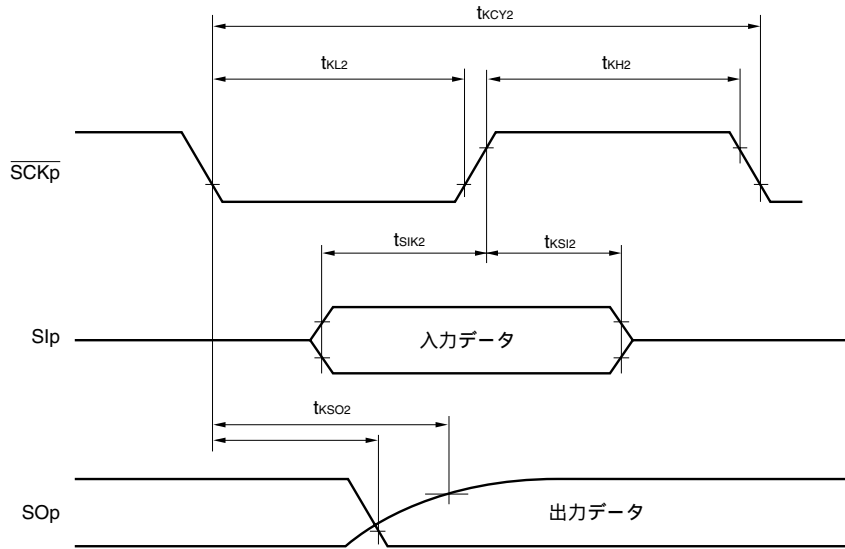
(備考は次ページにあります。)

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (14/17)

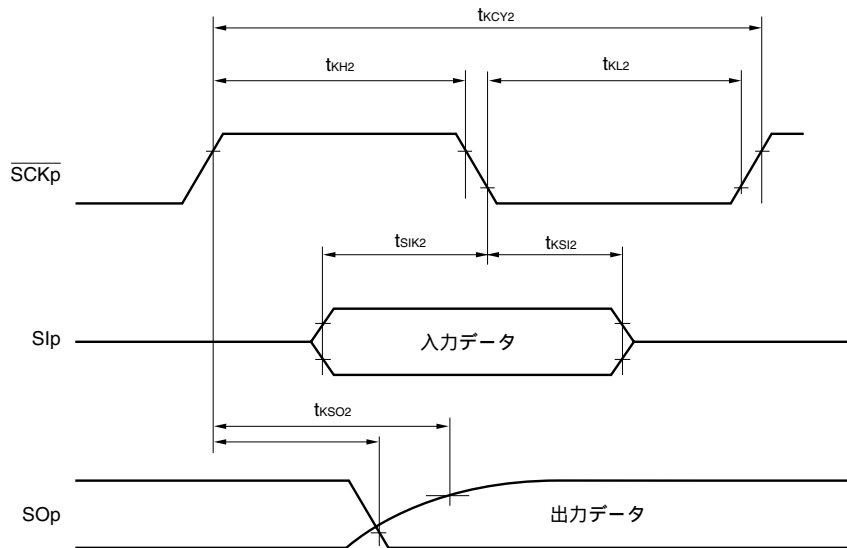
- 備考1. p : CSI番号 ($p = 01, 10, 20$) , g : PIM, POM番号 ($g = 0, 4, 14$)
2. R_b [] : 通信ライン (SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp) 負荷容量値,
 V_b [V] : 通信ライン電圧
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
 (SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0-2$))
4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。
- | | | | | |
|-------|----------|--------------|-------|---|
| 4.0 V | V_{DD} | 5.5 V, 2.7 V | V_b | 4.0 Vのとき : $V_{IH} = 2.2$ V, $V_{IL} = 0.8$ V |
| 2.7 V | V_{DD} | 4.0 V, 2.3 V | V_b | 2.7 Vのとき : $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V |
5. CSI00は、異電位通信できません。異電位通信をする場合は、CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (15/17)

CSIモード・シリアル転送タイミング：スレーブ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



CSIモード・シリアル転送タイミング：スレーブ・モード (異電位通信時)
 (DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



注意 PIMgレジスタとPOMgレジスタで,SlpとSCKpはTTL入力バッファ,SOpはN-chオープン・ドレーン出力(V_{DD}耐圧)モードを選択。

- 備考1. p : CSI番号 (p = 01, 10, 20) , g : PIM, POM番号 (g = 0, 4, 14)
 2. m : ユニット番号 (m = 0, 1) , n : チャネル番号 (n = 0-2)
 3. CSI00は, 異電位通信できません。異電位通信をする場合は, CSI01, CSI10, CSI20を使用してください。

(3) シリアル・インタフェース：シリアル・アレイ・ユニット (16/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(h) 異電位 (2.5 V系, 3 V系) 通信時 (簡易²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCLrクロック周波数	f _{SCL}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$		400 ^註	kHz
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$		400 ^註	kHz
SCLr = "L"のホールド・タイム	t _{LOW}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	1065		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	1065		ns
SCLr = "H"のホールド・タイム	t _{HIGH}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	445		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	445		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	1/f _{MCK} + 190		ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	1/f _{MCK} + 190		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	0	160	ns
		2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 V, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	0	160	ns

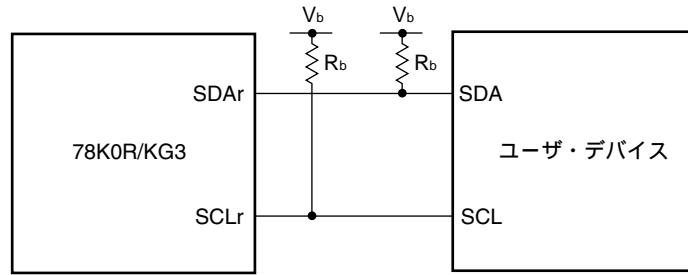
注 かつf_{MCK}/4以下に設定してください。

注意 PIMgレジスタとPOMgレジスタで、SDArはTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCLrはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

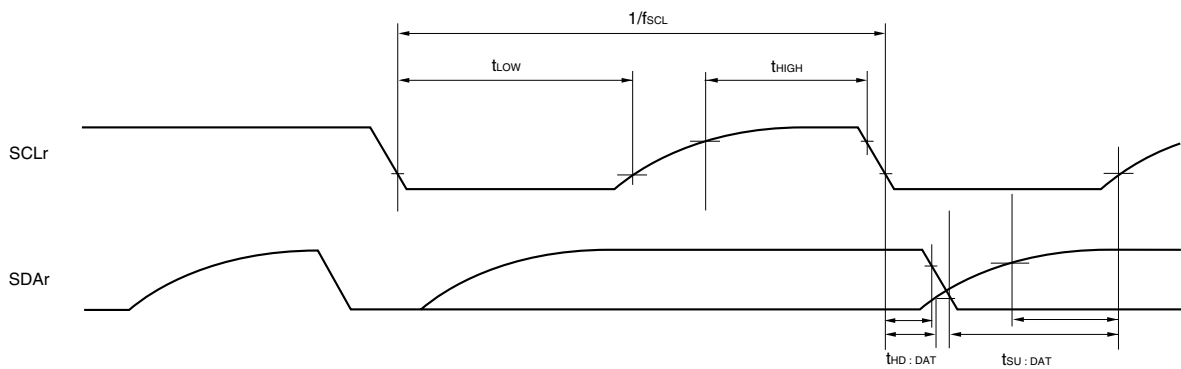
- 備考1. R_b [] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F] : 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V] : 通信ライン電圧
2. r : IIC番号 (r = 10, 20), g : PIM, POM番号 (g = 0, 14)
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMRmnレジスタのCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0, 2), mn = 02, 10)
4. シリアル・アレイ・ユニットの簡易²Cモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。
- 4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : V_{IH} = 2.2 V, V_{IL} = 0.8 V
- 2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : V_{IH} = 2.0 V, V_{IL} = 0.5 V

(3) シリアル・インタフェース：シリアル・アレィ・ユニット (17/17)

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで、SDArはTTL入力バッファ、N-chオープン・ドレィン出力 (V_{DD} 耐圧) モードを選択、SCLrはN-chオープン・ドレィン出力 (V_{DD} 耐圧) モードを選択。

備考1. R_b [] : 通信ライン (SDAr, SCLr) プルアップ抵抗値, V_b [V] : 通信ライン電圧

2. r : IIC番号 (r = 10, 20), g : PIM, POM番号 (g = 0, 14)

(4) シリアル・インタフェース : IIC0

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1}$ 5.5 V , $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0\text{ V}$)

(a) IIC0

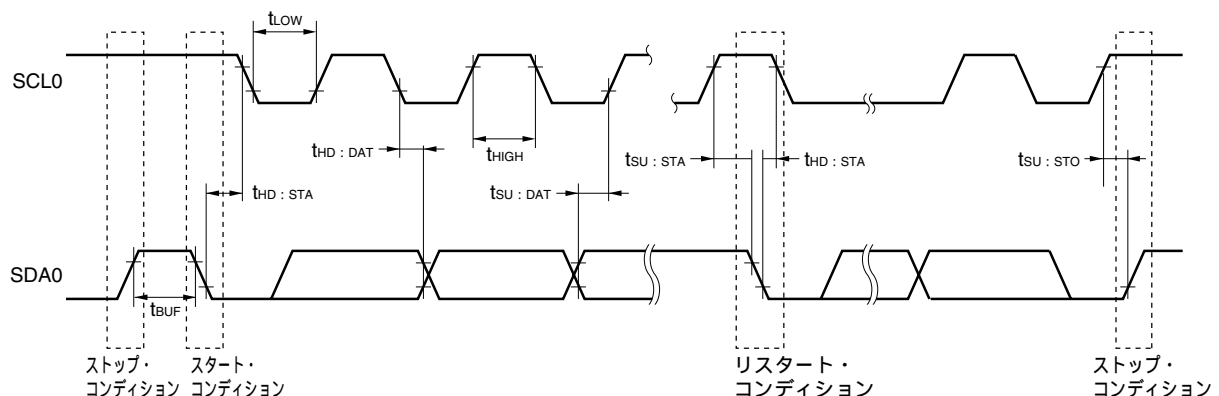
項目	略号	条件	標準モード		ファースト・モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f _{SCL}	6.7 MHz f _{CLK}	0	100	0	400	kHz
		4.0 MHz f _{CLK} < 6.7 MHz	0	100	0	340	
		3.2 MHz f _{CLK} < 4.0 MHz	0	100	-	-	
		2.0 MHz f _{CLK} < 3.2 MHz	0	85	-	-	
リスタート・コンディションのセットアップ時間 ^{注1}	t _{SU : STA}		4.7		0.6		μs
ホールド時間	t _{HD : STA}		4.0		0.6		μs
SCL0 = "L"のホールド・タイム	t _{LOW}		4.7		1.3		μs
SCL0 = "H"のホールド・タイム	t _{HIGH}		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t _{SU : DAT}		250		100		ns
データ・ホールド時間 (送信時) ^{注2}	t _{HD : DAT}	CL00 = 1かつCL01 = 1	0	3.45 ^{注3}	0	0.9 ^{注4}	μs
			5.50 ^{注5}		1.5 ^{注6}		
		CL00 = 0かつCL01 = 0 , またはCL00 = 1かつ CL01 = 0	0	3.45	0	0.9 ^{注7}	μs
						0.95 ^{注8}	
ストップ・コンディションのセットアップ時間	t _{SU : STO}		4.0		0.6		μs
バス・フリー時間	t _{BUF}		4.7		1.3		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

- t_{HD : DAT}の最大値 (MAX.) は, 通常転送時の数値であり, $\overline{\text{ACK}}$ (アックノリッジ) タイミングでは, ウエイトがかかります。
- 3.2 MHz f_{CLK} 4.19 MHz時
- 6.7 MHz f_{CLK} 8.38 MHz時
- 2.0 MHz f_{CLK} < 3.2 MHz時。このとき, SCL0クロックは85 kHz以内で使用してください。
- 4.0 MHz f_{CLK} < 6.7 MHz時。このとき, SCL0クロックは340 kHz以内で使用してください。
- 8.0 MHz f_{CLK} 16.76 MHz時
- 7.6 MHz f_{CLK} < 8.0 MHz時

備考 CL00, CL01, DFC0 : IICクロック選択レジスタ0 (IICCL0) のビット0, 1, 2

IIC0シリアル転送タイミング



(5) シリアル・インタフェース：オンチップ・デバッグ (UART)

(TA = -40 ~ +85 , 1.8 V V_{DD} = EV_{DD0} = EV_{DD1} 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V)

(a) オンチップ・デバッグ (UART)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			f _{CLK} /2 ¹²		f _{CLK} /6	bps
		フラッシュ・メモリ・プログラミング・モード			2.66	Mbps
TOOL1出力周波数	f _{TOOL1}	2.7 V V _{DD} 5.5 V			10	MHz
		1.8 V V _{DD} < 2.7 V			2.5	MHz

A/Dコンバータ特性

($T_A = -40 \sim +85$, 2.3 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 \text{ V}$, 2.3 V $AV_{REF0} = V_{DD}$, 1.8 V $AV_{REF1} = V_{DD}$, $V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 \text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 ^{注1, 2}	AINL	4.0 V $AV_{REF0} = 5.5 \text{ V}$			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0 \text{ V}$			± 0.5	%FSR
		2.3 V $AV_{REF0} < 2.7 \text{ V}$			± 0.7	%FSR
変換時間	t _{CONV}	4.0 V $AV_{REF0} = 5.5 \text{ V}$	6.1		66.6	μs
		2.7 V $AV_{REF0} < 4.0 \text{ V}$	12.2		66.6	μs
		2.3 V $AV_{REF0} < 2.7 \text{ V}$	27		66.6	μs
ゼロスケール誤差 ^{注1, 2}	EZS	4.0 V $AV_{REF0} = 5.5 \text{ V}$			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0 \text{ V}$			± 0.5	%FSR
		2.3 V $AV_{REF0} < 2.7 \text{ V}$			± 0.5	%FSR
フルスケール誤差 ^{注1, 2}	EFS	4.0 V $AV_{REF0} = 5.5 \text{ V}$			± 0.4	%FSR
		2.7 V $AV_{REF0} < 4.0 \text{ V}$			± 0.5	%FSR
		2.3 V $AV_{REF0} < 2.7 \text{ V}$			± 0.5	%FSR
積分直線性誤差 ^{注1}	ILE	4.0 V $AV_{REF0} = 5.5 \text{ V}$			± 2.5	LSB
		2.7 V $AV_{REF0} < 4.0 \text{ V}$			± 3.5	LSB
		2.3 V $AV_{REF0} < 2.7 \text{ V}$			± 3.5	LSB
微分直線性誤差 ^{注1}	DLE	4.0 V $AV_{REF0} = 5.5 \text{ V}$			± 1.5	LSB
		2.7 V $AV_{REF0} < 4.0 \text{ V}$			± 1.5	LSB
		2.3 V $AV_{REF0} < 2.7 \text{ V}$			± 1.5	LSB
アナログ入力電圧	V _{AIN}	2.3 V $AV_{REF0} = 5.5 \text{ V}$	AV _{SS}		AV _{REF0}	V

注1. 量子化誤差 ($\pm 1/2 \text{ LSB}$) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

温度センサ

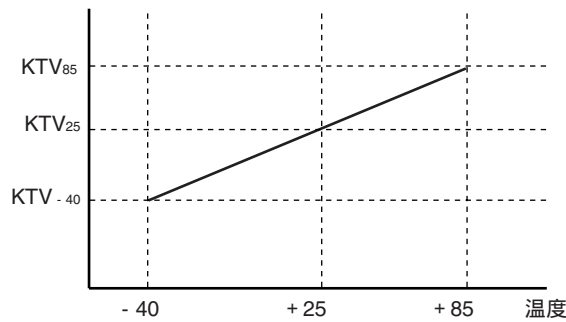
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V, 2.7 V$ $AV_{REF0} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
10 あたりの温度センサ検出値の増加係数	TC		1	3.5	15	/10
温度センサ検出値	KTV ₋₄₀	$T_A = -40$	30	80	130	-
	KTV ₂₅	$T_A = +25$	65	101	140	-
	KTV ₈₅	$T_A = +85$	100	122	150	-

備考 温度センサ検出値は、次の計算式で求めることができます。

$$\text{温度センサ検出値} = \frac{\text{温度依存のあるセンサAD変換値}}{\text{温度依存のないセンサAD変換値}} \times 256 \frac{TC}{10} (\text{センサ動作時の温度} - \text{低基準温度}) + \text{低基準温度時の温度センサ検出値}$$

温度センサ検出値



D/Aコンバータ特性

($T_A = -40 \sim +85$, 1.8 V $V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V, 1.8 V$ $AV_{REF0} = V_{DD}, 1.8 V$ $AV_{REF1} = V_{DD}, V_{SS} = EV_{SS0} = EV_{SS1} = AV_{SS} = 0 V$)

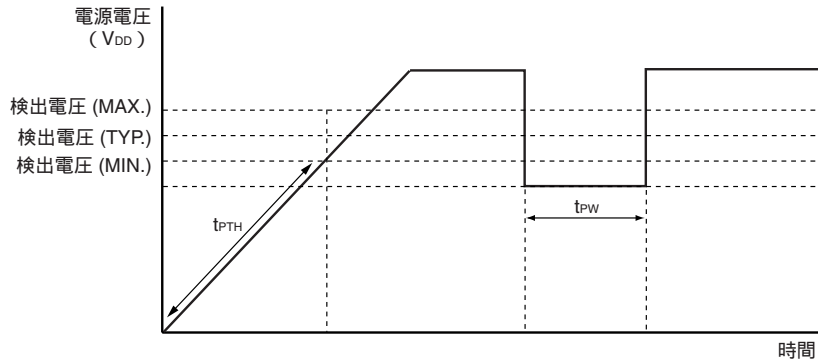
項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	$R_{load} = 2 M$			± 1.2	%FSR
		$R_{load} = 4 M$			± 0.8	%FSR
		$R_{load} = 10 M$			± 0.6	%FSR
セットリング・タイム	t_{SET}	$C_{load} = 20 pF$	4.0 V $AV_{REF1} = 5.5 V$		3	μs
			2.7 V $AV_{REF1} < 4.0 V$		3	μs
			1.8 V $AV_{REF1} < 2.7 V$		6	μs
D/A出力抵抗	R_o	D/Aコンバータ1チャンネル当たり		6.4		k

備考 D/Aコンバータの通常モード時は、DACSnレジスタへの書き込みから f_{CLK} の1クロック経過後からD/A変換を開始します。また、出力レベルが確定するのは、D/A変換開始からセットリング・タイム経過後となります。

POC回路特性 (TA = -40 ~ +85 , VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOCO		1.5	1.59	1.68	V
電源電圧立ち上がり傾き	tPTH	VDD : 0 V VPOCOの変化傾き	0.5			V/ms
最小パルス幅	tpw	電源降下時	200			μs
検出遅延					200	μs

POC回路タイミング



電源電圧立ち上げ時間 (TA = -40 ~ +85 , VSS = 0 V)

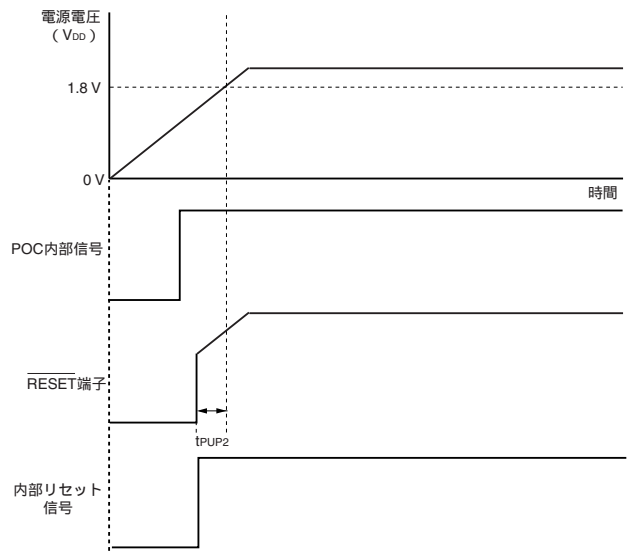
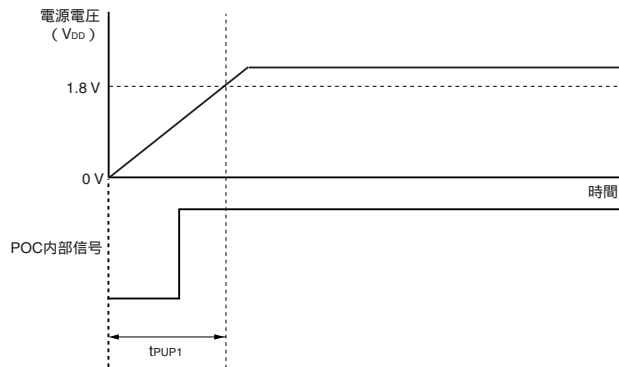
項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V (VDD (MIN.)) までの立ち上げ最大時間 [※] (VDD : 0 V 1.8 V)	tpUP1	LVIデフォルト・スタート無効 (LVIOFF (オプション・バイト) = 1) , RESET入力未使用時			3.6	ms
1.8 V (VDD (MIN.)) までの立ち上げ最大時間 [※] (RESET入力解除 VDD : 1.8 V)	tpUP2	LVIデフォルト・スタート無効 (LVIOFF (オプション・バイト) = 1) , RESET入力使用時			1.88	ms

注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げ時間のタイミング

・RESET端子入力未使用時

・RESET端子入力使用時 (POC解除後, RESET端子による外部リセットが解除される場合)



LVI回路特性 ($T_A = -40 \sim +85$, $V_{POC} = V_{DD} = EV_{DD0} = EV_{DD1} = 5.5 V$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0 V$)

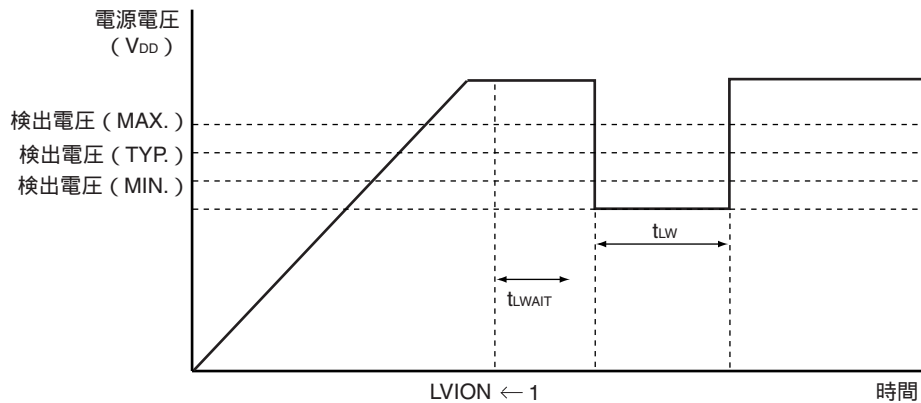
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVI0}	4.12	4.22	4.32	V
		V_{LVI1}	3.97	4.07	4.17	V
		V_{LVI2}	3.82	3.92	4.02	V
		V_{LVI3}	3.66	3.76	3.86	V
		V_{LVI4}	3.51	3.61	3.71	V
		V_{LVI5}	3.35	3.45	3.55	V
		V_{LVI6}	3.20	3.30	3.40	V
		V_{LVI7}	3.05	3.15	3.25	V
		V_{LVI8}	2.89	2.99	3.09	V
		V_{LVI9}	2.74	2.84	2.94	V
		V_{LVI10}	2.58	2.68	2.78	V
		V_{LVI11}	2.43	2.53	2.63	V
		V_{LVI12}	2.28	2.38	2.48	V
		V_{LVI13}	2.12	2.22	2.32	V
		V_{LVI14}	1.97	2.07	2.17	V
V_{LVI15}	1.81	1.91	2.01	V		
外部入力端子 ^{注1}	V_{EXLVI}	$EXLVI < V_{DD}$, 1.8 V $V_{DD} = 5.5 V$	1.11	1.21	1.31	V
電源立ち上げ時 電源電圧	V_{PUPLVI}	LVIデフォルト・スタート機能動作時	1.87	2.07	2.27	V
最小パルス幅	t_{LW}		200			μs
検出遅延					200	μs
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	μs

注1. EXLVI/P120/INTPO端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n} : n = 1-15$

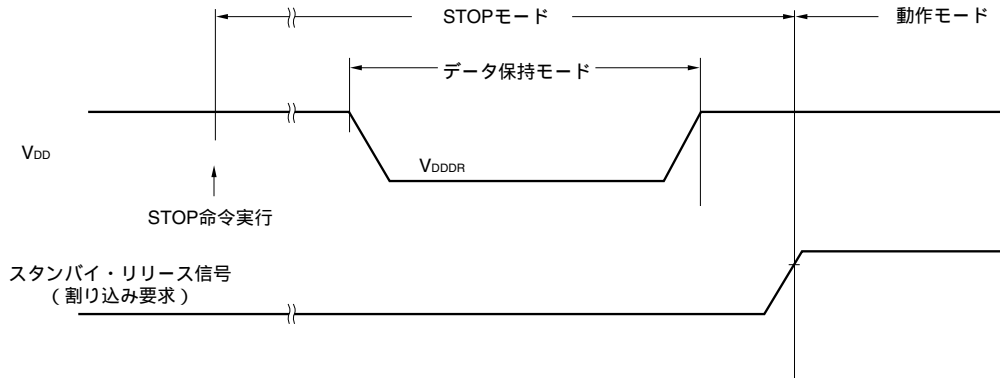
LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.5 [#]		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

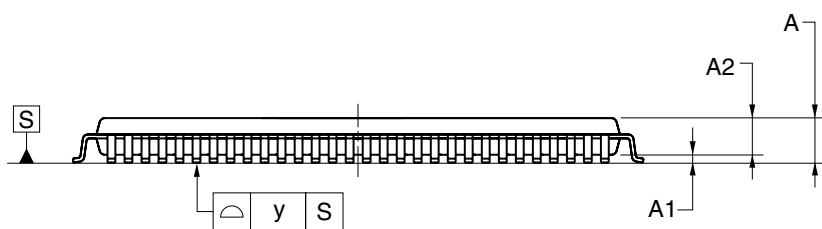
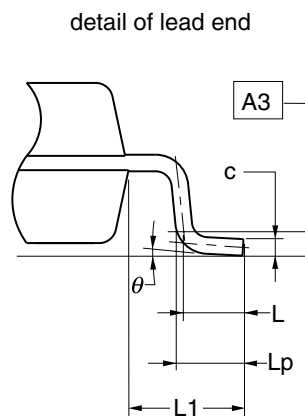
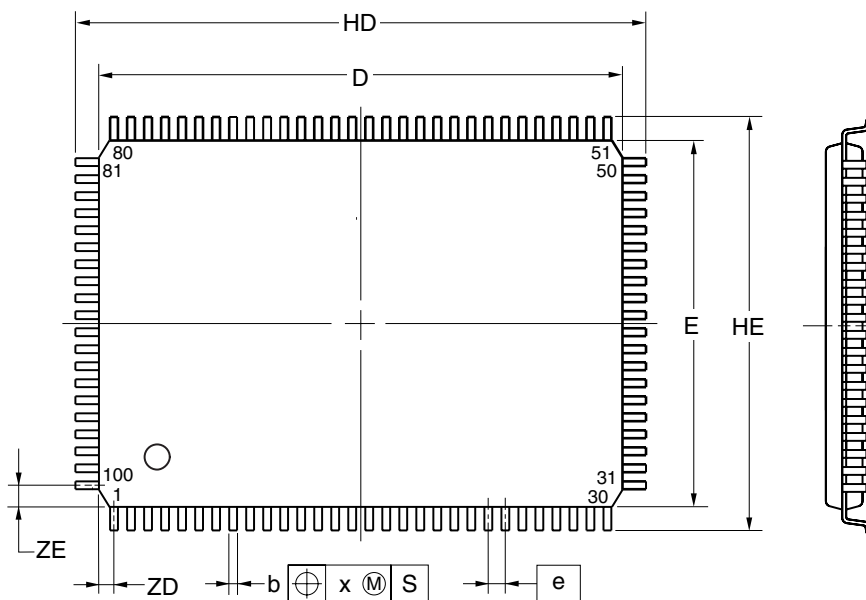
(TA = -40 ~ +85 , 2.7 V VDD = EVDD0 = EVDD1 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
VDD電源電流	I _{DD}	TYP. = 10 MHz, MAX. = 20 MHz			4.5	15	mA
CPU / 周辺ハードウェア・クロック周波数	f _{CLK}			2		20	MHz
書き換え回数(ブロックごとの消去回数)	C _{WRT}	プログラム更新用途 フラッシュ・メモリ・プログラマ 使用時および当社提供のセルフ・ プログラミング・ライブラリを使用時	保持 15年	100			回
		データ更新用途 当社提供のEEPROMエミュレー ション・ライブラリ使用時(使用 可能ROMサイズ:連続した3プロ ックの6 Kバイト)。	保持 5年	10,000			回

備考 データを複数回更新する場合は、データ更新用途として使用してください。

第31章 外形図

100-PIN PLASTIC LQFP (14x20)



NOTE

Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

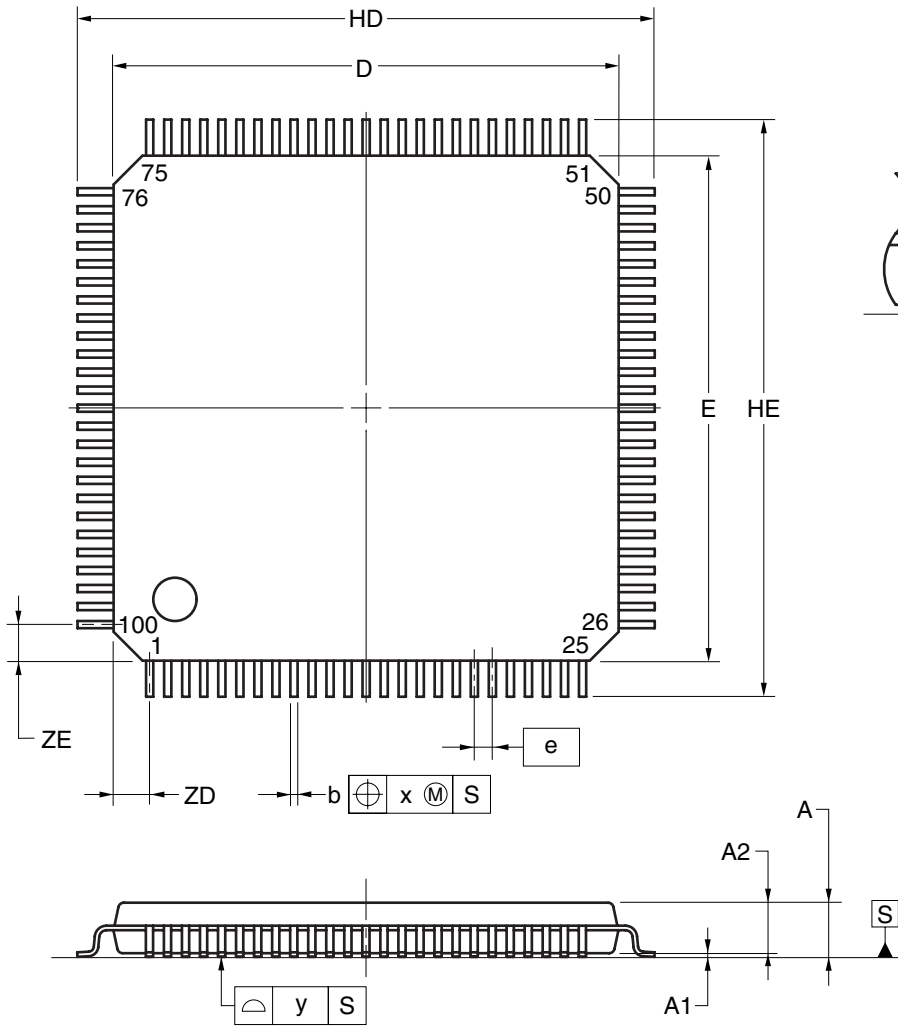
(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.30 ^{+0.08} _{-0.04}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.65
x	0.13
y	0.10
ZD	0.575
ZE	0.825

P100GF-65-GAS

© NEC Electronics Corporation 2006

100-PIN PLASTIC LQFP (FINE PITCH) (14x14)



(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.20
E	14.00±0.20
HD	16.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
[A3]	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
[e]	0.50
x	0.08
y	0.08
ZD	1.00
ZE	1.00

P100GC-50-UEU-1

© NEC Electronics Corporation 2007

第32章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

注意 推奨条件以外の半田付け方式および半田付け条件については、当社販売員にお問い合わせください。

表32 - 1 表面実装タイプの半田付け条件 (1/2)

・100ピン・プラスチックLQFP (14×20)

μ PD78F1162GF-GAS-AX, μ PD78F1162AGF-GAS-AX, μ PD78F1162AGF(A)-GAS-AX,
 μ PD78F1163GF-GAS-AX, μ PD78F1163AGF-GAS-AX, μ PD78F1163AGF(A)-GAS-AX,
 μ PD78F1164GF-GAS-AX, μ PD78F1164AGF-GAS-AX, μ PD78F1164AGF(A)-GAS-AX,
 μ PD78F1165GF-GAS-AX, μ PD78F1165AGF-GAS-AX, μ PD78F1165AGF(A)-GAS-AX,
 μ PD78F1166GF-GAS-AX, μ PD78F1166AGF-GAS-AX, μ PD78F1166AGF(A)-GAS-AX,
 μ PD78F1167GF-GAS-AX, μ PD78F1167AGF-GAS-AX, μ PD78F1167AGF(A)-GAS-AX,
 μ PD78F1168GF-GAS-AX, μ PD78F1168AGF-GAS-AX, μ PD78F1168AGF(A)-GAS-AX

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 [※] （以降は125℃プリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
ウェーブ・ソルダーリング	半田槽温度：260℃以下，時間：10秒以内，回数：1回， 予備加熱温度：120℃MAX.（パッケージ表面温度） 制限日数：7日間 [※] （以降は125℃プリバーク10～72時間必要） 留意事項 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装でのベーキングができません。	WS60-107-1
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一边当たり）	-

注 ドライパック開封後の保管日数で、保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

表32 - 1 表面実装タイプの半田付け条件 (2/2)

・100ピン・プラスチックLQFP (14×14)

μ PD78F1162GC-UEU-AX, μ PD78F1162AGC-UEU-AX, μ PD78F1162AGC(A)-UEU-AX,
 μ PD78F1163GC-UEU-AX, μ PD78F1163AGC-UEU-AX, μ PD78F1163AGC(A)-UEU-AX,
 μ PD78F1164GC-UEU-AX, μ PD78F1164AGC-UEU-AX, μ PD78F1164AGC(A)-UEU-AX,
 μ PD78F1165GC-UEU-AX, μ PD78F1165AGC-UEU-AX, μ PD78F1165AGC(A)-UEU-AX,
 μ PD78F1166GC-UEU-AX, μ PD78F1166AGC-UEU-AX, μ PD78F1166AGC(A)-UEU-AX,
 μ PD78F1167GC-UEU-AX, μ PD78F1167AGC-UEU-AX, μ PD78F1167AGC(A)-UEU-AX,
 μ PD78F1168GC-UEU-AX, μ PD78F1168AGC-UEU-AX, μ PD78F1168AGC(A)-UEU-AX

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 [※] （以降は125℃プリベーク10～72時間必要） < 留意事項 > 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

付録A 開発ツール

78K0R/KG3を使用するシステム開発のために次のような開発ツールを用意しています。

図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

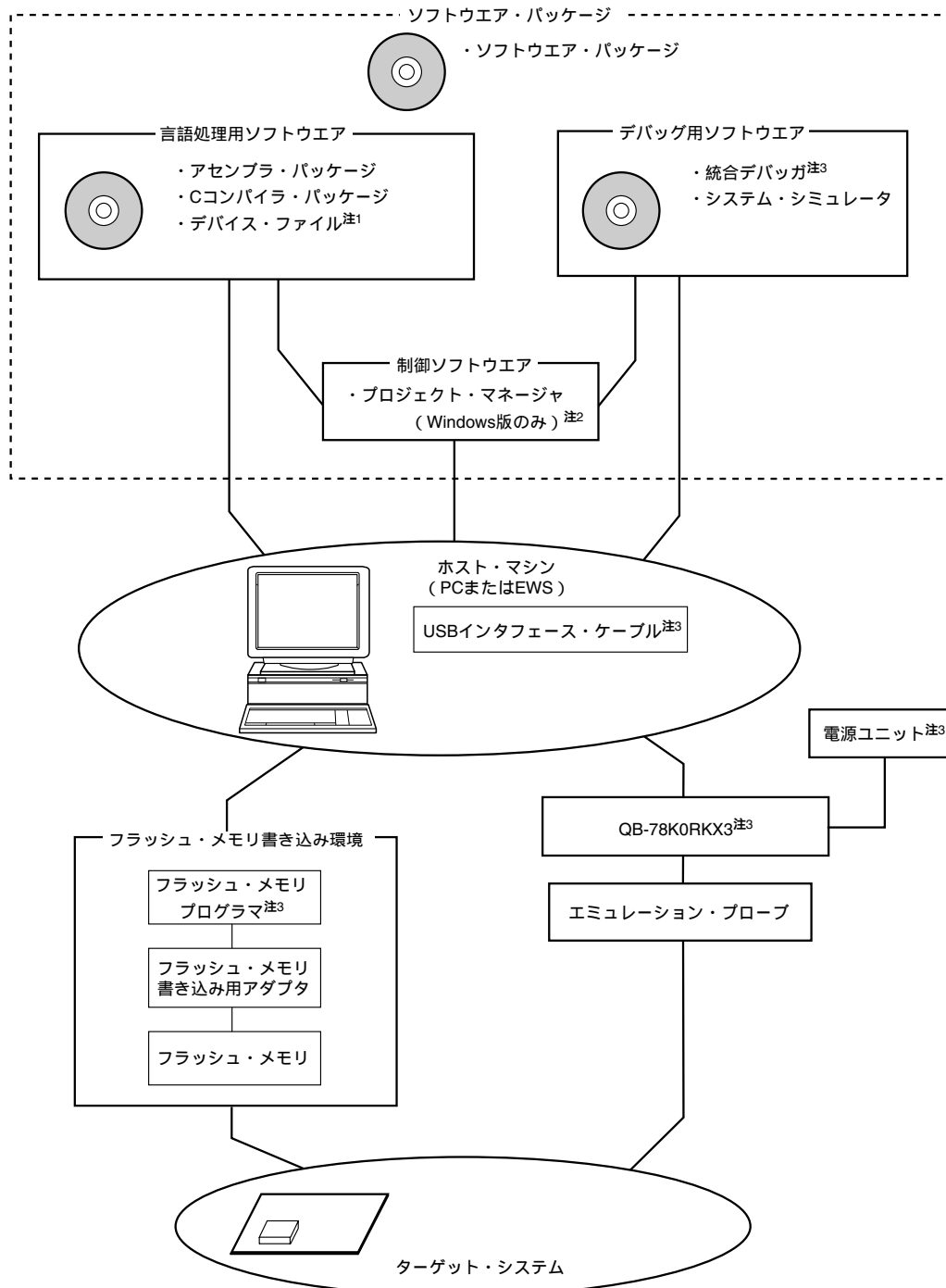
Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 98
- ・ Windows NT[®]
- ・ Windows 2000
- ・ Windows XP[®]

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0RKX3を使用する場合



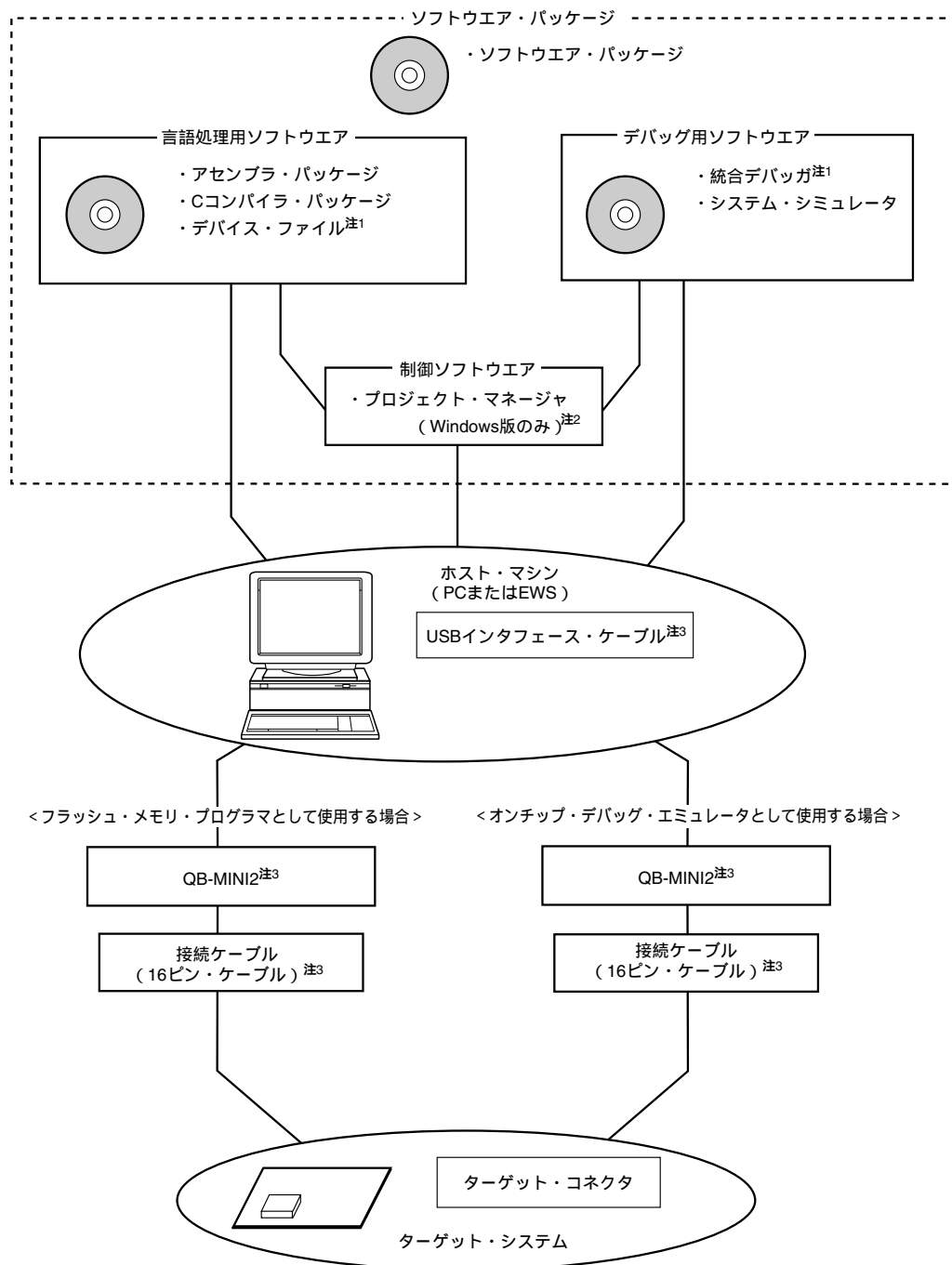
注1 . 78K0R/KG3用のデバイス・ファイル (DF781188) は、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2 . プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。また、Windows以外ではPM+は使用しません。

3 . QB-78K0RKX3は、統合デバッガ ID78K0R-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2、電源ユニットとUSBインタフェース・ケーブルを添付しています。それ以外の製品はオプションです。

図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1 . 78K0R/KG3用のデバイス・ファイル (DF781188) および統合デバッガ ID78K0R-QB1は、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2 . プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows以外ではPM+は使用しません。

3 . オンチップ・デバッグ・エミュレータ QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル (10ピン・ケーブル, 16ピン・ケーブル) , 78K0-OCDボードを添付しています。それ以外の製品はオプションです。
また、QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ (<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0R 78K0Rマイクロコントローラ・ソフト ウェア・パッケージ	78K0Rマイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times \times SP78K0R$
---	--

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン，OSにより異なります。

$\mu S \times \times \times \times SP78K0R$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0R アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成，分岐命令の最適化処理などを自動的に行う機能を備えています。 デバイス・ファイル（DF781188）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが，Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより，Windows環境でも使用できます。 オーダ名称： $\mu S \times \times \times \times RA78K0R$
CC78K0R Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが，Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより，Windows環境でも使用できます。 オーダ名称： $\mu S \times \times \times \times CC78K0R$
DF781188 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0R，CC78K0R，SM+ for 78K0R，ID78K0R-QB）と組み合わせて使用します。対応OS，ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称： $\mu S \times \times \times \times DF781188$

注 DF781188は，RA78K0R，CC78K0R，SM+ for 78K0R，ID78K0R-QBのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ods/jpn/index.html>）より入手してください。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0R

μS××××CC78K0R

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

μS××××DF781188

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ,	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	

A. 3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0R) の中に入っています。 Windows以外の環境では使用できません。
---------------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

A. 4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合

PG-FP5, FL-PR5, PG-FP4, FL-PR4 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-78F1168GF-GAS-RX (RoHS対応) FA-78F1168GC-UEU-RX (RoHS対応) フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。 ・FA-78F1168GF-GAS-RX : 100ピン・プラスチックLQFP (GF-GASタイプ) 用 ・FA-78F1168GC-UEU-RX : 100ピン・プラスチックLQFP (GC-UEUタイプ) 用

備考 FL-PR4, FL-PR5, FA-78F1168GF-GAS-RX, FA-78F1168GC-UEU-RXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (<http://www.ndk-m.co.jp/>) (TEL (042) 750-4172)

A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0Rマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 USBインタフェース・ケーブル，接続ケーブル（10ピン・ケーブル，16ピン・ケーブル），78K0-OCDボードを添付しています。78K0R/KG3を使用する場合，USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	--

備考 QB-MINI2を操作するためのソフトウェアを，MINICUBE2のホームページ
(<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.5 デバッグ用ツール（ハードウェア）

A.5.1 インサーキット・エミュレータ QB-78K0RKX3を使用する場合

QB-78K0RKX3 インサーキット・エミュレータ	78K0R/Kx3を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ (ID78K0R-QB) に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-144-EP-02S エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-100GC-EA-01T, QB-100GF-EA-04T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。 ・QB-100GC-EA-01T：100ピン・プラスチックLQFP (GC-UEUタイプ) 用 ・QB-100GF-EA-04T：100ピン・プラスチックLQFP (GF-GASタイプ) 用
QB-100GC-YS-01T, QB-100GF-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 ・QB-100GC-YS-01T：100ピン・プラスチックLQFP (GC-UEUタイプ) 用 ・QB-100GF-YS-01T：100ピン・プラスチックLQFP (GF-GASタイプ) 用
QB-100GC-YQ-01T, QB-100GF-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。 ・QB-100GC-YQ-01T：100ピン・プラスチックLQFP (GC-UEUタイプ) 用 ・QB-100GF-YQ-01T：100ピン・プラスチックLQFP (GF-GASタイプ) 用
QB-100GC-HQ-01T, QB-100GF-HQ-03T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。 ・QB-100GC-HQ-01T：100ピン・プラスチックLQFP (GC-UEUタイプ) 用 ・QB-100GF-HQ-03T：100ピン・プラスチックLQFP (GF-GASタイプ) 用
QB-100GC-NQ-01T, QB-100GF-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。 ・QB-100GC-NQ-01T：100ピン・プラスチックLQFP (GC-UEUタイプ) 用 ・QB-100GF-NQ-01T：100ピン・プラスチックLQFP (GF-GASタイプ) 用

備考1. QB-78K0RKX3は、電源ユニットとUSBインタフェース・ケーブルを添付しています。また、コントロール・ソフトウェアとして、統合デバッガ ID78K0R-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を添付しています。

2. オーダ名称により、梱包内容は次のように異なります。

オーダ名称	梱包内容	インサーキット・エミュレータ	エミュレーション・プローブ	エクステンジ・アダプタ	YQコネクタ	ターゲット・コネクタ
QB-78K0RKX3-ZZZ	QB-78K0RKX3		なし			
QB-78K0RKX3-T100GC			QB-144-EP-02S	QB-100GC-EA-01T	QB-100GC-YQ-01T	QB-100GC-NQ-01T
QB-78K0RKX3-T100GF				QB-100GF-EA-04T	QB-100GF-YQ-01T	QB-100GF-NQ-01T

A. 5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0Rマイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。78K0R/KG3を使用する場合、USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	--

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ
(<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A. 6 デバッグ用ツール(ソフトウェア)

SM+ for 78K0R システム・シミュレータ	SM+ for 78K0Rは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM+ for 78K0Rを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル(DF781188)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times SM781000$
ID78K0R-QB 統合デバッガ	78K0Rマイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。 ID78K0R-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウィンドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times ID78K0R-QB$

備考 オーダ名称の $\times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times SM781000$
 $\mu S \times \times \times ID78K0R-QB$

$\times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

付録B 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード/ソフト）」の区別は、次のとおりです。

ハード：マイコン内部/外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/28)

章	分類	機能	機能の詳細	注意事項	頁	
第1章	ハード	概説	AV _{SS} , EV _{SS0} , EV _{SS1} , V _{SS}	AV _{SS} , EV _{SS0} , EV _{SS1} は、V _{SS} と同電位にしてください。	p.22, 23	
			EV _{DD0} , EV _{DD1} , V _{DD}	EV _{DD0} , EV _{DD1} は、V _{DD} と同電位にしてください。	p.22, 23	
			REGC	REGCはコンデンサ(0.47~1μF)を介し、V _{SS} に接続してください。	p.22, 23	
			P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15	P20/ANI0-P27/ANI7, P150/ANI8-P157/ANI15は、A/Dポート・コンフィギュレーション・レジスタ(ADPC)により、P157/ANI15, ..., P150/ANI8, P27/ANI7, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P157/ANI15から設計してください(詳細は、11.3(6)A/Dポート・コンフィギュレーション・レジスタ参照)。	p.22, 23	
第2章	ソフト	端子機能	P02/SO10/TxD1, P04/SCK10/SCL10	P02/SO10/TxD1, P04/SCK10/SCL10を汎用ポートとして使用する場合、シリアル通信動作設定レジスタ02(SCR02)は初期状態と同じ設定(0087H)にしてください。また、ポート出力モード・レジスタ0(POM0)は00Hにしてください。	p.36	
			P10/SCK00/EX24, P12/SO00/TxD0/EX26	P10/SCK00/EX24, P12/SO00/TxD0/EX26を汎用ポートとして使用する場合、シリアル通信動作設定レジスタ00(SCR00)は初期状態と同じ設定(0087H)にしてください。	p.37	
			RTCCL, RTCDIV	RTCCLとRTCDIVは同時に出力許可設定にしないでください。	p.37	
	ハード			ANI0/P20-ANI7/P27	ANI0/P20-ANI7/P27は、リセット解除後はデジタル入力(汎用ポート)モードになります。	p.37
				P40/TOOL0	P40/TOOL0端子は、次に示す(a)~(c)の場合によって、端子機能が決まります。 (b)か(c)の場合には、該当する端子処理を行ってください。 (a) 通常動作モード時、かつ、オプション・バイト(000C3H)でオンチップ・デバッグ禁止(OCDENSET=0)設定時 ポート機能(P40)としてご使用ください。 (b) 通常動作モード時、かつ、オプション・バイト(000C3H)でオンチップ・デバッグ許可(OCDENSET=1)設定時 外部で抵抗を介してEV _{DD0} またはEV _{DD1} に接続し、リセット解除前から常にハイ・レベルを入力してください。 (c) オンチップ・デバッグ機能使用時、または、フラッシュ・メモリ・プログラマによる書き込みモード時 TOOL0端子として使用します。オンチップ・デバッグ・エミュレータやフラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してEV _{DD0} またはEV _{DD1} に接続することで、プルアップしてください。	p.39
				ANI8/P150-ANI15/P157	ANI8/P150-ANI15/P157は、リセット解除後はデジタル入力(汎用ポート)モードになります。	p.45
				REGC	上図の破線部分の配線を極力短くしてください。	p.46

章	分類	機能	機能の詳細	注意事項	頁
第3章	ソフト	メモリ空間	PMC: プロセッサ・モード・コントロール・レジスタ	PMCの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCの書き替えは禁止です。	p.66
				PMCの設定後、1命令以上空けてミラー領域にアクセスしてください。	p.66
				μ PD78F1162, 78F1162Aを使用するときは、必ずビット0(MAA)を0に設定してください。	p.66
			内部データ・メモリ空間	汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。	p.66
				セルフ・プログラミング機能使用時は、FFE20H~FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1166, 78F1166AではFCF00H~FD6FFH, μ PD78F1168, 78F1168AではF8700H-F8EFFHの領域を使用できません。	p.66
				SFR: 特殊機能レジスタ	SFRが割り付けられていないアドレスにアクセスしないでください。
	2nd SFR: 拡張特殊機能レジスタ	2ndSFRが割り付けられていないアドレスにアクセスしないでください。	p.67, 86		
		プロセッサ・レジスタ	SP: スタック・ポインタ	SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。	P76
	SPの設定値は必ず偶数にしてください。奇数を設定すると、最下位のビットは自動的に0が設定されます。			P76	
	汎用レジスタ(FFEE0H-FFEFFH)の空間は、スタック領域としての使用を禁止します。		P76		
	セルフ・プログラミング機能使用時は、FFE20H~FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1166, 78F1166AではFCF00H~FD6FFH, μ PD78F1168, 78F1168AではF8700H-F8EFFHの領域を使用できません。		P76		
	汎用レジスタ		汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。	P77	
	第4章	ソフト	ポート機能	P01/TO00	P01/TO00を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0 (TO00) とタイマ出力許可レジスタ0 (TOE0) のビット0 (TOE00) を初期状態と同じ設定“0”で使用してください。
P02/SO10/TxD1, P03/SI10/RxD1/SDA10, P04/SCK10/SCL10				P02/SO10/TxD1, P03/SI10/RxD1/SDA10, P04/SCK10/SCL10を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、次の表を参照してください。 ・表13-7 レジスタの設定と端子の関係 (ユニット0のチャンネル2: CSI10, UART1送信, IIC10) ・表13-8 レジスタの設定と端子の関係 (ユニット0のチャンネル3: UART1受信)	p.109
P10/SCK00/EX24, P11/SI00/RxD0/EX25, P12/SO00/TxD0/EX26, P13/TxD3/EX27, P14/RxD3/EX28				P10/SCK00/EX24, P11/SI00/RxD0/EX25, P12/SO00/TxD0/EX26, P13/TxD3/EX27, P14/RxD3/EX28を汎用ポートとして使用する場合、シリアル・アレイ・ユニットの設定に注意してください。詳細は、次の表を参照してください。 ・表13-5 レジスタの設定と端子の関係 (ユニット0のチャンネル0: CSI00, UART0送信) ・表13-6 レジスタの設定と端子の関係 (ユニット0のチャンネル1: CSI01, UART0受信) ・表13-11 レジスタの設定と端子の関係 (ユニット1のチャンネル2: UART3送信) ・表13-12 レジスタの設定と端子の関係 (ユニット1のチャンネル3: UART3受信)	p.115
P16/TI01/TO01/I NTP5/EX30, P17/TI02/TO02/EX31				P16/TI01/TO01/INTP5/EX30, P17/TI02/TO02/EX31を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット1, 2 (TO01, TO02) とタイマ出力許可レジスタ0 (TOE0) のビット1, 2 (TOE01, TOE02) を初期状態と同じ設定“0”で使用してください。	p.115
P15/RTCDIV/RT CCL/EX29				P15/RTCDIV/RTCCCL/EX29を汎用ポートとして使用する場合、リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット4 (RCLOE0) とリアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のビット6 (RCLOE2) を初期状態と同じ設定“0”で使用してください。	p.115
ポート1				外部拡張出力 (アドレス・バス) 機能使用時は、その他の兼用機能出力許可設定しないでください。	p.115
ハード		ソフト	ポート2	ポート2をデジタル入出力として使用する場合のAV _{REF0} 端子への印加電圧については、2.2.15 AV _{REF0} を参照してください。	p.121
			P31/TI03/TO03/I NTP4	P31/TI03/TO03/INTP4を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット3 (TO03) とタイマ出力許可レジスタ0 (TOE0) のビット3 (TOE03) を初期状態と同じ設定“0”で使用してください。	p.122

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	P30/RTC1HZ/INTP3	P30/RTC1HZ/INTP3を汎用ポートとして使用する場合、リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のビット5 (RCLOE1) を初期状態と同じ設定“0”で使用してください。	p.122
			P40/TOOL0, P41/TOOL1	P40端子は、ツール接続時はポート端子として使用できません。 P41端子は、オンチップ・デバッグ機能使用時には、デバッグのモード設定により次のようになります。 1線モード : ポート (P41) として使用できます。 2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。	p.123
			P43/SCK01, P44/SI01, P45/SO01	P43/SCK01, P44/SI01, P45/SO01を汎用ポートとして使用する場合、シリアル・アレイ・ユニット0の設定に注意してください。詳細は、表13 - 6 レジスタの設定と端子の関係 (ユニット0のチャンネル1: CSI01, UART0受信) を参照してください。	p.123
			P42/TI04/TO04, P46/INTP1/TI05/TO05	P42/TI04/TO04, P46/INTP1/TI05/TO05を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット4, 5 (TO04, TO05) とタイマ出力許可レジスタ0 (TOE0) のビット4, 5 (TOE04, TOE05) を初期状態と同じ設定“0”で使用してください。	p.123
			P60/SCL0, P61/SDA0	P60/SCL0, P61/SDA0を汎用ポートとして使用する場合、シリアル・インタフェースIIC0を動作停止にしてください。	p.134
			P110, P111	P110, P111をデジタル入出力として使用する場合のAV _{REF1} 端子への印加電圧については、2.2.16 AV _{REF1} を参照してください。	p.139
			P121-P124	P121-P124の機能設定は、リセット解除後1回のみ可能です。一度、発振子/発振器接続用に設定したポートは、リセットしないかぎり入力ポートとして使用できません。	p.140
	ハード	ソフト	P131/TI06/TO06	P131/TI06/TO06を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット6 (TO06) とタイマ出力許可レジスタ0 (TOE0) のビット6 (TOE06) を初期状態と同じ設定“0”で使用してください。	p.144
			P142/SCK20/SC L20, P143/SI20/RxD2/SDA20, P144/SO20/TxD2	P142/SCK20/SC L20, P143/SI20/RxD2/SDA20, P144/SO20/TxD2を汎用ポートとして使用する場合、シリアル・アレイ・ユニット1の設定に注意してください。詳細は、次の表を参照してください。 ・表13 - 9 レジスタの設定と端子の関係 (ユニット1のチャンネル0: CSI20, UART2送信, IIC20) ・表13 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1: UART2受信)	p.146
			P145/TI07/TO07	P145/TI07/TO07を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット7 (TO07) とタイマ出力許可レジスタ0 (TOE0) のビット7 (TOE07) を初期状態と同じ設定“0”で使用してください。	p.146
			P140/PCLBUZ0/INTP6, P141/PCLBUZ1/INTP7	P140/PCLBUZ0/INTP6, P141/PCLBUZ1/INTP7を汎用ポートとして使用する場合、クロック出力選択レジスタ0, 1 (CKS0, CKS1) のビット7を初期状態と同じ設定“0”で使用してください。	p.146
			ポート15	ポート15をデジタル入出力として使用する場合のAV _{REF0} 端子への印加電圧については、2.2.15 AV _{REF0} を参照してください。	p.150
			PM0-PM8, PM11-PM15 : ポート・モード・レジスタ	PM0のビット7, PM3のビット2-7, PM11のビット2-7, PM12のビット1-7, PM13のビット2-7, PM14のビット6, 7には必ず1を設定してください。また、PM13のビット0には必ず0を設定してください。	p.152
			ADPC : A/Dポート・コンフィギュレーション・レジスタ	A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。 ADPCでデジタル入出力として設定する端子を、アナログ入力チャンネル指定レジスタ (ADS) で設定しないでください。	p.156 p.156
ハード	ソフト	P20/ANIO-P27/ANI7, P150/ANI8-P157/ANI15	P20/ANIO-P27/ANI7, P150/ANI8-P157/ANI15は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P157/ANI15, ..., P150/ANI8, P27/ANI7, ..., P20/ANIOの順にアナログ入力に設定されます。アナログ入力として使用する場合は、P157/ANI15から設計してください。	p.156	
		ポート・レジスタn (Pn) に対する1ビット・メモリ操作命令	入力/出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。	p.163	

章	分類	機能	機能の詳細	注意事項	頁		
第5章	ソフト	外部バス・インタフェース	PER1: 周辺インテリジェント・レジスタ 1	外部バス・インタフェースの設定をする際には、必ず最初にEXBEN = 1の設定を行ってください。EXBEN = 0の場合は、外部バス・インタフェースの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります（ポート・モード・レジスタ0, 1, 5, 6, 7, 8 (PM0, PM1, PM5, PM6, PM7, PM8), ポート・レジスタ0, 1, 5, 6, 7, 8 (P0, P1, P5, P6, P7, P8) は除く）。	p.170		
			フェッチ・アクセスによる命令実行クロックと命令ウエイト数	フラッシュ・メモリと外部メモリは連続した空間にありますが、外部メモリ空間でのフェッチを行う場合は、フラッシュ・メモリまたはRAMメモリ上の分岐命令 (CALL, BR) で開始してください。	p.174		
第6章	ソフト	クロック発生回路	CMC: クロック動作モード制御レジスタ	CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。	p.191		
				リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCを設定してください。	p.191		
				X1クロック発振周波数が10MHzを越える場合は、必ずAMPHに1を設定してください。	p.191		
				暴走時の誤動作を防止するために、CMCを初期値 (00H) のまま使用する場合でも、リセット解除後に00Hを設定することを推奨します。	p.191		
			CSC: クロック動作ステータス制御レジスタ	リセット解除後、MSTOPの設定でX1発振またはXTSTOPの設定でXT1発振を開始する前に、クロック動作モード制御レジスタ (CMC) を設定してください。	p.192		
				MSTOPの設定でX1発振を開始する場合、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。	p.192		
				CPU / 周辺ハードウェア・クロック (f _{CLK}) に選択しているクロックは、CSCレジスタで停止させないでください。	p.192		
			OSTC: 発振安定時間カウンタ状態レジスタ	クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、次のようになります。(表6-2を参照)	p.193		
				上記時間経過後、MOST8から順番に“1”となっていく、そのまま“1”を保持します。	p.194		
			ハード	ソフト	OSTS: 発振安定時間選択レジスタ	発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。次のときには、「OSTSの発振安定時間」「OSTCレジスタで確認したいカウント値」に設定してください。 ・CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合 ・CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合 (したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)	p.194
						X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。	p.194
			ハード	ソフト	OSTS: 発振安定時間選択レジスタ	CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。	p.196
						発振安定時間が20 μs以下は設定禁止です。	p.196
						OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。	p.196
X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。	p.196						
発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントを行いません。次のときには、「OSTSの発振安定時間」「OSTCレジスタで確認したいカウント値」に設定してください。 ・CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合 ・CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合 (したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)	p.196						
ハード	ソフト	X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。	p.196				

章	分類	機能	機能の詳細	注意事項	頁
第6章	ソフト	クロック発生回路	CKC:システム・クロック制御レジスタ	ビット3には、必ず1を設定してください。	p.198
			CKC:システム・クロック制御レジスタ	CSS, MCM0, MDIV2-MDIV0で設定したクロックは、CPUと周辺ハードウェアに供給されず。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・カウンタ、クロック出力/プザー出力、およびウォッチドッグ・タイマは除く)。よって、CPU/周辺動作ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。	p.198
	ハード		周辺ハードウェア・クロックがサブシステム・クロックの場合、AVDコンバータ、IIC0の動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性(標準品)、第30章 電気的特性(A)水準品)を参照してください。	p.198	
	ソフト	PER0, PER1:周辺イネーブル・レジスタ0, 1	PER0レジスタのビット1, PER1レジスタのビット1-7には必ず“0”を設定してください。	p.199, 200	
		OSMC:動作スピード・モード制御レジスタ	OSMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。	p.201	
			FSELに“1”を書き込む場合は、必ず以下の2つの動作よりも前に行ってください。 ・f _{CLK} をf _H 以外に切り替える ・DMAコントローラを動作させる	p.201	
			FSELに“1”を書き込むと、CPUはウェイトします。 ウェイト中に発生した割り込み要求は保留されます。 ウェイト時間は、f _{CLK} = f _H のとき16.6 μs ~ 18.5 μs、f _{CLK} = f _H /2のとき33.3 μs ~ 36.9 μsです。ただし、CPUウェイト中も、f _x の発振安定時間のカウンタは継続可能です。	p.201	
			f _{CLK} を10 MHz以上にする場合には、FSELを“1”にセットしてから、2クロック以上経過後に切り替えてください。外部バス・インターフェースを使用する場合も、FSELを“1”にセットしてから、2クロック以上経過後に使用してください。	p.201	
		FSEL = 1では、10 MHz以下の周波数でも動作可能です。	p.201		
		HIOTRM:高速内蔵発振器トリミング・レジスタ	精度補正後に温度、V _{DD} 端子電圧に変化があった場合、周波数は変動します。 また、HIOTRMレジスタに初期値(10H)以外を設定した場合は、その後の温度、V _{DD} 電圧変動、またはHIOTRMレジスタの設定値によって高速内蔵発振クロックの発振精度が8 MHz ± 5 %を越える可能性があります。温度、V _{DD} 電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。	p.202	
			高速内蔵発振の周波数は、HIOTRMの値のある値より大きくすることにより速くなり、小さくすることにより遅くなります。大きくすることにより周波数が遅くなったり、小さくすることにより速くなるような逆転は起こりません。	p.203	
	ハード	X1/XT1発振回路	-	X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図6-10、6-11の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。 特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。	p.205
			X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。	p.206	
		電源電圧投入時のクロック発生回路動作	LVIデフォルト・スタート機能停止に設定時(オプション・バイト:LVI OFF = 1)	電源投入時から1.8 Vに達するまでの電圧の立ち上がり、0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から1.8 Vに達するまで、RESET端子にロウ・レベルを入力するか、オプション・バイトでLVIデフォルト・スタート機能動作を設定(LVI OFF = 0)してください(図6-14参照)。1.8 Vに達するまでRESET端子にロウ・レベルを入力したとき、RESET端子によるリセット解除後は、図6-13の以降と同様のタイミングで動作します。	p.209
EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。				p.209	

章	分類	機能	機能の詳細	注意事項	頁
第6章	ソフト	高速システム・クロックの制御	LVIデフォルト・スタート機能動作に設定時(オプション・バイト: LVIOFF = 0)	電源電圧が1.59 V (TYP.) に達したあと、電圧安定待ち時間が必要となります。1.59 V (TYP.) から2.07 V (TYP.) に達する時間が、電圧安定待ち時間より短い場合は、リセット処理前に電圧安定待ち時間が自動的に発生します。	p.210
				EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。	p.210
			X1/P121, X2/EXCLK/P122	X1/P121, X2/EXCLK/P122端子のリセット解除時は、入力ポート・モードです。	p.211
			X1クロック	CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。そのため、OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては、6.6.3 サブシステム・クロックの制御例を参照してください。	p.212
				電源電圧が、使用するクロックの動作可能電圧(第29章 電気的特性(標準品)、第30章 電気的特性(A)水準品)を参照)に達してから、X1クロックの設定を行ってください。	p.212
			外部メイン・システム・クロック	CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。そのため、OSCSELSビットの値も同時に設定する必要があります。OSCSELSビットについては、6.6.3 サブシステム・クロックの制御例を参照してください。	p.212
				電源電圧が、使用するクロックの動作可能電圧(第29章 電気的特性(標準品)、第30章 電気的特性(A)水準品)を参照)に達してから、外部メイン・システム・クロックの設定を行ってください。	p.212
			高速システム・クロック	PER0レジスタのビット1, PER1レジスタのビット1-7には必ず“0”を設定してください。	p.213
				MSTOPに1を設定するとき、必ずMCS = 0またはCLS = 1であることを確認してください。また、高速システム・クロックで動作している周辺ハードウェアを停止してください。	p.214
			高速内蔵発振振クロックの制御	高速内蔵発振振クロック	高速内蔵発振振クロックを再開後に、CPU/周辺ハードウェア・クロックを高速システム・クロックから高速内蔵発振振クロックに切り替える場合は、10 μ s以上経過後に行ってください。 再開直後に切り替えた場合は、10 μ s間の高速内蔵発振の精度が保証できません。
	HIOSTOPに1を設定するとき、必ずMCS = 1またはCLS = 1であることを確認してください。また、高速内蔵発振振クロックで動作している周辺ハードウェアを停止してください。	p.216			
	ハード	サブシステム・クロックの制御	XT1/P123, XT2/P124	XT1/P123, XT2/P124端子のリセット解除時は、入力ポート・モードです。	p.216
			サブシステム・クロック	サブシステム・クロックをCPUクロックとして使用する場合、同時に周辺ハードウェアにもサブシステム・クロックが供給されます(リアルタイム・カウンタ、クロック出力/プザー出力、およびウォッチドッグ・タイマは除く)。このとき、A/Dコンバータ、IIC0の動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第29章 電気的特性(標準品)、第30章 電気的特性(A)水準品)を参照してください。	p.216, 217
	ソフト	サブシステム・クロックの制御	-	CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。そのため、EXCLK, OSCSELビットの値も同時に設定する必要があります。EXCLK, OSCSELビットについては、6.6.1(1) X1クロックを発振する場合の設定手順例、または(2) 外部メイン・システム・クロックを使用する場合の設定手順例を参照してください。	p.217
XTSTOPに1を設定するとき、必ずCLS = 0であることを確認してください。また、サブシステム・クロックで動作している周辺ハードウェアがある場合は、その周辺ハードウェアの動作を停止してください。				p.217	
STOP命令でサブシステム・クロックの発振を停止することはできません。				p.217	
CPUクロック状態移行	-	-	設定するクロックの動作可能電圧(第29章 電気的特性(標準品)、第30章 電気的特性(A)水準品)を参照)に電源電圧が達してから、クロックを設定してください。	p.220, 223	
第7章	ソフト	タイマ・アレイ・ユニット	TCR0n : タイマ・カウンタ・レジスタ0n	TCR0nをリードしても、TDR0nにはキャプチャしません。	p.232

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	タイマ・アレイ・ユニット	TDR0n : タイマ・データ・レジスタ0n	コンペア機能に設定したTDR0nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。	p.234
			PER0:周辺インネーブル・レジスタ0	タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAU0EN = 1の設定を行ってください。TAU0EN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(タイマ入力選択レジスタ0(TIS0)、入力切り替え制御レジスタ(ISC)、ノイズ・フィルタ許可レジスタ1(NFEN1)、ポート・モード・レジスタ0, 1, 3, 4, 13, 14 (PM0, PM1, PM3, PM4, PM13, PM14)、ポート・レジスタ0, 1, 3, 4, 13, 14 (P0, P1, P3, P4, P13, P14)は除く)。 PER0レジスタのビット1には必ず“0”を設定してください。	p.236 p.236
			TPS0:タイマ・クロック選択レジスタ0	ビット15-8には、必ず0を設定してください。	p.237
			TMR0n : タイマ・モード・レジスタ0n	ビット14, 13, 5, 4には、必ず0を設定してください。	p.238
			TS0:タイマ・チャンネル開始レジスタ0	ビット15-8には、必ず0を設定してください。	p.243
				カウント・クロックの1周期目の動作はTS0n書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MD0n = 1に設定することで、カウント開始時に割り込みを発生させることができます。	p.244, 245
				スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します(TI0nを使用する場合、カウント・クロック1クロック分の誤差となります)。	p.246, 247
			TT0:タイマ・チャンネル停止レジスタ0	ビット15-8には、必ず0を設定してください。	p.248
			TOE0:タイマ出力許可レジスタ0	ビット15-8には、必ず0を設定してください。	p.249
			TO0:タイマ出力レジスタ0	ビット15-8には、必ず0を設定してください。	p.250
			TOL0:タイマ出力レベル・レジスタ0	ビット15-8には、必ず0を設定してください。	p.251
			TOM0:タイマ出力モード・レジスタ0	ビット15-8には、必ず0を設定してください。	p.252
			ISC:入力切り替え制御レジスタ	ビット7-2には、必ず0を設定してください。	p.253
			チャンネル出力(TO0n端子)操作	(1)タイマ動作中のTO0,TOE0,TOL0,TOM0レジスタの設定値変更について タイマ動作(TCR0n,TDR0nの動作)は、TO0n出力回路とは独立しています。よって、TO0, TOE0, TOL0,TOM0の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTO0n端子から出力するためには、各動作のレジスタ設定内容例の値に設定してください。 各チャンネルのタイマ割り込み(INTTM0n)近辺で、TO0を除くTOE0, TOL0, TOM0の設定値変更を行うと、タイマ割り込み(INTTM0n)信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み(INTTM0n)信号発生タイミング直後に設定値変更が実施された場合とでは、TO0n端子に異なる波形が出力される場合があります。 (2)TO0n端子の初期レベルとタイマ動作開始後の出力レベルについて ポート出力許可前に、TOE0n = 0の状態ではTO0nに書き込みを行い、初期レベル変更後TOE0n = 1に設定した場合のTO0n端子出力レベルの変化を次に示します。 (a) TOM0n = 0設定で動作を開始した場合(トグル出力) TOM0n = 0の時、TOL0nの設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTO0n端子の出力レベルを反転します。 (b) TOM0n = 1設定で動作を開始した場合(運動動作モード(PWM出力)) TOM0n = 1の時、TOL0nの設定によりアクティブ・レベルを決定します。	p.257 p.258, 259

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	タイマ・アレイ・ユニット	チャンネル出力 (TO0n端子)操作	(3) TO0n端子の連動動作モード (TOM0n = 1) での動作について (a) タイマ動作中にTOL0nの設定を変更した場合 タイマ動作中にTOL0nの設定を変更した場合は、設定が有効となるのはTO0n変化条件の発生タイミングです。TOL0nの書き換えでは、TO0nの出力レベルは変化しません。タイマ動作中 (TOM0n = 1) にTOL0nの値を変更した場合の動作を次に示します。 (b) セット/リセット・タイミング PWM出力時に、0% / 100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTM0n) 発生時のTO0n端子/TO0nセット・タイミングをスレーブ・チャンネル・タイマ割り込み (INTTM0p) にて1カウント・クロック分遅らせています。 セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。 マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図7-29に示します。	p.259, 260
			TO0nビットの一括操作	TOE0n = 1の場合に、各チャンネルのタイマ割り込み (INTTM0n) による出力とTO0nへの書き込みが競合しても、TO0n端子は正常に出力動作が行われます。	p.262
	タイマ・アレイ・ユニットの単独チャンネル動作	入力パルス間隔測定	Ti0n端子入力は、TMR0nレジスタのCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロック分の誤差が発生します。	p.280	
		入力信号のハイ/ロウ・レベル幅測定	Ti0n端子入力は、TMR0nレジスタのCKS0nビットで選択した動作クロックでサンプリングされるため、動作クロック分の誤差が発生します。	p.284	
	タイマ・アレイ・ユニットの複数チャンネル動作	PWM機能	マスタ・チャンネルのTDR0nとスレーブ・チャンネルのTDR0mを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCR0n, TCR0mにTDR0n, TDR0mの値がロードされるのは、マスタ・チャンネルのINTTM0n発生時となります。そのため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0m端子は期待通りの波形を出力できません。したがって、マスタのTDR0nとスレーブのTDR0mを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。	p.288	
		ワンショット・パルス出力機能	マスタ・チャンネルのTDR0nとスレーブ・チャンネルのTDR0mでは、ロード・タイミングが異なるため、動作中にTDR0n, TDR0mを書き換えると不正波形が出力されます。TDR0nはINTTM0n発生後に、TDR0mはINTTM0m発生後に書き換えてください。	p.295	
多重PWM出力機能		マスタ・チャンネルのTDR0nとスレーブ・チャンネル1のTDR0pを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCR0n, TCR0pにTDR0n, TDR0pの値をロードするのは、マスタ・チャンネルのINTTM0n発生後となるため、書き換えがマスタ・チャンネルのINTTM0n発生前と発生後に分かれて行われると、TO0p端子は、期待通りの波形を出力できません。したがって、マスタのTDR0nとスレーブのTDR0pを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTM0n発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDR0qの場合も同様です。)	p.302		
第8章	ソフト	リアルタイム・カウンタ	PER0: 周辺インネープル・レジスタ0	リアルタイム・カウンタを使用する場合は、サブシステム・クロック (f _{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。RTCEN = 0の場合は、リアルタイム・カウンタの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。 PER0レジスタのビット1には必ず“0”を設定してください。	p.312 p.312
			RTCC0: リアルタイム・カウンタ・コントロール・レジスタ0	RTCE = 1のときにRCLOE0, RCLOE1を変更すると、32.768 kHz, 1 Hzの出力にグリッチが生じる場合があります。	p.313
		RTCC1: リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ, WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ, WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ, WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。	p.315	
		RTCC2: リアルタイム・カウンタ・コントロール・レジスタ2	ICT2, ICT1, ICT0の変更は、RINTE = 0のときに行ってください。	p.316	

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフト	リアルタイム・カウンタ	RTCC2:リアルタイム・カウンタ・コントロール・レジスタ2	RTCDIV端子の出力を停止した場合、 f_{XT} の最大2クロック後まで出力を行い、ロウ・レベルとなります。512 Hzを出力している場合でハイ・レベルになった直後に出力を停止すると、最小で f_{XT} の1クロック幅のパルスを発生することがあります。	p.316
				動作開始後、最初のインターバル期間、RTCDIV端子の出力幅は、設定より短くなる場合があります。	p.316
			RSUBC:サブカウンタ・レジスタ	SUBCUDレジスタにより補正を行う場合は、8000H以上の値になる場合があります。	p.317
				このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。	p.317
				このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。	p.317
			HOUR:時カウント・レジスタ	HOURのビット5 (HOUR20) は、AMP _{PM} = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。	p.318
			WEEK:曜日カウント・レジスタ	曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。 リセット解除後、次のように設定してください。	p.320
			ALARMW _M :アラーム分レジスタ	設定する値は、10進の00 ~ 59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。	p.323
			ALARMW _H :アラーム時レジスタ	設定する値は、10進の00 ~ 23または、01 ~ 12, 21 ~ 32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。	p.323
				ALARMW _H のビット5 (WH20) は、AMP _{PM} = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。	p.323
			カウンタ読み出し/書き込み	RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。	p.327, 328
リアルタイム・カウンタの1, 512 Hz, 32.768, 16.384 kHz出力	サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。	p.330			
第9章	ソフト	ウォッチドッグ・タイマ	WDTE:ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。	p.338
			WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。	p.338	
			WDTEのリード値は、“9AH/1AH”(書き込んだ値(“ACH”)とは異なる値)になります。	p.338	
		動作制御	リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。	p.339	
			WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大2/ f_{in} 秒の誤差が生じる場合があります。	p.339	
			ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。	p.339	
			オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。(p.339の表を参照)	p.340	
			WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。		
			そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。	p.340	
			フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。		

章	分類	機能	機能の詳細	注意事項	頁
第9章	ソフト	ウォッチドッグ・タイマ	オーバフロー時間の設定	フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p.340
			ウィンドウ・オープン期間の設定	リセット解除後1回目のWDTEへの書き込みだけは、ウィンドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。	p.341
				フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p.341
				オプション・バイト (000C0H) のビット0 (WDSTBYON) = 0のときは、WINDOW1, WINDOW0の値に関係なく、ウィンドウ・オープン期間100%となります。	p.341
				次のいずれかの条件に該当する場合は、ウィンドウ・オープン期間を25%に設定しないでください。 ・電源電圧 $V_{DD} < 2.7V$ で使用する場合 ・STOPモードの使用、もしくはソフトウェアでメイン・システム・クロック (高速内蔵発振クロック, X1クロック, 外部メイン・システム・クロック) をすべて停止する場合。 ・低消費電流モード	p.341
インターバル割り込みの設定	STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。 そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。 よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。	p.342			
第10章	ソフト	クロック出力ノブザー出力制御回路	CKS0, CKS1: クロック出力選択レジスタ0, 1	出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。	p.345
			クロック出力 (PCLOEn = 1) 中に選択クロック (f_{MAIN} または f_{SUB}) が停止した場合は、出力が不定になります。	p.345	
第11章	ソフト	A/Dコンバータ	PER0: 周辺インネーブル・レジスタ0	A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ2, 15 (PM2, PM15) は除く)。	p.351
				PER0レジスタのビット1には必ず“0”を設定してください。	p.351
			ADM: A/Dコンバータ・モード・レジスタ	FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。	p.352
			A/D変換時間の選択 (2.7 V AV_{REF0} 5.5 V)	変換時間は、次の条件で設定してください。 従来規格品 (μ PD78F116x) ・4.0 V AV_{REF0} 5.5 Vの場合: $f_{AD} = 0.6 \sim 3.6$ MHz ・2.7 V $AV_{REF0} < 4.0$ Vの場合: $f_{AD} = 0.6 \sim 1.8$ MHz 拡張規格品 (μ PD78F116xA) ・4.0 V AV_{REF0} 5.5 Vの場合: $f_{AD} = 0.33 \sim 3.6$ MHz ・2.7 V $AV_{REF0} < 4.0$ Vの場合: $f_{AD} = 0.33 \sim 1.8$ MHz	p.353

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	A/Dコンバータ	A/D変換時間の選択 (2.3 V AVREF0 5.5 V)	変換時間は、次の条件で設定してください。 ・ 4.0 V AVREF0 5.5 Vの場合：fAD = 0.6 ~ 3.6 MHz ・ 2.7 V AVREF0 < 4.0 Vの場合：fAD = 0.6 ~ 1.8 MHz ・ 2.3 V AVREF0 < 2.7 Vの場合：fAD = 0.6 ~ 1.44 MHz	p.354
				FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。	p.354
				2.3 V AVREF0 < 2.7 Vの場合、LV1, LV0をデフォルト値から変更してください。	p.354
				前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。	p.354
		ADCR: 10ビット A/D変換結果レジスタ	A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。	p.356	
		ADCRH: 8ビット A/D変換結果レジスタ	A/Dコンバータ・モード・レジスタ (ADM), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。	p.356	
		ADS: アナログ入力チャネル指定レジスタ	ビット4-6には必ず0を設定してください。	p.357	
			A/D変換で使用するチャネルは、ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードを選択してください。	p.357	
			ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。	p.357	
		ADPC: A/Dポート・コンフィギュレーション・レジスタ	A/D変換で使用するチャネルは、ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードを選択してください。	p.358	
			ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。	p.358	
			P20/ANIO-P27/ANI7,P150/ANI8-P157/ANI15は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P157/ANI15,...,P150/ANI8, P27/ANI7,...,P20/ANIOの順にアナログ入力に設定されます。アナログ入力として使用する場合は、P157/ANI15から設計してください。	p.358	
		PM2, PM15: ポート・モード・レジスタ2, 15	アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。	p.359	
		A/Dコンバータの基本動作	から までの間は1 μ s以上空けてください。	p.360	
		A/D変換動作	から までの間は1 μ s以上空けてください。	p.364	
			は、 から までの間に行っても、問題ありません。	p.364	
			から までの時間は、ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が、FR2-FR0, LV1, LV0で設定した変換時間となります。	p.364	
		温度センサの機能	低消費電流モード設定時 (RMC = 5AH) または、高速内蔵発振回路を停止 (HIOSTOP = 1 (CSCレジスタのビット0)) している状態では、温度センサを使用できません。高速内蔵発振回路が動作 (HIOSTOP = 0) していれば、CPU/周辺ハードウェア・クロックに選択していなくても温度センサの動作は可能です。	p.365	
		温度センサで使用するレジスタ	温度センサ使用時は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) , ポート・モード・レジスタ2 (PM2) , ポート・レジスタ2 (P2) の設定は必要ありません。また、端子をデジタル入出力に設定していても問題ありません。	p.366	
			変換時間は、fAD = 0.6 ~ 1.8 MHzの範囲で設定してください。	p.366	
FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。	p.366				
前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。	p.366				
温度センサ使用時のA/D変換では、温度センサ0 (ANIO側) のA/D変換結果は2回目以降を、温度センサ1 (ANI1側) の変換結果は3回目以降の変換結果を使用してください。	p.367				

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	A/Dコンバータ	温度センサの使用手順	から までの間は1 μ s以上空けてください。1 μ s以内でADCSに1を設定した場合は、センサ0側も3回目以降の変換結果が有効となります。	p.371
				は、 から までの間に行っても、問題ありません。	p.371
				から までの時間は、ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が、FR2-FR0, LV1, LV0で設定した変換時間となります。	p.371
				から までの間は、AV _{REF0} の電圧を変化させないでください。温度センサ検出値は、AV _{REF0} の電圧に依存しないため、AV _{REF0} の電圧は温度測定毎に異なっても問題ありませんが、一度の温度測定 (から) の間は一定にする必要があります。	p.371
				温度センサ0 (ANI0側) のA/D変換結果は2回目以降を、温度センサ1 (ANI1側) の変換結果は3回目以降の変換結果を使用してください。	p.372
		STOPモード時の動作電流について	STOPモードに移行する場合は、A/Dコンバータを停止 (A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) を0) させてから移行してください。このときA/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) も0にすることにより、動作電流を低減させることができます。 スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L (IF1L) のビット0 (ADIF) をクリア (0) してから、動作開始してください。	p.376	
		A/Dコンバータの停止時の電流低減について	AV _{REF0} への印加電圧は、通常は表11-1の条件を満たしてください。 A/Dコンバータ停止時は、A/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) とビット0 (ADCE) を0にしていれば、AV _{REF0} へ電圧を印加していてもA/Dコンバータにより電流が増大することはありません。ただし、図11-25のようにAV _{REF0} への供給電源からマイコンの外部回路に電流が流れる場合などは、次の条件 (本文参照) を満たすことにより、AV _{REF0} = 0V = AV _{SS} とすることができ、外部の電流を削減できます。	p.376	
	ハード	ANI0-ANI15入力範囲	ANI0-ANI15入力電圧は規格の範囲内でご使用ください。特にAV _{REF0} 以上、AV _{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。	p.377	
	ソフト	競合動作	変換終了時のA/D変換結果レジスタ (ADCR, ADCRH) ライトと命令によるADCR, ADCRHリードが競合した場合 ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。	p.377	
変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ (ADM) ライト、アナログ入力チャンネル指定レジスタ (ADS) またはA/Dポート・コンフィギュレーション・レジスタ (ADPC) ライトが競合した場合 ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号 (INTAD) も発生しません。			p.377		
	ハード	ノイズ対策	10ビット分解能を保つためには、AV _{REF0} , ANI0-ANI15端子へのノイズに注意する必要があります。 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。 アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図11-26のようにCを外付けすることを推奨します。 変換中においては、他の端子とスイッチングしないようにしてください。 変換開始直後にHALTモードに設定すると、精度が向上します。	p.377	
	ソフト	ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157	アナログ入力 (ANI0-ANI7) 端子は入力ポート (P20-P27) 端子と兼用になっています。アナログ入力 (ANI8-ANI15) 端子は入力ポート (P150-P157) 端子と兼用になっています。 ANI0-ANI15のいずれかを選択してA/D変換をする場合、変換中にP20-P27, P150-P157に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27, P150-P157として使用する端子の選択は、AV _{REF0} から最も遠いANI0/P20より行うことを推奨します。	p.377	
	ハード		A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。	p.378	

章	分類	機能	機能の詳細	注意事項	頁
第11章	ハード	A/Dコンバータ	ANI0-ANI15端子の入ラインピーダンスについて	このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。 したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力ラインピーダンスはサンプリング中とそれ以外の状態で変動します。 ただし、十分にサンプリングするためには、アナログ入力源の出力ラインピーダンスを10k以下にし、出力ラインピーダンスが高いときはANI0-ANI15端子に100 pF程度のコンデンサを付けることを推奨します（図11 - 26参照）。	p.378
			AV _{REF0} 端子の入ラインピーダンスについて	AV _{REF0} 端子とAV _{SS} 端子の間には数十kの直列抵抗ストリングが接続されています。 したがって、基準電圧源の出力ラインピーダンスが高い場合、AV _{REF0} 端子とAV _{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。	p.378
	ソフト	割り込み要求フラグ (ADIF)	アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。 したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。 また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。	p.378	
	A/D変換スタート直後の変換結果	ADCEビット = 1にしてから、1 μs以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。	p.379		
	A/D変換結果レジスタ (ADCR, ADCRH) の読み出し	A/Dコンバータ・モード・レジスタ (ADM)、アナログ入力チャネル指定レジスタ (ADS)、A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。	p.379		
	A/Dコンバータの動作開始	A/Dコンバータの動作は、AV _{REF0} , AV _{REF1} (D/Aコンバータ用基準電圧) の電圧が安定してから開始してください。	p.379		
第12章	ソフト	D/Aコンバータ	PER0: 周辺インネーブル・レジスタ 0	D/Aコンバータの設定をする際には、必ず最初にDACEN = 1の設定を行ってください。DACEN = 0の場合は、D/Aコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ11 (PM11) とポート・レジスタ11 (P11) は除く)。 PER0レジスタのビット1には必ず“0”を設定してください。	p.382 p.382
			通常モード時の動作	同一チャネルのDACSnの書き込み間隔は、f _{CLK} の1クロックより長くあけるようにしてください。連続して書き込むと最後に書き込んだ値のみを変換します。	p.385
		リアルタイム出力モード時の動作	同一チャネルへの起動トリガの発生間隔は、f _{CLK} の1クロックより長くあけるようにしてください。f _{CLK} ごとに連続して起動トリガを発生させると、最初のトリガでのみD/A変換をします。	p.386	
			の時に任意の値を出力するための手順 (手順 ~) では、次の点に注意してください。 ・ でDACSnレジスタに設定後、でD/A変換動作を許可とするまでの間にリアルタイム出力モードの起動トリガを発生させないでください。 ・ でDACSnレジスタに設定後、一度PER0レジスタのDACENビットをクリアした場合は、で任意の値を出力できません。	p.386	
		ANO0, ANO1 兼用デジタル・ポートの入出力機能	D/A変換中は、ANO0, ANO1端子と兼用するデジタル・ポートの入出力機能は動作しません。 D/A変換中に入力モードのP11レジスタをリードしても、“0”が読み出されます。	p.387	

章	分類	機能	機能の詳細	注意事項	頁	
第12章	ソフト	D/Aコンバータ	P11レジスタ, PM11レジスタ	D/A変換中は, P11レジスタへのリード/ライト動作および, PM11レジスタの設定変更は行わないでください(変換精度が悪化する恐れがあります)。	p.387	
			ANO0, ANO1 端子	ANO0, ANO1端子の設定は, 2チャンネルともにアナログ出力, またはデジタル入出力として使用し, 必ず2チャンネルを同じ用途で使用することを推奨します(変換精度が悪化する恐れがあります)。	p.387	
			DACSnレジスタ	リアルタイム出力モード時は, タイマ・トリガ発生前までにDACSnレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACSnレジスタの設定値を変更しないでください。	p.387	
			動作モードの切り替え	動作モードの切り替えは, 必ずDAMレジスタのDACE _n ビット = 0 (D/A変換動作停止) にしたあとに行ってください。	p.387	
	ハード	ANO0, ANO1 兼用ポート	ANO0またはANO1端子と兼用しているポートを使用する場合, レベル変化の少ないポート入力として使用してください。	p.387		
		AV _{REF1} または AV _{REF0} の電源投入と電源切断	AV _{REF1} またはAV _{REF0} (A/Dコンバータ用基準電圧)の電源投入および電源切断時は, D/Aコンバータの変換動作を停止してください。	p.387		
	ソフト	STOPモード時の消費電力低減	D/Aコンバータは, STOPモード時に動作が停止するため, ANO0, ANO1端子は, ハイ・インピーダンスになり消費電力を低減できます。ただし, STOPモード以外のスタンバイ・モードでは端子は保持されるため, 消費電力を低減する場合にはDAMレジスタのDACE _n ビット = 0 (D/A変換動作停止) にしてください。	p.387		
ハード	D/Aコンバータの出力インピーダンス	D/Aコンバータの出力インピーダンスが高いため, ANO _n 端子 (n = 0, 1) から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には, 負荷とANO _n 端子の間にフォロアアンプを挿入して使用してください。また, フォロアアンプや負荷までの配線は極力短くするようにしてください(出力インピーダンスが高いため)。配線が長くなるような場合は, グランド・パターンで囲むなどの処置をしてください。	p.387			
第13章	ソフト	シリアル・アレイ・ユニットの構成	SDR _m n: シリアル・データ・レジスタ _m n (下位8ビット)	ビット8は, 必ず0を設定してください。	p.395	
			シリアル・アレイ・ユニットを制御するレジスタ	PER0: 周辺インネーブル・レジスタ0	シリアル・アレイ・ユニット _m の設定をする際には, 必ず最初にSAUmEN = 1の設定を行ってください。SAUmEN = 0の場合は, シリアル・アレイ・ユニット _m の制御レジスタへの書き込みは無視され, 読み出しても値はすべて初期値となります(入力切り替え制御レジスタ(ISC), ノイズ・フィルタ許可レジスタ(NFEN0), ポート入力モード・レジスタ(PIM0, PIM4, PIM14), ポート出力モード・レジスタ(POM0, POM4, POM14), ポート・モード・レジスタ(PM0, PM1, PM4, PM14), ポート・レジスタ(P0, P1, P4, P14)は除く)。	p.397
					PER0レジスタを“1”に設定後に, 4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.397
					PER0レジスタのビット1には必ず“0”を設定してください。	p.397
			SPSm: シリアル・クロック選択レジスタ _m		ビット15-8には, 必ず0を設定してください。	p.398
					PER0レジスタを“1”に設定後に, 4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.398
			SMR _m n: シリアル・モード・レジスタ _m n	ビット13-9, 7, 4, 3には, 必ず0を設定してください。ビット5には, 必ず1を設定してください。	p.399	
			SCR _m n: シリアル通信動作設定レジスタ _m n	ビット3, 6, 11には, 必ず0を設定してください。ビット2には, 必ず1を設定してください。	p.401, 402	
			SDR _m n: シリアル・データ・レジスタ _m n (上位7ビット)		ビット8は, 必ず0を設定してください。	p.403
					UART使用時は, SDR _m n[15:9] = (0000000B, 0000001B)は設定禁止です。	p.403
	簡易I ² C使用時は, SDR _m n[15:9] = 0000000Bは設定禁止です。SDR _m n[15:9] = 0000001B以上に設定してください。	p.403				
		動作停止状態(SE _m n = 0)のときに, 下位8ビットへ8ビット書き込みは行わないでください(上位7ビットが0にクリアされます)。	p.403			

章	分類	機能	機能の詳細	注意事項	頁	
第13章	ソフト	シリアル・アレイ・ユニットを制御するレジスタ	SIRmn : シリアル・フラグ・クリア・トリガ・レジスタmn	ビット15-3には、必ず0を設定してください。	p.406	
			SSm : シリアル・チャンネル開始レジスタm,	ビット15-4には、必ず0を設定してください。	p.408	
			STm : シリアル・チャンネル停止レジスタm	ビット15-4には、必ず0を設定してください。	p.409	
			SOEm : シリアル出力許可レジスタm	SOE0のビット15-3, SOE1のビット15-3, 1には、必ず0を設定してください。	p.410	
			SOm : シリアル出力レジスタm	SO0のビット11, 3, SO1のビット11-9, 3, 1には、必ず1を設定してください。また、SOmのビット15-12, 7-4には、必ず0を設定してください。	p.411	
			SOLm : シリアル出力レベル・レジスタm	ビット15-3, 1には、必ず0を設定してください。	p.412	
			ISC : 入力切り替え制御レジスタ	ビット7-2には、必ず0を設定してください。	p.413	
			NFEN0 : ノイズ・フィルタ許可レジスタ0	ビット7, 5, 3, 1には、必ず0を設定してください。	p.414	
	動作停止モード		ユニット単位で動作停止とする場合	SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります（入力切り替え制御レジスタ（ISC）、ノイズフィルタ許可レジスタ（NFEN0）、ポート入力モード・レジスタ（PIM0, PIM4, PIM14）、ポート出力モード・レジスタ（POM0, POM4, POM14）、ポート・モード・レジスタ（PM0, PM1, PM4, PM14）、ポート・レジスタ（P0, P1, P4, P14）は除く）。	PER0レジスタのビット1には必ず“0”を設定してください。	p.417
	3線シリアル I/O (CSI00, CSI01, CSI10, CSI20) 通信		マスタ送信		PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.422, 425, 427
				マスタ送信(連続送信モード時)	MDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。	p.426
				マスタ受信	PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.430, 433, 435
				マスタ受信(連続受信モード時)	MDmn0ビットは、動作中でも書き換えることができます。ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。	p.434
				マスタ送受信	PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.438, 441, 443
				マスタ送受信(連続送受信モード時)	MDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。	p.442
				スレープ送信	PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.446, 449, 451
				スレープ送信(連続送信モード時)	MDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。	p.450
				スレープ受信	PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.454, 457
スレープ送受信	マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。	p.459-461, 463, 465				

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	3線シリアル I/O (CSI00, CSI01, CSI10, CSI20) 通信	スレーブ送受信	PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.460, 463, 465
			スレーブ送受信 (連続送受信モード時)	MDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。	p.464
			-	UARTとして使用する場合は、送信側 (偶数チャンネル) と受信側 (奇数チャンネル) のどちらのチャンネルもUARTとしてしか使用することはできません。	p.469
			UART送信	PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.472, 475, 477
			UART送信 (連続送信モード時)	MDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。	p.476
			UART受信	UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrも必ず設定してください。	p.479
		簡易 I ² C (IIC10, IIC20) 通信	アドレス・フィールド送信	PER0レジスタを“1”に設定後に、4クロック以上間隔をあけてからSPSmレジスタを設定してください。	p.500
			データ受信	最終データの受信時はACKを出力しません (NACK)。その後、STmnビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。	p.509
			転送レートの算出	SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。	p.511
			IIC0 : IIC シフト・レジスタ0	データ転送中はIIC0にデータを書き込まないでください。 IIC0には、ウェイト期間中にだけ、書き込み / 読み出しをしてください。ウェイト期間中を除く通信状態でのIIC0へのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT0) をセット (1) したあと、1回書き込みできます。	p.525 p.525
			PER0 : 周辺インネーブル・レジスタ0	シリアル・インタフェースIIC0の設定をする際には、必ず最初にIIC0EN = 1の設定を行ってください。IIC0EN = 0の場合は、シリアル・インタフェースIIC0の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ6 (PM6) , ポート・レジスタ6 (P6) は除く)。 PER0レジスタのビット1には必ず“0”を設定してください。	p.528 p.528
			IIC0 : IICコントロール・レジスタ0	SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態では、I ² Cを動作許可 (IICE0 = 1) した場合、直後にスタート・コンディションを検出してしまいます。I ² Cを動作許可 (IICE0 = 1) したあと、連続して1ビット・メモリ操作命令により、LREL0をセット (1) してください。 IIC状態レジスタ0 (IICS0) のビット3 (TRC0) = 1のとき、9クロック目にWREL0をセット (1) してウェイト解除すると、TRC0をクリアしてSDA0ラインをハイ・インピーダンスにします。	p.530 p.533
第14章	ソフト	シリアル・インタフェース IIC0	IICF0 : IIC フラグ・レジスタ0	STCENへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。 STCEN = 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを発行 (STT0 = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。 IICRSVへの書き込みは動作停止 (IICE0 = 0) 時のみ行ってください。	p.537 p.537 p.537
			IICX0 : IIC機能拡張レジスタ0	動作許可 (IICコントロール・レジスタ0 (IIC0) のビット7 (IICE0) = 1) する前に、CLX0, SMC0, CL01, CL00でI ² Cの転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (0) してください。	p.539
			転送クロックの設定	動作許可 (IICコントロール・レジスタ0 (IIC0) のビット7 (IICE0) = 1) する前に、CLX0, SMC0, CL01, CL00でI ² Cの転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (0) してください。	p.545

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	シリアル・インタフェース IIC0	STCEN = 0の場合	I ² C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY (IICF0 のビット6) = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。 マルチマスタでは、バスが解放されていない (ストップ・コンディションを検出していない) 状態では、マスタ通信を行うことができません。 ストップ・コンディションの生成は次の順番で行ってください。 IICクロック選択レジスタ0 (IICCL0) を設定する IICコントロール・レジスタ0 (IICC0) のビット7 (IICE0) をセット (1) する IICC0のビット0 (SPT0) をセット (1) する	p.560
			STCEN = 1の場合	I ² C動作許可 (IICE0 = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT0 (IICコントロール・レジスタ0 (IICC0) のビット1) = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。	p.560
			すでに他者との間でI ² C通信が行われている場合	SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I ² C動作を許可して通信に途中参加すると、I ² CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI ² C通信を妨害してしまいます。これを回避するために、次の順番でI ² Cを起動してください。 IICC0のビット4 (SPIE0) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIIC0) 発生を禁止する IICC0のビット7 (IICE0) をセット (1) し、I ² Cの動作を許可する スタート・コンディションを検出するまで待つ アクノリッジを返すまで (IICE0をセット (1) してから、4 ~ 80クロック中) に、IICC0のビット6 (LREL0) をセット (1) にし、強制的に検出を無効とする	p.560
			転送クロック周波数の設定	動作許可 (IICE0 = 1) する前に、SMC0, CL01, CL00 (IICL0のビット3, 1, 0) , CLX0 (IICX0のビット0) で転送クロック周波数を決定してください。転送クロック周波数を変更する場合は、一度IICE0をクリア (0) してください。	p.560
			STT0, SPT0 : IICコントロール・レジスタ0 (IICC0) のビット1, 0	STT0, SPT0 (IICC0のビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。	p.560
			送信予約	送信予約をした場合には、SPIE0 (IICL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IIC0に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS0 (IIC0のビット7) を検出する場合には、SPIE0をセット (1) する必要はありません。	p.561
			第16章	ソフト	DMA コントローラ
DRCn : DMA動作コントロール・レジスタn	DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。 DENnフラグはDSTn = 0のときのみ書き込み許可となるため、DMAの割り込み (INTDMA) の発生を待たずに終了する場合は、DSTn = 0に設定してからDENn = 0としてください (詳細は16. 5. 7 ソフトウェアでの強制終了参照) 。	p.607			
DWAITn によるDMA転送保留の設定例	DMAを2チャンネルとも使用中でDMA転送を保留する場合は、必ず両チャンネルのDMAを保留にしてください (DWAIT0 = DWAIT1 = 1) 。片方のDMAが保留中にもう一方のDMA転送が実行されると、保留されない場合があります。	p.620			
DMA転送の強制終了	例3では、DWAITnのセット (1) 後のウェイト2クロックは必要ありません。また、DSTnをクリア (0) してからDENnをクリア (0) するまで2クロック以上経過しているため、DSTnのクリア (0) 後にウェイト2クロックする必要はありません。	p.622			

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	DMAコントローラ	優先順位	DMA転送中は、他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は、DMAチャネル0 > DMAチャネル1の優先順位になります。 また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。	p.623
	ハード		応答時間	DMA転送における応答時間は、次のようになります（表16 - 2を参照）。	p.624
	ソフト		スタンバイ時の動作	スタンバイ・モード時のDMAコントローラの動作は、次のようになります（表16 - 3を参照）。	p.624
			DMA保留命令	DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。 ・ CALL !addr16 ・ CALL \$!addr20 ・ CALL !addr20 ・ CALL rp ・ CALLT [addr5] ・ BRK ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSWの各レジスタに対するビット操作命令	p.625
			汎用レジスタ領域内または内部RAMの領域外のアドレスを指定した場合	DMA転送中にDRA0nで示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったたり、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。 SFRからRAMへの転送モード時 そのアドレスのデータを破壊してしまいます。 RAMからSFRへの転送モード時 不定のデータがSFRへ転送されます。 いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。	p.625
第17章	ソフト	割り込み機能	IF0L, IF0H, IF1L, IF1H, IF2L, IF2H : 割り込み要求フラグ・レジスタ	IF2Hのビット1-7には必ず0を設定してください。	p.635
				タイマ、シリアル・インタフェース、A/Dコンバータなどをスタンバイ解除後に動作させる場合、いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。	p.635
				割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm(“ clr1 IF0L.0 ”);」のようなビット操作命令を使用してください。 なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。 mov a, IF0L and a, #0FEH mov IF0L, a この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても、「mov IF0L, a」でクリア（0）されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。	p.635
	MK0L, MK0H, MK1L, MK1H, MK2L, MK2H : 割り込みマスク・フラグ・レジスタ	MK2Hのビット1-7には必ず1を設定してください。	p.636		

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	割り込み機能	PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H :優先順位指定フラグ・レジスタ	PR02H, PR12Hのビット1-7には必ず1を設定してください。	p.638
			EGP0, EGP1:外部割り込み立ち上がりエッジ許可レジスタ, EGN0, EGN1:外部割り込み立ち下がりエッジ許可レジスタ	外部割り込み機能からポート機能に切り替える場合に,エッジ検出を行う可能性があるため,EGPnとEGNnを0に設定してからポート・モードに切り替えてください。	p.639
			ソフトウェア割り込み要求の受け付け動作	ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。	p.644
			BRK命令	BRK命令は,上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは,IEフラグが0にクリアされます。したがって,BRK命令実行中にマスカブル割り込み要求が発生しても,割り込み要求を受け付けません。	p.648
第18章	ソフト	キー割り込み機能	KRM:キー・リターン・モード・レジスタ	KRM0-KRM7のうち使用するビットに1を設定する場合,それに対応するプルアップ抵抗レジスタ7(PU7)のビット0-7(PU70-PU77)に1を設定してください。	p.650
				キー割り込み入力端子にロウ・レベルが入力されている状態で,KRMレジスタの対象ビットをセットすると,割り込みが発生します。 この割り込みを無視したい場合は,割り込みマスク・フラグで割り込み処理禁止にしてください。その後,キー割り込み入力ロウ・レベル幅(250 ns以上)を待ってから,割り込み要求フラグをクリアし,割り込み処理許可にしてください。	p.650
				キー割り込みモードで使用していないビットは通常ポートとして使用可能です。	p.650
第19章	ソフト	スタンバイ機能	-	STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは,STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック,サブシステム・クロックのいずれかの動作状態でも使用できます。	p.651
				STOPモードに移行するとき,メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち,STOP命令を実行してください。	p.651
				A/Dコンバータ部の動作電流を低減させるためには,A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし,A/D変換動作を停止させてから,STOP命令を実行してください。	p.651
				低速内蔵発振回路をHALT,STOPモード時に発振継続/停止するかは,オプション・バイトで選択できます。詳細は第24章 オプション・バイトを参照してください。	p.651
				OSTC:発振安定時間カウンタ状態レジスタ	上記時間経過後,MOST8から順番に“1”となっていく,そのまま“1”を保持します。 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に,STOPモードに入り,解除するときは,OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 したがって,STOPモード解除後のOSTCは,OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。
	ハード		X1クロックの発振安定時間は,クロック発振を開始するまでの時間(下図a)は含みません。	p.653	
	ソフト		OSTS:発振安定時間選択レジスタ	CPUクロックがX1クロック時にSTOPモードへ移行する場合は,STOP命令の実行よりも前にOSTSを設定しておいてください。 発振安定時間が20 μs以下は設定禁止です。	p.654

章	分類	機能	機能の詳細	注意事項	頁
第19章	ソフト	スタンバイ機能	OSTS：発振安定時間選択レジスタ	OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウンタ動作が終了していることを確認してください。	p.654
				X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。	p.654
				発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。 ・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間 したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください。	p.654
	ハード		X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。	p.654	
	ソフト	STOPモード	割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されます。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウエイトしたあと動作モードに戻ります。	p.660	
			STOPモード中に動作停止する周辺ハードウェア、および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は、周辺ハードウェアをリスタートしてください。	p.662	
			STOPモード中に低速内蔵発振クロックを停止したい場合は、オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）=0）してから、STOP命令を実行してください。	p.662	
			高速システム・クロック（X1発振）でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速内蔵発振クロックに切り替えてください。STOPモード解除後、CPUクロックを高速内蔵発振クロックから高速システム・クロック（X1発振）に切り替える場合は、発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから、行ってください。	p.662	
	第20章	ハード	リセット機能	-	外部リセットを行う場合、RESET端子に10 μ s以上のロウ・レベルを入力してください。（電源立ち上げ時に外部リセットを行う場合、動作電圧範囲外（V _{DD} < 1.8V）の期間は10 μ sにカウントしません。ただしロウ・レベル入力はPOC解除前から継続されていてもかまいません。）
リセット信号発生中では、X1クロック、XT1クロック、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。				p.666	
リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。 ただし、各SFRと2nd SFRは初期化されるため、ポート端子P130はロウ・レベル出力に、それ以外のポート端子はハイ・インピーダンスとなります。				p.666	
リセット機能のブロック図				LVI回路の内部リセットの場合、LVI回路はリセットされません。	p.667
ソフト			ウォッチドッグ・タイマのオーバフロー	ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。	p.668
			RESF：リセット・コントロール・フラグ・レジスタ	1ビット・メモリ操作命令でデータを読み出さないでください。	p.674
			LVIデフォルト・スタート機能使用時（000C1Hのビット0（LVIOFF）=0）、電源立ち上がり波形によっては、LVIRFフラグが最初から1になることがあります。	p.674	

章	分類	機能	機能の詳細	注意事項	頁	
第21章	ソフト	パワーオン・クリア回路	-	オプション・バイトで、低電圧検出 (LVI) 回路をデフォルトでONに設定した場合は、電源電圧 (V_{DD}) が $2.07 V \pm 0.2 V$ を越えるまでリセットは解除されません。	p.675, 676	
				POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) がクリア (00H) されます。	p.675	
			リセット信号発生タイミング (LVIOFF = 1)	低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください (第22章 低電圧検出回路を参照)。	p.677	
			リセット信号発生タイミング (LVIOFF = 0)	低電圧検出回路をデフォルトの設定から変更する場合は、リセット解除後にソフトウェアで設定してください (第22章 低電圧検出回路を参照)。	p.678	
			パワーオン・クリア回路の注意事項	電源電圧 (V_{DD}) がPOC検出電圧 (V_{POC}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態/リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。	p.679	
第22章	ソフト	低電圧検出回路	LVIM:低電圧検出レジスタ	LVIを停止する場合は、次のいずれかの手順を行ってください。 ・8ビット・メモリ操作命令の場合: LVIMに "00H" を書き込む ・1ビット・メモリ操作命令の場合: LVIONをクリア (0)	p.684	
				外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。	p.684	
	ハード			LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIF = 1となることがあります。	p.684	
				LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIF = 1となることがあります。	p.684	
	ソフト			LVIS:低電圧検出レベル選択レジスタ	ビット7-4には必ず "0" を設定してください。 LVISの値を変更する場合は、次のいずれかの方法で行ってください。 ・LVIを停止させて変更する場合 LVIを停止する (LVION = 0)。 LVISレジスタを変更する。 割り込みとして使用 (LVIMD = 0) モードにする。 LVIの割り込みをマスクする (LVIMK = 1)。 LVIを動作許可する (LVION = 1)。 LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVI動作許可時にLVIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。 ・割り込みとして使用 (LVIMD = 0) モードに設定して変更する場合 LVIの割り込みをマスクする (LVIMK = 1)。 割り込みとして使用 (LVIMD = 0) モードにする LVISレジスタを変更する。 LVIの割り込みマスクを解除する (LVIMK = 0) 場合は、LVISレジスタ変更時にLVIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。	p.684, p.685
				外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。	p.685	
	ソフト			リセットとして使用 (電源電圧 (V_{DD}) のレベルを検出の場合) (LVIOFF = 1)	は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。 LVIMD = 1とした時点で、「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」であれば内部リセット信号は発生しません。	p.687, p.687
				リセットとして使用 (電源電圧 (V_{DD}) のレベルを検出の場合) (LVIOFF = 0)	LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止 (LVIMレジスタのビット7 (LVION) = 0) に設定した場合には、次の動作となります。 ・LVION = 0の期間は低電圧検出しません。 ・LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。これはLVIが検出するパルス幅が最大200 μs 必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。	p.689

章	分類	機能	機能の詳細	注意事項	頁
第22章	ソフト	低電圧検出回路	リセットとして使用(外部入力端子からの入力電圧(EXLVI)のレベルを検出の場合)	は必ず行ってください。LVIMK = 0になっている場合、の処理を行った時点で割り込みが発生する場合があります。	p.691
				LVIMD = 1とした時点で、「外部入力端子からの入力電圧(EXLVI) 検出電圧(V _{EXLVI}) = 1.21 V (TYP.)」であれば内部リセット信号は発生しません。	p.691
	ハード		外部入力端子からの入力電圧(EXLVI)は、EXLVI < V _{DD} でなければなりません。	p.691	
	ソフト	割り込みとして使用(電源電圧(V _{DD})のレベルを検出の場合)(LVIOFF = 0)	LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止(LVIMレジスタのビット7(LVION) = 0)に設定した場合には、次の動作となります。	p.695	
			・LVION = 0の期間は低電圧検出しません。 ・LVION = 0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION = 1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。これはLVIが検出するパルス幅が最大200 μs必要なのに対し、リセット発生によってLVION = 1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。	p.695	
ハード		外部入力端子からの入力電圧(EXLVI)は、EXLVI < V _{DD} でなければなりません。	p.697		
ソフト		低電圧検出回路の注意事項	電源電圧(V _{DD})がLVI検出電圧(V _{LVI})付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。 動作例1：リセットとして使用する場合 リセット状態/リセット解除状態を繰り返すことがあります。 次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。 <処置> リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください(図22-11を参照)。 動作例2：割り込みとして使用する場合 割り込み要求が頻繁に発生することがあります。 次の処置を行うようにしてください。 <処置> LVI割り込みの処理ルーチン内で、低電圧検出レジスタ(LVIM)のビット0(LVIF)にて、立ち下がりを検出する場合は「電源電圧(V _{DD}) 検出電圧(V _{LVI})」を、立ち上がりを検出する場合は「電源電圧(V _{DD}) < 検出電圧(V _{LVI})」を確認し、割り込み要求フラグ・レジスタ0L(IF0L)のビット1(LVIF)をクリア(0)してください。 また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウエイトしたあとにこれらの処置を行ってください。	p.699-702	
ハード			電源電圧(V _{DD}) < LVI検出電圧(V _{LVI})になってから、LVIリセットが発生するまでには遅延が生じます。 同じようにLVI検出電圧(V _{LVI}) 電源電圧(V _{DD})になってから、LVIリセットが解除されるまでにも遅延が生じます(図22-12参照)。 LVIリセットが解除されてから、通常動作までのリセット処理時間は、図21-2(2)電源立ち上げ時のLVIがONの場合(オプション・バイト：LVIOFF = 0)のタイミングを参照してください。	p.702	

章	分類	機能	機能の詳細	注意事項	頁
第23章	ソフト	レギュレータ	RMC: レギュレータ・モード制御レジスタ	RMCレジスタは、低消費電力モード時(表23-1参照)でのみ書き換えが可能です。つまり、サブシステム・クロック(f_{xt})でCPU動作中で、高速システム・クロック(f_{mx})と高速内蔵発振クロック(f_{ih})が共に停止している状態で書き換えを行ってください。	p.703
				低消費電力モード固定の設定で使用する場合は、以下の場合にかぎり使用可能です。 < CPUクロックにX1クロック選択時 > f_x 5 MHzかつ f_{clk} 5 MHz < CPUクロックに高速内蔵発振クロック, 外部入力クロック, サブシステム・クロック選択時 > f_{clk} 5 MHz	p.703
				低消費電力モード時は、セルフ・プログラミング機能を使用禁止です。	p.703
第24章	ソフト	オプション・バイト	-	000C2H(ブート・スワップ使用時は000C2H/010C2H)には、必ずFFHを設定してください。	p.705
			000C0H/010C0H	ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。	p.705
			000C1H/010C1H	ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。	p.705
			000C2H/010C2H	ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。	p.705
			000C3H/010C3H	ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。	p.706
			000C0H/010C0H	フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウィンドウ・サイズを設定してください。	p.707
			000C1H/010C1H	ビット7-1には、必ず1を書き込んでください。	p.707
				LVIデフォルト・スタート機能使用時でも、ソフトウェアでLVI動作禁止(LVIMレジスタのビット7(LVION)=0)に設定した場合には、次の動作となります。 ・LVION=0の期間は低電圧検出しない。 ・LVION=0の期間にリセットが発生した場合、リセット解除後にCPUがスタートするとLVION=1に再設定されます。しかし、WDTによるリセットと不正命令の実行によるリセットが発生した場合は、正常に低電圧検出できない期間があります。これはLVIが検出するパルス幅が最大200 μ s必要なのに対し、リセット発生によってLVION=1に設定されて、LVIの動作安定を待たずにCPUが動作を開始するためです。	p.707
			000C3H/010C3H	ビット7, 0(OCDENSET, OCDERSD)のみ、値を指定できます。 ビット6-1には、必ず000010Bを書き込んでください。	p.708
			オプション・バイトの設定	オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H~010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。	p.709
第25章	ハード	フラッシュ・メモリ	セキュリティの設定	一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。 また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。	p.721
			セルフ書き込みによるフラッシュ・メモリ・プログラミング	CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。	p.724
	ソフト		セルフ・プログラミング時は、セルフ・プログラミング・スタート・ライブラリ(FlashStart)を呼び出してください。	p.724	

章	分類	機能	機能の詳細	注意事項	頁
第25章	ソフト	フラッシュ・メモリ	セルフ書き込みによるフラッシュ・メモリ・プログラミング	セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でセルフ・プログラミング・ライブラリを実行してください。 割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミング・ライブラリを実行してください。	p.724
				低消費電流モード時は、セルフ・プログラミング機能は使用できません。低消費電流モードについては、第23章 レギュレータを参照してください。	p.724
				セルフ・プログラミング・ライブラリ関数の実行中は、DMA動作を禁止(DENn=0)してください。	p.724
				フラッシュ・シールド・ウインドウ機能	フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。
第26章	ハード	オンチップ・デバッグ機能	QB-MINI2と78K0R/KG3の接続	78K0R/KG3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過する可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.729
				2線モードで通信を行う場合、TOOL1端子からCPUクロック周波数の1/2のクロックが出力されます。そのクロックにより、電源に多少の揺れが生じた場合は、対策として抵抗やビーズ・フェライト等などの使用が有効です。	p.729
第27章	ソフト	10進補正(BCD)回路	加算	BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、 の命令のあとは、他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW(CYフラグ,ACフラグ)は、RETI命令によって復帰されます。	p.733
			減算	BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、 の命令のあとは、他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW(CYフラグ,ACフラグ)は、RETI命令によって復帰されます。	p.734
第28章	ソフト	命令セットの概要	PREFIX命令	ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。	p.738
第29章	ハード	電気的特性(標準品)	-	78K0R/KG3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超過する可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.756
			絶対最大定格	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。	p.756, 757
			X1発振回路特性	X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.758
				リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。	p.758

章	分類	機能	機能の詳細	注意事項	頁
第29章	ハード	電気的特性 (標準品)	XT1発振回路特性	XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.760
				XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。	p.760
		推奨発振回路定数	この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上で評価を発振子メーカーに依頼してください。 その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。 また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。	p.761, 762, 763	
				この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上で評価を発振子メーカーに依頼してください。 その際、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。 また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。	p.764
		DC特性	P02-P04, P43, P45, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。	p.765	
			P02-P04, P43, P45, P142-P144は、N-chオープン・ドレイン・モード時でもV _{IH} の最大値 (MAX.) はV _{DD} です。	p.767	
			P122/EXCLKは、入力ポート・モードと外部クロック・モードとで、V _{IH} , V _{IL} の値が異なります。外部クロック入力モード時は、EXCLKのDC特性を満たしてください。	p.767	
		外部バス・インタフェース	CLKOUT非同期ではCLKOUT出力は使用しませんが、メモリ拡張モード制御レジスタ (MEM) のビット4, 5 (EW0, EW1) の設定によって、CPUはウエイトが発生します。fCLKが高速の場合は、EW0, EW1ビットの設定で、ウエイトを挿入してください。	p.789	
			CLKOUT非同期では、WAIT端子は使用しないでください。 CLKOUT非同期では、セバレート・パス・モードを使用してください。	p.789	
		ソフト	同電位通信時 (UARTモード) (専用ポーレート・ジェネレータ出力)	PIMgレジスタとPOMgレジスタで、RxDiは通常入力バッファ、TxDiは通常出力モードを選択。	p.791
同電位通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)	PIMgレジスタとPOMgレジスタで、Sljは通常入力バッファ、SOjとSCKjは通常出力モードを選択。		p.792		
同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)	PIMgレジスタとPOMgレジスタで、SljとSCKjは通常入力バッファ、SOjは通常出力モードを選択。		p.793		
同電位通信時 (簡易I ² Cモード)	PIMgレジスタとPOMgレジスタで、SDArは通常入力バッファ、N-chオープン・ドレイン出力 (V _{DD} 耐圧) モードを選択、SCLrは通常出力モードを選択。		p.796		

章	分類	機能	機能の詳細	注意事項	頁
第29章	ソット	電気的特性 (標準品)	異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ボーレート・ジェネレータ出力)	PiMgレジスタとPOMgレジスタで, RxDqはTTL入力バッファ, TxDqはN-chオープン・ドレイン出力 (V _{DD} 耐圧) モードを選択。	p.797 798, 799
			異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, SCKp...内部クロック出力)	PiMgレジスタとPOMgレジスタで, SlpはTTL入力バッファ, SOpとSCKpはN-chオープン・ドレイン出力 (V _{DD} 耐圧) モードを選択。	p.800, 801, 802
			異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力)	PiMgレジスタとPOMgレジスタで, SlpとSCKpはTTL入力バッファ, SOpはN-chオープン・ドレイン出力 (V _{DD} 耐圧) モードを選択。	p.803, 805
			異電位 (2.5 V系, 3 V系) 通信時 (簡易I ² Cモード)	PiMgレジスタとPOMgレジスタで, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V _{DD} 耐圧) モードを選択, SCLrはN-chオープン・ドレイン出力 (V _{DD} 耐圧) モードを選択。	p.806, 807
第30章	ハード	電気的特性 (A) 水準品)	-	78K0R/KG3には開発 / 評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。	p.817
			絶対最大定格	各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。	p.817, 818
			X1発振回路特性	X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.819
			XT1発振回路特性	リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。	p.819
			XT1発振回路特性	XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.821
			XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がX1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。	p.821	

章	分類	機能	機能の詳細	注意事項	頁	
第30章	ハードウェア	電気的特性 (A) 水準品)	推奨発振回路定数	この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路での評価を発振子メーカーに依頼してください。 その際、AMPHビット、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。 また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。	p.822, 823, 824	
				この発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路での評価を発振子メーカーに依頼してください。 その際、RMCレジスタ、STOPモードへの移行/解除を使用する条件にて評価してください。 また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、78K0R/KG3の内部動作条件についてはDC、AC特性の規格内で使用してください。	p.825	
		DC特性		P02-P04, P43, P45, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。	p.826	
				P02-P04, P43, P45, P142-P144は、N-chオープン・ドレイン・モード時でもV _{IH} の最大値(MAX.)はV _{DD} です。	p.828	
				P122/EXCLKIは、入力ポート・モードと外部クロック・モードとで、V _{IH} , V _{IL} の値が異なります。外部クロック入力モード時は、EXCLKのDC特性を満たしてください。	p.828	
		外部バス・インタフェース		CLKOUT非同期ではCLKOUT出力は使用しませんが、メモリ拡張モード制御レジスタ(MEM)のビット4, 5(EW0, EW1)の設定によって、CPUはウエイトが発生します。f _{CLK} が高速の場合は、EW0, EW1ビットの設定で、ウエイトを挿入してください。	p.849	
				CLKOUT非同期では、WAIT端子は使用しないでください。 CLKOUT非同期では、セパレート・バス・モードを使用してください。	p.849	
		ソフトウェア		同電位通信時(UARTモード)(専用ポート・レート・ジェネレータ出力)	PIMgレジスタとPOMgレジスタで、RxDiは通常入力バッファ、TxDiは通常出力モードを選択。	p.851
					PIMgレジスタとPOMgレジスタで、S _{Ij} は通常入力バッファ、S _{Oj} とS _{CKj} は通常出力モードを選択。	p.852
					PIMgレジスタとPOMgレジスタで、S _{Ij} とS _{CKj} は通常入力バッファ、S _{Oj} は通常出力モードを選択。	p.853
					PIMgレジスタとPOMgレジスタで、SDArは通常入力バッファ、N-chオープン・ドレイン出力(V _{DD} 耐圧)モードを選択、SCLrは通常出力モードを選択。	p.856
					PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力(V _{DD} 耐圧)モードを選択。	p.857, 858, 859
PIMgレジスタとPOMgレジスタで、S _{Ip} はTTL入力バッファ、S _{Op} とS _{CKp} はN-chオープン・ドレイン出力(V _{DD} 耐圧)モードを選択。	p.860, 861, 862					
異電位(2.5V系, 3V系)通信時(UARTモード)(専用ポート・レート・ジェネレータ出力)					PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力(V _{DD} 耐圧)モードを選択。	p.857, 858, 859
					PIMgレジスタとPOMgレジスタで、S _{Ip} はTTL入力バッファ、S _{Op} とS _{CKp} はN-chオープン・ドレイン出力(V _{DD} 耐圧)モードを選択。	p.860, 861, 862

章	分類	機能	機能の詳細	注意事項	頁
第30章	ソフト	電気的特性 ((A) 水準品)	異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, \overline{SCKp} ...外部クロック入力)	PIMgレジスタとPOMgレジスタで, Slpと \overline{SCKp} はTTL入力バッファ, SOPはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。	p.863, 865
			異電位 (2.5 V系, 3 V系) 通信時 (簡易I ² Cモード)	PIMgレジスタとPOMgレジスタで, SDArはTTL入力バッファ, N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択, SCLrはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。	p.866, 867
第32章	ハード	半田付け推奨条件	-	推奨条件以外の半田付け方式および半田付け条件については, 当社販売員にお問い合わせください。	p.878
				半田付け方式の併用はお避けください (ただし, 端子部分加熱方式は除く) 。	p.878, 879

付録C 改版履歴

C.1 本版で改訂された主な箇所

(1/4)

箇所	内容	分類
全般		
-	拡張規格品の(A) 水準品の開発中 量産中	(b)
第1章 概 説		
p.18	1.1 従来規格品 (μ PD78F116x) と拡張規格品 (μ PD78F116xA) の違いを変更	(c)
第3章 CPUアーキテクチャ		
p.63	表3 - 2 内部ROM容量を変更	(a)
pp.68-74	図3 - 9から図3 - 15 データ・メモリとアドレッシングの対応を変更	(c)
p.76	3.2.1 (3) スタック・ポインタ (SP) に注意を追加	(c)
第4章 ポート機能		
p.139	図4 - 30 P110, P111のブロック図を変更	(c)
第5章 外部バス・インタフェース		
p.191	5.6 外部ウエイトによる命令ウエイト数を追加	(c)
第6章 クロック発生回路		
pp.189, 190	図6 - 1 クロック発生回路のブロック図と備考にf _{MAINC} を追加	(c)
p.191	図6 - 2 クロック動作モード制御レジスタ (CMC) のフォーマットのAMPHビットの説明を変更	(c)
p.199	図6 - 7 周辺イネーブル・レジスタのフォーマット (1/2) のRTCENビットの説明を変更	(c)
p.201	図6 - 8 動作スピード・モード制御レジスタ (OSMC) のフォーマットの注意を変更, 追加	(c)
p.220	表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (1/4) (2) のAMPHビットの説明を変更, 備考を追加	(c)
p.221	表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (2/4) (4) のAMPHビットの説明を変更, 備考を追加	(c)
p.223	表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (4/4) (9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行を変更	(c)
p.223	表6 - 4 CPUクロックの移行とSFRレジスタの設定例 (4/4) (11) を変更	(c)
p.226	表6 - 6 メイン・システム・クロックの切り替えに要する最大時間を変更	(c)
p.226	表6 - 8 タイプ2で要する最大クロック数を変更	(c)
p.227	表6 - 9 タイプ3で要する最大クロック数を変更, 備考を追加	(c)
第7章 タイマ・アレイ・ユニット		
p.231	図7 - 1 タイマ・アレイ・ユニットのブロック図を変更	(c)
p.238	図7 - 6 タイマ・モード・レジスタ0n (TMR0n) のフォーマット (1/3) のCKS0nビットの説明を変更	(a)
p.246	図7 - 13 スタート・タイミング (ワンカウント・モード時) を変更	(a)
p.247	図7 - 14 スタート・タイミング (キャプチャ&ワンカウント・モード時) を変更	(a)
p.253	図7 - 21 入力切り替え制御レジスタ (ISC) のフォーマットのISC1, ISC0ビットの説明を変更	(a)
第8章 リアルタイム・カウンタ		
p.309	表8 - 1 リアルタイム・カウンタの構成を変更	(c)
p.311	8.3 リアルタイム・カウンタを制御するレジスタを変更	(c)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
- (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

箇所	内容	分類
第8章 リアルタイム・カウンタ(続き)		
p.313	図8-3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマットのAMPMビットの説明を変更	(c)
p.318	8.3(7) 分カウンタ・レジスタ (MIN) の説明を変更	(c)
p.318	8.3(8) 時カウンタ・レジスタ (HOUR) の説明を変更	(c)
p.322	図8-14 時計誤差補正レジスタ (SUBCUD) のフォーマットのDEVビットの説明を追加	(c)
p.324	8.3(17) ポート・モード・レジスタ1, 3 (PM1, PM3) を追加	(c)
p.325	図8-19 リアルタイム・カウンタの動作開始手順を変更, 注を追加	(c)
p.330	8.4.5 リアルタイム・カウンタの1 Hz出力に注意を追加	(c)
p.330	8.4.6 リアルタイム・カウンタの32.768 kHz出力を変更	(c)
p.330	8.4.7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力を変更	(c)
第10章 クロック出力/ブザー出力制御回路		
p.347	10.4.1 出力端子の動作の備考を変更	(c)
p.347	図10-4 リモコン出力応用例を変更	(c)
第11章 A/Dコンバータ		
p.352	表11-2 ADCSとADCEの設定を変更	(c)
p.352	図11-5 A/D電圧コンパレータ使用時のタイミング・チャートを変更	(c)
p.376	11.7(2) A/Dコンバータの停止時の電流低減についてを変更	(c)
p.379	11.7(13) A/Dコンバータの動作開始についてを追加	(c)
第12章 D/Aコンバータ		
p.387	12.4.3 使用上の注意点(1)を変更	(c)
p.387	12.4.3 使用上の注意点(7)を変更	(c)
第13章 シリアル・アレイ・ユニット		
p.400	図13-6 シリアル・モード・レジスタmn (SMRmn) のフォーマット(2/2)のMDmn0ビットを変更	(c)
p.402	図13-7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマット(2/2)に注を追加	(c)
p.403	図13-8 シリアル・データ・レジスタmn (SDRmn) のフォーマットに注意を追加	(c)
p.413	図13-17 入力切り替え制御レジスタ (ISC) のフォーマットのISC1, ISC0ビットの説明を変更	(a)
p.428	13.5.2 マスタ受信の割り込みを変更	(c)
p.429	図13-32 3線シリアル/O (CSI00, CSI01, CSI10, CSI20) のマスタ受信時のレジスタ設定内容例を変更	(c)
p.431	図13-35 マスタ受信の再開設定手順を変更	(c)
p.433	図13-37 マスタ受信 (シングル受信モード時) のフロー・チャートを変更	(c)
p.434	図13-38 マスタ受信 (連続受信モード時) のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0) を追加	(c)
p.435	図13-39 マスタ受信 (連続受信モード時) のフロー・チャートを追加	(c)
p.447	図13-51 スレーブ送信の再開設定手順を変更	(b)
p.449	図13-53 スレーブ送信 (シングル送信モード時) のフロー・チャートを変更	(c)
p.451	図13-55 スレーブ送信 (連続送信モード時) のフロー・チャートを変更	(c)
p.453	図13-56 3線シリアル/O (CSI00, CSI01, CSI10, CSI20) のスレーブ受信時のレジスタ設定内容例を変更	(c)
p.455	図13-59 スレーブ受信の再開設定手順を変更	(c)
p.457	図13-61 スレーブ受信 (シングル受信モード時) のフロー・チャートを変更	(c)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更, (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

箇所	内容	分類
第13章 シリアル・アレイ・ユニット (続き)		
p.459	図13 - 62 3線シリアル/O (CSI00, CSI01, CSI10, CSI20)のスレーブ送受信時のレジスタ設定内容例に注意を追加	(c)
p.460	図13 - 63 スレーブ送受信の初期設定手順に注意を追加	(c)
p.461	図13 - 65 スレーブ送受信の再開設定手順を変更	(c)
p.463	図13 - 67 スレーブ送受信 (シングル送受信モード時)のフロー・チャートを変更	(c)
p.465	図13 - 69 スレーブ送受信 (連続送受信モード時)のフロー・チャートを変更	(c)
p.479	図13 - 79 UART (UART0, UART1, UART2, UART3)のUART受信時のレジスタ設定内容例を変更	(c)
p.481	図13 - 82 UART受信の再開設定手順を変更	(c)
p.483	図13 - 84 UART受信のフロー・チャートを変更	(c)
p.497	13.7 簡易 ² C (IIC10, IIC20)通信の動作を変更	(c)
p.498	13.7.1 アドレス・フィールド送信の転送レートを変更	(b)
p.503	13.7.2 データ送信の転送レートを変更	(b)
p.506	13.7.3 データ受信のエラー検出フラグと転送レートを変更	(b)
p.511	13.7.5 転送レートの算出に注意を追加	(c)
p.511	13.7.5 転送レートの算出の備考を変更	(c)
p.514	図13 - 105 オーバラン・エラー発生時の処理手順を追加	(c)
第14章 シリアル・インタフェースIIC0		
p.532	図14 - 6 IICコントロール・レジスタ0 (IIC0)のフォーマット (3/4)のSTT0ビットの説明を変更	(c)
第16章 DMAコントローラ		
p.605	図16 - 4 DMAモード・コントロール・レジスタn (DMCn)のフォーマット (1/2)に注を追加	(c)
p.610	16.5.1 CSI連続送信の説明を変更	(c)
p.611	図16 - 7 CSI連続送信の設定例の説明を変更	(c)
pp.612, 613	16.5.2 CSIマスタ受信を追加	(c)
pp.614, 615	16.5.3 CSI送受信を追加	(c)
p.620	16.5.6 DWAITnによるDMA転送保留の説明を変更	(c)
p.620	図16 - 12 DWAITnによるDMA転送保留の設定例に注意を追加	(c)
pp.621, 622	16.5.7 ソフトウェアでの強制終了を変更	(c)
p.623	16.6 DMAコントローラの注意事項 (1) DMAの優先順位を変更	(c)
p.624	16.6 DMAコントローラの注意事項 (2) DMA応答時間を変更	(c)
p.625	16.6 DMAコントローラの注意事項 (4) DMA保留命令の説明を変更	(c)
第17章 割り込み機能		
p.630	図17 - 1 割り込み機能の基本構成 (B) 外部マスカブル割り込み (INTPn)を変更	(c)
p.631	図17 - 1 割り込み機能の基本構成 (C) 外部マスカブル割り込み (INTKR)を追加	(c)
p.648	17.4.4 割り込み要求の保留に命令を追加	(c)
第18章 キー割り込み機能		
p.649	表18 - 2 キー割り込みの構成を変更	(c)
p.650	18.3 (2) ポート・モード・レジスタ (PM7)を追加	(c)
第27章 10進補正 (BCD) 回路		
p.733	27.3 10進補正回路の動作を変更	(a)
第28章 命令セットの概要		
p.738	28.1.4 PREFIX命令の説明を変更	(c)
p.754	表28 - 5 オペレーション一覧 (16/17)のBT命令のクロック欄を変更	(c)
p.755	表28 - 5 オペレーション一覧 (17/17)のBF命令のクロック欄を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

箇所	内容	分類
第29章 電気的特性 (標準品)		
p.758	X1発振回路特性の備考を削除	(a)
p.760	XT1発振回路特性の備考を削除	(a)
pp.761, 763, 764	推奨発振回路定数の注意を変更	(c)
pp.762, 763	推奨発振回路定数に京セラキンセキ株式会社を追加	(c)
pp.771-779	DC特性の電源電流に備考を追加	(c)
p.792	シリアル・インタフェース: シリアル・アレイ・ユニットの (b) 同電位通信時 (CSIモード) (マスター・モード, SCKp...内部クロック出力) を変更	(b)
p.793	シリアル・インタフェース: シリアル・アレイ・ユニットの (c) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力) を変更	(b)
p.795	シリアル・インタフェース: シリアル・アレイ・ユニットの (d) 同電位通信時 (簡易I ² Cモード) に注を追加	(c)
pp.800, 801	シリアル・インタフェース: シリアル・アレイ・ユニットの (f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスター・モード, SCKp...内部クロック出力) を変更	(b)
p.803	シリアル・インタフェース: シリアル・アレイ・ユニットの (g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力) を変更	(b)
p.806	シリアル・インタフェース: シリアル・アレイ・ユニットの (h) 異電位 (2.5 V系, 3 V系) 通信時 (簡易I ² Cモード) に注を追加	(b)
p.816	フラッシュ・メモリ・プログラミング特性の拡張規格品の書き換え回数を変更	(c)
第30章 電気的特性 (A) 水準品		
全般	(ターゲット) を削除	(d)
p.819	X1発振回路特性の備考を削除	(a)
p.821	XT1発振回路特性の備考を削除	(a)
pp.822, 824, 825	推奨発振回路定数の注意を変更	(c)
pp.823, 824	推奨発振回路定数に京セラキンセキ株式会社を追加	(c)
pp.832-840	DC特性の電源電流に備考を追加	(c)
p.852	シリアル・インタフェース: シリアル・アレイ・ユニットの (b) 同電位通信時 (CSIモード) (マスター・モード, SCKp...内部クロック出力) を変更	(b)
p.853	シリアル・インタフェース: シリアル・アレイ・ユニットの (c) 同電位通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力) を変更	(b)
p.855	シリアル・インタフェース: シリアル・アレイ・ユニットの (d) 同電位通信時 (簡易I ² Cモード) に注を追加	(c)
pp.860, 861	シリアル・インタフェース: シリアル・アレイ・ユニットの (f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスター・モード, SCKp...内部クロック出力) を変更	(b)
p.863	シリアル・インタフェース: シリアル・アレイ・ユニットの (g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, SCKp...外部クロック入力) を変更	(b)
p.866	シリアル・インタフェース: シリアル・アレイ・ユニットの (h) 異電位 (2.5 V系, 3 V系) 通信時 (簡易I ² Cモード) に注を追加	(b)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様 (スペック含む) の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

C.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/22)

版 数	内 容	適用箇所
第2版	ROM, RAM容量に μ PD78F1167と μ PD78F1168を追加	第1章 概 説
	1.3 オータ情報を変更	
	1.6 機能概要に μ PD78F1167と μ PD78F1168を追加	第2章 端子機能
	2.2.5(2)(c) TOOL1に説明を追加	
	表2-2 各端子の未使用端子処理のP121-P124の説明を変更	第3章 CPUアーキテクチャ
	図3-5 メモリ・マップ(μ PD78F1166)から旧版の注2を削除	
	図3-6 メモリ・マップ(μ PD78F1167)を追加	
	図3-7 メモリ・マップ(μ PD78F1168)を追加	
	表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応にブロック番号00H-FFHを追加	
	表3-2 内部RAM容量に μ PD78F1167, μ PD78F1168を追加	
	3.1.2 ミラー領域の説明に μ PD78F1167, μ PD78F1168を追加	
	表3-4 内部RAM容量に μ PD78F1167, μ PD78F1168を追加	
	図3-12 データ・メモリとアドレッシングの対応(μ PD78F1166)を追加	
	図3-13 データ・メモリとアドレッシングの対応(μ PD78F1167)を追加	
	図3-14 データ・メモリとアドレッシングの対応(μ PD78F1168)を追加	
	表3-6 拡張SFR(2nd SFR)一覧にシリアル出力レベル・レジスタ0,1を追加	第4章 ポート機能
	4.2.2 ポート1に注意3を追加	
	4.2.3 ポート2に説明を追加	
	4.2.5 ポート4に注意を追加	
	4.2.6 ポート5に説明を追加	
	4.2.9 ポート8に注意を追加	
	4.2.11 ポート12に説明を追加	
	4.3(2) ポート・レジスタ(P0-P8, P11-P15)に注を追加	
	4.3(3) ブルアップ抵抗オプション・レジスタ(PU0, PU1, PU3-PU8, PU12-PU14)に注を追加	
	図5-1 外部バス・インタフェース機能使用時のメモリ・マップに(f) μ PD78F1167のメモリ・マップと(g) μ PD78F1168のメモリ・マップを追加,注を変更	
	6.3(5) システム・クロック制御レジスタ(CKC)と6.6.1(3)高速システム・クロックをCPU/周辺ハードウェア・クロックとして使用する場合の設定手順例のCPU/周辺ハードウェア・クロック(f_{CLK})の選択の設定内容を変更	第6章 クロック発生回路
	6.3(8) 高速内蔵発振器トリミング・レジスタ(HIOTRM)に説明を追加	
図6-14 CPUクロック状態移行図を変更,注と備考を追加		
6.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間に表6-6から表6-9を追加	第7章 タイマ・アレイ・ユニット	
タイマ・モード・レジスタ00(TMR00)のビット名を変更(第7章全般)		
7.3(14) ノイズ・フィルタ許可レジスタ1(NFEN1)に説明を追加		

版 数	内 容	適用箇所
第2版	8. 3 (4) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) の注意を変更, 備考を追加	第8章 リアルタイム・カウンタ
	9. 4. 1 ウォッチドッグ・タイマの動作制御の注意4, 5を変更	第9章 ウォッチドッグ・タイマ
	表9-3 ウォッチドッグ・タイマのオーバフロー時間の設定の注意を変更	
	表9-4 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定の注意1を変更	
	9. 4. 4 ウォッチドッグ・タイマのインターバル割り込みの設定に注意を追加	
	図11-9 アナログ入力チャンネル指定レジスタ (ADS) のフォーマットのANI1の箇所の設定内容を変更	第11章 A/Dコンバータ
	レジスタ設定, 操作手順, 処理フローの図を変更 (第13章全般)	第13章 シリアル・アレイ・ユニット
	13. 1. 1 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) と13. 4 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信の動作の [割り込み機能] にバッファ空き割り込みを追加, [エラー検出フラグ] を追加	
	13. 1. 2 UART (UART0, UART1, UART2, UART3) と13. 5 UART (UART0, UART1, UART2, UART3) 通信動作の [データ送受信] に5ビットのデータ長, 送受信データの反転の選択を追加, [割り込み機能] にバッファ空き割り込みを追加, [エラー検出フラグ] を追加	
	13. 1. 3 簡易I ² C (IIC10, IIC20) と13. 6 簡易I ² C (IIC10, IIC20) 通信の動作に [エラー検出フラグ] を追加	
	表13-1 シリアル・アレイ・ユニットの構成にシリアル出力レベル・レジスタm (SOLm) を追加	
	図13-1 シリアル・アレイ・ユニット0のブロック図と図13-2 シリアル・アレイ・ユニット1のブロック図にシリアル出力レベル・レジスタ0, 1 (SOL0, 1) を追加	
	13. 2 (2) シリアル・データ・レジスタmn (SDRmn) の下位8ビットに5ビットのデータ長の説明を追加	
	13. 3 シリアル・アレイ・ユニットを制御するレジスタにシリアル出力レベル・レジスタm (SOLm) を追加	
	13. 3 (1) 周辺イネーブル・レジスタ0 (PER0) の注意を変更, 追加	
	13. 3 (2) 周辺イネーブル・レジスタ0 (SPSm) に注意を追加	
	13. 3 (3) シリアル・モード・レジスタmn (SMRmn) に説明を追加	
	図13-6 シリアル・モード・レジスタmn (SMRmn) のフォーマットにSISmn0ビットの説明を追加	
	図13-7 シリアル通信動作設定レジスタmn (SCRmn) のフォーマットを変更	
	13. 3 (5) シリアル・データ・レジスタmn (SDRmn) の上位7ビットに説明を追加	
	図13-8 シリアル・データ・レジスタmn (SDRmn) のフォーマットに注意2を追加	
	図13-9 シリアル・ステータス・レジスタmn (SSRmn) のフォーマットを変更	
13. 3 (8) シリアル・チャンネル許可ステータス・レジスタm (SEm) に説明を追加		
図13-11 シリアル・チャンネル許可ステータス・レジスタm (SEm) のフォーマットを変更		

版 数	内 容	適用箇所
第2版	図13 - 13 シリアル・チャンネル停止レジスタm (STm) のフォーマットを変更	第13章 シリアル・アレイ・ユニット
	13. 3 (11) シリアル出力許可レジスタm (SOEm) に説明を追加	
	13. 3 (12) シリアル出力レジスタm (SOm) に説明を追加	
	13. 3 (13) シリアル出力レベル・レジスタm (SOLm) を追加	
	13. 3 (15) ノイズ・フィルタ許可レジスタ0 (NFEN0) に説明を追加	
	13. 4. 1 マスタ送信にエラー検出フラグを追加, 転送レートを変更	
	図13 - 28 マスタ送信(連続送信モード時)のタイミング・チャートにMDmn0ビットを追加, INTCSIpを変更, 注意を追加	
	13. 4. 2 マスタ受信にエラー検出フラグを追加, 転送レートを変更	
	13. 4. 3 マスタ送受信にエラー検出フラグを追加, 割り込み, 転送レートを変更	
	図13 - 42 マスタ送受信(連続送受信モード時)のタイミング・チャートにMDmn0ビットを追加, INTCSIpを変更, 注意を追加	
	13. 4. 4 スレーブ送信にエラー検出フラグを追加, 転送レートを変更	
	図13 - 50 スレーブ送信(連続送信モード時)のタイミング・チャートにMDmn0ビットを追加, INTCSIpを変更, 注意を追加	
	13. 4. 5 スレーブ受信にエラー検出フラグを追加, 転送レートを変更	
	13. 4. 6 スレーブ送受信にエラー検出フラグを追加, 割り込み, 転送レートを変更	
	図13 - 64 スレーブ送受信(連続送受信モード時)のタイミング・チャートにMDmn0ビットを追加, INTCSIpを変更, 注意を追加	
	13. 4. 7 (1) マスタの場合の式を変更	
	13. 4. 7 (2) スレーブの場合に注を追加	
	13. 5. 1 UART送信と13. 5. 2 UART受信にエラー検出フラグを追加, 転送レート, データ位相を変更	
	図13 - 72 UART送信(連続送信モード時)のタイミング・チャートにMDmn0ビットを追加, INTCSIpを変更, 注意を追加	
	13. 5. 3 LIN送信と13. 5. 4 LIN受信にエラー割り込み, エラー検出フラグを追加, 転送レート, データ位相を変更	
	13. 5. 5 (1) ボー・レート算出式に注意を追加	
	13. 6. 1 アドレス・フィールド送信と13. 6. 2 データ送信と13. 6. 3 データ受信にエラー検出フラグを追加, 転送レートを変更	
	13. 7 エラー発生時の処理手順を追加	
	表14 - 2 選択クロックの設定の転送クロックを変更	第14章 シリアル・インタフェースIIC0
	旧版の14. 3 (7) I ² Cの転送クロックの設定方法を14. 5. 4 転送クロックの設定方法に移動し, スレーブ側の選択クロックの設定の説明を追加	
	表14 - 7 ウェイト時間を変更	
	14. 5. 15 (2) 通信予約機能禁止の場合のウェイト時間を変更, 旧版の表14 - 7を削除	
14. 5. 17 通信動作にフロー・チャートと説明を追加		
図15 - 1 乗算器のブロック図を変更	第15章 乗算器	
15. 3 乗算器の動作を追加		
表19 - 2 STOPモード時の動作状態のD/Aコンバータの動作状態に説明を追加	第19章 スタンバイ機能	

版 数	内 容	適用箇所
第2版	図20 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマットに注意2を追加	第20章 リセット機能
	V _{P0C} の値を変更	第21章 パワーオン・クリア回路
	図22 - 2 低電圧検出レジスタ (LVIM) のフォーマットに注意2を追加	第22章 低電圧検出回路
	図23 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマットの注意を変更	第23章 オプション・バイト
	図23 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマットに説明, 注意2を追加	
	DC特性 ・ハイ・レベル入力電圧 (V _{IH7}) のMIN.値を変更 ・ロウ・レベル入力電圧 (V _{IL7}) のMAX.値を変更 ・ハイ・レベル入力カリーク電流のMAX.値を変更 ・ロウ・レベル入力カリーク電流のMAX.値を変更 ・D/A出力抵抗を追加	第25章 電気的特性 (ターゲット)
	AC特性 ・外部メイン・システム・クロック入力ハイ, ロウ・レベル幅の値を変更 ・TI00-TI07入力ハイ・レベル幅, ロウ・レベル幅 ・TO00-TO07出力周波数を追加 ・PCLBUZ0/1出力周波数を追加 ・図を追加	
	A/Dコンバータ特性を追加	
	D/Aコンバータ特性を追加	
	付録A 改版履歴を追加	付録A 改版履歴
第3版	1. 1 特 徴 ・ μ PD78F1167と μ PD78F1168を計画中に変更 ・10進補正 (BCD) 回路内蔵を追加 ・8ビット分解能D/Aコンバータを追加	第1章 概 説
	1. 4 端子接続図 (Top View) に注意2を追加	
	1. 5 78K0Rマイクロコントローラの製品展開を追加	
	1. 6 ブロック図に10進補正 (BCD) 回路を追加, 外部バス・インタフェースの入出力端子の矢印の向きを変更	
	1. 7 機能概要の μ PD78F1167と μ PD78F1168を計画中に変更	
	2. 1(2)ポート以外の機能のEX25, EX26, SO00, SO01, TxD0, TxD3機能の兼用機能欄を修正	第2章 端子機能
	2. 2. 5 P40-P47 (Port4) の説明に兼用機能を追加, 注意を修正	
	表2 - 2 各端子の未使用端子処理に入出力回路タイプを追加	
	図2 - 1 端子の入出力回路一覧を追加	

版 数	内 容	適用箇所	
第3版	章内のCALLF命令に関する記述削除	第3章 CPUアーキテクチャ	
	3. 1 メモリ空間の説明を変更		
	図3 - 5 メモリ・マップ (μPD78F1166) と図3 - 13 データ・メモリとアドレッシングの対応 (μPD78F1166) に注を追加		
	図3 - 7 メモリ・マップ (μPD78F1168) と図3 - 15 データ・メモリとアドレッシングの対応 (μPD78F1168) の注を変更		
	3. 1. 2 ミラー領域の説明を変更, 図例とPMCレジスタの説明を追加		
	表3 - 5 SFR一覧の時カウント・レジスタとアラーム時レジスタのリセット値を変更		
	表3 - 5 SFR一覧の日カウント・レジスタと月カウント・レジスタのリセット値を変更		
	表3 - 5 SFR一覧のバックグラウンド・イベント・コントロール・レジスタのリセット値を変更		
	表3 - 5 SFR一覧にBCD補正キャリア・レジスタと注を追加		
	表3 - 5 SFR一覧の上位乗算結果格納レジスタと下位乗算結果格納レジスタの略号を変更		
	表3 - 6 拡張SFR (2nd SFR) 一覧にレギュレータ・モード制御レジスタ, BCD補正結果レジスタを追加		
	表3 - 6 拡張SFR (2nd SFR) 一覧のSSRmn, SIRmn, SEm, SSm, STm, SPSm, SOEm, SOLm, TCR0n, TSR0n, TE0, TS0, TT0, TPS0, TO0, TOE0, TOL0, TOM0レジスタの下位8ビットのSFR名称を追加, R/W属性, 操作可能ビット範囲を変更		
	表3 - 6 拡張SFR (2nd SFR) 一覧のシリアル出力レジスタ0, 1のリセット値を変更		
	表3 - 6 拡張SFR (2nd SFR) 一覧のシリアル出力許可レジスタ0, 1のリセット値を変更		
	表3 - 6 拡張SFR (2nd SFR) 一覧のタイマ・カウンタ・レジスタ0nのR/W属性を変更		
	3. 3 命令アドレスのアドレッシングを追加		
	3. 4 処理データ・アドレスに対するアドレッシングを追加		
	4. 2. 1 ポート0 に注意1, 2を追加		第4章 ポート機能
	4. 2. 2 ポート1 に注意1, 2を追加		
	4. 2. 4 ポート3 に注意を追加		
4. 2. 5 ポート4 に注意2, 3を追加			
図4 - 28 P80-P87のブロック図と図4 - 29 P110, P111のブロック図を変更			
4. 2. 12 ポート13 に注意を追加			
4. 2. 13 ポート14 に注意1, 2を追加			
図4 - 39 ポート・モード・レジスタのフォーマットに注意を追加			
4. 3 (2) ポート・レジスタ (P0-P8, P11-P15) の注を変更			
4. 4. 4 異電源 (3V系) 外部デバイスとの接続方法を追加			
図5 - 3 メモリ拡張モード制御レジスタ (MEM) のフォーマットに注を追加	第5章 外部バス・インタフェース		
5. 6 (5) ASTB端子と (6) EX0-EX7, EX8-EX15, EX16-EX23, EX24-EX31端子の説明を変更			
図5 - 9 同期メモリ接続例と図5 - 10 非同期メモリ接続例を変更			

版 数	内 容	適用箇所
第3版	<p>図6-3 クロック動作ステータス制御レジスタ(CSC)のフォーマットに注意3を追加</p> <p>6.3(3) 発振安定時間カウンタ状態レジスタ(OSTC)の説明と注意2を変更</p> <p>図6-4 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマットの注意2を変更</p> <p>図6-5 発振安定時間選択レジスタ(OSTS)のフォーマットの注意5を変更</p> <p>図6-6 システム・クロック制御レジスタ(CKC)のフォーマットの注意3を変更</p> <p>図6-8 動作スピード・モード制御レジスタ(OSMC)のフォーマットの注意1-4を変更</p> <p>図6-14 電源電圧投入時のクロック発生回路の動作(LVIデフォルト・スタート機能停止に設定時(オプション・バイト:LVI0FF=1))と説明を追加</p> <p>図6-15 電源電圧投入時のクロック発生回路の動作(LVIデフォルト・スタート機能動作に設定時(オプション・バイト:LVI0FF=0))と説明を追加</p> <p>6.6.1(1) X1クロックを発振する場合の設定手順例の注意1を変更</p> <p>6.6.1(2) のタイトルのレジスタ名を変更</p> <p>6.6.2(2) を追加</p> <p>6.6.3 サブシステム・クロックの制御例の注意を変更</p> <p>6.6.3(1) サブシステム・クロックを発振する場合の設定手順例の注意を変更</p> <p>6.6.3(2)の サブシステム・クロックをCPUクロックのソース・クロックに設定(CKCレジスタ)のビット名を変更</p> <p>6.6.3(2) サブシステム・クロックをCPUクロックとして使用する場合の設定手順例の注意を変更</p> <p>6.6.3(3) のタイトルのレジスタ名を変更</p> <p>図6-16 CPUクロック状態移行図に(C) (B)への矢印を追加</p> <p>表6-4 CPUクロックの移行とSFRレジスタの設定例の全般を変更</p> <p>表6-5 CPUクロックの移行についてに説明を追加</p> <p>6.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間の説明を変更</p> <p>表6-8 タイプ2で要する最大クロック数の注意を削除</p>	第6章 クロック発生回路
	<p>章内のTIS0n0, TIS0n1ビットをCIS0n0, CIS0n1ビットにビット名を変更(第7章全般)</p> <p>7.1.1 単独チャンネルで動作する機能に説明を追加</p> <p>7.1.2 複数チャンネルで動作する機能に説明を追加</p> <p>7.2(1) タイマ・カウンタ・レジスタ0n(TCR0n)に説明と表を追加</p> <p>7.2(2) タイマ・データ・レジスタ0n(TDR0n)の注意を削除</p> <p>7.3 タイマ・アレイ・ユニットを制御するレジスタのTSR0n, TE0, TS0, TT0, TPS0, TO0, TOE0, TOL0, TOM0レジスタの説明に下位8ビットのSFR名称を追加</p> <p>7.3(2) タイマ・クロック選択レジスタ0(TPS0)に説明を追加</p> <p>図7-6 タイマ・モード・レジスタ0n(TMR0n)のフォーマットの説明を変更, 設定内容を変更</p> <p>図7-9 タイマ・チャンネル開始レジスタ0(TS0)のフォーマットのR/W属性を変更</p> <p>図7-10 タイマ・チャンネル停止レジスタ0(TT0)のフォーマットのR/W属性を変更</p> <p>7.3(9) タイマ出力許可レジスタ0(TOE0)の説明を変更</p> <p>7.3(10) タイマ出力許可レジスタ0(TO0)の説明を変更</p> <p>7.3(11) タイマ出力レベル・レジスタ0(TOL0)の説明を変更</p> <p>図7-16 入力切り替え制御レジスタ(ISC)のフォーマットを変更</p>	第7章 タイマ・アレイ・ユニット

版 数	内 容	適用箇所
第3版	図7 - 20 インターバル・タイマ / 方形波出力としての動作の基本タイミング例を変更	第7章 タイマ・アレイ・ユニット
	7. 5. 4 入力パルス間隔測定としての動作に注意を追加	
	図7 - 31 入力パルス間隔測定としての動作のブロック図を修正	
	7. 5. 5 入力信号のハイ / ロウ・レベル幅測定としての動作に注意を追加	
	7. 6. 1 PWM機能としての動作の説明を変更	
	7. 6 タイマ・アレイ・ユニットの複数チャンネルでの動作 備考を変更	
	図7 - 43 PWM機能時の操作手順の記述を変更	
	図7 - 44 ワンショット・パルス出力機能としての動作のブロック図を修正	
	7. 6. 3 多重PWM出力機能としての動作の説明を変更	第8章 リアルタイム・カウンタ
	図8 - 2 周辺イネーブル・レジスタ0 (PER0) のフォーマットの注意を変更, 備考を追加	
	8. 3 (2) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) の注意を変更	
	8. 3 (3) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) の注意を変更	
	図8 - 4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマットと図8 - 21アラーム設定手順に備考を追加	
	8. 3 (8) 時カウント・レジスタ (HOUR) のリセット値を変更, 説明を追加	
	8. 3 (9) 日カウント・レジスタ (DAY) のリセット値を変更	
	8. 3 (11) 月カウント・レジスタ (MONTH) のリセット値を変更	
	8. 3 (15) アラーム時レジスタ (ALARMWH) のリセット値を変更	第13章 シリアル・アレイ・ユニット
	13. 4 3線シリアルI/O (CSI00, CSI01, CSI10, CSI20) 通信の動作 ~ 13. 6 簡易IIC (IIC10, IIC20) 通信の動作にPER0レジスタ, SPSmレジスタに関する注意を追加 (第13章全般)	
	13. 3 シリアル・アレイ・ユニットを制御するレジスタのSSRmn, SIRmn, SEmn, SSm, STm, SPSm, SOEm, SOLmレジスタの説明に下位8ビットのSFR名称を追加	
	13. 3 シリアル・アレイ・ユニットを制御するレジスタのSIRmn, SSm, STmレジスタのR/W属性を変更	
13. 3 (12) シリアル出力レジスタm (SOm) のリセット値を変更		
図13 - 36の (d) シリアル・モード・レジスタmn (SMRmn) のビット0の設定内容を変更		
13. 6 簡易IIC (IIC10, IIC20) 通信の動作からオーバラン・エラーの記述を削除		
13. 6. 1 アドレス・フィールド送信のエラー検出フラグからオーバラン・エラーの記述を削除		
13. 6. 2 データ送信のエラー検出フラグからオーバラン・エラーの記述を削除		
13. 6. 3 データ受信のエラー検出フラグからオーバラン・エラーの記述を削除		
14. 5. 18 I ² C割り込み要求 (INTIIC0) の発生タイミングを追加	第14章 シリアル・インタフェースIIC0	
14. 6 タイミング・チャートを追加		
章内の上位乗算結果格納レジスタと下位乗算結果格納レジスタの略号を変更 (第15章全般)	第15章 乗算器	
図15 - 2 16ビット上位乗算結果格納レジスタ, 16ビット下位乗算結果格納レジスタ (MULOH, MULOL) のフォーマットを追加		
図15 - 3 乗算入力データ・レジスタA, B (MULA, MULB) のフォーマットを追加		

版数	内容	適用箇所
第3版	16.2(1) DMA SFRアドレス・レジスタn (DSAn) に注を追加	第16章 DMAコントローラ
	表17-2 割り込み要求ソースに対応する各種フラグに注を追加	第17章 割り込み機能
	図17-2のIF2Lレジスタ, ビット0-2のビット名を変更	
	図17-3のMK0Lレジスタ, ビット0のビット名を変更	
	17.4.4 割り込み要求の保留を変更	第19章 スタンバイ機能
	19.1.2(1) 発振安定時間カウンタ状態レジスタ (OSTC) の説明を変更	
	19.1.2(2) 発振安定時間選択レジスタ (OSTS) のリセット値を変更	
	図19-2 発振安定時間選択レジスタ (OSTS) のフォーマットの設定を変更	
	表19-1 HALTモード時の動作状態のメイン・システム・クロックのfx, feX, システム・クロックのfILの記述を変更	
	表19-2 STOPモード時の動作状態のシステム・クロックのfIL, RAM, リアルタイム・カウンタ (RTC) の記述を変更	
	図19-5 STOPモード解除時の動作タイミング (マスクされていない割り込み要求による解除の場合) を変更	
	図19-6 STOPモード割り込み要求発生による解除を変更, また (2) CPUクロックが高速システム・クロック (外部クロック入力) の場合を追加	
	図20-1 リセット機能のブロック図にRESFレジスタ・リード信号を追加	第20章 リセット機能
	表20-1 リセット期間中の動作状態に外部バス・インタフェースを追加	
	表20-2 各ハードウェアのリセット受け付け後の状態のリアルタイム・カウンタの時カウント・レジスタ (HOUR), 日カウント・レジスタ (DAY), 月カウント・レジスタ (MONTH), アラーム時レジスタ (ALARMWH) のリセット受け付け後の状態を変更	
	図21-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを変更, 注4を追加	第21章 パワーオン・クリア回路の構成
	22.4.1 リセットとして使用時の設定を追加	第22章 低電圧検出回路
	22.4.2 割り込みとして使用時の設定を追加	
	章を追加	第23章 レギュレータ
	図24-2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマットの注意を変更	第24章 オプション・バイト
25.5 フラッシュ・メモリを制御するレジスタを追加	第25章 フラッシュ・メモリ	
章を追加	第26章 10進補正 (BCD) 回路	
章を追加	第27章 命令セットの概要	
DC特性 ・ハイ・レベル入力電圧 (V _{IH7}) のMIN.値を変更, 注1を追加 ・ロウ・レベル入力電圧 (V _{IL5}) のMAX.値を変更 ・ロウ・レベル入力電圧 (V _{IL7}) のMAX.値を変更, 注2を追加 ・ハイ・レベル出力電圧 (V _{OH1}) の条件欄を変更 ・ロウ・レベル出力電圧 (V _{OL1} , V _{OL3}) の条件欄を変更 ・ハイ・レベル入力リーク電流 (I _{LH4}) の条件欄を変更 ・ロウ・レベル入力リーク電流 (I _{LIL4}) の条件欄を変更	第28章 電気的特性 (ターゲット)	
AC特性 (1) 基本動作 ・ACタイミング測定点の図を変更		

版 数	内 容	適用箇所
第3版	A/Dコンバータ特性 ・表上部の条件を変更 ・微分直線性誤差 (DLE) の条件とMAX.値を変更	第28章 電気的特性 (ターゲット)
	D/Aコンバータ特性 ・表上部の条件を変更 ・D/Aコンバータ動作電流 (IDAC) を追加 ・セットリング・タイム (tSET) の条件を変更	
	章を追加	付録A 開発ツール
第4版	1. 1 特 徴 ・単電源のフラッシュ・メモリのセキュリティ機能の記述を追加 ・セルフ・プログラミング機能にフラッシュ・シールド・ウィンドウ機能の記述を追加	第1章 概 説
	図3 - 1 メモリ・マップ(μ PD78F1162) ~ 図3 - 7 メモリ・マップ(μ PD78F1168) を変更	第3章 CPUアーキテクチャ
	3. 1. 1 (4) オンチップ・デバッグ・セキュリティID設定領域を追加	
	3. 1. 3 内部データ・メモリ空間に注意を追加	
	3. 2. 4 特殊機能レジスタ (SFR : Special Function Register) に注意を追加	
	表3 - 5 SFR一覧のBCD補正結果レジスタのアドレスを変更	
	3. 2. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) に注意を追加	
	3. 4. 4 ショート・ダイレクト・アドレッシングの記述方法を変更, 備考を追加	
	図5 - 1 (e) μ PD78F1166のメモリ・マップに注を追加	第5章 外部バス・インタフェース
	図5 - 9 同期メモリ接続例と図5 - 10 非同期メモリ接続例を変更	第6章 クロック発生回路
	図6 - 1 クロック発生回路のブロック図を変更	
	図6 - 7 周辺イネーブル・レジスタのフォーマットに注意を追加	
	6. 3 (7) 動作スピード・モード制御レジスタ (OSMC) に注意4を追加	
	6. 3 (8) 高速内蔵発振器トリミング・レジスタ (HIOTRM) の説明を変更	
	図6 - 13 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能停止に設定時 (オプション・バイト : LVIOFF = 1)) にCPU動作開始までの時間を追加	
	図6 - 14 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能動作に設定時 (オプション・バイト : LVIOFF = 0)) を変更	
	6. 6. 1 (3) に注意を追加	
	表6 - 4 (6) CPUを高速システム・クロック動作 (C) から, 高速内蔵発振クロック動作 (B) へ移行を変更	
	表6 - 4 (7) CPUを高速システム・クロック動作 (C) から, サブシステム・クロック動作 (D) へ移行のCMCレジスタのビット名を変更	
表6 - 4 (9) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行のCSCレジスタのビット名を変更		

版 数	内 容	適用箇所	
第4版	7.3 (1) 周辺イネーブル・レジスタ0 (PER0) に注意2を追加	第7章 タイマ・アレイ・ユニット	
	図7-6 タイマ・モード・レジスタ0n (TMR0n) のフォーマットを変更		
	7.3 (4) タイマ・ステータス・レジスタ0n (TSR0n) に説明を追加		
	表7-3 各動作モードにおけるOVFビットの動作とセット/クリア条件を追加		
	表7-4 カウント動作許可状態からTCR0nのカウント・スタートまでの動作と (a) ~ (e) を追加		
	7.3 (11) タイマ出力レベル・レジスタ0 (TOL0) に説明を追加		
	7.3 (12) タイマ出力モード・レジスタ0 (TOM0) の説明を変更		
	図7-20 タイマ出力モード・レジスタ0 (TOM0) のフォーマットの説明を変更, 備考を変更		
	図7-22 ノイズ・フィルタ許可レジスタ1 (NFEN1) のフォーマットのビット7の説明を変更, 注を追加		
	7.4 チャンnel出力 (TO0n端子) を追加		
	7.5 チャンnel入力 (TI0n端子) の制御を追加		
	以下の図のタイトルにMD0n0ビットの条件を追加 ・ 図7-37 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (MD0n0 = 1) ・ 図7-45 分周器としての動作の基本タイミング例 (MD0n0 = 1) ・ 図7-49 入力パルス間隔測定としての動作の基本タイミング例 (MD0n0 = 0)		
	7.7.3 分周器としての動作の説明を変更		
	7.8.3 多重PWM出力機能としての動作を変更		
	図8-2 周辺イネーブル・レジスタ0 (PER0) のフォーマットに注意2を追加		第8章 リアルタイム・カウンタ
	図8-4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマットに注意を追加		
	図8-5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマットに注意を追加		
図8-17 アラーム曜日レジスタ (ALARMWW) のフォーマットのビット名を変更			
11.3 (1) 周辺イネーブル・レジスタ0 (PER0) に注意2を追加	第11章 A/Dコンバータ		
表11-2 A/D変換時間の選択を変更			
12.3 (1) 周辺イネーブル・レジスタ0 (PER0) に注意2を追加	第12章 D/Aコンバータ		
13.3 (1) 周辺イネーブル・レジスタ0 (PER0) に注意3を追加	第13章 シリアル・アレイ・ユニット		
13.3 (13) シリアル出力レベル・レジスタm (SOLm) に説明を追加			
図13-16 シリアル出力レベル・レジスタm (SOLm) のフォーマットのビット1, 3を変更			
図13-66 UART (UART0, UART1, UART2, UART3) のUART送信時のレジスタ設定内容例の (a) シリアル出力レジスタm (SOM) の設定, 注を変更			
図13-74 UART (UART0, UART1, UART2, UART3) のUART受信時のレジスタ設定内容例の (b) シリアル出力許可レジスタm (SOEm) の設定を変更			
図13-89 アドレス・フィールド送信のフロー・チャートを変更			
図13-92 データ送信のフロー・チャートを変更			

版 数	内 容	適用箇所
第4版	14.3(1) 周辺イネーブル・レジスタ0 (PER0) に注意2を追加	第14章 シリアル・インタフェースIIC0
	14.5.4(2) スレーブ側の選択クロックの設定の説明を変更	
	16.4.1 動作手順の , に説明を追加	第16章 DMAコントローラ
	16.5.5 ソフトウェアでの強制終了に説明を追加	
	16.6(1) DMAの優先順位に説明, 注を追加	
	以下の図にリセット処理時間, クロック供給停止時間を追加 ・ 図19-4 HALTモードのリセットによる解除 ・ 図19-6 STOPモードの割り込み要求発生による解除 ・ 図19-7 STOPモードのリセットによる解除	第19章 スタンバイ機能
	図19-5 STOPモード解除時の動作タイミング(マスクされていない割り込み要求による解除の場合)を変更	
	図20-2 RESET入力によるリセット・タイミングを変更	第20章 リセット機能
	図20-3 ウォッチドッグ・タイマのオーバフローによるリセット・タイミングを変更	
	図20-4 STOPモード中のRESET入力によるリセット・タイミングを変更	
	図21-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングにリセット処理時間を追加	第21章 パワーオン・クリア回路の構成
	21.4 パワーオン・クリア回路の注意事項を追加	
	動作安定時間を追加(章全般)	第22章 低電圧検出回路
	図22-3 低電圧検出レベル選択レジスタ(LVIS)のフォーマットの注意2を変更	
	22.5 低電圧検出回路の注意事項を追加	
	24.1.1(2) 000C1H/010C1Hの説明を変更	第24章 オプション・バイト
	図24-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを変更	
	図24-4 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマットを変更	
	25.4.1(3) セルフ・プログラミングによる書き込み時に説明を追加	第25章 フラッシュ・メモリ
	25.5(1) バックグラウンド・イベント・コントロール・レジスタ(BECTL)に説明を追加	
	25.6 プログラミング方法を追加	
	25.7 セキュリティ設定を追加	
	25.8 セルフ書き込みによるフラッシュ・メモリ・プログラミングを追加	
章を追加	第26章 オンチップ・デバッグ機能	
BCD補正キャリー・レジスタ(BCDCYビット)の記述を削除など	第27章 10進補正(BCD)回路	
備考を修正(章全般)	第28章 命令セットの概要	
絶対最大定格 ・ レギュレータ電圧(REGC)を追加 ・ 入力電圧と出力電圧を変更	第29章 電気的特性(ターゲット)	
XT1発振回路特性のMIN.値とMAX.値を追加		

版 数	内 容	適用箇所
第4版	DC特性 ・ハイ・レベル出力電流 (I _{OH1}) の条件と注1を変更 ・ロウ・レベル出力電流 (I _{OL1}) の条件と注2変更 ・ハイ・レベル入力電圧 (V _{IH2}) の条件を変更 ・ロウ・レベル入力電圧 (V _{IL2}) の条件を変更 ・ロウ・レベル出力電圧 (V _{OL1}) の条件を変更 ・電源電流を追加 ・ウォッチドッグ・タイマ動作電流 (I _{WDT}) を追加 ・A/Dコンバータ動作電流 (I _{ADC}) を追加 ・D/Aコンバータ動作電流 (I _{DAC}) を追加 ・DMAコントローラ動作電流 (I _{DMA}) を追加 ・LVI動作電流 (I _{LVI}) を追加	第29章 電気的特性 (ターゲット)
	A/Dコンバータ特性の変換時間 (t _{CONV}) のMIN. 値を変更	
	POC回路特性を追加	
	電源電圧立ち上げ時間を追加	
	LVI回路特性を追加	
	データ・メモリSTOPモード低電源電圧データ保持特性を追加	
	章を改訂	
第4.1版 (修正版)	すべてのレジスタのクリア条件を変更	第8章 リアルタイム・カウンタ
	8. 3 (1) 周辺イネーブル・レジスタ0 (PER0) の説明と注意を変更	
	8. 3 (5) サブカウント・レジスタ (RSUBC) の注意2を変更	
	DC特性 ・電源電流 (I _{DD2}) のHALTモードのf _{SUB} = 32.768 kHz , Ta = - 40 ~ + 85 時の値を変更	第29章 電気的特性 (ターゲット)
AC特性の (2) シリアル・インタフェースを削除		
第4.3版 (修正版)	次の章から、高速内蔵発振クロックの温度補正機能と温度補正用テーブルH, Lの記述を削除。 ・第3章 CPUアーキテクチャ ・第6章 クロック発生回路 ・第11章 A/Dコンバータ ・第14章 シリアル・インタフェースIIC0 ・第20章 リセット機能 ・第29章 電気的特性 (ターゲット)	全般
	デバイス・ファイルをDF781166からDF781188に変更	付録A 開発ツール
第5版	REGC端子に接続するコンデンサの容量値からターゲットを削除	全般
	2. 2. 19 REGCの説明を変更	第2章 端子機能
	表2 - 2 各端子の未使用端子処理のP60-P64, P110, P111を変更	
	図2 - 1 端子の入出力回路一覧 (2/2) の12-Dを12-Gに変更	
	表3 - 6 拡張SFR (2nd SFR) 一覧 (1/5) にBCDADJレジスタを移動 (アドレス変更)	第3章 CPUアーキテクチャ
	図4 - 29 P110, P111のブロック図を変更	第4章 ポート機能
	図6 - 6 システム・クロック制御レジスタ (CKC) のフォーマットに注意2を変更	第6章 クロック発生回路
	6. 3 (8) 高速内蔵発振器トリミング・レジスタ (HIOTRM) の説明を変更, 注意を追加	
	6. 3 (8) 高速内蔵発振器トリミング・レジスタ (HIOTRM) の説明を変更, 注意を追加	
	図6 - 9 高速内蔵発振器トリミング・レジスタ (HIOTRM) のフォーマットを変更, 注を追加	
図6 - 13 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能停止に設定時 (オプション・バイト : LVI _{OFF} = 1)) を変更		

版 数	内 容	適用箇所
第5版	図7 - 5 タイマ・クロック選択レジスタ0 (TPS0) のフォーマットに注を追加	第7章 タイマ・アレイ・ユニット
	表7 - 3 各動作モードにおけるOVFビットの動作とセット/クリア条件を変更, 備考を追加	
	7.3 (14) ノイズ・フィルタ許可レジスタ1 (NFEN1) の説明を変更	
	7.5.1 TI0nエッジ検出回路を変更	
	表9 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定に注意3を追加	第9章 ウォッチドッグ・タイマ
	SOEm3ビット, SOm3ビット, CKOm3ビットの設定を“0”に固定	第13章 シリアル・アレイ・ユニット
	図13 - 1 シリアル・アレイ・ユニット0のブロック図を変更	
	図13 - 2 シリアル・アレイ・ユニット1のブロック図を変更	
	図13 - 5 シリアル・クロック選択レジスタm (SPSm) のフォーマットに設定を追加, 注を追加	
	図13 - 14 シリアル出力許可レジスタm (SOEm) のフォーマットを変更	
	13.3 (12) シリアル出力レジスタm (SOm) に説明を追加	
	図13 - 15 シリアル出力レジスタm (SOm) のフォーマット	
	転送レートに注を追加	
	13.4.4 スレーブ送信の転送レートを変更, 注を変更	
	13.4.5 スレーブ受信の転送レートを変更	
	13.4.6 スレーブ送受信の転送レートを変更	
	13.4.7 (2) の注を変更	
	表13 - 2 動作クロックの選択に設定を追加, 注を追加	
	転送レート変更, 注を追加。	
	図13 - 74 UART (UART0, UART1, UART2, UART3) のUART受信時のレジスタ設定内容例の(e) シリアル・モード・レジスタmr (SMRmr) の設定を変更	
	表13 - 3 動作クロックの選択に設定を追加, 注を追加	
	表13 - 4 動作クロックの選択に設定を追加, 注を追加	
	16.6 (4) DMA保留命令に説明を追加	第16章 DMAコントローラ
	図19 - 4 HALTモードのリセットによる解除を変更	第19章 スタンバイ機能
	図19 - 7 STOPモードのリセットによる解除のリセット処理時間を変更	
	図20 - 2 RESET入力によるリセット・タイミングのリセット処理時間を変更	第20章 リセット機能
	図20 - 4 STOPモード中のRESET入力によるリセット・タイミングのリセット処理時間を変更	
	図20 - 5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマットの注意2を変更	
	図21 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (1/2) を変更	
	図21 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング (1/2) を変更, 注を追加	第21章 パワーオン・クリア回路の構成
図21 - 3 リセット解除後のソフト処理例を変更		
図22 - 2 低電圧検出レジスタ (LVIM) のフォーマットの注4を変更, 注意3を追加	第22章 低電圧検出回路	
図22 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットの注意2を変更		
22.4.1 (1) (a) の を変更		
図22 - 5 内部リセット信号発生タイミング (ビット: LVISEL = 0, オプション・バイト: LVIOFF = 1) の注2を変更		
22.4.1 (1) (b) の説明を変更, 注意を変更		

版 数	内 容	適用箇所
第5版	図22 - 6 内部リセット信号発生のタイミング(ビット:LVISEL = 0, オプション・バイト:LVI OFF = 0)を変更, 注を変更	第22章 低電圧検出回路
	22. 4. 1 (2) の を変更	
	図22 - 7 内部リセット信号発生のタイミング(ビット:LVISEL = 1)の注2を変更	
	22. 4. 2 (1) の を変更	
	図22 - 8 割り込み信号発生のタイミング(ビット:LVISEL = 0, オプション・バイト:LVI OFF = 1)に注3を追加	
	22. 4. 2 (1) (b) の説明を変更, 注意を変更	
	図22 - 9 割り込み信号発生のタイミング(ビット:LVISEL = 0, オプション・バイト:LVI OFF = 0)を変更, 注を追加	
	22. 4. 2 (2) の を変更	
	図22 - 10 割り込み信号発生のタイミング(ビット:LVISEL = 1)に注3を追加	
	図22 - 11 リセット解除後のソフト処理例を変更	
	23. 1 レギュレータの概要の説明を変更	
	図23 - 1 レギュレータ・モード制御レジスタ(RMC)のフォーマットに注3を追加	
	24. 4. 1 (2) 000C1H/010C1Hの説明を変更	第24章 オプション・バイト
	図24 - 2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを変更, 注意2を変更	
	25. 4. 5 REGC端子の説明を変更	第25章 フラッシュ・メモリ
	25. 8 セルフ書き込みによるフラッシュ・メモリ・プログラミングの備考を変更, 注意4を追加	
	図25 - 11 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れの備考を変更	
26. 3 ユーザ資源の確保を追加	第26章 オンチップ・デバッグ機能	
図27 - 1 BCD補正結果レジスタ(BCDADJ)のフォーマットを変更(アドレスを変更)	第27章 10進補正(BCD)回路	
全般を修正	第29章 電気的特性(ターゲット)	
第6版	μPD78F1162, 78F1163, 78F1164, 78F1165, 78F1166の開発中 量産中	全般
	2. 2. 22 FLMD0を変更	第2章 端子機能
	表3 - 5 SFR一覧にレジスタと注を追加	第3章 CPUアーキテクチャ
	シリアル・アレイ・ユニット, タイマ・アレイ・ユニットで使用する端子に関する注意を変更	第4章 ポート機能
	ブロック図にPIM, POMレジスタを追加	
	4. 3 (4) ポート入力モード・レジスタ(PIM0, PIM4, PIM14), (5) ポート出力モード・レジスタ(POM0, POM4, POM14)に説明を追加	
	5. 1 外部バス・インタフェースの機能に説明を追加	第5章 外部バス・インタフェース
	図5 - 6 外部メモリのリード・タイミングの(b), (d)を変更	
	図5 - 7 外部メモリのライト・タイミングの(c)のタイトルに説明を追加	第6章 クロック発生回路
	図6 - 8 動作スピード・モード制御レジスタ(OSMC)のフォーマットに注意5を追加	
	図7 - 1 タイマ・アレイ・ユニットのブロック図を変更	
7. 3 (10) タイマ出力レジスタ0(TO0)に説明を追加		

版 数	内 容	適用箇所
第6版	8.3 (15) アラーム時レジスタ (ALARMWH) に説明を追加	第8章 リアルタイム・カウンタ
	S0mレジスタを変更	第13章 シリアル・アレイ・ユニット
	図13 - 1 シリアル・アレイ・ユニット0のブロック図を変更	
	図13 - 2 シリアル・アレイ・ユニット1のブロック図を変更	
	13.3 (12) シリアル出力レジスタm (S0m) の説明を変更	
	図13 - 15 シリアル出力レジスタm (S0m) のフォーマットを変更	
	13.4 動作停止モードを追加	
	図13 - 50 スレープ送信 (シングル送信モード時) のタイミング・チャートを変更	
	図13 - 64 スレープ送受信 (シングル送受信モード時) のタイミング・チャートを変更	
	図13 - 76 UART (UART0, UART1, UART2, UART3) のUART受信時のレジスタ設定内容例のSOEmレジスタを変更	
	図13 - 79 UART受信の再開設定手順を変更	
	図13 - 89 アドレス・フィールド送信の初期設定手順を変更	
	図13 - 90 アドレス・フィールド送信のタイミング・チャートを変更	
	図13 - 91 アドレス・フィールド送信のフロー・チャートを変更	
	図13 - 94 データ送信のフロー・チャートを変更	
	図13 - 96 データ受信のタイミング・チャートを変更	
	図13 - 97 データ受信のフロー・チャートを変更, 注意を追加	
	図13 - 99 ストップ・コンディション発生時のフロー・チャートを変更	
	13.9 レジスタの設定と端子の関係を追加	第16章 DMAコントローラ
	図16 - 9 UART連続受信+ACK送信の設定例を変更	
	図19 - 3 HALTモードの割り込み要求発生による解除に注を追加	
	図19 - 5 STOPモード解除時の動作タイミング(マスクされていない割り込み要求による解除の場合)に注を追加	
	図19 - 6 STOPモードの割り込み要求発生による解除に注を追加	
	図20 - 2 RESET入力によるリセット・タイミングを変更	第20章 リセット機能
	図20 - 4 STOPモード中のRESET入力によるリセット・タイミングを変更	
	最小パルス幅の“MAX.” “MIN.”に変更	第22章 低電圧検出回路
	図22 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマットの注意2を変更	
	図22 - 7 内部リセット信号発生時のタイミング (ビット: LVISEL = 1) を変更	
	図22 - 10 割り込み信号発生時のタイミング (ビット: LVISEL = 1) を変更	
	図22 - 11 リセット解除後のソフト処理例を変更	
25.4.1 FLMD0端子を変更	第25章 フラッシュ・メモリ	
25.8 セルフ書き込みによるフラッシュ・メモリ・プログラミングの備考を変更		
図25 - 11 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れを変更, 備考を変更		
27.3 10進補正回路の動作を変更	第27章 10進補正 (BCD) 回路	
全般を修正	第29章 電氣的特性	
μ PD78F1162, 78F1163, 78F1164, 78F1165, 78F1166のスペックを暫定スペックから正式スペックに変更		

版 数	内 容	適用箇所
第6.1版	“ SDA _{mn} ” “ SDA10, SDA20 ” に変更	第4章 ポート機能
(修正版)	図5 - 5 外部メモリのライト・タイミングの (d) のタイトルに説明を追加	第5章 外部バス・インタフェース
	図13 - 83 LIN送信のフロー・チャートを変更	第13章 シリアル・アレイ・ユニット
	図13 - 91 アドレス・フィールド送信のフロー・チャートを変更	
	図13 - 92 簡易I ² C (IIC10, IIC20) のデータ送信時のレジスタ設定内容例の (a) シリアル出力レジスタ _m (SO _m) の設定を変更	
	図13 - 95 簡易I ² C (IIC10, IIC20) のデータ受信時のレジスタ設定内容例の (a) シリアル出力レジスタ _m (SO _m) の設定を変更, 注を追加	
	表13 - 8 レジスタの設定と端子の関係 (ユニット0のチャンネル3 : UART1受信) の注2を変更	
	表13 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信) の注2を変更	
	表13 - 11 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信) を変更	
	表13 - 12 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信) の注2を削除	
	表17 - 1 割り込み要因一覧を変更	第17章 割り込み機能
	注意1を変更	第29章 電気的特性
	絶対最大定格のREGC端子入力電圧 (V _{IREGC}) を変更	
	DC特性	
	・ハイ・レベル出力電圧 (V _{OH2}) の条件欄を変更	
	・ロウ・レベル出力電圧 (V _{OL2}) の条件欄を変更	
	・ハイ・レベル入力リーク電流 (I _{LH2}) の条件欄を変更	
	・ハイ・レベル入力リーク電流 (I _{LH3}) の条件欄を変更	
	・ロウ・レベル入力リーク電流 (I _{LIL2}) の条件欄を変更	
	・ロウ・レベル入力リーク電流 (I _{LIL3}) の条件欄を変更	
	・電源電流 (I _{DD3}) のMAX.値を変更	
	注4を変更	
	“ (ターゲット) ” を追加	
	AC特性 (1) 基本動作のACタイミング測定点を変更	
	AC特性 (2) 外部バス・インタフェース	
	・RDロウ・レベル幅 (t _{WRDL1}) のMIN.値とMAX.値を変更	
	・WR0, WR1ロウ・レベル幅 (t _{WWRL1}) のMIN.値とMAX.値を変更	
	・備考3を追加	
	・リード/ライト・サイクル (CLKOUT同期) : セパレート・バス・モード時の図を変更	
	・リード/ライト・サイクル (CLKOUT同期) : マルチプレクスト・バス・モード時の図を変更	

版 数	内 容	適用箇所
第6.2版 (修正版)	図5 - 6 外部メモリのリード・タイミングの (b) , (d) を変更	第5章 外部バス・インタフェース
	AC特性 (2) 外部バス・インタフェースの備考3を変更	第29章 電気的特性
第6.3版 (修正版)	表13 - 6 レジスタの設定と端子の関係 (ユニット0のチャンネル1 : CSI01, UART0受信) のUART0受信時のSOE01ビットの値を修正	第13章 シリアル・アレイ・ユニット
	表13 - 8 レジスタの設定と端子の関係 (ユニット0のチャンネル3 : UART1受信) のSOE03, SO03, CKO03ビットを削除	
	表13 - 10 レジスタの設定と端子の関係 (ユニット1のチャンネル1 : UART2受信) のSOE11, SO11, CKO11ビットを削除	
	表13 - 11 レジスタの設定と端子の関係 (ユニット1のチャンネル2 : UART3送信) のCKO12ビットを削除	
	表13 - 12 レジスタの設定と端子の関係 (ユニット1のチャンネル3 : UART3受信) のSOE13, SO13, CKO13ビットを削除	
第7版	拡張規格品 μ PD78F1162A, 78F1163A, 78F1164A, 78F1165A, 78F1166A, 78F1167A, 78F1168A追加	全般
	拡張規格品の(A) 水準品 μ PD78F1162A(A), 78F1163A(A), 78F1164A(A), 78F1165A(A), 78F1166A(A), 78F1167A(A), 78F1168A(A)追加	
	関連資料を変更	はじめに
	1. 1 従来規格品 (μ PD78F116x) と拡張規格品 (μ PD78F116xA) の違いを追加	第1章 概 説
	1. 5 端子接続図 (Top View) に注意4を追加	
	1. 7 ブロック図を修正	
	表2 - 1 各端子の入出力バッファ電源のEV _{DD0} , EV _{DD1} , V _{DD} の対応する端子を変更	第2章 端子機能
	2. 2. 15 AV _{REF0} の説明を変更	
	2. 2. 16 AV _{REF1} の説明を変更	
	2. 2. 18 RESETの説明を変更	
	表2 - 4 各端子の未使用端子処理のタイプ37-Aを37-Bに, タイプ39を2-Wに変更, AV _{REF0} , AV _{REF1} , RESET端子の説明を変更	
	図2 - 1 端子の入出力回路一覧のタイプ37-Aを37-Bに, タイプ39を2-Wに変更	第3章 CPUアーキテクチャ
	図3 - 1から図3 - 7 メモリ・マップに注を追加	
	3. 1 メモリ空間の備考の図を変更	
	3. 1. 1 (1) ベクタ・テーブル領域の説明を変更	
	3. 1. 2 ミラー領域の説明を変更	
	3. 1. 3 内部データ・メモリ空間の説明を変更, 注意を追加, 変更	
	3. 2. 1 (3) スタック・ポインタ (SP) に注意を追加	
	図3 - 20 汎用レジスタの構成のアドレスを変更	
	表3 - 5 SFR一覧を修正, 注6を修正	
表4 - 1 各端子の入出力バッファ電源のEV _{DD0} , EV _{DD1} , V _{DD} の対応する端子を変更	第4章 ポート機能	
4. 2. 1 ポート0の注意2を変更		
4. 2. 2 ポート1の注意1, 注意3を変更		
4. 2. 4 ポート3に注意2を追加		
4. 2. 5 ポート4の注意2を変更		
図4 - 24 P52-P57のブロック図を変更		
4. 2. 7 ポート6に注意を追加		
PU6の説明を追加		
図4 - 29 P80-P87のブロック図を修正		

版 数	内 容	適用箇所
第7版	4. 2. 13 ポート14の注意1を変更, 注意3を追加	第4章 ポート機能
	図4 - 45 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマットに注意3を追加	
	表4 - 7 ANI0/P20-ANI7/P27, ANI8/P150-ANI15/P157端子機能の設定の注を変更	
	5. 5 フェッチ・アクセスによる命令実行クロックと命令ウェイト数を変更	第5章 外部バス・インタフェース
	5. 6 (4) WAIT端子 (兼用機能: P06) の説明を変更	
	図6 - 6 システム・クロック制御レジスタ (CKC) のフォーマットに注3を追加	第6章 クロック発生回路
	図6 - 8 動作スピード・モード制御レジスタ (OSMC) のフォーマットの注意3, 5を変更	
	6. 6. 3 (1) P123/XT1, P124/XT2端子の設定 (CMCレジスタ) を変更	
	図6 - 15 CPUクロック状態移行図を変更, 注を削除	
	表6 - 6 メイン・システム・クロックの切り替えに要する最大時間を変更	
	7. 1. 1 (4) 分周器機能のチャンネル番号を変更	第7章 タイマ・アレイ・ユニット
	図7 - 6 タイマ・モード・レジスタ0n (TMR0n) のフォーマットのCCS0n, MASTER0nビットの説明を変更	
	7. 3 (12) タイマ出力モード・レジスタ0 (TOM0) のTMO0nビットの説明を変更	
	図7 - 20 タイマ出力モード・レジスタ0 (TOM0) のフォーマットを変更	
	7. 7. 1 (1) インターバル・タイマに説明を追加	
	図7 - 35 インターバル・タイマ/方形波出力としての動作のブロック図を変更	
	図7 - 37 インターバル・タイマ/方形波出力時のレジスタ設定内容例(2)カウント・クロックにf _{sub} /4を選択した場合を追加	
	図7 - 38 インターバル・タイマ/方形波出力機能時の操作手順を変更	
	7. 7. 3 分周器としての動作のチャンネル番号を変更	
	図8 - 2 周辺イネーブル・レジスタ0 (PER0) のフォーマットの注と注意1を変更	
図8 - 3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマットを変更		
図8 - 4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマットの説明, 注意を変更		
図8 - 5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマットに注意3を追加		
8. 3 (7) 分カウント・レジスタ (MIN), (8) 時カウント・レジスタ (HOUR), (9) 日カウント・レジスタ (DAY), (11) 月カウント・レジスタ (MONTH), (12) 年カウント・レジスタ (YEAR) の説明を変更		
表8 - 2 時間桁表示表を変更		
図8 - 11 曜日カウント・レジスタ (WEEK) のフォーマットに注意を追加		
8. 3 (13) 時計誤差補正レジスタ (SUBCUD) の説明を変更		
8. 3 (16) アラーム曜日レジスタ (ALARMWW) の注意を削除		
図8 - 18 リアルタイム・カウンタの動作開始手順に注を追加		
8. 4. 2 動作開始後のSTOPモードへの移行を追加		
8. 4. 5 リアルタイム・カウンタの1 Hz出力を追加		
8. 4. 6 リアルタイム・カウンタの32.768 kHz出力を追加		
8. 4. 7 リアルタイム・カウンタの512 Hz, 16.384 kHz出力を追加		
8. 4. 8 リアルタイム・カウンタの時計誤差補正例を追加		

版 数	内 容	適用箇所
第7版	図9 - 2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマットの注意1, 2を変更	第9章 ウォッチドッグ・タイマ
	表9 - 4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定の注意3を変更	
	11. 2 (9) AV _{REF0} 端子の説明を変更	第11章 A/Dコンバータ
	表11 - 3 A/D変換時間の選択を変更	
	図11 - 10 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマットに注意3を追加	
	11. 5 温度センサ機能 (拡張規格品 μ PD78F116xAのみ) 追加	
	11. 7 (2) A/Dコンバータの停止時の電流低減についてを追加	
	12. 2 (1) AV _{REF1} 端子を追加	第12章 D/Aコンバータ
	12. 3 (4) ポート・モード・レジスタ11 (PM11) を追加	
	12. 4. 1 通常モード時の動作の説明を変更	
	12. 4. 2 リアルタイム出力モード時の動作の説明を変更	第13章 シリアル・アレイ・ユニット
	13. 1. 3 簡易I ² C (IIC10, IIC20) に注を追加	
	図13 - 1 シリアル・アレイ・ユニット0のブロック図を変更	
	図13 - 2 シリアル・アレイ・ユニット1のブロック図を変更	
	図13 - 5 シリアル・クロック選択レジスタ _m (SPSm) のフォーマットの注2を変更	
	図13 - 7 シリアル通信動作設定レジスタ _{mn} (SCR _{mn}) のフォーマットを変更, 注を追加	
	図13 - 26 マスタ送信の中断手順を変更	
	図13 - 27 マスタ送信の再開設定手順を変更	
	図13 - 28 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1: DAP _{mn} = 0, CKP _{mn} = 0) を変更	
	図13 - 30 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1: DAP _{mn} = 0, CKP _{mn} = 0) を変更	
	図13 - 36 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1: DAP _{mn} = 0, CKP _{mn} = 0) を修正	
	図13 - 40 マスタ送受信の中断手順を変更	
	図13 - 41 マスタ送受信の再開設定手順を変更	
	図13 - 42 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1: DAP _{mn} = 0, CKP _{mn} = 0) を修正	
	図13 - 44 マスタ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1: DAP _{mn} = 0, CKP _{mn} = 0) を修正	
	図13 - 45 マスタ送受信 (連続送受信モード時) のフロー・チャートを修正	
	13. 5. 4 スレーブ送信 転送レートを変更	
	図13 - 48 スレーブ送信の中断手順を変更	
	図13 - 49 スレーブ送信の再開設定手順を変更	
	図13 - 50 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1: DAP _{mn} = 0, CKP _{mn} = 0) を変更	
	図13 - 52 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1: DAP _{mn} = 0, CKP _{mn} = 0) を変更	
	図13 - 53 スレーブ送信 (連続送信モード時) のフロー・チャートを修正	
	13. 5. 5 スレーブ受信 転送レートを変更	
図13 - 57 スレーブ受信の再開設定手順を変更		
図13 - 58 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1: DAP _{mn} = 0, CKP _{mn} = 0) を修正		

版数	内容	適用箇所	
第7版	13.5.6 スレーブ送受信 転送レートを変更	第13章 シリアル・アレイ・ユニット	
	図13-62 スレーブ送受信の中断手順を変更		
	図13-63 スレーブ送受信の再開設定手順を変更		
	図13-64 スレーブ送受信(シングル送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)を修正		
	図13-66 スレーブ送受信(連続送受信モード時)のタイミング・チャート(タイプ1: DAPmn = 0, CKPmn = 0)を修正		
	図13-67 スレーブ送受信(連続送受信モード時)のフロー・チャートを修正		
	表13-2 動作クロックの選択の注2を変更		
	13.6 UART (UART0, UART1, UART2, UART3) 通信の動作に注意を追加		
	図13-70 UART送信の中断手順を変更		
	図13-72 UART送信(シングル送信モード時)のタイミング・チャートを変更		
	図13-74 UART送信(連続送信モード時)のタイミング・チャートを変更		
	13.6.2 UART受信を変更		
	図13-76 UART (UART0, UART1, UART2, UART3)のUART受信時のレジスタ設定内容例 (b)シリアル出力許可レジスタm (SOEm)を変更		
	図13-80 UART受信のタイミング・チャートを修正		
	13.6.3 LIN送信の転送データ長を修正		
	図13-82 LINの送信操作の注2を変更		
	13.6.4 LIN受信の転送データ長を修正		
	表13-3 動作クロックの選択の注2を変更		
	13.7 簡易I ² C (IIC10, IIC20) 通信の動作に注を追加		
	13.7.1 アドレス・フィールド送信に注を追加		
	図13-89 アドレス・フィールド送信の初期設定手順を変更		
	図13-90 アドレス・フィールド送信のタイミング・チャートを変更		
	13.7.2 データ送信に注を追加		
	図13-93 データ送信のタイミング・チャートを変更		
	13.7.3 データ受信に注を追加		
	図13-96 データ受信のタイミング・チャートを変更		
	図13-97 データ受信のフロー・チャートを変更, 注意を変更		
	図13-98 ストップ・コンディション発生のタイミング・チャートを変更		
	表13-4 動作クロックの選択の注2を変更		
	図14-6 IICコントロール・レジスタ0 (IICC0)のフォーマットの注を変更		第14章 シリアル・インタフェースIIC0
	表14-2 選択クロックの設定を変更		
	表14-3 選択クロックの設定を変更		
	表14-5 主な拡張コードのビットの定義		
図14-24 シングルマスタ・システムでのマスタ動作を変更			
図14-25 マルチマスタ・システムでのマスタ動作を変更			
図14-26 スレーブ動作手順を変更			
図14-28, 図14-29を変更			
図16-5 DMA動作コントロール・レジスタn (DRCn)のフォーマットを変更	第16章 DMAコントローラ		
表16-2 DMA転送における応答時間に注を追加			

版 数	内 容	適用箇所
第7版	17.2 割り込み要因と構成の説明を変更	第17章 割り込み機能
	表17-1 割り込み要因一覧を変更	
	表19-1 HALTモード時の動作状態の外部バス・インタフェースを変更	第19章 スタンバイ機能
	図19-3 HALTモードの割り込み要求発生による解除の注を変更	
	表19-2 STOPモード時の動作状態の外部バス・インタフェースを変更	
	図19-5 STOPモード解除時の動作タイミング(マスクされていない割り込み要求による解除の場合)を変更	
	図19-6 STOPモードの割り込み要求発生による解除に注を追加	
	リセット信号発生方法の(4)を変更	第20章 リセット機能
	21.1 パワーオン・クリア回路の機能の注を削除	第21章 パワーオン・クリア回路
	21.3 パワーオン・クリア回路の動作の注を削除	
	図21-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (1)電源立ち上げ時のLVIOFFがOFFの場合(オプション・バイト:LVIOFF=1)の注6を削除	
	図21-2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生のタイミング (2)電源立ち上げ時のLVIOFFがONの場合(オプション・バイト:LVIOFF=0)の注3を削除	
	22.1 低電圧検出回路の機能の注を削除	第22章 低電圧検出回路
	図22-3 低電圧検出レベル選択レジスタ(LVIS)のフォーマットの注2を削除	
	22.4 低電圧検出回路の動作の注を削除	
	24.4 オプション・バイトの設定に説明を追加	第24章 オプション・バイト
	専用フラッシュ・メモリ・プログラムとして,PG-FP5,FL-PR5とQB-MINI2を追加	第25章 フラッシュ・メモリ
	図25-7 バックグラウンド・イベント・コントロール・レジスタ(BECTL)のフォーマットを変更	
	表25-4 通信方式を変更	
	25.8 PG-FP4,PG-FP5使用時の各コマンド処理時間(参考値)を追加	
	25.9 セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意5を追加	
	25.9.2 フラッシュ・シールド・ウインドウ機能の説明を変更	
	26.1 QB-MINI2と78K0R/KG3の接続の注意を変更	第26章 オンチップ・デバッグ機能
	図26-1 QB-MINI2と78K0R/KG3の接続例に注意を追加	
	表26-1 1線モードと2線モードの違いを変更	
	表28-1 オペランドの表現形式と記述方法を変更,備考を変更	第28章 命令セット概要
	28.1.4 PREFIX命令の説明を変更	
	CALLT命令のオペレーション欄を変更	
	表28-5 オペレーション一覧(17/17)を変更	
	推奨発振回路定数を追加	第29章 電気的特性(標準品)
	DC特性 全製品の電源電流の値を変更, μPD78F1167,78F1168電源電流の「(ターゲット)」を削除,fsUB時の値を変更	
	AC特性(1)基本動作の命令サイクルの条件欄を修正,外部メイン・システム・クロック周波数と外部メイン・システム・クロック入力ハイ,ロウ・レベル幅を変更	
	(2)外部バス・インタフェース(a)リード/ライト・サイクル(CLKOUT同期)にtDAR1のスペック追加,拡張規格品のスペックを追加	
(2)外部バス・インタフェース「リード/ライト・サイクル(CLKOUT同期):マルチプレクスト・バス・モード時」のタイミング図にtDAR1を追加		

版 数	内 容	適用箇所
第7版	(2) 外部バス・インタフェース (b) リード/ライト・サイクル (CLKOUT非同期) を追加	第29章 電気的特性 (標準品)
	(3) シリアル・インタフェース: シリアル・アレイ・ユニット (d) 同電位通信時 (簡易 ² Cモード) に拡張規格品のスペックを追加	
	A/Dコンバータ特性の総合誤差, 積分直線性誤差の値を変更	
	拡張規格品のA/Dコンバータ特性を追加	
	温度センサを追加	
	D/Aコンバータ特性に備考を追加	
	電源電圧立ち上げ時間のタイミング図を変更	
	フラッシュ・メモリ・プログラミング特性のV _{DD} 電源電流の値, 書き換え回数を変更。拡張規格品の特性を追加。	
	章を追加	第30章 電気的特性 ((A) 水準品) (ターゲット)
	章を追加	第32章 半田付け推奨条件
	A. 4. 1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合を変更	付録A 開発ツール
A. 4. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合を変更		
A. 5. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合を変更		
章を追加	付録B 注意事項一覧	
第8版	オーダ名称を変更	第1章 概 説
	図6 - 13 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能停止に設定時 (オプション・バイト: LVIOFF = 1)) を変更	第6章 クロック発生回路
	図6 - 14 電源電圧投入時のクロック発生回路の動作 (LVIデフォルト・スタート機能動作に設定時 (オプション・バイト: LVIOFF = 0)) と の説明を変更	
	7. 4. 3(1) タイマ動作中のTO0, TOE0, TOL0, TOM0レジスタの設定値変更についての説明を変更	第7章 タイマ・アレイ・ユニット
	図7 - 38 インターバル・タイマ / 方形波出力機能時の操作手順の説明を変更	
	図7 - 42 外部イベント・カウンタ機能時の操作手順の動作中の説明を変更	
	図7 - 46 分周器機能時の操作手順の動作中の説明を変更	
	図7 - 50 入力パルス間隔測定機能時の操作手順の動作中の説明を変更	
	図7 - 54 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順の動作中の説明を変更	
	図7 - 59 PMW機能時の操作手順の動作中の説明を変更	
	図7 - 64 ワンショット・パルス出力機能時の操作手順の動作中の説明を変更	
	図7 - 69 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) の動作中の説明を変更	
	18. 3 (1) キー・リターン・モード・レジスタ (KRM) の注意2を変更	第18章 キー割り込み機能
	DC特性 ロウ・レベル出力電流 (I _{OL1}) の条件欄, MAX.値を変更	第29章 電気的特性 (標準品)
	DC特性 ロウ・レベル出力電圧 (V _{OL1}) の条件欄を変更	
	DC特性 ロウ・レベル出力電流 (I _{OL1}) の条件欄, MAX.値を変更	第30章 電気的特性 ((A) 水準品) (ターゲット)
	DC特性 ロウ・レベル出力電圧 (V _{OL1}) の条件欄を変更	
表32 - 1 表面実装タイプの半田付け条件のオーダ名称を変更	第32章 半田付け推奨条件	

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

—— お問い合わせ先 ——

【営業関係、デバイスの技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00~12:00, 午後 1:00~5:00)

電 話 : (044)435-9494

E-mail : info@necel.com

【マイコン開発ツールの技術関係お問い合わせ先】

開発ツールサポートセンター

E-mail : toolsupport-micom@ml.necel.com
