

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

7534グループ

ユーザーズマニュアル

ルネサス8ビットシングルチップマイクロコンピュータ
740ファミリ / 740シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続きを行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

1.構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。

第2章「応用」

各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。

第3章「付録」

マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項、レジスタ一覧などを掲載しています。

2.レジスタ構成図

このユーザーズマニュアルに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。

ビット数	ビット名	機能	リセット時	R	W
b7					
b6					
b5					
b4					
b3					
b2					
b1					
b0	0				
b	0	プロセッサモードレジスタ	00: シングルチップモード 01: } 使用禁止 10: } 11: }	0	
	1	スタックページ選択ビット	0: 0ページ 1: 1ページ	0	
	3	このビットには何も配置されていません。書き込みは不可で、読み出した場合、その内容は“0”です。		0	x
	4	このビットは“0”に固定してください。		0	x
	5	このビットは“0”に固定してください。		1	
	6	メインクロック(Xin-Xout)停止ビット	0: 発振 1: 停止	*	
	7	内部システムクロック選択ビット	0: Xin-Xout 選択(高速モード) 1: Xcin-Xcout 選択(低速モード)	*	

■: 何も配置されていないビット ■: 当該機能の制御では使用されないビット

注1. リセット解除直後の内容
 0・・・リセット解除時“0”
 1・・・リセット解除時“1”
 不定・・・リセット解除時不定
 *・・・リセット解除時オプションによって決められた内容

注2. ビットの属性・・・・・・・・・・制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R・・・読み出し
読み出し可能
 x・・・読み出し不可能

W・・・書き込み
書き込み可能
 x・・・書き込み不可能
 *・・・“0”書き込み

3.補足事項

ソフトウェアにつきましては、「740ファミリソフトウェアマニュアル」を参照してください。

開発ツールにつきましては、ルネサステクノロジホームページ(<http://www.renesas.com/>)「開発環境」を参照してください。

目次

第 1 章 ハードウェア

概 要	2
特 長	2
応 用	2
ピン接続図	2
機能ブロック	5
端子の機能説明	8
グループ展開	9
メモリの種類	9
メモリ容量	9
パッケージ	9
機能ブロック動作説明	10
中央演算処理装置(CPU)	10
CPUモードレジスタの切り替え手順	13
メモリ	14
入出力ポート	16
割り込み	20
キー入力割り込み(キーオンウエイクアップ)	22
タイマ	23
シリアルインタフェース	25
A/Dコンバータ	36
ウォッチドッグタイマ	37
リセット回路	38
クロック発生回路	40
プログラミング上の注意事項	42
プロセッサステータスレジスタに関するもの	42
割り込みに関するもの	42
10進演算に関するもの	42
タイマに関するもの	42
ポートに関するもの	42
A/D変換に関するもの	42
ウォッチドッグタイマに関するもの	42
命令の実行時間に関するもの	42
スタックページに関する注意事項	42
使用上の注意事項	43
電源端子の取扱いに関する注意事項	43
USBVREFOUT端子の取扱いに関する注意事項	43
USB通信に関する注意事項	43
ワンタイムPROM版に関する注意事項	43
ワンタイムPROM版/マスクROM版に関する注意事項	43
電源電圧に関する注意事項	43

A/Dコンバータに関する注意事項	44
マスク化発注時の提出資料	44
ROM書き込み方法	44
補足説明	45
割り込み	45
A/Dコンバータ	47
ストップモード	49
ウェイトモード	50
7534グループのUSB機能改善ポイントの詳細	51
32ピン版, 36ピン版, 42ピン版の相違点	51
USB機能を安定にご使用いただくための補足情報	53

第 2 章 応 用

2.1 入出力ポート	2
2.1.1 メモリ配置図	2
2.1.2 関連レジスタ	2
2.1.3 キーオンウェイクアップの応用例	6
2.1.4 未使用端子の処理	7
2.1.5 入出力端子に関する注意事項	8
2.1.6 未使用端子の処理に関する注意事項	9
2.2 タイマ	10
2.2.1 メモリ配置図	10
2.2.2 関連レジスタ	10
2.2.3 タイマの応用例	16
2.3 シリアルI/O	29
2.3.1 メモリ配置図	29
2.3.2 関連レジスタ	29
2.3.3 シリアルI/Oの接続例	35
2.3.4 シリアルI/O転送データフォーマット	37
2.3.5 シリアルI/Oの応用例	38
2.3.6 シリアルI/Oに関する注意事項	49
2.4 USB	50
2.4.1 USBの概要	50
2.4.2 メモリ配置図	56
2.4.3 USB関連レジスタ	57
2.4.4 USBの応用例	62
2.4.5 USBに関する注意事項	69
2.5 A/Dコンバータ	71
2.5.1 メモリ配置図	71
2.5.2 関連レジスタ	71
2.5.3 A/D変換の応用例	75
2.5.4 A/Dコンバータに関する注意事項	77

2.6	リセット	78
2.6.1	リセットICを用いた接続例	78
2.6.2	リセット端子に関する注意事項	79

第 3 章 付 録

3.1	電気的特性	2
3.1.1	絶対最大定格	2
3.1.2	推奨動作条件	3
3.1.3	電気的特性	4
3.1.4	A/Dコンバータ特性	5
3.1.5	タイミング必要条件	6
3.1.6	スイッチング特性	6
3.2	標準特性	8
3.2.1	Vcc-Icc特性	8
3.2.2	V _{OH} -I _{OH} 特性	11
3.2.3	A/D変換標準特性例	15
3.3	使用上の注意事項	17
3.3.1	割り込みに関する注意事項	17
3.3.2	シリアル/Oに関する注意事項	18
3.3.3	A/Dコンバータに関する注意事項	20
3.3.4	ウォッチドッグタイマに関する注意事項	21
3.3.5	リセット端子に関する注意事項	21
3.3.6	入出力端子に関する注意事項	21
3.3.7	プログラム作成に関する注意事項	22
3.3.8	PROM内蔵版の書き込みとテスト	24
3.3.9	PROM内蔵版に関する注意事項	24
3.3.10	未使用端子の処理	25
3.3.11	CPUモードレジスタに関する注意事項	26
3.3.12	32ピン版使用時の注意事項	26
3.3.13	ワンタイムPROM版/マスクROM版に関する注意事項	26
3.3.14	電源電圧に関する注意事項	26
3.3.15	USB通信に関する注意事項	27
3.4	ノイズに関する注意事項	28
3.4.1	配線長の短縮	28
3.4.2	V _{SS} - V _{CC} ライン間へのバイパスコンデンサ挿入	30
3.4.3	アナログ入力端子の配線処理	31
3.4.4	発振子への配慮	32
3.4.5	入出力ポート処理	33
3.4.6	ソフトウェアによるウォッチドッグタイマ機能の実現	34
3.5	レジスタ一覧	35
3.6	パッケージ寸法図	53
3.7	機械語命令一覧表	56

3.7	機械語命令一覧表.....	56
3.8	命令コード一覧表.....	66
3.9	SFRメモリマップ.....	67
3.10	ピン接続図.....	68

図目次

第 1 章 ハードウェア

図 1 . M37534M4-XXXFP、M37534E8FPのピン接続図	2
図 2 . M37534M4-XXXGP、M37534E4GPのピン接続図	3
図 3 . M37534RSS、M37534M4-XXXSP、M37534E8SPのピン接続図	4
図 4 . 機能ブロック図(PRSP0036GA-Aパッケージタイプ)	5
図 5 . 機能ブロック図(PLQP0032GB-Aパッケージタイプ)	6
図 6 . 機能ブロック図(PRDP0042BA-Aパッケージタイプ)	7
図 7 . ROM及びRAM展開計画	9
図 8 . 740ファミリ CPUの構成	10
図 9 . スタックへの退避及び復帰動作	11
図10 . CPUモードレジスタの構成	13
図11 . CPUモードレジスタの切り替え手順	13
図12 . メモリ配置図	14
図13 . SFR(スペシャルファンクションレジスタ)メモリマップ	15
図14 . プルアップ制御レジスタの構成	16
図15 . ポートP1P3制御レジスタの構成	16
図16 . ポートのブロック図(1)	18
図17 . ポートのブロック図(2)	19
図18 . 割り込み制御図	21
図19 . 割り込み関係レジスタの構成	21
図20 . キー入力割り込み使用時の結線例とポートP0のブロック図	22
図21 . タイマXモードレジスタの構成	23
図22 . タイマカウントソース設定レジスタの構成	23
図23 . タイマX、タイマ1及びタイマ2のブロック図	24
図24 . UART形シリアルI/O1ブロック図	25
図25 . UART形シリアルI/O1動作図	25
図26 . UART形シリアルI/O1連続送信動作図	26
図27 . USBモードブロック図	27
図28 . USBトランシーバブロック図	27
図29 . シリアルI/O1関係レジスタの構成(1)	28
図30 . シリアルI/O1関係レジスタの構成(2)	29
図31 . シリアルI/O1関係レジスタの構成(3)	30
図32 . シリアルI/O1関係レジスタの構成(4)	31
図33 . シリアルI/O1関係レジスタの構成(5)	32
図34 . シリアルI/O2制御レジスタの構成	34
図35 . シリアルI/O2ブロック図	34
図36 . シリアルI/O2タイミング(LSBファーストの場合)	35
図37 . A/D制御レジスタの構成	36
図38 . A/D変換レジスタの構成	36
図39 . A/D変換器ブロック図	36
図40 . ウォッチドッグタイマのブロック図	37

図41 . ウォッチドッグタイマ制御レジスタの構成	37
図42 . リセット回路例	38
図43 . リセット時のタイミング図	38
図44 . リセット時の内部状態	39
図45 . セラミック共振子外付け回路	41
図46 . 外部クロック入力回路	41
図47 . MISRGの構成	41
図48 . システムクロック発生回路ブロック図(セラミック発振時)	41
図49 . 回避策(2)のフローチャート	43
図50 . A/D変換精度向上のためのポイント	44
図51 . ワンタイムPROM版書き込みとテスト	44
図52 . 割り込み発生後のタイミングチャート	46
図53 . 割り込み処理ルーチンを実行するまでの時間	46
図54 . A/D変換器等価回路	48
図55 . A/D変換タイミングチャート	48
図56 . M37534M4-XXXFP、M37534E8FP VCC、USBVREFOUT端子の取扱い	53
図57 . M37534M4-XXXGP、M37534E4GP VCC、USBVREFOUT端子の取扱い	54
図58 . M37534E8SP、M37534M4-XXXSP、M37534RSS VCC、USBVREFOUT端子の取扱い	55

第 2 章 応 用

図2.1.1 入出力ポート関連レジスタのメモリ配置	2
図2.1.2 ポートPiの構成(i = 0 ~ 4)	2
図2.1.3 ポートPi方向レジスタの構成(i = 0 ~ 4)	3
図2.1.4 プルアップ制御レジスタの構成	3
図2.1.5 ポートP1P3制御レジスタの構成	4
図2.1.6 割り込みエッジ選択レジスタの構成	4
図2.1.7 割り込み要求レジスタ1の構成	5
図2.1.8 割り込み制御レジスタ1の構成	5
図2.1.9 関連レジスタの設定	6
図2.1.10 応用回路例	6
図2.1.11 制御手順	7
図2.2.1 タイマ関連レジスタのメモリ配置	10
図2.2.2 プリスケーラ12、プリスケーラXの構成	10
図2.2.3 タイマ1の構成	11
図2.2.4 タイマ2の構成	11
図2.2.5 タイマXの構成	12
図2.2.6 タイマXモードレジスタの構成	13
図2.2.7 タイマカウントソース設定レジスタの構成	14
図2.2.8 割り込みエッジ選択レジスタの構成	14
図2.2.9 割り込み要求レジスタ1の構成	15
図2.2.10 割り込み制御レジスタ1の構成	15
図2.2.11 タイマの接続と分周比の設定	17
図2.2.12 関連レジスタの設定	18
図2.2.13 制御手順	19

図2.2.14	周辺回路例	20
図2.2.15	タイマの接続と分周比の設定	20
図2.2.16	関連レジスタの設定	21
図2.2.17	制御手順	22
図2.2.18	入力パルス有効又は無効の判定方法	23
図2.2.19	関連レジスタの設定	24
図2.2.20	制御手順	25
図2.2.21	タイマの接続と分周比の設定	26
図2.2.22	関連レジスタの設定	27
図2.2.23	制御手順	28
図2.3.1	シリアルI/O関連レジスタのメモリ配置	29
図2.3.2	送信/受信バッファレジスタの構成	29
図2.3.3	UARTステータスレジスタの構成	30
図2.3.4	シリアルI/O1制御レジスタの構成	30
図2.3.5	UART制御レジスタの構成	31
図2.3.6	ポーレートジェネレータの構成	31
図2.3.7	シリアルI/O2制御レジスタの構成	32
図2.3.8	シリアルI/O2レジスタの構成	32
図2.3.9	割り込みエッジ選択レジスタの構成	33
図2.3.10	割り込み要求レジスタ1の構成	33
図2.3.11	割り込み制御レジスタ1の構成	34
図2.3.12	シリアルI/Oの接続例(1)	35
図2.3.13	シリアルI/Oの接続例(2)	36
図2.3.14	シリアルI/O転送データフォーマット	37
図2.3.15	接続図	38
図2.3.16	タイミング図	38
図2.3.17	送信側関連レジスタの設定	39
図2.3.18	シリアルI/O2送信データの設定	40
図2.3.19	受信側関連レジスタの設定	40
図2.3.20	送信側制御手順	41
図2.3.21	受信側制御手順	42
図2.3.22	接続図	43
図2.3.23	タイミング図	43
図2.3.24	送信側関連レジスタの設定	45
図2.3.25	受信側関連レジスタの設定	46
図2.3.26	送信側の制御手順	47
図2.3.27	受信側の制御手順	48
図2.3.28	シリアルI/O1のクリア処理	49
図2.4.1	USB通信シーケンス	51
図2.4.2	USBパケットデータ構成	52
図2.4.3	USB(L.S.)インタフェース	55
図2.4.4	USB(L.S.)接続例	55
図2.4.5	USB関連レジスタのメモリ配置	56
図2.4.6	USB関連レジスタ表記例	57
図2.4.7	USB関連レジスタ(1)	58
図2.4.8	USB関連レジスタ(2)	59

図2.4.9	USB関連レジスタ(3)	60
図2.4.10	USB関連レジスタ(4)	61
図2.4.11	USBコントロールシーケンス別タイミング図	62
図2.4.12	USBトランザクション別タイミング図	63
図2.4.13	USB割り込み処理例(OUT トークン)	65
図2.4.14	USB割り込み処理例(IN トークン)	66
図2.4.15	SETUPトークンのデータ読み出しまでのタイミング	67
図2.4.16	OUTトークンのデータ読み出しまでのタイミング	67
図2.4.17	INトークン(エンドポイント0)およびINトークン(エンドポイント1)のデータ書き込みまでの タイミング	67
図2.4.18	USB信号タイミング図	68
図2.4.19	レジューム割り込み判断例	69
図2.4.20	SE0信号幅に対する処理	69
図2.4.21	回避策(2)のフローチャート	70
図2.5.1	A/D変換器関連レジスタのメモリ配置	71
図2.5.2	A/D制御レジスタの構成	71
図2.5.3	A/D変換上位レジスタの構成	72
図2.5.4	A/D変換下位レジスタの構成	72
図2.5.5	割り込みエッジ選択レジスタの構成	73
図2.5.6	割り込み要求レジスタ1の構成	73
図2.5.7	割り込み制御レジスタ1の構成	74
図2.5.8	接続図	75
図2.5.9	関連レジスタの設定	75
図2.5.10	制御手順(8ビット読み出し時)	76
図2.5.11	制御手順(10ビット読み出し時)	76
図2.5.12	A/D変換精度向上のためのポイント	77
図2.6.1	RAMバックアップシステム	78

第 3 章 付 録

図3.1.1	発振停止でUSBモード時の電源電流測定回路図	5
図3.1.2	スイッチング特性測定回路図	6
図3.1.3	タイミング図	7
図3.2.1	Vcc-Icc特性(倍速モード動作時)	8
図3.2.2	Vcc-Icc特性(WIT命令実行時)	8
図3.2.3	Vcc-Icc特性(STP命令実行時、Ta=25)	9
図3.2.4	Vcc-Icc特性(STP命令実行時、Ta=85)	9
図3.2.5	Vcc-Icc特性(USBサスペンド時、Ta=25)	10
図3.2.6	Vcc-Icc特性(AD変換器動作時の増量(f(XIN)=6MHz、倍速モード動作時、AD変換実行/非実行))	10
図3.2.7	Pチャンネル側のVOH-IoH特性(Ta=25 時): 一般ポート	11
図3.2.8	Pチャンネル側のVOH-IoH特性(Ta=85 時): 一般ポート	11
図3.2.9	Nチャンネル側のVOL-IoL特性(Ta=25 時): 一般ポート	12
図3.2.10	Nチャンネル側のVOL-IoL特性(Ta=85 時): 一般ポート	12
図3.2.11	Nチャンネル側のVOL-IoL特性(Ta=25 時): LED駆動ポート	13

図3.2.12	Nチャンネル側のVoL-IoL特性 (Ta=85 時): LED駆動ポート	13
図3.2.13	プルアップトランジスタ接続時のポートL入力電流	14
図3.2.14	A/D変換精度の定義	15
図3.2.15	A/D変換精度標準特性例	16
図3.3.1	検出エッジの切り替え手順	17
図3.3.2	割り込み要求ビットの判定手順	18
図3.3.3	割り込み制御レジスタ1の構成	18
図3.3.4	シリアルI/O1のクリア処理	19
図3.3.5	A/D変換精度向上のためのポイント	20
図3.3.6	プロセッサステータスレジスタのフラグの初期化	22
図3.3.7	PLP命令実行時の手順	23
図3.3.8	PHP命令実行後のスタックメモリの内容	23
図3.3.9	10進演算時のステータスフラグ	23
図3.3.10	ワンタイムPROM版の書き込みとテスト	24
図3.3.11	CPUモードレジスタの切り替え手順	26
図3.3.12	回避策(2)のフローチャート	27
図3.4.1	パッケージの選択	28
図3.4.2	リセット入力端子の配線	28
図3.4.3	クロック入出力端子の配線	29
図3.4.4	CNVss端子の配線	29
図3.4.5	ワンタイムPROM版のVPP端子の配線	30
図3.4.6	Vss - Vccライン間のバイパスコンデンサ	30
図3.4.7	アナログ信号線と抵抗及びコンデンサ	31
図3.4.8	大電流が流れる信号線の配線	32
図3.4.9	高速にレベル変化する信号線の配線	32
図3.4.10	発振子の裏面のVssパターン	33
図3.4.11	入出力ポート処理	33
図3.4.12	ソフトウェアによるウォッチドッグタイマ	34
図3.5.1	ポートPi(i = 0 ~ 4)の構成	35
図3.5.2	ポートPi(i = 0 ~ 4)方向レジスタの構成	35
図3.5.3	プルアップ制御レジスタの構成	36
図3.5.4	ポートP1P3制御レジスタの構成	36
図3.5.5	送信/受信バッファレジスタの構成	37
図3.5.6	UARTステータスレジスタの構成	37
図3.5.7	USBステータスレジスタの構成	38
図3.5.8	シリアルI/O1制御レジスタの構成	39
図3.5.9	UART制御レジスタの構成	39
図3.5.10	ポーレートジェネレータの構成	40
図3.5.11	USBデータトグル同期確認レジスタの構成	40
図3.5.12	USB割り込み要因判別レジスタ1の構成	40
図3.5.13	USB割り込み要因判別レジスタ2の構成	41
図3.5.14	USB割り込み制御レジスタの構成	41
図3.5.15	USB送信データバイト数設定レジスタ0の構成	41
図3.5.16	USB送信データバイト数設定レジスタ1の構成	42
図3.5.17	USBPID制御レジスタ0の構成	42
図3.5.18	USBPID制御レジスタ1の構成	43

図3.5.19	USBアドレスレジスタの構成	43
図3.5.20	USBシーケンスビット初期化レジスタの構成	43
図3.5.21	USB制御レジスタの構成	43
図3.5.22	プリスケアラ12、プリスケアラXの構成	44
図3.5.23	タイマ1の構成	44
図3.5.24	タイマ2の構成	44
図3.5.25	タイマXモードレジスタの構成	45
図3.5.26	タイマXの構成	46
図3.5.27	タイマカウントソース設定レジスタの構成	46
図3.5.28	シリアル/O2制御レジスタの構成	47
図3.5.29	シリアル/O2レジスタの構成	47
図3.5.30	A/D制御レジスタの構成	48
図3.5.31	A/D変換上位レジスタの構成	49
図3.5.32	A/D変換下位レジスタの構成	49
図3.5.33	MISRGの構成	50
図3.5.34	ウォッチドッグタイマ制御レジスタの構成	50
図3.5.35	割り込みエッジ選択レジスタの構成	51
図3.5.36	CPUモードレジスタの構成	51
図3.5.37	割り込み要求レジスタ1の構成	52
図3.5.38	割り込み制御レジスタ1の構成	52
図3.10.1	ピン接続図(M37534M4-XXXFP、M37534E8FP)	68
図3.10.2	ピン接続図(M37534M4-XXXGP、M37534E4GP)	69
図3.10.3	ピン接続図(M37534M4-XXXSP、M37534E8SP、M37534RSS)	70

表目次

第 1 章 ハードウェア

表 1 . 端子の機能説明	8
表 2 . サポート製品一覧	9
表 3 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令	11
表 4 . プロセッサステータスレジスタの各フラグをセット又はクリアする命令	12
表 5 . 入出力ポートの機能一覧	17
表 6 . 割り込みベクトル番地と優先順位	20
表 7 . SE0の幅及びデバイスの状態に依存した処理方法の関係	33
表 8 . 専用書き込みアダプタ	44
表 9 . 割り込み要因とベクトル番地、割り込みの優先順位	45
表10 . VrefとA/D変換器の基準電圧VREFの関係式	47
表11 . A/D変換中のA/D変換レジスタの変化	47
表12 . ストップモードの状態	49
表13 . ウェイトモードの状態	50
表14 . 7534グループのUSB機能改善ポイントの詳細	51
表15 . 32ピン版, 36ピン版, 42ピン版の相違点(I/Oポート)	51
表16 . 32ピン版, 36ピン版, 42ピン版の相違点(SFR)	52

第 2 章 応 用

表2.1.1 未使用端子の処理	7
表2.2.1 CNTR ₀ 極性切り替えビットの機能	13
表2.3.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例	44
表2.4.1 USB転送タイプ一覧	50
表2.4.2 USBパケットタイプ一覧	52
表2.4.3 USBパケット構成データ一覧	53
表2.4.4 USBパケット認識データ一覧	53
表2.4.5 USB特殊信号一覧	54

第 3 章 付 録

表3.1.1 絶対最大定格	2
表3.1.2 推奨動作条件(1)(指定のない場合, Vcc = 4.1 ~ 5.5V, Ta = - 20 ~ 85)	3
表3.1.3 電気的特性(1)(指定のない場合, Vcc = 4.1 ~ 5.5V, Vss = 0V, Ta = - 20 ~ 85)	4
表3.1.4 電気的特性(2)(指定のない場合, Vcc = 4.1 ~ 5.5V, Vss = 0V, Ta = - 20 ~ 85)	5
表3.1.5 A/Dコンバータ特性(指定のない場合, Vcc = 4.1 ~ 5.5V, Vss = 0V, Ta = - 20 ~ 85)	5
表3.1.6 タイミング必要条件(指定のない場合, Vcc = 4.1 ~ 5.5V, Vss = 0V, Ta = - 20 ~ 85)	6
表3.1.7 スイッチング特性(指定のない場合, Vcc = 4.1 ~ 5.5V, Vss = 0V, Ta = - 20 ~ 85)	6
表3.3.1 書き込みアダプタ対応表	24
表3.3.2 PROMライタのアドレス設定表	24
表3.5.1 CNTR ₀ 極性切り替えビットの機能	44

第1章

ハードウェア

概要
特長
応用
ピン接続
機能ブロック
端子の機能説明
グループ展開
機能ブロック動作説明
プログラミング上の注意事項
使用上の注意事項
マスク化発注時の提出資料
ROM書き込み方法
補足説明
7534グループのUSB機能改善ポイント
の詳細
USB機能を安定にご使用いただくための
補足情報

概要

7534グループは、740ファミリコアを採用した8ビットマイクロコンピュータです。

USB、8ビットタイマ、A/Dコンバータを内蔵しており、パソコン周辺入力機器に最適です。

特長

基本機械語命令	69
命令実行時間	0.34 μs
.....(最短命令、発振周波数6MHz時)	
メモリ容量	
ROM	8 ~ 16Kバイト
RAM	256 ~ 384バイト
プログラマブル入出力ポート	28本(36ピン版)
.....	24本(32ピン版)
.....	33本(42ピン版)
割り込み	14要因、8ベクタ
タイマ	8ビット×3

シリアルインタフェース

シリアルI/O1	USBではLow Speed専用 (Low-Speed USB2.0仕様準拠) (USB/UART)
シリアルI/O2	8ビット×1(クロック同期形)
A/Dコンバータ	10ビット分解能×8チャンネル
クロック発生回路	内蔵 (セラミック共振子又は水晶発振子外付け)
ウォッチドッグタイマ	16ビット×1
電源電圧	
XIN発振周波数(セラミック発振).....	6MHz時4.1 ~ 5.5V (USB動作時4.4V ~ 5.25V)
消費電力	30mW(標準)
動作周囲温度	- 20 ~ 85 (USB動作時0 ~ 70)
USB3.3Vレギュレータ+Low-Speed USB2.0仕様対応トランシーバ内蔵	

応用

パソコン周辺入力機器

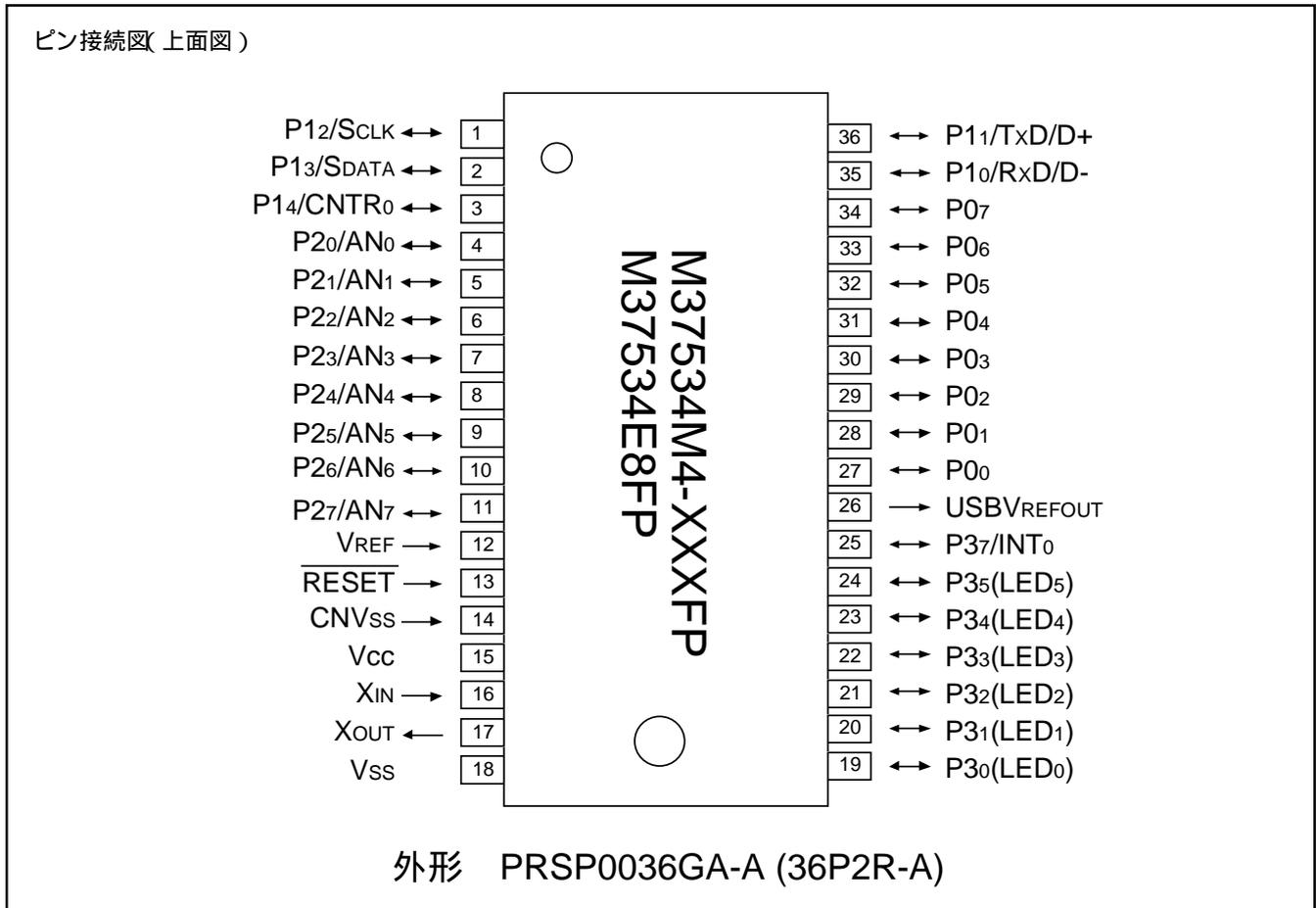


図1 . M37534M4-XXXXFP、M37534E8FPのピン接続図

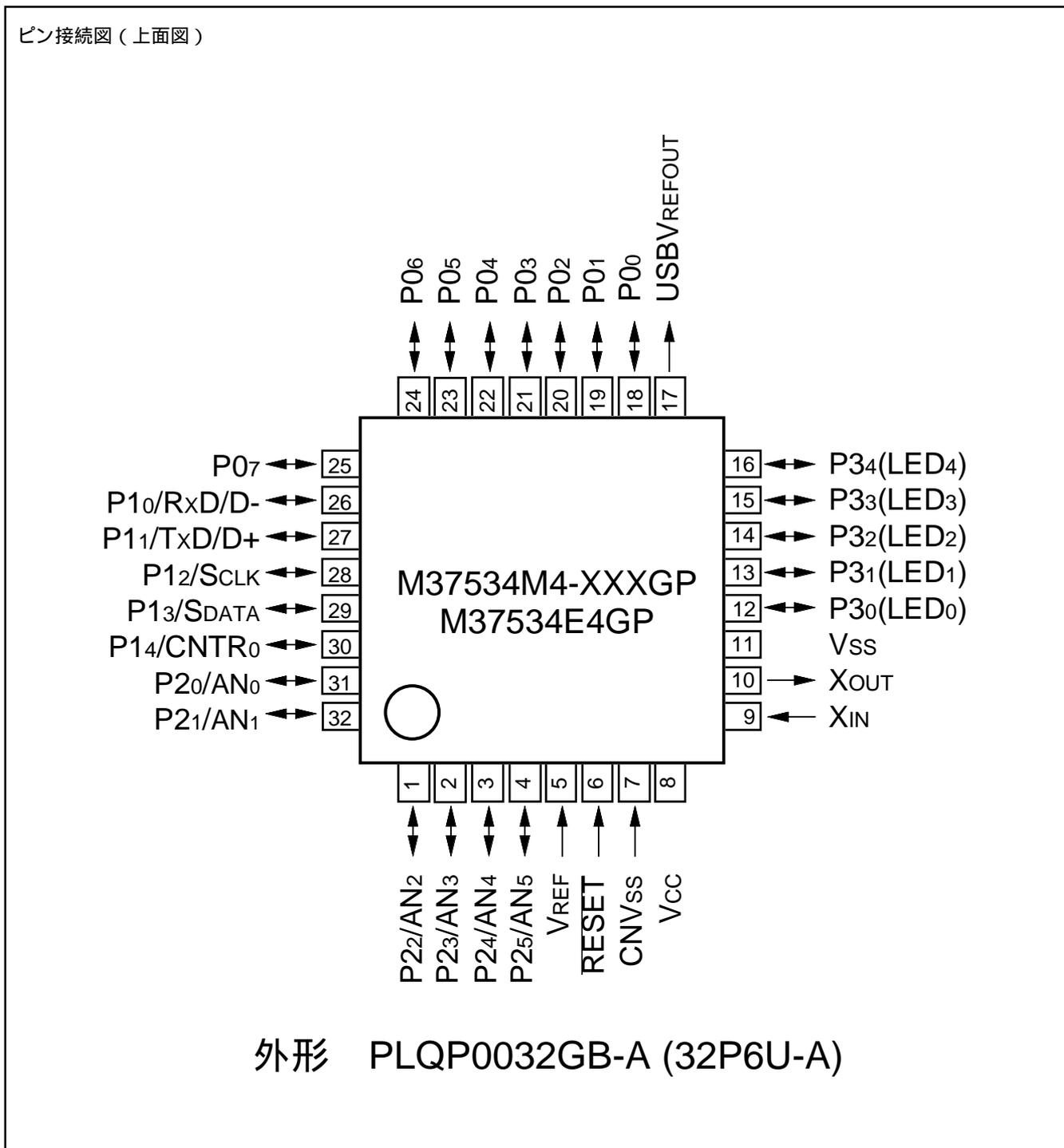


図2 . M37534M4-XXXGP、M37534E4GPのピン接続図

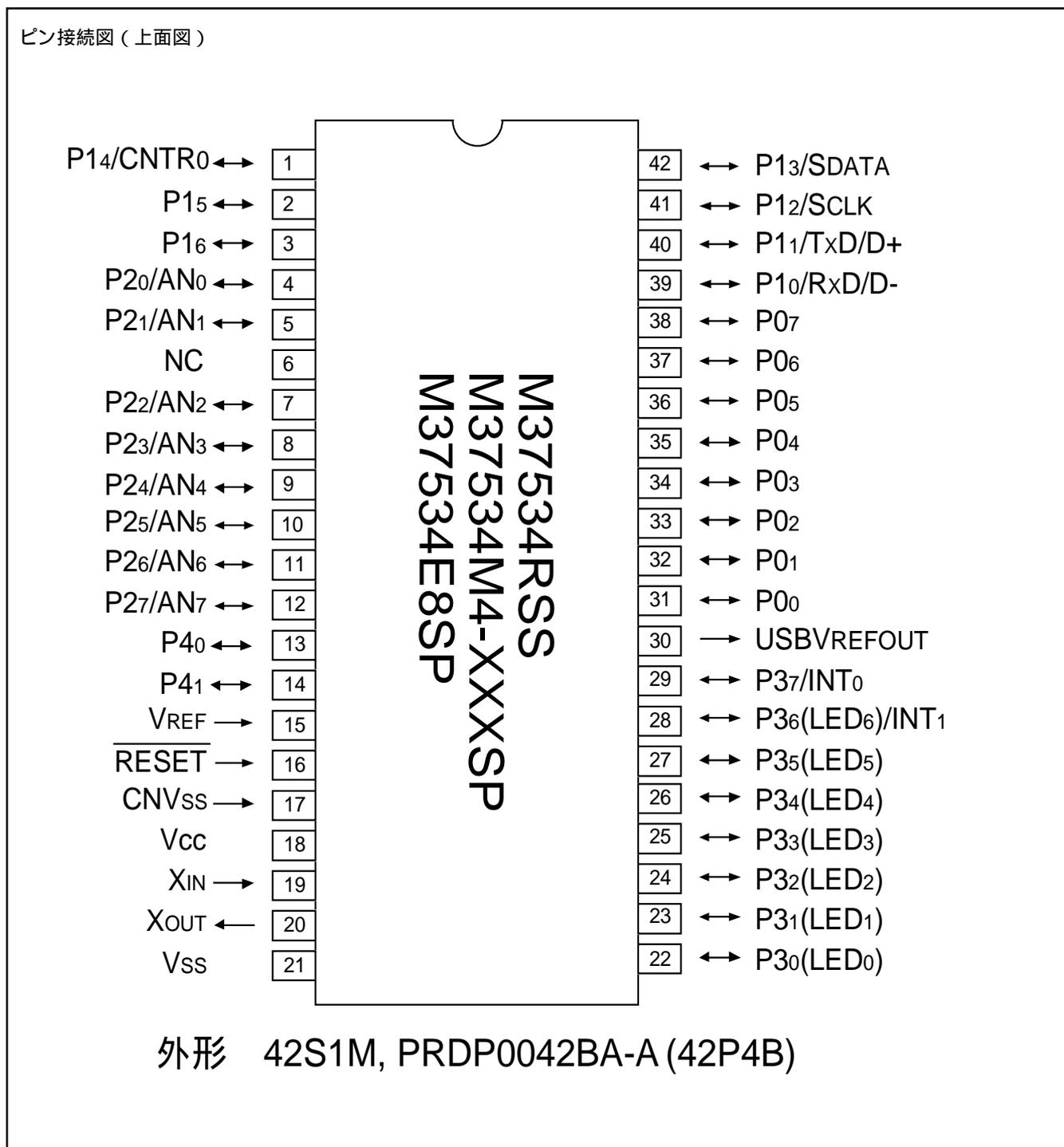


図3 . M37534RSS、M37534M4-XXXSP、M37534E8SPのピン接続図

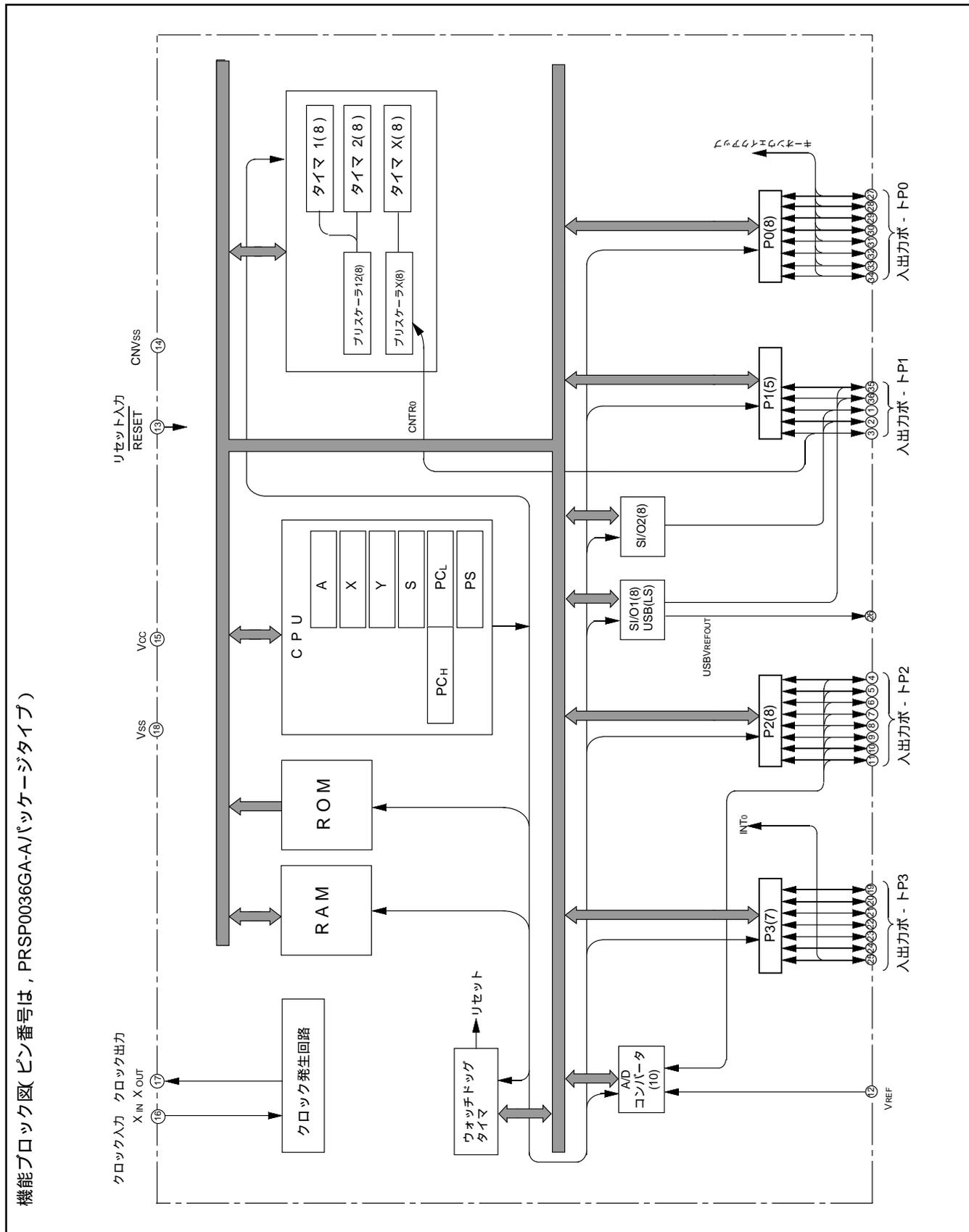


図 4 . 機能ブロック図(PRSP0036GA-Aパッケージタイプ)

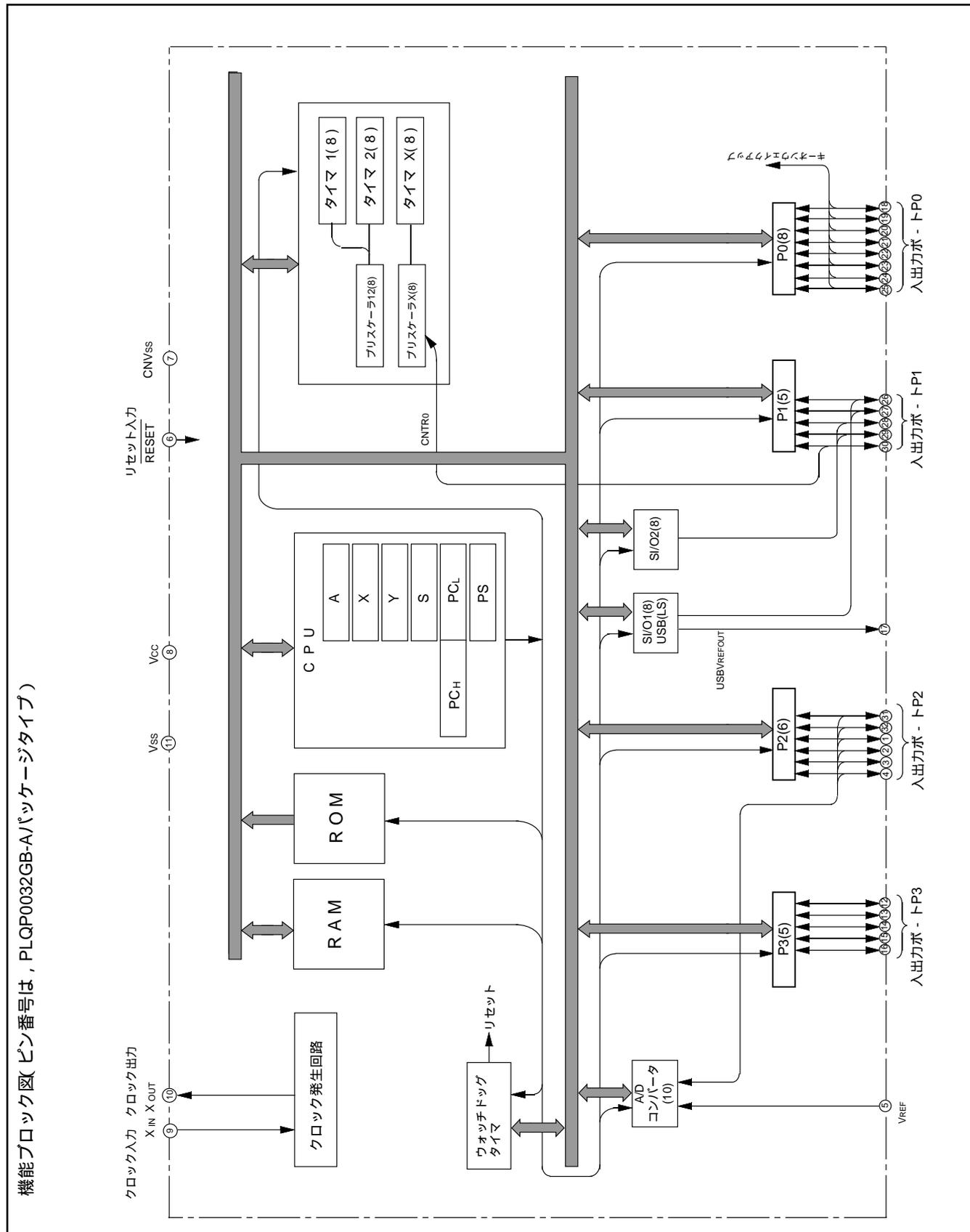


図 5 . 機能ブロック図(PLQP0032GB-Aパッケージタイプ)

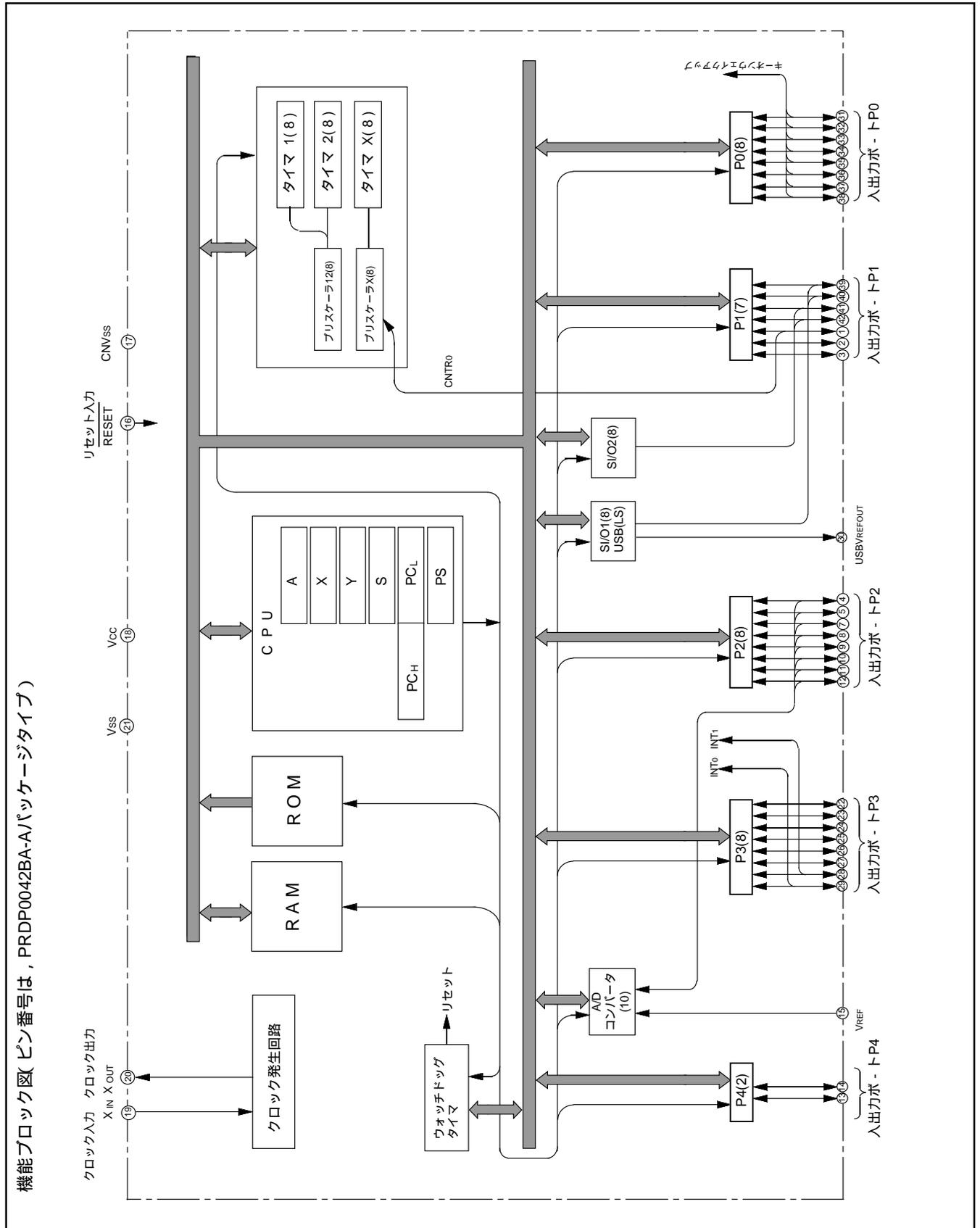


図 6 . 機能ブロック図(PRDP0042BA-Aパッケージタイプ)

端子の機能説明

表 1 . 端子の機能説明

端子名	名称	機能	
			ポート以外の機能
VCC, VSS	電源入力	VCCに4.1 ~ 5.5V (USB 動作時は4.4 ~ 5.25V), VSSに0Vを印加します。	
VREF	基準電圧入力	A/D変換器の基準電圧入力端子です。	
USBVREFOUT	USB基準電圧出力	D-ラインを1.5k の外付け抵抗でプルアップするための出力端子です。	
CNVSS	CNVSS	チップの動作モードを制御する端子で常にVSSに接続します。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	内部クロック発生回路の入出力端子で、XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。	
XOUT	クロック出力	外部クロック使用時にはクロック発振源をXIN端子に接続し、XOUT端子は開放にします。	
P00 ~ P07	入出力ポートP0	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。CMOS入力レベルで、出力形式はCMOS3ステートです。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	キー入力(キーオンウェイクアップ) 割り込み入力 端子
P10/RxD/D- P11/TxD/D+	入出力ポートP1	7ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルで、出力形式はCMOS3ステートです。P10,P12,P13はCMOS/TTLレベル切り替えが可能です。USB機能使用時は、P10,P11の入力レベルはUSB入力レベル、出力はUSB出力レベルとなります。	シリアルI/O1機能端子
P12/SCLK P13/SDATA			シリアルI/O2機能端子
P14/CNTR0			タイマXの機能端子
P15,P16			
P20/AN0 ~ P27/AN7	入出力ポートP2	P0とほぼ同等の機能を持った8ビットの入出力ポートです。CMOS入力レベルで、出力形式はCMOS3ステートです。	A/D変換器の入力端子
P30 ~ P35	入出力ポートP3	8ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。(P36,P37については、CMOS/TTLレベルの切替えが可能です。)出力形式は、CMOS3ステートで、このうちP30 ~ P36の7ビットはLED駆動用の大電流出力が可能です。 内蔵プルアップ抵抗の使用・未使用をプログラムで選択できます。	割り込み入力端子
P36/INT1 P37/INT0			
P40,P41	入出力ポートP4	2ビットの入出力ポートです。プログラムにより、ビット単位で入出力の指定が可能です。入力レベルは、CMOS入力レベルです。	

グループ展開

7534グループは、次のような展開を計画しています。

メモリの種類

マスクROM版、ワンタイムPROM版、エミュレータ専用MCUのサポート

パッケージ

PRSP0036GA-A 0.8mmピッチプラスチックモールドSOP
 PLQP0032GB-A ... 0.8mmピッチプラスチックモールドLQFP
 PRDP0042BA-A 42ピンプラスチックモールドSDIP
 42S1M 42ピンシュリンクセラミックPIGGY BACK

メモリ容量

ROM/PROM容量 8K ~ 16Kバイト

RAM容量 256 ~ 384バイト

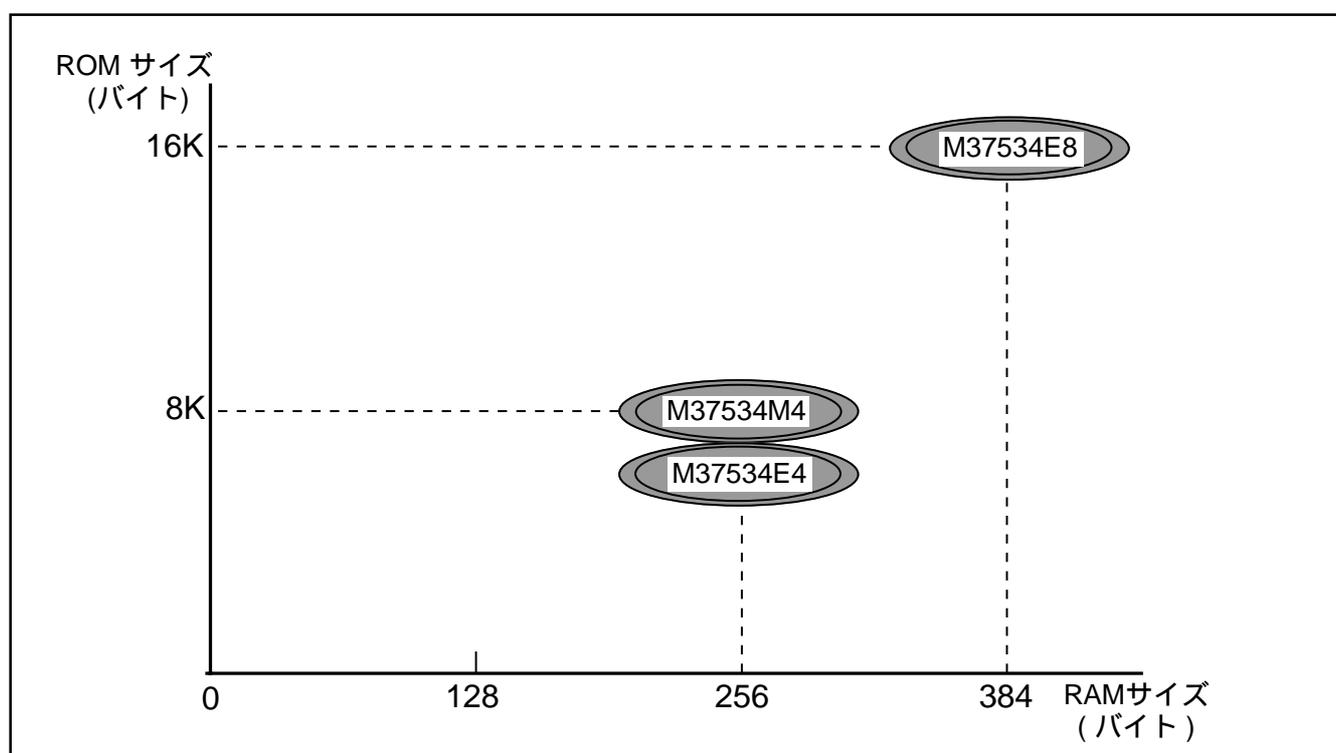


図7 . ROM及びRAM展開計画

現在開発を行っている製品を下記に示します。

表2 . サポート製品一覧

製品型名	(P)ROM容量(バイト) ()内はユーザROM容量	RAM容量 (バイト)	パッケージ	備考
M37534M4-XXXFP	8192(8062)	256	PRSP0036GA-A	マスクROM版
M37534M4-XXXGP	8192(8062)	256	PLQP0032GB-A	マスクROM版
M37534M4-XXXSP	8192 (8062)	256	PRDP0042BA-A	マスクROM版
M37534E4GP	8192 (8062)	256	PLQP0032GB-A	ワンタイムPROM版(ブランク品)
M37534E8FP	16384(16254)	384	PRSP0036GA-A	ワンタイムPROM版(ブランク品)
M37534E8SP	16384 (16254)	384	PRDP0042BA-A	ワンタイムPROM版(ブランク品)
M37534RSS	—————	384	42S1M	エミュレータ専用MCU

機能ブロック動作説明

中央演算処理装置(CPU)

7534グループは740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレスモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照ください。

品種に依存する命令については以下のとおりです。

- 1 . FST、SLW命令はありません。
- 2 . MUL、DIV命令はありません。
- 3 . WIT命令が使用可能です。
- 4 . STP命令が使用可能です。

中央A/DZ装置(CPU)には6個のレジスタがあります。図8にCPUのレジスタ構成を示します。

【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

【インデックスレジスタX】(X)

インデックスレジスタA/D、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

A/DXタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

スタックへの退避及び復帰動作を図9に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

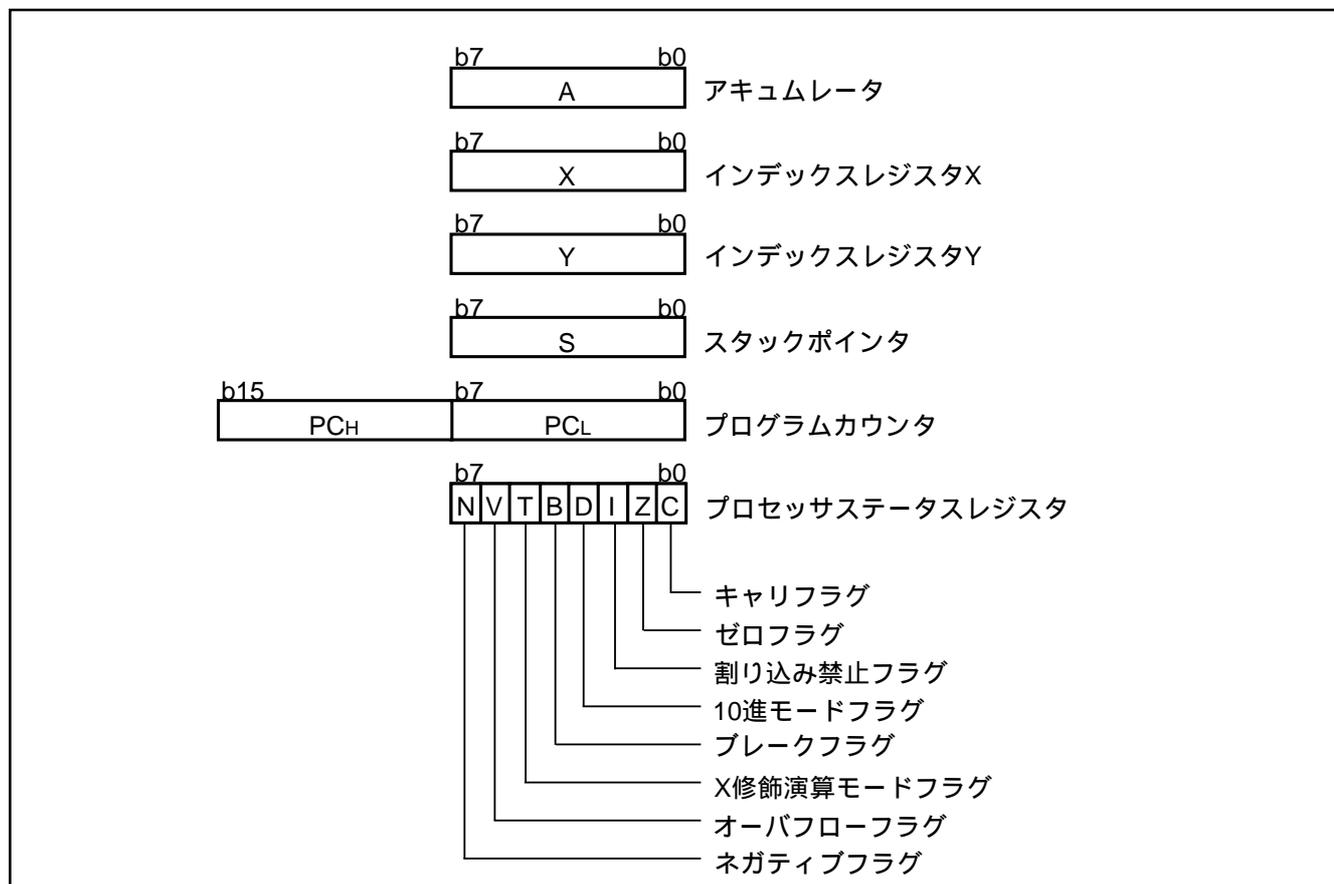


図8 . 740ファミリ CPUの構成

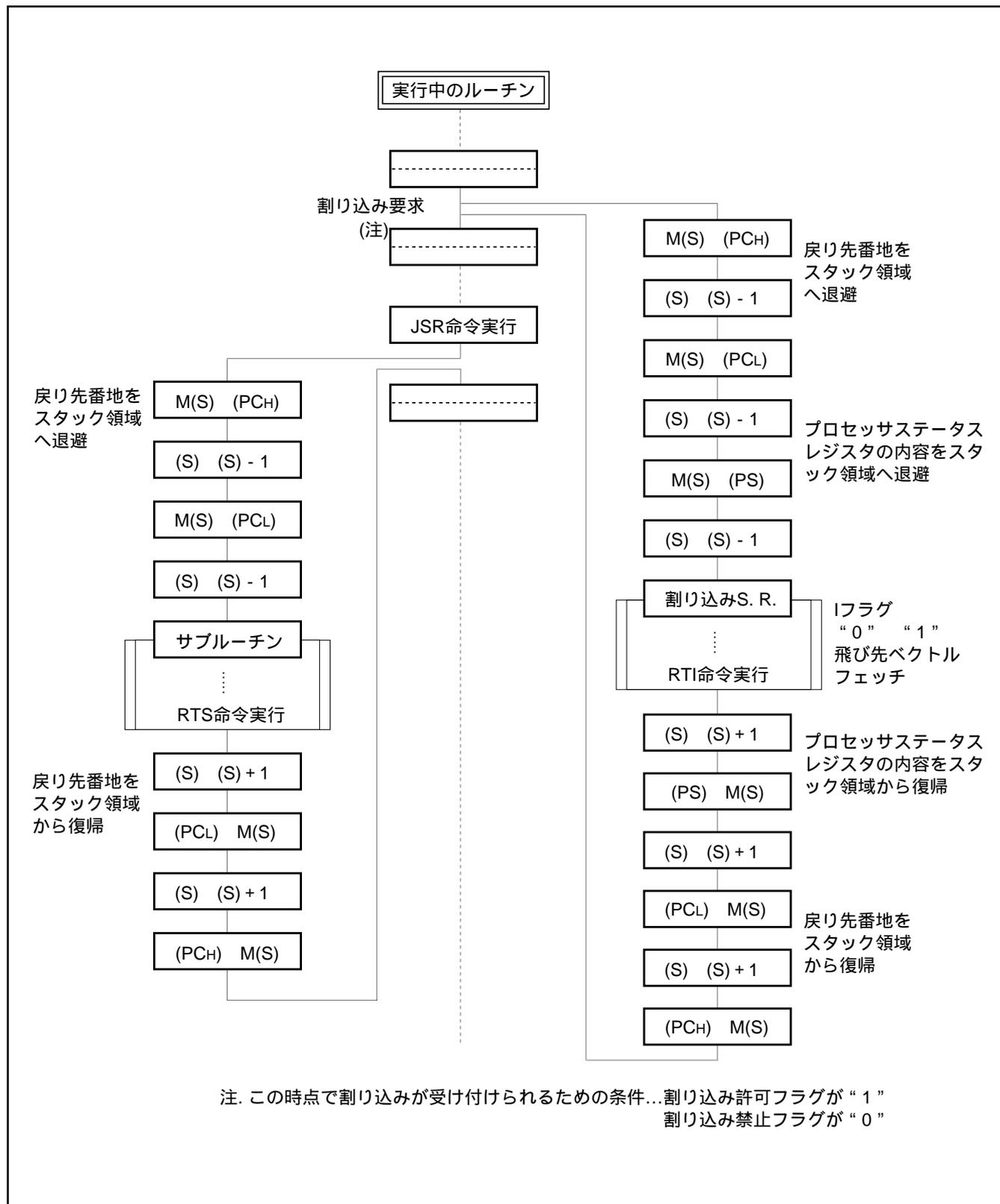


図9 . スタックへの退避及び復帰動作

表3 . アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

	スタックに退避する命令	スタックより復帰する命令
アキュムレータ	PHA	PLA
プロセッサステータスレジスタ	PHP	PLP

【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

リセット後、割り込み禁止フラグは“1”にセットされますが、その他のフラグは不定です。X修飾演算モードフラグ(T)及び10進演算フラグ(D)は、直接演算に影響を及ぼしますので、必ず初期設定を行ってください。

・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又は borrow を保持します。シフト命令又はローテート命令でも変化します。

・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

割り込み発生時、発生した割り込みの処理が終了するまで他の割り込みの発生を禁止するために、このフラグは自動的に“1”にセットされます。

・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ、メモリとI/O、I/OとI/O間の直接演算及び直接データ転送ができます。この場合、メモリ1とメモリ2の演算結果はメモリ1に格納されます。メモリ1のアドレスはインデックスXレジスタによって指定され、メモリ2のアドレスは通常のアドレッシングモードによって指定されます。

・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4 . プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPUモードレジスタ】CPUM

CPUモードレジスタには、スタックページ選択のビットなどが割り当てられています。

このレジスタは003B₁₆番地に配置されています。

CPUモードレジスタの切り替え手順

リセット解除後のプログラムの先頭で、CPUモードレジスタ(CPUM)の切り替えを以下の手順で行ってください。

スタックページに関する注意事項

スタックページビットにより1ページをスタックとして使用される場合は、RAM容量に応じてスタックとして使用できる領域が異なります。特に、マスクROM版とワンタイムPROM版、エミュレータ専用MCUとでRAM容量が異なることにご注意ください。

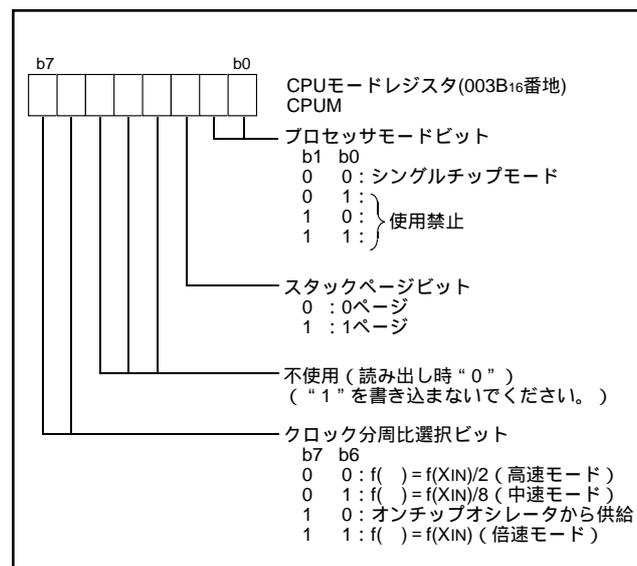


図10 . CPUモードレジスタの構成

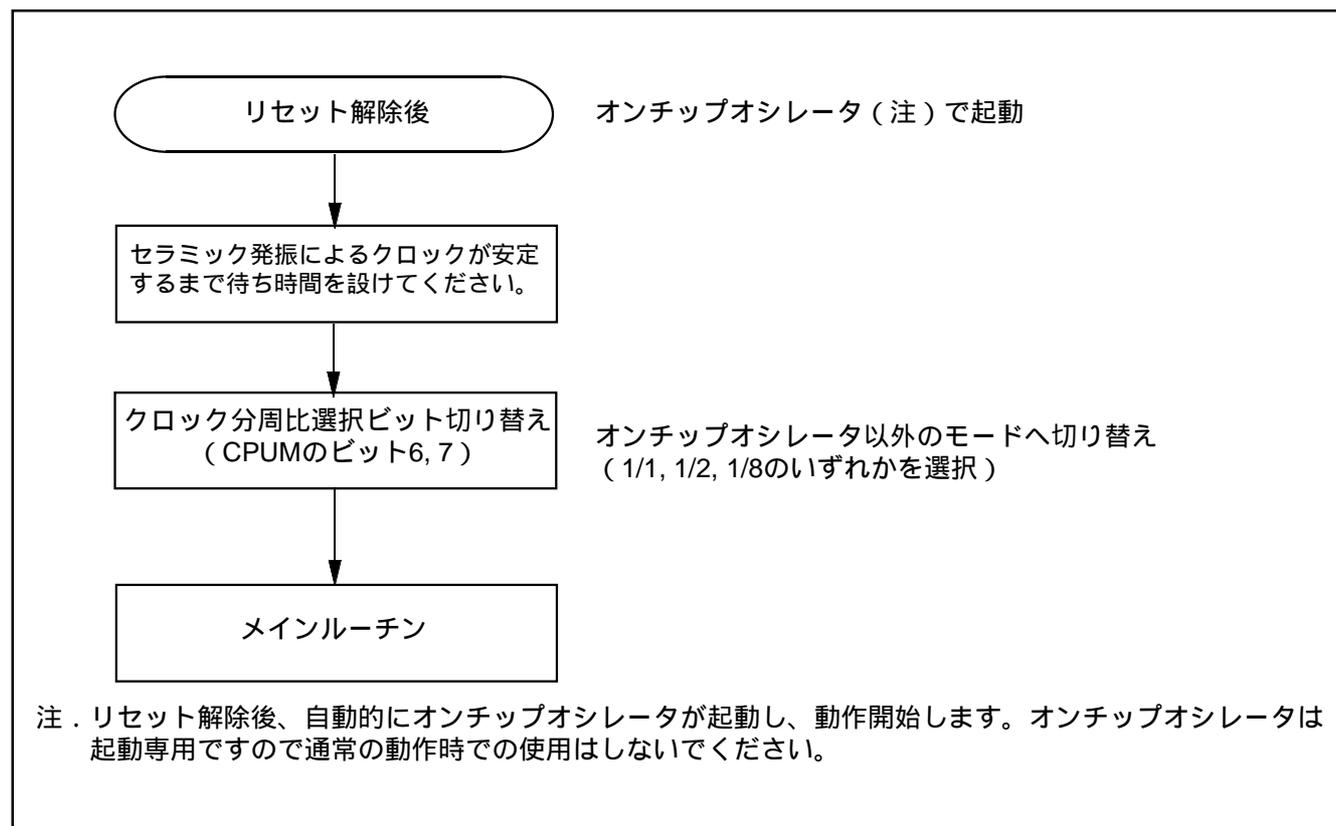


図11 . CPUモードレジスタの切り替え手順

メモリ

SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

ROM

先頭の128バイトと最後の2バイトは、製品検査用の予約領域で、それ以外がユーザ領域です。

割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

ゼロページ

ゼロページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

スペシャルページ

スペシャルページアドレッシングモードを使用することにより、2語でアクセスできる領域です。

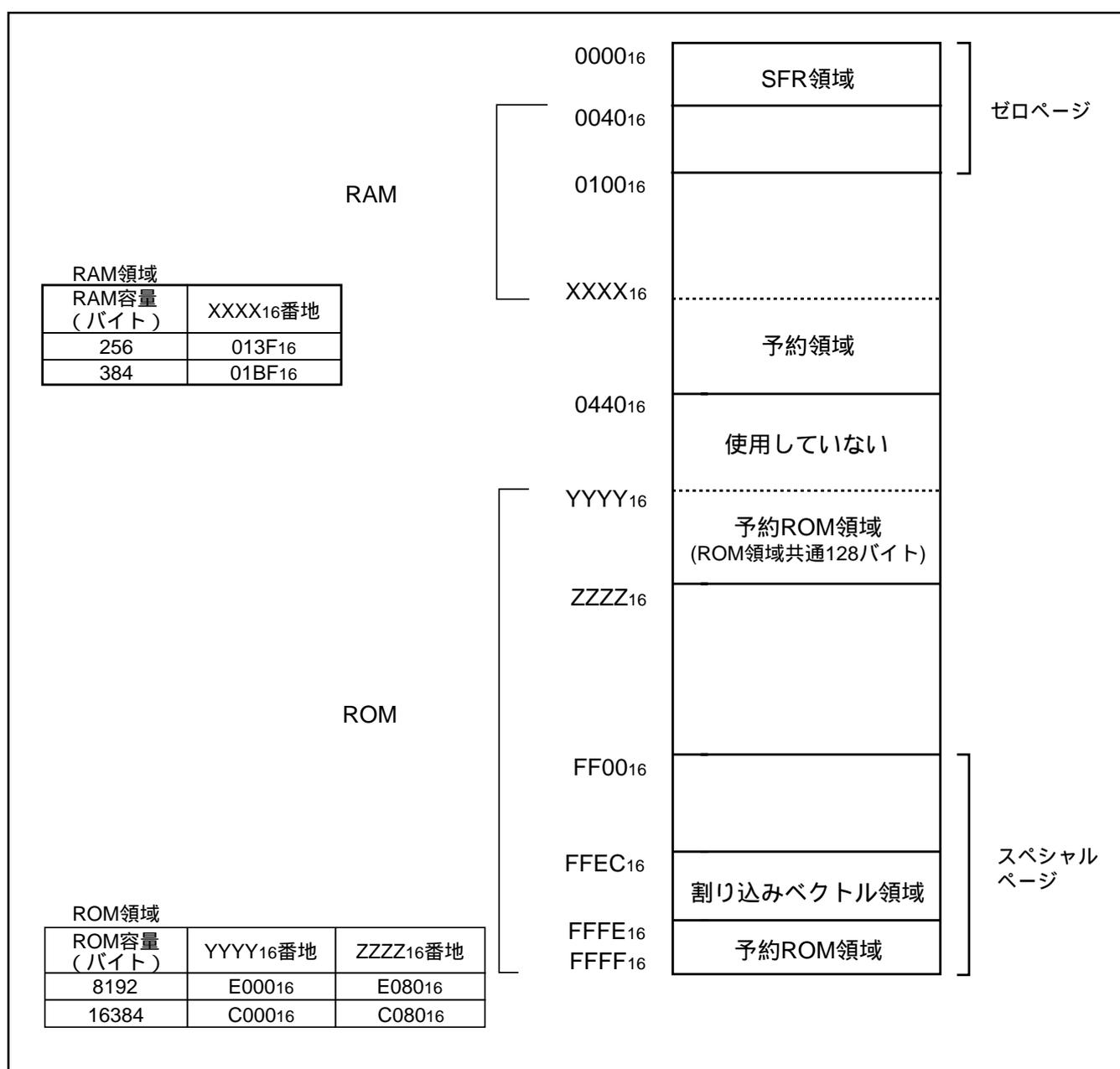


図12 . メモリ配置図

0000 ₁₆	ポートP0(P0)	0020 ₁₆	USB割り込み制御レジスタ(USBICON)
0001 ₁₆	ポートP0方向レジスタ(P0D)	0021 ₁₆	USB送信データバイト数設定レジスタ0 (EP0BYTE)
0002 ₁₆	ポートP1(P1)	0022 ₁₆	USB送信データバイト数設定レジスタ1 (EP1BYTE)
0003 ₁₆	ポートP1方向レジスタ(P1D)	0023 ₁₆	USBPID制御レジスタ0(EP0PID)
0004 ₁₆	ポートP2(P2)	0024 ₁₆	USBPID制御レジスタ1(EP1PID)
0005 ₁₆	ポートP2方向レジスタ(P2D)	0025 ₁₆	USBアドレスレジスタ(USBA)
0006 ₁₆	ポートP3(P3)	0026 ₁₆	USBシーケンスビット初期化レジスタ(INISQ1)
0007 ₁₆	ポートP3方向レジスタ(P3D)	0027 ₁₆	USB制御レジスタ(USBCON)
0008 ₁₆	ポートP4(P4)	0028 ₁₆	プリスケアラ12(PRE12)
0009 ₁₆	ポートP4方向レジスタ(P4D)	0029 ₁₆	タイマ1(T1)
000A ₁₆		002A ₁₆	タイマ2(T2)
000B ₁₆		002B ₁₆	タイマXモードレジスタ(TM)
000C ₁₆		002C ₁₆	プリスケアラX(PREX)
000D ₁₆		002D ₁₆	タイマX(TX)
000E ₁₆		002E ₁₆	タイマカウントソース設定レジスタ(TCSS)
000F ₁₆		002F ₁₆	
0010 ₁₆		0030 ₁₆	シリアルI/O2制御レジスタ(SIO2CON)
0011 ₁₆		0031 ₁₆	シリアルI/O2レジスタ(SIO2)
0012 ₁₆		0032 ₁₆	
0013 ₁₆		0033 ₁₆	
0014 ₁₆		0034 ₁₆	A/D制御レジスタ(ADCON)
0015 ₁₆		0035 ₁₆	A/D変換下位レジスタ(ADL)
0016 ₁₆	プルアップ制御レジスタ(PULL)	0036 ₁₆	A/D変換上位レジスタ(ADH)
0017 ₁₆	ポートP1P3制御レジスタ(P1P3C)	0037 ₁₆	
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	USBステータス(USBSTS)/UARTステータスレジスタ(UARTSTS)	0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
001A ₁₆	シリアルI/O1制御レジスタ(SIO1CON)	003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
001B ₁₆	UART制御レジスタ(UARTCON)	003B ₁₆	CPUモードレジスタ(CPUM)
001C ₁₆	ボーレートジェネレータ(BRG)	003C ₁₆	割り込み要求レジスタ1(IREQ1)
001D ₁₆	USBデータトグル同期確認レジスタ(TRSYNC)	003D ₁₆	
001E ₁₆	USB割り込み要因判別レジスタ1(USBIR1)	003E ₁₆	割り込み制御レジスタ1(ICON1)
001F ₁₆	USB割り込み要因判別レジスタ2(USBIR2)	003F ₁₆	

図13 . SFR (スペシャルファンクションレジスタ)メモリマップ

入出力ポート

【方向レジスタ】PiD

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを“1”にセットするとその端子は出力ポートになります。“0”にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができません。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

【プルアップ制御】PULL

ポートP0、P3はプルアップ制御レジスタ(0016₁₆番地)を設定することによりプログラムでプルアップの制御が可能です。ただし、出力ポートに設定されている端子はこの制御から切り離され、プルアップは行われません。

【ポートP1P3制御】P1P3C

ポートP10、P12、P13、P36、P37は、ポートP1P3制御レジスタ(0017₁₆番地)を設定することによりプログラムでCMOS入力レベル又は、TTL入力レベルの選択が可能です。

なお、36ピン版では、ポートP3方向レジスタ及びポートP3レジスタの各ビット6は、必ず“1”にセットしてください。32ピン版では、同レジスタの各ビット5、6、7は、必ず“1”にセットしてください。

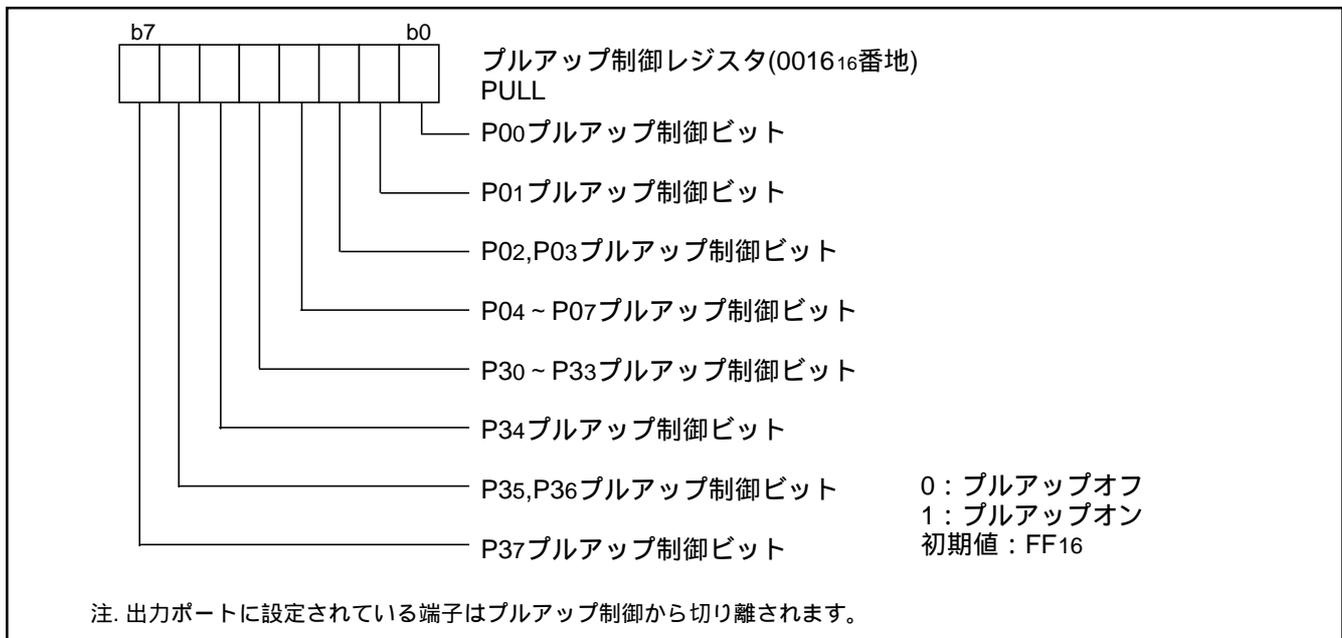


図14 . プルアップ制御レジスタの構成

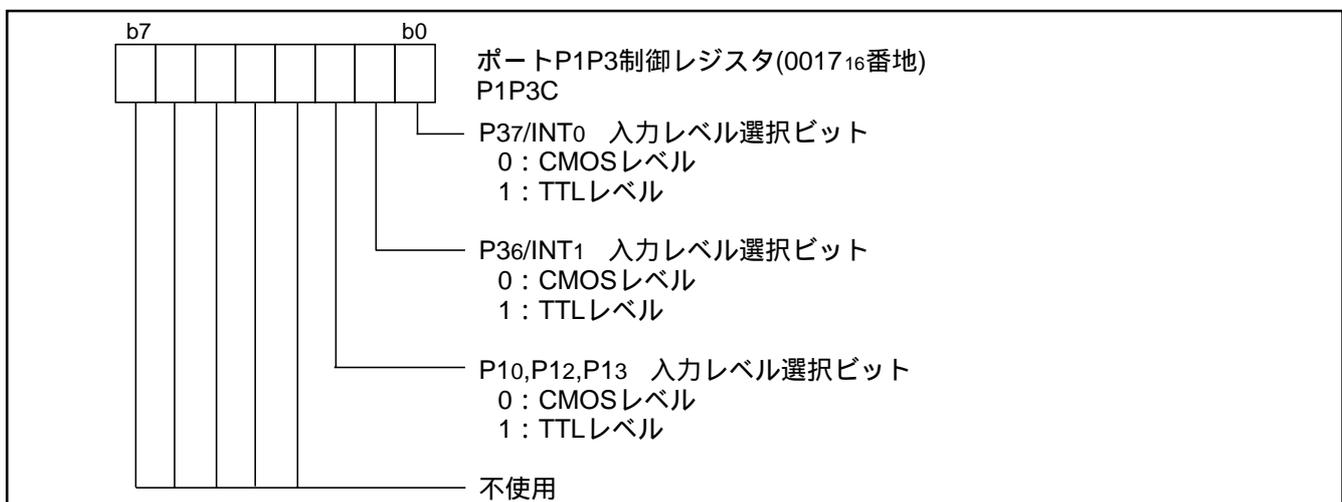


図15 . ポートP1P3制御レジスタの構成

表5 . 入出力ポートの機能一覧

端子名	名称	入出力	入出力形式	ポート以外の機能	関連するSFR	図番
P00 ~ P07	ポートP0	入出力 ビット単位	CMOS入力レベル CMOS3ステート出力	キー入力割り込み	プルアップ制御レジスタ	(1)
P10/RxD/D- P11/TxD/D+	ポートP1		USB機能選択時、USB 入出力レベル	シリアルI/O1機能入 出力	シリアルI/O1制御レジスタ	(2) (3)
P12/SCLK P13/SDATA			CMOS入力レベル CMOS3ステート出力 (注)	シリアルI/O2機能入 出力	シリアルI/O2制御レジスタ	(4) (5)
P14/CNTR0				タイマX機能入出力	タイマXモードレジスタ	(6)
P15,P16						
P20/AN0 ~ P27/AN7			ポートP2	A/D変換入力	A/D制御レジスタ	(7)
P30 ~ P35	ポートP3					(8)
P36/INT1 P37/INT0			外部割り込み入力	割り込みエッジ選択レジスタ	(9)	
P40,P41	ポートP4					(10)

注. P10,P12,P13,P36,P37はCMOS/TTL入力レベル

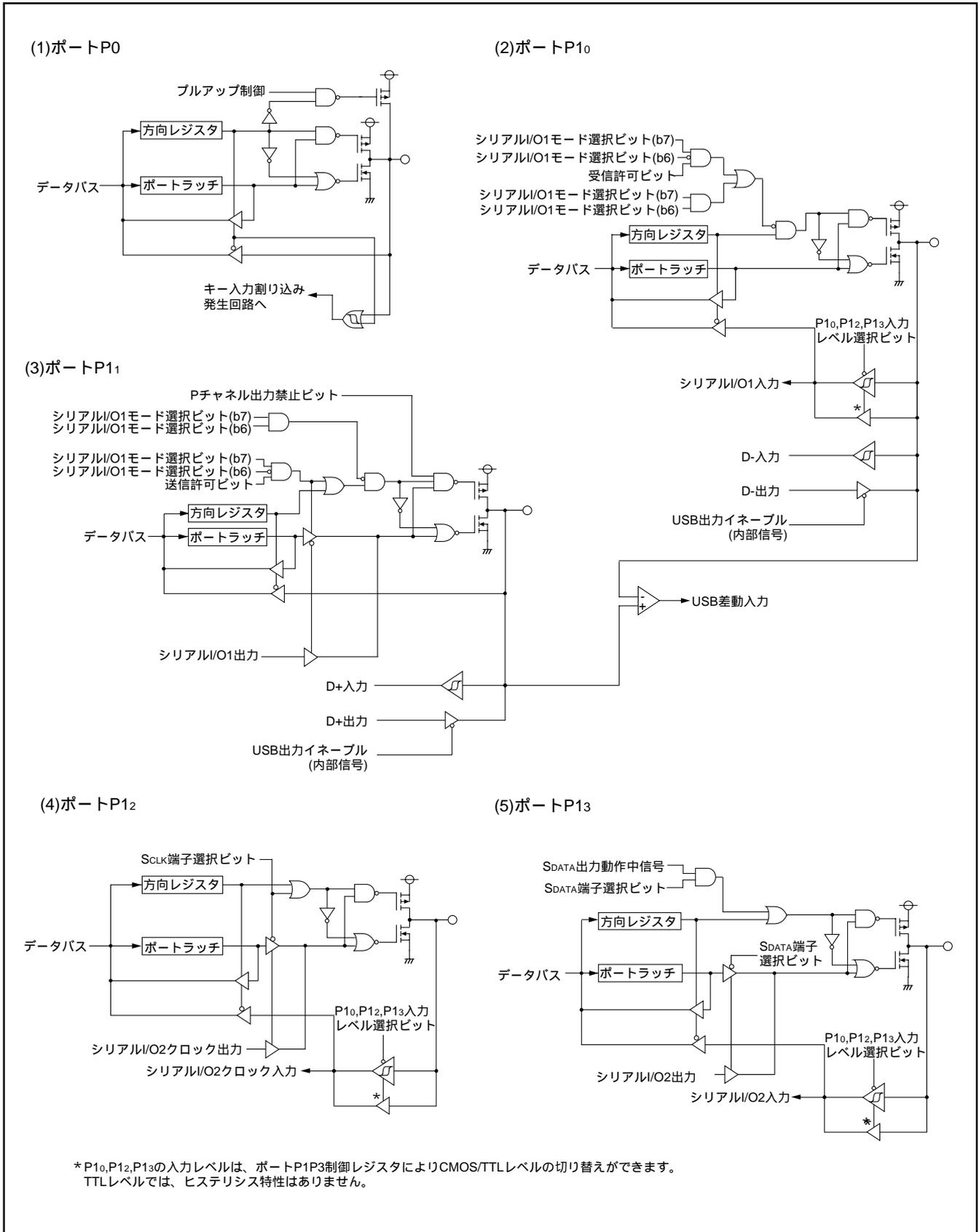
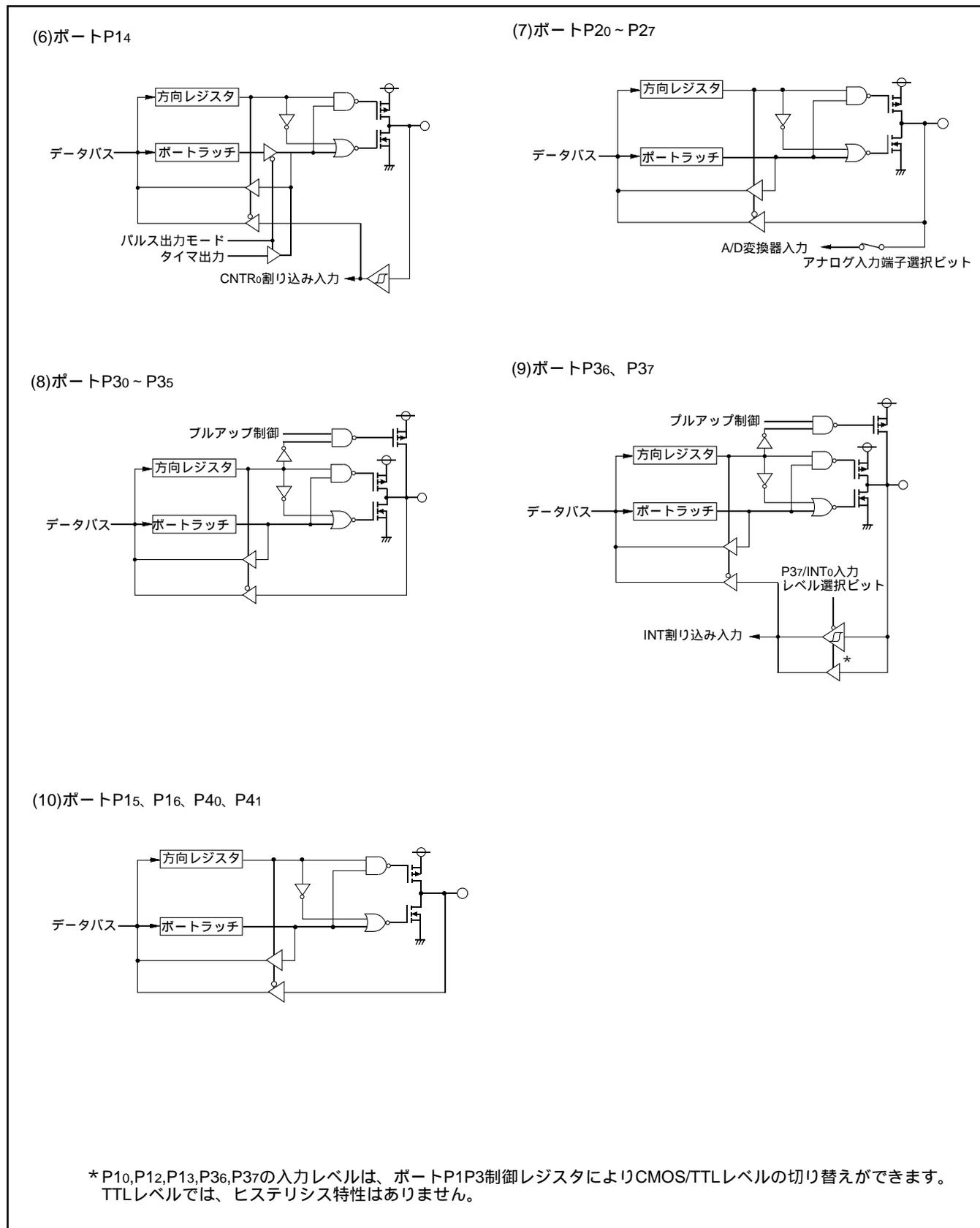


図16 . ポートのブロック図(1)



* P10,P12,P13,P36,P37の入力レベルは、ポートP1P3制御レジスタによりCMOS/TTLレベルの切り替えができます。
TTLレベルでは、ヒステリシス特性はありません。

割り込み

割り込みはベクトル割り込みで、外部4要因、内部9要因、ソフトウェア1要因の14要因から発生することが可能です。

割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが“1”でかつ割り込み禁止フラグが“0”のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

なお、割り込みエッジ選択レジスタのビット7によりCNTR0とA/D変換割り込み要因を切り替え、ビット6によりタイマ2とシリアルI/O2割り込み要因を切り替え、ビット5によりタイマXとキーオンウェイクアップ割り込み要因を切り替え、ビット4によりシリアルI/O送信とINT1割り込み要因をそれぞれ切り替えて使用できます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

注意事項

外部割り込み (INT0、INT1、CNTR0) のアクティブエッジを設定する際、割り込み要求ビットがセットされることがあります。割り込みを禁止し、割り込みエッジ選択レジスタ (CNTR0の場合はタイマXモードレジスタ) を設定した後割り込み要求ビットをクリアしてから、割り込みを受け付けてください。

表6 . 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地 (注1)		割り込み要求発生条件	備考
		上位	下位		
リセット (注2)	1	FFFD16	FFFC16	リセット時	ノンマスクابل
UART受信	2	FFFB16	FFFA16	UARTデータ受信完了時	UARTモード時有効
USB INトークン				INトークン検出時	USBモード時有効
UART送信	3	FFF916	FFF816	UART送信シフト完了時又は送信バッファ空き時	UARTモード時有効
USB SETUP/OUTトークン リセット/サスペンド/レジューム				SETUP/OUTトークン検出時又は リセット/サスペンド/レジューム検出時	USBモード時有効
INT1				INT1入力の立ち上がり又は立ち下が りエッジ検出時	外部割り込み (極性プログラマブル)
INT0	4	FFF716	FFF616	INT0入力の立ち上がり又は立ち下が りエッジ検出時	外部割り込み (極性プログラマブル)
タイマX キーオンウェイクアップ	5	FFF516	FFF416	タイマXアンダフロー時	外部割り込み (立ち下がり有効)
				ポートP(X入力時)の入力論理レベル の論理積の立ち下がり時	
タイマ1	6	FFF316	FFF216	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	7	FFF116	FFF016	タイマ2アンダフロー時	
シリアルI/O2割り込み				送信又は受信シフト終了時	
CNTR0	8	FFEF16	FFEE16	CNTR0入力の立ち上がり又は立ち下 がりエッジ検出時	外部割り込み (極性プログラマブル)
A/D変換				A/D変換終了時	
BRK命令	9	FFED16	FFEC16	BRK命令実行時	ノンマスクابلソフトウェア割り込み

注1 . ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

- 2 . リセットは最上位の優先順位を持つ割り込みとして処理されます。

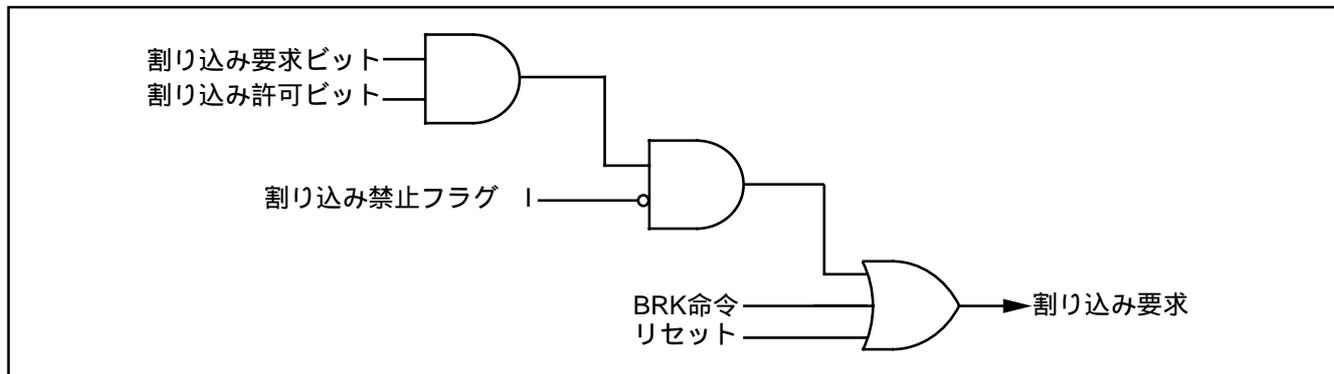


図18．割り込み制御図

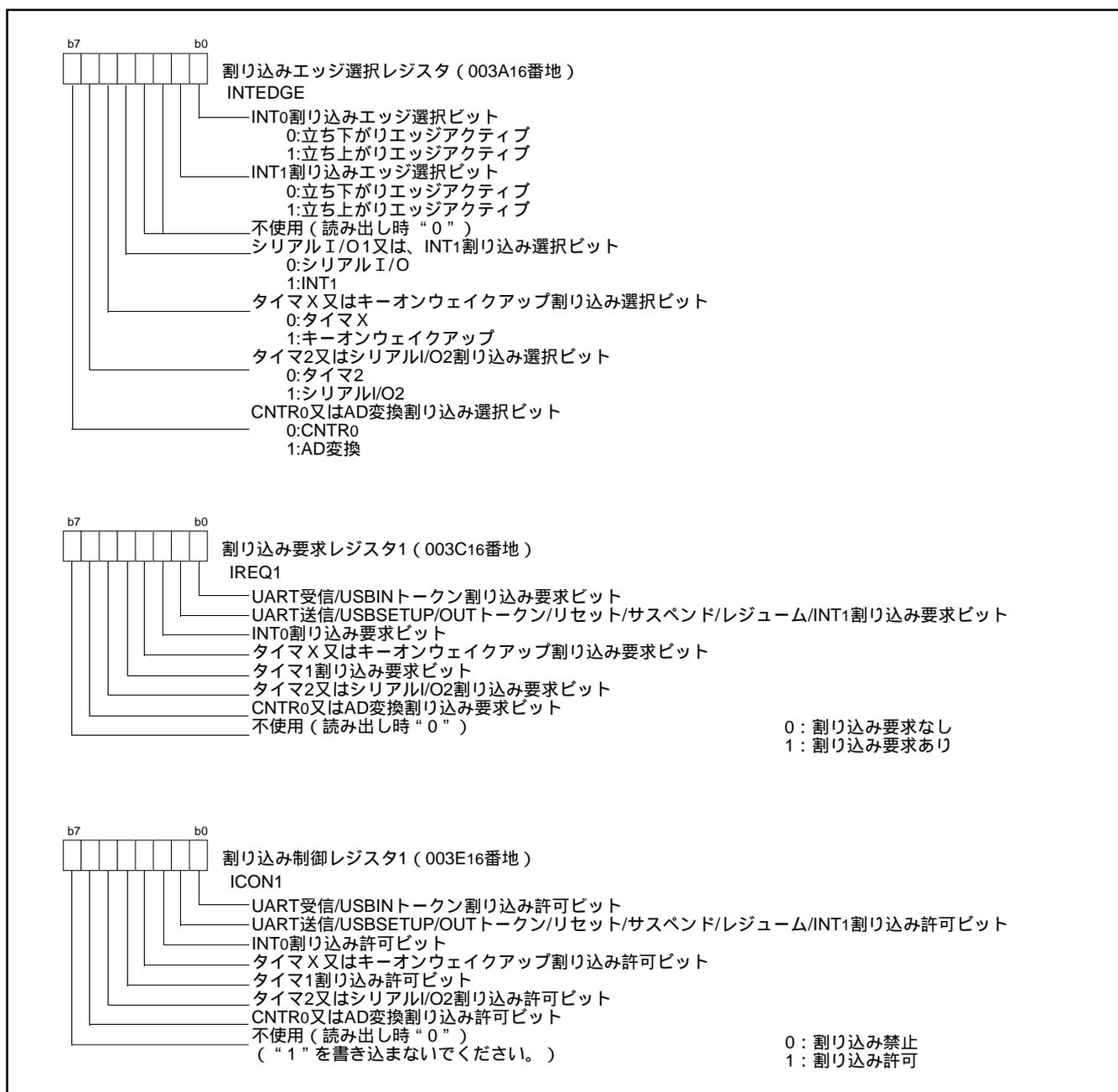


図19．割り込み関係レジスタの構成

キー入力割り込み(キーオンウェイクアップ)

キー入力割り込みは、ポートP0のうち入力に設定されている端子のいずれかに“L”レベルの電圧が印加されると、すなわち入力レベルの論理積が“1”から“0”になると割り込み要

求が発生します。図はキー入力割り込みを用いた一例で、ポートP00~P03を入力とするアクティブ“L”のキーマトリクスを構成すると、キーを押すことによって割り込みが発生します。

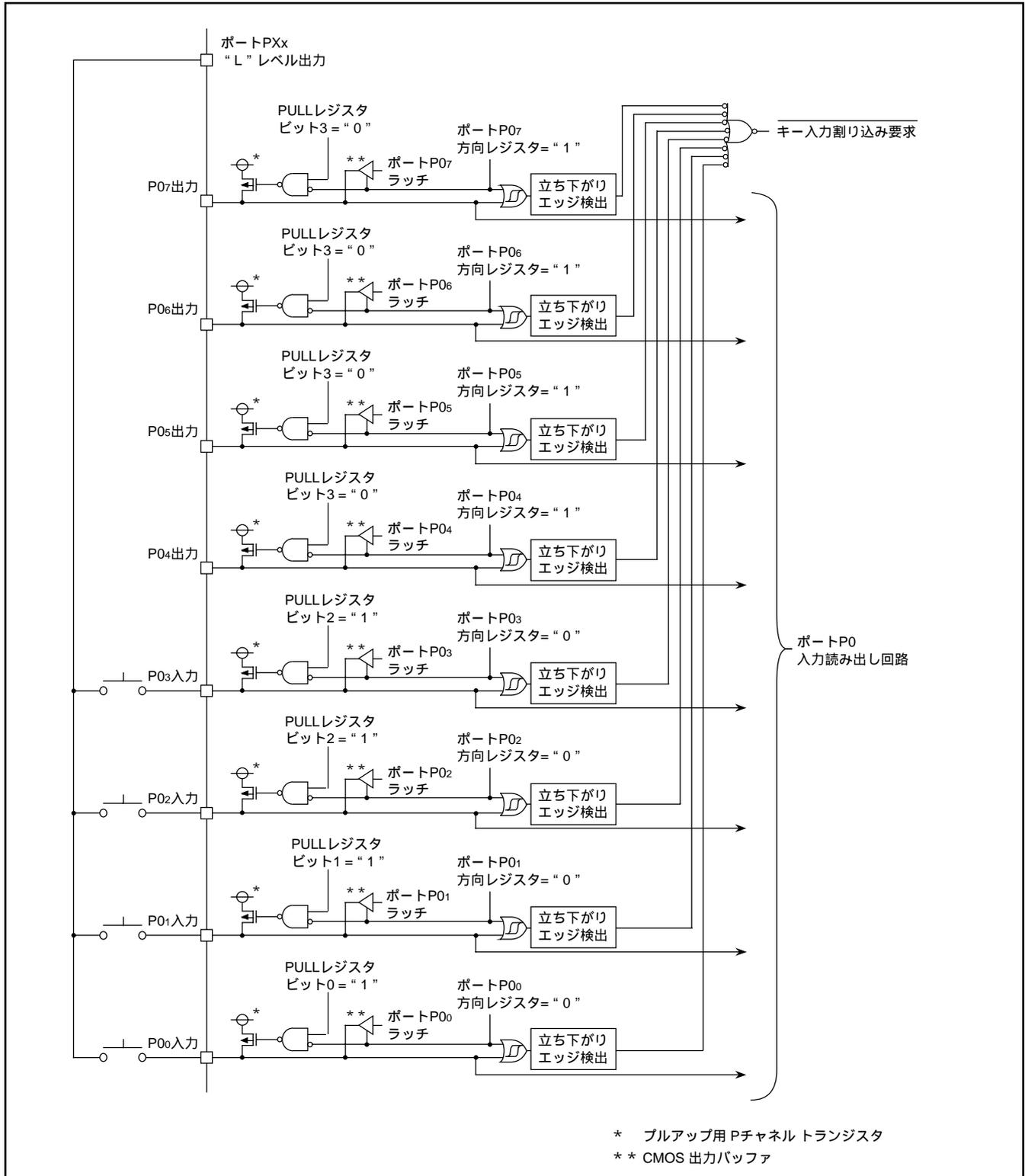


図20 . キー入力割り込み使用時の結線例とポートP0のブロック図

タイマ

タイマはタイマX、タイマ1及びタイマ2の3本あります。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチ又はプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされます。またタイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

タイマ1, タイマ2

プリスケアラ12は、常に発振周波数を16分周した信号をカウントします。タイマ1及びタイマ2は、常にプリスケアラの出力をカウントし、周期的に割り込み要求ビットをセットします。

タイマX

タイマXはタイマXモードレジスタを設定することにより、それぞれ4つの動作モードを選択することができます。

(1) タイマモード

タイマXカウントソース選択ビットにより選ばれた信号をカウントします。

(2) パルス出力モード

タイマXカウントソース選択ビットにより選ばれた信号をカウントし、タイマの内容が“0”になるたびに極性の反転する出力をCNTR0端子より出力します。CNTR0極性切り替えビットが“0”のときは、CNTR0端子の出力は“H”出力から開始します。“1”のときは、“L”出力から開始します。このモードを使用する場合はポートP14の方向レジスタを出力モードに設定してください。

(3) イベントカウンタモード

CNTR0端子からの入力信号をカウントすることを除けばタイマモードと同じ動作をします。

CNTR0極性切り替えビットが“0”のときは、CNTR0端子の立ち上がりエッジを、“1”のときは立ち下がりエッジをカウントします。

(4) パルス幅測定モード

CNTR0極性切り替えビットが“0”のときは、CNTR0端子が“H”の期間、タイマXカウントソース選択ビットにより選ばれた信号をカウントします。“1”のときは、“L”の期間、カウントします。

いずれのモードでも、タイマXカウント停止ビットを“1”に設定することによりカウントを停止することが可能です。また、タイマがオーバーフローするたびに割り込み要求ビットをセットします。

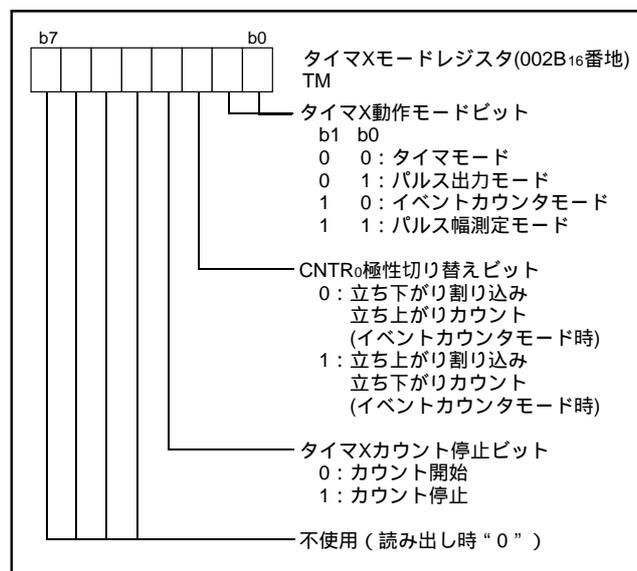


図21. タイマXモードレジスタの構成

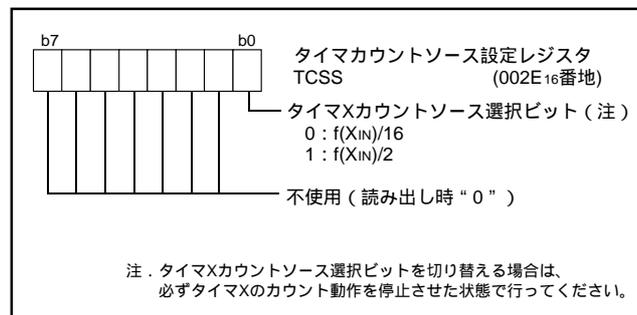


図22. タイマカウントソース設定レジスタの構成

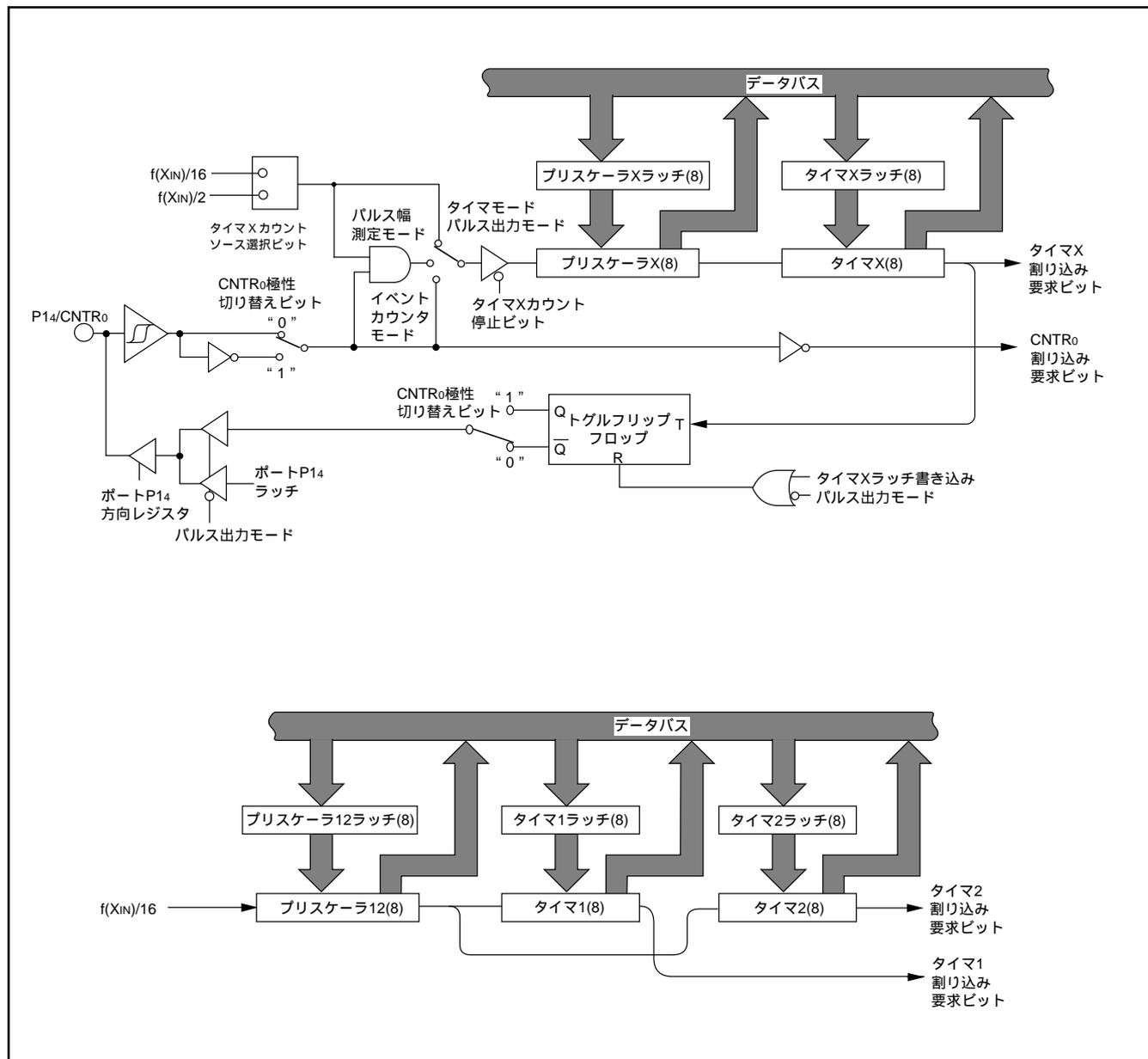


図23 . タイマX , タイマ1及びタイマ2のブロック図

シリアルインタフェース

シリアルI/O1

(1)非同期形シリアルI/O(UART)モード

シリアルI/O1は、非同期形(UART)として動作可能です。また、シリアルI/O1動作時のボーレート発生専用タイム(ボーレートジェネレータ)を備えています。

8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

シリアルデータの送信、受信を行う送信シフトレジスタ、

受信シフトレジスタにそれぞれのバッファレジスタを持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

また、連続送信有効ビット(SIO1CONのb2)を'1'にすることによって同一データを連続して送信し続けることができます。これにより簡易PWMとして使用することが可能です。

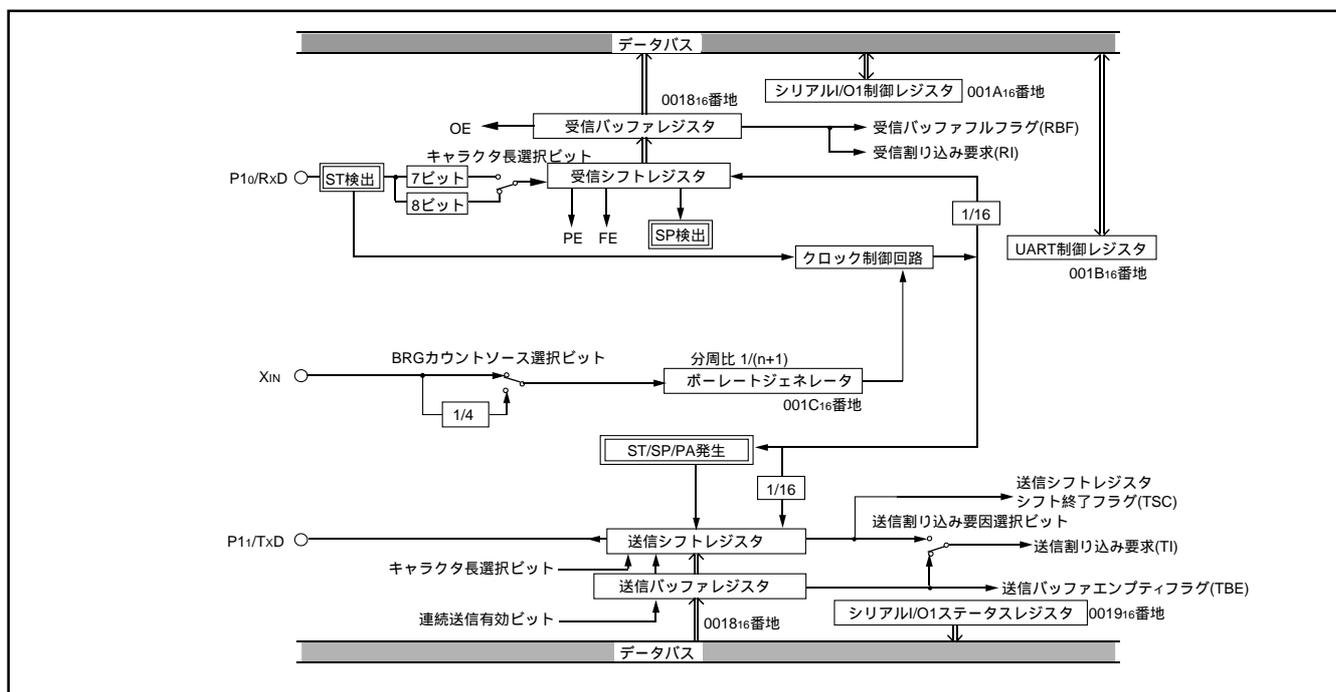


図24 . UART形シリアルI/O1ブロック図

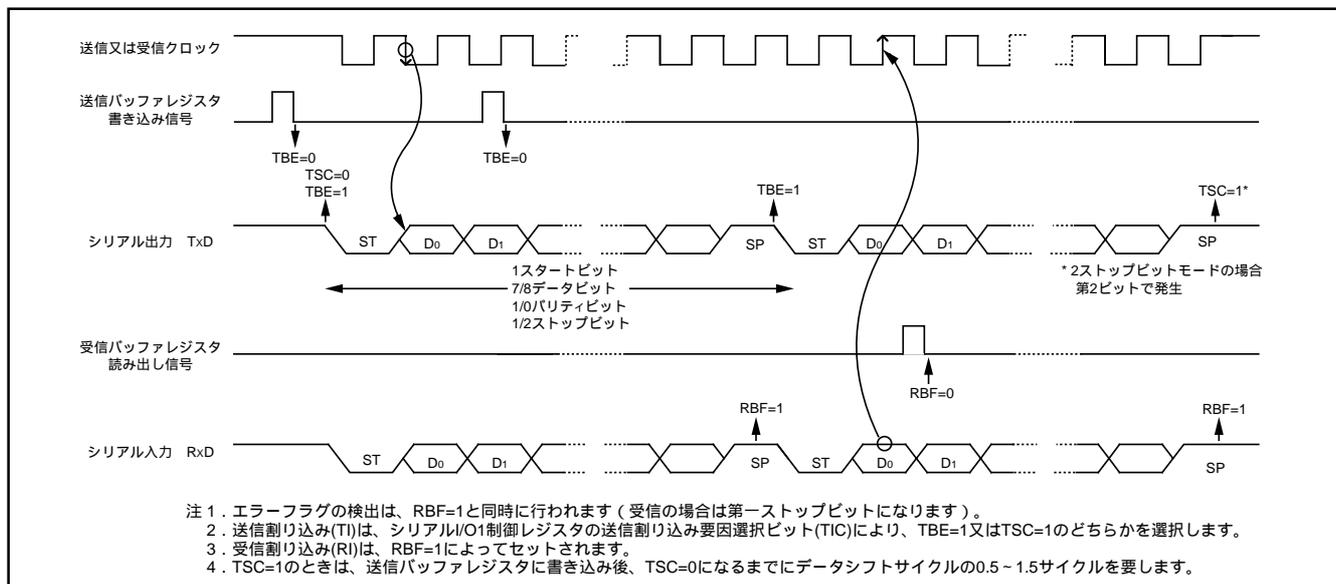


図25 . UART形シリアルI/O1動作図

【シリアルI/O1制御レジスタ】SIO1CON

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

【UART制御レジスタ】UARTCON

UART選択時に有効な4ビットの制御ビットと1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P11/TxD端子の入出力形式などを設定します。

【UARTステータスレジスタ】UARTSTS

このレジスタはUART選択時にUARTステータスレジスタ(UARTSTS)として機能し、UARTの動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。UARTステータスレジスタへの書き込みですべてのエラーフラグ(OE, PE, FE, SE)がクリアされます。また、シリアルI/O1モード選択ビット(MOD1, MOD0)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタはリセット時⁸¹¹⁶に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたときビット2は“1”になります。

【送信/受信バッファレジスタ】TB/RB

送信バッファレジスタと受信バッファレジスタは同じアドレスに配置されており、送信バッファレジスタは書き込み専用、受信バッファレジスタは読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタに格納される受信データのMSBは“0”となります。

【ボーレートジェネレータ】BRG

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

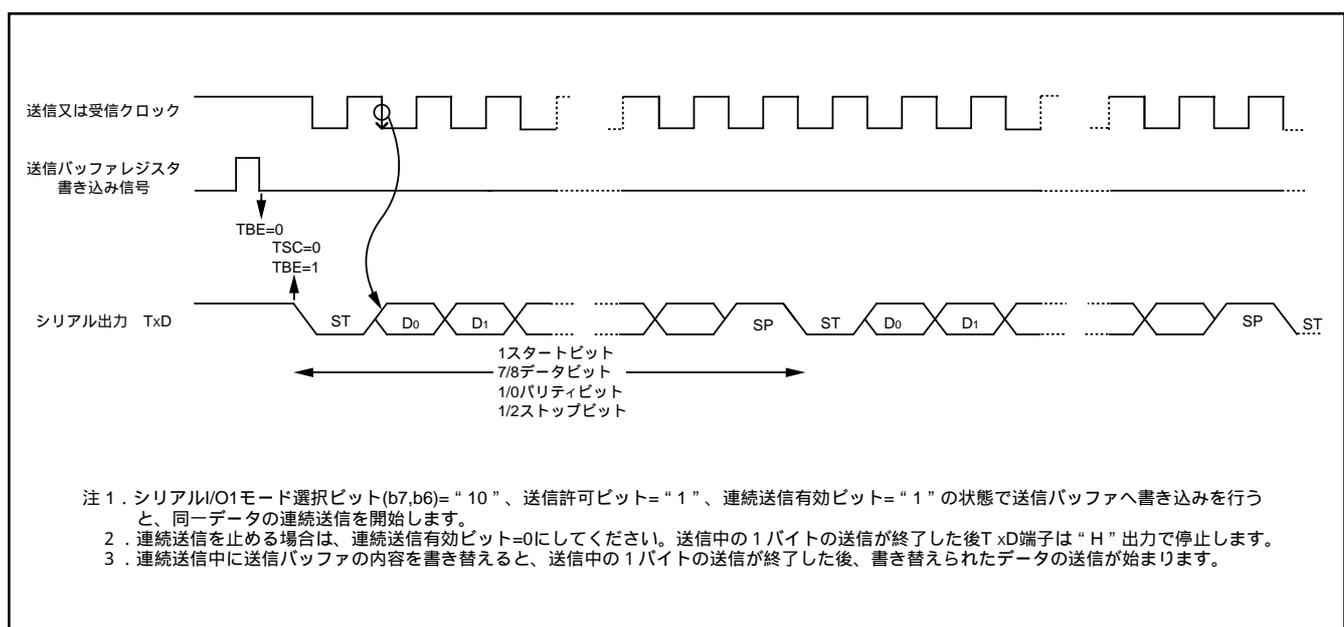


図26 . UART形シリアルI/O1連続送信動作図

(2)ユニバーサルシリアルバス(USB)モード

シリアルI/O1制御レジスタ(001A16番地)のビット7とビット6を“11”にセットすることにより、USBモードが選択されます。Low-Speed USB2.0仕様に準拠したFunction機能を持っています。このモードにおいて、シリアルI/O1の割り込み要因は、USBイン及びアウトトークン受信、セットアップトークン受信、USBリセット、サスペンド、レジュームの6要因で

す。更に、UARTステータス/USBステータスレジスタはUSBステータスレジスタ(USBSTS)として機能します。また、USB基準電圧出力であるUSBVREFOUT端子を備えており、D-ラインを1.5k の外付け抵抗により、プルアップすることが可能です。

USBモードブロック図及びUSBトランシーバブロック図を図27、28に示します。

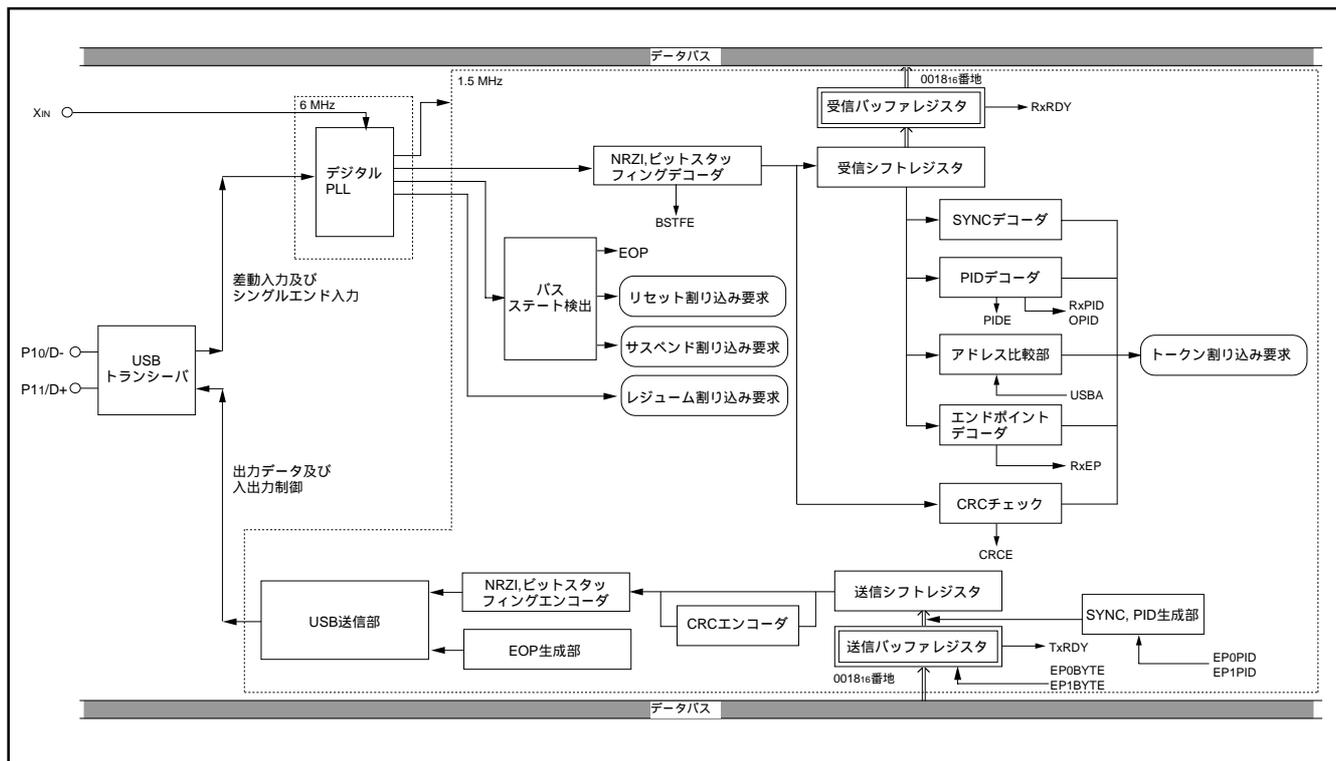


図27 . USBモードブロック図

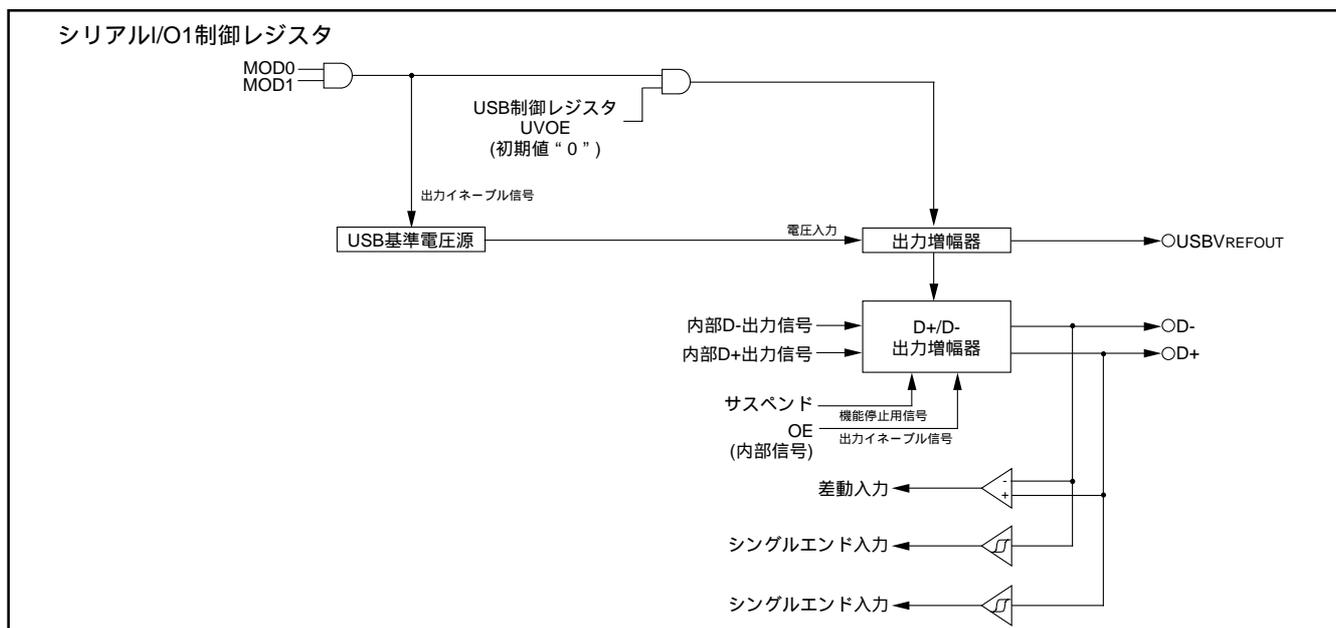


図28 . USBトランシーバブロック図

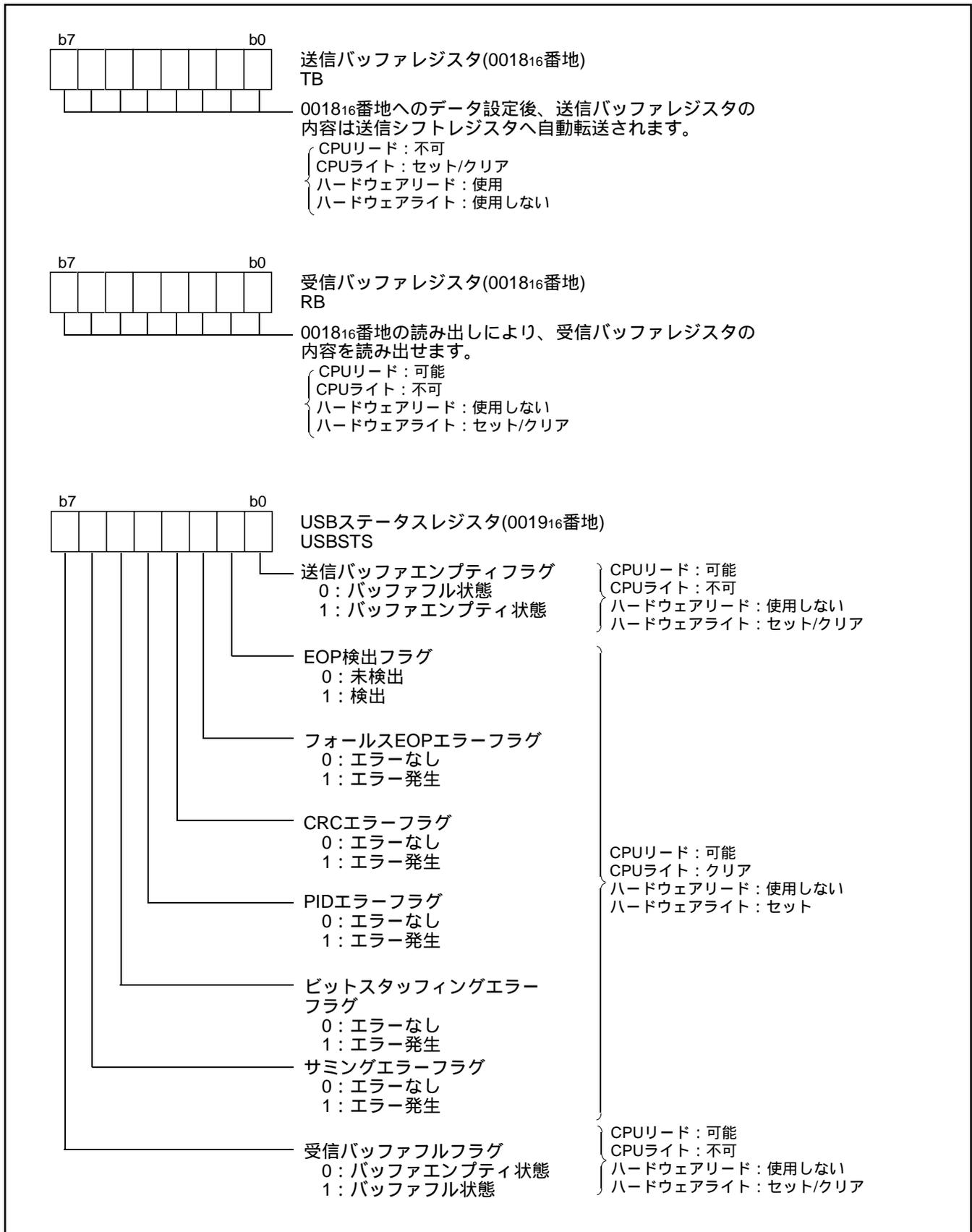


図29 . シリアルI/O関係レジスタの構成(1)

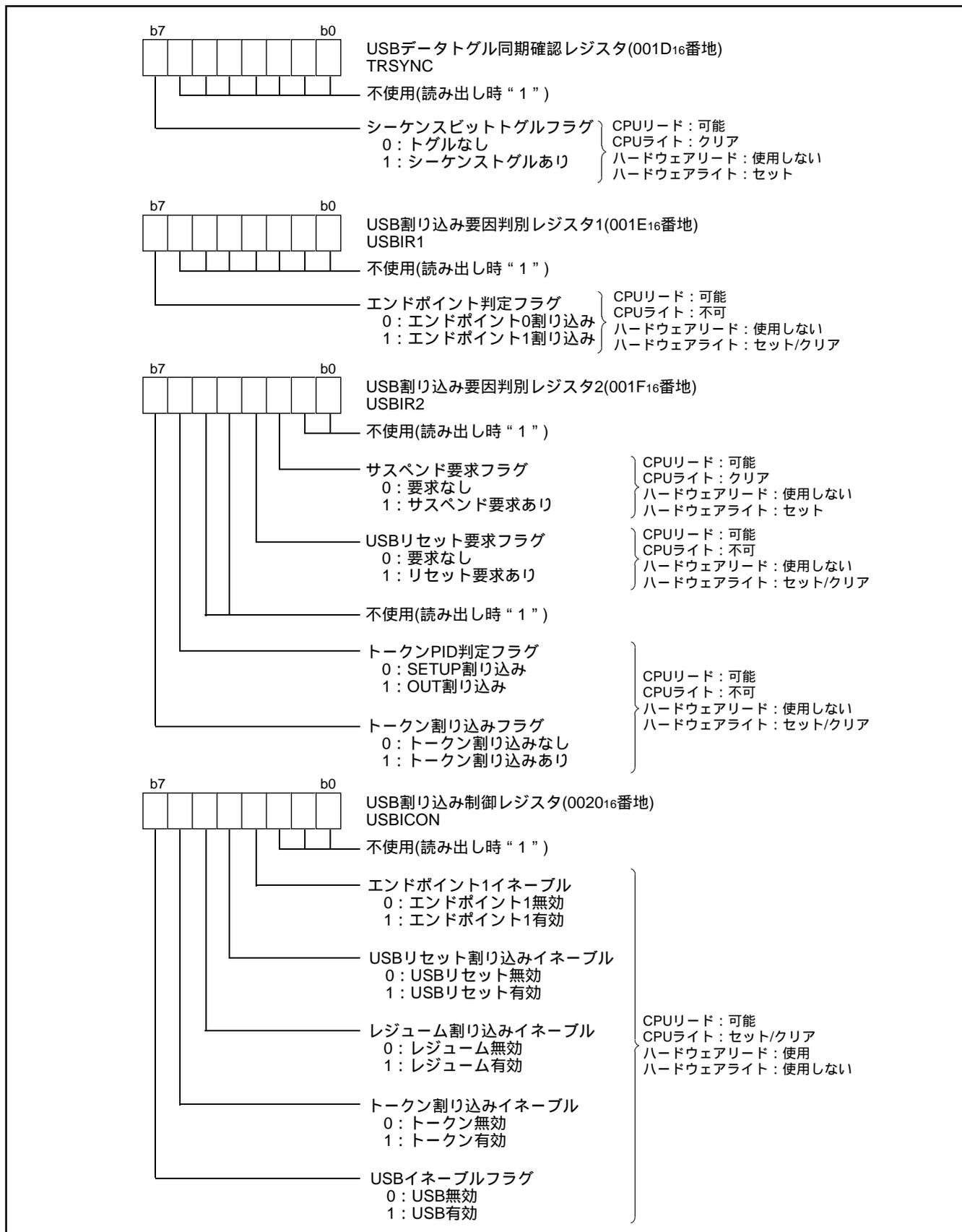


図30 . シリアルI/O1関係レジスタの構成(2)

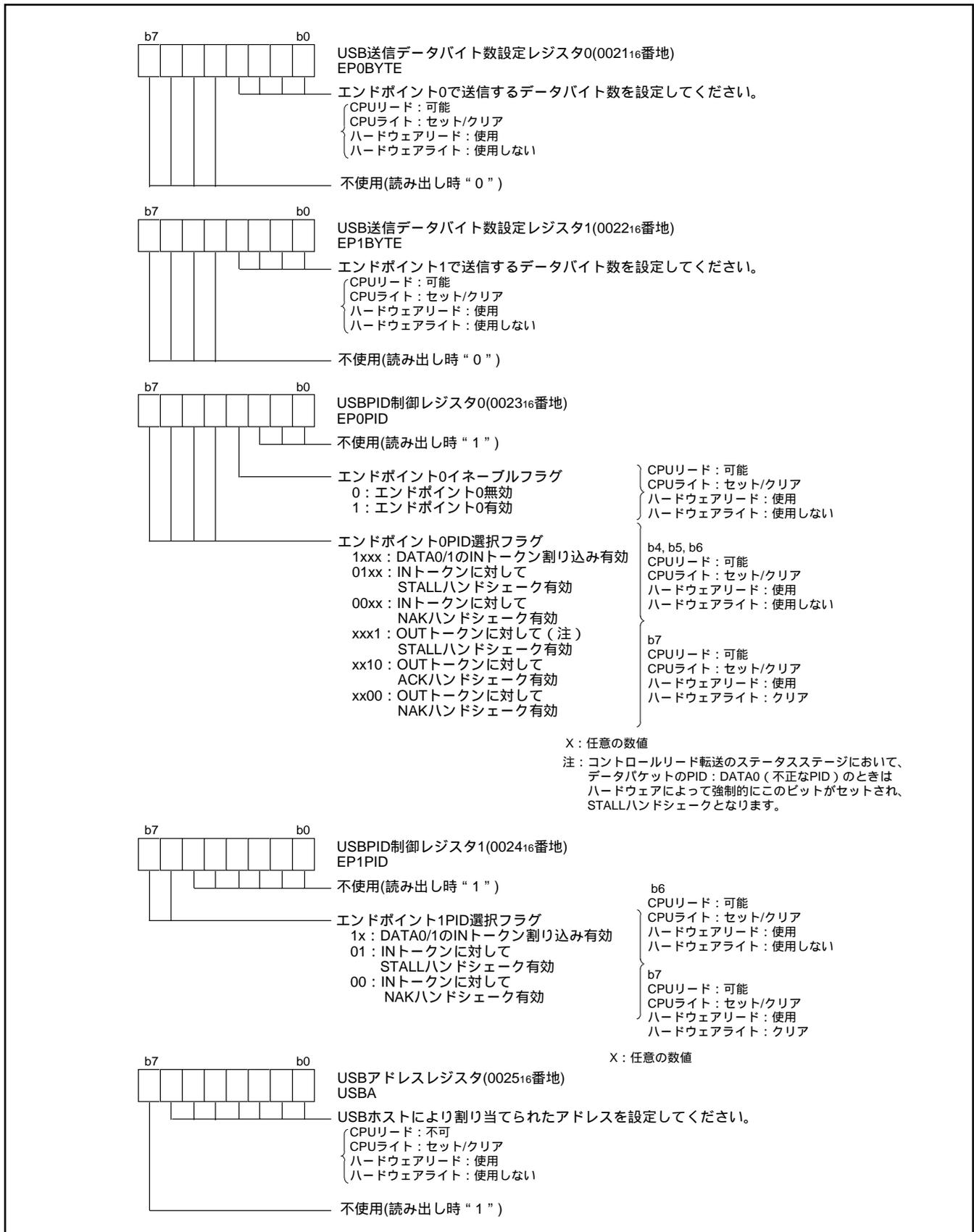


図31. シリアル/O1関係レジスタの構成(3)

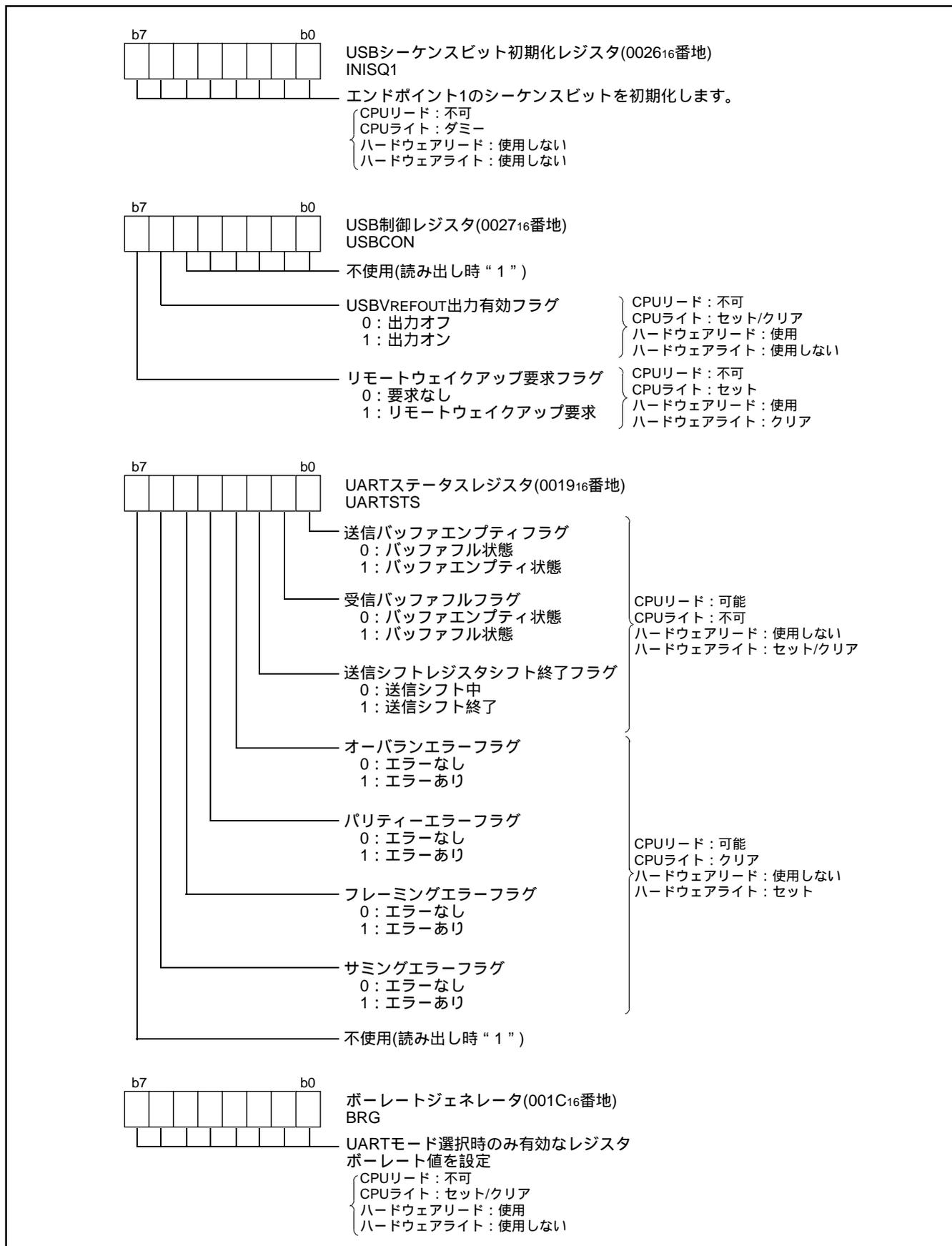


図32 . シリアルI/O関係レジスタの構成(4)

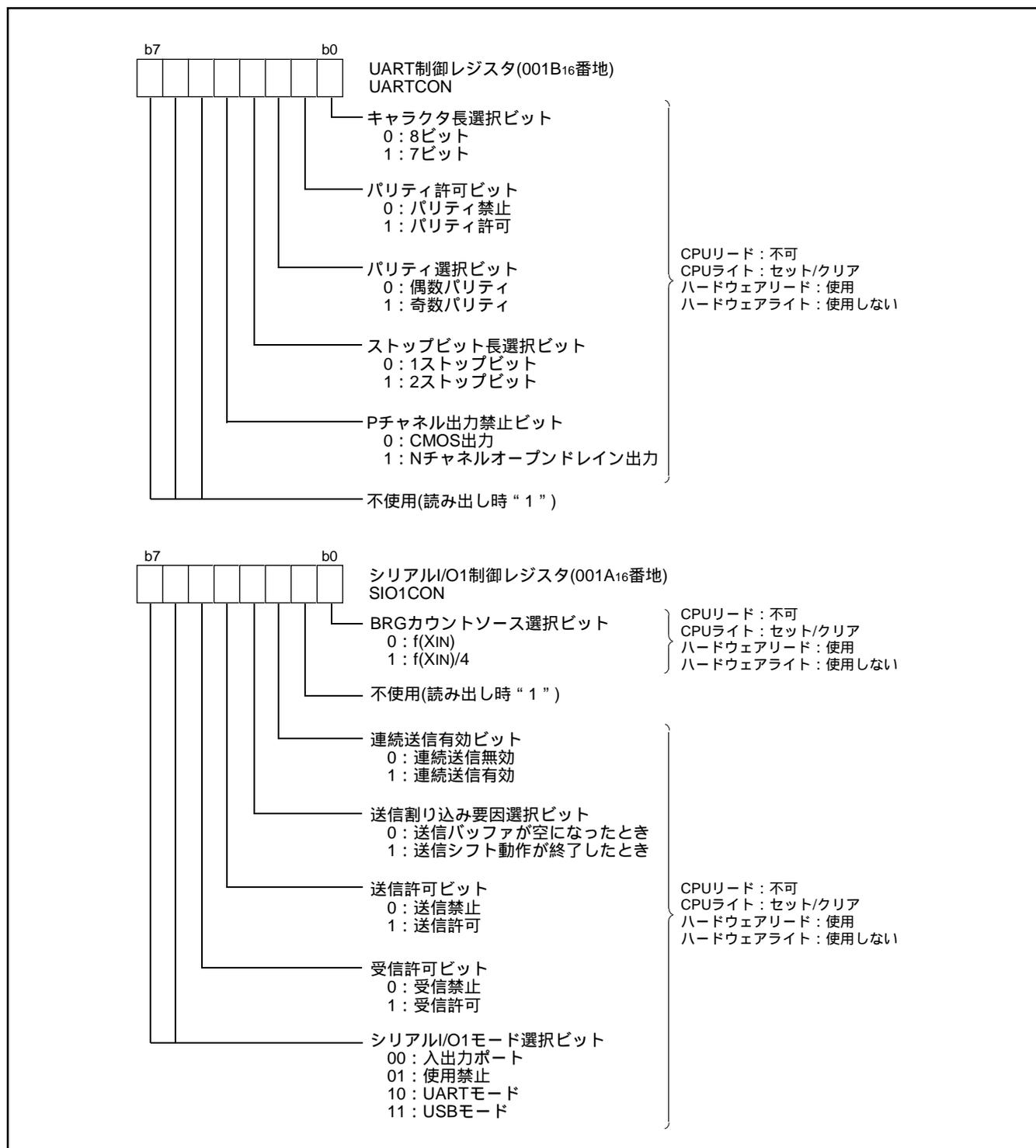


図33 . シリアルI/O1関係レジスタの構成(5)

USBモード使用時の注意事項

- SE0(Single Ended 0)信号(受信時)の取り扱い
7534グループでは、表7に示すように、SE0信号の幅によってUSBリセット又はEOP(End of Packet)を区別できます。
また、デバイスの置かれている状態によっては、異なる応答をする必要があります。

なお、下記表中の略称については次の通りです。

- TKNE: トークン割り込みイネーブル(20₁₆番地のビット6)
- RSME: レジューム割り込みイネーブル(20₁₆番地のビット5)
- RSTE: USBリセット割り込みイネーブル(20₁₆番地のビット4)
- Spec: Low-Speed USB2.0仕様で要求されるデバイスの反応
- SIE: 7534グループのハードウェアの動作
- F/W: プログラム上での処理方法
- FEOPE: フォールスEOPエラーフラグ(19₁₆番地のビット2)
- RxPID: トークン割り込みフラグ(1F₁₆番地のビット7)

表7 . SE0の幅及びデバイスの状態に依存した処理方法の関係

SE0の幅		デバイスの状態					
		アイドル状態 TKNE = X RSME = 0 RSTE = 1	トークンフェーズの最後 TKNE = 1 RSME = 0 RSTE = 1	データ又はハンドシェークフェーズの最後 TKNE = 0 RSME = 0 RSTE = 0又は1	サスペンド状態 TKNE = 0 RSME = 1 RSTE = 0		
0 μs.	Spec	無視	無視	無視	Spec	リセット又はレジューム	
0.5 μs.	SIE	サスペンドタイムカウント動作継続	EOPとして検出しない。(この後、EOPを検出なかった場合、SIEはタイムアウトし、アイドル状態に戻る。FEOPEフラグが立つ。)	EOPとして検出しない。(この後、EOPを検出なかった場合、SIEはタイムアウトし、アイドル状態に戻る。FEOPEフラグが立つ。)			
	F/W	何もしない	何もしない	次のEOPフラグが立つまで待機			
0.5 μs.	Spec	キープアライブ	EOP	EOP			
2.5 μs.	SIE	サスペンドタイムカウント値初期化	トークン割り込み要求	EOPフラグをセット	SIE	リセット割り込み要求	
	F/W	何もしない	トークン割り込み処理実行	EOPフラグのセットを確認し、次の処理へ			
2.5 μs.	Spec	キープアライブ又はリセット	EOP又はリセット	EOP又はリセット			
2.67 μs.	SIE	キープアライブかつリセット割り込みであると判断する場合がある	EOPかつリセット割り込みであると判断する場合がある	EOPかつリセット割り込みであると判断する場合がある			
	F/W	割り込み要求がない場合は、そのままキープアライブ 割り込み要求ありの場合は、リセット処理	RxPID = 1 > トークン割り込み処理 RxPID = 0 > リセット割り込み処理	割り込み要求がない場合は、そのまま処理を継続 割り込み要求ありの場合は、リセット処理	F/W	リセット割り込み処理 レジューム割り込み処理	
2.67 μs.	Spec	リセット	リセット	リセット			
	SIE	リセット割り込み要求	リセット割り込み要求	リセット割り込み要求			
	F/W	リセット処理	リセット処理	リセット処理			

- USBPID制御レジスタ(0023₁₆番地)の機能について

このレジスタのbit4(OUTトークンに対するSTALLハンドシェーク制御)は、以下の特殊な条件では、SIEによって強制的にセットされます。

セット条件: コントロールリード転送のステータスステージにおいて、データパケットのPID = DATA(不正なPID)のとき

- 受信時SYNCフィールドについて

通常SYNCフィールドは、8ビットの"KJKJKJKK"で構成されますが、7534グループのSIEでは、最後の6ビットが"KJKJKK"と一致すれば、SYNCと見なすようにしています。

シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/Oの動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

【シリアルI/O2制御レジスタ】SIO2CON

シリアルI/O2制御レジスタは8ビットで、シリアルI/O2の各種制御を行う選択ビットで構成されています。

- ・受信する為に、ビット3に“0”を設定してください。
- ・受信時、シフト終了後にシリアルI/O2レジスタへダミーデータを書き込むことによってビットをクリアします。
- ・ビット7はシフト動作の終了よりシフトクロック半サイクル分早くセットされます。したがって、このビットを使用してシフト終了を確認する場合、このビットが“1”に設定されたことを確認後、クロック半サイクル分以上待ち、シリアルI/O2レジスタへの読み出し/書き込みを行ってください。

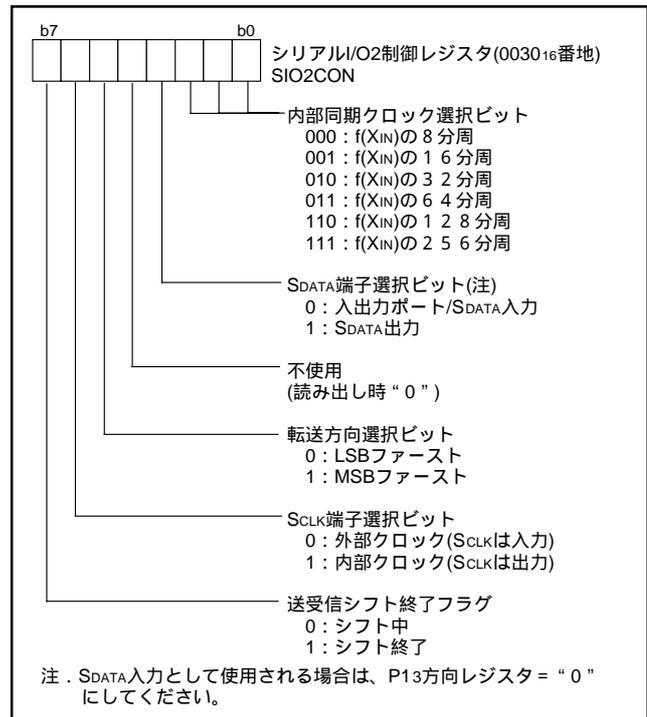


図34 . シリアルI/O2制御レジスタの構成

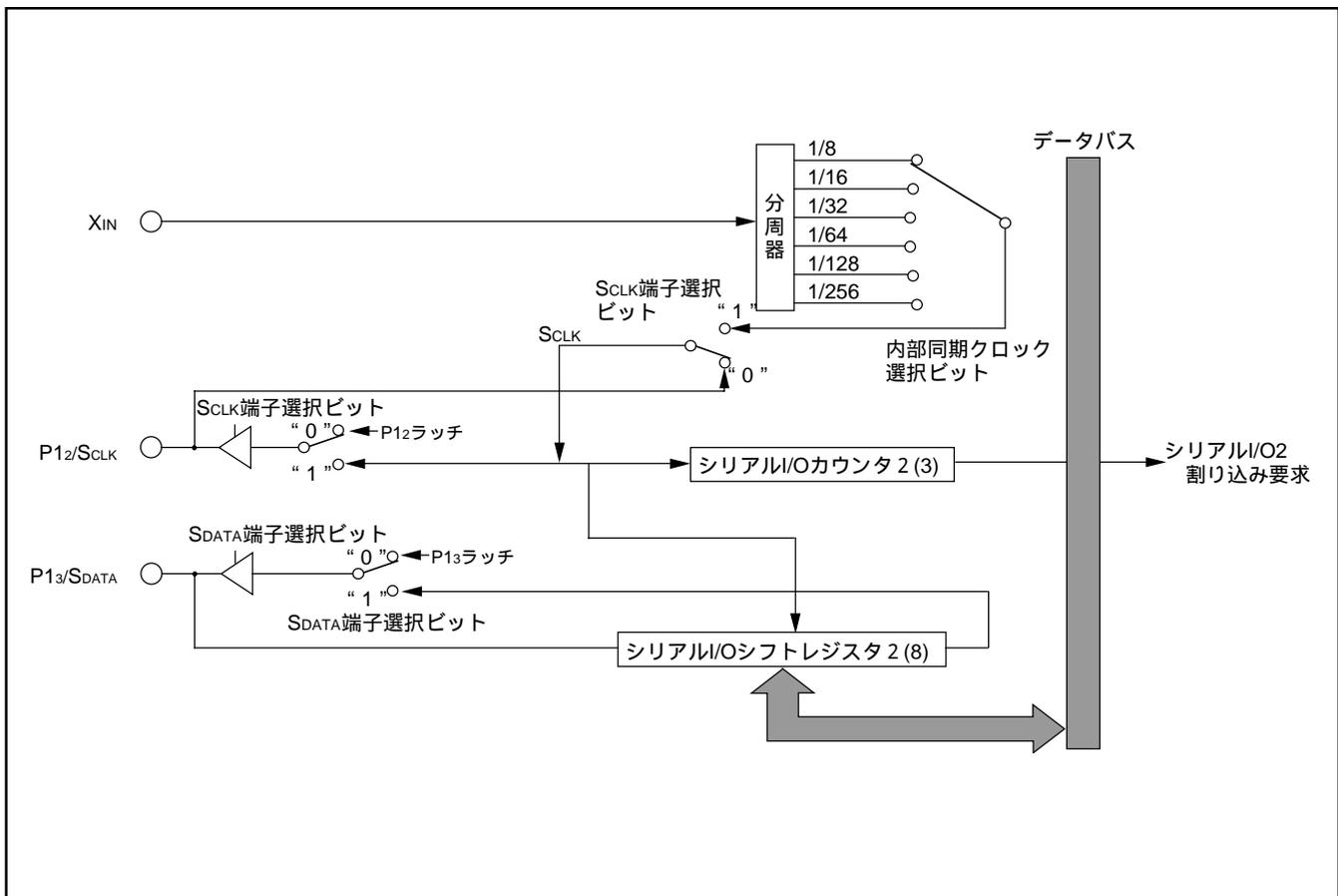


図35 . シリアルI/O2ブロック図

シリアルI/O2の動作

シリアルI/O2レジスタ(0031₁₆)に書き込みを行うとシリアルI/O2カウンタが7にセットされます。

書き込み後、転送クロックが“H”から“L”に変化すると、SDATA端子からデータが出力されます。また、転送クロックが“L”から“H”に変化するとSDATA端子からデータが取り込まれると同時にシリアルI/O2レジスタの内容が1ビットシフトされます。

転送クロック源に内部クロックを選択している場合、転送クロックを8回カウントすると次のような動作が行われます。

- ・シリアルI/Oカウンタ2は“0”にクリア。
- ・転送クロックは“H”で停止。
- ・割り込み要求ビットがセット。
- ・シフト終了フラグがセット。

また、データ転送終了後SDATA端子がハイインピーダンス状態になります(図36参照)。

転送クロック源に外部クロックを選択している場合、転送クロックを8回カウントすると割り込み要求ビットはセットされますが、転送クロックは停止しませんので、外部でクロックを制御してください。また、データ転送完了後はSDATA端子はハイインピーダンス状態になりませんので注意が必要です。

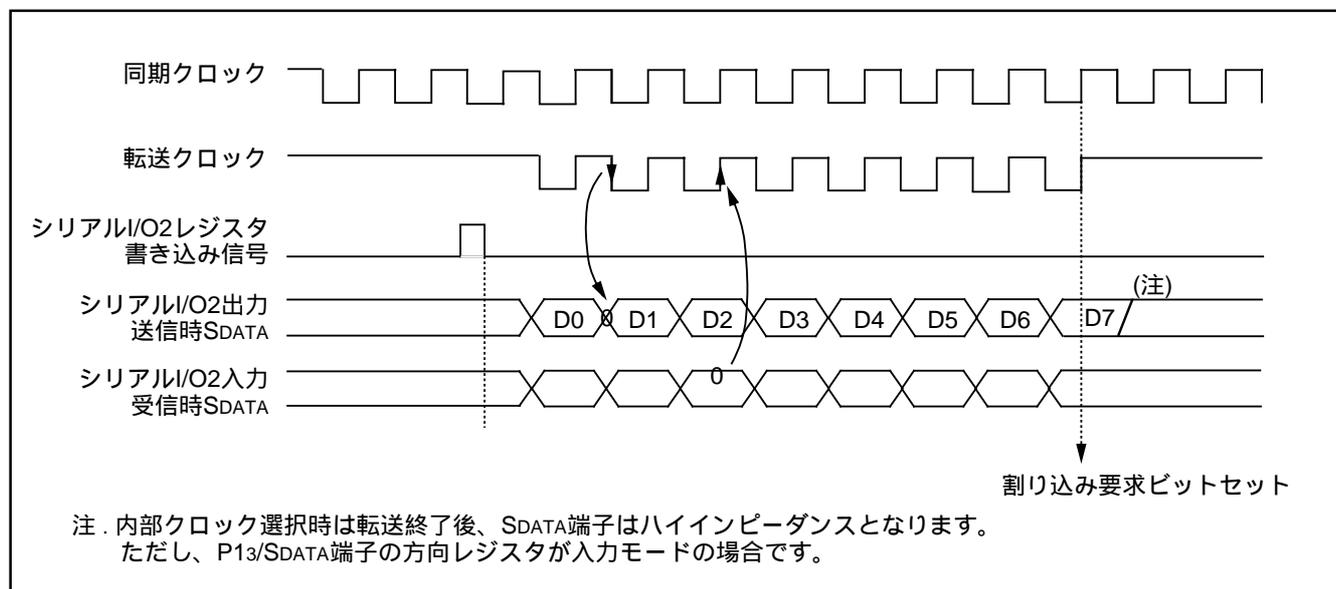


図36 . シリアルI/O2タイミング(LSBファーストの場合)

A/Dコンバータ

【A/D変換レジスタ】AD

A/D変換結果が格納される読み出し専用のレジスタです。
A/D変換中はこのレジスタを読み出さないでください。

【A/D制御レジスタ】ADCON

A/D変換器の制御を行うためのレジスタです。ビット2～ビット0はアナログ入力端子の選択ビットです。ビット4はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

【比較電圧発生器】

VSSとVREFの間の電圧を抵抗ラダーによって1024分割し分圧出力します。A/D変換中以外は、VREF端子とVSS端子から切り離されるため、抵抗ラダーに電流は流れません。

【チャンネルセクタ】

ポートP27/AN7～P20/AN0より1本を選択し、コンパレータに入力します。

【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をA/D変換レジスタに格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中は(XIN)を500kHz以上にしてください。

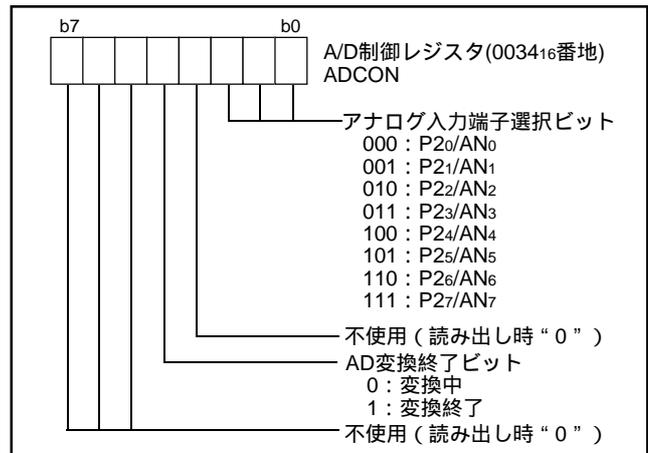


図37 . A/D制御レジスタの構成

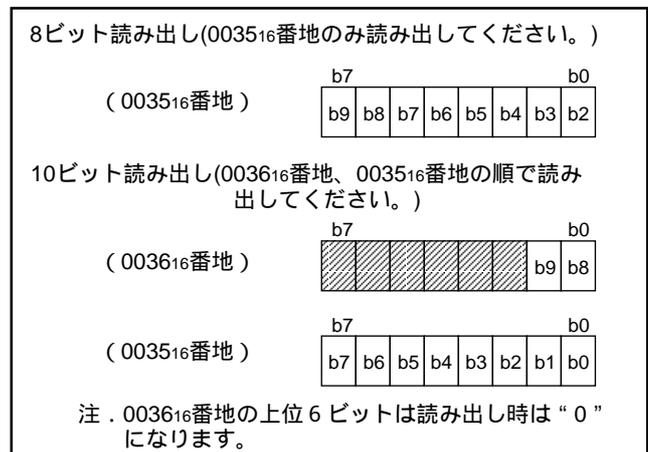


図38 . A/D変換レジスタの構成

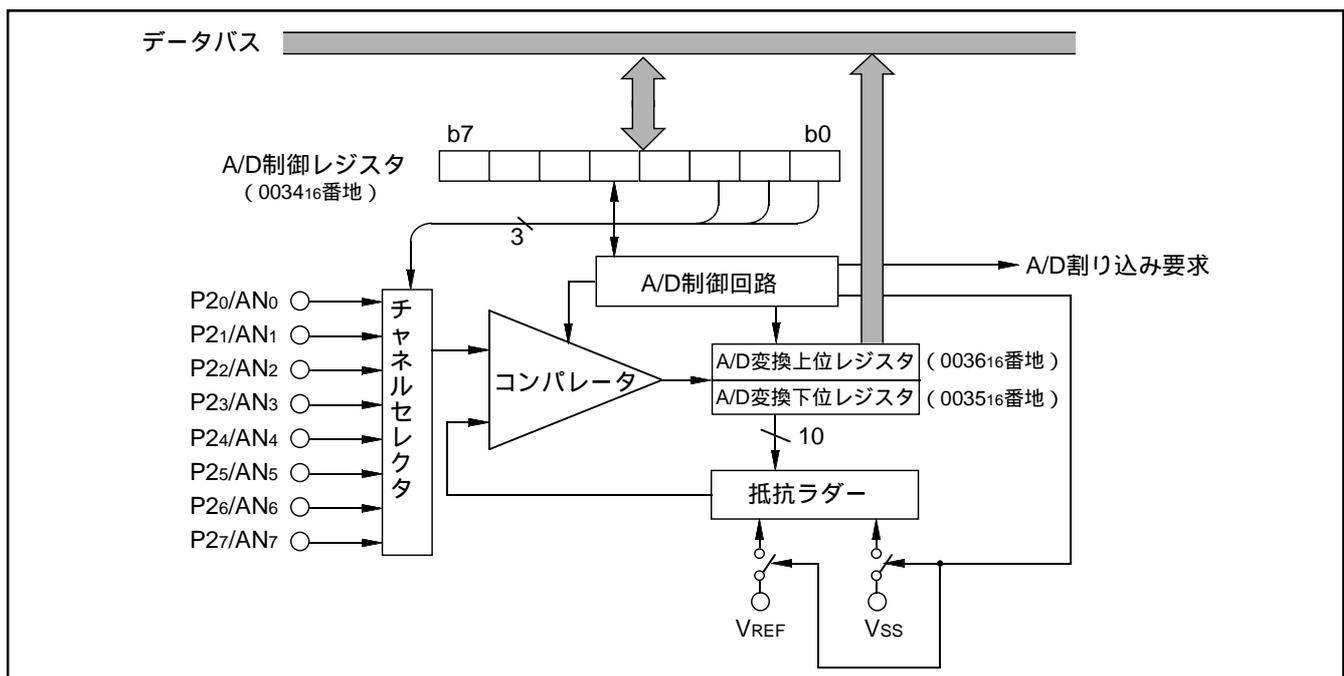


図39 . A/D変換器ブロック図

ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合に、リセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されています。

ウォッチドッグタイマの基本動作

リセット後ウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みがない場合、ウォッチドッグタイマは停止状態です。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)に任意の値を書き込むことによりカウントダウンを開始し、ウォッチドッグタイマHのアンダフローにより内部リセットが発生します。したがって、通常はアンダフローする前にウォッチドッグタイマ制御レジスタ(0039₁₆番地)に書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタ(0039₁₆番地)を読み出した場合は、ウォッチドッグタイマHのカウンタの上位6ビット、STP命令禁止ビット、ウォッチドッグタイマHカウントソース選択ビットの値が読めます。

(1) ウォッチドッグタイマの初期値

リセット又はウォッチドッグタイマ制御レジスタ(0039₁₆番地)への書き込みによりウォッチドッグタイマHは“FF₁₆”に、ウォッチドッグタイマLは“FF₁₆”に設定されます。

(2) ウォッチドッグタイマHカウントソース選択ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット7によりウォッチドッグタイマHのカウントソースの選択が可能です。

このビットが“0”の場合、カウントソースはウォッチドッグタイマLのアンダフロー信号となります。検出時間は $f(XIN)=6\text{MHz}$ 時174.763msになります。

このビットが“1”の場合、カウントソースは $f(XIN)$ の16分周信号となります。この場合の検出時間は $f(XIN)=6\text{MHz}$ 時683 μs になります。

このビットはリセット後“0”になります。

(3) STP命令禁止ビットの動作

ウォッチドッグタイマ制御レジスタ(0039₁₆番地)のビット6によりウォッチドッグタイマ動作時のSTP命令を禁止することができます。

このビットが“0”の場合、STP命令は許可です。

このビットが“1”の場合、STP命令は禁止され、STP命令が実行されると内部リセットが発生します。このビットは一旦“1”にするとプログラムで“0”に書き替えることはできなくなります。

このビットはリセット後“0”になります。

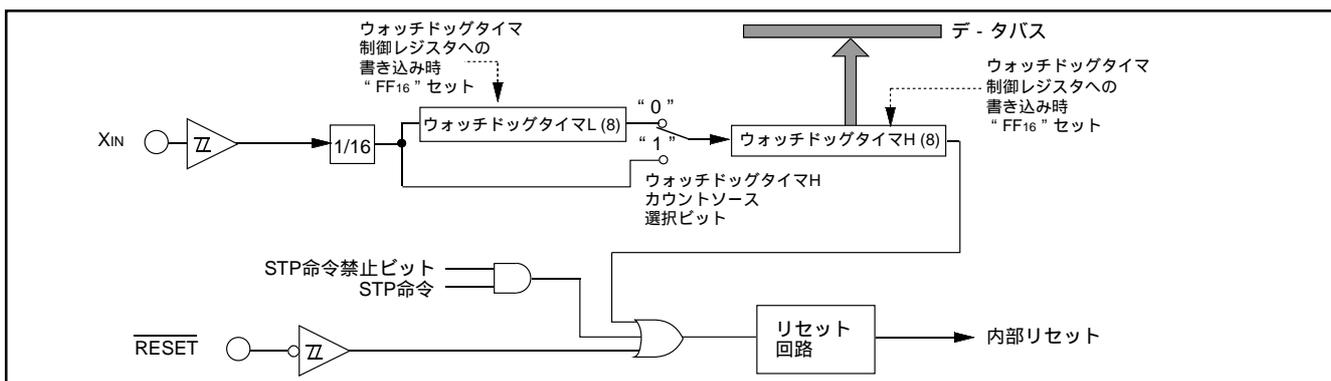


図40. ウォッチドッグタイマのブロック図

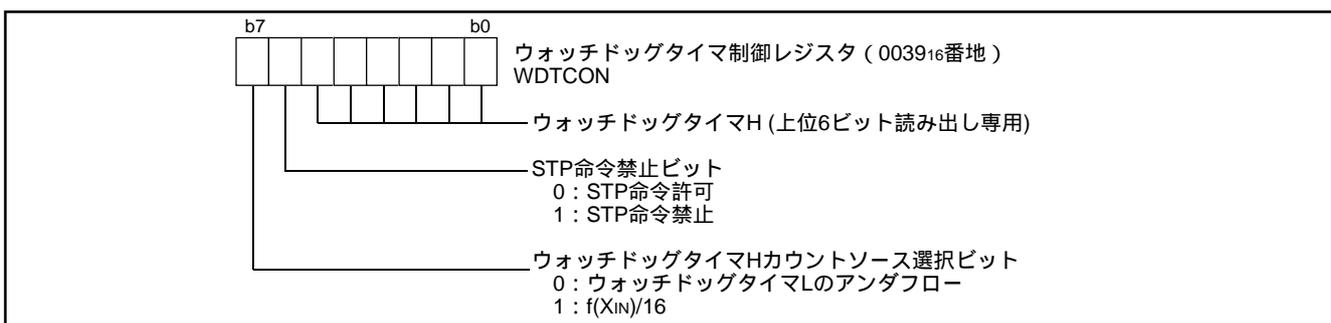


図41. ウォッチドッグタイマ制御レジスタの構成

リセット回路

電源電圧が4.1～5.5Vにあり、XINが安定発振しているとき、RESET端子を15μs以上“L”レベルに保つとリセット状態になり、その後RESET端子を“H”レベルに戻すとリセット解除されます。FFFD16番地の内容を上位アドレス、FFFC16番地の内容を下位アドレスとする番地からプログラムスタートします。

リセット入力電圧は、電源電圧が4.1Vを通過する時点で0.82V以下になるようにしてください。

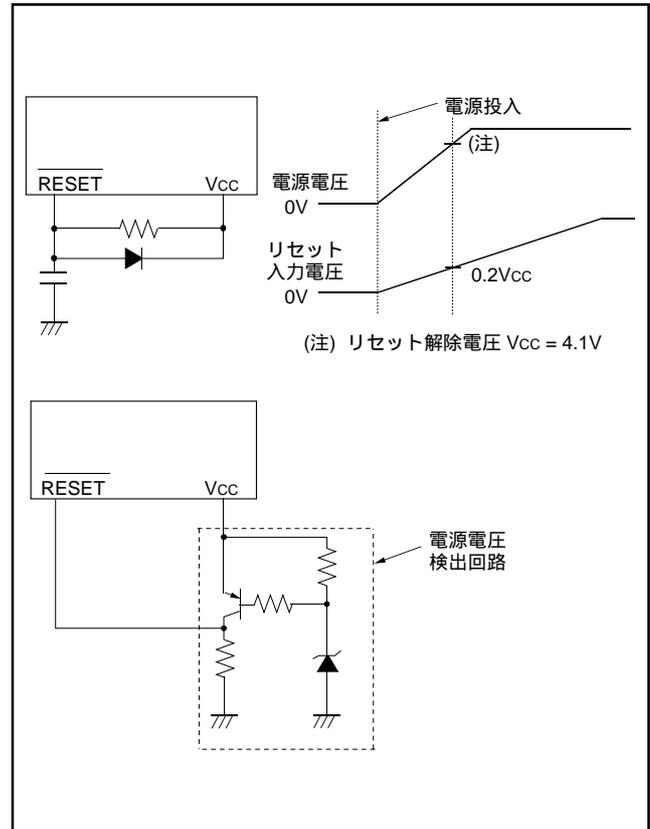


図42．リセット回路例

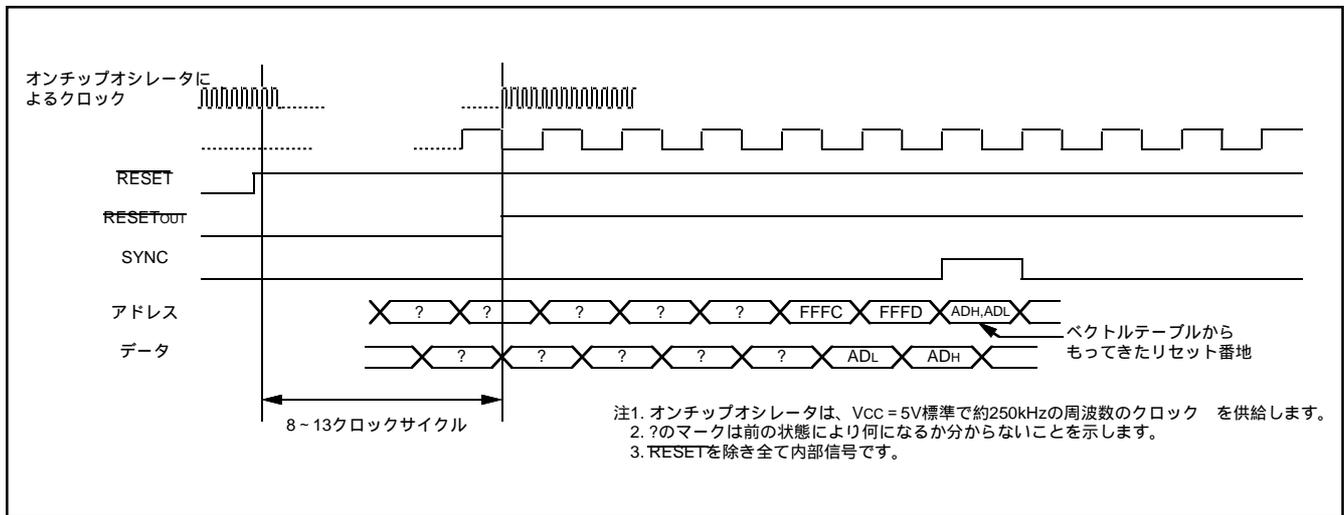


図43．リセット時のタイミング図

- 注1. オンチップオシレータは、VCC = 5V標準で約250kHzの周波数のクロック を供給します。
- 注2. ?のマークは前の状態により何になるか分からないことを示します。
- 注3. RESETを除き全て内部信号です。

	番地	レジスタの内容
(1) ポートP0方向レジスタ	000116	0016
(2) ポートP1方向レジスタ	000316	x 0 0 0 0 0 0 0
(3) ポートP2方向レジスタ	000516	0016
(4) ポートP3方向レジスタ	000716	0016
(5) ポートP4方向レジスタ	000916	x x x x x 0 0
(6) プルアップ制御レジスタ	001616	FF16
(7) USB/UARTステータスレジスタ	001916	1 0 0 0 0 0 0 1
(8) シリアルI/O1制御レジスタ	001A16	0216
(9) UART制御レジスタ	001B16	1 1 1 0 0 0 0 0
(10) USBデータトグル同期確認レジスタ	001D16	0 1 1 1 1 1 1 1
(11) USB割り込み要因判別レジスタ1	001E16	0 1 1 1 1 1 1 1
(12) USB割り込み要因判別レジスタ2	001F16	0 1 1 1 0 0 1 1
(13) USB割り込み制御レジスタ	002016	0 0 0 0 0 1 1 1
(14) USB送信データバイト数設定レジスタ0	002116	0016
(15) USB送信データバイト数設定レジスタ1	002216	0016
(16) USBPID制御レジスタ0	002316	0 0 0 0 0 1 1 1
(17) USBPID制御レジスタ1	002416	0 0 1 1 1 1 1 1
(18) USBアドレスレジスタ	002516	1 0 0 0 0 0 0 0
(19) USBシーケンスビット初期化レジスタ	002616	1 1 1 1 1 1 1 1
(20) USB制御レジスタ	002716	0 0 1 1 1 1 1 1
(21) プリスケアラ12	002816	FF16
(22) タイマ1	002916	0116
(23) タイマ2	002A16	0016
(24) タイマXモードレジスタ	002B16	0016
(25) プリスケアラX	002C16	FF16
(26) タイマX	002D16	FF16
(27) タイマカウントソース設定レジスタ	002E16	0016
(28) シリアルI/O2制御レジスタ	003016	0016
(29) A/D制御レジスタ	003416	1016
(30) MISRG	003816	0016
(31) ウォッチドッグタイマ制御レジスタ	003916	0 0 1 1 1 1 1 1
(32) 割り込みエッジ選択レジスタ	003A16	0016
(33) CPUモードレジスタ	003B16	1 0 0 0 0 0 0 0
(34) 割り込み要求レジスタ1	003C16	0016
(35) 割り込み制御レジスタ1	003E16	0016
(36) プロセッサステータスレジスタ	(PS)	x x x x x 1 x x
(37) プログラムカウンタ	(PCH)	FFFD16番地の内容
	(PCL)	FFFC16番地の内容

注． x は不定です。

図44．リセット時の内部状態

クロック発生回路

XINとXOUTの間に共振子を接続することにより発振回路を形成することができます。共振子使用時の容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。XIN-XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。

発振制御

(1)ストップモード

STP命令を実行すると内部クロックが H の状態では停止し、XINの発振が停止します。このとき、STP命令解除後発振安定時間設定ビットが 0 のとき、タイマ1には 01_{16} 、プリスケアラ12には FF_{16} が設定されます。一方、STP命令解除後発振安定時間設定ビットが 1 のときは、タイマ1、プリスケアラ12には何も設定されませんので、ご使用になる発振子の発振安定時間にあった待ち時間を設定してください。プリスケアラ12の入力にはXINの16分周が強制的に接続されます。発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで H のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に L レベルを印加してください。

(2)ウェイトモード

WIT命令を実行すると、内部クロックが H の状態では停止しますが、発振器は停止しません。リセット又は割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

STPあるいはWIT状態を解除する場合、割り込みが受け付けられるためには、STPあるいはWIT命令を実行する前に対応する割り込み許可ビットを 1 にしておく必要があります。また、STP状態の解除の場合、プリスケアラ12、タイマ1はXINを16分周したクロックをカウントしますので、STP命令を実行する前にタイマ1割り込み許可ビットを 0 にしてください。

注意事項

STP命令解除後発振安定時間設定ビットを 1 で使用される場合は、使用される発振子の発振安定時間を十分評価した上で、タイマ1、プリスケアラ12に値を設定してください。

クロックモード

リセット解除後は、オンチップオシレータにより動作を始めます。解除後、CPUモードレジスタのビット7とビット6を設定し、1/1、1/2、1/8のいずれかの分周モードを選択してください。

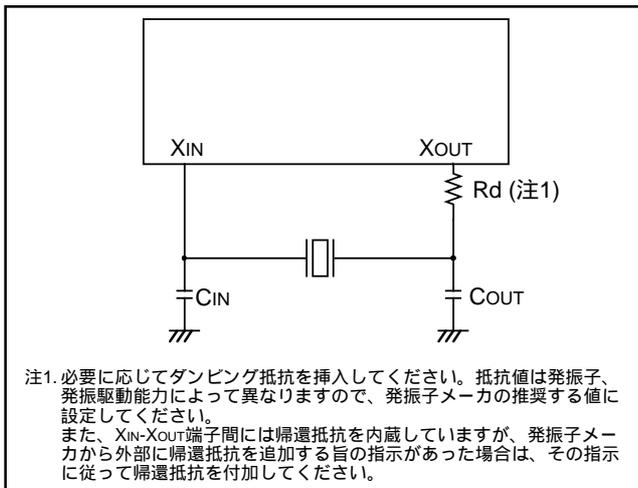


図45．セラミック共振子外付け回路

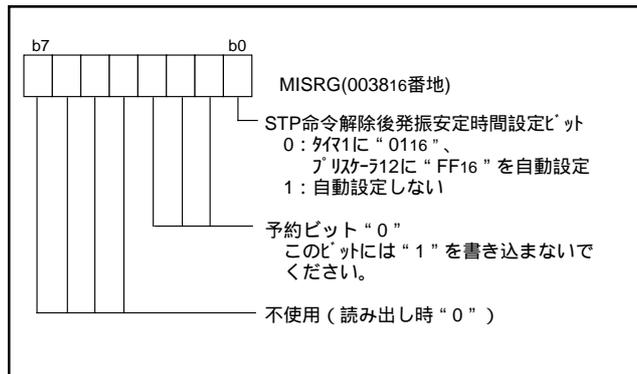


図47．MISRGの構成

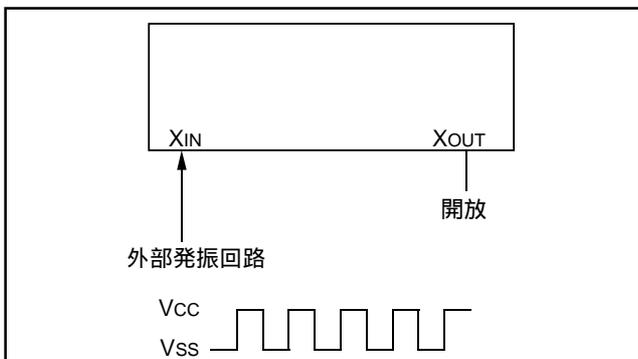


図46．外部クロック入力回路

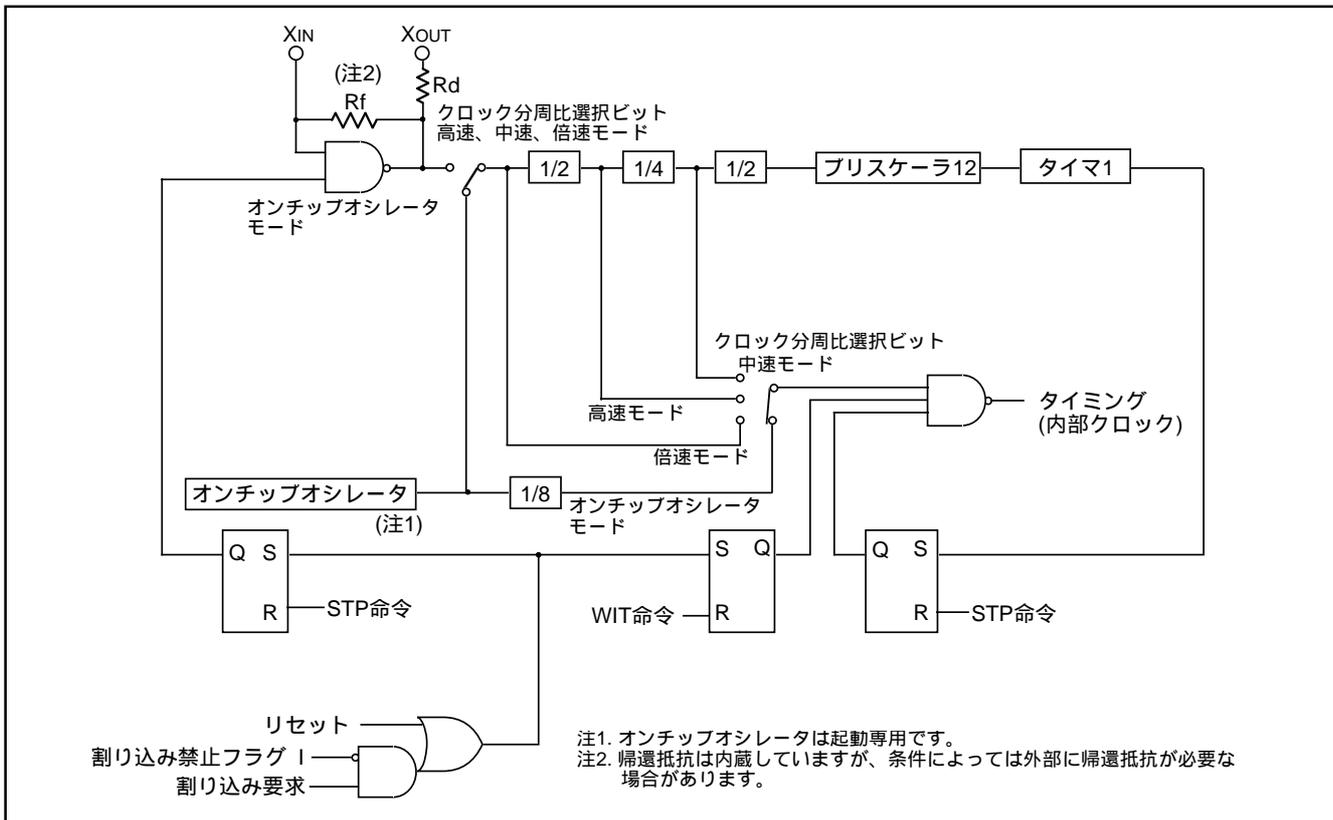


図48．システムクロック発生回路ブロック図(セラミック発振時)

プログラミング上の注意事項

プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグIが"1"であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを"1"に設定して、ADC命令又はSBC命令を実行しますが、その場合、SEC命令、CLC命令又はCLD命令はADC命令又はSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバフロー)、Z(ゼロ)フラグが無効となります。

タイマに関するもの

- ・タイマラッチに値 n (0~255)を書き込んだ場合の分周比は、 $1/(n+1)$ です。
- ・タイマXのカウントソースを切り替える場合は、必ずタイマXのカウントを停止させた状態で行ってください。

ポートに関するもの

- ・ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが"1"の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。
- ・36ピン版では、ポートP3方向レジスタ及びポートP3レジスタのビット6には必ず"1"を書き込んでください。
- ・32ピン版では、ポートP3方向レジスタ及びポートP3レジスタのビット5、6、7には必ず"1"を書き込んでください。

A/D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は(XIN)を500kHz以上にしてください。

また、A/D変換中はSTP命令を実行しないでください。

ウォッチドッグタイマに関するもの

ウォッチドッグタイマのアンダフローのタイミングにより、内部リセットが正常に動作しない場合があります。

ウォッチドッグタイマをご使用される場合には、中速モード以外をご使用ください。

高速モード、低速モード、倍速モードでの動作は問題ありません。

命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は倍速モード時XINと同一、高速モード時はXIN周期の2倍、中速モード時はXIN周期の8倍です。

スタックページに関する注意事項

スタックページビットにより1ページをスタックとして使用される場合は、RAM容量に応じてスタックとして使用できる領域が異なります。特に、マスクROM版とワンタイムPROM版、エミュレータ専用MCUとでRAM容量が異なることにご注意ください。

使用上の注意事項

電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。

バイパスコンデンサは1.0 μ Fの電解系又はセラミック系コンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間に最短距離で付加して下さるようお願いいたします。

USBVREFOUT端子の取扱いに関する注意事項

ノイズ等外部からの影響によってUSBVREFOUT出力が不安定になることを防止するため、USBVREFOUT端子とGND端子(Vss端子)との間にバイパスコンデンサを付加してください。バイパスコンデンサは、0.22 μ Fの電解又はセラミックコンデンサを推奨します。

USB通信に関する注意事項

- 通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。
- P10, P12, P13ポート入力レベルをTTLレベル(0017₁₆番地のビット2「P10, P12, P13入力レベル選択ビット」を「1」にセット)にし、かつUSB機能をご使用になる組み合わせのときに、USBサスペンド時の消費電流I_{cc}が規格300 μ Aを超える場合があります。

【回避策】

以下のソフトウェアによる対策のいずれかにより回避することが可能です。

- (1) P10, P12, P13入力レベルをCMOSレベルとしてご使用いただく。
- (2) 図49のフローのとおり、サスペンド処理時マイコン停止の前に、P10, P12, P13ポート入力レベルをCMOSレベルに一旦変更し、RESUMEまたは外部割り込みによるリモートウェイクアップの復帰処理後にP10, P12, P13ポート入力レベルをTTLレベルに戻す。

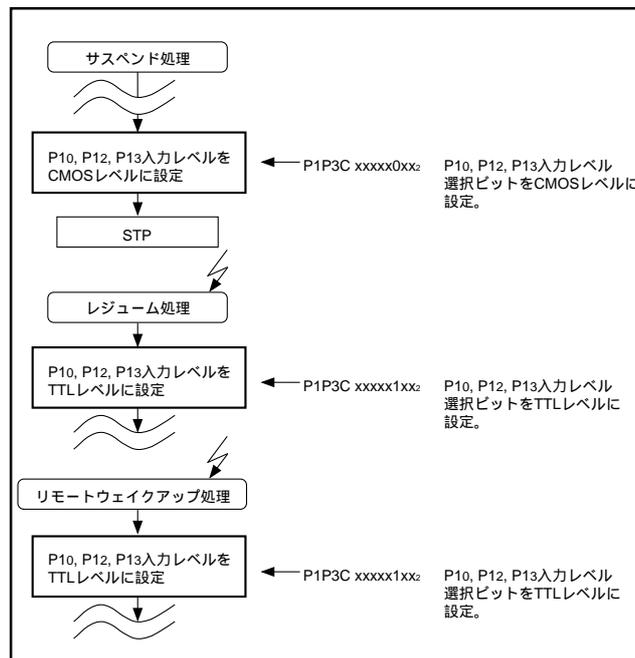


図49 . 回避策(2)のフローチャート

ワンタイムPROM版に関する注意事項

CNVss端子は、プログラマブル電源端子(Vpp端子)と兼用しているため、端子から低抵抗で内部メモリ回路ブロックに接続しています。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10kの抵抗を介してVssに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

ワンタイムPROM版/マスクROM版に関する注意事項

ワンタイムPROM版とマスクROM版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量、発振回路定数などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

A/Dコンバータに関する注意事項

A/Dコンバータを安定にご使用いただくための補足情報に次があります。

- (1) USB HOST側からバスパワー^(*)を得るシステムで、USB通信中にA/D変換の精度が安定しない場合があります。そこで、より安定したA/D変換精度を得るためのポイントとして、Vref Vss端子間に図50のように部品を取り付けることで、より安定した精度が期待できます。

(*) : USBケーブル経由でPCからの電源を使用する方法

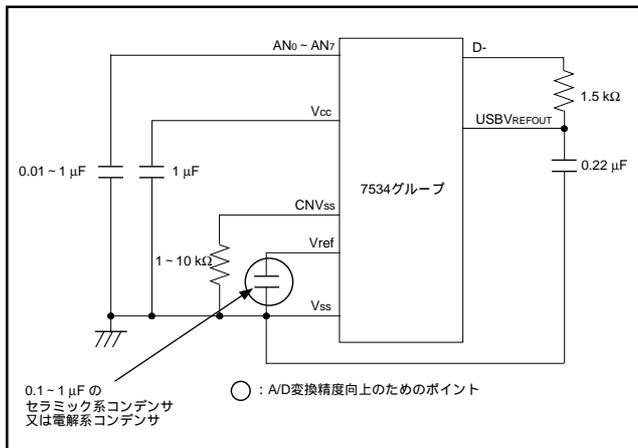


図50 . A/D変換精度向上のためのポイント

- (2) ファームウェア上で以下の2点を実施することで、さらに精度向上が期待できます。
USB通信とA/D変換のタイミングが重ならないように設定する。
複数回変換を行い、平均化処理を行う。

マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書
- ・マーク指定書
- ・ROMのデータ
- EPROM 3セットまたはフロッピーディスク

* マスク化確認書 及び マーク指定書につきましては、ルネサステクノロジホームページ(<http://www.renesas.com>)「ROM発注」を参照してください。

ROM書き込み方法

ワンタイムPROM版(ブランク品)は、専用の書き込みアダプタを使用することにより汎用のPROMライターで内蔵PROMの書き込み、読み出しを行うことができます。なお、PROMライターのアドレス設定は、ユーザROM領域に設定してご使用ください。

表8 . 専用書き込みアダプタ

パッケージ	書き込みアダプタ型名
PLQP0032GB-A	PCA7435GPG03
PRSP0036GA-A	PCA7435FP, PCA7435FPG02
PRDP0042BA-A	PCA7435SP, PCA7435SPG02

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト、スクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図51に示すフローで書き込み、テストを行った後使用されることを推奨いたします。

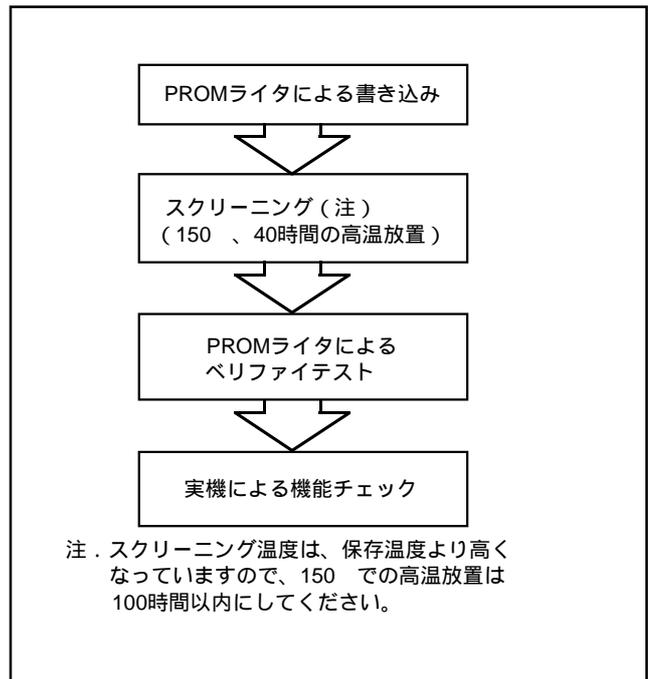


図51 . ワンタイムPROM版書き込みとテスト

補足説明

割り込み

7534グループでは、42ピン版で14個、36ピン版で13個、32ピン版では12個の要因で割り込みをかけることができます。固定優先度方式のベクトル割り込みですので、同一サンプリング時に2つ以上の割り込み要求がある場合は、優先順位の高い割り込みから受け付けます。この優先順位は、ハードウェアで決められていますが、割り込み許可ビット、割り込み禁止フラグを用いることによって多様な優先処理をソフトウェアで行うことが可能です。割り込み要因とベクトル番地、割り込み優先順位は表9を参照してください。

表9. 割り込み要因とベクトル番地、割り込みの優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD ₁₆	FFFC ₁₆	リセット時	ノンマスカブル
UART受信	2	FFFB ₁₆	FFFA ₁₆	UARTデータ受信完了時	UARTモード時有効
USB INトークン				INトークン検出時	USBモード時有効
UART送信	3	FFF9 ₁₆	FFF8 ₁₆	UART送信シフト完了時又は送信バッファ空き時	UARTモード時有効
USB SETUP/OUTトークン リセット/サスペンド/レジューム				SETUP/OUTトークン検出時又は リセット/サスペンド/レジューム検出時	USBモード時有効
INT α (注3)				INT ₁ 入力の立ち上がり又は立ち下が りエッジ検出時	外部割り込み(極性プログラマブル)
INT α (注4)	4	FFF7 ₁₆	FFF6 ₁₆	INT ₀ 入力の立ち上がり又は立ち下が りエッジ検出時	外部割り込み(極性プログラマブル)
タイマX キーオンウェイクアップ	5	FFF5 ₁₆	FFF4 ₁₆	タイマXアンダフロー時	外部割り込み(立ち下がり有効)
タイマ1				ポートP α (入力時)の入力論理レベル の論理積の立ち下がり時	
タイマ2	7	FFF1 ₁₆	FFF0 ₁₆	タイマ2アンダフロー時	STP解除タイマアンダフロー
シリアルI/O2割り込み				送信又は受信シフト終了時	
CNTR0	8	FFEF ₁₆	FFEE ₁₆	CNTR ₀ 入力の立ち上がり又は立ち下 がりエッジ検出時	外部割り込み(極性プログラマブル)
A/D変換				A/D変換終了時	
BRK命令	9	FFED ₁₆	FFEC ₁₆	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

3. 36ピン版、32ピン版にはない要因です。

4. 32ピン版にはない要因です。

割り込み発生後のタイミング

割り込み処理ルーチンは、現在実行中の命令が終了した後に続くマシンサイクルから始まります。

割り込み発生後のタイミングチャートを図52、割り込み処理ルーチンを実行するまでの時間を図53に示します。

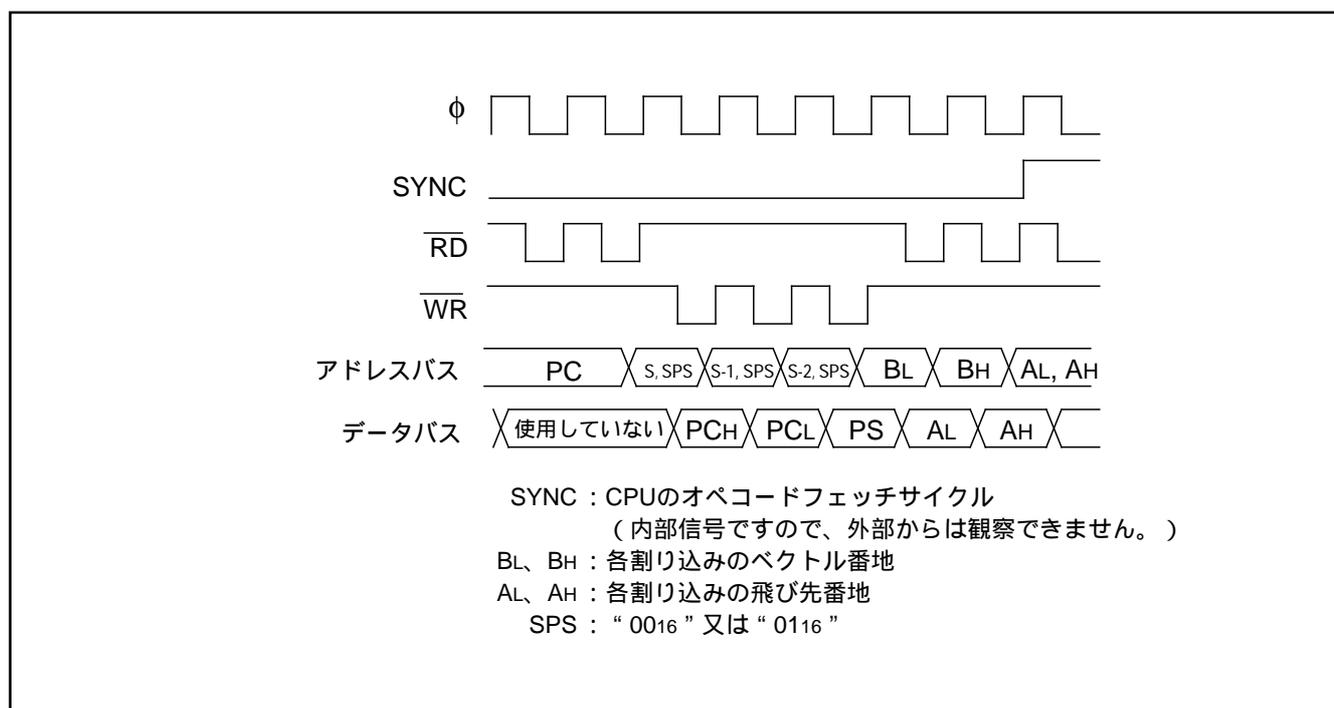


図52 . 割り込み発生後のタイミングチャート

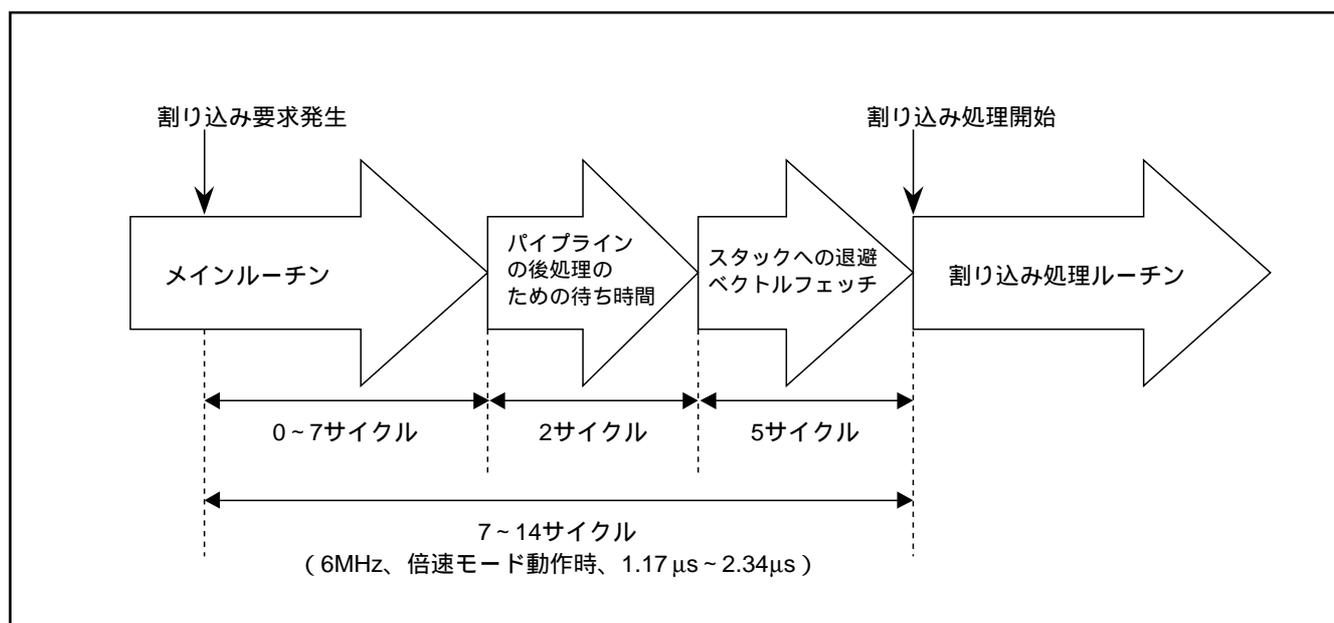


図53 . 割り込み処理ルーチンを実行するまでの時間

A/Dコンバータ

A/D変換器は、AD変換終了ビットを“0”にすることによって開始されます。

A/D変換中の内部動作を以下に示します。

1. A/D変換が開始されると、A/D変換レジスタは“0016”になります。
2. A/D変換レジスタの最上位ビットが“1”になり、比較電圧Vrefがコンパレータに入力されます。ここで、Vrefとアナログ入力電圧VINとの比較が行われます。
3. 比較の結果がVref < VINならば、A/D変換レジスタの最上位ビットを“1”の状態に保持します。Vref > VINならば最上位ビットを“0”にします。

A/D変換器は、以上の動作をA/D変換レジスタの最下位ビットまで行うことによって、アナログ値をデジタル値に変換します。A/D変換は、開始後f(XIN)の122サイクル(f(XIN) = 6 MHzのとき、20.34 μs)で終了し、変換結果がA/D変換レジスタに格納されます。A/D変換終了と同時にA/D変換割り込み要求が発生し、AD変換割り込み要求ビットが“1”になります。

表10. VrefとA/D変換器の基準電圧VREFの関係式

n = 0の時	Vref = 0
n = 1 ~ 1023の時	$Vref = \frac{VREF}{1024} \times n$

n: A/D変換レジスタの値(10進表記)

表11. A/D変換中のA/D変換レジスタの変化

	A/D変換レジスタの変化	比較電圧(Vref)値
変換開始時	0 0 0 0 0 0 0 0 0 0	0
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{VREF}{2}$
2回目比較	*1 1 0 0 0 0 0 0 0 0	$\frac{VREF}{2} \pm \frac{VREF}{4}$
3回目比較	*1 *2 1 0 0 0 0 0 0 0	$\frac{VREF}{2} \pm \frac{VREF}{4} \pm \frac{VREF}{8}$
⋮	⋮	⋮
10回目の比較終了後	A/D変換結果 *1 *2 *3 *4 *5 *6 *7 *8 *9 *10	$\frac{VREF}{2} \pm \frac{VREF}{4} \pm \dots \pm \frac{VREF}{1024}$

*1 ~ *10: 1 ~ 10回目の比較結果

A/D変換器の等価回路を図54、A/D変換タイミングチャートを図55に示します。

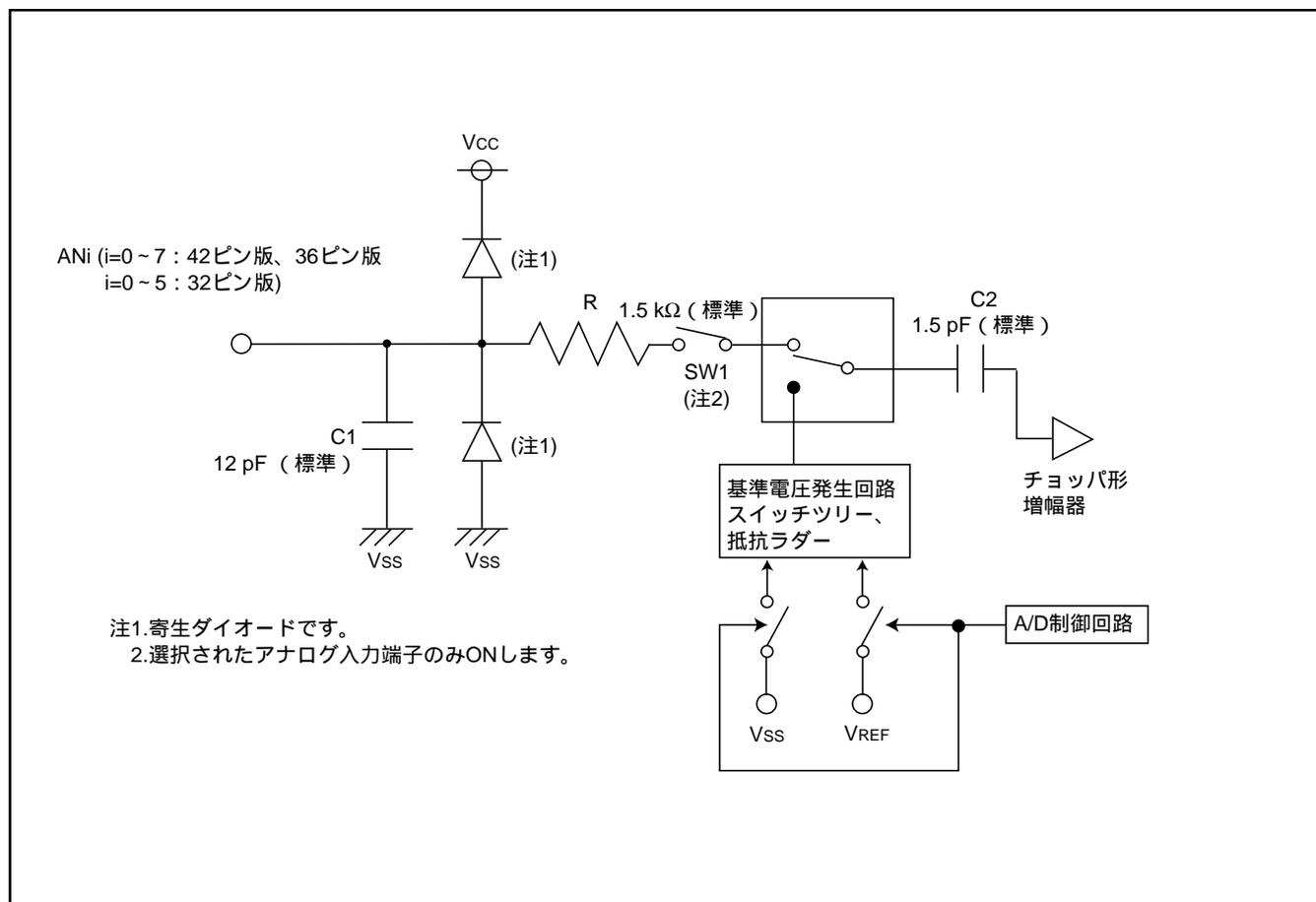


図54 . A/D変換器等価回路

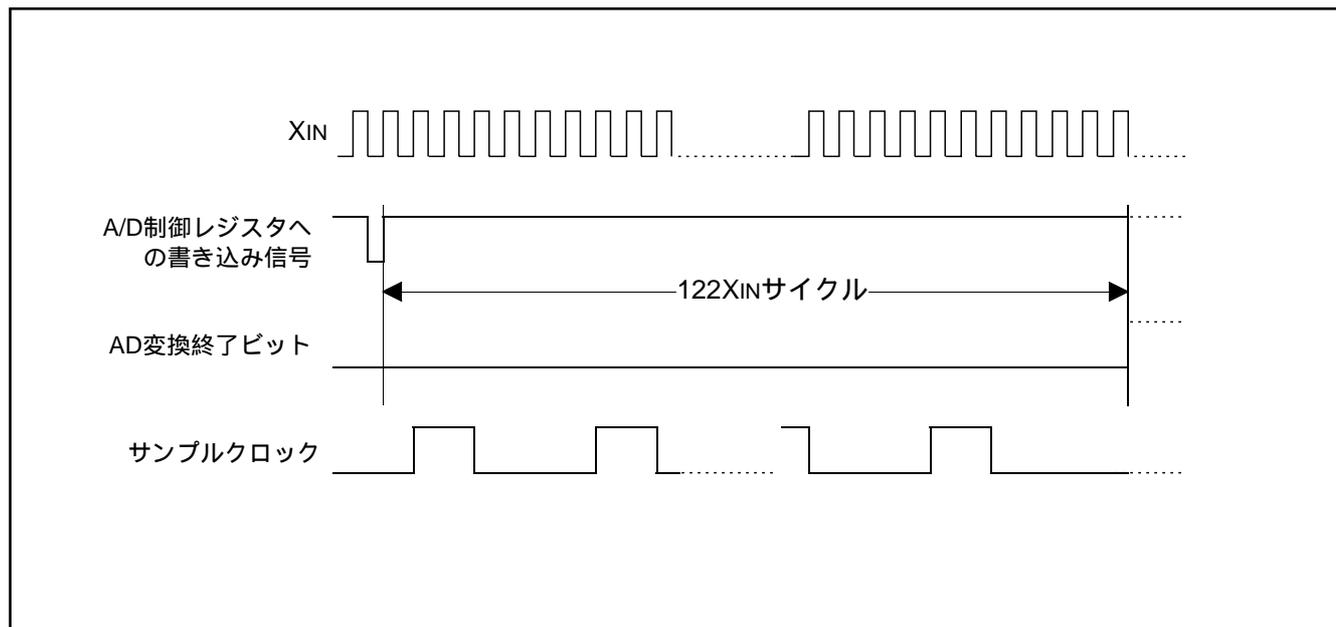


図55 . A/D変換タイミングチャート

ストップモード

STP命令の実行により、ストップモードの状態になります。ストップモードではf(XIN)とも発振が停止し、内部クロックφは停止します。そのためCPUは停止し、周辺装置の動作も停止します。

(1) ストップモードの状態

ストップモード時の状態を表12に示します。

表12. ストップモードの状態

項目	状態	項目	状態
発振	停止	ウォッチドッグ タイマ	停止
CPU	停止	RAM	保持
入出力ポート	STP命令実行時の状態を保持	SFR	保持(タイマ1、プリスケアラ12は除く)
タイマ	内部カウントソース選択時:停止 外部カウントソース選択時:動作(タイマXのみ)	CPUレジスタ	保持 ・アキュムレータ ・インデックスレジスタX ・インデックスレジスタY ・スタックポインタ ・プログラムカウンタ ・プロセッサステータスレジスタ
UART	停止		
A/D変換	停止		
シリアルI/O2	内部同期クロック選択時:停止 外部同期クロック選択時:動作		
USB	停止(サスペンド状態)		

(2) ストップモードの解除

ストップモードはリセット入力又は割り込みの発生により解除されます。復帰に使用できる割り込み要因を以下に示します。

INT0
INT1
CNTR0
外部クロック使用のタイマ(タイマX)
外部クロック使用のシリアルI/O2
キーオンウェイクアップ
USB機能(レジューム、リセット)

上記の割り込み要因をストップモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後STP命令を実行してください。

タイマ1割り込み許可ビットを“0”にする(ICON1、ビット4)
タイマ2割り込み許可ビットを“0”にする(ICON1、ビット5)
タイマ1割り込み要求ビットを“0”にする(IREQ1、ビット4)
タイマ2割り込み要求ビットを“0”にする(IREQ1、ビット5)
復帰に使用する割り込みの割り込み要求ビットを“0”にする
復帰に使用する割り込みの割り込み許可ビットを“1”にする
割り込み禁止フラグ(1)を“0”にする

ウェイトモード

WIT命令の実行により、ウェイトの状態になります。ウェイトモードでは発振は継続していますが、内部クロックφは停止します。そのためCPUは停止しますが、発振は継続しているため周辺装置は動作します。

(1) ウェイトモードの状態

ウェイトモード時の状態を表13に示します。

表13. ウェイトモードの状態

項目	状態
発振	停止
CPU	停止
入出力ポート	WIT命令実行時の状態を保持
タイマ	内部カウントソース選択時:動作 外部カウントソース選択時:動作
UART	動作
A/D変換	動作(変換中にWIT命令実行後も変換を継続)
シリアルI/O2	内部同期クロック選択時:動作 外部同期クロック選択時:動作
USB	動作

項目	状態
ウォッチドッグタイマ	動作
RAM	保持
SFR	保持(タイマ1、タイマ2、プリスケラ12は除く)
CPUレジスタ	保持 ・アキュムレータ ・インデックスレジスタX ・インデックスレジスタY ・スタックポインタ ・プログラムカウンタ ・プロセッサステータスレジスタ

(2) ウェイトの解除

ウェイトモードはリセット入力又は割り込みの発生により解除されます。ウェイトモードでは発振は継続されていますので、ウェイトモード解除直後に命令が実行されます。復帰に使用できる割り込み要因を以下に示します。

INT0
INT1
CNTR0
タイマ
シリアルI/O2
A/D変換
キーオンウェイクアップ
USB機能
UART

上記の割り込み要因をウェイトモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後WIT命令を実行してください。

復帰に使用する割り込み要求ビットを“0”にする
復帰に使用する割り込み許可ビットを“1”にする
割り込み禁止フラグ(I)を“0”にする

7534グループのUSB機能改善ポイントの詳細

表14. 7534グループのUSB機能改善ポイントの詳細

番号	項目	7532/7536グループ	7534グループ
1	コントロール転送時の応答	複数のデバイスに対して並列にコントロール転送を処理するホストに未対応	並列のコントロール転送に対しても接続可能
2	D+/D-トランシーバ回路	負荷条件 $C_L=150 \sim 350\text{pF}$ の限定条件でのみ対応	Low-Speed USB2.0仕様の負荷条件に対応 $C_L=200 \sim 450\text{pF}$ で $T_{rise}, T_{fall}: 75\text{ns} \sim 300\text{ns}$, $T_r/T_f: 80\% \sim 125\%$, Cross over Voltage: 1.3 ~ 2.0V
3	サスペンド時の電源電流低減	従来の規格は、USBVREFOUTの出力電流を含まずに、最大 $300\mu\text{A}$	3.3Vレギュレータ電流とD+/D-入力回路の低消費化により、USBVREFOUT出力電流を含んで、 $300\mu\text{A}$
4	ステータスステージでのSTALL	ステータスステージで無効なはずのOUT (DATA0)に対して一旦ACKを返してしまう	ステータスステージでOUT (DATA0)を受信するとハードウェアで自動的にSTALL発行
5	SYNCフィールドデコード6ビット化	8ビットフルコード(8016)が揃う場合のみSYNCを検出	先頭の2ビットが異常な信号であっても残りの6ビットのみでSYNCを検出

32ピン版, 36ピン版, 42ピン版の相違点

7534グループでは、3つのパッケージタイプがあり、I/Oポート数が異なります。I/Oポート以外に機能を持っているポートが削減されている場合、その機能についても併せて削減されていますので注意してください。

表15にI/Oポートにおける相違点を示します。

表15. 32ピン版, 36ピン版, 42ピン版の相違点(I/Oポート)

I/Oポート	42ピンSDIP	36ピンSSOP	32ピンLQFP
ポートP1	P10 ~ P16の7ビット構成	P10 ~ P14の5ビット構成	P10 ~ P14の5ビット構成
ポートP2	P20 ~ P27の8ビット構成 (A/D変換器8チャンネル)	P20 ~ P27の8ビット構成 (A/D変換器8チャンネル)	P20 ~ P25の6ビット構成 (A/D変換器6チャンネル)
ポートP3	P30 ~ P37の8ビット構成 (INT0、INT1の使用可能)	P30 ~ P35、P37の7ビット構成 (INT0のみ使用可能)	P30 ~ P34の5ビット構成 (INT機能なし)
ポートP4	P40、P41の2ビット構成	ポートなし	ポートなし

また、I/Oポートにおける相違に伴い、各SFRの使用方法及び機能定義にも相違点がありますので、注意してください。

表16にSFRにおける相違点を示します。

表16 . 32ピン版, 36ピン版, 42ピン版の相違点(SFR)

レジスタ名 (アドレス)	42ピンSDIP	36ピンSSOP	32ピンLQFP
ポートP1/方向 (0216/0316番地)	ビット7使用不可	ビット5~7使用不可	ビット5~7使用不可
ポートP2/方向 (0416/0516番地)	全ビット使用可能	全ビット使用可能	ビット6、7使用不可
ポートP3/方向 (0616/0716番地)	全ビット使用可能	ビット6使用不可	ビット5~7使用不可
ポートP4/方向 (0816/0916番地)	ビット2~7使用不可	全ビット使用不可	全ビット使用不可
プルアップ制御 (1616番地)	ビット6定義 “ P35、P36プルアップ制御 ” ビット7定義 “ P37プルアップ制御 ”	ビット6定義 “ P35プルアップ制御 ” ビット7定義 “ P37プルアップ制御 ”	ビット6、7使用不可
ポートP1P3制御 (1716番地)	ビット0定義 “ P37/INT0入力レベル選択 ” ビット1定義 “ P36/INT1入力レベル選択 ”	ビット0定義 “ P37/INT0入力レベル選択 ” ビット1使用不可	ビット0、1使用不可
A/D制御 (3416番地)	ビット0~2定義 “ 000~111で入力端子選択 ”	ビット0~2定義 “ 000~111で入力端子選択 ”	ビット0~2定義 “ 000~101で入力端子選択 ”
割り込みエッジ 選択 (3A16番地)	ビット0定義 “ INT0割り込みエッジ選択 ” ビット1定義 “ INT1割り込みエッジ選択 ” ビット4定義 “ シリアル/O1、INT1割り込み選択 ”	ビット0定義 “ INT0割り込みエッジ選択 ” ビット1、4使用不可	ビット0、1、4使用不可
割り込み要求 (3C16番地)	ビット1定義 “ UART送信、USB(IN除)、INT1 ” ビット2定義 “ INT0 ”	ビット1定義 “ UART送信、USB(IN除) ” ビット2定義 “ INT0 ”	ビット1定義 “ UART送信、USB(IN除) ” ビット2使用不可
割り込み制御 (3E16番地)	ビット1定義 “ UART送信、USB(IN除)、INT1 ” ビット2定義 “ INT0 ”	ビット1定義 “ UART送信、USB(IN除) ” ビット2定義 “ INT0 ”	ビット1定義 “ UART送信、USB(IN除) ” ビット2使用不可

USB機能を安定にご使用いただくための補足情報

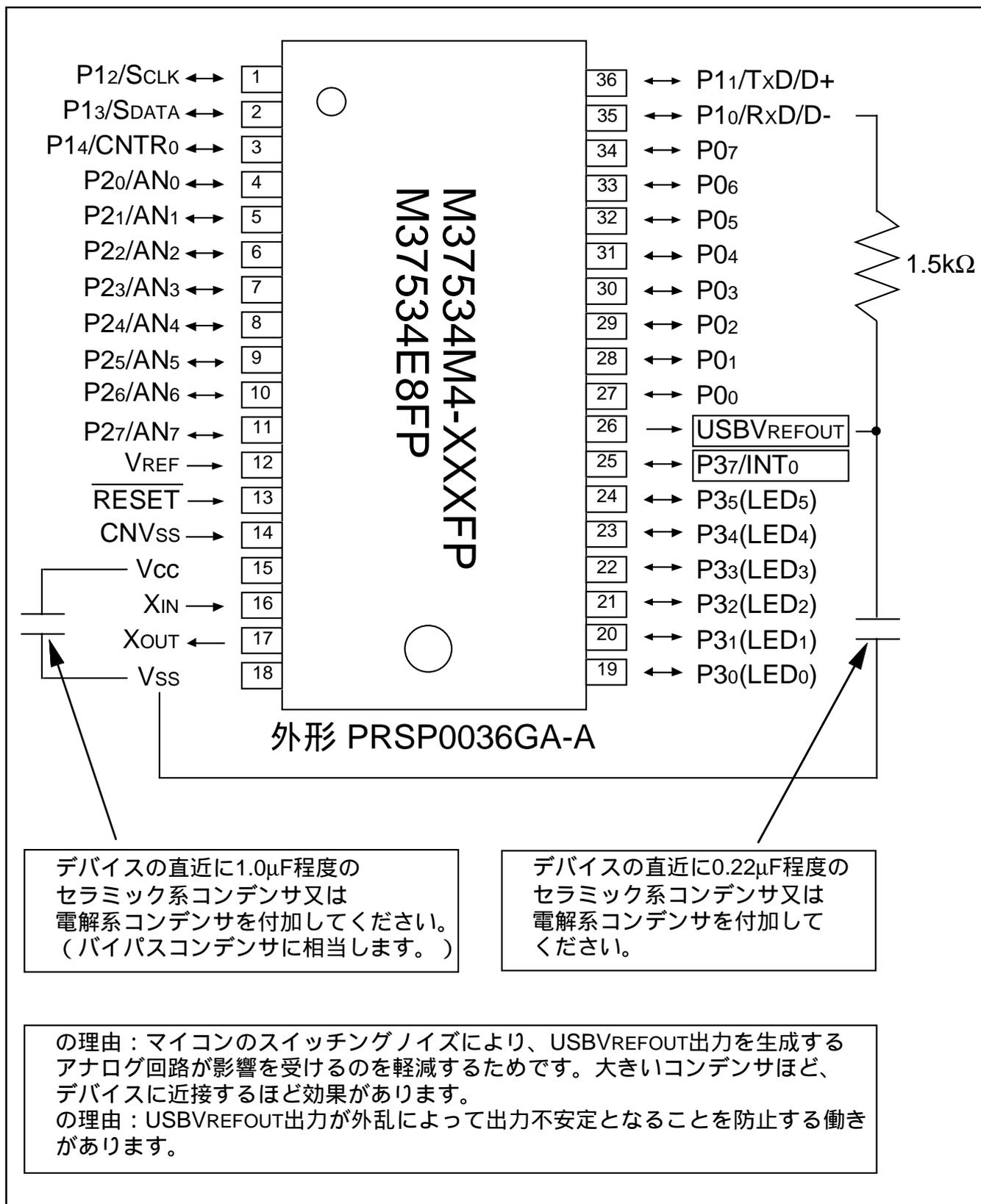


図56 . M37534M4-XXXXFP、M37534E8FP VCC、USBVREFOUT端子の取扱い

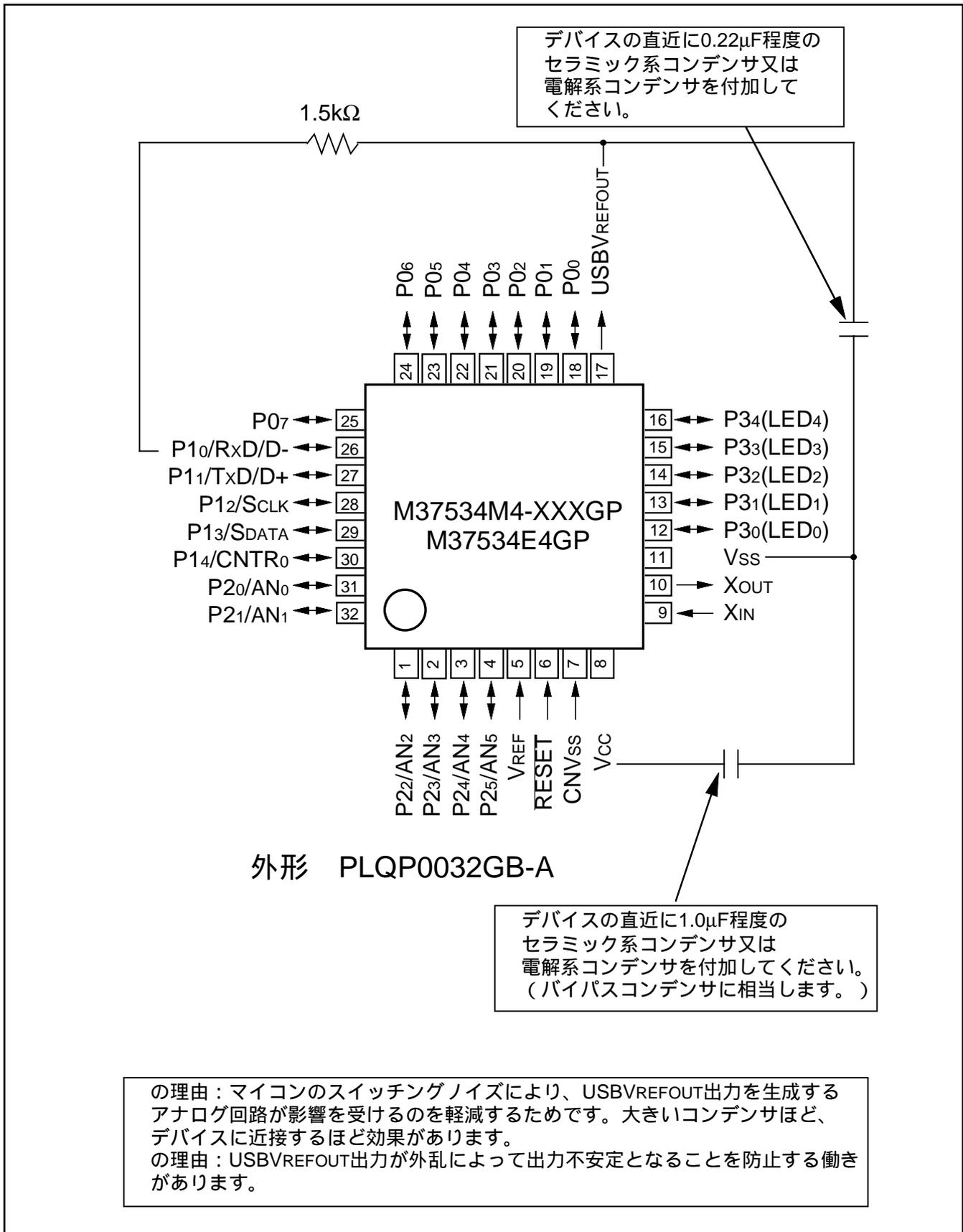


図57 . M37534M4-XXXGP、M37534E4GP Vcc、USBVREFOUT端子の取扱い

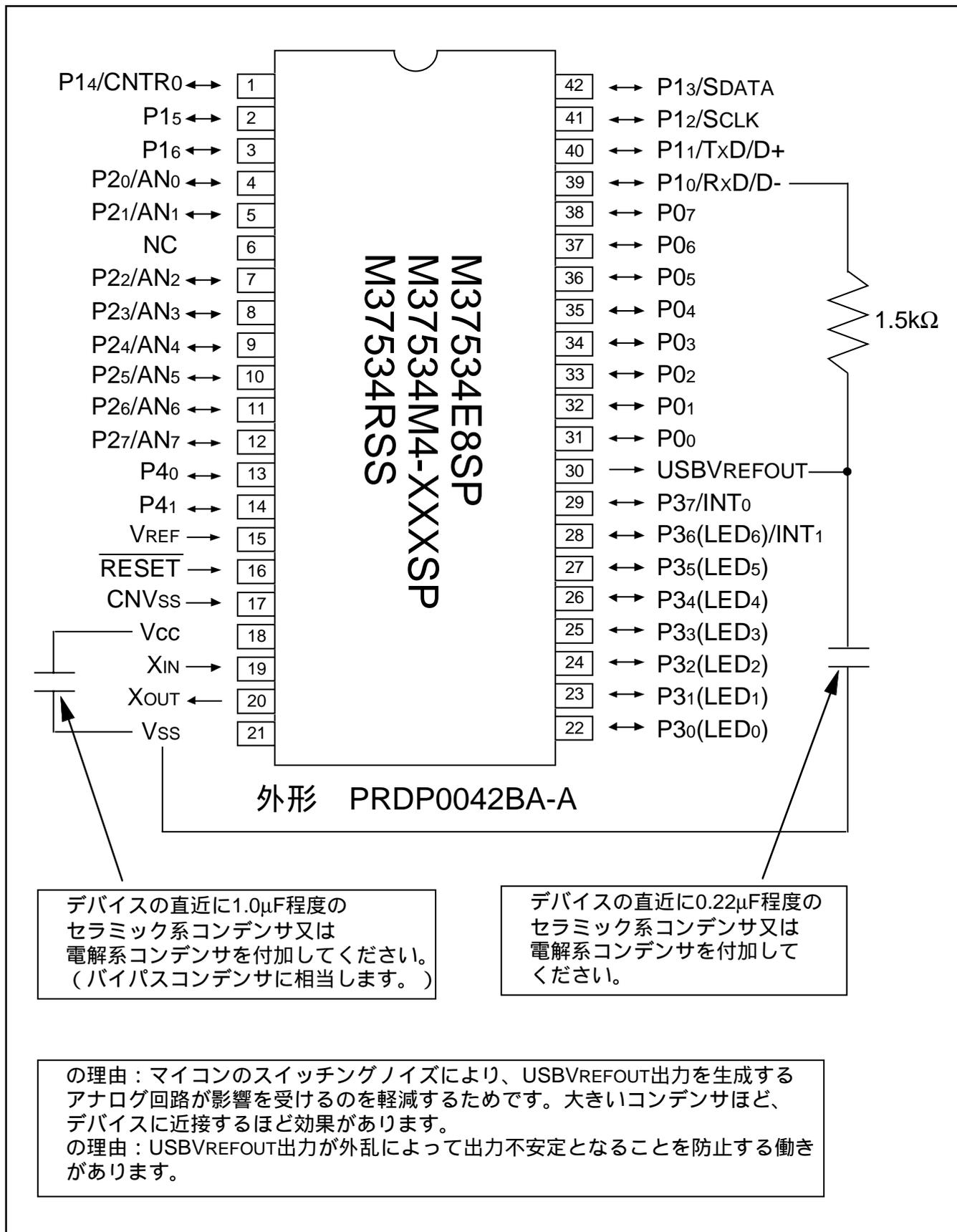


図58 . M37534E8SP、M37534M4-XXXSP、M37534RSS Vcc、USBVREFOUT端子の取扱い

レイアウトの都合上、このページは白紙です。

第2章

応用

- 2.1 入出力ポート
- 2.2 タイマ
- 2.3 シリアルI/O
- 2.4 USB
- 2.5 A/Dコンバータ
- 2.6 リセット

2.1 入出力ポート

本節では入出力ポートに関するレジスタの設定方法、注意事項などを説明します。

2.1.1 メモリ配置図

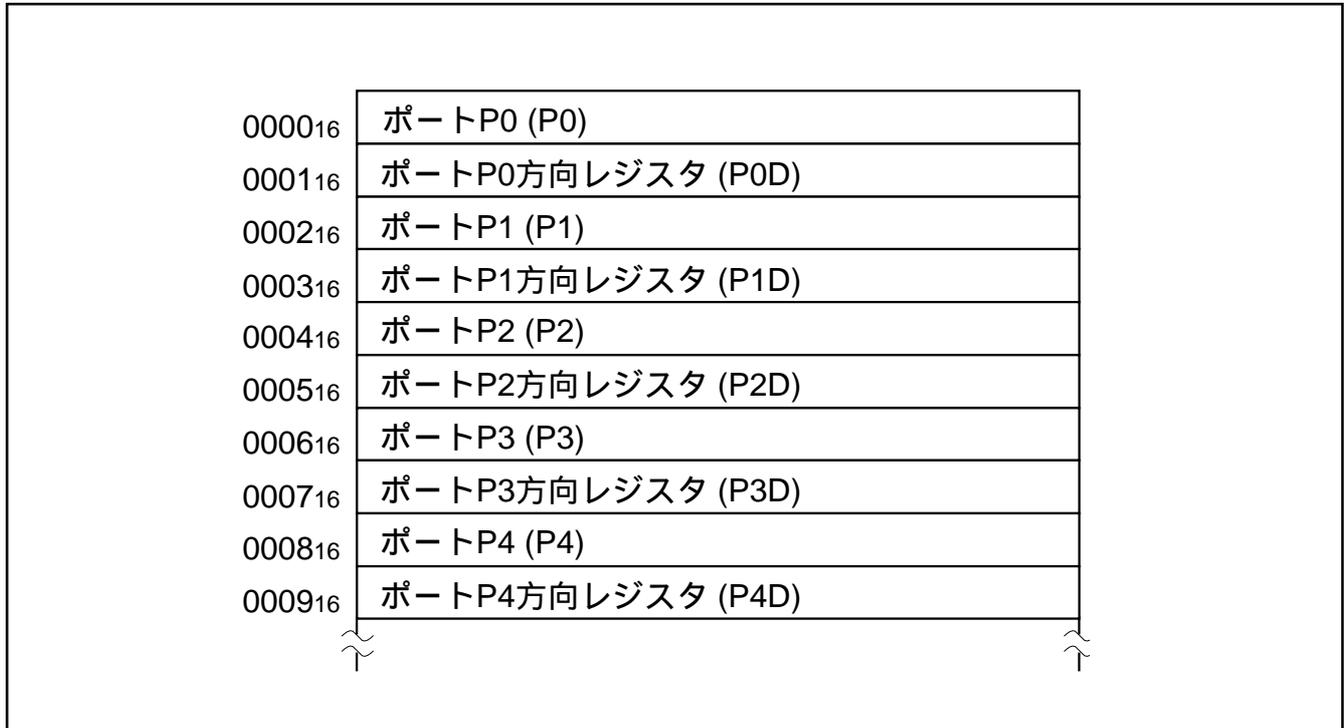


図2.1.1 入出力ポート関連レジスタのメモリ配置

2.1.2 関連レジスタ

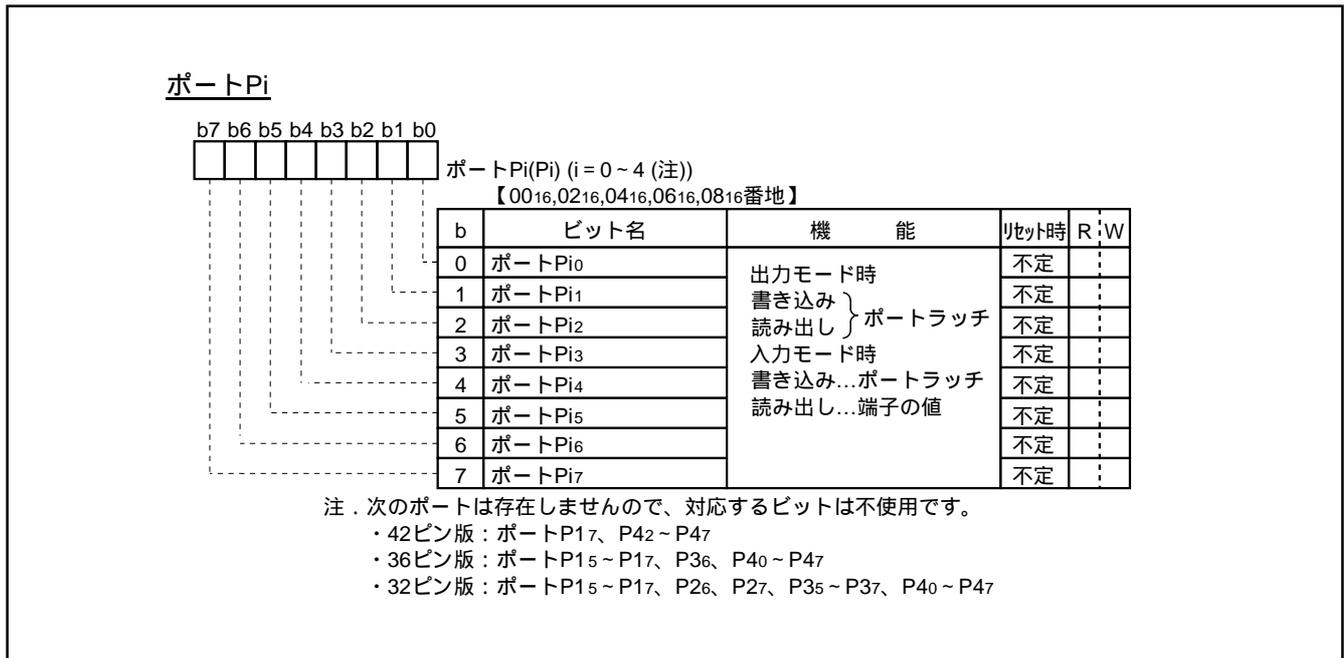


図2.1.2 ポートPiの構成(i = 0～4)

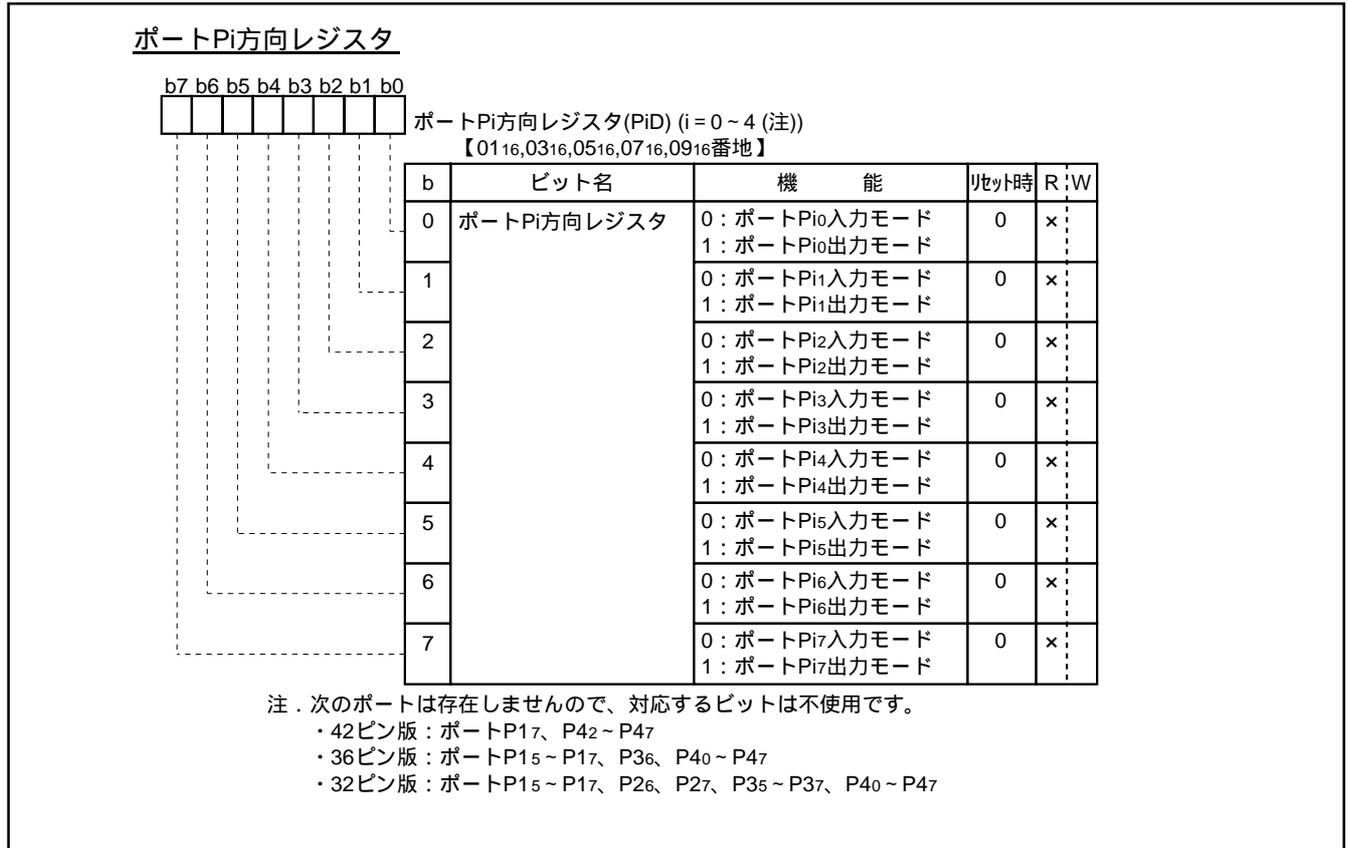


図2.1.3 ポートPi方向レジスタの構成(i = 0 ~ 4)

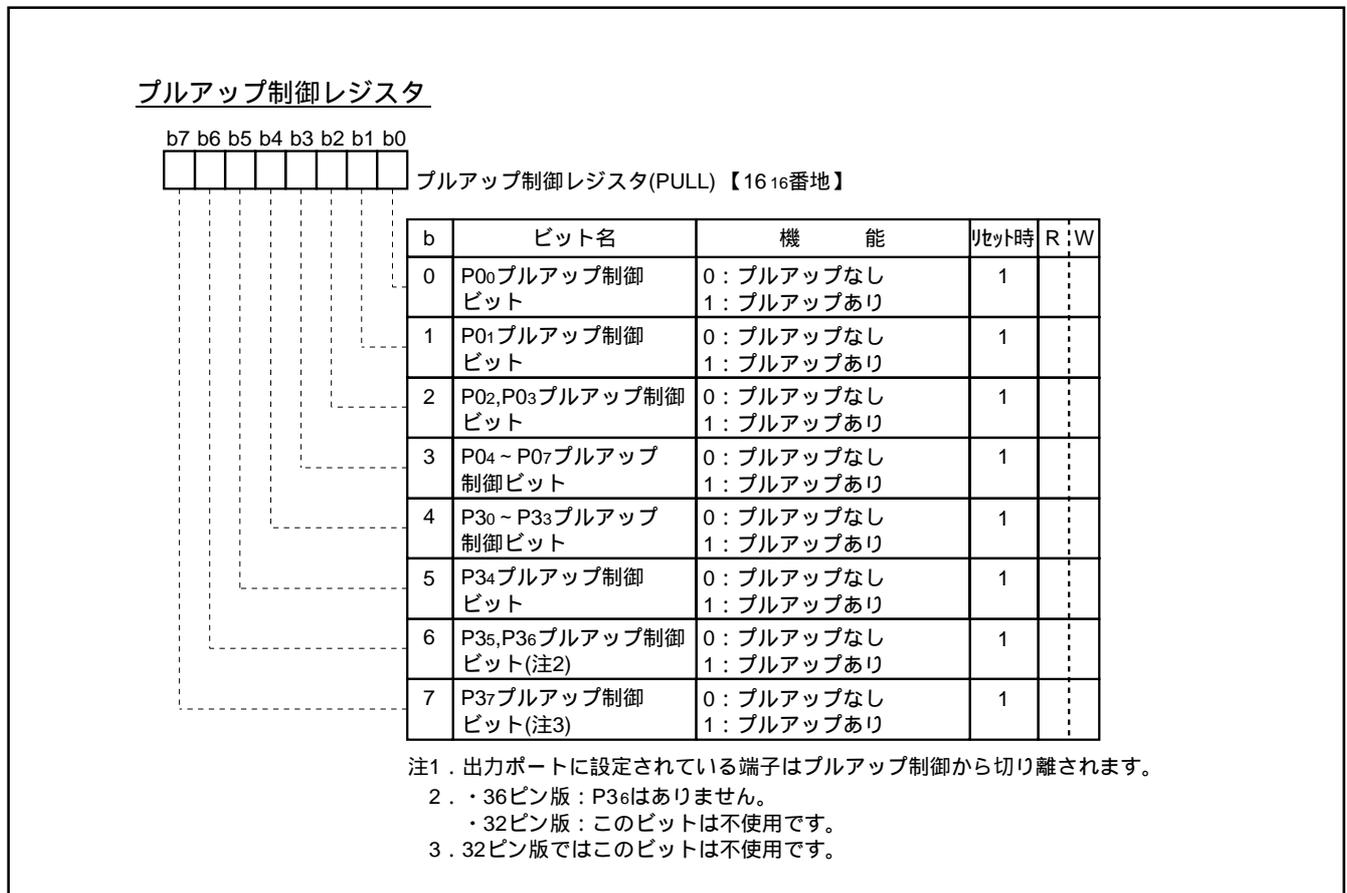


図2.1.4 プルアップ制御レジスタの構成

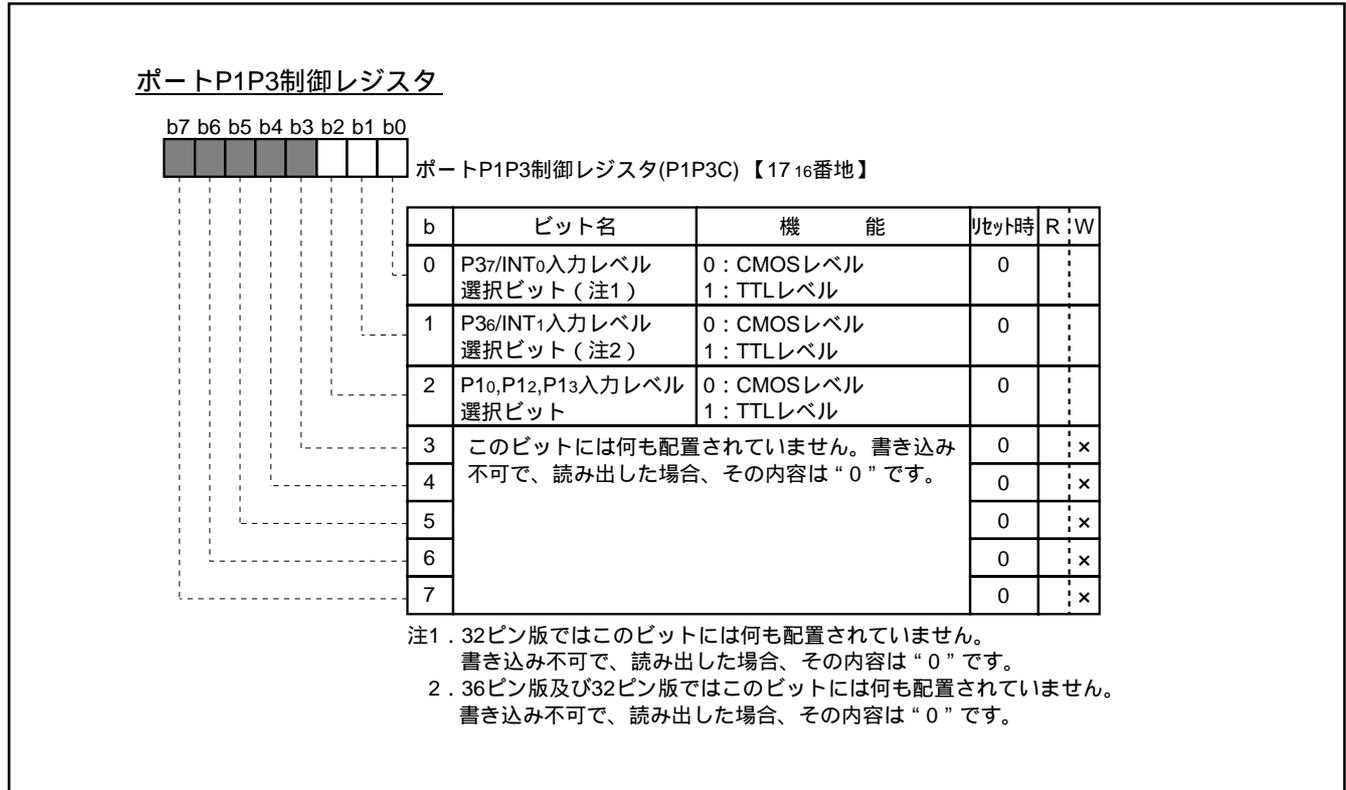


図2.1.5 ポートP1P3制御レジスタの構成

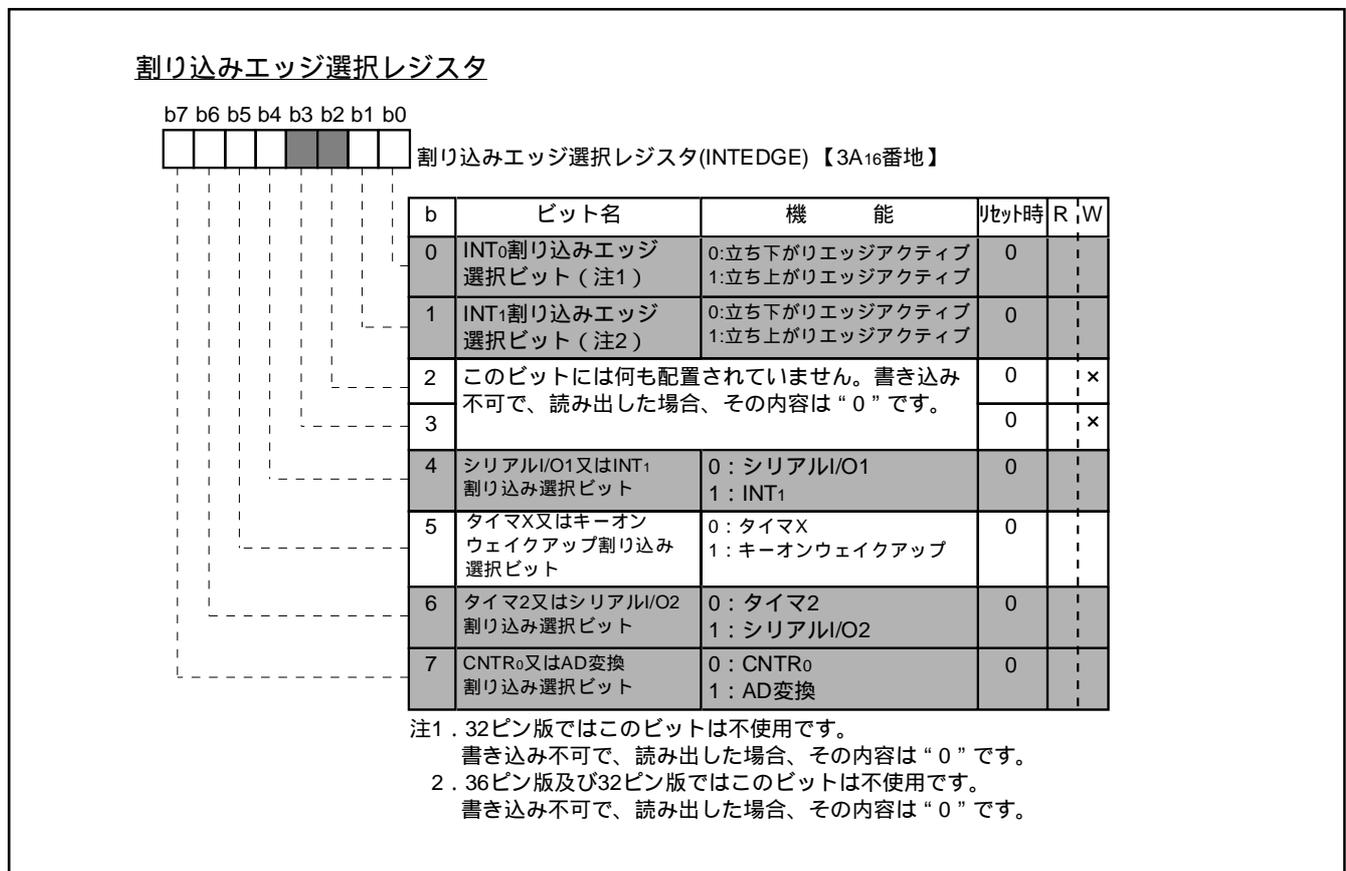


図2.1.6 割り込みエッジ選択レジスタの構成

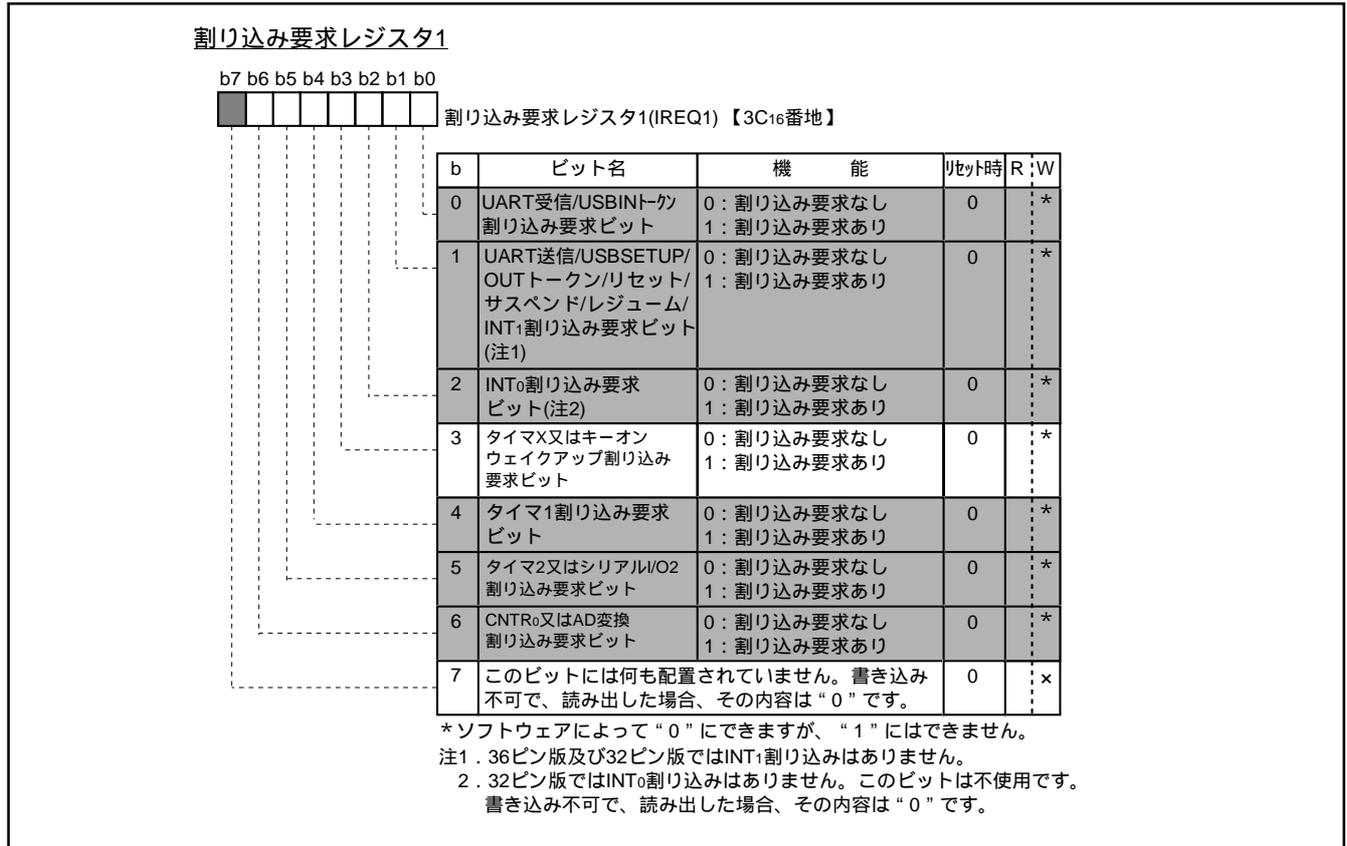


図2.1.7 割り込み要求レジスタ1の構成

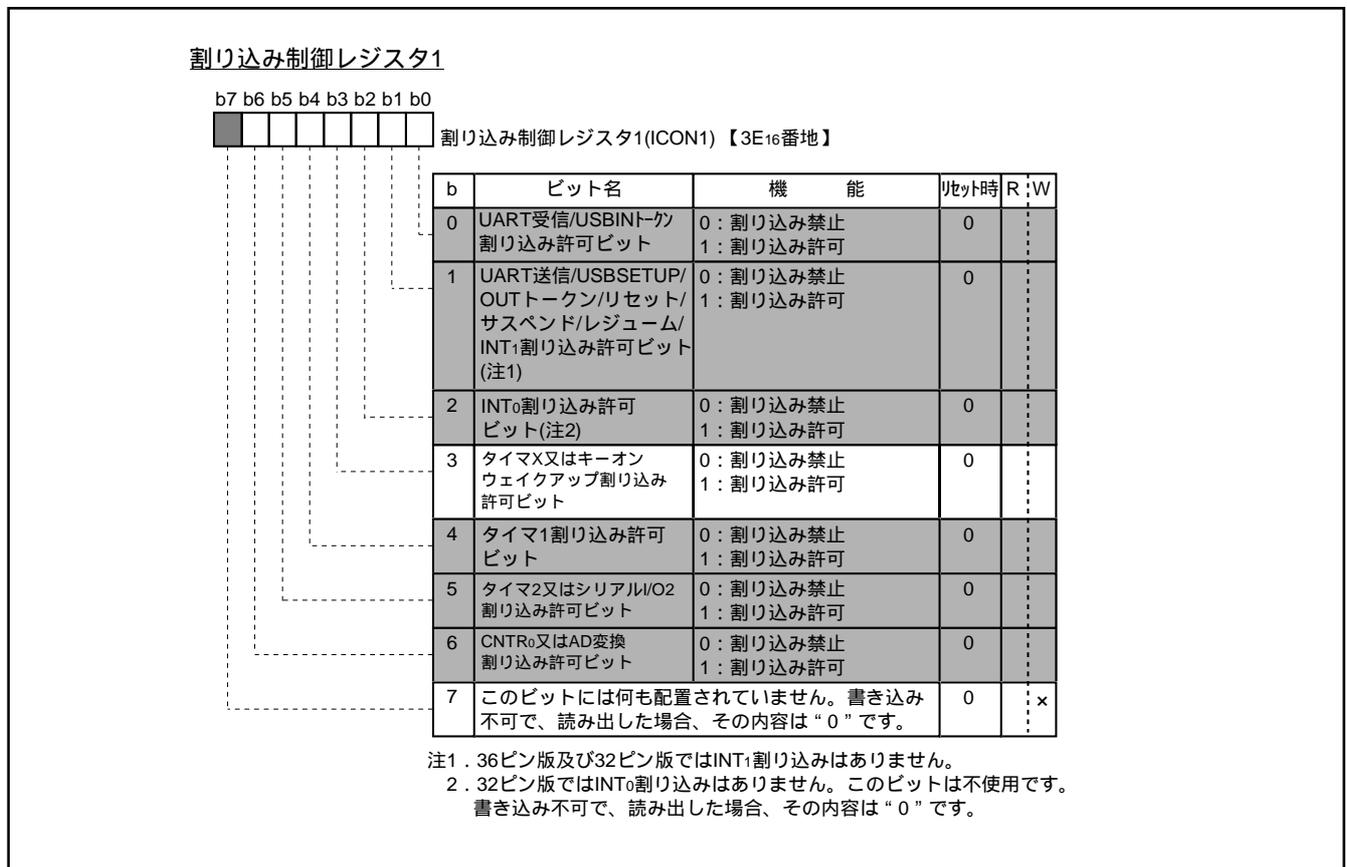


図2.1.8 割り込み制御レジスタ1の構成

2.1.3 キーオンウェイクアップの応用例

ポイント：内蔵プルアップ抵抗を使用します。

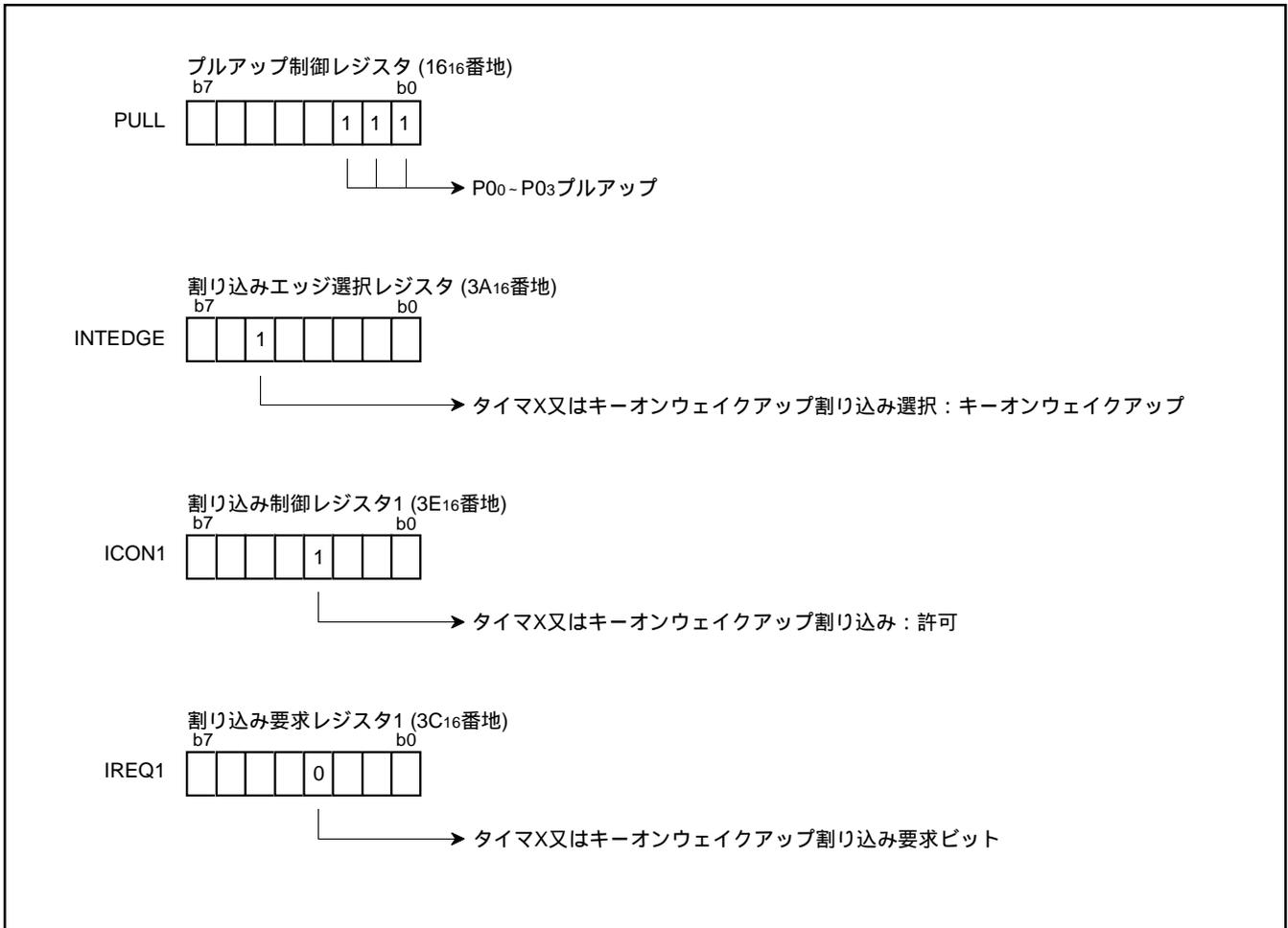


図2.1.9 関連レジスタの設定

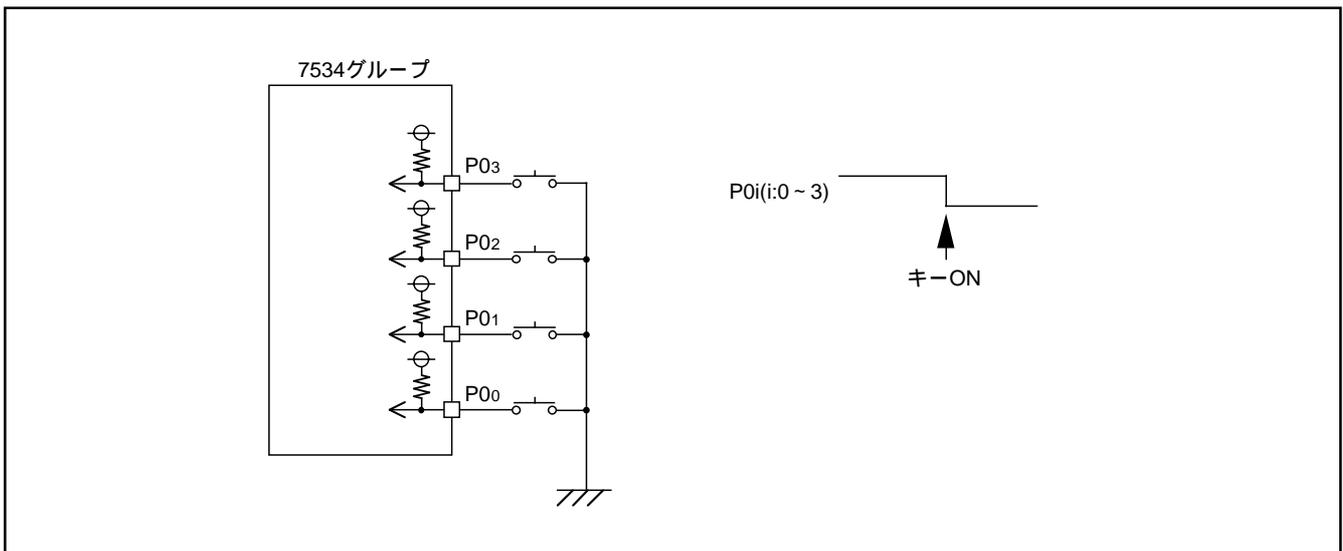


図2.1.10 応用回路例

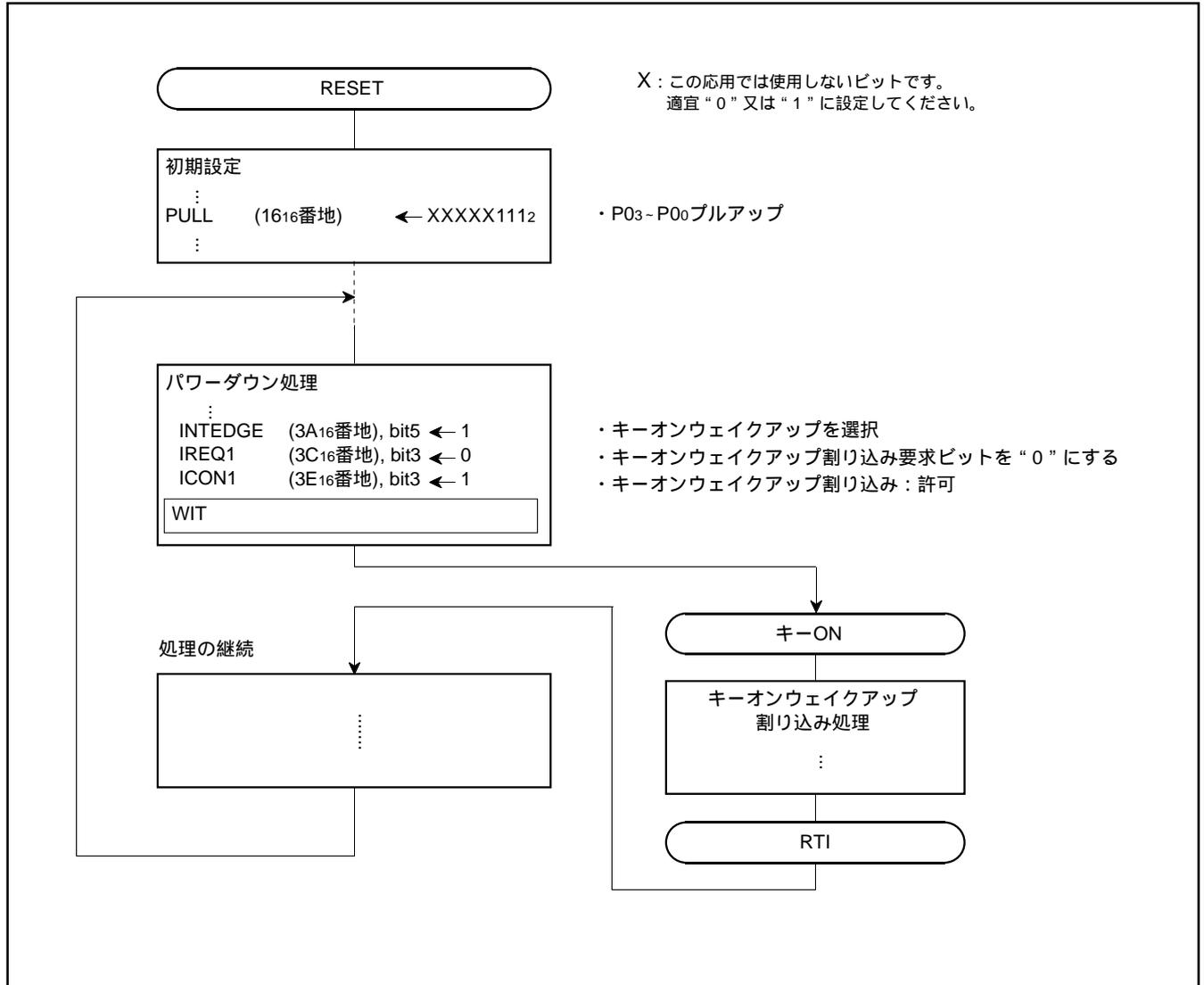


図2.1.11 制御手順

2.1.4 未使用端子の処理

表2.1.1 未使用端子の処理

端子/ポート名	処理方法
P0、P1、P2、P3 P4	・ 入力モードに設定し、各端子ごとに1 k ~ 10 k の抵抗を介してVcc又はVssに接続 ・ 出力モードに設定し、“L”又は“H”出力状態で開放
VREF端子	Vss(GND)に接続
XOUT端子	開放(外部クロック使用時のみ)

2.1.5 入出力端子に関する注意事項

(1) スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態*1で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

理由

入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

*1スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令*2を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ・出力に設定されているビット：
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*2ビット処理命令：SEB命令、CLB命令

2.1.6 未使用端子の処理に関する注意事項

(1) 未使用端子の適切な処理

出力専用ポート

開放してください。

入力専用ポート

各端子ごとに1~10k の抵抗を介して、Vcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。また、電圧レベルが動作モードに影響を与える端子(CNVss、INT端子など)は、モードを検討の上Vcc又はVssを選択してください。

入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(2) 未使用端子の不適切な処理

入力ポート及び入出力ポート

入力モードで開放しないでください。

理由

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

2.2 タイマ

本節ではタイマに関するレジスタの設定方法、注意事項などを説明します。

2.2.1 メモリ配置図

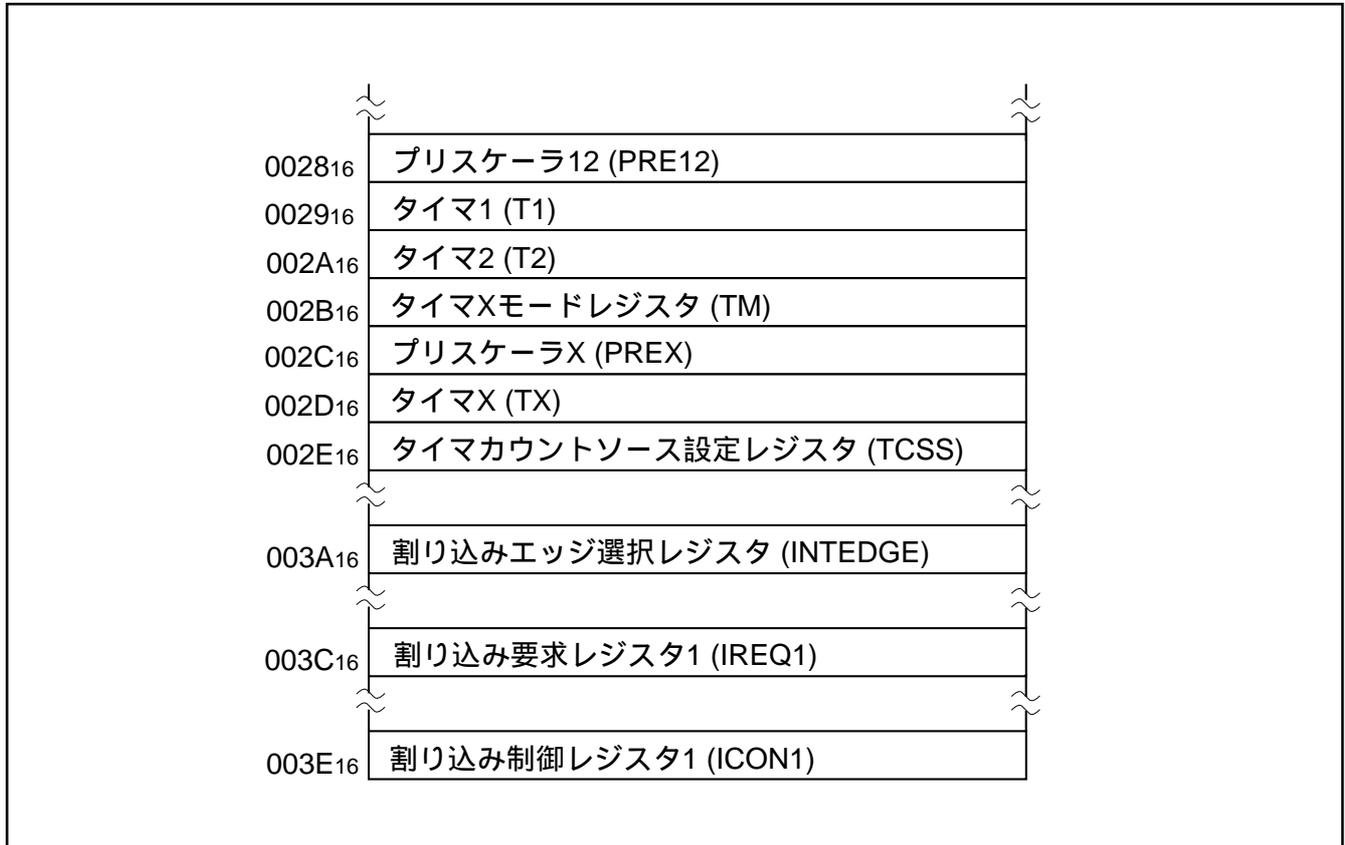


図2.2.1 タイマ関連レジスタのメモリ配置

2.2.2 関連レジスタ

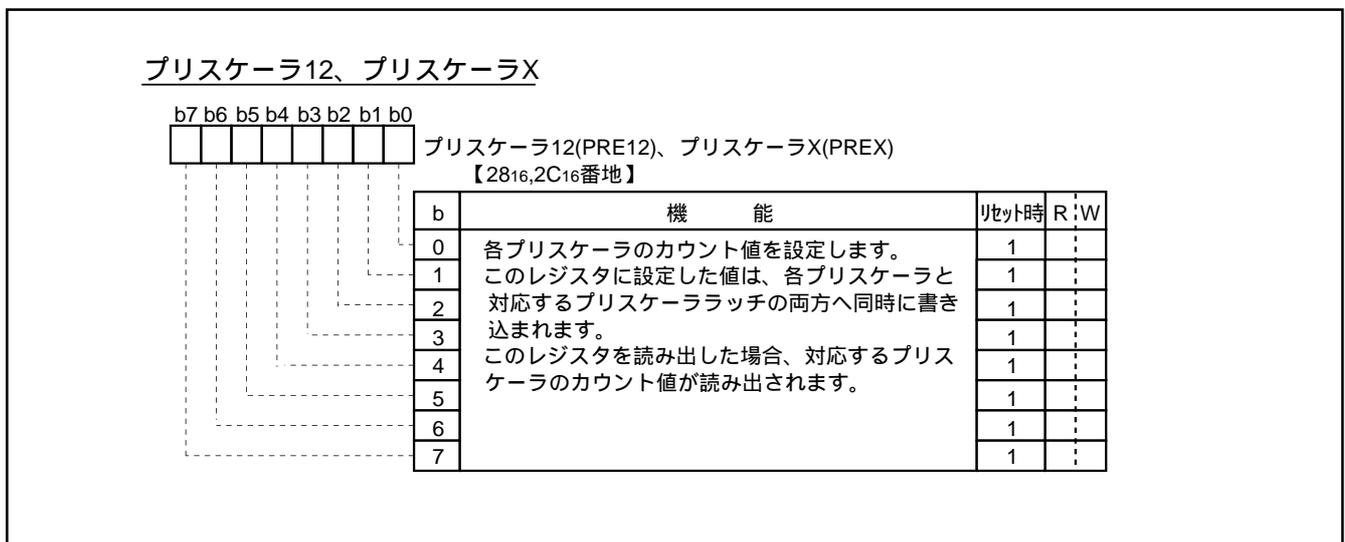


図2.2.2 プリスケーラ12、プリスケアラXの構成

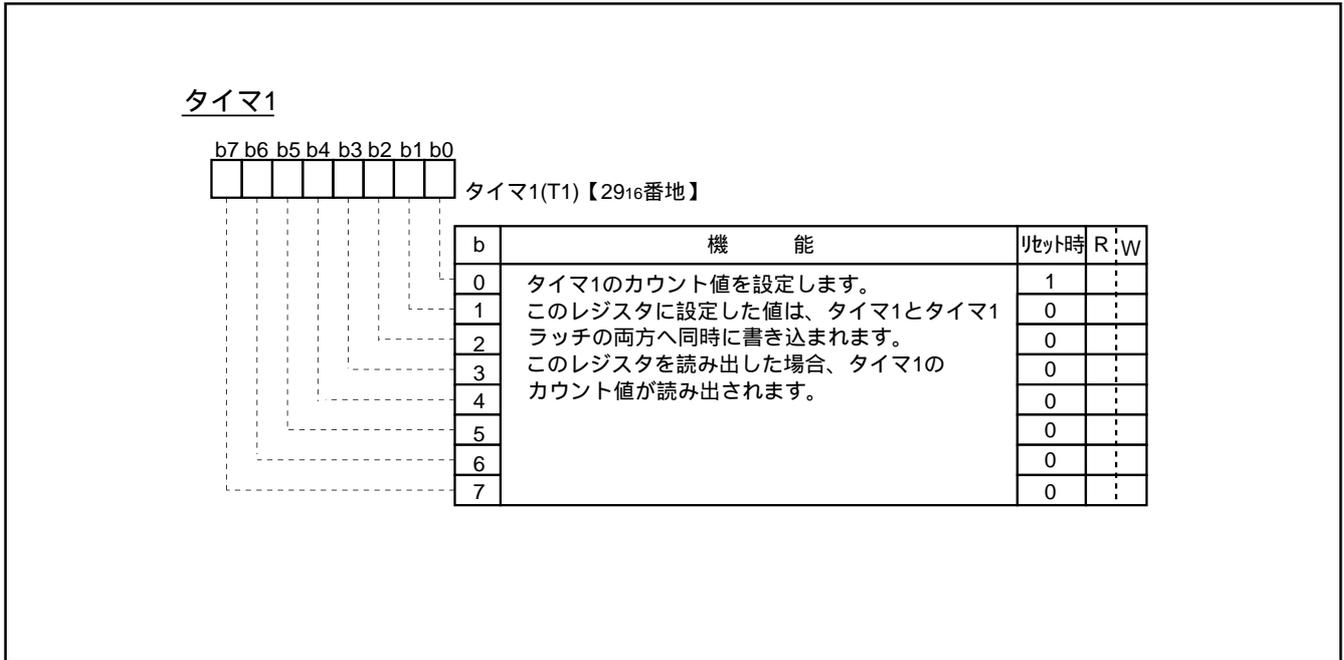


図2.2.3 タイマ1の構成

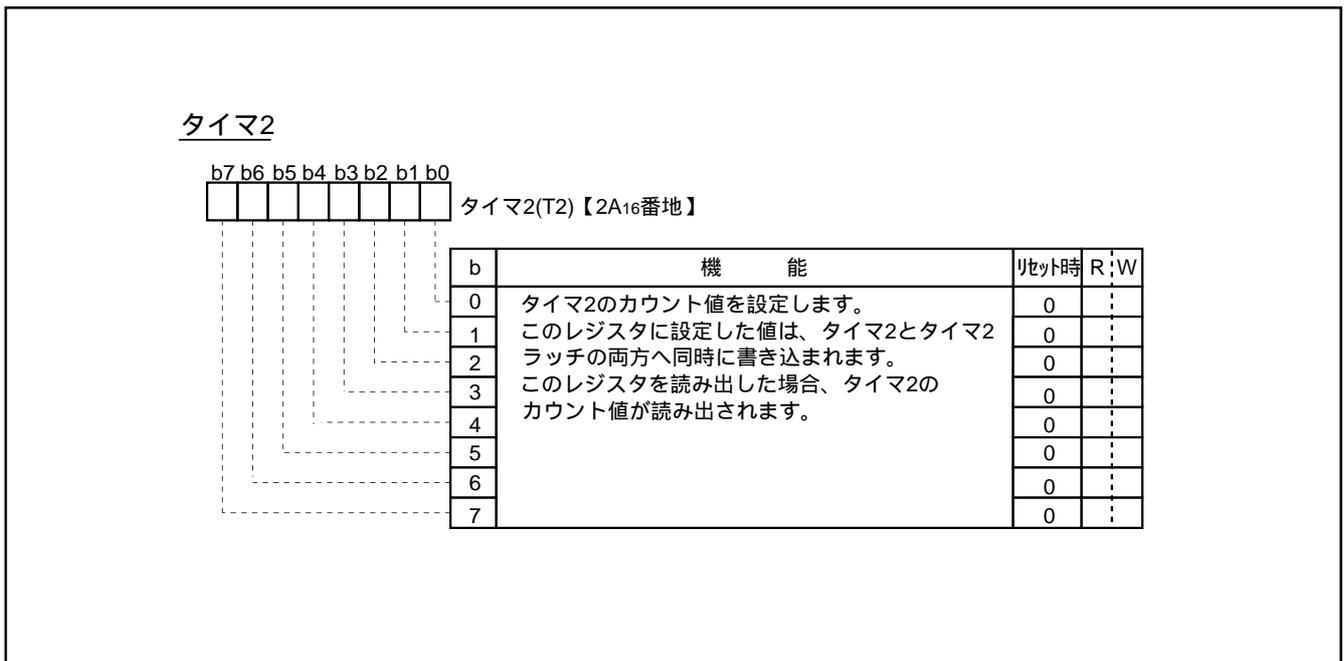


図2.2.4 タイマ2の構成

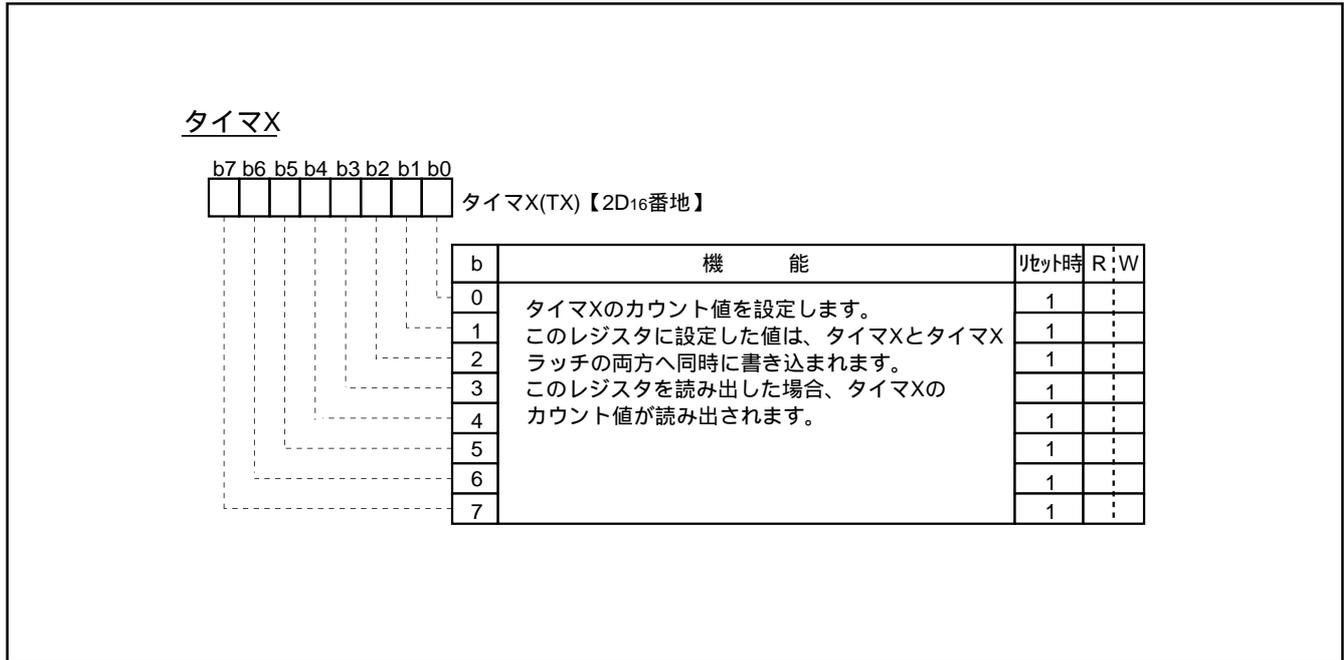


図2.2.5 タイマXの構成

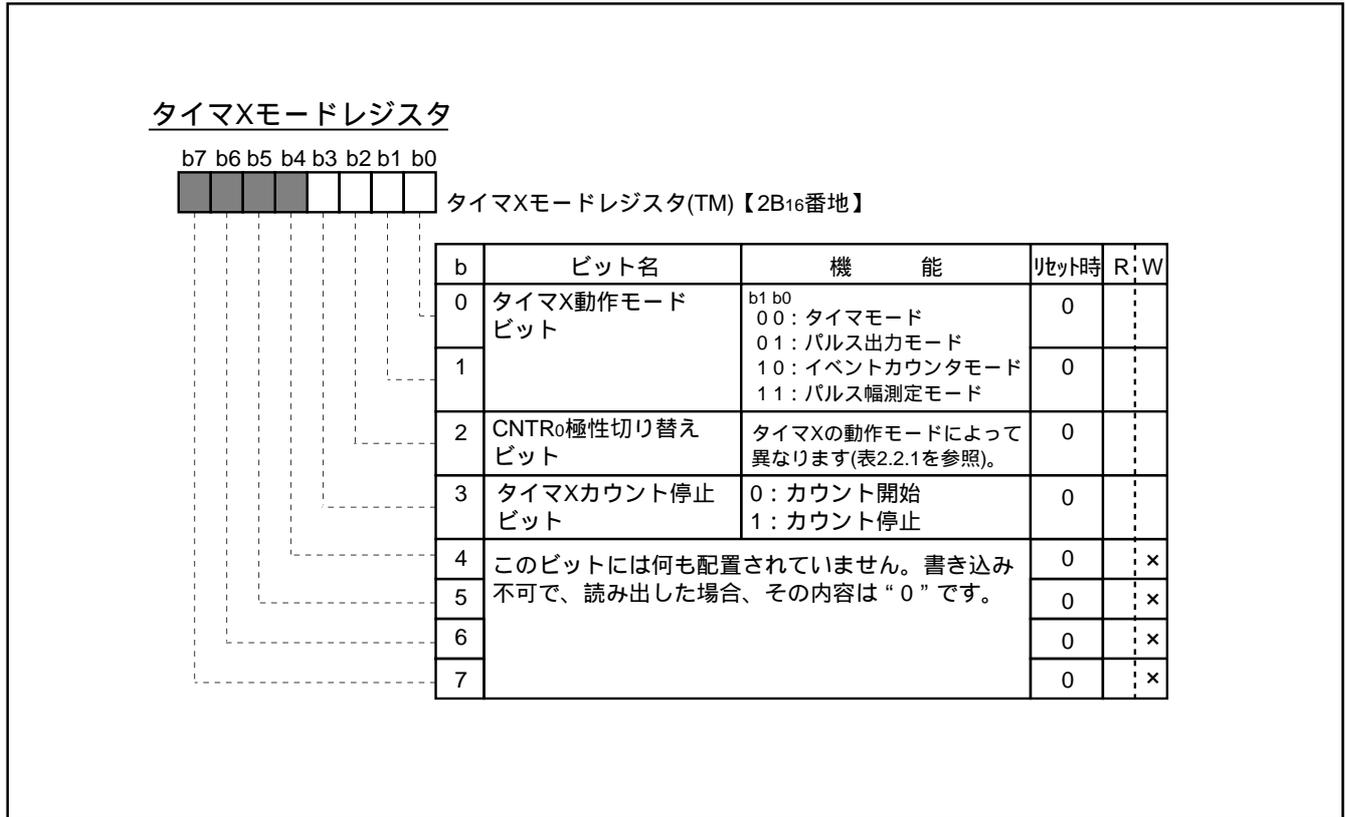
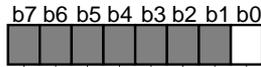


図2.2.6 タイマXモードレジスタの構成

表2.2.1 CNTR0極性切り替えビットの機能

タイマX の動作モード	CNTR0極性切り替えビット (2B16番地のビット2)の内容	
タイマモード	“0”	・ CNTR0割り込み要求の発生: 立ち下がりエッジ(タイマのカウントに影響なし)
	“1”	・ CNTR0割り込み要求の発生: 立ち上がりエッジ(タイマのカウントに影響なし)
パルス出力 モード	“0”	・ パルス出力開始: “H”レベルから ・ CNTR0割り込み要求の発生: 立ち下がりエッジ
	“1”	・ パルス出力開始: “L”レベルから ・ CNTR0割り込み要求の発生: 立ち上がりエッジ
イベントカウ ンタモード	“0”	・ タイマX: 立ち上がりエッジをカウント ・ CNTR0割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX: 立ち下がりエッジをカウント ・ CNTR0割り込み要求の発生: 立ち上がりエッジ
パルス幅測定 モード	“0”	・ タイマX: “H”レベル幅を測定 ・ CNTR0割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX: “L”レベル幅を測定 ・ CNTR0割り込み要求の発生: 立ち上がりエッジ

タイマカウントソース設定レジスタ



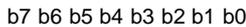
タイマカウントソース設定レジスタ(TCSS)【2E16番地】

b	ビット名	機 能	リセット時	R	W
0	タイマXカウントソース 選択ビット	0 : $f(X_{IN})/16$ 1 : $f(X_{IN})/2$	0		
1	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0		x
2			0		x
3			0		x
4			0		x
5			0		x
6			0		x
7			0		x

注. タイマXカウントソース選択ビットを切り替える場合は、必ず
タイマXのカウンタ動作を停止させた状態で行ってください。

図2.2.7 タイマカウントソース設定レジスタの構成

割り込みエッジ選択レジスタ



割り込みエッジ選択レジスタ(INTEDGE)【3A16番地】

b	ビット名	機 能	リセット時	R	W
0	INT ₀ 割り込みエッジ 選択ビット (注1)	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0		
1	INT ₁ 割り込みエッジ 選択ビット (注2)	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0		
2	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0		x
3			0		x
4	シリアルI/O1又はINT ₁ 割り込み選択ビット	0 : シリアルI/O1 1 : INT ₁	0		
5	タイマX又はキーオン ウェイクアップ割り込み 選択ビット	0 : タイマX 1 : キーオンウェイクアップ	0		
6	タイマ2又はシリアルI/O2 割り込み選択ビット	0 : タイマ2 1 : シリアルI/O2	0		
7	CNTR ₀ 又はAD変換 割り込み選択ビット	0 : CNTR ₀ 1 : AD変換	0		

注1. 32ピン版ではこのビットは不使用です。
書き込み不可で、読み出した場合、その内容は“0”です。
2. 36ピン版及び32ピン版ではこのビットは不使用です。
書き込み不可で、読み出した場合、その内容は“0”です。

図2.2.8 割り込みエッジ選択レジスタの構成

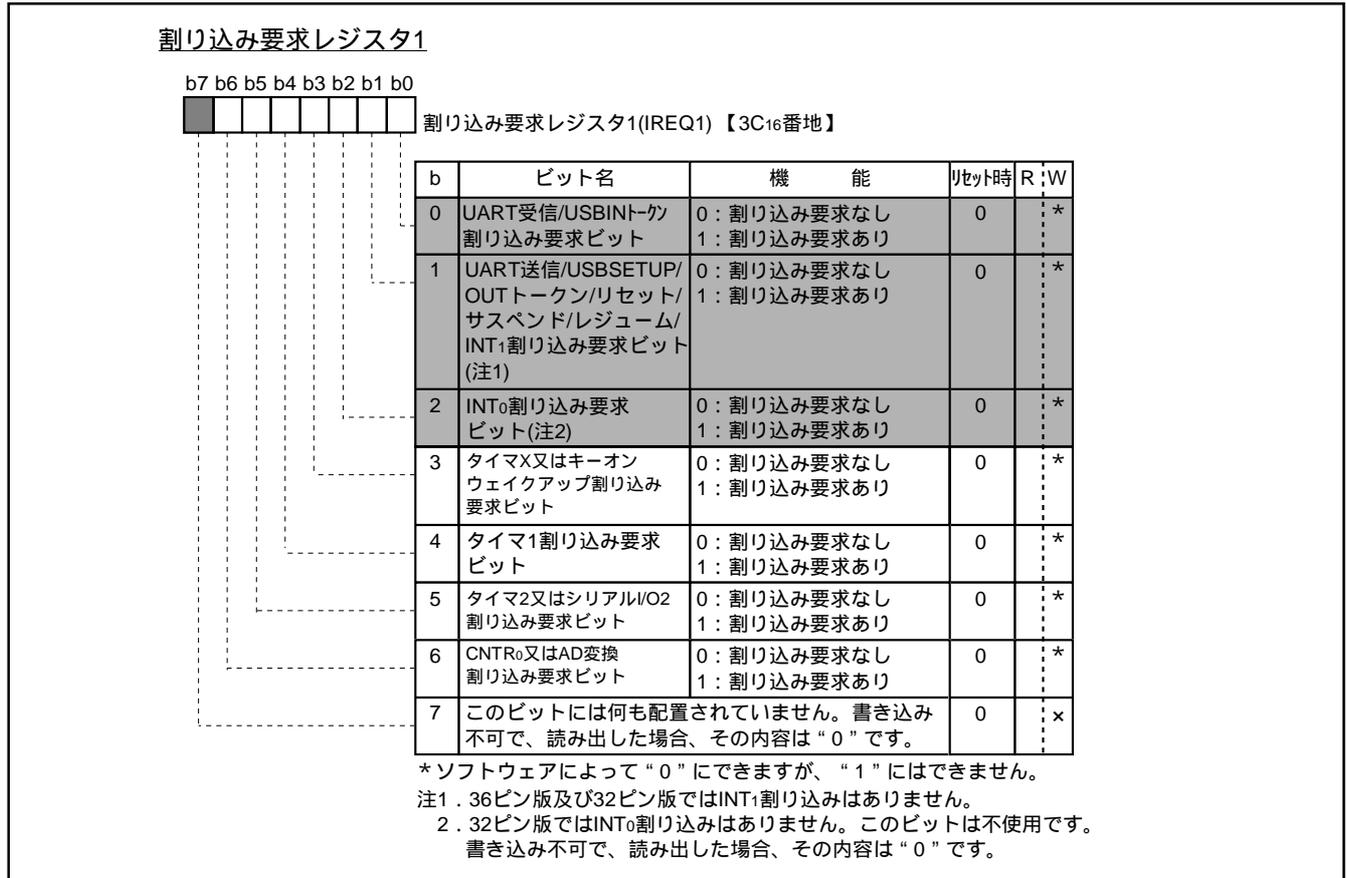


図2.2.9 割り込み要求レジスタ1の構成

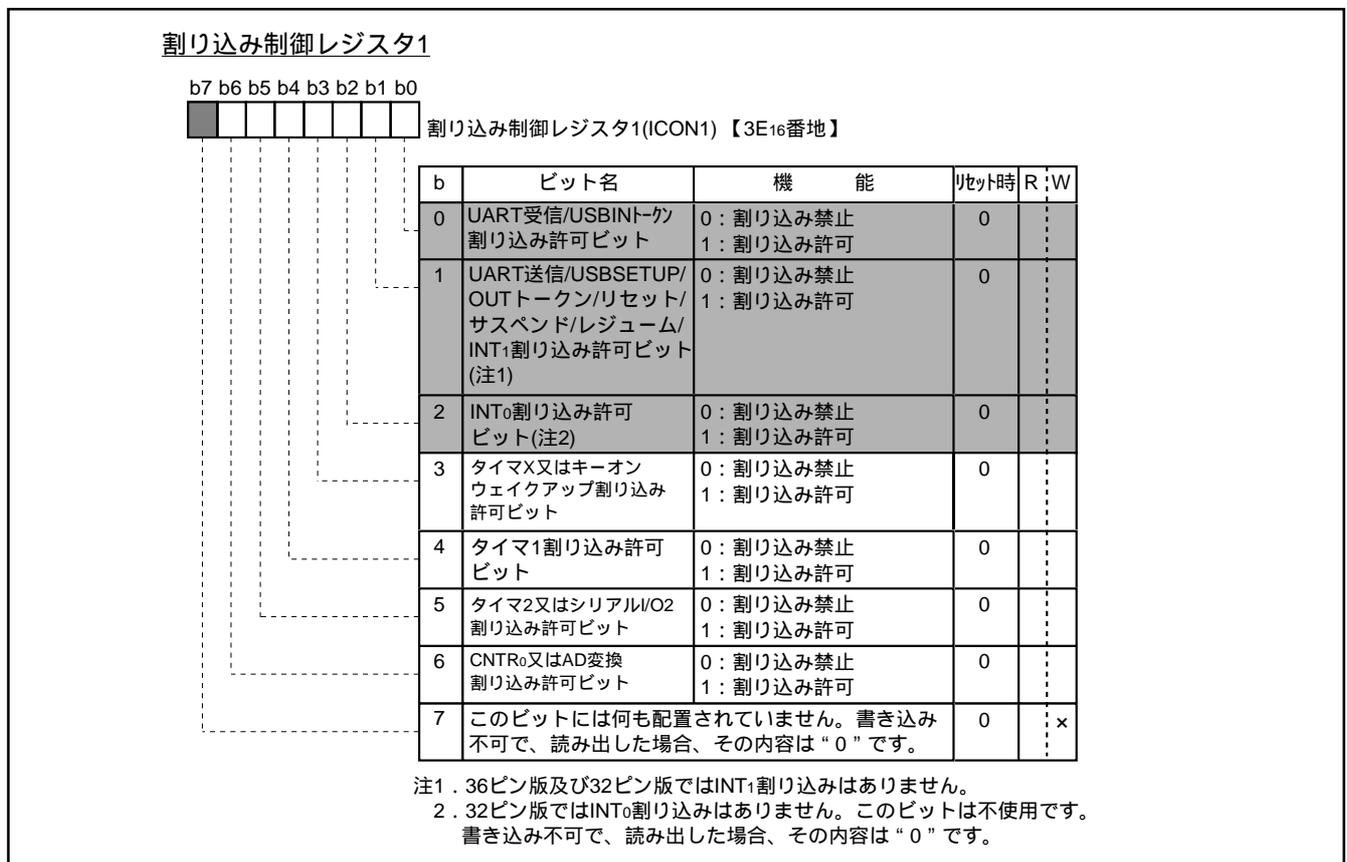


図2.2.10 割り込み制御レジスタ1の構成

2.2.3 タイマの応用例

(1) 基本的な機能と用途

[機能1] イベント間隔の管理(タイマX、 タイマ1、 タイマ2)

タイマにカウント値を設定すると、一定時間後に各タイマの割り込み要求が発生します。

用途

- ・出力信号のタイミング生成
- ・ウェイト時間の生成

[機能2] 周期的な動作の管理(タイマX、 タイマ1、 タイマ2)

タイマがアンダフローするごとに、自動的に各タイマラッチの値を対応するタイマに書き込み、周期的に各タイマの割り込み要求が発生します。

用途

- ・周期的な割り込みの発生
- ・時計機能(100msの測定) 応用例1
- ・メインルーチンの周期管理

[機能3] 方形波の出力(タイマX)

タイマがアンダフローするごとに、CNTR0端子の出力レベルを反転します(パルス出力モード)。

用途

- ・圧電ブザー出力 応用例2
- ・リモコン搬送波の発生

[機能4] 外部パルスのカウント(タイマX)

タイマのカウントソースとして、CNTR0端子に入力される外部パルスをカウントします(イベントカウンタモード)。

用途

- ・周波数の測定 応用例3
- ・外部パルスの分周
- ・外部パルスをカウントソースとする周期の割り込み発生(リールパルスのカウント)

[機能5] 外部パルス幅の測定(タイマX)

CNTR0端子に入力される外部パルスの“ H ”レベル幅又は“ L ”レベル幅を測定します(パルス幅測定モード)。

用途

- ・外部パルスの周波数の測定(モータのFGパルス(注)のパルス幅測定) 応用例4
- ・外部パルスのデューティの測定(周波数が固定されている場合)

注. FGパルス : モータの速度制御を行うためモータの速度を検出するパルス

(2) タイマの応用例1：時計機能(100 msの測定)

ポイント：クロックをタイマで分周し、100 msごとに時計をカウントアップします。

仕様：・クロック $f(XIN) = 6.00$ MHzをタイマで分周。

・タイマX割り込み(100 msごとに発生)処理ルーチンで、時計をカウントアップ。

タイマの接続と分周比の設定を図2.2.11、関連レジスタの設定を図2.2.12、制御手順を図2.2.13に示します。

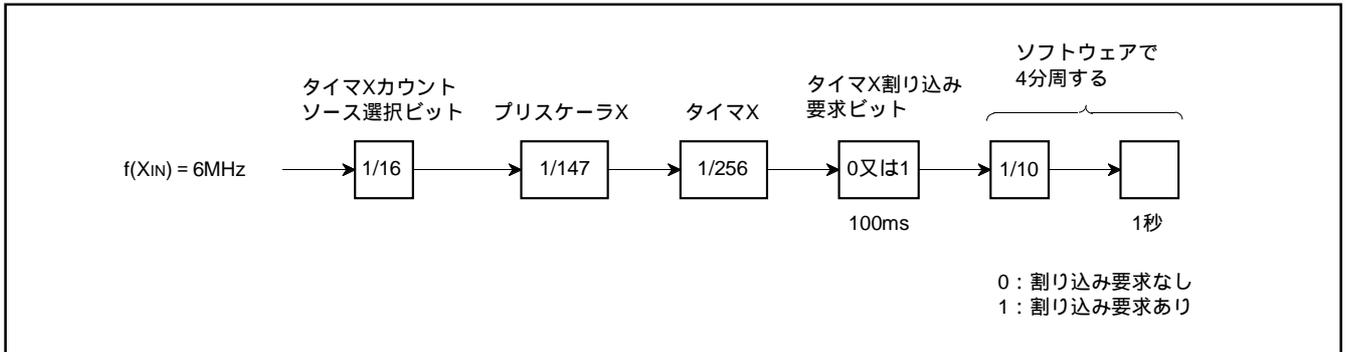


図2.2.11 タイマの接続と分周比の設定

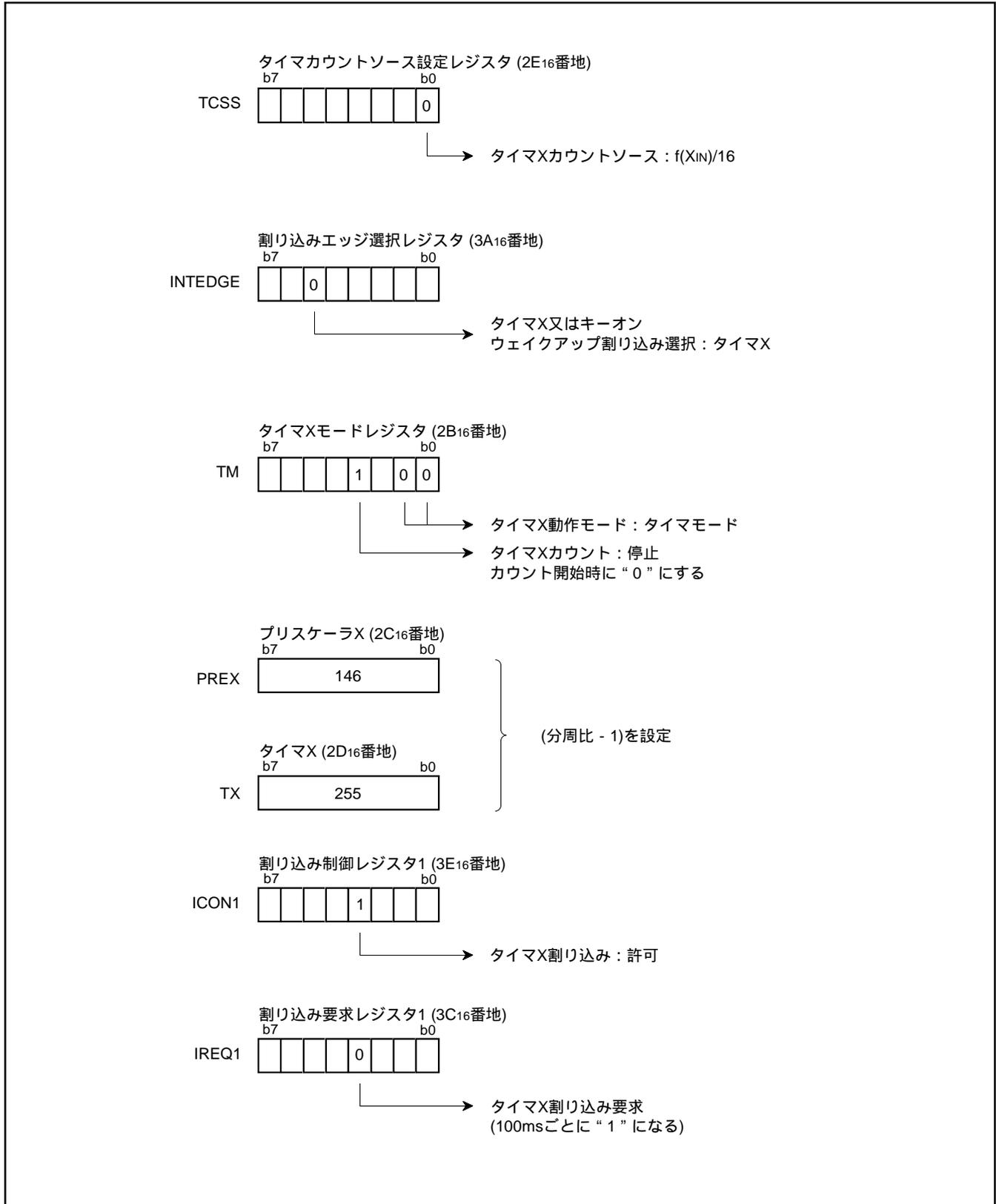


図2.2.12 関連レジスタの設定

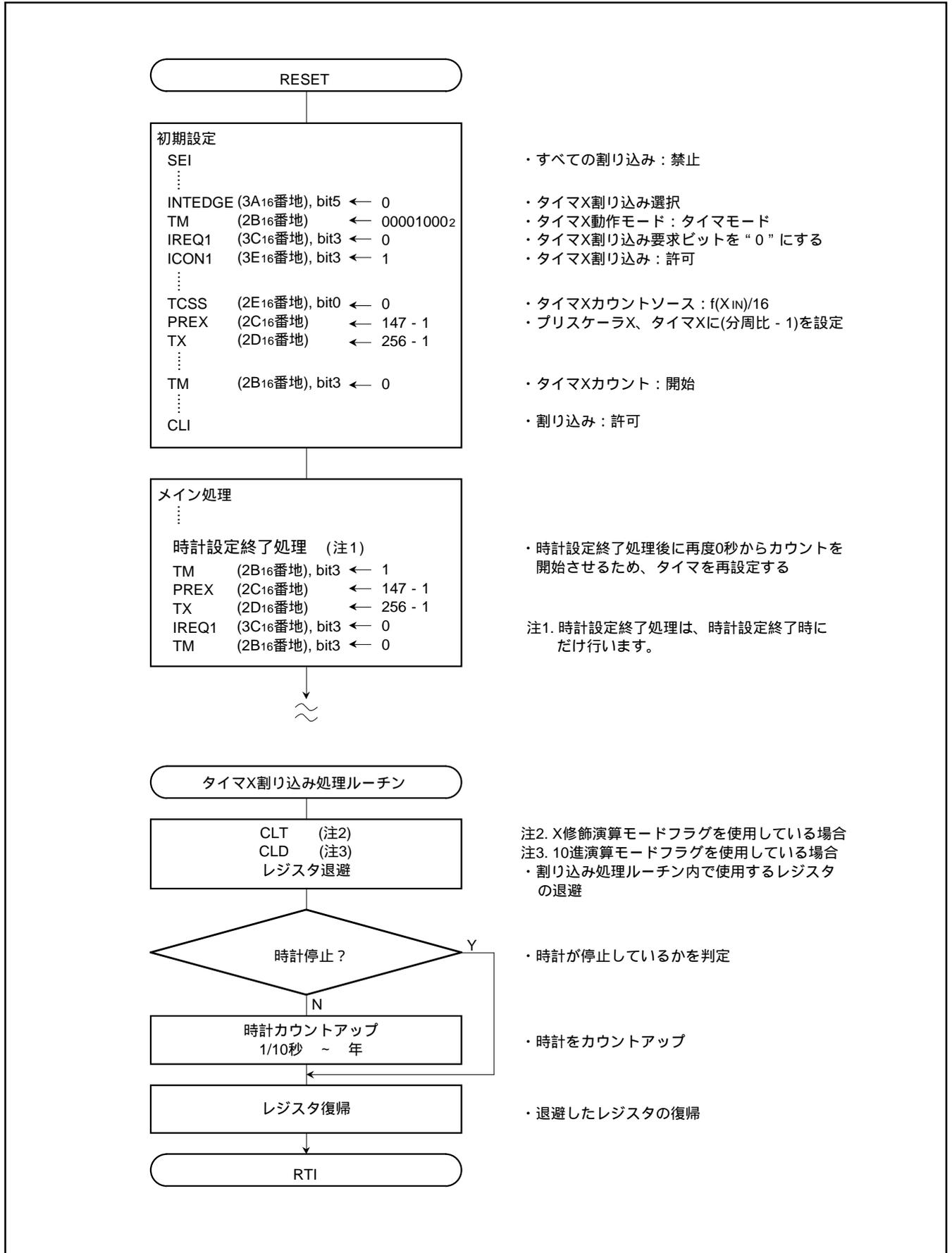


図2.2.13 制御手順

(3) タイマの応用例2：圧電ブザー出力

ポイント：タイマの方形波出力機能を圧電ブザー出力に応用します。

- 仕様：・クロック $f(XIN) = 6.00\text{ MHz}$ を約 2 kHz (1995 Hz)まで分周した方形波を、P14/CNTR0端子から出力。
- ・圧電ブザー出力停止中はP14/CNTR0端子のレベルを“H”に固定。

周辺回路例を図2.2.14、タイマの接続と分周比の設定を図2.2.15に示します。また、関連レジスタの設定を図2.2.16、制御手順を図2.2.17に示します。

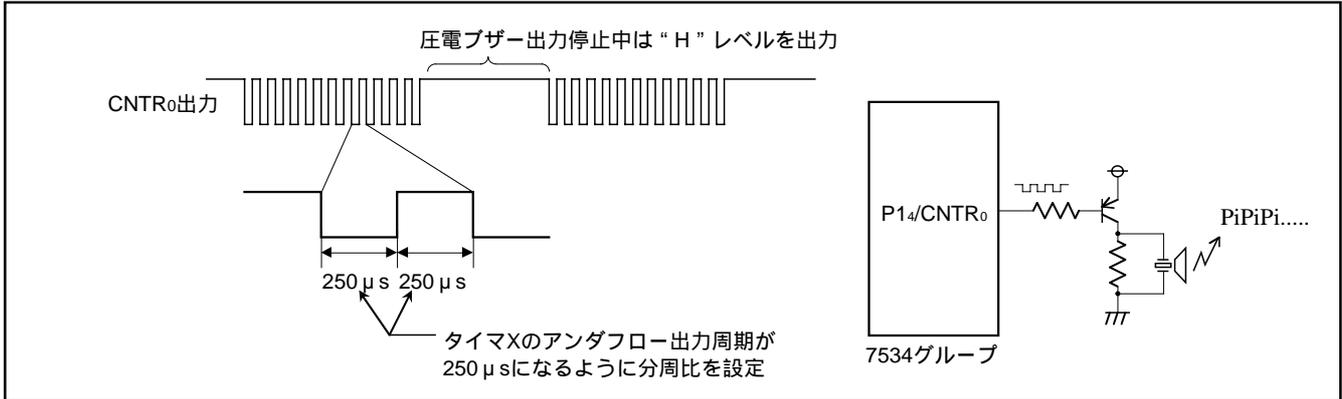


図2.2.14 周辺回路例

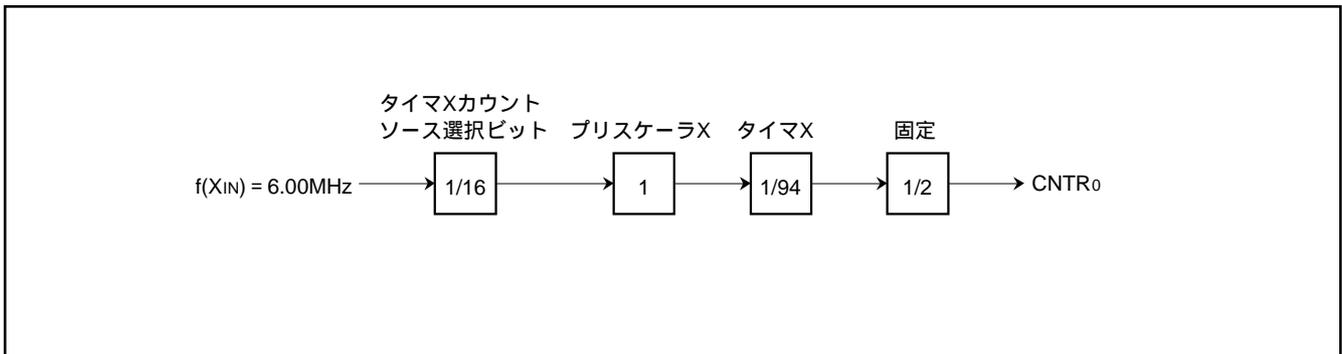


図2.2.15 タイマの接続と分周比の設定

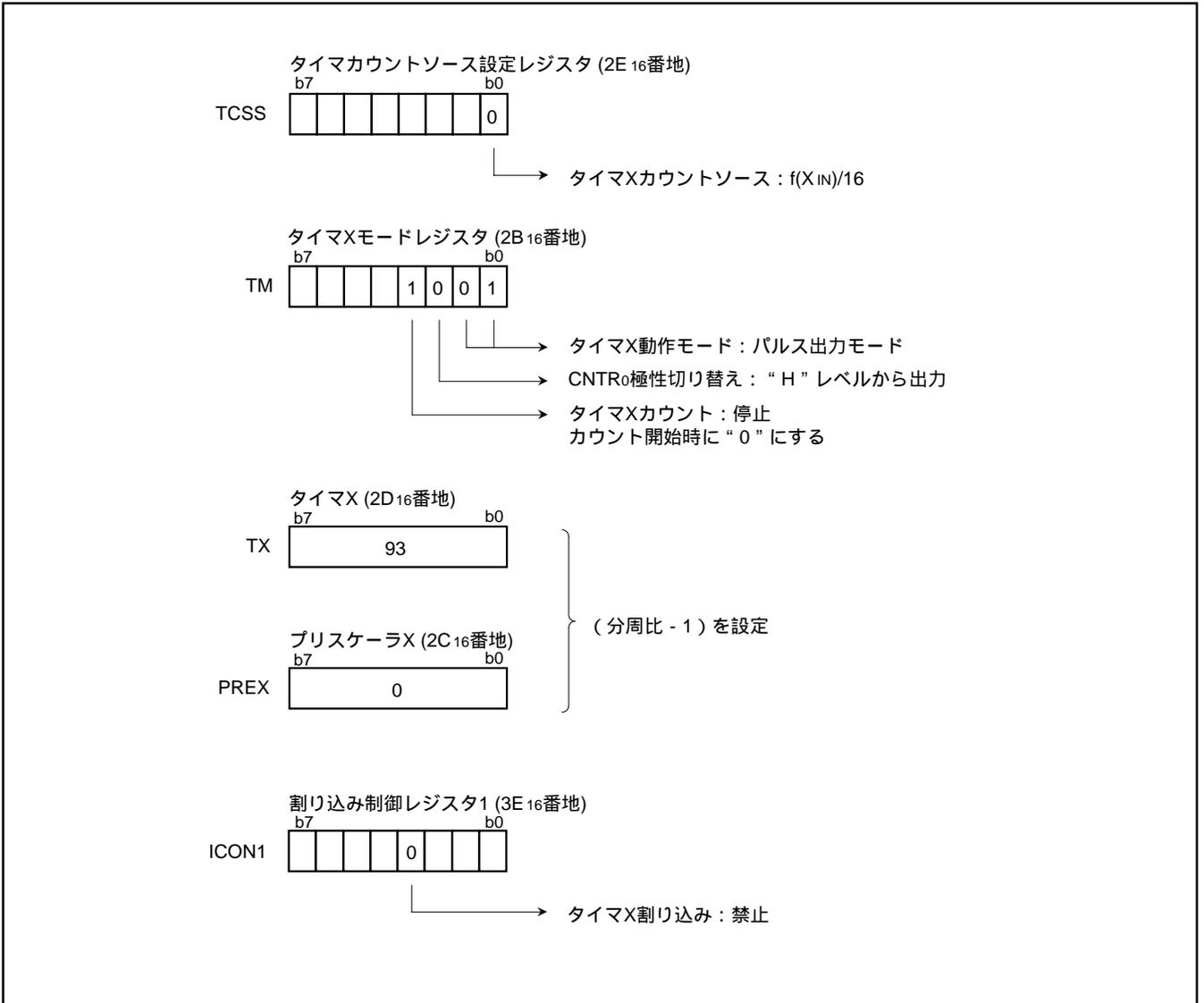


図2.2.16 関連レジスタの設定

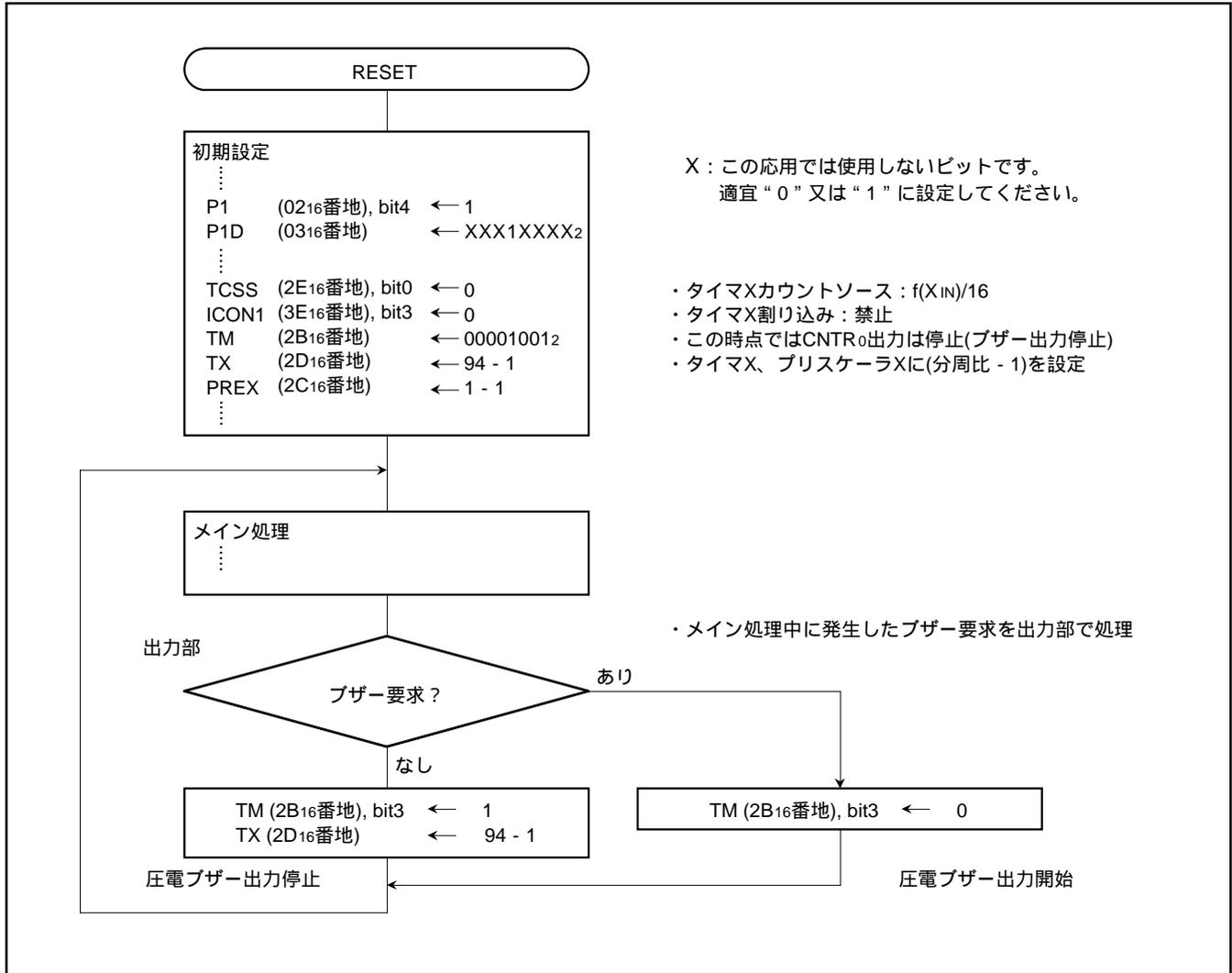


図2.2.17 制御手順

(4) タイマの応用例3：周波数の測定

ポイント：周波数が有効範囲内にあるかを判定するために、以下に示す2つの値を比較します。

- ・ P14/CNTR0端子に入力されるパルスをタイマでカウントした値
- ・ 基準値

仕様：・ P14/CNTR0端子にパルスを入力し、タイマXでカウント。

- ・ 約 2ms(タイマ1割り込み間隔)ごとにカウント値を読み出し、28～40カウントの場合を有効と判断。
- ・ タイマがダウンカウンタであるため、227～215(注)とカウント値を比較。

注. 227～215 = 255(カウンタの初期値) - 28～40(有効カウント数)

入力パルスの有効又は無効の判定方法を図2.2.18、関連レジスタの設定を図2.2.19、制御手順を図2.2.20に示します。

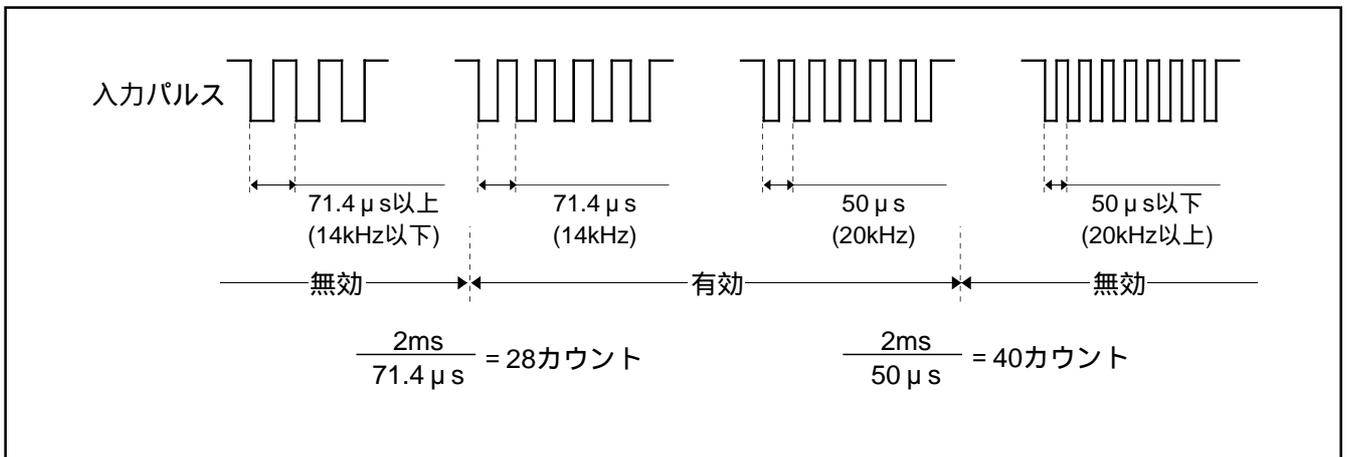


図2.2.18 入力パルス有効又は無効の判定方法

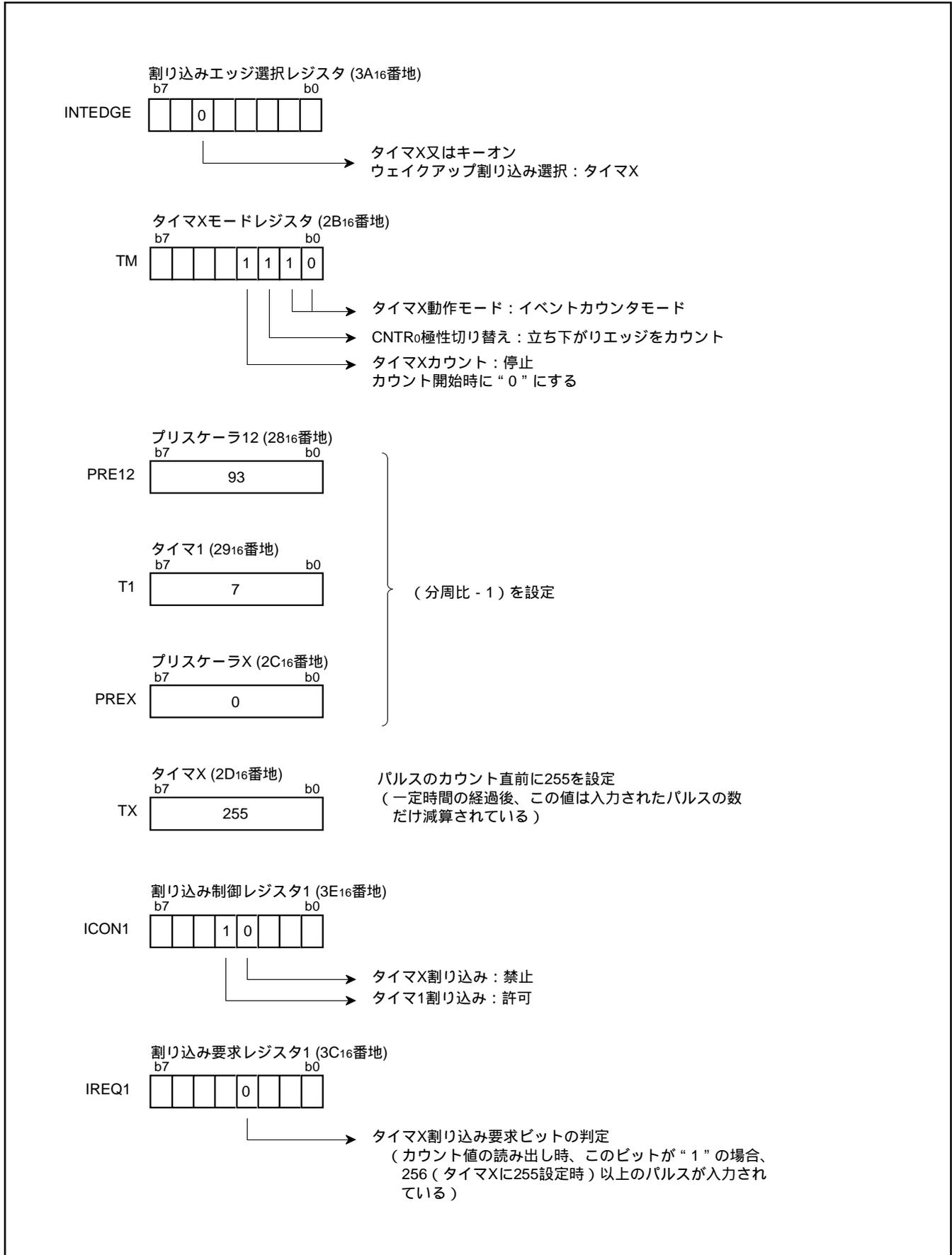


図2.2.19 関連レジスタの設定

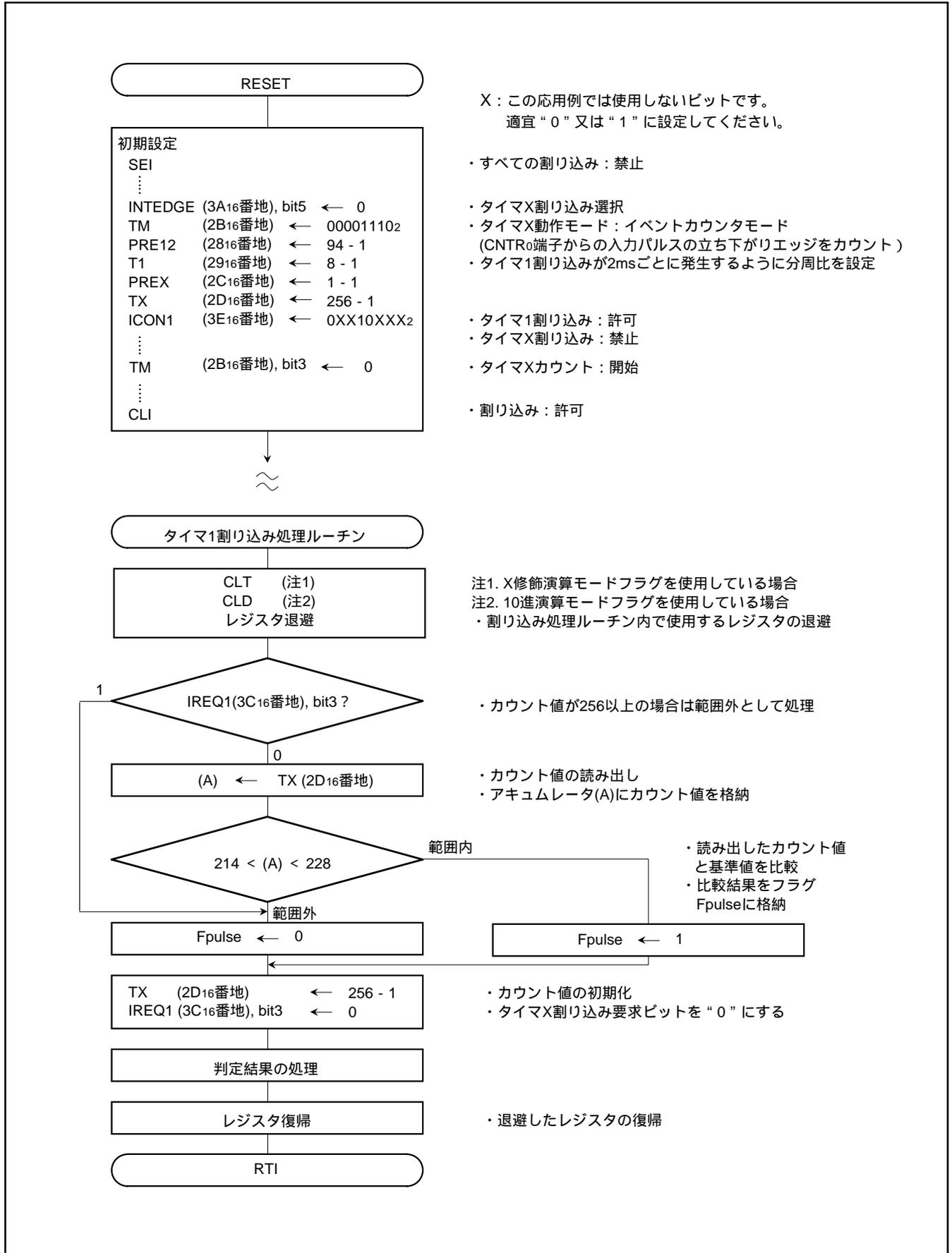


図2.2.20 制御手順

(5) タイマの応用例4：モータのFGパルスのパルス幅測定

ポイント：P14/CNTR0端子に入力されるパルスの“H”レベル幅をタイマXでカウントします。アンダフローはタイマX割り込みで検出され、入力パルスの“H”レベルの終了はP14/CNTR0割り込みで検出されます。

仕様：P14/CNTR0端子から入力されるFGパルスの“H”レベル幅をタイマXでカウント

例：6.00 MHzの場合、16分周された約2.7 μsがカウントソースとなる。FFFF₁₆ ~ 0000₁₆の範囲で174 msまで測定可能。

タイマの接続と分周比の設定を図2.2.21、関連レジスタの設定を図2.2.22、制御手順を図2.2.23に示します。

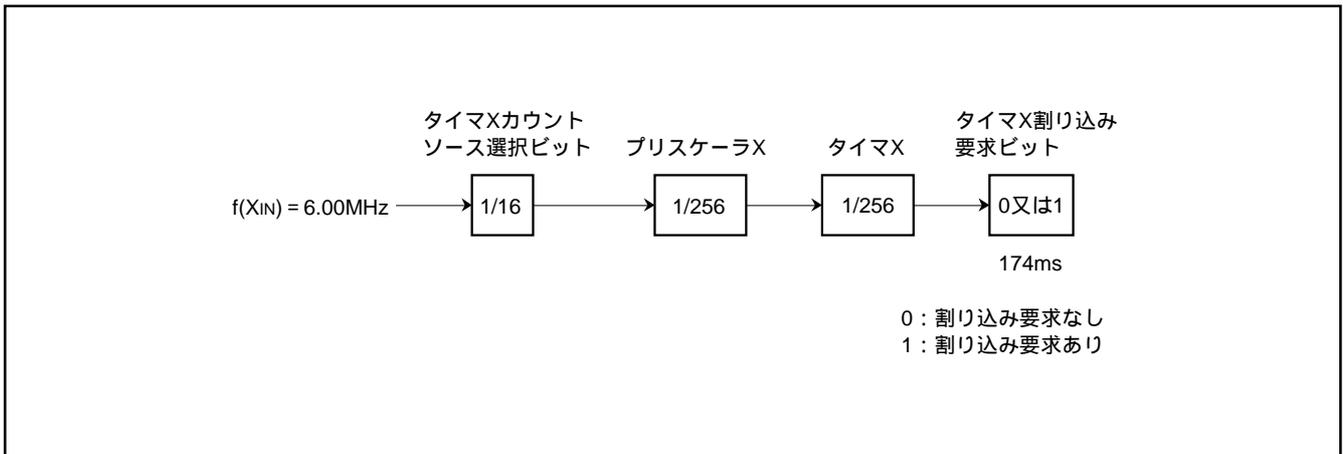


図2.2.21 タイマの接続と分周比の設定

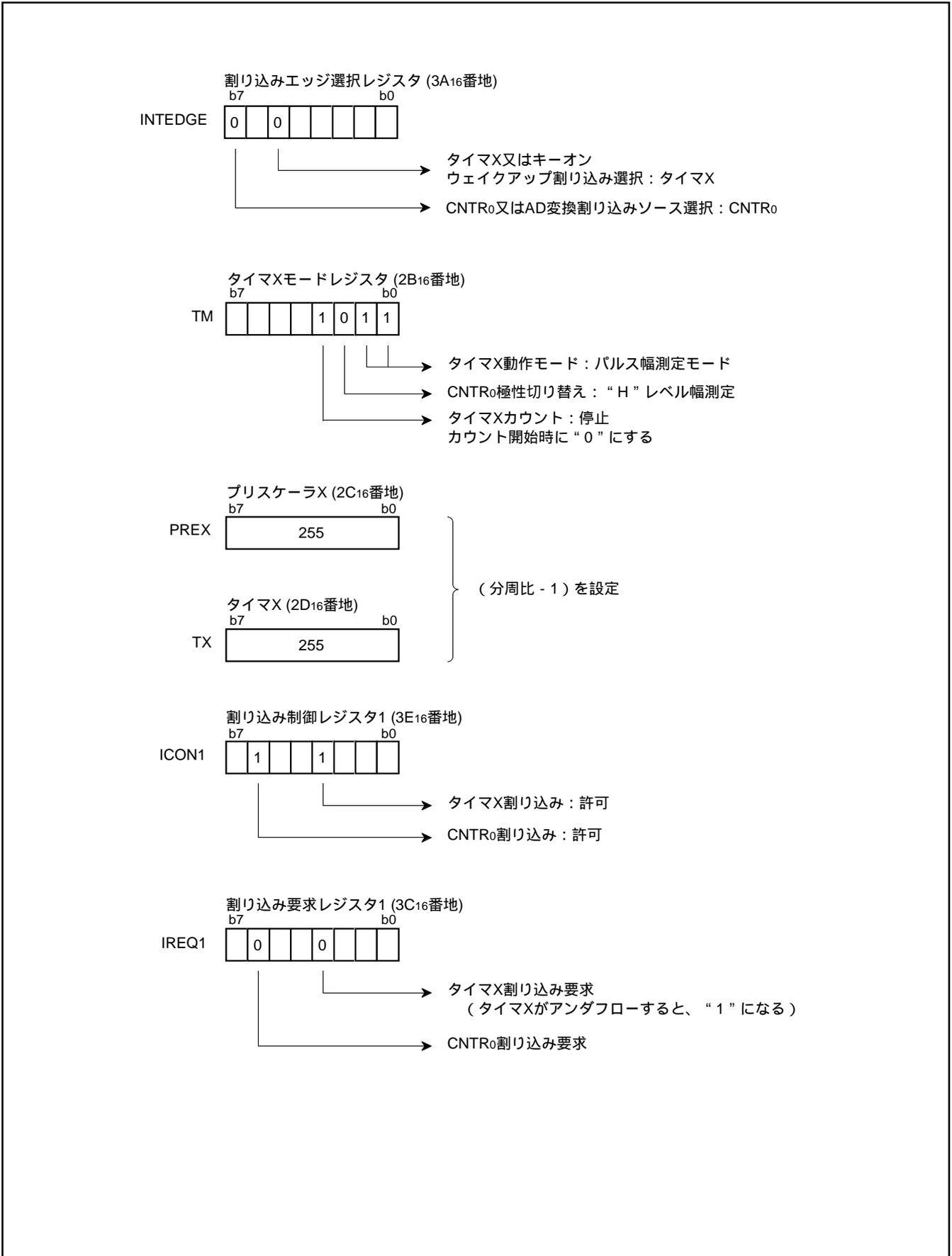


図2.2.22 関連レジスタの設定

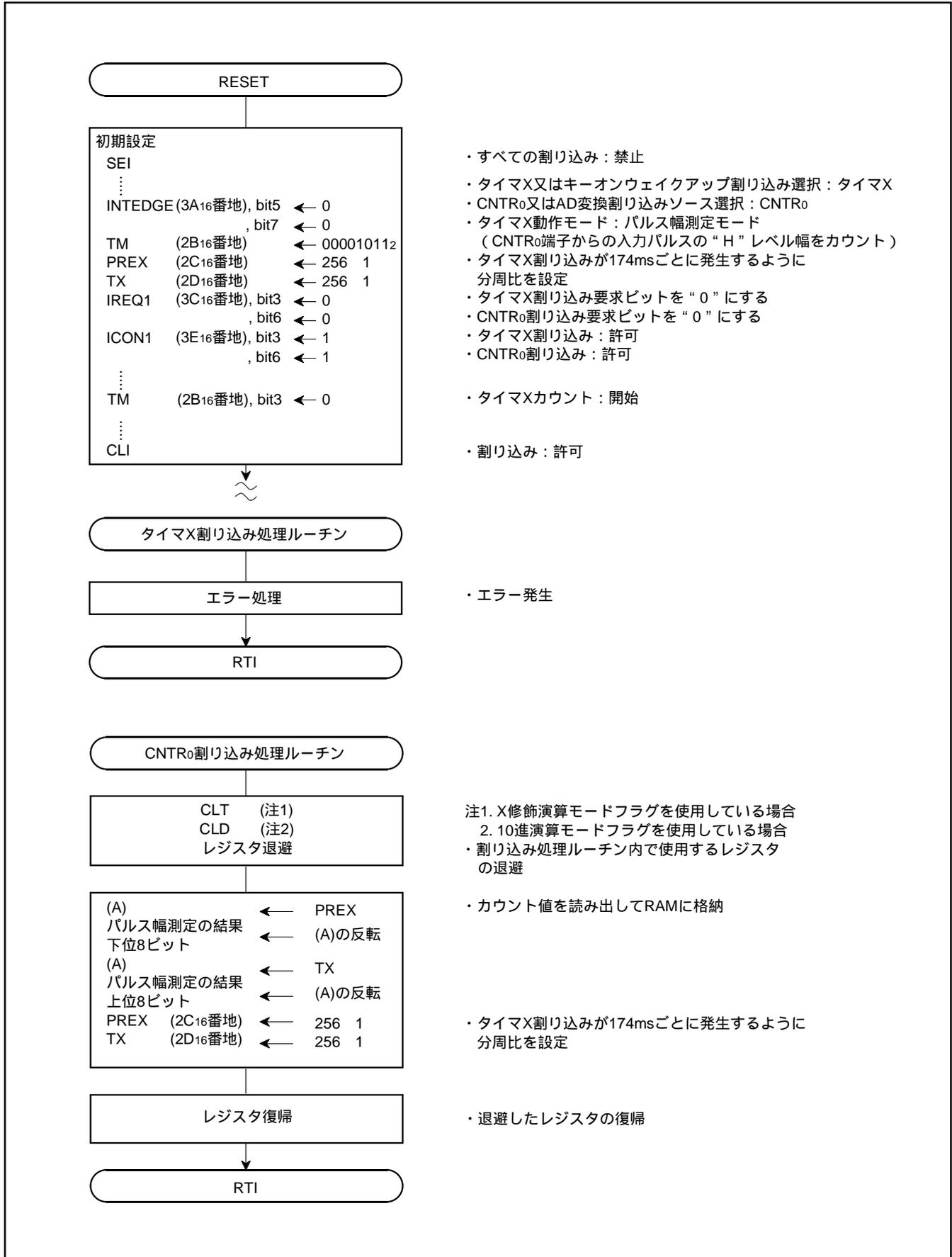


図2.2.23 制御手順

2.3 シリアルI/O

本節ではシリアルI/Oに関するレジスタの設定方法、注意事項などを説明します。

2.3.1 メモリ配置図



図2.3.1 シリアルI/O関連レジスタのメモリ配置

2.3.2 関連レジスタ

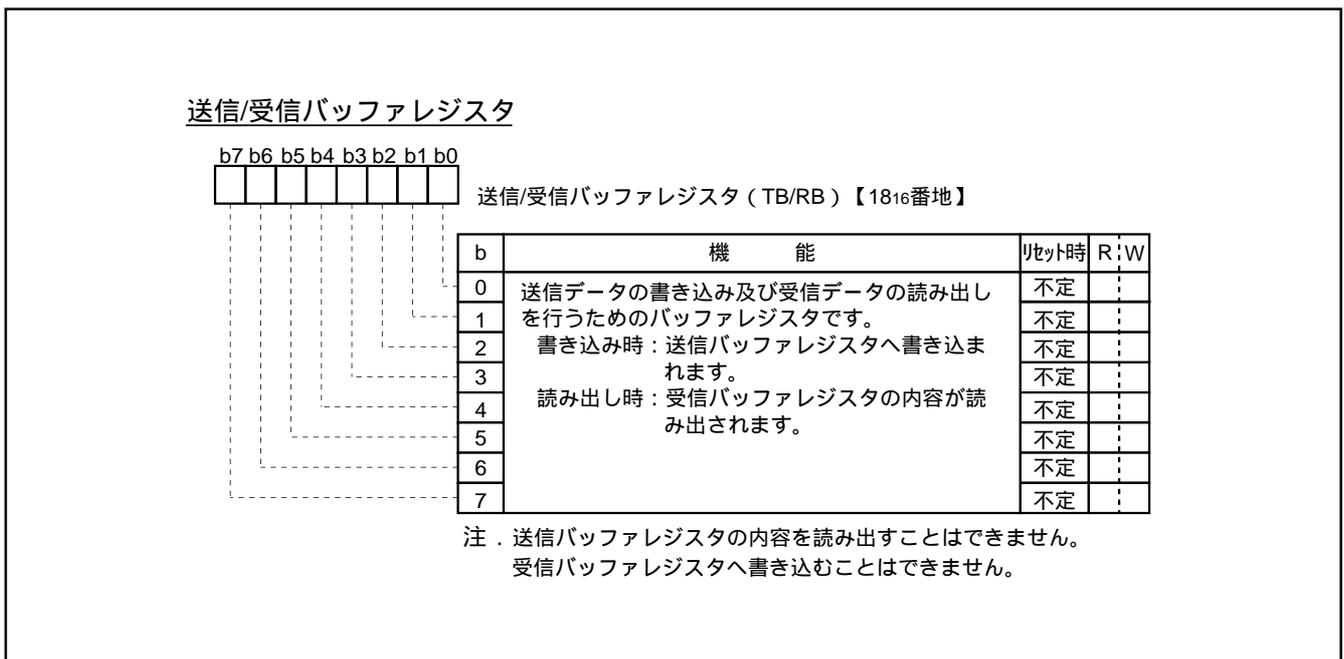


図2.3.2 送信/受信バッファレジスタの構成

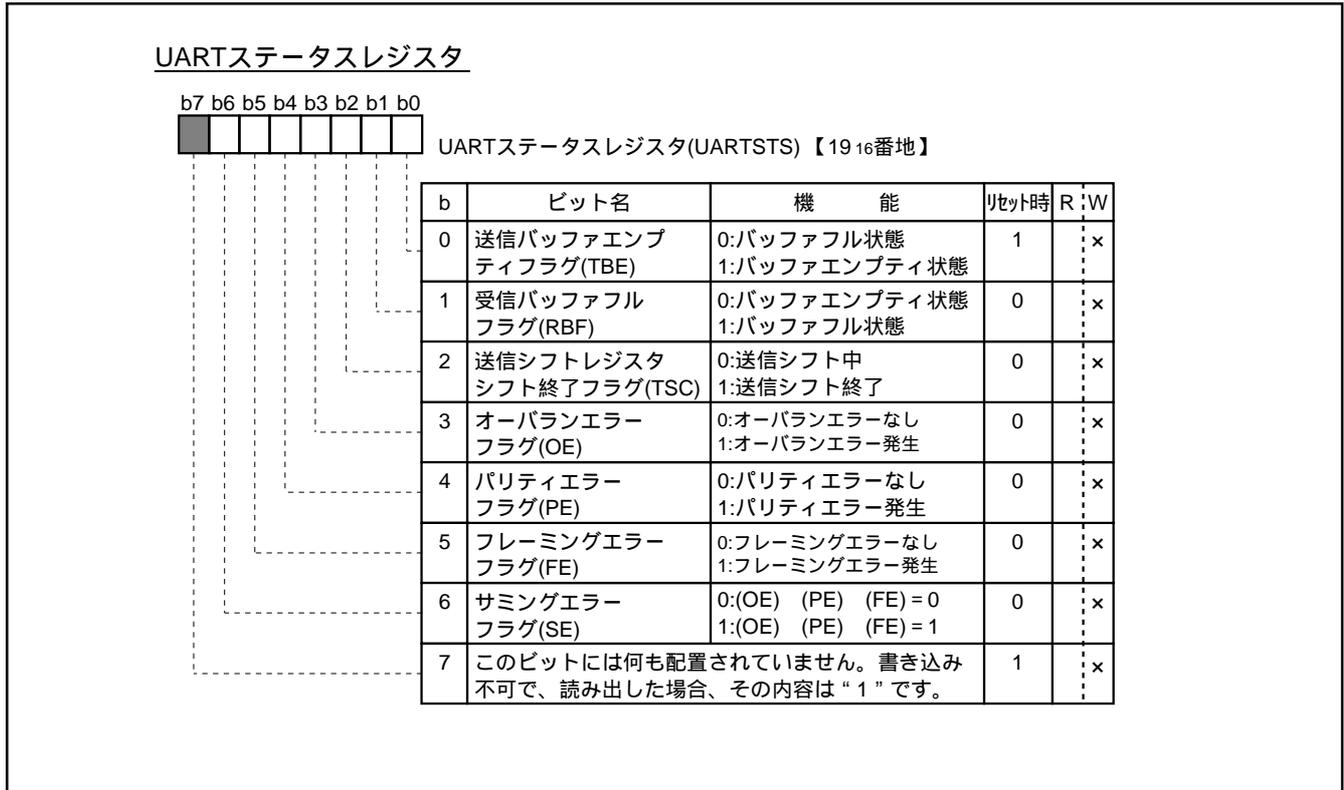


図2.3.3 UARTステータスレジスタの構成

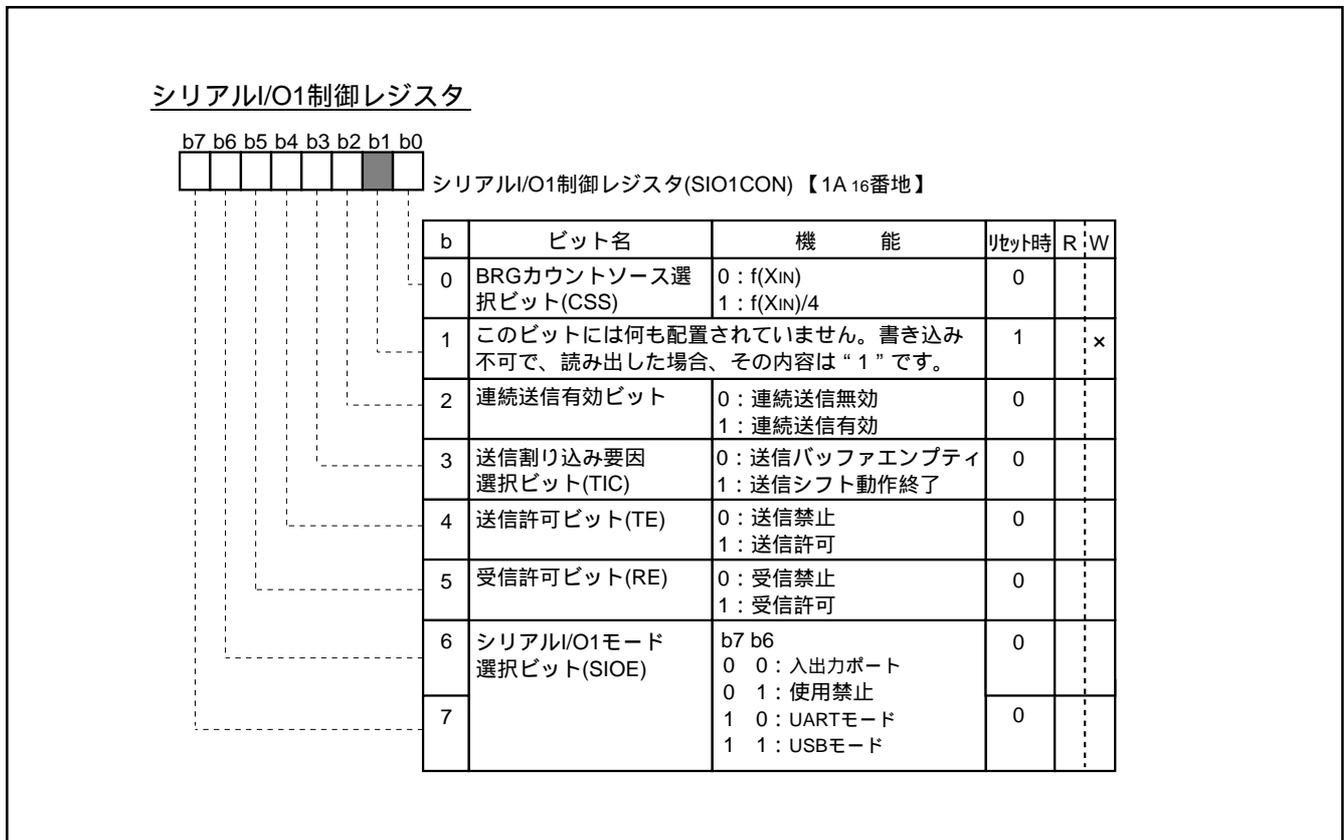


図2.3.4 シリアルI/O1制御レジスタの構成

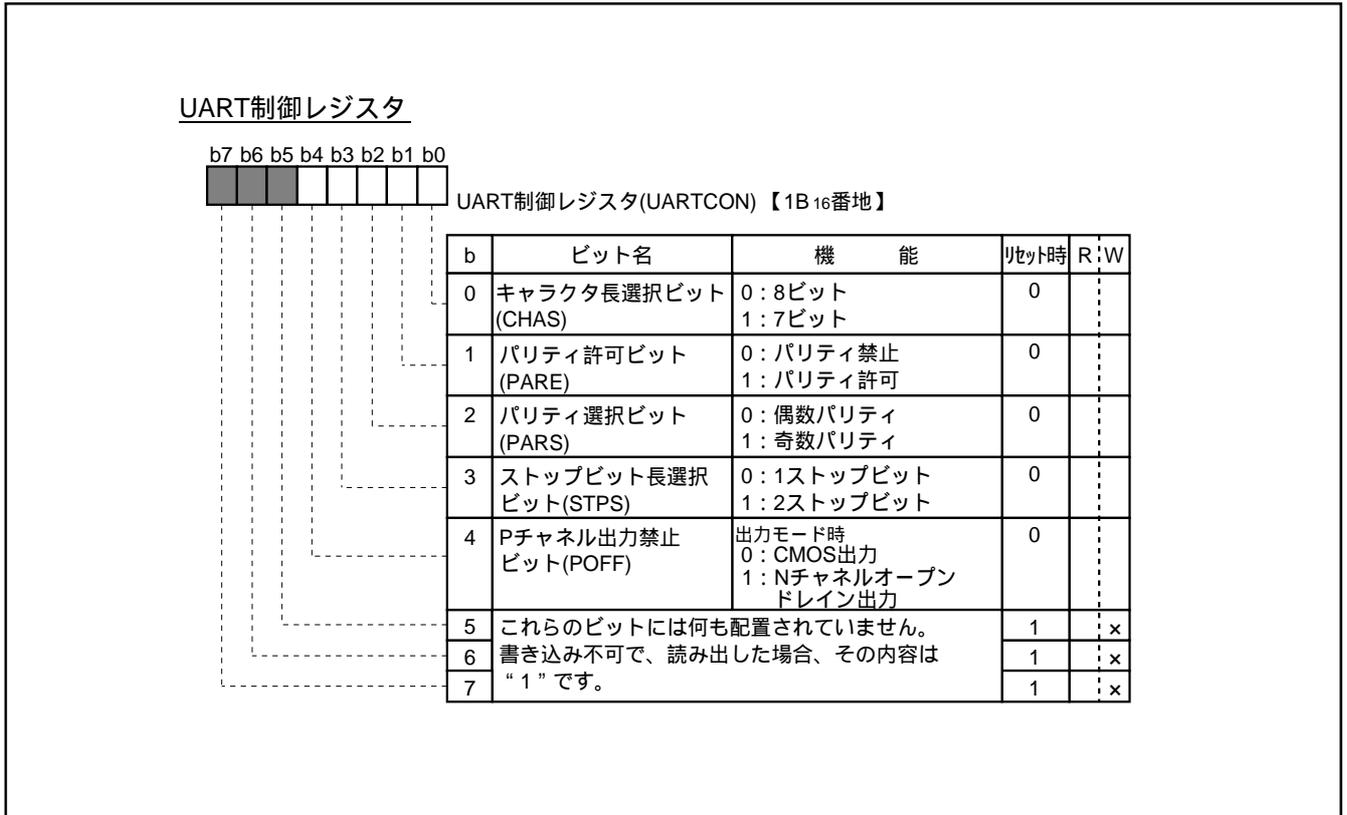


図2.3.5 UART制御レジスタの構成

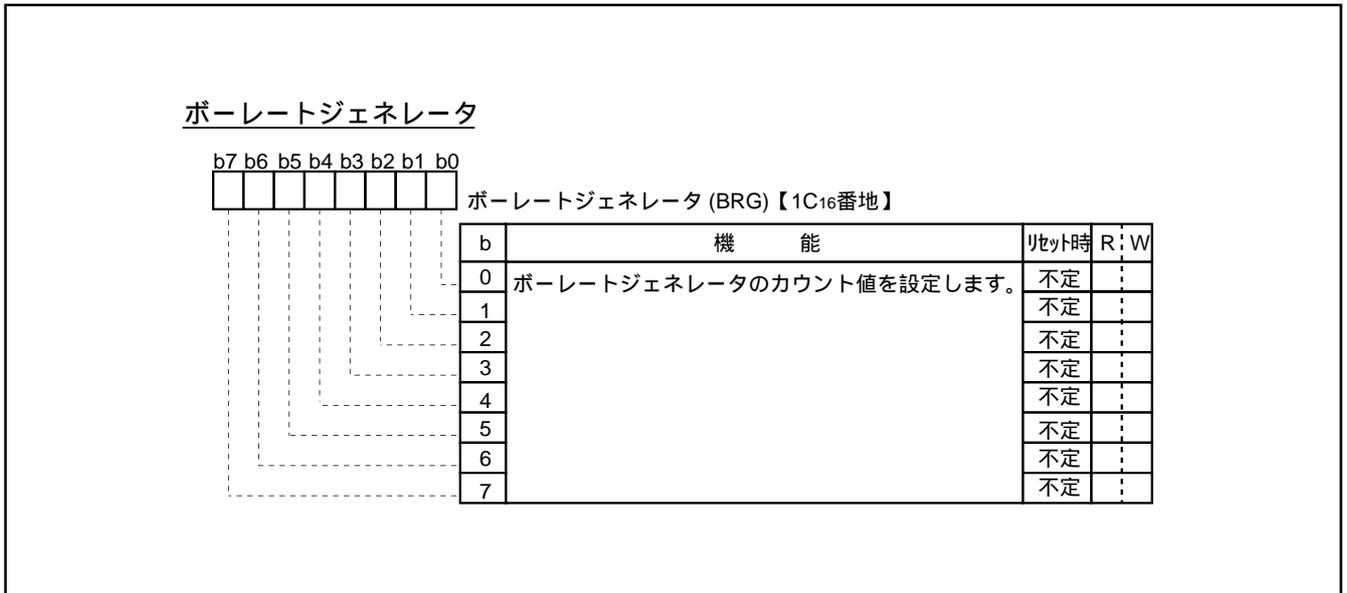


図2.3.6 ボーレートジェネレータの構成

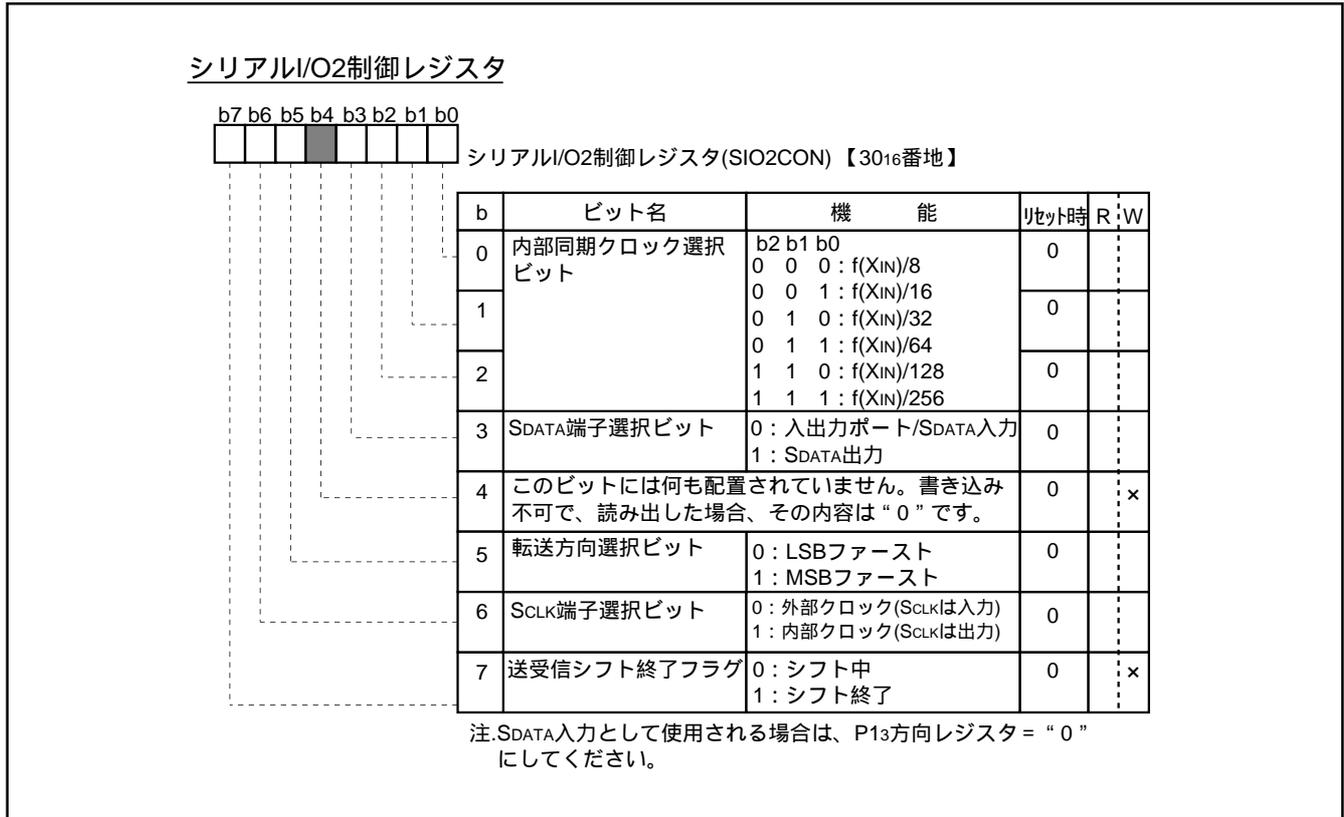


図2.3.7 シリアルI/O2制御レジスタの構成

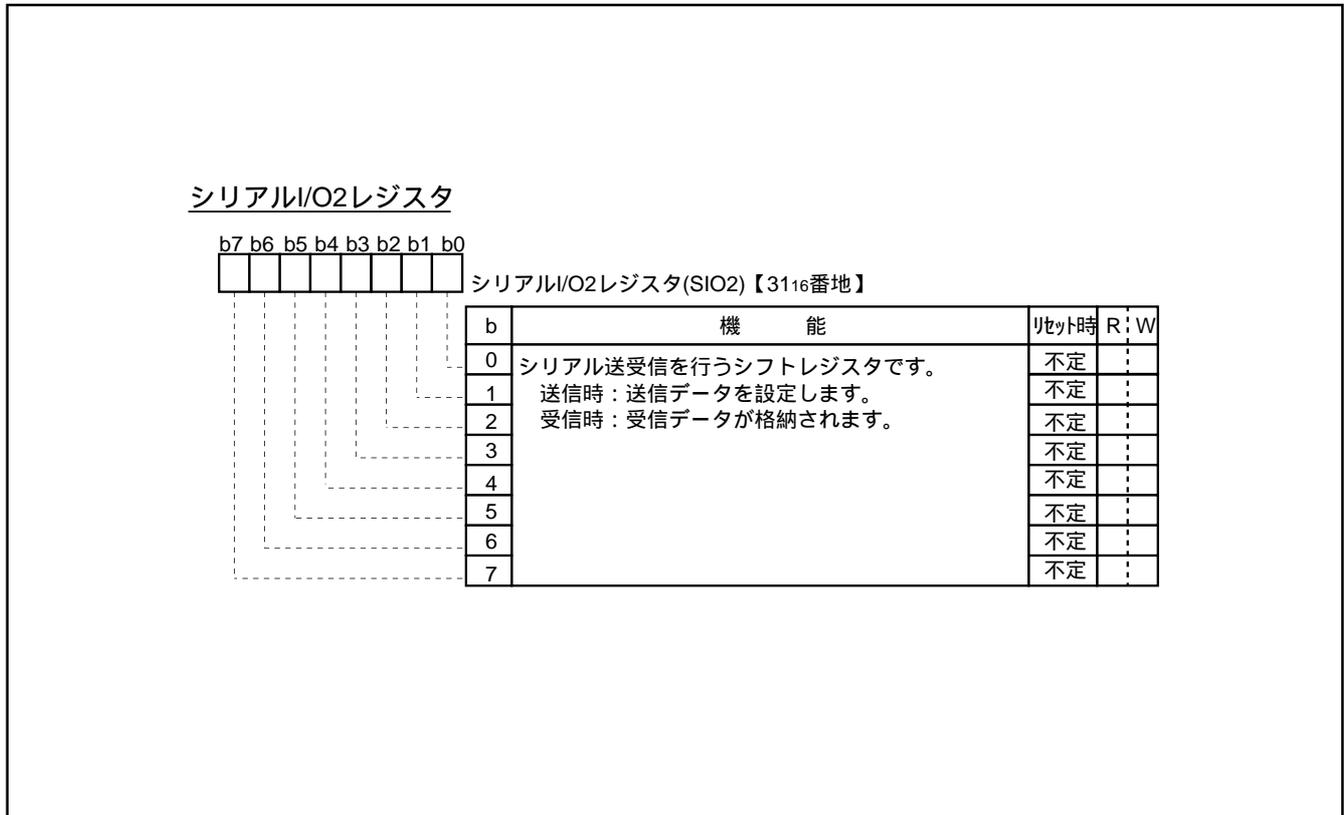


図2.3.8 シリアルI/O2レジスタの構成

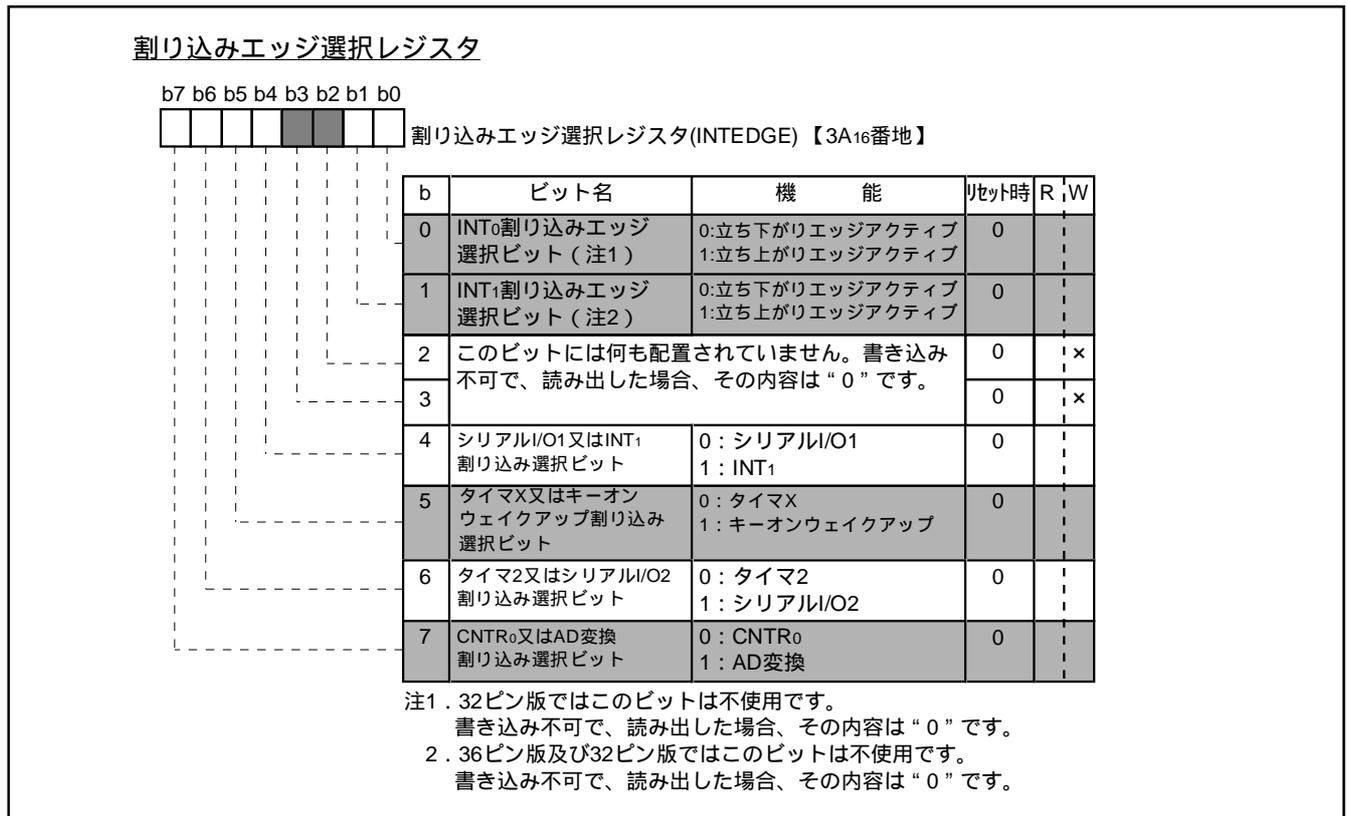


図2.3.9 割り込みエッジ選択レジスタの構成

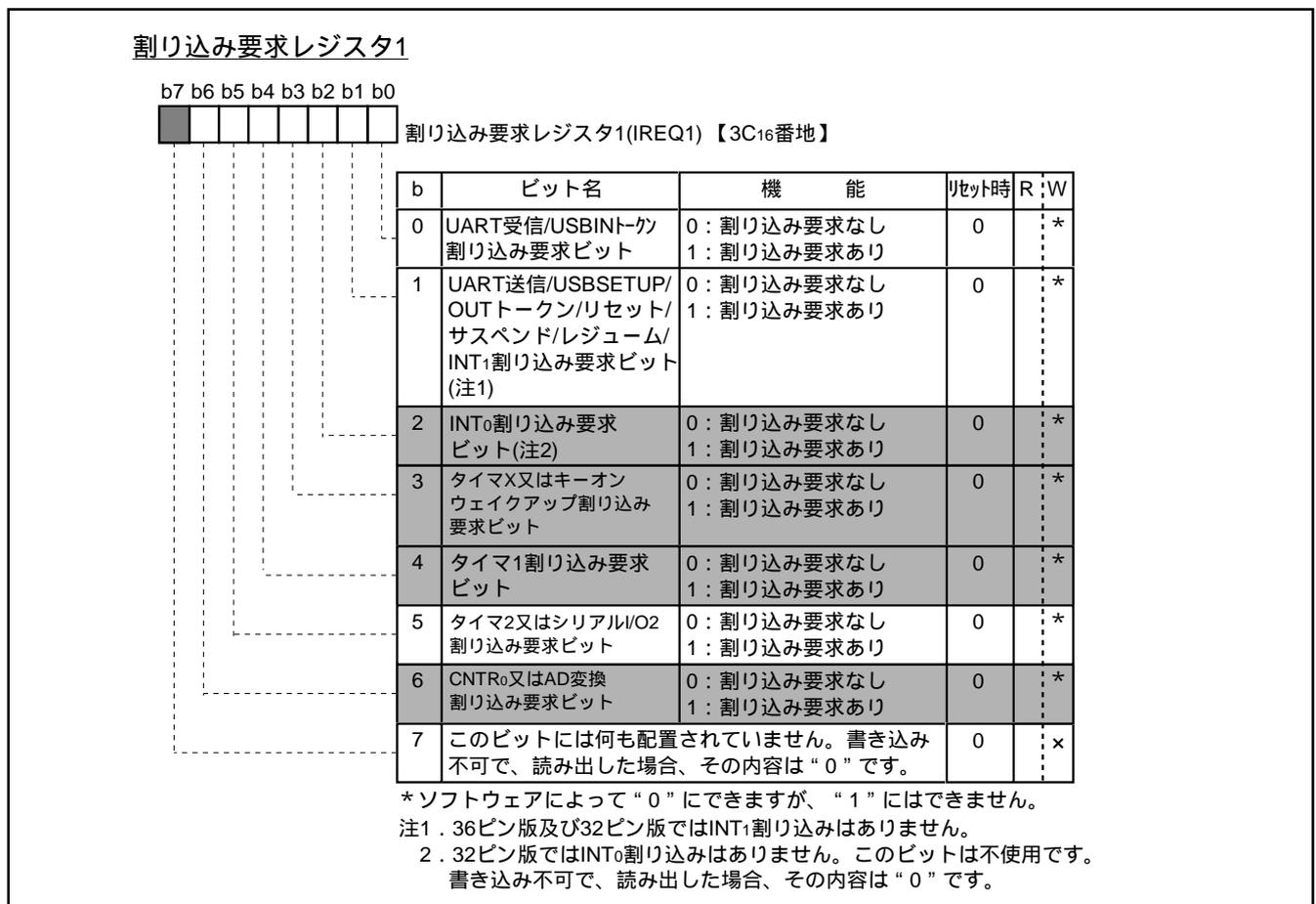


図2.3.10 割り込み要求レジスタ1の構成

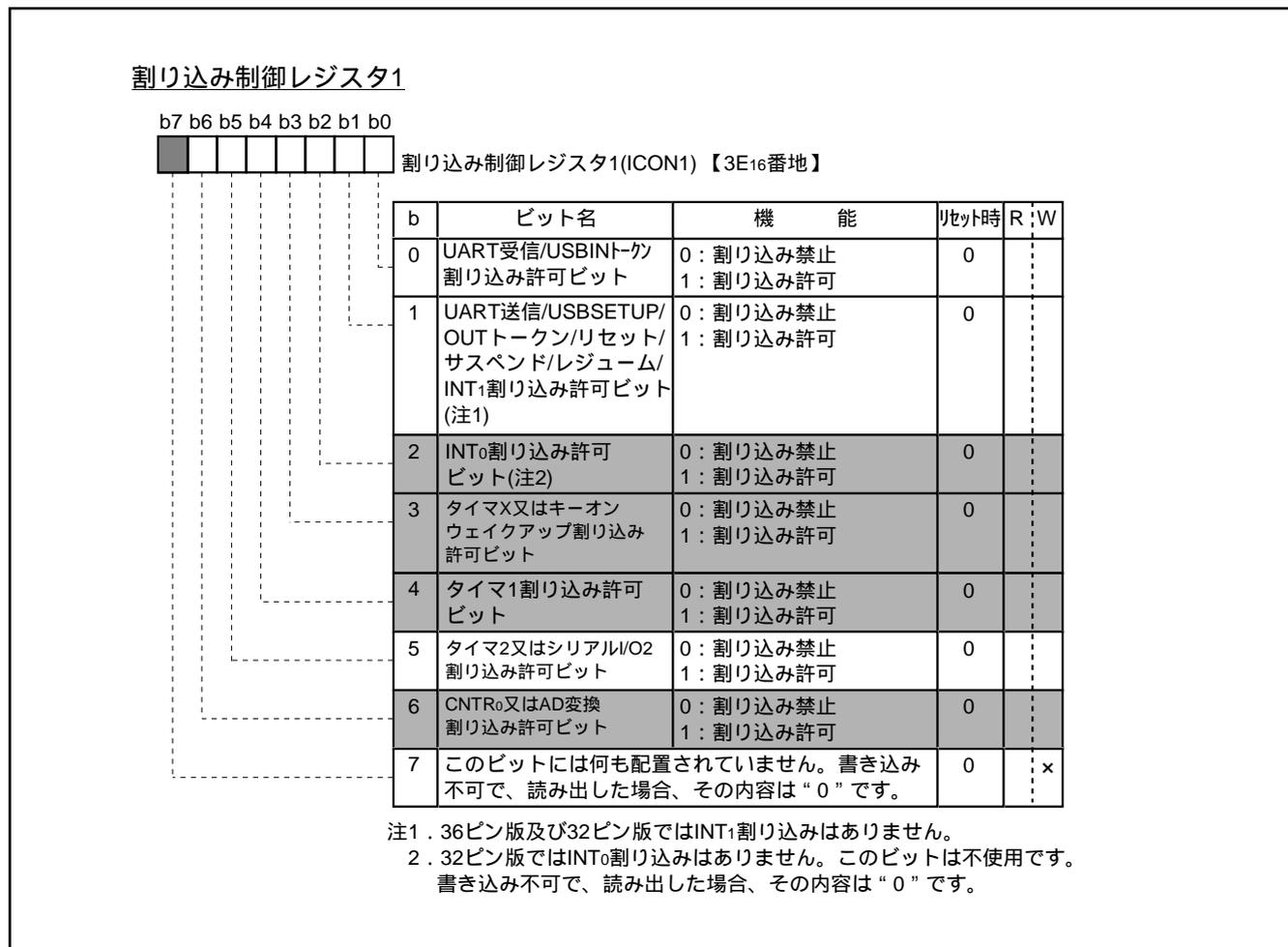


図2.3.11 割り込み制御レジスタ1の構成

2.3.3 シリアルI/Oの接続例

(1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.3.12に示します。
 いずれもクロック同期形シリアルI/Oモードを使用した接続例です。

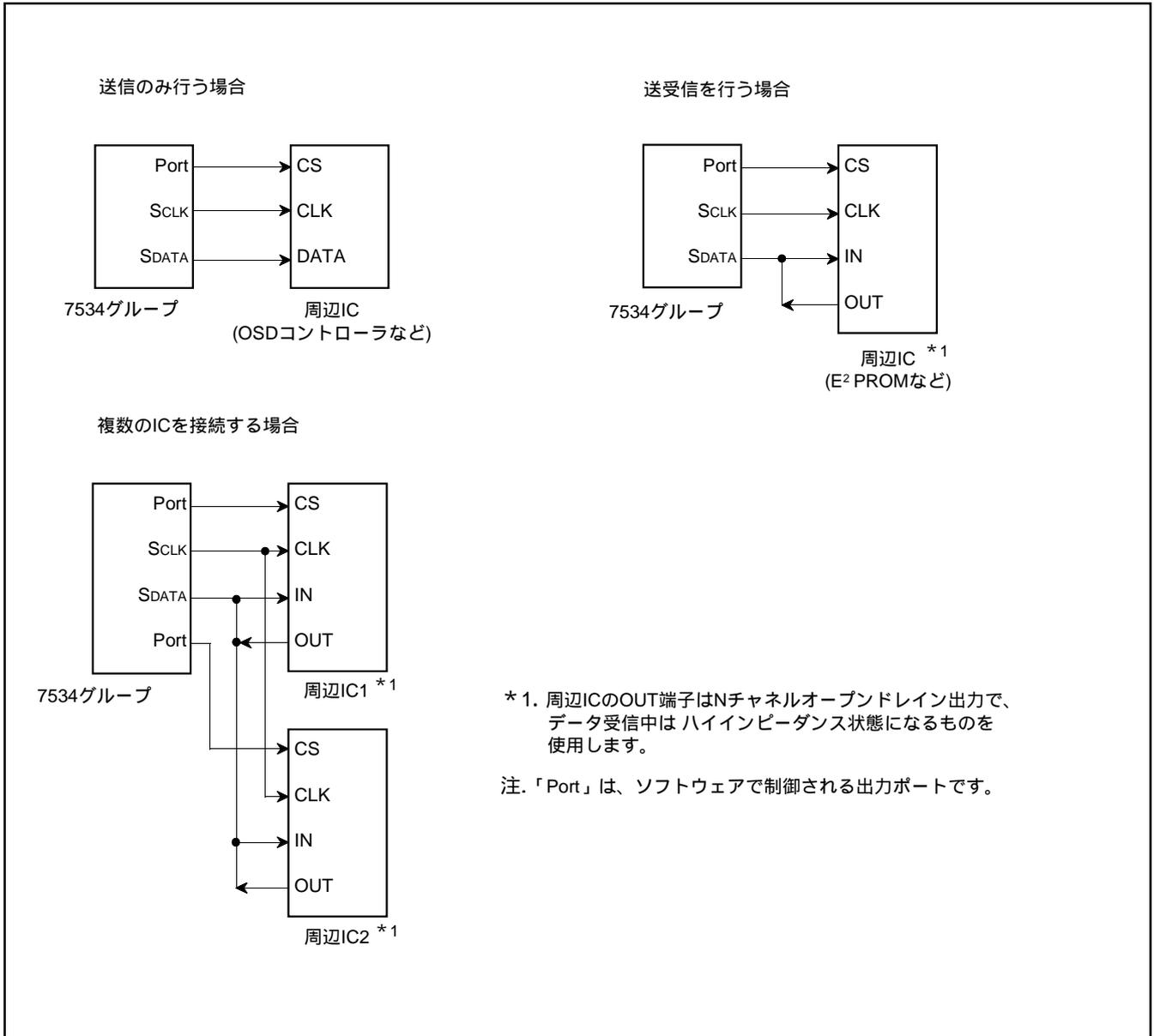


図2.3.12 シリアルI/Oの接続例(1)

(2) マイコンとの接続

他のマイコンとの接続例を図2.3.13に示します。

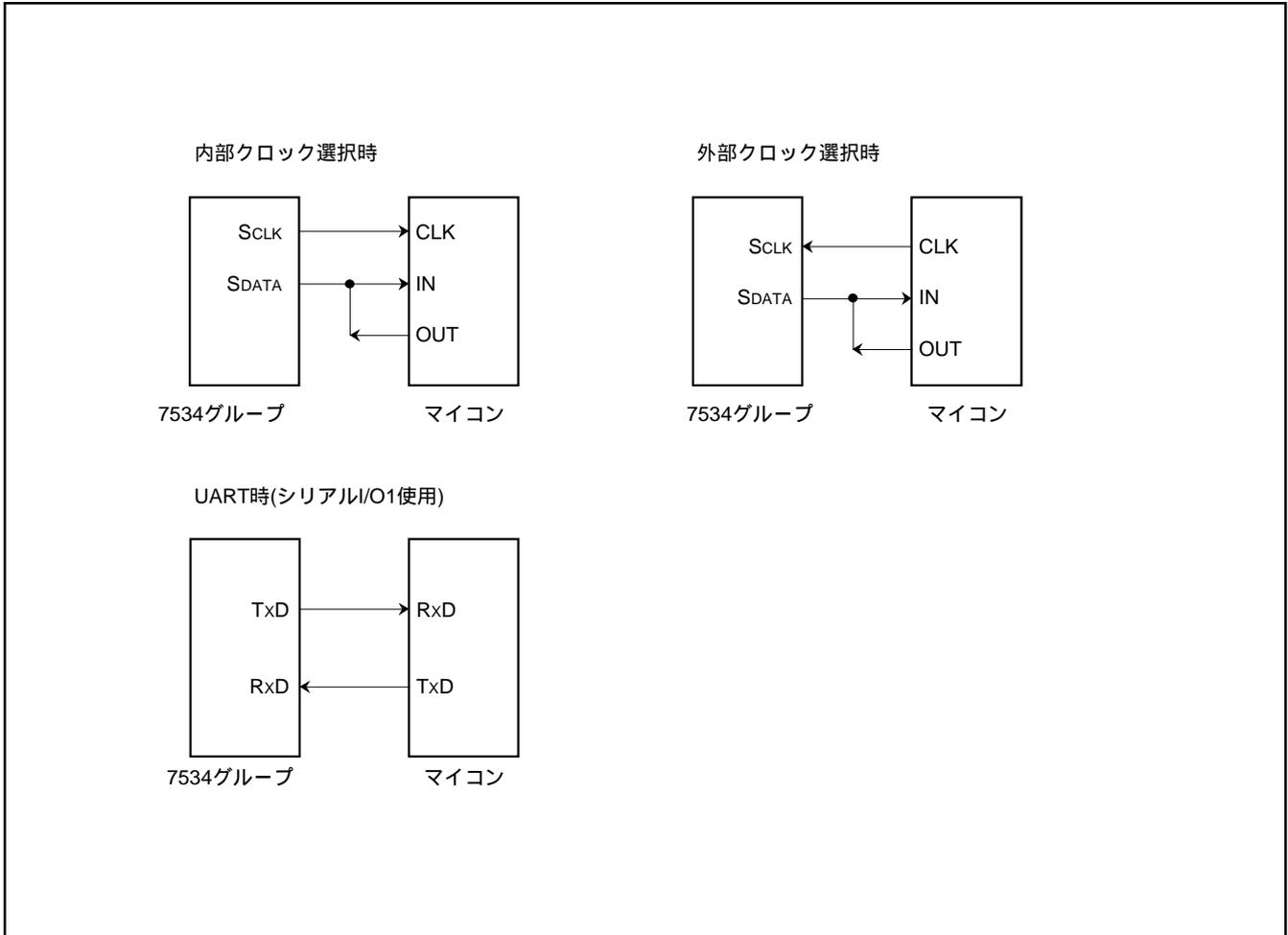


図2.3.13 シリアルI/Oの接続例(2)

2.3.4 シリアルI/O転送データフォーマット

シリアルI/Oはクロック同期形、非同期形(UART)が選択できます。
シリアルI/O転送データフォーマットを図2.3.14に示します。

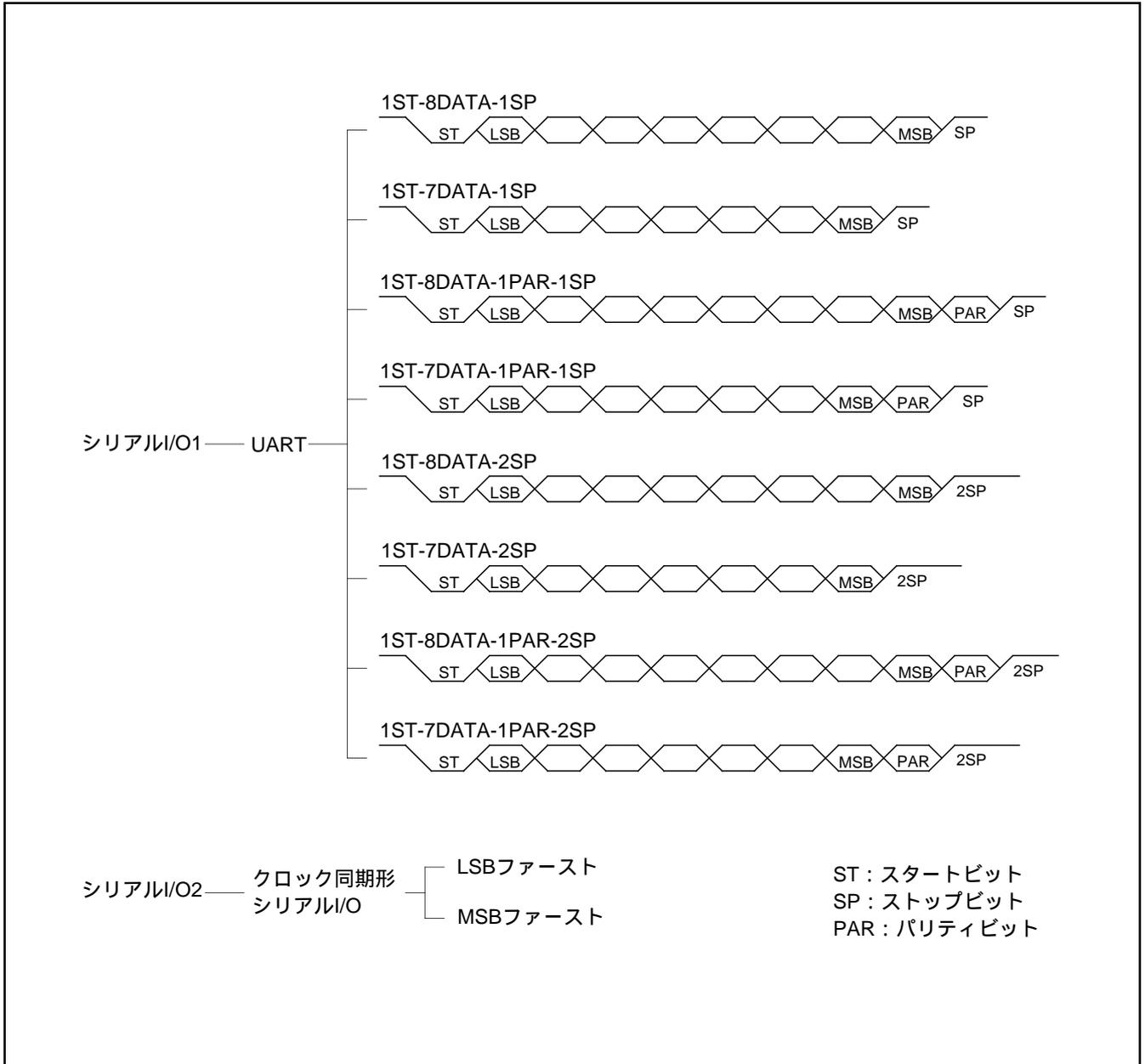


図2.3.14 シリアルI/O転送データフォーマット

2.3.5 シリアルI/Oの応用例

(1) クロック同期形シリアルI/Oを使用した通信(送信/受信)

ポイント：クロック同期形シリアルI/Oを使用して2バイトデータの送受信を行います。
通信制御にはポートP0₀を使用して、擬似的な $\overline{\text{SRDY}}$ 信号を出力します。

シリアルI/O₂を使用した例を示します。接続図を図2.3.15、タイミング図を図2.3.16に示します。

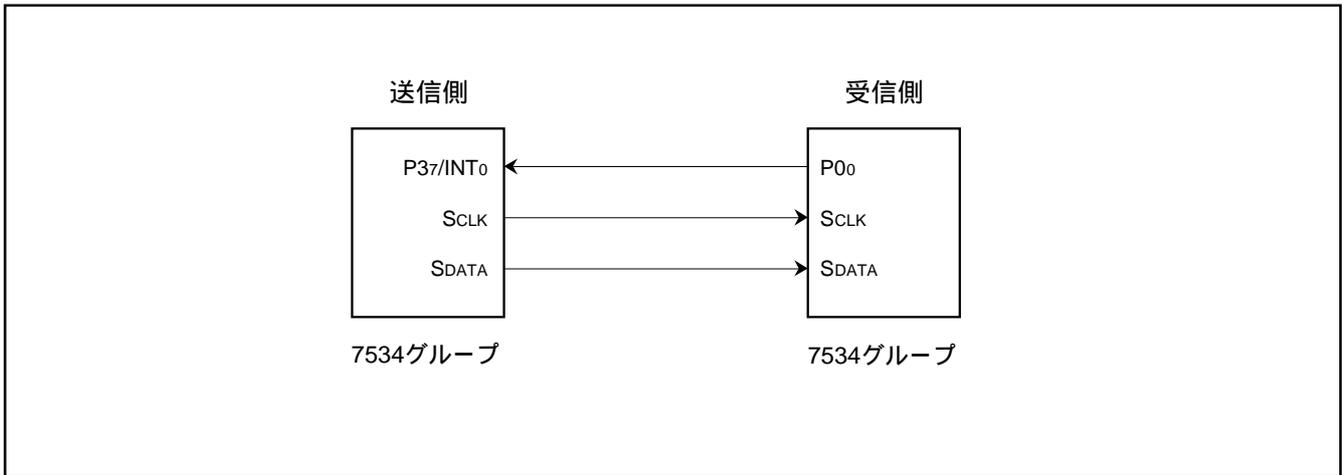


図2.3.15 接続図

- 仕様：
- ・ クロック同期形シリアルI/O(シリアルI/O₂)を使用。
 - ・ 同期クロック周波数：94 kHz ($f(\text{XIN}) = 6 \text{ MHz}$ の64分周)
 - ・ 転送方向：LSBファースト
 - ・ 2ms間隔(タイマにより生成)で受信側から擬似的な $\overline{\text{SRDY}}$ 信号を出力し、2バイトのデータを送信側から受信側へ転送。

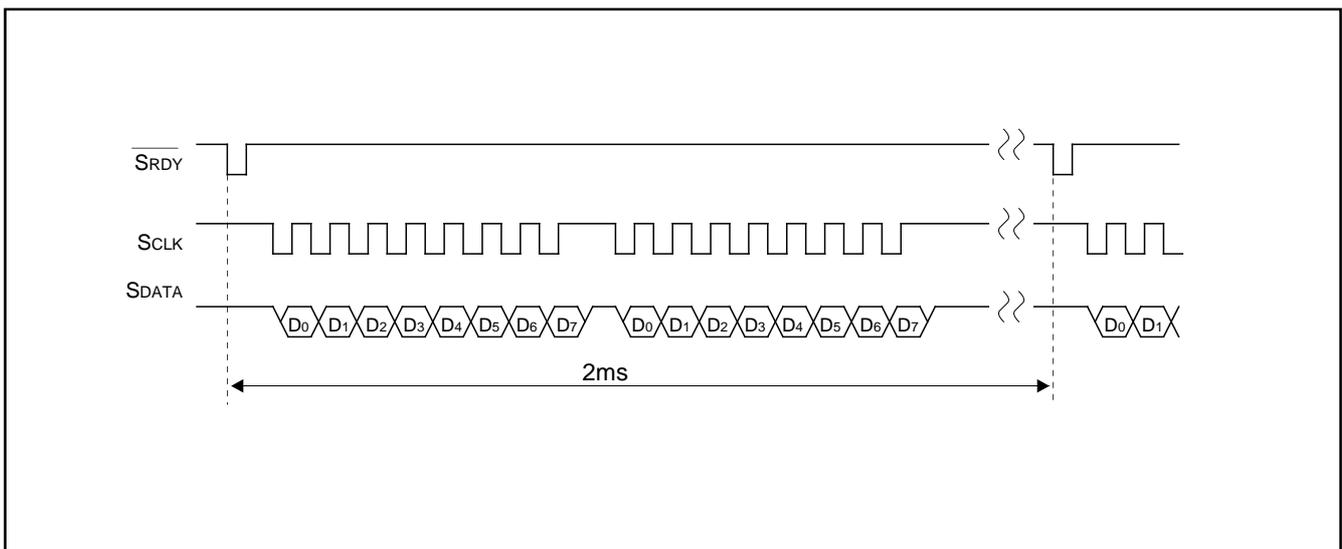


図2.3.16 タイミング図

図2.3.17にシリアルI/O2関連レジスタの設定、図2.3.18にシリアルI/O2送信データの設定を示します。

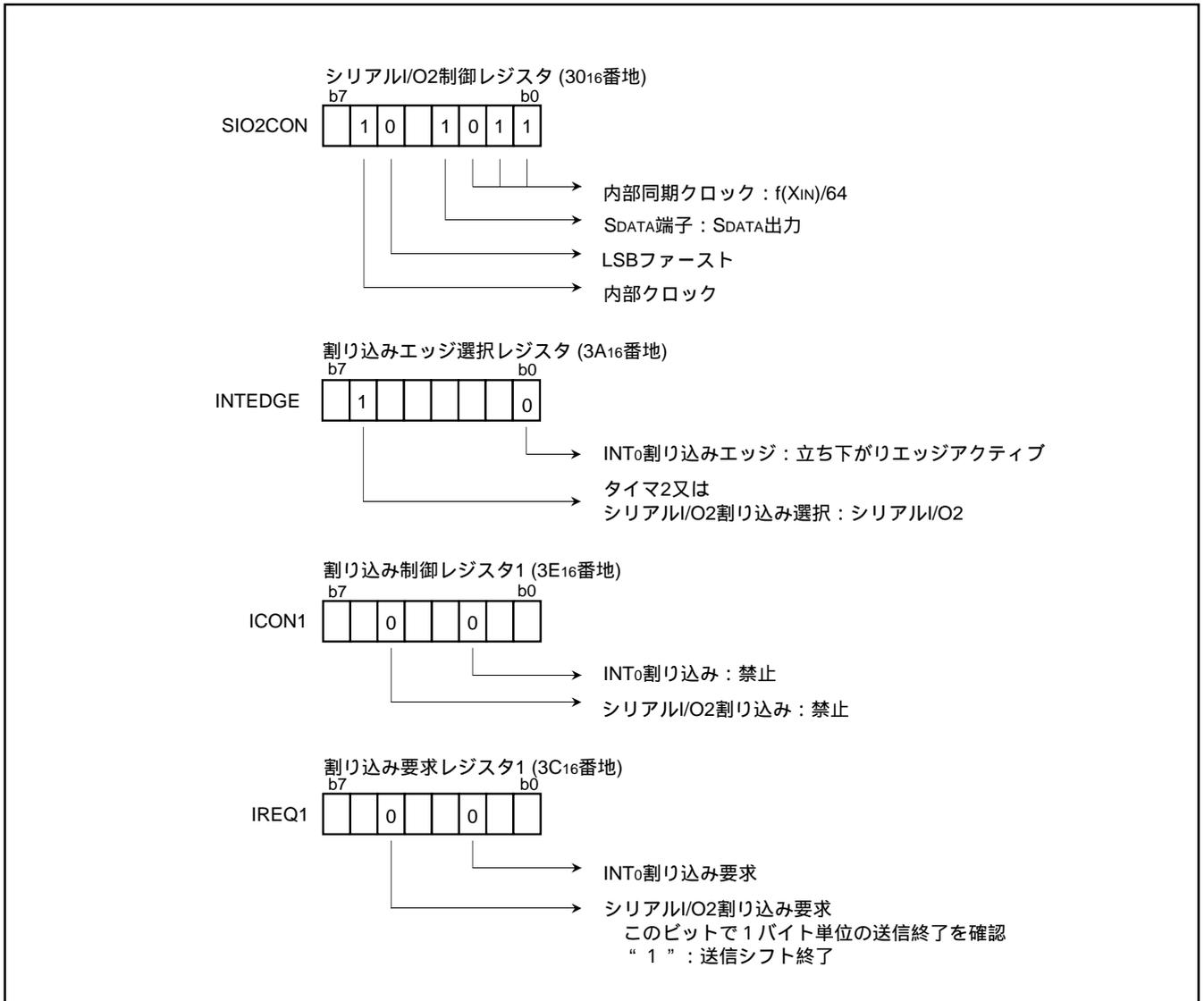


図2.3.17 送信側関連レジスタの設定

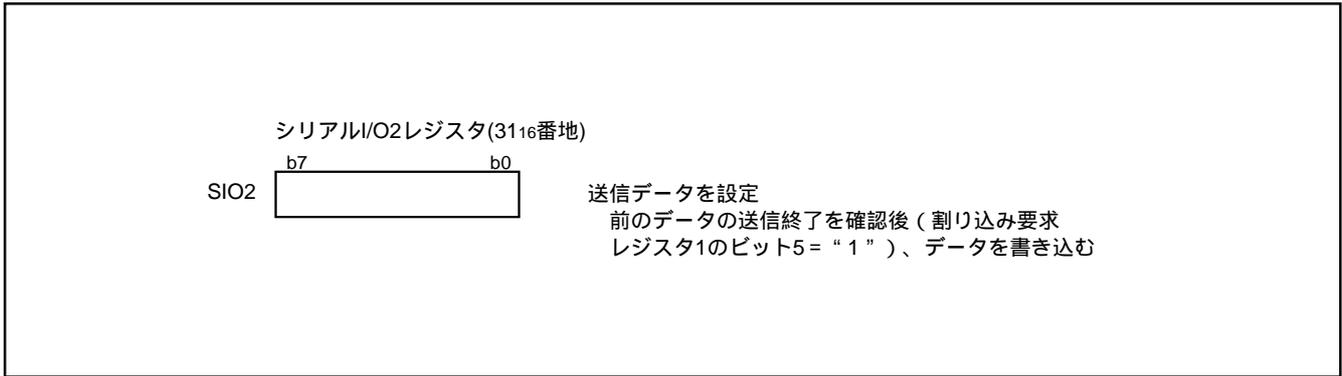


図2.3.18 シリアルI/O2送信データの設定

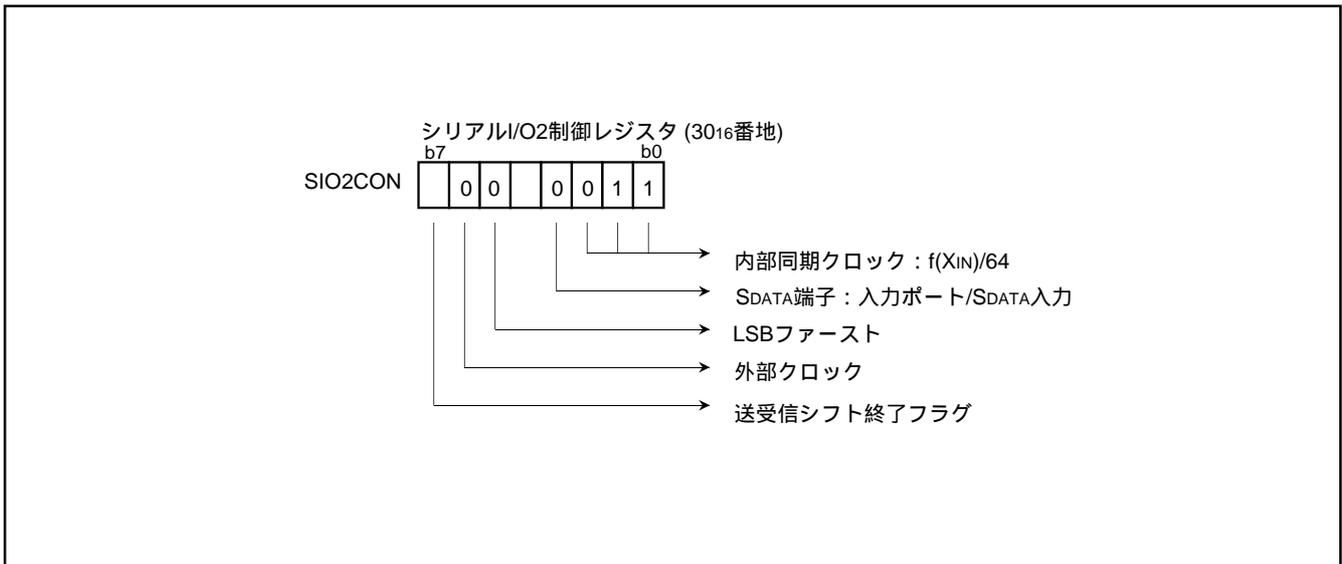


図2.3.19 受信側関連レジスタの設定

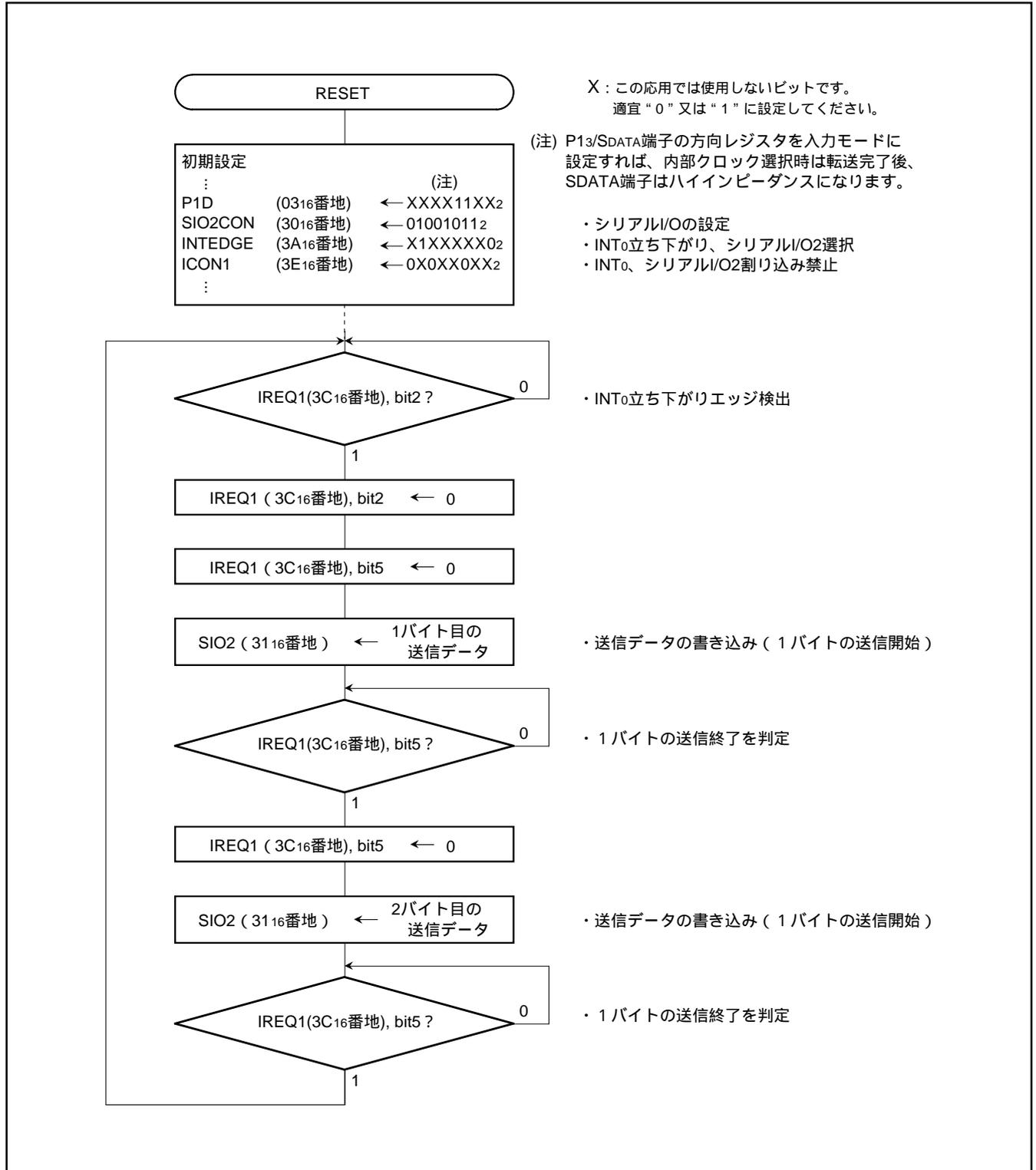


図2.3.20 送信側制御手順

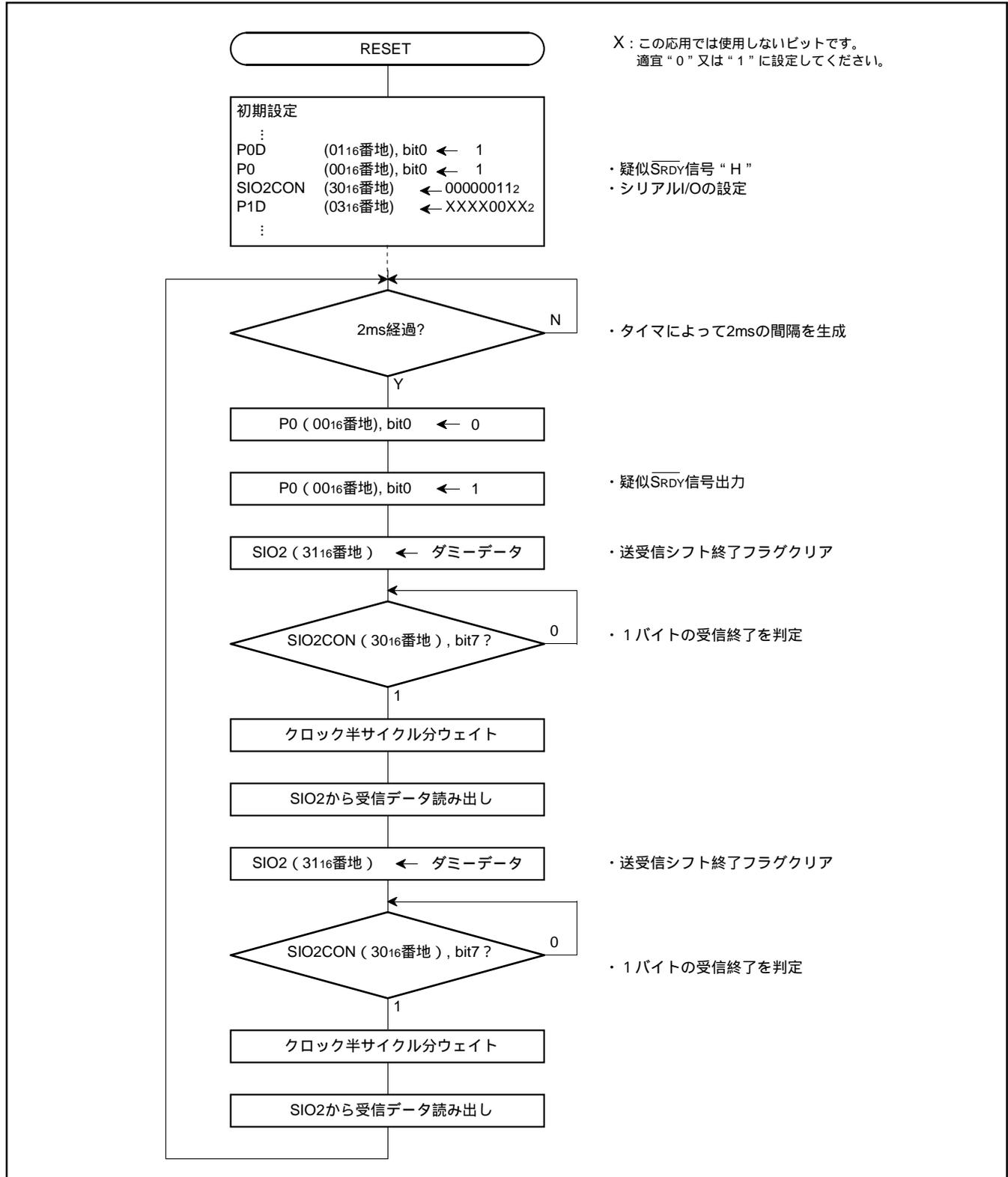


図2.3.21 受信側制御手順

(2) 非同期形シリアルI/O(UART)を使用した通信(送信/受信)

ポイント：非同期形シリアルI/Oを使用して2バイトデータの送受信を行います。
通信制御には、ポートP0₀を使用します。

接続図を図2.3.22、タイミング図を図2.3.23に示します。

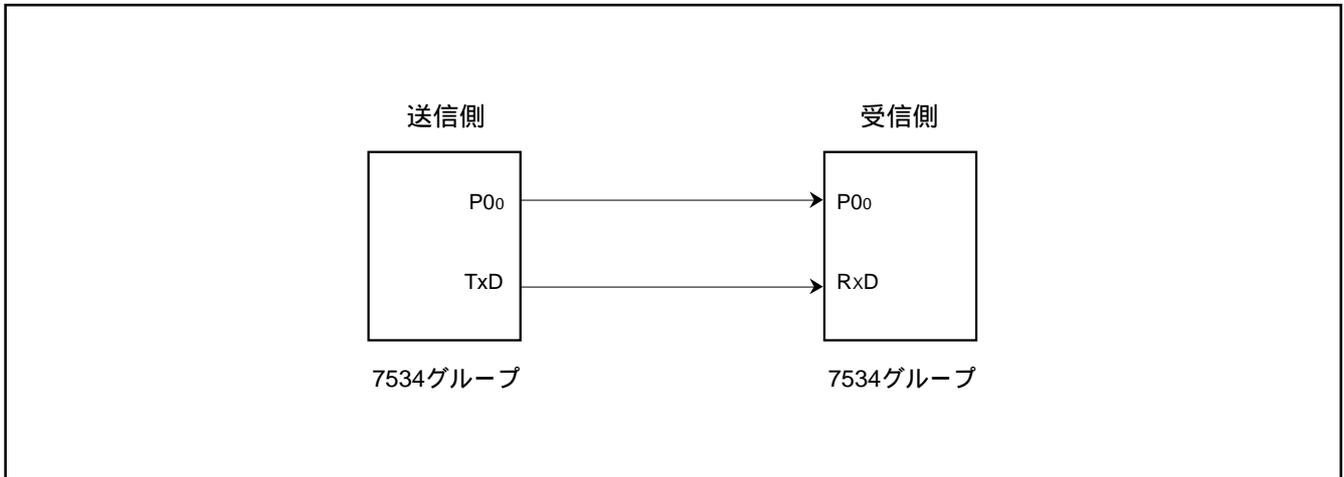


図2.3.22 接続図

- 仕様：
- ・非同期形シリアルI/O(シリアルI/O1)を使用。
 - ・転送ビットレート：9600bps($f(XIN) = 4.9152\text{MHz}$ の512分周)
 - ・ポートP0₀ を使用する通信制御(ポートP0₀ の出力レベルはソフトウェアで制御する)。
 - ・10 ms間隔(タイマにより生成)で、2バイトのデータを送信側から受信側へ転送。

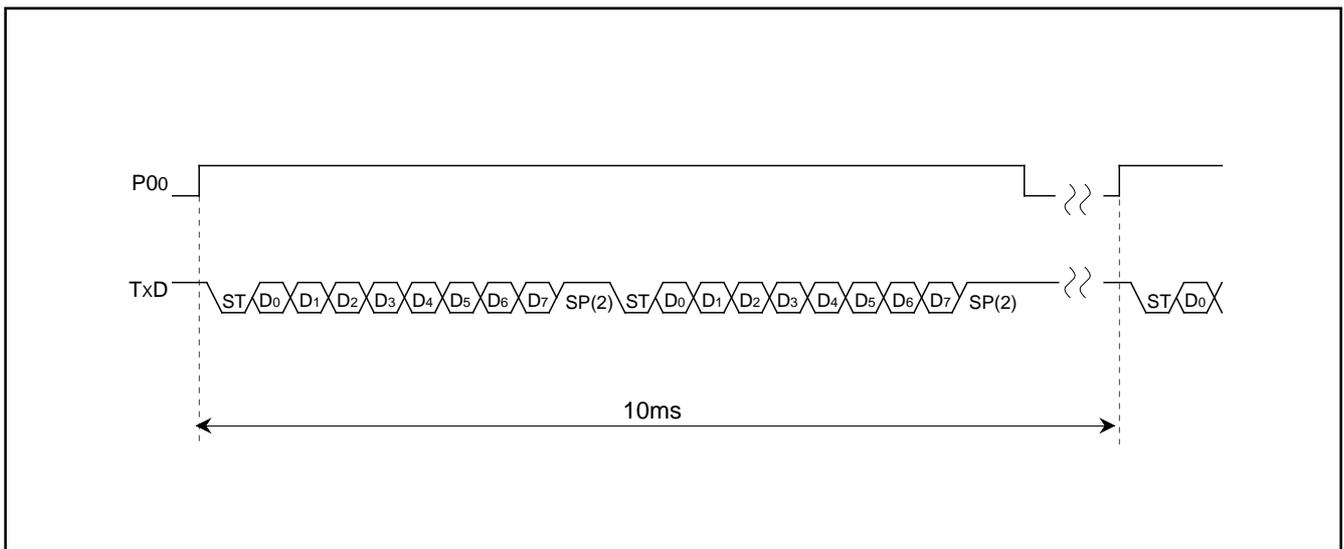


図2.3.23 タイミング図

表2.3.1にボーレートジェネレータの設定値と転送ビットレート選択例、図2.3.23に送信側関連レジスタの設定、図2.3.24に受信側関連レジスタの設定を示します。

表2.3.1 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例

BRGカウント ソース(注1)	BRG設定値	転送ビットレート(bps)(注2)	
		f(XIN) = 4.9152 MHz時	f(XIN) = 6 MHz時
f(XIN)/4	255(FF ₁₆)	300	366.2109375
f(XIN)/4	127(7F ₁₆)	600	732.421875
f(XIN)/4	63(3F ₁₆)	1200	1464.84375
f(XIN)/4	31(1F ₁₆)	2400	2929.6875
f(XIN)/4	15(0F ₁₆)	4800	5859.375
f(XIN)/4	7(07 ₁₆)	9600	11718.75
f(XIN)/4	3(03 ₁₆)	19200	23437.5
f(XIN)/4	1(01 ₁₆)	38400	46875
f(XIN)	3(03 ₁₆)	76800	93750
f(XIN)	1(01 ₁₆)	153600	187500
f(XIN)	0(00 ₁₆)	307200	375000

注1. BRGカウントソースはシリアルI/O1制御レジスタ(1A₁₆番地)のビット0で選択します。

2. 転送ビットレートの算出式

$$\text{転送ビットレート(bps)} = \frac{f(\text{XIN})}{(\text{BRG設定値} + 1) \times 16 \times m}$$

m: シリアルI/O1制御レジスタのビット0 = " 0 "の場合、m = 1
シリアルI/O1制御レジスタのビット0 = " 1 "の場合、m = 4

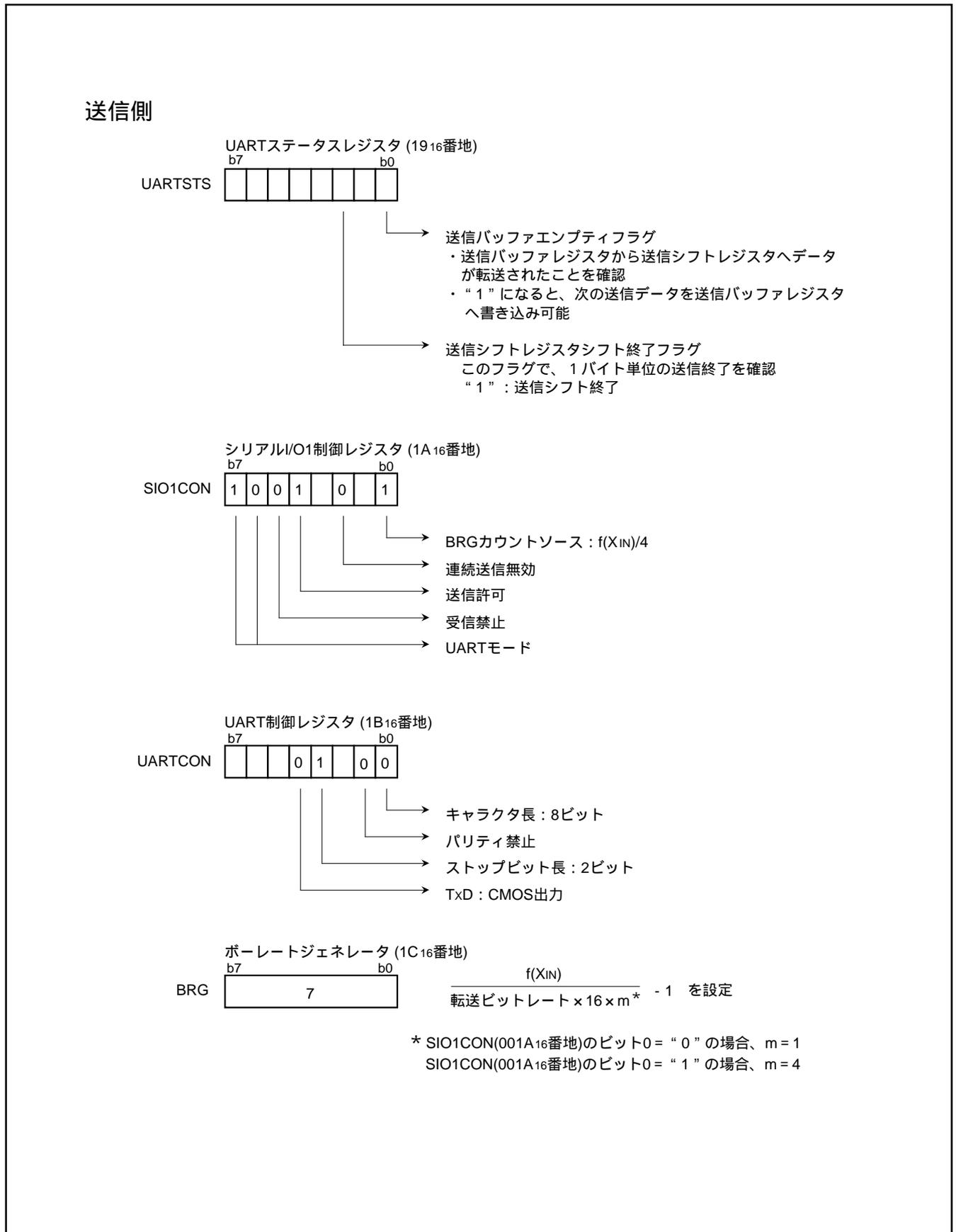


図2.3.24 送信側関連レジスタの設定

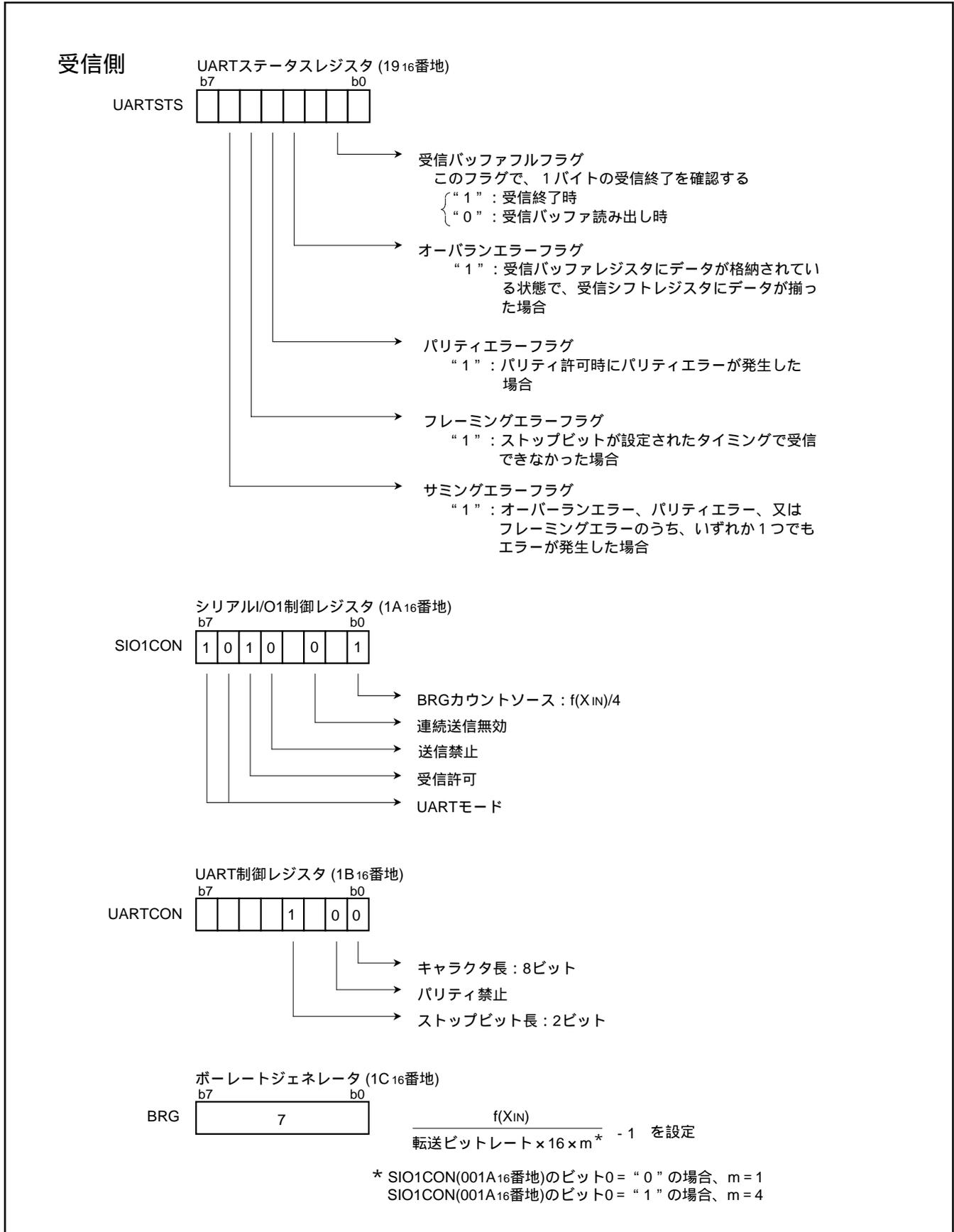


図2.3.25 受信側関連レジスタの設定

図2.3.26に送信側の制御手順、図2.3.27に受信側の制御手順を示します。

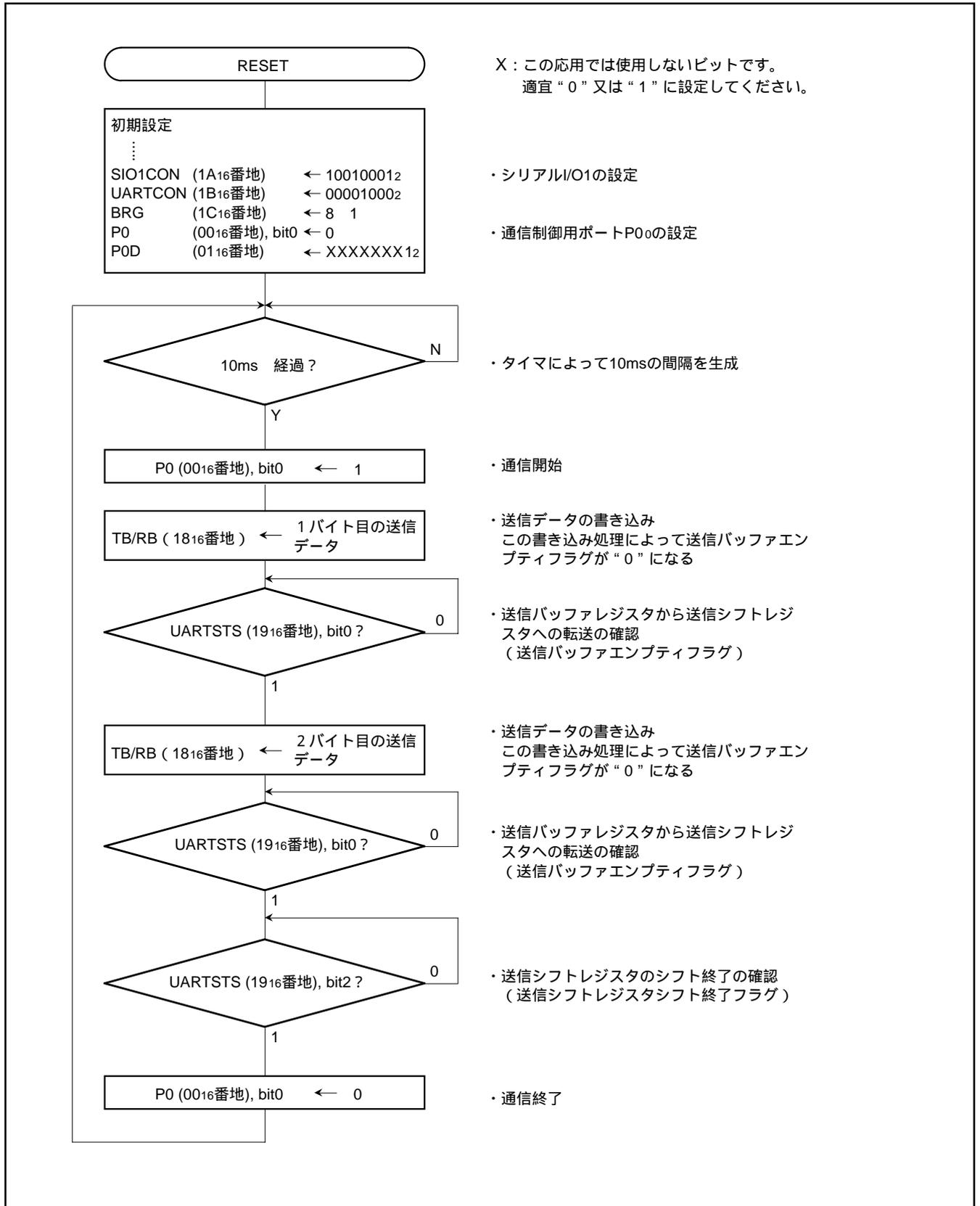


図2.3.26 送信側の制御手順

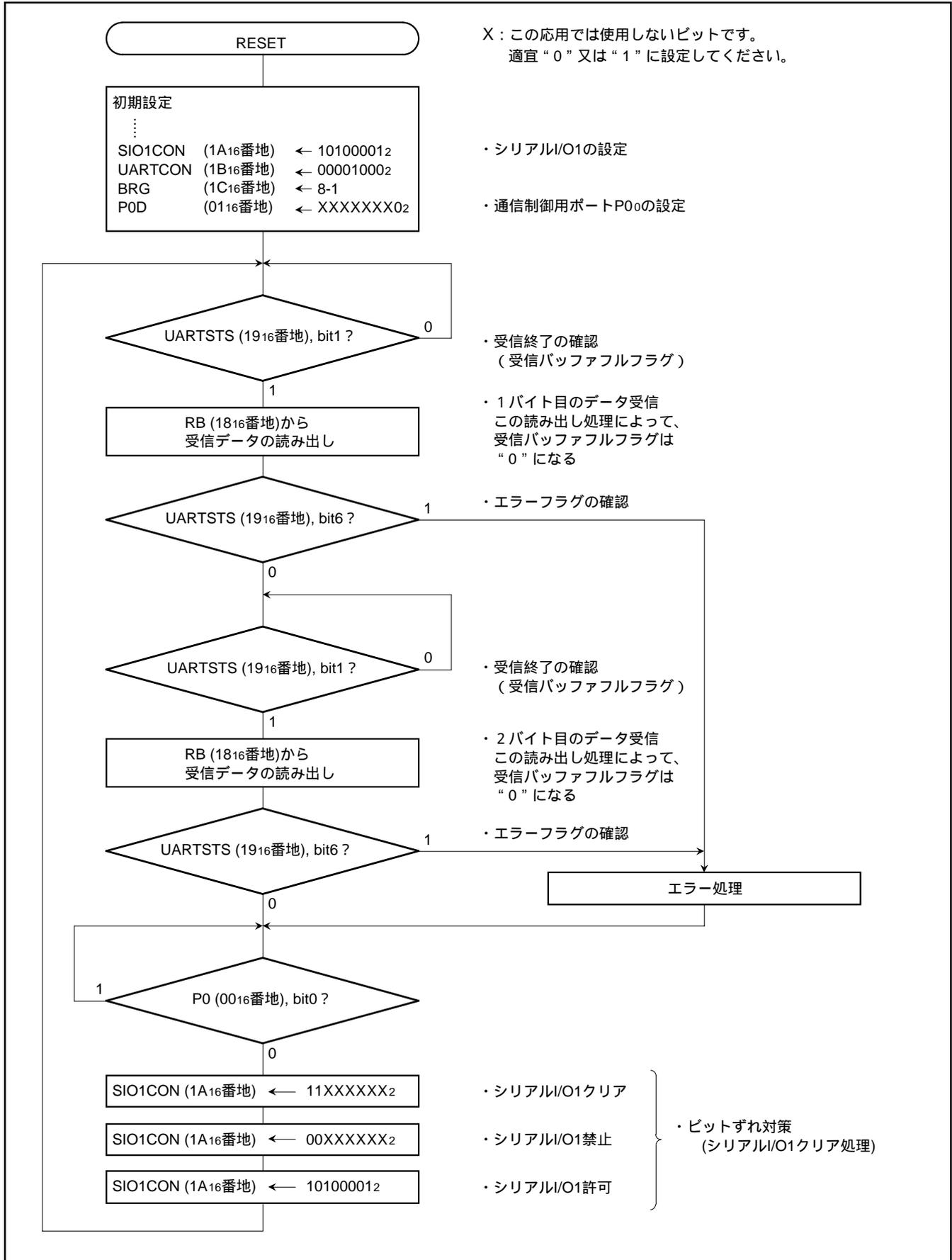


図2.3.27 受信側の制御手順

2.3.6 シリアルI/Oに関する注意事項

(1) シリアルI/O1のクリア処理

シリアルI/O1動作中にシリアルI/O1の再設定、又は送受信動作の停止/再開を行う場合、必ず図2.3.28に示すシリアルI/O1のクリア処理を行ってください。

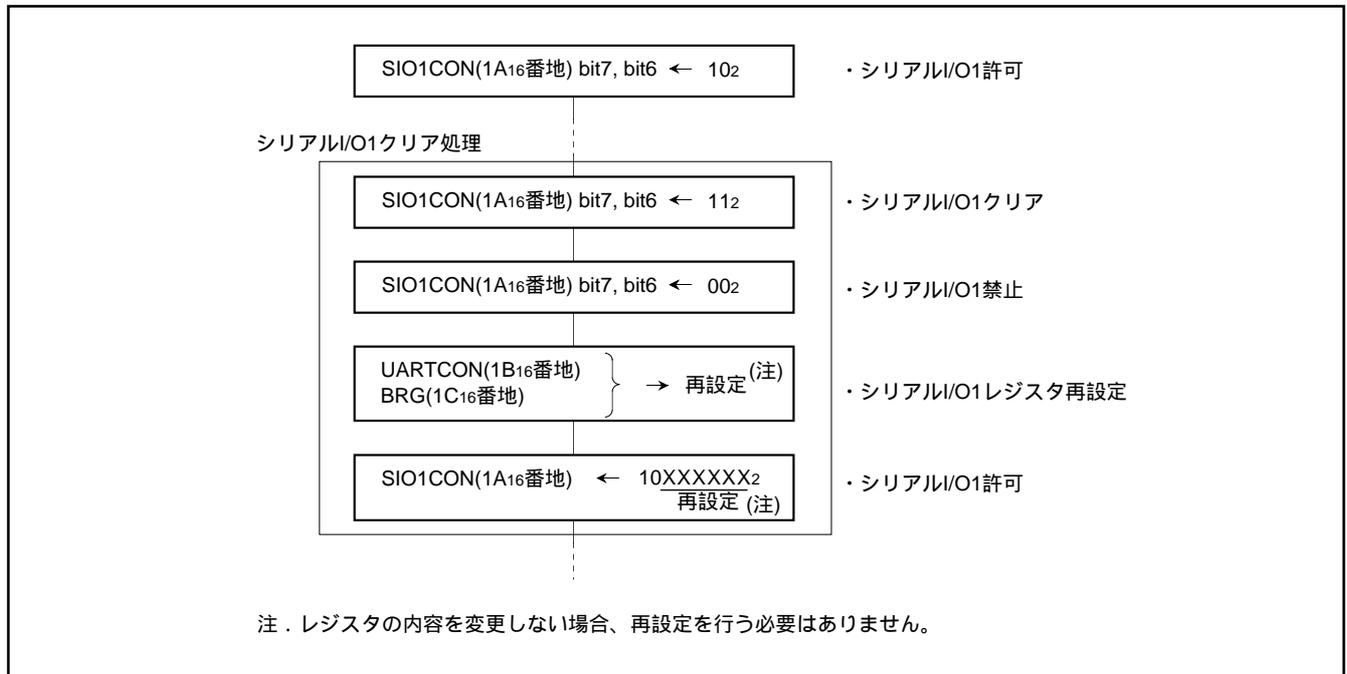


図2.3.28 シリアルI/O1のクリア処理

(2) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(3) 送信データの書き込み

クロック同期シリアルI/Oでは、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、送信バッファレジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

(4) シリアルI/O2送受信シフト終了フラグについて

- ・シリアルI/O2制御レジスタの送受信シフト終了フラグは、送受信シフト終了後“1”になります。“0”にする場合は、プログラムでシリアルI/O2レジスタにデータ(受信時はダミーデータ)を書き込んでください。
- ・シリアルI/O2制御レジスタのビット7(送受信シフト終了フラグ)は、実際のシフト動作の終了よりもシフトクロック半サイクル分早くセットされます。従って、このビットを使用してシフト終了の確認をする場合、このビットが“1”に設定されたことを確認した後クロック半サイクル分以上待ち、シリアルI/O2レジスタへの読み出し/書き込みを行ってください。

2.4 USB

本節ではUSBの低速通信機能に関する動作概要、関連レジスタ、設定方法、通信応用例及び注意事項について説明します。

2.4.1 USBの概要

7534グループは、PC周辺機器との接続規格であるUSB(Universal Serial Bus)通信機能のうち、Low-Speed USB2.0仕様に準拠したFunction機能を持っています。

本項ではUSB通信機能の概要、7534グループのUSB機能について説明します。

(1) 転送タイプ

現在のPCにおいては、周辺機器との接続に用いている規格が複数存在(RS-232C、セントロニクスなど)します。USBは、それらの通信規格をすべて統一しようとするものです。

USBの規格は、接続する周辺機器を管理するホスト側(PC、Hub)と接続される周辺機器側(デバイス)があります。周辺機器側で扱うデータ量によって、次の3種類の通信規格があります。

- ・ Hi-Speed Function: H.S.
転送速度：480Mbpsの通信規格。
- ・ Full-Speed Function: F.S.
転送速度：12Mbpsの通信規格。
- ・ Low-Speed Function: L.S.
転送速度：1.5Mbpsの通信規格。

この通信規格は周辺機器の種類によって決まります。使用する転送タイプは各周辺機器ごとに決められています。

表2.4.1にUSBの転送タイプを示します。

表2.4.1 USB転送タイプ一覧

転送タイプ	適用	動作概要
コントロール(Control)	L.S./F.S./H.S.	全デバイス共通、セットアップ時に使用される
インタラプト(Interrupt)	L.S./F.S./H.S.	リアルタイムに少データ転送時に使用される
バルク(Bulk)	F.S./H.S.	リアルタイムではないが大量データ転送時に使用される
アイソクロナス(Isochronous)	F.S./H.S.	リアルタイムに大量データ転送時に使用される

L.S.: Low-Speed Function、F.S.: Full-Speed Function、H.S.: Hi-Speed Function

7534グループは、Low-Speed Functionに対応しており、表2.4.1の転送タイプのうちコントロール転送、インタラプト転送が使用できます。

(2) 通信シーケンス

コントロール転送、インタラプト転送は、それぞれ異なる通信シーケンスを持っています。

コントロール転送は、全デバイス共通のセットアップ時に使用される転送で、1処理を実行する中で更に3種類のステージ(Stage)を組み合わせて通信を行います。通信シーケンスの最初はセットアップステージ(Setup Stage)で始まり、その内容についてのデータステージ(Data Stage)が実行され、終了時にはステータスステージ(Status Stage)を実行して1処理を終了させます。このシーケンスで、データをホストからデバイスに設定(Control Write)し、デバイスからホストに結果を読み出す(Control Read)ことができます。コントロール転送ではエンドポイント(ENDP:Endpoint)は“0”を使用してください。

インタラプト転送は少量のデータをリアルタイムに転送するときを使用します。コントロール転送と違ってステージはありません。デバイスは、ホストからのデータ要求がある場合(IN)にのみデータを送信できます。インタラプト転送ではエンドポイントは“0”以外を使用してください(7534グループでは、“1”を使用するように設定しています)。

図2.4.1にUSBの通信シーケンスを示します。

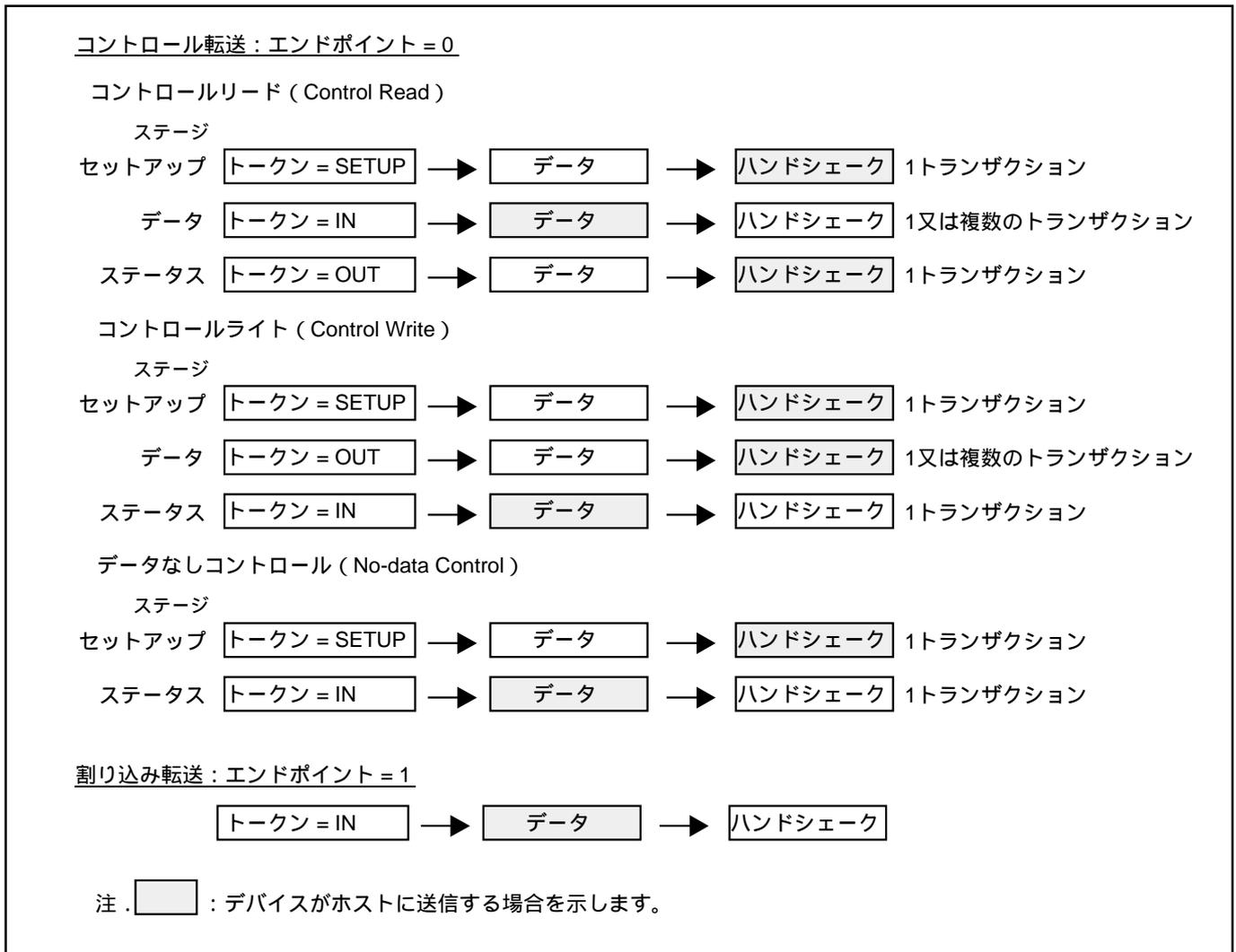


図2.4.1 USB通信シーケンス

(3) パケットタイプ

USBではすべての通信制御の管理をホスト側が行います。基本的には、ホスト側が実行する通信処理の指示をデバイスに与え[トークン(Token)]、データの送受信を実行し[データ(Data)]、最後に通信の完了を示します[ハンドシェーク(Handshake)]。これらの通信手順を、それぞれの持つデータ構成1単位(Packet format)で実行して1処理[トランザクション(Transaction)]を終了します。

処理の内容は、それぞれのパケットを構成しているデータ(Field)の1単位である、パケット認識データ(PID : Packet Identifier field)によって識別できます。このPIDによって、処理内容だけでなく、パケット内のデータ構成も識別します。

表2.4.2にUSBのパケットタイプを示します。

表2.4.2 USBパケットタイプ一覧

パケットタイプ	発信元	動作概要
SOF (Start Of Frame)	ホスト	全転送タイプを含むフレーム(Frame(1ms))の先頭を示すパケット
トークン (Token)	ホスト	実行する処理[トランザクション(Transaction)]を示すパケット
データ (Data)	ホスト/デバイス	トークンで示した処理に対するデータの送受信を行うパケット
ハンドシェーク (Handshake)	ホスト/デバイス	通信処理の結果を示すパケット

7534グループでは、表2.4.2のパケットタイプのうちトークン、データ、ハンドシェークをソフトウェアで制御できます。

(4) パケット構成

USBのパケットタイプは、PIDによって含まれるデータ及びその構成が異なります。

7534グループで制御が必要なPIDで示すと、トークンでは通信先デバイス(ADDR)及び転送タイプ(ENDP : エンドポイント)が、データではトークンで指示した処理の実行(DATA)が、ハンドシェークでは通信の完了が、それぞれのパケットにデータとして含まれています。

図2.4.2にパケットのデータ構成を示します。

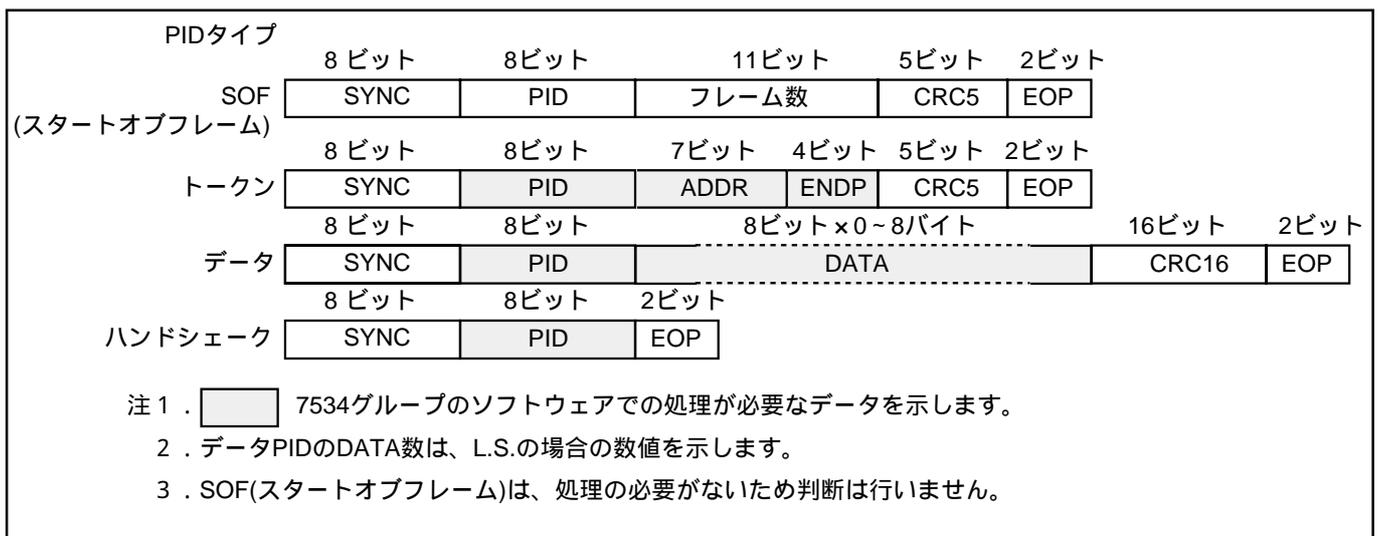


図2.4.2 USBパケットデータ構成

7534グループでは、図2.4.2のパケット構成データのうちPID、ADDR、ENDP、DATAをソフトウェアで制御、または管理できます。

(5) データ構成

USBの通信を構成するデータは、図2.4.2に示すように構成ビット数の異なるデータをLSBファーストで連続して送受信します。基本的には、同期信号であるSYNCと完了信号であるEOPを除く内容をデータとして扱います。したがって、PIDの内容から以降のデータを予測し判断することで、ビット数の違いを検出できます。

表2.4.3にパケットを構成するデータの内容を示します。

表2.4.3 USBパケット構成データ一覧

構成データ名	略称	構成	動作概要
Synchronize	SYNC	8ビット	通信を実行する際の同期信号
Packet Identifier	PID	8ビット	パケットの処理内容を示すデータ
Frame Number	-	11ビット	通信中のフレームを時間単位で管理するためのデータ
Address	ADDR	7ビット	パケットの送信先の確認及び発信元の通達を行うデータ
Endpoint	ENDP	4ビット	デバイスが使用する転送タイプを示すデータ
Data	DATA	8ビット x 0 ~ 8バイト	PIDに指定された処理を行う際に使用されるデータ
Token CRCs	CRC5	5ビット	PIDがトークン、SOFの場合のエラーチェック用データ
Data CRCs	CRC16	16ビット	PIDがDATAの場合のエラーチェック用データ
End Of Packet	EOP	2ビット	パケットの終了を示すデータ

注．DATA数は、L.S.の場合の数値を示します。

表2.4.3の構成データの中で、PIDは3種類に分類されています。

トークンは通信処理の指示をデバイスに与える役割を持ち、以降のステージの処理の報告を行います。トークンを発行できるのは、ホストのみです。

データは、トークンの指示内容であるデータの送受信を実行する役割を持ち、ステージ内での処理を行います。データの発行は、トークンがSETUP、OUTの場合はホストが、INの場合はデバイスが行います。

ハンドシェイクは最後に通信の完了を示します。ハンドシェイクの発行は、トークンがSETUP、OUTの場合はデバイスが、INの場合はホストが行います。

表2.4.4にPIDを示します。

表2.4.4 USBパケット認識データ一覧

PIDタイプ	PID名	bit構成(bit3~0)	処理概要
トークン	SETUP	11012	ホストがデバイスに対し処理の報告を行う
	IN	10012	ホストがデバイスに対しデータ送信要求を行う
	OUT	00012	ホストがデバイスに対しデータ受信要求を行う
	SOF	01012	ホストがデバイスに対しフレームの先頭を示す
データ	DATA0	00112	送受信データのシーケンスビットが偶数であることを示す
	DATA1	10112	送受信データのシーケンスビットが奇数であることを示す
ハンドシェイク	ACK	00102	通信の正常終了を報告する
	NAK	10102	デバイスが現在通信待機状態にあることを報告する
	STALL	11102	通信の異常終了を報告する
スペシャル	PRE	11002	下位にあるL.S.デバイスへの通信許可を行う

7534グループでは、パケット認識データのうちSOF、PREを除いたデータのソフトウェアでの制御が可能、または管理が必要です。

(6) USB特殊信号

USB通信線上には前述のデータ転送の他に、信号によってホスト側がデバイス側の状態を制御、またはデバイス側がホスト側や他のデバイスに対して状態を送信する機能を持っています。

通常、USB通信線上には、データの送受信に関わらず、通信線の先にデバイスが接続されているかをホスト側が確認、または、ホスト側が正常にデータ転送しているかをデバイス側が確認するための、確認転送[キープアライブ (keep alive)、アイドル (idle) : L.S.のみ]があります。この確認転送は、USB転送の基本時間単位であるフレーム[Frame(1ms/Frame)]ごとにホスト側が送信します。

ホスト側がすべてのデバイス機能を停止するとき、確認転送を3ms以上中断し、デバイス側に機能停止を知らせます。機能を停止するための信号を、サスペンド(SUSPEND)と呼びます。

機能を停止したデバイスは2つの方法によって再開できます。基本的には停止状態のデバイスに変化があるときに復帰します。1つは、サスペンド前に中断していたデータ通信の再開によって通常の状態に戻す方法(通信線上的変化)です。復帰するための信号を、レジューム(RESUME)と呼びます。もう1つは、デバイスの外部入力の変化によって通常の状態に戻す方法(デバイス上的変化)です。1~15msのKステート信号の出力によって、外部入力の変化によるデバイスの復帰を、接続しているすべての他のデバイスに知らせることができます。他のデバイスに対する起動信号を、リモートウェイクアップ(Remote wake-up)と呼びます。

デバイス側の機能の停止/起動やパケット、ステージ処理の状態にかかわらず、通信線上に2.5μs以上のSE0信号を入力すると、デバイスはUSB機能に関するすべての状態を初期状態にします。初期状態にするための信号を、リセット(RESET)と呼びます。

表2.4.5にUSBの特殊信号を示します。

表2.4.5 USB特殊信号一覧

信号タイプ	動作概要	信号形態
サスペンド (SUSPEND)	デバイス機能をすべて停止する	3msデータ転送なし
レジューム (RESUME)	デバイス機能を復帰する	サスペンド状態時、Kステート入力/リセット入力
リセット (RESET)	USBの設定を初期化する	2.5 μs以上のSE0入力
リモートウェイクアップ (Remote wake-up)	他のデバイスに復帰を知らせる	1 ~ 15msのKステート出力

(7) USBインタフェース

7534グループでは、USBインタフェースは、1つの通信線を、データの内容によって2時分割して使用します。

図2.4.3にUSBのインタフェースを示します。

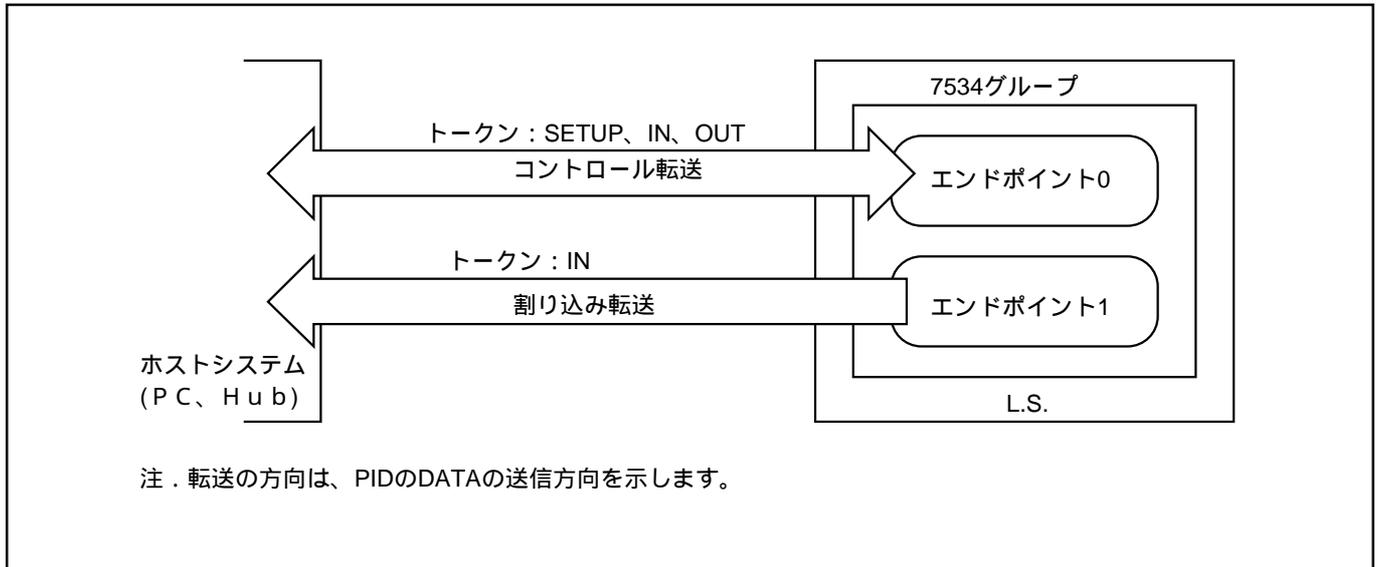


図2.4.3 USB(L.S.)インタフェース

(8) USBのシステム構成

USBの低速通信デバイスで使用するシステム構成では、通信線のうちD-を3.0V ~ 3.6Vの電圧でかつ1.5k の抵抗でプルアップすることで、ホスト側が低速通信デバイスの接続を認識できます。

図2.4.4にUSB(L.S.)接続例を示します。

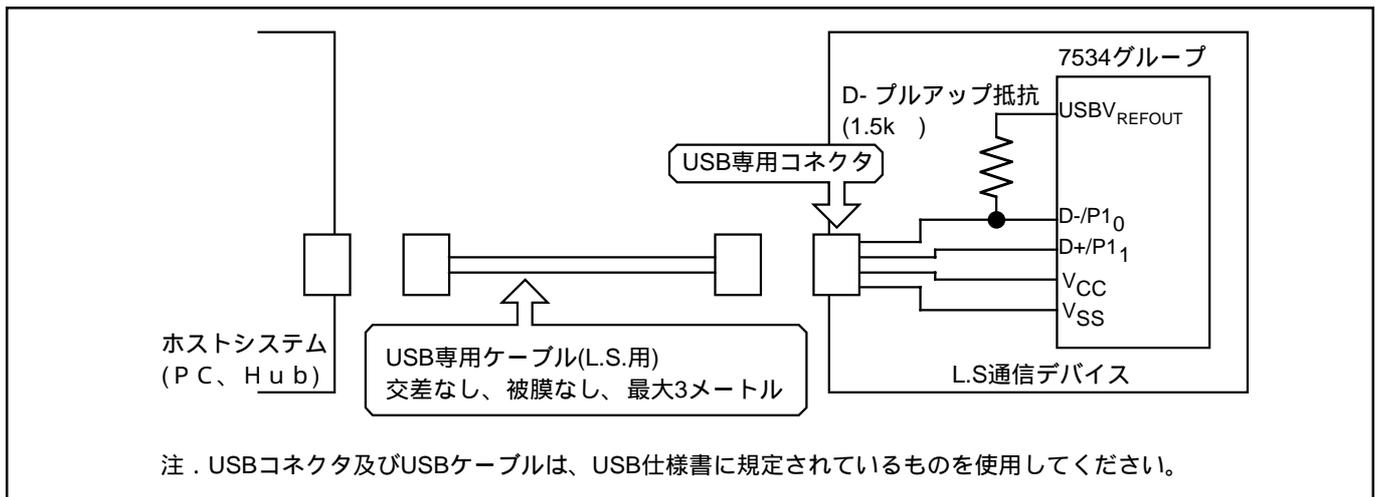


図2.4.4 USB(L.S.)接続例

2.4.2 メモリ配置図



図2.4.5 USB関連レジスタのメモリ配置

2.4.3 USB関連レジスタ

本項では、以下の制御内容について説明します。

- ・送信 / 受信バッファ
- ・USB通信及び割り込みを含む各機能の許可 / 禁止の設定
- ・USB通信のエラー発生有無の判断
- ・エンドポイント単位のステージ及びハンドシェークの設定
- ・USBデバイスの自己アドレスの自動判断

図2.4.6にレジスタの表記方法説明、図2.4.7以降にUSB関連レジスタを示します。

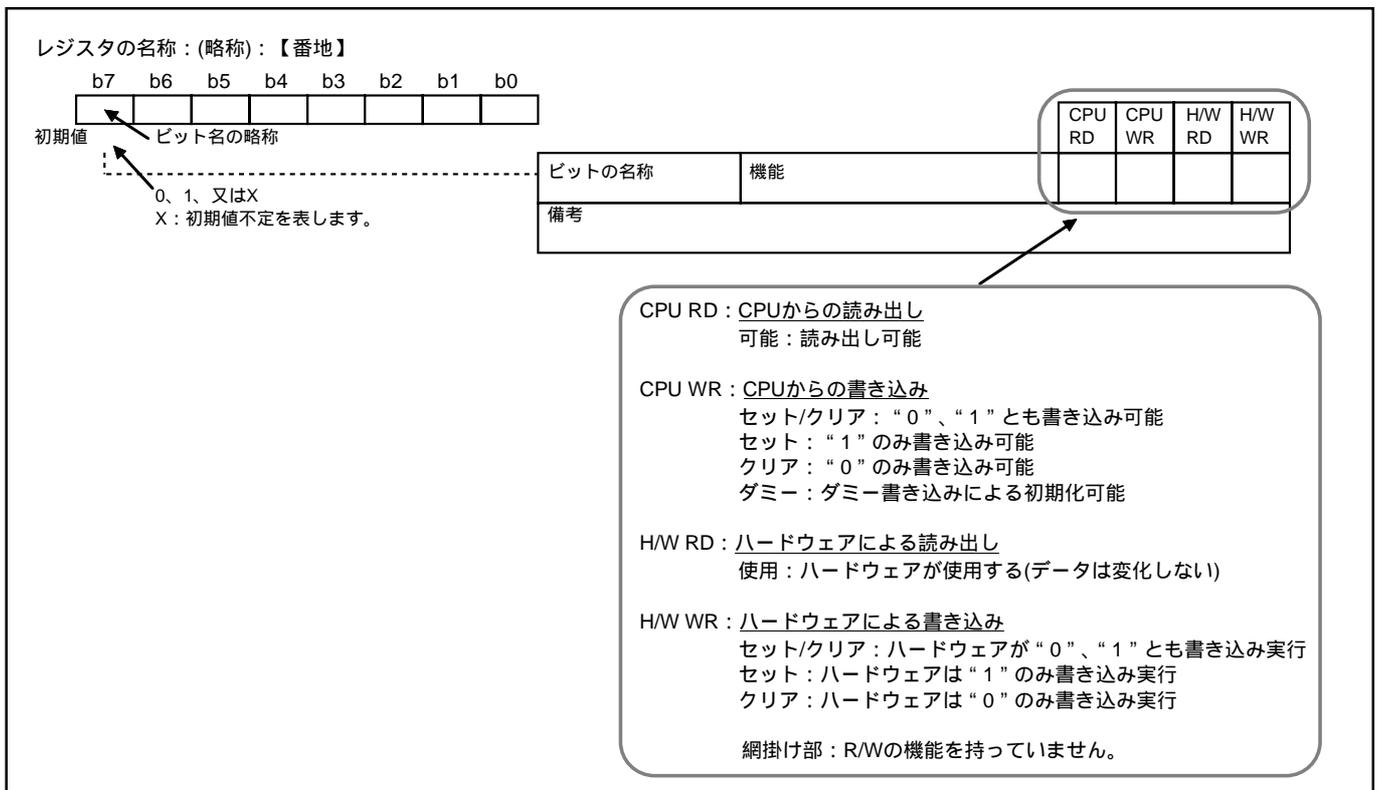


図2.4.6 USB関連レジスタ表記例

送信バッファレジスタ(TB) 【18 ₁₆ 番地】								CPU RD	CPU WR	H/W RD	H/W WR	
初期値	X	X	X	X	X	X	X		セット/クリア	使用		
このレジスタへデータを書き込むと、送信バッファエンティフラグ (TxRDY) がクリアされます。												
受信バッファレジスタ(RB) 【18 ₁₆ 番地】								CPU RD	CPU WR	H/W RD	H/W WR	
初期値	0	0	0	0	0	0	0	可能				セット/クリア
このレジスタを読み出すと、受信バッファフルフラグ(RxRDY)がクリアされます。												
USBステータスレジスタ(USBSTS) 【19 ₁₆ 番地】								CPU RD	CPU WR	H/W RD	H/W WR	
初期値	0	0	0	0	0	0	0	可能				セット/クリア
RxRDY	SUME	BSTFE	PIDE	CRCE	FEOPE	EOP	TxRDY					
送信バッファエンティフラグ 0:バッファフル状態 1:バッファエンティ状態											セット/クリア	
ハードウェアによりバッファからシフトレジスタへデータが転送されると、セットされます。バッファへの書き込みにより、クリアされます。												
EOP検出フラグ 0:未検出 1:検出								可能	クリア		セット	
このフラグのセット条件は、以下の通りです。 ・ハードウェアによる正常なEOPの検出 ・フォールスEOPフラグ(FEOPE)のセット ・データフェーズまたはハンドシェイクフェーズで、EOPが未検出でタイムアウト このレジスタへのダミー書き込みにより、クリアされます。												
フォールスEOPエラーフラグ 0:エラーなし 1:フォールスEOPエラー発生								可能	クリア		セット	
フェーズが正常終了しない場合に、セットされます。このレジスタへのダミー書き込みにより、クリアされます。												
CRCエラーフラグ 0:エラーなし 1:CRCエラー発生								可能	クリア		セット	
EOP検出フラグと同じタイミングでCRCエラー発生時、セットされます。このレジスタへのダミー書き込みにより、クリアされます。												
PIDエラーフラグ 0:エラーなし 1:PIDエラー発生								可能	クリア		セット	
このフラグのセット条件は、以下の通りです。 ・OUTまたはSETUPトークン後のデータフェーズで、DATA0またはDATA1のPIDが検出できないとき ・INトランザクション中のハンドシェイクフェーズで、ACK PIDを受け取れないとき このレジスタへのダミー書き込みにより、クリアされます。												
ビットスタッフィングエラーフラグ 0:エラーなし 1:ビットスタッフィングエラー発生								可能	クリア		セット	
データフェーズまたはハンドシェイクフェーズ中にビットスタッフィングに異常発生時、セットされます。このレジスタへのダミー書き込みにより、クリアされます。												
サミングエラーフラグ 0:エラーなし 1:エラー発生								可能	クリア		セット	
FEOPE、CRCE、PIDE、BSTFEのいずれかのエラー発生時、セットされます。このレジスタへのダミー書き込みにより、クリアされます。												
受信バッファフルフラグ 0:バッファエンティ状態 1:バッファフル状態								可能			セット/クリア	
ハードウェアによりシフトレジスタからバッファへデータが転送されると、セットされます。バッファの読み出しにより、クリアされます。												

図2.4.7 USB関連レジスタ(1)

USBデータトグル同期確認レジスタ(TRSYNC)【1D ₁₆ 番地】													
		b7	b6	b5	b4	b3	b2	b1	b0				
初期値	0	SQTGL								CPU RD	CPU WR	H/W RD	H/W WR
		シーケンスビットトグルフラグ		0:トグルなし 1:シーケンストグルあり		可能	クリア		セット				
このフラグのセット条件は、以下の通りです。 ・EP0PIDでOUTトークンに対するハンドシェイクの設定がACKのとき、データPIDが正常にトグルし、かつOUT及びSETUPトランザクション中のデータフェーズにエラーが発生しないとき ・INトランザクションにおいて、ACKを受け取るとき このレジスタへのダミー書き込みにより、クリアされます。													
USB割り込み要因判別レジスタ1(USBIR1)【1E ₁₆ 番地】													
		b7	b6	b5	b4	b3	b2	b1	b0				
初期値	0	RxEP								CPU RD	CPU WR	H/W RD	H/W WR
		エンドポイント判定フラグ		0:エンドポイント0割り込み 1:エンドポイント1割り込み		可能			セット/クリア				
エンドポイント1のINトークン割り込みが発生時、セットされます。 エンドポイント0のINトークン割り込みが発生時、クリアされます。 書き込みは無効で、他のビットに対し“1”を書き込まないでください。													
USB割り込み要因判別レジスタ2(USBIR2)【1F ₁₆ 番地】													
		b7	b6	b5	b4	b3	b2	b1	b0				
初期値	0	RxPID	OPID			RSTRQ	SPRQ			CPU RD	CPU WR	H/W RD	H/W WR
		サスペンド要求フラグ		0:要求なし 1:サスペンド要求あり		可能	クリア		セット				
Jステートが3mS以上続くと、サスペンド要求がセットされます。 このレジスタへのダミー書き込みにより、クリアされます。													
		USBリセット要求フラグ		0:要求なし 1:USBリセット要求あり		可能			セット/クリア				
SE0が2.5μS以上続くと、USBリセット要求がセットされます。 SE0解除と同時に、クリアされます。													
		トークンPID判定フラグ		0:SETUP割り込み 1:OUT割り込み		可能			セット/クリア				
SETUPトランザクション中でないとき、セットされます。 SETUPのPIDを検出時、クリアされます。													
		トークン割り込みフラグ		0:OUT/SETUPトークン割り込みなし 1:OUT/SETUPトークン割り込みあり		可能			セット/クリア				
OUTまたはSETUP割り込み発生時、セットされます。 トランザクションが終了すると、クリアされます。													
USB割り込み制御レジスタ(USBICON)【20 ₁₆ 番地】													
		b7	b6	b5	b4	b3	b2	b1	b0				
初期値	0	USBE	TKNE	RSME	RSTE	EP1E				CPU RD	CPU WR	H/W RD	H/W WR
		エンドポイント1イネーブル		0:エンドポイント1無効 1:エンドポイント1有効		可能	セット/クリア	使用					
		USBリセット割り込みイネーブル		0:USBリセット無効 1:USBリセット有効		可能	セット/クリア	使用					
このフラグは、サスペンドモード時は無効です(サスペンドモード時は、常にUSBリセットは有効)。													
		レジューム割り込みイネーブル		0:レジューム割り込み無効 1:レジューム割り込み有効		可能	セット/クリア	使用					
		トークン割り込みイネーブル		0:トークン割り込み無効 1:トークン割り込み有効		可能	セット/クリア	使用					
		USBイネーブル		0:USB無効 1:USB有効		可能	セット/クリア	使用					
このフラグをクリアすることにより、内部状態を初期化できます。 レジスタの初期値は次のようになります。 ・USBステータスレジスタ【19 ₁₆ 番地】=(0116) ・USBデータトグル同期確認レジスタ【1D ₁₆ 番地】=(7F16) ・USB割り込み要因判別レジスタ1【1E ₁₆ 番地】=(7F16) ・USB割り込み要因判別レジスタ2のビット7、6、2【1F ₁₆ 番地】=(00xx0xx2)													

図2.4.8 USB関連レジスタ(2)

USB送信データバイト数設定レジスタ0(EP0BYTE) 【21₁₆番地】 b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td colspan="4" style="text-align:center;">EP0BYTE</td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td></tr> </table> 初期値 0 0 0 0										0	0	0	0	EP0BYTE															
0	0	0	0	EP0BYTE																									
				-				エンドポイント0で送信するデータ バイト数を設定してください。		可能	セット/ クリア	使用	H/W WR																
USB送信データバイト数設定レジスタ1(EP1BYTE) 【22₁₆番地】 b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td style="width:12.5%;">0</td><td colspan="4" style="text-align:center;">EP1BYTE</td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td></tr> </table> 初期値 0 0 0 0										0	0	0	0	EP1BYTE															
0	0	0	0	EP1BYTE																									
				-				エンドポイント1で送信するデータ バイト数を設定してください。		可能	セット/ クリア	使用	H/W WR																
USBPID制御レジスタ0(EP0PID) 【23₁₆番地】 b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:12.5%;">DPID0</td><td style="width:12.5%;">SPID0</td><td style="width:12.5%;">APID0</td><td style="width:12.5%;">SPID0C</td><td style="width:12.5%;">EPOE</td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td></tr> </table> 初期値 0 0 0 0 0										DPID0	SPID0	APID0	SPID0C	EPOE															
DPID0	SPID0	APID0	SPID0C	EPOE																									
				-				エンドポイント0 イネーブル 0:エンドポイント0無効 1:エンドポイント0有効		可能	セット/ クリア	使用	H/W WR																
このフラグをクリアすることにより、予期しないINまたはOUTトランザクションを無視できます(SETUPトランザクションは無効にできません、常に有効です)。																													
				-				エンドポイント0PID選択 フラグ(OUT STALL) 1XXX:DATA0/1のINトークン割り込み有効 01XX:INTトークンに対してSTALLハンドシェイク有効		可能	セット/ クリア	使用	H/W WR																
				-				エンドポイント0PID選択 フラグ(OUT ACK) 00XX:INTトークンに対してNAKハンドシェイク有効 XXX1:OUTトークンに対してSTALLハンドシェイク有効		可能	セット/ クリア	使用	H/W WR																
				-				エンドポイント0PID選択 フラグ(IN STALL) 有効 XX10:OUTトークンに対してACKハンドシェイク有効		可能	セット/ クリア	使用	H/W WR																
				-				エンドポイント0PID選択 フラグ(IN DATA0/1) XX00:OUTトークンに対してNAKハンドシェイク有効		可能	セット/ クリア	使用	H/W WR																
DPID0及びSPID0は、INトークンに対する応答の制御に使用します。 DPID0は、トークン割り込み許可フラグ(TKNE)と組み合わせて使用します。 DPID0は、ACKを受け取るとハードウェアにより自動的にクリアされます。 SPID0及びAPID0は、OUTトークンに対する応答の制御に使用します。 トークンパケット中にDPID0を変更すると、変更後の値はトークン終了後に有効になります。 X: 0 又は1に設定してください。																													
USBPID制御レジスタ1(EP1PID) 【24₁₆番地】 b7 b6 b5 b4 b3 b2 b1 b0 <table border="1" style="width:100%; border-collapse: collapse;"> <tr> <td style="width:12.5%;">DPID1</td><td style="width:12.5%;">SPID1</td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td><td style="width:12.5%;"></td></tr> </table> 初期値 0 0										DPID1	SPID1																		
DPID1	SPID1																												
				-				エンドポイント1PID選択 フラグ(IN STALL) 1X:DATA0/1のINトークン割り込み有効 01:INトークンに対するSTALLハンド シェイク有効		可能	セット/ クリア	使用	H/W WR																
				-				エンドポイント1PID選択 フラグ(IN DATA0/1) 00:INトークンに対するNAKハンド シェイク有効		可能	セット/ クリア	使用	H/W WR																
DPID1及びSPID1は、INトークンに対する応答の制御に使用します。 DPID1は、トークン割り込み許可フラグ(TKNE)と組み合わせて使用します。 DPID1は、ACKを受け取るとハードウェアにより自動的にクリアされます。 X: 0 又は1に設定してください。																													

図2.4.9 USB関連レジスタ(3)

<p>USBアドレスレジスタ(USBA) 【25₁₆番地】</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="8">USBA</td> <td>CPU RD</td> <td>CPU WR</td> <td>H/W RD</td> <td>H/W WR</td> </tr> <tr> <td>初期値</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>-</td> <td>USBホストにより割り当てられたアドレスを設定してください。</td> <td>セット/クリア</td> <td>使用</td> <td></td> </tr> </table>										USBA								CPU RD	CPU WR	H/W RD	H/W WR	初期値	0	0	0	0	0	0	0	-	USBホストにより割り当てられたアドレスを設定してください。	セット/クリア	使用																																
USBA								CPU RD	CPU WR	H/W RD	H/W WR																																																						
初期値	0	0	0	0	0	0	0	-	USBホストにより割り当てられたアドレスを設定してください。	セット/クリア	使用																																																						
<p>USBシーケンスビット初期化レジスタ(INISQ1) 【26₁₆番地】</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1" style="width:100%; text-align:center;"> <tr> <td colspan="8">INISQ1</td> <td>CPU RD</td> <td>CPU WR</td> <td>H/W RD</td> <td>H/W WR</td> </tr> <tr> <td>初期値</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>X</td> <td>-</td> <td>エンドポイント1のシーケンスビットを初期化します。</td> <td>ダミー</td> <td></td> <td></td> </tr> <tr> <td colspan="10">ダミー書き込みにより、シーケンスが初期化されます。</td> <td></td> <td></td> <td></td> <td></td> </tr> </table>										INISQ1								CPU RD	CPU WR	H/W RD	H/W WR	初期値	X	X	X	X	X	X	X	-	エンドポイント1のシーケンスビットを初期化します。	ダミー			ダミー書き込みにより、シーケンスが初期化されます。																														
INISQ1								CPU RD	CPU WR	H/W RD	H/W WR																																																						
初期値	X	X	X	X	X	X	X	-	エンドポイント1のシーケンスビットを初期化します。	ダミー																																																							
ダミー書き込みにより、シーケンスが初期化されます。																																																																	
<p>USB制御レジスタ(USBCON) 【27₁₆番地】</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1" style="width:100%; text-align:center;"> <tr> <td>初期値</td> <td>0</td> <td>0</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>CPU RD</td> <td>CPU WR</td> <td>H/W RD</td> <td>H/W WR</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>USBVREFOUT出力有効フラグ</td> <td>0:出力オフ 1:出力オン</td> <td>セット/クリア</td> <td>使用</td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>リモートウェイクアップ要求フラグ</td> <td>0:要求なし 1:リモートウェイクアップ要求</td> <td>セット</td> <td>使用</td> <td>クリア</td> </tr> <tr> <td colspan="10">このフラグをセットすると、リモートウェイクアップ要求(K出力)を設定できます。リモートウェイクアップ要求から10mS後に、自動的にクリアされます。</td> <td></td> <td></td> <td></td> <td></td> </tr> </table>										初期値	0	0								CPU RD	CPU WR	H/W RD	H/W WR										USBVREFOUT出力有効フラグ	0:出力オフ 1:出力オン	セット/クリア	使用											リモートウェイクアップ要求フラグ	0:要求なし 1:リモートウェイクアップ要求	セット	使用	クリア	このフラグをセットすると、リモートウェイクアップ要求(K出力)を設定できます。リモートウェイクアップ要求から10mS後に、自動的にクリアされます。													
初期値	0	0								CPU RD	CPU WR	H/W RD	H/W WR																																																				
									USBVREFOUT出力有効フラグ	0:出力オフ 1:出力オン	セット/クリア	使用																																																					
									リモートウェイクアップ要求フラグ	0:要求なし 1:リモートウェイクアップ要求	セット	使用	クリア																																																				
このフラグをセットすると、リモートウェイクアップ要求(K出力)を設定できます。リモートウェイクアップ要求から10mS後に、自動的にクリアされます。																																																																	
<p>シリアル/O1制御レジスタ(SIO1CON) 【1A₁₆番地】</p> <p>b7 b6 b5 b4 b3 b2 b1 b0</p> <table border="1" style="width:100%; text-align:center;"> <tr> <td>初期値</td> <td>0</td> <td>0</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>CPU RD</td> <td>CPU WR</td> <td>H/W RD</td> <td>H/W WR</td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>シリアル/O1モード選択ビット</td> <td>00:入出力ポート 01:使用禁止</td> <td>セット/クリア</td> <td>使用</td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td>シリアル/O1モード選択ビット</td> <td>10:UARTモード 11:USBモード</td> <td>セット/クリア</td> <td>使用</td> <td></td> </tr> </table>										初期値	0	0								CPU RD	CPU WR	H/W RD	H/W WR										シリアル/O1モード選択ビット	00:入出力ポート 01:使用禁止	セット/クリア	使用											シリアル/O1モード選択ビット	10:UARTモード 11:USBモード	セット/クリア	使用															
初期値	0	0								CPU RD	CPU WR	H/W RD	H/W WR																																																				
									シリアル/O1モード選択ビット	00:入出力ポート 01:使用禁止	セット/クリア	使用																																																					
									シリアル/O1モード選択ビット	10:UARTモード 11:USBモード	セット/クリア	使用																																																					
<p>注 . SIO1CONは、USBで使用するビット6、7のみ説明します。</p>																																																																	

図2.4.10 USB関連レジスタ(4)

2.4.4 USBの応用例

本項ではUSB通信使用時の応用例について、タイミング図およびレジスタ設定図等を用いて説明します。

(1) コントロールシーケンス単位の処理例

7534グループでは、コントロールシーケンスの制御及び判断をソフトウェアで行う場合があります。

セットアップステージで処理内容を確認し、その内容についてのデータステージの送受信を実行し、シーケンスの終了をステータスステージで示します。セットアップステージの内容によって、以降の処理がそれぞれ異なるため、7534グループ使用時のソフトウェアでも制御及び判断の内容が異なりますので、注意してください。

コントロール転送では、セットアップステージを受信時にデータステージ以降の処理を判断し、送受信処理の実行およびデータバイト数を管理し、最後にステータスステージを実行してシーケンスを終了します。

インタラプト転送ではステージはありませんので、パケット単位の管理のみ行います。

図2.4.11にコントロールシーケンス制御方法を示します。

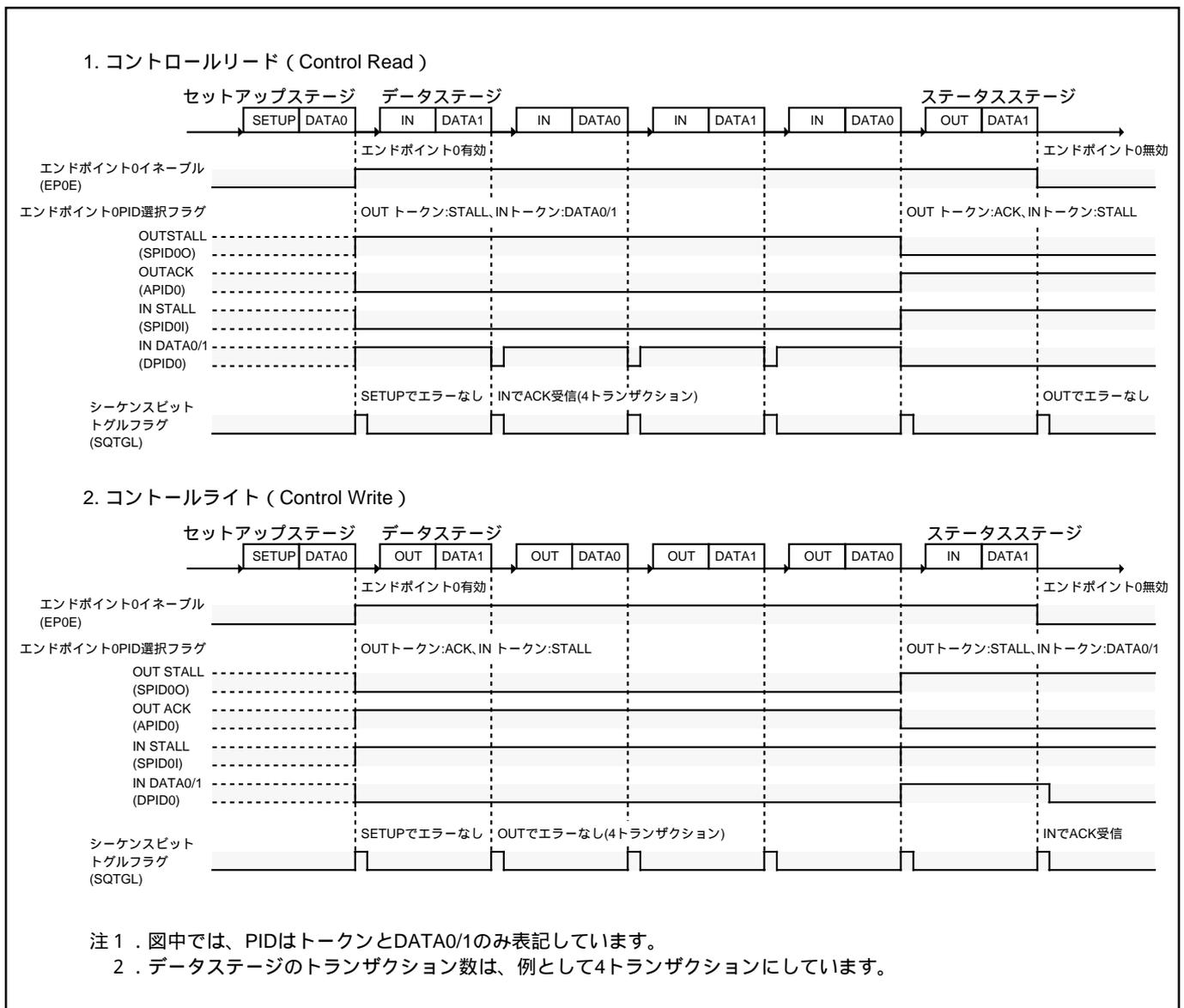


図2.4.11 USBコントロールシーケンス別タイミング図

(2) トランザクション単位の処理例

7534グループでは、パケットの制御及び判断をソフトウェアで行う場合があります。

最初に、受信するトークンの内容を判断し、それに対するデータの送受信を実行し、トランザクションの終了をハンドシェイクで示します。トークンによって処理が異なるため、ソフトウェアでも制御及び判断の内容が異なりますので、注意してください。

図2.4.12に各トークン別トランザクションのタイミング図を示します。

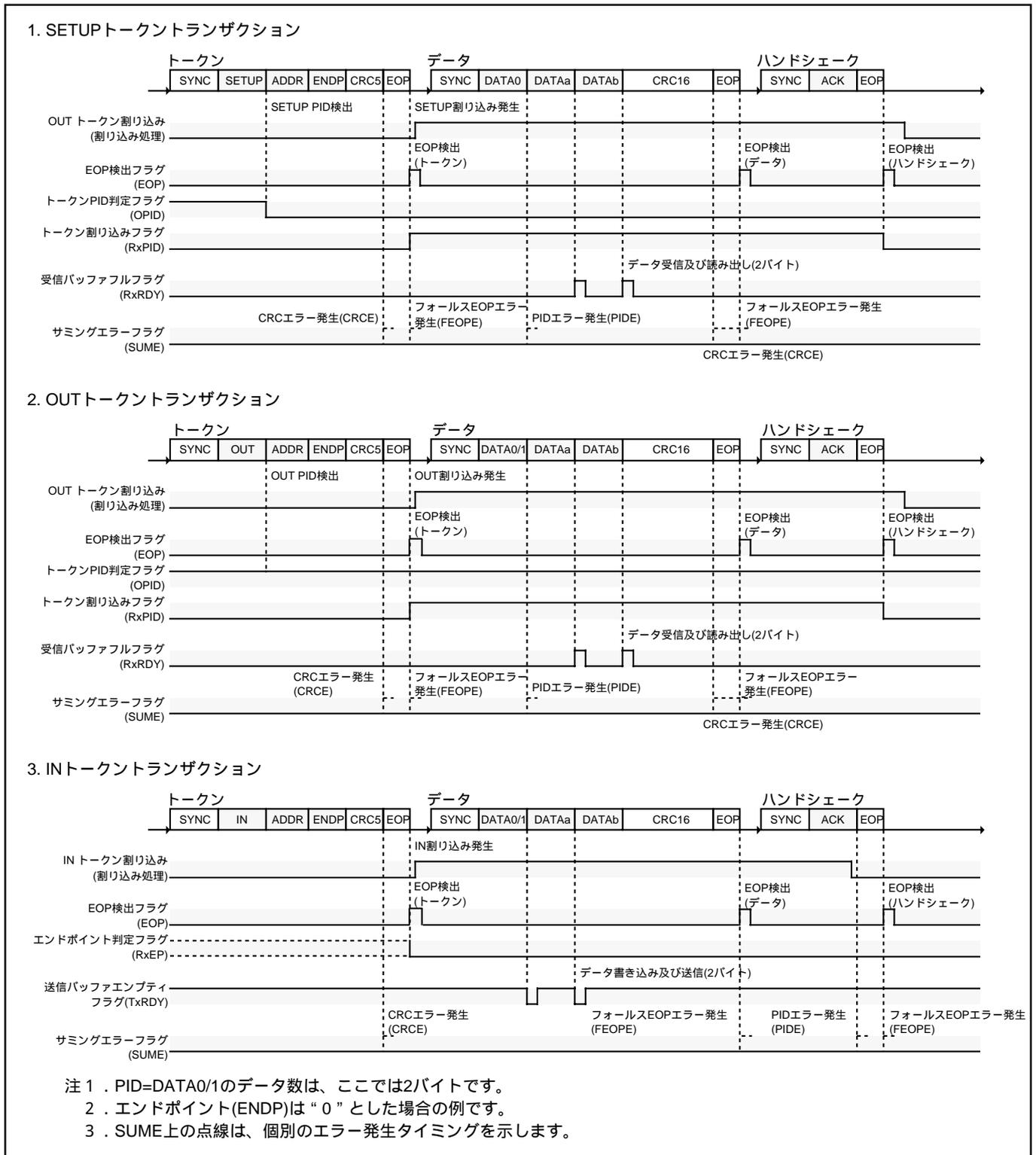


図2.4.12 USBトランザクション別タイミング図

(3) 割り込み処理

7534グループでは、USB通信関連の割り込みは7つの要因を2つの飛び先で処理します。したがって、割り込み処理を実行してから割り込み要因を判断して処理を行ってください。

また、割り込みを許可する前に、許可しているUSB機能および割り込み要因を管理してください。以下に割り込みの飛び先及び要因について示します。

INトークン割り込み：INトークン(エンドポイント0)、INトークン(エンドポイント1)

OUTトークン割り込み：OUTトークン、SETUPトークン、リセット、サスペンド、レジューム

図2.4.13にOUTトークンの割り込み使用時の関連レジスタの設定及び割り込みでの判断(図では、OUTトークン時の処理)を、図2.4.14にINトークンの割り込み使用時の関連レジスタの設定及び割り込みでの判断(図では、INトークン(エンドポイント0)時の処理)を、それぞれ示します。

OUTトークン割り込みで、OUTトークンおよびSETUPトークンのデータ読み出しまでのタイミングは、図2.4.15、図2.4.16に示す時間内に行ってください。

また、INトークン割り込みで、INトークン(エンドポイント0)およびINトークン(エンドポイント1)のデータ書き込みまでのタイミングは、図2.4.17に示す時間内に行ってください。

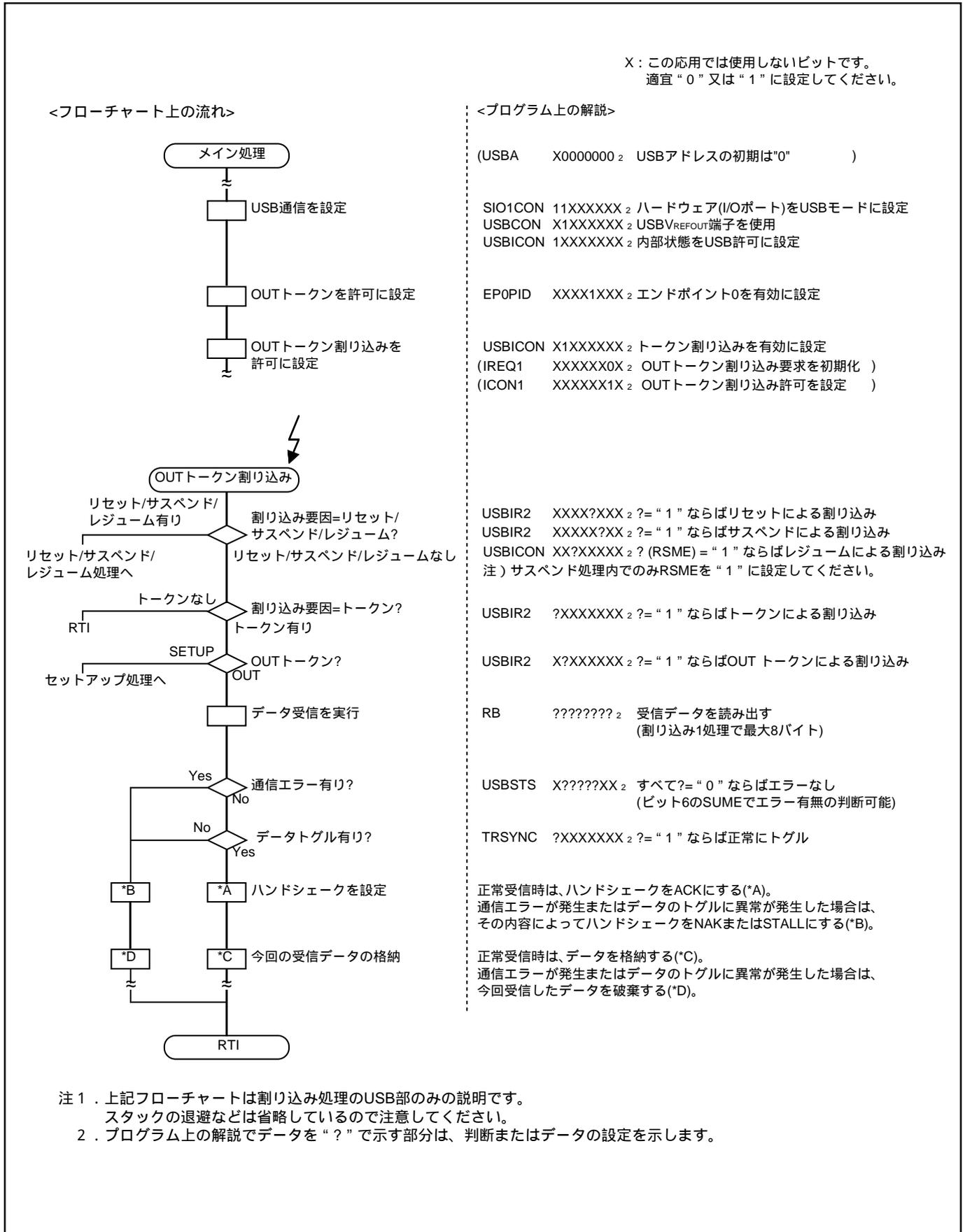
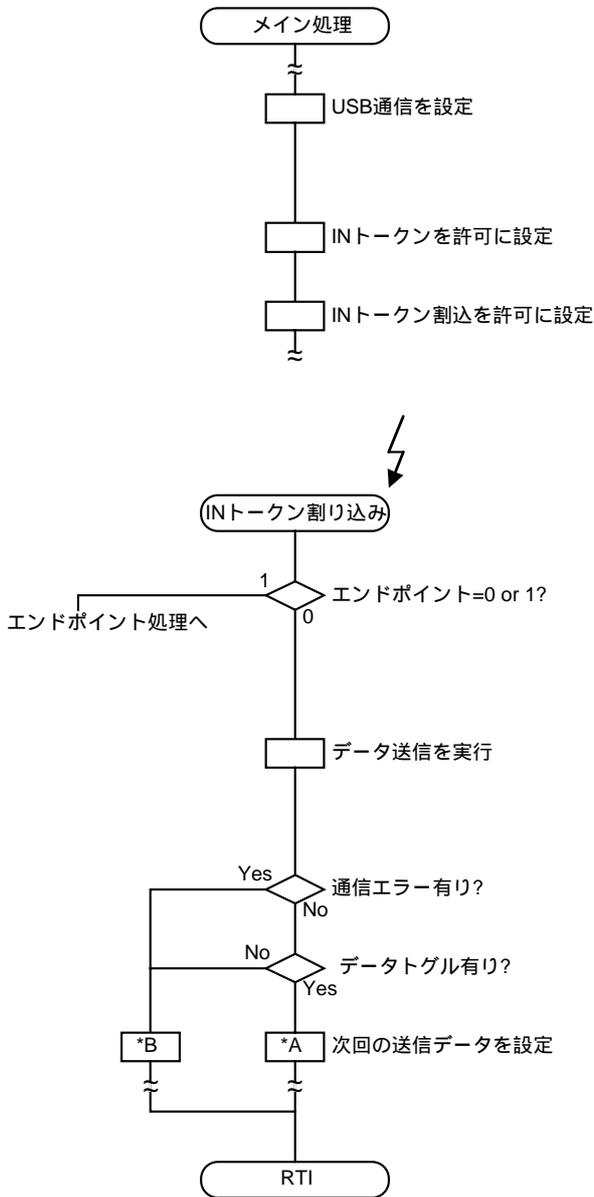


図2.4.13 USB割り込み処理例(OUT トークン)

X : この応用では使用しないビットです。
適宜 “0” 又は “1” に設定してください。

<フローチャート上の流れ>



<プログラム上の解説>

(USB_A X0000000₂ USBアドレスの初期は “0”)

SIO1CON 11XXXXXX₂ I/OポートをUSBモードに設定
 USBCON X1XXXXXX₂ USBV_{REFOUT}端子を使用
 USBICON 1XXXXXXX₂ 内部状態をUSB許可に設定

EP0PID XXXX1XXX₂ エンドポイント0を有効に設定
 USBICON XXXX1XXX₂ エンドポイント1を有効に設定

USBICON X1XXXXXX₂ トークン割り込みを有効に設定
 (IREQ1 XXXXXXXX₂ INトークン割り込み要求を初期化)
 (ICON1 XXXXXXXX₂ IN トークン割り込み許可を設定)

(EP0BYTE ????????₂ 今回のステージ(Stage)での送信データ数を設定)

USBIR1 ?XXXXXXX₂ ?= “0” ならばエンドポイント0割り込み発生

EP0BYTE XXXX????₂ 送信データバイト数を設定する
 TB ????????₂ 送信データを書き込む (割り込み1処理で最大8バイト)

USBSTS X?????XX₂ すべて?= “0” ならばエラーなし (ビット6のSUMEでエラー有無の判断可能)

TRSYNC ?XXXXXXX₂ ?= “1” ならば正常にトグル

正常送信時は、次の送信データを設定する(*A)。
 通信エラーまたはデータのトグルに異常が発生した場合は、再度送信する(*B)。

- 注1 . 上記フローチャートは割り込み処理のUSB部のみを表現しています。スタックの退避などは省略しているので注意してください。
- 2 . INトークン割り込みの処理は、エンドポイント0のみを示します。
- 3 . プログラム上の解説でデータを “?” で示す部分は、判断またはデータの設定を示します。

図2.4.14 USB割り込み処理例(IN トークン)

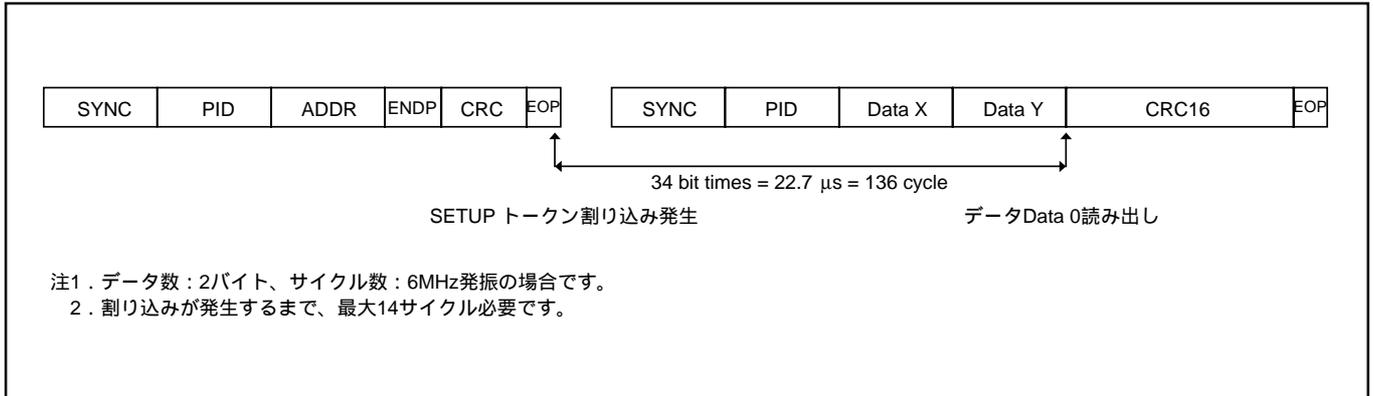


図2.4.15 SETUPトークンのデータ読み出しまでのタイミング

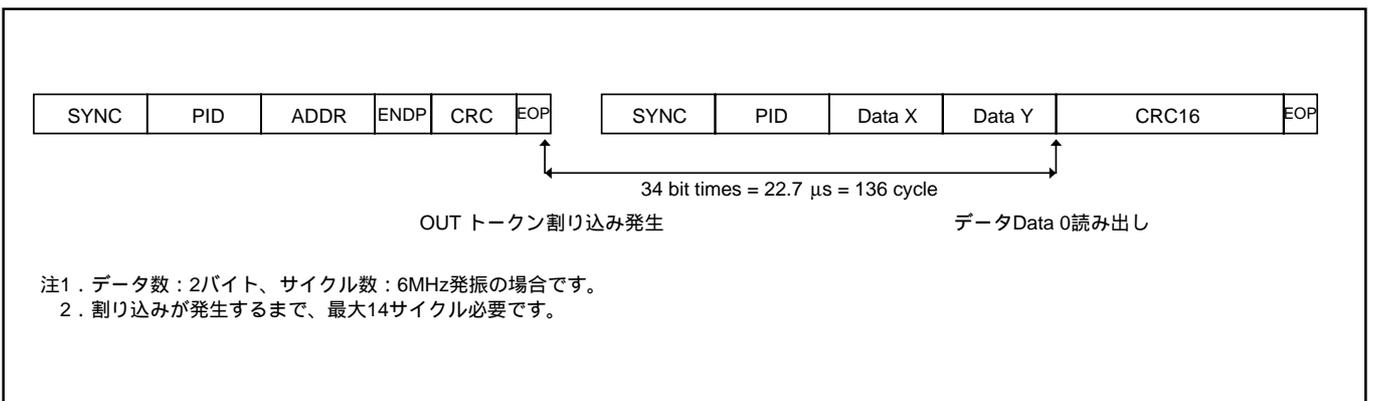


図2.4.16 OUTトークンのデータ読み出しまでのタイミング

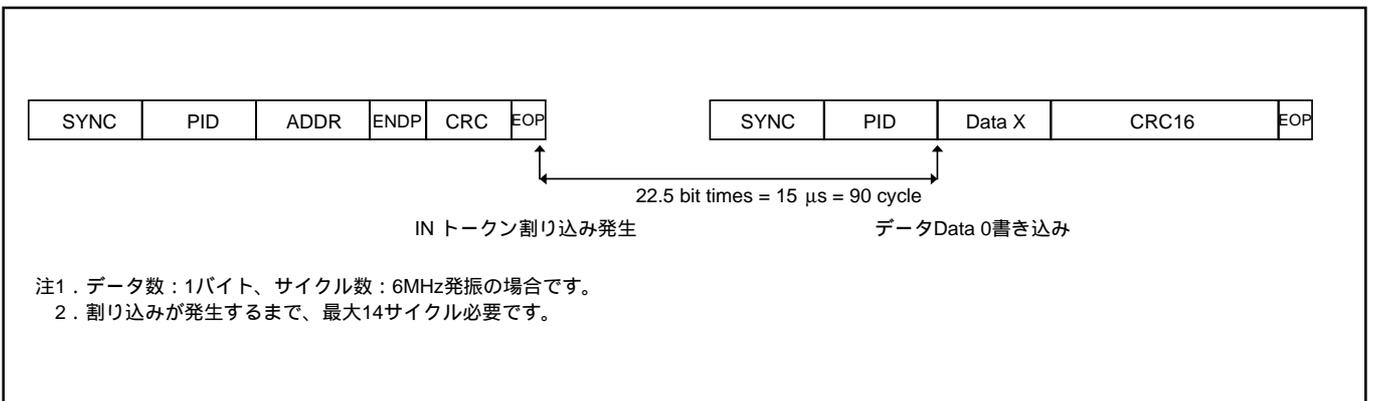


図2.4.17 INトークン(エンドポイント0)およびINトークン(エンドポイント1)のデータ書き込みまでのタイミング

(4) 特殊信号に対する処理

7534グループでは、表2.4.5に示す信号に対しUSB機能の制御をソフトウェアで行ってください。

USBリセット時、前述(2.4.3)のUSB関連レジスタの初期化を実行してください。また、サスペンド時は、割り込み許可の上、STP命令を実行してください。STP命令前には、停止状態からの復帰条件である外部割り込みの設定を行ってください。この条件の中にレジュームの許可も含まれます。

これらの信号の発生は、割り込みの要求によって認識できます。特殊信号に対する割り込みはすべてOUTトークン割り込みに含まれます。

INトークン割り込み：INトークン(エンドポイント0)、INトークン(エンドポイント1)

OUTトークン割り込み：OUTトークン、SETUPトークン、リセット、サスペンド、レジューム

リモートウェイクアップは、停止状態から外部入力によって復帰するときに、USB機能として出力する必要がある場合に信号を出力します。

図2.4.18に各信号のタイミング図を示します。

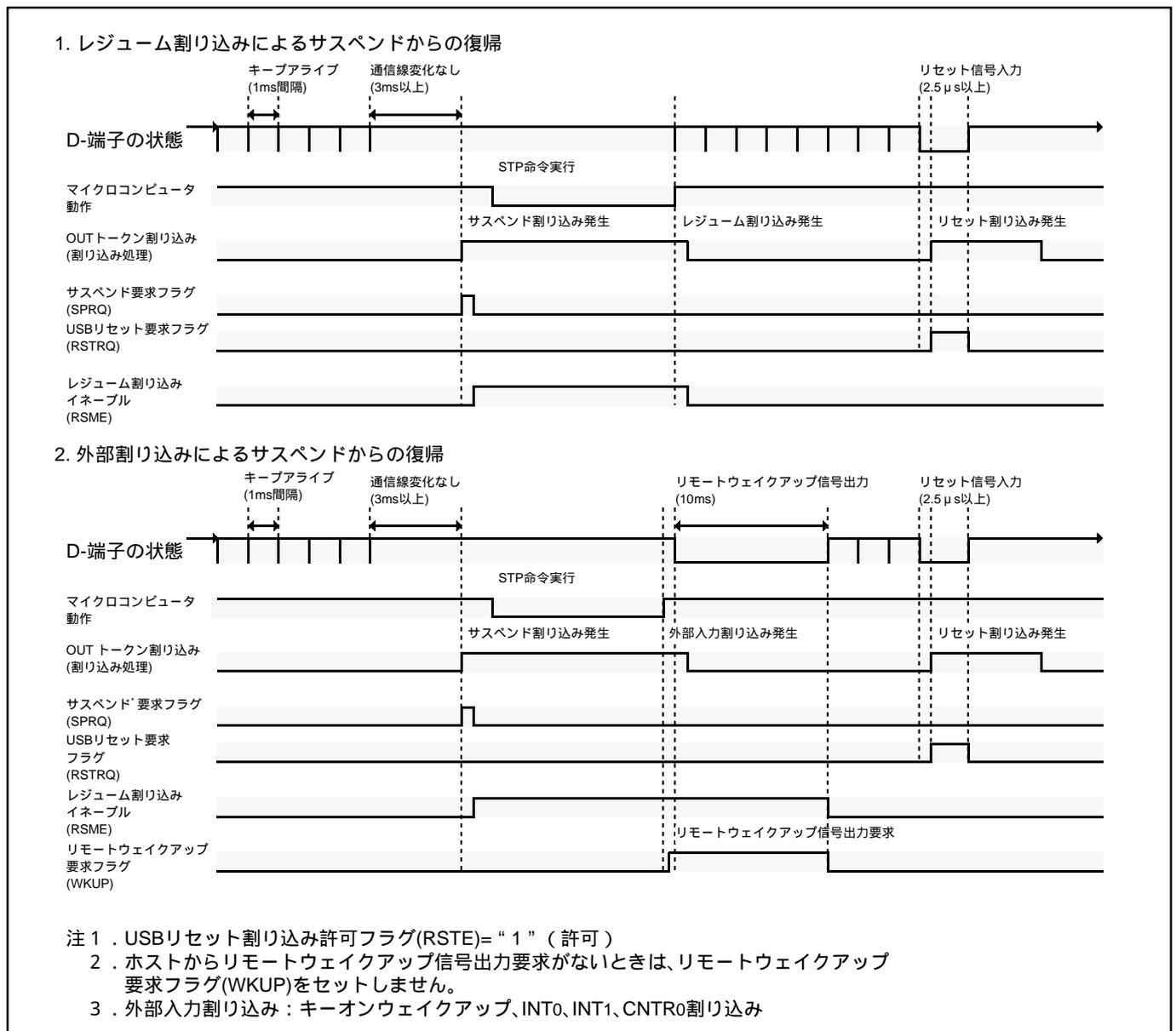


図2.4.18 USB信号タイミング図

2.4.5 USBに関する注意事項

(1) OUTトークン割り込み処理内の割り込み条件判断順序

OUTトークン割り込み処理内でリセット/サスペンド/レジューム割り込み発生時、それらの判断を図2.4.19に示す順序で他の割り込み条件から判断してください。

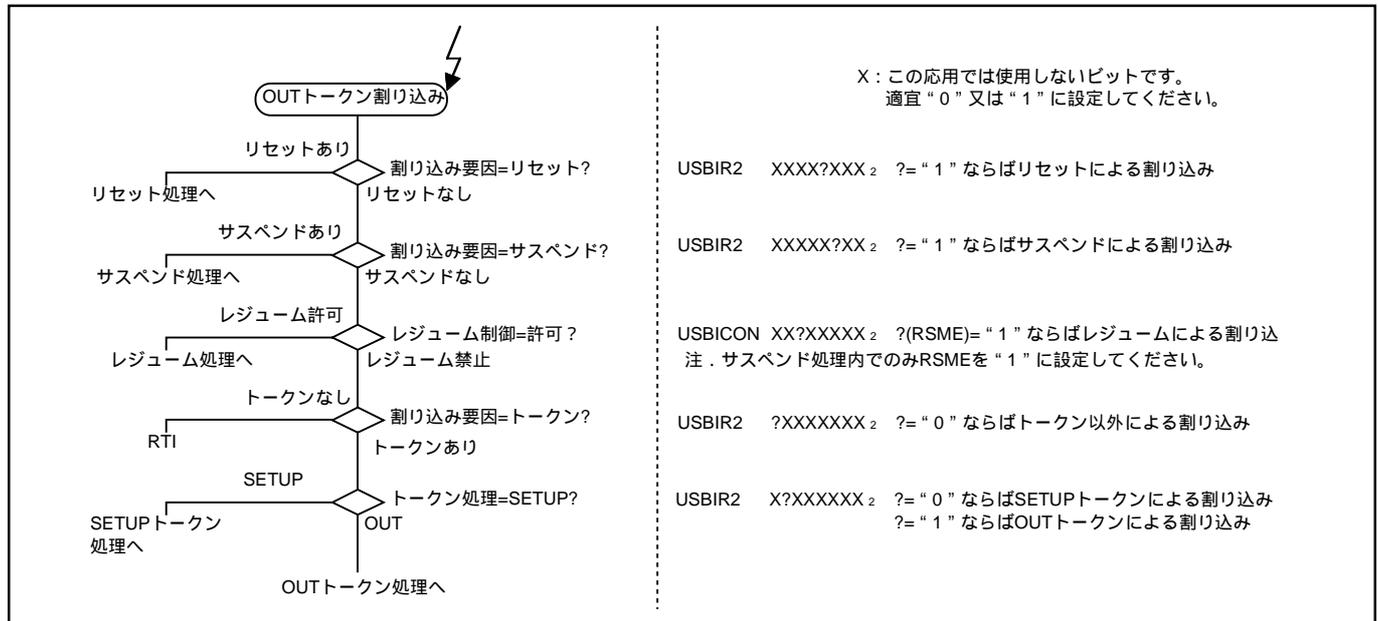


図2.4.19 レジューム割り込み判断例

(2) サスペンド要求フラグのクリア

サスペンド割り込みの要求が発生するとサスペンド要求フラグがセットされます。このフラグの状態は、サスペンド状態確定後、一定時間(13μs)保持されます。これは、サスペンド確定までの時間(3ms)を計測しているカウントソースが更新されるまで、内部状態を保持するためです。

したがって、サスペンド要求フラグが“1”であることを判断した直後にこのフラグをクリアしても、状態が変わらない場合があります。このフラグが“1”になってから13μs又は79マシサイクル(f(XIN)=6MHz時)程度のウェイト後にクリアしてください。

(3) SE0信号の判断

7534グループでは、SE0信号の幅によりUSBリセット又はEOPを区別できます。

ただし、信号幅の時間の境界線上ではどちらにも該当する時間帯があります。また、デバイスの状態によっても処理に違いがあるので、現在の状態の管理が必要です。したがって、デバイスの状態によってソフトウェア上の処理方法を選択してください。図2.4.20に信号幅に対する状況別の処理を示します。

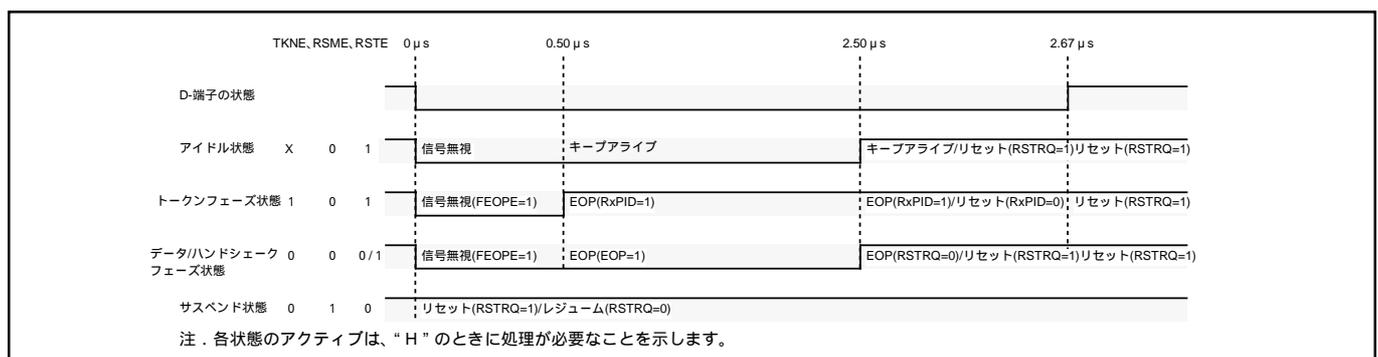


図2.4.20 SE0信号幅に対する処理

(4) USB通信に関する注意事項

通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。

(5) USB サスペンド電流に関する注意事項

P10, P12, P13ポート入力レベルをTTLレベル(0017₁₆番地のビット2「P10, P12, P13入力レベル選択ビット」を“1”にセット)にし、かつUSB機能をご使用になる組み合わせのときに、USBサスペンド時の消費電流I_{CC}が規格300 μAを超える場合があります。

【回避策】

以下のソフトウェアによる対策のいずれかにより回避することが可能です。

- (1) P10, P12, P13入力レベルをCMOSレベルとしてご使用いただく。
- (2) 図2.4.21のフローのとおり、サスペンド処理時マイコン停止の前に、P10, P12, P13ポート入力レベルをCMOSレベルに一旦変更し、RESUMEまたは外部割り込みによるリモートウェイクアップの復帰処理後にP10, P12, P13ポート入力レベルをTTLレベルに戻す。

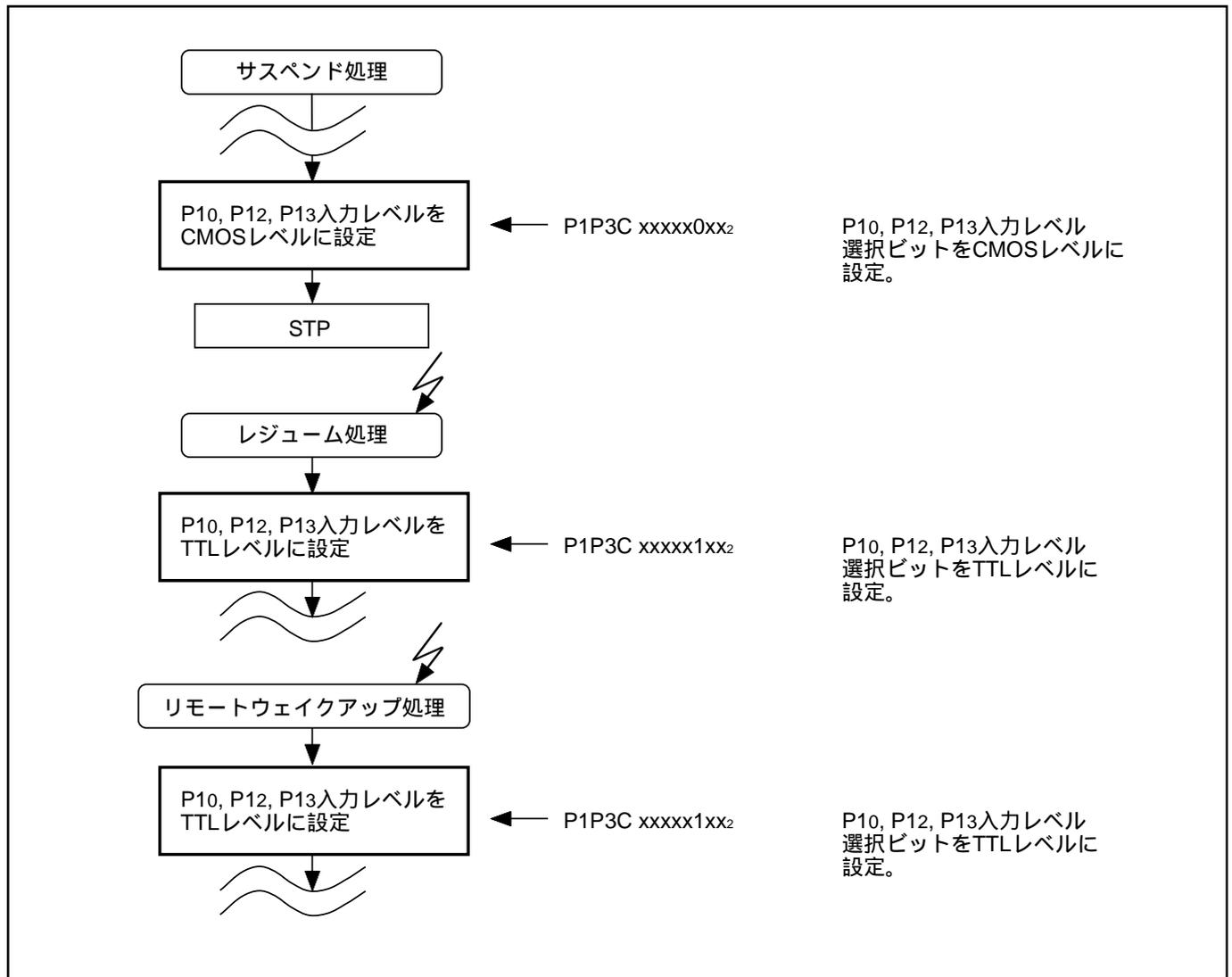


図2.4.21 回避策(2)のフローチャート

2.5 A/Dコンバータ

本節ではA/Dコンバータに関するレジスタの設定方法、注意事項などを説明します。

2.5.1 メモリ配置図



図2.5.1 A/D変換器関連レジスタのメモリ配置

2.5.2 関連レジスタ

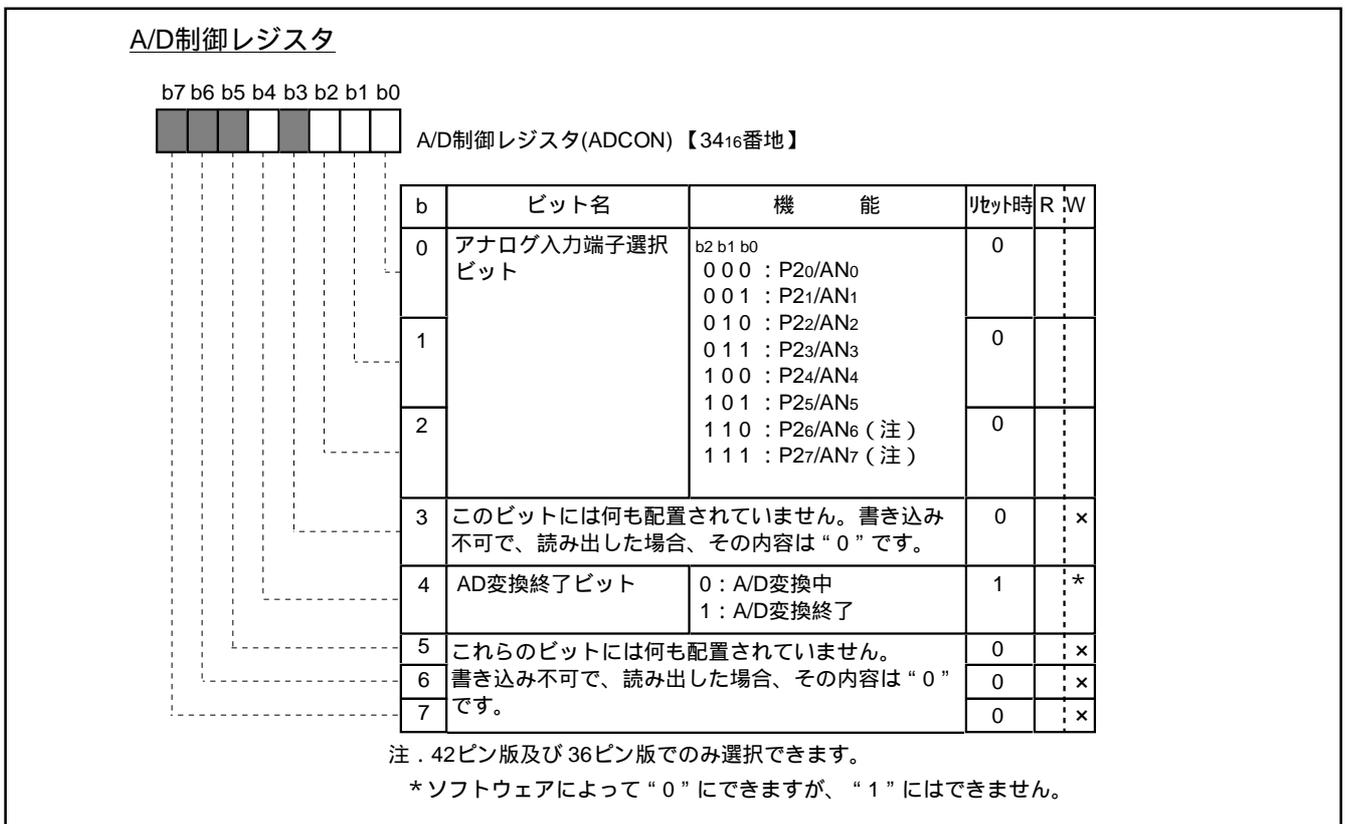


図2.5.2 A/D制御レジスタの構成

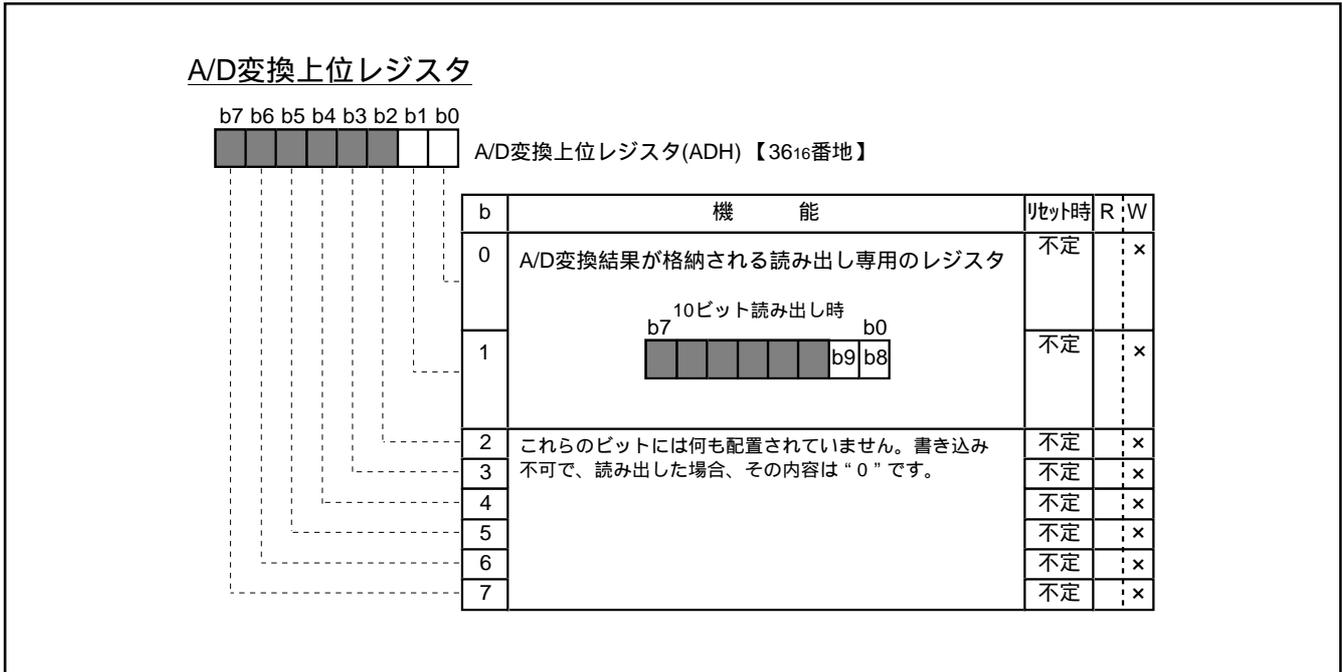


図2.5.3 A/D変換上位レジスタの構成

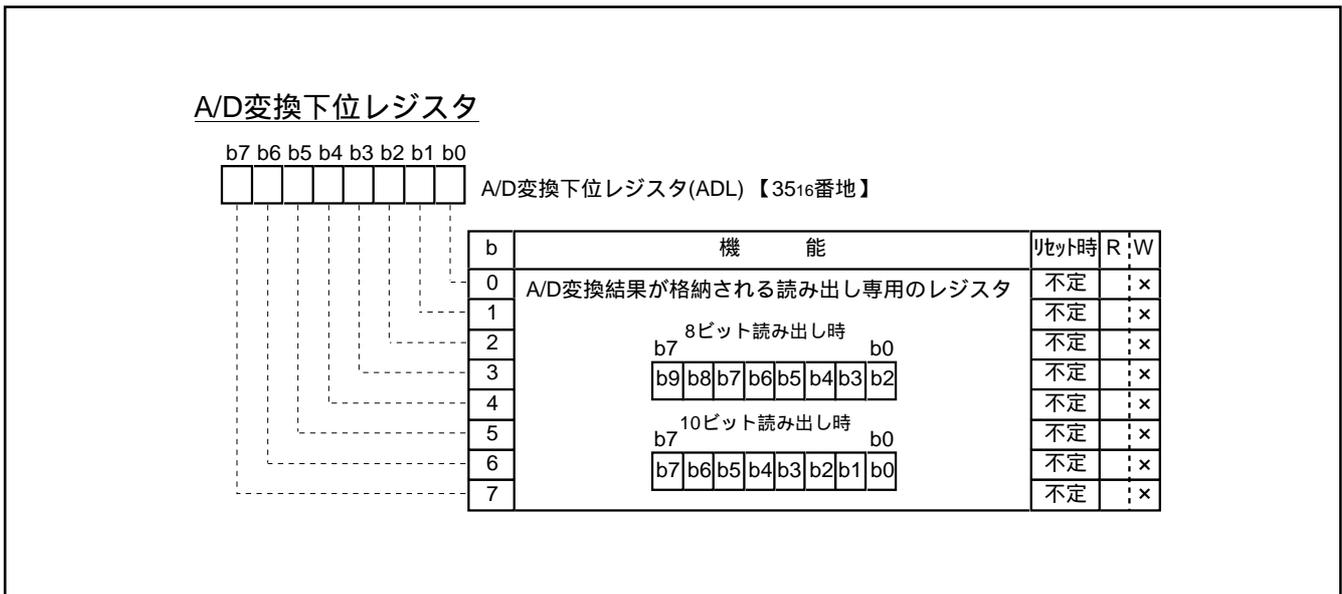


図2.5.4 A/D変換下位レジスタの構成

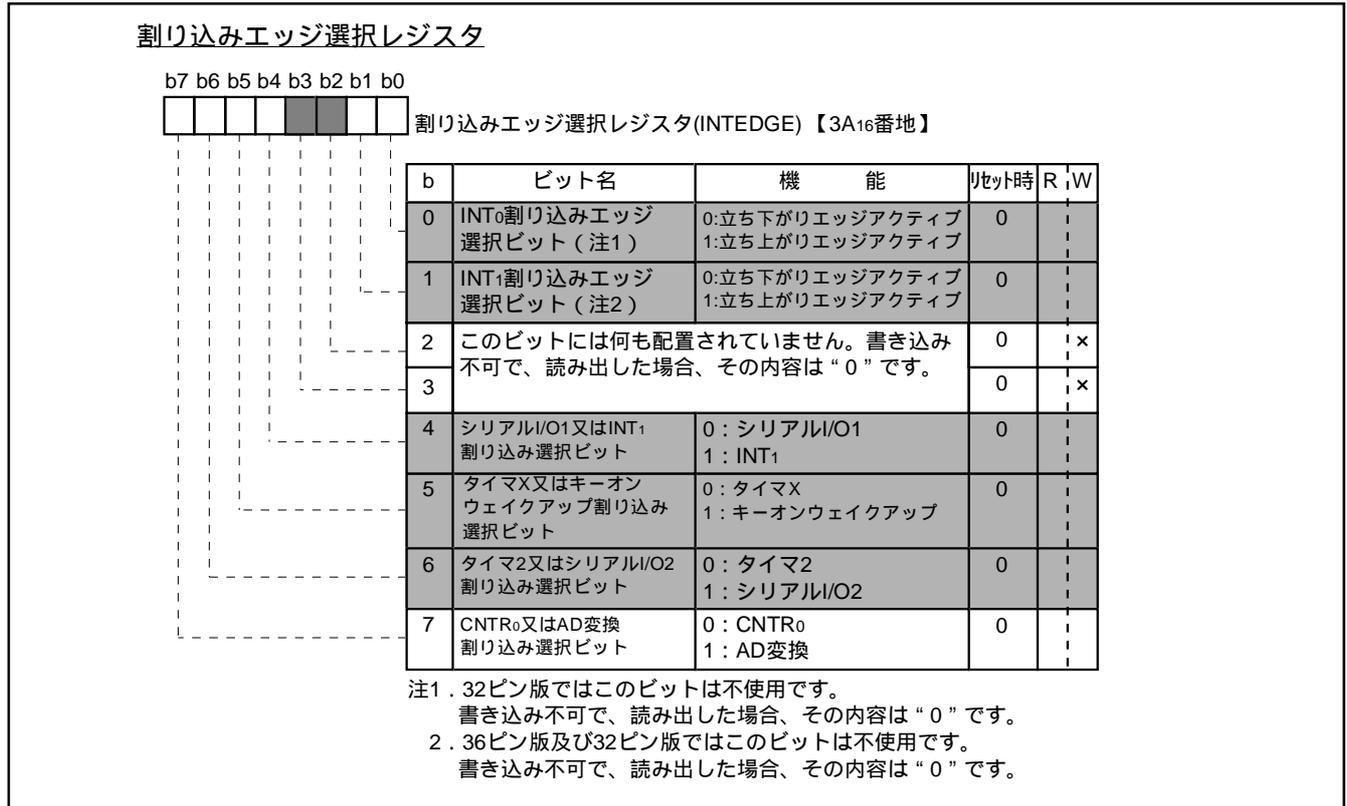


図2.5.5 割り込みエッジ選択レジスタの構成

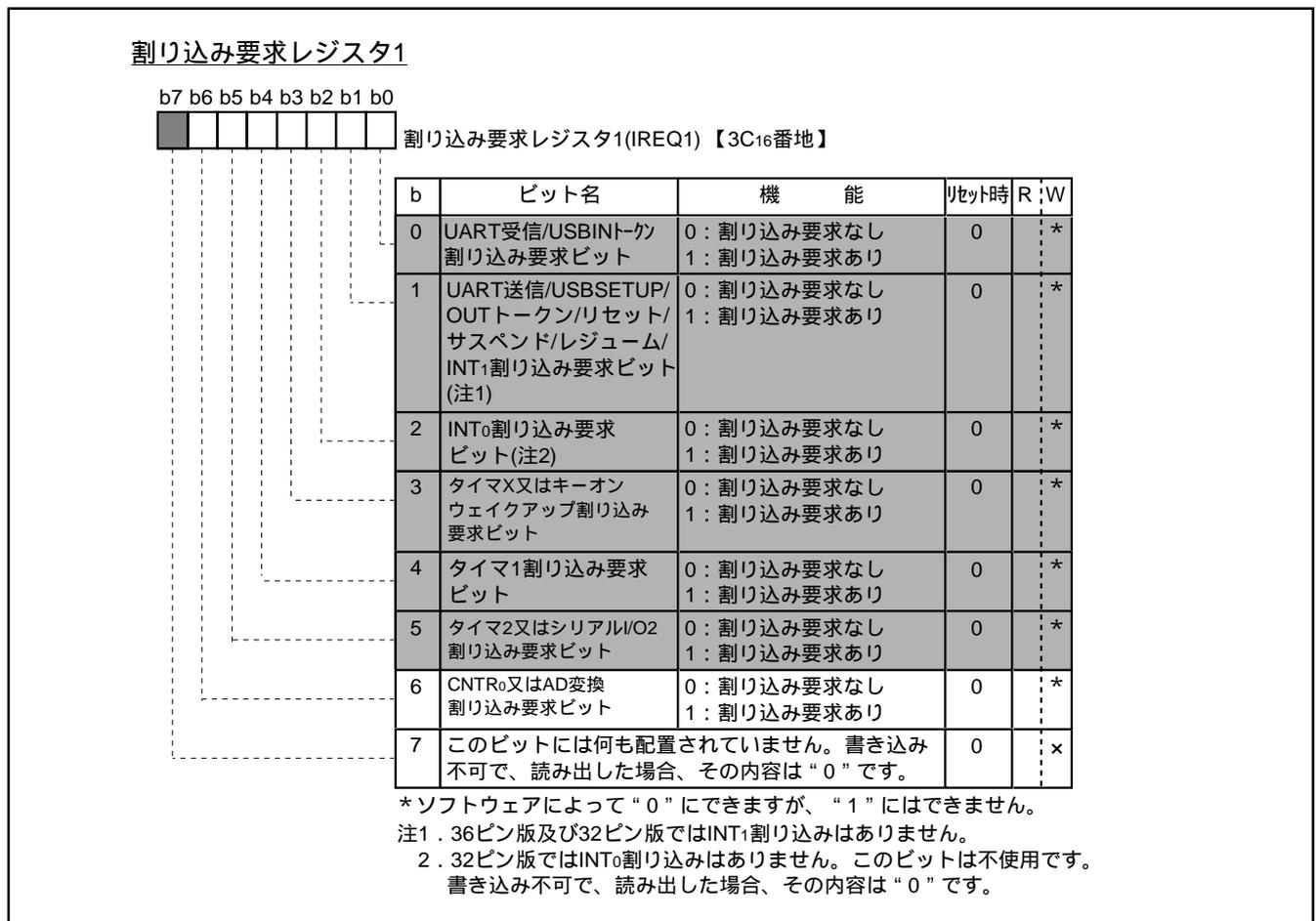


図2.5.6 割り込み要求レジスタ1の構成

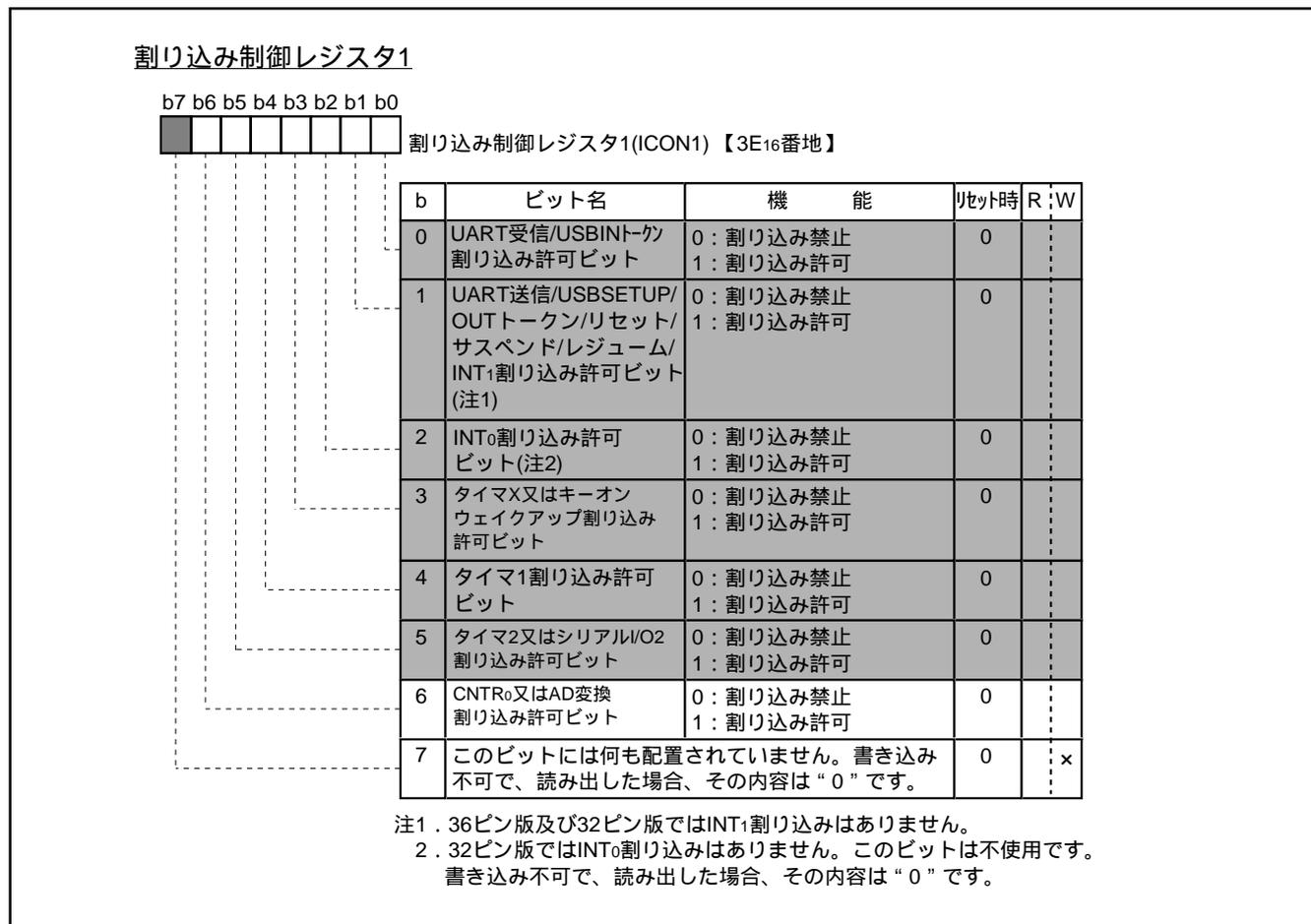


図2.5.7 割り込み制御レジスタ1の構成

2.5.3 A/D変換の応用例

アナログ信号の読み込み

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.5.8、関連レジスタの設定を図2.5.9に示します。

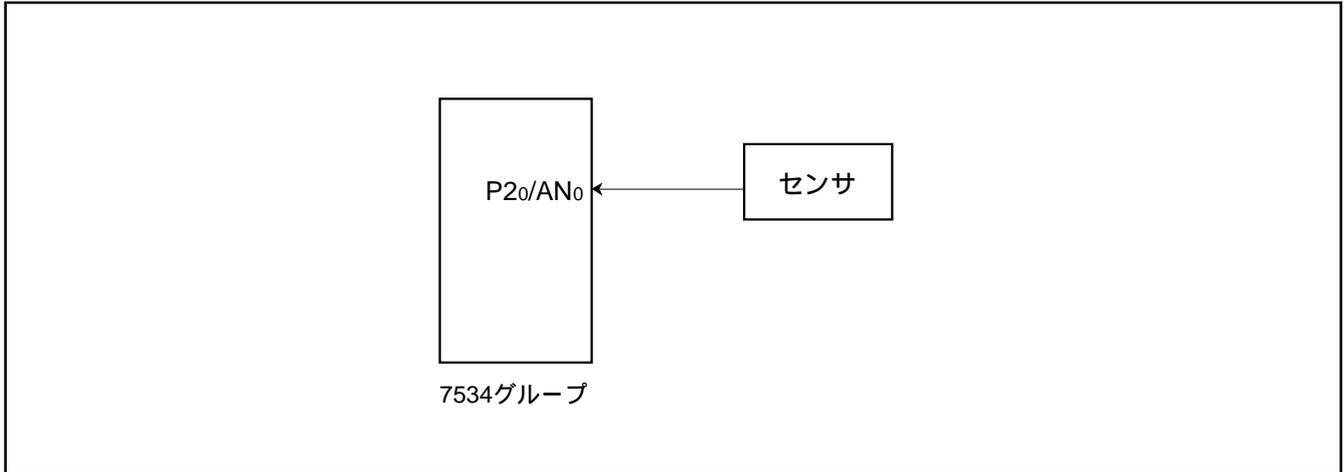


図2.5.8 接続図

- 仕 様：・センサからアナログ入力電圧をデジタル値に変換。
- ・アナログ入力端子にはP20/AN0端子を使用。

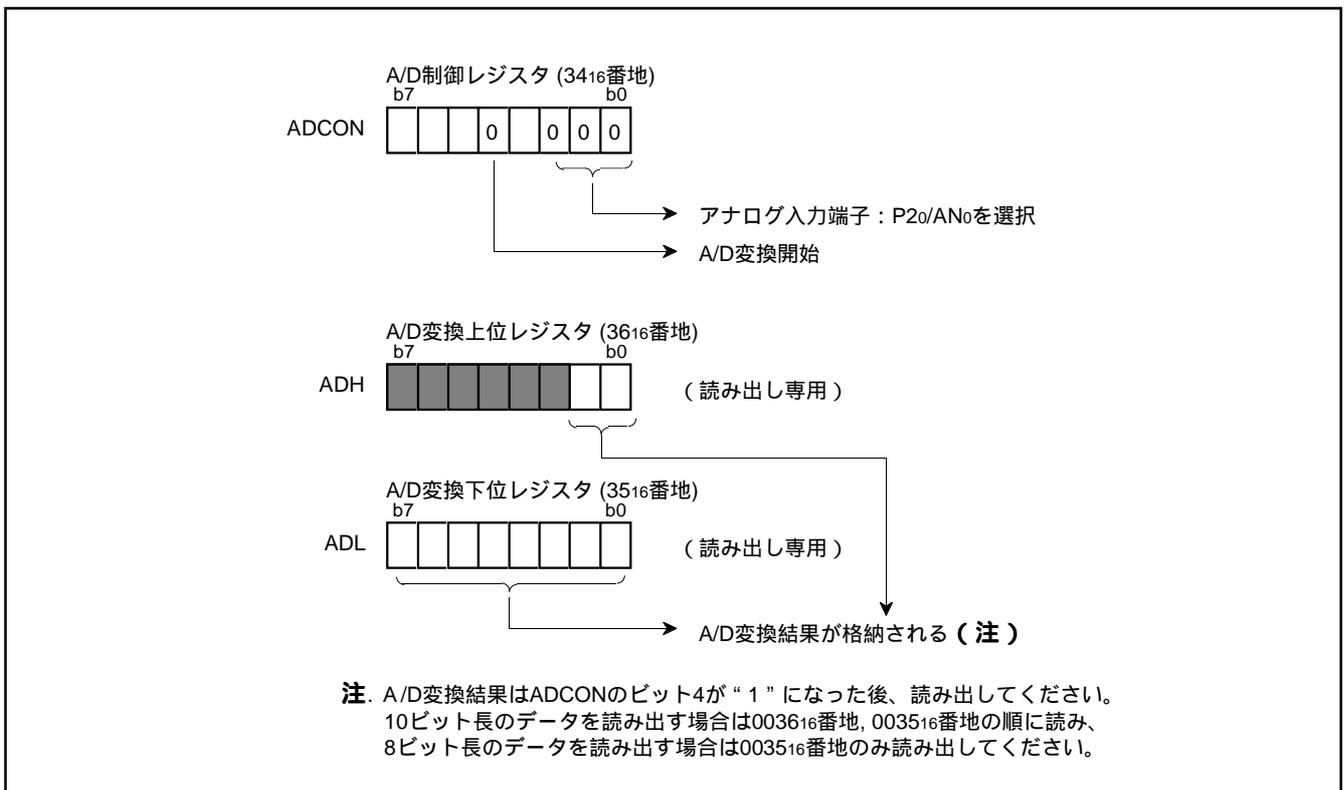


図2.5.9 関連レジスタの設定

図2.5.9に示す関連レジスタの設定を行うとセンサからアナログ入力信号をデジタル値に変換します。図2.5.10に8ビット読み出し時の制御手順を、図2.5.11に10ビット読み出し時の制御手順を示します。

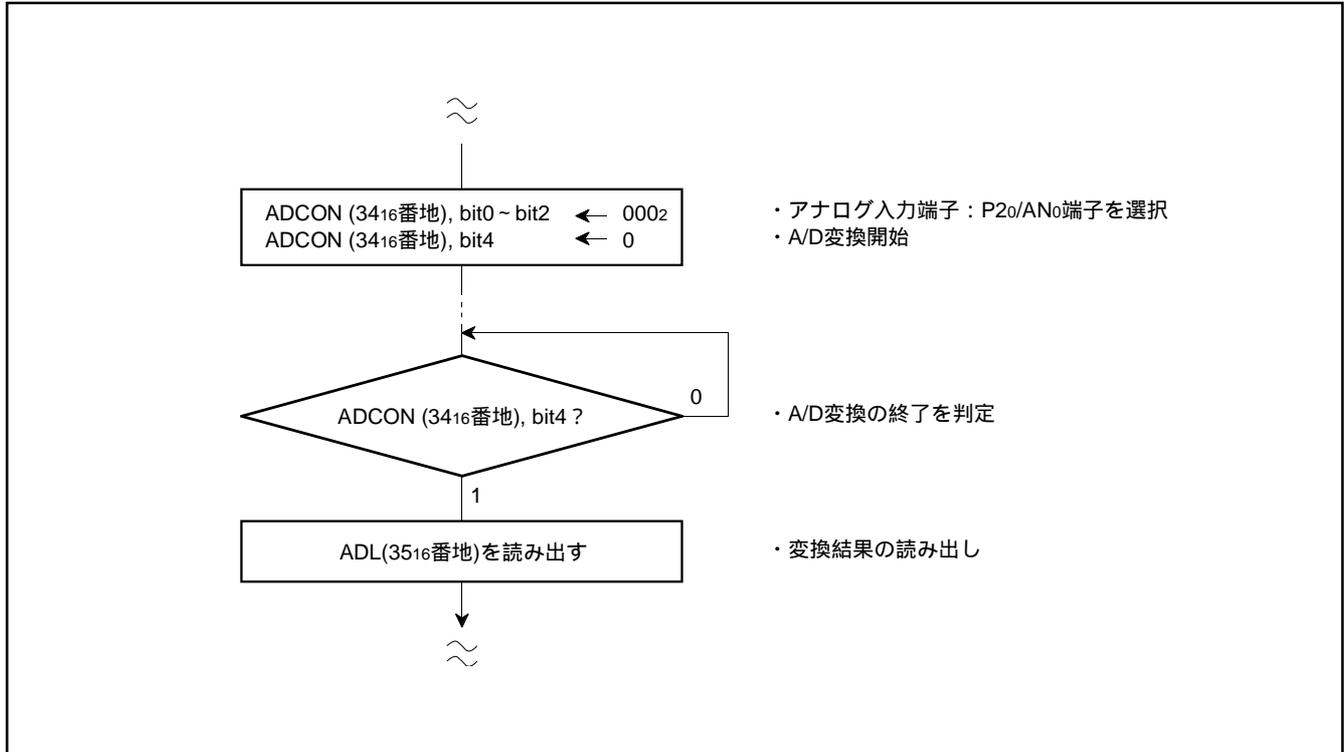


図2.5.10 制御手順(8ビット読み出し時)

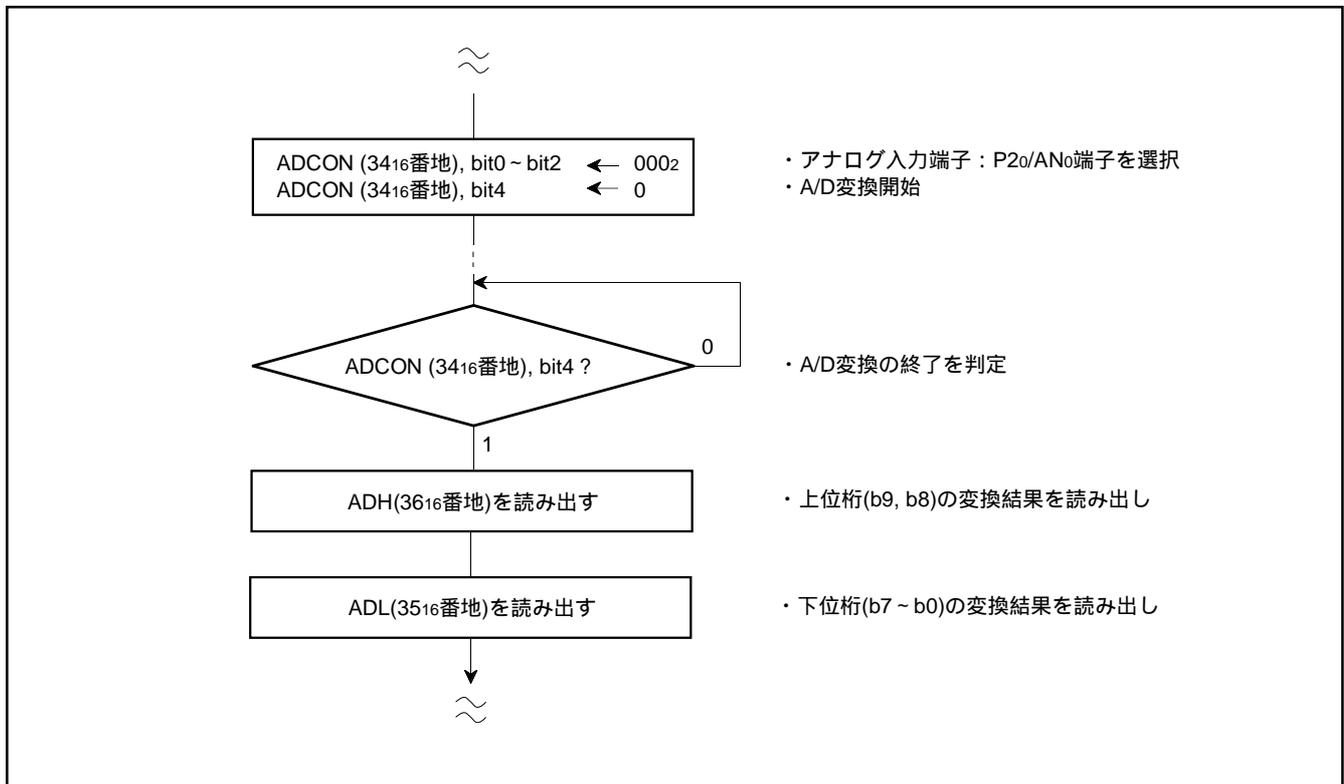


図2.5.11 制御手順(10ビット読み出し時)

2.5.4 A/Dコンバータに関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、0.01 μ F ~ 1 μ Fの外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

(2) A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・ f(XIN)は500kHz以上にしてください。
- ・ STP命令は実行しないでください。

(3) 安定にご使用いただくための補足情報

A/Dコンバータを安定にご使用いただくための補足情報に次があります。

(a) USB HOST側からバスパワー^(*)を得るシステムで、USB通信中にA/D変換の精度が安定しない場合があります。そこで、より安定したA/D変換精度を得るためのポイントとして、Vref Vss端子間に図2.5.12のように部品を取り付けることで、より安定した精度が期待できます。

(*) : USBケーブル経由でPCからの電源を使用する方法

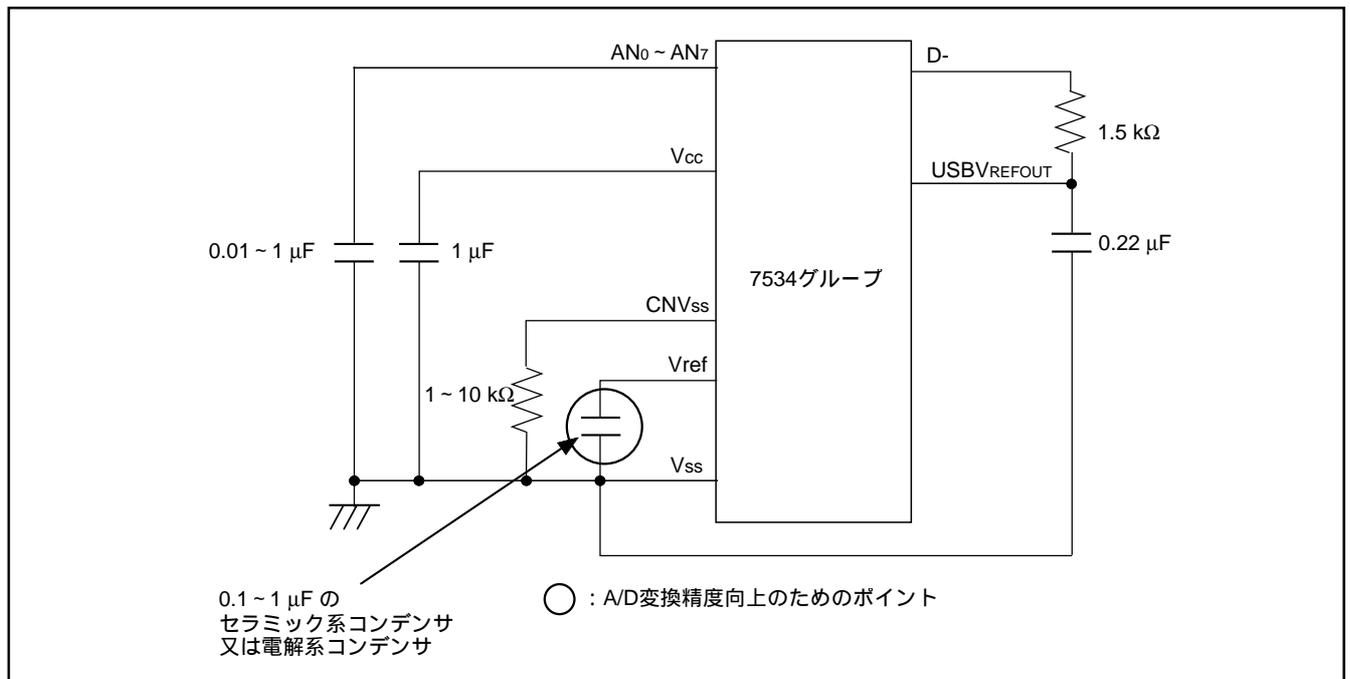


図2.5.12 A/D変換精度向上のためのポイント

(b) ファームウェア上で以下の2点を実施することで、さらに精度向上が期待できます。
 USB通信とA/D変換のタイミングが重ならないように設定する。
 複数回変換を行い、平均化処理を行う。

2.6 リセット

2.6.1 リセットICを用いた接続例

INT割り込みでシステム電源の低下を検出することによって、RAMバックアップモードに切り替えるシステム例を図2.6.1に示します。

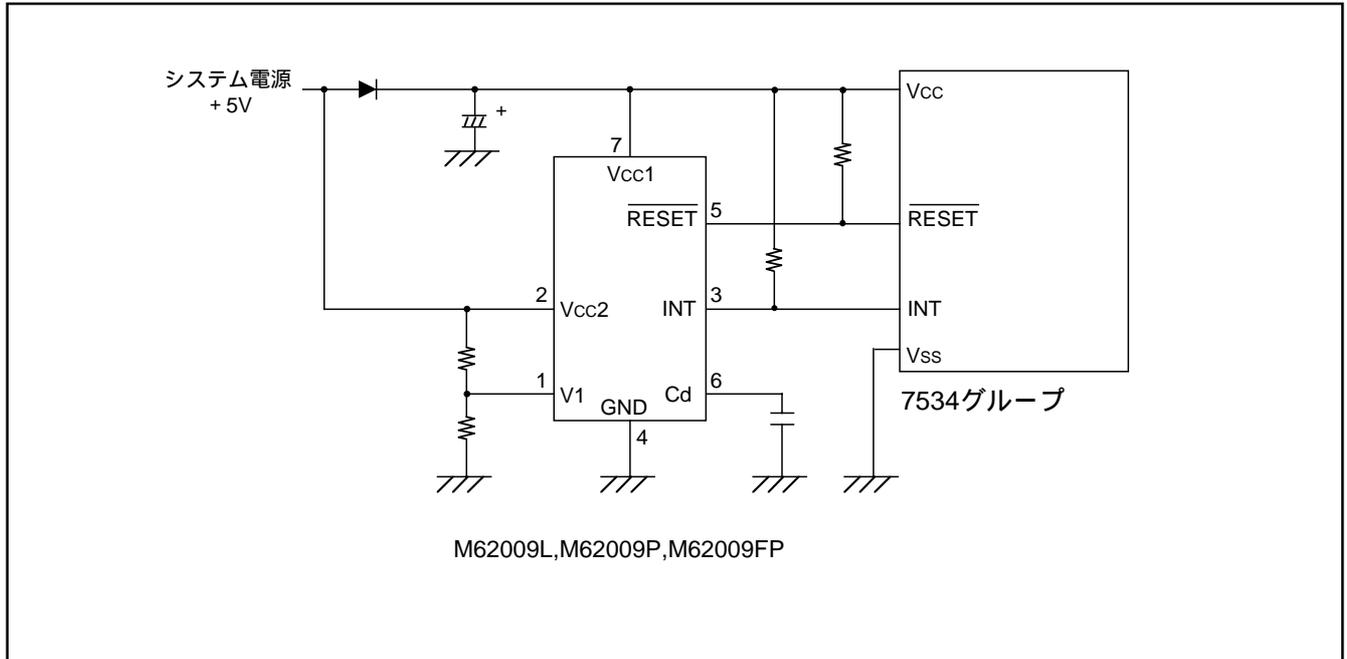


図2.6.1 パワーオンリセット及びRAMバックアップシステム

2.6.2 リセット端子に関する注意事項

コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、 $\overline{\text{RESET}}$ 端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

$\overline{\text{RESET}}$ 入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

レイアウトの都合上、このページは白紙です。

第3章

付録

- 3.1 電気的特性
- 3.2 標準特性
- 3.3 使用上の注意事項
- 3.4 ノイズに関する注意事項
- 3.5 レジスター一覧
- 3.6 パッケージ寸法図
- 3.7 機械語命令一覧表
- 3.8 命令コード一覧表
- 3.9 SFRメモリマップ
- 3.10 ピン接続図

3.1 電気的特性

3.1.1 絶対最大定格

表3.1.1 絶対最大定格

記号	項目	条件	定格値	単位
Vcc	電源電圧	Vss端子を基準にして測定する。出力トランジスタは遮断状態。	- 0.3 ~ 7.0	V
Vi	入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, VREF, P40, P41		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ Vcc + 0.3	V
Vi	入力電圧 CNVss(注1)		- 0.3 ~ 13	V
Vo	出力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, XOUT, USBVREFOUT, P40, P41		- 0.3 ~ Vcc + 0.3	V
Pd	消費電力(注2)	Ta = 25	100(注3)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 40 ~ 125	

注1．ワンタイムPROM版のみの定格です。マスクROM版では、Vssに接続してください。

2．この定格値はパッケージに依存します。

3．42ピン版の消費電力値です。36ピン版は300mW、32ピン版は200mWです。

3.1.2 推奨動作条件

表3.1.2 推奨動作条件(1)(指定のない場合, $V_{CC} = 4.1 \sim 5.5V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
VCC	電源電圧 6MHz動作時	4.1	5.0	5.5	V
VSS	電源電圧		0		V
VREF	アナログ基準電圧	2.0		VCC	V
VIH	"H"入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41	0.8VCC		VCC	V
VIH	"H"入力電圧(TTL入力レベル選択時) P10, P12, P13, P36, P37	2.0		VCC	V
VIH	"H"入力電圧 RESET, XIN	0.8VCC		VCC	V
VIH	"H"入力電圧 D+, D-	2.0		3.6	V
VIL	"L"入力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41	0		0.3VCC	V
VIL	"L"入力電圧(TTL入力レベル選択時) P10, P12, P13, P36, P37	0		0.8	V
VIL	"L"入力電圧 RESET, CNVSS	0		0.2VCC	V
VIL	"L"入力電圧 D+, D-	0		0.8	V
VIL	"L"入力電圧 XIN	0		0.16VCC	V
IOH(peak)	"H"出力総尖頭電流(注1) P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41			- 80	mA
IOL(peak)	"L"出力総尖頭電流(注1) P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41			80	mA
IOL(peak)	"L"出力総尖頭電流(注1) P30 ~ P36			60	mA
IOH(avg)	"H"出力総平均電流(注1) P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41			- 40	mA
IOL(avg)	"L"出力総平均電流(注1) P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41			40	mA
IOL(avg)	"L"出力総平均電流(注1) P30 ~ P36			30	mA
IOH(peak)	"H"出力尖頭電流(注2) P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41			- 10	mA
IOL(peak)	"L"出力尖頭電流(注2) P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41			10	mA
IOL(peak)	"L"出力尖頭電流(注2) P30 ~ P36			30	mA
IOH(avg)	"H"出力平均電流(注3) P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41			- 5	mA
IOL(avg)	"L"出力平均電流(注3) P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41			5	mA
IOL(avg)	"L"出力平均電流(注3) P30 ~ P36			15	mA
f(XIN)	発振周波数(注4) セラミック発振又は外部クロック入力時 ($V_{CC}=4.1 \sim 5.5V$)倍速モード			6	MHz

注1. 出力総電流は該当するポートすべてに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

- 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
- 平均出力電流IOL(avg), IOH(avg)は100msの期間での平均値です。
- 発振周波数はデューティ50%の場合です。

3.1.3 電気的特性

表3.1.3 電気的特性(1) (指定のない場合は, $V_{CC} = 4.1 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37(注1) P40, P41	$I_{OH} = -5mA$ $V_{CC} = 4.1 \sim 5.5V$	$V_{CC} - 1.5$			V
		$I_{OH} = -1.0mA$ $V_{CC} = 4.1 \sim 5.5V$	$V_{CC} - 1.0$			V
VOH	“H”出力電圧 D+, D-	$V_{CC} = 4.4 \sim 5.25V$ D+,D-共に、 $15k \pm 5\%$ 抵抗を介してプルダウン D-については、 USBVREFOUTにより、 $1.5k \pm 5\%$ 抵抗を介してプルアップ ($T_a = 0 \sim 70$)	2.8		3.6	V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P16, P20 ~ P27, P37, P40, P41	$I_{OL} = 5mA$ $V_{CC} = 4.1 \sim 5.5V$			1.5	V
		$I_{OL} = 1.5mA$ $V_{CC} = 4.1 \sim 5.5V$			0.3	V
VOL	“L”出力電圧 D+, D-	$V_{CC} = 4.4 \sim 5.25V$ D+,D-共に、 $15k \pm 5\%$ 抵抗を介してプルダウン D-については、 USBVREFOUTにより、 $1.5k \pm 5\%$ 抵抗を介してプルアップ ($T_a = 0 \sim 70$)			0.3	V
VOL	“L”出力電圧 P30 ~ P36	$I_{OL} = 15mA$ $V_{CC} = 4.1 \sim 5.5V$			2.0	V
		$I_{OL} = 1.5mA$ $V_{CC} = 4.1 \sim 5.5V$			0.3	V
VT+ - VT-	ヒステリシス D+, D-			0.15		V
VT+ - VT-	ヒステリシス CNTR0, INT0, INT1(注2) P00 ~ P07(注3)			0.4		V
VT+ - VT-	ヒステリシス RXD, SCLK, SDATA(注2)			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
IiH	“H”入力電流 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41	$V_i = V_{CC}$ (端子はフローティングプルアップトランジスタは切り離し状態)			5.0	μA
IiH	“H”入力電流 RESET	$V_i = V_{CC}$			5.0	μA
IiH	“H”入力電流 XIN	$V_i = V_{CC}$		4		μA
IiL	“L”入力電流 P00 ~ P07, P10 ~ P16, P20 ~ P27, P30 ~ P37, P40, P41	$V_i = V_{SS}$ (端子はフローティングプルアップトランジスタは切り離し状態)			- 5.0	μA
IiL	“L”入力電流 RESET, CNVSS	$V_i = V_{SS}$			- 5.0	μA
IiL	“L”入力電流 XIN	$V_i = V_{SS}$		- 4		μA
IiL	“L”入力電流 P00 ~ P07, P30 ~ P37	$V_i = V_{SS}$ (プルアップトランジスタ接続時)		- 0.2	- 0.5	mA
VRAM	RAM保持電圧	クロック停止時	2.0		5.5	V

注1. P11に関しては、UART制御レジスタのPチャンネル出力禁止ビット(001B₁₆番地のビット4)が0の場合です。

2. RXD, SCLK, SDATA, INT0, INT1については、ポートP1P3制御レジスタのビット0, 1, 2が0 (CMOSレベル)の時のみヒステリシスを持ちます。

3. キーオンウェイクアップ動作時のみです。

表3.1.4 電気的特性(2) (指定のない場合は, $V_{CC} = 4.1 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
I _{CC}	電源電流	f(XIN) = 6MHz, 倍速モード 出力トランジスタは遮断状態		6	10	mA	
		f(XIN) = 6MHz, WIT命令実行時 出力トランジスタは遮断状態		1.6	3.2	mA	
		A/D変換器動作時の増量 f(XIN) = 6MHz, V _{CC} = 5V		0.8		mA	
		発振はすべて停止 (STP命令実行時) 出力トランジスタは遮断状態	T _a = 25		0.1	1.0	μA
			T _a = 85			10	μA
V _{CC} = 4.4 ~ 5.25V 発振停止でUSBモード時 USB(サスペンド時) (プルアップ抵抗出力分含む) (図3.1.1)	T _a = 0 ~ 70			300	μA		

3.1.4 A/Dコンバータ特性

表3.1.5 A/Dコンバータ特性(指定のない場合は, $V_{CC} = 4.1 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	分解能				10	bits
—	直線性誤差	T _a = 25, V _{CC} = 4.1 ~ 5.5V			±3	LSB
—	微分非直線性誤差	T _a = 25, V _{CC} = 4.1 ~ 5.5V			±0.9	LSB
VOT	ゼロトランジション 電圧	V _{CC} = V _{REF} = 5.12V	0	5	20	mV
V _{FST}	フルスケールトランジ ション電圧	V _{CC} = V _{REF} = 5.12V	5105	5115	5125	mV
t _{CONV}	変換時間				122	t _C (XIN)
R _{LADDER}	ラダー抵抗			55		k
I _{VREF}	基準電源入力電流	V _{REF} = 5.0V	50	150	200	μA
		V _{REF} = 3.0V	30	70	120	
I _{I(AD)}	A/Dポート入力電流				5.0	μA

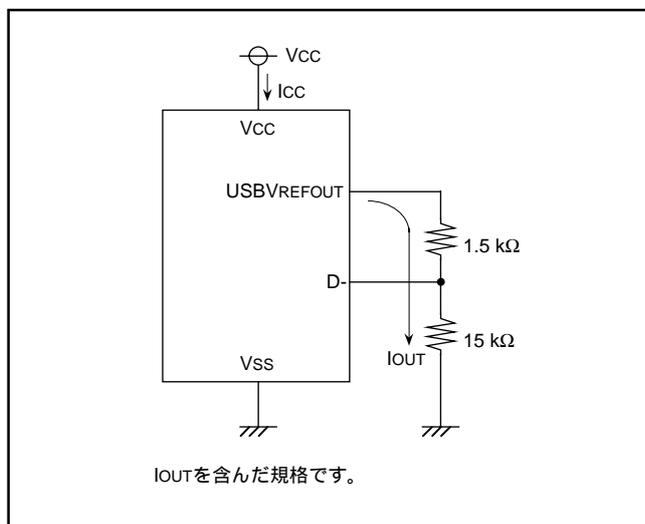


図3.1.1 発振停止でUSBモード時の電源電流測定回路図

3.1.5 タイミング必要条件

表3.1.6 タイミング必要条件(指定のない場合は, $V_{CC} = 4.1 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
tw(RESET)	リセット入力 L 雑パルス幅	15			μs
tc(XIN)	外部クロック入力サイクル時間	166			ns
twh(XIN)	外部クロック入力 H 雑パルス幅	70			ns
twl(XIN)	外部クロック入力 L 雑パルス幅	70			ns
tc(CNTR)	CNTR ₀ 入力サイクル時間	200			ns
twh(CNTR)	CNTR ₀ , INT ₀ , INT ₁ 入力 H 雑パルス幅	80			ns
twl(CNTR)	CNTR ₀ , INT ₀ , INT ₁ 入力 L 雑パルス幅	80			ns
tc(SCLK)	シリアル/O ₂ クロック入力サイクル時間	1000			ns
twh(SCLK)	シリアル/O ₂ クロック入力 H 雑パルス幅	400			ns
twl(SCLK)	シリアル/O ₂ クロック入力 L 雑パルス幅	400			ns
tsu(SDATA-SCLK)	シリアル/O ₂ 入力セットアップ時間	200			ns
th(SCLK-SDATA)	シリアル/O ₂ 入力ホールド時間	200			ns

3.1.6 スイッチング特性

表3.1.7 スイッチング特性(指定のない場合は, $V_{CC} = 4.1 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 85$)

記号	項目	規格値			単位
		最小	標準	最大	
twh(SCLK)	シリアル/O ₂ クロック出力 H 雑パルス幅	tc(SCLK)/2 - 30			ns
twl(SCLK)	シリアル/O ₂ クロック出力 L 雑パルス幅	tc(SCLK)/2 - 30			ns
td(SCLK-SDATA)	シリアル/O ₂ 出力遅延時間			140	ns
tv(SCLK-SDATA)	シリアル/O ₂ 出力有効時間	0			ns
tr(SCLK)	シリアル/O ₂ クロック出力立ち上がり時間			30	ns
tf(SCLK)	シリアル/O ₂ クロック出力立ち下がり時間			30	ns
tr(CMOS)	CMOS出力立ち上がり時間(注)		10	30	ns
tf(CMOS)	CMOS出力立ち下がり時間(注)		10	30	ns
tr(D+), tr(D-)	USB出力立ち上がり時間 CL = 200 ~ 450pF, $T_a = 0 \sim 70$, $V_{CC} = 4.4 \sim 5.25V$	75	150	300	ns
tf(D+), tf(D-)	USB出力立ち下がり時間 CL = 200 ~ 450pF, $T_a = 0 \sim 70$, $V_{CC} = 4.4 \sim 5.25V$	75	150	300	ns

注. XOUT端子を除きます。

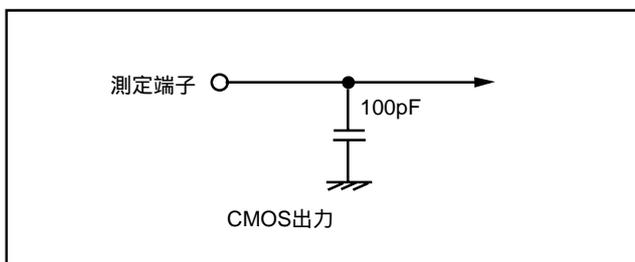


図3.1.2 スイッチング特性測定回路図

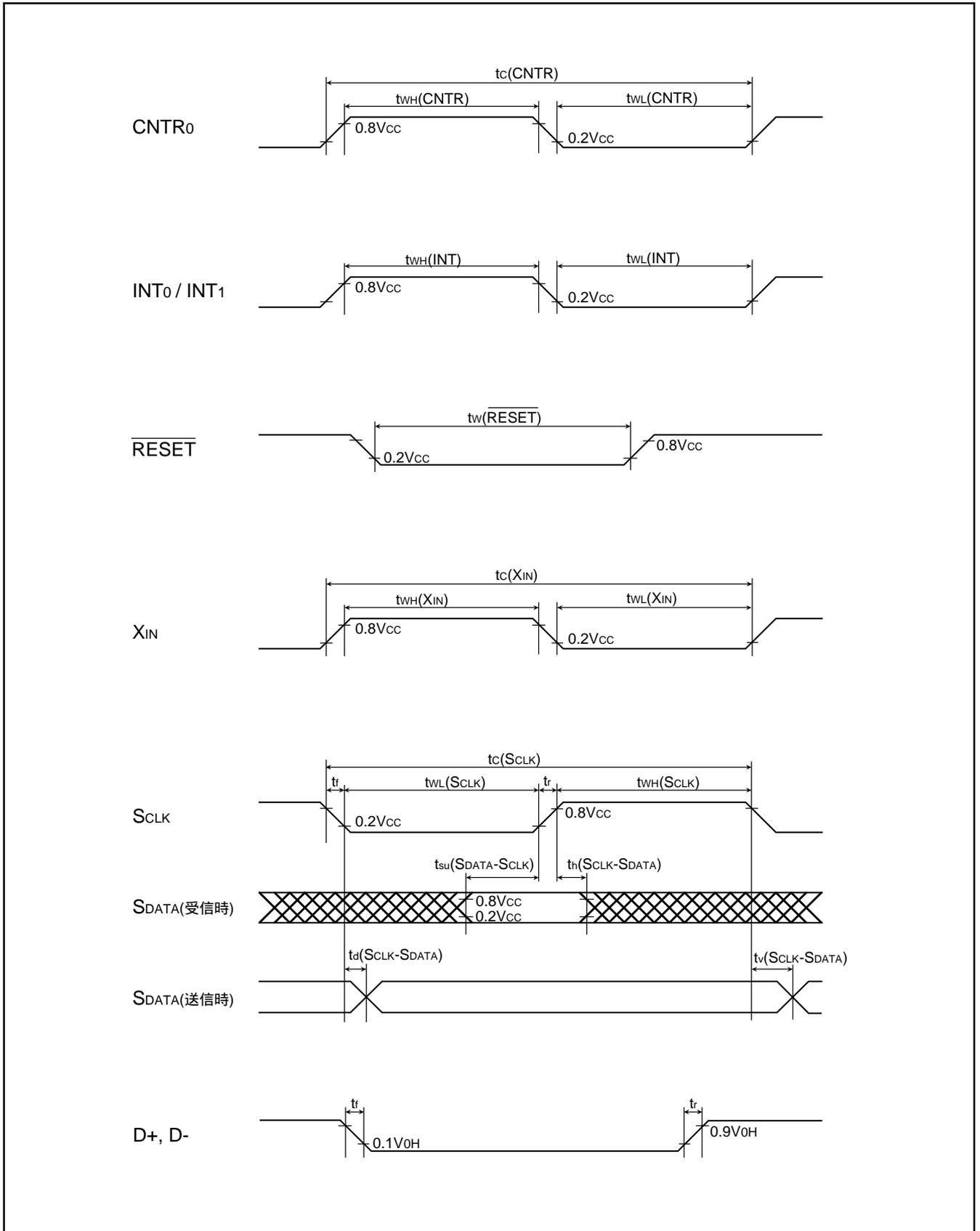


図3.1.3 タイミング図

3.2 標準特性

3.2.1 Vcc-Icc特性

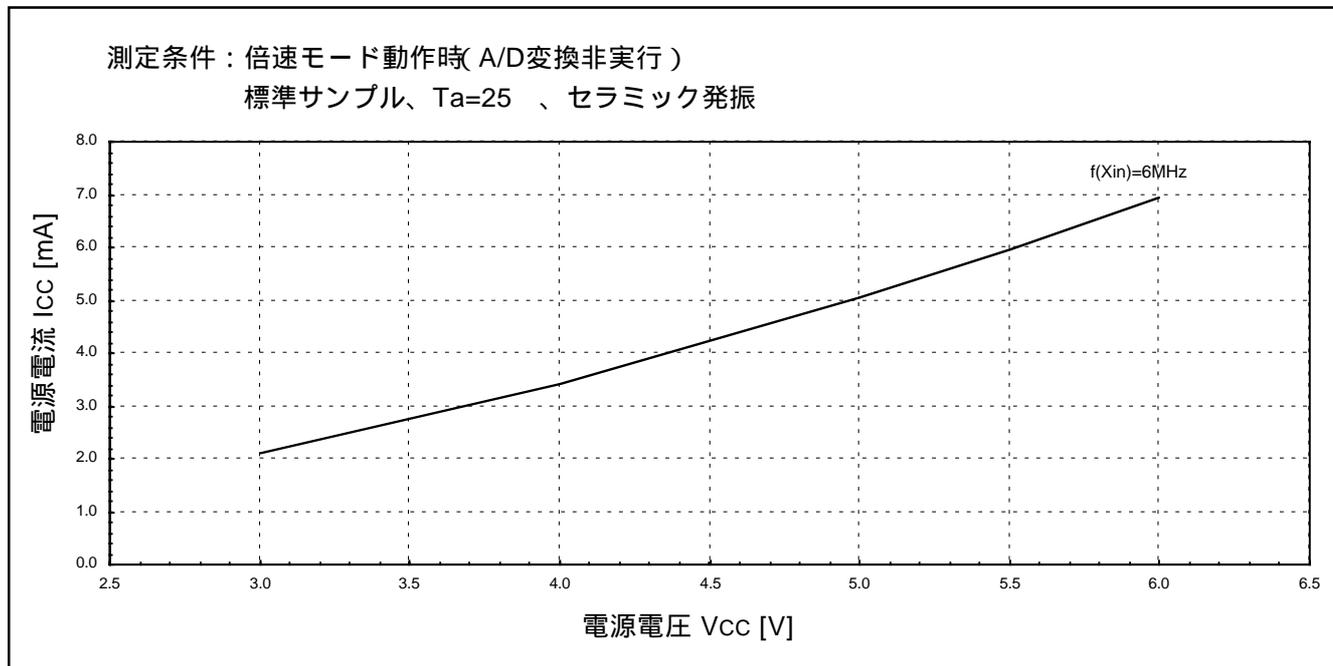


図3.2.1 Vcc-Icc特性(倍速モード動作時)

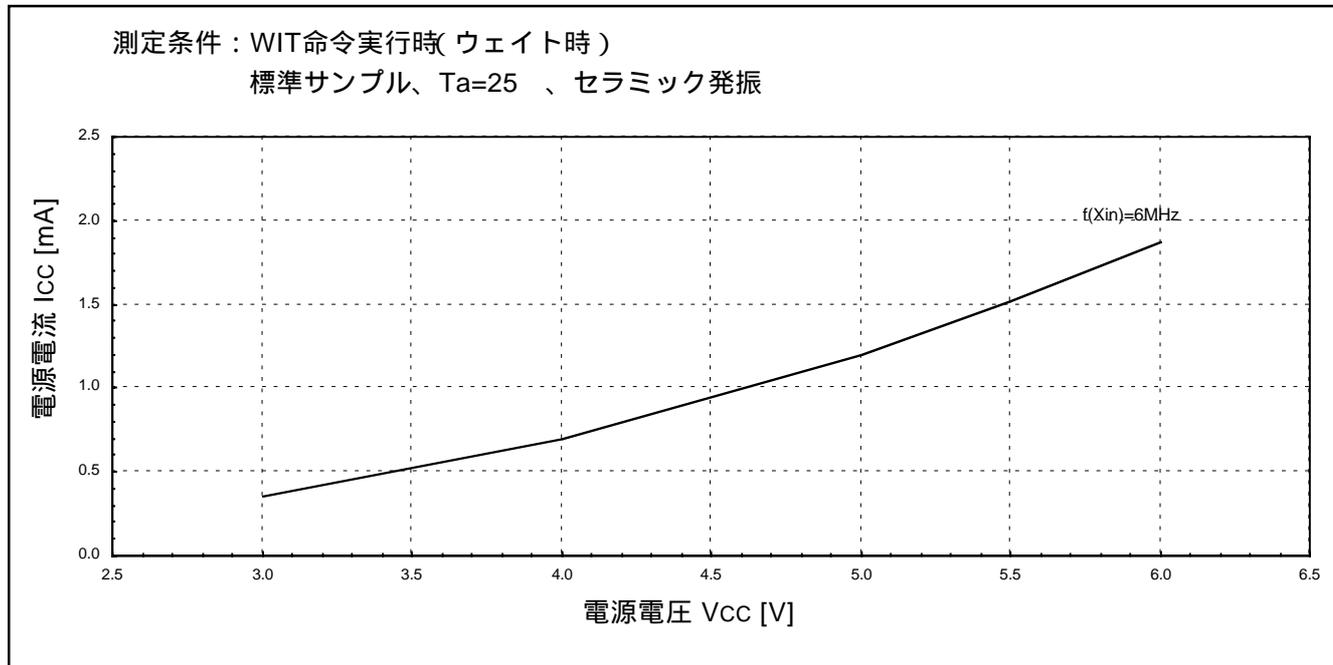


図3.2.2 Vcc-Icc特性(WIT命令実行時)

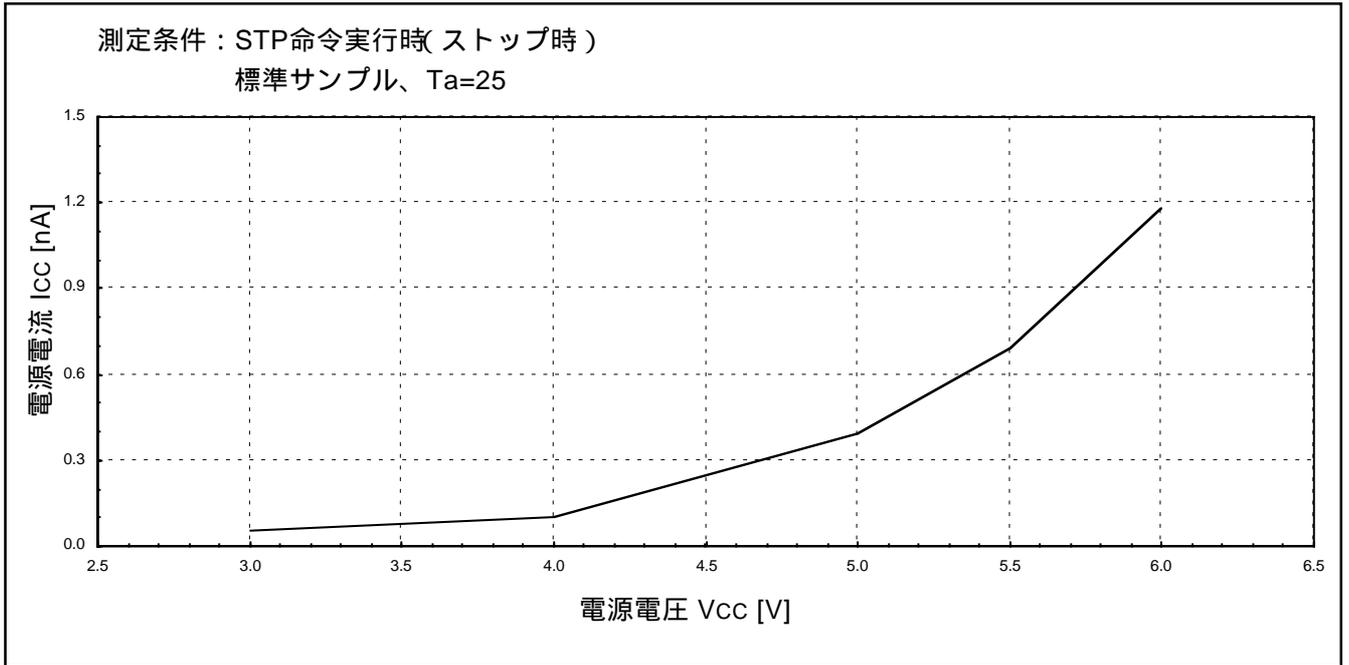


図3.2.3 VCC-ICC特性(STP命令実行時、Ta=25)

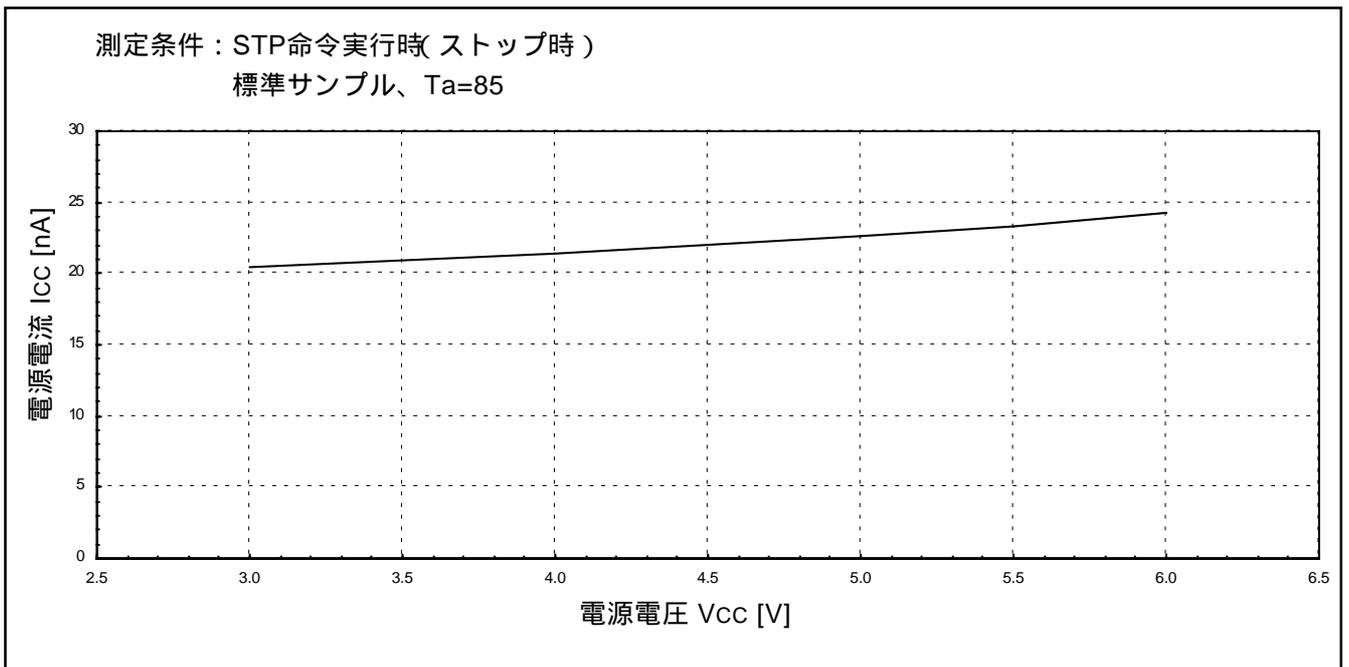


図3.2.4 VCC-ICC特性(STP命令実行時、Ta=85)

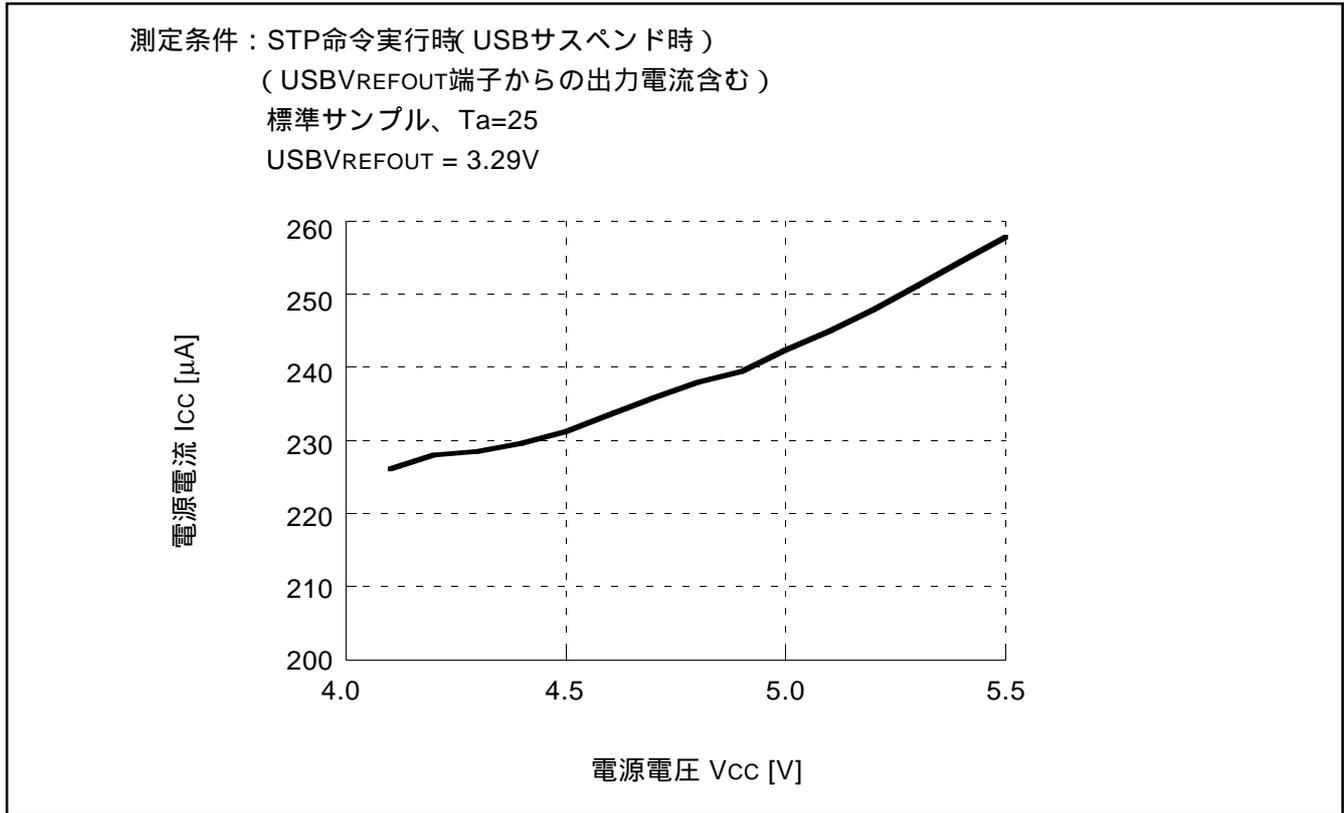


図3.2.5 Vcc-Icc特性(USBサスペンド時、Ta=25)

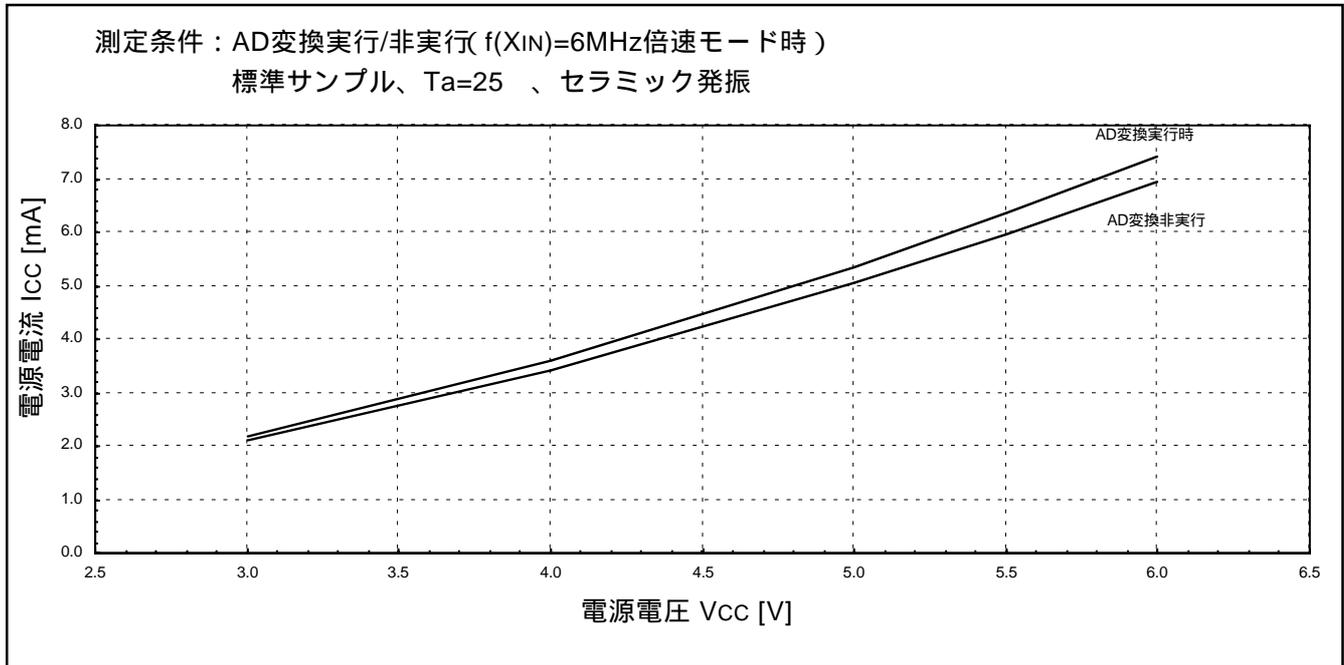


図3.2.6 Vcc-Icc特性(AD変換器動作時の増量($f(XIN)=6MHz$ 、倍速モード動作時、AD変換実行/非実行))

3.2.2 VOH-IOH特性

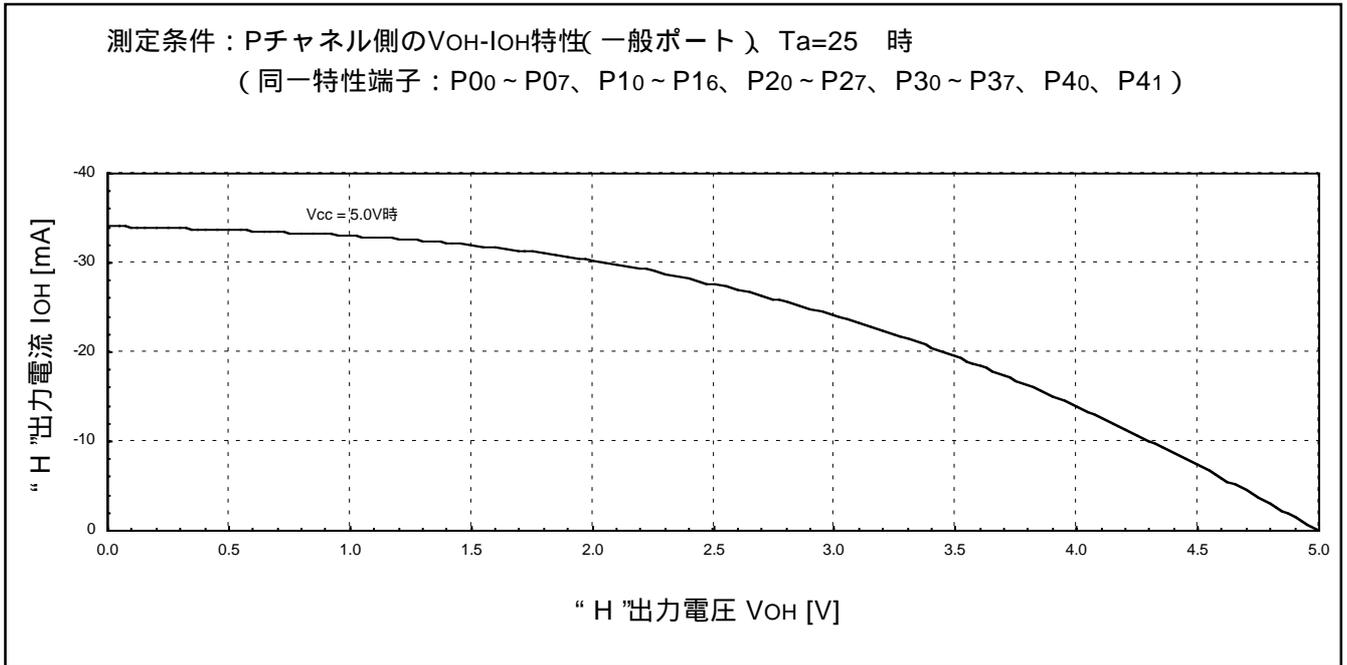


図3.2.7 Pチャンネル側のVOH-IOH特性(Ta=25 時): 一般ポート

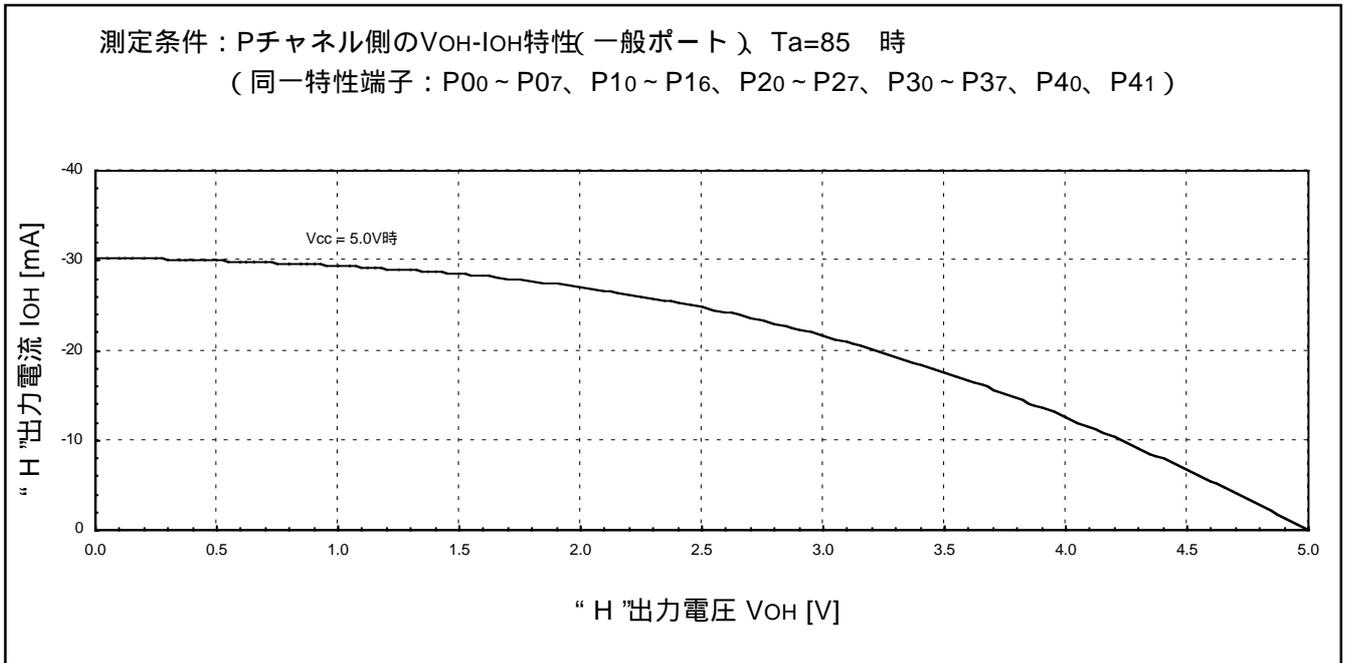


図3.2.8 Pチャンネル側のVOH-IOH特性(Ta=85 時): 一般ポート

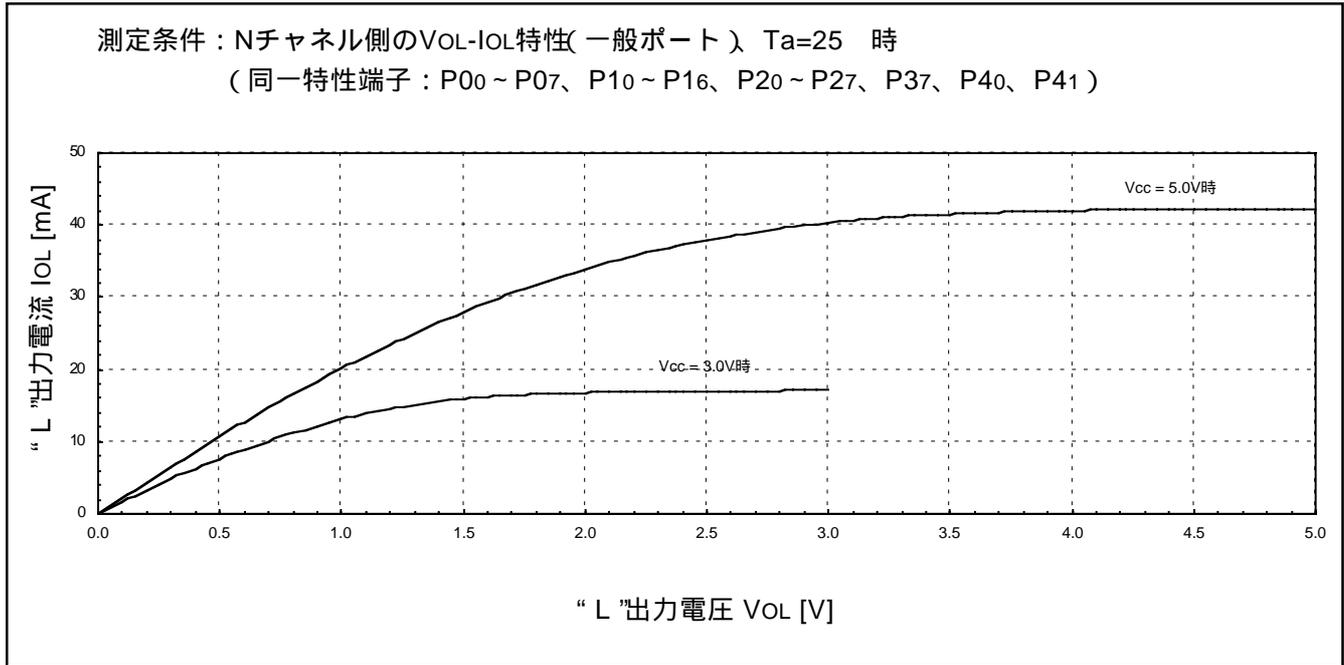


図3.2.9 Nチャンネル側のVOL-IOL特性(Ta=25 時)：一般ポート

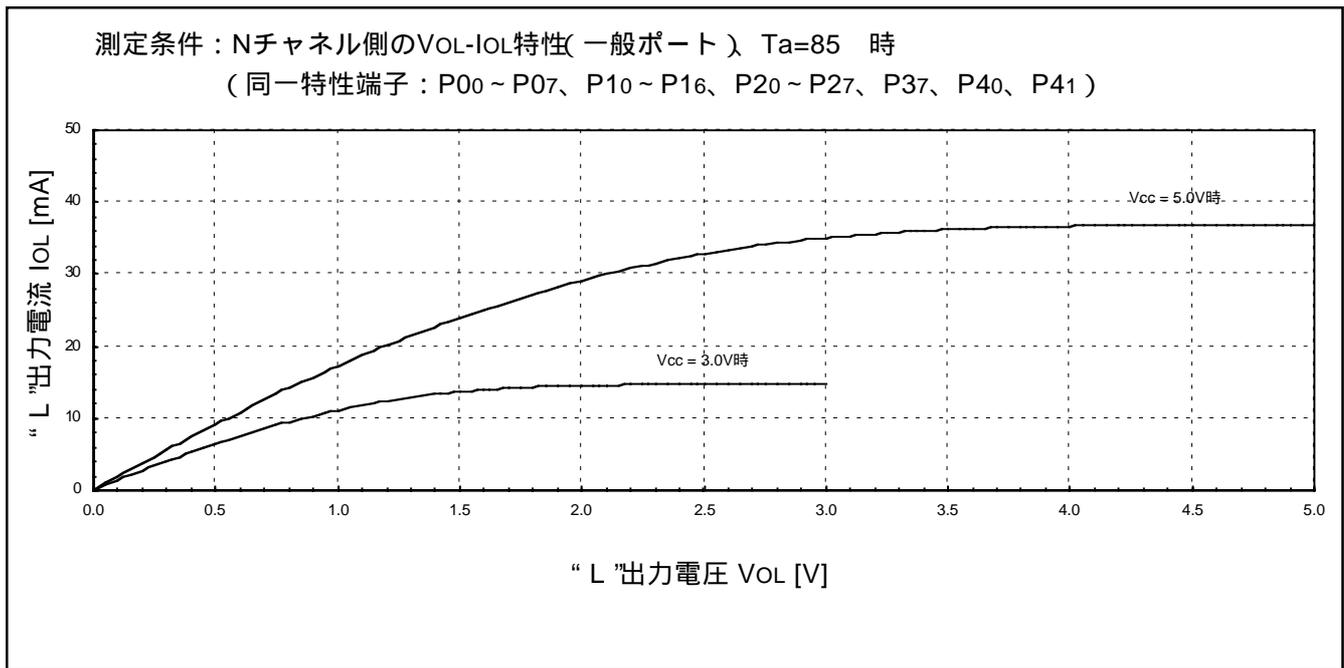


図3.2.10 Nチャンネル側のVOL-IOL特性(Ta=85 時)：一般ポート

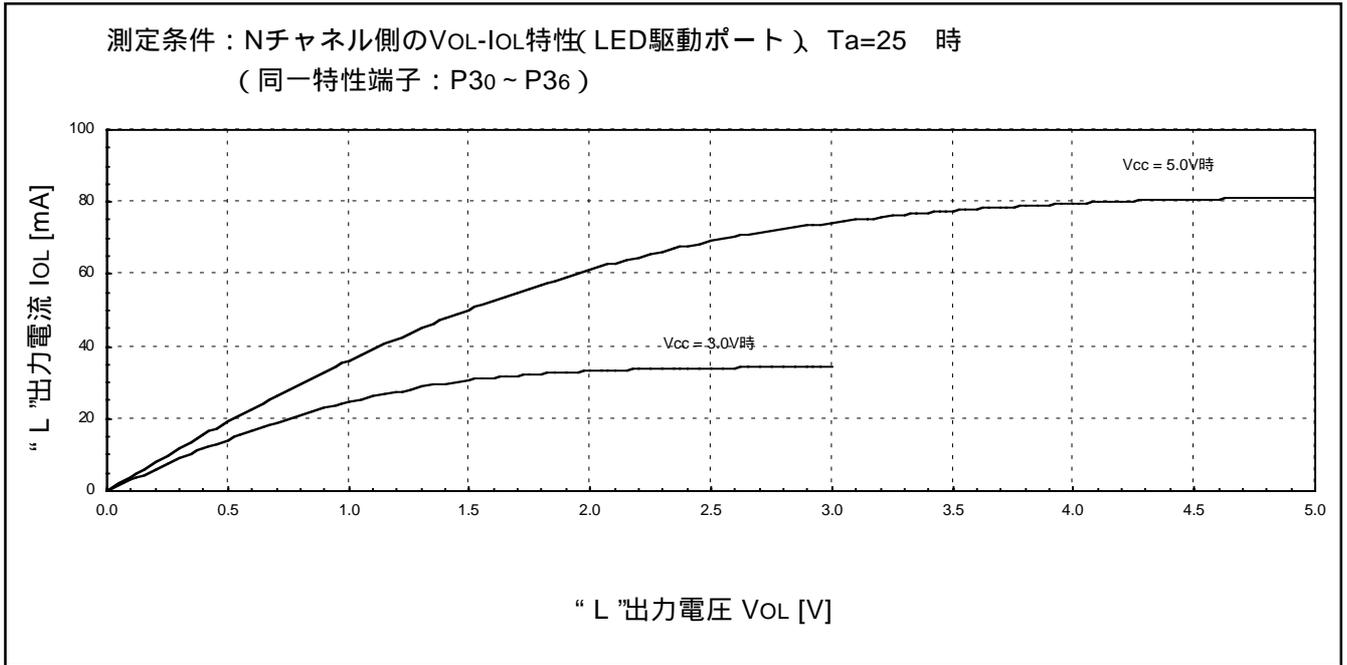


図3.2.11 Nチャネル側のVOL-IOL特性(Ta=25 時): LED駆動ポート

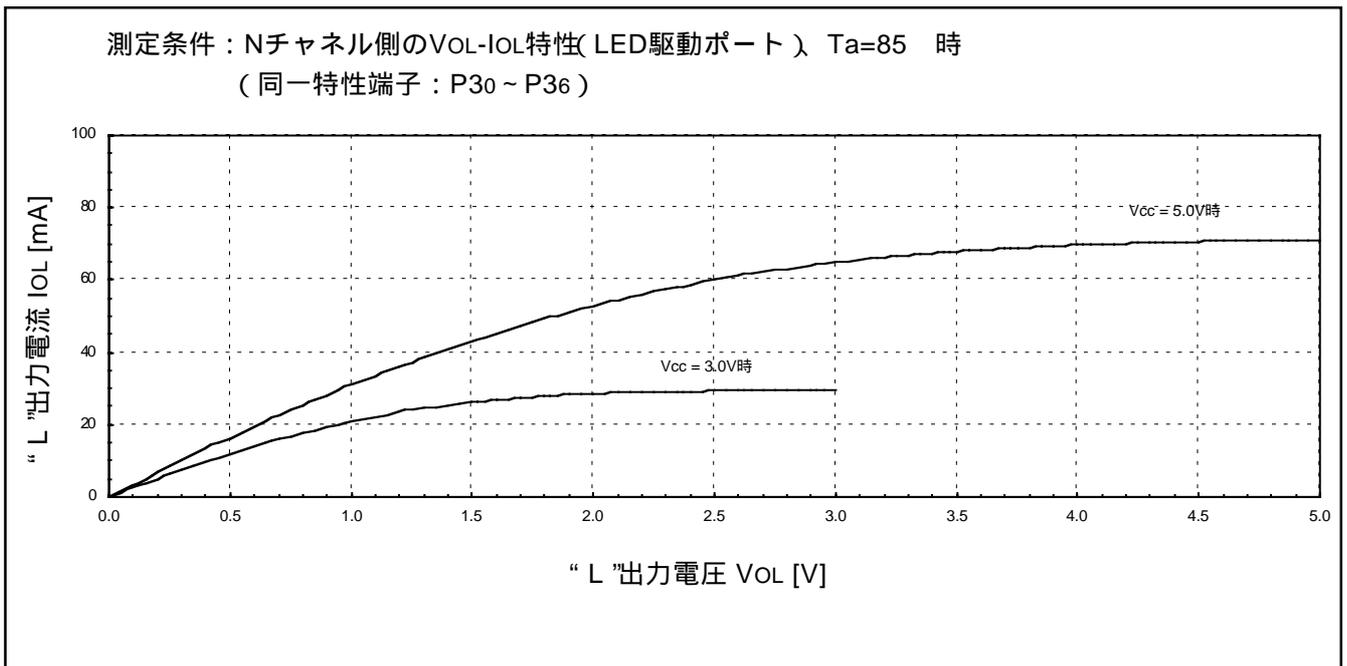


図3.2.12 Nチャネル側のVOL-IOL特性(Ta=85 時): LED駆動ポート

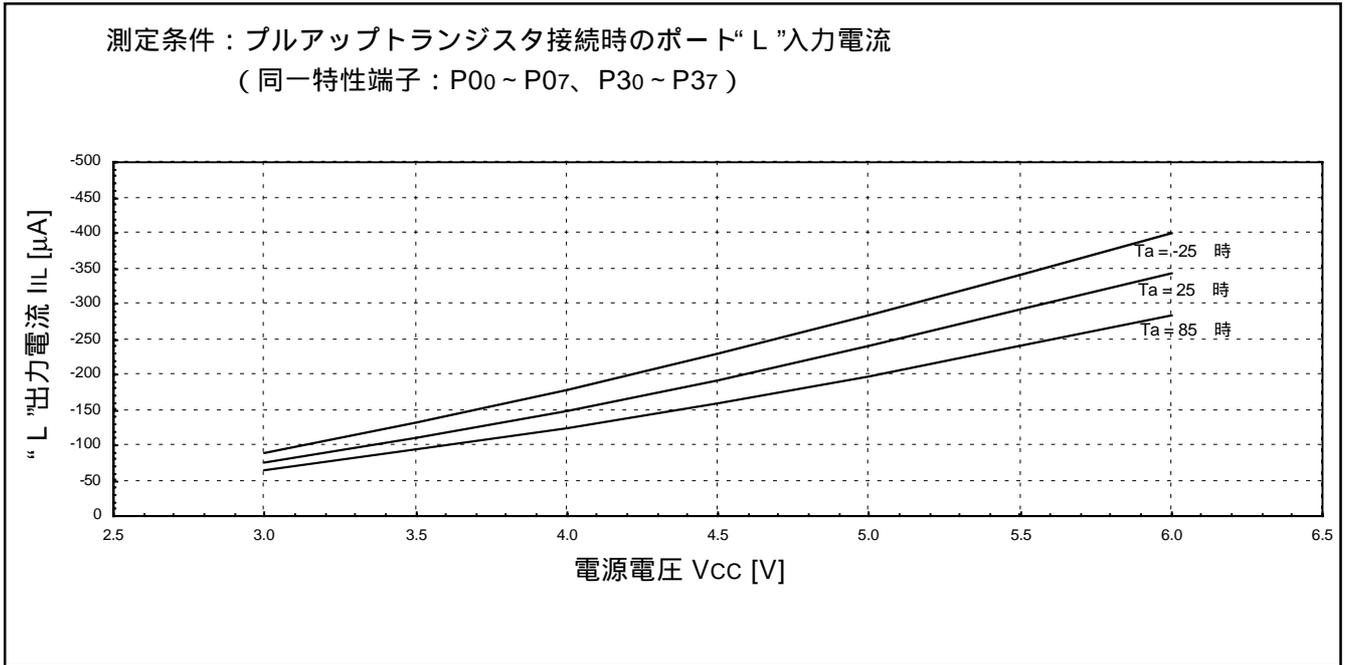


図3.2.13 プルアップトランジスタ接続時のポートL入力電流

3.2.3 A/D変換標準特性例

(1) A/D変換精度の定義

A/D変換精度の定義を以下に説明します。

相対精度

- ・ゼロトランジション電圧 実際のA/D変換出力データが0から1に変化するときのアナログ入力電圧を表します。
- ・フルスケールトランジション電圧 実際のA/D変換出力データが1023から1022に変化するときのアナログ入力電圧を表します。
- ・非直線性誤差 V_{0T} と V_{FST} を結んだ直線と実際のA/D変換出力データとの偏差を表します。
- ・微分非直線性誤差 相対精度において、 V_{0T} ～ V_{FST} 間で変換値を1LSB変化させるために必要な入力電位差からの偏差を表します。

絶対精度 実際のA/D変換特性の0～ V_{REF} 間の理想特性からの偏差を表します。

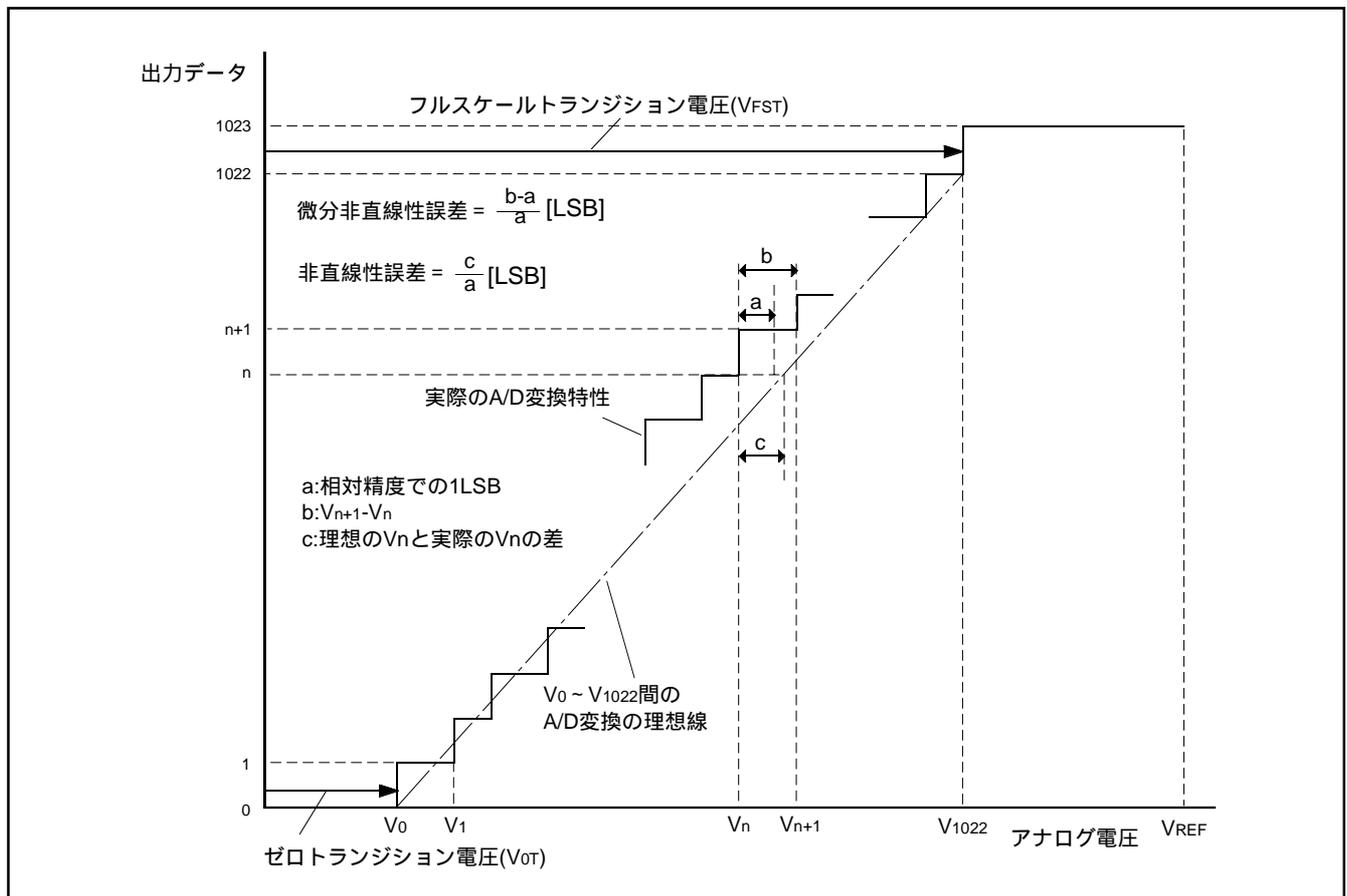


図3.2.14 A/D変換精度の定義

V_n : A/D変換出力データが n から $n+1$ ($n=0 \sim 1022$)に変化するときのA/D入力電圧

・ 相対精度の1LSB $\frac{V_{FST} - V_{0T}}{1022}$ (V)

・ 絶対精度の1LSB $\frac{V_{REF}}{1024}$ (V)

(2) A/D変換精度標準特性例

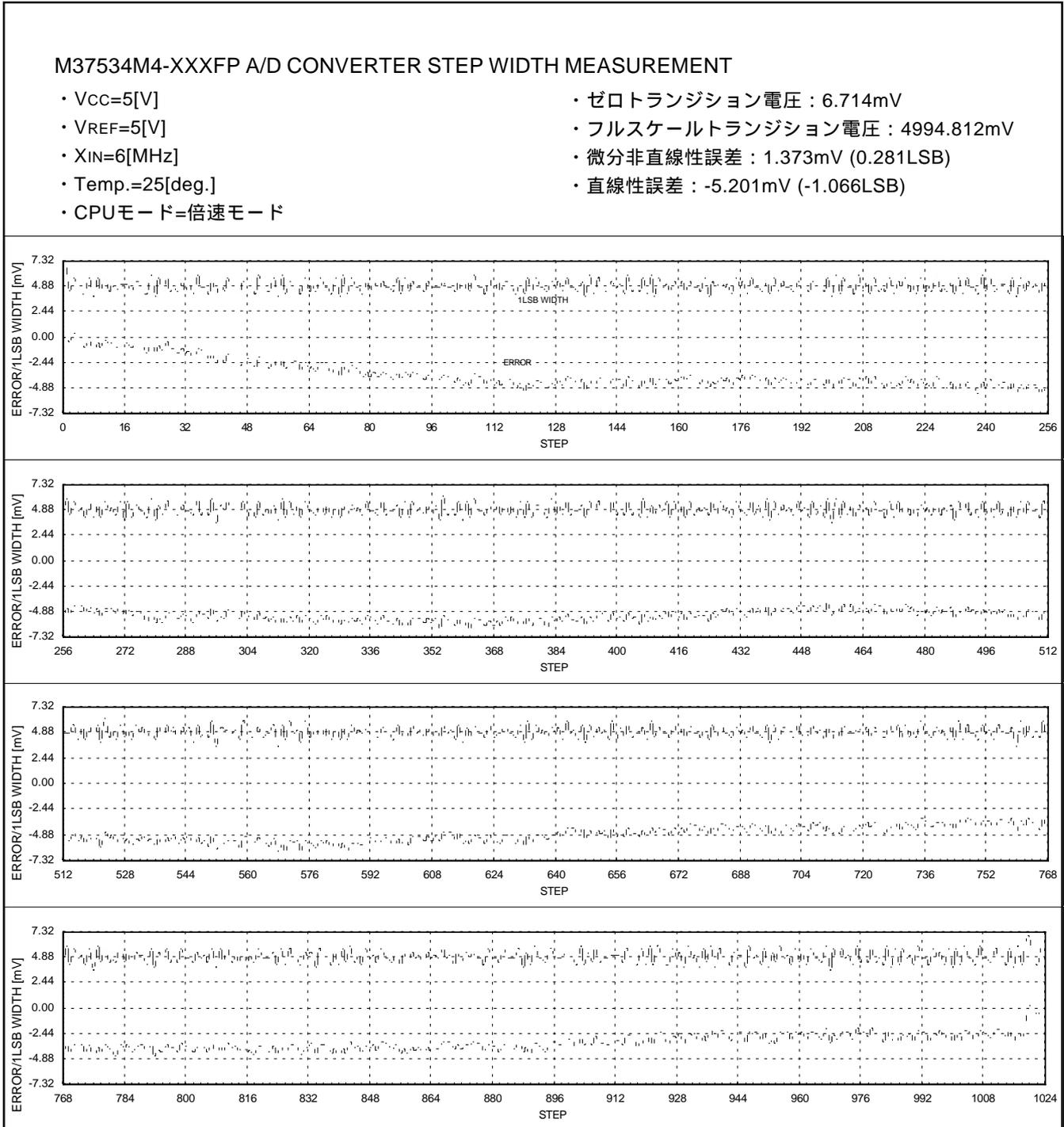


図3.2.15 A/D変換精度標準特性例

3.3 使用上の注意事項

3.3.1 割り込みに関する注意事項

(1) 割り込み要求ビット及び許可ビットの設定

割り込み準備のための割り込み要求ビットの設定と割り込み許可ビットの設定は以下の順番に従って別々の命令で実行してください。

割り込み要求ビットを“0”(割り込み要求なし)にする。

割り込み許可ビットを“1”(割り込み許可)にする。

理由

上記の設定を1つの命令で行った場合、割り込み要求ビットが“0”になる前に割り込み許可ビットが“1”(割り込み許可)になるため、不要な割り込み処理ルーチンが実行されます。

(2) 検出エッジの切り替え

外部割り込みの検出エッジを切り替えることができる製品において、検出エッジを切り替える場合、以下の順番で行ってください。

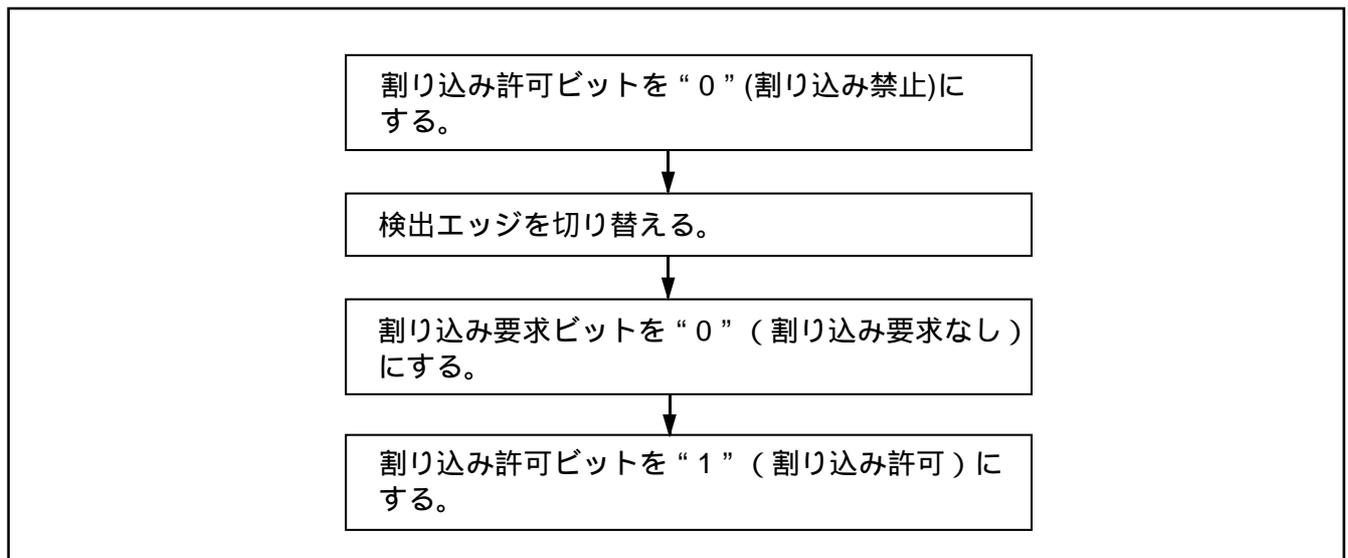


図3.3.1 検出エッジの切り替え手順

理由

割り込み回路は検出エッジの切り替えを外部入力信号の変化として認識します。このため、不要な割り込み処理ルーチンが実行されることがあります。

(3) 割り込み要求ビットの判定

データ転送命令を使用して割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令以上実行してください。

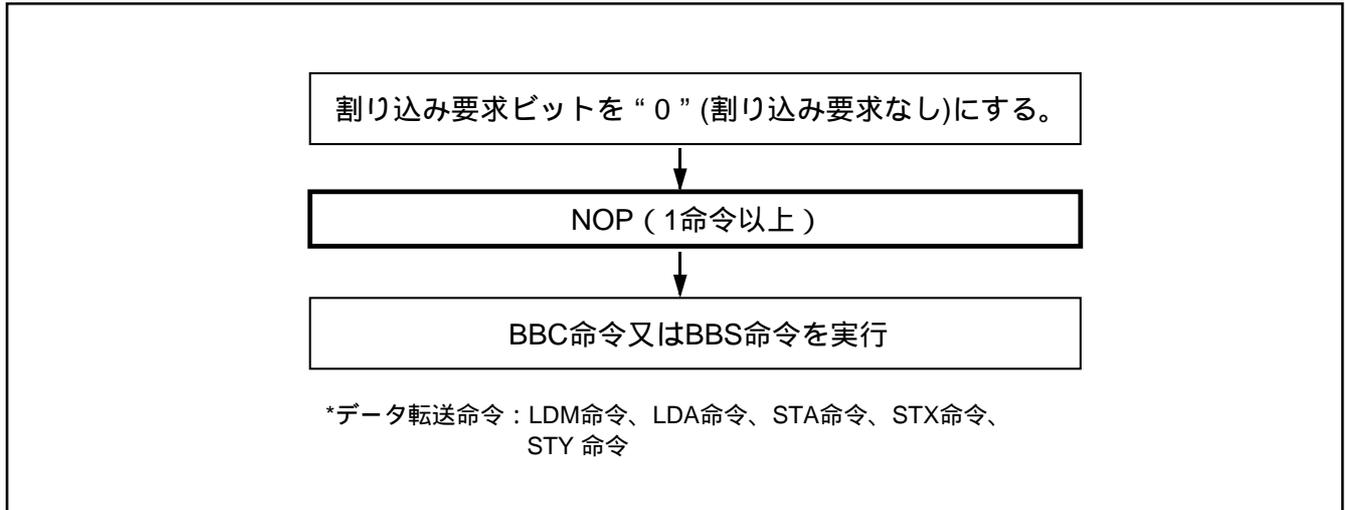


図3.3.2 割り込み要求ビットの判定手順

理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

(4) 割り込み制御レジスタ1の構成

割り込み制御レジスタ1のビット7は、必ず“0”に固定してください。割り込み制御レジスタ1の構成を図3.3.3に示します。

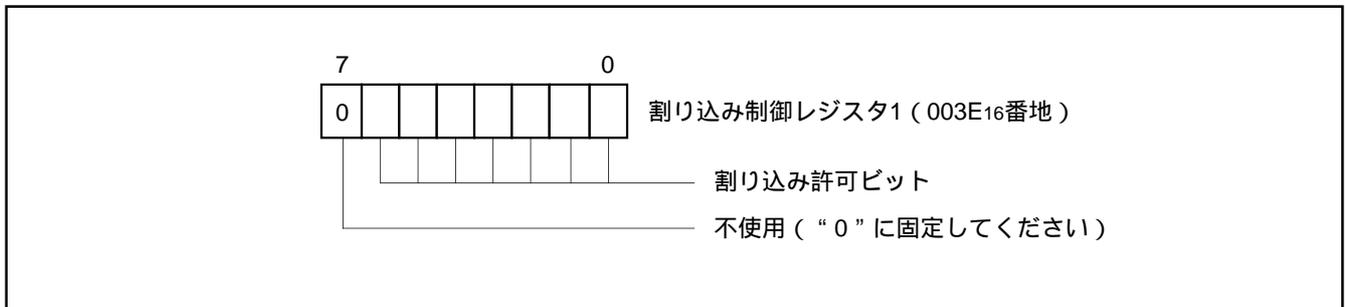


図3.3.3 割り込み制御レジスタ1の構成

3.3.2 シリアルI/Oに関する注意事項

(1) シリアルI/O1のクリア処理

シリアルI/O1動作中にシリアルI/O1の再設定、又は送受信動作の停止/再開を行う場合、必ず図3.3.4に示すシリアルI/O1のクリア処理を行ってください。

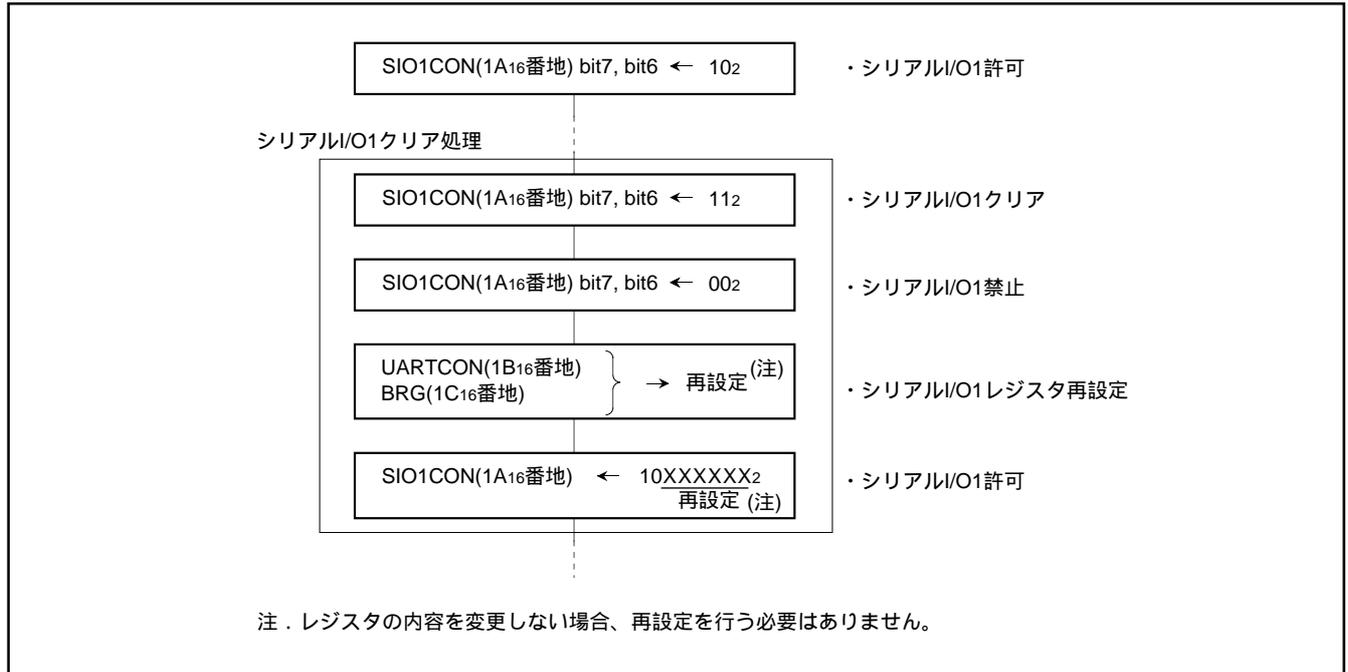


図3.3.4 シリアルI/O1のクリア処理

(2) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

(3) 送信データの書き込み

クロック同期シリアルI/Oでは、同期クロックとして外部クロックを選択した場合、転送クロックの入力レベルが“H”の時に、送信バッファレジスタ(シリアルI/Oシフトレジスタ)へ送信データを書き込んでください。

(4) シリアルI/O2送受信シフト終了フラグについて

- ・シリアルI/O2制御レジスタの送受信シフト終了フラグは、送受信シフト終了後“1”になります。“0”にする場合は、プログラムでシリアルI/O2レジスタにデータ(受信時はダミーデータ)を書き込んでください。
- ・シリアルI/O2制御レジスタのビット7(送受信シフト終了フラグ)は、実際のシフト動作の終了よりもシフトクロック半サイクル分早くセットされます。従って、このビットを使用してシフト終了の確認をする場合、このビットが“1”に設定されたことを確認した後クロック半サイクル分以上待ち、シリアルI/O2レジスタへの読み出し/書き込みを行ってください。

3.3.3 A/Dコンバータに関する注意事項

(1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、 $0.01\ \mu\text{F}$ ~ $1\ \mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

(2) A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・ $f(\text{XIN})$ は500kHz以上にしてください。
- ・ STP命令は実行しないでください。

(3) 安定にご使用いただくための補足情報

A/Dコンバータを安定にご使用いただくための補足情報に次があります。

- (a) USB HOST側からバスパワー^(*)を得るシステムで、USB通信中にA/D変換の精度が安定しない場合があります。そこで、より安定したA/D変換精度を得るためのポイントとして、Vref Vss端子間に図3.3.5のように部品を取り付けることで、より安定した精度が期待できます。

(*) : USBケーブル経由でPCからの電源を使用する方法

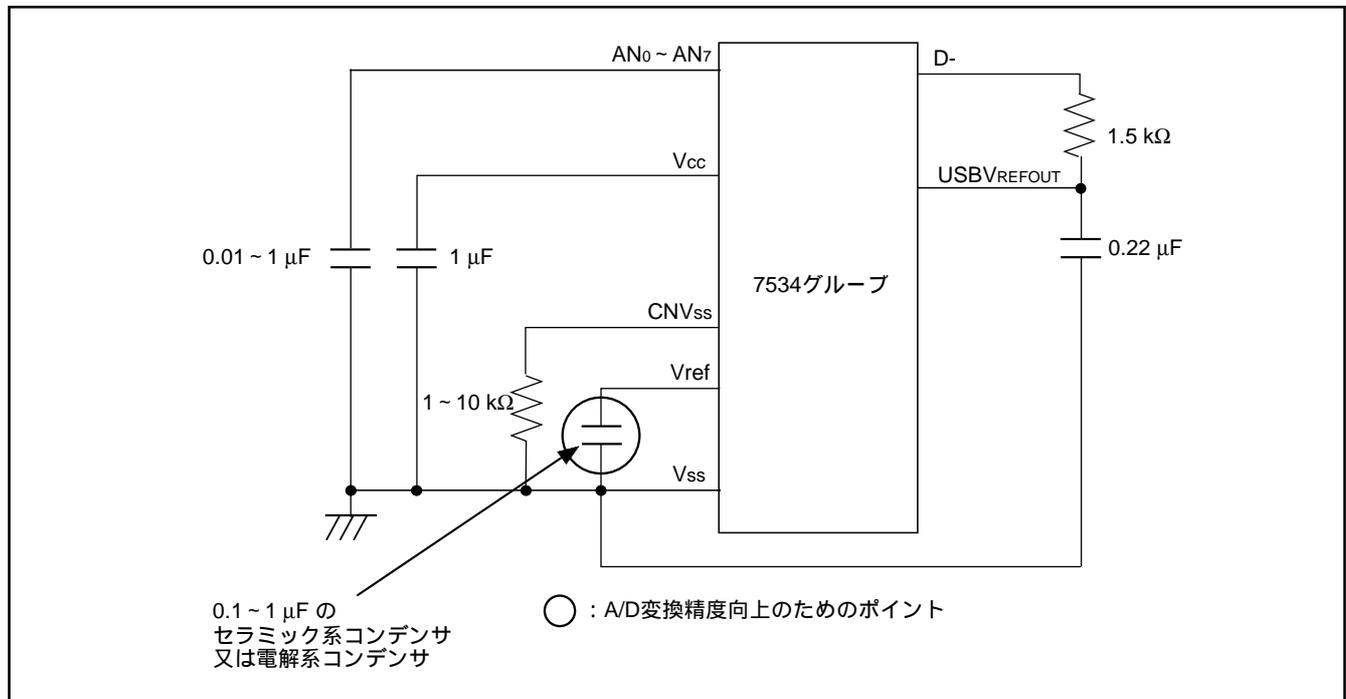


図3.3.5 A/D変換精度向上のためのポイント

- (b) ファームウェア上で以下の2点を実施することで、さらに精度向上が期待できます。

USB通信とA/D変換のタイミングが重ならないように設定する。

複数回変換を行い、平均化処理を行う。

3.3.4 ウォッチドッグタイマに関する注意事項

ウォッチドッグタイマのアンダフローのタイミングにより、内部リセットが正常に動作しない場合があります。

ウォッチドッグタイマをご使用される場合には、中速モード以外をご使用ください。
高速モード、低速モード、倍速モードでの動作は問題ありません。

3.3.5 リセット端子に関する注意事項

コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

3.3.6 入出力端子に関する注意事項

(1) スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態^{*1}で使用する場合は、入力ポート及び入出力ポートの入力レベルを不定の状態にしないでください。

この場合、抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

理由

入力ポート及び入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

^{*1}スタンバイ状態：STP命令実行によるストップモード
WIT命令実行によるウェイトモード

(2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令^{*2}を用いて書き替える場合、指定していないビットの値が変化することがあります。

理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：

端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

- ・出力に設定されているビット：

ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。

ただし、以下の点に注意してください。

- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
- ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

*2ビット処理命令：SEB命令、CLB命令

3.3.7 プログラム作成に関する注意事項

(1) プロセッサステータスレジスタ

プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

理由

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

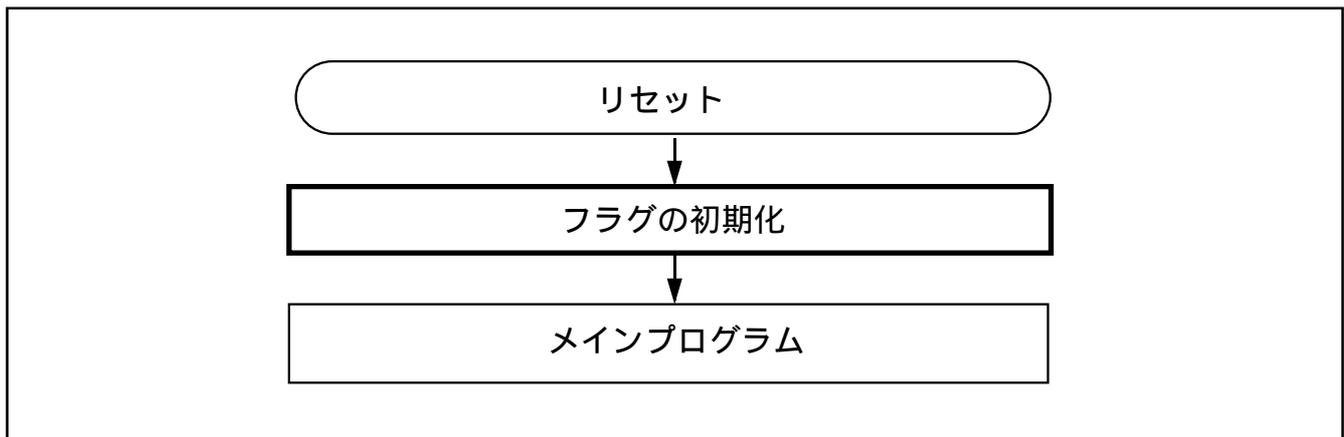


図3.3.6 プロセッサステータスレジスタのフラグの初期化

プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

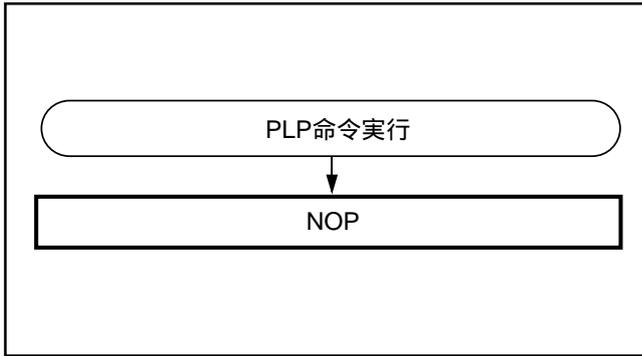


図3.3.7 PLP命令実行時の手順

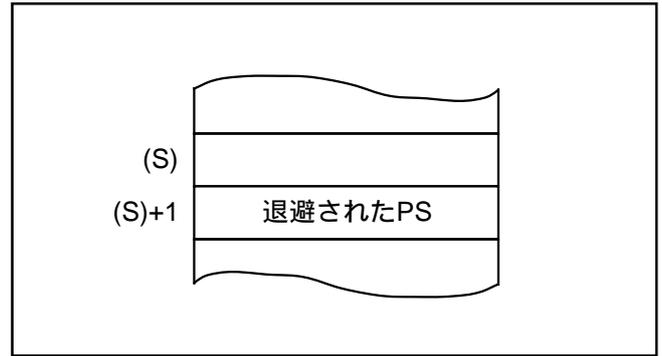


図3.3.8 PHP命令実行後のスタックメモリの内容

(2) 10進演算

10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できません。また、演算前にはCフラグの初期化を行ってください。

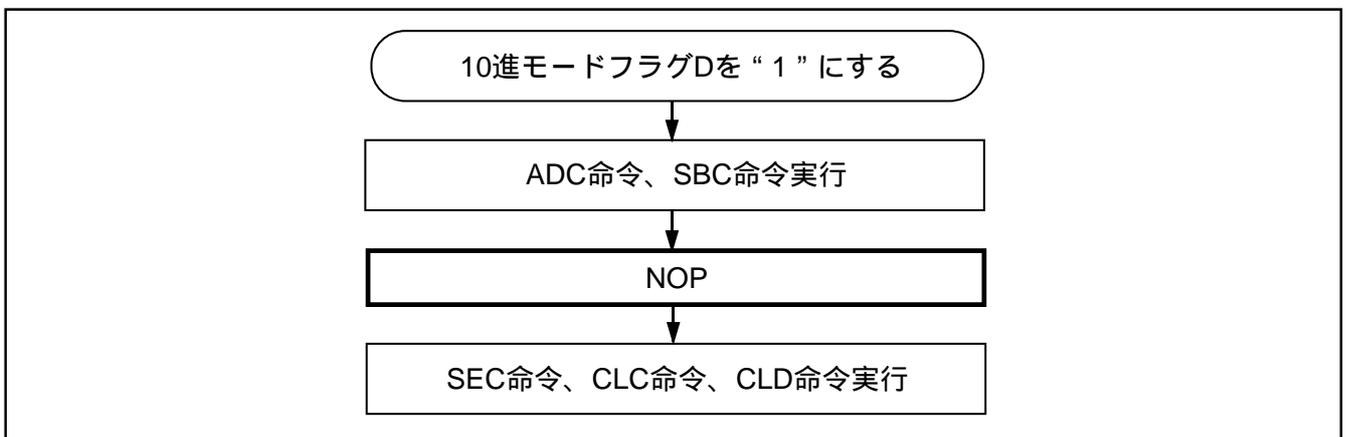


図3.3.9 10進演算時のステータスフラグ

(3) JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

3.3.8 PROM内蔵版の書き込みとテスト

ワンタイムPROM版(ブランク品)は、専用の書き込みアダプタを使用することによって、汎用のPROMライターで内蔵PROMの書き込み及び読み出しを行うことができます。

ワンタイムPROM版(ブランク品)は、当社でのアセンブリ工程以降PROMの書き込みテスト及びスクリーニングは行っていません。書き込み以降の信頼性を向上させるため、図3.3.10に示すフローで書き込み及びテストを行った後、使用することを推奨します。

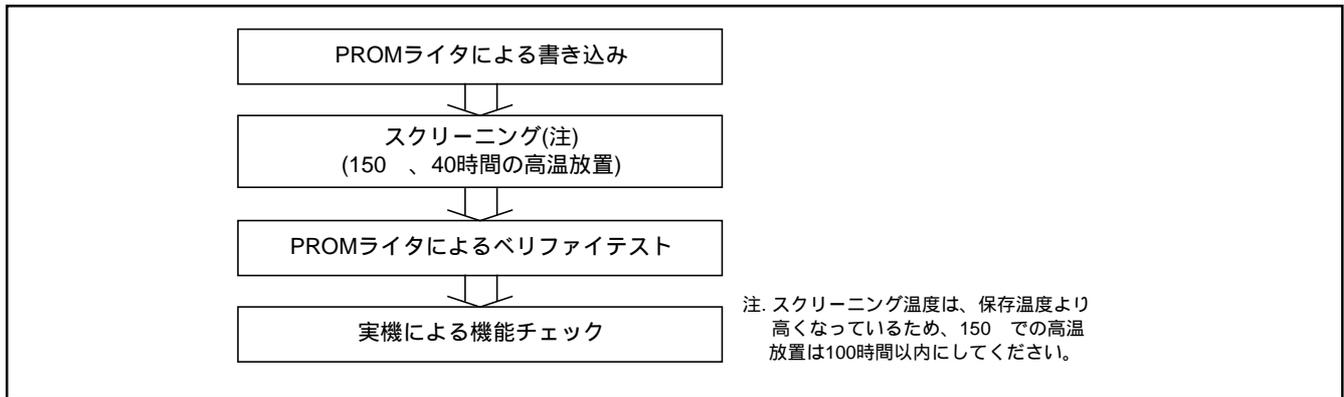


図3.3.10 ワンタイムPROM版の書き込みとテスト

3.3.9 PROM内蔵版に関する注意事項

(1) 書き込みアダプタ

PROM内蔵版の内蔵PROMへの書き込み及び内蔵PROMからの読み出しは、表3.3.1に示す専用の書き込みアダプタと汎用のPROMライターを使用してください。

表3.3.1 書き込みアダプタ対応表

マイクロコンピュータ型名	書き込みアダプタ型名
M37534E4GP (ワンタイムブランク品)	PCA7435GPG03
M37534E8SP (ワンタイムブランク品)	PCA7435SP, PCA7435SPG02
M37534E8FP (ワンタイムブランク品)	PCA7435FP, PCA7435FPG02

(2) 書き込み及び読み出し

PROMモード時は、M5M27C101AKと同じ動作ですが、デバイス識別コードを内蔵していないため、PROMライターのプログラム条件は自動的に設定されません。書き込み及び読み出しの際に、以下の条件を正確に設定してください。特に、VPP端子(CNVss端子と兼用)へ21Vの電圧が印加されると、製品の永久的なダメージにつながりますので注意が必要です。

プログラム書き込み電圧：12.5V

PROMライターのアドレス設定：表3.3.2参照

表3.3.2 PROMライターのアドレス設定表

マイクロコンピュータ型名	PROMライター開始アドレス	PROMライター終了アドレス
M37534E4GP	0E080 ₁₆ 番地(注1)	0FFFD ₁₆ 番地(注1)
M37534E8SP	0C080 ₁₆ 番地(注2)	0FFFD ₁₆ 番地(注2)
M37534E8FP		

注1. 内蔵PROMのE080₁₆番地～FFFD₁₆番地は、PROMライター上では0E080₁₆番地～0FFFD₁₆番地に相当します。

2. 内蔵PROMのC080₁₆番地～FFFD₁₆番地は、PROMライター上では0C080₁₆番地～0FFFD₁₆番地に相当します。

3.3.10 未使用端子の処理

(1) 未使用端子の適切な処理

出力専用ポート

開放してください。

入力専用ポート

各端子ごとに1~10k の抵抗を介して、Vcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。また、電圧レベルが動作モードに影響を与える端子(CNVss、INT端子など)は、モードを検討の上Vcc又はVssを選択してください。

入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

(2) 処理上の留意事項

入力ポート及び入出力ポート

入力モードで開放しないでください。

理由

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ 短い配線(20mm以内)で処理してください。

3.3.11 CPUモードレジスタに関する注意事項

(1) リセット解除後の切り替え手順

リセット解除後のプログラムの先頭で、CPUモードレジスタ(CPUM)の切り替えを以下の手順で行ってください。

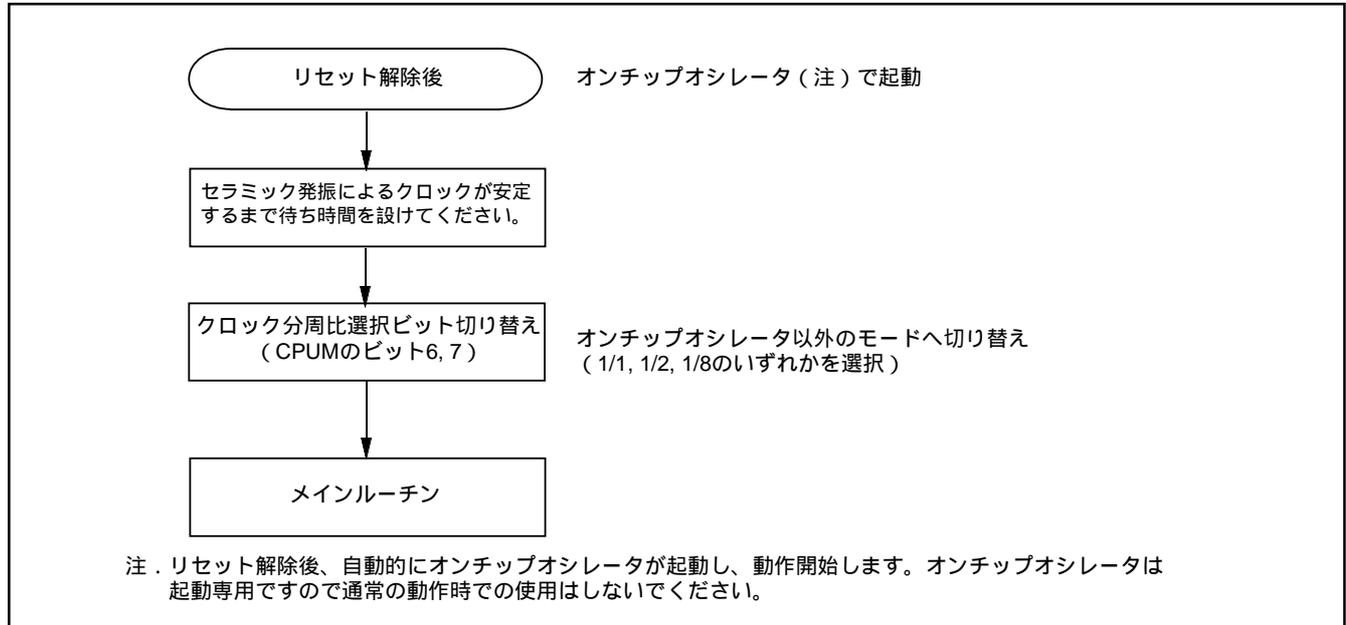


図3.3.11 CPUモードレジスタの切り替え手順

3.3.12 32ピン版使用時の注意事項

- ・ブルアップ制御レジスタのP35、P36ブルアップ制御ビットは初期値“1”から変更しないでください。
- ・割り込みエッジ選択レジスタのシリアルI/O1又はINT1割り込み選択ビットには“1”を書き込まないでください。

3.3.13 ワンタイムPROM版/マスクROM版に関する注意事項

ワンタイムPROM版とマスクROM版は、製造プロセス、内蔵ROM、メモリ容量、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量、発振回路定数などが異なる場合があります。マスクROM版への切り換え時は、ワンタイムPROM版で実施したシステム評価試験と同等の試験を実施してください。

3.3.14 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

3.3.15 USB通信に関する注意事項

- ・通信の信頼性が求められるアプリケーションにおいては、ノイズなど外的要因を含み、なんらかの要因にてUSB通信が途絶するような場合に備え、S/WにてUSB機能初期化、ホストによるUSBリセットなどの対策をシステム側で行っていただくことを推奨いたします。
- ・P10, P12, P13ポート入力レベルをTTLレベル(0017₁₆番地のビット2「P10, P12, P13入力レベル選択ビット」を“1”にセット)にし、かつUSB機能をご使用になる組み合わせのときに、USBサスペンド時の消費電流I_{cc}が規格300 μAを超える場合があります。

【回避策】

以下のソフトウェアによる対策のいずれかにより回避することが可能です。

(1) P10, P12, P13入力レベルをCMOSレベルとしてご使用いただく。

(2) 図3.3.12のフローのとおり、サスペンド処理時マイコン停止の前に、P10, P12, P13ポート入力レベルをCMOSレベルに一旦変更し、RESUMEまたは外部割り込みによるリモートウェイクアップの復帰処理後にP10, P12, P13ポート入力レベルをTTLレベルに戻す。

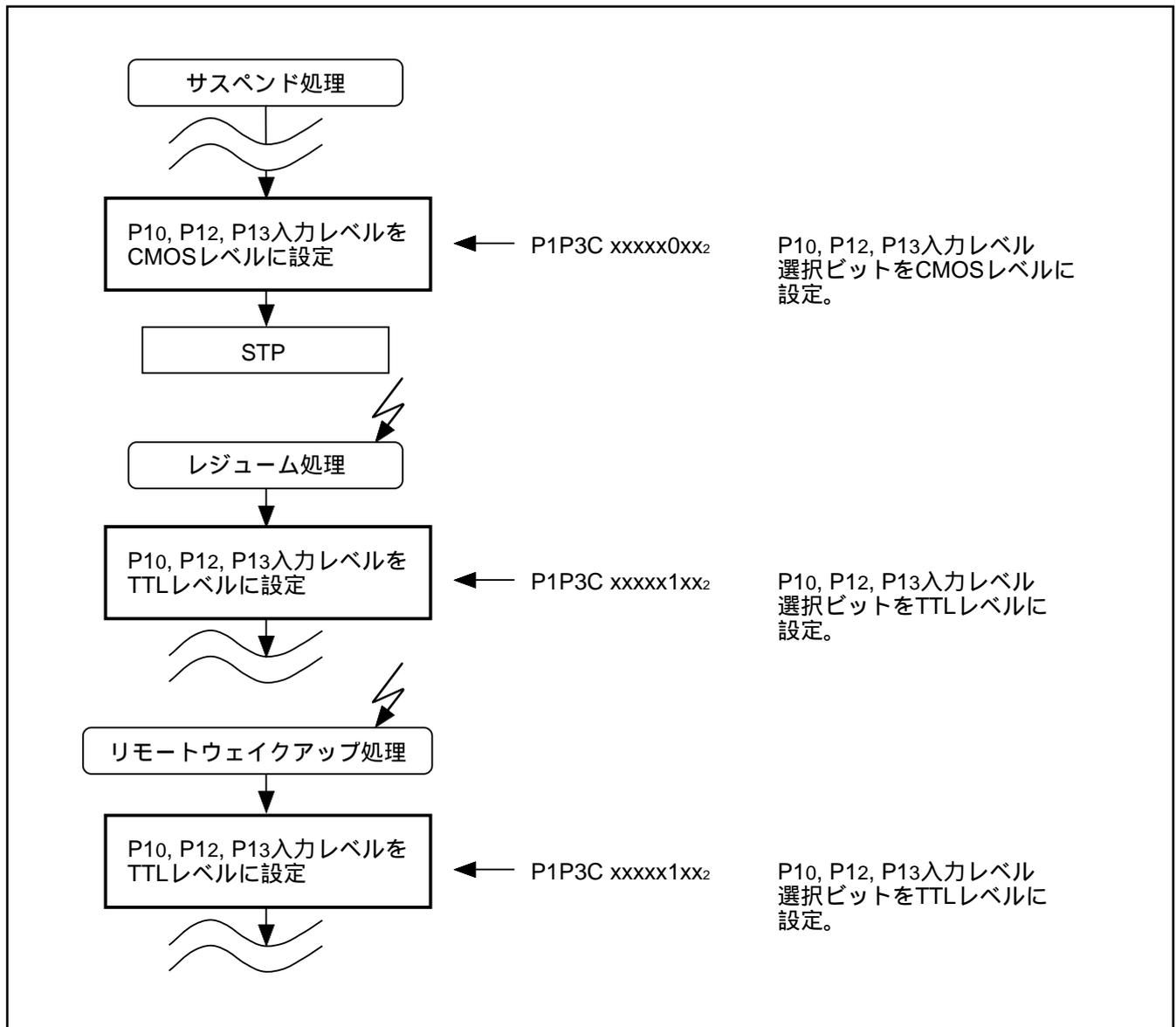


図3.3.12 回避策(2)のフローチャート

3.4 ノイズに関する注意事項

3.4.1 配線長の短縮

(1) パッケージ

総配線長を短くするために、マイコンはできるだけ小型のパッケージを採用してください。

理由

マイコンのパッケージは配線の長さに影響し、DIPよりも小型のQFPなどを使用した方が総配線長は短くなり、ノイズの影響を受けにくくなります。

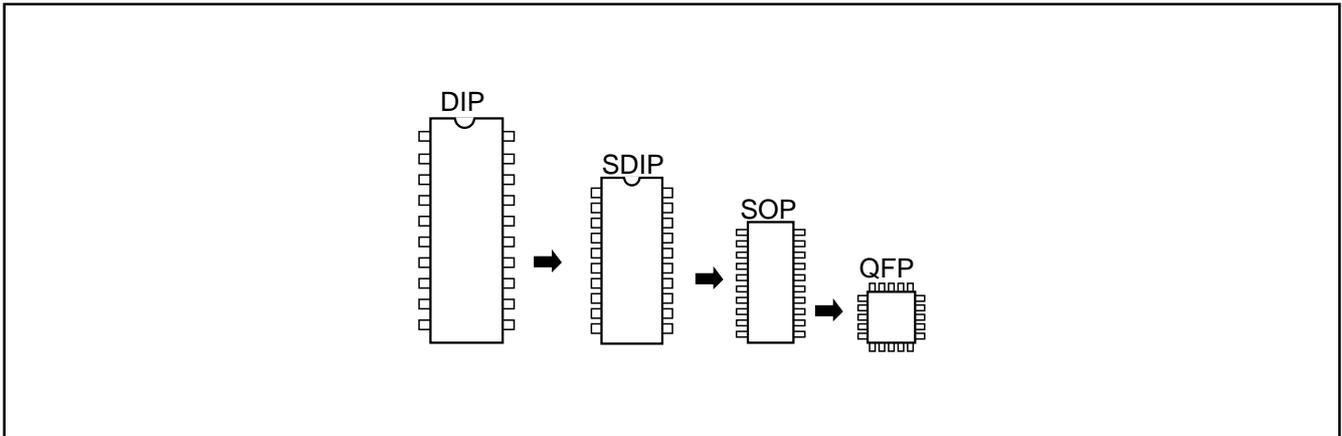


図3.4.1 パッケージの選択

(2) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

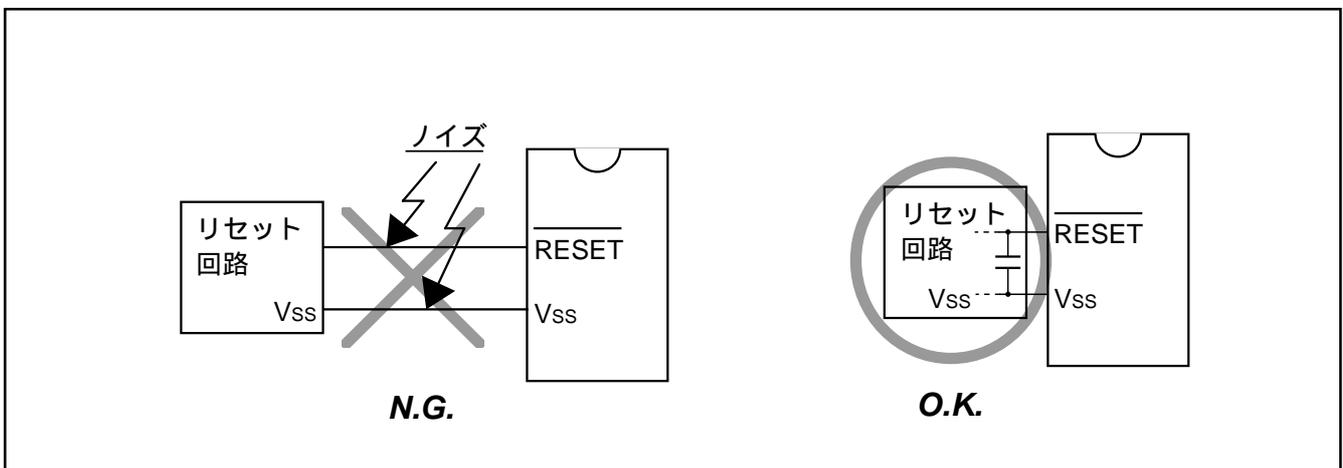


図3.4.2 リセット入力端子の配線

(3) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

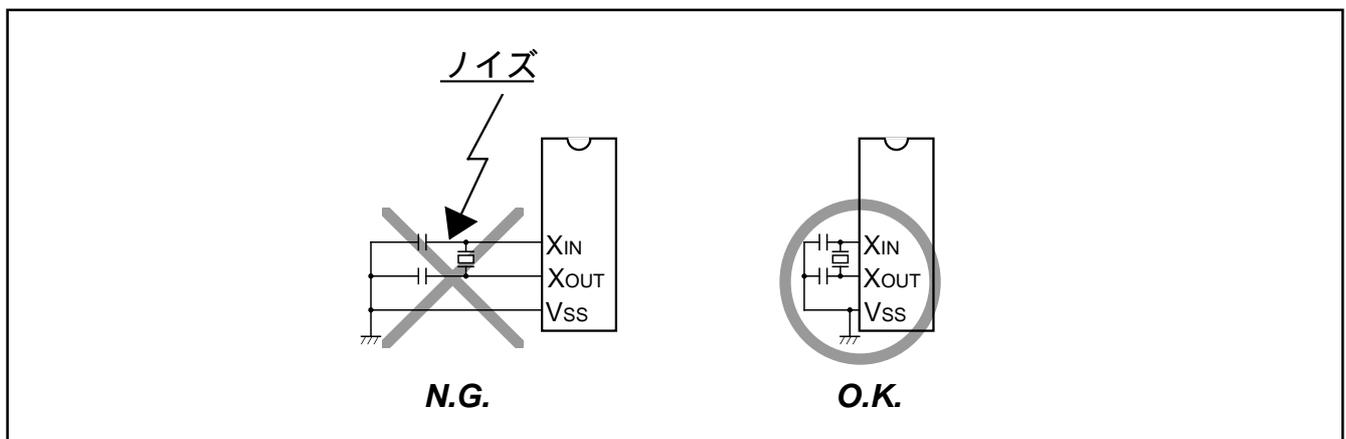


図3.4.3 クロック入出力端子の配線

(4) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

理由

CNVss端子のレベルはマイコンのプロセッサモードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じるとプロセッサモードが不安定となり、誤動作や暴走の原因となります。

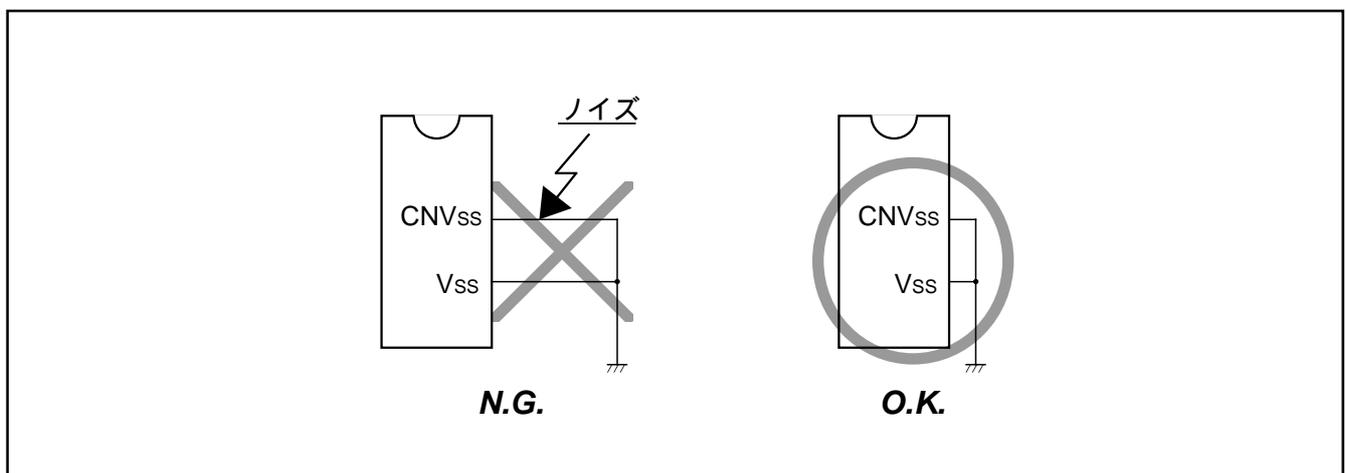


図3.4.4 CNVss端子の配線

(5) ワンタイムPROM版のVPP端子配線

VPP端子のできるだけ近くに5k 程度の抵抗を直列に挿入し、VSS端子に接続してください。また、5k 程度の抵抗を挿入しない場合は、VPP端子とVSS端子の配線は最短にしてください。

注. 5k 程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

理由

ワンタイムPROM版マイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへプログラムを書き込む時に、書き込み電流が流れ込むようにVPP端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

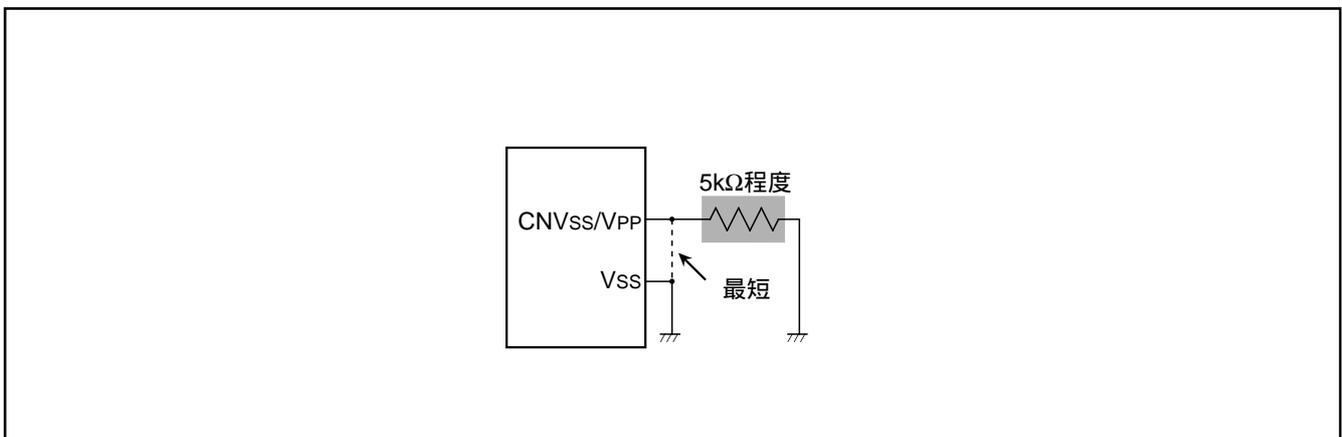


図3.4.5 ワンタイムPROM版のVPP端子の配線

3.4.2 Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に1.0 μ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・ Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

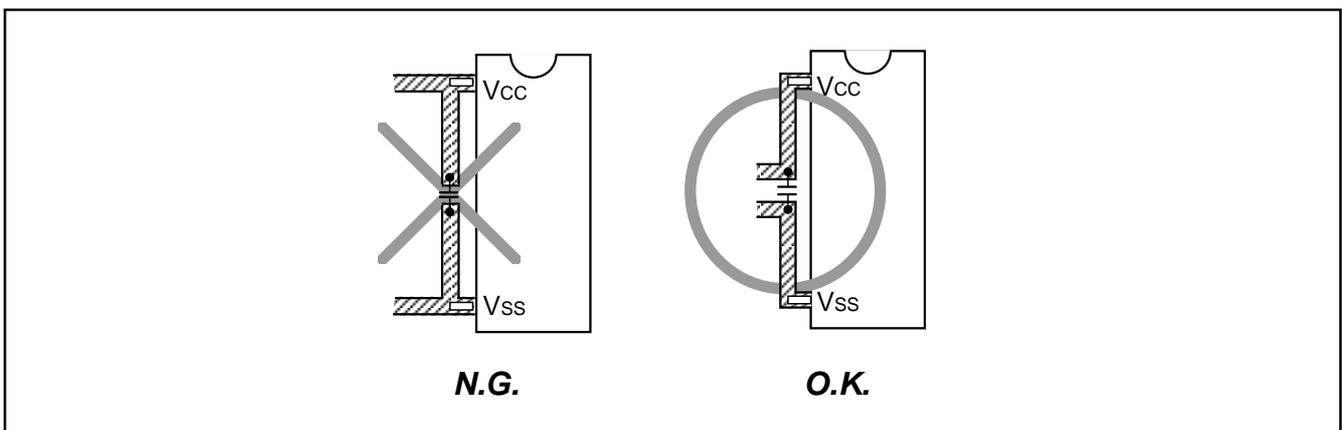


図3.4.6 Vss - Vccライン間のバイパスコンデンサ

3.4.3 アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100～1k 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

理由

通常、アナログ入力端子(A/D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれ易くなります。

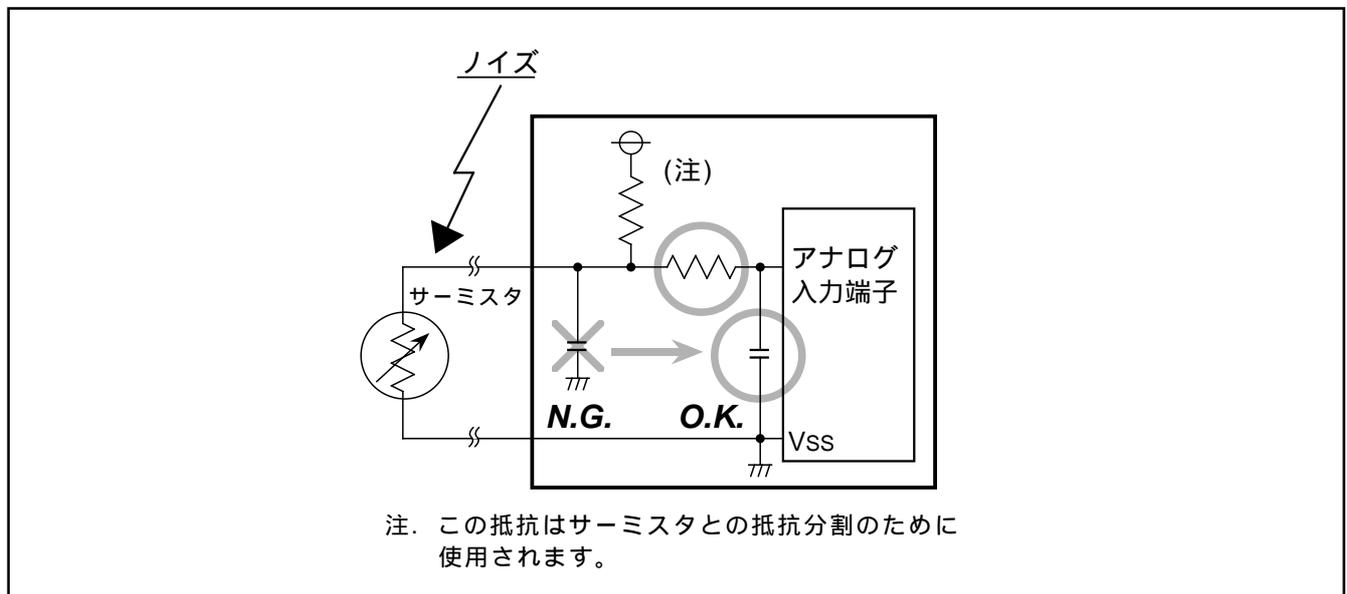


図3.4.7 アナログ信号線と抵抗及びコンデンサ

3.4.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

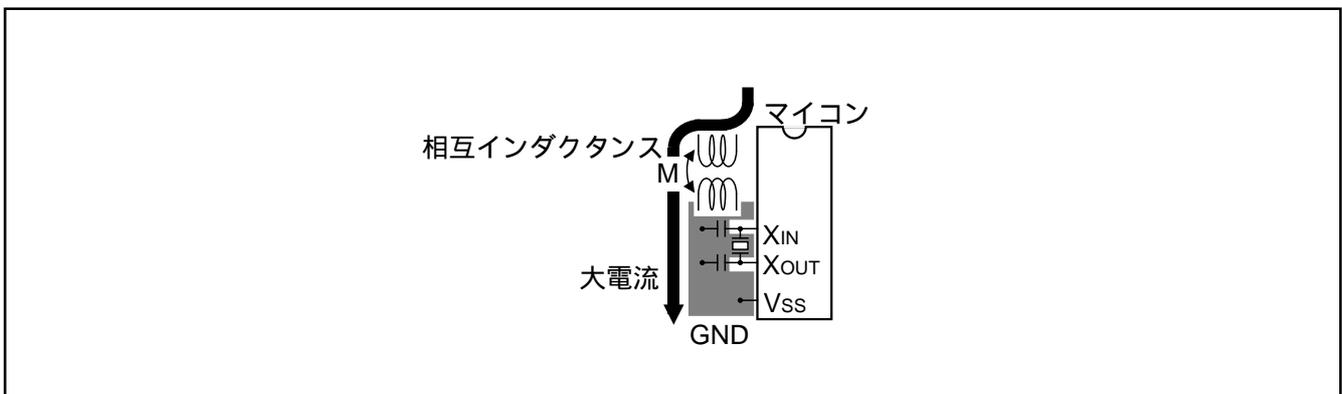


図3.4.8 大電流が流れる信号線の配線

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与え易くなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

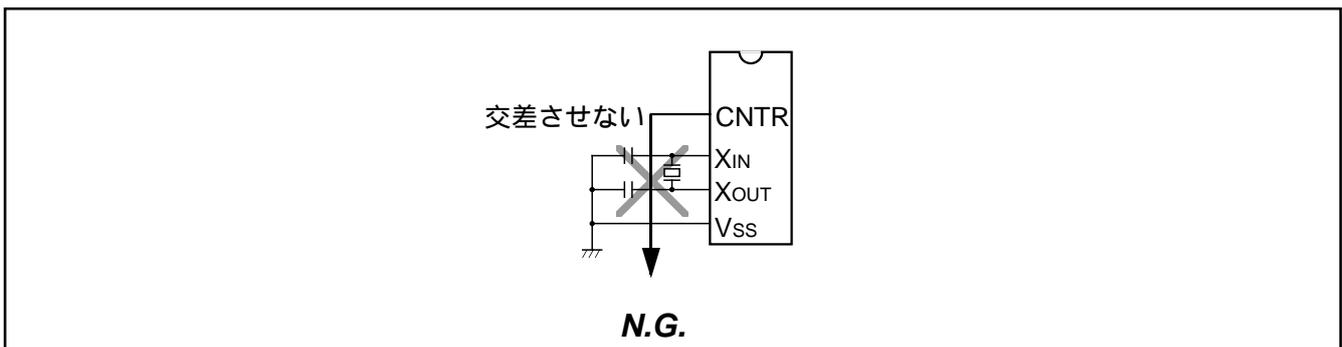


図3.4.9 高速にレベル変化する信号線の配線

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

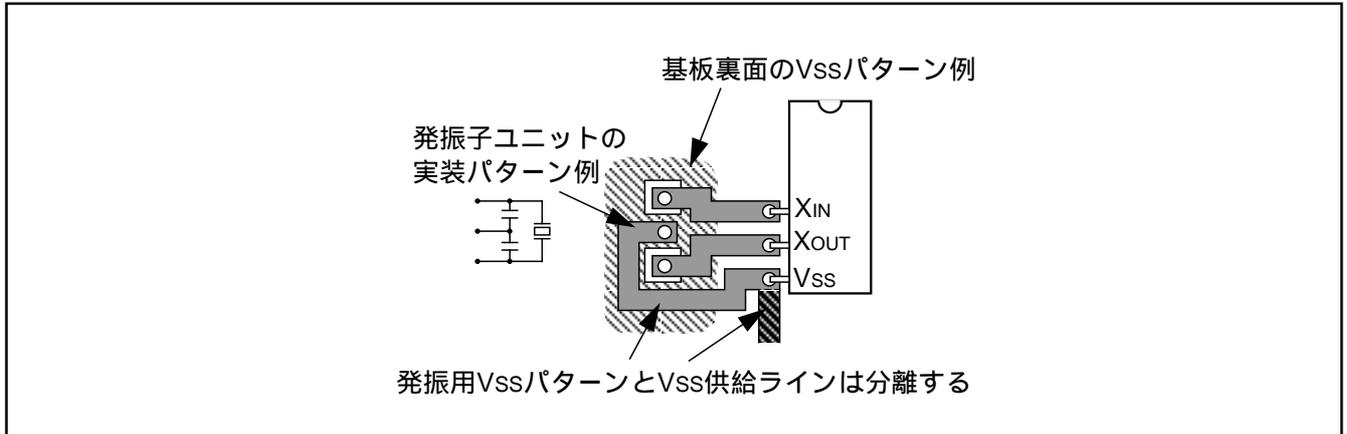


図3.4.10 発振子の裏面のVssパターン

3.4.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行ってください。

注. 一定周期で方向レジスタをに再設定すると、そのポートから数nsの細いパルスが出力される場合があります。これが問題となる場合は、ポートにコンデンサを配置することによってこのパルスを除去してください。

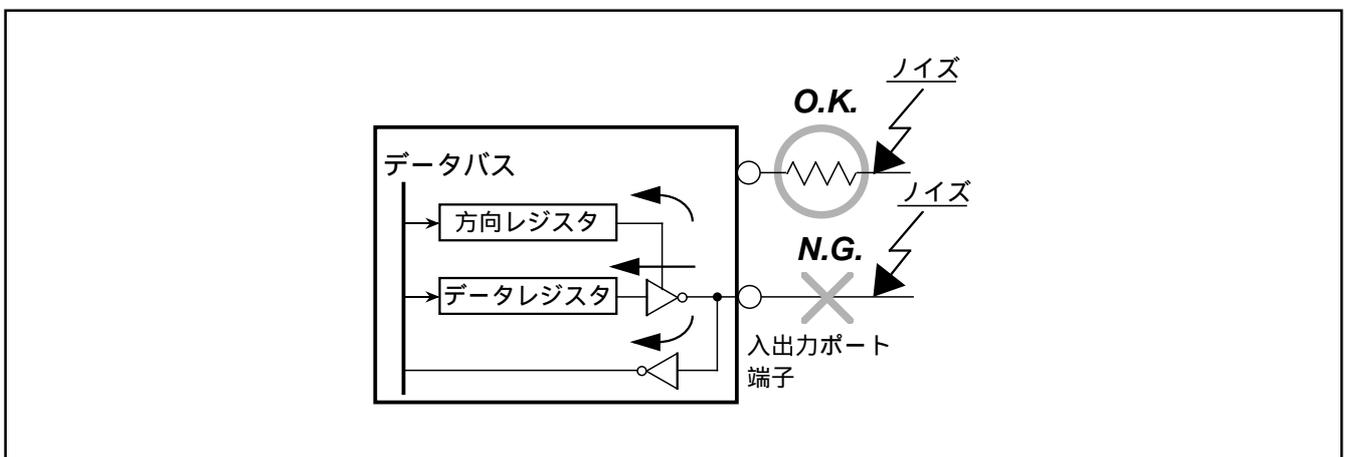


図3.4.11 入出力ポート処理

3.4.6 ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAMの1バイトをソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注. メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

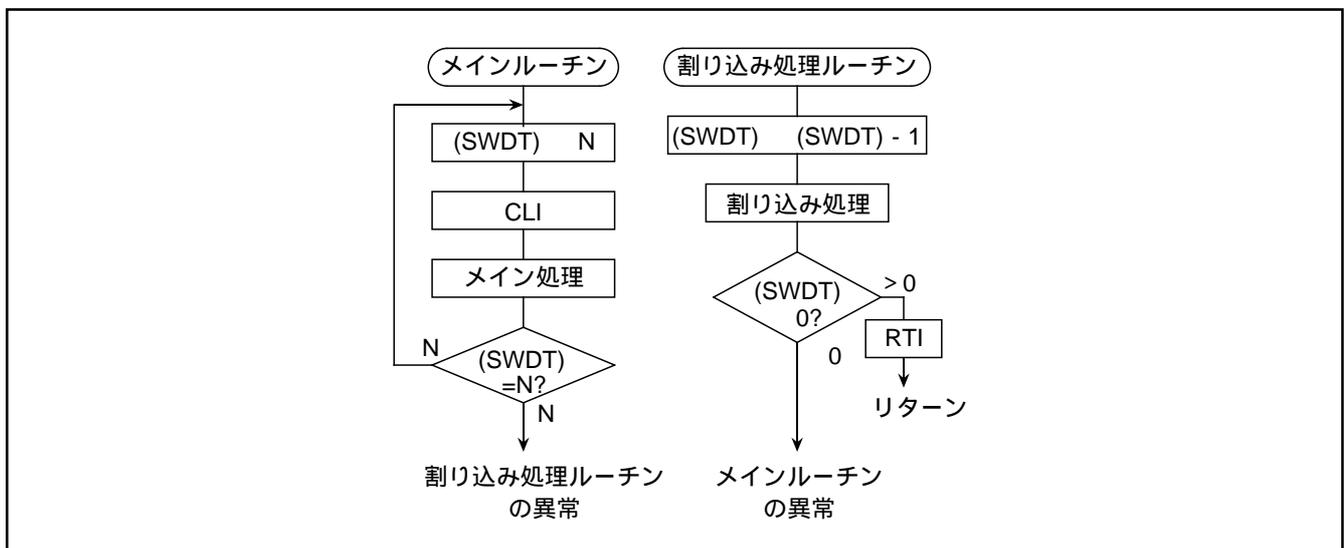


図3.4.12 ソフトウェアによるウォッチドッグタイマ

3.5 レジスタ一覧

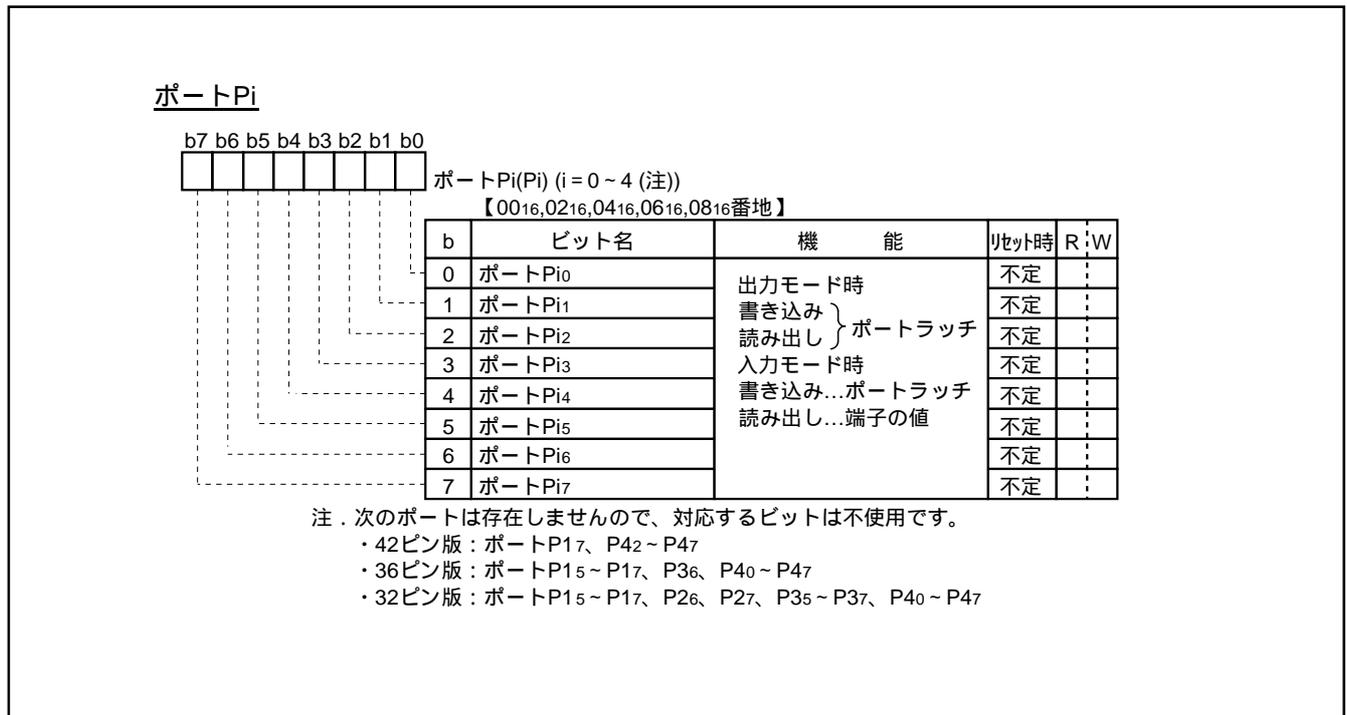


図3.5.1 ポートPi(i = 0 ~ 4)の構成

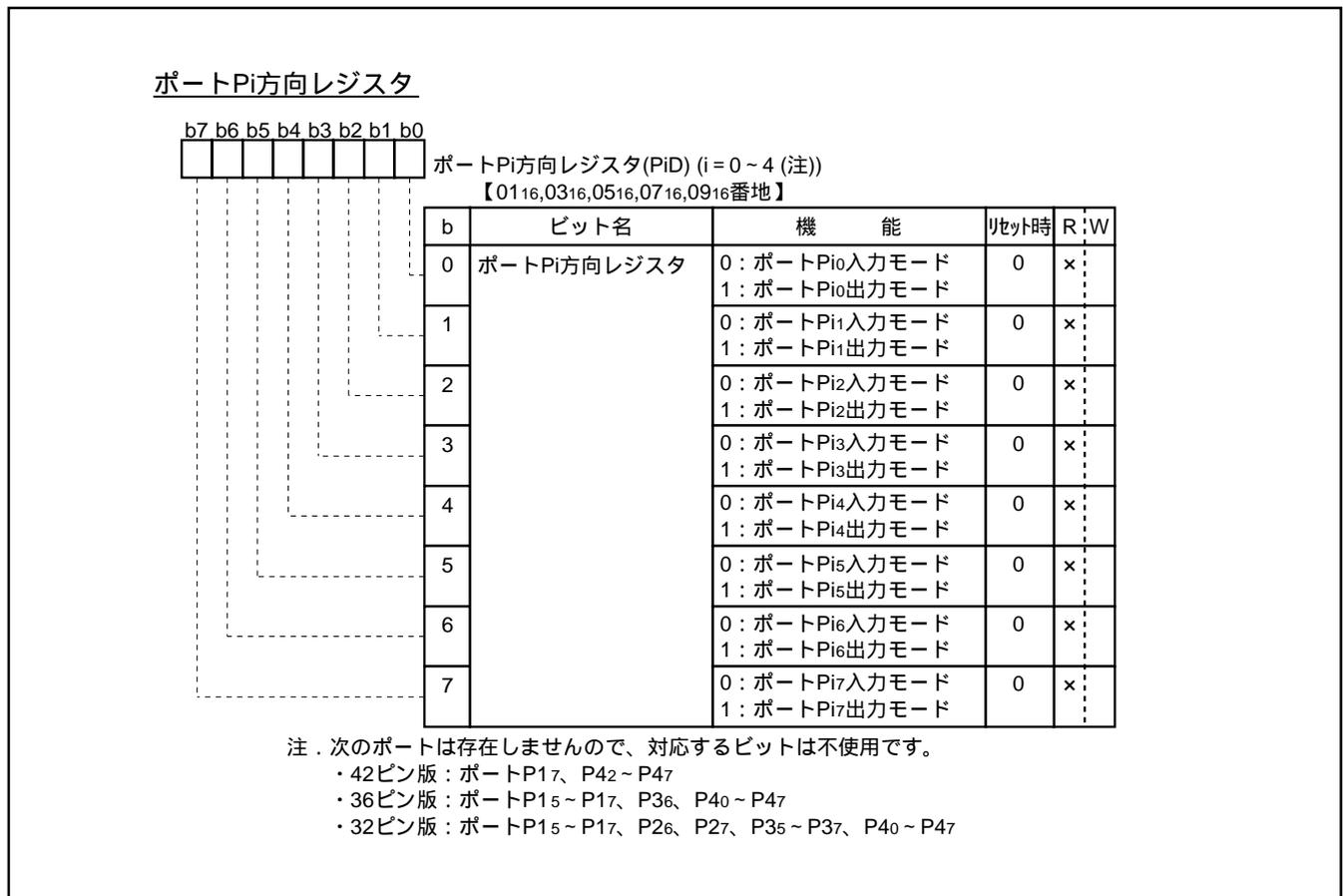


図3.5.2 ポートPi(i = 0 ~ 4)方向レジスタの構成

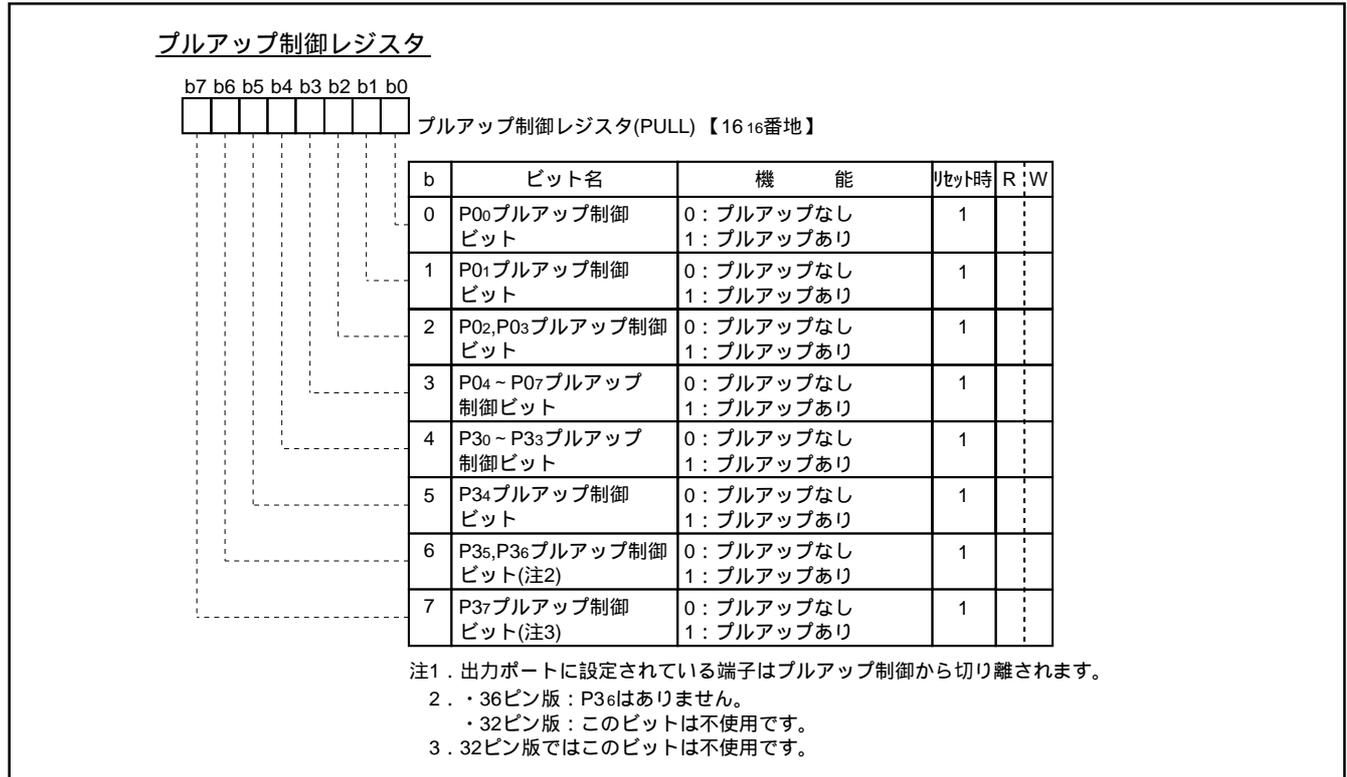


図3.5.3 プルアップ制御レジスタの構成

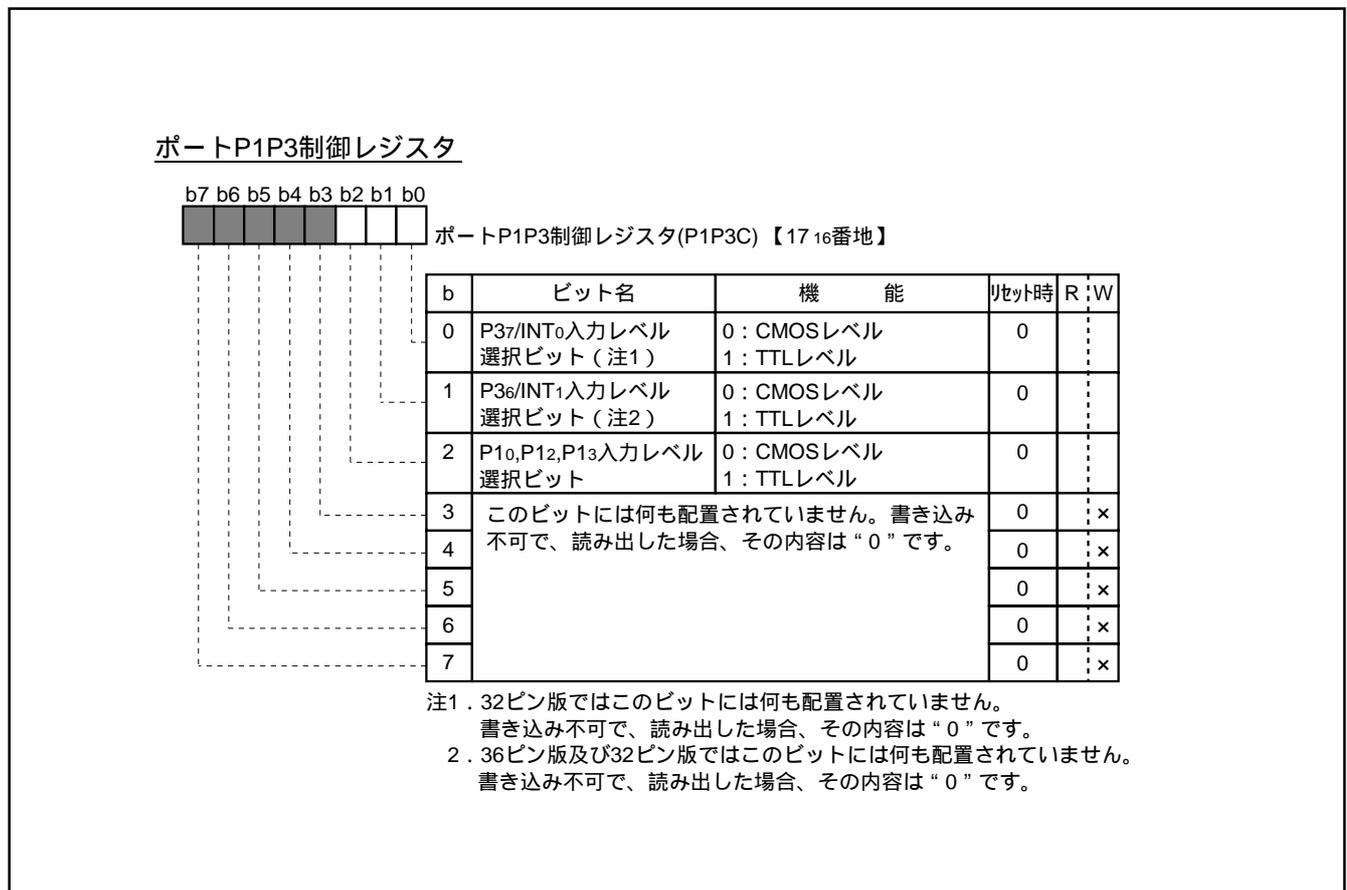


図3.5.4 ポートP1P3制御レジスタの構成

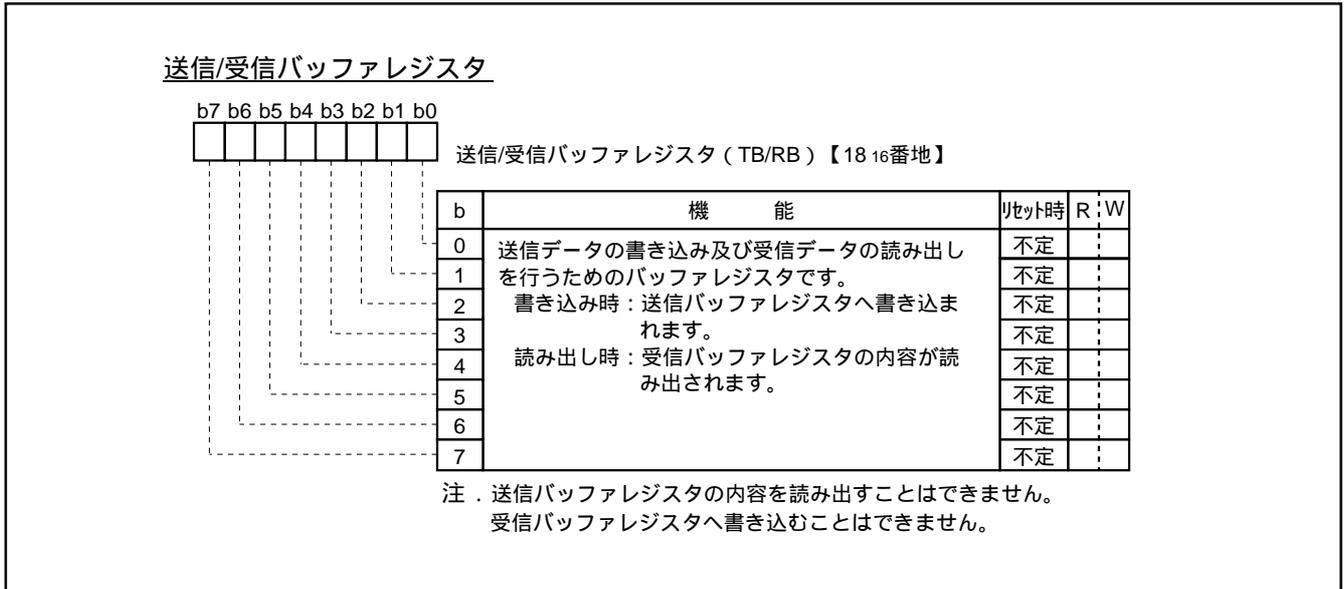


図3.5.5 送信/受信バッファレジスタの構成

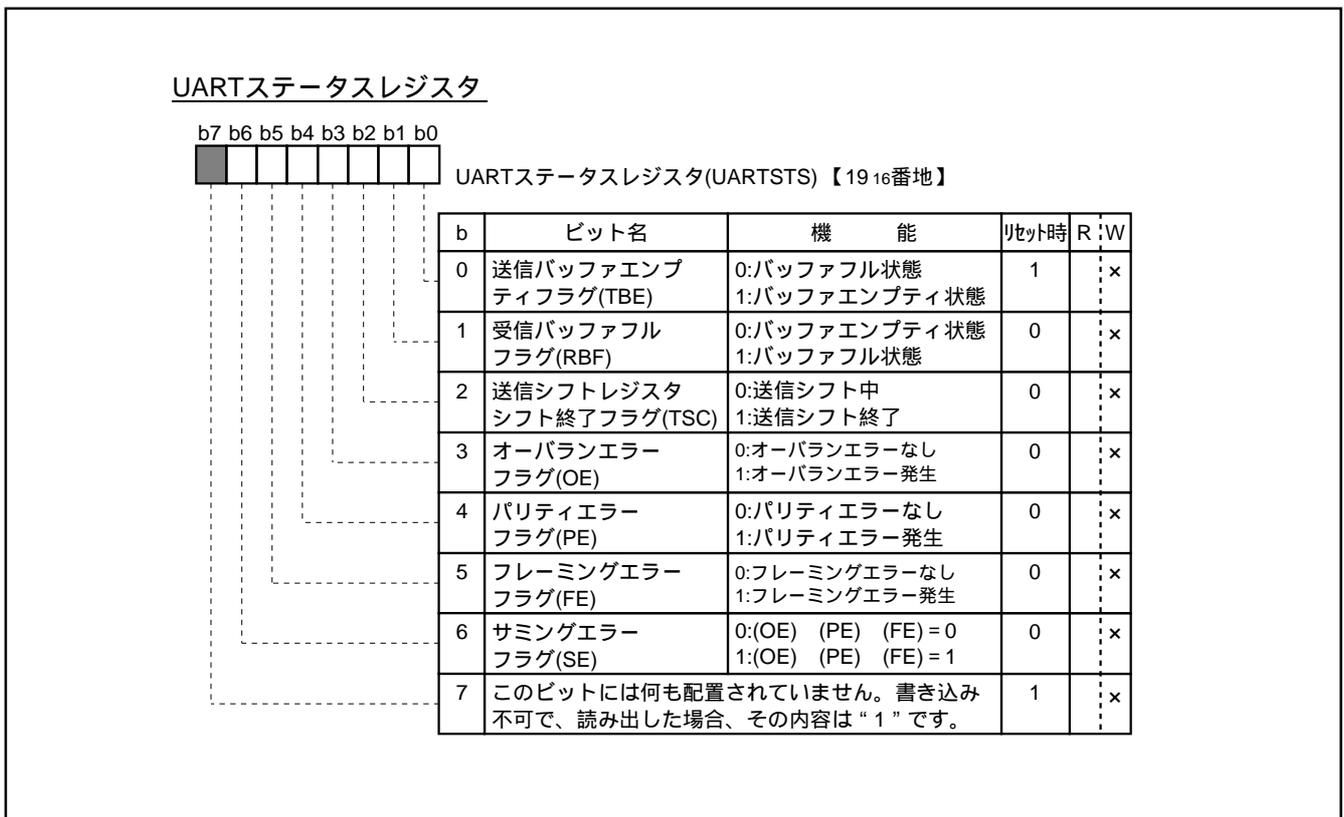


図3.5.6 UARTステータスレジスタの構成

USB関連のレジスタ構成図の表記については、2章57ページ「図2.4.6 USB関連レジスタ表記例」を参照ください。

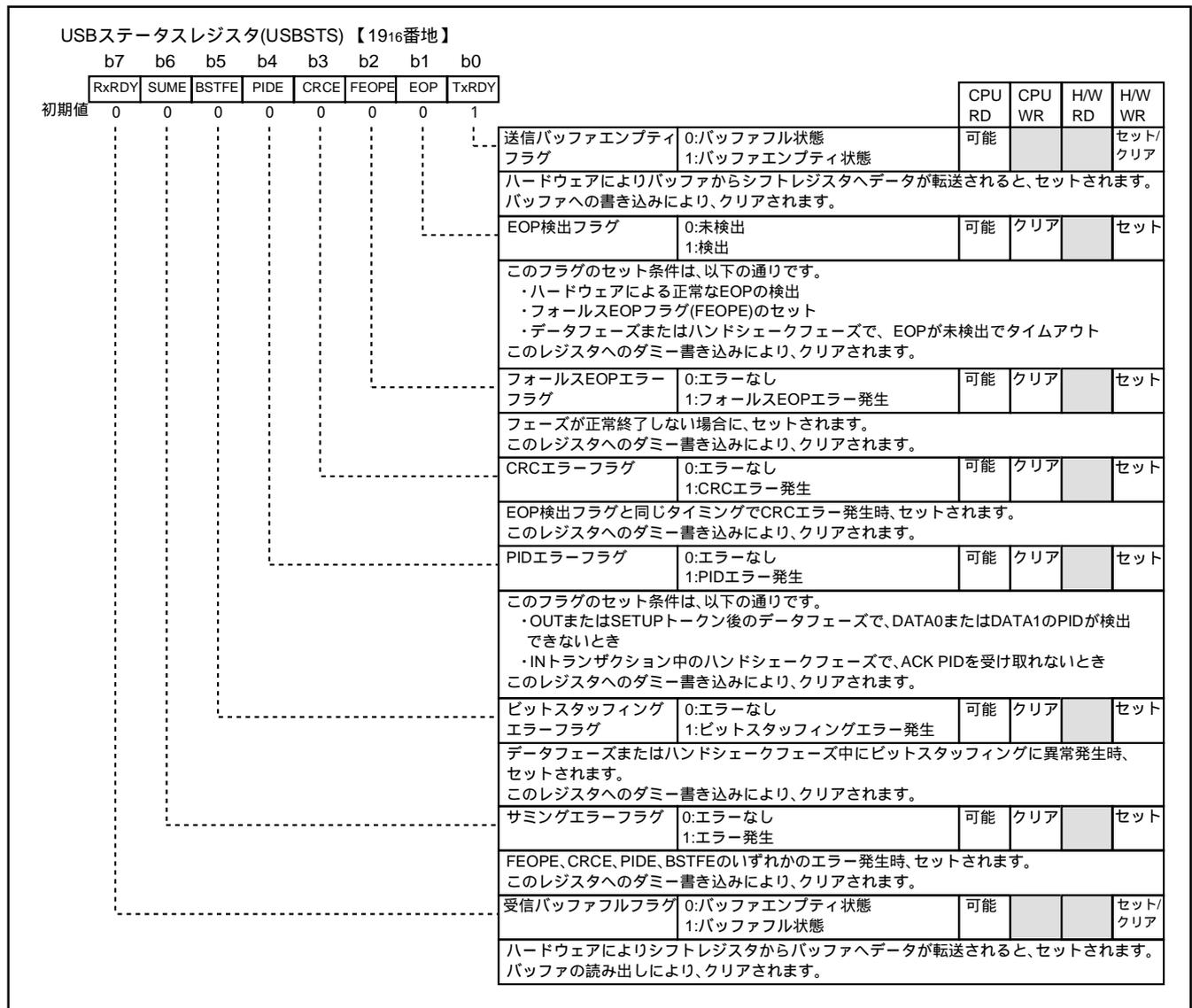


図3.5.7 USBステータスレジスタの構成

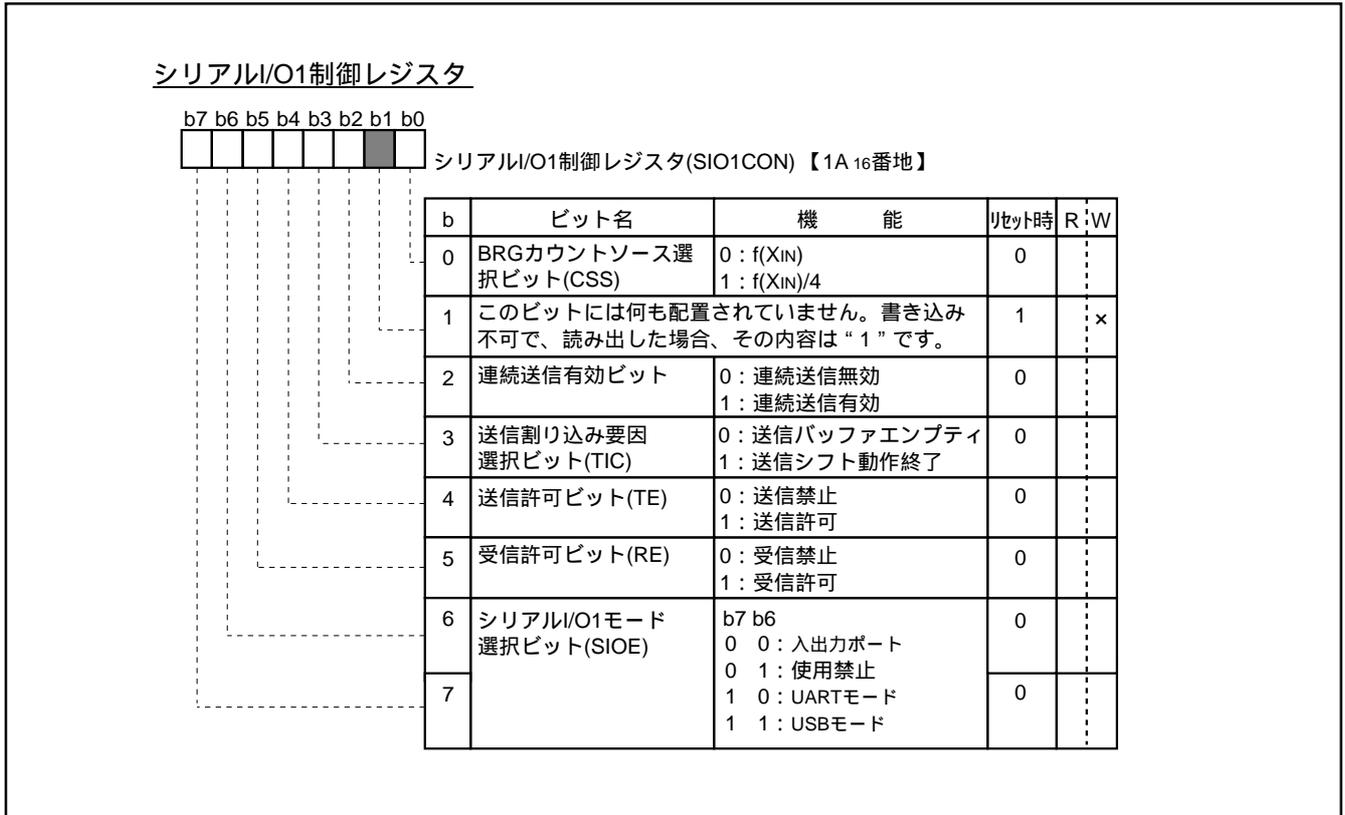


図3.5.8 シリアル/O1制御レジスタの構成

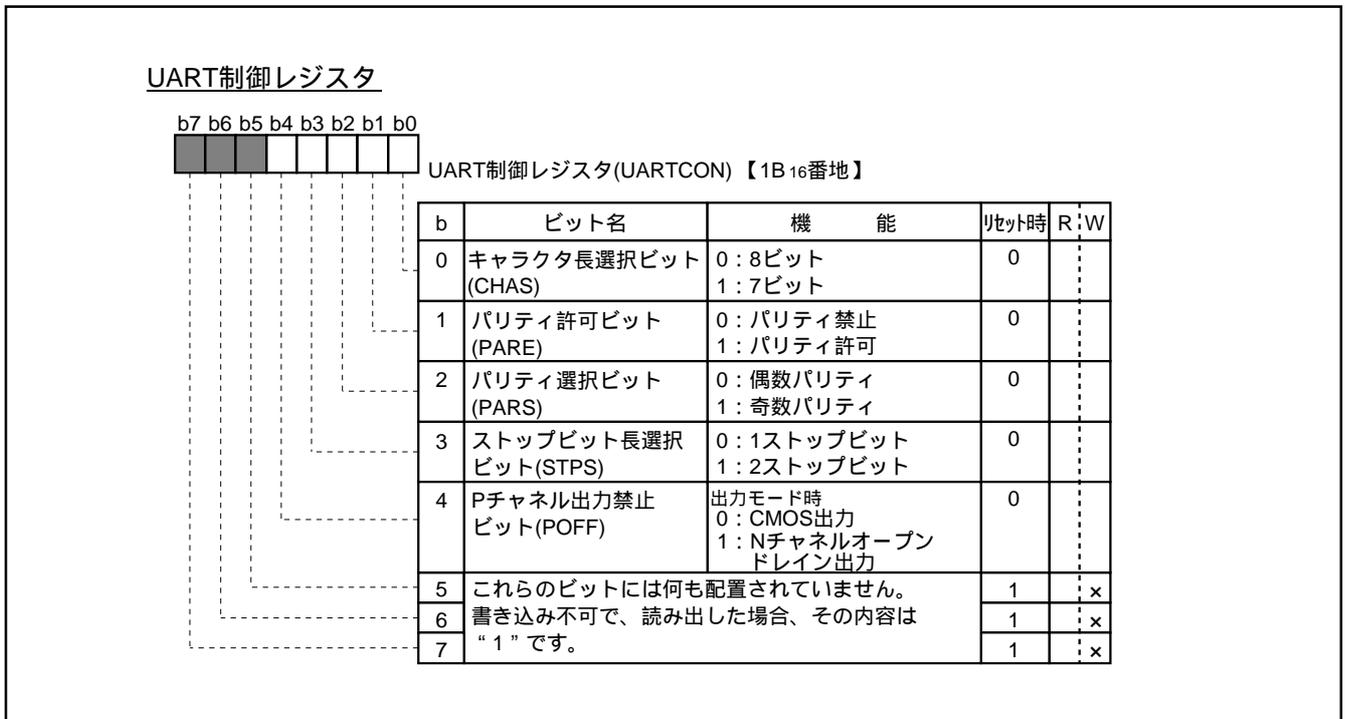


図3.5.9 UART制御レジスタの構成

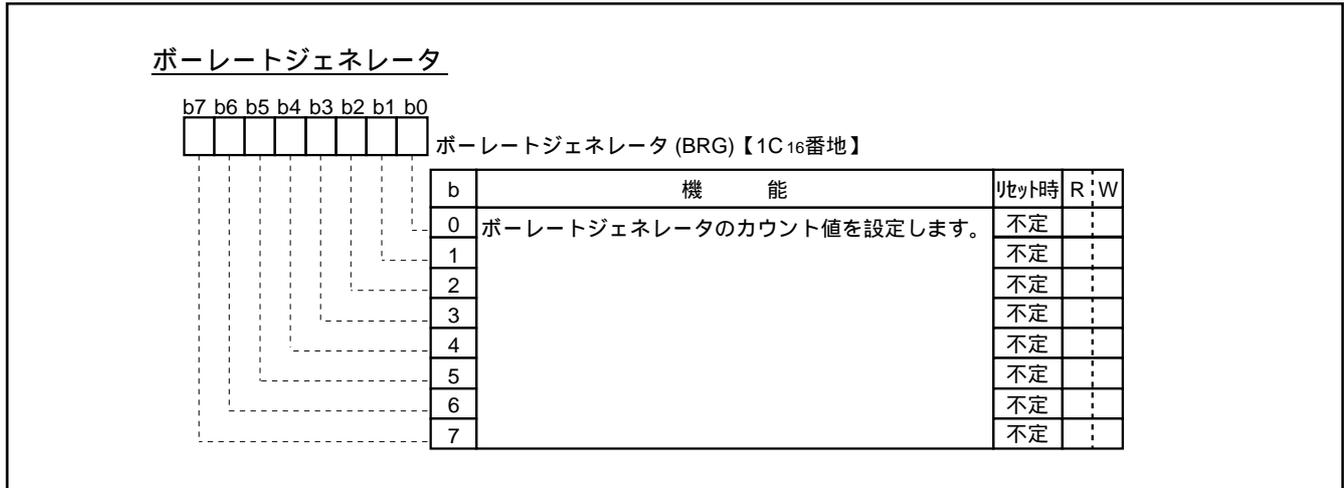


図3.5.10 ポーレートジェネレータの構成

USB関連のレジスタ構成図の表記については、2章57ページ「図2.4.6 USB関連レジスタ表記例」を参照ください。

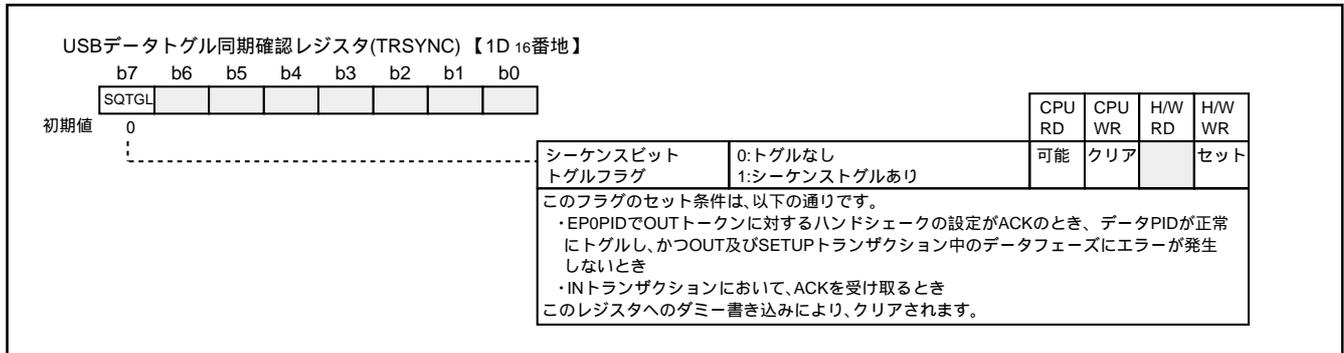


図3.5.11 USBデータトグル同期確認レジスタの構成

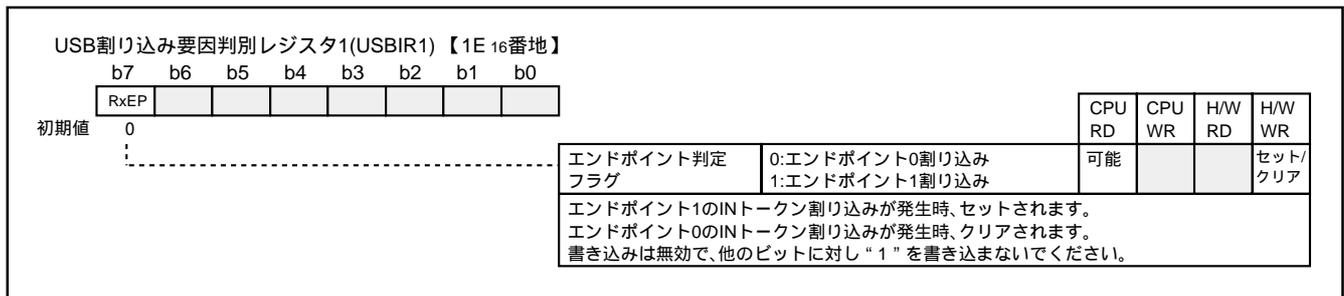


図3.5.12 USB割り込み要因判別レジスタ1の構成

USB関連のレジスタ構成図の表記については、2章57ページ「図2.4.6 USB関連レジスタ表記例」を参照ください。

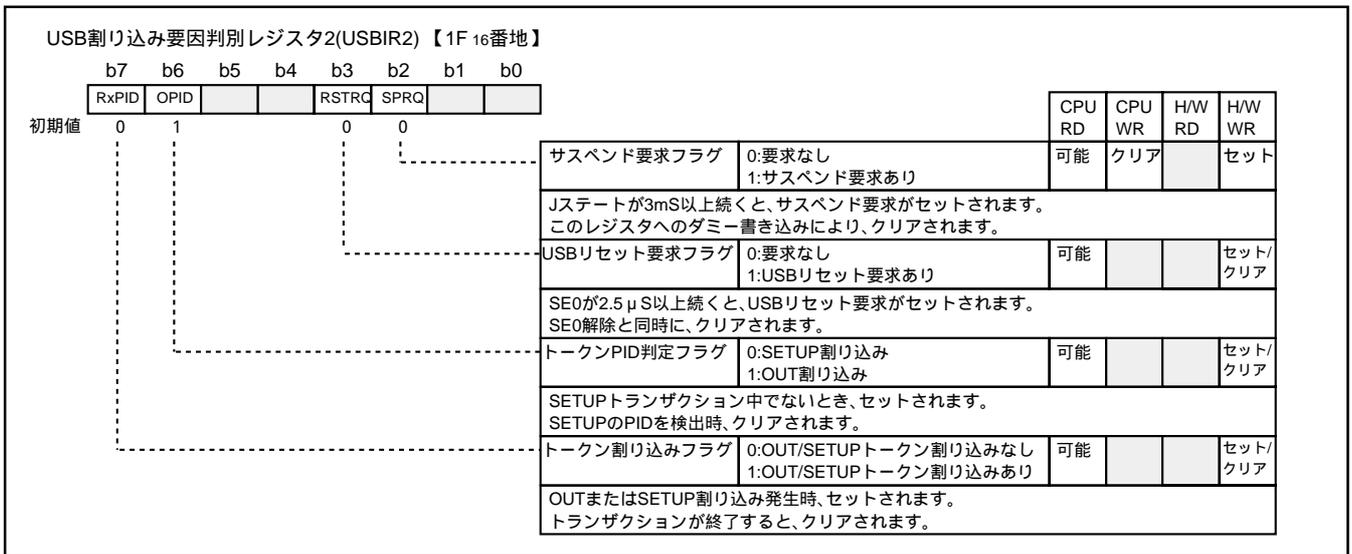


図3.5.13 USB割り込み要因判別レジスタ2の構成

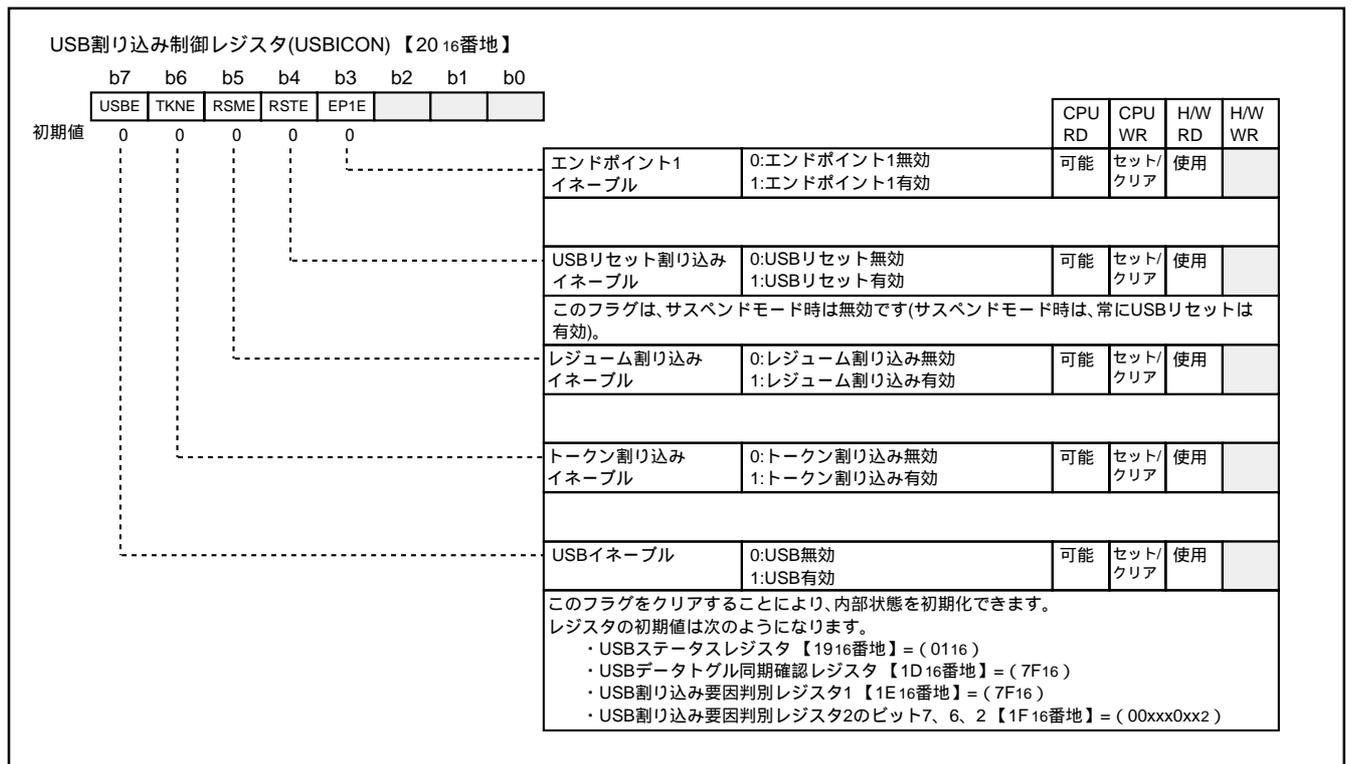


図3.5.14 USB割り込み制御レジスタの構成



図3.5.15 USB送信データバイト数設定レジスタ0の構成

USB関連のレジスタ構成図の表記については、2章57ページ「図2.4.6 USB関連レジスタ表記例」を参照ください。

USB送信データバイト数設定レジスタ1(EP1BYTE) 【22 ₁₆ 番地】								CPU RD	CPU WR	H/W RD	H/W WR
b7	b6	b5	b4	b3	b2	b1	b0				
0	0	0	0	EP1BYTE							
初期値				0	0	0	0				
								可能	セット/クリア	使用	
								エンドポイント1で送信するデータバイト数を設定してください。			

図3.5.16 USB送信データバイト数設定レジスタ1の構成

USBPID制御レジスタ0(EP0PID) 【23 ₁₆ 番地】								CPU RD	CPU WR	H/W RD	H/W WR
b7	b6	b5	b4	b3	b2	b1	b0				
DPID0	SPID0	APID0	SPID0C	EP0E							
初期値				0	0	0	0				
								可能	セット/クリア	使用	
								エンドポイント0イネーブル 0:エンドポイント0無効 1:エンドポイント0有効			
								このフラグをクリアすることにより、予期しないINまたはOUTトランザクションを無視できません(SETUPトランザクションは無効にできません、常に有効です)。			
								可能	セット/クリア	使用	
								エンドポイント0PID選択フラグ(OUT STALL) 1XXX:DATA0/1のINT-ク割り込み有効 01XX:INT-クに対してSTALLハンドシェイク有効			
								可能	セット/クリア	使用	
								エンドポイント0PID選択フラグ(OUT ACK) 00XX:INT-クに対してNAKハンドシェイク有効 XXX1:OUT-クに対してSTALLハンドシェイク有効			
								可能	セット/クリア	使用	
								エンドポイント0PID選択フラグ(IN STALL) XX10:OUT-クに対してACKハンドシェイク有効 XX00:OUT-クに対してNAKハンドシェイク有効			
								可能	セット/クリア	使用	クリア
								DPID0及びSPID0は、INトークンに対する応答の制御に使用します。 DPID0は、トークン割り込み許可フラグ(TKNE)と組み合わせて使用します。 DPID0は、ACKを受け取るとハードウェアにより自動的にクリアされます。 SPID00及びAPID0は、OUTトークンに対する応答の制御に使用します。 トークンパケット中にDPID0を変更すると、変更後の値はトークン終了後に有効になります。 X: 0又は1に設定してください。			

図3.5.17 USBPID制御レジスタ0の構成

USB関連のレジスタ構成図の表記については、2章57ページ「図2.4.6 USB関連レジスタ表記例」を参照ください。

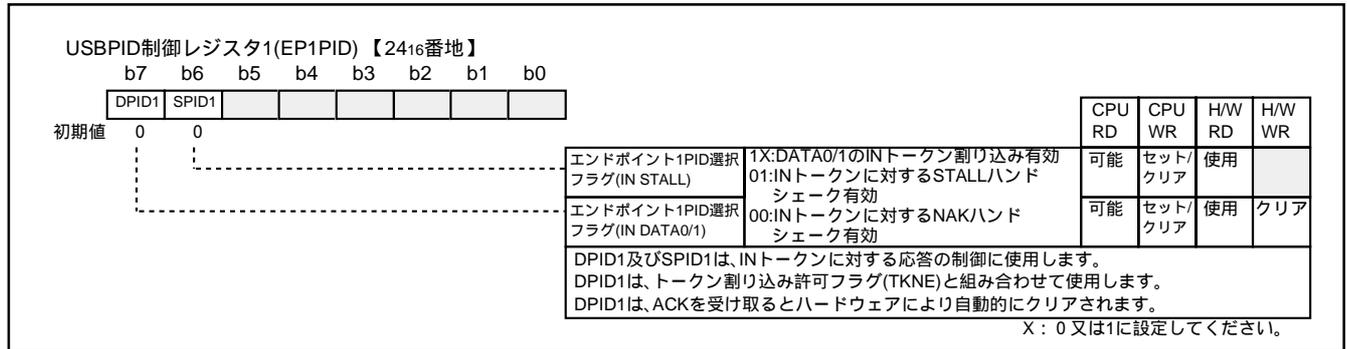


図3.5.18 USBPID制御レジスタ1の構成

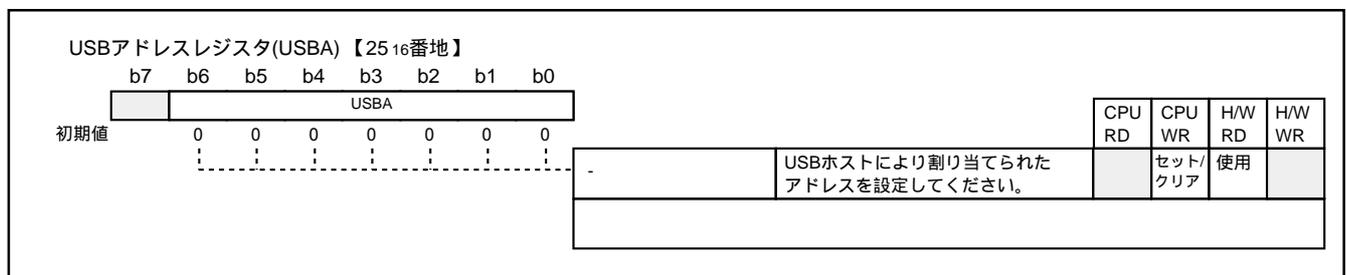


図3.5.19 USBアドレスレジスタの構成

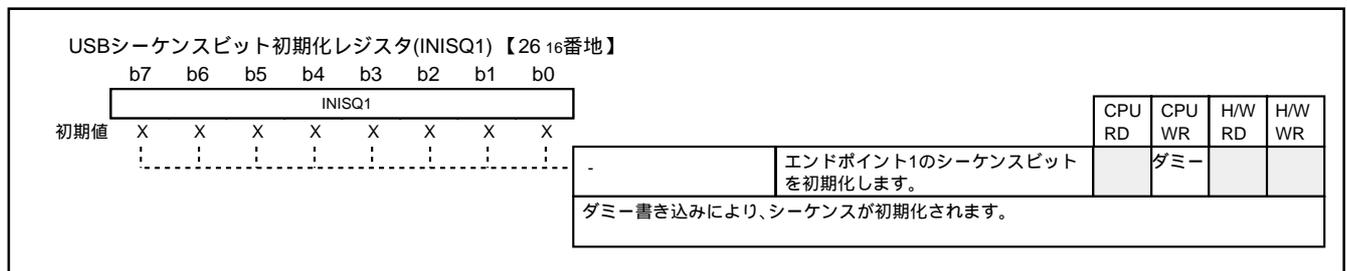


図3.5.20 USBシーケンスビット初期化レジスタの構成

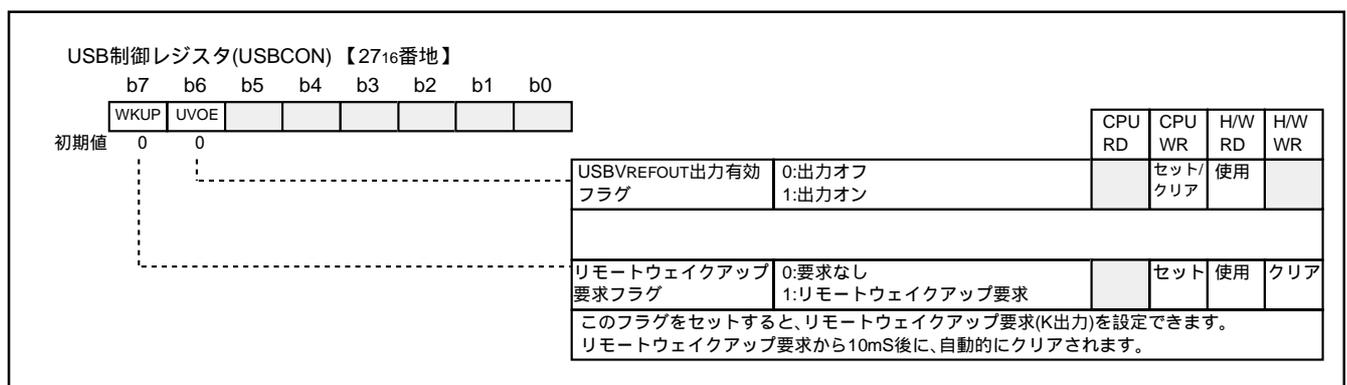
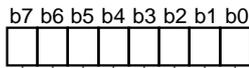


図3.5.21 USB制御レジスタの構成

プリスケータ12、プリスケータX

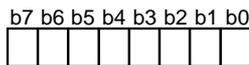


プリスケータ12(PRE12)、プリスケータX(PREX)
【2816,2C16番地】

b	機 能	リセット時	R:W
0	各プリスケータのカウンタ値を設定します。	1	·
1	このレジスタに設定した値は、各プリスケータと	1	·
2	対応するプリスケータラッチの両方へ同時に書き	1	·
3	込まれます。	1	·
4	このレジスタを読み出した場合、対応するプリス	1	·
5	ケータのカウンタ値が読み出されます。	1	·
6		1	·
7		1	·

図3.5.22 プリスケータ12、プリスケータXの構成

タイマ1

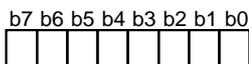


タイマ1(T1)【2916番地】

b	機 能	リセット時	R:W
0	タイマ1のカウンタ値を設定します。	1	·
1	このレジスタに設定した値は、タイマ1とタイマ1	0	·
2	ラッチの両方へ同時に書き込まれます。	0	·
3	このレジスタを読み出した場合、タイマ1の	0	·
4	カウンタ値が読み出されます。	0	·
5		0	·
6		0	·
7		0	·

図3.5.23 タイマ1の構成

タイマ2



タイマ2(T2)【2A16番地】

b	機 能	リセット時	R:W
0	タイマ2のカウンタ値を設定します。	0	·
1	このレジスタに設定した値は、タイマ2とタイマ2	0	·
2	ラッチの両方へ同時に書き込まれます。	0	·
3	このレジスタを読み出した場合、タイマ2の	0	·
4	カウンタ値が読み出されます。	0	·
5		0	·
6		0	·
7		0	·

図3.5.24 タイマ2の構成

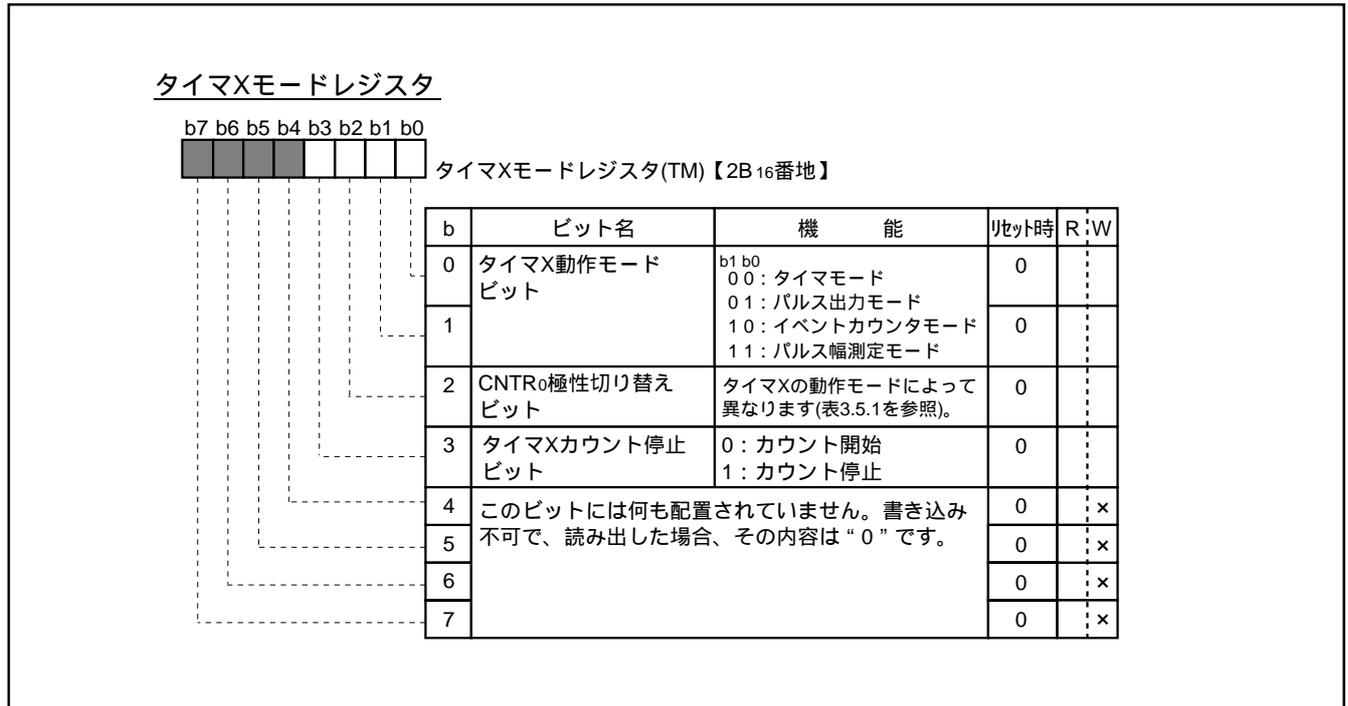


図3.5.25 タイマXモードレジスタの構成

表3.5.1 CNTR0極性切り替えビットの機能

タイマX の動作モード	CNTR0極性切り替えビット (2B16番地のビット2)の内容	
タイマモード	“0”	・ CNTR0割り込み要求の発生：立ち下がりエッジ(タイマのカウントに影響なし)
	“1”	・ CNTR0割り込み要求の発生：立ち上がりエッジ(タイマのカウントに影響なし)
パルス出力 モード	“0”	・ パルス出力開始：“H”レベルから ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ パルス出力開始：“L”レベルから ・ CNTR0割り込み要求の発生：立ち上がりエッジ
イベントカウ ンタモード	“0”	・ タイマX：立ち上がりエッジをカウント ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ タイマX：立ち下がりエッジをカウント ・ CNTR0割り込み要求の発生：立ち上がりエッジ
パルス幅測定 モード	“0”	・ タイマX：“H”レベル幅を測定 ・ CNTR0割り込み要求の発生：立ち下がりエッジ
	“1”	・ タイマX：“L”レベル幅を測定 ・ CNTR0割り込み要求の発生：立ち上がりエッジ

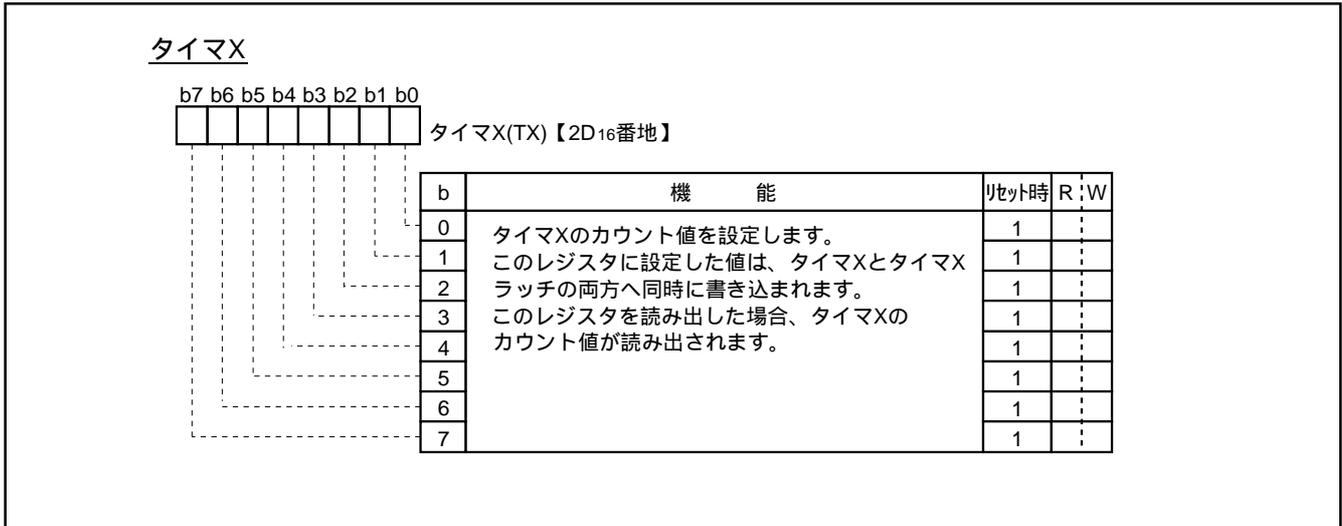


図3.5.26 タイマXの構成

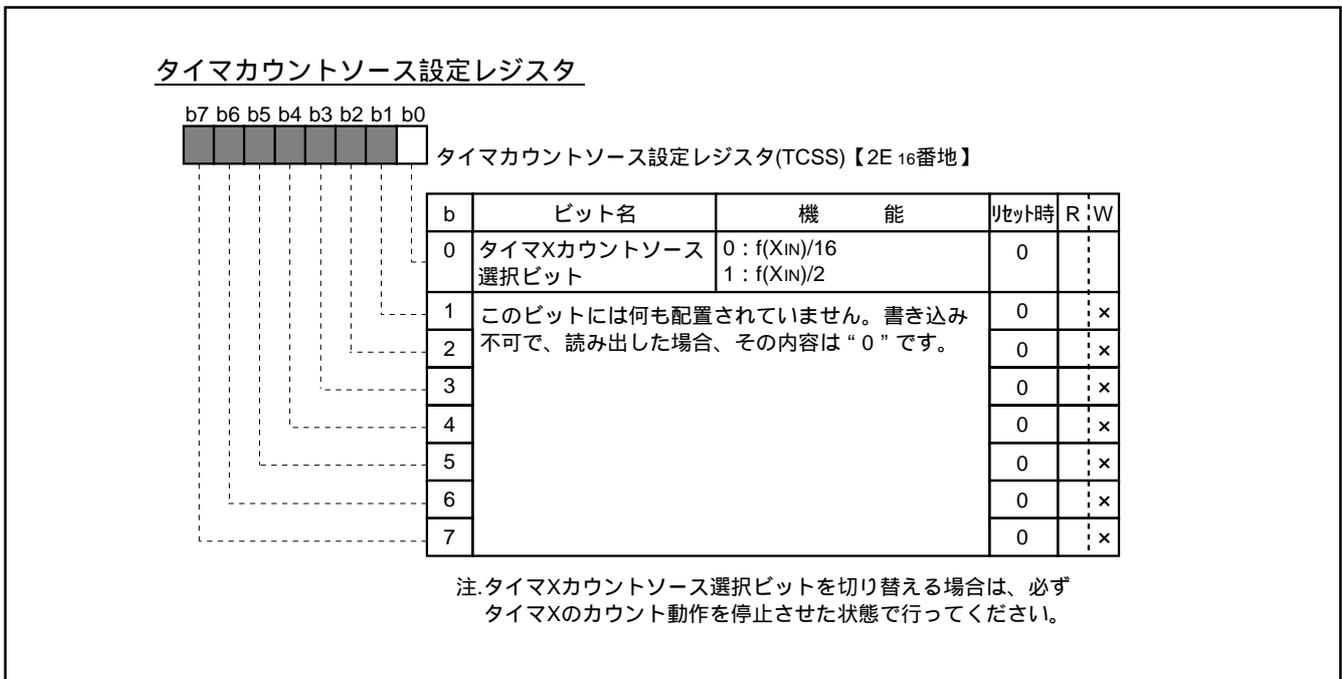


図3.5.27 タイマカウントソース設定レジスタの構成

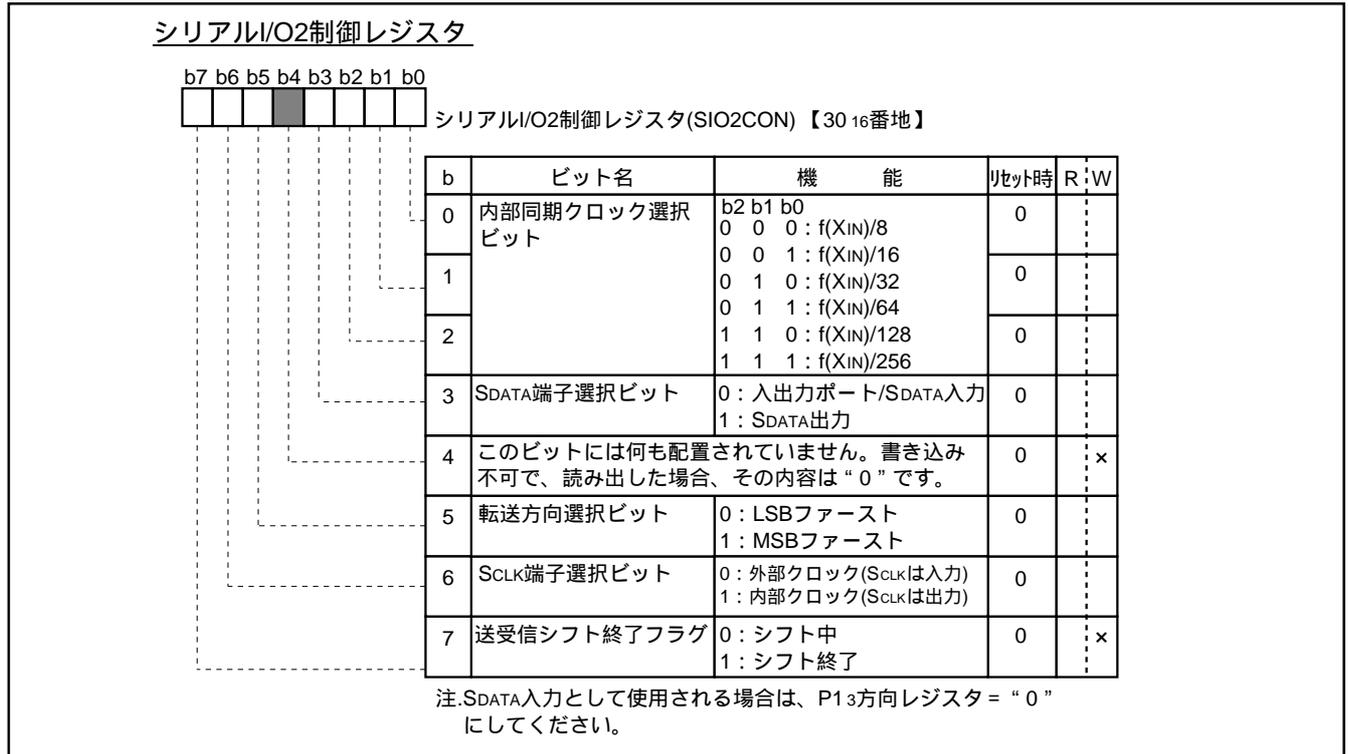


図3.5.28 シリアル/O2制御レジスタの構成

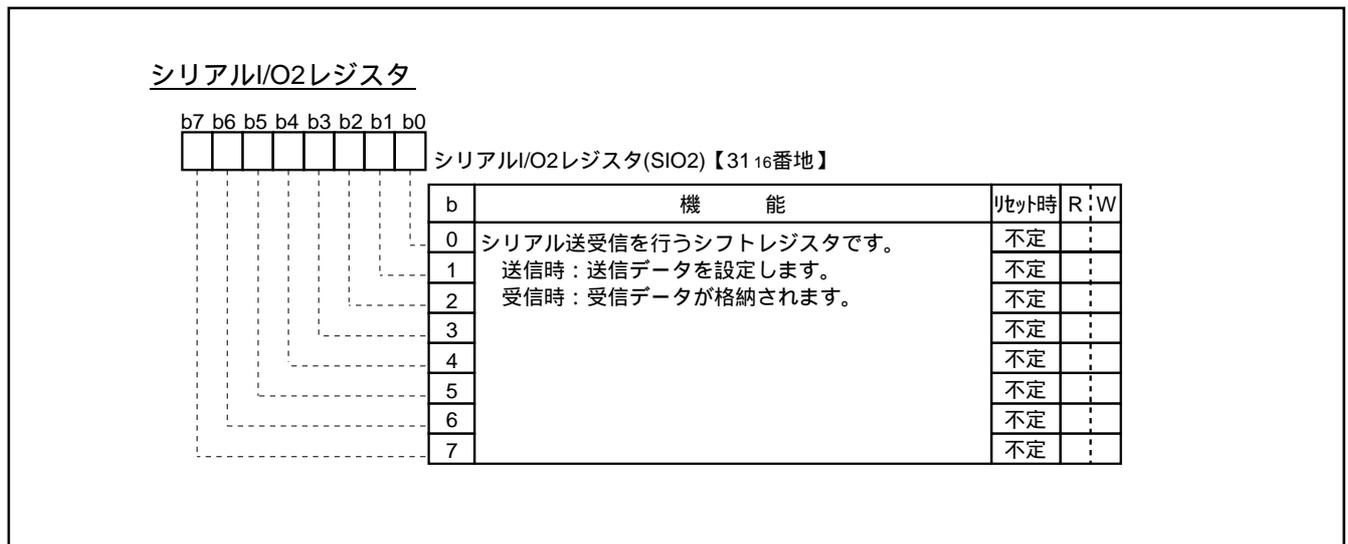


図3.5.29 シリアル/O2レジスタの構成

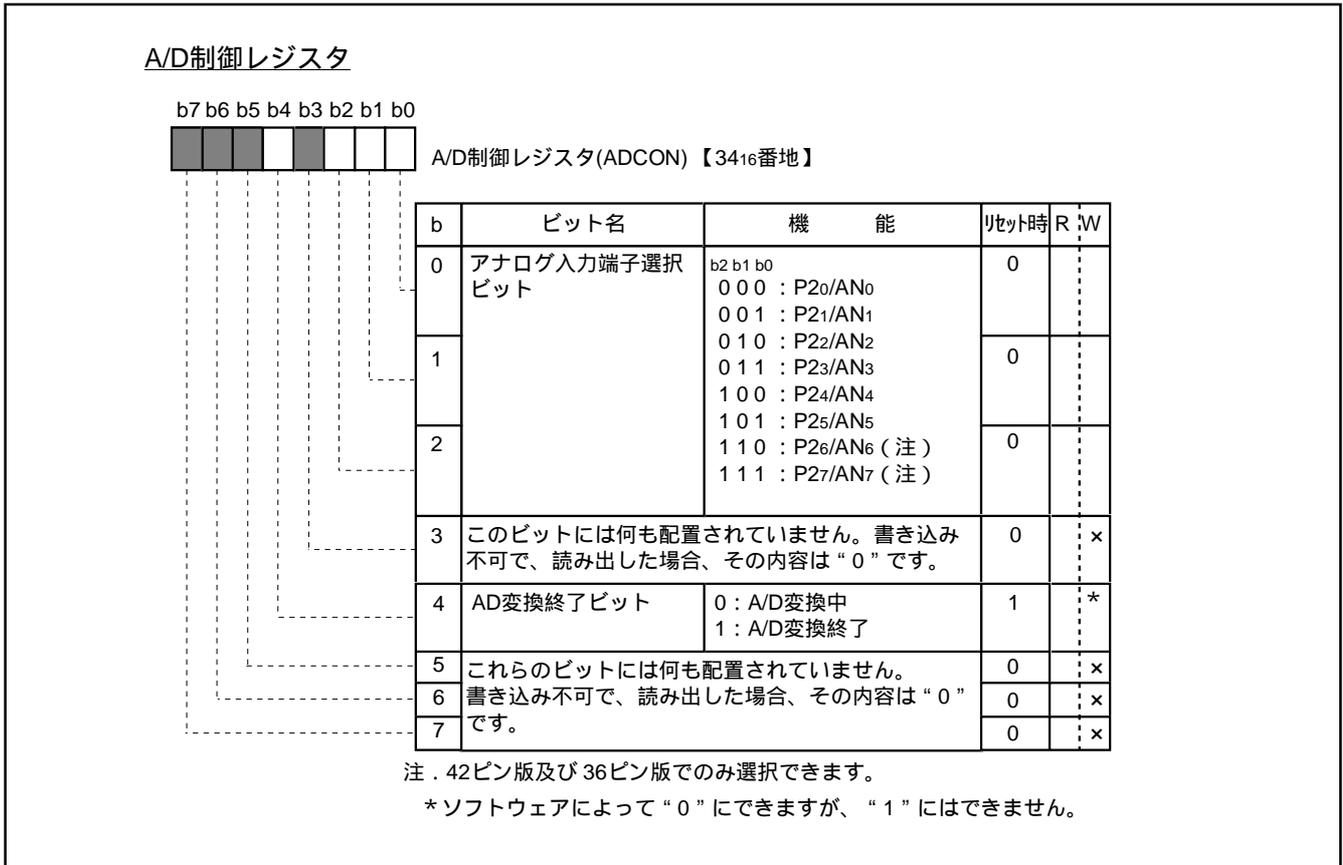


図3.5.30 A/D制御レジスタの構成

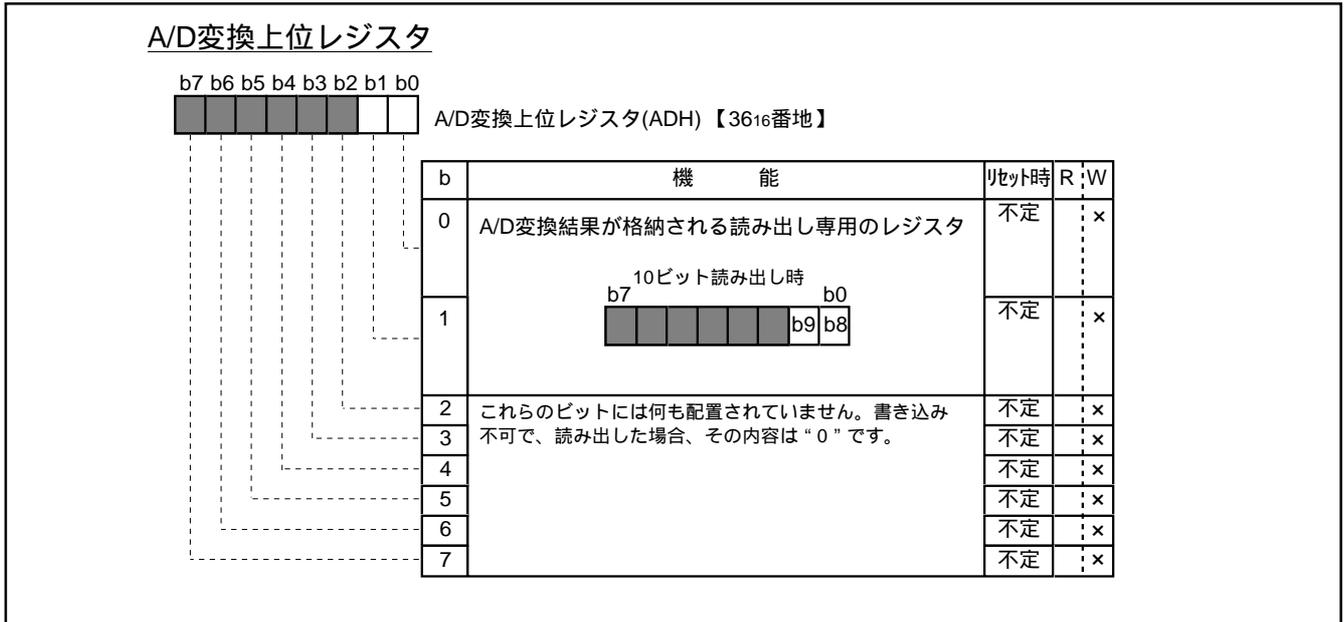


図3.5.31 A/D変換上位レジスタの構成

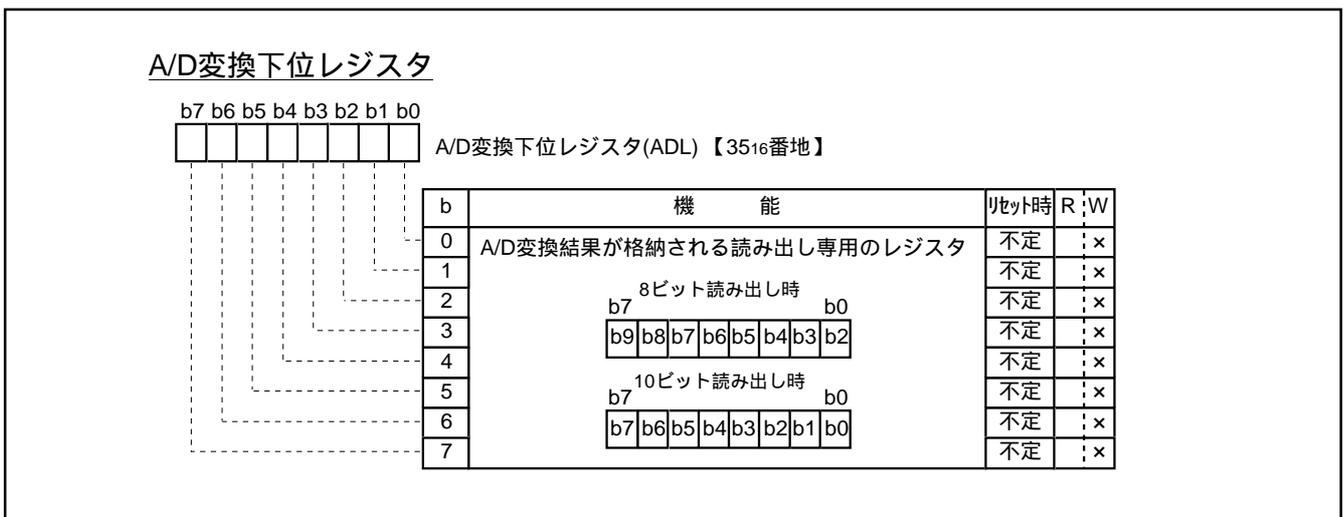


図3.5.32 A/D変換下位レジスタの構成

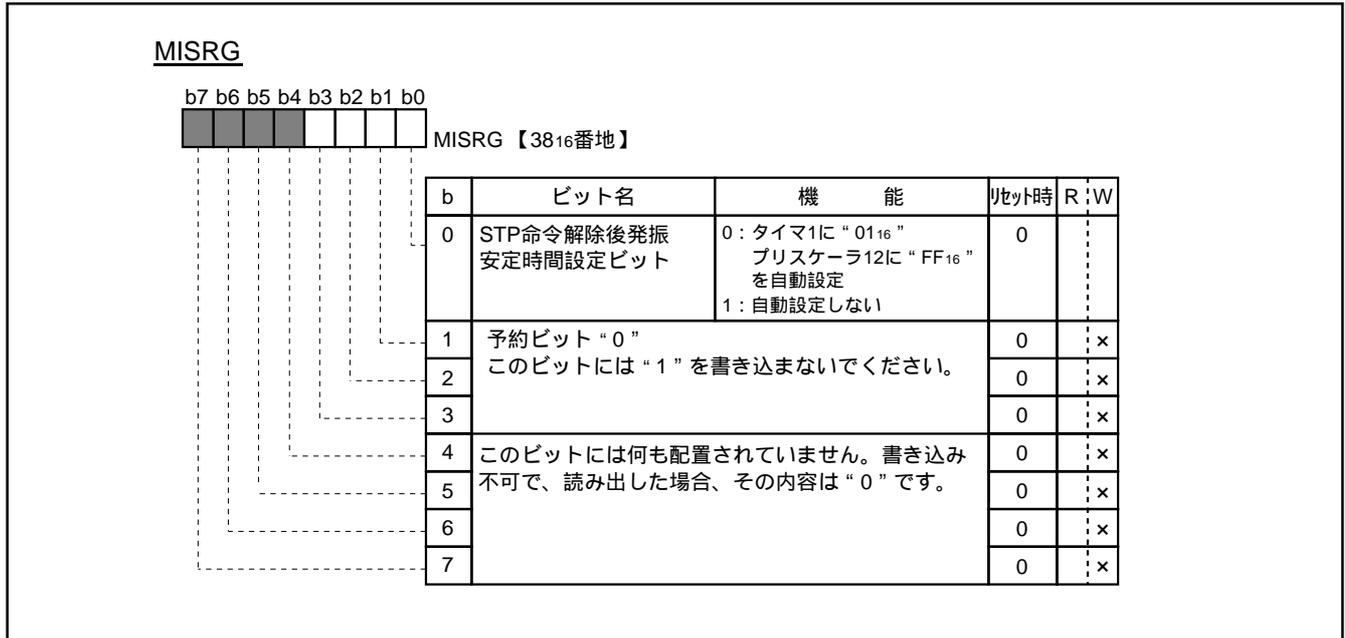


図3.5.33 MISRGの構成

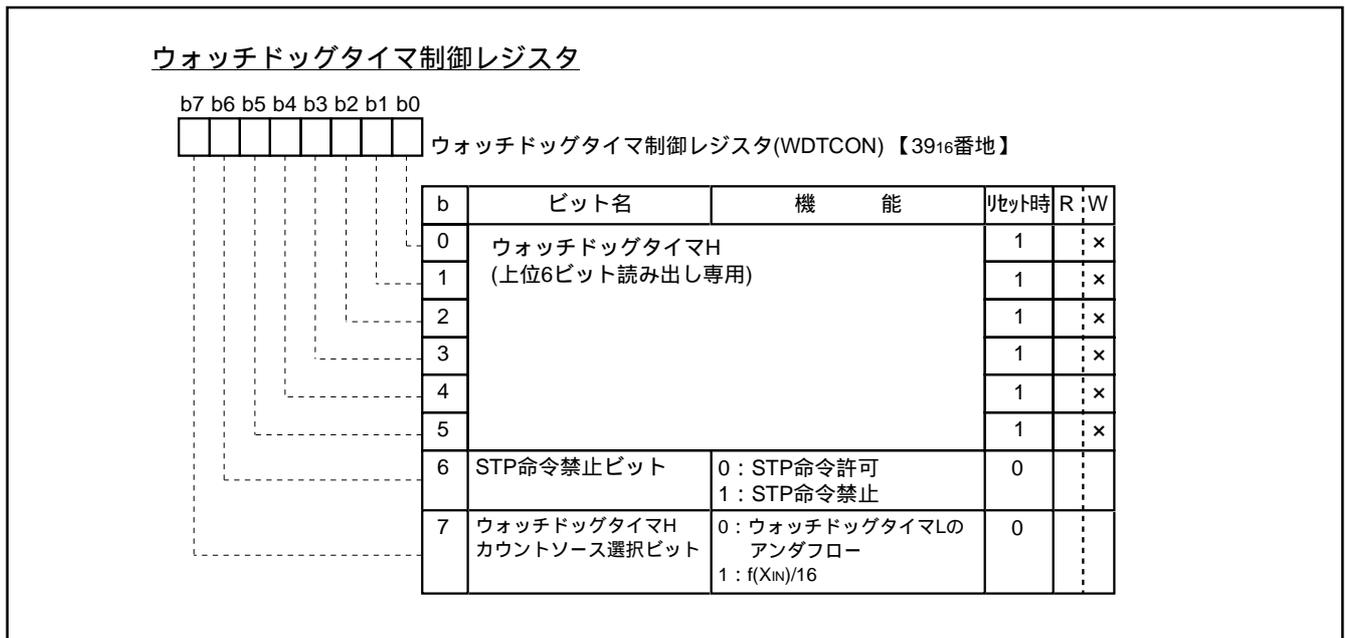


図3.5.34 ウォッチドッグタイマ制御レジスタの構成

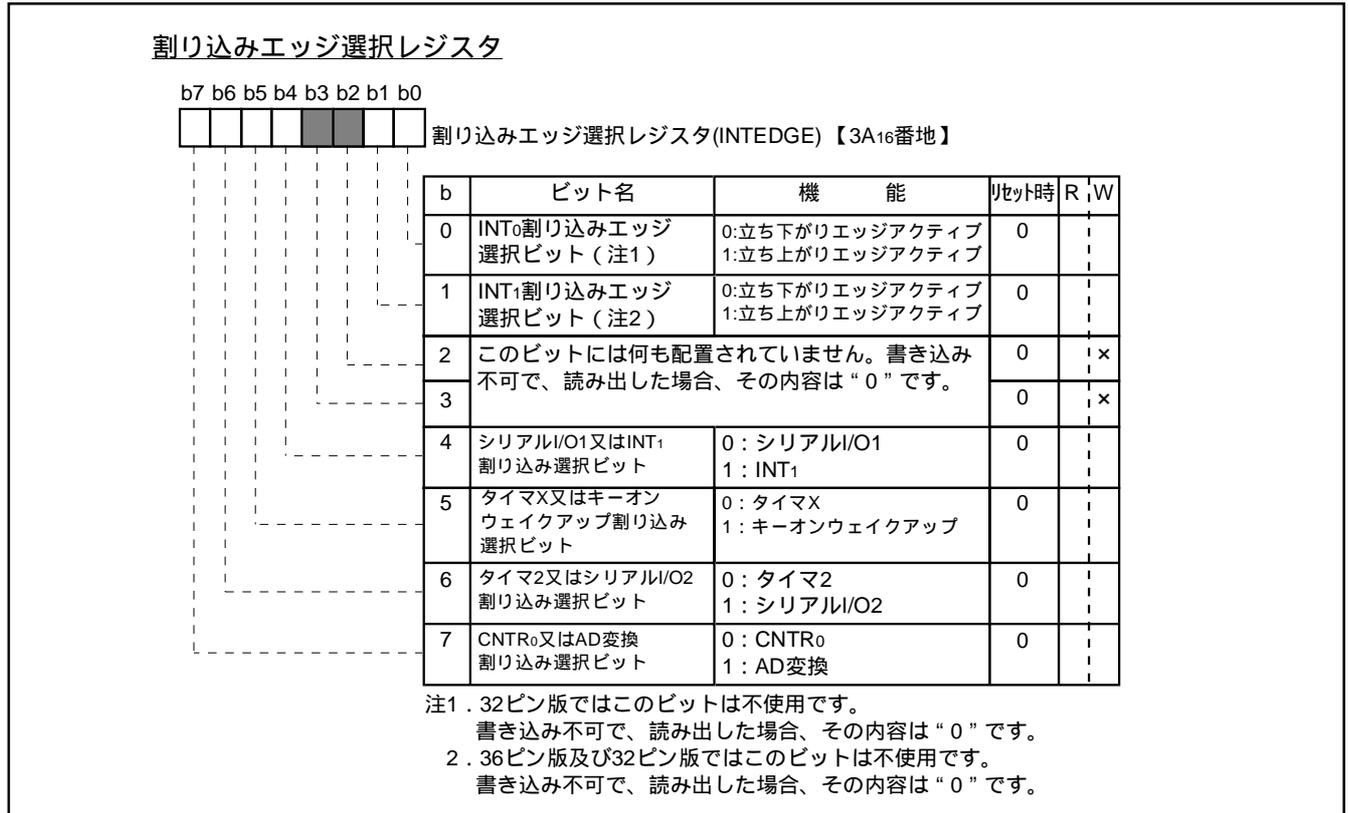


図3.5.35 割り込みエッジ選択レジスタの構成

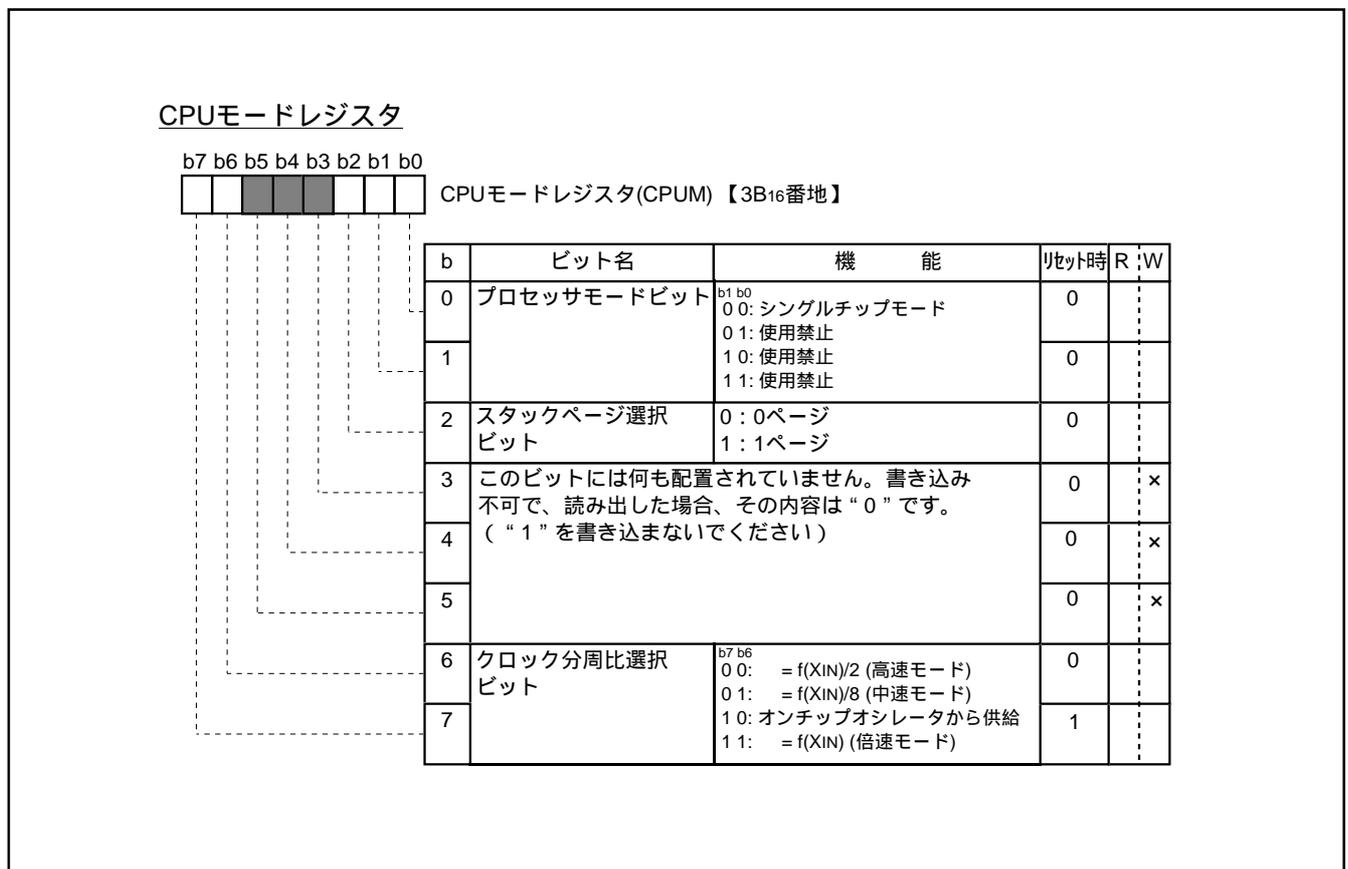


図3.5.36 CPUモードレジスタの構成

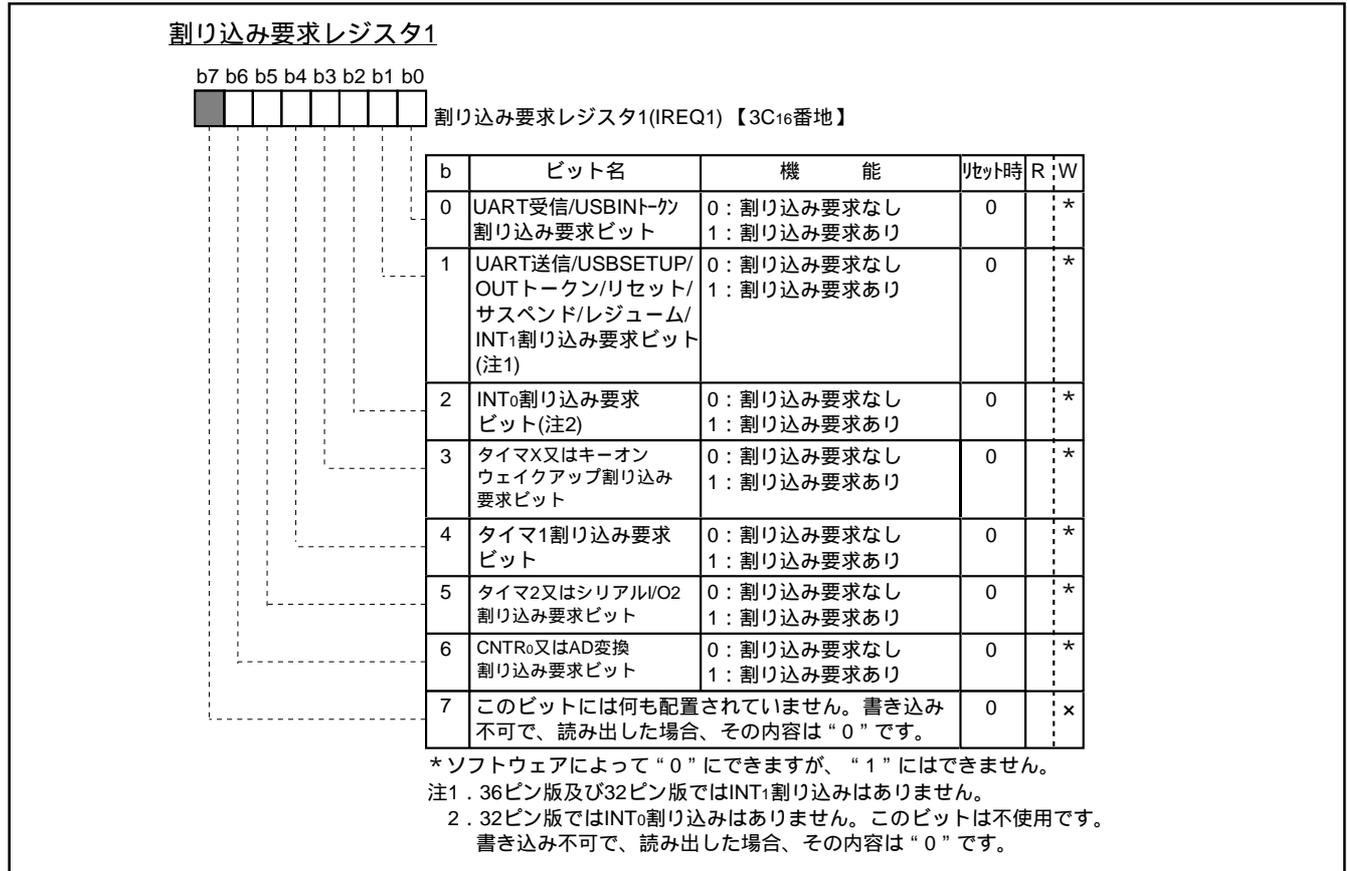


図3.5.37 割り込み要求レジスタ1の構成

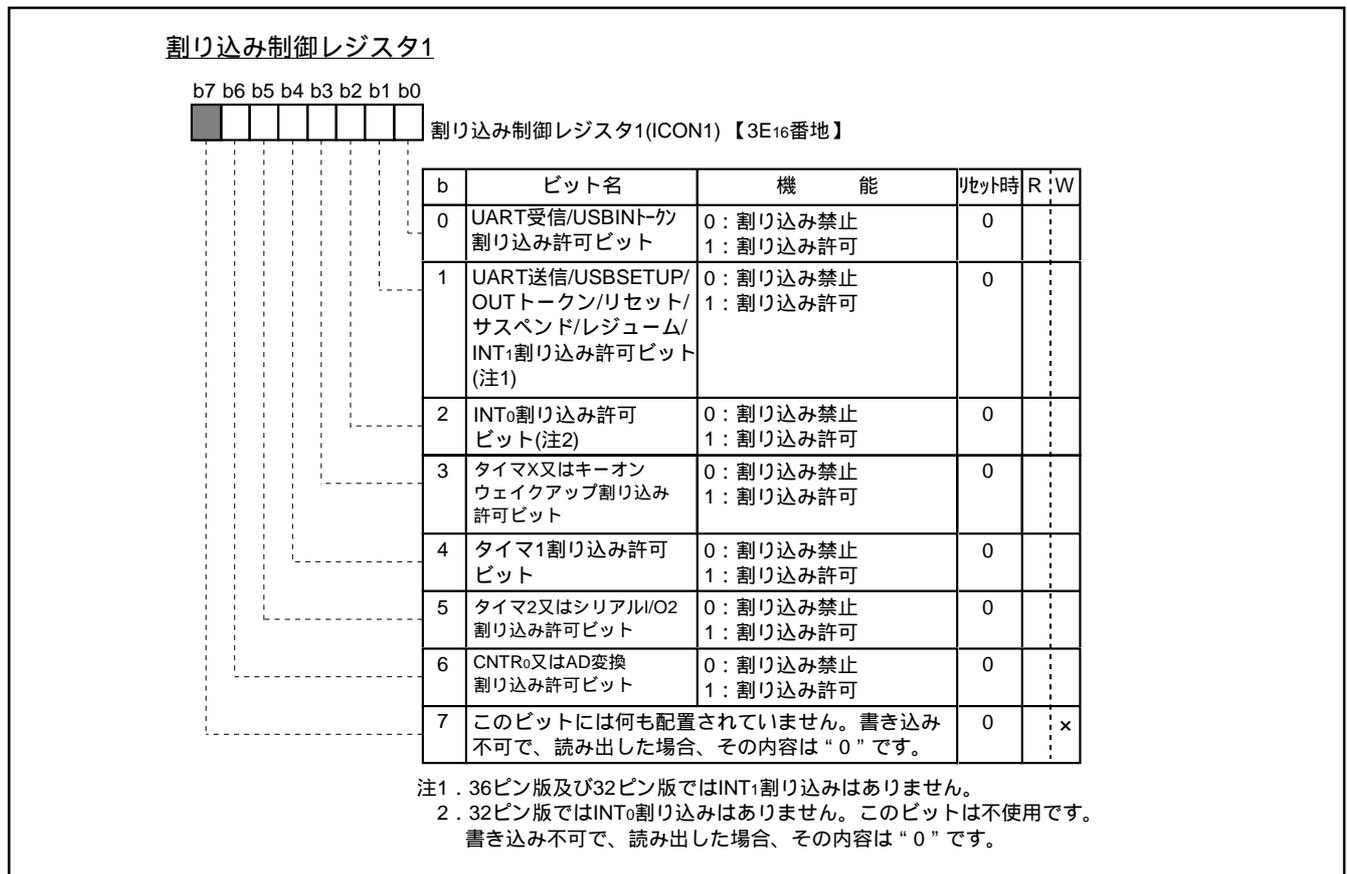
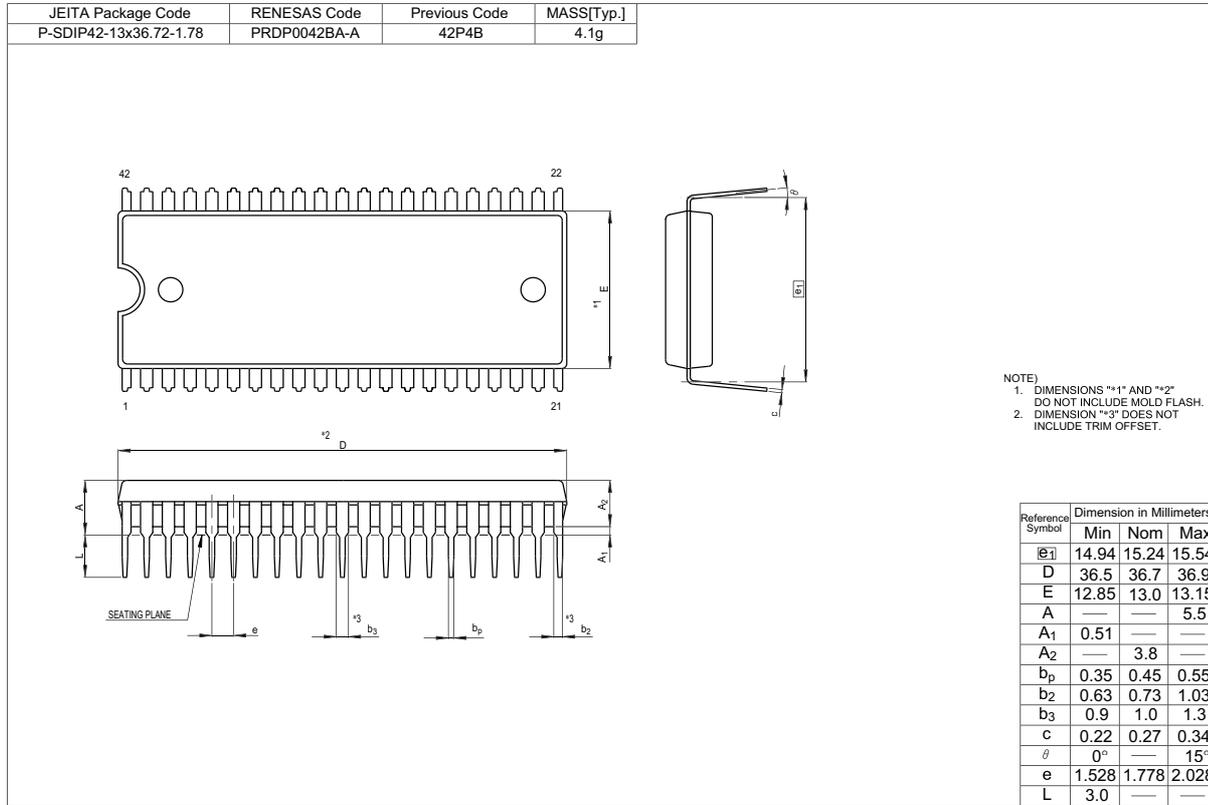


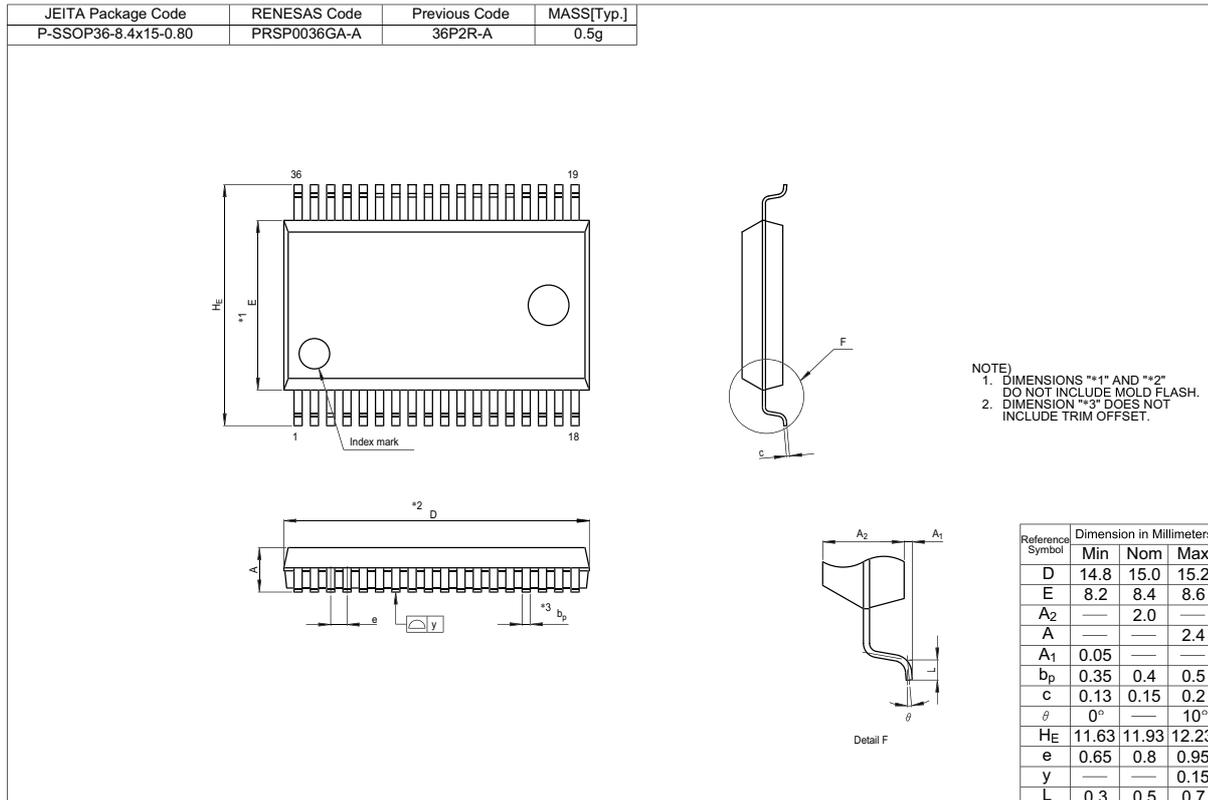
図3.5.38 割り込み制御レジスタ1の構成

3.6 パッケージ寸法図

PRDP0042BA-A

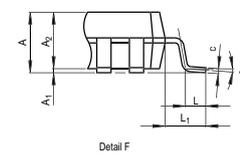
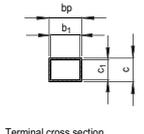
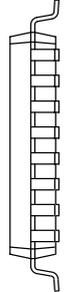
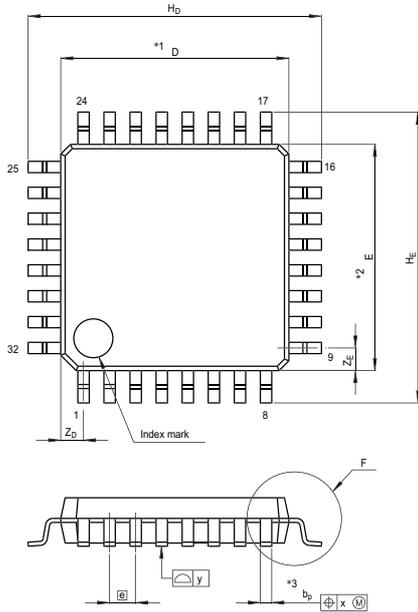


PRSP0036GA-A



PLQP0032GB-A

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP32-7x7-0.80	PLQP0032GB-A	32P6U-A	0.2g



NOTE)
 1. DIMENSIONS **1* AND **2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION **3* DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0	0.1	0.2
b _p	0.32	0.37	0.42
b ₁	—	0.35	—
c	0.09	0.145	0.20
c ₁	—	0.125	—
θ	0°	—	8°
Ⓜ	—	0.8	—
x	—	—	0.20
y	—	—	0.10
Z _D	—	0.7	—
Z _E	—	0.7	—
L	0.3	0.5	0.7
L ₁	—	1.0	—

レイアウトの都合上、このページは白紙です。

3.7 機械語命令一覧表

命令記号	機能	詳細説明	アドレッシングモード																		
			IMP			IMM			A			BIT, A, R			ZP			BIT, ZP, R			
			OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	
ADC (注1) (注5)	T = 0のとき A A + M + C T = 1のとき M(X) M(X) + M + C	Tフラグが0のとき、AとMとCフラグの内容を加算して、結果をA及びCフラグに入れます。 Tフラグが1のとき、M(X)とMとCフラグの内容を加算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				69	2	2							65	3	2				
AND (注1)	T = 0のとき A A ∧ M T = 1のとき M(X) M(X) ∧ M	Tフラグが0のとき、AとMの内容のビットごとの論理積をとり、結果をAに入れます。 Tフラグが1のとき、M(X)とMの内容のビットごとの論理積をとり、結果をM(X)に入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				29	2	2							25	3	2				
ASL	$\begin{matrix} 7 & 0 \\ \boxed{C} \leftarrow & \leftarrow 0 \end{matrix}$	A又はMのすべてのビットを、1ビット左へシフトします。このとき、A又はMのビット0は0になります。また、Cフラグには、A又はMのビット7の内容が入ります。							0A	2	1				06	5	2				
BBC (注4)	Ai又はMi = 0?	M又はAの指定されたビットをテストします。そのビットが0であれば、指定されたアドレスに分岐します。 分岐先のアドレスは、相対で示します。 そのビットが1であれば、そのまま、次へ進みます。											13 20i	4	2				17 20i	5	3
BBS (注4)	Ai又はMi = 1?	M又はAの指定されたビットをテストします。そのビットが1であれば、指定されたアドレスに分岐します。 分岐先のアドレスは、相対で示します。 そのビットが0であれば、そのまま、次へ進みます。											03 20i	4	2				07 20i	5	3
BCC (注4)	C = 0?	Cフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Cフラグが1のとき、そのまま、次へ進みます。																			
BCS (注4)	C = 1?	Cフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Cフラグが0のとき、そのまま、次へ進みます。																			
BEQ (注4)	Z = 1?	Zフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Zフラグが0のとき、そのまま、次へ進みます。																			
BIT	A ∧ M	AとMの内容のビットごとの論理積をとりますが、結果はどこにもストアされません。Nフラグ、Vフラグ、Zフラグの内容は変化しますが、AとMの内容は変化しません。													24	3	2				
BMI (注4)	N = 1?	Nフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Nフラグが0のとき、そのまま、次へ進みます。																			
BNE (注4)	Z = 0?	Zフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Zフラグが1のとき、そのまま、次へ進みます。																			
BPL (注4)	N = 0?	Nフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Nフラグが1のとき、そのまま、次へ進みます。																			
BRA	PC PC ± オフセット	指定されたアドレスにジャンプします。ジャンプ先のアドレスは、相対で示します。																			
BRK	B 1 (PC) (PC) + 2 M(S) PCH S S - 1 M(S) PCL S S - 1 M(S) PS S S - 1 I 1 PCL ADL PCH ADH	BRK命令を実行すると、CPUは現在のPCの内容をスタックに退避し、割り込みベクトルで、指定されたアドレス (BADRS) をPCに格納します。	00	7	1																

3.8 命令コード一覧表

D7~D4	D3~D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	BRK	ORA IND, X	JSR ZP, IND	BBS 0, A	-	ORA ZP	ASL ZP	BBS 0, ZP	PHP	ORA IMM	ASL A	SEB 0, A	-	ORA ABS	ASL ABS	SEB 0, ZP
0001	1	BPL	ORA IND, Y	CLT	BBC 0, A	-	ORA ZP, X	ASL ZP, X	BBC 0, ZP	CLC	ORA ABS, Y	DEC A	CLB 0, A	-	ORA ABS, X	ASL ABS, X	CLB 0, ZP
0010	2	JSR ABS	AND IND, X	JSR SP	BBS 1, A	BIT ZP	AND ZP	ROL ZP	BBS 1, ZP	PLP	AND IMM	ROL A	SEB 1, A	BIT ABS	AND ABS	ROL ABS	SEB 1, ZP
0011	3	BMI	AND IND, Y	SET	BBC 1, A	-	AND ZP, X	ROL ZP, X	BBC 1, ZP	SEC	AND ABS, Y	INC A	CLB 1, A	LDM ZP	AND ABS, X	ROL ABS, X	CLB 1, ZP
0100	4	RTI	EOR IND, X	STP	BBS 2, A	COM ZP	EOR ZP	LSR ZP	BBS 2, ZP	PHA	EOR IMM	LSR A	SEB 2, A	JMP ABS	EOR ABS	LSR ABS	SEB 2, ZP
0101	5	BVC	EOR IND, Y	-	BBC 2, A	-	EOR ZP, X	LSR ZP, X	BBC 2, ZP	CLI	EOR ABS, Y	-	CLB 2, A	-	EOR ABS, X	LSR ABS, X	CLB 2, ZP
0110	6	RTS	ADC IND, X	-	BBS 3, A	TST ZP	ADC ZP	ROR ZP	BBS 3, ZP	PLA	ADC IMM	ROR A	SEB 3, A	JMP IND	ADC ABS	ROR ABS	SEB 3, ZP
0111	7	BVS	ADC IND, Y	-	BBC 3, A	-	ADC ZP, X	ROR ZP, X	BBC 3, ZP	SEI	ADC ABS, Y	-	CLB 3, A	-	ADC ABS, X	ROR ABS, X	CLB 3, ZP
1000	8	BRA	STA IND, X	RRF ZP	BBS 4, A	STY ZP	STA ZP	STX ZP	BBS 4, ZP	DEY	-	TXA	SEB 4, A	STY ABS	STA ABS	STX ABS	SEB 4, ZP
1001	9	BCC	STA IND, Y	-	BBC 4, A	STY ZP, X	STA ZP, X	STX ZP, Y	BBC 4, ZP	TYA	STA ABS, Y	TXS	CLB 4, A	-	STA ABS, X	-	CLB 4, ZP
1010	A	LDY IMM	LDA IND, X	LDX IMM	BBS 5, A	LDY ZP	LDA ZP	LDX ZP	BBS 5, ZP	TAY	LDA IMM	TAX	SEB 5, A	LDY ABS	LDA ABS	LDX ABS	SEB 5, ZP
1011	B	BCS	LDA IND, Y	JMP ZP, IND	BBC 5, A	LDY ZP, X	LDA ZP, X	LDX ZP, Y	BBC 5, ZP	CLV	LDA ABS, Y	TSX	CLB 5, A	LDY ABS, X	LDA ABS, X	LDX ABS, Y	CLB 5, ZP
1100	C	CPY IMM	CMP IND, X	WIT	BBS 6, A	CPY ZP	CMP ZP	DEC ZP	BBS 6, ZP	INY	CMP IMM	DEX	SEB 6, A	CPY ABS	CMP ABS	DEC ABS	SEB 6, ZP
1101	D	BNE	CMP IND, Y	-	BBC 6, A	-	CMP ZP, X	DEC ZP, X	BBC 6, ZP	CLD	CMP ABS, Y	-	CLB 6, A	-	CMP ABS, X	DEC ABS, X	CLB 6, ZP
1110	E	CPX IMM	SBC IND, X	-	BBS 7, A	CPX ZP	SBC ZP	INC ZP	BBS 7, ZP	INX	SBC IMM	NOP	SEB 7, A	CPX ABS	SBC ABS	INC ABS	SEB 7, ZP
1111	F	BEQ	SBC IND, Y	-	BBC 7, A	-	SBC ZP, X	INC ZP, X	BBC 7, ZP	SED	SBC ABS, Y	-	CLB 7, A	-	SBC ABS, X	INC ABS, X	CLB 7, ZP

- 3バイト命令
- 2バイト命令
- 1バイト命令

3.9 SFRメモリマップ

0000 ₁₆	ポートP0(P0)
0001 ₁₆	ポートP0方向レジスタ(P0D)
0002 ₁₆	ポートP1(P1)
0003 ₁₆	ポートP1方向レジスタ(P1D)
0004 ₁₆	ポートP2(P2)
0005 ₁₆	ポートP2方向レジスタ(P2D)
0006 ₁₆	ポートP3(P3)
0007 ₁₆	ポートP3方向レジスタ(P3D)
0008 ₁₆	ポートP4(P4)
0009 ₁₆	ポートP4方向レジスタ(P4D)
000A ₁₆	
000B ₁₆	
000C ₁₆	
000D ₁₆	
000E ₁₆	
000F ₁₆	
0010 ₁₆	
0011 ₁₆	
0012 ₁₆	
0013 ₁₆	
0014 ₁₆	
0015 ₁₆	
0016 ₁₆	プルアップ制御レジスタ(PULL)
0017 ₁₆	ポートP1P3制御レジスタ(P1P3C)
0018 ₁₆	送信/受信バッファレジスタ(TB/RB)
0019 ₁₆	USBステータス(USBSTS)/UARTステータスレジスタ(UARTSTS)
001A ₁₆	シリアル/O1制御レジスタ(SIO1CON)
001B ₁₆	UART制御レジスタ(UARTCON)
001C ₁₆	ポーレートジェネレータ(BRG)
001D ₁₆	USBデータトグル同期確認レジスタ(TRSYNC)
001E ₁₆	USB割り込み要因判別レジスタ1(USBIR1)
001F ₁₆	USB割り込み要因判別レジスタ2(USBIR2)

0020 ₁₆	USB割り込み制御レジスタ(USBICON)
0021 ₁₆	USB送信データバイト数設定レジスタ0 (EP0BYTE)
0022 ₁₆	USB送信データバイト数設定レジスタ1 (EP1BYTE)
0023 ₁₆	USBPID制御レジスタ0(EP0PID)
0024 ₁₆	USBPID制御レジスタ1(EP1PID)
0025 ₁₆	USBアドレスレジスタ(USBA)
0026 ₁₆	USBシーケンスビット初期化レジスタ(INISQ1)
0027 ₁₆	USB制御レジスタ(USBCON)
0028 ₁₆	プリスケアラ12(PRE12)
0029 ₁₆	タイマ1(T1)
002A ₁₆	タイマ2(T2)
002B ₁₆	タイマXモードレジスタ(TM)
002C ₁₆	プリスケアラX(PREX)
002D ₁₆	タイマX(TX)
002E ₁₆	タイマカウントソース設定レジスタ(TCSS)
002F ₁₆	
0030 ₁₆	シリアル/O2制御レジスタ(SIO2CON)
0031 ₁₆	シリアル/O2レジスタ(SIO2)
0032 ₁₆	
0033 ₁₆	
0034 ₁₆	A/D制御レジスタ(ADCON)
0035 ₁₆	A/D変換下位レジスタ(ADL)
0036 ₁₆	A/D変換上位レジスタ(ADH)
0037 ₁₆	
0038 ₁₆	MISRG
0039 ₁₆	ウォッチドッグタイマ制御レジスタ(WDTCON)
003A ₁₆	割り込みエッジ選択レジスタ(INTEDGE)
003B ₁₆	CPUモードレジスタ(CPUM)
003C ₁₆	割り込み要求レジスタ1(IREQ1)
003D ₁₆	
003E ₁₆	割り込み制御レジスタ1(ICON1)
003F ₁₆	

3.10 ピン接続図

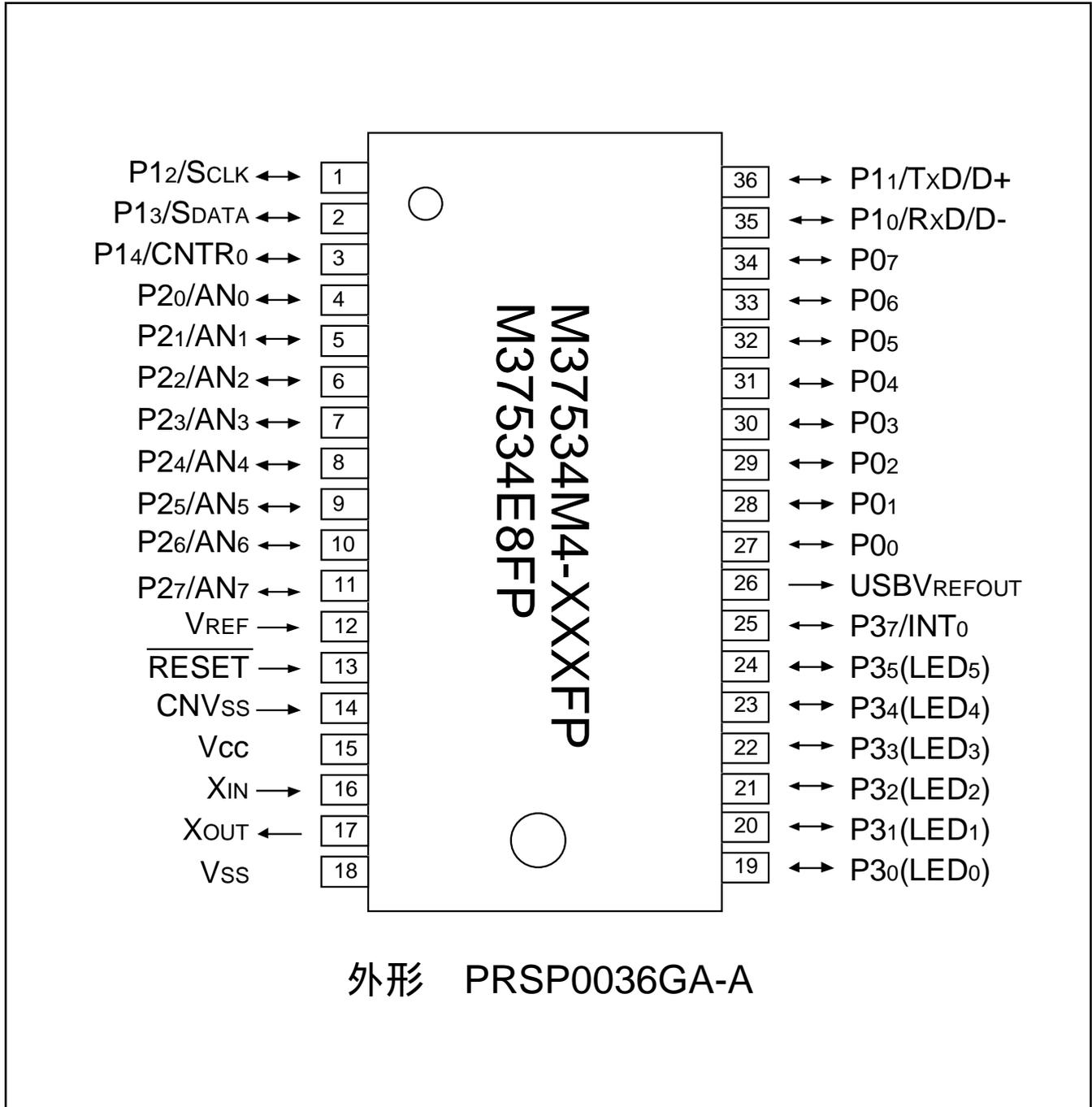


図3.10.1 ピン接続図(M37534M4-XXXXFP、M37534E8FP)

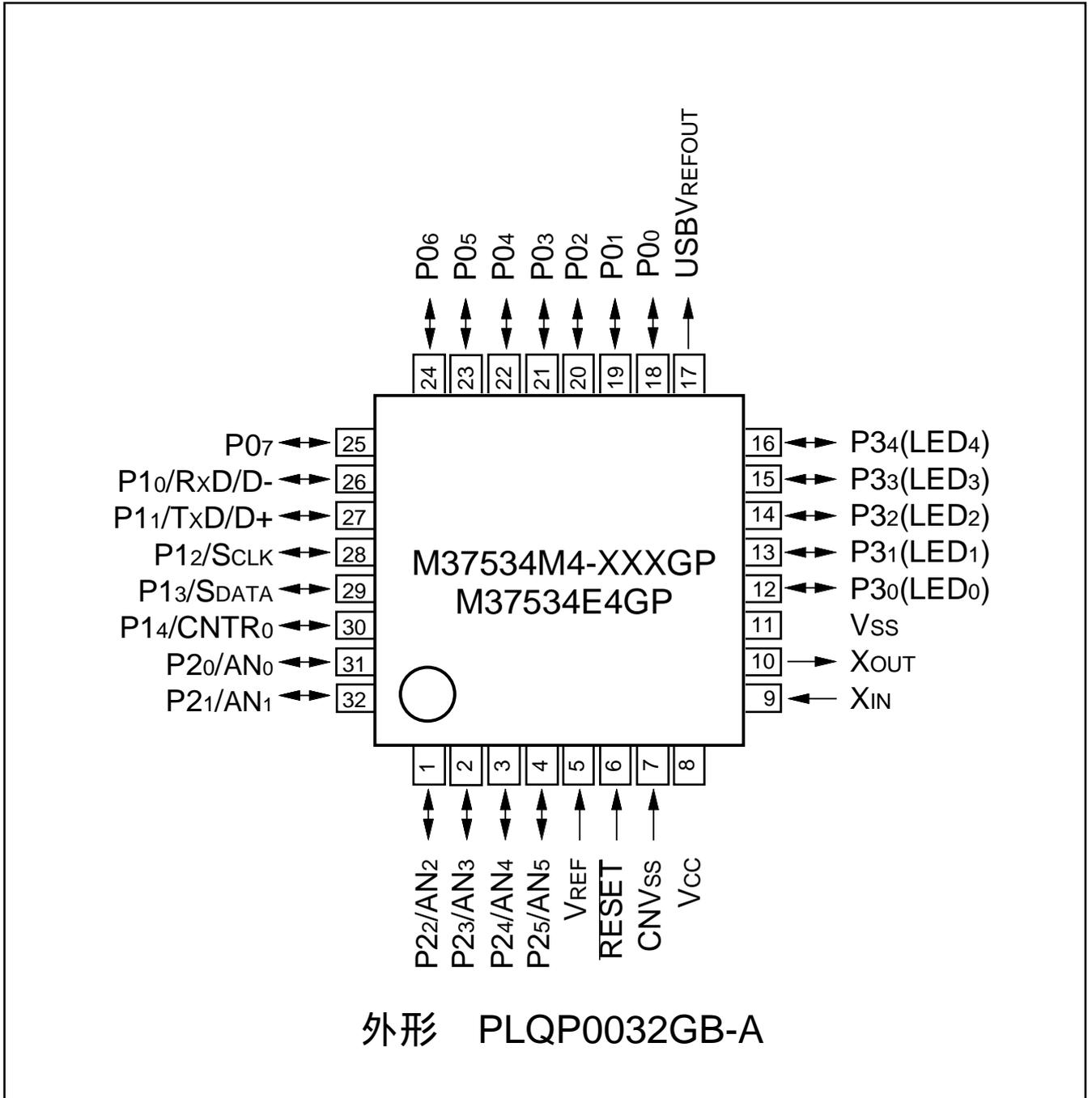


図3.10.2 ピン接続図(M37534M4-XXXGP、M37534E4GP)

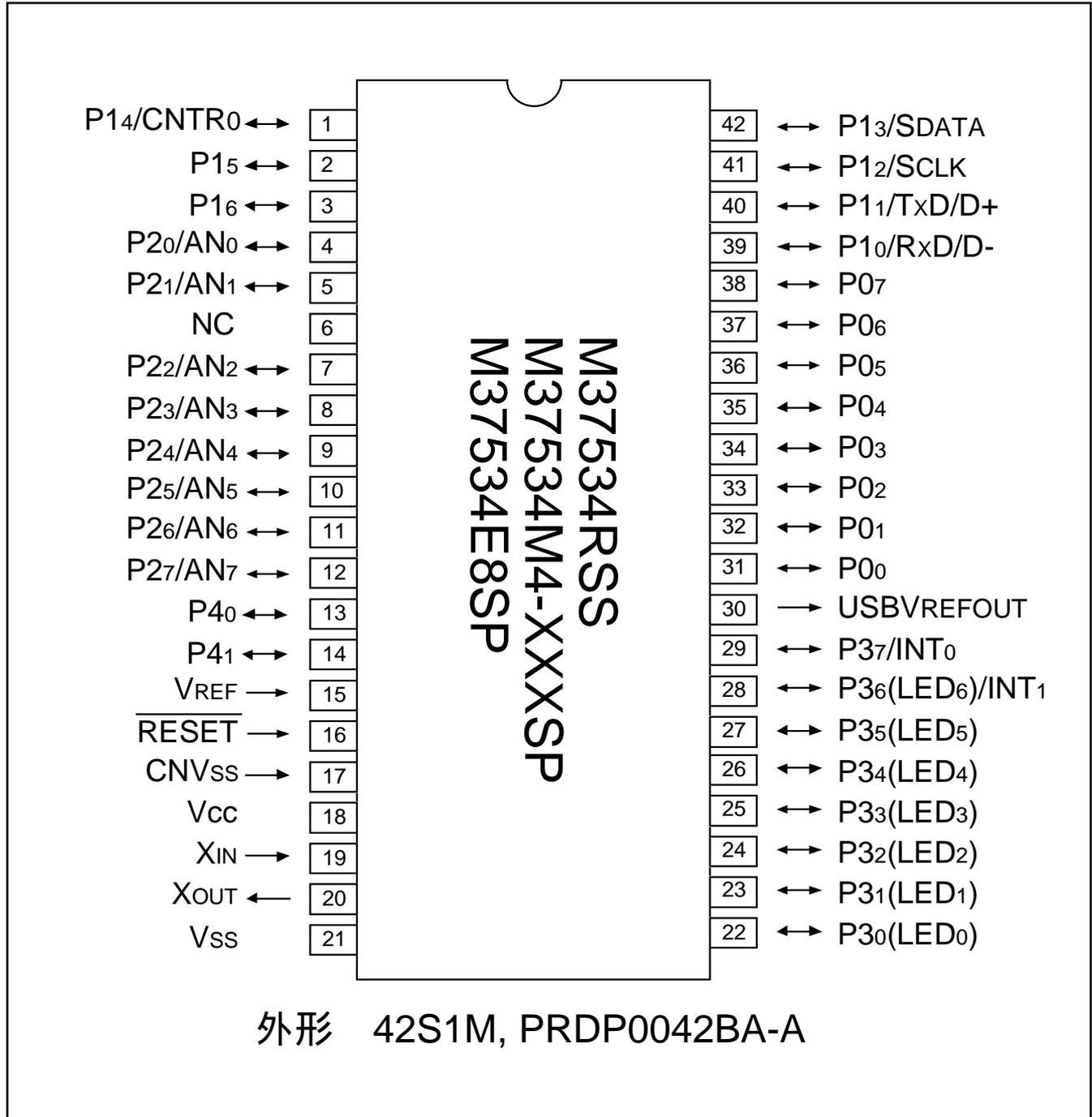


図3.10.3 ピン接続図(M37534M4-XXXSP, M37534E8SP, M37534RSS)

改訂記録

7534 グループユーザズマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2000.09.22	-	PDF ファイル初版発行
1.10	2001.09.15	4 5 1-8 1-9 1-13 1-19 1-42 1-44	「はじめに」ホームページアドレス 改訂 「ご使用いただくにあたって」ホームページアドレス 改訂 表1 Vcc, Vssの端子機能の説明 追記 図7 「開発中」削除 スタックページに関する注意事項 追記 図17 ポートP36, P37の図 改訂 スタックページに関する注意事項 追記 マスク化発注時の提出資料 ROMのデータ 「EPROM 3セットまたはフロッピーディスク」 表8 書き込みアダプタ型名 改訂
2.00	2004.06.21	全ページ 1-43 1-44 3-26 3-52	用語統一(統一用語: オンチップオシレータ、A/Dコンバータ) 「電源電圧に関する注意事項」 「ワンタイムPROM版/マスクROM版に関する注意事項」 追記 「マスク化発注時の提出資料」 改訂 「3.3.12 ワンタイムPROM版/マスクROM版に関する注意事項」 「3.3.13 電源電圧に関する注意事項」を追記 32P6U-Aパッケージ寸法図 改訂
3.00	2006.10.23	全ページ 1章 40 1章 41 1章 42 1章 43 1章 44 2章 50 2章 69 2章 77 3章 20 3章 21 3章 27 3章 53,54	型名 36P2R-A PRSP0036GA-A、32P6U-A PLQP0032GB-A、 42P4B PRDP0042BA-Aに変更 「USB Spec.Rev.1.1」「Low-Speed USB2.0仕様」に変更 クロック発生回路「XIN - XOUT 端子間には帰還抵抗が内蔵されて、、、省略 することができます。」「XIN - XOUT 端子間には帰還抵抗を内蔵して、、、 なることがあります)。」 図45 図変更、注意追記 ウォッチドッグタイマに関するものを追記 使用上の注意事項 USB 通信に関する注意事項を追記 A/Dコンバータに関する注意事項を追記 2.4.1 転送タイプ「Hi-Speed Function:H.S.」 追記 2.4.5 USB 通信に関する注意事項を追記 (3) 安定にご使用いただくための補足情報を追記 (3) 安定にご使用いただくための補足情報を追記 3.3.4 ウォッチドッグタイマに関する注意事項を追記 3.3.15 USB 通信に関する注意事項を追記 3.6 パッケージ寸法図 改訂

ルネサス8ビットシングルチップマイクロコンピュータ
ユーザーズマニュアル
7534グループ

発行年月日 2000年9月22日 Rev. 1.00
2006年10月23日 Rev. 3.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2

7534 グループ
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0192-0300