

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「三菱電機」、「三菱XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って株式会社日立製作所及び三菱電機株式会社のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。

従いまして、本資料中には「三菱電機」、「三菱電機株式会社」、「三菱半導体」、「三菱XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

注:「高周波・光素子事業、パワーデバイス事業については三菱電機にて引き続き事業運営を行います。」

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

7470/7471、 7477/7478 グループ

ユーザーズマニュアル

ルネサス8ビットシングルチップマイクロコンピュータ
740ファミリ / 7470シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

安全設計に関するお願い

- 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- 本資料は、お客様が用途に応じた適切な三菱半導体製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について三菱電機が所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、三菱電機は責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、三菱電機は特性改良などにより予告なしに変更することがあります。従って、三菱半導体製品のご購入に当たりましては事前に三菱電機または特約店へ最新の情報をご確認ください。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単体で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。三菱電機は、適用可否に対する責任は負いかねます。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、三菱電機または特約店へご照会ください。
- 本資料の転載、複製については、文書による三菱電機の事前の許諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたら三菱電機または特約店までご照会ください。

はじめに

このたび、CMOS8ビットマイクロコンピュータ7470/7471/7477/7478グループのユーザーズマニュアルを作成いたしましたので、ご案内申し上げます。

このユーザーズマニュアルは、ユーザの皆様に7470/7471/7477/7478グループの機能や特長などをよく理解していただき、その機能を最大限に活かしていただくために作成いたしました。ハードウェアに関する仕様説明から応用までを詳細に説明しておりますので、ご活用ください。

ソフトウェアにつきましては、「740ファミリソフトウェアマニュアル」を参照してください。

開発サポートツール(アセンブラ、デバッガなど)につきましては、各ツール付属のマニュアルおよび「データブックマイクロコンピュータ開発サポートツール編」を参照してください。

EOL announcement

1.構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

- 第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明、電気的特性を掲載しています。

- 第2章「応用」

各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。

- 第3章「付録」

レジスタ一覧、発注の際に提出していただくマスク化確認書(マスクROM版)、ROM書き込み確認書(ワンタイムPROM版)、マーク指定書などを掲載しています。

2.レジスタ構成図

このユーザーズマニュアルに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。

ビット番号

ビットの属性 (注2)

リセット解除直後の内容 (注1)

| ビット番号 | ビット名 | 機能 | リセット時 | R:W |
|-------|---------------------------------|---|-------|-------|
| 0,1 | これらのビットは必ず“0”にしてください。 | | 0 | 0/0 |
| 2 | スタックページ選択ビット | 0: 0ページ 1: 1ページ | 0 | |
| 3 | 何も配置されていないビットです。 読み出し時は不定です。 | | 不定 | 不定, x |
| 4 | P50、P51/XCIN、XCOUT 選択ビット | 0: P50、P51 1: XCIN、XCOUT | 0 | |
| 5 | XCOUT駆動能力選択ビット | 0: Lowパワー 1: Highパワー | 0 | |
| 6 | メインクロック(XIN、XCOUT) 停止ビット | 0: 発振 1: 停止 | 0 | |
| 7 | システムクロック 選択ビット | 0: XIN-XCOUT (通常モード) 1: XCIN-XCOUT (低速モード) | 0 | |

■: 何も配置されていないビット

注1. リセット解除直後の内容
 0・・・リセット解除時“0”
 1・・・リセット解除時“1”
 不定・・・リセット解除時不定
 *・・・リセット解除時オプションによって決められた内容

注2. ビットの属性
 R・・・読み出し
 W・・・書き込み
 ・・・・読み出し可能
 ・・・・書き込み可能
 不定・・・読み出し時不定
 x・・・書き込み不可
 0・・・“0”に固定してください
 *・・・ソフトウェアによって“0”にできますが、“1”にはできません

目次

第 1 章 ハードウェア

| | |
|---|------|
| 1.1 概要 | 1-2 |
| 1.2 グループ展開 | 1-3 |
| 1.3 性能概要 | 1-6 |
| 1.4 ピン接続図 | 1-10 |
| 1.5 端子の機能説明 | 1-14 |
| 1.6 機能ブロック図 | 1-17 |
| 1.7 中央演算処理装置 | 1-23 |
| 1.7.1 アキュムレータ(A) | 1-25 |
| 1.7.2 インデックスレジスタX(X) | 1-25 |
| 1.7.3 インデックスレジスタY(Y) | 1-25 |
| 1.7.4 スタックポインタ(S) | 1-25 |
| 1.7.5 プログラムカウンタ(PC) | 1-27 |
| 1.7.6 プロセッサステータスレジスタ(PS) | 1-27 |
| 1.8 アクセス空間 | 1-29 |
| 1.8.1 ゼロページ(0000 ₁₆ 番地 ~ 00FF ₁₆ 番地) | 1-30 |
| 1.8.2 スペシャルページ(FF00 ₁₆ 番地 ~ FFFF ₁₆ 番地) | 1-30 |
| 1.9 メモリ配置 | 1-31 |
| 1.10 入出力端子 | 1-36 |
| 1.10.1 入出力端子のブロック図 | 1-37 |
| 1.10.2 入出力端子の関連レジスタ | 1-42 |
| 1.10.3 入出力ポート | 1-47 |
| 1.10.4 未使用端子の処理 | 1-49 |
| 1.10.5 入出力端子に関する注意事項 | 1-50 |
| 1.11 割り込み | 1-53 |
| 1.11.1 割り込みのブロック図 | 1-54 |
| 1.11.2 割り込みの関連レジスタ | 1-55 |
| 1.11.3 割り込み要因説明 | 1-58 |
| 1.11.4 割り込みの動作説明 | 1-61 |
| 1.11.5 割り込みの制御 | 1-64 |
| 1.11.6 割り込みの設定方法 | 1-66 |
| 1.11.7 割り込みに関する注意事項 | 1-68 |

| | |
|--|-------|
| 1.12 タイマ | 1-71 |
| 1.12.1 タイマのブロック図 | 1-71 |
| 1.12.2 タイマの関連レジスタ | 1-73 |
| 1.12.3 タイマの基本動作説明 | 1-79 |
| 1.12.4 タイマモード/イベントカウンタモード | 1-80 |
| 1.12.5 矩形波出力モード | 1-86 |
| 1.12.6 外部パルス幅測定モード | 1-90 |
| 1.12.7 PWMモード | 1-94 |
| 1.12.8 入力ラッチ機能 | 1-98 |
| 1.12.9 タイマ及びタイマラッチの内容更新 | 1-99 |
| 1.12.10 タイマに関する注意事項 | 1-101 |
| 1.13 シリアルI/O | 1-103 |
| 1.13A シリアルI/O (7470/7471グループ) | 1-104 |
| 1.13A.1 シリアルI/Oのブロック図 (7470/7471グループ) | 1-105 |
| 1.13A.2 シリアルI/Oの関連レジスタ (7470/7471グループ) | 1-106 |
| 1.13A.3 シリアルI/Oの動作説明 (7470/7471グループ) | 1-109 |
| 1.13A.4 シリアルI/Oの設定方法 (7470/7471グループ) | 1-115 |
| 1.13A.5 シリアルI/Oに関する注意事項 (7470/7471グループ) | 1-117 |
| 1.13B シリアルI/O (7477/7478グループ) | 1-118 |
| 1.13B.1 シリアルI/Oの関連レジスタ (7477/7478グループ) | 1-118 |
| 1.13B.2 クロック同期形シリアルI/O (7477/7478グループ) | 1-124 |
| 1.13B.3 クロック非同期形シリアルI/O (UART) (7477/7478グループ) | 1-133 |
| 1.13B.4 シリアルI/Oに関する注意事項 (7477/7478グループ) | 1-144 |
| 1.14 A-D変換器 | 1-148 |
| 1.14.1 A-D変換器のブロック図 | 1-148 |
| 1.14.2 A-D変換器の関連レジスタ | 1-149 |
| 1.14.3 A-D変換器の動作説明 | 1-152 |
| 1.14.4 A-D変換器の設定方法 | 1-155 |
| 1.14.5 A-D変換器に関する注意事項 | 1-156 |
| 1.14.6 参考 | 1-157 |
| 1.15 リセット | 1-159 |
| 1.15.1 リセットの動作説明 | 1-159 |
| 1.15.2 リセット時の内部状態 | 1-161 |
| 1.15.3 リセットに関する注意事項 | 1-162 |
| 1.16 発振回路 | 1-163 |
| 1.16.1 発振回路のブロック図 | 1-163 |
| 1.16.2 時計用クロック発振回路 (7471/7478グループのみ) | 1-165 |
| 1.16.3 発振回路の関連レジスタ | 1-166 |
| 1.16.4 発振動作説明 | 1-167 |
| 1.16.5 発振安定時間 | 1-169 |
| 1.16.6 発振回路に関する注意事項 | 1-170 |

| | |
|------------------------------------|-------|
| 1.17 低消費電力機能 | 1-171 |
| 1.17.1 低消費電力機能の関連レジスタ | 1-173 |
| 1.17.2 ストップモード | 1-175 |
| 1.17.3 ウェイトモード | 1-179 |
| 1.17.4 低消費電力機能に関する注意事項 | 1-181 |
| 1.18 状態遷移 | 1-182 |
| 1.19 プログラマブルROM内蔵版 | 1-186 |
| 1.19.1 EPROMモード | 1-187 |
| 1.19.2 端子の機能説明 | 1-193 |
| 1.19.3 内蔵PROMの書き込み、読み出し、消去 | 1-196 |
| 1.19.4 プログラマブルROM内蔵版に関する注意事項 | 1-197 |
| 1.20 電気的特性 | 1-199 |
| 1.20.1 電気的特性 | 1-199 |
| 1.20.2 タイミング必要条件、スイッチング特性 | 1-211 |
| 1.20.3 電源電流標準特性 | 1-213 |
| 1.20.4 ボ - ト標準特性 | 1-218 |
| 1.20.5 A-D変換標準特性 | 1-223 |

第 2 章 応 用

| | |
|--|------|
| 2.1 入出力端子 | 2-3 |
| 2.1.1 出力ポートの外付け回路設計例 | 2-3 |
| 2.2 割り込み | 2-4 |
| 2.2.1 CNTRによる外部イベント検出 | 2-4 |
| 2.3 タイマ | 2-6 |
| 2.3.1 タイマモードの応用例 | 2-7 |
| 2.3.2 イベントカウンタモードの応用例 | 2-9 |
| 2.3.3 矩形波出力モードの応用例 | 2-11 |
| 2.3.4 外部パルス幅測定モードの応用例 | 2-13 |
| 2.3.5 PWMモードの応用例 | 2-15 |
| 2.4 シリアルI/O | 2-17 |
| 2.4.1 クロック同期形シリアルI/Oの応用例(7470/7471グループ) | 2-17 |
| 2.4.2 クロック同期形シリアルI/Oの応用例(7477/7478グループ) | 2-22 |
| 2.4.3 クロック非同期形シリアルI/O(UART)の応用例(7477/7478グループ) | 2-24 |
| 2.5 A-D変換器 | 2-26 |
| 2.5.1 A-D変換値の確定方法 | 2-26 |
| 2.5.2 A-D変換器の応用例 | 2-27 |
| 2.6 リセット | 2-29 |
| 2.7 発振回路 | 2-30 |
| 2.7.1 セラミック共振子を使用した発振回路 | 2-30 |
| 2.7.2 外部クロック入力 | 2-30 |

| | |
|--|------|
| 2.8 低消費電力機能 | 2-31 |
| 2.8.1 通常モード ストップモード 通常モード | 2-31 |
| 2.8.2 通常モード ウェイトモード 通常モード | 2-32 |
| 2.8.3 通常モード 低速モード | 2-33 |
| 2.8.4 低速モード 通常モード | 2-34 |
| 2.9 ノイズに関する注意事項 | 2-35 |
| 2.9.1 配線長の短縮 | 2-35 |
| 2.9.2 Vss - Vccライン間へのバイパスコンデンサ挿入 | 2-37 |
| 2.9.3 アナログ入力端子の配線処理 | 2-38 |
| 2.9.4 発振子への配慮 | 2-39 |
| 2.9.5 入出力ポート処理 | 2-41 |
| 2.9.6 ソフトウェアによる監視タイマ機能の実現 | 2-41 |
| 2.10 プログラミング上の注意事項 | 2-43 |
| 2.10.1 プロセッサステータスレジスタに関するもの | 2-43 |
| 2.10.2 BRK命令 | 2-44 |
| 2.10.3 10進演算 | 2-44 |
| 2.11 7470/7471グループ、7477/7478グループの相違点 | 2-45 |
| 2.12 応用回路例 | 2-46 |

第 3 章 付 録

| | |
|----------------------|------|
| 3.1 制御レジスタ一覧 | 3-2 |
| 3.2 マスク化確認書 | 3-15 |
| 3.3 ROM書き込み確認書 | 3-47 |
| 3.4 マーク指定書 | 3-63 |
| 3.5 パッケージ寸法図 | 3-67 |
| 3.6 命令コード一覧表 | 3-69 |
| 3.7 機械語命令一覧表 | 3-70 |
| 3.8 SFRメモリマップ | 3-80 |
| 3.9 ピン接続図 | 3-81 |

目次

第 1 章 ハードウェア

1.2 グループ展開

| | |
|--|-----|
| 図1.2.1 7470/7471/7477/7478グループ ROM、RAM展開計画 (1998年10月現在)..... | 1-4 |
|--|-----|

1.4 ピン接続図

| | |
|-----------------------------|------|
| 図1.4.1 7470グループ ピン接続図 | 1-10 |
| 図1.4.2 7471グループ ピン接続図 | 1-11 |
| 図1.4.3 7477グループ ピン接続図 | 1-12 |
| 図1.4.4 7478グループ ピン接続図 | 1-13 |

1.6 機能ブロック図

| | |
|---|------|
| 図1.6.1 M37470MX/EX-XXXSPの機能ブロック図 | 1-17 |
| 図1.6.2 M37471MX/EX-XXXSP、M37471E8SSの機能ブロック図 | 1-18 |
| 図1.6.3 M37471MX/EX-XXXFPの機能ブロック図 | 1-19 |
| 図1.6.4 M37477MX/E8-XXXSP/FP、M37477MX/E8TXXXSP/FPの機能ブロック図 | 1-20 |
| 図1.6.5 M37478MX/E8-XXXSP、M37478MX/E8TXXXSP、M37478E8SSの機能ブロック図 | 1-21 |
| 図1.6.6 M37478MX/E8-XXXFP、M37478MX/E8TXXXFPの機能ブロック図 | 1-22 |

1.7 中央演算処理装置

| | |
|-----------------------------|------|
| 図1.7.1 CPUレジスタの構成 | 1-23 |
| 図1.7.2 スタックへの退避及び復帰動作 | 1-26 |

1.8 アクセス空間

| | |
|---------------------|------|
| 図1.8.1 アクセス空間 | 1-29 |
|---------------------|------|

1.9 メモリ配置

| | |
|-----------------------------------|------|
| 図1.9.1 7470/7471グループ メモリ配置図 | 1-32 |
| 図1.9.2 7477/7478グループ メモリ配置図 | 1-33 |
| 図1.9.3 SFRメモリマップ | 1-34 |
| 図1.9.4 割り込みベクトル領域のメモリマップ | 1-35 |

1.10 入出力端子

| | |
|--|------|
| 図1.10.1 ポートP0、P10～P13ブロック図 | 1-37 |
| 図1.10.2 ポ - トP14～P17(7470/7471グループ)ブロック図 | 1-38 |
| 図1.10.3 ポ - トP14～P17(7477/7478グループ)ブロック図 | 1-39 |
| 図1.10.4 ポ - トP2～P4ブロック図 | 1-40 |
| 図1.10.5 ポ - トP5ブロック図 | 1-41 |
| 図1.10.6 入出力関連レジスタのメモリ配置図 | 1-42 |
| 図1.10.7 ポートPi (i=0～5)の構成 | 1-43 |
| 図1.10.8 ポートPi (i=0、1、2、4)方向レジスタの構成 | 1-44 |
| 図1.10.9 ポートP0プルアップ制御レジスタの構成 | 1-45 |
| 図1.10.10 ポートP1～P5プルアップ制御レジスタの構成 | 1-46 |
| 図1.10.11 入出力ポートの書き込み、読み出し | 1-47 |

1.11 割り込み

図1.11.1 割り込み入力とキーオンウエイクアップ回路ブロック図 1-54

図1.11.2 割り込み関連レジスタのメモリ配置図 1-55

図1.11.3 エッジ極性選択レジスタの構成 1-55

図1.11.4 割り込み要求レジスタ1の構成 1-56

図1.11.5 割り込み要求レジスタ2の構成 1-56

図1.11.6 割り込み制御レジスタ1の構成 1-57

図1.11.7 割り込み制御レジスタ2の構成 1-57

図1.11.8 割り込み受付時の動作 1-62

図1.11.9 割り込み処理ルーチン実行までの処理時間 1-63

図1.11.10 割り込み受付後のタイミング 1-63

図1.11.11 割り込み制御図 1-64

図1.11.12 割り込みの設定方法(1) 1-66

図1.11.13 割り込みの設定方法(2) 1-67

図1.11.14 レジスタ設定例 1-68

1.12 タイマ

図1.12.1 タイマ ブロック図 1-72

図1.12.2 タイマ関連レジスタのメモリ配置 1-73

図1.12.3 タイマ $i(i=1\sim 4)$ の構成 1-74

図1.12.4 タイマ12モードレジスタの構成 1-75

図1.12.5 タイマ34モードレジスタの構成 1-76

図1.12.6 タイマモードレジスタ2の構成 1-77

図1.12.7 タイマFFレジスタの構成 1-77

図1.12.8 入力ラッチレジスタの構成 1-78

図1.12.9 タイマのカウントタイミング 1-79

図1.12.10 タイマモード動作例 1-81

図1.12.11 イベントカウンタモード動作例 1-83

図1.12.12 タイマモード/イベントカウンタモードの設定方法(1) 1-84

図1.12.13 タイマモード/イベントカウンタモードの設定方法(2) 1-85

図1.12.14 矩形波出力モード動作例 1-87

図1.12.15 矩形波出力モードの設定方法(1) 1-88

図1.12.16 矩形波出力モードの設定方法(2) 1-89

図1.12.17 外部パルス幅測定モード動作例 1-91

図1.12.18 外部パルス幅測定モードの設定方法(1) 1-92

図1.12.19 外部パルス幅測定モードの設定方法(2) 1-93

図1.12.20 PWM出力モード動作例 1-95

図1.12.21 PWMモードの設定方法(1) 1-96

図1.12.22 PWMモードの設定方法(2) 1-97

図1.12.23 入力ラッチ機能の設定方法 1-98

図1.12.24 タイマ1、タイマ2及びタイマラッチの更新例 1-99

図1.12.25 PWMモード時のタイマ3、タイマ4及びタイマラッチの更新例 1-100

図1.12.26 タイマの値と読み出し値の変化するタイミング 1-101

図1.12.27 タイマ2本を直列に接続した場合のタイマの値と読み出し値の変化するタイミング 1-102

1.13 シリアルI/O

| | | |
|-----------|------------------------------------|-------|
| 図1.13A.1 | シリアル I/O ブロック図 | 1-105 |
| 図1.13A.2 | シリアルI/O関連レジスタのメモリ配置(7470/7471グループ) | 1-106 |
| 図1.13A.3 | シリアルI/Oレジスタの構成 | 1-106 |
| 図1.13A.4 | シリアルI/Oカウンタ、バイトカウンタの構成 | 1-107 |
| 図1.13A.5 | シリアルI/Oモードレジスタの構成 | 1-108 |
| 図1.13A.6 | 送信動作 | 1-110 |
| 図1.13A.7 | 送信タイミング | 1-110 |
| 図1.13A.8 | 受信動作 | 1-112 |
| 図1.13A.9 | 受信タイミング | 1-112 |
| 図1.13A.10 | バイト指定モード時送受信動作 | 1-114 |
| 図1.13A.11 | シリアルI/O(通常モード)設定方法 | 1-115 |
| 図1.13A.12 | シリアルI/O(バイト指定モード)設定方法 | 1-116 |
| 図1.13B.1 | シリアルI/O関連レジスタのメモリ配置(7477/7478グループ) | 1-118 |
| 図1.13B.2 | 送信/受信バッファレジスタの構成 | 1-118 |
| 図1.13B.3 | シリアルI/Oステータスレジスタの構成 | 1-119 |
| 図1.13B.4 | シリアルI/O制御レジスタの構成 | 1-122 |
| 図1.13B.5 | UART制御レジスタの構成 | 1-123 |
| 図1.13B.6 | ボーレートジェネレータの構成 | 1-123 |
| 図1.13B.7 | クロック同期形シリアルI/Oブロック図 | 1-126 |
| 図1.13B.8 | クロック同期形シリアルI/Oの送信動作 | 1-128 |
| 図1.13B.9 | クロック同期形シリアルI/Oの送信タイミング | 1-129 |
| 図1.13B.10 | クロック同期形シリアルI/Oの受信動作 | 1-131 |
| 図1.13B.11 | クロック同期形シリアルI/Oの受信タイミング | 1-131 |
| 図1.13B.12 | クロック同期形シリアルI/Oの設定方法 | 1-132 |
| 図1.13B.13 | UARTの転送データフォーマット | 1-135 |
| 図1.13B.14 | UARTブロック図 | 1-136 |
| 図1.13B.15 | UARTの送信動作 | 1-138 |
| 図1.13B.16 | UARTの送信タイミング例 | 1-139 |
| 図1.13B.17 | UARTの受信動作 | 1-141 |
| 図1.13B.18 | UARTの受信タイミング例 | 1-142 |
| 図1.13B.19 | UARTの設定方法 | 1-143 |

1.14 A-D変換器

| | | |
|---------|--------------------------|-------|
| 図1.14.1 | A-D変換器 ブロック図 | 1-148 |
| 図1.14.2 | A-D変換器関連レジスタのメモリ配置 | 1-149 |
| 図1.14.3 | A-D変換レジスタの構成 | 1-149 |
| 図1.14.4 | A-D制御レジスタの構成 | 1-150 |
| 図1.14.5 | A-D変換中のA-D変換レジスタと比較電圧の変化 | 1-153 |
| 図1.14.6 | A-D変換器の設定方法 | 1-155 |
| 図1.14.7 | アナログ入力部内部等価回路 | 1-156 |
| 図1.14.8 | A-D変換精度の定義 | 1-158 |

| | |
|---|-------|
| 1.15 リセット | |
| 図1.15.1 リセット解除後の内部処理シーケンス | 1-159 |
| 図1.15.2 リセット時の内部状態 | 1-161 |
| 1.16 発振回路 | |
| 図1.16.1 クロック発生回路ブロック図 | 1-163 |
| 図1.16.2 発振回路関連レジスタのメモリ配置図 | 1-166 |
| 図1.16.3 CPUモードレジスタの構成 | 1-166 |
| 図1.16.4 電源投入時の発振安定待ち時間 | 1-169 |
| 1.17 低消費電力機能 | |
| 図1.17.1 低消費電力時の状態遷移 | 1-172 |
| 図1.17.2 低消費電力機能関連レジスタのメモリ配置 | 1-173 |
| 図1.17.3 CPUモードレジスタの構成 | 1-173 |
| 図1.17.4 エッジ極性選択レジスタの構成 | 1-174 |
| 図1.17.5 リセット入力によるストップモードからの復帰時の発振安定待ち時間 | 1-175 |
| 図1.17.6 INT0割り込みによるストップモードからの復帰シーケンス例 | 1-177 |
| 図1.17.7 割り込みを使用してストップモードから復帰する場合の設定方法 | 1-178 |
| 図1.17.8 リセット入力時間 | 1-179 |
| 1.18 状態遷移 | |
| 図1.18.1 状態遷移図 | 1-183 |
| 1.19 プログラマブルROM内蔵版 | |
| 図1.19.1 7470グループ EPROMモード時の端子結線 | 1-187 |
| 図1.19.2 7471グループ EPROMモード時の端子結線(1) | 1-188 |
| 図1.19.3 7471グループ EPROMモード時の端子結線(2) | 1-189 |
| 図1.19.4 7477グループ EPROMモード時の端子結線 | 1-190 |
| 図1.19.5 7478グループ EPROMモード時の端子結線(1) | 1-191 |
| 図1.19.6 7478グループ EPROMモード時の端子結線(2) | 1-192 |
| 図1.19.7 ワンタイムPROM版ブランク出荷品に対する書き込み、テスト | 1-198 |
| 1.20 電気的特性 | |
| 図1.20.1 7470/7471グループ タイミング図 | 1-211 |
| 図1.20.2 7477/7478グループ タイミング図 | 1-212 |
| 図1.20.3 電源電流標準特性の測定回路 | 1-213 |
| 図1.20.4 7470/7471グループ $I_{CC} - V_{CC}$ 特性 ($f(XIN) = 8MHz$) | 1-214 |
| 図1.20.5 7470/7471グループ $I_{CC} - V_{CC}$ 特性 ($f(XIN) = 4MHz$) | 1-214 |
| 図1.20.6 7471グループ $I_{CC} - V_{CC}$ 特性 ($f(XCIN) = 32kHz$) | 1-215 |
| 図1.20.7 7477/7478グループ $I_{CC} - V_{CC}$ 特性 ($f(XIN) = 8MHz$) | 1-216 |
| 図1.20.8 7477/7478グループ $I_{CC} - V_{CC}$ 特性 ($f(XIN) = 4MHz$) | 1-216 |
| 図1.20.9 7478グループ $I_{CC} - V_{CC}$ 特性 ($f(XCIN) = 32kHz$) | 1-217 |
| 図1.20.10 ポ - ト標準特性の測定回路 | 1-218 |
| 図1.20.11 7470/7471グループ プログラマブル入出力ポ - ト (CMOS出力) Pチャンネル側の $I_{OH} - V_{OH}$ 特性 | 1-219 |
| 図1.20.12 7470/7471グループ プログラマブル入出力ポ - ト (CMOS出力) Nチャンネル側の $I_{OL} - V_{OL}$ 特性 | 1-219 |
| 図1.20.13 7470/7471グループ プログラマブル入出力ポ - ト (CMOS出力) プルアップトランジスタの $I_{IL} - V_{IL}$ 特性 | 1-220 |
| 図1.20.14 7477/7478グループ プログラマブル入出力ポ - ト (CMOS出力) Pチャンネル側の $I_{OH} - V_{OH}$ 特性 | 1-221 |

| | | |
|----------|--|-------|
| 図1.20.15 | 7477/7478グループ プログラマブル入出力ポ - ト(CMOS出力)Nチャンネル側のIoL - Vol特性 | 1-221 |
| 図1.20.16 | 7477/7478グループ プログラマブル入出力ポ - ト(CMOS出力)プルアップトランジスタのIIL - Vil特性 | 1-222 |
| 図1.20.17 | 7470/7471グループA-D変換標準特性 相対精度(1) | 1-223 |
| 図1.20.18 | 7470/7471グループA-D変換標準特性 相対精度(2) | 1-224 |
| 図1.20.19 | 7470/7471グループA-D変換標準特性 絶対精度(1) | 1-225 |
| 図1.20.20 | 7470/7471グループA-D変換標準特性 絶対精度(2) | 1-226 |
| 図1.20.21 | 7477/7478グループA-D変換標準特性 絶対精度(3) | 1-227 |
| 図1.20.22 | 7477/7478グループA-D変換標準特性 絶対精度(4) | 1-228 |
| 図1.20.23 | 7477/7478グループA-D変換標準特性 絶対精度(5) | 1-229 |

第 2 章 応 用

2.1 入出力端子

| | | |
|--------|----------------|-----|
| 図2.1.1 | 出力ポートの外付け回路設計例 | 2-3 |
|--------|----------------|-----|

2.2 割り込み

| | | |
|--------|---------------------------------------|-----|
| 図2.2.1 | CNTR割り込みを使用したCNTR0端子からの外部イベント検出の制御手順例 | 2-4 |
| 図2.2.2 | タイマ3割り込みを使用したCNTR1端子からの外部イベント検出の制御手順例 | 2-5 |

2.3 タイマ

| | | |
|---------|--------------------|------|
| 図2.3.1 | 分周比の設定例 | 2-7 |
| 図2.3.2 | 制御手順例(タイマモード) | 2-8 |
| 図2.3.3 | 周波数の測定方法例 | 2-9 |
| 図2.3.4 | 制御手順例(イベントカウンタモード) | 2-10 |
| 図2.3.5 | 周辺回路例(矩形波出力モード) | 2-11 |
| 図2.3.6 | タイマの接続と分周比の設定 | 2-11 |
| 図2.3.7 | 制御手順例(矩形波出力モード) | 2-12 |
| 図2.3.8 | 周辺回路例(外部パルス幅測定モード) | 2-13 |
| 図2.3.9 | 制御手順例(外部パルス幅測定モード) | 2-14 |
| 図2.3.10 | 周辺回路例(PWMモード) | 2-15 |
| 図2.3.11 | 制御手順例(PWMモード) | 2-16 |

2.4 シリアルI/O

| | | |
|---------|---|------|
| 図2.4.1 | 接続例(クロック同期形シリアルI/O(7470/7471グループ)) | 2-17 |
| 図2.4.2 | 制御手順例(クロック同期形シリアルI/O(7470/7471グループ)) | 2-18 |
| 図2.4.3 | 接続例(クロック同期形シリアルI/Oバイト指定モード(7470/7471グループ)) | 2-19 |
| 図2.4.4 | 制御手順例(1 \times クロック同期形シリアルI/Oバイト指定モード(7470/7471グループ)) | 2-20 |
| 図2.4.5 | 制御手順例(2 \times クロック同期形シリアルI/Oバイト指定モード(7470/7471グループ)) | 2-21 |
| 図2.4.6 | 接続例(クロック同期形シリアルI/O(7477/7478グループ)) | 2-22 |
| 図2.4.7 | 同期クロックの設定例(クロック同期形シリアルI/O(7477/7478グループ)) | 2-22 |
| 図2.4.8 | 割り込み制御のタイミング(クロック同期形シリアルI/O(7477/7478グループ)) | 2-22 |
| 図2.4.9 | 制御手順例(クロック同期形シリアルI/O(7477/7478グループ)) | 2-23 |
| 図2.4.10 | 接続例(UART(7477/7478グループ)) | 2-24 |
| 図2.4.11 | 同期クロックの設定例(UART(7477/7478グループ)) | 2-24 |
| 図2.4.12 | 通信フォーマット(UART(7477/7478グループ)) | 2-24 |
| 図2.4.13 | 制御手順例(UART(7477/7478グループ)) | 2-25 |

| | |
|--|------|
| 2.5 A-D変換器 | |
| 図2.5.1 A-D変換値の確定方法 | 2-27 |
| 図2.5.2 制御手順例 | 2-28 |
| 2.6 リセット | |
| 図2.6.1 リセット回路例 | 2-29 |
| 2.7 発振回路 | |
| 図2.7.1 セラミック共振子を使用した発振回路例 | 2-30 |
| 図2.7.2 外部クロック入力回路例 | 2-30 |
| 2.8 低消費電力機能 | |
| 図2.8.1 制御手順例(通常モード ストップモード 通常モード) | 2-31 |
| 図2.8.2 制御手順例(通常モード ウェイトモード 通常モード) | 2-32 |
| 図2.8.3 制御手順例(通常モード 低速モード) | 2-33 |
| 図2.8.4 制御手順例(低速モード 通常モード) | 2-34 |
| 2.9 ノイズに関する注意事項 | |
| 図2.9.1 リセット入力端子の配線 | 2-35 |
| 図2.9.2 クロック入出力端子の配線 | 2-36 |
| 図2.9.3 ワンタイムPROM版及びEPROM版のVPP端子の配線 | 2-37 |
| 図2.9.4 Vss - Vccライン間のバイパスコンデンサ | 2-37 |
| 図2.9.5 アナログ信号線と抵抗及びコンデンサ | 2-38 |
| 図2.9.6 大電流が流れる信号線の配線 | 2-39 |
| 図2.9.7 高速にレベル変化する信号線の配線 | 2-39 |
| 図2.9.8 発振子の裏面のVssパターン | 2-40 |
| 図2.9.9 入出力ポート処理 | 2-41 |
| 図2.9.10 ソフトウエアによる監視タイマ | 2-42 |
| 2.10 プログラミング上の注意事項 | |
| 図2.10.1 PHP命令実行後のスタックメモリの内容 | 2-43 |
| 図2.10.2 割り込み処理ルーチン内 | 2-44 |
| 2.12 応用回路例 | |
| 図2.12.1 クリーナへの応用例 | 2-46 |
| 図2.12.2 セミオートエアコンへの応用例 | 2-47 |

第 3 章 付 録

| | |
|---|-----|
| 3.1 制御レジスタ一覧 | |
| 図3.1.1 ポートP(i=0~5)の構成 | 3-2 |
| 図3.1.2 ポートPi方向レジスタ(i=0,1,2,4)の構成 | 3-2 |
| 図3.1.3 ポートP0プルアップ制御レジスタの構成 | 3-3 |
| 図3.1.4 ポートP1~P5プルアップ制御レジスタの構成 | 3-3 |
| 図3.1.5 エッジ極性選択レジスタの構成 | 3-4 |
| 図3.1.6 入力ラッチレジスタの構成 | 3-4 |
| 図3.1.7 A-D制御レジスタの構成 | 3-5 |
| 図3.1.8 A-D変換レジスタの構成 | 3-5 |
| 図3.1.9 シリアルI/Oモードレジスタの構成(7470/7471グループ) | 3-6 |
| 図3.1.10 シリアルI/Oレジスタの構成(7470/7471グループ) | 3-6 |

| | | |
|---------|---|------|
| 図3.1.11 | シリアル/Oカウンタ、バイトカウンタの構成(7470/7471グループ)..... | 3-7 |
| 図3.1.12 | 送信/受信バッファレジスタの構成(7477/7478グループ)..... | 3-7 |
| 図3.1.13 | シリアル/Oステータスレジスタの構成(7477/7478グループ)..... | 3-8 |
| 図3.1.14 | シリアル/O制御レジスタの構成(7477/7478グループ)..... | 3-9 |
| 図3.1.15 | UART制御レジスタの構成(7477/7478グループ)..... | 3-9 |
| 図3.1.16 | ポーレートジェネレータ(7477/7478グループ)..... | 3-10 |
| 図3.1.17 | タイマの構成..... | 3-10 |
| 図3.1.18 | タイマFFレジスタの構成..... | 3-10 |
| 図3.1.19 | タイマ12モードレジスタの構成..... | 3-11 |
| 図3.1.20 | タイマ34モードレジスタの構成..... | 3-11 |
| 図3.1.21 | タイマモードレジスタ2の構成..... | 3-12 |
| 図3.1.22 | CPUモードレジスタの構成..... | 3-12 |
| 図3.1.23 | 割り込み要求レジスタ1の構成..... | 3-13 |
| 図3.1.24 | 割り込み要求レジスタ2の構成..... | 3-13 |
| 図3.1.25 | 割り込み制御レジスタ1の構成..... | 3-14 |
| 図3.1.26 | 割り込み制御レジスタ2の構成..... | 3-14 |

EOL announced

表目次

第1章 ハードウェア

1.2 グループ展開

| | |
|---|-----|
| 表1.2.1 7470/7471グループ サポート製品一覧 (1998年10月現在)..... | 1-4 |
| 表1.2.2 7477/7478グループ サポート製品一覧 (1998年10月現在)..... | 1-5 |

1.3 性能概要

| | |
|----------------------------|-----|
| 表1.3.1 7470グループの性能概要 | 1-6 |
| 表1.3.2 7471グループの性能概要 | 1-7 |
| 表1.3.3 7477グループの性能概要 | 1-8 |
| 表1.3.4 7478グループの性能概要 | 1-9 |

1.5 端子の機能説明

| | |
|------------------------|------|
| 表1.5.1 端子の機能説明(1)..... | 1-14 |
| 表1.5.2 端子の機能説明(2)..... | 1-15 |
| 表1.5.3 端子の機能説明(3)..... | 1-16 |

1.7 中央演算処理装置

| | |
|--|------|
| 表1.7.1 アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令 | 1-26 |
| 表1.7.2 プロセッサステータスレジスタの各フラグを“1”又は“0”にする命令 | 1-28 |

1.8 アクセス空間

| | |
|-------------------------------------|------|
| 表1.8.1 各領域へのアクセス可能なアドレッシングモード | 1-30 |
|-------------------------------------|------|

1.9 メモリ配置

| | |
|--------------------|------|
| 表1.9.1 RAM領域 | 1-31 |
| 表1.9.2 ROM領域 | 1-31 |

1.10 入出力端子

| | |
|------------------------------------|------|
| 表1.10.1 未使用端子の処理 | 1-49 |
| 表1.10.2 ダブルファンクションポートと制御レジスタ | 1-52 |

1.11 割り込み

| | |
|--|------|
| 表1.11.1 割り込み要因と優先順位 | 1-53 |
| 表1.11.2 ストップモード/ウエイトモードからの復帰に使用できる割り込み要因 | 1-64 |

1.12 タイマ

| | |
|-------------------------|------|
| 表1.12.1 タイマ別モード一覧 | 1-71 |
|-------------------------|------|

1.13 シリアルI/O

| | |
|---------------------------------|-------|
| 表1.13.1 シリアルI/O比較表 | 1-103 |
| 表1.13B.1 エラーフラグのクリア方法 | 1-121 |
| 表1.13B.2 ボーレート参考値 | 1-134 |
| 表1.13B.3 UART送信データの各ビット機能 | 1-134 |

1.15 リセット

| | |
|----------------------------|-------|
| 表1.15.1 リセット時のタイマ3、4 | 1-160 |
|----------------------------|-------|

1.17 低消費電力機能

表1.17.1 低消費電力時におけるマイクロコンピュータの動作状況 1-171

1.19 プログラマブルROM内蔵版

表1.19.1 7470/7471/7477/7478グループPROM内蔵版 サポート製品一覧 (1998年10月現在) 1-186

表1.19.2 EPROMモード時の端子機能 1-187

表1.19.3 端子の機能説明(1) 1-193

表1.19.4 端子の機能説明(2) 1-194

表1.19.5 端子の機能説明(3) 1-195

表1.19.6 各モードにおける入出力信号 1-196

表1.19.7 7470/7471/7477/7478グループの専用書き込みアダプタ (1998年10月現在) 1-197

1.20 電気的特性

表1.20.1 7470グループ絶対最大定格 1-199

表1.20.2 7470グループ推奨動作条件 1-199

表1.20.3 7470グループ電気的特性 1-200

表1.20.4 7470グループA-D変換特性 1-201

表1.20.5 7471グループ絶対最大定格 1-202

表1.20.6 7471グループ推奨動作条件 1-202

表1.20.7 7471グループ電気的特性 1-203

表1.20.8 7471グループA-D変換特性 1-204

表1.20.9 7477グループ絶対最大定格 1-205

表1.20.10 7477グループ推奨動作条件 1-205

表1.20.11 7477グループ電気的特性 1-206

表1.20.12 7477グループA-D変換特性 1-207

表1.20.13 7478グループ絶対最大定格 1-208

表1.20.14 7478グループ推奨動作条件 1-208

表1.20.15 7478グループ電気的特性 1-209

表1.20.16 7478グループA-D変換特性 1-210

表1.20.17 7470/7471グループ タイミング必要条件及びスイッチング特性 1-211

表1.20.18 7477/7478グループ タイミング必要条件及びスイッチング特性 1-212

第 2 章 応 用

2.3 タイマ

表2.3.1 タイマ入出力端子と各モードの関係 2-6

2.11 7470/7471グループ、7477/7478グループの相違点

表2.11.1 7470/7471グループ、7477/7478グループの相違点 2-45

第 1 章 ハードウェア

- 1.1 概要
- 1.2 グループ展開
- 1.3 性能概要
- 1.4 ピン接続図
- 1.5 端子の機能説明
- 1.6 機能ブロック図
- 1.7 中央演算処理装置
- 1.8 アクセス空間
- 1.9 メモリ配置
- 1.10 入出力端子
- 1.11 割り込み
- 1.12 タイマ
- 1.13 シリアルI/O
- 1.14 A-D 変換器
- 1.15 リセット
- 1.16 発振回路
- 1.17 低消費電力機能
- 1.18 状態遷移
- 1.19 プログラマブルROM内蔵版
- 1.20 電気的特性

1.1 概要

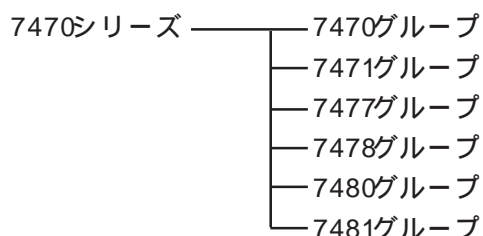
7470/7471/7477/7478グループは、シリコンゲートCMOSプロセスを採用した8ビットシングルチップマイクロコンピュータで、ROM、RAM及びI/Oを同一メモリ空間とする740ファミリのシンプルな命令体系を持ったマイクロコンピュータです。

EOL announced

1.2 グループ展開

7470/7471/7477/7478グループは、M37470M2-XXXSPをベースチップとし、7470シリーズ内で図1.2.1に示すグループ展開を行っています。

7470シリーズの分類を以下に示します。



これらはすべてメモリの種類や容量の差、及びポート数の違いのみで展開されていますので、ユーザのシステムに応じて最適の素子を選ぶことができます。

また、7470/7471/7477/7478グループでは、マスクROM版の他に以下に示すサポートを行っています。

(1) ワンタイムプログラマブル版のサポート

プログラマブルタイプのマイクロコンピュータで、内蔵のプログラマブルROM(PROM)へのワンタイム書き込みが可能です。

詳細は、「1.19 プログラマブルROM内蔵版」を参照してください。

(2) EPROM内蔵(窓付き)版のサポート

窓付きのプログラマブルタイプのマイクロコンピュータで、内蔵のEPROMへの書き込み、消去が可能です。

詳細は、「1.19 プログラマブルROM内蔵版」を参照してください。

1998年10月現在サポートを行っている製品を表1.2.1、表1.2.2に示します。

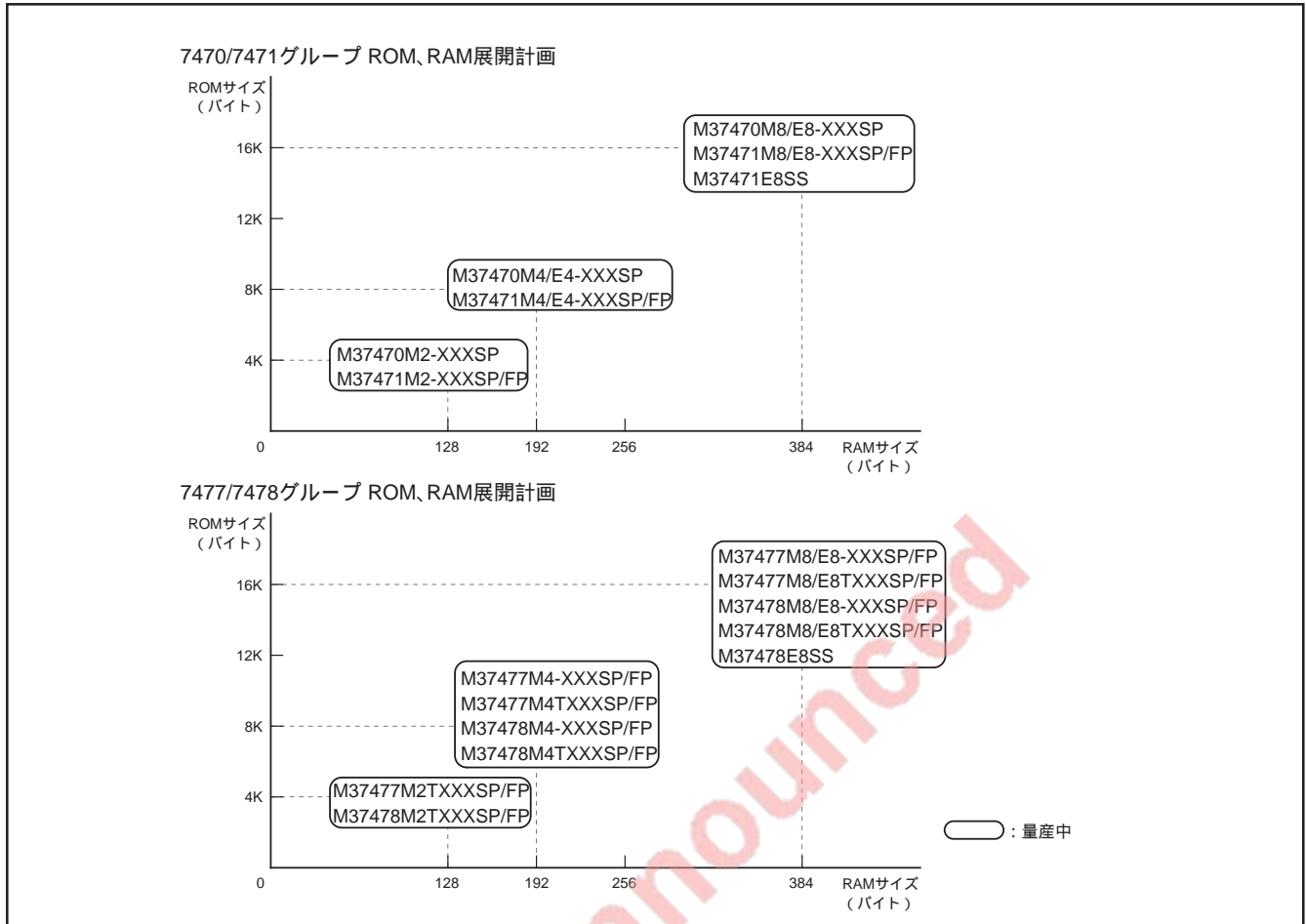


図1.2.1 7470/7471/7477/7478グループ ROM、RAM展開計画 (1998年10月現在)

表1.2.1 7470/7471グループ サポート製品一覧 (1998年10月現在)

| 製品形名 | ROM(バイト) | RAM(バイト) | 入出力ポート | パッケージ | 備考 |
|----------------|----------|----------|-----------------------------------|---------|-------------|
| M37470M2-XXXSP | 4096 | 128 | 入出力 22本 (アナログ入力4本を含む) 入力 4本 | 32P4B | マスクROM版 |
| M37470M4-XXXSP | 8192 | 192 | | | ワンタイムPROM版 |
| M37470E4-XXXSP | | 384 | | | マスクROM版 |
| M37470M8-XXXSP | 16384 | 384 | | | ワンタイムPROM版 |
| M37471M2-XXXSP | 4096 | 128 | 入出力 28本 (アナログ入力8本を含む) 入力 8本 | 42P4B | マスクROM版 |
| M37471M2-XXXFP | | | | 56P6N-A | |
| M37471M4-XXXSP | 8192 | 192 | | 42P4B | ワンタイムPROM版 |
| M37471M4-XXXFP | | | | 56P6N-A | |
| M37471E4-XXXSP | | | | 42P4B | マスクROM版 |
| M37471E4-XXXFP | | | | 56P6N-A | |
| M37471M8-XXXSP | 16384 | 384 | | 42P4B | ワンタイムPROM版 |
| M37471M8-XXXFP | | | | 56P6N-A | |
| M37471E8-XXXSP | | | | 42P4B | EPROM内蔵版 |
| M37471E8-XXXFP | | | | 56P6N-A | |
| M37471E8SS | | | 42S1B-A | | |
| M37471RSS | 63.5K(注) | 384 | | 42S1M | エミュレータ専用MCU |

注．ROM領域として使用可能なアドレス空間。

表1.2.2 7477/7478グループ サポート製品一覧 (1998年10月現在)

| 製品形名 | ROM(バイト) | RAM(バイト) | 入出力ポート | パッケージ | 備考 |
|----------------|----------|----------|---------------------------------------|-------------|-------------|
| M37477M2TXXXSP | 4096 | 128 | 入出力 18本 入力 8本 (アナログ入力4本) を含む | 32P4B | マスクROM版* |
| M37477M2TXXXFP | | | | 32P2W-A | |
| M37477M4-XXXSP | 8192 | 192 | | 32P4B | マスクROM版 |
| M37477M4-XXXFP | | | | 32P2W-A | |
| M37477M4TXXXSP | | | | 32P4B | マスクROM版* |
| M37477M4TXXXFP | | | | 32P2W-A | |
| M37477M8-XXXSP | 16384 | 384 | | 32P4B | マスクROM版 |
| M37477M8-XXXFP | | | | 32P2W-A | |
| M37477M8TXXXSP | | | | 32P4B | マスクROM版* |
| M37477M8TXXXFP | | | | 32P2W-A | |
| M37477E8-XXXSP | | | | 32P4B | ワンタイムPROM版 |
| M37477E8-XXXFP | | | | 32P2W-A | |
| M37477E8TXXXSP | | | | 32P4B | ワンタイムPROM版* |
| M37477E8TXXXFP | | | | 32P2W-A | |
| M37478M2TXXXSP | 4096 | 128 | | 42P4B | マスクROM版* |
| M37478M2TXXXFP | | | | 56P6N-A | |
| M37478M4-XXXSP | 8192 | 192 | 42P4B | マスクROM版 | |
| M37478M4-XXXFP | | | 56P6N-A | | |
| M37478M4TXXXSP | | | 42P4B | マスクROM版* | |
| M37478M4TXXXFP | | | 56P6N-A | | |
| M37478M8-XXXSP | 16384 | 384 | 42P4B | マスクROM版 | |
| M37478M8-XXXFP | | | 56P6N-A | | |
| M37478M8TXXXSP | | | 42P4B | マスクROM版* | |
| M37478M8TXXXFP | | | 56P6N-A | | |
| M37478E8-XXXSP | | | 42P4B | ワンタイムPROM版 | |
| M37478E8-XXXFP | | | 56P6N-A | | |
| M37478E8TXXXSP | | | 42P4B | ワンタイムPROM版* | |
| M37478E8TXXXFP | | | 56P6N-A | | |
| M37478E8SS | 63.5K(注) | 384 | 42S1B-A | EPROM内蔵版 | |
| M37478RSS | | | 42S1M | エミュレータ専用MCU | |

注．ROM領域として使用可能なアドレス空間。

*：広動作温度範囲版

1.3 性能概要

7470/7471/7477/7478グループの性能概要を表1.3.1から表1.3.4に示します。

表1.3.1 7470グループの性能概要

| 項 目 | | 性 能 | |
|------------------|-------------------|--|----------|
| 基本命令数 | | 71(740ファミリ基本命令69+乗除算命令2) | |
| 命令実行時間 | | 0.5 μ s(最短命令、クロック周波数8MHz時) | |
| クロック周波数 | | 8MHz(最大) | |
| メモリ 容 量 | ROM | M37470M2 | 4096バイト |
| | | M37470M4/E4 | 8192バイト |
| | | M37470M8/E8 | 16384バイト |
| | RAM | M37470M2 | 128バイト |
| | | M37470M4/E4 | 192バイト |
| | | M37470M8/E8 | 384バイト |
| 入出力 ポ ー ト | 入出力 | P0 | 8ビット |
| | | P1 | 8ビット |
| | | P2 | 4ビット |
| | | P4 | 2ビット |
| | 入 力 | P3 | 4ビット |
| シリアルI/O | | 8ビット×1 | |
| タイマ | | 8ビットタイマ×4 | |
| PWM | | 1本(タイマ2本と共用) | |
| A-D変換器 | | 8ビット×1(4チャンネル) | |
| サブルーチン ネスティング | M37470M2 | 最大64段 | |
| | M37470M4/E4 | 最大96段 | |
| | M37470M8/E8 | 最大192段 | |
| 割り込み | | 外部5要因、内部6要因、ソフトウェア1要因 | |
| クロック発生回路 | | 内蔵(セラミック共振子、水晶発振子外付け)、帰還抵抗内蔵 | |
| 電源電圧 | | 2.7~4.5V(クロック周波数 $f(XIN)$ =(2.2V _{CC} -2.0)MHz時) 4.5~5.5V(クロック周波数 $f(XIN)$ =8MHz時) | |
| 消費電力 | | 35mW(クロック周波数 $f(XIN)$ =8MHz時 標準値) | |
| 入出力特性 | 入出力耐電圧 | 5V | |
| | 出力電流 | -5~10mA(P0, P1, P2, P4: CMOS3ステート) | |
| 動作周囲温度 | | -20~85 | |
| 素子構造 | | CMOSシリコンゲート | |
| パッケージ | M37470MX/EX-XXXSP | 32ピンシュリンクプラスチックモールドDIP | |

表1.3.2 7471グループの性能概要

| 項 目 | | 性 能 | |
|------------------|-------------------|--|----------|
| 基本命令数 | | 71(740ファミリ基本命令69+乗除算命令2) | |
| 命令実行時間 | | 0.5 μ s(最短命令、クロック周波数8MHz時) | |
| クロック周波数 | | 8MHz(最大) | |
| メモリ 容 量 | ROM | M37471M2 | 4096バイト |
| | | M37471M4/E4 | 8192バイト |
| | | M37471M8/E8 | 16384バイト |
| | RAM | M37471M2 | 128バイト |
| | | M37471M4/E4 | 192バイト |
| | | M37471M8/E8 | 384バイト |
| 入出力 ポ ー ト | 入出力 | P0 | 8ビット |
| | | P1 | 8ビット |
| | | P2 | 8ビット |
| | | P4 | 4ビット |
| | 入 力 | P3 | 4ビット |
| | | P5 | 4ビット |
| シリアルI/O | | 8ビット \times 1 | |
| タイマ | | 8ビットタイマ \times 4 | |
| PWM | | 1本(タイマ2本と共用) | |
| A-D変換器 | | 8ビット \times 1(8チャンネル) | |
| サブルーチン ネスティング | M37471M2 | 最大64段 | |
| | M37471M4/E4 | 最大96段 | |
| | M37471M8/E8 | 最大192段 | |
| 割り込み | | 外部5要因、内部6要因、ソフトウェア1要因 | |
| クロック発生回路 | | 内蔵(セラミック共振子、水晶発振子外付け) 帰還抵抗内蔵 | |
| 時計用クロック発生回路 | | 内蔵(水晶発振子外付け) 帰還抵抗内蔵 | |
| 電源電圧 | | 2.7~4.5V(クロック周波数(f_{XIN})=(2.2V _{CC} -2.0)MHz時) 4.5~5.5V(クロック周波数(f_{XIN})=8MHz時) | |
| 消費電力 | | 35mW(クロック周波数(f_{XIN})=8MHz時 標準値) | |
| 入出力特性 | 入出力耐電圧 | 5V | |
| | 出力電流 | -5~10mA(P0, P1, P2, P4: CMOS3ステート) | |
| 動作周囲温度 | | -20~85 | |
| 素子構造 | | CMOSシリコンゲート | |
| パッケージ | M37471MX/EX-XXXSP | 42ピンシュリンクプラスチックモールドDIP | |
| | M37471MX/EX-XXXFP | 56ピンプラスチックモールドQFP | |
| | M37471E8SS | 42ピンシュリンクセラミックDIP | |

表1.3.3 7477グループの性能概要

| 項 目 | | 性 能 | |
|------------------|-------------------|--|----------|
| 基本命令数 | | 71(740ファミリ基本命令69+乗除算命令2) | |
| 命令実行時間 | | 0.5 μ s(最短命令、クロック周波数8MHz時) | |
| クロック周波数 | | 8MHz(最大) | |
| メモリ 容 量 | ROM | M37477M2 | 4096バイト |
| | | M37477M4 | 8192バイト |
| | | M37477M8/E8 | 16384バイト |
| | RAM | M37477M2 | 128バイト |
| | | M37477M4 | 192バイト |
| | | M37477M8/E8 | 384バイト |
| 入出力 ポ ー ト | 入出力 | P0 | 8ビット |
| | | P1 | 8ビット |
| | | P4 | 2ビット |
| | 入 力 | P2 | 4ビット |
| | | P3 | 4ビット |
| シリアルI/O | | 8ビット \times 1(UART選択可能) | |
| タイマ | | 8ビットタイマ \times 4 | |
| PWM | | 1本(タイマ2本と共用) | |
| A-D変換器 | | 8ビット \times 1(4チャンネル) | |
| サブルーチン ネスティング | M37477M2 | 最大64段 | |
| | M37477M4 | 最大96段 | |
| | M37477M8/E8 | 最大192段 | |
| 割り込み | | 外部5要因、内部7要因、ソフトウェア1要因 | |
| クロック発生回路 | | 内蔵(セラミック共振子、水晶発振子外付け)、帰還抵抗内蔵 | |
| 電源電圧 | | 2.7~4.5V(クロック周波数(f_{XIN})=(2.2V _{CC} -2.0)MHz時) 4.5~5.5V(クロック周波数(f_{XIN})=8MHz時) | |
| 消費電力 | | 35mW(クロック周波数(f_{XIN})=8MHz時 標準値) | |
| 入出力特性 | 入出力耐電圧 | 5V | |
| | 出力電流 | -5~10mA(P0, P1, P4: CMOS3ステート) | |
| 動作周囲温度 | | -20~85 (広動作温度範囲版では-40~85) | |
| 素子構造 | | CMOSシリコンゲート | |
| パッケージ | M37477MX/E8-XXXSP | 32ピンシュリンクプラスチックモールドDIP | |
| | M37477MX/E8TXXXSP | | |
| | M37477MX/E8-XXXFP | 32ピンプラスチックモールドSOP | |
| | M37477MX/E8TXXXFP | | |

表1.3.4 7478グループの性能概要

| 項 目 | | 性 能 | |
|------------------|-------------------|--|----------|
| 基本命令数 | | 71(740ファミリ基本命令69+乗除算命令2) | |
| 命令実行時間 | | 0.5 μ s(最短命令、クロック周波数8MHz時) | |
| クロック周波数 | | 8MHz(最大) | |
| メモリ 容 量 | ROM | M37478M2 | 4096バイト |
| | | M37478M4 | 8192バイト |
| | | M37478M8/E8 | 16384バイト |
| | RAM | M37478M2 | 128バイト |
| | | M37478M4 | 192バイト |
| | | M37478M8/E8 | 384バイト |
| 入出力 ポ ー ト | 入出力 | P0 | 8ビット |
| | | P1 | 8ビット |
| | | P4 | 4ビット |
| | 入 力 | P2 | 8ビット |
| | | P3 | 4ビット |
| | | P5 | 4ビット |
| シリアルI/O | | 8ビット \times 1(UART選択可能) | |
| タイマ | | 8ビットタイマ \times 4 | |
| PWM | | 1本(タイマ2本と共用) | |
| A-D変換器 | | 8ビット \times 1(8チャンネル) | |
| サブルーチン ネスティング | M37478M2 | 最大64段 | |
| | M37478M4 | 最大96段 | |
| | M37478M8/E8 | 最大192段 | |
| 割り込み | | 外部5要因、内部7要因、ソフトウェア1要因 | |
| クロック発生回路 | | 内蔵(セラミック共振子、水晶発振子外付け)、帰還抵抗内蔵 | |
| 時計用クロック発生回路 | | 内蔵(水晶発振子外付け)、帰還抵抗内蔵 | |
| 電源電圧 | | 2.7~4.5V(クロック周波数(X_{IN})=(2.2V _{CC} -2.0)MHz時) 4.5~5.5V(クロック周波数(X_{IN})=8MHz時) | |
| 消費電力 | | 35mW(クロック周波数(X_{IN})=8MHz時 標準値) | |
| 入出力特性 | 入出力耐電圧 | 5V | |
| | 出力電流 | -5~10mA(P0, P1, P4: CMOS3ステート) | |
| 動作周囲温度 | | -20~85 (広動作温度範囲版では-40~85) | |
| 素子構造 | | CMOSシリコンゲート | |
| パッケージ | M37478MX/E8-XXXSP | 42ピンシュリンクプラスチックモールドDIP | |
| | M37478MX/E8TXXXSP | | |
| | M37478MX/E8-XXXFP | 56ピンプラスチックモールドQFP | |
| | M37478MX/E8TXXXFP | | |
| M37478E8SS | | 42ピンシュリンクセラミックDIP | |

1.4 ピン接続図

7470/7471/7477/7478グループのピン接続図を図1.4.1から図1.4.4に示します。

プログラマブルROM内蔵版のEPROMモード時の端子結線は「1.19.1 EPROMモード」の「図1.19.1～6 EPROMモード時の端子結線」を参照してください。

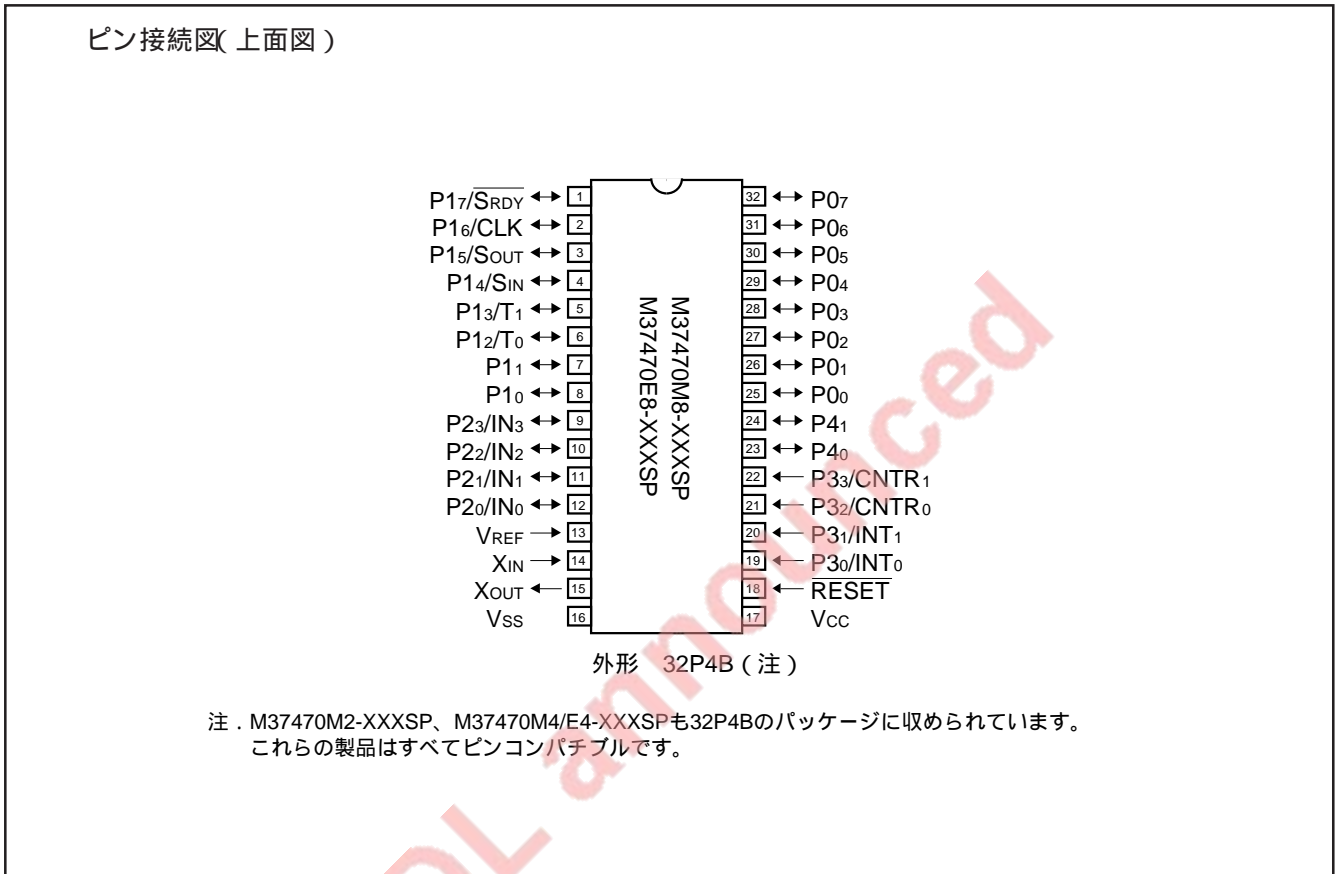
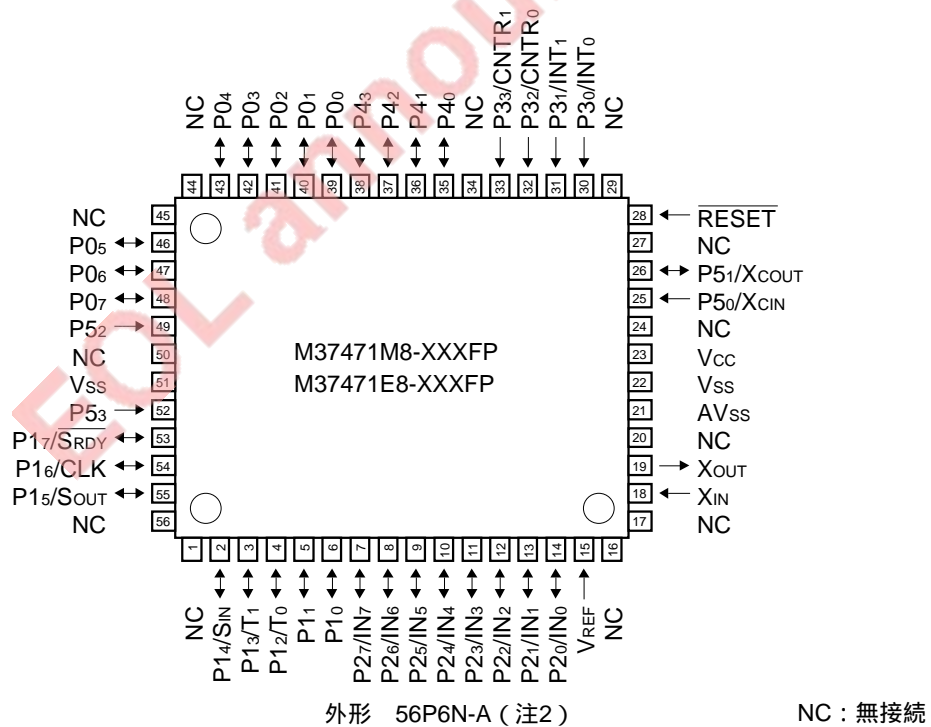
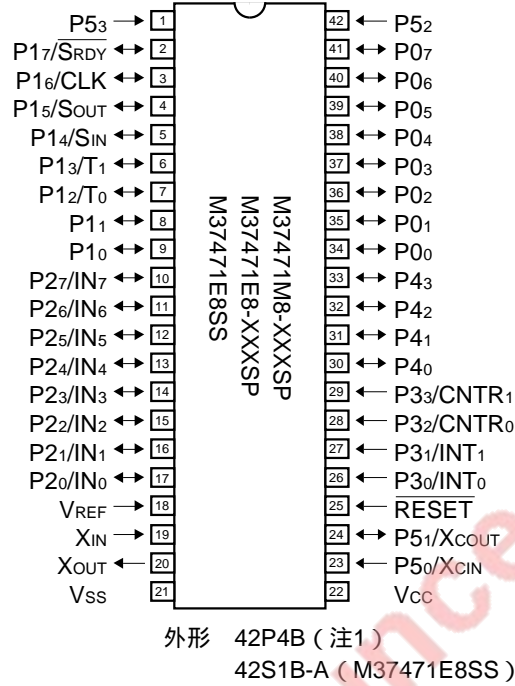


図1.4.1 7470グループ ピン接続図

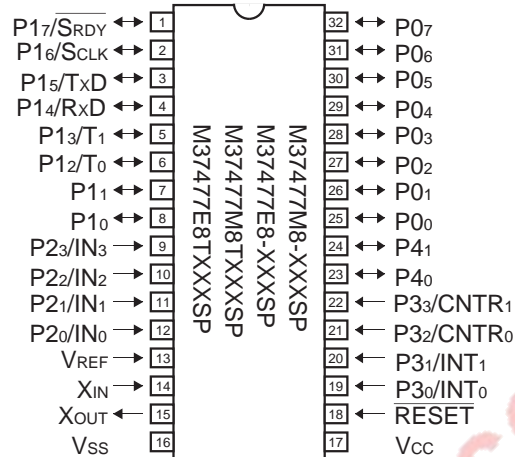
ピン接続図(上面図)



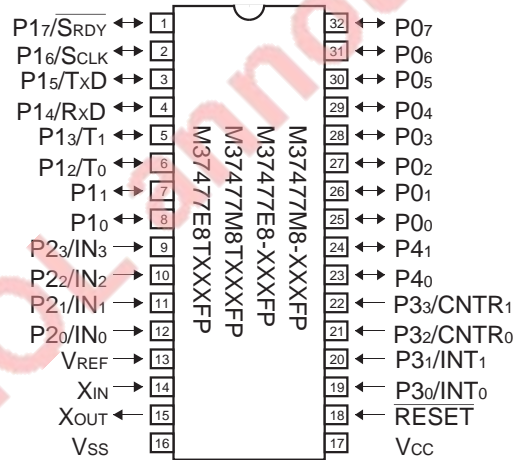
- 注1 . M37471M2-XXXSP、M37471M4/E4-XXXSPも42P4Bのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 2 . M37471M2-XXXFP、M37471M4/E4-XXXFPも56P6N-Aのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 3 . 42P4Bのパッケージ品と56P6N-Aパッケージ品の違いはパッケージの形状、絶対最大定格及び56P6N-Aパッケージ品がAVss端子を持っていることのみです。

図1.4.2 7471グループ ピン接続図

ピン接続図(上面図)



外形 32P4B (注1)

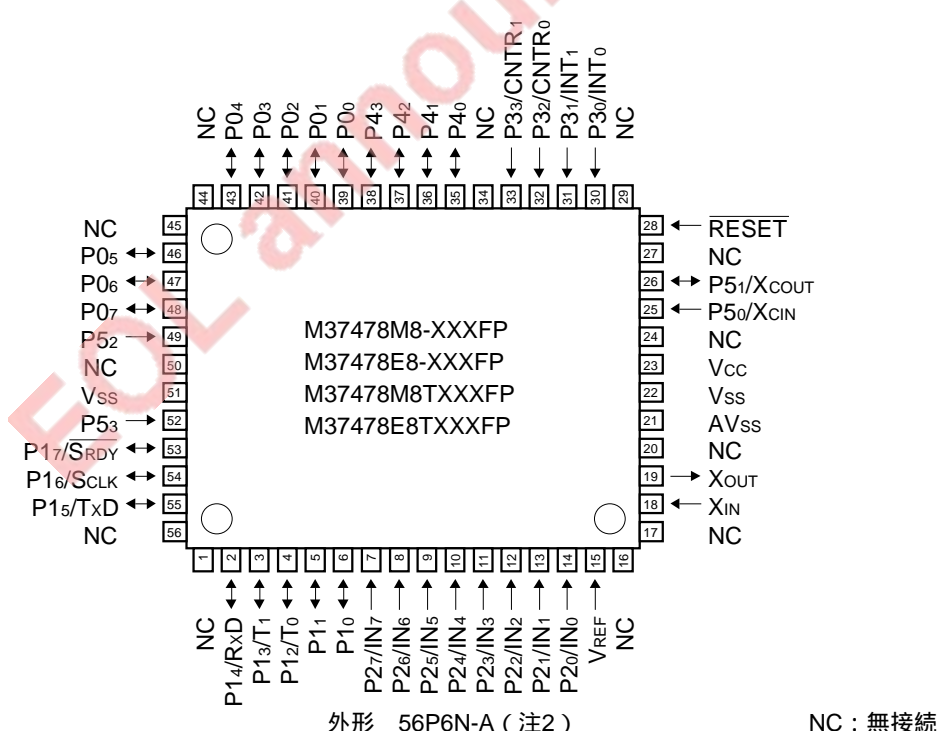
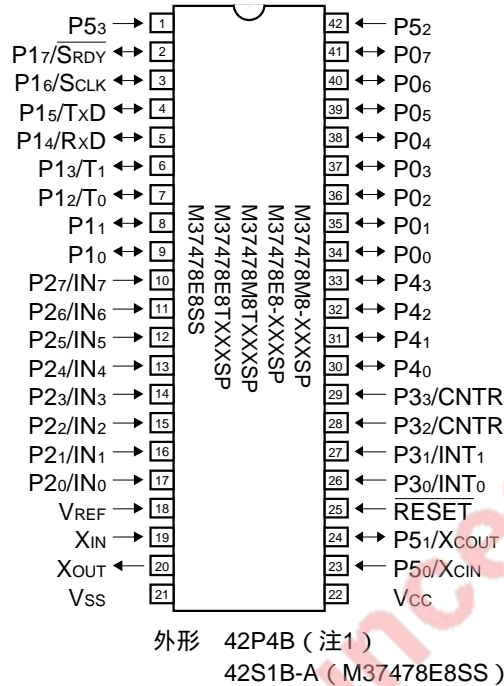


外形 32P2W-A (注2)

- 注1 . M37477M2TXXXSP、M37477M4-XXXSP、M37477M4TXXXSPも32P4Bのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 2 . M37477M2TXXXFP、M37477M4-XXXFP、M37477M4TXXXFPも32P2W-Aのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 3 . 32P4Bパッケージ品と32P2W-Aパッケージ品の違いはパッケージの形状及び絶対最大定格のみです。

図1.4.3 7477グループ ピン接続図

ピン接続図(上面図)



- 注1. M37478M2TXXXSP、M37478M4-XXXSP、M37478M4TXXXSPも42P4Bのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 注2. M37478M2TXXXFP、M37478M4-XXXFP、M37478M4TXXXFPも56P6N-Aのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 注3. 42P4Bパッケージ品と56P6N-Aパッケージ品の違いは、パッケージの形状、絶対最大定格及び56P6N-Aパッケージ品がAVss端子を持っていることのみです。

図1.4.4 7478グループ ピン接続図

1.5 端子の機能説明

各端子の機能説明を表1.5.1から表1.5.3に示します。

プログラマブルROM内蔵版のEPROMモード時の端子の機能については、「1.19.2 端子の機能説明」を参照してください。

表1.5.1 端子の機能説明(1)

| 端子名 | 名称 | 入出力 | 機能 |
|----------|----------|-----|--|
| Vcc, Vss | 電源 | | Vcc端子に2.7~4.5V(クロック周波数 $f(XIN) = (2.2V_{CC} - 2.0)$ MHz時) 又は4.5~5.5V(クロック周波数 $f(XIN) = 8$ MHz時)を印加します。 Vss端子に0Vを印加します。 |
| AVss | アナログ電源 | | A-D変換器のGND入力端子です。 Vss端子と同電位を印加します。 注. 7471/7478グループの56P6N-Aのパッケージ品の専用端子です。 |
| VREF | 基準電圧入力 | 入力 | A-D変換器の基準電圧入力端子です。 A-D変換器を使用する場合、以下の電圧を印加してください。 ・Vcc=2.7~4.0Vのとき、2~Vcc [V] ・Vcc=4.0~5.5Vのとき、0.5Vcc~Vcc [V] A-D変換器を使用しない場合、Vcc端子に接続してください。 |
| RESET | リセット入力 | 入力 | リセット入力端子です。 2 μ s以上“L”に保つとリセット状態になり“H”に戻すとリセット状態は解除されます。 |
| XIN | クロック入力 | 入力 | メインクロック発生回路の入出力端子です。 XIN, XOUT端子間にセラミック共振子又は水晶発振子を接続して使用します。 |
| XOUT | クロック出力 | 出力 | XIN, XOUT端子間には帰還抵抗が内蔵されています。 外部クロック入力を利用する場合は、クロック発振源をXIN端子に接続し、XOUT端子は開放にしてください。 |
| P00~P07 | 入出力ポートP0 | 入出力 | 8ビットの入出力ポートです。 出力形式はCMOS出力です。 入力モード選択時は1ビット単位でプルアップトランジスタの接続が可能です。 入力モード選択時はキーオンウエイクアップ機能も持ちます。 |

表1.5.2 端子の機能説明(2)

| 端子名 | 名称 | 入出力 | 機能 |
|-----------|-----------------------------|-----|--|
| P10 ~ P17 | 入出力ポートP1 | 入出力 | <p>8ビットの入出力ポートです。</p> <p>出力形式はCMOS出力です。</p> <p>入力モード選択時は4ビット単位でプルアップトランジスタの接続が可能です。</p> <p>P12, P13端子はそれぞれタイマ出力端子T0, T1と共用されています。</p> <p>7470/7471グループの場合、P14, P15, P16, P17端子はそれぞれシリアルI/O端子SIN, SOUT, CLK, SRDYと共用されています。</p> <p>7470/7471グループの場合、SOUT, SRDY端子の出力はNチャネルオープンドレイン出力にすることも可能です。</p> <p>7477/7478グループの場合、P14, P15, P16, P17端子はそれぞれシリアルI/O端子RxD, TxD, SCLK, SRDYと共用されています。</p> |
| P20 ~ P27 | 入出力ポートP2 (7470/7471グループ) | 入出力 | <p>8ビットの入出力ポートです。</p> <p>出力形式はCMOS出力です。</p> <p>入力モード選択時は4ビット単位でプルアップトランジスタの接続が可能です。</p> <p>アナログ入力端子IN0 ~ IN7と共用されています。</p> <p>注: 7470グループの場合、P20 ~ P23(IN0 ~ IN3)端子の4ビットのみです。</p> |
| | 入力ポートP2 (7477/7478グループ) | 入力 | <p>8ビットの入力ポートです。</p> <p>プルアップトランジスタの接続はできません。</p> <p>アナログ入力端子IN0 ~ IN7と共用されています。</p> <p>注: 7477グループの場合、P20 ~ P23(IN0 ~ IN3)端子の4ビットのみです。</p> |
| P30 ~ P33 | 入力ポートP3 | 入力 | <p>4ビットの入力ポートです。</p> <p>P30, P31端子は外部割り込み入力端子INT0, INT1と共用されています。</p> <p>P32, P33端子はタイマ入力端子CNTR0, CNTR1と共用されています。</p> |

表1.5.3 端子の機能説明(3)

| 端子名 | 名称 | 入出力 | 機能 |
|-----------|----------|-----|---|
| P40 ~ P43 | 入出力ポートP4 | 入出力 | <p>4ビットの入出力ポートです。 出力形式はCMOS出力です。 入力モード選択時は4ビット単位でプルアップトランジスタの接続が可能です。 注．7470/7477グループの場合、P40、P41端子の2ビットのみです。</p> |
| P50 ~ P53 | 入力ポートP5 | 入力 | <p>4ビットの入力ポートです。 4ビット単位でプルアップトランジスタの接続が可能です。 P50、P51端子は時計用クロック発生回路の入出力端子XCIN、XCOUTと共用されています。 P50、P51端子をXCIN、XCOUT端子として使用する場合は、XCIN、XCOUT端子間に水晶発振子を接続してください。 P50、P51端子をXCIN、XCOUT端子として使用する場合は、XCIN、XCOUT端子間に帰還抵抗が接続されます。 外部クロック入力を行う場合、クロック発振源をXCIN端子に接続し、XCOUT端子は開放にしてください。 注．7471/7478グループの専用端子です。</p> |

1.6 機能ブロック図

7470/7471/7477/7478グループのブロック図を図1.6.1から図1.6.6に示します。

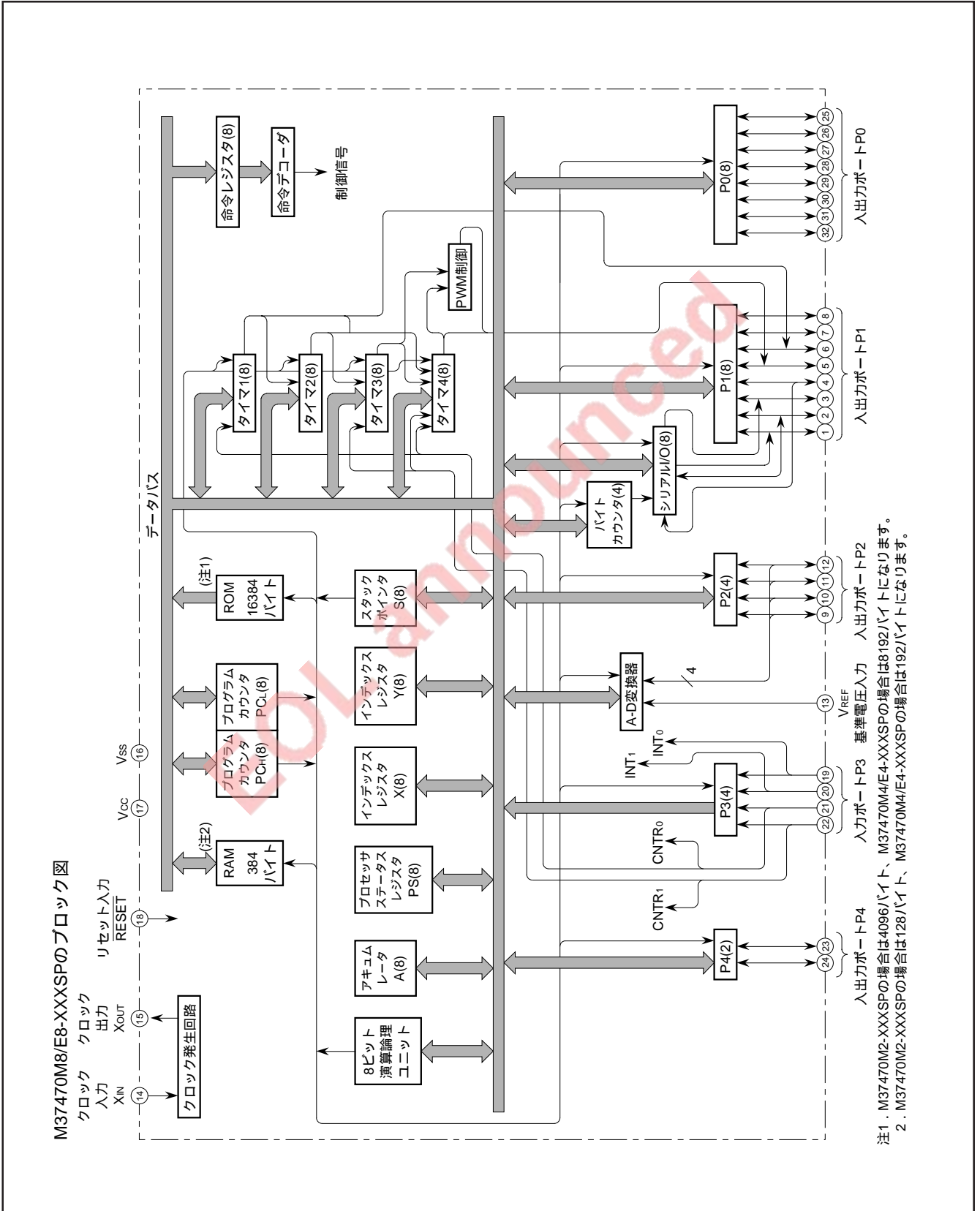
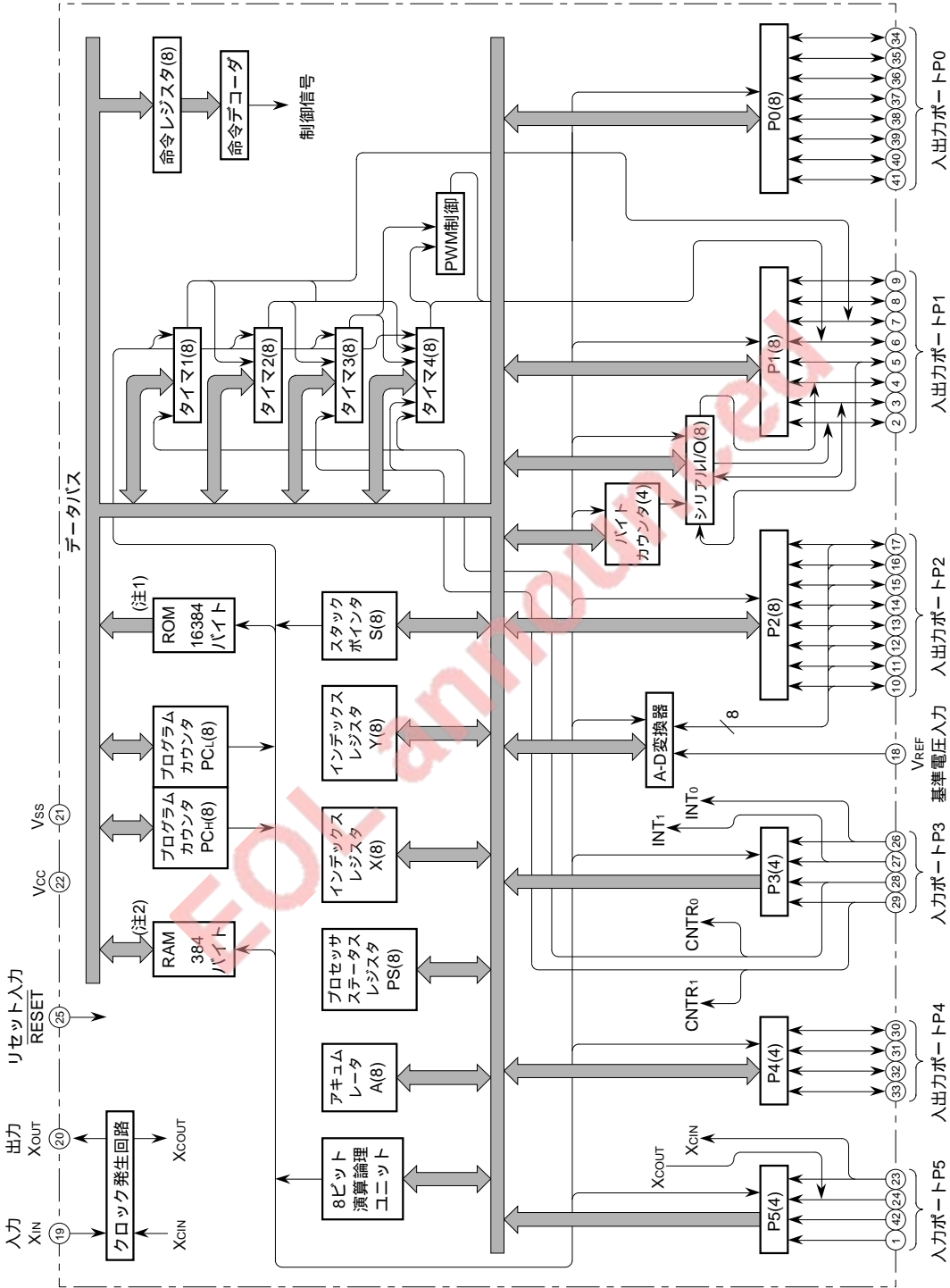


図1.6.1 M37470MX/EX-XXXSPの機能ブロック図

M37471M8/E8-XXXSP、M37471E8SSSのブロック図



注1 . M37471M2-XXXSPの場合は4096バイト、M37471M4/E4-XXXSPの場合は8192バイトになります。
 2 . M37471M2-XXXSPの場合は128バイト、M37471M4/E4-XXXSPの場合は192バイトになります。

図1.6.2 M37471MX/EX-XXXSP、M37471E8SSSの機能ブロック図

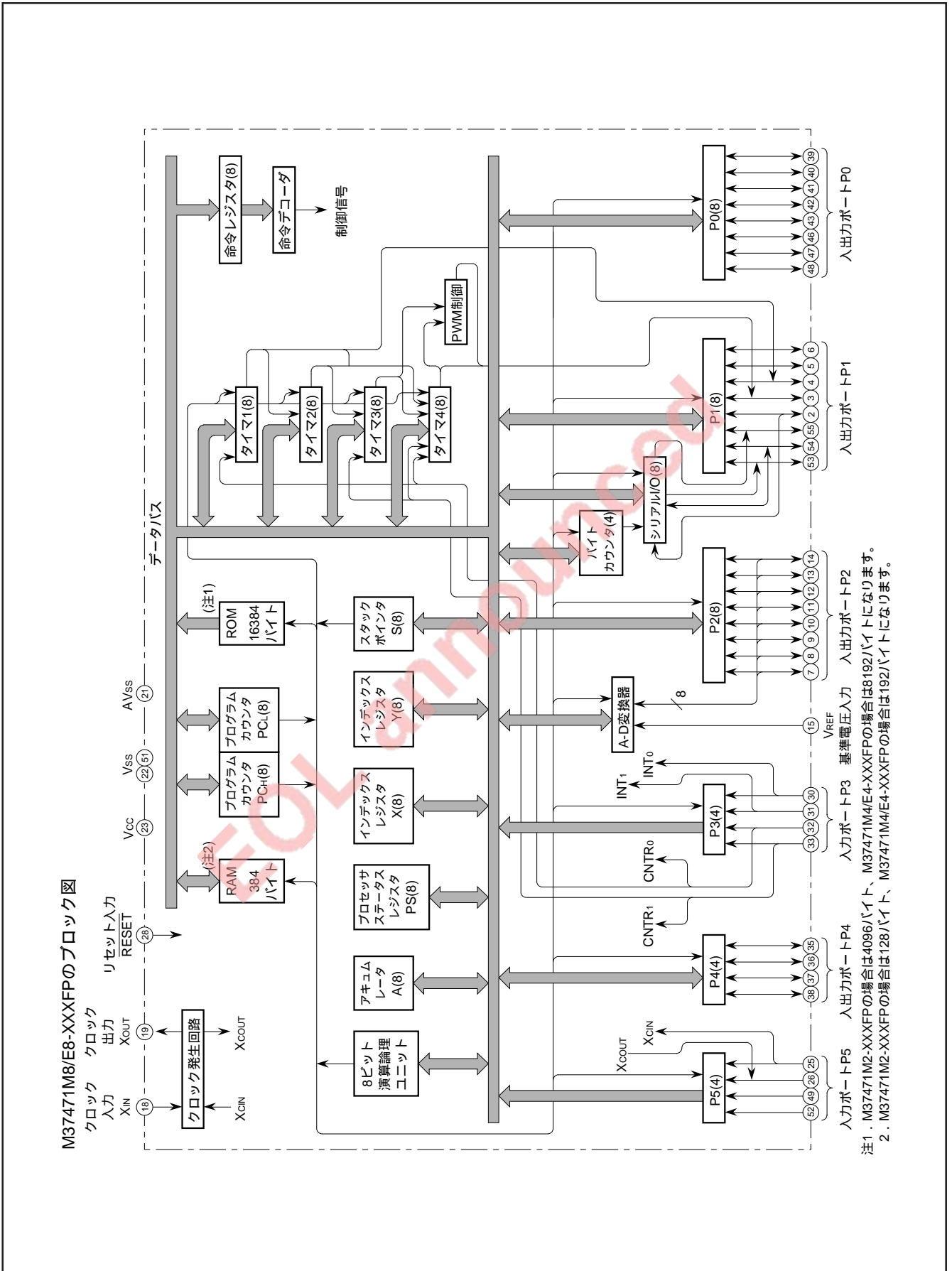


図1.6.3 M37471MX/EX-XXXFPの機能ブロック図

M37477M8/E8-XXXSP/FP、M37477M8/E8TXXXSP/FPのブロック図

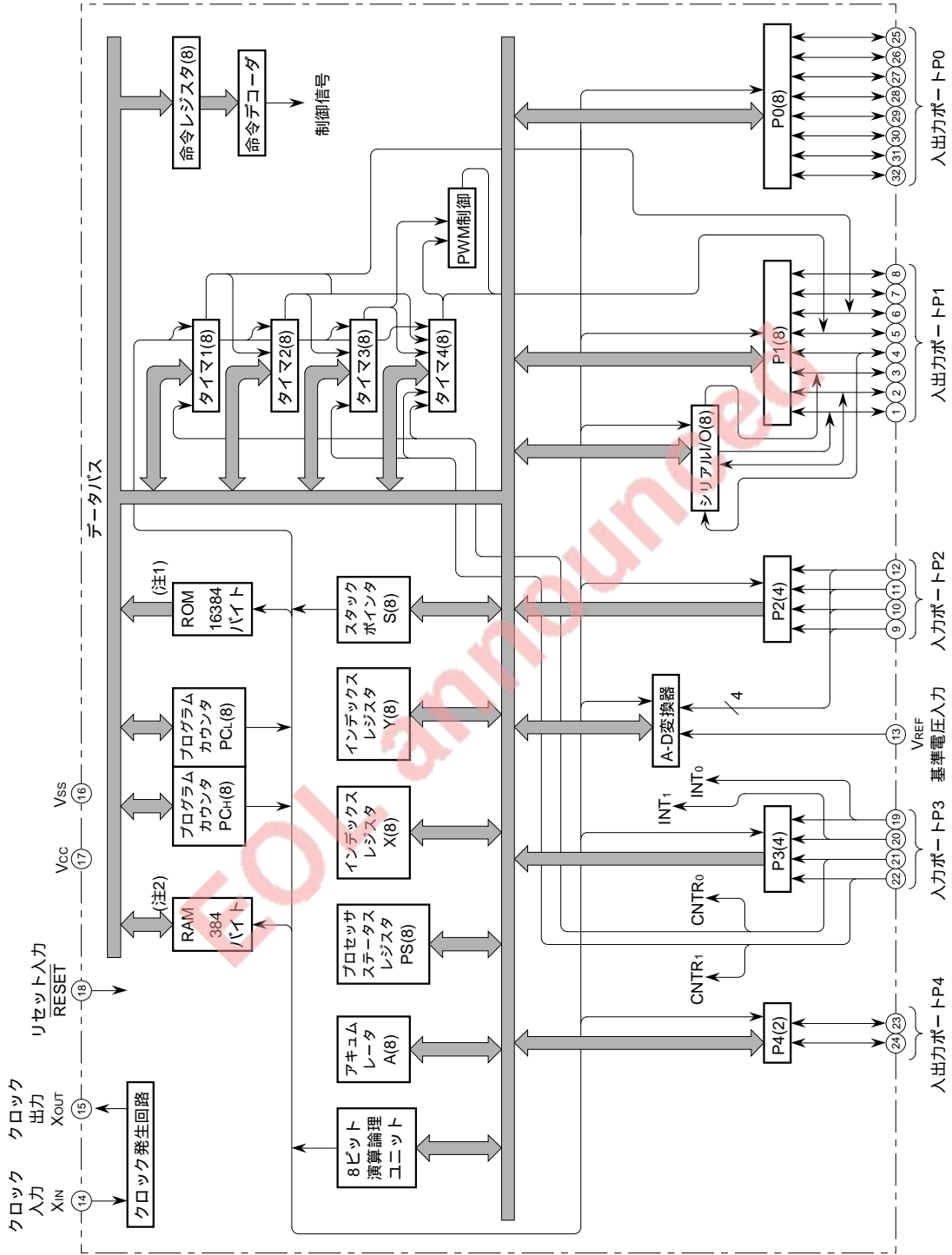


図1.6.4 M37477MX/E8-XXXSP/FP、M37477MX/E8TXXXSP/FPの機能ブロック図

M37478M8/E8-XXXSP、M37478M8/E8TXXXSP、M37478E8SSのブロック図

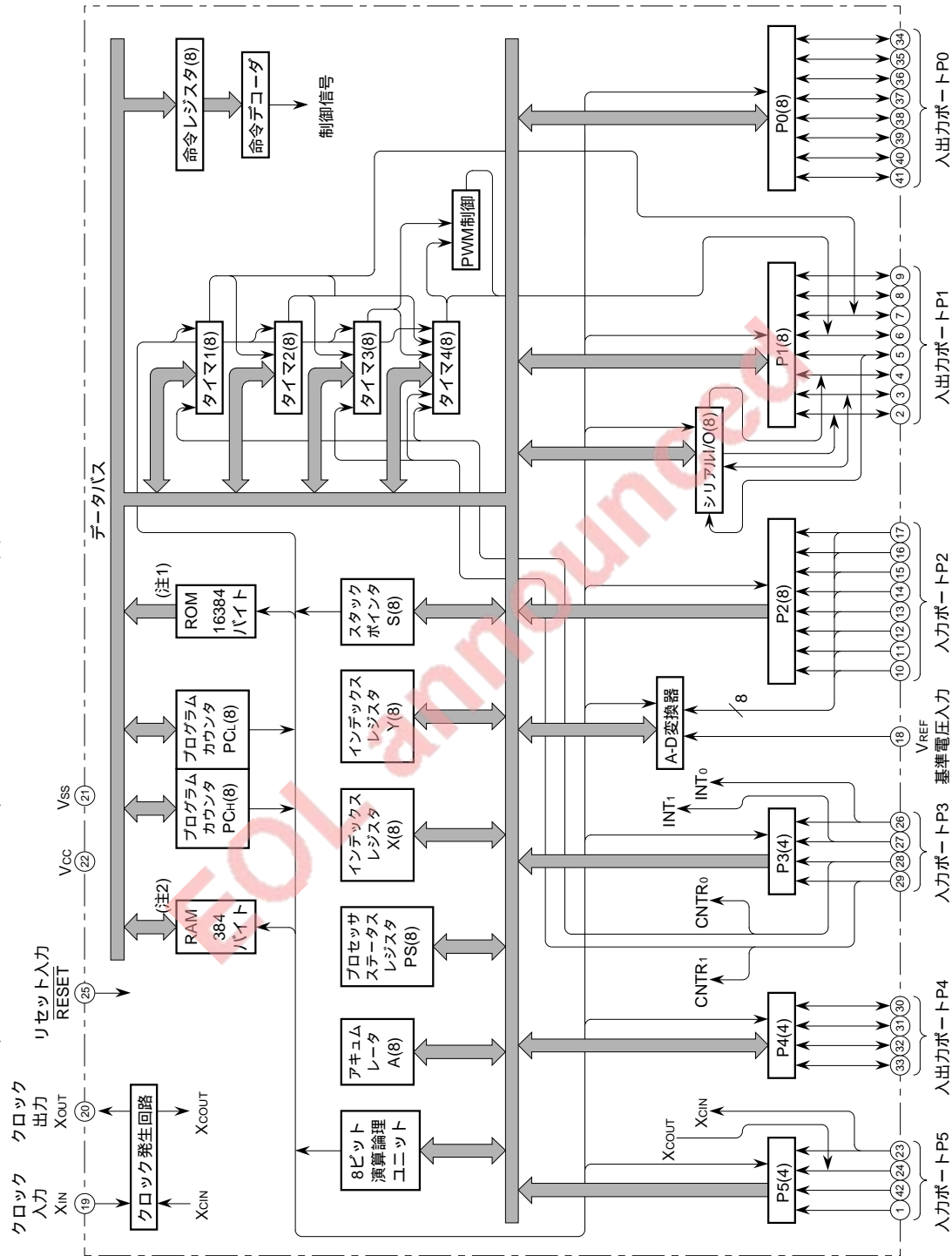


図1.6.5 M37478MX/E8-XXXSP、M37478MX/E8TXXXSP、M37478E8SSの機能ブロック図

M37478M8/E8-XXXXFP、M37478M8/E8TXXXXFPのブロック図

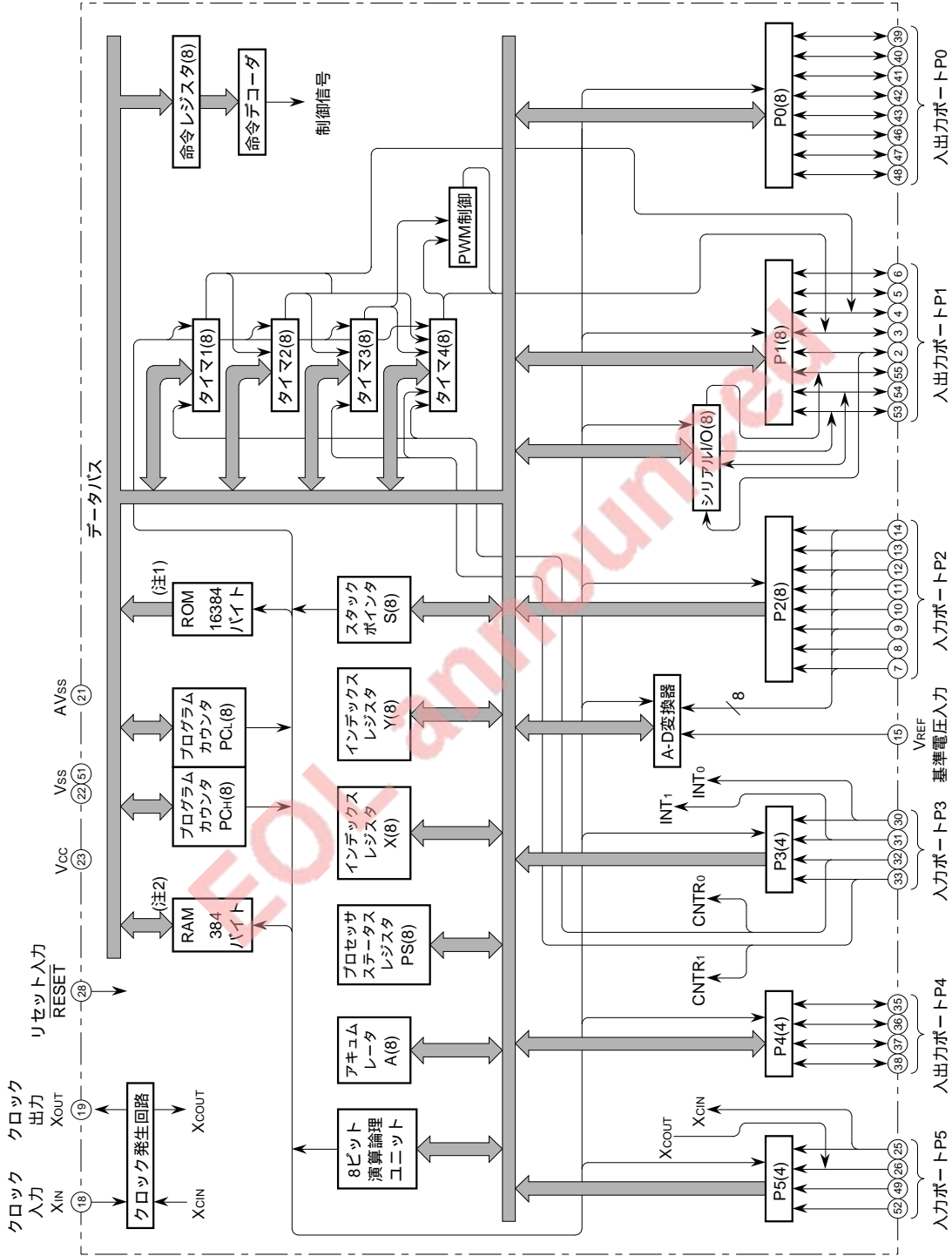


図1.6.6 M37478MX/E8-XXXXFP、M37478MX/E8TXXXXFPの機能ブロック図

1.7 中央演算処理装置

7470/7471/7477/7478グループの中央演算処理装置には、以下に示す6個のレジスタ(以下CPUレジスタ)が内蔵されています。

| | | |
|-------------------------|-------|--------------------|
| アキュムレータ(A)..... | 8ビット | |
| インデックスレジスタX(X)..... | 8ビット | |
| インデックスレジスタY(Y)..... | 8ビット | |
| スタックポインタ(S)..... | 8ビット | |
| プロセッサステータスレジスタ(PS)..... | 8ビット | |
| プログラムカウンタ(PC)..... | 16ビット | ┌ 上位(PCH).....8ビット |
| | | └ 下位(PCL).....8ビット |

7470/7471/7477/7478グループのCPUレジスタの構成を図1.7.1に示します。

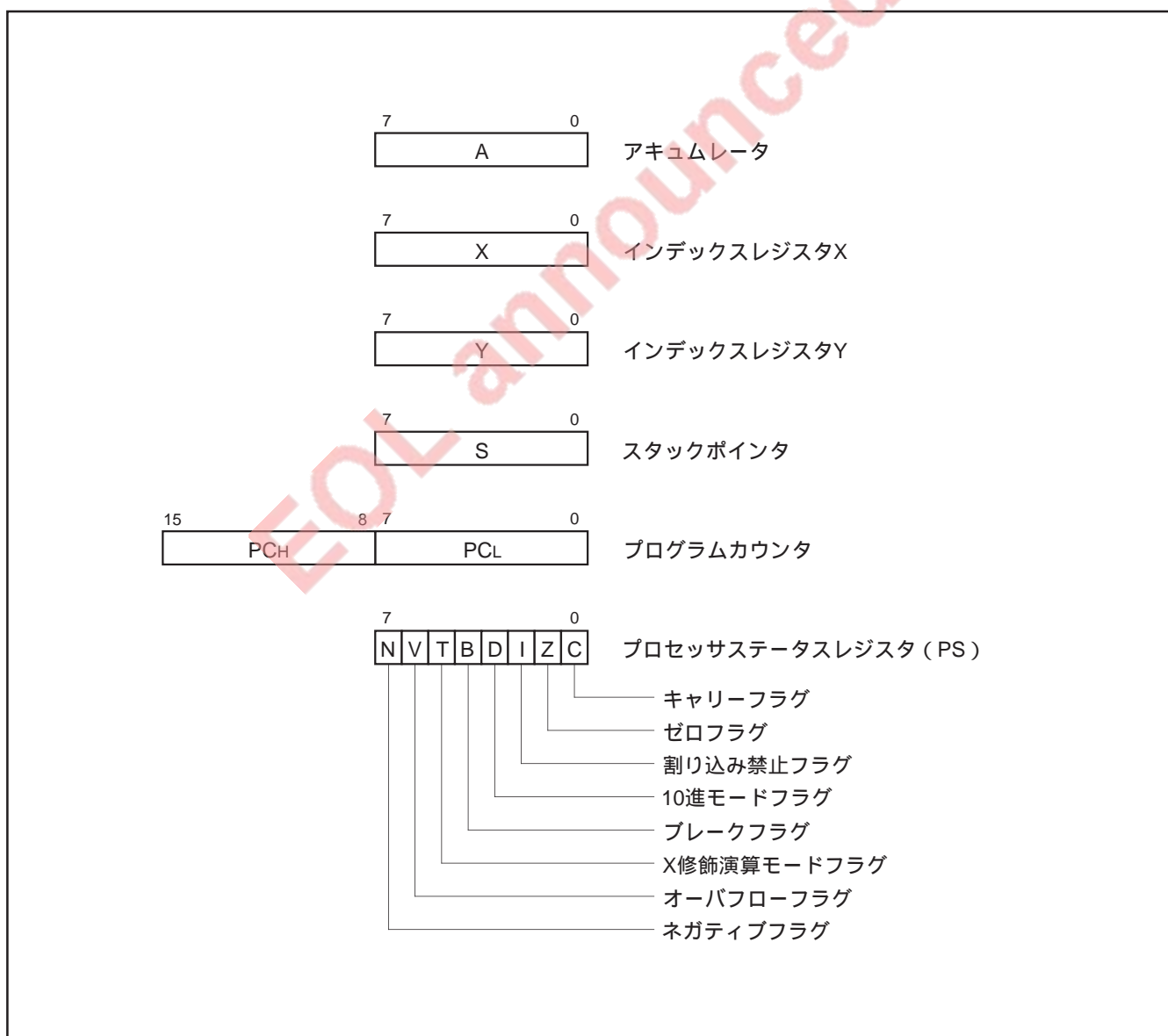


図1.7.1 CPUレジスタの構成

ハードウェアリセット直後のCPUレジスタの状態を以下に示します。

プロセッサステータスレジスタ(PS)の割り込み禁止フラグ(I)が“1”になります。

プログラムカウンタ(PC)の上位8ビット(PCH)はFFFF₁₆番地の内容に、下位8ビット(PCL)はFFFE₁₆番地の内容になります。

上記以外のCPUレジスタの内容は不定となっていますので、必ずプログラムによって初期設定してください。

EOL announced

1.7.1 アキュムレータ(A)

アキュムレータは、8ビットのレジスタです。

演算、転送などのデータ処理はこのレジスタを中心にして実行されます。

1.7.2 インデックスレジスタX(X)

インデックスレジスタXは、8ビットのレジスタです。

インデックスアドレッシングモードではこのレジスタを用いたアドレッシングを行います。

1.7.3 インデックスレジスタY(Y)

インデックスレジスタYは、8ビットのレジスタです。

一部の命令ではこのレジスタをインデックスレジスタとして、アドレッシングを行います。

1.7.4 スタックポインタ(S)

スタックポインタは、8ビットのレジスタです。

サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタックの下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“0016”となり、“1”の場合は“0116”となります。

7470/7471/7477/7478グループでは、スタックページ選択ビットはCPUモードレジスタ(00FB16番地)のビット2に配置されています。このビットはリセット解除後は“0”となりますので、必要に応じて設定してください。ただし、RAM容量が192バイト以下の品種では1ページ(010016番地～01FF16番地)にRAMがありませんので、このビットは必ず“0”にしてください。

スタックへの退避及び復帰動作を図1.7.2に示します。ここに示す以外に必要なレジスタはプログラムで退避してください。アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令を表1.7.1に示します。

スタックポインタは、ハードウェアリセット直後不定状態となっていますので、必ずプログラムにより初期設定を行ってください。

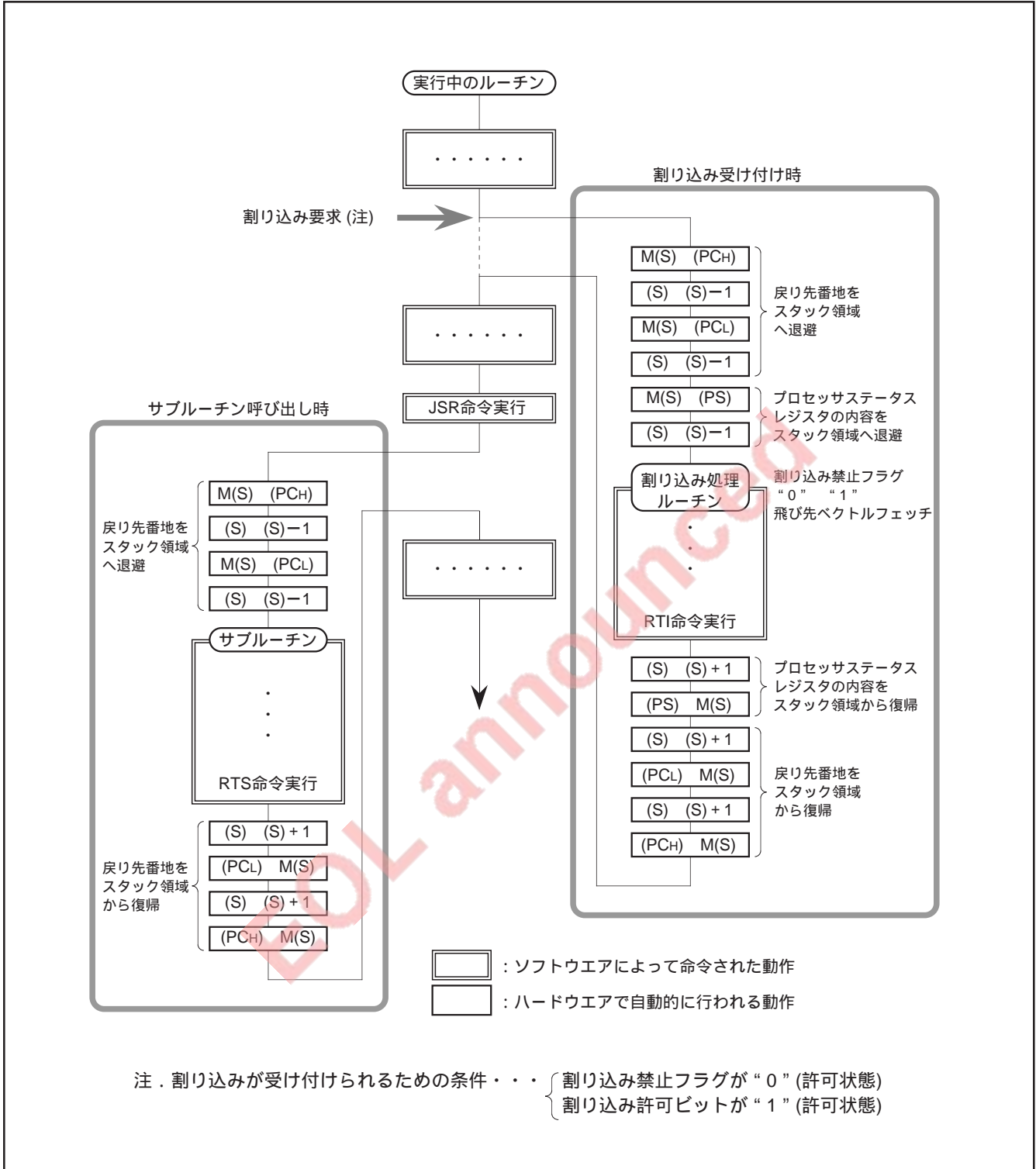


図1.7.2 スタックへの退避及び復帰動作

表1.7.1 アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令

| | スタックに退避する命令 | スタックより復帰する命令 |
|----------------|-------------|--------------|
| アキュムレータ | PHA | PLA |
| プロセッサステータスレジスタ | PHP | PLP |

1.7.5 プログラムカウンタ(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

ハードウェアリセット直後は、プログラムカウンタの上位8ビット(PCH)はFFFF₁₆番地の内容に、下位8ビット(PCL)はFFFE₁₆番地の内容になります。

1.7.6 プロセッサステータスレジスタ(PS)

プロセッサステータスレジスタは8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

以下にプロセッサステータスレジスタの各ビットについて説明します。また、プロセッサステータスレジスタの各フラグを“1”又は“0”にする命令を表1.7.2に示します。

(1) キャリーフラグ C(ビット0)

演算処理後の算術論理ユニットからのキャリー又はボローを保持します。シフト命令又はローテート命令でも変化します。

(2) ゼロフラグ Z(ビット1)

演算処理又はデータ転送の結果が“0”のときは“1”になり、それ以外のときは“0”になります。10進モード時このフラグは無効です。

(3) 割り込み禁止フラグ I(ビット2)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のときは割り込み禁止状態です。割り込みを受け付けると自動的に“1”になり、多重割り込みを禁止します。このフラグは、ハードウェアリセット直後、“1”(割り込み禁止状態)になります。

(4) 10進モードフラグ D(ビット3)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“0”のときは通常の2進演算を行い、“1”のときは1語を2桁の10進数として演算を行います。10進モード時の10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

このフラグは、ハードウェアリセット直後、不定状態となっています。このフラグは直接演算に影響を及ぼしますので、必ず初期設定を行ってください。

(5) ブレークフラグ B(ビット4)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグが“1”になり、それ以外の割り込みでは“0”になった後、プロセッサステータスレジスタがスタックに退避されます。

(6) X修飾演算モードフラグ T(ビット5)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。

このフラグが“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算が行えます。

このフラグは、ハードウェアリセット直後、不定状態となっています。このフラグは直接演算に影響を及ぼしますので、必ず初期設定を行ってください。

(7) オーバフローフラグ V(ビット6)

このフラグは、1語を符号付きの2進数として加減算するときを使用します。加減算の結果が+127から-128を越える場合に“1”になります。またBIT命令を実行した場合、実行されたメモリのビット6の内容がオーバフローフラグに入ります。

10進モード時、このフラグは無効になります。

(8) ネガティブフラグ N(ビット7)

演算処理又はデータ転送の結果が負(ビット7が“1”)のとき、“1”になります。また、BIT命令を実行した場合、実行されたメモリのビット7の内容がこのフラグに入ります。

10進モード時、このフラグは無効になります。

表1.7.2 プロセッサステータスレジスタの各フラグを“1”又は“0”にする命令

| | Cフラグ | Zフラグ | Iフラグ | Dフラグ | Bフラグ | Tフラグ | Vフラグ | Nフラグ |
|-----------------|------|------|------|------|------|------|------|------|
| フラグの内容を“1”にする命令 | SEC | — | SEI | SED | — | SET | — | — |
| フラグの内容を“0”にする命令 | CLC | — | CLI | CLD | — | CLT | CLV | — |

1.8 アクセス空間

7470/7471/7477/7478グループでは、すべてのROM、RAM、I/O、各種制御レジスタを同一アクセス空間に配置しています。したがってメモリとI/Oを区別することなく、同じ命令で、データ転送及び演算を行うことができます。

プログラムカウンタは16ビット構成となっており、アクセス空間は 0000_{16} 番地から $FFFF_{16}$ 番地までの64Kバイトです。

64Kバイトのアクセス空間のうち 0000_{16} 番地から $00FF_{16}$ 番地の最下位256バイトはゼロページ領域と呼ばれ、内部RAM、入出力ポート、タイマ等頻繁に使用するメモリが配置されています。また、 $FF00_{16}$ 番地から $FFFF_{16}$ 番地の最上位256バイトはスペシャルページ領域と呼ばれ、内部ROM、割り込みベクトルが配置されています。

ゼロページ領域、スペシャルページ領域は、各専用アドレッシングモードを使用することにより2バイトでアクセスできます。

アクセス空間の概要を図1.8.1に示します。

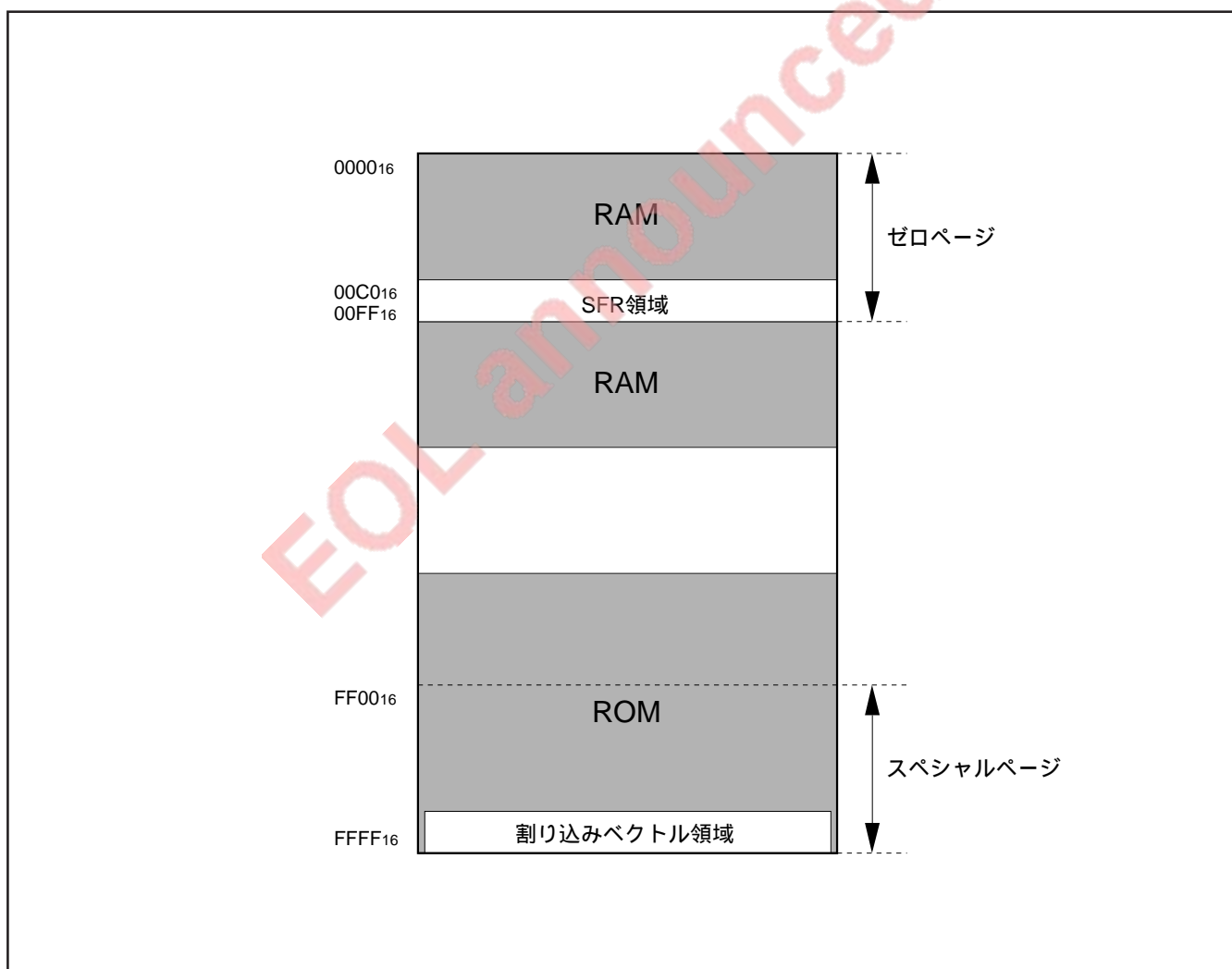


図1.8.1 アクセス空間

1.8.1 ゼロページ(0000₁₆番地 ~ 00FF₁₆番地)

0000₁₆番地から00FF₁₆番地までの256バイトをゼロページ領域と称します。この領域には、内部RAM及び特殊機能レジスタ(SFR)が配置されています。

この領域内のメモリ又はレジスタを指定する場合、表1.8.1に示すアドレッシングモードを使用します。特にこの領域においては、ゼロページアドレッシングモードを使用することにより、より短い命令サイクルでこの領域をアクセスすることができます。

1.8.2 スペシャルページ(FF00₁₆番地 ~ FFFF₁₆番地)

FF00₁₆番地からFFFF₁₆番地までの256バイトをスペシャルページ領域と称します。この領域には、内部ROM及び割り込みベクトルが配置されています。

この領域内のメモリ又はサブルーチンを指定する場合、表1.8.1に示すアドレッシングモードを使用します。特にこの領域においては、スペシャルページアドレッシングモードを使用することにより、より短い命令サイクルでこの領域をアクセスできます。

通常この領域内には、使用頻度の高いサブルーチンが配置されます。

表1.8.1 各領域へのアクセス可能なアドレッシングモード

| アドレッシングモード(使用バイト数) | ゼロページ参照 | スペシャルページ参照 | その他の領域参照 |
|--------------------|---------|------------|----------|
| ゼロページ(2) | | - | - |
| ゼロページ間接(2) | | - | - |
| ゼロページX(2) | | - | - |
| ゼロページY(2) | | - | - |
| ゼロページビット(2) | | - | - |
| ゼロページビット相対(3) | | - | - |
| 絶対(3) | | | |
| 絶対X(3) | | | |
| 絶対Y(3) | | | |
| 相対(2) | | | |
| 間接(3) | | | |
| 間接X(2) | | | |
| 間接Y(2) | | | |
| スペシャルページ(2) | - | | - |

1.9 メモリ配置

7470/7471/7477/7478グループのメモリ配置図を図1.9.1及び図1.9.2に示します。

アクセス空間上に配置されているメモリ、I/O等について以下に説明します。

RAM

表1.9.1に示す各領域には内部RAMが配置されています。内部RAMは、データ格納、サブルーチン呼び出し、割り込み発生時のスタック領域等に使用します。

RAMをスタック領域として使用する場合、RAM内のデータを破壊しないようにサブルーチンのネスタングの深さ及び割り込みのレベルに注意してください。

特殊機能レジスタ(SFR)(00C0₁₆番地~00FF₁₆番地)

00C0₁₆番地から00FF₁₆番地は、SFR(Special Function Register)に割り当てられています。SFRには、入出力ポート、タイマ、シリアルI/O、A-D変換器、割り込み等の各種制御レジスタが配置されています。

SFR領域のメモリマップを図1.9.3に示します。

ROM

表1.9.2に示す各領域には内部ROMが配置されています。内部ROMは、データテーブルやプログラムの格納に使用されます。内部ROMにおいて、7470/7471グループの場合FFE8₁₆番地からFFFF₁₆番地、7477/7478グループの場合FFE8₁₆番地からFFFF₁₆番地に、リセットや割り込み発生時の飛び先番地を格納するベクトル領域が割り当てられています。

割り込みベクトル領域のメモリマップを図1.9.4に示します。

表1.9.1 RAM領域

| 形名 | RAM領域の範囲 | RAM領域の容量 |
|-------------|---|----------|
| M3747XM2 | 0000 ₁₆ 番地~007F ₁₆ 番地 | 128×8ビット |
| M3747XM4/E4 | 0000 ₁₆ 番地~00BF ₁₆ 番地 | 192×8ビット |
| M3747XM8/E8 | 0000 ₁₆ 番地~00BF ₁₆ 番地、0100 ₁₆ 番地~01BF ₁₆ 番地 | 384×8ビット |

表1.9.2 ROM領域

| 形名 | メモリタイプ | ROM領域の範囲 | ROM領域の容量 |
|----------|------------|---|----------|
| M3747XM2 | マスクROM | F000 ₁₆ 番地~FFFF ₁₆ 番地 | 4K×8ビット |
| M3747XM4 | マスクROM | E000 ₁₆ 番地~FFFF ₁₆ 番地 | 8K×8ビット |
| M3747XE4 | プログラマブルROM | | |
| M3747XM8 | マスクROM | C000 ₁₆ 番地~FFFF ₁₆ 番地 | 16K×8ビット |
| M3747XE8 | プログラマブルROM | | |

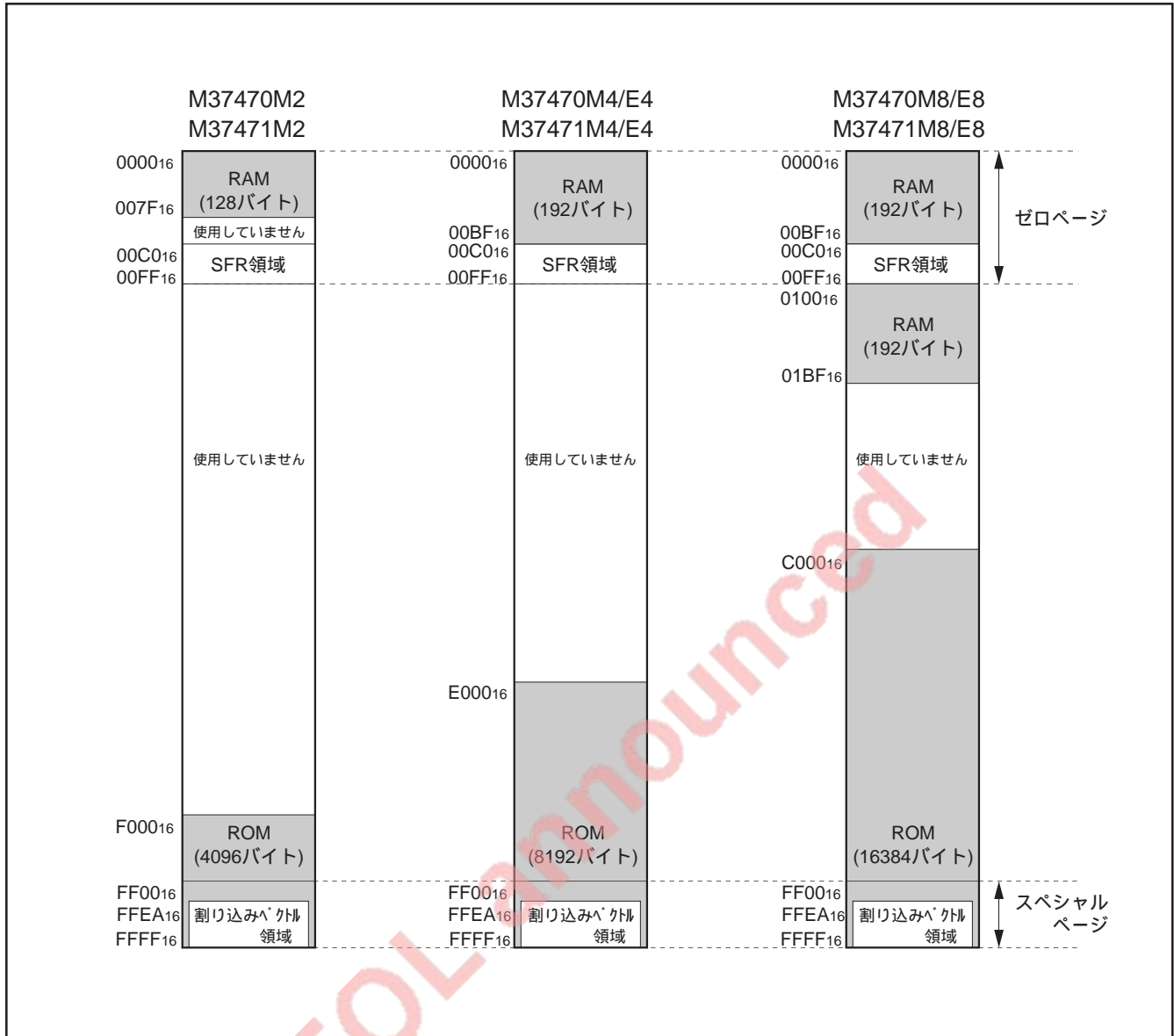


図1.9.1 7470/7471グループ メモリ配置図

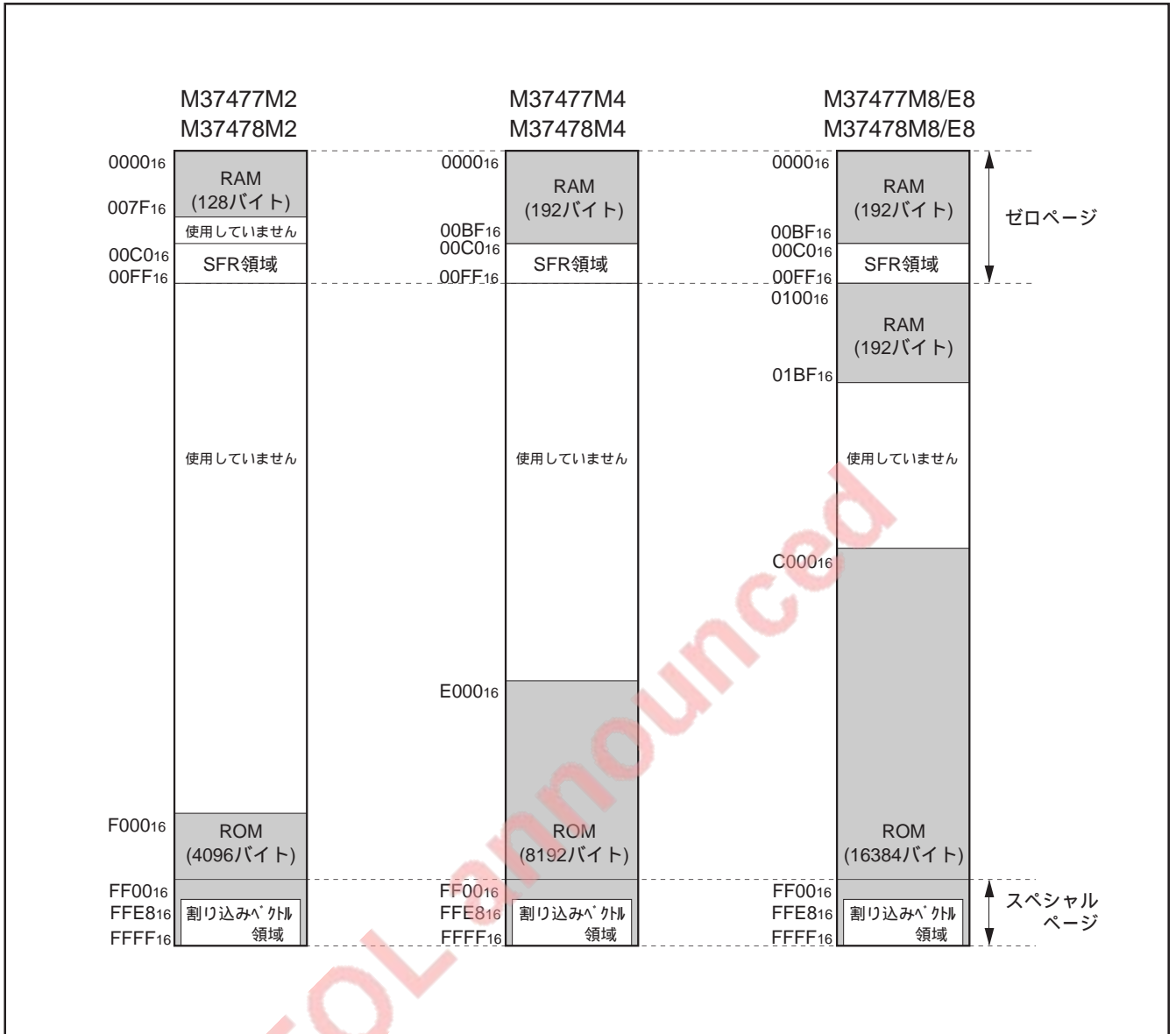


図1.9.2 7477/7478グループ メモリ配置図

| | | | | |
|--------------------|--------------------------|--------------------|-------------------|--------|
| 00C0 ₁₆ | ポートP0 | 00E0 ₁₆ | 送信/受信バッファレジスタ | } (注5) |
| 00C1 ₁₆ | ポートP0方向レジスタ | 00E1 ₁₆ | シリアル/I/Oステータスレジスタ | |
| 00C2 ₁₆ | ポートP1 | 00E2 ₁₆ | シリアル/I/O制御レジスタ | |
| 00C3 ₁₆ | ポートP1方向レジスタ | 00E3 ₁₆ | UART制御レジスタ | |
| 00C4 ₁₆ | ポートP2 | 00E4 ₁₆ | ボーレートジェネレータ | |
| 00C5 ₁₆ | ポートP2方向レジスタ (注1) | 00E5 ₁₆ | | |
| 00C6 ₁₆ | ポートP3 | 00E6 ₁₆ | | |
| 00C7 ₁₆ | | 00E7 ₁₆ | | |
| 00C8 ₁₆ | ポートP4 | 00E8 ₁₆ | | |
| 00C9 ₁₆ | ポートP4方向レジスタ | 00E9 ₁₆ | | |
| 00CA ₁₆ | ポートP5 (注2) | 00EA ₁₆ | | |
| 00CB ₁₆ | | 00EB ₁₆ | | |
| 00CC ₁₆ | | 00EC ₁₆ | | |
| 00CD ₁₆ | | 00ED ₁₆ | | |
| 00CE ₁₆ | | 00EE ₁₆ | | |
| 00CF ₁₆ | | 00EF ₁₆ | | |
| 00D0 ₁₆ | ポートP0プルアップ制御レジスタ | 00F0 ₁₆ | タイマ1 | |
| 00D1 ₁₆ | ポートP1～P5プルアップ制御レジスタ (注3) | 00F1 ₁₆ | タイマ2 | |
| 00D2 ₁₆ | | 00F2 ₁₆ | タイマ3 | |
| 00D3 ₁₆ | | 00F3 ₁₆ | タイマ4 | |
| 00D4 ₁₆ | エッジ極性選択レジスタ | 00F4 ₁₆ | | |
| 00D5 ₁₆ | | 00F5 ₁₆ | | |
| 00D6 ₁₆ | 入力ラッチレジスタ | 00F6 ₁₆ | | |
| 00D7 ₁₆ | | 00F7 ₁₆ | タイマFFレジスタ | |
| 00D8 ₁₆ | | 00F8 ₁₆ | タイマ12モードレジスタ | |
| 00D9 ₁₆ | A-D制御レジスタ | 00F9 ₁₆ | タイマ34モードレジスタ | |
| 00DA ₁₆ | A-D変換レジスタ | 00FA ₁₆ | タイマモードレジスタ2 | |
| 00DB ₁₆ | | 00FB ₁₆ | CPUモードレジスタ | |
| 00DC ₁₆ | シリアル/I/Oモードレジスタ | 00FC ₁₆ | 割り込み要求レジスタ1 | |
| 00DD ₁₆ | シリアル/I/Oレジスタ | 00FD ₁₆ | 割り込み要求レジスタ2 | |
| 00DE ₁₆ | シリアル/I/Oカウンタ/バイトカウンタ | 00FE ₁₆ | 割り込み制御レジスタ1 | |
| 00DF ₁₆ | | 00FF ₁₆ | 割り込み制御レジスタ2 | |

(注4)

注1 . 7477/7478グループでは配置されていません。
 2 . 7470/7477グループでは配置されていません。
 3 . 7470/7477グループではポートP1～P4プルアップ制御レジスタが配置されています。
 4 . 7477/7478グループでは配置されていません。
 5 . 7470/7471グループでは配置されていません。

図1.9.3 SFRメモリマップ

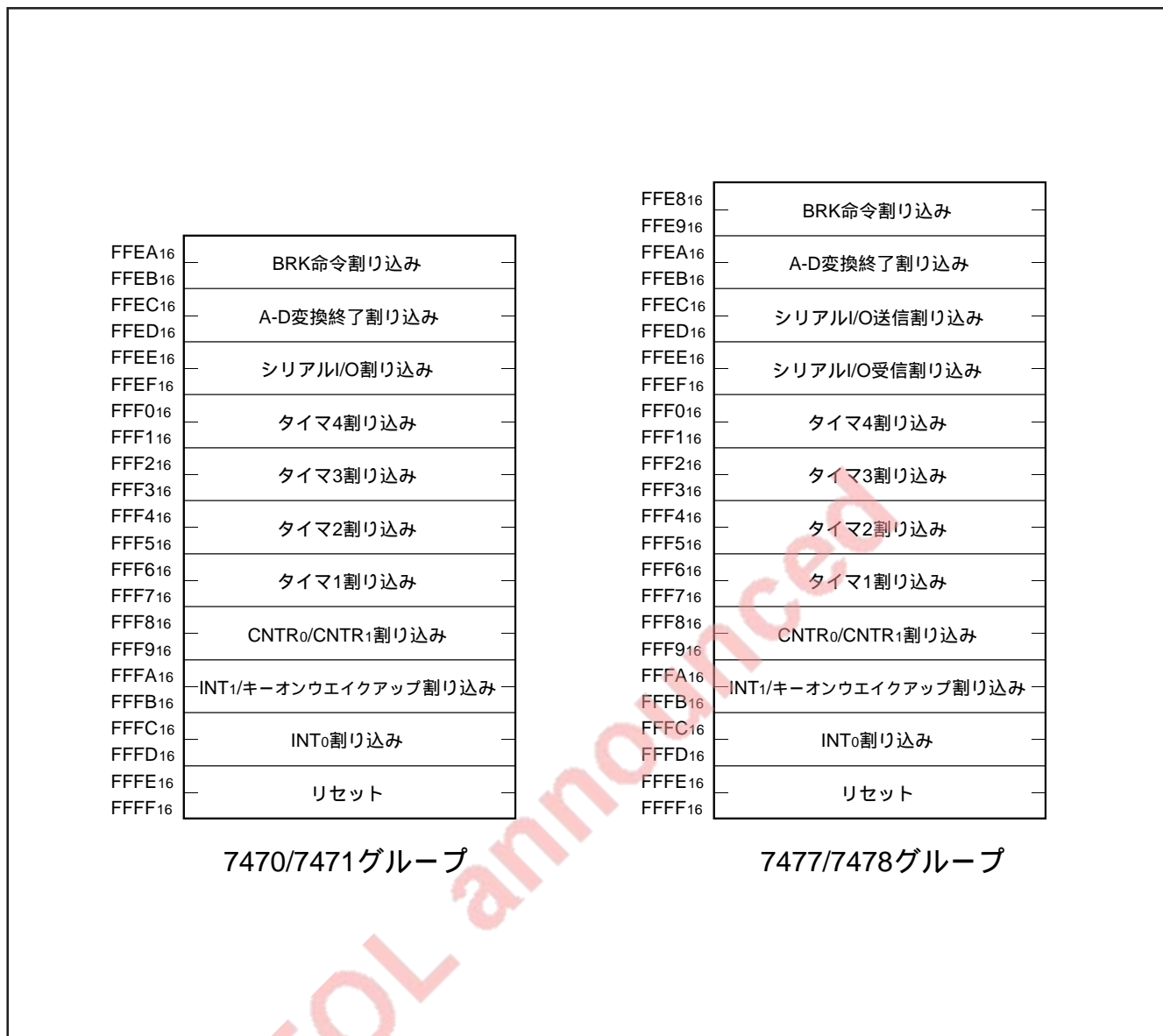


図1.9.4 割り込みベクトル領域のメモリマップ

1.10 入出力端子

7470/7471/7477/7478グループの入出力端子を以下に示します。

入出力ポート(P00~P07、P10~P17、P20~P27、P40~P43)

入力ポート(P20~P27、P30~P33、P50~P53)

リセット入力(RESET)

クロック入出力(XIN、XOUT、XCIN、XCOUT)

A-D変換基準電圧入力(VREF)

電源入力(VCC、VSS、AVSS)

があります。

- 注1．ポートP20~P27は、7470/7471グループでは入出力ポート、7477/7478グループでは入力ポートです。
2．7470/7477グループには、ポートP24~P27、P42、P43及びポートP5(XCIN、XCOUT含む)はありません。
3．AVSS端子は56P6N-Aパッケージ品の専用端子です。

各端子の概要は、「1.5 端子の機能説明」を参照してください。

EOL announced

1.10.1 入出力端子のブロック図

図1.10.1から図1.10.5に入出力ポートのブロック図を示します。

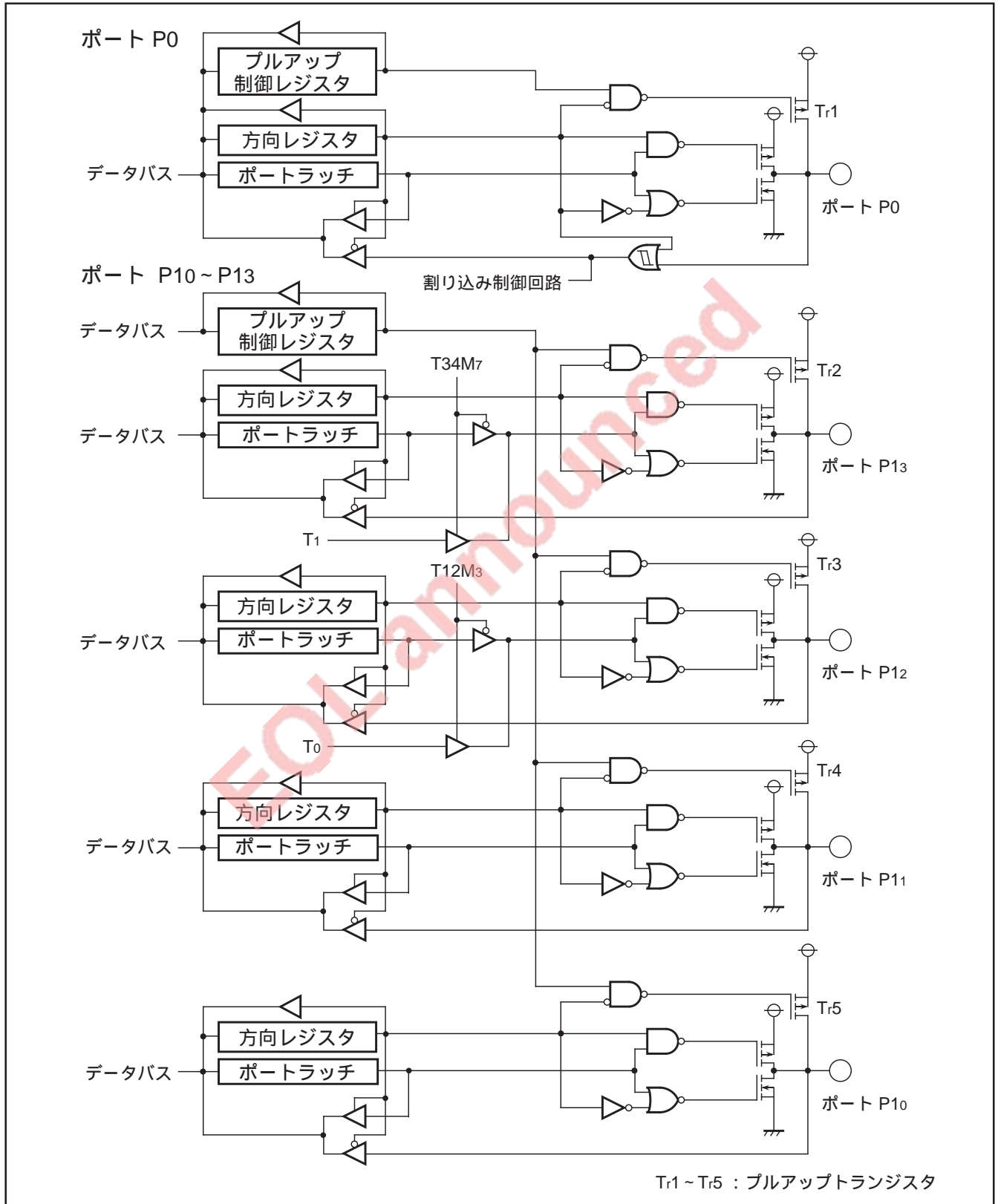


図1.10.1 ポートP0、P10～P13ブロック図

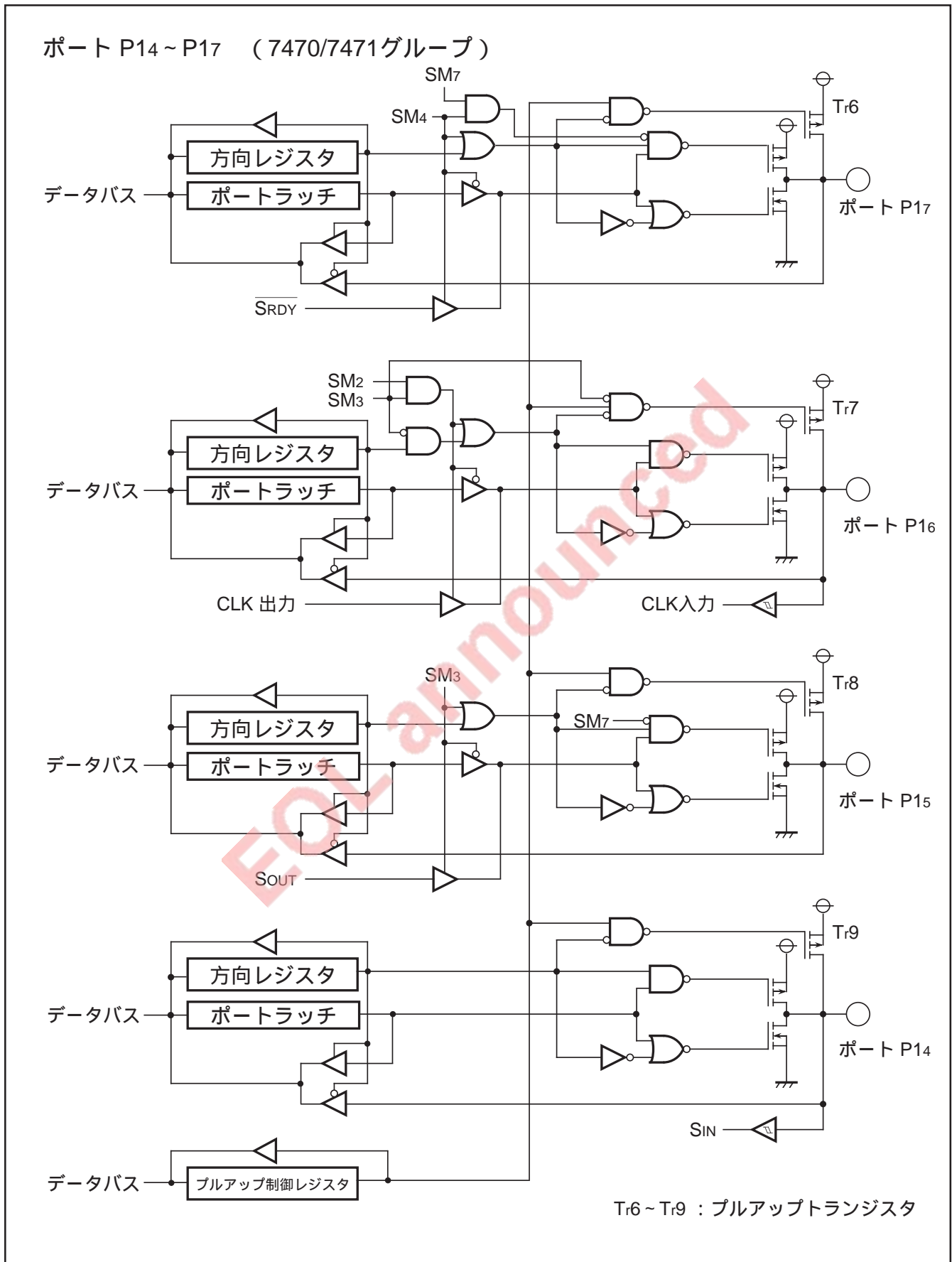


図1.10.2 ポートP14~P17(7470/7471グループ)ブロック図

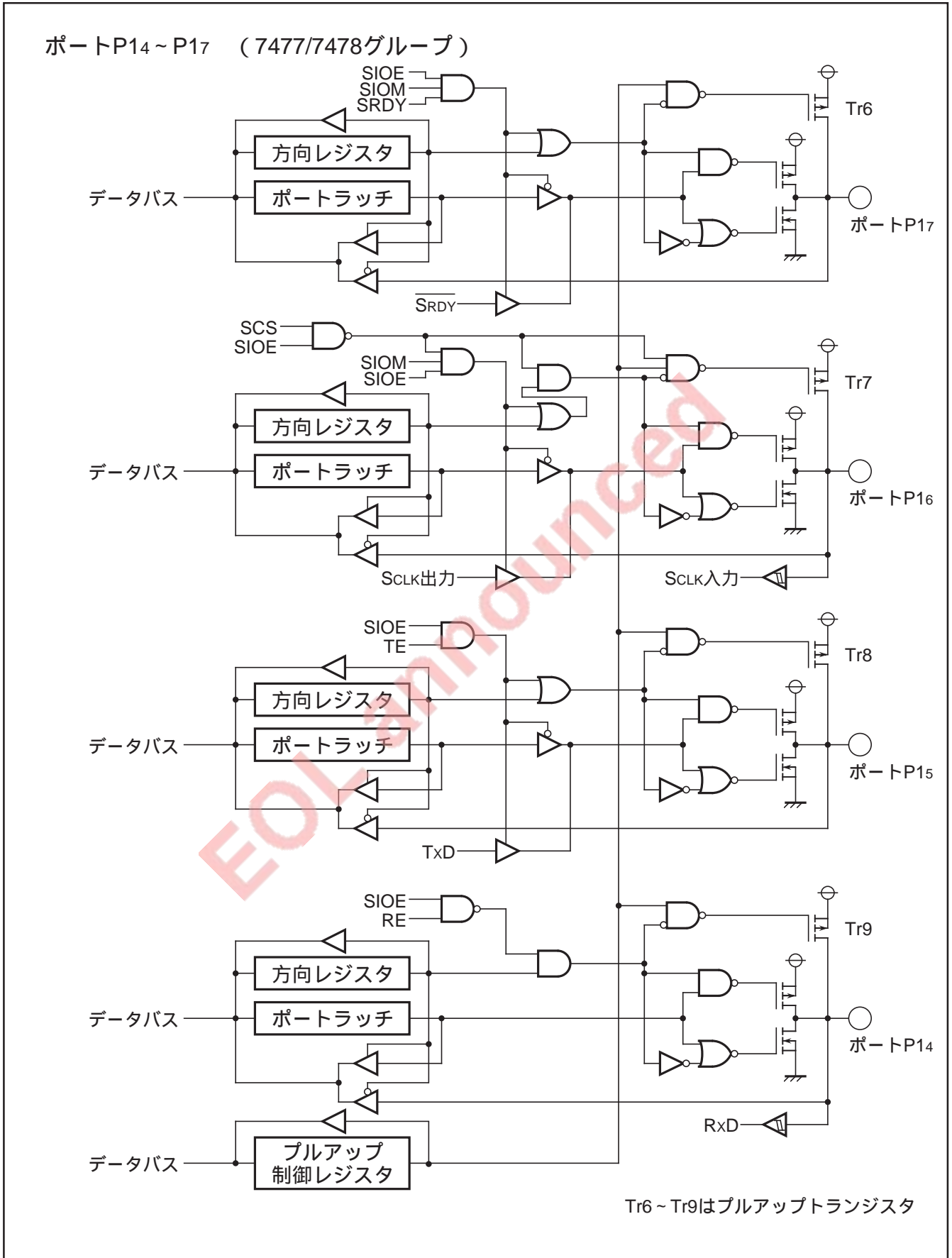
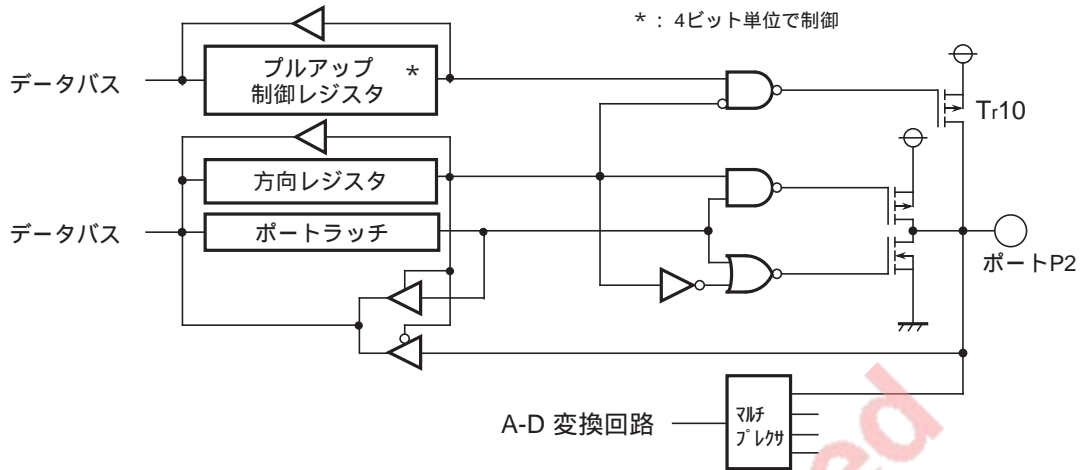
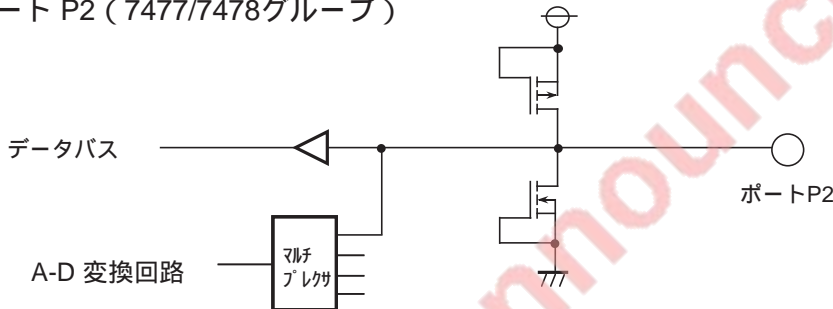


図1.10.3 ポートP14～P17(7477/7478グループ)ブロック図

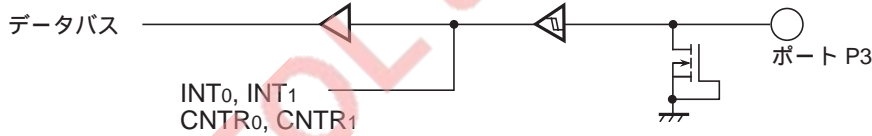
ポート P2 (7470/7471グループ)



ポート P2 (7477/7478グループ)



ポート P3



ポート P4

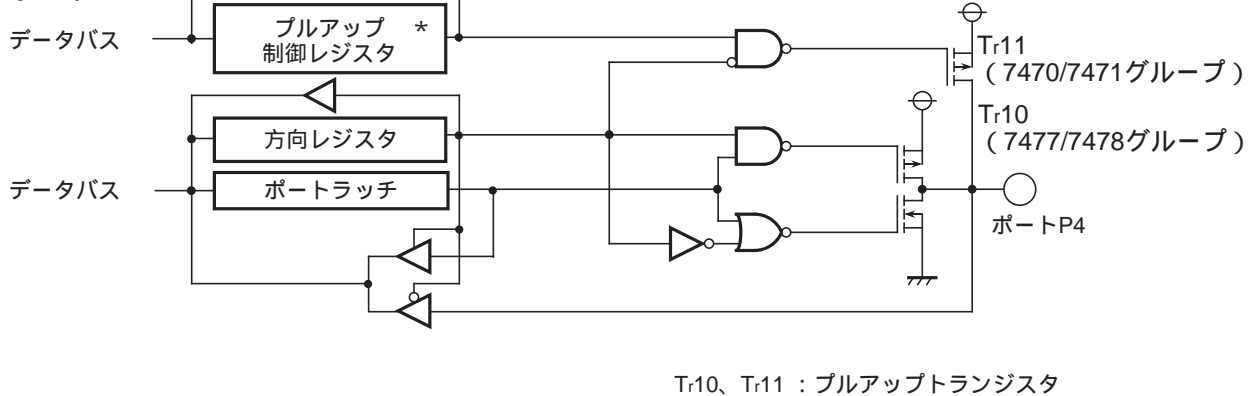


図1.10.4 ポートP2～P4ブロック図

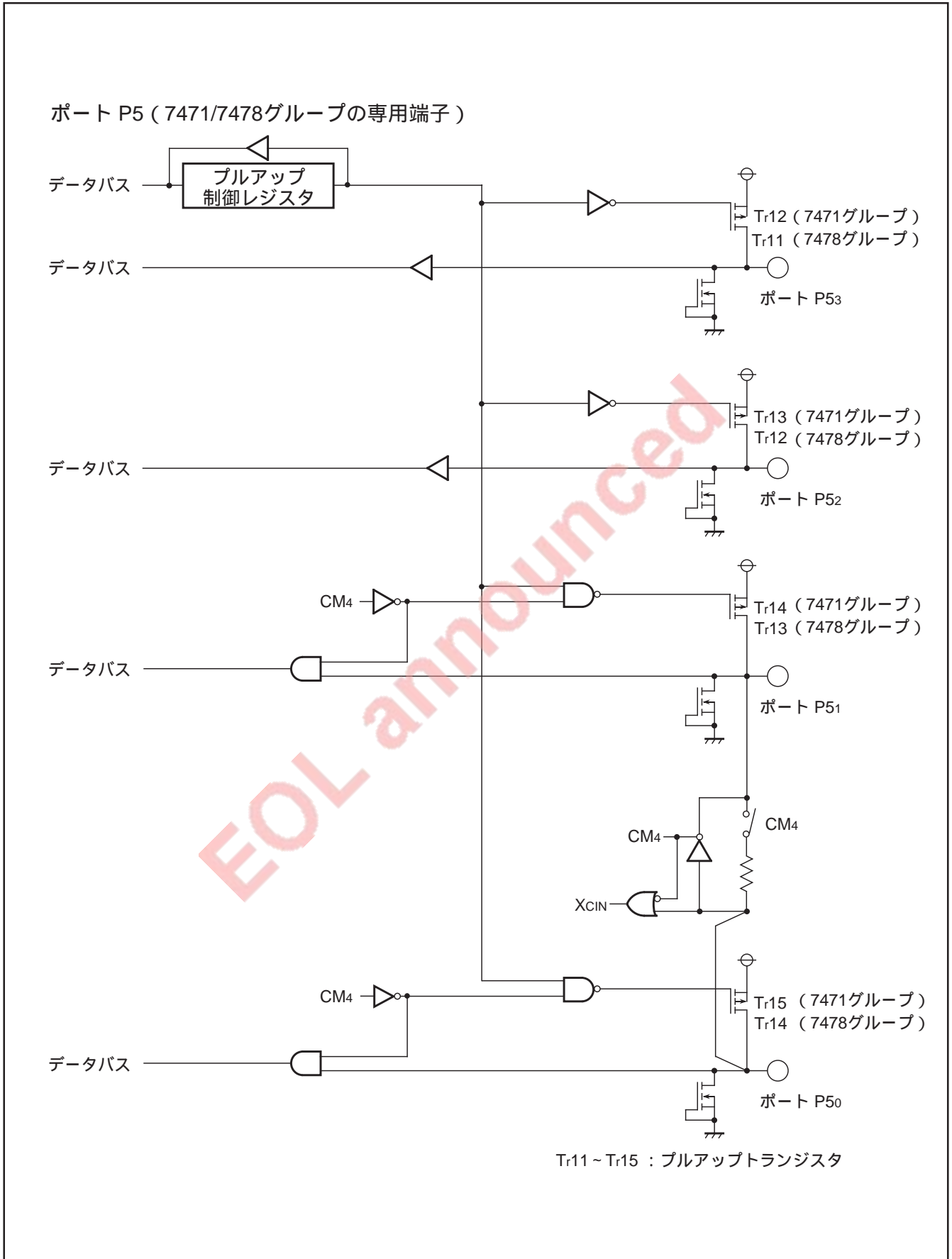


図1.10.5 ポートP5ブロック図

1.10.2 入出力端子の関連レジスタ

入出力に関連するレジスタのメモリ配置図を、図1.10.6に示します。

| | |
|--------------------|--------------------------|
| 00C0 ₁₆ | ポートP0 (P0) |
| 00C1 ₁₆ | ポートP0方向レジスタ (P0D) |
| 00C2 ₁₆ | ポートP1 (P1) |
| 00C3 ₁₆ | ポートP1方向レジスタ (P1D) |
| 00C4 ₁₆ | ポートP2 (P2) |
| 00C5 ₁₆ | ポートP2方向レジスタ (P2D) (注1) |
| 00C6 ₁₆ | ポートP3 (P3) |
| 00C7 ₁₆ | |
| 00C8 ₁₆ | ポートP4 (P4) |
| 00C9 ₁₆ | ポートP4方向レジスタ (P4D) |
| 00CA ₁₆ | ポートP5 (P5) (注2) |
| 00CB ₁₆ | |
| 00D0 ₁₆ | ポートP0プルアップ制御レジスタ |
| 00D1 ₁₆ | ポートP1~P5プルアップ制御レジスタ (注3) |
| | |
| | |

注1 . 7477/7478グループでは配置されていません。
注2 . 7470/7477グループでは配置されていません。
注3 . 7470/7477グループではポートP1~P4プルアップ制御レジスタが配置されています。

図1.10.6 入出力関連レジスタのメモリ配置図

(1) ポートPi (i=0~5)

ポートの状態を読み出したたり、ポートの出力レベルを設定するレジスタです。

入力ポートとして使用する場合(ポートP0~P5)

読み出し時、端子の入力レベルを読み出します。

書き込み時、レジスタに書き込まれるだけで、端子の状態に影響を及ぼしません。

出力ポートとして使用する場合(ポートP0、P1、P2、P4)

読み出し時、端子の状態ではなく、最後に書き込んだレジスタの値を読み出します。

書き込み時、書き込んだ値がトランジスタを経由して外部に出力されます。

- 注1. ポートP2は、7470/7471グループでは入出力ポート、7477/7478グループでは入力ポートです。
 2. ポートP3はP30~P33の4ビットのみです。7470/7477グループには、ポートP24~P27、P42、P43及びポートP5はありません。7471/7478グループでは、ポートP5はP50~P53の4ビットのみです。

ポートPi (i=0~5)の構成図を図1.10.7に示します。

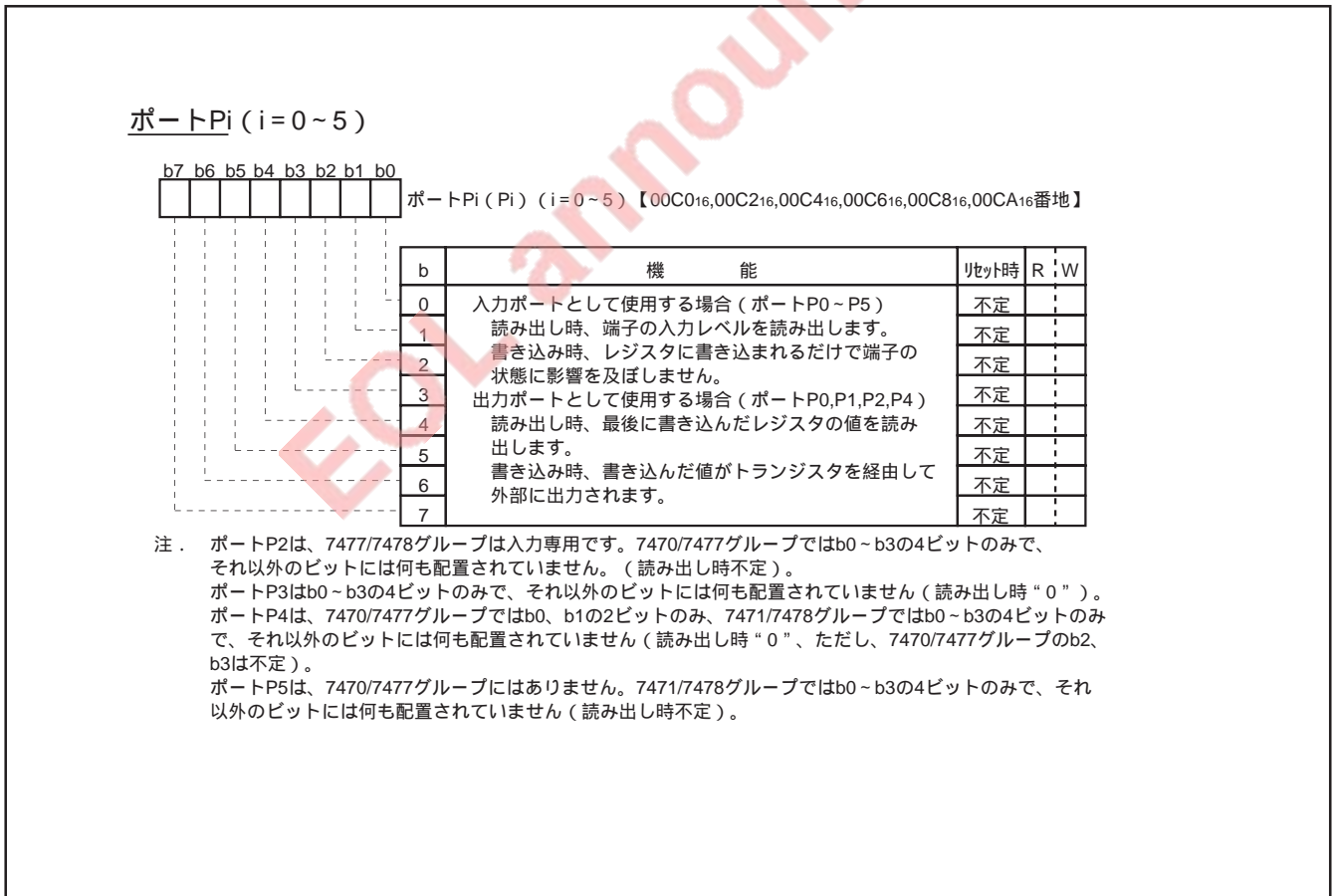


図1.10.7 ポートPi (i=0~5)の構成

(2) ポートPi方向レジスタ (i=0、1、2、4)

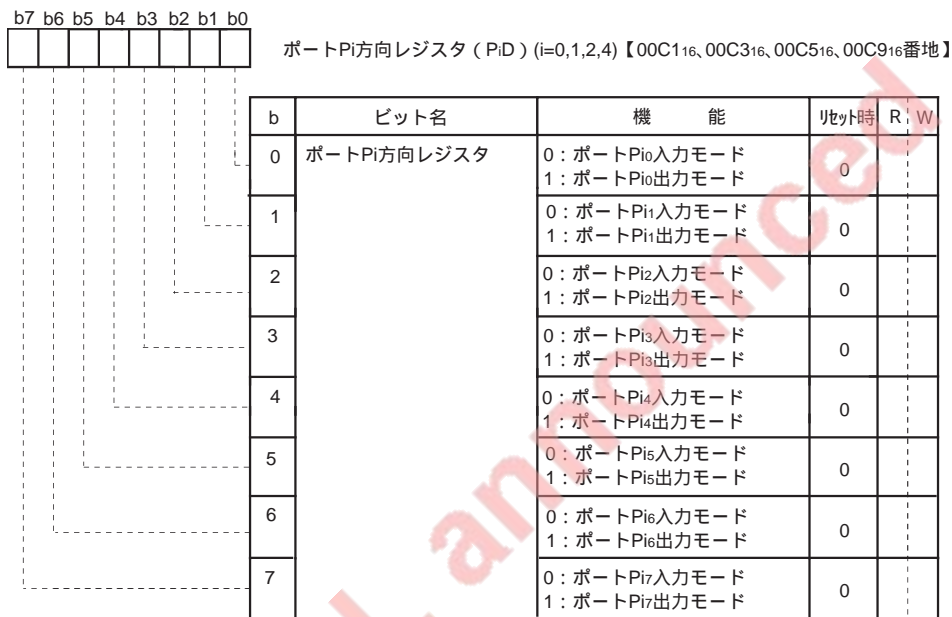
P0、P1、P2、及びP4の各プログラブル入出力ポートの入力/出力の切り替えを行うレジスタです。

ポートPi (i=0、1、2、4)方向レジスタの構成図を図1.10.8に示します。

注1. リセット時、各方向レジスタは“0016”に初期化されるため、入出力ポートは入力状態です。

2. 7477/7478グループではポートP2は入力専用のため、ポートP2方向レジスタは配置されていません。

ポートPi方向レジスタ (i=0,1,2,4)



- 注1. ポートP2方向レジスタは7477/7478グループにはありません（入力専用）。7470グループではb0～b3の4ビットのみで、それ以外のビットには何も配置されていません（読み出し時不定）。
2. ポートP4方向レジスタは、7470/7477グループではb0、b1の2ビットのみ、7471/7478グループではb0～b3の4ビットのみで、それ以外のビットには何も配置されていません（読み出し時不定）。

図1.10.8 ポートPi (i=0、1、2、4)方向レジスタの構成

(3) ポートPiプルアップ制御レジスタ (i=0~5)

ポートP0、P1、P2、P4、P5を入力ポートとして使用する場合、プルアップ制御を行うレジスタです。

プルアップ制御はプルアップトランジスタのON/OFFにより行います。プルアップ制御は入力ポートとして使用する場合のみ有効です。出力ポート、又はシリアルI/O端子として使用する場合は無効となります。

ポートP0プルアップ制御レジスタの構成を図1.10.9、ポートP1~P5プルアップ制御レジスタ*の構成を図1.10.10に示します。

* : 7470/7477グループでは、ポートP1~P4プルアップ制御レジスタが配置されています。

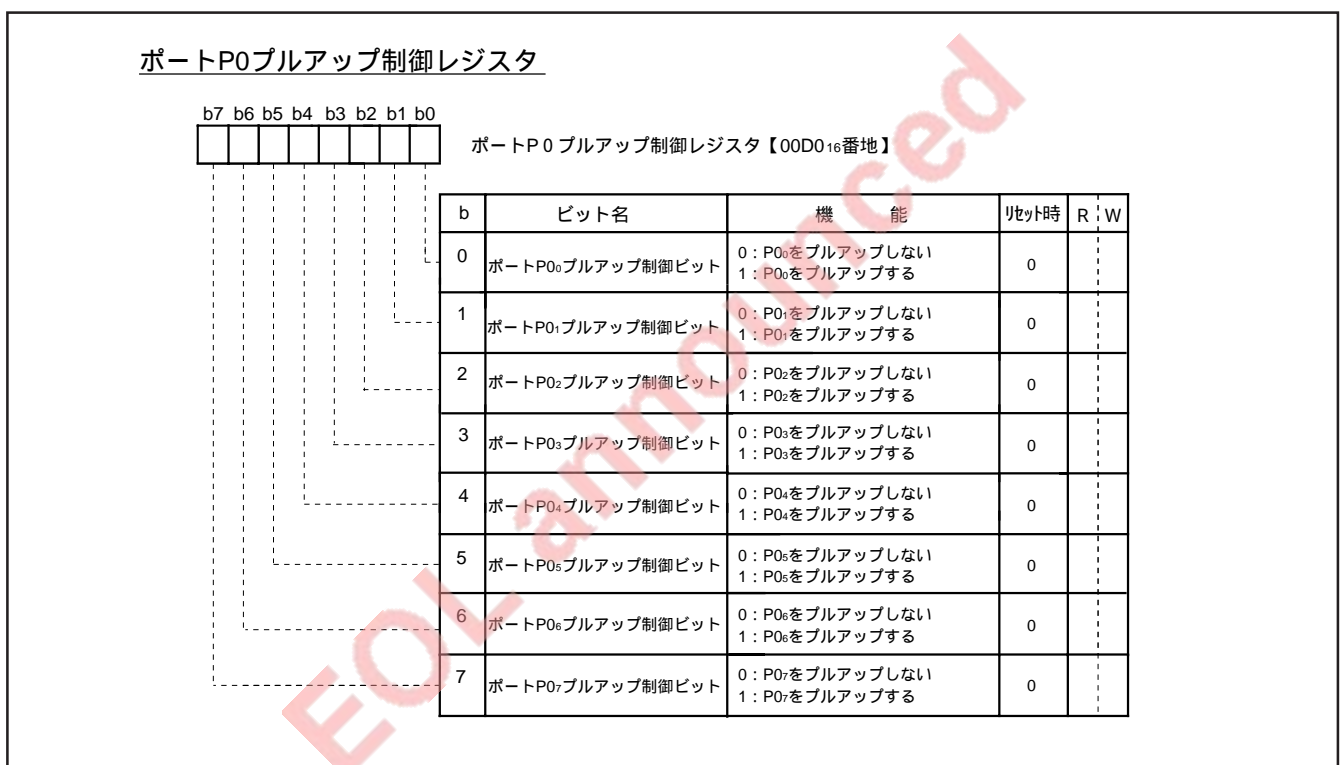


図1.10.9 ポートP0プルアップ制御レジスタの構成

ポートP1～P5プルアップ制御レジスタ（注1）

ポートP1～P5プルアップ制御レジスタ【00D1₁₆番地】

| b | ビット名 | 機能 | リセット時 | R | W |
|---|--|---|-------|----|---|
| 0 | ポートP1 ₀ ～P1 ₃ プルアップ制御ビット | 0: ポートP1 ₀ ～P1 ₃ をプルアップしない 1: ポートP1 ₀ ～P1 ₃ をプルアップする | 0 | | |
| 1 | ポートP1 ₄ ～P1 ₇ プルアップ制御ビット | 0: ポートP1 ₄ ～P1 ₇ をプルアップしない 1: ポートP1 ₄ ～P1 ₇ をプルアップする | 0 | | |
| 2 | ポートP2 ₀ ～P2 ₃ （注2）プルアップ制御ビット | 0: ポートP2 ₀ ～P2 ₃ をプルアップしない 1: ポートP2 ₀ ～P2 ₃ をプルアップする | 0 | | |
| 3 | ポートP2 ₄ ～P2 ₇ （注2,3）プルアップ制御ビット | 0: ポートP2 ₄ ～P2 ₇ をプルアップしない 1: ポートP2 ₄ ～P2 ₇ をプルアップする | 0 | | |
| 4 | ポートP4 ₀ ～P4 ₃ （注4）プルアップ制御ビット | 0: ポートP4 ₀ ～P4 ₃ をプルアップしない 1: ポートP4 ₀ ～P4 ₃ をプルアップする | 0 | | |
| 5 | 何も配置されていないビットです。 読み出し時は不定です。 | | 不定 | 不定 | x |
| 6 | ポートP5 ₀ ～P5 ₃ （注3）プルアップ制御ビット | 0: ポートP5 ₀ ～P5 ₃ をプルアップしない 1: ポートP5 ₀ ～P5 ₃ をプルアップする | 0 | | |
| 7 | 何も配置されていないビットです。 読み出し時は不定です。 | | 不定 | 不定 | x |

- 注1. 7470/7477グループでは、ポートP1～P4プルアップ制御レジスタが配置されています。
2. 7477/7478グループでは、これらのビットには何も配置されていません。読み出し時は不定です。
3. 7470/7477グループでは、これらのビットには何も配置されていません。読み出し時は不定です。
4. 7470/7477グループはP4₀、P4₁のみです。

図1.10.10 ポートP1～P5プルアップ制御レジスタの構成

1.10.3 入出力ポート

(1) 入出力ポートの書き込み、読み出し

入力専用ポート及び入力モードに設定したプログラマブル入出力ポート

入力専用ポート、及び入力モードに設定したプログラマブル入出力ポートに入力された値(端子の状態)の読み込みは、各ポートに対応するポートレジスタを読み出すことによって行えます。

また、各ポートに対応するポートレジスタに書き込みを行った場合、ポートレジスタに書き込まれるだけで、端子の状態に影響を及ぼしません。

出力モードに設定したプログラマブル入出力ポート

出力モードに設定したプログラマブル入出力ポートに対応するポートレジスタに書き込んだ値は、トランジスタを経て外部に出力されます。

また、各ポートに対応するポートレジスタを読み出した場合は、端子の状態は読み込まれず、ポートレジスタに書き込んだ値が読み出されます。したがって、外部負荷などによって出力電圧が変化しても、以前に出力した値を正しく読むことができます。

入出力ポートの書き込み、読み出しを図1.10.11に示します。

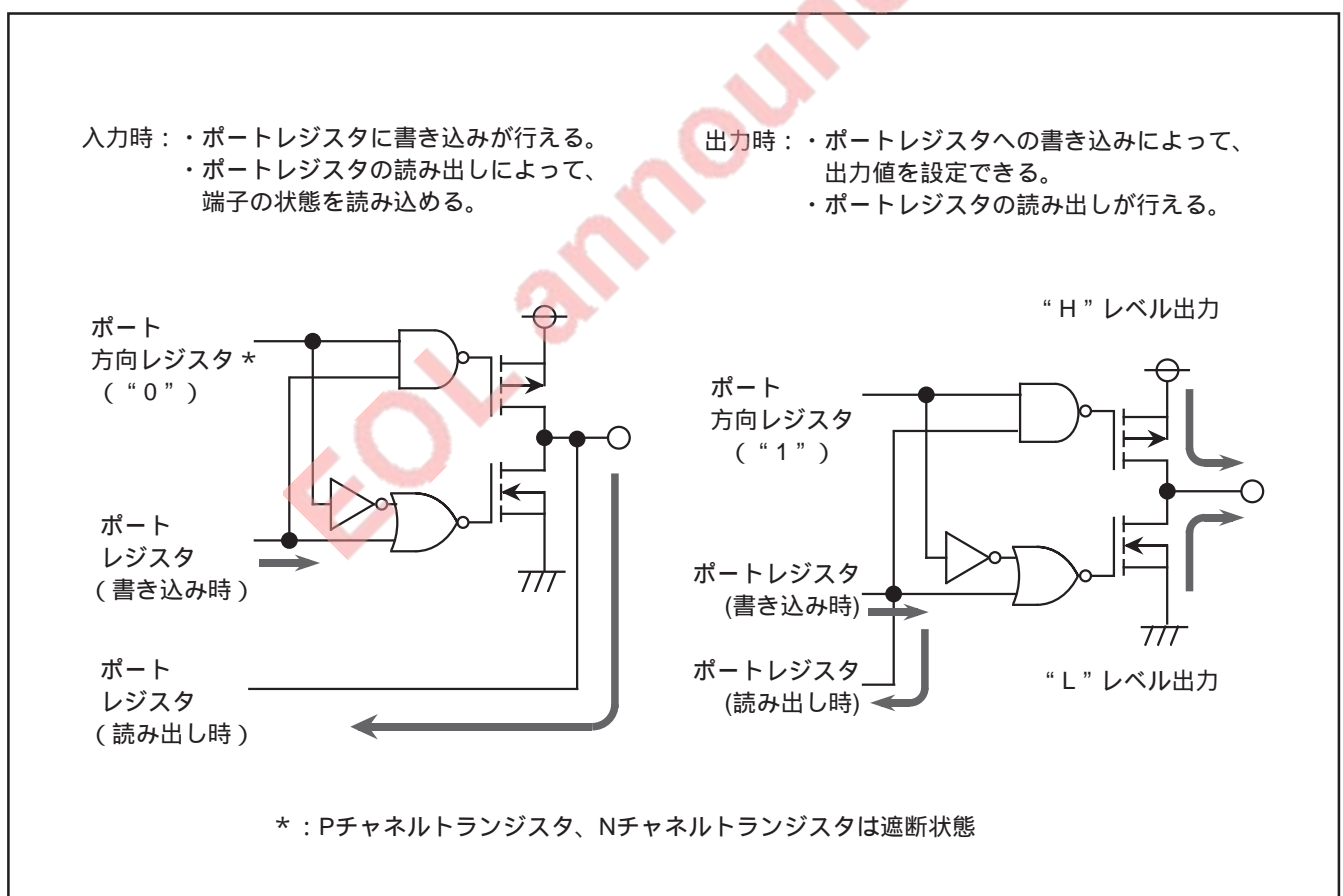


図1.10.11 入出力ポートの書き込み、読み出し

(2) プログラマブル入出力ポートの切り替え

プログラマブル入出力ポートP0、P1、P2及びP4は、対応する方向レジスタにより、入力/出力の切り替えが行えます。

“0”のとき、入力モードとなります。

“1”のとき、出力モードとなります。

注1. 7477/7478グループでは、ポートP2は入力専用のため、ポートP2方向レジスタはありません。

2. ポートP4は、7470/7477グループではP40、P41のみ、7471/7478グループではP40～P43のみです。

3. リセット解除時、すべてのプログラマブル入出力ポートは入力モード(対応する方向レジスタが“0”)となります。

(3) プルアップ制御

ポートP0、P1、P2、P4及びP5を入力ポートとして使用する場合、対応するプルアップ制御レジスタにより、プルアップ制御が行えます。

“0”のとき、プルアップしません。

“1”のとき、プルアップします。

プルアップ制御はプルアップトランジスタのON/OFFにより行います。また、プルアップ制御は入力ポートとして使用する場合のみ有効です。出力ポート、又はシリアルI/O端子として使用する場合は無効となります。

注1. ポートP0は1ビット単位でプルアップ制御できますが、それ以外のポートは1ビット単位でプルアップ制御できません(4ビット単位でプルアップ制御)。例えば、ポートP10をプルアップする場合、ポートP11～P13もプルアップされます。

2. 7477/7478グループでは、ポートP2をプルアップ制御できません。

3. 7470/7477グループでは、ポートP2はP20～P23のみ、ポートP4はP40、P41のみで、ポートP5はありません。

7471/7478グループでは、ポートP4はP40～P43のみでポートP5はP50～P53のみです。

1.10.4 未使用端子の処理

表1.10.1に未使用端子の処理を示します。

表1.10.1 未使用端子の処理

| ポ - ト名 | 処理方法 | | | | |
|--|-------------|-------------------------|-------------------------|-------------|-------------|
| | 開 放 (注1) | 抵抗を介してVccに プルアップ(注2) | 抵抗を介してVssに プルダウン(注2) | Vccに 接 続 | Vssに 接 続 |
| P0 P10 ~ P13 P15, P17 P2(7470/7471グループのみ)(注9) P4 | | (注4) | (注5) | × | × |
| P14, P16 | (注3) | (注4) | (注5) | × | × |
| P2(7477/7478グループのみ)(注9) | | (注6) | (注6) | (注6) | (注6) |
| P3 | × | (注6) | (注6) | (注6) | (注6) |
| P5 (注7, 9) | | | (注8) | × | × |
| XOUT | | × | × | × | × |
| VREF | × | × | × | | × |
| AVss(注10) | × | × | × | × | |

注1. 未使用時に開放可能な端子は、開放時、中間レベルの入力が加わったとしても内部的にリード信号の入力がなければ電流が回路に流れ込まない回路となっています。

2. プログラマブル入出力ポ - トの場合、複数ポ - トをまとめて抵抗を介し、Vcc又はVssに接続しないでください。
3. 端子を出力モードに設定し、開放してください。また、このとき以下の注意が必要です。
 - ・リセットからソフトウェアによりポ - トを出力モードに切り替えるまでは、ポ - トは入力モードになっています。そのため端子の入力レベルによっては電源電流が増加する場合があります。
 - ・暴走、ノイズなどによってポ - ト方向レジスタが入力モードに変化した場合の対策として、ソフトウェアで定期的にポ - ト方向レジスタを出力モードに再設定してください。
4. プルアップをする場合は、その端子が入力モード又は“H”出力状態になるようにポート方向レジスタ及びポートレジスタを設定してください。
5. プルダウンする場合は、その端子が入力でプルアップトランジスタがない状態、又は“L”出力状態になるようにポート方向レジスタ、ポートプルアップ制御レジスタ及びポートレジスタを設定してください。
6. Vcc, Vss端子と接続する際、配線が最短距離の場合は抵抗を介さないで接続できますが、配線が長くなる場合は抵抗を介して接続してください。なお、プログラマブルROM内蔵版のP33端子はVPP端子と兼用のため、5k程度の抵抗を直列に挿入し最短距離の配線で接続してください。
7. P50, P51端子(XCIN, XCOUT端子と兼用)を使用しない場合は、CPUモードレジスタのビット4を“0”(ポートP50, P51機能)にしてください。
8. プルダウンする場合は、その端子にプルアップトランジスタがない状態になるようにポートプルアップ制御レジスタを設定してください。
9. ポートP24~P27, P42, P43及びポートP5は7470/7477グループにはありません。
10. AVss端子は、7471/7478グループの56P6N-Aパッケージ品の専用端子です。

1.10.5 入出力端子に関する注意事項

入出力ポートを使用する際は以下の点に注意してください。

(1) 入出力ポートのポートレジスタの書き替え

入出力ポートのポートレジスタをビット処理命令(注)を用いて書き替える場合、指定していないビットの値が変化することがあります。

注.「ビット処理命令」: CLB命令、SEB命令

[理由]

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって、入出力ポートのポートレジスタの任意のビットに対してこれらの命令を実行した場合、そのポートレジスタの全ビットに対して以下の処理が行われます。

- ・ 入力モードに設定されているビットでは、端子の状態がCPUに読み込まれ、ビット処理後、ポートレジスタのビットに書き込まれる。
- ・ 出力モードに設定されているビットでは、ポートレジスタの値がCPUに読み込まれ、ビット処理後、ポートレジスタのビットに書き込まれる。

ただし、以下の点に注意してください。

- ・ 出力モードに設定されているポートを入力モードに変更しても、ポートレジスタには出力データが保持される構成になっています。
- ・ 入力モードに設定されているポートレジスタのビットについては、ビット処理命令で指定していない場合にも、端子とポートレジスタの内容が異なる場合、ビットの値が変化することがあります。

(2) プルアップ制御について

ソフトウェアでポートをプルアップする際は、以下の点に注意してください。

ポートP1をシリアルI/Oモードで使用する場合は、P15~P17に対応するプルアップの設定は無効になります(プルアップすることはできません)。

詳細はポートブロック図を参照してください。

ポートを出力モードに設定している場合、そのポートに対応するプルアップの設定は無効になります(プルアップできません)。

ポートP0以外は1ビット単位でプルアップ制御できません。例えばポートP1(4ビット単位でプルアップ制御)においてP10をプルアップする場合、P11~P13もプルアップされます。

(3) スタンバイ状態での注意事項

スタンバイ状態*で使用する場合は、入力ポート及び入出力ポートを入力レベル不定の状態にしないでください。特に、Nチャンネルオープンドレインの入出力ポートでは、ポート方向レジスタで出力ポートに設定している場合も、ポートレジスタの内容が“1”のときトランジスタがOFF状態になり、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる場合がありますので注意が必要です。

*「スタンバイ状態」: STP命令実行によるストップモード
WIT命令実行によるウェイトモード }のいずれかの状態

[理由]

入力ポート及び入出力ポートを入力レベル不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、貫通電流が流れることがあります。

[具体的対処例]

抵抗を介してポートをプルアップ(Vccに接続)又はプルダウン(Vssに接続)してください。
抵抗値を決定する際は、以下の2点に留意してください。

外付け回路
通常動作時の出力レベルの変動

また、オプションとして内蔵されているプルアップトランジスタを使用する場合は電流値のばらつきに注意してください。

(4) ダブルファンクションポートについて

表1.10.2にダブルファンクションポートを示します。設定に関しては、各レジスタの構成図を参照してください。

表1.10.2 ダブルファンクションポートと制御レジスタ

| 端子 | 兼用端子 | | 制御レジスタ | |
|-----|-----------|-----------|--|---|
| | 7470/7471 | 7477/7478 | 7470/7471 | 7477/7478 |
| P12 | T0 | | タイマ12モードレジスタ(T12M:00F8 ₁₆ 番地) | |
| P13 | T1 | | タイマ34モードレジスタ(T34M:00F9 ₁₆ 番地) | |
| P14 | SIN | RxD | シリアルI/Oモードレジスタ (SM:00DC ₁₆ 番地) | シリアルI/O制御レジスタ (SIOCON:00E2 ₁₆ 番地) |
| P15 | SOUT | TxD | | |
| P16 | CLK | SCLK | | |
| P17 | SRDY | | | |
| P20 | IN0 | | A-D制御レジスタ(ADCON:00D9 ₁₆ 番地) | |
| P21 | IN1 | | | |
| P22 | IN2 | | | |
| P23 | IN3 | | | |
| P24 | IN4 | | | |
| P25 | IN5 | | | |
| P26 | IN6 | | | |
| P27 | IN7 | | | |
| P30 | INT0 | | エッジ極性選択レジスタ(EG:00D4 ₁₆ 番地) | |
| P31 | INT1 | | | |
| P32 | CNTR0 | | エッジ極性選択レジスタ、タイマ12モードレジスタ | |
| P33 | CNTR1 | | エッジ極性選択レジスタ、タイマ34モードレジスタ | |
| P50 | XCIN | | CPUモードレジスタ(CM:00FB ₁₆ 番地) | |
| P51 | XCOUT | | | |

注 . 7470グループ及び7477グループの場合、P2はb0～b3の4ビットのみです。また、P5はありません。

1

1.11 割り込み

割り込みは次のような場合に使用されます。

現在実行中の処理ルーチンよりも重要度の高い処理を行うことが要求された場合
処理を何らかのタイミングに従って行う必要がある場合

7470/7471グループでは12の要因、7477/7478グループでは13の要因から割り込みを発生させることができます。

表1.11.1に割り込みの優先順位と割り込み要因、飛び先格納番地を示します。

表1.11.1 割り込み要因と優先順位

| 優先 順位 | 割 り 込 み 要 因 | | 飛び先格納番地 | | 備 考 |
|----------|-----------------|---------------|---------|--------|-------------------|
| | 7470/7471 グループ | 7477/7478グループ | 上 位 | 下 位 | |
| 1 | リセット(注1) | | FFFF16 | FFFE16 | ノンマスクブル(注2) |
| 2 | INT0割り込み | | FFFD16 | FFFC16 | 外部割り込み(極性プログラブル) |
| 3 | INT1割り込み | | FFFB16 | FFFA16 | 外部割り込み(極性プログラブル) |
| | キーオンウエイクアップ割り込み | | | | 外部割り込み |
| 4 | CNTR0割り込み | | FFF916 | FFF816 | 外部割り込み(極性プログラブル) |
| | CNTR1割り込み | | | | |
| 5 | タイマ1割り込み | | FFF716 | FFF616 | 内部割り込み |
| 6 | タイマ2割り込み | | FFF516 | FFF416 | 内部割り込み |
| 7 | タイマ3割り込み | | FFF316 | FFF216 | 内部割り込み |
| 8 | タイマ4割り込み | | FFF116 | FFF016 | 内部割り込み |
| 9 | シリアルI/O割り込み | シリアルI/O受信割り込み | FFEF16 | FFEE16 | 内部割り込み |
| 10 | A-D変換終了割り込み | シリアルI/O送信割り込み | FFED16 | FFEC16 | 内部割り込み |
| 11 | BRK命令割り込み | | FFEB16 | FFEA16 | ノンマスクブルソフトウェア割り込み |
| | - | A-D変換終了割り込み | | | 内部割り込み |
| 12 | - | BRK命令割り込み | FFE916 | FFE816 | ノンマスクブルソフトウェア割り込み |

注1. リセットは割り込みと同様の動作をするため表中に記入しています。

2. 「ノンマスクブル割り込み」: 対応する割り込み要求ビット及び割り込み許可ビットを持たない割り込みです。

割り込み禁止フラグの状態に関わらず割り込み要求が受け付けられます。

1.11.1 割り込みのブロック図

図1.11.1に割り込み入力とキーオンウエイクアップ回路ブロック図を示します。

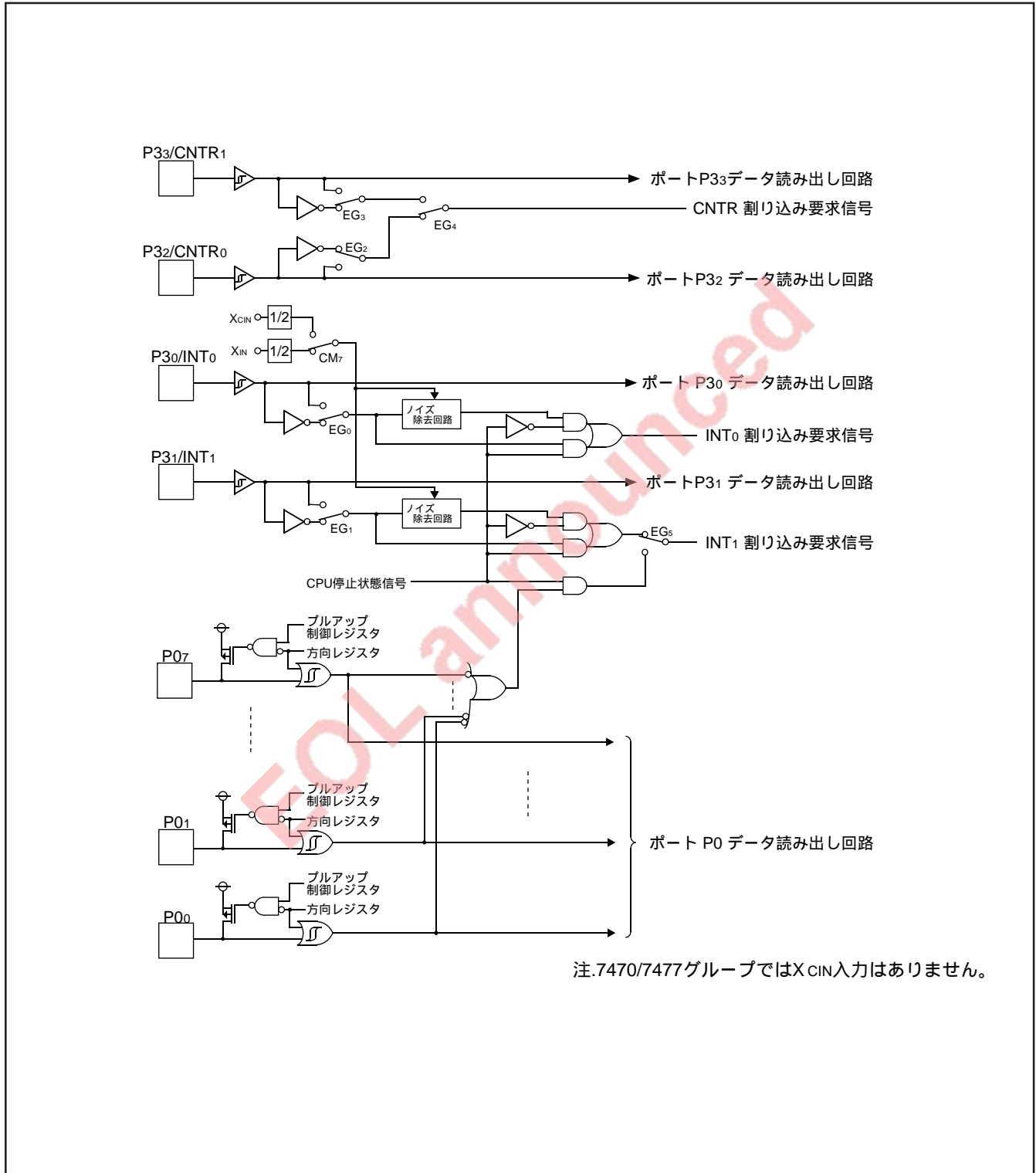


図1.11.1 割り込み入力とキーオンウエイクアップ回路ブロック図

1.11.2 割り込みの関連レジスタ

割り込みに関連するレジスタのメモリ配置図を図1.11.2に示します。

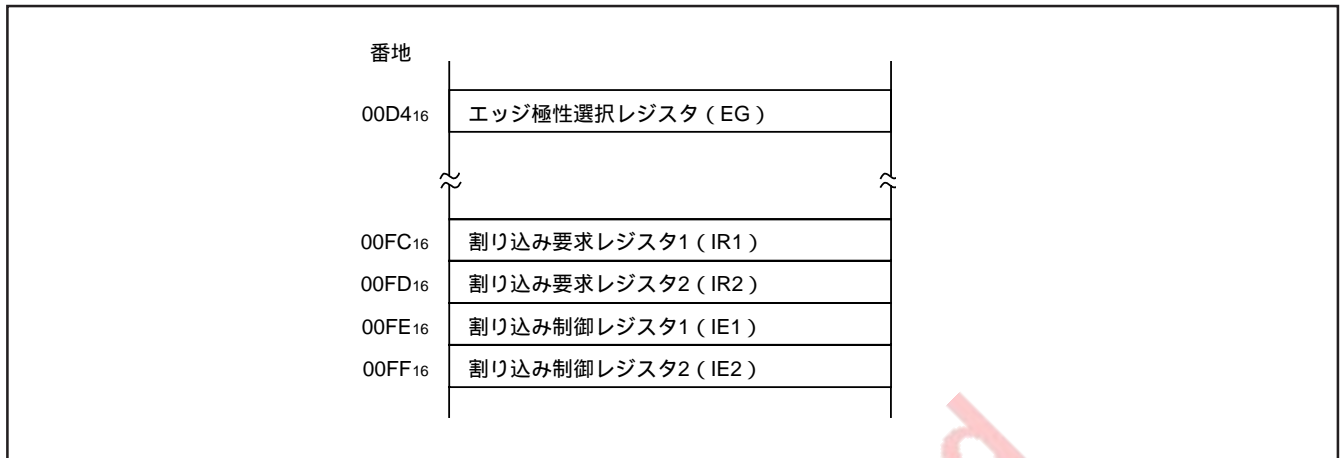


図1.11.2 割り込み関連レジスタのメモリ配置図

(1) エッジ極性選択レジスタ(EG : 00D416番地)

エッジ極性選択レジスタは、INT割り込み、CNTR割り込みの有効エッジの選択や、割り込み要因の選択をするレジスタです。

図1.11.3にエッジ極性選択レジスタの構成を示します。

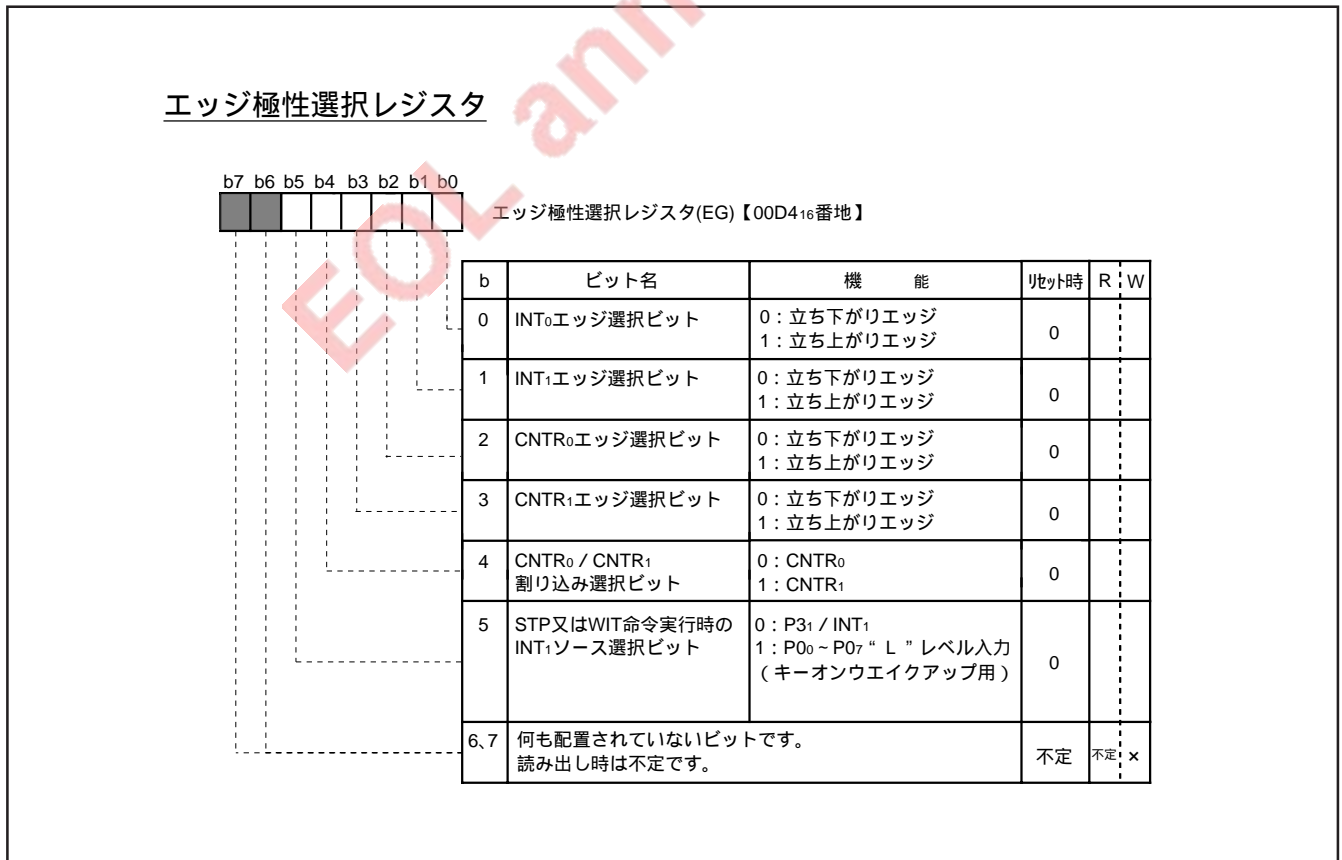


図1.11.3 エッジ極性選択レジスタの構成

(2) 割り込み要求レジスタ1(IR1 : 00FC₁₆番地)

割り込み要求レジスタ2(IR2 : 00FD₁₆番地)

割り込み要求レジスタ1及び割り込み要求レジスタ2は、割り込み要求の有無を示すビットで構成されたレジスタです。

図1.11.4に割り込み要求レジスタ1、図1.11.5に割り込み要求レジスタ2の構成を示します。

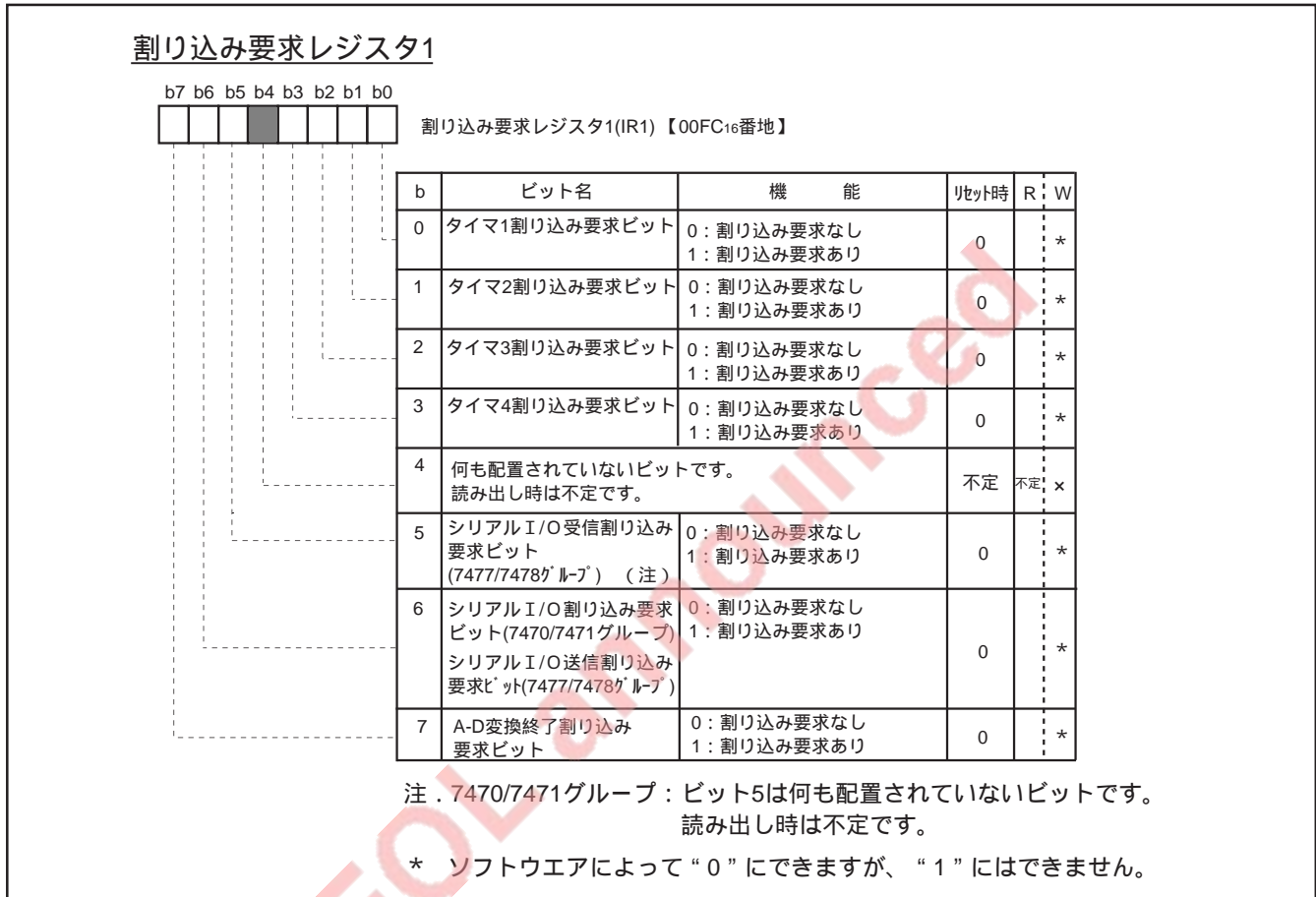


図1.11.4 割り込み要求レジスタ1の構成

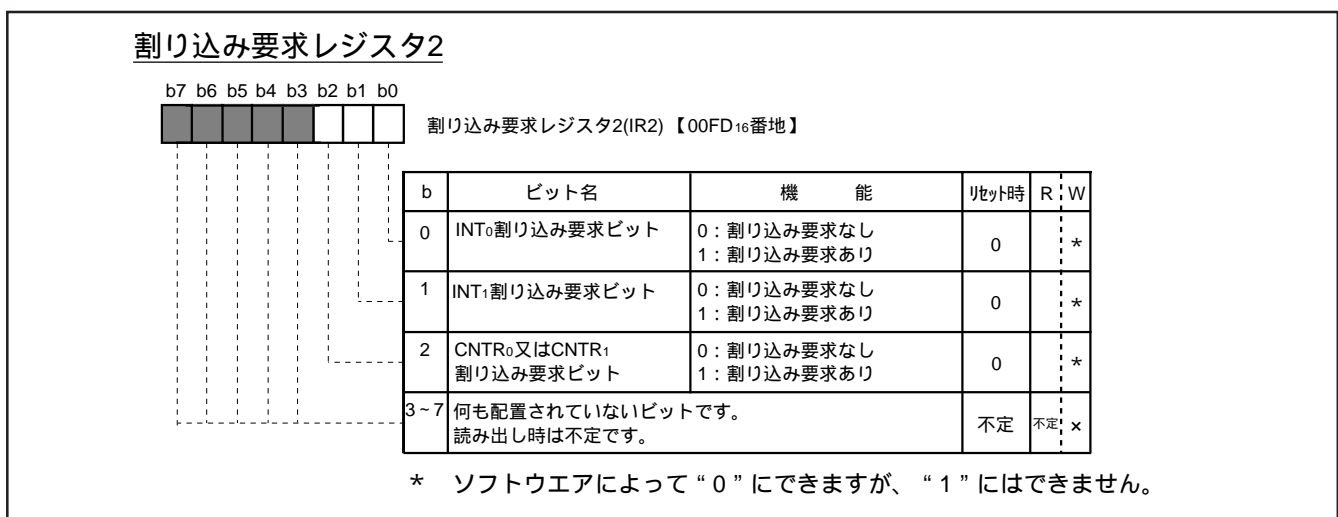


図1.11.5 割り込み要求レジスタ2の構成

(3) 割り込み制御レジスタ1(IE1 : 00FE₁₆番地)

割り込み制御レジスタ2(IE2 : 00FF₁₆番地)

割り込み制御レジスタ1及び割り込み制御レジスタ2は、割り込みの受付を要因ごとに制御するレジスタです。

図1.11.6に割り込み制御レジスタ1、図1.11.7に割り込み制御レジスタ2の構成を示します。

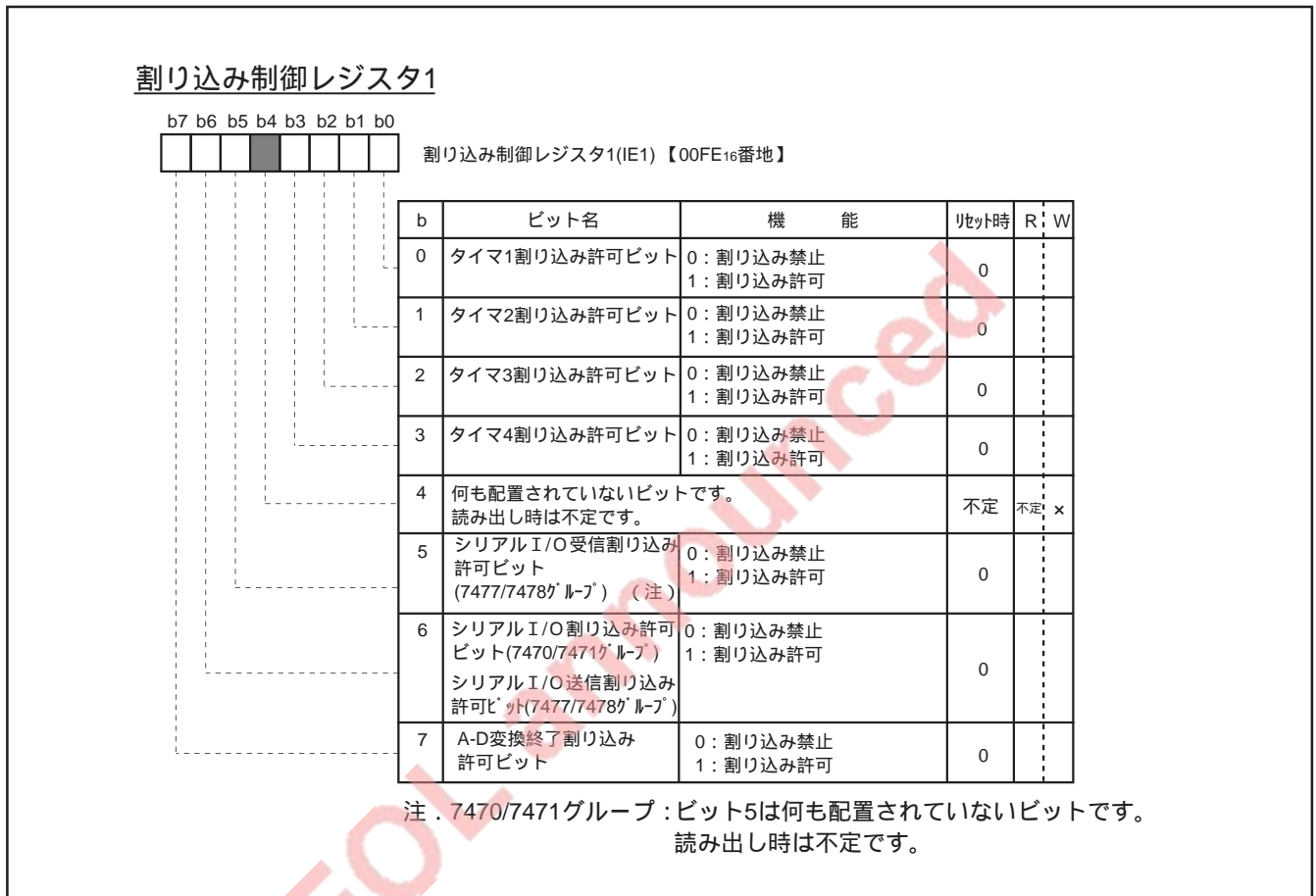


図1.11.6 割り込み制御レジスタ1の構成

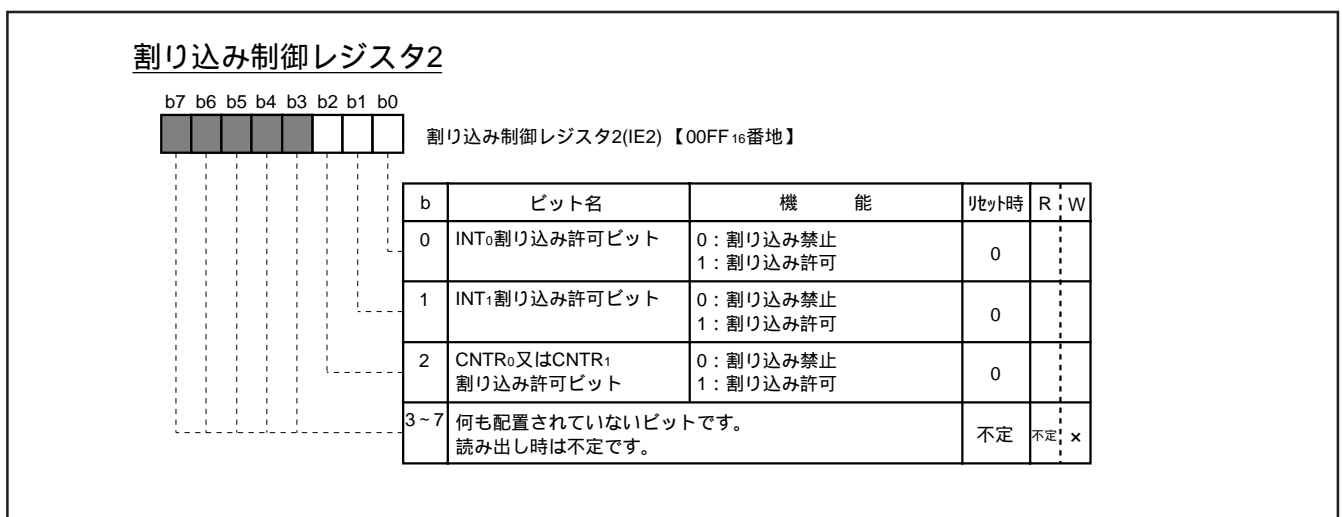


図1.11.7 割り込み制御レジスタ2の構成

1.11.3 割り込み要因説明

割り込み優先順位

割り込みは固定優先度方式のベクトル割り込みで、同一サンプリング時点で2つ以上の割り込み要求があった場合は優先順位の高い割り込みから受け付けられます。この優先順位はハードウェア的に決められていますが、割り込み制御フラグ(割り込み許可ビット、割り込み禁止フラグ)を用いることによって多様な優先処理をソフトウェアで行うことが可能です。

割り込みの受付

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になります。この状態で以下の条件が満たされているとき、その割り込みが受け付けられます。

詳細は「1.11.5 割り込みの制御」を参照してください。

割り込み禁止フラグ = “0” (許可状態)

割り込み許可ビット = “1” (許可状態)

(1) INT割り込み

INT割り込みは、各INT端子(INT₀、INT₁)の立ち上がりエッジ若しくは立ち下がりエッジを検出して割り込み要求を発生します。これらの極性はエッジ極性選択レジスタ(EG:00D416番地)で選択されます。

P3₀、P3₁端子

INT₀、INT₁端子はP3₀、P3₁端子と兼用になっており、常にポートP3₀、P3₁のレベルを検出します。

ストップモード及びウエイトモード時

エッジ極性選択レジスタのビット5が“0”の場合、STP/WIT命令によるストップモード/ウエイトモードの状態からINT割り込みによって復帰させることができます。詳細は「1.17 低消費電力機能」を参照してください。

リセット後

リセット時に、エッジ極性選択レジスタは“0016”にクリアされるため、INT₀、INT₁割り込みは立ち下がりエッジを検出して割り込み要求を発生します。ただし、リセット時には割り込み制御レジスタは割り込み禁止となりますので、割り込みは受け付けられません。

注 . INT₀、INT₁端子は入力ポートP3₀、P3₁と兼用ですが、INT端子とポートを切り替えるレジスタは存在しないため、常にポートP3₀、P3₁の有効エッジを検出します。これらの端子をポートとして使用する場合は、対応するINT割り込みを禁止状態にしてください。

許可状態では、端子のレベル変化によるINT割り込みが発生し、プログラム暴走の原因となります。

(2) キーオンウエイクアップ割り込み

エッジ極性選択レジスタのビット5が“1”の場合、STP/WIT命令によるストップモード/ウェイトモードにおいて、入力ポートになっているポートP0のいずれかの端子に“L”レベルが印加されるとキーオンウエイクアップ割り込み要求が発生し、ストップモード/ウェイトモードから復帰させることができます。

リセット後

リセット時にはエッジ極性選択レジスタのビット5が“0”になりますので、ストップモード/ウェイトモードにおいてキーオンウエイクアップ割り込み要求は発生しません。

- 注1. ストップモード/ウェイトモード以外の状態では、キーオンウエイクアップ割り込みは無効となります。
2. キーオンウエイクアップ割り込みを使用する場合、ポートP0への入力をすべて“H”レベルにしてからSTP/WIT命令を実行してください。ポートP0のいずれかの入力端子に“L”レベルが印加されている状態でSTP/WIT命令を実行しても、すぐに割り込み要求が発生し、ストップモード/ウェイトモードが解除されます。

(3) CNTR割り込み

CNTR割り込みは、各CNTR端子(CNTR₀, CNTR₁)の立ち上がりエッジ、若しくは立ち下がりエッジを検出して、割り込み要求が発生します。これらの極性及びCNTR₀/CNTR₁の選択は、エッジ極性選択レジスタ(EG)で行います。

リセット後

リセット時には、エッジ極性選択レジスタは“0016”にクリアされるため、CNTR₀端子の立ち下がりエッジを検出して割り込み要求が発生します。ただし、リセット時には割り込み制御レジスタは割り込み禁止となっていますので、割り込みは受け付けられません。

注. CNTR₀, CNTR₁端子は入力ポートP32, P33と兼用ですが、CNTR端子とポートを切り替えるレジスタは存在しないため、常にポートP32, P33の有効エッジを検出します。これらの端子をポートとして使用する場合は、対応するCNTR割り込みを禁止状態にしてください。

許可状態では、端子のレベル変化によるCNTR割り込みが発生し、プログラム暴走の原因となります。

(4) タイマ割り込み

それぞれのタイマがアンダフローした、次のカウントソースの立ち上がりで割り込み要求が発生します。

詳細は「1.12 タイマ」を参照してください。

(5) シリアルI/O割り込み

シリアルI/O割り込みは、7470/7471グループと7477/7478グループとは異なります。

7470/7471グループのシリアルI/O割り込み

シリアルI/Oの送受信終了時に割り込み要求を発生します。

7477/7478グループのシリアルI/O割り込み

シリアルI/O送信割り込み、シリアルI/O受信割り込みを使用できます。

シリアルI/O送信割り込み

シリアルI/O送信割り込みはシリアルI/O制御レジスタ(SIOCON: 00E2₁₆番地)のビット3により、以下のように割り込み要求の発生するタイミングを選択できます。

0: 送信バッファに書き込んだデータが送信シフトレジスタに移され、送信バッファが空になったとき割り込み要求を発生します。

1: 送信シフトレジスタのシフト動作終了時、割り込み要求を発生します。

注: 送信許可ビットを許可状態にすると、送信バッファエンプティ、送信シフト終了状態となるため、どちらの要因を選択しても割り込み要求を発生します。送信割り込みを使用する場合、送信許可ビットを“1”にした後、送信割り込み要求ビットを“0”にしてから、送信割り込み許可ビットを許可状態にしてください。

シリアルI/O受信割り込み

受信シフトレジスタにデータが揃い、受信バッファにシフトレジスタの内容が移されると割り込み要求を発生します。

詳細は「1.13 シリアルI/O」を参照してください。

(6) A-D変換終了割り込み

A-D変換終了と同時に割り込み要求を発生します。

詳細は「1.14 A-D変換器」を参照してください。

(7) BRK命令割り込み

優先順位が最下位のソフトウェア割り込みで、対応した割り込み許可フラグを持たず、割り込み禁止フラグの影響を受けません(ノンマスクابل)。

詳細は「740ファミリ ソフトウェアマニュアル」を参照してください。

1.11.4 割り込みの動作説明

(1) 割り込み動作

割り込みが受け付けられると、次に示すレジスタの内容が と順次、自動的にスタック領域へ退避されます。

プログラムカウンタ上位(PCH)
プログラムカウンタ下位(PCL)
プロセッサステータスレジスタ(PS)

上記のレジスタが退避された後、受け付けられた割り込みの飛び先番地へ分岐します。割り込み処理ルーチンの最後でRTI命令を実行すると、スタック領域に退避されていた上記レジスタの内容が と順次それぞれのレジスタに復帰し、割り込み受付前の処理が再開されます。図1.11.8に割り込み受付時の動作を示します。

(2) 割り込み受付時の処理

割り込みを受け付けると以下の動作が自動的に行われます。

現在実行中の処理が中断されます。

プログラムカウンタ、及びプロセッサステータスレジスタの内容がスタック領域へ退避されます。退避と同時に、発生した割り込みに対応するベクトル領域に格納されている飛び先番地(割り込み処理ルーチンの先頭番地)がプログラムカウンタに設定され、割り込み処理ルーチンが実行されます。

割り込み処理ルーチンに入ると対応する割り込み要求ビットが自動的に“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止されます。

割り込み処理ルーチンを実行するには、飛び先番地を各割り込みに対応したベクトル領域内に設定しておく必要があります。

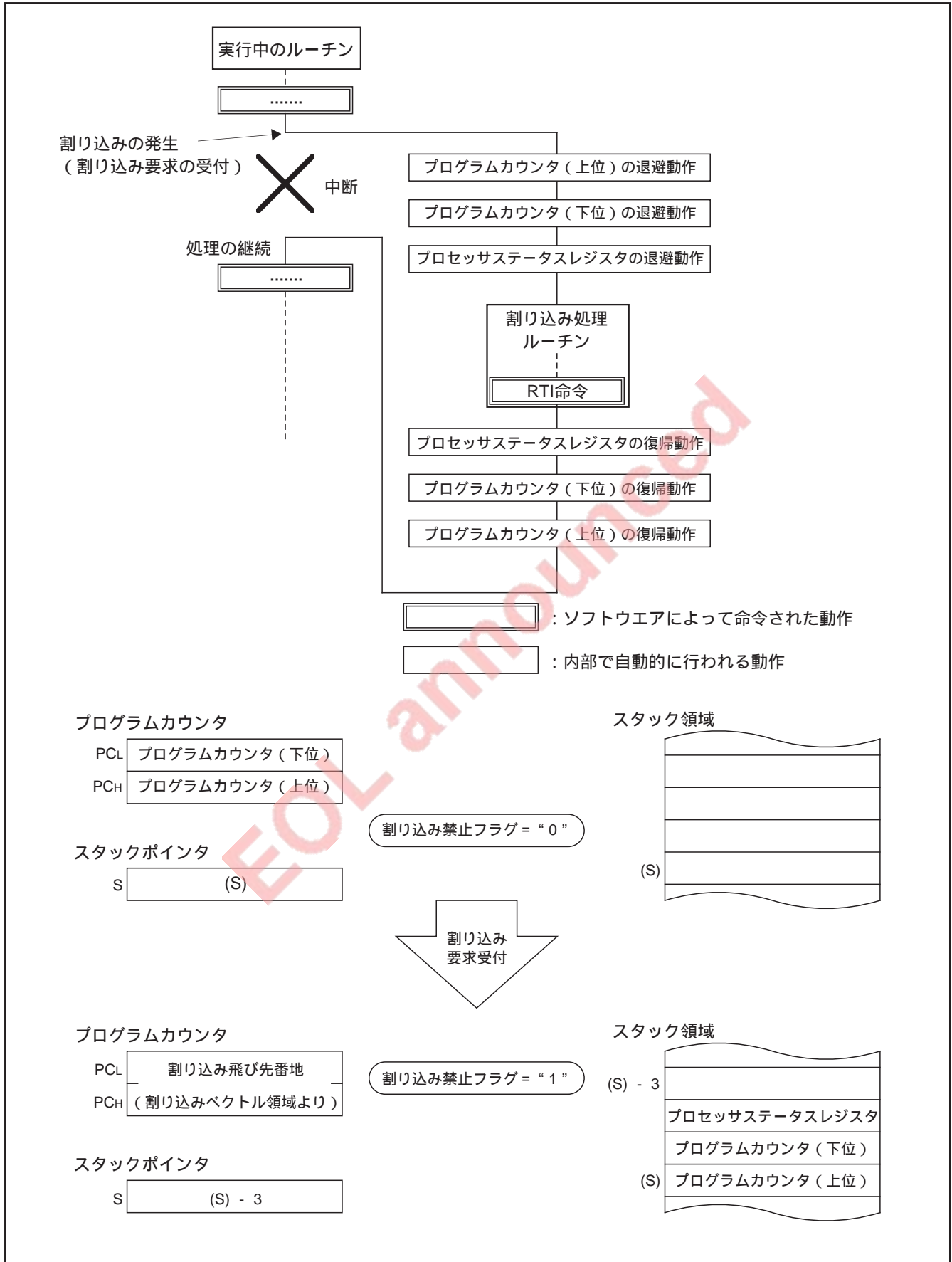


図1.11.8 割り込み受付時の動作

(3) 割り込み受付後のタイミング

割り込み処理ルーチンは、現在実行中の命令終了後のマシンサイクルから始まります。

図1.11.9に割り込み処理ルーチン実行までの処理時間、図1.11.10に割り込み受付後のタイミングを示します。

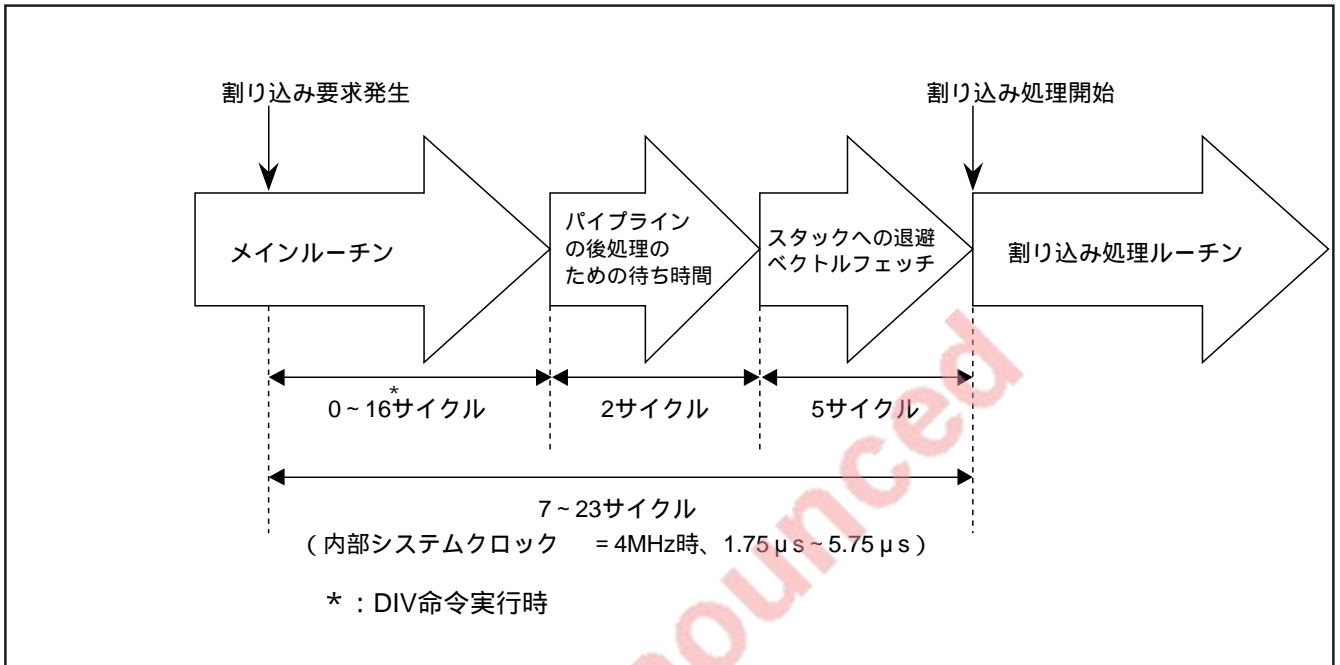


図1.11.9 割り込み処理ルーチン実行までの処理時間

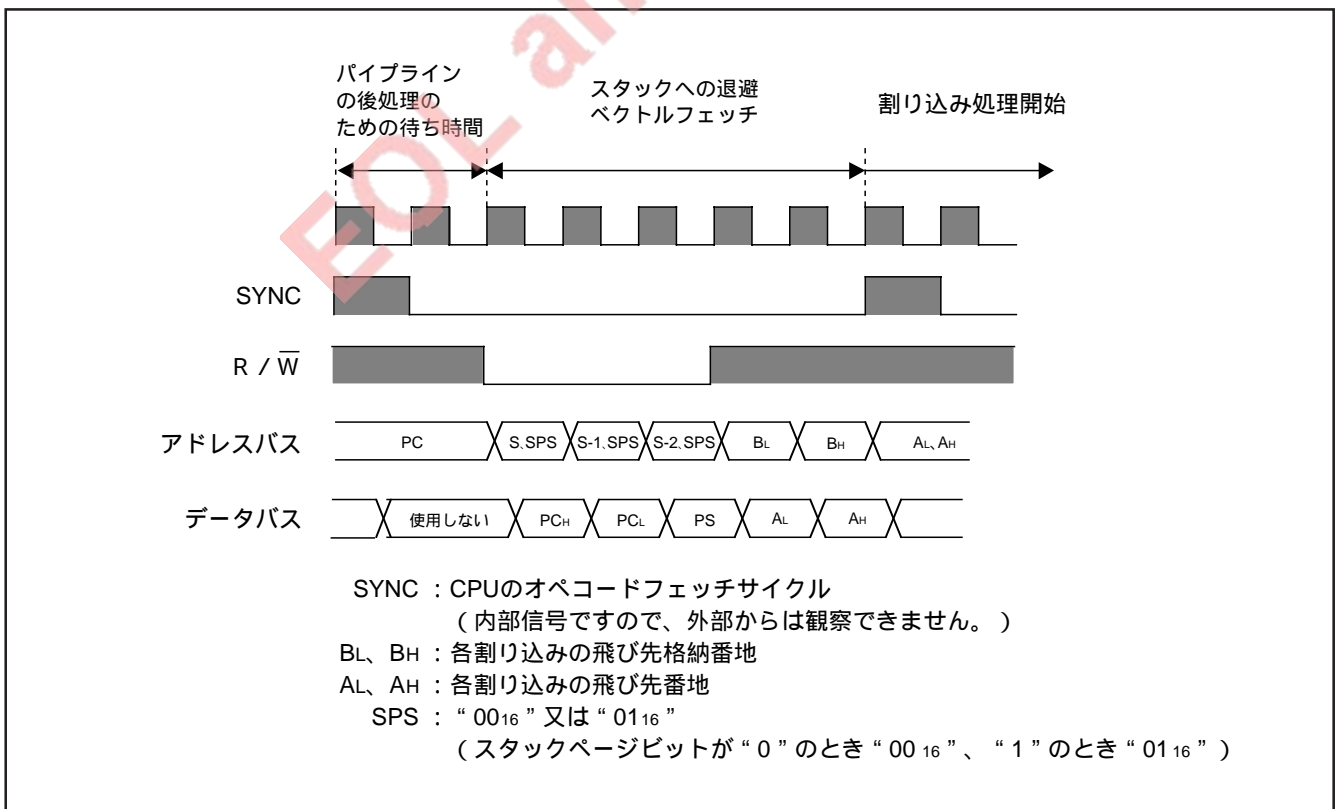


図1.11.10 割り込み受付後のタイミング

(4) ストップモード/ウェイトモードからの復帰

ストップモード/ウェイトモードにおいて割り込み要求が受け付けられると、各モードが解除され、通常モードに復帰できます。

表1.11.2にストップモード/ウェイトモードからの復帰に使用できる割り込み要因を示します。

表1.11.2 ストップモード/ウェイトモードからの復帰に使用できる割り込み要因(: 使用可、× : 使用不可)

| 割り込み要因 | ストップモードからの復帰 | ウェイトモードからの復帰 |
|--------------------------------------|--------------|--------------|
| リセット(注1) | | |
| INT ₀ | | |
| INT ₁ | | |
| キーオンウエイクアップ | | |
| CNTR ₀ /CNTR ₁ | | |
| タイマ1 | (注2) | |
| タイマ2 | (注2) | |
| タイマ3 | (注2) | |
| タイマ4 | (注2) | |
| シリアルI/O(7470/7471グループ)(注4) | (注3) | |
| シリアルI/O受信(7477/7478グループ)(注5) | (注3) | |
| シリアルI/O送信(7477/7478グループ)(注5) | (注3) | |
| A-D変換終了 | × | |
| BRK命令 | × | × |

注1. リセットは、割り込みと同様の動作をするため、表中に記載しています。

2. カウントソースがCNTR端子入力(又はこれをタイマで分周したもの)の場合のみ。
3. 同期クロックとして外部クロック入力(又はその16分周)選択時のみ。
4. 7477/7478グループにはありません。
5. 7470/7471グループにはありません。

1.11.5 割り込みの制御

BRK命令を除く割り込みは、割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグによって割り込みの受付を制御できます。この節ではBRK命令を除く割り込みの制御について説明します。

図1.11.11に割り込み制御図を示します。

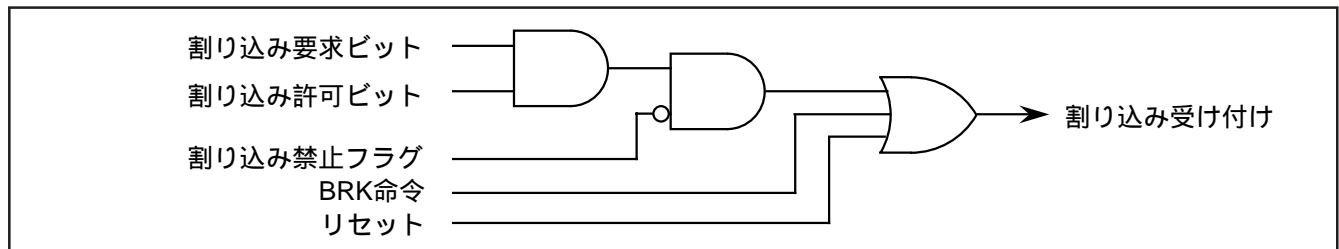


図1.11.11 割り込み制御図

割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグは独立して機能し、互いに影響を与えることはありません。割り込みは以下の条件がすべて満たされると受け付けられます。

割り込み要求ビット……………“ 1 ”
割り込み許可ビット……………“ 1 ”
割り込み禁止フラグ……………“ 0 ”

割り込みの優先順位は、ハードウェアで決められていますが、上記のビット及びフラグを用いることによって、多様な優先処理をソフトウェアで行うことができます。

割り込みの優先順位は「表1.11.1 割り込み要因と優先順位」を参照してください。

(1) 割り込み要求ビット

割り込み要求ビットは、割り込み要求レジスタ1(IR1 : 00FC₁₆番地)、及び割り込み要求レジスタ2(IR2 : 00FD₁₆番地)の各ビットに割り当てられています。

割り込み要求が発生すると、対応する割り込み要求ビットが“ 1 ”になります。割り込み要求ビットは、割り込みが受け付けられるまで“ 1 ”の状態を保持され、割り込みが受け付けられると自動的に“ 0 ”になります。

割り込み要求ビットは、ソフトウェアによって“ 0 ”にすることができますが、“ 1 ”にすることはできません。

(2) 割り込み許可ビット

割り込み許可ビットは、割り込み制御レジスタ1(IE1 : 00FE₁₆番地)、及び割り込み制御レジスタ2(IE2 : 00FF₁₆番地)の各ビットに割り当てられています。

割り込み許可ビットは対応する割り込みの受付を制御するビットで、割り込み許可ビットが“ 0 ”のとき、対応する割り込みの受付は禁止されます。このビットが“ 0 ”の状態でも割り込み要求が発生すると、対応する割り込み要求ビットは“ 1 ”になりますが、その割り込みは受け付けられません。この場合、割り込み要求ビットは、ソフトウェアにより“ 0 ”にするか、又は割り込み許可ビットを“ 1 ”にするまで“ 1 ”のままです。

割り込み許可ビットが“ 1 ”、かつ後述の割り込み禁止フラグが“ 0 ”のとき、対応する割り込みの受付が許可されます。この状態で割り込み要求が発生すると、その割り込みが受け付けられます。

割り込み許可ビットは、ソフトウェアによって“ 0 ”又は“ 1 ”にすることができます。

(3) 割り込み禁止フラグ

割り込み禁止フラグはBRK命令割り込み以外の割り込みの受付を制御するフラグで、プロセッサステータスレジスタ(PS)のビット2に割り当てられています。

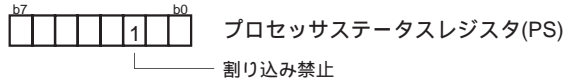
このフラグが“ 1 ”のとき割り込みの受付が禁止され、“ 0 ”のとき、割り込みの受付が許可されます。“ 1 ”にする命令はSEI命令、“ 0 ”にする命令はCLI命令です。

割り込み処理ルーチンへの分岐時、このフラグは自動的に“ 1 ”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込み処理ルーチン内でCLI命令を用いて、このフラグを“ 0 ”にしてください。

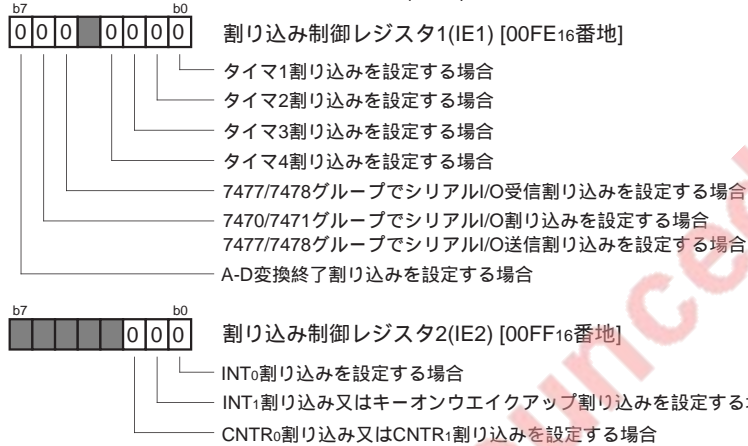
1.11.6 割り込みの設定方法

以下に示す手順に従って、割り込みを設定してください。

手順1 設定中に他の割り込みの受付を禁止する場合、割り込み禁止フラグを“1”にする



手順2 使用する割り込み許可ビットを“0” (禁止)にする



手順3 各割り込みに関する設定

INT割り込み、CNTR割り込み、又はキーオンウエイクアップ割り込みを使用する場合

1. エッジ極性選択レジスタの設定



2. キーオンウエイクアップ割り込みを設定する場合、使用するポートを入力モードにし、かつ、プルアップする。

タイマ割り込みを使用する場合

1. タイマのカウンタ停止
2. 各モードの設定
3. タイマの設定(外部パルス幅測定モード時を除く)

シリアルI/O割り込みを使用する場合

1. シリアルI/Oに関する制御レジスタの設定
2. ポーレートジェネレータの設定(7477/7478グループにおいて同期クロックとして内部クロックを使用する場合のみ)

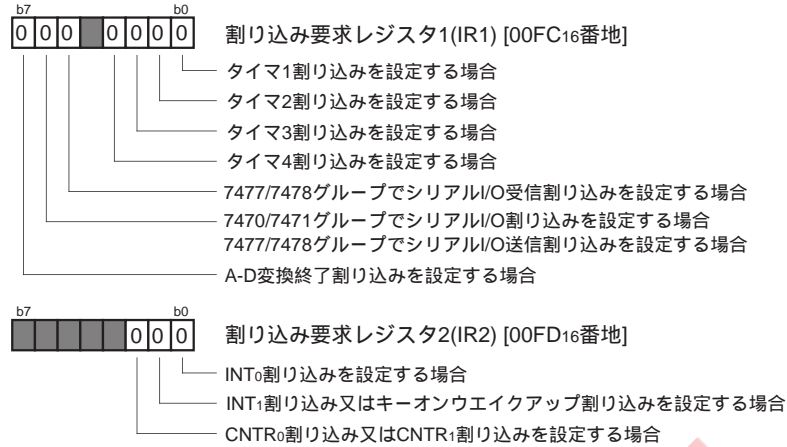
A-D変換終了割り込みを使用する場合

1. アナログ入力端子として使用するポートの設定(7470/7471グループのみ)
2. A-D制御レジスタの設定

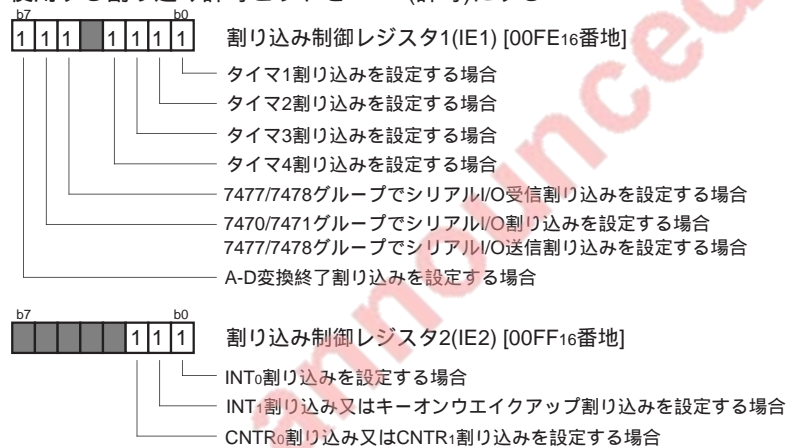
注意 詳細は、各機能の設定方法を参照してください。

図1.11.12 割り込みの設定方法(1)

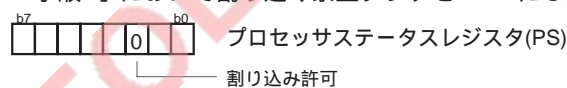
手順4 使用する割り込み要求ビットをクリアする



手順5 使用する割り込み許可ビットを“1” (許可)にする



手順6 「手順1」において割り込み禁止フラグを“1”にした場合、“0”にする



手順7 各割り込みに関する機能を動作

- キーオンウエイクアップ割り込みを使用する場合
- ・STP/WIT命令により、ストップモード/ウエイトモードにする
- タイマ割り込みを使用する場合
- ・タイマのカウント開始
- シリアルI/O割り込みを使用する場合
- ・送信バッファレジスタヘータを書き込み、送受信を開始する
- A-D変換終了割り込みを使用する場合
- ・A-D制御レジスタの設定(A-D変換の開始)

注意 詳細は、各機能の設定方法を参照してください。

図1.11.13 割り込みの設定方法(2)

1.11.7 割り込みに関する注意事項

- (1) ポートP30～P33を入力ポートとして使用する場合は、対応するINT，CNTR割り込みを禁止状態にしてください。
- (2) 割り込み準備のための割り込み要求ビットの設定と割り込み許可ビットの設定は、以下の順番に従って行ってください。

割り込み要求ビットを“0”(割り込み要求なし)にする。
割り込み許可ビットを“1”(割り込み許可)にする。

また、INT割り込み、CNTR割り込みを使用する場合、割り込み検出エッジの設定を行ってから上記、 の設定を行ってください(後述の(4)を参照してください)。

- (3) 割り込み要求ビットは、ソフトウェアにより“0”にすることができますが、クリア命令実行直後は変更前の値が残っています。そのため、割り込み要求ビットの変更後BBC，BBS命令を実行する場合は、割り込み要求ビット変更命令実行後、1命令以上後に行ってください。
- (4) INT割り込み又はCNTR割り込みの検出エッジを切り替える場合、対応する割り込み要求ビットが“1”になる場合があります。そのため、図1.11.14に示すレジスタ設定例にならって設定を行ってください。

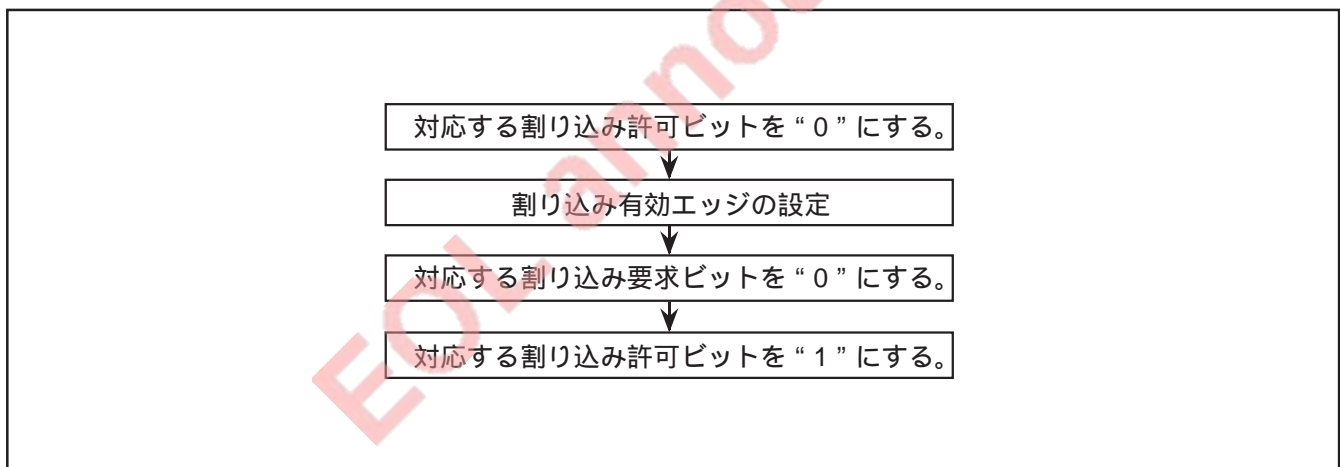


図1.11.14 レジスタ設定例

- (5) BRK命令による割り込みかどうかは、スタック領域に退避されたプロセッサステータスレジスタ内のブレイクフラグの内容によって判断できます。

ブレイクフラグ=1：BRK命令による割り込み
ブレイクフラグ=0：その他の割り込み

注.この判断は割り込み処理ルーチンの中で行ってください。

(6) 下記のいずれかの状態でSTP/WIT命令を実行するとINT割り込み要求が発生し、ストップモード/ウエイトモードが解除されます。

INTエッジ極性が立ち上がりエッジで、INT端子入力レベルが“H”の場合
INTエッジ極性が立ち下がりエッジで、INT端子入力レベルが“L”の場合

そのため、STP/WIT命令を実行する場合、INT端子の入力レベル及びINTエッジ極性を考慮する必要があります。以下にその対策例を示します。

1. INT端子入力レベルの立ち上がりエッジでストップモード/ウエイトモードを解除する場合の対策例

ポイント：ストップモード/ウエイトモードの解除を正常に行うために、INT端子の入力レベルが“L”のときにSTP/WIT命令を実行した場合のみ、INT割り込み処理ルーチンでモード解除時の処理を行います。

<メインルーチン>

メインルーチンでは、STP/WIT命令を実行する直前のINT端子入力レベルに応じてINTエッジ極性を設定します。

INT割り込み禁止

INT端子入力レベルが“H”のとき、立ち下がりエッジ選択

INT端子入力レベルが“L”のとき、立ち上がりエッジ選択

INT割り込み要求ビットを“0”にする

INT割り込み許可ビットを“1”にする

割り込み禁止フラグを“0”にする

STP/WIT命令実行

<INT割り込み処理ルーチン>

INT割り込み処理ルーチンでは、立ち下がりエッジ検出によるストップモード/ウエイトモード解除の場合は解除時の処理を行わずにエッジ極性を変更し、再度ストップモード/ウエイトモードに遷移します。

INT端子入力レベルが“H”のとき(立ち上がりエッジ検出時)

ストップモード/ウエイトモード解除時の処理

INT端子入力レベルが“L”のとき(立ち下がりエッジ検出時)

[1] 立ち上がりエッジ選択

[2] INT割り込み要求ビットを“0”

[3] スタック復帰

[4] メインルーチンの、の処理を行う

2. INT₀端子とINT₁端子に同じ信号を入力し、INT₀端子入力レベルの立ち上がりエッジ又はINT₁端子入力レベルの立ち下がりエッジによりストップモード/ウエイトモードを解除する場合の対策例

ポイント：メインルーチンで、STP/WIT命令を実行する直前のINT端子入力レベルに応じてストップモード/ウエイトモード解除の要因となるINT割り込みを選択します。

<メインルーチン>

INT₀, INT₁割り込み禁止

INT₀割り込みを立ち上がりエッジ選択

INT₁割り込みを立ち下がりエッジ選択

INT端子入力レベルが“H”の場合

INT₁割り込み要求ビットを“0”にし、INT₁割り込み許可ビットを“1”にする

INT端子入力レベルが“L”の場合

INT₀割り込み要求ビットを“0”にし、INT₀割り込み許可ビットを“1”にする

割り込み禁止フラグを“0”にする

STP/WIT命令実行

(7)動作時、内蔵のノイズ除去回路により内部クロック ($f(XIN)/2$)の2クロック分以上のパルス幅があれば、割り込み入力として受け付けます。また、ストップモード及びウエイトモード時は100ns以上のパルスを入力してください。

参考

INT₀, INT₁端子にはノイズによる誤割り込み処理を防ぐためにハードウェア面の対策として、ストップモード及びウエイトモード時以外は1マシンサイクル以下の“H”パルス(立ち上がりエッジ選択時)又は“L”パルス(立ち下がりエッジ選択時)では割り込み要求が発生しないようにノイズ除去回路が内蔵されています。ソフトウェア面での対策としては、割り込み処理ルーチンのはじめにINT₀, INT₁端子のレベル判定を行う方法があります。

1.12 タイマ

7470/7471/7477/7478グループは4本の8ビットタイマラッチ付き8ビットタイマ(タイマ1、タイマ2、タイマ3、タイマ4)を内蔵しています。タイマの分周比はタイマラッチの内容をnとすると $1/(n+1)$ になります(n: 0~255)。

タイマはソフトウェアで設定することにより、以下のモードを選択することができます。

タイマモード

イベントカウンタモード

矩形波出力モード

外部パルス幅測定モード

PWMモード

各タイマが持つモードを表1.12.1に示します。

表1.12.1 タイマ別モード一覧

| タイマ \ モード | タイマモード | イベント カウンタモード | 矩形波 出力モード | 外部パルス幅 測定モード | PWMモード |
|-----------|--------|-----------------|--------------|-----------------|--------|
| タイマ1 | | | | × | × |
| タイマ2 | | × | × | × | × |
| タイマ3 | | | × | × | |
| タイマ4 | | | | | |

1.12.1 タイマのブロック図

タイマブロック図を図1.12.1に示します。

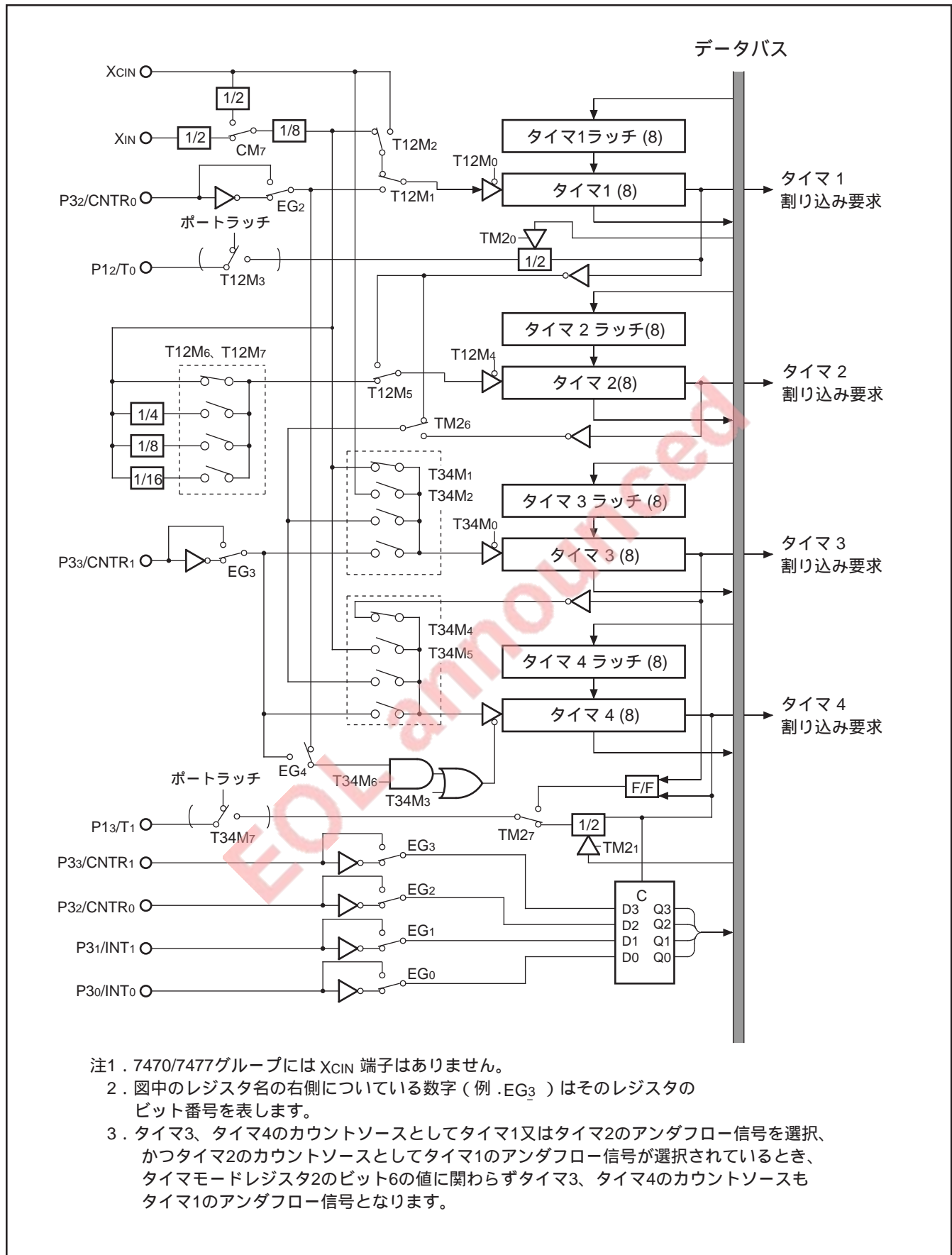


図1.12.1 タイマブロック図

1.12.2 タイマの関連レジスタ

図1.12.2にタイマ関連レジスタのメモリ配置を示します。

| 番地 | |
|--------------------|--------------------|
| 00D4 ₁₆ | エッジ極性選択レジスタ(EG) |
| 00D5 ₁₆ | |
| 00D6 ₁₆ | 入力ラッチレジスタ(ILR) |
| ≈ | ≈ |
| 00F0 ₁₆ | タイマ1(T1) |
| 00F1 ₁₆ | タイマ2(T2) |
| 00F2 ₁₆ | タイマ3(T3) |
| 00F3 ₁₆ | タイマ4(T4) |
| ≈ | ≈ |
| 00F7 ₁₆ | タイマFFレジスタ(TF) |
| 00F8 ₁₆ | タイマ12モードレジスタ(T12M) |
| 00F9 ₁₆ | タイマ34モードレジスタ(T34M) |
| 00FA ₁₆ | タイマモードレジスタ2(TM2) |
| 00FB ₁₆ | CPUモードレジスタ(CM) |
| 00FC ₁₆ | 割り込み要求レジスタ1(IR1) |
| 00FD ₁₆ | 割り込み要求レジスタ2(IR2) |
| 00FE ₁₆ | 割り込み制御レジスタ1(IE1) |
| 00FF ₁₆ | 割り込み制御レジスタ2(IE2) |

図1.12.2 タイマ関連レジスタのメモリ配置

- (1) タイマ1、タイマ2、タイマ3、タイマ4(T1 ~ T4 : 00F0₁₆番地 ~ 00F3₁₆番地)

各タイマは、8ビットで構成されたレジスタです。

読み出し

タイマを読み出すと、タイマの内容(カウント値)が読み出されます。

書き込み

タイマにデータの書き込みを行うと、同時にタイマ及びタイマラッチにそのデータが設定されます。PWMモード時、カウント動作中のタイマはタイマラッチにのみ書き込まれます。

(「1.12.9 タイマ及びタイマラッチの内容の更新」を参照してください。)

タイマラッチ

タイマラッチはタイマのアンダフロー時、タイマの初期値としてタイマへ自動的に転送(リロード)される値を保持しているレジスタです。タイマラッチの内容は読み出せません。

図1.12.3にタイマ*i*(*i*=1~4)の構成を示します。

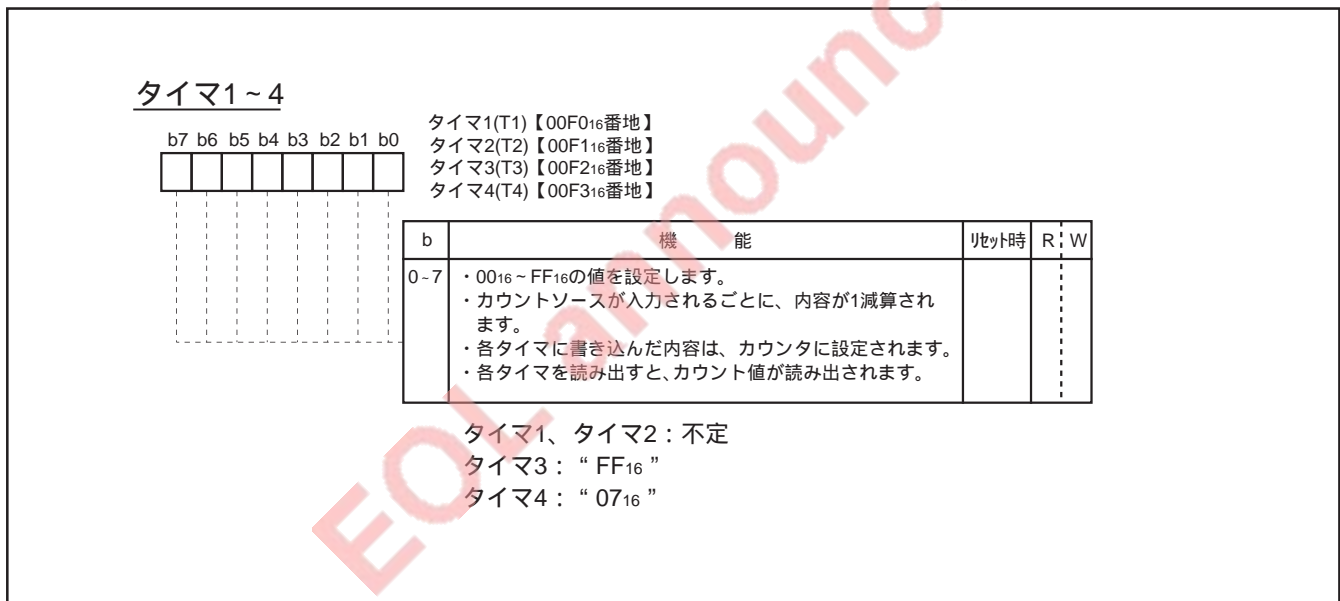


図1.12.3 タイマ*i*(*i*=1~4)の構成

(2) タイマ12モードレジスタ(T12M : 00F816番地)

タイマ12モードレジスタは、動作の選択及びカウントを制御するビットなどで構成されたレジスタです。

図1.12.4にタイマ12モードレジスタの構成を示します。

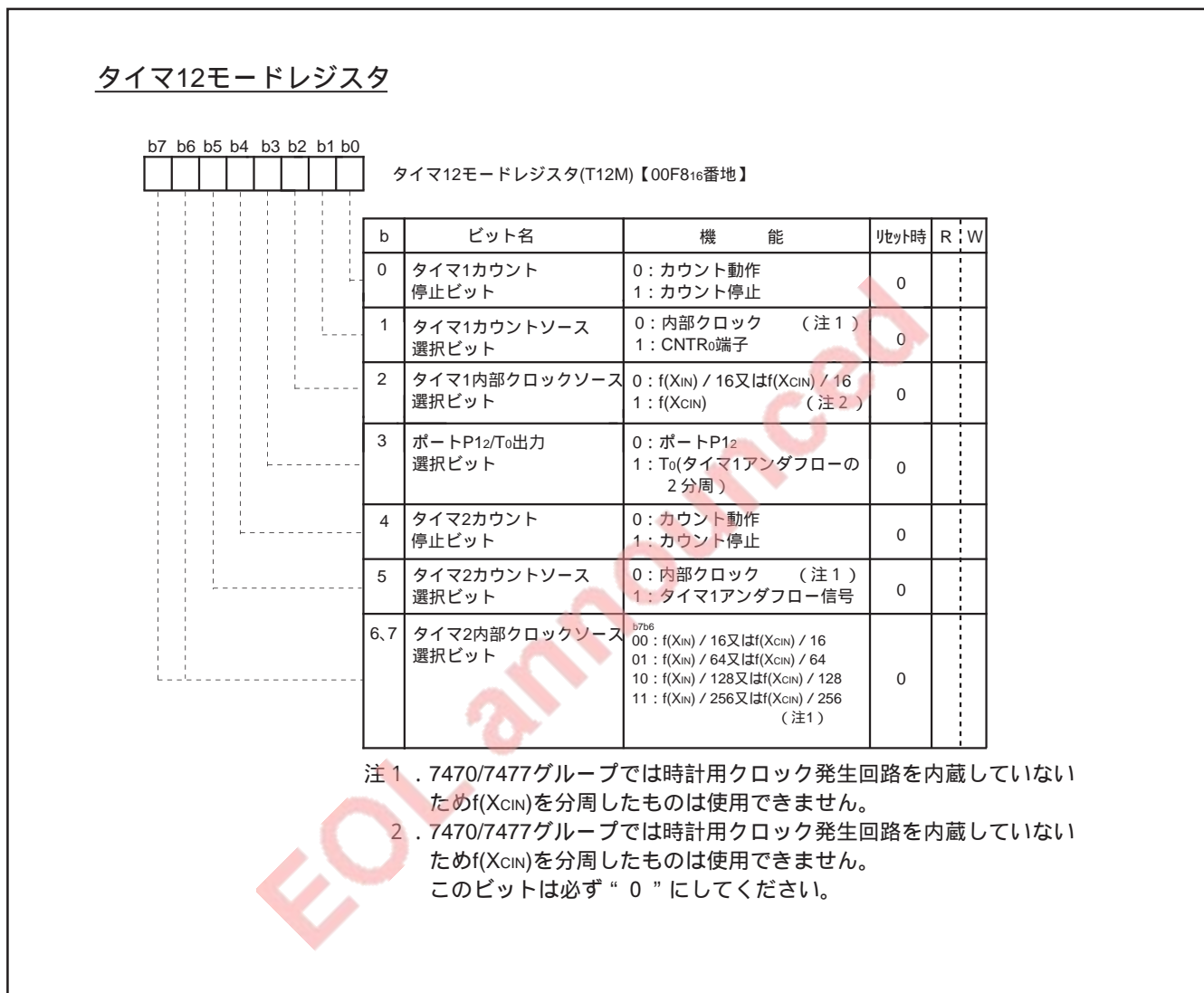


図1.12.4 タイマ12モードレジスタの構成

(3) タイマ34モードレジスタ(T34M : 00F916番地)

タイマ34モードレジスタは、動作の選択及びカウントを制御するビットなどで構成されたレジスタです。

図1.12.5にタイマ34モードレジスタの構成を示します。

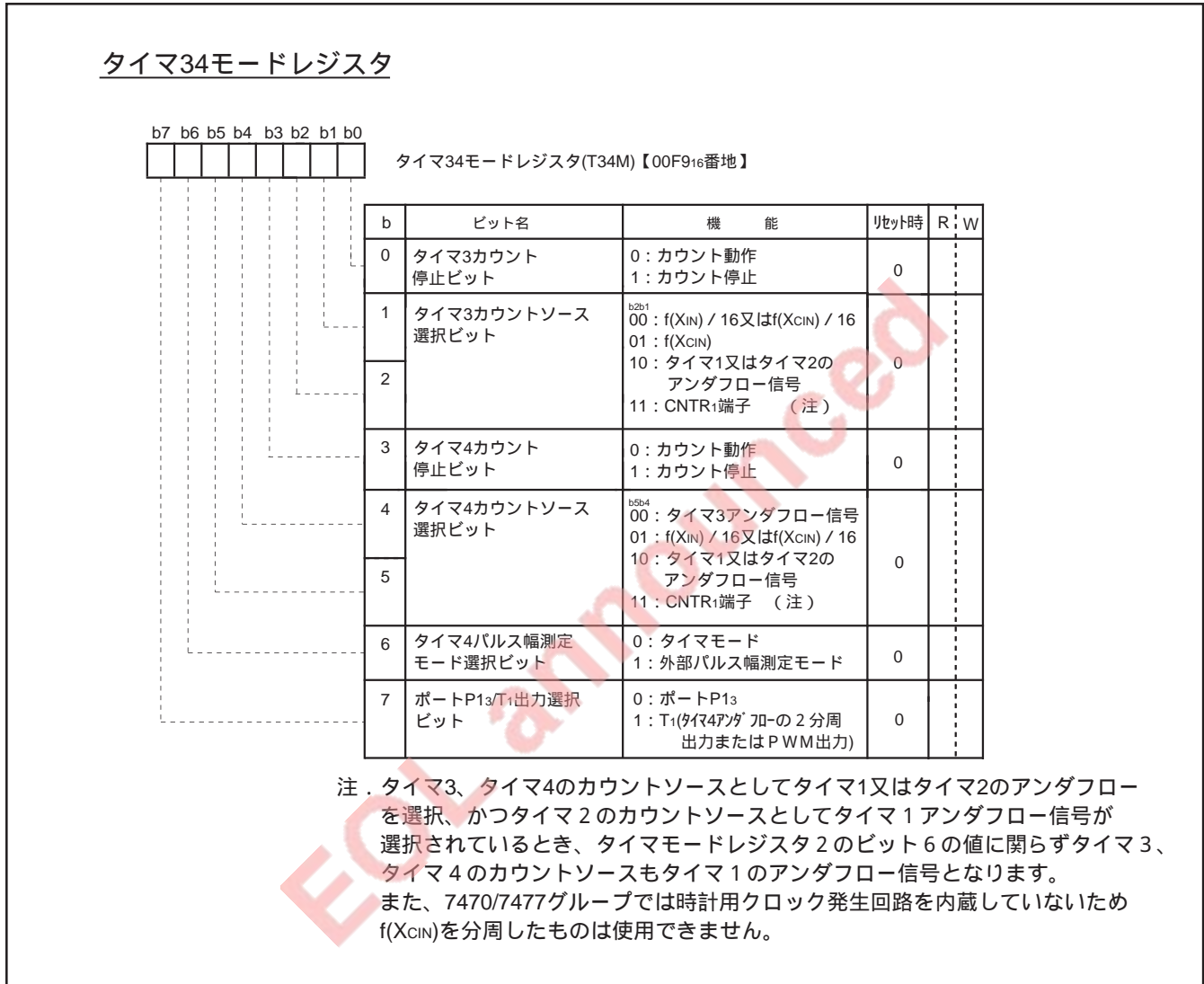


図1.12.5 タイマ34モードレジスタの構成

(4) タイマモードレジスタ2(TM2 : 00FA₁₆番地)

タイマモードレジスタ2は、モード選択及びカウンタソース選択を制御するビットで構成されたレジスタです。

図1.12.6にタイマモード2レジスタの構成を示します。

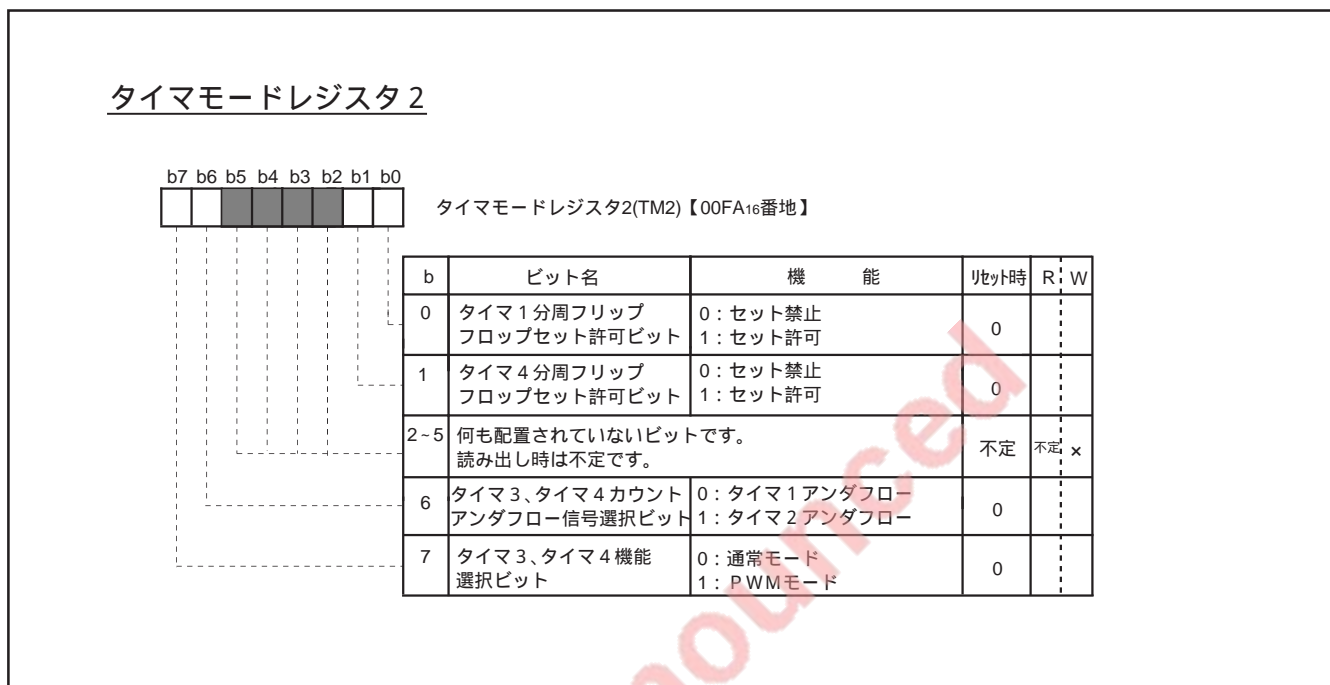


図1.12.6 タイマモードレジスタ2の構成

(5) タイマFFレジスタ(TF : 00F7₁₆番地)

タイマFFレジスタは、矩形波出力モード時の初期値設定を行うビットで構成されたレジスタです。

図1.12.7にタイマFFレジスタの構成を示します。

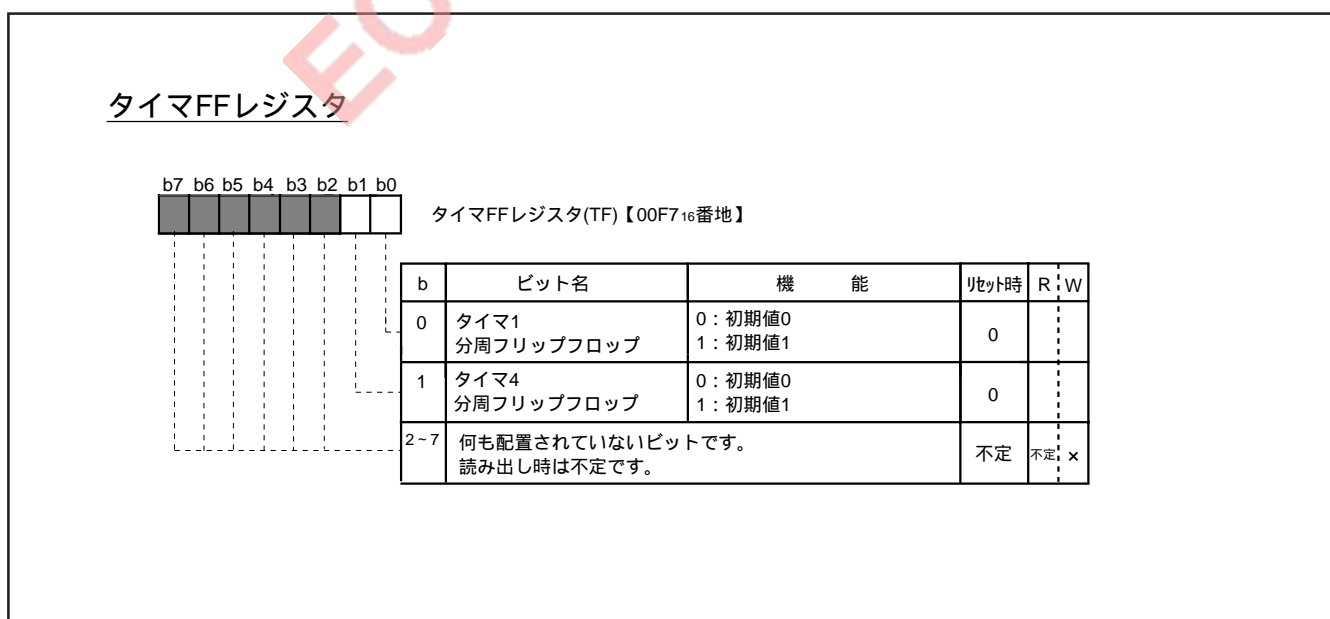


図1.12.7 タイマFFレジスタの構成

(6) 入力ラッチレジスタ(ILR : 00D6₁₆番地)

入力ラッチレジスタは、タイマ4がアンダフローしたときのINT₀、INT₁、CNTR₀、CNTR₁の各端子のレベルをラッチするビットで構成されたレジスタです。

図1.12.8に入力ラッチレジスタの構成を示します。

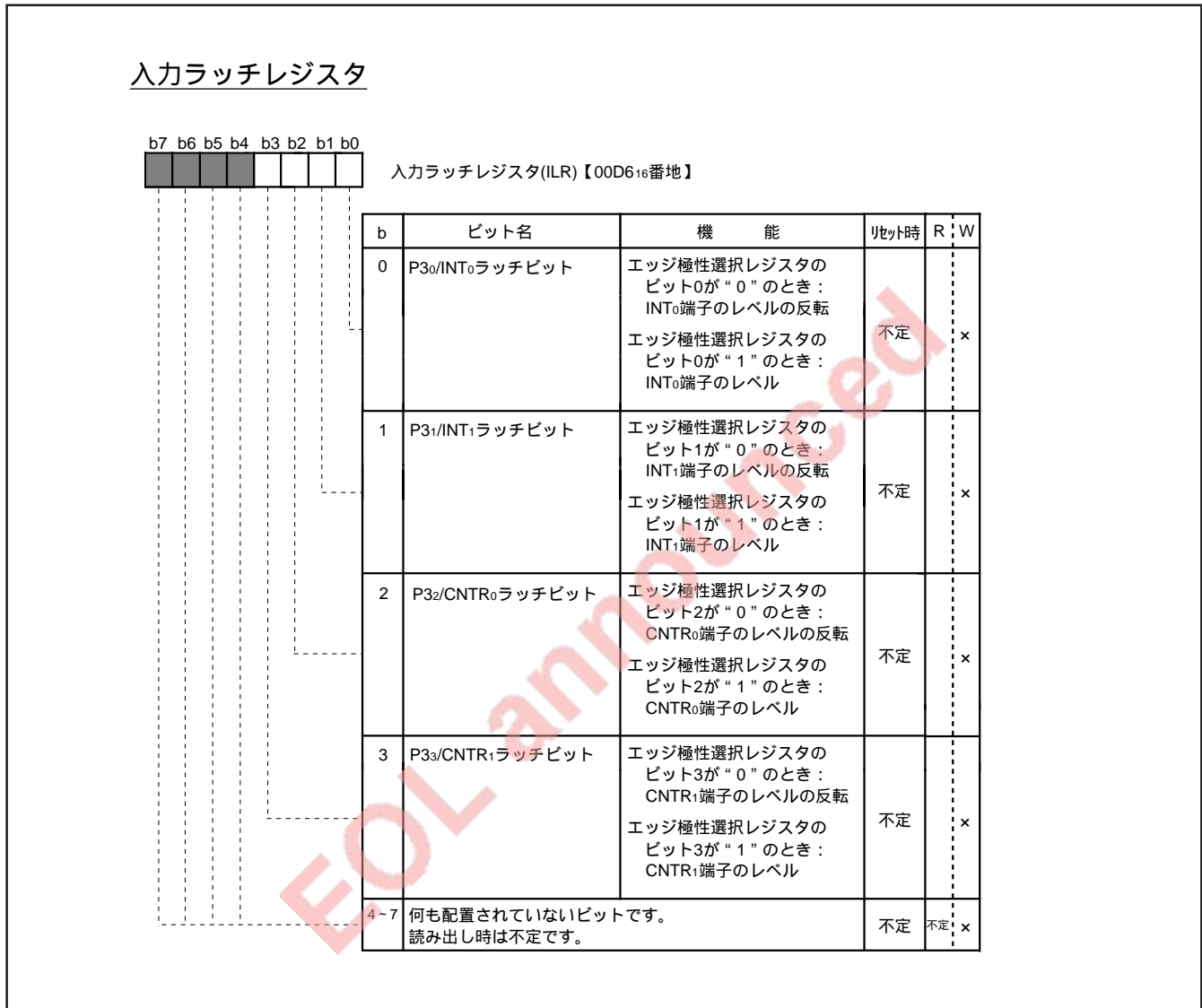


図1.12.8 入力ラッチレジスタの構成

1.12.3 タイマの基本動作説明

タイマへ n_{16} を書き込むと同時にタイマラッチの値も n_{16} になります($n : 00_{16} \sim FF_{16}$)。タイマがカウント動作を開始すると、

カウントソースの立ち上がりでタイマの値は n_{16} ($(n-1)_{16}$ ($(n-2)_{16}$ \dots 1_{16} 0_{16} FF_{16})とダウンカウントします。

タイマの値が FF_{16} となった次のカウントソースの立ち上がりで

タイマラッチの値から1を引いた $(n-1)_{16}$ がタイマにセット(リロード)され、カウントを続けます。アンダフローが起こり、タイマ割り込み要求ビットが“1”になります。

注．タイマ割り込み要求ビットは割り込みが受け付けられると“1”から“0”になりますが、ソフトウェアによって“0”にすることも可能です。ただし、ソフトウェアによって“1”にすることはできません。

タイマのカウントタイミングを図1.12.9に示します。

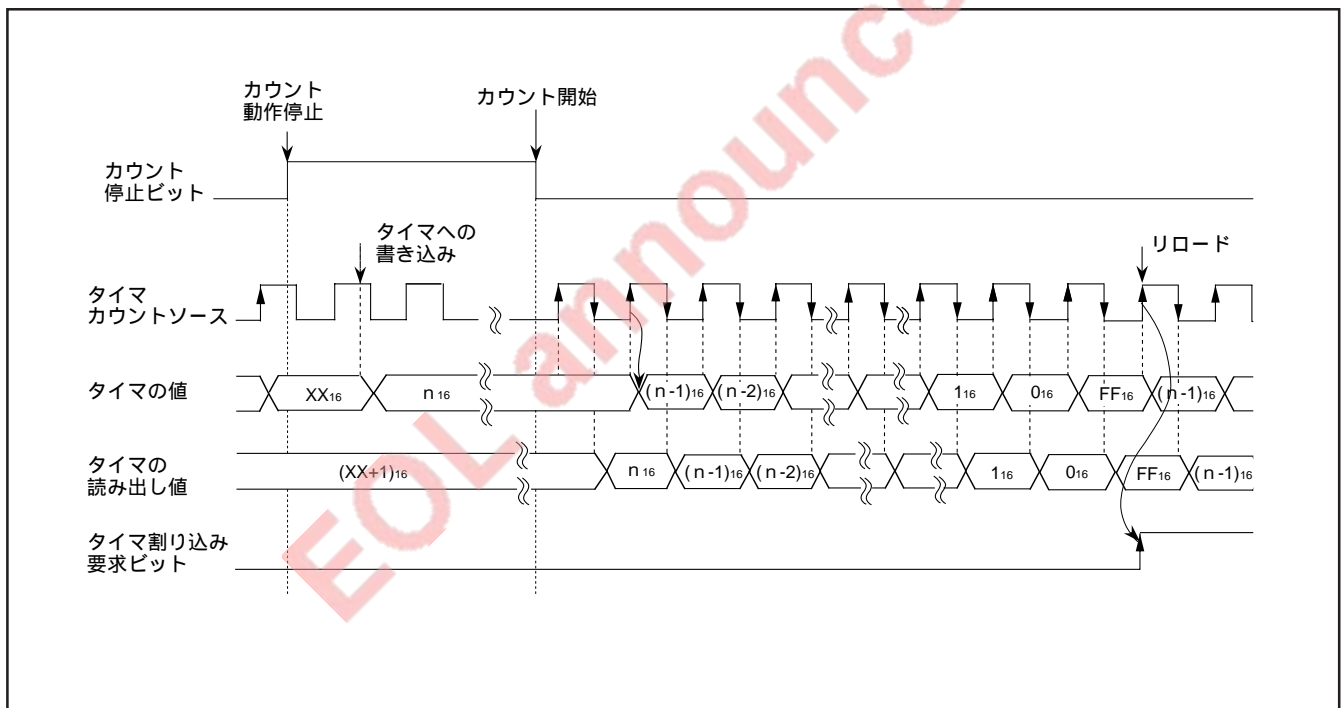


図1.12.9 タイマのカウントタイミング

1.12.4 タイマモード/イベントカウンタモード

(1) タイマモードの動作説明

タイマモードの動作を以下に説明します。

カウント動作の開始

カウント停止ビットを“0”にすることによりカウント動作が開始され、タイマの内容は、カウントソースが入力されるごとに1減算されます。

注．リセット解除直後、カウント停止ビットは“0”の状態なのでカウント動作はリセット解除後から自動的に開始されます。

リロード動作

タイマがアンダフローすると、タイマラッチの内容から1減算した値がタイマへ転送(リロード)されます。

割り込み動作

タイマ割り込み

タイマがアンダフローすると割り込み要求が発生し、割り込み要求ビットが“1”になります。割り込みの受付は、各タイマの割り込み許可ビットで制御されます。

カウント動作の停止

ソフトウェアによってカウント停止ビットに“1”を書き込むと、カウント動作が停止します(“1”を書き込むまで、カウント動作は継続されます)。

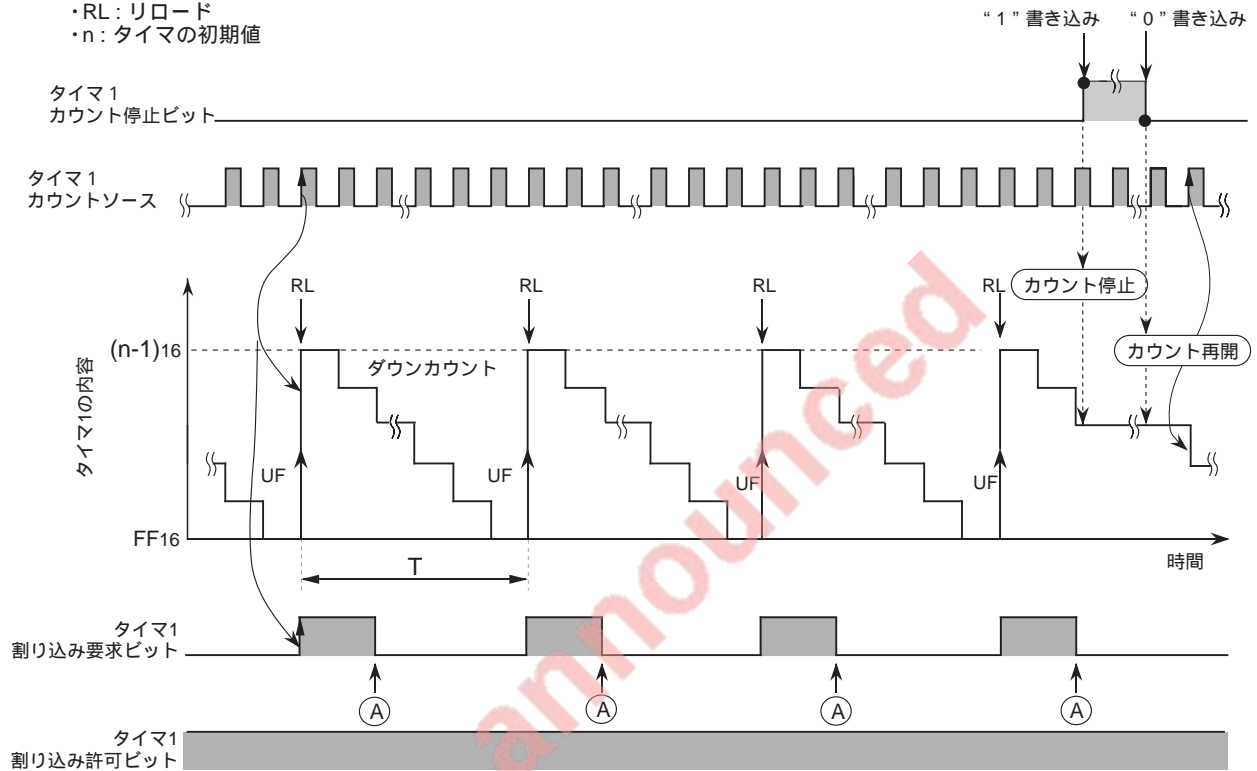
図1.12.10にタイマモードの動作例を示します。

カウント周期

$$\text{カウント周期 } T (s) = 1 \div \text{カウントソース周波数} \times (\text{タイマの初期値} + 1)$$

タイマモード動作例

- ・UF : アンダフロー
- ・RL : リロード
- ・n : タイマの初期値



Ⓐ : タイマ割り込み要求ビットへの "0" 書き込みによるクリア、又はタイマ割り込み許可ビットが "1" のときタイマ割り込み要求の受付によるクリア。

図1.12.10 タイマモード動作例

(2) イベントカウンタモードの動作説明

イベントカウンタモードは、タイマ1ではCNTR0端子、タイマ3、タイマ4ではCNTR1端子から入力される信号がカウントソースになることを除いて、タイマモードと同じ動作をします。

イベントカウンタモードの動作を以下に説明します。

カウント動作の開始

カウント停止ビットを“0”にすることによりカウント動作が開始され、タイマの内容は、カウントソースが入力されるごとに1減算されます。カウントソースの有効エッジは、エッジ極性選択レジスタ(00D416番地)によって、立ち上がり又は立ち下がりを選択できます。

注. リセット解除直後、カウント停止ビットは“0”の状態なのでカウント動作はリセット解除後から自動的に開始されますが、カウントソースはCNTR端子入力とはなっていません(タイマモードとして動作)。

リロード動作

タイマがアンダフローすると、タイマラッチの内容から1減算した値がタイマへ転送(リロード)されます。

割り込み動作

タイマ割り込み

タイマがアンダフローすると、割り込み要求が発生し、割り込み要求ビットが“1”になります。

割り込みの受付は、割り込み許可ビットで制御されます。

CNTR割り込み

CNTR0又はCNTR1端子から入力されるカウントソースのエッジで、割り込み要求が発生し、割り込み要求ビットが“1”になります。割り込みの受付は、割り込み許可ビットで制御されます。

カウントソースの有効エッジ、及びCNTR0/CNTR1割り込みの選択は、エッジ極性選択レジスタで行います。

カウント動作の停止

ソフトウェアによってカウント停止ビットに“1”を書き込むと、カウント動作が停止します(カウント停止ビットに“1”を書き込むまで、カウント動作は継続されます)。

図1.12.11にイベントカウンタモードの動作例を示します。

カウント周期

$$\text{カウント周期 } T(s) = 1 \div \text{カウントソース周波数} \times (\text{タイマの初期値} + 1)$$

イベントカウンタモード動作例

- ・UF: アンダフロー
- ・RL: リロード
- ・n: タイマの初期値

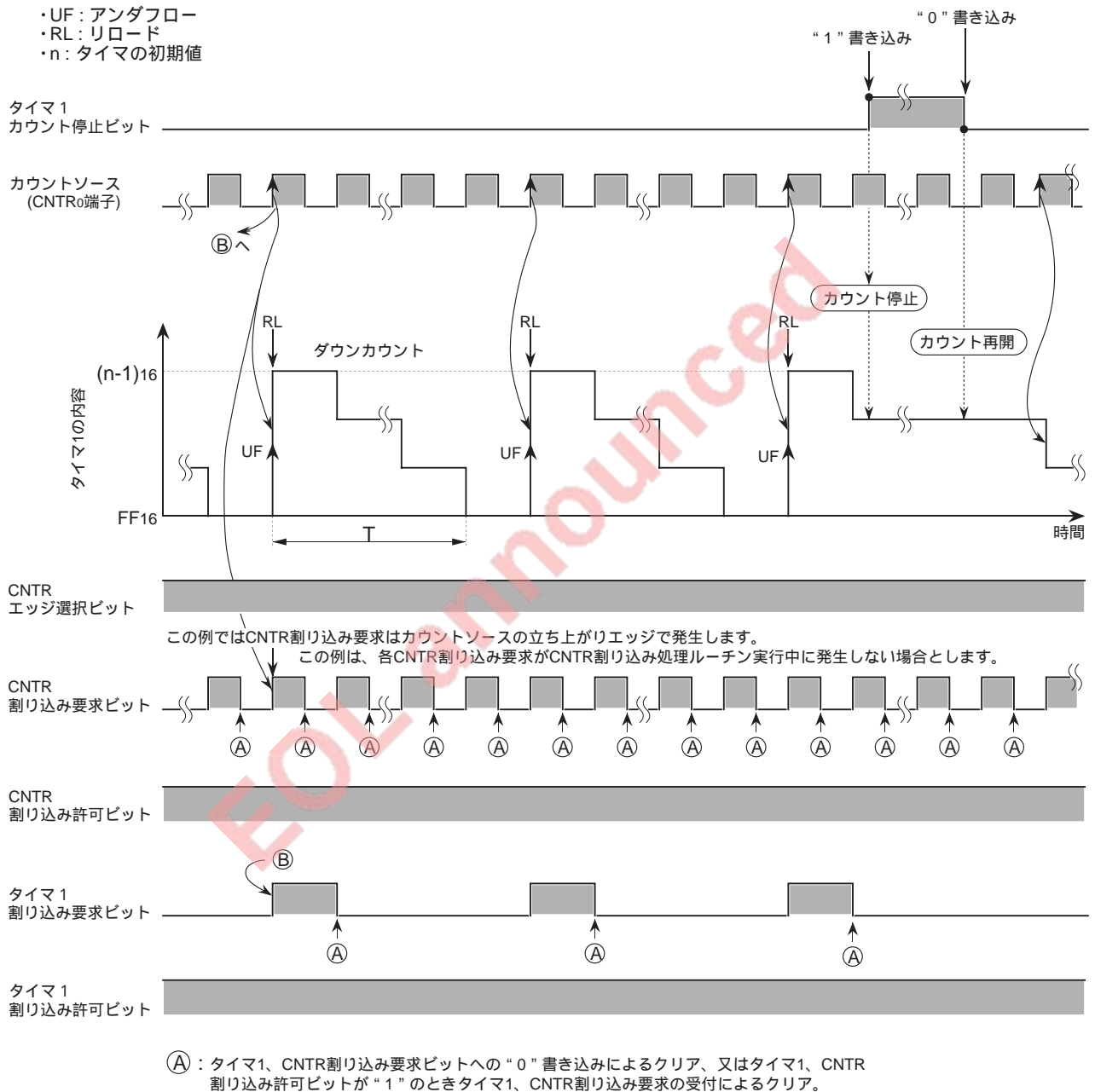
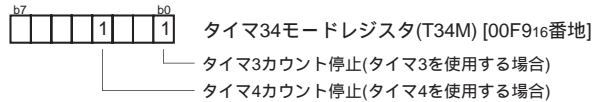
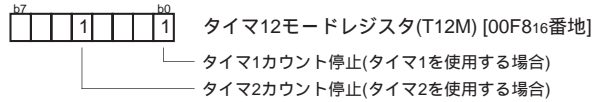


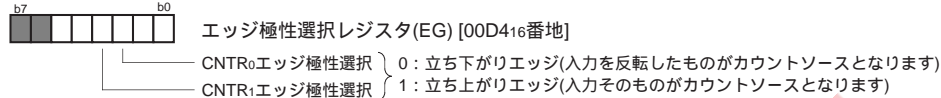
図1.12.11 イベントカウンタモード動作例

(3) タイマモード/イベントカウンタモードの設定方法

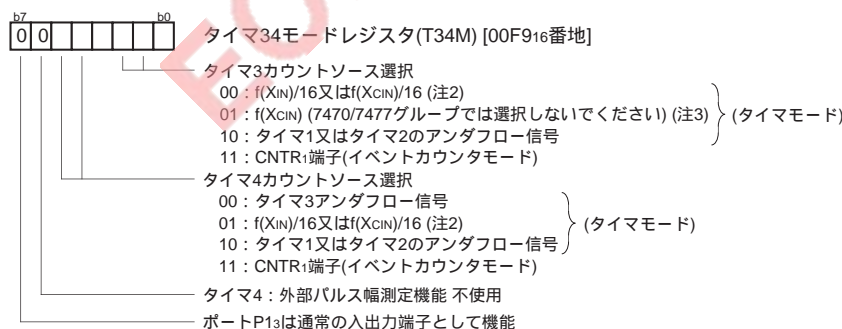
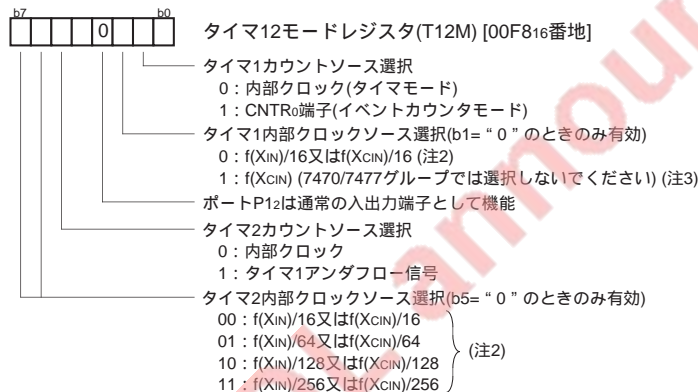
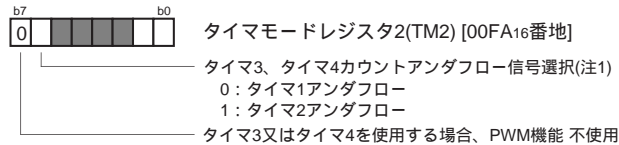
手順1 タイマのカウンタ停止



手順2 イベントカウンタモードの場合、エッジ極性の選択



手順3 タイマモード、イベントカウンタモードの設定



注1. タイマ34モードレジスタにおいて[b2, b1]=[1, 0]又は[b5, b4]=[1, 0]、かつタイマ2のカウントソースがタイマ1のアンダフロー信号の場合、タイマモードレジスタ2のb6の値に関わらず、タイマ3又はタイマ4のカウントソースはタイマ1のアンダフロー信号となります。

2. f(XIN)、f(XCIN)はシステムクロックによって決まります。

・システムクロックとしてf(XIN)を選択している場合、f(XIN)を分周したものがカウントソースとなります。

・システムクロックとしてf(XCIN)を選択している場合、f(XCIN)を分周したものがカウントソースとなります。

ただし、7470/7477グループにはXCIN端子がないので、カウントソースとしてf(XCIN)を分周したものを使用できません。

3. 7471/7478グループにおいてカウントソースとしてf(XCIN)を選択する場合、システムクロックはf(XIN)、f(XCIN)のどちらでも使用できます。

図1.12.12 タイマモード/イベントカウンタモードの設定方法(1)

手順4 カウント値の設定

タイマ1(T1) [00F0₁₆番地]

タイマ1のカウント値設定(タイマ1を使用する場合)

タイマ2(T2) [00F1₁₆番地]

タイマ2のカウント値設定(タイマ2を使用する場合)

タイマ3(T3) [00F2₁₆番地]

タイマ3のカウント値設定(タイマ3を使用する場合)

タイマ4(T4) [00F3₁₆番地]

タイマ4のカウント値設定(タイマ4を使用する場合)

手順5 カウント開始

| | | | | | | | | | | | |
|----|--|--|--|--|---|--|--|--|--|----|---|
| b7 | | | | | 0 | | | | | b0 | 0 |
|----|--|--|--|--|---|--|--|--|--|----|---|

タイマ12モードレジスタ(T12M) [00F8₁₆番地]

タイマ1カウント開始(タイマ1を使用する場合)

タイマ2カウント開始(タイマ2を使用する場合)

| | | | | | | | | | | | |
|----|--|--|--|--|---|--|--|--|--|----|---|
| b7 | | | | | 0 | | | | | b0 | 0 |
|----|--|--|--|--|---|--|--|--|--|----|---|

タイマ34モードレジスタ(T34M) [00F9₁₆番地]

タイマ3カウント開始(タイマ3を使用する場合)

タイマ4カウント開始(タイマ4を使用する場合)

図1.12.13 タイマモード/イベントカウンタモードの設定方法(2)

1.12.5 矩形波出力モード

(1) 矩形波出力モードの動作説明

矩形波出力モードはタイマモードと同じ動作をし、さらに矩形波出力の動作を付加したモードです。このモードでは、アンダフローするごとに極性の反転するパルスをT0(タイマ1のアンダフロー信号の2分周)、T1(タイマ4のアンダフロー信号の2分周)端子から出力します。

矩形波出力モードの動作を以下に説明します。

カウント動作の開始

カウント停止ビットを“0”にすることにより、カウント動作が開始され、タイマの内容は、カウントソースが入力されるごとに1減算されます。

注. リセット解除直後、カウント停止ビットは“0”の状態なのでカウント動作はリセット解除後から自動的に開始されますが、矩形波は出力されません。

リロード動作

タイマがアンダフローすると、タイマラッチの内容から1減算した値がタイマへ転送(リロード)されます。

矩形波出力

タイマがアンダフローするごとに、極性の反転するパルスをT0又はT1端子から出力します。

矩形波出力開始時のレベルを、各分周フリップフロップで“H”又は“L”に選択できます。

矩形波出力はタイマ12モードレジスタ又はタイマ34モードレジスタで、T0又はT1端子出力を選択したときから開始されます。

割り込み動作

タイマ割り込み

タイマがアンダフローすると割り込み要求が発生し、割り込み要求ビットが“1”になります。割り込みの受付は、割り込み許可ビットで制御されます。

カウント動作の停止

ソフトウェアによってカウント停止ビットに“1”を書き込むと、カウント動作が停止します(カウント停止ビットに“1”を書き込むまで、カウント動作は継続されます)。

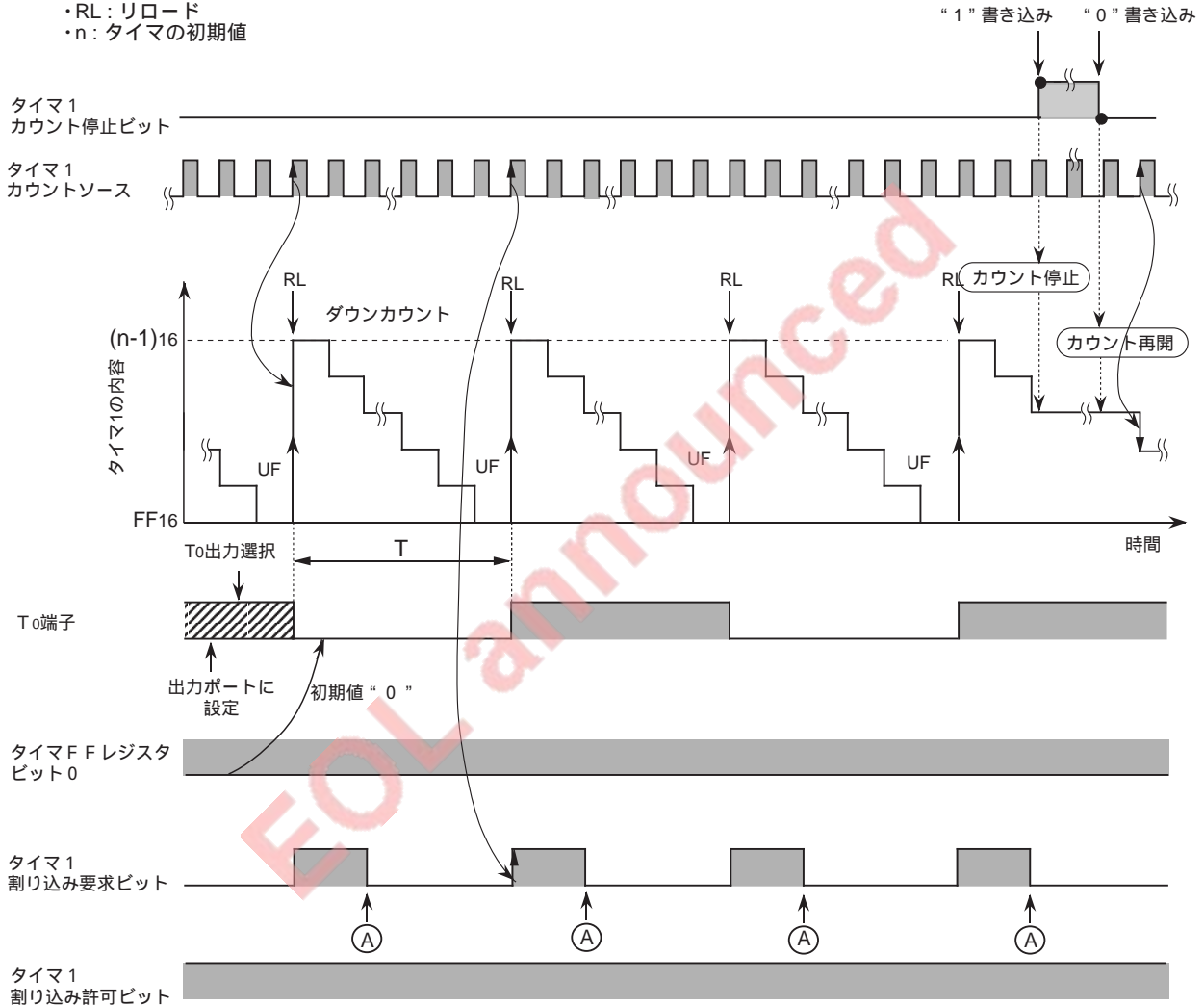
図1.12.14に矩形波出力モードの動作例を示します。

カウント周期

$$\text{カウント周期 } T(s) = 1 \div \text{カウントソース周波数} \times (\text{タイマの初期値} + 1)$$

矩形波出力モード動作例

- ・UF: アンダフロー
- ・RL: リロード
- ・n: タイマの初期値

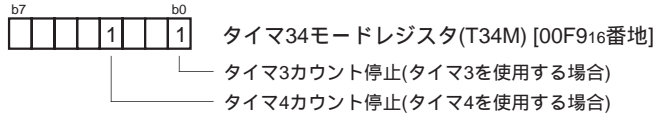
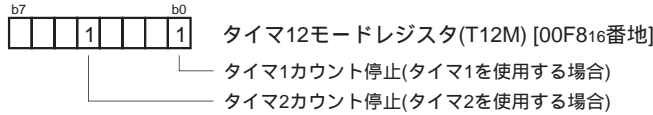


Ⓐ: タイマ1割り込み要求ビットへの“0”書き込みによるクリア、又はタイマ1割り込み許可ビットが“1”のときタイマ1割り込み要求の受付によるクリア。

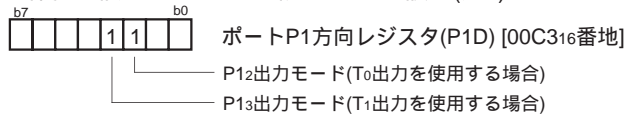
図1.12.14 矩形波出力モード動作例

(2) 矩形波出力モードの設定方法

手順1 タイマのカウンタ停止

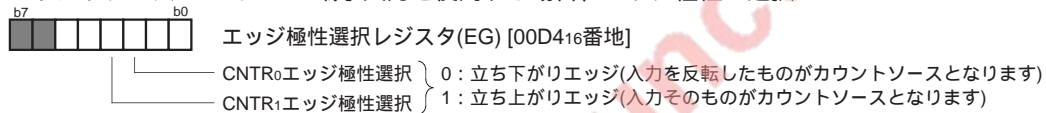


手順2 T端子と兼用のポートを出力モードに設定(注1)



注1. T端子の出力レベルに注意してください。

手順3 カウントソースとしてCNTR端子入力を使用する場合、エッジ極性の選択



手順4 矩形波出力モードの設定

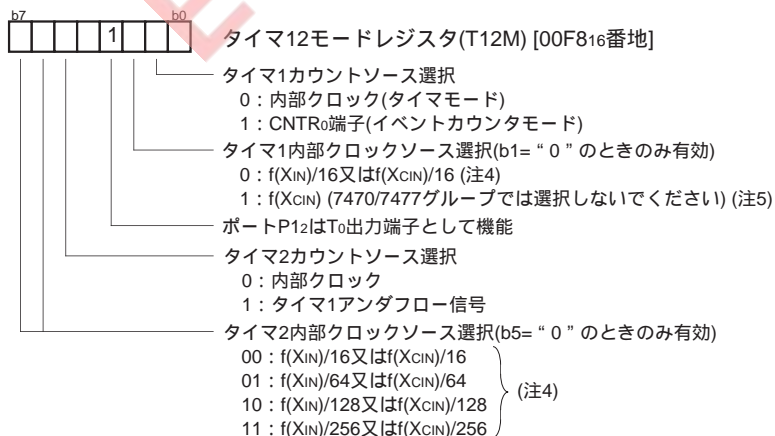
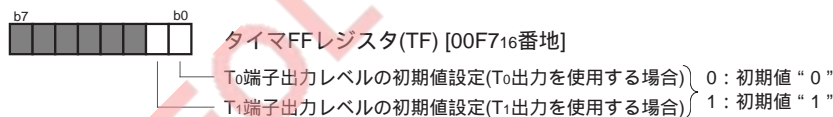
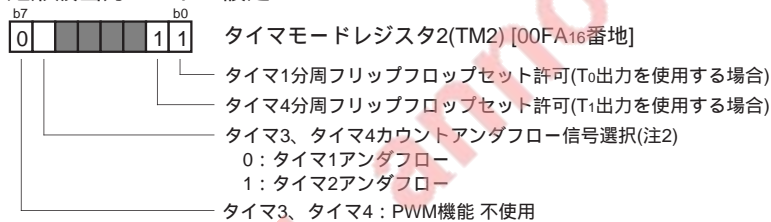
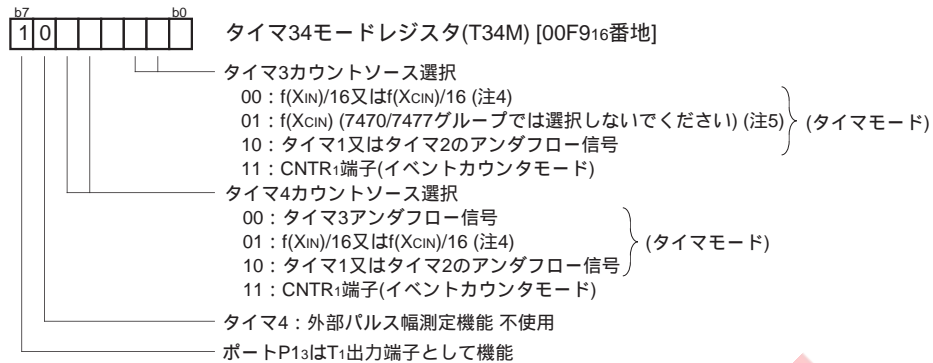


図1.12.15 矩形波出力モードの設定方法(1)



注2. タイマ34モードレジスタにおいて[b2, b1] = [1, 0]又は[b5, b4] = [1, 0]、かつタイマ2のカウントソースがタイマ1のアンダフロー信号の場合、タイマモードレジスタ2のb6の値に関わらず、タイマ3又はタイマ4のカウントソースはタイマ1のアンダフロー信号となります。

3. タイマFFレジスタの設定は、タイマレジスタ2を設定してから行ってください。

4. $f(X_{IN})$ 、 $f(X_{CIN})$ はシステムクロックによって決まります。

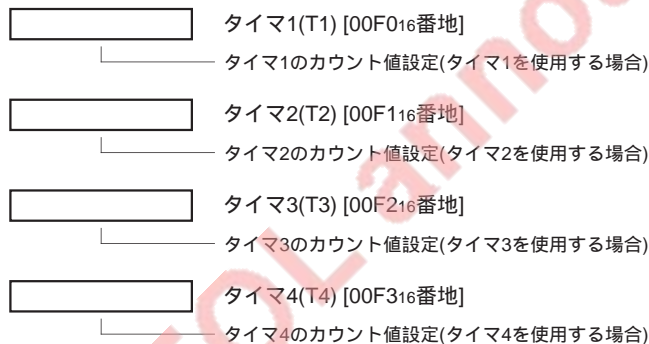
・システムクロックとして $f(X_{IN})$ を選択している場合、 $f(X_{IN})$ を分周したものがカウントソースとなります。

・システムクロックとして $f(X_{CIN})$ を選択している場合、 $f(X_{CIN})$ を分周したものがカウントソースとなります。

ただし、7470/7477グループには X_{CIN} 端子がないので、カウントソースとして $f(X_{CIN})$ を分周したものを使用できません。

5. 7471/7478グループにおいてカウントソースとして $f(X_{CIN})$ を選択する場合、システムクロックは $f(X_{IN})$ 、 $f(X_{CIN})$ のどちらでも使用できます。

手順5 カウント値の設定



手順6 カウント開始

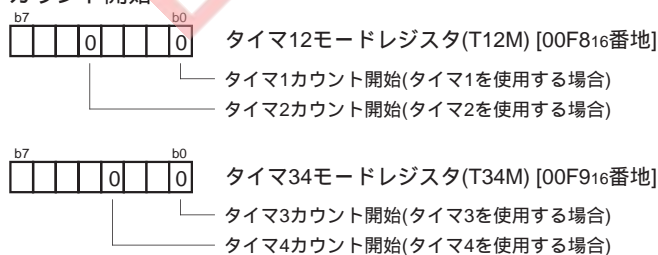


図1.12.16 矩形波出力モードの設定方法(2)

1.12.6 外部パルス幅測定モード

(1) 外部パルス幅測定モードの動作説明

外部パルス幅測定モードは、CNTR₀又はCNTR₁端子から入力されるパルス幅(“H”又は“L”レベル)を測定するモードです。

外部パルス幅測定モードの動作を以下に説明します。

カウント動作

カウント停止ビットを“0”にすることにより、カウント動作が開始され、タイマの内容は、カウントソースが入力されるごとに1減算されます。

注. リセット解除直後、カウント停止ビットは“0”の状態なのでカウント動作が行われますが、カウントソースはCNTR端子入力とはなっていません。また、このとき外部パルス幅測定モードにはなっていません。

リロード動作

タイマがアンダフローすると、タイマラッチの内容から1減算した値がタイマへ転送(リロード)されます。

外部パルス幅測定

エッジ極性選択レジスタによって、パルスを測定する期間として“H”又は“L”レベルを選択できます。

タイマの初期値と、カウント停止時のカウンタ値の差が、測定したパルス幅になります。

カウント値の読み出しによるリロード動作は自動的には行われませんので、測定を続けて行う場合は、ソフトウェアであらためて初期値を設定してください。

割り込み動作

タイマ割り込み

タイマがアンダフローすると割り込み要求が発生し、割り込み要求ビットが“1”になります。割り込みの受付は、割り込み許可ビットで制御されます。

CNTR割り込み

CNTR₀又はCNTR₁端子から入力されるパルスのエッジで、割り込み要求が発生し、割り込み要求ビットが“1”になります。割り込みの受付は、割り込み許可ビットで制御されます。

パルスの有効エッジ、及びCNTR₀/CNTR₁割り込みの選択はエッジ極性選択レジスタで行います。

カウント動作の終了

CNTR端子入力の立ち下がりエッジ(“H”レベルのパルス幅測定時)又は立ち上がりエッジ(“L”レベルのパルス幅測定時)により、カウント動作は終了します。また、ソフトウェアによるカウント停止ビットへの“1”の書き込みによっても終了します。

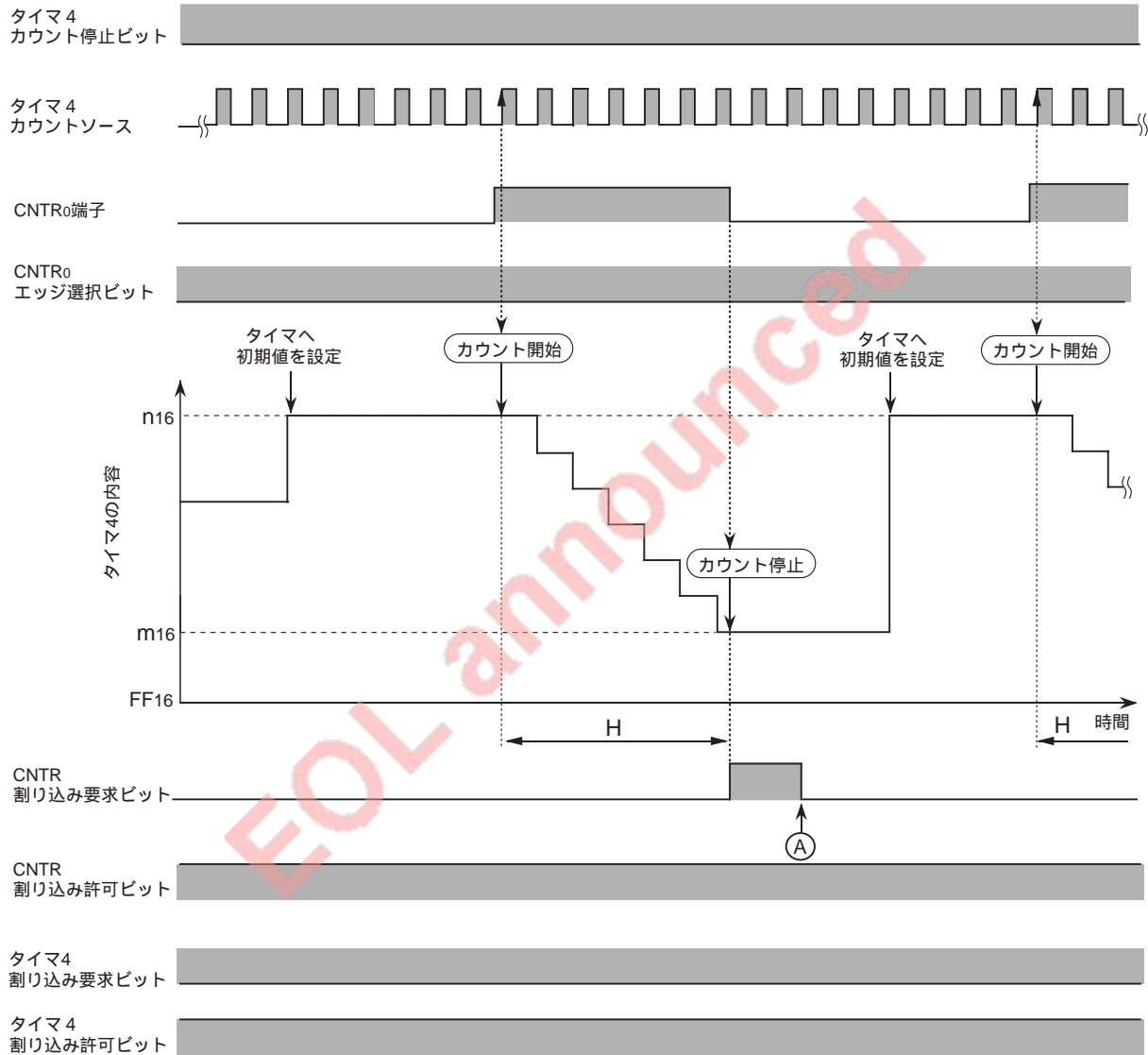
図1.12.17に外部パルス幅測定モードの動作例を示します。

パルス幅

パルス幅 $H(s) = 1 \div \text{カウントソース周波数} \times (\text{タイマの初期値} - \text{カウント停止時のカウント値})$

外部パルス幅測定モード動作例

- ・n: タイマの初期値
- ・m: カウント停止時のカウント値

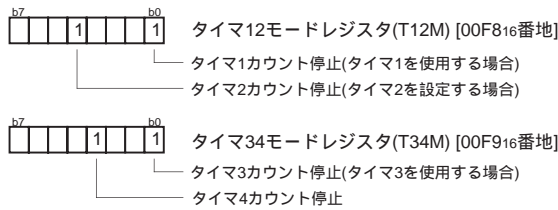


- Ⓐ: CNTR割り込み要求ビットへの“0”書き込みによるクリア、又はCNTR割り込み許可ビットが“1”のときCNTR割り込み要求の受付によるクリア。
 * CNTR0エッジ選択ビットが“0”の場合は、入力パルスの“H”レベル幅を測定します。

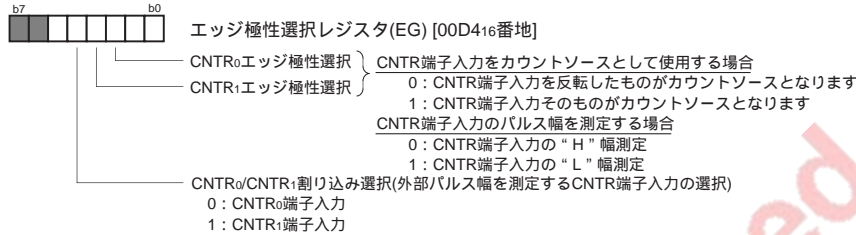
図1.12.17 外部パルス幅測定モード動作例

(2) 外部パルス幅測定モードの設定方法

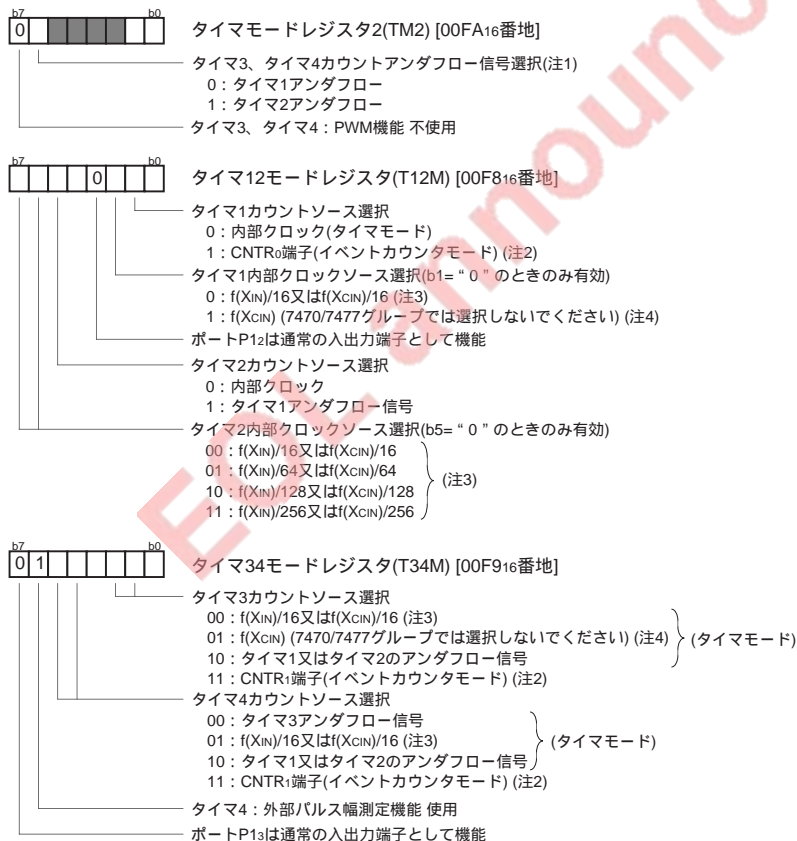
手順1 タイマのカウンタ停止



手順2 CNTR端子入力に関する設定



手順3 外部パルス幅測定モードの設定



注1. タイマ34モードレジスタにおいて[b2, b1] = [1, 0]又は[b5, b4] = [1, 0]、かつタイマ2のカウントソースがタイマ1のアンダフロー信号の場合、タイマモードレジスタ2のb6の値に関わらず、タイマ3又はタイマ4のカウントソースはタイマ1のアンダフロー信号となります。

2. パルス幅を測定するCNTR端子入力をカウントソースとして使用しないでください。

3. $f(X_{IN})$ 、 $f(X_{CIN})$ はシステムクロックによって決まります。

・システムクロックとして $f(X_{IN})$ を選択している場合、 $f(X_{IN})$ を分周したものがカウントソースとなります。

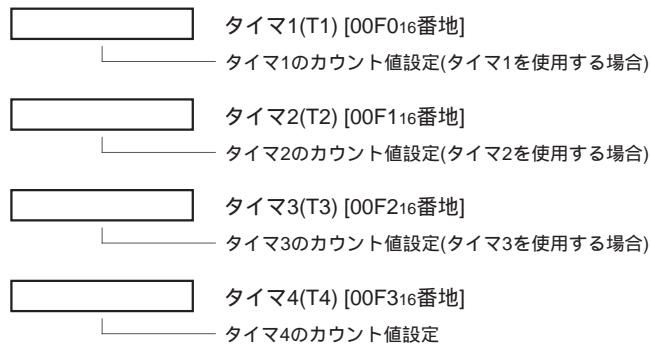
・システムクロックとして $f(X_{CIN})$ を選択している場合、 $f(X_{CIN})$ を分周したものがカウントソースとなります。

ただし、7470/7477グループには X_{CIN} 端子がないので、カウントソースとして $f(X_{CIN})$ を分周したものを使用できません。

4. 7471/7478グループにおいてカウントソースとして $f(X_{CIN})$ を選択する場合、システムクロックは $f(X_{IN})$ 、 $f(X_{CIN})$ のどちらでも使用できます。

図1.12.18 外部パルス幅測定モードの設定方法(1)

手順4 カウント値の設定



手順5 カウント開始

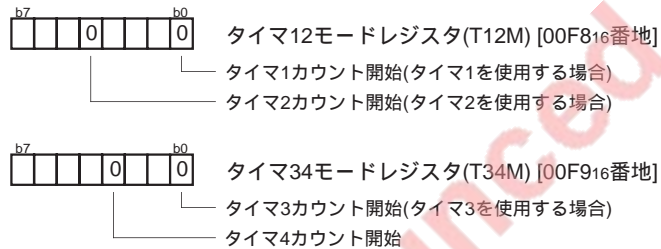


図1.12.19 外部パルス幅測定モードの設定方法(2)

1.12.7 PWMモード

(1) PWMモードの動作説明

PWMモードはタイマ3とタイマ4を使用し、T1端子からPWM波形を出力します。
PWMモードの動作を以下に説明します。

カウント動作の開始

カウント停止ビットを“0”にすることにより、カウント動作が開始され、タイマの内容は、カウントソースが入力されるごとに1減算されます。

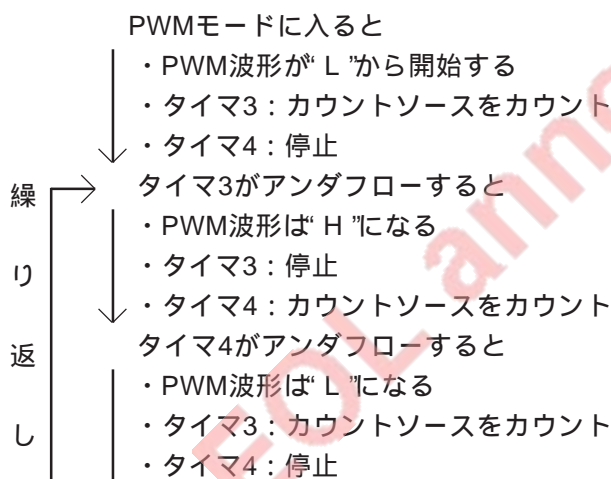
注．リセット解除直後、カウント停止ビットは“0”の状態なのでカウント動作は、リセット解除後から自動的に開始されますが、PWMモードになっていないのでPWM波形は出力されません。

リロード動作

タイマがアンダフローすると、タイマラッチの内容から1減算した値がタイマへ転送(リロード)されます。

PWM出力

PWMモードでは、以下のような動作をします。



PWM波形の“L”の幅はタイマ3で設定され、“H”の幅はタイマ4で設定されます。

割り込み動作

タイマ割り込み

タイマがアンダフローするとき割り込み要求が発生し、割り込み要求ビットが“1”になります。割り込みの受付は、割り込み許可ビットで制御されます。

カウント動作の停止

ソフトウェアによってカウント停止ビットに“1”を書き込むと、カウント動作が停止します(カウント停止ビットに“1”を書き込むまで、カウント動作は継続されます)。

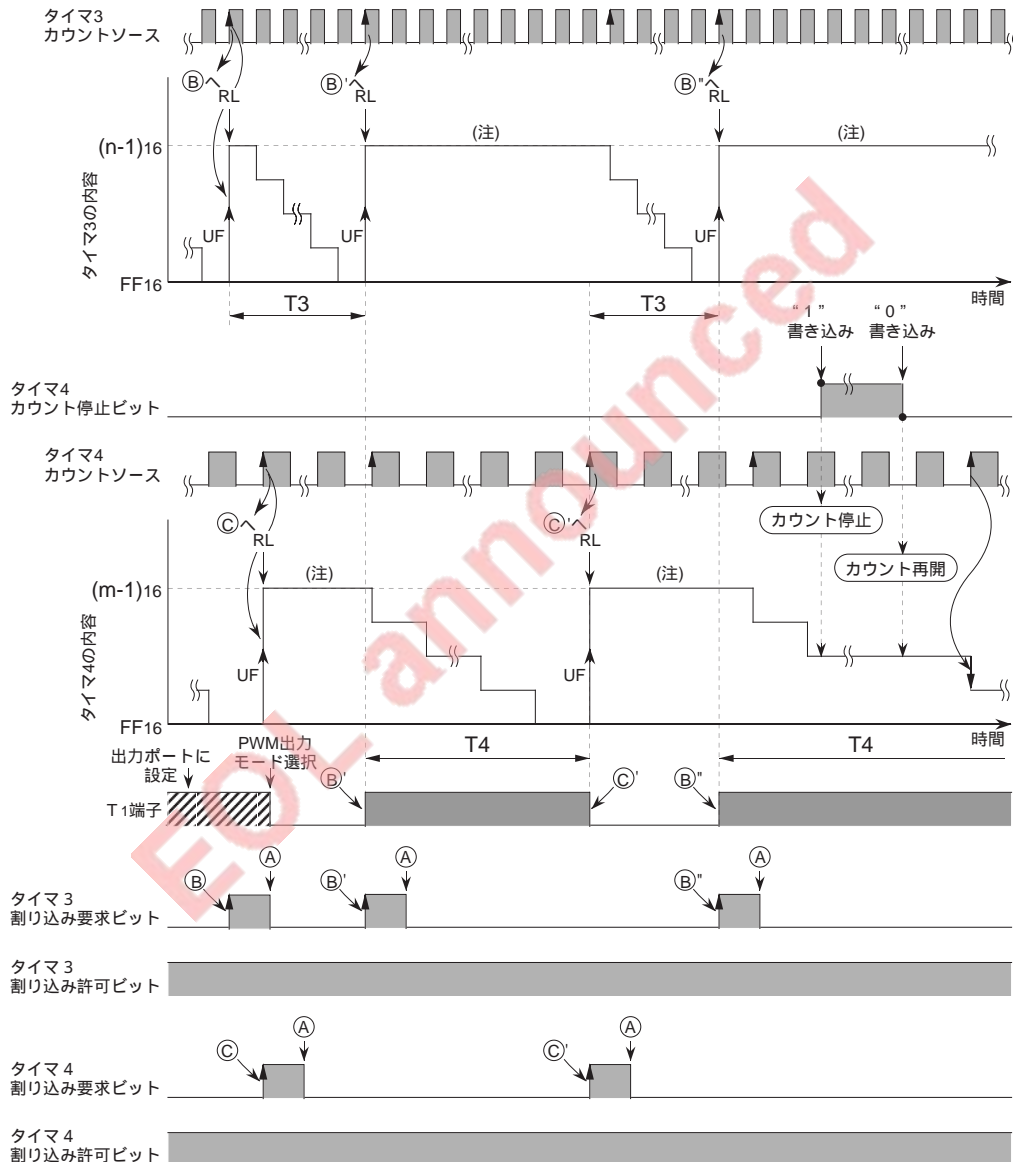
図1.12.20にPWM出力モードの動作例を示します。

カウント周期

タイマ3カウント周期 $T3(s) = 1 \div \text{タイマ3 カウントソース周波数} \times (\text{タイマ3の初期値} + 1)$
 タイマ4カウント周期 $T4(s) = 1 \div \text{タイマ4 カウントソース周波数} \times (\text{タイマ4の初期値} + 1)$

PWMモード動作例

- UF: アンダフロー
- RL: リロード
- n: タイマ3の初期値
- m: タイマ4の初期値



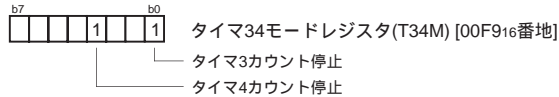
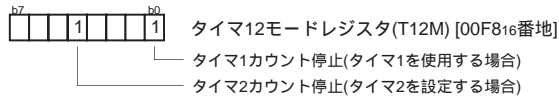
(A): タイマ3、タイマ4割り込み要求ビットへの“0”書き込みによるクリア、又はタイマ3、タイマ4割り込み許可ビットが“1”のとき割り込み要求の受付によるクリア。

注. タイマ3、タイマ4は、それぞれのアンダフローの時点から他方のアンダフローの時点までカウントソースを受け付けません。タイマの読み出し値はカウントソースの立ち下がりで変化するため、その期間の読み出し値は“FF16”のままです。

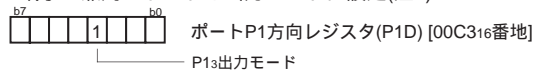
図1.12.20 PWM出力モード動作例

(2) PWMモードの設定方法

手順1 タイマのカウンタ停止

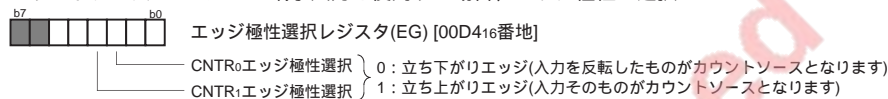


手順2 T端子と兼用のポートを出力モードに設定(注1)

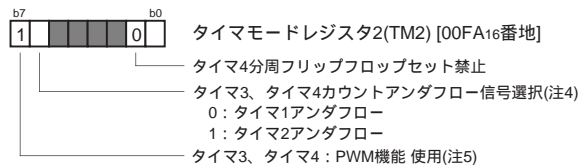
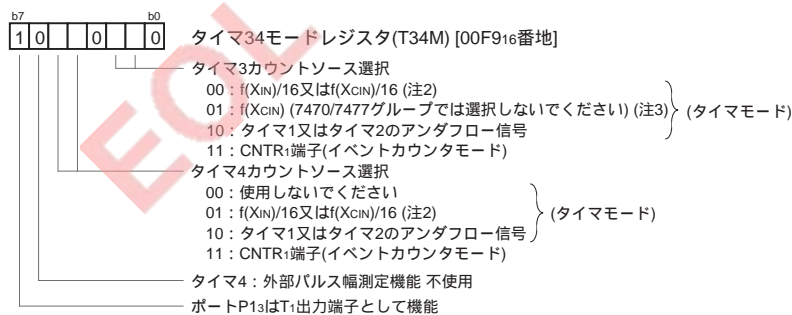
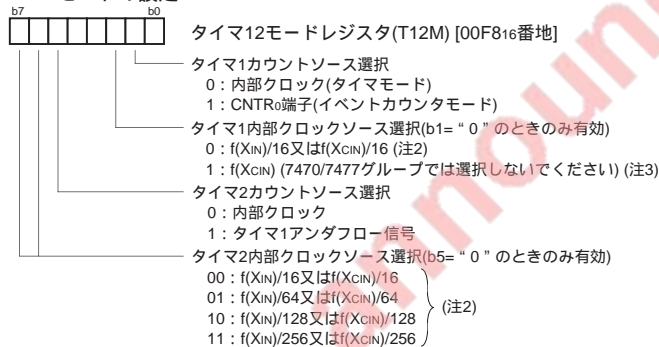


注1. CNTR端子の出力レベルに注意してください。

手順3 カウントソースとしてCNTR端子入力を使用する場合、エッジ極性の選択



手順4 PWMモードの設定



注2. $f(X_{IN})$ 、 $f(X_{CIN})$ はシステムクロックによって決まります。

- ・システムクロックとして $f(X_{IN})$ を選択している場合、 $f(X_{IN})$ を分周したものがカウントソースとなります。
- ・システムクロックとして $f(X_{CIN})$ を選択している場合、 $f(X_{CIN})$ を分周したものがカウントソースとなります。

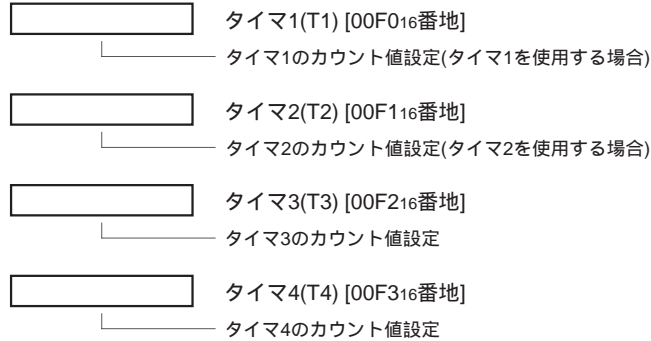
ただし、7470/7477グループには X_{CIN} 端子がないので、カウントソースとして $f(X_{CIN})$ を分周したものを使用できません。
 3. 7471/7478グループにおいてカウントソースとして $f(X_{CIN})$ を選択する場合、システムクロックは $f(X_{IN})$ 、 $f(X_{CIN})$ のどちらでも使用できます。

4. タイマ34モードレジスタにおいて[b2, b1] = [1, 0]又は[b5, b4] = [1, 0]、かつタイマ2のカウントソースがタイマ1のアンダフロー信号の場合、タイマモードレジスタ2のb6の値に関わらず、タイマ3又はタイマ4のカウントソースはタイマ1のアンダフロー信号となります。

5. PWMモード機能を選択すると、T₁端子出力レベルは“L”に初期化されます。

図1.12.21 PWMモードの設定方法(1)

手順5 カウント値の設定



手順6 カウント開始

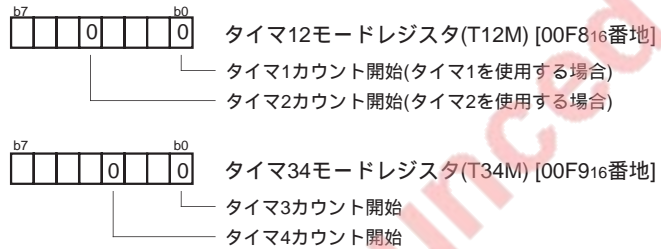


図1.12.22 PWMモードの設定方法(2)

1.12.8 入力ラッチ機能

タイマ4がアンダフローしたとき、INT₀、INT₁、CNTR₀、CNTR₁の各端子のレベルを入力ラッチレジスタにラッチする機能があります。この機能を使うことによりタイマ4がアンダフローした瞬間の各端子のレベルを正確に知ることができます。

各端子の極性をエッジ極性選択レジスタによって選択することにより、それぞれの端子のレベル又はレベルの反転したものが入力ラッチレジスタにラッチされます。

入力ラッチに関するエッジ極性選択レジスタの設定を表1.12.23に示します。

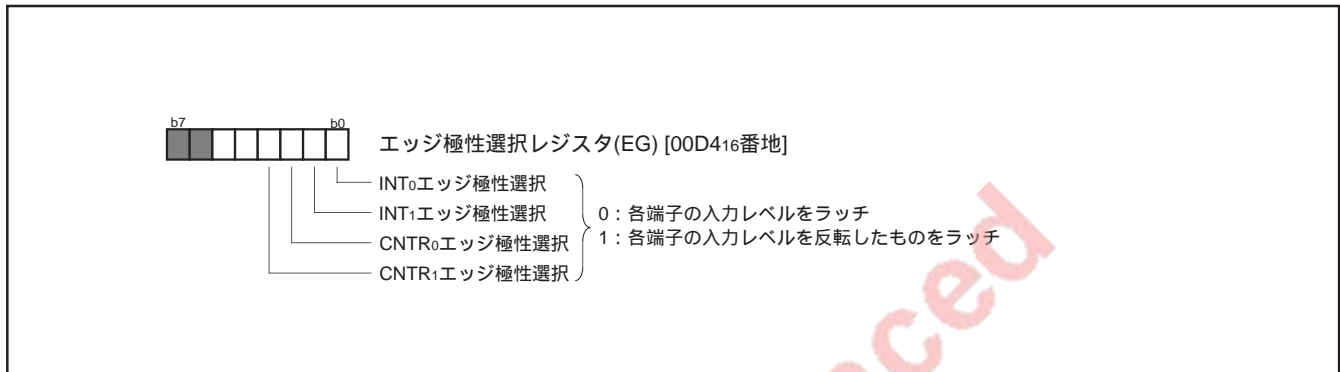


図1.12.23 入力ラッチ機能の設定方法

1.12.9 タイマ及びタイマラッチの内容更新

タイマに対してデータの書き込みを行うと、タイマ及びタイマラッチの内容が更新されます。

タイマ1、タイマ2

タイマに対してデータの書き込みを行うと、書き込むデータがタイマ及びタイマラッチへ設定されます。したがって、カウント中のタイマに対してデータの書き込みを行ったときのカウント周期は不定となります。

図1.12.24にタイマ1、タイマ2及びタイマラッチの更新例を示します。

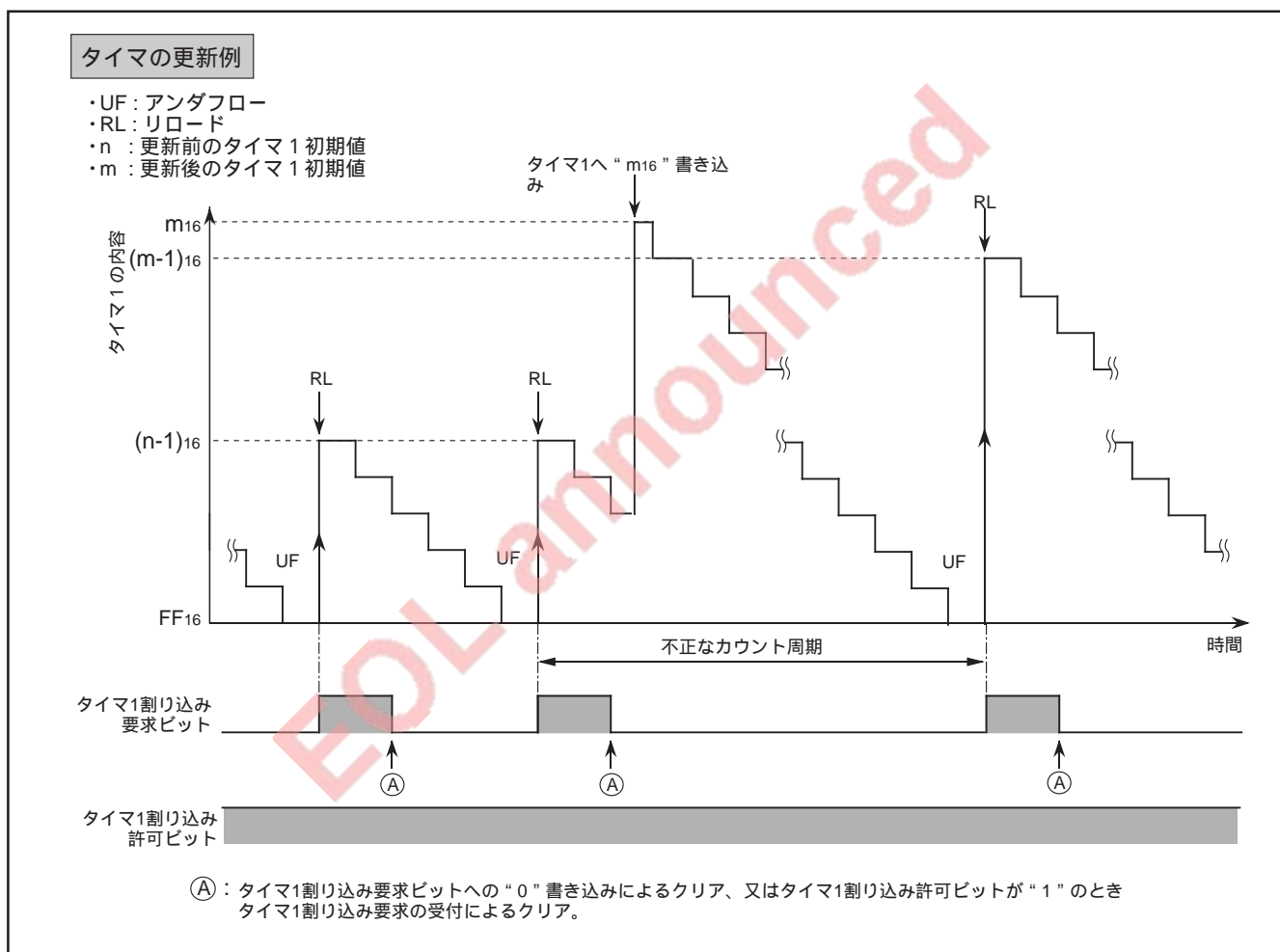


図1.12.24 タイマ1、タイマ2及びタイマラッチの更新例

タイマ3、タイマ4

PWMモード時

カウント動作中のタイマ(T1端子から“L”出力中はタイマ3、“H”出力中はタイマ4)に対してデータの書き込みを行うと、書き込むデータはタイマラッチにのみ設定され、タイマには設定されません(下図 参照)。その後、タイマがアンダフローするとタイマラッチの値から1減算した値がタイマに設定されます。カウント動作中のタイマをカウント停止ビットで停止させてからデータを書き込む場合も同様です(下図 参照)。

停止中のタイマ(T1端子から“L”出力中はタイマ4、“H”出力中はタイマ3)に対してデータの書き込みを行うと、書き込むデータはタイマとタイマラッチの両方に設定されます(下図 参照)。停止中のタイマのカウント停止ビットが“1”(カウント停止)の状態、他方のタイマがアンダフローしてから書き込む場合、T1端子の出力レベルは反転しますが、書き込むデータはタイマとタイマラッチの両方に設定されます(下図 参照)。

PWMモード時以外

前項目「タイマ1、タイマ2」と同じ動作をします。

図1.12.25にPWMモード時のタイマ3、タイマ4及びタイマラッチの更新例を示します。

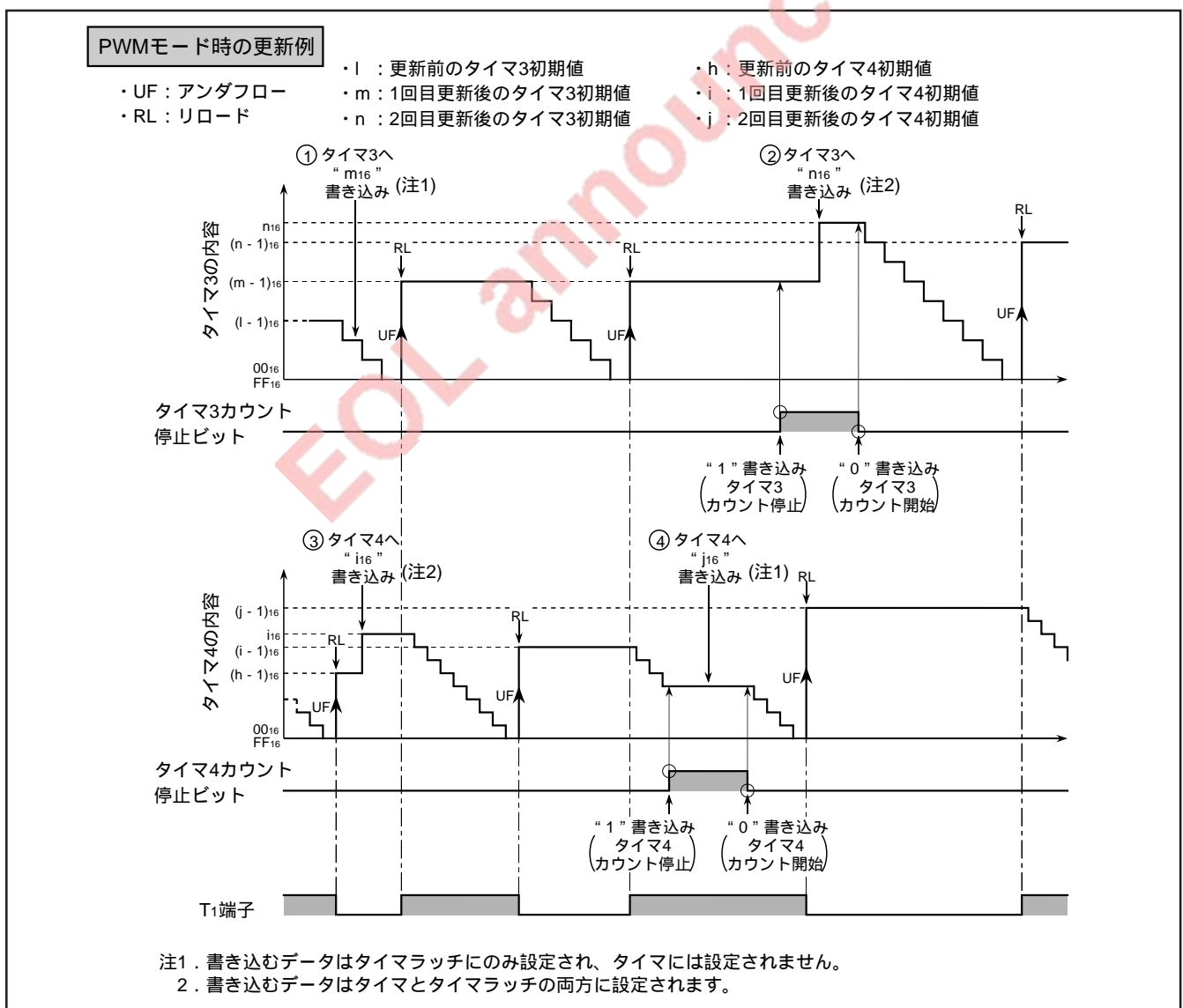


図1.12.25 PWMモード時のタイマ3、タイマ4及びタイマラッチの更新例

1.12.10 タイマに関する注意事項

- (1) リセット時には、タイマ1、タイマ2の内容は不定、タイマ3の内容は“ FF₁₆ ”、タイマ4の内容は“ 07₁₆ ”です。また、タイマ12モードレジスタ(T12M : 00F8₁₆番地)、タイマ34モードレジスタ(T34M : 00F9₁₆番地)の内容が“ 00₁₆ ”となり、各タイマはカウント動作を行いますので注意してください。
- (2) タイマの値と読み出し値の変化するタイミングは図1.12.26に示すような関係にあります。タイマの値はカウントソースの立ち上がりで変化しますが、読み出し値はカウントソースの立ち下がりで変化します。したがってタイマを読み出したとき、実際のタイマの値に対して + 1異なる場合があります。

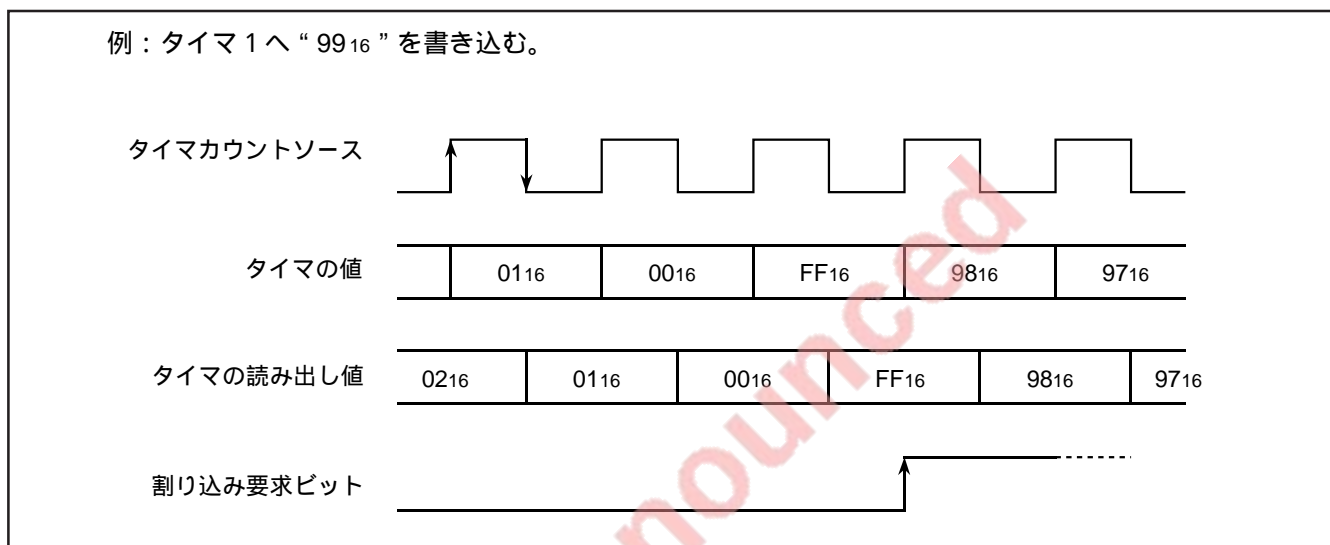


図1.12.26 タイマの値と読み出し値の変化するタイミング

- (3) タイマのカウントソースとしてCNTR端子入力を使用する場合、

$$\text{CNTR端子入力の周波数} \quad f(\text{XIN})/4$$

としてください。

(4)8ビットタイマ2本を直列に接続した場合のタイマの値と読み出し値の変化するタイミングを、タイマ1とタイマ2を接続した場合を例にして示すと図1.12.27の通りです(タイマ1と2を接続、タイマ1設定値=2、タイマ2設定値=1の場合)。

タイマ2のカウントソースはタイマ1のアンダフロー信号となります。この場合、タイマ2の読み出し値は、カウントソースの立ち下がりで変化します。

また、タイマ1とタイマ2を続けて読み、16ビットのカウンタとした場合、タイマ2のカウントソースはタイマ1のカウントソースの立ち下がりエッジで変化するため、A区間とB区間の区別がつかなくなります。同様にC区間とD区間の区別もつかなくなります。

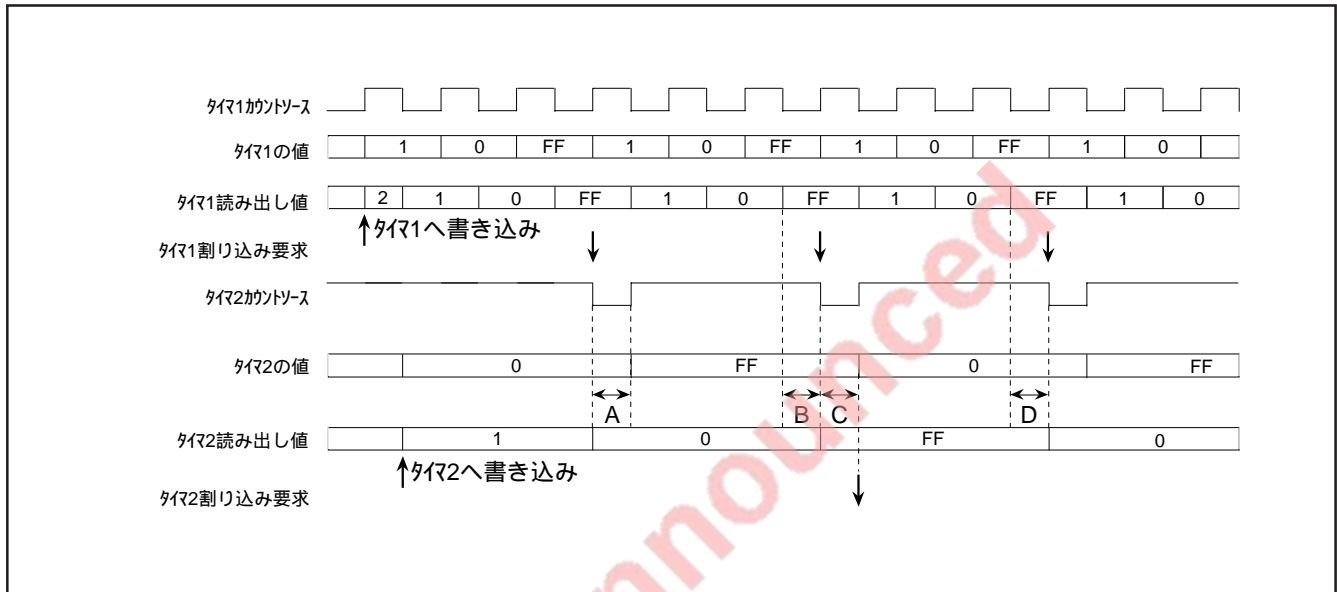


図1.12.27 タイマ2本を直列に接続した場合のタイマの値と読み出し値の変化するタイミング

1.13 シリアルI/O

シリアルI/Oは8ビットデータを直列に送信又は受信することができます。

7470/7471/7477/7478グループでは、

7470/7471グループはクロック同期形のみ

7477/7478グループはクロック同期形・非同期形(UART)の選択可能

となっており、それぞれ回路構成、使用レジスタ等が異なります。

この節では、「1.13A 7470/7471グループ編」、「1.13B 7477/7478グループ編」として各々を説明します。

シリアルI/O比較表を表1.13.1に示します。

表1.13.1 シリアルI/O比較表

| | | 7470/7471グループ | 7477/7478グループ |
|-------------|----------|---------------|---------------|
| シリアルI/O | クロック同期形 | | |
| 送受信方法 | クロック非同期形 | x | |
| SRDY信号出力*1 | | | |
| SARDY信号出力*1 | | | x |
| バイト指定モード*2 | | | x |

*1「SRDY信号・SARDY信号」：シリアルI/O転送準備ができたことを示す信号

*2「バイト指定モード」：送受信される複数バイトのデータのうち特定サイクルの1バイトデータを送受信するモード

1.13A シリアルI/O (7470/7471グループ)

シリアルI/Oはクロック同期形を使用できます。

クロック制御回路によって得られる8個のシフトクロックを、送受信するための同期クロックに使用します。このシフトクロックに同期して、送信側の送信動作と受信側の受信動作が同時に実行されます。

送信側では、シフトクロックの立ち下がりに同期して、P15/SOUT端子から1ビットずつデータが送信されます。

受信側では、シフトクロックの立ち上がりに同期して、P14/SIN端子から1ビットずつデータが受信されます。

通信方式

通信方式は半二重データ通信、又は全二重データ通信が可能です。

同期クロック

シリアルI/Oモードレジスタ(SM:00DC16番地)のビット2により、同期クロックとして内部クロック又は外部クロックを選択できます。

内部クロックを選択した場合の同期クロックを以下に示します。

| | | |
|--|--|------------------------|
| <ul style="list-style-type: none"> • $f(XIN)/8$ • $f(XIN)/16$ • $f(XIN)/32$ • $f(XIN)/512$ | $\left. \vphantom{\begin{array}{l} \cdot f(XIN)/8 \\ \cdot f(XIN)/16 \\ \cdot f(XIN)/32 \\ \cdot f(XIN)/512 \end{array}} \right\}$ | システムクロックが $f(XIN)$ の場合 |
|--|--|------------------------|

| | | |
|--|--|-------------------------|
| <ul style="list-style-type: none"> • $f(XCIN)/8$ • $f(XCIN)/16$ • $f(XCIN)/32$ • $f(XCIN)/512$ | $\left. \vphantom{\begin{array}{l} \cdot f(XCIN)/8 \\ \cdot f(XCIN)/16 \\ \cdot f(XCIN)/32 \\ \cdot f(XCIN)/512 \end{array}} \right\}$ | システムクロックが $f(XCIN)$ の場合 |
|--|--|-------------------------|

注1. 7470グループでは $f(XCIN)$ は使用できません。

2. XCINの分周を選択する場合には、CPUモードレジスタのビット7でシステムクロックを低速モードにします。

外部クロックを選択した場合の同期クロックは、P16/CLK端子からの外部クロック入力となります。

外部クロック選択時の注意

シリアルI/Oレジスタにデータを書き込む場合は、同期クロックが“H”の状態で行ってください。シリアルI/Oのシフト動作は、同期クロックがシリアルI/Oの回路に入力されている間続けられます。外部クロックを選択した場合には、同期クロックを8回で停止してください(内部クロックを選択している場合は、自動的に停止します)。

外部クロック源として使用するパルス“H”及び“L”の幅(TWH, TWL)をTWH, TWL[s] 2(システムクロックの周波数[Hz])としてください。

例えばシステムクロックが8MHzの場合、2MHz以下のクロック(デューティ比50%)を使用してください。

シフトクロック

通常、2つのマイクロコンピュータ間でクロック同期転送を行う場合、一方のマイクロコンピュータでは内部クロックを選択し、シリアルI/Oレジスタへの書き込みによって発生した8個のシフトクロックパルスを出し、他方のマイクロコンピュータでは外部クロックを選択し、CLK端子から入力したクロックを同期クロックとします。

SRDY信号、SARDY信号

シリアルI/Oでは、SRDY信号、SARDY信号を出力することによりシリアルI/O転送準備ができたことを外部に知らせることができます。

1.13A.1 シリアルI/Oのブロック図 (7470/7471グループ)

シリアルI/O ブロック図を図1.13A.1に示します。

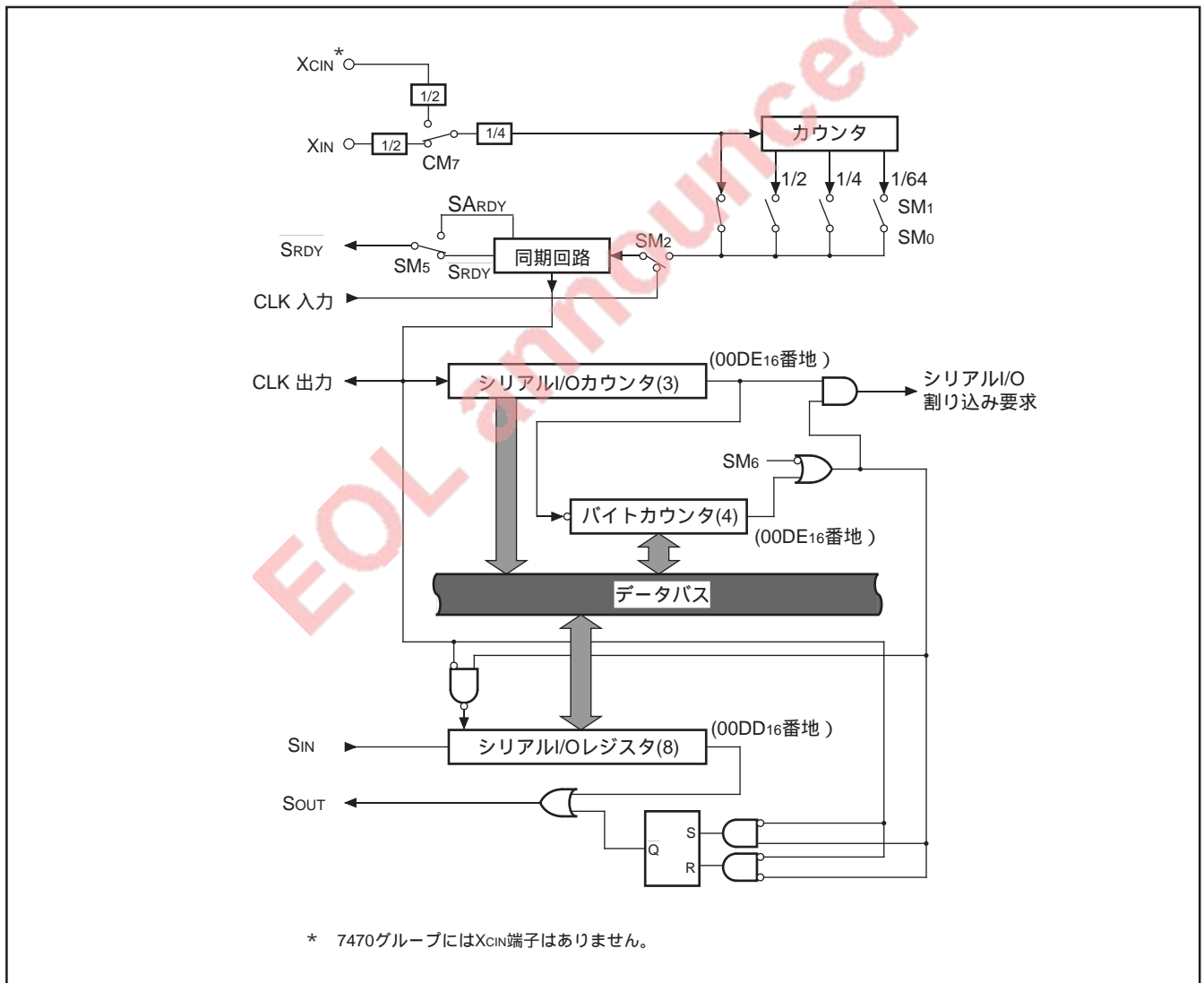


図1.13A.1 シリアル I/O ブロック図

1.13A.2 シリアルI/Oの関連レジスタ (7470/7471グループ)

図1.13A.2に7470/7471グループのシリアルI/O関連レジスタのメモリ配置を示します。



図1.13A.2 シリアルI/O関連レジスタのメモリ配置(7470/7471グループ)

(1) シリアルI/Oレジスタ(SIO : 00DD₁₆番地)

シリアルI/Oレジスタは、シリアルI/O送信データを書き込む、又は受信データを読み出すレジスタです。

データを送信する場合は、送信データをこのレジスタに書き込みます。
受信したデータは、このレジスタを読み出すことによって得られます。

シリアルI/Oレジスタの構成を図1.13A.3に示します。

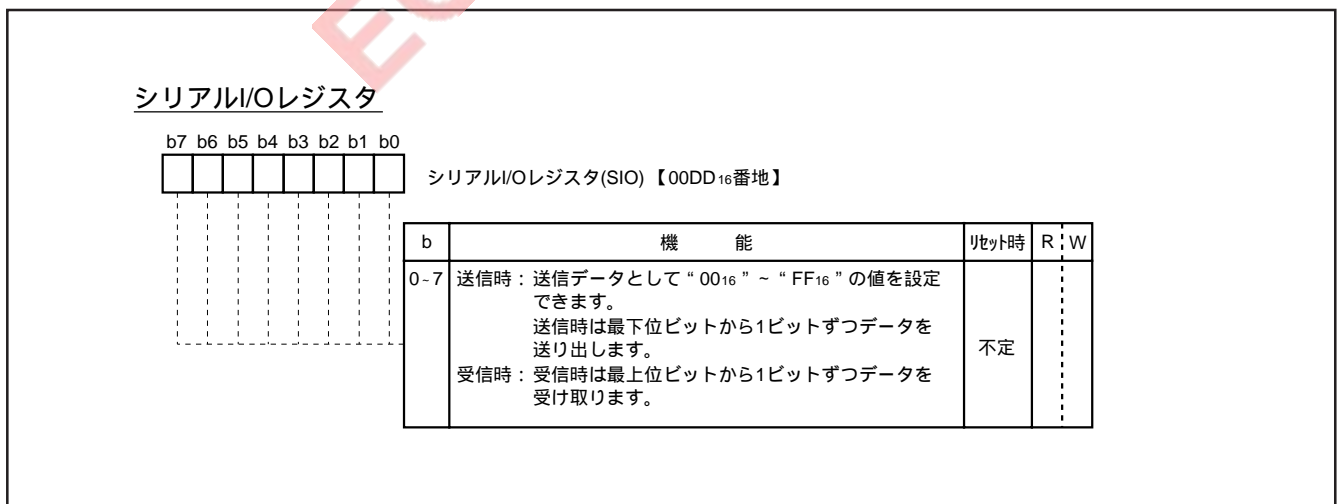


図1.13A.3 シリアルI/Oレジスタの構成

(2) シリアルI/Oカウンタ、バイトカウンタ(00DE16番地)

シリアルI/Oカウンタとバイトカウンタは同じアドレスに配置されています。

シリアルI/Oカウンタ(ビット4～ビット6)

シリアルI/Oカウンタは、シリアルI/Oレジスタへの書き込みによって“7”に設定され、シリアルI/Oの同期クロックを8回カウントします。シリアルI/Oカウンタは読み出し専用となっており、バイトカウンタへ書き込みを行っても影響を受けません。

バイトカウンタ(ビット0～ビット3)

シリアルI/Oのバイト指定モード時、バイトカウンタに書き込まれた値は同期クロックの8サイクルごとにカウントダウンし、“0”になると次の8サイクルの同期クロックでシリアルI/O送受信が行われます。リロード機能はありませんので、バイト指定モードにおいて続けてデータを送受信するときは、値を再設定してください。

シリアルI/Oカウンタ、バイトカウンタの構成を図1.13A.4に示します。

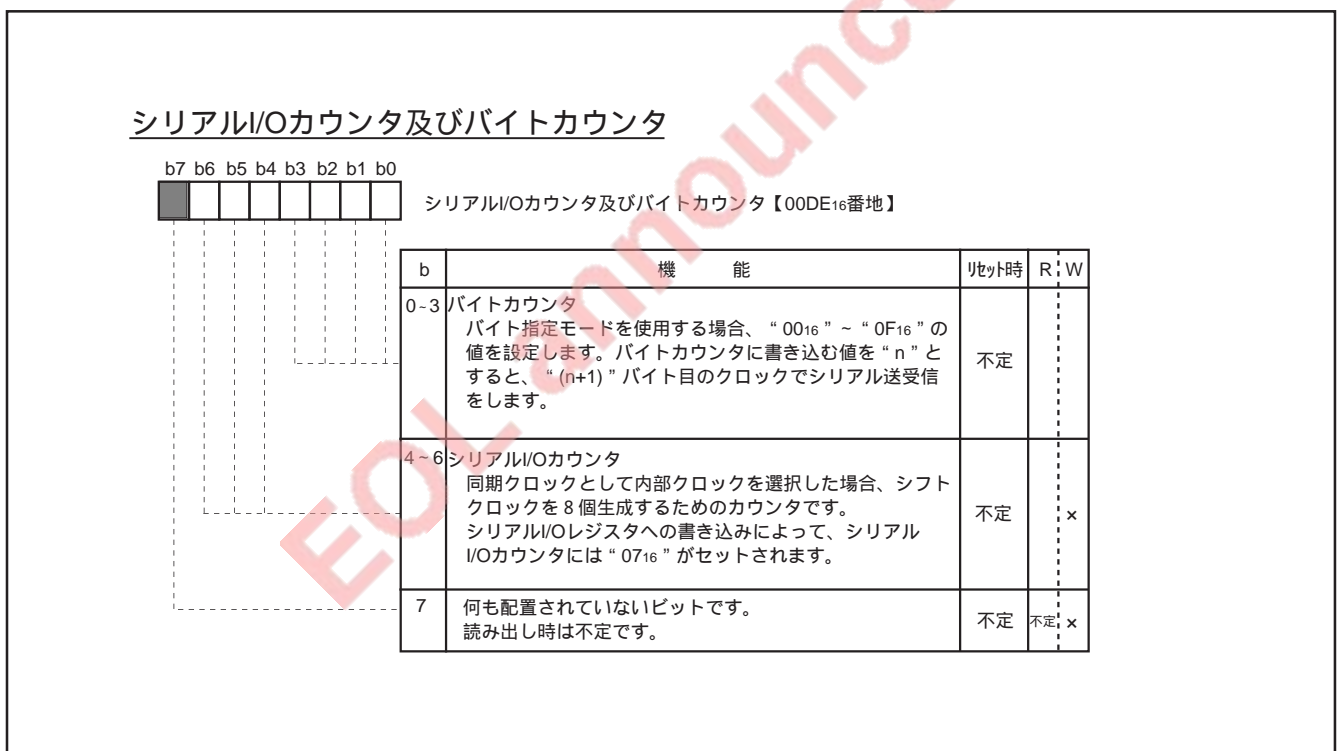


図1.13A.4 シリアルI/Oカウンタ、バイトカウンタの構成

(3) シリアル I/O モードレジスタ (SM : 00DC16番地)

シリアル I/O モードレジスタは、送受信に使用するクロックやポートの状態を選択するレジスタです。

シリアル I/O モードレジスタの構成を図1.13A.5に示します。

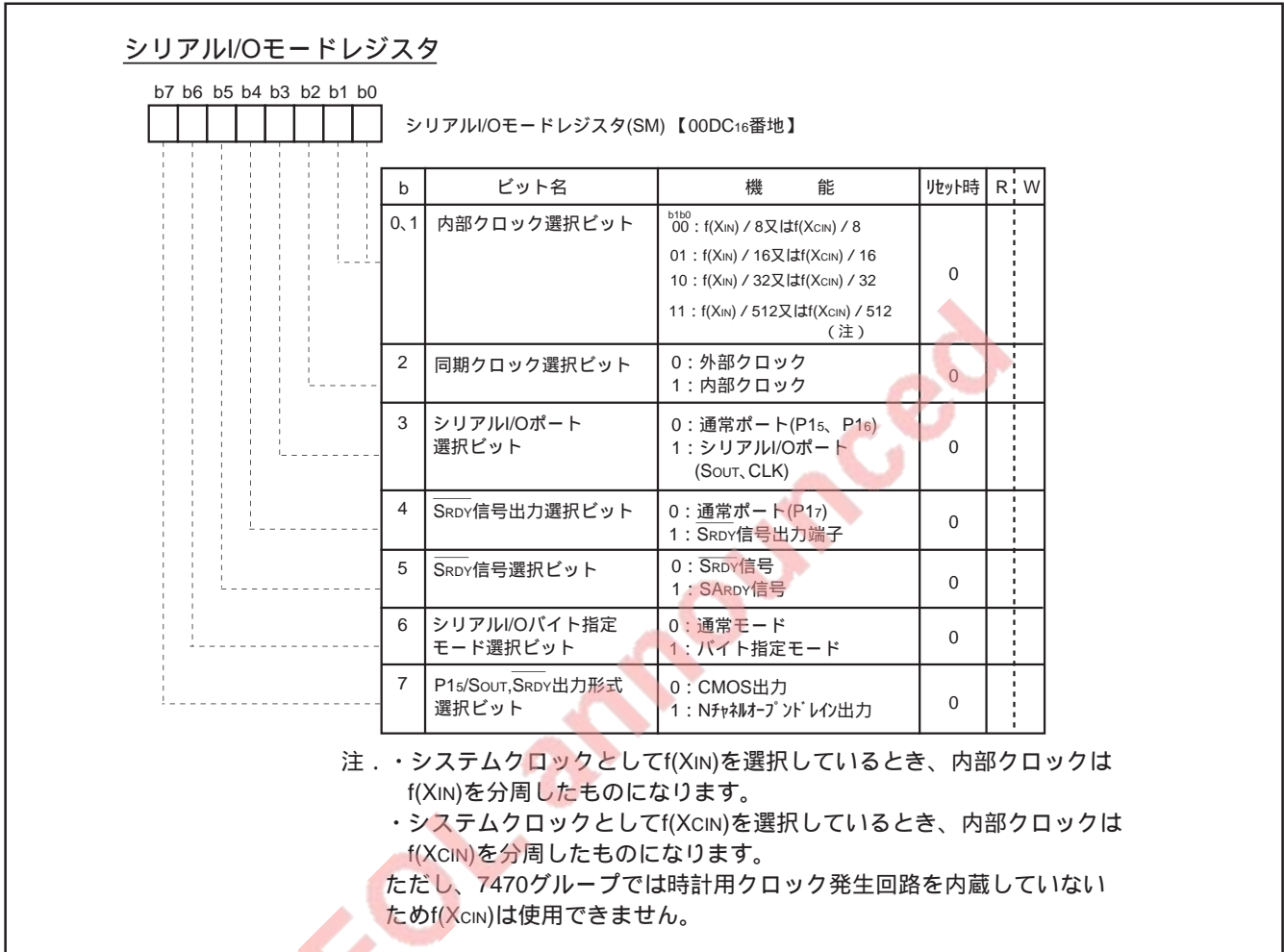


図1.13A.5 シリアル I/O モードレジスタの構成

1.13A.3 シリアルI/Oの動作説明(7470/7471グループ)

(1) シリアルI/Oの送信動作

シリアルI/Oの送信動作を以下に説明します。

送信動作の開始

送信可能状態^{*1}で、シリアルI/Oレジスタに送信データを書き込む^{*2}ことによって送信が開始されます。この書き込みを行った時点で、シリアルI/Oカウンタ(00DE16番地、ビット4~ビット6)に“7”が設定され、同期クロックは強制的に“H”になります。

*1: 送信動作のためのレジスタ等の初期化が完了した状態。後述の「1.13A.4 シリアルI/Oの設定方法(7470/7471グループ)」を参照してください。

*2: 外部クロック選択時、同期クロックが“H”の状態で行ってください。

送信動作

同期クロックの立ち下がりに同期して、シリアルI/Oレジスタに書き込まれた送信データがP15/SOUT端子から出力されます。また、このときシリアルI/Oカウンタが1減算されます。

送信データは、シリアルI/Oレジスタの最下位ビットから出力され、1ビット出力されるたびにシリアルI/Oレジスタの内容は最下位方向へ1ビットシフトされます。

送信シフト動作が終了すると、同期クロックの最終サイクルの立ち上がりで割り込み要求が発生し、シリアルI/O割り込み要求ビットが“1”になります^{*3}。

*3: 同期クロックとして内部クロックを使用している場合、8ビットの送信が終了(シリアルI/Oカウンタがアンダフロー)するとシリアルI/Oレジスタへのシフトクロック供給は自動的に停止します。外部クロックを選択している場合は、同期クロックが入力されている間はシリアルI/Oレジスタの内容がシフトされ続けますので、外部で同期クロックを停止させる必要があります。

SRDY出力を使用した場合

シリアルI/Oレジスタへ送信データを書き込みを行った時点でSRDY信号のレベルが“H”から“L”に、SARDY信号のレベルが“L”から“H”に変化し、送信可能状態になったことを外部に知らせることができます。また、SRDY信号は同期クロックの最初の立ち下がりで“H”に、SARDY信号は同期クロックの最終サイクルの立ち上がりで“L”になります。

送信動作を図1.13A.6に、送信タイミングを図1.13A.7に示します。

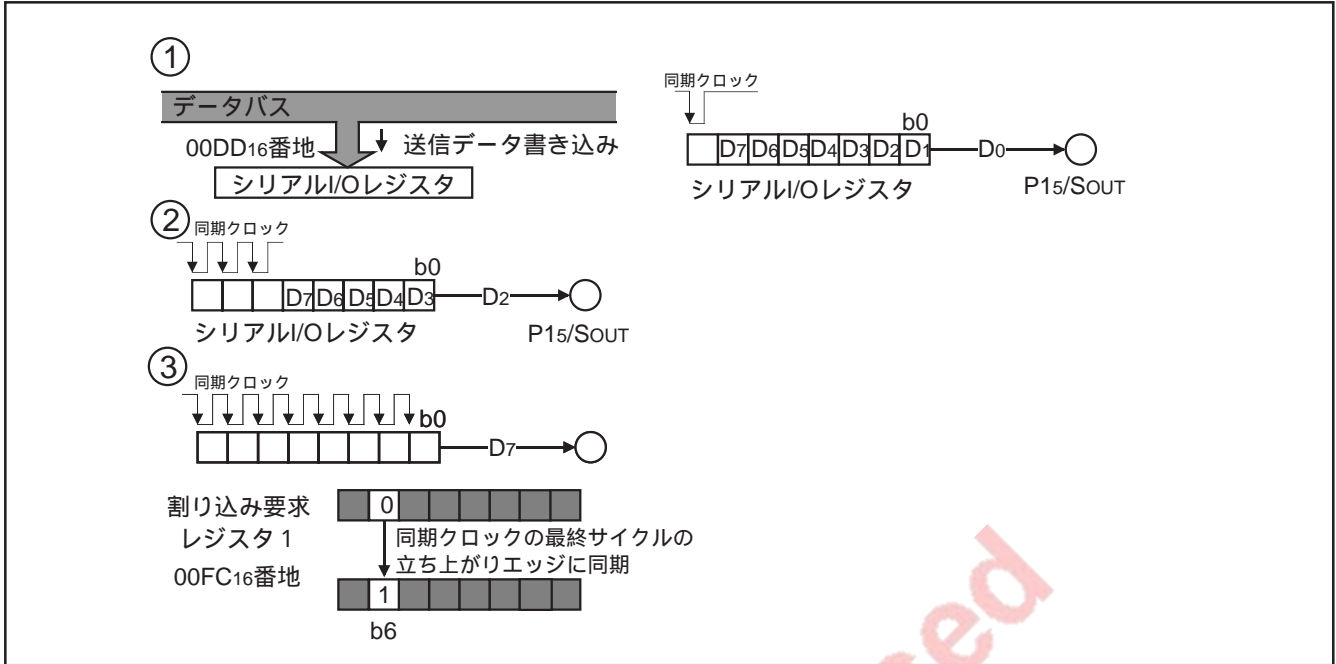


図1.13A.6 送信動作

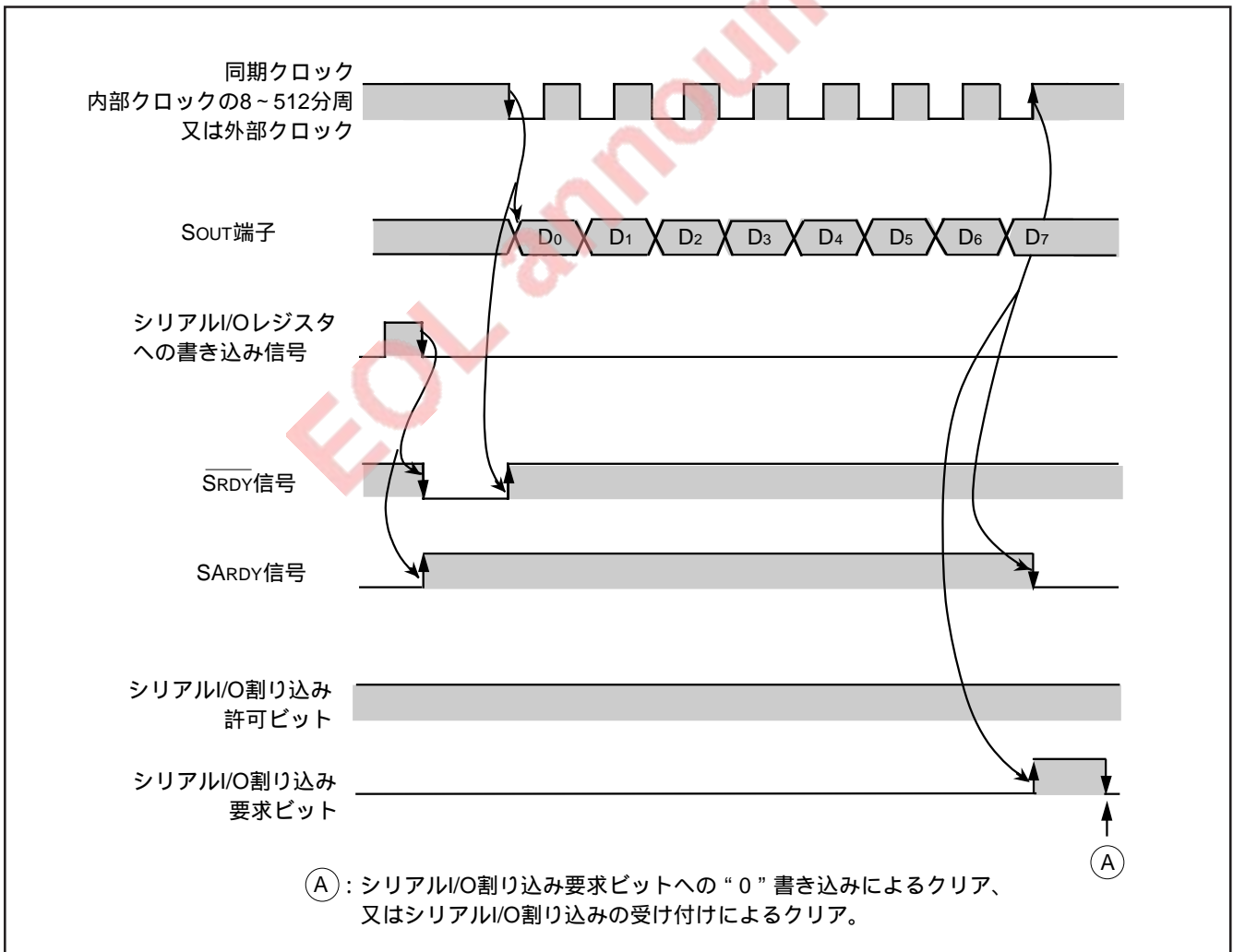


図1.13A.7 送信タイミング

(2) シリアルI/Oの受信動作

シリアルI/Oの受信動作を以下に説明します。

受信動作の開始

受信可能状態^{*1}で、シリアルI/Oレジスタ(SIO: 00DD₁₆番地)に以下のデータを書き込む^{*2}ことによって受信が開始されます。

- ・全二重データ通信形式の場合は、送信データ
- ・半二重データ通信形式の場合は、任意のダミーデータ

この書き込みを行った時点で、シリアルI/Oカウンタ(00DE₁₆番地、ビット4～ビット6)に“7”が設定され、同期クロックは強制的に“H”になります。

- *1: 受信動作のためのレジスタ等の初期化が完了した状態。後述の「1.13A.4 シリアルI/Oの設定方法(7470/7471グループ)」を参照してください。
- *2: 外部クロック選択時、同期クロックが“H”の状態で行ってください。

受信動作

同期クロックの立ち上がりに同期して、受信データがP14/SIN端子からシリアルI/Oレジスタに入力されます。また、このときシリアルI/Oカウンタが1減算されます。

受信データはシリアルI/Oレジスタの最上位ビットから入力され、1ビット入力されるたびにシリアルI/Oレジスタの内容は最下位方向へ1ビットシフトされます。

受信シフト動作が終了すると、同期クロックの最終サイクルの立ち上がりで割り込み要求が発生し、シリアルI/O割り込み要求ビットが“1”になります^{*3}。

- *3: 同期クロックとして内部クロックを使用している場合、8ビットの受信が終了(シリアルI/Oカウンタがアンダフロー)するとシリアルI/Oレジスタへのシフトクロック供給は自動的に停止します。外部クロックを選択している場合は、同期クロックが入力されている間はシリアルI/Oレジスタの内容がシフトされ続けますので、外部で同期クロックを停止させる必要があります。

SRDY出力の使用

シリアルI/Oレジスタへデータ書き込みを行った時点で $\overline{\text{SRDY}}$ 信号のレベルが“H”から“L”に、SARDY信号のレベルが“L”から“H”に変化し、受信可能状態になったことを外部に知らせることができます。また、 $\overline{\text{SRDY}}$ 信号は同期クロックの最初の立ち上がりで“H”に、SARDY信号は同期クロックの最終サイクルの立ち上がりで“L”になります。

受信動作を図1.13A.8に、受信タイミングを図1.13A.9に示します。

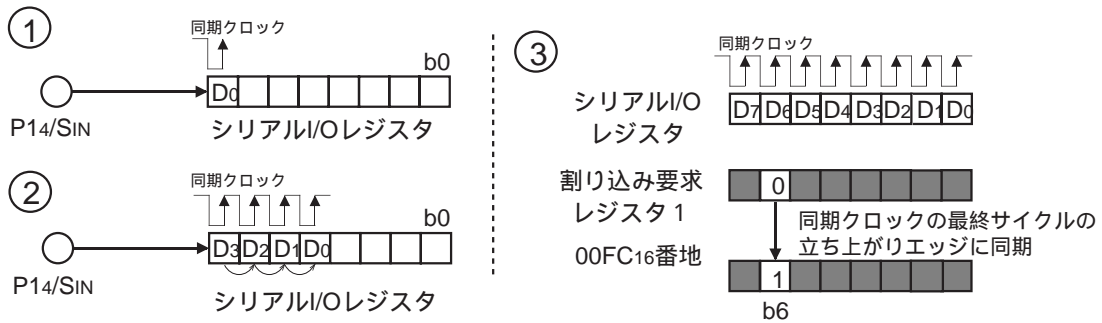
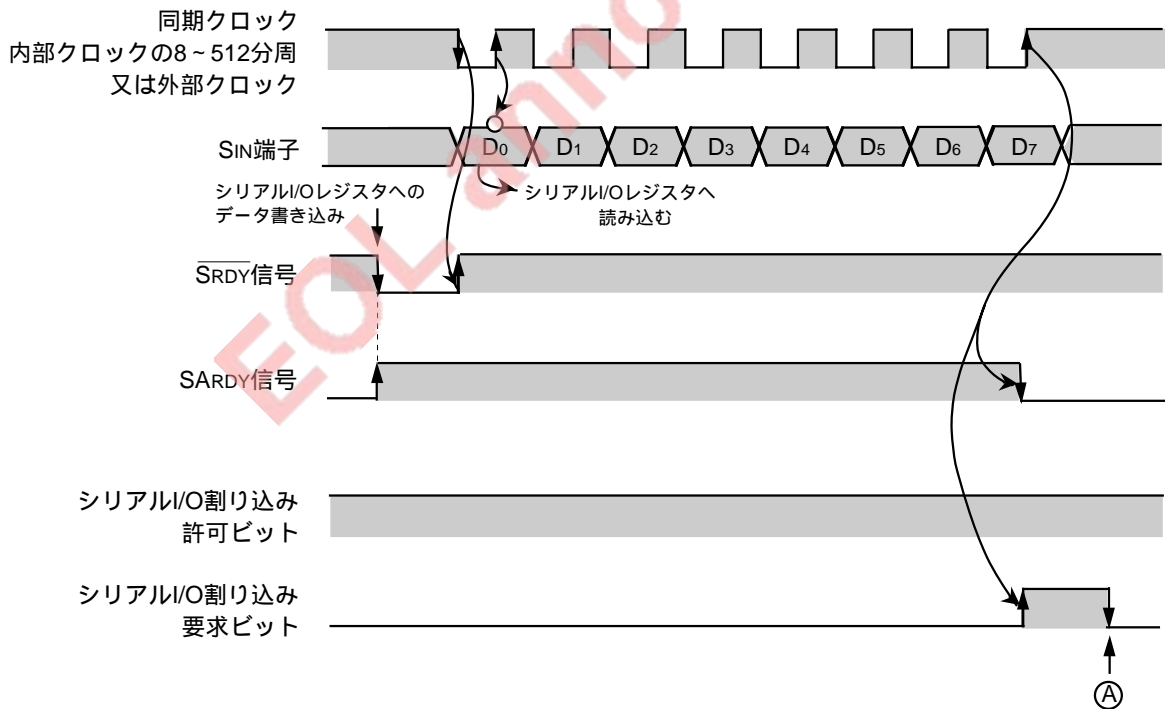


図1.13A.8 受信動作



① : シリアル I/O 割り込み要求ビットへの "0" 書き込みによるクリア、又はシリアル I/O 割り込みの受け付けによるクリア。

図1.13A.9 受信タイミング

(3) バイト指定モード

7470/7471グループのシリアルI/Oはバイト指定モードを持ちます。このモードでは、シリアルI/Oバスを通して送受信される複数バイトのデータのうち特定の1バイトデータのみを送受信できます。バイト指定モードでは、同期クロックとして使用できるのは外部クロックのみです。

バイトカウンタ(00DE₁₆番地)

バイトカウンタはシリアルI/Oカウンタと同じ番地に配置されていますが、シリアルI/Oカウンタは読み出し専用ですのでバイトカウンタへ書き込みを行っても影響を受けません。またバイトカウンタにはリロード機能はありませんので、続けてデータを送受信するときは値を再設定してください。

SARDY

バイト指定モードにおいてSARDY信号を選択し、その出力形式をNチャンネルオープンドレインとして複数のマイコンのSRDY端子を接続すると、すべてのマイコンの転送準備ができたときのみSARDY信号は“H”になります。

バイト指定モード時の動作

シリアルI/Oモードレジスタ設定後、何バイト目のクロックでシリアルI/O送受信を行うかをバイトカウンタに書き込みます。バイトカウンタに書き込む値をnとすると、(n+1)バイト目のクロックでシリアルI/O送受信を行います。

送受信動作の開始

シリアルI/Oレジスタに送信したいデータ(半二重データ通信形式の場合は任意のダミーデータ)を書き込む*1ことによって転送動作が開始されます。

*1: 外部クロック選択時、同期クロックが“H”の状態で行ってください。ただし、バイトカウンタの値が“0”以外であれば、同期クロックが“L”の状態でも書き込み可能です。

送受信動作

同期クロックが8サイクル入力されるごとにバイトカウンタの値は1減算されます。

バイトカウンタの値が“0”になった次の8サイクルの同期クロックで、通常モードの時と同様にシリアルI/O送受信が行われます*2。8ビットのデータ出力が終了すると、同期クロックの最終サイクルの立ち上がりで割り込みが発生し、割り込み要求レジスタ(00FC₁₆番地)のビット6が“1”になります。

バイトカウンタがアンダフローすると、シリアルI/O送受信は停止します。

*2: バイトカウンタの値が“0”以外のときは、SOUT端子の出力は最初の同期クロックの立ち下がりで“H”になります。したがってSOUT端子の出力形式をNチャンネルオープンドレインにしておくとハイインピーダンス状態となりますので、SOUT端子と他のマイコンのSOUT端子とを接続しておくことができます。

バイト指定モード時の送受信動作を図1.13A.10に示します。

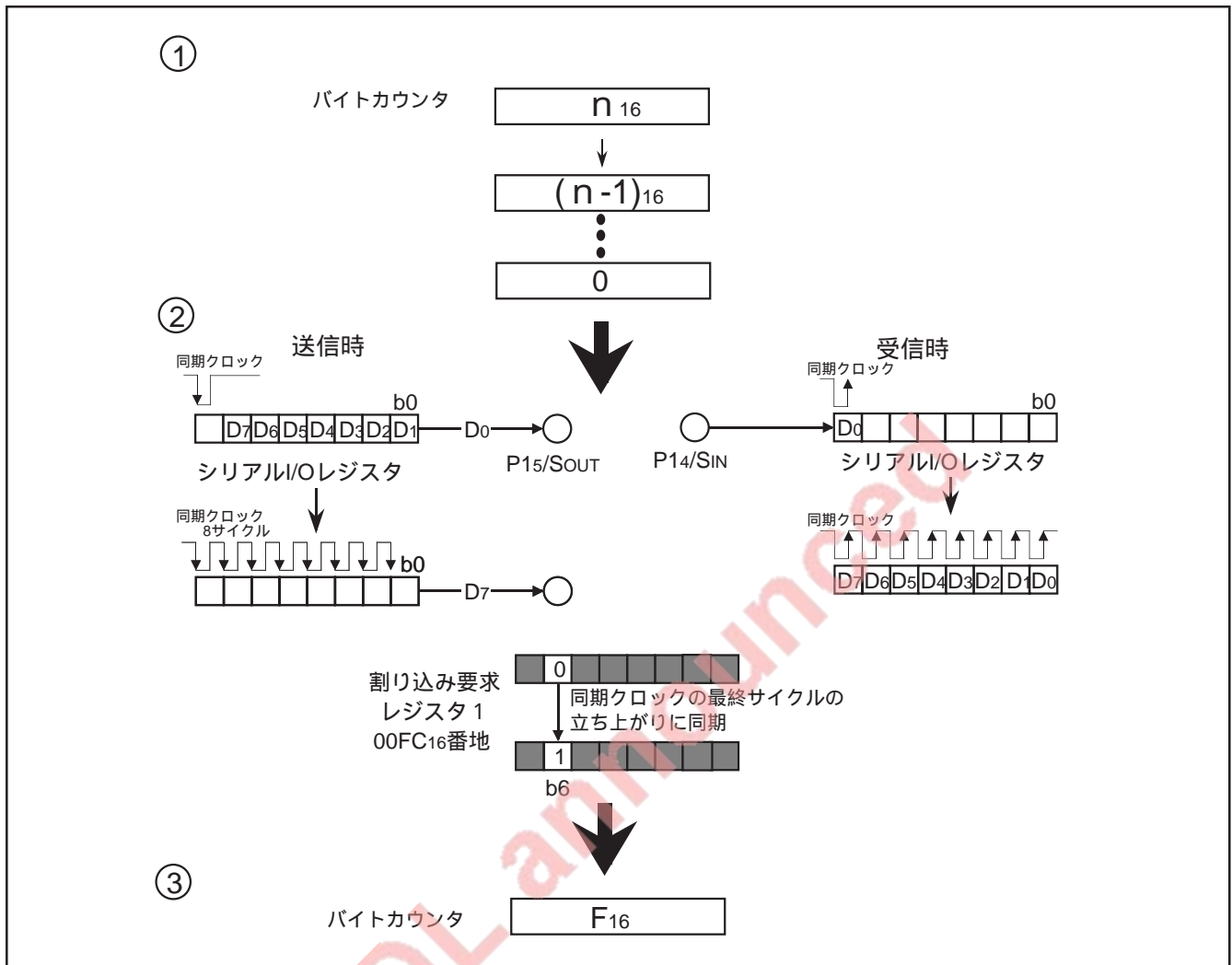
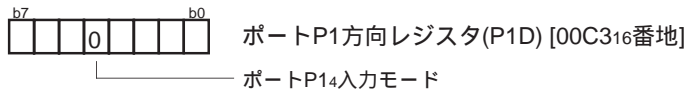


図1.13A.10 バイト指定モード時送受信動作

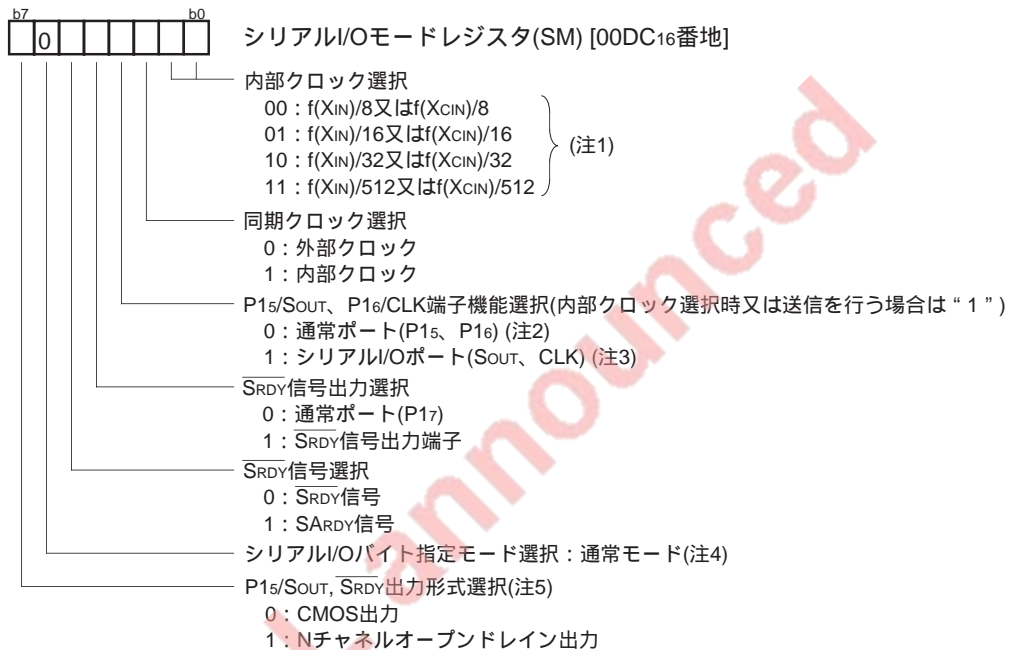
1.13A.4 シリアルI/Oの設定方法(7470/7471グループ)

(1) シリアルI/O 通常モード 設定方法

手順1 受信を行う場合、SIN端子と兼用のポートを入力モードに設定



手順2 シリアルI/Oモードレジスタの設定



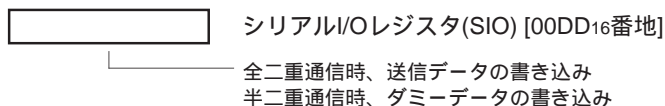
注1. $f(X_{IN})$ 、 $f(X_{CIN})$ は、システムクロックによって決まります。

- ・システムクロックとして $f(X_{IN})$ を選択している場合、 $f(X_{IN})$ を分周したものが同期クロックとなります。
- ・システムクロックとして $f(X_{CIN})$ を選択している場合、 $f(X_{CIN})$ を分周したものが同期クロックとなります。

ただし、7470グループには X_{CIN} 端子がないので、システムクロックとして $f(X_{CIN})$ を使用できません。

- 同期クロックとして外部クロックを選択している場合、通常の入出力ポートとして使用できるのはポートP15のみです。ポートP16はクロック入力端子CLKとして機能します。
- 通常ポートをシリアルI/Oポートに切り替えると、シリアルI/O割り込み要求ビットが“1”になることがあります。
- バイト指定モードを使用する場合は、後述の「(2) シリアルI/O (バイト指定モード) 設定方法」を参照してください。
- b4=“0”のとき、このビットの内容に関わらずポートP17はCMOS出力となります。

手順3 送信データの書き込み(注6)

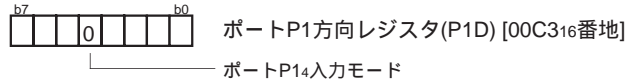


注6. 同期クロックとして外部クロックを選択している場合、シリアルI/Oレジスタへの書き込みは同期クロックが“H”の状態で行ってください。

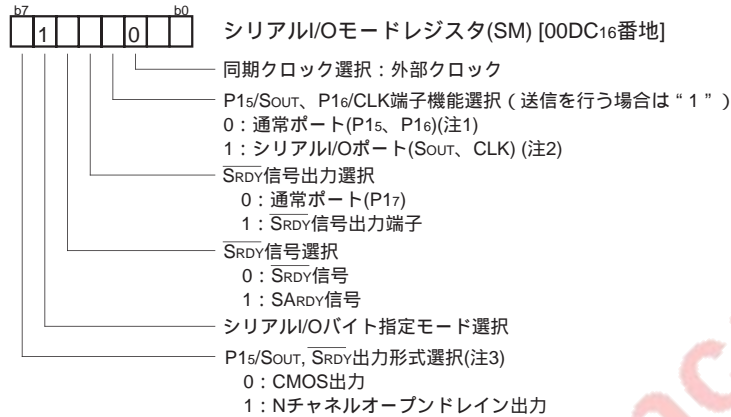
図1.13A.11 シリアルI/O 通常モード 設定方法

(2) シリアルI/O バイト指定モード 設定方法

手順1 受信を行う場合、SIN端子と兼用のポートを入力モードに設定

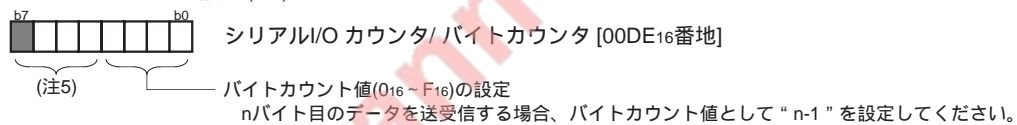


手順2 シリアルI/Oモードレジスタの設定



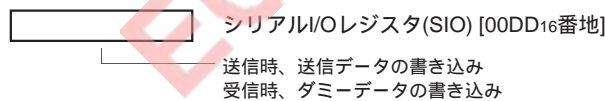
- 注1.同期クロックとして外部クロックを選択しているので通常の入出力ポートとして使用できるのはポートP15のみです。ポートP16はクロック入力端子CLKとして機能します。
 2.通常ポートをシリアルI/Oポートに切り替えると、シリアルI/O割り込み要求ビットが“1”になることがあります。
 3. b4=“0”のとき、このビットの内容に関わらずポートP17はCMOS出力となります。

手順3 バイトカウンタの設定(注4)



- 注4. バイトカウンタにはリロード機能はありません。続けてバイト指定モードで通信するときは、バイトカウンタ値を再設定してください。
 5. これらのビットは書き込み不可です。

手順4 送信データの書き込み(注6)



- 注6. バイトカウンタに“0”を設定した場合、シリアルI/Oレジスタへの書き込みは外部クロック入力が“H”の状態で行ってください。

図1.13A.12 シリアルI/O バイト指定モード 設定方法

1.13A.5 シリアルI/Oに関する注意事項(7470/7471グループ)

外部クロック選択時は以下に示す注意が必要です。

シリアルI/Oレジスタへの書き込みは、同期クロックが“H”の状態で行ってください。

シリアルI/Oレジスタのシフト動作は、同期クロックがシリアルI/Oの回路に入力されている間続けられます。したがって外部クロックを選択した場合は、同期クロックは8回で停止させてください(内部クロックを選択している場合、同期クロックは8回で自動的に停止します)。

外部クロック源として使用するパルスの“H”及び“L”の幅(T_{WH} , T_{WL})を T_{WH} , T_{WL} [s] ≥ 2 (システムクロックの周波数[Hz])としてください。

例えばシステムクロックが8MHzの場合、2MHz以下のクロック(デューティ比50%)を使用してください。

EOL announced

1.13B シリアルI/O (7477/7478グループ)

シリアルI/Oはクロック同期形、又はクロック非同期形のいずれかを選択できます。本項ではクロック同期形シリアルI/O、クロック非同期形シリアルI/O(UART)に分けて、その動作を説明します。

1.13B.1 シリアルI/Oの関連レジスタ(7477/7478グループ)

| | |
|--------------------|----------------------------|
| 番地 | |
| 00E0 ₁₆ | 送信 / 受信バッファレジスタ(TB/RB) |
| 00E1 ₁₆ | シリアルI / Oステータスレジスタ(SIOSTS) |
| 00E2 ₁₆ | シリアルI / O制御レジスタ(SIOCON) |
| 00E3 ₁₆ | U A R T制御レジスタ(UARTCON) |
| 00E4 ₁₆ | ボーレートジェネレータ(BRG) |
| ~ | ~ |
| 00FC ₁₆ | 割り込み要求レジスタ1(IR1) |
| 00FD ₁₆ | |
| 00FE ₁₆ | 割り込み制御レジスタ1(IE1) |
| 00FF ₁₆ | |

図1.13B.1 シリアルI/O関連レジスタのメモリ配置(7477/7478グループ)

(1) 送信/受信バッファレジスタ(TB/RB : 00E0₁₆番地)

送信/受信バッファレジスタは、シリアルI/O(クロック同期シリアルI/O, UART共用)送信データの書き込み、又は受信データの読み出しを行うレジスタです。

データを送信する場合は、送信データをこのレジスタに書き込みます。
 受信したデータは、このレジスタを読み出すことによって得られます。

送信/受信バッファレジスタの構成を図1.13B.2に示します。

| | | | | | | | | | |
|--|---|----|----|----|----|----|-------|---|---|
| 送信 / 受信バッファレジスタ | | | | | | | | | |
| b7 | b6 | b5 | b4 | b3 | b2 | b1 | b0 | | |
| 送信 / 受信バッファレジスタ(TB/RB) 【00E0 ₁₆ 番地】 | | | | | | | | | |
| b | 機 能 | | | | | | リセット時 | R | W |
| 0-7 | 送信時：送信データとして "00 ₁₆ " ~ "FF ₁₆ " の値を設定できます。 送信データの書き込みによって、送信データは自動的に送信シフトレジスタに転送されます。 受信時：受信シフトレジスタに受信データが揃うと、このレジスタに自動的に受信データが転送されます。 | | | | | | 不定 | | |

図1.13B.2 送信/受信バッファレジスタの構成

(2) シリアルI/Oステータスレジスタ(SIOSTS : 00E116番地)

シリアルI/Oステータスレジスタは、送受信に使用するバッファ、レジスタの状態を表すフラグ、及びエラーフラグで構成されたレジスタです。

このレジスタは読み出し専用です。

ビット7は使用しないビットで、読み出し時“1”です。

シリアルI/Oステータスレジスタの構成を図1.13B.3に示します。

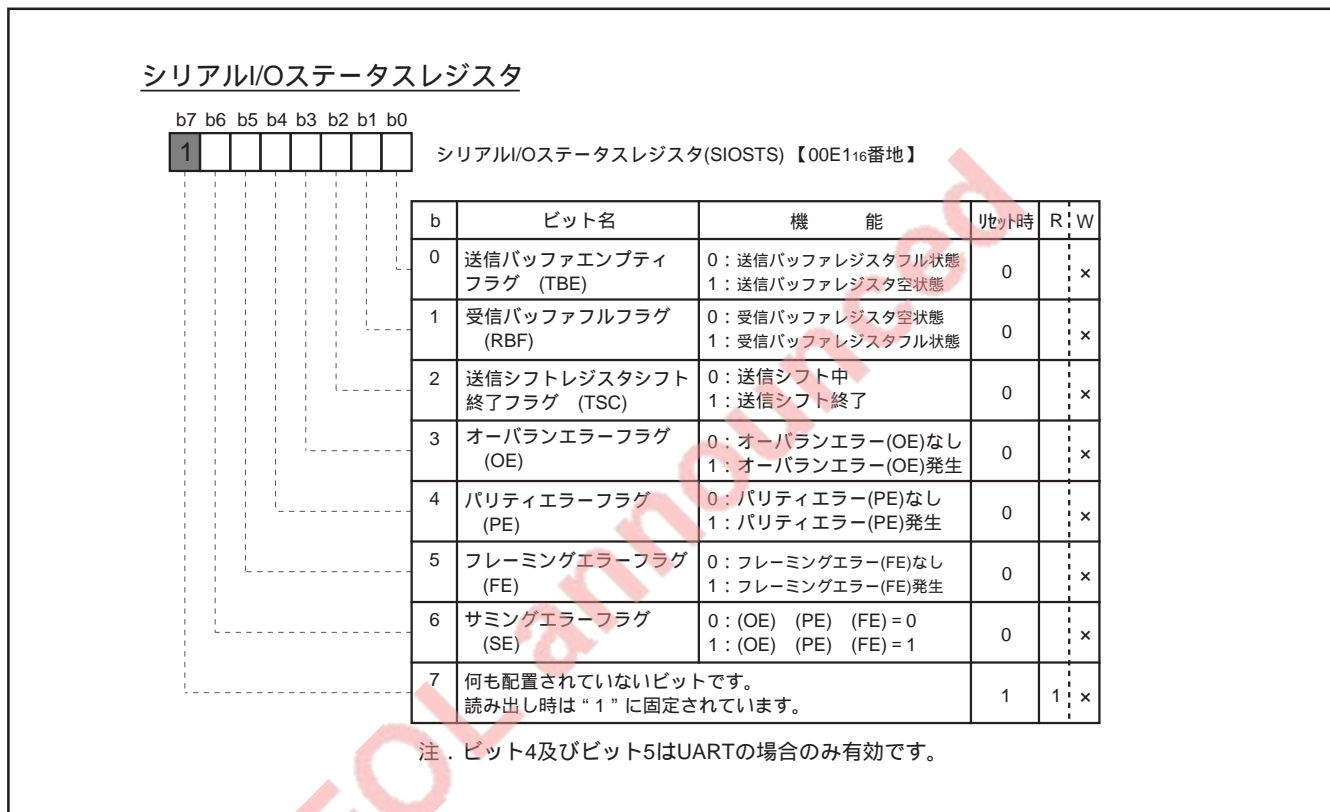


図1.13B.3 シリアルI/Oステータスレジスタの構成

シリアル I/O ステータスフラグの各ビットについて以下に説明します。

送信バッファエンptyフラグ (TBE、ビット0)

このフラグは送信バッファレジスタの状態を示すフラグです。

送信バッファレジスタに書き込んだデータが送信シフトレジスタに転送されると“1”になります。また、送信バッファレジスタにデータを書き込んだとき“0”になります。

このフラグはクロック同期形シリアル I/O, UARTとも有効です。

受信バッファフルフラグ (RBF、ビット1)

このフラグは受信バッファレジスタの状態を示すフラグです。

受信シフトレジスタに受信データが揃い、受信バッファレジスタに受信データが転送されると自動的に“1”になります。また、転送された受信データが受信バッファレジスタから読み出されると自動的に“0”になります。

受信バッファフルフラグが“1”(受信バッファレジスタが未読み出し状態)で、受信シフトレジスタに次の受信データが揃った場合、オーバランエラーフラグが“1”になります。

このフラグはクロック同期形シリアル I/O, UARTとも有効です。

送信シフトレジスタシフト終了フラグ (TSC、ビット2)

このフラグは送信シフト動作の状態を示すフラグです。

送信シフトレジスタに送信データが転送され同期クロックによってシフト動作が開始(送信データの1ビット目が送信)されると“0”になります。また、シフト動作が終了(送信データの最終ビットの送信が完了)すると“1”になります。

このフラグはクロック同期形シリアル I/O, UARTとも有効です。

オーバランエラーフラグ (OE、ビット3)

このフラグは受信データ読み出し状態を示すフラグです。

受信バッファレジスタにデータが入っている(未読み出し)状態で、受信シフトレジスタに次の受信データが揃った場合に“1”(オーバランエラー発生)になります。

このフラグは表1.13B.1に示すいずれかの操作によって“0”になります。

このフラグはクロック同期形シリアル I/O, UARTとも有効です。

パリティエラーフラグ (PE、ビット4)

このフラグは、UARTにおいて、偶数パリティ、奇数パリティをハードウェア的にチェックした結果を示すフラグです。

受信したデータのパリティが、設定されたパリティと異なる場合に“1”になります。

このフラグは表1.13B.8に示すいずれかの操作によって“0”になります。

このフラグはUARTにおけるパリティ許可時のみ有効です。

フレーミングエラーフラグ(FE、ビット5)

このフラグは、UARTにおいて、フレーム同期の異常を判定するフラグです。

受信データのストップビットが、設定されたタイミングで受信できなかった場合に“1”になります。

なお、ストップビットの検出は第1ストップビットのみ行い、第2ストップビットはチェックしません。

このフラグは表1.13B.1に示すいずれかの操作によって“0”になります。

このフラグはUARTのみ有効です。

サミングエラーフラグ(SE、ビット6)

このフラグはシリアルI/Oの異常を判定するフラグです。

オーバランエラー、パリティエラー、フレーミングエラーのいずれか一つでも発生すれば“1”になります。

このフラグは表1.13B.1に示すいずれかの操作によって“0”になります。

このフラグは、クロック同期形、UARTとも有効です。

【エラーフラグのクリア】

シリアルI/Oステータスレジスタ中のエラーフラグ(ビット3~ビット6)は、表1.13B.1に示すエラーフラグのクリア方法により“0”になります。

表1.13B.1 エラーフラグのクリア方法

| エラーの種類 | シリアルI/O許可ビットを “0”にする | 受信許可ビットを “0”にする | SIOSTSへの ダミーデータ書き込み |
|------------------|-------------------------|--------------------|------------------------|
| オーバラン エラーフラグ | | | |
| パリティ エラーフラグ | × | | |
| フレーミング エラーフラグ | × | | |
| サミング エラーフラグ | × | | |

(3) シリアルI/O制御レジスタ(SIOCON : 00E216番地)

シリアルI/O制御レジスタは、送受信モード、クロック、端子機能の選択など、シリアルI/Oに関する各種制御を行うレジスタです。このレジスタのすべてのビットは、ソフトウェアによって読み出し及び書き込みができます。

シリアルI/O制御レジスタの構成を図1.13B.4に示します。

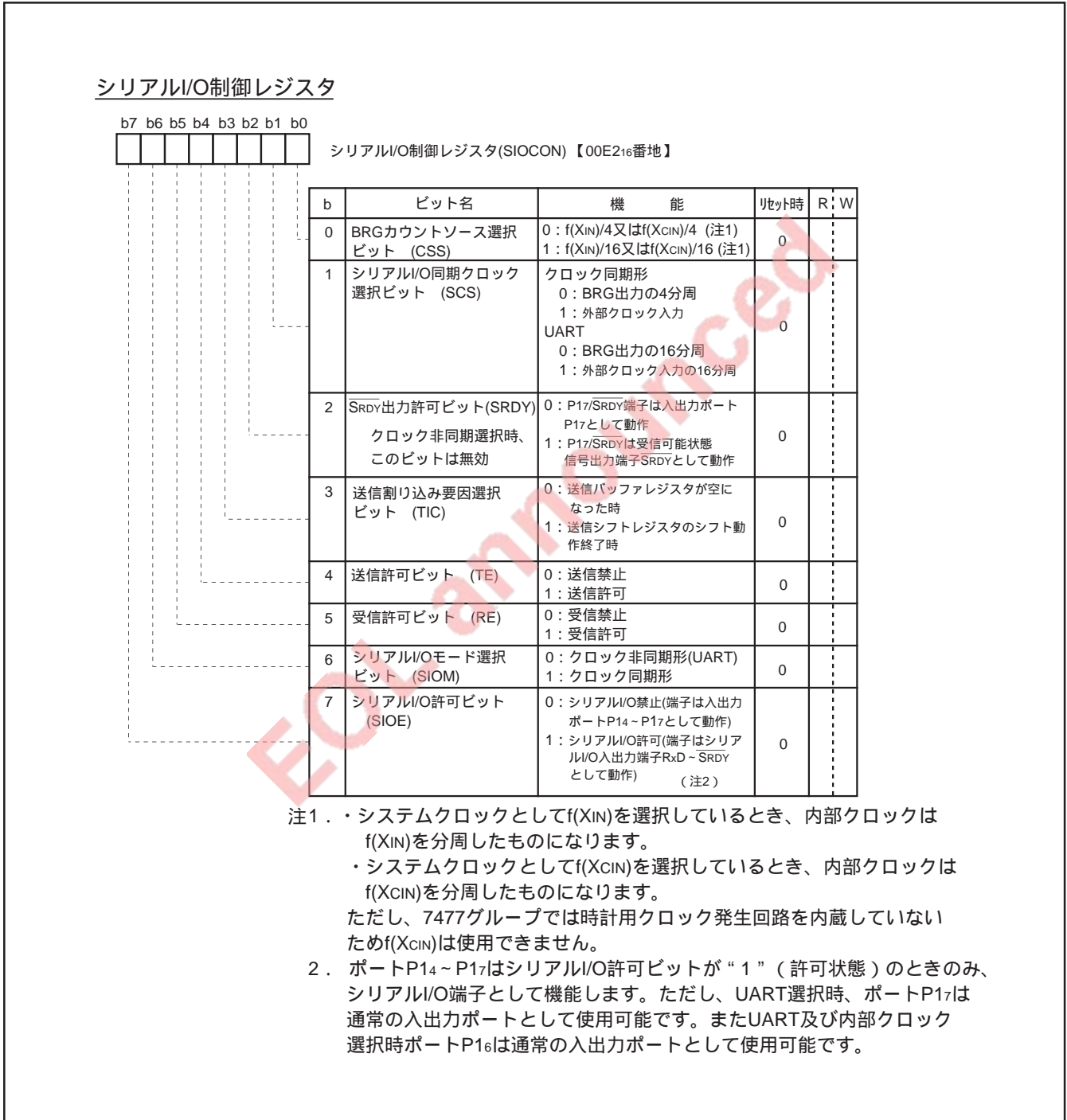


図1.13B.4 シリアルI/O制御レジスタの構成

(4) UART制御レジスタ(UARTCON : 00E3₁₆番地)

UART制御レジスタは、UARTの転送データフォーマットを制御するレジスタです。
UART制御レジスタの構成を図1.13B.5に示します。

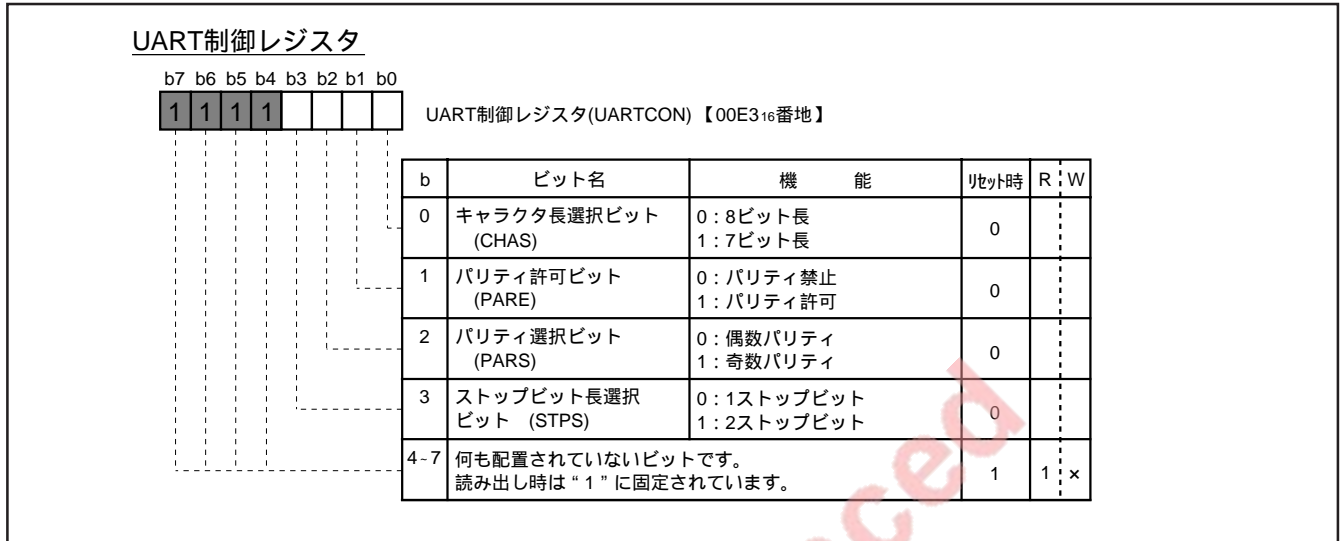


図1.13B.5 UART制御レジスタの構成

(5) ボーレートジェネレータ(BRG)

ボーレートジェネレータは、リロードレジスタを持つシリアルI/O専用の8ビットカウンタです。
シリアルI/O制御レジスタのシリアルI/O同期クロック選択ビットが " 0 " のとき、ボーレートジェネレータに値 " n (0016~FF16) " を設定すると、BRGカウントソース(注1)を " n+1 " で分周したものをBRG出力(注2)とします。

- 注1. BRGカウントソース選択ビットが " 0 " のとき、 $f(XIN)/4$ 又は $f(XCIN)/4$
BRGカウントソース選択ビットが " 1 " のとき、 $f(XIN)/16$ 又は $f(XCIN)/16$
ただし、7477グループでは $f(XCIN)$ を分周したものを選択できません。
2. クロック同期形シリアルI/Oの場合、BRG出力を4分周したものを同期クロックとします。
クロック非同期形シリアルI/Oの場合、BRG出力を16分周したものを同期クロックとします。

ボーレートジェネレータの構成を図1.13B.6に示します。

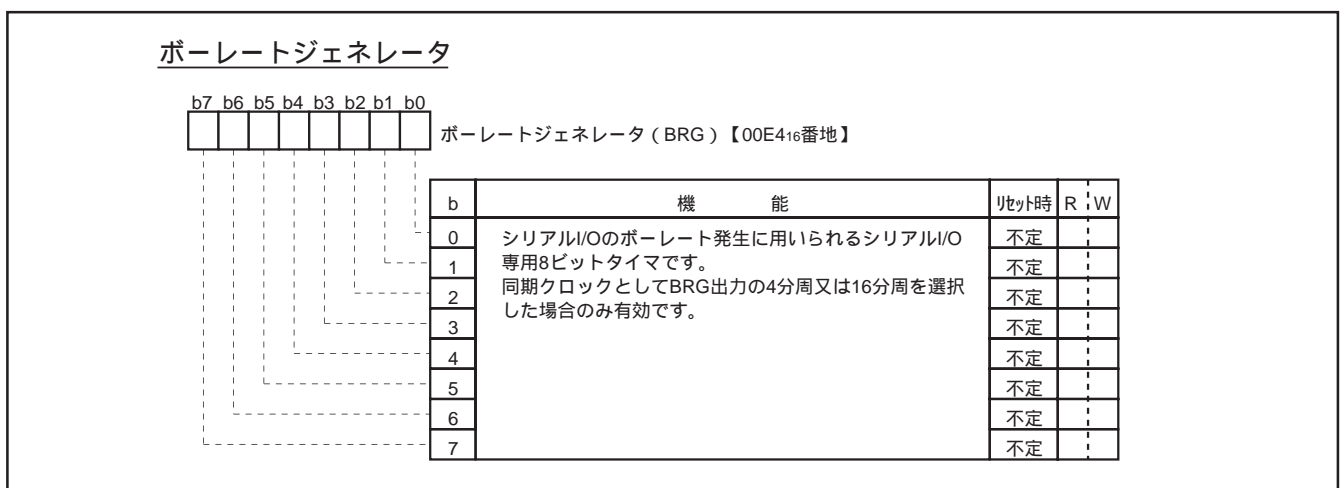


図1.13B.6 ボーレートジェネレータの構成

1.13B.2 クロック同期形シリアルI/O (7477/7478グループ)

クロック同期形シリアルI/Oの場合、クロック制御回路によって得られる8個のシフトクロックを転送のための同期クロックに使用します。このシフトクロックに同期して、送信側の送信動作と受信側の受信動作が同時に実行されます。

送信側では、シフトクロックの立ち下がりに同期して、P15/TxD端子から1ビットずつデータが送信されます。

受信側では、シフトクロックの立ち上がりに同期して、P14/RxD端子から1ビットずつデータが受信されます。

通信方式

通信方式は半二重データ通信、又は全二重データ通信が可能です。

同期クロック

同期クロックは、シリアルI/O制御レジスタ(SIOCON: 00E2₁₆番地)のビット1により、以下のものを選択できます。

“0”のとき：ポーレートジェネレータ(以下BRG)出力の4分周

“1”のとき：SCLK端子からの外部クロック入力

BRG出力はシリアルI/O専用8ビットカウンタであるポーレートジェネレータ(BRG: 00E4₁₆番地)で設定されます。BRGへの入力クロックはシリアルI/O制御レジスタのビット0が“0”のとき $f(XIN)/4$ (7478グループでは $f(XCIN)/4$ も選択可能)、“1”のとき $f(XIN)/16$ (7478グループでは $f(XCIN)/16$ も選択可能)を選択できます。

外部クロック選択時の注意

データ送信時、送信許可ビットへの“1”書き込み、及び送信バッファレジスタへの書き込みは、同期クロックが“H”の状態で行ってください。

送信又は受信シフトレジスタのシフト動作は、同期クロックがシリアルI/Oの回路に入力されている間続けられます。外部クロックを選択した場合には、同期クロックを8回で停止してください(内部をクロック選択している場合は自動的に停止します)。

外部クロック源として使用するパルスの“H”及び“L”の幅(TWH, TWL)をTWH, TWL[s] $8/(f(XIN)$ [Hz])としてください。例えば $f(XIN) = 8\text{MHz}$ の場合、500kHz以下のクロック(デューティ比50%)を使用してください。

シフトクロック

通常、2つのマイクロコンピュータ間でクロック同期転送を行う場合は、一方のマイクロコンピュータでは内部クロックを選択し、送信バッファレジスタへの書き込みによって発生した8個のシフトクロックパルスをP16/SCLK端子から出力します。他方のマイクロコンピュータでは外部クロックを選択し、P16/SCLK端子から入力したクロックを同期クロックとします。

データ転送速度(ボーレート)

クロック同期形シリアルI/Oにおいて、同期クロックの周波数であるデータ転送速度(以下ボーレート)の算出式を以下に示します。

内部クロック選択時(BRGを使用)

$$\text{ボーレート [bps]} = \frac{f(\text{XIN}) \text{ 又は } f(\text{XCIN})^{*3}}{\text{分周比}^{*1} \times (\text{BRG設定値}^{*2} + 1) \times 4}$$

*1「分周比」: “4”、“16”のいずれかをBRGカウントソース選択ビットで選択

*2「BRG設定値」: 0 ~ 255(0016 ~ FF16)

*3 システムクロックとしてf(XIN)、f(XCIN)のどちらを選択しているかによって決定されます。

ただし、7477グループでは、時計用クロック発生回路を内蔵していないため、f(XCIN)を使用できません。

外部クロック選択時

$$\text{ボーレート [bps]} = \text{SCLK端子への入力クロック周波数}$$

BRGはリロードレジスタを持つシリアルI/O専用の8ビットカウンタで、値nを設定するとカウントソースを(n+1)で分周します。カウントソースはシリアルI/O制御レジスタのビット0が“0”のときf(XIN)/4(7478グループではf(XCIN)/4も選択可能)、“1”のときf(XIN)/16(7478グループではf(XCIN)/16も選択可能)となります。

SRDY信号

クロック同期形シリアルI/Oでは、SRDY信号を出力することによりシリアル転送の準備ができたことを外部に知らせることができます。

(1) クロック同期形シリアル I/O のブロック図

図1.13B.7にクロック同期形シリアル I/O ブロック図を示します。

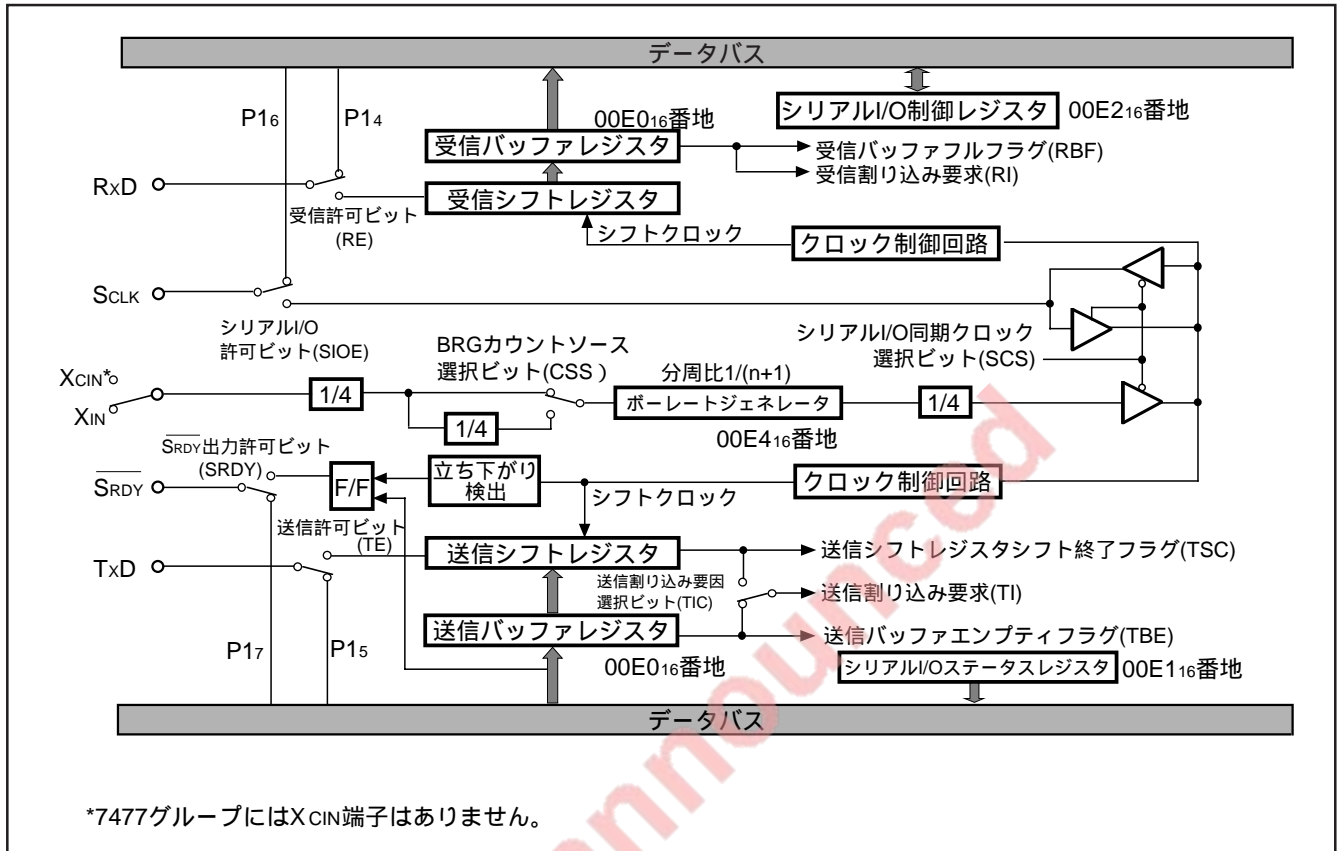


図1.13B.7 クロック同期形シリアル I/O ブロック図

(2) クロック同期形シリアルI/Oの送信動作

クロック同期形シリアルI/Oの送信動作を以下に説明します。

送信動作の開始

送信可能状態^{*1}で、送信バッファレジスタ(TB: 00E016番地)に送信データを書き込む^{*2}ことによって送信が開始されます。同期クロックに内部クロックを選択している場合は、この書き込みを行った時点で8個のシフトクロックが発生します。

送信動作

送信バッファレジスタに送信データを書き込む^{*2}と、シリアルI/Oステータスレジスタ(SIOSTS: 00E116番地)の送信バッファエンptyフラグ(ビット0)が“0”になります。送信バッファレジスタに書き込まれた送信データは、送信シフトレジスタに転送されます^{*3}。送信バッファレジスタから送信シフトレジスタへのデータ転送が完了すると、送信バッファエンptyフラグは“1”になります^{*4}。送信シフトレジスタに転送された送信データは、同期クロックの立ち下がりに同期してP15/TxD端子から出力されます。送信シフト動作が開始されると、シリアルI/Oステータスレジスタの送信シフトレジスタシフト終了フラグ(b2)が“0”になります^{*5}。データは、送信シフトレジスタの最下位ビットから出力され、1ビット出力されるたびに送信シフトレジスタ内容は最下位方向へ1ビットシフトされます。送信シフト動作が終了した時点で、送信シフトレジスタシフト終了フラグが“1”になります^{*3}^{*5}。

- *1: 送信動作のためのレジスタ等の初期化が完了した状態。後述の「1.13B.2 (4) クロック同期形シリアルI/Oの設定方法」を参照してください。
- *2: 外部クロック選択時、同期クロックが“H”の状態で行ってください。
- *3: シリアルI/O制御レジスタ(SIOCON)の送信割り込み要因ビット(ビット3)を“0”にするのと転送直後で、“1”にするとの時点で送信割り込み要求が発生します。
- *4: 送信バッファエンptyフラグが“1”の間は次の送信データを送信バッファレジスタに書き込むことができます。
- *5: 同期クロックとして内部クロックを使用している場合、8ビットの送信が終了すると送信シフトレジスタへのシフトクロック供給は自動的に停止します。ただし、送信シフトレジスタシフト終了フラグが“0”の間に送信バッファレジスタへの次の送信データ書き込みを行うとシフトクロックの供給は継続し、シリアルデータが連続してTxD端子から出力されます。

SRDY出力の使用

送信バッファレジスタへの書き込みを行った時点でSRDY端子のレベルが“H”から“L”に変化し、送信可能状態になったことを外部に知らせることができます。また、SRDY端子は同期クロックの最初の立ち上がりで“H”に復帰します。

送信割り込み動作(シリアルI/O選択時のみ有効)

送信割り込みは、シリアルI/O制御レジスタ(SIOCON)のビット3により割り込み要求の発生するタイミングを選択することができます。

0 : 送信バッファレジスタに書き込んだデータが送信シフトレジスタに移され、送信バッファレジスタが空になったとき割り込み要求を発生

1 : 送信シフトレジスタのシフト動作が終了したとき、割り込み要求を発生

図1.13B.8にクロック同期形シリアルI/Oの送信動作、図1.13B.9にクロック同期形シリアルI/Oの送信タイミングを示します。

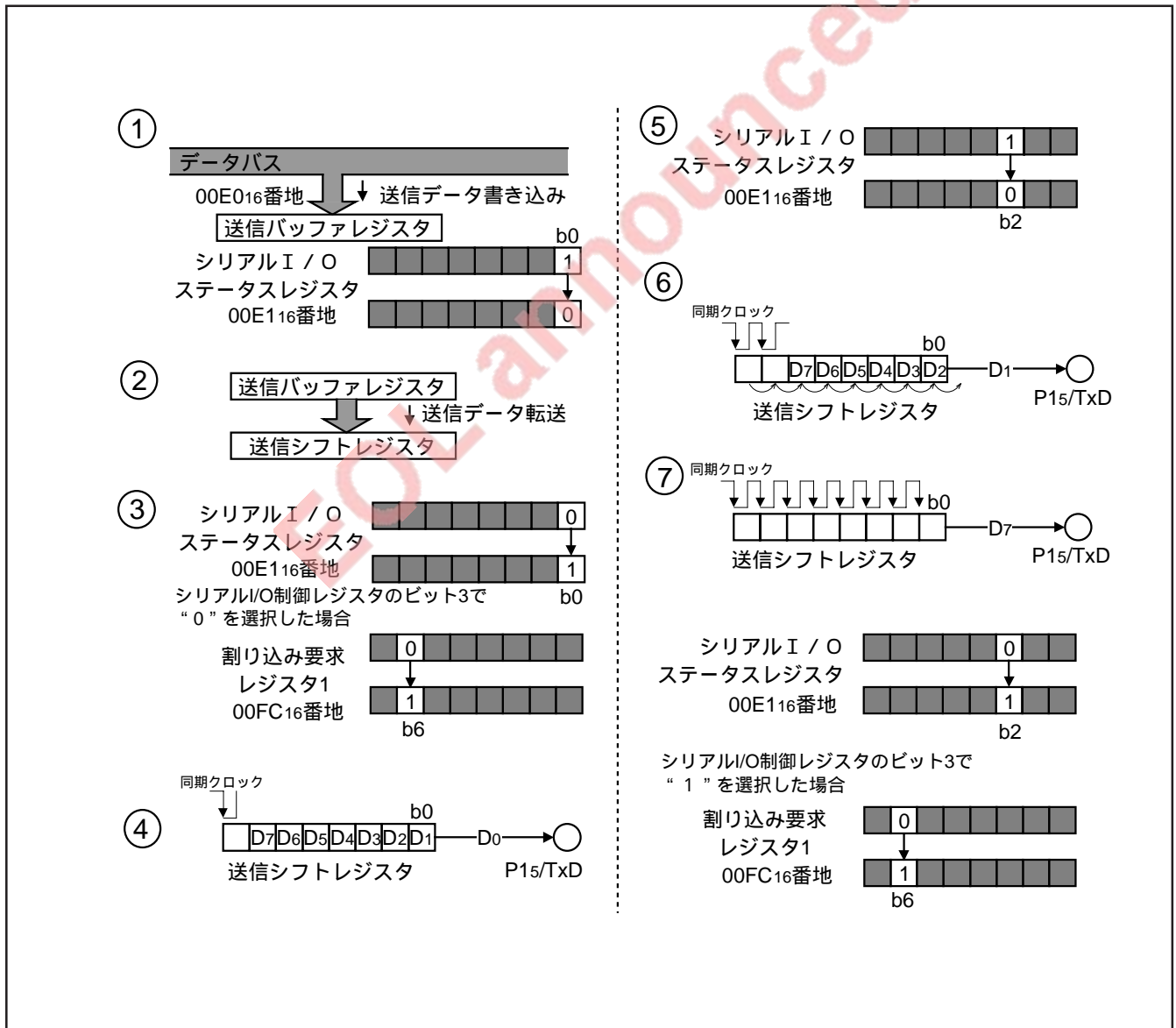


図1.13B.8 クロック同期形シリアルI/Oの送信動作

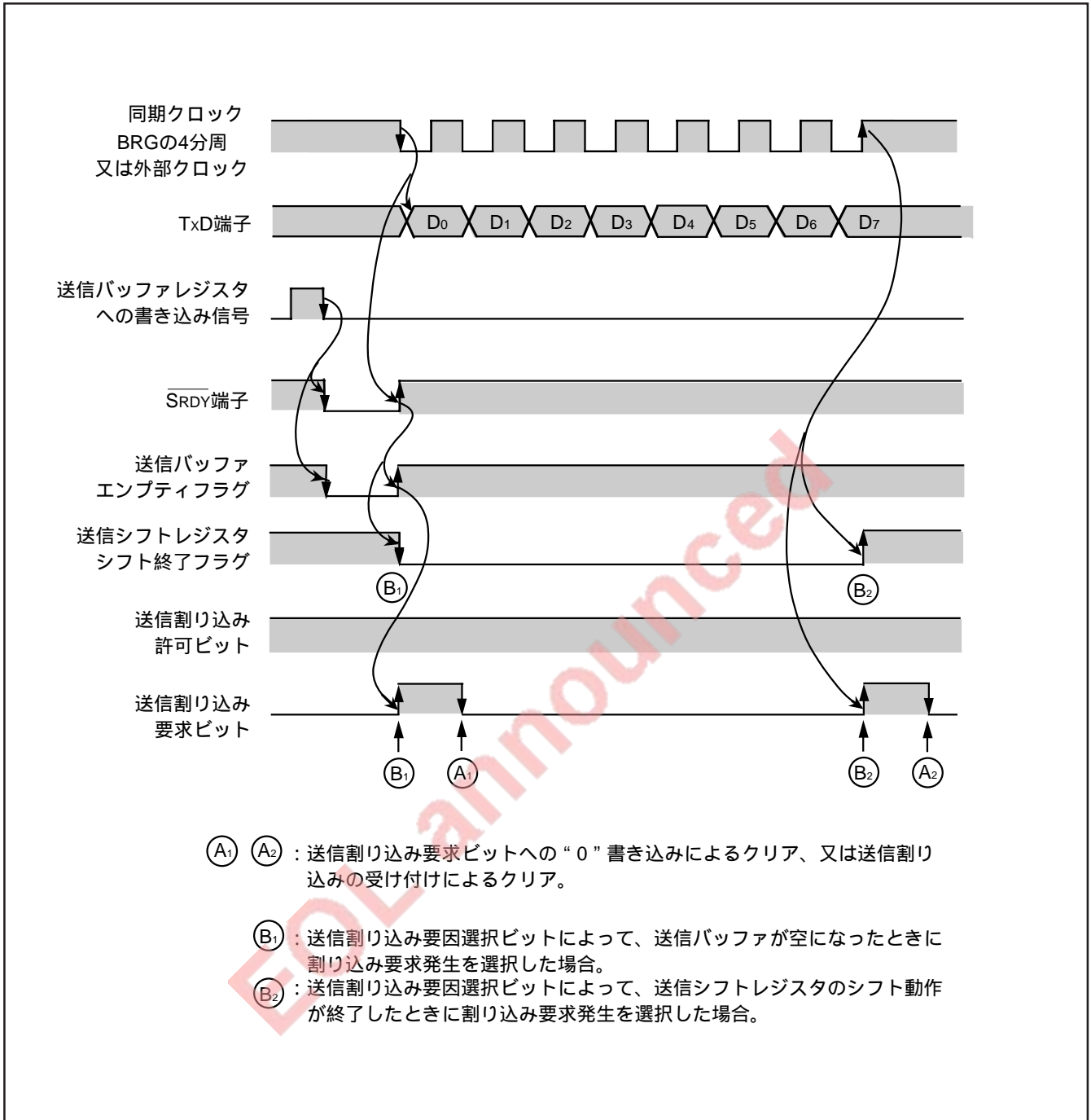


図1.13B.9 クロック同期形シリアルI/Oの送信タイミング

(3) クロック同期形シリアル I/O の受信動作

クロック同期形シリアル I/O の受信動作を以下に説明します。

受信動作の開始

受信可能状態^{*1}で、送信バッファレジスタ(TB : 00E016番地)に以下のデータを書き込む^{*2}ことによって受信が開始されます。

- ・全二重データ通信形式の場合は、送信データ
- ・半二重データ通信形式の場合は、任意のダミーデータ

受信動作

同期クロックの立ち上がり同期して、P14/RxD端子から1ビットずつデータを受信シフトレジスタへ読み込みます。

データは、受信シフトレジスタの最上位ビットから入り、1ビット受信されるたびに受信シフトレジスタの内容は最下位方向へ1ビットシフトされます。

受信シフトレジスタに1バイトのデータが揃うと、受信シフトレジスタの内容は受信バッファレジスタ(RB)に転送されます^{*3}。

受信バッファレジスタへの受信データの転送が完了すると、シリアル I/O ステータスレジスタ(SIOSTS)の受信バッファフルフラグ(b1)が^{*}1 になり^{*4}、受信割り込み要求が発生します。

- *1 : 受信動作のためのレジスタ等の初期化が完了した状態。後述の「1.13B.2 (4) クロック同期形シリアル I/O の設定方法」を参照してください。
- *2 : 外部クロック選択時、同期クロックが^{*}H の状態で行ってください。
- *3 : 受信バッファレジスタの内容が読み出されず、データが残っている(受信バッファフルフラグが^{*}1 の状態)で、さらに受信シフトレジスタに受信データが揃った場合、シリアル I/O ステータスレジスタのオーバーランエラーフラグが^{*}1 にセットされます。このとき、受信シフトレジスタのデータは受信バッファレジスタに転送されず、受信バッファレジスタの元のデータは保持されます。
- *4 : 受信バッファフルフラグは、受信バッファレジスタを読み出すことによって^{*}0 になります。

SRDY出力を使用した場合

送信バッファレジスタへの書き込みを行った時点で $\overline{\text{SRDY}}$ 端子のレベルが^{*}H から^{*}L に変化し、受信可能状態になったことを外部に知らせることができます。また、 $\overline{\text{SRDY}}$ 端子は同期クロックの最初の立ち下がり^{*}で^{*}H に復帰します。

受信割り込み動作(シリアル I/O 選択時のみ有効)

受信シフトレジスタにデータが揃い、受信バッファレジスタにシフトレジスタの内容が移されると割り込み要求が発生します。

図1.13B.10にクロック同期形シリアル I/O の受信動作、図1.13B.11にクロック同期形シリアル I/O の受信タイミングを示します。

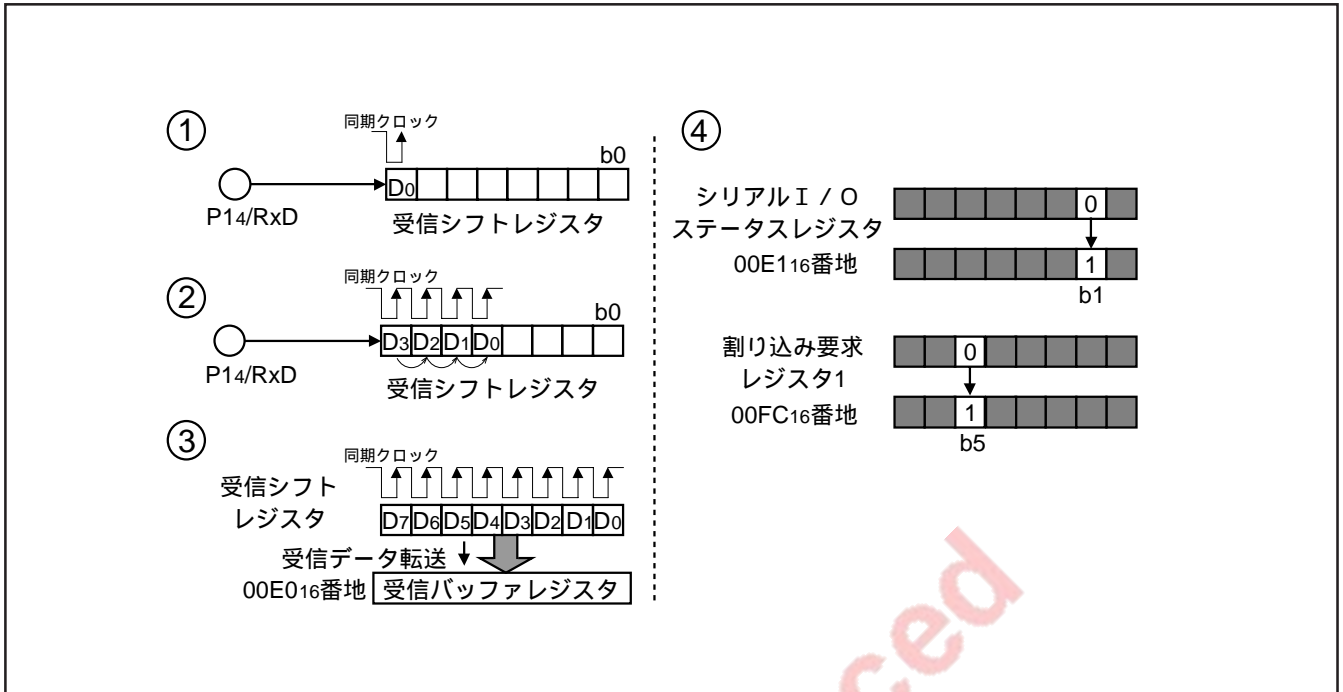


図1.13B.10 クロック同期形シリアルI/Oの受信動作

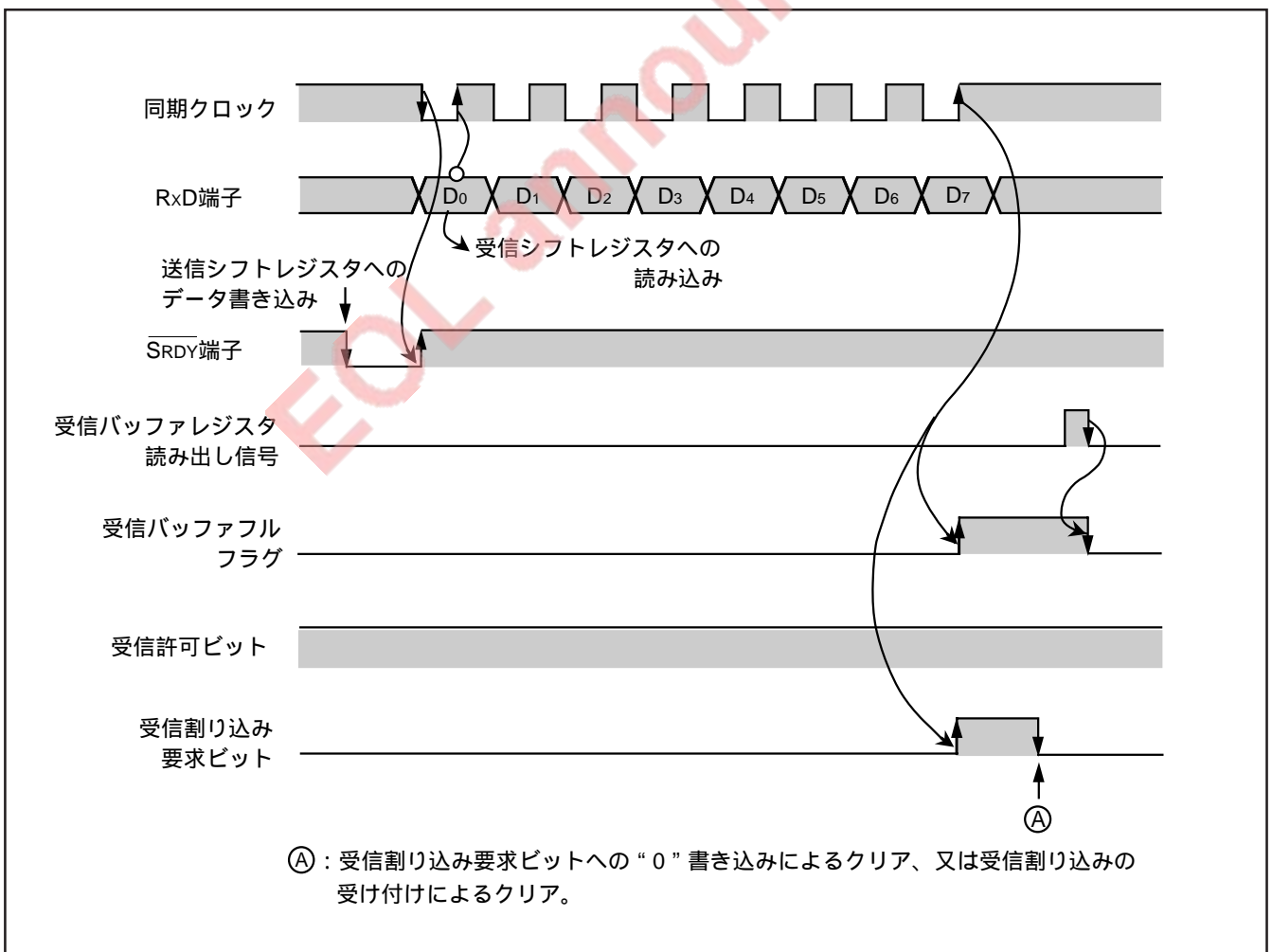
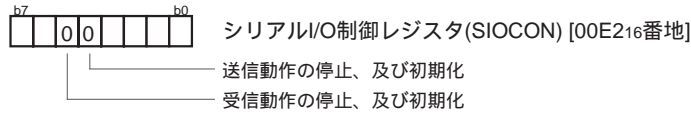


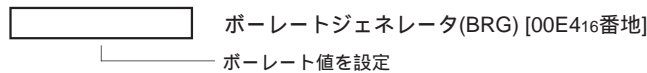
図1.13B.11 クロック同期形シリアルI/Oの受信タイミング

(4) クロック同期形シリアル I/O の設定方法

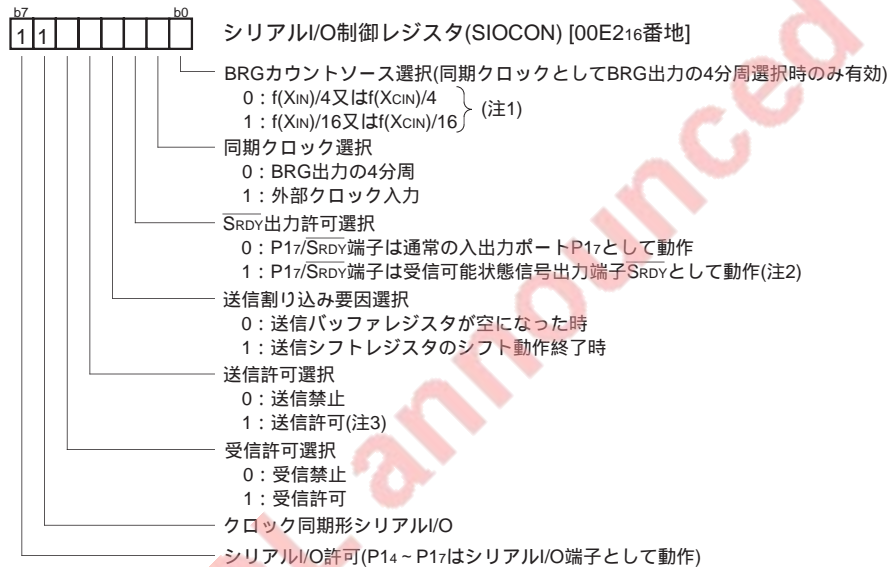
手順1 シリアル I/O 動作の停止、及び初期化



手順2 同期クロックとしてBRG出力の4分周を選択する場合、ポーレートジェネレータの設定



手順3 シリアル I/O 制御レジスタの設定

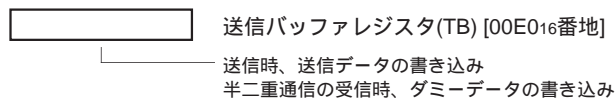


注1. $f(X_{IN})$ 、 $f(X_{CIN})$ は、システムクロックによって決まります。

- ・システムクロックとして $f(X_{IN})$ を選択している場合、 $f(X_{IN})$ を分周したものが同期クロックとなります。
 - ・システムクロックとして $f(X_{CIN})$ を選択している場合、 $f(X_{CIN})$ を分周したものが同期クロックとなります。
- ただし、7477グループには X_{CIN} 端子がないので、システムクロックとして $f(X_{CIN})$ を使用できません。

- 半二重通信時、受信側が同期クロックとして外部クロック入力を選択、かつSRDY出力を行う場合、受信許可ビット及びSRDY出力許可ビットとともに送信許可ビットも“1”にしてください。
- 同期クロックとして外部クロック入力を選択する場合、送信許可ビットへの“1”書き込みは、SCLK端子が“H”の状態で行ってください。

手順4 データの送受信開始(注4)



注4. 同期クロックとして外部クロック入力を選択する場合、送信バッファレジスタへの書き込みは、SCLK端子が“H”の状態で行ってください。

図1.13B.12 クロック同期形シリアル I/O の設定方法

1.13B.3 クロック非同期形シリアルI/O (UART) (7477/7478グループ)

クロック非同期形シリアルI/O(以下UART)の場合、送受信間でボーレート、及び転送データのフォーマットを統一することにより、送信側の送信動作と受信側の受信動作が同時に実行されます。

同期クロック

同期クロックは、シリアルI/O制御レジスタ(SIOCON)のビット1により、以下のものを選択できます。

“0”のとき：ボーレートジェネレータ(以下BRG)出力の16分周

“1”のとき：SCLK端子からの外部クロック入力(16分周)

BRG出力はシリアルI/O専用8ビットカウンタであるボーレートジェネレータ(BRG:00E4₁₆番地)で設定されます。BRGへの入力クロックはシリアルI/O制御レジスタのビット0が“0”のとき $f(XIN)/4$ (7478グループでは $f(XCIN)/4$ も選択可能)、“1”のとき $f(XIN)/16$ (7478グループでは $f(XCIN)/16$ も選択可能)を選択できます。

内部クロック選択時の注意

UARTにおいて、同期クロックとして内部クロックを選択した場合、P16/SCLK端子はポートP16として使用できます。

外部クロック選択時の注意

外部クロック源として使用するパルスの“H”及び“L”の幅(T_{WH} , T_{WL})を T_{WH} , $T_{WL}[s] \geq 2(f(XIN)[Hz])$ としてください。例えば $f(XIN) = 8MHz$ 時の場合、2MHz以下のクロック(デューティ比50%)を使用してください。

データ転送速度(ボーレート)

UARTにおいて、同期クロックの周波数であるボーレートの算出式を以下に示します。

内部クロック選択時(BRGを使用)

$$\text{ボーレート[bps]} = \frac{f(XIN) \text{ 又は } f(XCIN)^{*3}}{\text{分周比}^{*1} \times (\text{BRG設定値}^{*2} + 1) \times 16}$$

*1「分周比」: “4”、“16”のいずれかをBRGカウントソース選択ビットで選択

*2「BRG設定値」: 0~255(00₁₆~FF₁₆)

*3 システムクロックとして $f(XIN)$ 、 $f(XCIN)$ のどちらを選択しているかによって決定されます。

ただし、7477グループでは、時計用クロック発生回路を内蔵していないため、 $f(XCIN)$ を使用できません。

外部クロック選択時

$$\text{ボーレート[bps]} = \frac{\text{SCLK端子への入力クロック周波数}}{16}$$

BRGはリロードレジスタを持つシリアルI/O専用の8ビットカウンタで、値nを設定するとカウントソースを(n+1)で分周します。カウントソースはシリアルI/O制御レジスタのビット0が“0”のとき $f(XIN)/4$ (7478グループでは $f(XCIN)/4$ も選択可能)、“1”のとき $f(XIN)/16$ (7478グループでは $f(XCIN)/16$ も選択可能)を選択できます。

ボーレート参考値を表1.13B.2に示します。

表1.13B.2 ボーレート参考値

| ボーレート [bps] | f(XIN) = 7.9872MHz時 | | f(XIN) = 3.9936MHz時 | |
|------------------|---------------------|------------------------|---------------------|-----------------------|
| | カウントソース | BRG設定値 | カウントソース | BRG設定値 |
| 300 | f(XIN)/16 | 103(67 ₁₆) | f(XIN)/16 | 51(33 ₁₆) |
| 600 | f(XIN)/16 | 51(33 ₁₆) | f(XIN)/16 | 25(19 ₁₆) |
| 1200 | f(XIN)/16 | 25(19 ₁₆) | f(XIN)/16 | 12(0C ₁₆) |
| 2400 | f(XIN)/16 | 12(0C ₁₆) | f(XIN)/4 | 25(19 ₁₆) |
| 4800 | f(XIN)/4 | 25(19 ₁₆) | f(XIN)/4 | 12(0C ₁₆) |
| 9600 | f(XIN)/4 | 12(0C ₁₆) | | |
| 15600 | f(XIN)/4 | 7(07 ₁₆) | | |
| 31200 | f(XIN)/4 | 3(03 ₁₆) | | |
| 41600 | f(XIN)/4 | 2(02 ₁₆) | | |

転送データフォーマット

受信データのフォーマットはUART制御レジスタ(UARTCON)により、ビットの選択が可能です。

- ・スタートビット(ST) : 1ビット
- ・データビット(DATA) : 7ビット又は8ビット
- ・パリティビット(PA) : 無し又は1ビット
- ・ストップビット(SP) : 1ビット又は2ビット

表1.13B.3に送信データの各ビットの機能を示します。また、転送データフォーマットを図1.13B.13に示します。

表1.13B.3 UART送信データの各ビット機能

| 名 称 | 機 能 |
|----------------|--|
| スタートビット ST | データの送信開始を示すビットで、1ビット分の“L”信号が送信データの直前に付加されます。 |
| データビット DATA | UART送信バッファレジスタに書き込まれた送信データを示します。“0”のデータは“L”、“1”のデータは“H”信号です。 |
| パリティビット PA | データの信頼性を向上させるために、データビットの直後に付加するビットです。このビットの内容はパリティ選択ビットの内容に従って、パリティビットを含めた送受信データ中の“1”の個数が常に偶数、又は奇数になるように変化します。 |
| ストップビット SP | データの送信完了を示すビットで、データビットの直後(パリティ有効時はパリティビットの直後)に付加されます。ストップビットとして1ビット分、又は2ビット分の“H”信号が出力されます。 |

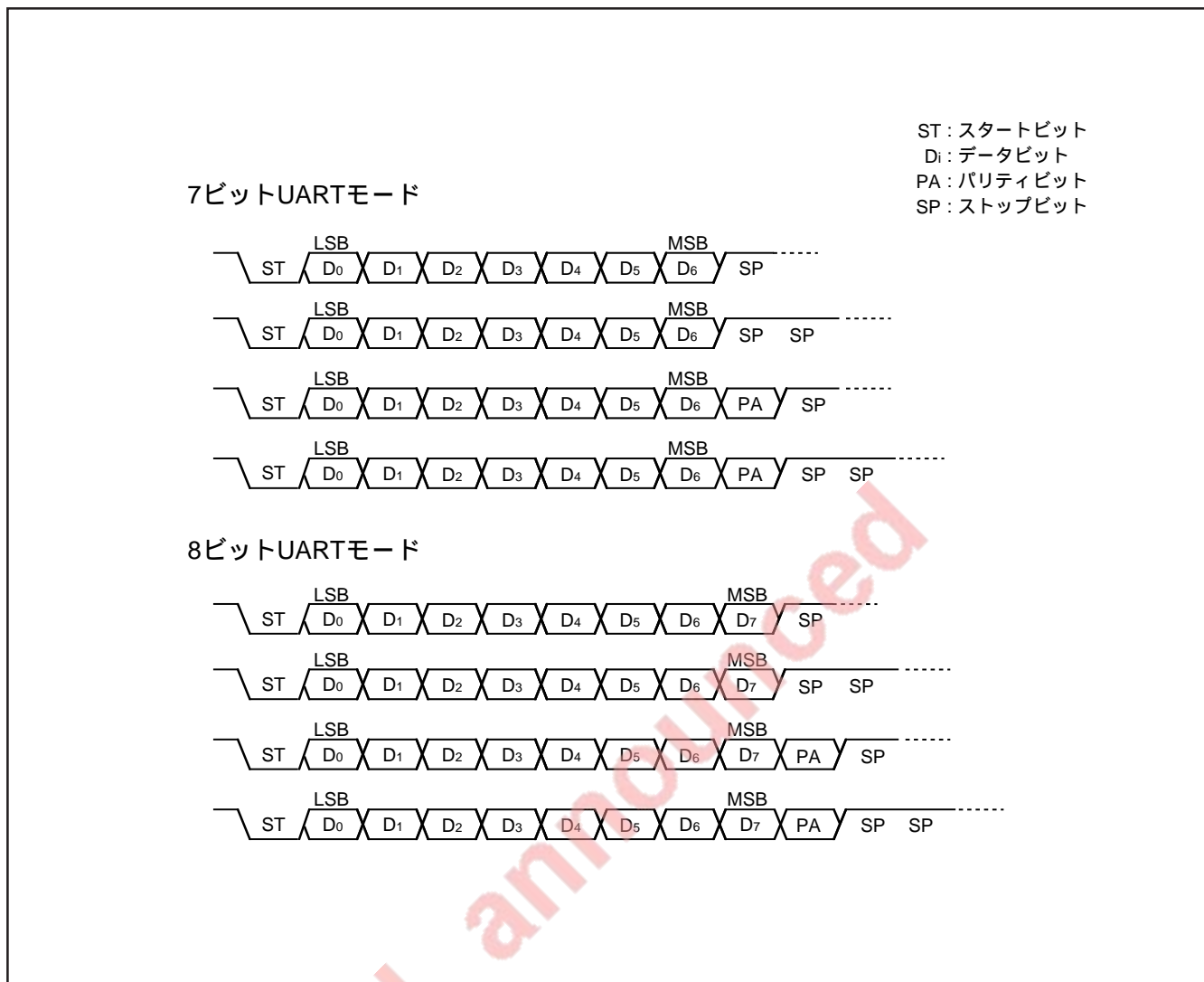


図1.13B.13 UARTの転送データフォーマット

(1) UARTのブロック図

図1.13B.14にUARTのブロック図を示します。

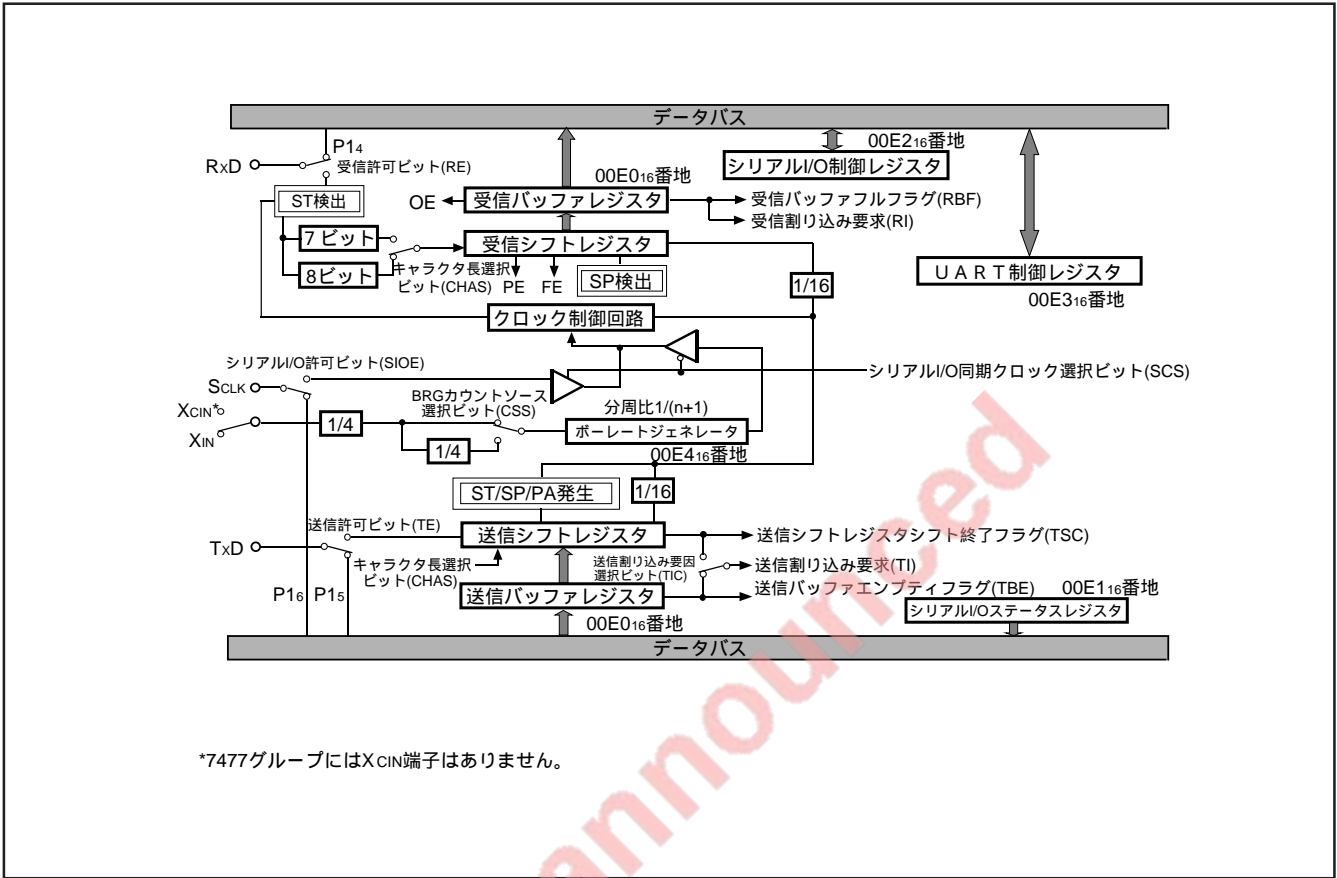


図1.13B.14 UARTブロック図

(2) UARTの送信動作

UARTの送信動作を以下に説明します。

送信動作の開始

送信可能状態^{*1}で、送信バッファレジスタ(TB : 00E0₁₆番地)に送信データを書き込むことによって送信が開始されます。

送信動作

送信バッファレジスタに送信データを書き込むと、シリアルI/Oステータスレジスタ(SIOSTS : 00E1₁₆番地)の送信バッファエンティフラグ(ビット0)が[#]0 になります。

送信バッファレジスタに書き込まれた送信データは、送信シフトレジスタに転送されます。送信シフトレジスタへの転送が完了すると送信バッファエンティフラグは[#]1 になります^{*2}。

シリアルI/O制御レジスタのビット3が[#]0 (送信バッファレジスタが空になったとき)の場合は、この時点で割り込み要求ビットが[#]1 になり割り込み要求が発生します。

送信シフトレジスタに転送された送信データは、スタートビットを先頭に同期クロックの立ち下がりに同期して、P15/TxD端子から出力されます。スタートビット、パリティビット、ストップビットはUART制御レジスタの設定内容に従って、自動的に生成、出力されます。

送信シフト動作が開始されると、シリアルI/Oステータスレジスタの送信シフトレジスタシフト終了フラグ(ビット2)が[#]0 になります。

データは、送信シフトレジスタの最下位ビットから出力され、1ビット出力されるたびに送信シフトレジスタ内容は最下位方向へ1ビットシフトされます。

ストップビット送信開始から、同期クロックの1/2周期後^{*3}で、送信シフトレジスタシフト終了フラグが[#]1 になります。

シリアルI/O制御レジスタのビット3が[#]1 (送信シフト動作が終了したとき)の場合は、この時点で割り込み要求ビットが[#]1 になり割り込み要求が発生します。

*1 : 送信動作のためのレジスタ等の初期化が完了した状態。後述の「1.13B.3 (4) UARTの設定方法」を参照してください。

*2 : 送信バッファエンティフラグが[#]1 の間は次の送信データを送信バッファレジスタに書き込むことができます。

*3 : ストップビットが2ビットの場合は、2ビット目のストップビット出力期間となります。

送信割り込み動作(シリアルI/O選択時のみ有効)

送信割り込みは、シリアルI/O制御レジスタ(SIOCON)のビット3により割り込み要求の発生するタイミングを選択することができます。

- 0: 送信バッファレジスタに書き込んだデータが送信シフトレジスタに移され、送信バッファレジスタが空になったとき割り込み要求を発生
- 1: 送信シフトレジスタのシフト動作が終了したとき、割り込み要求を発生

UARTの場合も同期クロック選択時と同様の割り込み動作をします。

図1.13B.15にUARTの送信動作、図1.13B.16にUARTの送信タイミング例を示します。

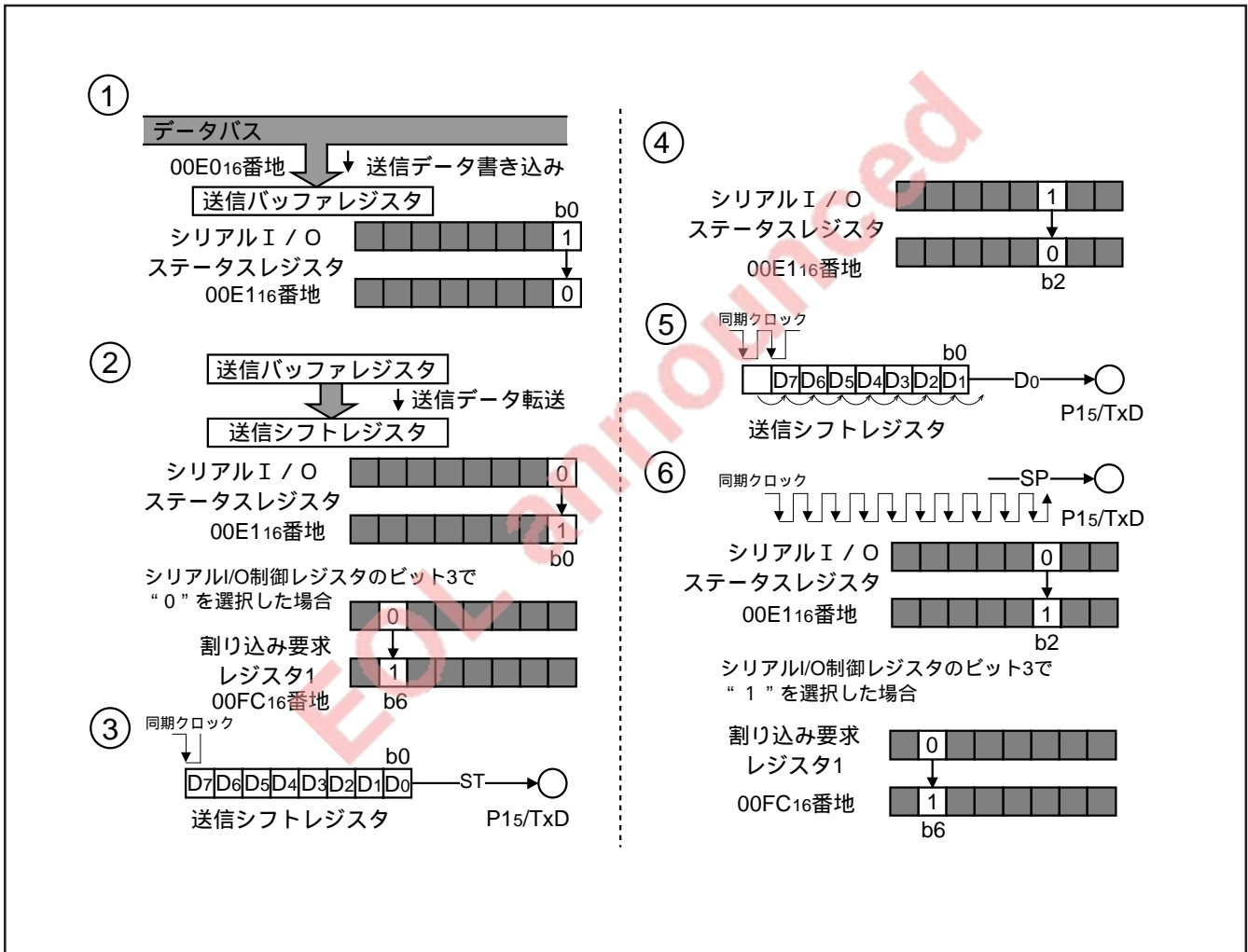


図1.13B.15 UARTの送信動作

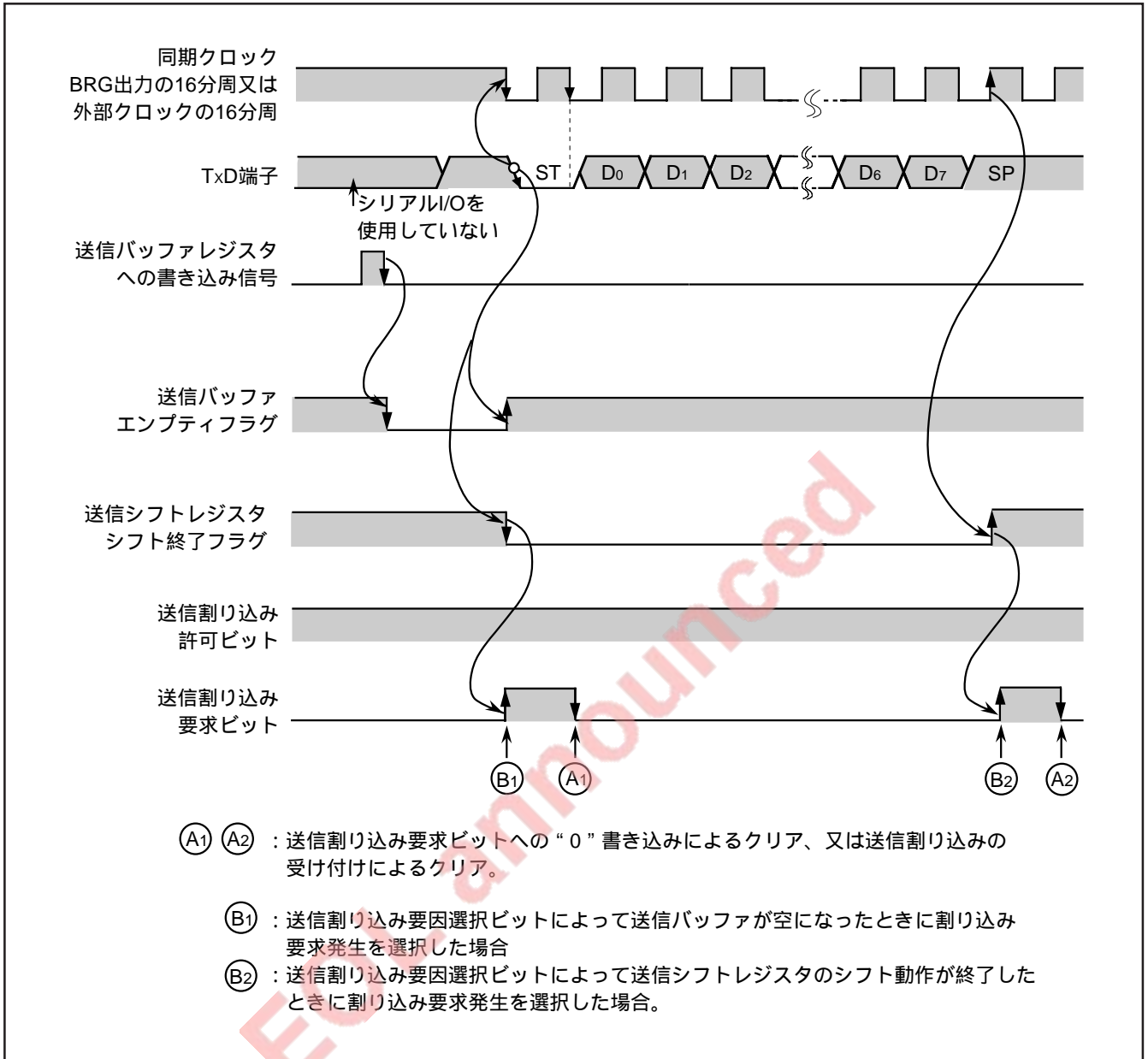


図1.13B.16 UARTの送信タイミング例

(3) UARTの受信動作

UARTの受信動作を以下に説明します。

受信動作の開始

受信可能状態^{*1}で、シリアルI/O制御レジスタ(SIOCON)の受信許可ビット(ビット5)を許可状態("1")にしてください。この操作により、スタートビットの検出を行い、シリアルデータの受信を開始します。

受信動作

P14/RxD端子の立ち下がりを検出した時点から、同期クロックの1/2周期後にP14/RxD端子レベルをチェックし、“L”レベルであればスタートビットと判断します。“H”レベルの場合はノイズと判断し、受信動作を中止し再度スタートビット待ち状態となります。

同期クロックの立ち上がり同期して、P14/RxD端子から1ビットずつデータを受信シフトレジスタへ読み込みます。

スタートビット直後のデータは、受信シフトレジスタの最上位ビットから入り、1ビット受信されるたびに受信シフトレジスタ内容は最下位方向へ1ビットシフトされます。

受信シフトレジスタに規定ビット数が揃い、ストップビット受信(シフトクロックの立ち上がり)により受信シフトレジスタの内容は受信バッファレジスタ(RB)に転送されます^{*2}^{*3}。また、シリアルI/Oステータスレジスタ(SIOSTS)の受信バッファフルフラグ(ビット1)が“1”になり^{*4}、受信割り込み要求が発生します。

受信割り込み要求発生と同時にエラーフラグの検出が行われます。

- *1：受信動作のためのレジスタ等の初期化が完了した状態。後述の「1.13B.3 (4) UARTの設定方法」を参照してください。
- *2：データビット長が7ビットの場合、受信バッファレジスタの内容はビット0～6が受信データ、ビット7(MSB)が“0”となります。
- *3：受信バッファレジスタの内容が読み出されず、データが残っている(受信バッファフルフラグが“1”の状態)で、さらに受信シフトレジスタに受信データが揃った場合、シリアルI/Oステータスレジスタのオーバランエラーフラグが“1”にセットされます。このとき、受信シフトレジスタのデータは受信バッファレジスタに転送されず、受信バッファレジスタの元のデータは保持されます。
- *4：受信バッファフルフラグは、受信バッファレジスタを読み出すことによって“0”になります。

受信割り込み動作(シリアルI/O選択時のみ有効)

受信シフトレジスタにデータが揃い、受信バッファレジスタにシフトレジスタの内容が移されると割り込み要求を発生します。

UARTの場合もクロック同期形シリアルI/O選択時と同様の割り込み動作をします。

UARTの受信動作を図1.13B.17に、UARTの受信タイミング例を図1.13B.18に示します。

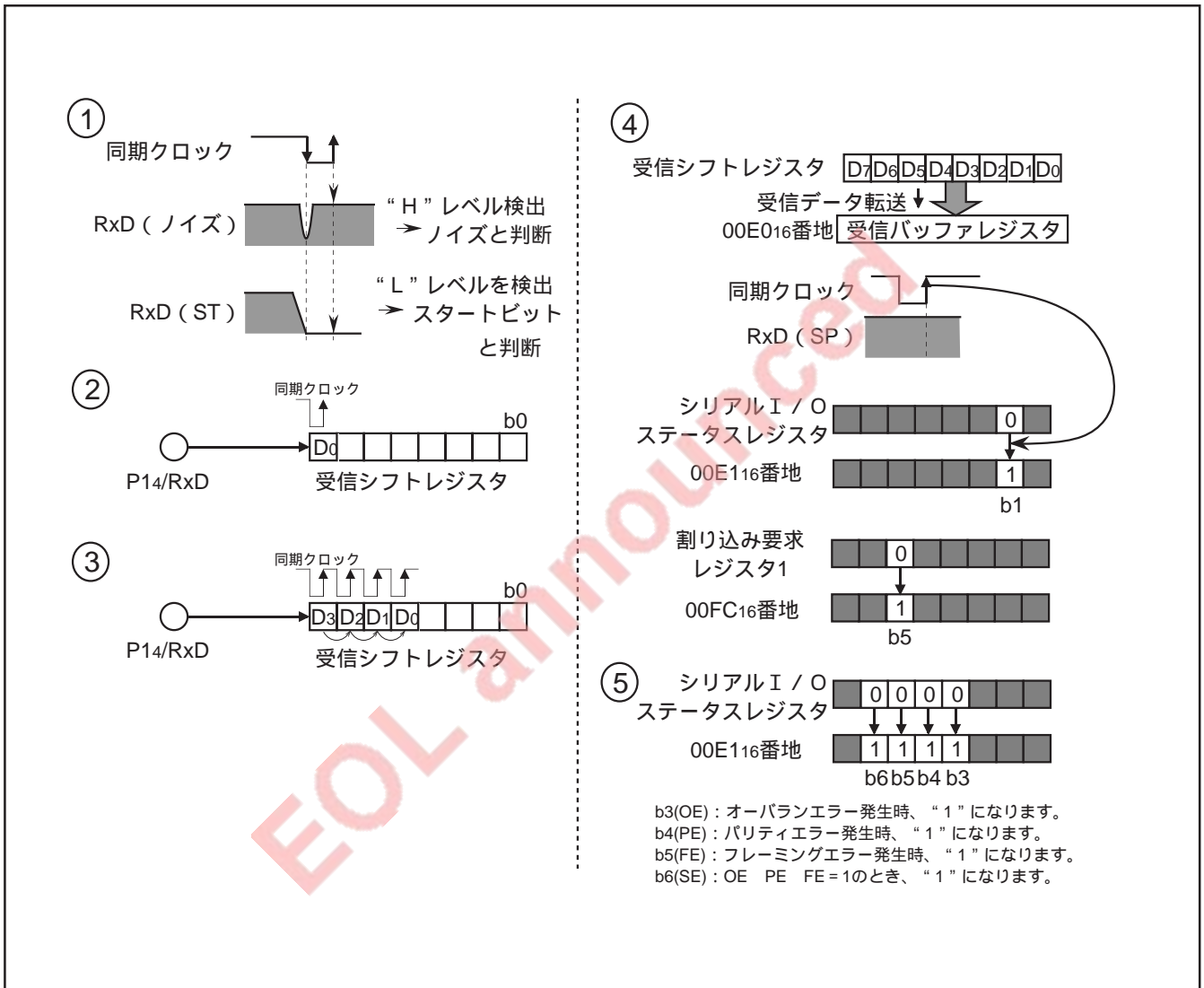


図1.13B.17 UARTの受信動作

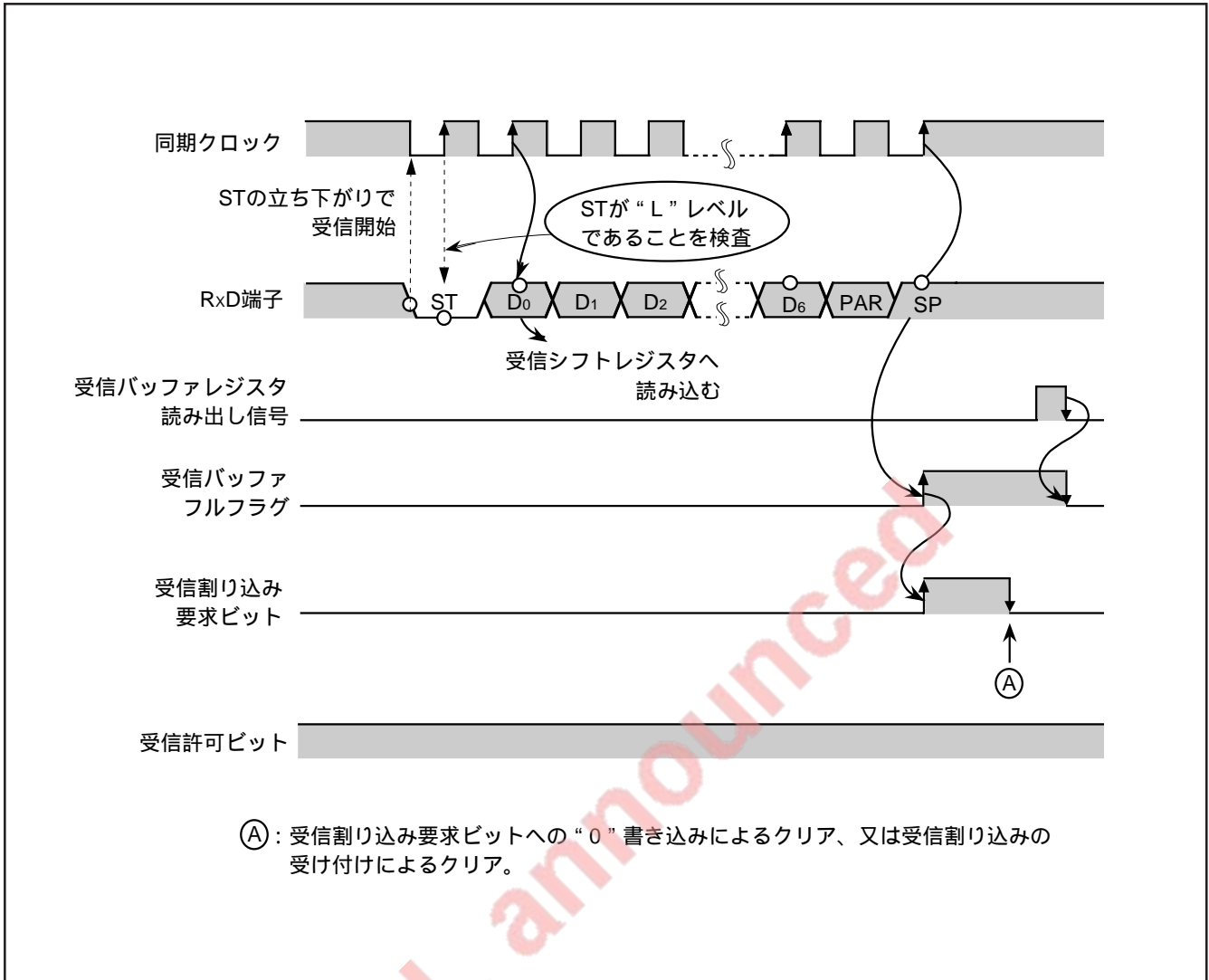
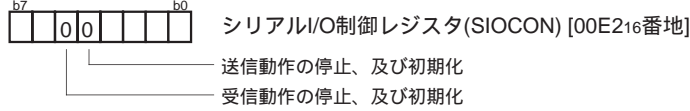


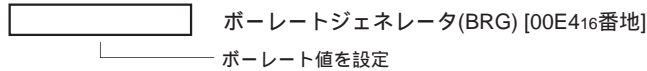
図1.13B.18 UARTの受信タイミング例

(4) UARTの設定方法

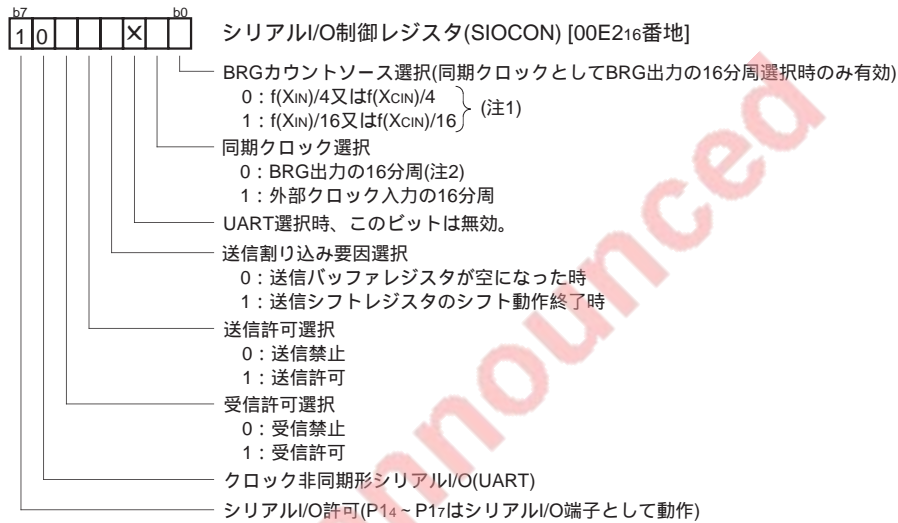
手順1 シリアルI/O動作の停止、及び初期化



手順2 同期クロックとしてBRG出力の16分周を選択する場合、ポーレートジェネレータの設定



手順3 シリアルI/O制御レジスタの設定



注1. $f(X_{IN})$ 、 $f(X_{CIN})$ は、システムクロックによって決まります。

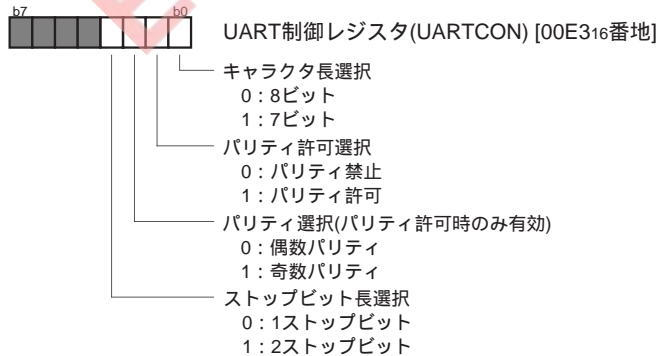
・システムクロックとして $f(X_{IN})$ を選択している場合、 $f(X_{IN})$ を分周したものが同期クロックとなります。

・システムクロックとして $f(X_{CIN})$ を選択している場合、 $f(X_{CIN})$ を分周したものが同期クロックとなります。

ただし、7477グループには X_{CIN} 端子がないので、システムクロックとして $f(X_{CIN})$ を使用できません。

2. 同期クロックとしてBRG出力の16分周を選択する場合、同期クロックはSCLK端子から外部に出力されませんので、P16/SCLK端子は入出力ポートP16として使用できます。

手順4 UART制御レジスタの設定



手順5 送信時、送信データの書き込み

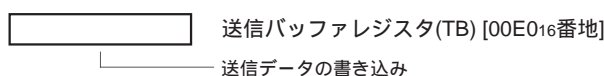


図1.13B.19 UARTの設定方法

1.13B.4 シリアルI/Oに関する注意事項(7477/7478グループ)

(1) 外部クロック選択時の注意事項

7477/7478グループでは、同期クロックとして、内部クロックと外部クロックのいずれかを選択できます。同期クロックとして外部クロックを選択した場合、次の点に注意してください。

クロック同期形シリアルI/Oの場合

データ送信時、送信許可ビットへの“1”書き込み、及び送信バッファレジスタへの書き込みは、同期クロックが“H”の状態で行ってください。

送信または、受信シフトレジスタのシフト動作は、同期クロックがシリアルI/Oの回路に入力されている間続けられます。したがって同期クロックは8サイクルで停止させてください。

なお、内部クロックを選択している場合は、同期クロックは自動的に停止します。

外部クロック源として使用するパルスの“H”及び“L”の幅(T_{WH} , T_{WL})を T_{WH} , T_{WL} [s] $8 / (f(XIN)$ [Hz])としてください。例えば $f(XIN) = 8\text{MHz}$ の場合、500kHz以下のクロック(デューティ比50%)を使用してください。

UARTの場合

外部クロック源として使用するパルスの“H”及び“L”の幅(T_{WH} , T_{WL})を T_{WH} , T_{WL} [s] $2 / (f(XIN)$ [Hz])としてください。例えば $f(XIN) = 8\text{MHz}$ の場合、2MHz以下のクロック(デューティ比50%)を使用してください。

(2) クロック同期形シリアルI/Oにおいて、 $\overline{\text{SRDY}}$ 出力を行う場合

外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(3) シリアルI/O送信、受信割り込みを行う場合

シリアルI/O送信割り込みを使用する場合は、以下の順で設定してください。

割り込み制御レジスタ1のシリアルI/O送信割り込み許可ビットを“0”にする。

シリアルI/O制御レジスタを設定する。

割り込み要求レジスタ1のシリアルI/O送信割り込み要求ビットを“0”にする。

割り込み制御レジスタ1のシリアルI/O送信割り込み許可ビットを“1”にする。

理由

1: シリアルI/O制御レジスタを用いて通常ポートをシリアルI/O端子に切り替えると、シリアルI/Oに送信割り込み要求ビットが“1”になることがあります。

2: シリアルI/O制御レジスタの送信許可ビットを“1”にすると、送信バッファエンプティフラグ及び送信シフトレジスタシフト終了フラグが“1”になります。したがって、シリアルI/O制御レジスタの送信割り込み要因選択ビットの状態に関わらずシリアルI/O送信割り込み要求ビットが“1”になり、割り込み要求が発生します。

シリアルI/O受信割り込みを使用する場合は、以下の順で設定してください。

割り込み制御レジスタ1のシリアルI/O受信割り込み許可ビットを“0”にする。

シリアルI/O制御レジスタを設定する。

割り込み要求レジスタ1のシリアルI/O受信割り込み要求ビットを“0”にする。

割り込み制御レジスタ1のシリアルI/O受信割り込み許可ビットを“1”にする。

理由

シリアルI/O制御レジスタを用いて通常ポートをシリアルI/O端子に切り替えると、シリアルI/O受信割り込み要求ビットが“1”になることがあります。

(4) 1バイトのデータ送信終了後送信を禁止する場合

データ送信終了を知る方法として、7477/7478グループでは、送信シフトレジスタシフト終了フラグ(TSCフラグ)を参照する方法があります。

TSCフラグは、データ送信中“0”になり、データ送信が終了すると“1”になります。したがって、TSCフラグが“0”から“1”に変化したことを確認した時点で送信を禁止すれば、送信を1バイトで終了することができます。しかし、TSCフラグはシリアルI/Oを許可状態にしたときも“1”になり、同期クロックが発生し送信が開始されるまで“0”になりませんので、この時点でTSCフラグを参照し送信を禁止すると、データが送信されません。TSCフラグを参照する場合は、送信開始後に行ってください。

また、送信シフトレジスタシフト終了フラグの“1”から“0”への変化は、同期クロックの0.5~1.5サイクル分遅れます。

(5) シリアルI/O制御レジスタ(SIOCON)を再設定する場合

シリアルI/O制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定してください。

送信許可ビット(TE)、受信許可ビット(RE)の両方を“0”にする。

シリアルI/O制御レジスタのビット0~ビット3、及びビット6を設定する。

送信許可ビット(TE)、受信許可ビット(RE)の両方を“1”にする。

() はLDM命令で同時に設定可)

(6) クロック同期形シリアル I/O の送受信動作を停止する場合

半二重通信時、送信動作を停止する場合、シリアル I/O 許可ビット及び送信許可ビットを“0”(シリアル I/O 及び送信禁止)にしてください。

理由

シリアル I/O 許可ビットだけを“0”(シリアル I/O 禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、 $\overline{\text{SRDY}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。

この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアル I/O 許可ビットを“1”にすると、内部でシフト中のデータが途中から TxD 端子に出力され、不具合の原因となります。

半二重通信時、受信動作を停止する場合、受信許可ビットを“0”(受信禁止)、又はシリアル I/O 許可ビットを“0”(シリアル I/O 禁止)にしてください。

全二重通信時、送信動作及び受信動作を停止する場合、送信許可ビット及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください(クロック同期形シリアル I/O の全二重通信時、送信動作又は受信動作のいずれか一方だけを停止することはできません)。

理由

クロック同期形シリアル I/O では、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。クロック同期形シリアル I/O では、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また、上記の「半二重通信時、送信動作を停止する場合」と同様に、シリアル I/O 許可ビットを“0”(シリアル I/O 禁止)にしても送信回路を初期化できません。

(7) UART の送受信動作を停止する場合

送信動作を停止する場合、送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアル I/O 許可ビットだけを“0”(シリアル I/O 禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、 $\overline{\text{SRDY}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。

この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアル I/O 許可ビットを“1”にすると、内部でシフト中のデータが途中から TxD 端子に出力され、不具合の原因となります。

受信動作を停止する場合、受信許可ビットを“0”(受信禁止)にしてください。

送信動作及び受信動作を停止する場合、送信許可ビットを“0”(送信禁止)にしてください。

理由

シリアル I/O 許可ビットだけを“0”(シリアル I/O 禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxD、RxD、SCLK、 $\overline{\text{SRDY}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。

この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアル I/O 許可ビットを“1”にすると、内部でシフト中のデータが途中から TxD 端子に出力され、不具合の原因となります。

(8) エラー発生時の処理方法

パリティエラー、フレーミングエラー、サミングエラー発生時の処理

パリティエラー、フレーミングエラー及びサミングエラーが発生すると、シリアルI/Oステータスレジスタの各エラーに対応するフラグが“1”になります。これらのフラグは自動的に“0”になりませんので、ソフトウェアにより“0”にしてください。

パリティエラーフラグ、フレーミングエラーフラグ、サミングエラーフラグのクリアは、

受信許可ビットを“0”にする

シリアルI/Oステータスレジスタに任意のダミーデータを書き込む

のうちいずれかで行えます。

オーバランエラー発生時の処理

オーバランエラーは、受信バッファレジスタにデータが入っている状態で、受信シフトレジスタにデータが揃ったとき発生します。

オーバランエラーが発生した場合、受信シフトレジスタのデータは受信バッファレジスタに転送されず、受信バッファレジスタのデータは保持されます。このとき、受信バッファレジスタのデータを読み出しても受信シフトレジスタのデータは転送されません。したがって、受信バッファレジスタのデータは読み出せますが、受信シフトレジスタのデータは読み出すことができず無効となります。

オーバランエラーが発生した場合は、シリアルI/Oステータスレジスタのオーバランエラーフラグを“0”にした後、再度受信準備を行ってください。

オーバランエラーフラグのクリアは、

シリアルI/O許可ビットを“0”にする

受信許可ビットを“0”にする

シリアルI/Oステータスレジスタに任意のダミーデータを書き込む

のうちいずれかで行えます。

(9) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れで“1”から“0”へ変化します。したがって、送信バッファレジスタに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

1.14 A-D変換器

7470/7471/7477/7478グループは、

アナログ入力端子 7470/7477グループ：4チャンネル(ポートP2と兼用)

7471/7478グループ：8チャンネル(ポートP2と兼用)

変換方式 逐次近似比較変換方式

のA-D変換器を内蔵しています。

7470/7471グループではA-D変換器を使用しない場合、VREFスイッチにより消費電力を抑えることができます(7477/7478グループにはこの機能はありません)。

1.14.1 A-D変換器のブロック図

A-D変換器のブロック図を図1.14.1に示します。

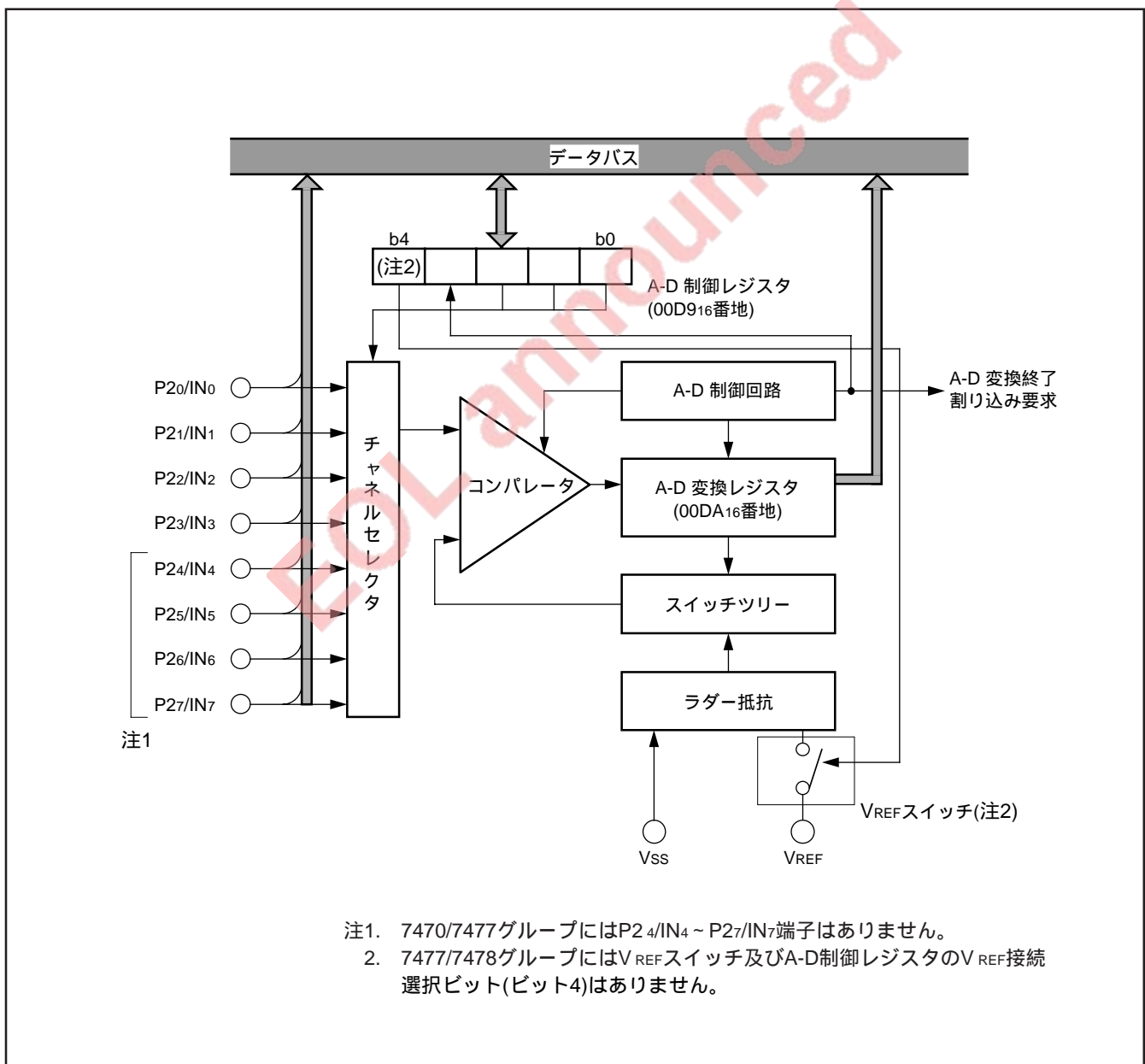


図1.14.1 A-D変換器 ブロック図

1.14.2 A-D変換器の関連レジスタ

図1.14.2にA-D変換器関連レジスタのメモリ配置を示します。

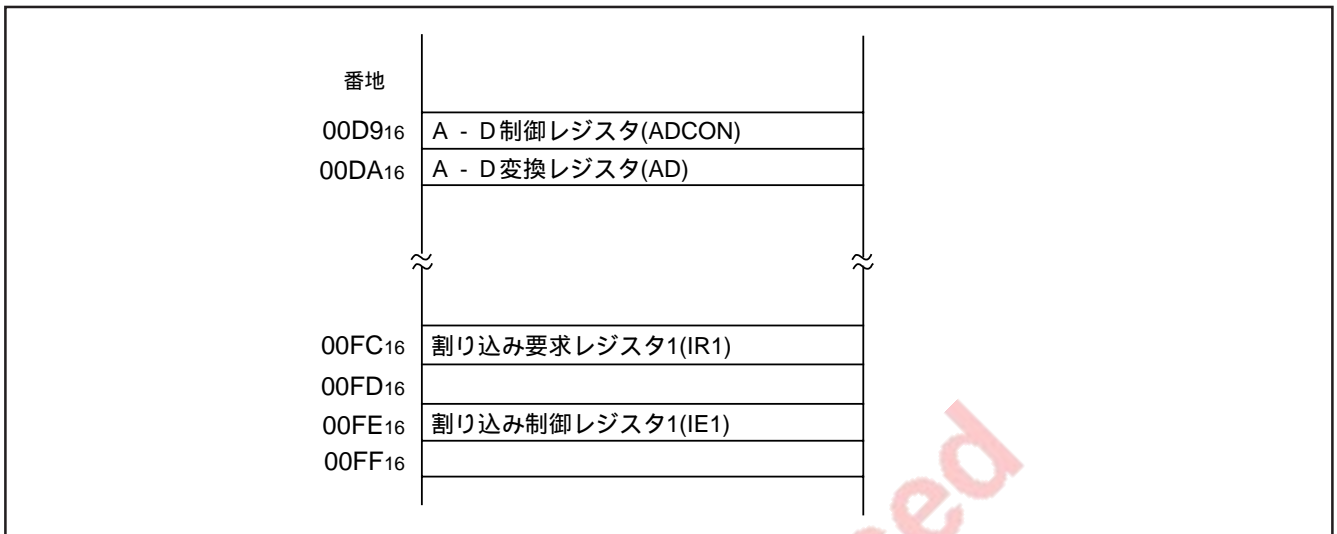


図1.14.2 A-D変換器関連レジスタのメモリ配置

(1) A-D変換レジスタ(AD : 00DA₁₆番地)

A-D変換レジスタには、A-D変換結果が格納されます。このレジスタは読み出し専用です。図1.14.3にA-D変換レジスタの構成を示します。

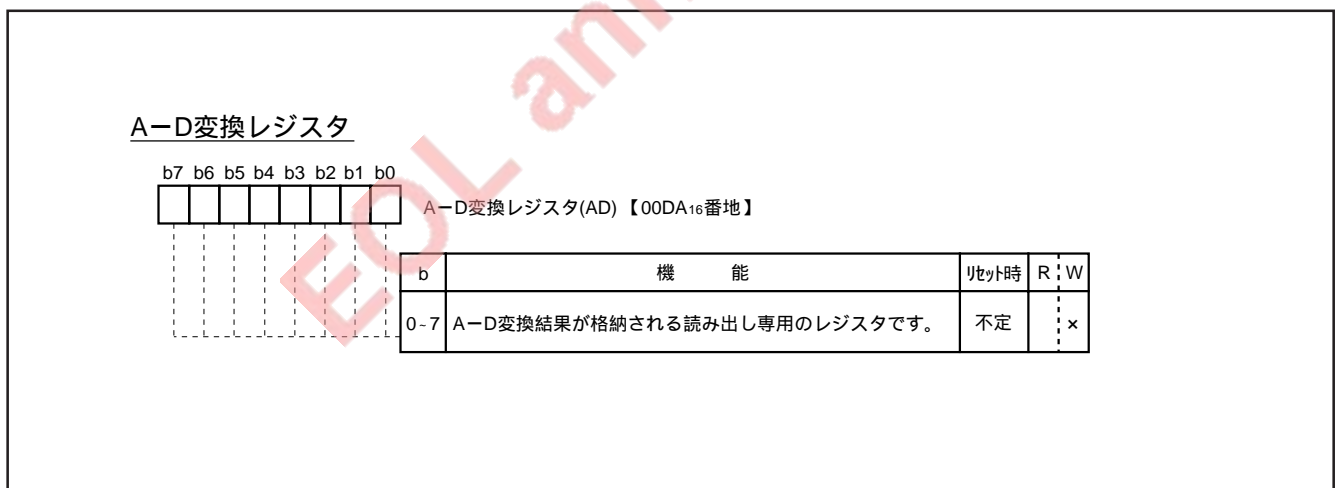


図1.14.3 A-D変換レジスタの構成

(2) A-D制御レジスタ(ADCON : 00D9₁₆番地)

A-D制御レジスタは、A-D変換器の各種制御を行うビットで構成されたレジスタです。

図1.14.4にA-D制御レジスタの構成を示します。

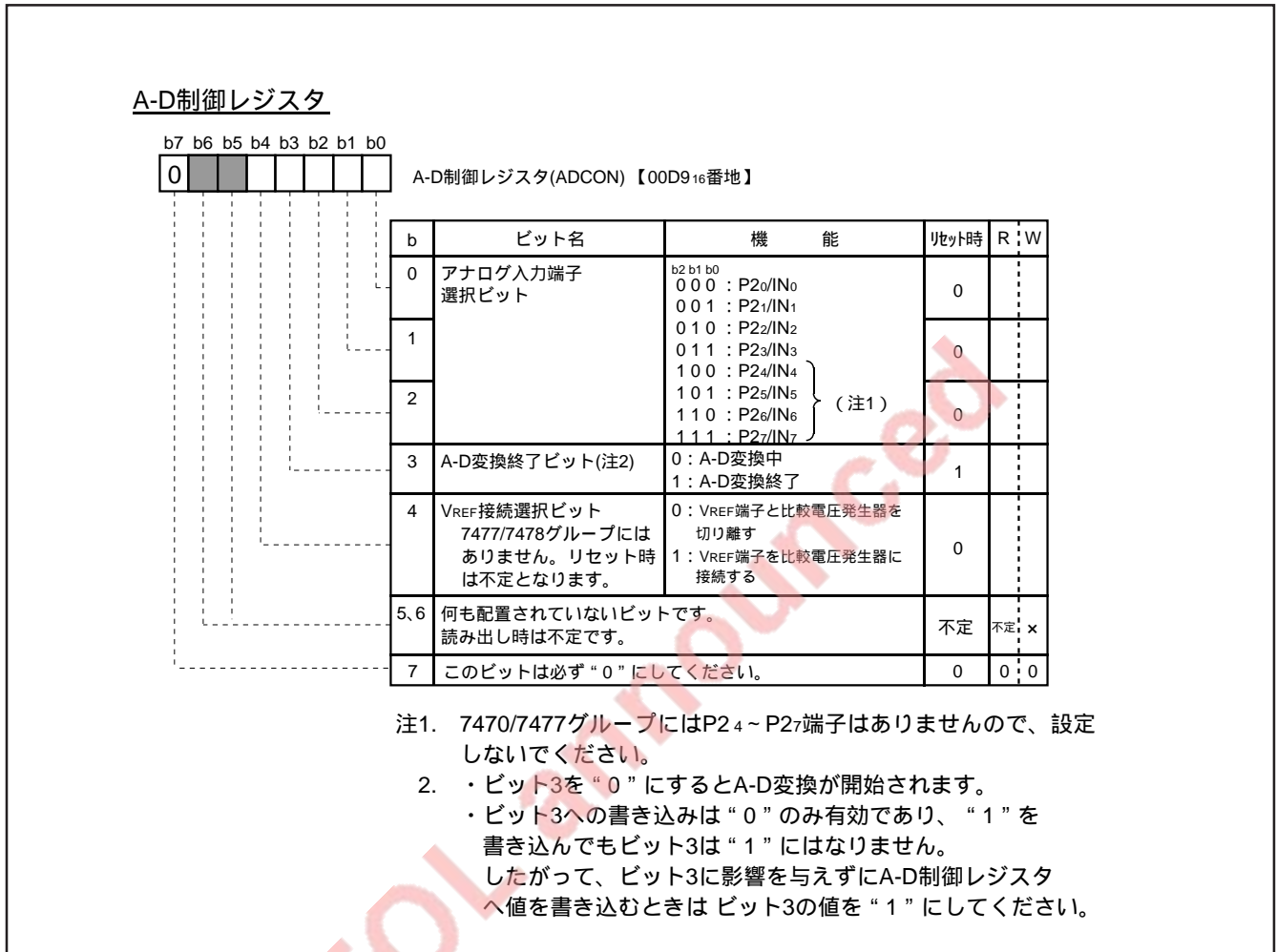


図1.14.4 A-D制御レジスタの構成

A-D制御レジスタの各ビットについて以下に説明します。

アナログ入力端子選択ビット：ビット2～ビット0

アナログ入力端子を選択するためのビットです。

なお、ポートP2のアナログ入力端子として使用しない端子は、プログラマブル入出力ポート(7477/7478グループでは入力ポート)として機能します。

A-D変換終了ビット：ビット3

A-D変換器の動作状態を示すビットです。A-D変換中は“0”、A-D変換終了時には“1”になります。また、このビットを“0”にするとA-D変換が開始されます(変換中に“0”にした時点からA-D変換再スタートとなります)。

VREF接続選択ビット：ビット4(7477/7478グループにはありません)

VREF端子とラダー抵抗を接続するためのビットです。A-D変換器使用時は必ず“1”にしてください。また、A-D変換器を使用しない場合は、このビットを“0”にすると消費電力を低減できます。

EOL announced

1.14.3 A-D変換器の動作説明

A-D変換方式は、逐次比較変換方式です。

内部で生成する比較電圧 V_{ref} と、アナログ入力端子(P20/IN0～P27/IN7)から入力されるアナログ入力電圧 V_{IN} を比較し、その結果をA-D変換レジスタ(00DA16番地)の各ビットに逐次格納してデジタル値を得ます。

【内部動作】

A-D変換を開始すると以下の動作が自動的に行われます。

A-D変換レジスタが 0016 になります。

比較電圧 V_{ref} とアナログ入力電圧 V_{IN} の比較が8回行われます。1回の比較ごとにA-D変換レジスタの内容が最上位ビットから1ビットずつ確定されます。比較電圧 V_{ref} は、A-D変換レジスタの内容及び V_{REF} 端子から入力される基準電圧 V_{REF} によって以下の式で決定されます。

V_{ref} と V_{REF} の関係式

| |
|--|
| $n = 0$ の時 $V_{ref} = 0$ $n = 1 \sim 255$ の時 $V_{ref} = V_{REF}/256 \times (n - 0.5)$ n : A-D変換レジスタの値(10進表現) |
|--|

[1] A-D変換レジスタの最上位ビット(ビット7)の確定(1回目の比較)

A-D変換レジスタのビット7が 1 になり、上式で決定される比較電圧 V_{ref} がコンパレータに入力されます。

比較電圧 V_{ref} とアナログ入力電圧 V_{IN} が比較され、その結果によってA-D変換レジスタのビット7は以下のように確定されます。

$V_{ref} < V_{IN}$ の場合 : 1 を保持する

$V_{ref} > V_{IN}$ の場合 : 0 になる

[2] A-D変換レジスタのビット6～ビット0の確定(2回目以降の比較)

まず、A-D変換レジスタのビット6が 1 になります。次に比較電圧 V_{ref} とアナログ入力電圧 V_{IN} が比較され、その結果によってA-D変換レジスタのビット6は以下のように確定されます。

$V_{ref} < V_{IN}$ の場合 : 1 を保持する

$V_{ref} > V_{IN}$ の場合 : 0 になる

同様に、ビット5～ビット0が3回目～8回目の比較結果によって確定されます。

これらの動作によって、アナログ入力電圧VINに対応するデジタル値(A-D変換レジスタの内容)は、1ビットずつ確定されます。

図1.14.5にA-D変換中のA-D変換レジスタ内容と比較電圧の変化を示します。

A-D変換が完了すると、A-D制御レジスタのビット3が「1」になり、また、割り込み要求レジスタ1のA-D変換終了割り込み要求ビットが「1」になり、A-D変換終了割り込み要求が発生します。

注 . A-D変換結果は、A-D制御レジスタのビット3が「1」になった後に、A-D変換レジスタを読み出すことによって得られます。

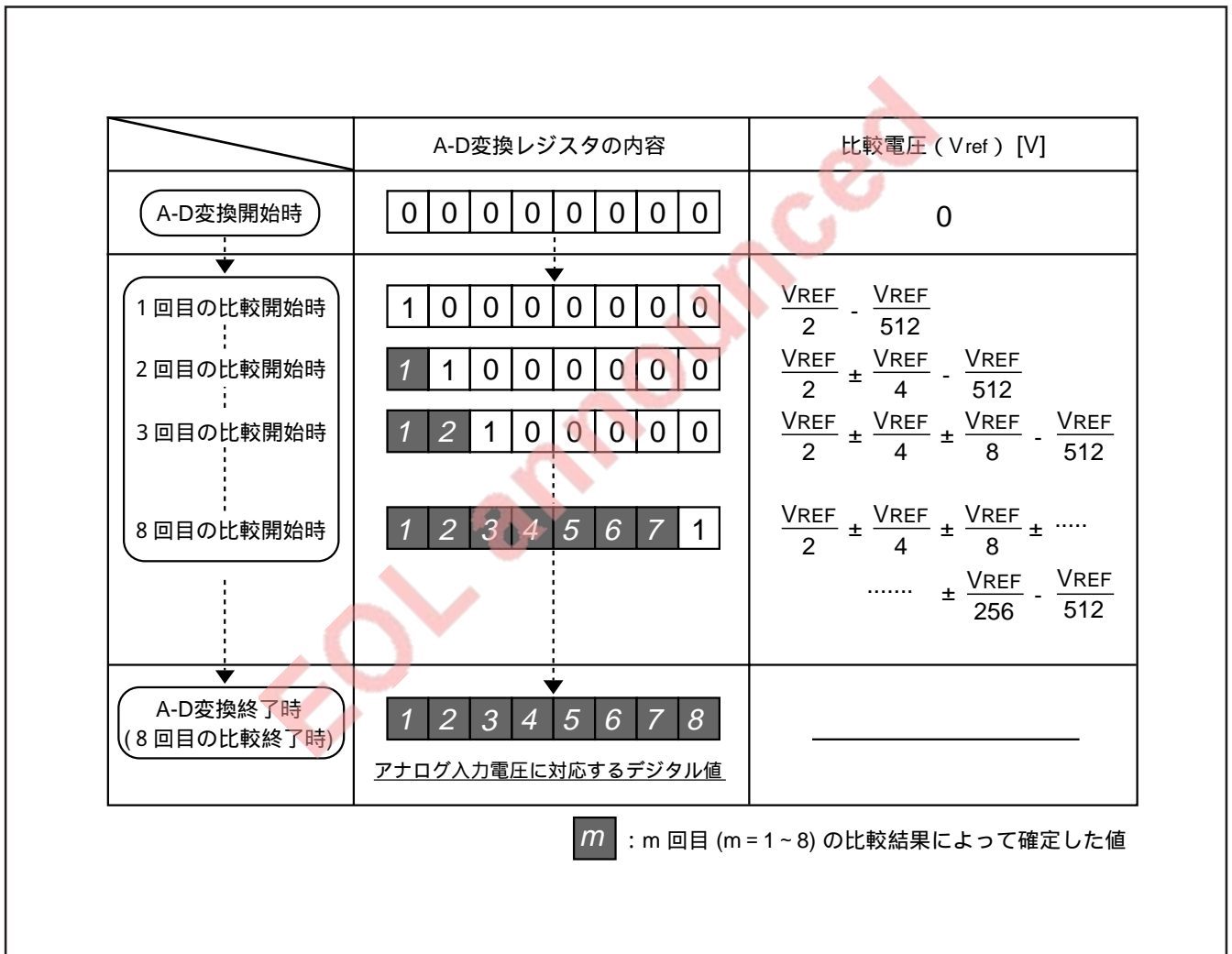


図1.14.5 A-D変換中のA-D変換レジスタと比較電圧の変化

A-D変換レジスタの読み出し

A-D変換が終了後、A-D変換レジスタを読み出し、A-D変換結果を得ます。A-D変換の終了は、以下のいずれかの状態で確認できます。

- ・ A-D変換終了ビットが“1”のとき
- ・ A-D変換終了割り込み要求ビットが“1”のとき
- ・ A-D変換終了割り込み処理ルーチンへの分岐時(A-D変換割り込み許可の場合)

- 注1 . A-D変換中は必ずVREF端子とラダー抵抗を接続してください。(7470/7471グループのみ)
- 2 . A-D変換中にA-D制御レジスタのA-D変換終了ビット(ビット3)への“0”書き込みを実行した時点からA-D変換は再スタートとなります。
- 3 . A-D変換を開始してもA-D変換終了割り込み要求ビットは自動的に“0”になりません。変換前に必ず“0”にしてください。

変換時間

A-D変換開始後、50サイクル($f(XIN) = 8\text{MHz}$ のとき、 $12.5\ \mu\text{s}$)でA-D変換は終了します。

A-D変換器の動作クロックには、メインクロック入力発振周波数 $f(XIN)/2$ を使用しますので、A-D変換時間は基本的には次式で求められます。

$$\text{A-D変換時間} = \frac{2}{f(XIN)} \times \text{変換サイクル(50サイクル)}$$

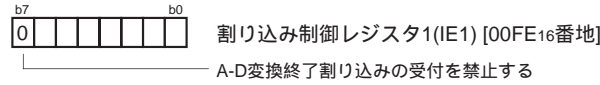
注 . コンパレータは容量結合で構成されていますので、A-D変換器は以下の状態で使用してください。

$$f(XIN) \quad 1\text{MHz}$$

したがって、CPUモードレジスタ(00FB16番地)のビット7が“0”(通常モード)の状態で使用してください。

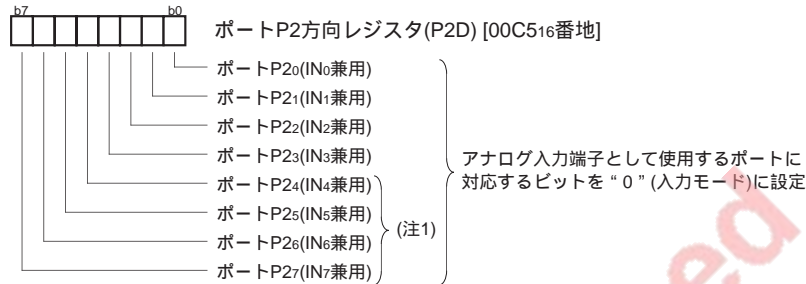
1.14.4 A-D変換器の設定方法

手順1 A-D変換終了割り込みの受付を禁止する



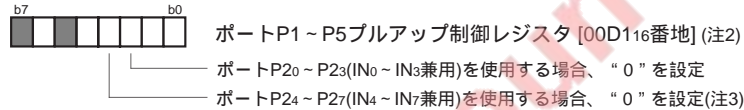
手順2 7470/7471グループの場合、アナログ入力端子と兼用のポートに関する設定
 手順2の設定は7477/7478グループでは必要ありません。(ポートP2は入力専用で、プルアップトランジスタはありません。)

1. アナログ入力端子として使用するポートを入力モードに設定



注1. 7470グループでは、P24/IN4～P27/IN7端子がありません。

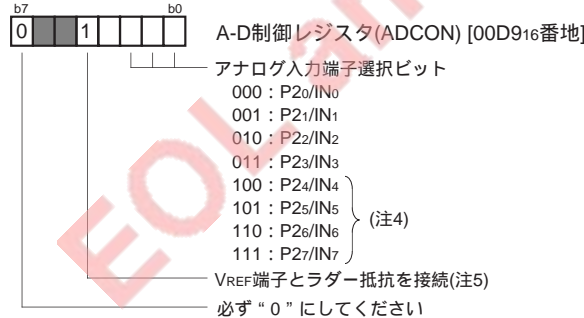
2. アナログ入力端子として使用するポートのプルアップを解除



注2. 7470グループでは、ポートP1～P4プルアップ制御レジスタが配置されています。

3. 7470グループでは、P24/IN4～P27/IN7端子がありません。

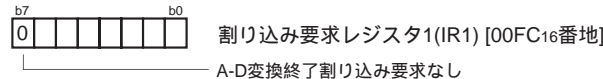
手順3 A-D制御レジスタの設定



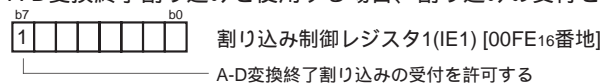
注4. 7470グループでは、P24/IN4～P27/IN7端子がありませんので設定しないでください。

5. VREF端子とラダー抵抗を接続した後、1.0μs以上のVREF安定待ち時間が経過してからA-D変換を開始してください。
 7477/7478グループでは、VREF接続選択ビットはありません。

手順4 A-D変換終了割り込み要求ビットを“0”にする



手順5 A-D変換終了割り込みを使用する場合、割り込みの受付を許可する



手順6 A-D変換の開始

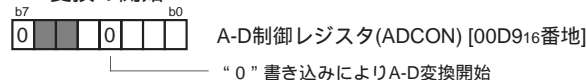


図1.14.6 A-D変換器の設定方法

1.14.5 A-D変換器に関する注意事項

A-D変換器は、下記の点に注意してください。

コンパレータは容量結合で構成されており、クロック周波数が低いと電荷が失われてしまいます。そのため、

A-D変換実行中は $f(X_{IN})$ を1MHz以上にしてください。

A-D変換中はSTP命令を実行しないでください。

A-D変換器を使用する場合は基準電圧入力端子 V_{REF} に

- ・ $V_{CC} = 2.7 \sim 4.0V$ の場合、 $2 \sim V_{CC} \alpha V$]
- ・ $V_{CC} = 4.0 \sim 5.5V$ の場合、 $0.5V_{CC} \sim V_{CC} \alpha V$]

の電圧を印加してください。

V_{REF} を下げて使用すると精度が悪くなるので注意してください。

A-D変換器を使用しない場合は V_{CC} 端子に接続してください。

アナログ電源電圧入力端子 AV_{SS} に V_{SS} 端子と同電位を印加してください。

(AV_{SS} 端子は7471/7478グループの56P6N-Aパッケージ品の専用端子です。)

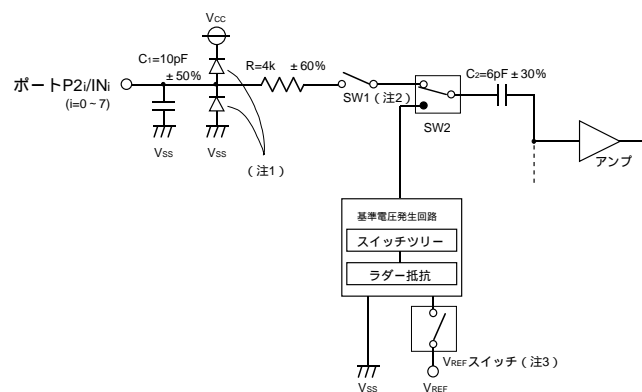
7470/7471グループの場合、使用するアナログ入力端子に対応するポートP2方向レジスタのビットを“0”(入力モード)にしてください。

7470/7471グループの場合、使用するアナログ入力端子に対応するプルアップ制御レジスタのビットを“0”(プルアップしない)にしてください。

アナログ入力内部等価回路は図1.14.7の通りです。A-D変換を正しく行うためには、内部のコンデンサへの充電が所定の時間内に終了することが必要です。この時間内にコンデンサの充電を完了させるために必要なアナログ入力源の出力インピーダンス最大値は以下の通りです。

- ・ $f(X_{IN}) = 4MHz$ 時 約 $10k\Omega$
- ・ $f(X_{IN}) = 8MHz$ 時 約 $2k\Omega$

出力インピーダンスの最大値が上記の値を超える場合は、アナログ入力端子 - V_{SS} 間にコンデンサ($0.1\mu F \sim 1\mu F$ 程度)を挿入する、等の対策を施してください。



- 注1. 出力トランジスタの寄生ダイオードです。
- 注2. SW1はアナログ入力端子選択時のみONします。
- 注3. 7477/7478グループには V_{REF} スイッチはありません。

図1.14.7 アナログ入力部内部等価回路

1.14.6 参考

A-D変換精度の定義

A-D変換精度の定義について説明します。

図1.14.8に示すA-D変換精度の定義を参照してください。

(1) 相対精度

ゼロトランジション誤差(V_{0T})

A-D変換出力データが“0”から“1”に変化する時の入力電圧の、0～ V_{REF} 間の理想的なA-D変換特性からの偏差

$$V_{0T} = \left(V_0 - \frac{1}{2} \times \frac{V_{REF}}{256} \right) \div 1\text{LSB} \quad [\text{LSB}]$$

フルスケールトランジション誤差(V_{FST})

A-D変換出力データが“255”から“254”に変化する時の入力電圧の、0～ V_{REF} 間の理想的なA-D変換特性からの偏差

$$V_{FST} = \left\{ \left(V_{REF} - \frac{3}{2} \times \frac{V_{REF}}{256} \right) - V_{254} \right\} \div 1\text{LSB} \quad [\text{LSB}]$$

非直線性誤差

実際のA-D変換特性の、 V_0 ～ V_{254} 間の理想特性からの偏差

$$\text{非直線性誤差} = \{ V_n - (1\text{LSB} \times n + V_0) \} \div 1\text{LSB} \quad [\text{LSB}]$$

微分非直線性誤差

出力データを“1”変化させるのに必要な入力電圧の、 V_0 ～ V_{254} 間の理想特性からの偏差

$$\text{微分非直線性誤差} = \{ (V_{n+1} - V_n) - 1\text{LSB} \} \div 1\text{LSB} \quad [\text{LSB}]$$

(2) 絶対精度

絶対精度

実際のA-D変換特性の、0～ V_{REF} 間の理想特性からの偏差

$$\text{絶対精度} = \{ V_n - 1\text{LSB} \times \left(n + \frac{1}{2} \right) \} \div 1\text{LSB} \quad [\text{LSB}]$$

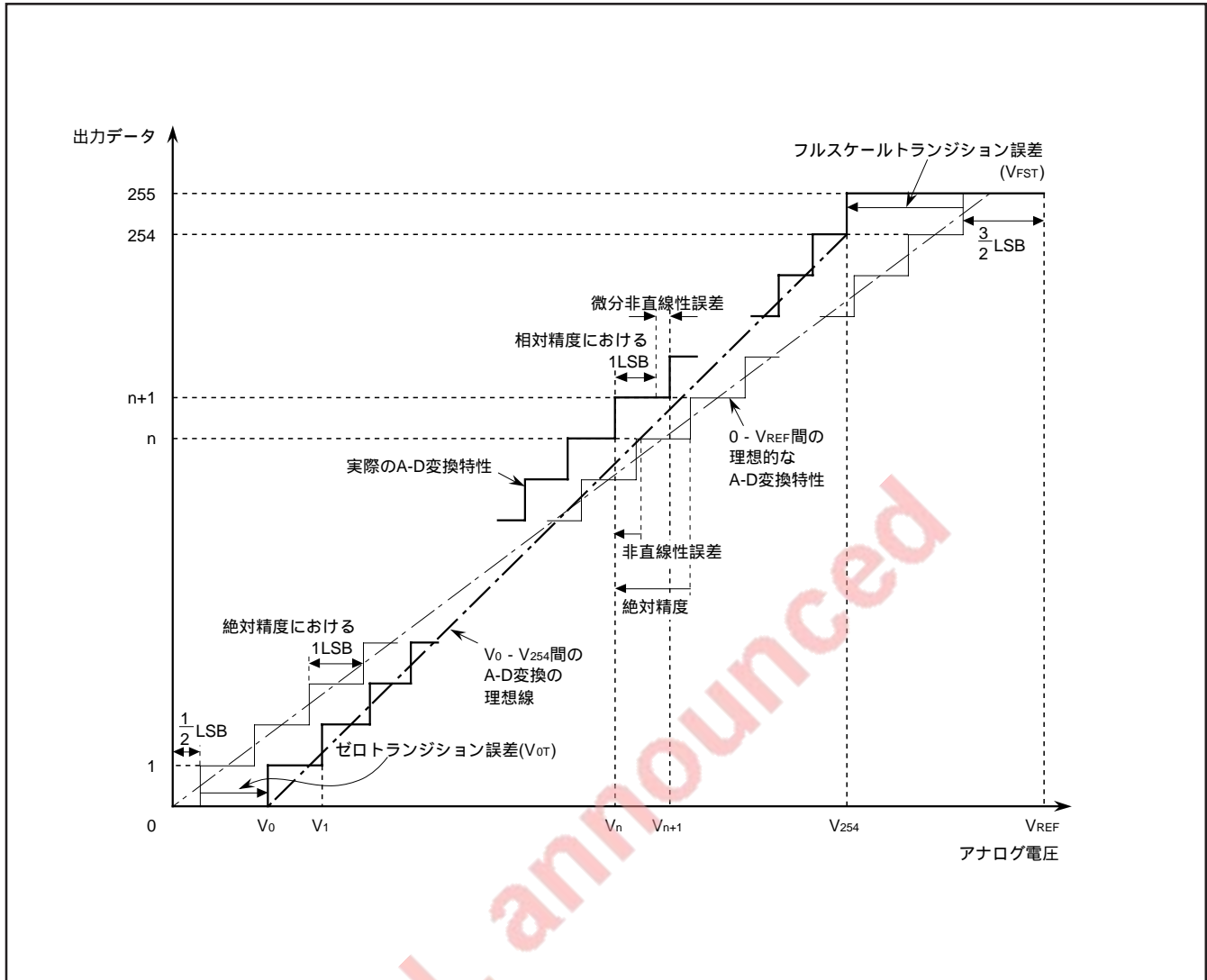


図1.14.8 A-D変換精度の定義

V_n : 出力データが“ n ”から“ $n + 1$ ”に変化する時のアナログ入力電圧($n=0 \sim 254$)

$$\cdot 1\text{LSB} = \frac{V_{254} - V_0}{254} \text{ (V)} \quad \text{相対精度における1LSB}$$

$$\cdot 1\text{LSB} = \frac{V_{\text{REF}}}{256} \text{ (V)} \quad \text{絶対精度における1LSB}$$

1.15 リセット

電源電圧が規格内にあるとき、 $\overline{\text{RESET}}$ 端子に $2\mu\text{s}$ 以上“L”レベルを印加するとリセット状態になります。その後 $\overline{\text{RESET}}$ 端子に“H”レベルを印加するとリセット状態が解除され、リセット飛び先格納番地の内容からプログラムを実行します。

1.15.1 リセットの動作説明

図1.15.1にリセット解除後の内部処理シーケンスを示します。

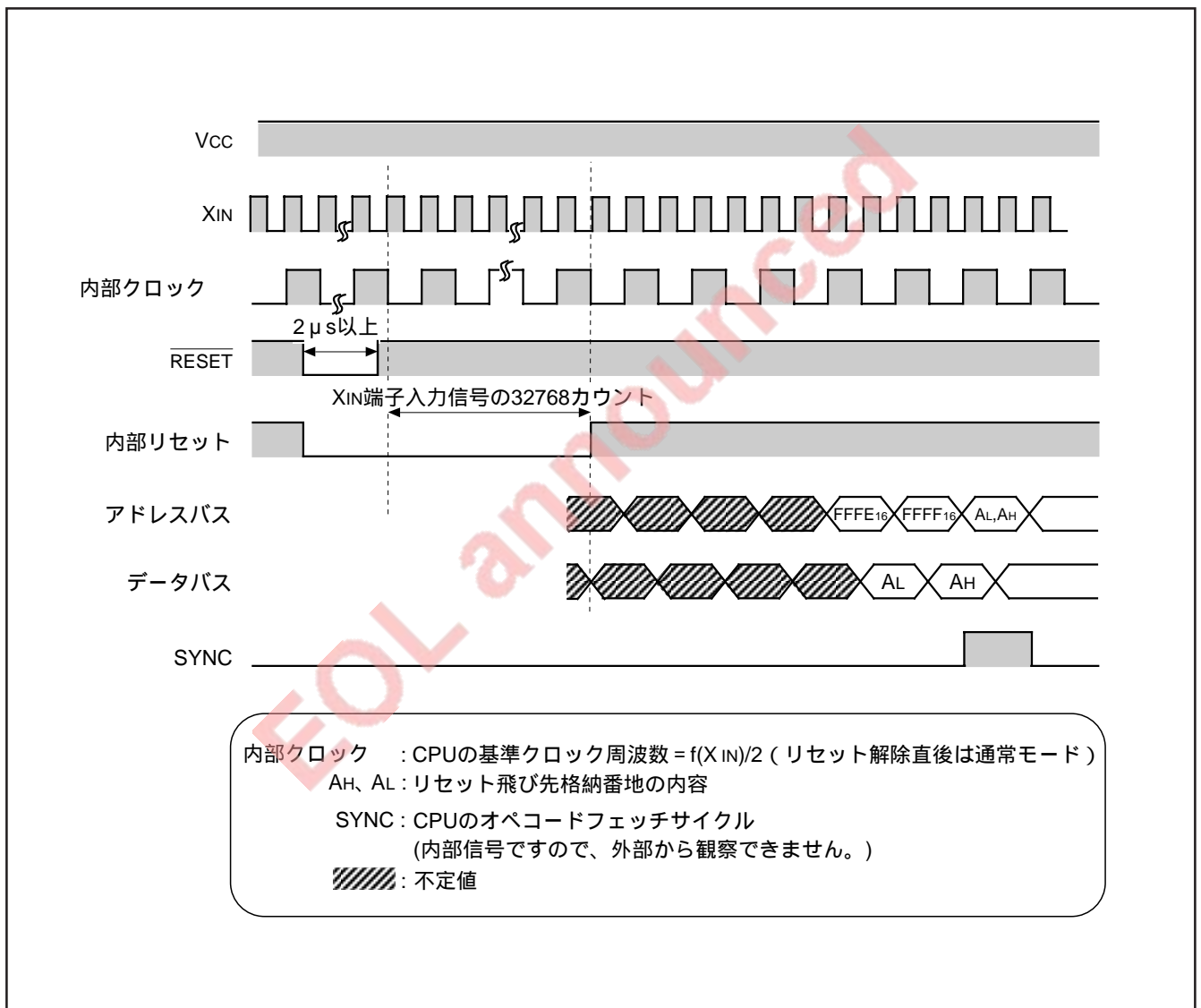


図1.15.1 リセット解除後の内部処理シーケンス

リセット状態においてRESET端子に“H”レベルを印加すると、表1.15.1に示すタイマ及びタイマのカウントソース設定を自動的に実行し、タイマ4のアンダフローによって内部のリセット状態は解除されます。

表1.15.1 リセット時のタイマ3、4

| 項目 | タイマ3 | タイマ4 |
|---------|------------------------|------------------|
| 設定値 | FF ₁₆ | 07 ₁₆ |
| カウントソース | f(X _{IN})/16 | タイマ3のアンダフロー |

リセット前の発振の状態にかかわらず、“H”レベル印加後はメインクロックのみ発振し、通常モードで動作を開始します。XCIN, XCOUT端子は入力ポートP50, P51となります。

リセット状態が解除されると、FFFF₁₆番地の内容を上位番地、FFFE₁₆番地の内容を下位番地とする番地からプログラムを実行します。

注 . 7470/7477グループではXCIN, XCOUT端子はありません。

EOL announced

1.15.2 リセット時の内部状態

図1.15.2にリセット時の内部レジスタ状態を示します。

| | | | |
|------|---|------------------------------|-------------------------|
| (1) | ポートP0方向レジスタ(P0D) | 番地 (C1 ₁₆)... | 00 ₁₆ |
| (2) | ポートP1方向レジスタ(P1D) | (C3 ₁₆)... | 00 ₁₆ |
| (3) | ポートP2方向レジスタ(P2D) (7477/7478グループには配置されていません) | (C5 ₁₆)... | 00 ₁₆ |
| (4) | ポートP4方向レジスタ(P4D) | (C9 ₁₆)... | 0 0 0 0 |
| (5) | ポートP0 プルアップ制御レジスタ | (D0 ₁₆)... | 00 ₁₆ |
| (6) | ポートP1～P5プルアップ制御レジスタ (7470/7477グループではポートP1～P4プルアップ制御レジスタ) | (D1 ₁₆)... | 0 0 0 0 0 0 |
| (7) | エッジ極性選択レジスタ(EG) | (D4 ₁₆)... | 0 0 0 0 0 0 |
| (8) | A-D 制御レジスタ(ADCON) | (D9 ₁₆)... | 0 0 1 0 0 0 |
| (9) | シリアルI/Oモードレジスタ(SM) (7477/7478グループには配置されていません) | (DC ₁₆)... | 00 ₁₆ |
| (10) | シリアルI/Oステータスレジスタ(SIOSTS) (7470/7471グループには配置されていません) | (E1 ₁₆)... | 1 0 0 0 0 0 0 0 |
| (11) | シリアルI/O制御レジスタ(SIOCON) (7470/7471グループには配置されていません) | (E2 ₁₆)... | 00 ₁₆ |
| (12) | UART制御レジスタ(UARTCON) (7470/7471グループには配置されていません) | (E3 ₁₆)... | 1 1 1 1 0 0 0 0 |
| (13) | タイマ3(T3) | (F2 ₁₆)... | FF ₁₆ |
| (14) | タイマ4(T4) | (F3 ₁₆)... | 07 ₁₆ |
| (15) | タイマFFレジスタ(TF) | (F7 ₁₆)... | 0 0 |
| (16) | タイマ12モードレジスタ(T12M) | (F8 ₁₆)... | 00 ₁₆ |
| (17) | タイマ34モードレジスタ(T34M) | (F9 ₁₆)... | 00 ₁₆ |
| (18) | タイマモードレジスタ2(TM2) | (FA ₁₆)... | 0 0 0 0 |
| (19) | CPUモードレジスタ(CM) | (FB ₁₆)... | 0 0 0 0 0 0 0 |
| (20) | 割り込み要求レジスタ1(IR1) | (FC ₁₆)... | 0 0 0 0 0 0 0 0 |
| (21) | 割り込み要求レジスタ2(IR2) | (FD ₁₆)... | 0 0 0 |
| (22) | 割り込み制御レジスタ1(IE1) | (FE ₁₆)... | 0 0 0 0 0 0 0 0 |
| (23) | 割り込み制御レジスタ2(IE2) | (FF ₁₆)... | 0 0 0 |
| (24) | プログラムカウンタ(PCH) | | FFF ₁₆ 番地の内容 |
| | (PCL) | | FFF ₁₆ 番地の内容 |
| (25) | プロセッサステータスレジスタ(PS) | | 1 |

□ : リセット解除時、読み出し値が不定のビットを示します。

注意 上記以外のレジスタ及びRAMの内容はリセット解除直後は不定ですので、初期値を設定してください。
また、マイコンによって配置されていないビットがあります。各レジスタの構成図を参照してください。

図1.15.2 リセット時の内部状態

1.15.3 リセットに関する注意事項

1. リセット解除後、タイマはカウント動作しています。
2. リセット解除後、FFFF₁₆番地の内容を上位番地、FFFE₁₆番地の内容を下位番地とする番地からプログラムを実行します。
3. リセット前の発振の状態にかかわらず、リセット後はメインクロックのみ発振し、通常モードで動作を開始します。XCIN, XCOUT端子は入力ポートP50, P51となります (7470/7471グループではXCIN, XCOUT端子はありません)。
4. 通常使用状態でSTP命令実行時、入出力ポートはシステムクロックの発振が停止する直前の状態を保持します。その後リセット動作を行うと、入力モードとなりハイインピーダンス状態になります。
5. 電源投入時、 $f(XIN)=4MHz$ の場合は、電源電圧が2.7Vを通過する時点で、RESET端子に印加する電圧が0.32V以下になるようにしてください。また、 $f(XIN)=8MHz$ の場合は、電源電圧が4.5Vを通過する時点で、RESET端子に印加する電圧が0.54V以下になるようにしてください。
6. リセット信号が穏やかに立ち上がる場合は、RESET端子とV_{SS}端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、次の2点に留意してください。
 - ・コンデンサの配線長は最短にしてください。
 - ・ユーザサイドで応用製品の動作確認を十分行ってください。

理由

RESET入力端子に数nsから数十nsのインパルス性のノイズがのった場合、マイコンが誤動作をすることがあります。

1.16 発振回路

7470/7471/7477/7478グループは動作に必要なクロックを得るため、

7470/7477グループ：メインクロック用発振回路

7471/7478グループ：メインクロック用発振回路及び時計用クロック発振回路をそれぞれ内蔵しています。

1.16.1 発振回路のブロック図

(1) クロック発生回路

クロック発生回路は発振回路の発振を制御し、発生したクロック(内部クロック)はCPU、周辺装置へそれぞれ供給されます。

図1.16.1にクロック発生回路ブロック図を示します。

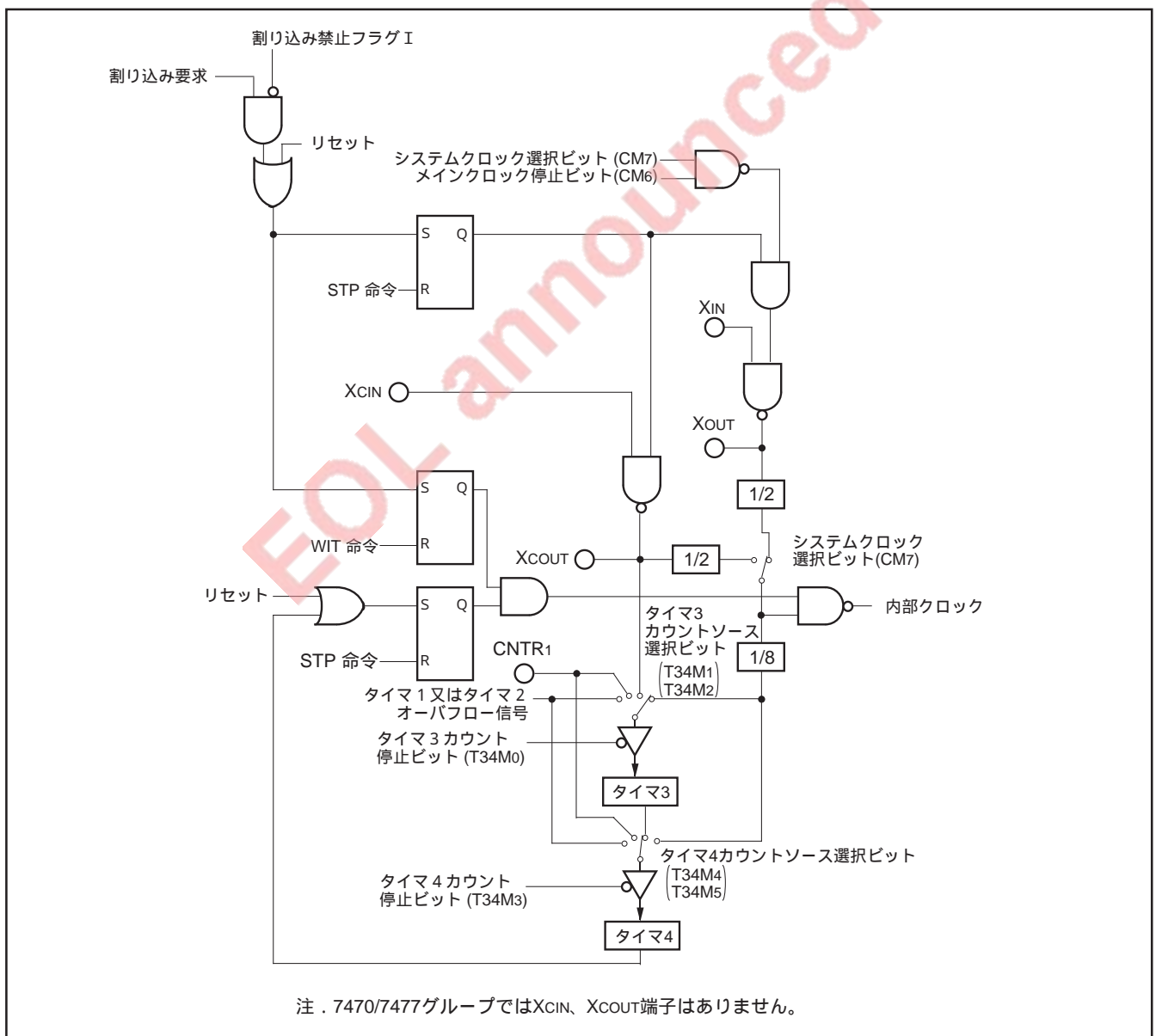


図1.16.1 クロック発生回路ブロック図

この発振回路によって、発振を停止させたり、起動させることができます。

また、発振回路には

XIN - XOUT発振回路……メインクロック $f(XIN)$

XCIN - XCOUT発振回路……時計用クロック $f(XCIN)$

の2つ(7470/7477グループはメインクロックのみ)があり、クロック入力端子XIN、又はXCINに入力された信号を分周したクロックが動作の基準である内部クロック * になります。

* : 内部クロック は、モードによって異なります。

通常モード……XIN端子に入力された信号を2分周したもの

低速モード……XCIN端子に入力された信号を2分周したもの

(2) セラミック共振子又は水晶発振子を使用した発振回路

XIN端子とXOUT端子の間、XCIN端子とXCOUT端子の間にセラミック共振子又は水晶発振子を接続することによって、発振回路を形成できます。回路例は「第2章 応用 2.7 発振回路」を参照してください。

なお、回路定数は発振子メーカーにお問い合わせの上、発振子メーカーの推奨値に設定してください。

(3) 外部クロック入力回路

発振回路へは外部からクロックを供給することもできます。

XIN, XCIN端子に入力する外部クロックには、デューティ比50%のパルス信号を使用してください。このときXOUT, XCOUT端子を開放してください。

回路例は「第2章 応用 2.7 発振回路」を参照してください。

注 . 7470/7477グループではXCIN, XCOUT端子はなく、時計用クロック $f(XCIN)$ を使用できません。

1.16.2 時計用クロック発振回路(7471/7478グループのみ)

7471/7478グループでは、P50/XCIN , P51/XCOUT端子をXCIN , XCOUT端子として時計用クロック $f(XCIN)$ を使用できます。

時計用クロック発振回路の電源は時計モード動作時の消費電力を低減するため、降圧レギュレータを介して供給されています。つまりVcc端子に印加されている電圧を降圧レギュレータ回路により降圧することにより、低電力化を図ります。この発振回路への供給電圧をCPUモードレジスタのビット5により、HighパワーモードとLowパワーモードの2段階に設定できます。

注 1 . 時計用クロックを使用する場合は、 $f(XCIN) = 50kHz < f(XIN)/3$ としてください。

2 . 7471/7478グループにおいて時計用クロック $f(XCIN)$ を使用する場合は、ポートP1 ~ P5プルアップ制御レジスタ(00D116番地)のP50 ~ P53プルアップ制御ビット(ビット6)を“ 0 ”にし、P50/XCIN , P51/XCOUT端子のプルアップトランジスタを切り離してください。

3 . 時計用クロックを内部クロック とするとき、以下のいずれかの状態で使用してください。

XcOUT駆動能力をHighパワーモード(CPUモードレジスタのXcOUT駆動能力選択ビットを“ 1 ”)に固定する。

XcOUT駆動能力をLowパワーモード(CPUモードレジスタのXcOUT駆動能力選択ビットを“ 0 ”)にする場合、時計用クロック発振回路の抵抗 Rd^* の抵抗値を $f(XCIN)$ の発振が停止しない程度に下げる。

*「抵抗 Rd 」:「第2章 応用 2.7 発振回路」の回路例を参照してください。

1.16.3 発振回路の関連レジスタ

発振回路に関連するレジスタのメモリ配置図を図1.16.2に示します。

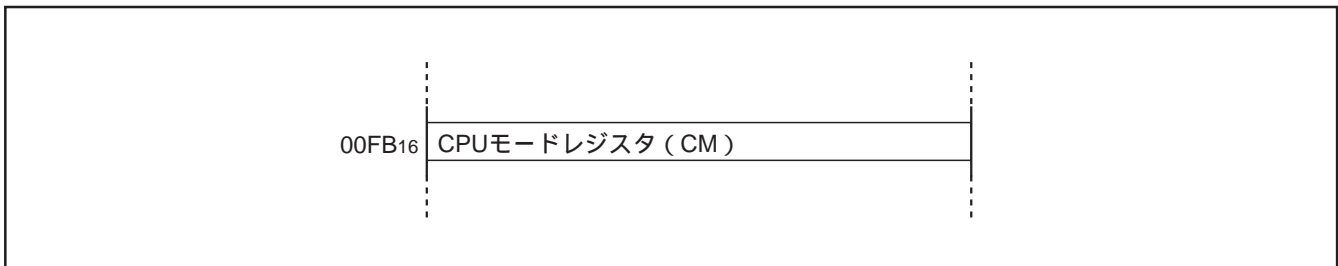


図1.16.2 発振回路関連レジスタのメモリ配置図

CPUモードレジスタの構成を図1.16.3に示します。

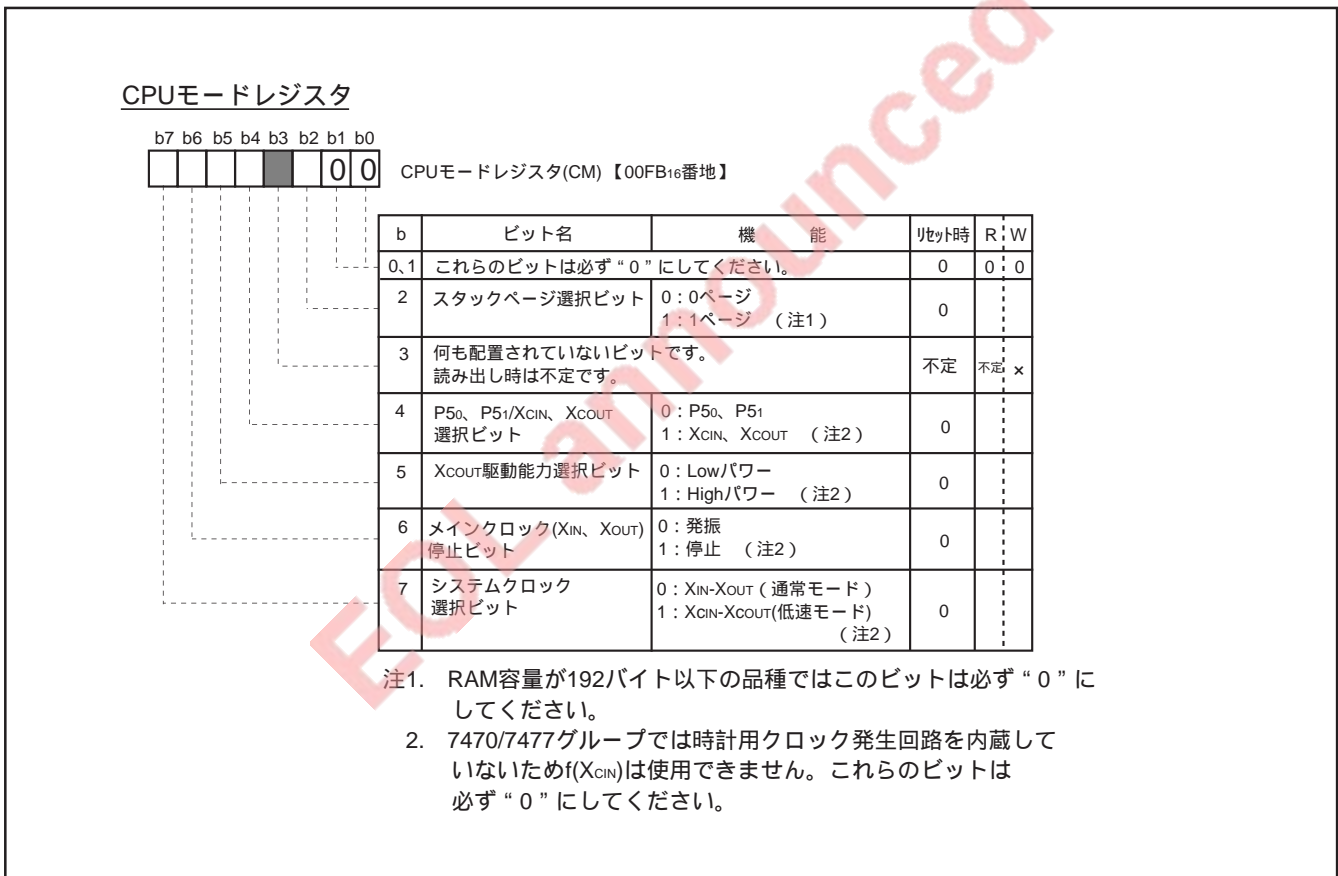


図1.16.3 CPUモードレジスタの構成

1.16.4 発振動作説明

(1) 発振動作

リセット解除時は、通常モードになります。このときメインクロックだけが発振し、P50/XCIN, P51/XCOUT端子は入力ポートP50, P51として機能します。

注 1. 7470/7477グループではXCIN, XCOUT端子はありません。

2. 7471/7478グループにおいて時計用クロック $f(XCIN)$ を使用する場合は、ポートP1~P5プルアップ制御レジスタ(00D116番地)のP50~P53プルアップ制御ビット(ビット6)を“0”にし、P50/XCIN, P51/XCOUT端子のプルアップトランジスタを切り離してください。

通常モード

XIN端子に入力された信号を2分周したクロックが、内部クロック になります。

低速モードに変更する場合(7471/7478グループのみ)

次の手順で行ってください。

CPUモードレジスタのXCOUT駆動能力選択ビット(ビット5)を“1”(Highパワー)、P50, P51/XCIN, XCOUT選択ビット(ビット4)を“1”(XCIN, XCOUT)にする。

$f(XCIN)$ の発振安定待ち時間をソフトウェアで生成する。

CPUモードレジスタのシステムクロック選択ビット(ビット7)を“1”($f(XCIN)$)にする。このとき、必要に応じてXCOUT駆動能力選択ビットを“0”(Lowパワー)にする。

低速モード(7471/7478グループのみ)

XCIN端子に入力された信号を2分周したクロックが、内部クロック になります。

低速モードにおいて、CPUモードレジスタのメインクロック(XIN-XOUT)停止ビット(ビット6)を“1”(停止)にすると低消費電力動作を実現できます。

通常モードに変更する場合

次の手順で行ってください。

CPUモードレジスタのメインクロック(XIN-XOUT)停止ビット(ビット6)を“0”(発振)にする。

$f(XIN)$ の発振安定待ち時間をソフトウェアで生成する。

CPUモードレジスタのシステムクロック選択ビット(ビット7)を“0”($f(XIN)$)にする。

注 1. 通常モードと低速モードの間のモード変更は、メインクロック、時計用クロックの発振が安定した後に行ってください(発振安定時間は発振子メーカーにお問い合わせください)。

2. 低速モードは、以下のいずれかの状態で使用してください。

XCOUT駆動能力をHighパワーモード(CPUモードレジスタのXCOUT駆動能力選択ビットを“1”)に固定する。

XCOUT駆動能力をLowパワーモード(CPUモードレジスタのXCOUT駆動能力選択ビットを“0”)にする場合、時計用クロック発振回路の抵抗 R_{d^*} の抵抗値を $f(XCIN)$ の発振が停止しない程度に下げる。

*「抵抗 R_d 」:「第2章 応用 2.7 発振回路」の回路例を参照してください。

3. 時計用クロックの場合、発振の安定に特に長時間を要します。

時計用クロック発振状態で通常モードからストップモードに入り、そのストップモードから復帰した場合、メインクロックが安定してCPUが復帰した時点でも時計用クロックの発振は安定していませんので、特に注意してください。

(2) ストップモード時の発振動作

STP命令が実行されてストップモードになるとすべての発振が停止します。その後リセット入力、又は復帰用の割り込み要求の発生によってストップモードから復帰すると、発振を開始します。ストップモードの詳細は「1.17.2 ストップモード」を参照してください。

(3) ウェイトモード時の発振動作

WIT命令が実行されてウェイトモードになると、CPUへ供給される内部クロック が停止します。リセット入力、又は割り込み要求の発生によってウェイトモードから復帰すると、CPUへの内部クロック の供給が開始されます。ウェイトモードの詳細は「1.17.3 ウェイトモード」を参照してください。

(4) 内部クロックの状態遷移

「1.18 状態遷移」を参照してください。

1.16.5 発振安定時間

セラミック共振子又は水晶発振子を使用した発振回路では、発振子の発振開始時に発振が不安定な期間があります。この発振が安定するまでの時間を発振安定時間と言います。

使用する発振回路条件によって、適応した発振安定待ち時間が必要です。なお、発振安定時間は発振子メーカーにお問合せください。

(1) 電源投入時の発振安定待ち時間

7470/7471/7477/7478グループではリセット解除時、タイマ3、タイマ4により(注)XIN端子入力信号の32768カウント分の発振安定待ち時間が自動的に生成されます。

注．タイマ3が FF_{16} 、タイマ4が 07_{16} になり、タイマ3のカウントソースとして $f(XIN)/16$ 、タイマ4のカウントソースとしてタイマ3のアンダフローが設定されます。

図1.16.4に電源投入時の発振安定待ち時間を示します。

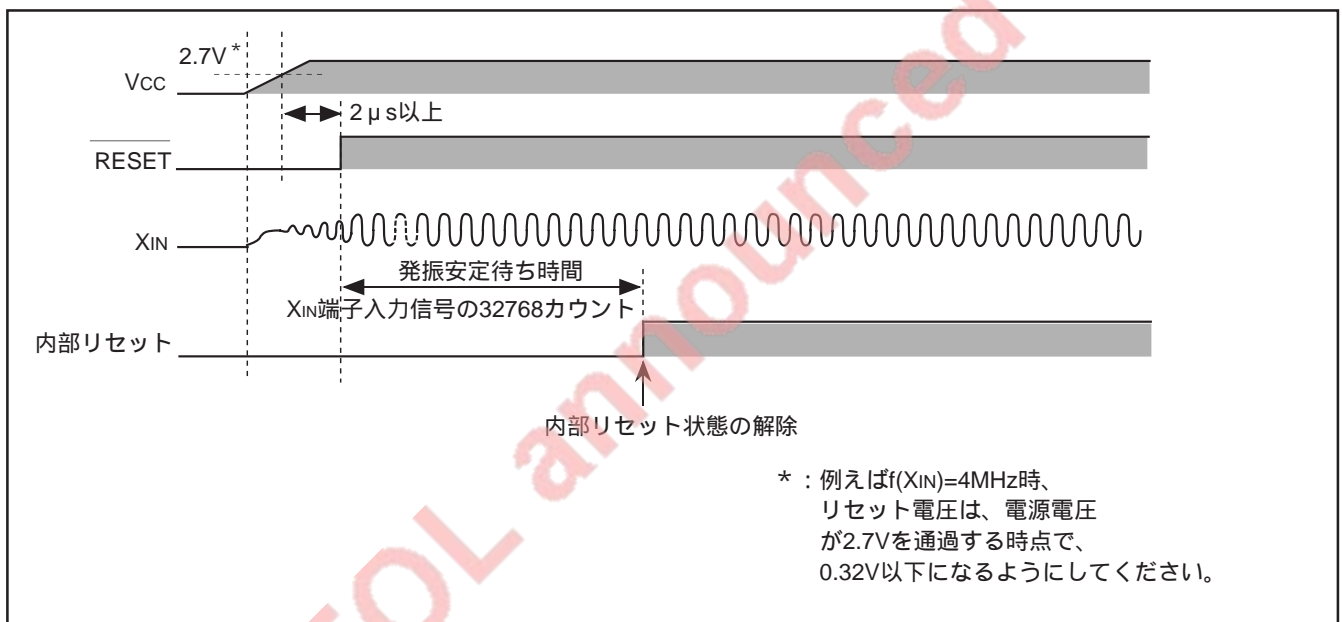


図1.16.4 電源投入時の発振安定待ち時間

(2) ストップモード復帰時の発振安定待ち時間

ストップモードでは発振が停止しています。リセット又は割り込みによってストップモードから復帰した場合、電源投入時と同様にXIN端子入力信号又はXCIN端子入力信号の32768カウント分の発振安定待ち時間が自動的に生成されます。

リセットによって復帰した場合は $f(XIN)$ が発振安定待ち時間を生成するカウントソースです。

割り込みによって復帰した場合はSTP命令実行直前に設定されていたタイマ3のカウントソースが発振安定待ち時間を生成するカウントソースとなります。 $f(XIN)$ がシステムクロックであった場合、その発振安定待ち時間が経過した後も $f(XCIN)$ 側の発振は安定していませんので注意してください。

ストップモードの詳細は「1.17.2 ストップモード」を参照してください。

注．7470/7477グループでは $f(XCIN)$ を使用できません。

1.16.6 発振回路に関する注意事項

1. XIN, XCIN端子に外部クロックを入力する場合、デューティ比50%のパルス信号を使用してください。このときXOUT, XCOUT端子を開放してください。
回路例は「第2章 応用 2.7 発振回路」を参照してください。
2. 7471/7478グループにおいて時計用クロック $f(XCIN)$ を使用する場合、 $f(XCIN) = 50kHz < f(XIN)/3$ としてください。
3. 7471/7478グループにおいて通常モードと低速モードの間のモード変更は、メインクロック、時計用クロックの発振が安定した後に行ってください。
発振安定時間は発振子メーカーにお問い合わせください。
4. 低速モードは、以下のいずれかの状態で使用してください。
XCOUT駆動能力をHighパワーモード(CPUモードレジスタのXCOUT駆動能力選択ビットを“1”)に固定する。
XCOUT駆動能力をLowパワーモード(CPUモードレジスタのXCOUT駆動能力選択ビットを“0”)にする場合、時計用クロック発振回路の抵抗 R_d^* の抵抗値を $f(XCIN)$ の発振が停止しない程度に下げる。
*「抵抗 R_d 」:「第2章 応用 2.7 発振回路」の回路例を参照してください。
5. 7471/7478グループにおいて時計用クロックを使用する場合、発振の安定に特に長時間を要します。時計用クロック発振状態で通常モードからストップモードに入り、そのストップモードから復帰する際、メインクロックの発振が安定してCPUが復帰した時点でも時計用クロックの発振は安定していませんので、特に注意してください。

注 . 7470/7477グループではXCIN, XCOUT端子はなく、時計用クロック $f(XCIN)$ を使用できません。

1.17 低消費電力機能

7470/7471/7477/7478グループには、ソフトウェアでCPUの動作を停止させ、低消費電力でCPUを待機させる機能があります。

低消費電力機能には次の2種類のモードがあります。

STP命令によるストップモード

WIT命令によるウェイトモード

表1.17.1に低消費電力時のマイクロコンピュータの動作状態、及び図1.17.1に状態遷移を示します。

表1.17.1 低消費電力時におけるマイクロコンピュータの動作状況

| | | ストップモード時 | ウェイトモード時 |
|---------------------------------|------------------------------------|----------------|-----------------------|
| クロック $f(XIN)$ 及び $f(XCIN)$ (注1) | | 停止 | CPUモードレジスタで設定された状態を保持 |
| 内部クロック | | "H"レベルで停止 | "H"レベルで停止 |
| CPU | | 停止 | 停止 |
| 入出力ポート | | STP命令実行時の状態を保持 | WIT命令実行時の状態を保持 |
| タイマ | かつトリスがCNTR端子入力(又はこれをタイマで分周したもの)の場合 | 動作 | 動作 |
| | その他の動作モードの場合 | 停止 | |
| シリアルI/O | 同期クロックが内部クロックの場合 | 停止 | 動作 |
| | 同期クロックが外部クロック入力(又はその16分周)の場合 | 動作 | |
| RAM | | STP命令実行時の状態を保持 | WIT命令実行時の状態を保持 |
| SFR | タイマ3、タイマ4 | 発振安定待ち時間の生成に使用 | WIT命令実行時の状態を保持 |
| | その他 | STP命令実行時の状態を保持 | |
| CPU内部レジスタ(注2) | | STP命令実行時の状態を保持 | WIT命令実行時の状態を保持 |

注1. 7470/7477グループでは $f(XCIN)$ を使用できません。

2. CPU内部レジスタは、CPUに内蔵されている以下の6つのレジスタを示します。

- アキュムレータ
- インデックスレジスタX
- インデックスレジスタY
- スタックポインタ
- プログラムカウンタ
- プロセッサステータスレジスタ

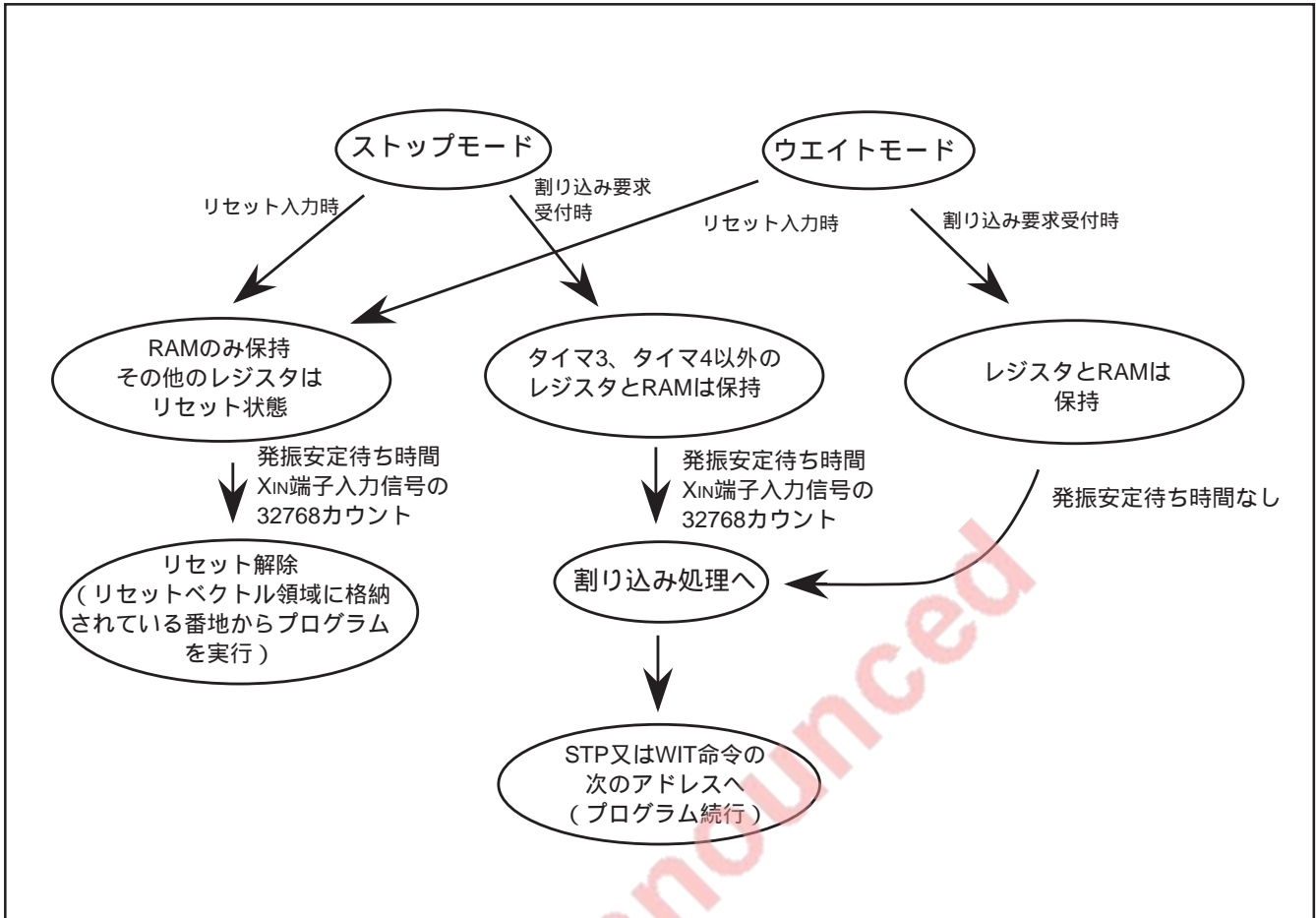


図1.17.1 低消費電力時の状態遷移

1.17.1 低消費電力機能の関連レジスタ

低消費電力機能に関連するレジスタのメモリ配置図を図1.17.2に示します。

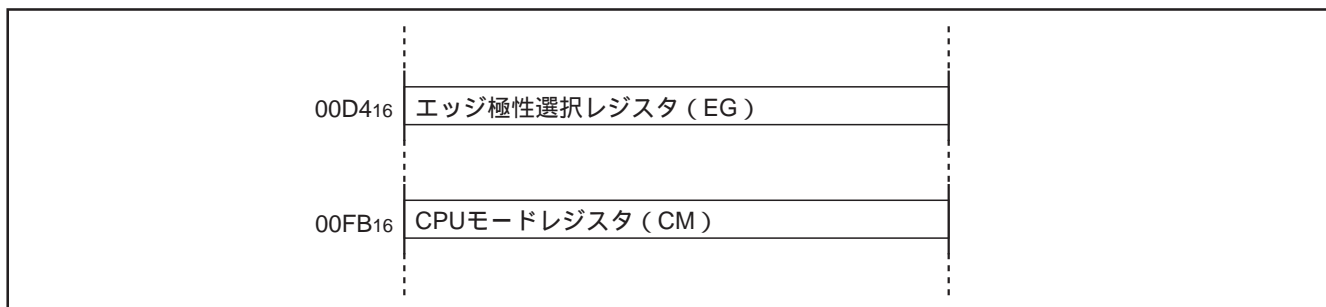


図1.17.2 低消費電力機能関連レジスタのメモリ配置

(1) CPUモードレジスタ(CM : 00FB16番地)

CPUモードレジスタは、スタックページの選択ビット*1及びシステムクロックの制御ビット*2で構成されたレジスタです。

*1 : RAM容量が192バイト以下の品種では、1ページにRAMが配置されていないためこのビットは使用しません(必ず“0”にしてください)。

*2 : 7470/7477グループでは、時計用クロック発生回路を内蔵していないためこのビットは使用しません(必ず“0”にしてください)。

CPUモードレジスタの構成を図1.17.3に示します。

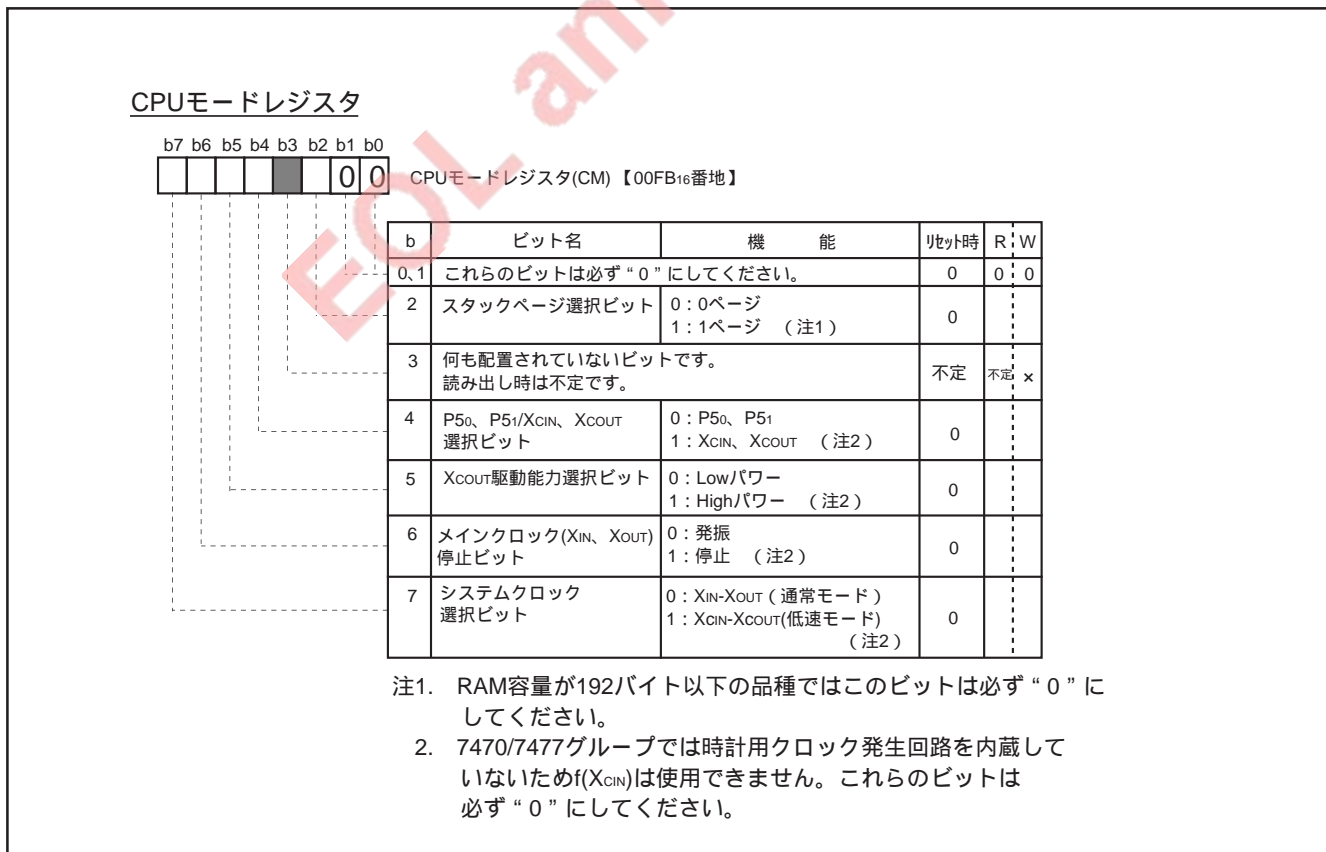


図1.17.3 CPUモードレジスタの構成

(2) エッジ極性選択レジスタ(EG : 00D4₁₆番地)

エッジ極性選択レジスタは、STP又はWIT命令実行時のINT₁ソースを選択します。

エッジ極性選択レジスタの構成を図1.17.4に示します。

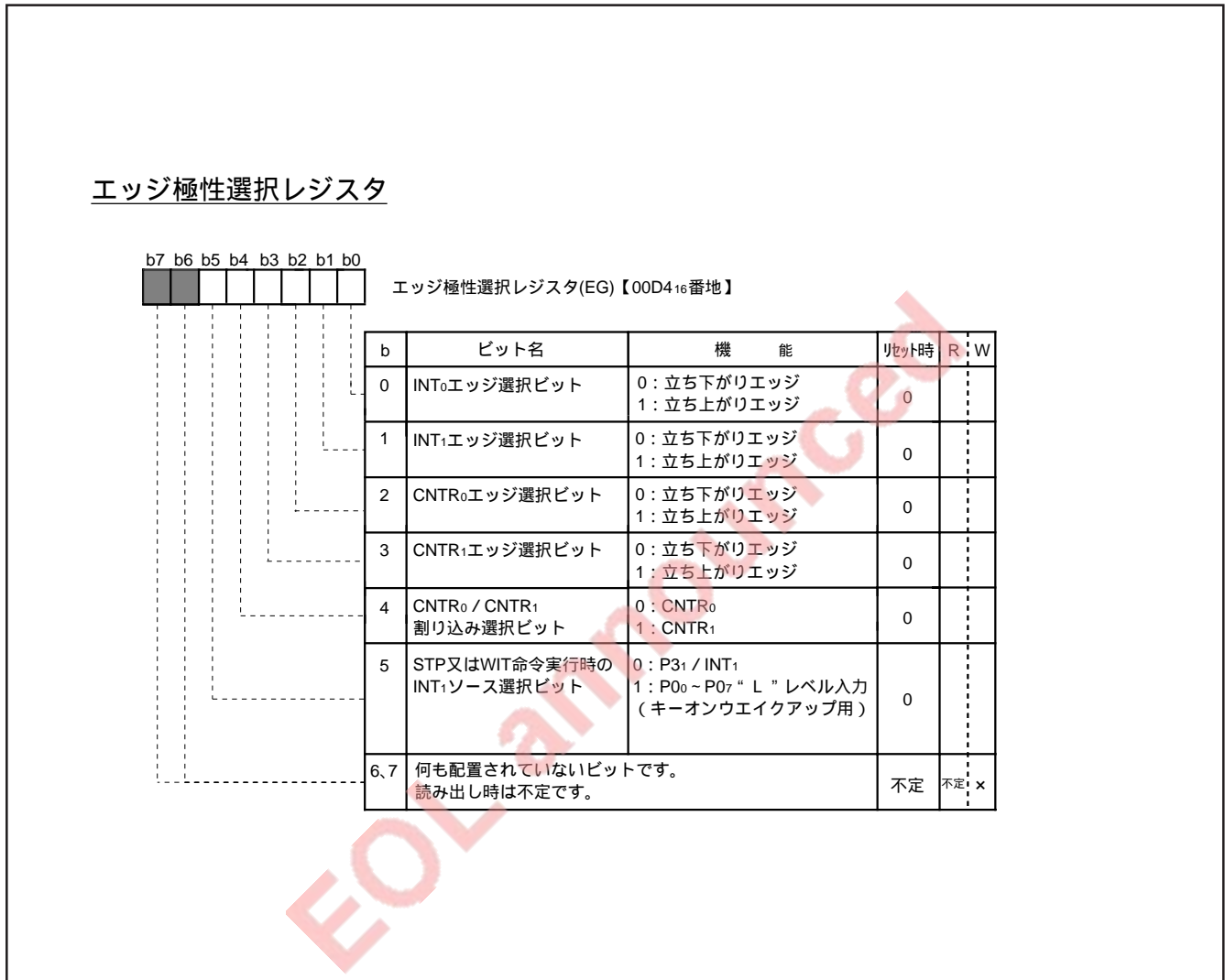


図1.17.4 エッジ極性選択レジスタの構成

1.17.2 ストップモード

(1) ストップモードの状態

STP命令の実行によって、ストップモードになります。ストップモードでは $f(XIN)$ 、 $f(XCIN)$ とも発振が停止し、内部クロックは停止します。そのためCPUは停止し、周辺装置の動作も停止します。その結果、消費電力の低減を実現できます。

注1. 7470/7477グループでは $f(XCIN)$ を使用できません。

2. タイマはカウントソースがCNTR端子入力(又はこれをタイマで分周したもの)の場合、シリアルI/Oは同期クロックが外部クロック入力(又はこれを分周したもの)の場合、それぞれ動作します。

3. STP命令実行時、タイマ3に“FF₁₆”が、タイマ4に“07₁₆”が自動的に設定されます。

ストップモード時の動作状況は「表1.17.1 低消費電力時におけるマイクロコンピュータの動作状況」を参照してください。

(2) ストップモードの解除

ストップモードは、リセット入力又は割り込みの受付により解除され、通常モードに復帰します。以下にリセット入力及び割り込みの受付によるストップモード解除時の動作をそれぞれ説明します。

リセット入力によるストップモードの解除

ストップモード中にRESET端子の入力レベルを“L”にして2 μ s以上保持するとリセット状態になり、ストップモードは解除されます。

リセット入力によりストップモードが解除されると、発振が開始します(このとき内部はリセット状態になっています)。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN端子入力信号の32768カウント後に解除されます。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要となり、この内部リセット状態が保持される時間によって、発振安定待ち時間が確保されます。

リセットについては「1.15 リセット」を参照してください。

注. ストップモードの解除ではリセット前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されず、リセット時の状態になります。

図1.17.5にリセット入力によるストップモードからの復帰時の発振安定待ち時間を示します。

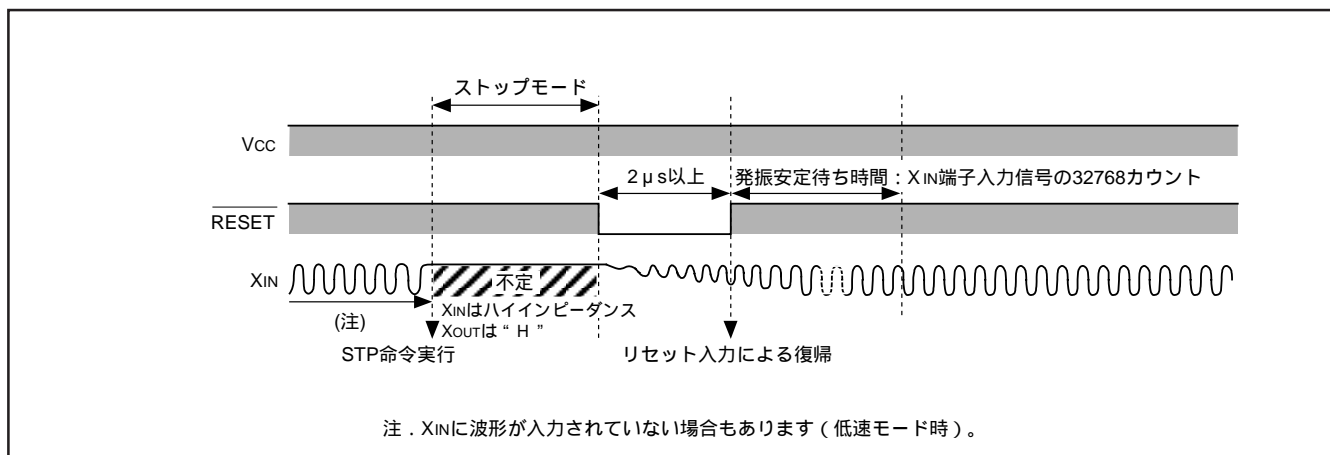


図1.17.5 リセット入力によるストップモードからの復帰時の発振安定待ち時間

割り込みによるストップモードの解除

ストップモード中に割り込み要求が発生し、その割り込みの受付が許可状態の場合、ストップモードは解除され、発振が開始します。復帰に使用できる割り込み要因は

INT₀, INT₁
CNTR₀, CNTR₁
外部クロック使用のシリアルI/O
外部クロック使用のタイマ(タイマ1、タイマ2)
キー入力(キーオンウエイクアップ)

です。

割り込みについては「1.11 割り込み」を参照してください。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。割り込みによる復帰時には、タイマ3、タイマ4^{*1}によってCPUへ内部クロック の供給を待機する時間が自動的に生成されます^{*2}。この待機する時間によってシステムクロック側の発振安定時間が確保されます。

図1.17.6にINT₀割り込みによるストップモードからの復帰シーケンス例を示します。

- * 1 : STP命令実行時、タイマ3のカウンタ及びラッチに“ FF₁₆ ”が、タイマ4のカウンタ及びラッチに“ 07₁₆ ”が自動的に設定されます。
- * 2 : 発振開始直後からカウントソースはタイマ3カウンタへ供給され、カウント動作が開始します。CPUへの内部クロック の供給は、タイマ4のアンダフロー時から開始されます。

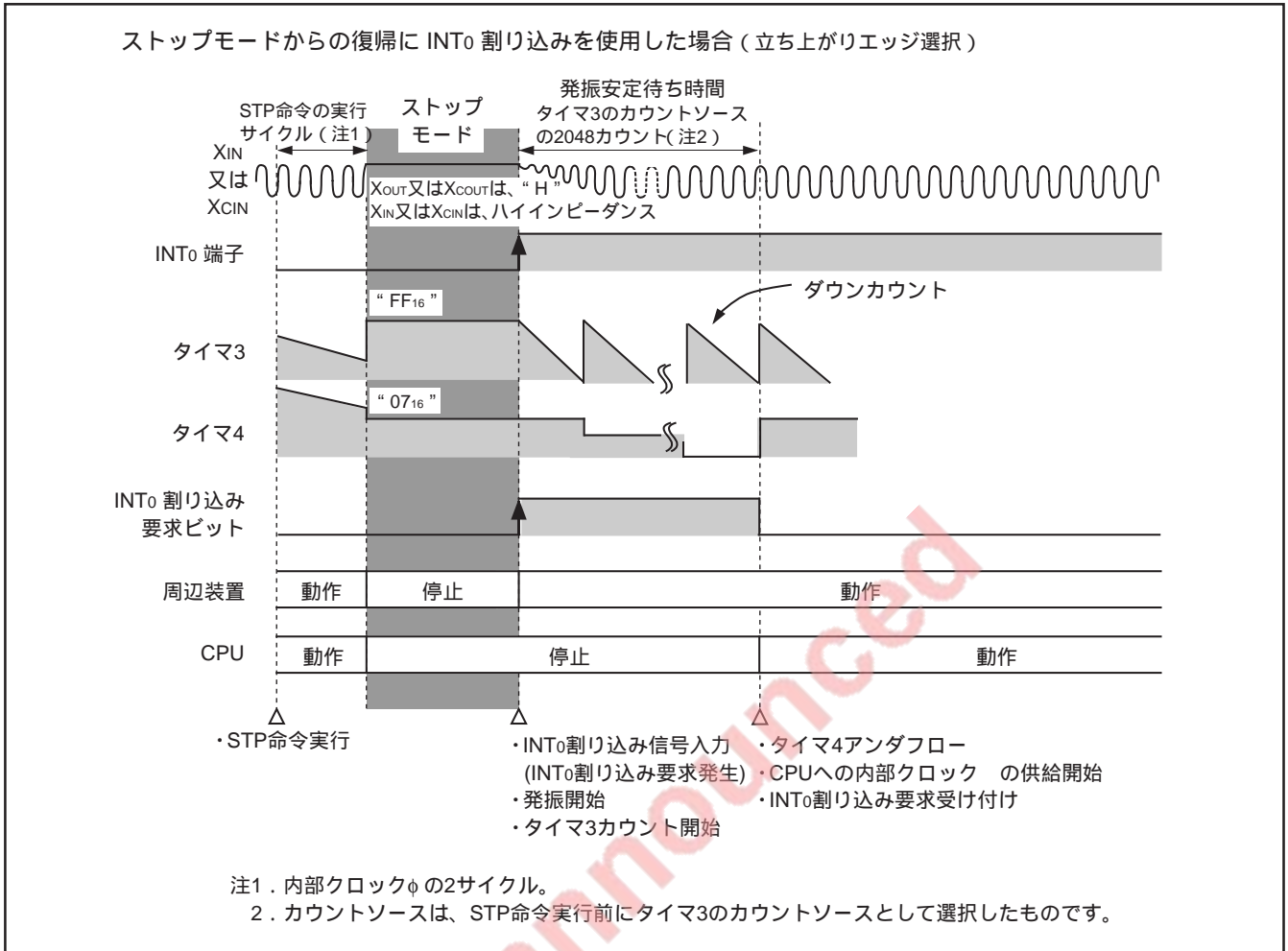


図1.17.6 INT0割り込みによるストップモードからの復帰シーケンス例

(3) ストップモードへの遷移方法

通常モードからストップモードへ遷移する方法を以下に示します。

ストップモードからの復帰にリセット入力を使用する場合

STP命令を実行してください。

ストップモードからの復帰に割り込み要求の受付を使用する場合

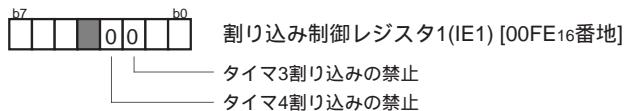
図1.17.7に示す設定を行ってからSTP命令を実行してください。

手順1 ストップモードからの復帰に使用する割り込みを設定する

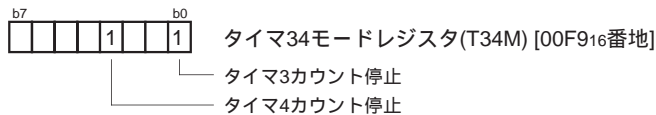
詳細は「1.11.6 割り込みの設定方法」を参照してください。

手順2 タイマ3及びタイマ4関連レジスタの設定

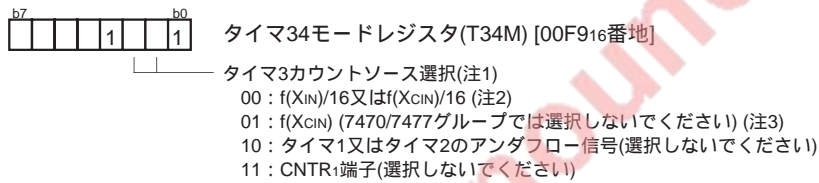
1. タイマ3割り込み及びタイマ4割り込みの禁止



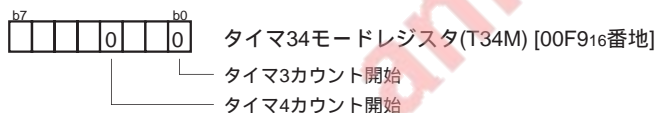
2. タイマ3及びタイマ4のカウンタ停止



3. タイマ3カウンタソースの設定



4. タイマ3及びタイマ4のカウンタ開始



注1. ストップモードから復帰後、タイマ3カウンタソースの2048カウンタ分の発振安定待ち時間が生成されます。発振子の発振安定時間を発振子メーカーにお問い合わせの上、タイマ3カウンタソースを選択してください。

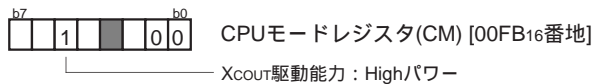
2. $f(X_{IN})$ 、 $f(X_{CIN})$ はシステムクロックによって決まります。

・システムクロックとして $f(X_{IN})$ を選択している場合、 $f(X_{IN})$ を分周したものがカウンタソースとなります。

・システムクロックとして $f(X_{CIN})$ を選択している場合、 $f(X_{CIN})$ を分周したものがカウンタソースとなります。

ただし、7470/7477グループには X_{CIN} 端子がないので、カウンタソースとして $f(X_{CIN})$ を分周したものを使用できません。

3. 7471/7478グループにおいてカウンタソースとして $f(X_{CIN})$ を選択する場合、システムクロックは $f(X_{IN})$ 、 $f(X_{CIN})$ のどちらでも使用できます。

手順3 7471/7478グループにおいて時計用クロックを使用する場合、XCOUT駆動能力をHighパワーにする**手順4** STP命令の実行(注4)

注4. A-D変換を行っている場合は、変換が終了してからSTP命令を実行してください。

図1.17.7 割り込みを使用してストップモードから復帰する場合の設定方法

1.17.3 ウェイトモード

(1) ウェイトモードの状態

WIT命令の実行によって、ウェイトモードになります。ウェイトモードでは発振は継続しますが、内部クロックは停止します。このためCPUは停止しますが、発振は継続しているため周辺装置は動作します。

ウェイトモード時の動作状況は「表1.17.1 低消費電力時におけるマイクロコンピュータの動作状況」を参照してください。

(2) ウェイトモードの解除

ウェイトモードは、リセット入力又は割り込みの受付によって解除され、通常モードに復帰します。以下にリセット入力及び割り込みの受付によるウェイトモード解除時の動作をそれぞれ説明します。

リセット入力による復帰

ウェイトモード中にRESET端子の入力レベルを“L”にして2 μ s以上保持するとリセット状態になり、ウェイトモードは解除されます。

リセット入力によりウェイトモードが解除されると、CPUへの内部クロックの供給が開始されます。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN端子入力信号の32768カウント後に解除されます。

リセットについては「1.15 リセット」を参照してください。

注．ウェイトモードの解除ではリセット前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されず、リセット時の状態になります。

図1.17.8にリセット入力時間を示します。

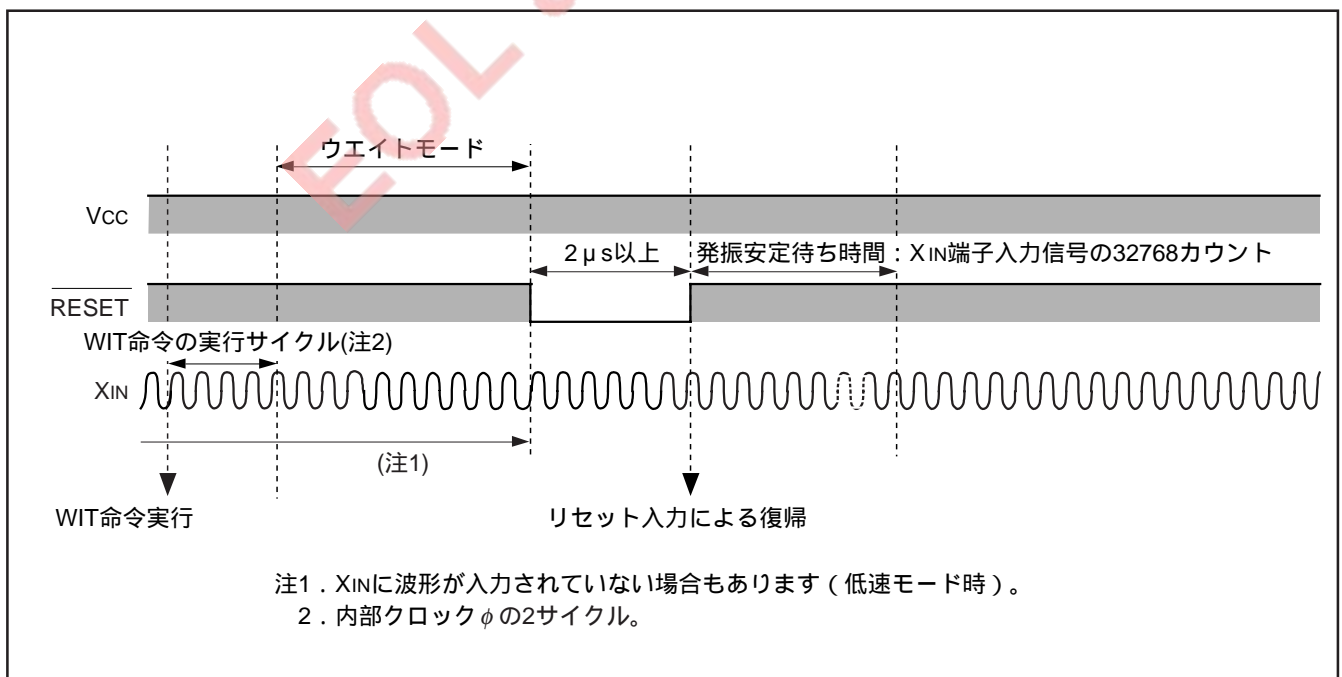


図1.17.8 リセット入力時間

割り込みによる復帰

ウエイトモードでは発振は継続されていますので、ウエイトモードが解除されると、直ちに命令が実行されます。

ウエイトモード中に割り込み要求が発生すると、ウエイトモードは解除され、CPUへの内部クロックの供給が開始します。同時に復帰に使用した割り込み要求が受け付けられて、その割り込み処理ルーチンが実行されます。

復帰に使用できる割り込み要因を以下に示します。

INT₀ , INT₁
CNTR₀ , CNTR₁
シリアルI/O
A-D変換
タイマ1～タイマ4
キー入力(キーオンウエイクアップ)

割り込みについては「1.11 割り込み」を参照してください。

(3) ウエイトモードへの遷移方法

通常モードからウエイトモードへ遷移する方法を以下に示します。

ウエイトモードからの復帰にリセット入力を使用する場合

WIT命令を実行してください。

ウエイトモードからの復帰に割り込み要求の受付を使用する場合

復帰に用いる割り込みを設定してからWIT命令を実行してください。

1.17.4 低消費電力機能に関する注意事項

【ストップモード使用上の注意事項】

復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前に $f(XIN)$ 、 $f(XCIN)$ とも発振させていた場合は、割り込みによってストップモードから復帰すると $f(XIN)$ 、 $f(XCIN)$ とも発振を再開します。

上記において $f(XIN)$ がシステムクロックに設定されていた場合、ストップモードからの復帰時に XIN 端子入力信号の32768カウント分の発振安定待ち時間が確保されます。

このとき、 $f(XIN)$ の発振安定待ち時間経過後でも $f(XCIN)$ のクロックは安定していないことがありますので $f(XCIN)$ 使用時は注意してください。

注 . 7470/7477グループでは $f(XCIN)$ を使用できません。

復帰後の割り込み処理

ストップモードから復帰するとタイマ3とタイマ4の割り込み要求ビットは“1”になっていますので、必要に応じ“0”にしてください。また、タイマ1とタイマ2の割り込み要求ビットも“1”になることがありますので、必要に応じで“0”にしてください。

1.18 状態遷移

7470/7471/7477/7478グループは以下の状態に分けられます。

- リセット
- 通常モード
- 低速モード(7471/7478グループのみ)
- 時計モード(7471/7478グループのみ)
- ストップモード
- ウェイトモード

図1.18.1に状態遷移図を示します。

EOL announced

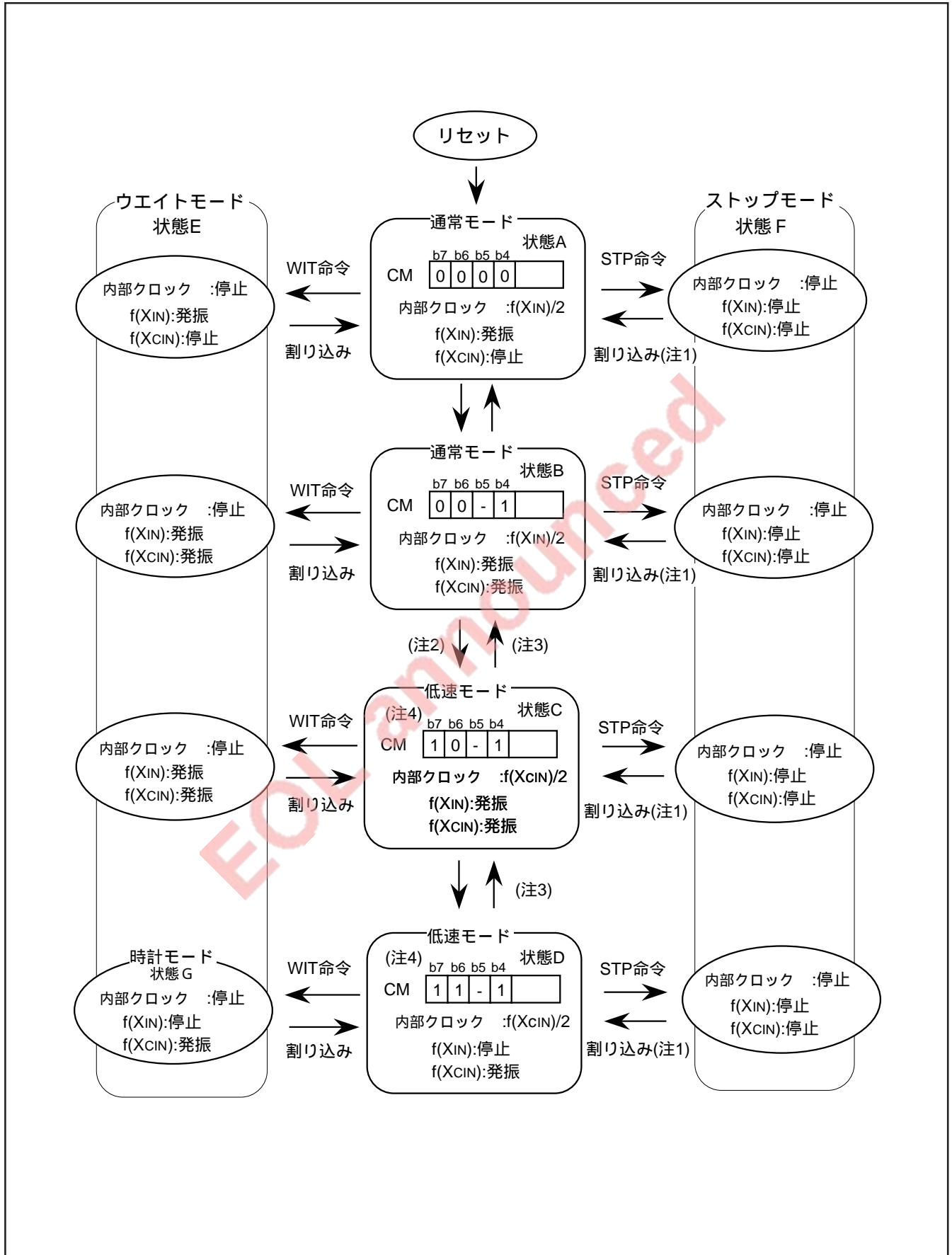


図1.18.1 状態遷移図

- 注1. ストップモードから他モードへ遷移する場合、タイマ3、タイマ4の接続により発振安定待ち時間が自動的に生成されます。
- 7471/7478グループにおいて、停止していたクロックを発振させシステムクロックを切り替える場合、発振が安定するまでソフトウェアで待つ必要があります。ここで、CPUモードレジスタ(00FB₁₆番地)のビット5を“1”にし、XcOUT駆動能力をHighパワーモードにしてください。時計用クロックf(XCIN)の発振が安定した後は必要に応じ“0”(Lowパワーモード)にしてください。
 - 7471/7478グループにおいて、低速モードから通常モードへ戻るときはメインクロックf(XIN)を内部クロックのカウンタソースにします(状態B)。その後必要ならば、CPUモードレジスタのビット4を“0”にしてf(XCIN)の発振を停止してください。
 - 7471/7478グループにおいて低速モードを使用する場合、以下のいずれかの状態で使用してください。
 - XcOUT駆動能力をHighパワーモード(CPUモードレジスタのXcOUT駆動能力選択ビットを“1”)に固定する。
 - XcOUT駆動能力をLowパワーモード(CPUモードレジスタのXcOUT駆動能力選択ビットを“0”)にする場合、時計用クロック発振回路の抵抗Rd*の抵抗値をf(XCIN)の発振が停止しない程度に下げる。
- *「抵抗Rd」:「第2章 応用 2.7 発振回路」の回路例を参照してください。

EOL announced

リセット 通常モード(状態 A)

リセット直後はメインクロックの2分周($f(XIN)/2$)が内部クロック として選択され、時計用クロック($f(XCIN)$)の入出力端子XCIN, XCOUTは通常ポートになります。またタイマ3には“ FF16 ”、タイマ4には“ 0716 ”が設定され、更にタイマ3のカウントソースはメインクロックの16分周($f(XIN)/16$)、タイマ4のカウントソースはタイマ3のオーバフローが選択され、ダウンカウントを開始します。

タイマ4がオーバフローすると内部リセットが解除され、リセットベクトルで指定されたアドレスからプログラムがスタートします。

低速モード(状態C、状態D)

時計用クロックの2分周($f(XCIN)/2$)を内部クロック とする低速モード(状態C、状態D)へは、通常モード(状態A) 状態B(状態C)を経由して移行します。

なお、7470/7477グループには時計用クロック発振回路が内蔵されていないため、このモードはありません。

ウェイトモード(状態E)

このモードでは、レジスタ、入出力ポート、内部RAM等のすべての状態を保持したままで内部クロックは“ H ”の状態で停止しますが、発振器は停止しません。

状態A、状態B、状態C、状態Dのどの状態からでもWIT命令を実行することによりウェイトモードに移りますが、状態Dからは時計機能だけが動作する時計モードとなります(7470/7477グループには時計用クロック発振回路が内蔵されていないため、時計モードはありません)。

「1.17.2 ウェイトモード」を参照してください。

ストップモード(状態 F)

タイマ3、タイマ4を除くレジスタ、入出力ポート、内部RAM等のすべての状態を保持したままで、メインクロックと時計用クロックの両方の発振を停止させるモードです。

状態A、状態B、状態C、状態Dのどの状態からでもSTP命令を実行することによりストップモードに移ります。

「1.17.1 ストップモード」を参照してください。

時計モード : (状態 G)

低消費電力で時計機能だけを動作させるためのモードです。

低速モード(状態D)からWIT命令を実行することにより、時計モード(状態G)に移り、この状態から低速モードへの復帰は各割り込みによって行います。

なお、7470/7477グループには時計用クロック発振回路が内蔵されていないため、このモードはありません。

1.19 プログラマブルROM内蔵版

マスクROM版に対して、プログラマブルROM(PROM)を内蔵しているマイクロコンピュータをプログラマブルROM内蔵版(以下「PROM内蔵版」)といいます。

PROM内蔵版には次の2種類があります。

ワンタイムPROM版

内蔵PROMへの書き込みが1回だけ行えます。消去、再書き込みはできません。

EPROM内蔵(窓付き)版

窓付きタイプで、消去可能のPROM(EPROM)を内蔵しています。内蔵EPROMの書き込み、消去、再書き込みが行えます。

PROM内蔵版はマスクROM版と同等の機能の他に、内蔵PROM書き込みのためのEPROMモードを持っています。

PROM内蔵版の性能概要、ピン接続図及び機能ブロック図に関しては、それぞれ「1.3 性能概要」、「1.4 ピン接続図」及び「1.6 機能ブロック図」を参照してください。

7470/7471/7477/7478グループでは表1.19.1に示すPROM内蔵版をサポートしています。

表1.19.1 7470/7471/7477/7478グループPROM内蔵版 サポート製品一覧(1998年10月現在)

| 製品形名 | PROM (バイト) | RAM (バイト) | 入出力ポート | パッケージ | 備 考 |
|----------------|---------------|--------------|----------------------------------|---------|--------------------------|
| M37470E4-XXXSP | 8192 | 192 | 入出力 22本 (アナログ入力 4本を含む), 入力 4本 | 32P4B | ワンタイムPROM版 |
| M37470E8-XXXSP | 16384 | 384 | | | |
| M37471E4-XXXSP | 8192 | 192 | 入出力 28本 (アナログ入力 8本を含む), 入力 8本 | 42P4B | ワンタイムPROM版 |
| M37471E4-XXXFP | | | | 56P6N-A | |
| M37471E8-XXXSP | 42P4B | | | | |
| M37471E8-XXXFP | 56P6N-A | | | | |
| M37471E8SS | 16384 | 384 | | 42S1B-A | EPROM内蔵版 |
| M37477E8-XXXSP | 16384 | 384 | 入出力 18本, 入力 8本 (アナログ入力4本を含む) | 32P4B | ワンタイムPROM版 |
| M37477E8-XXXFP | | | | 32P2W-A | |
| M37477E8TXXXSP | | | | 32P4B | ワンタイムPROM版 (広動作温度範囲版) |
| M37477E8TXXXFP | | | | 32P2W-A | |
| M37478E8-XXXSP | 16384 | 384 | 入出力 20本, 入力 16本 (アナログ入力8本を含む) | 42P4B | ワンタイムPROM版 |
| M37478E8-XXXFP | | | | 56P6N-A | |
| M37478E8TXXXSP | | | | 42P4B | ワンタイムPROM版 (広動作温度範囲版) |
| M37478E8TXXXFP | | | | 56P6N-A | |
| M37478E8SS | | | | 42S1B-A | |

1.19.1 EPROMモード

PROM内蔵版は、マスクROM版と同等の動作モードに加えてEPROMモードを持ちます。EPROMモードは、内蔵PROMへの書き込み時、及び内蔵PROMからの読み出し時に使用するモードで、M5M27C256Kと同じ動作で内蔵PROMの書き込み、読み出し又は消去が行えます。

EPROMモード時の端子機能を表1.19.2、端子の結線を図1.19.1から図1.19.6に示します。

表1.19.2 EPROMモード時の端子機能

| | PROM内蔵版 | M5M27C256K |
|-----|---|------------|
| 端子名 | VCC | VCC |
| | P33 | VPP |
| | VSS | VSS |
| | P11 ~ P17, P20 ~ P23, P30, P31, P40, P41 | A0 ~ A14 |
| | P00 ~ P07 | D0 ~ D7 |
| | VREF | CE |
| | P32 | OE |

ピン接続図(上面図)

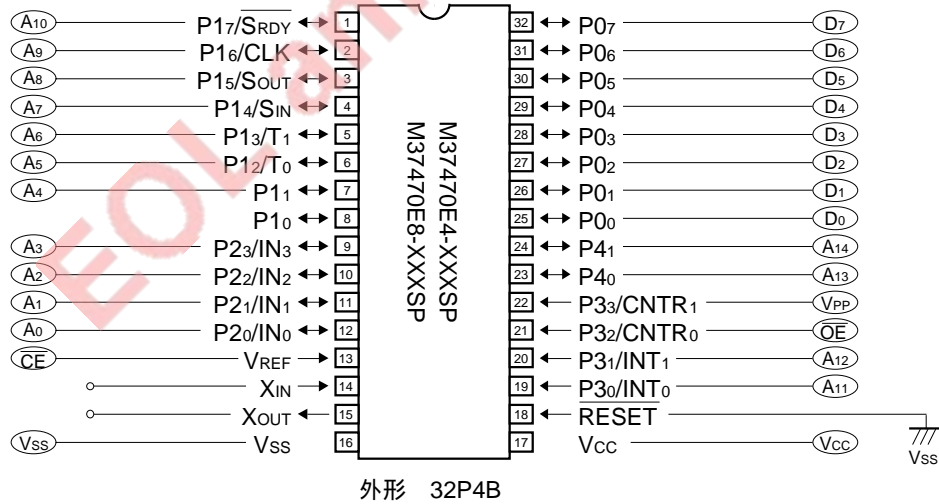


図1.19.1 7470グループ EPROMモード時の端子結線

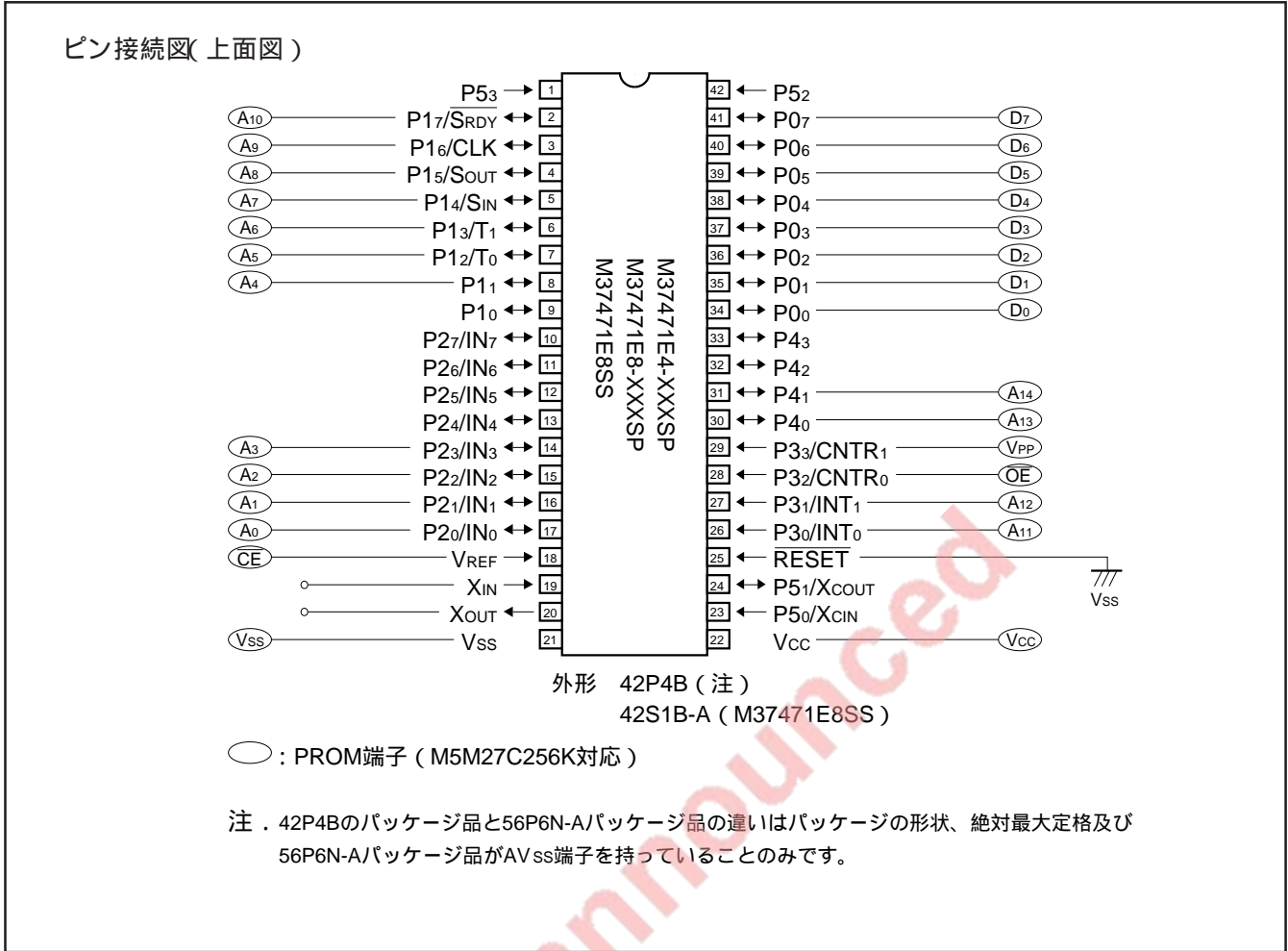
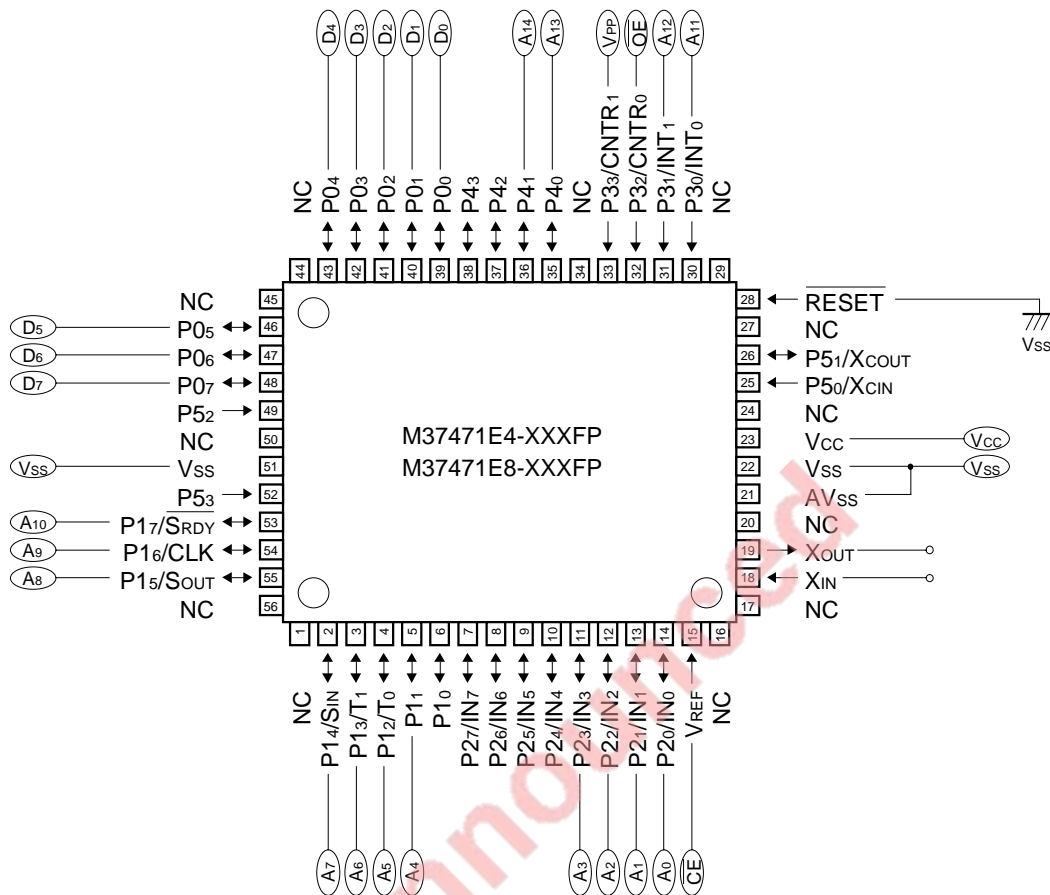


図1.19.2 7471グループ EPROMモード時の端子結線(1)

ピン接続図(上面図)



外形 56P6N-A (注)

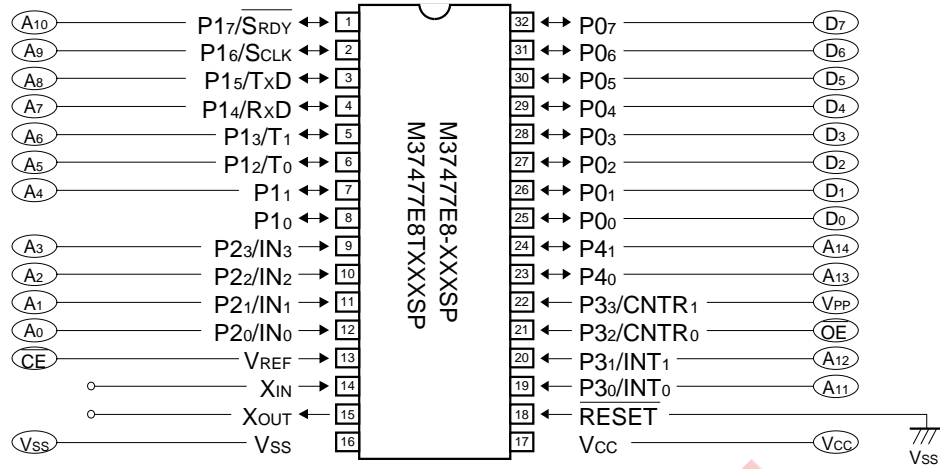
NC : 無接続

○ : PROM端子 (M5M27C256K)

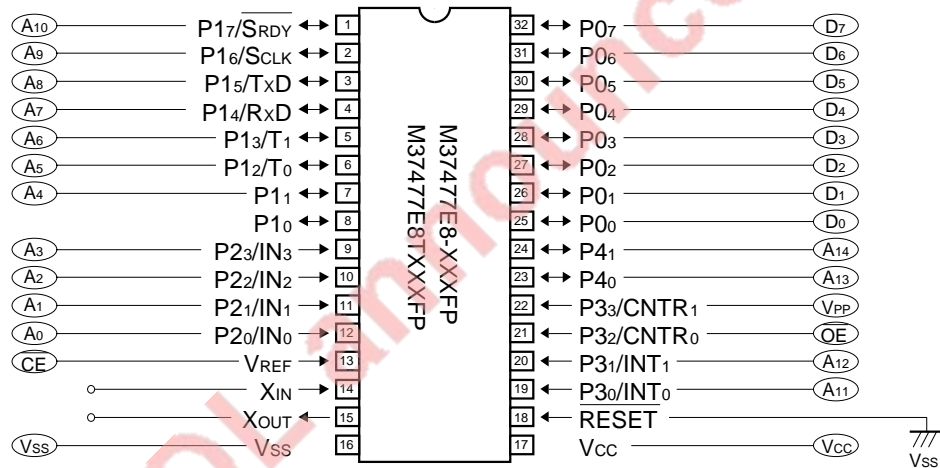
注 . 42P4Bのパッケージ品と56P6N-Aパッケージ品の違いはパッケージの形状、絶対最大定格及び56P6N-Aパッケージ品がAVss端子を持っていることのみです。

図1.19.3 7471グループ EPROMモード時の端子結線(2)

ピン接続図(上面図)



外形 32P4B (注)



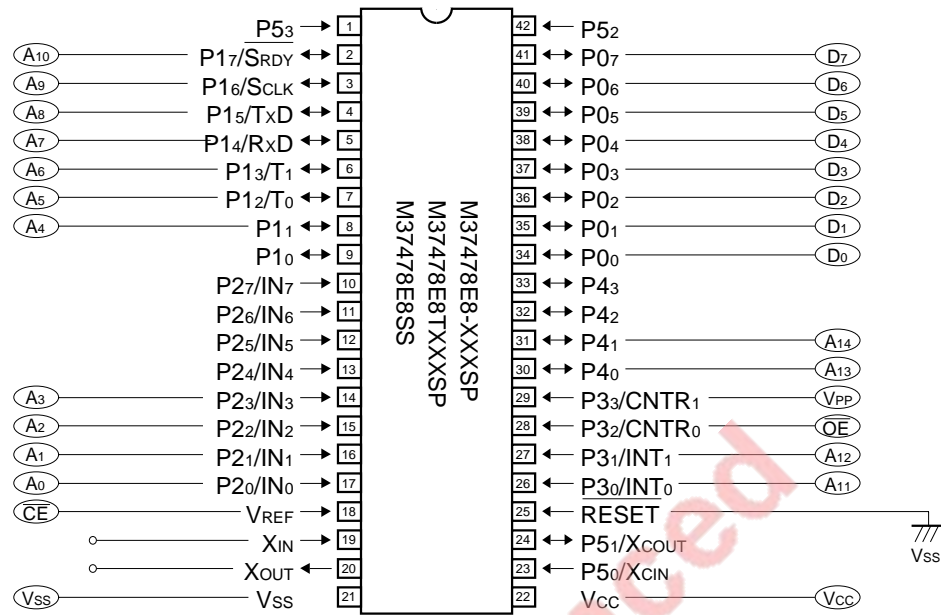
外形 32P2W-A (注)

○ : PROM端子 (M5M27C256K対応)

注 . 32P4Bパッケージ品と32P2W-Aパッケージ品の違いはパッケージの形状及び絶対最大定格のみです。

図1.19.4 7477グループ EPROMモード時の端子結線

ピン接続図(上面図)



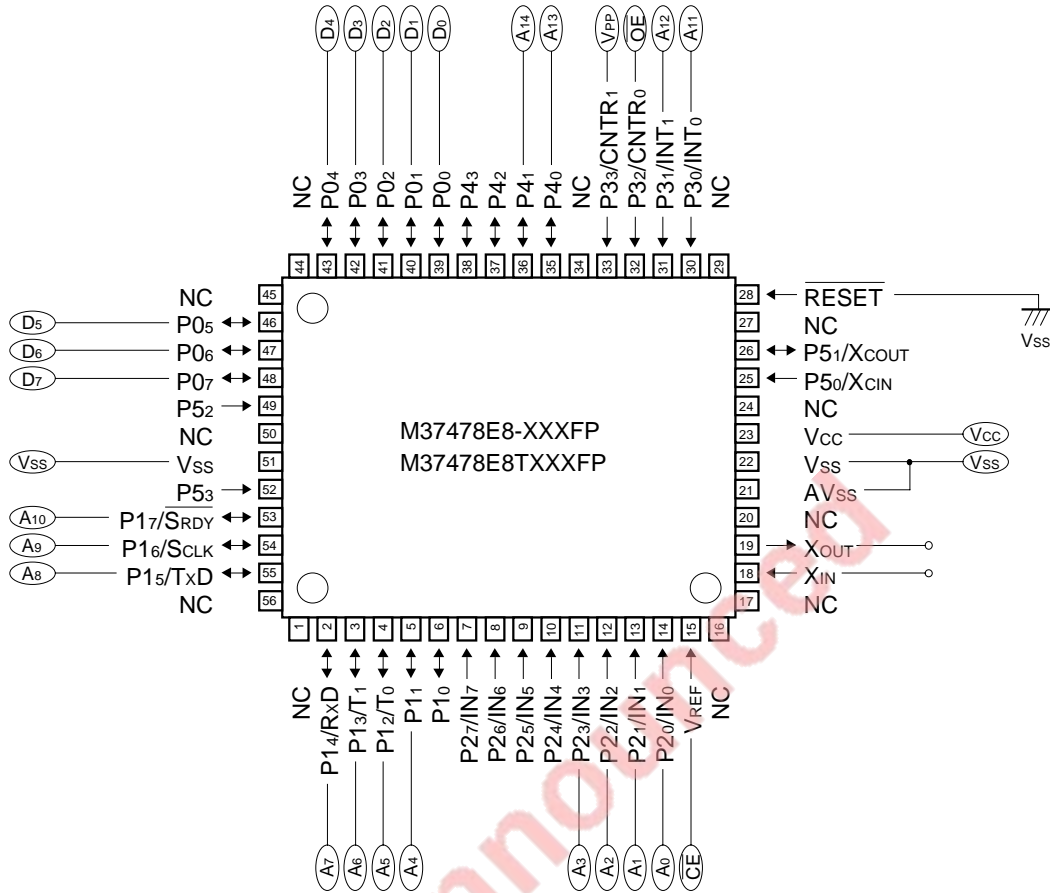
外形 42P4B (注)
42S1B-A (M37478E8SS)

○ : PROM端子 (M5M27C256K対応)

注 . 42P4Bのパッケージ品と56P6N-Aパッケージ品の違いはパッケージの形状、絶対最大定格及び56P6N-Aパッケージ品がAVss端子を持っていることのみです。

図1.19.5 7478グループ EPROMモード時の端子結線(1)

ピン接続図(上面図)



外形 56P6N-A (注)

NC : 無接続

○ : PROM端子 (M5M27C256K)

注 . 42P4Bのパッケージ品と56P6N-Aパッケージ品の違いはパッケージの形状、絶対最大定格及び56P6N-Aパッケージ品がAVss端子を持っていることのみです。

図1.19.6 7478グループ EPROMモード時の端子結線(2)

1.19.2 端子の機能説明

通常モード時、及びEPROMモード時の各端子の機能説明を表1.19.3から表1.19.5に示します。

表1.19.3 端子の機能説明(1)

| 端子名 | モード | 名称 | 入出力 | 機能 |
|----------|----------|-----------------|-----|---|
| VCC, VSS | 通常/EPROM | 電源 | | VCC端子に2.7~4.5V(クロック周波数 $f(XIN) = (2.2V_{CC} - 2.0)MHz$ 時)、又は4.5~5.5V(クロック周波数 $f(XIN) = 8MHz$ 時)を印加します。VSS端子に0Vを印加します。 |
| AVSS | 通常/EPROM | アナログ電源 | | A-D変換器のGND入力端子です。VSS端子と同電位を印加します。 注. 7471/7478グループの56P6N-Aのパッケージ品の専用端子です。 |
| VREF | 通常 | 基準電圧入力 | 入力 | A-D変換器の基準電圧入力端子です。A-D変換器を使用する場合、以下の電圧を印加してください。 ・VCC=2.7~4.0Vのとき、 $2 \sim V_{CC} \alpha V$ ・VCC=4.0~5.5Vのとき、 $0.5V_{CC} \sim V_{CC} \alpha V$ A-D変換器を使用しない場合、VCC端子に接続してください。 |
| | EPROM | モード入力 | 入力 | CE入力端子です。 |
| RESET | 通常 | リセット入力 | 入力 | リセット入力端子です。 $2\mu s$ 以上“L”にするとリセット状態になり、“H”に戻すとリセット状態は解除されます。 |
| | EPROM | リセット入力 | 入力 | VSS端子に接続してください。 |
| XIN | 通常/EPROM | クロック入力 | 入力 | メインクロック発生回路の入出力端子です。XIN, XOUT端子間にセラミック共振子又は水晶共振子を接続して使用します。 XIN, XOUT端子間には帰還抵抗が内蔵されています。 |
| XOUT | 通常/EPROM | クロック出力 | 出力 | 外部クロック入力を利用する場合は、クロック発振源をXIN端子に接続し、XOUT端子は開放にしてください。 |
| P00~P07 | 通常 | 入出力ポートP0 | 入出力 | 8ビットの入出力ポートです。出力形式はCMOS出力です。入力モード選択時は1ビット単位でプルアップトランジスタの接続が可能です。入力モード選択時はキーオンウエイクアップ機能も持ちます。 |
| | EPROM | データ入出力 D0~D7 | 入出力 | データ(D0~D7)の入出力端子です。 |

表1.19.4 端子の機能説明(2)

| 端子名 | モード | 名称 | 入出力 | 機能 |
|-----------|-------|-----------------------------|-----|--|
| P10 ~ P17 | 通常 | 入出力ポートP1 | 入出力 | <p>8ビットの入出力ポートです。 出力形式はCMOS出力です。 入力モード選択時は4ビット単位でプルアップトランジスタの接続が可能です。 P12, P13端子はそれぞれタイマ出力端子T0, T1と共用されています。 7470/7471グループの場合、P14, P15, P16, P17端子はそれぞれシリアルI/O端子SIN, SOUT, CLK, $\overline{\text{SRDY}}$と共用されています。 7477/7478グループの場合、P14, P15, P16, P17端子はそれぞれシリアルI/O端子RxD, TxD, SCLK, $\overline{\text{SRDY}}$と共用されています。 7470/7471グループの場合、SOUT, $\overline{\text{SRDY}}$端子の出力はNチャンネルオープンドレイン出力にすることも可能です。</p> |
| | EPROM | アドレス入力 A4 ~ A10 | 入力 | P11 ~ P17端子はアドレス(A4 ~ A10)の入力端子です。P10は開放にしてください。 |
| P20 ~ P27 | 通常 | 入出力ポートP2 (7470/7471グループ) | 入出力 | <p>8ビットの入出力ポートです。 出力形式はCMOS出力です。 入力モード選択時は4ビット単位でプルアップトランジスタの接続が可能です。 アナログ入力端子IN0 ~ IN7と共用されています。 注. 7470グループの場合、P20 ~ P23(IN0 ~ IN3)端子の4ビットのみです。</p> |
| | | 入力ポートP2 (7477/7478グループ) | 入力 | <p>8ビットの入力ポートです。 プルアップトランジスタの接続はできません。 アナログ入力端子IN0 ~ IN7と共用されています。 注. 7477グループの場合、P20 ~ P23(IN0 ~ IN3)端子の4ビットのみです。</p> |
| | EPROM | アドレス入力 A0 ~ A3 | 入力 | <p>P20 ~ P23端子はアドレス(A0 ~ A3)の入力端子です。 7471/7478グループの場合、P24 ~ P27端子は開放にしてください。</p> |

表1.19.5 端子の機能説明(3)

| 端子名 | モード | 名称 | 入出力 | 機能 |
|-----------|-------|---|-----|---|
| P30 ~ P33 | 通常 | 入力ポートP3 | 入力 | 4ビットの入力ポートです。 P30, P31端子はそれぞれ外部割り込み端子INT ₀ , INT ₁ と共用されています。 P32, P33端子はそれぞれタイマ入力端子CNTR ₀ , CNTR ₁ と共用されています。 |
| | EPROM | アドレス入力 A ₁₁ , A ₁₂ モード入力 VPP入力 | 入力 | P30, P31端子はアドレス(A ₁₁ , A ₁₂)の入力端子です。 P32端子はOE入力端子となります。 P33端子はVPP入力端子で、プログラム及びプログラムベリファイ時にVPPを印加します。 |
| P40 ~ P43 | 通常 | 入出力ポートP4 | 入出力 | 4ビットの入出力ポートです。 出力形式はCMOS出力です。 入力モード選択時は4ビット単位でプルアップトランジスタの接続が可能です。 注: 7470/7477グループの場合、P40, P41端子の2ビットのみです。 |
| | EPROM | アドレス入力 A ₁₃ , A ₁₄ | 入力 | P40, P41端子はアドレス(A ₁₃ , A ₁₄)の入力端子です。 7471/7478グループの場合、P42, P43端子は開放にしてください。 |
| P50 ~ P53 | 通常 | 入力ポートP5 | 入力 | 4ビットの入力ポートです。 4ビット単位でプルアップトランジスタの接続が可能です。 P50, P51端子はそれぞれ時計用クロック発生回路の入出力端子XCIN, XCOUTと共用されています。 P50, P51端子をXCIN, XCOUT端子として使用する場合、XCIN, XCOUT端子間に水晶発振子を接続してください。 P50, P51端子をXCIN, XCOUT端子として使用する場合、XCIN, XCOUT端子間に帰還抵抗が接続されます。 外部クロック入力を行う場合、クロック発振源をXCIN端子に接続し、XCOUT端子は開放にしてください。 注: 7471/7478グループの専用端子です。 |
| | EPROM | 入力ポートP5 | 入力 | 開放にしてください。 |

1.19.3 内蔵PROMの書き込み、読み出し、消去

PROM内蔵版は、 $\overline{\text{RESET}}$ 端子を“L”にすることにより、EPROMモードになります。EPROMモード時の内蔵PROMの書き込み、読み出し及び消去について以下に示します。

また、各モードにおける入力信号を表1.19.6に示します。

(1) 読み出し

$\overline{\text{RESET}}$ 端子に0V、Vcc端子に5Vを印加します。

アドレス信号(A0~A14)を入力し、 $\overline{\text{CE}}$ 端子を“L”、 $\overline{\text{OE}}$ 端子を“L”にすると、データ入出力端子(D0~D7)にPROMの内容が現れます。

$\overline{\text{CE}}$ 端子又は $\overline{\text{OE}}$ 端子を“H”に設定すると、データ入出力端子(D0~D7)はフローティング状態になります。

(2) 書き込み

$\overline{\text{RESET}}$ 端子に0V、Vcc端子に5Vを印加します。

$\overline{\text{OE}}$ 端子を“H”にし、Vpp端子にVppを印加すると、プログラムモードになります。

アドレス入力端子(A0~A14)にアドレスを設定し、書き込むデータをデータ入出力端子(D0~D7)に8ビット並列に与えます。

上記の状態では $\overline{\text{CE}}$ 端子を“L”にすると書き込みが行われます。

また、PROMライターで書き込みを行う場合、アドレスは以下の領域を指定してください。

6000₁₆番地から7FFF₁₆番地(M3747xE4の場合)

4000₁₆番地から7FFF₁₆番地(M3747xE8の場合)

(3) 消去

消去は窓付きタイプのEPROM内蔵版(M37471E8SS/M37478E8SS)のみ可能です。

2537Åの波長を持つ紫外線を照射することにより消去します。

消去に必要な照射量は、最低15W・s/cm²です。

表1.19.6 各モードにおける入出力信号

| モード | 端子名 | $\overline{\text{CE}}$ | $\overline{\text{OE}}$ | Vpp | Vcc | $\overline{\text{RESET}}$ | D0~D7 |
|-----------|-----|------------------------|------------------------|-----|-----|---------------------------|---------|
| 読み出し | | VIL | VIL | Vcc | Vcc | 0V | 出力 |
| 出力ディスエーブル | | VIL | VIH | Vcc | | | フローティング |
| 書き込み | | VIL | VIH | Vpp | | | 入力 |
| 書き込みベリファイ | | VIH | VIL | Vpp | | | 出力 |
| 書き込み禁止 | | VIH | VIH | Vpp | | | フローティング |

注：VILは“L”入力電圧、VIHは“H”入力電圧を示します。

1.19.4 プログラマブルROM内蔵版に関する注意事項

PROM内蔵版を使用する場合の注意事項を以下に示します。

(1) PROM内蔵版全製品

書き込み時の注意事項

書き込み時には高い電圧を使用しますので、端子に過電圧を印加しないように注意してください。特に電源投入時は注意してください。

PROM内容の書き込み時には、専用の書き込みアダプタを使用してください。汎用のPROMライターによる書き込みが可能になります。専用の書き込みアダプタを表1.19.7に示します。

読み出し時の注意事項

PROM内容の読み出し時には、専用の書き込みアダプタを使用してください。汎用のPROMライターによる読み出しが可能になります。専用の書き込みアダプタを表1.19.7に示します。

表1.19.7 7470/7471/7477/7478グループの専用書き込みアダプタ (1998年10月現在)

| 製品形名 | 書き込みアダプタ | 備考 |
|----------------|----------|----------------------|
| M37470E4-XXXSP | PCA4730 | ワンタイムPROM版 |
| M37470E8-XXXSP | | |
| M37471E4-XXXSP | | |
| M37471E8-XXXSP | | |
| M37471E8SS | | |
| M37471E4-XXXFP | PCA4731 | ワンタイムPROM版 |
| M37471E8-XXXFP | | |
| M37477E8-XXXSP | PCA4730 | ワンタイムPROM版 |
| M37477E8TXXXSP | | ワンタイムPROM版(広動作温度範囲版) |
| M37477E8-XXXFP | PCA4767 | ワンタイムPROM版 |
| M37477E8TXXXFP | | ワンタイムPROM版(広動作温度範囲版) |
| M37478E8-XXXSP | PCA4730 | ワンタイムPROM版 |
| M37478E8TXXXSP | | ワンタイムPROM版(広動作温度範囲版) |
| M37478E8SS | | EPROM内蔵版 |
| M37478E8-XXXFP | PCA4731 | ワンタイムPROM版 |
| M37478E8TXXXFP | | ワンタイムPROM版(広動作温度範囲版) |

注：最新の情報は、最新のデータブック「マイクロコンピュータ開発サポートツール編」を参照してください。

(2) ワンタイムPROM版

使用前の注意事項

ワンタイムPROM版のブランク出荷品*1は、当社でのアセンブリ工程以降PROMの書き込みテスト、及びスクリーニングを行っていません。書き込み以降の信頼性を向上させるため、図1.19.7に示す手順で書き込み、テストを行った後で使用されることを推奨します。

*1「ブランク出荷品」：工場出荷時にPROMの内容が書き込まれていないもの。

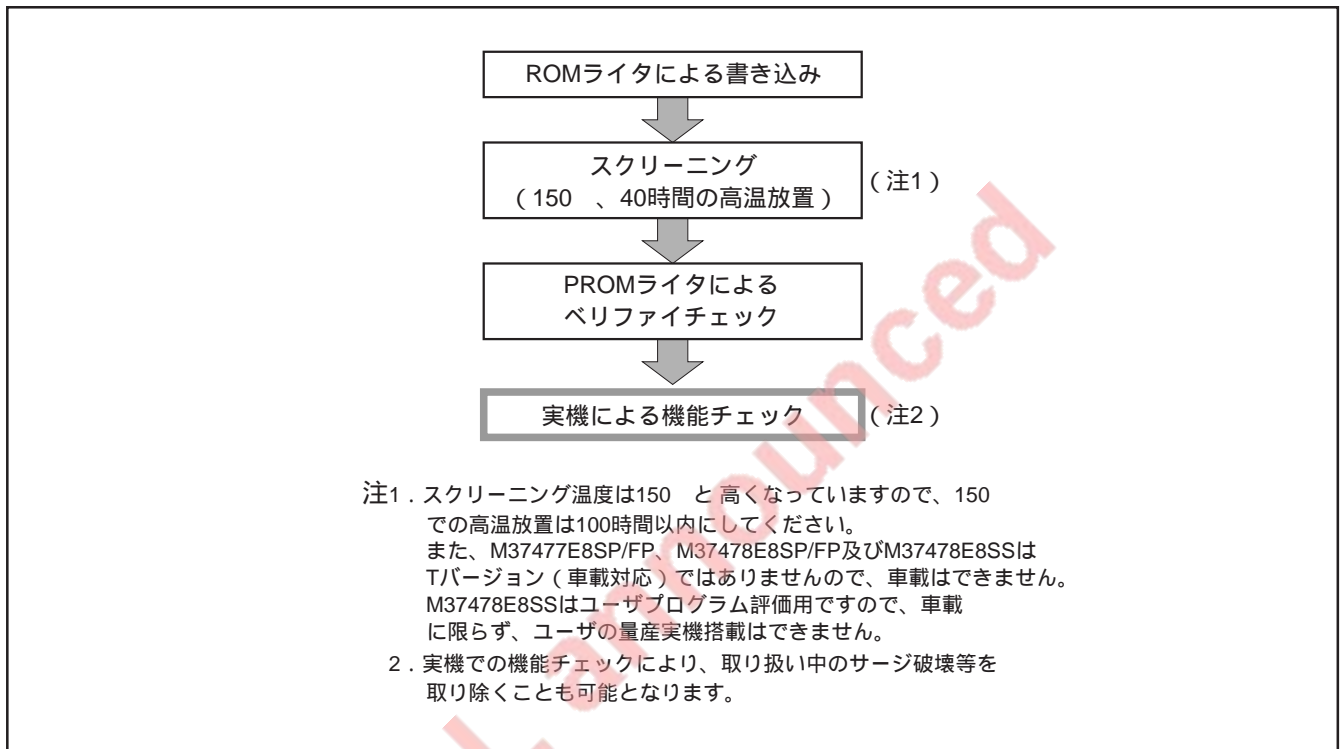


図1.19.7 ワンタイムPROM版ブランク出荷品に対する書き込み、テスト

(3) EPROM内蔵版

消去時の注意事項

太陽光や蛍光灯の光には、内蔵PROMに書き込まれた情報を消去する可能性のある光が含まれています。読み出しモードでの使用時には、必ずシール等で透明ガラス部分を覆うようにしてください。

透明ガラス部分を覆うシールは当社で用意しています。このシールは金属(アルミニウム)製ですので、シールで覆う場合は、シールがマイコンリード端子に接触しないように注意してください。

消去を行う場合は、透明ガラスを清浄にしてから行ってください。手の脂、シールの糊等が紫外線の通過を妨げ、消去特性に影響を与える可能性があります。

1

1.20 電気的特性

1.20.1 電気的特性

(1) 7470グループ 電気的特性

7470グループの絶対最大定格を表1.20.1、推奨動作条件を表1.20.2、電気的特性を表1.20.3、A-D変換特性を表1.20.4に示します。

表1.20.1 7470グループ絶対最大定格

| 記号 | 項目 | 条件 | 定格値 | 単位 |
|------|--------|------------------------------------|-------------------|----|
| VCC | 電源電圧 | | - 0.3 ~ 7 | V |
| Vi | 入力電圧 | Vss端子を基準にして測定する。 出力トランジスタは遮断状態。 | - 0.3 ~ Vcc + 0.3 | V |
| Vo | 出力電圧 | | - 0.3 ~ Vcc + 0.3 | V |
| Pd | 消費電力 | Ta = 25 | 1000 | mW |
| Topr | 動作周囲温度 | | - 20 ~ 85 | |
| Tstg | 保存温度 | | - 40 ~ 150 | |

表1.20.2 7470グループ推奨動作条件(指定のない場合は、Vcc=2.7~5.5V, Vss=0V, Ta=-20~85)

| 記号 | 項目 | 規格値 | | | 単位 | |
|-----------|---|----------------------------|--------|-----|--------------|-----|
| | | 最小 | 標準 | 最大 | | |
| Vcc | 電源電圧 | f(XIN) = 8.0MHz | 4.5 | 5.0 | 5.5 | V |
| | | f(XIN) = (2.2Vcc - 2.0)MHz | 2.7 | | 4.5 | V |
| Vss | 電源電圧 | | 0 | | V | |
| VIH | "H"入力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33 | | 0.8Vcc | | Vcc | V |
| VIH | "H"入力電圧 P20 ~ P23, P40, P41 | | 0.7Vcc | | Vcc | V |
| VIH | "H"入力電圧 XIN, RESET | | 0.8Vcc | | Vcc | V |
| VIL | "L"入力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33 | | 0 | | 0.2Vcc | V |
| VIL | "L"入力電圧 P20 ~ P23, P40, P41 | | 0 | | 0.25Vcc | V |
| VIL | "L"入力電圧 XIN | | 0 | | 0.16Vcc | V |
| VIL | "L"入力電圧 RESET | | 0 | | 0.12Vcc | V |
| IOH(sum) | "H"出力総電流 P00 ~ P07とP40, P41の合計 | | | | - 30 | mA |
| IOH(sum) | "H"出力総電流 P10 ~ P17とP20 ~ P23の合計 | | | | - 30 | mA |
| IOL(sum) | "L"出力総電流 P00 ~ P07とP40, P41の合計 | | | | 60 | mA |
| IOL(sum) | "L"出力総電流 P10 ~ P17とP20 ~ P23の合計 | | | | 60 | mA |
| IOH(peak) | "H"出力尖頭電流 P00 ~ P07, P10 ~ P17, P20 ~ P23, P40, P41 | | | | - 10 | mA |
| IOL(peak) | "L"出力尖頭電流 P00 ~ P07, P10 ~ P17, P20 ~ P23, P40, P41 | | | | 20 | mA |
| IOH(avg) | "H"出力平均電流 P00 ~ P07, P10 ~ P17, P20 ~ P23, P40, P41 (注1) | | | | - 5 | mA |
| IOL(avg) | "L"出力平均電流 P00 ~ P07, P10 ~ P17, P20 ~ P23, P40, P41 (注1) | | | | 10 | mA |
| f(CNTR) | タイマ入力周波数 CNTRα(P32), CNTRβ(P33) (注2) | f(XIN) = 8MHz | | | 2 | MHz |
| | | f(XIN) = 4MHz | | | 1 | MHz |
| f(CLK) | シリアルI/Oクロック入力周波数 CLK(P16) (注2) | f(XIN) = 8MHz | | | 2 | MHz |
| | | f(XIN) = 4MHz | | | 1 | MHz |
| f(XIN) | クロック入力発振周波数 (注2) | Vcc = 4.5 ~ 5.5V | | | 8 | MHz |
| | | Vcc = 2.7 ~ 4.5V | | | 2.2Vcc - 2.0 | MHz |

注1. 出力平均電流IOH(avg), IOL(avg)は、100ms期間内の平均値です。

2. 周波数は、デューティ比50%のときです。

表1.20.3 7470グループ電気的特性(指定のない場合は、VCC=2.7~5.5V, VSS=0V, Ta=-20~85)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | |
|-----------|---|----------------------------------|-------------|--------|-------|-------|----|
| | | | 最小 | 標準 | 最大 | | |
| VOH | “H”出力電圧 P00~P07, P10~P17 P20~P23, P40, P41 | VCC=5V, IOH= -5mA | 3.0 | | | V | |
| | | VCC=3V, IOH= -1.5mA | 2.0 | | | V | |
| VOL | “L”出力電圧 P00~P07, P10~P17 P20~P23, P40, P41 | VCC=5V, IOL=10mA | | | 2.0 | V | |
| | | VCC=3V, IOL=3mA | | | 1.0 | V | |
| VT+ - VT- | ヒステリシス P00~P07 P30~P33 | VCC=5V | | 0.5 | | V | |
| | | VCC=3V | | 0.3 | | V | |
| VT+ - VT- | ヒステリシス RESET | VCC=5V | | 0.5 | | V | |
| | | VCC=3V | | 0.3 | | V | |
| VT+ - VT- | ヒステリシス P14/SIN P16/CLK | SIN, CLKとして使用の場合 | | | | | |
| | | | VCC=5V | 0.5 | | V | |
| IIL | “L”入力電流 P00~P07, P10~P17 P40, P41 | VI=0V | VCC=5V | | -5 | μA | |
| | | プルアップトランジスタ無 | VCC=3V | | -3 | μA | |
| | | VI=0V | VCC=5V | -0.25 | -0.5 | -1.0 | mA |
| | | プルアップトランジスタ有(注) | VCC=3V | -0.08 | -0.18 | -0.35 | mA |
| IIL | “L”入力電流 P30~P33 | VI=0V | VCC=5V | | -5 | μA | |
| | | | VCC=3V | | -3 | μA | |
| IIL | “L”入力電流 P20~P23 | VI=0V、プルアップトランジスタ無、アナログ入力非選択時 | VCC=5V | | -5 | μA | |
| | | | VCC=3V | | -3 | μA | |
| | | VI=0V、プルアップトランジスタ有、アナログ入力非選択時(注) | VCC=5V | -0.25 | -0.5 | -1.0 | mA |
| | | | VCC=3V | -0.08 | -0.18 | -0.35 | mA |
| IIL | “L”入力電流 XIN, RESET | VI=0V | VCC=5V | | -5 | μA | |
| | | XINは発振停止時 | VCC=3V | | -3 | μA | |
| IIH | “H”入力電流 P00~P07, P10~P17 P40, P41 | VI=VCC | VCC=5V | | 5 | μA | |
| | | プルアップトランジスタ無 | VCC=3V | | 3 | μA | |
| IIH | “H”入力電流 P30~P33 | VI=VCC | VCC=5V | | 5 | μA | |
| | | | VCC=3V | | 3 | μA | |
| IIH | “H”入力電流 P20~P23 | VI=VCC、プルアップトランジスタ無、アナログ入力非選択時 | VCC=5V | | 5 | μA | |
| | | | VCC=3V | | 3 | μA | |
| IIH | “H”入力電流 XIN, RESET | VI=VCC | VCC=5V | | 5 | μA | |
| | | XINは発振停止時 | VCC=3V | | 3 | μA | |
| ICC | 電源電流 | システム動作時 | f(XIN)=8MHz | VCC=5V | 7 | 14 | mA |
| | | A-D変換非実行時 | f(XIN)=4MHz | VCC=3V | 3.5 | 7 | mA |
| | | システム動作時 | f(XIN)=8MHz | VCC=5V | 7.5 | 15 | mA |
| | | A-D変換実行中 | f(XIN)=4MHz | VCC=3V | 4 | 8 | mA |
| | | ウェイトモード時 | f(XIN)=8MHz | VCC=5V | 2 | 4 | mA |
| | | | f(XIN)=4MHz | VCC=3V | 0.5 | 1 | mA |
| | | ストップモード時 | | Ta=25 | 0.1 | 1 | μA |
| | | | VCC=5V | Ta=85 | 1 | 10 | μA |
| VRAM | RAM保持電圧 | クロック停止時 | 2.0 | | 5.5 | V | |

注：抵抗値で表すと下記の通りです。

- ・ VCC=5V時：5kΩ(最小) 10kΩ(標準) 20kΩ(最大)
- ・ VCC=3V時：8.6kΩ(最小) 16.7kΩ(標準) 37.5kΩ(最大)

表1.20.4 7470グループA-D変換特性

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$, $f(X_{IN})=4MHz$)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|-----------------|--|-------------|-----|-----------|---------|
| | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | 8 | bits |
| - | 非直線性誤差 | | | | ± 2 | LSB |
| - | 微分非直線性誤差 | | | | ± 0.9 | LSB |
| VOT | ゼロトランジション誤差 | $V_{CC} = V_{REF} = 5.12V$, $I_{OL}(\text{sum}) = 0mA$ | | | 2 | LSB |
| | | $V_{CC} = V_{REF} = 3.072V$, $I_{OL}(\text{sum}) = 0mA$ | | | 3 | LSB |
| VFST | フルスケールトランジション誤差 | $V_{CC} = V_{REF} = 5.12V$ | | | 4 | LSB |
| | | $V_{CC} = V_{REF} = 3.072V$ | | | 7 | LSB |
| TCONV | 変換時間 | $f(X_{IN}) = 8MHz$ | | | 12.5 | μs |
| | | $f(X_{IN}) = 4MHz$ | | | 25 | μs |
| VREF | 基準電圧(注) | $V_{CC}=2.7 \sim 4.0V$ | 2 | | V_{CC} | V |
| | | $V_{CC}=4.0 \sim 5.5V$ | $0.5V_{CC}$ | | V_{CC} | V |
| RLADDER | ラダー抵抗 | | 2 | 5 | 10 | k |
| VIA | アナログ電圧 | | 0 | | V_{REF} | V |
| IVREF | 基準電源入力電流 | $V_{REF}=5.0V$ | 0.5 | 1.0 | 2.5 | mA |

注．A-D変換器を使用しない場合は V_{CC} 端子に接続してください。

(2) 7471グループ 電気的特性

7471グループの絶対最大定格を表1.20.5、推奨動作条件を表1.20.6、電気的特性を表1.20.7、A-D変換特性を表1.20.8に示します。

表1.20.5 7471グループ絶対最大定格

| 記号 | 項目 | 条件 | 定格値 | 単位 |
|------|--------|------------------------------------|-------------------|----|
| Vcc | 電源電圧 | Vss端子を基準にして測定する。 出力トランジスタは遮断状態。 | - 0.3 ~ 7 | V |
| Vi | 入力電圧 | | - 0.3 ~ Vcc + 0.3 | V |
| Vo | 出力電圧 | | - 0.3 ~ Vcc + 0.3 | V |
| Pd | 消費電力 | Ta = 25 | 100(注) | mW |
| Topr | 動作周囲温度 | | - 20 ~ 85 | |
| Tstg | 保存温度 | | - 40 ~ 150 | |

注：56P6N-Aパッケージ品の場合は500mWです。

表1.20.6 7471グループ推奨動作条件

(指定のない場合は、Vcc=2.7 ~ 5.5V, Vss=AVss=0V, Ta=-20 ~ 85)

| 記号 | 項目 | 規格値 | | | 単位 | |
|-----------|--|----------------------------|--------|-----|--------------|-----|
| | | 最小 | 標準 | 最大 | | |
| Vcc | 電源電圧 | f(XIN) = 8.0MHz | 4.5 | 5.0 | 5.5 | V |
| | | f(XIN) = (2.2Vcc - 2.0)MHz | 2.7 | | 4.5 | V |
| Vss | 電源電圧 | | 0 | | V | |
| AVss | アナログ電源電圧 | | 0 | | V | |
| VIH | “H”入力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33 | | 0.8Vcc | | Vcc | V |
| VIH | “H”入力電圧 P20 ~ P27, P40 ~ P43, P50 ~ P53 (注1) | | 0.7Vcc | | Vcc | V |
| VIH | “H”入力電圧 XIN, RESET | | 0.8Vcc | | Vcc | V |
| VIL | “L”入力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33 | | 0 | | 0.2Vcc | V |
| VIL | “L”入力電圧 P20 ~ P27, P40 ~ P43, P50 ~ P53 (注1) | | 0 | | 0.25Vcc | V |
| VIL | “L”入力電圧 XIN | | 0 | | 0.16Vcc | V |
| VIL | “L”入力電圧 RESET | | 0 | | 0.12Vcc | V |
| IOH(sum) | “H”出力総電流 P00 ~ P07とP40 ~ P43の合計 | | | | - 30 | mA |
| IOH(sum) | “H”出力総電流 P10 ~ P17とP20 ~ P27の合計 | | | | - 30 | mA |
| IOL(sum) | “L”出力総電流 P00 ~ P07とP40 ~ P43の合計 | | | | 60 | mA |
| IOL(sum) | “L”出力総電流 P10 ~ P17とP20 ~ P27の合計 | | | | 60 | mA |
| IOH(peak) | “H”出力尖頭電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P40 ~ P43 | | | | - 10 | mA |
| IOL(peak) | “L”出力尖頭電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P40 ~ P43 | | | | 20 | mA |
| IOH(avg) | “H”出力平均電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P40 ~ P43 (注2) | | | | - 5 | mA |
| IOL(avg) | “L”出力平均電流 P00 ~ P07, P10 ~ P17, P20 ~ P27, P40 ~ P43 (注2) | | | | 10 | mA |
| f(CNTR) | タイマ入力周波数 | f(XIN) = 8MHz | | | 2 | MHz |
| | CNTR α (P32), CNTR γ (P33) (注3) | f(XIN) = 4MHz | | | 1 | MHz |
| f(CLK) | シリアルI/Oクロック入力周波数 | f(XIN) = 8MHz | | | 2 | MHz |
| | CLK(P16) (注3) | f(XIN) = 4MHz | | | 1 | MHz |
| f(XIN) | クロック入力発振周波数 (注3) | Vcc = 4.5 ~ 5.5V | | | 8 | MHz |
| | | Vcc = 2.7 ~ 4.5V | | | 2.2Vcc - 2.0 | MHz |
| f(XCIN) | 時計用クロック入力発振周波数 (注3, 4) | | 32 | 50 | kHz | |

注1. P50をXCINとして使用するときは除きます。

2. 出力平均電流IOH(avg), IOL(avg)は、100ms期間内の平均値です。

3. 周波数は、デューティ比50%のときです。

4. 時計用クロックを使用する場合は、f(XCIN) < f(XIN)/3としてください。

表1.20.7 7471グループ電気的特性(指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85$)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | | |
|-----------|--|--|-------------|---------|-------------|---------|-----|----|
| | | | 最小 | 標準 | 最大 | | | |
| VOH | “H”出力電圧 P00~P07, P10~P17 P20~P27, P40~P43 | VCC=5V, IOH= -5mA | 3.0 | | | V | | |
| | | VCC=3V, IOH= -1.5mA | 2.0 | | | V | | |
| VOL | “L”出力電圧 P00~P07, P10~P17 P20~P27, P40~P43 | VCC=5V, IOL=10mA | | | 2.0 | V | | |
| | | VCC=3V, IOL=3mA | | | 1.0 | V | | |
| VT+ - VT- | ヒステリシス P00~P07 P30~P33 | VCC=5V | | 0.5 | | V | | |
| | | VCC=3V | | 0.3 | | V | | |
| VT+ - VT- | ヒステリシス RESET | VCC=5V | | 0.5 | | V | | |
| | | VCC=3V | | 0.3 | | V | | |
| VT+ - VT- | ヒステリシス P14/SIN P16/CLK | SIN, CLKとして使用の場合 | VCC=5V | | 0.5 | V | | |
| | | | VCC=3V | | 0.3 | V | | |
| IIL | “L”入力電流 P00~P07, P10~P17 P40~P43, P50~P53 | VI=0V プルアップトランジスタ無 | VCC=5V | | -5 | μA | | |
| | | | VCC=3V | | -3 | μA | | |
| | | プルアップトランジスタ有(注) | VCC=5V | -0.25 | -0.5 | -1.0 | mA | |
| | | | VCC=3V | -0.08 | -0.18 | -0.35 | mA | |
| IIL | “L”入力電流 P30~P33 | VI=0V | VCC=5V | | -5 | μA | | |
| | | | VCC=3V | | -3 | μA | | |
| IIL | “L”入力電流 P20~P27 | VI=0V、プルアップトランジスタ 無、アナログ入力非選択時 | VCC=5V | | -5 | μA | | |
| | | | VCC=3V | | -3 | μA | | |
| | | VI=0V、プルアップトランジスタ 有、アナログ入力非選択時(注) | VCC=5V | -0.25 | -0.5 | -1.0 | mA | |
| | | | VCC=3V | -0.08 | -0.18 | -0.35 | mA | |
| IIL | “L”入力電流 XIN, RESET | VI=0V XINは発振停止時 | VCC=5V | | -5 | μA | | |
| | | | VCC=3V | | -3 | μA | | |
| IIH | “H”入力電流 P00~P07, P10~P17 P40~P43, P50~P53 | VI=VCC プルアップトランジスタ無 | VCC=5V | | 5 | μA | | |
| | | | VCC=3V | | 3 | μA | | |
| IIH | “H”入力電流 P30~P33 | VI=VCC | VCC=5V | | 5 | μA | | |
| | | | VCC=3V | | 3 | μA | | |
| IIH | “H”入力電流 P20~P27 | VI=VCC、プルアップトランジスタ 無、アナログ入力非選択時 | VCC=5V | | 5 | μA | | |
| | | | VCC=3V | | 3 | μA | | |
| IIH | “H”入力電流 XIN, RESET | VI=VCC XINは発振停止時 | VCC=5V | | 5 | μA | | |
| | | | VCC=3V | | 3 | μA | | |
| ICC | 電源電流 | システム動作時 | f(XIN)=8MHz | VCC=5V | 7 | 14 | mA | |
| | | | A-D変換非実行時 | | f(XIN)=4MHz | 3.5 | 7 | mA |
| | | システム動作時 | f(XIN)=8MHz | VCC=5V | 7.5 | 15 | mA | |
| | | | A-D変換実行中 | | f(XIN)=4MHz | 4 | 8 | mA |
| | | 低速モード時、Ta=25、 Lowパワーモード、 f(XCIN)=32kHz、A-D変換非実行時 | VCC=5V | 30 | 80 | μA | | |
| | | | VCC=3V | 15 | 40 | μA | | |
| | | ウェイト モード時 | f(XIN)=8MHz | VCC=5V | 2 | 4 | mA | |
| | | | f(XIN)=4MHz | | 1 | 2 | mA | |
| | | ウェイトモード時、Ta=25 Lowパワーモード、 f(XCIN)=32kHz | VCC=5V | 3 | 12 | μA | | |
| | | | VCC=3V | 2 | 8 | μA | | |
| | | ストップモード時 VCC=5V | Ta=25 | 0.1 | 1 | μA | | |
| | | | Ta=85 | 1 | 10 | μA | | |
| | | VRAM | RAM保持電圧 | クロック停止時 | | 2.0 | 5.5 | V |

注：抵抗値で表すと下記の通りです。

・VCC=5V時：5k Ω (最小)、10k Ω (標準)、20k Ω (最大) ・VCC=3V時：8.6k Ω (最小)、16.7k Ω (標準)、37.5k Ω (最大)

表1.20.8 7471グループA-D変換特性

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20 \sim 85$, $f(X_{IN})=4MHz$)

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|-------------------|-----------------|--|-------------|-----|-----------|---------|
| | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | 8 | bits |
| - | 非直線性誤差 | | | | ± 2 | LSB |
| - | 微分非直線性誤差 | | | | ± 0.9 | LSB |
| V _{0T} | ゼロトランジション誤差 | $V_{CC}=V_{REF}=5.12V$, $I_{OL}(\text{sum})=0mA$ | | | 2 | LSB |
| | | $V_{CC}=V_{REF}=3.072V$, $I_{OL}(\text{sum})=0mA$ | | | 3 | LSB |
| V _{FST} | フルスケールトランジション誤差 | $V_{CC}=V_{REF}=5.12V$ | | | 4 | LSB |
| | | $V_{CC}=V_{REF}=3.072V$ | | | 7 | LSB |
| T _{CONV} | 変換時間 | $f(X_{IN})=8MHz$ | | | 12.5 | μs |
| | | $f(X_{IN})=4MHz$ | | | 25 | μs |
| V _{REF} | 基準電圧(注) | $V_{CC}=2.7 \sim 4.0V$ | 2 | | V_{CC} | V |
| | | $V_{CC}=4.0 \sim 5.5V$ | $0.5V_{CC}$ | | V_{CC} | V |
| RLADDER | ラダー抵抗 | | 2 | 5 | 10 | k |
| V _{IA} | アナログ電圧 | | 0 | | V_{REF} | V |
| I _{VREF} | 基準電源入力電流 | $V_{REF}=5.0V$ | 0.5 | 1.0 | 2.5 | mA |

注．A-D変換器を使用しない場合は V_{CC} 端子に接続してください。

(3) 7477グループ 電気的特性

7477グループの絶対最大定格を表1.20.9、推奨動作条件を表1.20.10、電気的特性を表1.20.11、A-D変換特性を表1.20.12に示します。

表1.20.9 7477グループ絶対最大定格

| 記号 | 項目 | 条件 | 定格値 | 単位 |
|------------------|--------|---|-------------------------------|----|
| V _{CC} | 電源電圧 | V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態。 | - 0.3 ~ 7 | V |
| V _I | 入力電圧 | | - 0.3 ~ V _{CC} + 0.3 | V |
| V _O | 出力電圧 | | - 0.3 ~ V _{CC} + 0.3 | V |
| P _d | 消費電力 | T _a = 25 | 100④(注1) | mW |
| T _{opr} | 動作周囲温度 | | - 20 ~ 85(注2) | |
| T _{stg} | 保存温度 | | - 40 ~ 150(注3) | |

注1. 32P2W-Aパッケージ品の場合は500mWです。

2. 広動作温度範囲版の場合は - 40 ~ 85 です。

3. 広動作温度範囲版の場合は - 65 ~ 150 です。

表1.20.10 7477グループ推奨動作条件(指定のない場合は、V_{CC}=2.7 ~ 5.5V, V_{SS}=0V, T_a=-20 ~ 85 (注1))

| 記号 | 項目 | 規格値 | | | 単位 | |
|------------------------|--|---|----------------------------|-----|--------------------------|-----|
| | | 最小 | 標準 | 最大 | | |
| V _{CC} | 電源電圧 | f(X _{IN}) = 8.0MHz | 4.5 | 5.0 | 5.5 | V |
| | | f(X _{IN}) = (2.2V _{CC} - 2.0)MHz | 2.7 | | 4.5 | V |
| V _{SS} | 電源電圧 | | 0 | | V | |
| V _{IH} | "H"入力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33 | | 0.8V _{CC} | | V _{CC} | V |
| V _{IH} | "H"入力電圧 P20 ~ P23, P40, P41 | | 0.7V _{CC} | | V _{CC} | V |
| V _{IH} | "H"入力電圧 X _{IN} , RESET | | 0.8V _{CC} | | V _{CC} | V |
| V _{IL} | "L"入力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33 | | 0 | | 0.2V _{CC} | V |
| V _{IL} | "L"入力電圧 P20 ~ P23, P40, P41 | | 0 | | 0.25V _{CC} | V |
| V _{IL} | "L"入力電圧 X _{IN} | | 0 | | 0.16V _{CC} | V |
| V _{IL} | "L"入力電圧 RESET | | 0 | | 0.12V _{CC} | V |
| I _{OH} (sum) | "H"出力総電流 P00 ~ P07とP40, P41の合計 | | | | - 30 | mA |
| I _{OH} (sum) | "H"出力総電流 P10 ~ P17の合計 | | | | - 30 | mA |
| I _{OL} (sum) | "L"出力総電流 P00 ~ P07とP40, P41の合計 | | | | 60 | mA |
| I _{OL} (sum) | "L"出力総電流 P10 ~ P17の合計 | | | | 60 | mA |
| I _{OH} (peak) | "H"出力尖頭電流 P00 ~ P07, P10 ~ P17, P40, P41 | | | | - 10 | mA |
| I _{OL} (peak) | "L"出力尖頭電流 P00 ~ P07, P10 ~ P17, P40, P41 | | | | 20 | mA |
| I _{OH} (avg) | "H"出力平均電流 P00 ~ P07, P10 ~ P17, P40, P41 (注2) | | | | - 5 | mA |
| I _{OL} (avg) | "L"出力平均電流 P00 ~ P07, P10 ~ P17, P40, P41 (注2) | | | | 10 | mA |
| f(CNTR) | タイマ入力周波数 CNTR①(P32), CNTR②(P33) (注3) | f(X _{IN}) = 8MHz | | | 2 | MHz |
| | | f(X _{IN}) = 4MHz | | | 1 | MHz |
| f(SCLK) | シリアルI/Oクロック入力周波数 SCLK(P16) (注3) | クロック同期形選択時 | f(X _{IN}) = 8MHz | | 500 | kHz |
| | | | f(X _{IN}) = 4MHz | | 250 | kHz |
| | | UART選択時 | f(X _{IN}) = 8MHz | | 2 | MHz |
| | | | f(X _{IN}) = 4MHz | | 1 | MHz |
| f(X _{IN}) | クロック入力発振周波数 (注3) | V _{CC} = 4.5 ~ 5.5V | | | 8 | MHz |
| | | V _{CC} = 2.7 ~ 4.5V | | | 2.2V _{CC} - 2.0 | MHz |

注1. 広動作温度範囲版の場合は - 40 ~ 85 です。

2. 出力平均電流I_{OH}(avg), I_{OL}(avg)は、100ms期間内の平均値です。

3. 周波数は、デューティ比50%のときです。

表1.20.11 7477グループ電気的特性(指定のない場合は、VCC=2.7~5.5V, VSS=0V, Ta=-20~85 (注1))

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | |
|-----------|--------------------------------------|------------------------|---------------|--------|-------|-------|----|
| | | | 最小 | 標準 | 最大 | | |
| VOH | “H”出力電圧 P00~P07, P10~P17 P40, P41 | VCC=5V, IOH = -5mA | 3.0 | | | V | |
| | | VCC=3V, IOH = -1.5mA | 2.0 | | | V | |
| VOL | “L”出力電圧 P00~P07, P10~P17 P40, P41 | VCC=5V, IOL = 10mA | | | 2.0 | V | |
| | | VCC=3V, IOL = 3mA | | | 1.0 | V | |
| VT+ - VT- | ヒステリシス P00~P07 P30~P33 | VCC=5V | | 0.5 | | V | |
| | | VCC=3V | | 0.3 | | V | |
| VT+ - VT- | ヒステリシス RESET | VCC=5V | | 0.5 | | V | |
| | | VCC=3V | | 0.3 | | V | |
| VT+ - VT- | ヒステリシス P14/RxD P16/SCLK | RxD, SCLKとして使用の場合 | VCC=5V | 0.5 | | V | |
| | | | VCC=3V | 0.3 | | V | |
| IIL | “L”入力電流 P00~P07, P10~P17 P40, P41 | VI=0V | VCC=5V | | -5 | μA | |
| | | プルアップトランジスタ無 | VCC=3V | | -3 | μA | |
| | | VI=0V、プルアップトランジスタ有(注2) | VCC=5V | -0.25 | -0.5 | -1.0 | mA |
| | | | VCC=3V | -0.08 | -0.18 | -0.35 | mA |
| IIL | “L”入力電流 P30~P33 | VI=0V | VCC=5V | | -5 | μA | |
| | | | VCC=3V | | -3 | μA | |
| IIL | “L”入力電流 P20~P23 | VI=0V | VCC=5V | | -5 | μA | |
| | | アナログ入力非選択時 | VCC=3V | | -3 | μA | |
| IIL | “L”入力電流 XIN, RESET | VI=0V | VCC=5V | | -5 | μA | |
| | | XINは発振停止時 | VCC=3V | | -3 | μA | |
| IIH | “H”入力電流 P00~P07, P10~P17 P40, P41 | VI=VCC | VCC=5V | | 5 | μA | |
| | | プルアップトランジスタ無 | VCC=3V | | 3 | μA | |
| IIH | “H”入力電流 P30~P33 | VI=VCC | VCC=5V | | 5 | μA | |
| | | | VCC=3V | | 3 | μA | |
| IIH | “H”入力電流 P20~P23 | VI=VCC | VCC=5V | | 5 | μA | |
| | | アナログ入力非選択時 | VCC=3V | | 3 | μA | |
| IIH | “H”入力電流 XIN, RESET | VI=VCC | VCC=5V | | 5 | μA | |
| | | XINは発振停止時 | VCC=3V | | 3 | μA | |
| ICC | 電源電流 | システム動作時 | f(XIN) = 8MHz | VCC=5V | 7 | 14 | mA |
| | | A-D変換非実行時 | f(XIN) = 4MHz | VCC=3V | 3.5 | 7 | mA |
| | | システム動作時 | f(XIN) = 8MHz | VCC=5V | 7.5 | 15 | mA |
| | | A-D変換実行中 | f(XIN) = 4MHz | VCC=3V | 4 | 8 | mA |
| | | ウェイト モード時 | f(XIN) = 8MHz | VCC=5V | 2 | 4 | mA |
| | | | f(XIN) = 4MHz | VCC=3V | 0.5 | 1 | mA |
| | | ストップモード時 VCC=5V | | Ta=25 | 0.1 | 1 | μA |
| | | | | Ta=85 | 1 | 10 | μA |
| VRAM | RAM保持電圧 | クロック停止時 | 2.0 | | 5.5 | V | |

注1. 広動作温度範囲版の場合は -40~85 です。

2. 抵抗値で表すと下記の通りです。

- ・VCC=5V時: 5kΩ(最小), 10kΩ(標準), 20kΩ(最大)
- ・VCC=3V時: 8.6kΩ(最小), 16.7kΩ(標準), 37.5kΩ(最大)

表1.20.12 7477グループA-D変換特性(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$ (注1))

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|----------|---|-------------|-----|-----------|---------|
| | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | 8 | bits |
| - | 絶対精度 | | | | ± 3 | LSB |
| TCONV | 変換時間 | $V_{CC}=4.5 \sim 5.5V$, $f(X_{IN})=8MHz$ | | | 12.5 | μs |
| | | $V_{CC}=2.7 \sim 5.5V$, $f(X_{IN})=4MHz$ | | | 25 | μs |
| VREF | 基準電圧(注2) | $V_{CC}=2.7 \sim 4.0V$ | 2 | | V_{CC} | V |
| | | $V_{CC}=4.0 \sim 5.5V$ | $0.5V_{CC}$ | | V_{CC} | V |
| RLADDER | ラダー抵抗 | | 2 | 5 | 10 | k |
| VIA | アナログ電圧 | | 0 | | V_{REF} | V |
| IVREF | 基準電源入力電流 | $V_{REF}=5.0V$ | 0.5 | 1.0 | 2.5 | mA |

注1 . 広動作温度範囲版の場合は - 40 ~ 85 です。

2 . A-D変換器を使用しない場合は V_{CC} 端子に接続してください。

EOL announced

(4) 7478グループ 電気的特性

7478グループの絶対最大定格を表1.20.13、推奨動作条件を表1.20.14、電気的特性を表1.20.15、A-D変換特性を表1.20.16に示します。

表1.20.13 7478グループ絶対最大定格

| 記号 | 項目 | 条件 | 定格値 | 単位 |
|------------------|--------|---|-------------------------------|----|
| V _{CC} | 電源電圧 | V _{SS} 端子を基準にして測定する。 出力トランジスタは遮断状態。 | - 0.3 ~ 7 | V |
| V _I | 入力電圧 | | - 0.3 ~ V _{CC} + 0.3 | V |
| V _O | 出力電圧 | | - 0.3 ~ V _{CC} + 0.3 | V |
| P _d | 消費電力 | T _a = 25 | 100(注1) | mW |
| T _{opr} | 動作周囲温度 | | - 20 ~ 85(注2) | |
| T _{stg} | 保存温度 | | - 40 ~ 150(注3) | |

注1. 56P6N-Aパッケージ品の場合は500mWです。 2. 広動作温度範囲版の場合は - 40 ~ 85 です。
3. 広動作温度範囲版の場合は - 65 ~ 150 です。

表1.20.14 7478グループ推奨動作条件(指定のない場合は、V_{CC}=2.7~5.5V, V_{SS}=AV_{SS}=0V, T_a=-20~85 (注1))

| 記号 | 項目 | 規格値 | | | 単位 | |
|------------------------|---|---|----------------------------|-----|--------------------------|-----|
| | | 最小 | 標準 | 最大 | | |
| V _{CC} | 電源電圧 | f(X _{IN}) = 8.0MHz | 4.5 | 5.0 | 5.5 | V |
| | | f(X _{IN}) = (2.2V _{CC} - 2.0)MHz | 2.7 | | 4.5 | V |
| V _{SS} | 電源電圧 | | 0 | | V | |
| AV _{SS} | アナログ電源電圧 | | 0 | | V | |
| V _{IH} | “H”入力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33 | | 0.8V _{CC} | | V _{CC} | V |
| V _{IH} | “H”入力電圧 P20 ~ P27, P40 ~ P43, P50 ~ P53 (注2) | | 0.7V _{CC} | | V _{CC} | V |
| V _{IH} | “H”入力電圧 X _{IN} , RESET | | 0.8V _{CC} | | V _{CC} | V |
| V _{IL} | “L”入力電圧 P00 ~ P07, P10 ~ P17, P30 ~ P33 | | 0 | | 0.2V _{CC} | V |
| V _{IL} | “L”入力電圧 P20 ~ P27, P40 ~ P43, P50 ~ P53 (注2) | | 0 | | 0.25V _{CC} | V |
| V _{IL} | “L”入力電圧 X _{IN} | | 0 | | 0.16V _{CC} | V |
| V _{IL} | “L”入力電圧 RESET | | 0 | | 0.12V _{CC} | V |
| I _{OH} (sum) | “H”出力総電流 P00 ~ P07とP40 ~ P43の合計 | | | | - 30 | mA |
| I _{OH} (sum) | “H”出力総電流 P10 ~ P17の合計 | | | | - 30 | mA |
| I _{OL} (sum) | “L”出力総電流 P00 ~ P07とP40 ~ P43の合計 | | | | 60 | mA |
| I _{OL} (sum) | “L”出力総電流 P10 ~ P17の合計 | | | | 60 | mA |
| I _{OH} (peak) | “H”出力尖頭電流 P00 ~ P07, P10 ~ P17, P40 ~ P43 | | | | - 10 | mA |
| I _{OL} (peak) | “L”出力尖頭電流 P00 ~ P07, P10 ~ P17, P40 ~ P43 | | | | 20 | mA |
| I _{OH} (avg) | “H”出力平均電流 P00 ~ P07, P10 ~ P17, P40 ~ P43 (注3) | | | | - 5 | mA |
| I _{OL} (avg) | “L”出力平均電流 P00 ~ P07, P10 ~ P17, P40 ~ P43 (注3) | | | | 10 | mA |
| f(CNTR) | タイマ入力周波数 CNTR(P32), CNTR(P33) (注4) | f(X _{IN}) = 8MHz | | | 2 | MHz |
| | | f(X _{IN}) = 4MHz | | | 1 | MHz |
| f(SCLK) | シリアル/Oクロック入力周波数 SCLK(P16) (注4) | クロック同期時 | f(X _{IN}) = 8MHz | | 500 | kHz |
| | | 期形選択時 | f(X _{IN}) = 4MHz | | 250 | kHz |
| | | UART選択時 | f(X _{IN}) = 8MHz | | 2 | MHz |
| | | | f(X _{IN}) = 4MHz | | 1 | MHz |
| f(X _{IN}) | クロック入力発振周波数 (注4) | V _{CC} = 4.5 ~ 5.5V | | | 8 | MHz |
| | | V _{CC} = 2.7 ~ 4.5V | | | 2.2V _{CC} - 2.0 | MHz |
| f(X _{CIN}) | 時計用クロック入力発振周波数 (注4, 5) | | 32 | 50 | kHz | |

注1. 広動作温度範囲版の場合は - 40 ~ 85 です。 2. P50をX_{CIN}として使用するときは除きます。
3. 出力平均電流I_{OH}(avg), I_{OL}(avg)は、100ms期間内の平均値です。 4. 周波数は、デューティ比50%のときです。
5. 時計用クロックを使用する場合は、f(X_{CIN}) < f(X_{IN})/3としてください。

表1.20.15 7478グループ電気的特性 指定のない場合は、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85$ (注1))

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 | |
|---|--|--|------------------|-------------|---------|---------|---------|
| | | | 最小 | 標準 | 最大 | | |
| VOH | “H”出力電圧 P00~P07, P10~P17 P40~P43 | $V_{CC}=5V$, $I_{OH}=-5mA$ | 3.0 | | | V | |
| | | $V_{CC}=3V$, $I_{OH}=-1.5mA$ | 2.0 | | | V | |
| VOL | “L”出力電圧 P00~P07, P10~P17 P40~P43 | $V_{CC}=5V$, $I_{OL}=10mA$ | | | 2.0 | V | |
| | | $V_{CC}=3V$, $I_{OL}=3mA$ | | | 1.0 | V | |
| VT+ - VT- | ヒステリシス P00~P07 P30~P33 | $V_{CC}=5V$ | | 0.5 | | V | |
| | | $V_{CC}=3V$ | | 0.3 | | V | |
| VT+ - VT- | ヒステリシス \overline{RESET} | $V_{CC}=5V$ | | 0.5 | | V | |
| | | $V_{CC}=3V$ | | 0.3 | | V | |
| VT+ - VT- | ヒステリシス P14/RxD P16/SCLK | RxD, SCLKとして使用の場合 | $V_{CC}=5V$ | 0.5 | | V | |
| | | | $V_{CC}=3V$ | 0.3 | | V | |
| IIL | “L”入力電流 P00~P07, P10~P17 P40~P43, P50~P53 | $V_i=0V$ プルアップトランジスタ無 | $V_{CC}=5V$ | | -5 | μA | |
| | | | $V_{CC}=3V$ | | -3 | μA | |
| | | $V_i=0V$ 、プルアップトランジスタ有(注2) | $V_{CC}=5V$ | -0.25 | -0.5 | -1.0 | mA |
| | | | $V_{CC}=3V$ | -0.08 | -0.18 | -0.35 | mA |
| IIL | “L”入力電流 P30~P33 | $V_i=0V$ | $V_{CC}=5V$ | | -5 | μA | |
| | | | $V_{CC}=3V$ | | -3 | μA | |
| IIL | “L”入力電流 P20~P27 | $V_i=0V$ アナログ入力非選択時 | $V_{CC}=5V$ | | -5 | μA | |
| | | | $V_{CC}=3V$ | | -3 | μA | |
| IIL | “L”入力電流 X_{IN} , \overline{RESET} | $V_i=0V$ X_{IN} は発振停止時 | $V_{CC}=5V$ | | -5 | μA | |
| | | | $V_{CC}=3V$ | | -3 | μA | |
| IIH | “H”入力電流 P00~P07, P10~P17 P40~P43, P50~P53 | $V_i=V_{CC}$ プルアップトランジスタ無 | $V_{CC}=5V$ | | 5 | μA | |
| | | | $V_{CC}=3V$ | | 3 | μA | |
| IIH | “H”入力電流 P30~P33 | $V_i=V_{CC}$ | $V_{CC}=5V$ | | 5 | μA | |
| | | | $V_{CC}=3V$ | | 3 | μA | |
| IIH | “H”入力電流 P20~P27 | $V_i=V_{CC}$ アナログ入力非選択時 | $V_{CC}=5V$ | | 5 | μA | |
| | | | $V_{CC}=3V$ | | 3 | μA | |
| IIH | “H”入力電流 X_{IN} , \overline{RESET} | $V_i=V_{CC}$ X_{IN} は発振停止時 | $V_{CC}=5V$ | | 5 | μA | |
| | | | $V_{CC}=3V$ | | 3 | μA | |
| ICC | 電源電流 | システム動作時 | $f(X_{IN})=8MHz$ | $V_{CC}=5V$ | 7 | 14 | mA |
| | | | | $V_{CC}=3V$ | 3.5 | 7 | mA |
| | | A-D変換非実行時 | $f(X_{IN})=4MHz$ | $V_{CC}=5V$ | 1.8 | 3.6 | mA |
| | | | | $V_{CC}=3V$ | 2 | 4 | mA |
| | | システム動作時 | $f(X_{IN})=8MHz$ | $V_{CC}=5V$ | 7.5 | 15 | mA |
| | | | | $V_{CC}=3V$ | 4 | 8 | mA |
| | | A-D変換実行中 | $f(X_{IN})=4MHz$ | $V_{CC}=5V$ | 2 | 4 | mA |
| | | | | $V_{CC}=3V$ | 2 | 4 | mA |
| | | 低速モード時、 $T_a=25$ Low/パワーモード、 $f(X_{CIN})=32kHz$ | A-D変換非実行時 | $V_{CC}=5V$ | 30 | 80 | μA |
| | | | | $V_{CC}=3V$ | 15 | 40 | μA |
| | | ウェイト モード時 | $f(X_{IN})=8MHz$ | $V_{CC}=5V$ | 2 | 4 | mA |
| | | | | $V_{CC}=3V$ | 1 | 2 | mA |
| ウェイトモード時、 $T_a=25$ Low/パワーモード、 $f(X_{CIN})=32kHz$ | ストップモード時 | $V_{CC}=5V$ | 0.5 | 1 | mA | | |
| | | $V_{CC}=3V$ | 0.5 | 1 | mA | | |
| ストップモード時 | $V_{CC}=5V$ | $T_a=25$ | 0.1 | 1 | μA | | |
| | | $T_a=85$ | 1 | 10 | μA | | |
| VRAM | RAM保持電圧 | クロック停止時 | 2.0 | | 5.5 | V | |

注1. 広動作温度範囲版の場合は -40~85 です。

2. 抵抗値で表すと下記の通りです。

- ・ $V_{CC}=5V$ 時：5k Ω (最小)、10k Ω (標準)、20k Ω (最大)
- ・ $V_{CC}=3V$ 時：8.6k Ω (最小)、16.7k Ω (標準)、37.5k Ω (最大)

表1.20.16 7478グループA-D変換特性

(指定のない場合は、 $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20 \sim 85$ (注1))

| 記号 | 項目 | 測定条件 | 規格値 | | | 単位 |
|---------|----------|---|-------------|-----|-----------|---------|
| | | | 最小 | 標準 | 最大 | |
| - | 分解能 | | | | 8 | bits |
| - | 絶対精度 | | | | ± 3 | LSB |
| TCONV | 変換時間 | $V_{CC}=4.5 \sim 5.5V$, $f(X_{IN})=8MHz$ | | | 12.5 | μs |
| | | $V_{CC}=2.7 \sim 5.5V$, $f(X_{IN})=4MHz$ | | | 25 | μs |
| VREF | 基準電圧(注2) | $V_{CC}=2.7 \sim 4.0V$ | 2 | | V_{CC} | V |
| | | $V_{CC}=4.0 \sim 5.5V$ | $0.5V_{CC}$ | | V_{CC} | V |
| RLADDER | ラダー抵抗 | | 2 | 5 | 10 | k |
| VIA | アナログ電圧 | | 0 | | V_{REF} | V |
| IVREF | 基準電源入力電圧 | $V_{REF}=5.0V$ | 0.5 | 1.0 | 2.5 | mA |

注1. 広動作温度範囲版の場合は $-40 \sim 85$ です。2. A-D変換器を使用しない場合は V_{CC} 端子に接続してください。

EOL announced

1.20.2 タイミング必要条件、スイッチング特性

(1) 7470/7471グループ タイミング必要条件、スイッチング特性

7470/7471グループのタイミング必要条件及びスイッチング特性を表1.20.17、タイミング図を図1.20.1に示します。

表1.20.17 7470/7471グループ タイミング必要条件及びスイッチング特性
($V_{CC}=4.5 \sim 5.5V$, $V_{SS}=0V$, $T_a=-20 \sim 85$, $f(X_{IN})=4MHz$ 時)

| 記号 | 項目 | 規格値 | | | 単位 |
|--------------------------|-----------------------|------|----|-----|----|
| | | 最小 | 標準 | 最大 | |
| $t_c(\text{CLK})$ | シリアルI/O クロック入力サイクル時間 | 1000 | | | ns |
| $t_{WH}(\text{CLK})$ | シリアルI/O クロック入が H パルス幅 | 400 | | | ns |
| $t_{WL}(\text{CLK})$ | シリアルI/O クロック入が L パルス幅 | 400 | | | ns |
| $t_{su}(\text{SIN-CLK})$ | シリアルI/O 入力セットアップ時間 | 200 | | | ns |
| $t_h(\text{CLK-SIN})$ | シリアルI/O 入力ホールド時間 | 200 | | | ns |
| $t_d(\text{CLK-SOUT})$ | シリアルI/O 出力遅延時間 | | | 150 | ns |

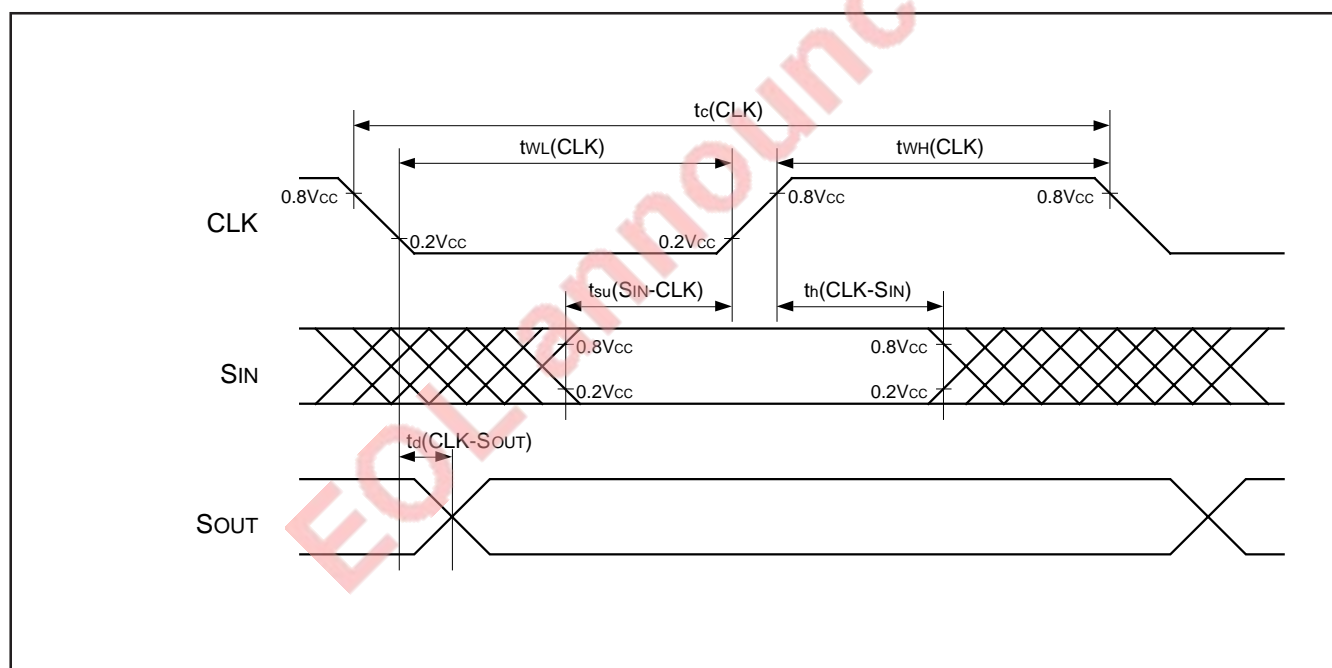


図1.20.1 7470/7471グループ タイミング図

(2) 7477/7478グループ タイミング必要条件、スイッチング特性

7477/7478グループのタイミング必要条件及びスイッチング特性を表1.20.18、タイミング図を図1.20.2に示します。

表1.20.18 7477/7478グループ タイミング必要条件及びスイッチング特性
($V_{CC}=4.5 \sim 5.5V$, $V_{SS}=0V$, $T_a=-40 \sim 85$, $f(XIN)=8MHz$ 時)

| | 記号 | 項目 | 規格値 | | | 単位 |
|--------------|--------------------|------------------------|------|----|-----|----|
| | | | 最小 | 標準 | 最大 | |
| クロック 同期形 | $t_c(SCLK)$ | シリアルI/O クロック入力サイクル時間 | 2000 | | | ns |
| | $t_{WH}(SCLK)$ | シリアルI/O クロック入力 H "パルス幅 | 880 | | | ns |
| | $t_{WL}(SCLK)$ | シリアルI/O クロック入力 L "パルス幅 | 880 | | | ns |
| | $t_{su}(RXD-SCLK)$ | シリアルI/O 入力セットアップ時間 | 160 | | | ns |
| | $t_h(SCLK-RxD)$ | シリアルI/O 入力ホールド時間 | 80 | | | ns |
| | $t_d(SCLK-TxD)$ | シリアルI/O 出力遅延時間 | | | 100 | ns |
| クロック 非同期形 | $t_c(SCLK)$ | シリアルI/O クロック入力サイクル時間 | 500 | | | ns |
| | $t_{WH}(SCLK)$ | シリアルI/O クロック入力 H "パルス幅 | 220 | | | ns |
| | $t_{WL}(SCLK)$ | シリアルI/O クロック入力 L "パルス幅 | 220 | | | ns |

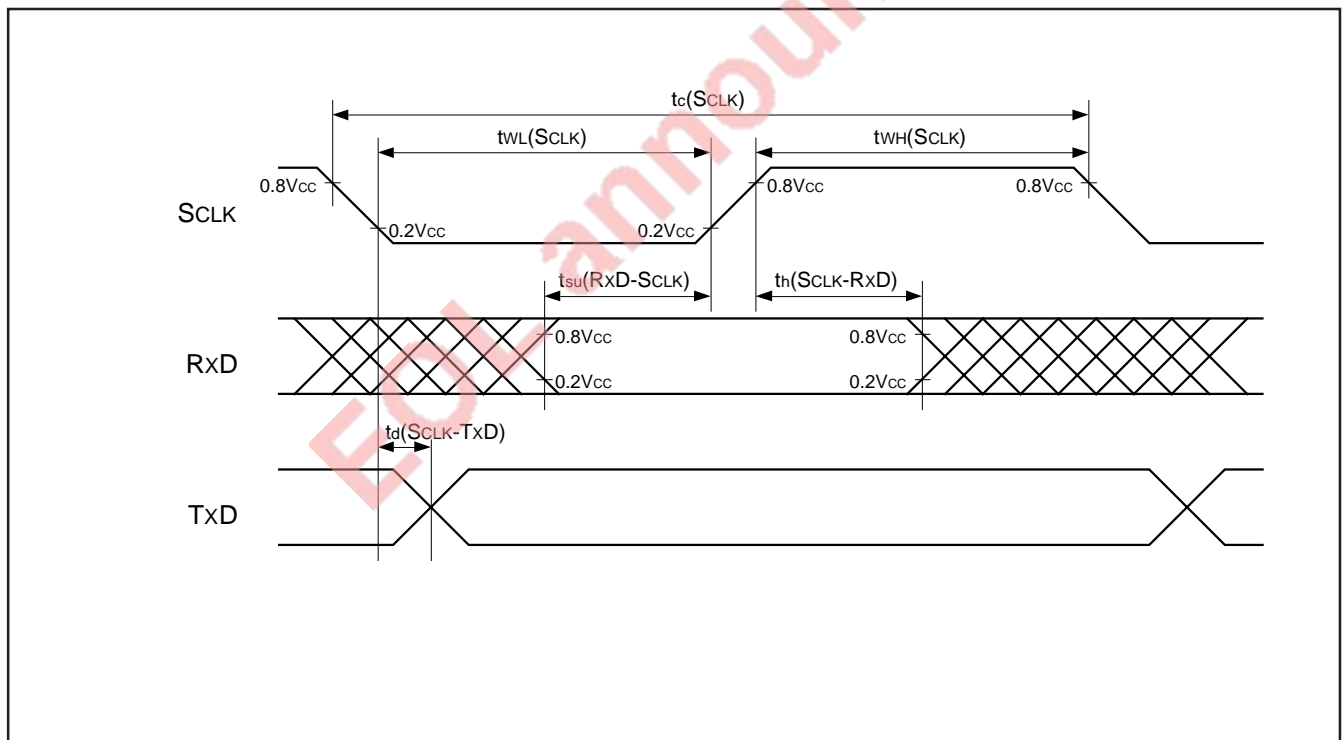


図1.20.2 7477/7478グループ タイミング図

1.20.3 電源電流標準特性

本項で記載している電源電流標準特性は7470/7471/7477/7478グループの「特性例」で、保証するものではありません。規格値は「1.20.1 電気的特性」を参照してください。

電源電流標準特性の測定回路を図1.20.3に示します。

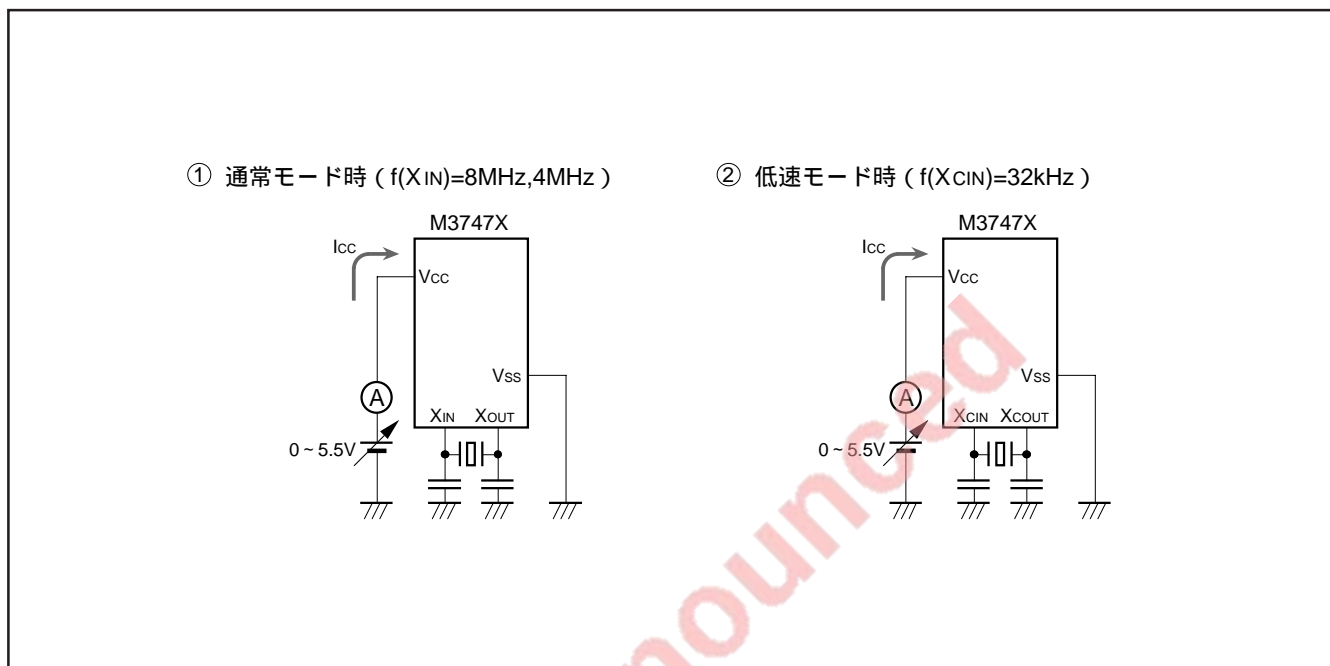


図1.20.3 電源電流標準特性の測定回路

(1) 7470/7471グループ 電源電流標準特性

7470/7471グループの $I_{CC} - V_{CC}$ 特性を図1.20.4から図1.20.6に示します。

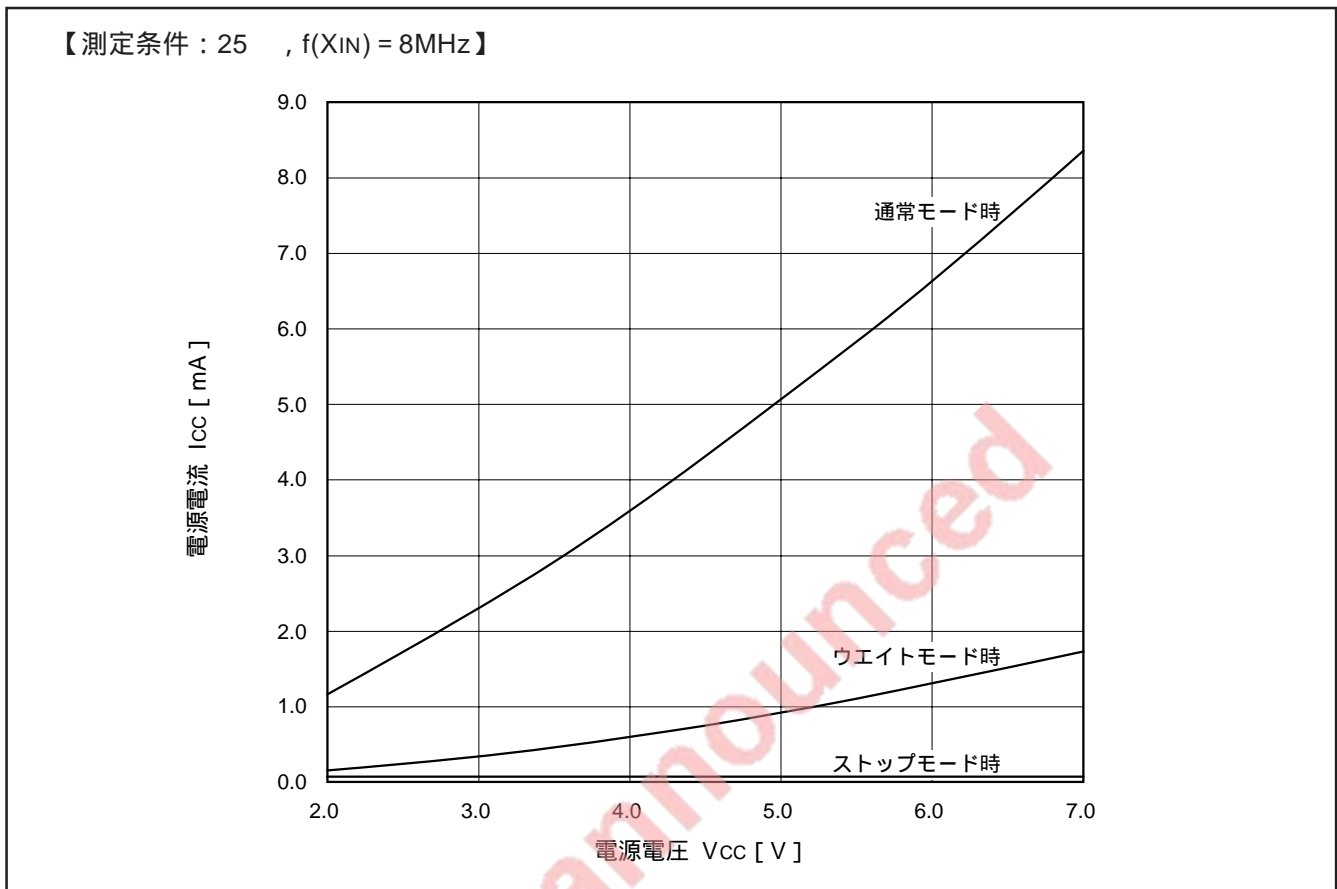


図1.20.4 7470/7471グループ $I_{CC} - V_{CC}$ 特性($f(X_{IN}) = 8\text{MHz}$)

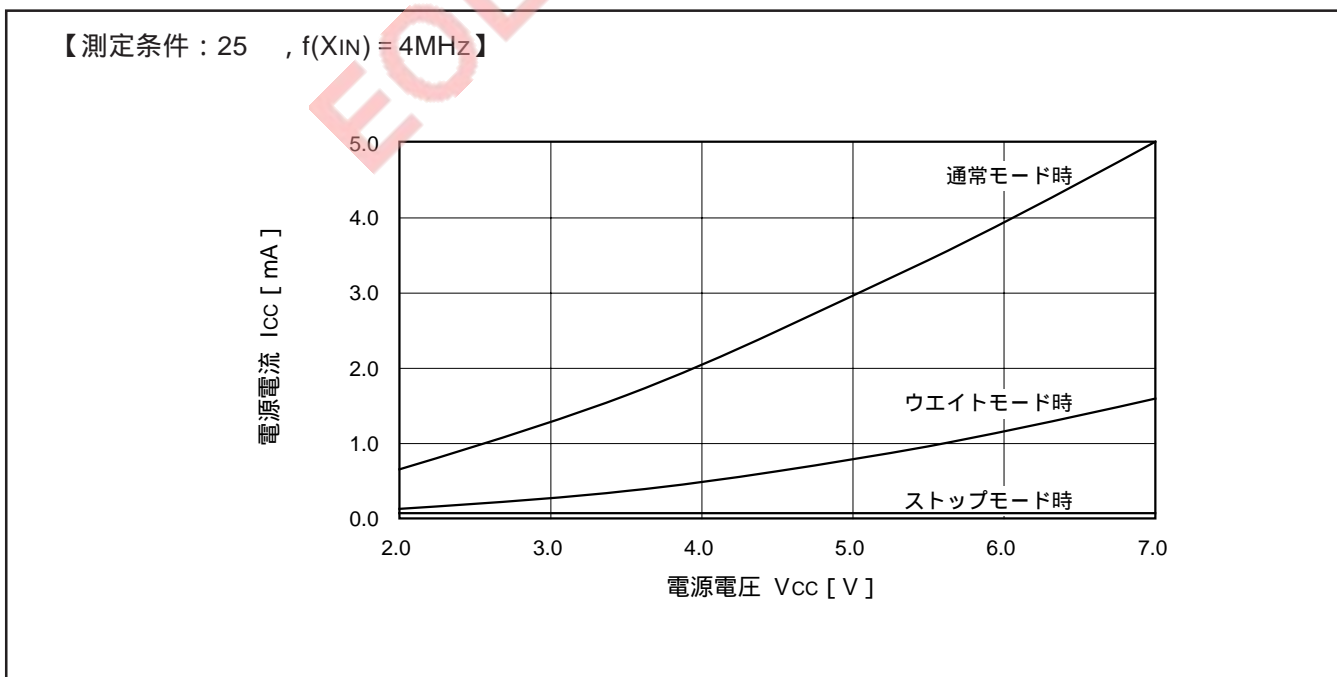


図1.20.5 7470/7471グループ $I_{CC} - V_{CC}$ 特性($f(X_{IN}) = 4\text{MHz}$)

【測定条件：25℃， $f(X_{CIN}) = 32\text{kHz}$ 】

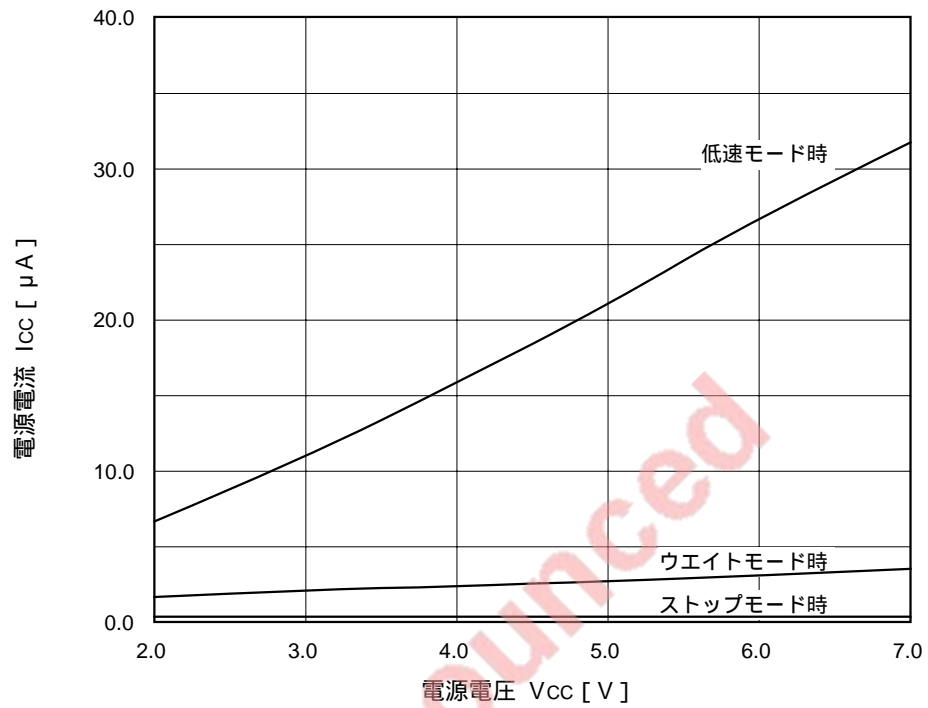


図1.20.6 7471グループ $I_{CC} - V_{CC}$ 特性 ($f(X_{CIN}) = 32\text{kHz}$)

(2) 7477/7478グループ 電源電流標準特性

7477/7478グループの $I_{CC} - V_{CC}$ 特性を図1.20.7から図1.20.9に示します。

【測定条件：25℃， $f(X_{IN}) = 8\text{MHz}$ 】

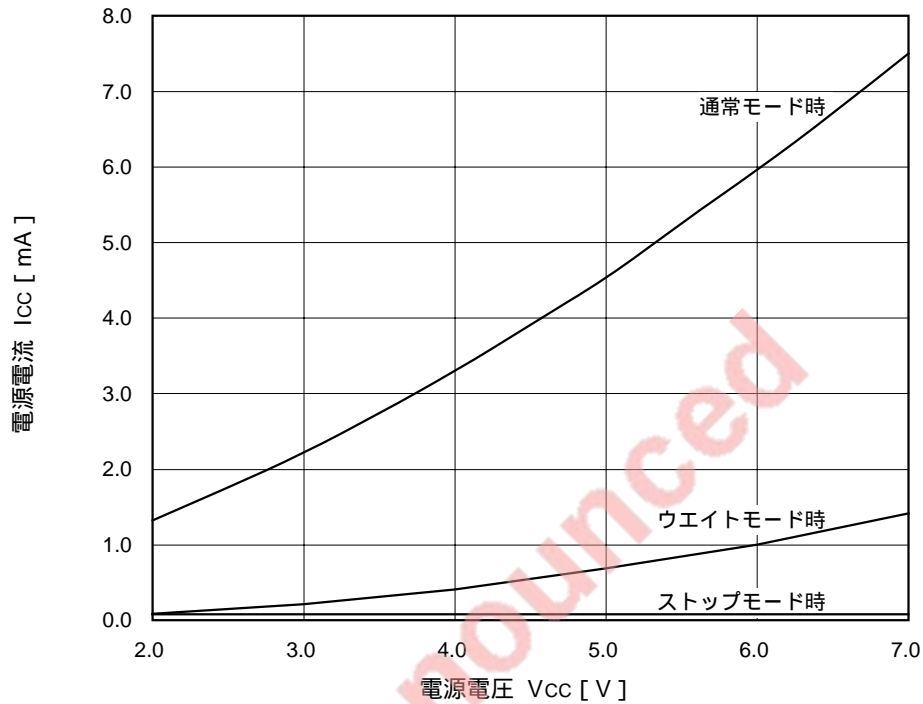


図1.20.7 7477/7478グループ $I_{CC} - V_{CC}$ 特性($f(X_{IN}) = 8\text{MHz}$)

【測定条件：25℃， $f(X_{IN}) = 4\text{MHz}$ 】

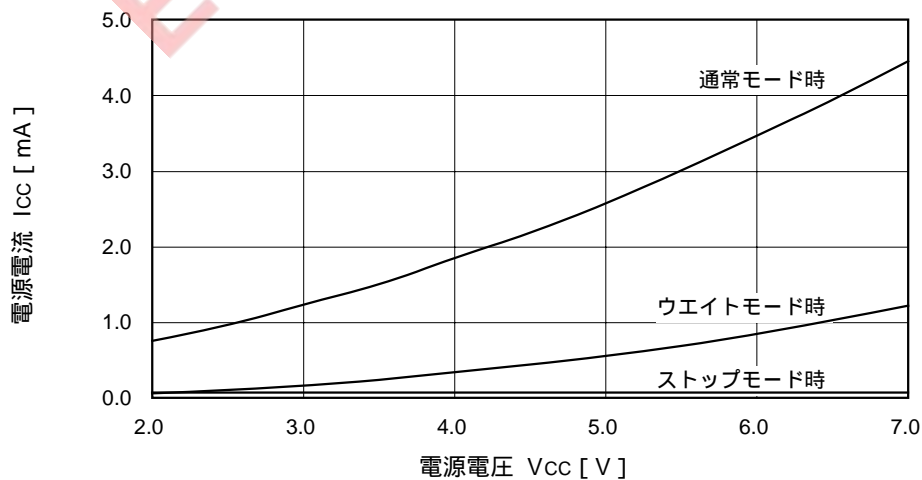


図1.20.8 7477/7478グループ $I_{CC} - V_{CC}$ 特性($f(X_{IN}) = 4\text{MHz}$)

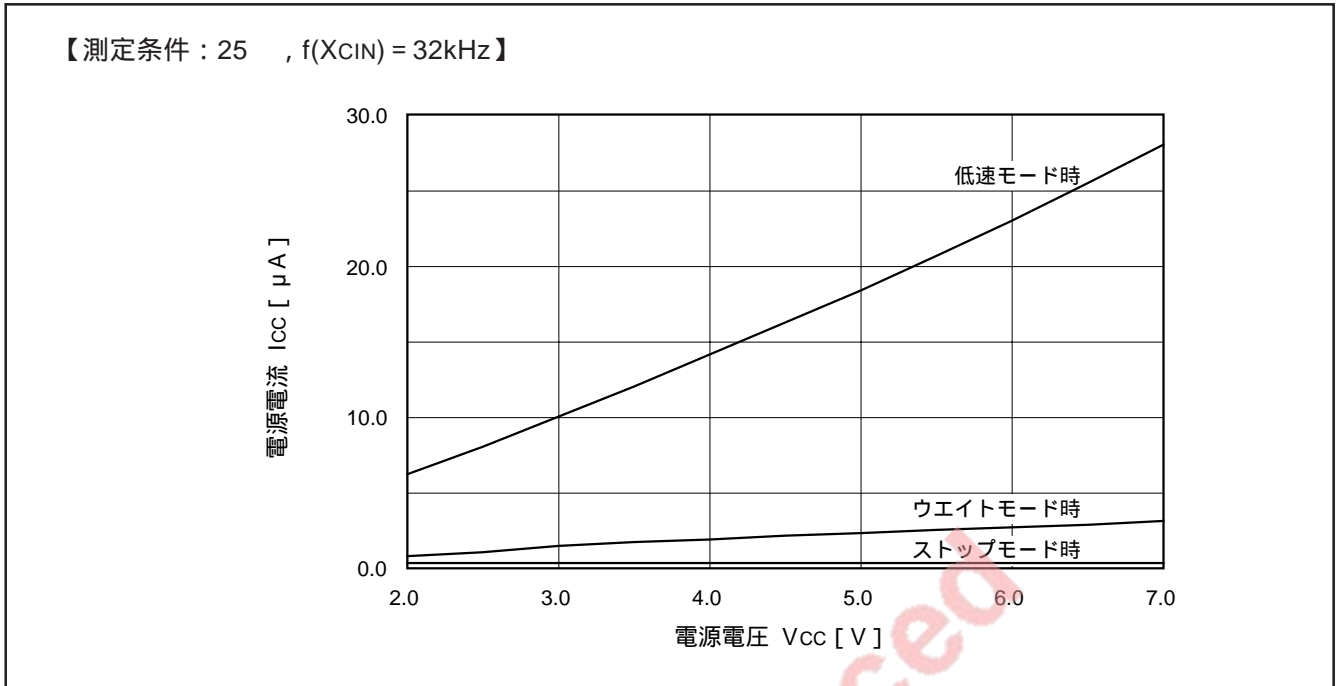


図1.20.9 7478グループ Icc - Vcc特性 ($f(X_{CIN}) = 32\text{kHz}$)

1.20.4 ポ - ト標準特性

本項で記載しているポ - ト標準特性は7470/7471/7477/7478グループの「特性例」で、保証するものではありません。規格値は「1.20.1 電気的特性」を参照してください。

ポ - ト標準特性の測定回路を図1.20.10に示します。

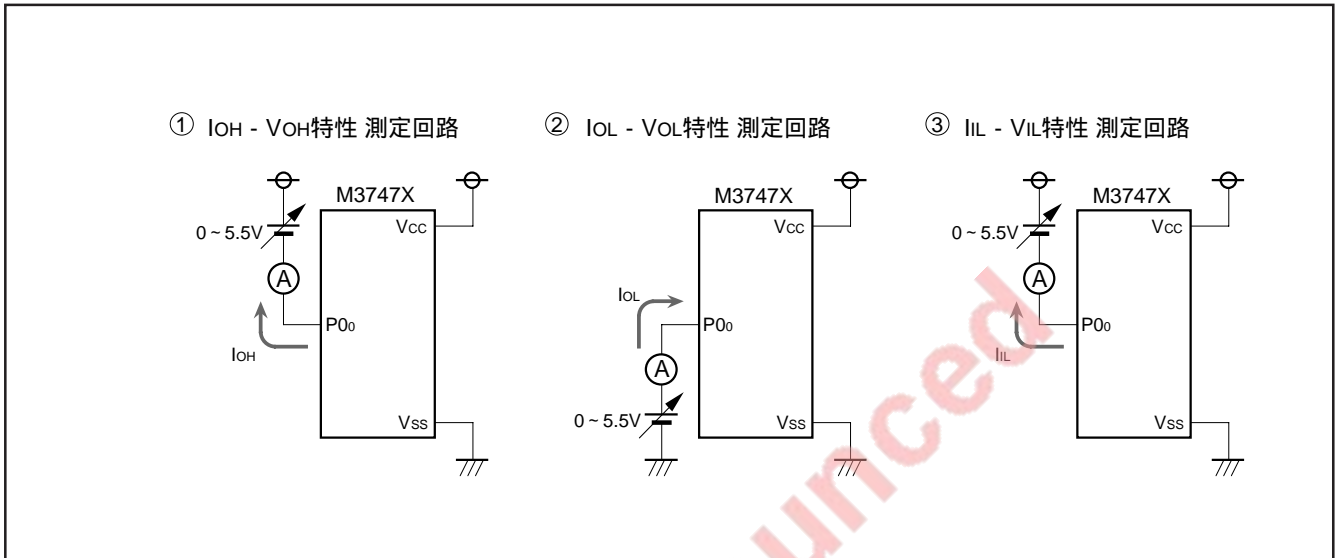


図1.20.10 ポ - ト標準特性の測定回路

(1) 7470/7471グループ ポ - ト標準特性

7470/7471グループのポ - ト標準特性を図1.20.11から図1.20.13に示します。

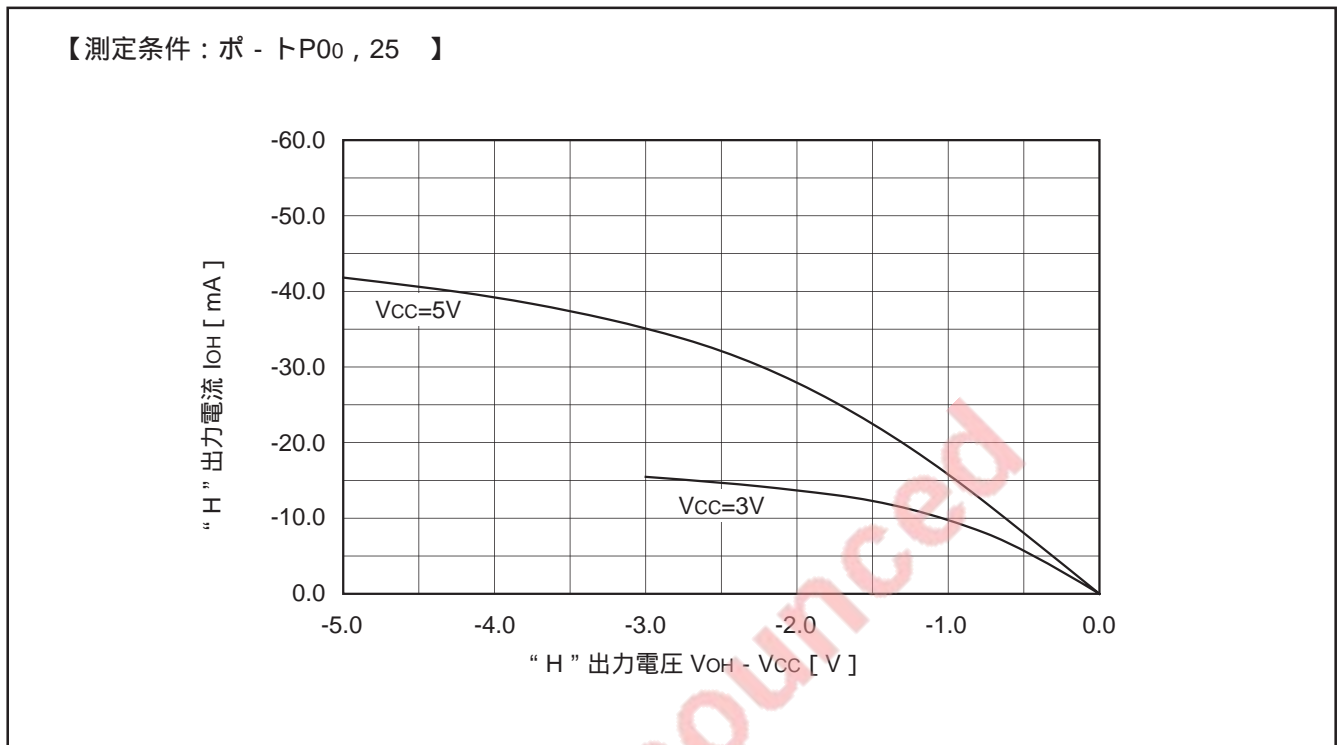


図1.20.11 7470/7471グループ プログラマブル入出力ポ - ト (CMOS出力) Pチャンネル側の I_{OH} - V_{OH} 特性

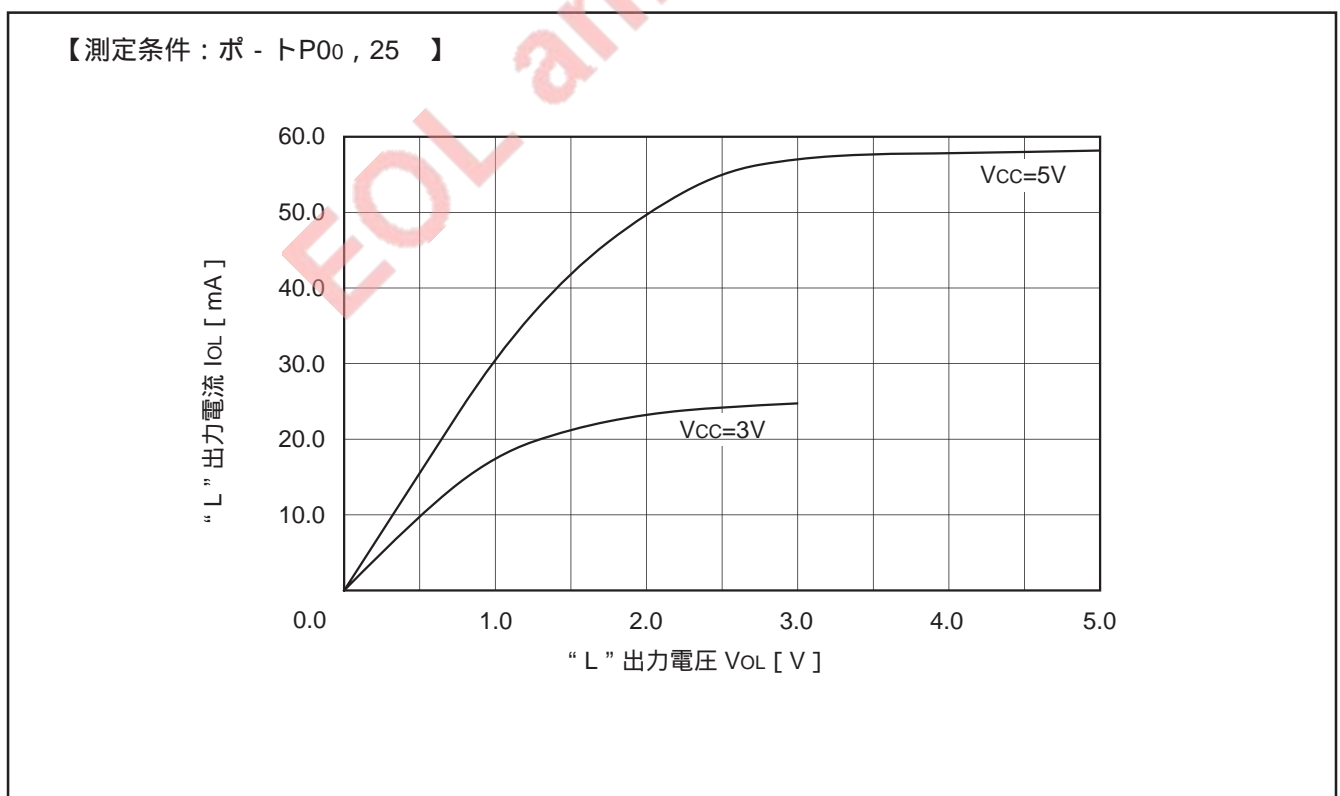


図1.20.12 7470/7471グループ プログラマブル入出力ポ - ト (CMOS出力) Nチャンネル側の I_{OL} - V_{OL} 特性

【測定条件：ポ - トP00, 25】

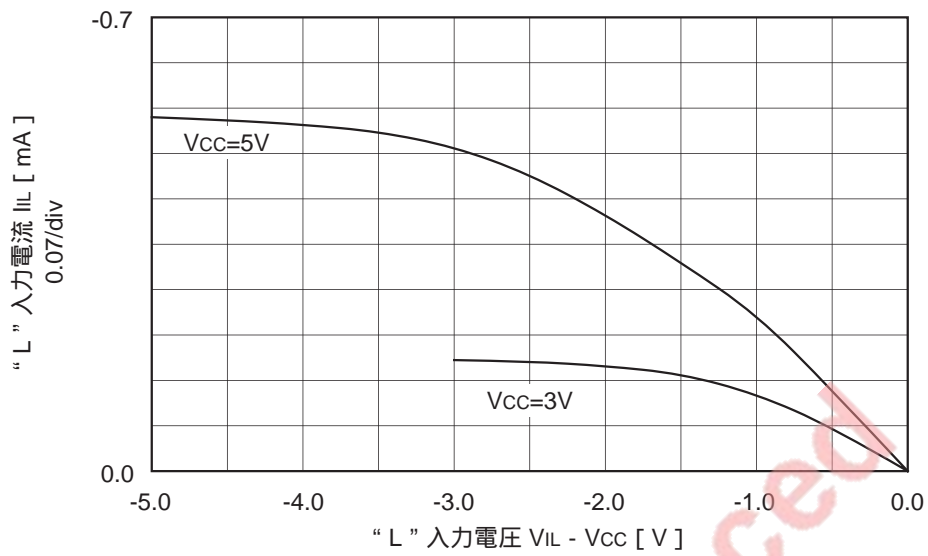


図1.20.13 7470/7471グループ プログラマブル入出力ポート(CMOS出力)プルアップトランジスタの $I_{IL} - V_{IL}$ 特性

(2) 7477/7478グループ ポ - ト標準特性

7477/7478グループのポ - ト標準特性を図1.20.14から図1.20.16に示します。

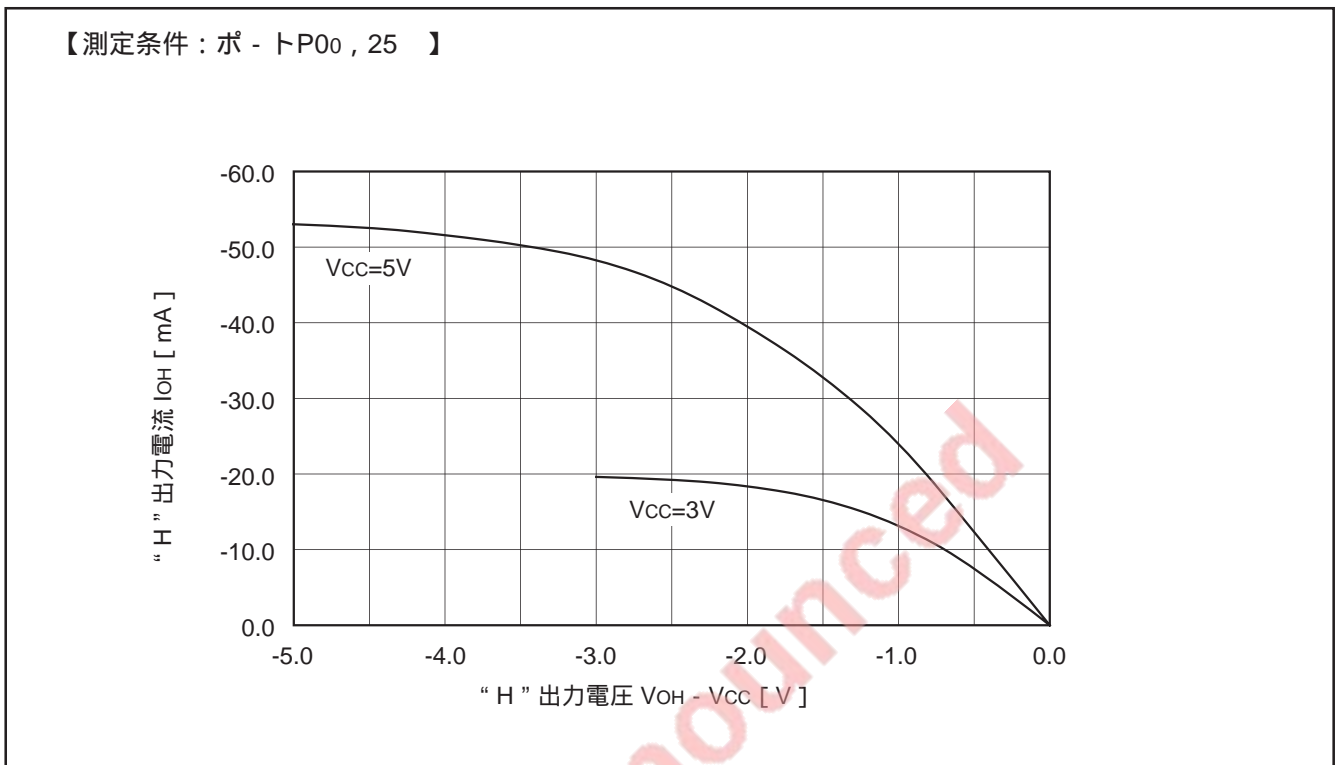


図1.20.14 7477/7478グループ プログラマブル入出力ポ - ト(CMOS出力)Pチャンネル側の I_{OH} - V_{OH} 特性

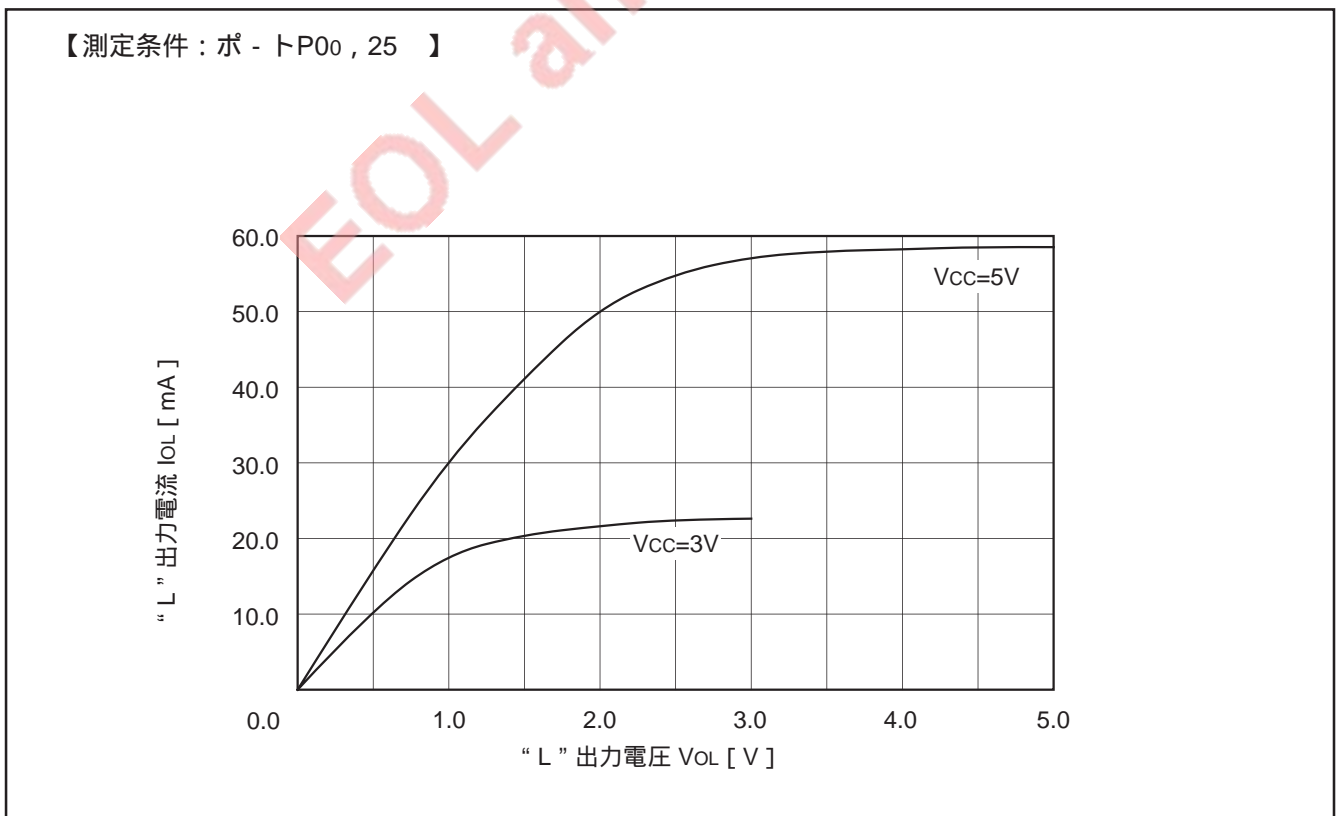


図1.20.15 7477/7478グループ プログラマブル入出力ポ - ト(CMOS出力)Nチャンネル側の I_{OL} - V_{OL} 特性

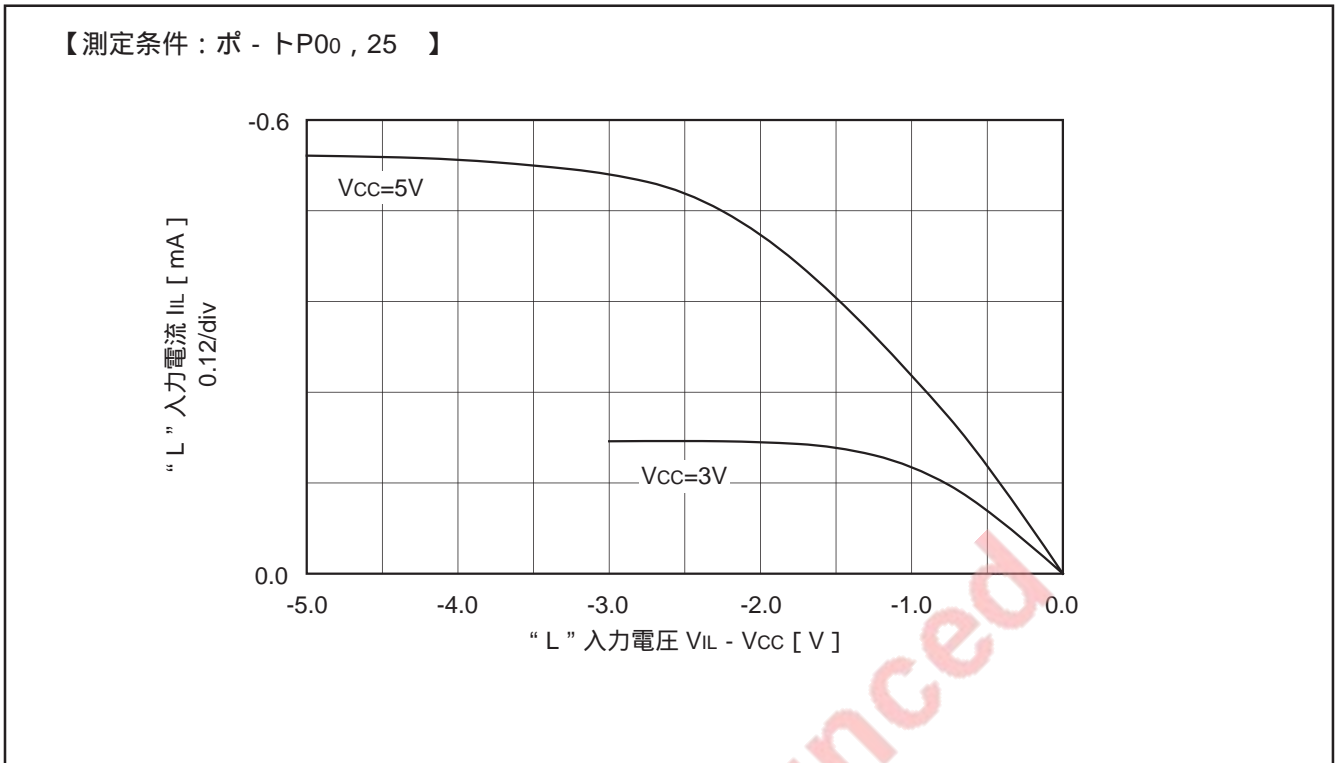


図1.20.16 7477/7478グループ プログラマブル入出力ポ - ト(CMOS出力)プルアップトランジスタの $I_{IL} - V_{IL}$ 特性

1.20.5 A-D変換標準特性

(1) 相对精度(7470/7471グループのみ)

7470/7471グループの相对精度におけるA-D変換標準特性を、図1.20.17及び図1.20.18に示します。

グラフの下側のラインは、出力コードが变化する点の理想値からのずれ、すなわち相对精度誤差 (ERROR)を示します。例えば図1.20.17では、出力コードが $3F_{16}$ 40_{16} 变化は、理想的には $IN_0 = 757.32mV$ の点で起こります。しかし、相对精度誤差は $-3.567mV$ ですから、 $757.32mV - 3.567mV = 753.753mV$ が測定变化点であることを表します。

グラフの上側のラインは、出力コードが同一である入力電圧の幅 (1LSB WIDTH)を示します。例えば図1.20.17では、出力コードが $3F_{16}$ である入力電圧の幅の測定値は $10.701mV$ ですから、相对精度における微分非直線性誤差は $10.701mV - 11.89mV = -1.189mV$ ($-0.1LSB$)であることを表します。

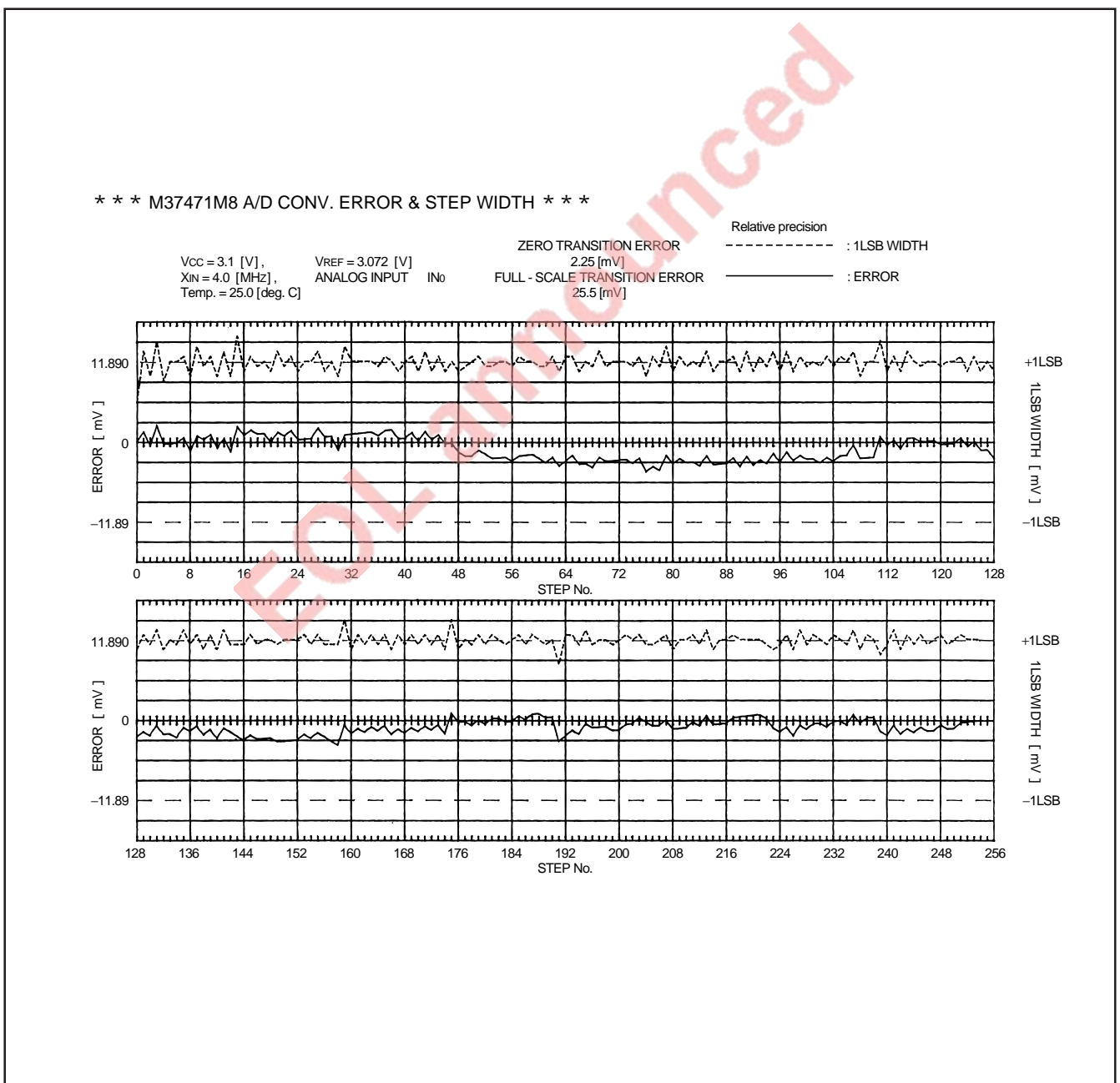


図1.20.17 7470/7471グループA-D変換標準特性 相对精度(1)

*** M37471M8 A/D CONV. ERROR & STEP WIDTH ***

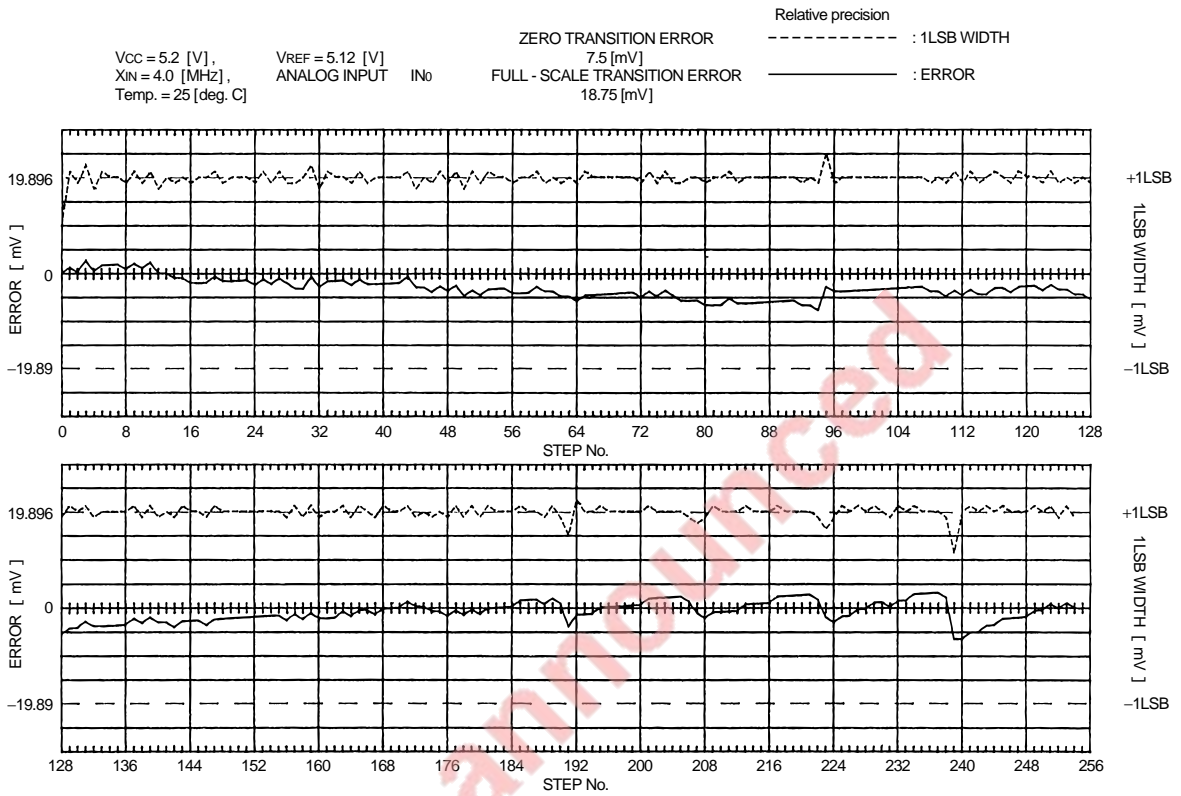


図1.20.18 7470/7471グループA-D変換標準特性 相対精度(2)

(2) 絶対精度

7470/7471/7477/7478グループの絶対精度におけるA-D変換標準特性を、図1.20.19から図1.20.23に示します。

グラフの下側のラインは、出力コードが変化する点の理想値からのずれ、すなわち絶対精度誤差 (ERROR)を示します。例えば図1.20.19では、出力コードの“3F16 4016”変化は、理想的にはIN0 = 762mVの点で起こります。しかし、絶対精度誤差は - 8.4mVですから、762mV - 8.4mV = 753.6mVが測定変化点であることを表します。

グラフの上側のラインは、出力コードが同一である入力電圧の幅 (1LSB WIDTH)を示します。例えば、出力コードが“3F16”である入力電圧の幅の測定値は10.8mVですから、微分非直線性誤差は10.8mV - 12mV = - 1.2mV (- 0.1LSB)であることを表します。

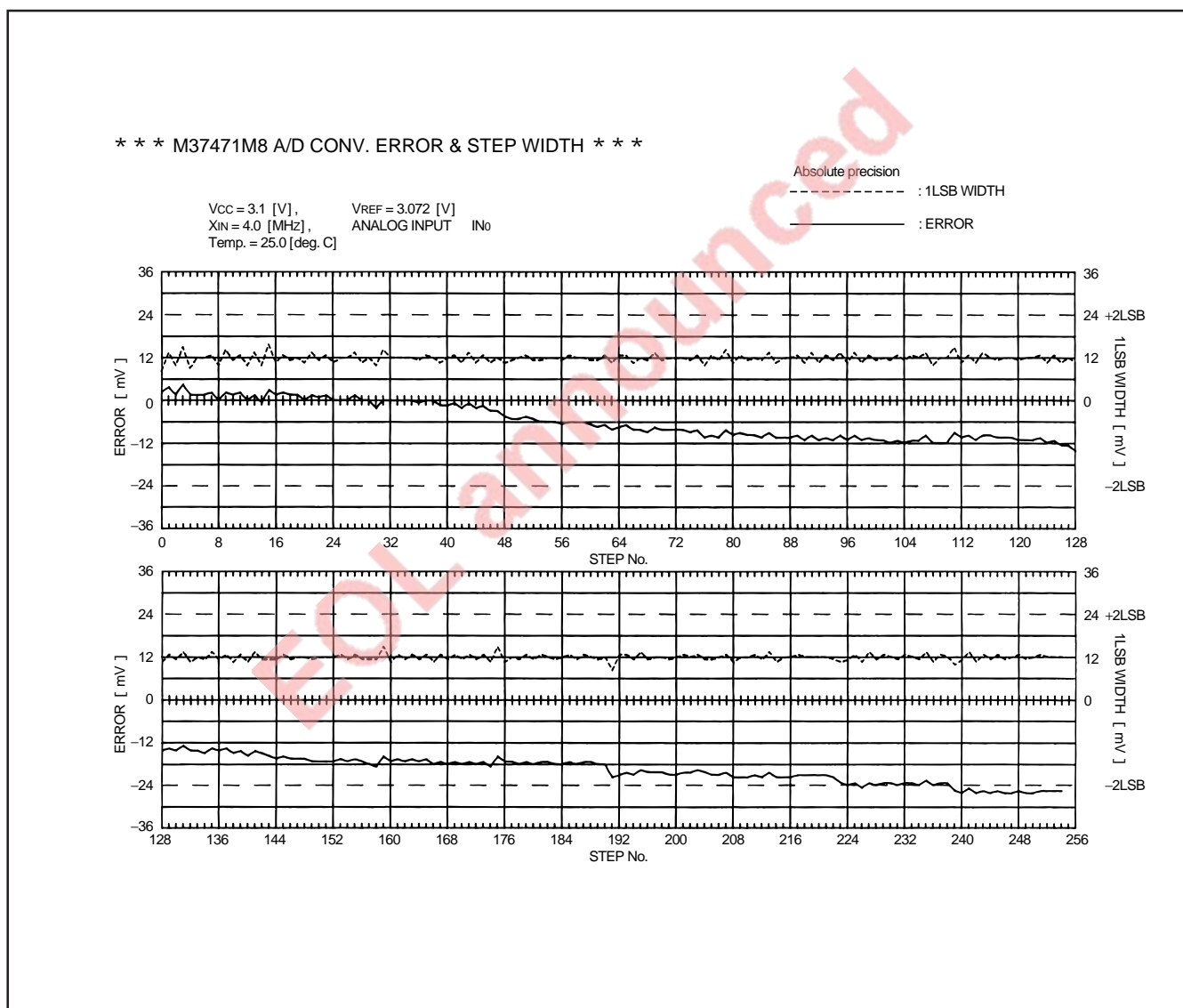


図1.20.19 7470/7471グループA-D変換標準特性 絶対精度(1)

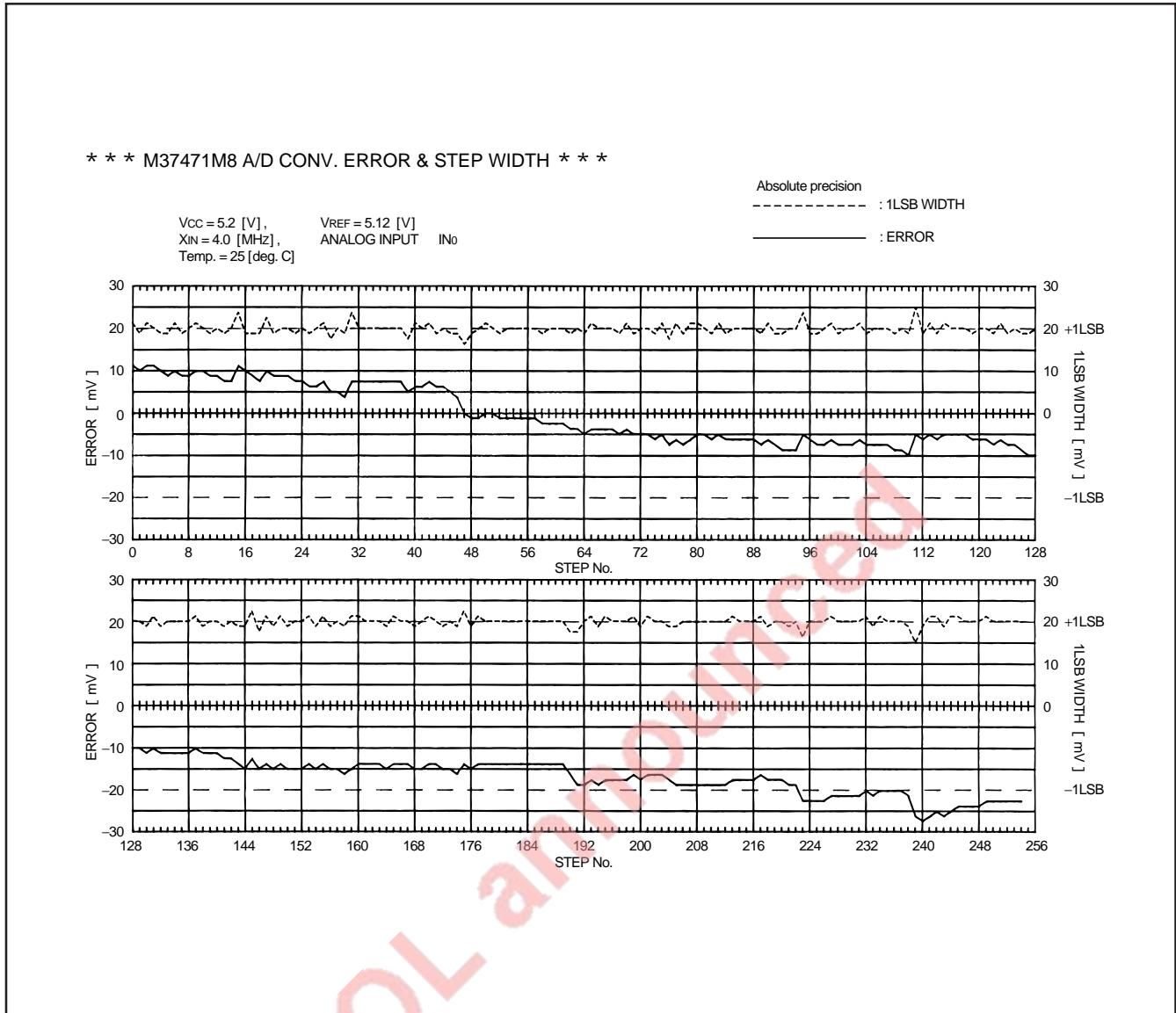


図1.20.20 7470/7471グループA-D変換標準特性 絶対精度(2)

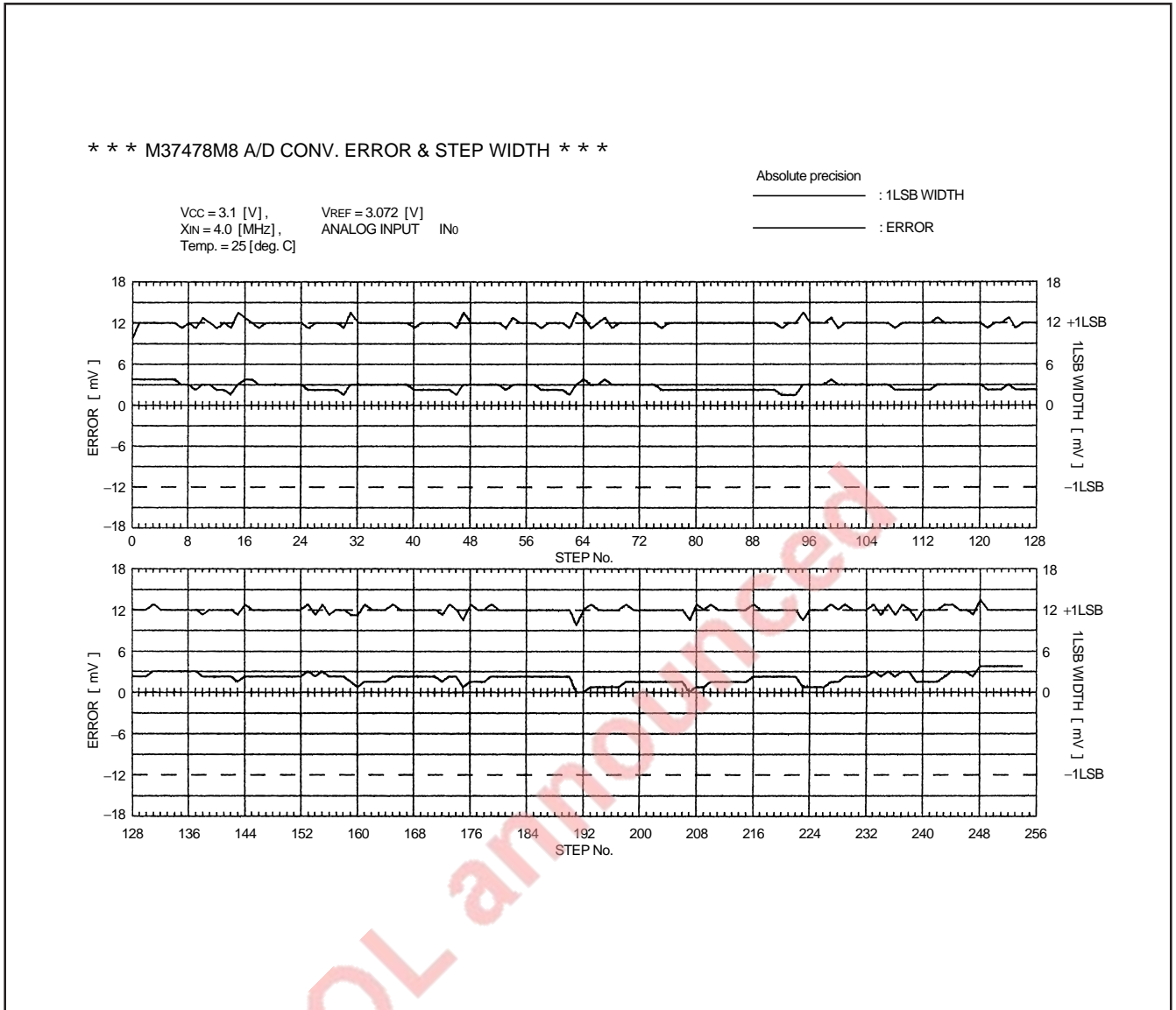


図1.20.21 7477/7478グループA-D変換標準特性 絶対精度(3)

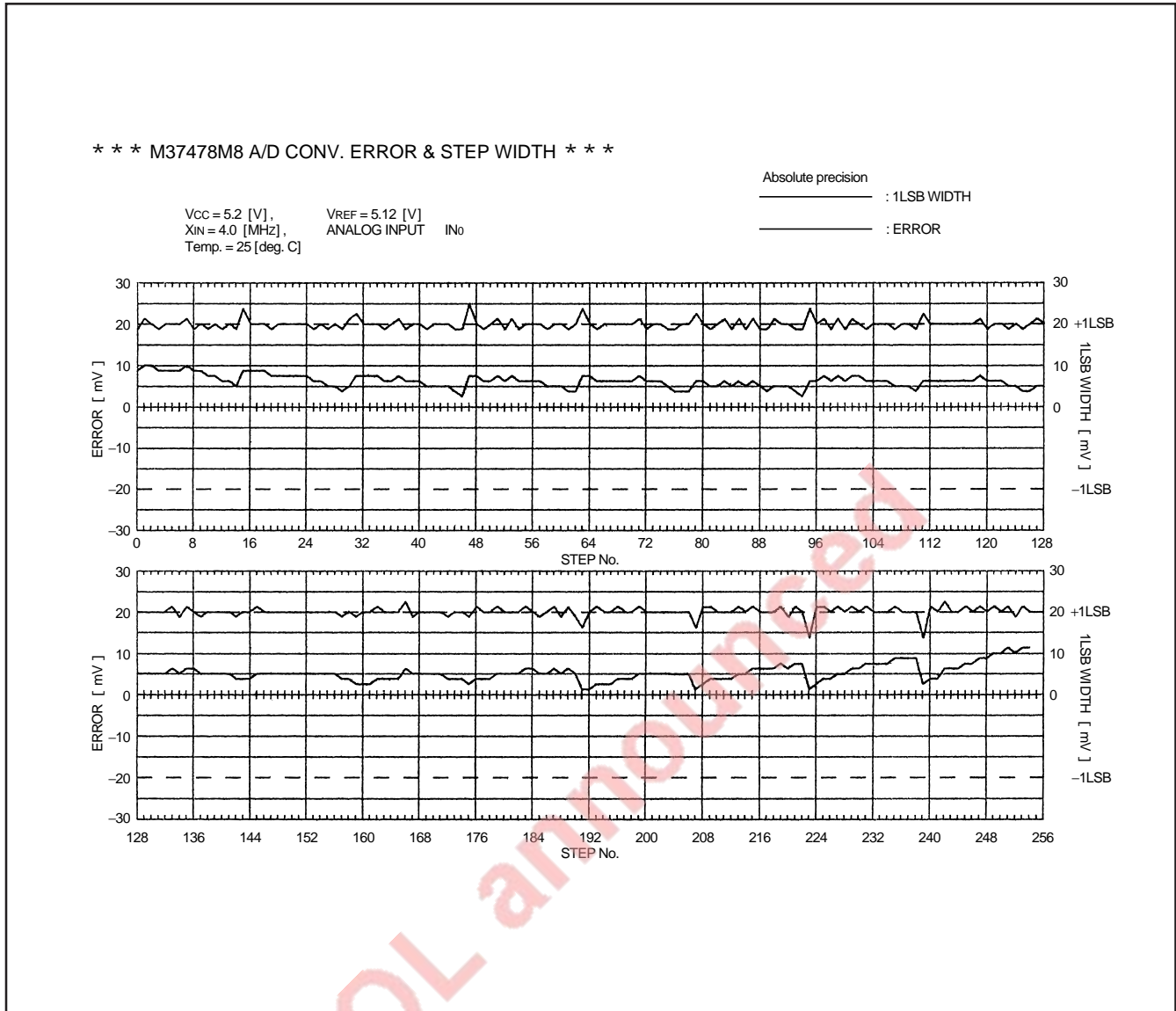


図1.20.22 7477/7478グループA-D変換標準特性 絶対精度(4)

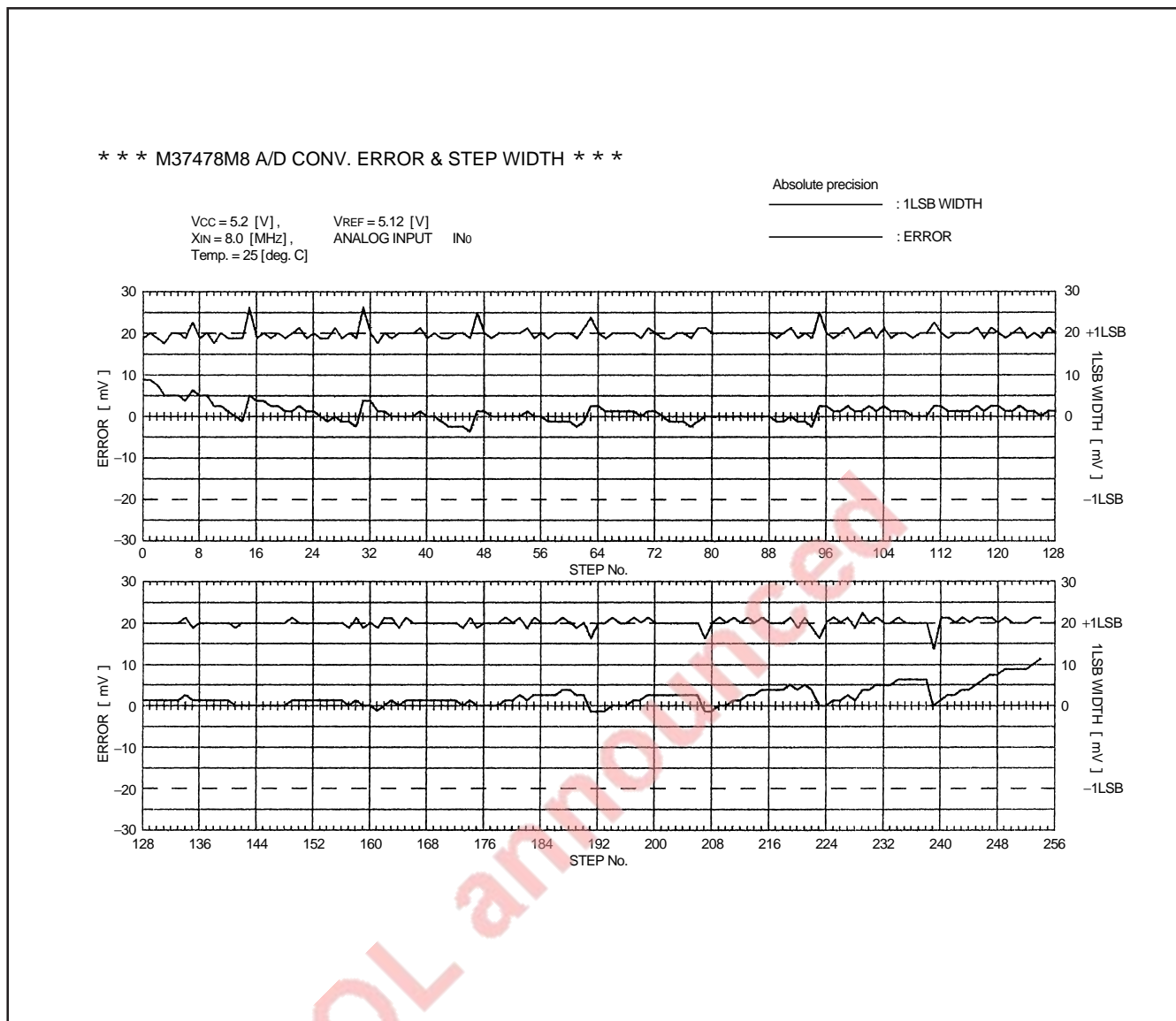


図1.20.23 7477/7478グループA-D変換標準特性 絶対精度(5)

Memo

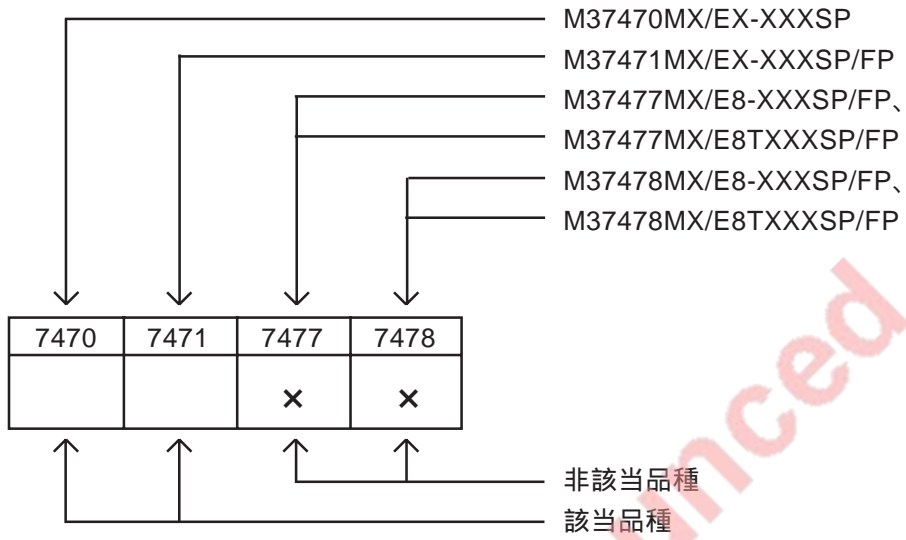
EOL announced

第 2 章 応 用

- 2.1 入出力端子
- 2.2 割り込み
- 2.3 タイマ
- 2.4 シリアルI/O
- 2.5 A-D変換器
- 2.6 リセット
- 2.7 発振回路
- 2.8 低消費電力機能
- 2.9 ノイズに関する注意事項
- 2.10 プログラミング上の注意事項
- 2.11 7470/7471グループ、7477/7478
グループの相違点
- 2.12 応用回路例

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

「第2章 応用」では下表を用いて各ページ毎に該当品種を表します。



EOL announced

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.1 入出力端子

2.1.1 出力ポートの外付け回路設計例

ポイント：入出力ポートの外付け回路を設計する場合は、次の項目が必ず規格値範囲内になるよう注意してください。

入力ポート

入力電流

出力電流

注：キーマトリクスを形成して複数のキー入力を行う場合、多重入力した場合のポート入力電流を考慮の上、設計を行ってください。

出力ポート

出力総電流

出力尖頭電流

出力平均電流

出力ポートの外付け回路設計例を図2.1.1に示します。

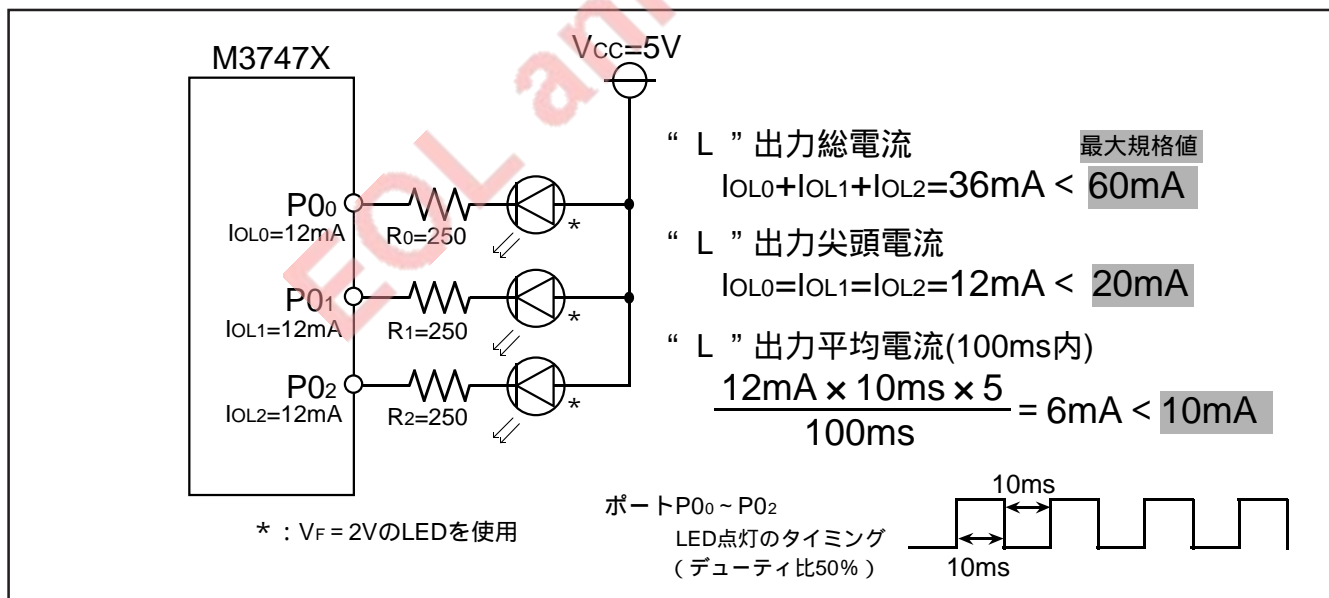


図2.1.1 出力ポートの外付け回路設計例

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.2 割り込み

2.2.1 CNTRによる外部イベント検出

CNTR端子を使用してINT端子同様に入力レベルの立ち上がりエッジ又は立ち下がりエッジを検出できます。以下に使用例を示します。

(1) CNTR割り込みを使用する場合

CNTR₀端子又はCNTR₁端子の入力レベルのエッジをCNTR割り込みを使用して検出できます。図2.2.1にCNTR割り込みを使用したCNTR₀端子からの外部イベント検出の制御手順例を示します。

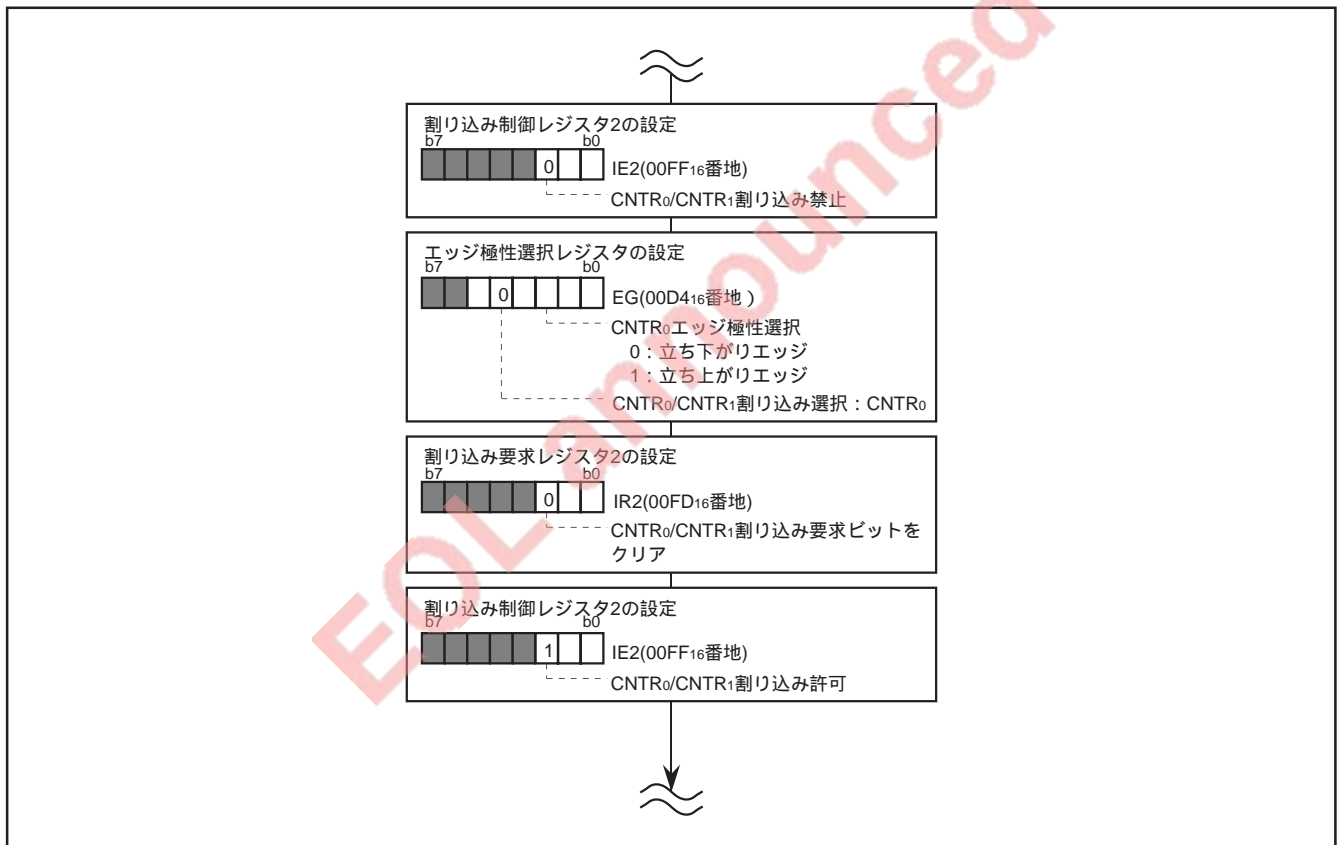


図2.2.1 CNTR割り込みを使用したCNTR₀端子からの外部イベント検出の制御手順例

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

(2) タイマ3割り込み、タイマ4割り込みを使用する場合

CNTR0端子又はCNTR1端子の入力レベルのエッジを、タイマ3割り込み又はタイマ4割り込みを使用して検出できます。

図2.2.2にタイマ3割り込みを使用したCNTR1端子からの外部イベント検出の制御手順例を示します。

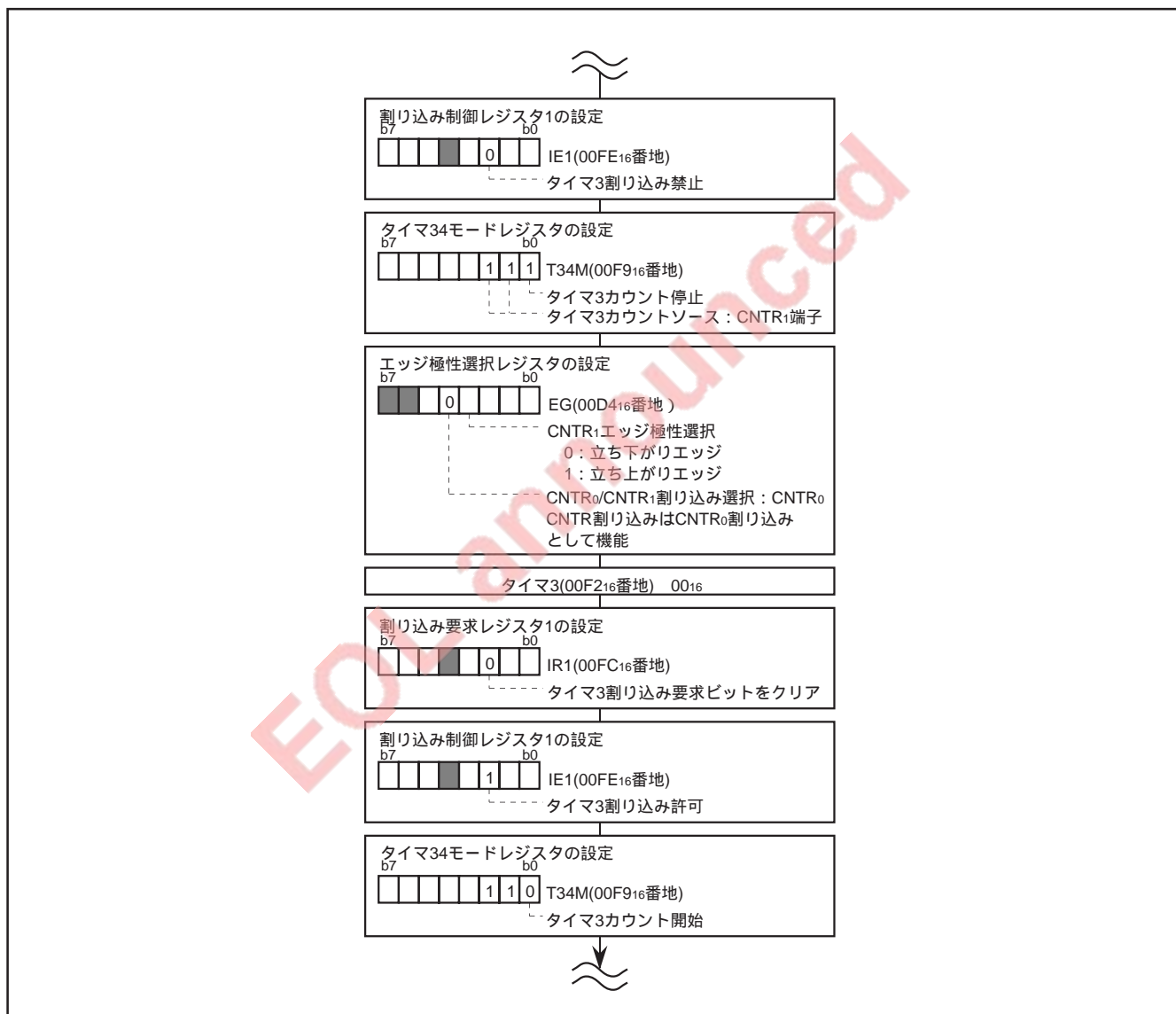


図2.2.2 タイマ3割り込みを使用したCNTR1端子からの外部イベント検出の制御手順例

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.3 タイマ

タイマ1、2、3、4は以下の5つの動作モードを選択できます。タイマの各モード及びその詳細に関しては「1.12 タイマ」を参照してください。

タイマモード
 イベントカウンタモード
 矩形波出力モード
 外部パルス幅測定モード
 PWMモード

タイマの各モードとT₀、T₁、CNTR₀、CNTR₁端子は表2.3.1のような関係にあります。タイマ及び端子の組み合わせによっては使用できないモードがありますので、タイマの設計時には十分注意してください。

表2.3.1 タイマ入出力端子と各モードの関係

| 端子 タイマ | T ₀ | T ₁ | CNTR ₀ | CNTR ₁ |
|-----------|----------------|----------------|-------------------|------------------------------------|
| タイマ1 | 矩形波出力モード | × | イベントカウンタ モード | × |
| タイマ2 | × | × | × | × |
| タイマ3 | × | PWM モード | × | イベントカウンタ モード |
| タイマ4 | × | 矩形波出力 モード | 外部パルス幅測定 モード | イベントカウンタ モード 外部パルス幅測定 モード |

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| × | | × | |

2.3.1 タイマモードの応用例

1秒の生成(時計機能)

ポイント：クロックをタイマで分周し、0.4msごとに発生するタイマ1割り込みで1秒をカウントし、1秒ごとに時計をカウントアップさせます。

仕様：f(XCIN)=32kHzをタイマ1で分周し、割り込みを発生させる。タイマ1割り込みでカウントしているカウンタの値をメインルーチンでチェックし、1秒経過していれば時計のカウントアップを実行する。

分周比の設定例を図2.3.1に、制御手順例を図2.3.2に示します。

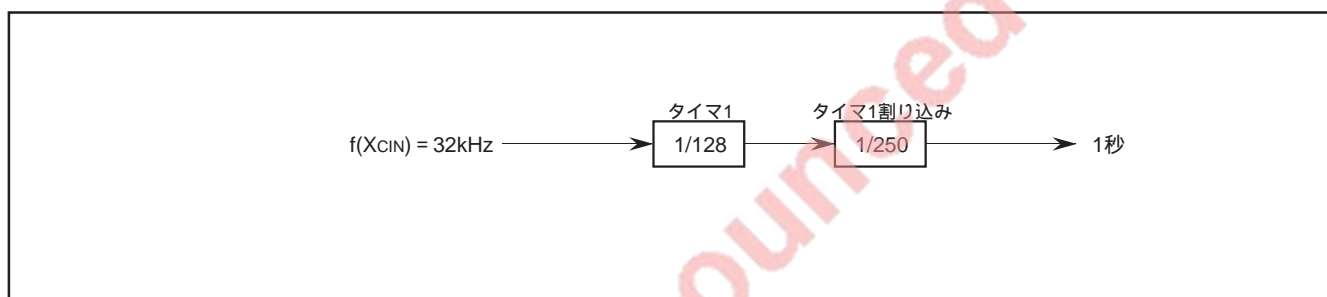


図2.3.1 分周比の設定例

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| × | | × | |

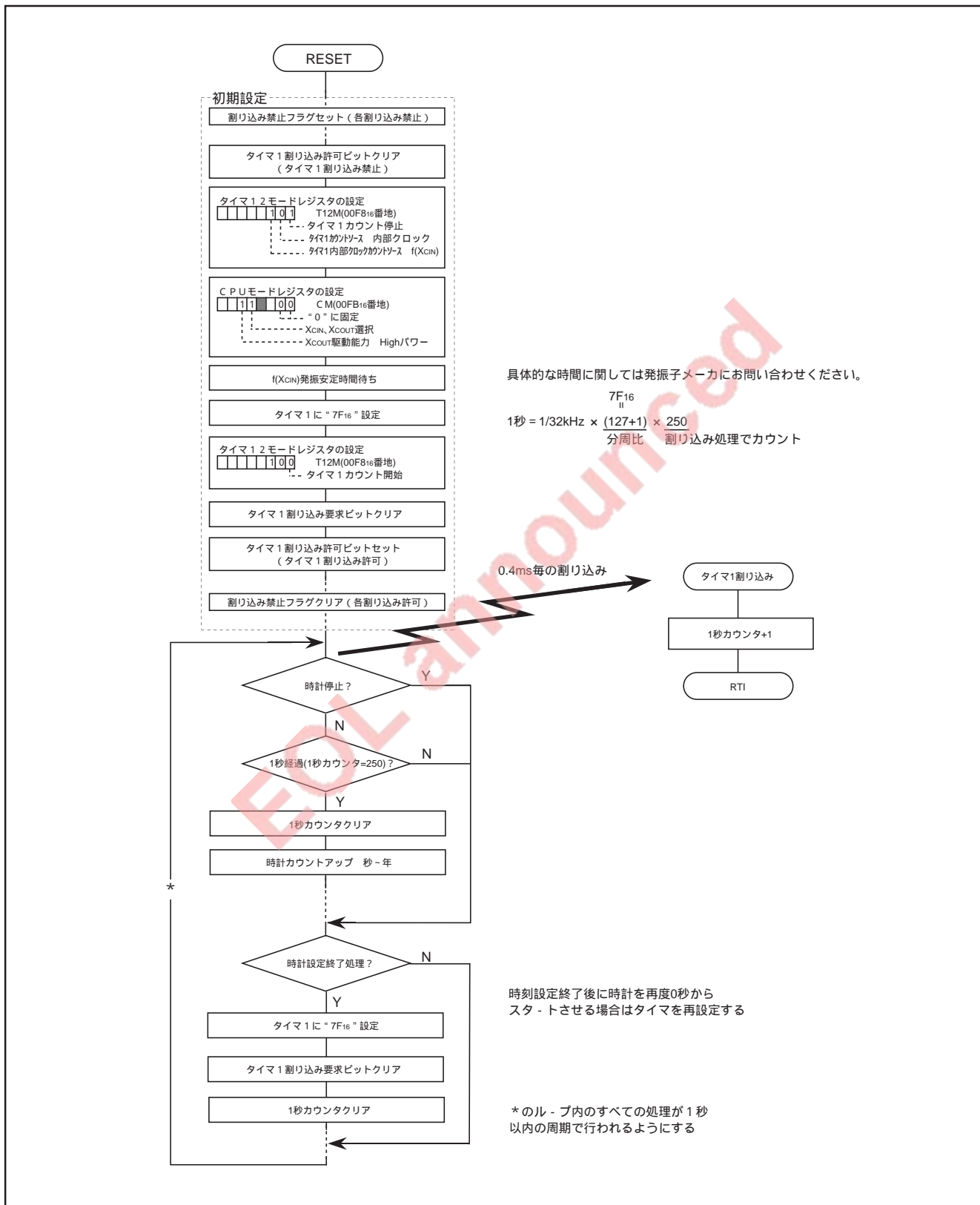


図2.3.2 制御手順例(タイマモード)

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.3.2 イベントカウンタモードの応用例

周波数測定

ポイント：一定期間内のイベントの数により、CNTR0端子に入力されるパルス(“H”アクティブ)の周波数を測定します。

仕様：タイマ1のカウンタソースをCNTR0とし、カウントを開始する。タイマ2(カウンタソースは $f(XIN)/64$)にて1msを検出し、1ms内にカウントされたイベントの数からCNTR0に入力されるパルスの周波数を算出する。

注：入力されるパルスのイベント数は1ms内に255以内とします。

周波数の測定方法例を図2.3.3、制御手順例を図2.3.4に示します。

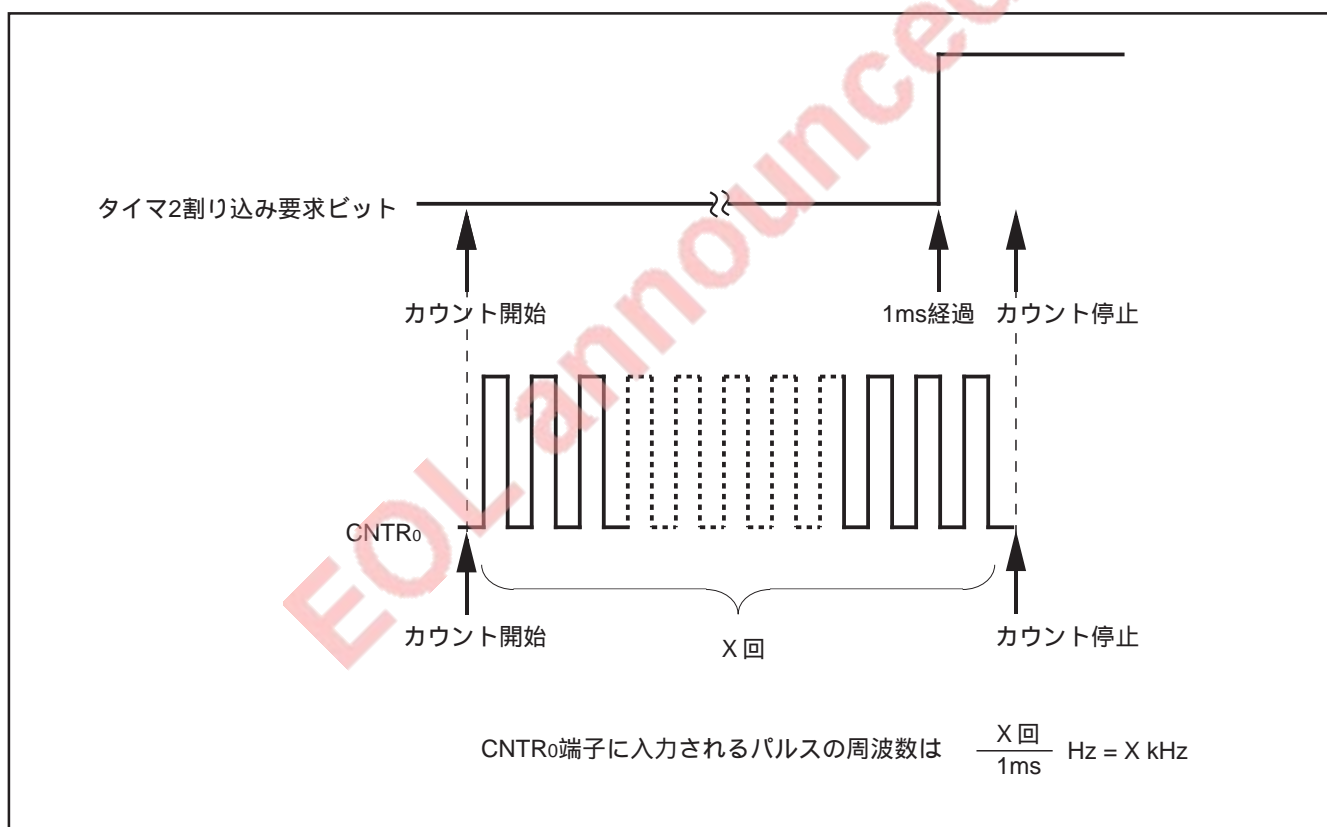


図2.3.3 周波数の測定方法例

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

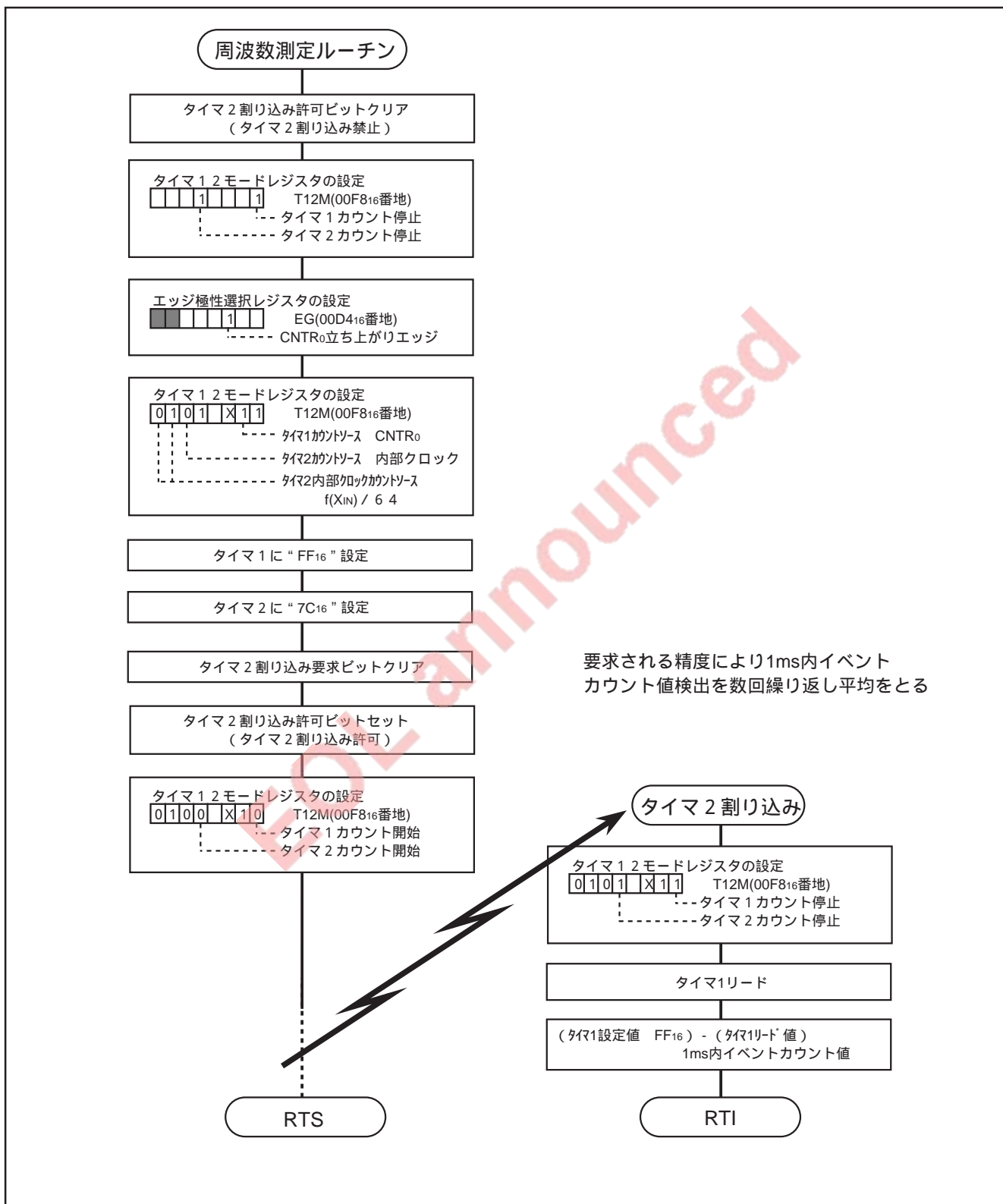


図2.3.4 制御手順例(イベントカウンタモード)

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.3.3 矩形波出力モードの応用例

ブザー出力

ポイント：タイマの矩形波出力機能をブザー出力に応用します。

仕様：クロック $f(X_{IN}) = 8\text{MHz}$ を約 2kHz まで分周した矩形波を、 T_0 端子から出力する。ブザー出力停止中は T_0 端子のレベルを“H”に固定する。

周辺回路例を図2.3.5、タイマの接続と分周比の設定を図2.3.6、制御手順例を図2.3.7に示します。

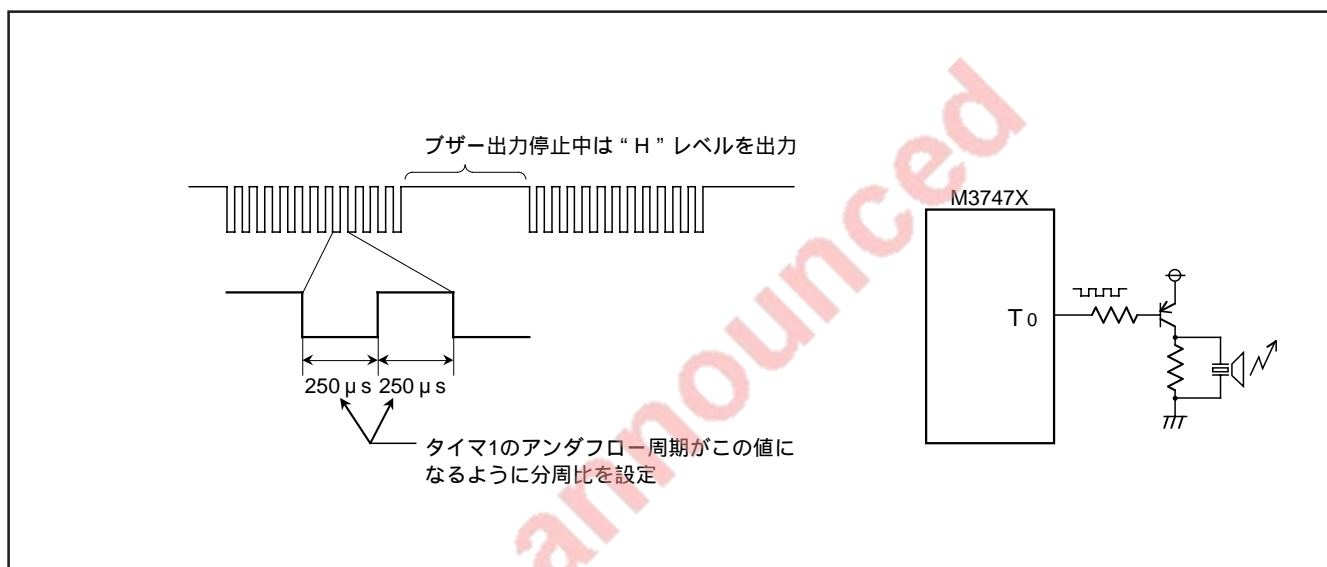


図2.3.5 周辺回路例(矩形波出力モード)

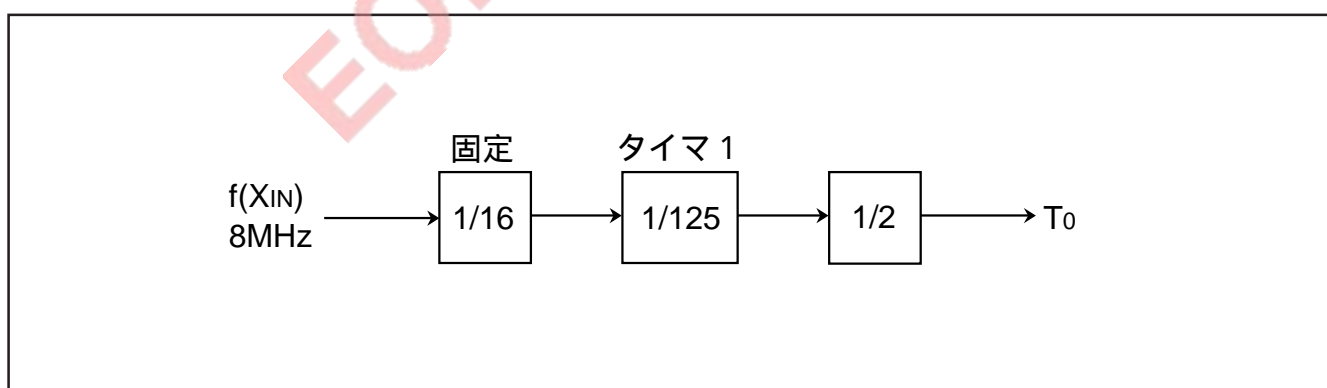


図2.3.6 タイマの接続と分周比の設定

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

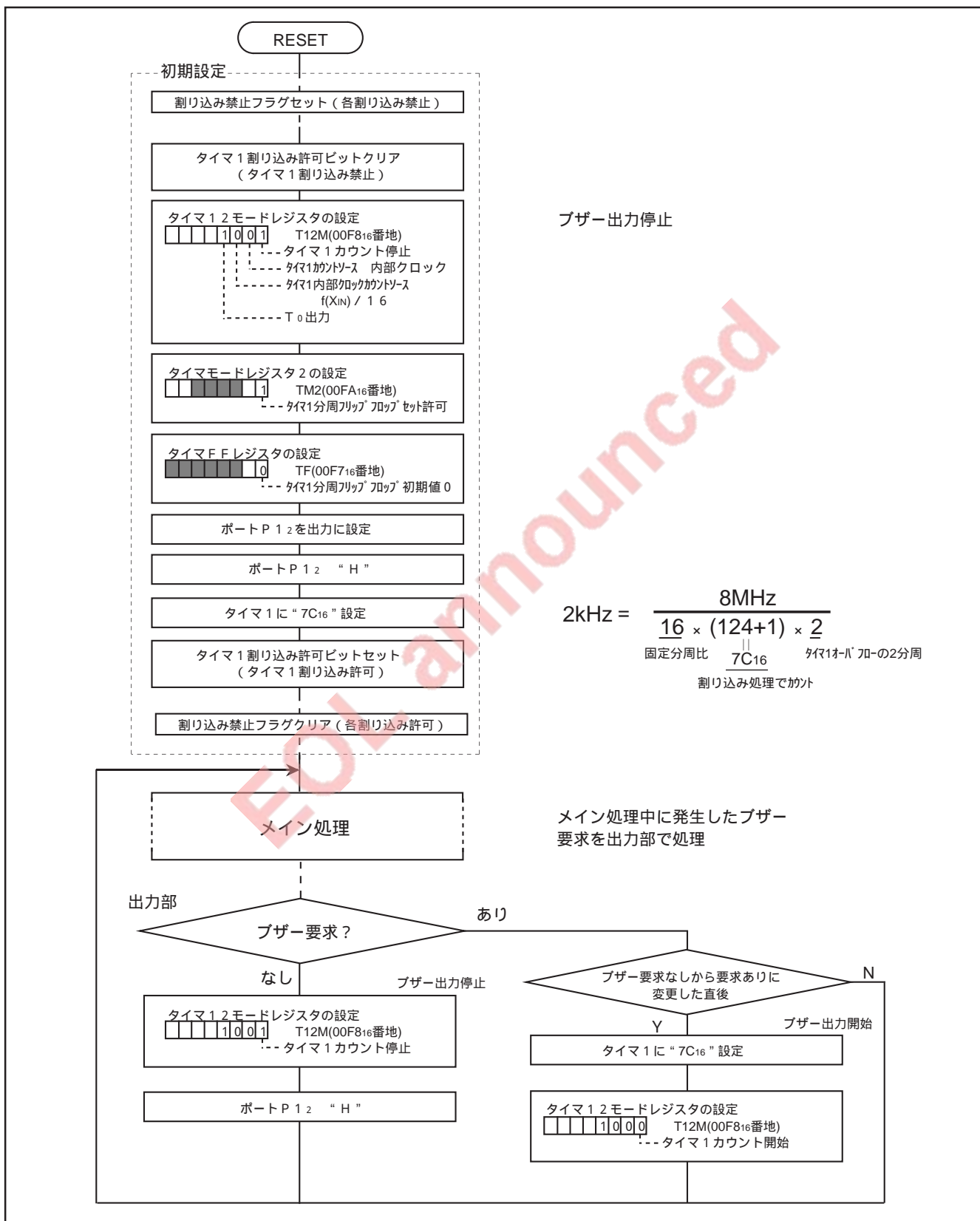


図2.3.7 制御手順例(矩形波出力モード)

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.3.4 外部パルス幅測定モードの応用例

位相制御信号のフィードバック制御

ポイント：外部パルス幅測定モードを使用して、位相制御信号の調整を行います。

仕様：M3747Xが位相制御により負荷の制御を行う。その際、負荷よりフィードバック信号として出力されるパルスの幅を測定し、負荷への制御量の補正を行う。

周辺回路例を図2.3.8、制御手順例を図2.3.9に示します。

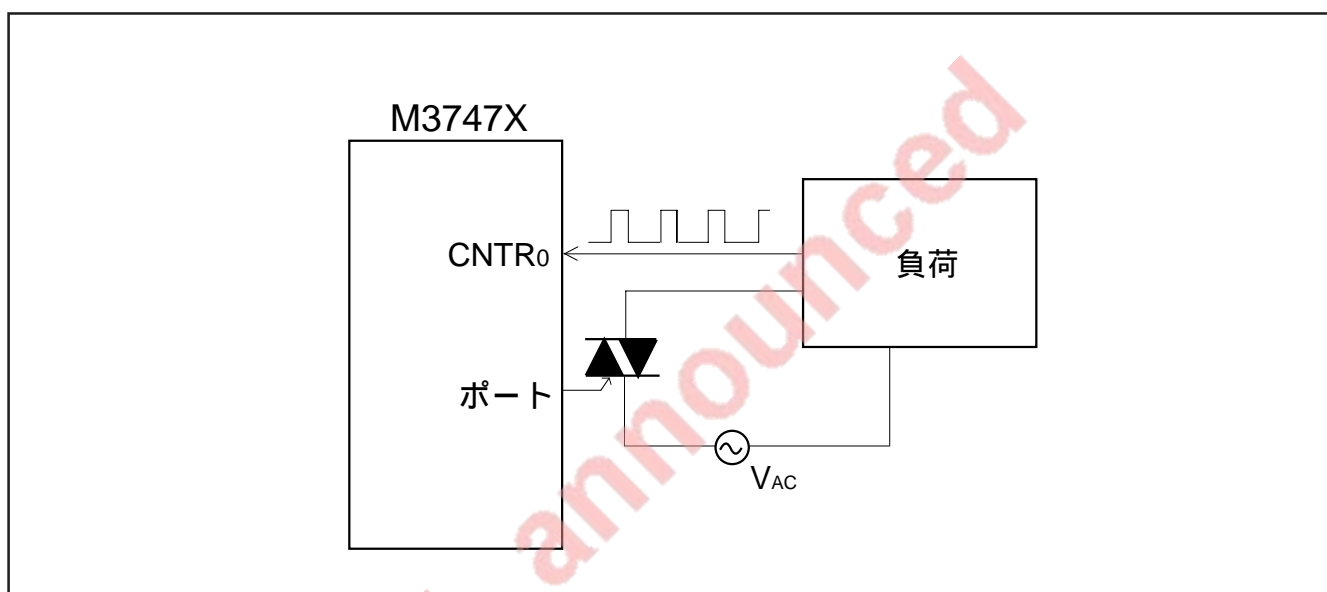


図2.3.8 周辺回路例(外部パルス幅測定モード)

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

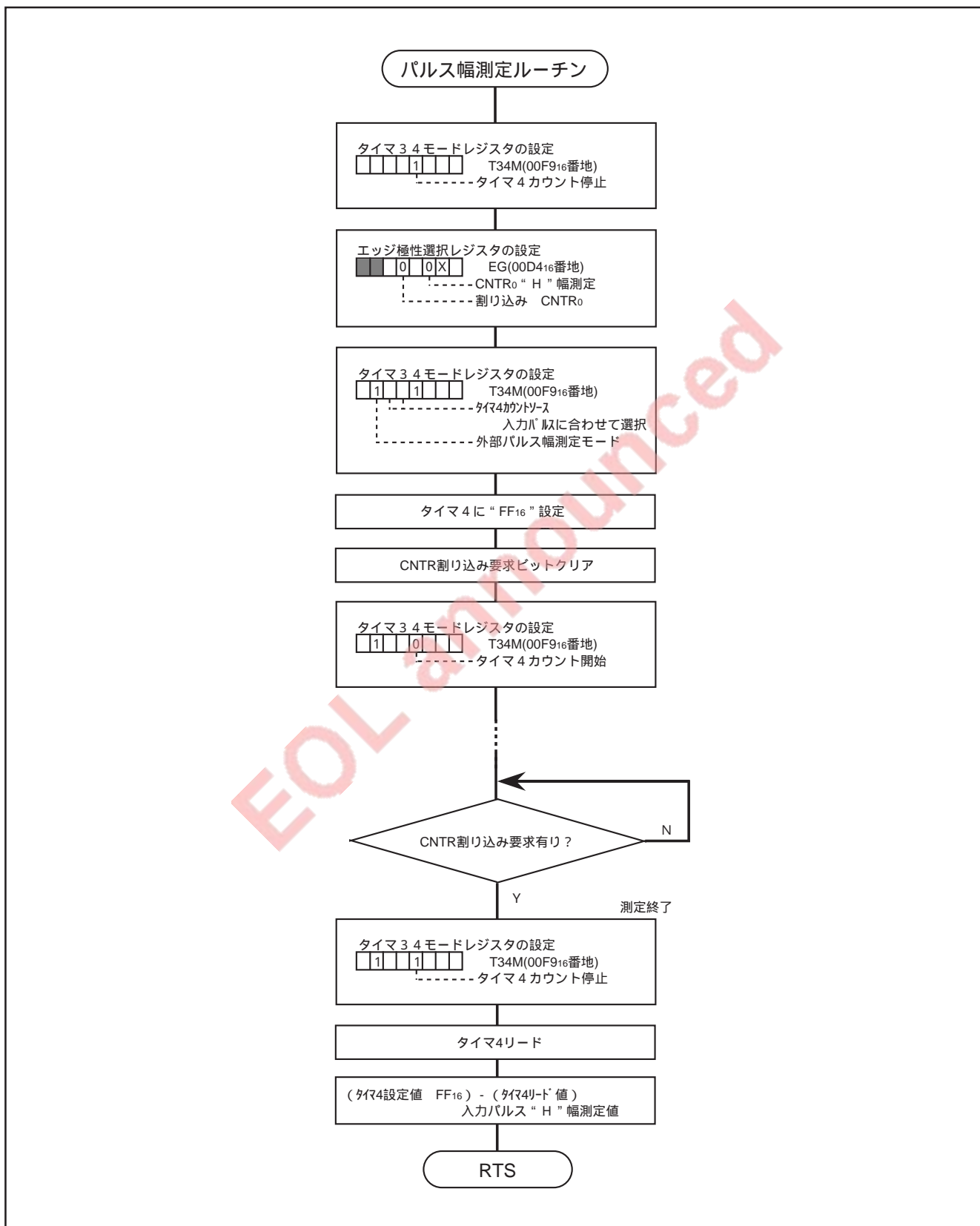


図2.3.9 制御手順例(外部パルス幅測定モード)

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.3.5 PWMモードの応用例

アナログ電圧の出力

ポイント：タイマのPWM機能を使用してアナログ出力を行います。

仕様：タイマ3、タイマ4のカウンタソースを選択し、T₁端子からPWM波形を出力する。T₁端子の外付け回路によりPWM波形をアナログに変換し出力する。

注：出力されるアナログ電圧はPWM波形のデューティにより異なります。

周辺回路例を図2.3.10、制御手順例を図2.3.11に示します。

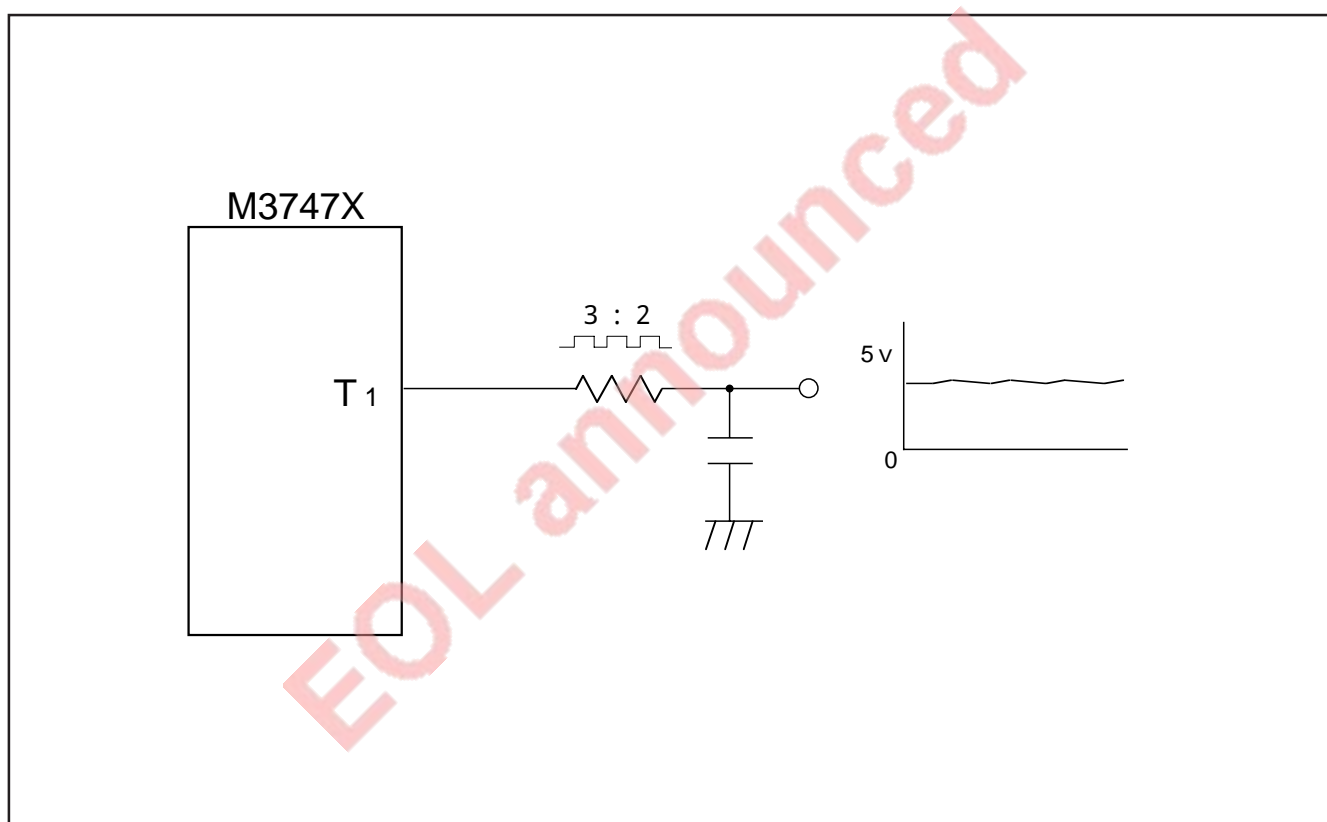


図2.3.10 周辺回路例(PWMモード)

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

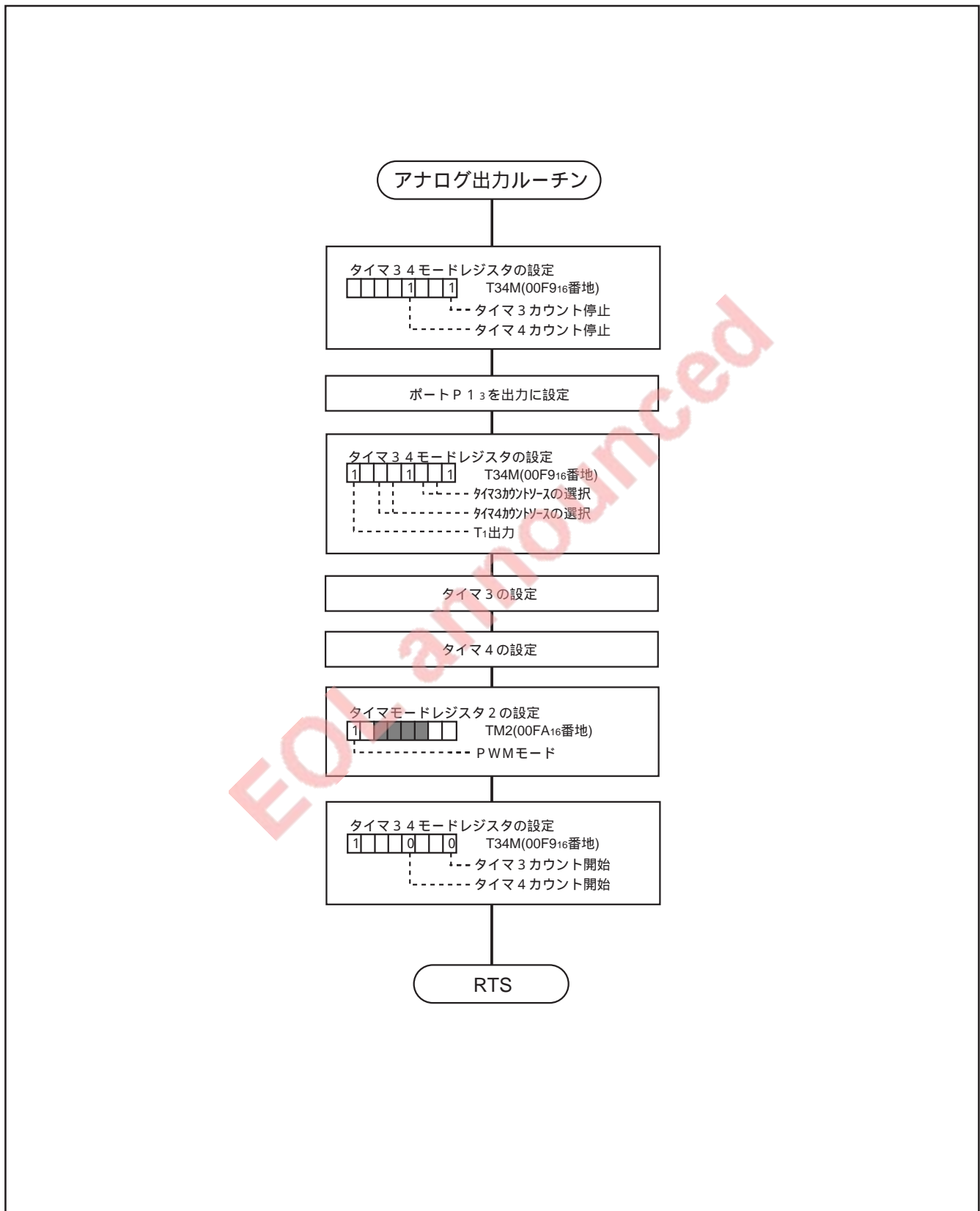


図2.3.11 制御手順例(PWMモード)

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | × | × |

2.4 シリアルI/O

2.4.1 クロック同期形シリアルI/Oの応用例(7470/7471グループ)

(1) 通常モードの送受信

ポイント：7470/7471グループ間にてクロック同期形通信を行います。

仕様：M3747X ……半二重通信時送信側

- ・同期クロック： $f(XIN)/16$
- ・ポートP17を \overline{SRDY} 信号入力端子として使用

M3747X ……半二重通信時受信側

- ・同期クロック：外部クロック
- ・SRDY信号出力

接続例を図2.4.1、制御手順例を図2.4.2に示します。

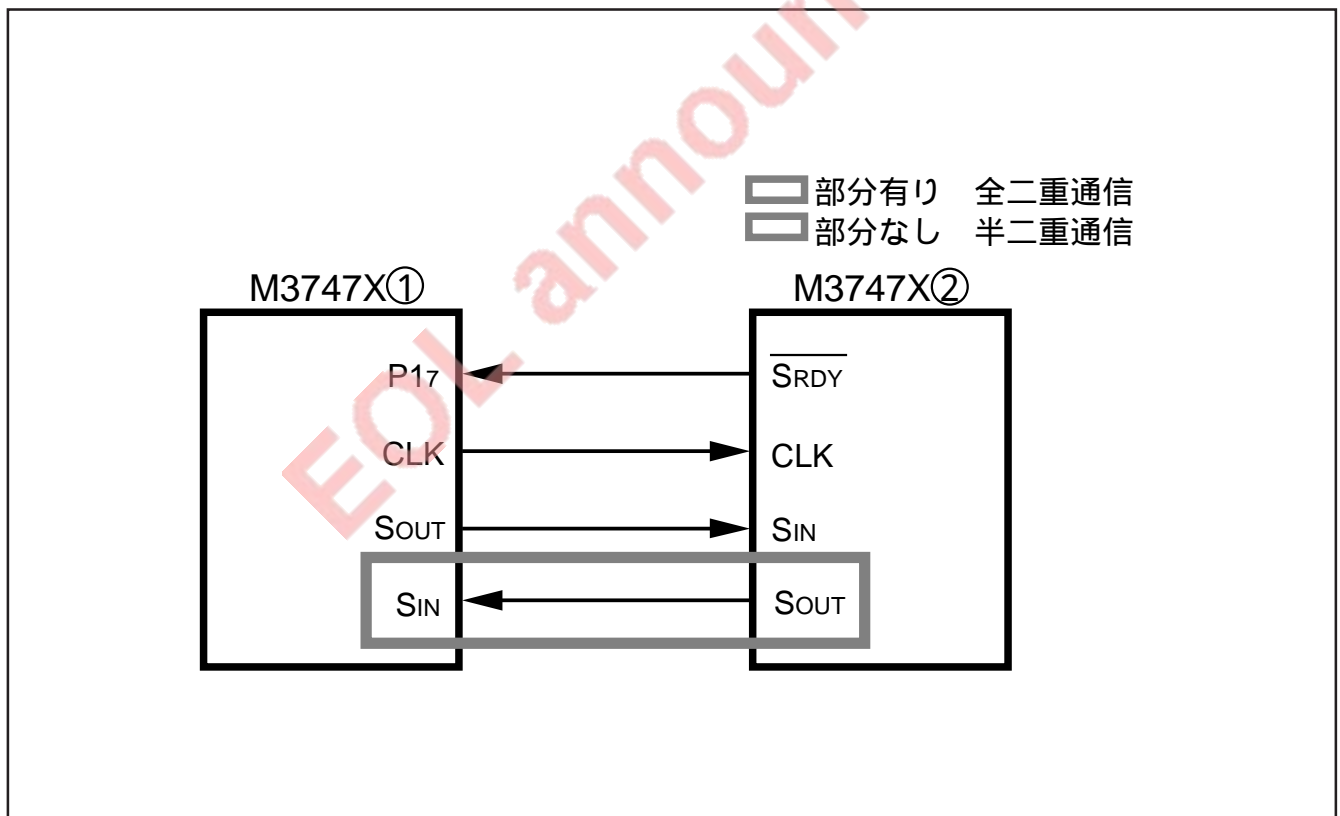


図2.4.1 接続例(クロック同期形シリアルI/O(7470/7471グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | × | × |

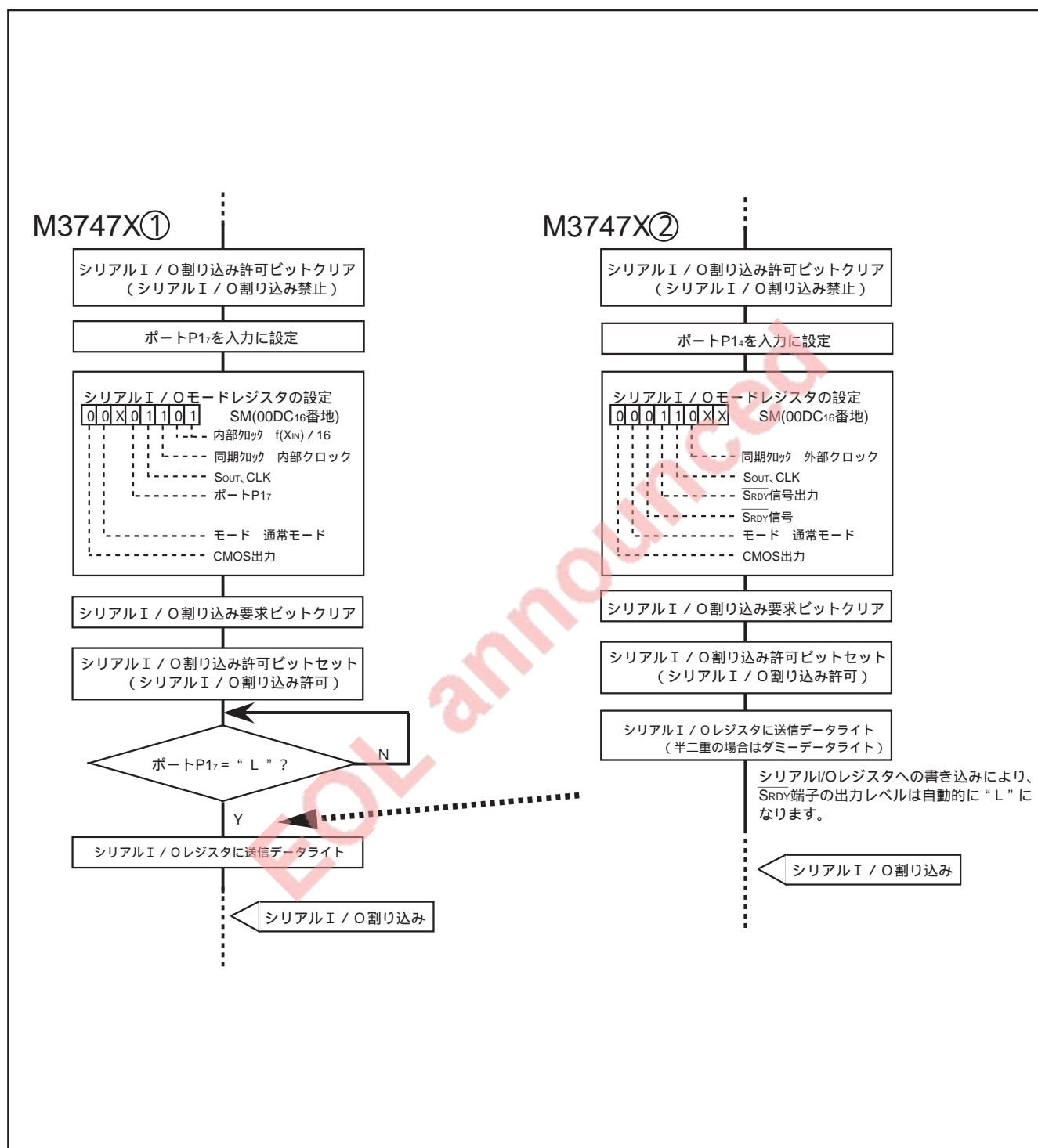


図2.4.2 制御手順例(クロック同期形シリアルI/O(7470/7471グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | × | × |

(2) バイト指定モードの送受信

ポイント：7470/7471グループ間にてクロック同期形バイト指定モードを使用し、複数のマイコンに対して通信を行います。

仕様：送信側 M3747X

- ・同期クロック：f(XIN)/32
- ・ポートP17をSRDY信号入力端子として使用
- ・ポートP10を送受信準備指令信号出力端子として使用

受信側 M3747X、M3747X、M3747X

- ・同期クロック：外部クロック
- ・SRDY信号出力
- ・ポートP10を送受信準備指令信号入力端子として使用

接続例を図2.4.3、制御手順例を図2.4.4及び図2.4.5に示します。

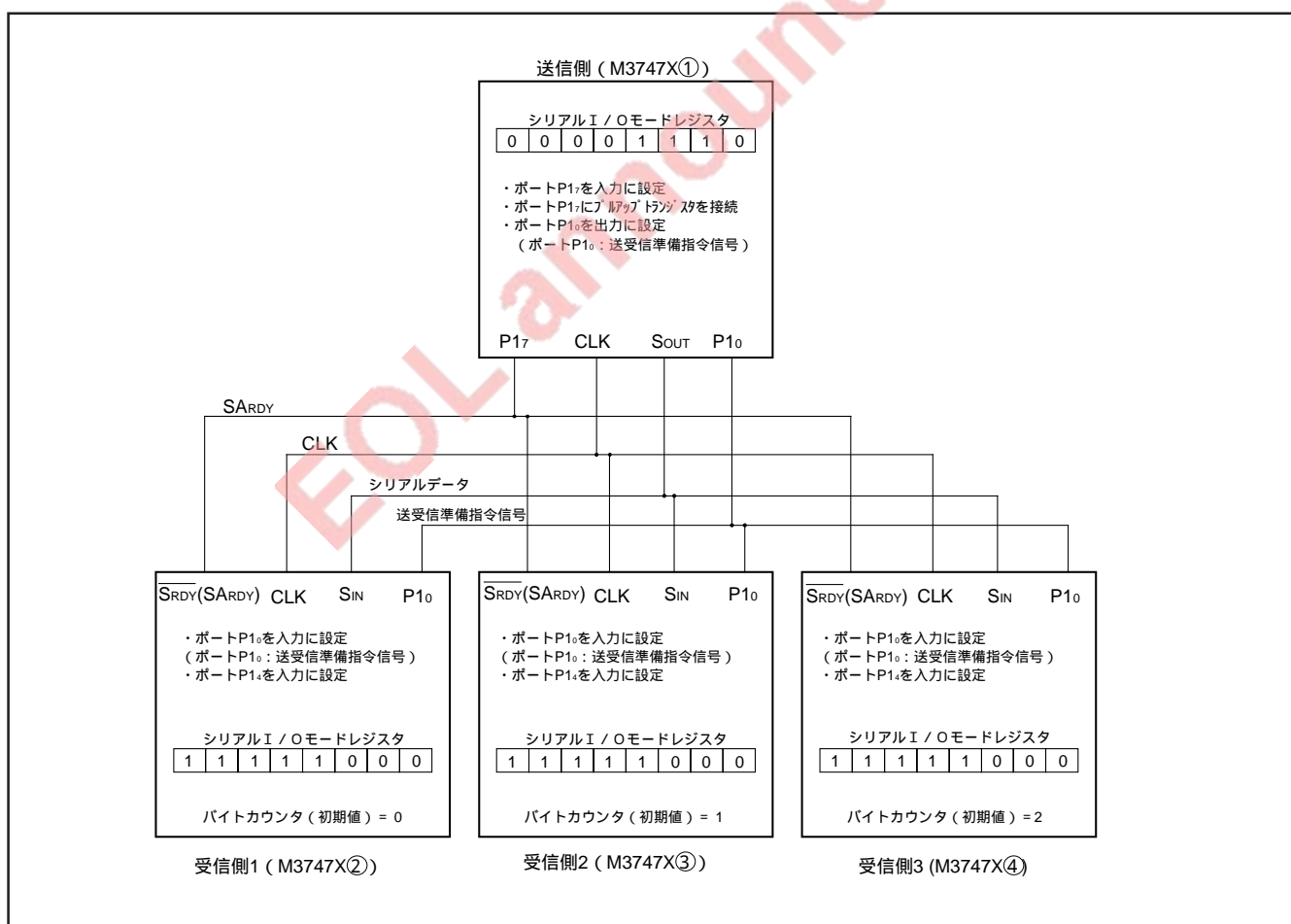


図2.4.3 接続例(クロック同期形シリアルI/Oバイト指定モード(7470/7471グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | × | × |

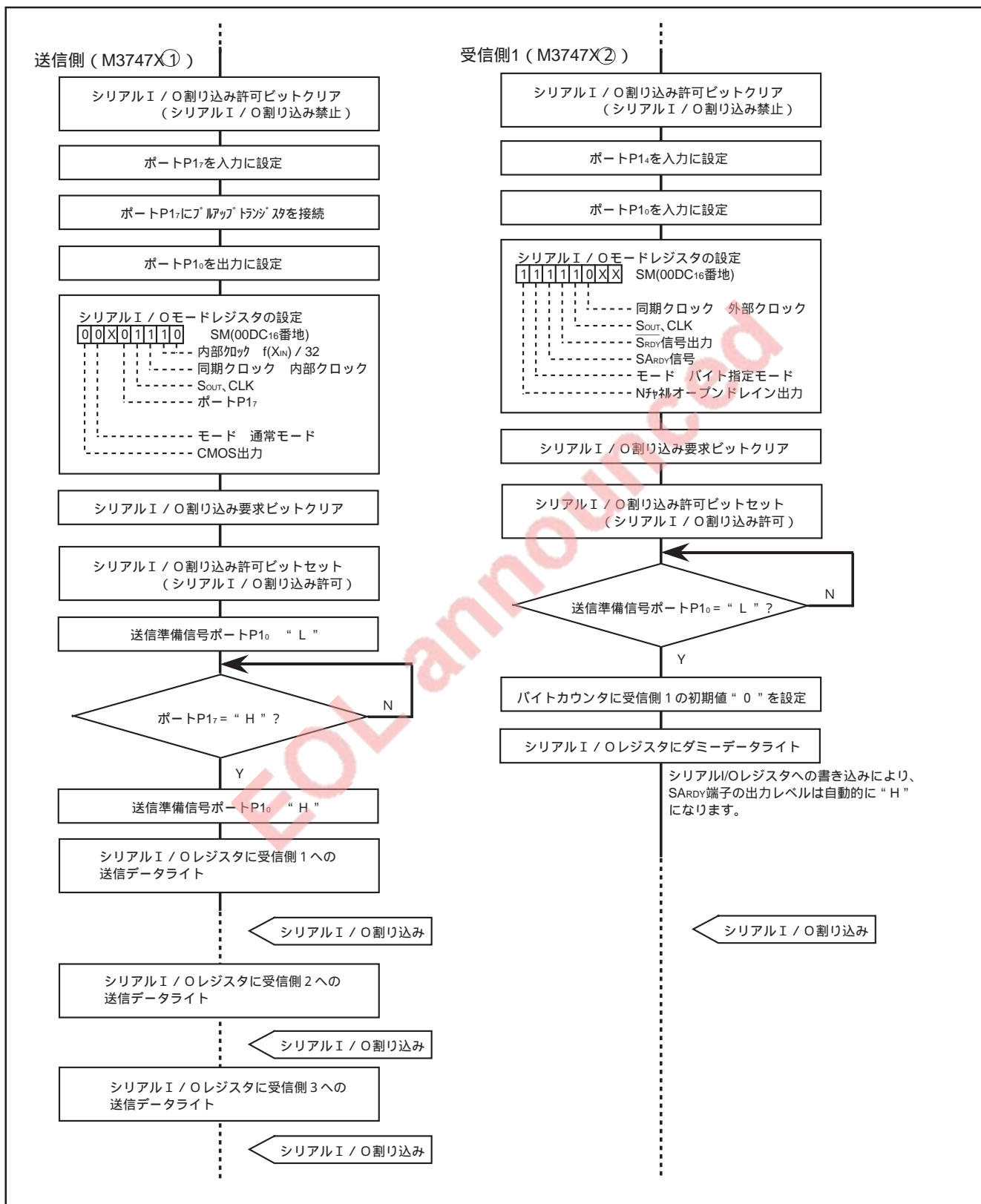


図2.4.4 制御手順例 1 (クロック同期形シリアル I/O バイト指定モード (7470/7471グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | × | × |

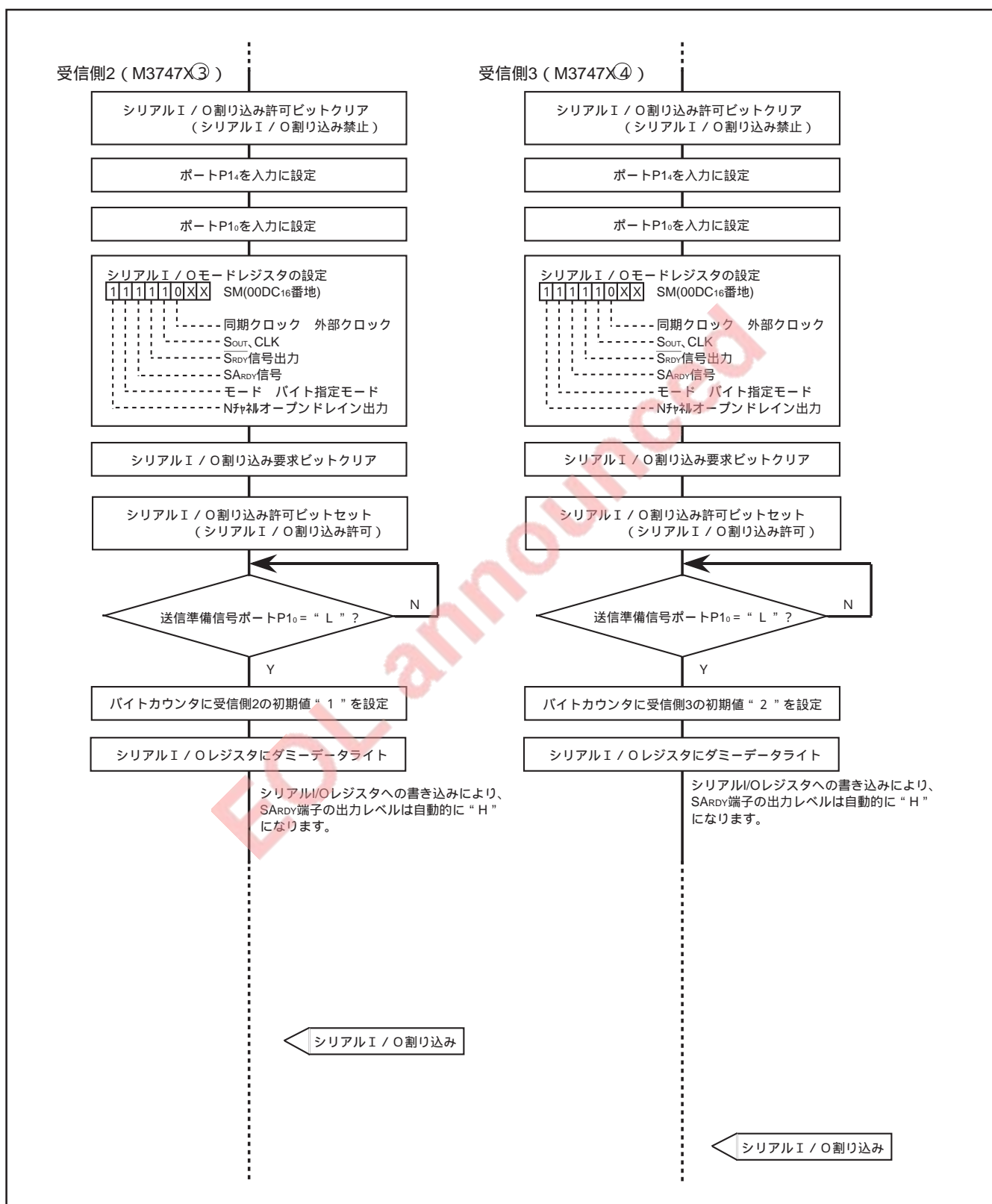


図2.4.5 制御手順例 2 (クロック同期形シリアルI/Oバイト指定モード(7470/7471グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| × | × | | |

2.4.2 クロック同期形シリアルI/Oの応用例(7477/7478グループ)

連続送信

ポイント：送信バッファレジスタが空になったときにシリアルI/O送信割り込みを発生させ、連続送信を行います。初期設定でシリアルI/O制御レジスタによりシリアルI/O送信を許可にするとシリアルI/O送信割り込み要求が発生するので、これを利用します。

- 仕様
- ： クロック：f(XIN)=7.9872MHz
 - クロック同期形シリアルI/Oにより5バイト連続送信
 - ・ ボーレート：2400bps
 - ・ 同期クロック：f(XIN)を2.4kHzに分周(SCLK端子から出力)
 - ・ ポートP17をSRDY信号入力端子として使用し、受信側の通信準備完了を確認

接続例を図2.4.6、同期クロックの設定例を図2.4.7、割り込み制御のタイミングを図2.4.8、及び制御手順例を図2.4.9に示します。

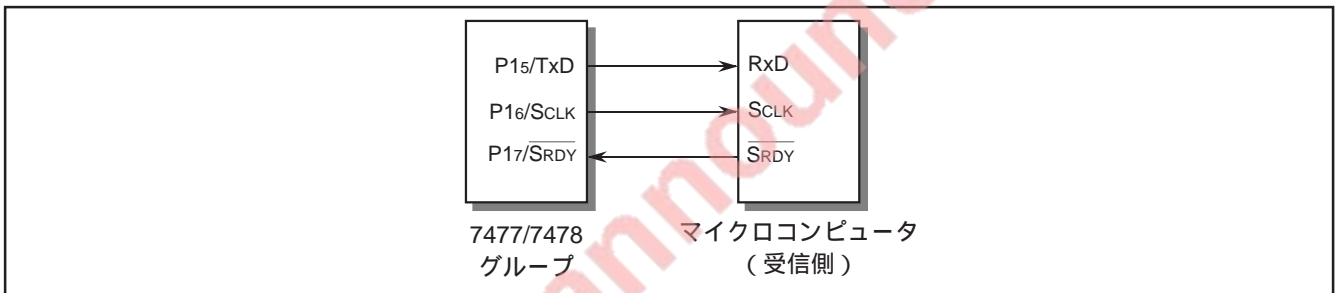


図2.4.6 接続例(クロック同期形シリアルI/O(7477/7478グループ))

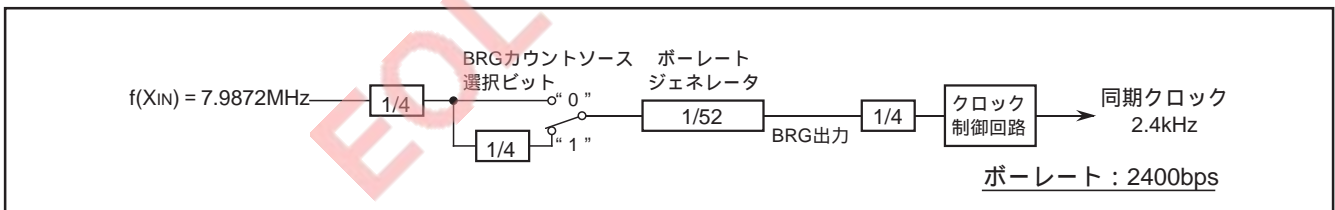


図2.4.7 同期クロックの設定例(クロック同期形シリアルI/O(7477/7478グループ))

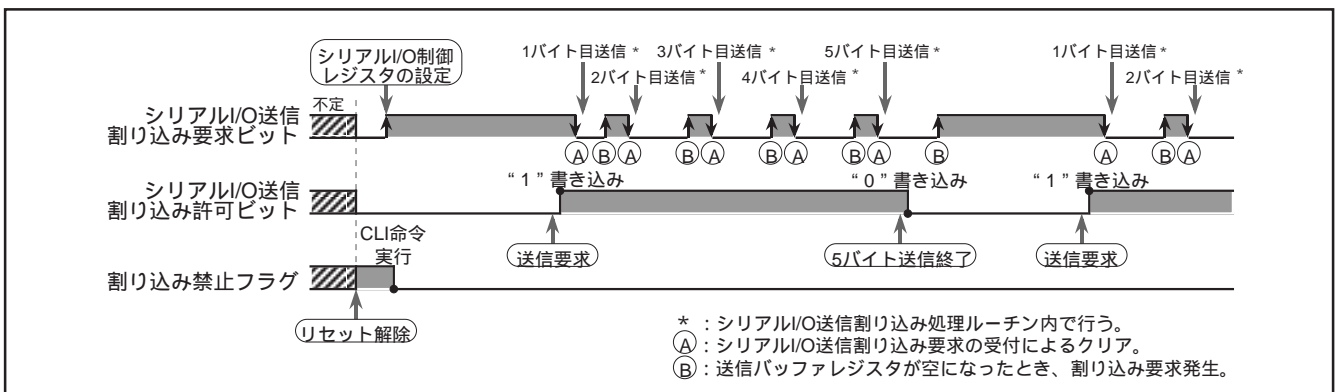
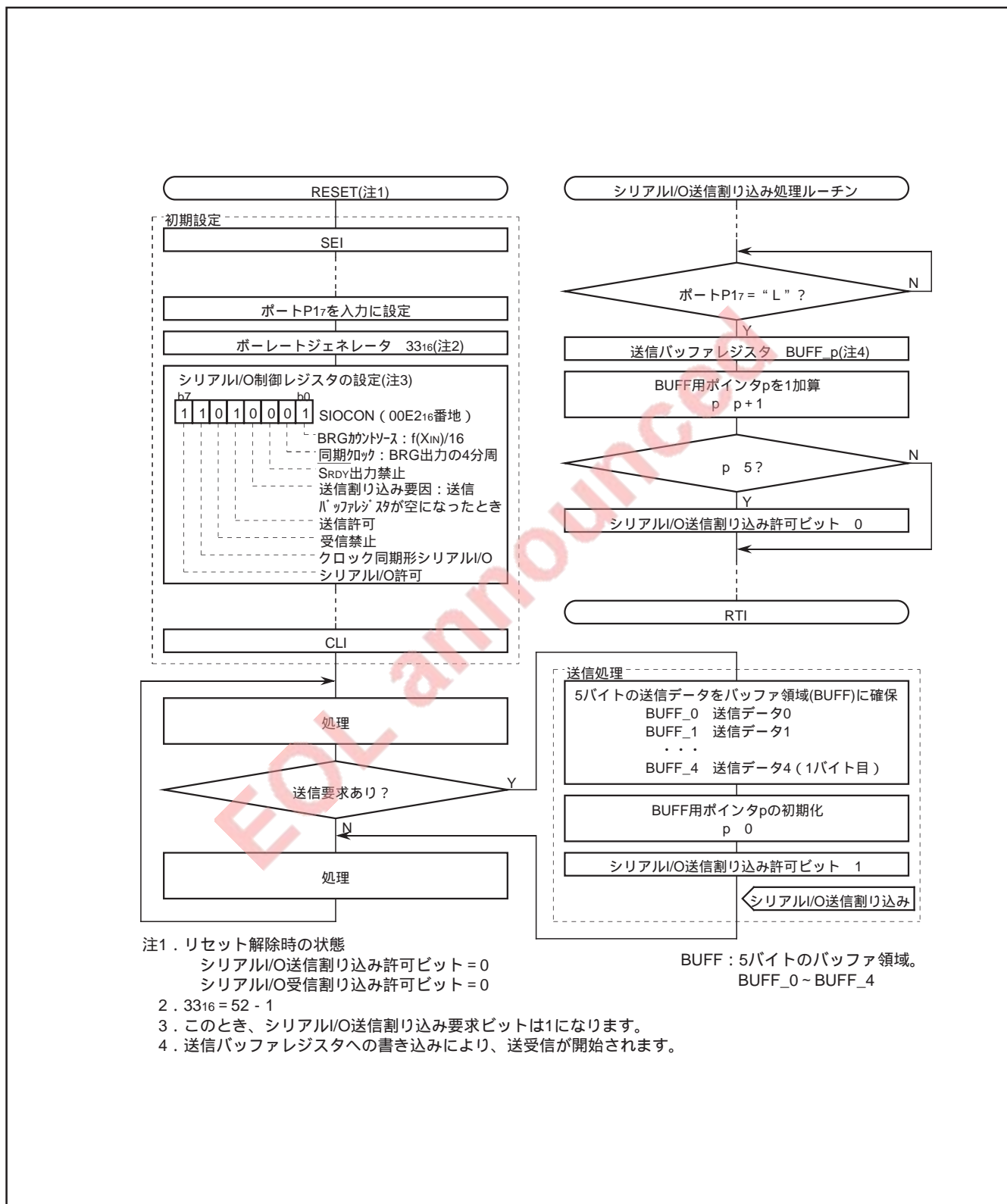


図2.4.8 割り込み制御のタイミング(クロック同期形シリアルI/O(7477/7478グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| × | × | | |



- 注1. リセット解除時の状態
 シリアルI/O送信割り込み許可ビット = 0
 シリアルI/O受信割り込み許可ビット = 0
2. $3316 = 52 - 1$
3. このとき、シリアルI/O送信割り込み要求ビットは1になります。
4. 送信バッファレジスタへの書き込みにより、送受信が開始されます。

BUFF : 5バイトのバッファ領域。
 BUFF_0 ~ BUFF_4

図2.4.9 制御手順例(クロック同期形シリアルI/O(7477/7478グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| × | × | | |

2.4.3 クロック非同期形シリアルI/O(UART)の応用例(7477/7478グループ)

受信データを複数バイトまとめてデータ処理を行う場合

ポイント：データ処理に必要なバイト数の最大数に、数バイトの余裕を持たせてRAM領域を確保し、割り込み処理ルーチン内でアドレスの小さい方から順に受信データを格納します。データ処理に必要なバイト数の受信データがバッファ領域にそろると、メインルーチン内でデータ処理を行います。これにより、データ処理中に次の受信データがそろった場合も、処理中のデータを失うことなく受信データを格納できます。

仕様： クロック： $f(XIN)=7.9872\text{MHz}$
 UART受信
 ・ボーレート：9600bps
 ・同期クロック： $f(XIN)$ を9.6kHzに分周
 ・通信フォーマット：1ST-8DATA-1SP
 受信したデータを複数バイトまとめて(パケット単位で)データ処理。
 各パケットの先頭データは、先頭データ固有のコード及びパケットのバイト数を示すコードで構成。

接続例を図2.4.10、同期クロックの設定例を図2.4.11、通信フォーマットを図2.4.12、制御手順例を図2.4.13に示します。

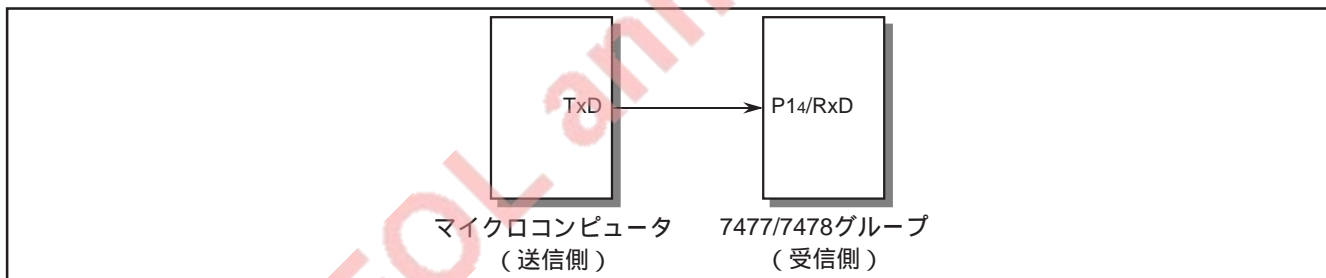


図2.4.10 接続例(UART(7477/7478グループ))

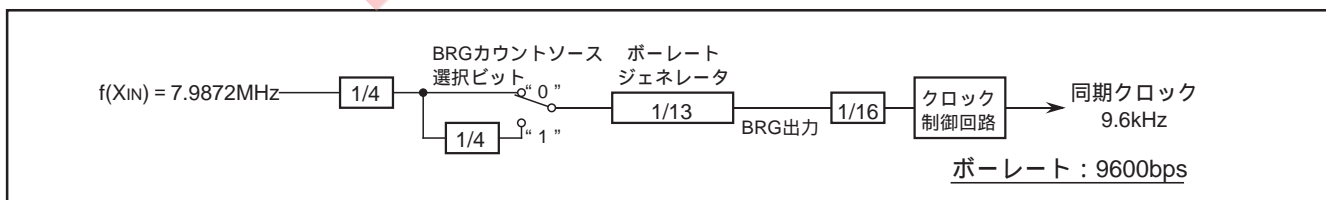


図2.4.11 同期クロックの設定例(UART(7477/7478グループ))

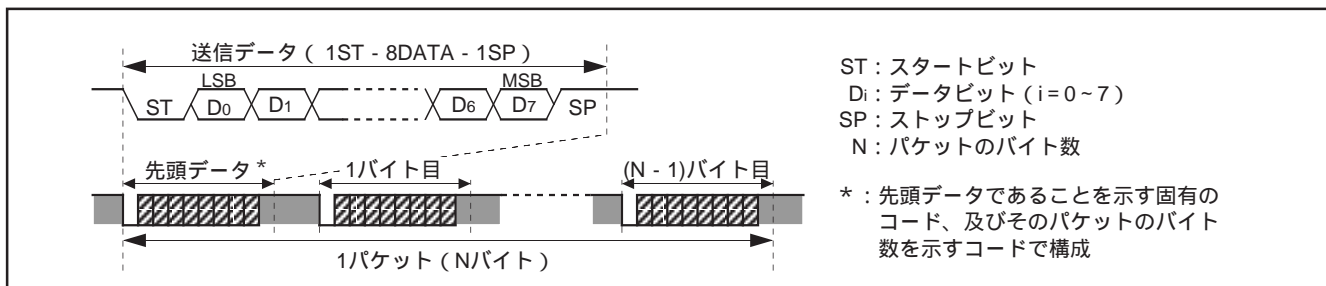


図2.4.12 通信フォーマット(UART(7477/7478グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| × | × | | |

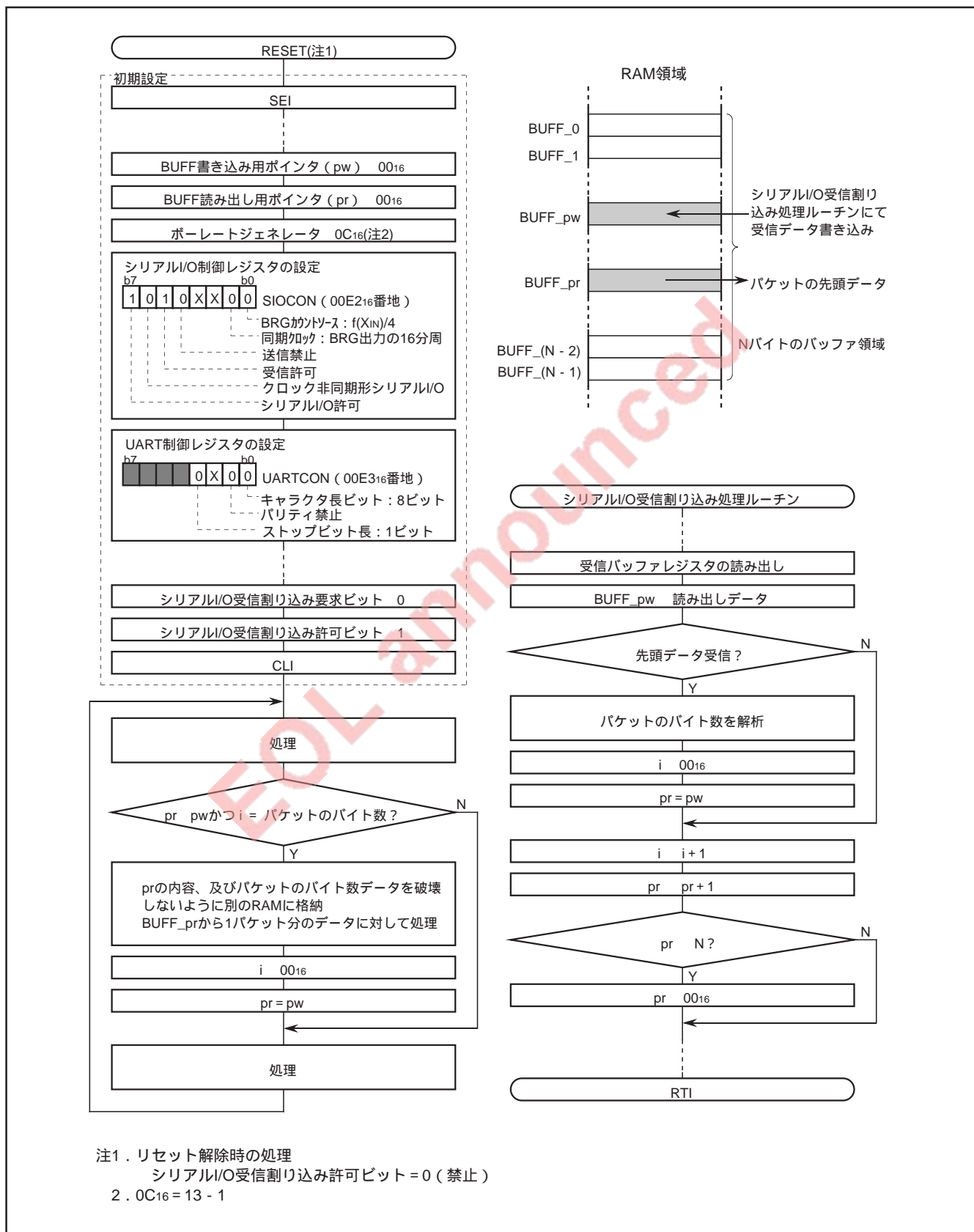


図2.4.13 制御手順例(UART(7477/7478グループ))

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.5 A-D変換器

2.5.1 A-D変換値の確定方法

A-D変換結果の精度を向上させるために、数回サンプリングを行い値を確定させることを推奨します。A-D変換値のサンプリング方法と、その確定方法を以下に示します。

サンプリング方法

- (例) 2^n 回サンプリング
 2^n 回移動サンプリング
 $(2^n + 2)$ 回サンプリング

n は仕様による任意の値。

確定方法

- (例) [1] サンプリング結果の和をサンプリング回数で割る。
 [2] $(2^n + 2)$ 回サンプリングしたものから最小値、最大値を除いて加算し、 2^n 回で割る。
 [3] [1]または[2]の方法で平均値を算出し値を更新する際、前回の値との差が m 以上ならば更新しない。

m 、 n は仕様による任意の値。

「2.5.2 A-D変換器の応用例」では「サンプリング方法 + 」、「確定方法[3]」を使用した例を示します。

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.5.2 A-D変換器の応用例

前ページで述べた「サンプリング方法 + 」、「確定方法[3]」を使用したA-D変換設定例を以下に示します。

仕様 : 6回の移動サンプリングを行い、最大値、最小値を除いたものを加算する。その和を4(回)で割り、前回との差が5未満であれば更新、5以上であれば更新しない。

A-D変換値の確定方法を図2.5.1、制御手順例を図2.5.2に示します。

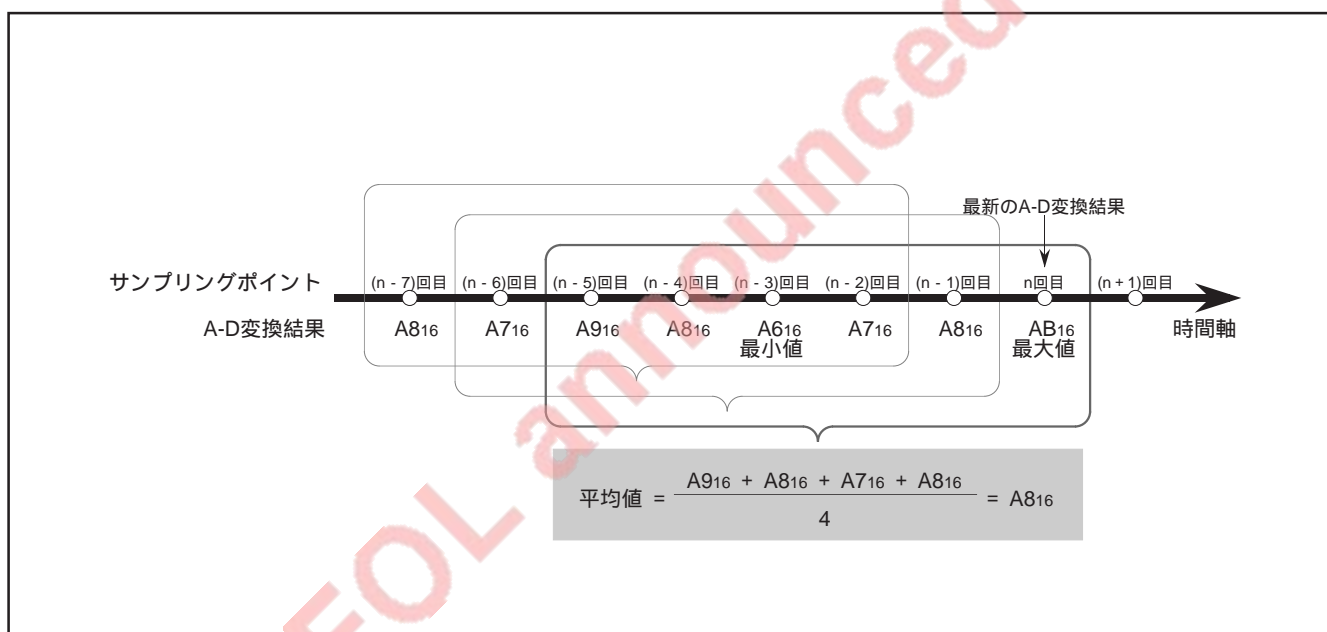


図2.5.1 A-D変換値の確定方法

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

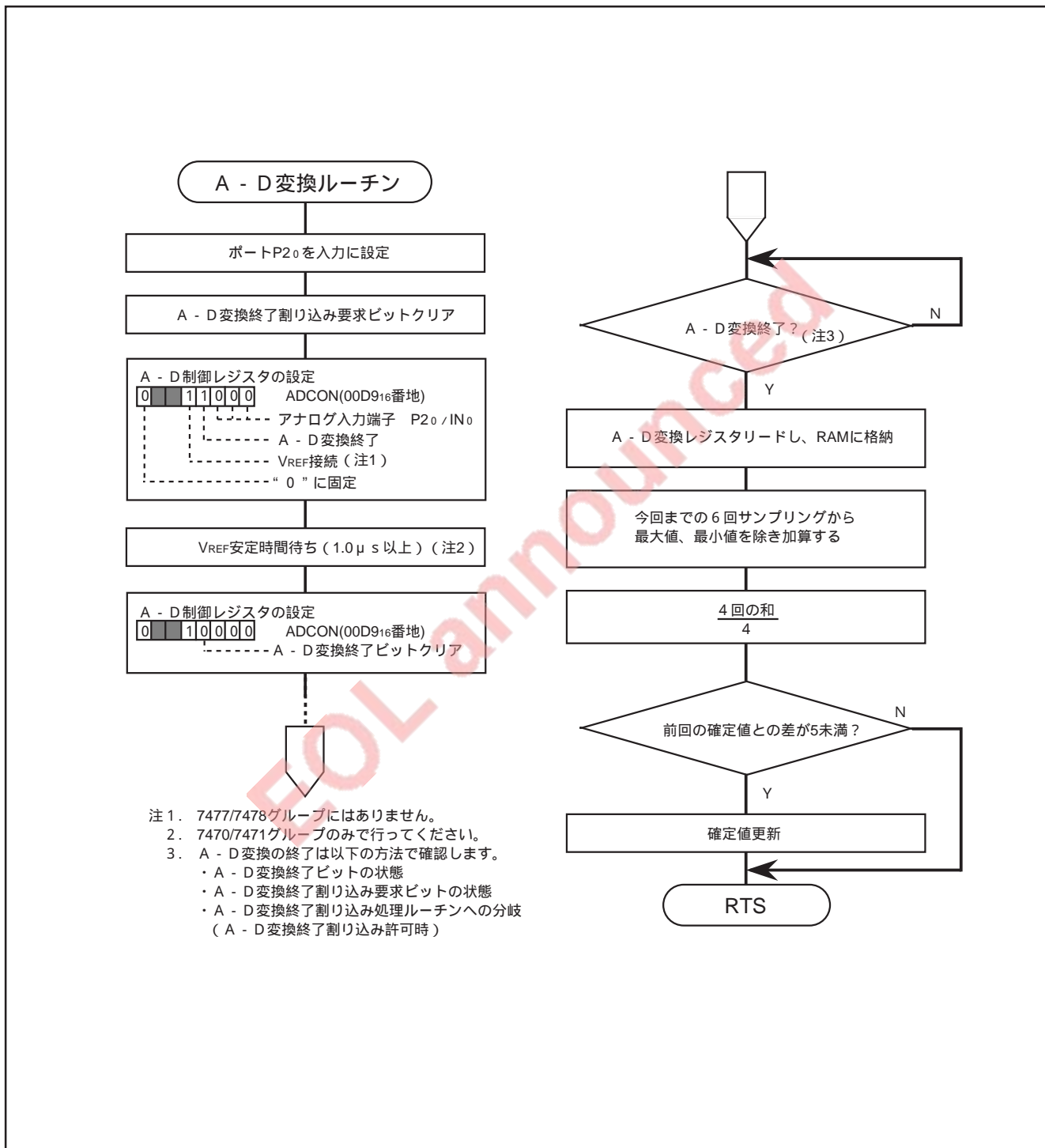


図2.5.2 制御手順例

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.6 リセット

図2.6.1に、リセット回路例を示します。

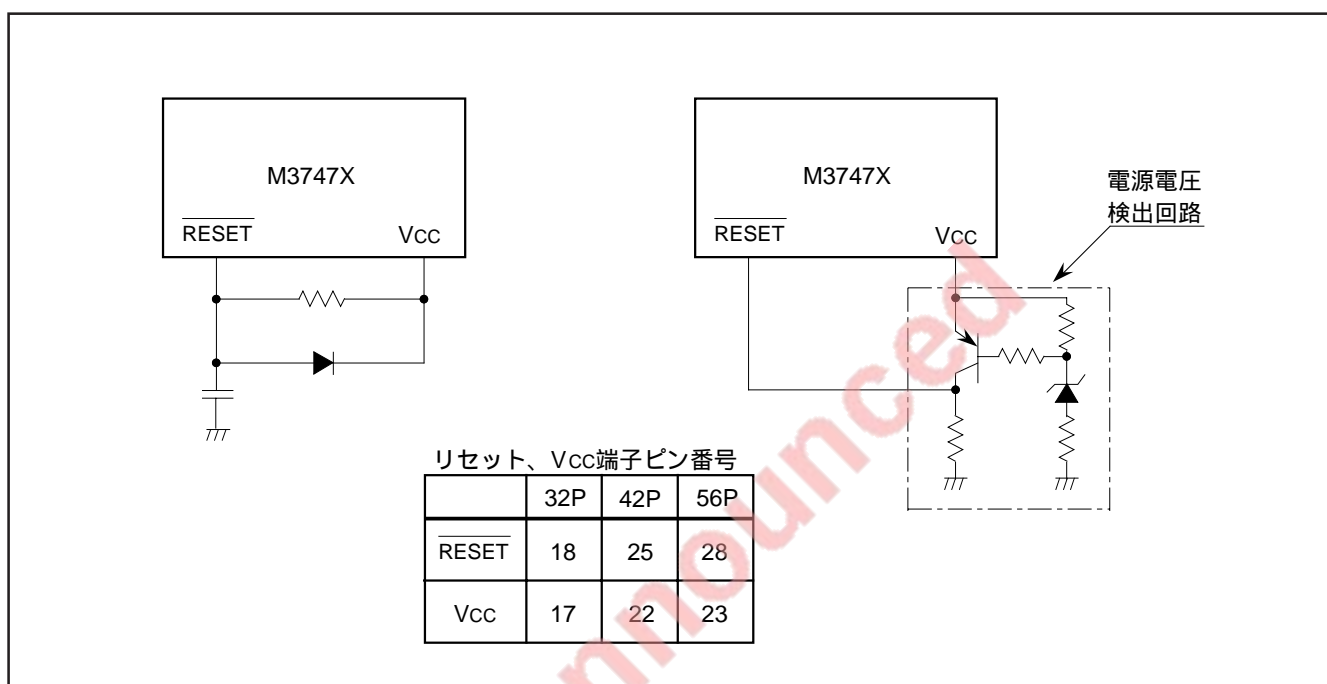


図2.6.1 リセット回路例

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.7 発振回路

2.7.1 セラミック共振子を使用した発振回路

XIN端子とXOUT端子の間、XCIN端子とXCOUT端子の間にセラミック共振子又は水晶発振子を接続することによって、発振回路を形成できます。

図2.7.1に、セラミック共振子を使用した発振回路例を示します。

なお、 R_d 、 C_{IN} 、 C_{OUT} などの回路定数は発振子メーカーにお問い合わせの上、発振子メーカーの推奨値に設定してください。

注 . 7470/7477グループにはXCIN、XCOUT端子はありません。

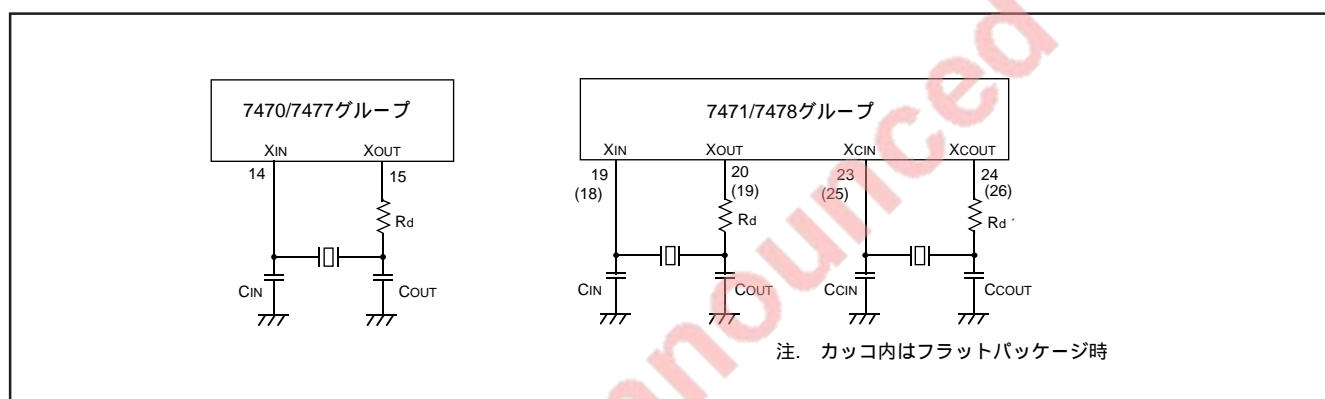


図2.7.1 セラミック共振子を使用した発振回路例

2.7.2 外部クロック入力

メインクロック及び時計用クロックの発振回路へは外部からクロックを供給することもできます。

この場合の回路例を図2.7.2に示します。このときXOUT(XCOUT)端子は開放にしてください。また、XIN (XCIN)端子に入力する外部クロックには、デューティ比50%のパルス信号を使用してください。

注 . 7470/7477グループにはXCIN、XCOUT端子はありません。

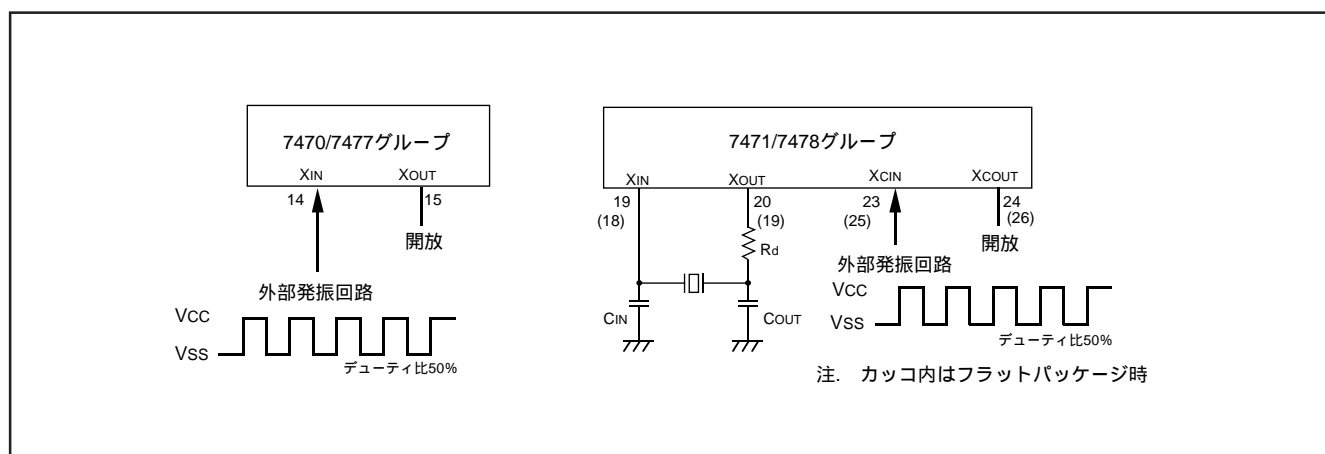


図2.7.2 外部クロック入力回路例

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.8 低消費電力機能

2.8.1 通常モード ストップモード 通常モード

仕様 : STP命令によりストップモード状態を実行する。
通常モードへの復帰はINT0割り込みにより行う。

制御手順例を図2.8.1に示します。

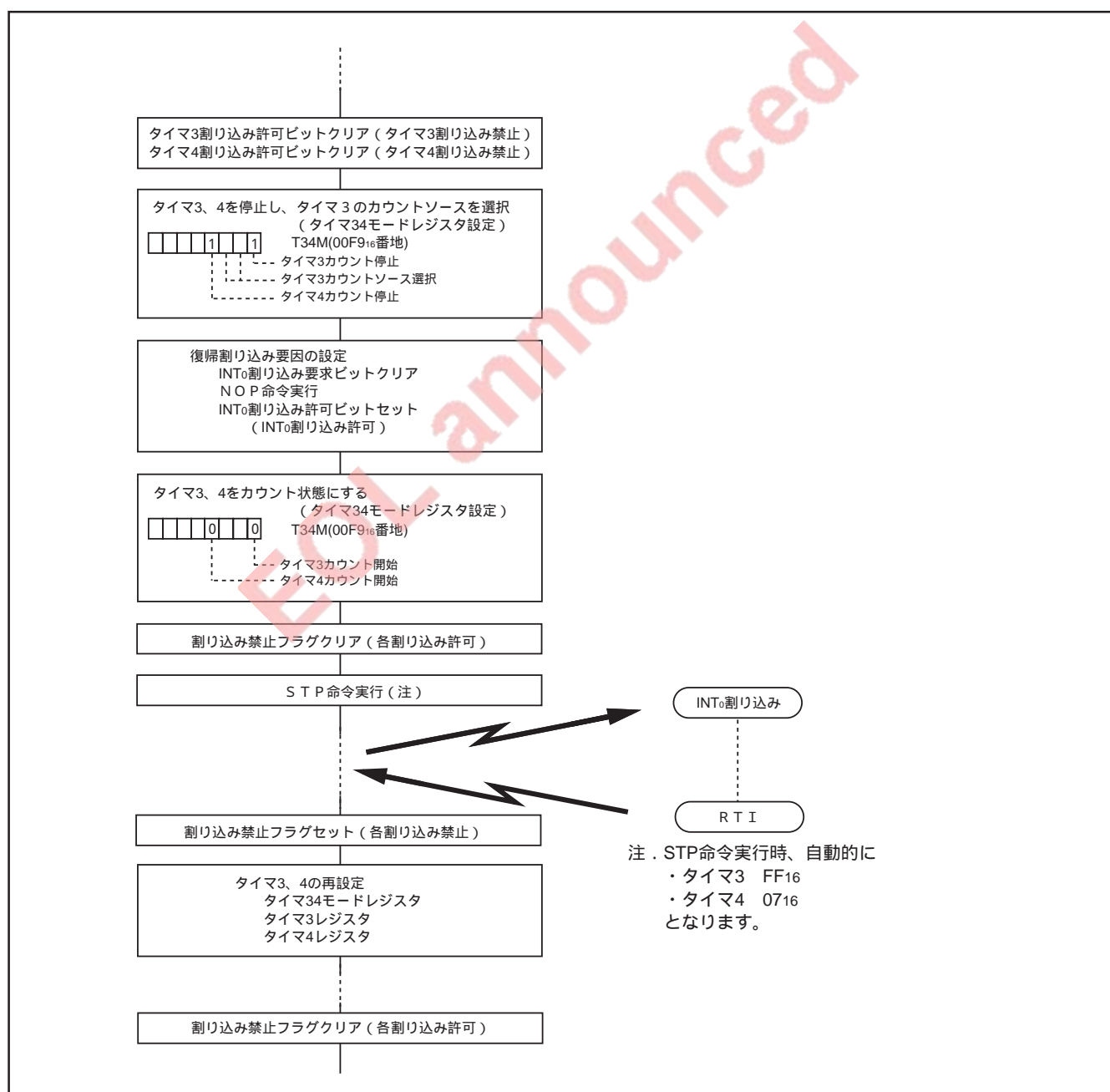


図2.8.1 制御手順例(通常モード ストップモード 通常モード)

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.8.2 通常モード ウェイトモード 通常モード

仕様 : WIT命令によりウェイトモード状態を実行する。
通常モードへの復帰はINT₀割り込みにより行う。

制御手順例を図2.8.2に示します。

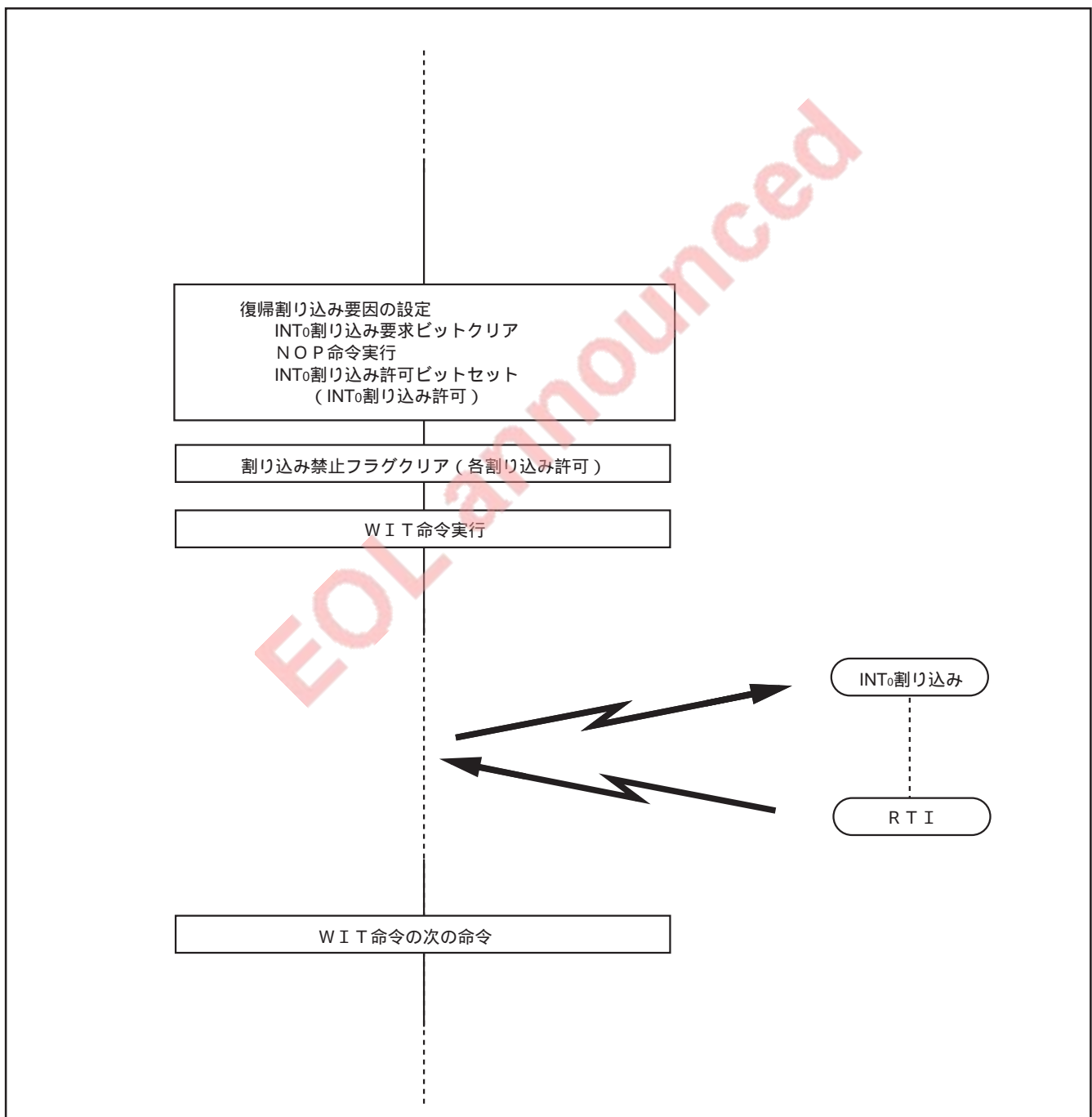


図2.8.2 制御手順例(通常モード ウェイトモード 通常モード)

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| × | | × | |

2.8.3 通常モード 低速モード

仕様 : メインクロック($f(X_{IN}) = 8\text{MHz}$)から時計用クロック($f(X_{CIN}) = 32\text{kHz}$)にシステムクロックを切り替え、メインクロックを停止する。

制御手順例を図2.8.3に示します。

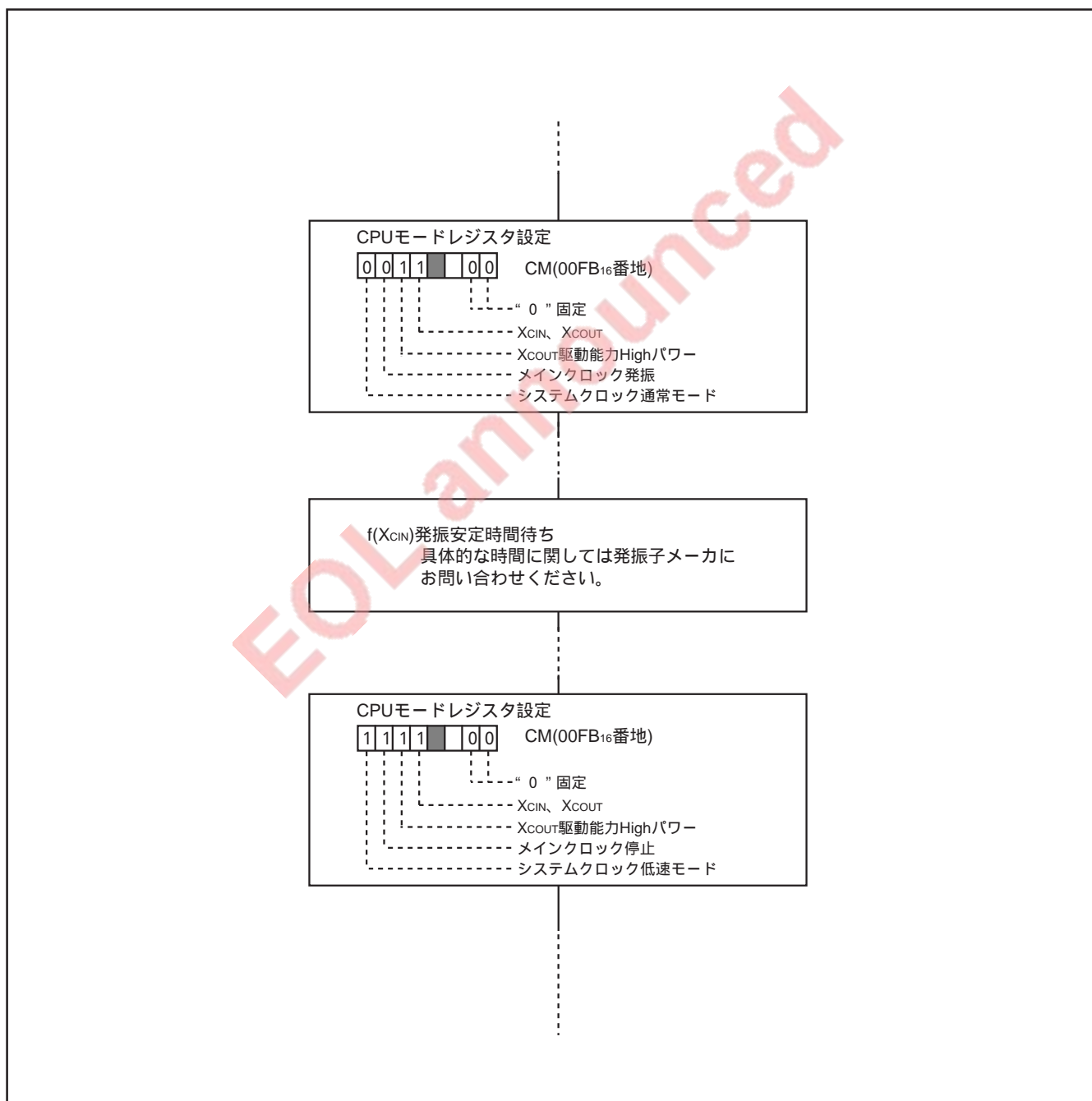


図2.8.3 制御手順例(通常モード 低速モード)

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| × | | × | |

2.8.4 低速モード 通常モード

仕様 : 時計用クロック($f(X_{CIN}) = 32\text{kHz}$)からメインクロック($f(X_{IN}) = 8\text{MHz}$)にシステムクロックを切り替え、時計用クロックを停止する。

制御手順例を図2.8.4に示します。

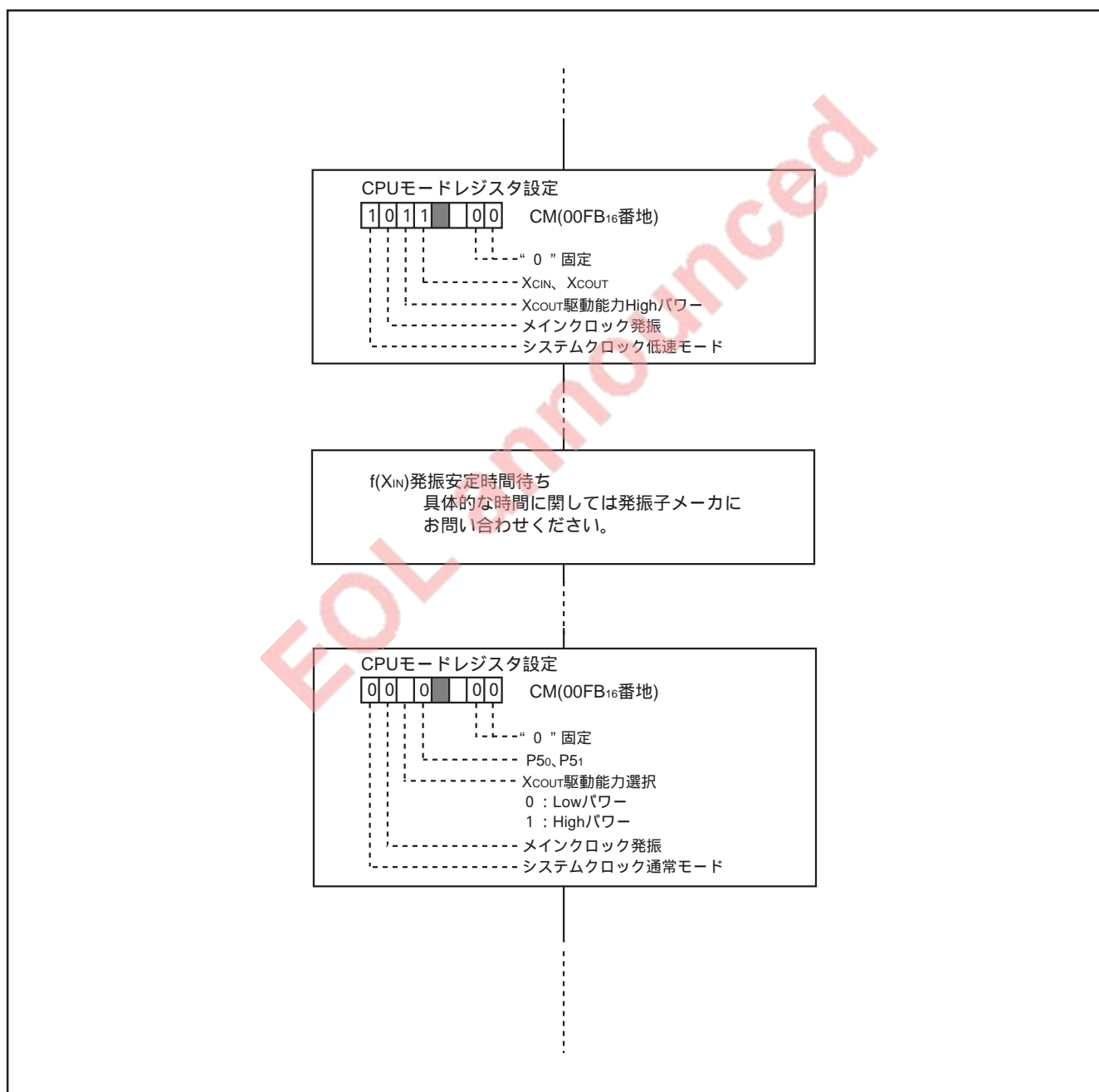


図2.8.4 制御手順例(低速モード 通常モード)

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.9 ノイズに関する注意事項

ノイズに関する注意事項及びその対策例を以下に示します。本対策はノイズに関して理論上有効ですが、実使用に際しては、本対策例を実施した後も十分なシステム評価を行ってください。

2.9.1 配線長の短縮

基板上の配線は、ノイズをマイコン内部に引き込むアンテナとなる可能性があります。総配線長が短い (mm単位) ほどノイズをマイコン内部に引き込む可能性が低くなります。

(1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

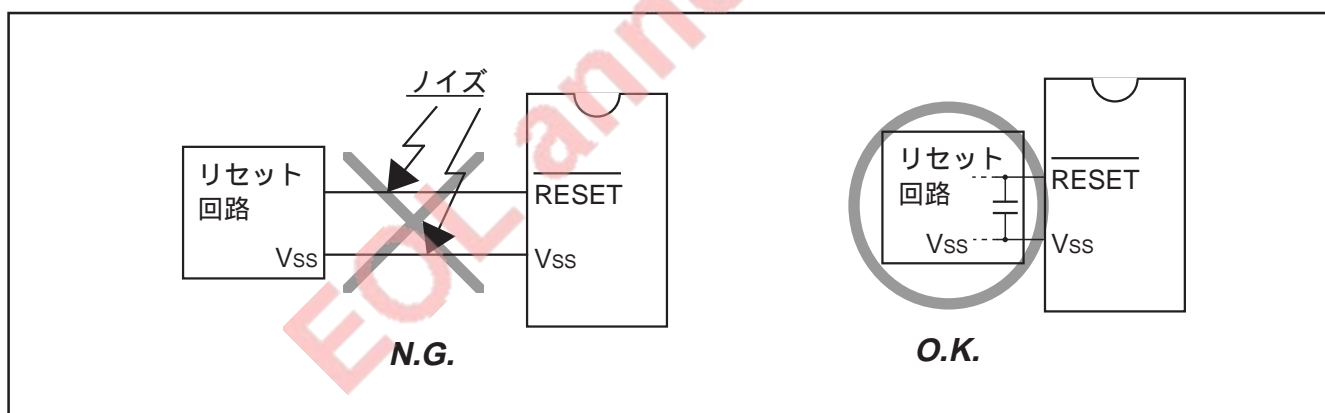


図2.9.1 リセット入力端子の配線

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

(2) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

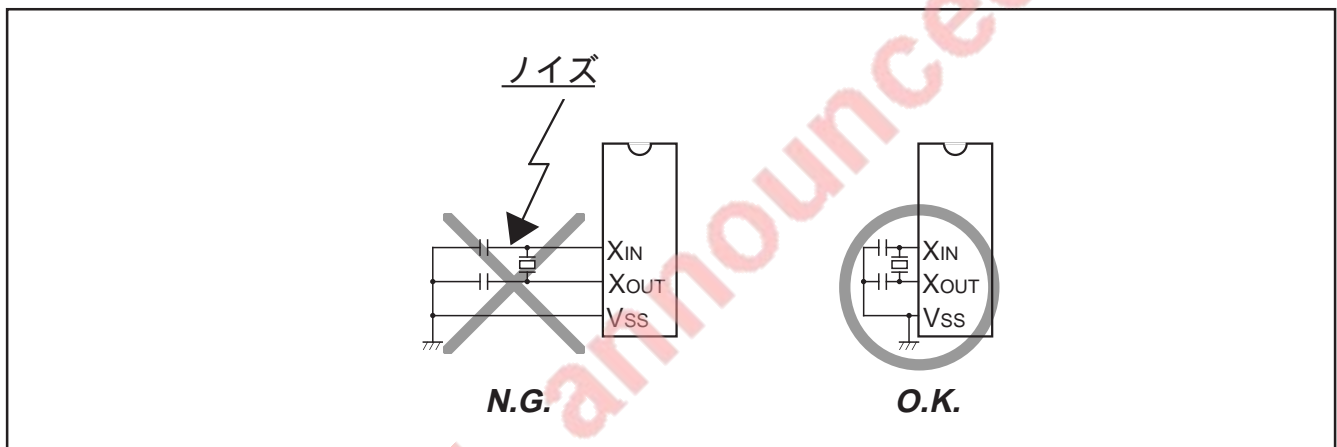


図2.9.2 クロック入出力端子の配線

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

(3) ワンタイムPROM版及びEPROM版のVPP端子配線

VPP端子のできるだけ近くに5k 程度の抵抗を直列に挿入してください。
7470/7471/7477/7478グループでは、VPP端子はP33端子と兼用です。

注. 5k 程度の抵抗を挿入した回路のまま、マスクROM版に置き換えても動作上支障ありません。

理由

ワンタイムPROM版マイコン及びEPROM版マイコンのVPP端子は内蔵PROMの電源入力端子です。内蔵PROMへプログラムを書き込む時に、書き込み電流が流れ込むようにVPP端子のインピーダンスを低くしているため、ノイズが侵入し易くなっています。VPP端子からノイズが侵入すると、内蔵PROMから異常な命令コード、データが読み出され、暴走の原因となります。

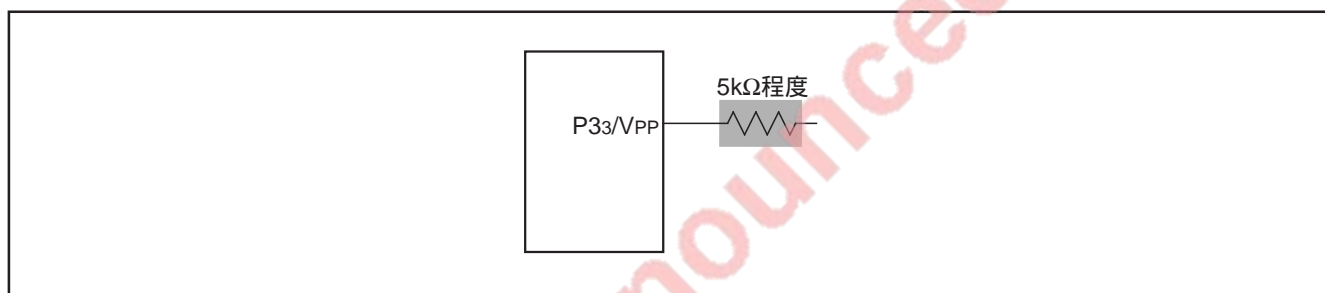


図2.9.3 ワンタイムPROM版及びEPROM版のVPP端子の配線

2.9.2 Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に0.1 μF程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする。
- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする。
- ・ Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する。
- ・ 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する。

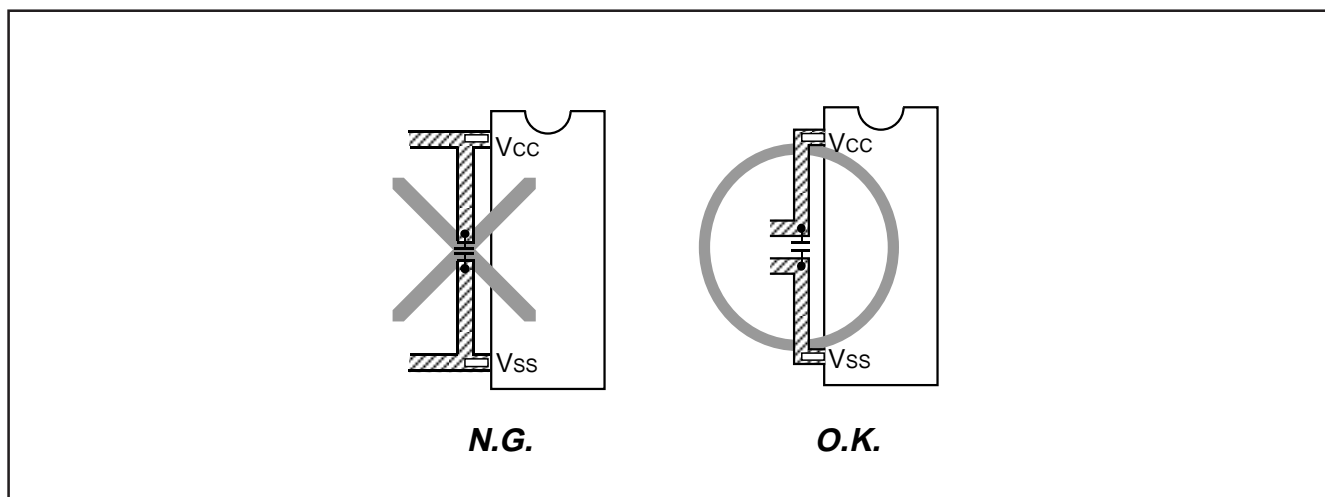


図2.9.4 Vss - Vccライン間のバイパスコンデンサ

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.9.3 アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線は、マイコンのできるだけ近い位置に、100 ~ 1k 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVss端子間には、マイコンのできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

理由

通常、アナログ入力端子(A-D変換器/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれ易くなります。

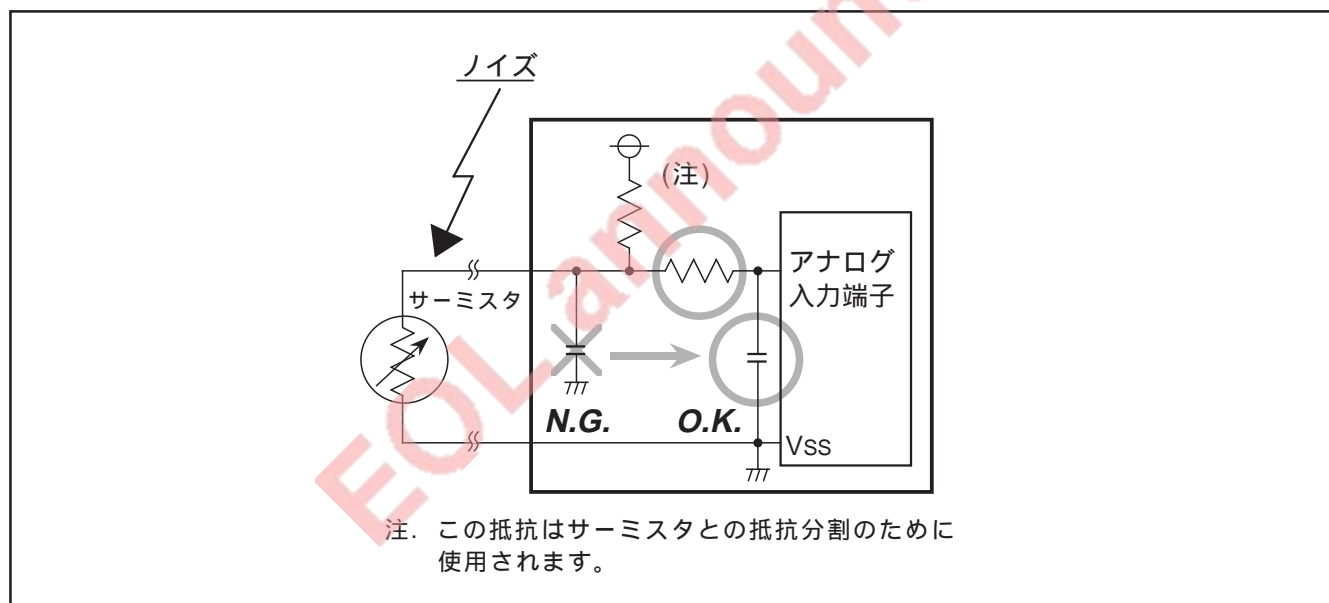


図2.9.5 アナログ信号線と抵抗及びコンデンサ

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.9.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

(1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

(2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受け易い信号線と交差させないでください。

理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

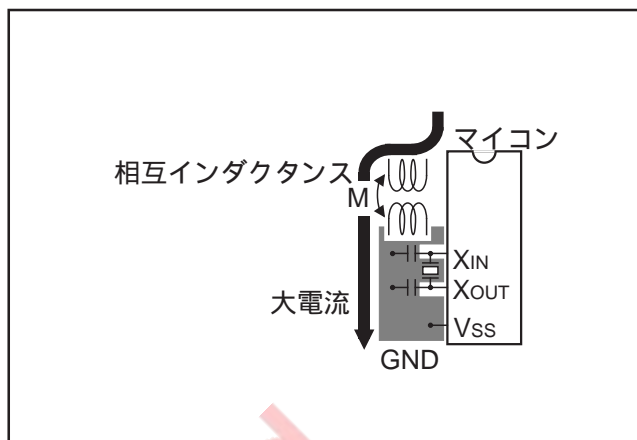


図2.9.6 大電流が流れる信号線の配線

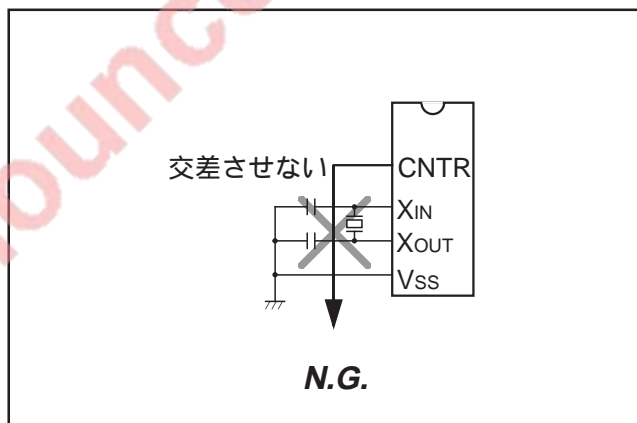


図2.9.7 高速にレベル変化する信号線の配線

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

(3) Vssパターンによる保護

両面基板の場合、発振子が実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

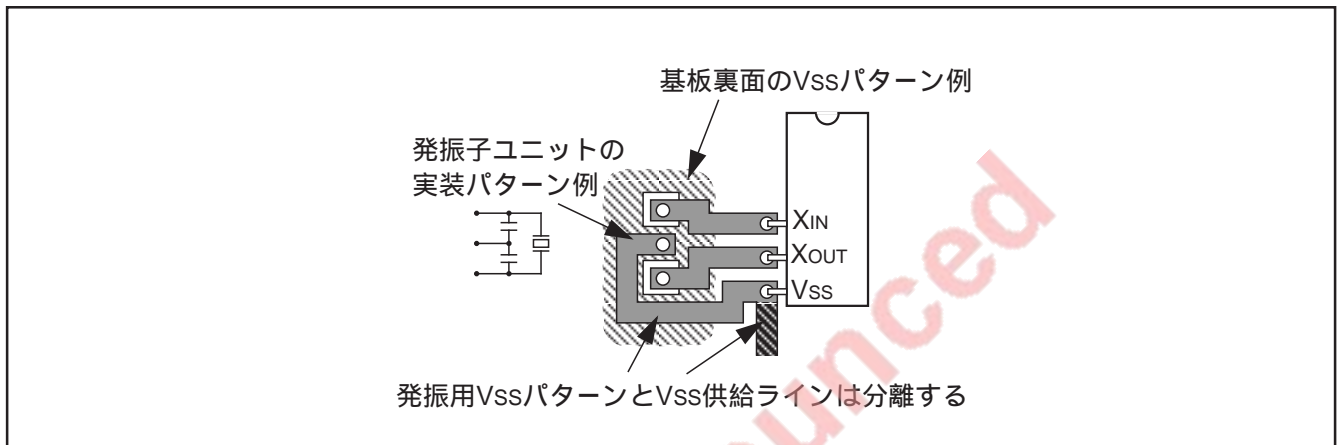


図2.9.8 発振子の裏面のVssパターン

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.9.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・ 入出力ポートに100Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・ 入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・ 出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・ 一定周期で方向レジスタ、プルアップ制御レジスタの再書き込みを行ってください。

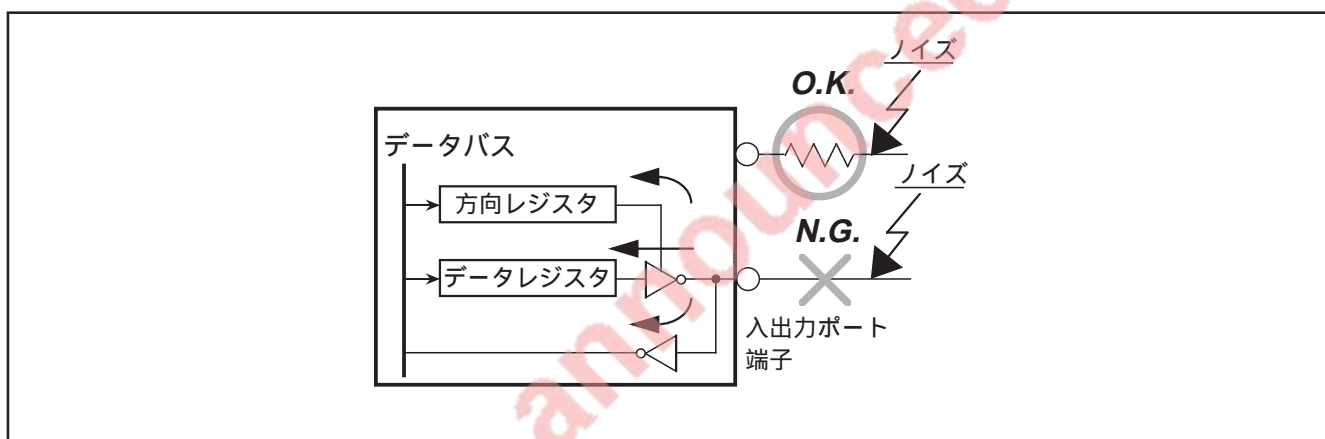


図2.9.9 入出力ポート処理

2.9.6 ソフトウェアによる監視タイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによる監視タイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアの監視タイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによる監視タイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

メインルーチンでは

- ・ RAMの1バイトをソフトウェア監視タイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

$N+1$ メインルーチンの1周期中に行われる割り込み処理の回数

注．メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- ・ SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- ・ 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- ・ SWDTの内容を1回の割り込み処理で1減算します。
- ・ ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- ・ SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

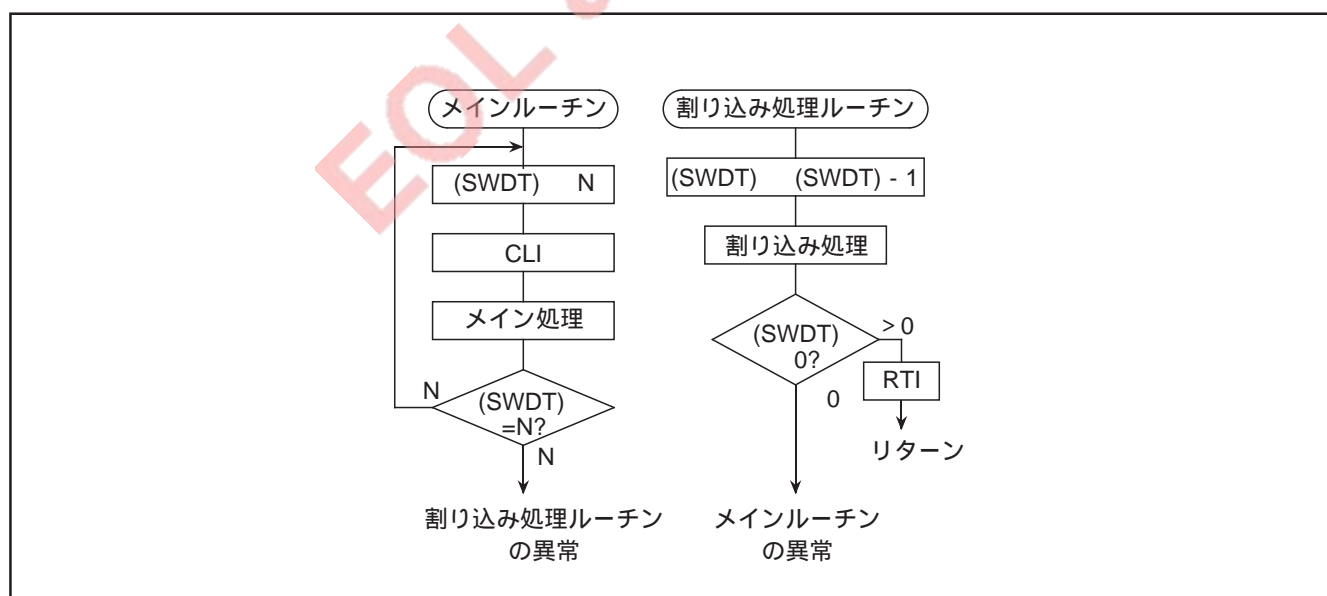


図2.9.10 ソフトウェアによる監視タイマ

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.10 プログラミング上の注意事項

2.10.1 プロセッサステータスレジスタに関するもの

(1) プロセッサステータスレジスタの初期化

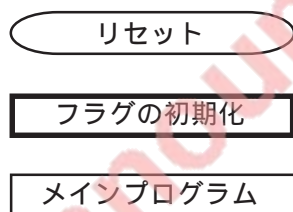
注意事項

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

理由

プロセッサステータスレジスタ(PS)は割り込み禁止フラグ(I)が"1"であることを除いてリセット直後は不定です。



(2) プロセッサステータスレジスタの参照方法

注意事項

プロセッサステータスレジスタ(PS)の内容を参照したい場合は、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

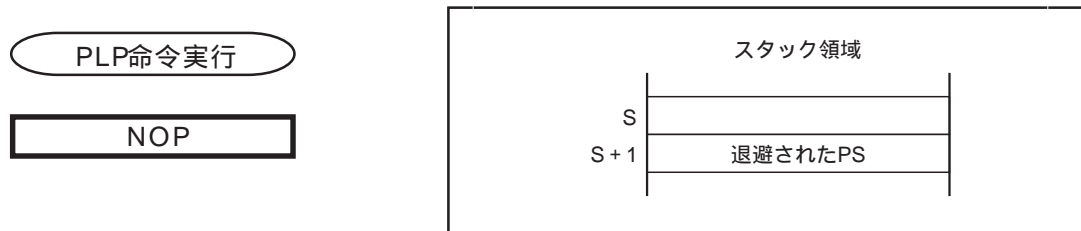


図2.10.1 PHP命令実行後のスタックメモリの内容

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| | | | |

2.10.2 BRK命令

(1) 割り込み要因の識別方法

注意事項

BRK命令の割り込みであるか、優先順位が最下位の割り込みであるかを識別する方法として、退避されたBフラグの内容によって判断できますが、この判断は割り込み処理ルーチンの中で行ってください。

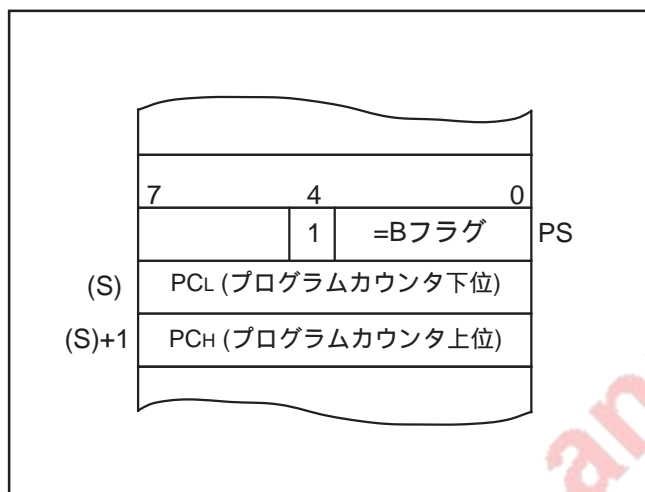


図2.10.2 割り込み処理ルーチン内

(2) 割り込み優先順位

注意事項

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・割り込み要求ビット、割り込み許可ビットが共に“1”
- ・Iフラグを“1”にして割り込みを禁止

2.10.3 10進演算

(1) 10進演算時の命令

注意事項

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令から一命令以上後に行ってください。

(2) 10進演算時のステータスフラグ

注意事項

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグが無効となります。

また、C(キャリー)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定するフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

10進モードフラグDを“1”にする

ADC命令、SBC命令実行

NOP

SEC命令、CLC命令、CLD命令実行

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

2.11 7470/7471グループ、7477/7478グループの相違点

7470/7471グループと7477/7478グループの相違点を表2.11.1に示します。置き換えを行う際には十分注意してください。

表2.11.1 7470/7471グループ、7477/7478グループの相違点

| | 7470/7471グループ | 7477/7478グループ |
|----------------|------------------------|--|
| RAM容量 | 128/192/384バイト | 192/384バイト 広動作温度範囲版(128/192/384バイト) |
| ROM容量 | 4K/8K/16Kバイト | 8K/16Kバイト 広動作温度範囲版(4K/8K/16Kバイト) |
| 32ピンSOP | 無し | 有り |
| 動作周囲温度範囲 | - 20 ~ 85 | - 20 ~ 85 広動作温度範囲版(- 40 ~ 85) |
| 割り込み要因数 | 12 | 13 |
| シリアルI/O | クロック同期形 | クロック同期形/UART |
| バイト指定モード | 有り | 無し |
| ポートP2 | 汎用入出力ポート/アナログ入力(注1) | 汎用入力ポート/アナログ入力(注1) |
| ソフトウェアプルアップ制御 | P0, P1, P2, P4, P5(注2) | P0, P1, P4, P5(注2) |
| A-D変換VREFOFF機能 | 有り | 無し |

注1．ポートP2は7470/7477グループではP2₀ ~ P2₃の4ビットのみです。

2．ポートP4は7470/7477グループではP4₀、P4₁の2ビットのみ、7471/7478グループではP4₀ ~ P4₃の4ビットのみです。

ポートP5は、7470/7477グループにはありません。7471/7478グループではP5₀ ~ P5₃の4ビットのみです。ソフトウェアプルアップ制御は、ポートP0は1ビット単位で、それ以外のポートは4ビット単位で行います。ただし、7470/7477グループではポートP4は2ビット単位です。

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | × | × | × |

2.12 応用回路例

7470/7471/7477/7478グループを使用した応用回路例を図2.12.1、図2.12.2に示します。

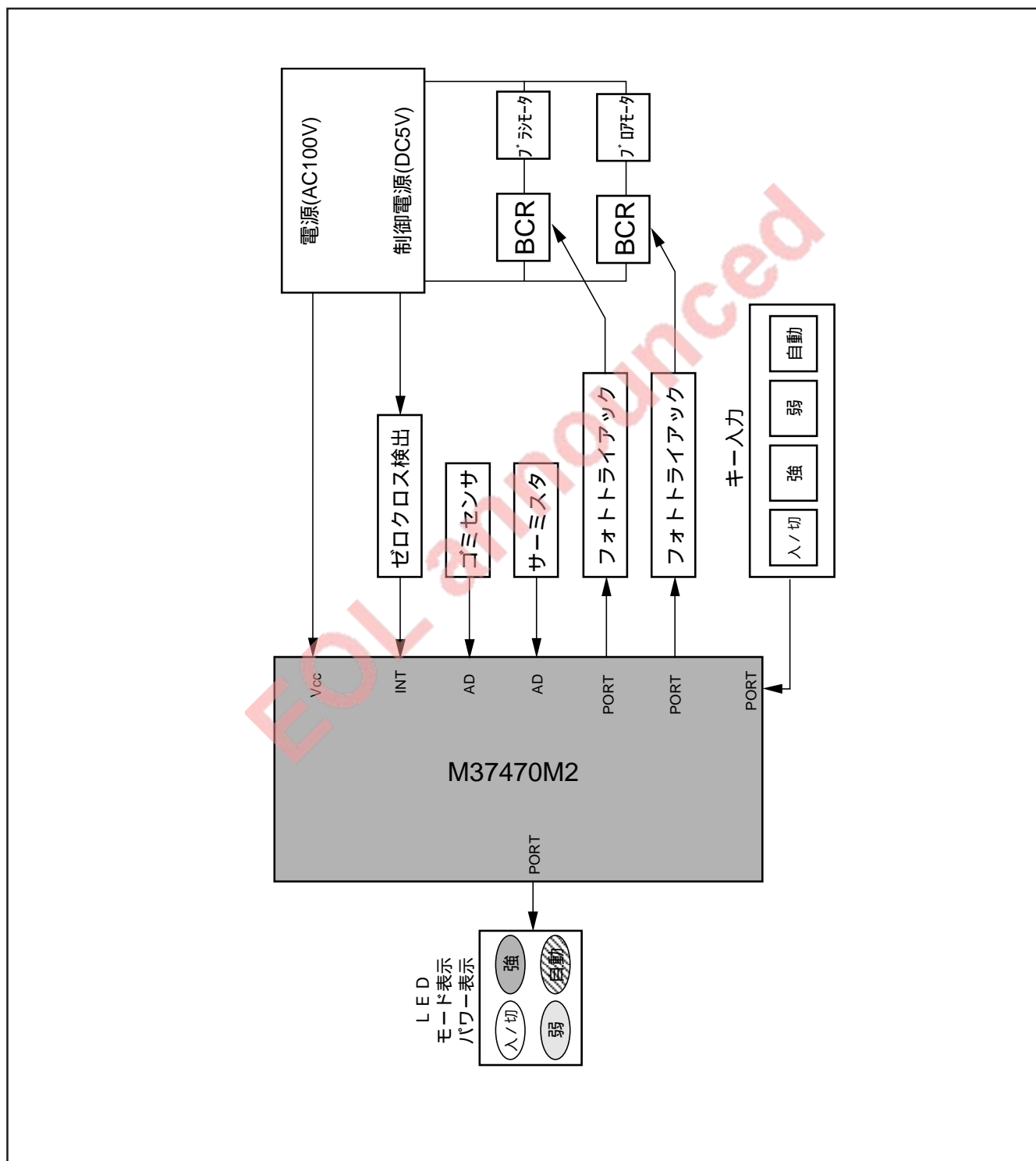


図2.12.1 クリーナへの応用例

| | | | |
|------|------|------|------|
| 7470 | 7471 | 7477 | 7478 |
| × | × | × | |

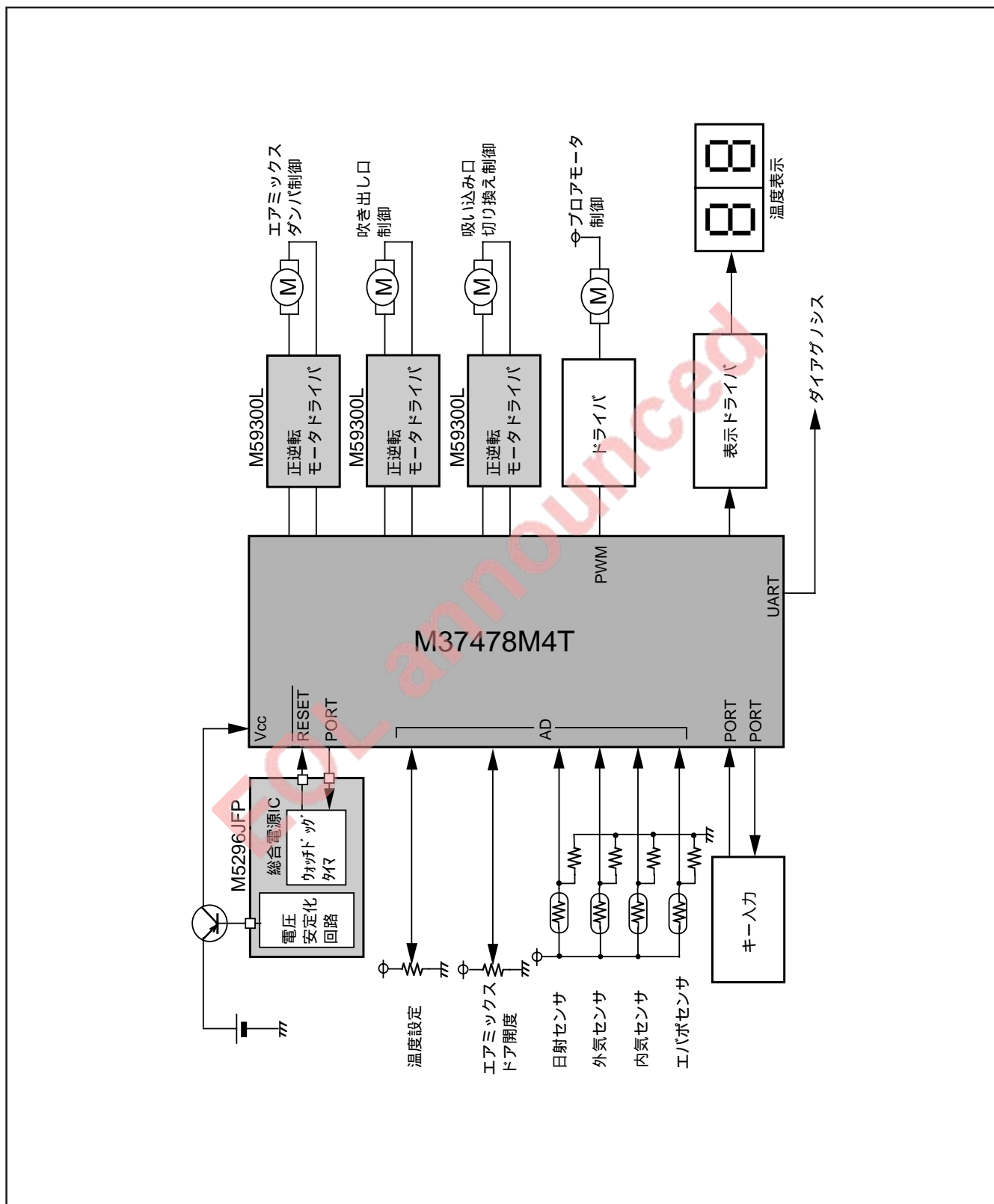


図2.12.2 セミオートエアコンへの応用例

| 7470 | 7471 | 7477 | 7478 |
|------|------|------|------|
| | | | |

Memo

EOL announced

第 3 章 付 録

- 3.1 制御レジスター一覧
- 3.2 マスク化確認書
- 3.3 ROM書き込み確認書
- 3.4 マーク指定書
- 3.5 パッケージ寸法図
- 3.6 命令コード一覧表
- 3.7 機械語命令一覧表
- 3.8 SFRメモリマップ
- 3.9 ピン接続図

3.1 制御レジスタ一覧

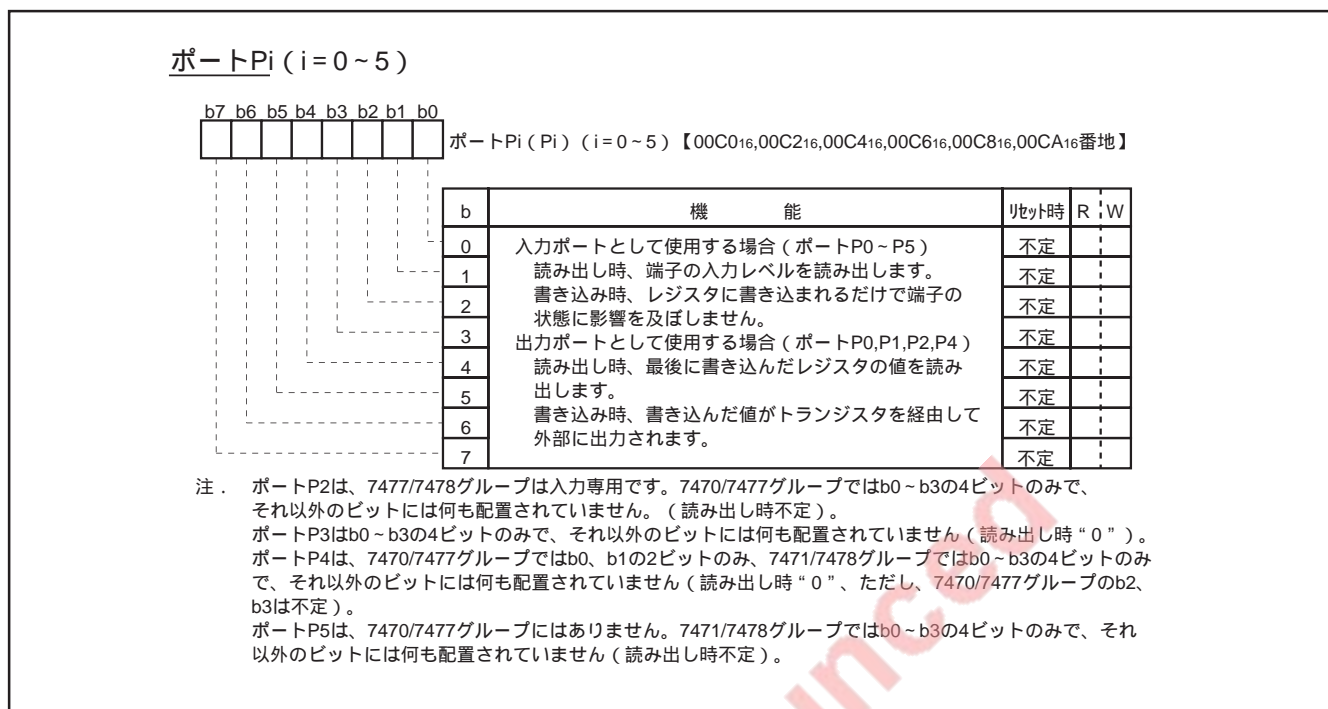


図3.1.1 ポートPi (i = 0 ~ 5) の構成

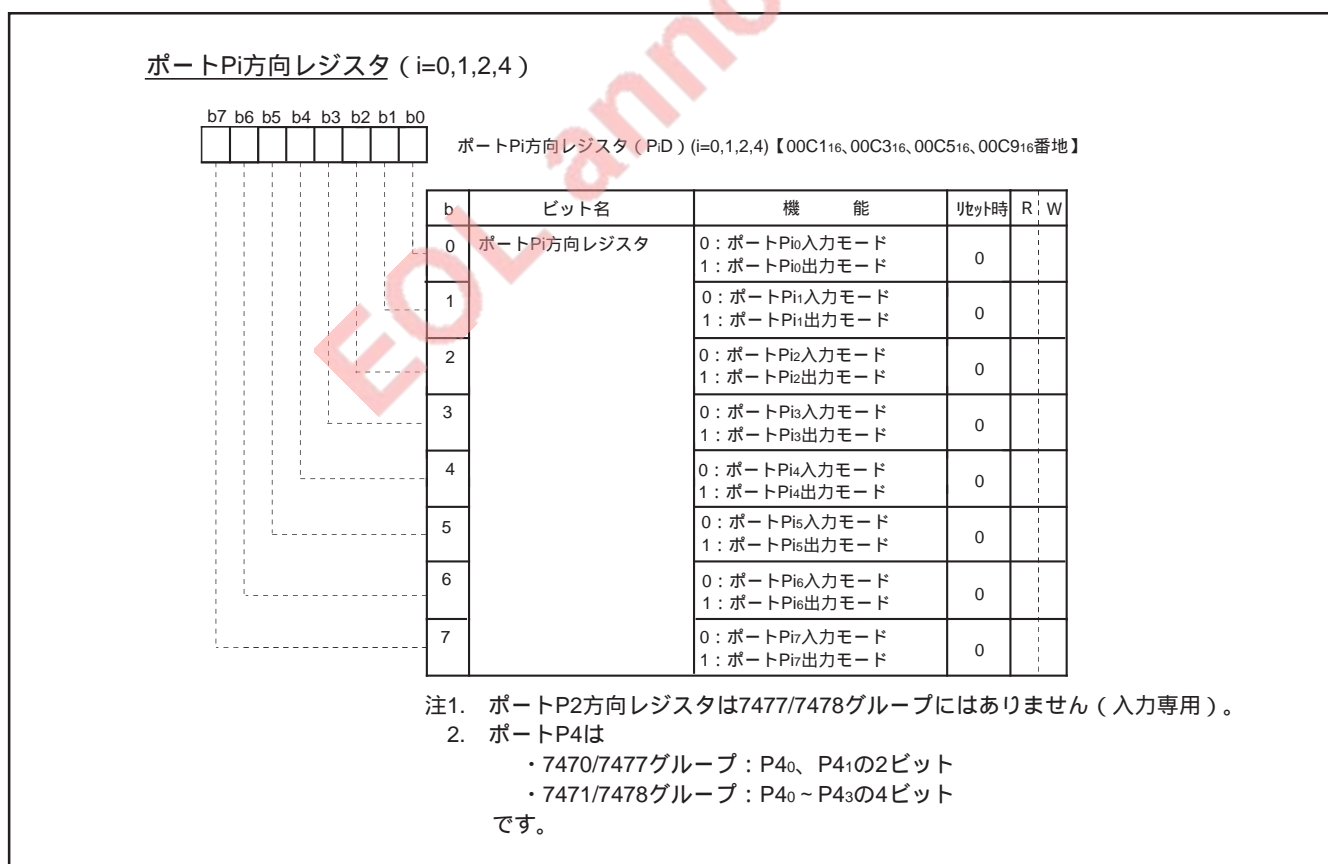
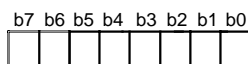


図3.1.2 ポートPi方向レジスタ(i = 0,1,2,4) の構成

ポートP0プルアップ制御レジスタ

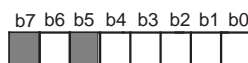


ポートP0プルアップ制御レジスタ【00D0₁₆番地】

| b | ビット名 | 機能 | リセット時 | R W |
|---|-------------------------------|---|-------|-------|
| 0 | ポートP0 ₀ プルアップ制御ビット | 0: P0 ₀ をプルアップしない 1: P0 ₀ をプルアップする | 0 | |
| 1 | ポートP0 ₁ プルアップ制御ビット | 0: P0 ₁ をプルアップしない 1: P0 ₁ をプルアップする | 0 | |
| 2 | ポートP0 ₂ プルアップ制御ビット | 0: P0 ₂ をプルアップしない 1: P0 ₂ をプルアップする | 0 | |
| 3 | ポートP0 ₃ プルアップ制御ビット | 0: P0 ₃ をプルアップしない 1: P0 ₃ をプルアップする | 0 | |
| 4 | ポートP0 ₄ プルアップ制御ビット | 0: P0 ₄ をプルアップしない 1: P0 ₄ をプルアップする | 0 | |
| 5 | ポートP0 ₅ プルアップ制御ビット | 0: P0 ₅ をプルアップしない 1: P0 ₅ をプルアップする | 0 | |
| 6 | ポートP0 ₆ プルアップ制御ビット | 0: P0 ₆ をプルアップしない 1: P0 ₆ をプルアップする | 0 | |
| 7 | ポートP0 ₇ プルアップ制御ビット | 0: P0 ₇ をプルアップしない 1: P0 ₇ をプルアップする | 0 | |

図3.1.3 ポートP0プルアップ制御レジスタの構成

ポートP1～P5プルアップ制御レジスタ (注1)



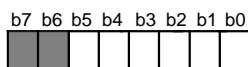
ポートP1～P5プルアップ制御レジスタ【00D1₁₆番地】

| b | ビット名 | 機能 | リセット時 | R W |
|---|--|---|-------|-------|
| 0 | ポートP1 ₀ ～P1 ₃ プルアップ制御ビット | 0: ポートP1 ₀ ～P1 ₃ をプルアップしない 1: ポートP1 ₀ ～P1 ₃ をプルアップする | 0 | |
| 1 | ポートP1 ₄ ～P1 ₇ プルアップ制御ビット | 0: ポートP1 ₄ ～P1 ₇ をプルアップしない 1: ポートP1 ₄ ～P1 ₇ をプルアップする | 0 | |
| 2 | ポートP2 ₀ ～P2 ₃ (注2)プルアップ制御ビット | 0: ポートP2 ₀ ～P2 ₃ をプルアップしない 1: ポートP2 ₀ ～P2 ₃ をプルアップする | 0 | |
| 3 | ポートP2 ₄ ～P2 ₇ (注2,3)プルアップ制御ビット | 0: ポートP2 ₄ ～P2 ₇ をプルアップしない 1: ポートP2 ₄ ～P2 ₇ をプルアップする | 0 | |
| 4 | ポートP4 ₀ ～P4 ₃ (注4)プルアップ制御ビット | 0: ポートP4 ₀ ～P4 ₃ をプルアップしない 1: ポートP4 ₀ ～P4 ₃ をプルアップする | 0 | |
| 5 | 何も配置されていないビットです。読み出し時は不定です。 | | 不定 | 不定 × |
| 6 | ポートP5 ₀ ～P5 ₃ (注3)プルアップ制御ビット | 0: ポートP5 ₀ ～P5 ₃ をプルアップしない 1: ポートP5 ₀ ～P5 ₃ をプルアップする | 0 | |
| 7 | 何も配置されていないビットです。読み出し時は不定です。 | | 不定 | 不定 × |

- 注1. 7470/7477グループでは、ポートP1～P4プルアップ制御レジスタが配置されています。
- 2. 7477/7478グループでは、これらのビットには何も配置されていません。読み出し時は不定です。
- 3. 7470/7477グループでは、これらのビットには何も配置されていません。読み出し時は不定です。
- 4. 7470/7477グループはP4₀、P4₁のみです。

図3.1.4 ポートP1～P5プルアップ制御レジスタの構成

エッジ極性選択レジスタ

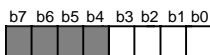


エッジ極性選択レジスタ(EG)【00D4₁₆番地】

| b | ビット名 | 機能 | リセット時 | R | W |
|-----|--|---|-------|----|---|
| 0 | INT ₀ エッジ選択ビット | 0: 立ち下がりエッジ 1: 立ち上がりエッジ | 0 | | |
| 1 | INT ₁ エッジ選択ビット | 0: 立ち下がりエッジ 1: 立ち上がりエッジ | 0 | | |
| 2 | CNTR ₀ エッジ選択ビット | 0: 立ち下がりエッジ 1: 立ち上がりエッジ | 0 | | |
| 3 | CNTR ₁ エッジ選択ビット | 0: 立ち下がりエッジ 1: 立ち上がりエッジ | 0 | | |
| 4 | CNTR ₀ / CNTR ₁ 割り込み選択ビット | 0: CNTR ₀ 1: CNTR ₁ | 0 | | |
| 5 | STP又はWIT命令実行時の INT ₁ ソース選択ビット | 0: P3 ₁ / INT ₁ 1: P0 ₀ ~ P0 ₇ " L " レベル入力 (キーオンウエイクアップ用) | 0 | | |
| 6,7 | 何も配置されていないビットです。 読み出し時は不定です。 | | 不定 | 不定 | × |

図3.1.5 エッジ極性選択レジスタの構成

入力ラッチレジスタ



入力ラッチレジスタ(ILR)【00D6₁₆番地】

| b | ビット名 | 機能 | リセット時 | R | W |
|-----|---|---|-------|----|---|
| 0 | P3 ₀ /INT ₀ ラッチビット | エッジ極性選択レジスタの ビット0が " 0 " のとき: INT ₀ 端子のレベルの反転 エッジ極性選択レジスタの ビット0が " 1 " のとき: INT ₀ 端子のレベル | 不定 | | × |
| 1 | P3 ₁ /INT ₁ ラッチビット | エッジ極性選択レジスタの ビット1が " 0 " のとき: INT ₁ 端子のレベルの反転 エッジ極性選択レジスタの ビット1が " 1 " のとき: INT ₁ 端子のレベル | 不定 | | × |
| 2 | P3 ₂ /CNTR ₀ ラッチビット | エッジ極性選択レジスタの ビット2が " 0 " のとき: CNTR ₀ 端子のレベルの反転 エッジ極性選択レジスタの ビット2が " 1 " のとき: CNTR ₀ 端子のレベル | 不定 | | × |
| 3 | P3 ₃ /CNTR ₁ ラッチビット | エッジ極性選択レジスタの ビット3が " 0 " のとき: CNTR ₁ 端子のレベルの反転 エッジ極性選択レジスタの ビット3が " 1 " のとき: CNTR ₁ 端子のレベル | 不定 | | × |
| 4-7 | 何も配置されていないビットです。 読み出し時は不定です。 | | 不定 | 不定 | × |

図3.1.6 入力ラッチレジスタの構成

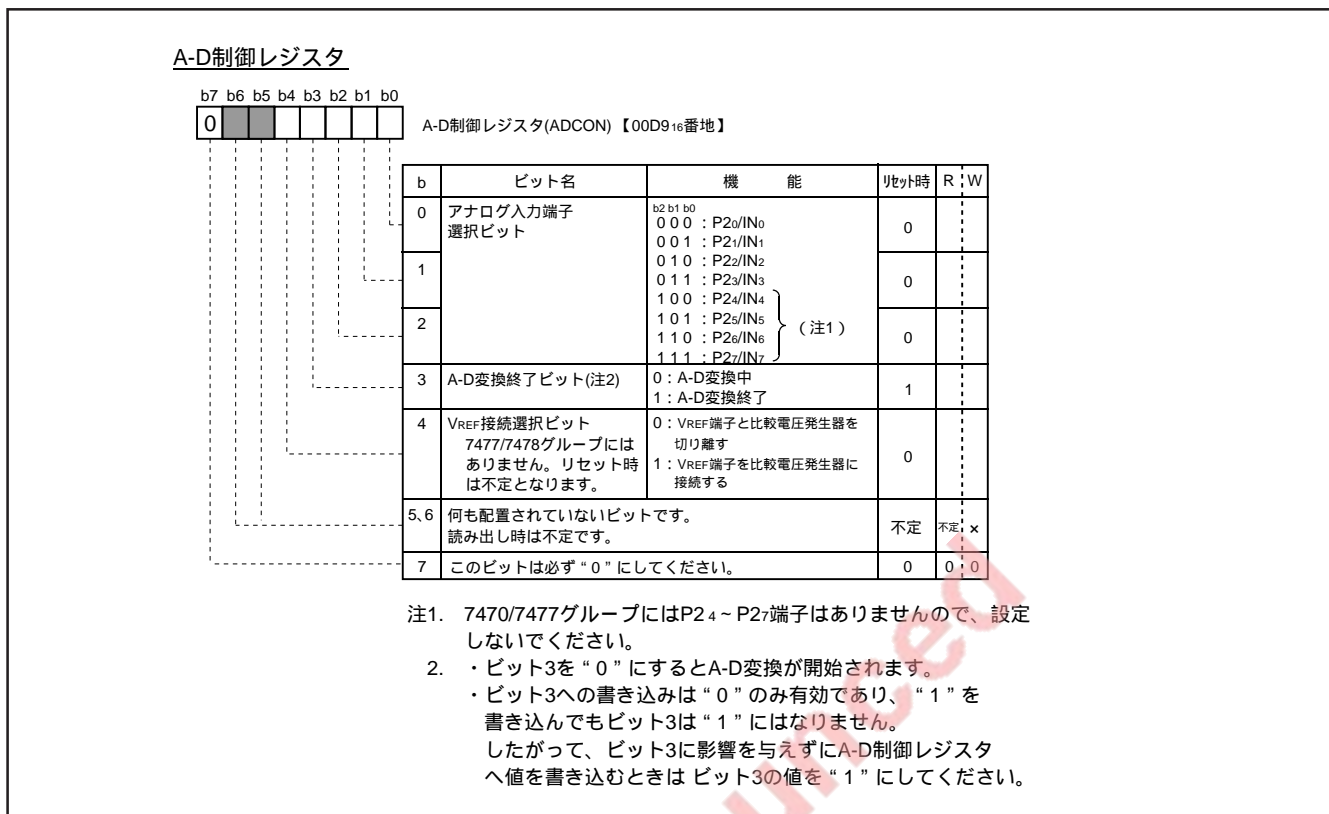


図3.1.7 A-D制御レジスタの構成

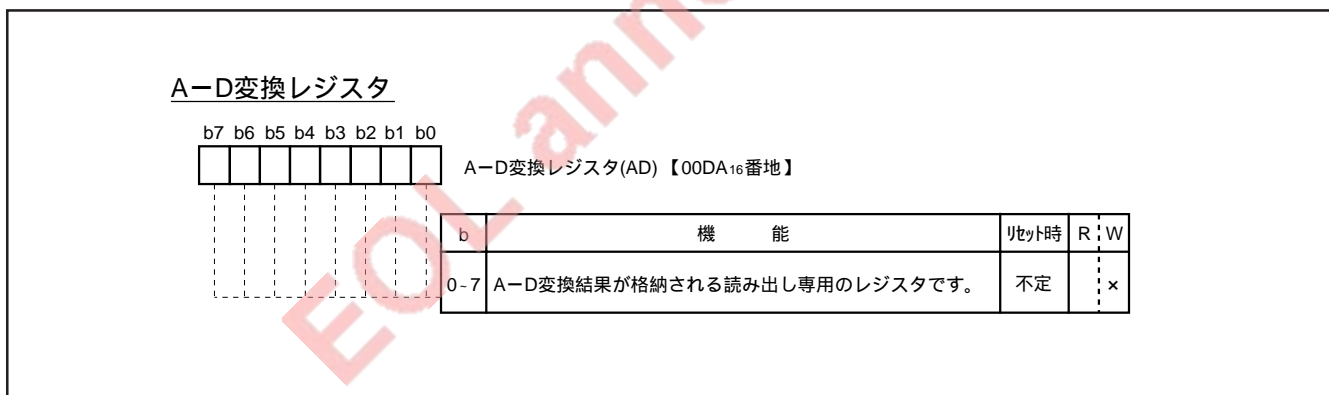
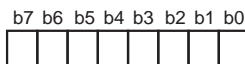


図3.1.8 A-D変換レジスタの構成

シリアルI/Oモードレジスタ (7470/7471グループ専用レジスタ)



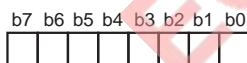
シリアルI/Oモードレジスタ(SM)【00DC₁₆番地】

| b | ビット名 | 機能 | リセット時 | R/W |
|------|---------------------------------------|---|-------|-----|
| 0, 1 | 内部クロック選択ビット | b_{100}^{b7} 00: $f(X_{IN}) / 8$ 又は $f(X_{CIN}) / 8$ 01: $f(X_{IN}) / 16$ 又は $f(X_{CIN}) / 16$ 10: $f(X_{IN}) / 32$ 又は $f(X_{CIN}) / 32$ 11: $f(X_{IN}) / 512$ 又は $f(X_{CIN}) / 512$ (注) | 0 | |
| 2 | 同期クロック選択ビット | 0: 外部クロック 1: 内部クロック | 0 | |
| 3 | シリアルI/Oポート選択ビット | 0: 通常ポート(P15、P16) 1: シリアルI/Oポート(SOUT、CLK) | 0 | |
| 4 | \overline{SRDY} 信号出力選択ビット | 0: 通常ポート(P17) 1: \overline{SRDY} 信号出力端子 | 0 | |
| 5 | \overline{SRDY} 信号選択ビット | 0: \overline{SRDY} 信号 1: SARDY信号 | 0 | |
| 6 | シリアルI/Oバイト指定モード選択ビット | 0: 通常モード 1: バイト指定モード | 0 | |
| 7 | P15/Sout, \overline{SRDY} 出力形式選択ビット | 0: CMOS出力 1: Nチャネルオープンドレイン出力 | 0 | |

注・システムクロックとして $f(X_{IN})$ を選択しているとき、内部クロックは $f(X_{IN})$ を分周したものになります。
 ・システムクロックとして $f(X_{CIN})$ を選択しているとき、内部クロックは $f(X_{CIN})$ を分周したものになります。
 ただし、7470グループでは時計用クロック発生回路を内蔵していないため $f(X_{CIN})$ は使用できません。

図3.1.9 シリアルI/Oモードレジスタの構成(7470/7471グループ)

シリアルI/Oレジスタ (7470/7471グループ専用レジスタ)



シリアルI/Oレジスタ(SIO)【00DD₁₆番地】

| b | 機能 | リセット時 | R/W |
|-----|---|-------|-----|
| 0-7 | 送信時：送信データとして“00 ₁₆ ”～“FF ₁₆ ”の値を設定できます。 送信時は最下位ビットから1ビットずつデータを送り出します。 受信時：受信時は最上位ビットから1ビットずつデータを受け取ります。 | 不定 | |

図3.1.10 シリアルI/Oレジスタの構成(7470/7471グループ)

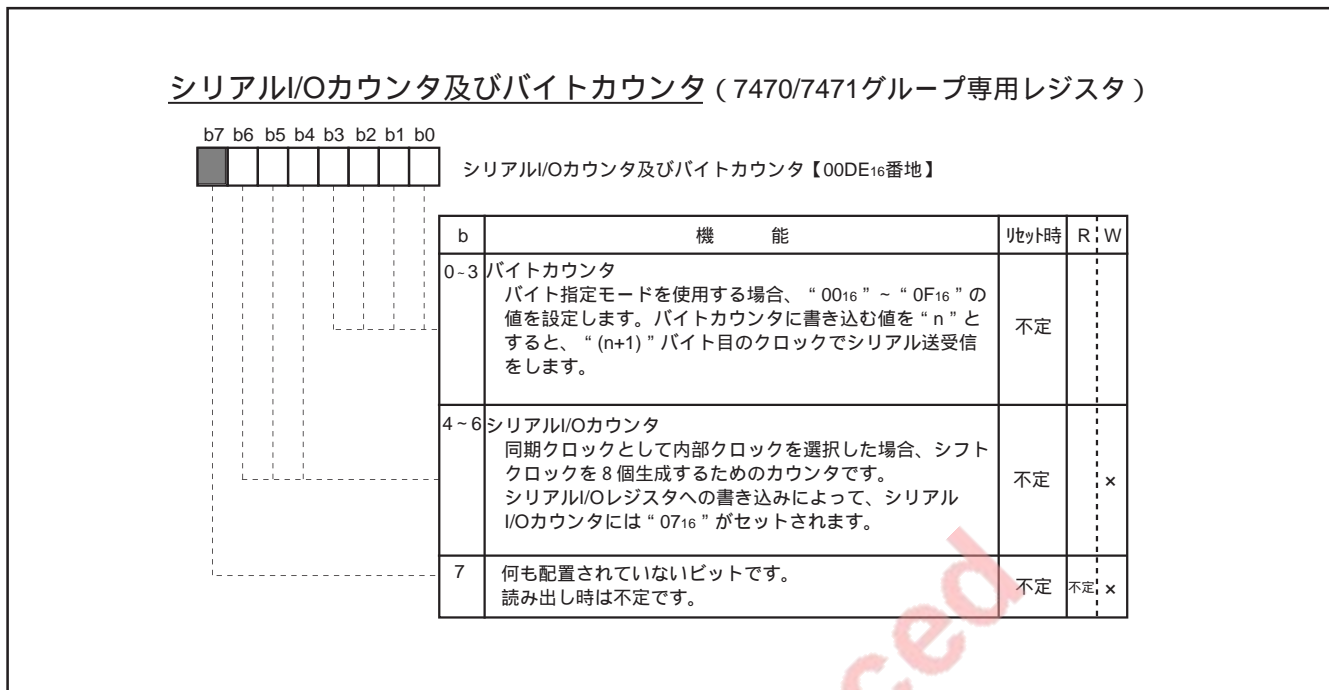


図3.1.11 シリアルI/Oカウンタ、バイトカウンタの構成(7470/7471グループ)

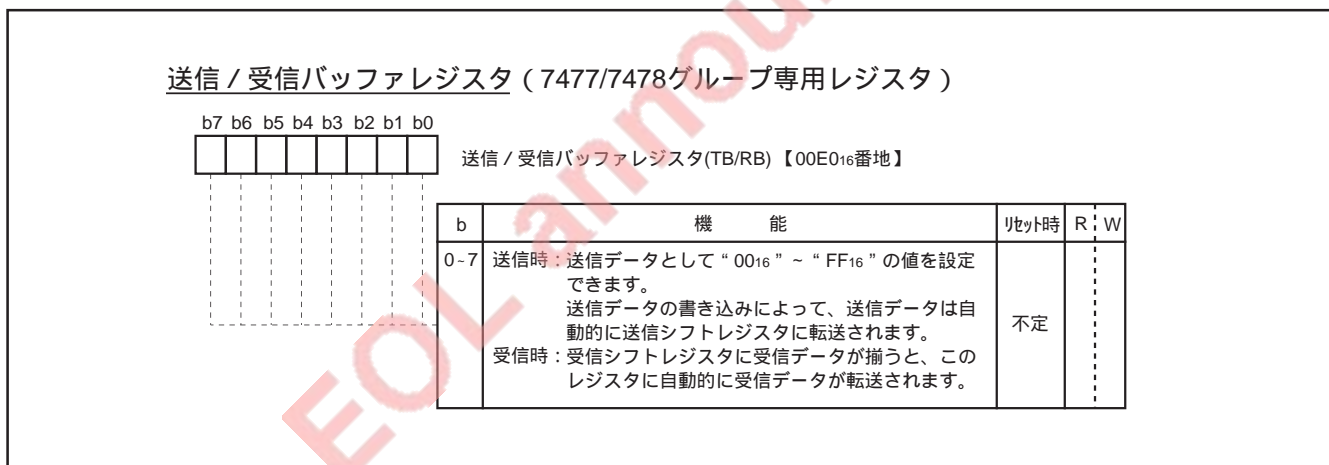


図3.1.12 送信/受信バッファレジスタの構成(7477/7478グループ)

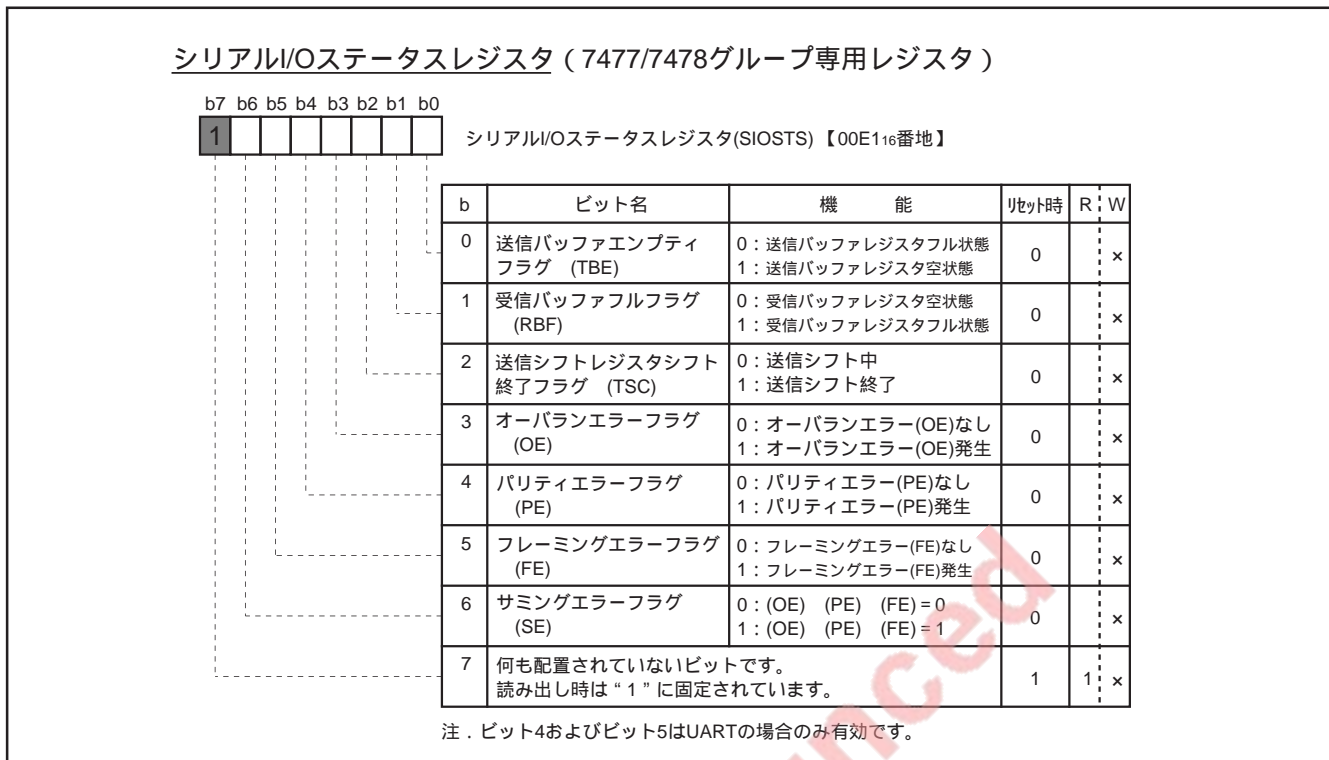
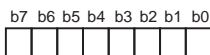


図3.1.13 シリアルI/Oステータスレジスタの構成(7477/7478グループ)

シリアルI/O制御レジスタ (7477/7478グループ専用レジスタ)



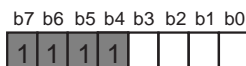
シリアルI/O制御レジスタ(SIOCON)【00E2₁₆番地】

| b | ビット名 | 機能 | ビット時 | R;W |
|---|--|---|------|-----|
| 0 | BRGカウントソース選択ビット (CSS) | 0: f(XIN)/4又はf(XCIN)/4 (注1) 1: f(XIN)/16又はf(XCIN)/16 (注1) | 0 | |
| 1 | シリアルI/O同期クロック選択ビット (SCS) | クロック同期形 0: BRG出力の4分周 1: 外部クロック入力 UART 0: BRG出力の16分周 1: 外部クロック入力の16分周 | 0 | |
| 2 | SRDY出力許可ビット(SRDY) クロック非同期選択時、このビットは無効 | 0: P17/SRDY端子は入出力ポートP17として動作 1: P17/SRDYは受信可能状態 信号出力端子SRDYとして動作 | 0 | |
| 3 | 送信割り込み要因選択ビット (TIC) | 0: 送信バッファレジスタが空になった時 1: 送信シフトレジスタのシフト動作終了時 | 0 | |
| 4 | 送信許可ビット (TE) | 0: 送信禁止 1: 送信許可 | 0 | |
| 5 | 受信許可ビット (RE) | 0: 受信禁止 1: 受信許可 | 0 | |
| 6 | シリアルI/Oモード選択ビット (SIOM) | 0: クロック非同期形(UART) 1: クロック同期形 | 0 | |
| 7 | シリアルI/O許可ビット (SIOE) | 0: シリアルI/O禁止(端子は入出力ポートP14~P17として動作) 1: シリアルI/O許可(端子はシリアルI/O入出力端子Rx/D~SRDYとして動作) (注2) | 0 | |

- 注1. ・システムクロックとしてf(XIN)を選択しているとき、内部クロックはf(XIN)を分周したものになります。
 ・システムクロックとしてf(XCIN)を選択しているとき、内部クロックはf(XCIN)を分周したものになります。
 ただし、7477グループでは時計用クロック発生回路を内蔵していないためf(XCIN)は使用できません。
2. ポートP14~P17はシリアルI/O許可ビットが“1”(許可状態)のときのみ、シリアルI/O端子として機能します。ただし、UART選択時、ポートP17は通常の入出力ポートとして使用可能です。またUART及び内部クロック選択時ポートP16は通常の入出力ポートとして使用可能です。

図3.1.14 シリアルI/O制御レジスタの構成(7477/7478グループ)

UART制御レジスタ (7477/7478グループ専用レジスタ)

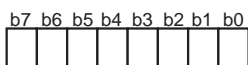


UART制御レジスタ(UARTCON)【00E3₁₆番地】

| b | ビット名 | 機能 | ビット時 | R;W |
|-----|-------------------------------------|----------------------------|------|-----|
| 0 | キャラクタ長選択ビット (CHAS) | 0: 8ビット長 1: 7ビット長 | 0 | |
| 1 | パリティ許可ビット (PARE) | 0: パリティ禁止 1: パリティ許可 | 0 | |
| 2 | パリティ選択ビット (PARS) | 0: 偶数パリティ 1: 奇数パリティ | 0 | |
| 3 | ストップビット長選択ビット (STPS) | 0: 1ストップビット 1: 2ストップビット | 0 | |
| 4-7 | 何も配置されていないビットです。読み出し時は“1”に固定されています。 | | 1 | 1;x |

図3.1.15 UART制御レジスタの構成(7477/7478グループ)

ポーレートジェネレータ (7477/7478グループ専用レジスタ)

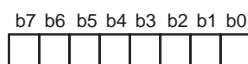


ポーレートジェネレータ (BRG) 【00E4₁₆番地】

| b | 機 能 | リセット時 | R | W |
|---|--|-------|---|---|
| 0 | シリアルI/Oのポーレート発生に用いられるシリアルI/O専用8ビットタイマです。同期クロックとしてBRG出力の4分周又は16分周を選択した場合のみ有効です。 | 不定 | — | — |
| 1 | | 不定 | — | — |
| 2 | | 不定 | — | — |
| 3 | | 不定 | — | — |
| 4 | | 不定 | — | — |
| 5 | | 不定 | — | — |
| 6 | | 不定 | — | — |
| 7 | | 不定 | — | — |

図3.1.16 ポーレートジェネレータ(7477/7478グループ)

タイマ1~4



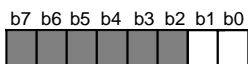
タイマ1(T1) 【00F0₁₆番地】
 タイマ2(T2) 【00F1₁₆番地】
 タイマ3(T3) 【00F2₁₆番地】
 タイマ4(T4) 【00F3₁₆番地】

| b | 機 能 | リセット時 | R | W |
|-----|---|-------|---|---|
| 0-7 | <ul style="list-style-type: none"> ・ 00₁₆ ~ FF₁₆の値を設定します。 ・ カウントソースが入力されるごとに、内容が1減算されます。 ・ 各タイマに書き込んだ内容は、カウンタに設定されます。 ・ 各タイマを読み出すと、カウント値が読み出されます。 | | — | — |

タイマ1、タイマ2：不定
 タイマ3：“FF₁₆”
 タイマ4：“07₁₆”

図3.1.17 タイマの構成

タイマFFレジスタ



タイマFFレジスタ(TF) 【00F7₁₆番地】

| b | ビット名 | 機 能 | リセット時 | R | W |
|-----|-----------------------------|------------------|-------|----|---|
| 0 | タイマ1分周フリップフロップ | 0：初期値0 1：初期値1 | 0 | — | — |
| 1 | タイマ4分周フリップフロップ | 0：初期値0 1：初期値1 | 0 | — | — |
| 2-7 | 何も配置されていないビットです。読み出し時は不定です。 | | 不定 | 不定 | × |

図3.1.18 タイマFFレジスタの構成

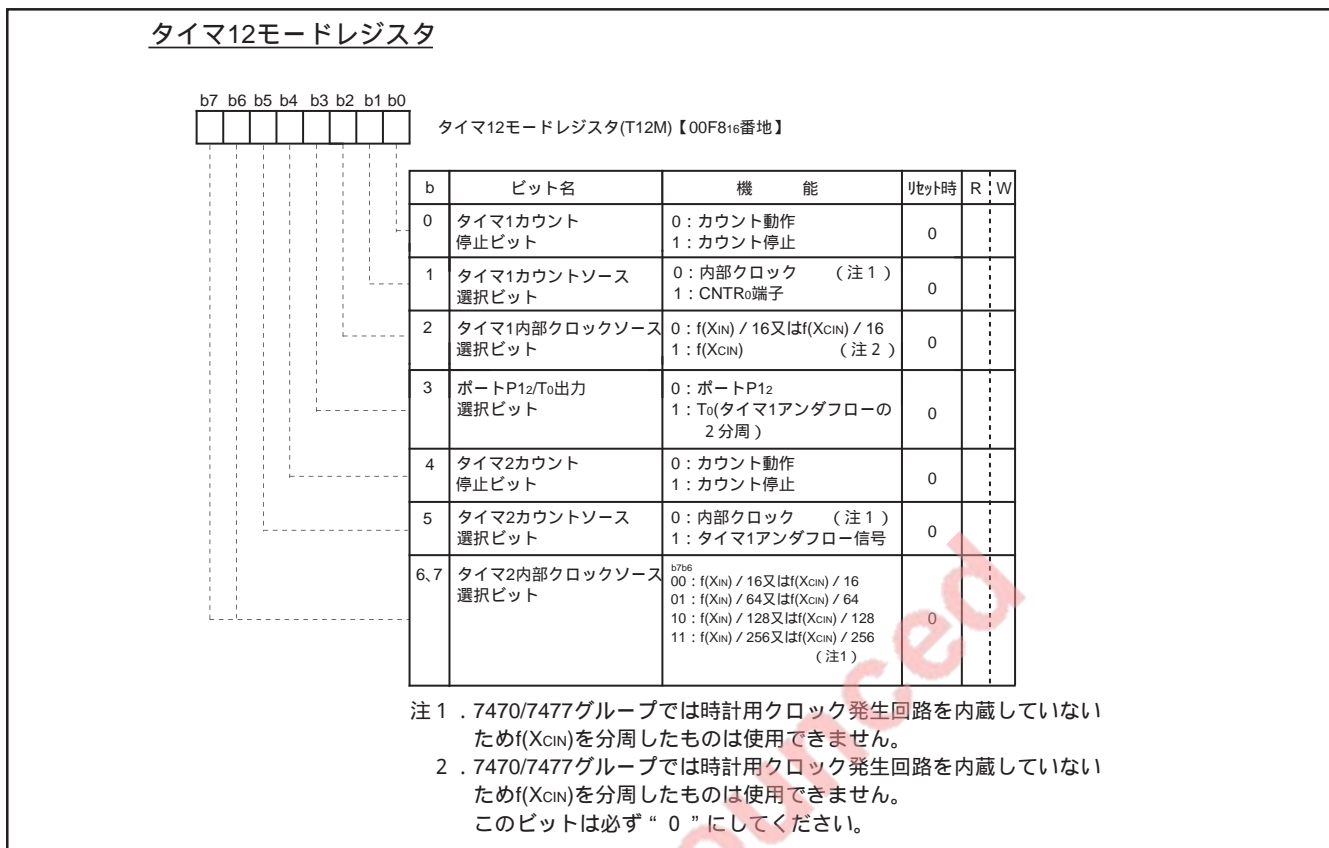
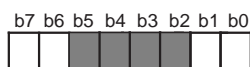


図3.1.19 タイマ12モードレジスタの構成



図3.1.20 タイマ34モードレジスタの構成

タイマモードレジスタ 2



タイマモードレジスタ2(TM2)【00FA₁₆番地】

| b | ビット名 | 機能 | セット時 | R/W |
|-----|-----------------------------|--------------------------------|------|------|
| 0 | タイマ1分周フリップフロップセット許可ビット | 0: セット禁止 1: セット許可 | 0 | — |
| 1 | タイマ4分周フリップフロップセット許可ビット | 0: セット禁止 1: セット許可 | 0 | — |
| 2-5 | 何も配置されていないビットです。読み出し時は不定です。 | | 不定 | 不定 x |
| 6 | タイマ3、タイマ4カウントアンダフロー信号選択ビット | 0: タイマ1アンダフロー 1: タイマ2アンダフロー | 0 | — |
| 7 | タイマ3、タイマ4機能選択ビット | 0: 通常モード 1: PWMモード | 0 | — |

図3.1.21 タイマモードレジスタ2の構成

CPUモードレジスタ



CPUモードレジスタ(CM)【00FB₁₆番地】

| b | ビット名 | 機能 | セット時 | R/W |
|-----|--|---|------|------|
| 0,1 | これらのビットは必ず“0”にしてください。 | | 0 | 0:0 |
| 2 | スタックページ選択ビット | 0: 0ページ 1: 1ページ (注1) | 0 | — |
| 3 | 何も配置されていないビットです。読み出し時は不定です。 | | 不定 | 不定 x |
| 4 | P5 ₀ 、P5 ₁ /XCIN、XCOUT 選択ビット | 0: P5 ₀ 、P5 ₁ 1: XCIN、XCOUT (注2) | 0 | — |
| 5 | XCOUT駆動能力選択ビット | 0: Lowパワー 1: Highパワー (注2) | 0 | — |
| 6 | メインクロック(XIN、XOUT)停止ビット | 0: 発振 1: 停止 (注2) | 0 | — |
| 7 | システムクロック選択ビット | 0: XIN-XOUT (通常モード) 1: XCIN-XCOUT(低速モード) (注2) | 0 | — |

- 注1. RAM容量が192バイト以下の品種ではこのビットは必ず“0”にしてください。
2. 7470/7471/7477/7478グループでは時計用クロック発生回路を内蔵していないため(XCIN)は使用できません。これらのビットは必ず“0”にしてください。

図3.1.22 CPUモードレジスタの構成

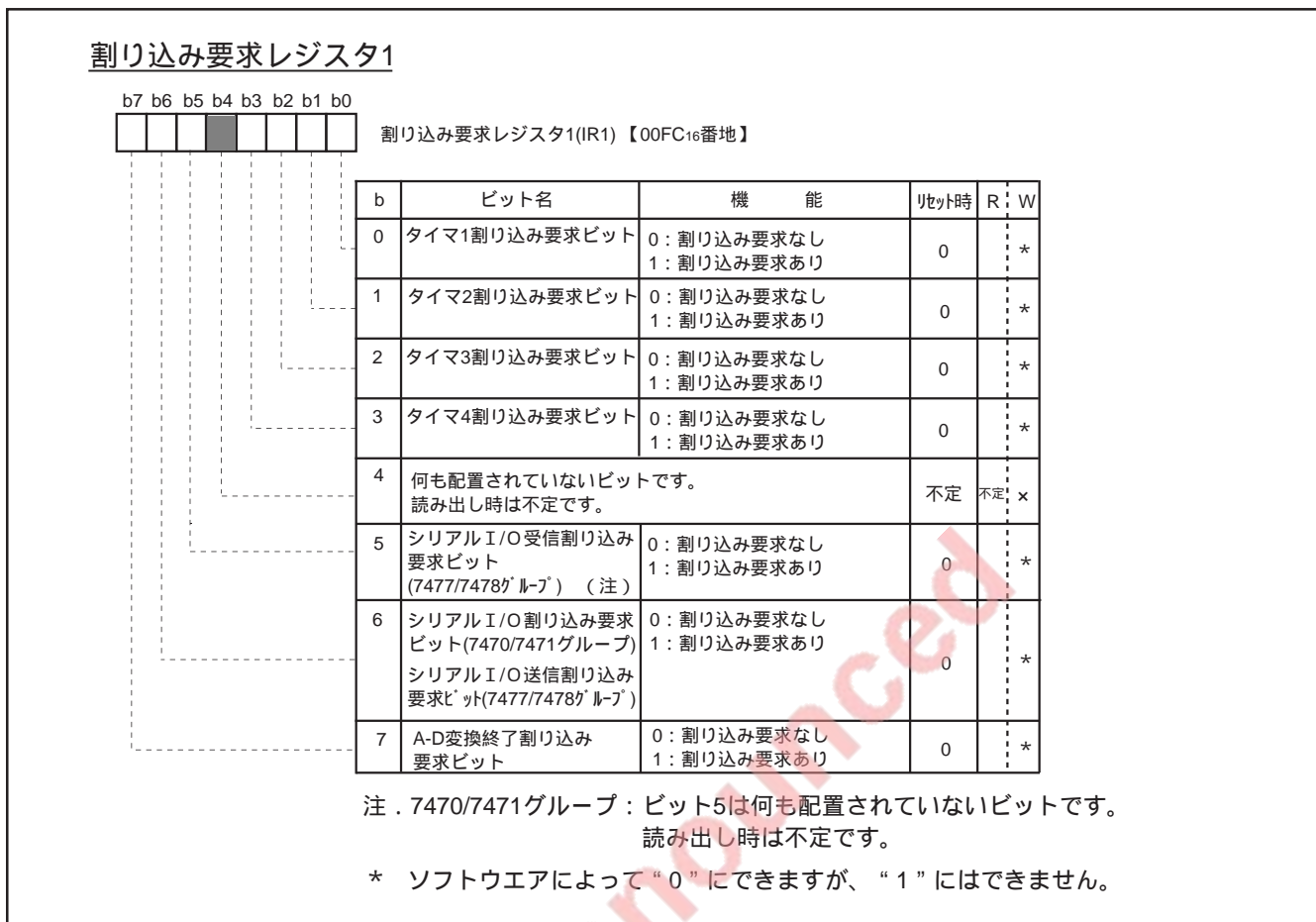


図3.1.23 割り込み要求レジスタ1の構成

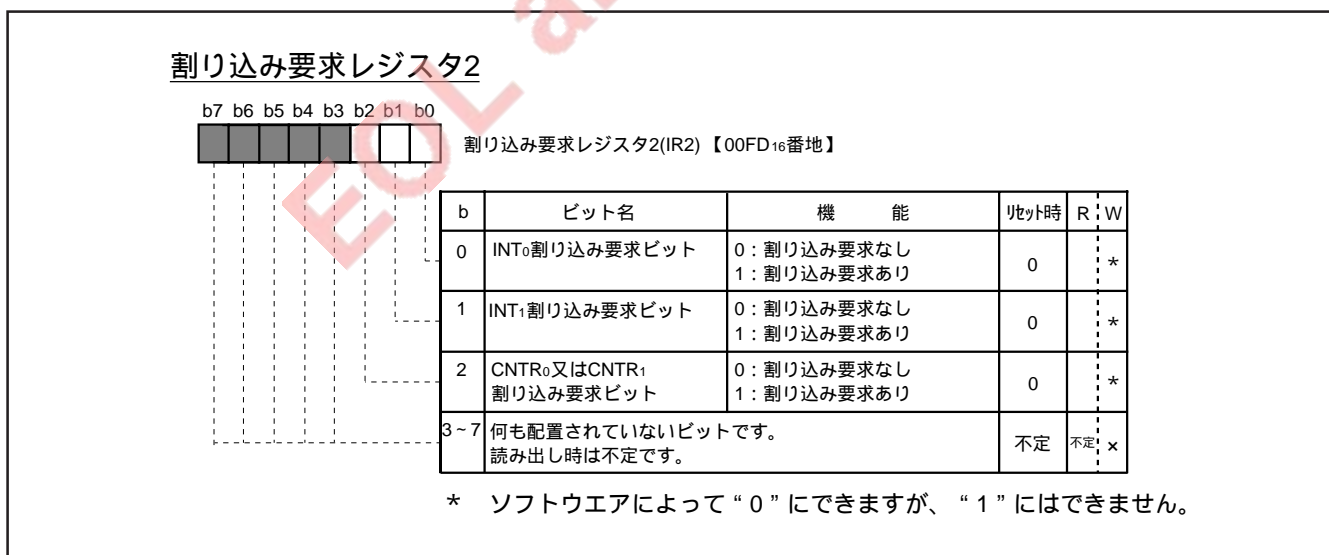


図3.1.24 割り込み要求レジスタ2の構成

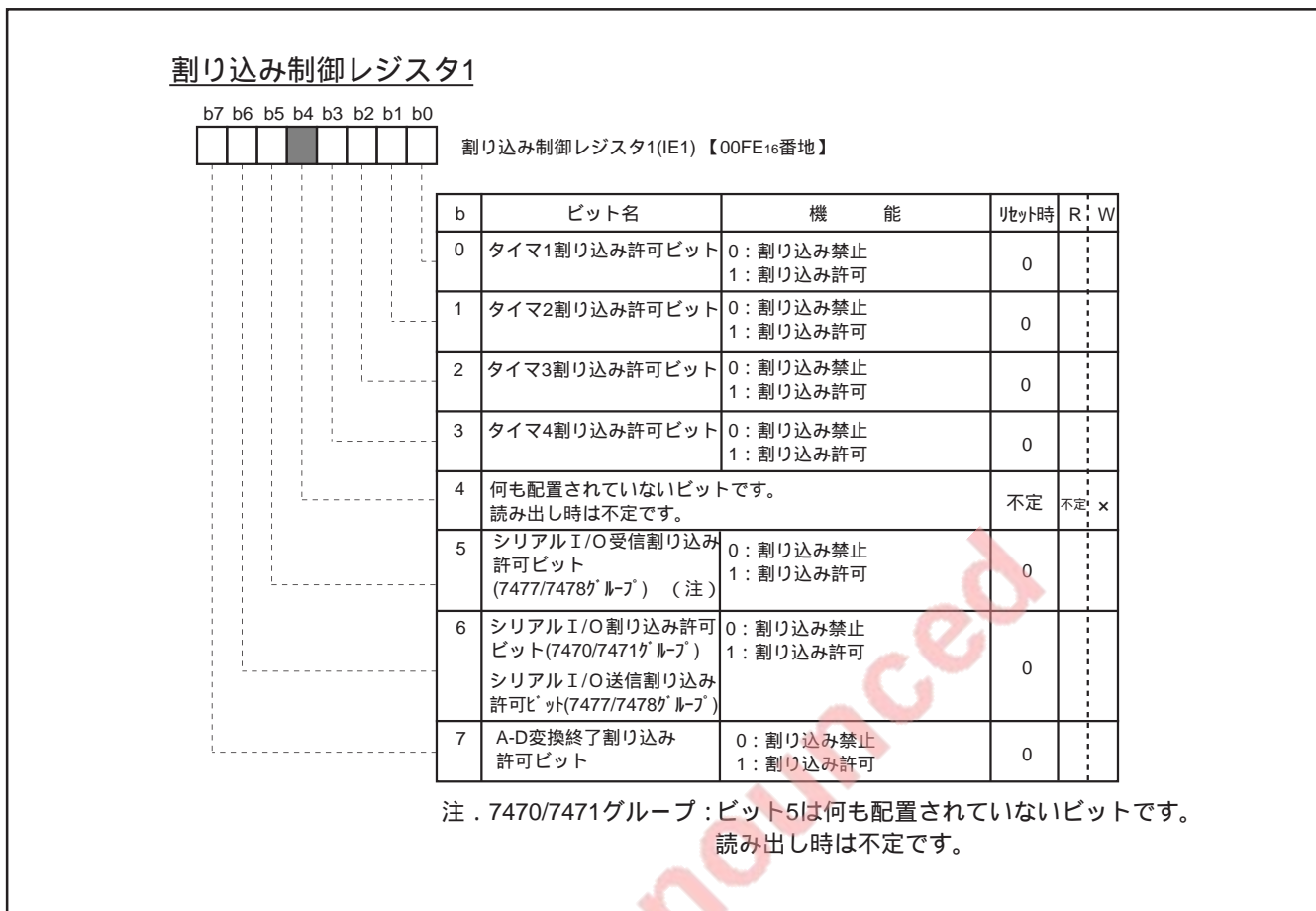


図3.1.25 割り込み制御レジスタ1の構成

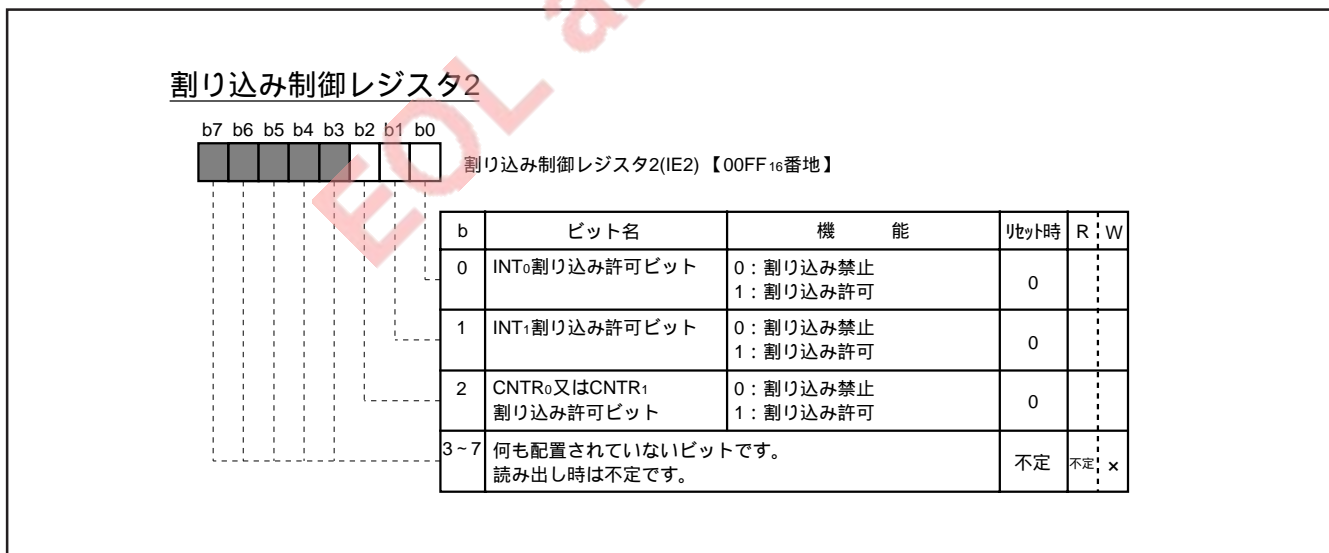


図3.1.26 割り込み制御レジスタ2の構成

3.2 マスク化確認書

GZZ-SH50-62A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37470M2-XXXSP
マスク化確認書

| | |
|----------|--|
| マスクROM番号 | |
|----------|--|

| | | |
|-------------|-----|------|
| 受 付 欄 | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類

| | | |
|---|---|---|
| 27C128 | 27C256 | 27C512 |
| アドレス 0000 ₁₆ 0010 ₁₆ 3000 ₁₆ 3FFF ₁₆ ROM(4K) | アドレス 0000 ₁₆ 0010 ₁₆ 7000 ₁₆ 7FFF ₁₆ ROM(4K) | アドレス 0000 ₁₆ 0010 ₁₆ F000 ₁₆ FFFF ₁₆ ROM(4K) |

(ご注意)
フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れしないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37470M2-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。
番地、データとも16進表記です。

| | |
|--------------------|------------------------|
| アドレス | |
| 0000 ₁₆ | ‘M’ = 4D ₁₆ |
| 0001 ₁₆ | ‘3’ = 33 ₁₆ |
| 0002 ₁₆ | ‘7’ = 37 ₁₆ |
| 0003 ₁₆ | ‘4’ = 34 ₁₆ |
| 0004 ₁₆ | ‘7’ = 37 ₁₆ |
| 0005 ₁₆ | ‘0’ = 30 ₁₆ |
| 0006 ₁₆ | ‘M’ = 4D ₁₆ |
| 0007 ₁₆ | ‘2’ = 32 ₁₆ |

| | |
|--------------------|------------------------|
| アドレス | |
| 0008 ₁₆ | ‘-’ = 2D ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-62A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37470M2-XXXSP
マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|----------------------------------|----------------------------------|----------------------------------|
| ソースプログラム への記述 | *= \$ C000 .BYTE ' M37470M2-' | *= \$ 8000 .BYTE ' M37470M2-' | *= \$ 0000 .BYTE ' M37470M2-' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード

(16進表示)

マスクファイル名

.MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・F000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37470M2-XXXSPの場合は32P4Bのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-64A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37470M4-XXXSP
マスク化確認書

| | |
|----------|--|
| マスクROM番号 | |
|----------|--|

| | |
|-------------|----------|
| 受 付 欄 | 年 月 日 |
| | 課長印 担当者印 |
| | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類

| 27C128 | 27C256 | 27C512 |
|--|--|--|
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>2000₁₆</p> <p>3FFF₁₆</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>6000₁₆</p> <p>7FFF₁₆</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>E000₁₆</p> <p>FFFF₁₆</p> <p>ROM(8K)</p> |

(ご注意)

フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れしないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37470M4-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス

| | |
|--------------------|--------------------------|
| 0000 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0001 ₁₆ | ’ 3 ’ = 33 ₁₆ |
| 0002 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0003 ₁₆ | ’ 4 ’ = 34 ₁₆ |
| 0004 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0005 ₁₆ | ’ 0 ’ = 30 ₁₆ |
| 0006 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0007 ₁₆ | ’ 4 ’ = 34 ₁₆ |

アドレス

| | |
|--------------------|--------------------------|
| 0008 ₁₆ | ’ - ’ = 2D ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-64A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37470M4-XXXSP
マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ C000 .BYTE ' M37470M4- ' | *= \$ 8000 .BYTE ' M37470M4- ' | *= \$ 0000 .BYTE ' M37470M4- ' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード

(16進表示)

マスクファイル名

.MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・E000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37470M4-XXXSPの場合は32P4Bのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-65A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37470M8-XXXSP
マスク化確認書

| | |
|----------|--|
| マスクROM番号 | |
|----------|--|

| | |
|-------------|----------|
| 受 付 欄 | 年 月 日 |
| | 課長印 担当者印 |
| | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

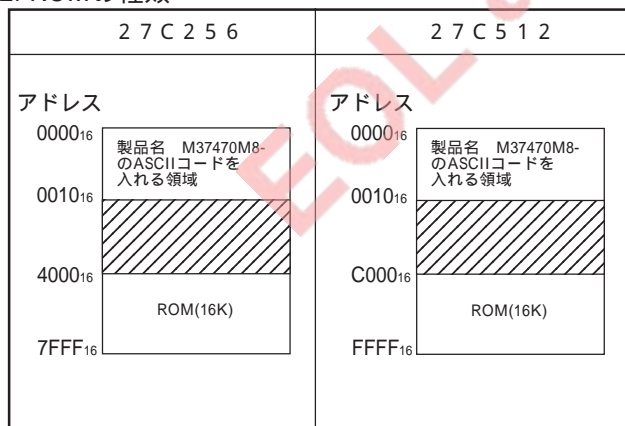
EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37470M8-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス

| | |
|--------------------|--------------------------|
| 0000 ₁₆ | ' M ' = 4D ₁₆ |
| 0001 ₁₆ | ' 3 ' = 33 ₁₆ |
| 0002 ₁₆ | ' 7 ' = 37 ₁₆ |
| 0003 ₁₆ | ' 4 ' = 34 ₁₆ |
| 0004 ₁₆ | ' 7 ' = 37 ₁₆ |
| 0005 ₁₆ | ' 0 ' = 30 ₁₆ |
| 0006 ₁₆ | ' M ' = 4D ₁₆ |
| 0007 ₁₆ | ' 8 ' = 38 ₁₆ |

アドレス

| | |
|--------------------|--------------------------|
| 0008 ₁₆ | ' - ' = 2D ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-65A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37470M8-XXXSP
マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|---------------------------------|---------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37470M8- | *= \$ 0000 .BYTE ' M37470M8- |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード

(16進表示)

マスクファイル名

.MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37470M8-XXXSPの場合は32P4Bのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-73A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37471M2-XXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37471M2-XXXSP M37471M2-XXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類

| 27C128 | 27C256 | 27C512 |
|--|--|--|
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>3000₁₆</p> <p>3FFF₁₆</p> <p>ROM(4K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>7000₁₆</p> <p>7FFF₁₆</p> <p>ROM(4K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>F000₁₆</p> <p>FFFF₁₆</p> <p>ROM(4K)</p> |

(ご注意)
フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37471M2-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|--------------------------|--------------------|--------------------------|
| 0000 ₁₆ | ' M ' = 4D ₁₆ | 0008 ₁₆ | ' - ' = 2D ₁₆ |
| 0001 ₁₆ | ' 3 ' = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ' 7 ' = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ' 4 ' = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ' 7 ' = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ' 1 ' = 31 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ' M ' = 4D ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ' 2 ' = 32 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-73A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37471M2-XXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ C000 .BYTE ' M37471M2- ' | *= \$ 8000 .BYTE ' M37471M2- ' | *= \$ 0000 .BYTE ' M37471M2- ' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37471M2-XXXSP M37471M2-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・F000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37471M2-XXXSPの場合は42P4Bの、M37471M2-XXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-76A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37471M4-XXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37471M4-XXXSP M37471M4-XXXFP

EPROMの全領域のチェックサムコード

| | | | |
|--|--|--|--|
| | | | |
|--|--|--|--|

 (16進表示)

EPROMの種類

| | | |
|--|--|--|
| 27C128 | 27C256 | 27C512 |
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>2000₁₆</p> <p>3FFF₁₆</p> <p>製品名 M37471M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>6000₁₆</p> <p>7FFF₁₆</p> <p>製品名 M37471M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>E000₁₆</p> <p>FFFF₁₆</p> <p>製品名 M37471M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> |

(ご注意)
フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆～000F₁₆番地は製品形名のデータ格納領域です。

‘M37471M4-’のASCIIコードを右記に示しますので、0000₁₆～000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス

| | |
|--------------------|--------------------------|
| 0000 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0001 ₁₆ | ’ 3 ’ = 33 ₁₆ |
| 0002 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0003 ₁₆ | ’ 4 ’ = 34 ₁₆ |
| 0004 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0005 ₁₆ | ’ 1 ’ = 31 ₁₆ |
| 0006 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0007 ₁₆ | ’ 4 ’ = 34 ₁₆ |

アドレス

| | |
|--------------------|--------------------------|
| 0008 ₁₆ | ’ - ’ = 2D ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-76A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37471M4-XXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ C000 .BYTE ' M37471M4- ' | *= \$ 8000 .BYTE ' M37471M4- ' | *= \$ 0000 .BYTE ' M37471M4- ' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37471M4-XXXSP M37471M4-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・E000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37471M4-XXXSPの場合は42P4Bの、M37471M4-XXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-78A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37471M8-XXXSP/FP
マスク化確認書

| | |
|----------|--|
| マスクROM番号 | |
|----------|--|

| | |
|-------------|----------|
| 受 付 欄 | 年 月 日 |
| | 課長印 担当者印 |
| | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

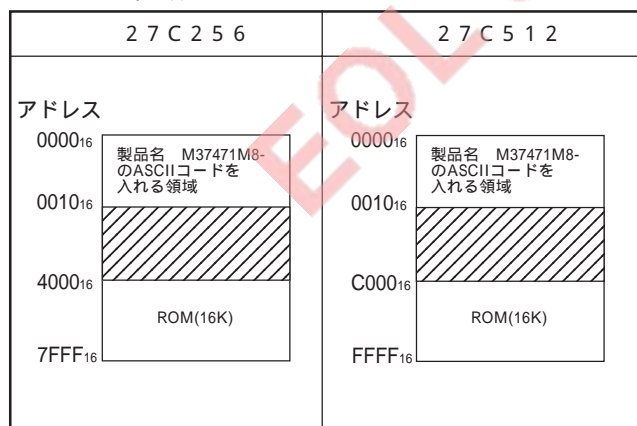
マイクロコンピュータ形名 M37471M8-XXXSP M37471M8-XXXFP

EPROMの全領域のチェックサムコード

| | | | |
|--|--|--|--|
| | | | |
|--|--|--|--|

 (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37471M8-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|--------------------------|--------------------|--------------------------|
| 0000 ₁₆ | ‘ M ’ = 4D ₁₆ | 0008 ₁₆ | ‘ - ’ = 2D ₁₆ |
| 0001 ₁₆ | ‘ 3 ’ = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ‘ 7 ’ = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ‘ 4 ’ = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ‘ 7 ’ = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ‘ 1 ’ = 31 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ‘ M ’ = 4D ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ‘ 8 ’ = 38 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-78A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37471M8-XXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|---------------------------------|---------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37471M8- | *= \$ 0000 .BYTE ' M37471M8- |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37471M8-XXXSP M37471M8-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37471M8-XXXSPの場合は42P4Bの、M37471M8-XXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-86A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37477M4-XXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37477M4-XXXSP M37477M4-XXXFP

EPROMの全領域のチェックサムコード

| | | | |
|--|--|--|--|
| | | | |
|--|--|--|--|

 (16進表示)

EPROMの種類

| 27C128 | 27C256 | 27C512 |
|--|--|--|
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>2000₁₆</p> <p>3FFF₁₆</p> <p>製品名 M37477M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>6000₁₆</p> <p>7FFF₁₆</p> <p>製品名 M37477M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>E000₁₆</p> <p>FFFF₁₆</p> <p>製品名 M37477M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> |

(ご注意)

フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37477M4-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス

| | |
|--------------------|--------------------------|
| 0000 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0001 ₁₆ | ’ 3 ’ = 33 ₁₆ |
| 0002 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0003 ₁₆ | ’ 4 ’ = 34 ₁₆ |
| 0004 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0005 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0006 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0007 ₁₆ | ’ 4 ’ = 34 ₁₆ |

アドレス

| | |
|--------------------|--------------------------|
| 0008 ₁₆ | ’ - ’ = 2D ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-86A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37477M4-XXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ C000 .BYTE ' M37477M4- ' | *= \$ 8000 .BYTE ' M37477M4- ' | *= \$ 0000 .BYTE ' M37477M4- ' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37477M4-XXXSP M37477M4-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・E000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37477M4-XXXSPの場合は32P4Bの、M37477M4-XXXFPの場合は32P2W-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-87A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37477M8-XXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

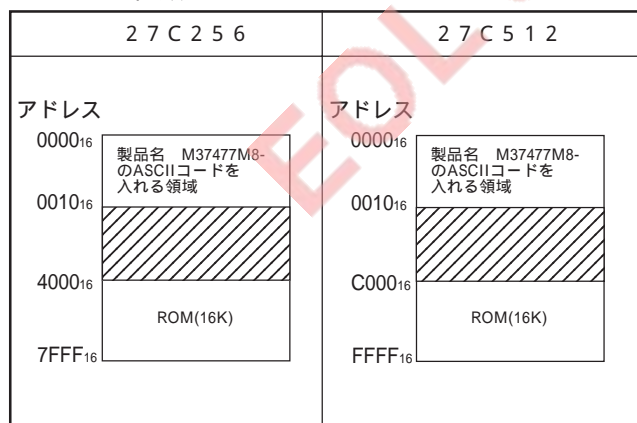
マイクロコンピュータ形名 M37477M8-XXXSP M37477M8-XXXFP

EPROMの全領域のチェックサムコード

| | | | |
|--|--|--|--|
| | | | |
|--|--|--|--|

 (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37477M8-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|---|--------------------------|--------------------------|--------------------|--------------------------|--------------------|--------------------------|--------------------|--------------------------|--------------------|--------------------------|--------------------|--------------------------|--------------------|--------------------------|--------------------|--------------------------|---|--------------------|--------------------------|--------------------|------------------|--------------------|------------------|--------------------|------------------|--------------------|------------------|--------------------|------------------|--------------------|------------------|--------------------|------------------|
| <p>アドレス</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="text-align: right;">0000₁₆</td><td>‘ M ’ = 4D₁₆</td></tr> <tr><td style="text-align: right;">0001₁₆</td><td>‘ 3 ’ = 33₁₆</td></tr> <tr><td style="text-align: right;">0002₁₆</td><td>‘ 7 ’ = 37₁₆</td></tr> <tr><td style="text-align: right;">0003₁₆</td><td>‘ 4 ’ = 34₁₆</td></tr> <tr><td style="text-align: right;">0004₁₆</td><td>‘ 7 ’ = 37₁₆</td></tr> <tr><td style="text-align: right;">0005₁₆</td><td>‘ 7 ’ = 37₁₆</td></tr> <tr><td style="text-align: right;">0006₁₆</td><td>‘ M ’ = 4D₁₆</td></tr> <tr><td style="text-align: right;">0007₁₆</td><td>‘ 8 ’ = 38₁₆</td></tr> </table> | 0000 ₁₆ | ‘ M ’ = 4D ₁₆ | 0001 ₁₆ | ‘ 3 ’ = 33 ₁₆ | 0002 ₁₆ | ‘ 7 ’ = 37 ₁₆ | 0003 ₁₆ | ‘ 4 ’ = 34 ₁₆ | 0004 ₁₆ | ‘ 7 ’ = 37 ₁₆ | 0005 ₁₆ | ‘ 7 ’ = 37 ₁₆ | 0006 ₁₆ | ‘ M ’ = 4D ₁₆ | 0007 ₁₆ | ‘ 8 ’ = 38 ₁₆ | <p>アドレス</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td style="text-align: right;">0008₁₆</td><td>‘ - ’ = 2D₁₆</td></tr> <tr><td style="text-align: right;">0009₁₆</td><td>FF₁₆</td></tr> <tr><td style="text-align: right;">000A₁₆</td><td>FF₁₆</td></tr> <tr><td style="text-align: right;">000B₁₆</td><td>FF₁₆</td></tr> <tr><td style="text-align: right;">000C₁₆</td><td>FF₁₆</td></tr> <tr><td style="text-align: right;">000D₁₆</td><td>FF₁₆</td></tr> <tr><td style="text-align: right;">000E₁₆</td><td>FF₁₆</td></tr> <tr><td style="text-align: right;">000F₁₆</td><td>FF₁₆</td></tr> </table> | 0008 ₁₆ | ‘ - ’ = 2D ₁₆ | 0009 ₁₆ | FF ₁₆ | 000A ₁₆ | FF ₁₆ | 000B ₁₆ | FF ₁₆ | 000C ₁₆ | FF ₁₆ | 000D ₁₆ | FF ₁₆ | 000E ₁₆ | FF ₁₆ | 000F ₁₆ | FF ₁₆ |
| 0000 ₁₆ | ‘ M ’ = 4D ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0001 ₁₆ | ‘ 3 ’ = 33 ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0002 ₁₆ | ‘ 7 ’ = 37 ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0003 ₁₆ | ‘ 4 ’ = 34 ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0004 ₁₆ | ‘ 7 ’ = 37 ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0005 ₁₆ | ‘ 7 ’ = 37 ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0006 ₁₆ | ‘ M ’ = 4D ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0007 ₁₆ | ‘ 8 ’ = 38 ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0008 ₁₆ | ‘ - ’ = 2D ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 0009 ₁₆ | FF ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 000A ₁₆ | FF ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 000B ₁₆ | FF ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 000C ₁₆ | FF ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 000D ₁₆ | FF ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 000E ₁₆ | FF ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 000F ₁₆ | FF ₁₆ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

GZZ-SH50-87A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37477M8-XXXSP/FP
マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|---------------------------------|---------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37477M8- | *= \$ 0000 .BYTE ' M37477M8- |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37477M8-XXXSP M37477M8-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37477M8-XXXSPの場合は32P4Bの、M37477M8-XXXFPの場合は32P2W-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-88A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37477M2TXXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37477M2TXXXSP M37477M2TXXXFP

EPROMの全領域のチェックサムコード

| | | | |
|--|--|--|--|
| | | | |
|--|--|--|--|

 (16進表示)

EPROMの種類

| | | |
|---|---|---|
| 2 7 C 1 2 8 | 2 7 C 2 5 6 | 2 7 C 5 1 2 |
| アドレス 0000 ₁₆ 0010 ₁₆ 3000 ₁₆ 3FFF ₁₆ ROM(4K) | アドレス 0000 ₁₆ 0010 ₁₆ 7000 ₁₆ 7FFF ₁₆ ROM(4K) | アドレス 0000 ₁₆ 0010 ₁₆ F000 ₁₆ FFFF ₁₆ ROM(4K) |

(ご注意)

フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆～000F₁₆番地は製品形名のデータ格納領域です。

‘M37477M2T’のASCIIコードを右記に示しますので、0000₁₆～000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| | |
|--------------------|--------------------------|
| アドレス | |
| 0000 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0001 ₁₆ | ’ 3 ’ = 33 ₁₆ |
| 0002 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0003 ₁₆ | ’ 4 ’ = 34 ₁₆ |
| 0004 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0005 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0006 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0007 ₁₆ | ’ 2 ’ = 32 ₁₆ |

| | |
|--------------------|--------------------------|
| アドレス | |
| 0008 ₁₆ | ’ T ’ = 54 ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-88A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37477M2TXXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|--------------------------------|--------------------------------|--------------------------------|
| ソースプログラム への記述 | *= \$C000 .BYTE 'M37477M2T' | *= \$8000 .BYTE 'M37477M2T' | *= \$0000 .BYTE 'M37477M2T' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37477M2TXXXSP M37477M2TXXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・F000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37477M2TXXXSPの場合は32P4Bの、M37477M2TXXXFPの場合は32P2W-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-89A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37477M4TXXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37477M4TXXXSP M37477M4TXXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類

| 27C128 | 27C256 | 27C512 |
|--|--|--|
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>2000₁₆</p> <p>3FFF₁₆</p> <p>製品名 M37477M4T のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>6000₁₆</p> <p>7FFF₁₆</p> <p>製品名 M37477M4T のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>E000₁₆</p> <p>FFFF₁₆</p> <p>製品名 M37477M4T のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> |

(ご注意)

フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37477M4T’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | |
|--------------------|------------------------|
| 0000 ₁₆ | ‘M’ = 4D ₁₆ |
| 0001 ₁₆ | ‘3’ = 33 ₁₆ |
| 0002 ₁₆ | ‘7’ = 37 ₁₆ |
| 0003 ₁₆ | ‘4’ = 34 ₁₆ |
| 0004 ₁₆ | ‘7’ = 37 ₁₆ |
| 0005 ₁₆ | ‘7’ = 37 ₁₆ |
| 0006 ₁₆ | ‘M’ = 4D ₁₆ |
| 0007 ₁₆ | ‘4’ = 34 ₁₆ |

| アドレス | |
|--------------------|------------------------|
| 0008 ₁₆ | ‘T’ = 54 ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-89A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37477M4TXXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|--------------------------------|--------------------------------|--------------------------------|
| ソースプログラム への記述 | *= \$C000 .BYTE 'M37477M4T' | *= \$8000 .BYTE 'M37477M4T' | *= \$0000 .BYTE 'M37477M4T' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37477M4TXXXSP M37477M4TXXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・E000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37477M4TXXXSPの場合は32P4Bの、M37477M4TXXXFPの場合は32P2W-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-90A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37477M8TXXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

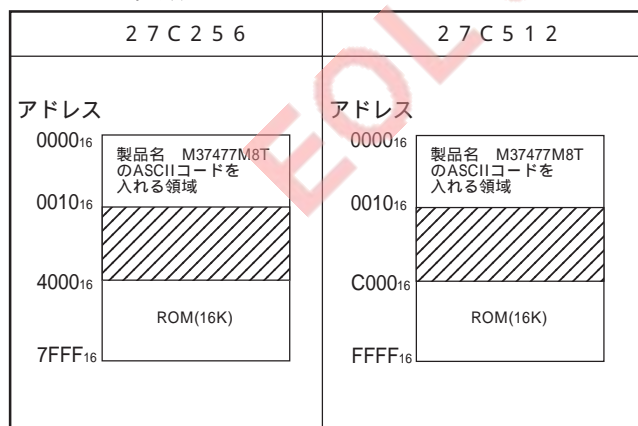
EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37477M8TXXXSP M37477M8TXXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37477M8T’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|--------------------------|--------------------|--------------------------|
| 0000 ₁₆ | ' M ' = 4D ₁₆ | 0008 ₁₆ | ' T ' = 54 ₁₆ |
| 0001 ₁₆ | ' 3 ' = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ' 7 ' = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ' 4 ' = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ' 7 ' = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ' 7 ' = 37 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ' M ' = 4D ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ' 8 ' = 38 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-90A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37477M8TXXXSP/FP
マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆ ~ 000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37477M8T ' | *= \$ 0000 .BYTE ' M37477M8T ' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37477M8TXXXSP M37477M8TXXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地 ~ FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37477M8TXXXSPの場合は32P4Bの、M37477M8TXXXFPの場合は32P2W-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-97A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37478M4-XXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37478M4-XXXSP M37478M4-XXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類

| 27C128 | 27C256 | 27C512 |
|--|--|--|
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>2000₁₆</p> <p>3FFF₁₆</p> <p>製品名 M37478M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>6000₁₆</p> <p>7FFF₁₆</p> <p>製品名 M37478M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>E000₁₆</p> <p>FFFF₁₆</p> <p>製品名 M37478M4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> |

(ご注意)
フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37478M4-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|--------------------------|--------------------|--------------------------|
| 0000 ₁₆ | ' M ' = 4D ₁₆ | 0008 ₁₆ | ' - ' = 2D ₁₆ |
| 0001 ₁₆ | ' 3 ' = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ' 7 ' = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ' 4 ' = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ' 7 ' = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ' 8 ' = 38 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ' M ' = 4D ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ' 4 ' = 34 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-97A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37478M4-XXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆ ~ 000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ C000 .BYTE ' M37478M4- ' | *= \$ 8000 .BYTE ' M37478M4- ' | *= \$ 0000 .BYTE ' M37478M4- ' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37478M4-XXXSP M37478M4-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・E000₁₆番地 ~ FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37478M4-XXXSPの場合は42P4Bの、M37478M4-XXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-98A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37478M8-XXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

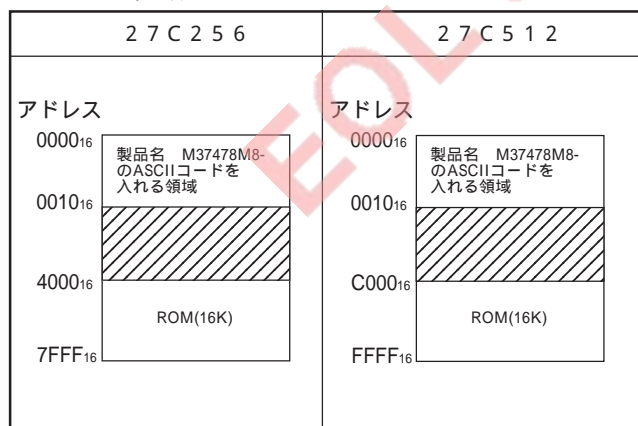
EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37478M8-XXXSP M37478M8-XXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆～000F₁₆番地は製品形名のデータ格納領域です。

‘M37478M8-’のASCIIコードを右記に示しますので、0000₁₆～000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|--------------------------|--------------------|--------------------------|
| 0000 ₁₆ | ' M ' = 4D ₁₆ | 0008 ₁₆ | ' - ' = 2D ₁₆ |
| 0001 ₁₆ | ' 3 ' = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ' 7 ' = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ' 4 ' = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ' 7 ' = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ' 8 ' = 38 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ' M ' = 4D ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ' 8 ' = 38 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-98A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37478M8-XXXSP/FP
マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|---------------------------------|---------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37478M8- | *= \$ 0000 .BYTE ' M37478M8- |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37478M8-XXXSP M37478M8-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37478M8-XXXSPの場合は42P4Bの、M37478M8-XXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-99A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37478M2TXXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37478M2TXXXSP M37478M2TXXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類

| 27C128 | 27C256 | 27C512 |
|--|--|--|
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>3000₁₆</p> <p>3FFF₁₆</p> <p>製品名 M37478M2T のASCIIコードを 入れる領域</p> <p>ROM(4K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>7000₁₆</p> <p>7FFF₁₆</p> <p>製品名 M37478M2T のASCIIコードを 入れる領域</p> <p>ROM(4K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>F000₁₆</p> <p>FFFF₁₆</p> <p>製品名 M37478M2T のASCIIコードを 入れる領域</p> <p>ROM(4K)</p> |

(ご注意)
フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37478M2T’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|--------------------------|--------------------|--------------------------|
| 0000 ₁₆ | ' M ' = 4D ₁₆ | 0008 ₁₆ | ' T ' = 54 ₁₆ |
| 0001 ₁₆ | ' 3 ' = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ' 7 ' = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ' 4 ' = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ' 7 ' = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ' 8 ' = 38 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ' M ' = 4D ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ' 2 ' = 32 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-99A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37478M2TXXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|--------------------------------|--------------------------------|--------------------------------|
| ソースプログラム への記述 | *= \$C000 .BYTE 'M37478M2T' | *= \$8000 .BYTE 'M37478M2T' | *= \$0000 .BYTE 'M37478M2T' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37478M2TXXXSP M37478M2TXXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・F000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37478M2TXXXSPの場合は42P4Bの、M37478M2TXXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH51-00A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37478M4TXXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37478M4TXXXSP M37478M4TXXXFP

EPROMの全領域のチェックサムコード

| | | | |
|--|--|--|--|
| | | | |
|--|--|--|--|

 (16進表示)

EPROMの種類

| 27C128 | 27C256 | 27C512 |
|--|--|--|
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>2000₁₆</p> <p>3FFF₁₆</p> <p>製品名 M37478M4T のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>6000₁₆</p> <p>7FFF₁₆</p> <p>製品名 M37478M4T のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>E000₁₆</p> <p>FFFF₁₆</p> <p>製品名 M37478M4T のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> |

(ご注意)

フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- 斜線部分には“FF₁₆”を入れてください。
- 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37478M4T’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス

| | |
|--------------------|--------------------------|
| 0000 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0001 ₁₆ | ’ 3 ’ = 33 ₁₆ |
| 0002 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0003 ₁₆ | ’ 4 ’ = 34 ₁₆ |
| 0004 ₁₆ | ’ 7 ’ = 37 ₁₆ |
| 0005 ₁₆ | ’ 8 ’ = 38 ₁₆ |
| 0006 ₁₆ | ’ M ’ = 4D ₁₆ |
| 0007 ₁₆ | ’ 4 ’ = 34 ₁₆ |

アドレス

| | |
|--------------------|------------------------|
| 0008 ₁₆ | ’ T ’ 54 ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH51-00A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37478M4TXXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|--------------------------------|--------------------------------|--------------------------------|
| ソースプログラム への記述 | *= \$C000 .BYTE 'M37478M4T' | *= \$8000 .BYTE 'M37478M4T' | *= \$0000 .BYTE 'M37478M4T' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37478M4TXXXSP M37478M4TXXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・E000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37478M4TXXXSPの場合は42P4Bの、M37478M4TXXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH51-01A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37478M8TXXXSP/FP
マスク化確認書

| | | |
|-------------|-------|------|
| マスクROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

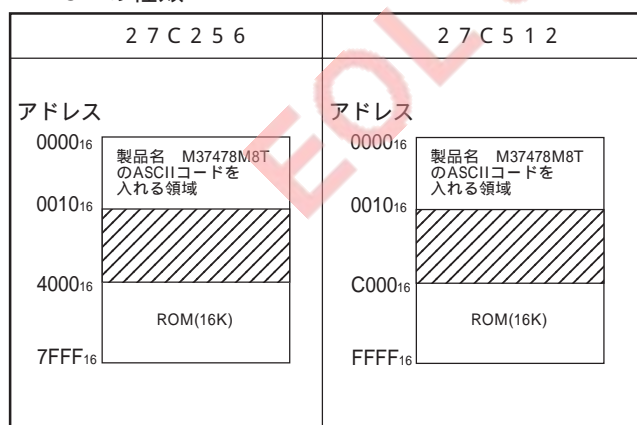
EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってマスク作成を行います。したがって、このデータと生産される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37478M8TXXXSP M37478M8TXXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆～000F₁₆番地は製品形名のデータ格納領域です。

‘M37478M8T’のASCIIコードを右記に示しますので、0000₁₆～000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|------------------------|--------------------|----------------------|
| 0000 ₁₆ | ‘M’ = 4D ₁₆ | 0008 ₁₆ | ‘T’ 54 ₁₆ |
| 0001 ₁₆ | ‘3’ = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ‘7’ = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ‘4’ = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ‘7’ = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ‘8’ = 38 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ‘M’ = 4D ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ‘8’ = 38 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH51-01A<7YA0>

マスクROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37478M8TXXXSP/FP

マスク化確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37478M8T ' | *= \$ 0000 .BYTE ' M37478M8T ' |

(注) EPROMに書き込まれた形名とマスク化確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル进行处理してマスク化を行います。したがって、このマスクファイルと生成される製品に焼きつけられるROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37478M8TXXXSP M37478M8TXXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本マスク化確認書に添付して提出ください。

M37478M8TXXXSPの場合は42P4Bの、M37478M8TXXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

3.3 ROM書き込み確認書

GZZ-SH50-69A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37470E4-XXXSP
ROM書き込み確認書

| | | |
|-------------|-------|------|
| ROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってROM書き込みを行います。したがって、このデータと生産される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類

| | | |
|---|---|---|
| 27C128 | 27C256 | 27C512 |
| アドレス 0000 ₁₆ 0010 ₁₆ 2000 ₁₆ 3FFF ₁₆ ROM(8K) | アドレス 0000 ₁₆ 0010 ₁₆ 6000 ₁₆ 7FFF ₁₆ ROM(8K) | アドレス 0000 ₁₆ 0010 ₁₆ E000 ₁₆ FFFF ₁₆ ROM(8K) |

(ご注意)
フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れしないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37470E4-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。
番地、データとも16進表記です。

| アドレス | データ |
|--------------------|------------------------|
| 0000 ₁₆ | ‘M’ = 4D ₁₆ |
| 0001 ₁₆ | ‘3’ = 33 ₁₆ |
| 0002 ₁₆ | ‘7’ = 37 ₁₆ |
| 0003 ₁₆ | ‘4’ = 34 ₁₆ |
| 0004 ₁₆ | ‘7’ = 37 ₁₆ |
| 0005 ₁₆ | ‘0’ = 30 ₁₆ |
| 0006 ₁₆ | ‘E’ = 45 ₁₆ |
| 0007 ₁₆ | ‘4’ = 34 ₁₆ |

| アドレス | データ |
|--------------------|------------------------|
| 0008 ₁₆ | ‘-’ = 2D ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-69A<7YA0>

ROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37470E4-XXXSP
ROM書き込み確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|--------------------------------|--------------------------------|--------------------------------|
| ソースプログラム への記述 | *= \$C000 .BYTE 'M37470E4-' | *= \$8000 .BYTE 'M37470E4-' | *= \$0000 .BYTE 'M37470E4-' |

(注) EPROMに書き込まれた形名とROM書き込み確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してROM書き込みを行います。したがって、このマスクファイルと生成される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード

(16進表示)

マスクファイル名

.MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・E000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本ROM書き込み確認書に添付して提出ください。

M37470E4-XXXSPの場合は32P4Bのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-70A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37470E8-XXXSP
ROM書き込み確認書

| | | |
|-------------|-------|------|
| ROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

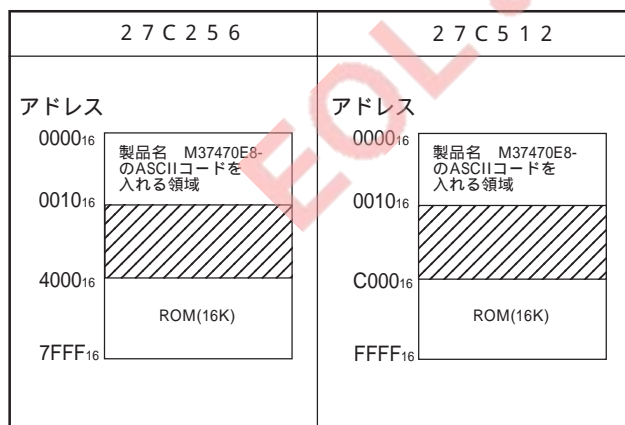
EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってROM書き込みを行います。したがって、このデータと生産される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37470E8-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

アドレス

| | |
|--------------------|--------------------------|
| 0000 ₁₆ | ' M ' = 4D ₁₆ |
| 0001 ₁₆ | ' 3 ' = 33 ₁₆ |
| 0002 ₁₆ | ' 7 ' = 37 ₁₆ |
| 0003 ₁₆ | ' 4 ' = 34 ₁₆ |
| 0004 ₁₆ | ' 7 ' = 37 ₁₆ |
| 0005 ₁₆ | ' 0 ' = 30 ₁₆ |
| 0006 ₁₆ | ' E ' = 45 ₁₆ |
| 0007 ₁₆ | ' 8 ' = 38 ₁₆ |

アドレス

| | |
|--------------------|--------------------------|
| 0008 ₁₆ | ' - ' = 2D ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-70A<7YA0>

ROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37470E8-XXXSP

ROM書き込み確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|---------------------------------|---------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37470E8- | *= \$ 0000 .BYTE ' M37470E8- |

(注) EPROMに書き込まれた形名とROM書き込み確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してROM書き込みを行います。したがって、このマスクファイルと生成される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

ファイルコード

(16進表示)

マスクファイル名

.MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本ROM書き込み確認書に添付して提出ください。

M37470E8-XXXSPの場合は32P4Bのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-82A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37471E4-XXXSP/FP
ROM書き込み確認書

| | | |
|-------------|-------|------|
| ROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってROM書き込みを行います。したがって、このデータと生産される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37471E4-XXXSP M37471E4-XXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類

| | | |
|--|--|--|
| 2 7 C 1 2 8 | 2 7 C 2 5 6 | 2 7 C 5 1 2 |
| <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>2000₁₆</p> <p>3FFF₁₆</p> <p>製品名 M37471E4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>6000₁₆</p> <p>7FFF₁₆</p> <p>製品名 M37471E4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> | <p>アドレス</p> <p>0000₁₆</p> <p>0010₁₆</p> <p>E000₁₆</p> <p>FFFF₁₆</p> <p>製品名 M37471E4- のASCIIコードを 入れる領域</p> <p>ROM(8K)</p> |

(ご注意)
フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37471E4-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | |
|--------------------|--------------------------|
| 0000 ₁₆ | ‘ M ’ = 4D ₁₆ |
| 0001 ₁₆ | ‘ 3 ’ = 33 ₁₆ |
| 0002 ₁₆ | ‘ 7 ’ = 37 ₁₆ |
| 0003 ₁₆ | ‘ 4 ’ = 34 ₁₆ |
| 0004 ₁₆ | ‘ 7 ’ = 37 ₁₆ |
| 0005 ₁₆ | ‘ 1 ’ = 31 ₁₆ |
| 0006 ₁₆ | ‘ E ’ = 45 ₁₆ |
| 0007 ₁₆ | ‘ 4 ’ = 34 ₁₆ |

| アドレス | |
|--------------------|--------------------------|
| 0008 ₁₆ | ‘ - ’ = 2D ₁₆ |
| 0009 ₁₆ | FF ₁₆ |
| 000A ₁₆ | FF ₁₆ |
| 000B ₁₆ | FF ₁₆ |
| 000C ₁₆ | FF ₁₆ |
| 000D ₁₆ | FF ₁₆ |
| 000E ₁₆ | FF ₁₆ |
| 000F ₁₆ | FF ₁₆ |

GZZ-SH50-82A<7YA0>

ROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37471E4-XXXSP/FP

ROM書き込み確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C128 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ C000 .BYTE ' M37471E4- ' | *= \$ 8000 .BYTE ' M37471E4- ' | *= \$ 0000 .BYTE ' M37471E4- ' |

(注) EPROMに書き込まれた形名とROM書き込み確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してROM書き込みを行います。したがって、このマスクファイルと生成される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37471E4-XXXSP M37471E4-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・E000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本ROM書き込み確認書に添付して提出ください。

M37471E4-XXXSPの場合は42P4Bの、M37471E4-XXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-83A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37471E8-XXXSP/FP
ROM書き込み確認書

| | | |
|-------------|-------|------|
| ROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

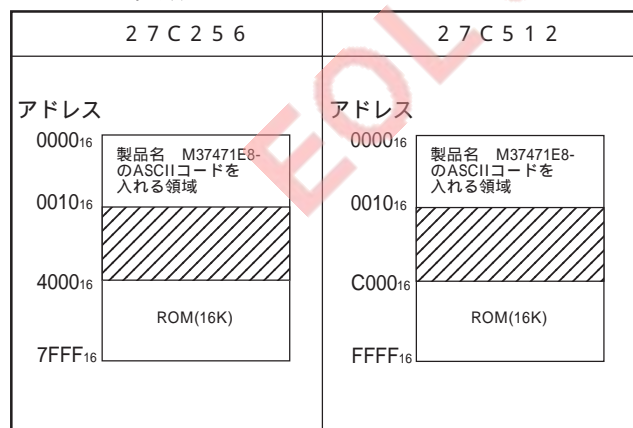
EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってROM書き込みを行います。したがって、このデータと生産される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37471E8-XXXSP M37471E8-XXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意)

フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37471E8-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|------------------------|--------------------|------------------------|
| 0000 ₁₆ | ‘M’ = 4D ₁₆ | 0008 ₁₆ | ‘-’ = 2D ₁₆ |
| 0001 ₁₆ | ‘3’ = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ‘7’ = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ‘4’ = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ‘7’ = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ‘1’ = 31 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ‘E’ = 45 ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ‘8’ = 38 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-83A<7YA0>

ROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37471E8-XXXSP/FP
ROM書き込み確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37471E8- ' | *= \$ 0000 .BYTE ' M37471E8- ' |

(注) EPROMに書き込まれた形名とROM書き込み確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してROM書き込みを行います。したがって、このマスクファイルと生成される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37471E8-XXXSP M37471E8-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本ROM書き込み確認書に添付して提出ください。

M37471E8-XXXSPの場合は42P4Bの、M37471E8-XXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-94A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37477E8-XXXSP/FP
ROM書き込み確認書

| | | |
|-------------|-------|------|
| ROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|------------|-------------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL () | 発 行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

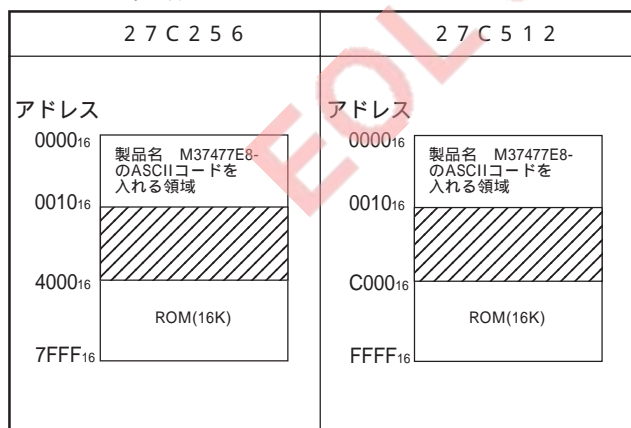
EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってROM書き込みを行います。したがって、このデータと生産される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37477E8-XXXSP M37477E8-XXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37477E8-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|------------------------|--------------------|------------------------|
| 0000 ₁₆ | ‘M’ = 4D ₁₆ | 0008 ₁₆ | ‘-’ = 2D ₁₆ |
| 0001 ₁₆ | ‘3’ = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ‘7’ = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ‘4’ = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ‘7’ = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ‘7’ = 37 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ‘E’ = 45 ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ‘8’ = 38 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-94A<7YA0>

ROM番号

三菱シングルチップ8ビットマイクロコンピュータ

M37477E8-XXXSP/FP

ROM書き込み確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37477E8- ' | *= \$ 0000 .BYTE ' M37477E8- ' |

(注) EPROMに書き込まれた形名とROM書き込み確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してROM書き込みを行います。したがって、このマスクファイルと生成される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37477E8-XXXSP M37477E8-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本ROM書き込み確認書に添付して提出ください。

M37477E8-XXXSPの場合は32P4Bの、M37477E8-XXXFPの場合は32P2W-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH50-95A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37477E8TXXXSP/FP
ROM書き込み確認書

| | | |
|-------------|-------|------|
| ROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

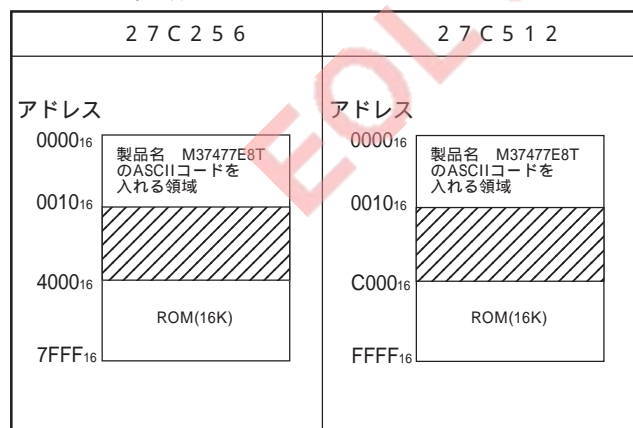
EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってROM書き込みを行います。したがって、このデータと生産される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37477E8TXXXSP M37477E8TXXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37477E8T’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|--------------------------|--------------------|--------------------------|
| 0000 ₁₆ | ' M ' = 4D ₁₆ | 0008 ₁₆ | ' T ' = 54 ₁₆ |
| 0001 ₁₆ | ' 3 ' = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | ' 7 ' = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | ' 4 ' = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | ' 7 ' = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | ' 7 ' = 37 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | ' E ' = 45 ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | ' 8 ' = 38 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH50-95A<7YA0>

ROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37477E8TXXXSP/FP
ROM書き込み確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆ ~ 000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37477E8T ' | *= \$ 0000 .BYTE ' M37477E8T ' |

(注) EPROMに書き込まれた形名とROM書き込み確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してROM書き込みを行います。したがって、このマスクファイルと生成される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37477E8TXXXSP M37477E8TXXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地 ~ FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本ROM書き込み確認書に添付して提出ください。

M37477E8TXXXSPの場合は32P4Bの、M37477E8TXXXFPの場合は32P2W-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH51-05A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37478E8-XXXSP/FP
ROM書き込み確認書

| | | |
|-------------|-------|------|
| ROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

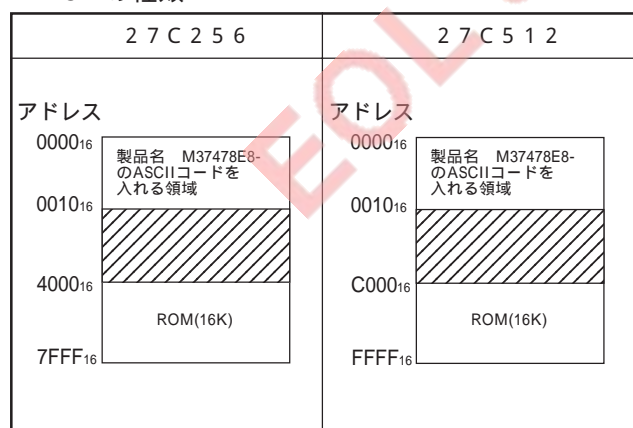
EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってROM書き込みを行います。したがって、このデータと生産される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37478E8-XXXSP M37478E8-XXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- 斜線部分には“FF₁₆”を入れてください。
- 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37478E8-’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| | | | | | |
|------|--------------------|--------------------------|------|--------------------|--------------------------|
| アドレス | 0000 ₁₆ | ‘ M ’ = 4D ₁₆ | アドレス | 0008 ₁₆ | ‘ - ’ = 2D ₁₆ |
| | 0001 ₁₆ | ‘ 3 ’ = 33 ₁₆ | | 0009 ₁₆ | FF ₁₆ |
| | 0002 ₁₆ | ‘ 7 ’ = 37 ₁₆ | | 000A ₁₆ | FF ₁₆ |
| | 0003 ₁₆ | ‘ 4 ’ = 34 ₁₆ | | 000B ₁₆ | FF ₁₆ |
| | 0004 ₁₆ | ‘ 7 ’ = 37 ₁₆ | | 000C ₁₆ | FF ₁₆ |
| | 0005 ₁₆ | ‘ 8 ’ = 38 ₁₆ | | 000D ₁₆ | FF ₁₆ |
| | 0006 ₁₆ | ‘ E ’ = 45 ₁₆ | | 000E ₁₆ | FF ₁₆ |
| | 0007 ₁₆ | ‘ 8 ’ = 38 ₁₆ | | 000F ₁₆ | FF ₁₆ |

GZZ-SH51-05A<7YA0>

ROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37478E8-XXXSP/FP
ROM書き込み確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆～000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37478E8- ' | *= \$ 0000 .BYTE ' M37478E8- ' |

(注) EPROMに書き込まれた形名とROM書き込み確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してROM書き込みを行います。したがって、このマスクファイルと生成される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37478E8-XXXSP M37478E8-XXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地～FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本ROM書き込み確認書に添付して提出ください。

M37478E8-XXXSPの場合は42P4Bの、M37478E8-XXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

GZZ-SH51-06A<7YA0>

三菱シングルチップ8ビットマイクロコンピュータ
M37478E8TXXXSP/FP
ROM書き込み確認書

| | | |
|-------------|-------|------|
| ROM番号 | | |
| 受 付 欄 | 年 月 日 | |
| | 課長印 | 担当者印 |
| | | |

(注) 印をすべて記入ください。

| | | | | | | |
|-----------|-----|---|-----|---------|------|------|
| 貴社 記入欄 | 貴社名 | 殿 | TEL | 発行 印 | 責任者印 | 担当者印 |
| | 発行日 | 年 | 月 | | 日 | |

1. ご確認表

発注される品種名および提出いただくEPROM、またはフロッピーディスクを指定してください。

EPROMで発注される場合は1パターン当たりEPROMが3セット必要です。フロッピーディスクで発注される場合1パターン当たりフロッピーディスクが1枚必要になります。

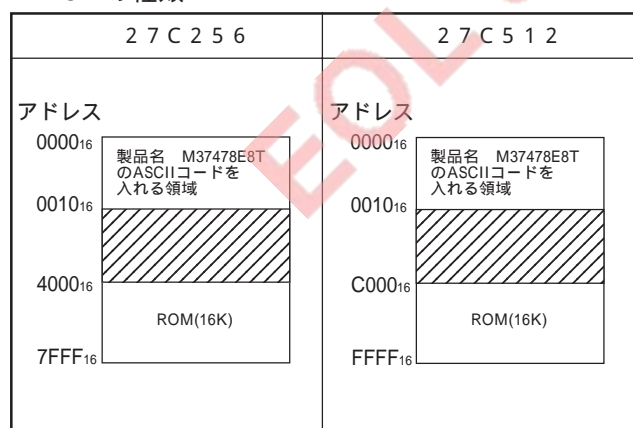
EPROMの場合

当社では提出いただいた3セットのEPROMの内、少なくとも2セットの内容が同一であれば、この内容のデータによってROM書き込みを行います。したがって、このデータと生産される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくEPROMデータの内容については十分に確認をお願いします。

マイクロコンピュータ形名 M37478E8TXXXSP M37478E8TXXXFP

EPROMの全領域のチェックサムコード (16進表示)

EPROMの種類



(ご注意) フロッピーディスクで提出される場合は左記の製品形名領域にはデータを入れないで下さい。

- (1) 斜線部分には“FF₁₆”を入れてください。
- (2) 0000₁₆ ~ 000F₁₆番地は製品形名のデータ格納領域です。

‘M37478E8T’のASCIIコードを右記に示しますので、0000₁₆ ~ 000F₁₆番地には必ず右記のデータを書き込んでください。

番地、データとも16進表記です。

| アドレス | データ | アドレス | データ |
|--------------------|------------------------|--------------------|------------------------|
| 0000 ₁₆ | 'M' = 4D ₁₆ | 0008 ₁₆ | 'T' = 54 ₁₆ |
| 0001 ₁₆ | '3' = 33 ₁₆ | 0009 ₁₆ | FF ₁₆ |
| 0002 ₁₆ | '7' = 37 ₁₆ | 000A ₁₆ | FF ₁₆ |
| 0003 ₁₆ | '4' = 34 ₁₆ | 000B ₁₆ | FF ₁₆ |
| 0004 ₁₆ | '7' = 37 ₁₆ | 000C ₁₆ | FF ₁₆ |
| 0005 ₁₆ | '8' = 38 ₁₆ | 000D ₁₆ | FF ₁₆ |
| 0006 ₁₆ | 'E' = 45 ₁₆ | 000E ₁₆ | FF ₁₆ |
| 0007 ₁₆ | '8' = 38 ₁₆ | 000F ₁₆ | FF ₁₆ |

GZZ-SH51-06A<7YA0>

ROM番号

三菱シングルチップ8ビットマイクロコンピュータ
M37478E8TXXXSP/FP
ROM書き込み確認書

アセンブラソースプログラムの先頭に、書き込むEPROMの種類別に下表に示す疑似命令を記述することにより、EPROMの0000₁₆ ~ 000F₁₆番地に形名のASCIIコードを書き込むことができますのでご利用ください。

| EPROMの種類 | 27C256 | 27C512 |
|------------------|-----------------------------------|-----------------------------------|
| ソースプログラム への記述 | *= \$ 8000 .BYTE ' M37478E8T ' | *= \$ 0000 .BYTE ' M37478E8T ' |

(注) EPROMに書き込まれた形名とROM書き込み確認書の形名が一致しない場合、ROM処理ができませんので正確に形名記入をお願いします。

フロッピーディスクの場合

当社では提出いただいたフロッピーディスクのファイルの内、マスクファイル生成ユーティリティで生成されたマスクファイル処理してROM書き込みを行います。したがって、このマスクファイルと生成される製品に書き込まれたROMデータが異なる場合のみ当社はその責を負います。提出いただくマスクファイルの内容については十分に確認をお願いします。

フロッピーディスクは3.5"2HD/IBMformatで用意してください。また、フロッピーディスクに収めるマスクファイルは一つだけにしてください。

マイクロコンピュータ形名 M37478E8TXXXSP M37478E8TXXXFP

ファイルコード (16進表示)

マスクファイル名 .MSK(英数字8桁)

(ご注意) フロッピーディスクで提出される場合は、製品形名を入れないで下さい。

下記のROMデータ領域以外には、データを入れないで下さい。

ROMデータ領域・・・C000₁₆番地 ~ FFFF₁₆番地

2. マーク指定

マーク指定はパッケージの形状により異なります。別紙のマーク指定書(パッケージ別)にご記入の上、本ROM書き込み確認書に添付して提出ください。

M37478E8TXXXSPの場合は42P4Bの、M37478E8TXXXFPの場合は56P6N-Aのマーク指定書を提出ください。

3. 特記事項

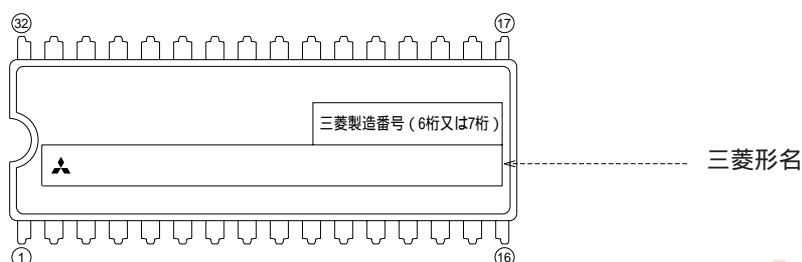
3.4 マーク指定書

32P4B (32 ピンシュリンク DIP) マーク指定書

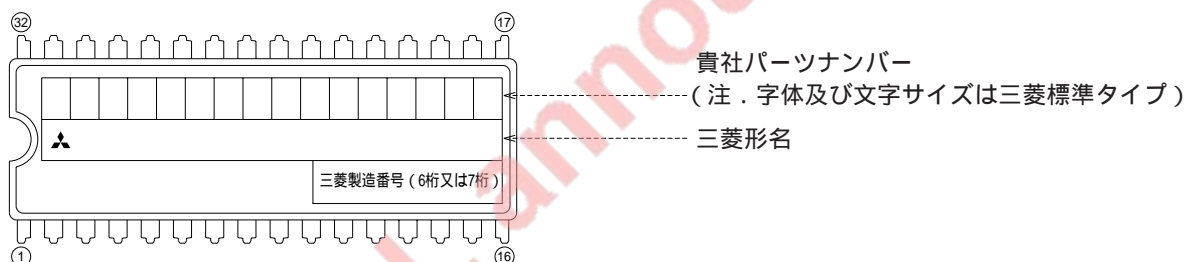
三菱 IC 形名

下記マーキングタイプ (A, B, C) のいずれかをご選択の上、マーキングスペースに三菱形名及び貴社ご必要マークをご記入ください。

A. 三菱標準マーク



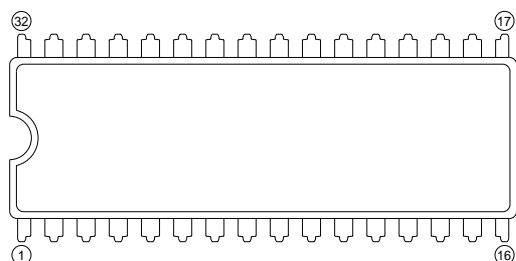
B. 貴社パーツナンバー + 三菱形名



- 注 1. マークは右詰になります。
 2. 字体及び文字サイズは三菱標準タイプになります。
 3. 貴社パーツナンバーは、16 字以内で英数字、大文字アルファベット、ハイフンなどでご記入ください。
 4. 三菱スリーダイヤマーク 不要の場合は、右欄にチェックをお願いします。

不要

C. 特殊マーク



- 注 1. 貴社で御希望のマーク配列を上図に御記入ください。これを元に当社において技術的に可能な配列を検討致します。
 なお、製品分類の為三菱製造番号(6 桁又は 7 桁)とマスク ROM 番号(3 桁)は常にマークさせていただきますのでご了承ください。
 2. 特殊字体(貴社商標など) を御希望の場合は右欄にチェックをお願いします。
 また、新規特殊字体の場合は、コピーなどではない鮮明なロゴ図面原紙のご提出をお願いします。

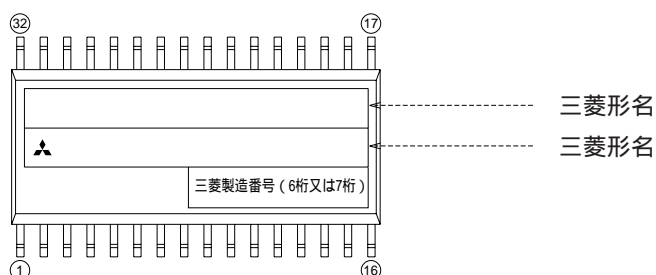
特殊字体希望

32P2W (32 ピン SOP) マーク指定書

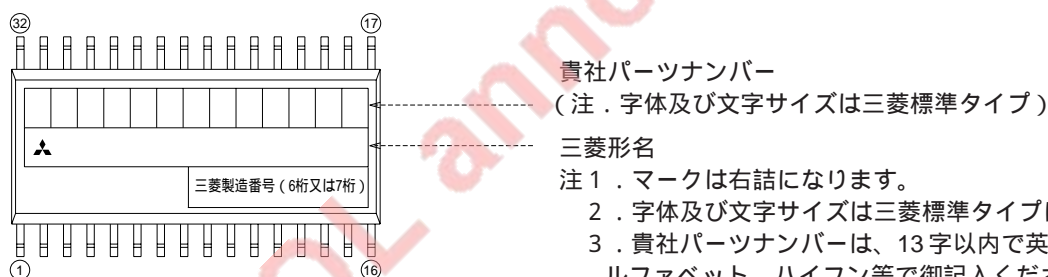
三菱 IC 形名

下記マーキングタイプ (A, B, C) のいずれかを御選択の上、マーキングスペースに三菱形名及び貴社御必要マークを御記入ください。

A. 三菱標準マーク



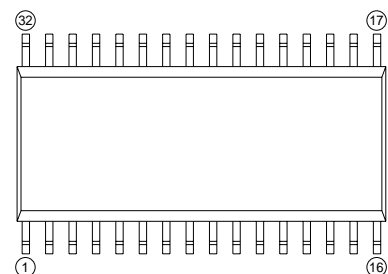
B. 貴社パーツナンバー + 三菱形名



- 注 1 . マークは右詰になります。
- 2 . 字体及び文字サイズは三菱標準タイプになります。
- 3 . 貴社パーツナンバーは、13 字以内で英数字、大文字アルファベット、ハイフン等で御記入ください。
- 4 . 三菱スリーダイヤマーク▲不要の場合は、下欄にチェックをお願いします。

▲ 不要

C. 特殊マーク



- 注 1 . 貴社で御希望のマーク配列を左図に御記入ください。これを元に当社において技術的に可能な配列を検討致します。
 なお、製品分類の為三菱製造番号(6 桁又は 7 桁)とマスク ROM 番号(3 桁)は常にマークさせていただきますので御承ください。
- 2 . 特殊字体(貴社商標等)を御希望の場合は下欄にチェックをお願いします。
 また、新規特殊字体の場合は、コピーなどではない鮮明なロゴ図面原紙の御提出をお願いします。

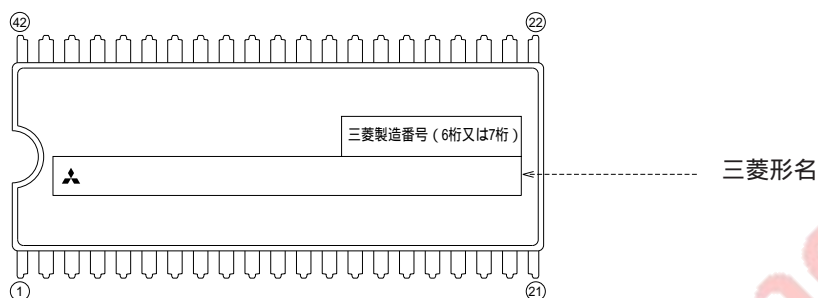
特殊字体希望

42P4B (42 ピンシュリンク DIP) マーク指定書

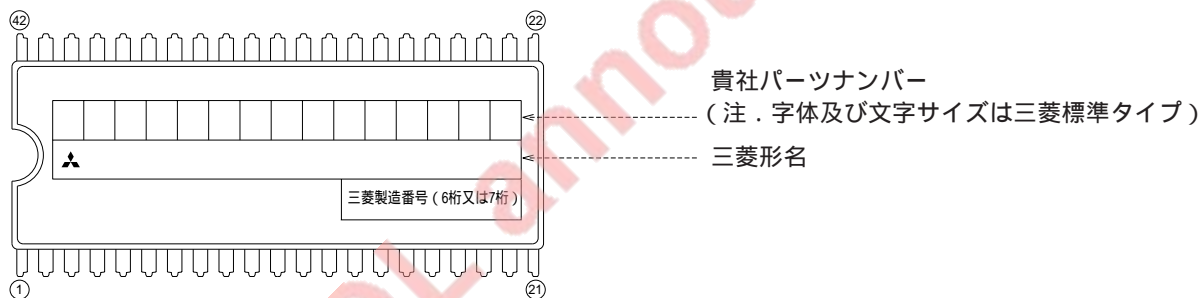
三菱 IC 形名

下記マーキングタイプ (A, B, C) のいずれかをご選択の上、マーキングスペースに三菱形名及び貴社ご必要マークをご記入ください。

A. 三菱標準マーク



B. 貴社パーツナンバー + 三菱形名



注1. マークは右詰になります。

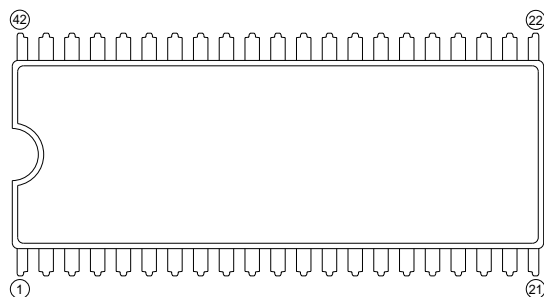
2. 字体及び文字サイズは三菱標準タイプになります。

3. 貴社パーツナンバーは、15字以内で英数字、大文字アルファベット、ハイフンなどをご記入ください。

4. 三菱スリーダイヤマーク 不要の場合は、右欄にチェックをお願いします。

不要

C. 特殊マーク



注1. 貴社で御希望のマーク配列を上図に御記入ください。これを元に当社において技術的に可能な配列を検討致します。
 なお、製品分類の為三菱製造番号 (6桁又は7桁) とマスクROM番号 (3桁) は常にマークさせていただきますのでご了承ください。

2. 特殊字体 (貴社商標など) を御希望の場合は右欄にチェックをお願いします。

また、新規特殊字体の場合は、コピーなどではない鮮明なロゴ図面原紙のご提出をお願いします。

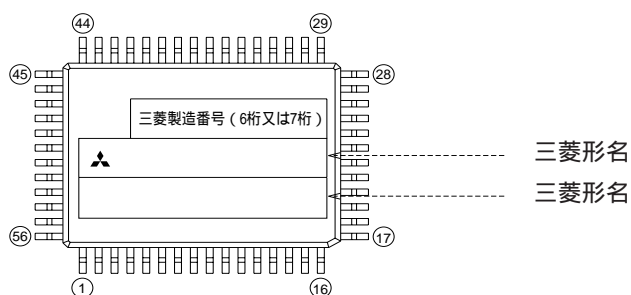
特殊字体希望

56P6N (56 ピン QFP) マーク指定書

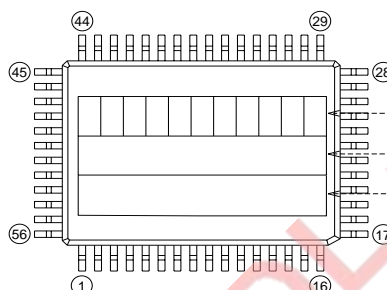
三菱 IC 形名

下記マーキングタイプ (A, B, C) のいずれかを御選択の上、マーキングスペースに三菱形名及び貴社御必要マークを御記入ください。

A. 三菱標準マーク



B. 貴社パーツナンバー + 三菱形名



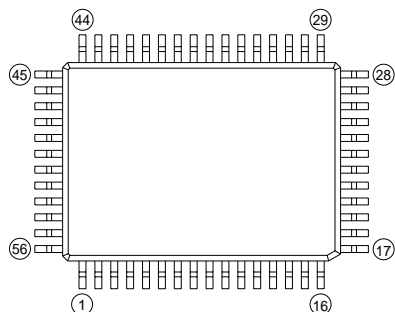
貴社パーツナンバー
(注. 字体及び文字サイズは三菱標準タイプ)

三菱形名及び三菱製造番号

- 注 1. マークは右詰になります。
- 2. 字体及び文字サイズは三菱標準タイプになります。
- 3. 貴社パーツナンバーは、11 字以内で英数字、大文字アルファベット、ハイフンなどで御記入ください。
- 4. 三菱スリーダイヤマーク 不要の場合は、下欄にチェックをお願いします。

不要

C. 特殊マーク



- 5. 三菱形名及び三菱製造番号は三菱形名の文字数及び三菱スリーダイヤマーク の要・不要により配置が異なります。

注 1. 貴社で御希望のマーク配列を左図に御記入ください。これを元に当社において技術的に可能な配列を検討致します。

なお、製品分類のため三菱製造番号(6桁又は7桁)とマスクROM番号(3桁)は常にマークさせていただきますので御了承ください。

- 2. 貴社商標などを御希望の場合は下欄にチェックをお願いします。

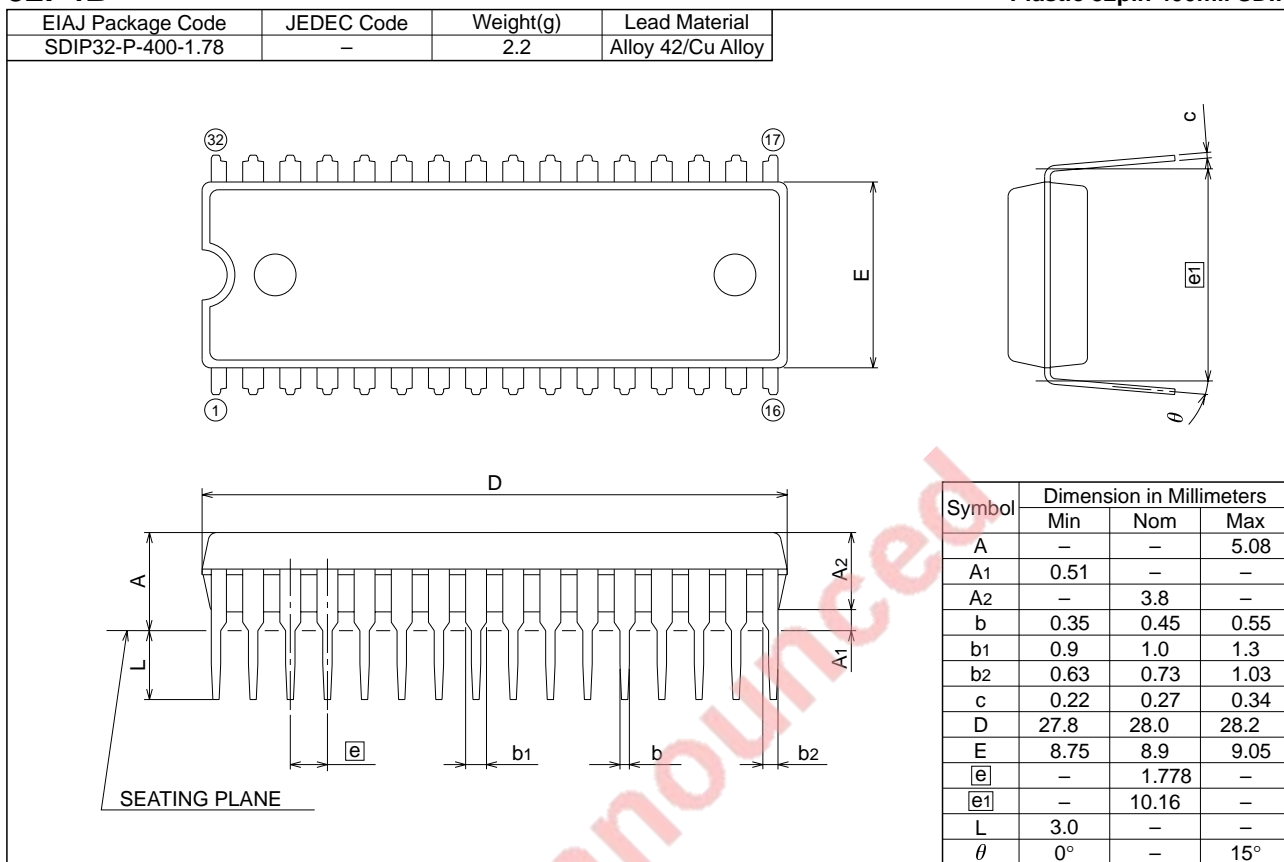
また、新規特殊字体の場合は、コピーなどではない鮮明なロゴ図面原紙の御提出をお願いします。

特殊字体希望

3.5 パッケージ寸法図

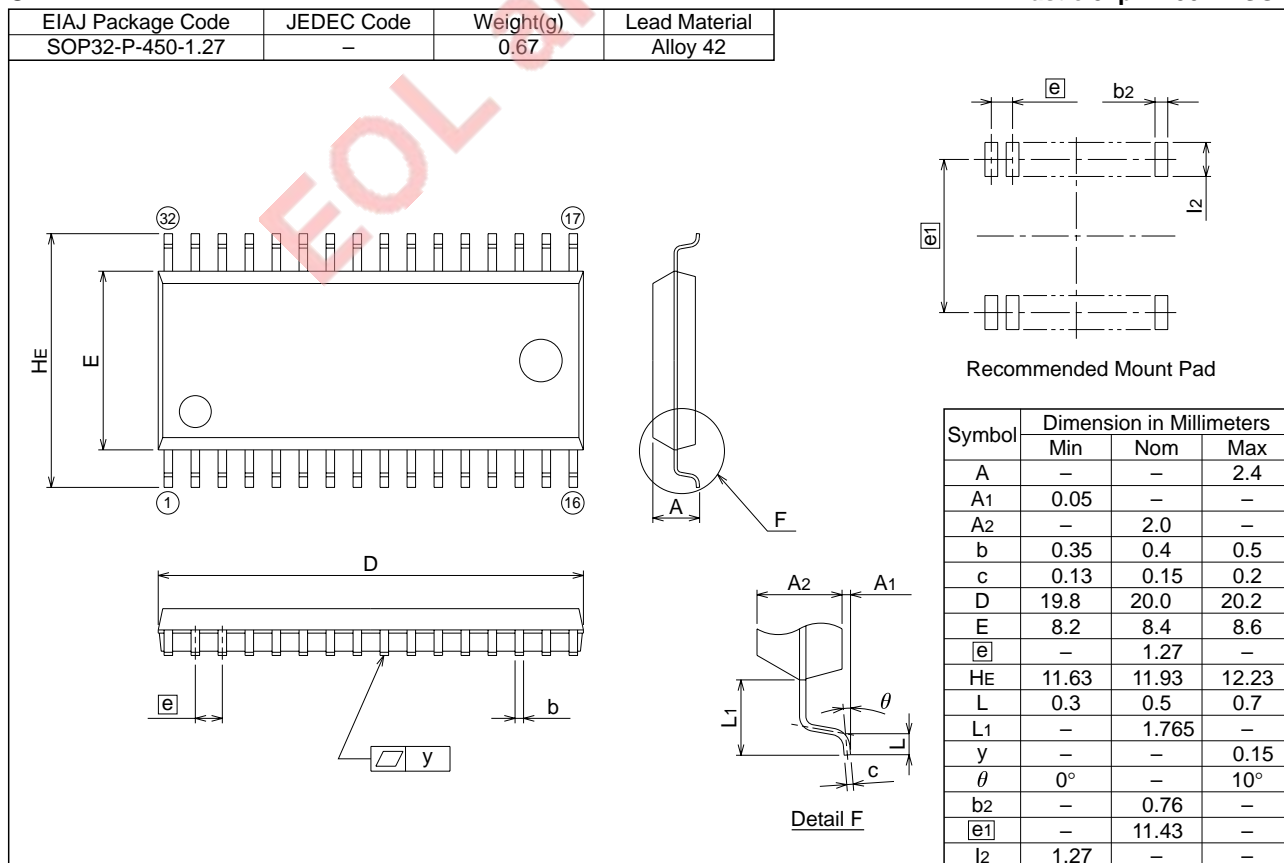
32P4B

Plastic 32pin 400mil SDIP



32P2W-A

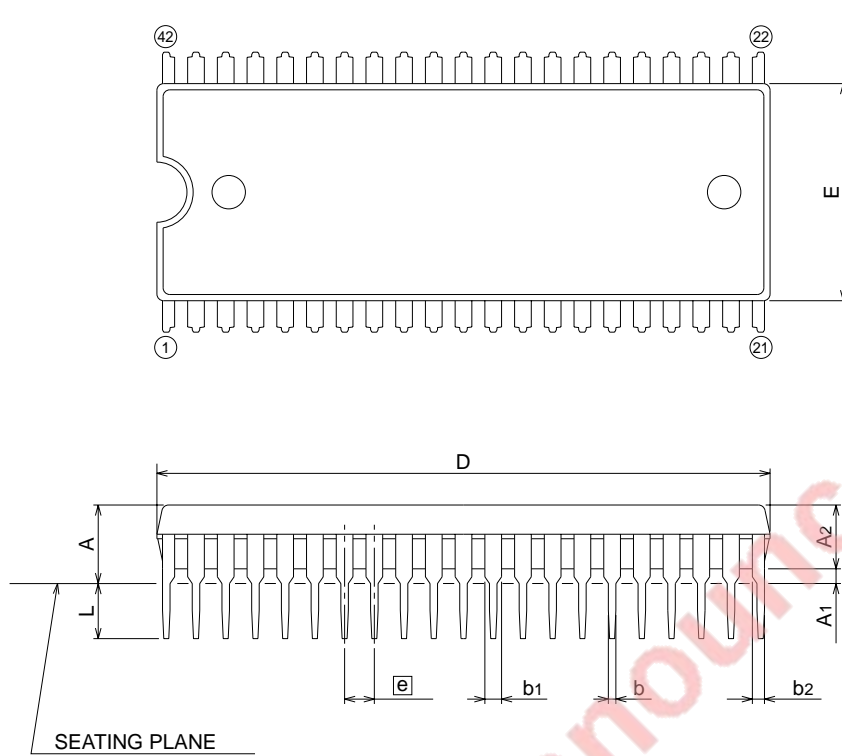
Plastic 32pin 450mil SOP



42P4B

Plastic 42pin 600mil SDIP

| | | | |
|--|-----------------|------------------|------------------------------------|
| EIAJ Package Code SDIP42-P-600-1.78 | JEDEC Code - | Weight(g) 4.1 | Lead Material Alloy 42/Cu Alloy |
|--|-----------------|------------------|------------------------------------|

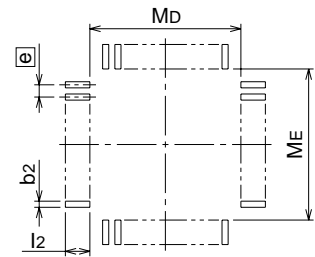
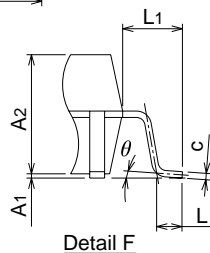
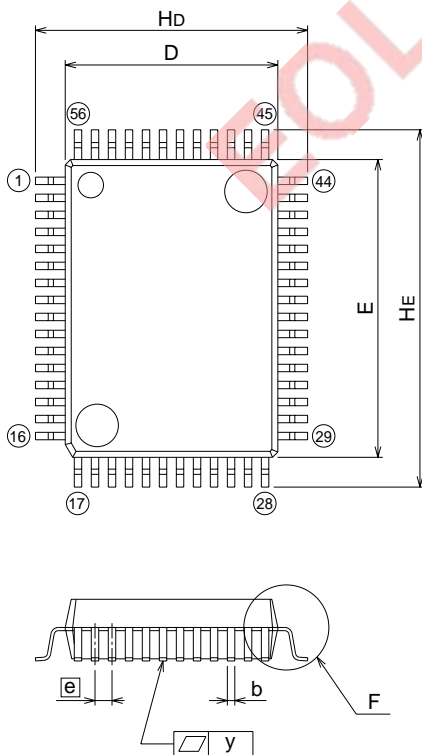


| Symbol | Dimension in Millimeters | | |
|--------|--------------------------|-------|-------|
| | Min | Nom | Max |
| A | - | - | 5.5 |
| A1 | 0.51 | - | - |
| A2 | - | 3.8 | - |
| b | 0.35 | 0.45 | 0.55 |
| b1 | 0.9 | 1.0 | 1.3 |
| b2 | 0.63 | 0.73 | 1.03 |
| c | 0.22 | 0.27 | 0.34 |
| D | 36.5 | 36.7 | 36.9 |
| E | 12.85 | 13.0 | 13.15 |
| e | - | 1.778 | - |
| e1 | - | 15.24 | - |
| L | 3.0 | - | - |
| θ | 0° | - | 15° |

56P6N-A

Plastic 56pin 10X14mm body QFP

| | | | |
|--|-----------------|-------------------|---------------------------|
| EIAJ Package Code QFP56-P-1014-0.80 | JEDEC Code - | Weight(g) 0.79 | Lead Material Alloy 42 |
|--|-----------------|-------------------|---------------------------|



Recommended Mount Pad

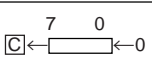
| Symbol | Dimension in Millimeters | | |
|--------|--------------------------|------|------|
| | Min | Nom | Max |
| A | - | - | 3.05 |
| A1 | 0 | 0.1 | 0.2 |
| A2 | - | 2.8 | - |
| b | 0.3 | 0.35 | 0.45 |
| c | 0.13 | 0.15 | 0.2 |
| D | 9.8 | 10.0 | 10.2 |
| E | 13.8 | 14.0 | 14.2 |
| e | - | 0.8 | - |
| Hd | 12.5 | 12.8 | 13.1 |
| HE | 16.5 | 16.8 | 17.1 |
| L | 0.4 | 0.6 | 0.8 |
| L1 | - | 1.4 | - |
| y | - | - | 0.1 |
| θ | 0° | - | 10° |
| b2 | - | 0.5 | - |
| l2 | 1.3 | - | - |
| MD | - | 10.6 | - |
| ME | - | 14.6 | - |

3.6 命令コード一覧表

| D7 ~ D4 \ D3 ~ D0 | 16進表記 | | | | | | | | | | | | | | | | |
|-------------------|-------|------------|---------------|----------------|-------------|--------------|--------------|--------------|--------------|------|---------------|----------|-------------|---------------|---------------|---------------|--------------|
| | 0000 | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1000 | 1001 | 1010 | 1011 | 1100 | 1101 | 1110 | 1111 | |
| | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | A | B | C | D | E | F | |
| 0000 | 0 | BRK | ORA IND, X | JSR ZP, IND | BBS 0, A | - | ORA ZP | ASL ZP | BBS 0, ZP | PHP | ORA IMM | ASL A | SEB 0, A | - | ORA ABS | ASL ABS | SEB 0, ZP |
| 0001 | 1 | BPL | ORA IND, Y | CLT | BBC 0, A | - | ORA ZP, X | ASL ZP, X | BBC 0, ZP | CLC | ORA ABS, Y | DEC A | CLB 0, A | - | ORA ABS, X | ASL ABS, X | CLB 0, ZP |
| 0010 | 2 | JSR ABS | AND IND, X | JSR SP | BBS 1, A | BIT ZP | AND ZP | ROL ZP | BBS 1, ZP | PLP | AND IMM | ROL A | SEB 1, A | BIT ABS | AND ABS | ROL ABS | SEB 1, ZP |
| 0011 | 3 | BMI | AND IND, Y | SET | BBC 1, A | - | AND ZP, X | ROL ZP, X | BBC 1, ZP | SEC | AND ABS, Y | INC A | CLB 1, A | LDM ZP | AND ABS, X | ROL ABS, X | CLB 1, ZP |
| 0100 | 4 | RTI | EOR IND, X | STP | BBS 2, A | COM ZP | EOR ZP | LSR ZP | BBS 2, ZP | PHA | EOR IMM | LSR A | SEB 2, A | JMP ABS | EOR ABS | LSR ABS | SEB 2, ZP |
| 0101 | 5 | BVC | EOR IND, Y | - | BBC 2, A | - | EOR ZP, X | LSR ZP, X | BBC 2, ZP | CLI | EOR ABS, Y | - | CLB 2, A | - | EOR ABS, X | LSR ABS, X | CLB 2, ZP |
| 0110 | 6 | RTS | ADC IND, X | MUL ZP, X | BBS 3, A | TST ZP | ADC ZP | ROR ZP | BBS 3, ZP | PLA | ADC IMM | ROR A | SEB 3, A | JMP IND | ADC ABS | ROR ABS | SEB 3, ZP |
| 0111 | 7 | BVS | ADC IND, Y | - | BBC 3, A | - | ADC ZP, X | ROR ZP, X | BBC 3, ZP | SEI | ADC ABS, Y | - | CLB 3, A | - | ADC ABS, X | ROR ABS, X | CLB 3, ZP |
| 1000 | 8 | BRA | STA IND, X | RRF ZP | BBS 4, A | STY ZP | STA ZP | STX ZP | BBS 4, ZP | DEY | - | TXA | SEB 4, A | STY ABS | STA ABS | STX ABS | SEB 4, ZP |
| 1001 | 9 | BCC | STA IND, Y | - | BBC 4, A | STY ZP, X | STA ZP, X | STX ZP, Y | BBC 4, ZP | TYA | STA ABS, Y | TXS | CLB 4, A | - | STA ABS, X | - | CLB 4, ZP |
| 1010 | A | LDY IMM | LDA IND, X | LDX IMM | BBS 5, A | LDY ZP | LDA ZP | LDX ZP | BBS 5, ZP | TAY | LDA IMM | TAX | SEB 5, A | LDY ABS | LDA ABS | LDX ABS | SEB 5, ZP |
| 1011 | B | BCS | LDA IND, Y | JMP ZP, IND | BBC 5, A | LDY ZP, X | LDA ZP, X | LDX ZP, Y | BBC 5, ZP | CLV | LDA ABS, Y | TSX | CLB 5, A | LDY ABS, X | LDA ABS, X | LDX ABS, Y | CLB 5, ZP |
| 1100 | C | CPY IMM | CMP IND, X | WIT | BBS 6, A | CPY ZP | CMP ZP | DEC ZP | BBS 6, ZP | INY | CMP IMM | DEX | SEB 6, A | CPY ABS | CMP ABS | DEC ABS | SEB 6, ZP |
| 1101 | D | BNE | CMP IND, Y | - | BBC 6, A | - | CMP ZP, X | DEC ZP, X | BBC 6, ZP | CLD | CMP ABS, Y | - | CLB 6, A | - | CMP ABS, X | DEC ABS, X | CLB 6, ZP |
| 1110 | E | CPX IMM | SBC IND, X | DIV ZP, X | BBS 7, A | CPX ZP | SBC ZP | INC ZP | BBS 7, ZP | INX | SBC IMM | NOP | SEB 7, A | CPX ABS | SBC ABS | INC ABS | SEB 7, ZP |
| 1111 | F | BEQ | SBC IND, Y | - | BBC 7, A | - | SBC ZP, X | INC ZP, X | BBC 7, ZP | SED | SBC ABS, Y | - | CLB 7, A | - | SBC ABS, X | INC ABS, X | CLB 7, ZP |

- 3バイト命令
- 2バイト命令
- 1バイト命令

3.7 機械語命令一覧表

| 命令記号 | 機能 | 詳細説明 | アドレッシングモード | | | | | | | | | | | | | | | | | | | | |
|---------------------|---|--|------------|---|---|-----|---|---|----|---|---|-----------|---|---|----|---|---|------------|---|---|----|---|---|
| | | | IMP | | | IMM | | | A | | | BIT, A, R | | | ZP | | | BIT, ZP, R | | | | | |
| | | | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | | | |
| ADC (注1) (注5) | T = 0のとき A A + M + C T = 1のとき M(X) M(X) + M + C | Tフラグが0のとき、AとMとCフラグの内容を加算して、結果をA及びCフラグに入れます。 Tフラグが1のとき、M(X)とMとCフラグの内容を加算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。 | | | | 69 | 2 | 2 | | | | | | | | | | 65 | 3 | 2 | | | |
| AND (注1) | T = 0のとき A A ∧ M T = 1のとき M(X) M(X) ∧ M | Tフラグが0のとき、AとMの内容のビットごとの論理積をとり、結果をAに入れます。 Tフラグが1のとき、M(X)とMの内容のビットごとの論理積をとり、結果をM(X)に入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。 | | | | 29 | 2 | 2 | | | | | | | | | | 25 | 3 | 2 | | | |
| ASL |  | A又はMのすべてのビットを、1ビット左へシフトします。このとき、A又はMのビット0は0になります。また、Cフラグには、A又はMのビット7の内容が入ります。 | | | | | | | 0A | 2 | 1 | | | | | | | 06 | 5 | 2 | | | |
| BBC (注4) | Ai又はMi = 0? | M又はAの指定されたビットをテストします。そのビットが0であれば、指定されたアドレスに分岐します。 分岐先のアドレスは、相対で示します。 そのビットが1であれば、そのまま、次へ進みます。 | | | | | | | | | | | | | 13 | 4 | 2 | | | | 17 | 5 | 3 |
| BBS (注4) | Ai又はMi = 1? | M又はAの指定されたビットをテストします。そのビットが1であれば、指定されたアドレスに分岐します。 分岐先のアドレスは、相対で示します。 そのビットが0であれば、そのまま、次へ進みます。 | | | | | | | | | | | | | 03 | 4 | 2 | | | | 07 | 5 | 3 |
| BCC (注4) | C = 0? | Cフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Cフラグが1のとき、そのまま、次へ進みます。 | | | | | | | | | | | | | | | | | | | | | |
| BCS (注4) | C = 1? | Cフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Cフラグが0のとき、そのまま、次へ進みます。 | | | | | | | | | | | | | | | | | | | | | |
| BEQ (注4) | Z = 1? | Zフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Zフラグが0のとき、そのまま、次へ進みます。 | | | | | | | | | | | | | | | | | | | | | |
| BIT | A ∧ M | AとMの内容のビットごとの論理積をとりますが、結果はどこにもストアされません。Nフラグ、Vフラグ、Zフラグの内容は変化しますが、AとMの内容は変化しません。 | | | | | | | | | | | | | | | | 24 | 3 | 2 | | | |
| BMI (注4) | N = 1? | Nフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Nフラグが0のとき、そのまま、次へ進みます。 | | | | | | | | | | | | | | | | | | | | | |
| BNE (注4) | Z = 0? | Zフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Zフラグが1のとき、そのまま、次へ進みます。 | | | | | | | | | | | | | | | | | | | | | |
| BPL (注4) | N = 0? | Nフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。 Nフラグが1のとき、そのまま、次へ進みます。 | | | | | | | | | | | | | | | | | | | | | |
| BRA | PC PC ± オフセット | 指定されたアドレスにジャンプします。ジャンプ先のアドレスは、相対で示します。 | | | | | | | | | | | | | | | | | | | | | |
| BRK | B 1 (PC) (PC) + 2 M(S) PCH S S - 1 M(S) PCL S S - 1 M(S) PS S S - 1 I 1 PCL ADL PCH ADH | BRK命令を実行すると、CPUは現在のPCの内容をスタックに退避し、割り込みベクトルで、指定されたアドレス (BADRS) をPCに格納します。 | 00 | 7 | 1 | | | | | | | | | | | | | | | | | | |

| アドレッシングモード | | | | | | | | | | | | | | プロセスステータスレジスタ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|---|---|-------|---|---|-----|---|---|--------|---|---|--------|---|---------------|-----|---|---|---------|---|---|--------|---|---|--------|---|---|-----|---|---|----|---|---|----|----|---|----|---|---|---|---|---|---|---|---|---|---|
| ZP, X | | | ZP, Y | | | ABS | | | ABS, X | | | ABS, Y | | | IND | | | ZP, IND | | | IND, X | | | IND, Y | | | REL | | | SP | | | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | |
| OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | N | V | T | B | D | I | Z | C |
| 75 | 4 | 2 | | | | 6D | 4 | 3 | 7D | 5 | 3 | 79 | 5 | 3 | | | | | | | | | | 61 | 6 | 2 | 71 | 6 | 2 | | | | | | | N | V | . | . | . | . | Z | C | | | |
| 35 | 4 | 2 | | | | 2D | 4 | 3 | 3D | 5 | 3 | 39 | 5 | 3 | | | | | | | 21 | 6 | 2 | 31 | 6 | 2 | | | | | | | N | . | . | . | . | . | Z | . | | | | | | |
| 16 | 6 | 2 | | | | 0E | 6 | 3 | 1E | 7 | 3 | | | | | | | | | | | | | | | | | | | | | | N | . | . | . | . | . | Z | C | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | 90 | 2 | 2 | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | B0 | 2 | 2 | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | F0 | 2 | 2 | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | 2C | 4 | 3 | | | | | | | | | | | | | | | | | | | | | | | | | M7 | M6 | . | . | . | . | Z | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | 30 | 2 | 2 | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | D0 | 2 | 2 | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | 10 | 2 | 2 | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | 80 | 4 | 2 | | | | . | . | . | . | . | . | . | . | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | . | . | . | 1 | . | 1 | . | . | | | | | | |

| アドレッシングモード | | | | | | | | | | | | | プロセスステータスレジスタ | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|----|---|-------|---|---|-----|---|---|--------|---|---|--------|---------------|---|-----|---|---|---------|---|----|--------|---|----|--------|---|---|-----|---|---|----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|--|--|--|
| ZP, X | | | ZP, Y | | | ABS | | | ABS, X | | | ABS, Y | | | IND | | | ZP, IND | | | IND, X | | | IND, Y | | | REL | | | SP | | | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | | | | | | | |
| OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | N | V | T | B | D | I | Z | C | | | | | | | | | | | |
| | | | | | | 4C | 3 | 3 | | | | | | | 6C | 5 | 3 | B2 | 4 | 2 | | | | | | | | | | | | | . | . | . | . | . | . | . | . | | | | | | | | | | | |
| | | | | | | 20 | 6 | 3 | | | | | | | | | | 02 | 7 | 2 | | | | | | | | | | | | | | | | | | . | . | . | . | . | . | . | | | | | | | |
| B5 | 4 | 2 | | | | AD | 4 | 3 | BD | 5 | 3 | B9 | 5 | 3 | | | | | | A1 | 6 | 2 | B1 | 6 | 2 | | | | | | | | | | | | | | | N | . | . | . | . | . | . | Z | . | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | B6 | 4 | 2 | AE | 4 | 3 | | | | BE | 5 | 3 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| B4 | 4 | 2 | | | | AC | 4 | 3 | BC | 5 | 3 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 56 | 6 | 2 | | | | 4E | 6 | 3 | 5E | 7 | 3 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 62 | 15 | 2 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 15 | 4 | 2 | | | | 0D | 4 | 3 | 1D | 5 | 3 | 19 | 5 | 3 | | | | | | 01 | 6 | 2 | 11 | 6 | 2 | | | | | | | | | | | | | | | | | | | | | | | | | | |

| 命令記号 | 機能 | 詳細説明 | アドレッシングモード | | | | | | | | | | | | | | | | | | | |
|---------------------|---|--|------------|---|---|-----|---|---|----|---|---|--------|-----------|---|----|---|---|---------|-----------|---|---|--|
| | | | IMP | | | IMM | | | A | | | BIT, A | | | ZP | | | BIT, ZP | | | | |
| | | | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | | |
| PHA | M(S) A S S - 1 | Sの示す番地のメモリへ、Aの内容を退避し、Sの内容を、1減少させます。 | 48 | 3 | 1 | | | | | | | | | | | | | | | | | |
| PHP | M(S) PS S S - 1 | Sの示す番地のメモリへ、PSの内容を退避し、Sの内容を、1減少させます。 | 08 | 3 | 1 | | | | | | | | | | | | | | | | | |
| PLA | S S + 1 A M(S) | Sの内容を、1増加させ、Sの示す番地のメモリの内容を、Aに入れます。 | 68 | 4 | 1 | | | | | | | | | | | | | | | | | |
| PLP | S S + 1 PS M(S) | Sの内容を、1増加させ、Sの示す番地のメモリの内容を、PSに入れます。 | 28 | 4 | 1 | | | | | | | | | | | | | | | | | |
| ROL |  | A又はMをCフラグとつなげて、その内容を左へ1ビット回転します。A又はMのビット0には、Cフラグの内容が入り、Cフラグには、A又はMのビット7の内容が入ります。 | | | | | | | 2A | 2 | 1 | | | | 26 | 5 | 2 | | | | | |
| ROR |  | A又はMをCフラグとつなげて、その内容を右へ1ビット回転します。A又はMのビット7には、Cフラグの内容が入り、Cフラグには、A又はMのビット0の内容が入ります。 | | | | | | | 6A | 2 | 1 | | | | 66 | 5 | 2 | | | | | |
| RRF |  | Mの内容を右へ4ビット回転します。 | | | | | | | | | | | | | 82 | 8 | 2 | | | | | |
| RTI | S S + 1 PS M(S) S S + 1 PCL M(S) S S + 1 PCH M(S) | 割り込みが受け付けられたときにスタックに退避したステータスフラグとPCの内容を復帰し、割り込みが受け付けられる前と同じ状態に戻します。ただし、M(S)はSが示す番地のメモリの内容です。 | 40 | 6 | 1 | | | | | | | | | | | | | | | | | |
| RTS | S S + 1 PCL M(S) S S + 1 PCH M(S) (PC) (PC) + 1 | サブルーチンへジャンプしたときに、スタックに退避した内容をPCへ格納します。そして、PCを1増加します。このとき、PCLはJSRの次の命令を指しています。ただし、M(S)はSが示す番地のメモリの内容です。 | 60 | 6 | 1 | | | | | | | | | | | | | | | | | |
| SBC (注1) (注5) | T = 0のとき A A - M - C T = 1のとき M(X) M(X) - M - C | Tフラグが0のとき、Aの内容から、Mの内容及び、Cフラグの内容の補数を減算して、結果をA及びCフラグに入れます。 Tフラグが1のとき、M(X)の内容から、Mの内容及び、Cフラグの内容の補数を減算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。 | | | | | | | E9 | 2 | 2 | | | | E5 | 3 | 2 | | | | | |
| SEB | Ai又はMi 1 | A又はMの、指定されたビットiの内容を1にします。 | | | | | | | | | | | 0B 20i | 2 | 1 | | | | 0F 20i | 5 | 2 | |
| SEC | C 1 | Cフラグの内容を1にします。 | 38 | 2 | 1 | | | | | | | | | | | | | | | | | |
| SED | D 1 | Dフラグの内容を1にします。 | F8 | 2 | 1 | | | | | | | | | | | | | | | | | |
| SEI | I 1 | Iフラグの内容を1にします。 | 78 | 2 | 1 | | | | | | | | | | | | | | | | | |
| SET | T 1 | Tフラグの内容を1にします。 | 32 | 2 | 1 | | | | | | | | | | | | | | | | | |

| 命令記号 | 機能 | 詳細説明 | アドレッシングモード | | | | | | | | | | | | | | | | | | | | | | | | |
|------|--------|--|------------|---|---|-----|---|---|----|---|---|--------|---|---|----|---|---|---------|---|---|--|----|---|----|----|---|---|
| | | | IMP | | | IMM | | | A | | | BIT, A | | | ZP | | | BIT, ZP | | | | | | | | | |
| | | | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | | | | | | | |
| STA | M A | Aの内容をMに格納します。このとき、Aは変化しません。 | | | | | | | | | | | | | | | | | | | | 85 | 4 | 2 | | | |
| STP | | STP命令を実行することにより発振制御フリップフロップがリセットされるため、発振が停止します。再起動するためには、割り込みをかけるかリセットする必要があります。 | 42 | 2 | 1 | | | | | | | | | | | | | | | | | | | | | | |
| STX | M X | Xの内容をMに格納します。このとき、Xは変化しません。 | | | | | | | | | | | | | | | | | | | | | | 86 | 4 | 2 | |
| STY | M Y | Yの内容をMに格納します。このとき、Yは変化しません。 | | | | | | | | | | | | | | | | | | | | | | | 84 | 4 | 2 |
| TAX | X A | Aの内容をXへ転送します。このとき、Aは変化しません。 | AA | 2 | 1 | | | | | | | | | | | | | | | | | | | | | | |
| TAY | Y A | Aの内容をYへ転送します。このとき、Aは変化しません。 | A8 | 2 | 1 | | | | | | | | | | | | | | | | | | | | | | |
| TST | M = 0? | Mの内容が0かどうかテストして、NフラグとZフラグを変化させます。 | | | | | | | | | | | | | | | | | | | | | | | 64 | 3 | 2 |
| TSX | X S | Sの内容をXへ転送します。 | BA | 2 | 1 | | | | | | | | | | | | | | | | | | | | | | |
| TXA | A X | Xの内容をAへ転送します。 | 8A | 2 | 1 | | | | | | | | | | | | | | | | | | | | | | |
| TXS | S X | Xの内容をSへ転送します。 | 9A | 2 | 1 | | | | | | | | | | | | | | | | | | | | | | |
| TYA | A Y | Yの内容をAへ転送します。 | 98 | 2 | 1 | | | | | | | | | | | | | | | | | | | | | | |
| WIT | | 内部クロックを停止しますが、発振回路の発振は停止しません。再起動するためには、割り込みをかけるかリセットする必要があります。 | C2 | 2 | 1 | | | | | | | | | | | | | | | | | | | | | | |

- 注1. T=1のときにはサイクル数nは+3します。
 2. T=1のときにはサイクル数nは+2します。
 3. T=1のときにはサイクル数nは+1します。
 4. 分岐が生じた場合サイクル数nは+2します。
 5. 10進演算モード時、N、V、Zフラグは無効です。

| アドレッシングモード | | | | | | | | | | | | | | | プロセッサステータスレジスタ | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|------------|---|---|-------|---|---|-----|---|---|--------|---|---|--------|---|---|----------------|---|---|---------|---|---|--------|---|---|--------|---|---|-----|---|---|----|---|---|---|---|---|---|---|---|---|---|--|--|
| ZP, X | | | ZP, Y | | | ABS | | | ABS, X | | | ABS, Y | | | IND | | | ZP, IND | | | IND, X | | | IND, Y | | | REL | | | SP | | | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | OP | n | # | N | V | T | B | D | I | Z | C | | |
| 95 | 5 | 2 | | | | 8D | 5 | 3 | 9D | 6 | 3 | 99 | 6 | 3 | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | 96 | 5 | 2 | 8E | 5 | 3 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 94 | 5 | 2 | | | | 8C | 5 | 3 | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | | |

| 記号 | 内容 | 記号 | 内容 |
|------------|-------------------------------|-------------|-----------------------------------|
| IMP | インブライドアドレッシングモード | + | 加算 |
| IMM | イミディエイトアドレッシングモード | - | 減算 |
| A | アキュムレータ又はアキュムレータアドレッシングモード | | 論理積 |
| BIT, A, R | アキュムレータビットリラティブアドレッシングモード | | 論理和 |
| BIT, A | アキュムレータビットアドレッシングモード | - | 排他的論理和 |
| ZP | ゼロページアドレッシングモード | | 否定 |
| BIT, ZP, R | ゼロページビットリラティブアドレッシングモード | X | 矢印の方向に移動を示します。 |
| BIT, ZP | ゼロページビットアドレッシングモード | Y | インデックスレジスタX |
| ZP, X | ゼロページXアドレッシングモード | S | インデックスレジスタY |
| ZP, Y | ゼロページYアドレッシングモード | | スタックポインタ |
| ABS | アブソリュートアドレッシングモード | PC | プログラムカウンタ |
| ABS, X | アブソリュートXアドレッシングモード | PS | プロセッサステータスレジスタ |
| ABS, Y | アブソリュートYアドレッシングモード | PCH | プログラムカウンタの上位8ビット |
| IND | インダイレクトアブソリュートアドレッシングモード | PCL | プログラムカウンタの下位8ビット |
| ZP, IND | ゼロページインダイレクトアブソリュートアドレッシングモード | ADH | アドレスの上位8ビット |
| IND, X | インダイレクトXアドレッシングモード | ADL | アドレスの下位8ビット |
| IND, Y | インダイレクトYアドレッシングモード | FF | 16進数のFF |
| REL | リラティブアドレッシングモード | nn | イミディエイト値 |
| SP | スペシャルページアドレッシングモード | ZZ | ゼロページアドレス |
| C | キャリーフラグ | M | アドレッシングモードの中のいずれか1つの番地指定で指定されたメモリ |
| Z | ゼロフラグ | M(X) | インデックスレジスタXの内容の示す番地のメモリ |
| I | 割り込み禁止フラグ | M(S) | スタックポインタの内容の示す番地のメモリ |
| D | 10進モードフラグ | M(ADH, ADL) | 上位8ビットがADH、下位8ビットがADLで示される番地の内容 |
| B | ブレークフラグ | M(00, ADL) | ゼロページのADLで示される番地の内容 |
| T | X修飾演算モードフラグ | Ai | アキュムレータのビットi (i=0~7) |
| V | オーバーフローフラグ | Mi | メモリのビットi (i=0~7) |
| N | ネガティブフラグ | OP | 命令コード |
| | | n | サイクル数 |
| | | # | バイト数 |

3.8 SFRメモリマップ

| | | | | | |
|--------------------|--------------------------|--------------------|------------------|---|------|
| 00C0 ₁₆ | ポートP0 | 00E0 ₁₆ | 送信/受信バッファレジスタ | } | (注5) |
| 00C1 ₁₆ | ポートP0方向レジスタ | 00E1 ₁₆ | シリアルI/Oステータスレジスタ | | |
| 00C2 ₁₆ | ポートP1 | 00E2 ₁₆ | シリアルI/O制御レジスタ | | |
| 00C3 ₁₆ | ポートP1方向レジスタ | 00E3 ₁₆ | UART制御レジスタ | | |
| 00C4 ₁₆ | ポートP2 | 00E4 ₁₆ | ポーレートジェネレータ | | |
| 00C5 ₁₆ | ポートP2方向レジスタ (注1) | 00E5 ₁₆ | | | |
| 00C6 ₁₆ | ポートP3 | 00E6 ₁₆ | | | |
| 00C7 ₁₆ | | 00E7 ₁₆ | | | |
| 00C8 ₁₆ | ポートP4 | 00E8 ₁₆ | | | |
| 00C9 ₁₆ | ポートP4方向レジスタ | 00E9 ₁₆ | | | |
| 00CA ₁₆ | ポートP5 (注2) | 00EA ₁₆ | | | |
| 00CB ₁₆ | | 00EB ₁₆ | | | |
| 00CC ₁₆ | | 00EC ₁₆ | | | |
| 00CD ₁₆ | | 00ED ₁₆ | | | |
| 00CE ₁₆ | | 00EE ₁₆ | | | |
| 00CF ₁₆ | | 00EF ₁₆ | | | |
| 00D0 ₁₆ | ポートP0プルアップ制御レジスタ | 00F0 ₁₆ | タイマ1 | | |
| 00D1 ₁₆ | ポートP1～P5プルアップ制御レジスタ (注3) | 00F1 ₁₆ | タイマ2 | | |
| 00D2 ₁₆ | | 00F2 ₁₆ | タイマ3 | | |
| 00D3 ₁₆ | | 00F3 ₁₆ | タイマ4 | | |
| 00D4 ₁₆ | エッジ極性選択レジスタ | 00F4 ₁₆ | | | |
| 00D5 ₁₆ | | 00F5 ₁₆ | | | |
| 00D6 ₁₆ | 入力ラッチレジスタ | 00F6 ₁₆ | | | |
| 00D7 ₁₆ | | 00F7 ₁₆ | タイマFFレジスタ | | |
| 00D8 ₁₆ | | 00F8 ₁₆ | タイマ12モードレジスタ | | |
| 00D9 ₁₆ | A-D制御レジスタ | 00F9 ₁₆ | タイマ34モードレジスタ | | |
| 00DA ₁₆ | A-D変換レジスタ | 00FA ₁₆ | タイマモードレジスタ2 | | |
| 00DB ₁₆ | | 00FB ₁₆ | CPUモードレジスタ | | |
| 00DC ₁₆ | シリアルI/Oモードレジスタ | 00FC ₁₆ | 割り込み要求レジスタ1 | | |
| 00DD ₁₆ | シリアルI/Oレジスタ | 00FD ₁₆ | 割り込み要求レジスタ2 | | |
| 00DE ₁₆ | シリアルI/Oカウンタ、バイトカウンタ | 00FE ₁₆ | 割り込み制御レジスタ1 | | |
| 00DF ₁₆ | | 00FF ₁₆ | 割り込み制御レジスタ2 | | |

注1. 7477/7478グループでは配置されていません。

2. 7470/7477グループでは配置されていません。

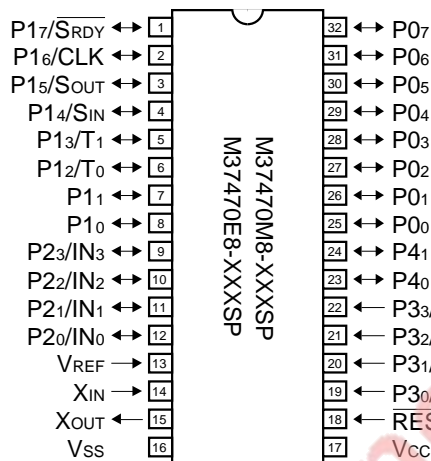
3. 7470/7477グループではポートP1～P4プルアップ制御レジスタが配置されています。

4. 7477/7478グループでは配置されていません。

5. 7470/7471グループでは配置されていません。

3.9 ピン接続図

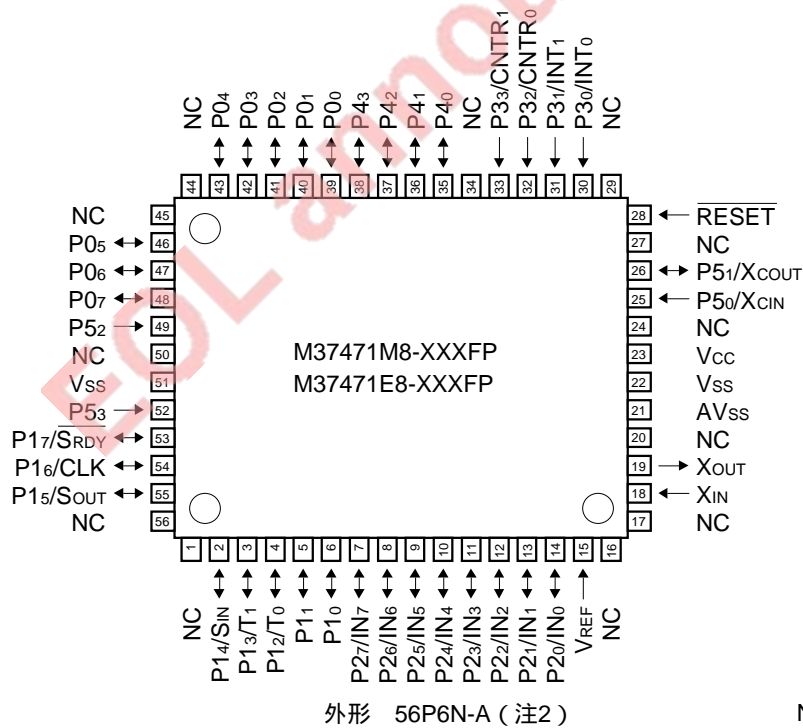
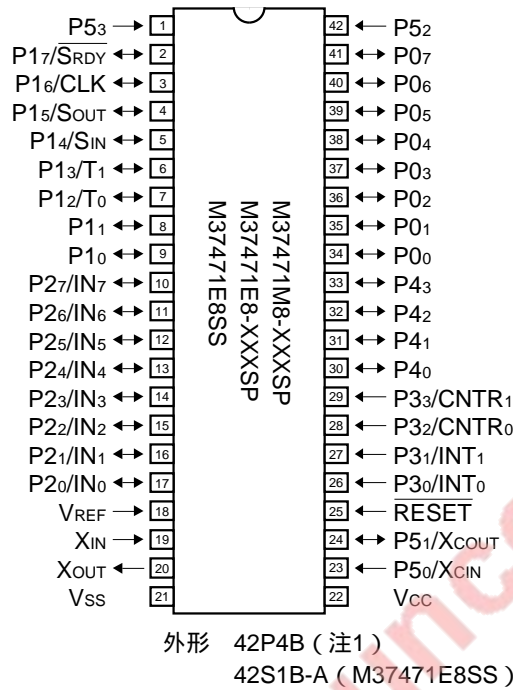
ピン接続図(上面図)



外形 32P4B (注)

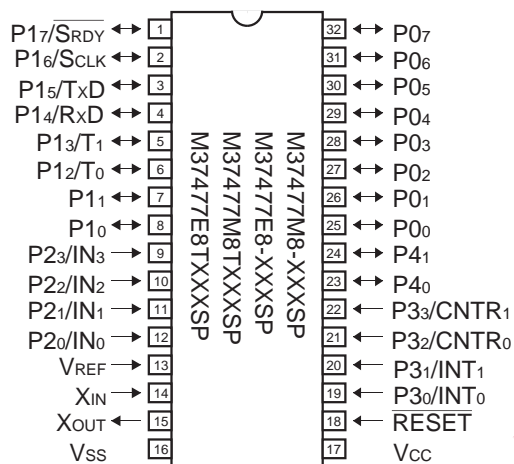
注 . M37470M2-XXXSP、M37470M4/E4-XXXSPも32P4Bのパッケージに収められています。
これらの製品はすべてピンコンパチブルです。

ピン接続図(上面図)

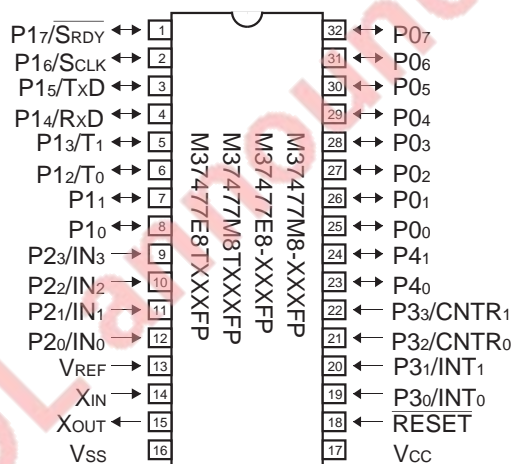


- 注1. M37471M2-XXXXSP、M37471M4/E4-XXXXSPも42P4Bのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
2. M37471M2-XXXXFP、M37471M4/E4-XXXXFPも56P6N-Aのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
3. 42P4Bのパッケージ品と56P6N-Aパッケージ品の違いはパッケージの形状、絶対最大定格及び56P6N-Aパッケージ品がAVss端子を持っていることのみです。

ピン接続図(上面図)



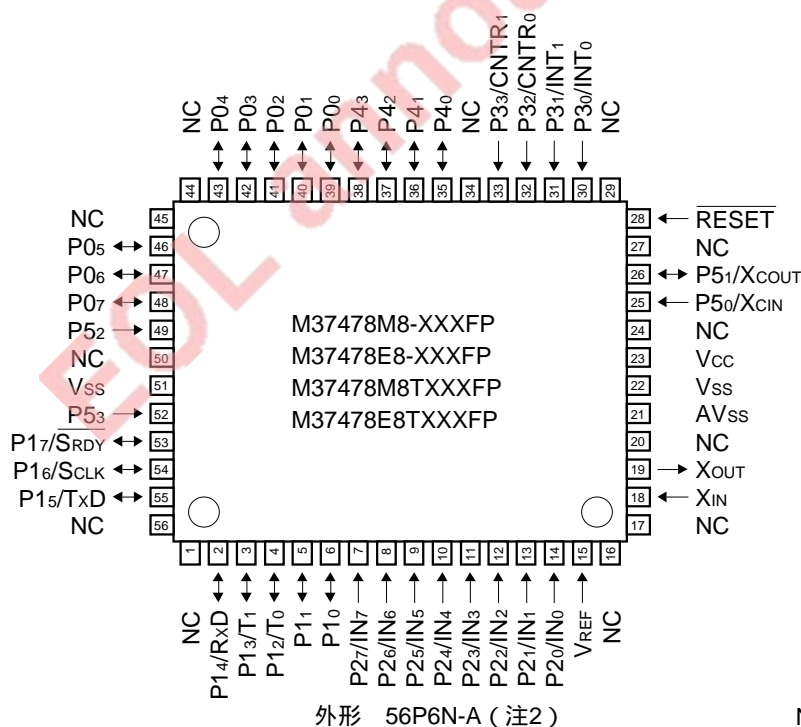
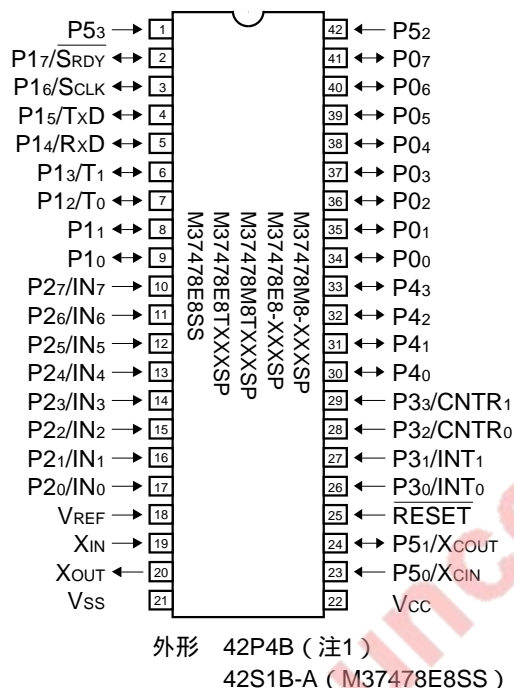
外形 32P4B (注1)



外形 32P2W-A (注2)

- 注1 . M37477M2TXXXSP、M37477M4-XXXSP、M37477M4TXXXSPも32P4Bのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 2 . M37477M2TXXXFP、M37477M4-XXXFP、M37477M4TXXXFPも32P2W-Aのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 3 . 32P4Bパッケージ品と32P2W-Aパッケージ品の違いはパッケージの形状及び絶対最大定格のみです。

ピン接続図(上面図)



- 注1. M37478M2TXXXSP、M37478M4-XXXSP、M37478M4TXXXSPも42P4Bのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 2. M37478M2TXXXFP、M37478M4-XXXFP、M37478M4TXXXFPも56P6N-Aのパッケージに収められています。これらの製品はすべてピンコンパチブルです。
- 3. 42P4Bパッケージ品と56P6N-Aパッケージ品の違いは、パッケージの形状、絶対最大定格及び56P6N-Aパッケージ品がAVss端子を持っていることのみです。

EOL announced

三菱シングルチップマイクロコンピュータ
ユーザーズマニュアル
7470/7471/7477/7478グループ

1998年12月第三版第一刷発行
発行所 三菱電機株式会社半導体営業企画部
〒107-6150 東京都港区赤坂5-2-20号 赤坂パークビル
TEL 03-5573-3385

禁無断転載

本説明書の一部又は全部を、当社に断りなく、いかなる形でも転載又は複製することを堅くお断りします。

© 1998 MITSUBISHI ELECTRIC CORPORATION

EOL announced

7470/7471、7477/7478 グループ
ユーザーズマニュアル

RENESAS

ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

改訂履歴

7470/7471/7477/7478 グループユーザズマニュアル

| Rev. No. | 改訂内容 | Rev. date |
|----------------------|--------------|--------------|
| 1.0 | PDF ファイル初版発行 | 981224 |
| EOL announced | | |