

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# 3804グループ(H仕様)

ユーザーズマニュアル

ルネサス8ビットCISCシングルチップマイクロコンピュータ  
740ファミリ / 38000シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



## 1. 構成

このユーザーズマニュアルは次の3章から成り立っています。ハードウェアの設計、ソフトウェア開発などで状況に応じて必要な章を参照してください。なお、第3章にもシステム開発をするうえで必要な情報を掲載していますので、必ず参照してください。

### 第1章「ハードウェア」

マイクロコンピュータの特長から各周辺機能の動作説明を掲載しています。

### 第2章「応用」

各周辺機能の使用方法や応用例を、関連レジスタの設定例を中心に説明しています。

### 第3章「付録」

マイクロコンピュータを使用して実際にシステムを開発する場合に必要な電気的特性、注意事項、レジスタ一覧などを掲載しています。

## 2. レジスタ構成図

このユーザーズマニュアルに掲載している制御レジスタ構成図の例と、その中で使用されている略号などの意味を以下に示します。

注1: リセット解除直後の内容  
 0・・・リセット解除時“0”  
 1・・・リセット解除時“1”  
 不定・・・リセット解除時不定  
 \*・・・リセット解除時オプションによって決められた内容

注2: ビットの属性・・・制御レジスタの各ビットの属性は読み出し専用、書き込み専用、又は読み出し及び書き込みの3種類があります。図中ではこれらの属性を次のように表します。

R・・・読み出し  
 ・・・・読み出し可能  
 x・・・読み出し不可能

W・・・書き込み  
 ・・・・書き込み可能  
 x・・・書き込み不可能

b	ビット名	機 能	リセット時	R:W
0	プロセッサモードレジスタ	00: シングルチップモード 01: } 10: } 使用禁止 11: }	0	
1			0	
2	スタックページ選択ビット	0: 0ページ 1: 1ページ	0	
3	このビットには何も配置されていません。書き込みは不可で、読み出した場合、その内容は“0”です		0	x
4			0	x
5	このビットは“0”に固定してください。		0	
6	メインクロック(X <sub>IN</sub> -X <sub>OUT</sub> )停止ビット	0: 発振 1: 停止	*	
7	内部システムクロック選択ビット	0: X <sub>IN</sub> -X <sub>OUT</sub> 選択(高速モード) 1: X <sub>CIN</sub> -X <sub>COUT</sub> 選択(低速モード)	*	

■: 何も配置されていないビット    ■: 当該機能の制御では使用されないビット

## 3 . 補足事項

開発ツール、関連ドキュメントにつきましては、ルネサステクノロジWebサイトの3804グループ製品個別情報ページ([http://www.renesas.com/jpn/products/mpumcu/8bit/38000/product\\_info/3804/3804\\_info.html](http://www.renesas.com/jpn/products/mpumcu/8bit/38000/product_info/3804/3804_info.html))を参照してください。

# 目次

## 第1章 ハードウェア

概要 .....	1-2
特長 .....	1-2
ピン接続 .....	1-3
機能ブロック .....	1-4
端子の機能説明 .....	1-5
型名とメモリサイズ・パッケージ .....	1-6
グループ展開 .....	1-7
メモリ容量 .....	1-7
パッケージ .....	1-7
機能ブロック動作説明 .....	1-8
中央演算処理装置( CPU ) .....	1-8
メモリ .....	1-13
入出力ポート .....	1-15
割り込み .....	1-23
タイマ .....	1-27
シリアルインタフェース .....	1-40
PWM .....	1-54
A/Dコンバータ .....	1-56
D/Aコンバータ .....	1-58
ウォッチドッグタイマ .....	1-59
マルチマスタ <sup>2</sup> C-BUSインタフェース .....	1-60
リセット回路 .....	1-74
クロック発生回路 .....	1-76
フラッシュメモリモード .....	1-80
プログラミング上の注意事項 .....	1-99
使用上の注意事項 .....	1-100
マスク化発注時の提出資料 .....	1-100
補足説明 .....	1-101
割り込み .....	1-101
割り込み発生後のタイミング .....	1-102
A/Dコンバータ .....	1-103

## 第2章 応用

2.1 入出力ポート .....	2-2
2.1.1 メモリ配置図 .....	2-2
2.1.2 関連レジスタ .....	2-3

2.1.3	ポートPiプルアップ制御レジスタ .....	2-5
2.1.4	未使用端子の処理 .....	2-5
2.1.5	入出力端子に関する注意事項 .....	2-6
2.1.6	未使用端子の処理に関する注意事項 .....	2-7
2.2	割り込み .....	2-8
2.2.1	メモリ配置図 .....	2-8
2.2.2	関連レジスタ .....	2-9
2.2.3	割り込み要因 .....	2-12
2.2.4	割り込み動作 .....	2-13
2.2.5	割り込み制御 .....	2-16
2.2.6	INT割り込み .....	2-19
2.2.7	割り込みに関する注意事項 .....	2-20
2.3	タイマ .....	2-22
2.3.1	メモリ配置図 .....	2-22
2.3.2	関連レジスタ .....	2-23
2.3.3	タイマの応用例 .....	2-31
2.3.4	タイマに関する注意事項 .....	2-45
2.4	シリアルインタフェース .....	2-47
2.4.1	メモリ配置図 .....	2-47
2.4.2	関連レジスタ .....	2-48
2.4.3	シリアルI/Oの接続例 .....	2-55
2.4.4	シリアルI/O転送データフォーマット .....	2-57
2.4.5	シリアルI/O1、シリアルI/O3動作の停止、初期化 .....	2-58
2.4.6	シリアルI/Oの端子機能と選択方法 .....	2-60
2.4.7	シリアルI/Oの応用例 .....	2-62
2.4.8	シリアルインタフェースに関する注意事項 .....	2-82
2.5	マルチマスタ <sup>2</sup> I <sup>2</sup> C-BUSインタフェース .....	2-85
2.5.1	メモリ配置図 .....	2-85
2.5.2	関連レジスタ .....	2-86
2.5.3	I <sup>2</sup> C-BUSの概要 .....	2-94
2.5.4	通信プロトコル .....	2-94
2.5.5	同期化とアービトレーションロスト .....	2-96
2.5.6	SMBUS通信での使用例 .....	2-98
2.5.7	マルチマスタ <sup>2</sup> I <sup>2</sup> C-BUSインタフェースに関する注意事項 .....	2-114
2.5.8	SMBUSインタフェース用プログラム作成に関する注意事項 .....	2-116
2.6	PWM .....	2-117
2.6.1	メモリ配置図 .....	2-117
2.6.2	関連レジスタ .....	2-117
2.6.3	PWM出力回路の応用例 .....	2-119
2.6.4	PWMに関する注意事項 .....	2-121
2.7	A/Dコンバータ .....	2-122
2.7.1	メモリ配置図 .....	2-122
2.7.2	関連レジスタ .....	2-122
2.7.3	A/D変換応用例 .....	2-126
2.7.4	A/Dコンバータに関する注意事項 .....	2-130

2.8	D/Aコンバータ .....	2-131
2.8.1	メモリ配置図 .....	2-131
2.8.2	関連レジスタ .....	2-132
2.8.3	D/A変換の応用例 .....	2-134
2.8.4	D/Aコンバータに関する注意事項 .....	2-137
2.9	ウォッチドッグタイマ .....	2-138
2.9.1	メモリ配置図 .....	2-138
2.9.2	関連レジスタ .....	2-138
2.9.3	ウォッチドッグタイマの応用 .....	2-140
2.9.4	ウォッチドッグタイマに関する注意事項 .....	2-141
2.10	リセット .....	2-142
2.10.1	リセットICを用いた接続例 .....	2-142
2.10.2	リセット端子に関する注意事項 .....	2-143
2.11	クロック発生回路 .....	2-144
2.11.1	関連レジスタ .....	2-144
2.11.2	クロック発生回路の応用例 .....	2-145
2.12	スタンバイ機能 .....	2-148
2.12.1	ストップモード .....	2-148
2.12.2	ウェイトモード .....	2-152
2.13	フラッシュメモリモード .....	2-155
2.13.1	概要 .....	2-155
2.13.2	メモリ配置 .....	2-155
2.13.3	関連レジスタ .....	2-156
2.13.4	パラレル入出力モード .....	2-158
2.13.5	標準シリアル入出力モード .....	2-158
2.13.6	CPU書き換えモード .....	2-159
2.13.7	フラッシュメモリモードの応用例 .....	2-161
2.13.8	CPU書き換えモードに関する注意事項 .....	2-165

### 第3章 付 録

3.1	電気的特性 .....	3-2
3.1.1	絶対最大定格 .....	3-2
3.1.2	推奨動作条件 .....	3-3
3.1.3	電気的特性 .....	3-6
3.1.4	A/Dコンバータ特性 .....	3-8
3.1.5	D/Aコンバータ特性 .....	3-8
3.1.6	電源回路特性 .....	3-8
3.1.7	タイミング必要条件 .....	3-9
3.1.8	スイッチング特性 .....	3-11
3.1.9	マルチマスタI <sup>2</sup> C-BUSバスライン特性 .....	3-14
3.2	標準特性例 .....	3-15
3.2.1	電源電流特性例 .....	3-15
3.2.2	ポート標準特性例 .....	3-19

3.2.3	A/D変換標準特性例 .....	3-22
3.2.4	D/A変換標準特性例 .....	3-26
3.3	使用上の注意事項 .....	3-27
3.3.1	入出力端子に関する注意事項 .....	3-27
3.3.2	未使用端子の処理に関する注意事項 .....	3-28
3.3.3	割り込みに関する注意事項 .....	3-29
3.3.4	8ビットタイマ( タイマ1、タイマ2、タイマX、タイマY )に関する注意事項 .....	3-30
3.3.5	16ビットタイマ( タイマZ )に関する注意事項 .....	3-30
3.3.6	シリアルインタフェースに関する注意事項 .....	3-31
3.3.7	マルチマスタ <sup>2</sup> C-BUSインタフェースに関する注意事項 .....	3-34
3.3.8	SMBUSインタフェース用プログラム作成に関する注意事項 .....	3-36
3.3.9	PWMに関する注意事項 .....	3-36
3.3.10	A/Dコンバータに関する注意事項 .....	3-37
3.3.11	D/Aコンバータに関する注意事項 .....	3-37
3.3.12	ウォッチドッグタイマに関する注意事項 .....	3-38
3.3.13	リセット端子に関する注意事項 .....	3-38
3.3.14	低速モードに関する注意事項 .....	3-38
3.3.15	水晶発振子に関する注意事項 .....	3-39
3.3.16	発振の再開に関する注意事項 .....	3-39
3.3.17	ストップモード使用上の注意事項 .....	3-39
3.3.18	ウェイトモード使用上の注意事項 .....	3-39
3.3.19	CPU書き換えモードに関する注意事項 .....	3-40
3.3.20	プログラム作成に関する注意事項 .....	3-40
3.3.21	フラッシュメモリ版に関する注意事項 .....	3-42
3.3.22	フラッシュメモリ版/マスクROM版の相違点に関する注意事項 .....	3-42
3.3.23	電源端子の取扱いに関する注意事項 .....	3-42
3.3.24	電源電圧に関する注意事項 .....	3-42
3.4	ノイズに関する注意事項 .....	3-43
3.4.1	配線長の短縮 .....	3-43
3.4.2	Vss - Vccライン間へのバイパスコンデンサ挿入 .....	3-45
3.4.3	アナログ入力端子の配線処理 .....	3-46
3.4.4	発振子への配慮 .....	3-47
3.4.5	入出力ポート処理 .....	3-48
3.4.6	ソフトウェアによるウォッチドッグタイマ機能の実現 .....	3-49
3.5	レジスタ一覧 .....	3-50
3.6	パッケージ寸法図 .....	3-77
3.7	命令コード一覧表 .....	3-79
3.8	機械語命令一覧表 .....	3-80
3.9	SFRメモリマップ .....	3-90
3.10	ピン接続図 .....	3-91

# 図目次

## 第1章 ハードウェア

図1 . 3804グループ(H仕様)のピン接続図 .....	1-3
図2 . 3804グループ(H仕様)のピン接続図 .....	1-3
図3 . 機能ブロック図 .....	1-4
図4 . 型名とメモリサイズ・パッケージ .....	1-6
図5 . ROM及びRAM展開計画 .....	1-7
図6 . 740ファミリCPUの構成 .....	1-8
図7 . スタックへの退避及び復帰動作 .....	1-9
図8 . CPUモードレジスタの構成 .....	1-11
図9 . MISRGの構成 .....	1-12
図10 . メモリ配置図 .....	1-13
図11 . SFR(スペシャルファンクションレジスタ)メモリマップ .....	1-14
図12 . ポートブロック図(1) .....	1-16
図13 . ポートブロック図(2) .....	1-17
図14 . ポートブロック図(3) .....	1-18
図15 . ポートレジスタ構成図(1) .....	1-19
図16 . ポートレジスタ構成図(2) .....	1-20
図17 . ポートレジスタ構成図(3) .....	1-21
図18 . ポートレジスタ構成図(4) .....	1-22
図19 . 割り込み制御図 .....	1-25
図20 . 割り込み関係レジスタの構成 .....	1-26
図21 . タイマX、タイマY、タイマ1及びタイマ2のブロック図 .....	1-29
図22 . タイマXYモードレジスタの構成 .....	1-30
図23 . タイマ12、X、Y、Zカウントソース選択レジスタの構成 .....	1-31
図24 . タイマZのブロック図 .....	1-35
図25 . タイマZモードレジスタの構成 .....	1-36
図26 . タイマ・イベントカウンタモードのタイミング図 .....	1-37
図27 . パルス出力モードのタイミング図 .....	1-37
図28 . パルス周期測定モードのタイミング図(立ち上がり区間測定時) .....	1-38
図29 . パルス幅測定モードのタイミング図("L"区間測定時) .....	1-38
図30 . プログラマブル波形発生モードのタイミング図 .....	1-39
図31 . プログラマブルワンショット発生モードのタイミング図("H"ワンショットパルス発生時) .....	1-39
図32 . クロック同期形シリアルI/O1ブロック図 .....	1-40
図33 . クロック同期形シリアルI/O1動作図 .....	1-40
図34 . UART形シリアルI/O1ブロック図 .....	1-41
図35 . UART形シリアルI/O1動作図 .....	1-41
図36 . シリアルI/O1関係レジスタの構成 .....	1-43
図37 . シリアルI/O2制御レジスタの構成 .....	1-46
図38 . シリアルI/O2ブロック図 .....	1-46
図39 . シリアルI/O2タイミング図 .....	1-47
図40 . クロック同期形シリアルI/O3ブロック図 .....	1-48
図41 . クロック同期形シリアルI/O3動作図 .....	1-48
図42 . UART形シリアルI/O3ブロック図 .....	1-49
図43 . UART形シリアルI/O3動作図 .....	1-49
図44 . シリアルI/O3関係レジスタの構成 .....	1-51
図45 . PWM周期のタイミング図 .....	1-54

図46 . PWM回路ブロック図 .....	1-54
図47 . PWM制御レジスタの構成 .....	1-55
図48 . PWM制御レジスタ及びPWMプリスケアラ変更時のPWM出力タイミング図 .....	1-55
図49 . AD/DA制御レジスタの構成 .....	1-56
図50 . 10ビットA/Dモードの読み出し構成 .....	1-56
図51 . A/D変換のブロック図 .....	1-57
図52 . D/Aコンバータブロック図 .....	1-58
図53 . D/Aコンバータ等価回路図( D/A1) .....	1-58
図54 . ウォッチドッグタイマのブロック図 .....	1-59
図55 . ウォッチドッグタイマ制御レジスタの構成 .....	1-59
図56 . マルチマスタI <sup>2</sup> C-BUSインタフェースのブロック図 .....	1-60
図57 . I <sup>2</sup> Cスレーブアドレスレジスタ0~2の構成 .....	1-61
図58 . I <sup>2</sup> Cクロックコントロールレジスタの構成 .....	1-62
図59 . I <sup>2</sup> Cコントロールレジスタのビット構成 .....	1-63
図60 . I <sup>2</sup> Cステータスレジスタの構成 .....	1-65
図61 . 割り込み要求信号の発生タイミング .....	1-65
図62 . スタートコンディション発生タイミング図 .....	1-66
図63 . ストップコンディション発生タイミング図 .....	1-66
図64 . スタートコンディション検出のタイミング図 .....	1-67
図65 . ストップコンディション検出のタイミング図 .....	1-67
図66 . I <sup>2</sup> Cスタート/ストップコンディション制御レジスタの構成 .....	1-68
図67 . I <sup>2</sup> Cスペシャルモードステータスレジスタの構成 .....	1-69
図68 . I <sup>2</sup> Cスペシャルモード制御レジスタの構成 .....	1-70
図69 . アドレスデータ通信フォーマット .....	1-71
図70 . リセット回路例 .....	1-74
図71 . リセットシーケンス .....	1-74
図72 . リセット時の内部状態 .....	1-75
図73 . セラミック共振子外付け回路 .....	1-77
図74 . 外部クロック入力回路 .....	1-77
図75 . システムクロック発生回路ブロック図 .....	1-78
図76 . システムクロックの状態遷移図 .....	1-79
図77 . 内蔵フラッシュメモリのブロック図 .....	1-81
図78 . フラッシュメモリ制御レジスタ0の構成 .....	1-82
図79 . フラッシュメモリ制御レジスタ1の構成 .....	1-82
図80 . フラッシュメモリ制御レジスタ2の構成 .....	1-83
図81 . CPU書き換えモードの設定/解除フローチャート .....	1-83
図82 . プログラムフローチャート .....	1-85
図83 . イレーズフローチャート .....	1-86
図84 . フルステータスチェックフローチャート及び各エラー発生時の対処方法 .....	1-88
図85 . ROMコードプロテクト制御番地の構成 .....	1-89
図86 . IDコードの格納アドレス .....	1-90
図87 . 標準シリアル入出力モード1時の端子結線図(M38049FFHFP/HP/KP) .....	1-94
図88 . 標準シリアル入出力モード2時の端子結線図(M38049FFHFP/HP/KP) .....	1-95
図89 . 標準シリアル入出力モード1時の端子結線図(M38049FFHSP) .....	1-96
図90 . 標準シリアル入出力モード2時の端子結線図(M38049FFHSP) .....	1-97
図91 . 標準シリアル入出力モード1時の動作波形図 .....	1-98
図92 . 標準シリアル入出力モード2時の動作波形図 .....	1-98
図93 . 割り込み発生後のタイミングチャート .....	1-102
図94 . 割り込み処理ルーチンを実行するまでの時間 .....	1-102
図95 . A/Dコンバータ等価回路 .....	1-105
図96 . A/D変換タイミングチャート .....	1-105

第2章 応用

図2.1.1 入出力ポート関連レジスタのメモリ配置 ..... 2-2

図2.1.2 ポートPiの構成(i = 0 ~ 6) ..... 2-3

図2.1.3 ポートPi方向レジスタの構成(i = 0 ~ 6) ..... 2-3

図2.1.4 ポートPiプルアップ制御レジスタの構成(i = 0, 1, 2, 4, 5, 6) ..... 2-4

図2.1.5 ポートP3プルアップ制御レジスタの構成 ..... 2-4

図2.2.1 割り込み関連レジスタのメモリ配置 ..... 2-8

図2.2.2 割り込み要因選択レジスタの構成 ..... 2-9

図2.2.3 割り込みエッジ選択レジスタの構成 ..... 2-9

図2.2.4 割り込み要求レジスタ1の構成 ..... 2-10

図2.2.5 割り込み要求レジスタ2の構成 ..... 2-10

図2.2.6 割り込み制御レジスタ1の構成 ..... 2-11

図2.2.7 割り込み制御レジスタ2の構成 ..... 2-11

図2.2.8 割り込み動作図 ..... 2-13

図2.2.9 割り込み要求受付時のスタックポイントとプログラムカウンタの変化 ..... 2-14

図2.2.10 割り込み処理ルーチンを実行するまでの時間 ..... 2-15

図2.2.11 割り込み要求受付後のタイミング ..... 2-15

図2.2.12 割り込み制御図 ..... 2-16

図2.2.13 多重割り込みの例 ..... 2-18

図2.2.14 関連レジスタの設定変更手順 ..... 2-20

図2.2.15 割り込み要求ビットの判定手順 ..... 2-21

図2.3.1 タイマ関連レジスタのメモリ配置 ..... 2-22

図2.3.2 プリスケーラ12、プリスケーラX、プリスケーラYの構成 ..... 2-23

図2.3.3 タイマ1の構成 ..... 2-23

図2.3.4 タイマ2、タイマX、タイマYの構成 ..... 2-24

図2.3.5 タイマZ下位、タイマZ上位の構成 ..... 2-24

図2.3.6 タイマXYモードレジスタの構成 ..... 2-25

図2.3.7 タイマZモードレジスタの構成 ..... 2-26

図2.3.8 タイマ12、Xカウントソース選択レジスタの構成 ..... 2-27

図2.3.9 タイマY、Zカウントソース選択レジスタの構成 ..... 2-27

図2.3.10 割り込み要因選択レジスタの構成 ..... 2-28

図2.3.11 割り込み要求レジスタ1の構成 ..... 2-28

図2.3.12 割り込み要求レジスタ2の構成 ..... 2-29

図2.3.13 割り込み制御レジスタ1の構成 ..... 2-29

図2.3.14 割り込み制御レジスタ2の構成 ..... 2-30

図2.3.15 タイマの接続と分周比の設定 ..... 2-33

図2.3.16 関連レジスタの設定 ..... 2-33

図2.3.17 制御手順 ..... 2-34

図2.3.18 周辺回路例 ..... 2-35

図2.3.19 タイマの接続と分周比の設定 ..... 2-35

図2.3.20 関連レジスタの設定 ..... 2-36

図2.3.21 制御手順 ..... 2-37

図2.3.22 入力パルス有効又は無効の判定方法 ..... 2-38

図2.3.23 関連レジスタの設定 ..... 2-39

図2.3.24 制御手順 ..... 2-40

図2.3.25 タイマの接続と分周比の設定 ..... 2-41

図2.3.26 関連レジスタの設定 ..... 2-42

図2.3.27 制御手順( 1 ) ..... 2-43

図2.3.28 制御手順( 2 ) ..... 2-44

図2.4.1	シリアルI/O関連レジスタのメモリ配置	2-47
図2.4.2	送信/受信バッファレジスタ1、送信/受信バッファレジスタ3の構成	2-48
図2.4.3	シリアルI/O1ステータスレジスタ、シリアルI/O3ステータスレジスタの構成	2-48
図2.4.4	シリアルI/O1制御レジスタの構成	2-49
図2.4.5	シリアルI/O3制御レジスタの構成	2-49
図2.4.6	UART1制御レジスタの構成	2-50
図2.4.7	UART3制御レジスタの構成	2-50
図2.4.8	ボーレートジェネレータ1、ボーレートジェネレータ3の構成	2-51
図2.4.9	シリアルI/O2制御レジスタの構成	2-51
図2.4.10	シリアルI/O2レジスタの構成	2-52
図2.4.11	割り込み要因選択レジスタの構成	2-52
図2.4.12	割り込み要求レジスタ1の構成	2-53
図2.4.13	割り込み要求レジスタ2の構成	2-53
図2.4.14	割り込み制御レジスタ1の構成	2-54
図2.4.15	割り込み制御レジスタ2の構成	2-54
図2.4.16	シリアルI/Oの接続例1	2-55
図2.4.17	シリアルI/Oの接続例2	2-56
図2.4.18	シリアルI/O転送データフォーマット	2-57
図2.4.19	接続図	2-62
図2.4.20	タイミング図	2-62
図2.4.21	送信側関連レジスタの設定	2-63
図2.4.22	受信側関連レジスタの設定	2-64
図2.4.23	送信側の制御手順	2-65
図2.4.24	受信側の制御手順	2-66
図2.4.25	接続図	2-67
図2.4.26	タイミング図(シリアルI/O1)	2-67
図2.4.27	シリアルI/O1関連レジスタの設定	2-68
図2.4.28	シリアルI/O1送信データの設定	2-68
図2.4.29	シリアルI/O1制御手順	2-69
図2.4.30	シリアルI/O2関連レジスタの設定	2-70
図2.4.31	シリアルI/O2送信データの設定	2-70
図2.4.32	シリアルI/O2制御手順	2-71
図2.4.33	接続図	2-72
図2.4.34	タイミング図	2-73
図2.4.35	関連レジスタの設定	2-73
図2.4.36	マスタ側の制御手順	2-74
図2.4.37	スレーブ側の制御手順	2-75
図2.4.38	接続図	2-76
図2.4.39	タイミング図	2-76
図2.4.40	送信側関連レジスタの設定	2-78
図2.4.41	受信側関連レジスタの設定	2-79
図2.4.42	送信側の制御手順	2-80
図2.4.43	受信側の制御手順	2-81
図2.4.44	シリアルI/O <sub>i</sub> (i=1,3)制御レジスタの再設定手順	2-83
図2.5.1	I <sup>2</sup> C関連レジスタのメモリ配置	2-85
図2.5.2	MISRGの構成	2-86
図2.5.3	I <sup>2</sup> Cデータシフトレジスタの構成	2-86
図2.5.4	I <sup>2</sup> Cスペシャルモードステータスレジスタの構成	2-87
図2.5.5	I <sup>2</sup> Cステータスレジスタの構成	2-88
図2.5.6	I <sup>2</sup> Cコントロールレジスタの構成	2-88
図2.5.7	I <sup>2</sup> Cクロックコントロールレジスタの構成	2-89

図2.5.8	I <sup>2</sup> Cスタート/ストップコンディション制御レジスタの構成	2-90
図2.5.9	I <sup>2</sup> Cスペシャルモード制御レジスタの構成	2-90
図2.5.10	I <sup>2</sup> Cスレーブアドレスレジスタ $i(i=0\sim 2)$ の構成	2-91
図2.5.11	割り込み要因選択レジスタの構成	2-91
図2.5.12	割り込み要求レジスタ1の構成	2-92
図2.5.13	割り込み要求レジスタ2の構成	2-92
図2.5.14	割り込み制御レジスタ1の構成	2-93
図2.5.15	割り込み制御レジスタ2の構成	2-93
図2.5.16	I <sup>2</sup> C-BUS接続構成	2-94
図2.5.17	I <sup>2</sup> C-BUSバス通信プロトコル	2-95
図2.5.18	マスタ受信時のリスタートコンディション	2-96
図2.5.19	クロック同期化発生時のSCL波形	2-97
図2.5.20	初期設定例	2-99
図2.5.21	SMBUSマスタデバイスとしてのRead Wordプロトコル通信	2-100
図2.5.22	スタートコンディションとスレーブアドレス送信処理	2-101
図2.5.23	コマンド送信処理	2-102
図2.5.24	リスタートコンディション、スレーブアドレス+リードビットの送信処理	2-103
図2.5.25	下位データ受信処理	2-104
図2.5.26	上位データの受信	2-105
図2.5.27	ストップコンディションの生成	2-106
図2.5.28	スレーブデバイスでの通信例	2-107
図2.5.29	スタートコンディションとスレーブアドレス受信処理	2-108
図2.5.30	コマンドの受信	2-109
図2.5.31	リスタートコンディションとスレーブアドレスの受信	2-110
図2.5.32	下位データ送信	2-111
図2.5.33	上位データ送信	2-112
図2.5.34	ストップコンディション受信	2-113
図2.6.1	PWM関連レジスタのメモリ配置	2-117
図2.6.2	PWM制御レジスタの構成	2-117
図2.6.3	PWMプリスケアラの構成	2-118
図2.6.4	PWMレジスタの構成	2-118
図2.6.5	接続図	2-119
図2.6.6	PWM出力タイミング図	2-119
図2.6.7	関連レジスタの設定	2-120
図2.6.8	PWM出力	2-120
図2.6.9	制御手順	2-121
図2.7.1	A/Dコンバータ関連レジスタのメモリ配置	2-122
図2.7.2	AD/DA制御レジスタの構成	2-122
図2.7.3	AD変換レジスタ1の構成	2-123
図2.7.4	AD変換レジスタ2の構成	2-123
図2.7.5	割り込み要因選択レジスタの構成	2-124
図2.7.6	割り込み要求レジスタ2の構成	2-124
図2.7.7	割り込み制御レジスタ2の構成	2-125
図2.7.8	接続図	2-126
図2.7.9	関連レジスタの設定	2-126
図2.7.10	制御手順(10ビットA/Dモード)	2-127
図2.7.11	接続図	2-128
図2.7.12	関連レジスタの設定	2-128
図2.7.13	制御手順(8ビットA/Dモード)	2-129
図2.8.1	D/Aコンバータ関連レジスタのメモリ配置	2-131

図2.8.2	ポートP3方向レジスタの構成	2-132
図2.8.3	AD/DA制御レジスタの構成	2-132
図2.8.4	DAi変換レジスタの構成	2-133
図2.8.5	接続図	2-134
図2.8.6	スピーカ出力例	2-134
図2.8.7	関連レジスタの設定	2-135
図2.8.8	制御手順	2-136
図2.9.1	ウォッチドッグタイマ関連レジスタのメモリ配置	2-138
図2.9.2	ウォッチドッグタイマ制御レジスタの構成	2-138
図2.9.3	CPUモードレジスタの構成	2-139
図2.9.4	ウォッチドッグタイマの接続と分周比の設定	2-140
図2.9.5	関連レジスタの初期設定	2-141
図2.9.6	制御手順	2-141
図2.10.1	パワーオンリセット回路例	2-142
図2.10.2	RAMバックアップシステム	2-142
図2.11.1	CPUモードレジスタの構成	2-144
図2.11.2	接続図	2-145
図2.11.3	停電時の状態遷移図	2-145
図2.11.4	関連レジスタの設定	2-146
図2.11.5	制御手順	2-147
図2.12.1	リセット入力による復帰時の発振安定時間	2-149
図2.12.2	INT <sub>0</sub> 割り込み要求の発生による復帰時の実行シーケンス例	2-151
図2.12.3	リセット入力時間	2-153
図2.13.1	M38049FFHSP/FP/HP/KPのメモリ配置	2-155
図2.13.2	フラッシュ関連レジスタのメモリ配置	2-156
図2.13.3	フラッシュメモリ制御レジスタ0の構成	2-156
図2.13.4	フラッシュメモリ制御レジスタ1の構成	2-157
図2.13.5	フラッシュメモリ制御レジスタ2の構成	2-157
図2.13.6	標準シリアル入出力モードによる内蔵フラッシュメモリ書き換え例	2-161
図2.13.7	標準シリアル入出力モード時の基板上の端子処理例(1)	2-162
図2.13.8	標準シリアル入出力モード時の基板上の端子処理例(2)	2-162
図2.13.9	標準シリアル入出力モード時の基板上の端子処理例(3)	2-163
図2.13.10	CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例(シングルチップモード)	2-164

### 第3章 付 録

図3.1.1	出力スイッチング特性測定回路図(1)	3-12
図3.1.2	出力スイッチング特性測定回路図(2)	3-12
図3.1.3	タイミング図(シングルチップモード時)	3-13
図3.1.4	マルチマスタ <sup>2</sup> C-BUSのタイミング図	3-14
図3.2.1	電源電流特性例(高速モード)	3-15
図3.2.2	電源電流特性例(中速モード)	3-15
図3.2.3	電源電流特性例(低速モード)	3-16
図3.2.4	電源電流特性例(高速モード、f(X <sub>IN</sub> )=16.8MHz時、WAIT実行)	3-16
図3.2.5	電源電流特性例(中速モード、f(X <sub>IN</sub> )=16.8MHz時、WAIT実行)	3-17
図3.2.6	電源電流特性例(低速モード、WAIT実行)	3-17
図3.2.7	電源電流特性例(高速モード、f(X <sub>IN</sub> )=16.8MHz時、A/Dコンバータ動作時)	3-18
図3.2.8	電源電流特性例(発振停止時)	3-18
図3.2.9	Pチャンネルドライブ時のCMOS出力ポートの標準特性例(T <sub>a</sub> =25 )	3-19
図3.2.10	Nチャンネルドライブ時のCMOS出力ポートの標準特性例(T <sub>a</sub> =25 )	3-19

図3.2.11	Nチャンネルドライブ時のNチャンネルオープンドレイン出力ポートの標準特性例(Ta=25 )	3-20
図3.2.12	Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=25 )	3-20
図3.2.13	プルアップ時のCMOS入力ポートの標準特性例(Ta=25 )	3-21
図3.2.14	A/D変換標準特性例( f(X <sub>IN</sub> )=8MHz時 )	3-23
図3.2.15	A/D変換標準特性例( f(X <sub>IN</sub> )=12MHz時 )	3-24
図3.2.16	A/D変換標準特性例( f(X <sub>IN</sub> )=16MHz時 )	3-25
図3.2.17	D/A変換標準特性例	3-26
図3.3.1	関連レジスタの設定変更手順	3-29
図3.3.2	割り込み要求ビットの判定手順	3-29
図3.3.3	シリアル/Oi(i=1,3)制御レジスタの再設定手順	3-32
図3.3.4	水晶発振外付け	3-38
図3.3.5	プロセッサステータスレジスタのフラグの初期化	3-40
図3.3.6	PLP命令実行時の手順	3-41
図3.3.7	PHP命令実行後のスタックメモリの内容	3-41
図3.3.8	10進演算時のステータスフラグ	3-41
図3.4.1	リセット入力端子の配線	3-43
図3.4.2	クロック入出力端子の配線	3-44
図3.4.3	CNV <sub>SS</sub> 端子の配線	3-44
図3.4.4	V <sub>SS</sub> - V <sub>CC</sub> ライン間のバイパスコンデンサ	3-45
図3.4.5	アナログ信号線と抵抗及びコンデンサ	3-46
図3.4.6	大電流が流れる信号線の配線	3-47
図3.4.7	リセット入力端子の配線	3-47
図3.4.8	発振子の裏面のV <sub>SS</sub> パターン	3-48
図3.4.9	入出力ポート処理	3-48
図3.4.10	ソフトウェアによるウォッチドッグタイマ	3-49
図3.5.1	ポートPiの構成( i = 0 ~ 6 )	3-50
図3.5.2	ポートPi方向レジスタの構成( i = 0 ~ 6 )	3-50
図3.5.3	タイマ12, Xカウントソース選択レジスタの構成	3-51
図3.5.4	タイマY, Zカウントソース選択レジスタの構成	3-51
図3.5.5	MISRGの構成	3-52
図3.5.6	I <sup>2</sup> Cデータシフトレジスタの構成	3-52
図3.5.7	I <sup>2</sup> Cスペシャルモードステータスレジスタの構成	3-53
図3.5.8	I <sup>2</sup> Cステータスレジスタの構成	3-54
図3.5.9	I <sup>2</sup> Cコントロールレジスタの構成	3-55
図3.5.10	I <sup>2</sup> Cクロックコントロールレジスタの構成	3-56
図3.5.11	I <sup>2</sup> Cスタート/ストップコンディション制御レジスタの構成	3-57
図3.5.12	I <sup>2</sup> Cスペシャルモード制御レジスタの構成	3-57
図3.5.13	送信/受信バッファレジスタ1、送信/受信バッファレジスタ3の構成	3-58
図3.5.14	シリアル/O1ステータスレジスタ、シリアル/O3ステータスレジスタの構成	3-58
図3.5.15	シリアル/O1制御レジスタの構成	3-59
図3.5.16	UART1制御レジスタの構成	3-59
図3.5.17	ボーレートジェネレータiの構成	3-60
図3.5.18	シリアル/O2制御レジスタの構成	3-60
図3.5.19	ウォッチドッグタイマ制御レジスタの構成	3-61
図3.5.20	シリアル/O2レジスタの構成	3-61
図3.5.21	プリスケアラ12、プリスケアラX、プリスケアラYの構成	3-61
図3.5.22	タイマ1の構成	3-62
図3.5.23	タイマ2、タイマX、タイマYの構成	3-62
図3.5.24	タイマXYモードレジスタの構成	3-63
図3.5.25	タイマZ下位、上位の構成	3-64
図3.5.26	タイマZモードレジスタの構成	3-64

図3.5.27	PWM制御レジスタの構成	3-66
図3.5.28	PWMプリスケアラの構成	3-66
図3.5.29	PWMレジスタの構成	3-67
図3.5.30	シリアル/O3制御レジスタの構成	3-67
図3.5.31	UART3制御レジスタの構成	3-68
図3.5.32	AD/DA制御レジスタの構成	3-68
図3.5.33	AD変換レジスタ1の構成	3-69
図3.5.34	DAi変換レジスタの構成(i = 1,2)	3-69
図3.5.35	AD変換レジスタ2の構成	3-69
図3.5.36	割り込み要因選択レジスタの構成	3-70
図3.5.37	割り込みエッジ選択レジスタの構成	3-70
図3.5.38	CPUモードレジスタの構成	3-71
図3.5.39	割り込み要求レジスタ1の構成	3-71
図3.5.40	割り込み要求レジスタ2の構成	3-72
図3.5.41	割り込み制御レジスタ1の構成	3-72
図3.5.42	割り込み制御レジスタ2の構成	3-73
図3.5.43	フラッシュメモリ制御レジスタ0の構成	3-73
図3.5.44	フラッシュメモリ制御レジスタ1の構成	3-74
図3.5.45	フラッシュメモリ制御レジスタ2の構成	3-74
図3.5.46	ポートPiプルアップ制御レジスタの構成	3-75
図3.5.47	ポートP3プルアップ制御レジスタの構成	3-75
図3.5.48	I <sup>2</sup> Cスレーブアドレスレジスタiの構成	3-76

# 表目次

## 第1章 ハードウェア

表1. 製品一覧.....	1-2
表2. 端子の機能説明.....	1-5
表3. アキュムレータとプロセッサステータスレジスタの退避命令及び復帰命令.....	1-9
表4. プロセッサステータスレジスタの各フラグをセット又はクリアする命令.....	1-10
表5. 入出力ポートの機能一覧.....	1-15
表6. 割り込みベクトル番地と優先順位.....	1-24
表7. マルチマスタI <sup>2</sup> C-BUSインタフェース機能.....	1-60
表8. I <sup>2</sup> Cクロックコントロールレジスタの設定値とSCL周波数.....	1-62
表9. スタートコンディション発生タイミング表.....	1-66
表10. ストップコンディション発生タイミング表.....	1-66
表11. スタートコンディション、ストップコンディション検出条件.....	1-67
表12. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4 ~ SSC0)への推奨設定値.....	1-68
表13. 3804グループ(H仕様)の性能概要.....	1-80
表14. E/W禁止機能の状態.....	1-83
表15. ソフトウェアコマンド一覧表(CPU書き換えモード).....	1-85
表16. ステータスレジスタの各ビットの定義.....	1-87
表17. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード1).....	1-93
表18. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2).....	1-93
表19. 割り込み要因とベクトル番地、割り込みの優先順位.....	1-101
表20. V <sub>ref</sub> とA/Dコンバータの基準電圧V <sub>REF</sub> の関係式(10ビットA/Dモード時).....	1-103
表21. V <sub>ref</sub> とA/Dコンバータの基準電圧V <sub>REF</sub> の関係式(8ビットA/Dモード時).....	1-103
表22. A/D変換中のAD変換レジスタの変化(10ビットA/Dモード時).....	1-104
表23. A/D変換中のAD変換レジスタの変化(8ビットA/Dモード時).....	1-104

## 第2章 応用

表2.1.1 未使用端子の処理(シングルチップモード時).....	2-5
表2.2.1 割り込み要因とベクトル番地、割り込みの優先順位.....	2-12
表2.2.2 各割り込み要因に対する割り込み制御ビット一覧.....	2-17
表2.3.1 CNTR <sub>0</sub> /CNTR <sub>1</sub> 極性切り替えビットの機能.....	2-25
表2.3.2 CNTR <sub>2</sub> 極性切り替えビットの機能.....	2-26
表2.4.1 クロック同期形シリアルI/Oモード時の端子機能.....	2-60
表2.4.2 UARTモード時の端子機能.....	2-60
表2.4.3 クロック同期形シリアルI/Oモード時の端子機能.....	2-61
表2.4.4 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例.....	2-77
表2.12.1 ストップモード時の状態.....	2-148
表2.12.2 ウェイトモード時の状態.....	2-152
表2.13.1 パラレル書き込み時のパラレルユニット(EFP- 使用時:(株)彗星電子システム社製).....	2-158
表2.13.2 シリアル書き込み時のプログラマとの接続例(4線式).....	2-158

## 第3章 付録

表3.1.1 絶対最大定格.....	3-2
表3.1.2 推奨動作条件(1).....	3-3

表3.1.3 推奨動作条件(2) .....	3-4
表3.1.4 推奨動作条件(3) .....	3-5
表3.1.5 電気的特性(1) .....	3-6
表3.1.6 電気的特性(2) .....	3-7
表3.1.7. A/Dコンバータ推奨動作条件 .....	3-8
表3.1.8. A/Dコンバータ特性 .....	3-8
表3.1.9. D/Aコンバータ特性 .....	3-8
表3.1.10. 電源回路のタイミング特性 .....	3-8
表3.1.11. タイミング必要条件(1) .....	3-9
表3.1.12. タイミング必要条件(2) .....	3-10
表3.1.13. スイッチング特性 .....	3-11
表3.1.14. マルチマスタ <sup>2</sup> C-BUSバスライン特性 .....	3-14
表3.5.1 CNTR <sub>0</sub> /CNTR <sub>1</sub> 極性切り替えビットの機能 .....	3-63
表3.5.2 CNTR <sub>2</sub> 極性切り替えビットの機能 .....	3-65

EOL announced Product

## 第1章

# ハードウェア

概要

特長

ピン接続

機能ブロック

端子の機能説明

型名とメモリサイズ・パッケージ

グループ展開

機能ブロック動作説明

プログラミング上の注意事項

使用上の注意事項

マスク化発注時の提出資料

補足説明

## 概要

3804グループ(H仕様)は、740ファミリコアを採用した8ビットマイクロコンピュータです。A/Dコンバータ、D/Aコンバータを内蔵しており、家電、OA機器他アナログ信号の処理を行うシステムの制御に最適です。

## 特長

基本機械語命令 .....	71
命令実行時間 .....	0.24 $\mu$ s
	(最小命令、発振周波数16.8MHz時)
メモリ容量	
フラッシュメモリ .....	60Kバイト
RAM .....	2048バイト
プログラマブル入出力ポート .....	56本
ソフトウェアプルアップ抵抗 .....	内蔵
割り込み	
21要因16ベクタ .....	
	(外部8、内部12、ソフトウェア1要因)
タイマ .....	16ビット×1
	8ビット×4
	(8ビットプリスケラ付き)
ウォッチドッグタイマ .....	16ビット×1
シリアルインタフェース	
シリアルI/O1、 $\times$ UART又はクロック同期形).....	8ビット×2
シリアルI/O $\times$ クロック同期形).....	8ビット×1
PWM .....	8ビット×1
	(8ビットプリスケラ付き)
マルチマスタ <sup>2</sup> Cバスインタフェース .....	1チャンネル
A/Dコンバータ .....	10ビット×16チャンネル
	(8ビット読み出し可能)
D/Aコンバータ .....	8ビット×2チャンネル
LED直接駆動ポート .....	8本
クロック発生回路 .....	2回路内蔵
	(セラミック共振子又は水晶発振子外付け)

製品一覧を下記に示します。

表1. 製品一覧

製品型名	フラッシュメモリ容量 (バイト)	RAM(バイト)	パッケージ	備考
M38049FFHSP	61440	2048	64P4B	Vcc=2.7V ~ 5.5V
M38049FFHFP			64P6N-A	
M38049FFHHP			64P6Q-A	
M38049FFHKP			64P6U-A	

## 電源電圧

## [高速モード時]

発振周波数 16.8MHz時 .....	4.5 ~ 5.5V
発振周波数 12.5MHz時 .....	4.0 ~ 5.5V
発振周波数 8.4MHz時 .....	2.7 ~ 5.5V

## [中速モード時]

発振周波数 16.8MHz時 .....	4.5 ~ 5.5V
発振周波数 12.5MHz時 .....	2.7 ~ 5.5V

## [低速モード時]

発振周波数 32kHz .....	2.7 ~ 5.5V
-------------------	------------

## 消費電力

高速モード時 .....	27.5mW(標準)
	(発振周波数16.8MHz、電源電圧5V時)
低速モード時 .....	1200 $\mu$ W(標準)
	(発振周波数32kHz、電源電圧3V時)

動作周囲温度 .....

-20 ~ 85

## パッケージ

SP .....	64P4B (64ピン750mil SDIP)
FP .....	64P6N-A (64ピン14×14mm QFP)
HP .....	64P6Q-A (64ピン10×10mm LQFP)
KP .....	64P6U-A (64ピン14×14mm LQFP)

## フラッシュメモリモード

電源電圧 .....	Vcc=2.7 ~ 5.5V
プログラム/イレーズ電圧 .....	Vcc=2.7 ~ 5.5V
プログラム .....	バイト単位
イレーズ .....	ブロック消去
プログラム/イレーズ制御方式 .....	ソフトウェアコマンドによるプログラム/イレーズ制御
プログラム/イレーズ回数 .....	100回

## 注意事項

マイコンカード組み込み用途には使用できません。

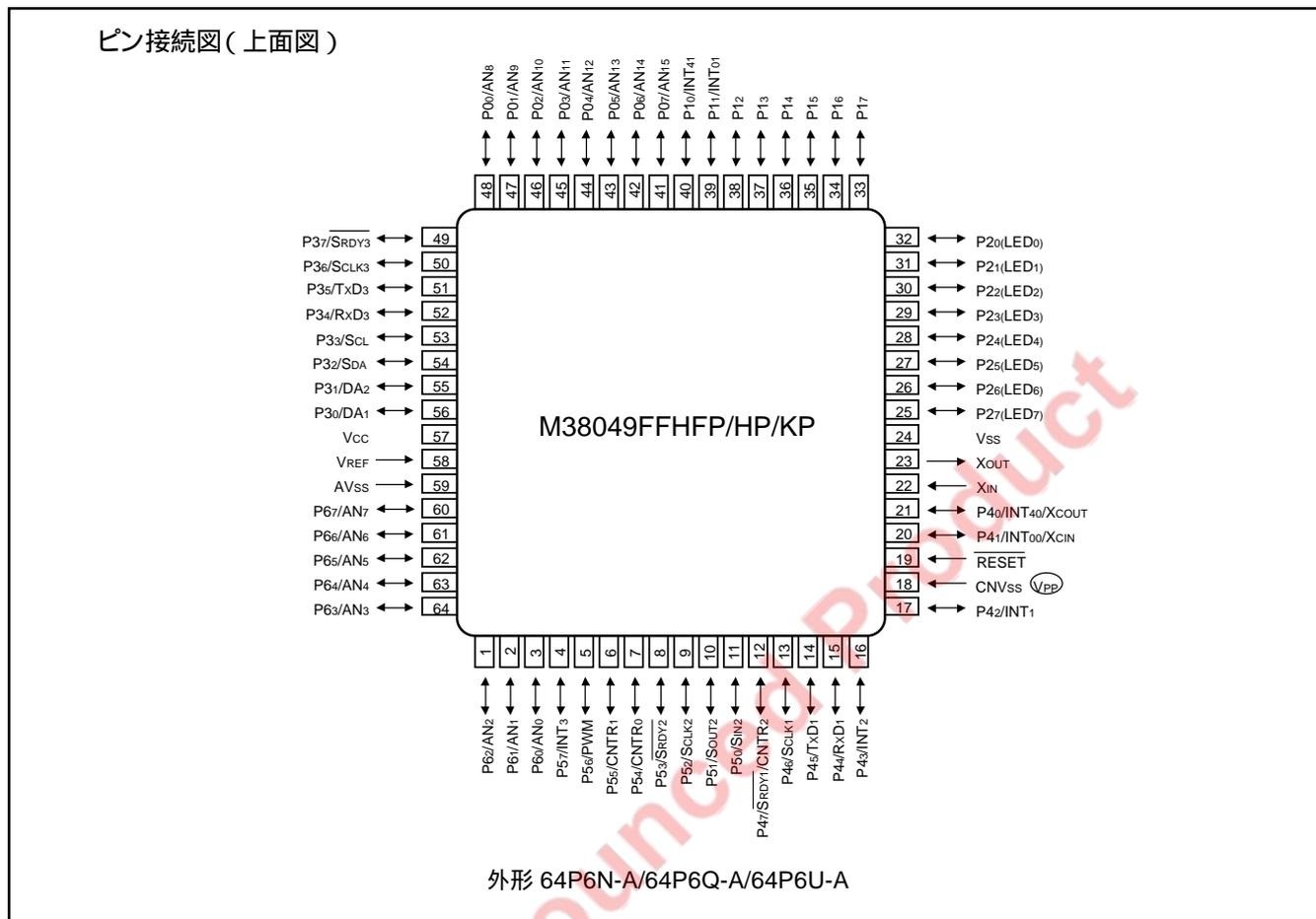


図1. 3804グループ(H仕様)のピン接続図

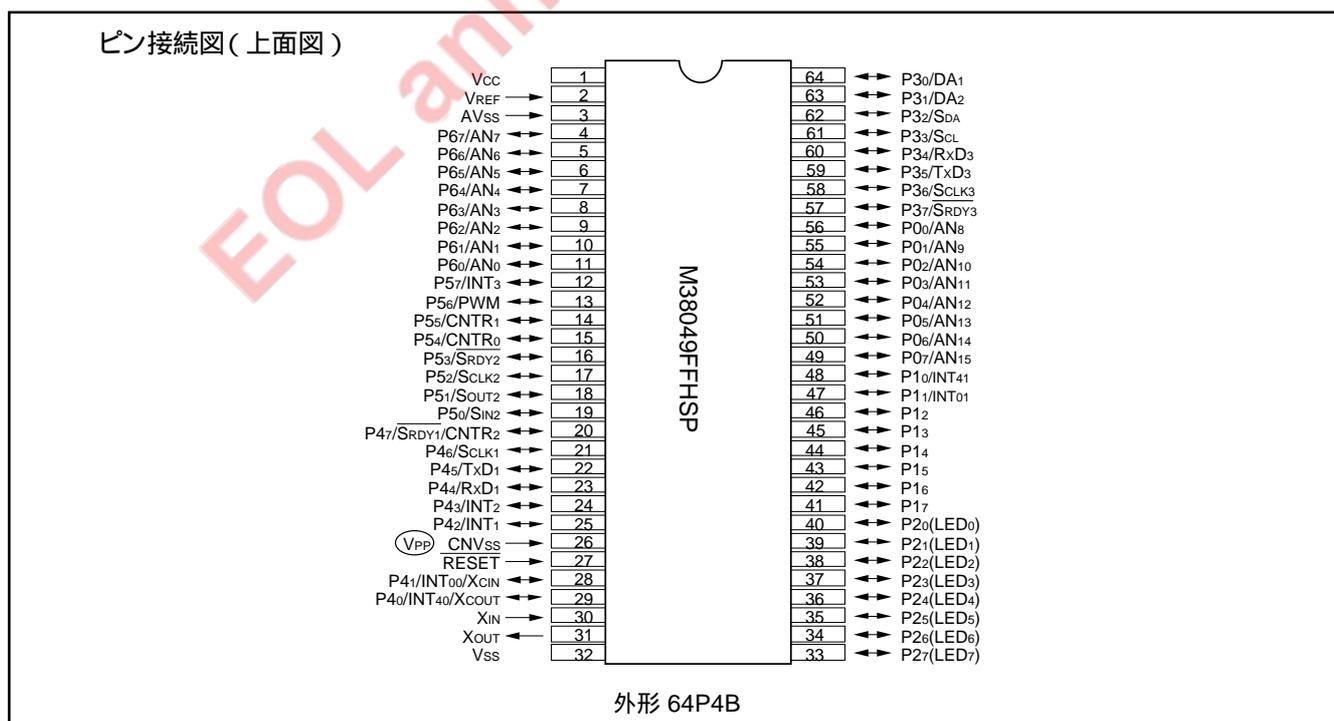


図2. 3804グループ(H仕様)のピン接続図

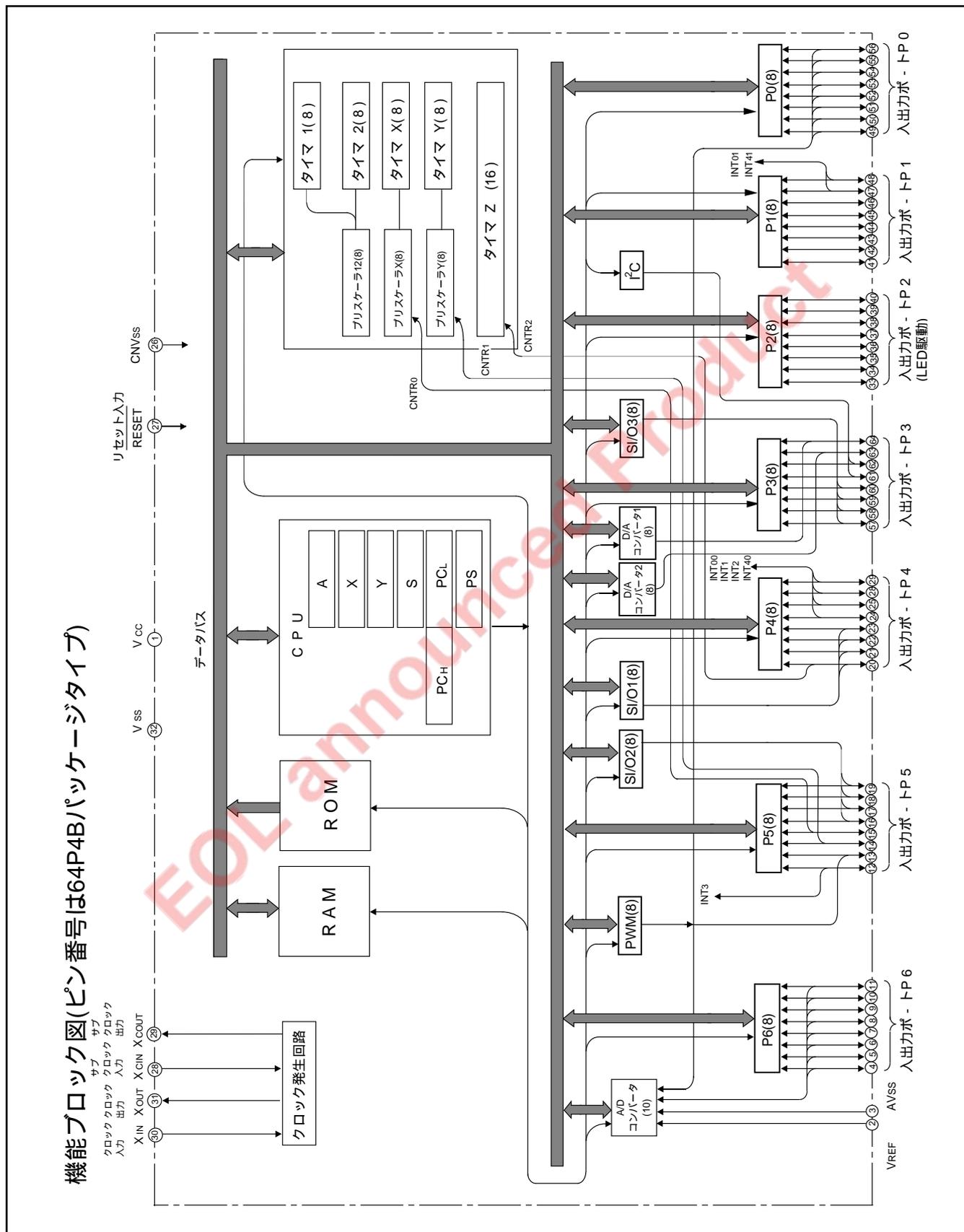


図3. 機能ブロック図

## 端子の機能説明

表2. 端子の機能説明

端子名	名称	機能	ポート以外の機能
Vcc, Vss	電源入力	Vccに2.7 ~ 5.5V、Vssに0Vを印加します。	
CNVss	CNVss	チップの動作モードを制御する端子です。Vssに接続してください。	
VREF	基準電圧入力	A/DコンバータおよびD/Aコンバータの基準電圧入力端子です。	
AVss	アナログ電源入力	A/DコンバータおよびD/Aコンバータのアナログ電源入力端子です。 この端子はVssに接続してください。	
RESET	リセット入力	アクティブ L のリセット入力端子です。	
XIN	クロック入力	クロック発生回路の入出力端子で XINとXOUTの間にセラミック共振子又は水晶共振子を接続します。外部クロック使用時にはクロック発振源をXINに接続し XOUTは開放にします。	
XOUT	クロック出力	帰還抵抗内蔵です。	
P00/AN8 ~ P07/AN15	入出力ポートP0	8ビットの入出力ポートです。プログラムによりビット単位で入出力の指定が可能です。	A/Dコンバータ入力端子
P10/INT41 P11/INT01	入出力ポートP1	CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	割り込み入力端子
P12 ~ P17		P20 ~ P27はLED駆動用の大電流出力が可能です。	
P20 ~ P27	入出力ポートP2		
P30/DA1 P31/DA2	入出力ポートP3	8ビットの入出力ポートです。プログラムによりビット単位で入出力の指定が可能です。	D/Aコンバータ出力端子
P32/SDA P33/SCL		入力レベルはCMOS入力レベルです。 (P32,P33はI <sup>2</sup> C-BUSインタフェース機能時CMOS/SMBUS	I <sup>2</sup> C-BUSインタフェース機能端子
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3		入力レベル切り替えが可能です。 P30,P31,P34 ~ P37の出力形式はCMOS3ステートです。 P32,P33の出力形式はNチャネルオープンドレインです。 P32,P33以外はビット単位でプルアップ制御が可能です。	シリアルI/O3の機能端子
P40/INT40/XcOUT P41/INT00/XcIN	入出力ポートP4	8ビットの入出力ポートです。プログラムによりビット単位で入出力の指定が可能です。	割り込み入力端子 サブクロック発生入出力端子 (共振子を接続します。)
P42/INT1 P43/INT2		CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	割り込み入力端子
P44/RxD1 P45/TxD1 P46/SCLK1			シリアルI/O1機能端子
P47/SRDY1/CNTR2			シリアルI/O1、タイマZ機能端子
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2	入出力ポートP5	8ビットの入出力ポートです。プログラムによりビット単位で入出力の指定が可能です。	シリアルI/O2の機能端子
P54/CNTR0		CMOS入力レベルで、出力形式はCMOS3ステートです。ビット単位でプルアップ制御が可能です。	タイマX機能端子
P55/CNTR1			タイマY機能端子
P56/PWM			PWM出力端子
P57/INT3			割り込み入力端子
P60/AN0 ~ P67/AN7	入出力ポートP6		A/Dコンバータ入力端子

## 型名とメモリサイズ・パッケージ

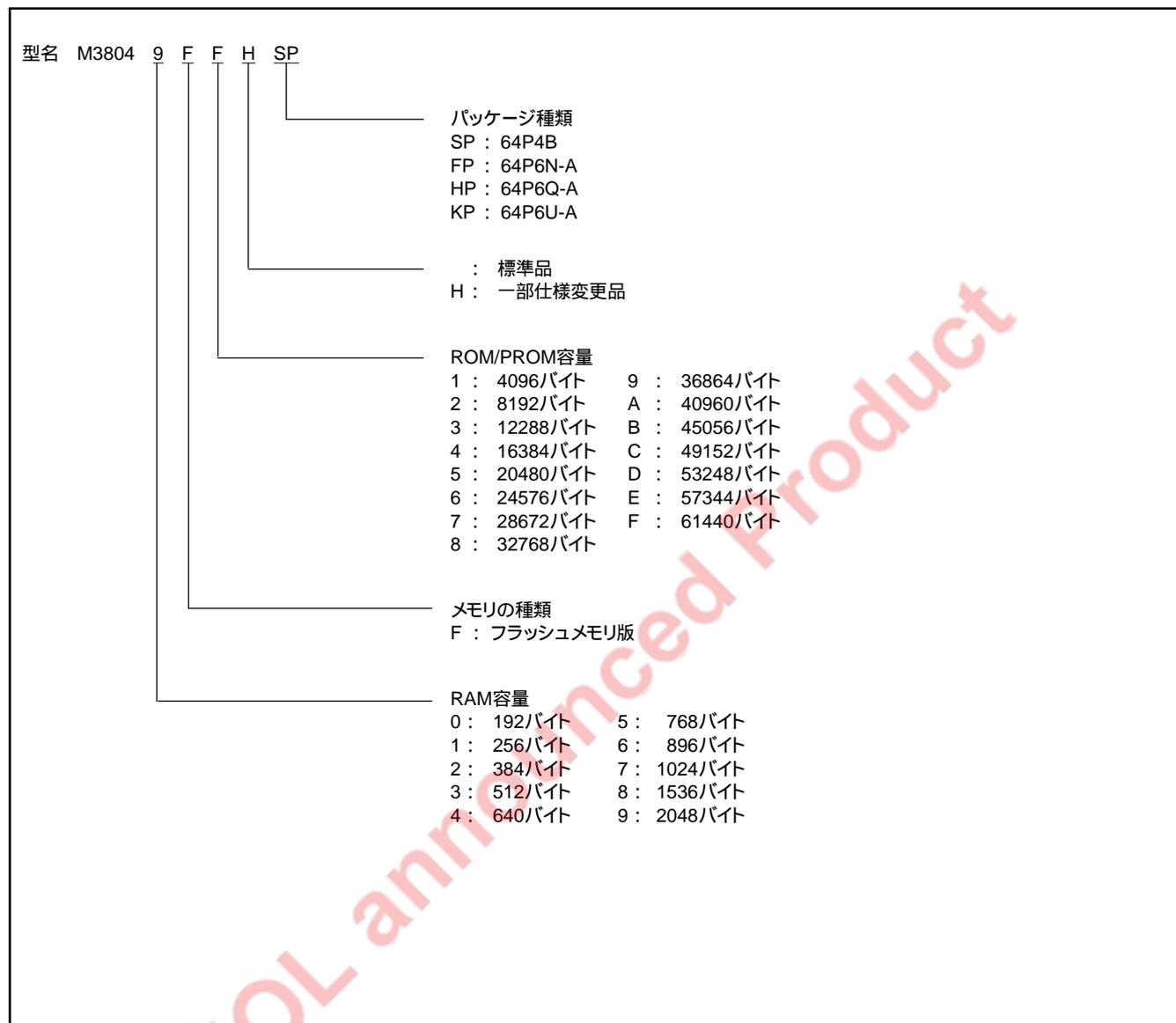


図4. 型名とメモリサイズ・パッケージ

グループ展開

3804グループ(H仕様)は次のような展開を計画しています。

メモリ容量

フラッシュメモリ容量 ..... 60Kバイト

RAM容量 ..... 2048バイト

パッケージ

64P4B ..... シュリンクプラスチックモールドDIP

64P6N-A ..... 0.8mmピッチプラスチックモールドQFP

64P6Q-A ..... 0.5mmピッチプラスチックモールドLQFP

64P6U-A ..... 0.8mmピッチプラスチックモールドLQFP

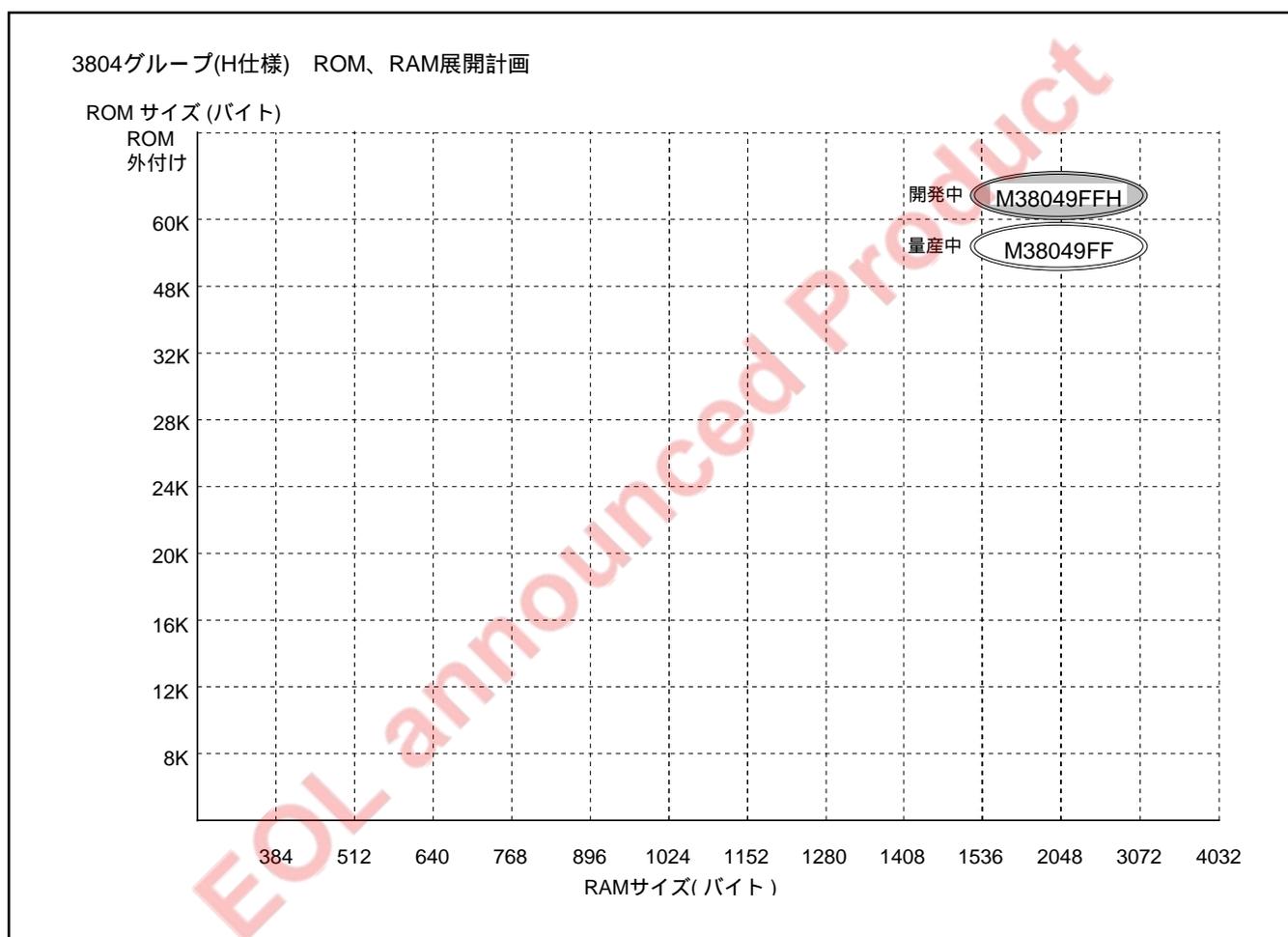


図5. ROM及びRAM展開計画

## 機能ブロック動作説明

## 中央演算処理装置 (CPU)

3804グループ(H仕様)は740ファミリ共通のCPUを持っています。各命令の動作については740ファミリアドレッシングモード及び機械語命令一覧表又は740ファミリソフトウェアマニュアルを参照してください。

品種に依存する命令については以下のとおりです。

1. FST、SLW命令はありません。
2. MUL、DIV命令が使用可能です。
3. WIT命令が使用可能です。
4. STP命令が使用可能です。

中央演算処理装置(CPU)には6個のレジスタがあります。図8にCPUのレジスタ構成を示します。

## 【アキュムレータ】(A)

アキュムレータは、8ビットのレジスタです。演算、転送などのデータ処理は、このレジスタを中心にして実行されます。

## 【インデックスレジスタX】(X)

インデックスレジスタXは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【インデックスレジスタY】(Y)

インデックスレジスタYは、8ビットのレジスタです。インデックスアドレッシングモードでは、このレジスタを用いたアドレッシングを行います。

## 【スタックポインタ】(S)

スタックポインタは、8ビットのレジスタです。このレジスタは、サブルーチン呼び出し時又は割り込み時に退避するレジスタの格納先(スタック)の先頭番地を示します。

スタック下位8ビットのアドレスは、このレジスタで指定されます。上位8ビットのアドレスは、スタックページ選択ビットの内容により決まります。このビットが“0”の場合、上位8ビットは“00<sub>16</sub>”となり、“1”の場合は“01<sub>16</sub>”となります。

スタックへの退避及び復帰動作を図7に示します。ここに示す以外に必要なレジスタは、プログラムで退避してください(表3参照)。

## 【プログラムカウンタ】(PC)

プログラムカウンタは、PCHとPCLからなる16ビットのカウンタです。PCHとPCLはそれぞれ8ビット構成です。プログラムカウンタは、次に実行すべきプログラムメモリの番地を指定します。

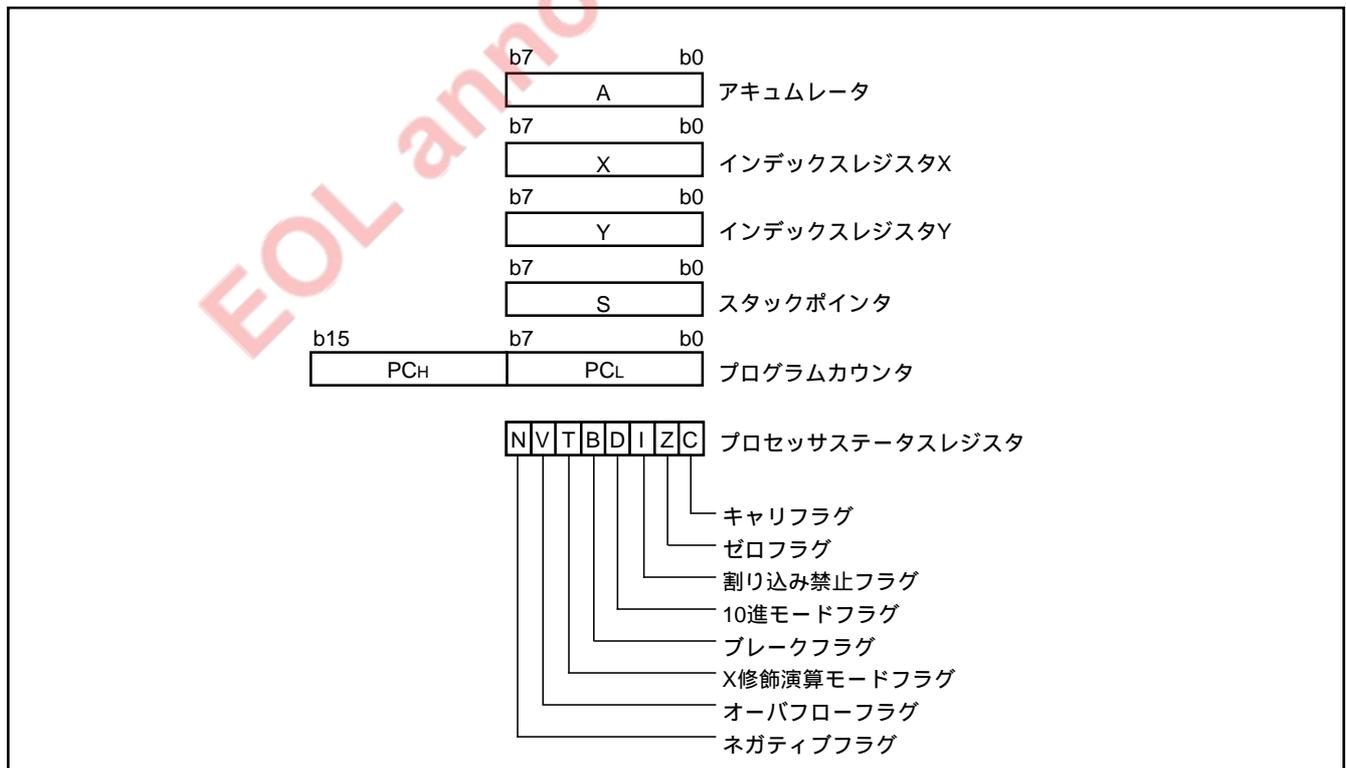


図6 . 740ファミリ CPUの構成



## 【プロセッサステータスレジスタ】(PS)

プロセッサステータスレジスタは、8ビットのレジスタで、演算直後の状態を保持する5つのフラグと、MCUの動作を決定する3つのフラグで構成されています。

C、Z、V、Nフラグはブランチ命令のテストに使用できますが、10進モード時はZ、V、Nフラグは無効です。

## ・ビット0：キャリフラグ(C)

演算処理後の算術論理演算ユニットからのキャリ又はポローを保持します。シフト命令又はローテート命令でも変化しません。

## ・ビット1：ゼロフラグ(Z)

演算処理又はデータ転送の結果が“0”のときセットされ、“0”でないときクリアされます。

## ・ビット2：割り込み禁止フラグ(I)

BRK命令を除くすべての割り込みを禁止するためのフラグです。このフラグが“1”のとき、割り込み禁止状態です。

## ・ビット3：10進演算フラグ(D)

加減算を2進で行うか、10進で行うかを定めるフラグです。このフラグが“1”の場合、1語を2桁の10進数として演算を行います。10進補正は自動的に行われますが、10進演算が行えるのはADC命令とSBC命令のみです。

## ・ビット4：ブレイクフラグ(B)

BRK命令で割り込んだかどうかを識別するためのフラグです。BRK命令で割り込んだ場合は自動的にフラグの内容を“1”にして、それ以外の割り込みでは“0”にしてスタックに退避されます。

## ・ビット5：X修飾演算モードフラグ(T)

このフラグが“0”のときは、アキュムレータとメモリ間で演算が行われます。“1”のときはアキュムレータを経由しないで、メモリとメモリ間の直接演算ができます。

## ・ビット6：オーバフローフラグ(V)

このフラグは、1語を符号付き2進数として加減算するとき使用します。加減算の結果が+127又は-128を超える場合にセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット6がこのフラグに入ります。

## ・ビット7：ネガティブフラグ(N)

演算処理又はデータの転送結果が負のときにセットされます。またBIT命令を実行した場合、BIT命令が実行されたメモリのビット7がこのフラグに入ります。

表4 . プロセッサステータスレジスタの各フラグをセット又はクリアする命令

	Cフラグ	Zフラグ	Iフラグ	Dフラグ	Bフラグ	Tフラグ	Vフラグ	Nフラグ
セットする命令	SEC	—	SEI	SED	—	SET	—	—
クリアする命令	CLC	—	CLI	CLD	—	CLT	CLV	—

## 【 CPUモードレジスタ 】

CPUモードレジスタには、スタックページの選択ビットなどが割り当てられています。

このレジスタは003B<sub>16</sub>番地に配置されています。

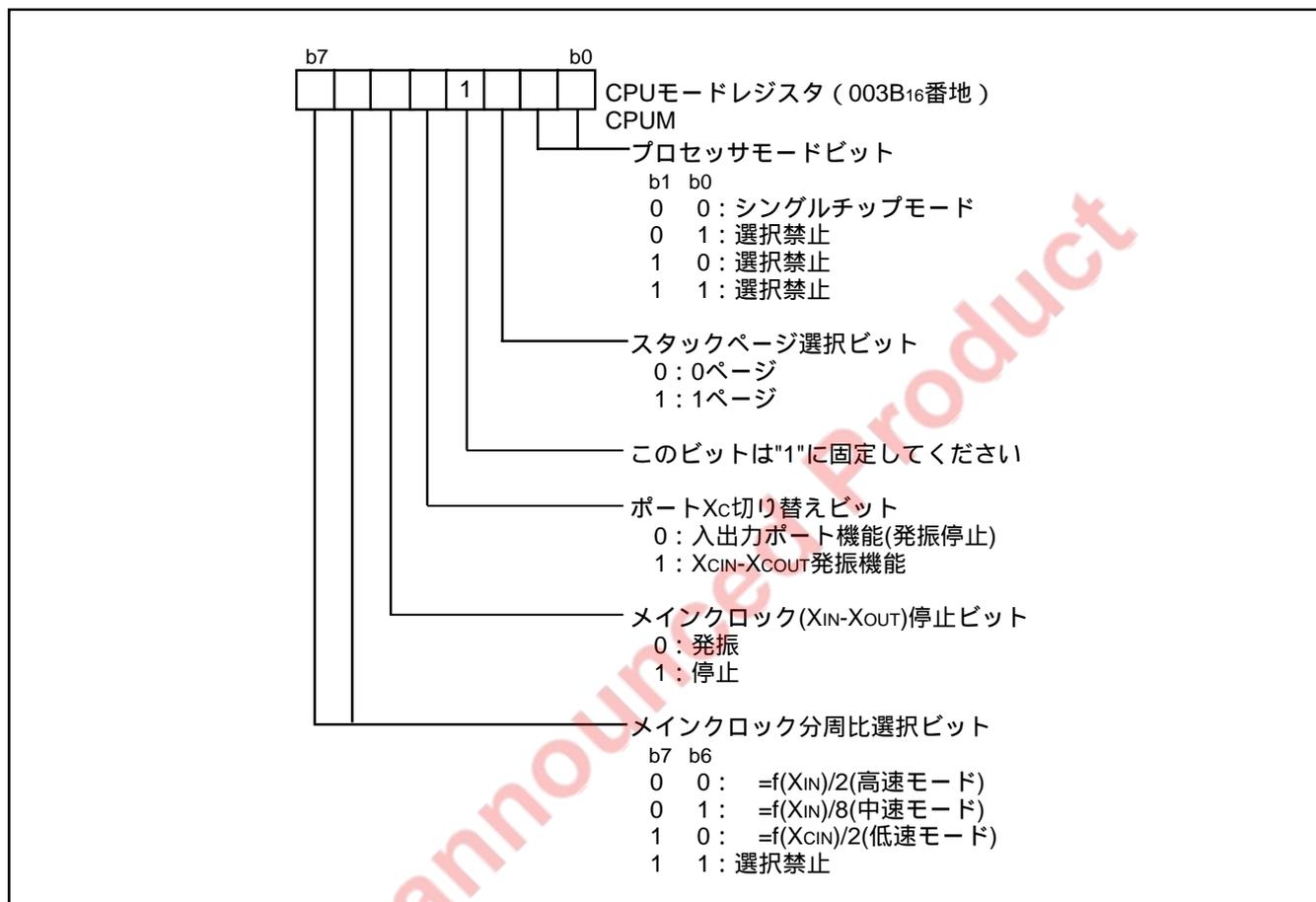


図8. CPUモードレジスタの構成

## 【MISRG】

(1) STP命令解除後の発振安定時間設定ビット(0010<sub>16</sub>番地のビット0)

STP命令によって発振が停止している状態で、外部割り込み要因によってSTP命令が解除された場合、発振安定時間を待つためタイマ1とプリスケアラ12には通常、自動的に値(タイマ1 0<sub>16</sub>、プリスケアラ12 FF<sub>16</sub>)が設定されます。MISRG(0010<sub>16</sub>番地)のビット0を「1」にすることで、自動設定を禁止することができます。

しかし、このビットを「1」に設定したときは、STP命令実行前の設定値がタイマ1とプリスケアラ12に残っていますので、STP命令実行前に発振安定時間として適切な値を、それぞれのレジスタに設定してください。

図9にMISRGの構成を示します。

(2) 中速モード自動切り替え機能(0010<sub>16</sub>番地のビット1,2,3)

サブクロックを持つマイコンは、低速モードから中速モード(あるいは高速モード)に切り替える場合、CPUモードレジスタ(003B<sub>16</sub>番地)を設定し、メインクロック発振開始 発振安定時間待ち 中速モード切り替えをする必要がありますが、SCL/SDA割り込み、又はソフトウェアによって低速モードから中速モードに自動的に切り替える機能を内蔵しています。

## ●SCL/SDA割り込みからの中速モード自動切り替え

MISRG(0010<sub>16</sub>番地)の中速モード自動切り替え設定ビット(ビット1)を「1」にすることで、SCL/SDA割り込み要因で自動切り替えが許可されます。自動切り替えが実行される時の条件は、I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(0016<sub>16</sub>番地)のSCL/SDA割り込み端子選択ビット(ビット6)とSCL/SDA割り込み端子極性選択ビット(ビット5)の設定に依存します。また、メインクロックの発振安定時間はMISRG(0010<sub>16</sub>番地)の中速モード自動切り替え待ち時間設定ビット(ビット2)で選択できます。

## ●ソフトウェアによる中速モード自動切り替え

マイコンが低速モードで動作中に、ソフトウェアにより自動的に中速モードへの切り替えが可能です。低速モードで動作中に、中速モード自動切り替え設定ビットが「1」の状態、MISRG(0010<sub>16</sub>番地)の中速モード自動切り替え開始ビット(ビット3)を「1」にすることで、中速モードに自動的に切り替わります。このときのメインクロックの発振安定時間はMISRG(0010<sub>16</sub>番地)の中速モード自動切り替え待ち時間設定ビット(ビット2)で選択できます。

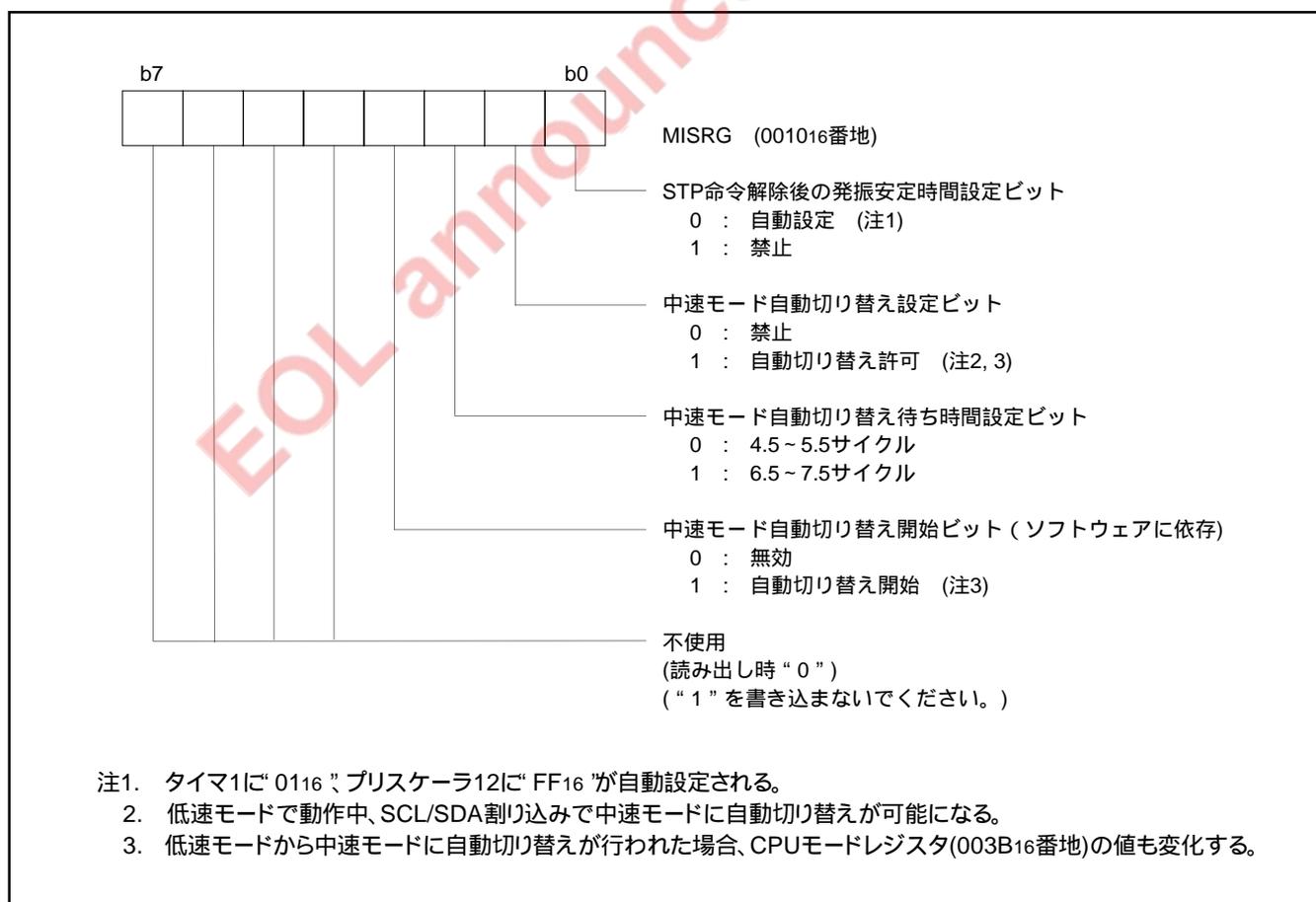


図9. MISRGの構成

メモリ

●SFR領域

ゼロページ内にあり、入出力ポート、タイマなどの制御レジスタが配置されています。

●RAM

データ格納、サブルーチン呼び出し及び割り込み時のスタックなどに使用します。

●ROM

予約プログラム/イレースが可能です。

●割り込みベクトル領域

リセット及び割り込みのベクトル番地格納領域です。

●ゼロページ

ゼロページアドレッシングモードを使用することにより2語でアクセスできる領域です。

●スペシャルページ

スペシャルページアドレッシングモードを使用することにより2語でアクセスできる領域です。

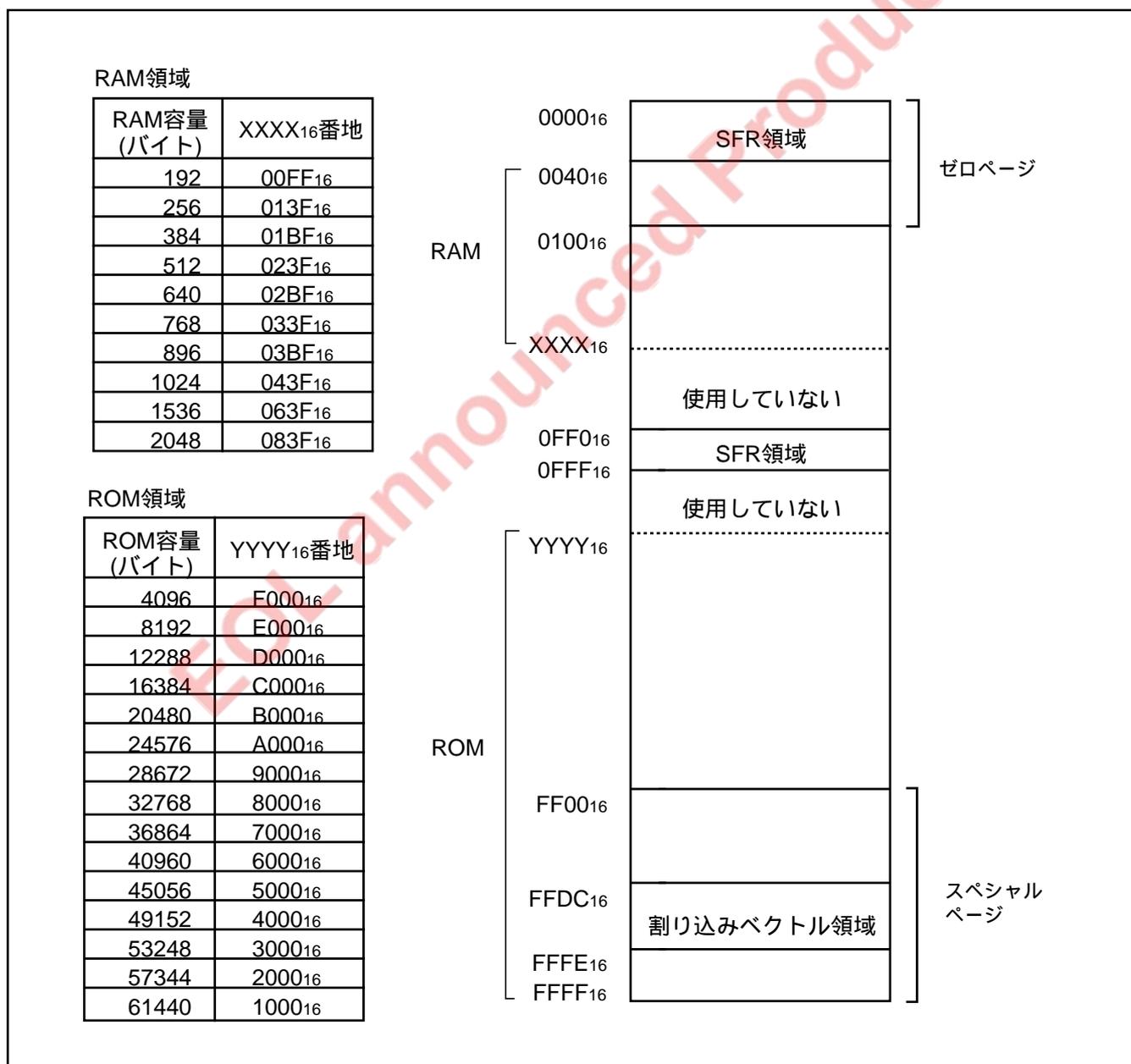


図10. メモリ配置図

0000 <sub>16</sub>	ポートP0(P0)	0020 <sub>16</sub>	プリスケアラ12(PRE12)
0001 <sub>16</sub>	ポートP0方向レジスタ(P0D)	0021 <sub>16</sub>	タイマ1(T1)
0002 <sub>16</sub>	ポートP1(P1)	0022 <sub>16</sub>	タイマ2(T2)
0003 <sub>16</sub>	ポートP1方向レジスタ(P1D)	0023 <sub>16</sub>	タイマXYモードレジスタ(TM)
0004 <sub>16</sub>	ポートP2(P2)	0024 <sub>16</sub>	プリスケアラX(PREX)
0005 <sub>16</sub>	ポートP2方向レジスタ(P2D)	0025 <sub>16</sub>	タイマX(TX)
0006 <sub>16</sub>	ポートP3(P3)	0026 <sub>16</sub>	プリスケアラY(PREY)
0007 <sub>16</sub>	ポートP3方向レジスタ(P3D)	0027 <sub>16</sub>	タイマY(TY)
0008 <sub>16</sub>	ポートP4(P4)	0028 <sub>16</sub>	タイマZ下位(TZL)
0009 <sub>16</sub>	ポートP4方向レジスタ(P4D)	0029 <sub>16</sub>	タイマZ上位(TZH)
000A <sub>16</sub>	ポートP5(P5)	002A <sub>16</sub>	タイマZモードレジスタ(TZM)
000B <sub>16</sub>	ポートP5方向レジスタ(P5D)	002B <sub>16</sub>	PWM制御レジスタ(PWMCON)
000C <sub>16</sub>	ポートP6(P6)	002C <sub>16</sub>	PWMプリスケアラ(PREPWM)
000D <sub>16</sub>	ポートP6方向レジスタ(P6D)	002D <sub>16</sub>	PWMレジスタ(PWM)
000E <sub>16</sub>	タイマ12,Xカウントソース選択レジスタ(T12XCSS)	002E <sub>16</sub>	
000F <sub>16</sub>	タイマY,Zカウントソース選択レジスタ(TYZCSS)	002F <sub>16</sub>	ボーレートジェネレータ3(BRG3)
0010 <sub>16</sub>	MISRG	0030 <sub>16</sub>	送信/受信バッファレジスタ3(TB3/RB3)
0011 <sub>16</sub>	I <sup>2</sup> Cデータシフトレジスタ(S0)	0031 <sub>16</sub>	シリアルI/O3ステータスレジスタ(SIO3STS)
0012 <sub>16</sub>	I <sup>2</sup> Cスペシャルモードステータスレジスタ(S3)	0032 <sub>16</sub>	シリアルI/O3制御レジスタ(SIO3CON)
0013 <sub>16</sub>	I <sup>2</sup> Cステータスレジスタ(S1)	0033 <sub>16</sub>	UART3制御レジスタ(UART3CON)
0014 <sub>16</sub>	I <sup>2</sup> Cコントロールレジスタ(S1D)	0034 <sub>16</sub>	AD/DA制御レジスタ(ADCON)
0015 <sub>16</sub>	I <sup>2</sup> Cクロックコントロールレジスタ(S2)	0035 <sub>16</sub>	AD変換レジスタ1(AD1)
0016 <sub>16</sub>	I <sup>2</sup> Cスタート/ストップ コンディション制御レジスタ(S2D)	0036 <sub>16</sub>	DA1変換レジスタ(DA1)
0017 <sub>16</sub>	I <sup>2</sup> Cスペシャルモード制御レジスタ(S3D)	0037 <sub>16</sub>	DA2変換レジスタ(DA2)
0018 <sub>16</sub>	送信/受信バッファレジスタ1(TB1/RB1)	0038 <sub>16</sub>	AD変換レジスタ2(AD2)
0019 <sub>16</sub>	シリアルI/O1ステータスレジスタ(SIO1STS)	0039 <sub>16</sub>	割り込み要因選択レジスタ(INTSEL)
001A <sub>16</sub>	シリアルI/O1制御レジスタ(SIO1CON)	003A <sub>16</sub>	割り込みエッジ選択レジスタ(INTEDGE)
001B <sub>16</sub>	UART1制御レジスタ(UART1CON)	003B <sub>16</sub>	CPUモードレジスタ(CPUM)
001C <sub>16</sub>	ボーレートジェネレータ1(BRG1)	003C <sub>16</sub>	割り込み要求レジスタ1(IREQ1)
001D <sub>16</sub>	シリアルI/O2制御レジスタ(SIO2CON)	003D <sub>16</sub>	割り込み要求レジスタ2(IREQ2)
001E <sub>16</sub>	ウォッチドックタイマ制御レジスタ(WDTCON)	003E <sub>16</sub>	割り込み制御レジスタ1(ICON1)
001F <sub>16</sub>	シリアルI/O2レジスタ(SIO2)	003F <sub>16</sub>	割り込み制御レジスタ2(ICON2)
0FE0 <sub>16</sub>	フラッシュメモリ制御レジスタ0(FMCR0)	0FF0 <sub>16</sub>	ポートP0プルアップ制御レジスタ(PULL0)
0FE1 <sub>16</sub>	フラッシュメモリ制御レジスタ1(FMCR1)	0FF1 <sub>16</sub>	ポートP1プルアップ制御レジスタ(PULL1)
0FE2 <sub>16</sub>	フラッシュメモリ制御レジスタ2(FMCR2)	0FF2 <sub>16</sub>	ポートP2プルアップ制御レジスタ(PULL2)
0FE3 <sub>16</sub>	予約 (注)	0FF3 <sub>16</sub>	ポートP3プルアップ制御レジスタ(PULL3)
0FE4 <sub>16</sub>	予約 (注)	0FF4 <sub>16</sub>	ポートP4プルアップ制御レジスタ(PULL4)
0FE5 <sub>16</sub>	予約 (注)	0FF5 <sub>16</sub>	ポートP5プルアップ制御レジスタ(PULL5)
0FE6 <sub>16</sub>	予約 (注)	0FF6 <sub>16</sub>	ポートP6プルアップ制御レジスタ(PULL6)
0FE7 <sub>16</sub>	予約 (注)	0FF7 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ0(S0D0)
0FE8 <sub>16</sub>	予約 (注)	0FF8 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ1(S0D1)
0FE9 <sub>16</sub>	予約 (注)	0FF9 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ2(S0D2)
0FEA <sub>16</sub>	予約 (注)		
0FEB <sub>16</sub>	予約 (注)		
0FEC <sub>16</sub>	予約 (注)		
0FED <sub>16</sub>	予約 (注)		
0FEE <sub>16</sub>	予約 (注)		
0FEF <sub>16</sub>	予約 (注)		

注．予約領域のため、何もデータを書き込まないでください。

図11. SFR(スペシャルファンクションレジスタ)メモリマップ

## 入出力ポート

入出力ポートは方向レジスタを持っており、入力ポートとして使用するか出力ポートとして使用するかビット単位に設定することが可能です。方向レジスタを「1」にセットするとその端子は出力ポートになります。「0」にクリアすると入力ポートになります。

出力ポートに設定されている端子から読み込んだ場合は、端子の値ではなくポートラッチの内容が読み込まれます。入力ポートに設定されている端子はフローティングとなり、端子の値を読み込むことができます。書き込んだ場合はポートラッチに書き込まれますが、端子はフローティングのままです。

表5. 入出力ポートの機能一覧

端子名	名称	入出力形式	ポート以外の機能	関連するSFR	図番
P00/AN8 ~ P07/AN15	ポートP0	CMOS入力レベル CMOS3ステート出力	A/Dコンバータ入力	AD/DA制御レジスタ	(1)
P10/INT41 P11/INT01	ポートP1		外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P12~P17					(3)
P20/LED0 ~ P27/LED7			ポートP2		
P30/DA1 P31/DA2	ポートP3	CMOS入力レベル CMOS3ステート出力	D/Aコンバータ出力	AD/DA制御レジスタ	(4)
P32/SDA P33/SCL		CMOS入力レベル Nチャネルオープンドレイン出力 (I <sup>2</sup> C-BUSインタフェース 機能選択時 CMOS/SMBUS入力レベル)	I <sup>2</sup> C-BUSインタフェース 機能入出力	I <sup>2</sup> Cコントロールレジスタ	(5)
P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3		CMOS入力レベル CMOS3ステート出力	シリアルI/O3機能入出力	シリアルI/O3制御レジスタ UART3制御レジスタ	(6) (7) (8) (9)
P40/INT40/XCIN P41/INT00/XCOUT		ポートP4	CMOS入力レベル CMOS3ステート出力	外部割り込み入力 サブクロック発振回路	割り込みエッジ選択レジスタ CPUモードレジスタ
P42/INT1 P43/INT2			外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P44/RxD1 P45/TxD1 P46/SCLK1			シリアルI/O1機能入出力	シリアルI/O1制御レジスタ UART1制御レジスタ	(6) (7) (8)
P47/SRDY1/CNTR2			シリアルI/O1機能入出力 タイマZ機能入出力	シリアルI/O1制御レジスタ タイマZモードレジスタ	(12)
P50/SIN2 P51/SOUT2 P52/SCLK2 P53/SRDY2			ポートP5	CMOS入力レベル CMOS3ステート出力	シリアルI/O2機能入出力
P54/CNTR0 P55/CNTR1			タイマX,Y機能入出力	タイマXYモードレジスタ	(17)
P56/PWM			PWM出力	PWM制御レジスタ	(18)
P57/INT3			外部割り込み入力	割り込みエッジ選択レジスタ	(2)
P60/AN0 ~ P67/AN7	ポートP6	CMOS入力レベル CMOS3ステート出力	A/Dコンバータ入力	AD/DA制御レジスタ	(1)

注1. ダブルファンクションポートを機能入出力端子として使用方法については、関連する項を参照してください。

2. STP命令の実行中は、各端子の入力レベルを0V又はV<sub>cc</sub>にしてください。電位が不安定な場合は入力段ゲートの貫通電源電流が流れ、電源電流が増加します。

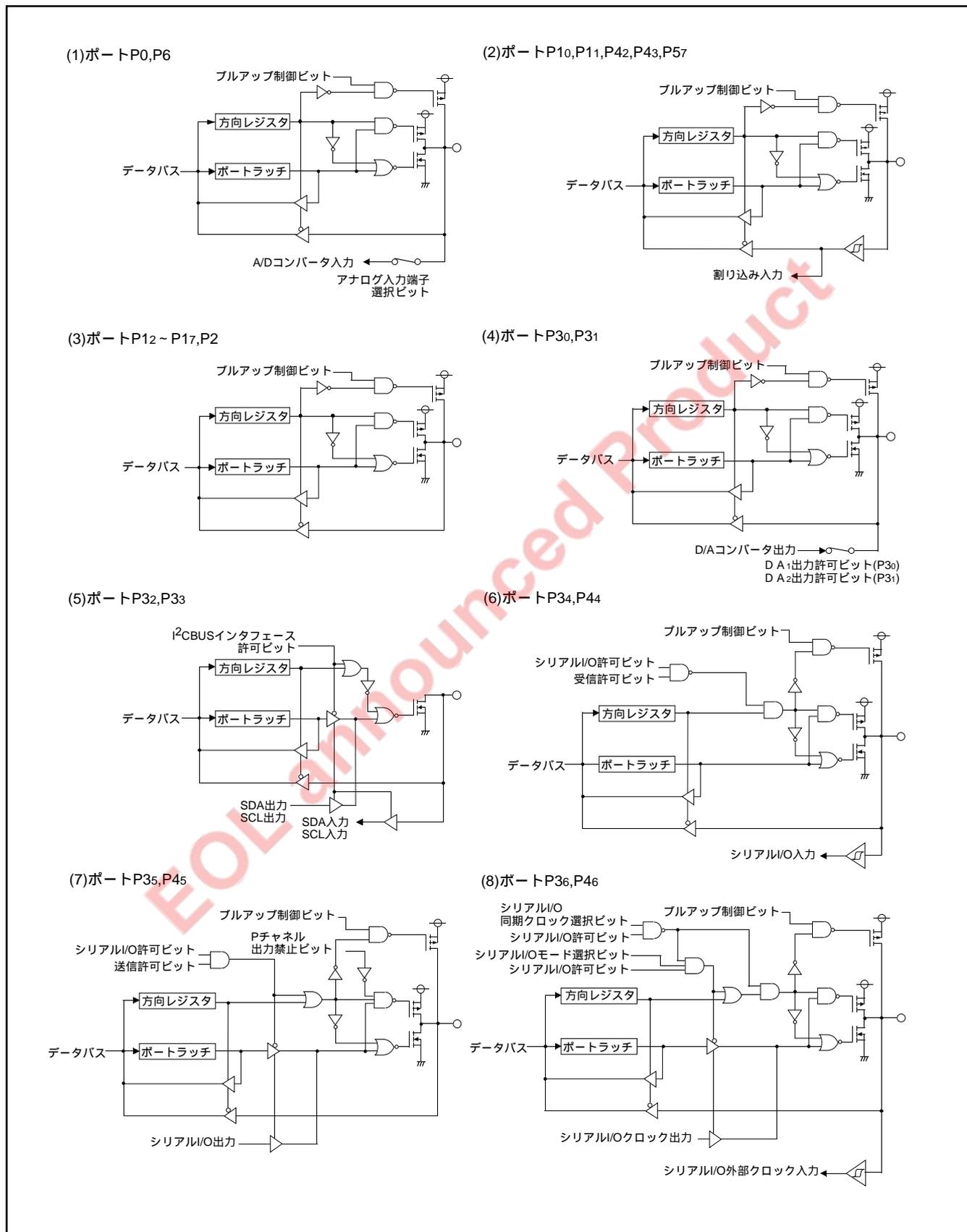


図12. ポートブロック図(1)

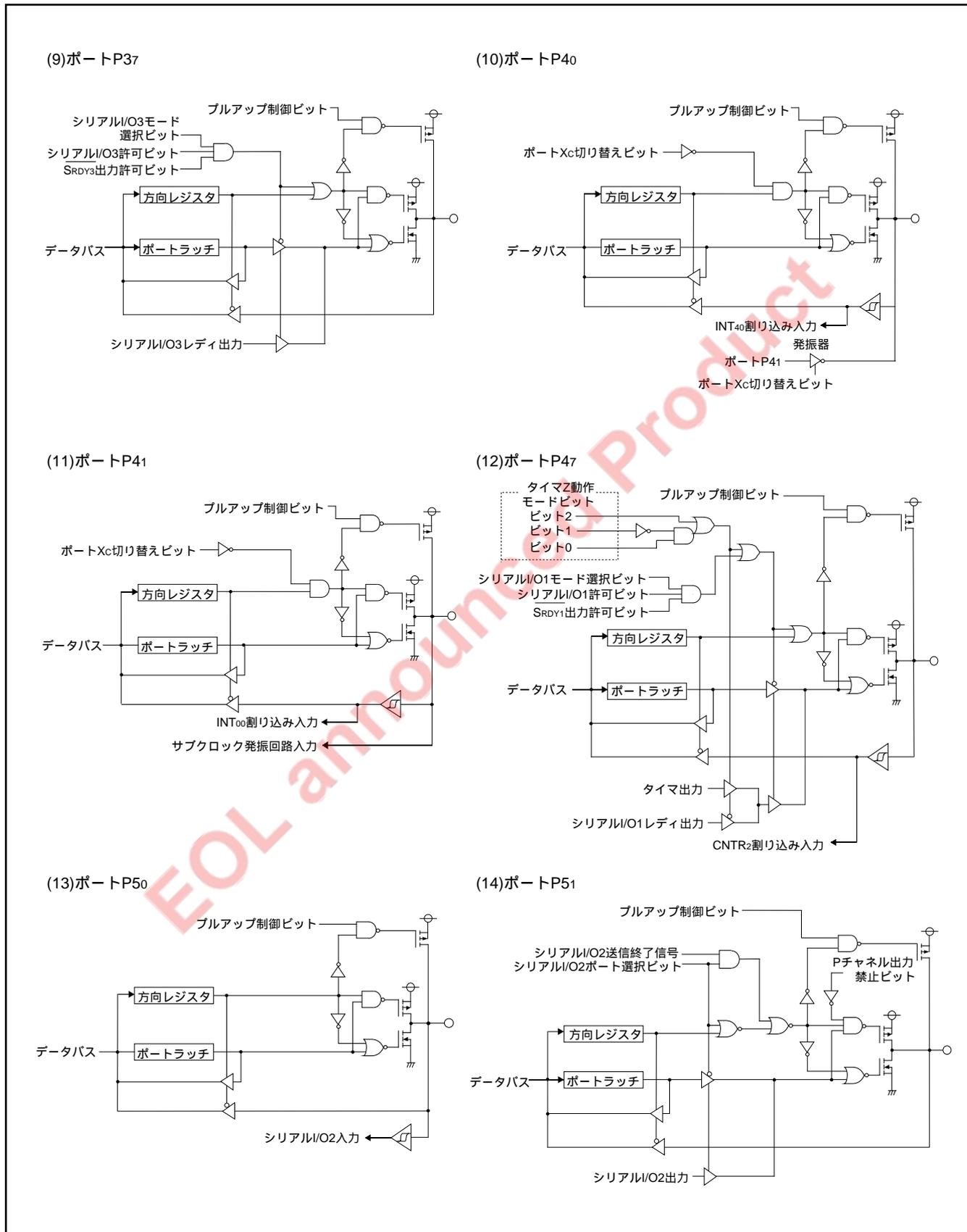


図13. ポートブロック図(2)

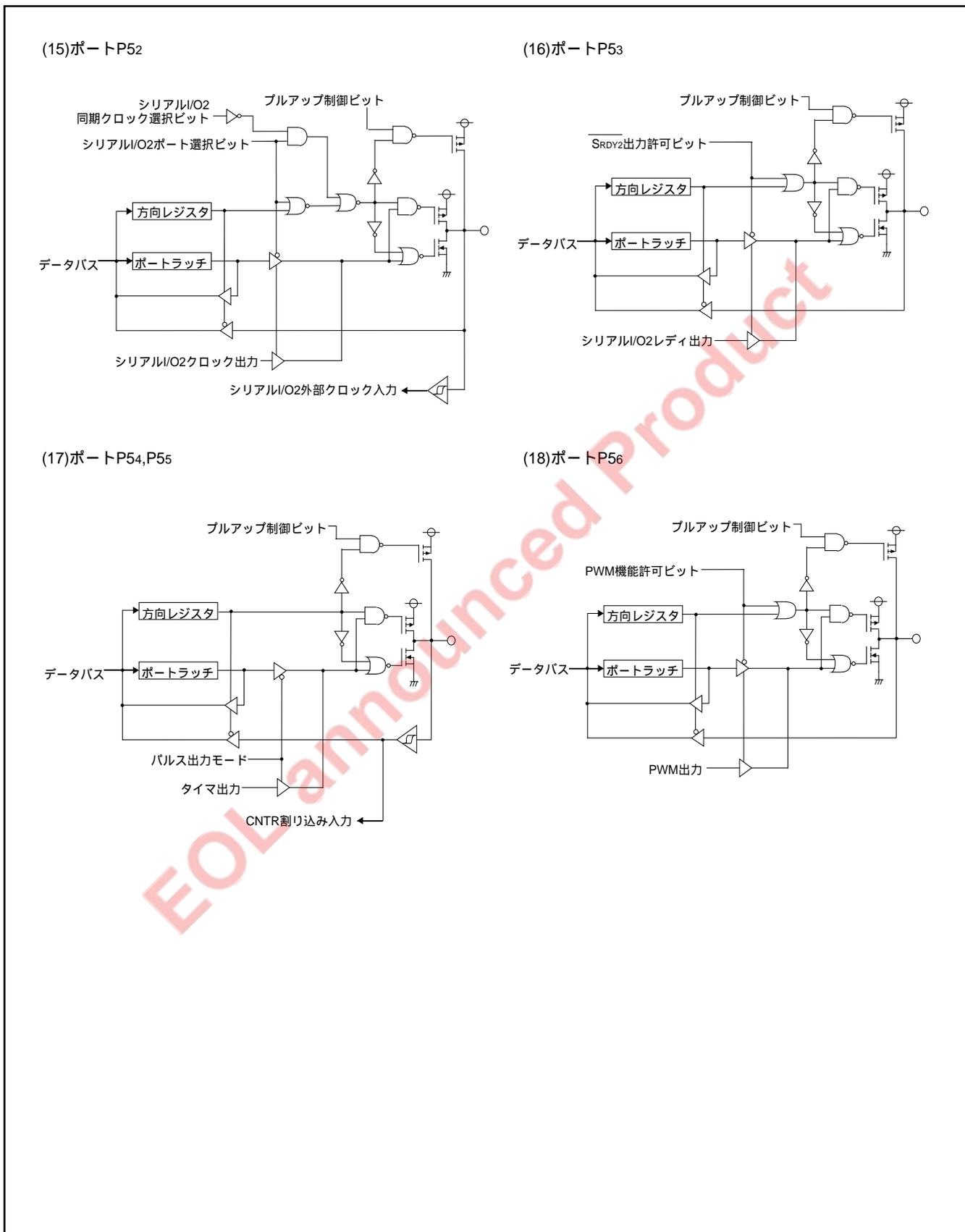


図14. ポートブロック図(3)

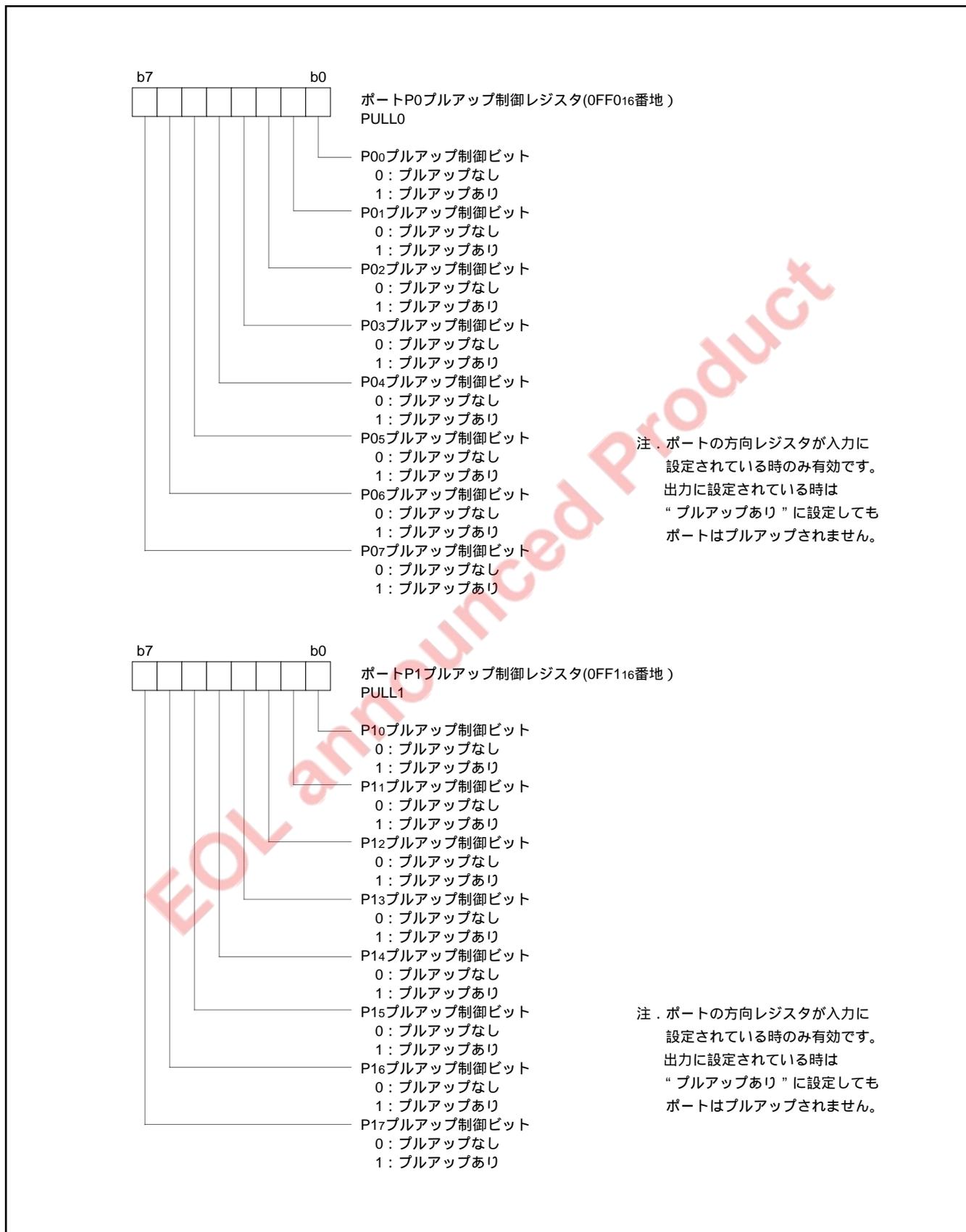


図15. ポートレジスタ構成図(1)

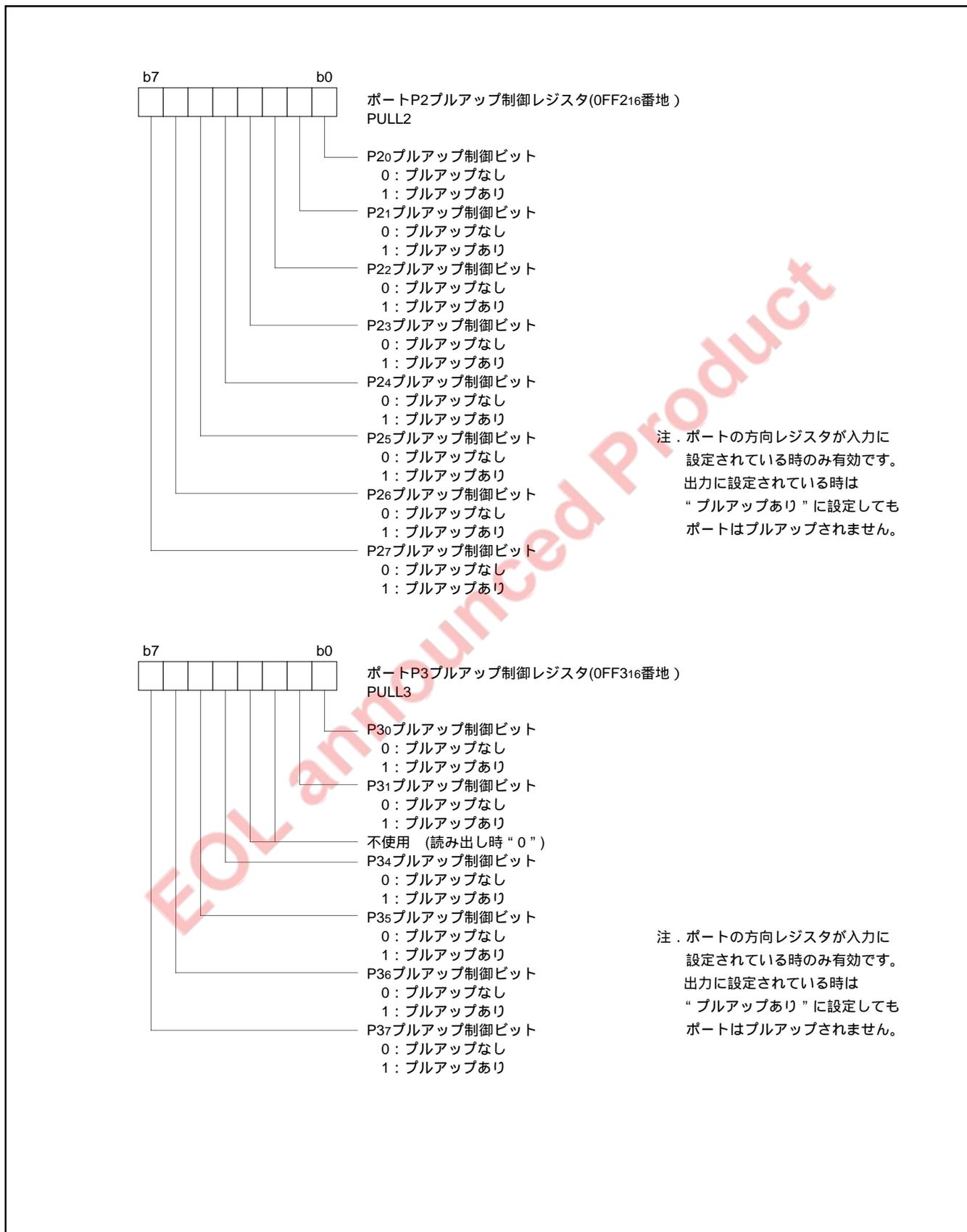


図16. ポートレジスタ構成図(2)

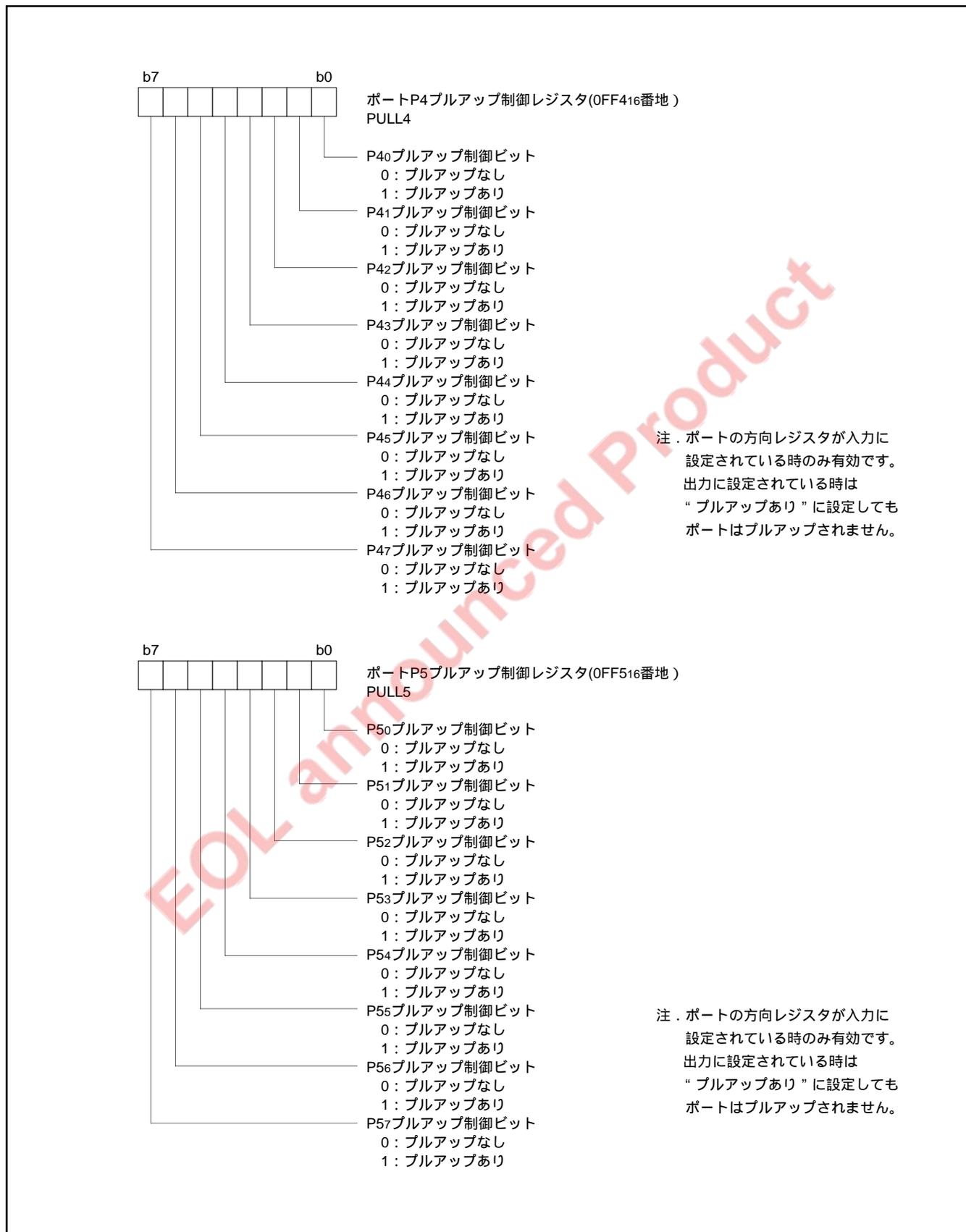


図17. ポートレジスタ構成図(3)

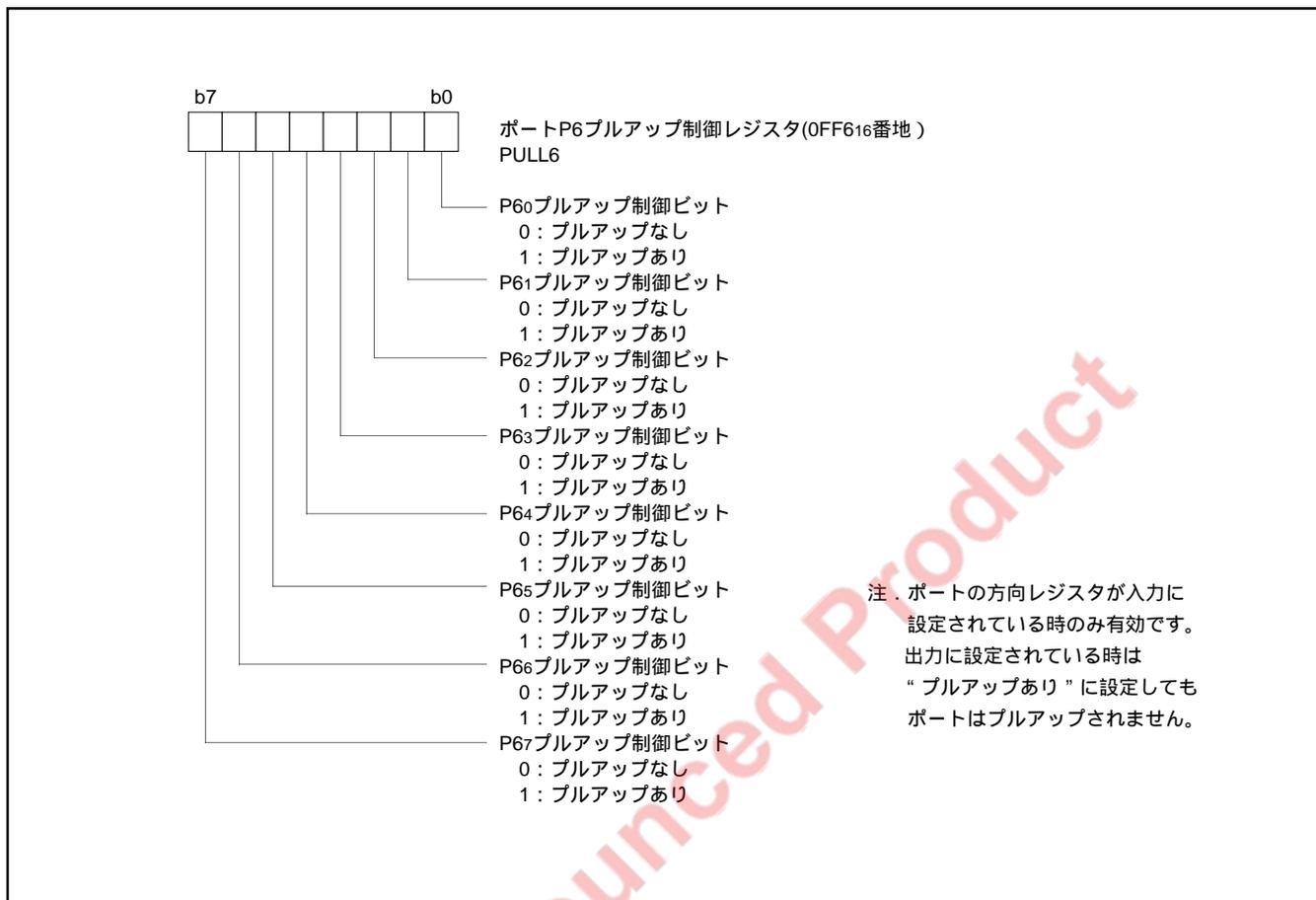


図18. ポートレジスタ構成図(4)

## 割り込み

3804グループ(H仕様)の割り込みはベクトル割り込みで、外部9要因、内部13要因、ソフトウェア1要因の23要因のうち16要因から発生することが可能です。

### ・割り込み制御

BRK命令割り込みを除く各割り込みは、割り込み要求ビットと割り込み許可ビットを持っており、割り込み禁止フラグの影響を受けます。割り込み許可ビット及び割り込み要求ビットが‘1’でかつ割り込み禁止フラグが‘0’のとき割り込みは受け付けられます。

割り込み要求ビットはプログラムでクリアできますが、セットはできません。割り込み許可ビットはプログラムでセット、クリアできます。

リセットとBRK命令割り込みを禁止するフラグ又はビットはありません。これら以外の割り込みは割り込み禁止フラグがセットされていると受け付けられません。

同時に複数の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

### ・割り込み動作

割り込みを受け付けると、

1. プログラムカウンタとプロセッサステータスレジスタが自動的に退避されます。
2. 割り込み禁止フラグがセットされ、割り込み要求ビットがクリアされます。
3. 割り込み飛び先番地がプログラムカウンタに入ります。

### ・割り込み要因選択

以下の割り込み要因は、割り込み要因選択レジスタ(0039<sub>16</sub>番地)によりいずれかを選択することができます。

1. INT<sub>0</sub>あるいはタイマZ
2. シリアルI/O1送信あるいはSCL, SDA
3. CNTR<sub>0</sub>あるいはSCL, SDA
4. CNTR<sub>1</sub>あるいはシリアルI/O3受信
5. シリアルI/O2あるいはタイマZ
6. INT<sub>2</sub>あるいはI<sup>2</sup>C
7. INT<sub>4</sub>あるいはCNTR<sub>2</sub>
8. A/D変換あるいはシリアルI/O3送信

### ・外部割り込み端子選択

外部割り込みINT<sub>0</sub>、INT<sub>4</sub>は、外部入力端子であるINT<sub>00</sub>、INT<sub>40</sub>あるいはINT<sub>01</sub>、INT<sub>41</sub>のいずれかを割り込みエッジ選択レジスタのINT<sub>0</sub>、INT<sub>4</sub>割り込み切り替えビット(003A<sub>16</sub>番地のビット6)により選択することができます。

## 注意事項

次の場合、割り込み要求ビットが‘1’になる場合があります。

- ・外部割り込みのアクティブエッジを切り替える際  
対象レジスタ: 割り込みエッジ選択レジスタ(003A<sub>16</sub>番地)  
タイマXYモードレジスタ(0023<sub>16</sub>番地)  
タイマZモードレジスタ(002A<sub>16</sub>番地)  
I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(0016<sub>16</sub>番地)
- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際  
対象レジスタ: 割り込み要因選択レジスタ(0039<sub>16</sub>番地)

これらの設定に同期した割り込み発生が不要な場合には、以下の手順で設定してください。

該当する割り込み許可ビットを‘0’ (禁止) にする。

割り込みエッジ選択ビットや割り込み要因ビットを設定する。一命令以上おいてから、該当する割り込み要求ビットを‘0’にする。

該当する割り込み許可ビットを‘1’ (許可) にする。

表6. 割り込みベクトル番地と優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD	FFFC	リセット時	ノンマスカブル
INT0	2	FFFB	FFFA	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ				タイマZアンダフロー時	
INT1	3	FFF9	FFF8	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O1受信	4	FFF7	FFF6	シリアル/O1データ受信終了時	シリアル/O1選択時のみ有効
シリアル/O1送信	5	FFF5	FFF4	シリアル/O1送信シフト終了時又は送信バッファ空き時	シリアル/O1選択時のみ有効
SCL,SDA				SCLまたはSDA立ち上がり又は立ち下がりエッジ検出時	
タイマX	6	FFF3	FFF2	タイマXアンダフロー時	
タイマY	7	FFF1	FFF0	タイマYアンダフロー時	
タイマ1	8	FFEF	FFEE	タイマ1アンダフロー時	STP 解除タイマアンダフロー
タイマ2	9	FFED	FFEC	タイマ2アンダフロー時	
CNTR0	10	FFEB	FFEA	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
SCL,SDA				SCL又はSDA入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR1	11	FFE9	FFE8	CNTR1の入力立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O3受信				シリアル/O3データ受信完了時	シリアル/O3選択時のみ有効
シリアル/O2	12	FFE7	FFE6	シリアル/O2データ送受信終了時	シリアル/O2選択時のみ有効
タイマZ				タイマZアンダフロー時	
INT2	13	FFE5	FFE4	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
I <sup>2</sup> C				データ送受信終了時	
INT3	14	FFE3	FFE2	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT4	15	FFE1	FFE0	INT4入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR2				CNTR2入力の立ち上がり又は立ち下がりエッジ検出時	
A/D変換	16	FFDF	FFDE	A/D変換終了時	シリアル/O3選択時のみ有効
シリアル/O3送信				シリアル/O3送信シフト終了時又は送信バッファ空き時	
BRK命令	17	FFDD	FFDC	BRK命令実行時	ノンマスカブルソフトウェア割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。  
 2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

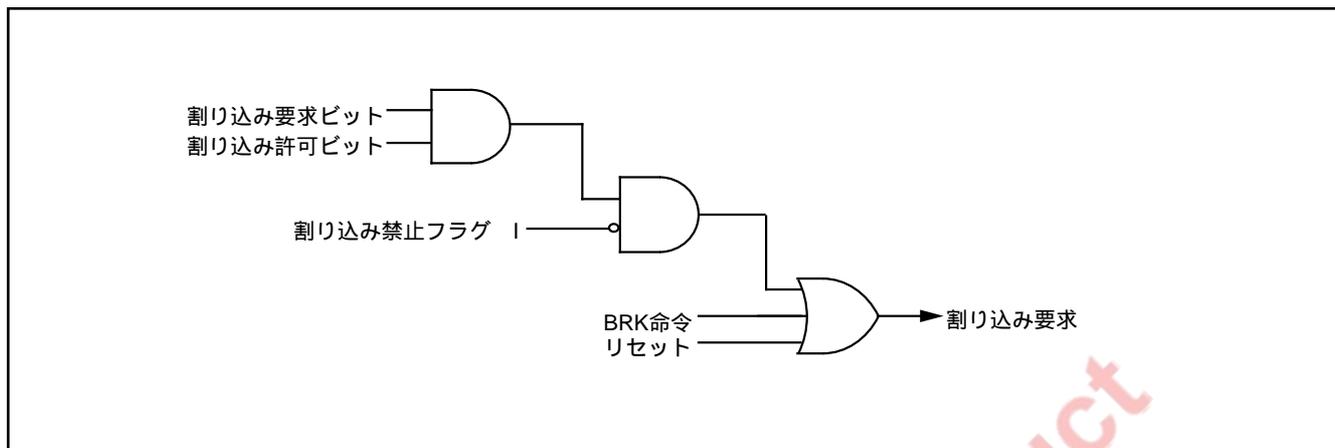


図19. 割り込み制御図

EOL announced Product

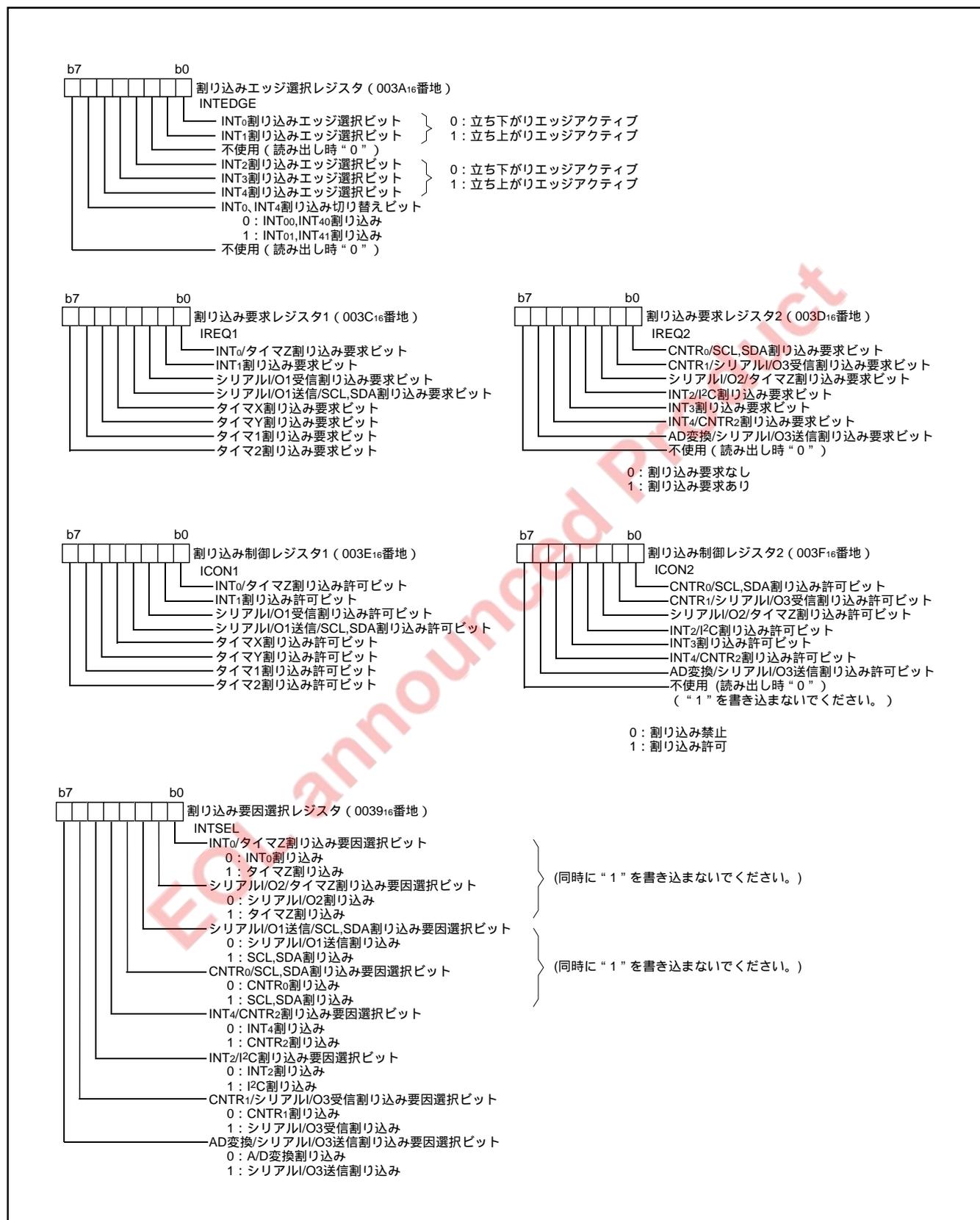


図20. 割り込み関係レジスタの構成

## タイマ

### 8ビットタイマ

タイマ1、タイマ2、タイマX、タイマYは8ビットのタイマで、タイマ1、タイマ2に共通で1本、タイマX、タイマYにそれぞれ1本ずつ8ビットプリスケアラを内蔵しています。それぞれのタイマ、プリスケアラにはタイマラッチ、プリスケアララッチを持っています。

すべてのタイマ及びプリスケアラの分周比は、タイマラッチまたはプリスケアララッチの内容をnとすると $1/(n+1)$ になります。

タイマはカウントダウン方式で、カウンタの内容が“0”になった次のカウントパルスでアンダフローし、タイマラッチの内容が再びタイマにロードされ、カウントダウンが続行されます。また、タイマがアンダフローすると各タイマに対応する割り込み要求ビットが“1”にセットされます。

### ・タイマ用分周器

分周器のカウントソースは、CPUモードレジスタ(003B<sub>16</sub>番地)のメインクロック分周比選択ビット(b7, b6)が“00”(高速モード)、“01”(中速モード)のときは、X<sub>IN</sub>となり、“10”(低速モード)のときはX<sub>CIN</sub>となります。

### ・プリスケアラ12

プリスケアラ12はタイマ用分周器の出力をカウントします。カウントソースは、タイマ12、Xカウントソース選択レジスタ(000E<sub>16</sub>番地)で制御され、f(X<sub>IN</sub>)又はf(X<sub>CIN</sub>)のそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024が選択できます。

### ・タイマ1、タイマ2

タイマ1及びタイマ2は、常にプリスケアラ12の出力をカウントし、周期的に割り込み要求ビットをセットします。

### ・プリスケアラX、プリスケアラY

プリスケアラX、プリスケアラYはタイマ用分周器の出力、又はf(X<sub>CIN</sub>)をカウントします。カウントソースは、タイマ12、Xカウントソース選択レジスタ(000E<sub>16</sub>番地)、タイマY、Zカウントソース選択レジスタ(000F<sub>16</sub>番地)で制御され、f(X<sub>IN</sub>)又はf(X<sub>CIN</sub>)のそれぞれ1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024、又はf(X<sub>CIN</sub>)が選択できます。

### ・タイマX、タイマY

タイマXYモードレジスタ(0023<sub>16</sub>番地)を設定することにより、それぞれ4つの動作モードを選択することができます。

#### (1)タイマモード

##### <モードの選択>

タイマXYモードレジスタ(0023<sub>16</sub>番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“00”に設定することによりこのモードが選択されます。

##### <動作説明>

タイマカウント動作はタイマXYモードレジスタ(0023<sub>16</sub>番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)に“0”を設定することにより開始します。タイマの内容が“00”になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。

#### (2) パルス出力モード

##### <モードの選択>

タイマXYモードレジスタ(0023<sub>16</sub>番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“01”に設定することによりこのモードが選択されます。

##### <動作説明>

タイマがアンダフローするたびに極性の反転するパルスをCNTR<sub>0</sub>/CNTR<sub>1</sub>端子から出力することを除けば、タイマモードと同じ動作をします。タイマカウント動作停止中/許可中に関わらずCNTR<sub>0</sub>/CNTR<sub>1</sub>端子の出力はタイマへの書き込みによってCNTR<sub>0</sub>/CNTR<sub>1</sub>極性切り替えビットで設定されるレベルに初期化されます。タイマXYモードレジスタ(0023<sub>16</sub>番地)のCNTR<sub>0</sub>極性切り替えビット(b2)、CNTR<sub>1</sub>極性切り替えビット(b6)が“0”のときはCNTR<sub>0</sub>/CNTR<sub>1</sub>端子の出力は“H”出力から開始します。“1”のときは“L”出力から開始します。

CNTR<sub>0</sub>/CNTR<sub>1</sub>極性切り替えビットの値を書き替えると、CNTR<sub>0</sub>/CNTR<sub>1</sub>端子の出力レベルが反転します。

##### <注意事項>

このモードではCNTR<sub>0</sub>/CNTR<sub>1</sub>端子と共用のポートP54/P55を出力に設定してください。

### (3) イベントカウンタモード

#### <モードの選択>

タイマXYモードレジスタ(0023<sub>16</sub>番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“1”に設定することによりこのモードが選択されます。

#### <動作説明>

CNTR<sub>0</sub>/CNTR<sub>1</sub>端子からの入力信号をカウントすることを除けば、タイマモードと同じ動作をします。カウント動作の有効エッジはタイマXYモードレジスタ(0023<sub>16</sub>番地)のCNTR<sub>0</sub>極性切り替えビット(b2)、CNTR<sub>1</sub>極性切り替えビット(b6)の設定によって決まり、“0”のときは立ち上がりエッジ、“1”のときは立ち下がりエッジをカウントします。

#### <注意事項>

このモードではCNTR<sub>0</sub>/CNTR<sub>1</sub>端子と共用のポートP54/P55を入力に設定してください。

### (4) パルス幅測定モード

#### <モードの選択>

タイマXYモードレジスタ(0023<sub>16</sub>番地)のタイマX動作モードビット(b1, b0)、タイマY動作モードビット(b5, b4)を“11”に設定することによりこのモードが選択されます。

#### <動作説明>

タイマXYモードレジスタ(0023<sub>16</sub>番地)のCNTR<sub>0</sub>極性切り替えビット(b2)、CNTR<sub>1</sub>極性切り替えビット(b6)が“1”の場合はCNTR<sub>0</sub>/CNTR<sub>1</sub>端子入力の立ち下がりから次の立ち上がり(“L”期間)までの期間中カウントします。また、“0”の場合はCNTR<sub>0</sub>/CNTR<sub>1</sub>端子入力の立ち上がりから次の立ち下がり(“H”期間)までの期間中カウントします。

#### <注意事項>

このモードではCNTR<sub>0</sub>/CNTR<sub>1</sub>端子と共用のポートP54/P55を入力に設定してください。

いずれのモードでも、タイマXYモードレジスタ(0023<sub>16</sub>番地)のタイマXカウント停止ビット(b3)、タイマYカウント停止ビット(b7)を“1”に設定することによりカウントを停止することが可能です。

また、タイマがアンダフローするたびに割り込み要求ビットをセットします。

#### ・カウントソース切り替え時の注意

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、プリスケアラ及びタイマに値を設定してください。

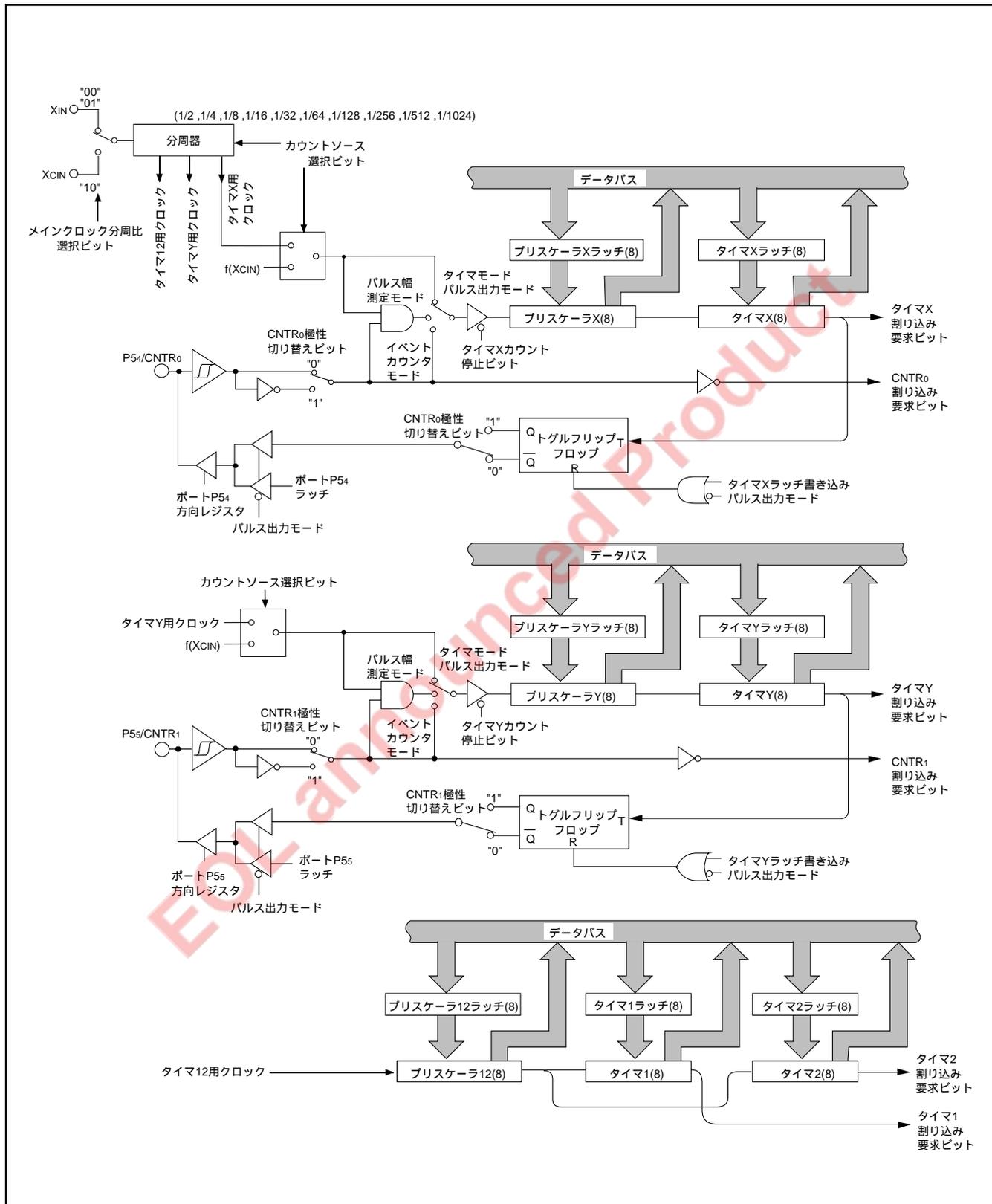


図21. タイマX, タイマY, タイマ1及びタイマ2のブロック図

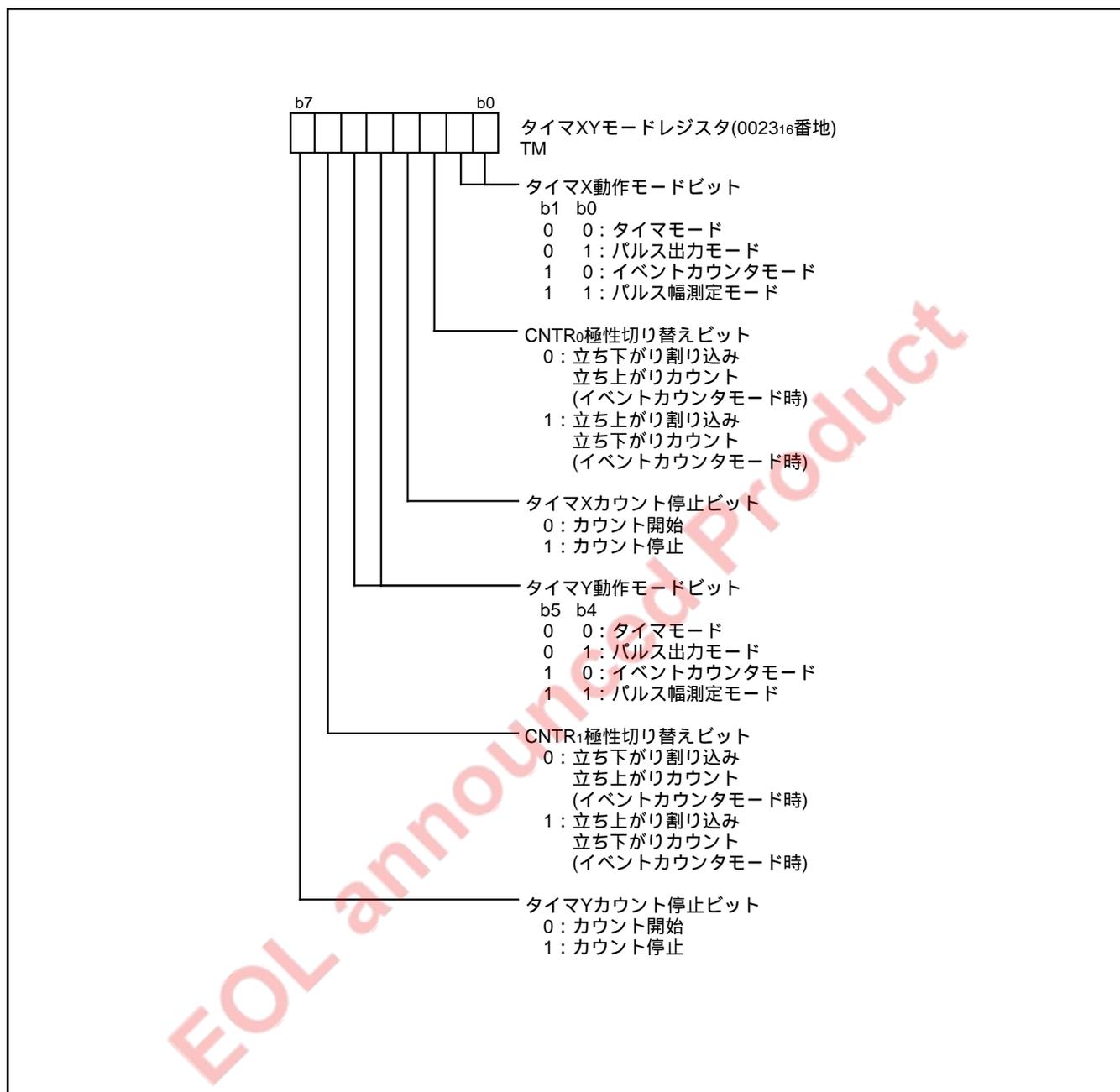


図22. タイマXYモードレジスタの構成

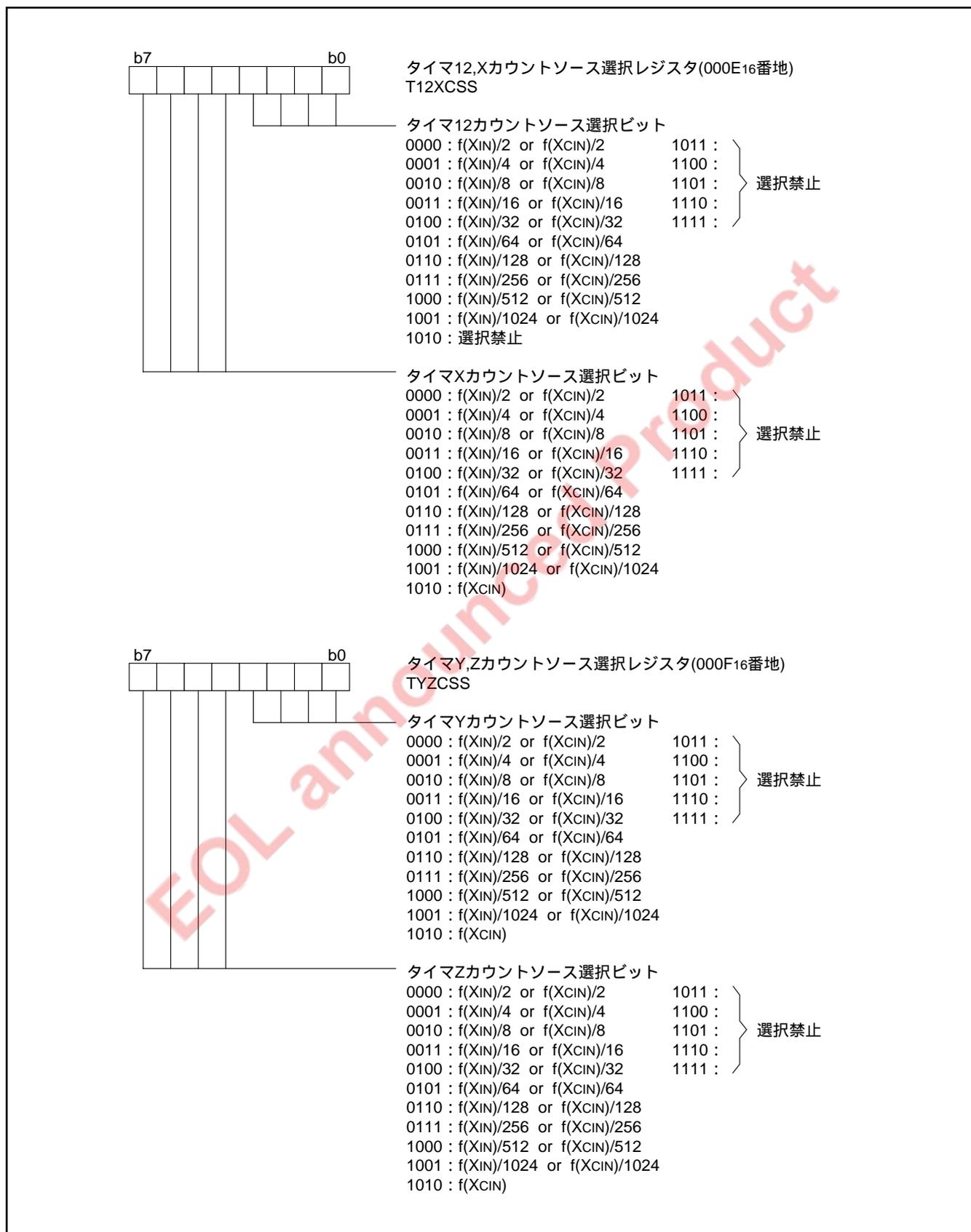


図23. タイマ12,X,Y,Zカウントソース選択レジスタの構成

## 16ビットタイマ

タイマZは16ビットのタイマで、タイマの内容が $0000_{16}$ になった次のカウントパルスでアンダフローし、タイマラッチの内容を再びロードしてカウントダウンを続けます。また、タイマがアンダフローするとタイマZに対応する割り込み要求ビットが $1$ にセットされます。

タイマZを読み書きする場合は、必ず上位バイト、下位バイトとも読み書きしてください。タイマZの値を読み出す場合は、上位バイト、下位バイトの順に読み出しを行い、上位バイトの読み出し操作と下位バイトの読み出し操作の間にタイマZへの書き込みを行わないでください。タイマZへ値を書き込む場合は、下位バイト、上位バイトの順に書き込みを行い、下位バイトへの書き込み操作と上位バイトへの書き込み操作の間にタイマZの読み出しを行わないでください。

タイマY,Zカウントソース選択レジスタ(000F<sub>16</sub>番地)のタイマZカウントソース選択ビット(b7, b6, b5, b4)によりカウントソースを選択することができます。

タイマZはタイマZモードレジスタにより7つの動作モードを選択することができます。

## (1)タイマモード

## &lt;モードの選択&gt;

タイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ動作モードビット(b2, b1, b0)を $000$ に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を $0$ に設定することによりこのモードが選択されます。

## &lt;カウントソースの選択&gt;

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256, 1/512, 1/1024または $f(X_{CIN})$ です。

低速モード時のカウントソースは $f(X_{CIN})$ の1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256, 1/512, 1/1024または $f(X_{CIN})$ です。

## &lt;割り込み&gt;

アンダフロー発生時、割り込み要求レジスタ1(003C<sub>16</sub>番地)のINT0/タイマZ割り込み要求ビット(b0)が $1$ になります。

## &lt;動作説明&gt;

タイマ停止状態では、通常ラッチ及びタイマへの同時書き込みによってタイマの値を設定します。タイマ動作はタイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZカウント停止ビット(b6)に $0$ を設定することにより開始します。タイマの内容が $0000_{16}$ になった次のカウントパルスでアンダフローし、タイマラッチの内容をリロードしてカウントを続けます。カウント動作中にタイマの値を変更する場合は、ラッチのみへの書き込みによってラッチの値を変更することにより、次のアンダフロー時にタイマラッチのリロードでタイマの値が変更されます。

## (2)イベントカウンタモード

## &lt;モードの選択&gt;

タイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ動作モードビット(b2, b1, b0)を $000$ に設定し、かつ、タイマモード/イベントカウンタモード切り替えビット(b7)を $1$ に設定することによりこのモードを選択します。カウント動作の有効エッジはタイマZモードレジスタ(002A<sub>16</sub>番地)のCNTR2極性切り替えビット(b5)の設定によって決まり、“ $0$ ”のときは立ち上がりエッジ、“ $1$ ”のときは立ち下がりエッジをカウントします。

## &lt;割り込み&gt;

アンダフロー時の割り込みはタイマモードの説明と同様です。

## &lt;動作説明&gt;

タイマモードの動作説明と同様です。このモードではCNTR2端子と共用のポートP47を入力に設定してください。

図26にタイマ・イベントカウンタモードのタイミング図を示します。

## (3)パルス出力モード

## &lt;モードの選択&gt;

タイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ動作モードビット(b2, b1, b0)を $001$ に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を $0$ に設定することによりこのモードが選択されます。

## &lt;カウントソース選択&gt;

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256, 1/512, 1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256, 1/512, 1/1024または $f(X_{CIN})$ です。

## &lt;割り込み&gt;

アンダフロー時の割り込みはタイマモードの説明と同様です。

## &lt;動作説明&gt;

タイマがアンダフローするたびに極性の反転するパルスをCNTR2端子から出力することを除けば、タイマモードと同じ動作をします。タイマZモードレジスタ(002A<sub>16</sub>番地)のCNTR2極性切り替えビット(b5)が $0$ のときはCNTR2端子の出力が $H$ 出力から開始します。“ $1$ ”のときは $L$ 出力から開始します。

## &lt;注意事項&gt;

このモードを選択すると、CNTR2端子と共用のポートP47は自動的にタイマパルス出力ポートに設定されます。

CNTR2端子の出力はタイマへの書き込みによってCNTR2極性切り替えビットで設定されるレベルに初期化されます。

CNTR2極性切り替えビットの値を書き替えるとCNTR2端子の出力レベルが反転します。

図27にパルス出力モードのタイミング図を示します。

## (4) パルス周期測定モード

## &lt;モードの選択&gt;

タイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ動作モードビット(b2, b1, b0)を<sup>0</sup>010<sup>1</sup>に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を<sup>0</sup>に設定することによりこのモードが選択されます。

## &lt;カウントソースの選択&gt;

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

## &lt;割り込み&gt;

アンダフロー時の割り込みはタイマモードの説明と同様です。パルス周期測定終了と同時に割り込み要求レジスタ2(003D<sub>16</sub>番地)のINT4/CNTR2割り込み要求ビット(b5)が<sup>0</sup>1<sup>1</sup>になります。

## &lt;動作説明&gt;

CNTR2端子から入力されたパルスの周期を測定します。タイマZモードレジスタ(002A<sub>16</sub>番地)のCNTR2極性切り替えビット(b5)が<sup>0</sup>の場合にはCNTR2端子入力の立ち上がりから次の立ち上がりまでの期間中カウントします。<sup>1</sup>の場合にはCNTR2端子入力の立ち上がりから次の立ち上がりまでの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれ、タイマにはFFFF<sub>16</sub>が設定されます。また、タイマがアンダフローした場合、タイマZ割り込みが発生し、タイマにはFFFF<sub>16</sub>が設定されます。タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

## &lt;注意事項&gt;

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、またはパルス周期測定の有効エッジを検出した場合のみFFFF<sub>16</sub>に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

図28にパルス周期測定モードのタイミング図を示します。

## (5) パルス幅測定モード

## &lt;モードの選択&gt;

タイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ動作モードビット(b2, b1, b0)を<sup>0</sup>011<sup>1</sup>に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を<sup>0</sup>に設定することによりこのモードになります。

## &lt;カウントソースの選択&gt;

高速、中速モード選択時のカウントソースは、 $f(X_{IN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

低速モード選択時のカウントソースは $f(X_{CIN})$ の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024または $f(X_{CIN})$ です。

## &lt;割り込み&gt;

アンダフロー時の割り込みはタイマモードの説明と同様です。パルス幅測定終了と同時に割り込み要求レジスタ2(003D<sub>16</sub>番地)のINT4/CNTR2割り込み要求ビット(b5)が<sup>0</sup>1<sup>1</sup>になります。

## &lt;動作説明&gt;

CNTR2端子から入力されたパルス幅を測定します。タイマZモードレジスタ(002A<sub>16</sub>番地)のCNTR2極性切り替えビット(b5)が<sup>0</sup>の場合にはCNTR2端子入力の立ち上がりから次の立ち上がり(“H”期間)までの期間中カウントします。タイマZモードレジスタ(002A<sub>16</sub>番地)のCNTR2極性切り替えビット(b5)が<sup>1</sup>の場合にはCNTR2端子入力の立ち上がりから次の立ち上がり(“L”期間)までの期間中カウントします。測定終了/開始の有効エッジを検出した場合、タイマ値の1の補数(測定値)がタイマラッチに書き込まれます。また、測定終了/開始の有効エッジを検出した場合、タイマにはFFFF<sub>16</sub>が設定されます。また、タイマがアンダフローした場合、タイマZ割り込みが発生し、タイマにはFFFF<sub>16</sub>が設定されます。タイマZの読み出しを行うとタイマラッチ(測定値)の読み出しとなります。測定値は次の測定完了まで保持されています。

## &lt;注意事項&gt;

このモードではCNTR2端子と共用のポートP47を入力に設定してください。

このモードではタイマ値(測定中のタイマ値)の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス幅未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、またはパルス幅測定の有効エッジを検出した場合のみFFFF<sub>16</sub>に設定されます。よってパルス幅測定開始時のタイマの値は、測定開始以前のタイマの値に依存します。

図29にパルス幅測定モードのタイミング図を示します。

## (6) プログラマブル波形発生モード

## &lt;モードの選択&gt;

タイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ動作モードビット(b2, b1, b0)を<sup>#</sup>100に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を<sup>#</sup>0に設定することにより、このモードとなります。

## &lt;カウントソースの選択&gt;

高速、中速モード選択時のカウントソースは、f(XIN)の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024またはf(XCIN)です。

低速モード選択時のカウントソースはf(XCIN)の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024またはf(XCIN)です。

## &lt;割り込み&gt;

アンダフロー時の割り込みはタイマモードの説明と同様です。

## &lt;動作説明&gt;

タイマがアンダフローするたびにタイマZモードレジスタ(002A<sub>16</sub>番地)のアウトプットレベルラッチ(b4)に設定された値のレベルをCNTR2端子より出力することを除けば、タイマモードと同じ動作をします。アンダフロー発生後、アウトプットレベルラッチとタイマラッチの値を変更することによって、任意の波形をCNTR2端子より発生することが可能です。

## &lt;注意事項&gt;

このモードを選択するとCNTR2端子と共用のポートP47は自動的にプログラマブル波形発生ポートに設定されます。

図30にプログラマブル波形発生モードのタイミング図を示します。

## (7) プログラマブルワンショット発生モード

## &lt;モードの選択&gt;

タイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ動作モードビット(b2, b1, b0)を<sup>#</sup>101に設定し、かつタイマモード/イベントカウンタモード切り替えビット(b7)を<sup>#</sup>0に設定することにより、このモードとなります。

## &lt;カウントソースの選択&gt;

高速、中速モード選択時のカウントソースは、f(XIN)の1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024またはf(XCIN)です。

## &lt;割り込み&gt;

アンダフロー時の割り込みはタイマモードの説明と同じです。ワンショット発生のトリガは、割り込みエッジ選択レジスタ(003A<sub>16</sub>番地)のINT1割り込みエッジ選択ビット(b1)の設定により、“0”のときは立ち下がりエッジアクティブ、“1”のときは立ち上がりエッジアクティブを選択します。またINT1端子の有効エッジ検出によって、割り込み要求レジスタ1(003C<sub>16</sub>番地)のINT1割り込み要求ビット(b1)が<sup>#</sup>1になります。

## &lt;動作説明&gt;

“H”ワンショットパルスの場合：タイマZモードレジスタのb5=“0”

CNTR2端子の出力レベルは、モード選択時“L”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“H”を出力し、タイマのアンダフローによって“L”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“H”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“H”が出力されますが、アンダフローが発生しないため“H”出力状態が続きます。

“L”ワンショットパルスの場合：タイマZモードレジスタのb5=“1”

CNTR2端子の出力レベルはモード選択時“H”に初期化されます。トリガ発生(INT1端子への入力信号)を検出すると、CNTR2端子から“L”を出力し、タイマのアンダフローによって“H”出力に切り替わります。タイマZ下位、タイマZ上位レジスタへの設定値によって“L”ワンショットパルス幅を設定します。タイマカウント停止中にトリガ発生を検出した場合にもCNTR2端子から“L”が出力されますが、アンダフローが発生しないため“L”出力状態が続きます。

## &lt;注意事項&gt;

このモードではINT1端子と共用のポートP42を入力に設定してください。

CNTR2端子と共用のポートP47はこのモードを選択すると自動的にプログラマブル波形発生ポートに設定されます。

低速モード選択時このモードは使用できません。

ワンショット発生許可中、またはワンショット発生中にCNTR2極性切り替えビットの値を変更した場合、CNTR2端子からの出力レベルが変化します。

図31にプログラマブルワンショット発生モードのタイミング図を示します。

## 全モードにおける注意事項

## ・タイマZ書き込み制御

タイマZはタイマZモードレジスタ(002A16番地)のタイマZ書き込み制御ビット(b3)によってラッチ及びタイマへの同時書き込み、またはラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。

なおラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

## ・タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は

読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

## ・CNTR2、INT1割り込み極性切り替えについての注意

CNTR2極性切り替えビット、INT1割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

## ・カウントソース切り替え時の注意

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細いパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

## ・CNTR2端子を通常入出力ポートP47としてご使用される場合の注意

CNTR2端子と共用のポートP47を通常入出力ポートとしてご使用される場合は、タイマZモードレジスタ(002A16番地)のタイマZ動作モードビット(b2,b1,b0)を"000"に設定してください。

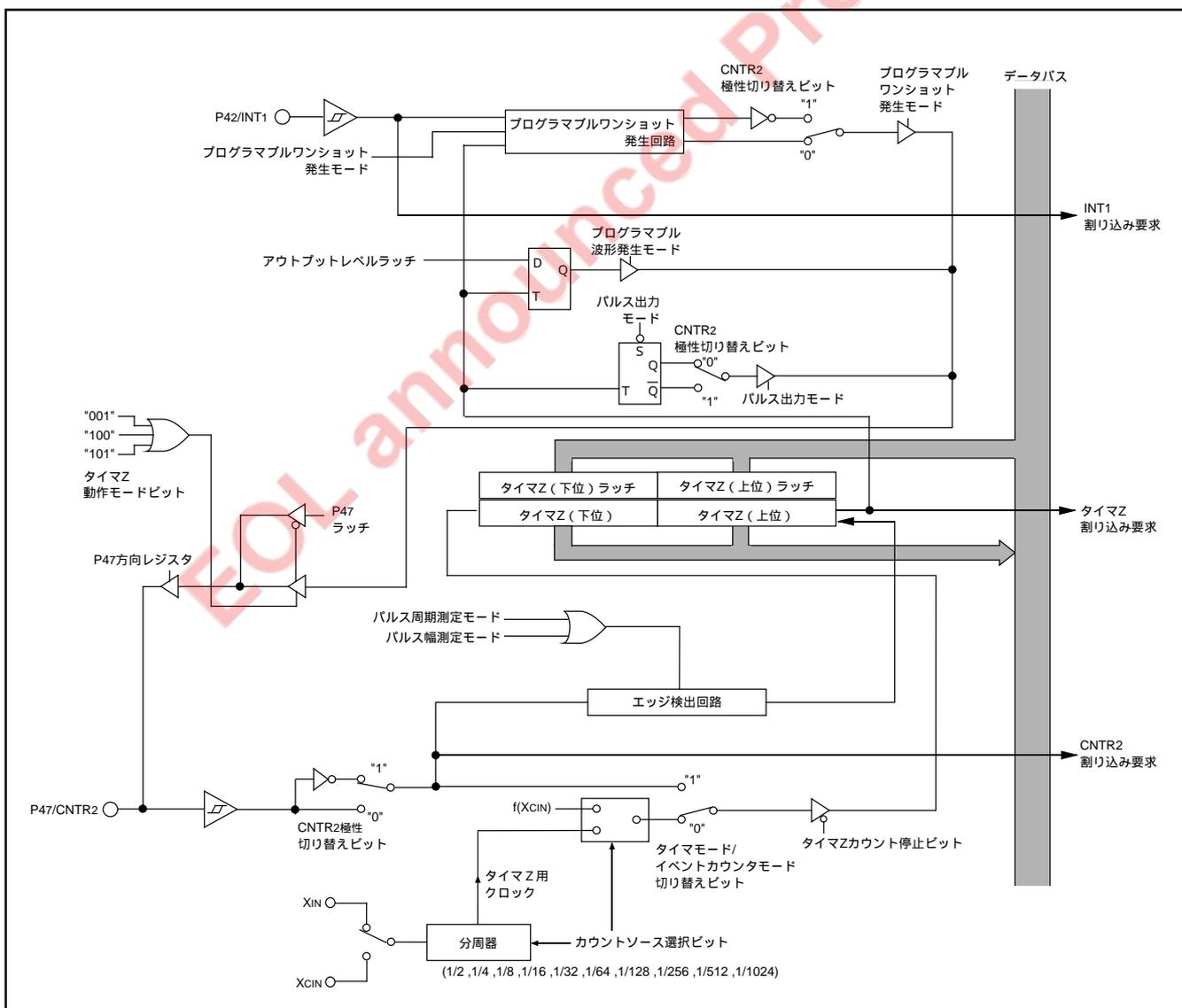


図24. タイマZのブロック図

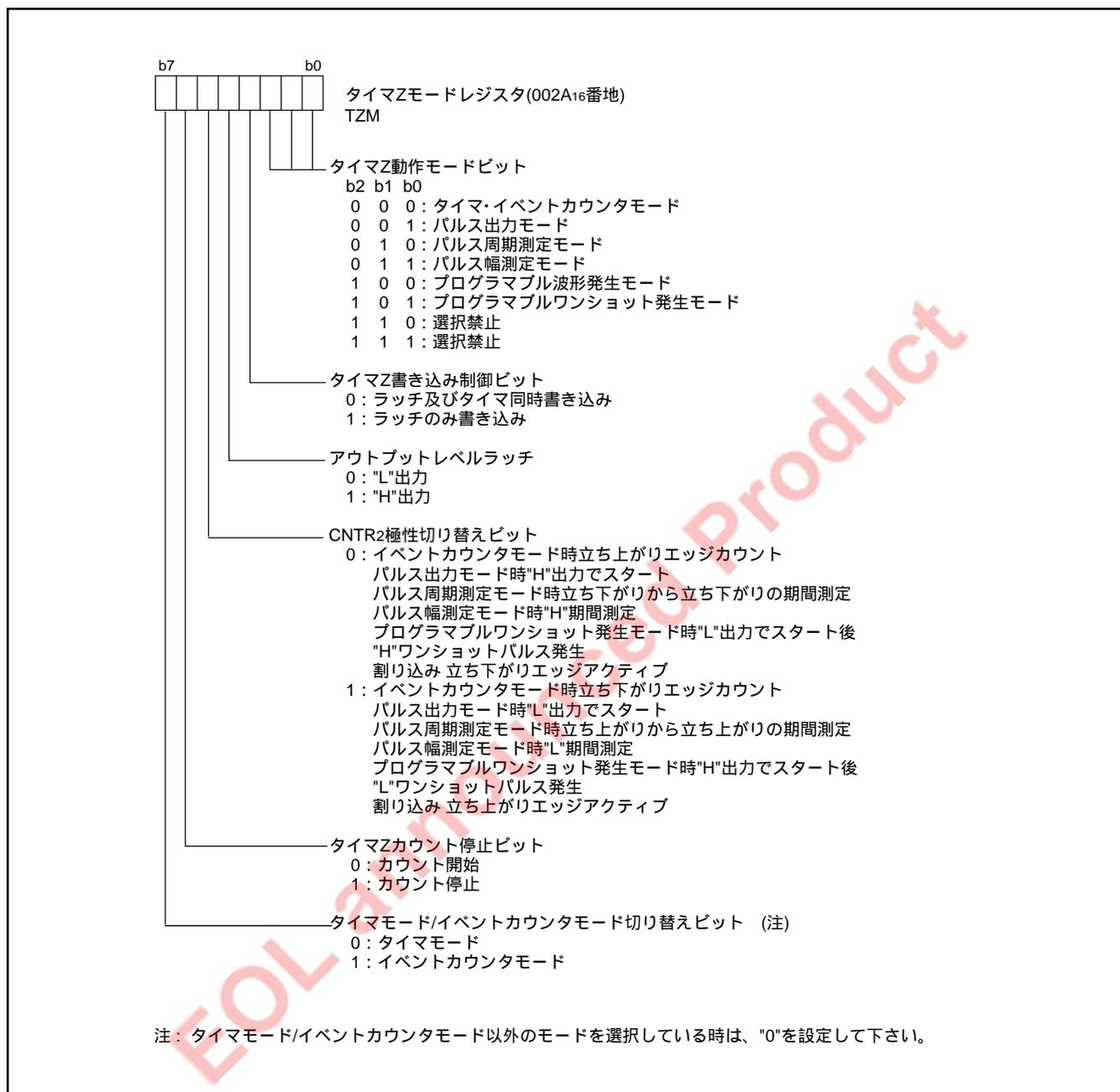


図25. タイマZモードレジスタの構成

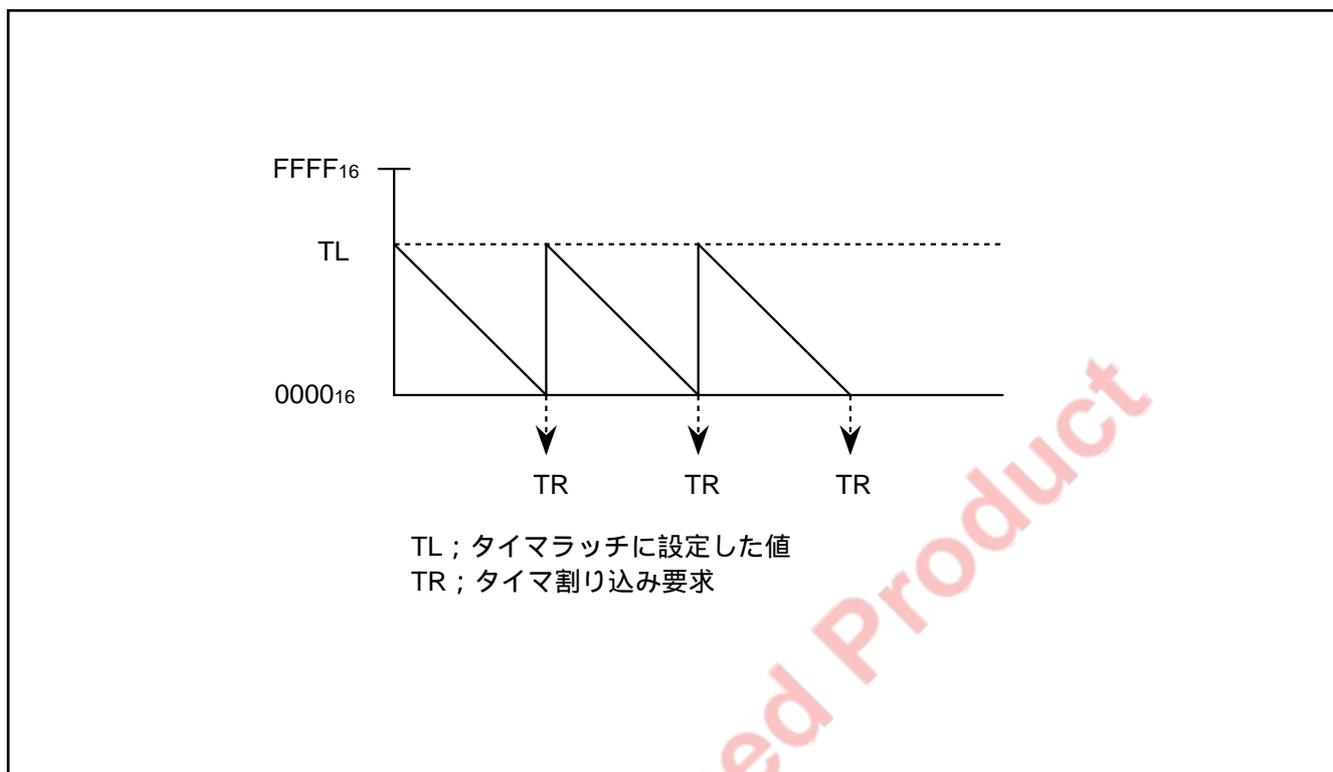


図26. タイマ・イベントカウンタモードのタイミング図

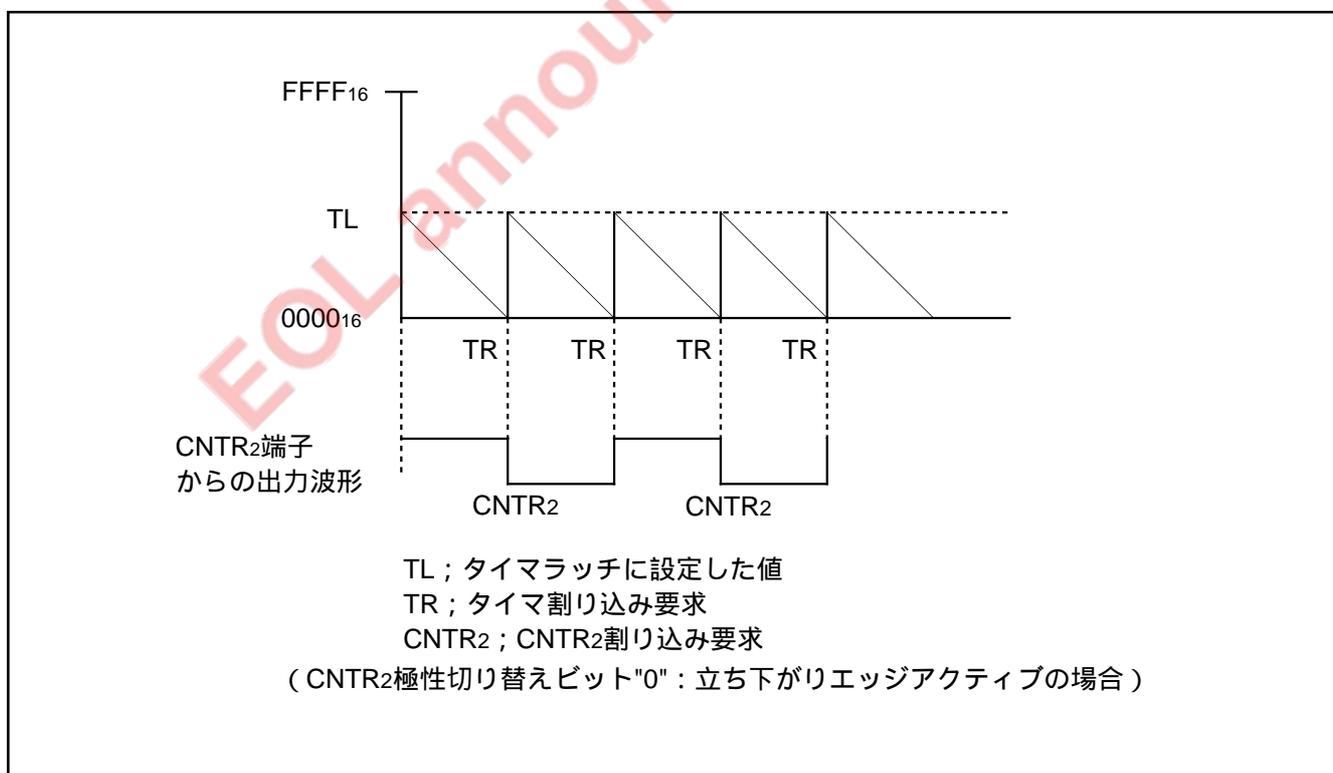


図27. パルス出力モードのタイミング図

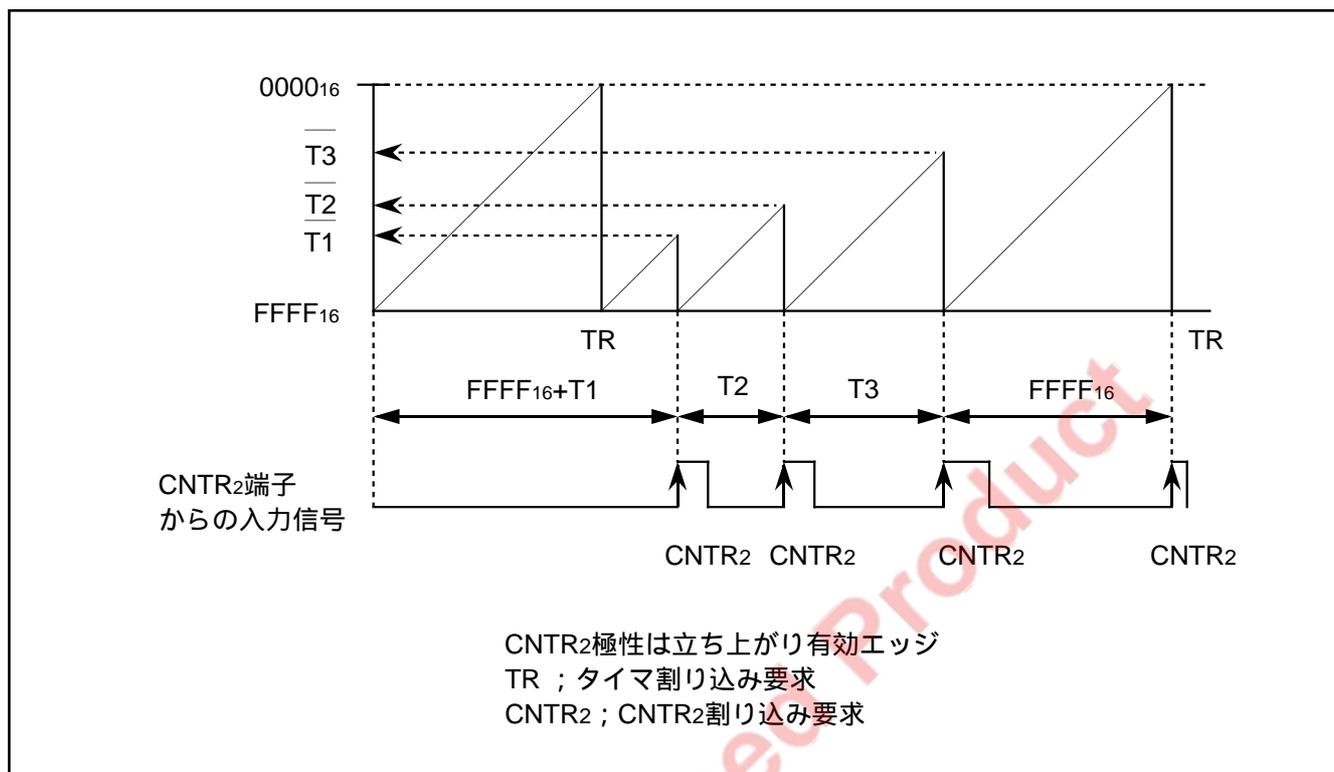


図28. パルス周期測定モードのタイミング図(立ち上がり区間測定時)

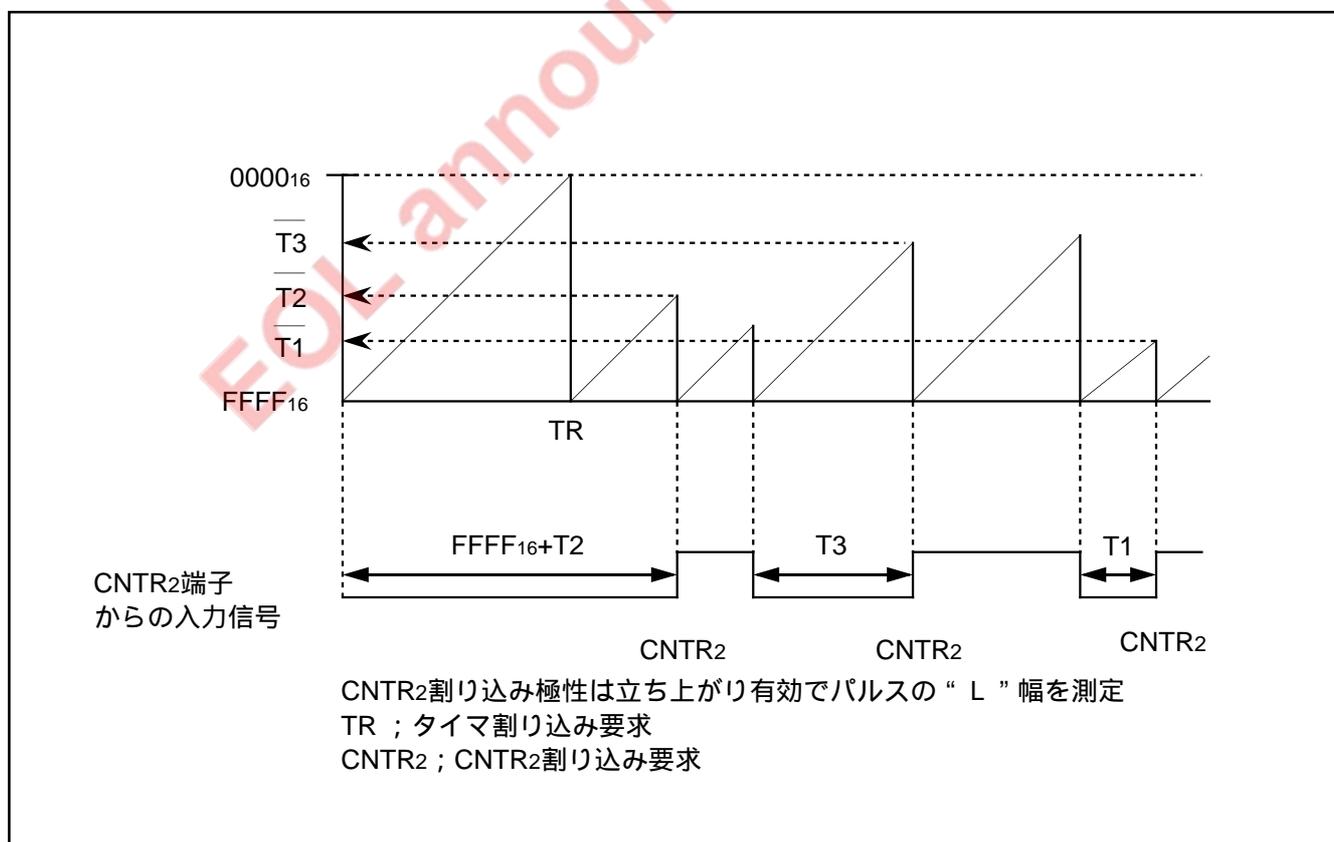


図29. パルス幅測定モードのタイミング図(“L”区間測定時)

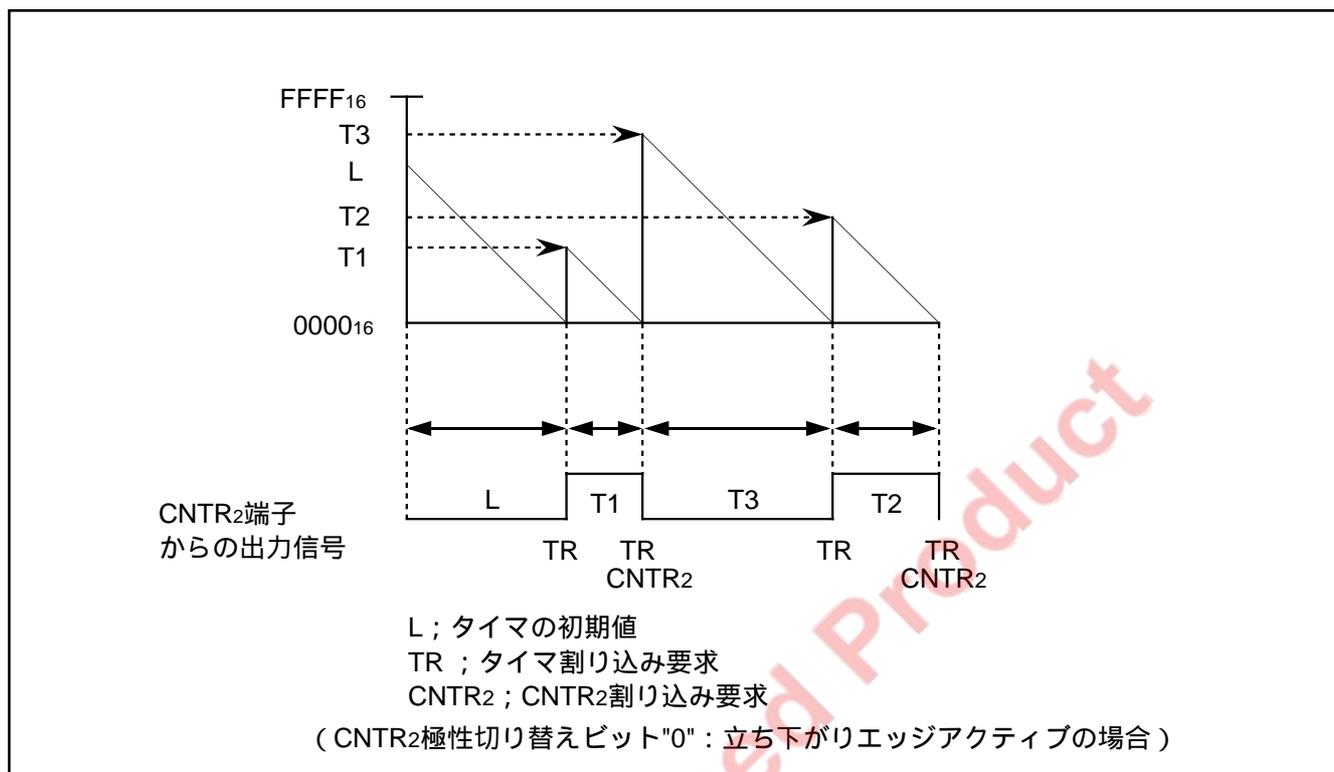


図30. プログラマブル波形発生モードのタイミング図

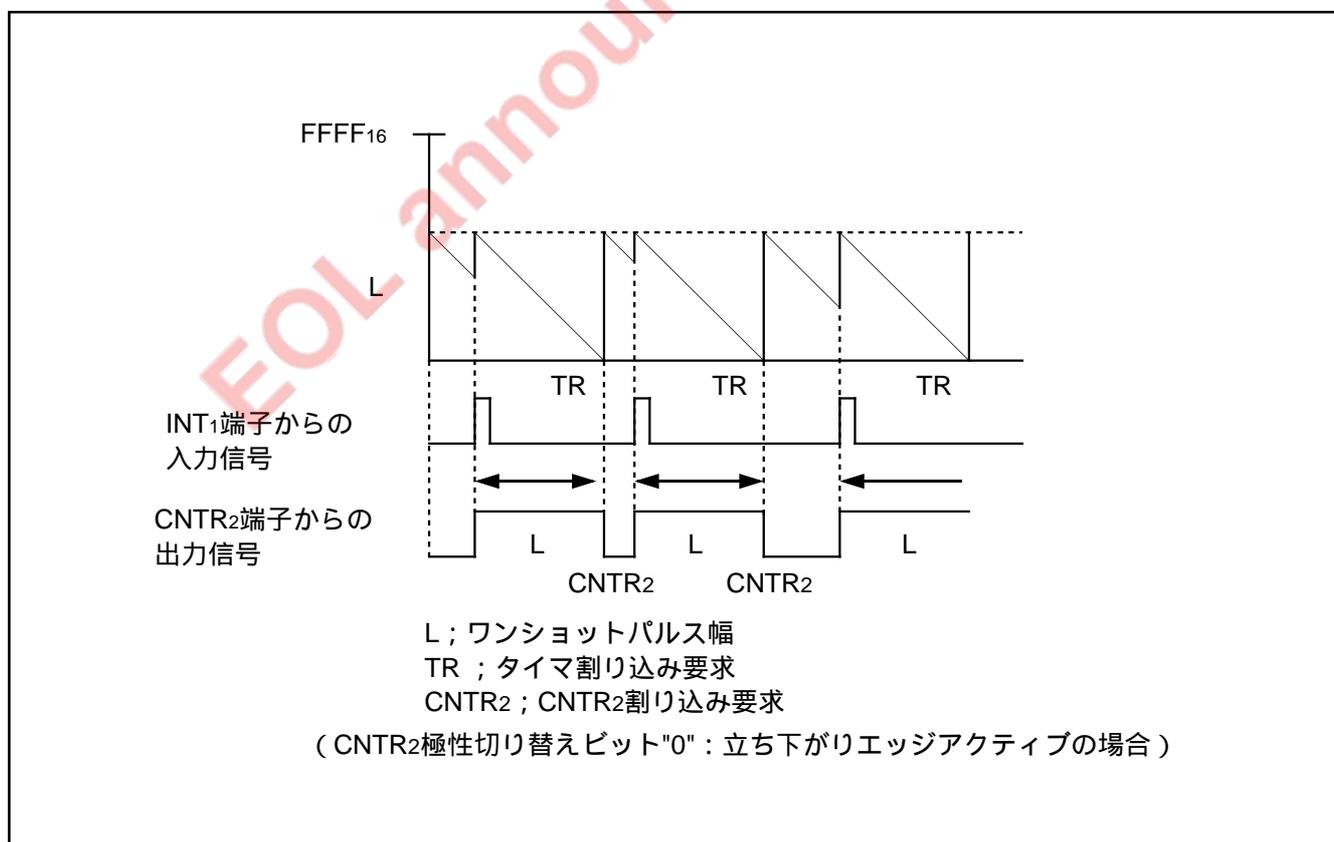


図31. プログラマブルワンショット発生モードのタイミング図("H"ワンショットパルス発生時)

シリアルインタフェース

シリアルI/O1

シリアルI/O1はクロック同期形、非同期形 UART のどちらでも動作可能です。また、シリアルI/O1動作時のポーレート発生専用タイマ(ポーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O1制御レジスタのモード選択ビットを'1'にすることによってクロック同期形シリアルI/Oが選択されます。クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

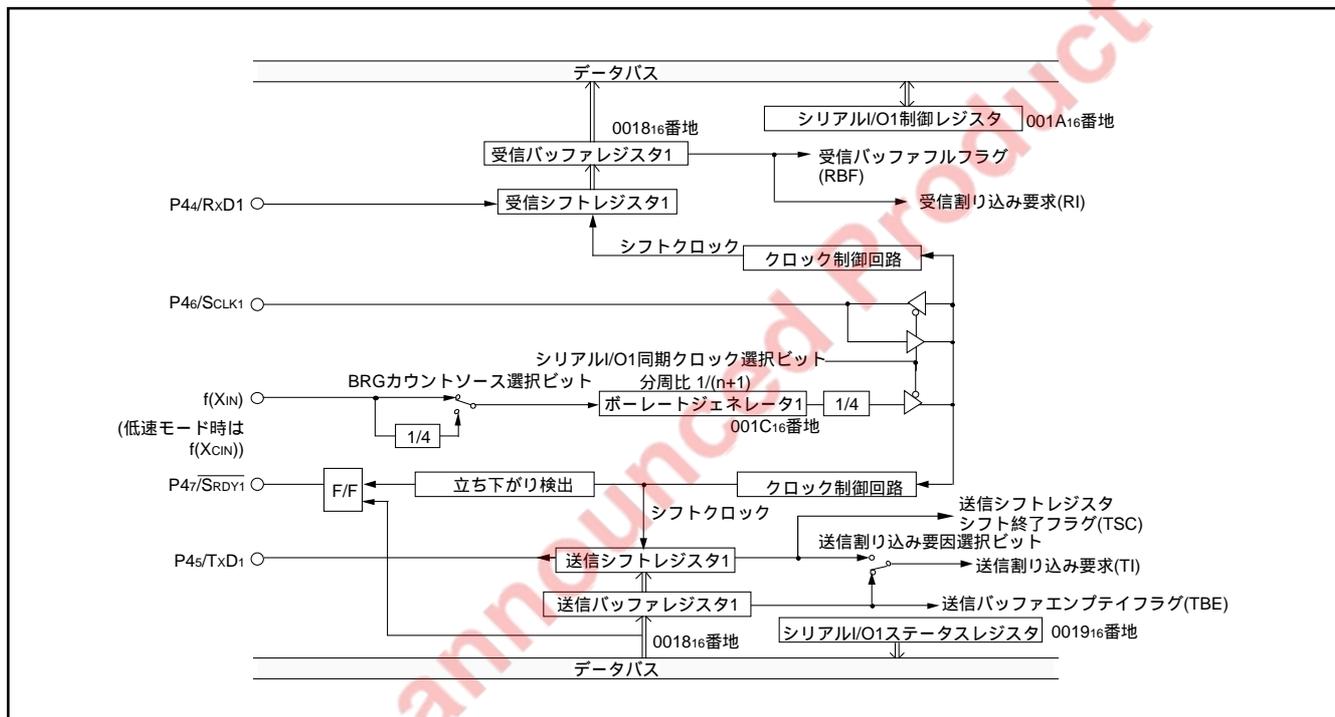


図32. クロック同期形シリアルI/O1ブロック図

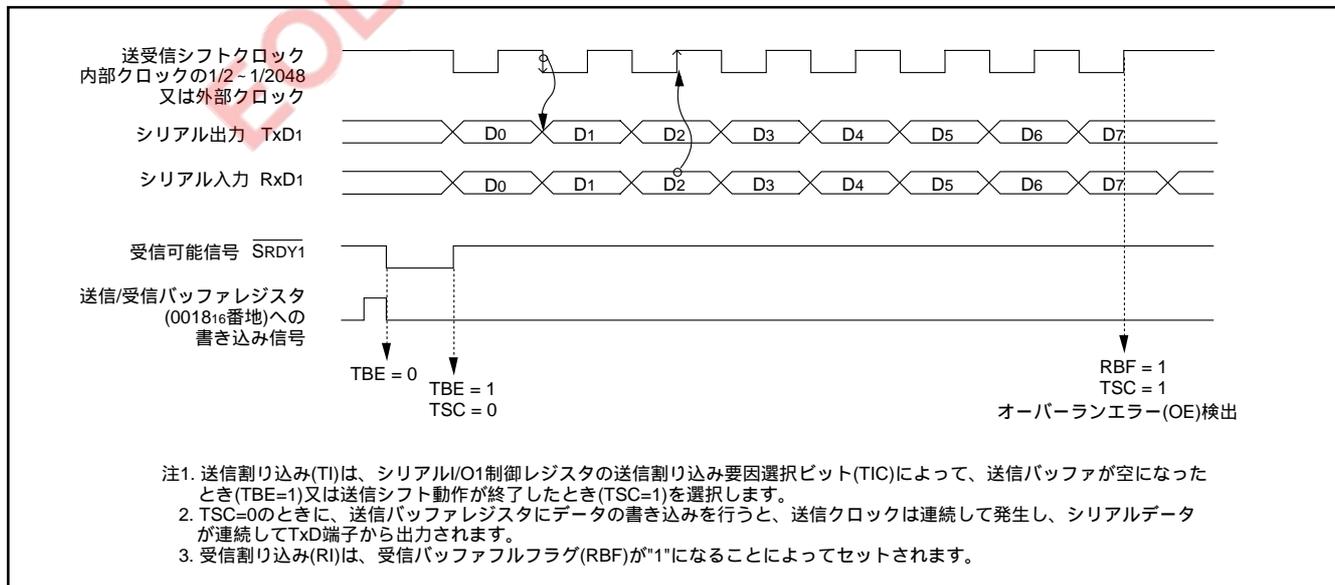


図33. クロック同期形シリアルI/O1動作図

(2) 非同期形シリアル/O1(UART)モード

シリアル/O1制御レジスタのモード選択ビットを「0」にすることによってUARTが選択されます。

3804グループ(H仕様)では、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3804グループ(H仕様)はシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタ

を持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

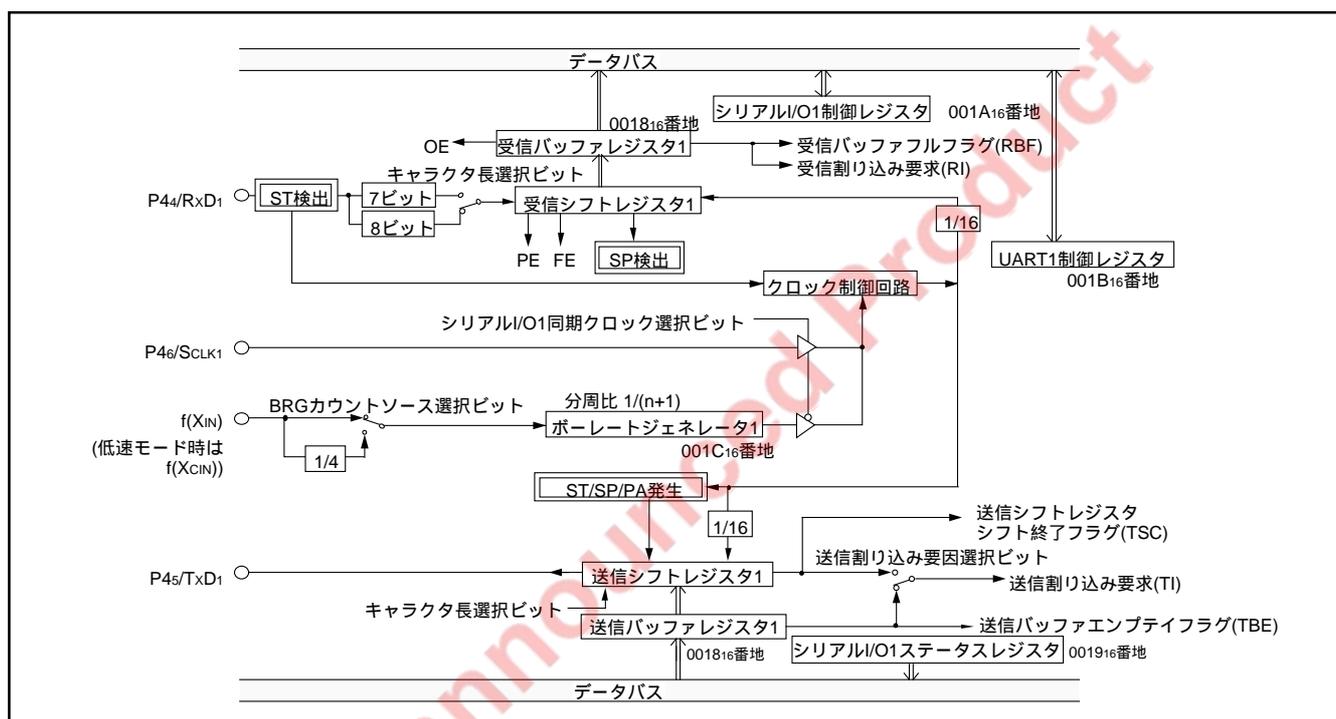
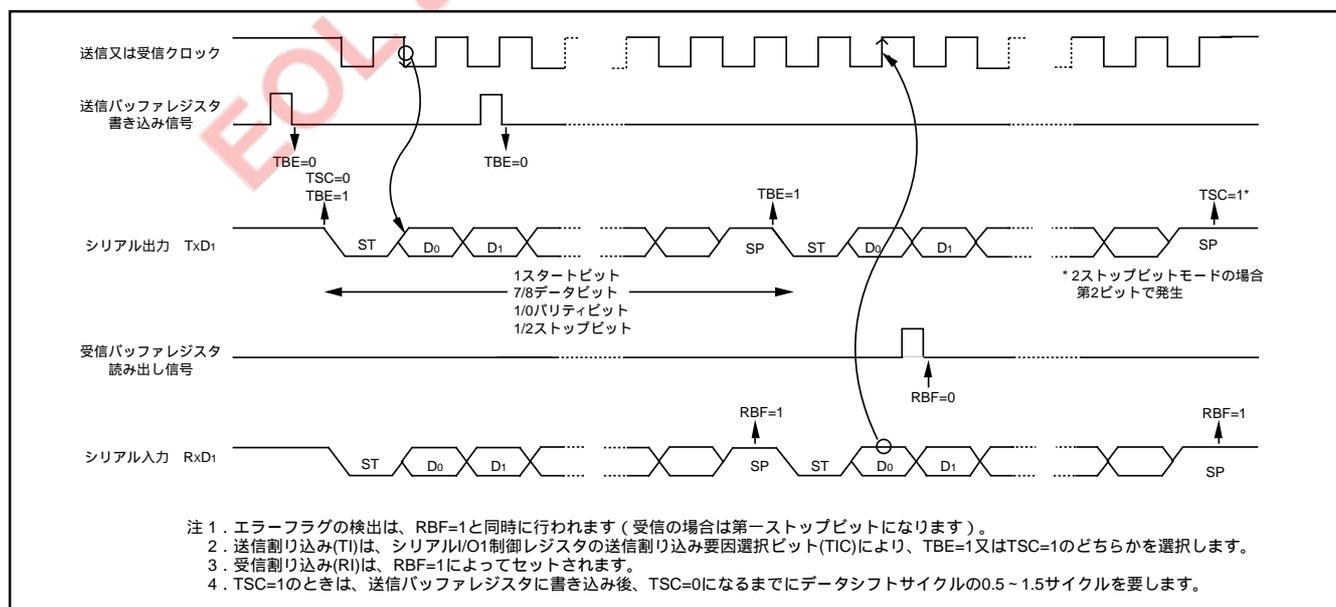


図34. UART形シリアル/O1ブロック図



注 1. エラーフラグの検出は、RBF=1と同時にに行われます(受信の場合は第一ストップビットになります)。  
 2. 送信割り込み(TI)は、シリアル/O1制御レジスタの送信割り込み要因選択ビット(TIC)により、TBE=1又はTSC=1のどちらかを選択します。  
 3. 受信割り込み(RI)は、RBF=1によってセットされます。  
 4. TSC=1のときは、送信バッファレジスタに書き込み後、TSC=0になるまでにデータシフトサイクルの0.5~1.5サイクルを要します。

図35. UART形シリアル/O1動作図

**【シリアルI/O1制御レジスタ】 SIO1CON**

シリアルI/O1制御レジスタはシリアルI/O1の各種制御を行う8ビットの選択ビットで構成されています。

**【UART1制御レジスタ】 UART1CON**

UART選択時有効な4ビットの制御ビットと、1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P45/TxD1端子の出力形式などを設定します。

**【シリアルI/O1ステータスレジスタ】 SIO1STS**

シリアルI/O1の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O1ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O1許可ビット(SIOE)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O1制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

**【送信バッファレジスタ1/受信バッファレジスタ1】 TB1/RB1**

送信バッファレジスタ1と受信バッファレジスタ1は同じアドレスに配置されており、送信バッファレジスタ1は書き込み専用、受信バッファレジスタ1は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ1に格納される受信データのMSBは“0”となります。

**【ボーレートジェネレータ1】 BRG1**

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

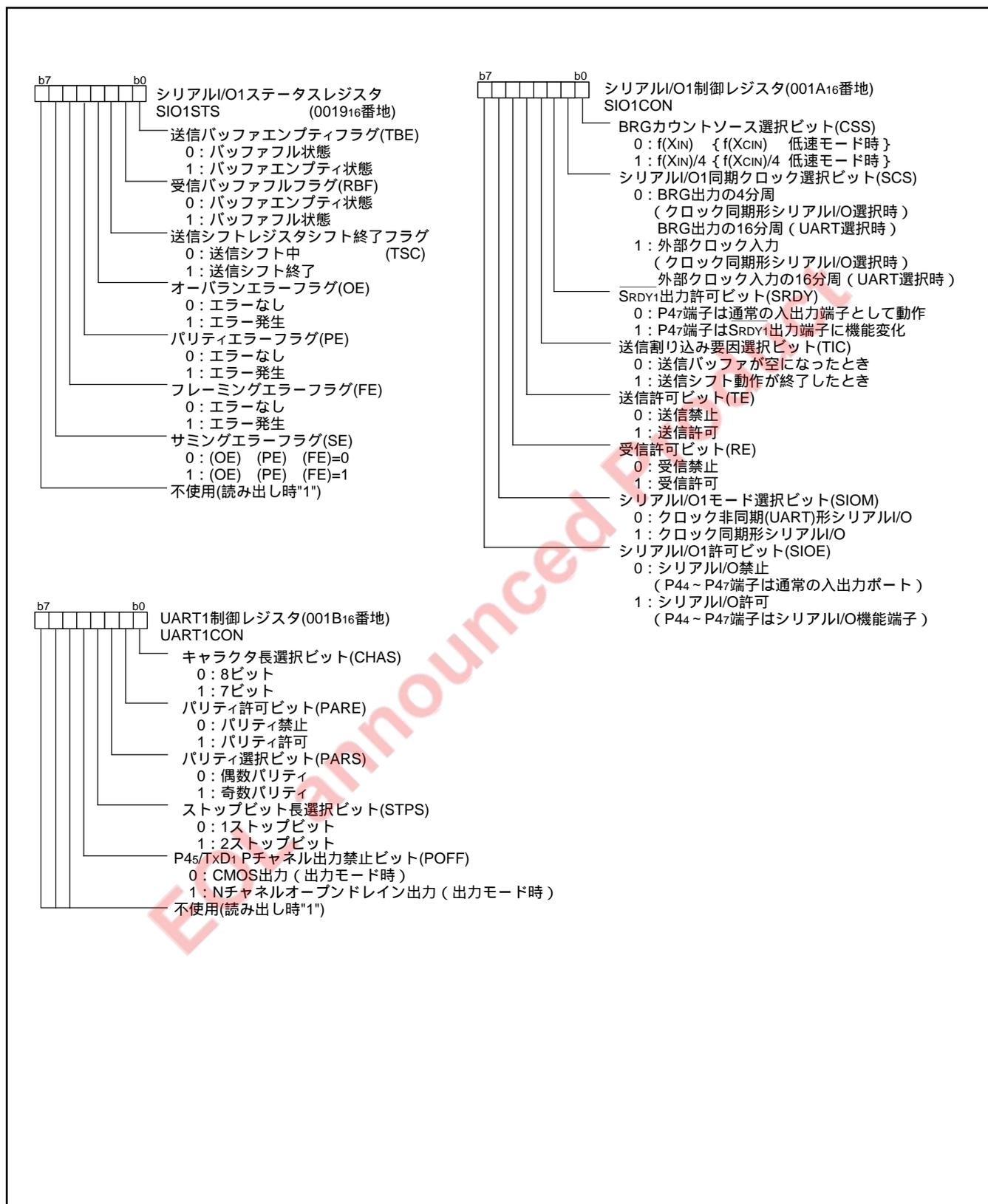


図36. シリアルI/O1関係レジスタの構成

## シリアルI/O1の注意事項

## 1 同期形の選択時

## 1.1 送信動作の停止

## ・注意事項

シリアルI/O1許可ビット及び送信許可ビットを $0$  (シリアルI/O及び送信禁止)にしてください。

## ・理由

シリアルI/O1許可ビットだけを $0$  (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD1, RXD1, SCLK1,  $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを $1$ にすると、内部でシフト中のデータが途中からTXD1端子に出力され、不具合の原因となります。

## 1.2 受信動作の停止

## ・注意事項

受信許可ビットを $0$  (受信禁止)、又はシリアルI/O1許可ビットを $0$  (シリアルI/O禁止)にしてください。

## 1.3 送受信動作の停止

## ・注意事項

送信許可ビット、及び受信許可ビットの両方を同時に $0$  (送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

## ・理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを $0$  (送信禁止)にしても送信回路は止まらない構成になっています。また<1.1送信動作の停止>と同様に、シリアルI/O1許可ビットを $0$  (シリアルI/O禁止)にしても送信回路を初期化できません。

## 2 非同期形の選択時

## 2.1 送信動作の停止

## ・注意事項

送信許可ビットを $0$  (送信禁止)にしてください。シリアルI/O1許可ビットを $0$ にすることでは送信動作は止まりません。

## ・理由

シリアルI/O1許可ビットだけを $0$  (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD1, RXD1, SCLK1,  $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを $1$ にすると、内部でシフト中のデータが途中からTXD1端子に出力され、不具合の原因となります。

## 2.2 受信動作の停止

## ・注意事項

受信許可ビットを $0$  (受信禁止)にしてください。

## 2.3 送受信動作の停止

## ・注意事項 1 (送信のみの停止)

送信許可ビットを $0$  (送信禁止)にしてください。シリアルI/O1許可ビットを $0$ にすることでは送信動作は止まりません。

## ・理由

シリアルI/O1許可ビットだけを $0$  (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD1, RXD1, SCLK1,  $\overline{\text{SRDY1}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O1許可ビットを $1$ にすると、内部でシフト中のデータが途中からTXD1端子に出力され、不具合の原因となります。

## ・注意事項2 (受信のみの停止)

受信許可ビットを $0$  (受信禁止)にしてください。

## 3 受信側のSRDY1出力

## ・注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY1出力を行う場合、受信許可ビット及びSRDY1出力許可ビットとともに、送信許可ビットも「1」(送信許可)にしてください。

## 4 シリアルI/O1制御レジスタの再設定

## ・注意事項

シリアルI/O1制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を「0」にして、送信及び受信回路をリセットした後、設定し直してください。

送信許可ビット(TE)、受信許可ビット(RE)  
の両方を「0」にする。

シリアルI/O1制御レジスタのビット0～ビット3、  
及びビット6を設定する。

送信許可ビット(TE)、受信許可ビット(RE)  
の両方、又はどちらか一方を「1」にする。

LDM命令  
で同時に  
設定可

## 5 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

## ・注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れで「1」から「0」へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

## 6 外部クロック選択時の送信制御

## ・注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK1が「H」の状態ですべて送信許可ビットを「1」にしてください。また、送信バッファレジスタへの書き込みも、SCLK1が「H」の状態で行ってください。

## 7 送信許可ビットセット時の送信割り込み要求

## ・注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

シリアルI/O1送信割り込み許可ビットを「0」(禁止)にする。

送信許可ビットを「1」にする。

一命令以上おいてからシリアルI/O1送信割り込み要求ビットを「0」にする。

シリアルI/O1送信割り込み許可ビットを「1」(許可)にする。

## ・理由

送信許可ビットを「1」に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは「1」に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが「1」に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

シリアルI/O2

シリアルI/O2はクロック同期形としてのみ動作可能です。

シリアルI/O2においては、シリアルI/O2の動作クロックに送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始はシリアルI/O2レジスタへの書き込み信号により行われます。

【シリアルI/O2制御レジスタ】 SIO2CON

シリアルI/O2制御レジスタは、8ビットでシリアルI/O2の各種制御を行う選択ビットで構成されています。

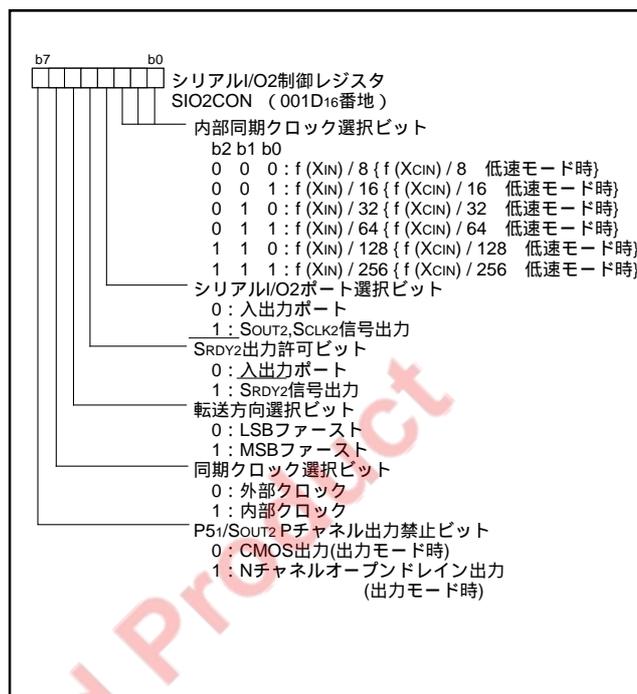


図37. シリアルI/O2制御レジスタの構成

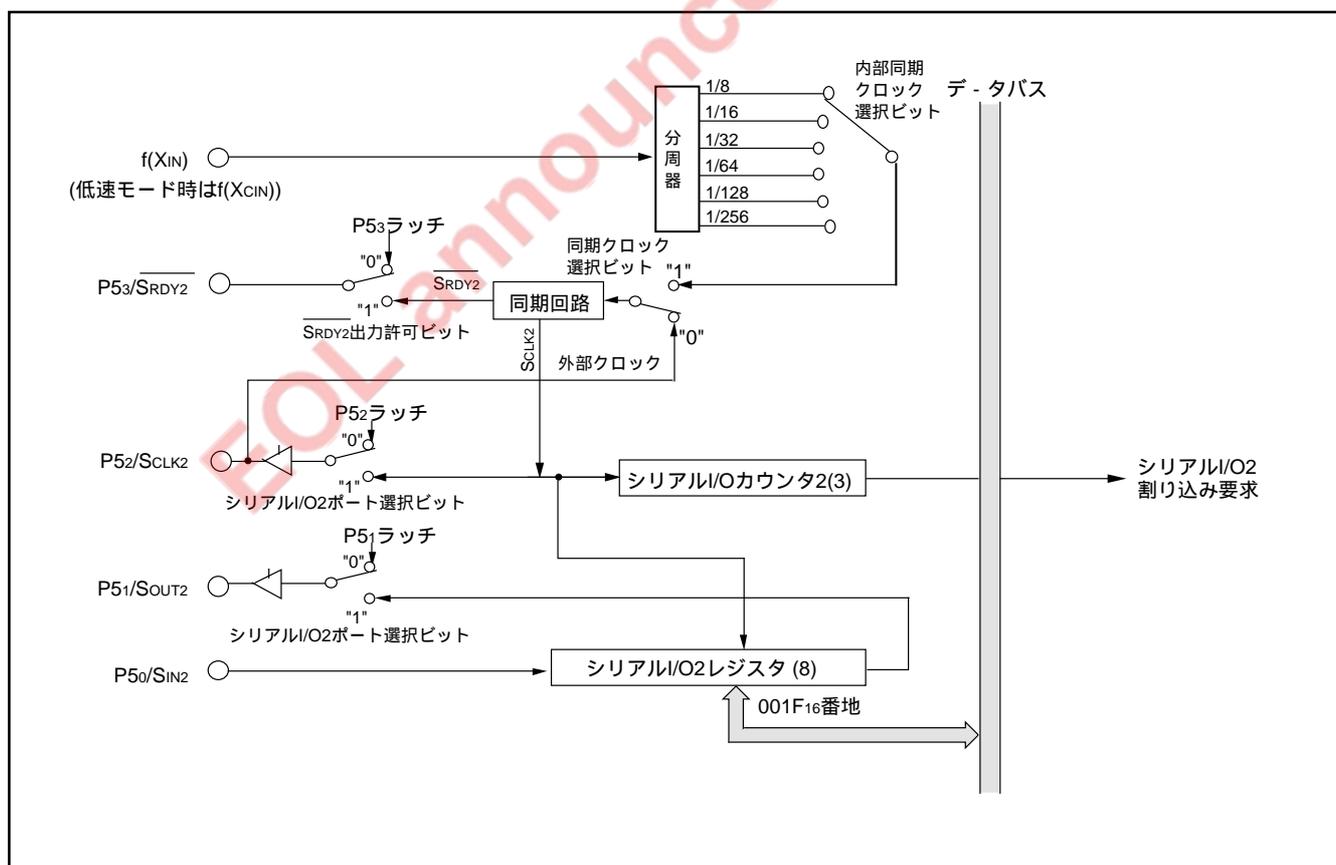


図38. シリアルI/O2ブロック図

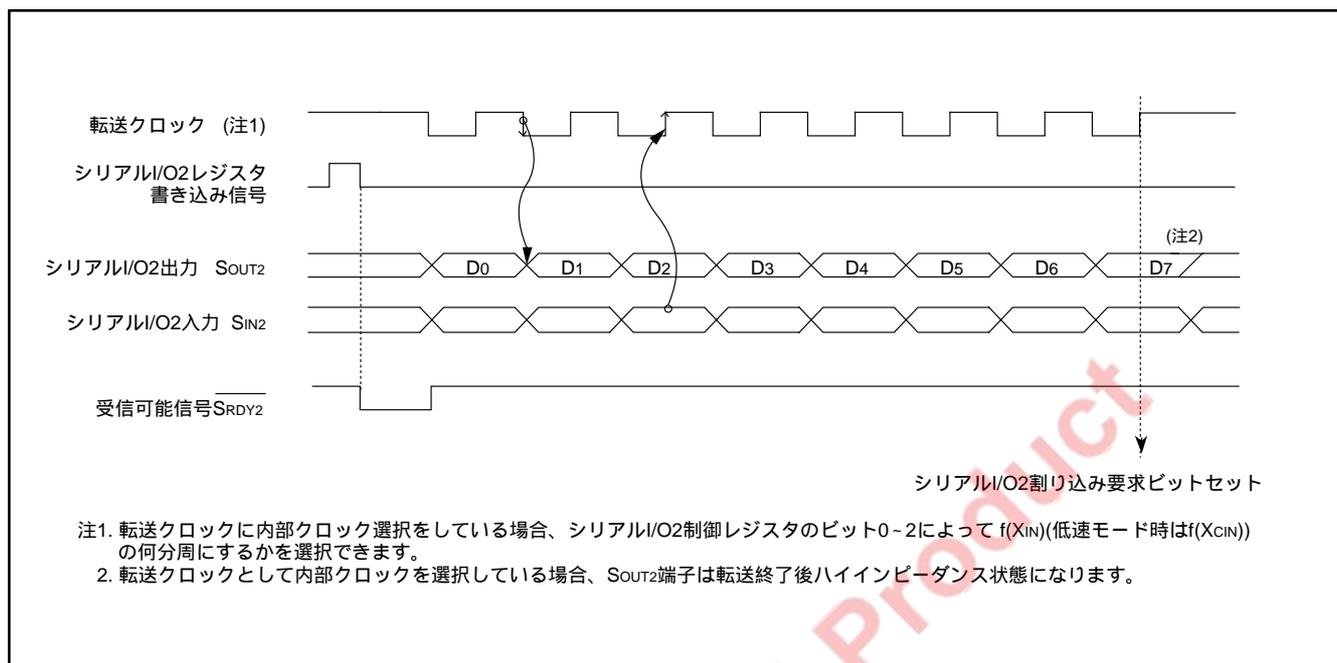


図39. シリアル/O2タイミング図

シリアルI/O3

シリアルI/O3はクロック同期形、非同期形(UART)のどちらでも動作可能です。また、シリアルI/O3動作時のボーレート発生専用タイマ(ボーレートジェネレータ)を備えています。

(1) クロック同期形シリアルI/Oモード

シリアルI/O3制御レジスタのモード選択ビットを'1'にすることによってクロック同期形シリアルI/Oが選択されます。クロック同期形シリアルI/Oでは、シリアルI/Oの動作クロックに、送信側マイコン、受信側マイコンとも同一のクロックを用います。動作クロックとして内部クロックを用いた場合、送受信の開始は送信/受信バッファレジスタへの書き込み信号により行われます。

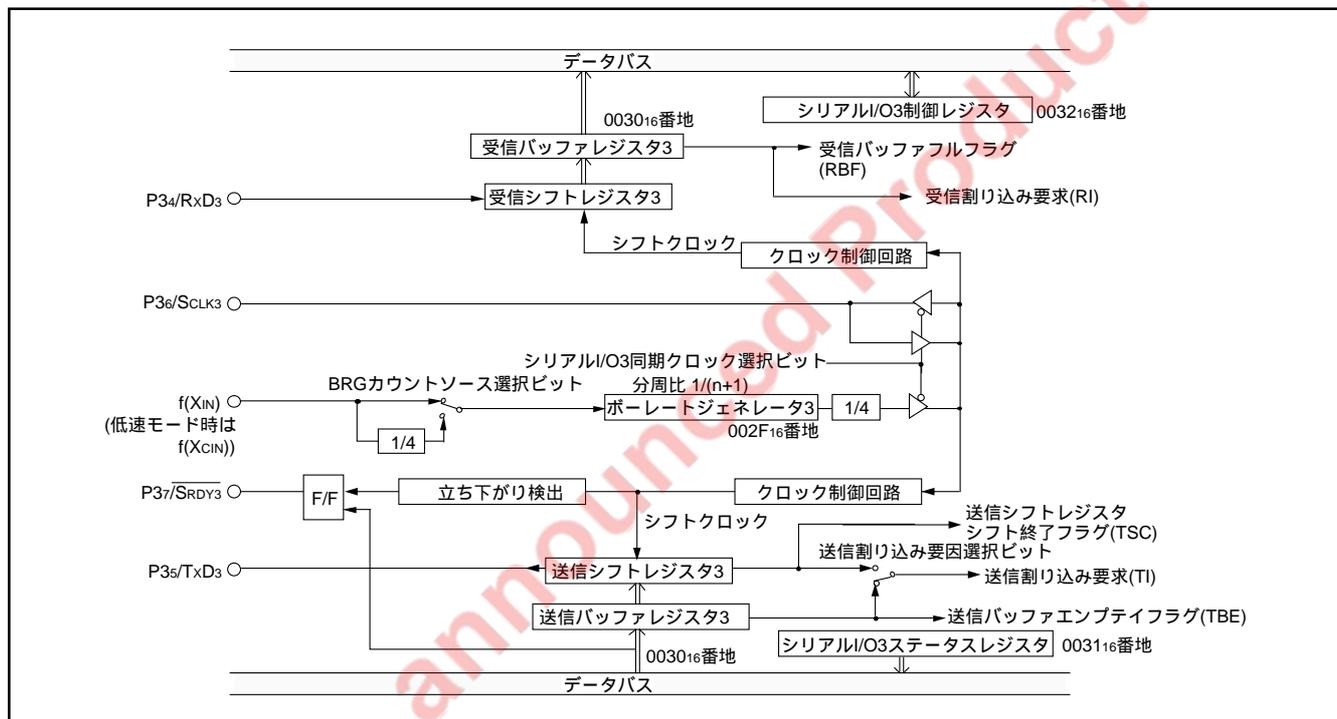


図40. クロック同期形シリアルI/O3ブロック図

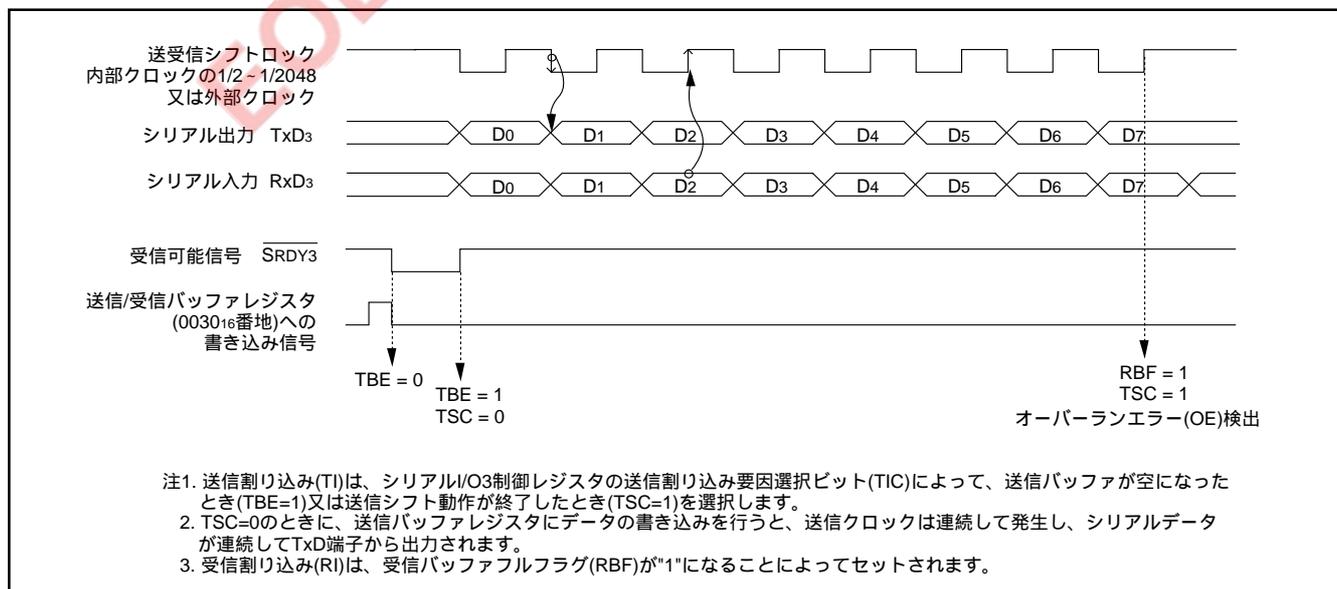


図41. クロック同期形シリアルI/O3動作図

- 注1. 送信割り込み(TI)は、シリアルI/O3制御レジスタの送信割り込み要因選択ビット(TIC)によって、送信バッファが空になったとき(TBE=1)又は送信シフト動作が終了したとき(TSC=1)を選択します。
- 注2. TSC=0のときに、送信バッファレジスタにデータの書き込みを行うと、送信クロックは連続して発生し、シリアルデータが連続してTx/D端子から出力されます。
- 注3. 受信割り込み(RI)は、受信バッファフルフラグ(RBF)が"1"になることによってセットされます。

(2) 非同期形シリアル/O3(UART)モード

シリアル/O3制御レジスタのシリアル/O3モード選択ビットを“0”にすることによってUARTが選択されます。

3804グループ(H仕様)では、8つのシリアルデータ転送フォーマットが選択可能です。この転送フォーマットは送受信側で統一しておく必要があります。

3804グループ(H仕様)はシリアルデータの送信、受信を行う送信シフトレジスタ、受信シフトレジスタにそれぞれのバッファレジスタ

を持っています(メモリ上の番地は同一)。シフトレジスタは直接読み書きすることができませんので、送信データの書き込み、受信データの読み出しはそれぞれのバッファレジスタに対して行います。また、これらのバッファレジスタによって次に送信すべきデータを書き込んでおいたり、2バイトの受信データを連続して受信することができます。

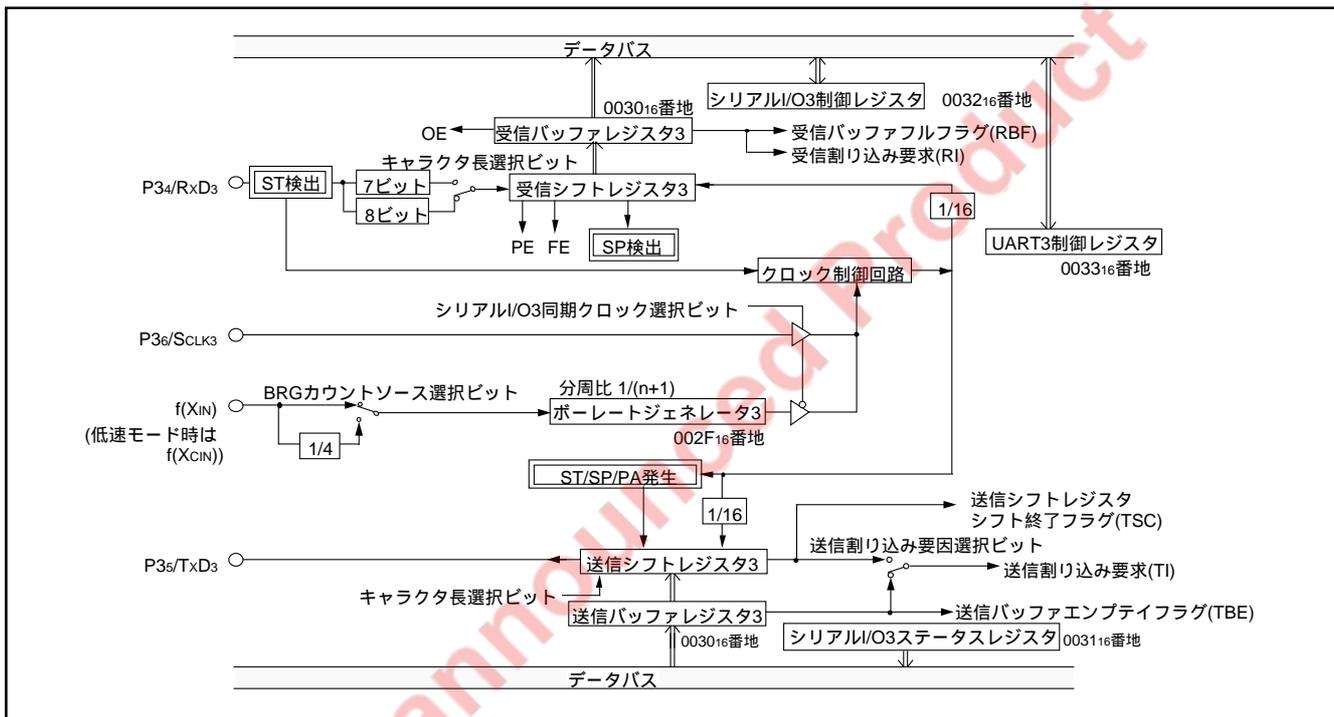


図42. UART形シリアル/O3ブロック図

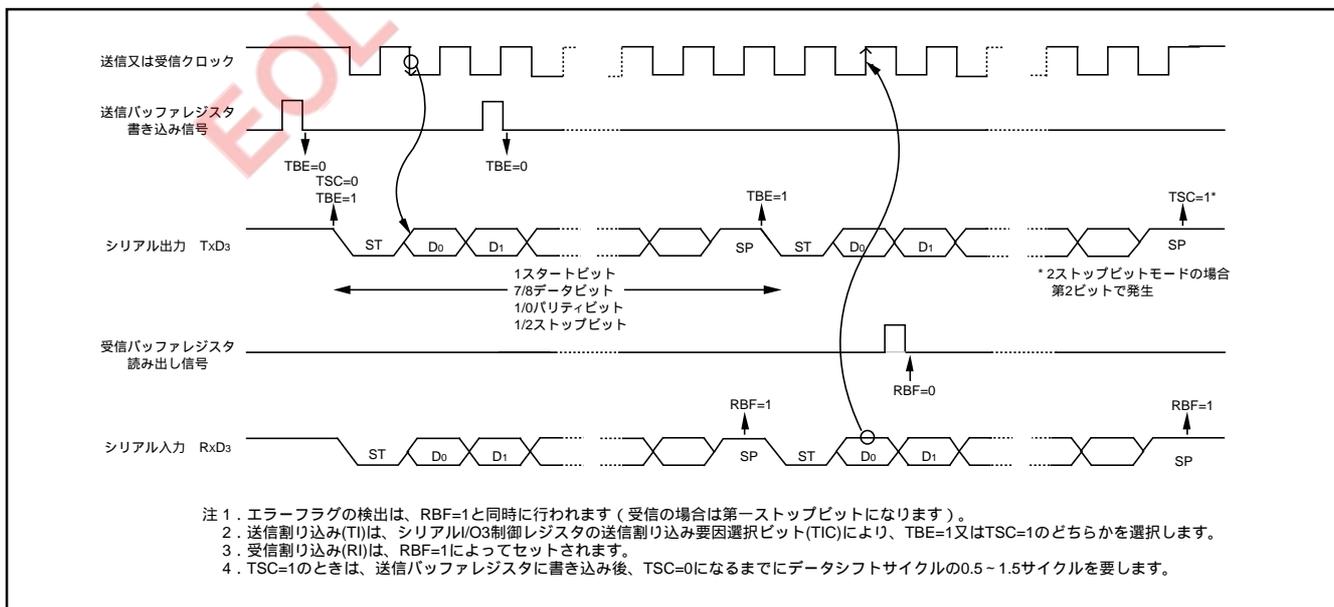


図43. UART形シリアル/O3動作図

**【 シリアルI/O3制御レジスタ 】 SIO3CON**

シリアルI/O3制御レジスタはシリアルI/O3の各種制御を行う8ビットの選択ビットで構成されています。

**【 UART3制御レジスタ 】 UART3CON**

UART選択時有効な4ビットの制御ビットと、1ビットの常に有効な制御ビットより構成された5ビットのレジスタです。このレジスタの内容でシリアルデータ送受信時のデータフォーマット、P35/TxD3端子の出力形式などを設定します。

**【 シリアルI/O3ステータスレジスタ 】 SIO3STS**

シリアルI/O3の動作状態を示すフラグ及び各種エラーフラグで構成された7ビットの読み出し専用レジスタです。ビット4～6の3ビットはUARTモード時のみ有効です。

受信バッファフルフラグは受信バッファレジスタを読み出すと“0”にクリアされます。

エラー検出は、データが受信シフトレジスタから受信バッファレジスタに転送され、受信バッファフルフラグがセットされると同時に行われます。シリアルI/O3ステータスレジスタへの書き込みですべてのエラーフラグ(OE、PE、FE、SE)がクリアされます。また、シリアルI/O3許可ビット(SIOE)に“0”を書き込むとエラーフラグを含む全てのステータスフラグが“0”にクリアされます。

このレジスタのすべてのビットはリセット時“0”に初期化されますが、シリアルI/O3制御レジスタの送信許可ビットを“1”にしたときビット2とビット0は“1”になります。

**【 送信バッファレジスタ3/受信バッファレジスタ3 】 TB3/RB3**

送信バッファレジスタ3と受信バッファレジスタ3は同じアドレスに配置されており、送信バッファレジスタ3は書き込み専用、受信バッファレジスタ3は読み出し専用です。また、キャラクタビット長が7ビットの場合、受信バッファレジスタ3に格納される受信データのMSBは“0”となります。

**【 ボーレートジェネレータ3 】 BRG3**

シリアル転送のビットレートを決定します。

リロードレジスタを持った8ビットのカウンタで、値nを設定することにより、カウントソースを $1/(n+1)$ の分周比で分周します。

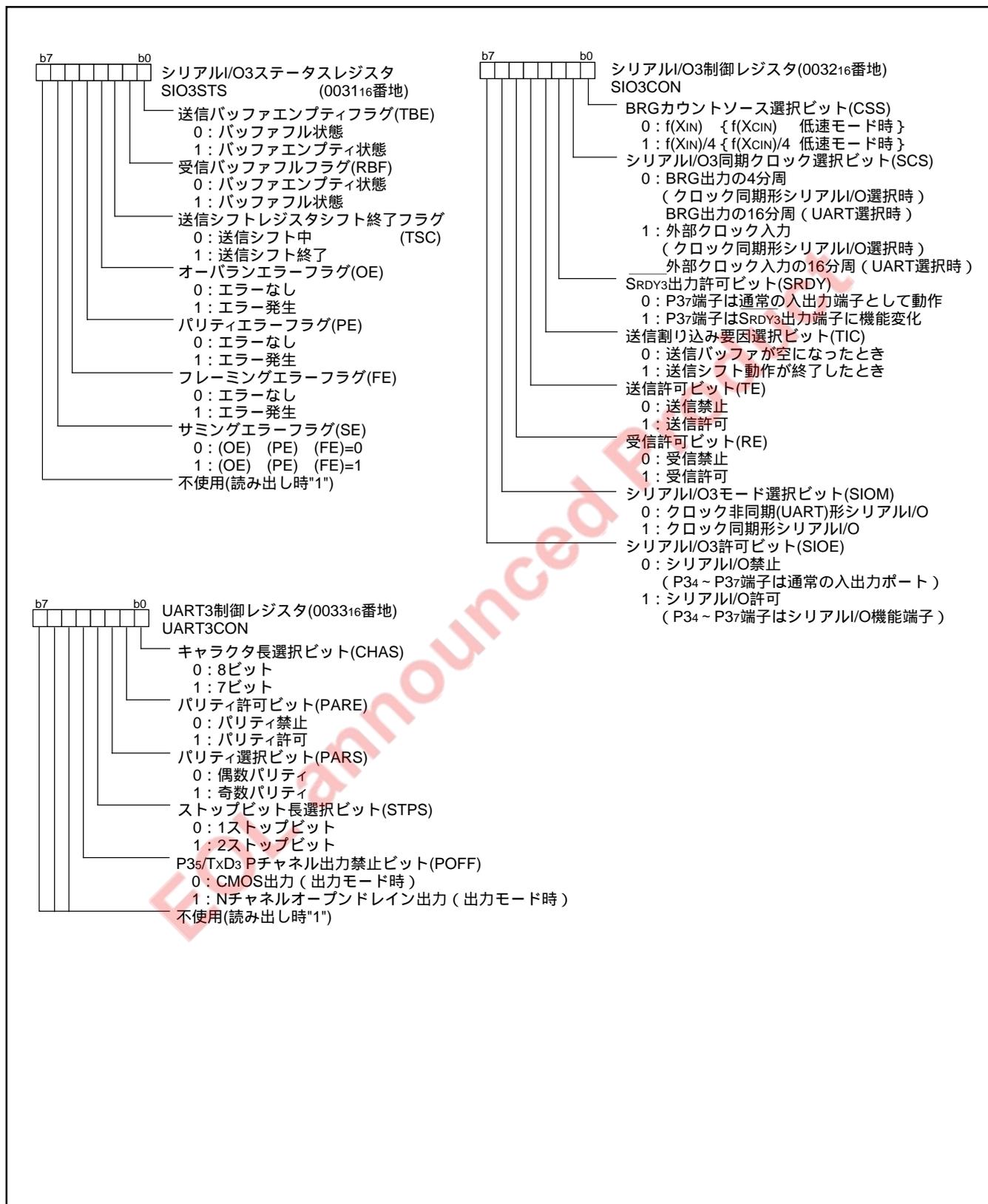


図44. シリアルI/O3関係レジスタの構成

## シリアルI/O3の注意事項

## 1 同期形の選択時

## 1.1 送信動作の停止

## ・注意事項

シリアルI/O3許可ビット及び送信許可ビットを $\bar{0}$ (シリアルI/O及び送信禁止)にしてください。

## ・理由

シリアルI/O3許可ビットだけを $\bar{0}$ (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD3, RXD3, SCLK3,  $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを $\bar{1}$ にすると、内部でシフト中のデータが途中からTXD3端子に出力され、不具合の原因となります。

## 1.2 受信動作の停止

## ・注意事項

受信許可ビットを $\bar{0}$ (受信禁止)、又はシリアルI/O3許可ビットを $\bar{0}$ (シリアルI/O禁止)にしてください。

## 1.3 送受信動作の停止

## ・注意事項

送信許可ビット、及び受信許可ビットの両方を同時に $\bar{0}$ (送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

## ・理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを $\bar{0}$ (送信禁止)にしても送信回路は止まらない構成になっています。また<1.1送信動作の停止>と同様に、シリアルI/O3許可ビットを $\bar{0}$ (シリアルI/O禁止)にしても送信回路を初期化できません。

## 2 非同期形の選択時

## 2.1 送信動作の停止

## ・注意事項

送信許可ビットを $\bar{0}$ (送信禁止)にしてください。シリアルI/O3許可ビットを $\bar{0}$ にすることで送信動作は止まりません。

## ・理由

シリアルI/O3許可ビットだけを $\bar{0}$ (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD3, RXD3, SCLK3,  $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを $\bar{1}$ にすると、内部でシフト中のデータが途中からTXD3端子に出力され、不具合の原因となります。

## 2.2 受信動作の停止

## ・注意事項

受信許可ビットを $\bar{0}$ (受信禁止)にしてください。

## 2.3 送受信動作の停止

## ・注意事項1 (送信のみの停止)

送信許可ビットを $\bar{0}$ (送信禁止)にしてください。シリアルI/O3許可ビットを $\bar{0}$ にすることで送信動作は止まりません。

## ・理由

シリアルI/O3許可ビットだけを $\bar{0}$ (シリアルI/O禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TXD3, RXD3, SCLK3,  $\overline{\text{SRDY3}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O3許可ビットを $\bar{1}$ にすると、内部でシフト中のデータが途中からTXD3端子に出力され、不具合の原因となります。

## ・注意事項2 (受信のみの停止)

受信許可ビットを $\bar{0}$ (受信禁止)にしてください。

## 3 受信側のSRDY3出力

## ・注意事項

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側がSRDY3出力を行う場合、受信許可ビット及びSRDY3出力許可ビットとともに、送信許可ビットも「1」(送信許可)にしてください。

## 4 シリアルI/O3制御レジスタの再設定

## ・注意事項

シリアルI/O3制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を「0」にして、送信及び受信回路をリセットした後、設定し直してください。

送信許可ビット(TE)、受信許可ビット(RE)  
の両方を「0」にする。

シリアルI/O3制御レジスタのビット0～ビット3、  
及びビット6を設定する。

LDM命令  
で同時に  
設定可

送信許可ビット(TE)、受信許可ビット(RE)  
の両方、又はどちらか一方を「1」にする。

## 5 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

## ・注意事項

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5～1.5クロック分遅れで「1」から「0」へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

## 6 外部クロック選択時の送信制御

## ・注意事項

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK3が「H」の状態ですべて送信許可ビットを「1」にしてください。また、送信バッファレジスタへの書き込みも、SCLK3が「H」の状態で行ってください。

## 7 送信許可ビットセット時の送信割り込み要求

## ・注意事項

送信割り込みを使用する場合は、以下の手順で設定してください。

シリアルI/O3送信割り込み許可ビットを「0」(禁止)にする。

送信許可ビットを「1」にする。

一命令以上おいてからシリアルI/O3送信割り込み要求ビットを「0」にする。

シリアルI/O3送信割り込み許可ビットを「1」(許可)にする。

## ・理由

送信許可ビットを「1」に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは「1」に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが「1」に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

PWM

(PWM: Pulse Width Modulation)

PWMは、8ビット分解能を持ち、クロック入力X<sub>IN</sub>又はX<sub>CIN</sub>を2分周した信号を基本としています。(低速モード時はX<sub>CIN</sub>又はX<sub>CIN</sub>/2)

・データの設定

PWMの出力端子はポートP5<sub>6</sub>と共用しています。PWMプリスケアラによりPWM周期を設定し、PWMレジスタにより出力パルスのH期間を設定します。

PWMプリスケアラの値をn、PWMレジスタの値をmとすると、以下のようになります(ただし、n = 0 ~ 255、m = 0 ~ 255です)。

$$\begin{aligned} \text{PWM周期} &= \frac{255 \times (n + 1)}{f(X_{IN})} \\ &= 31.875 \times (n + 1) \mu s \quad (f(X_{IN}) = 8\text{MHzの場合}) \end{aligned}$$

$$\begin{aligned} \text{出力パルスのH期間} &= \frac{\text{PWM周期} \times m}{255} \\ &= 0.125 \times (n + 1) \times m \mu s \\ &\quad (f(X_{IN}) = 8\text{MHzの場合}) \end{aligned}$$

・PWMの動作

PWM制御レジスタのビット0 (PWM許可ビット)を'1'にすると、PWM出力回路は初期状態より動作を開始し、"H"から始まるパルスを出します。

PWM出力中にPWMレジスタ、PWMプリスケアラを変更した場合には、変更した次の周期から変更した内容に対応したパルスが出力されます。

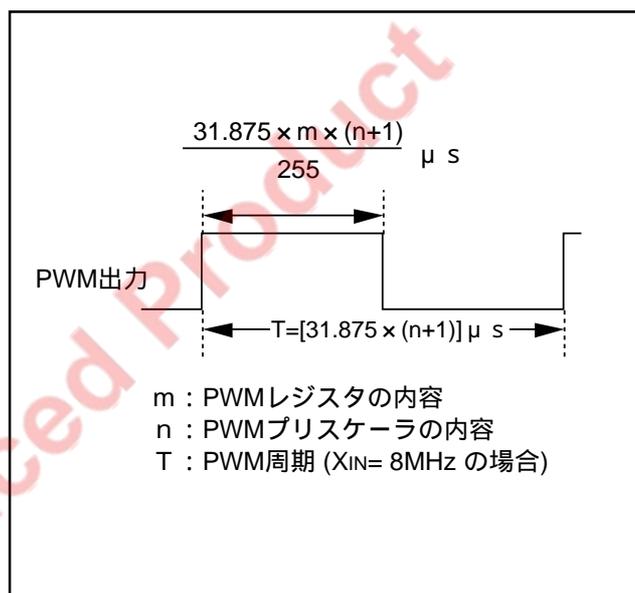


図45. PWM周期のタイミング図

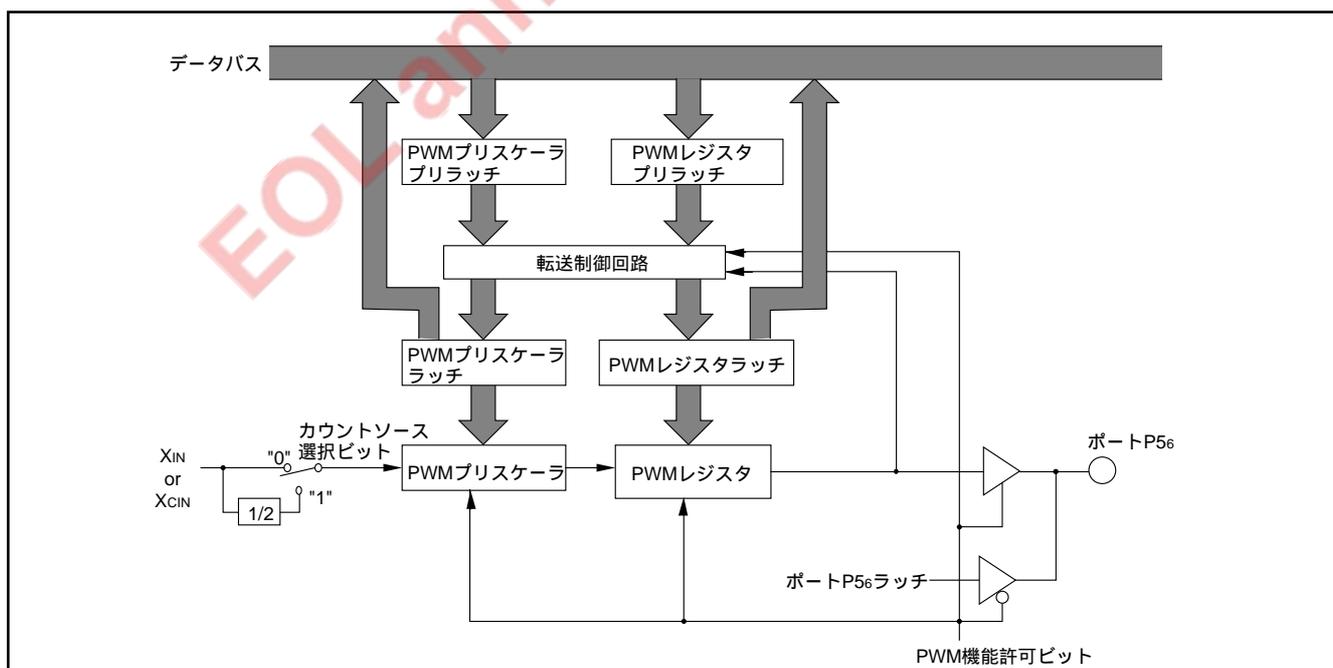


図46. PWM回路ブロック図

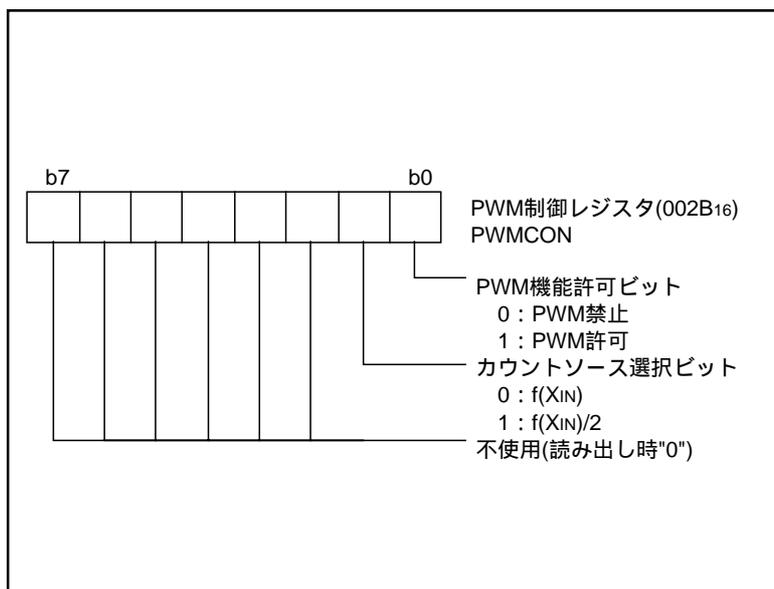


図47. PWM制御レジスタの構成

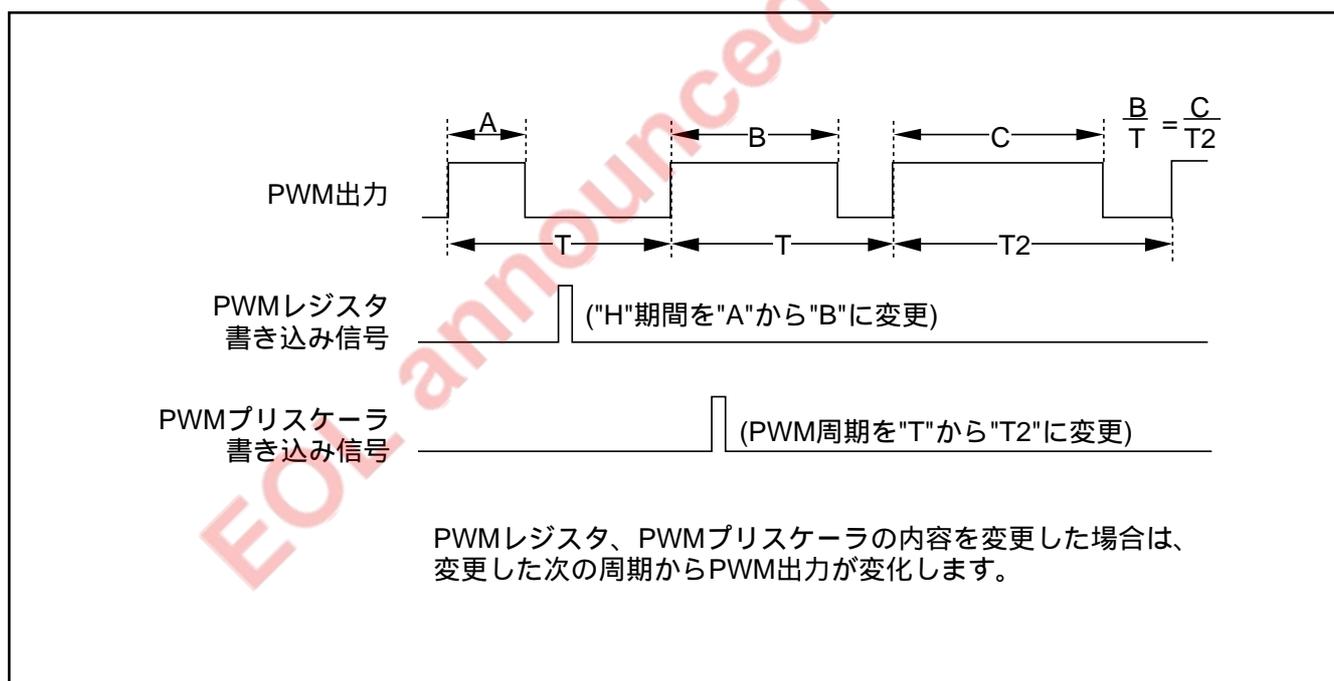


図48. PWM制御レジスタ及びPWMプリスケラ変更時のPWM出力タイミング図

## A/Dコンバータ

## 【AD変換レジスタ1 2】AD1,AD2

A/D変換結果が格納される読み出し専用のレジスタです。A/D変換中にこのレジスタを読み出すと、前回の変換結果が読み出されます。

AD変換レジスタ2のビット7は、変換モード選択ビットです。このビットを“0”に設定すると、10ビットA/Dモード、“1”に設定すると8ビットA/Dモードとなります。

8ビットA/Dモードの変換結果はAD変換レジスタ1に格納されます。

10ビットA/Dモードは、図50のようにA/D変換終了後にAD変換レジスタ1 2を読み出す順序を選ぶことで、変換結果を10ビットで読み出すだけでなく、上位8ビットだけの読み出しを行うことも可能です。

10ビットA/Dモードでは、A/D変換開始後、AD変換レジスタ1読み出しを行うと、MSB寄りの8ビット読み出しになります。AD変換レジスタ2読み出し後、AD変換レジスタ1読み出しを行うと、LSB寄りの8ビット読み出しになります。

## 【AD/DA制御レジスタ】ADCON

A/Dコンバータの制御を行うためのレジスタです。ビット4、ビット2～ビット0はアナログ入力端子選択ビットです。ビット3はAD変換終了ビットで、A/D変換中は“0”、A/D変換が終了すると“1”になります。このビットに“0”を書き込むことにより、A/D変換が開始されます。

## 【比較電圧発生器】

10ビットA/Dモードは、VREFとAVSSの間の電圧を1024分割し比較電圧を出力します。(8ビットA/Dモードでは256分割)

各モードでの比較電圧VrefはVREF電圧を下記のとおり分圧して入力電圧との逐次比較を行います。

## 10ビットA/Dモード(10ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{1024} \times n \quad (n=0 \sim 1023)$$

## 10ビットA/Dモード(8ビット読み出し)

$$V_{ref} = \frac{V_{REF}}{256} \times n \quad (n=0 \sim 255)$$

## 8ビットA/Dモード

$$V_{ref} = \frac{V_{REF}}{256} \times (n - 0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

## 【チャンネルセレクト】

ポートP67/AN7～P60/AN0,ポートP07/AN15～P00/AN8より1本を選択し、コンパレータに入力します。

## 【コンパレータ及び制御回路】

アナログ入力電圧と比較電圧の比較を行い、その結果をAD変換レジスタ1 2に格納します。また、A/D変換終了時にAD変換終了ビット及びAD割り込み要求ビットを“1”にセットします。コンパレータは容量結合で構成されていますので、A/D変換中はf(XIN)を500kHz以上にしてください。

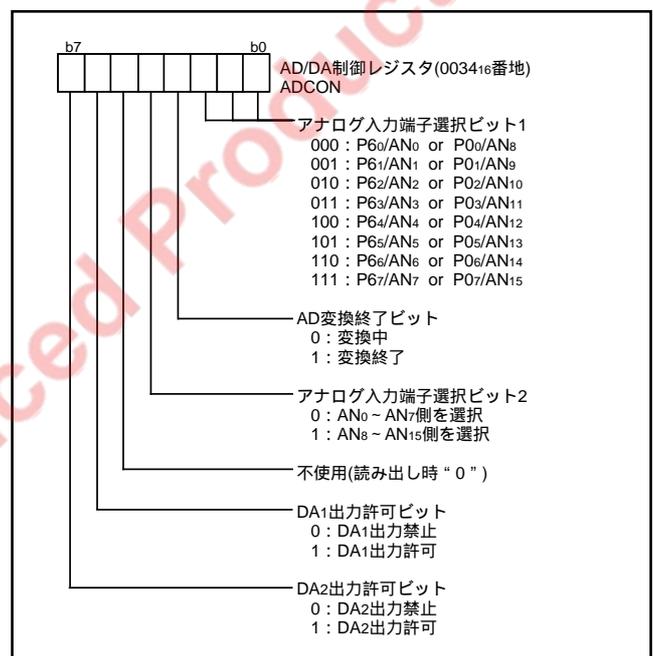


図49. AD/DA制御レジスタの構成

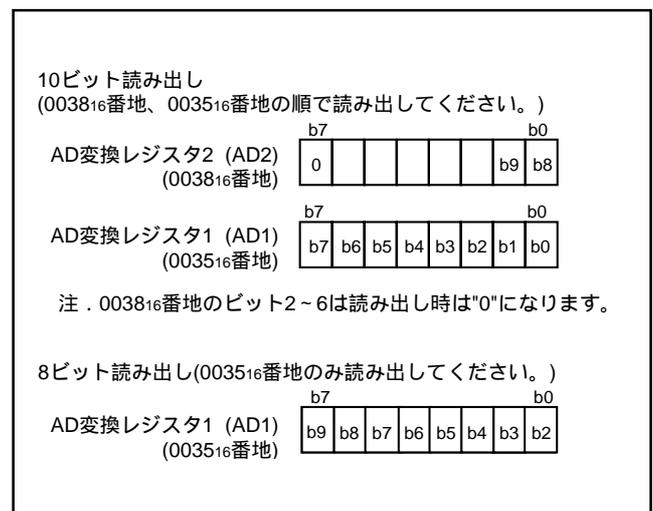


図50. 10ビットA/Dモードの読み出し構成

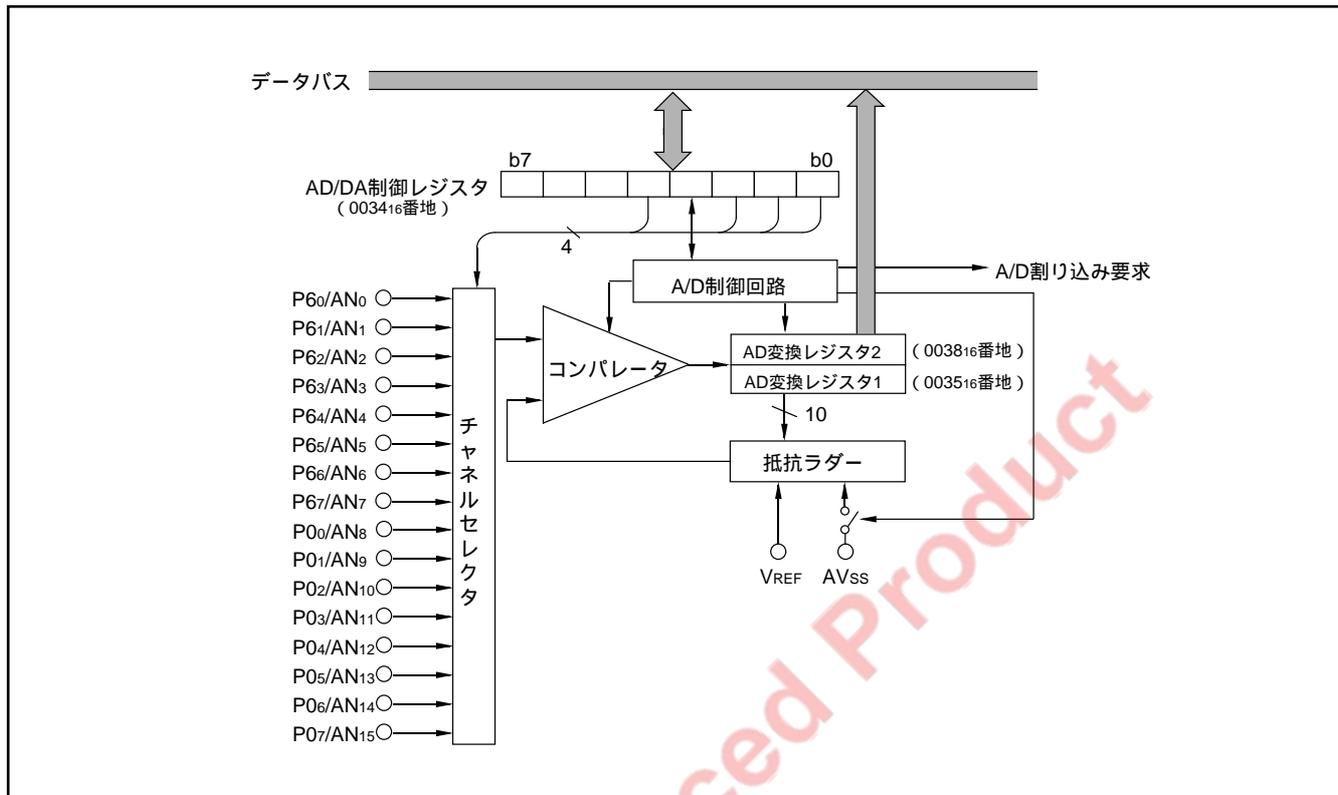


図51. A/D変換のブロック図

EOL announced Product

## D/Aコンバータ

D/Aコンバータは分解能8ビットで、2チャンネル(DA1、DA2)内蔵しています。

D/A変換はそれぞれ対応するDA変換レジスタに値を設定することによって行われます。D/A変換された結果は、DA出力許可ビットを「1」にセットすることによって、DA1、DA2端子から出力されます。このとき、P30/DA1、P31/DA2の方向レジスタは「0」(入力状態)にしておいてください。

出力されるアナログ電圧VはDA変換レジスタに設定した値n(nは10進数)で決まります。

$$V = V_{REF} \times n / 256 (n = 0 \sim 255)$$

\*VREFは基準電圧

DA変換レジスタはリセット時「0016」にクリアされます。また、DA出力許可ビットも、リセット時「0」にクリアされ、P30/DA1、P31/DA2端子はハイインピーダンス状態になります。なお、DA出力はバッファを内蔵していませんので、インピーダンスの低い負荷に接続する場合は、外部にバッファを接続してください。

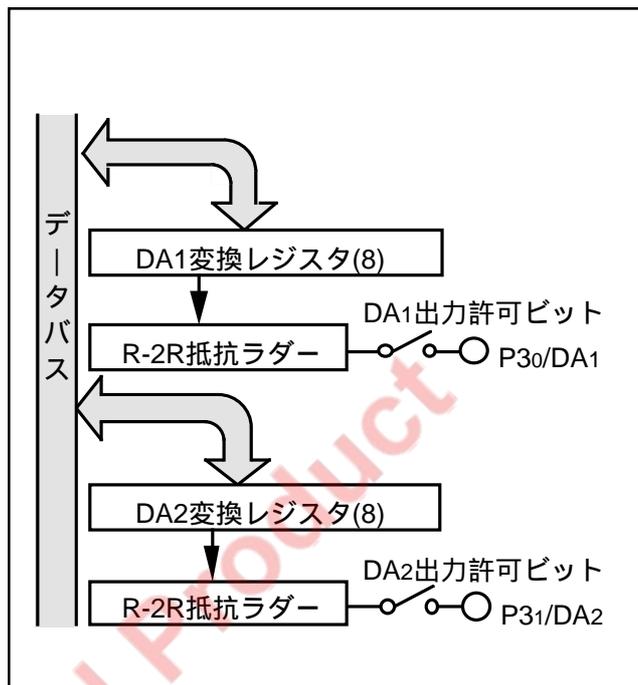


図52. D/Aコンバータブロック図

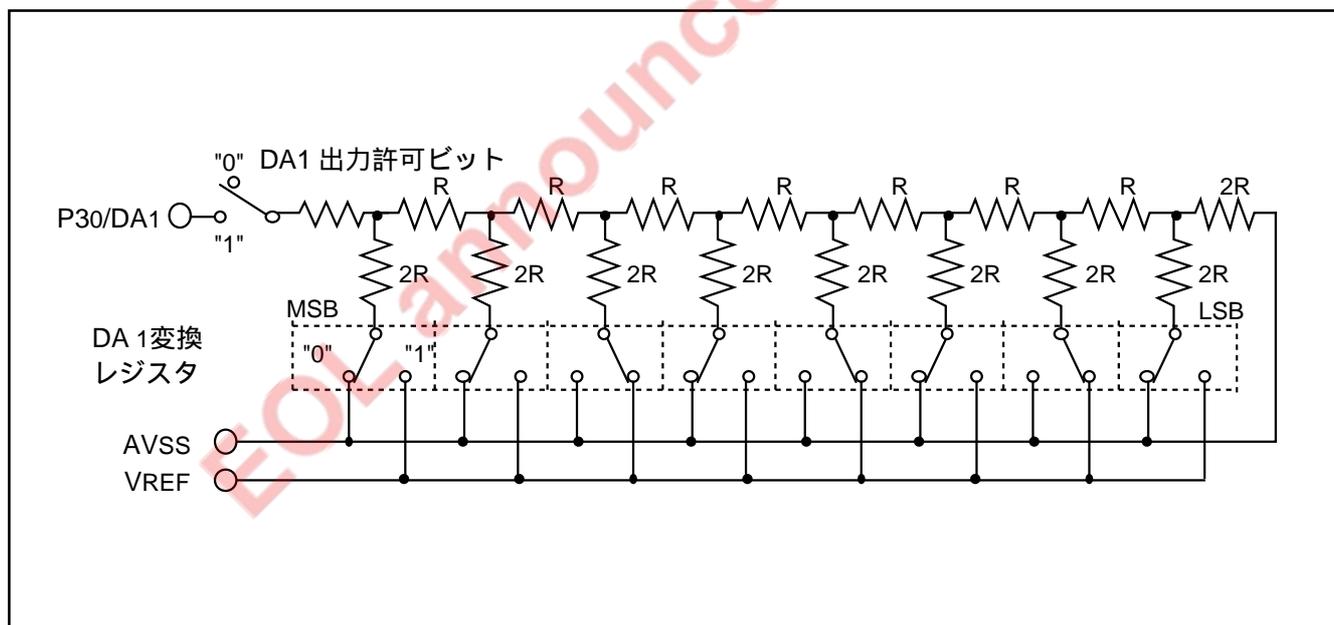


図53. D/Aコンバータ等価回路図(D/A1)

## ウォッチドッグタイマ

ウォッチドッグタイマは、暴走などによりプログラムが正常なループを走らなかった場合にリセット状態に復帰する手段を与えるものです。

ウォッチドッグタイマは8ビットのウォッチドッグタイマHと、8ビットのウォッチドッグタイマLの計16ビットのカウンタで構成されます。

## (1)ウォッチドッグタイマの初期値

リセット時、又はウォッチドッグタイマ制御レジスタ(001E<sub>16</sub>番地)への書き込みによりウォッチドッグタイマHは“FF<sub>16</sub>”に、ウォッチドッグタイマLは“FF<sub>16</sub>”にセットされます。書き込みのための命令はSTA, LDM, CLBなど書き込み信号が発生する命令であれば、どんな命令でも使用できます。ウォッチドッグタイマ制御レジスタへの書き込みデータはビット6,7のみ有効です。ビット0～5に書き込まれる値に関係なく各タイマに上記の値がセットされます。

## (2)ウォッチドッグタイマの動作

ウォッチドッグタイマはリセット時には停止しており、ウォッチドッグタイマ制御レジスタ(001E<sub>16</sub>番地)への書き込みによりカウントダウンを開始します。ウォッチドッグタイマHがアンダフローすると内部リセットが発生し、リセット解除時間を待ってリセット解除され、リセットベクトル番地からプログラムを再実行します。通常はウォッチドッグタイ

マHがアンダフローする前にウォッチドッグタイマ制御レジスタに書き込みを行うようにプログラムを組みます。ウォッチドッグタイマ制御レジスタに一度も書き込みを行わなければ、ウォッチドッグタイマは機能しません。

なお、ウォッチドッグタイマ制御レジスタのビット6を“0”にしておく、STP命令は許可され、STP命令が実行されるとクロックが停止してウォッチドッグタイマも停止します。ストップモード解除と同時にカウントを再開します(注)。WIT命令実行時はウォッチドッグタイマは停止しません。また、このビットを“1”に書き換えることによりSTP命令は禁止されます。このときSTP命令が実行されると未定義命令として処理され、内部でリセットが発生します。このビットを一旦“1”に書き換えるとプログラムにより“0”に書き換えることはできなくなります。

ウォッチドッグタイマ制御レジスタへの書き込み実行後、ウォッチドッグタイマHがアンダフローするまでの時間を以下に示します。

ウォッチドッグタイマ制御レジスタのビット7が“0”の場合。

X<sub>CIN</sub>=32.768kHz時 32s, X<sub>IN</sub>=16MHz時 65.536ms

ウォッチドッグタイマ制御レジスタのビット7が“1”の場合。

X<sub>CIN</sub>=32.768kHz時 125ms, X<sub>IN</sub>=16MHz時 256 μs

注：ストップ解除の待ち時間の間もウォッチドッグタイマはカウントしますので、この間にウォッチドッグタイマHがアンダフローしないように注意してください。

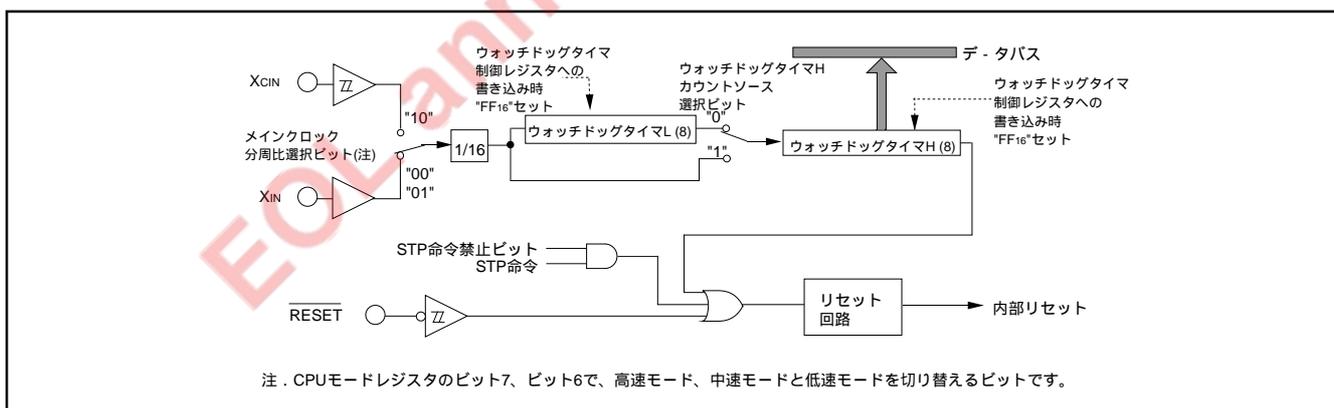


図54. ウォッチドッグタイマのブロック図

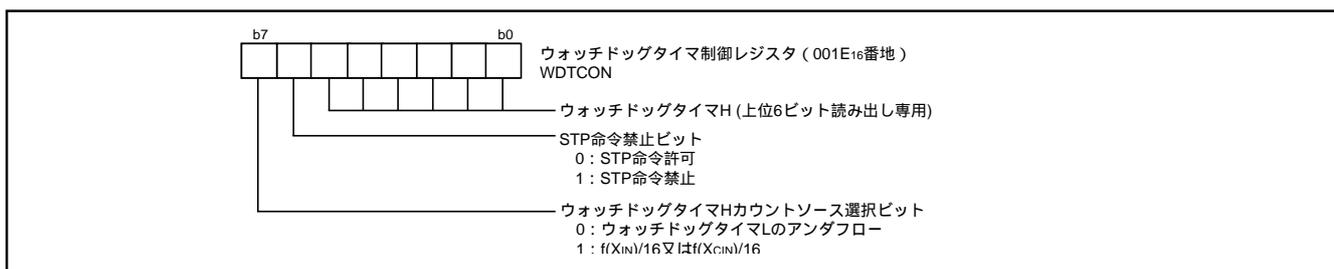


図55. ウォッチドッグタイマ制御レジスタの構成

マルチマスタI<sup>2</sup>C-BUSインタフェース

3804グループ(H仕様)はマルチマスタI<sup>2</sup>C-BUSインタフェースを持ちます。

マルチマスタI<sup>2</sup>C-BUSインタフェースは、フィリップス社I<sup>2</sup>C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。アービトレーション・ロストの検出機能、シンクロナス機能を有しており、マルチマスタのシリアル通信に対応できます。

図56にマルチマスタI<sup>2</sup>C-BUSインタフェースのブロック図、表7にマルチマスタI<sup>2</sup>C-BUSインタフェース機能を示します。

このマルチマスタI<sup>2</sup>C-BUSインタフェースは、I<sup>2</sup>Cスレーブアドレスレジスタ0~2、I<sup>2</sup>Cデータシフトレジスタ、I<sup>2</sup>Cクロックコントロールレジスタ、I<sup>2</sup>Cコントロールレジスタ、I<sup>2</sup>Cステータスレジスタ、I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ、I<sup>2</sup>Cスペシャルモード制御レジスタ、I<sup>2</sup>Cスペシャルモードステータスレジスタとその他の制御回路により構成されています。

マルチマスタI<sup>2</sup>C-BUSインタフェースを使用する場合は、内部クロックφを1MHz以上にしてください。

表7. マルチマスタI<sup>2</sup>C-BUSインタフェース機能

項目	機能
フォーマット	フィリップス社I <sup>2</sup> C-BUS規格準拠 10ビットアドレッシングフォーマット 7ビットアドレッシングフォーマット 高速クロックモード 標準クロックモード
通信モード	フィリップス社I <sup>2</sup> C-BUS規格準拠 マスタ送信 マスタ受信 スレーブ送信 スレーブ受信
SCLクロック周波数	16.1kHz~400kHz, (φ=4MHz時)

内部クロック φ: = (XIN)/2(高速モード)  
φ: = (XIN)/8(中速モード)

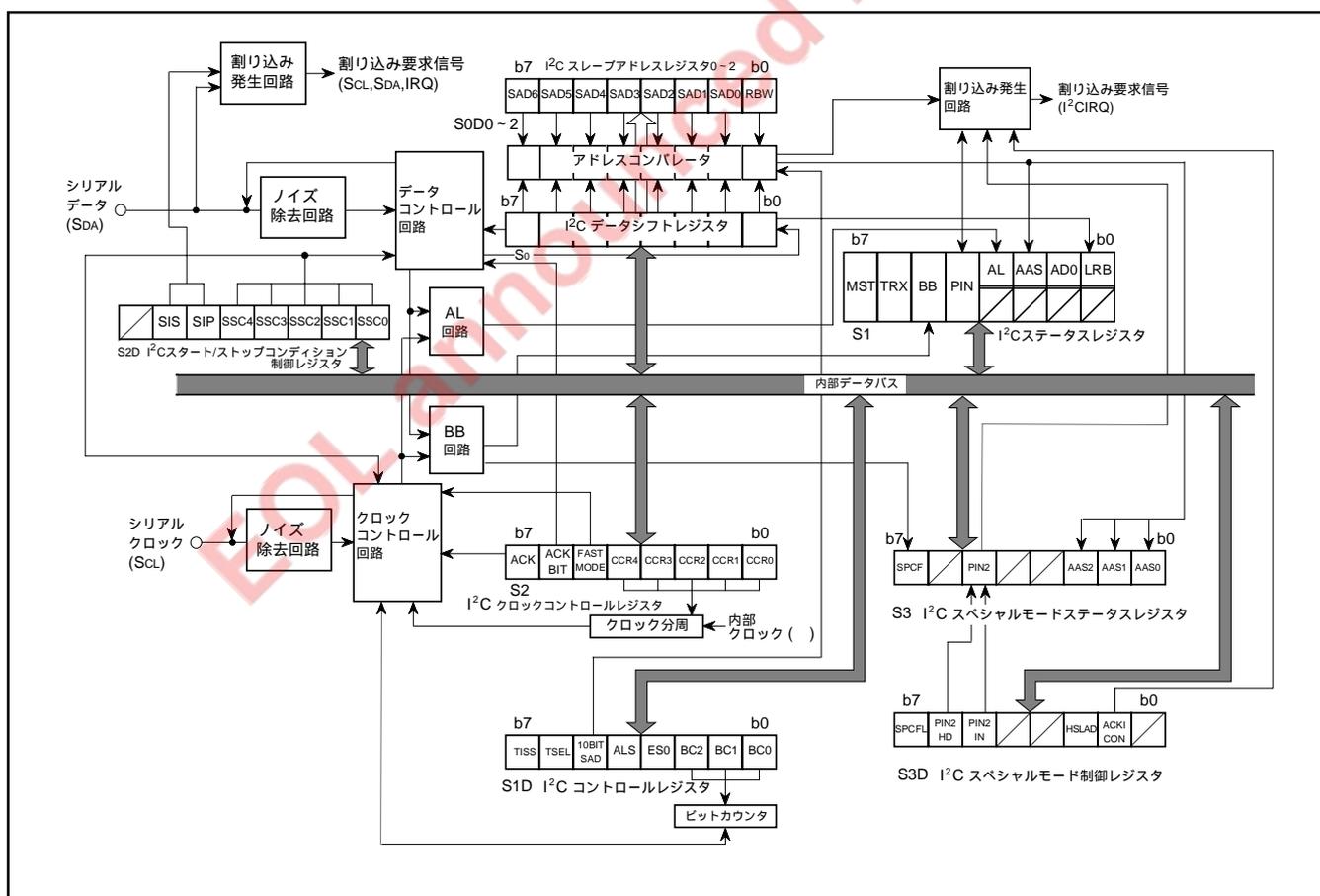


図56. マルチマスタI<sup>2</sup>C-BUSインタフェースのブロック図

\*: Purchase of Renesas Technology Corporation's I<sup>2</sup>C components conveys a license under the Philips I<sup>2</sup>C Patent Rights to use these components an I<sup>2</sup>C system, provided that the system conforms to the I<sup>2</sup>C Standard Specification as defined by Philips.

### I<sup>2</sup>Cデータシフトレジスタ

I<sup>2</sup>Cデータシフトレジスタ(S0:001116番地)は、受信データの格納、又は送信データを書き込むための8ビットのシフトレジスタです。

送信データがこのレジスタに書き込むと、SCLKに同期してビット7から外部へ転送されます。そして、1ビットのデータが出力されるたびに、このレジスタの内容は左へ1ビットシフトされます。データ受信時は、SCLKに同期してビット0からこのレジスタにデータが入力されます。そして、1ビットのデータが入力されるたびに、このレジスタの内容は左へ1ビットシフトされます。

SCLKの立ち上がりから、このレジスタに入力されるまでは、最短で内部クロックφの2サイクルを要します。

I<sup>2</sup>Cデータシフトレジスタは、I<sup>2</sup>Cコントロールレジスタ(S1D:001416番地)のI<sup>2</sup>C-BUSインタフェース許可ビット(ES0ビット)が“1”のときのみ書き込みが可能です。I<sup>2</sup>Cデータシフトレジスタへの書き込み命令によってビットカウンタがリセットされます。ES0ビットが“1”、I<sup>2</sup>Cステータスレジスタ(S1:001316番地)のMSTビットが“1”のとき、I<sup>2</sup>Cデータシフトレジスタの書き込み命令により、SCLが出力されます。I<sup>2</sup>Cデータシフトレジスタの読み出しは、ES0ビットの値にかかわらずいつでも可能です。

### I<sup>2</sup>Cスレーブアドレスレジスタ0~2

I<sup>2</sup>Cスレーブアドレスレジスタ0~2(S0D0~2:0FF716~0FF916番地)は7ビットのスレーブアドレスと1ビットのリード/ライトビットにより構成されます。アドレッシングモード時は、このレジスタに書き込まれたスレーブアドレスと、スタートコンディションを検出した直後に受信するアドレスデータとを比較します。

#### (1)ビット0:リード/ライトビット(RWB)

7ビットアドレッシングモード時には使用されません。10ビットアドレッシングモード時には、受信した1バイト目のアドレスデータとI<sup>2</sup>Cスレーブアドレスレジスタ0~2の内容(SAD6~SAD0+RWB)が比較されるため、“0”を設定しておく必要があります。2バイトのアドレスデータとスレーブアドレスが一致した場合には、このビットをソフトウェアで“1”に設定することにより、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びRWBのデータとI<sup>2</sup>Cスレーブアドレスレジスタの値を一致させることができます。

RWBビットはストップコンディションを検出すると、自動的に“0”になります。

#### (2)ビット1~ビット7:スレーブアドレス(SAD0~SAD6)

スレーブアドレスを格納するビットです。7ビットアドレッシングモード、10ビットアドレッシングモードにかかわらず、マスタから送信されるアドレスデータとこれらのビットの内容が比較されます。

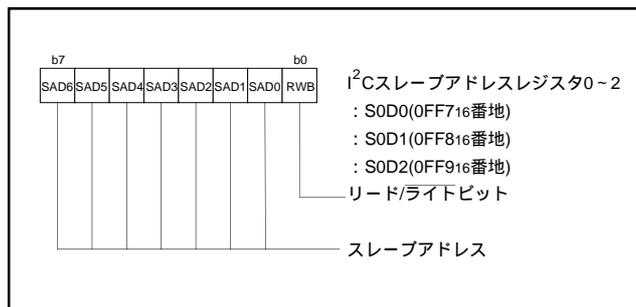


図57. I<sup>2</sup>Cスレーブアドレスレジスタ0~2の構成

I<sup>2</sup>Cクロックコントロールレジスタ

I<sup>2</sup>Cクロックコントロールレジスタ(S2:001516番地)はアックの制御、SCLモード、SCLの周波数を設定するレジスタです。

(1)ビット0~ビット4:SCL周波数制御ビット(CCR0~CCR4)

SCL周波数を制御するビットです。表8を参照してください。

(2)ビット5:SCLモード指定ビット(FAST MODE)

SCLモードを指定するビットです。“0”の場合標準クロックモードになります。“1”の場合、高速クロックモードになります。高速モードI<sup>2</sup>Cバス規格(最高400kビット/秒)でバス接続する場合には発振周波数f(XIN)を8MHz以上、高速モード(メインクロック分周比を2)でご使用ください。

(3)ビット6:アックビット(ACK BIT)

アッククロック\*発生時のSDAの状態を設定します。“0”の場合はアック応答を返すモードとなり、アッククロック発生時にSDAを“L”にします。“1”の場合はアック応答を返さないモードとなり、アッククロック発生時にSDAを“H”の状態に保持します。

ただし、ACK BIT=“0”の状態アドレスデータ受信の場合は、スレーブアドレスとアドレスデータが一致すると自動的にSDAが“L”(ACK応答あり)となり一致しなかった場合は自動的にSDAが“H”(ACK応答なし)となります。

\*アッククロック:確認応答用のクロック

(4)ビット7:アッククロックビット(ACK)

データ転送の確認応答であるアックノリジメントのモードを指定するビットです。“0”の場合アッククロック発生なしモードになり、データ転送後にアッククロックは発生しません。“1”の場合はアッククロック発生ありのモードになり、1バイトのデータ転送が完了するたびに、マスタはアッククロックを発生します。アドレスデータ、制御データを送信するデバイスは、アッククロック発生時にSDAを開放し(“H”の状態にする)データを受信するデバイスが発生させるアックビットを受信します。

注. I<sup>2</sup>Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI<sup>2</sup>Cクロックジェネレータがリセットされ、データが正常に転送できません。

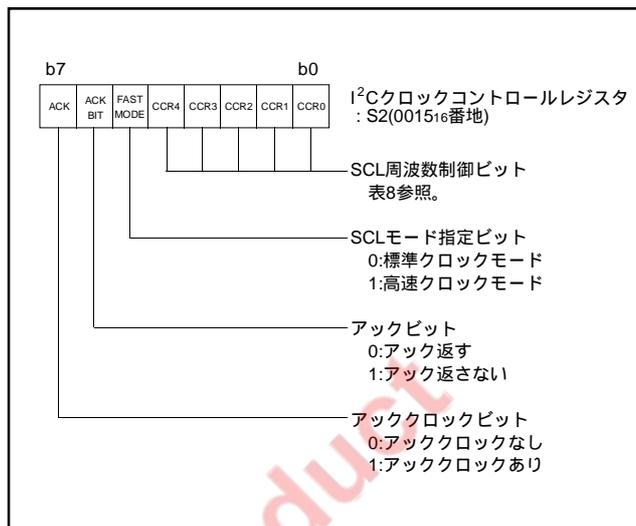


図58. I<sup>2</sup>Cクロックコントロールレジスタの構成

表8. I<sup>2</sup>Cクロックコントロールレジスタの設定値とSCL周波数

CCR4 ~ CCR0の設定値					SCL周波数(φ = 4 MHz時, 単位: kHz)(注1)	
CCR4	CCR3	CCR2	CCR1	CCR0	標準クロックモード時	高速クロックモード時
0	0	0	0	0	選択禁止	選択禁止
0	0	0	0	1	選択禁止	選択禁止
0	0	0	1	0	選択禁止	選択禁止
0	0	0	1	1	- (注2)	333
0	0	1	0	0	- (注2)	250
0	0	1	0	1	100	40(注3)
0	0	1	1	0	83.3	166
⋮	⋮	⋮	⋮	⋮	500/CCR値(注3)	1000/CCR値(注3)
1	1	1	0	1	17.2	34.5
1	1	1	1	0	16.6	33.3
1	1	1	1	1	16.1	32.3

注1. SCLK出力のデューティは50%です。高速クロックモードCCR値=5のみ35~45%になります。(400kHz, φ=4MHz時)また、クロックの“H”の期間は標準クロックモードで+2~-4マシサイクル、高速クロックモードで+2~-2マシサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロニアス機能によるSCLK同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4~CCR0を10進数表記した値です。

2. φ=4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合はφをより低い周波数で使用ください。

3. SCL周波数の計算式は次のとおりです。  
 φ/(8×CCR値)標準クロックモード  
 φ/(4×CCR値)高速クロックモード(CCR値=5)  
 φ/(2×CCR値)高速クロックモード(CCR値=5)  
 CCR値=0~2はφの周波数に関わらず選択禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4~CCR0を設定ください。

I<sup>2</sup>Cコントロールレジスタ

I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)はデータ通信フォーマットの制御を行うレジスタです。

## (1)ビット0～ビット2:ビットカウンタ(BC0～BC2)

次に転送されるデータ1バイト分のビット数を決定するビットです。これらのビットで指定されたカウント数あるいはACKビット(S2:0015<sub>16</sub>番地のビット7)による指定があればアッククロックも合わせたビットカウント数の転送完了直後、I<sup>2</sup>C割り込みの要求が発生し、BC0～BC2は“000”に戻ります。またスタートコンディションを検出してもBC0～BC2は“0002”になり、アドレスデータは必ず8ビットで送受信されます。

(2)ビット3:I<sup>2</sup>Cインタフェース許可ビット(ES0)

マルチマスタI<sup>2</sup>C-BUSインタフェースの使用を許可するビットです。“0”の場合使用禁止状態でSDA及びSCLはハイインピーダンスになります。“1”の場合、使用許可となります。ES0=“0”のとぎ次のように処理されます。

I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のPIN=“1”、

BB=“0” AL=“0”に設定される。

I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)への書き込みは禁止される。

## (3)ビット4:データフォーマット選択ビット(ALS)

スレーブアドレスの認識を行うか否かを決定するビットです。“0”の場合はアドレスリングフォーマットとなり、アドレスデータを認識します。そして、スレーブアドレスとアドレスデータとを比較して一致した場合、又はジェネラルコール(I<sup>2</sup>Cステータスレジスタ)のビット1参照を受信したときのみ転送処理が行えます。“1”の場合はフリーデータフォーマットとなり、スレーブアドレスを認識しません。

## (4)ビット5:アドレスリングフォーマット選択ビット(10BIT SAD)

スレーブのアドレス指定フォーマットを選択するビットです。“0”の場合は7ビットアドレスリングフォーマットとなり、I<sup>2</sup>Cスレーブアドレスレジスタ0～2の上位7ビット(スレーブアドレス)のみアドレスデータと比較されます。“1”の場合には10ビットアドレスリングフォーマットとなり、I<sup>2</sup>Cスレーブアドレスレジスタ0～2の全ビットがアドレスデータと比較されます。

(5)ビット7:I<sup>2</sup>C-BUSインタフェース端子入力レベル選択ビット(TISS)

マルチマスタI<sup>2</sup>C-BUSインタフェースのSCL,SDAの端子の入力レベルを選択するビットです。

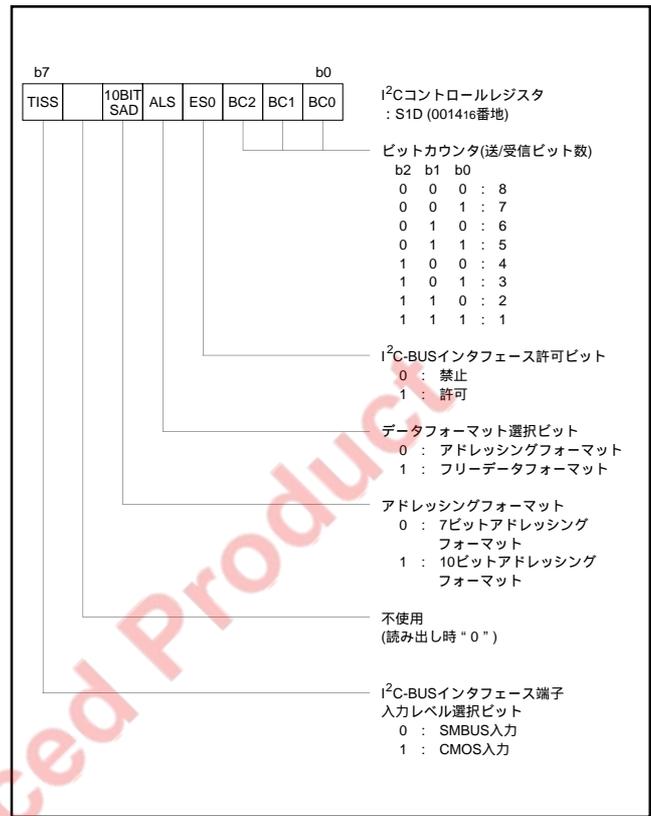


図59. I<sup>2</sup>Cコントロールレジスタのビット構成

I<sup>2</sup>Cステータスレジスタ

I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)はI<sup>2</sup>C-BUSインタフェースの状態を制御するレジスタです。下位4ビットは読み出し専用で、上位4ビットは読み出し/書き込み兼用です。下位4ビットの書き込みは予約ビットとしますので“0000”を書き込みください。

## (1)ビット0:最終受信ビット(LRB)

受信したデータの最終ビットの値を格納するビットで、アック応答の受信確認に使用可能です。アッククロック発生時に、アック応答が返ってきた場合、LRBビットは“0”になります。アック応答が返らなかった場合は“1”になります。アックモードでない場合は受信データの最終ビットの値が入力されます。I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)に書き込み命令を実行すると“0”になります。

## (2)ビット1:ジェネラルコール検出フラグ(AD0)

ALSビットが“0”の場合アドレスデータがすべて“0”であるジェネラルコール\*をスレーブモード時に受信したときに“1”になります。マスタデバイスがジェネラルコールを発信することにより、ジェネラルコール後の制御データはすべてのスレーブデバイスに受信されます。AD0ビットはストップコンディションの検出、スタートコンディションの検出あるいはリセットにより“0”になります。

\*ジェネラルコール:マスタが全スレーブにジェネラルコールアドレス“00”を送信すること。

## (3)ビット2:スレーブアドレス比較フラグ(AAS)

ALSビットが“0”の場合アドレスの比較結果を示します。

スレーブ受信モード時、7ビットアドレッシングフォーマットで以下のいずれかの条件で、“1”になります。

- ・スタートコンディション発生直後のアドレスデータがI<sup>2</sup>Cスレーブアドレスレジスタに格納されている上位7ビットのスレーブアドレスと一致した場合。
  - ・ジェネラルコールを受信した場合
- スレーブ受信モード時、10ビットアドレッシングフォーマットでは、以下の条件で“1”になります。
- ・アドレスデータとI<sup>2</sup>Cスレーブアドレスレジスタ(スレーブアドレス、及びRWBビットで構成される8ビット)とを比較し、第一バイト目が一致した場合

このビットはES0が“1”の場合I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)への書き込み、又はリセットにより“0”になります。

## (4)ビット3:アービトレーションロスト\*検出フラグ(AL)

マスタ送信モード時、SDAがマイコン以外の装置によって“L”レベルにされた場合、アービトレーションを失ったと判定し、このビットは“1”になり、同時にTRXビットは“0”になります。MSTビットはアービトレーションを失ったバイトの転送が完了した後に“0”になります。

アービトレーションロストはマスタ送信モードのみ検出可能です。スレーブアドレス送信中にアービトレーションを失った場

合、ただちにTRXビットが“0”になり、受信モードとなります。そのため、別のマスタデバイスから送信されたアドレスデータと自身自身のスレーブアドレスとの一致を検出することが可能です。

ALビットが“0”になる条件を以下に示します。

- ・I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)への書き込み命令の実行
- ・ES0ビットが“0”のとき
- ・リセット時
- \*アービトレーションロスト:マスタとしての通信が不許可となった状態。

## (5)ビット4:SCL端子Lowホールドビット(PIN)

割り込み要求信号を発生させるビットです。1バイトのデータ送受信完了ごとに、PINビットは“1”から“0”になります。同時にCPUへの割り込み要求信号が発生します。PINビットは内部クロックの最終クロック(アッククロックを含む)の立ち下がりに同期して“0”になり、割り込み要求信号はPINビットの立ち下がりに同期して発生します。PINビットが“0”のときSCLは“0”に保たれクロックの発生は禁止されます。図61に割り込み要求信号の発生タイミングを示します。

PINビットが“1”になる条件を以下に示します。

- ・I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)への書き込み命令の実行(スタートコンディション検出以外で、内部クロックの禁止が解除されデータ通信可能となるのは、本条件のみです。)
  - ・ES0ビットが“0”のとき
  - ・リセット時
  - ・ソフトウェアによる“1”書き込み。
- PINビットが“0”になる条件を以下に示します。
- ・1バイトのデータ送信完了直後(アービトレーションロストを検出した場合を含む)
  - ・1バイトのデータ受信完了直後
  - ・スレーブ受信の際、ALS=0で、スレーブアドレス一致又は、ジェネラルコールアドレス受信完了直後
  - ・スレーブ受信の際、ALS=1で、アドレスデータ受信完了直後

## (6)ビット5:バスビジーフラグ(BB)

バスシステムの使用状態を示すビットです。“0”の場合このバスシステムは使用されておらず、スタートコンディションを発生させることが可能です。マスタ、スレーブにかかわらずBBフラグはSCL、SDA端子入力の信号をもとにセット、リセットされます。スタートコンディションの検出により“1”になり、ストップコンディションの検出により“0”になります。これらの検出はI<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(S2D:0016<sub>16</sub>番地)のスタート/ストップコンディション設定ビット(SSC4~SSC0)の条件に従います。また、I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)のES0ビット(ビット3)が“0”のとき、及びリセット時にBBフラグは“0”になります。BBフラグに対する書き込みの機能については、後述のスタートコンディション発生方法及びストップコンディション発生方法をご参照ください。

(7)ビット6:通信モード指定ビット(転送方向指定ビット:TRX)

データ通信の転送方向を決定するビットです。“0” の場合、受信モードとなり、送信デバイスのデータを受信します。“1” の場合、送信モードとなり、SCL上に発生するクロックに同期してSDA上にアドレスデータ、制御データを出力します。ソフトウェアによるビット設定の他、ハードウェアによるセット/リセットは下記の場合があります。以下の場合、ハードウェアにより“1”になります。

- ・ALS=“0”かつスレーブで、R/Wビット受信が“1” の場合  
以下の場合、ハードウェアにより“0”になります。
- ・アービトレーションロストを検出した場合
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1” 書き込みを無効とされた場合
- ・MST=“0” でスタートコンディションを検出した場合
- ・MST=“0” でアック応答が返ってこなかったことを検出した場合
- ・リセット時

(8)ビット7:通信モード指定ビット(マスタ/スレーブ指定ビット:MST)

データ通信を行う際のマスタ/スレーブを指定するビットです。“0”の場合、スレーブとなり、マスタが生成するスタートコンディション、ストップコンディションを受信し、マスタが発生させるクロックに同期してデータ通信を行います。“1” の場合、マスタとなり、スタートコンディション、ストップコンディションを生成します。また、データ通信に必要なクロックをSCL上に発生させます。

以下の場合、ハードウェアにより“0”になります。

- ・アービトレーションロストを検出した場合、アービトレーションを失ったバイトの転送終了直後
- ・ストップコンディションを検出した場合
- ・スタートコンディション重複防止機能(注)によりソフトウェアでの“1” 書き込みを無効とされた場合
- ・リセット時

注 スタートコンディション重複防止機能

スタートコンディション発生の手順では、BBフラグの“0”を確認後、MST、TRX、BBの各ビットに同時“1”書き込みを行います。BBフラグの確認直後、別のマスタデバイスのスタートコンディション発生によりBBフラグが“1”となった場合、MST、TRXビットの書き込みを無効とするのがスタートコンディション重複防止機能です。重複防止機能はBBフラグの立ち上がりからスレーブアドレスの受信完了までの期間有効となります。

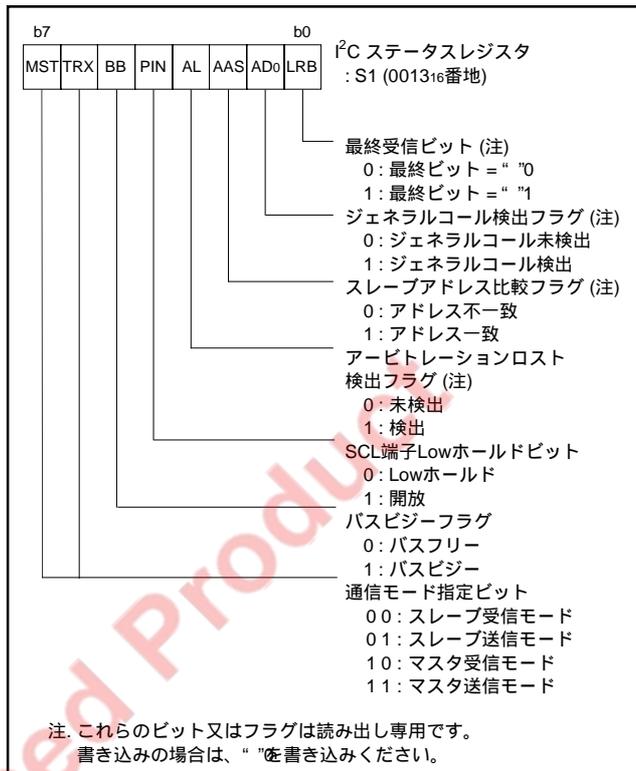


図60. I<sup>2</sup>Cステータスレジスタの構成

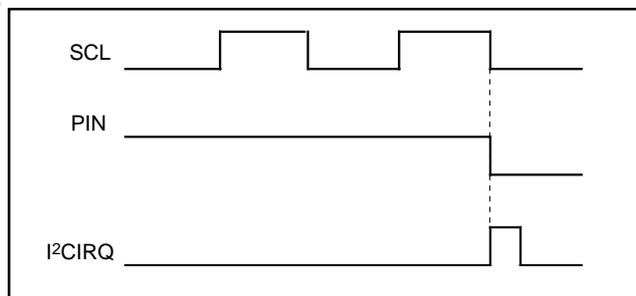


図61. 割り込み要求信号の発生タイミング

## スタートコンディション発生方法

I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)のES0ビットが“1”、BBフラグが“0”の状態、I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)にスレーブアドレスの書き込みの後、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のMST、TRX、BBビットに“1”書き込みを同時に行くとスタートコンディションが発生します。その後、ビットカウンタが“000”になり、1バイト分のSCLが出力されます。スタートコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図62のスタートコンディション発生タイミング図と表9のスタートコンディション発生タイミング表を参照してください。

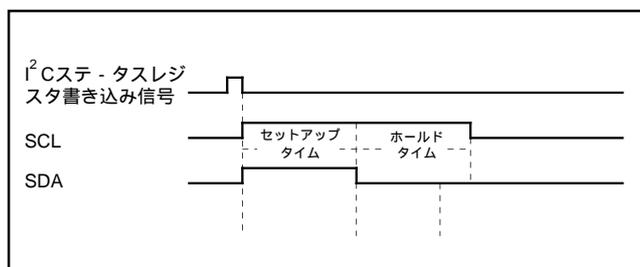


図62. スタートコンディション発生タイミング図

## ストップコンディションの発生方法

I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)のES0ビットが“1”の状態、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のMST、TRXビットに“1”、BBビットに“0”を同時に書き込むと、ストップコンディションが発生します。ストップコンディションの発生タイミングは、標準クロックモードと高速クロックモードで異なります。図63のストップコンディション発生タイミング図と表10のストップコンディション発生タイミング表を参照してください。

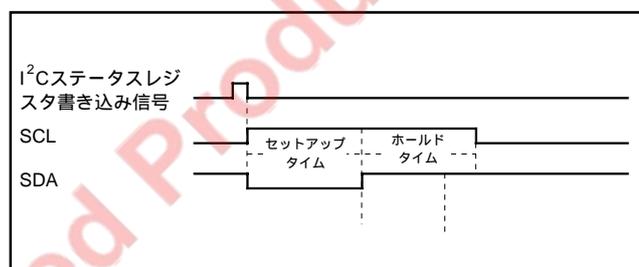


図63. ストップコンディション発生タイミング図

表9. スタートコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 $\mu$ s (20サイクル)	2.5 $\mu$ s (10サイクル)
ホールド時間	5.0 $\mu$ s (20サイクル)	2.5 $\mu$ s (10サイクル)

注. = 4MHz時の絶対時間 ( )内は のサイクル数。

表10. ストップコンディション発生タイミング表

項目	標準クロックモード	高速クロックモード
セットアップ時間	5.0 $\mu$ s (20サイクル)	3.0 $\mu$ s (12サイクル)
ホールド時間	4.5 $\mu$ s (18サイクル)	2.5 $\mu$ s (10サイクル)

注. = 4MHz時の絶対時間 ( )内は のサイクル数。

## スタート/ストップコンディション検出条件

スタート/ストップコンディションの検出動作を図64、図65と表11に示します。スタート/ストップコンディションはスタート/ストップコンディション設定ビットにより条件が設定され、SCL、SDA端子の入力信号が、表11のSCL開放時間、セットアップ時間及びホールド時間の3つの条件を満たす場合のみ、スタート/ストップコンディションを検出できます。また、BBフラグは、スタートコンディションの検出によりセットされ、ストップコンディションの検出によりリセットされます。BBフラグのセット/リセットタイミングは標準クロックモードと高速クロックモードで異なります。表11のBBフラグセット/リセット時間を参照してください。

注 スレープ(MST=0)時にストップコンディションを検出すると、CPUに対して割り込み要求信号<sup>1</sup>I<sup>2</sup>CIRQを発生します。

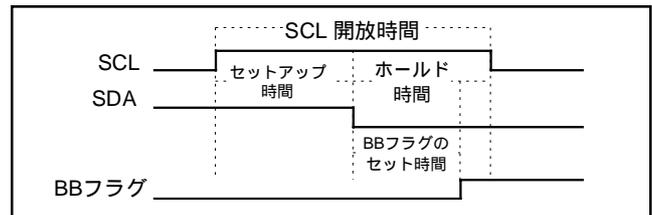


図64. スタートコンディション検出のタイミング図



図65. ストップコンディション検出のタイミング図

表11. スタートコンディション、ストップコンディション検出条件

	標準クロックモード	高速クロックモード
SCL開放時間	SSC値+1サイクル(6.25 μs)	4サイクル(1.0 μs)
セットアップ時間	$\frac{\text{SSC値}+1}{2}$ サイクル < 4.0 μs(3.125 μs)	2サイクル(0.5 μs)
ホールド時間	$\frac{\text{SSC値}+1}{2}$ サイクル < 4.0 μs(3.125 μs)	2サイクル(0.5 μs)
BBフラグセット/ リセット時間	$\frac{\text{SSC値}-1}{2}$ +2サイクル(3.375 μs)	3.5サイクル(0.875 μs)

注 単位は内部クロック のサイクル数

SSC値はスタート/ストップコンディション設定ビットSSC4 ~ SSC0を10進法表記した値です。

SSC値=0及び奇数となる設定は禁止です。

( )内は =4MHz時、I<sup>2</sup>Cスタート/ストップコンディション制御レジスタに“1816”を設定した場合の時間の一例です。

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(S2D:0016<sub>16</sub>番地)はスタートコンディション/ストップコンディションの検出を制御するレジスタです。

## (1)ビット0～ビット4:スタート/ストップコンディション設定ビット(SSC4～SSC0)

SCL開放時間、セットアップ時間、ホールド時間は内部システムクロックにより時間を計測しているため、発振周波数 $f(XIN)$ や、メインクロック分周比選択ビットによって検出条件が変わってきます。したがって、システムクロックの周波数により、スタート/ストップコンディション設定ビット(SSC4～SSC0)に適切な値を設定して、SCL開放時間、セットアップ時間、ホールド時間を設定する必要があります。表11を参照してください。スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“00000”は設定しないでください。参考までに各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値を表12に示します。

## (2)ビット5:SCL/SDA割り込み端子極性選択ビット(SIP)

SCLあるいはSDA端子の立ち上がりあるいは立ち下がりエッジを検出して割り込みをかけることができます。SCL/SDA割り込み端子極性選択ビットはSCLあるいはSDA端子の割り込みの端子の極性を選択します。

## (3)ビット6:SCL/SDA割り込み端子選択ビット(SIS)

SCL/SDA割り込み端子選択ビットはSCLあるいはSDA端子のうち、SCL/SDA割り込みを有効とする端子を選択します。

注 SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビットやI<sup>2</sup>C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定を“0”にリセットして割り込みを許可してください。

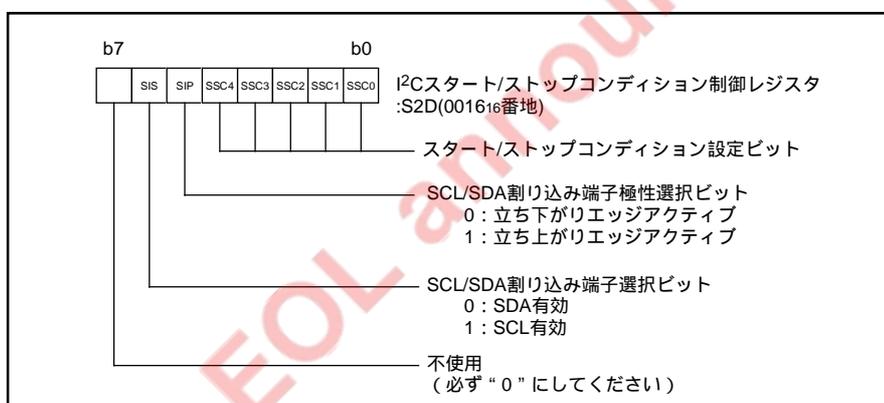


図66. I<sup>2</sup>Cスタート/ストップコンディション制御レジスタの構成

表12. 各発振周波数でのスタート/ストップコンディション設定ビット(SSC4～SSC0)への推奨設定値

発振周波数 $f(XIN)$ (MHz)	メイン クロック 分周比	内部 クロック (MHz)	スタート/ストップ コンディション 制御レジスタ	SCL開放時間 ( $\mu$ s)	セットアップ時間 ( $\mu$ s)	ホールド時間 ( $\mu$ s)
8	2	4	XXX11010	6.75 $\mu$ s (27サイクル)	3.5 $\mu$ s (14サイクル)	3.25 $\mu$ s (13サイクル)
			XXX11000	6.25 $\mu$ s (25サイクル)	3.25 $\mu$ s (13サイクル)	3.0 $\mu$ s (12サイクル)
8	8	1	XXX00100	5.0 $\mu$ s (5サイクル)	3.0 $\mu$ s (3サイクル)	2.0 $\mu$ s (2サイクル)
4	2	2	XXX01100	6.5 $\mu$ s (13サイクル)	3.5 $\mu$ s (7サイクル)	3.0 $\mu$ s (6サイクル)
			XXX01010	5.5 $\mu$ s (11サイクル)	3.0 $\mu$ s (6サイクル)	2.5 $\mu$ s (5サイクル)
2	2	1	XXX00100	5.0 $\mu$ s (5サイクル)	3.0 $\mu$ s (3サイクル)	2.0 $\mu$ s (2サイクル)

注 . スタート/ストップコンディション設定ビット(SSC4～SSC0)に奇数の値及び“000002”は設定しないでください。

I<sup>2</sup>Cスペシャルモードステータスレジスタ

I<sup>2</sup>Cスペシャルモードステータスレジスタ(S3:0012<sub>16</sub>番地)はI<sup>2</sup>Cスペシャルモード制御レジスタ(0017<sub>16</sub>番地)で設定された、I<sup>2</sup>Cの特殊モード時のI<sup>2</sup>Cの動作状態を示すフラグで構成されています。ストップコンディションフラグはあらゆる動作モードで有効です。

## (1)ビット0:スレーブアドレス0比較フラグ(AAS0)

ビット1:スレーブアドレス1比較フラグ(AAS1)

ビット2:スレーブアドレス2比較フラグ(AAS2)

アドレスデータの比較結果を示すフラグです。これらのフラグはスレーブアドレス制御ビット(MSLAD)が<sup>※</sup>1'のときのみに有効です。スレーブ受信モード時、7ビットアドレッシングフォーマットではスタートコンディション発生直後のアドレスデータがI<sup>2</sup>Cアドレスレジスタ0,1,2(0FF7<sub>16</sub>番地,0FF8<sub>16</sub>番地,0FF9<sub>16</sub>番地)に格納されている上位7ビットのスレーブアドレスと一致した場合、それぞれのI<sup>2</sup>Cスレーブアドレスレジスタ0~2に対応するスレーブアドレス*i*(*i*=0, 1, 2)比較フラグが<sup>※</sup>1'になります。また、スレーブモード時、10ビットアドレッシングフォーマットでは、アドレスデータとI<sup>2</sup>Cスレーブアドレスレジスタ0~2のスレーブアドレス、およびRWBビットで構成される8ビットとを比較し、第1バイト目が一致した場合、それぞれのI<sup>2</sup>Cスレーブアドレスレジスタ0~2に対応するスレーブアドレス*i*(*i*=0, 1, 2)比較フラグが<sup>※</sup>1'になります。これらのフラグはリセット時、スレーブアドレス制御ビット(MSLAD)が<sup>※</sup>0'のとき、I<sup>2</sup>Cデータシフトレジスタ(0011<sub>16</sub>番地)にデータを書き込んだとき<sup>※</sup>0'に初期化されます。

## (2)ビット5:SCL端子Lowホールド2フラグ(PIN2)

アック割り込み制御ビット(ACKICON)が<sup>※</sup>1'で、かつアックロックビット(ACK)が<sup>※</sup>1'の場合、データのSCL最終クロックの立ち下がりが(アックロックの直前)に同期してこのビットが<sup>※</sup>0'になります。同時にSCL端子がLowホールドされ、I<sup>2</sup>C割り込みが発生します。このフラグはリセット時、アック割り込み制御ビット(ACKICON)が<sup>※</sup>0'のとき、およびSCL端子Lowホールド2フラグセットビット(PIN2IN)に<sup>※</sup>1'を書き込んだ場合<sup>※</sup>1'に初期化されます。

SCL端子は、SCL端子Lowホールドビット(PIN)又はSCL端子Lowホールド2フラグ(PIN2)のどちらかが<sup>※</sup>0'になるとLowホールドされます。また、SCL端子Lowホールドビット(PIN)とSCL端子Lowホールド2フラグ(PIN2)が共に<sup>※</sup>1'の場合にSCL端子のLowホールドが開放されます。

## (3)ビット7:ストップコンディションフラグ(SPCF)

ストップコンディションが発生した場合に<sup>※</sup>1'になります。このフラグはリセット時、I<sup>2</sup>C-BUSインタフェース使用許可ビット(ES0)が<sup>※</sup>0'のとき、およびストップコンディションフラグクリアビット(SPFCL)に<sup>※</sup>1'を書き込んだときに<sup>※</sup>0'に初期化されません。

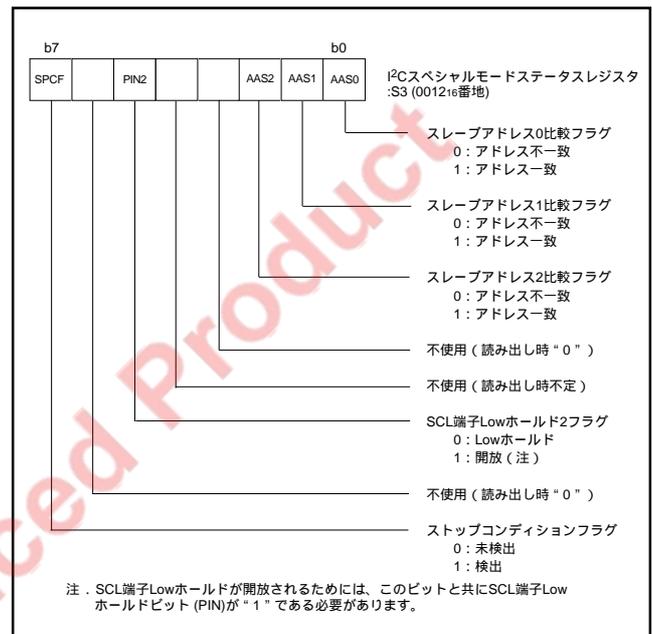


図67. I<sup>2</sup>Cスペシャルモードステータスレジスタの構成

I<sup>2</sup>Cスペシャルモード制御レジスタ

I<sup>2</sup>Cスペシャルモード制御レジスタ(S3D:001716番地)は受信割り込み発生タイミング、スレーブアドレス比較を3バイトに拡張するといったI<sup>2</sup>C-BUSインタフェースの特殊な機能を制御するビットです。

## (1)ビット1: ACK割り込み制御ビット(ACKICON)

マスタ受信、スレーブ受信のデータ受信終了時に発生するI<sup>2</sup>C割り込みの発生するタイミングを制御するビットです。“0”の場合はSCLの最終クロック(アッククロックを含む)の立ち下がりに同期してSCL端子Lowホールドビット(PIN)が“0”になりSCLがLowホールドされ、同時にI<sup>2</sup>C割り込みが発生します。このビットが“1”の場合、かつアッククロックビット(ACK)が“1”の場合、データのSCL最終クロック(アッククロックの直前)の立ち下がりに同期してSCL端子Lowホールド2フラグ(PIN2)が“0”になり、SCL端子がLowホールドされ、同時にI<sup>2</sup>C割り込みが発生します。さらにLowホールド解除後、アッククロックの立ち下がりに同期してSCL端子Lowホールドビット(PIN)が“0”になり、SCL端子がLowホールドされ、同時にI<sup>2</sup>C割り込みが再び発生します。このモードを使用することにより、データの内容を確認した後、アックビットを変更することができます。

## (2)ビット2: スレーブアドレス制御ビット(MSLAD)

スレーブアドレスを制御するビットです。“0”の場合スレーブアドレスおよびリード/ライトビットはI<sup>2</sup>Cスレーブアドレスレジスタ0(0FF716番地)のみ有効です。“1”の場合、スレーブアドレスおよびリード/ライトビットはI<sup>2</sup>Cスレーブアドレスレジスタ0~2(0FF716番地、0FF816番地、0FF916番地)がすべて有効となります。この場合、アドレスデータとI<sup>2</sup>Cスレーブアドレスレジスタ0~2のうちのどれかが一致すると、スレーブアドレス比較フラグ(AAS)が“1”になるとともに、一致したI<sup>2</sup>Cスレーブアドレスレジスタ0~2に対応するスレーブアドレスi(i=0, 1, 2)比較フラグが“1”になります。

## (3)ビット5: SCL端子Lowホールド2フラグセットビット(PIN2IN)

このビットに“1”を書き込むと、SCL端子Lowホールド2フラグ(PIN2)が“1”に初期化されます。“0”を書いた場合は何も発生しません。

## (4)ビット6: SCL端子Lowホールド設定ビット(PIN2HD)

SCL端子はSCL端子Lowホールドビット(PIN)が“0”になるとLowホールドされますが、SCL端子Lowホールドビット(PIN)はソフトウェアで“0”にすることができません。SCL端子Lowホールド設定ビット(PIN2HD)はソフトウェアによりSCL端子をLowホールドするためのビットです。

このビットに“1”を書き込むと、SCL端子Lowホールド2フラグ(PIN2)が“0”になり、SCL端子がLowホールドされます。“0”を書いた場合は何も発生しません。

## (5)ビット7: ストップコンディションフラグクリアビット

このフラグに“1”を書き込むと、ストップコンディションフラグ(SPCF)が“0”に初期化されます。“0”を書いた場合は何も発生しません。

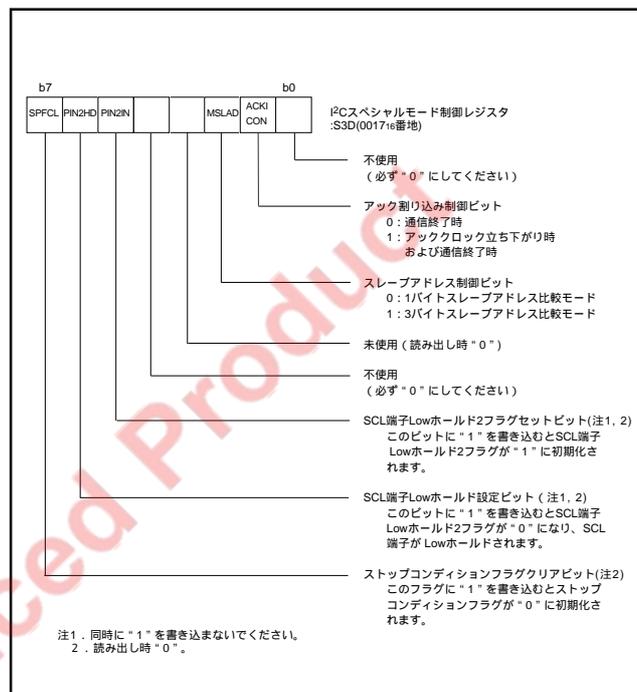


図68. I<sup>2</sup>Cスペシャルモード制御レジスタの構成

## アドレスデータ通信

アドレスデータの通信のフォーマットには、7ビットアドレッシングフォーマットと10ビットアドレッシングフォーマットがあります。それぞれのアドレス通信フォーマットについての、対応方法を説明します。

## (1)7ビットアドレッシングフォーマット

7ビットアドレッシングフォーマットに対応するために、I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)の10BIT SADビットを“0”にしてください。マスタから送信された最初の7ビットのアドレスデータと、I<sup>2</sup>Cスレーブアドレスレジスタに格納された7ビットのスレーブアドレスを比較します。この比較時には、I<sup>2</sup>CスレーブアドレスレジスタのRWBビットのアドレス比較は行われません。7ビットアドレッシングフォーマット時のデータ伝送フォーマットは図69の(1)、(2)を参照してください。

## (2)10ビットアドレッシングフォーマット

10ビットアドレッシングフォーマットに対応するために、I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)の10BIT SADビットを“1”にしてください。マスタから送信された1バイト目のアドレスデータと、I<sup>2</sup>Cスレーブアドレスレジスタに格納されたスレーブアドレス8ビットがアドレス比較されます。この比較時には、I<sup>2</sup>Cスレーブアドレスレジ

スタのRWBビットと、マスタから送信されるアドレスデータの最終ビット(R $\bar{W}$ ビット)が、アドレス比較されません。10ビットアドレッシングモード時には、アドレスデータの最終ビットであるRWBビットは制御データの通信方向を指定するだけでなく、アドレスデータのビットとして処理されます。1バイト目のアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のAASビットが“1”にセットされません。2バイト目アドレスデータは、I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)に格納した後、ソフトウェアで2バイト目のアドレスデータとスレーブアドレスのアドレス比較を行ってください。2バイトのアドレスデータとスレーブアドレスが一致した場合には、I<sup>2</sup>CスレーブアドレスレジスタのRWBビットをソフトウェアで“1”にしてください。この処理により、リスタートコンディション検出後に受信する7ビットのスレーブアドレス及びR $\bar{W}$ のデータとI<sup>2</sup>Cスレーブアドレスレジスタの値を一致させることができます。10ビットアドレッシングフォーマット時のデータ伝送フォーマットは図69の(3)、(4)を参照してください。

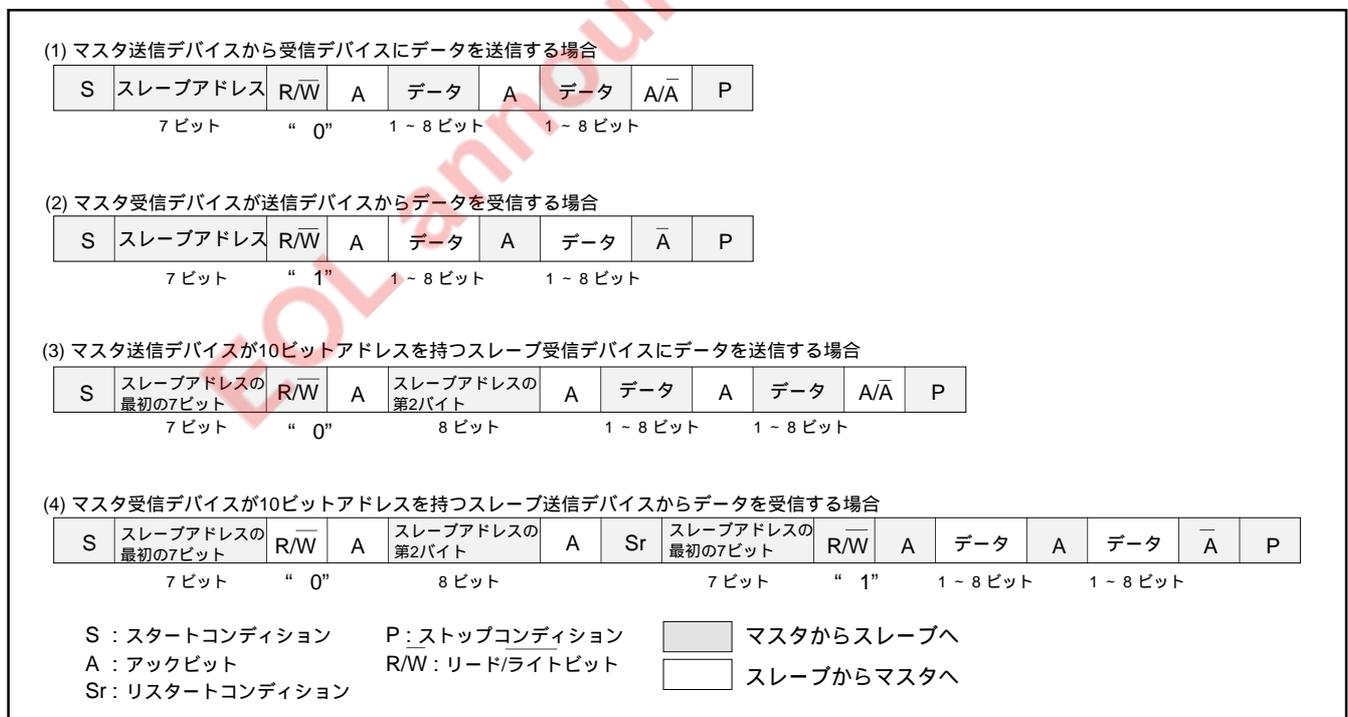


図69. アドレスデータ通信フォーマット

## マスタ送信例

標準クロックモード、SCL周波数100kHz、アック応答を返すモードの場合のマスタ送信例を以下に示します。

- (1) I<sup>2</sup>Cスレーブアドレスレジスタの上位7ビットにスレーブアドレス、RWBビットに“0”に設定します。
- (2) I<sup>2</sup>Cクロックコントロールレジスタ(S2:0015<sub>16</sub>番地)に“85<sub>16</sub>”を設定することによって、アック応答を返すモード、SCL=100kHzにします。
- (3) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)に“ 0<sub>0</sub>”を設定し、送受信のモードを初期状態にします。
- (4) I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)に“ 0<sub>8</sub>”を設定することによって、通信許可状態にします。
- (5) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のBBフラグによりバスフリー状態を確認します。
- (6) I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)の上位7ビットに送信先のアドレスデータを設定します。また、最下位ビットは“0”にします。
- (7) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)に“ F<sub>0</sub>”を設定することによって、スタートコンディションを発生させます。このとき、1バイト分のSCLとアッククロックは自動的に発生します。
- (8) I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)に送信データを設定します。このとき、SCLとアッククロックは自動的に発生します。
- (9) 複数バイトの制御データを送信する場合、(8)を繰り返します。
- (10) スレーブ受信側からのアック応答が返らない場合、あるいは送信が終了した場合は、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)に“ D<sub>0</sub>”を設定することによって、ストップコンディションを発生させます。

## スレーブ受信例

高速クロックモード、SCL周波数400kHz、アック応答なしモード、アドレッシングフォーマットの場合のスレーブ受信例を以下に示します。

- (1) I<sup>2</sup>Cスレーブアドレスレジスタの上位7ビットにスレーブアドレス、RWBビットに“0”を設定します。
- (2) I<sup>2</sup>Cクロックコントロールレジスタ(S2:0015<sub>16</sub>番地)に“25<sub>16</sub>”を設定することによって、アック応答なしモード、SCL=400kHzにします。
- (3) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)に“ 0<sub>0</sub>”を設定し、送受信のモードを初期状態にします。
- (4) I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)に“08<sub>16</sub>”を設定することによって、通信許可状態にします。
- (5) スタートコンディションを受信すると、アドレス比較されます。
- (6) 送信されたアドレスがすべて“0”の場合(ジェネラルコール)、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のAD0=“1”に設定され、割り込み要求信号が発生します。
  - ・送信されたアドレスが、(1)で設定したアドレスと一致した場合、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のAAS=“1”に設定され、割り込み要求信号が発生します。
  - ・上記以外の場合、I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)のAD0=“0”、AAS=“0”に設定され、割り込み要求信号は発生しません。
- (7) I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)にダミーデータを設定します。
- (8) 複数バイトの制御データを受信する場合、(7)を繰り返します。
- (9) ストップコンディションを検出すると通信が終了します。

マルチマスタ<sup>2</sup>C-BUSインタフェースの注意事項

## (1)リード・モディファイ・ライト命令の使用について

SEB、CLBなどのリード・モディファイ・ライト命令をマルチマスタ<sup>2</sup>C-BUSインタフェースの各レジスタに使う場合の注意事項は以下のとおりです。

・<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

・<sup>2</sup>Cスレーブアドレスレジスタ0~2(S0D0~2:0FF7<sub>16</sub>~0FF9<sub>16</sub>番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでリード/ライトビット(RWB)が、H/Wによって変化するためです。

・<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)

すべてのビットはH/Wによって変化しますので、リード・モディファイ・ライト命令を使用しないでください。

・<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

上記のタイミングでビットカウンタ(BC0~BC2)が、H/Wによって変化するためです。

・<sup>2</sup>Cクロックコントロールレジスタ(S2:0015<sub>16</sub>番地)

リード・モディファイ・ライト命令は使用可能です。

・<sup>2</sup>Cスタート/ストップコンディション制御レジスタ

(S2D:0016<sub>16</sub>番地)

リード・モディファイ・ライト命令は使用可能です。

## (2)マルチマスタで使用する場合のスタートコンディション

## 発生手順について

手順例(発生手順の必要条件は、以降に記します。)

```

:
LDA ~ (スレーブアドレス値の取り出し)
SEI (割り込みの禁止)
BBS 5,S1,BUSBUSY (BBフラグ確認及び分岐処理)
BUSFREE:
STA S0 (スレーブアドレス値の書き込み)
LDM #$F0,S1 (スタートコンディション発生トリガ)
CLI (割り込みの許可)
:
BUSBUSY:
CLI (割り込みの許可)
:

```

BBフラグの確認及び分岐処理はBBS 5, S1, ~ のブランチ・ビット・セット命令を必ず使用してください。

<sup>2</sup>Cデータシフトレジスタへのスレーブアドレス値の書き込みには、STA \$12, STX \$12あるいはSTY \$12のゼロページアドレッシング命令を必ず使用してください。

前記 の分岐命令と のストア命令は手順例のとおり必ず連続して実行するようにしてください。

BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は必ず割り込みを禁止にしてください。

BBフラグがバスビジーである場合は、ただちに割り込みを許可にしてください。

## (3)リスタートコンディション発生手順について

手順例(発生手順の必要条件は(2)以降に記します。)

PINビットが<sup>\*</sup>0 "のとき、以下の手順を実行してください。

```

:
LDM #$00,S1 (スレーブ受信モードにする)
LDA ~ (スレーブアドレス値の取り出し)
SEI (割り込みの禁止)
STA S0 (スレーブアドレス値の書き込み)
LDM #$F0,S1 (リスタートコンディション発生トリガ)
CLI (割り込みの許可)
:

```

PINビットが<sup>\*</sup>0 "の状態、スレーブ受信モードにしてください。PINビットには"1"を書き込まないでください。

BBビットへの書き込みに"0"又は"1"の指定はありません。

TRXビットが<sup>\*</sup>0 "になり、SDA端子が開放されます。

スレーブアドレス値を<sup>2</sup>Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

スレーブアドレス値の書き込み、リスタートコンディション発生トリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4)<sup>2</sup>Cステータスレジスタへの書き込みについて

同時にPINビットを<sup>\*</sup>0 "から"1"、MSTビット及びTRXビットを"1"から"0"にする命令を実行しないでください。SCL端子が開放されて、約1マシンサイクル後にSDA端子が開放される状態になることがあります。PINビットが<sup>\*</sup>1 "のときに、MSTビット及びTRXビットを"1"から"0"にする命令を実行しても、同様の状態になることがあります。

## (5)ストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが<sup>\*</sup>0 "になるまでの間、<sup>2</sup>CデータシフトレジスタS0及び<sup>2</sup>CステータスレジスタS1に書き込みを行わないでください。ストップコンディション波形が正常に発生されないことがあります。上記レジスタに対する読み出しは問題ありません。

リセット回路

電源電圧が2.7～5.5Vにあり、XINが安定発振しているとき、RESET端子をXIN 16サイクル以上「L」レベルに保つとリセット状態になり、その後RESET端子を「H」レベルに戻すとリセット解除されます。FFFD<sub>16</sub>番地の内容を上位アドレス、FFFC<sub>16</sub>番地の内容を下位アドレスとする番地からプログラムスタートします。

下記の手順でRESET端子に入力してください。

電源が安定している場合

- (1) RESET端子に「L」を入力する
- (2) XIN端子に16サイクル以上のクロックを入力する
- (3) RESET端子に「H」を入力する

電源投入時

- (1) RESET端子に「L」を入力する
- (2) 電源電圧を2.7Vまで上昇させる
- (3) 内部電源が安定するまでtd(P-R)待つ
- (4) XIN端子に16サイクル以上のクロックを入力する
- (5) RESET端子に「H」を入力する

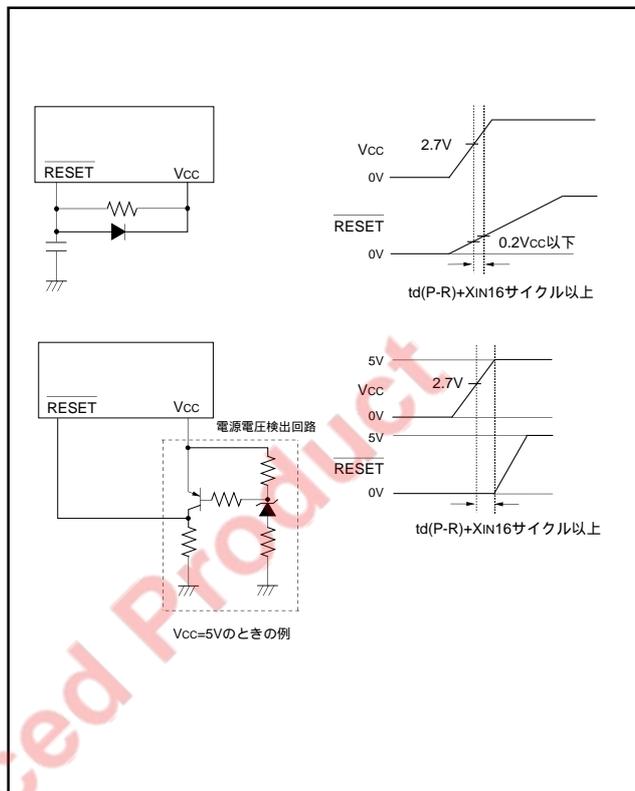
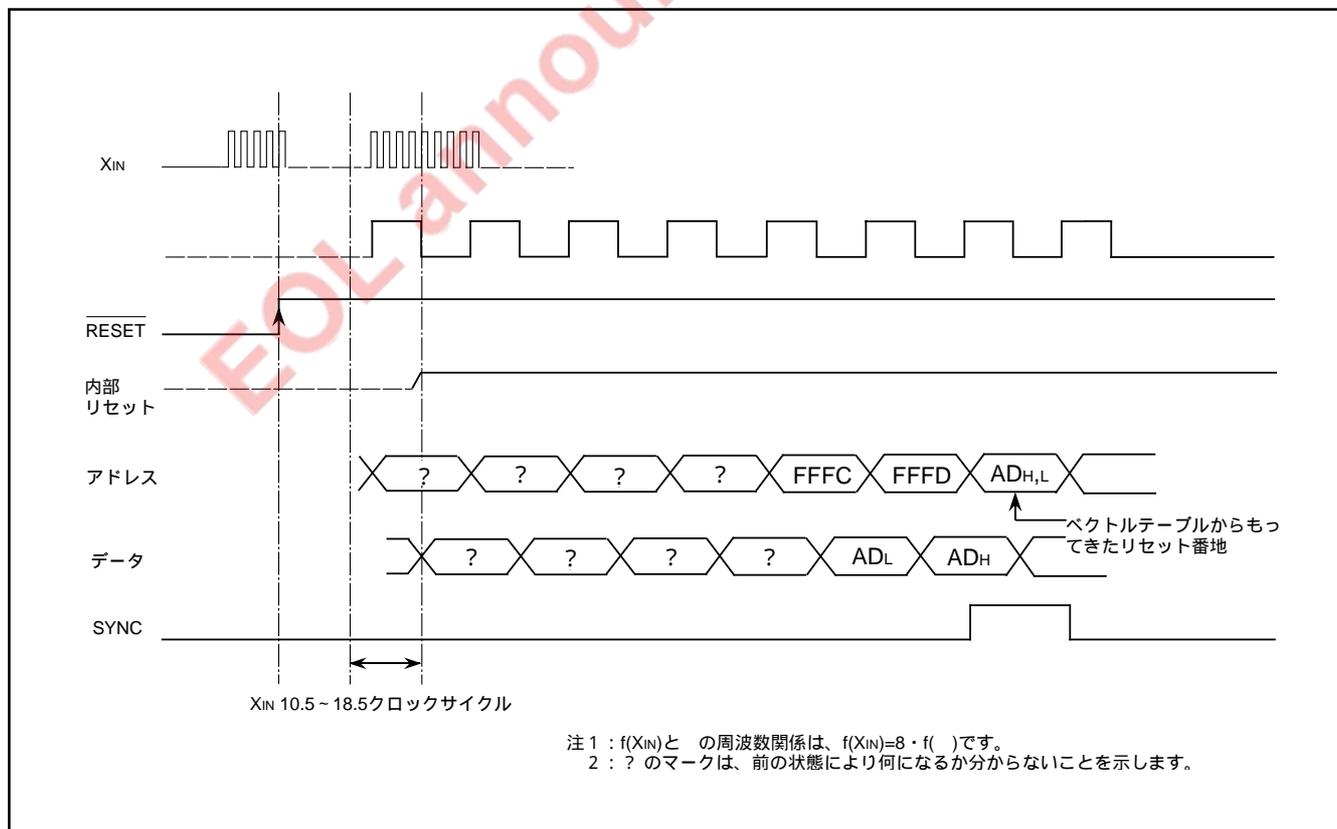


図70. リセット回路例



注1 :  $f(XIN)$  と の周波数関係は、 $f(XIN)=8 \cdot f( )$  です。  
 注2 : ? のマークは、前の状態により何になるが分からないことを示します。

図71. リセットシーケンス

番地	レジスタの内容	番地	レジスタの内容
(1) ポートP0	0001 <sub>16</sub> 00 <sub>16</sub>	(39) プリスケアラY	0026 <sub>16</sub> FF <sub>16</sub>
(2) ポートP0方向レジスタ	0001 <sub>16</sub> 00 <sub>16</sub>	(40) タイマY	0027 <sub>16</sub> FF <sub>16</sub>
(3) ポートP1	0002 <sub>16</sub> 00 <sub>16</sub>	(41) タイマZ下位	0028 <sub>16</sub> FF <sub>16</sub>
(4) ポートP1方向レジスタ	0003 <sub>16</sub> 00 <sub>16</sub>	(42) タイマZ上位	0029 <sub>16</sub> FF <sub>16</sub>
(5) ポートP2	0004 <sub>16</sub> 00 <sub>16</sub>	(43) タイマZモードレジスタ	002A <sub>16</sub> 00 <sub>16</sub>
(6) ポートP2方向レジスタ	0005 <sub>16</sub> 00 <sub>16</sub>	(44) PWM制御レジスタ	002B <sub>16</sub> 00 <sub>16</sub>
(7) ポートP3	0006 <sub>16</sub> 00 <sub>16</sub>	(45) PWMプリスケアラ	002C <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>
(8) ポートP3方向レジスタ	0007 <sub>16</sub> 00 <sub>16</sub>	(46) PWMレジスタ	002D <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>
(9) ポートP4	0008 <sub>16</sub> 00 <sub>16</sub>	(47) ボーレートジェネレータ3	002F <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>
(10) ポートP4方向レジスタ	0009 <sub>16</sub> 00 <sub>16</sub>	(48) 送信/受信バッファレジスタ3	0030 <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>
(11) ポートP5	000A <sub>16</sub> 00 <sub>16</sub>	(49) シリアル/O3ステータスレジスタ	0031 <sub>16</sub> 10000000
(12) ポートP5方向レジスタ	000B <sub>16</sub> 00 <sub>16</sub>	(50) シリアル/O3制御レジスタ	0032 <sub>16</sub> 00 <sub>16</sub>
(13) ポートP6	000C <sub>16</sub> 00 <sub>16</sub>	(51) UART3制御レジスタ	0033 <sub>16</sub> 11100000
(14) ポートP6方向レジスタ	000D <sub>16</sub> 00 <sub>16</sub>	(52) AD/DA制御レジスタ	0034 <sub>16</sub> 00001000
(15) タイマ12,Xカウントソース選択レジスタ	000E <sub>16</sub> 00110011	(53) AD変換レジスタ1	0035 <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>
(16) タイマY,Zカウントソース選択レジスタ	000F <sub>16</sub> 00110011	(54) DA1変換レジスタ	0036 <sub>16</sub> 00 <sub>16</sub>
(17) MISRG	0010 <sub>16</sub> 00 <sub>16</sub>	(55) DA2変換レジスタ	0037 <sub>16</sub> 00 <sub>16</sub>
(18) I <sup>2</sup> Cデータシフトレジスタ	0011 <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>	(56) AD変換レジスタ2	0038 <sub>16</sub> 000000XX
(19) I <sup>2</sup> Cスペシャルモードステータスレジスタ	0012 <sub>16</sub> 00100000	(57) 割り込み要因選択レジスタ	0039 <sub>16</sub> 00 <sub>16</sub>
(20) I <sup>2</sup> Cステータスレジスタ	0013 <sub>16</sub> 0001000X	(58) 割り込みエッジ選択レジスタ	003A <sub>16</sub> 00 <sub>16</sub>
(21) I <sup>2</sup> Cコントロールレジスタ	0014 <sub>16</sub> 00 <sub>16</sub>	(59) CPUモードレジスタ	003B <sub>16</sub> 01001000
(22) I <sup>2</sup> Cクロックコントロールレジスタ	0015 <sub>16</sub> 00 <sub>16</sub>	(60) 割り込み要求レジスタ1	003C <sub>16</sub> 00 <sub>16</sub>
(23) I <sup>2</sup> Cスタート/ストップ コンディション制御レジスタ	0016 <sub>16</sub> 00011010	(61) 割り込み要求レジスタ2	003D <sub>16</sub> 00 <sub>16</sub>
(24) I <sup>2</sup> Cスペシャルモード制御レジスタ	0017 <sub>16</sub> 00 <sub>16</sub>	(62) 割り込み制御レジスタ1	003E <sub>16</sub> 00 <sub>16</sub>
(25) 送信/受信バッファレジスタ1	0018 <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>	(63) 割り込み制御レジスタ2	003F <sub>16</sub> 00 <sub>16</sub>
(26) シリアル/O1ステータスレジスタ	0019 <sub>16</sub> 10000000	(64) フラッシュメモリ制御レジスタ0	0FE0 <sub>16</sub> 01 <sub>16</sub>
(27) シリアル/O1制御レジスタ	001A <sub>16</sub> 00 <sub>16</sub>	(65) フラッシュメモリ制御レジスタ1	0FE1 <sub>16</sub> 40 <sub>16</sub>
(28) UART1制御レジスタ	001B <sub>16</sub> 11100000	(66) フラッシュメモリ制御レジスタ2	0FE2 <sub>16</sub> 45 <sub>16</sub>
(29) ボーレートジェネレータ1	001C <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>	(67) ポートP0ブルアップ制御レジスタ	0FF0 <sub>16</sub> 00 <sub>16</sub>
(30) シリアル/O2制御レジスタ	001D <sub>16</sub> 00 <sub>16</sub>	(68) ポートP1ブルアップ制御レジスタ	0FF1 <sub>16</sub> 00 <sub>16</sub>
(31) ウォッチドッグタイマ制御レジスタ	001E <sub>16</sub> 00111111	(69) ポートP2ブルアップ制御レジスタ	0FF2 <sub>16</sub> 00 <sub>16</sub>
(32) シリアル/O2レジスタ	001F <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>	(70) ポートP3ブルアップ制御レジスタ	0FF3 <sub>16</sub> 00 <sub>16</sub>
(33) プリスケアラ12	0020 <sub>16</sub> FF <sub>16</sub>	(71) ポートP4ブルアップ制御レジスタ	0FF4 <sub>16</sub> 00 <sub>16</sub>
(34) タイマ1	0021 <sub>16</sub> 01 <sub>16</sub>	(72) ポートP5ブルアップ制御レジスタ	0FF5 <sub>16</sub> 00 <sub>16</sub>
(35) タイマ2	0022 <sub>16</sub> FF <sub>16</sub>	(73) ポートP6ブルアップ制御レジスタ	0FF6 <sub>16</sub> 00 <sub>16</sub>
(36) タイマXYモードレジスタ	0023 <sub>16</sub> 00 <sub>16</sub>	(74) I <sup>2</sup> Cスレーブアドレスレジスタ0	0FF7 <sub>16</sub> 00 <sub>16</sub>
(37) プリスケアラX	0024 <sub>16</sub> FF <sub>16</sub>	(75) I <sup>2</sup> Cスレーブアドレスレジスタ1	0FF8 <sub>16</sub> 00 <sub>16</sub>
(38) タイマX	0025 <sub>16</sub> FF <sub>16</sub>	(76) I <sup>2</sup> Cスレーブアドレスレジスタ2	0FF9 <sub>16</sub> 00 <sub>16</sub>
		(77) プロセッサステータスレジスタ	(PS) XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub> XX <sub>16</sub>
		(78) プログラムカウンタ	(PC <sub>H</sub> ) FFFD <sub>16</sub> 番地の内容
			(PC <sub>L</sub> ) FFFC <sub>16</sub> 番地の内容

注 . x : 不定です。  
上記以外のレジスタ及びRAMの内容はリセット時には不定ですので、初期値をセットしてください。

図72. リセット時の内部状態

### クロック発生回路

2つの内部発振回路を内蔵しています。XINとXOUT又はXCINとXCOUTの間に共振子を接続することにより発振回路を形成することができます。容量などの定数は、共振子によって異なりますので共振子メーカーの推奨値をご使用ください。

XIN - XOUT端子間には帰還抵抗を内蔵しています(条件によって帰還抵抗の外付けが必要になることがあります)。XCIN - XCOUT間には抵抗は内蔵されていないので外部に帰還抵抗をつけてください。

電源投入直後はXIN側の発振回路のみが発振を開始し、XCIN、XCOUT端子は入出力ポートとして機能します。

### ●周波数制御

#### (1) 中速モード

XIN端子に加わった周波数の8分周したものが内部クロックとなります。リセット解除後はこのモードになります。

#### (2) 高速モード

XIN端子に加わった周波数の2分周したものが内部クロックの周波数になります。

#### (3) 低速モード

XCIN端子に加わった周波数の2分周したものが内部クロックになります。

#### (4) 低消費電力モード

低速モード時には、CPUモードレジスタのメインクロック(XIN - XOUT)停止ビット(b5)を'1'にすることによりメインクロックXINを停止させて、低消費電力動作が実現できます。この場合、メインクロックXIN発振再開時はメインクロック(XIN - XOUT)停止ビットを'0'にした後、発振が安定するまでの待ち時間をプログラムで生成する必要があります。

### ●発振制御

#### (1) ストップモード

STP命令を実行すると内部クロックが' H 'の状態では停止し、XIN及びXCINの発振が停止します。このとき、STP命令解除後の発振安定時間設定ビット(001016番地のビット0)が' 0 'の時、プリスケアラ12には' FF16 '、タイマ1には' 0116 'が設定されます。一方、STP命令解除後発振安定時間設定ビットが' 1 'のときは、プリスケアラ12、タイマ1には何も設定されませんのでご使用になる発振子の発振安定時間にあった待ち時間を設定してください。

STP命令解除後のプリスケアラ12の入力には、STP命令実行時に設定されていたカウントソースが接続され、タイマ1にはプリスケアラ12の出力が接続されます。

STP命令実行前に、タイマ1の割り込み許可ビットを禁止状態(' 0 ')に設定してください。

発振は外部割り込みが受け付けられると再開しますが、内部クロックは、タイマ1がアンダフローするまで' H 'のままです。タイマ1がアンダフローしてはじめて内部クロックが供給されます。そのため、STP命令によって発振が停止する以前にタイマ1割り込み要求ビットが' 1 'に設定されないようにしてください。

リセットによって発振を再開させた場合は、待ち時間が生成されませんので、発振が安定するまでの期間RESET端子に' L 'レベルを印加してください。

STP命令実行時は、消費電流低減のために、内部電源回路を低消費電力モードに切り替えています。STP命令からの復帰時には、内部電源回路を通常モードに切り替えますが、フラッシュメモリへの電源供給が開始されてフラッシュメモリが動作可能になるまでに一定の時間を要するので、タイマ1を使用したSTP命令解除後発振安定時間設定機能にて、100  $\mu$ s以上の待ち時間を設定してください。

#### (2) ウェイトモード

WIT命令を実行すると、内部クロックが' H 'の状態では停止しますが、発振器は停止しません。割り込みを受け付けると内部クロックの停止を解除します。発振器は停止していませんので直ちに命令を実行できます。

#### 注意事項

- ・中/高速モードと低速モード間の移行を行う場合はXIN側、XCIN側ともに発振が安定している必要があります。特に、XCIN側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(XIN) > 3 \cdot f(XCIN)$ である必要があります。
- ・16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。

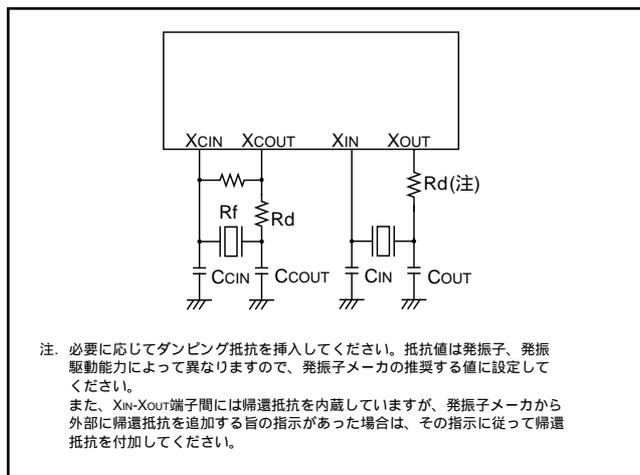


図73. セラミック共振子外付け回路

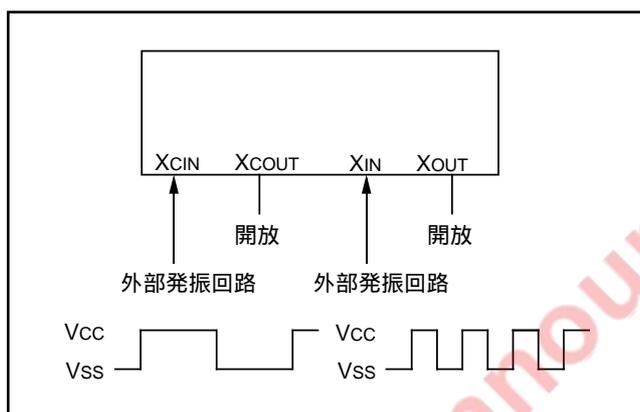


図74. 外部クロック入力回路

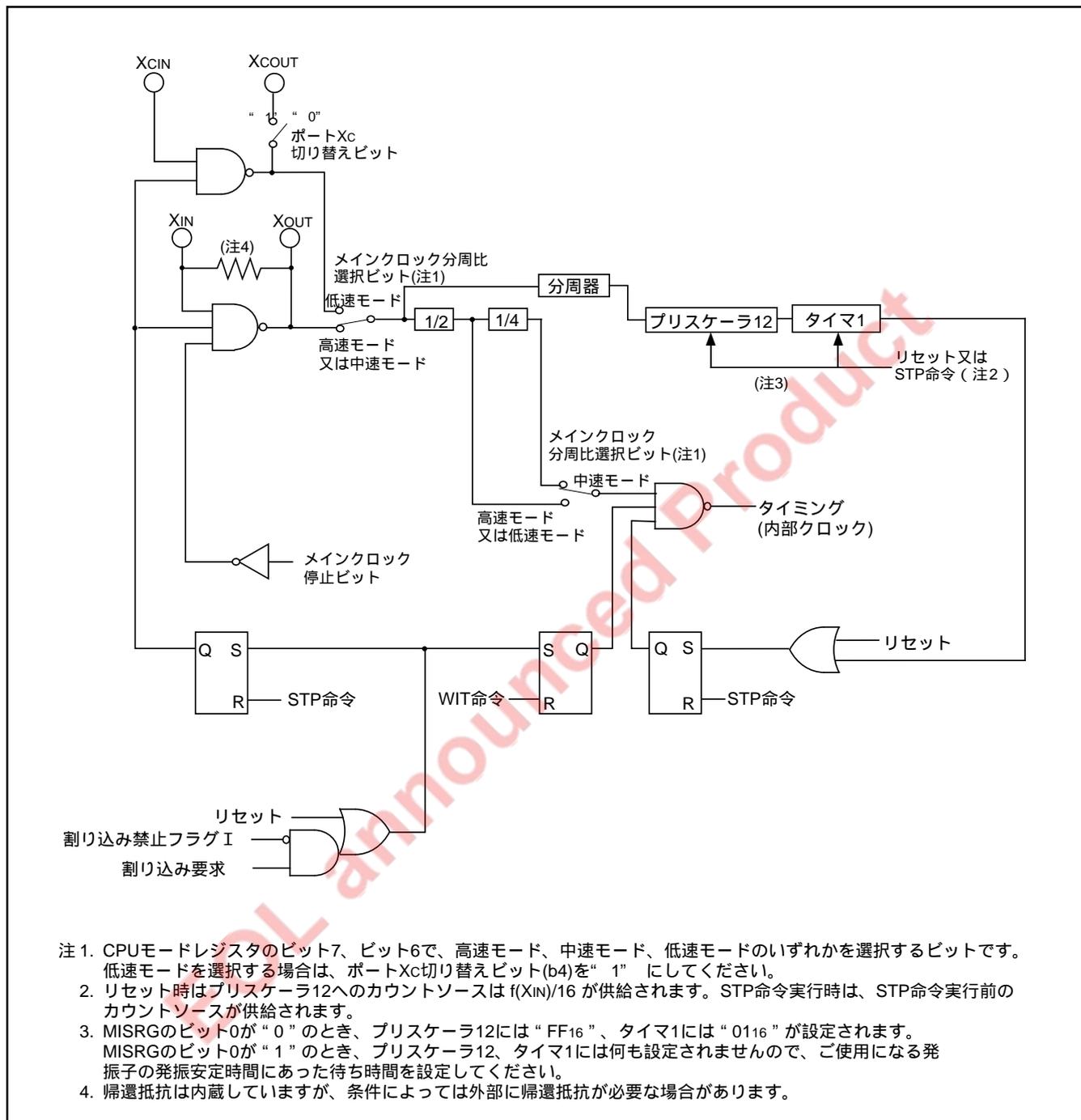


図75. システムクロック発生回路ブロック図

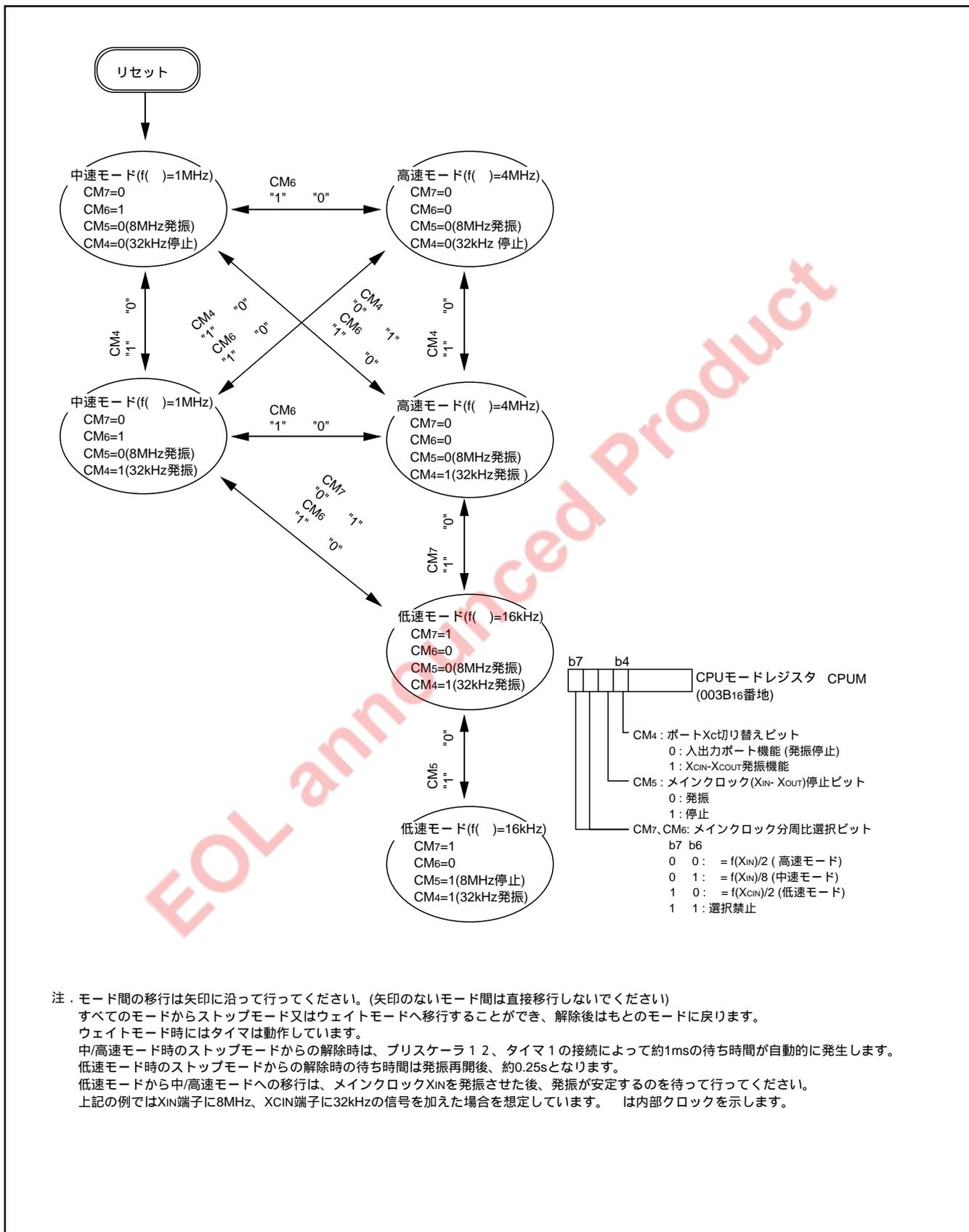


図76. システムクロックの状態遷移図

## フラッシュメモリモード

3804グループ(H仕様)は、単一電源で書き換えが可能なフラッシュメモリを内蔵しています。このフラッシュメモリに対して、リード、プログラム、イレーズなどの操作を行うためのフラッシュメモリモードとして、ライターを用いてフラッシュメモリの操作を行うパラレル入出力モード、標準シリアル入出力モード、及び中央演算処理装置(CPU)でフラッシュメモリを操作するCPU書き換えモードの3種類を用意しています。各モードについては次ページ以降で説明します。

図77に示すようにフラッシュメモリは、いくつかのブロックに分かれており、各ブロックごとにイレーズを行うことが

できます。

また、内蔵するフラッシュメモリには、通常のマイコン動作の制御プログラムを格納するユーザROM領域に加えて、CPU書き換えモード及び標準シリアル入出力モードでの書き換え制御プログラムを格納するためのブートROM領域があります。このブートROM領域には、出荷時に標準シリアル入出力モードの制御プログラムが書き込まれますが、ユーザ側で、システムに適合した書き換え制御プログラムを書き込むことも可能です。このブートROM領域は、パラレル入出力モードでのみ書き換えが可能です。

## 性能概要

表13に3804グループ(H仕様)の性能概要を示します。

表13. 3804グループ(H仕様)の性能概要

項目	性能
電源電圧	V <sub>CC</sub> = 2.7 ~ 5.5V
プログラム/イレーズ電圧	V <sub>CC</sub> = 2.7 ~ 5.5V
フラッシュメモリモード	3モード(パラレル入出力、標準シリアル入出力、CPU書き換え)
消去ブロック分割	ユーザROM領域/データROM領域
	ブートROM領域(注)
	図77を参照してください。
	分割なし(4Kバイト)
プログラム方式	バイト単位
イレーズ方式	ブロック消去
プログラム/イレーズ制御方式	ソフトウェアコマンドによるプログラム/イレーズ制御
コマンド数	5コマンド
プログラム/イレーズ回数	100
ROMコードプロテクト	パラレル入出力モード/標準シリアル入出力モード対応

注. ブートROM領域には出荷時に標準シリアル入出力モードの制御プログラムが格納されています。この領域は、パラレル入出力モードでのみ消去、書き込みが可能です。

### ブートモード

CPU書き換えモードの制御プログラムは、あらかじめパラレル入出力モードで、ユーザROM領域又はブートROM領域に書き込んでください。(ブートROM領域に書き込みを行った場合には、標準シリアル入出力モードは使用できなくなります。)

ブートROM領域は、図77に示すとおりです。

CNV<sub>SS</sub>端子を“L”としてリセットを解除した場合には、通常のマイコンモードとなり、CPUはユーザROM領域の制御プログラムを使用して動作します。

P45/TxD1端子が“H”、CNV<sub>SS</sub>端子が“H”の状態でのリセットを解除した場合には、ブートROM領域の制御プログラムで動作を開始(プログラムのスタート番地はFFFC<sub>16</sub>、FFFD<sub>16</sub>番地に格納)します。このモードをブートモードと呼びます。ブートROM領域上の制御プログラムでも、ユーザROM領域の書き換えを行うことができます。

### ブロックアドレス

ブロックアドレスとは、各ブロックの最大のアドレスです。このアドレスは、ブロックイレーズコマンドで使用します。

### CPU書き換えモード

CPU書き換えモードは、中央演算処理装置(CPU)の制御により、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)を行うモードです。

CPU書き換えモードでは、図77に示すユーザROM領域のみ書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域と各ブロック領域に対してのみ行ってください。

CPU書き換えモードの制御プログラムは、ユーザROM領域、ブートROM領域のどちらに格納しておいても構いません。CPU書き換えモードでは、CPUからフラッシュメモリの読み出しが行えませんので、書き換え制御プログラムは、内蔵RAMに転送後、RAM上で実行してください。

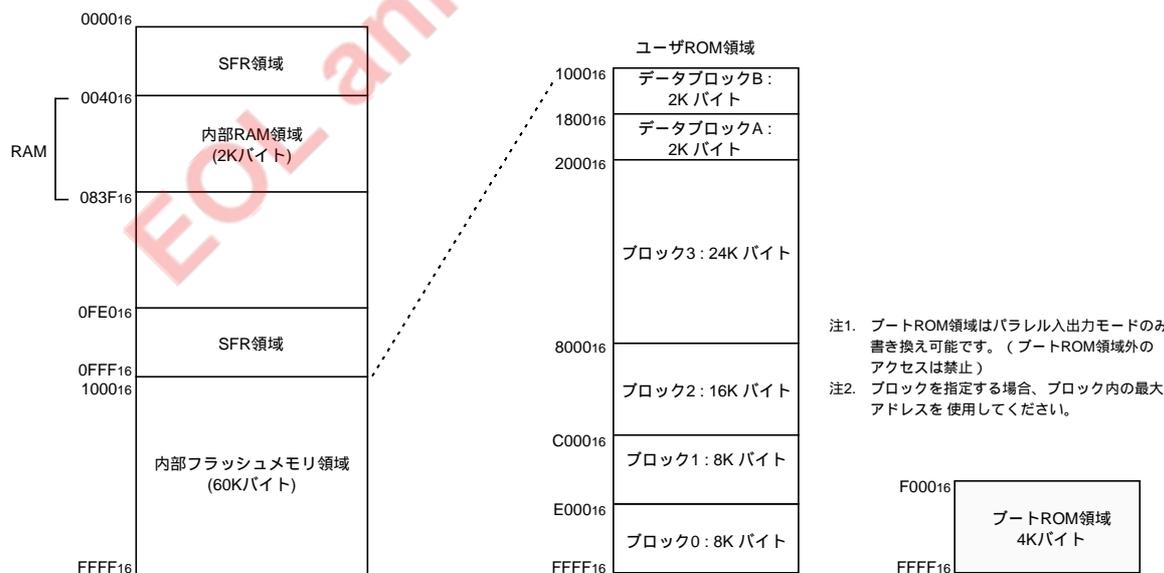


図77. 内蔵フラッシュメモリのブロック図

## 機能概要

CPU書き換えモードは、シングルチップモード、及びブートモードで実行可能で、ユーザROM領域のみの書き換えを行います。

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、内蔵するフラッシュメモリに対し、イレーズ、プログラム、リード等の操作を行います。この制御プログラムは、あらかじめRAMに転送後、RAM上で実行してください。

CPU書き換えモードへは、CPU書き換えモード選択ビット(0FE016番地のビット1)に“1”を書き込むことにより移行し、ソフトウェアコマンドの受付が可能となります。

プログラム又はイレーズの正常/エラー終了等の状態はステータスレジスタを読み出すことでチェックできます。

図78にフラッシュメモリ制御レジスタ0を示します。ビット0はRY/BYステータスフラグで、フラッシュメモリの動作状況を示す読み出し専用のビットです。プログラム、イレーズ動作中には0(ビジー)、これ以外のときには1(レディ)となります。

ビット1はCPU書き換えモード選択ビットです。このビットに“1”を設定することにより、CPU書き換えモードになり、ソフトウェアコマンドの受付が可能になります。CPU書き換えモードでは、CPUが内蔵フラッシュメモリを直接アクセスすることができなくなります。したがって、このビット1への書き込みはRAM上に転送した制御プログラムで行ってください。このビット1に“1”を設定するには、ビット1への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット2は8KBユーザブロックE/W許可ビットで、フラッシュメモリ制御レジスタ2(0FE216番地)のビット4(全ユーザブロックE/W許可ビット)との設定組み合わせによって、表14のようにCPU書き換えモード時にユーザブロックに対してE/Wが禁止されます。

ビット3は、フラッシュメモリリセットビットで、内蔵フラッシュメモリの制御回路をリセットするためのビットです。フラッシュメモリのアクセスが異常になった場合に使用します。CPU書き換えモード選択ビットが“1”の状態、このビット3に“1”を書き込むと、リセットが実行されます。リセットを解除するには、次に“0”を書き込む必要があります。

ビット5はユーザROM領域選択ビットで、ブートモード時のみ有効なビットです。“1”をセットすることでユーザROM領域にアクセスすることが可能となり、CPU書き換えが行えます。このビットの操作はRAM上のプログラムで行う必要があります。

ビット6はプログラムステータスフラグで、フラッシュメモリへの書き込みが異常終了した場合に“1”になります。プログラムエラーが発生した場合、そのブロックは使用できません。

ビット7はイレーズステータスフラグで、フラッシュメモリの消去が異常終了した場合に“1”になります。イレーズエラーが発生した場合、そのブロックは使用できません。

図79にフラッシュメモリ制御レジスタ1を示します。

ビット0はイレーズサスペンド許可ビットです。このビットに“1”を設定することにより、ブロックイレーズコマンドの実行時にイレーズ処理を一時中断するイレーズサスペンドモードが使用できます。このビットに“1”を設定するには、ビット0への“0”書き込み、“1”書き込みを連続して行う必要があります。“0”設定は、“0”書き込みだけで行えます。

ビット1はイレーズサスペンド要求ビットです。イレーズサスペンド許可ビットが“1”の状態、このビットに“1”を書き込むとイレーズ処理を中断します。

ビット6はイレーズサスペンドフラグで、フラッシュのイレーズを行っているときに“0”となります。

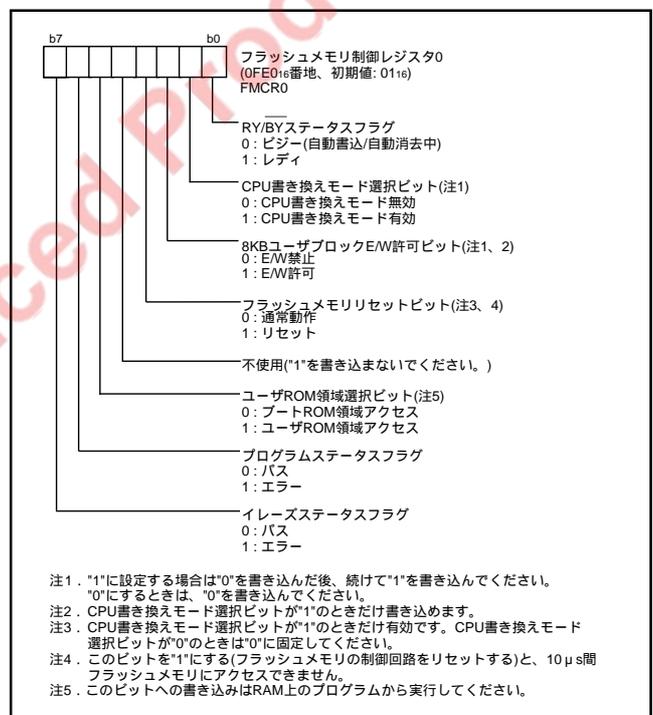


図78. フラッシュメモリ制御レジスタ0の構成

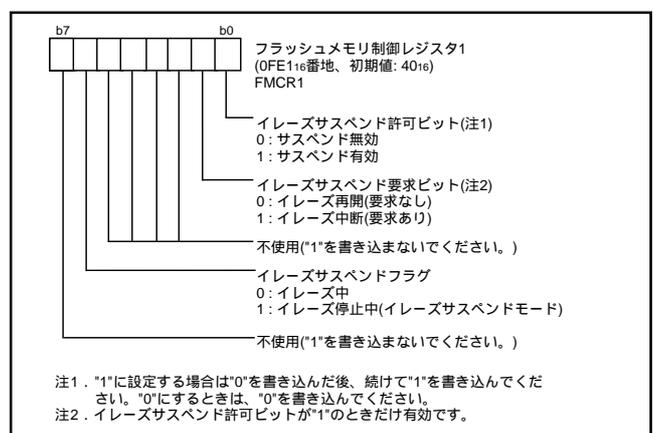


図79. フラッシュメモリ制御レジスタ1の構成

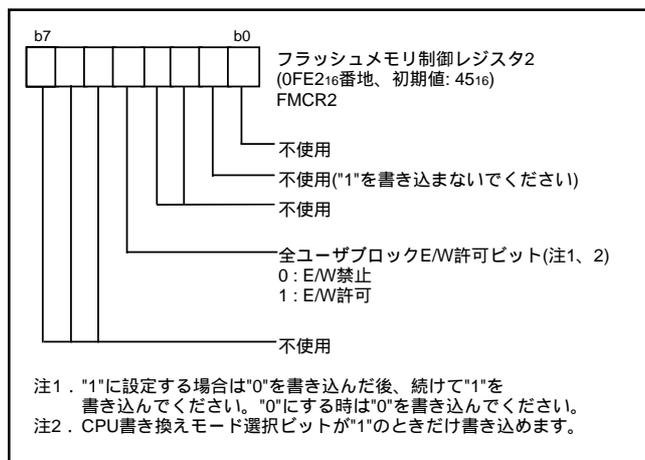


図80. フラッシュメモリ制御レジスタ2の構成

表14 .E/W禁止機能の状態

全ユーザブロックE/W許可ビット	8KBユーザブロックE/W許可ビット	8KBX2ブロック C00016 ~ FFFF16	16KB+24KBブロック 200016 ~ BFFF16	データブロック 100016 ~ 1FFF16
0	0	E/W禁止	E/W禁止	E/W許可
0	1	E/W禁止	E/W禁止	E/W許可
1	0	E/W禁止	E/W許可	E/W許可
1	1	E/W許可	E/W許可	E/W許可

図81にCPU書き換えモードの設定/解除フローチャートを示します。必ずこのフローチャートに従って操作してください。

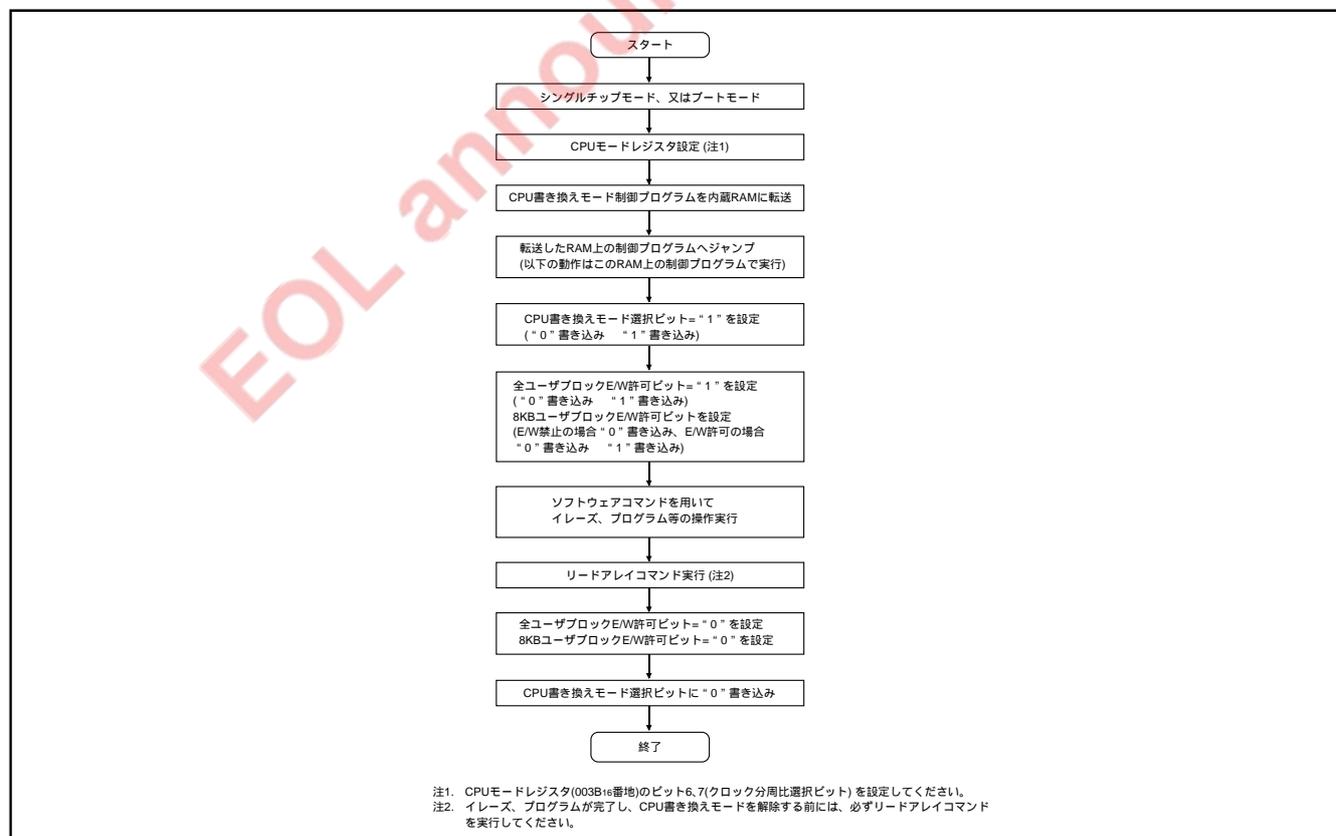


図81. CPU書き換えモードの設定/解除フローチャート

#### CPU書き換えモードの注意事項

CPU書き換えモードを使用してフラッシュメモリを書き換える場合、以下の注意事項があります。

##### (1)動作速度

CPU書き換えモード中は、クロック分周比選択ビット(003B<sub>16</sub>番地のビット6,7)によって、システムクロックが4.0MHz以下になるように設定してください。

##### (2)使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

##### (3)割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

##### (4)ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

##### (5)リセット

常に受け付けます。リセット解除時、CNV<sub>SS</sub> = Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC<sub>16</sub>、FFFD<sub>16</sub>番地に格納されたアドレスからプログラムがスタートします。

## ソフトウェアコマンド

表15にソフトウェアコマンドの一覧表を示します。

CPU書き換えモード選択ビットに“1”を設定した後、ソフトウェアコマンドを実行することにより、イレーズ、プログラム等を指定します。

以下に各ソフトウェアコマンドの内容を説明します。

・リードアレイコマンド(FF<sub>16</sub>)

第1バスサイクルでコマンドコード“FF<sub>16</sub>”をライトするとリードアレイモードになります。次のバスサイクル以降で読み出しを行うアドレスを入力すると、指定したアドレスの内容がデータバス(D<sub>0</sub>~D<sub>7</sub>)へ読み出されます。

リードアレイモードは、他のコマンドがライトされるまで保持されます。

・リードステータスレジスタコマンド(70<sub>16</sub>)

第1バスサイクルでコマンドコード“70<sub>16</sub>”をライトすると、第2バスサイクルのリードでステータスレジスタの内容がデータバス(D<sub>0</sub>~D<sub>7</sub>)へ読み出されます。

ステータスレジスタは、次の節で説明します。

・クリアステータスレジスタコマンド(50<sub>16</sub>)

ステータスレジスタのエラー終了を示すビット(SR<sub>4</sub>、SR<sub>5</sub>)がセットされた後、これらをクリアするためのコマンドです。第1バスサイクルでコマンドコード“50<sub>16</sub>”をライトします。

・プログラムコマンド(40<sub>16</sub>)

第1バスサイクルでコマンドコード“40<sub>16</sub>”をライトするとプログラムモードとなります。続く第2バスサイクルでプログラムするアドレスとデータをライトするとプログラム動作(データのプログラムとベリファイ)を開始します。

プログラム終了はリードステータスレジスタ、又はRY/BYステータスフラグのリードによって確認できます。プログラム開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容がデータバス(D<sub>0</sub>~D<sub>7</sub>)へ読

み出されます。ステータスレジスタのビット7(SR<sub>7</sub>)はプログラム開始とともに“0”となり、終了とともに“1”に戻ります。リードステータスレジスタモードは、次にリードアレイコマンド(“FF<sub>16</sub>”)をライトするまで継続されます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、プログラム期間中は“0”、終了後は“1”となります。プログラム終了後、ステータスレジスタを読み出すことによりプログラムの結果を知ることができます。

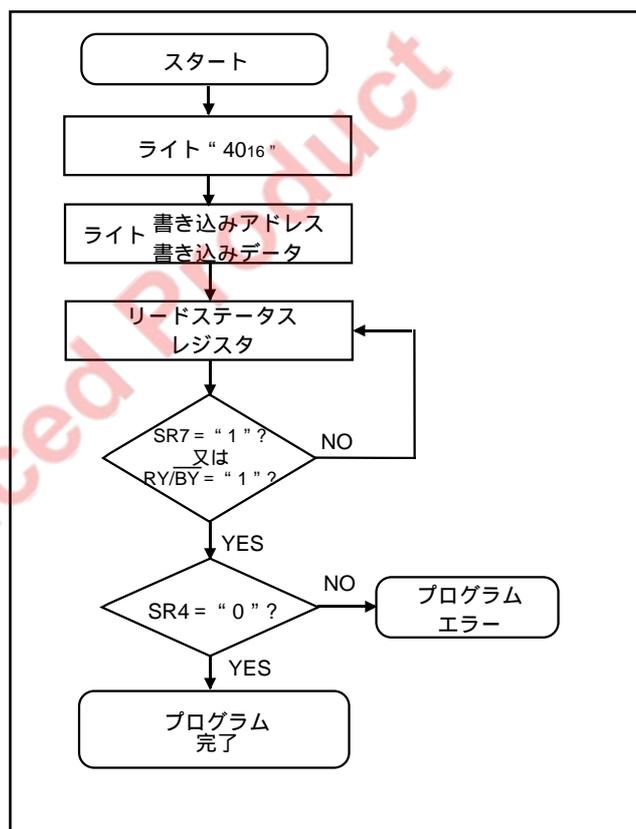


図82. プログラムフローチャート

表15. ソフトウェアコマンド一覧表(CPU書き換えモード)

コマンド	サイクル数	第1バスサイクル			第2バスサイクル		
		モード	アドレス	データ (D <sub>0</sub> ~D <sub>7</sub> )	モード	アドレス	データ (D <sub>0</sub> ~D <sub>7</sub> )
リードアレイ	1	ライト	X (注4)	FF <sub>16</sub>			
リードステータスレジスタ	2	ライト	X	70 <sub>16</sub>	リード	X	SRD (注1)
クリアステータスレジスタ	1	ライト	X	50 <sub>16</sub>			
プログラム	2	ライト	X	40 <sub>16</sub>	ライト	WA (注2)	WD (注2)
ブロックイレーズ	2	ライト	X	20 <sub>16</sub>	ライト	BA (注3)	D0 <sub>16</sub>

注1. SRD=ステータスレジスタデータ

注2. WA=ライトアドレス, WD=ライトデータ

注3. BA=消去ブロックアドレス(各ブロックの最大のアドレスを入力してください。)

注4. XはユーザROM領域内の任意のアドレス

・ブロックイレーズ(20<sub>16</sub>/D0<sub>16</sub>)

第1バスサイクルでコマンドコード“ 20<sub>16</sub> ”、続く第2バスサイクルで確認コマンドコード“ D0<sub>16</sub> ”とブロックアドレスをライトすると指定したブロックに対しブロックイレーズ動作(イレーズとイレーズベリファイ)を開始します。

ブロックイレーズの終了は、リードステータスレジスタ、又はRY/BYステータスフラグのリードによって確認できます。ブロックイレーズ開始とともに自動的にリードステータスレジスタモードとなり、ステータスレジスタの内容を読み出すことができます。ステータスレジスタのビット7(SR7)はブロックイレーズの開始とともに“ 0 ”となり、終了とともに“ 1 ”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンド(FF<sub>16</sub>)をライトするまで続きます。

RY/BYステータスフラグは、ステータスレジスタのビット7と同じく、イレーズ期間中は“ 0 ”、終了後は“ 1 ”となります。

ブロックイレーズ終了後、ステータスレジスタを読み出すことにより、ブロックイレーズの結果を知ることができます。詳しくはステータスレジスタの節を参照してください。

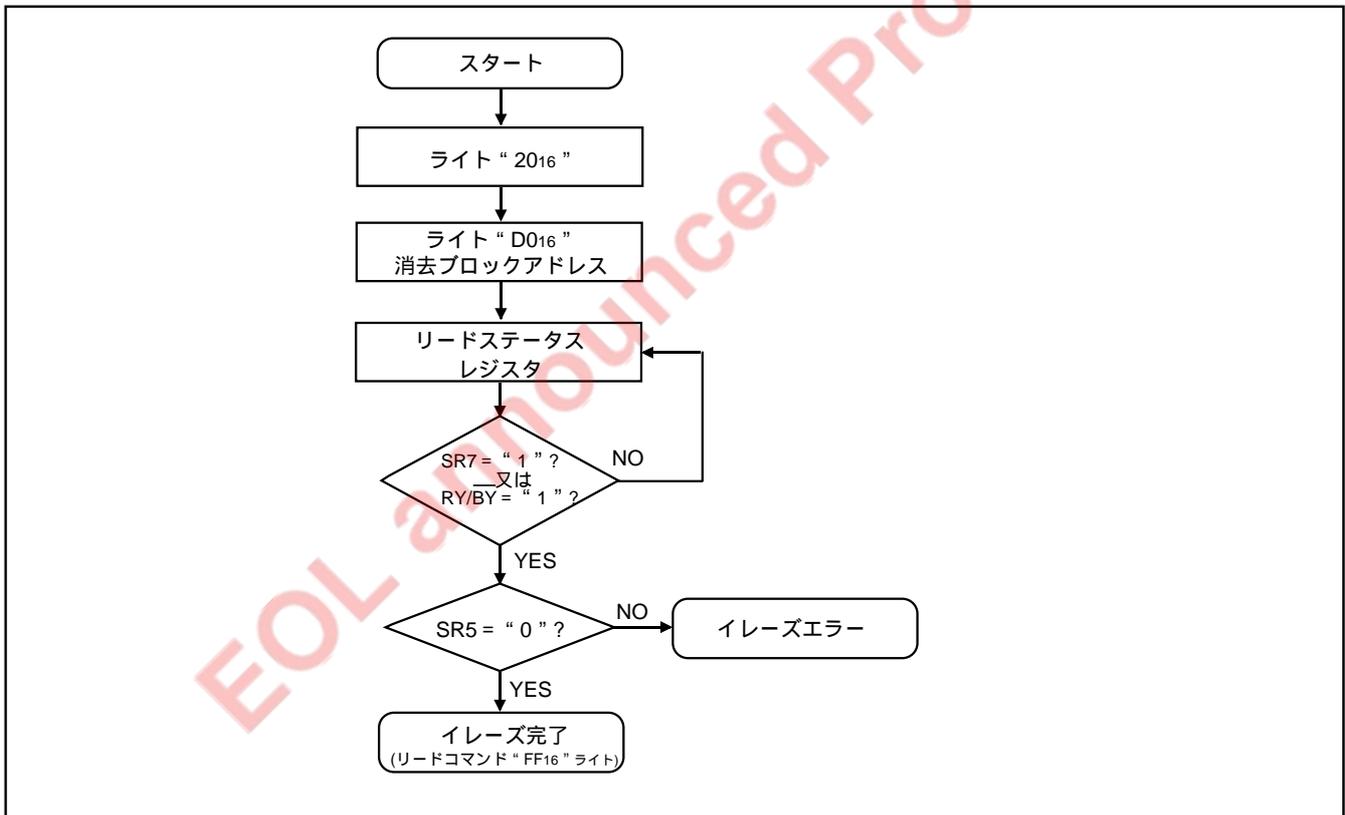


図83. イレーズフローチャート

## ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常/エラー終了等の状態を示すレジスタで、以下の条件のとき読み出すことができます。

- (1)リードステータスレジスタコマンド(70<sub>16</sub>)をライトした後、ユーザROM領域内の任意のアドレスを読み出したとき
- (2)プログラム開始又はイレーズ開始から、リードアレコマンド(FF<sub>16</sub>)入力までの期間、ユーザROM領域の任意のアドレスを読み出したとき

また、ステータスレジスタは次の条件でクリアされます。

- (1)クリアステータスレジスタコマンド(50<sub>16</sub>)をライトしたとき
- 表16にステータスレジスタの各ビットの定義を示します。  
リセット解除後、ステータスレジスタは、“80<sub>16</sub>”になります。

## ・シーケンサステータス(SR7)

シーケンサステータスはフラッシュメモリの動作状況を示すもので、電源投入時は“1”(レディ)にセットされます。プログラムやイレーズの動作中は“0”(ビジー)にセットされますが、これらの動作終了とともに“1”にセットされます。

## ・イレーズステータス(SR5)

イレーズステータスはイレーズの動作状況を知らせるもので、イレーズエラーが発生すると“1”にセットされます。  
イレーズステータスはクリアされると“0”になります。

## ・プログラムステータス(SR4)

プログラムステータスはプログラムの動作状況を知らせるもので、プログラムエラーが発生すると“1”にセットされます。  
プログラムステータスはクリアされると“0”になります。

SR5、SR4のいずれかが“1”にセットされている状態では、リードアレコマンド、プログラムコマンド、ブロックイレーズコマンドは受け付けられません。これらのコマンドを実行する前にクリアステータスレジスタコマンドを実行し、ステータスレジスタをクリアする必要があります。

また、コマンドが正しく入力されなかった場合、SR5、SR4の両方が“1”にセットされます。

表16. ステータスレジスタの各ビットの定義

SRDの 各ビット	ステータス名	定義	
		“1”	“0”
SR7 (bit7)	シーケンサステータス	レディ	ビジー
SR6 (bit6)	リザーブ	-	-
SR5 (bit5)	イレーズステータス	エラー終了	正常終了
SR4 (bit4)	プログラムステータス	エラー終了	正常終了
SR3 (bit3)	リザーブ	-	-
SR2 (bit2)	リザーブ	-	-
SR1 (bit1)	リザーブ	-	-
SR0 (bit0)	リザーブ	-	-

## フルステータスチェック

フルステータスチェックを行うことにより、イレーズ、プログラムの実行結果を知ることができます。

図84にフルステータスチェックフローチャート及び各エラー発生時の対処方法を示します。

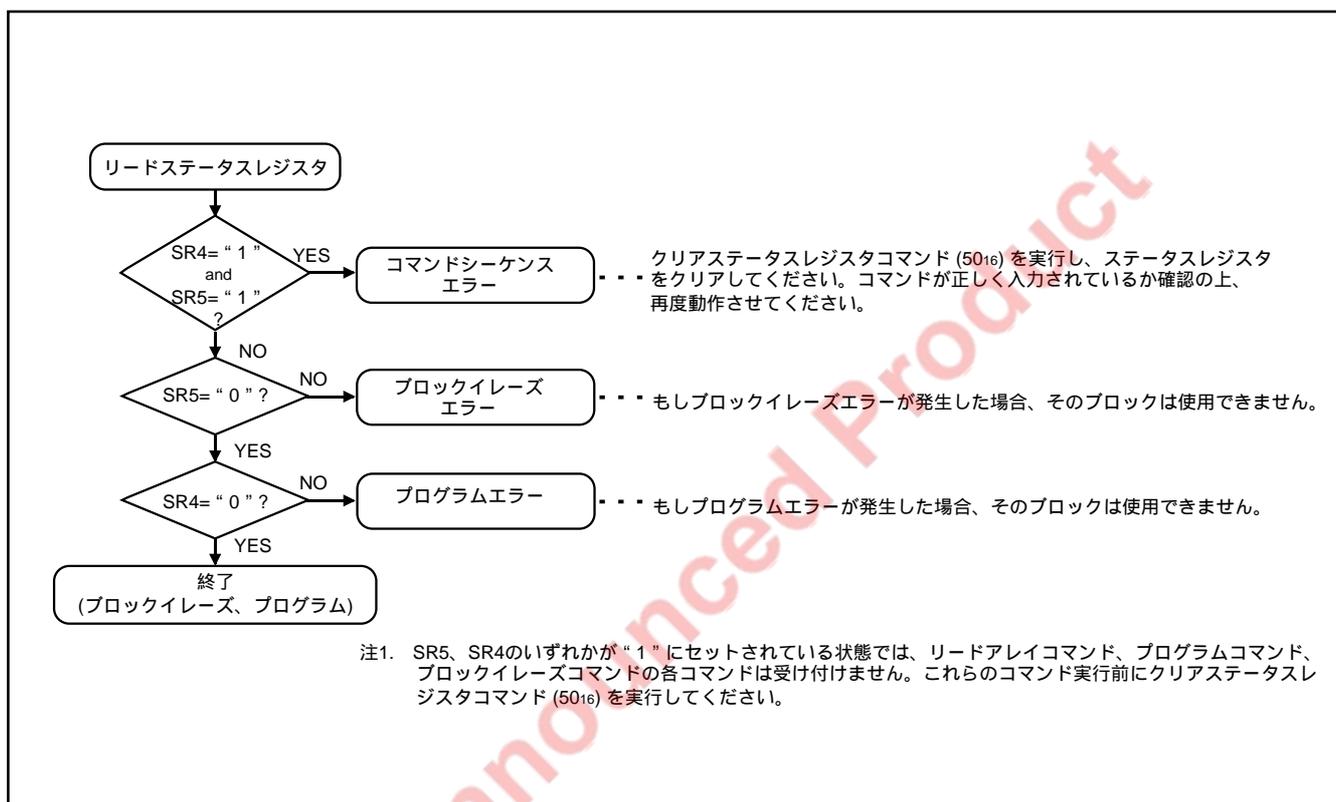


図84. フルステータスチェックフローチャート及び各エラー発生時の対処方法

### 内蔵フラッシュメモリ書き換え禁止機能

内蔵フラッシュメモリの内容の読み出し又は書き換えを容易に行えないように、パラレル入出力モードではROMコードプロテクト機能、標準シリアル入出力モードでは、IDコードチェック機能を内蔵しています。

#### ・ROMコードプロテクト機能

ROMコードプロテクトは、パラレル入出力モード使用時、ROMコードプロテクト制御番地(FFDB16番地)によって、内蔵フラッシュメモリの内容の読み出し又は書き換えを禁止する機能です。ROMコードプロテクト制御番地(FFDB16番地)の構成を図85に示します。(この番地は、ユーザROM領域に存在します。)

2ビットで構成されるROMコードプロテクトビットのうち、どちらか一方に“0”を設定すると、ROMコードプロテクトが設定され、内蔵フラッシュメモリの内容の読み出し又は書き換えを禁止します。ROMコードプロテクトにはレベル1とレベル2の2つのレベルがあり、レベル2を選択すると出荷検査用LSIテスト等による読み出しも不可能になります。レベル1とレベル2の両方を選択した場合、レベル2が選択されます。

ROMコードプロテクト解除ビットに“00”を設定すると、ROMコードプロテクトが解除となり、内蔵フラッシュメモリの内容の読み出し又は書き換えが可能になります。一度ROMコードプロテクトを設定すると、パラレル入出力モードでは、ROMコードプロテクト解除ビットの内容を変更できません。ROMコードプロテクト解除ビットの内容は、シリアル入出力モードなど、他のモードで書き換えてください。

書き換えの際にはROMコードプロテクト制御番地(FFDB16番地)を含むユーザROM領域(ブロック0)全体を書き換えてください。ROMコードプロテクト制御番地(FFDB16番地)だけの書き換えはできません。

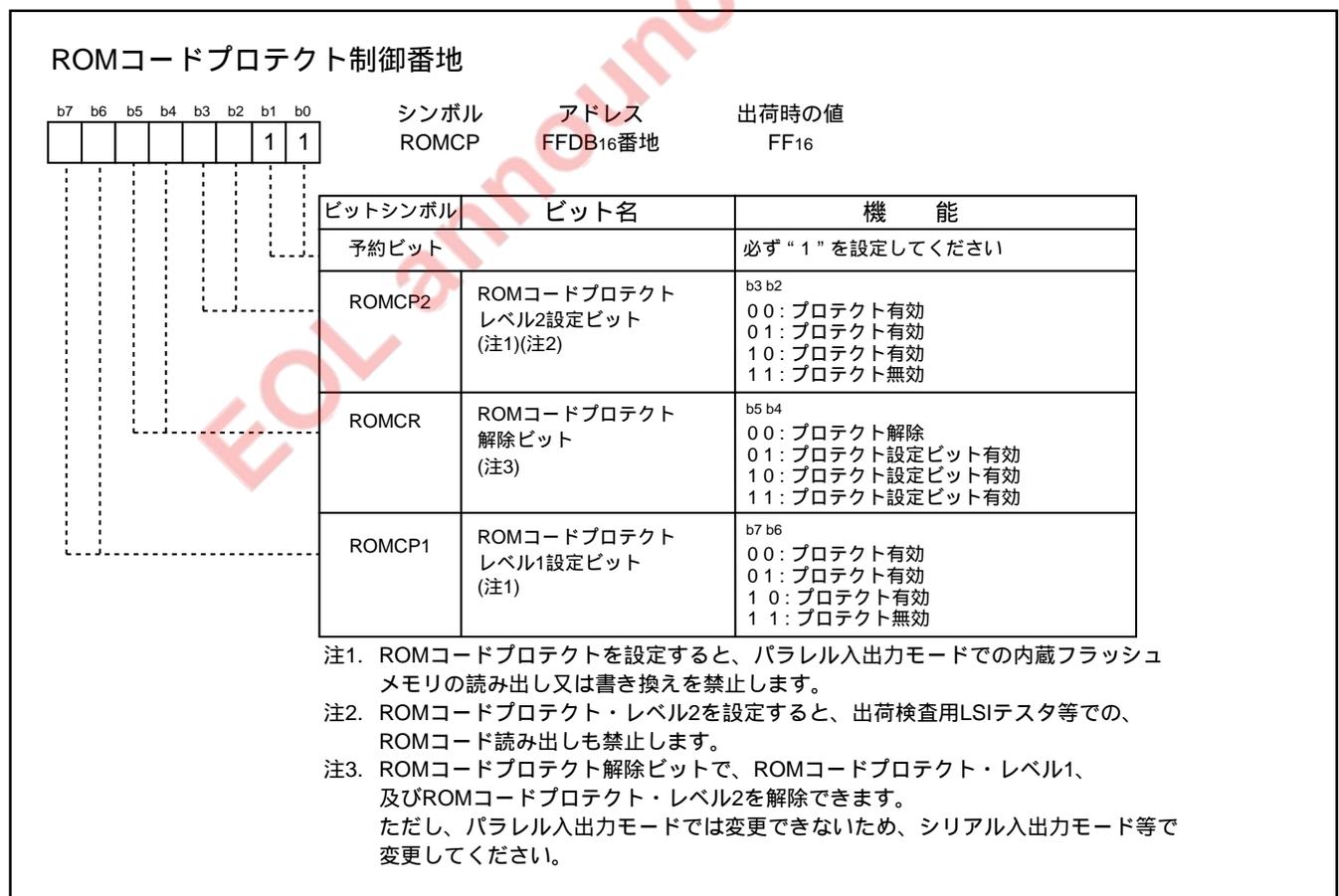


図85. ROMコードプロテクト制御番地の構成

## ・IDコードチェック機能

IDコードチェックは、標準シリアル入出力モード使用時、フラッシュメモリの内容がブランクではない場合に、シリアルライターから送られてくるIDコードとフラッシュメモリに書き込まれているIDコードが一致しているかを判定する機能です。コードが一致しなければ、シリアルライターから送られてくるコマンドは受け付けません。IDコードは各8ビットのデータで、FFD4<sub>16</sub> ~ FFDA<sub>16</sub>番地に割り付けられています。これらの番地に予めIDコードを設定したプログラムを、フラッシュメモリに書き込んでください。

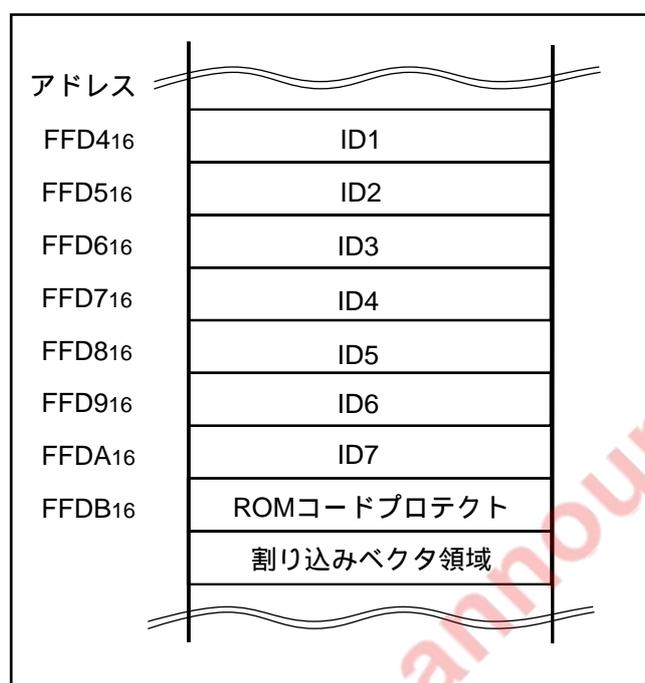


図86. IDコードの格納アドレス

### パラレル入出力モード

パラレル入出力モードは、内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

3804グループ(H仕様)をサポートしている専用の外部装置(ライター)を使用してください。使用方法の詳細は各ライタメカの取り扱い説明書を参照してください。

#### ・ユーザROM領域とブートROM領域

パラレル入出力モードでは、図77に示すユーザROM領域及びブートROM領域の書き換えを行うことができます。フラッシュメモリの操作方法は両領域とも同じです。

ブートROM領域は、4Kバイトで、F000<sub>16</sub> ~ FFFF<sub>16</sub> 番地に配置されています。プログラム、ブロックイレーズは必ずこの範囲内に対してのみ行ってください(この範囲外へのアクセスは禁止)。

ブートROM領域のイレーズブロックは4Kバイト単位の1ブロックのみです。ブートROM領域は、出荷時に標準シリアル入出力モードの制御ソフトウェアが書き込まれます。したがって、標準シリアル入出力モードで使用される場合には、ブートROM領域の書き込みは必要ありません。

EOL announced Product

#### 標準シリアル入出力モード

標準シリアル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをシリアルに入出力するモードで、専用のシリアルライタを使用します。

標準シリアル入出力モードはパラレル入出力モードと異なり、CPUがフラッシュメモリの書き換え(CPU書き換えモード使用)と書き換えデータのシリアル入力等の制御を行います。標準シリアル入出力モードはP45(BOOTENT)端子が $\text{H}$ 、CNVss端子が $\text{H}$ の状態でのリセットを解除することで起動します。(通常のマイコンモードでは、CNVssは $\text{L}$ に設定してください。)

この制御プログラムは出荷時にブートROM領域に書き込まれています。したがって、パラレル入出力モードでブートROM領域を書き換えた場合には、標準シリアル入出力モードは使用できなくなりますので注意してください。標準シリアル入出力モードには、クロック同期形シリアルの標準シリアル入出力モード1とクロック非同期形シリアルの標準シリアル入出力モード2があります。表17, 18に標準シリアル入出力モード時の端子の機能説明を、図87~90に標準シリアル入出力モード時の端子結線図を示します。

標準シリアル入出力モードでは、図77に示すユーザROM領域のみ書き換えが可能で、ブートROM領域は書き換えできません。

標準シリアル入出力モードは、7バイトのIDコードを持っています。フラッシュメモリの内容がブランクでない場合、ライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードが一致するかを判定します。IDコードの内容が一致しなければライタから送られてくるコマンドを受け付けません。

表17. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード1)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccには2.7V~5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”にしてください。
RESET	リセット入力	入力	リセット入力端子です。XINの16サイクル以上“L”レベルに保つとリセット状態になります。
XIN	クロック入力	入力	XIN端子, XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00~P07, P10~P17 P20~P27, P30~P37 P40~P43, P50~P57 P60~P67	入出力ポート	入出力	“H”を入力、“L”を入力、又は開放してください。
P44	RxD 入力	入力	シリアルデータの入力端子です。
P45	TxD 出力	出力	シリアルデータの出力端子です。
P46	SCLK 入力	入力	シリアルクロックの入力端子です。
P47	BUSY 出力	出力	BUSY信号の出力端子です。

表18. 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
Vcc, Vss	電源入力	入力	Vccには2.7V~5.5Vを、Vssには0Vを印加してください。
CNVss	CNVss	入力	ポートの入力設定を行った後、“H”にしてください。
RESET	リセット入力	入力	リセット入力端子です。XINの16サイクル以上“L”レベルに保つとリセット状態になります。
XIN	クロック入力	入力	XIN端子, XOUT端子には発振回路を接続してください。接続方法については「クロック発生回路」を参照してください。
XOUT	クロック出力	出力	
AVss	アナログ電源入力		Vssに接続してください。
VREF	基準電圧入力	入力	A/Dコンバータの基準電圧を入力してください。
P00~P07, P10~P17 P20~P27, P30~P37 P40~P43, P50~P57 P60~P67	入出力ポート	入出力	“H”を入力、“L”を入力、又は開放してください。
P44	RxD 入力	入力	シリアルデータの入力端子です。
P45	TxD 出力	出力	シリアルデータの出力端子です。
P46	SCLK 入力	入力	“L”を入力してください。
P47	BUSY 出力	出力	BUSY信号の出力端子です。

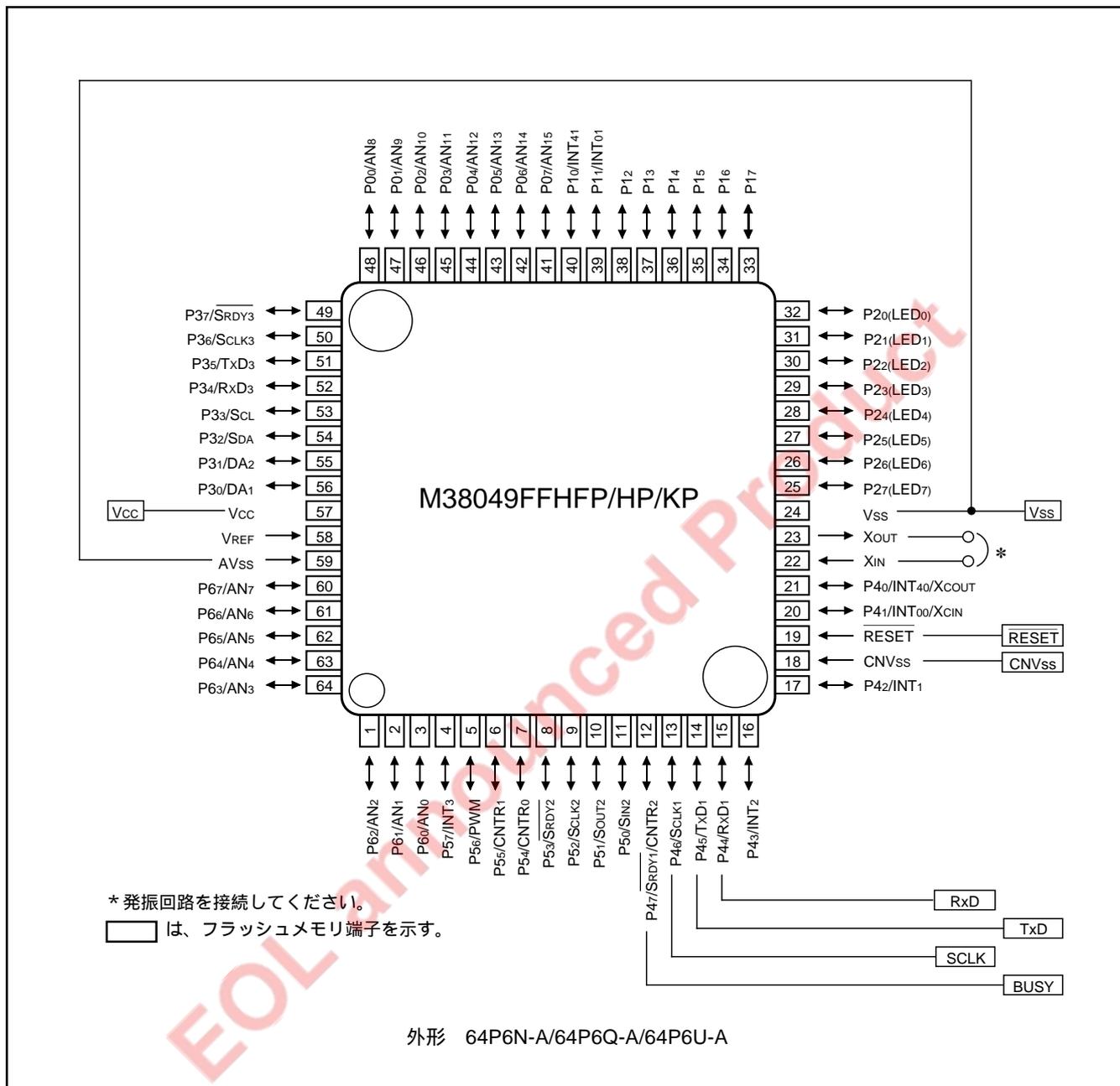


図87. 標準シリアル入出力モード1時の端子結線図 (M38049FFHFP/HP/KP)

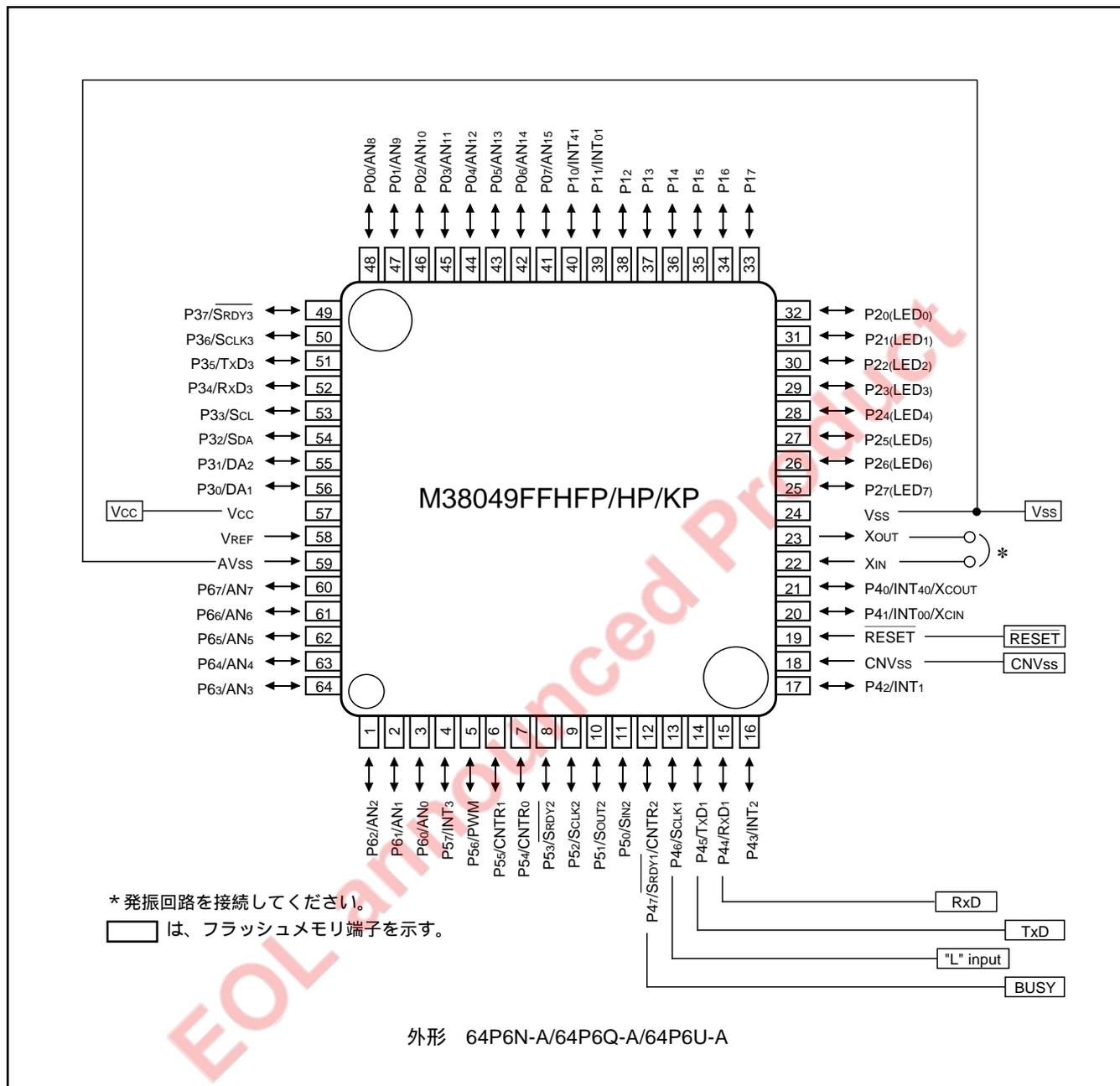


図88. 標準シリアル入出力モード2時の端子結線図 (M38049FFHFP/HP/KP)

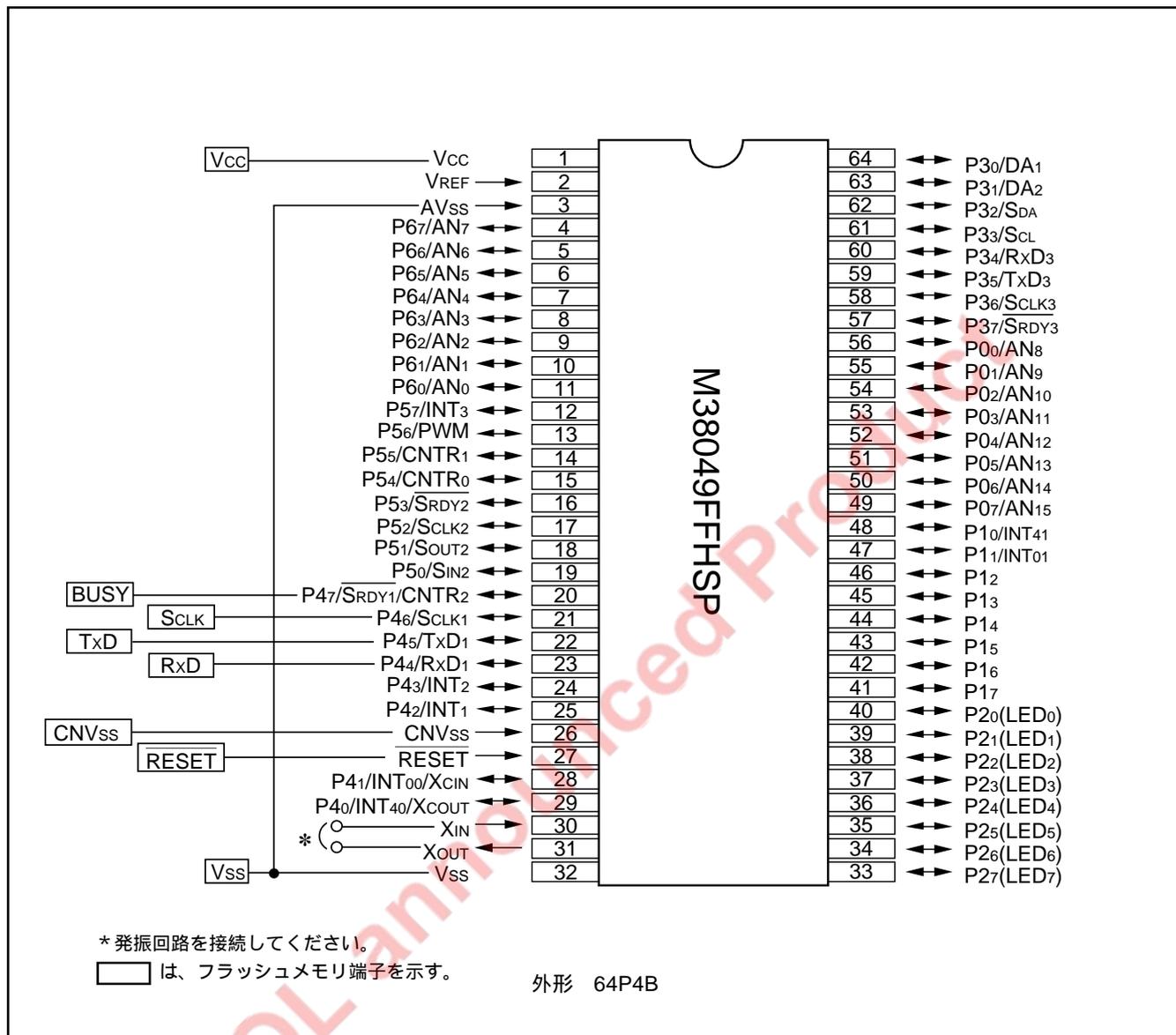


図89. 標準シリアル入出力モード1時の端子結線図 (M38049FFHSP)

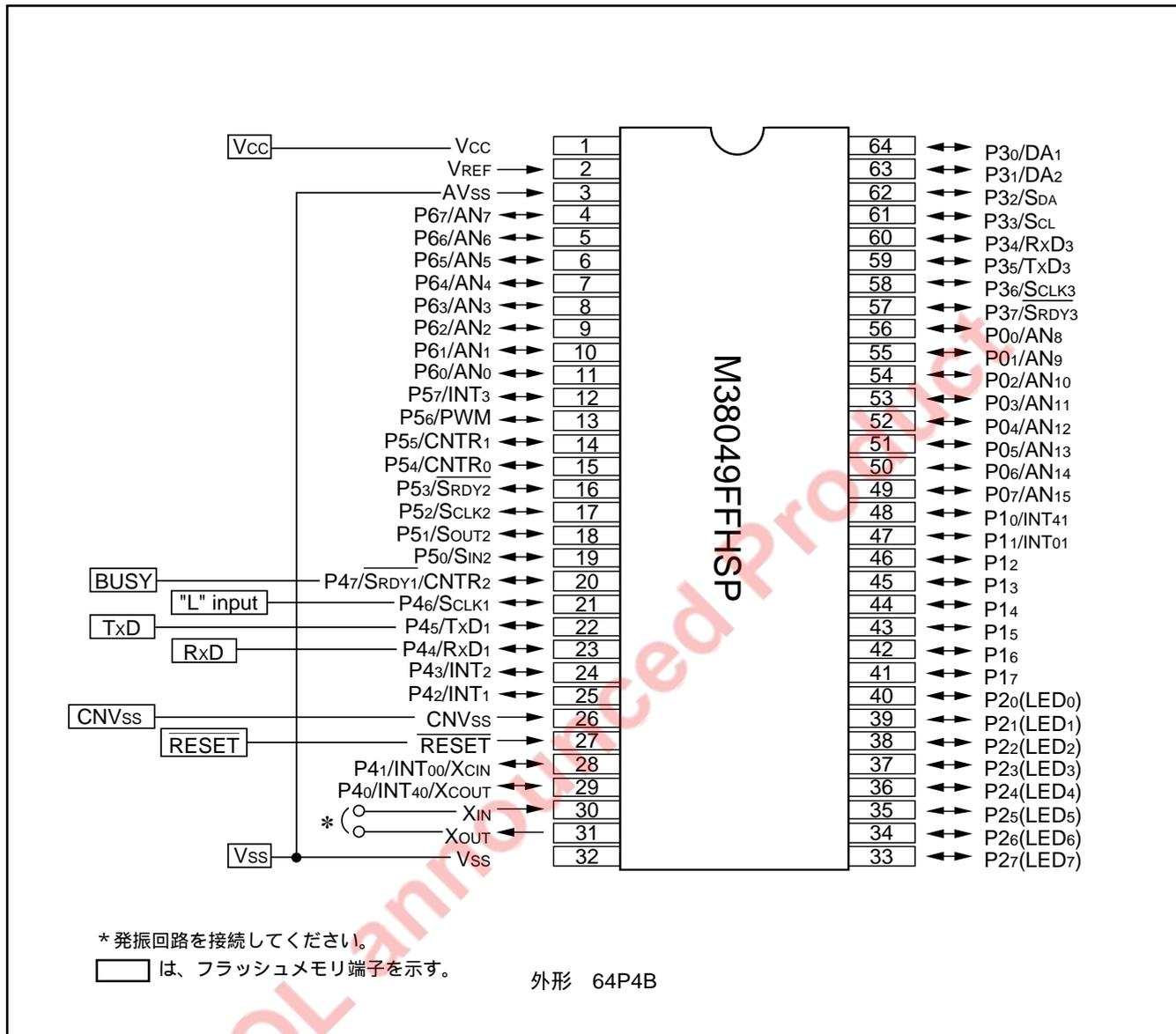


図90. 標準シリアル入出力モード2時の端子結線図(M38049FFHSP)

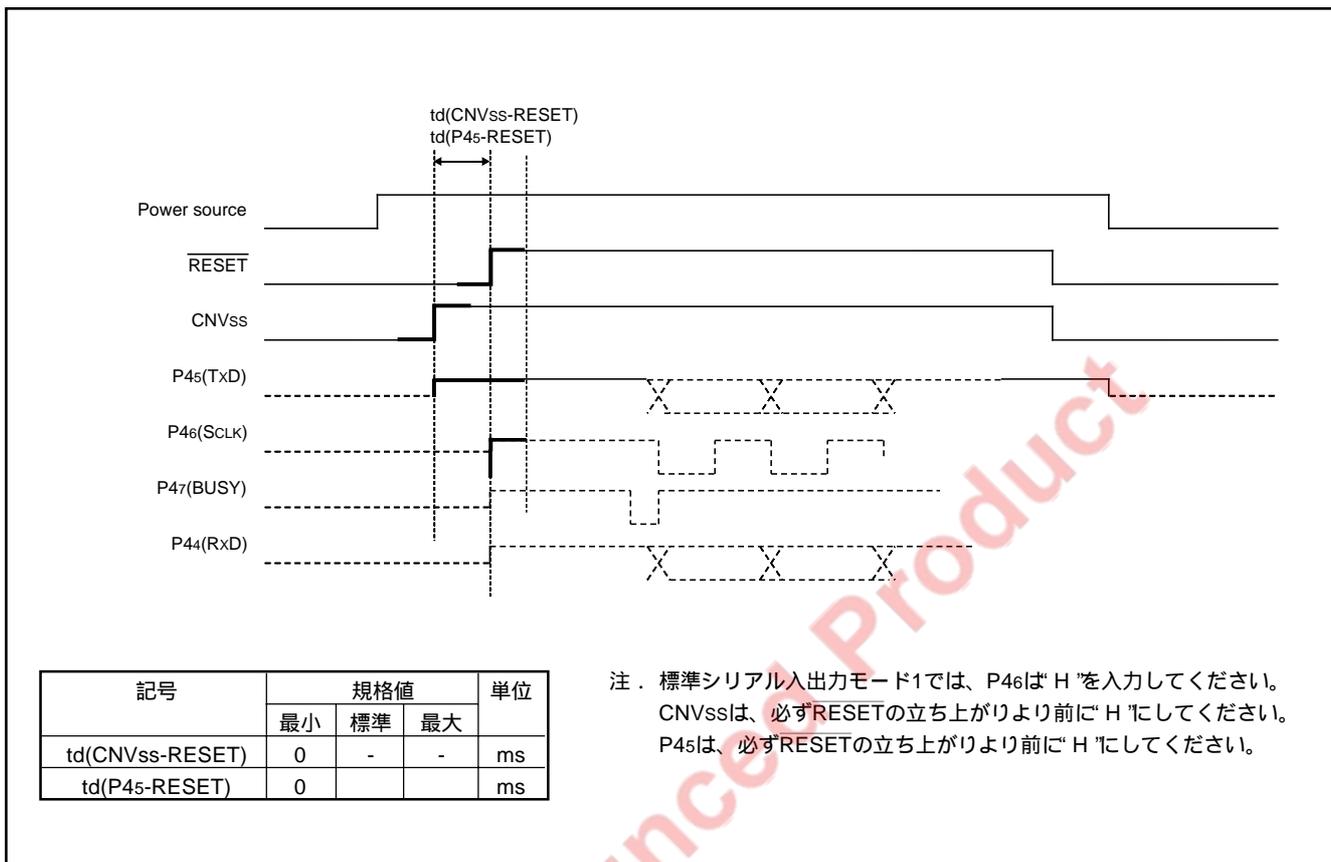


図91. 標準シリアル入出力モード1時の動作波形図

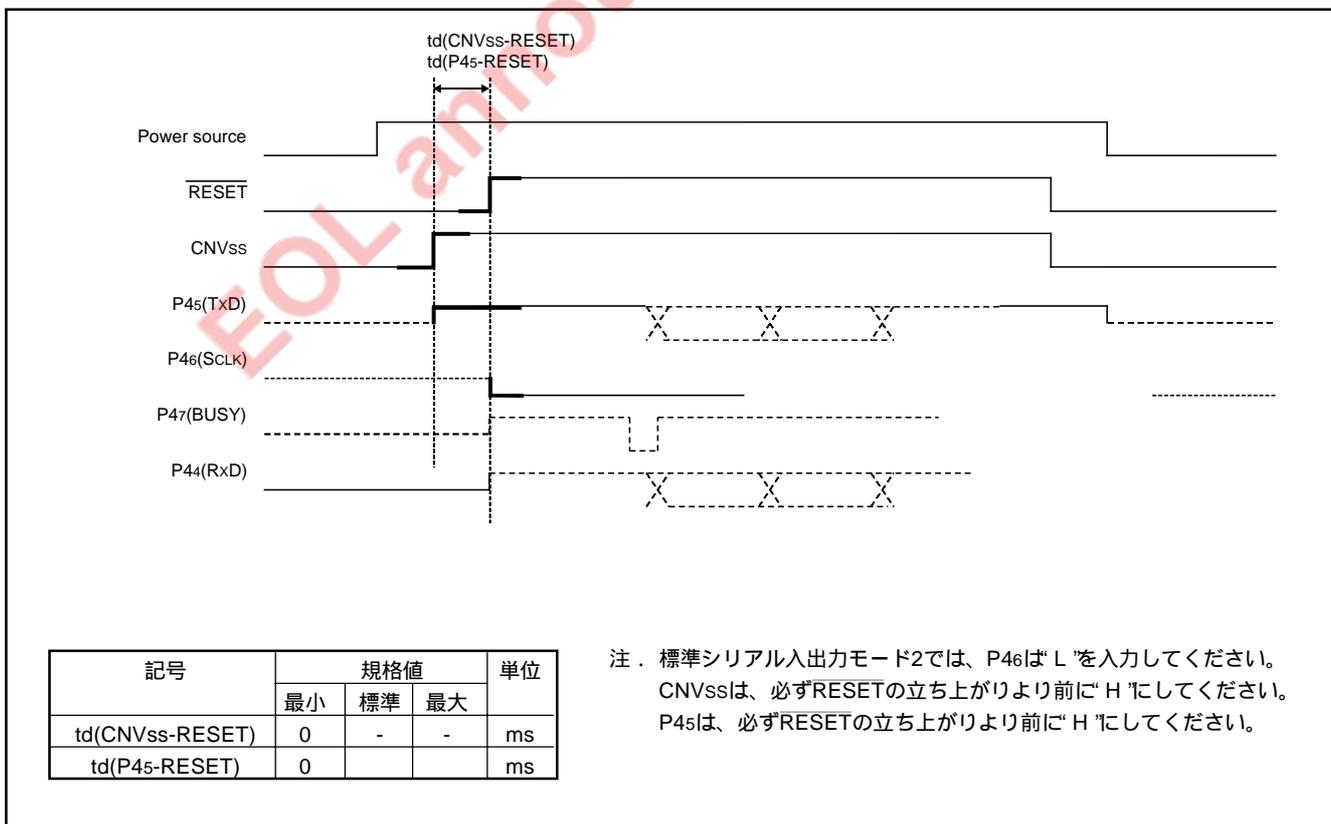


図92. 標準シリアル入出力モード2時の動作波形図

## プログラミング上の注意事項

## プロセッサステータスレジスタに関するもの

プロセッサステータスレジスタ(PS)は割り込み禁止フラグが $1$ であることを除いて、リセット直後は不定です。このため、プログラムの実行に影響を与えるフラグの初期化が必要です。

特に、演算そのものに影響を与えるTフラグ、Dフラグについては初期化が必須となります。

## 割り込みに関するもの

割り込み要求ビットの内容をプログラムで変更した直後に、BBC、BBS命令を実行しても、変更前の内容に対して実行されるので、変更後の内容に対して実行するためには、1命令以上後に行ってください。

## 10進演算に関するもの

- ・10進演算を行う場合は、10進モードフラグDを $1$ に設定して、ADC命令またはSBC命令を実行しますが、その場合、SEC命令、CLC命令またはCLD命令はADC命令またはSBC命令から1命令以上後に行ってください。
- ・10進モードでは、N(ネガティブ)、V(オーバーフロー)、Z(ゼロ)フラグが無効となります。

## タイマに関するもの

タイマラッチに値 $n$ ( $0 \sim 255$ )を書き込んだ場合の分周比は、 $1(n+1)$ です。

## 乗除算命令に関するもの

- ・MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

## ポートに関するもの

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが $1$ の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

## シリアルインタフェースに関するもの

クロック同期形シリアルI/Oにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}$ 出力を行う場合、受信許可ビットおよび $\overline{\text{SRDY}}$ 出力許可ビットとともに、送信許可ビットも $1$ に設定してください。

また、シリアルI/O1は、送信終了後、TXD端子が最終ビットをラッチし出力し続けます。シリアルI/O2では、送信終了後、SOUT2端子はハイインピーダンスとなります。

シリアルI/O1(クロック同期形モード)、シリアルI/O3(クロック同期形モード)及びシリアルI/O2において、同期クロックとし外部クロックを選択した場合、転送クロックの入力レベルが $H$ の時に、それぞれ送信バッファレジスタ、シリアルI/O2レジスタへ送信データを書き込んでください。

## A/D変換に関するもの

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は $f(XIN)$  500kHz以上にしてください。

また、A/D変換中はSTP命令を実行しないでください。

## D/A変換に関するもの

D/Aコンバータ精度は $V_{CC}$ が4.0V以下で異なります。D/Aコンバータを使用する場合は $V_{CC}$ を4.0V以上にすることを推奨します。また、D/Aコンバータを使用しない場合、DAi変換レジスタ( $i=1, 2$ )の設定値は、すべて $0016$ にしてください。

## 命令の実行時間に関するもの

命令の実行時間は機械語命令一覧表に記載されているサイクル数に内部クロックの周期をかけることによって得られます。内部クロックの周期は高速モードではXIN周期の2倍です。

## 使用上の注意事項

### 電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 $\mu$ F~0.1 $\mu$ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加してくださいようお願いいたします。

### 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

### フラッシュメモリ版に関する注意事項

CNVss端子はフラッシュメモリモードを決定する端子です。

ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10k $\Omega$ の抵抗を介してVss又はVccに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

### フラッシュメモリ版/マスクROM版の相違点に関する注意事項

フラッシュメモリ版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ放射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

### マスク化発注時の提出資料

マスクROM版のマスク化発注時、次の資料を提出してください。

- ・マスク化確認書\*
- ・マーク指定書\*
- ・ROMのデータ EPROM 3セット又はフロッピーディスク

\* マスク化確認書及びマーク指定書につきましては、ルネサステクノロジホームページROM発注(<http://www.renesas.com/jp/rom>)を参照してください。

## 補足説明

## 割り込み

3804グループ(H仕様)では、16個の要因で割り込みをかけることができます。固定優先度方式のベクトル割り込みですので、同一サンプリング時に2つ以

上の割り込み要求がある場合は、優先順位の高い割り込みから受け付けます。この優先順位は、ハードウェアで決められていますが、割り込み許可ビット、割り込み禁止フラグを用いることによって多様な優先処理をソフトウェアで行うことが可能です。割り込み要因とベクトル番地、割り込み優先順位は表19を参照してください。

表19. 割り込み要因とベクトル番地、割り込みの優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備考
		上位	下位		
リセット(注2)	1	FFFD16	FFFC16	リセット時	ノンマスカブル
INT0	2	FFF816	FFFA16	INT0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ				タイマZアンダフロー時	
INT1	3	FFF916	FFF816	INT1入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/I/O1受信	4	FFF716	FFF616	シリアル/I/O1データ受信終了時	シリアル/I/O1選択時のみ有効
シリアル/I/O1送信				シリアル/I/O1送信シフト終了時又は送信バッファ空き時	
SCL,SDA	5	FFF516	FFF416	SCLまたはSDA立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマX				タイマXアンダフロー時	
タイマY	6	FFF316	FFF216	タイマYアンダフロー時	
タイマ1	7	FFF116	FFF016	タイマ1アンダフロー時	STP解除タイマアンダフロー
タイマ2	8	FFEF16	FFEE16	タイマ2アンダフロー時	
CNTR0	9	FFED16	FFEC16	CNTR0入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
SCL,SDA				SCL又はSDA入力の立ち上がり又は立ち下がりエッジ検出時	
CNTR1	10	FFEB16	FFEA16	CNTR1の入力立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/I/O3受信				シリアル/I/O3データ受信完了時	
シリアル/I/O2	11	FFE916	FFE816	シリアル/I/O2データ送受信終了時	シリアル/I/O2選択時のみ有効
タイマZ				タイマZアンダフロー時	
INT2	12	FFE716	FFE616	INT2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
I <sup>2</sup> C				データ送受信終了時	
INT3	13	FFE516	FFE416	INT3入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT4				INT4入力の立ち上がり又は立ち下がりエッジ検出時	
CNTR2	14	FFE316	FFE216	CNTR2入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A/D変換				A/D変換終了時	
シリアル/I/O3送信	15	FFE116	FFE016	シリアル/I/O3送信シフト終了時又は送信バッファ空き時	シリアル/I/O3選択時のみ有効
BRK命令				BRK命令実行時	
	16	FFDF16	FFDE16		ノンマスカブルソフトウェア割り込み
	17	FFDD16	FFDC16		

注 1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

## 割り込み発生後のタイミング

割り込み処理ルーチンは、現在実行中の命令が終了した後に続くマシンサイクルから始まります。

割り込み発生後のタイミングチャートを図93、割り込み処理ルーチンを実行するまでの時間を図94に示します。

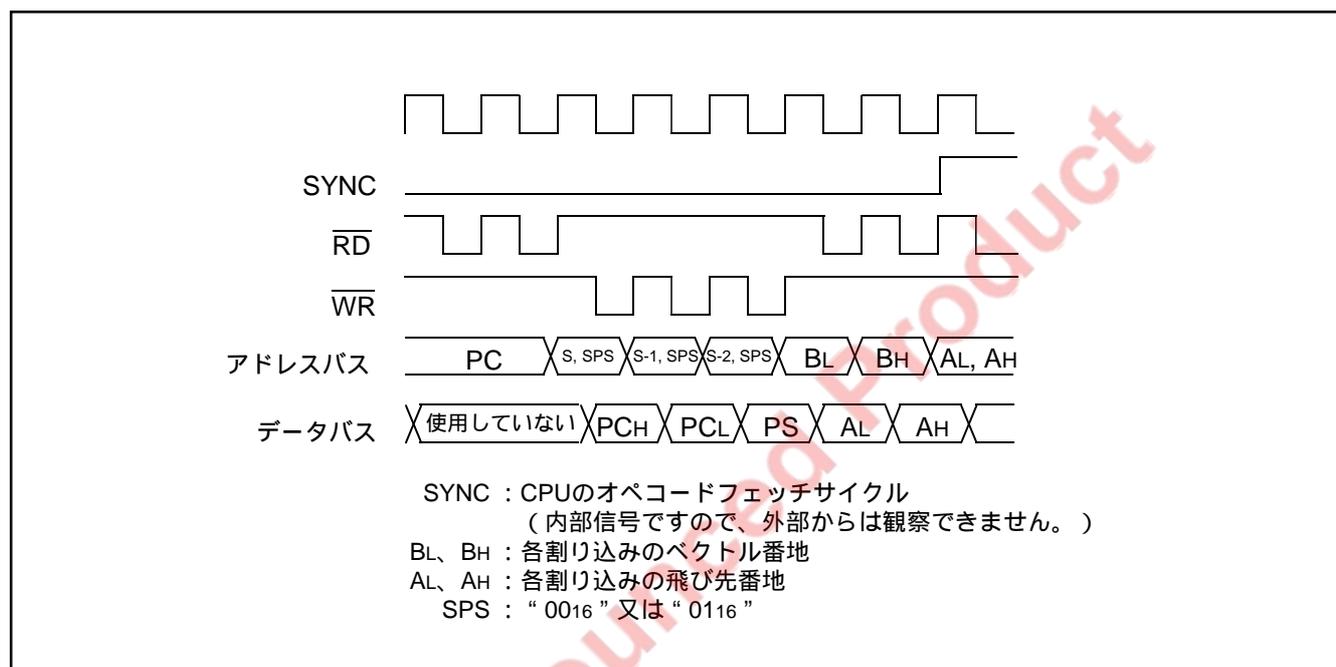


図93．割り込み発生後のタイミングチャート

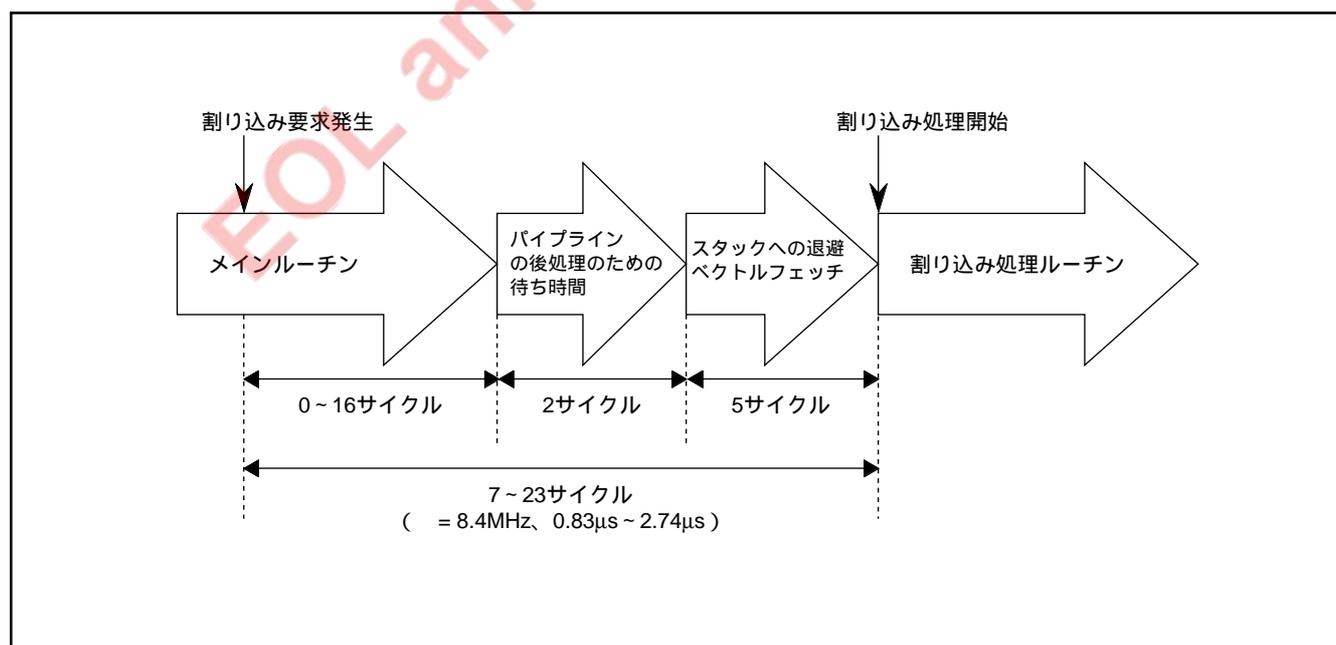


図94．割り込み処理ルーチンを実行するまでの時間

## A/Dコンバータ

A/Dコンバータは、AD変換終了ビットを“0”にすることによって開始されます。

A/D変換中の内部動作を以下に示します。

1. A/D変換が開始されると、AD変換レジスタは“0016”になります。
2. AD変換レジスタの最上位ビットが“1”になり、比較電圧Vrefがコンパレータに入力されます。ここで、Vrefとアナログ入力電圧VINとの比較が行われます。
3. 比較の結果がVref < VINならば、AD変換レジスタの最上位ビットを“1”の状態に保持します。Vref > VINならば最上位ビットを“0”にします。

A/Dコンバータは、以上の動作をAD変換レジスタの最下位ビットまで行うことによって、アナログ値をデジタル値に変換します。A/D変換は開始後、10ビットA/Dモード時は $2t_c(XIN)^*$ の61サイクル( $f(XIN) = 8\text{ MHz}$ のとき、 $15.25\ \mu\text{s}$ )、8ビットA/Dモード時は $2t_c(XIN)$ の50サイクル( $f(XIN) = 8\text{ MHz}$ のとき、 $12.5\ \mu\text{s}$ )で終了し、変換結果がAD変換レジスタに格納されます。A/D変換終了と同時にA/D変換割り込み要求が発生し、AD変換割り込み要求ビットが“1”になります。

\*  $t_c(XIN)$  = メインクロック入力サイクル時間

表20 . VrefとA/Dコンバータの基準電圧VREFの関係式(10ビットA/Dモード時)

n = 0のとき	Vref = 0
n = 1 ~ 1023のとき	$V_{\text{ref}} = \frac{V_{\text{REF}}}{1024} \times n$

n: AD変換レジスタの値(10進表記)

表21 . VrefとA/Dコンバータの基準電圧VREFの関係式(8ビットA/Dモード時)

n = 0のとき	Vref = 0
n = 1 ~ 255のとき	$V_{\text{ref}} = \frac{V_{\text{REF}}}{256} \times (n - 0.5)$

n: AD変換レジスタの値(10進表記)

表22 . A/D変換中のAD変換レジスタの変化(10ビットA/Dモード時)

	AD変換レジスタの変化	比較電圧(Vref)値
変換開始時	0 0 0 0 0 0 0 0 0 0	0
1回目比較	1 0 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2}$
2回目比較	*1 1 0 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4}$
3回目比較	*1 *2 1 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8}$
⋮	⋮	⋮
10回目の比較終了後	A/D変換結果 *1 *2 *3 *4 *5 *6 *7 *8 *9 *10	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \dots \pm \frac{V_{REF}}{1024}$

\*1 ~ \*10: 1 ~ 10回目の比較結果

表23 . A/D変換中のAD変換レジスタの変化(8ビットA/Dモード時)

	AD変換レジスタの変化	比較電圧(Vref)値
変換開始時	0 0 0 0 0 0 0 0	0
1回目比較	1 0 0 0 0 0 0 0	$\frac{V_{REF}}{2} - \frac{V_{REF}}{512}$
2回目比較	*1 1 0 0 0 0 0 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} - \frac{V_{REF}}{512}$
3回目比較	*1 *2 1 0 0 0 0 0	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \frac{V_{REF}}{8} - \frac{V_{REF}}{512}$
⋮	⋮	⋮
8回目の比較終了後	A/D変換結果 *1 *2 *3 *4 *5 *6 *7 *8	$\frac{V_{REF}}{2} \pm \frac{V_{REF}}{4} \pm \dots \pm \frac{V_{REF}}{256} - \frac{V_{REF}}{512}$

\*1 ~ \*8: 1 ~ 8回目の比較結果

A/Dコンバータの等価回路を図95、A/D変換タイミングチャートを図96に示します。

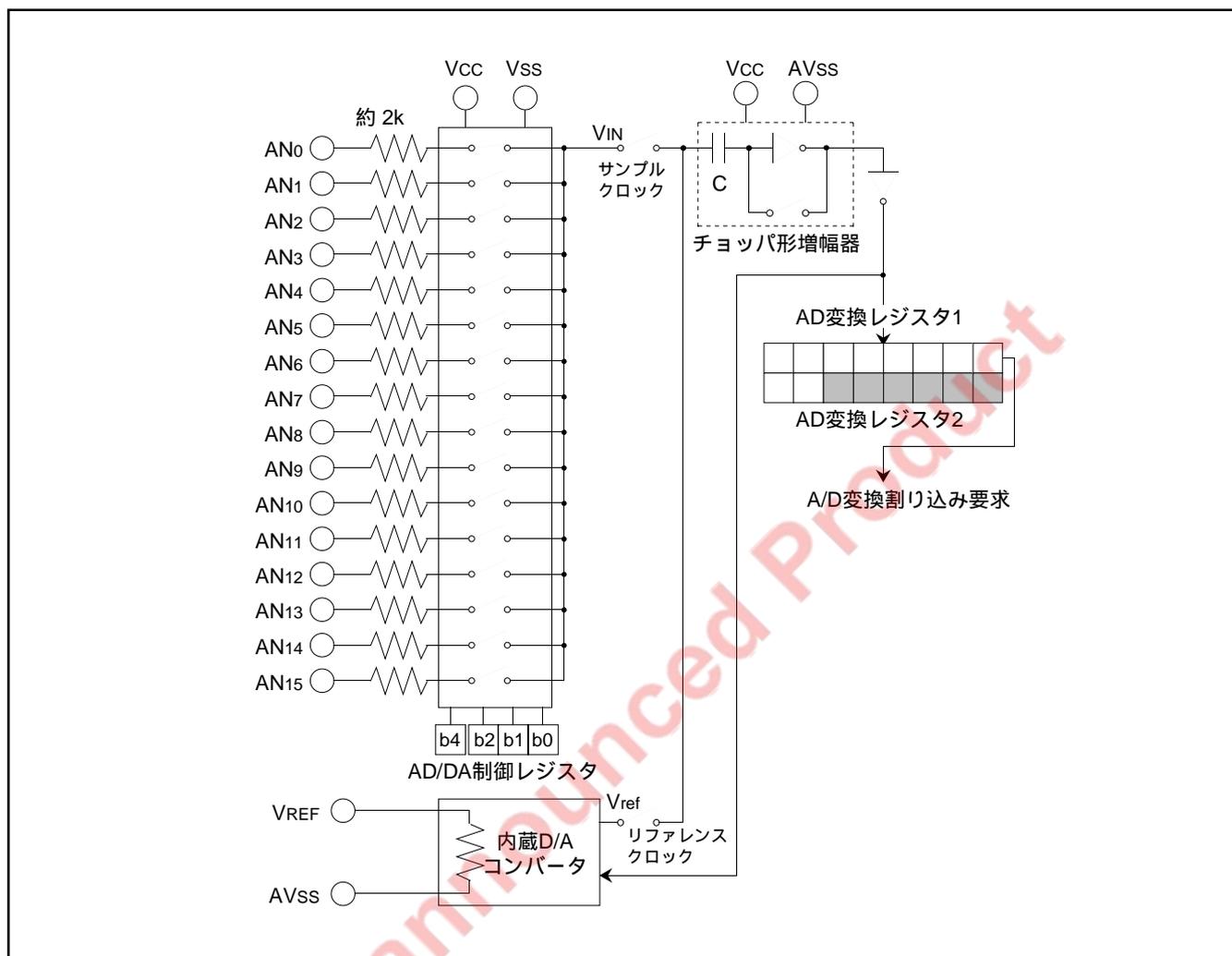


図95 . A/Dコンバータ等価回路

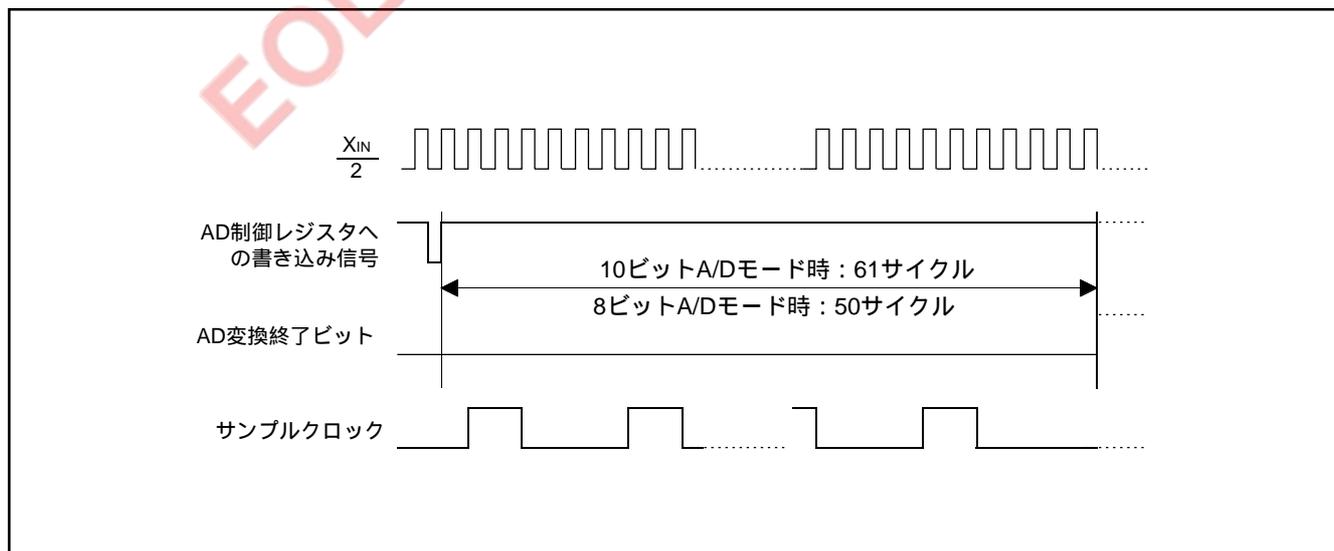


図96 . A/D変換タイミングチャート

## Memo

EOL announced Product

## 第2章

### 応 用

- 2.1 入出力ポート
- 2.2 割り込み
- 2.3 タイマ
- 2.4 シリアルインタフェース
- 2.5 マルチマスタ<sup>2</sup>C-BUSインタフェース
- 2.6 PWM
- 2.7 A/Dコンバータ
- 2.8 D/Aコンバータ
- 2.9 ウォッチドッグタイマ
- 2.10 リセット
- 2.11 クロック発生回路
- 2.12 スタンバイ機能
- 2.13 フラッシュメモリモード

## 2.1 入出力ポート

本節では入出力ポートに関するレジスタの設定方法、注意事項などを説明します。

### 2.1.1 メモリ配置図

0000 <sub>16</sub>	ポートP0 (P0)
0001 <sub>16</sub>	ポートP0方向レジスタ (P0D)
0002 <sub>16</sub>	ポートP1 (P1)
0003 <sub>16</sub>	ポートP1方向レジスタ (P1D)
0004 <sub>16</sub>	ポートP2 (P2)
0005 <sub>16</sub>	ポートP2方向レジスタ (P2D)
0006 <sub>16</sub>	ポートP3 (P3)
0007 <sub>16</sub>	ポートP3方向レジスタ (P3D)
0008 <sub>16</sub>	ポートP4 (P4)
0009 <sub>16</sub>	ポートP4方向レジスタ (P4D)
000A <sub>16</sub>	ポートP5 (P5)
000B <sub>16</sub>	ポートP5方向レジスタ (P5D)
000C <sub>16</sub>	ポートP6 (P6)
000D <sub>16</sub>	ポートP6方向レジスタ (P6D)
	⋮
0FF0 <sub>16</sub>	ポートP0プルアップ制御レジスタ(PULL0)
0FF1 <sub>16</sub>	ポートP1プルアップ制御レジスタ(PULL1)
0FF2 <sub>16</sub>	ポートP2プルアップ制御レジスタ(PULL2)
0FF3 <sub>16</sub>	ポートP3プルアップ制御レジスタ(PULL3)
0FF4 <sub>16</sub>	ポートP4プルアップ制御レジスタ(PULL4)
0FF5 <sub>16</sub>	ポートP5プルアップ制御レジスタ(PULL5)
0FF6 <sub>16</sub>	ポートP6プルアップ制御レジスタ(PULL6)

図2.1.1 入出力ポート関連レジスタのメモリ配置

2.1.2 関連レジスタ

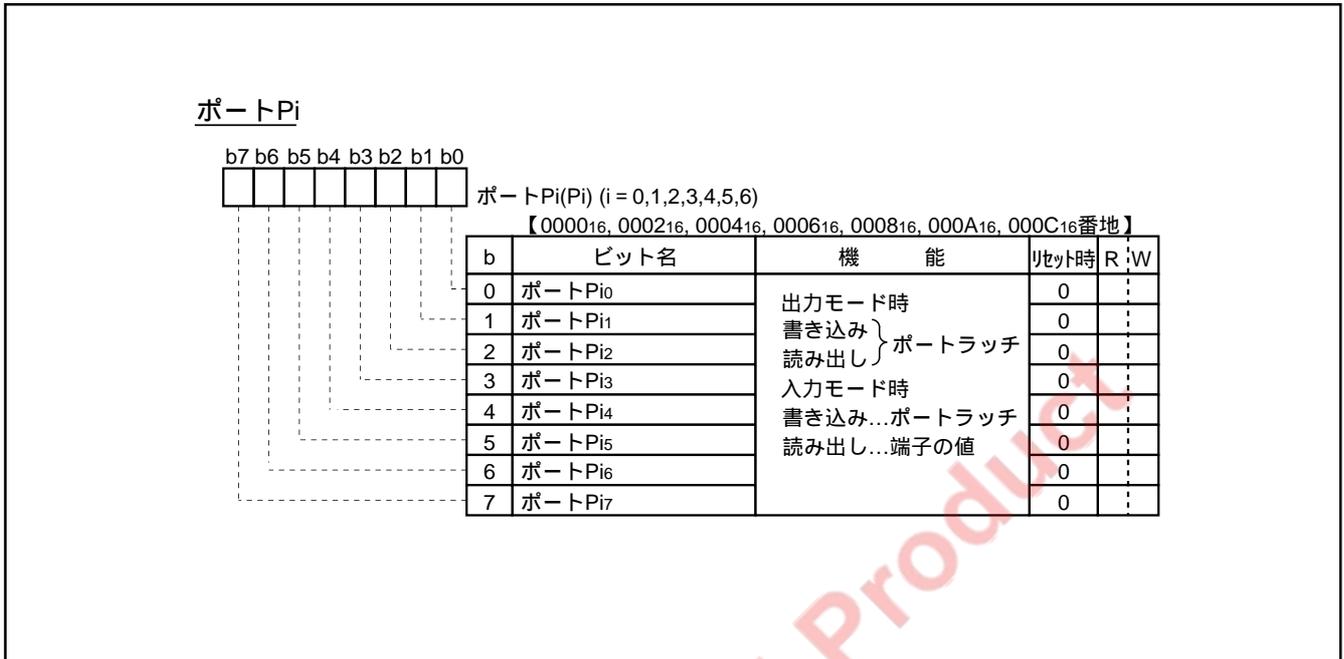


図2.1.2 ポートPiの構成(i = 0 ~ 6)

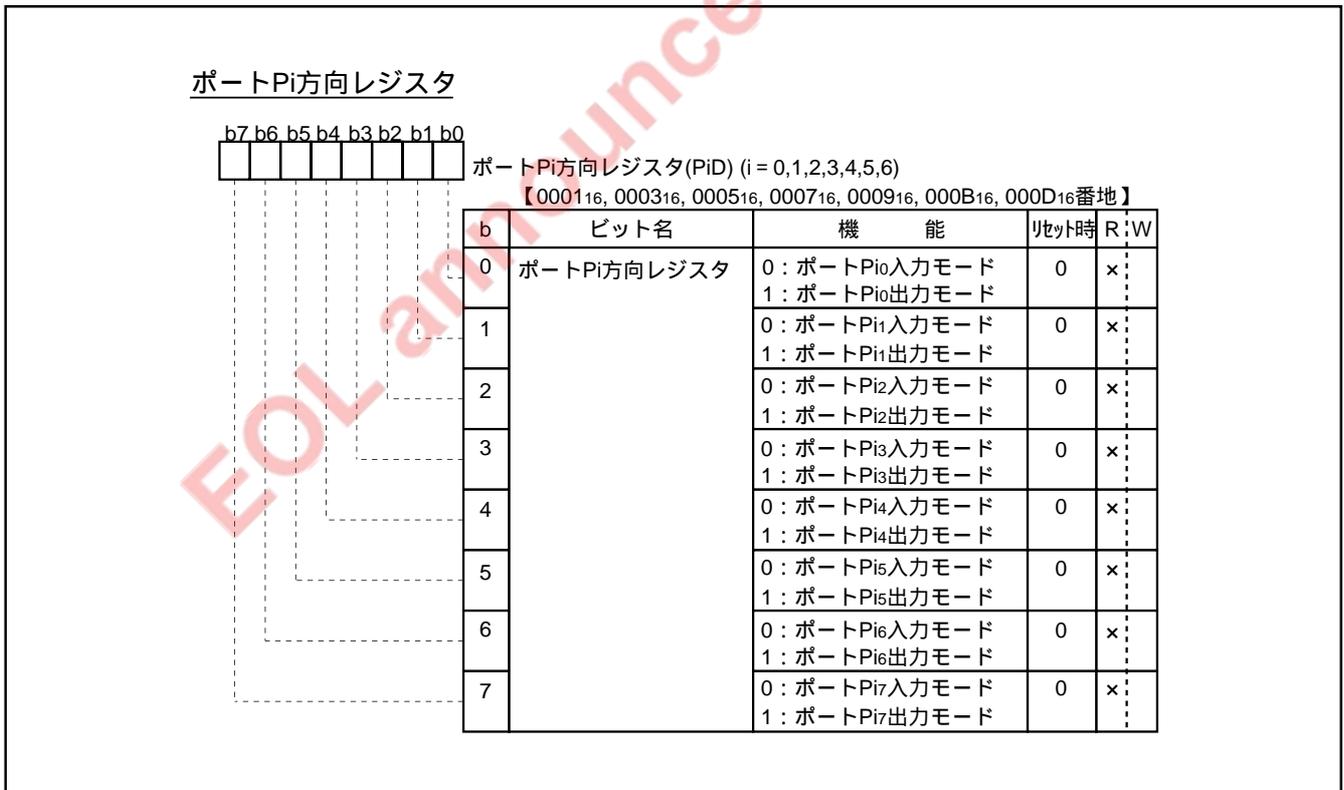


図2.1.3 ポートPi方向レジスタの構成(i = 0 ~ 6)

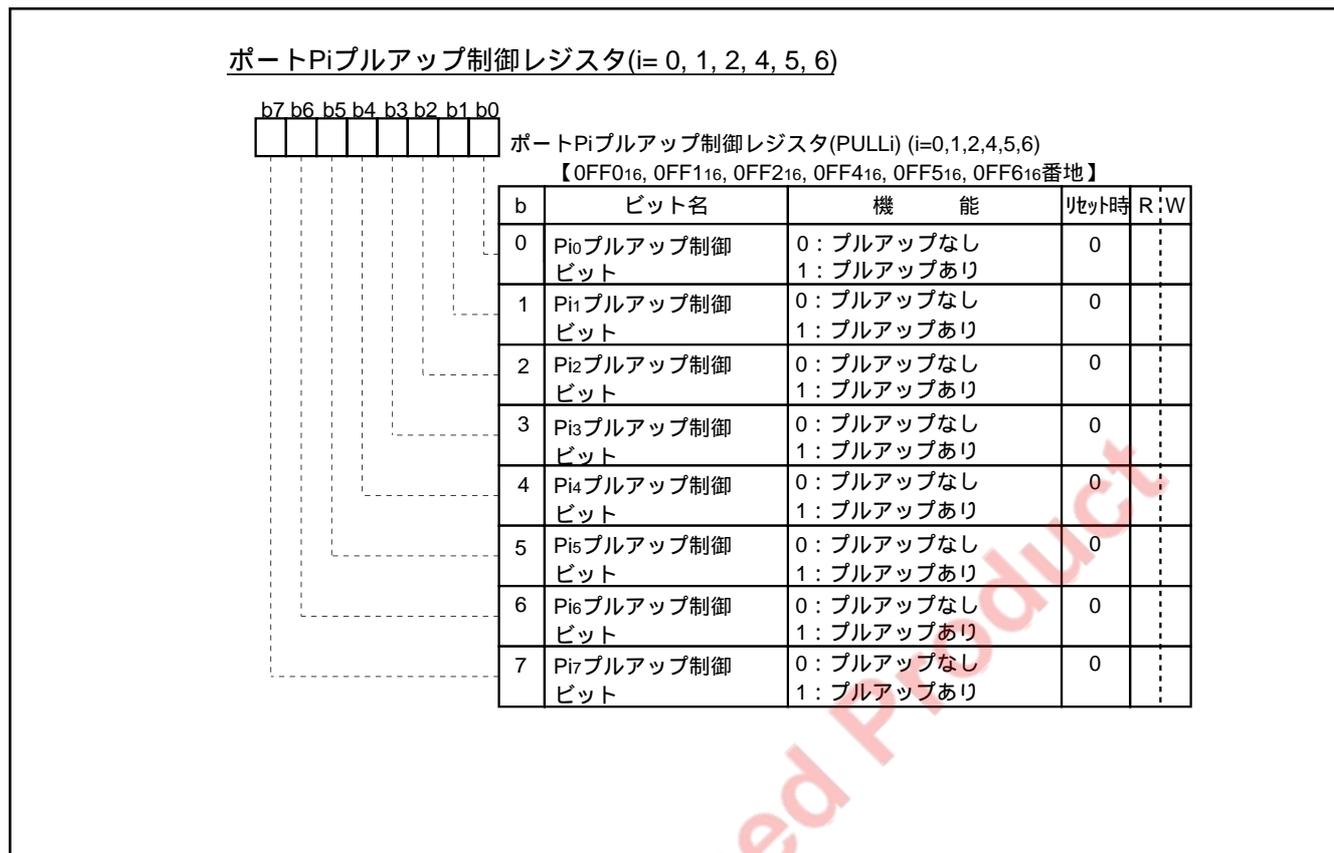


図2.1.4 ポートPiプルアップ制御レジスタの構成(i = 0, 1, 2, 4, 5, 6)

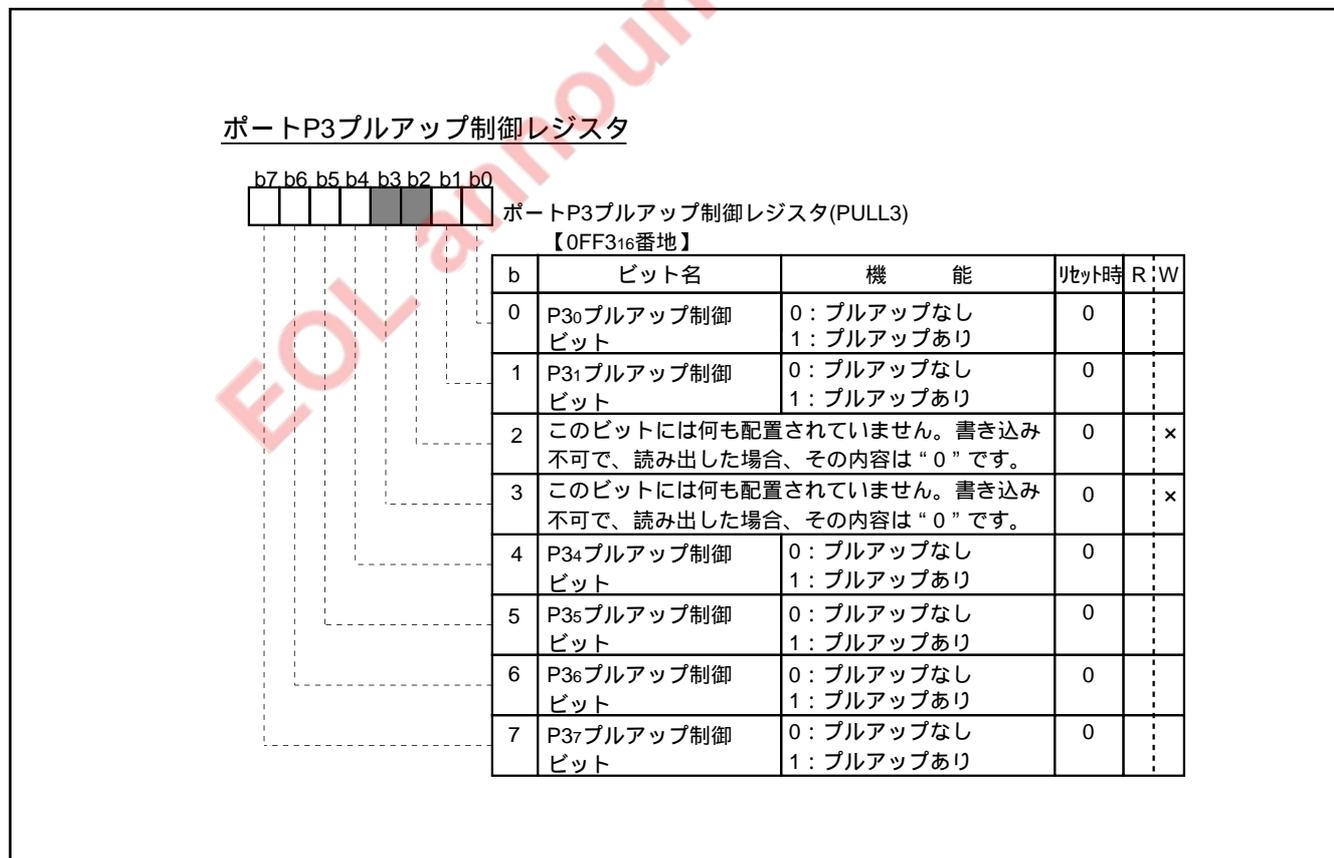


図2.1.5 ポートP3プルアップ制御レジスタの構成

### 2.1.3 ポートPiプルアップ制御レジスタ

プルアップ制御レジスタによって、ビットごとにプルアップ抵抗の有無を設定できます。プルアップありに設定したポートは、方向レジスタを入力に設定したときにだけプルアップ抵抗が接続されます。

注．ポートP32とP33はNチャンネルオープンドレイン出力のため、プルアップ制御ビットは存在していません。

### 2.1.4 未使用端子の処理

表2.1.1 未使用端子の処理(シングルチップモード時)

端子/ポート名	処理方法
P0、P1、P2、P3、P4、 P5、P6	<ul style="list-style-type: none"> <li>・入力モードに設定し、各端子ごとに1 k ~ 10 k の抵抗を介してVcc又はVssに接続</li> <li>・出力モードに設定し、“L”又は“H”出力状態で開放</li> </ul>
VREF端子	Vss(GND)に接続
AVss端子	Vss(GND)に接続
XOUT端子	開放(外部クロック使用時のみ)

EOL announced Product

### 2.1.5 入出力端子に関する注意事項

#### (1) スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態\*1で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ( $V_{CC}$ に接続)又はプルダウン( $V_{SS}$ に接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・外付け回路
- ・通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・入力ポートに設定している場合：入力レベルを固定する。
- ・出力ポートに設定している場合：外部に電流が流出しないようにする。

#### 理由

方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が“1”の場合トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

\*1スタンバイ状態：STP命令実行によるストップモード  
WIT命令実行によるウェイトモード

#### (2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令\*を用いて書き替える場合、指定していないビットの値が変化することがあります。

#### 理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・入力に設定されているビット：  
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
  - ・出力に設定されているビット：  
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ただし、以下の点に注意してください。
- ・出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
  - ・入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

\*ビット処理命令：SEB命令、CLB命令

### 2.1.6 未使用端子の処理に関する注意事項

#### (1) 未使用端子の適切な処理

##### 入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

A/Dコンバータを使用しない場合のA/D変換用電源端子AVss

A/Dコンバータを使用しない場合、A/D変換用電源端子AVssは以下のように処理してください。

- ・AVss : Vssに接続

#### (2) 処理上の留意事項

##### 入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

##### 入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

##### 入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

## 2.2 割り込み

本節では割り込みに関するレジスタの設定方法、注意事項などを説明します。

### 2.2.1 メモリ配置図

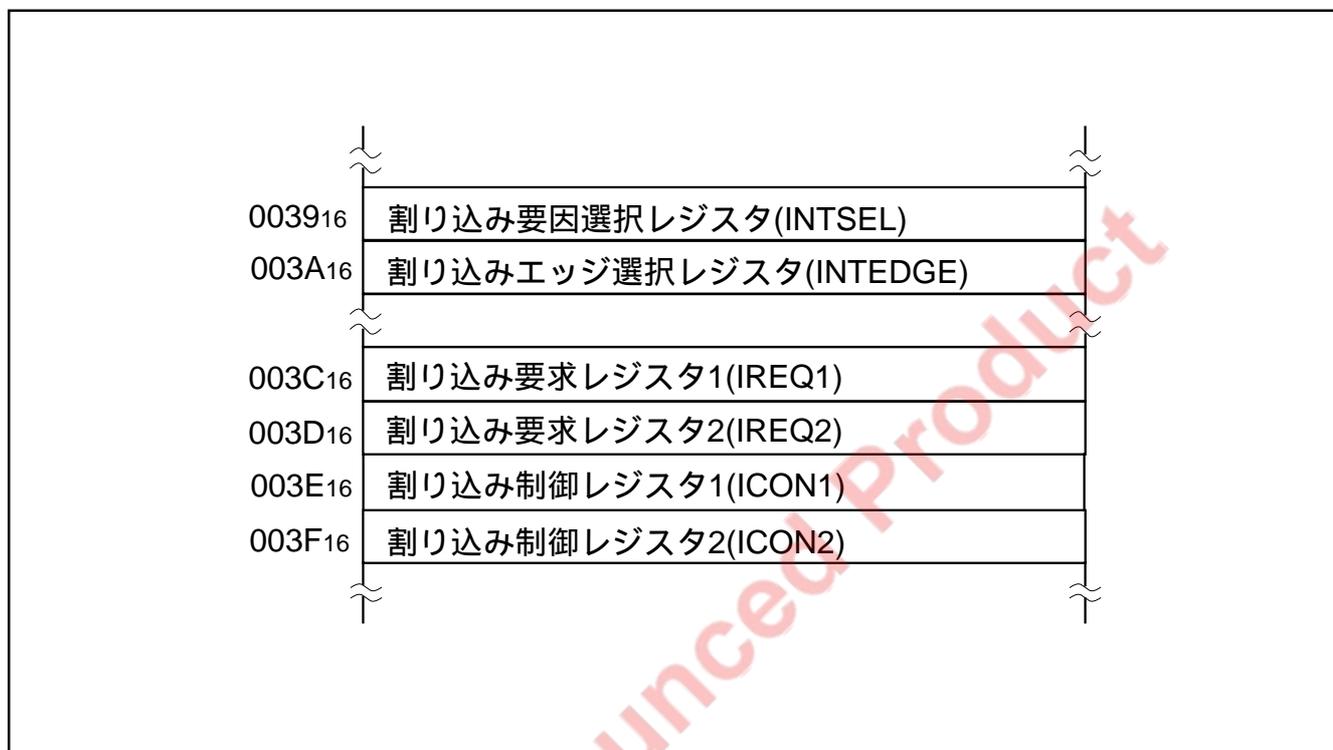


図2.2.1 割り込み関連レジスタのメモリ配置

2.2.2 関連レジスタ

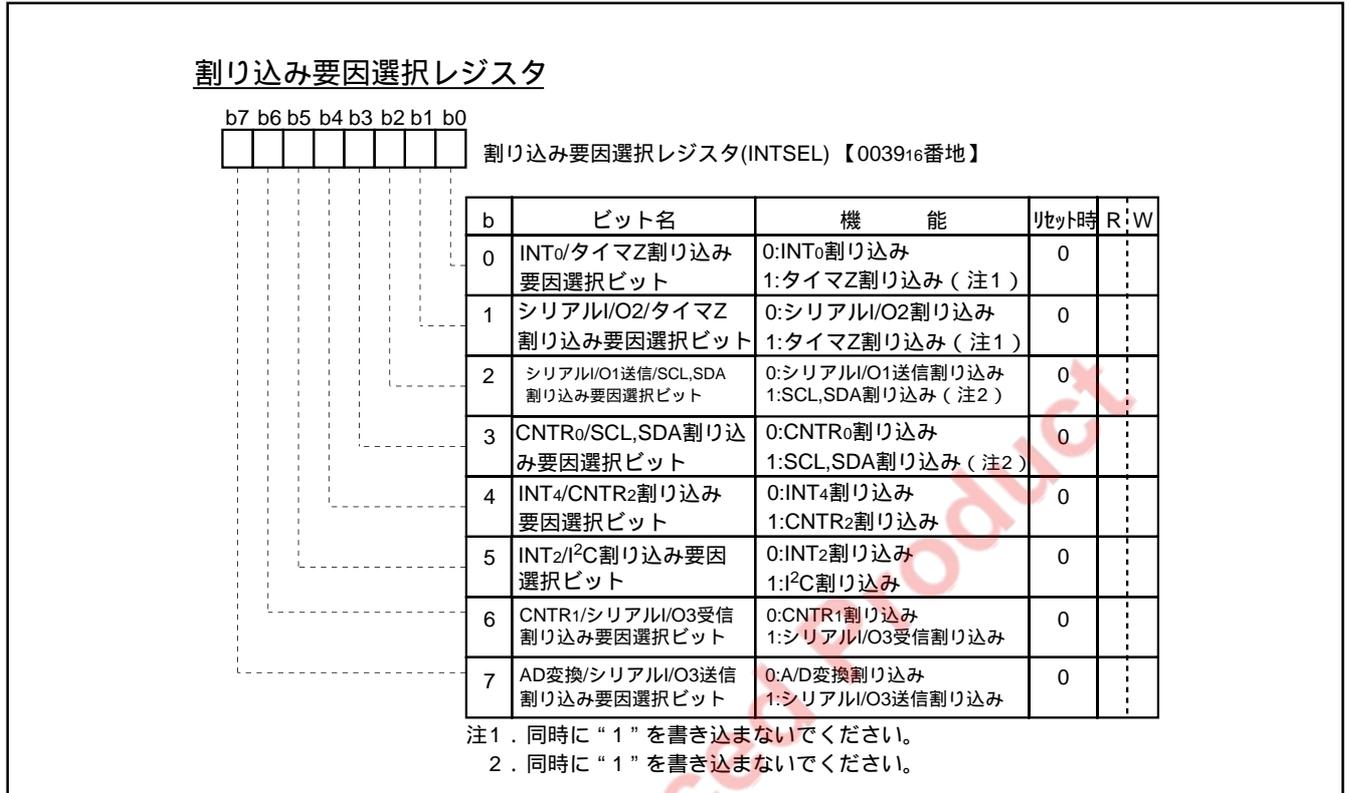


図2.2.2 割り込み要因選択レジスタの構成

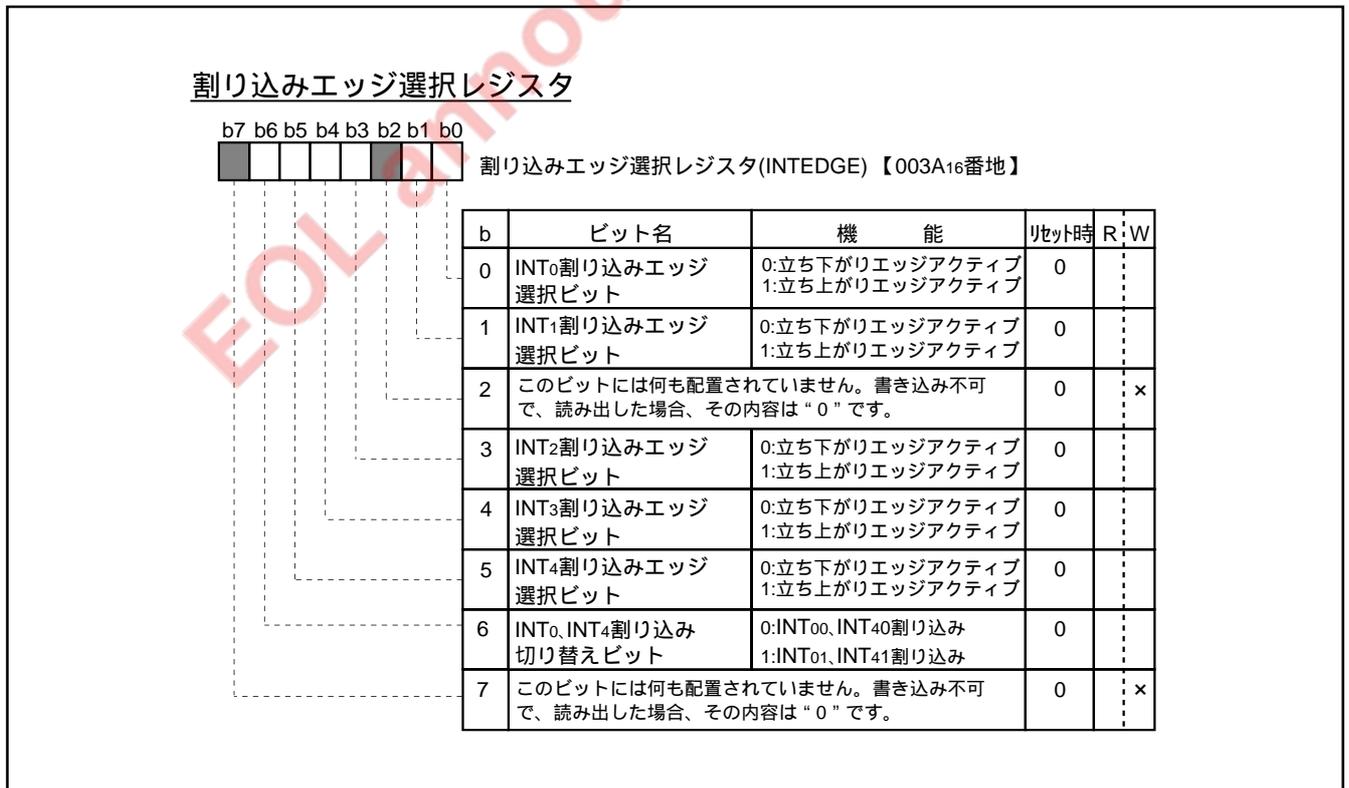


図2.2.3 割り込みエッジ選択レジスタの構成

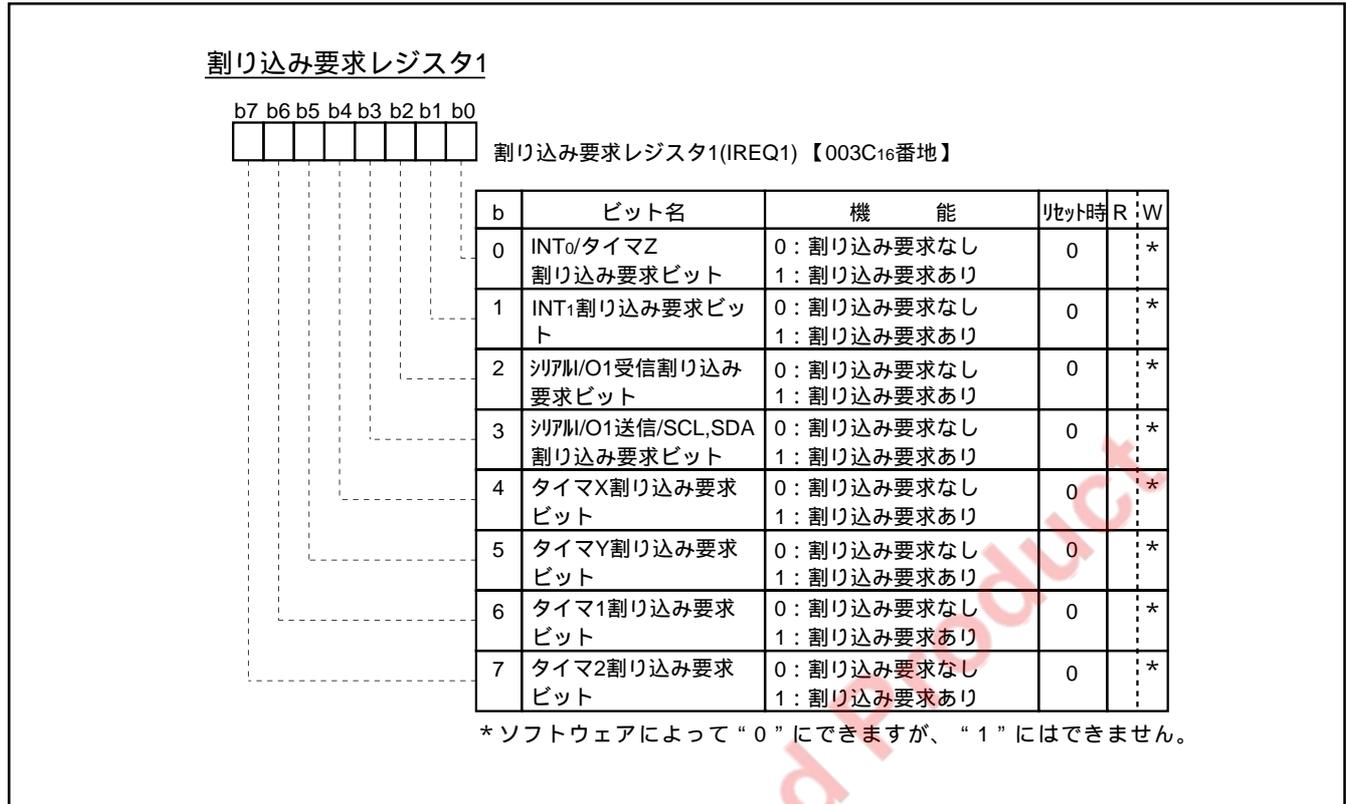


図2.2.4 割り込み要求レジスタ1の構成

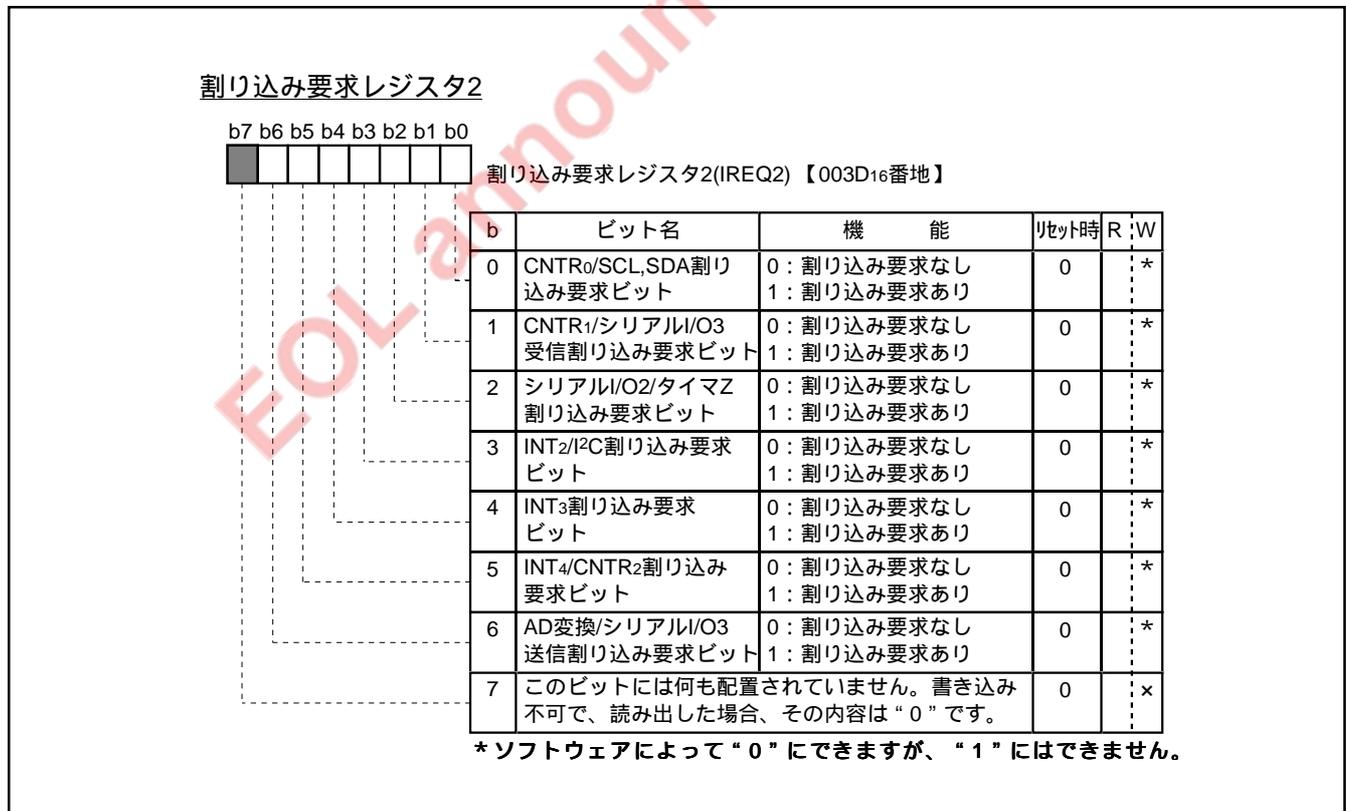


図2.2.5 割り込み要求レジスタ2の構成

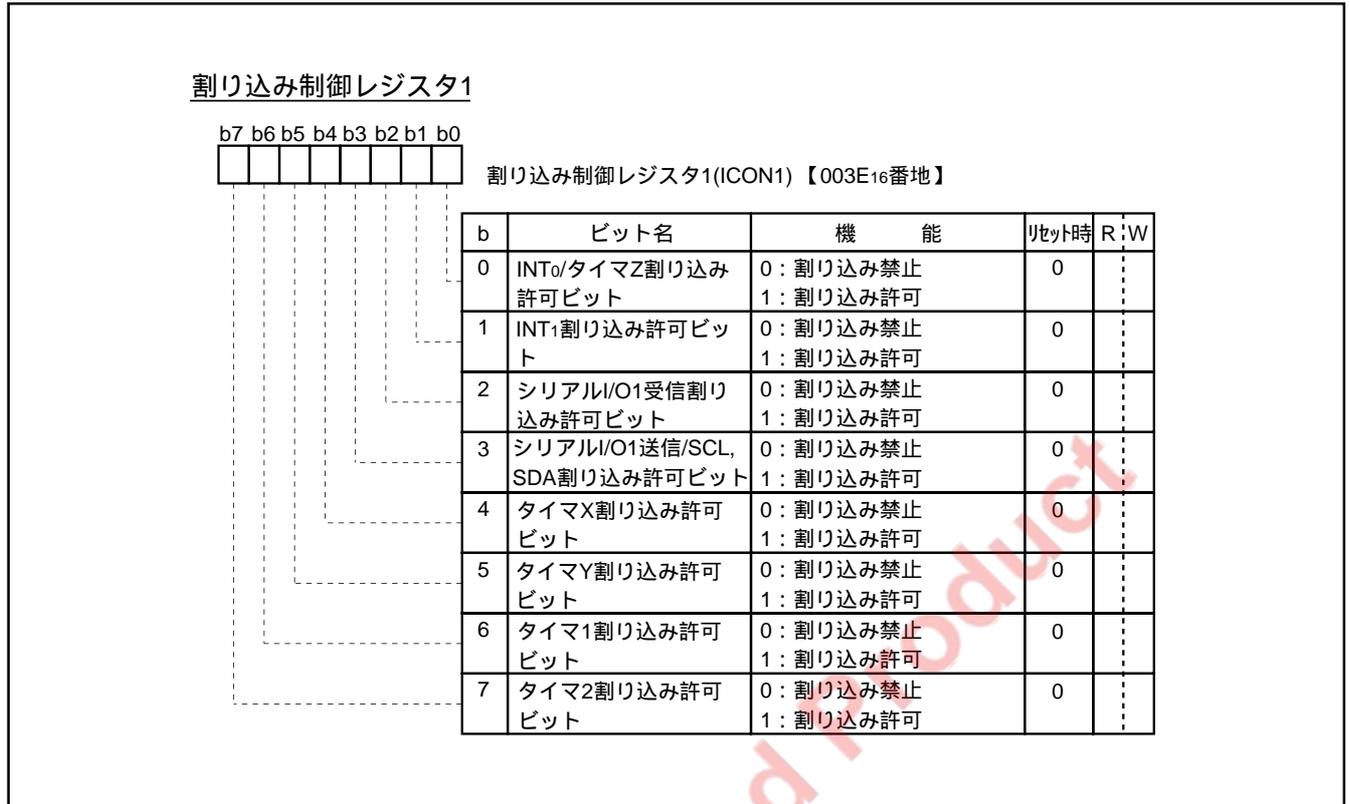


図2.2.6 割り込み制御レジスタ1の構成

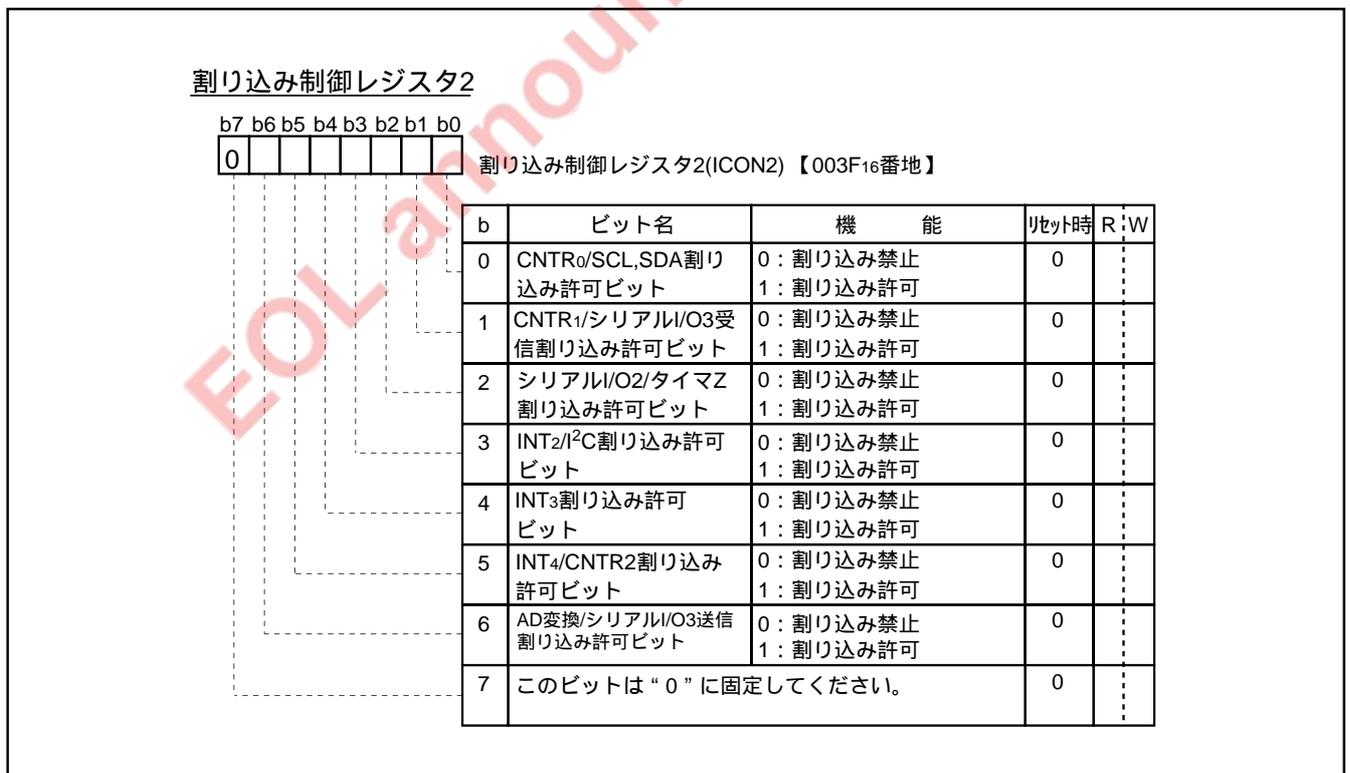


図2.2.7 割り込み制御レジスタ2の構成

## 2.2.3 割り込み要因

3804グループ(H仕様)では、外部9要因、内部13要因、ソフトウェア1要因の23要因のうち16要因から割り込みを発生することが可能です。固定優先度方式のベクトル割り込みですので、同一サンプリング時に2つ以上の割り込み要求がある場合は、優先順位の高い割り込みから受け付けます。この優先順位は、ハードウェアで決められていますが、割り込み許可ビット、割り込み禁止フラグを用いることによって、多様な優先処理をソフトウェアで行うことができます。割り込み要因とベクトル番地(注1)、割り込みの優先順位は表2.2.1を参照してください。

表2.2.1 割り込み要因とベクトル番地、割り込みの優先順位

割り込み要因	優先順位	ベクトル番地(注1)		割り込み要求発生条件	備 考
		上位	下位		
リセット(注2)	1	FFFD <sub>16</sub>	FFFC <sub>16</sub>	リセット時	ノンマスクابل
INT <sub>0</sub>	2	FFF <sub>16</sub>	FFFA <sub>16</sub>	INT <sub>0</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマZ				タイマZアンダフロー時	
INT <sub>1</sub>	3	FFF <sub>9</sub> <sub>16</sub>	FFF <sub>8</sub> <sub>16</sub>	INT <sub>1</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O <sub>1</sub> 受信	4	FFF <sub>7</sub> <sub>16</sub>	FFF <sub>6</sub> <sub>16</sub>	シリアル/O <sub>1</sub> データ受信終了時	シリアル/O <sub>1</sub> 選択時のみ有効
シリアル/O <sub>1</sub> 送信				シリアル/O <sub>1</sub> 送信シフト終了時又は送信バッファ空き時	シリアル/O <sub>1</sub> 選択時のみ有効
SCL,SDA				SCLまたはSDA立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
タイマX	6	FFF <sub>3</sub> <sub>16</sub>	FFF <sub>2</sub> <sub>16</sub>	タイマXアンダフロー時	
タイマY	7	FFF <sub>1</sub> <sub>16</sub>	FFF <sub>0</sub> <sub>16</sub>	タイマYアンダフロー時	
タイマ1	8	FFE <sub>F</sub> <sub>16</sub>	FFE <sub>E</sub> <sub>16</sub>	タイマ1アンダフロー時	STP 解除タイマアンダフロー
タイマ2	9	FFE <sub>D</sub> <sub>16</sub>	FFE <sub>C</sub> <sub>16</sub>	タイマ2アンダフロー時	
CNTR <sub>0</sub>	10	FFE <sub>B</sub> <sub>16</sub>	FFE <sub>A</sub> <sub>16</sub>	CNTR <sub>0</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
SCL,SDA				SCL又はSDA入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR <sub>1</sub>	11	FFE <sub>9</sub> <sub>16</sub>	FFE <sub>8</sub> <sub>16</sub>	CNTR <sub>1</sub> の入力立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
シリアル/O <sub>3</sub> 受信				シリアル/O <sub>3</sub> データ受信完了時	シリアル/O <sub>3</sub> 選択時のみ有効
シリアル/O <sub>2</sub>	12	FFE <sub>7</sub> <sub>16</sub>	FFE <sub>6</sub> <sub>16</sub>	シリアル/O <sub>2</sub> データ送受信終了時	シリアル/O <sub>2</sub> 選択時のみ有効
タイマZ				タイマZアンダフロー時	
INT <sub>2</sub>	13	FFE <sub>5</sub> <sub>16</sub>	FFE <sub>4</sub> <sub>16</sub>	INT <sub>2</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
I <sup>2</sup> C				データ送受信終了時	
INT <sub>3</sub>	14	FFE <sub>3</sub> <sub>16</sub>	FFE <sub>2</sub> <sub>16</sub>	INT <sub>3</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
INT <sub>4</sub>	15	FFE <sub>1</sub> <sub>16</sub>	FFE <sub>0</sub> <sub>16</sub>	INT <sub>4</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
CNTR <sub>2</sub>				CNTR <sub>2</sub> 入力の立ち上がり又は立ち下がりエッジ検出時	外部割り込み (極性プログラマブル)
A/D変換	16	FFD <sub>F</sub> <sub>16</sub>	FFD <sub>E</sub> <sub>16</sub>	A/D変換終了時	
シリアル/O <sub>3</sub> 送信				シリアル/O <sub>3</sub> 送信シフト終了時又は送信バッファ空き時	シリアル/O <sub>3</sub> 選択時のみ有効
BRK命令	17	FFD <sub>D</sub> <sub>16</sub>	FFD <sub>C</sub> <sub>16</sub>	BRK命令実行時	ノンマスクابلソフトウェア 割り込み

注1. ベクトル番地とは、割り込み飛び先番地の格納番地を示します。

2. リセットは最上位の優先順位を持つ割り込みとして処理されます。

## 2.2.4 割り込み動作

割り込み要求が受け付けられると、次に示すレジスタの割り込み要求受付直前の状態が① ② ③と順次、自動的にスタック領域に退避されます。

- ①プログラムカウンタ上位(PCH)
- ②プログラムカウンタ下位(PCL)
- ③プロセッサステータスレジスタ(PS)

上記のレジスタが退避された後、受け付けられた割り込みの飛び先番地へ分岐します。割り込み処理ルーチンの最後でRTI命令を実行すると、スタック領域に退避されていた上記レジスタの内容が③ ② ①と順次それぞれのレジスタに復帰し、割り込み要求受付前の処理が継続されます。

図2.2.8に割り込み動作図を示します。

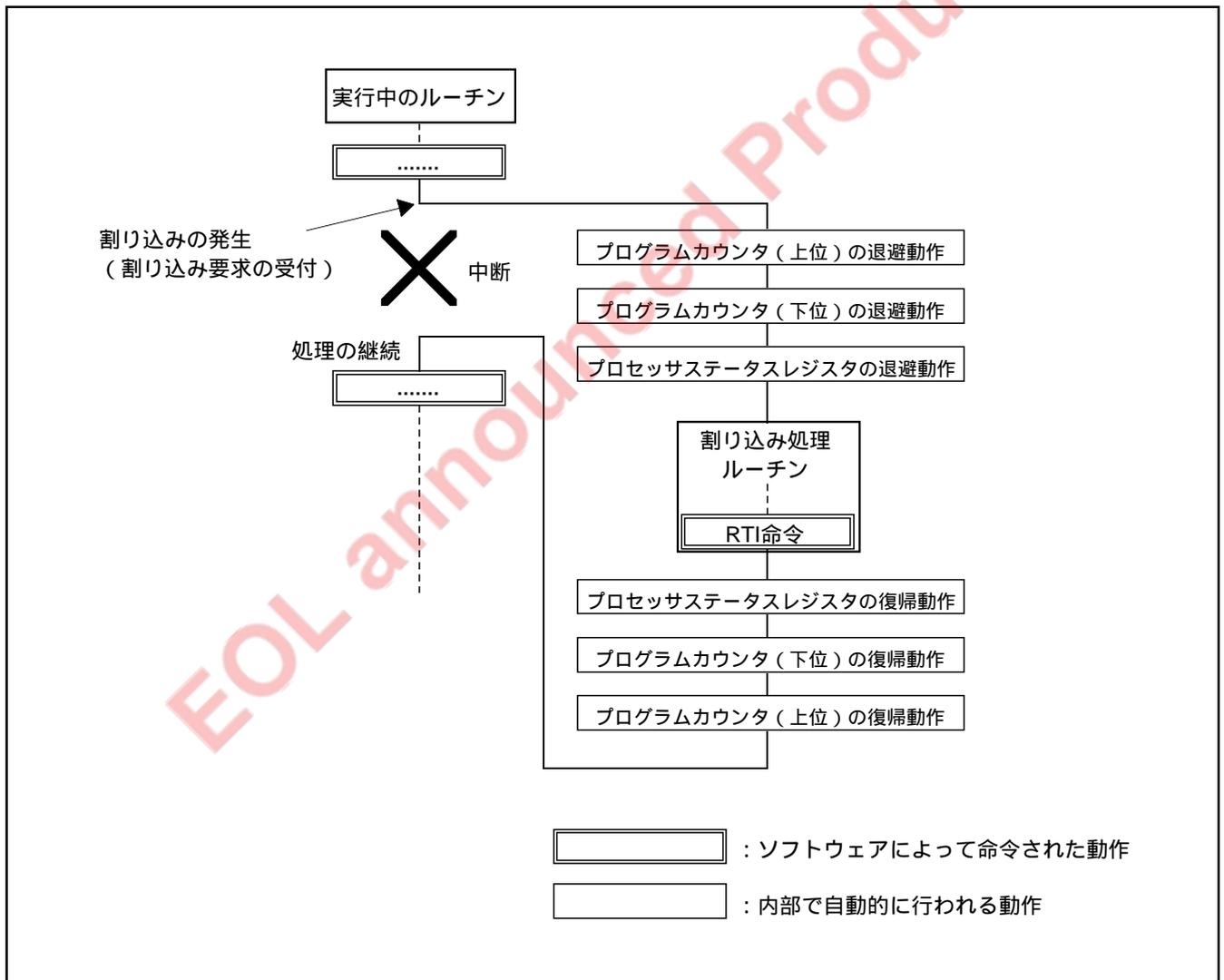


図2.2.8 割り込み動作図

(1) 割り込み要求受付時の処理

割り込み要求を受け付けると以下の動作が自動的に行われます。

- ①現在実行中の処理が中断されます。
- ②プログラムカウンタ、及びプロセッサステータスレジスタの内容がスタック領域へ退避されます。  
図2.2.9に割り込み要求受付時のスタックポインタとプログラムカウンタの変化を示します。
- ③退避と同時に、割り込みベクトル領域に格納されている、発生した割り込みの飛び先番地(割り込み処理ルーチンの先頭番地)がプログラムカウンタに設定され、割り込み処理ルーチンが実行されます。
- ④割り込み処理ルーチンに入ると、対応する割り込み要求ビットが自動的に“0”になります。また、割り込み禁止フラグが“1”になり、多重割り込みが禁止されます。

したがって、割り込み処理ルーチンを実行するためには、飛び先番地を各割り込みに対応したベクトル領域内に設定しておく必要があります。

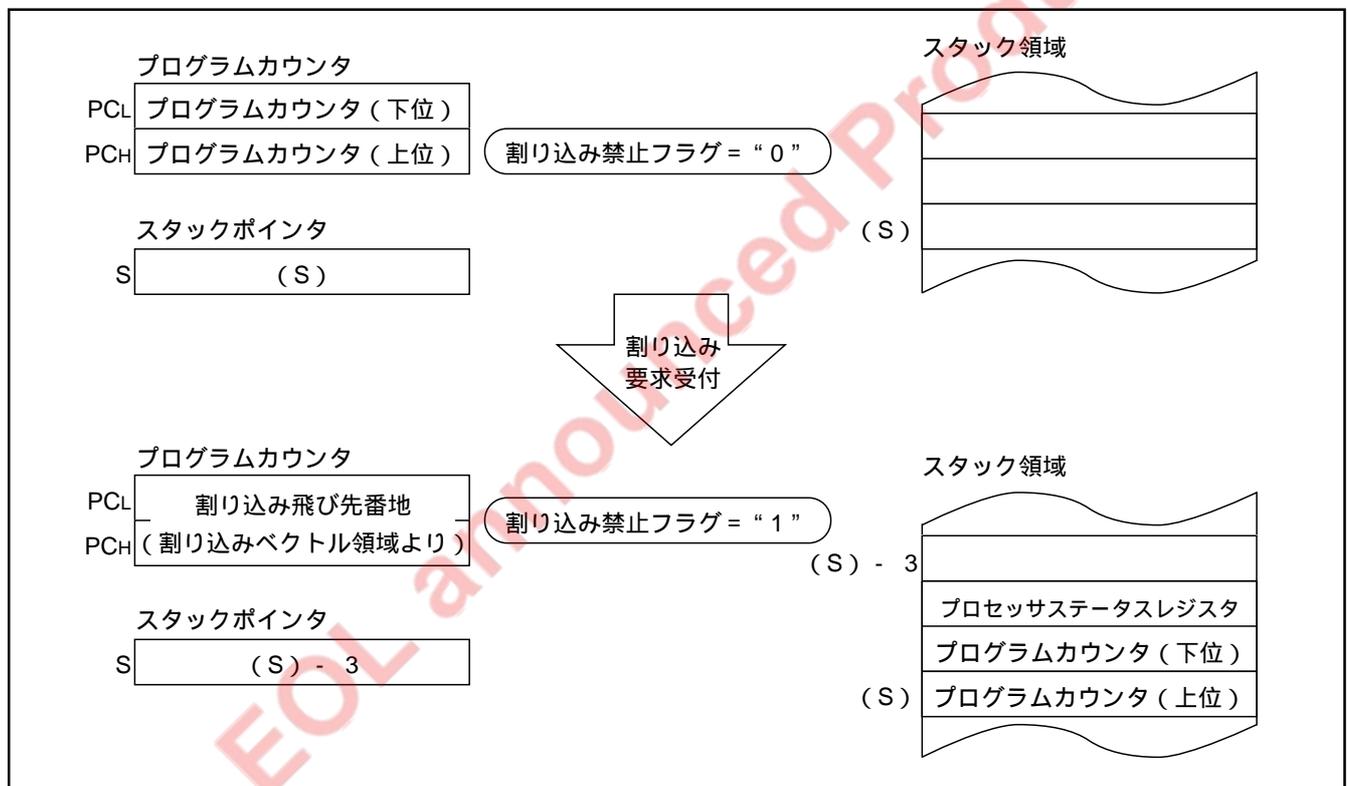


図2.2.9 割り込み要求受付時のスタックポインタとプログラムカウンタの変化

(2) 割り込み要求受付後のタイミング

割り込み処理ルーチンは、現在実行中の命令終了後のマシンサイクルから始まります。図2.2.10に割り込み処理ルーチンを実行するまでの時間、図2.2.11に割り込み要求受付後のタイミングを示します。

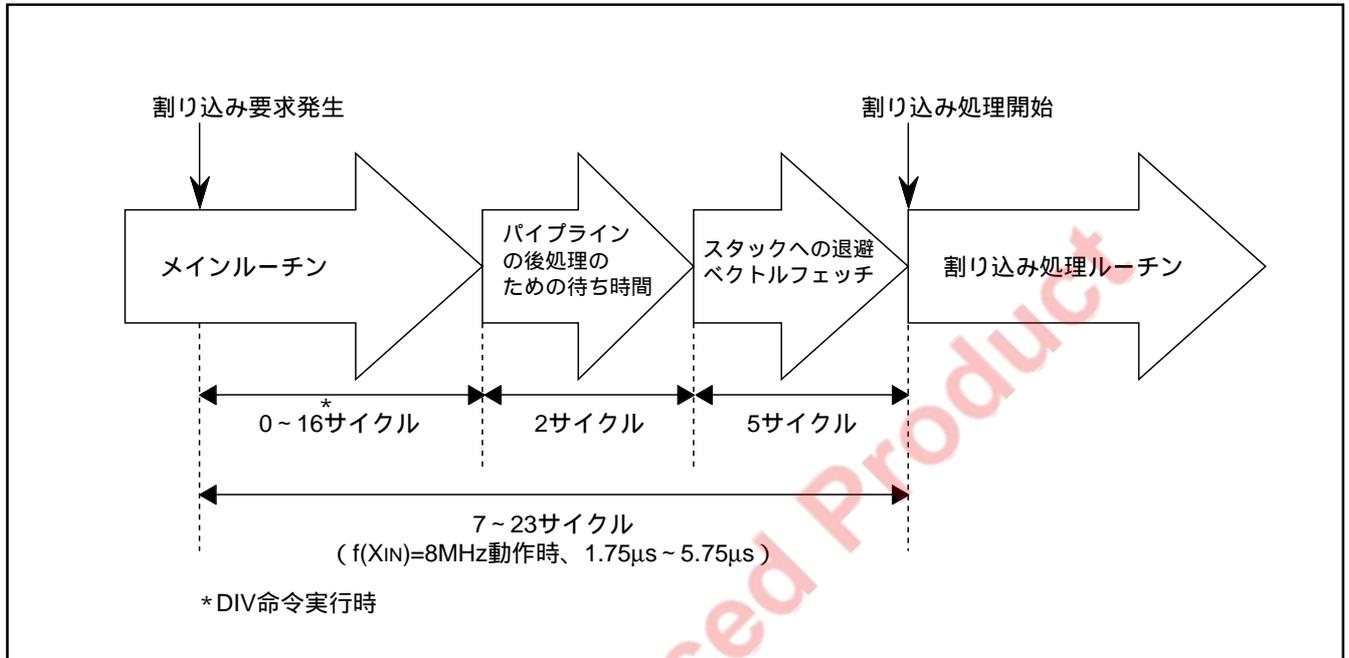


図2.2.10 割り込み処理ルーチンを実行するまでの時間

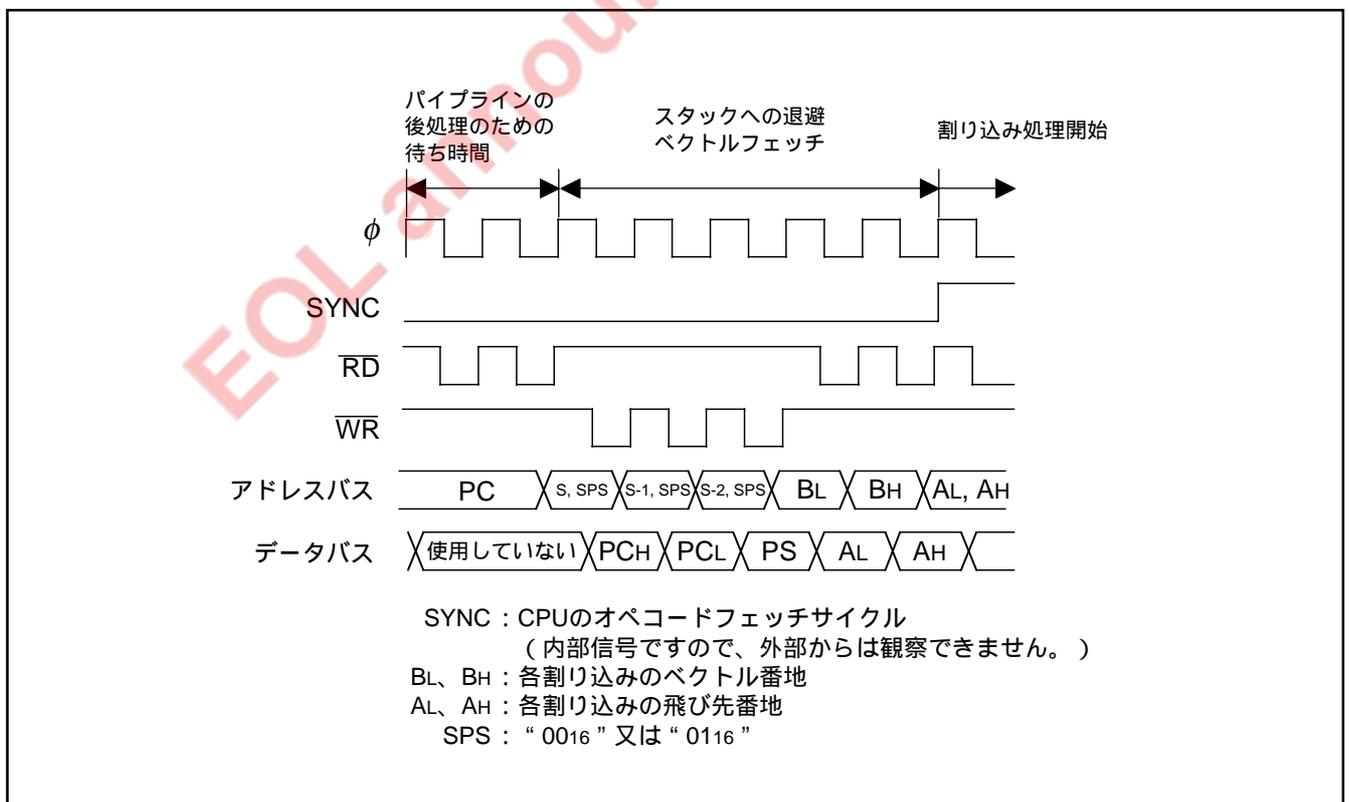


図2.2.11 割り込み要求受付後のタイミング

## 2.2.5 割り込み制御

BRK命令を除く割り込みは、割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグによって割り込み要求の受付を制御できます。この節ではBRK命令を除く割り込みの制御について説明します。図2.2.12に割り込み制御図を示します。

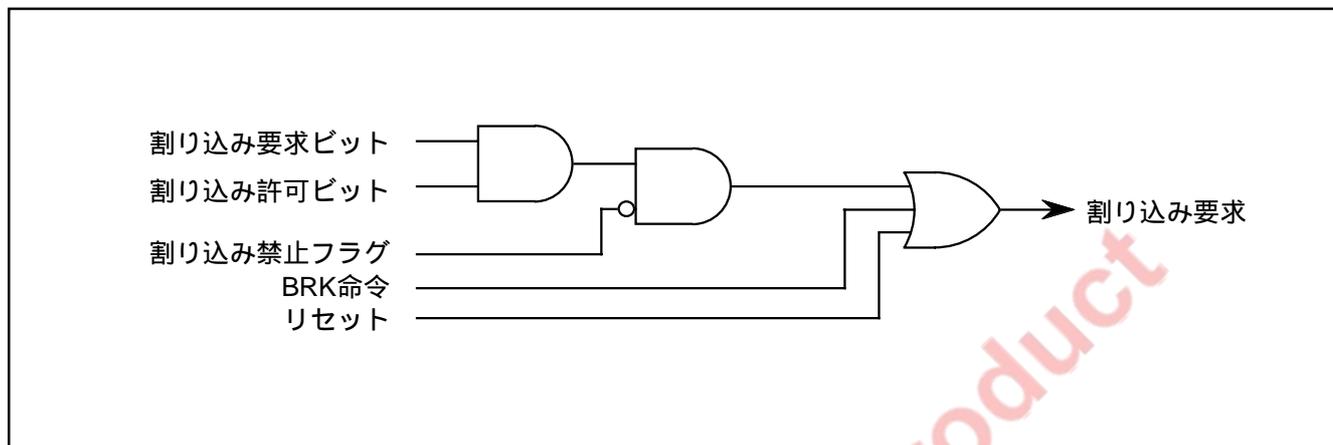


図2.2.12 割り込み制御図

割り込み要求ビット、割り込み許可ビット、及び割り込み禁止フラグは独立して機能し、お互いに影響を与えることはありません。割り込み要求は以下の条件をすべて満たされると受け付けられます。

- 割り込み要求ビット……“1”
- 割り込み許可ビット……“1”
- 割り込み禁止フラグ……“0”

割り込みの優先順位は、ハードウェアで決められていますが、上記のビット及びフラグを用いることによって、多様な優先処理がソフトウェアで行うことができます。表2.2.2に各割り込み要因に対する割り込み制御ビット一覧を示します。

## (1) 割り込み要求ビット

割り込み要求ビットは、割り込み要求レジスタ1(003C<sub>16</sub>番地)、割り込み要求レジスタ2(003D<sub>16</sub>番地)に割り当てられています。

割り込み要求が発生すると、対応する割り込み要求ビットが“1”になります。“1”にセットされた割り込み要求ビットは、割り込み要求が受け付けられるまで“1”の状態を保持されます。割り込み要求が受け付けられると、自動的に“0”になります。

割り込み要求ビットは、ソフトウェアで“0”にできますが、ソフトウェアで“1”にすることはできません。

## (2) 割り込み許可ビット

割り込み許可ビットは、割り込み制御レジスタ1(003E16番地)及び割り込み制御レジスタ2(003F16番地)に割り当てられています。

割り込み許可ビットは、対応する割り込み要求の受付を制御するビットです。

このビットが“0”のとき、対応する割り込み要求が禁止されます。このビットが“0”の状態では割り込み要求が発生すると、対応する割り込み要求ビットが“1”になるだけで、その割り込み要求は受け付けられません。この場合、ソフトウェアで割り込み要求ビットを“0”にするまで、割り込み要求ビットは“1”のままです。

このビットが“1”のとき、対応する割り込み要求が許可されます。このビットが“1”の状態では割り込み要求が発生すると、その割り込み要求が受け付けられます(割り込み禁止フラグ=“0”の場合)。

割り込み許可ビットはソフトウェアで“0”、又は“1”にすることができます。

## (3) 割り込み禁止フラグ

割り込み禁止フラグは、プロセッサステータスレジスタのb2に割り当てられています。割り込み禁止フラグは、BRK命令を除く割り込み要求の受付を制御するフラグです。

このフラグが“1”のとき、割り込み要求の受付が禁止されます。“0”のとき、割り込み要求の受付が許可されます。“1”にする命令はSEI命令、“0”にする命令はCLI命令です。

割り込み処理ルーチンへの分岐時、このフラグは自動的に“1”になり、多重割り込みを禁止します。多重割り込みを使用する場合は、割り込み処理ルーチン内でCLI命令を用いて、このフラグを“0”にしてください。図2.2.13に多重割り込みの例を示します。

表2.2.2 各割り込み要因に対する割り込み制御ビット一覧

割り込み要因	割り込み許可ビット		割り込み要求ビット	
	番地	ビット	番地	ビット
INT0/タイマZ	003E16	b0	003C16	b0
INT1	003E16	b1	003C16	b1
シリアル/O1受信	003E16	b2	003C16	b2
シリアル/O1送信/SCL、SDA	003E16	b3	003C16	b3
タイマX	003E16	b4	003C16	b4
タイマY	003E16	b5	003C16	b5
タイマ1	003E16	b6	003C16	b6
タイマ2	003E16	b7	003C16	b7
CNTR0/SCL、SDA	003F16	b0	003D16	b0
CNTR1/シリアル/O3受信	003F16	b1	003D16	b1
シリアル/O2/タイマZ	003F16	b2	003D16	b2
INT2/I <sup>2</sup> C	003F16	b3	003D16	b3
INT3	003F16	b4	003D16	b4
INT4/CNTR2	003F16	b5	003D16	b5
A/D変換/シリアル/O3送信	003F16	b6	003D16	b6

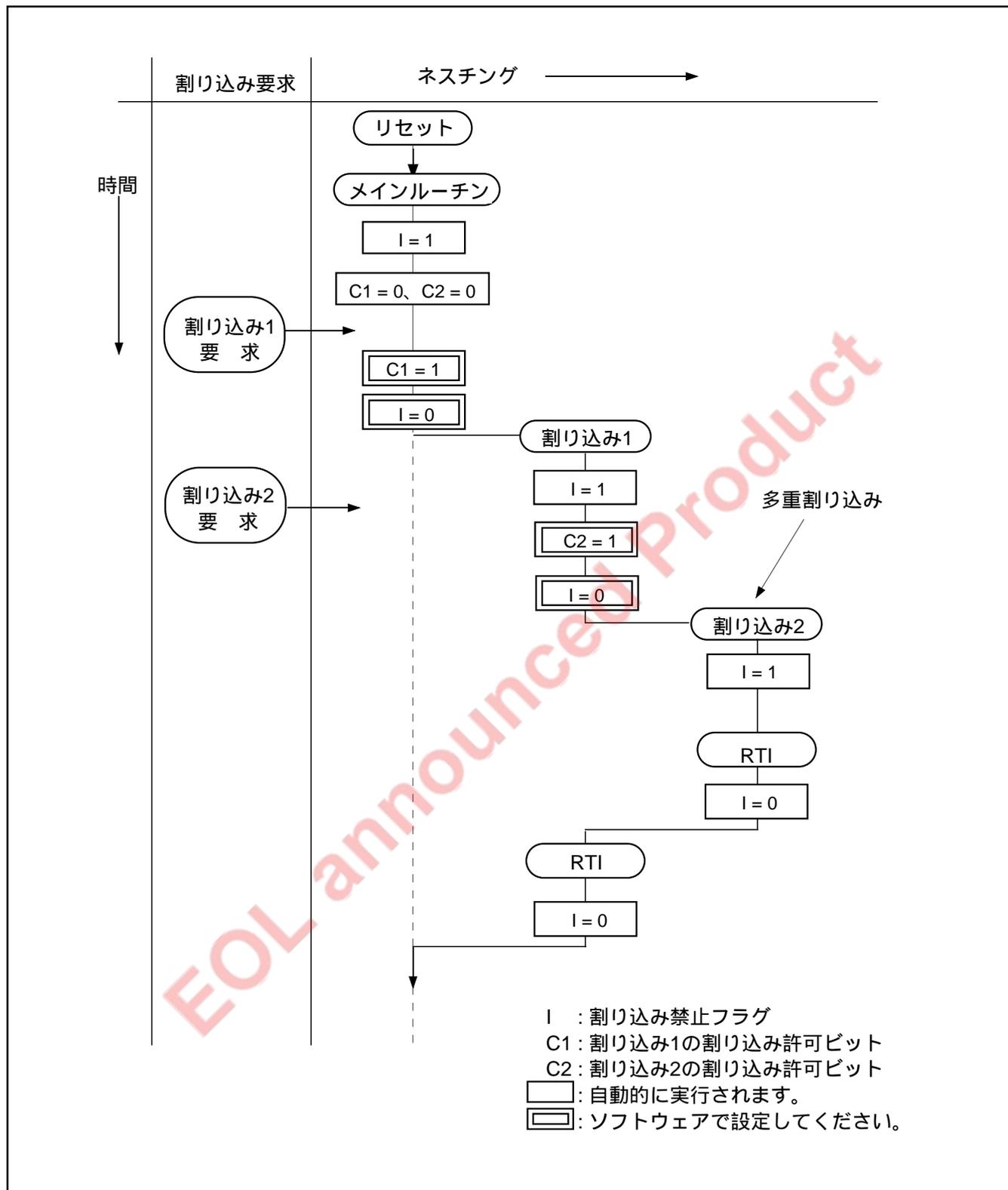


図2.2.13 多重割り込みの例

### 2.2.6 INT割り込み

各INT端子( INT<sub>0</sub> ~ INT<sub>4</sub> )のレベル変化を検出して、INTの割り込み要求が発生します。

#### (1) 有効エッジの選択

INT<sub>0</sub> ~ INT<sub>4</sub>は有効エッジとして、立ち下がりエッジ、又は立ち上がりエッジのどちらを検出するかを、割り込みエッジ選択レジスタによってそれぞれ選択できます。“0”にすると対応する端子の立ち下がりエッジ、“1”にすると対応する端子の立ち上がりエッジが検出されます。

#### (2) INT<sub>0</sub>、INT<sub>2</sub>、INT<sub>4</sub>割り込み要因の選択

以下の割り込み要因を使用する場合、割り込み要因選択レジスタ( 0039<sub>16</sub>番地 )で、どちらの割り込み要因を使用するかを選択してください( INTを使用する場合は“0”に設定 )。

- INT<sub>0</sub>又はタイマ $\alpha$ ( ビット0 )
- INT<sub>2</sub>又はI<sup>2</sup>C( ビット5 )
- INT<sub>4</sub>又はCNTR $\alpha$ ( ビット4 )

EOL announced Product

## 2.2.7 割り込みに関する注意事項

## (1) 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

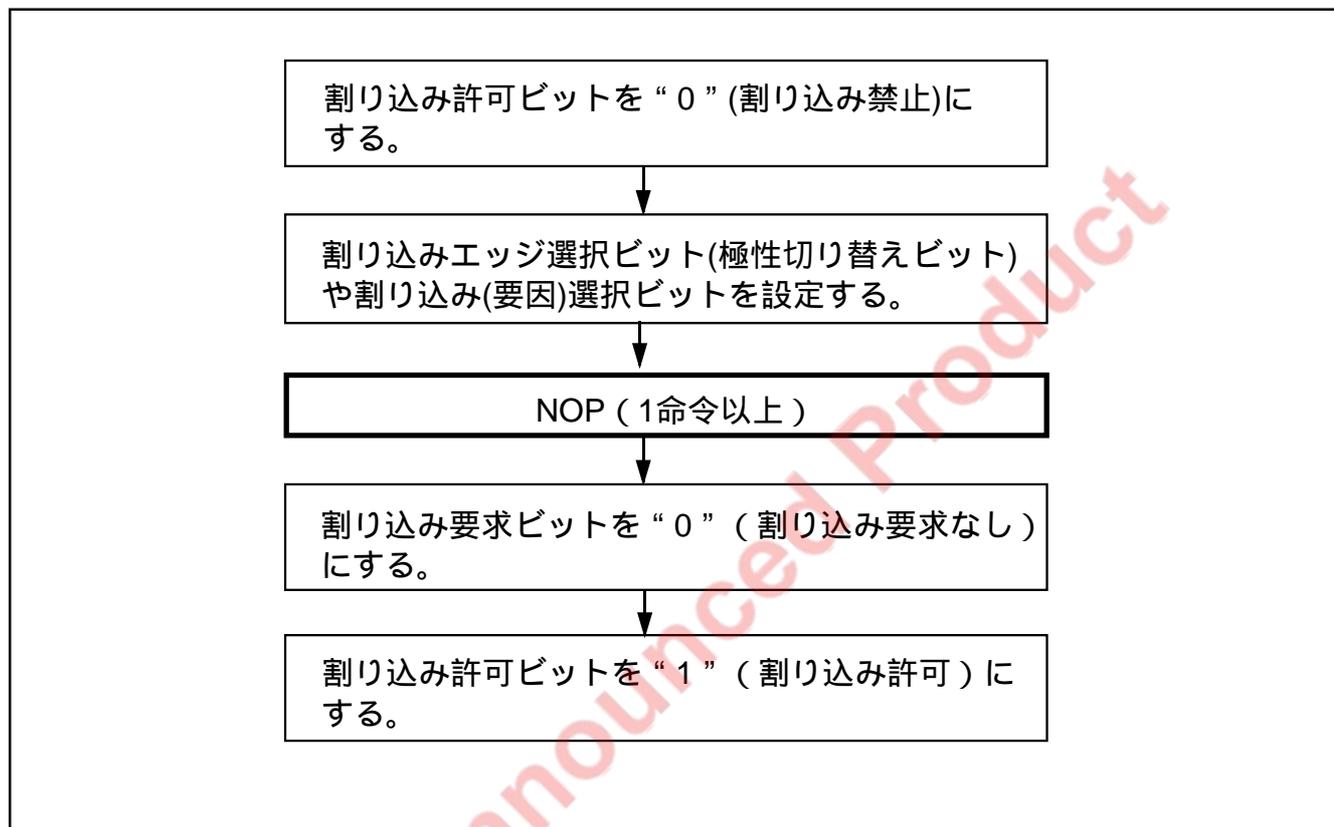


図2.2.14 関連レジスタの設定変更手順

## 理由

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・外部割り込みのアクティブエッジを設定する際

対象レジスタ：割り込みエッジ選択レジスタ(003A<sub>16</sub>番地)

タイマXYモードレジスタ(0023<sub>16</sub>番地)

タイマZモードレジスタ(002A<sub>16</sub>番地)

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(0016<sub>16</sub>番地)

- ・同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際

対象レジスタ：割り込み要因選択レジスタ(0039<sub>16</sub>番地)

## (2) 割り込み要求ビットの判定

割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

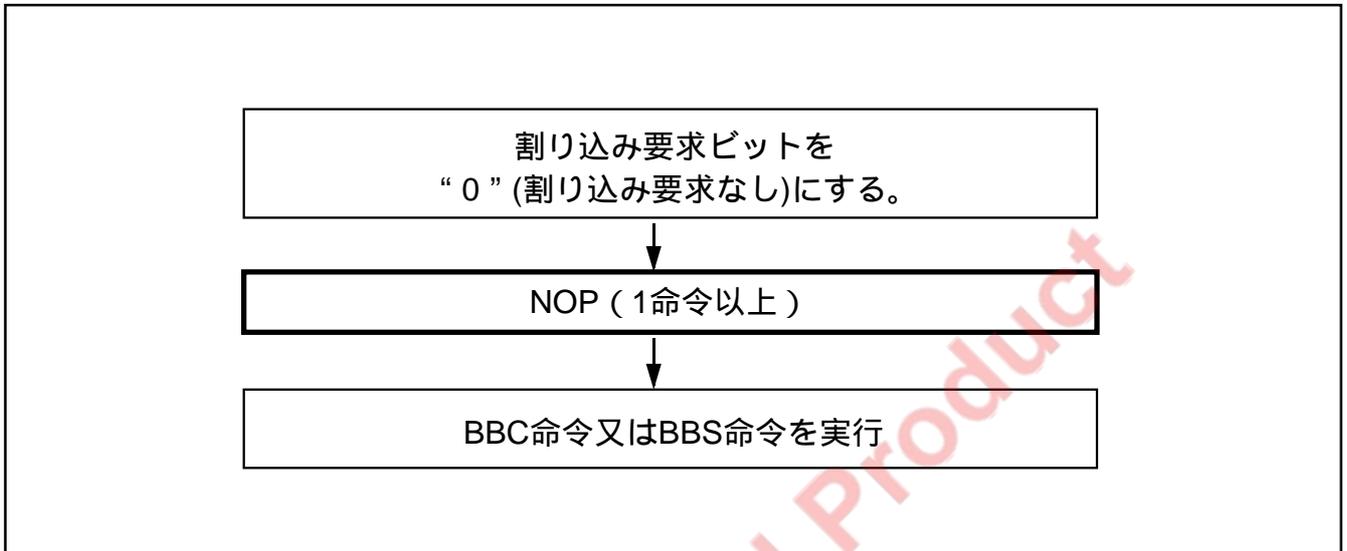


図2.2.15 割り込み要求ビットの判定手順

## 理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

## 2.3 タイマ

本節ではタイマに関するレジスタの設定方法、注意事項などを説明します。

### 2.3.1 メモリ配置図



図2.3.1 タイマ関連レジスタのメモリ配置

## 2.3.2 関連レジスタ

## プリスケータ12、プリスケータX、プリスケータY

b7 b6 b5 b4 b3 b2 b1 b0



プリスケータ12(PRE12)、プリスケータX(PREX)、プリスケータY(PREY)  
【0020<sub>16</sub>, 0024<sub>16</sub>, 0026<sub>16</sub>番地】

b	機 能	リセット時	R;W
0	各プリスケータのカウンタ値を設定します。	1	⋮
1	このレジスタに設定した値は、各プリスケータと対応するプリスケータラッチの両方へ同時に書き込まれます。	1	⋮
2		1	⋮
3		1	⋮
4	このレジスタを読み出した場合、対応するプリスケータのカウンタ値が読み出されます。	1	⋮
5		1	⋮
6		1	⋮
7		1	⋮

図2.3.2 プリスケータ12、プリスケータX、プリスケータYの構成

## タイマ1

b7 b6 b5 b4 b3 b2 b1 b0



タイマ1(T1)【0021<sub>16</sub>番地】

b	機 能	リセット時	R;W
0	タイマ1のカウンタ値を設定します。	1	⋮
1	このレジスタに設定した値は、タイマ1とタイマ1ラッチの両方へ同時に書き込まれます。	0	⋮
2		0	⋮
3	このレジスタを読み出した場合、タイマ1のカウンタ値が読み出されます。	0	⋮
4		0	⋮
5		0	⋮
6		0	⋮
7		0	⋮

図2.3.3 タイマ1の構成

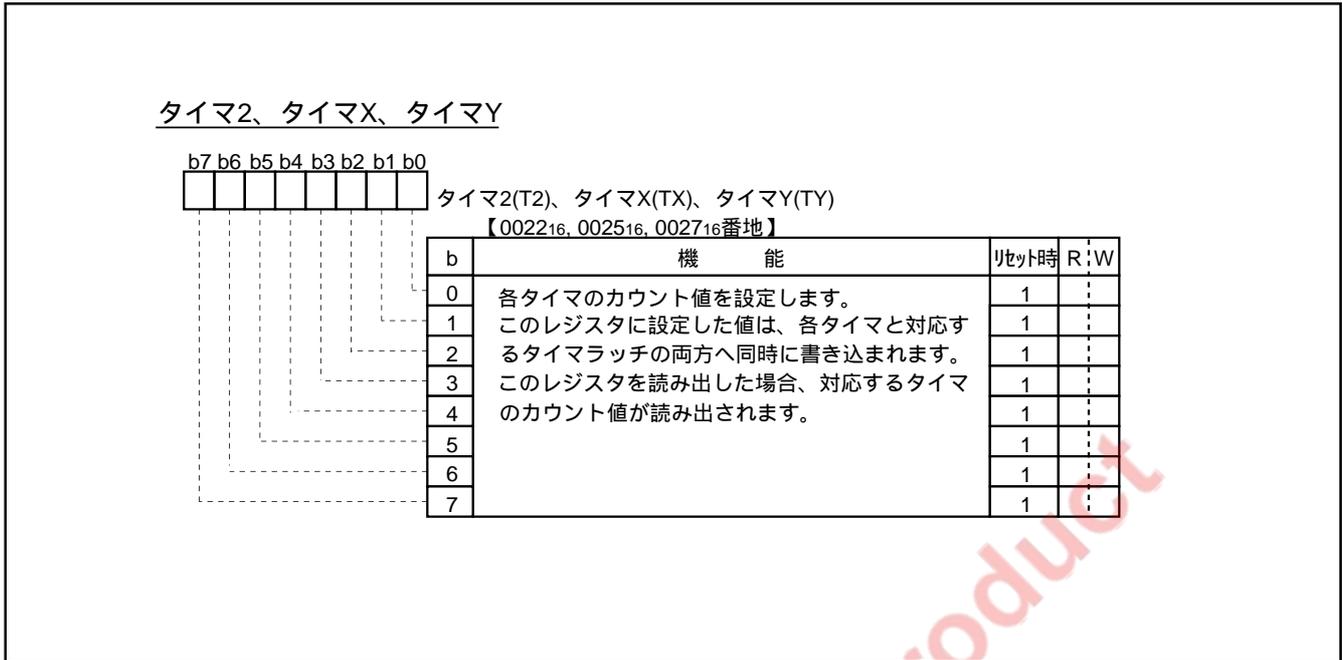


図2.3.4 タイマ2、タイマX、タイマYの構成

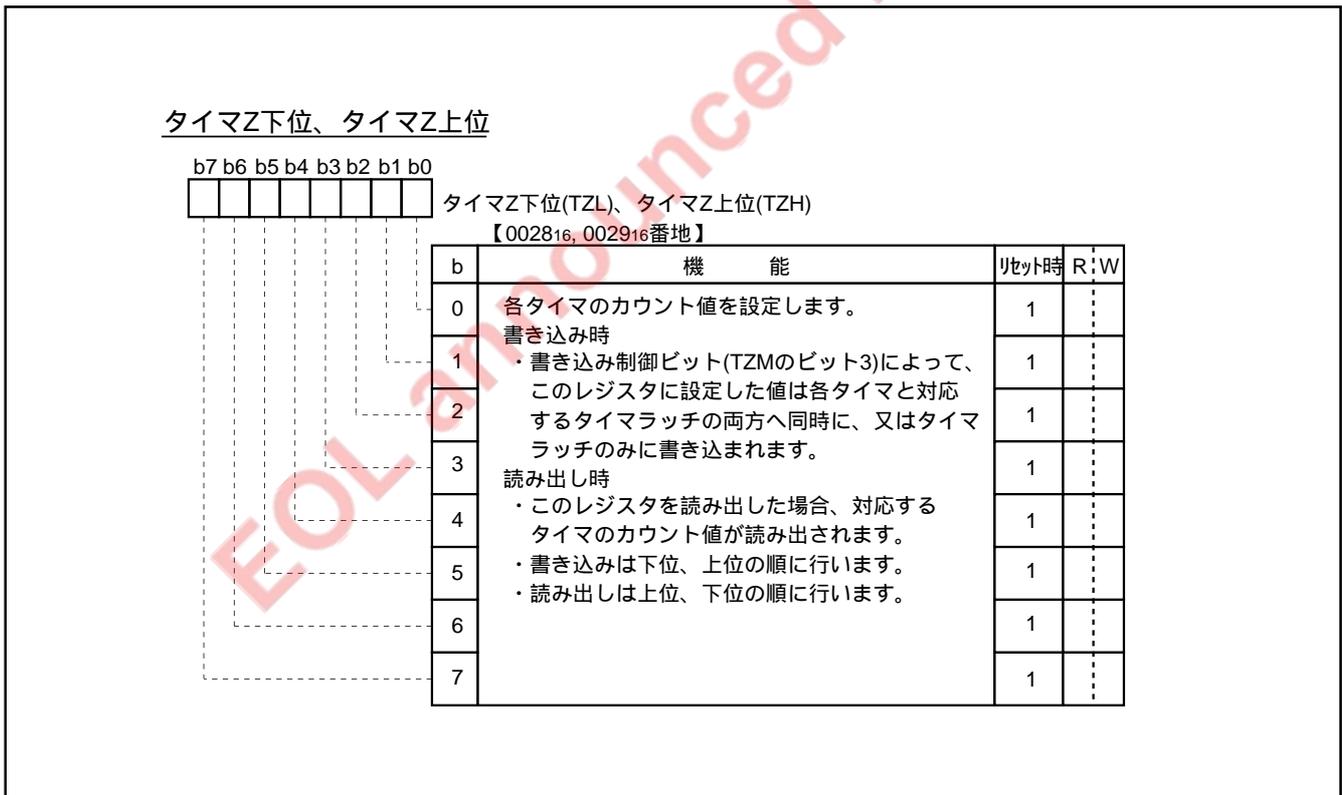


図2.3.5 タイマZ下位、タイマZ上位の構成

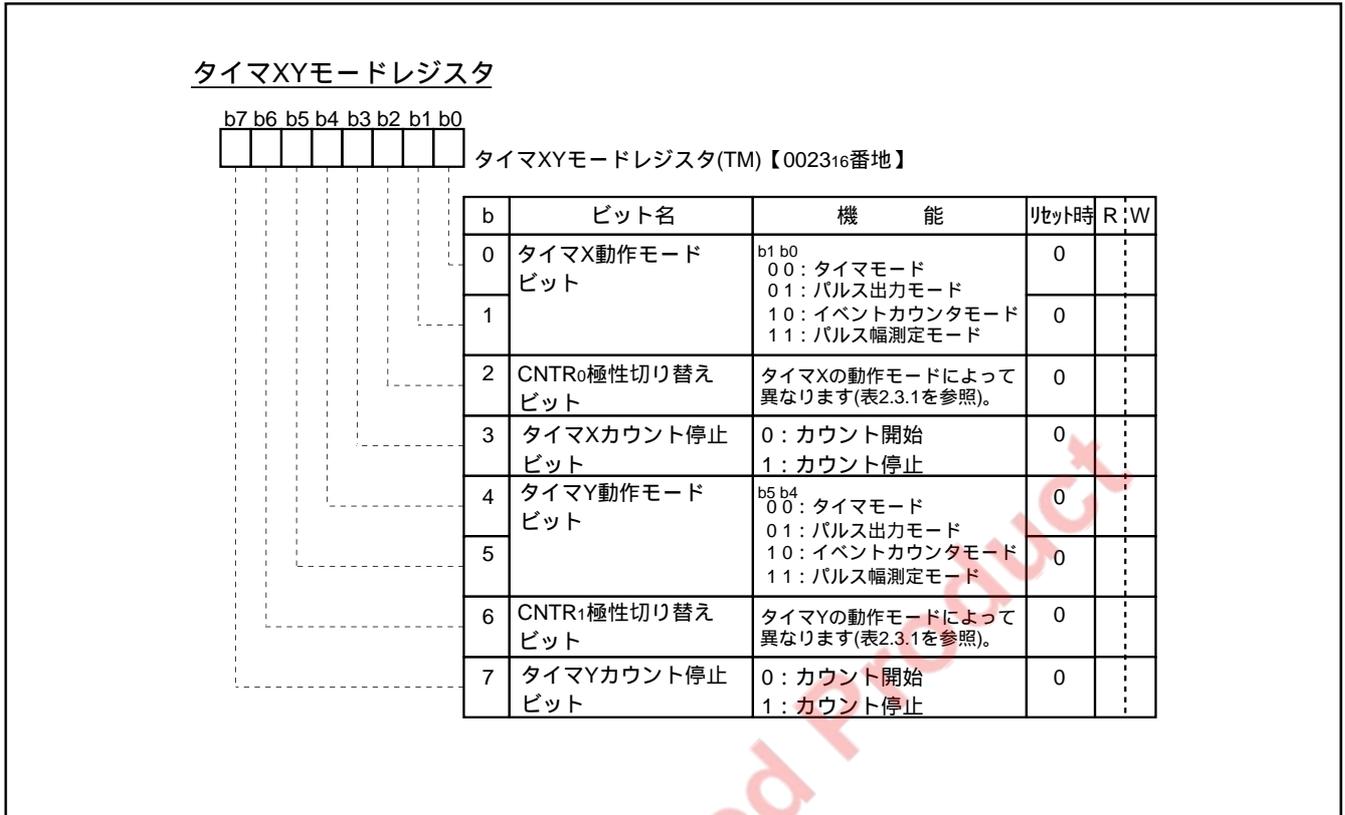


図2.3.6 タイマXYモードレジスタの構成

表2.3.1 CNTR0/CNTR1極性切り替えビットの機能

タイマX/タイマY の動作モード	CNTR0/CNTR1極性切り替えビット (002316番地のビット2、6)の内容	
タイマモード	“0”	・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ(タイマのカウントに影響なし)
	“1”	・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ(タイマのカウントに影響なし)
パルス出力 モード	“0”	・ パルス出力開始: “H”レベルから ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ パルス出力開始: “L”レベルから ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ
イベントカウ ンタモード	“0”	・ タイマX/タイマY: 立ち上がりエッジをカウント ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX/タイマY: 立ち下がりエッジをカウント ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ
パルス幅測定 モード	“0”	・ タイマX/タイマY: “H”レベル幅を測定 ・ CNTR0/CNTR1割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX/タイマY: “L”レベル幅を測定 ・ CNTR0/CNTR1割り込み要求の発生: 立ち上がりエッジ

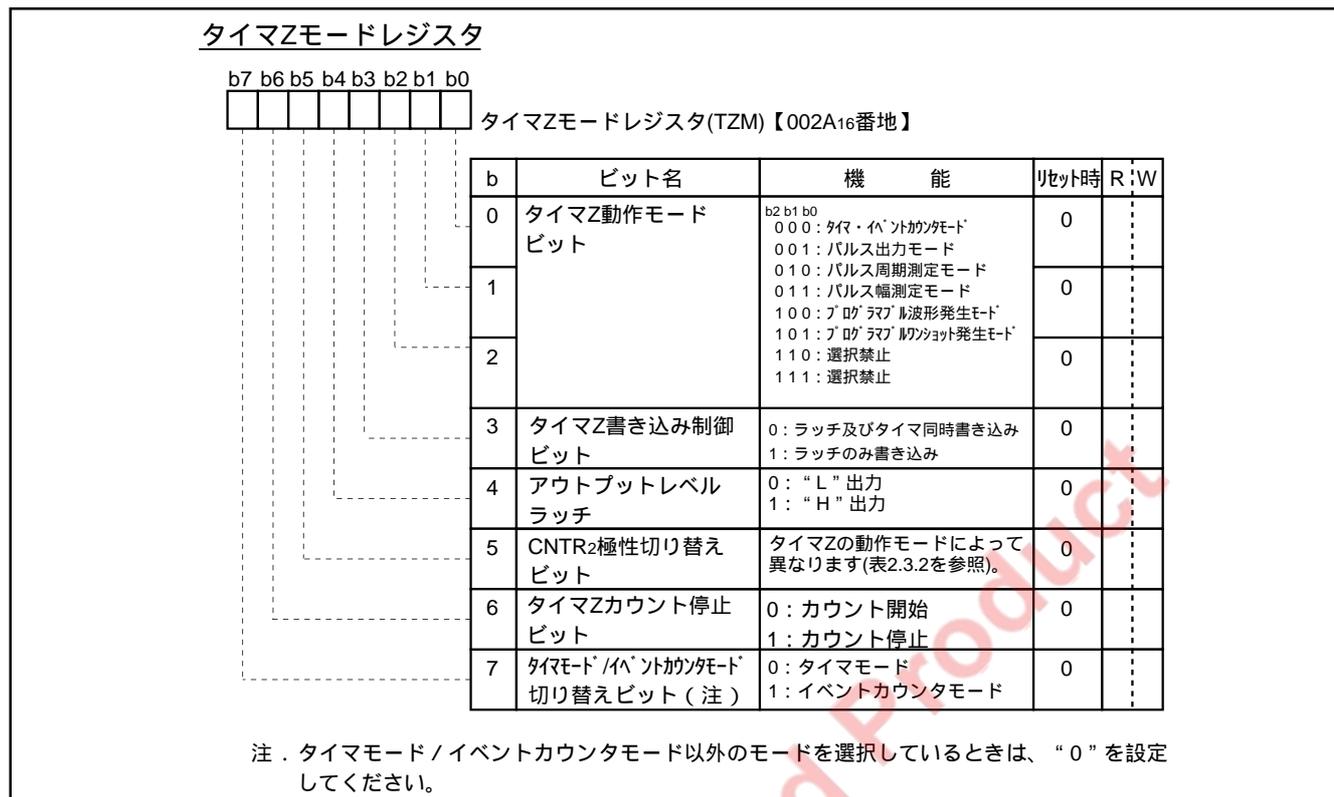


図2.3.7 タイマZモードレジスタの構成

表2.3.2 CNTR2極性切り替えビットの機能

タイマZ の動作モード	CNTR2極性切り替えビット (002A16番地のビット5)の内容	
タイマモード	“0”	・ CNTR2割り込み要求の発生: 立ち下がりエッジ(タイマのカウントに影響なし)
	“1”	・ CNTR2割り込み要求の発生: 立ち上がりエッジ(タイマのカウントに影響なし)
イベントカウンタモード	“0”	・ タイマZ: 立ち上がりエッジをカウント ・ CNTR2割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマZ: 立ち下がりエッジをカウント ・ CNTR2割り込み要求の発生: 立ち上がりエッジ
パルス出力モード	“0”	・ パルス出力開始: “H”レベルから ・ CNTR2割り込み要求の発生: 立ち下がりエッジ
	“1”	・ パルス出力開始: “L”レベルから ・ CNTR2割り込み要求の発生: 立ち上がりエッジ
パルス周期測定モード	“0”	・ タイマZ: 立ち下がりエッジから次の立ち下がりエッジの期間を測定 ・ CNTR2割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマZ: 立ち上がりエッジから次の立ち上がりエッジの期間を測定 ・ CNTR2割り込み要求の発生: 立ち上がりエッジ
パルス幅測定モード	“0”	・ タイマZ: “H”レベル幅を測定 ・ CNTR2割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマZ: “L”レベル幅を測定 ・ CNTR2割り込み要求の発生: 立ち上がりエッジ
プログラマブルワンショット発生モード	“0”	・ タイマZ: パルス出力を“L”レベルから開始し、“H”レベルのワンショットパルスを出力 ・ CNTR2割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマZ: パルス出力を“H”レベルから開始し、“L”レベルのワンショットパルスを出力 ・ CNTR2割り込み要求の発生: 立ち上がりエッジ

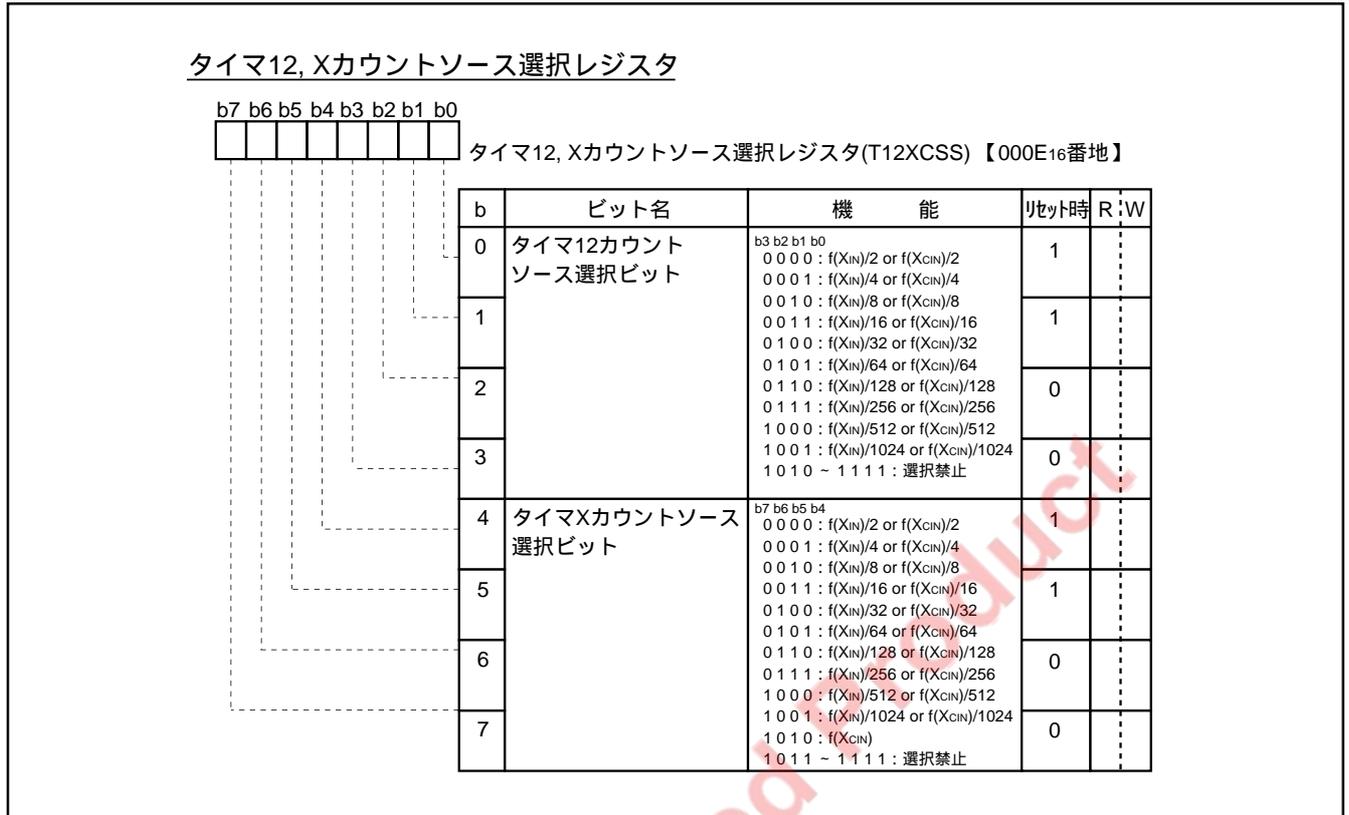


図2.3.8 タイマ12, Xカウントソース選択レジスタの構成

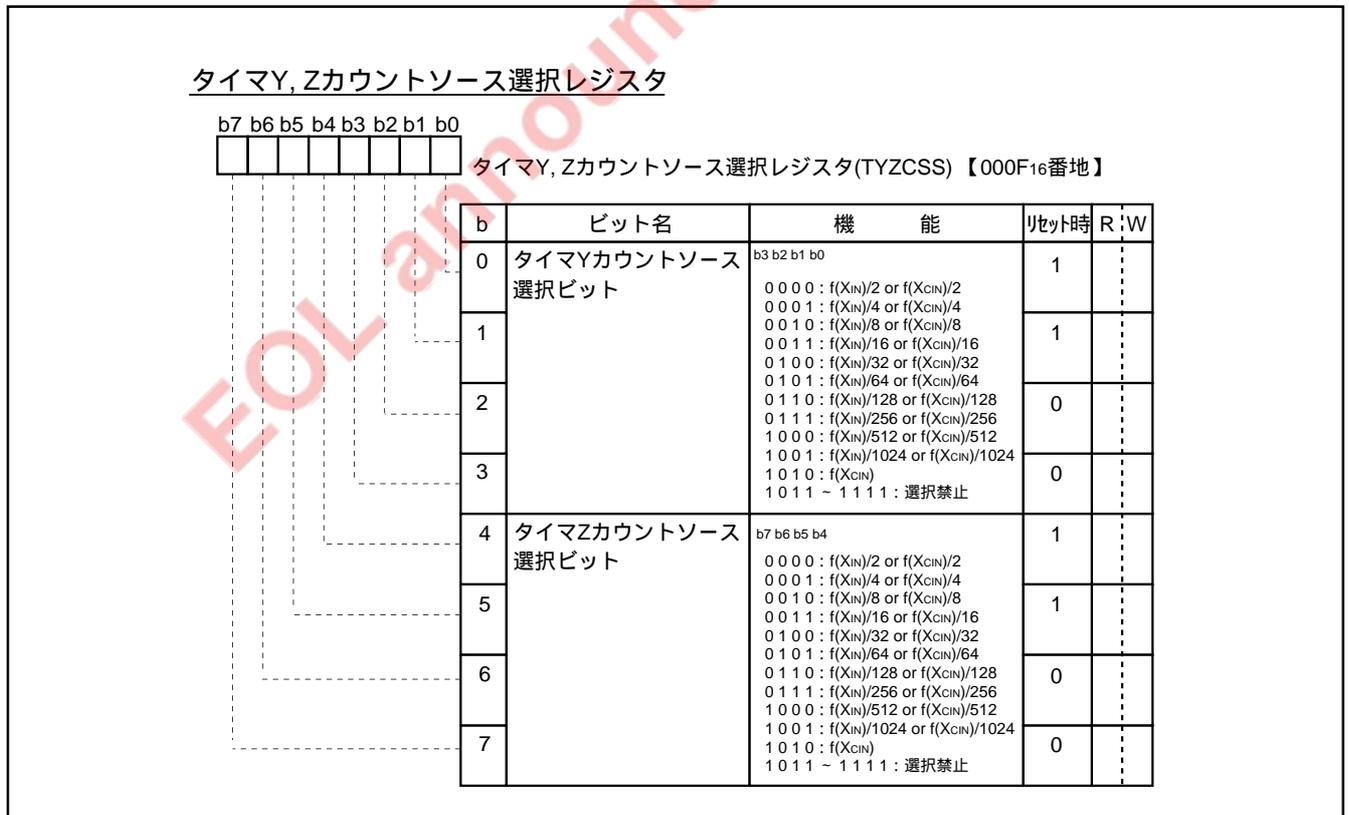
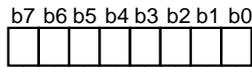


図2.3.9 タイマY, Zカウントソース選択レジスタの構成

割り込み要因選択レジスタ



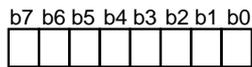
割り込み要因選択レジスタ(INTSEL)【0039<sub>16</sub>番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/タイマZ割り込み 要因選択ビット	0:INT0割り込み 1:タイマZ割り込み(注1)	0		
1	シリアル/O2/タイマZ 割り込み要因選択ビット	0:シリアル/O2割り込み 1:タイマZ割り込み(注1)	0		
2	シリアル/O1送信/SCL,SDA 割り込み要因選択ビット	0:シリアル/O1送信割り込み 1:SCL,SDA割り込み(注2)	0		
3	CNTR0/SCL,SDA割り込 み要因選択ビット	0:CNTR0割り込み 1:SCL,SDA割り込み(注2)	0		
4	INT4/CNTR2割り込み 要因選択ビット	0:INT4割り込み 1:CNTR2割り込み	0		
5	INT2/I <sup>2</sup> C割り込み要因 選択ビット	0:INT2割り込み 1:I <sup>2</sup> C割り込み	0		
6	CNTR1/シリアル/O3受信 割り込み要因選択ビット	0:CNTR1割り込み 1:シリアル/O3受信割り込み	0		
7	AD変換/シリアル/O3送信 割り込み要因選択ビット	0:A/D変換割り込み 1:シリアル/O3送信割り込み	0		

注1. 同時に“1”を書き込まないでください。  
2. 同時に“1”を書き込まないでください。

図2.3.10 割り込み要因選択レジスタの構成

割り込み要求レジスタ1



割り込み要求レジスタ1(IREQ1)【003C<sub>16</sub>番地】

b	ビット名	機 能	リセット時	R	W
0	INT0/タイマZ 割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*	*
1	INT1割り込み要求ピッ ト	0:割り込み要求なし 1:割り込み要求あり	0	*	*
2	シリアル/O1受信割り込み 要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*	*
3	シリアル/O1送信/SCL,SDA 割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*	*
4	タイマX割り込み要求 ビット	0:割り込み要求なし 1:割り込み要求あり	0	*	*
5	タイマY割り込み要求 ビット	0:割り込み要求なし 1:割り込み要求あり	0	*	*
6	タイマ1割り込み要求 ビット	0:割り込み要求なし 1:割り込み要求あり	0	*	*
7	タイマ2割り込み要求 ビット	0:割り込み要求なし 1:割り込み要求あり	0	*	*

\*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.3.11 割り込み要求レジスタ1の構成

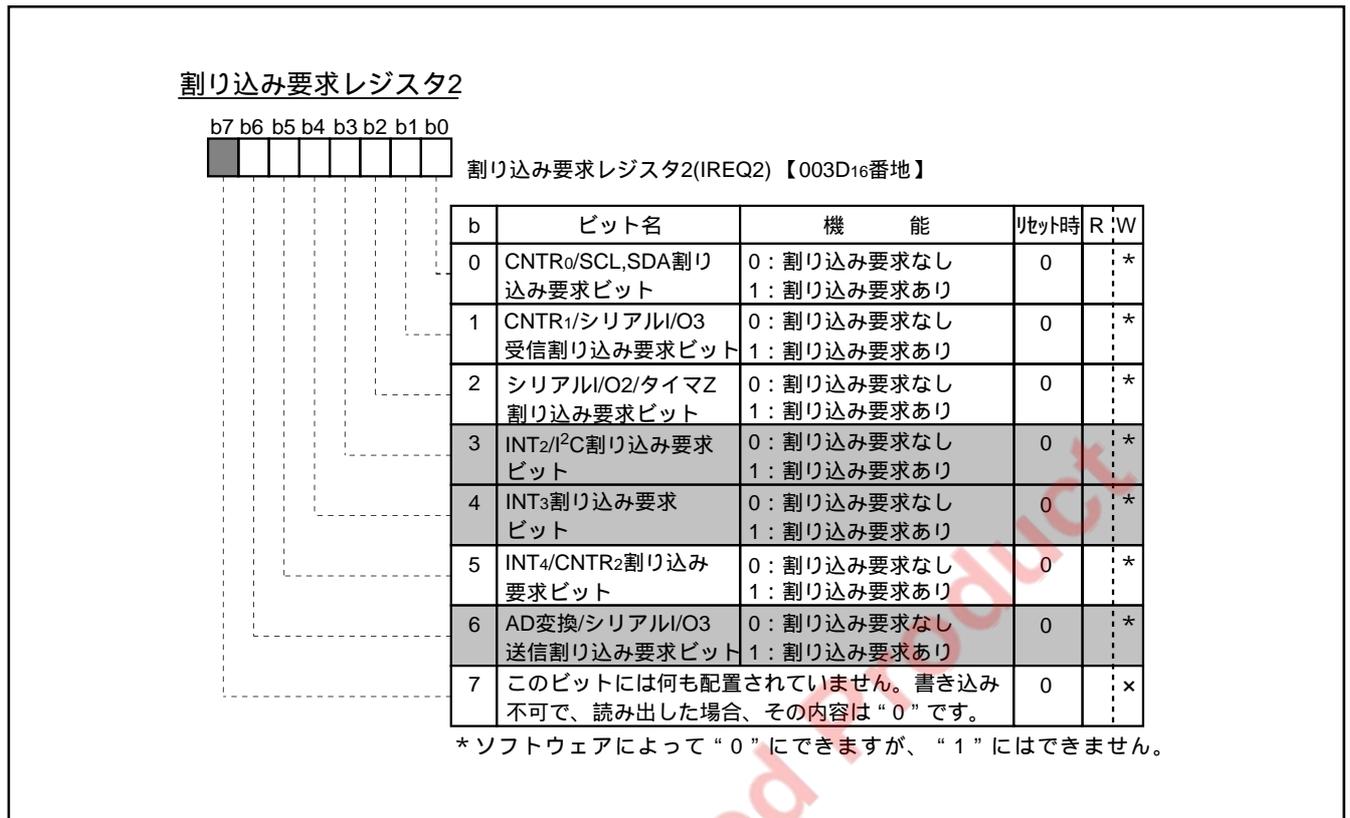


図2.3.12 割り込み要求レジスタ2の構成

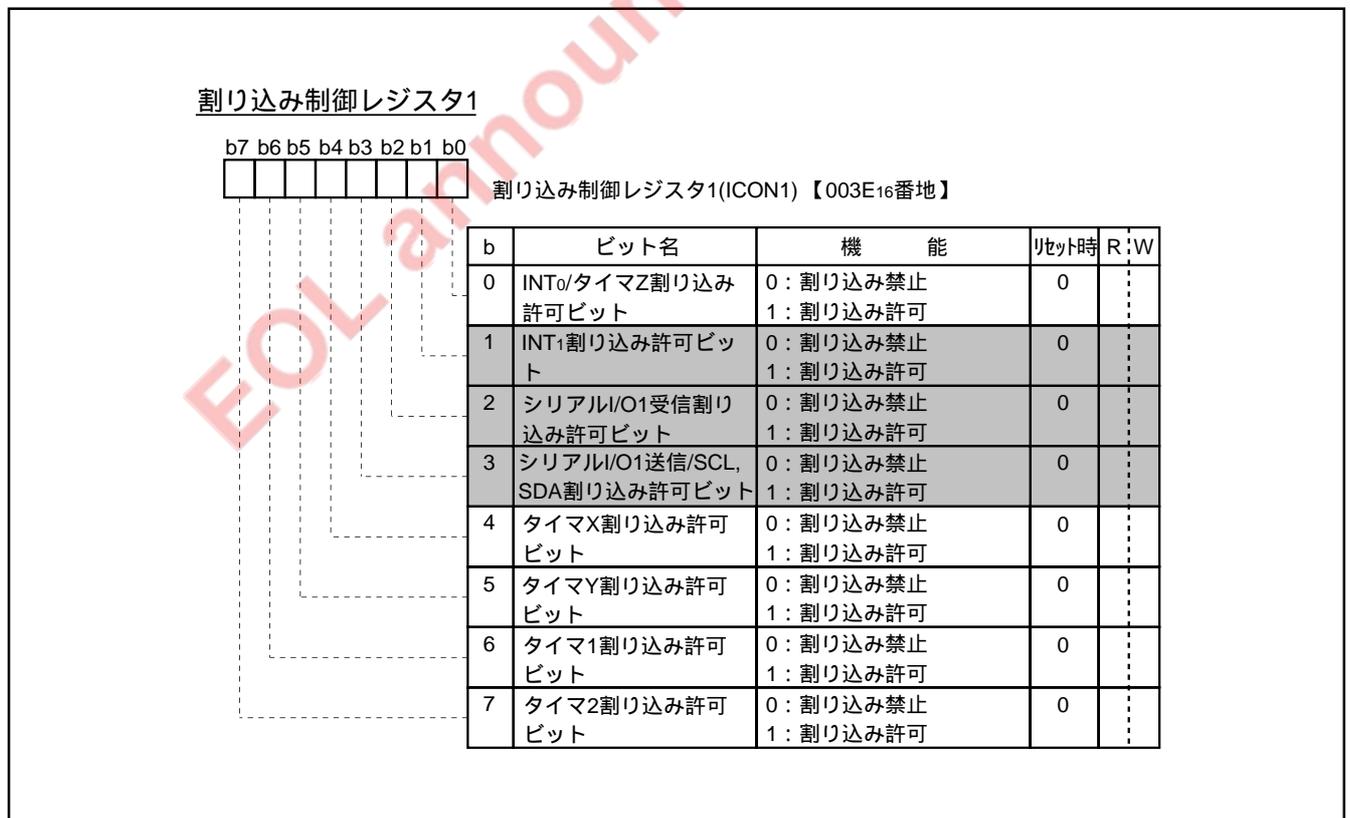


図2.3.13 割り込み制御レジスタ1の構成

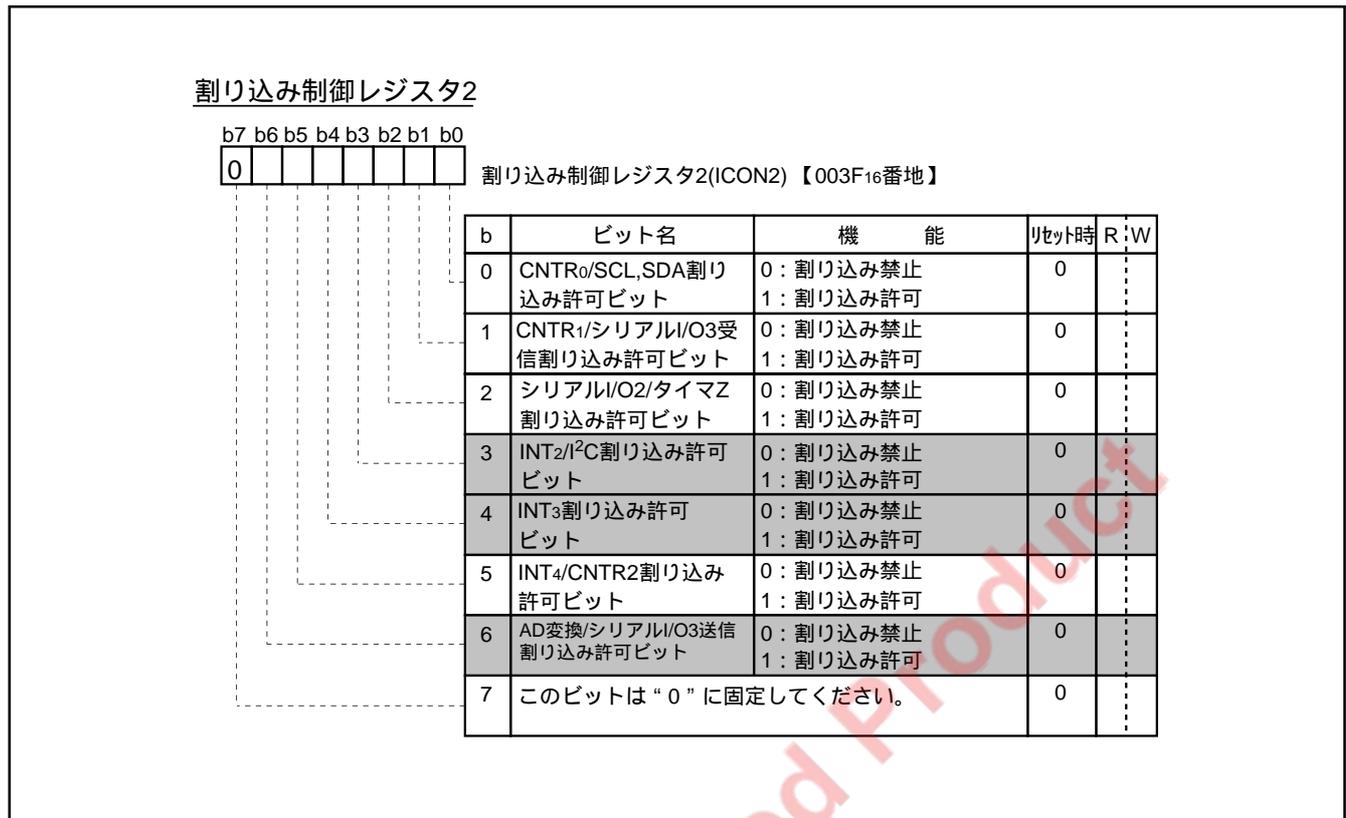


図2.3.14 割り込み制御レジスタ2の構成

### 2.3.3 タイマの応用例

#### (1) 基本的な機能と用途

[ 機能1 ] イベント間隔の管理( タイマX、タイマY、タイマZ、タイマ1、タイマ2 )

タイマにカウント値を設定すると、一定時間後に各タイマの割り込み要求が発生します。

用途

- ・出力信号のタイミング生成
- ・ウェイト時間の生成

[ 機能2 ] 周期的な動作の管理( タイマX、タイマY、タイマZ、タイマ1、タイマ2 )

タイマがアンダフローするごとに、自動的に各タイマラッチの値を対応するタイマに書き込み、周期的に各タイマの割り込み要求が発生します。

用途

- ・周期的な割り込みの発生
- ・時計機能( 250msの測定 ) 応用例1
- ・メインルーチンの周期管理

[ 機能3 ] 方形波の出力( タイマX、タイマY、タイマZ )

タイマがアンダフローするごとに、CNTR端子の出力レベルを反転します( パルス出力モード )。

用途

- ・圧電ブザー出力 応用例2
- ・リモコン搬送波の発生

[ 機能4 ] 外部パルスのカウント( タイマX、タイマY、タイマZ )

タイマのカウントソースとして、CNTR端子に入力される外部パルスをカウントします( イベントカウンタモード )。

用途

- ・周波数の測定 応用例3
- ・外部パルスの分周
- ・外部パルスをカウントソースとする周期の割り込み発生( リールパルスのカウント )

[ 機能5 ] 外部パルス幅の測定( タイマX、タイマY、タイマZ )

CNTR端子に入力される外部パルスの“ H ”レベル幅又は“ L ”レベル幅を測定します( パルス幅測定モード )。

用途

- ・外部パルスの周波数の測定( モータのFGパルス(注)のパルス幅測定 ) 応用例4
- ・外部パルスのデューティの測定( 周波数が固定されている場合 )

注. FGパルス : モータの速度制御を行うためモータの速度を検出するパルス

[ 機能6 ] 任意の波形出力( タイマZ )

タイマがアンダフローするごとに、CNTR端子からアウトプットレベルラッチに設定された値のレベルを出力します( プログラマブル波形発生モード )。

[機能7] 外部トリガでのワンショットパルス出力(タイマZ)

INT端子から入力されるトリガ信号により、タイマラッチの値がタイマにセットされ、ダウンカウントされます。トリガ信号と同時にCNTR端子から“H”又は“L”を出力し、タイマのアンダフローにより“L”又は“H”を出力します(プログラマブルワンショット発生モード)。

EOL announced Product

(2) タイマの応用例1：時計機能(250 msの測定)

ポイント：クロックをタイマで分周し、250 msごとに時計をカウントアップします。

仕様：・クロック $f(X_{IN}) = 4.19\text{MHz}$  ( $2^{22}\text{Hz}$ )をタイマで分周。

・タイマX割り込み(約250 msごとに発生)処理ルーチンで、時計をカウントアップ。

タイマの接続と分周比の設定を図2.3.15、関連レジスタの設定を図2.3.16、制御手順を図2.3.17に示します。

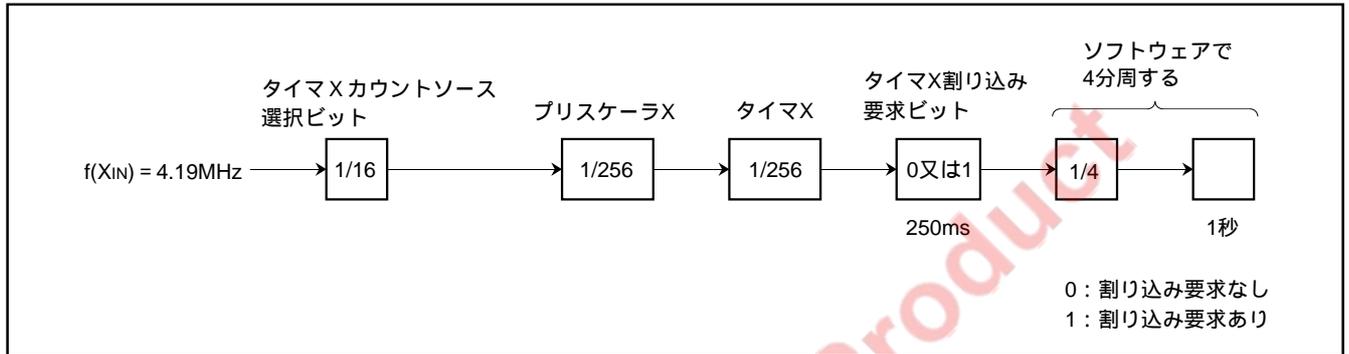


図2.3.15 タイマの接続と分周比の設定

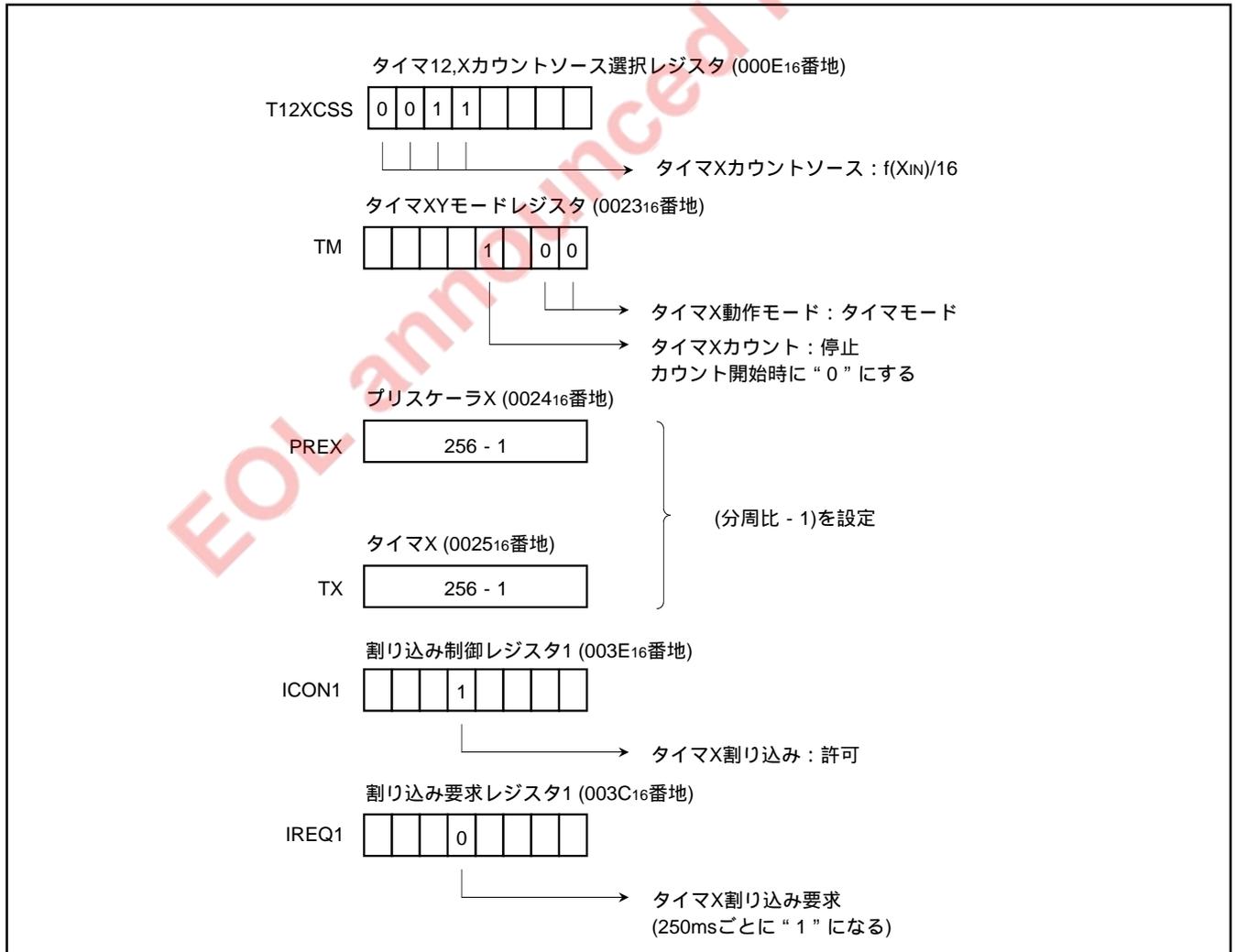


図2.3.16 関連レジスタの設定

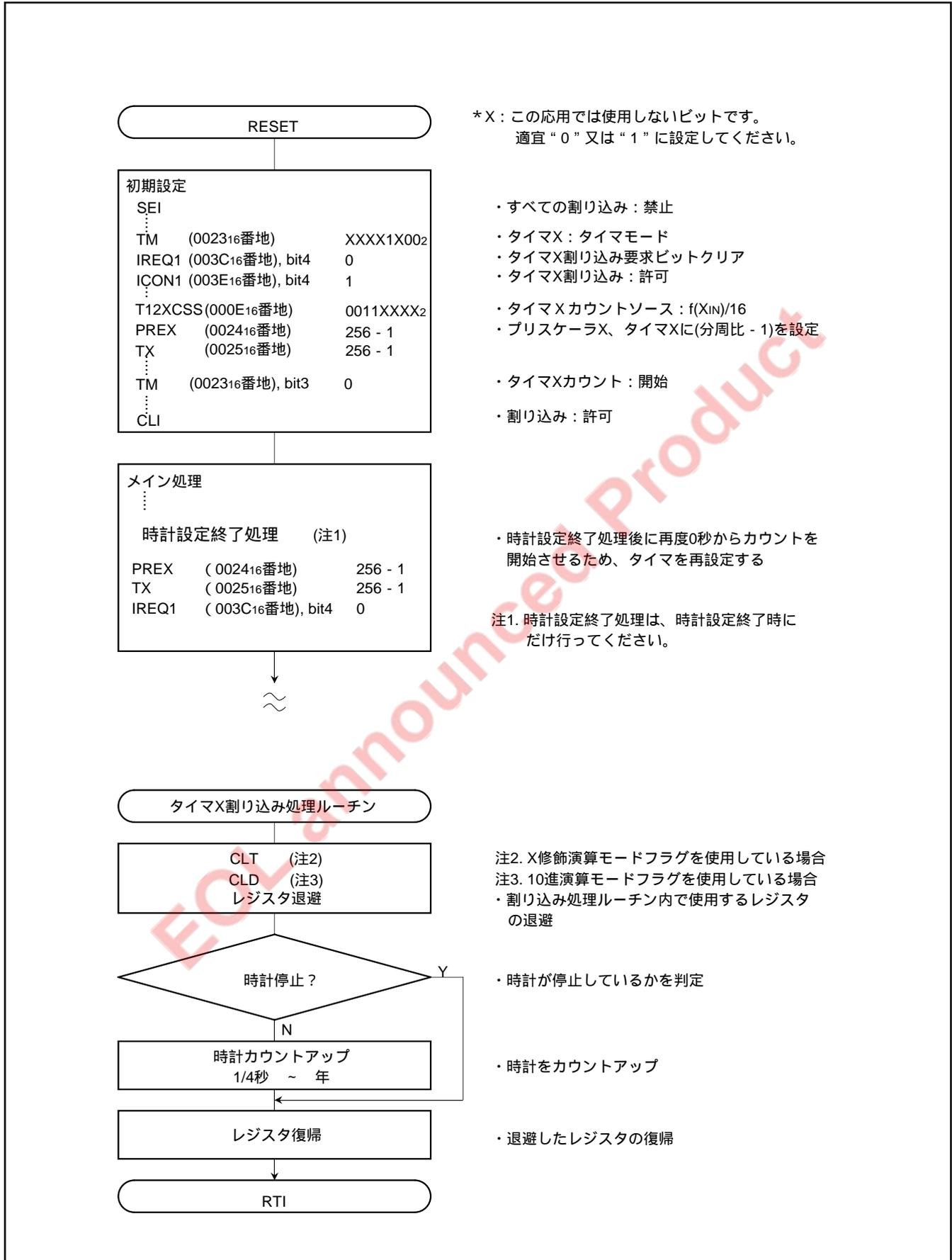


図2.3.17 制御手順

(3) タイマの応用例2：圧電ブザー出力

ポイント：タイマの方形波出力機能を圧電ブザー出力に応用します。

- 仕様：
- ・クロック $f(X_{IN}) = 8\text{MHz}$ を約 $2\text{kHz}(2049\text{Hz})$ まで分周した方形波を、P47/CNTR2端子から出力。
  - ・圧電ブザー出力停止中はP47/CNTR2端子のレベルを“H”に固定。

周辺回路例を図2.3.18、タイマの接続と分周比の設定を図2.3.19に示します。また、関連レジスタの設定を図2.3.20、制御手順を図2.3.21に示します。

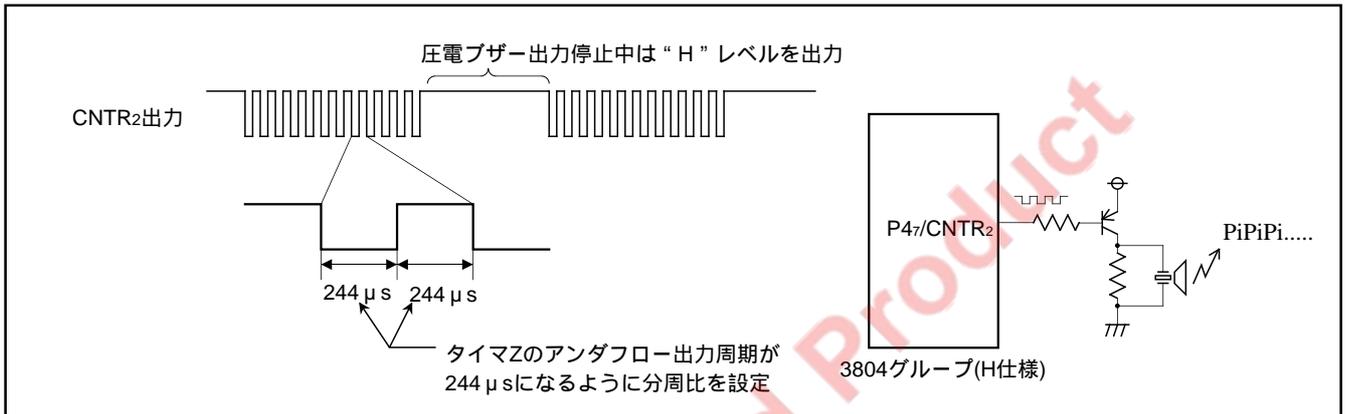


図2.3.18 周辺回路例

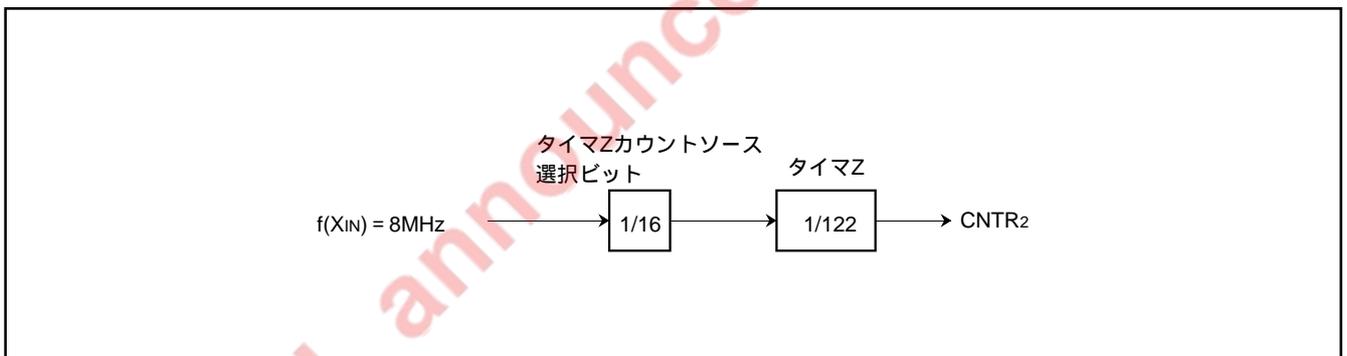


図2.3.19 タイマの接続と分周比の設定

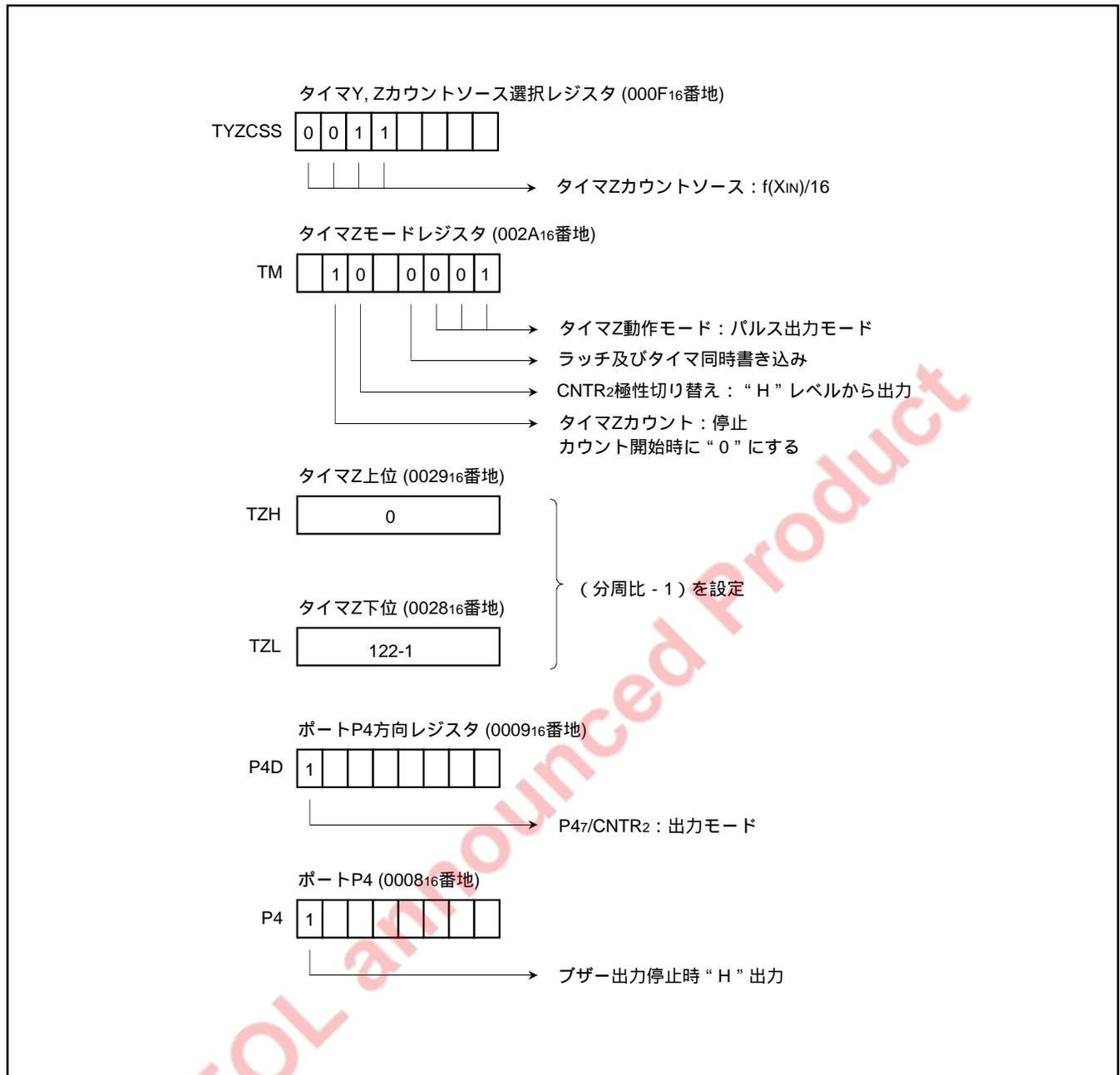


図2.3.20 関連レジスタの設定

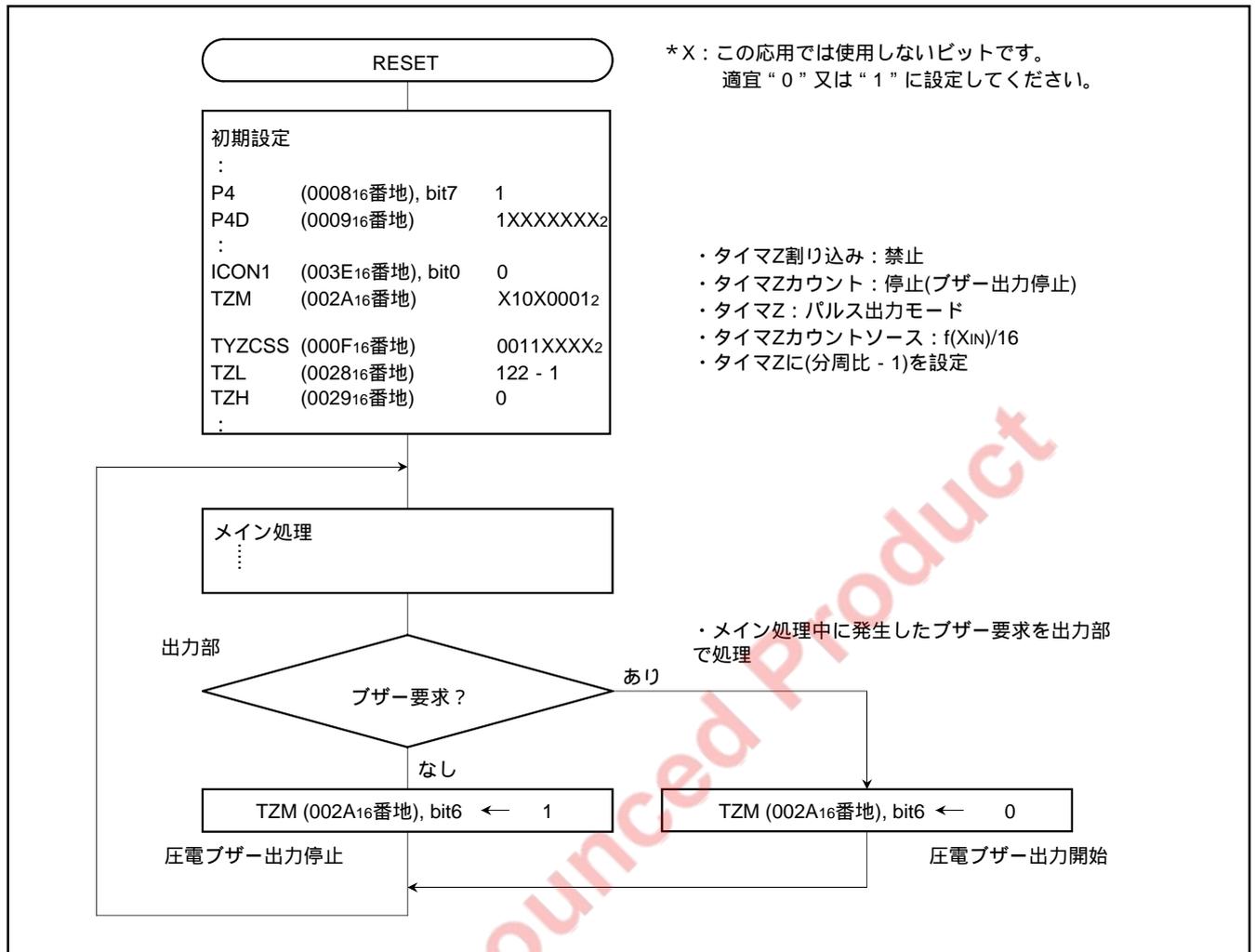


図2.3.21 制御手順

## (4) タイマの応用例3：周波数の測定

ポイント：周波数が有効範囲内にあるかを判定するために、以下に示す2つの値を比較します。

- ・ P55/CNTR1端子に入力されるパルスをタイマでカウントした値
- ・ 基準値

仕様：・ P55/CNTR1端子にパルスを入力し、タイマYでカウント。

- ・ クロック $f(XIN) = 8\text{MHz}$ をタイマ1で分周し、約 $2\text{ms}$ ごとに割り込み発生。
  - ・ 約 $2\text{ms}$ (タイマ1割り込み間隔)ごとにカウント値を読み出し、 $28 \sim 40$ カウントの場合を有効と判断。
  - ・ タイマがダウンカウンタであるため、 $227 \sim 215$ (注)とカウント値を比較。
- 注.  $227 \sim 215 = 255$ (カウンタの初期値) -  $28 \sim 40$ (有効カウント数)

入力パルスの有効又は無効の判定方法を図2.3.22、関連レジスタの設定を図2.3.23、制御手順を図2.3.24に示します。

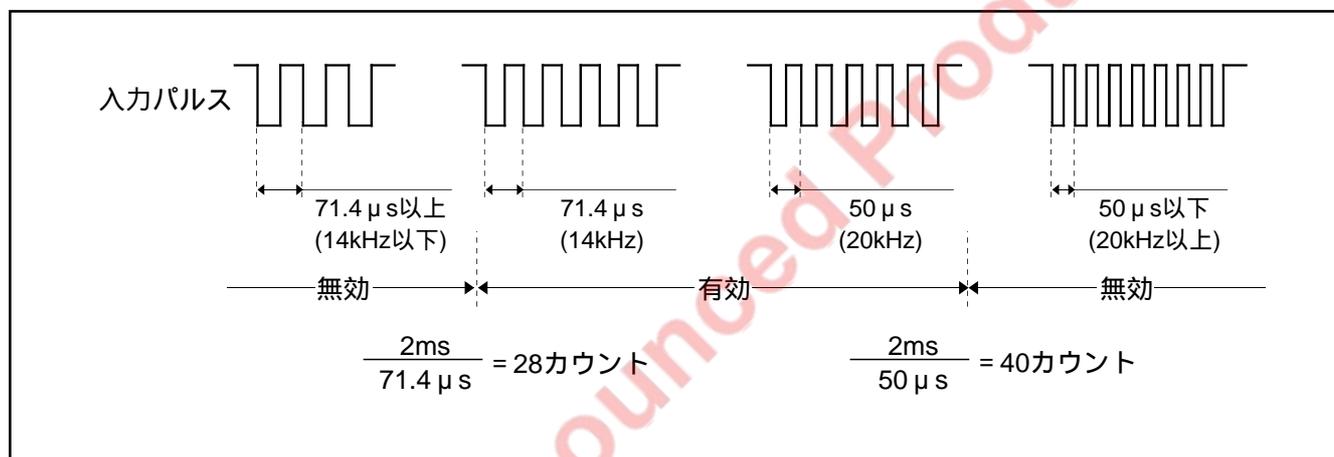


図2.3.22 入力パルス有効又は無効の判定方法

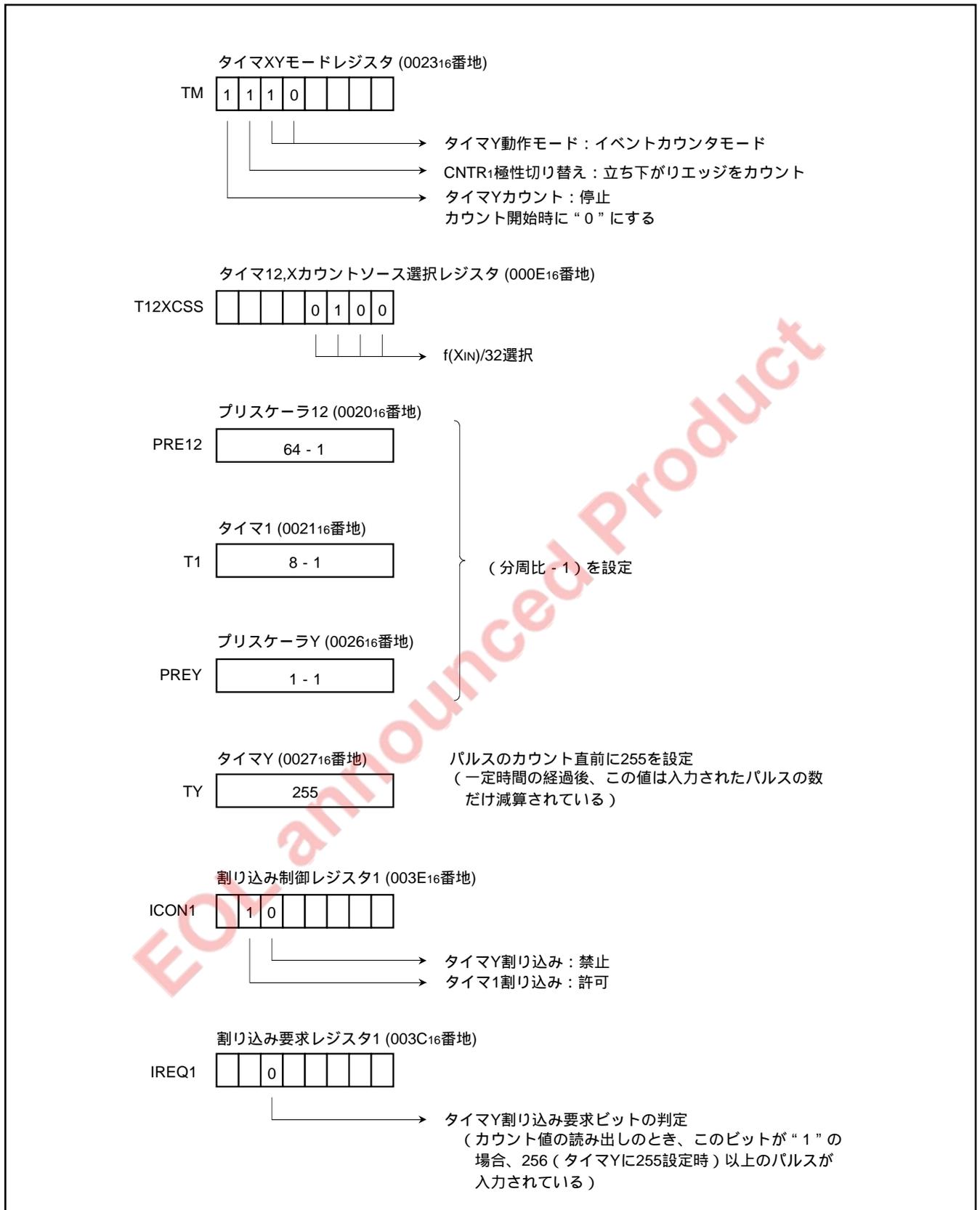


図2.3.23 関連レジスタの設定

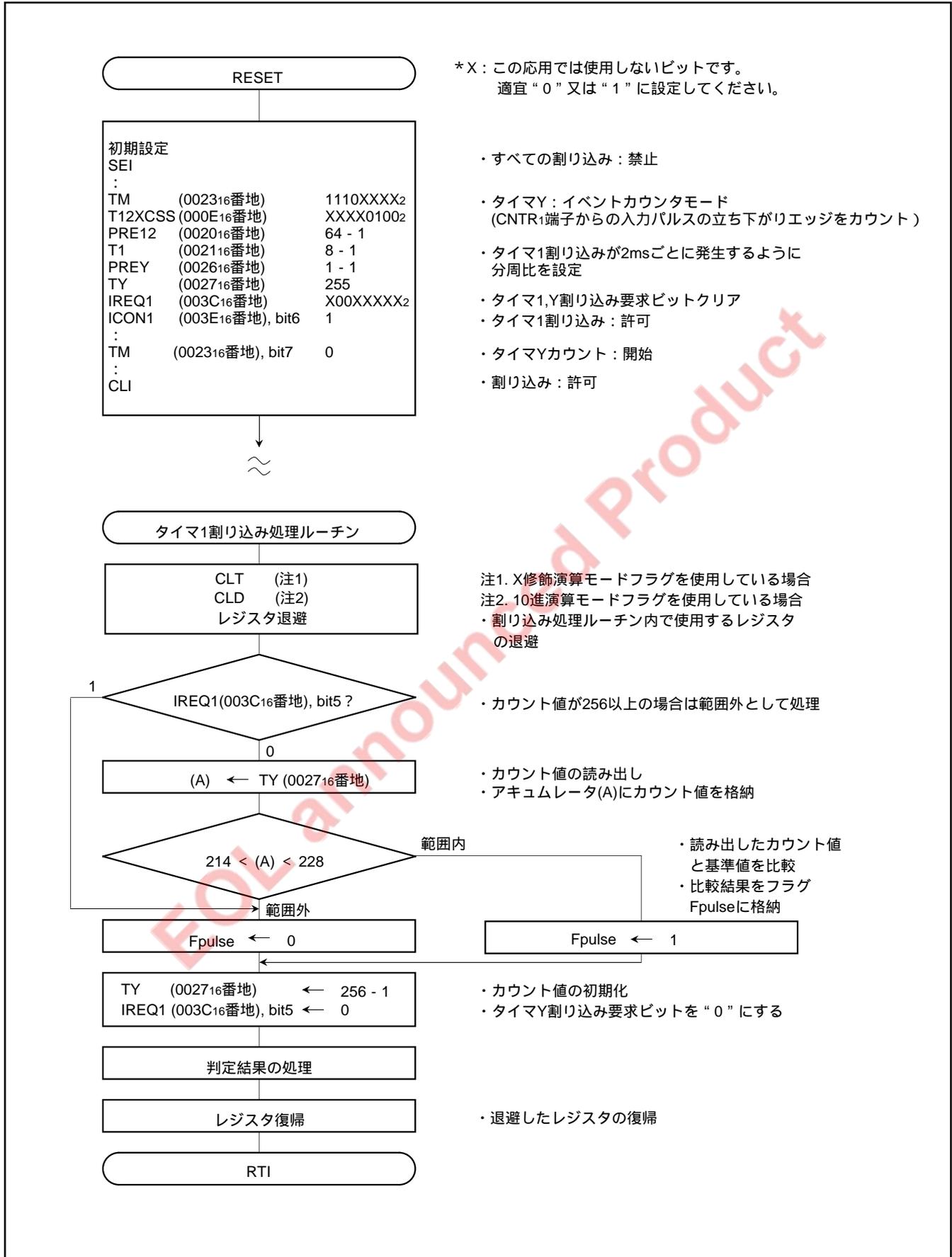


図2.3.24 制御手順

## (5) タイマの応用例4：モータのFGパルスのパルス幅測定

ポイント：P47/CNTR2端子に入力されるパルスの“H”レベル幅をタイマZでカウントします。アンダフローはタイマZ割り込みで検出され、入力パルスの“H”レベルの終了はP47/CNTR2割り込みで検出されます。

仕様：P47/CNTR2端子から入力されるFGパルスの“H”レベル幅をタイマZでカウント。

例：8MHzの場合、16分周された2 $\mu$ sがカウントソースとなる。FFFF<sub>16</sub>～0000<sub>16</sub>の範囲で131.072msまで測定可能。

タイマの接続と分周比の設定を図2.3.25、関連レジスタの設定を図2.3.26、制御手順を図2.3.27、図2.3.28に示します。

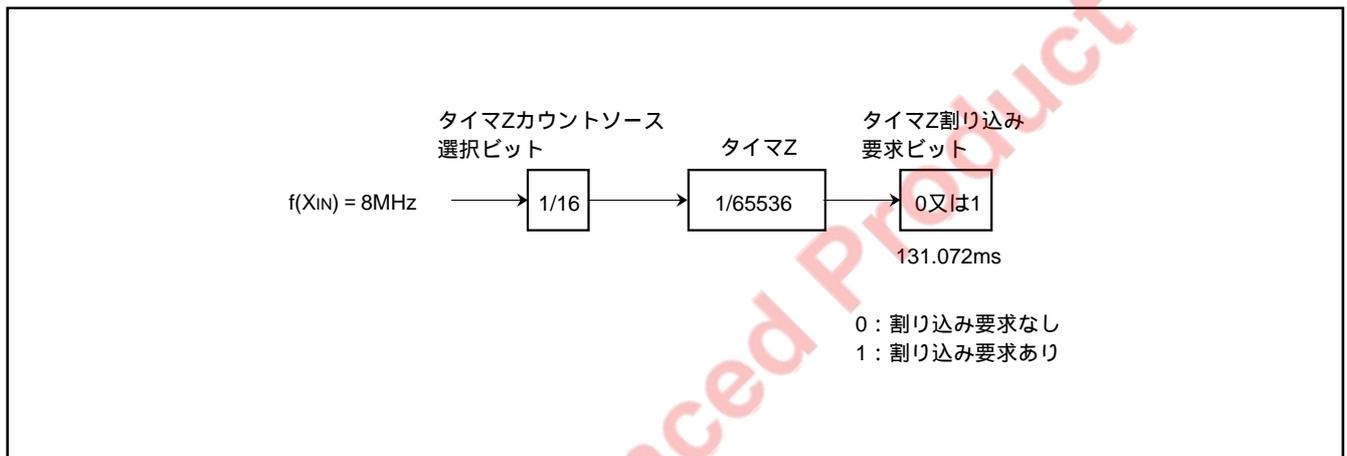


図2.3.25 タイマの接続と分周比の設定

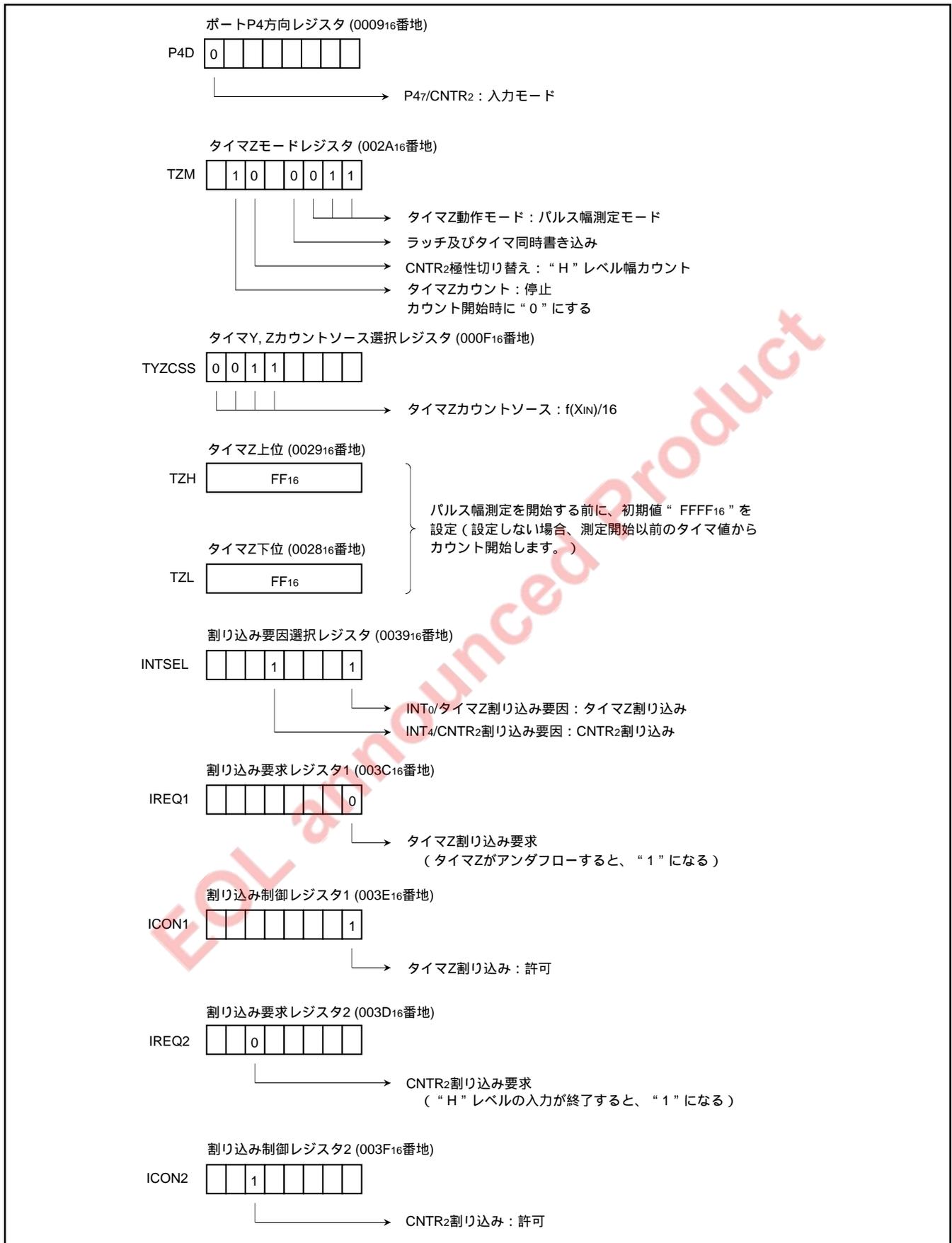


図2.3.26 関連レジスタの設定

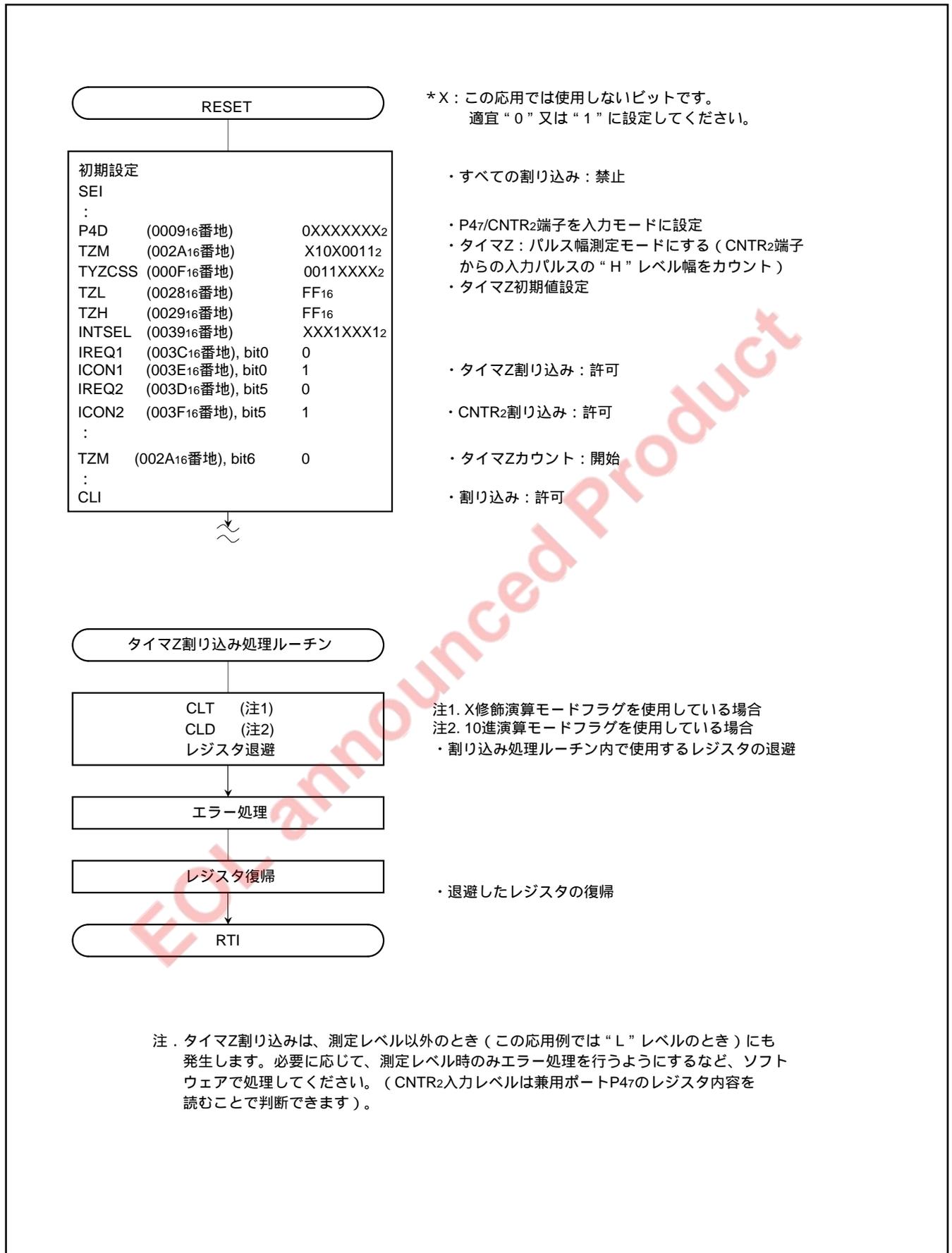


図2.3.27 制御手順( 1 )

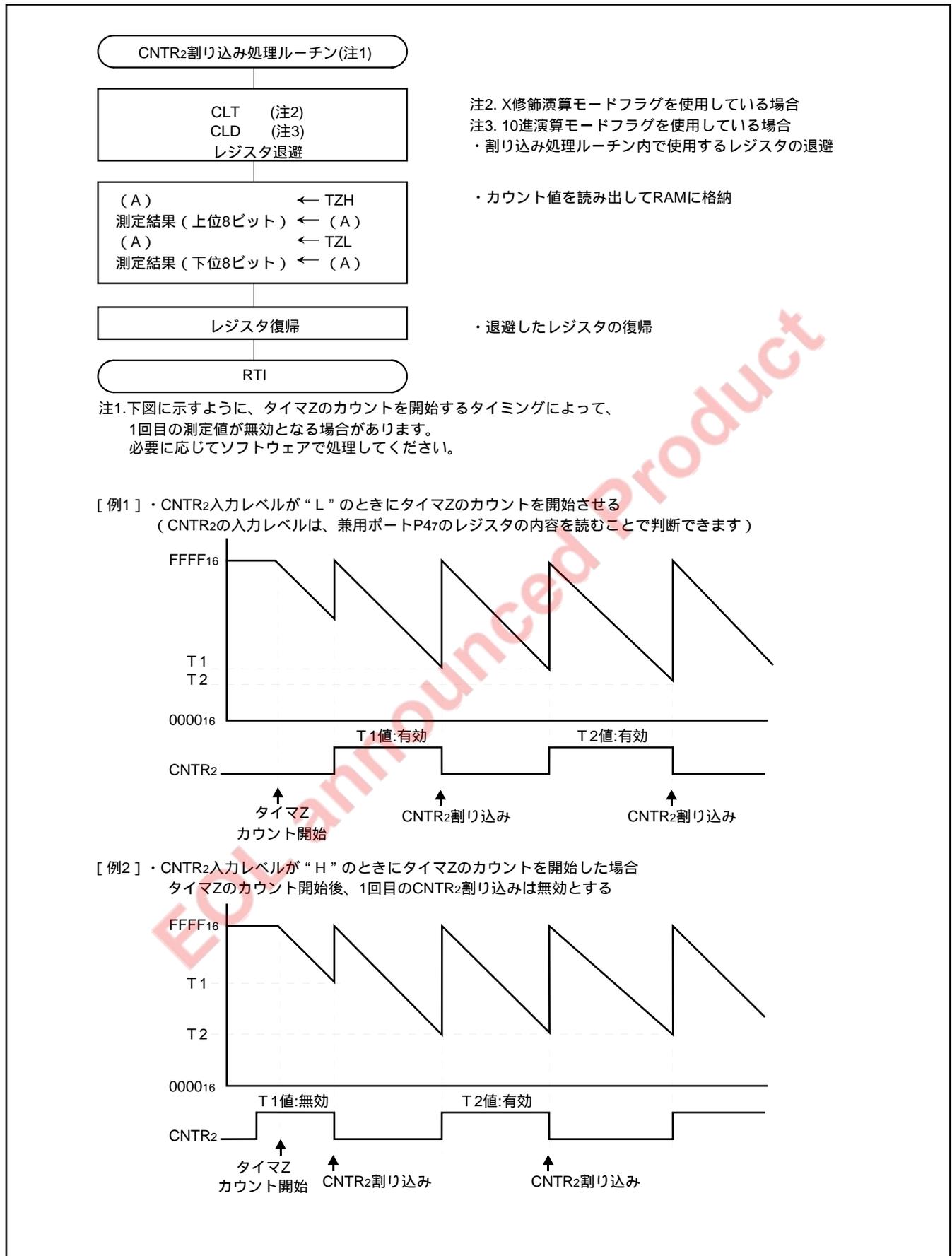


図2.3.28 制御手順(2)

### 2.3.4 タイマに関する注意事項

#### 8ビットタイマ(タイマ1、タイマ2、タイマX、タイマY)に関する注意事項

タイマラッチに値n("0"~"255")を書き込んだ場合の分周比は、 $1/(n+1)$ です。

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

パルス出力モードではCNTR<sub>0</sub>/CNTR<sub>1</sub>端子と共用のポートP5<sub>4</sub>/P5<sub>5</sub>を出力に設定してください。

イベントカウンタモード及びパルス幅測定モードではCNTR<sub>0</sub>/CNTR<sub>1</sub>端子と共用のポートP5<sub>4</sub>/P5<sub>5</sub>を入力に設定してください。

#### 16ビットタイマ(タイマZ)に関する注意事項

##### (1) パルス出力モード

CNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を出力に設定してください。

##### (2) パルス周期測定モード

CNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を入力に設定してください。

このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、又はパルス周期測定の有効エッジを検出した場合のみ、"FFFF<sub>16</sub>"に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

##### (3) パルス幅測定モード

このモードではCNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を入力に設定してください。

このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、又はパルス幅測定の有効エッジを検出した場合のみ、"FFFF<sub>16</sub>"に設定されます。よってパルス幅測定開始時のタイマの値は測定開始以前のタイマの値に依存します。

##### (4) プログラマブル波形発生モード

このモードではCNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を出力に設定してください。

## (5) プログラマブルワンショット発生モード

このモードではCNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を出力に、INT<sub>1</sub>端子と共用のポートP4<sub>2</sub>を入力に設定してください。

低速モード選択時、プログラマブルワンショット発生モードは使用できません。

ワンショット発生許可中、又はワンショット発生中にCNTR<sub>2</sub>極性切り替えビットの値を変更した場合、CNTR<sub>2</sub>端子からの出力レベルが変化します。

## (6) 全モードにおいて

## タイマZ書き込み制御

タイマZはタイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ書き込み制御ビット(b3)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンドフローで更新されます。リセット解除後はラッチ及びタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。なお、ラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンドフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

## タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

CNTR<sub>2</sub>、INT<sub>1</sub>割り込み極性切り替え

CNTR<sub>2</sub>極性切り替えビット、INT<sub>1</sub>割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

## カウントソース切り替え

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

## 2.4 シリアルインタフェース

本節ではシリアルI/Oに関するレジスタの設定方法、注意事項などを説明します。

### 2.4.1 メモリ配置図

0018 <sub>16</sub>	送信/受信バッファレジスタ1 (TB1/RB1)
0019 <sub>16</sub>	シリアルI/O1ステータスレジスタ (SIO1STS)
001A <sub>16</sub>	シリアルI/O1制御レジスタ (SIO1CON)
001B <sub>16</sub>	UART1制御レジスタ (UART1CON)
001C <sub>16</sub>	ボーレートジェネレータ1 (BRG1)
001D <sub>16</sub>	シリアルI/O2制御レジスタ (SIO2CON)
~	~
001F <sub>16</sub>	シリアルI/O2レジスタ (SIO2)
~	~
002F <sub>16</sub>	ボーレートジェネレータ3 (BRG3)
0030 <sub>16</sub>	送信/受信バッファレジスタ3 (TB3/RB3)
0031 <sub>16</sub>	シリアルI/O3ステータスレジスタ (SIO3STS)
0032 <sub>16</sub>	シリアルI/O3制御レジスタ (SIO3CON)
0033 <sub>16</sub>	UART3制御レジスタ (UART3CON)
~	~
0039 <sub>16</sub>	割り込み要因選択レジスタ (INTSEL)
~	~
003C <sub>16</sub>	割り込み要求レジスタ1 (IREQ1)
003D <sub>16</sub>	割り込み要求レジスタ2 (IREQ2)
003E <sub>16</sub>	割り込み制御レジスタ1 (ICON1)
003F <sub>16</sub>	割り込み制御レジスタ2 (ICON2)

図2.4.1 シリアルI/O関連レジスタのメモリ配置

2.4.2 関連レジスタ

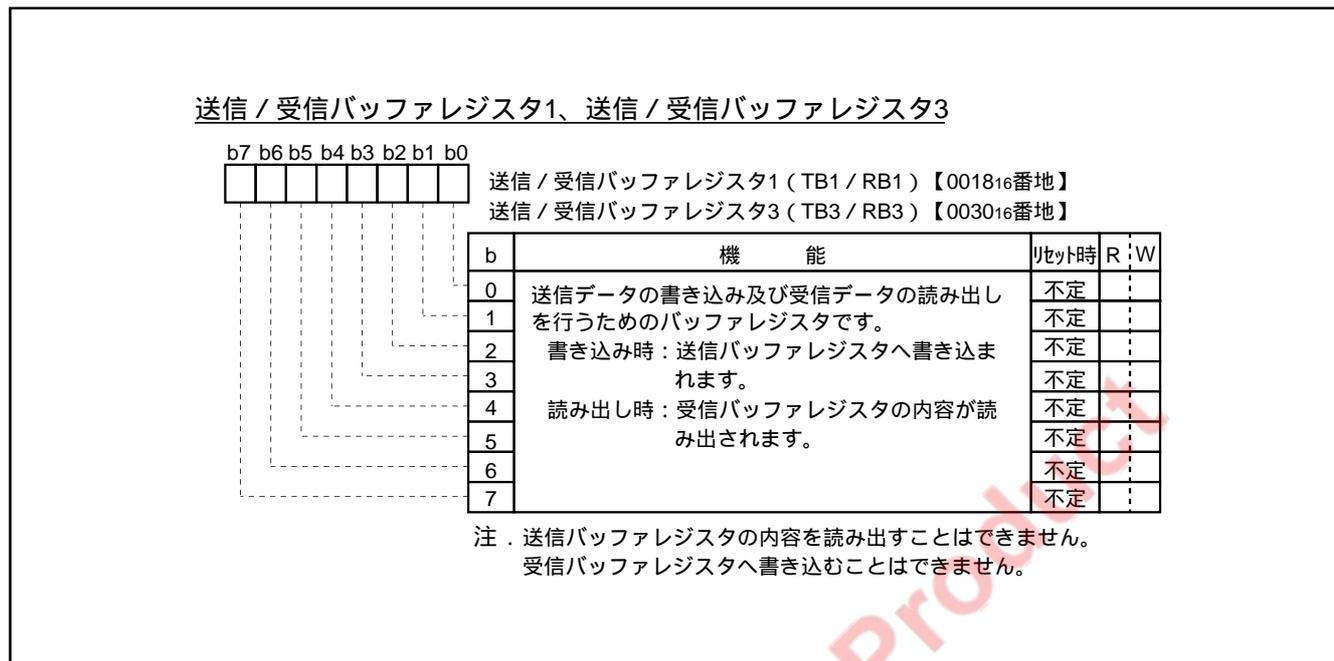


図2.4.2 送信/受信バッファレジスタ1、送信/受信バッファレジスタ3の構成

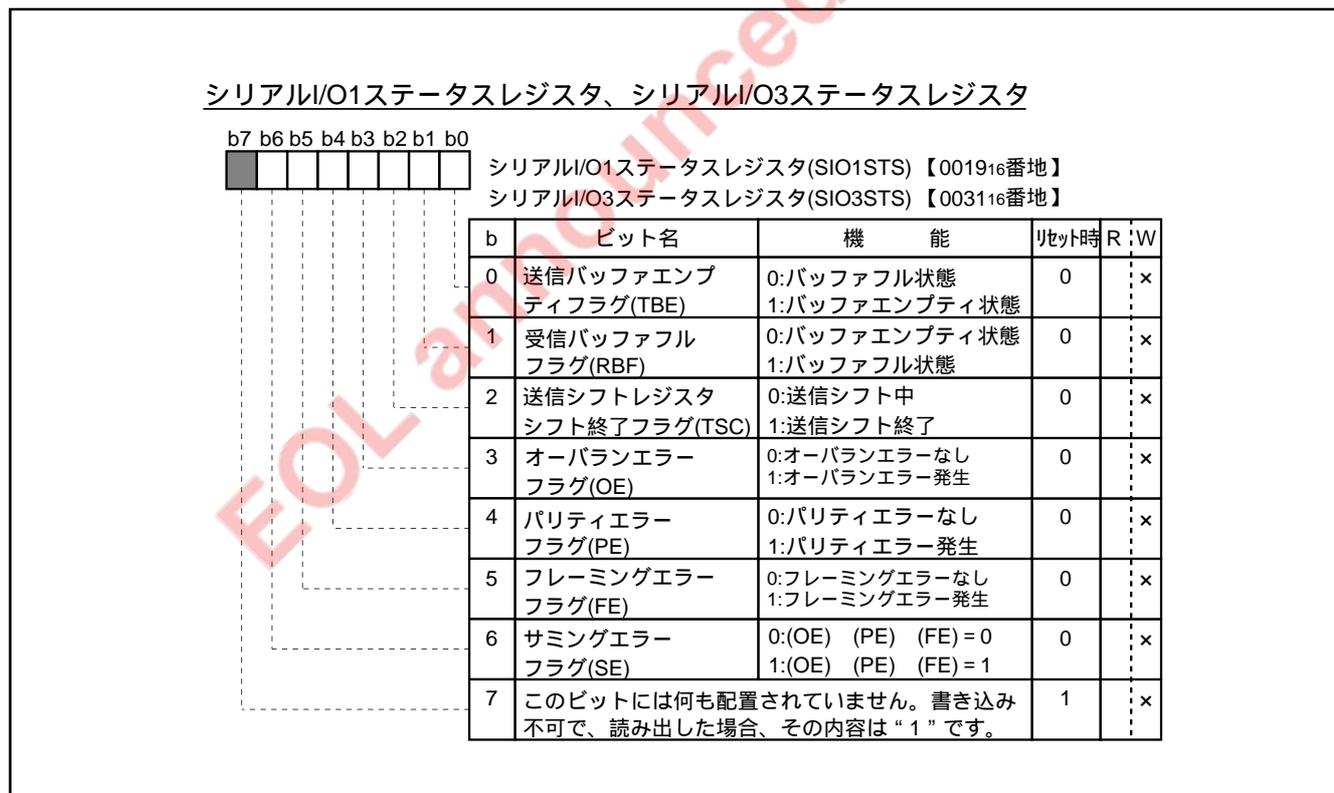


図2.4.3 シリアル/O1ステータスレジスタ、シリアル/O3ステータスレジスタの構成

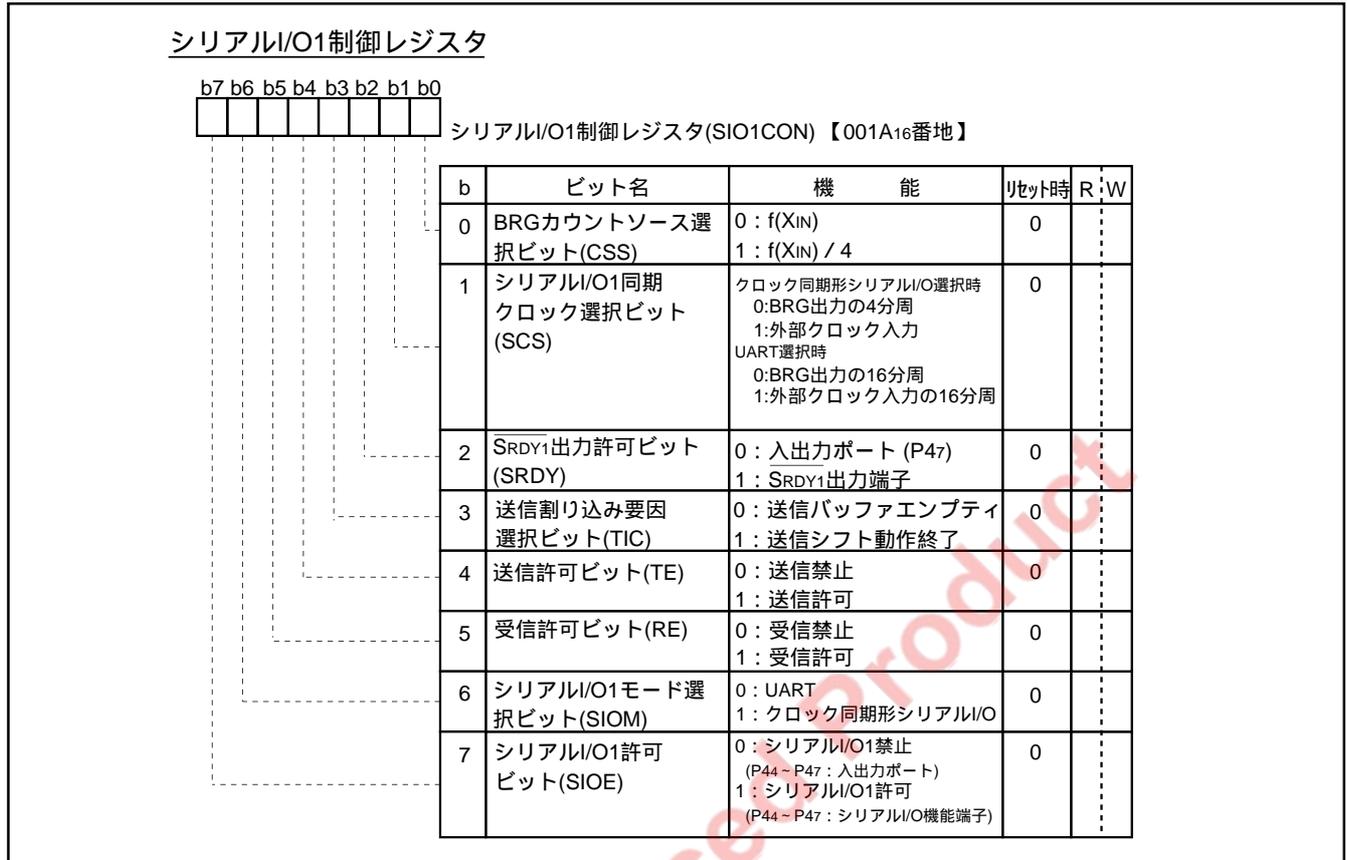


図2.4.4 シリアル/O1制御レジスタの構成

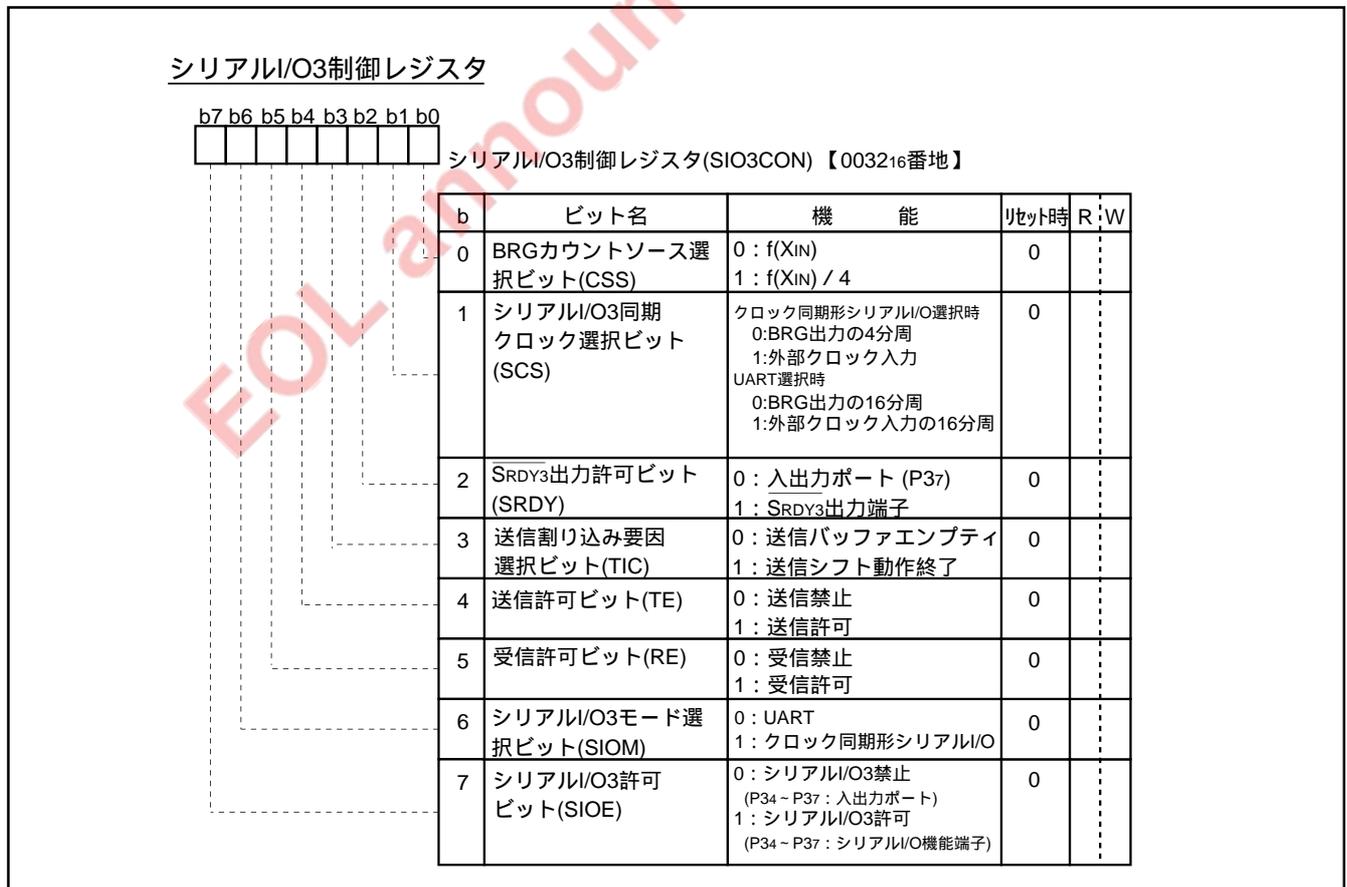


図2.4.5 シリアル/O3制御レジスタの構成

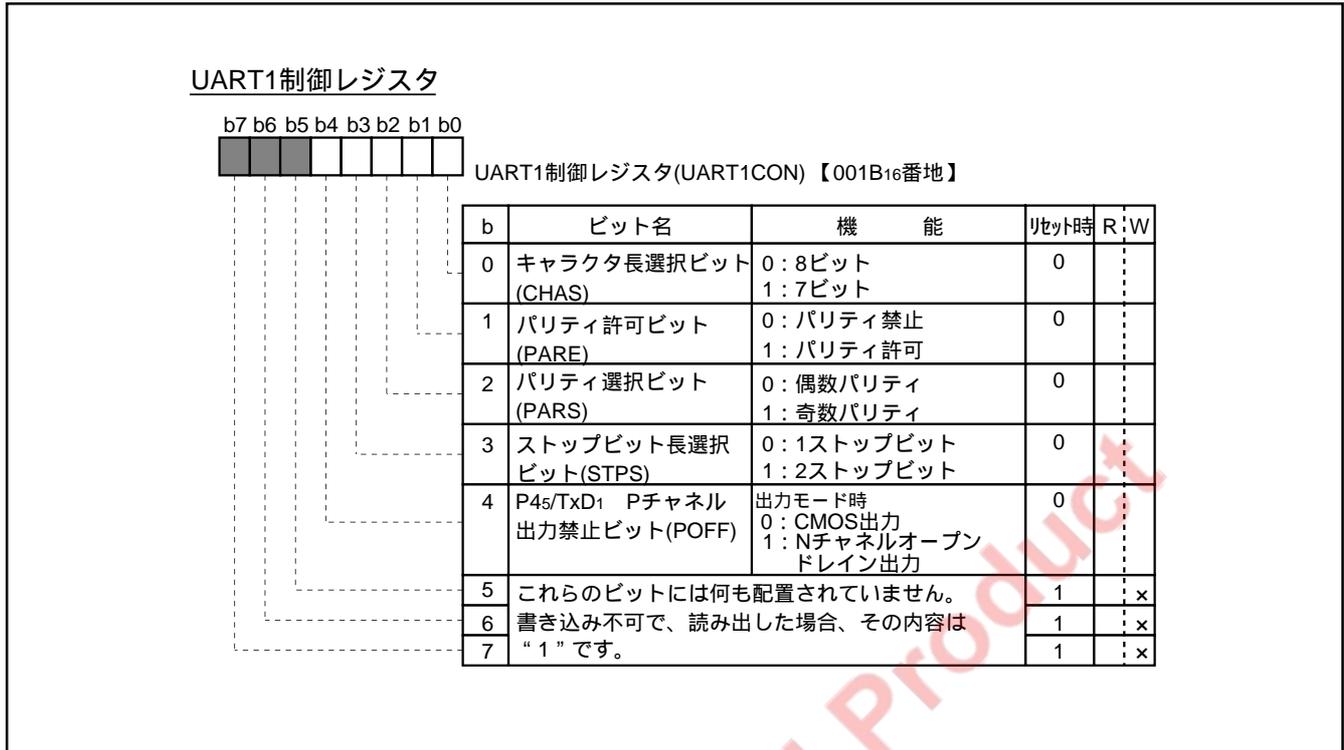


図2.4.6 UART1制御レジスタの構成

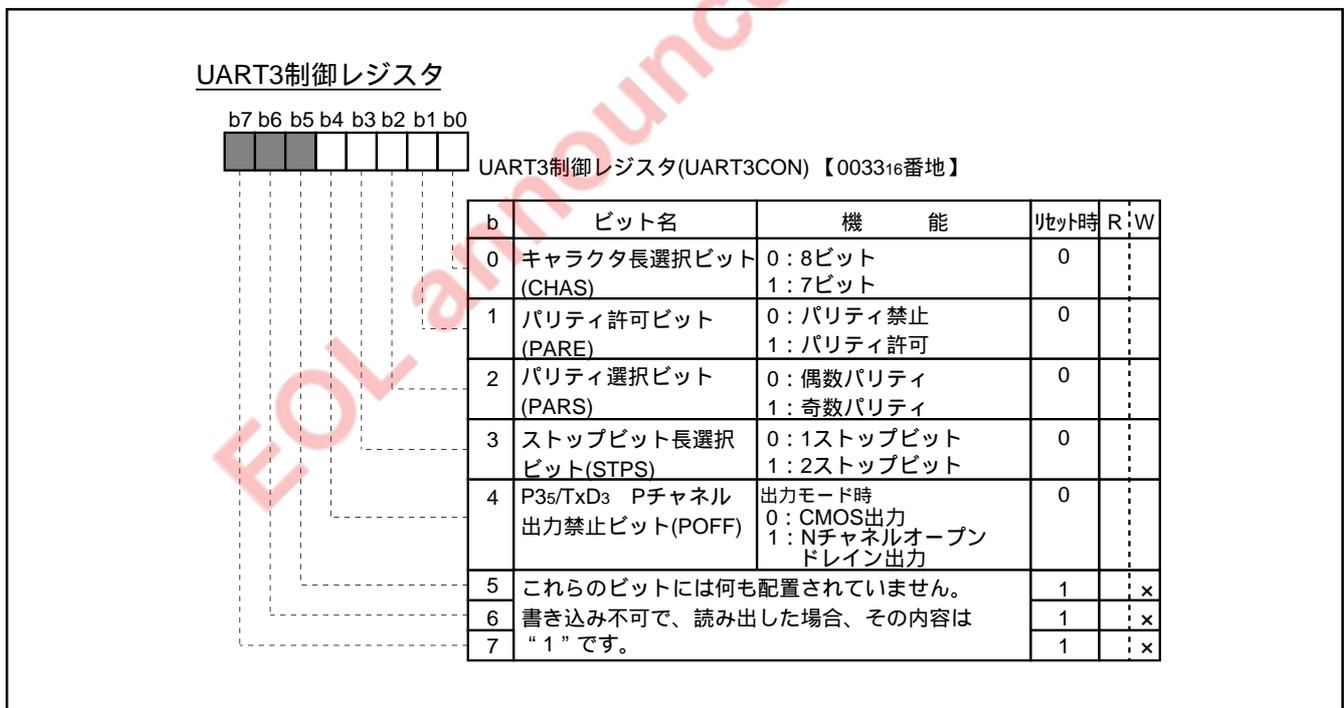


図2.4.7 UART3制御レジスタの構成

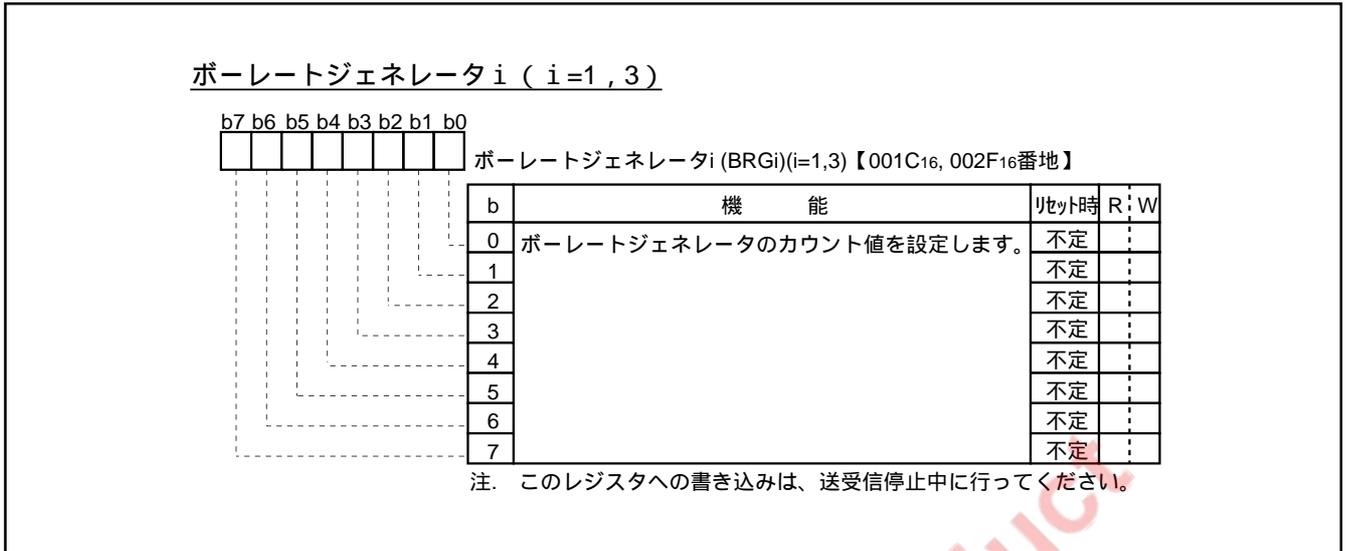


図2.4.8 ボーレートジェネレータ1、ボーレートジェネレータ3の構成

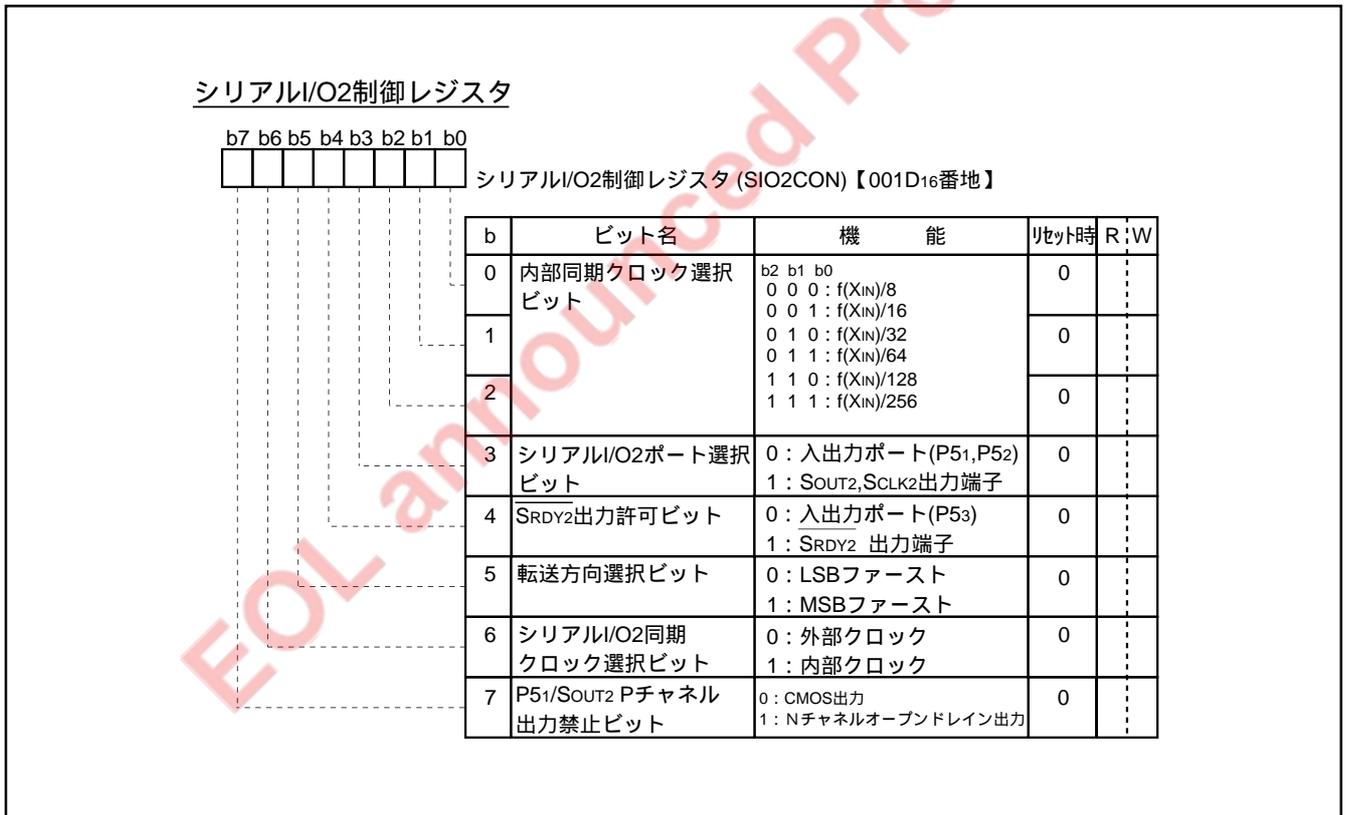


図2.4.9 シリアルI/O2制御レジスタの構成

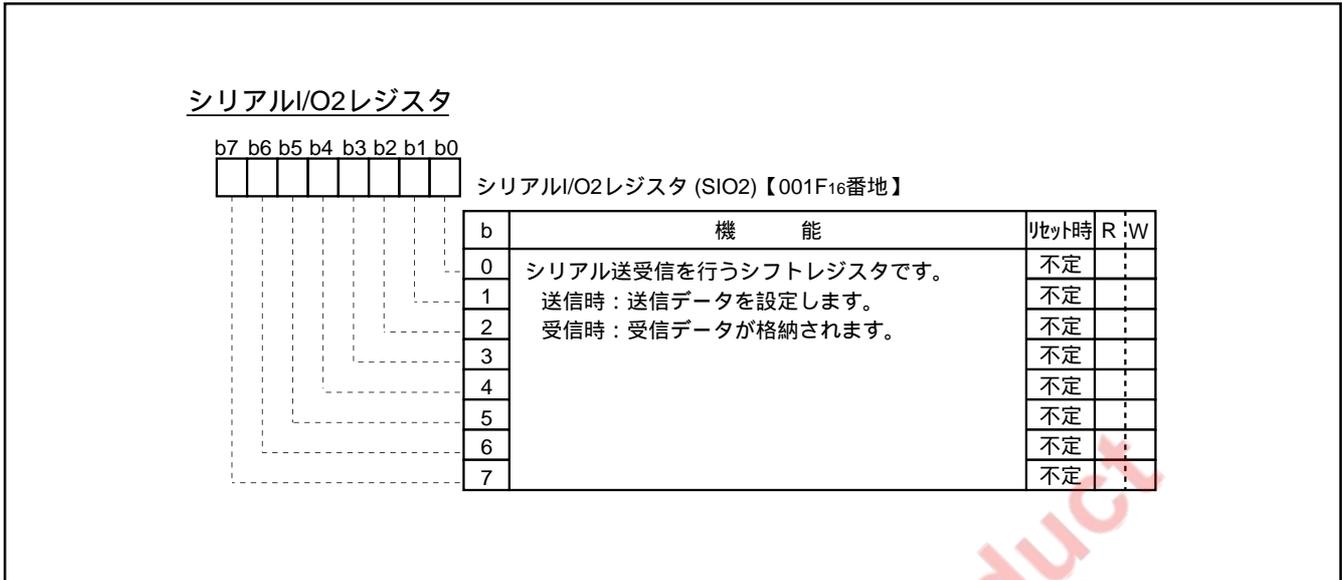


図2.4.10 シリアル/O2レジスタの構成



図2.4.11 割り込み要因選択レジスタの構成

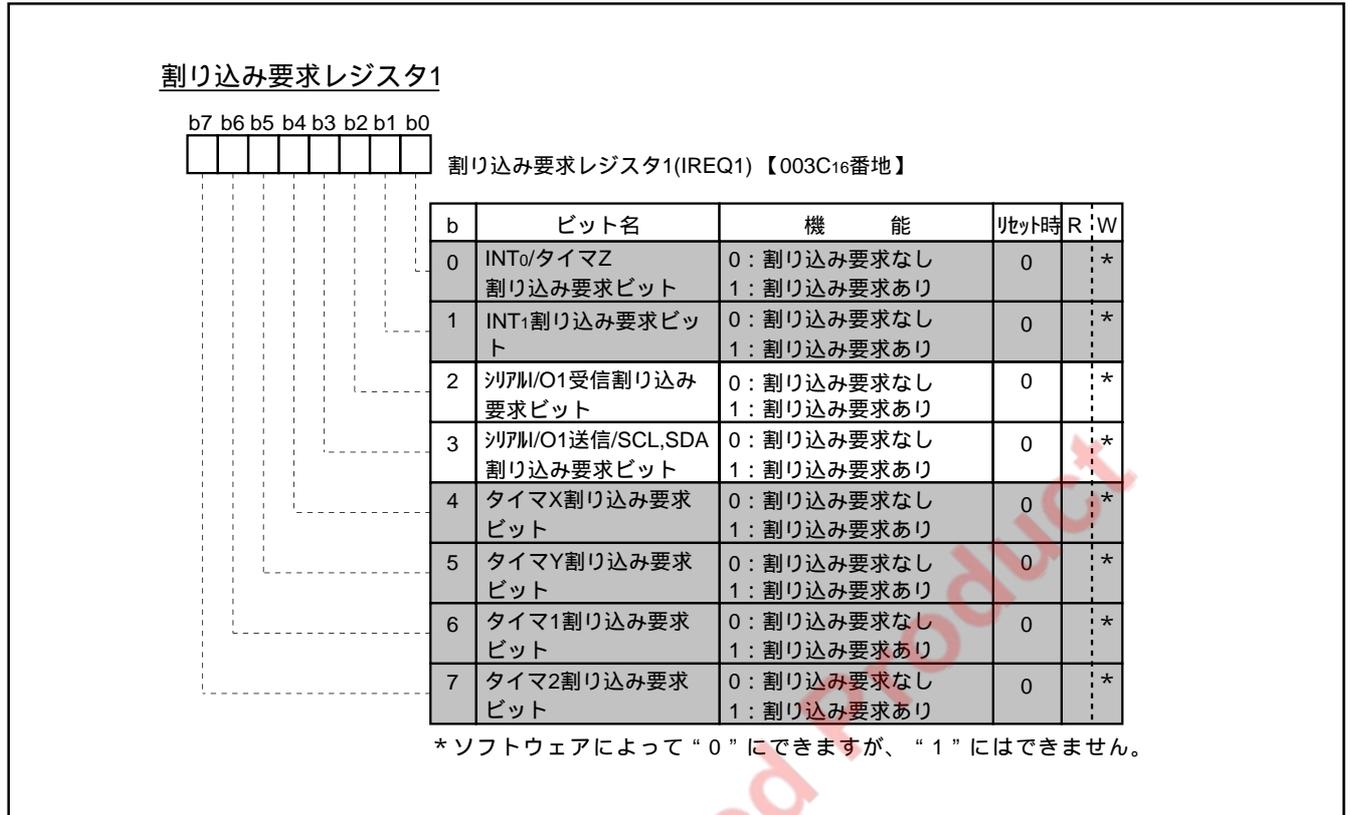


図2.4.12 割り込み要求レジスタ1の構成

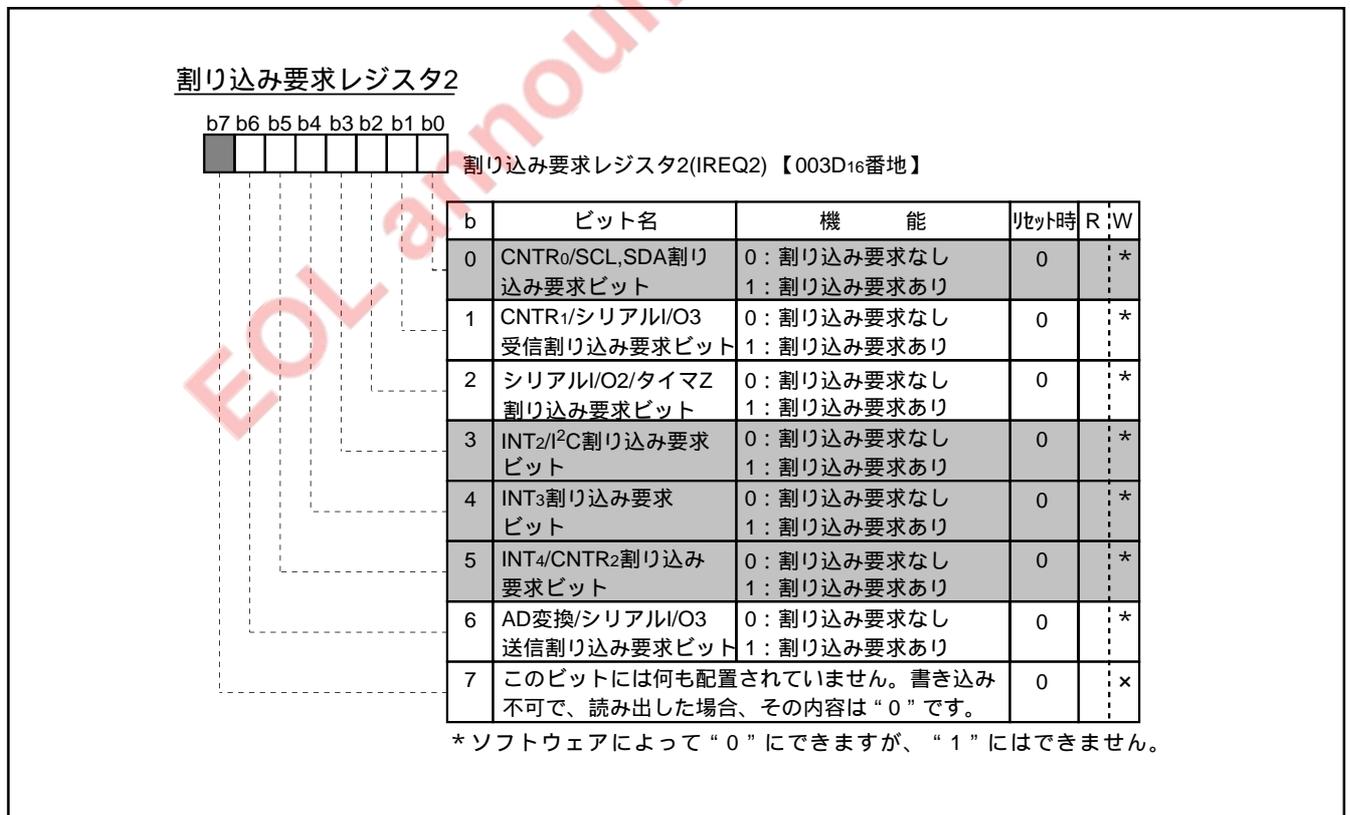


図2.4.13 割り込み要求レジスタ2の構成

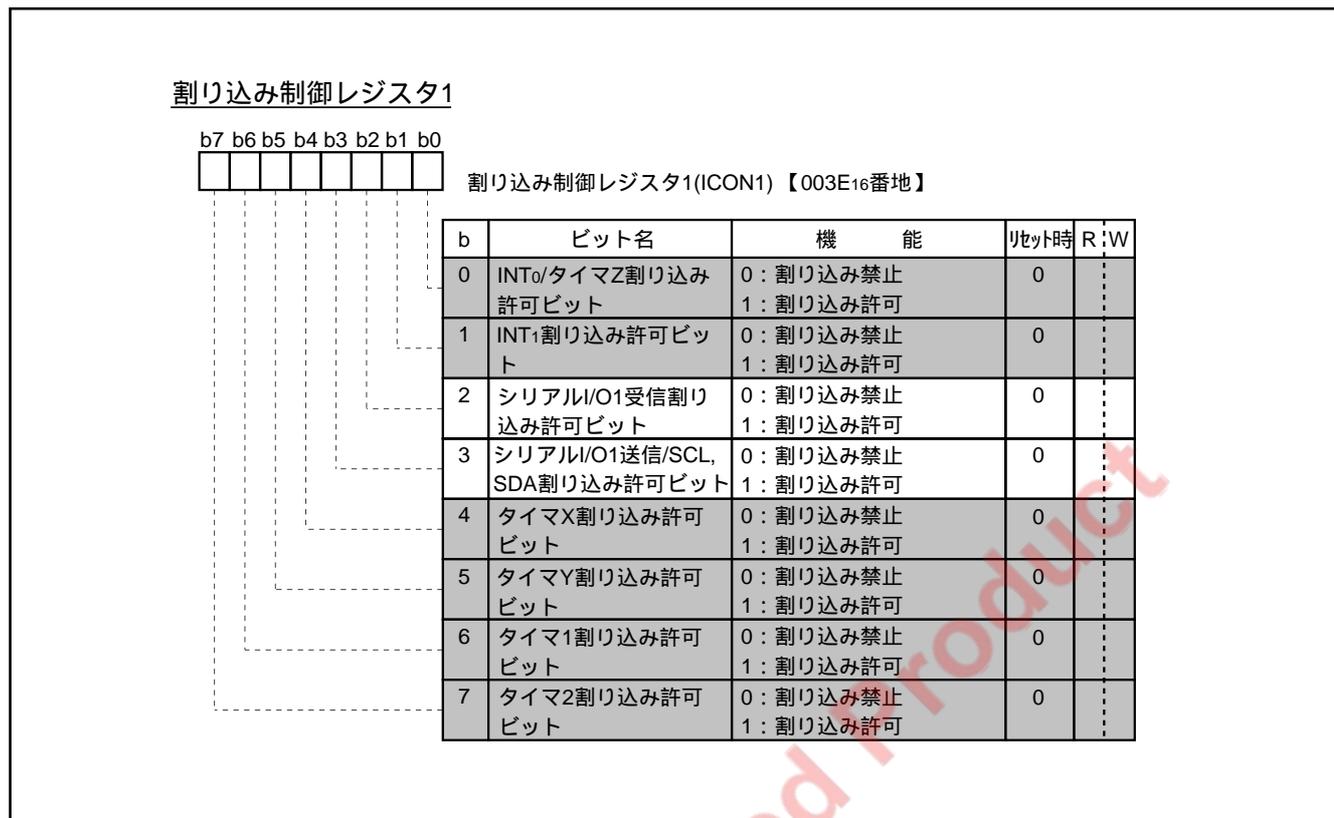


図2.4.14 割り込み制御レジスタ1の構成

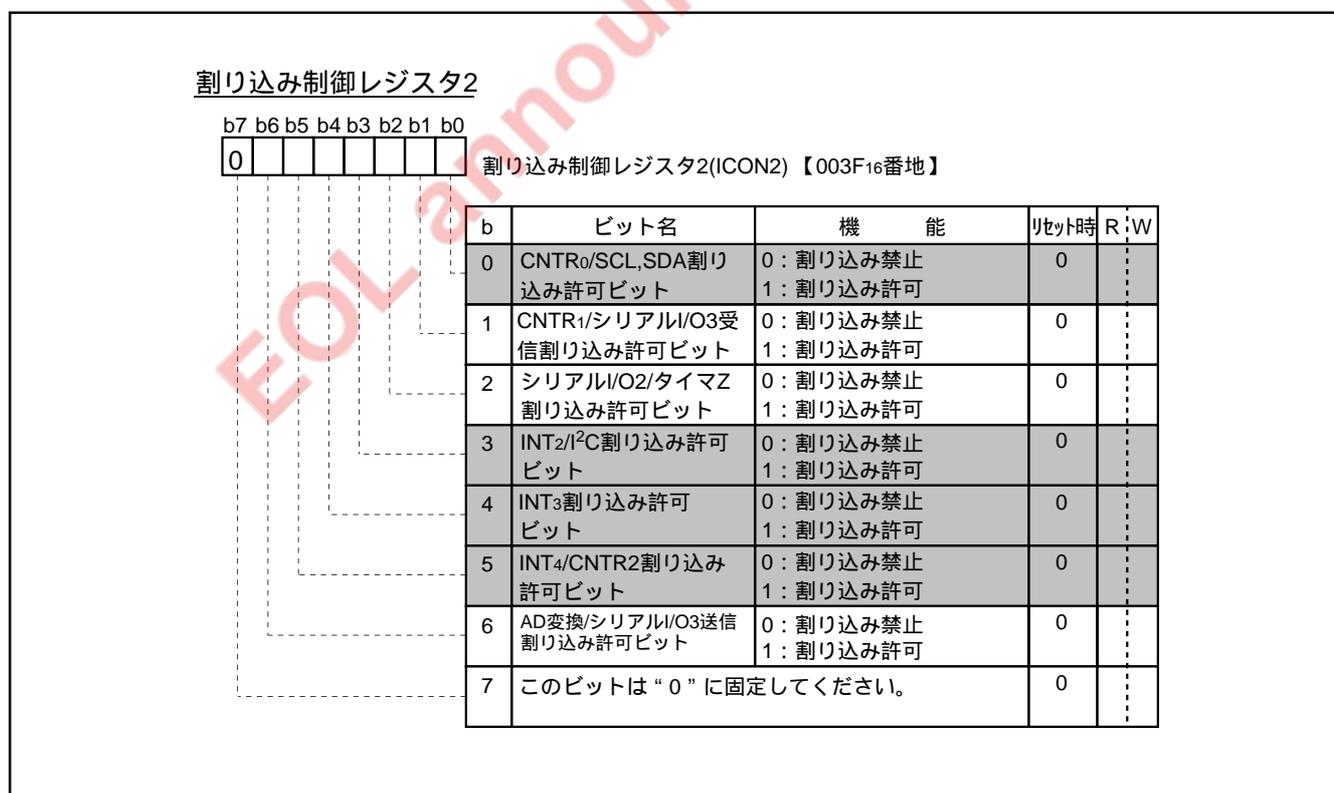


図2.4.15 割り込み制御レジスタ2の構成

## 2.4.3 シリアルI/Oの接続例

## (1) CS端子を備えている周辺ICの制御

CS端子を備えている周辺ICとの接続例を図2.4.16に示します。

いずれもクロック同期形シリアルI/Oモードを使用した接続例です。

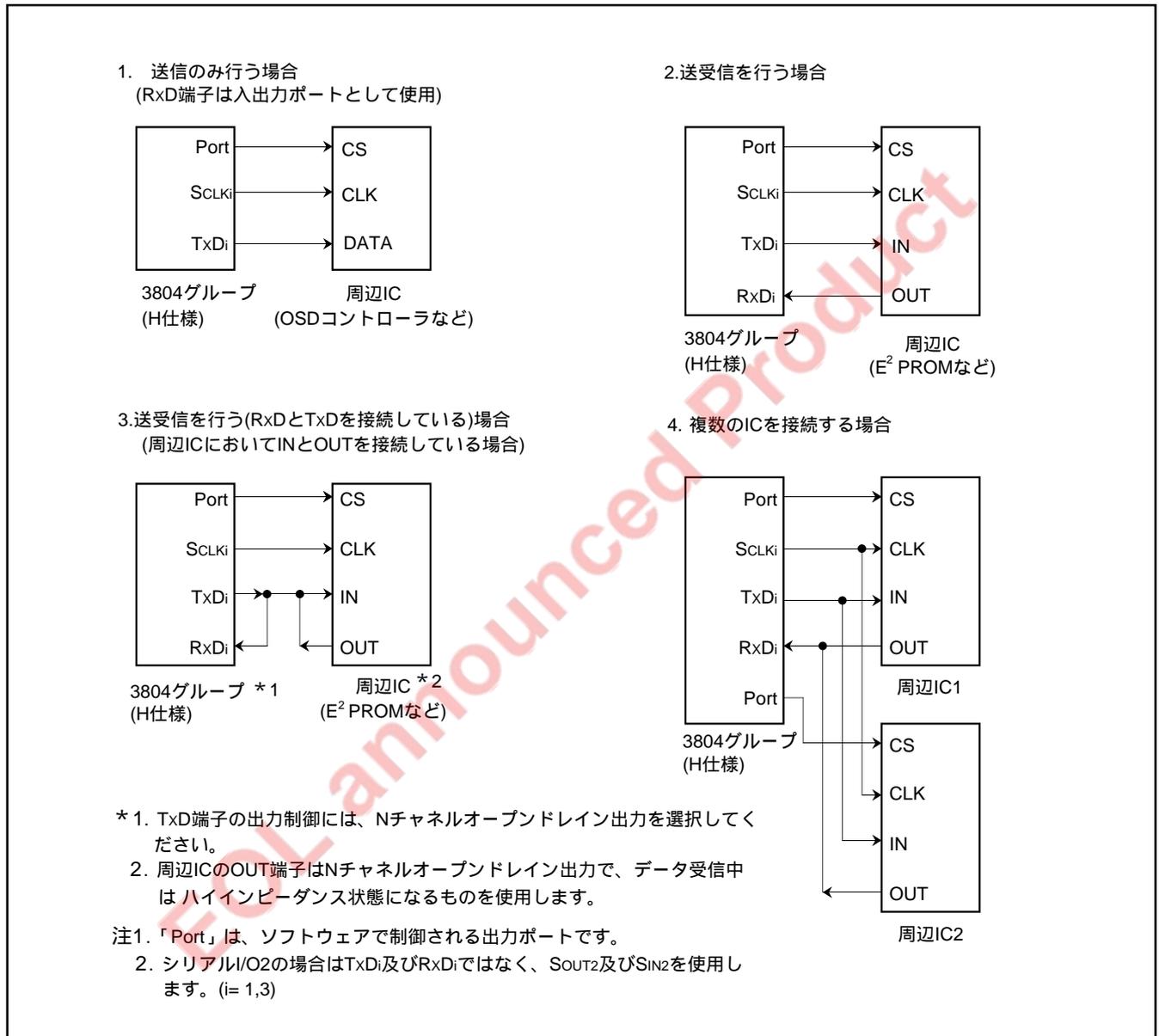


図2.4.16 シリアルI/Oの接続例1

(2) マイコンとの接続

他のマイコンとの接続例を図2.4.17に示します。

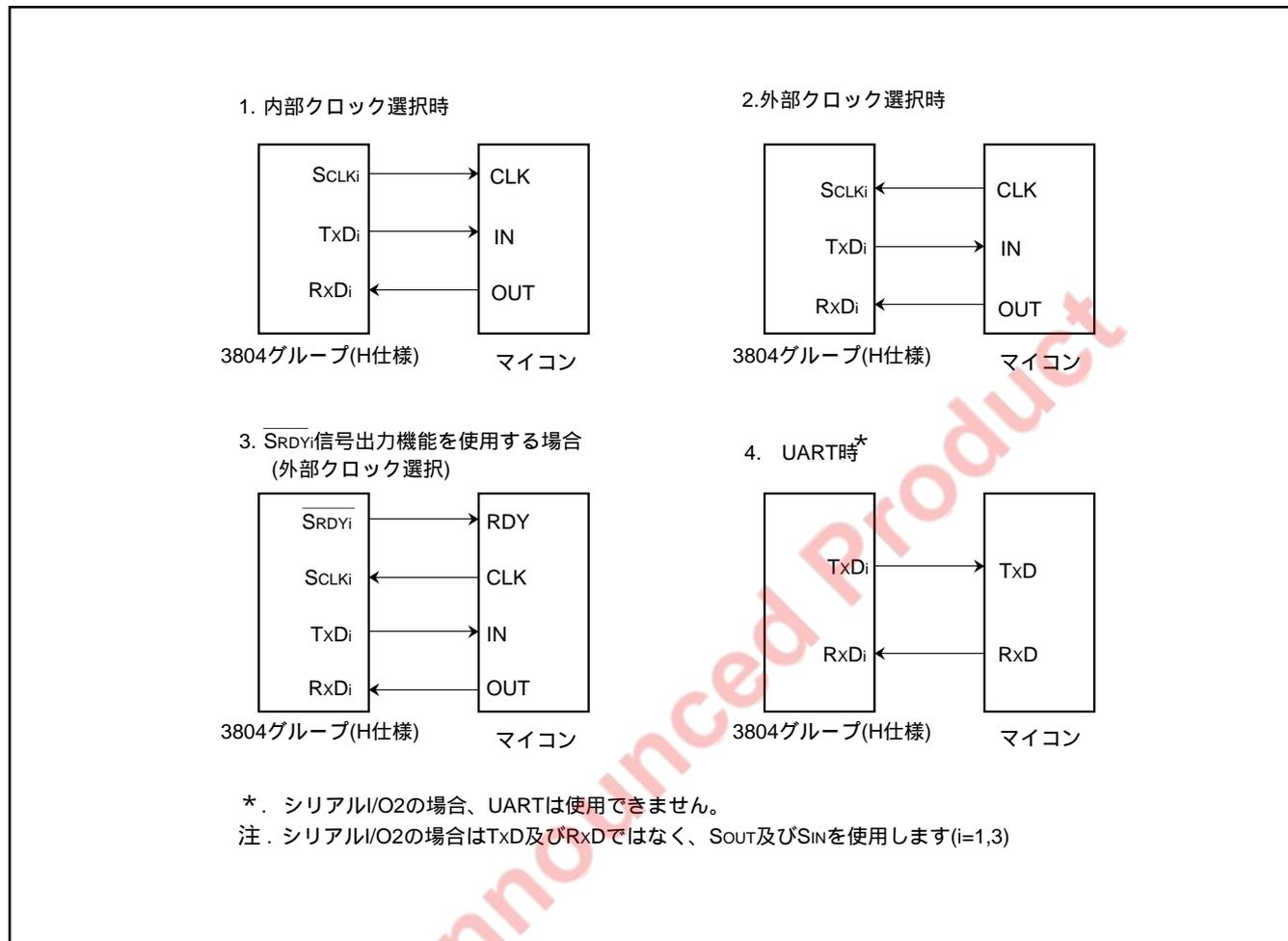


図2.4.17 シリアルI/Oの接続例2

2.4.4 シリアルI/O転送データフォーマット

シリアルI/O1、シリアルI/O3はクロック同期形、非同期形(UART)が選択できます。  
 シリアルI/O2はクロック同期形で動作します。  
 シリアルI/O転送データフォーマットを図2.4.18に示します。

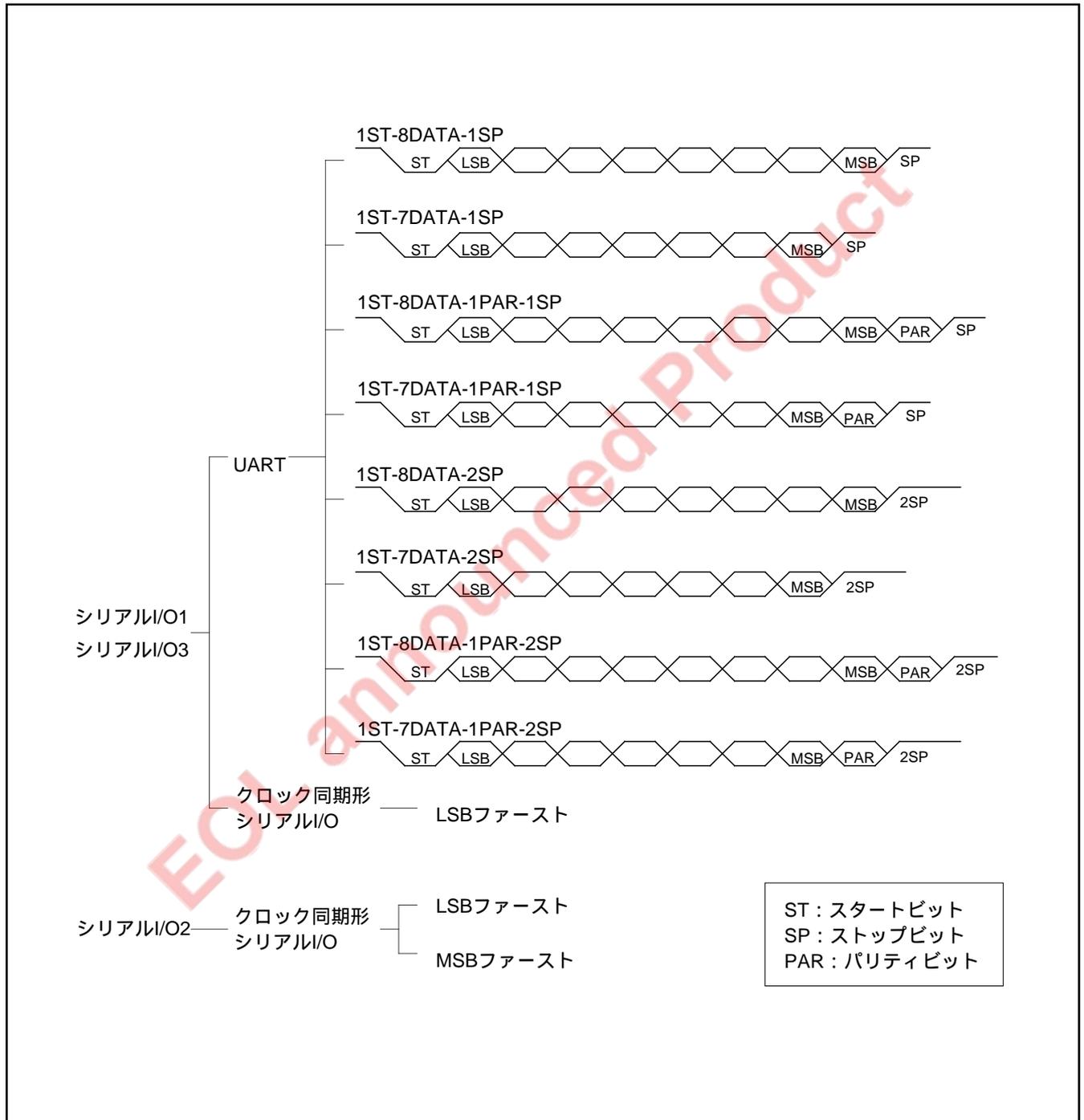


図2.4.18 シリアルI/O転送データフォーマット

## 2.4.5 シリアルI/O1、シリアルI/O3動作の停止、初期化

シリアルI/O1とシリアルI/O3は、同じ動作をします。(以下の説明では、シリアルI/O1とシリアルI/O3で名称が異なる場合には、シリアルI/O1の名称を先に示し、その後の( )内にシリアルI/O3の名称を記載しています。)

## (1) クロック同期形シリアルI/Oモード

## 送信のみ使用時の送信動作の停止、初期化

内部クロック選択時は、送信許可ビット及びシリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にしてください。

外部クロック選択時は、送信許可ビットを“0”にしてください。

送信許可ビットを“0”にすることにより、次に示す送信動作の停止、初期化が行われます。

ただし、内部クロック選択時、送信動作中に送信許可ビットを“0”にしても、クロックは8回分出力されます。

- ・送信シフトレジスタへのシフトクロックの停止
- ・送信用クロック制御回路の初期化
- ・送信バッファエンプティフラグ=“0”
- ・送信シフトレジスタシフト終了フラグ=“0”
- ・P45/TxD1端子：入出力ポートP44( P35/TxD3端子：入出力ポートP35)

シリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にすることにより、P44/RxD1、P45/TxD1、P46/SCLK1、P47/ $\overline{\text{SRDY1}}$ 端子( P34/RxD3、P35/TxD3、P36/SCLK3、P37/ $\overline{\text{SRDY3}}$ 端子)の機能がすべて入出力ポートになります。その結果、内部クロックは外部に出力されません。

## 受信のみ使用時の受信動作の停止、初期化

内部クロック選択時は、受信許可ビット及びシリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にしてください。

外部クロック選択時は、受信許可ビット又はシリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にしてください。

受信許可ビットを“0”にすることにより、次に示す受信動作の停止、初期化が行われます。

ただし、内部クロック選択時、受信動作中に受信許可ビットを“0”にしても、クロックは8回分出力されます。

- ・受信シフトレジスタへのシフトクロックの停止
- ・受信用クロック制御回路の初期化
- ・エラーフラグ(オーバランエラーフラグ、パリティエラーフラグ、フレーミングエラーフラグ、サミングエラーフラグ)=“0”
- ・受信バッファフルフラグ=“0”
- ・P44/RxD1端子：入出力ポートP44( P34/RxD3端子：入出力ポートP34)

シリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にすることにより、次に示す受信動作の停止、初期化が行われます。この結果、内部クロックは外部に出力されません。

- ・受信シフトレジスタへのシフトクロックの停止
- ・受信用クロック制御回路の初期化
- ・エラーフラグ(オーバランエラーフラグ、パリティエラーフラグ、フレーミングエラーフラグ、サミングエラーフラグ)=“0”
- ・受信バッファフルフラグ=“0”
- ・P44/RxD1、P45/TxD1、P46/SCLK1、P47/ $\overline{\text{SRDY1}}$ 端子：入出力ポートP44、P45、P46、P47  
( P34/RxD3、P35/TxD3、P36/SCLK3、P37/ $\overline{\text{SRDY3}}$ 端子：入出力ポートP34、P35、P36、P37)

## 送受信とも使用時の送受信動作の停止、初期化

送信許可ビット及び受信許可ビットを同時に“0”にしてください。

内部クロック選択時は、さらにシリアルI/O1許可ビット(シリアルI/O3許可ビット)を“0”にしてください。

## (2) UARTモード

送信動作の停止、初期化

送信許可ビットを“0”にしてください。

受信動作の停止、初期化

受信許可ビットを“0”にしてください。

EOL announced Product

## 2.4.6 シリアルI/Oの端子機能と選択方法

## (1) シリアルI/O1、シリアルI/O3

表2.4.1にクロック同期形シリアルI/Oモード時の端子機能、表2.4.2にUARTモード時の端子機能を示します。

表2.4.1 クロック同期形シリアルI/Oモード時の端子機能

端子名 (シリアルI/O1)	端子名 (シリアルI/O3)	機能	シリアルI/O1制御レジスタ (001A <sub>16</sub> 番地) シリアルI/O3制御レジスタ (0032 <sub>16</sub> 番地)								対応 方向 レジスタ
			b7 <sup>(注1)</sup>	b6	b5	b4	b3	b2	b1	b0	
			SIOE	SIOM	RE	TE	TIC	SRDY	SCS	CSS	
P44/RxD1	P34/RxD3	RxD1, RxD3	1	1	1	1	x	x	x	x	x
		P44, P34	1	1	0	x	x	x	x	x	0/1
P45/TxD1	P35/TxD3	TxD1, TxD3	1	1	x	1	x	x	x	x	x
		P45, P35	1	1	x	0	x	x	x	x	0/1
P46/SCLK1	P36/SCLK3	SCLK1 (外部クロック入力)	1	1	x	1	x	x	1	x	x
		SCLK1 (内部クロック出力)	1	1	x	1	x	x	0	x	x
P47/SRDY1 <sup>(注2)</sup> /CNTR2	P37/SRDY3	SRDY1, SRDY3	1	1	1	1	x	1	x	x	x
		P47, P37	1	1	x	x	x	0	x	x	0/1

注1. SIOE=0のときは、b6～b0の設定にかかわらず、すべて入出力ポートになります。

注2. タイマZがパルス出力モード、プログラマブル波形発生モード、プログラマブルワンショット発生モードの場合、b7～b0の設定にかかわらず、タイマZ機能出力端子になります。

x: その端子機能の設定には使用しないビットです。

表2.4.2 UARTモード時の端子機能

端子名 (シリアルI/O1)	端子名 (シリアルI/O3)	機能	シリアルI/O1制御レジスタ (001A <sub>16</sub> 番地)								対応 方向 レジスタ
			b7 <sup>(注1)</sup>	b6	b5	b4	b3	b2	b1	b0	
			SIOE	SIOM	RE	TE	TIC	SRDY	SCS	CSS	
P44/RxD1	P34/RxD3	RxD	1	0	1	x	x	x	x	x	x
		P44	1	0	0	x	x	x	x	x	0/1
P45/TxD1	P35/TxD3	TxD	1	0	x	1	x	x	x	x	x
		P45	1	0	x	0	x	x	x	x	0/1
P46/SCLK1	P36/SCLK3	SCLK1 (外部クロック入力)	1	0	x	x	x	x	1	x	x
		P46	1	0	x	x	x	x	0	x	0/1
P47/SRDY1 <sup>(注2)</sup> /CNTR2	P37/SRDY3	P47	1	0	x	x	x	x	x	x	0/1

注1. SIOE=0のときは、b6～b0の設定にかかわらず、すべて入出力ポートになります。

注2. タイマZがパルス出力モード、プログラマブル波形発生モード、プログラマブルワンショット発生モードの場合、b7～b0の設定にかかわらず、タイマZ機能出力端子になります。

x: その端子機能の設定には使用しないビットです。

## (2) シリアルI/O2

表2.4.3にクロック同期形シリアルI/Oモード時の端子機能を示します。

表2.4.3 クロック同期形シリアルI/Oモード時の端子機能

端子名	機能	シリアルI/O2制御レジスタ (001D16番地)								対応方向レジスタ	
		b7	b6	b5	b4	b3	b2	b1	b0		
P50/SIN2	SIN2 (注1)	x	x	x	x	1	x	x	x	0	
	P50	x	x	x	x	x	x	x	x	0/1	
P51/SOUT2	SOUT2	CMOS出力	0	x	x	x	1	x	x	x	x
		Nチャンネルオープンドレイン出力	1	x	x	x	1	x	x	x	x
	P51	(注3)	x	x	x	x	0	x	x	x	0/1
P52/SCLK2	SCLK2 (外部クロック入力) (注2)	x	0	x	x	1	x	x	x	x	
	SCLK2 (内部クロック出力)	x	1	x	x	1	x	x	x	x	
	P52	x	x	x	x	0	x	x	x	0/1	
P53/SRDY2	SRDY2	x	x	x	1	x	x	x	x	x	
	P53	x	x	x	0	x	x	x	x	0/1	

注1. b3=0でも、SIN2として機能しますが、b3=1にして使用してください。

注2. b3=0で対応方向レジスタ=0でも、SCLK2として機能しますが、b3=1にして使用してください。

注3. 対応方向レジスタ=1の場合、b7は有効です。

x: その端子機能の設定には使用しないビットです。

2.4.7 シリアルI/Oの応用例

(1) クロック同期形シリアルI/Oを使用した通信(送信/受信)

ポイント：クロック同期形シリアルI/Oを使用して2バイトデータの送受信を行います。  
通信制御には、SRDY1信号を使用します。

接続図を図2.4.19、タイミング図を図2.4.20、送信側関連レジスタの設定を図2.4.21、受信側関連レジスタの設定を図2.4.22に示します。

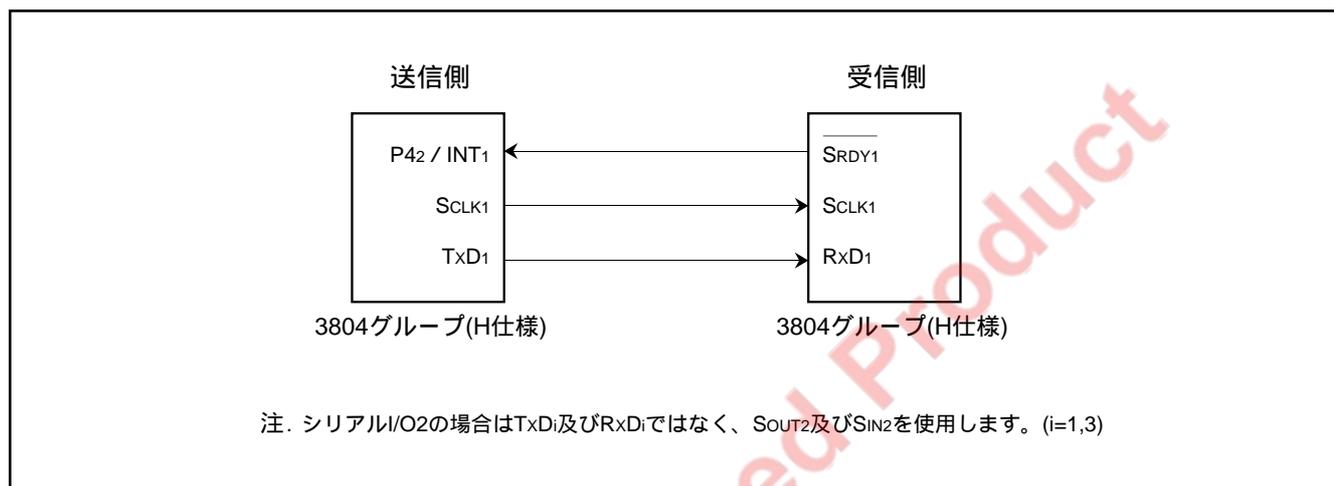


図2.4.19 接続図

- 仕様：
- ・シリアルI/O(クロック同期形シリアルI/Oを選択)を使用。
  - ・同期クロック周波数：125 kHz ( $f(XIN) = 4 \text{ MHz}$ の32分周)
  - ・SRDY1 (受信可能信号)を使用。
  - ・2 ms間隔 (タイマにより生成)で受信側からSRDY1信号を出力し、2バイトのデータを送信側から受信側へ転送。

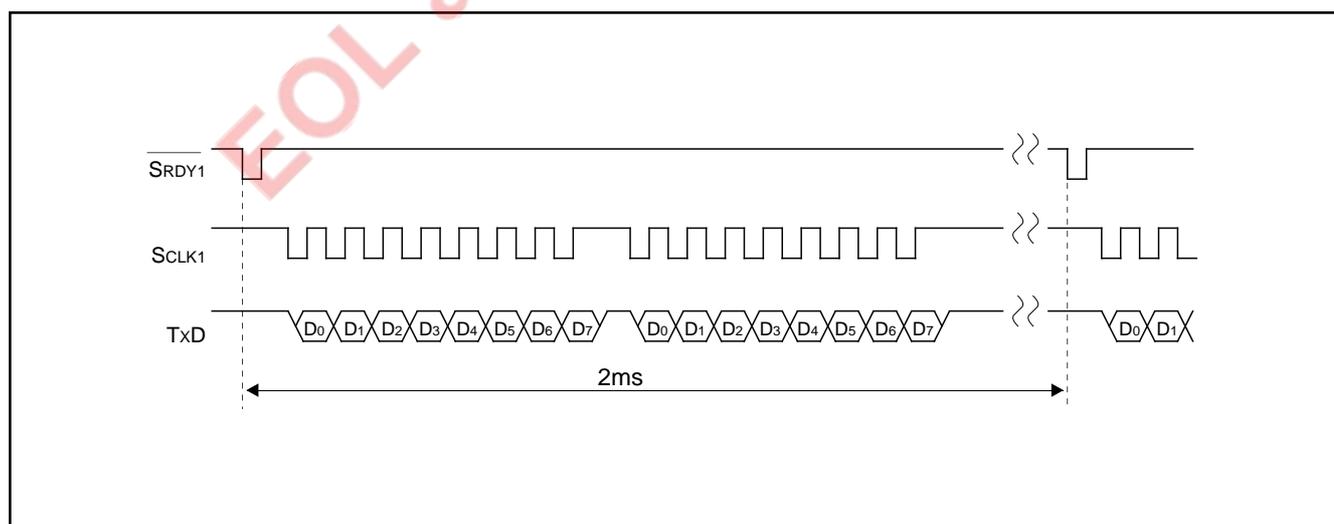


図2.4.20 タイミング図



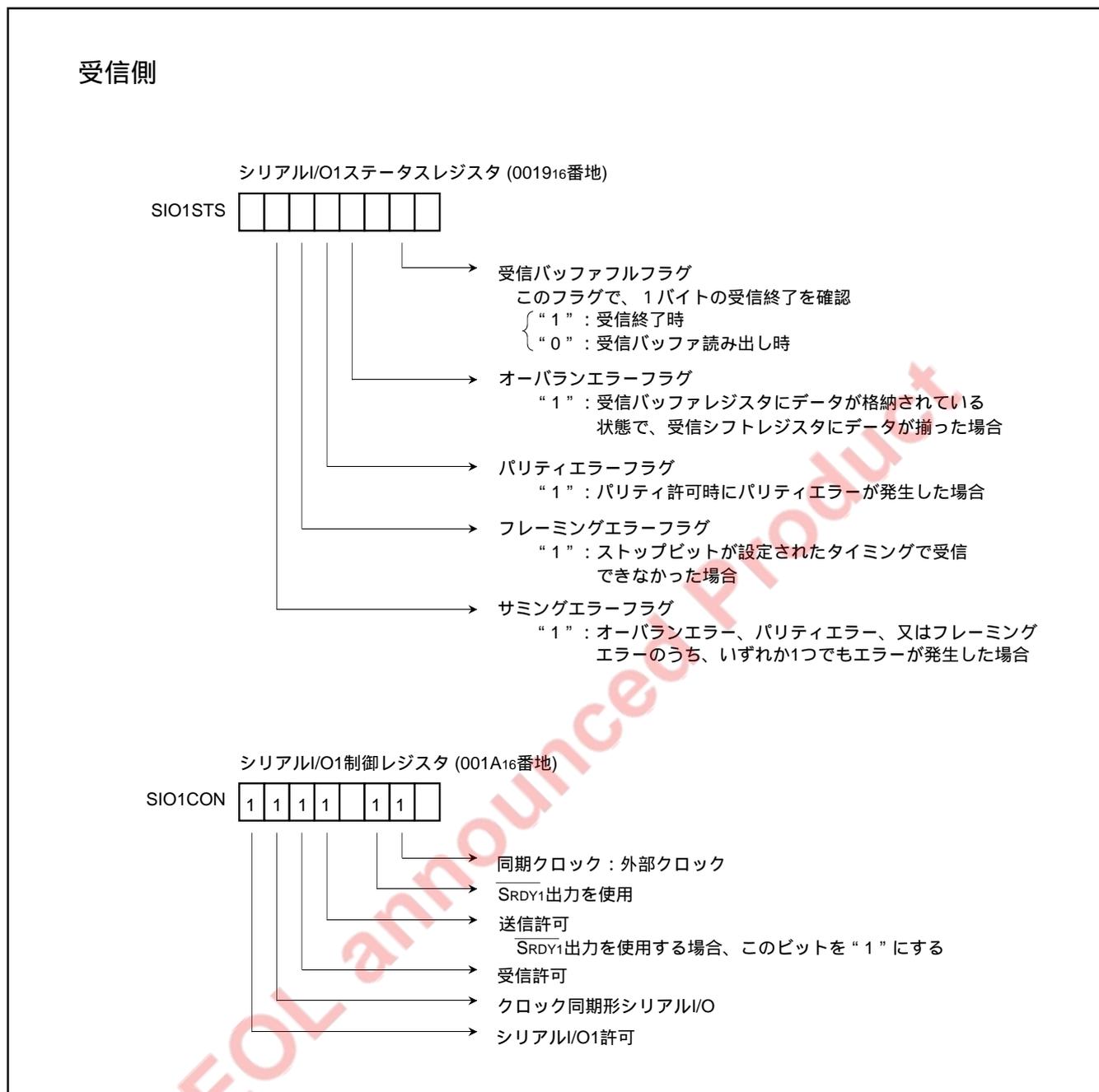


図2.4.22 受信側関連レジスタの設定

図2.4.23に送信側の制御手順、図2.4.24に受信側の制御手順を示します。

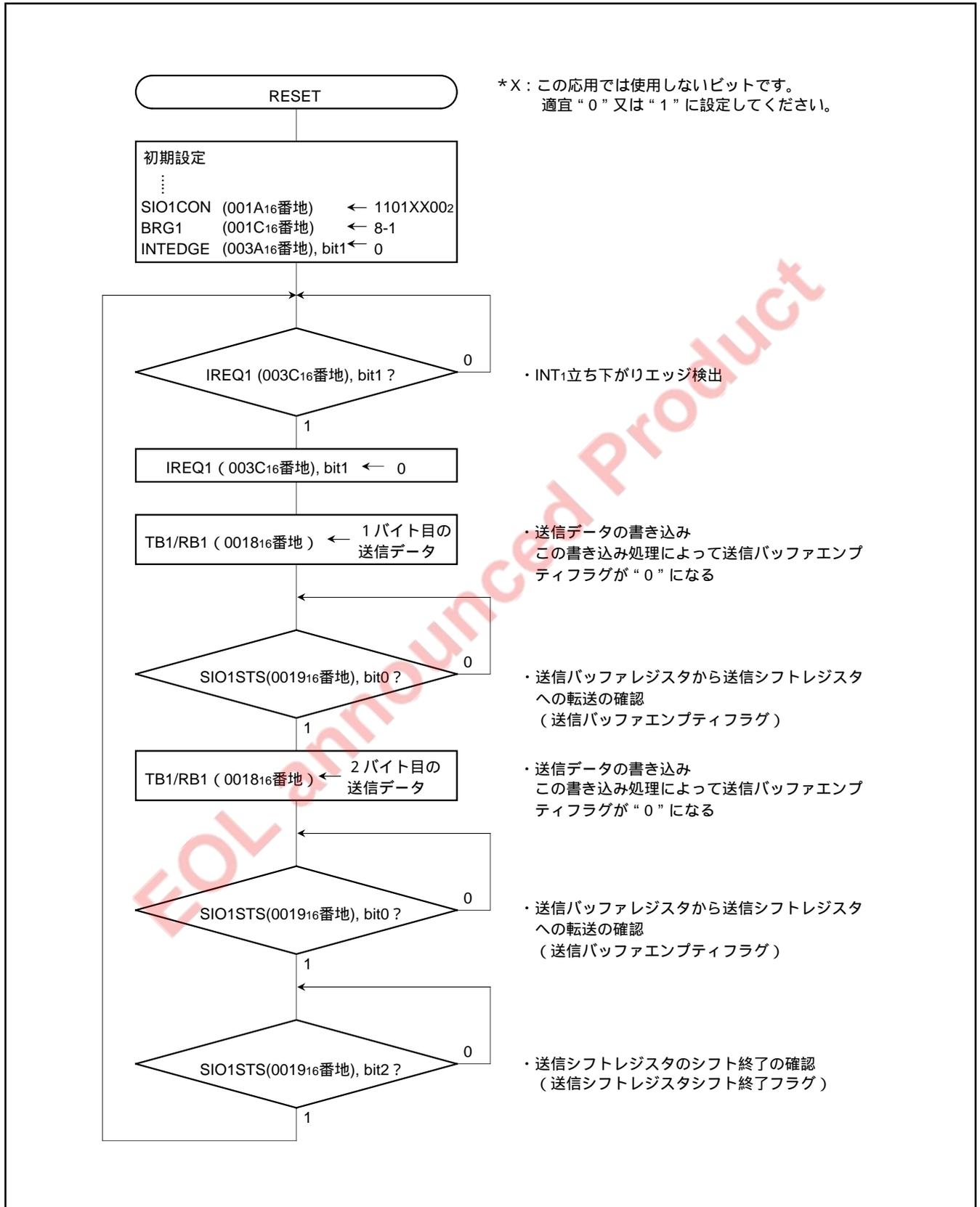


図2.4.23 送信側の制御手順

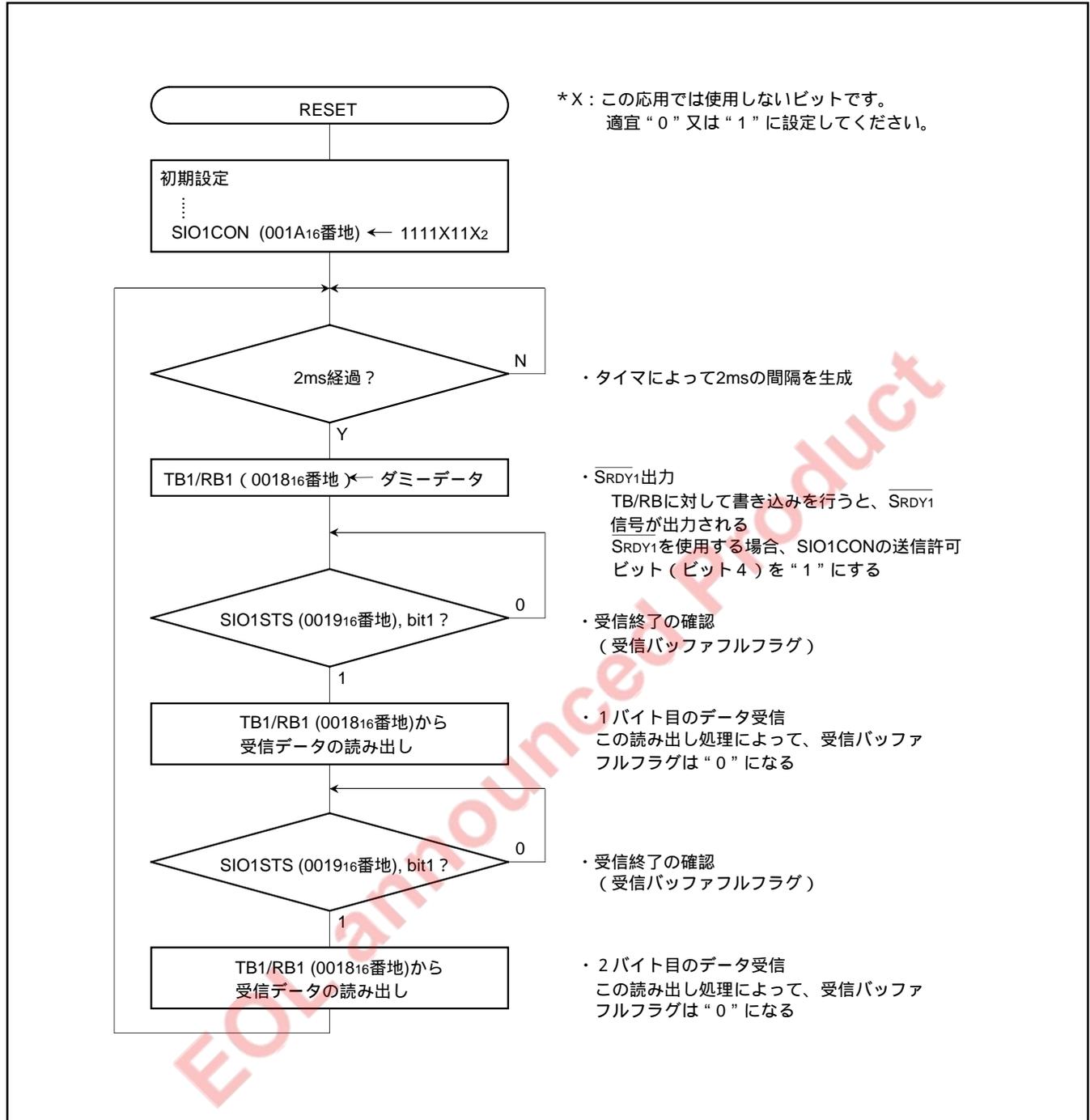


図2.4.24 受信側の制御手順

(2) シリアルデータ出力(周辺ICの制御)

ポイント：クロック同期形シリアルI/Oを使用して4バイトデータの送受信を行います。  
ポートP63を使用して、周辺ICに対する $\overline{CS}$ 信号を出力します。

同一の仕様でシリアルI/O1を使用した例と、シリアルI/O2を使用した例を示します。接続図を図2.4.25、タイミング図を図2.4.26に示します。

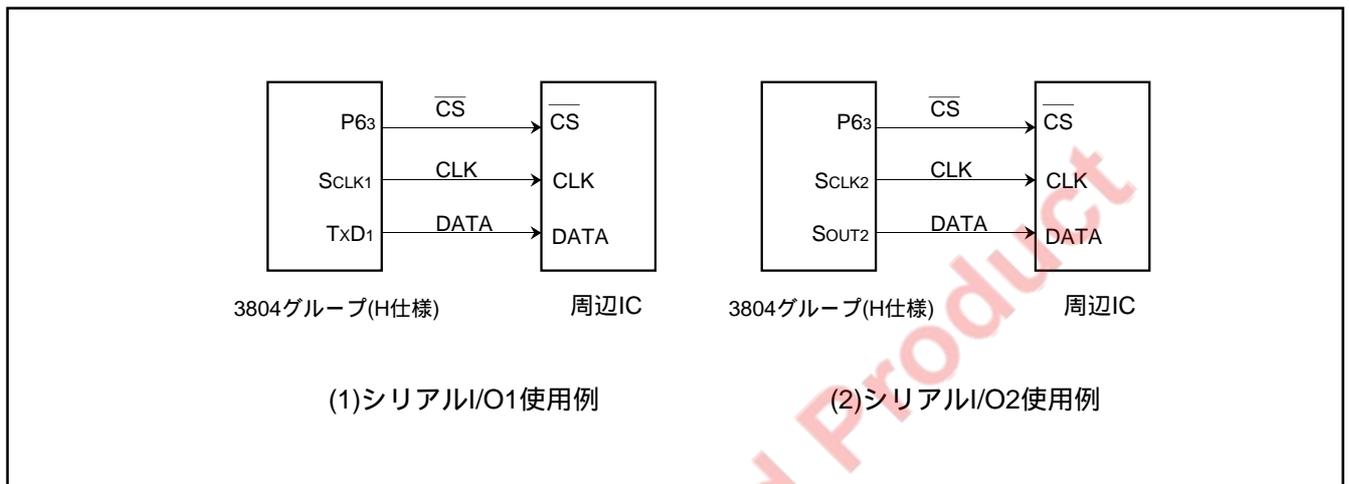


図2.4.25 接続図

- 仕 様：
- ・クロック同期形シリアルI/Oを使用。
  - ・同期クロック周波数：125 kHz ( $f(XIN) = 4 \text{ MHz}$ の32分周)
  - ・転送方向：LSBファースト
  - ・シリアルI/O割り込みは使用しない。
  - ・ポートP63を周辺ICの $\overline{CS}$ 端子(“L”アクティブ)に接続して、送信を制御(ポートP63の出力レベルはソフトウェアで制御)。

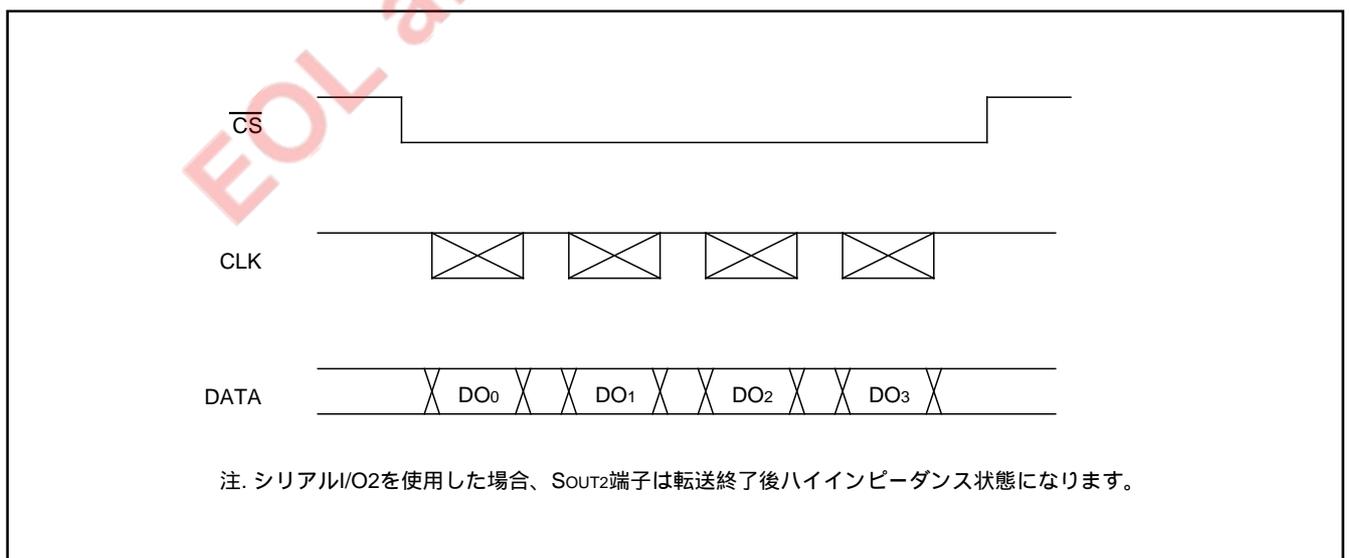


図2.4.26 タイミング図(シリアルI/O1)

図2.4.27にシリアルI/O1関連レジスタの設定、図2.4.28にシリアルI/O1送信データの設定を示します。

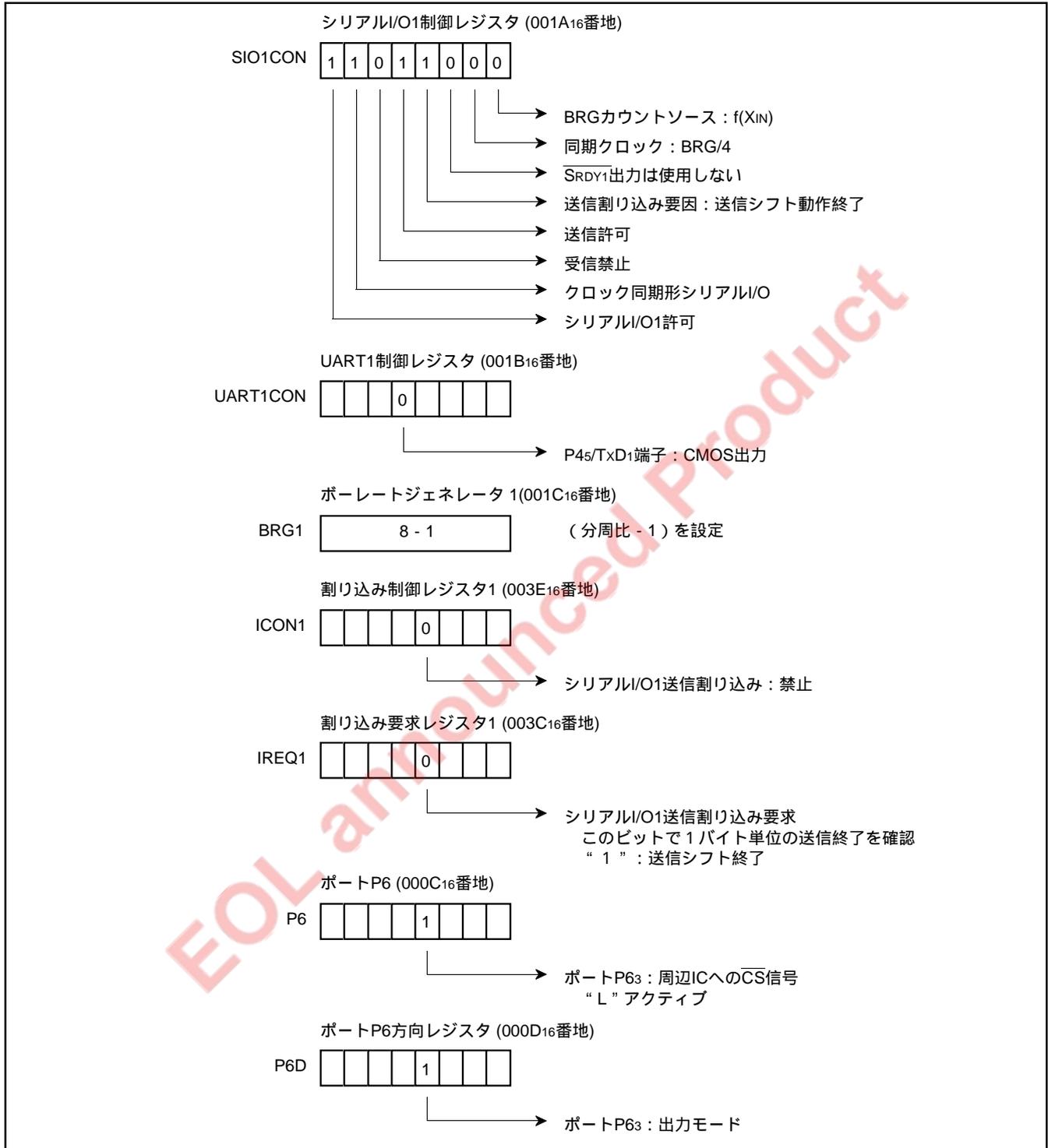


図2.4.27 シリアルI/O1関連レジスタの設定

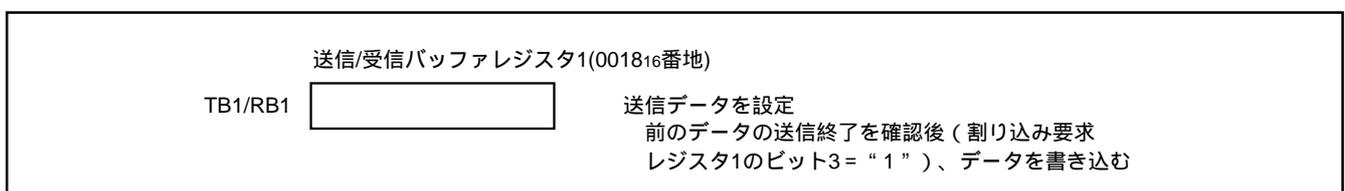


図2.4.28 シリアルI/O1送信データの設定

図2.4.27に示すようにレジスタを設定し、送信バッファレジスタにデータを書き込むことによって、シリアルI/Oは1バイトの送信を行える状態になります。

CS信号を“L”にした後、送信データを1バイトずつ受信バッファレジスタに書き込み、必要なバイト数のデータ送信が終了した時点でCS信号を“H”に戻してください。図2.4.29にシリアルI/O1制御手順を示します。

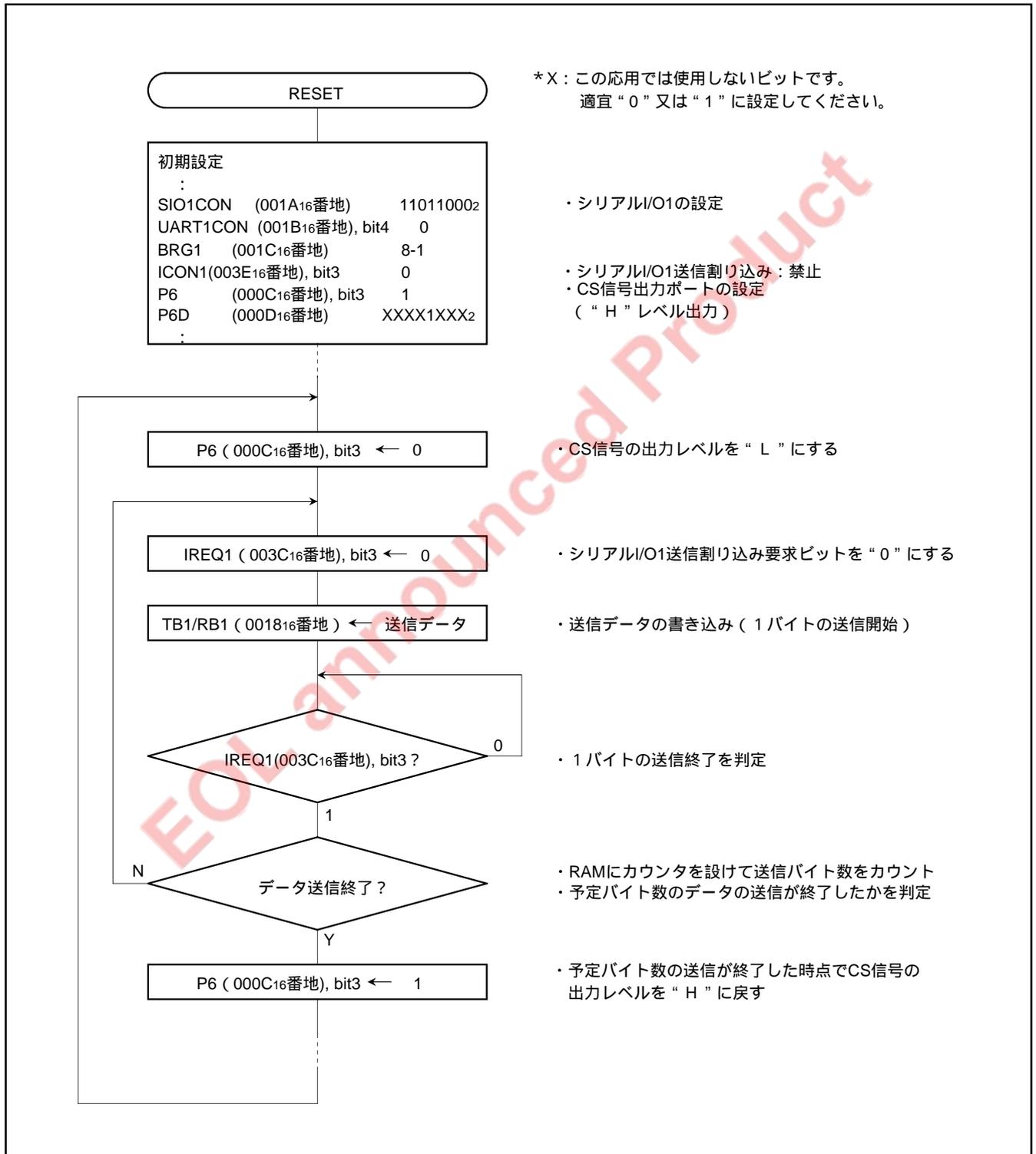


図2.4.29 シリアルI/O1制御手順

図2.4.30にシリアルI/O2関連レジスタの設定、図2.4.31にシリアルI/O2送信データの設定を示します。

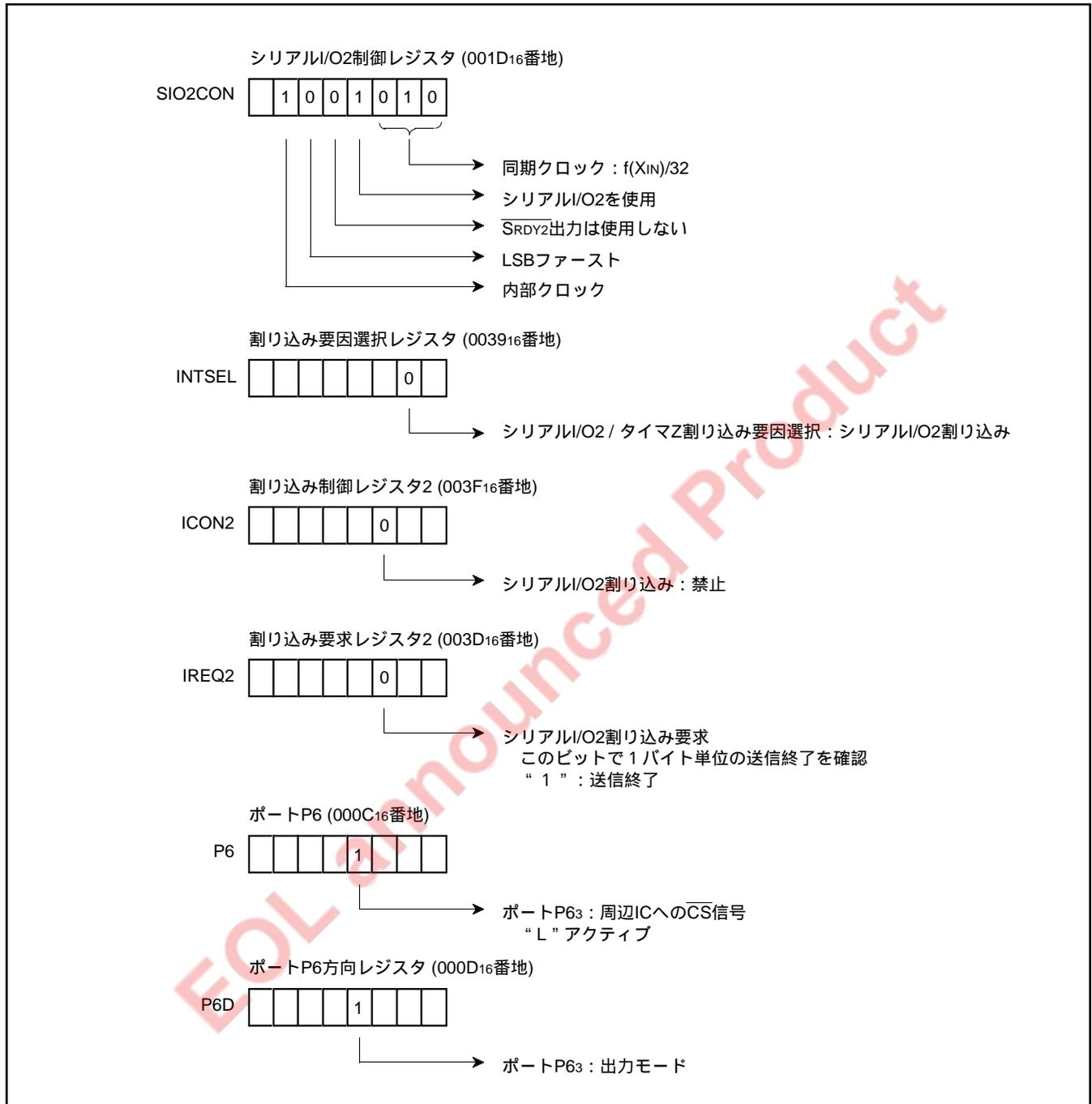


図2.4.30 シリアルI/O2関連レジスタの設定

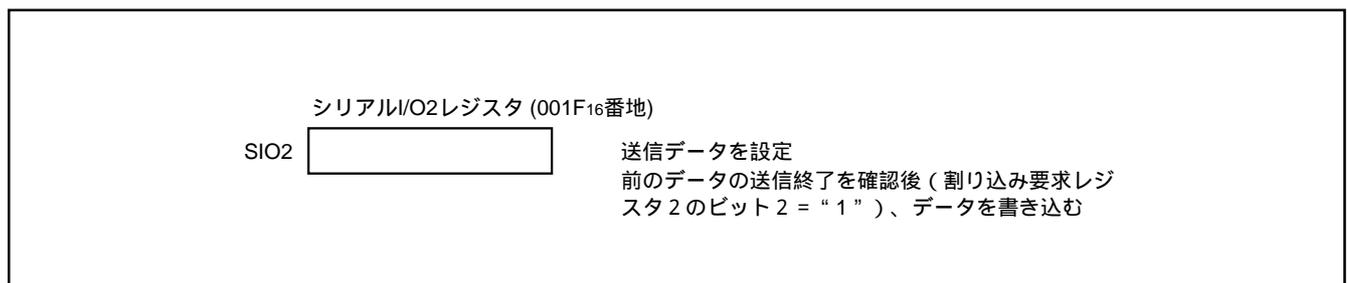


図2.4.31 シリアルI/O2送信データの設定

図2.4.30に示すようにレジスタを設定し、シリアルI/O2レジスタにデータを書き込むことによって、シリアルI/O2は1バイトの送信を行える状態になります。

CS信号を“L”にした後、送信データを1バイトずつシリアルI/O2に書き込み、必要なバイト数のデータ送信が終了した時点でCS信号を“H”に戻してください。図2.4.32にシリアルI/O2制御手順を示します。

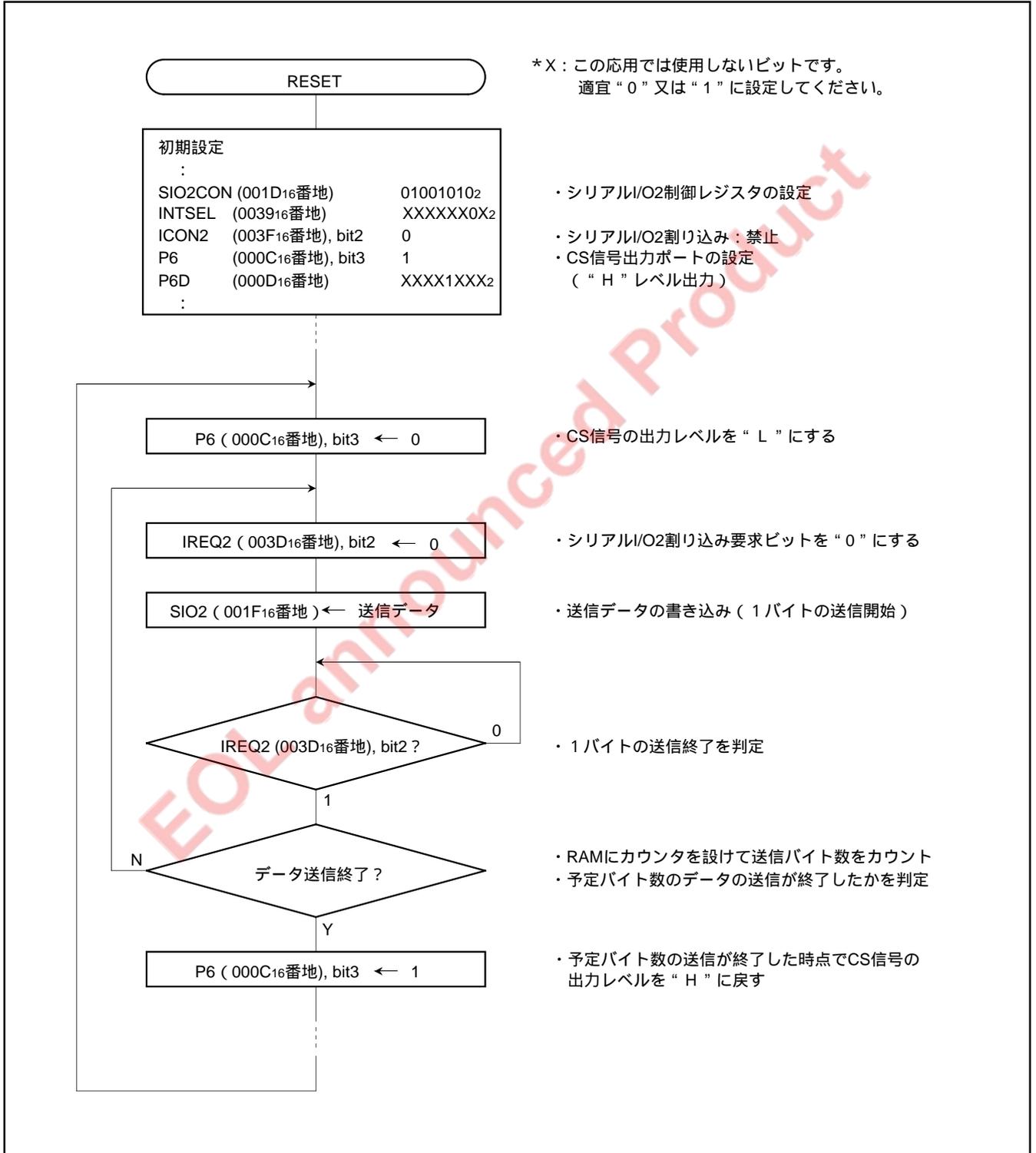


図2.4.32 シリアルI/O2制御手順

## (3) 2つのマイコン間におけるブロックデータ(決められたバイト数のデータ)の周期的な送受信

ポイント：クロック同期形シリアルI/Oを用いて通信を行う場合、同期クロックに含まれたノイズによって送信側と受信側でクロックとデータ間の同期がずれることがあります。そのずれを補正する「頭合わせ」を利用し、常に正常な動作を行います。この例ではブロックの間隔を利用して頭合わせを行っています。シリアルI/O1について説明しますが、シリアルI/O3の場合も同様にして行うことができます。

図2.4.33に接続図を示します。

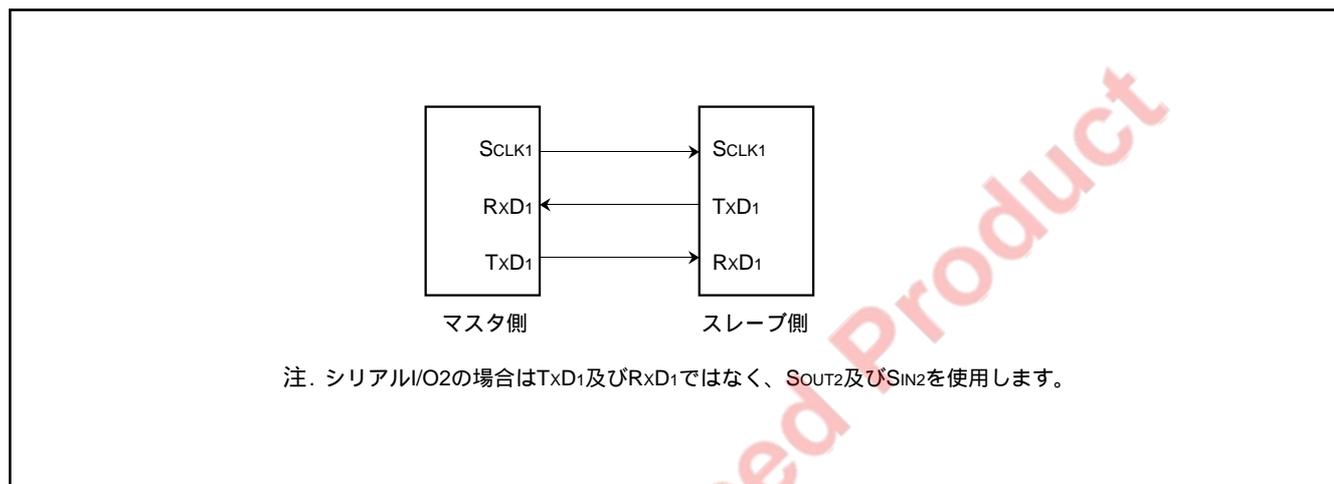


図2.4.33 接続図

- 仕様：
- ・シリアルI/O(クロック同期形シリアルI/O選択)を使用。
  - ・同期クロック周波数：131 kHz ( $f(XIN) = 4.19\text{MHz}$ の32分周)
  - ・バイト周期：488  $\mu\text{s}$
  - ・送受信バイト数：8バイト/各ブロック
  - ・ブロックの転送周期：16 ms
  - ・ブロックの転送期間：3.5 ms
  - ・ブロック間隔：12.5 ms
  - ・頭合わせ時間：8 ms

## 仕様の制限事項：

- ・「バイト周期 - 1バイトの転送時間」の時間内で受信データの読み込みと次の送信データの設定が行えること。  
注.この例ではシリアルI/O1受信割り込み要求発生から次の同期クロックの入力までの時間は431  $\mu\text{s}$ 。
- ・「頭合わせ時間 < ブロック間隔」であること。

通信は図2.4.34に示すタイミングで行います。スレーブ側では一定時間(頭合わせ時間)以上同期クロックが入力されていない場合、次に入力されたクロックをブロックの初め(頭)として処理します。

1ブロック(8バイト)受信後に入力されたクロックは無視されます。図2.4.35に関連レジスタの設定を示します。

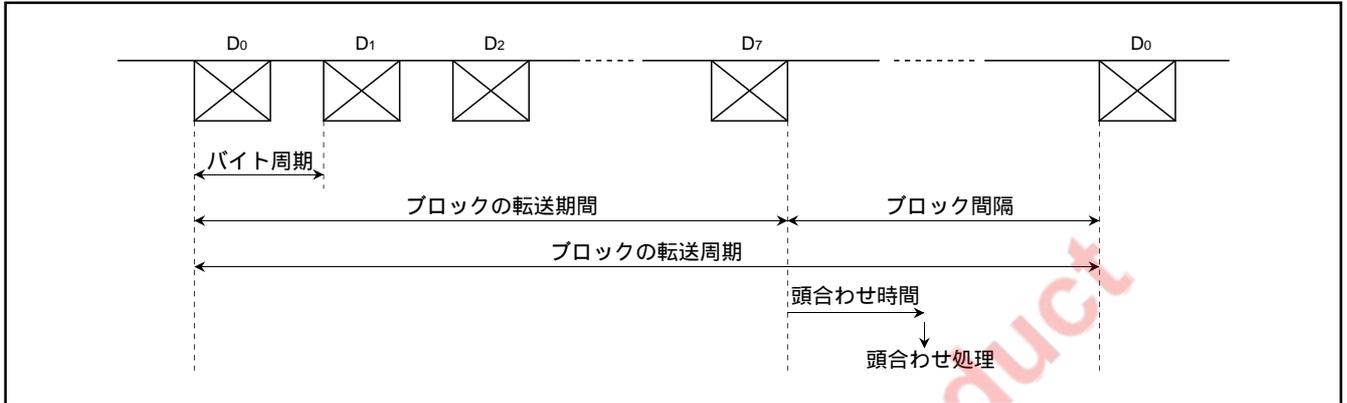


図2.4.34 タイミング図

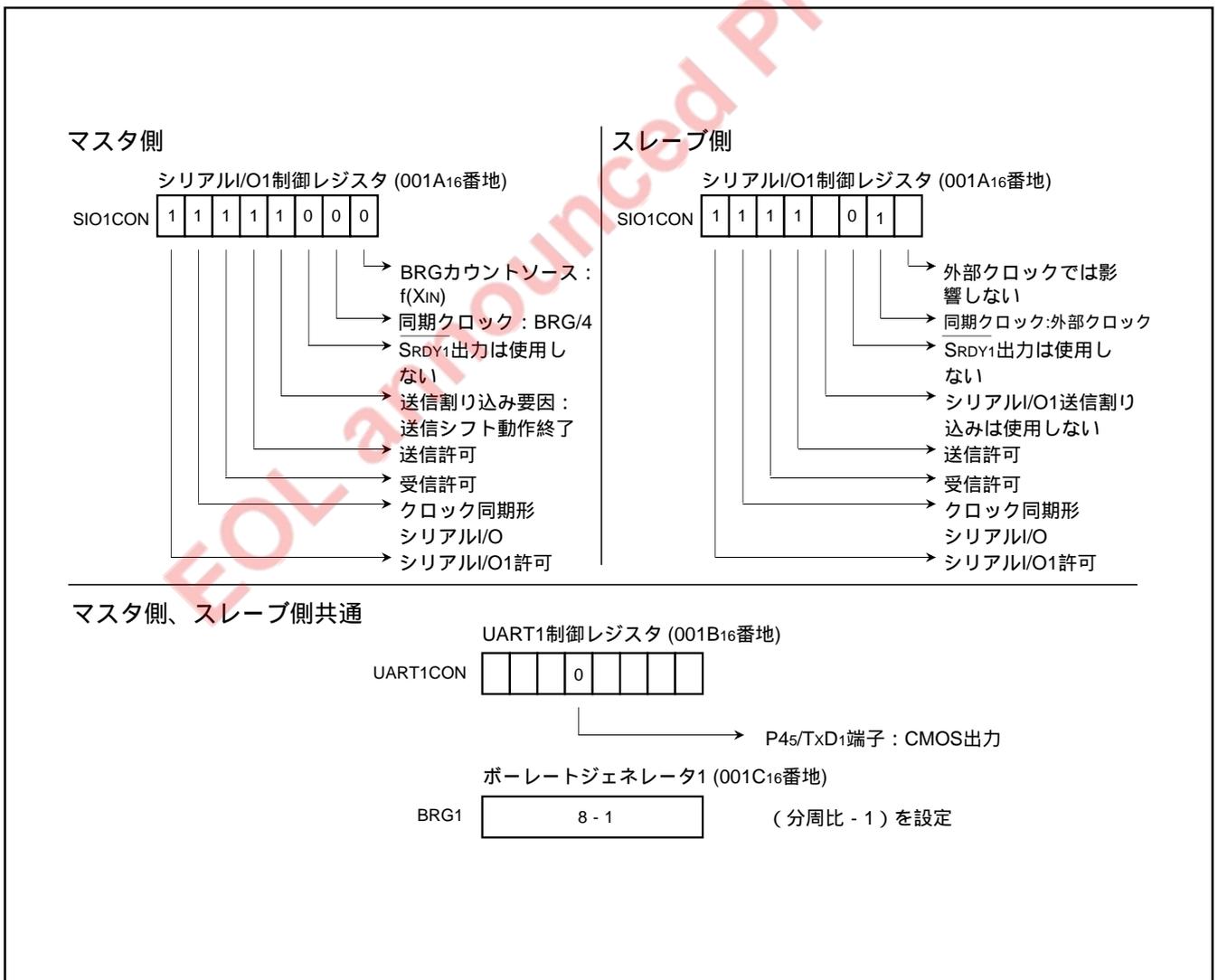


図2.4.35 関連レジスタの設定

ソフトウェアによる制御：

マスタ側の制御

図2.4.35に示す関連レジスタの設定終了後、マスタ側は送信バッファレジスタに送信データを書き込むことによって1バイトデータの送受信を開始します。

図2.4.34に示すタイミングで通信を行うためには、送信データの書き込みはタイミングを測って行い、以下に示すいずれかの場合に受信データを読み出してください。

- ・シリアルI/O1送信割り込み要求ビットが“1”の場合
  - ・次の送信データを送信バッファレジスタに書き込む前
- タイマ割り込みを用いた場合のマスタ側の制御を図2.4.36に示します。

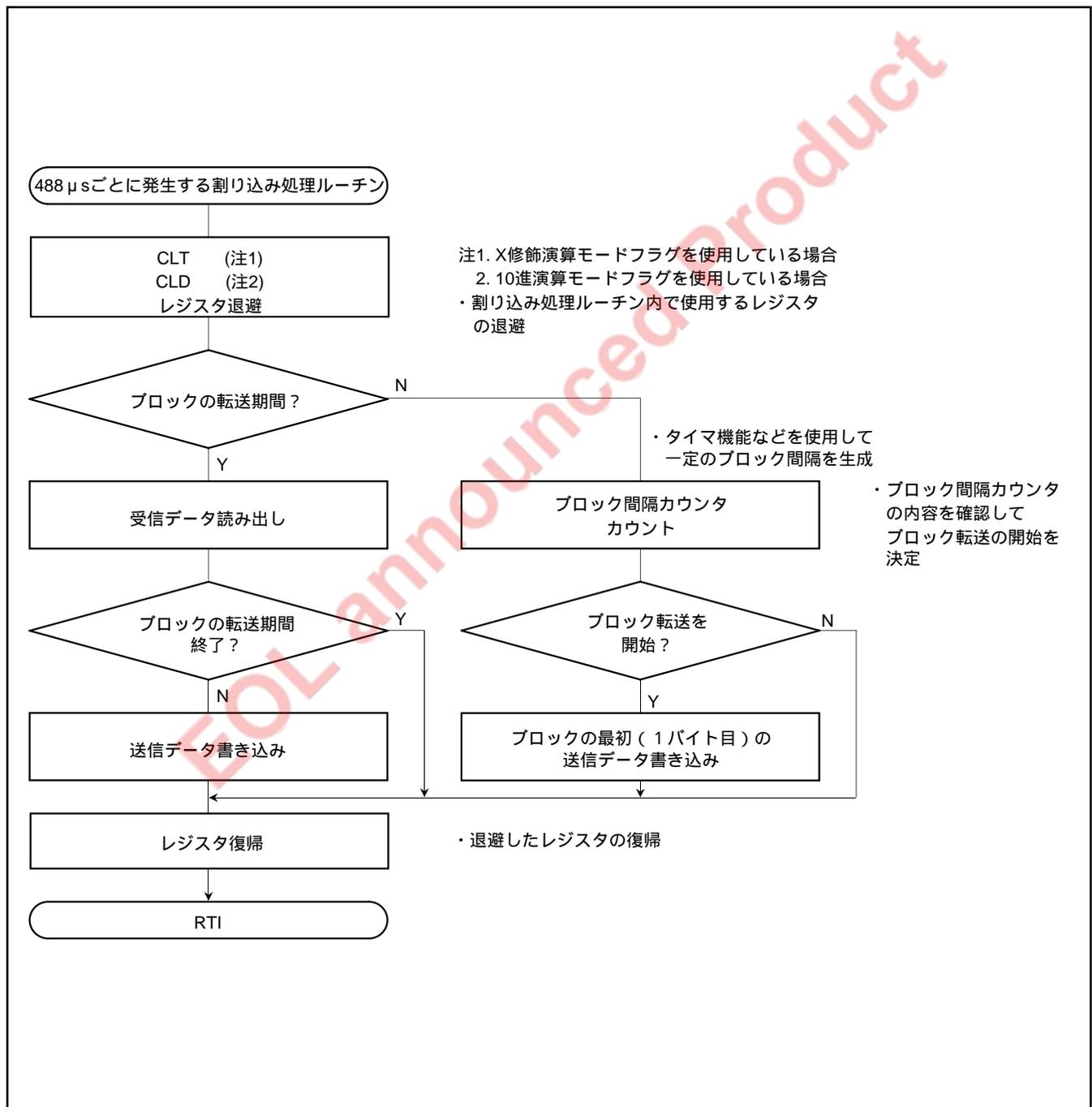


図2.4.36 マスタ側の制御手順

スレーブ側の制御

図2.4.35に示す関連レジスタの設定終了後、スレーブ側は常に同期クロックを受け付けられる状態になり、8ビットの同期クロックを受信するごとにシリアルI/O1受信割り込みが発生します。

シリアルI/O1受信割り込み処理ルーチンでは、受信データを読み出した後、次に送信するデータを送信バッファレジスタに書き込みます。

ただし、一定時間(頭合わせ時間)以上、シリアルI/O1受信割り込みが発生しない場合は、以下の処理が行われます。

1. ブロックの1バイト目の送信データを送信バッファレジスタに書き込む
2. 次に受信するデータをブロックの第1バイト目の受信データとして処理する

シリアルI/O1受信割り込みといずれかのタイマ割り込み(頭合わせ用)を使用したスレーブ側の制御を図2.4.37に示します。

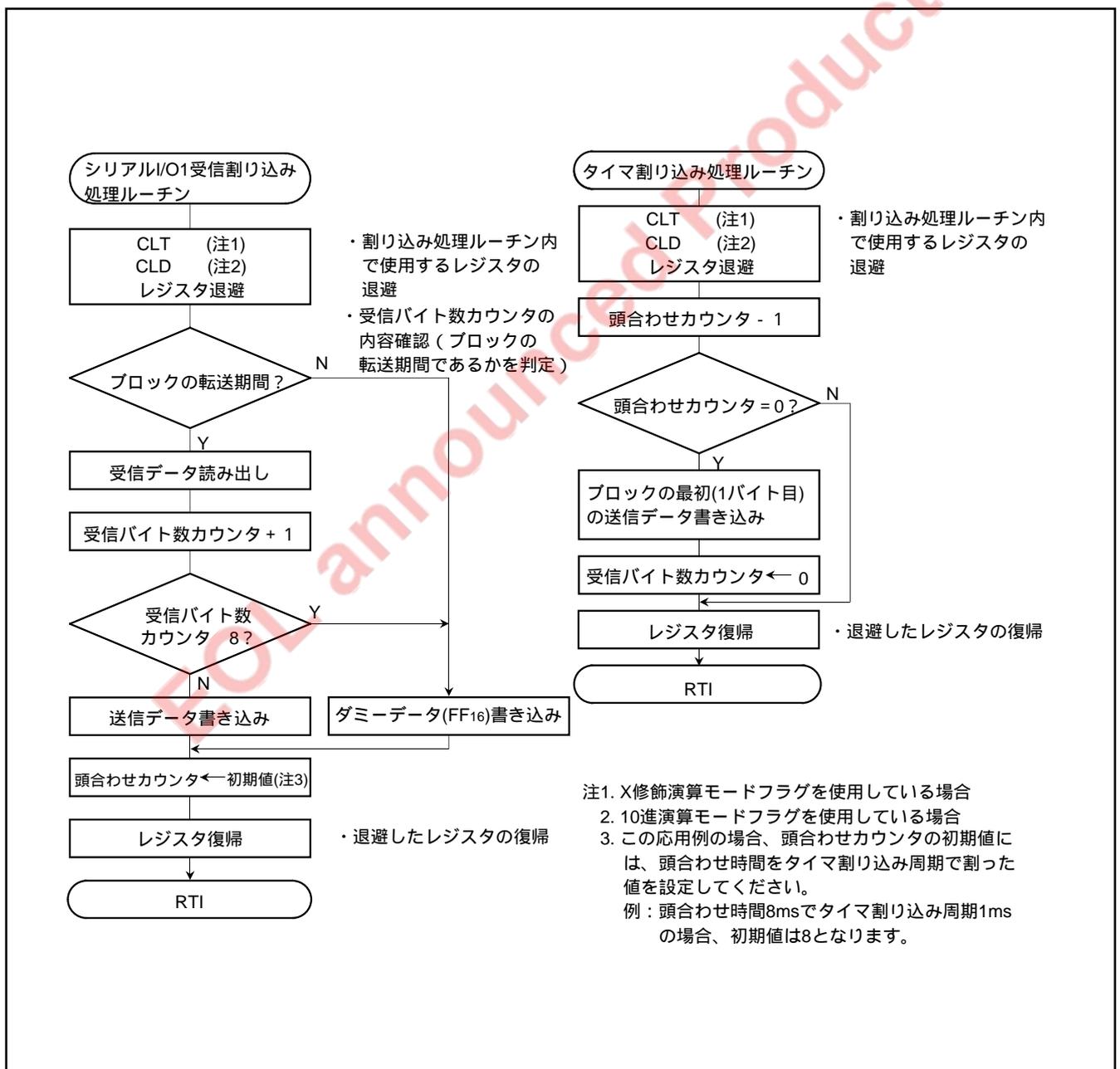


図2.4.37 スレーブ側の制御手順

(4) 非同期形シリアルI/O(UART)を使用した通信(送信/受信)

ポイント：UARTを使用して2バイトデータの送受信を行います。  
通信制御には、ポートP40を使用します。

接続図を図2.4.38、タイミング図を図2.4.39に示します。

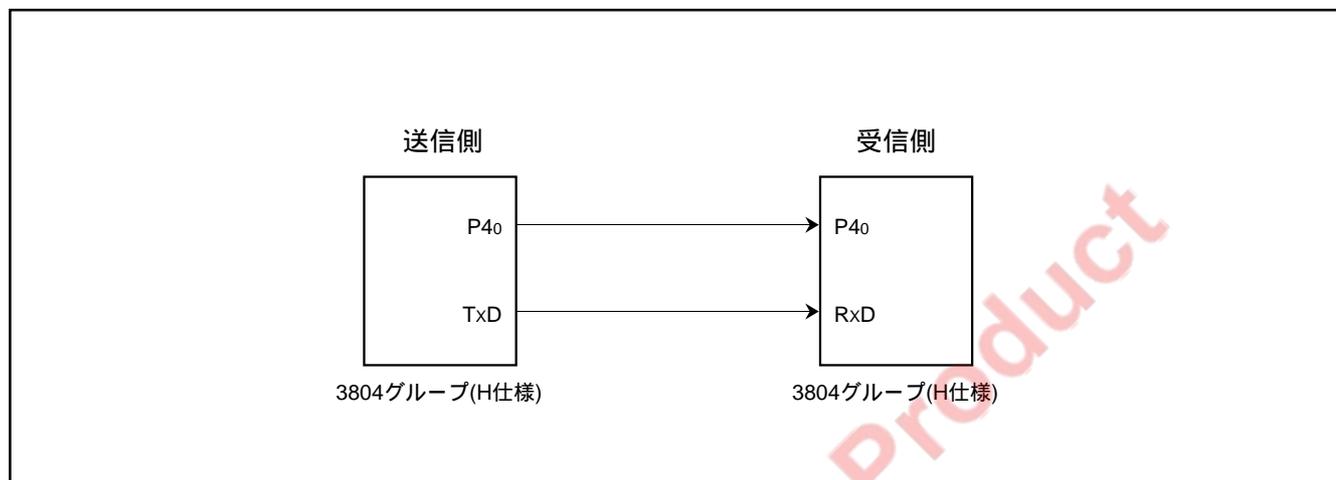


図2.4.38 接続図

- 仕様：
- ・シリアルI/O1(UART選択)を使用。
  - ・転送ビットレート：9600 bps ( $f(XIN) = 4.9152 \text{ MHz}$ の512分周)
  - ・ポートP40を使用する通信制御(ポートP40の出力レベルはソフトウェアで制御する)。
  - ・10 ms間隔(タイマにより生成)で、2バイトのデータを送信側から受信側へ転送。

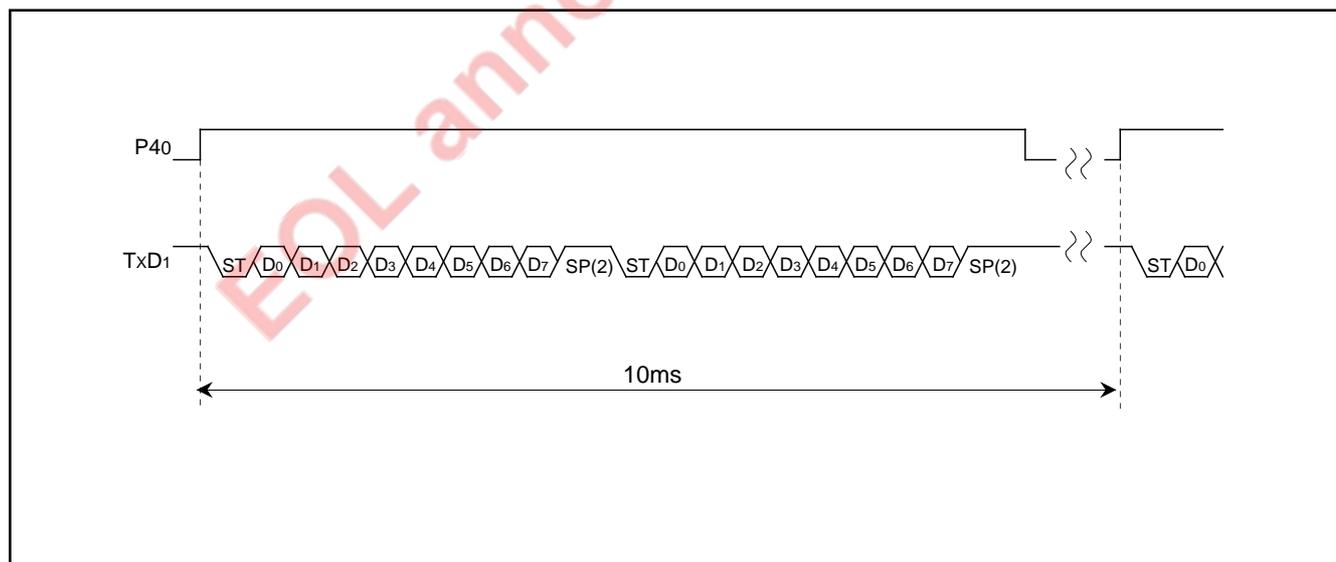


図2.4.39 タイミング図

表2.4.4にボーレートジェネレータの設定値と転送ビットレート選択例、図2.4.40に送信側関連レジスタの設定、図2.4.41に受信側関連レジスタの設定を示します。

表2.4.4 ボーレートジェネレータ(BRG)の設定値と転送ビットレート選択例

BRGカウント ソース(注1)	BRG設定値	転送ビットレート(bps)(注2)	
		f(XIN) = 4.9152 MHz時	f(XIN) = 16 MHz時
f(XIN)/4	255(FF <sub>16</sub> )	300	976.5625
f(XIN)/4	127(7F <sub>16</sub> )	600	1953.125
f(XIN)/4	63(3F <sub>16</sub> )	1200	3906.25
f(XIN)/4	31(1F <sub>16</sub> )	2400	7812.5
f(XIN)/4	15(0F <sub>16</sub> )	4800	15625
f(XIN)/4	7(07 <sub>16</sub> )	9600	31250
f(XIN)/4	3(03 <sub>16</sub> )	19200	62500
f(XIN)/4	1(01 <sub>16</sub> )	38400	125000
f(XIN)	3(03 <sub>16</sub> )	76800	250000
f(XIN)	1(01 <sub>16</sub> )	153600	500000
f(XIN)	0(00 <sub>16</sub> )	307200	1000000

注1. BRGカウントソースはシリアルI/O制御レジスタ(001A<sub>16</sub>番地)のビット0で選択します。

2. 転送ビットレートの算出式

$$\text{転送ビットレート(bps)} = \frac{f(\text{XIN})}{(\text{BRG設定値} + 1) \times 16 \times m}$$

m: シリアルI/O制御レジスタのビット0 = "0"の場合、m = 1

シリアルI/O制御レジスタのビット0 = "1"の場合、m = 4

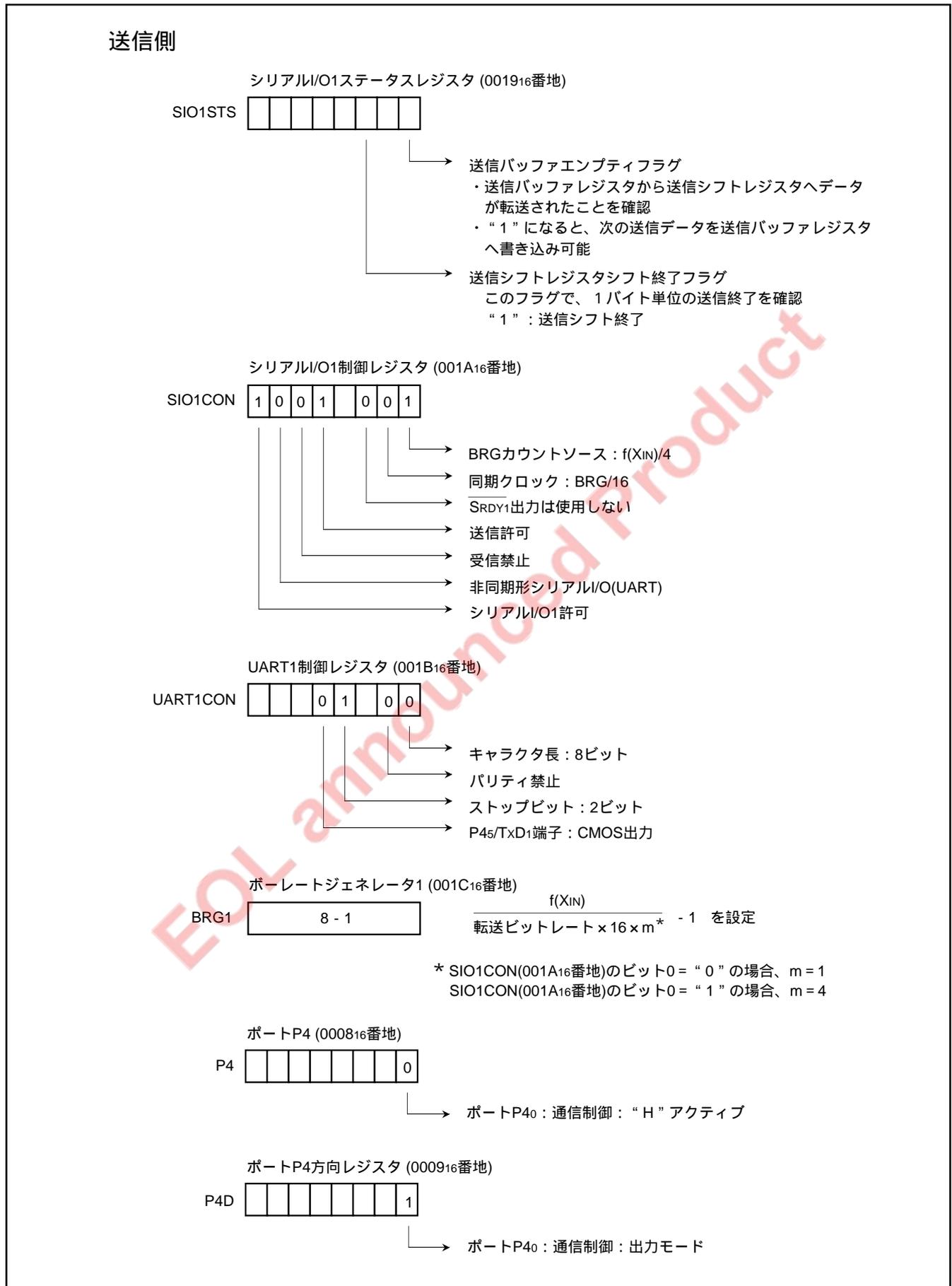


図2.4.40 送信側関連レジスタの設定

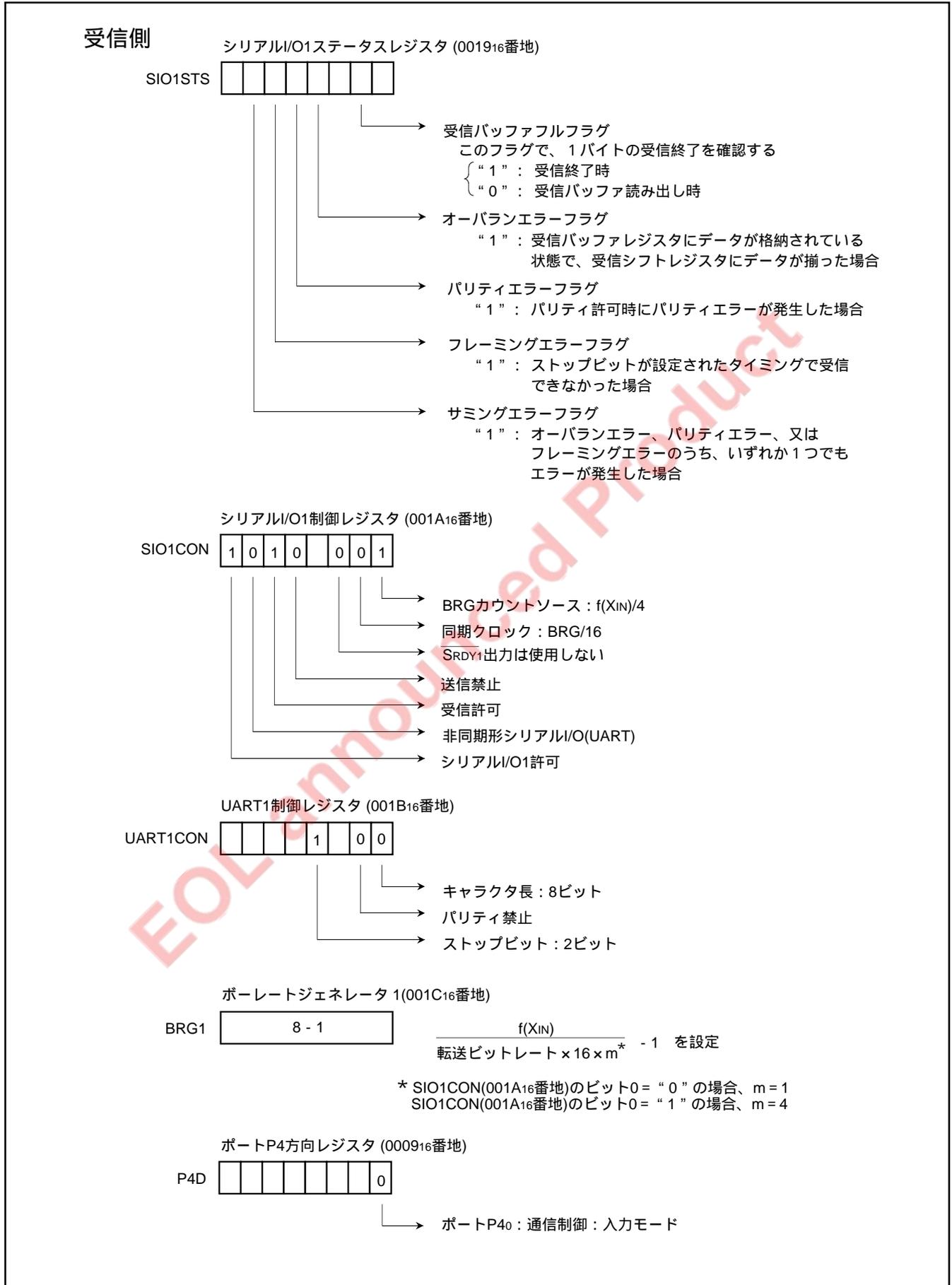


図2.4.41 受信側関連レジスタの設定

図2.4.42に送信側の制御手順、図2.4.43に受信側の制御手順を示します。

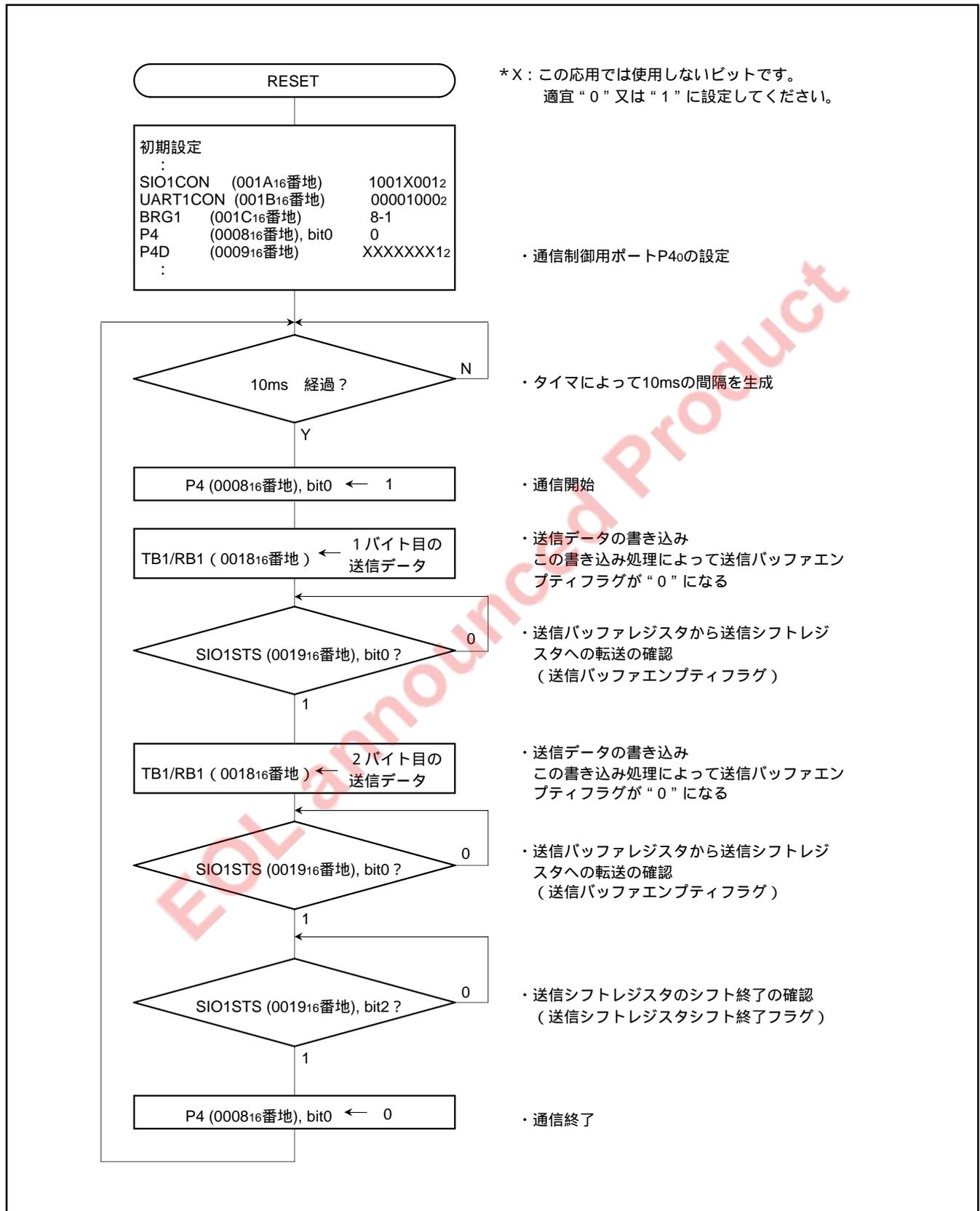


図2.4.42 送信側の制御手順

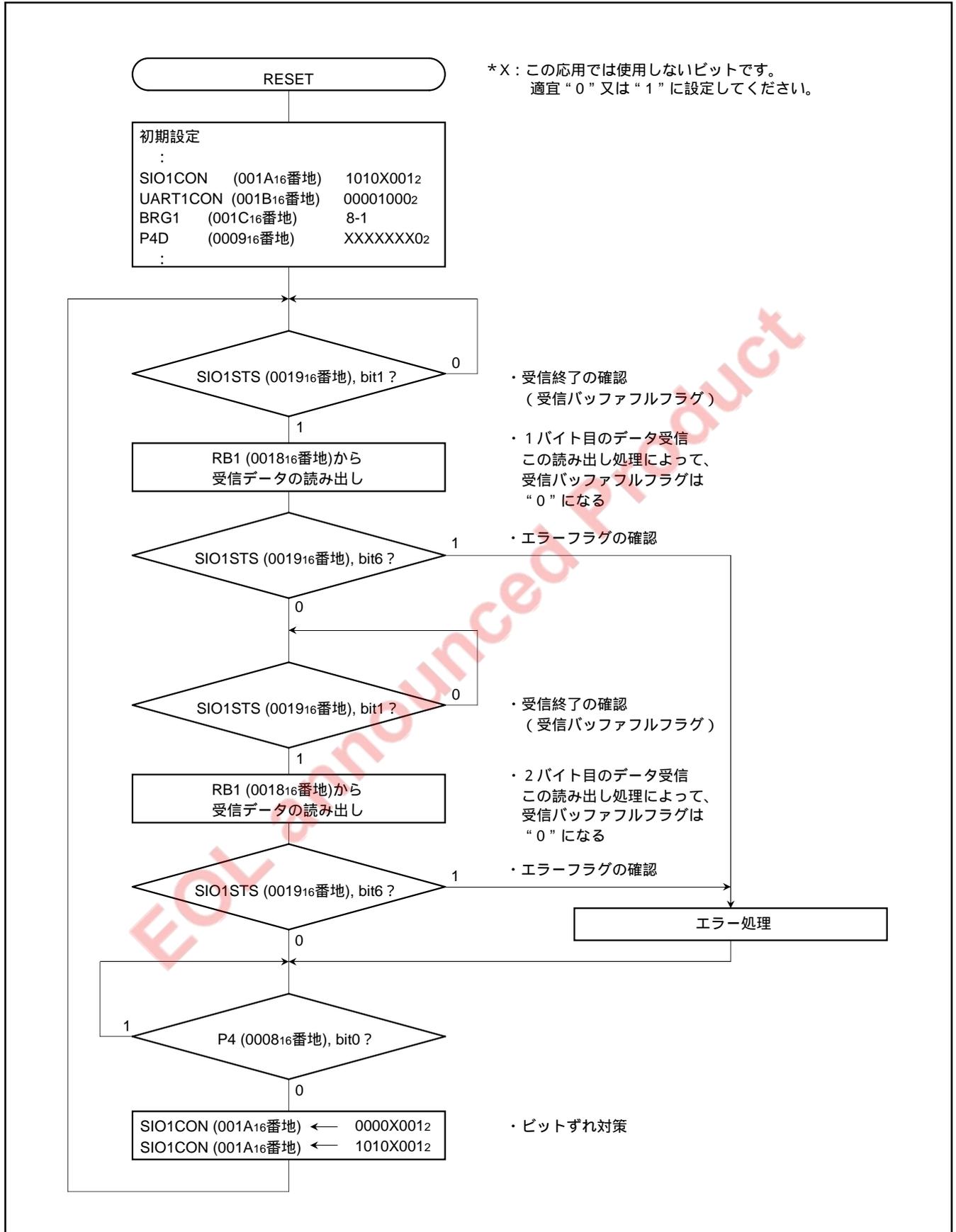


図2.4.43 受信側の制御手順

### 2.4.8 シリアルインタフェースに関する注意事項

#### (1) 同期形の選択時

##### 送信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1,3)の場合、シリアルI/Oi許可ビット及び送信許可ビットを“0”(シリアルI/Oi禁止及び送信禁止)にしてください。

##### 理由

シリアルI/Oi許可ビットだけを“0”(シリアルI/Oi禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxDi、RxDi、SCLKi、 $\overline{\text{SRDYi}}$ 各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/Oi許可ビットを“1”にすると、内部でシフト中のデータが途中からTxDi端子に出力され、不具合の原因となります。

##### 受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1,3)の場合、受信許可ビットを“0”(受信禁止)、又はシリアルI/Oi許可ビットを“0”(シリアルI/Oi禁止)にしてください。

##### 送受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/Oi(i=1,3)においては、クロック同期形シリアルI/Oモードの場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

##### 理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また、送信動作の停止と同様に、シリアルI/Oi許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

#### (2) 非同期形の選択時

##### 送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。

シリアルI/Oi許可ビット(i=1,3)を“0”にすることでは、送信動作は止まりません。

##### 理由

(1)のと同じです。

##### 受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

## 送受信動作の停止

## 送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。

シリアルI/O許可ビット(i=1,3)を“0”にすることは、送信動作は止まりません。

## 理由

(1)のと同じです。

## 受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 受信側の $\overline{\text{SRDY}}_i$ (i=1,3)出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}_i$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}_i$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

## (4) シリアルI/O(i=1,3)制御レジスタの再設定

シリアルI/O制御レジスタの再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

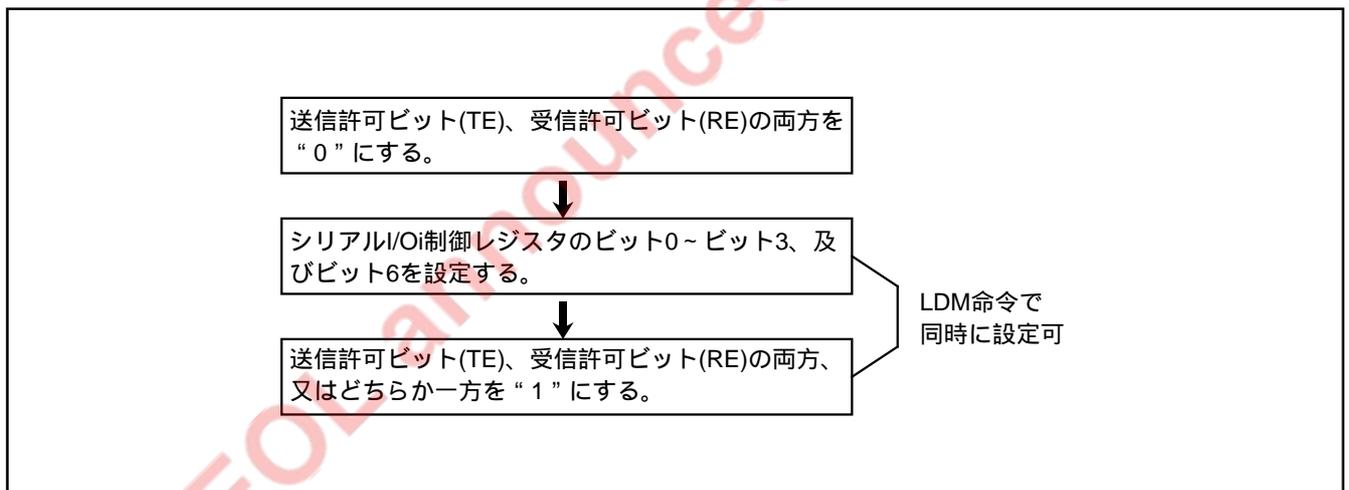


図2.4.44 シリアルI/O(i=1,3)制御レジスタの再設定手順

## (5) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れて“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

## (6) 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、 $\text{SCLK}_i$ (i=1,3)が“H”の状態です。送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、 $\text{SCLK}_i$ が“H”の状態で行ってください。

## (7) 送信許可ビットセット時の送信割り込み要求

送信割り込みを使用する場合は、以下の手順で設定してください。

- ①シリアルI/O<sub>i</sub>送信割り込み許可ビット(  $i=1, 3$  )を“ 0 ( 禁止 )”にする。
- ②送信許可ビットを“ 1 ”にする。
- ③一命令以上おいてからシリアルI/O<sub>i</sub>送信割り込み要求ビット(  $i=1, 3$  )を“ 0 ”にする。
- ④シリアルI/O<sub>i</sub>送信割り込み許可ビット(  $i=1, 3$  )を“ 1 ( 許可 )”にする。

## ・理由

送信許可ビットを“ 1 ”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、“ 1 ”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“ 1 ”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

(8) ポーレートジェネレータ<sub>i</sub>(BRG<sub>i</sub>)( $i=1,3$ )への書き込み

UART<sub>i</sub>( $i=1,3$ )ポーレートジェネレータ<sub>i</sub>(BRG<sub>i</sub>)( $i=1, 3$ )への書き込みは、送受信停止中に行ってください。

## 2.5 マルチマスタI<sup>2</sup>C-BUSインタフェース

3804グループには、マルチマスタI<sup>2</sup>C-BUSインタフェース機能を持っています。

マルチマスタI<sup>2</sup>C-BUSインタフェースはフィリップス社I<sup>2</sup>C-BUSのデータ転送フォーマットに基づいてシリアル通信を行う回路です。この項ではI<sup>2</sup>C-BUSの概要と実際の通信例を説明します。

### 2.5.1 メモリ配置図

0010 <sub>16</sub>	MISRG
0011 <sub>16</sub>	I <sup>2</sup> Cデータシフトレジスタ (S0)
0012 <sub>16</sub>	I <sup>2</sup> Cスペシャルモードステータスレジスタ (S3)
0013 <sub>16</sub>	I <sup>2</sup> Cステータスレジスタ (S1)
0014 <sub>16</sub>	I <sup>2</sup> Cコントロールレジスタ (S1D)
0015 <sub>16</sub>	I <sup>2</sup> Cクロックコントロールレジスタ (S2)
0016 <sub>16</sub>	I <sup>2</sup> Cスタート/ストップコンディション制御レジスタ (S2D)
0017 <sub>16</sub>	I <sup>2</sup> Cスペシャルモード制御レジスタ (S3D)
0039 <sub>16</sub>	割り込み要因選択レジスタ (INTSEL)
003C <sub>16</sub>	割り込み要求レジスタ1 (IREQ1)
003D <sub>16</sub>	割り込み要求レジスタ2 (IREQ2)
003E <sub>16</sub>	割り込み制御レジスタ1 (ICON1)
003F <sub>16</sub>	割り込み制御レジスタ2 (ICON2)
0FF7 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ 0(S0D0)
0FF8 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ 1(S0D1)
0FF9 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ 2(S0D2)

図2.5.1 I<sup>2</sup>C関連レジスタのメモリ配置

2.5.2 関連レジスタ

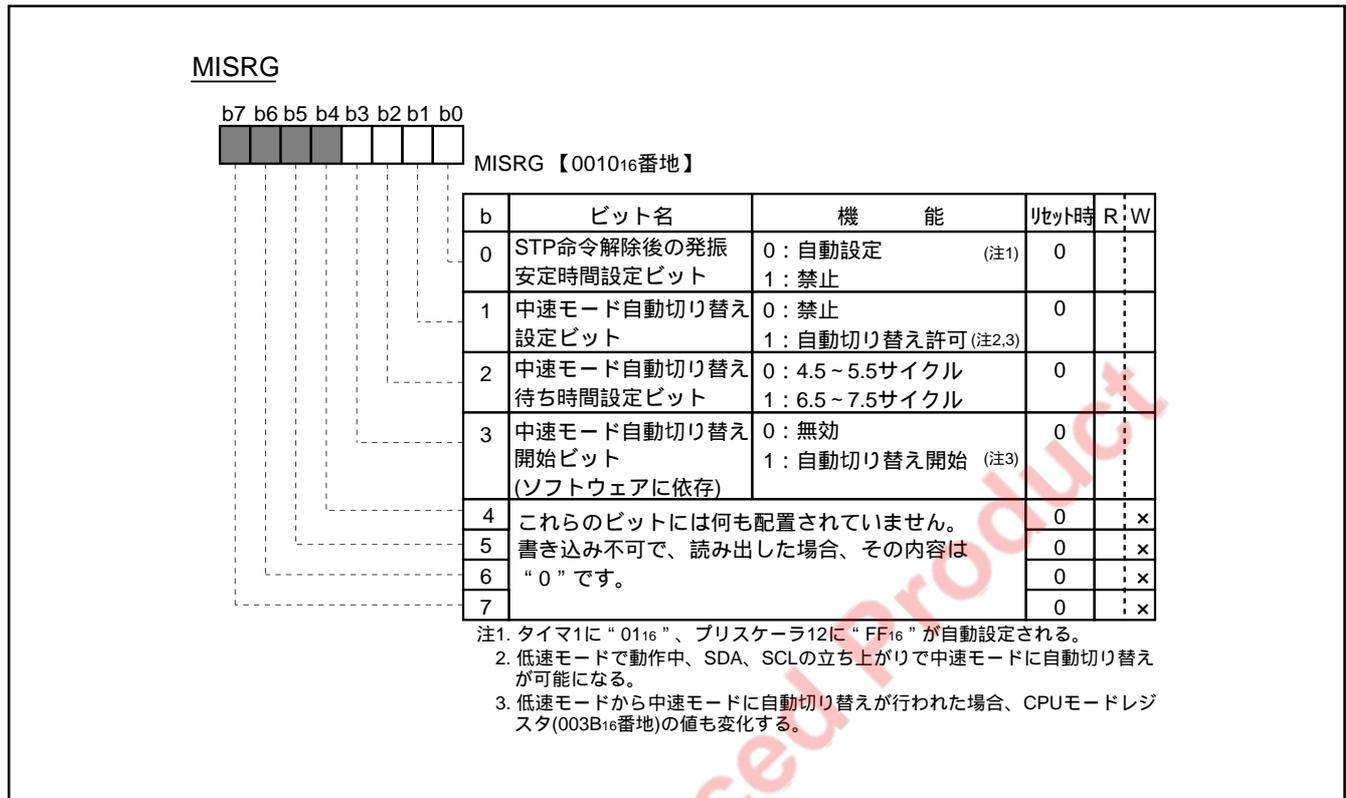


図2.5.2 MISRGの構成

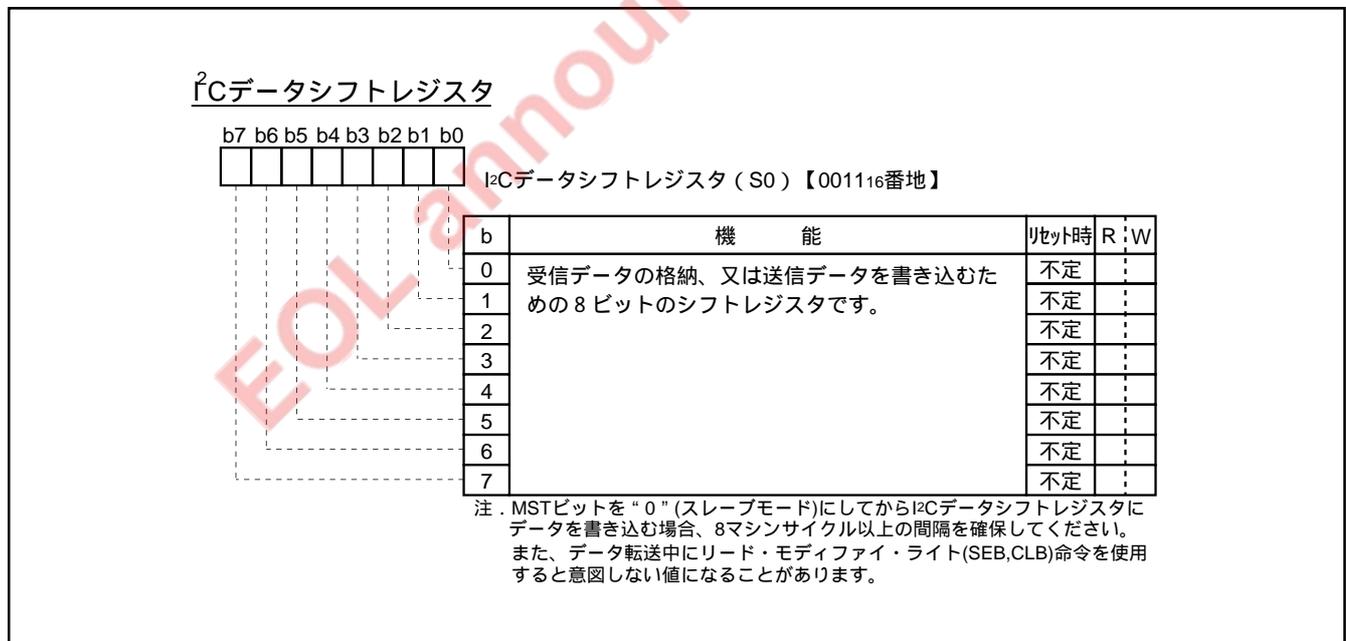


図2.5.3 I<sup>2</sup>Cデータシフトレジスタの構成

I<sup>2</sup>Cスペシャルモードステータスレジスタ



I<sup>2</sup>Cスペシャルモードステータスレジスタ(S3)【0012<sub>16</sub>番地】

b	ビット名	機 能	リセット時	R : W
0	スレーブアドレス0 比較フラグ(AAS0)	0: アドレス不一致 1: アドレス一致 (注1,2)	0	x
1	スレーブアドレス1 比較フラグ(AAS1)	0: アドレス不一致 1: アドレス一致 (注1,2)	0	x
2	スレーブアドレス2 比較フラグ(AAS2)	0: アドレス不一致 1: アドレス一致 (注1,2)	0	x
3	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	x
4	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は不定です。		0	x
5	SCL端子 Lowホールド2 フラグ(PIN2)	0: Lowホールド 1: 開放 (注1,3)	1	x
6	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	x
7	ストップコンディション フラグ(SPCF)	0: 未検出 1: 検出 (注1,4)	0	x

- 注1 . これらのビット又はフラグは読み出せませんが、書き込みません。  
 2 . これらのビットはI<sup>2</sup>Cコントロールレジスタのデータフォーマット選択ビット(ALS)を“0”にした場合のみ検出可能です。  
 3 . このビットはリセット時、アック割り込み制御ビットが“0”のとき、及びSCL端子Lowホールドフラグセットビットに“1”を書き込んだときに“1”に初期化されます。  
 4 . このビットはリセット時、I<sup>2</sup>C-BUSインタフェース使用許可ビット(ES0)が“0”のとき、及びストップコンディションフラグクリアビットに、それぞれ“1”を書き込んだときに“0”に初期化されます。

図2.5.4 I<sup>2</sup>Cスペシャルモードステータスレジスタの構成

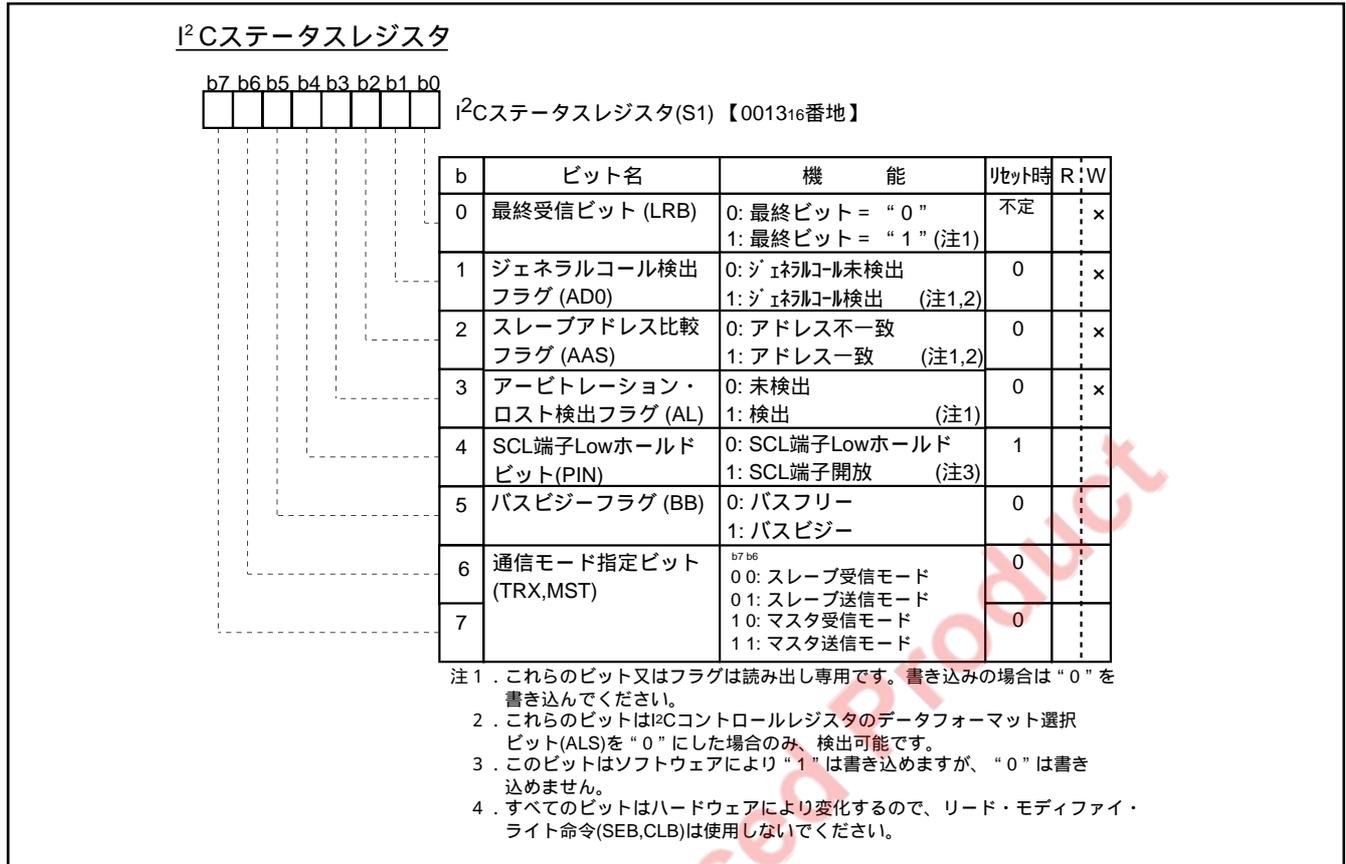


図2.5.5 I<sup>2</sup>Cステータスレジスタの構成

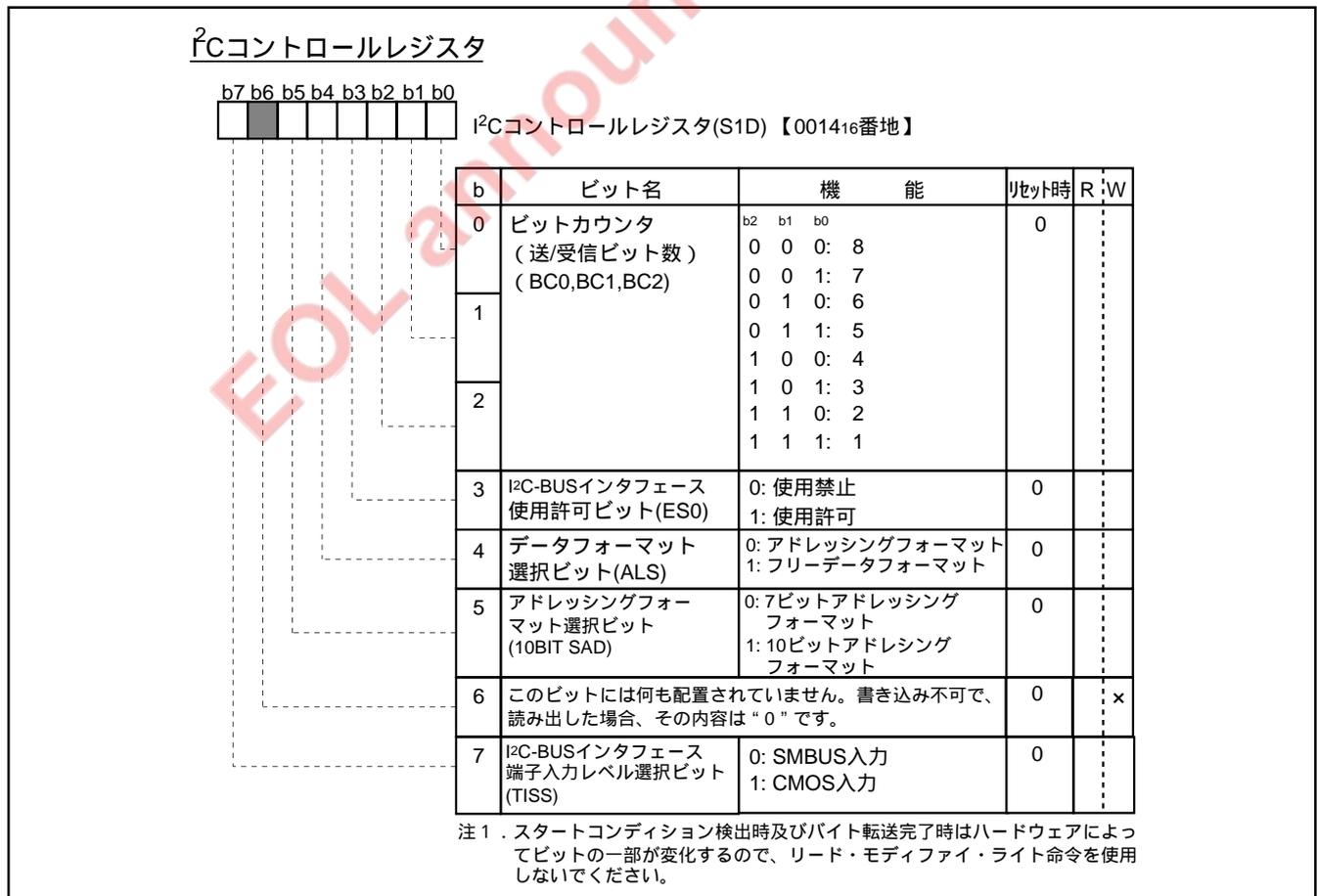
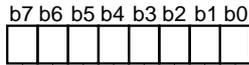


図2.5.6 I<sup>2</sup>Cコントロールレジスタの構成

I<sup>2</sup>Cクロックコントロールレジスタ



I<sup>2</sup>Cクロックコントロールレジスタ(S2)【0015<sub>16</sub>番地】

b	ビット名	機能			リセット時	R/W
		レジスタ値 b4~b0	標準 クロック モード	高速 クロック モード		
0	SCL周波数制御ビット (CCR0,CCR1,CCR2, CCR3,CCR4)	00~02	禁止	禁止	0	
1		03	禁止(注2)	333		
2		04	禁止(注2)	250		
		05	100	400(注3)		
		06	83.3	166		
3			500/CCR値	1000/CCR値		
		1D	17.2	34.5		
		1E	16.6	33.3		
		1F	16.1	32.3		
			( = 4 MHz, 単位: kHz)(注1)			
5	SCLモード指定ビット (FAST MODE)	0: 標準クロックモード	1: 高速クロックモード	0		
6	アックビット (ACK BIT)	0: アック返す	1: アック返さない	0		
7	アッククロックビット (ACK)	0: アッククロックなし	1: アッククロックあり	0		

注1.SCLクロック出力のデューティは50%です。高速クロックモードCCR値=5のみ35~45%になります。(400kHz, =4MHz時)また、クロックの“H”の期間は標準クロックモードで+2~-4マシサイクル、高速クロックモードで+2~-2マシサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロナス機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4~CCR0を10進数表記した値です。  
 2. =4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合は をより低い周波数で使用ください。  
 3.SCL周波数の計算式は次のとおりです。  
 /(8×CCR値)標準クロックモード  
 /(4×CCR値)高速クロックモード(CCR値 = 5)  
 /(2×CCR値)高速クロックモード(CCR値 = 5)  
 CCR値=0~2は の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4~CCR0を設定ください。

図2.5.7 I<sup>2</sup>Cクロックコントロールレジスタの構成

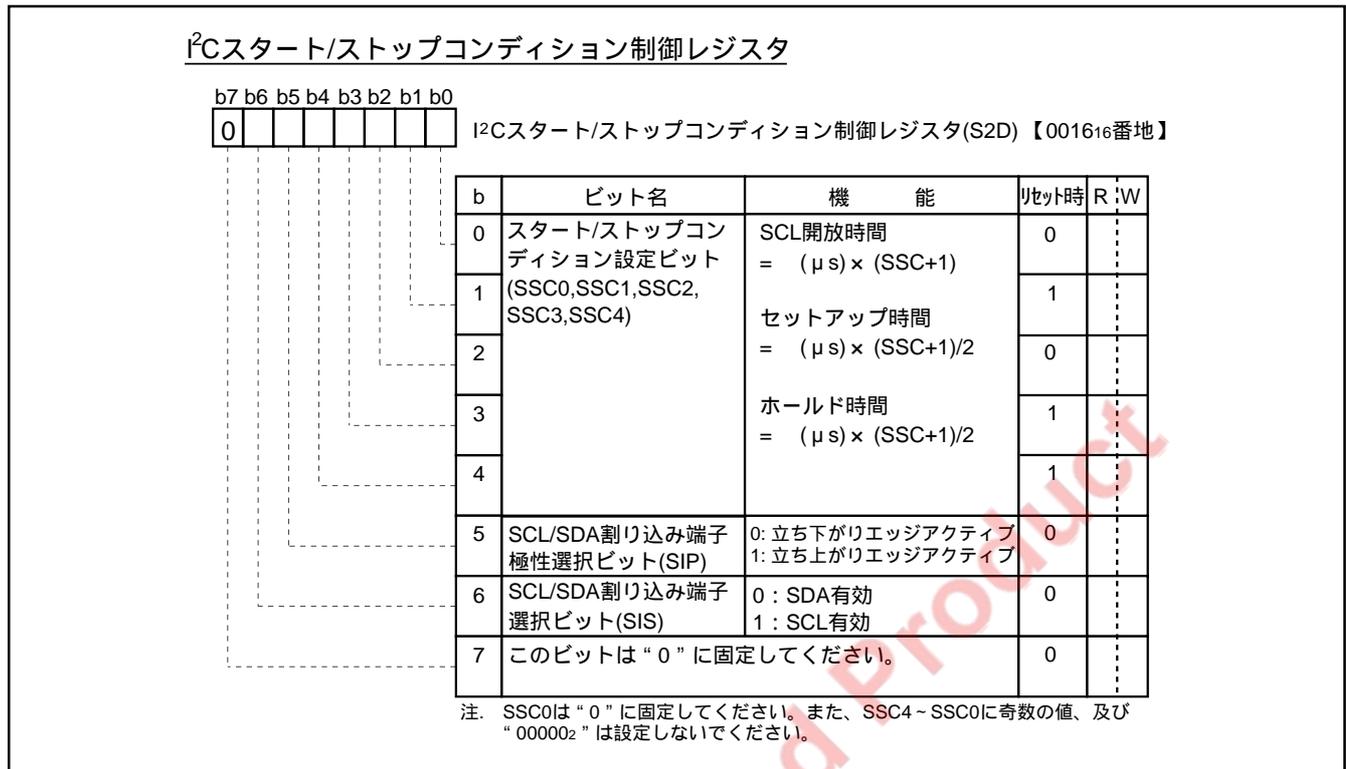


図2.5.8 I<sup>2</sup>Cスタート/ストップコンディション制御レジスタの構成

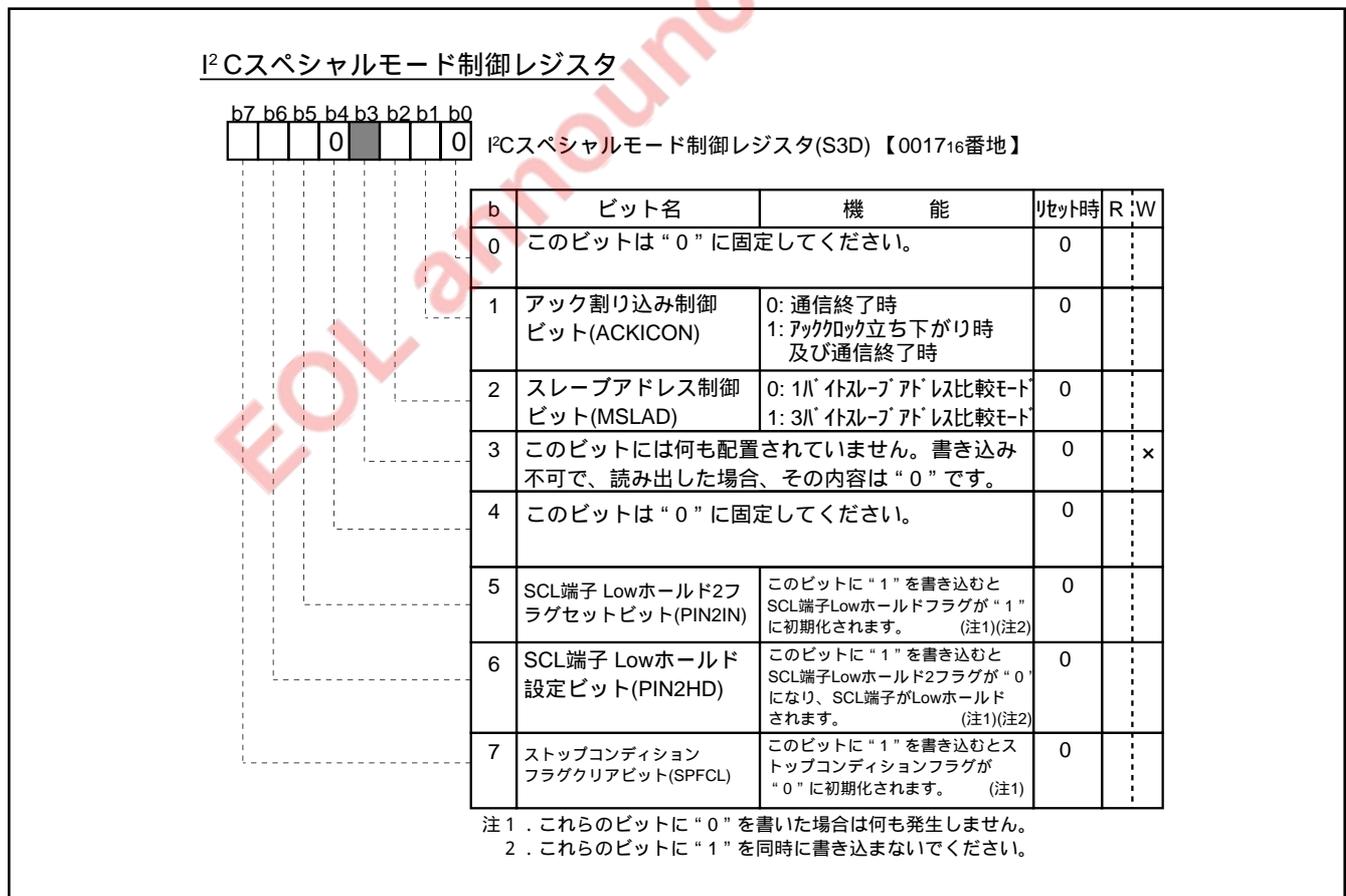


図2.5.9 I<sup>2</sup>Cスペシャルモード制御レジスタの構成

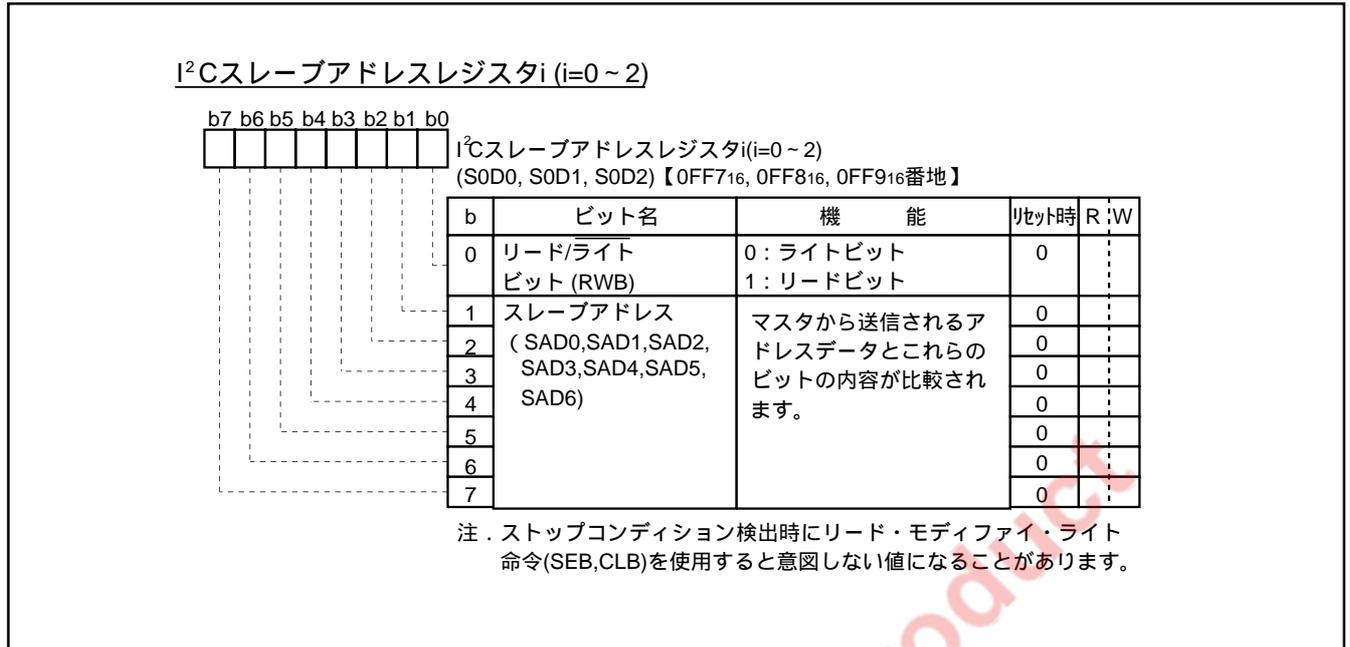


図2.5.10 I<sup>2</sup>Cスレーブアドレスレジスタ*i*(*i*=0~2)の構成

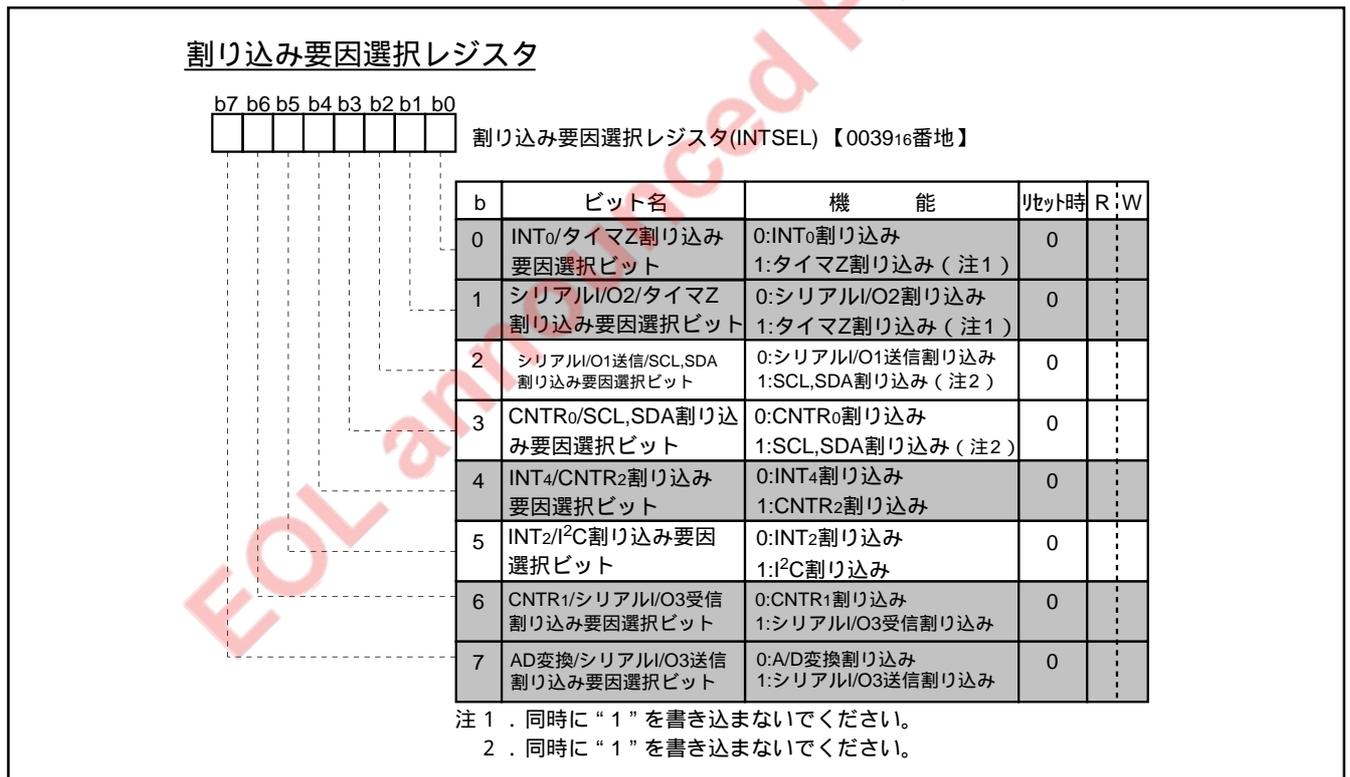


図2.5.11 割り込み要因選択レジスタの構成

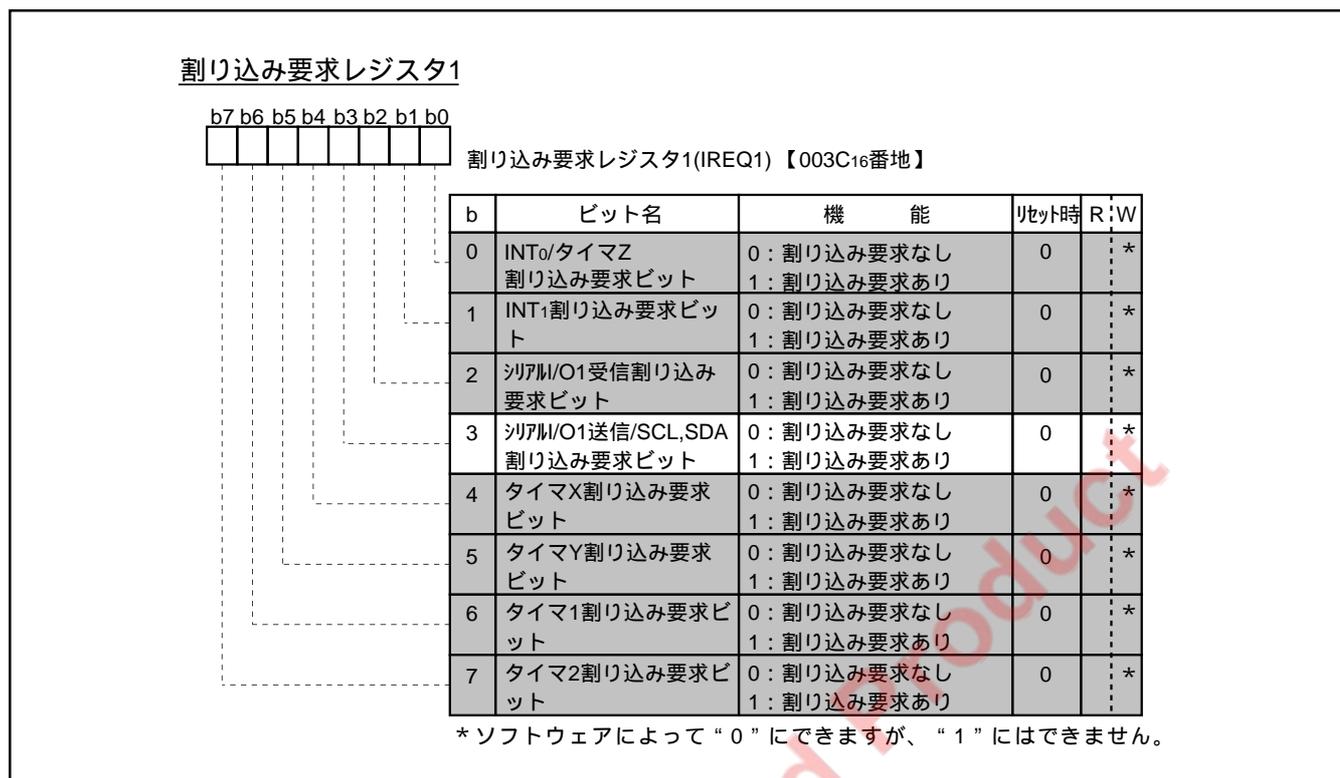


図2.5.12 割り込み要求レジスタ1の構成

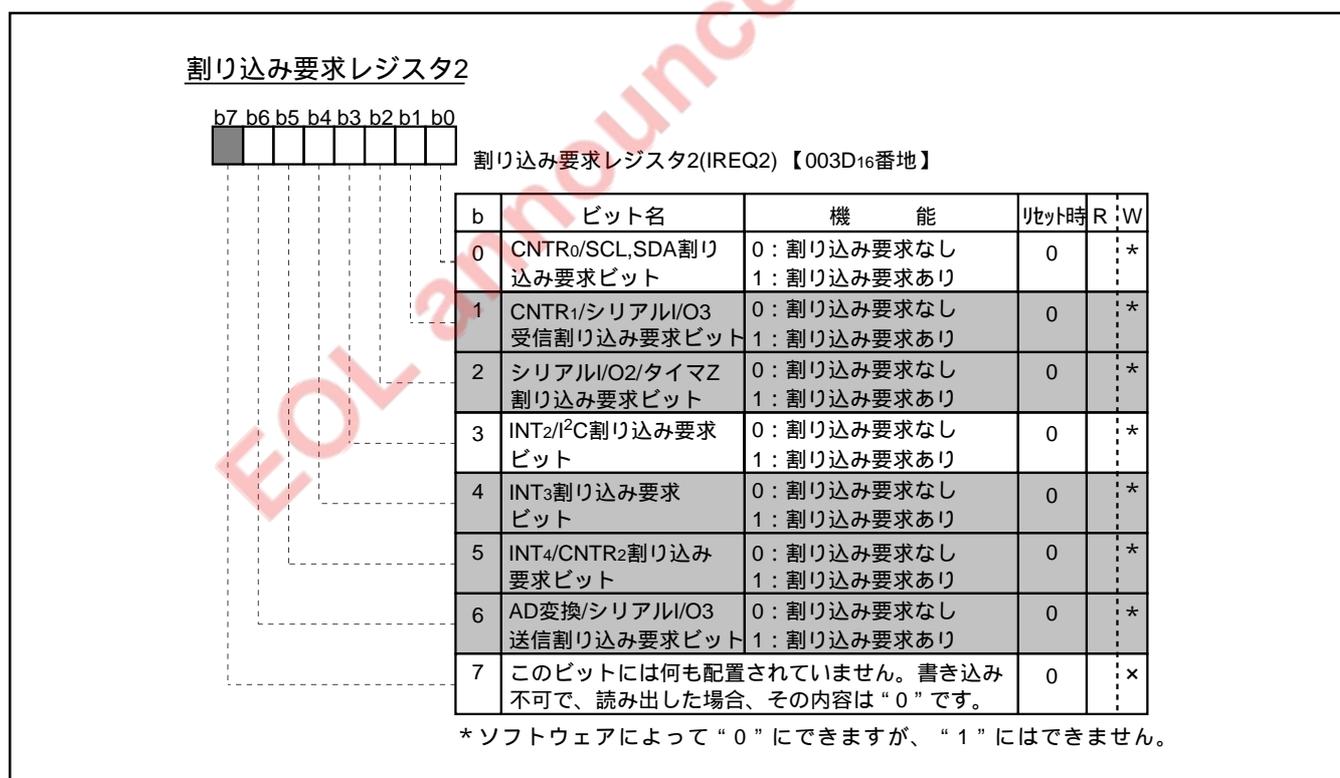


図2.5.13 割り込み要求レジスタ2の構成

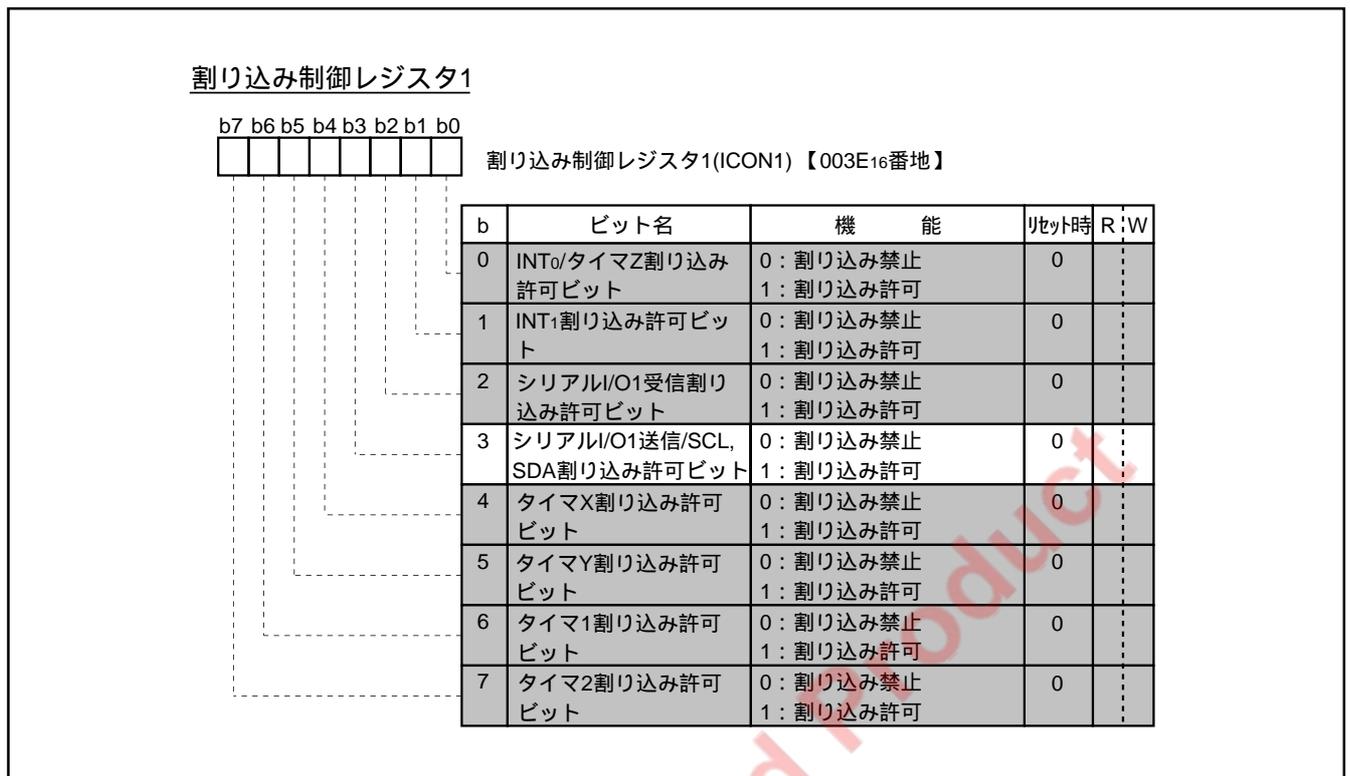


図2.5.14 割り込み制御レジスタ1の構成

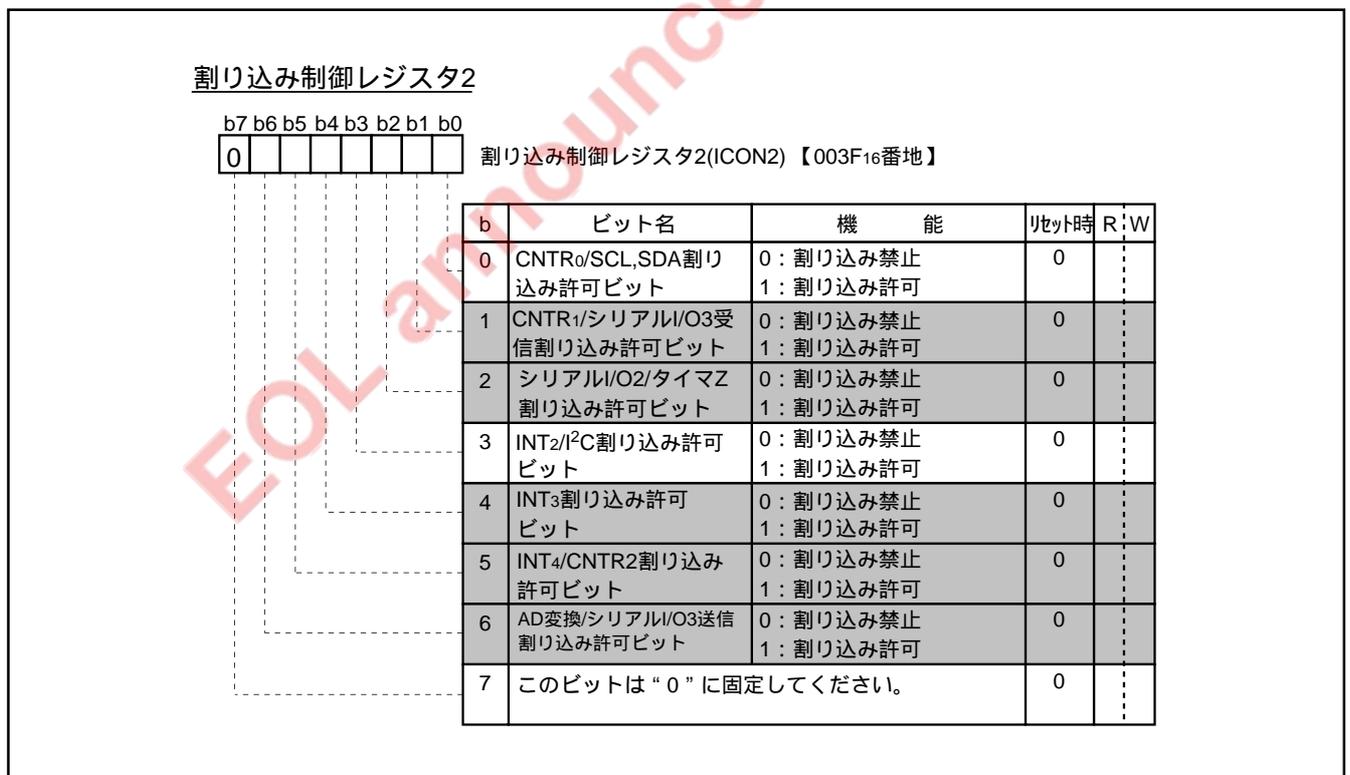
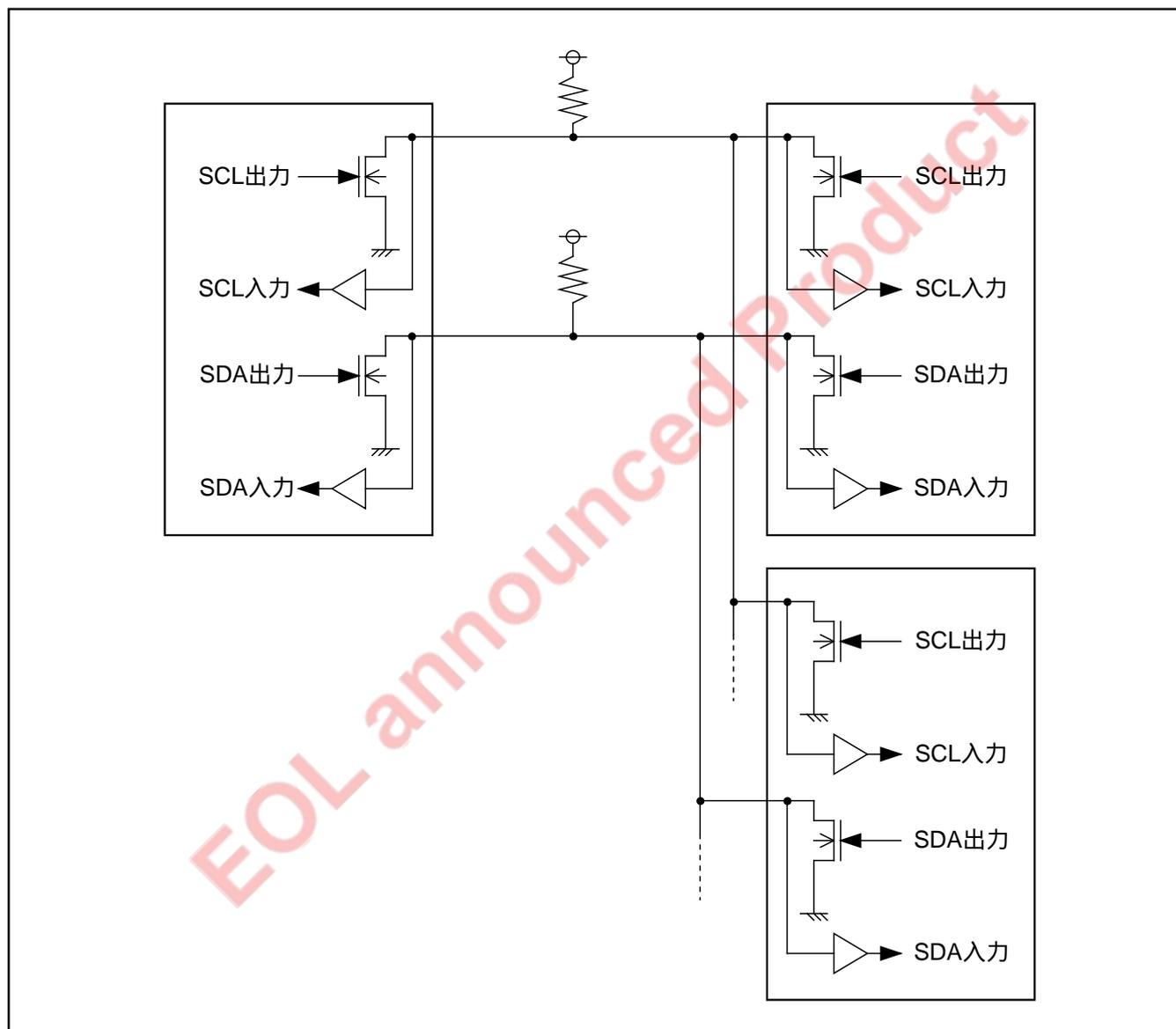


図2.5.15 割り込み制御レジスタ2の構成

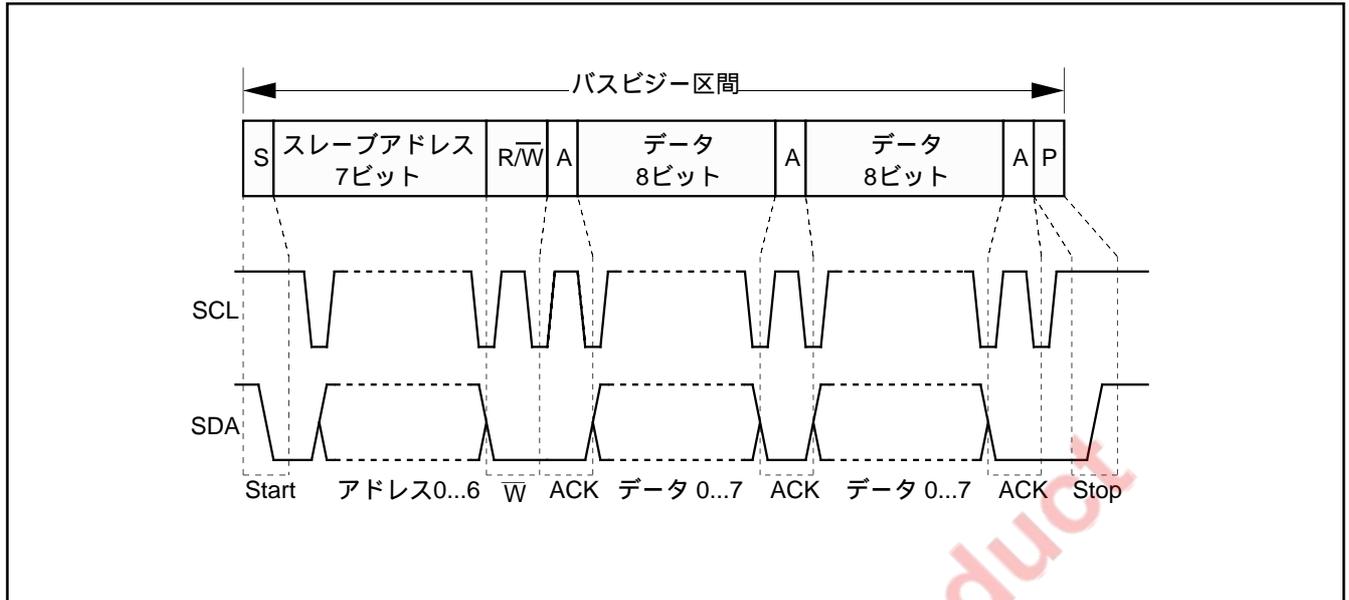
2.5.3 I<sup>2</sup>C-BUSの概要

I<sup>2</sup>C-BUSはクロックの送信を行うSCLと、データの送信を行うSDAの2本の信号ラインで接続される双方向シリアルバスです。3804グループに内蔵するそれぞれのポートは出力がNチャネルオープンドレインで、入力がCMOS入力となっています。I<sup>2</sup>C-BUSインタフェースに接続されるデバイスは、すべてオープンドレインで接続されるため、外部にプルアップ抵抗が必要となります。よって、いずれかのデバイスが常に“L”出力を行っているとき、他のデバイスは“H”を出力することができません。I<sup>2</sup>C-BUSの接続構成を図2.5.16に示します。

図2.5.16 I<sup>2</sup>C-BUS接続構成

## 2.5.4 通信プロトコル

I<sup>2</sup>C-BUSの通信フォーマット例を図2.5.17に示します。I<sup>2</sup>C-BUSでは、通信の開始を示すスタートコンディション、個々のデバイスを指定するスレーブアドレス、データ、アドレス又はデータの確認応答を示すACK、及び通信の完了を示すストップコンディションで構成されています。

図2.5.17 I<sup>2</sup>C-BUSバス通信プロトコル

## (1) スタートコンディション

マスタデバイスがスレーブデバイスに対して通信開始するとき、スタートコンディションを出力します。I<sup>2</sup>C-BUSではデータの変更はクロックラインが“L”のときのみと定義されており、クロックラインが“H”のときにデータラインが変化した場合、ストップコンディションかスタートコンディションになります。クロックラインが“H”のときにデータラインが“H”から“L”に変化した場合はスタートコンディションになります。

## (2) ストップコンディション

スタートコンディションと同様に、クロックラインが“H”のときにデータラインが“L”から“H”に変化した場合はストップコンディションになります。スタートコンディションからストップコンディションまでの間はバスビジーと呼ばれ、マスタとなるデバイスはこの区間にデータ転送を開始することが禁止されています。なお、I<sup>2</sup>CステータスレジスタS1(0013<sub>16</sub>番地)のBBフラグ(ビット5)によって、バスビジーを判断することができます。

## (3) スレーブアドレス

スタートコンディションの後にはスレーブアドレスが送信されます。このアドレスは7ビットから構成され、7ビット目はデータの送信方法を示すリード/ライト(R/W)ビットとなります。スレーブアドレスは、マスタが送受信のスレーブデバイスを指定するために定義されているため、同一のI<sup>2</sup>C-BUSに接続されるスレーブデバイスのアドレスはすべて異なる必要があります。

リード/ライト(R/W)ビットは前述のように送信方向を示し、“L”のときはマスタからスレーブへの書き込み、“H”のときは読み込みとなります。

## (4) データ

8ビット長のデータです。マスタからスレーブに送信するか、スレーブからマスタに送信するかは、スレーブアドレスのリード/ライト(R/W)ビットによって制御します。

(5) アックビット

アックビットのクロックはマスタによって生成され、SDAラインで確認応答、スレーブのビジー、データの終了を示すために使用されます。

スレーブデバイスはスタートコンディションに続くスレーブアドレスを確認したとき、アックビットに対するSDAラインを“L”にして応答します。内蔵されているI<sup>2</sup>C-BUSインタフェースは、スレーブアドレスの自動判定機能とACK応答機能を持っており、I<sup>2</sup>Cクロックコントロールレジスタのアックビット(0015<sub>16</sub>番地のビット6)が“0”でアドレスデータを受信したとき、自動的に“L”が出力されます。アドレスが一致しなければ、自動的に“H”(NACK)が出力されます。

スレーブデバイスが割り込み処理や演算中などで受信できないときは、スレーブアドレスのACKデータを“H”で応答することにより、マスタはストップコンディションを出力しデータ転送を終了することができます。また、データの転送途中でも、スレーブがデータを受信できなくなった場合は、次のデータに対してNACK応答をすることによって、通信を中断することができます。

マスタデバイスがスレーブからデータを受信しているとき、スレーブから受信した最後のデータに対して、NACKで応答することで、スレーブに対して受信データの完了を通知します。

(6) リスタートコンディション

マスタ送信中又はマスタ受信中に、ストップコンディションを送信することなく、マスタ受信又はマスタ送信することができます。マスタはスレーブに対してデータを送信した後、リスタートコンディションに続くスレーブアドレス+R(読み込み)を送信することで、以降のデータを受信データとすることができます。また、リスタートコンディションに続くスレーブアドレス+W(書き込み)を送信することで、以降のデータを送信データとすることもできます。

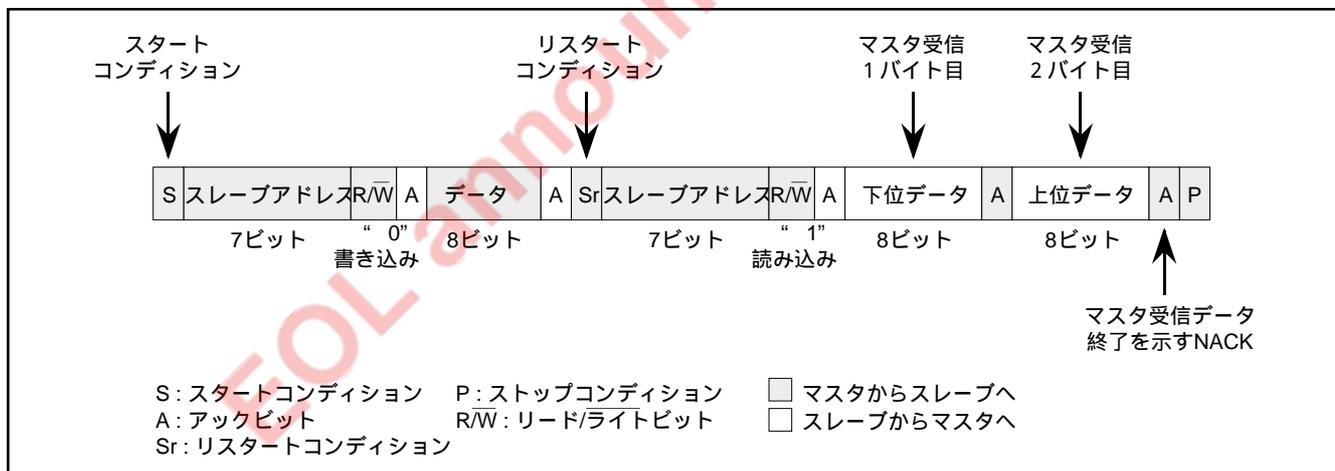


図2.5.18 マスタ受信時のリスタートコンディション

2.5.5 同期化とアービトレーションロスト

(1) 同期化

I<sup>2</sup>C-BUS上に複数のマスタが存在し、速度の異なるマスタが同時に通信を行おうとしたときでも、各ビットごとのクロックが正常に出力されるよう、クロックを統一するための規定があります。図2.5.19に、同期したSCLラインの例を示します。SCL(A)とSCL(B)は、それぞれ速度の異なるマスタデバイスで、SCLは同期化された場合の波形です。

図のように、“H”期間を最初に終了したデバイスがSCLラインを“L”にし、最後まで“L”にしていたデバイスがSCLラインを“H”に立ち上げることで、SCLラインの同期をとることができます。

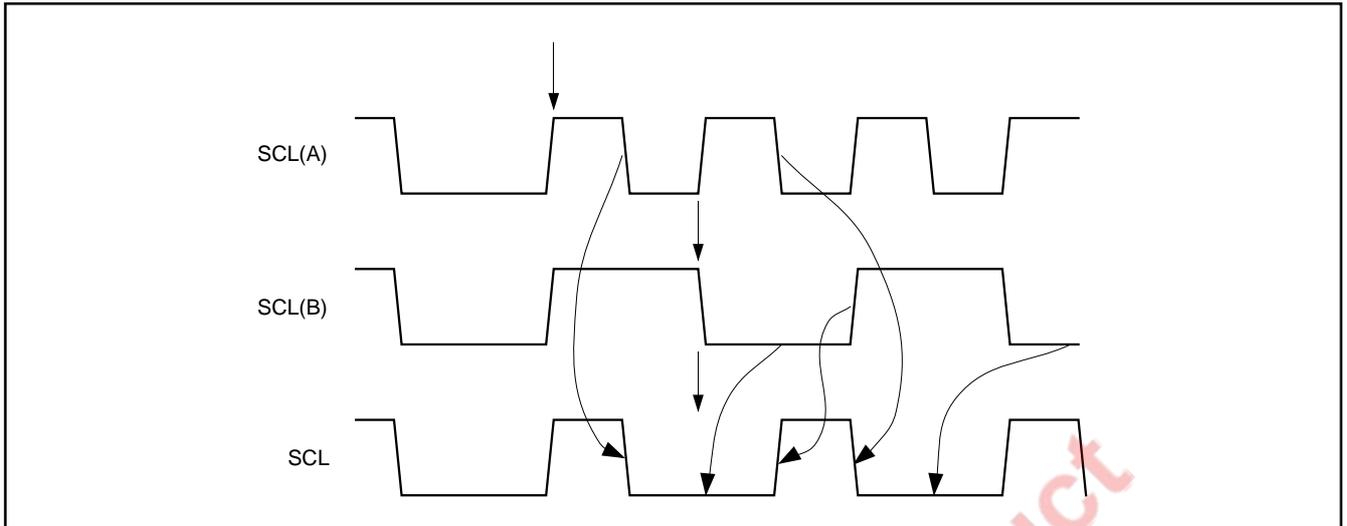


図2.5.19 クロック同期化発生時のSCL波形

スタートコンディション後、異なる速度のマスタが同時にクロック送信開始

(A)が“H”出力のカウンタを終了したためSCLを“L”出力、同時に(B)は“H”出力のカウンタを中断し“L”出力のカウンタを開始

(A)は“L”区間のカウンタを終了し“H”を出力するが、(B)が“L”を出力しているためレベルは“H”にならず、“H”区間のカウンタは開始せず停止する。

(B)は“L”区間を出力

(B)は“L”区間のカウンタを終了したため、SCLラインを“H”出力し、(A)と同時に“H”区間をカウンタ開始

(A)が先に“H”区間のカウンタを終了したため、SCLを“L”にする。同時に(B)は“H”出力のカウンタを中断し、“L”出力のカウンタを開始

以降繰り返す

## (2) 通信中のクロック同期

I<sup>2</sup>C-BUSではスレーブのデバイスが、SCLラインを“L”に保持し、マスタ側からの送信を待ち状態にすることを許可されます。バイト単位では、スレーブデバイスが受信準備のため、バイト受信終了後やACKの後のSCLラインを“L”にすることでマスタを待ち状態にすることができます。

また、ビット単位では限られたハードウェアしか持たないスレーブデバイスのために、クロックラインを“L”に保持して、クロック速度を遅くすることができます。

内蔵されるハードウェアは、SCLを“L”保持にされた場合の調停回路を内蔵しているため、スレーブデバイスからの待ち状態要求に対しても、データビットが欠落することなく送信することができます。また、送受信データバイトの最終ビット(ACKビット含む)後は、SCLラインを自動的に“L”に保持し、割り込み処理や受信準備などが完了するまでの間、待ち状態を生成します。

## (3) アービトレーションロスト

I<sup>2</sup>C-BUSでは同一バス上に複数のマスタが存在するため、同時に通信を開始する可能性があります。送信周波数が同一のマスタデバイスが、同時に通信を開始した場合でも、どちらか一方のデバイスは正常に送信されなければなりません。そのため、I<sup>2</sup>C-BUSでは通信が衝突した場合にSDAラインで衝突を検出する規定があります。

SDAラインはSCLで同期化されたタイミングで出力されますが、SDA信号同士の同期化は行われません。

### 2.5.6 SMBUS通信での使用例

ここでは、I<sup>2</sup>C-BUSインタフェースを使用した、SMBUS通信の制御例を説明します。SMBUSプロトコルのRead Wordプロトコルでの、マスタデバイス時と、スレーブデバイス時の制御例を説明します。以下に、スマートバッテリーデータのVoltage()コマンドでの通信例を示します。

#### 通信仕様

- ・通信周波数 = 100kHz
- ・自身(バッテリー)のスレーブアドレス = " 0001011X<sub>2</sub> " (Xはリード/ライトビット)
- ・通信先(ホスト)のスレーブアドレス = " 0001000X<sub>2</sub> " (Xはリード/ライトビット)
- ・Voltage()コマンド = " 09<sub>16</sub> "
- ・応答する電圧値 = " 2EE0<sub>16</sub> " (12000mV)
- ・通信処理は、割り込み処理で行う。ただし、マスタデバイス時の最初のスタートコンディション発生と、スレーブアドレスの設定のみメイン処理で行う。
- ・通信バッファを設ける。メイン処理と割り込み処理間でのデータ受け渡しは、通信バッファを介して行う。

#### (1) 初期設定

SMBUS通信を行う際の初期設定例を図2.5.20に示します。

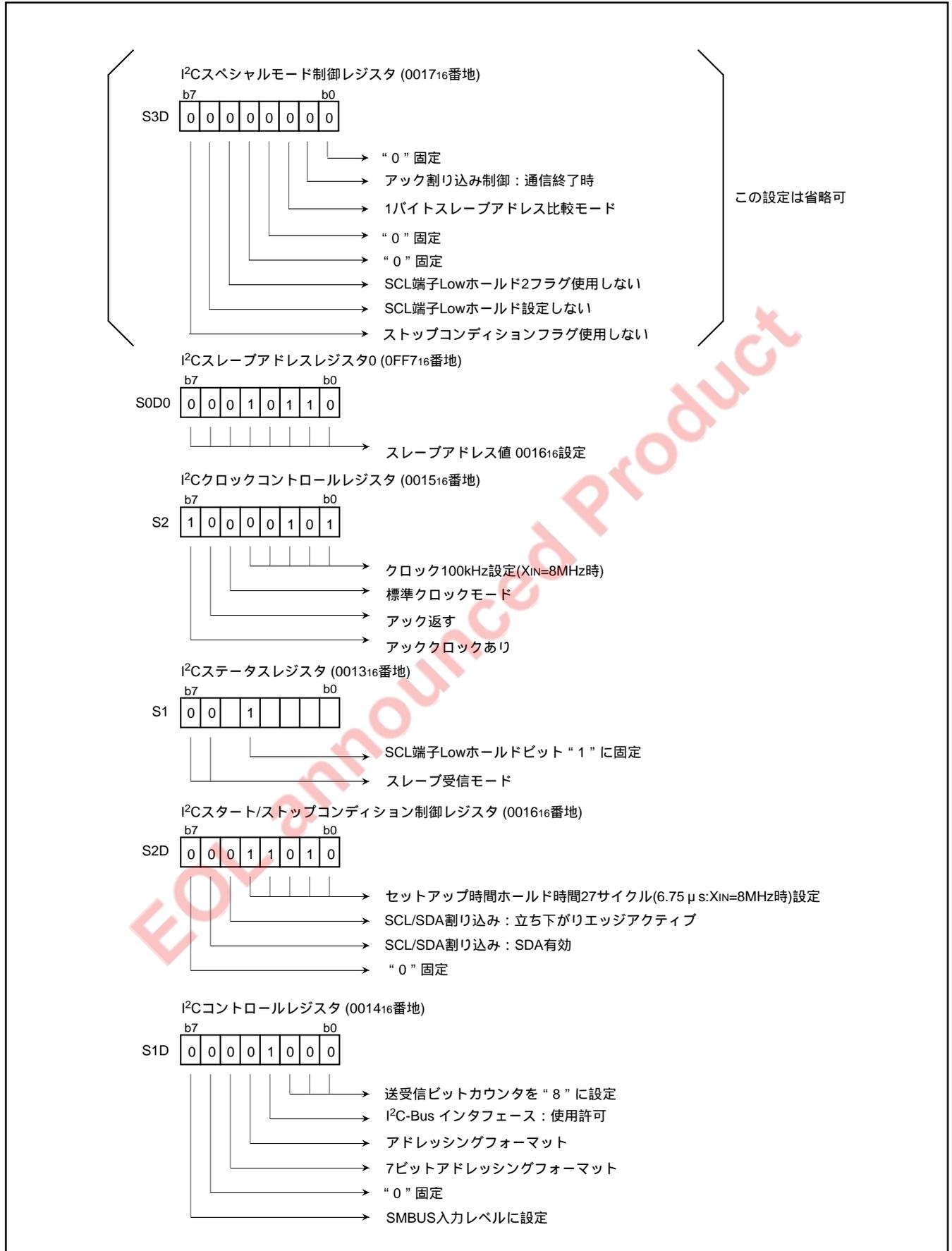


図2.5.20 初期設定例

## (2) マスタデバイスでの通信例

マスタデバイスでは、図2.5.21に示す ~ の手順になります。なお、図中の網掛け部は、マスタデバイスの送信データであり、白抜き部は、スレーブデバイスの送信データです。

スタートコンディション生成/スレーブアドレス+ライトビットの送信  
 コマンドの送信  
 リスタートコンディション生成/スレーブアドレス+リードビットの送信  
 下位データの受信  
 上位データの受信  
 ストップコンディションの生成

~ の各処理を図2.5.22 ~ 図2.5.27に示します

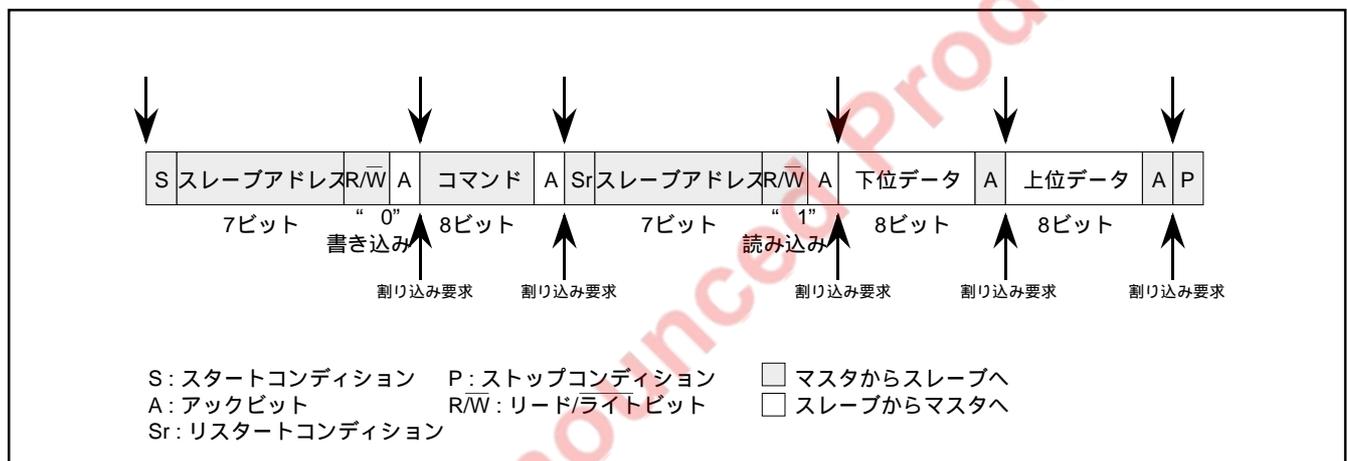


図2.5.21 SMBUSマスタデバイスとしてのRead Wordプロトコル通信

## スタートコンディション生成/スレーブアドレス+ライトビットの送信の処理

SMBUSはマルチマスタであるため、他のマスタデバイスがバスを使用していないか確認後、スタートコンディションを発生させます。スタートコンディションを発生させると、それに引き続き1バイト分のSCLが出力するため、スタートコンディション発生を行う前にI<sup>2</sup>Cデータシフトレジスタ(0011<sub>16</sub>番地)に「スレーブアドレス+ライトビット」を書き込んでおきます。

バス使用の確認後、スタートコンディションが発生する間に、他のマスタデバイスが通信を開始したときは、適切な通信が行えません。しかし、この場合は、スタートコンディション重複防止機能、又はアービトレーションロストが検出され、他のマスタデバイスの通信に影響を与えません。

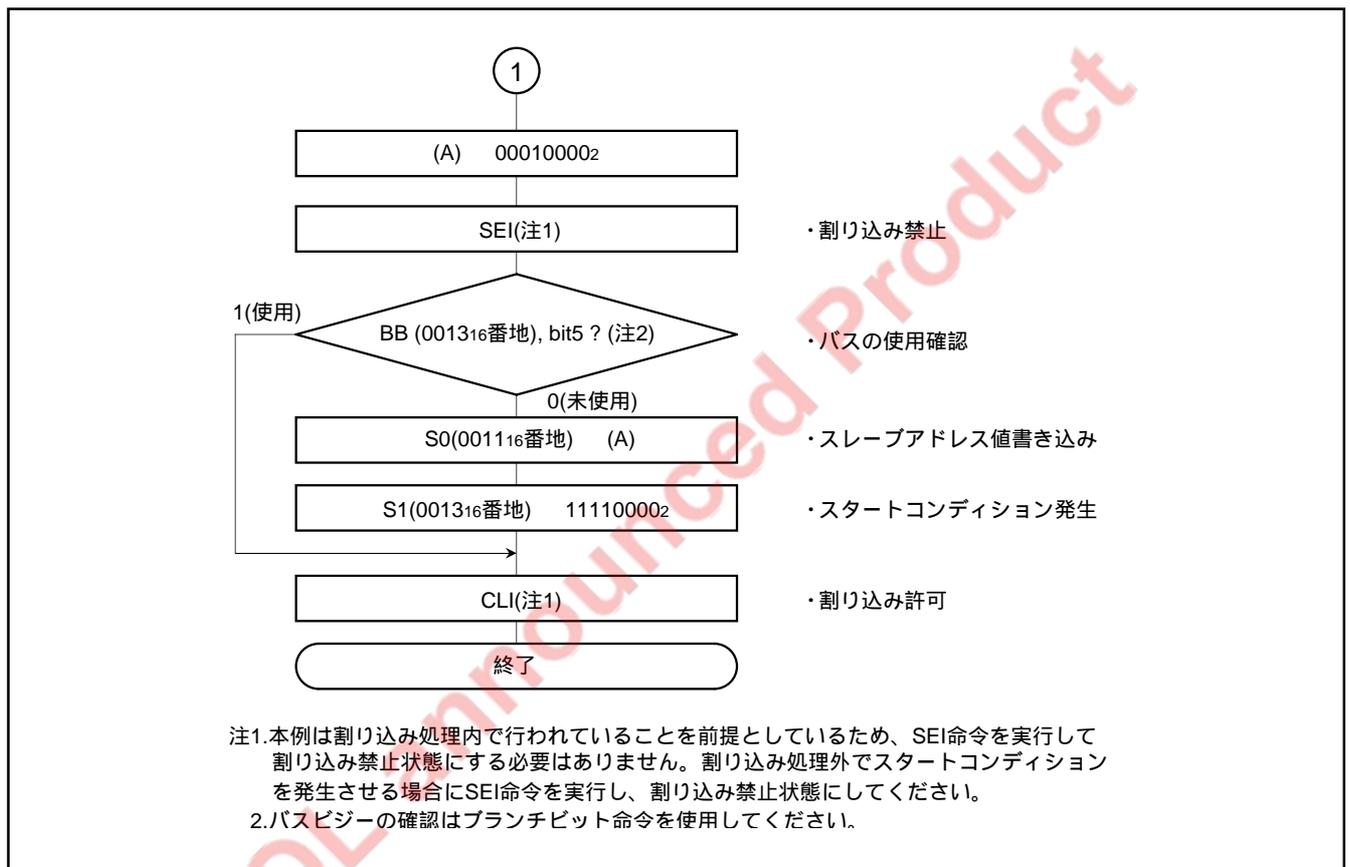


図2.5.22 スタートコンディションとスレーブアドレス送信処理

コマンド送信の処理

コマンド送信を行う前に、 での通信が正常終了しているか確認します。内蔵するI<sup>2</sup>C-BUSインタフェースは、他のデバイスに送信されたストップコンディションでも割り込み要求が発生するため、ストップコンディションを受信した場合は、コマンド送信を行わない処理が必要となります。

正常終了確認の後、I<sup>2</sup>Cデータシフトレジスタ(0011<sub>16</sub>番地)にコマンドを書き込みます。

ALビット(0013<sub>16</sub>番地のビット3)が“1”になっている場合は、アービトレーションでマスタ送信の権利を得たデバイスが、自分自身をスレーブアドレスとして指定してきているかを判定するため、スレーブアドレス比較フラグ(AAS)ビット(0013<sub>16</sub>番地のビット2)を調べます。このビットが“1”であればスレーブ受信を行い、“0”であれば他のマスタデバイスがストップコンディションを発生し、通信が終了するのを待ちます。

ALビットが“0”になっている場合は、最終受信(LRB)ビット(0013<sub>16</sub>番地のビット0)を調べ、“1”になっている場合は、SMBUS上に指定したスレーブデバイスが存在しないので、ストップコンディションを発生し、バスの使用を放棄します。

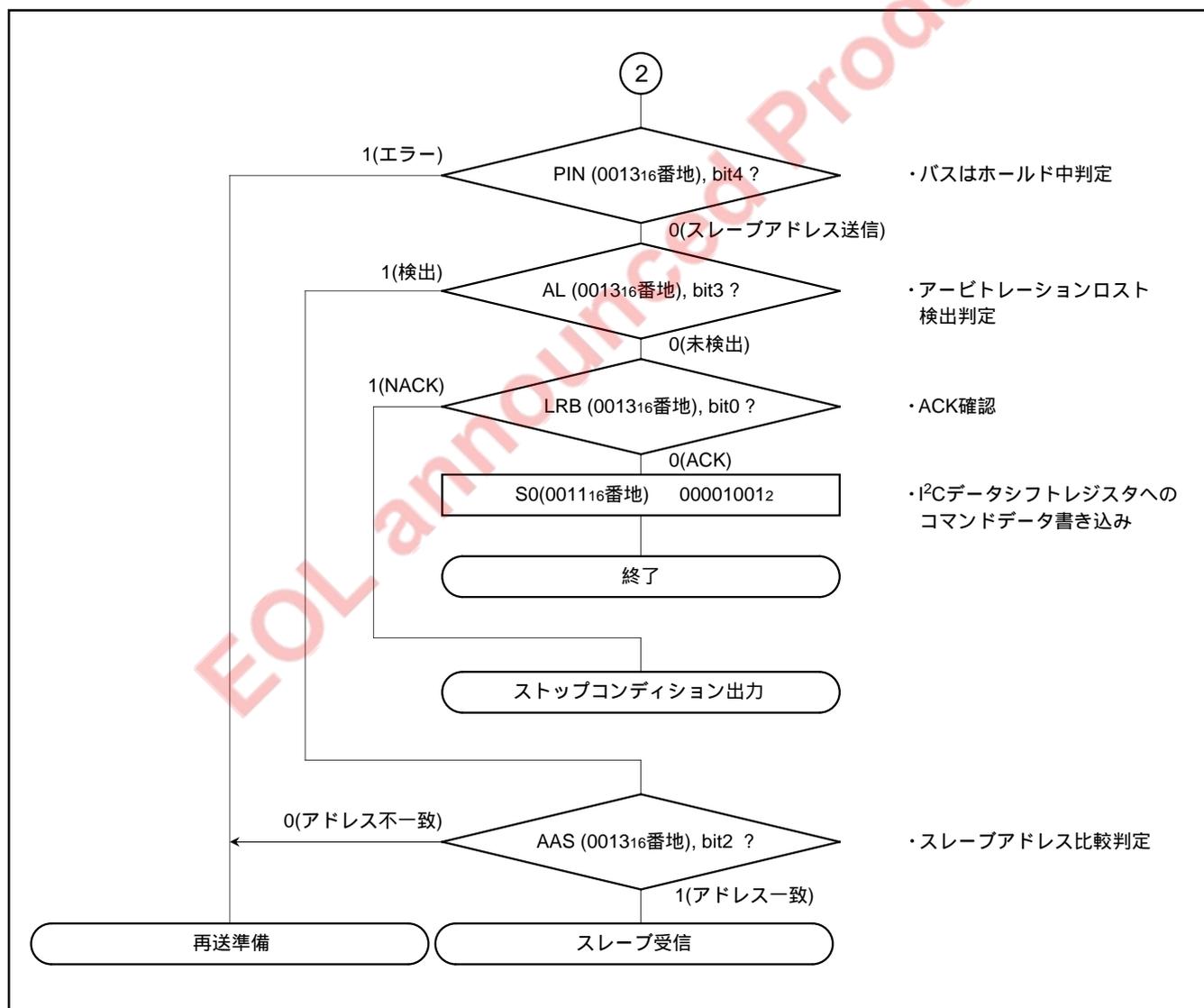


図2.5.23 コマンド送信処理

リスタートコンディション生成/スレーブアドレス+リードビットの送信処理

リスタートコンディション発生を行う前に、での通信が正常終了しているか確認します。正常終了確認の後、リスタートコンディション発生、スレーブアドレス+リードビットの送信処理を行います。ここでは、での処理と異なるので注意が必要です。と同様の理由により、スタートコンディションを発生させる前に、I<sup>2</sup>Cデータシフトレジスタ(0011<sub>16</sub>番地)に「スレーブアドレス+リードビット」を書き込んでおきます。しかし、このままではデータシフトレジスタにスレーブアドレスを書き込んだ時点でスレーブアドレスが出力されてしまい、リスタートコンディションを発生させることができません。このため、この一連の処理を行う前に、スレーブ受信設定を行います。

アービトレーションロスト検出フラグ(AL)ビット(0013<sub>16</sub>番地のビット3)が<sup>1</sup>になっている場合は、他のマスタデバイスによる通信が優先して行われていると考えられますので、の処理へ戻ります。最終受信(LRB)ビット(0013<sub>16</sub>番地のビット0)が<sup>1</sup>になっている場合は、SMBUS上に指定したスレーブデバイスがBUSYなど、何らかの理由で応答できないので、ストップコンディションを発生し、バスを開放します。

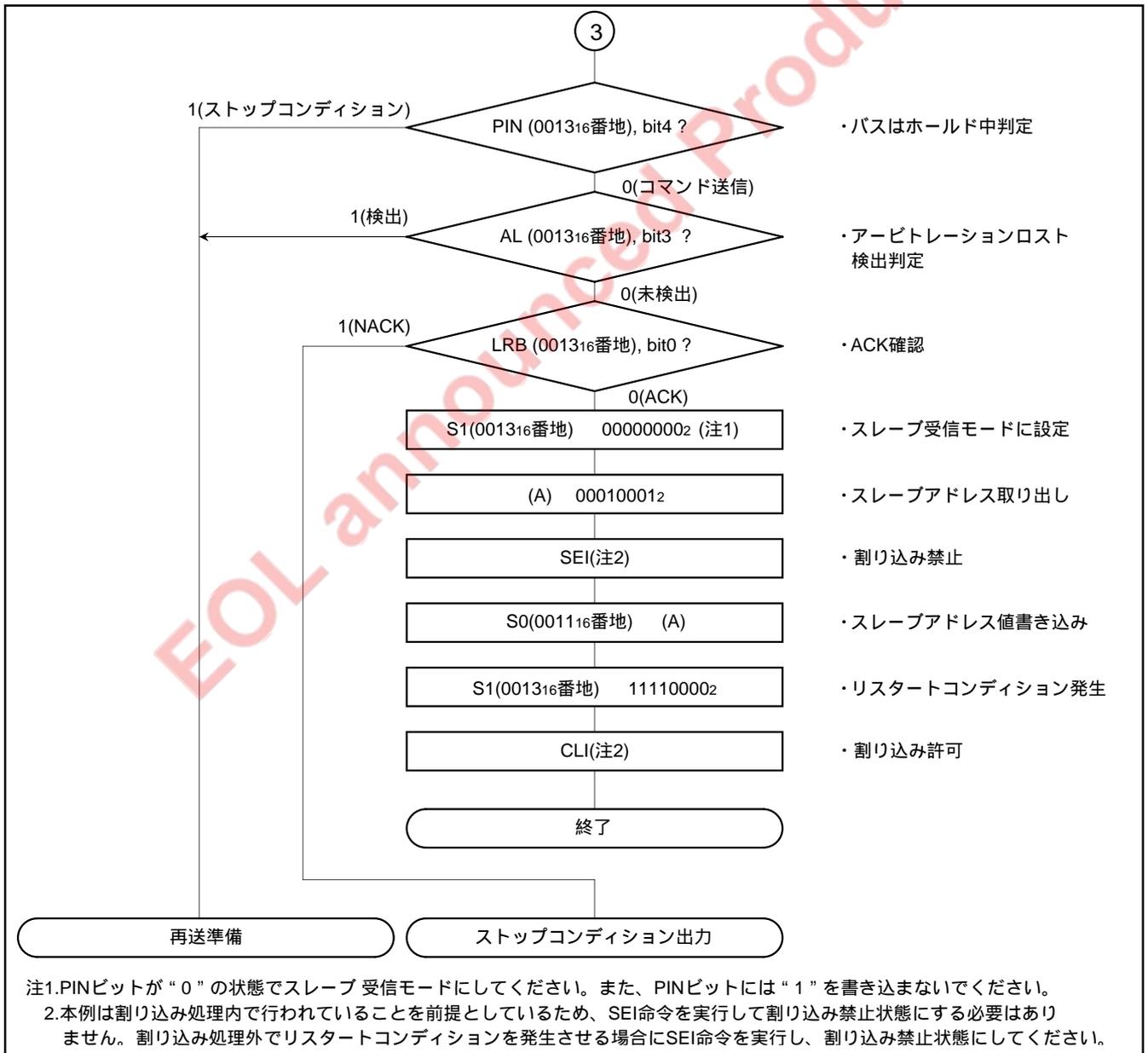


図2.5.24 リスタートコンディション、スレーブアドレス+リードビットの送信処理

下位データ受信の処理

下位データの受信を行う前に での通信が正常終了しているか確認します。正常終了確認の後、アックビット(ACK BIT)(0015<sub>16</sub>番地のビット6)を“0”(アックを返す)に設定し、マスタ受信モードにしてからI<sup>2</sup>Cデータシフトレジスタ(0011<sub>16</sub>番地)にダミーデータを書き込みます。

MSTビット(0013<sub>16</sub>番地のビット7)が“0”になっている場合は、他のマスタデバイスによる通信が優先して行われるので、 の処理へ戻ります。

最終受信(LRB)ビット(0013<sub>16</sub>番地のビット0)が“1”になっている場合は、SMBUS上に指定したスレーブデバイスが存在しないので、ストップコンディションを発生し、バスを開放します。

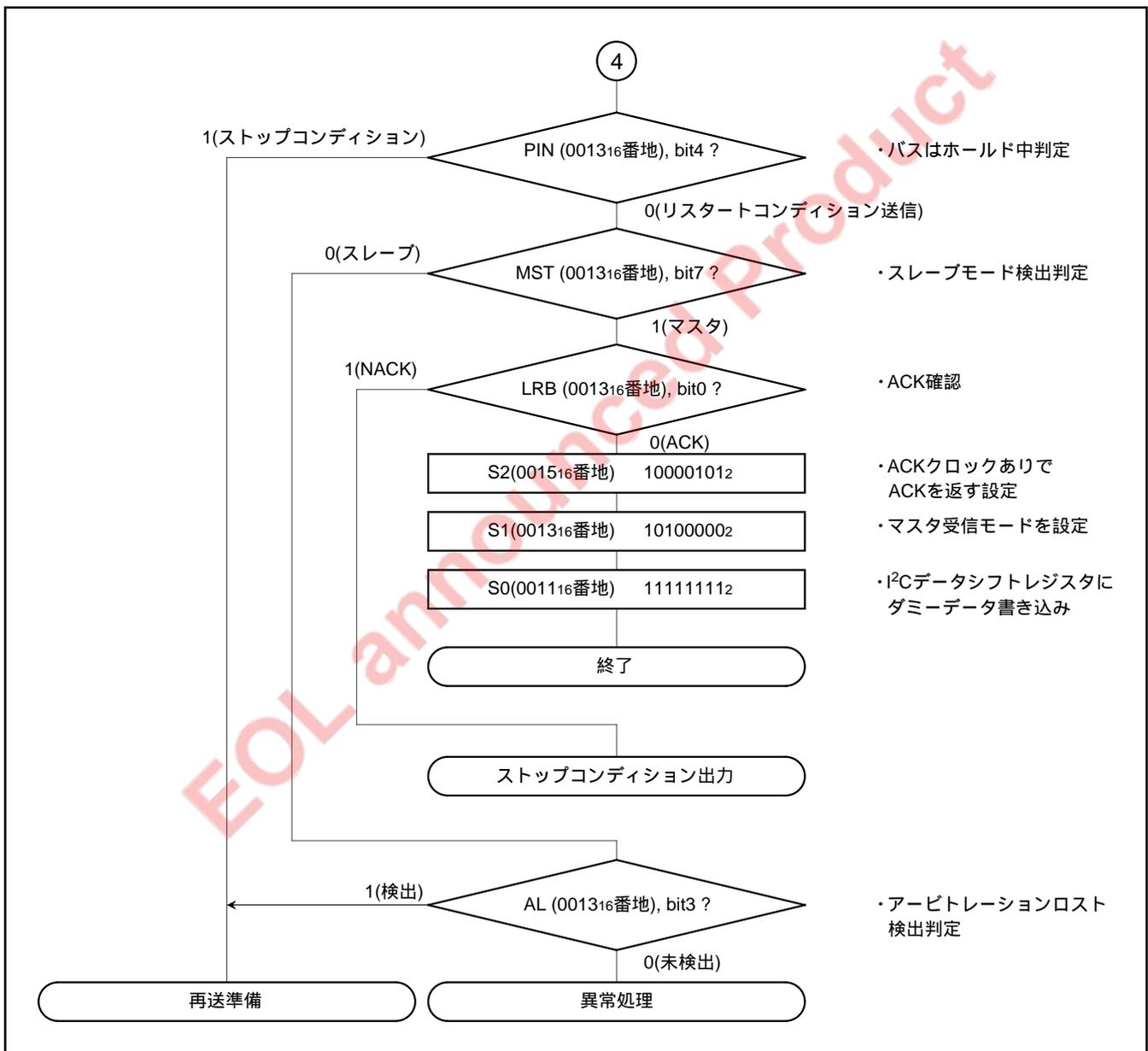


図2.5.25 下位データ受信処理

上位データの受信

上位データの受信を行う前に での通信が正常終了しているか確認します。正常終了確認の後、受信データ(下位データ)を格納します。次にアックビット(ACK BIT)(0015<sub>16</sub>番地のビット6)を“1”(アック返さない)にし、I<sup>2</sup>Cデータシフトレジスタ(0011<sub>16</sub>番地)にダミーデータを書き込みます。

MSTビット(0013<sub>16</sub>番地のビット7)が“0”になっている場合は、他のマスタデバイスによる通信が優先して行われるので の処理へ戻ります。

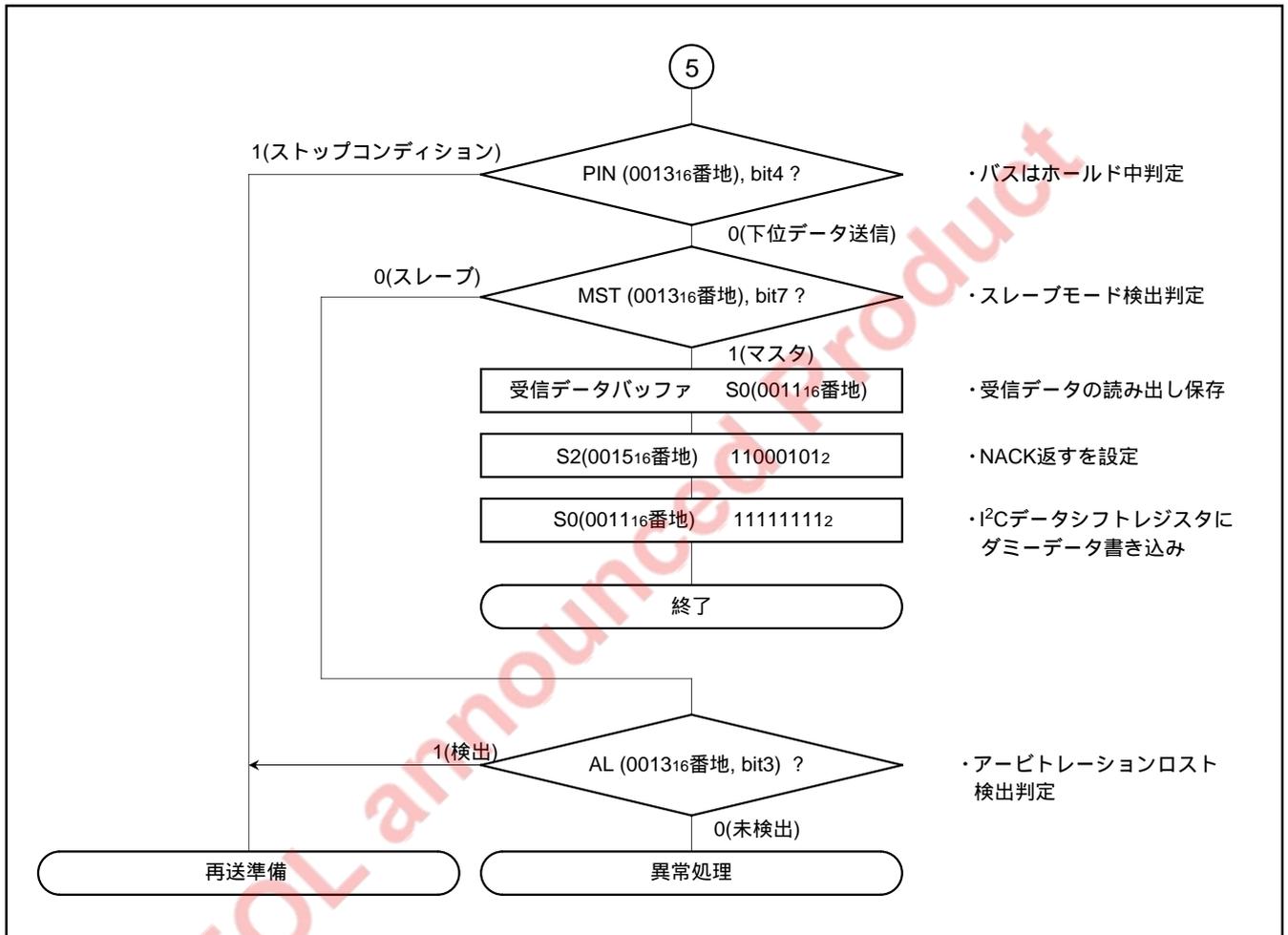


図2.5.26 上位データの受信

ストップコンディションの生成

ストップコンディションの出力を行う前に での通信が正常終了しているか確認します。正常終了確認の後、受信データ(上位データ)を格納します。次にアックビット(ACK BIT)(0015<sub>16</sub>番地のビット6)を“0”(アックを返す)にして、ストップコンディションを発生させます。ストップコンディションを発生すると、通信モードはスレーブ受信モードになります。

MSTビット(0013<sub>16</sub>番地のビット7)が“0”になっている場合は、他のマスタデバイスによる通信が優先して行われていると考えられますので の処理へ戻ります。

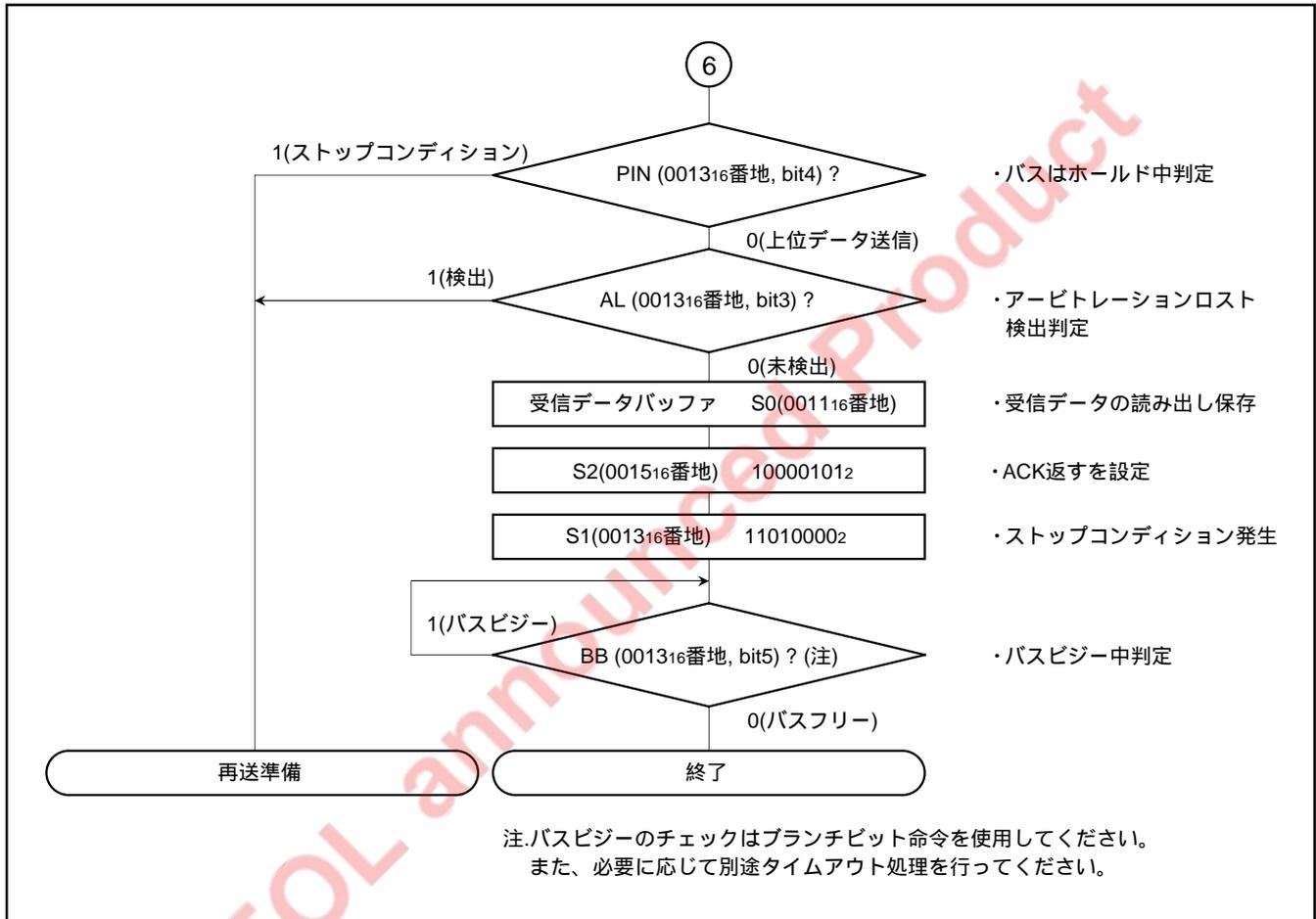


図2.5.27 ストップコンディションの生成

## (3) スレーブデバイスでの通信例

スレーブデバイスでは、図2.5.28に示す ~ の手順になります。ストップコンディション検出後に割り込み要求が発生することが、マスタデバイスとしての通信と異なります。

スタートコンディション受信/スレーブアドレス一致によるアックビットの送信

コマンドの受信

スタートコンディション受信/スレーブアドレス+リードビットの受信

下位データ送信

上位データ送信

ストップコンディション受信

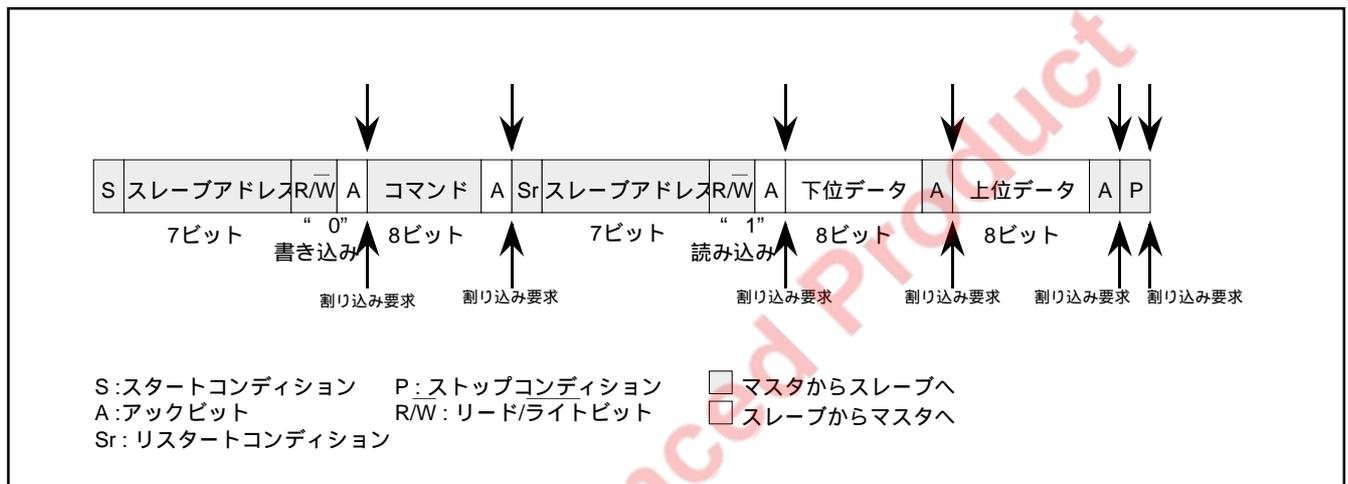


図2.5.28 スレーブデバイスでの通信例

～ の各処理手順を図2.5.29～図2.5.34に示します。

スタートコンディション受信/スレーブアドレス受信によるアックビットの送信

スレーブとして動作する場合、スレーブアドレスが一致するまで割り込み要求が発生しないため、メイン処理でスレーブ受信の設定終了後は、すべて割り込みで処理を行います。最初の割り込みではスレーブアドレスの一致を確認した後、コマンド受信のためのダミーデータを<sup>2</sup>Cデータシフトレジスタに書き込みます。

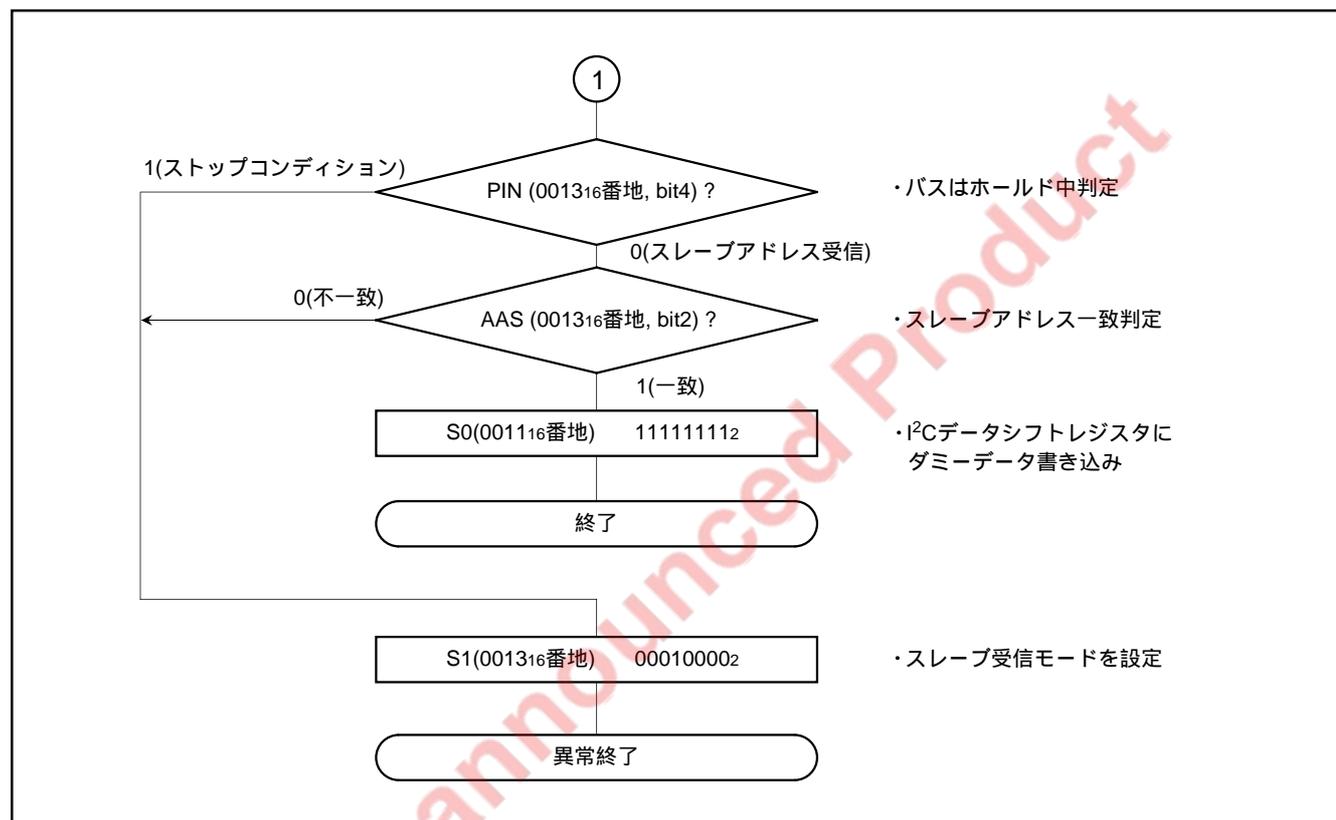


図2.5.29 スタートコンディションとスレーブアドレス受信処理

コマンドの受信

コマンドの受信後の割り込みで、コマンド受信が正常に終了しているかどうか確認します。ホストからのコマンドが正しいかどうか判断した後、次のスレーブアドレス受信待ちのため、I<sup>2</sup>Cデータシフトレジスタにダミーデータを書き込みます。

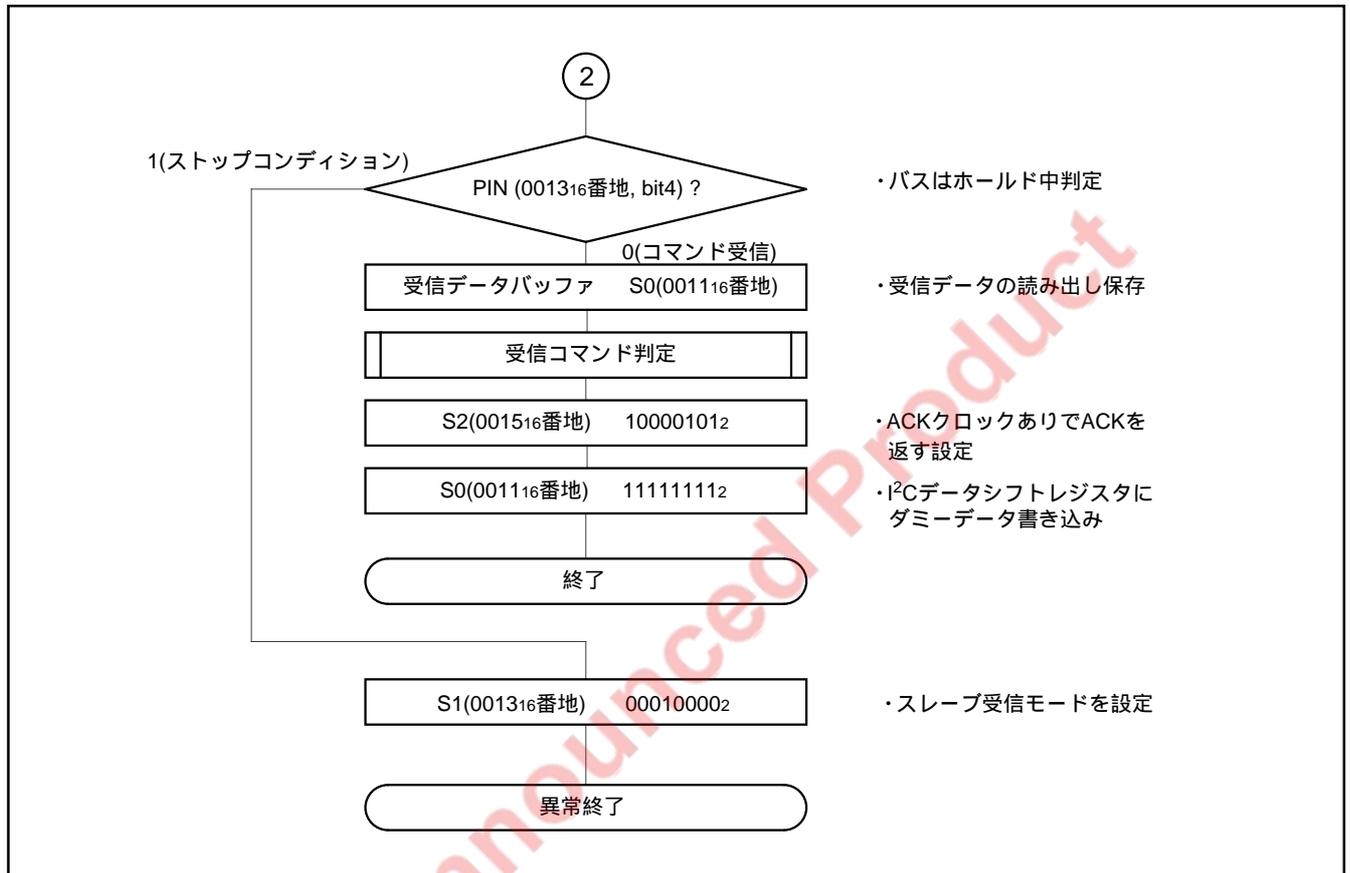


図2.5.30 コマンドの受信

リスタートコンディションとスレーブアドレスの受信

スレーブアドレス受信後、送信データの準備をします。スレーブモード時は受信したスレーブアドレスのR/Wビットの状態によって、自動的に受信モードと送信モードが切り替わるため、データを受信するのか、送信を行うのか判断する必要があります。そのためにスレーブアドレス比較フラグ(0013<sub>16</sub>番地のAASビット2)を参照してリードかライトかを判定します。

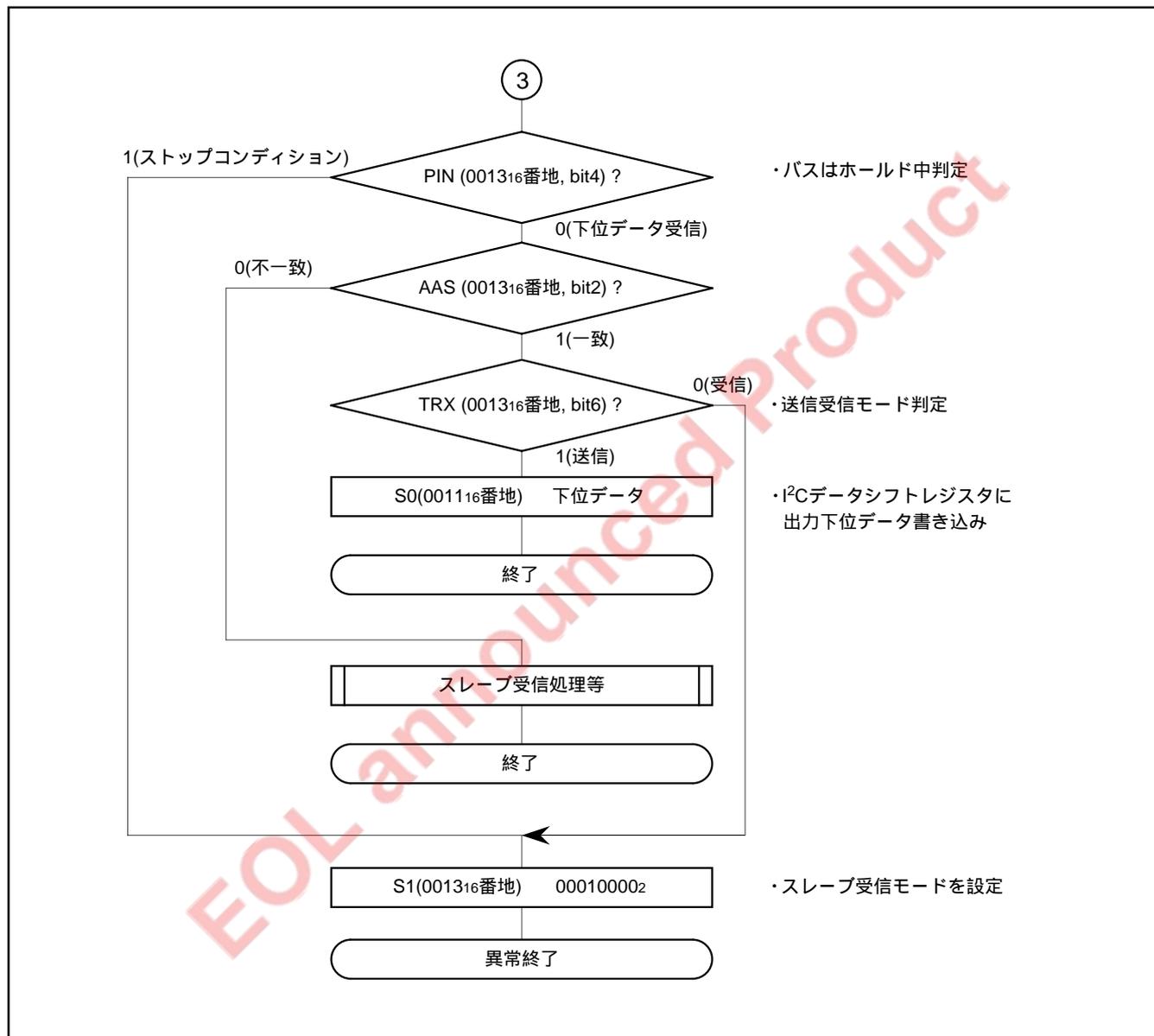


図2.5.31 リスタートコンディションとスレーブアドレスの受信

## 下位データ送信

上位データの送信を行う前に、 のデータを送信するためリスタートし、スレーブアドレス受信割り込み時にセットした下位データが正常に送信完了したか確認した後、上位データを送信します。

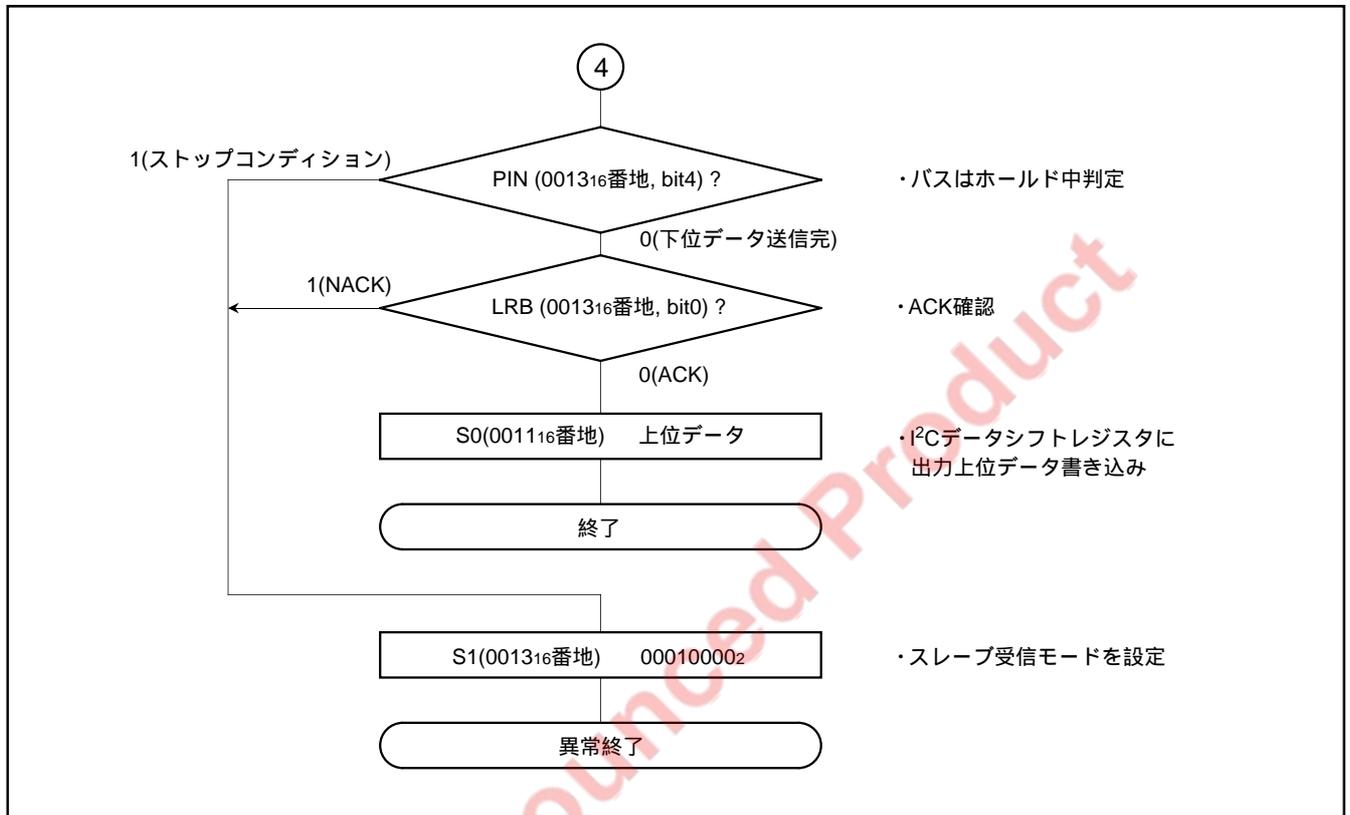


図2.5.32 下位データ送信

## 上位データ送信

上位データの送信が正常に完了したかどうか確認します。送信した2バイト目のデータ(上位データ)に対して、マスタはNACKを返してくるため、最終受信(LRB)ビット(0013<sub>16</sub>番地のビット0)が“1”であることを確認します。その後、ダミーデータを<sup>2</sup>Cデータシフトレジスタに書き込み、ストップコンディションの割り込みを待ちます。

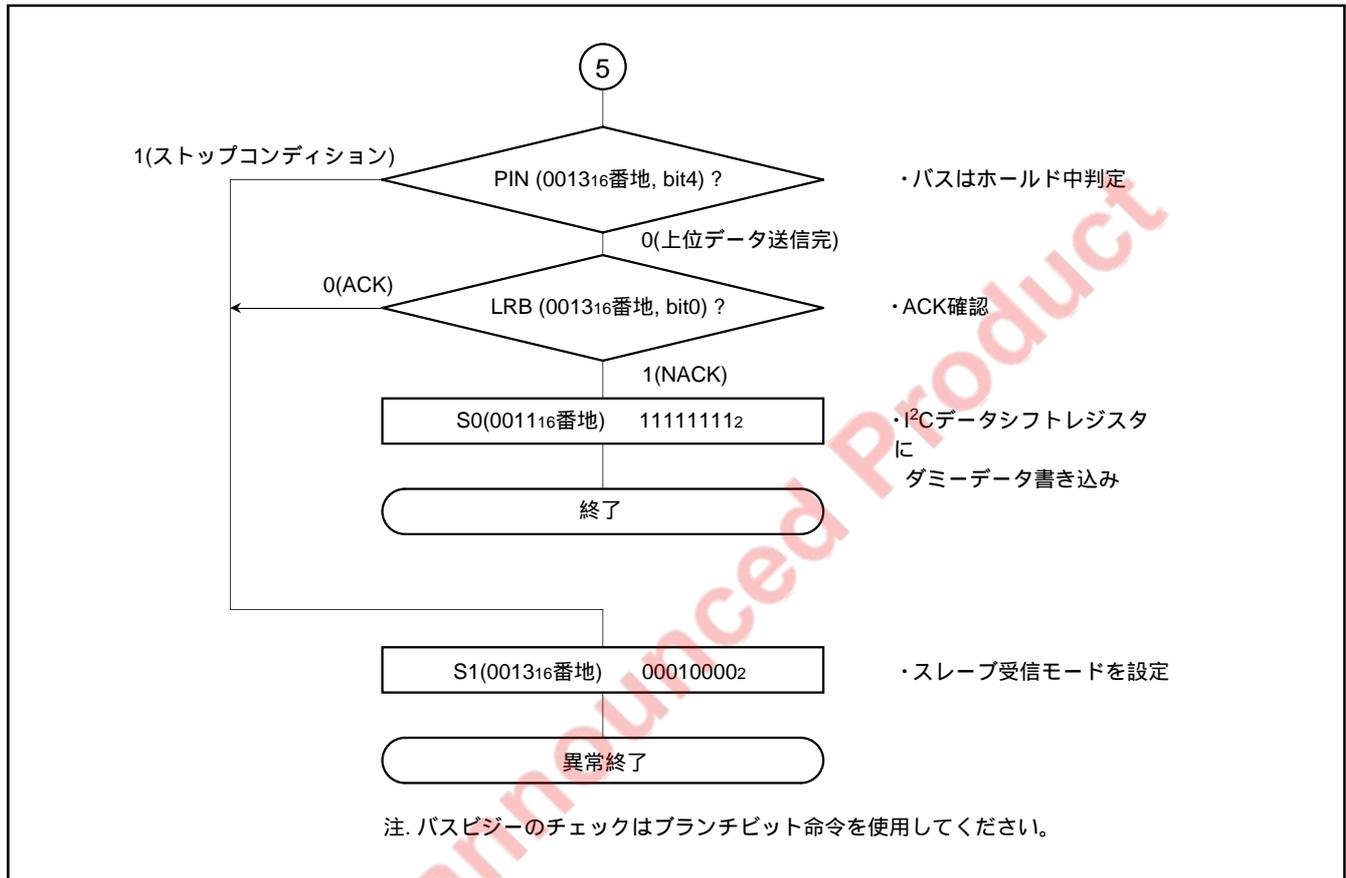


図2.5.33 上位データ送信

ストップコンディション受信

正常にストップコンディションが出力され、バスが開放されているか確認します。

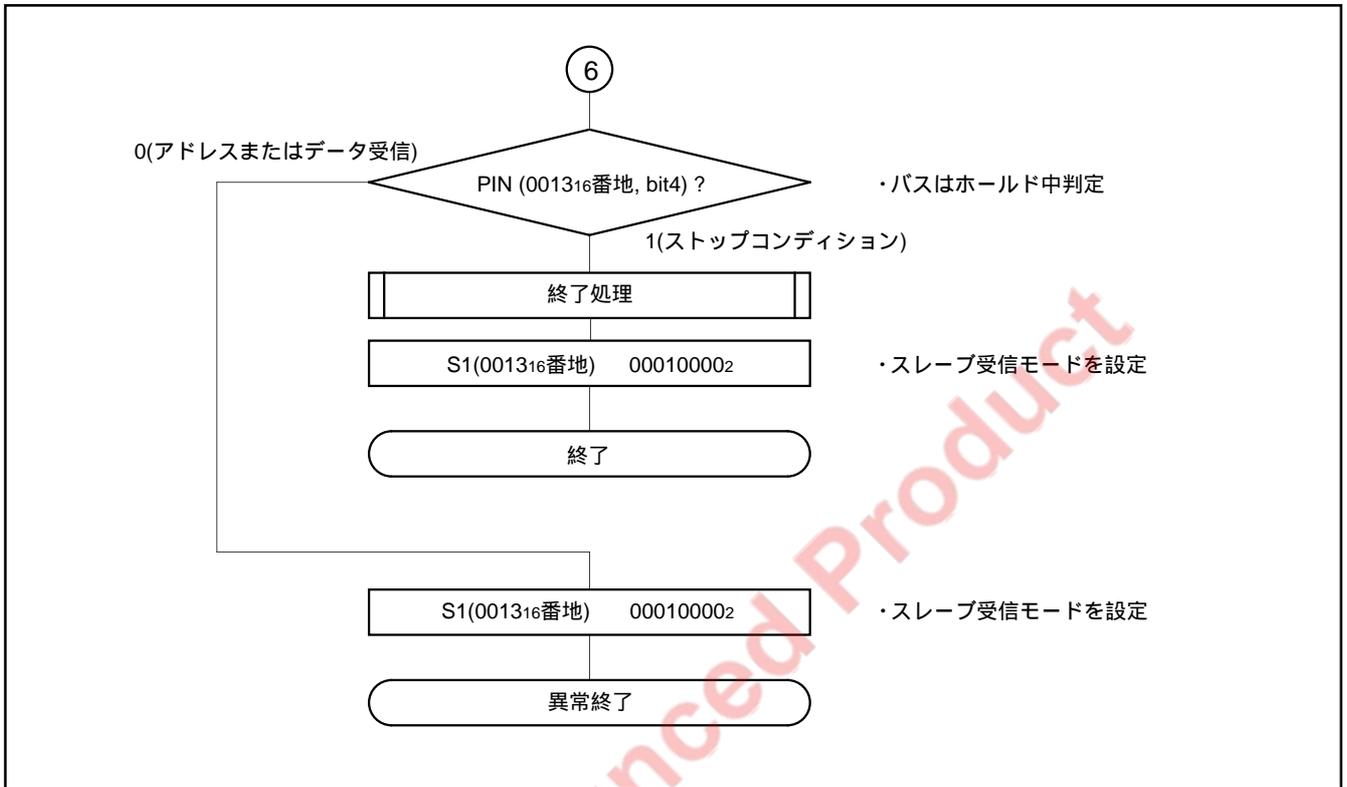


図2.5.34 ストップコンディション受信

2.5.7 マルチマスタI<sup>2</sup>C-BUSインタフェースに関する注意事項

## (1) リード・モディファイ・ライト命令の使用について

マルチマスタI<sup>2</sup>C-BUSインタフェースの各レジスタは、ハードウェアによって変化するビットが存在しますので、SEB,CLBなどのリード・モディファイ・ライト命令を使用する場合は注意が必要です。

注意事項を以下に示します。

I<sup>2</sup>Cデータシフトレジスタ(S0:001116番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

I<sup>2</sup>Cスレーブアドレスレジスタ0~2(S0D0~S0D2:0FF716~0FF916番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

## 理由

ストップコンディション検出時にリード/ライト(RWB)ビットがハードウェアによって変化するため。

I<sup>2</sup>Cステータスレジスタ(S1:001316番地)

すべてのビットはハードウェアによって変化するため、リード・モディファイ・ライト命令は使用しないでください。

I<sup>2</sup>Cコントロールレジスタ(S1D:001416番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

## 理由

ビットカウンタ(BC0~BC2)がハードウェアによって変化するため。

I<sup>2</sup>Cクロックコントロールレジスタ(S2:001516番地)

リード・モディファイ・ライト命令は使用できます。

I<sup>2</sup>Cスタート、ストップコンディション制御レジスタ(S2D:001616番地)

リード・モディファイ・ライト命令は使用できます。

## (2) マルチマスタで使用する場合のスタートコンディション発生手順について

以下の手順でスタートコンディションを発生してください。

```

L D A   # S L A D R           ;スレーブアドレス値の取り出し
S E I                               ;割り込みの禁止
B B S   5 , S 1 , B U S B U S Y ; B Bフラグ確認及び分岐処理
B U S F R E E :
S T A   S 0                   ;スレーブアドレス値の書き込み
L D M   # $ F 0 , S 1         ;スタートコンディション発生トリガ
C L I                               ;割り込み許可

B U S B U S Y :
C L I                               ;割り込み許可

```

BBフラグの確認及び分岐処理はBBS5,S1,~のブランチ・ビット・セット命令を必ず使用してください。I<sup>2</sup>Cデータシフトレジスタ(S0:001116番地)へのスレーブアドレスの書き込みには、STA,STX,STYのゼロページアドレッシング命令を必ず使用してください。

前記 の分岐命令と のストア命令は手順例のとおり必ず連続して実行するようにしてください。BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は、必ず割り込みを禁止してください。

## (3) マスタ時のリスタートコンディションの発生方法について

PINビットが“0”のとき、以下の手順でリスタートコンディションを発生してください。

LDM # \$ 0 0 , S 1	;スレーブ受信モード
LDA # S L A D R	;スレーブアドレス値の取り出し
SEI	;割り込みの禁止
STA S 0	;スレーブアドレス値の書き込み
LDM # \$ F 0 , S 1	;リスタートコンディション発生トリガ
CLI	;割り込み許可

PINビットが“0”の状態ですレーブ受信モードにしてください。PINビットには“1”を書き込まないでください。TRXビットが“0”になり、SDA端子が開放されます。

スレーブアドレス値をI<sup>2</sup>Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。スレーブアドレス値の書き込み、リスタートコンディション発生のトリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)への書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令を実行しないでください。SCL端子が開放されて、約1マシンサイクル後にSDA端子が開放される状態になることがあります。PINビットが“1”のときに、MSTビット及びTRXビットを“1”から“0”にする命令を実行しても、同様の状態になることがあります。

(5) I<sup>2</sup>Cクロックコントロールレジスタ(S2 : 0015<sub>16</sub>番地)への書き込みについて

I<sup>2</sup>Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI<sup>2</sup>Cクロックジェネレータがリセットされ、データが正常に転送できません。

(6) SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビット、I<sup>2</sup>C-BUSインタフェース許可ビットの切り替えについて

SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビット、又はI<sup>2</sup>C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定を“0”にリセットして割り込みを許可してください。

## (7) マスタ時のストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I<sup>2</sup>CデータシフトレジスタS0及び、I<sup>2</sup>Cステータスレジスタに書き込みを行わないでください。スレーブデバイスによっては、ストップコンディション波形が正常に出力されないことがあります。なお、上記レジスタに対する読み込みは問題ありません。

## (8) ES0ビットの切り替えについて

高速クロックモード、又はSSC≠“00010<sub>2</sub>”時の標準クロックモードにおいて、SDAが“L”のときにES0ビットを“1”にすると、BB≠“1”になることがあります。

対策：

SDAが“H”のときに、ES0≠“1”にしてください。

## 2.5.8 SMBUSインタフェース用プログラム作成に関する注意事項

## (1) タイムアウト処理

スマートバッテリーシステムの場合、通信途中でもバッテリーがPC本体から抜かれる可能性があるため、通信が中断された場合でも通信完了できるよう、ソフトウェアによるタイムアウト処理が必要となります。規格上はスタートコンディションからストップコンディションまで25ms以内、各バイトのACKパルスからACKパルス間は10ms以内に通信を完了するよう定義されています。そのため、タイムのカウント開始条件として、以下の2点が考えられます。

SCL/SDA割り込みの、SDAの立ち下がり

スタートコンディションからスレーブアドレスの途中で、通信が中断した場合の対策。ただし、他のマスタから他のスレーブに対する通信でも、割り込みが発生するため、検出条件を考慮する必要があります。

スレーブアドレス受信後のSMBUS割り込み

スレーブアドレス受信後、コマンド受信までの間に通信が中断した場合の対策。

## (2) 通信ラインLowホールド対策

I<sup>2</sup>C-BUSインタフェースはI<sup>2</sup>C-BUS規格に準拠していますが、SMBUSで使用する場合は、I<sup>2</sup>C-BUSと使用条件が異なるため、以下のような問題が発生する場合があります。各対策を参照してください。

通信ライン電圧降下時のACKパルスによるSDAラインLowホールド

バッテリーが本体から抜かれた、又はPCの電源がOFFされたなどの理由で、SMBUSの電圧が徐々に降下する場合、スレッシュールド電圧付近でSCLのパルスと誤認識する可能性があります。

この場合、もしSDAが“L”と認識されれば、ジェネラルコールとなり、ACKを送信しますが、SCLがACKパルス部分で“L”のままの場合、次のSCLパルスが入力されない限り、SDAはACKを出力した状態の“L”で保持されることとなります。

対策：

前述のようにスタートコンディションのSDAラインの立ち下がりでタイムアウトのカウントを開始し、タイムアウトが成立した時点でS1DレジスタのES0ビットをリセットする。(注)

注：リード・モディファイ・ライト命令は使用できません。また、ES0=“0”に設定した時点で汎用ポートになるため、ポートは入力モード、又は“H”出力に設定する。

## 2.6 PWM

本節ではPWMに関するレジスタの設定方法、注意事項などを説明します。

### 2.6.1 メモリ配置図

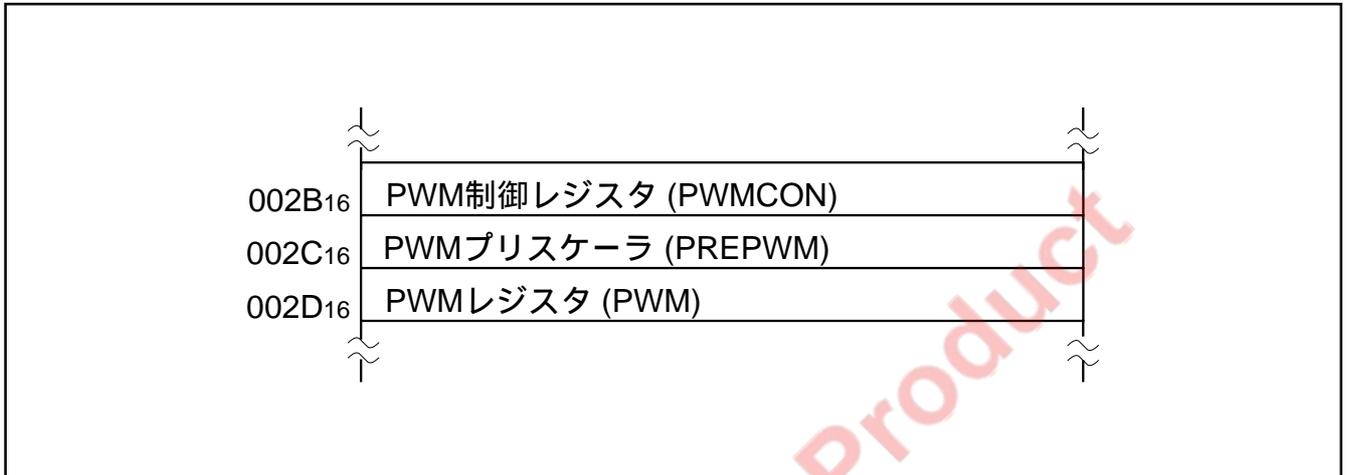


図2.6.1 PWM関連レジスタのメモリ配置

### 2.6.2 関連レジスタ

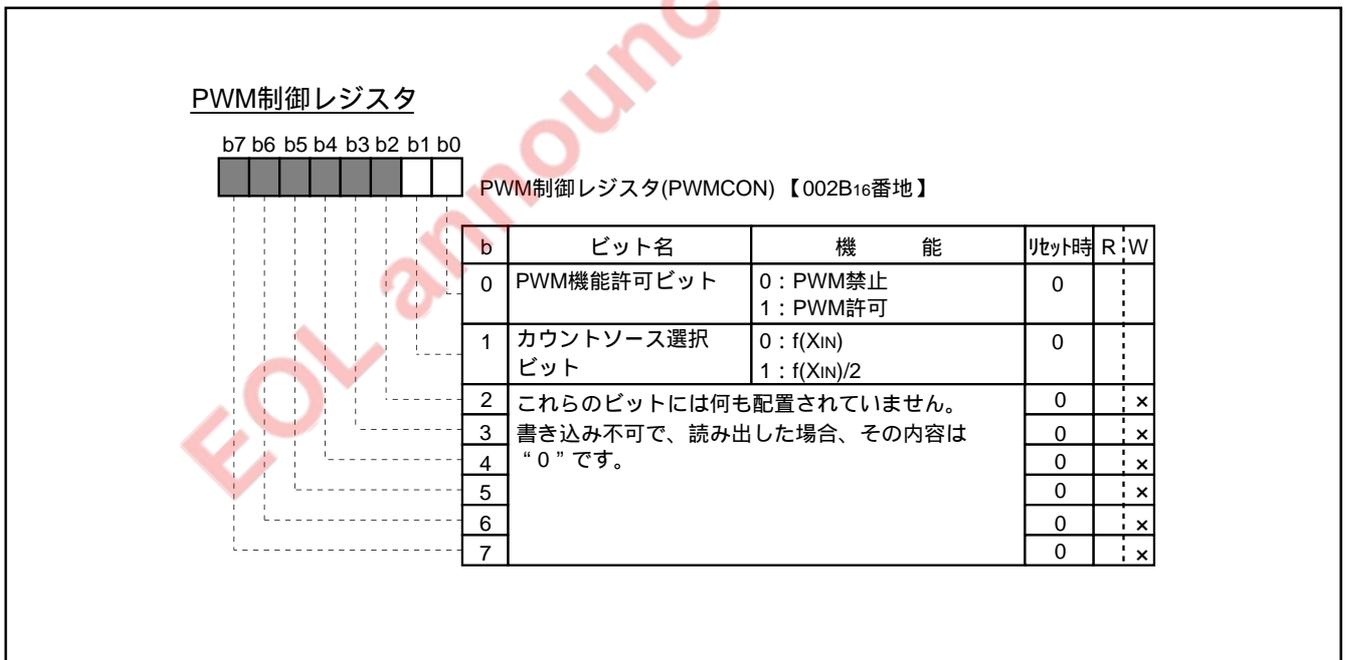


図2.6.2 PWM制御レジスタの構成

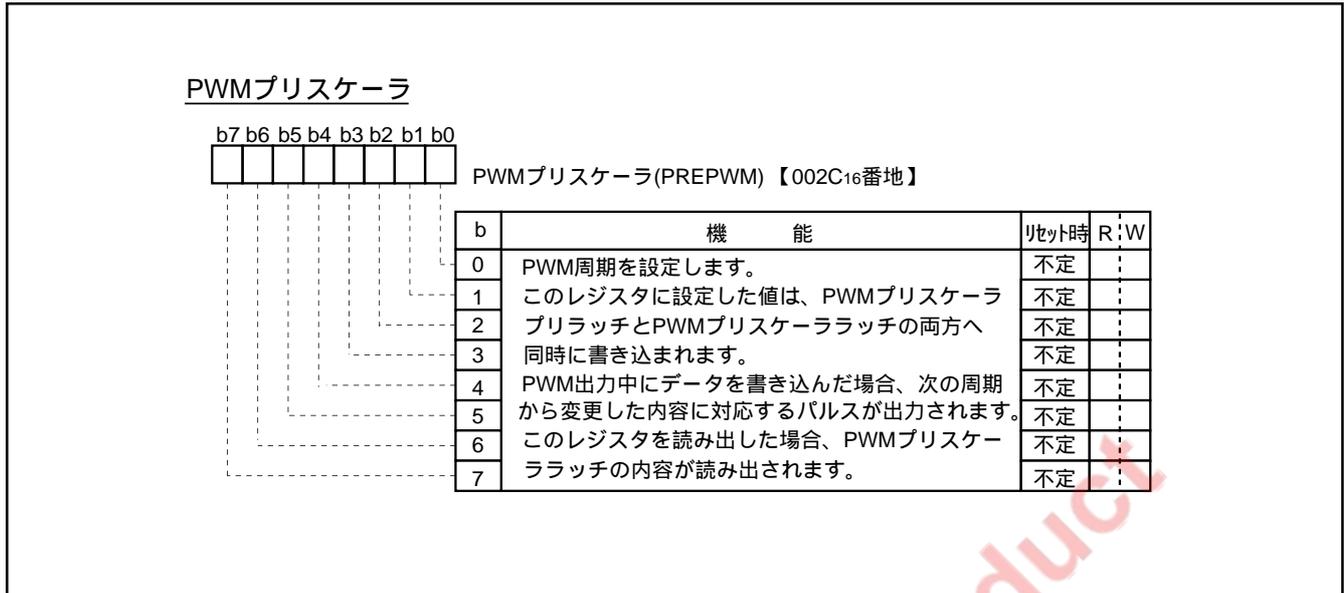


図2.6.3 PWMプリスケータの構成

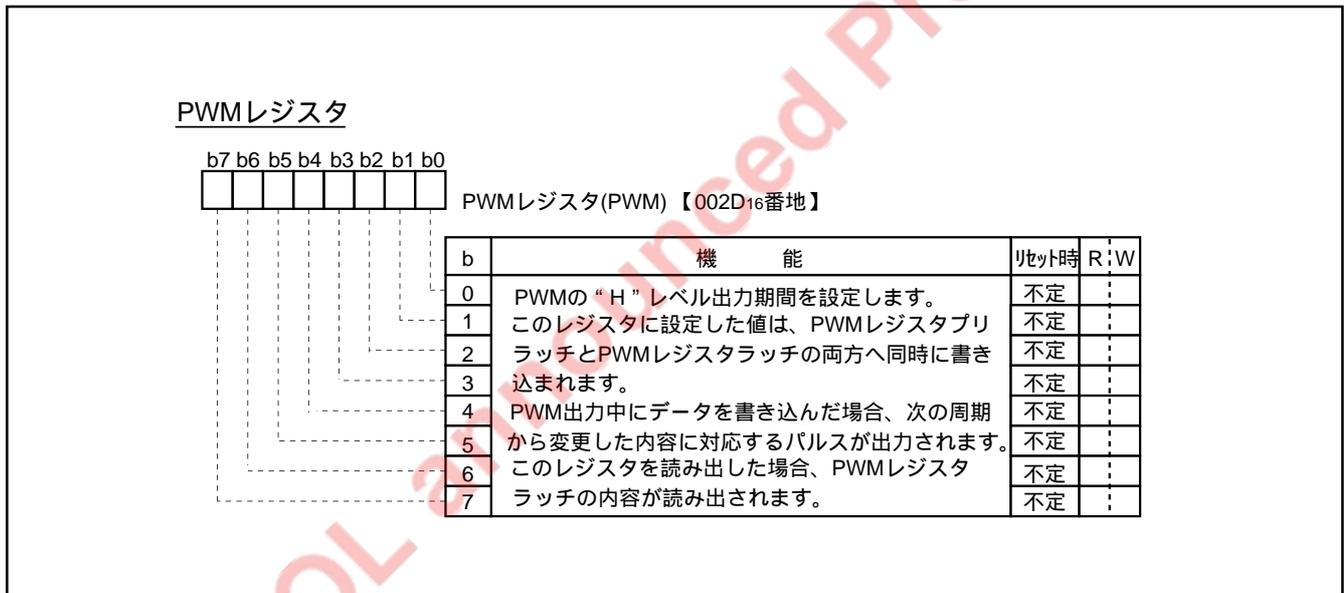


図2.6.4 PWMレジスタの構成

## 2.6.3 PWM出力回路の応用例

## モータの制御

ポイント：PWM(パルス幅変調)出力を使用して、モータの回転速度を制御します。

接続図を図2.6.5、PWM出力タイミングを図2.6.6、関連レジスタの設定を図2.6.7に示します。

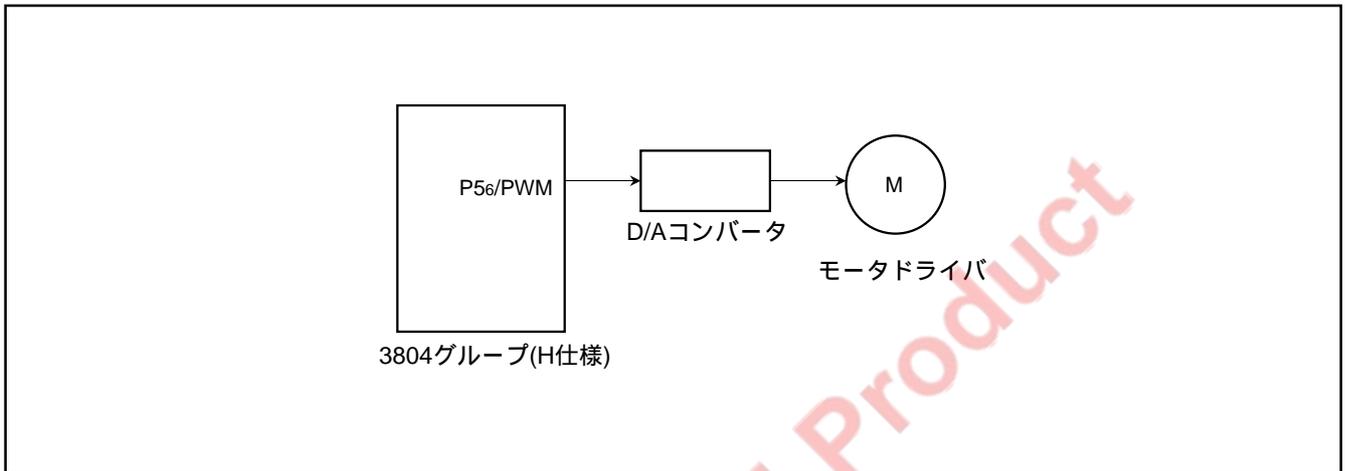


図2.6.5 接続図

- 仕様：
- ・ 8ビット分解能のPWM出力機能を使用したモータ制御。
  - ・ クロック $f(XIN) = 5\text{MHz}$
  - ・ PWM周期 $T$ ： $102\ \mu\text{s}$
  - ・ 出力パルスの“H”レベル幅 $t$ ： $40\ \mu\text{s}$ (速度固定\*)
- \* 出力パルス“H”レベル幅を変化させることにより、モータの速度を変更できる。

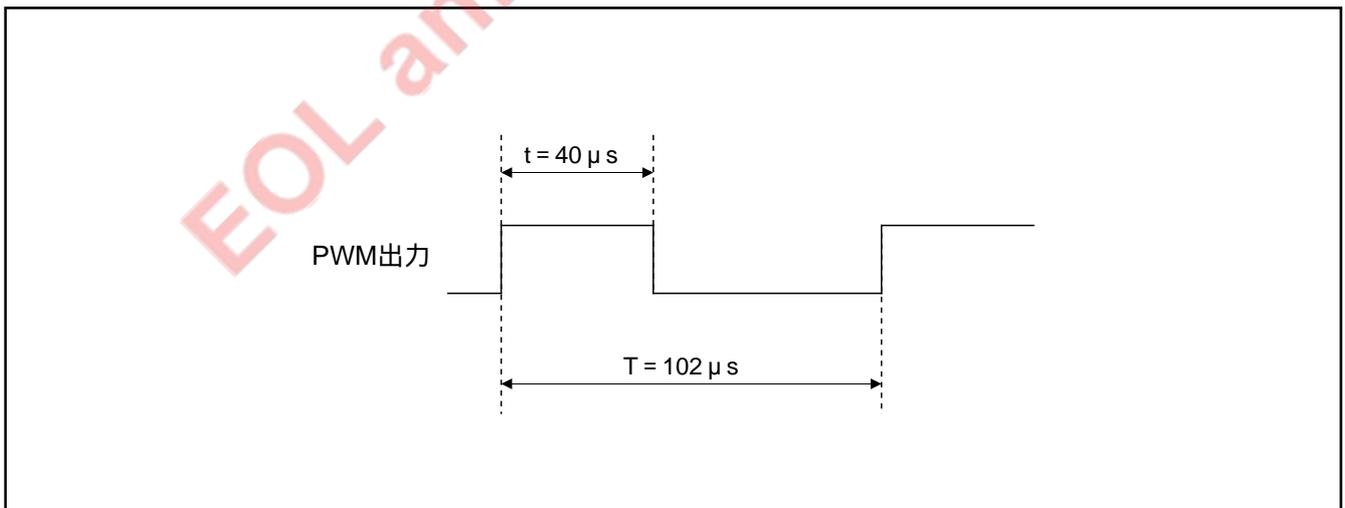


図2.6.6 PWM出力タイミング図

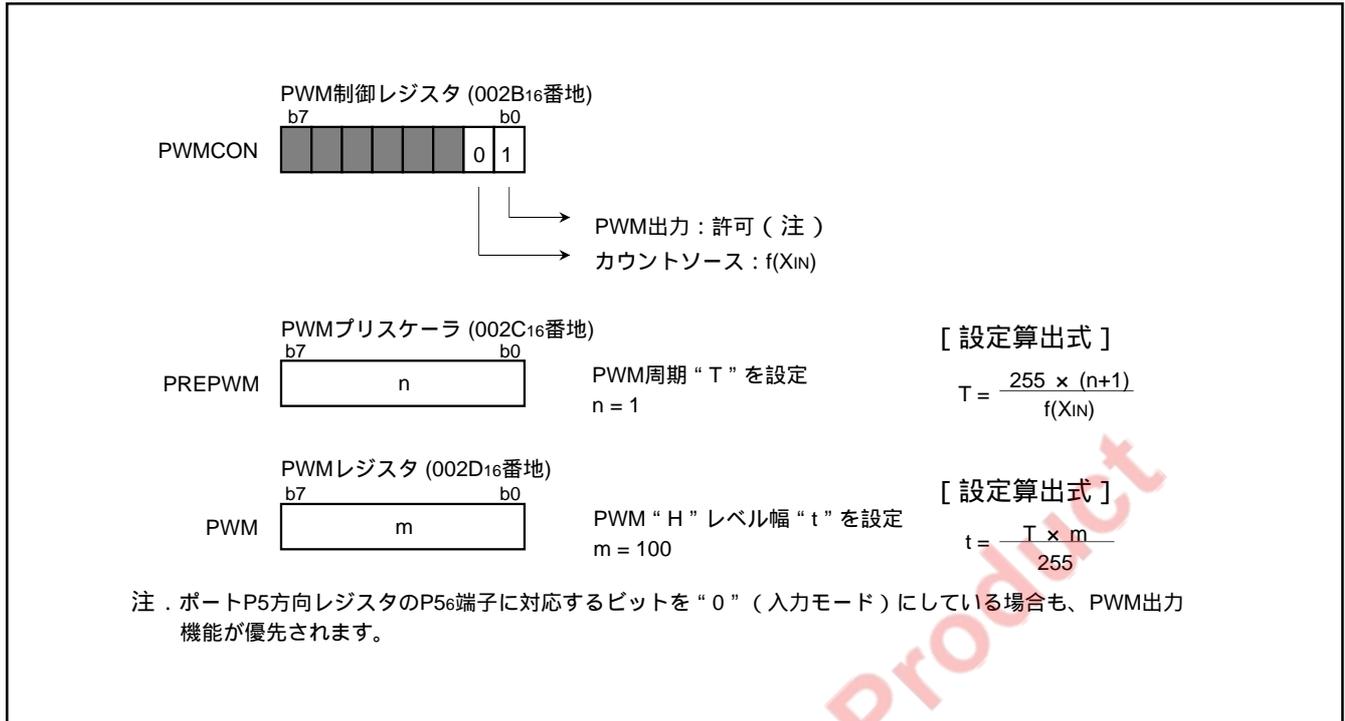


図2.6.7 関連レジスタの設定

## PWM出力について

1. PWM機能許可ビットに“1”を設定  
 P5<sub>6</sub>/PWM端子をPWM端子として使用します。“H”から始まるパルスを出力します。
2. PWM機能許可ビットに“0”を設定  
 P5<sub>6</sub>/PWM端子をポートP5<sub>6</sub>として使用します。したがって、出力レベルを固定する場合は以下の処理を順に行ってください。
  - ・ポートP5レジスタのビット6に出力値を書き込む
  - ・ポートP5方向レジスタに“01000000<sub>2</sub>”を書き込む
3. PWMプリスケアラ、及びPWMレジスタにデータを設定後、次の繰り返し周期から新しいデータに対応するPWM波形が出力されます。

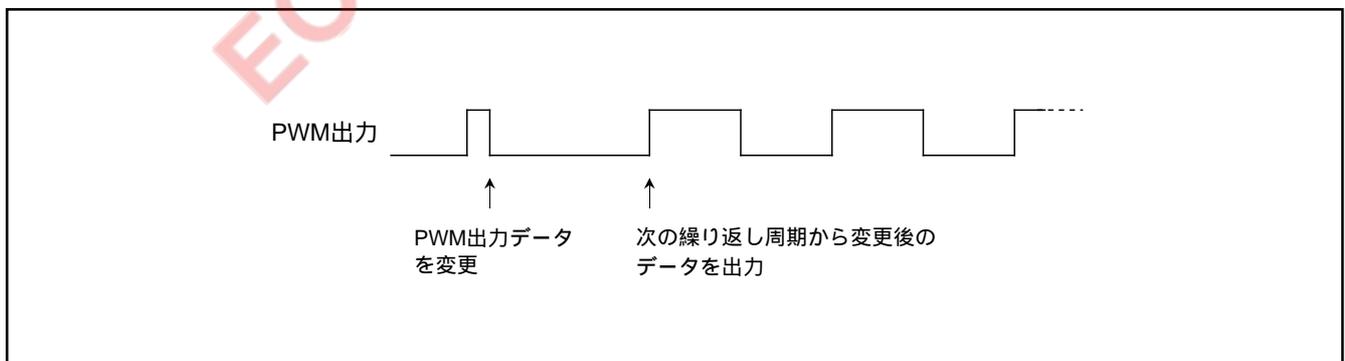


図2.6.8 PWM出力

図2.6.7に示す関連レジスタの設定を行うとPWM波形が外部に出力されます。このPWM出力をローパスフィルタで積分して直流信号に変換し、モータの制御に使用します。図2.6.9に制御手順を示します。

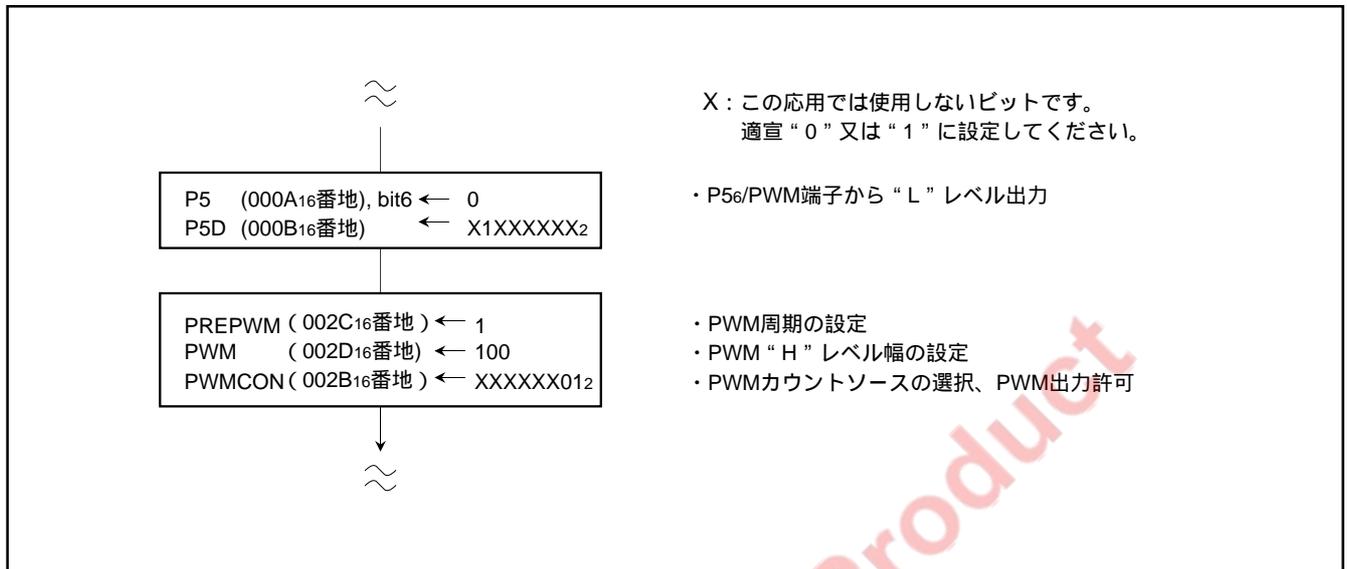


図2.6.9 制御手順

#### 2.6.4 PWMに関する注意事項

PWM機能許可ビットによってPWMを許可した後、PWM端子から一時的に“L”レベルが出力されてから、PWMは“H”から開始します。

この“L”レベルの出力時間は次のとおりです。

- ・ カウントソース選択ビット=“0”; n = プリスケアラ設定値

$$\frac{n + 1}{2 \times f(XIN)} \quad (\text{秒})$$

- ・ カウントソース選択ビット=“1”; n = プリスケアラ設定値

$$\frac{n + 1}{f(XIN)} \quad (\text{秒})$$

## 2.7 A/Dコンバータ

本節ではA/Dコンバータに関するレジスタの設定方法、注意事項などを説明します。

### 2.7.1 メモリ配置図



図2.7.1 A/Dコンバータ関連レジスタのメモリ配置

### 2.7.2 関連レジスタ

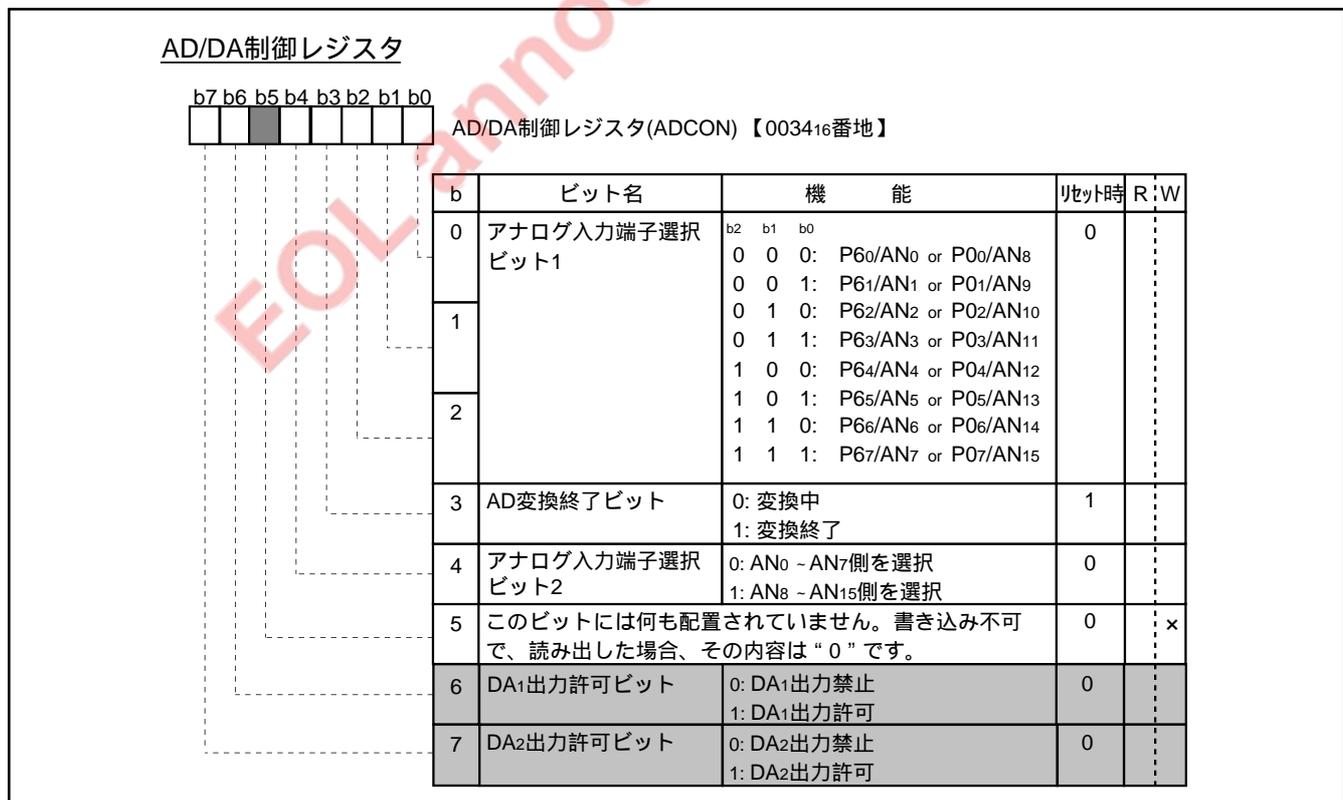


図2.7.2 AD/DA制御レジスタの構成

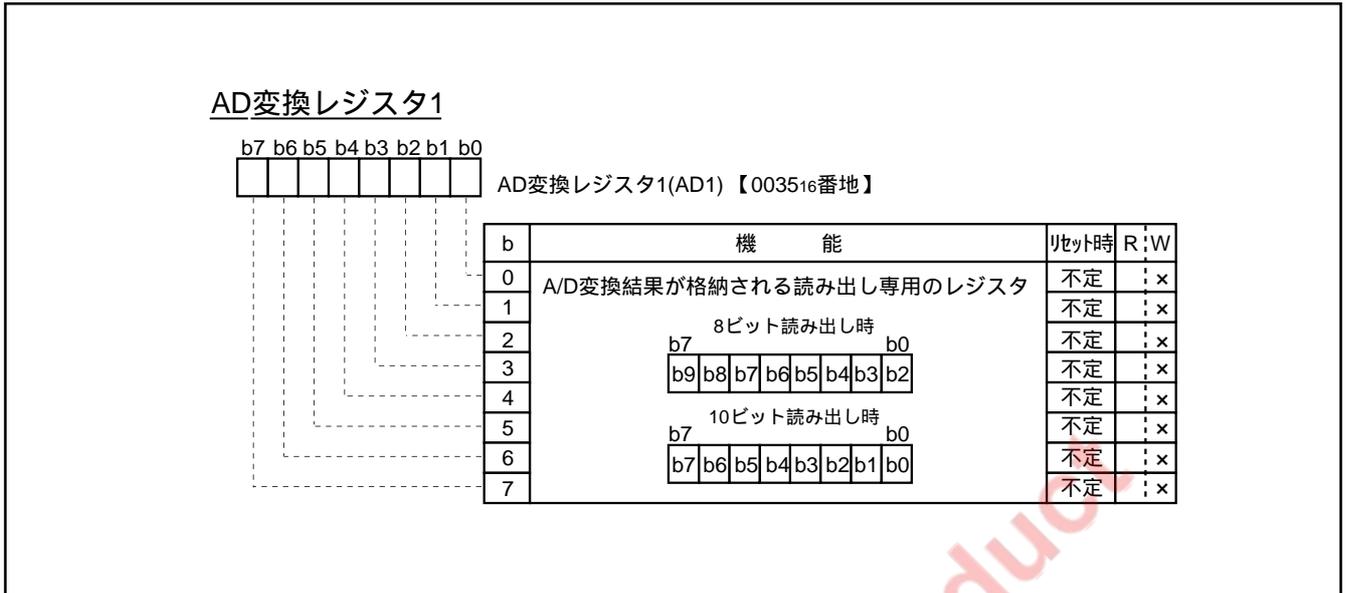


図2.7.3 AD変換レジスタ1の構成

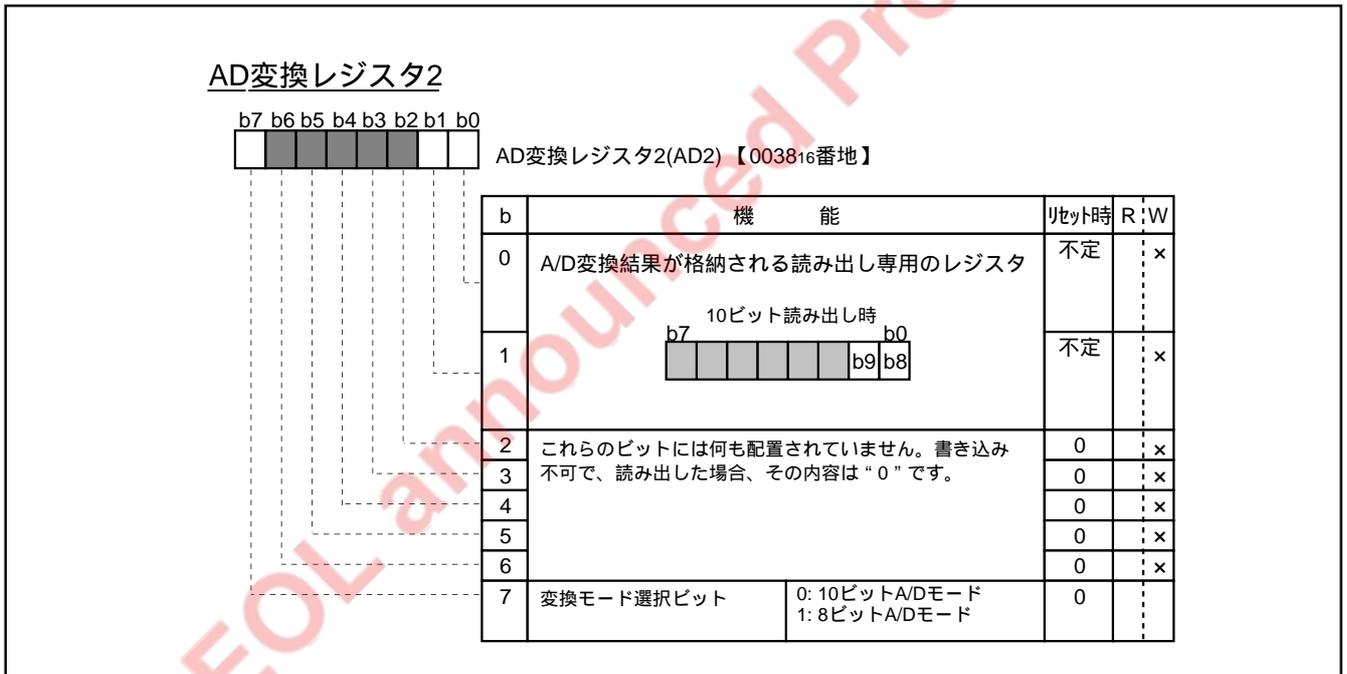
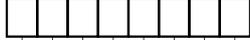


図2.7.4 AD変換レジスタ2の構成

割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要因選択レジスタ(INTSEL)【0039<sub>16</sub>番地】

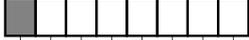
b	ビット名	機 能	リセット時	R/W
0	INT <sub>0</sub> /タイマZ割り込み要因選択ビット	0:INT <sub>0</sub> 割り込み 1:タイマZ割り込み(注1)	0	—
1	シリアル/O2/タイマZ割り込み要因選択ビット	0:シリアル/O2割り込み 1:タイマZ割り込み(注1)	0	—
2	シリアル/O1送信/SCL,SDA割り込み要因選択ビット	0:シリアル/O1送信割り込み 1:SCL,SDA割り込み(注2)	0	—
3	CNTR <sub>0</sub> /SCL,SDA割り込み要因選択ビット	0:CNTR <sub>0</sub> 割り込み 1:SCL,SDA割り込み(注2)	0	—
4	INT <sub>4</sub> /CNTR <sub>2</sub> 割り込み要因選択ビット	0:INT <sub>4</sub> 割り込み 1:CNTR <sub>2</sub> 割り込み	0	—
5	INT <sub>2</sub> /I <sup>2</sup> C割り込み要因選択ビット	0:INT <sub>2</sub> 割り込み 1:I <sup>2</sup> C割り込み	0	—
6	CNTR <sub>1</sub> /シリアル/O3受信割り込み要因選択ビット	0:CNTR <sub>1</sub> 割り込み 1:シリアル/O3受信割り込み	0	—
7	AD変換/シリアル/O3送信割り込み要因選択ビット	0:A/D変換割り込み 1:シリアル/O3送信割り込み	0	—

注1．同時に“1”を書き込まないでください。  
2．同時に“1”を書き込まないでください。

図2.7.5 割り込み要因選択レジスタの構成

割り込み要求レジスタ2

b7 b6 b5 b4 b3 b2 b1 b0



割り込み要求レジスタ2(IREQ2)【003D<sub>16</sub>番地】

b	ビット名	機 能	リセット時	R/W
0	CNTR <sub>0</sub> /SCL,SDA割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*
1	CNTR <sub>1</sub> /シリアル/O3受信割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*
2	シリアル/O2/タイマZ割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*
3	INT <sub>2</sub> /I <sup>2</sup> C割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*
4	INT <sub>3</sub> 割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*
5	INT <sub>4</sub> /CNTR <sub>2</sub> 割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*
6	AD変換/シリアル/O3送信割り込み要求ビット	0:割り込み要求なし 1:割り込み要求あり	0	*
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	x

\*ソフトウェアによって“0”にできますが、“1”にはできません。

図2.7.6 割り込み要求レジスタ2の構成

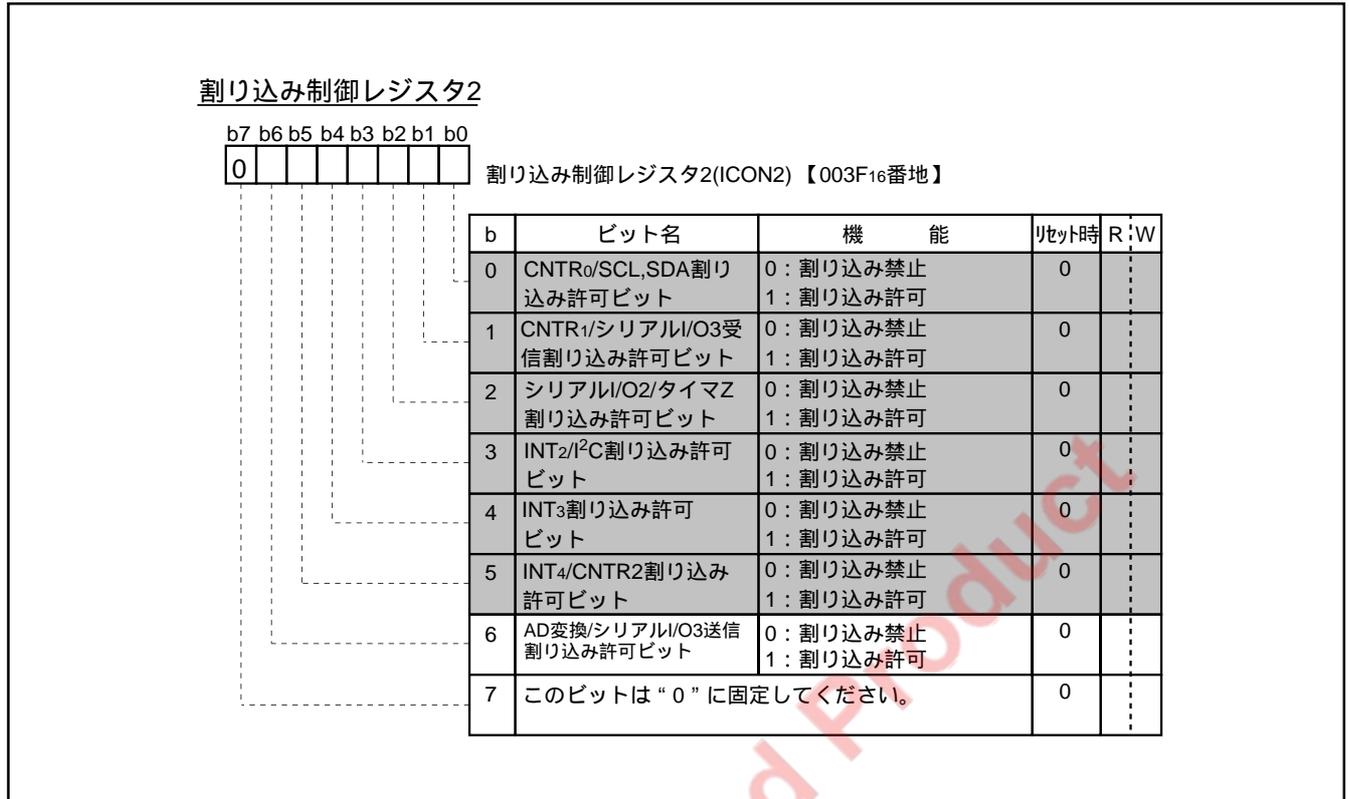


図2.7.7 割り込み制御レジスタ2の構成

EOL announced Product

2.7.3 A/D変換応用例

(1) アナログ信号の読み込み1

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.7.8、関連レジスタの設定を図2.7.9に示します。

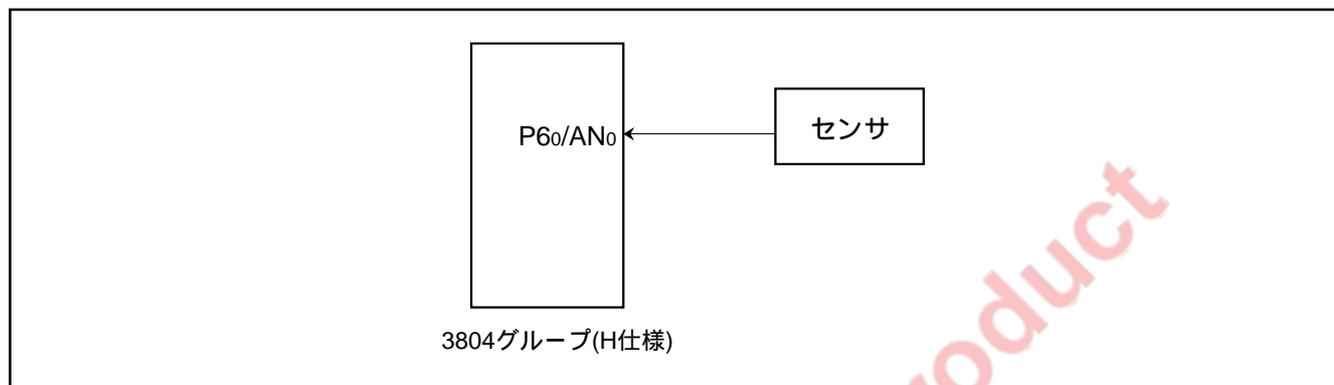


図2.7.8 接続図

- 仕 様：
- ・センサからアナログ入力電圧をデジタル値に変換。
  - ・アナログ入力端子にはP60/AN0端子を使用。
  - ・10ビット変換モード。

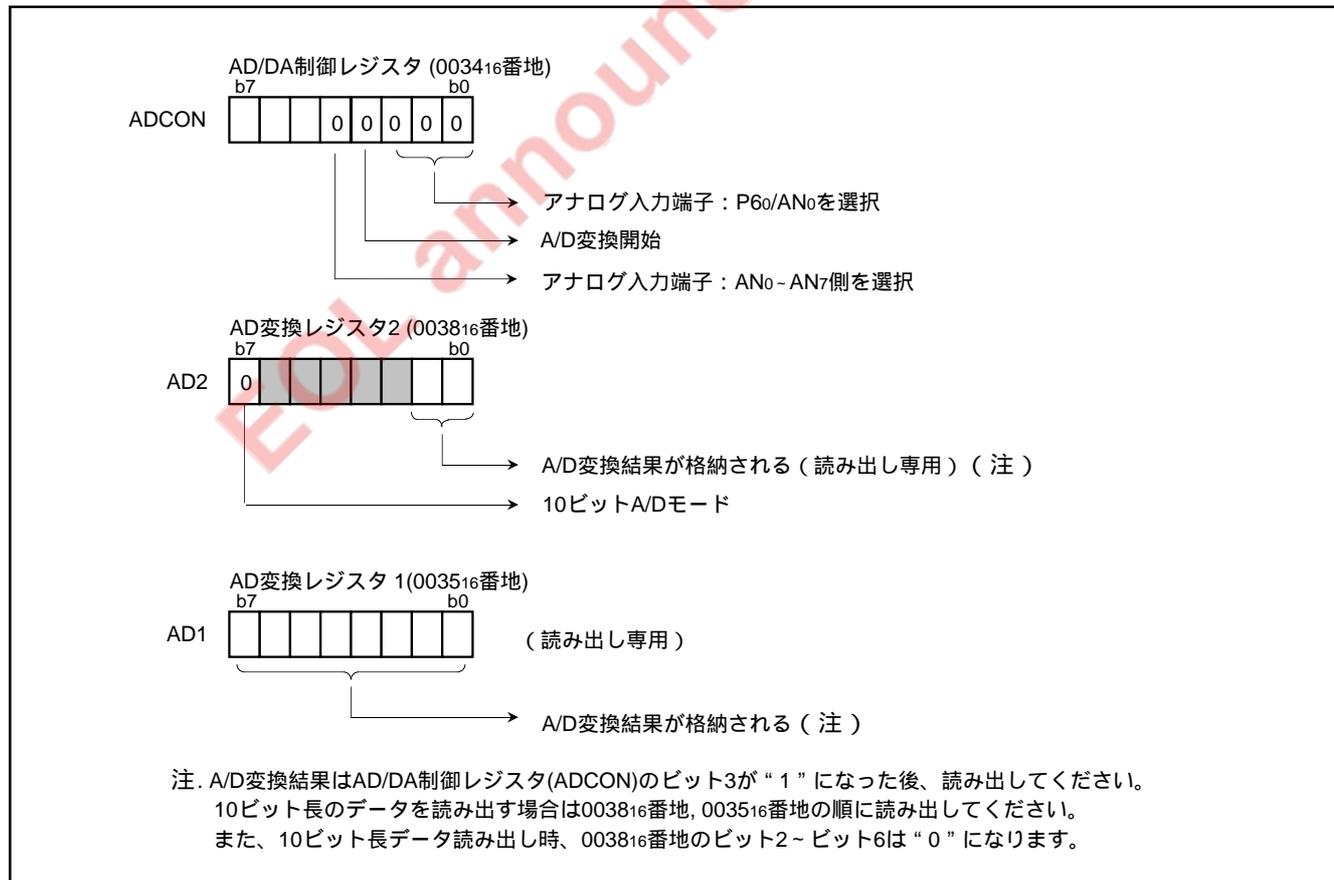


図2.7.9 関連レジスタの設定

図2.7.9に示す関連レジスタの設定を行うとセンサからアナログ入力信号をデジタル値に変換します。図2.7.10に10ビットA/Dモード時の制御手順を示します。

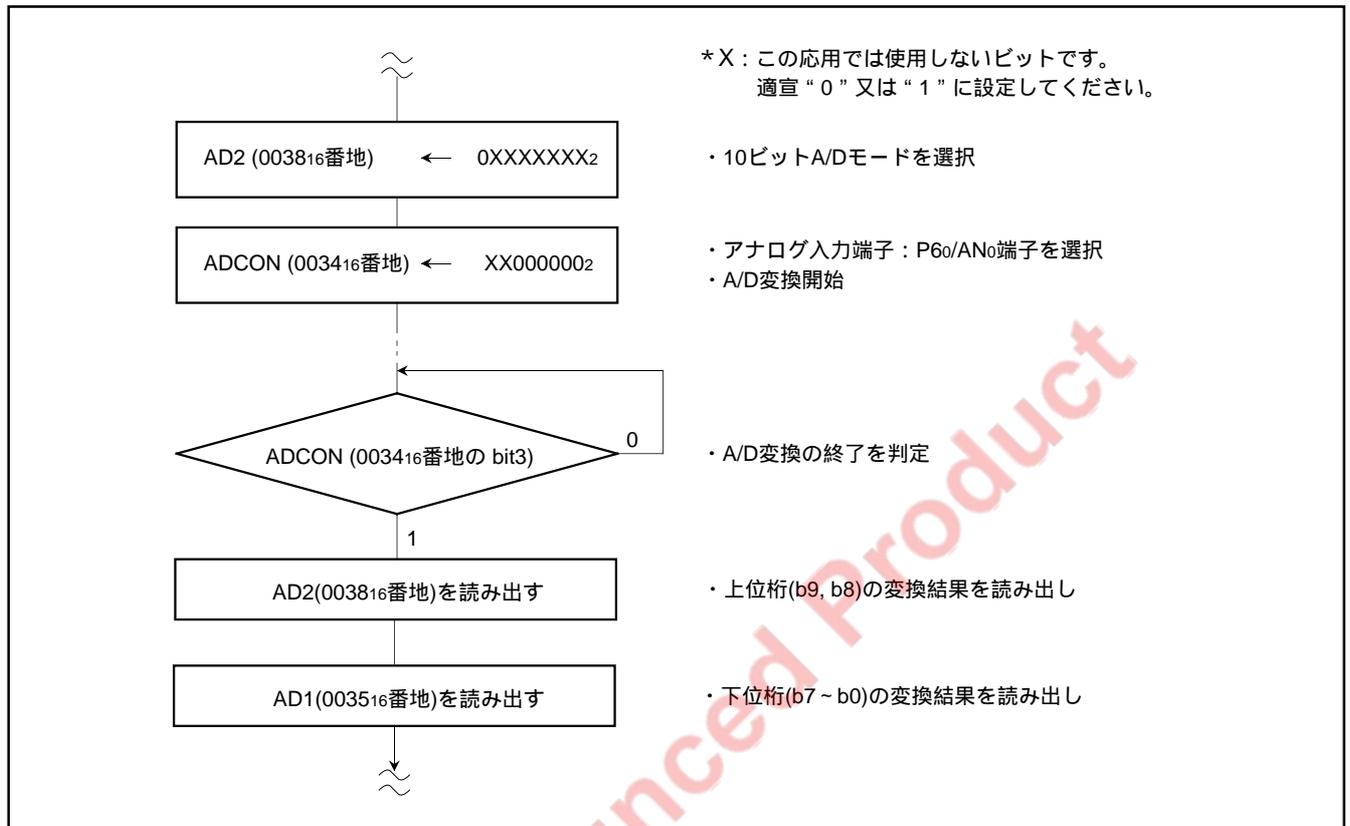


図2.7.10 制御手順(10ビットA/Dモード)

EOL announced Product

(2) アナログ信号の読み込み2

ポイント：センサからのアナログ入力電圧をデジタル値に変換します。

接続図を図2.7.11、関連レジスタの設定を図2.7.12に示します。

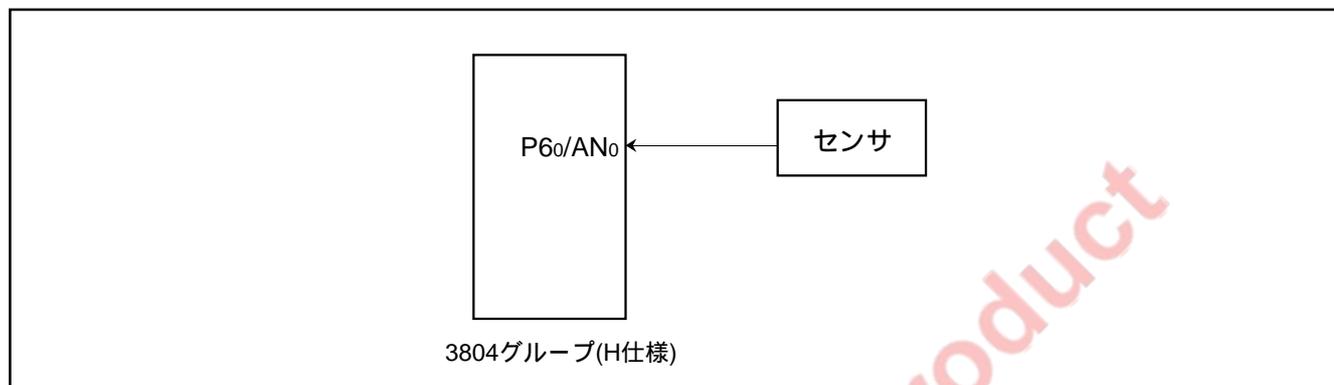


図2.7.11 接続図

- 仕様：
- ・センサからアナログ入力電圧をデジタル値に変換。
  - ・アナログ入力端子にはP60/AN0端子を使用。
  - ・8ビット変換モード。

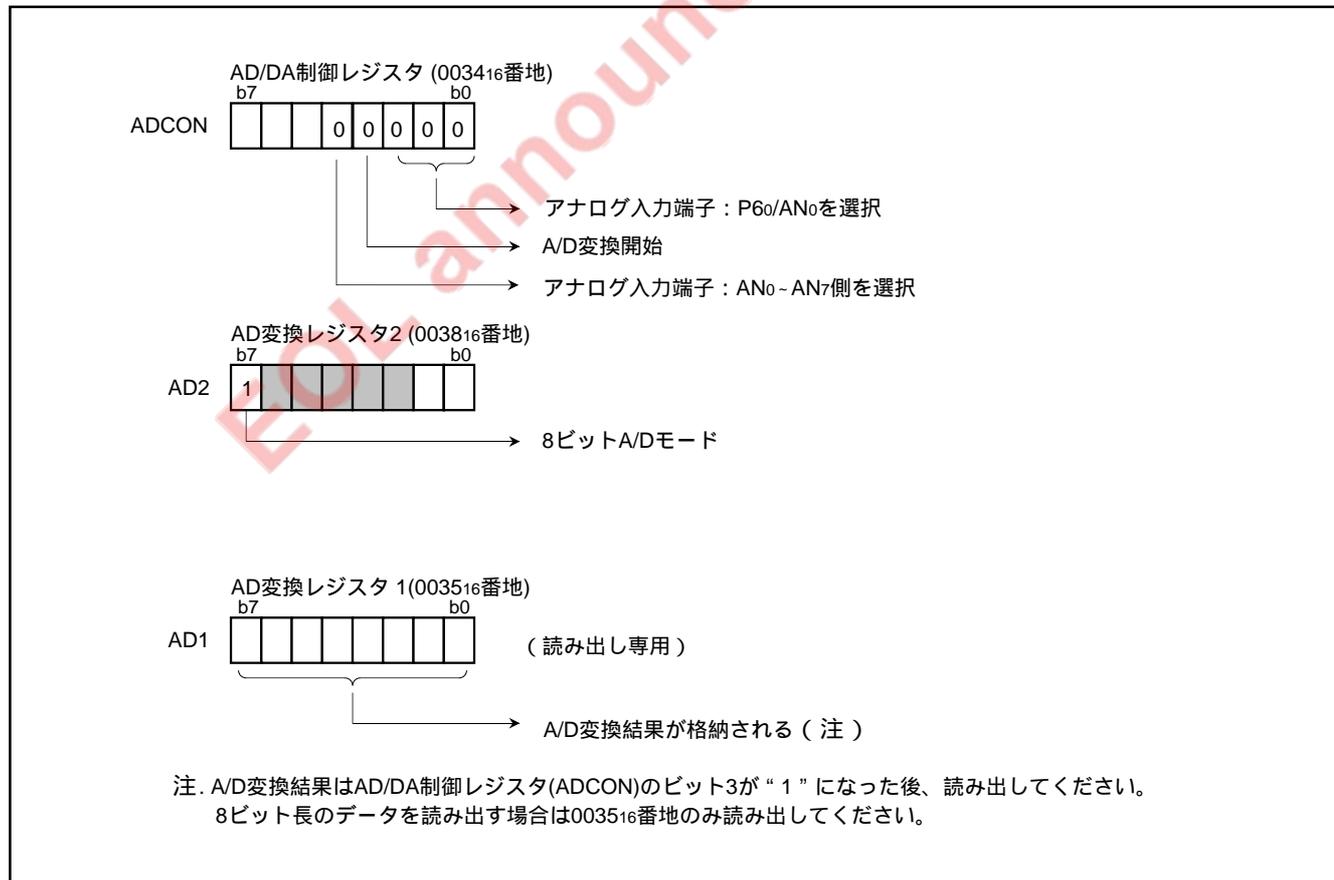


図2.7.12 関連レジスタの設定

図2.7.12に示す関連レジスタの設定を行うとセンサからアナログ入力信号をデジタル値に変換します。図2.7.13に8ビットA/Dモード時の制御手順を示します。

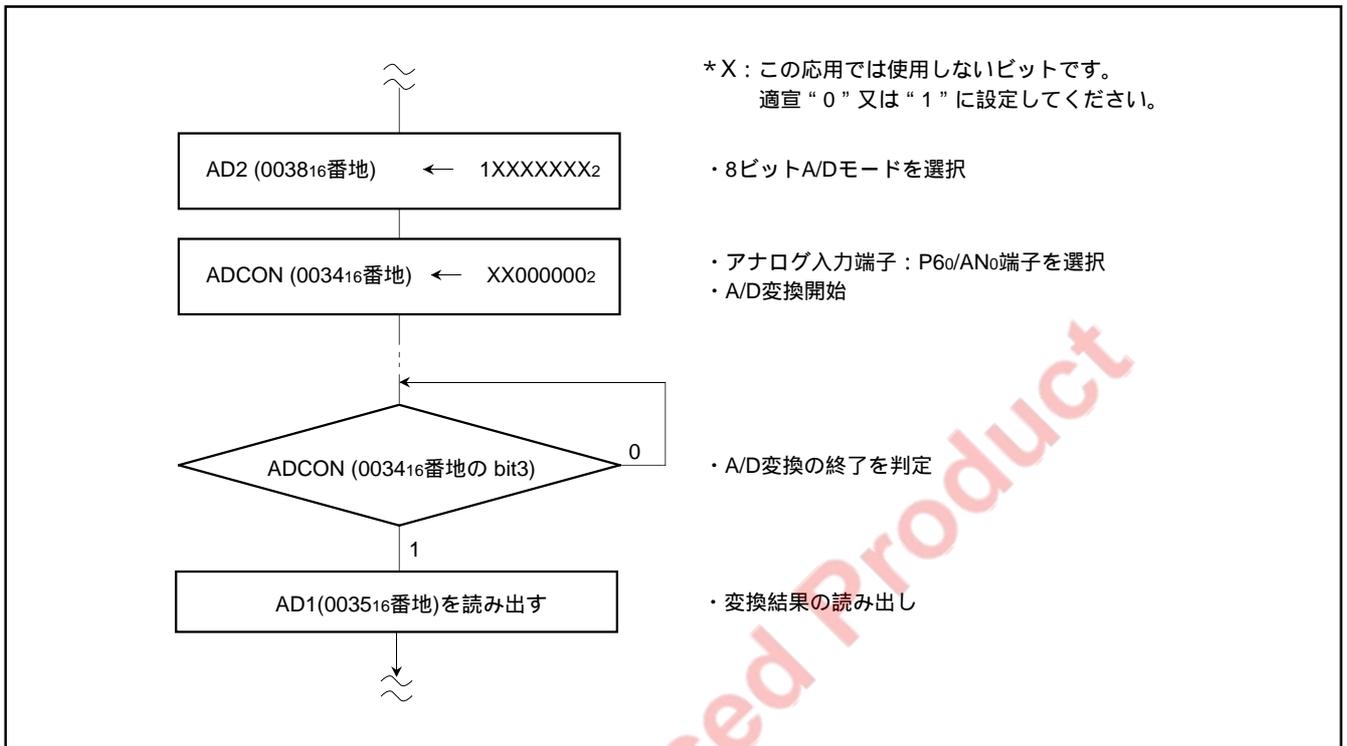


図2.7.13 制御手順(8ビットA/Dモード)

EOL announced Product

#### 2.7.4 A/Dコンバータに関する注意事項

##### (1) アナログ入力端子

アナログ入力の信号源インピーダンスは低くしてください。又は、アナログ入力端子に、 $0.01\mu\text{F}$ ~ $1\mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

##### 理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

##### (2) A/Dコンバータ用電源端子

A/D変換機能の使用又は不使用にかかわらず、A/Dコンバータ用電源端子AVSSはVSSに接続してください。

##### 理由

AVSS端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

##### (3) A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・  $f(\text{XIN})$ は500kHz以上にしてください。
- ・ STP命令を実行しないでください。

##### (4) 10ビットA/Dモード時の8ビット読み出しと8ビットA/Dモードの差異

10ビットA/Dモード時の8ビット読み出しでは、A/D変換結果に“-1/2LSB”の補正が入りません。これに対して8ビットA/Dモードでは“-1/2LSB”補正が加えられ、3802グループと同一のA/D変換特性となります。

## 2.8 D/Aコンバータ

本節ではD/Aコンバータに関するレジスタの設定方法、注意事項などを説明します。

### 2.8.1 メモリ配置図

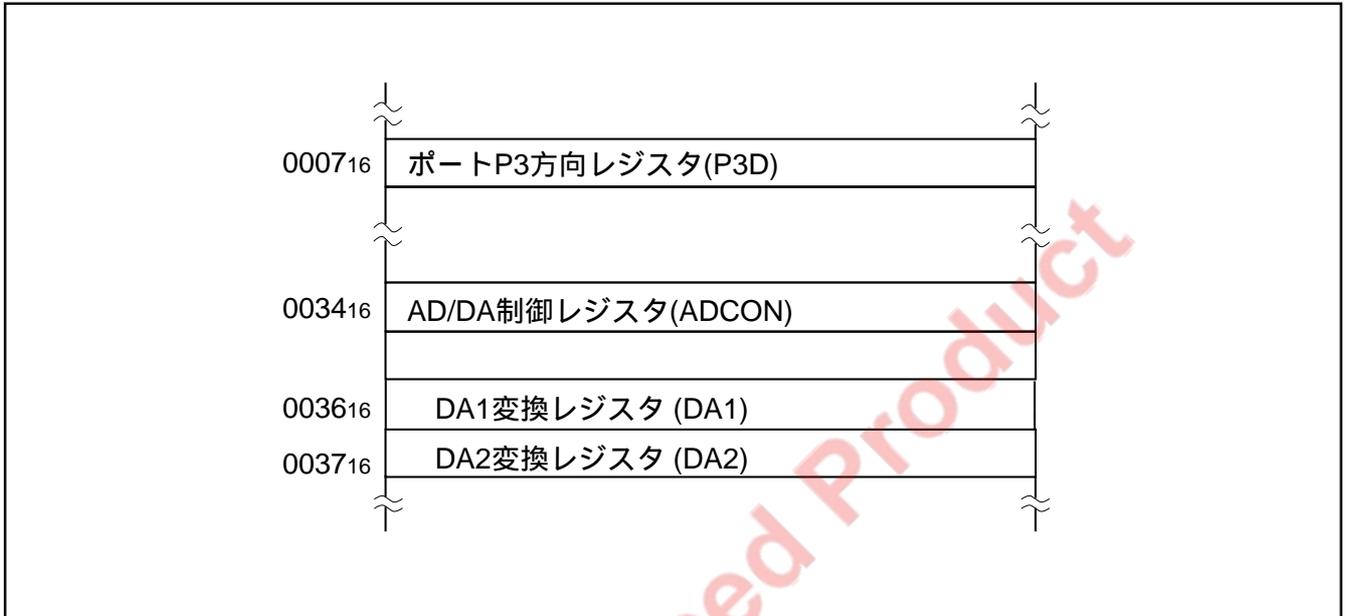


図2.8.1 D/Aコンバータ関連レジスタのメモリ配置

2.8.2 関連レジスタ

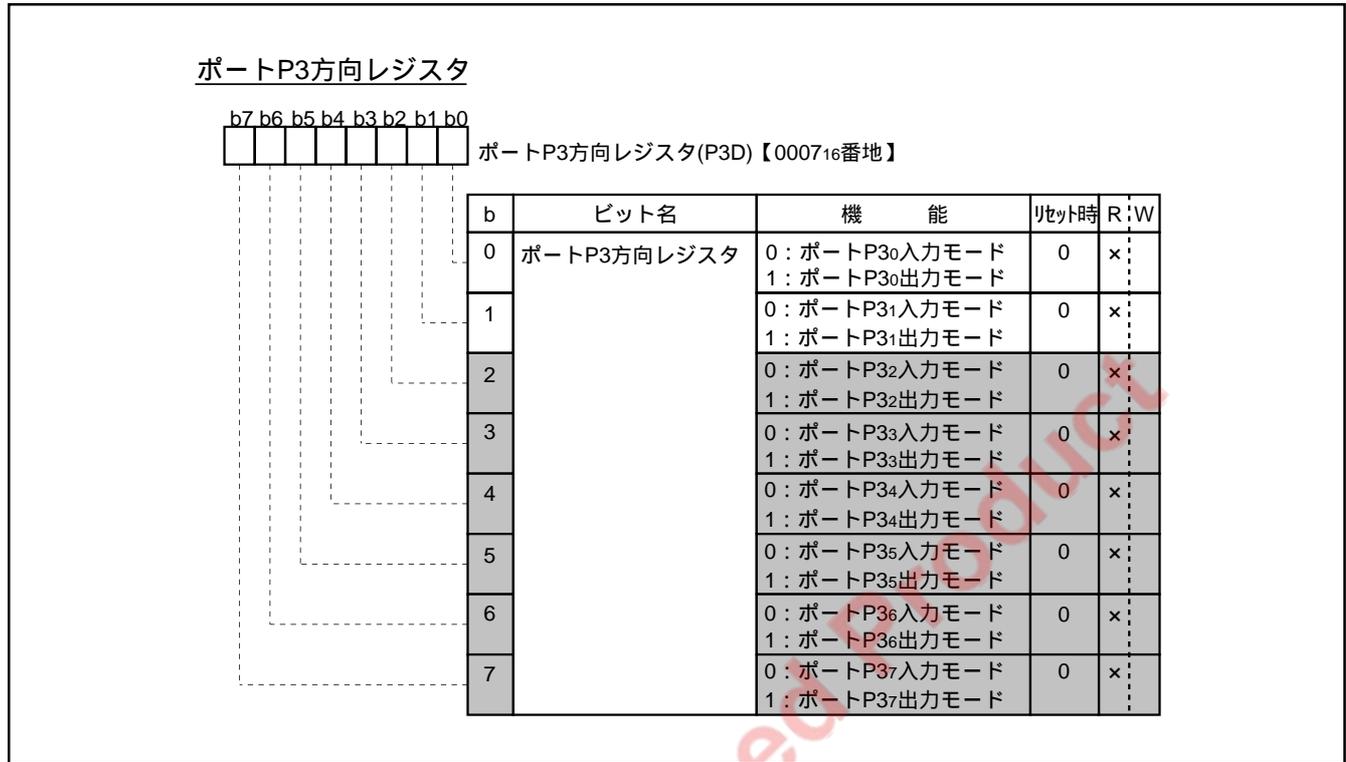


図2.8.2 ポートP3方向レジスタの構成

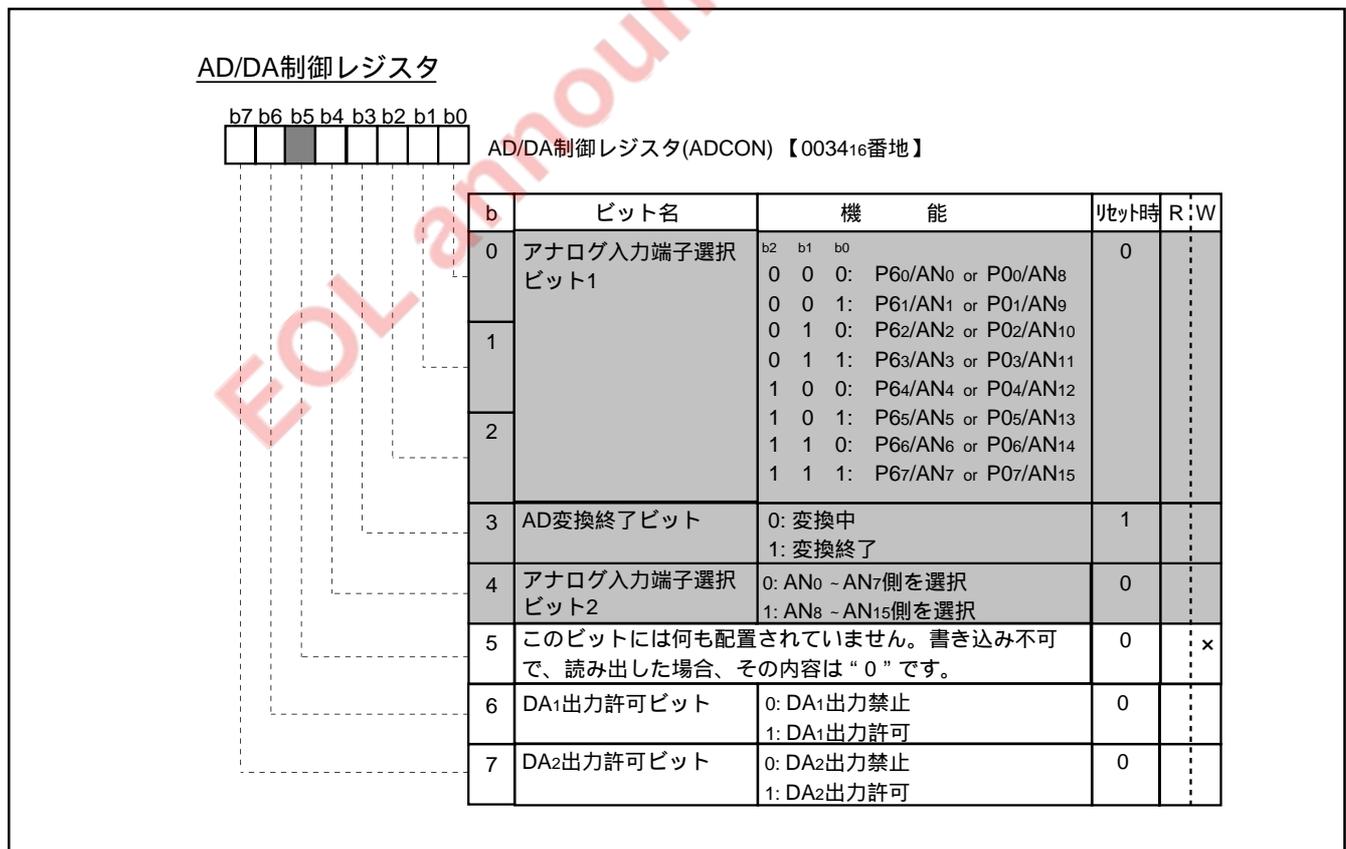
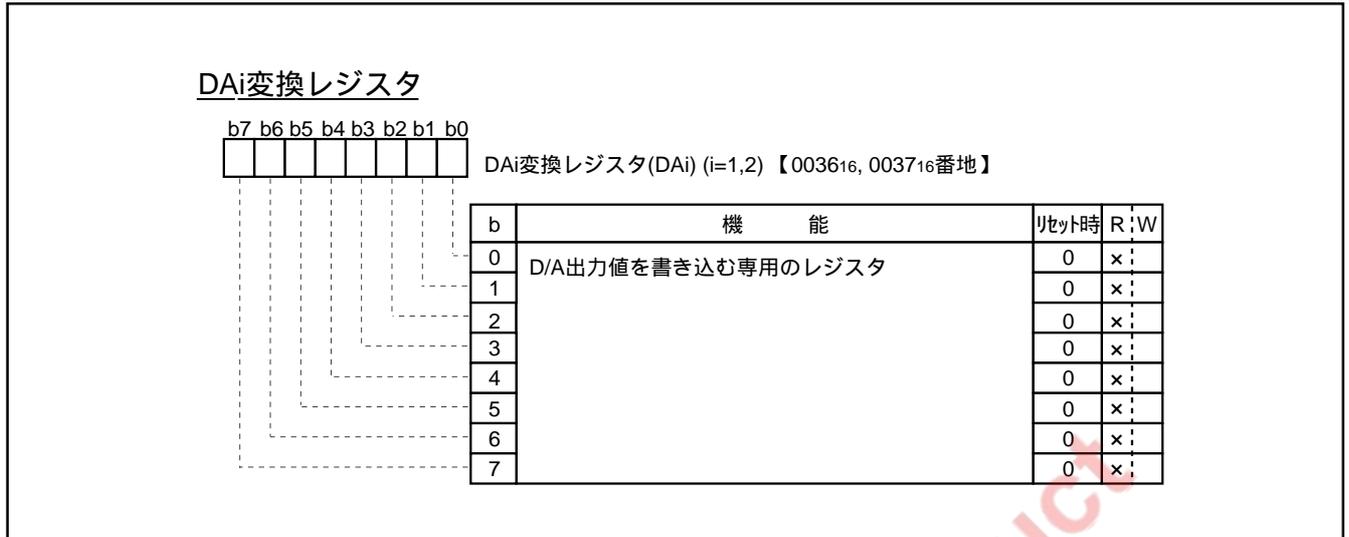


図2.8.3 AD/DA制御レジスタの構成

図2.8.4 DA<sub>i</sub>変換レジスタの構成

EOL announced Product

2.8.3 D/A変換の応用例

(1) スピーカ出力の音量調節

ポイント：D/Aコンバータを使用して、スピーカ出力の音量を調節します。

仕様：・音程は、タイマXにより音の周期を調整し、一定音(“ラ”の音：約440Hz)を出力する。  
 音量は、D/A出力値により音の振幅を調節する。タイマX割り込み処理ルーチン内で、D/A出力値の切り替えを行う。

- ・  $f(X_{IN}) = 6\text{MHz}$  を使用する。
- ・ D/AコンバータとしてDA1(P30/DA1端子)を使用する。

図2.8.5に接続図、図2.8.6にスピーカ出力例、図2.8.7に関連レジスタの設定を示します。

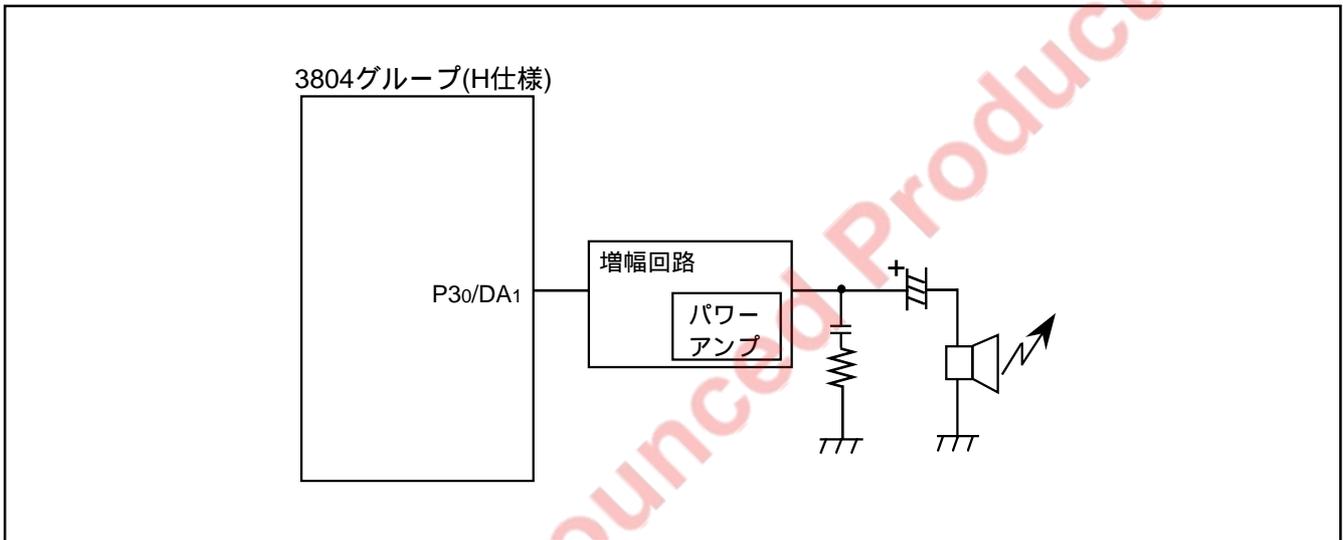


図2.8.5 接続図

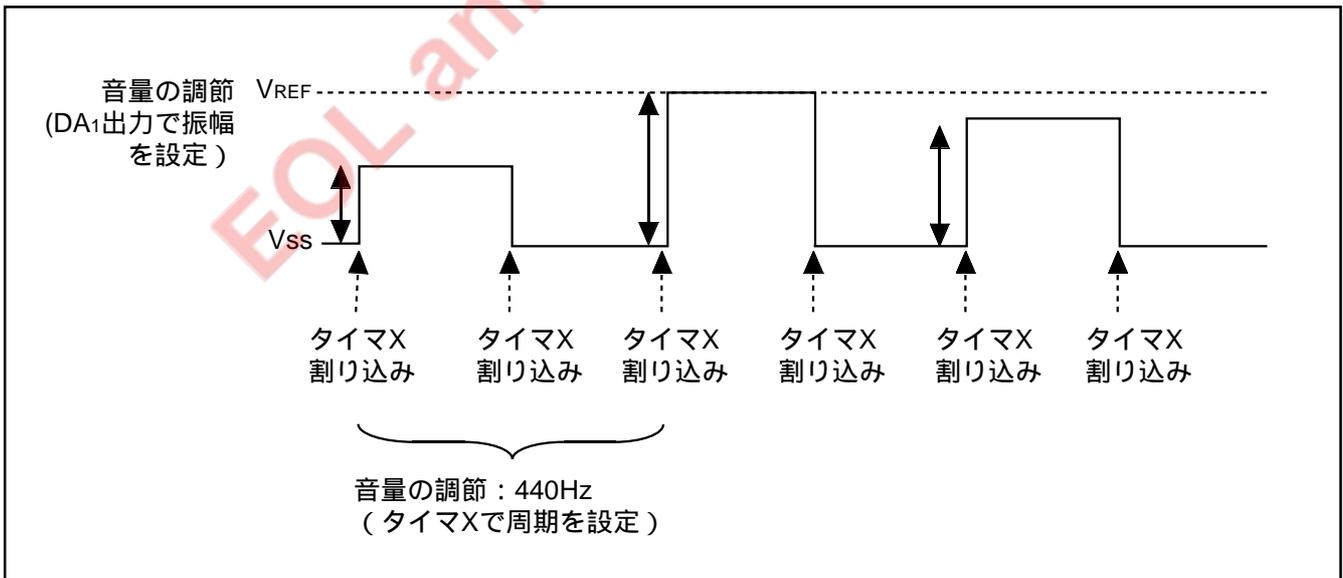


図2.8.6 スピーカ出力例

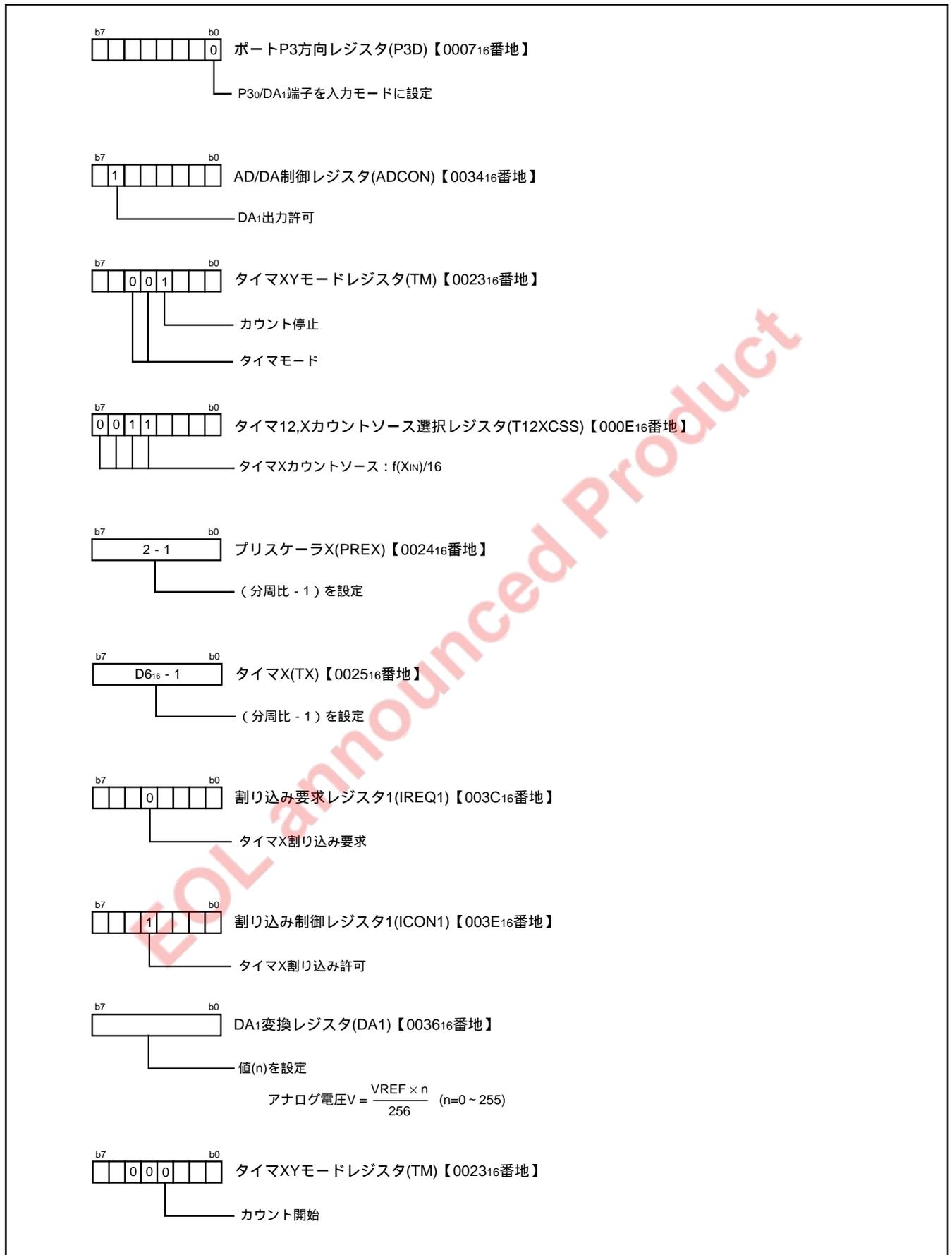


図2.8.7 関連レジスタの設定

図2.8.7に示した関連レジスタの設定を行うとD/A出力値によりスピーカ出力の音量を調節します。図2.8.8に制御手順を示します。

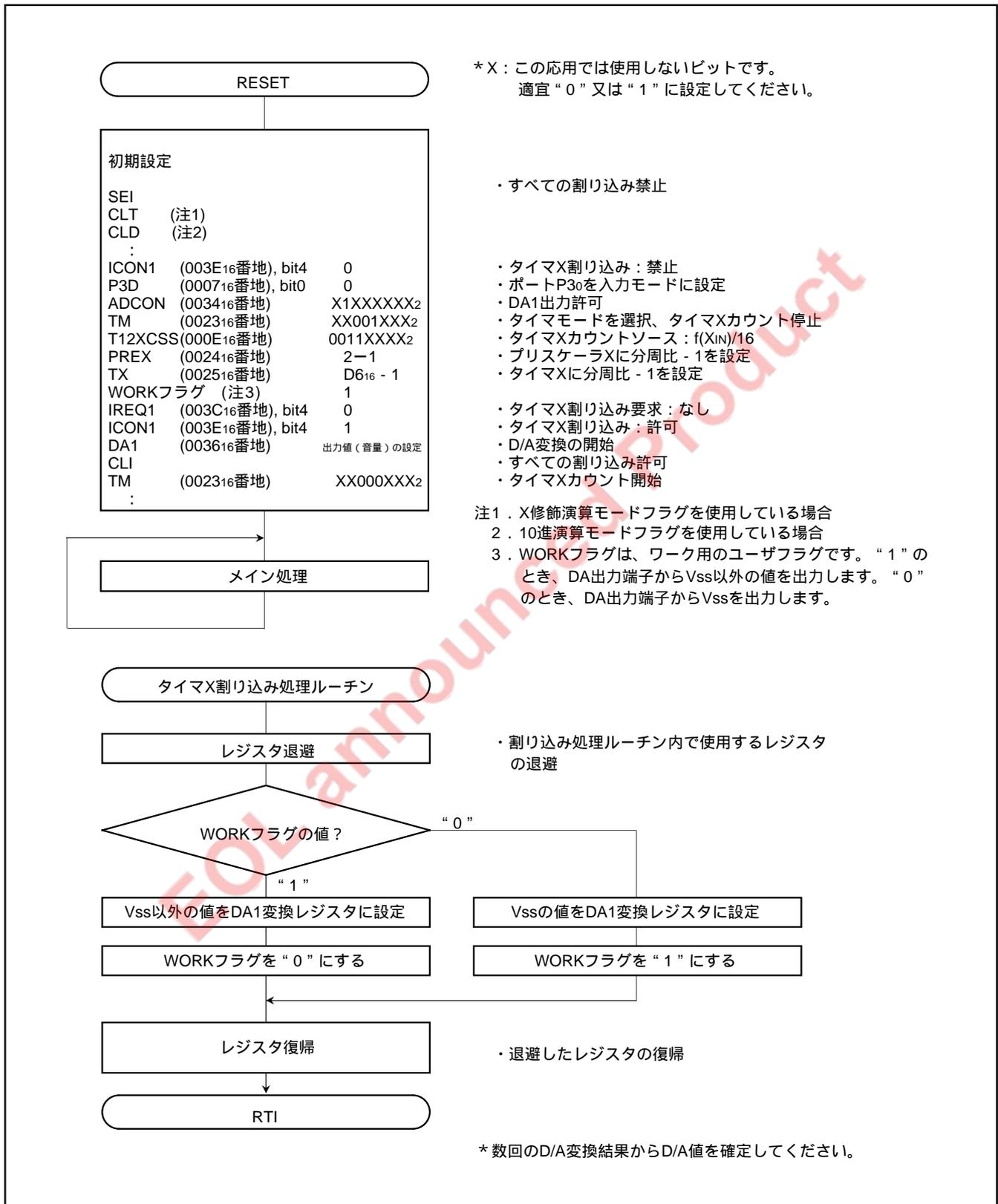


図2.8.8 制御手順

#### 2.8.4 D/Aコンバータに関する注意事項

D/Aコンバータ使用時は以下の点に注意してください。

(1) D/Aコンバータを使用する場合のVcc

D/Aコンバータの精度はVccが4.0V以下で異なります。D/Aコンバータを使用する場合は、Vccを4.0V以上にすることを推奨します。

(2) D/Aコンバータを使用しない場合のVcc

D/Aコンバータを使用しない場合、DA<sub>i</sub>変換レジスタ( $i=1, 2$ )の設定値は、すべて“00<sub>16</sub>”にしてください。リセット後の初期値は“00<sub>16</sub>”です。

EOL announced Product

## 2.9 ウォッチドッグタイマ

本節ではウォッチドッグタイマに関するレジスタの設定方法、制御手順などを説明します。

### 2.9.1 メモリ配置図

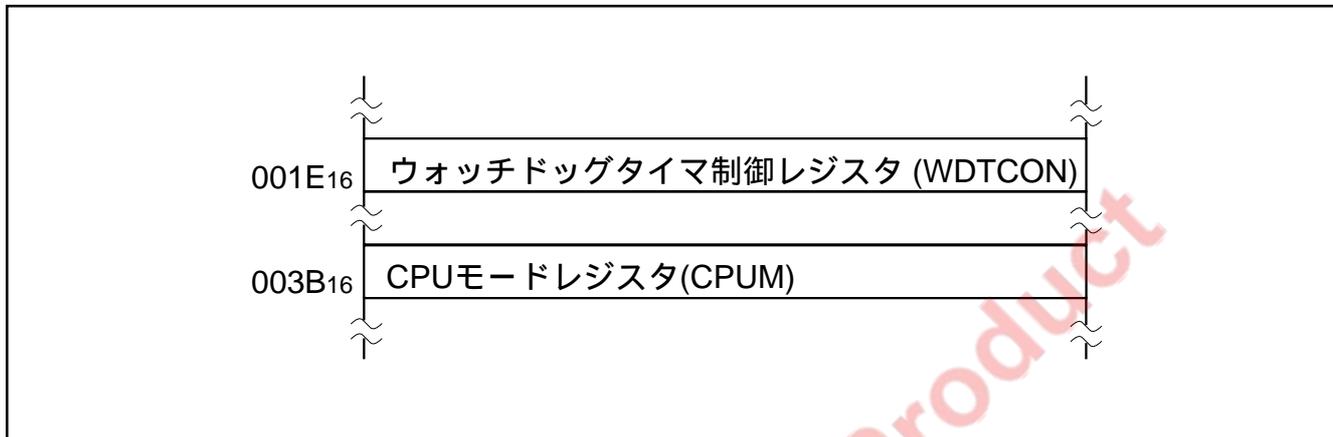


図2.9.1 ウォッチドッグタイマ関連レジスタのメモリ配置

### 2.9.2 関連レジスタ

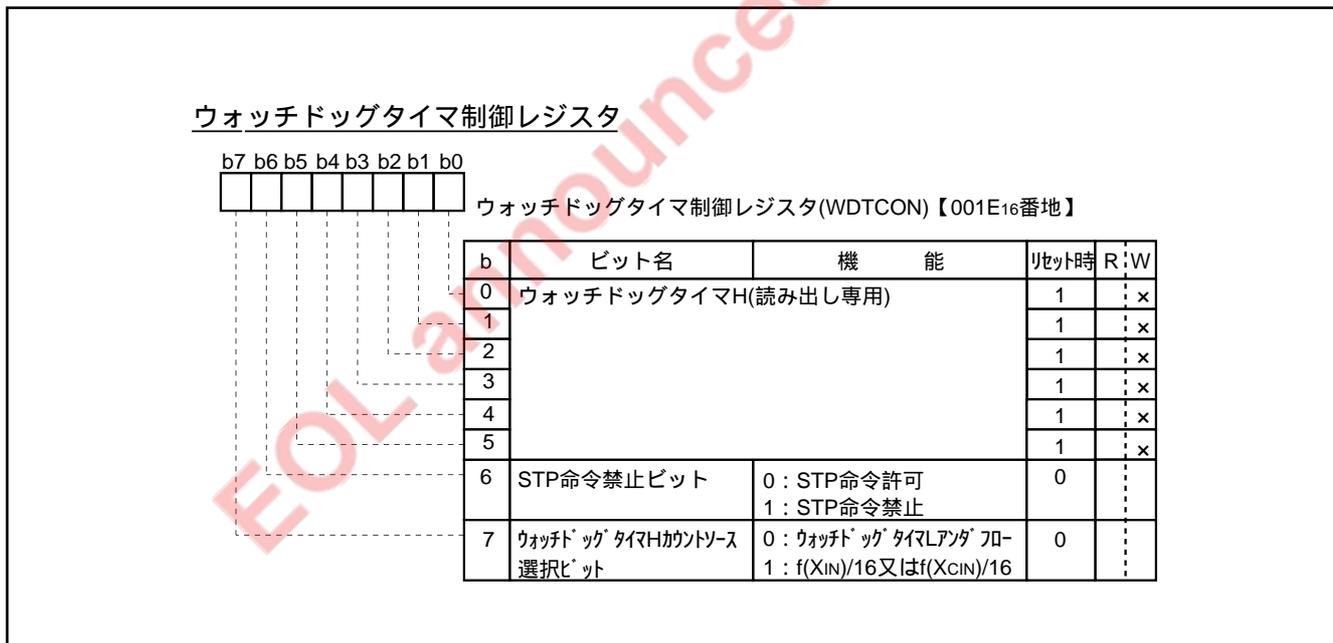


図2.9.2 ウォッチドッグタイマ制御レジスタの構成

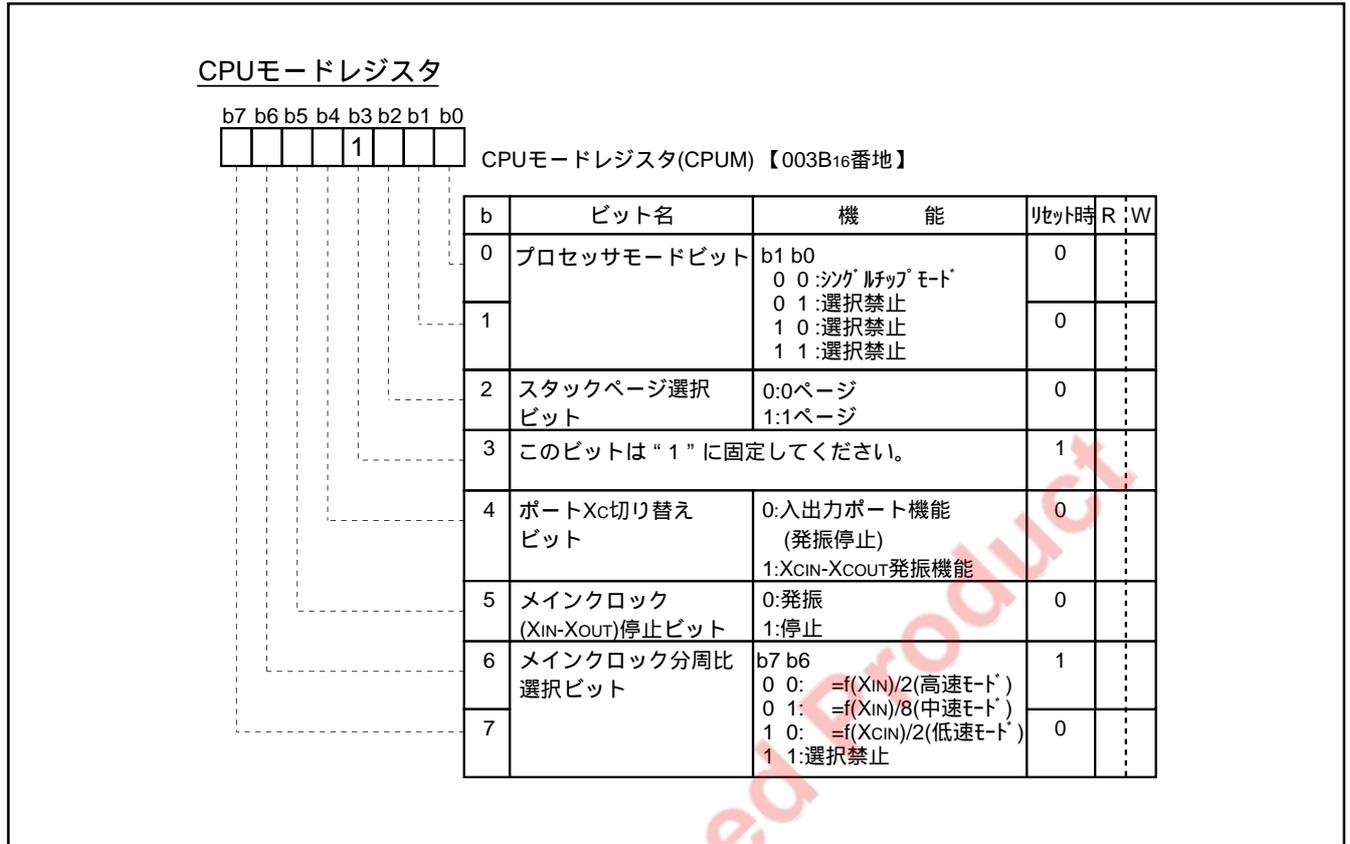


図2.9.3 CPUモードレジスタの構成

EOL announced product

## 2.9.3 ウォッチドッグタイマの応用

## (1) ウォッチドッグタイマの応用例：暴走検出

ポイント：プログラムが暴走した場合に、内部暴走検知タイマでマイコンをリセット状態に復帰させる手段を与えます。

仕様：

- ・メインクロック分周比は高速モードを使用
- ・ウォッチドッグタイマHのカウントソースにはウォッチドッグタイマLのアンダフローを接続
- ・メインルーチン1サイクルは65.536ms以内
- ・ウォッチドッグタイマがアンダフローする前に、メインルーチン内で1サイクルごとにウォッチドッグタイマ制御レジスタのビット7へ“0”を設定
- ・ウォッチドッグタイマHのアンダフローによって、プログラムの異常と判断し、マイコンをリセット状態に復帰

ウォッチドッグタイマの接続と分周比の設定を図2.9.4、関連レジスタの設定を図2.9.5、及び制御手順を図2.9.6に示します。

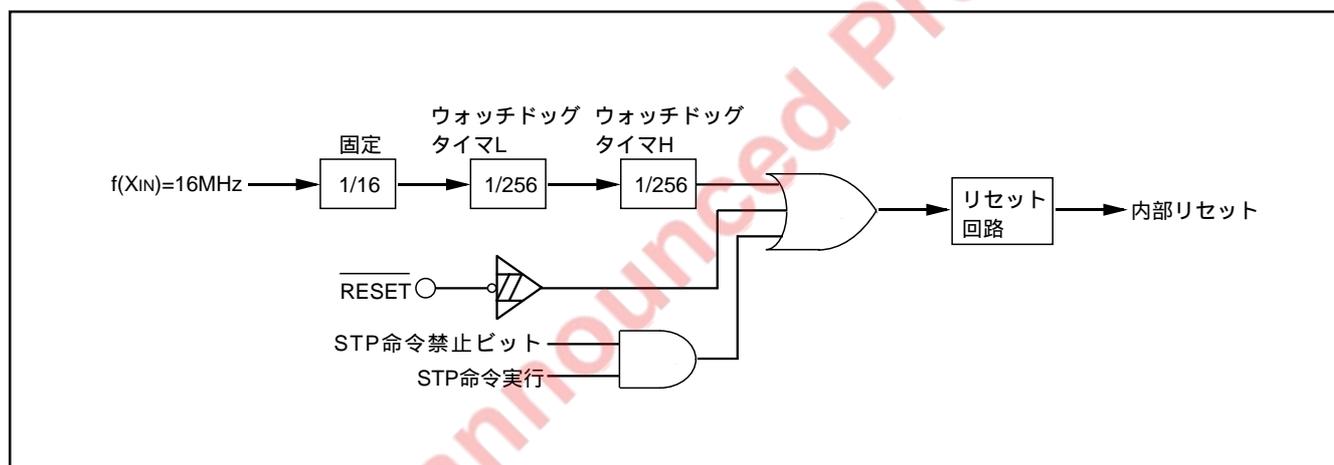


図2.9.4 ウォッチドッグタイマの接続と分周比の設定

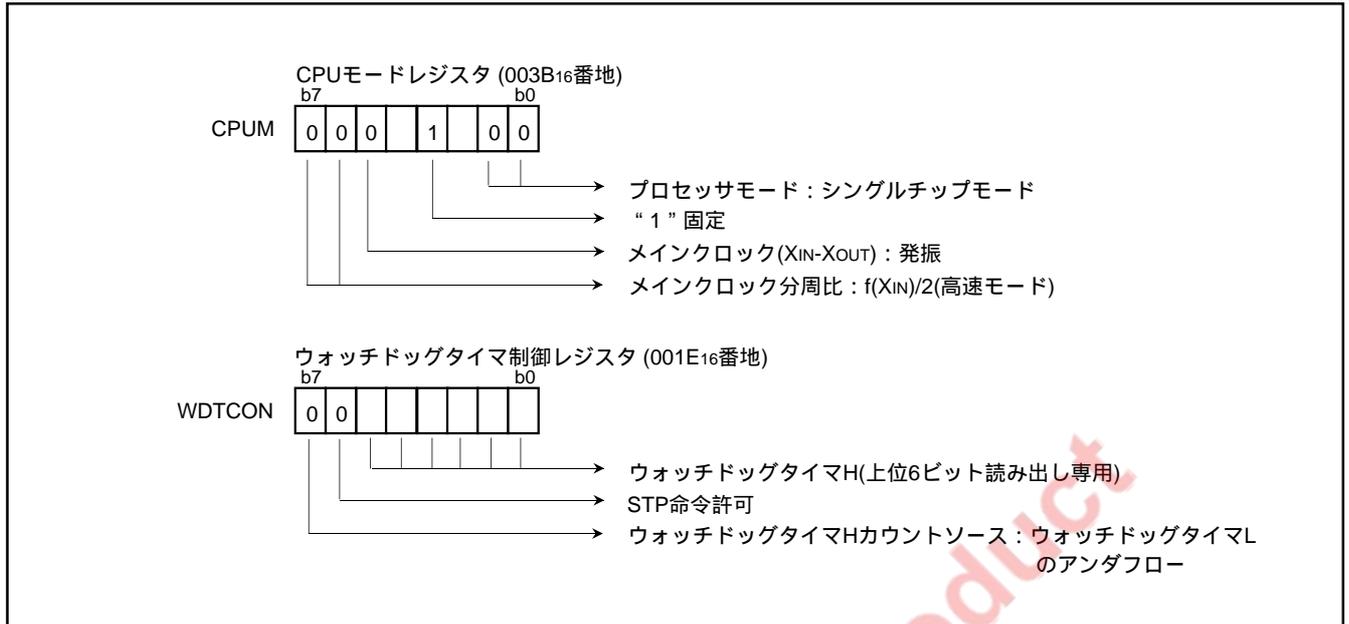


図2.9.5 関連レジスタの初期設定

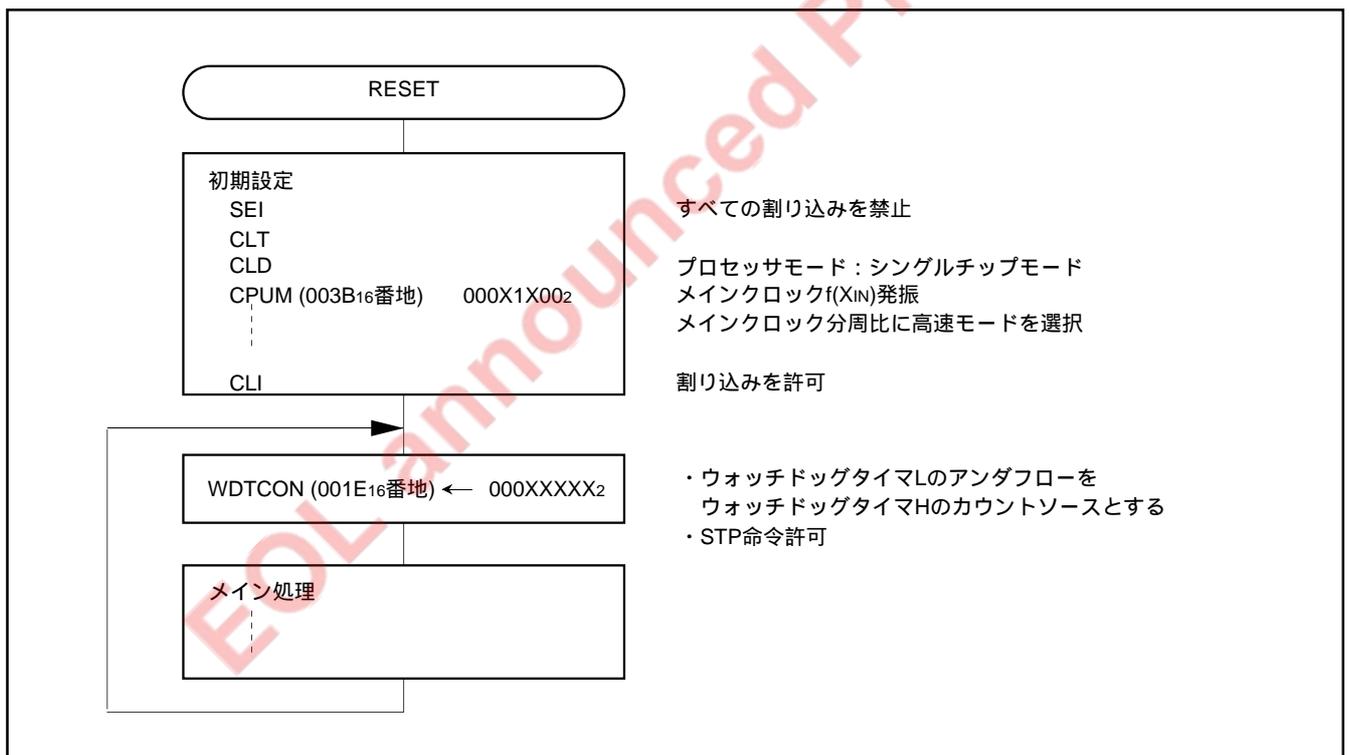


図2.9.6 制御手順

2.9.4 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマHがアンダフローしないようにしてください。  
 ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを一旦“1”にすると、プログラムにより“0”に書き替えることはできません。

## 2.10 リセット

### 2.10.1 リセットICを用いた接続例

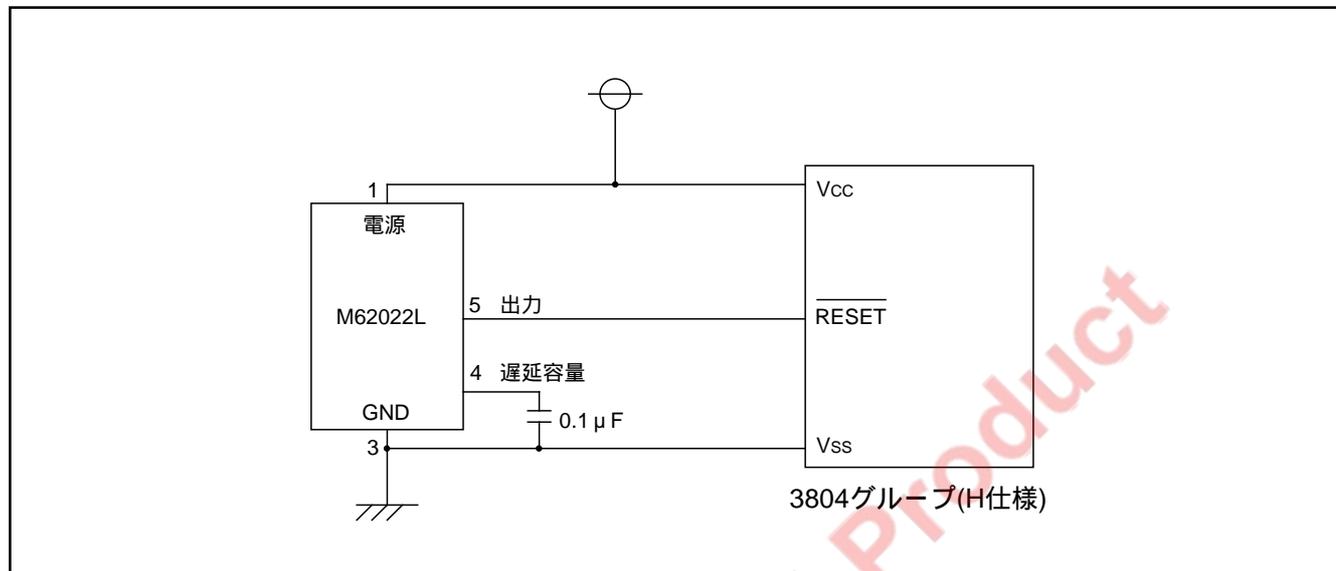


図2.10.1 パワーオンリセット回路例

INT割り込みでシステム電源の低下を検出することによって、RAMバックアップモードに切り替えるシステム例を図2.10.2に示します。

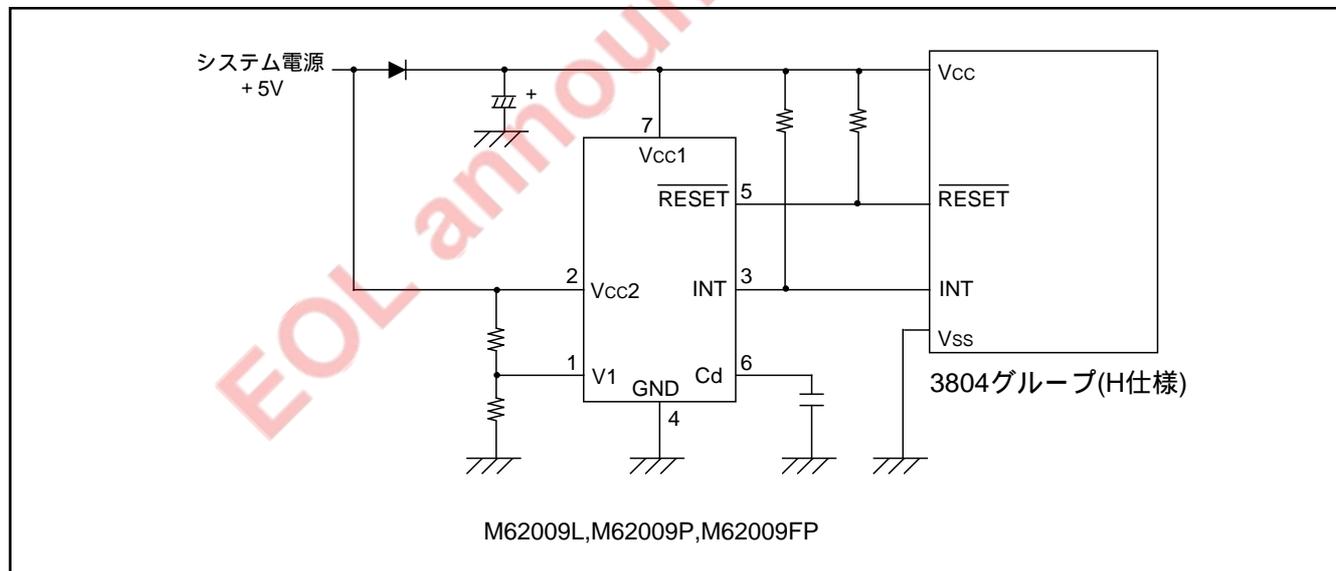


図2.10.2 RAMバックアップシステム

## 2.10.2 リセット端子に関する注意事項

### (1) コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、 $\overline{\text{RESET}}$ 端子と $V_{SS}$ 端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

#### 理由

$\overline{\text{RESET}}$ 入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

EOL announced Product

## 2.11 クロック発生回路

本節ではクロック発生回路に関するレジスタの設定方法、応用例などを説明します。

### 2.11.1 関連レジスタ

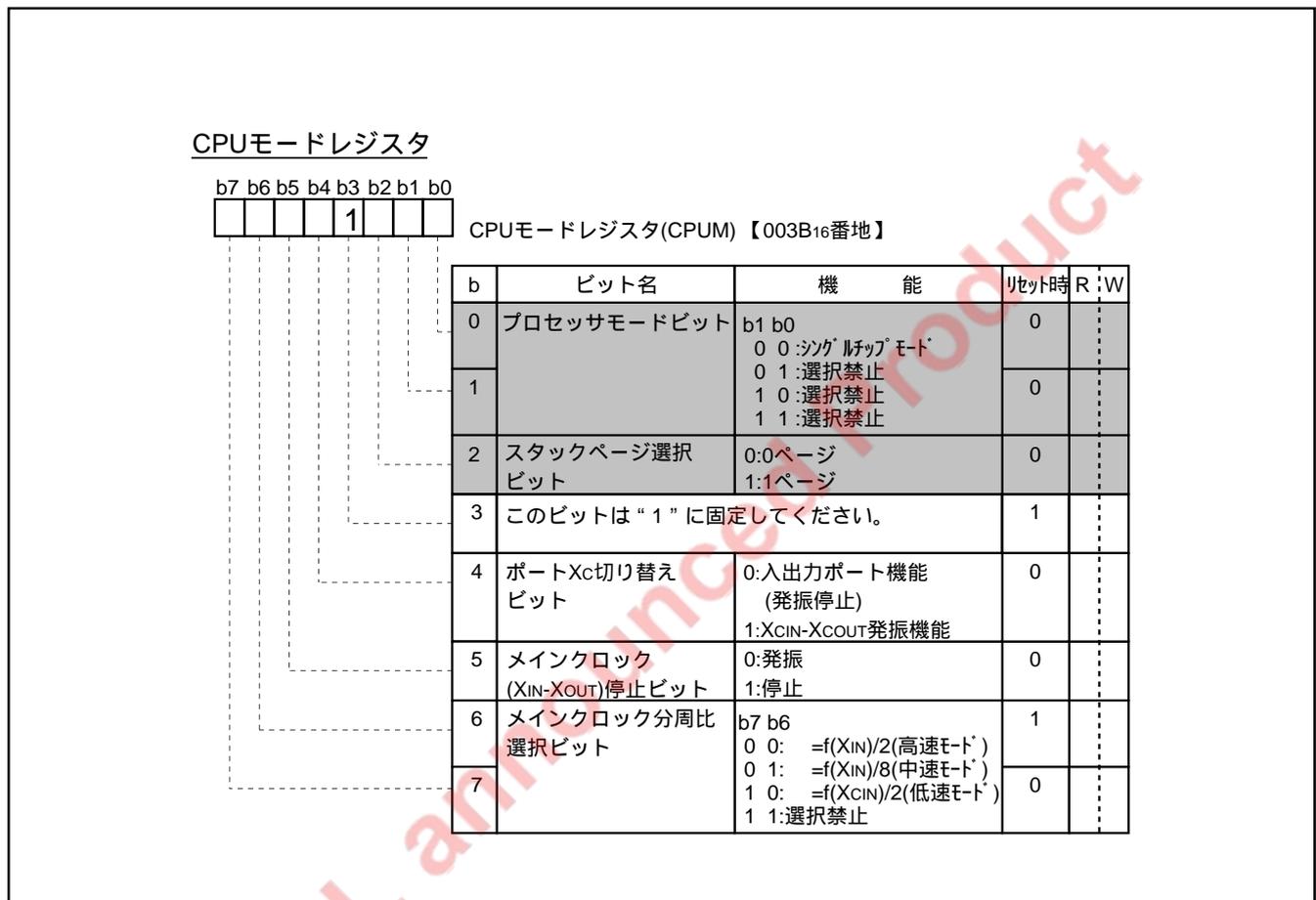


図2.11.1 CPUモードレジスタの構成

## 2.11.2 クロック発生回路の応用例

## (1) 停電時の状態遷移

ポイント：停電時にタイマ割り込みを使用して、1秒ごとに時計をカウントアップします。

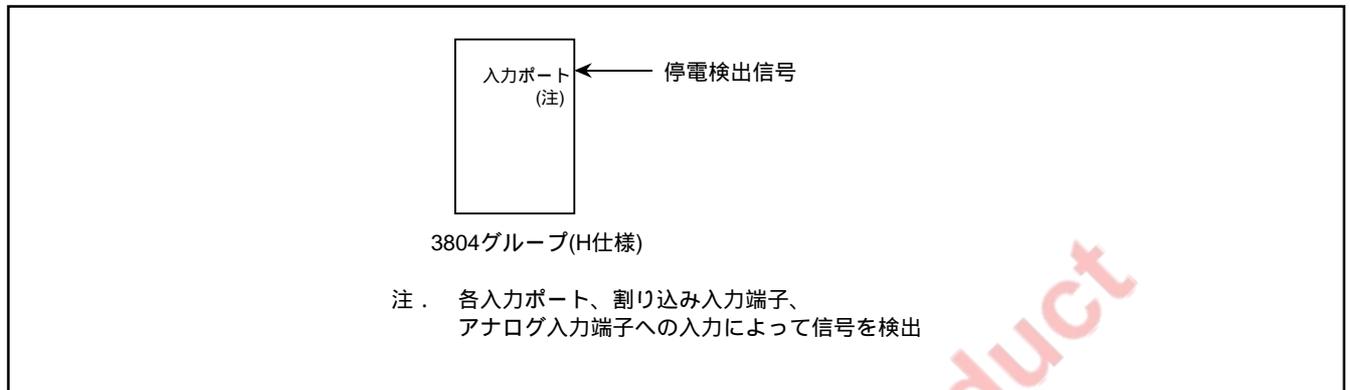


図2.11.2 接続図

仕様： 時計機能を維持しながら可能な限り消費電力を抑制。  
 クロック：  $f(XIN)=8\text{MHz}$ 、 $f(XCIN)=32.768\text{kHz}$ を使用  
 ポート処理  
 入力ポート：外部で“H”又は“L”レベルに固定  
 出力ポート：外部に電流が流れ出さない出力レベルに固定  
 (例：出力レベル“L”時に電流が流れてLEDが点灯するような回路の場合、出力レベル“H”に固定)  
 入出力ポート：入力ポート 外部で“H”又は“L”レベルに固定  
 出力ポート 電流を消費しないデータを出力  
 VREF端子：A/D変換動作を終了させる。DA変換レジスタの設定値を“0016”にすることにより、VREF電流消費を止める。

図2.11.3に停電時の状態遷移図、図2.11.4に関連レジスタの設定を示します。

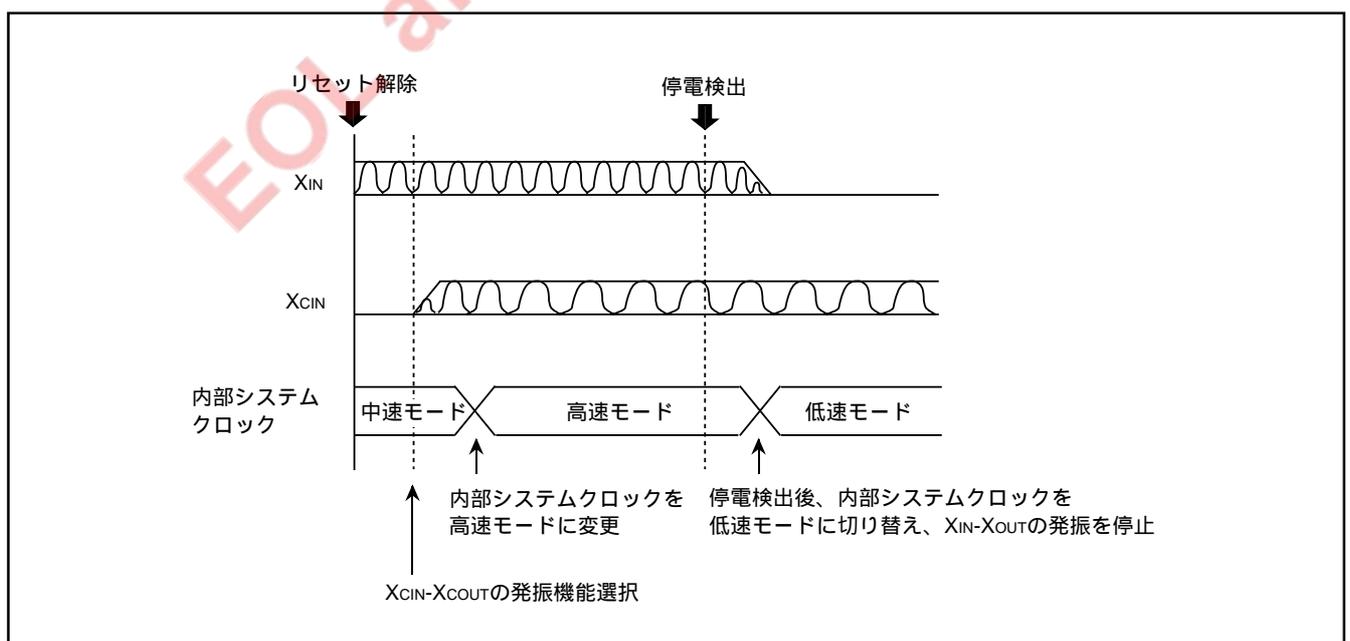


図2.11.3 停電時の状態遷移図

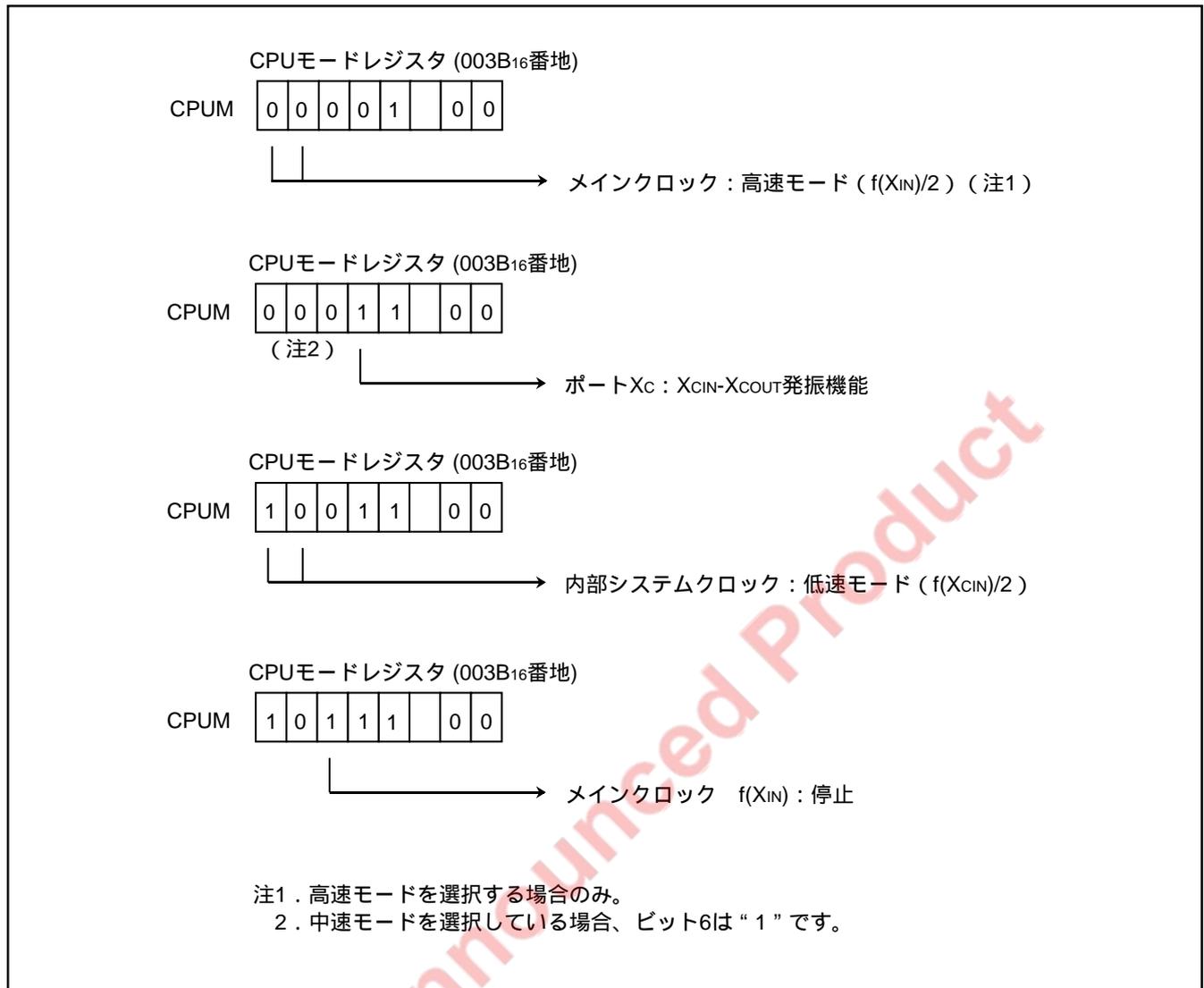


図2.11.4 関連レジスタの設定

制御手順：

下記の順に関連レジスタを設定することによって停電に対応します。

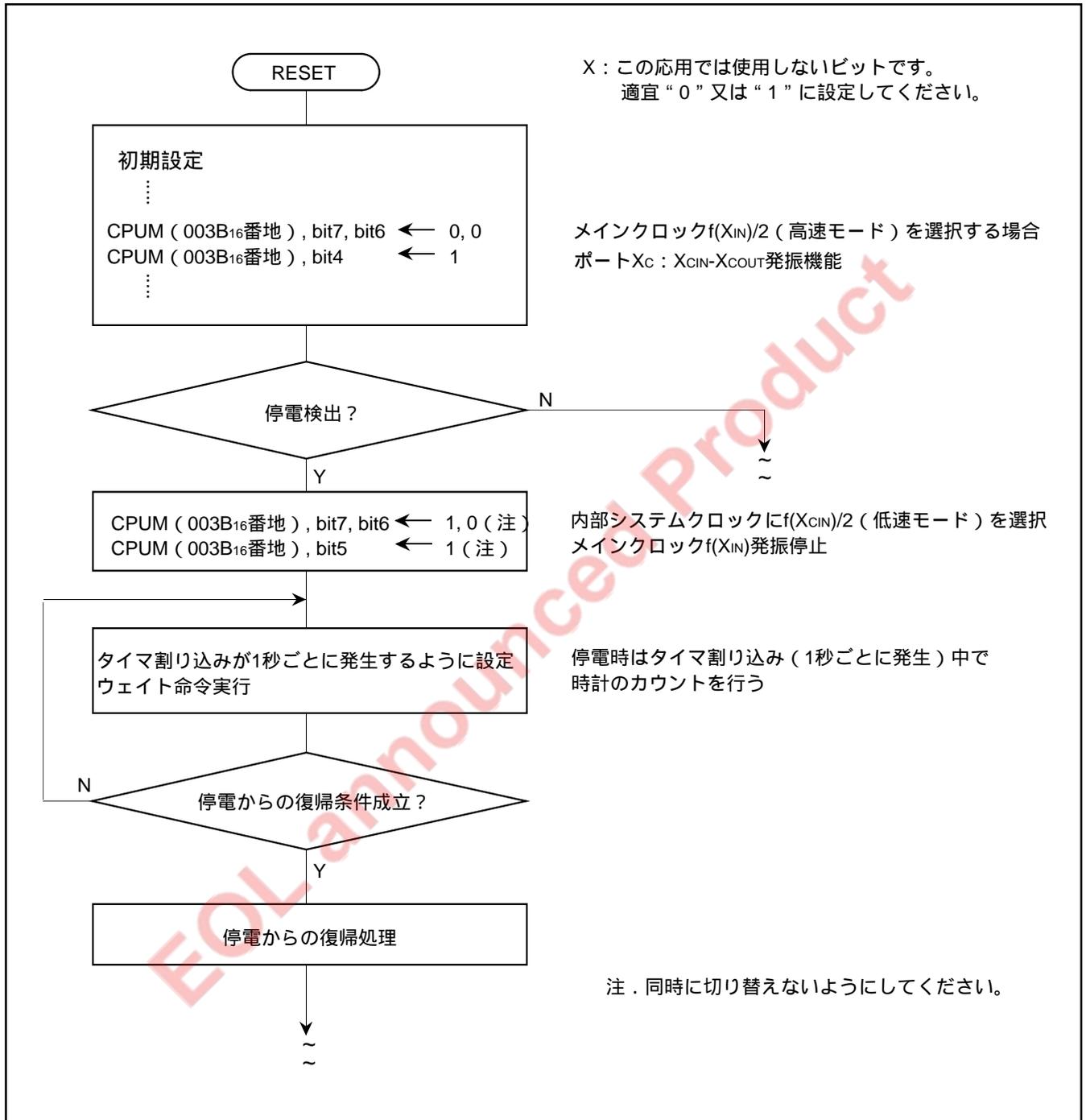


図2.11.5 制御手順

## 2.12 スタンバイ機能

3804グループ(H仕様)はソフトウェアでCPUの動作を停止させ、低消費電力でCPUを待機させるスタンバイ機能を持ちます。

スタンバイ機能には次の2種類があります。

STP命令によるストップモード

WIT命令によるウェイトモード

### 2.12.1 ストップモード

STP命令の実行によって、ストップモードの状態になります。ストップモードではメインクロック(XIN-XOUT)、サブクロック(XCIN-XCOUT)とも発振が停止し、内部クロックφは“H”レベルで停止します。

CPUは停止し、周辺機能の動作も停止します。その結果、消費電力の低減を実現できます。

#### (1) ストップモード時の状態

ストップモード時の状態を表2.12.1に示します。

表2.12.1 ストップモード時の状態

項目	ストップモード時の状態
発振	停止
CPU	停止
内部クロックφ	“H”レベルで停止
入出力ポートP0～P6	STP命令実行時の状態を保持
タイマ	停止(タイマ1、2、X、Y、Z) ただし、タイマX、タイマY、タイマZではイベントカウンタモードが使用できません。
PWM	停止
ウォッチドッグタイマ	停止
シリアルI/O1、シリアルI/O2、シリアルI/O3	停止 ただし、外部クロックモードで動作します。
I <sup>2</sup> Cバスインタフェース	停止
A/Dコンバータ	停止
D/Aコンバータ	出力電圧を保持

## (2) ストップモードの解除

ストップモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合は、ストップモードからの復帰処理が異なります。

## リセット入力による復帰

ストップモード中にRESET端子の入力レベルを“L”にすると、ストップモードは解除されます。すべてのポートが状態となり、メインクロック(XIN-XOUT)のストップモードが解除されると、発振が開始します。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。発振が安定するまでRESET端子の入力レベルを“L”にしておく必要があります。

安定発振しているときに、RESET端子をXINの16サイクル以上“L”レベルに保つと内部がリセット状態になります。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN入力の約10.5~18.5サイクル後に解除されます。

図2.12.1にリセット入力による復帰時の発振安定時間を示します。

リセット入力によるストップモードの解除では、STP命令実行前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されません。

リセットについては「2.10 リセット」を参照してください。

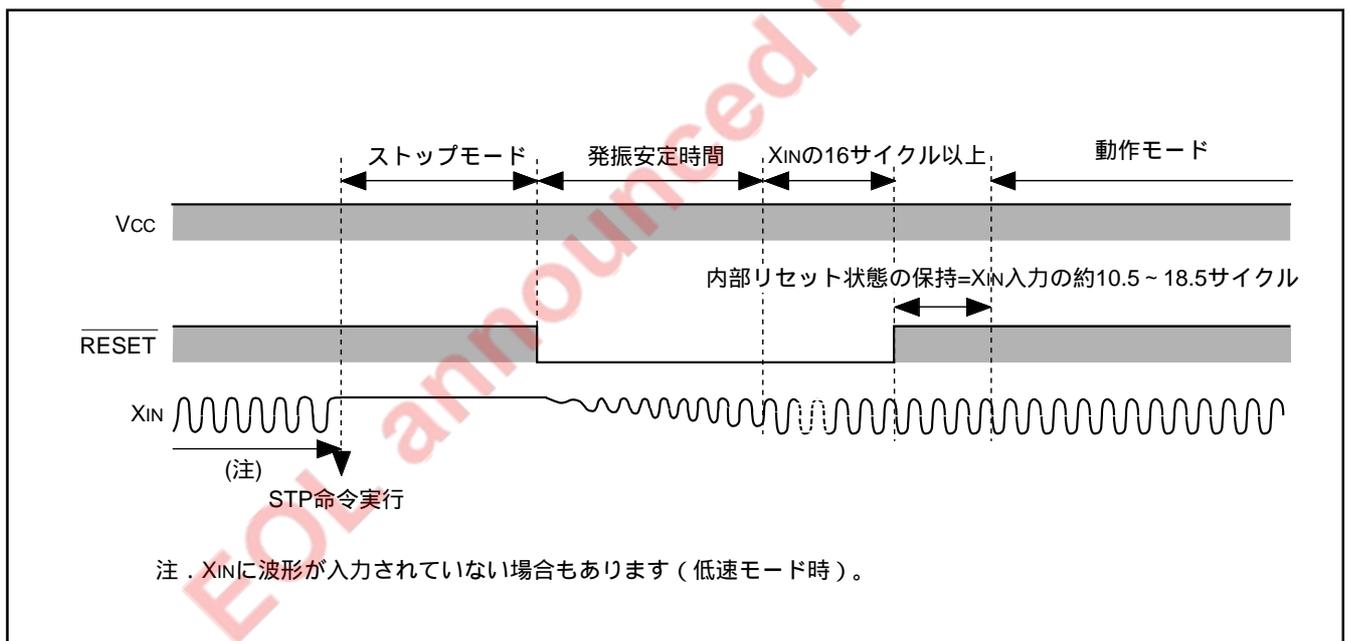


図2.12.1 リセット入力による復帰時の発振安定時間

### 割り込みによる復帰

ストップモード中に割り込み要求が発生すると、ストップモードは解除され、発振が再開します。復帰に使用できる割り込み要因は、下記のとおりです。

- ・ INT<sub>0</sub> ~ INT<sub>4</sub>
- ・ CNTR<sub>0</sub>, CNTR<sub>1</sub>, CNTR<sub>2</sub>
- ・ 外部クロック使用のシリアルI/O( 1, 2, 3 )
- ・ 外部クロック使用のタイマ( X, Y, Z )
- ・ SCL/SDA

ただし、上記の割り込み要因をストップモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、STP命令を実行してください。

#### 【必要なレジスタ設定】

- ①割り込み禁止フラグI=" 0 (許可)
- ②タイマ1の割り込み許可ビット=" 0 (禁止)
- ③復帰に用いる割り込み要因の割り込み要求ビット=" 0 (要求なし)
- ④復帰に用いる割り込み要因の割り込み許可ビット=" 1 (許可)

割り込みについては、「2.2 割り込み」を参照してください。

発振開始時の発振は不安定であり、発振が安定するまでの時間(発振安定時間)が必要です。割り込みによる復帰時には、プリスケータ12、タイマ1\*1がCPUへの内部クロックφの供給を待機する時間を生成します\*2。この待機する時間で、システムクロック側の発振安定時間を確保します。CPUへの内部クロックφの供給は、タイマ1のアンダフロー時から開始されます。

図2.12.2にINT<sub>0</sub>割り込み要求の発生による復帰時の実行シーケンス例を示します。

- \* 1 : STP命令解除後発振安定時間設定ビット( 002F<sub>16</sub>番地のビット6 )が“ 0 ”のときにSTP命令を実行すると、プリスケータ12のカウンタ/ラッチに“ FF<sub>16</sub> ”が、タイマ1のカウンタ/ラッチに“ 01<sub>16</sub> ”が自動的に設定されます。STP命令解除後発振安定時間設定ビットが“ 1 ”のときは自動設定が行われませんので、STP命令実行前に発振安定時間に適した値を任意にプリスケータ12、タイマ1に設定できます。
- \* 2 : 発振開始直後からカウントソースはプリスケータ12カウンタへ供給され、カウント動作が開始します。

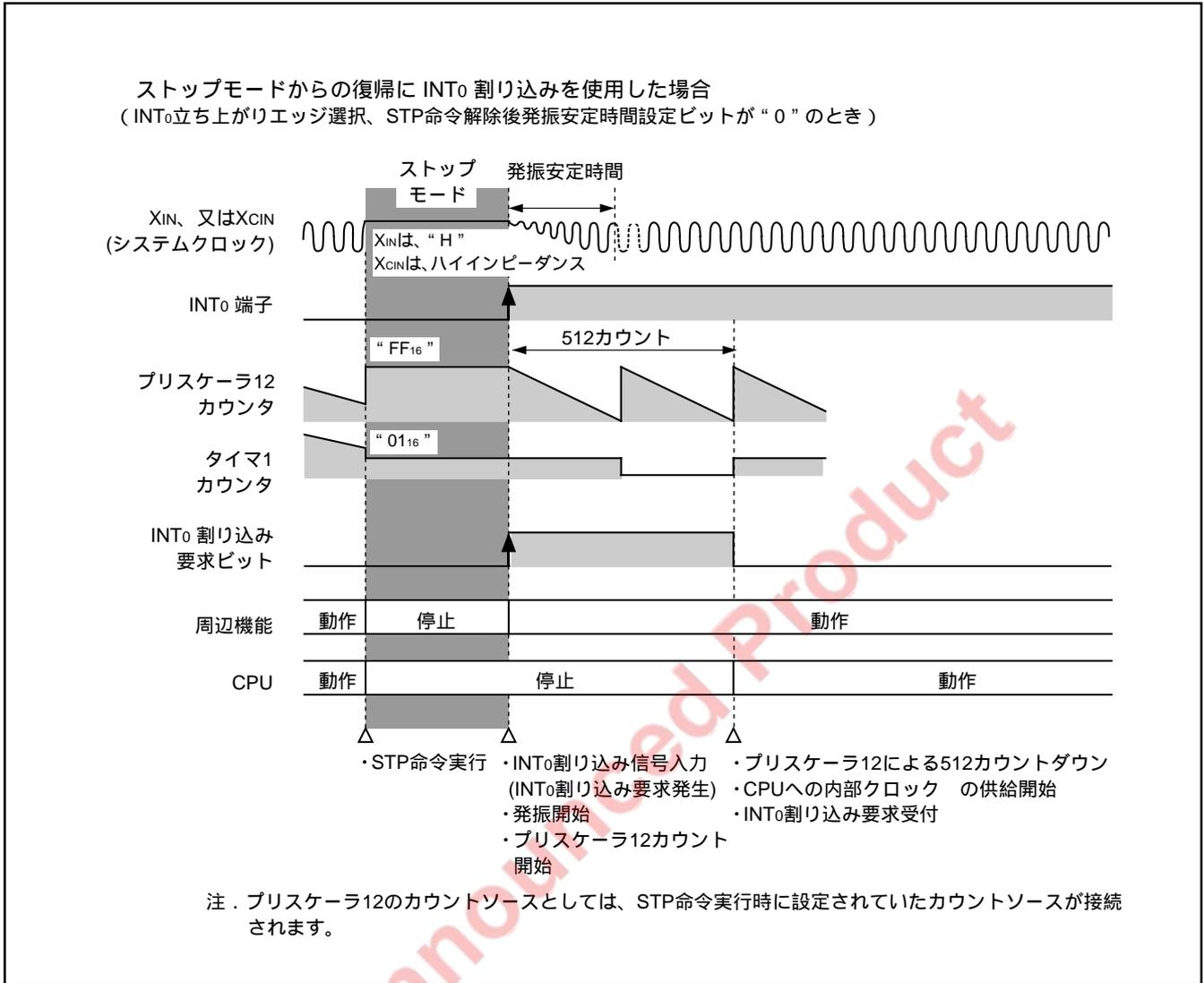


図2.12.2 INT0割り込み要求の発生による復帰時の実行シーケンス例

(3) ストップモード使用上の注意事項

レジスタ設定

ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。(STP命令解除後発振安定時間設定ビットが“0”のとき)

復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にタイマ1のアンダフローまでの発振安定時間が確保されます。STP命令解除後発振安定時間設定ビットが“0”のときはカウンタソースの512カウント分、STP命令解除後発振安定時間設定ビットが“1”のときはプリスケアラ12、タイマ1に任意に設定されたカウント分が発振安定時間になります。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していませんので、注意してください。

## 2.12.2 ウェイトモード

WIT命令の実行によって、ウェイトモードの状態になります。ウェイトモードでは発振は継続しますが、内部クロック $\phi$ は“H”レベルで停止します。

CPUは停止しますが、大部分の周辺機能は動作します。

## (1) ウェイトモード時の状態

周辺機能へのクロックは、供給され続けています。ウェイトモード時の状態を表2.12.2に示します。

表2.12.2 ウェイトモード時の状態

項目	ウェイトモード時の状態
発振	動作
CPU	停止
内部クロック $\phi$	“H”レベルで停止
入出力ポートP0～P6	WIT命令実行時の状態を保持
タイマ	動作
PWM	動作
ウォッチドッグタイマ	動作
シリアルI/O1、シリアルI/O2、 シリアルI/O3	動作
I <sup>2</sup> Cバスインタフェース	停止
A/Dコンバータ	動作
D/Aコンバータ	出力電圧を保持

## (2) ウェイトモードの解除

ウェイトモードはリセット入力、又は割り込み要求の発生によって解除されます。リセット入力を使用する場合と、割り込みを使用する場合は、ウェイトモードからの復帰処理が異なります。

ウェイトモードでは発振は継続されていますので、ウェイトモードが解除されるとただちに命令を実行できます。

## リセット入力による復帰

ウェイトモード中にRESET端子の入力レベルを“L”にすると、ウェイトモードは解除されます。

ウェイトモードが解除されると、すべてのポートが入力状態になり、CPUへの内部クロック $\phi$ の供給が開始します。RESET端子をXINの16サイクル以上“L”レベルに保つと内部がリセット状態になります。リセット状態はRESET端子の入力を“H”レベルに戻した後、XIN入力の約10.5～18.5サイクル後に解除されます。

ウェイトモードの解除では、リセット前の内部RAMの内容が保持されます。ただし、CPUレジスタ、SFRの内容は保持されません。

図2.12.3にリセット入力時間を示します。

リセットについては「2.10 リセット」を参照してください。

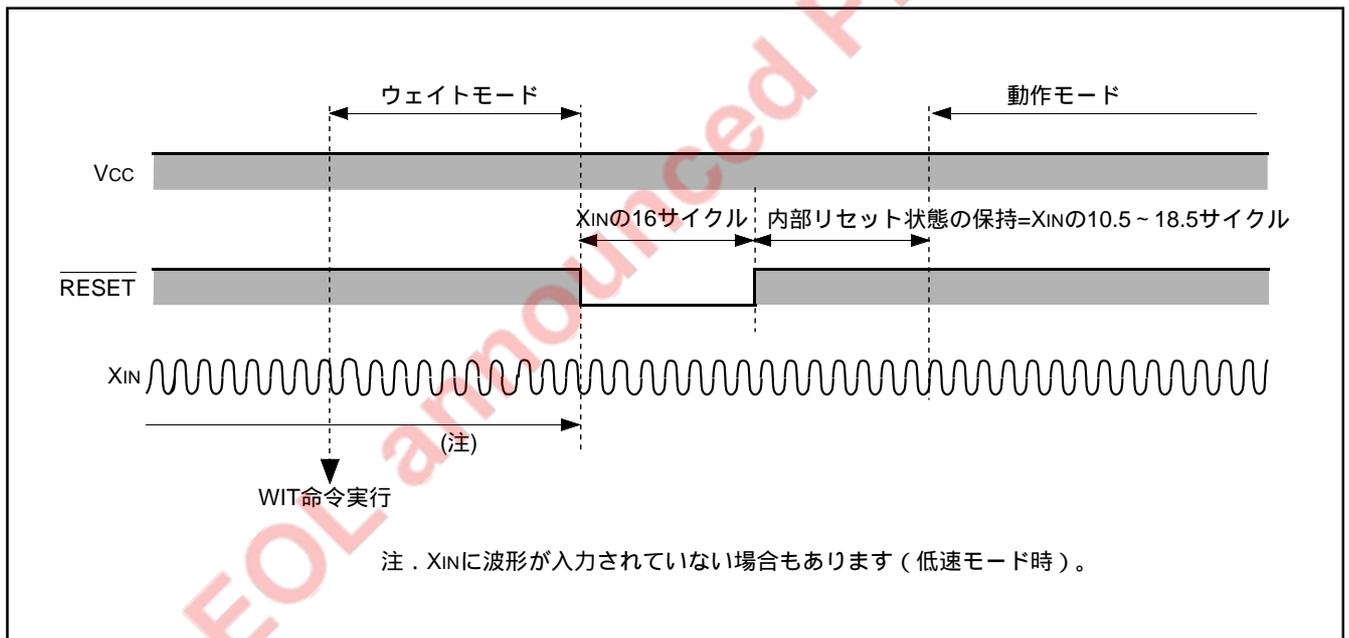


図2.12.3 リセット入力時間

### 割り込みによる復帰

ウェイトモード中に割り込み要求が発生すると、ウェイトモードは解除され、CPUへの内部クロック $\phi$ の供給が開始します。同時に復帰に使用した割り込み要因の要求が受け付けられて、その割り込み処理ルーチンが実行されます。

ただし、割り込み要因をウェイトモードからの復帰に使用する場合は、使用する割り込みを許可するため、次の設定を行った後、WIT命令を実行してください。

#### 【必要なレジスタ設定】

- ①割り込み禁止フラグI=" 0 (許可)
- ②復帰に用いる割り込み要因の割り込み要求ビット=" 0 (要求なし)
- ③復帰に用いる割り込み要因の割り込み許可ビット=" 1 (許可)

割り込みについては、「2.2 割り込み」を参照してください。

### (3) ウェイトモード使用上の注意事項

#### 復帰後のクロック

WIT命令実行時にXCINをシステムクロックとして設定し、XINの発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、XCINの発振が停止し、XINが発振を開始し、XINがシステムクロックになります。

上記においてXINの発振が安定するまで、RESET端子に“ L ”レベルを入力しておく必要があります。

## 2.13 フラッシュメモリモード

本節ではM38049FFHSP/FP/HP/KPのフラッシュメモリモードに関するレジスタの設定方法、注意事項などを説明します。

### 2.13.1 概要

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。ただし、SFR領域の一部がマスクROM版と異なります(「2.13.2 メモリ配置」参照)。

フラッシュメモリ版では、パラレル入出力モード、標準シリアル入出力モード、及びCPU書き換えモードの3つの書き換えモードで内蔵フラッシュメモリを操作できます。

### 2.13.2 メモリ配置

M38049FFHSP/FP/HP/KPは60Kバイトのフラッシュメモリを内蔵しています。

図2.13.1にM38049FFHSP/FP/HP/KPのメモリ配置を示します。

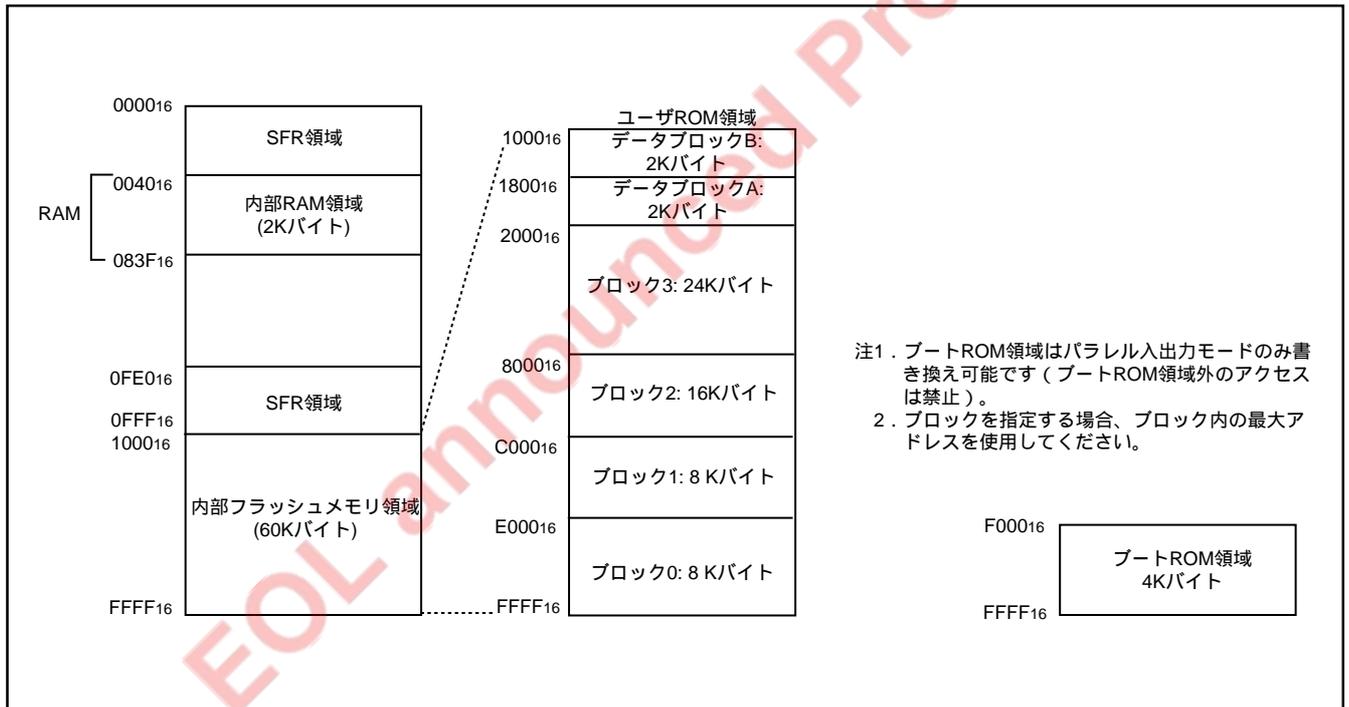


図2.13.1 M38049FFHSP/FP/HP/KPのメモリ配置

2.13.3 関連レジスタ

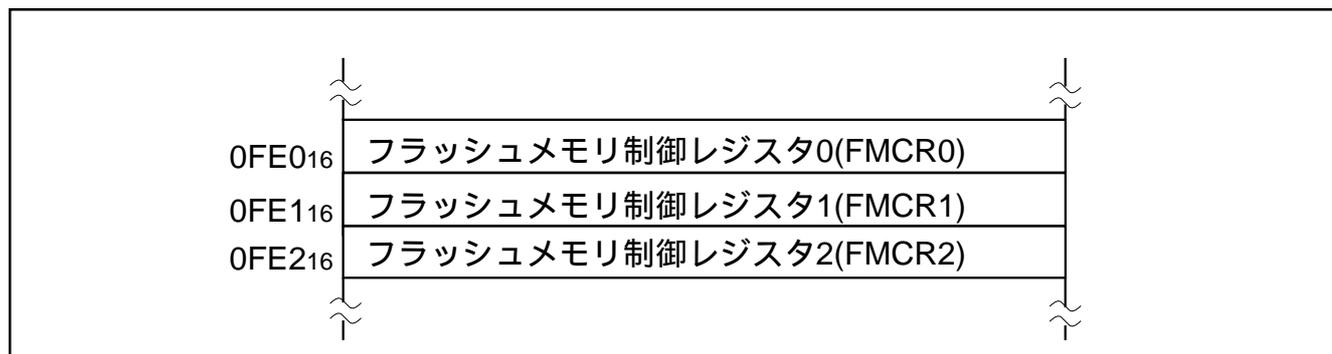


図2.13.2 フラッシュ関連レジスタのメモリ配置

**フラッシュメモリ制御レジスタ0**

b7 b6 b5 b4 b3 b2 b1 b0

フラッシュメモリ制御レジスタ0(FMCR0) 【OFE016番地】

b	ビット名	機 能	リセット時	R/W
0	RY/BYステータス フラグ	0: ビジー (自動書き込み、自動消去中) 1: レディ	1	x
1	CPU書き換えモード 選択ビット (注1)	0: CPU書き換えモード無効 (ソフトウェアコマンド無効) 1: CPU書き換えモード有効 (ソフトウェアコマンド受付可能)	0	
2	8KBユーザブロックE/W 許可ビット (注1, 2)	0: E/W禁止 1: E/W許可	0	
3	フラッシュメモリ リセットビット (注3, 4)	0: 通常動作 1: リセット	0	
4	不使用 (“1” を書き込まないでください。)		0	
5	ユーザ領域/ブート領域 選択ビット (注5)	0: ユーザROM領域アクセス 1: ブートROM領域アクセス	0	
6	プログラムステータス フラグ	0: パス 1: エラー	0	x
7	イレーズステータス フラグ	0: パス 1: エラー	0	x

注1. “1” を設定する場合は “0” を書き込んだ後、続けて “1” を書き込んでください。“0” にするときは、“0” を書き込んでください。  
 2. CPU書き換えモード選択ビットが “1” のときだけ書き込めます。  
 3. CPU書き換えモード選択ビットが “1” のときだけ有効です。CPU書き換えモード選択ビットが “0” のときは “0” に固定してください。  
 4. このビットを “1” にする (フラッシュメモリの制御回路をリセットする) と、10μs間フラッシュメモリにアクセスできません。  
 5. このビットへの書き込みはRAM上のプログラムから実行してください。

図2.13.3 フラッシュメモリ制御レジスタ0の構成

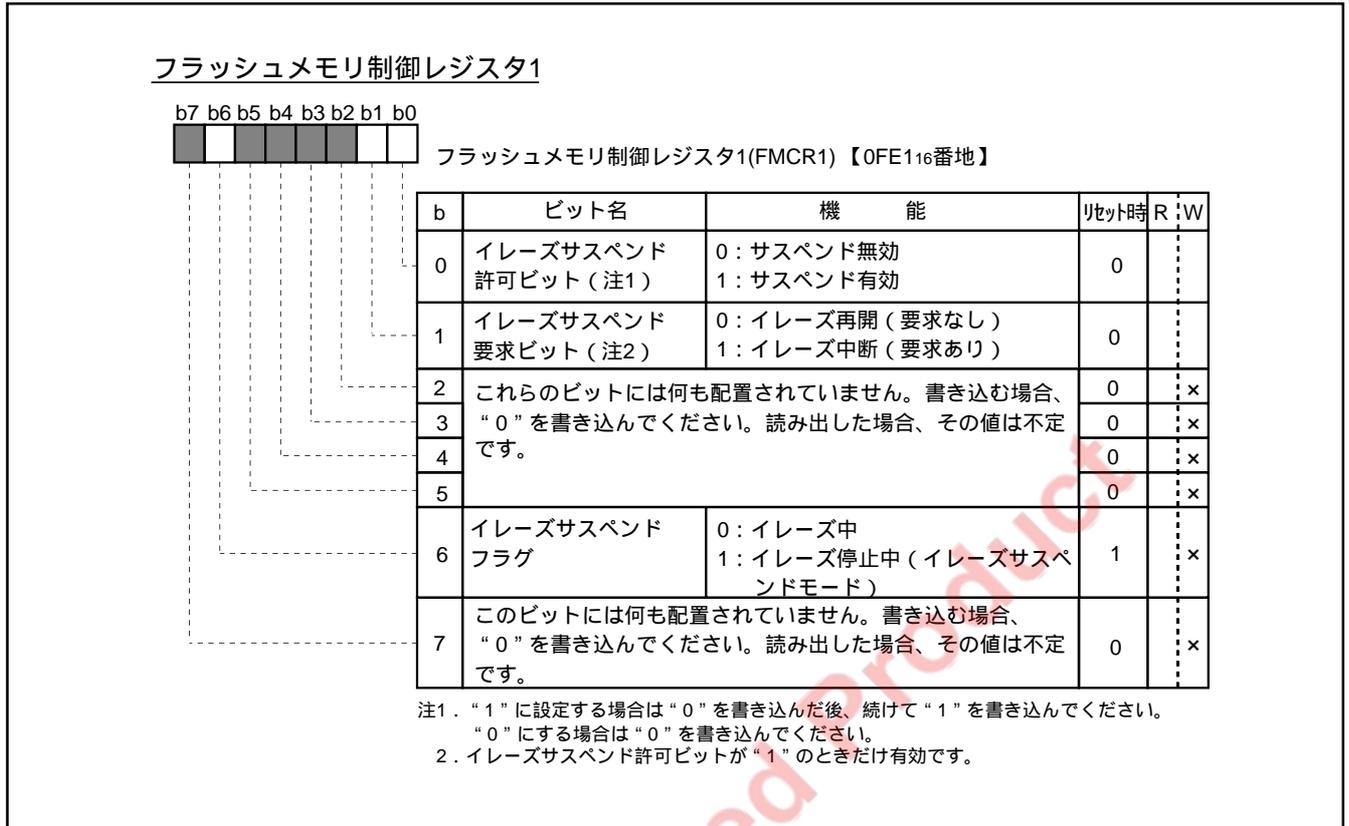


図2.13.4 フラッシュメモリ制御レジスタ1の構成

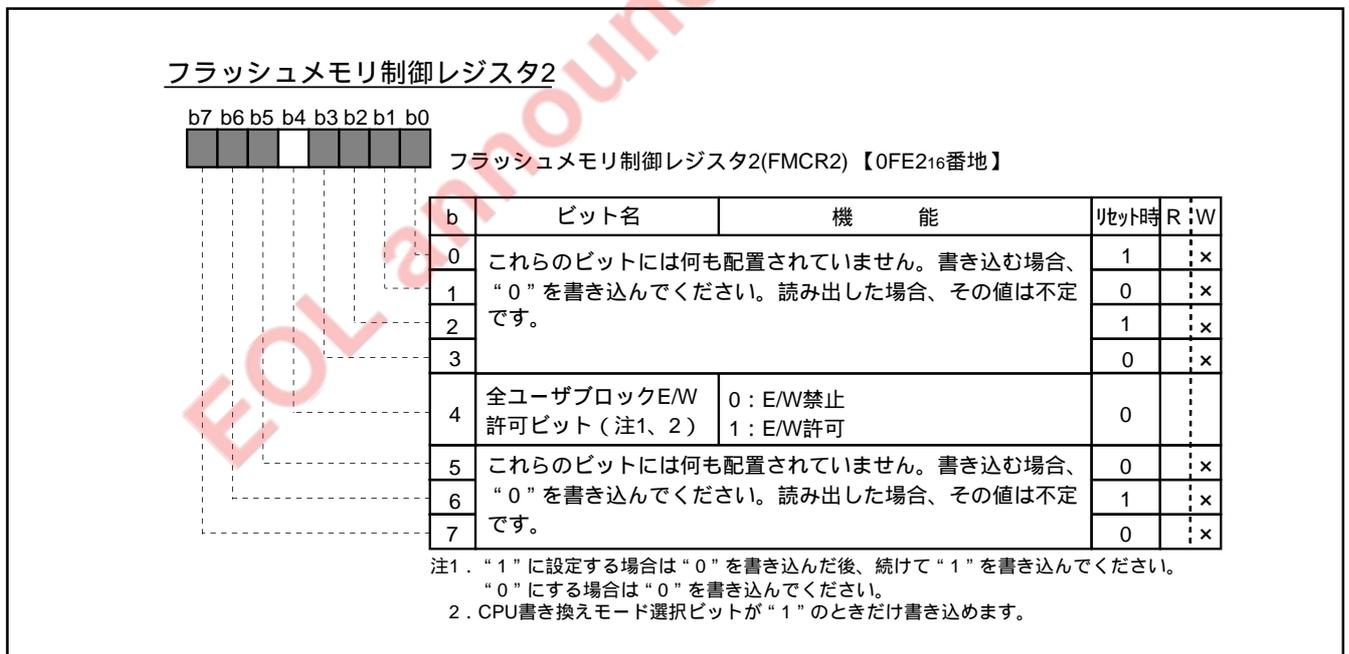


図2.13.5 フラッシュメモリ制御レジスタ2の構成

## 2.13.4 パラレル入出力モード

パラレル入出力モードは、専用プログラマ(EFP- 等)を使用することによって、内蔵フラッシュメモリ領域へのプログラム/イレーズを行うことができます。プログラム/イレーズのメモリ領域は、ブートROM領域：0F000<sub>16</sub>～0FFFF<sub>16</sub>番地、ユーザROM領域：01000<sub>16</sub>～0FFFF<sub>16</sub>番地となります。特にイレーズを行うときにメモリ領域の設定を間違えると、製品の永久的なダメージにつながりますので注意が必要です。

表2.13.1にパラレル入出力モードでEFP- を用いてプログラムを行う場合のパラレルユニットを示します。

・EFP-I : (株) 彗星電子システム社製

表2.13.1 パラレル書き込み時のパラレルユニット(EFP- 使用時: (株) 彗星電子システム社製)

品種名	パラレルユニット	ブートROM領域	ユーザROM領域
M38049FFHSP	EF3803F-64S	0F000 <sub>16</sub> ～0FFFF <sub>16</sub>	01000 <sub>16</sub> ～0FFFF <sub>16</sub>
M38049FFHFP	EF3803F-64F		
M38049FFHHP	EF3803F-64H		
M38049FFHKP	EF3803F-64U		

## 2.13.5 標準シリアル入出力モード

標準シリアル入出力モード1で書き込みを行う場合の、プログラマ(EFP- ;別途シリアルユニットEF1SRP-01Uが必要)とマイコンの端子接続例(4線式)について表2.13.2に示します。

・EFP- : (株) 彗星電子システム社製

表2.13.2 シリアル書き込み時のプログラマとの接続例(4線式)

機 能	EFP- (EF1SRP-01U)		フラッシュマイコン		
	信号名	EF1RP-01U側 コネクタ PIN No.	端子名	M38049FFHSP ピン番号	M38049FFHFP/HP/KP ピン番号
転送クロック入力	T_SCLK	9	P46/SCLK1	21	13
シリアルデータ入力	T_TXD	10	P44/RxD1	23	15
シリアルデータ出力	T_RXD	11	P45/TxD1	22	14
送受信許可出力	T_BUSY	12	P47/ $\overline{\text{SRDY1}}$ /CNTR2	20	12
“H”入力	T_VPP	3	CNVss	26	18
リセット入力	T_RESET	14	$\overline{\text{RESET}}$ (注1)	27	19
ターゲットボード 電源モータ入力	T_VDD (注2)	4	Vcc (注2)	1	57
GND	GND (注3)	1,2,15,16	Vss, AVss (注3)	32, 3	24, 59

注1. 書き込みベリファイ後のリセット解除は行われないため、書き込み後、MCUを動作させるときは、ターゲット接続ケーブルを切り離してください。

2. EFP-I側で使用する出力バッファの電源電圧を、ユーザ側電源電圧(Vcc)と合わせるために、Vccをユーザ側から供給してください。

3. GND信号にはEF1SRP-01U側コネクタの1、2、15、16番の4端子を用意しています。ターゲット基板に接続する場合、1端子のみの接続でも問題はありませんが、2端子以上で接続することを推奨します。

### 2.13.6 CPU書き換えモード

CPU書き換えモードでは、中央演算処理装置(CPU)がソフトウェアコマンドを実行することにより、内蔵フラッシュメモリ領域を書き換えることができます。したがってROMライターなどを使用せずに、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリ領域の内容を書き換えることができます。

書き換えプログラムは、あらかじめ内蔵フラッシュメモリ領域に書き込んでください。ただし、CPU書き換えモードでは、内蔵フラッシュメモリからの読み出しができません。したがって、書き換え制御プログラムは、RAMに転送した後、その領域上で実行してください。

CPU書き換えモードでは、リードアレイコマンド、リードステータスレジスタコマンド、クリアステータスレジスタコマンド、プログラムコマンド、ブロックイレースコマンドが使用できます。各コマンドの詳細については「1章 フラッシュメモリモード(CPU書き換えモード)」を参照してください。

#### (1) CPU書き換えモード設定/解除方法

内蔵フラッシュメモリの書き換えモードでの操作手順を示します。

##### < 開始手順 >

CNV<sub>SS</sub>端子、P4<sub>5</sub>/TxD<sub>1</sub>端子に“H”を印加する。(ブートROM領域へエントリの場合)

リセットを解除する。

CPUモードレジスタのビット6,7(メインクロック分周比選択ビット)を設定する。(システムクロックφが4.0MHz以下になるように設定してください。)

CPU書き換えモード制御プログラムを内蔵RAMに転送した後、RAM上のこの制御プログラムへジャンプする(この制御プログラムで、以下の動作を制御してください)。

CPU書き換えモード選択ビット(0FFE<sub>16</sub>番地のビット1)に“1”を設定する。

このビットに“1”を設定するには“0”書き込み、“1”書き込みを連続して行う必要があります。

全ユーザブロックE/W許可ビット(0FE2<sub>16</sub>番地のビット4)に“1”を設定する。8KBユーザブロックE/W許可ビットを設定する。(E/Wを禁止する場合“0”、E/Wを許可する場合“1”に設定してください。)これらのビットに“1”を設定するには“0”書き込み、“1”書き込みを連続して行う必要があります。

ソフトウェアコマンドを用いて、フラッシュメモリの操作を実施する。

注1. これ以外に、フラッシュメモリに書き込むデータを外部(例えばシリアルI/O)から入力するための制御、ポート等の初期設定、ウォッチドッグタイマへの書き込み等が必要です。

##### < 解除手順 >

リードアレイコマンドを実行する。

全ユーザブロックE/W許可ビット(0FE2<sub>16</sub>番地のビット4)と8KBユーザブロックE/W許可ビット(0FE0<sub>16</sub>番地のビット2)に“0”を設定して、ユーザROM領域(データブロックを除く)をE/W禁止にします。(注2)

CPU書き換えモード選択ビット(0FFE<sub>16</sub>番地のビット1)を“0”に設定する。

RAM上のCPU書き換え制御プログラムからフラッシュメモリ上のユーザプログラムへジャンプする。

注2. E/W禁止は必須ではありませんが、システムの安全性向上のため、E/W実行時以外はE/W禁止にすることを推奨します。

また、CPU書き換えモード中に割り込みが発生しないように、CPU書き換えモードを選択する前に、以下の処理を実施してください。

- ・割り込み禁止フラグ(I) = “ 1 ”にする。

既にウォッチドッグタイマが起動している場合は、CPU書き換えモード中、ウォッチドッグタイマ制御レジスタ(001E<sub>16</sub>番地)には定期的書き込みを行い、ウォッチドッグタイマHのアンダフローによるリセットが発生しないようにしてください。

なお、プログラム又はイレーズ中は、ウォッチドッグタイマは自動的にクリアされるため、アンダフローによる内部リセットは発生しません。

CPU書き換えモード時に、割り込み及びリセットが発生した場合は、以下ようになります。

- ・割り込み：プログラムが暴走します。割り込みベクトル領域のあるフラッシュメモリの読み出しができません。
- ・ウォッチドッグタイマHアンダフロー、リセット  
：内蔵フラッシュメモリ制御回路、及びフラッシュメモリ制御レジスタがリセットされ、マイクロコンピュータがリセットされます。リセット解除時、CNV<sub>SS</sub>とP4<sub>5</sub>/TxD<sub>1</sub>が共に“ H ”の場合は、ブートモードで起動されます。

また、プログラム/イレーズ中に上記割り込み及びリセットが発生した場合、フラッシュメモリの書き換えが完了していないため、リセット解除後も正常に動作しないデータになっている可能性が高く、注意が必要です。この場合には、パラレルモード又はシリアルモードでフラッシュメモリを再度正しくプログラムしてください。

## 2.13.7 フラッシュメモリモードの応用例

標準シリアル入出力モード使用時のシステム基板上での制御端子処理例、及びCPU書き換えモード時の制御例について示します。

## (1) 標準シリアル入出力モード使用時のシステム基板上での制御端子処理例

図2.13.6に示すように、標準シリアル入出力モードでは、マイクロコンピュータを基板に実装した状態で、内蔵フラッシュメモリの内容を書き換えることができます。標準シリアル入出力モード時、制御端子となるP44/RXD、P45/TXD、P46/SCLK1、P47/SRDY1/CNTR<sub>2</sub>、CNVSS、及びRESET端子の処理例を以下に示します。

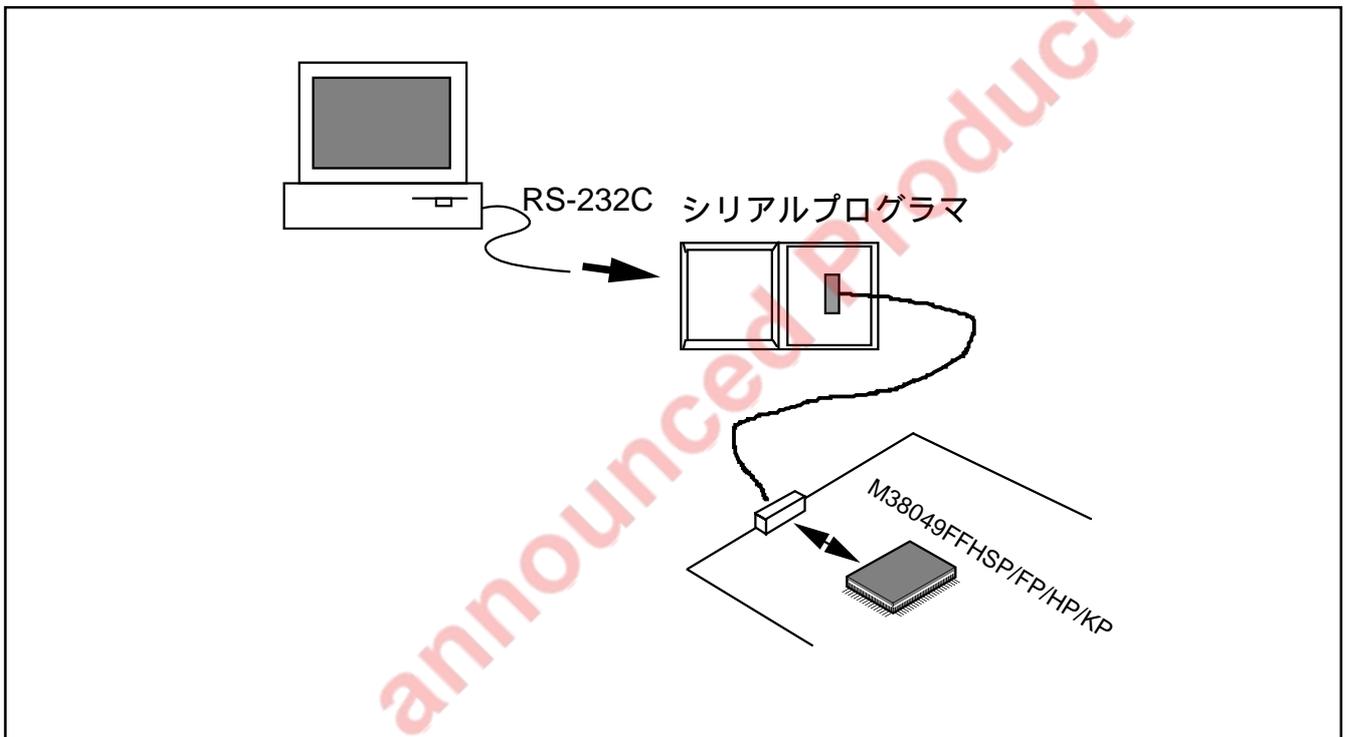


図2.13.6 標準シリアル入出力モードによる内蔵フラッシュメモリ書き換え例

制御信号がユーザシステム回路に影響しない場合

標準シリアル入出力モード時の制御信号が、ユーザシステム回路で使用されていない、あるいはユーザシステム回路に影響しない場合は、図2.13.7に示すように結線できます。

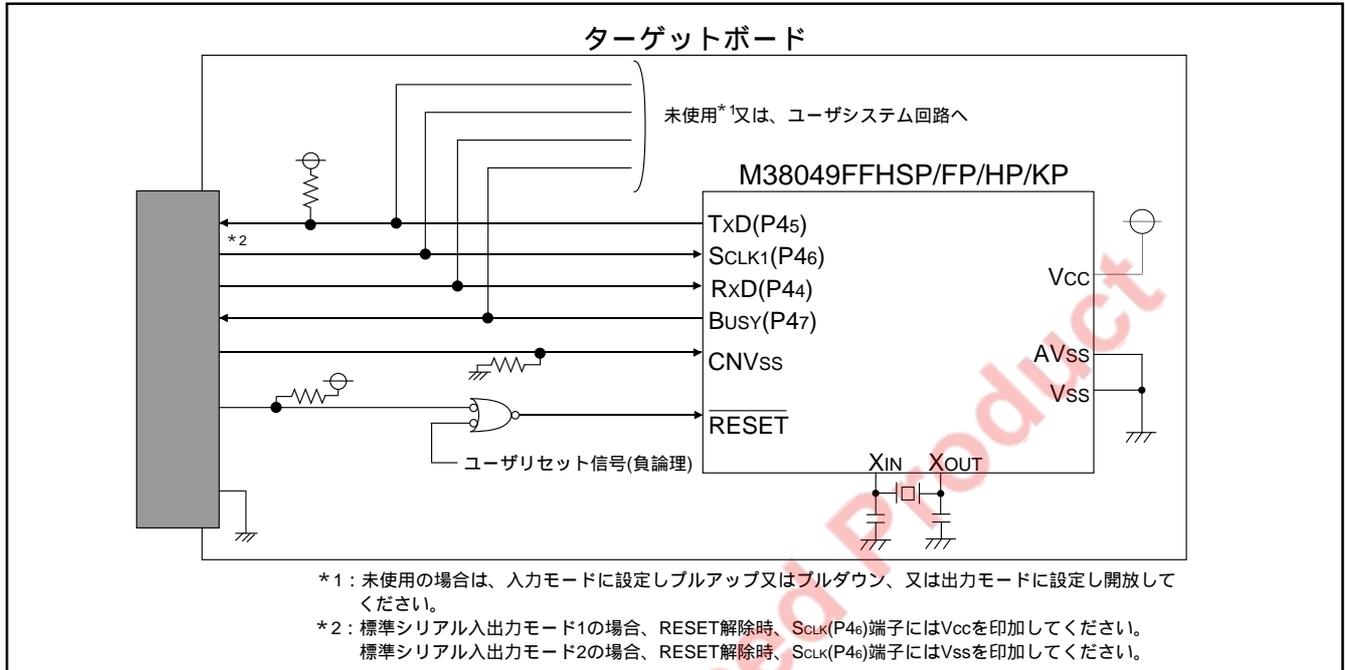


図2.13.7 標準シリアル入出力モード時の基板上的端子処理例(1)

制御信号がユーザシステム回路に影響する場合

図2.13.8は標準シリアル入出力モード時、ジャンプスイッチによりユーザシステム回路へ供給される制御信号を遮断する例です。

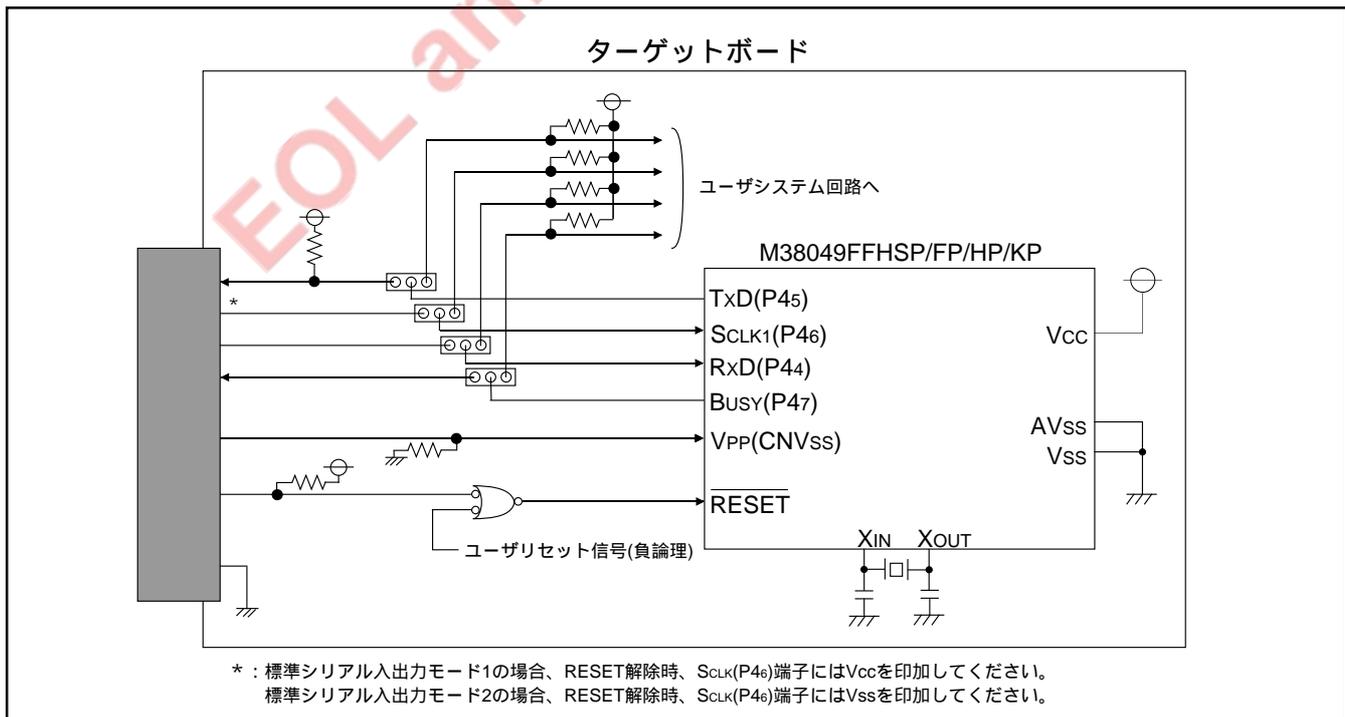


図2.13.8 標準シリアル入出力モード時の基板上的端子処理例(2)



## (2) CPU書き換えモード時の制御端子処理例

この例では、シリアルI/Oを用いてデータを受信し、そのデータをCPU書き換えモードで内蔵フラッシュメモリへ書き込みます。

図2.13.10にCPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例を示します。CPU書き換えモードの設定/解除方法は「2.13.6 CPU書き換えモード」を参照してください。

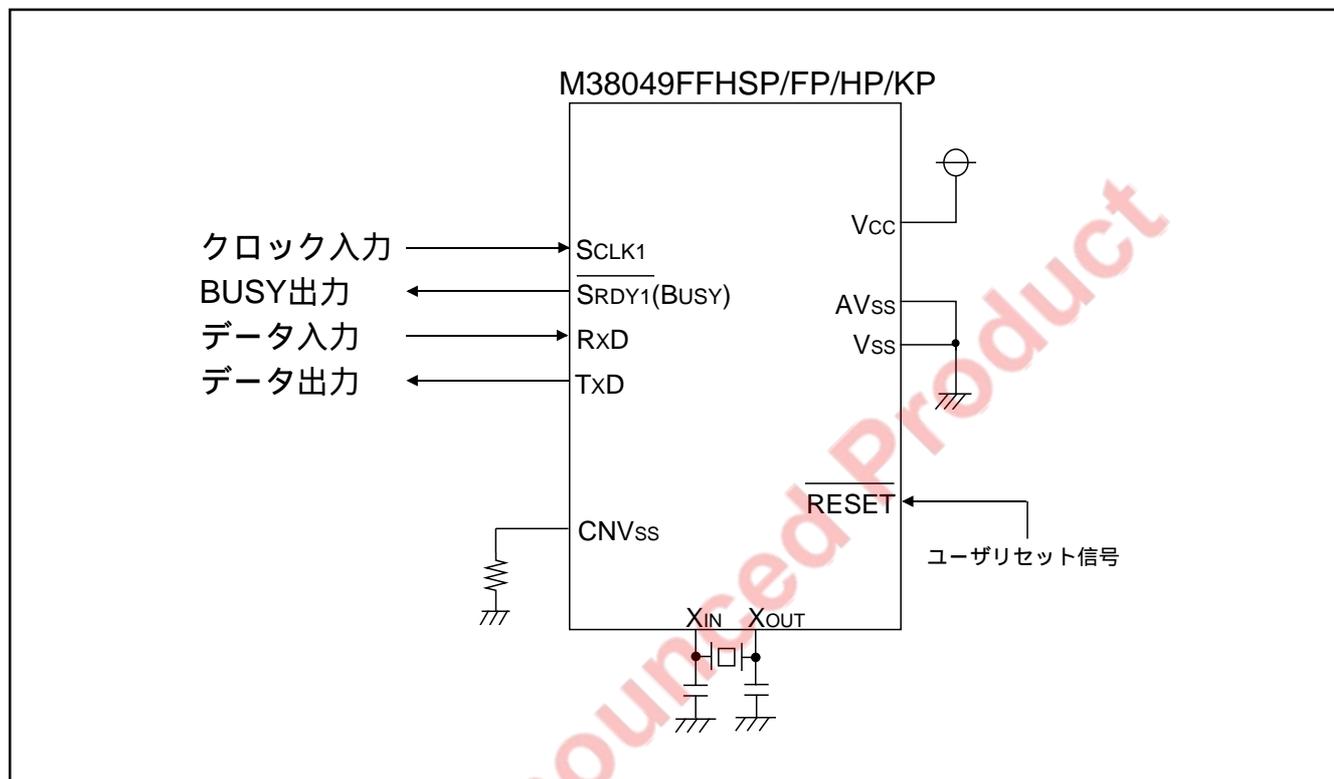


図2.13.10 CPU書き換えモードによる内蔵フラッシュメモリ書き換えシステム例(シングルチップモード)

### 2.13.8 CPU書き換えモードに関する注意事項

#### (1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B<sub>16</sub>番地のビット6,7)によって、システムクロック が4.0MHz以下になるように設定してください。

#### (2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

#### (3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

#### (4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

#### (5) リセット

常に受け付けます。リセット解除時、CNV<sub>SS</sub>=Hの場合、ブートモードで起動されるので、ブートROM領域のFFF<sub>C16</sub>、FFF<sub>D16</sub>番地に格納されたアドレスからプログラムがスタートします。

EOL announced Product

## Memo

EOL announced Product

## 第3章

### 付 録

- 3.1 電気的特性
- 3.2 標準特性例
- 3.3 使用上の注意事項
- 3.4 ノイズに関する注意事項
- 3.5 レジスタ一覧
- 3.6 パッケージ寸法図
- 3.7 命令コード一覧表
- 3.8 機械語命令一覧表
- 3.9 SFRメモリマップ
- 3.10 ピン接続図

### 3.1 電気的特性

#### 3.1.1 絶対最大定格

表3.1.1 絶対最大定格

記号	項 目	条 件	定 格 値	単 位
VCC	電源電圧	Vss端子を基準にして測定する。 出力トランジスタは遮断状態	- 0.3 ~ 6.5	V
Vi	入力電圧 P00 ~ P07 , P10 ~ P17 , P20 ~ P27 , P30, P31, P34 ~ P37, P40 ~ P47 , P50 ~ P57 , P60 ~ P67 , VREF		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 P32, P33		- 0.3 ~ 5.8	V
Vi	入力電圧 RESET, XIN		- 0.3 ~ VCC + 0.3	V
Vi	入力電圧 CNVss		- 0.3 ~ VCC + 0.3	V
VO	出力電圧 P00 ~ P07 , P10 ~ P17 , P20 ~ P27 , P30, P31 P34 ~ P37, P40 ~ P47 , P50 ~ P57 , P60 ~ P67, XOUT		- 0.3 ~ VCC + 0.3	V
VO	出力電圧 P32, P33		- 0.3 ~ 5.8	V
Pd	消費電力	Ta=25	1000 (注)	mW
Topr	動作周囲温度		- 20 ~ 85	
Tstg	保存温度		- 65 ~ 125	

注. SPパッケージ以外は300mWです。

## 3.1.2 推奨動作条件

表3.1.2 推奨動作条件(1)

(指定のない場合は $V_{CC}=2.7 \sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	条件	規格値			単位	
			最小	標準	最大		
Vcc	電源電圧 (注1)	発振開始時 (注2)	2.7	5.0	5.5	V	
		高速モード時 $f(\quad)=f(X_{IN})/2$	$f(X_{IN})$ 8.4 MHz	2.7	5.0	5.5	V
			$f(X_{IN})$ 12.5 MHz	4.0	5.0	5.5	V
			$f(X_{IN})$ 16.8 MHz	4.5	5.0	5.5	V
		中速モード時 $f(\quad)=f(X_{IN})/8$	$t(X_{IN})$ 12.5 MHz	2.7	5.0	5.5	V
			$f(X_{IN})$ 16.8 MHz	4.5	5.0	5.5	V
Vss	電源電圧		0		V		
Vih	“H” 入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67		0.8Vcc		Vcc	V	
Vih	“H” 入力電圧 P32, P33		0.8Vcc		5.5	V	
Vih	“H” 入力電圧 (I <sup>2</sup> C-BUS入力レベル選択時) SDA, SCL		0.7Vcc		5.5	V	
Vih	“H” 入力電圧 (SMBUS入力レベル選択時) SDA, SCL		1.4		5.5	V	
Vih	“H” 入力電圧 RESET, XIN, CNVss		0.8Vcc		Vcc	V	
Vih	“H” 入力電圧 XCIN		2		Vcc	V	
Vil	“L” 入力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27, P30 ~ P37, P40 ~ P47, P50 ~ P57, P60 ~ P67		0		0.2Vcc	V	
Vil	“L” 入力電圧 (I <sup>2</sup> C-BUS入力レベル選択時) SDA, SCL		0		0.3Vcc	V	
Vil	“L” 入力電圧 (SMBUS入力レベル選択時) SDA, SCL		0		0.6	V	
Vil	“L” 入力電圧 RESET, CNVss		0		0.2Vcc	V	
Vil	“L” 入力電圧 XIN				0.16Vcc	V	
Vil	“L” 入力電圧 XCIN				0.4	V	

注 1. A/Dコンバータを使用する場合は、A/Dコンバータの推奨動作条件を参照してください。

2. 発振開始電圧や発振開始時間は、発振子や回路定数、動作周囲温度などにより異なります。特に高周波の発振子は、低電圧時に発振開始が困難な場合がありますので注意してください。

表3.1.3 推奨動作条件(2)

(指定のない場合は $V_{CC}=2.7 \sim 5.5V, V_{SS}=0V, T_a = -20 \sim 85$  )

記号	項目	条件		規格値			単位	
				最小	標準	最大		
f(XIN)	メインクロック 入力発振周波数 (注1)	高速モード時 $f( )=f(XIN)/2$	2.7	$V_{CC} < 4.0V$			$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	MHZ
			4.0	$V_{CC} < 4.5V$			$\frac{(24 \times V_{CC} - 60) \times 1.05}{3}$	MHZ
			4.5	$V_{CC} \leq 5.5V$			16.8	MHZ
		中速モード時 $f( )=f(XIN)/8$	2.7	$V_{CC} < 4.5V$			$\frac{(15 \times V_{CC} + 39) \times 1.1}{7}$	MHZ
			4.5	$V_{CC} \leq 5.5V$			16.8	MHZ
f(XCIN)	サブクロック 入力発振周波数 (注1, 2)				32.768	50	KHZ	

注 1. 発振周波数はデューティ50%の場合です。

2. 低速モードを使用する場合、サブクロック入力発振周波数は $f(XCIN) < f(XIN)/3$ としてください。

表3.1.4 推奨動作条件(3)

(指定のない場合は $V_{CC}=2.7 \sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	規格値			単位
		最小	標準	最大	
I OH(peak)	“ H ”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37			- 80	mA
I OH(peak)	“ H ”出力総尖頭電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			- 80	mA
I OL(peak)	“ L ”出力総尖頭電流 (注1) P00 ~ P07, P10 ~ P17, P30 ~ P37			80	mA
I OL(peak)	“ L ”出力総尖頭電流 (注1) P20 ~ P27,			80	mA
I OL(peak)	“ L ”出力総尖頭電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			80	mA
I OH(avg)	“ H ”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37			- 40	mA
I OH(avg)	“ H ”出力総平均電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			- 40	mA
I OL(avg)	“ L ”出力総平均電流 (注1) P00 ~ P07, P10 ~ P17, P30 ~ P37			40	mA
I OL(avg)	“ L ”出力総平均電流 (注1) P20 ~ P27			40	mA
I OL(avg)	“ L ”出力総平均電流 (注1) P40 ~ P47, P50 ~ P57, P60 ~ P67			40	mA
I OH(peak)	“ H ”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37 P40 ~ P47, P50 ~ P57, P60 ~ P67			- 10	mA
I OL(peak)	“ L ”出力尖頭電流 (注2) P00 ~ P07, P10 ~ P17, P30 ~ P37 P40 ~ P47, P50 ~ P57, P60 ~ P67			10	mA
I OL(peak)	“ L ”出力尖頭電流 (注2) P20 ~ P27			20	mA
I OH(avg)	“ H ”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P20 ~ P27, P30, P31, P34 ~ P37 P40 ~ P47, P50 ~ P57, P60 ~ P67			- 5	mA
I OL(avg)	“ L ”出力平均電流 (注3) P00 ~ P07, P10 ~ P17, P30 ~ P37 P40 ~ P47, P50 ~ P57, P60 ~ P67			5	mA
I OL(avg)	“ L ”出力平均電流 (注3) P20 ~ P27			10	mA

注 1. 出力総電流は該当するポート全てに流れる電流の総和です。総平均電流は100msの期間内での平均値で、総尖頭電流は総和のピーク値です。

- 出力尖頭電流は1ポートごとに流れる電流のピーク値を規定します。
- 出力平均電流は、I OL(avg)、I OH(avg)100msの期間での平均値です。

## 3.1.3 電気的特性

表3.1.5 電気的特性(1)

(指定のない場合は $V_{CC}=2.7 \sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a = -20 \sim 85$  )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VOH	“H”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30, P31, P34 ~ P37, P40 ~ P47 P50 ~ P57, P60 ~ P67 (注1)	$I_{OH} = -10mA$ $V_{CC}=4.0 \sim 5.5V$	$V_{CC} - 2.0$			V
		$I_{OH} = -1.0mA$ $V_{CC}=1.8 \sim 5.5V$	$V_{CC} - 1.0$			V
VOL	“L”出力電圧 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P47, P50 ~ P57 P60 ~ P67	$I_{OL}=10mA$ $V_{CC}=4.0 \sim 5.5V$			2.0	V
		$I_{OL}=1.6mA$ $V_{CC}=1.8 \sim 5.5V$			1.0	V
VOL	“L”出力電圧 P20 ~ P27	$I_{OL}=20mA$ $V_{CC}=4.0 \sim 5.5V$			2.0	V
		$I_{OL}=1.6mA$ $V_{CC}=1.8 \sim 5.5V$			0.4	V
VT+ - VT-	ヒステリシス CNTR0, CNTR1, CNTR2, INT0 ~ INT4			0.4		V
VT+ - VT-	ヒステリシス RXD1, SCLK1, SIN2, SCLK2, RXD3, SCLK3			0.5		V
VT+ - VT-	ヒステリシス RESET			0.5		V
I IH	“H”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P47, P50 ~ P57 P60 ~ P67	$V_I = V_{CC}$ (端子はフローティング、 プルアップトランジスタ は切り離れた状態)			5.0	$\mu A$
I IH	“H”入力電流 RESET, CNVSS	$V_I = V_{CC}$			5.0	$\mu A$
I IH	“H”入力電流 XIN	$V_I = V_{CC}$		4.0		$\mu A$
I IL	“L”入力電流 P00 ~ P07, P10 ~ P17, P20 ~ P27 P30 ~ P37, P40 ~ P47, P50 ~ P57 P60 ~ P67	$V_I = V_{SS}$ (端子はフローティング、 プルアップトランジスタ は切り離れた状態)			- 5.0	$\mu A$
I IL	“L”入力電流 RESET, CNVSS	$V_I = V_{SS}$			- 5.0	$\mu A$
I IL	“L”入力電流 XIN	$V_I = V_{SS}$		- 4.0		$\mu A$
I IL	“L”入力電流 (プルアップ有効時) P00 ~ P07, P10 ~ P17, P20 ~ P27 P30, P31, P34 ~ P37, P40 ~ P47 P50 ~ P57, P60 ~ P67	$V_I = V_{SS}$ $V_{CC}=5.0V$	- 80	- 210	- 420	$\mu A$
		$V_I = V_{SS}$ $V_{CC}=3.0V$	- 30	- 70	- 140	$\mu A$
VRAM	RAM保持電圧	クロック停止時	1.8		$V_{CC}$	V

注1. P35に関しては、UART3制御レジスタのP35/TXD3 Pチャンネル出力禁止ビット(003316番地のビット4)が“0”の場合です。  
P45に関しては、UART1制御レジスタのP45/TXD1 Pチャンネル出力禁止ビット(001B16番地のビット4)が“0”の場合です。

表3.1.6 電気的特性(2)

(指定のない場合はV<sub>CC</sub>=2.7~5.5V, T<sub>a</sub>= -20~85℃, f(X<sub>CIN</sub>)=32.768kHz(中速モード時は停止),  
出力トランジスタは遮断状態, A/Dコンバータ非動作時)

記号	項目	測定条件			規格値			単位	
					最小	標準	最大		
I <sub>CC</sub>	電源電流	高速モード	V <sub>CC</sub> =5V	f(X <sub>IN</sub> )=16.8MHz		5.5	8.3	mA	
				f(X <sub>IN</sub> )=12.5MHz		4.5	6.8	mA	
				f(X <sub>IN</sub> )=8.4MHz		3.5	5.3	mA	
				f(X <sub>IN</sub> )=4.2MHz		2.2	3.3	mA	
				f(X <sub>IN</sub> )=16.8MHz (WIT命令実行時)		2.2	3.3	mA	
			V <sub>CC</sub> =3V	f(X <sub>IN</sub> )=8.4MHz		2.7	4.1	mA	
				f(X <sub>IN</sub> )=4.2MHz		1.8	2.7	mA	
				f(X <sub>IN</sub> )=2.1MHz		1.1	1.7	mA	
			中速モード	V <sub>CC</sub> =5V	f(X <sub>IN</sub> )=16.8MHz		3.0	4.5	mA
					f(X <sub>IN</sub> )=12.5MHz		2.4	3.6	mA
		f(X <sub>IN</sub> )=8.4MHz				2.0	3.0	mA	
		f(X <sub>IN</sub> )=16.8MHz (WIT命令実行時)				2.1	3.2	mA	
		V <sub>CC</sub> =3V		f(X <sub>IN</sub> )=12.5MHz		1.7	2.6	mA	
				f(X <sub>IN</sub> )=8.4MHz		1.5	2.3	mA	
		低速モード	V <sub>CC</sub> =5V	f(X <sub>IN</sub> )=停止		410	630	μA	
				WIT命令実行時		4.5	6.8	μA	
			V <sub>CC</sub> =3V	f(X <sub>IN</sub> )=停止		400	600	μA	
				WIT命令実行時		3.7	5.6	μA	
		STP命令実行時 (発振はすべて停止)	T <sub>a</sub> =25				0.55	3.0	μA
			T <sub>a</sub> =85				0.75		μA
A/D変換動作時の電流増量		f(X <sub>IN</sub> )=16.8MHz, V <sub>CC</sub> =5V 中、高速モード時				1000		μA	

## 3.1.4 A/Dコンバータ特性

表3.1.7. A/Dコンバータ推奨動作条件

(指定のない場合はVcc=2.7~5.5V, Vss=AVss=0V, Ta= -20~85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
VCC	電源電圧 (A/Dコンバータ使用時)	8ビットA/Dモード時 (注1)	2.7	5.0	5.5	V
		10ビットA/Dモード時 (注2)	2.7	5.0	5.5	
VREF	基準入力電圧		2.0		Vcc	V
AVSS	アナログ電源電圧			0		V
VIA	アナログ入力電圧		0		Vcc	V
f(XIN)	メインクロック 入力発振周波数 (A/Dコンバータ使用時)	2.7 Vcc < 4.0V	0.5		$\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$	MHz
		4.0 Vcc < 4.5V	0.5		$\frac{(24 \times V_{CC} - 60) \times 1.05}{3}$	
		4.5 Vcc 5.5V	0.5		16.8	

注1. 8ビットA/Dモード：変換モード選択ビット(0038<sub>16</sub>番地のビット7)が\*1の場合注2. 10ビットA/Dモード：変換モード選択ビット(0038<sub>16</sub>番地のビット7)が\*0の場合

表3.1.8. A/Dコンバータ特性

(指定のない場合はVcc=2.7~5.5V, Vss=AVss=0V, Ta= -20~85 )

記号	項目	測定条件	規格値			単位			
			最小	標準	最大				
-	分解能	8ビットA/Dモード時 (注1)			8	bit			
		10ビットA/Dモード時 (注2)			10				
-	絶対精度(量子化誤差は除く)	8ビットA/Dモード時 (注1)	2.7 VREF	5.5V	±2	LSB			
		10ビットA/Dモード時 (注2)	2.7 VREF	5.5V	±4				
tCONV	変換時間	8ビットA/Dモード時 (注1)			50	2tc(XIN)			
		10ビットA/Dモード時 (注2)			61				
RLADDER	ラダー抵抗		12	35	100	k			
IVREF	基準電源	A/D変換動作時	VREF=5.0V			50	150	200	μA
	入力電流	A/D変換停止時	VREF=5.0V					5	μA
Ii(AD)	A/Dポート入力電流						5	μA	

注1. 8ビットA/Dモード：変換モード選択ビット(0038<sub>16</sub>番地のビット7)が\*1の場合注2. 10ビットA/Dモード：変換モード選択ビット(0038<sub>16</sub>番地のビット7)が\*0の場合

## 3.1.5 D/Aコンバータ特性

表3.1.9. D/Aコンバータ特性

(指定のない場合はVcc=2.7~5.5V, Vss=AVss=0V, VREF=2.7V~Vcc, Ta= -20~85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
-	分解能				8	bit
-	絶対精度	4.0 VREF	5.5V		1.0	%
		2.7 VREF < 4.0V			2.5	%
tsu	設定時間				3	μs
RO	出力抵抗		2	3.5	5	k
IVREF	基準電源入力電流 (注1)				3.2	mA

注1. D/Aコンバータ1本使用、他のDA変換レジスタの値は“00<sub>16</sub>”。

## 3.1.6 電源回路特性

表3.1.10. 電源回路のタイミング特性

(指定のない場合はVcc=2.7~5.5V, Vss=AVss=0V, VREF=2.7V~Vcc, Ta= -20~85 )

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	2.7 Vcc 5.5V			2	ms

## 3.1.7 タイミング必要条件

表3.1.11. タイミング必要条件(1)

(指定のない場合はV<sub>CC</sub>=2.7~5.5V, V<sub>SS</sub>=0V, T<sub>a</sub>= -20~85 )

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
t <sub>w</sub> (RESET)	リセット入力“L”パルス幅	td(P-R) ms + 16			XINサイクル
t <sub>c</sub> (XIN)	メインクロックXIN 入力サイクル時間	4.5 V <sub>CC</sub> 5.5V	59.5		ns
		4.0 V <sub>CC</sub> < 4.5V	10000/(86V <sub>CC</sub> -219)		
		2.7 V <sub>CC</sub> < 4.0V	26 × 10 <sup>3</sup> /(82V <sub>CC</sub> -3)		
t <sub>WH</sub> (XIN)	メインクロックXIN 入力“H”パルス幅	4.5 V <sub>CC</sub> 5.5V	25		ns
		4.0 V <sub>CC</sub> < 4.5V	4000/(86V <sub>CC</sub> -219)		
		2.7 V <sub>CC</sub> < 4.0V	10000/(82V <sub>CC</sub> -3)		
t <sub>WL</sub> (XIN)	メインクロックXIN 入力“L”パルス幅	4.5 V <sub>CC</sub> 5.5V	25		ns
		4.0 V <sub>CC</sub> < 4.5V	4000/(86V <sub>CC</sub> -219)		
		2.7 V <sub>CC</sub> < 4.0V	10000/(82V <sub>CC</sub> -3)		
t <sub>c</sub> (XCIN)	サブクロックXCIN入力サイクル時間	20			μs
t <sub>WH</sub> (XCIN)	サブクロックXCIN入力“H”パルス幅	5			μs
t <sub>WL</sub> (XCIN)	サブクロックXCIN入力“L”パルス幅	5			μs
t <sub>c</sub> (CNTR)	CNTR0 ~ CNTR2 入力サイクル時間	4.5 V <sub>CC</sub> 5.5V	120		ns
		4.0 V <sub>CC</sub> < 4.5V	160		
		2.7 V <sub>CC</sub> < 4.0V	250		
t <sub>WH</sub> (CNTR)	CNTR0 ~ CNTR2 “H”入力パルス幅	4.5 V <sub>CC</sub> 5.5V	48		ns
		4.0 V <sub>CC</sub> < 4.5V	64		
		2.7 V <sub>CC</sub> < 4.0V	115		
t <sub>WL</sub> (CNTR)	CNTR0 ~ CNTR2 “L”入力パルス幅	4.5 V <sub>CC</sub> 5.5V	48		ns
		4.0 V <sub>CC</sub> < 4.5V	64		
		2.7 V <sub>CC</sub> < 4.0V	115		
t <sub>WH</sub> (INT)	INT00, INT01, INT1, INT2, INT3, INT40, INT41 入力“H”パルス幅	4.5 V <sub>CC</sub> 5.5V	48		ns
		4.0 V <sub>CC</sub> < 4.5V	64		
		2.7 V <sub>CC</sub> < 4.0V	115		
t <sub>WL</sub> (INT)	INT00, INT01, INT1, INT2, INT3, INT40, INT41 入力“L”パルス幅	4.5 V <sub>CC</sub> 5.5V	48		ns
		4.0 V <sub>CC</sub> < 4.5V	64		
		2.7 V <sub>CC</sub> < 4.0V	115		

表3.1.12. タイミング必要条件(2)

(指定のない場合は $V_{CC}=2.7 \sim 5.5V$ ,  $V_{SS}=0V$ ,  $T_a = -20 \sim 85$  )

記 号	項 目	規 格 値			単 位
		最 小	標 準	最 大	
tc(SCLK1), tc(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力サイクル時間 (注)	4.5 Vcc 5.5V	250		ns
		4.0 Vcc < 4.5V	320		
		2.7 Vcc < 4.0V	500		
tWH(SCLK1), tWH(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“H”パルス幅 (注)	4.5 Vcc 5.5V	120		ns
		4.0 Vcc < 4.5V	150		
		2.7 Vcc < 4.0V	240		
tWL(SCLK1), tWL(SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力“L”パルス幅 (注)	4.5 Vcc 5.5V	120		ns
		4.0 Vcc < 4.5V	150		
		2.7 Vcc < 4.0V	240		
tsu(RxD1-SCLK1) tsu(RxD3-SCLK3)	シリアルI/O1, シリアルI/O3 クロック入力セットアップ時間	4.5 Vcc 5.5V	70		ns
		4.0 Vcc < 4.5V	90		
		2.7 Vcc < 4.0V	100		
th(SCLK1-RxD1) th(SCLK3-RxD3)	シリアルI/O1, シリアルI/O3 クロック入力ホールド時間	4.5 Vcc 5.5V	32		ns
		4.0 Vcc < 4.5V	40		
		2.7 Vcc < 4.0V	50		
tc(SCLK2)	シリアルI/O2 クロック入力サイクル時間	4.5 Vcc 5.5V	500		ns
		4.0 Vcc < 4.5V	650		
		2.7 Vcc < 4.0V	1000		
tWH(SCLK2)	シリアルI/O2 クロック入力“H”パルス幅	4.5 Vcc 5.5V	200		ns
		4.0 Vcc < 4.5V	260		
		2.7 Vcc < 4.0V	400		
tWL(SCLK2)	シリアルI/O2 クロック入力“L”パルス幅	4.5 Vcc 5.5V	200		ns
		4.0 Vcc < 4.5V	260		
		2.7 Vcc < 4.0V	400		
tsu(SIN2-SCLK2)	シリアルI/O2 クロック入力セットアップ時間	4.5 Vcc 5.5V	100		ns
		4.0 Vcc < 4.5V	130		
		2.7 Vcc < 4.0V	200		
th(SCLK2-SIN2)	シリアルI/O2 クロック入力ホールド時間	4.5 Vcc 5.5V	100		ns
		4.0 Vcc < 4.5V	130		
		2.7 Vcc < 4.0V	150		

注 . 001A16番地のビット6, 003216番地のビット6が“1”(クロック同期モード)の場合です。001A16番地のビット6, 003216番地のビット6が“0”(非同同期モード)の場合, 規格値は1/4になります。

## 3.1.8 スイッチング特性

表3.1.13. スイッチング特性

(指定のない場合はVcc=2.7~5.5V, Vss=0V, Ta= -20~85 )

記 号	項 目	測定 条件	規 格 値			単位
			最 小	標 準	最 大	
t <sub>WH</sub> (SCLK1) t <sub>WH</sub> (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力“H”パルス幅	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V	tc(SCLK1)/2-30, tc(SCLK3)/2-30 tc(SCLK1)/2-35, tc(SCLK3)/2-35 tc(SCLK1)/2-40, tc(SCLK3)/2-40			ns
t <sub>WL</sub> (SCLK1) t <sub>WL</sub> (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力“L”パルス幅	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V	tc(SCLK1)/2-30, tc(SCLK3)/2-30 tc(SCLK1)/2-35, tc(SCLK3)/2-35 tc(SCLK1)/2-40, tc(SCLK3)/2-40			ns
t <sub>d</sub> (SCLK1-TxD1) t <sub>d</sub> (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力遅延時間 (注1)	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V			140 200 350	ns
t <sub>v</sub> (SCLK1-TxD1) t <sub>v</sub> (SCLK3-TxD3)	シリアルI/O1, シリアルI/O3 出力有効時間 (注1)	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V	-30 -30 -30			ns
t <sub>r</sub> (SCLK1) t <sub>r</sub> (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力立ち上がり時間	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V			30 35 40	ns
t <sub>f</sub> (SCLK1) t <sub>f</sub> (SCLK3)	シリアルI/O1, シリアルI/O3 クロック出力立ち下がり時間	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V			30 35 40	ns
t <sub>WH</sub> (SCLK2)	シリアルI/O2 クロック出力“H”パルス幅	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V	tc(SCLK2)/2-160 tc(SCLK2)/2-200 tc(SCLK2)/2-240			ns
t <sub>WL</sub> (SCLK2)	シリアルI/O2 クロック出力“L”パルス幅	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V	tc(SCLK2)/2-160 tc(SCLK2)/2-200 tc(SCLK2)/2-240			ns
t <sub>d</sub> (SCLK2-SOUT2)	シリアルI/O2出力遅延時間	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V			200 250 300	ns
t <sub>v</sub> (SCLK2-SOUT2)	シリアルI/O2出力有効時間	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V		0 0 0		ns
t <sub>f</sub> (SCLK2)	シリアルI/O2 クロック出力立ち下がり時間	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V			30 35 40	ns
t <sub>r</sub> (CMOS)	CMOS出力立ち上がり時間 (注2)	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V		10 12 15	30 35 40	ns
t <sub>f</sub> (CMOS)	CMOS出力立ち下がり時間 (注2)	4.5 Vcc 5.5V 4.0 Vcc < 4.5V 2.7 Vcc < 4.0V		10 12 15	30 35 40	ns

注1. UART1制御レジスタのP45/TxD1 Pチャネル出力禁止ビット(001B<sub>16</sub>番地のビット4)が“0”の場合です。注2. UART3制御レジスタのP35/TxD3 Pチャネル出力禁止ビット(003B<sub>16</sub>番地のビット4)が“0”の場合です。

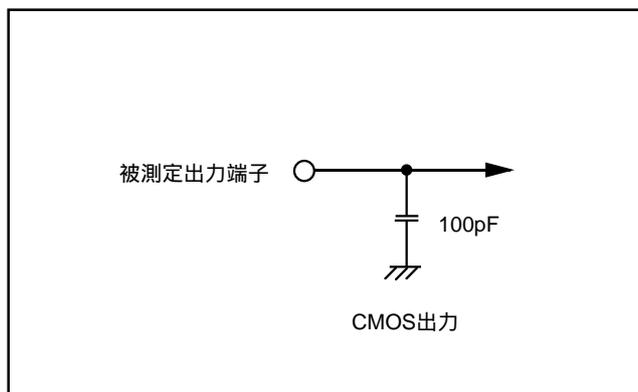


図3.1.1 出力スイッチング特性測定回路図(1)

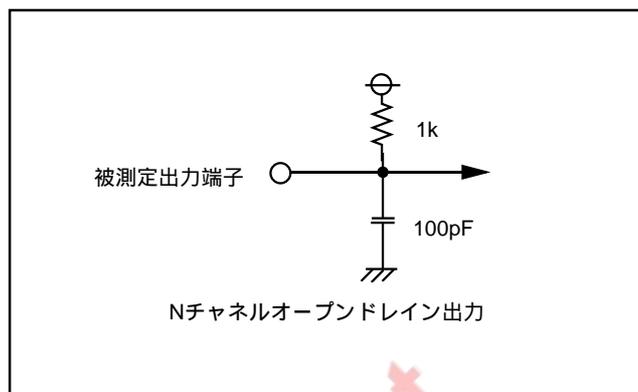


図3.1.2 出力スイッチング特性測定回路図(2)

EOL announced Product

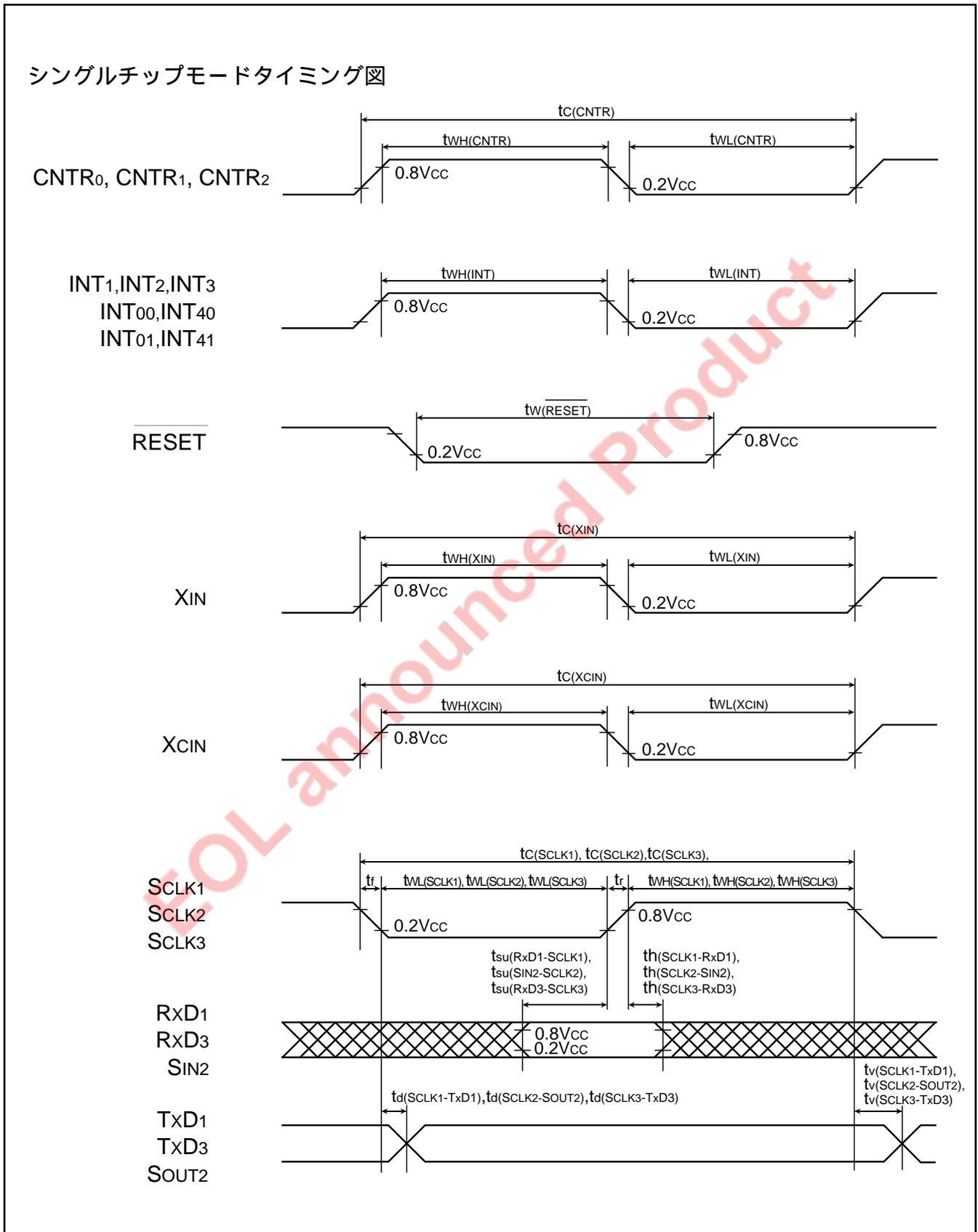
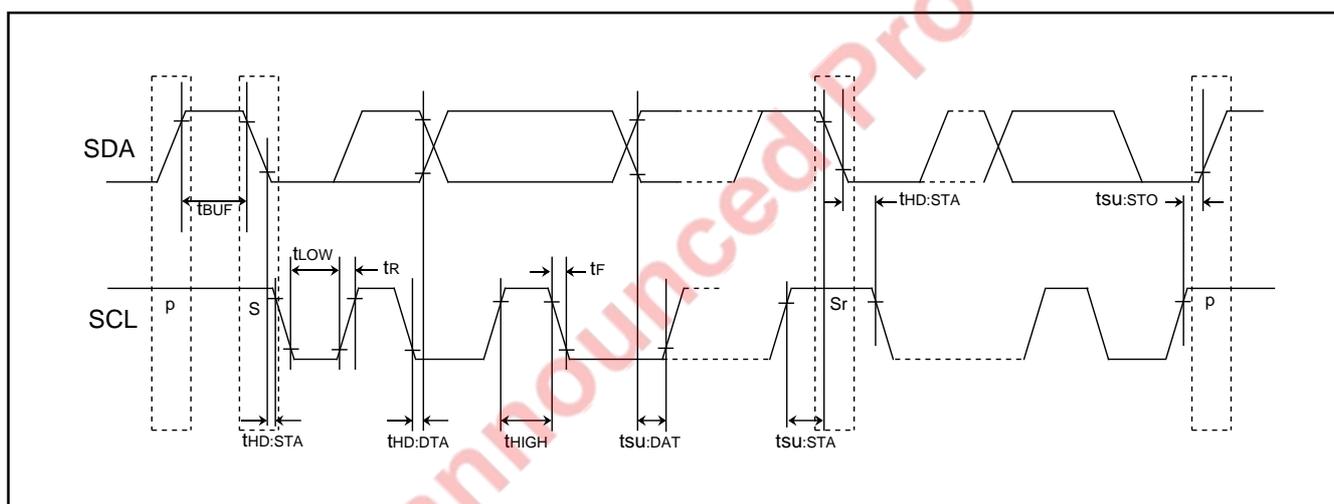


図3.1.3 タイミング図 (シングルチップモード時)

3.1.9 マルチマスタI<sup>2</sup>C-BUSバスライン特性表3.1.14. マルチマスタI<sup>2</sup>C-BUSバスライン特性

記 号	項 目	標準クロックモード		高速クロックモード		単位
		最 小	最 大	最 小	最 大	
t <sub>BUF</sub>	バスフリータイム	4.7		1.3		μs
t <sub>HD;STA</sub>	スタートコンディション時のホールド時間	4.0		0.6		μs
t <sub>LOW</sub>	SCLクロックの“0”状態のホールド時間	4.7		1.3		μs
t <sub>R</sub>	SCL, SDA信号の立ち上がり時間		1000	20 + 0.1C <sub>b</sub>	300	ns
t <sub>HD;DAT</sub>	データのホールド時間	0		0	0.9	μs
t <sub>HIGH</sub>	SCLクロックの“1”状態のホールド時間	4.0		0.6		μs
t <sub>F</sub>	SCL, SDA信号の立ち下がり時間		300	20 + 0.1C <sub>b</sub>	300	ns
t <sub>SU;DAT</sub>	データのセットアップ時間	250		100		ns
t <sub>SU;STA</sub>	リスタートコンディション時のセットアップ時間	4.7		0.6		μs
t <sub>SU;STO</sub>	ストップコンディションのセットアップ時間	4.0		0.6		μs

注 . C<sub>b</sub> = 1つのバスラインキャパシタの合計

図3.1.4 マルチマスタI<sup>2</sup>C-BUSのタイミング図

### 3.2 標準特性例

以下に記載する標準特性は、「特性例」で、保証するものではありません。規格値は、「3.1 電気的特性」を参照してください。

#### 3.2.1 電源電流特性例

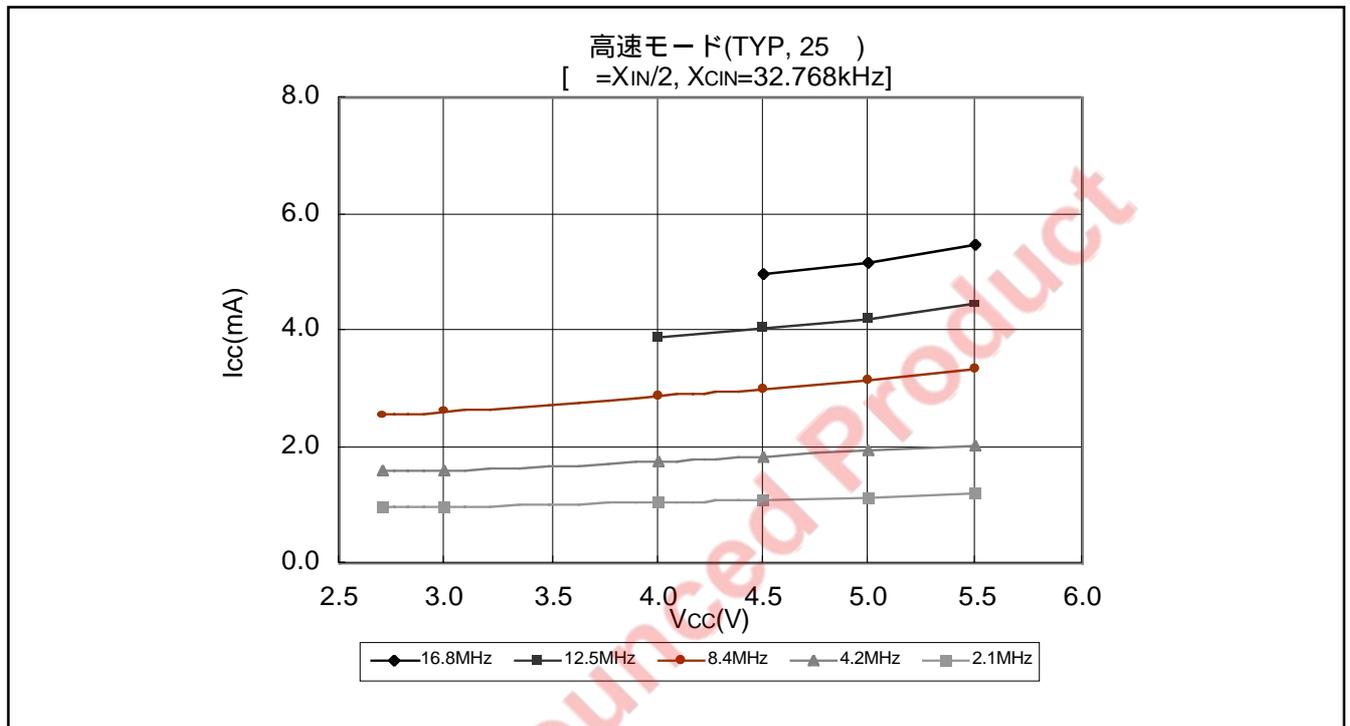


図3.2.1 電源電流特性例(高速モード)

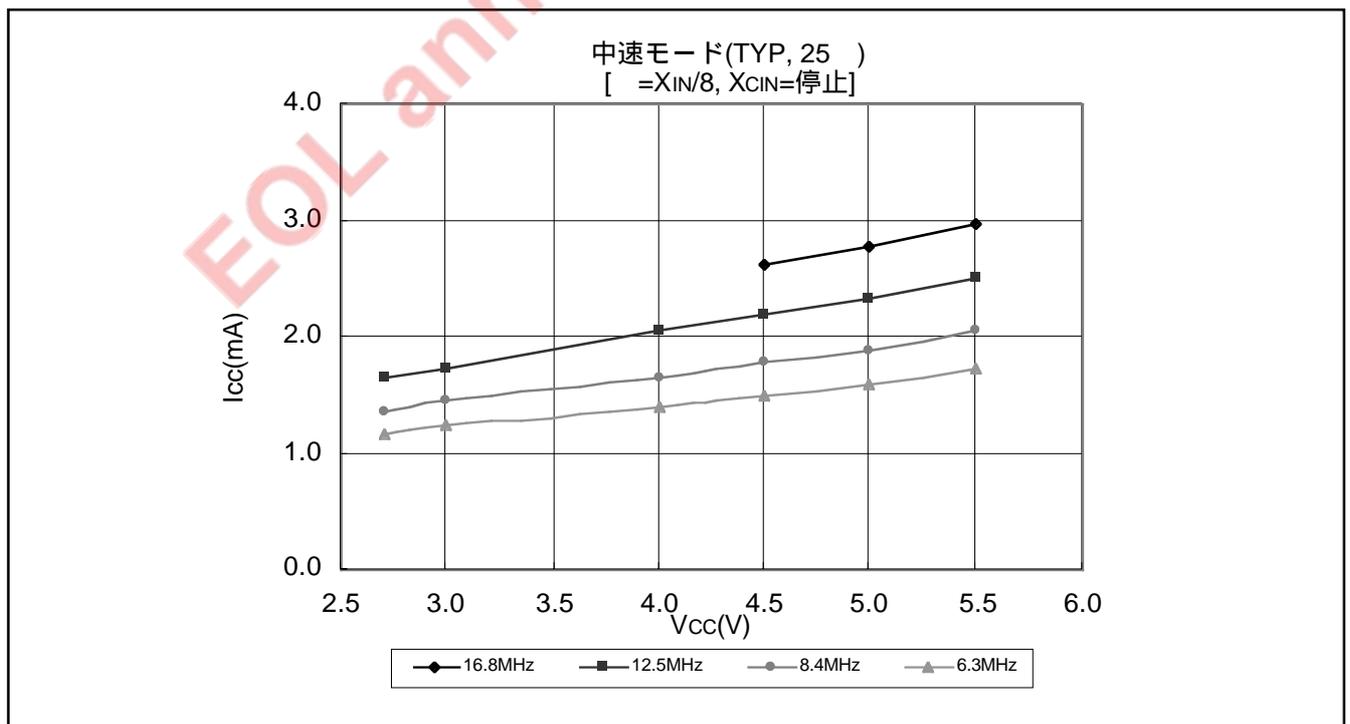


図3.2.2 電源電流特性例(中速モード)

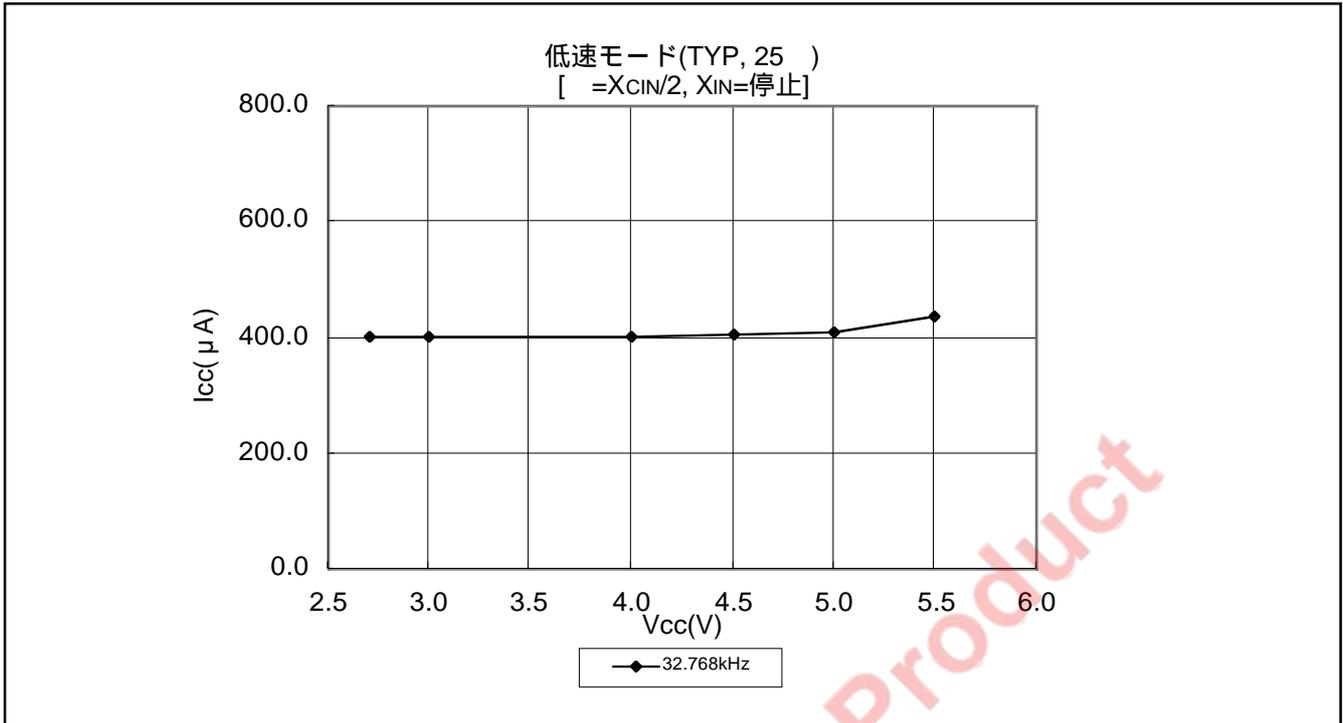
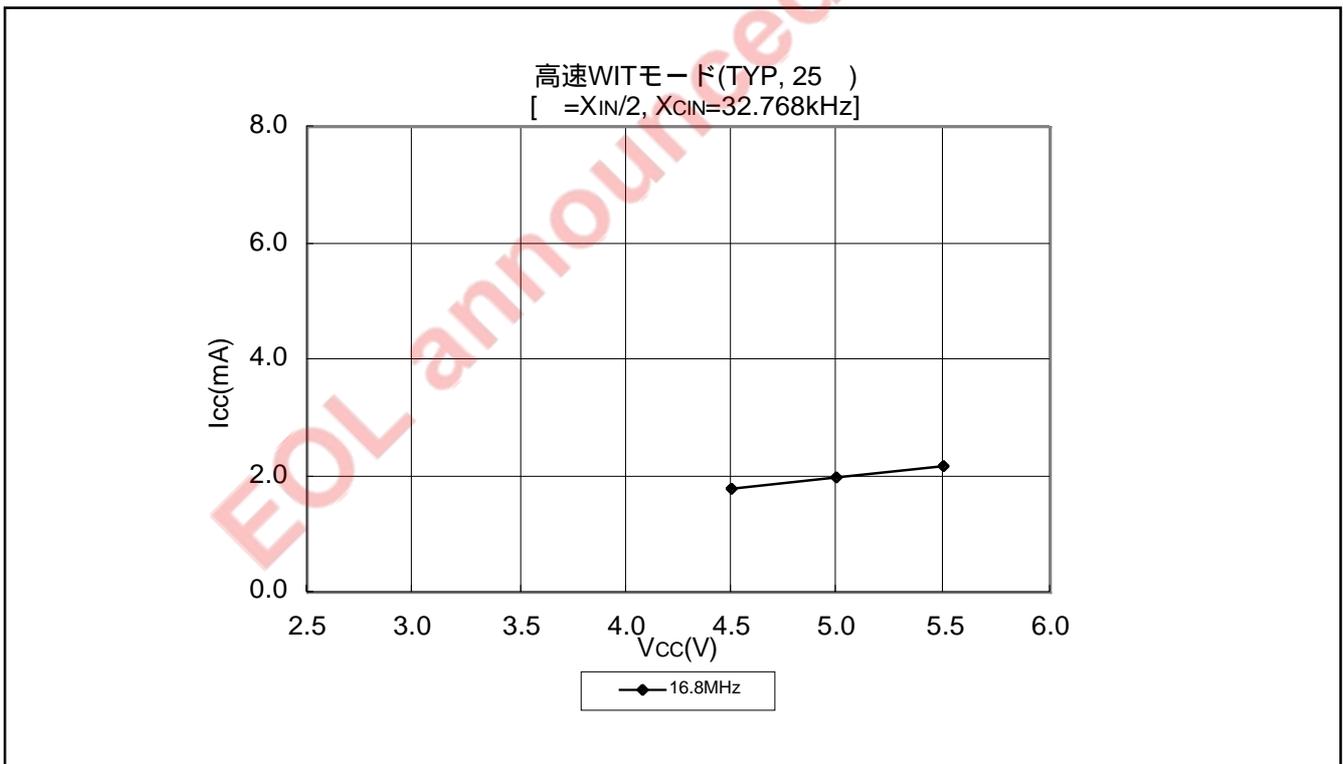


図3.2.3 電源電流特性例(低速モード)

図3.2.4 電源電流特性例(高速モード、 $f(X_{IN})=16.8\text{MHz}$ 時、WAIT実行)

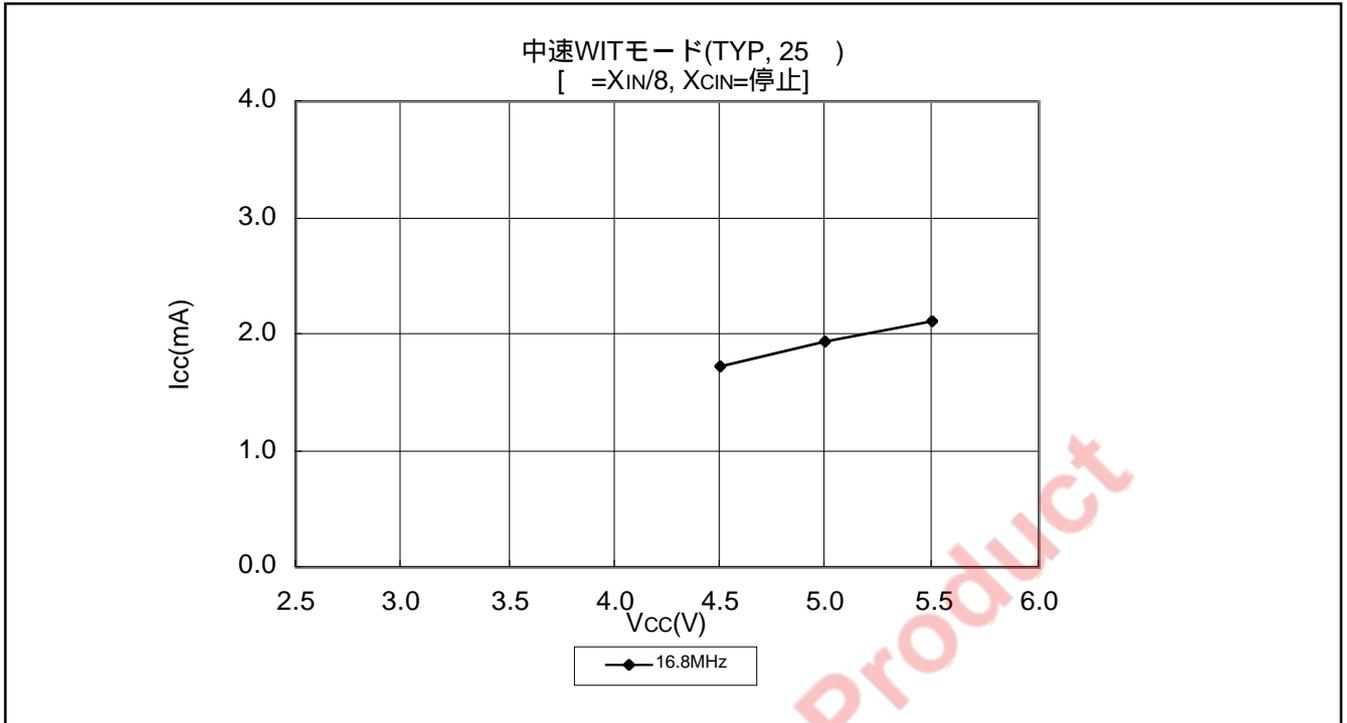
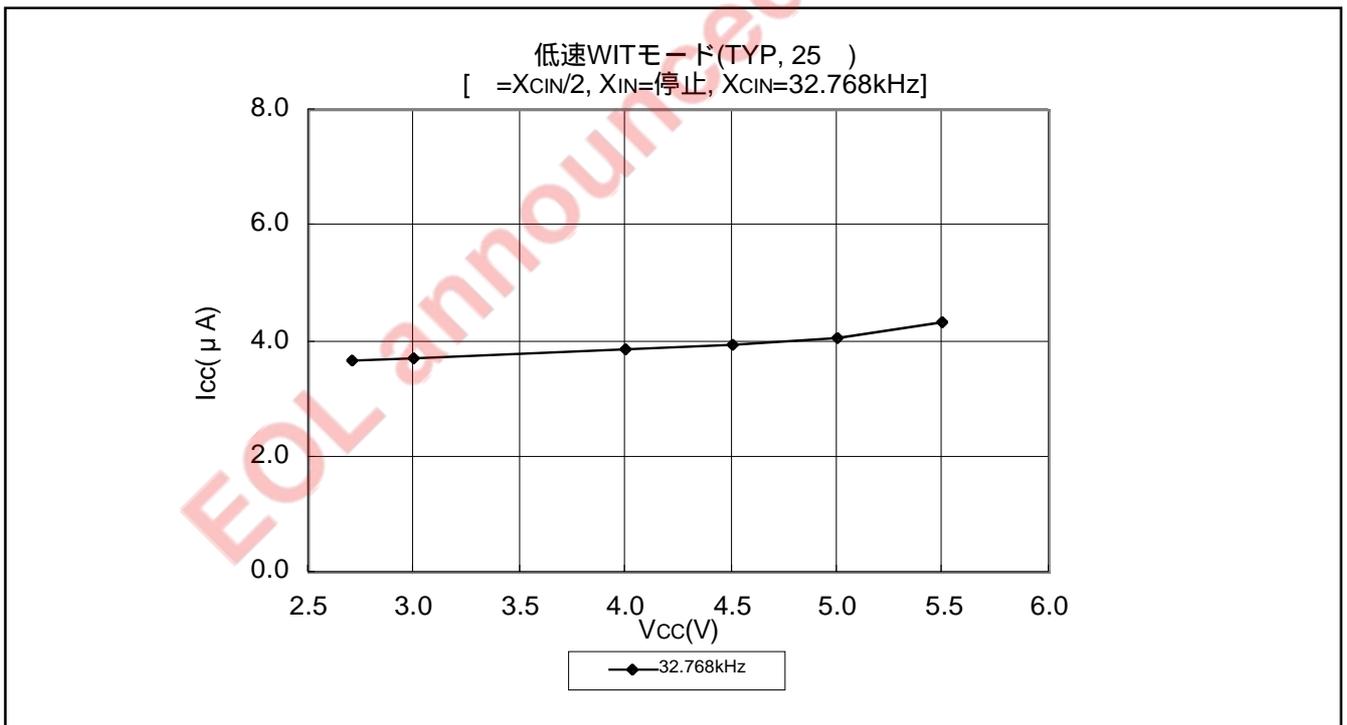
図3.2.5 電源電流特性例(中速モード、 $f(X_{IN})=16.8\text{MHz}$ 時、WAIT実行)

図3.2.6 電源電流特性例(低速モード、WAIT実行)

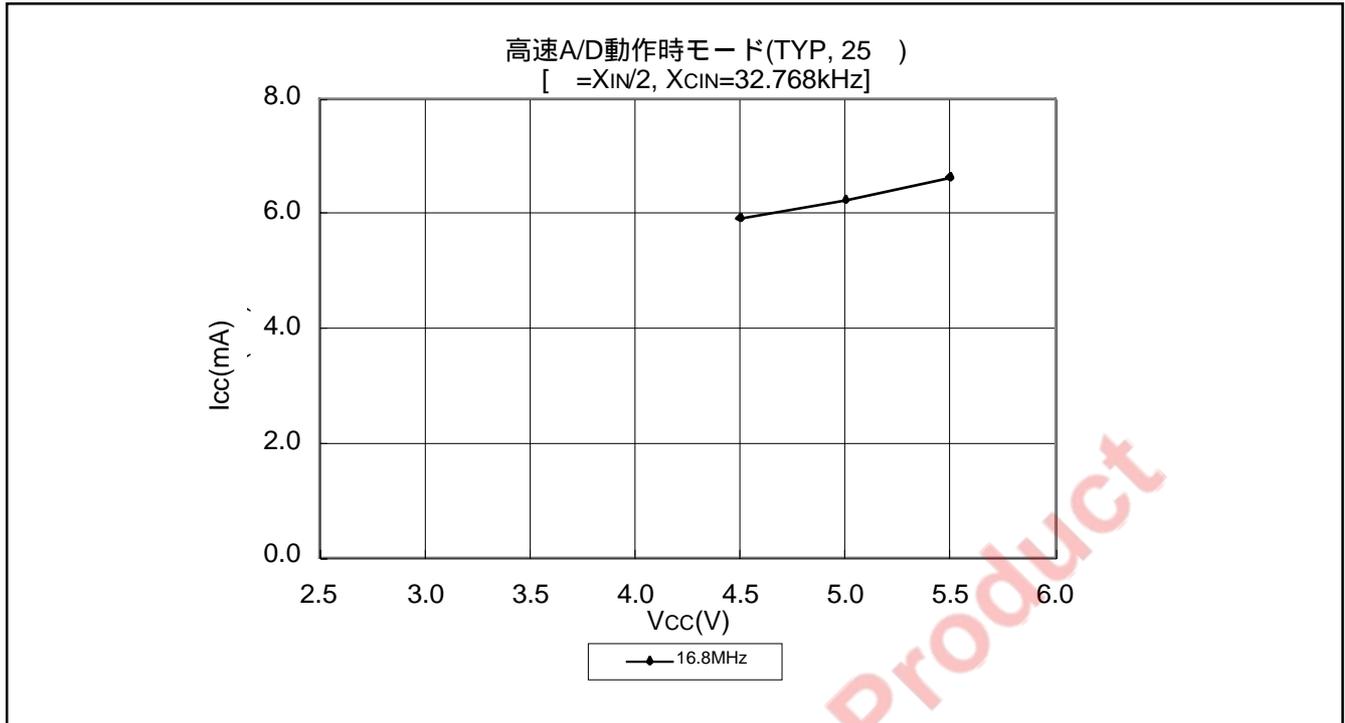
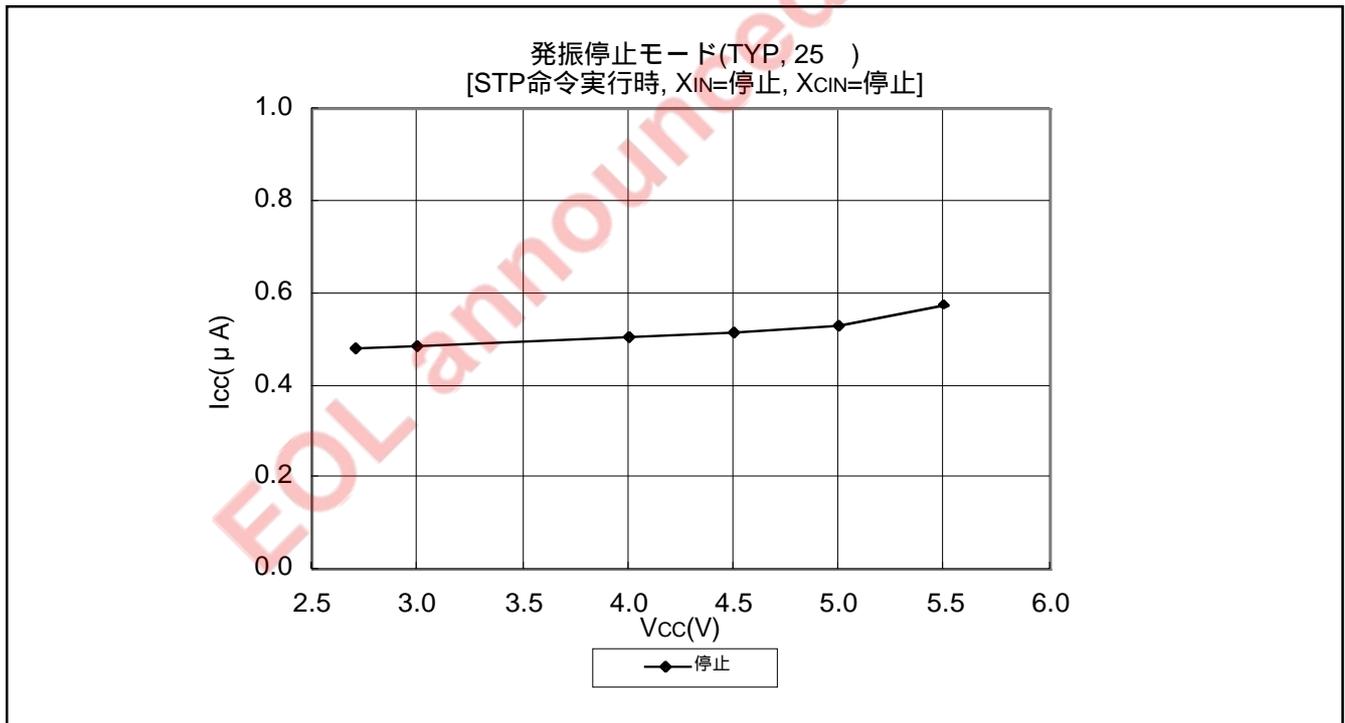
図3.2.7 電源電流特性例(高速モード、 $f(X_{IN})=16.8MHz$ 時、A/Dコンバータ動作時)

図3.2.8 電源電流特性例(発振停止時)

## 3.2.2 ポート標準特性例

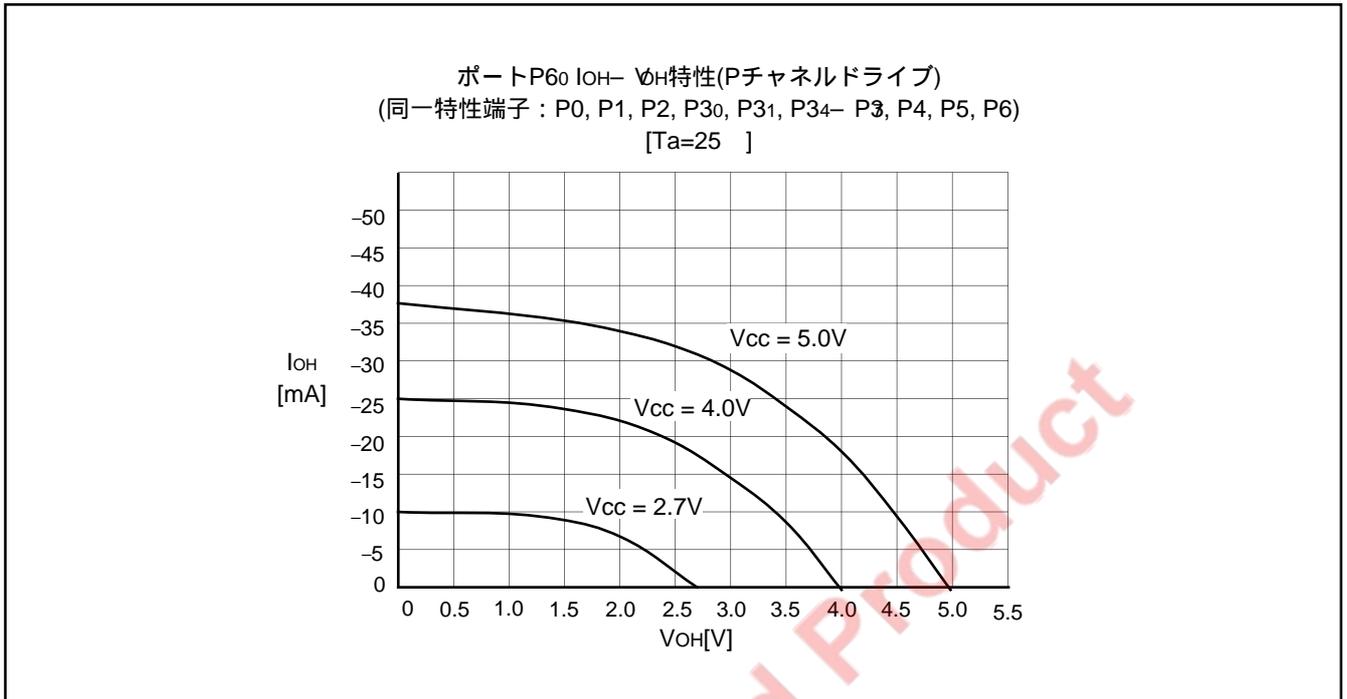


図3.2.9 Pチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25 )

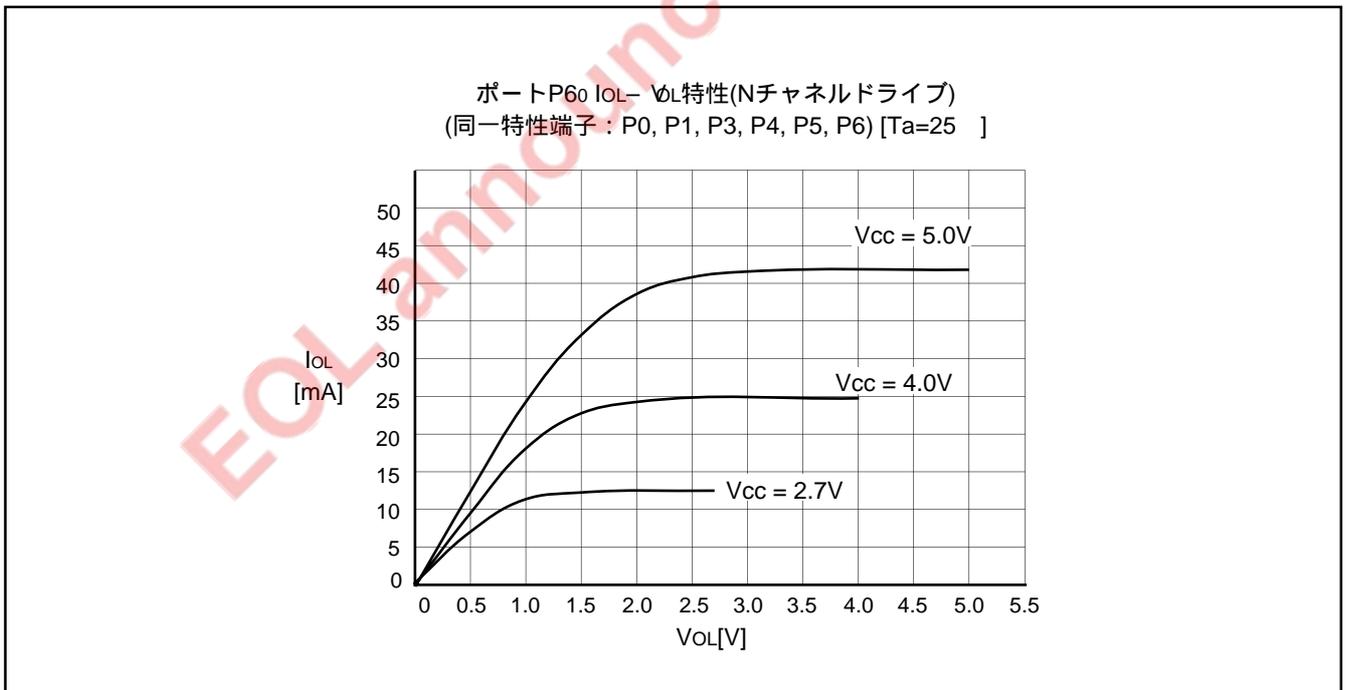


図3.2.10 Nチャンネルドライブ時のCMOS出力ポートの標準特性例(Ta=25 )

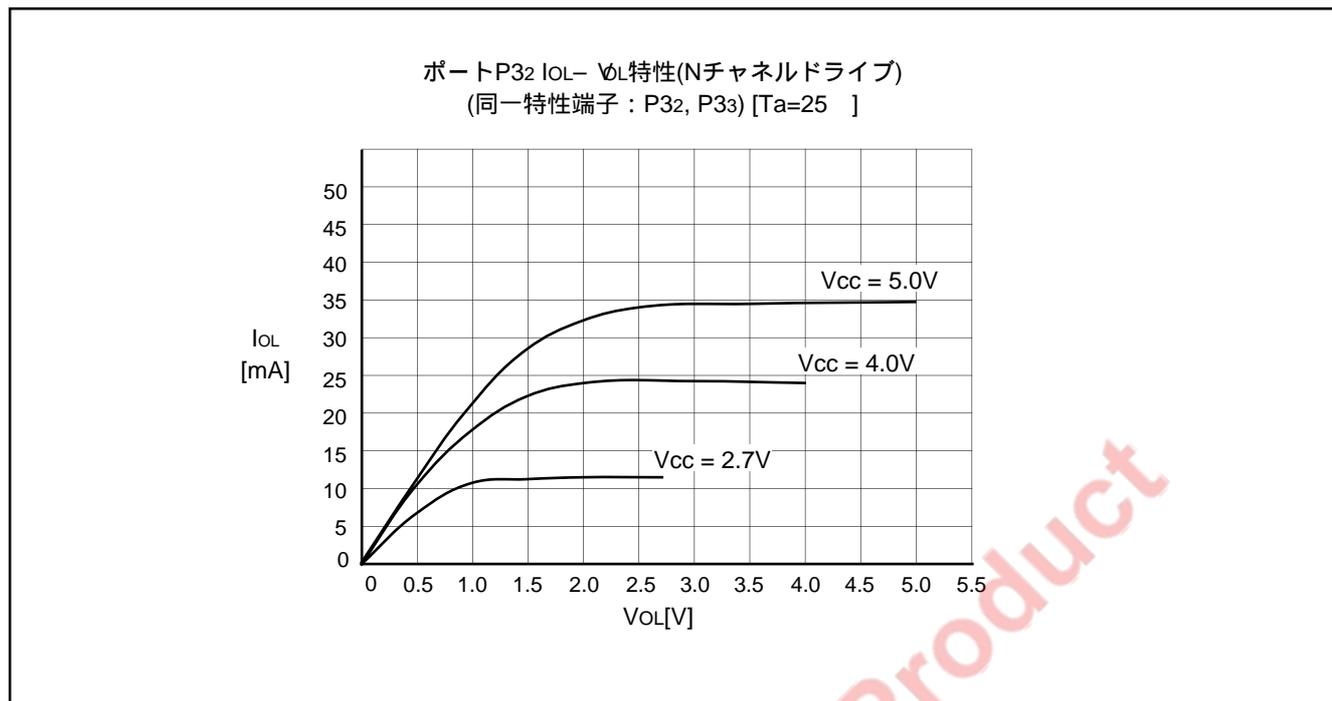


図3.2.11 Nチャンネルドライブ時のNチャンネルオープンドレイン出力ポートの標準特性例(Ta=25 )

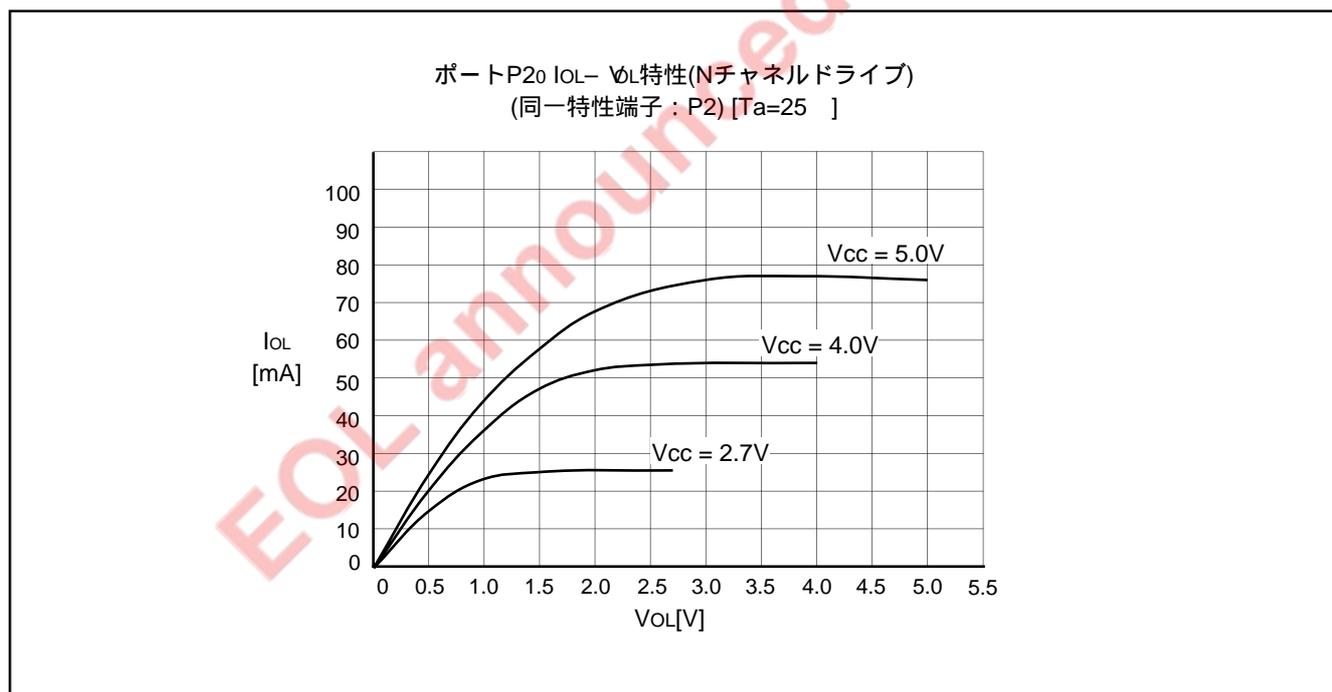
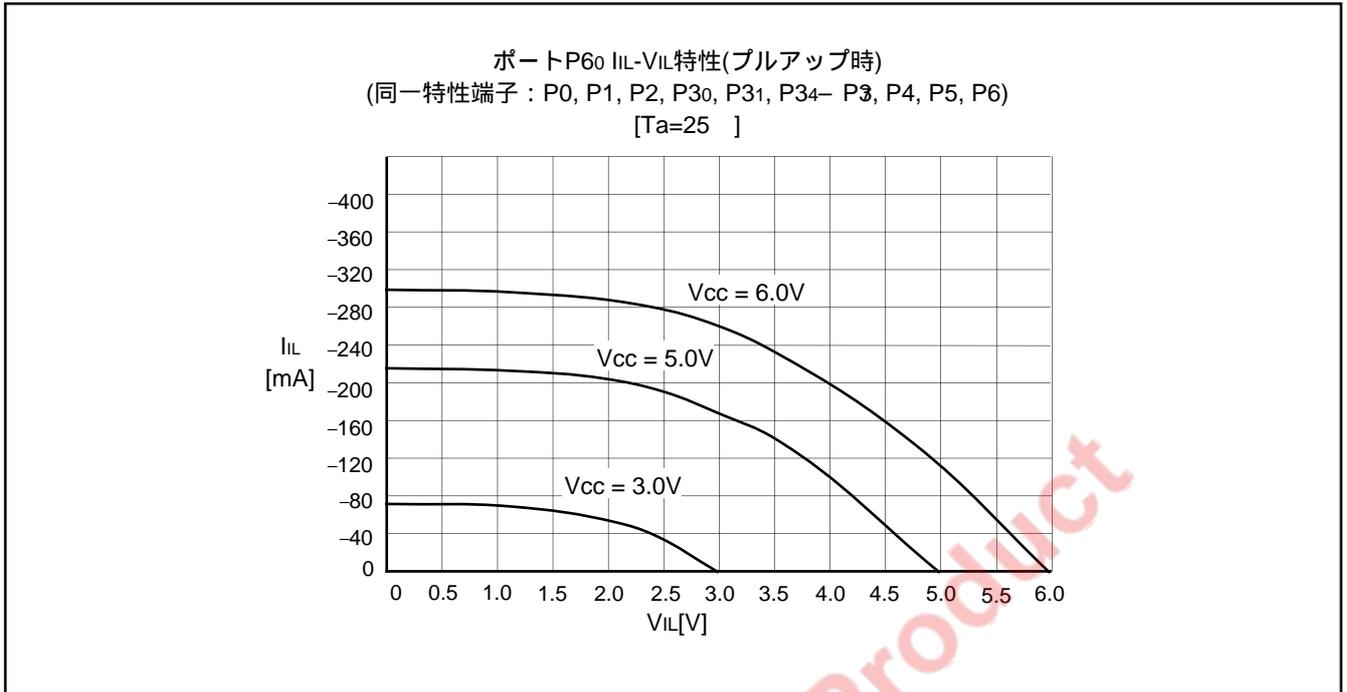


図3.2.12 Nチャンネルドライブ時のCMOS大電流出力ポートの標準特性例(Ta=25 )

図3.2.13 プルアップ時のCMOS入力ポートの標準特性例( $T_a=25$  )

### 3.2.3 A/D変換標準特性例

A/D変換標準特性例を図3.2.14、図3.2.15、図3.2.16に示します。

グラフの太いラインは絶対精度誤差を示します。ここでは、出力コードが変化する点の理想値からのずれで表示しています。たとえば、出力コードの512 → 513変化は、理想的には2560mVの点で起こりますが、測定値は-10mVですから、“ $2560-10=2550\text{mV}$ ”が測定変化点であることを表します。

グラフの細いラインは、出力コードが同一である入力電圧の幅を示します。たとえば、出力コードが512である入力電圧の幅の測定値は5.0mVですから、微分直線性誤差は“ $5.0 - 5.0=0.0\text{mV}(0\text{LSB})$ ”であることを表します。

EOL announced Product

### M38049FFHSP A/D CONV. ERROR & STEP WIDTH

VDD = 5.12 [V], VREF = 5.12 [V]

XIN = 8 [MHz], Ta = 25 [deg.]

— Error  
— 1 LSB Width

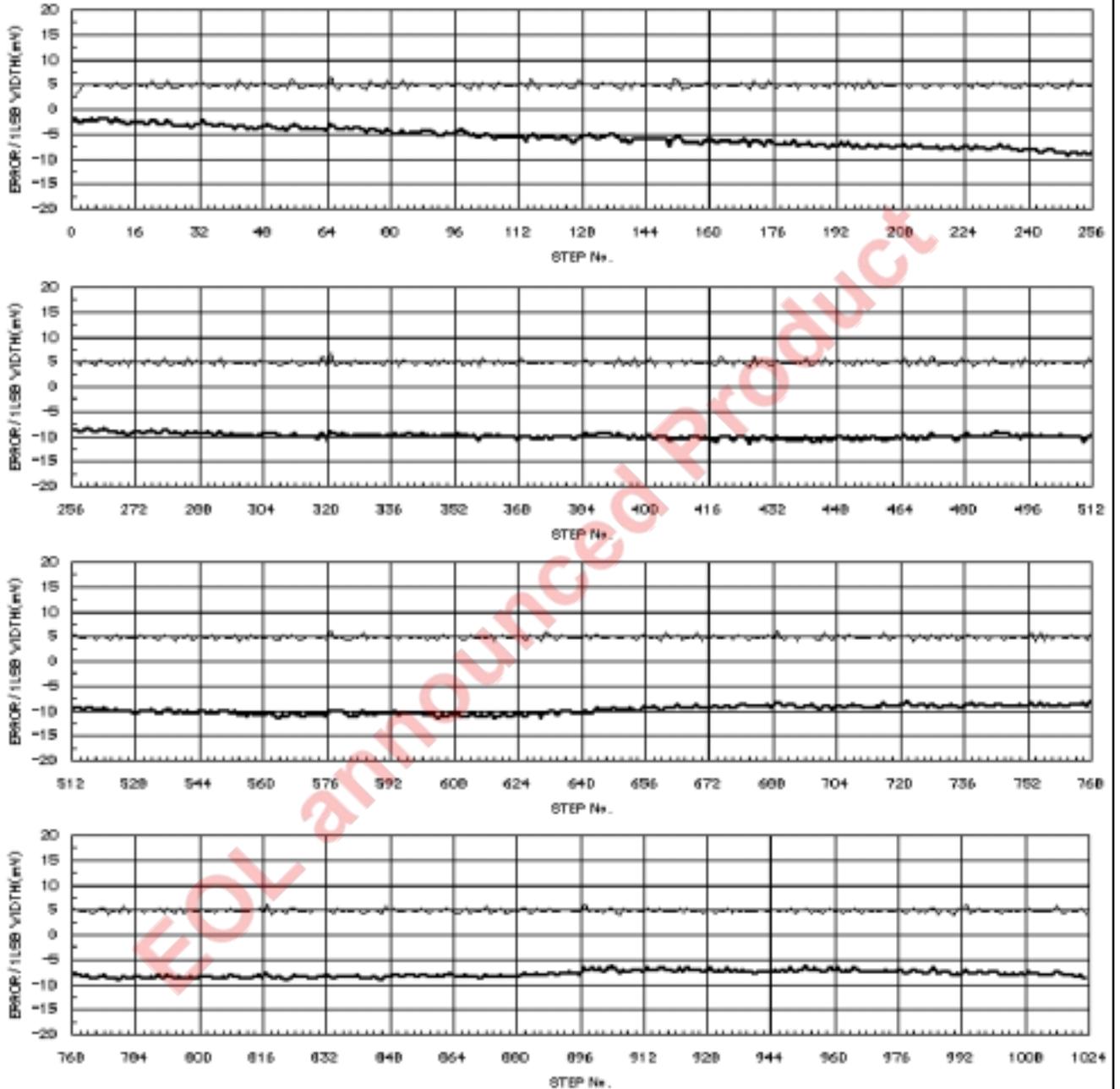


図3.2.14 A/D変換標準特性例( $f(X_{IN})=8\text{MHz}$ 時)

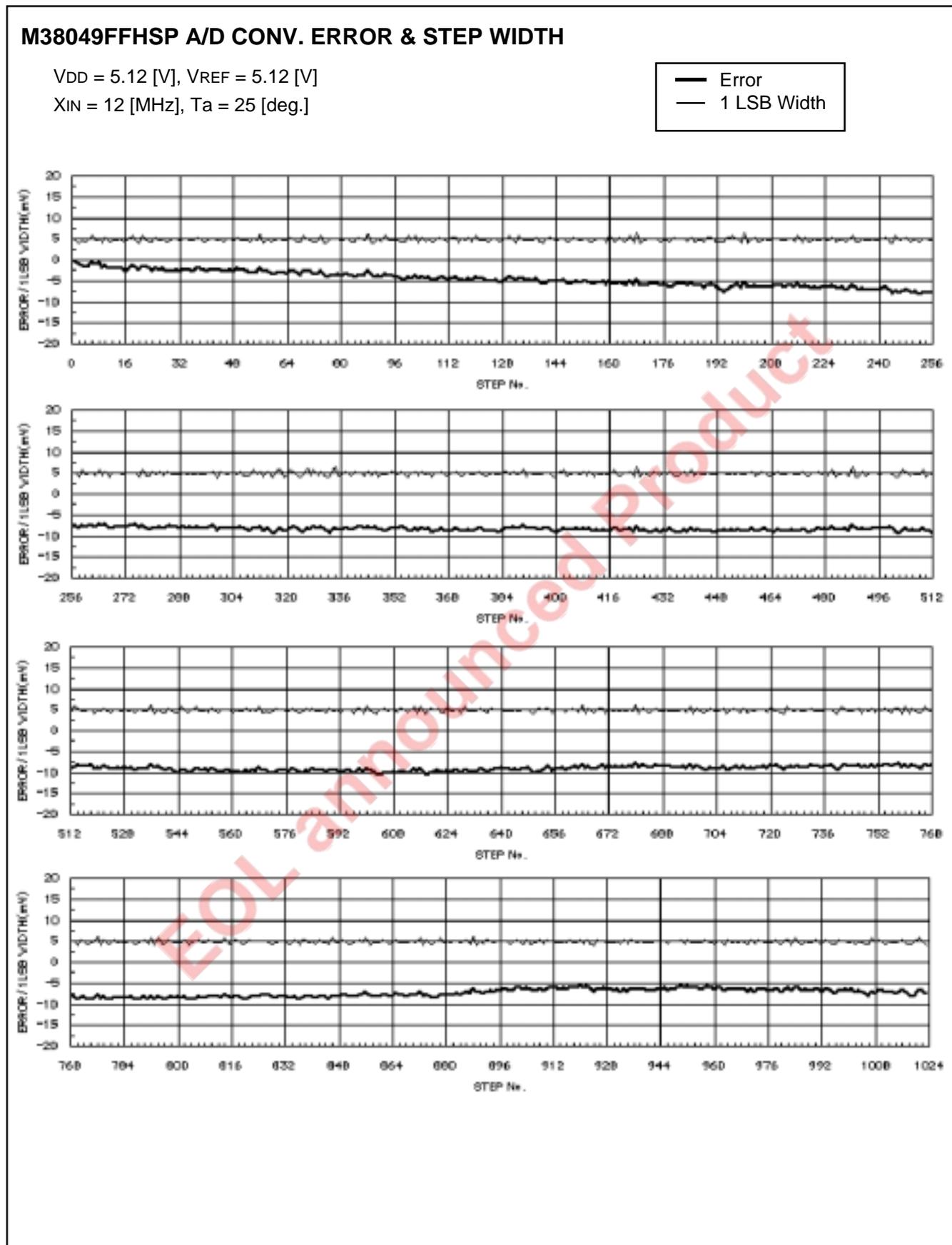


図3.2.15 A/D変換標準特性例 (f(XIN)=12MHz時)

### M38049FFHSP A/D CONV. ERROR & STEP WIDTH

$V_{DD} = 5.12 [V]$ ,  $V_{REF} = 5.12 [V]$

$X_{IN} = 16 [MHz]$ ,  $T_a = 25 [deg.]$

— Error  
— 1 LSB Width

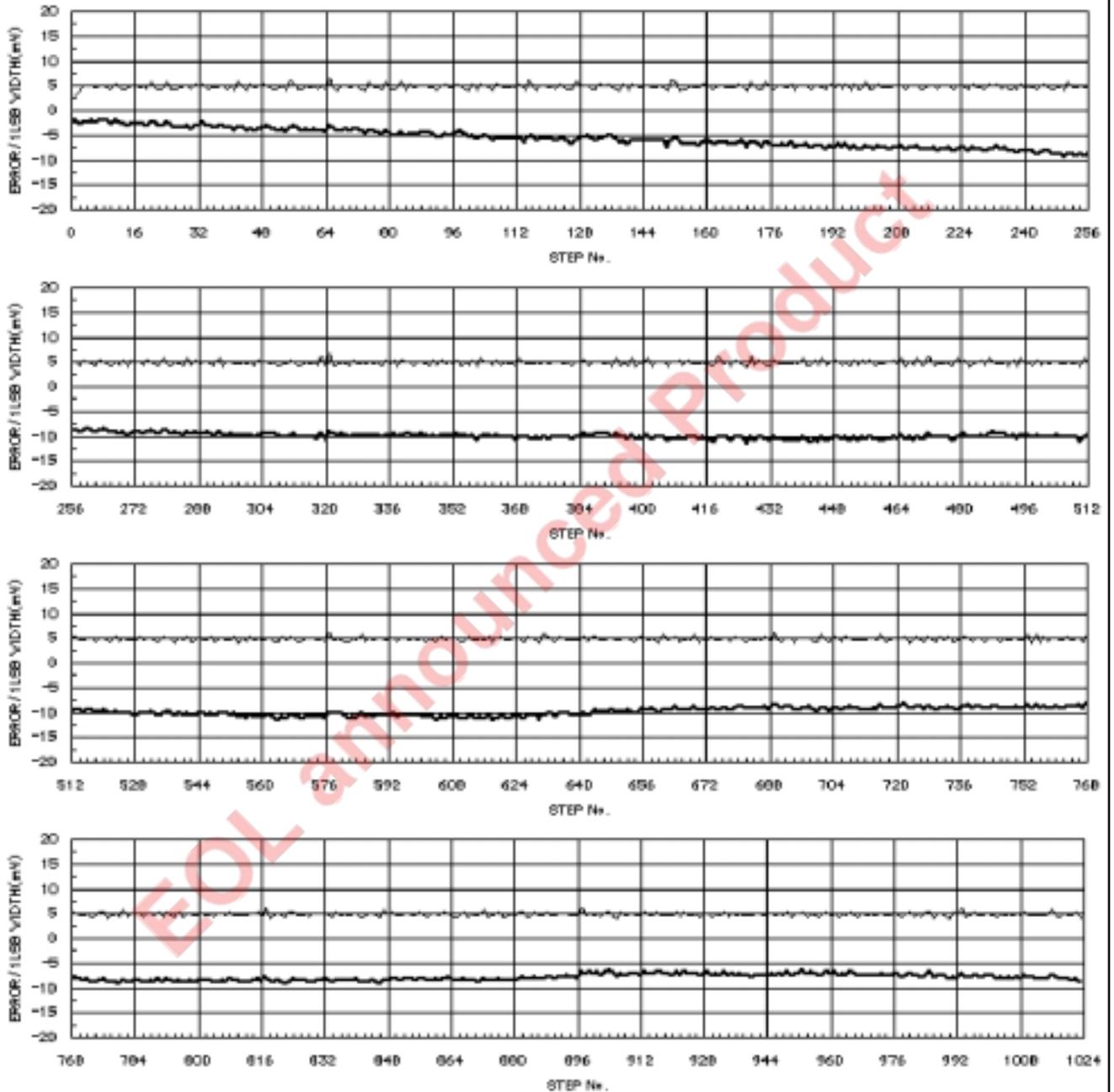


図3.2.16 A/D変換標準特性例 ( $f(X_{IN})=16MHz$ 時)

## 3.2.4 D/A変換標準特性例

D/A変換標準特性例を図3.2.17に示します。

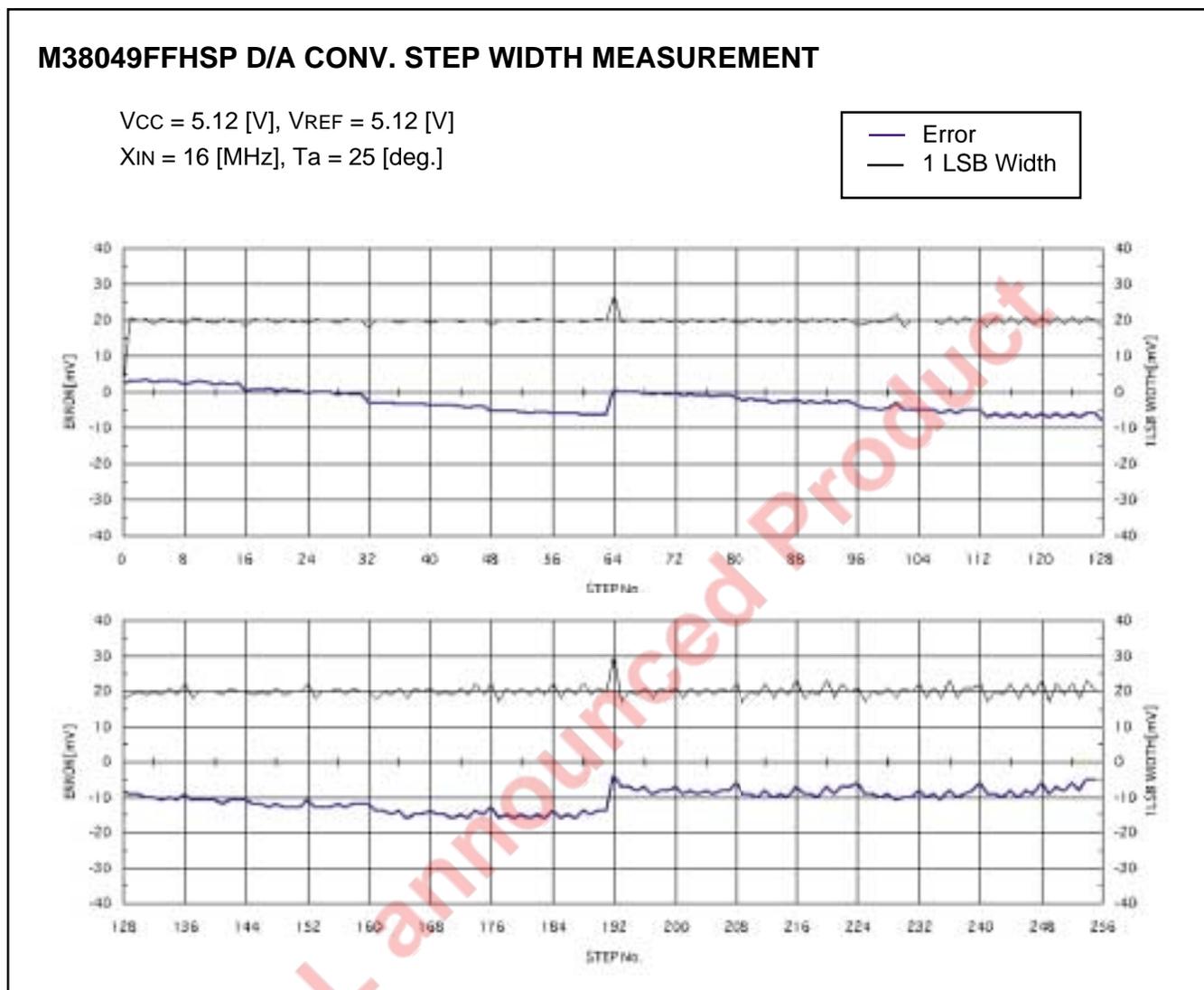


図3.2.17 D/A変換標準特性例

### 3.3 使用上の注意事項

#### 3.3.1 入出力端子に関する注意事項

##### (1) スタンバイ状態での使用

低消費電力を目的としてスタンバイ状態\*<sup>1</sup>で使用する場合は、入出力ポートの入力レベルを不定の状態にしないでください。特にNチャンネルオープンドレインの入出力ポートでは注意が必要です。

この場合、抵抗を介してポートをプルアップ( $V_{CC}$ に接続)又はプルダウン( $V_{SS}$ に接続)してください。

抵抗値を決定する際は、以下の2点に留意してください。

- ・ 外付け回路
- ・ 通常動作時の出力レベルの変動

また、内蔵されているプルアップ抵抗を使用する場合は、電流値のばらつきに注意してください。

- ・ 入力ポートに設定している場合：入力レベルを固定する。
- ・ 出力ポートに設定している場合：外部に電流が流出しないようにする。

##### 理由

方向レジスタで出力ポートに設定しているにもかかわらず、ポートラッチの内容が“1”の場合トランジスタがOFF状態になるため、ポートはハイインピーダンス状態になります。そのため、外付け回路によっては、レベル不定となる可能性があります。

このように、入出力ポートの入力レベルを不定の状態にすると、マイコン内部の入力バッファに入力される電位が不安定となるため、電源電流が流れることがあります。

\*<sup>1</sup>スタンバイ状態：STP命令実行によるストップモード  
WIT命令実行によるウェイトモード

##### (2) ビット処理命令による出力データの書き替え

入出力ポートのポートラッチをビット処理命令\*を用いて書き替える場合、指定していないビットの値が変化することがあります。

##### 理由

ビット処理命令はリード・モディファイ・ライト形式の命令で、バイト単位で読み出し及び書き込みを行います。したがって入出力ポートのポートラッチの、あるビットに対してこの命令を実行した場合、そのポートラッチの全ビットに対して以下の処理が行われます。

- ・ 入力に設定されているビット：  
端子の値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
  - ・ 出力に設定されているビット：  
ポートラッチのビットの値がCPUに読み込まれ、ビット処理後、このビットに書き込まれる。
- ただし、以下の点に注意してください。
- ・ 出力に設定されているポートを入力ポートに変更しても、ポートラッチには出力データが保持される構成になっています。
  - ・ 入力に設定されているポートラッチのビットについては、ビット処理命令で指定していない場合にも、端子とポートラッチの内容が異なる場合、ビットの値が変化することがあります。

\*ビット処理命令：SEB命令、CLB命令

### 3.3.2 未使用端子の処理に関する注意事項

#### (1) 未使用端子の適切な処理

##### 入出力ポート

入力モードに設定し、1~10k の抵抗を介してVcc又はVssに接続してください。内蔵プルアップ抵抗が選択可能なポートでは、内蔵プルアップ抵抗を使用することもできます。出力モードに設定する場合は、“L”又は“H”出力状態で開放してください。

- ・出力モードに設定して開放する場合、リセット後プログラムによってポートを出力モードに切り替えるまでは、初期状態の入力モードのままです。そのため端子の電圧レベルが不定となり、ポートが入力モードになっているあいだ、電源電流が増加する場合があります。システムへの影響については、ユーザサイドで十分なシステム評価を行ってください。
- ・ノイズやノイズによって引き起こされる暴走などにより方向レジスタが変化する場合は考慮し、定期的に方向レジスタをプログラムで再設定することによって更にプログラムの信頼度が高まります。

A/Dコンバータを使用しない場合のA/D変換用電源端子AVss

A/Dコンバータを使用しない場合、A/D変換用電源端子AVssは以下のように処理してください。

- ・AVss:Vssに接続

#### (2) 処理上の留意事項

##### 入出力ポート

入力モードで開放しないでください。

理由：

- ・初段回路によっては電源電流が増加する場合があります。
- ・上記適切な処理(1)の に比べ、ノイズの影響を受け易くなります。

##### 入出力ポート

入力モードに設定した場合、Vcc又はVssに直結しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、短絡する可能性があります。

##### 入出力ポート

入力モードに設定した場合、複数ポートをまとめて抵抗を介し、Vcc又はVssに接続しないでください。

理由：

暴走、ノイズなどによって、方向レジスタが出力モードに変化した場合、ポート間で短絡する可能性があります。

- ・未使用端子処理はマイコンの端子からできるだけ短い配線(20mm以内)で処理してください。

## 3.3.3 割り込みに関する注意事項

## (1) 関連レジスタの設定変更

外部割り込みのアクティブエッジの選択及び複数の割り込み要因で共用している割り込みベクトルの割り込み要因の選択時、これらの設定に同期した割り込み発生が不要なら、以下の手順で設定してください。

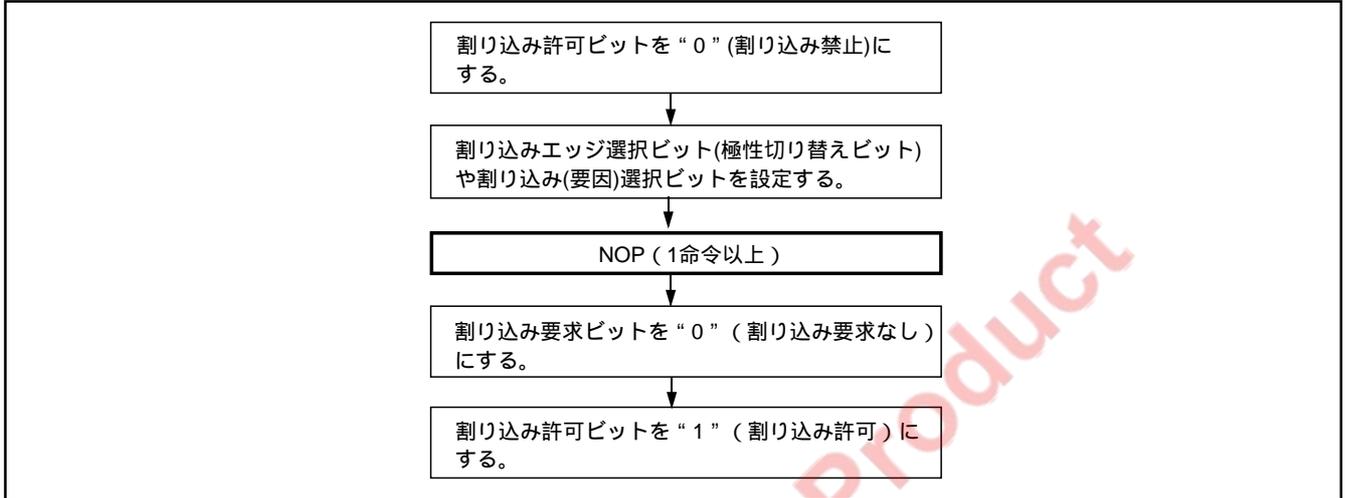


図3.3.1 関連レジスタの設定変更手順

## 理由

次の場合、割り込み要求ビットが“1”になる場合があります。

- ・ 外部割り込みのアクティブエッジを設定する際

対象レジスタ：割り込みエッジ選択レジスタ(003A<sub>16</sub>番地)

タイマXYモードレジスタ(0023<sub>16</sub>番地)

タイマZモードレジスタ(002A<sub>16</sub>番地)

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(0016<sub>16</sub>番地)

- ・ 同一割り込みベクトルに複数の割り込み要因が割り当てられたベクトルの割り込み要因を切り替える際

対象レジスタ：割り込み要因選択レジスタ(0039<sub>16</sub>番地)

## (2) 割り込み要求ビットの判定

割り込み要求レジスタの割り込み要求ビットを“0”にした直後、BBC命令又はBBS命令をこの割り込み要求ビットに対して実行する場合は、BBC命令又はBBS命令を実行する前に、1命令実行してください。

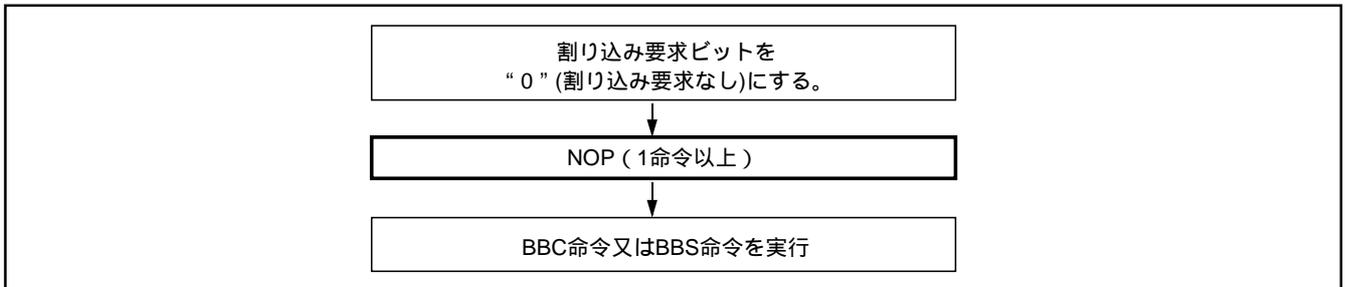


図3.3.2 割り込み要求ビットの判定手順

## 理由

割り込み要求レジスタの割り込み要求ビットを“0”にした直後にBBC命令又はBBS命令を実行すると、“0”になる前の割り込み要求ビットの値を判定します。

### 3.3.4 8ビットタイマ( タイマ1、タイマ2、タイマX、タイマY )に関する注意事項

タイマラッチに値n(“ 0 ”~“ 255 ”)を書き込んだ場合の分周比は、 $1/(n+1)$ です。

タイマ12カウントソース選択ビット及びタイマXカウントソース選択ビット、タイマYカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、タイマのカウント入力に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

パルス出力モードではCNTR<sub>0</sub>/CNTR<sub>1</sub>端子と共用のポートP5<sub>4</sub>/P5<sub>5</sub>を出力に設定してください。

イベントカウンタモード及びパルス幅測定モードではCNTR<sub>0</sub>/CNTR<sub>1</sub>端子と共用のポートP5<sub>4</sub>/P5<sub>5</sub>を入力に設定してください。

### 3.3.5 16ビットタイマ( タイマZ )に関する注意事項

#### (1) パルス出力モード

CNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を出力に設定してください。

#### (2) パルス周期測定モード

CNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を入力に設定してください。

このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、又はパルス周期測定の有効エッジを検出した場合のみ“ FFFF<sub>16</sub> ”に設定されます。よってパルス周期測定開始時タイマの値は、測定開始前のタイマの値に依存します。

#### (3) パルス幅測定モード

このモードではCNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を入力に設定してください。

このモードではタイマ値の読み出しを行えません。タイマへの書き込みはタイマ動作停止中(パルス周期未測定中)のみ有効です。

このモードのタイマラッチは、測定値の読み出し専用になりますので、測定中に書き込み動作を行わないでください。

タイマの値はタイマがアンダフローした場合、又はパルス幅測定の有効エッジを検出した場合のみ、“ FFFF<sub>16</sub> ”に設定されます。よってパルス幅測定開始時のタイマの値は測定開始以前のタイマの値に依存します。

#### (4) プログラマブル波形発生モード

このモードではCNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を出力に設定してください。

#### (5) プログラマブルワンショット発生モード

このモードではCNTR<sub>2</sub>端子と共用のポートP4<sub>7</sub>を出力に、INT<sub>1</sub>端子と共用のポートP4<sub>2</sub>を入力に設定してください。

低速モード選択時、プログラマブルワンショット発生モードは使用できません。

ワンショット発生許可中、又はワンショット発生中にCNTR<sub>2</sub>極性切り替えビットの値を変更した場合、CNTR<sub>2</sub>端子からの出力レベルが変化します。

## (6) 全モードにおいて

## タイマZ書き込み制御

タイマZはタイマZモードレジスタ(002A<sub>16</sub>番地)のタイマZ書き込み制御ビット(b3)によってラッチ及びタイマへの同時書き込み、又はラッチのみへの書き込みのいずれかを選択できます。ラッチのみへ書き込む場合、タイマZのアドレスに値を書き込むとタイマラッチに値が設定され、タイマは次のアンダフローで更新されます。リセット解除後はラッチ及びタイマへの同時書き込みになっており、タイマZのアドレスに値を書き込むとタイマとタイマラッチに同時に値が設定されます。なお、ラッチのみへ書き込む場合、リロード用ラッチに書き込むタイミングとアンダフローのタイミングがほぼ同時のときは、タイマに設定される値が不定になることがあります。

## タイマZ読み出し制御

パルス周期測定モード、パルス幅測定モード選択時タイマ値は読み出せません。これら以外のモードでは、カウント動作/停止に関係なく読み出し可能です。ただし、タイマラッチの値は読み出すことはできません。

CNTR<sub>2</sub>、INT<sub>1</sub>割り込み極性切り替え

CNTR<sub>2</sub>極性切り替えビット、INT<sub>1</sub>割り込みエッジ選択ビットの設定により、それぞれの割り込み極性も影響を受けます。

## カウントソース切り替え

タイマZカウントソース選択ビットによりタイマのカウントソースを切り替えるとき、カウント入力信号に細かいパルスが生じてタイマのカウント値が大きく変わることがあります。したがって、タイマのカウントソースを設定した後、タイマに値を設定してください。

## 3.3.6 シリアルインタフェースに関する注意事項

## (1) 同期形の選択時

## 送信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O<sub>i</sub>(i=1,3)の場合、シリアルI/O<sub>i</sub>許可ビット及び送信許可ビットを“0”(シリアルI/O<sub>i</sub>禁止及び送信禁止)にしてください。

## 理由

シリアルI/O<sub>i</sub>許可ビットだけを“0”(シリアルI/O<sub>i</sub>禁止)にしても、送信動作の停止及び送信回路の初期化は行われず、内部の送信動作は継続して行われます(TxDi、RxDi、SCLKi、SRDYi各端子の機能は入出力ポート機能となるため、送信データが外部へ出力されることはありません)。この状態で、送信バッファレジスタにデータを書き込むと、マイコン内部のシフト動作が開始されるため、そのデータは送信シフトレジスタに転送されます。この時点でシリアルI/O<sub>i</sub>許可ビットを“1”にすると、内部でシフト中のデータが途中からTxDi端子に出力され、不具合の原因となります。

## 受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O<sub>i</sub>(i=1,3)の場合、受信許可ビットを“0”(受信禁止)、又はシリアルI/O<sub>i</sub>許可ビットを“0”(シリアルI/O<sub>i</sub>禁止)にしてください。

## 送受信動作の停止

同期形/非同期形の切り替えが可能なシリアルI/O<sub>i</sub>(i=1,3)においては、クロック同期形シリアルI/Oモードの場合、送信許可ビット、及び受信許可ビットの両方を同時に“0”(送受信禁止)にしてください。

(クロック同期形シリアルI/Oモードのデータ送受信時、送信動作又は受信動作のいずれか一方だけを停止することはできません。)

## 理由

クロック同期形シリアルI/Oモードでは、送信及び受信に同一のクロックを使用しているため、いずれか一方だけを禁止した場合、送信と受信の同期がとれなくなり、ビットずれが生じます。

クロック同期形シリアルI/Oモードでは、受信のためにも送信回路のクロック回路が動作しています。そのため、送信許可ビットだけを“0”(送信禁止)にしても送信回路は止まらない構成になっています。また 送信動作の停止 と同様に、シリアルI/O許可ビットを“0”(シリアルI/O禁止)にしても送信回路を初期化できません。

## (2) 非同期形の選択時

## 送信動作の停止

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O許可ビット( $i=1, 3$ )を“0”にすることは送信動作は止まりません。

## 理由

(1)の と同じです。

## 受信動作の停止

受信許可ビットを“0”(受信禁止)にしてください。

## 送受信動作の停止

## 送信のみの停止

送信許可ビットを“0”(送信禁止)にしてください。シリアルI/O許可ビット( $i=1, 3$ )を“0”にすることは送信動作は止まりません。

## 理由

(1)の と同じです。

## 受信のみの停止

受信許可ビットを“0”(受信禁止)にしてください。

(3) 受信側の $\overline{\text{SRDY}}_i(i=1,3)$ 出力

クロック同期形シリアルI/Oモードにおいて、外部クロックを用いて受信側が $\overline{\text{SRDY}}_i$ 出力を行う場合、受信許可ビット及び $\overline{\text{SRDY}}_i$ 出力許可ビットとともに、送信許可ビットも“1”(送信許可)にしてください。

(4) シリアルI/O $_i(i=1,3)$ 制御レジスタの再設定

シリアルI/O $_i$ 制御レジスタを再設定する場合は、送信許可ビット及び受信許可ビットの両方を“0”にして、送信及び受信回路をリセットした後、設定し直してください。

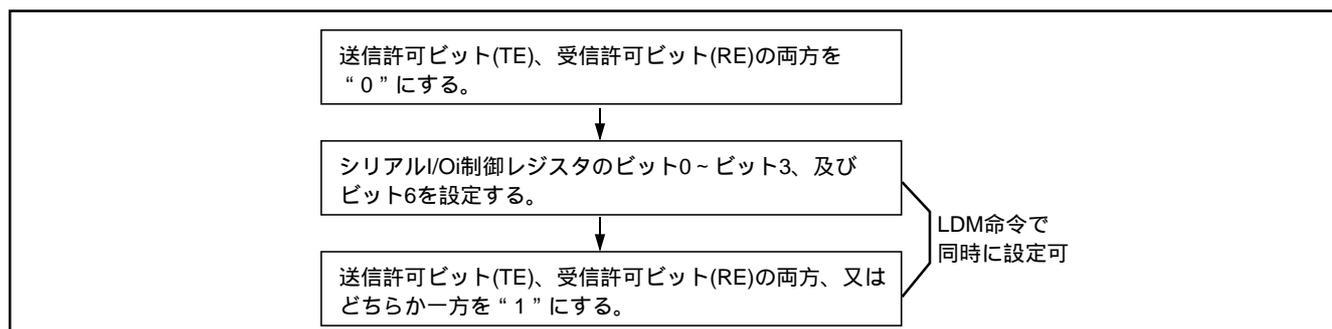


図3.3.3 シリアルI/O $_i(i=1,3)$ 制御レジスタの再設定手順

## (5) 送信シフトレジスタシフト終了フラグを使用したデータ送信制御

送信バッファに送信データを書き込んだ後、送信シフトレジスタシフト終了フラグは、シフトクロックの0.5~1.5クロック分遅れで“1”から“0”へ変化します。したがって送信バッファに送信データを書き込んだ後、送信シフトレジスタ終了フラグを参照してデータ送信を制御する場合、この遅れに注意してください。

## (6) 外部クロック選択時の送信制御

データ送信時、同期クロックとして外部クロックを選択している場合、SCLK<sub>i</sub>(i=1,3)が“H”の状態では送信許可ビットを“1”にしてください。また、送信バッファレジスタへの書き込みも、SCLK<sub>i</sub>が“H”の状態で行ってください。

## (7) 送信許可ビットセット時の送信割り込み要求

送信割り込みを使用する場合は、以下の手順で設定してください。

- ①シリアルI/O<sub>i</sub>送信割り込み許可ビット(i=1, 3)を“0”(禁止)にする。
- ②送信許可ビットを“1”にする。
- ③一命令以上おいてからシリアルI/O<sub>i</sub>送信割り込み要求ビット(i=1, 3)を“0”にする。
- ④シリアルI/O<sub>i</sub>送信割り込み許可ビット(i=1, 3)を“1”(許可)にする。

## ・理由

送信許可ビットを“1”に設定すると、送信バッファエンプティフラグ、及び送信シフトレジスタシフト終了フラグは、“1”に設定されます。

したがって、送信割り込みの発生要因に上記どちらのフラグが“1”に設定されるタイミングを選択しても、割り込み要求が発生し、送信割り込み要求ビットがセットされます。

(8) ポーレートジェネレータ(BRG<sub>i</sub>)(i=1,3)への書き込み

UART<sub>i</sub>(i=1,3)ポーレートジェネレータ(BRG<sub>i</sub>)(i=1,3)への書き込みは、送受信停止中に行ってください。

3.3.7 マルチマスタI<sup>2</sup>C-BUSインタフェースに関する注意事項

## (1) リード・モディファイ・ライト命令の使用について

マルチマスタI<sup>2</sup>C-BUSインタフェースの各レジスタは、ハードウェアによって変化するビットが存在しますので、SEB,CLBなどのリード・モディファイ・ライト命令を使用する場合は注意が必要です。

注意事項を以下に示します。

I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)

転送中にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

I<sup>2</sup>Cスレーブアドレスレジスタ0~2(S0D0:0FF7<sub>16</sub>番地, S0D1:0FF8<sub>16</sub>番地, S0D2:0FF9<sub>16</sub>番地)

ストップコンディション検出時にリード・モディファイ・ライト命令を使用すると意図しない値になることがあります。

## 理由

ストップコンディション検出時にリード/ライト(RWB)ビットがハードウェアによって変化するため。

I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)

すべてのビットはハードウェアによって変化するためリード・モディファイ・ライト命令は使用しないでください。

I<sup>2</sup>Cコントロールレジスタ(S1D:0014<sub>16</sub>番地)

スタートコンディション検出時及びバイト転送完了時にリード・モディファイ・ライト命令を使用すると、意図しない値になることがあります。

## 理由

ビットカウンタ(BC0~BC2)がハードウェアによって変化するため

I<sup>2</sup>Cクロックコントロールレジスタ(S2:0015<sub>16</sub>番地)

リード・モディファイ・ライト命令は使用可能です。

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(S2D:0016<sub>16</sub>番地)

リード・モディファイ・ライト命令は使用可能です。

## (2) マルチマスタで使用する場合のスタートコンディション発生手順について

以下の手順でスタートコンディションを発生してください。

```

LDA #SLADR ;スレーブアドレス値の取り出し
SEI ;割り込みの禁止
BBS 5, S1, BUSBUSY ;BBフラグ確認及び分岐処理
BUSFREE :
STA S0 ;スレーブアドレス値の書き込み
LDM # $F0, S1 ;スタートコンディション発生トリガ
CLI ;割り込み許可

BUSBUSY :
CLI ;割り込み許可

```

BBフラグの確認及び分岐処理はBBS5,S1,~のブランチ・ビット・セット命令を必ず使用してください。I<sup>2</sup>Cデータシフトレジスタ(S0:0011<sub>16</sub>番地)へのスレーブアドレスの書き込みには、STA,STX,STYのゼロページアドレッシング命令を必ず使用してください。

前記 の分岐命令と のストア命令は手順例のとおり、必ず連続して実行するようにしてください。BBフラグの確認、スレーブアドレス値の書き込み、スタートコンディション発生トリガ、以上3つの処理ステップの間は、必ず割り込みを禁止してください。

## (3) マスタ時のリスタートコンディションの発生方法について

PINビットが“0”のとき、以下の手順でリスタートコンディションを発生してください。

LDM # \$ 0 0 , S 1	;スレーブ受信モード
LDA # S L A D R	;スレーブアドレス値の取り出し
SEI	;割り込みの禁止
STA S 0	;スレーブアドレス値の書き込み
LDM # \$ F 0 , S 1	;リスタートコンディション発生トリガ
CLI	;割り込み許可

PINビットが“0”の状態ですレーブ受信モードにしてください。PINビットには“1”を書き込まないでください。TRXビットが“0”になり、SDA端子が開放されます。

スレーブアドレス値をI<sup>2</sup>Cデータシフトレジスタに書き込むことによって、SCL端子が開放されます。

スレーブアドレス値の書き込み、リスタートコンディション発生のトリガ、以上2つの処理ステップの間は必ず割り込みを禁止にしてください。

(4) I<sup>2</sup>Cステータスレジスタ(S1:0013<sub>16</sub>番地)への書き込みについて

同時にPINビットを“0”から“1”、MSTビット及びTRXビットを“1”から“0”にする命令を実行しないでください。SCL端子が開放されて、約1マシサイクル後にSDA端子が開放される状態になることがあります。PINビットが“1”のときに、MSTビット及びTRXビットを“1”から“0”にする命令を実行しても、同様の状態になることがあります。

(5) I<sup>2</sup>Cクロックコントロールレジスタ(S2:0015<sub>16</sub>番地)への書き込みについて

I<sup>2</sup>Cクロックコントロールレジスタの書き込みを転送途中で行わないでください。転送途中に書き込みを行うとI<sup>2</sup>Cクロックジェネレータがリセットされ、データが正常に転送できません。

(6) SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビット、I<sup>2</sup>C-BUSインタフェース許可ビットの切り替えについて

SCL/SDA割り込み端子極性選択ビット、SCL/SDA割り込み端子選択ビット、又はI<sup>2</sup>C-BUSインタフェース許可ビットES0の設定を変更する際、SCL/SDA割り込み要求ビットがセットされることがあります。SCL/SDA割り込みを要因として選択している場合、上記のビット設定を“0”にリセットして割り込みを許可してください。

## (7) マスタ時のストップコンディション発生後の処理について

マスタとしてストップコンディションを発生させた後、バスビジーフラグBBが“0”になるまでの間、I<sup>2</sup>CデータシフトレジスタS0及び、I<sup>2</sup>Cステータスレジスタに書き込みを行わないでください。スレーブデバイスによっては、ストップコンディション波形が正常に出力されないことがあります。なお、上記レジスタに対する読み出しは問題ありません。

## (8) ES0ビットの切り替えについて

高速クロックモード、又はSCC≠“00010<sub>2</sub>”時の標準クロックモードにおいて、SDAが“L”のときにES0ビットを“1”にすると、BB≠“1”になることがあります。

対策：

SDAが“H”のときに、ES0≠“1”にしてください。

## 3.3.8 SMBUSインタフェース用プログラム作成に関する注意事項

## (1) タイムアウト処理

スマートバッテリーシステムの場合、通信中でもバッテリーがPC本体から抜かれる可能性があるため、通信が中断された場合でも通信完了できるよう、ソフトウェアによるタイムアウト処理が必要となります。規格上はスタートコンディションからストップコンディションまで25ms以内、各バイトのACKパルスからACKパルス間は10ms以内に通信を完了するよう定義されています。そのため、タイマのカウント開始条件として、以下の2点が考えられます。

SCL/SDA割り込みの、SDAの立ち下がり

スタートコンディションからスレーブアドレスの途中で、通信が中断した場合の対策。ただし、他のマスタから他のスレーブに対する通信でも、割り込みが発生するため、検出条件を考慮する必要があります。

スレーブアドレス受信後のSMBUS割り込み

スレーブアドレス受信後、コマンド受信までの間に通信が中断した場合の対策。

## (2) 通信ラインLowホールド対策

I<sup>2</sup>C-BUSインタフェースはI<sup>2</sup>C-BUS規格に準拠していますが、SMBUSで使用する場合は、I<sup>2</sup>C-BUSと使用条件が異なるため、以下のような問題が発生する場合があります。各対策を参照してください。

通信ライン電圧降下時のACKパルスによるSDAラインLowホールド

バッテリーが本体から抜かれた、又はPCの電源がOFFされたなどの理由で、SMBUSの電圧が徐々に低下する場合、スレッシュホールド電圧付近でSCLのパルスと誤認識する可能性があります。

この場合、もしSDAが“L”と認識されれば、ジェネラルコールとなり、ACKを送信しますが、SCLがACKパルス部分で“L”のままの場合、次のSCLパルスが入力されない限り、SDAはACKを出力した状態の“L”で保持されることとなります。

対策：

前述のようにスタートコンディションのSDAラインの立ち下がりによってタイムアウトのカウントを開始し、タイムアウトが成立した時点でS1DレジスタのES0ビットをリセットする。(注)

注：リード・モディファイ・ライト命令は使用できません。また、ES0=“0”に設定した時点で汎用ポートになるため、ポートは入力モード、又は“H”出力に設定する。

## 3.3.9 PWMに関する注意事項

PWM機能許可ビットによってPWMを許可した後、PWM端子から一時的に“L”レベルが出力されてから、PWMは“H”から開始します。

この“L”レベルの出力時間は次のとおりです。

- ・ カウントソース選択ビット=“0”； n = プリスケアラ設定値

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- ・ カウントソース選択ビット=“1”； n = プリスケアラ設定値

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

### 3.3.10 A/Dコンバータに関する注意事項

#### (1) アナログ入力端子

アナログ入力の信号源インピーダンスは小さくしてください。又は、アナログ入力端子に、 $0.01\mu\text{F}$   $\sim$   $1\mu\text{F}$ の外付けのコンデンサを付加してください。更に、ユーザサイドで応用製品の十分な動作確認を行ってください。

##### 理由

アナログ入力端子には、アナログ電圧比較用のコンデンサが内蔵されています。そのため、インピーダンスの高い信号源からの信号をアナログ入力端子に入力した場合、充放電ノイズが発生し、十分なA/D変換精度が得られない場合があります。

#### (2) A/Dコンバータ用電源端子

A/D変換機能の使用又は不使用にかかわらず、A/Dコンバータ用電源端子AVSSはVSSに接続してください。

##### 理由

AVSS端子を開放すると、ノイズなどの影響を受けるためマイコンが誤動作をすることがあります。

#### (3) A/D変換中のクロック周波数

比較器は容量結合で構成されており、クロック周波数が低いと電荷が失われます。そのため、A/D変換中は以下の2点に留意してください。

- ・  $f(\text{XIN})$ は500kHz以上にしてください。
- ・ STP命令を実行しないでください。

#### (4) 10ビットA/Dモード時の8ビット読み出しと8ビットA/Dモードの差異

10ビットA/Dモード時の8ビット読み出しでは、A/D変換結果に“-1/2LSB”の補正が入りません。これに対して8ビットA/Dモードでは“-1/2LSB”補正が加えられ、3802グループと同一のA/D変換特性となります。

### 3.3.11 D/Aコンバータに関する注意事項

D/Aコンバータ使用時は以下の点に注意してください。

#### (1) D/Aコンバータを使用する場合のVcc

D/Aコンバータの精度はVccが4.0V以下で異なります。D/Aコンバータを使用する場合は、Vccを4.0V以上にすることを推奨します。

#### (2) D/Aコンバータを使用しない場合のVcc

D/Aコンバータを使用しない場合、DAi変換レジスタ( $i=1, 2$ )の設定値は、すべて“00<sub>16</sub>”にしてください。リセット後の初期値は“00<sub>16</sub>”です。

### 3.3.12 ウォッチドッグタイマに関する注意事項

ストップ解除の待ち時間の間もウォッチドッグタイマはカウントするため、この間にウォッチドッグタイマHがアンダフローしないようにしてください。

ウォッチドッグタイマ制御レジスタのSTP命令禁止ビットを一旦“1”にすると、プログラムにより“0”に書き替えることはできません。

### 3.3.13 リセット端子に関する注意事項

#### コンデンサの接続

リセット信号が緩やかに立ち上がる場合は、RESET端子とVss端子の間に、セラミックコンデンサなどの高周波特性の良い1000pF以上のコンデンサを接続してください。コンデンサを使用する際は、以下の2点に留意してください。

- ・コンデンサの配線長は最短にしてください。
- ・ユーザサイドで応用製品の動作確認を十分行ってください。

#### 理由

RESET入力端子に数nsから数十nsのインパルス性のノイズが乗った場合、マイコンが誤動作をすることがあります。

### 3.3.14 低速モードに関する注意事項

#### (1) サブクロックの使用

サブクロックを使用する場合、CPUモードレジスタのビット3を常に“1”に固定してください。又Rd (図3.3.4参照)の抵抗値を調整することにより、発振の安定を図ってください。この抵抗値については発振子メーカーにお問い合わせください。

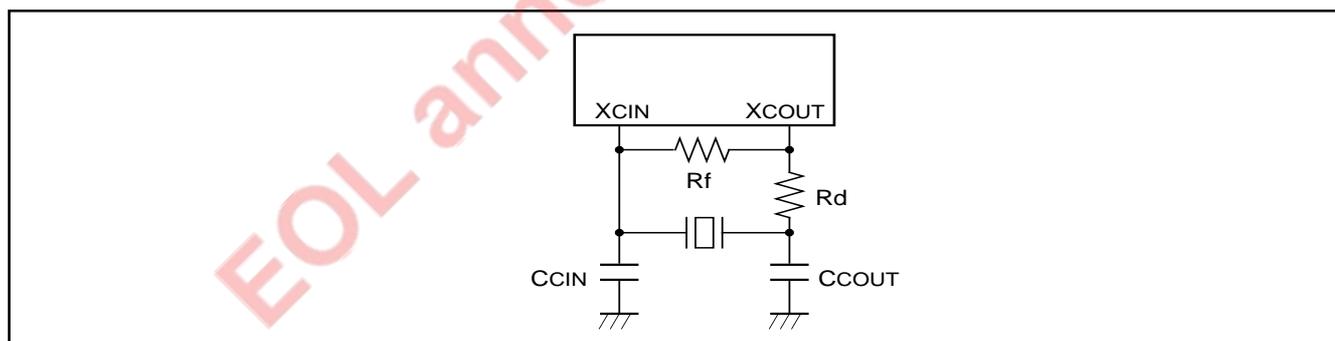


図3.3.4 水晶発振外付け

#### 理由

CPUモードレジスタのビット3を“0”に設定すると、サブクロックの発振動作が停止することがあります。

#### (2) 中/高速モードと低速モード間の移行

中/高速モードと低速モード間の移行を行う場合は、X<sub>IN</sub>側、X<sub>CIN</sub>側ともに発振が安定している必要があります。特に、X<sub>CIN</sub>側の発振立ち上がりは時間を要するので、電源投入直後やストップからの復帰時は注意してください。また、移行するときは $f(X_{IN}) > 3 \cdot f(X_{CIN})$ である必要があります。

### 3.3.15 水晶発振子に関する注意事項

16MHzなど高周波の水晶発振子をご使用の場合、要求仕様等によっては特定の発振子の選定が必要となる場合があります。

### 3.3.16 発振の再開に関する注意事項

#### 発振の再開

通常は、ストップ命令が外部割り込みにより解除されるとタイマ1及びプリスケアラ12には特定の値(タイマ1には0116、プリスケアラ12にはFF16)が発振安定待ちのため自動的にセットされます。一方、MISR(G 0010<sub>16</sub>番地)のbit0を“1”にセットすることでこの自動セットを無効にすることもできます。ただしこのビットを“1”にセットした場合、ストップ命令実行直前のタイマ1及びプリスケアラ12に残っている値が発振安定待ち時間用のカウント値となってしまうため、STP命令実行前に、発振の立ち上がり時間を十分に確保できる値をタイマ1及びプリスケアラ12に設定してください。

#### 理由

外部割り込みが受け付けられると発振は再開しますが、タイマ1がアンダフローしてはじめてCPUに内部クロックが供給されます。これは、セラミック発振などを使用した場合、発振の立ち上がりに時間を要するためです。

### 3.3.17 ストップモード使用上の注意事項

#### レジスタ設定

ストップモードからの復帰時、プリスケアラ12、タイマ1の値は自動的に書き換えられていますので、それぞれ再設定してください。(STP命令解除後発振安定時間設定ビットが“0”のとき)

#### 復帰後のクロック

割り込みによってストップモードから復帰すると、STP命令実行前のCPUモードレジスタの内容が保持されています。そのためSTP命令実行前にメインクロック、サブクロックとも発振させていた場合は、割り込みによってストップモードから復帰するとメインクロック、サブクロックとも発振を再開します。

上記においてメインクロック側がシステムクロックに設定されていた場合、ストップモードからの復帰時にタイマ1のアンダフローまでの発振安定時間が確保されます。STP命令解除後発振安定時間設定ビットが“0”のときはカウントソースの512カウント分、STP命令解除後発振安定時間設定ビットが“1”のときはプリスケアラ12、タイマ1に任意に設定されたカウント分が発振安定時間になります。このとき、メインクロック側の発振安定時間経過後でもサブクロック側の発振は安定していませんので、注意してください。

### 3.3.18 ウェイトモード使用上の注意事項

#### 復帰後のクロック

WIT命令実行時にX<sub>CIN</sub>をシステムクロックとして設定し、X<sub>IN</sub>の発振を停止させていた場合に、リセットによってウェイトモードから復帰すると、X<sub>CIN</sub>の発振が停止し、X<sub>IN</sub>が発振を開始し、X<sub>IN</sub>がシステムクロックになります。

上記においてX<sub>IN</sub>の発振が安定するまで、 $\overline{\text{RESET}}$ 端子に“L”レベルを入力しておく必要があります。

## 3.3.19 CPU書き換えモードに関する注意事項

## (1) 動作速度

CPU書き換えモード中は、メインクロック分周比選択ビット(003B<sub>16</sub>番地のビット6,7)によって、システムクロック が4.0MHz以下になるように設定してください。

## (2) 使用禁止命令

CPU書き換えモード中、フラッシュメモリ内部のデータを参照する命令は使用できません。

## (3) 割り込み

CPU書き換えモード中、割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

## (4) ウォッチドッグタイマ

すでにウォッチドッグタイマが起動されている場合は、プログラム又はイレーズ中、ウォッチドッグタイマは常にクリアされるので、アンダフローによる内部リセットは発生しません。

## (5) リセット

常に受け付けます。リセット解除時、CNV<sub>ss</sub>=Hの場合、ブートモードで起動されるので、ブートROM領域のFFFC<sub>16</sub>、FFFD<sub>16</sub>番地に格納されたアドレスからプログラムがスタートします。

## 3.3.20 プログラム作成に関する注意事項

## (1) プロセッサステータスレジスタ使用

## プロセッサステータスレジスタの初期化

プログラムの実行に影響を与えるプロセッサステータスレジスタ(PS)のフラグを初期化しておく必要があります。

特にTフラグとDフラグは、演算そのものに影響を与えるため、初期化が必須となります。

## 理由

プロセッサステータスレジスタ(PS)は、Iフラグが“1”であるのを除いて、リセット直後は不定です。

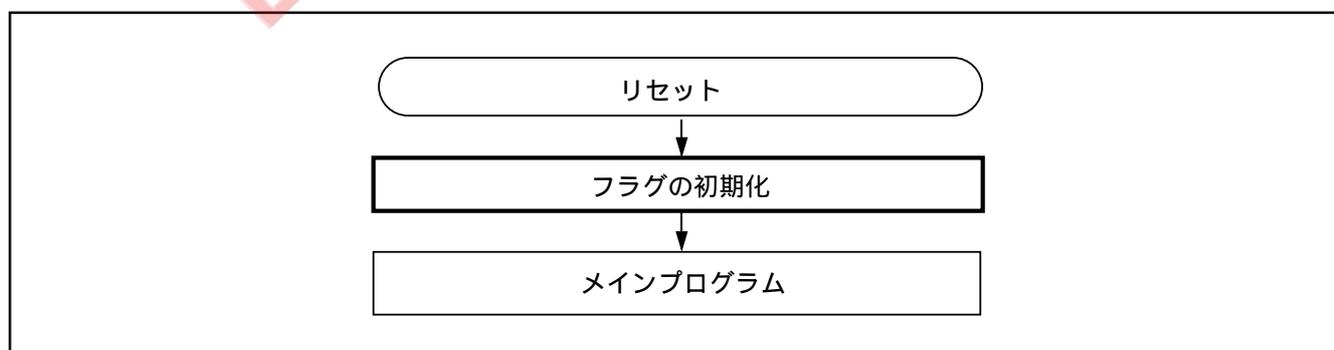


図3.3.5 プロセッサステータスレジスタのフラグの初期化

### プロセッサステータスレジスタの参照方法

プロセッサステータスレジスタ(PS)の内容を参照したい場合には、一度PHP命令を実行した後で、(S)+1の内容を読み出します。さらに必要な場合にはPLP命令の実行により退避したPSを元に戻します。

PLP命令実行後には、必ずNOP命令を入れてください。

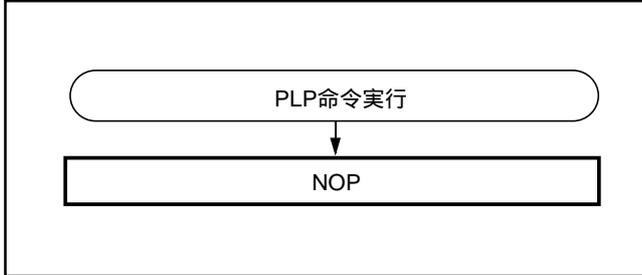


図3.3.6 PLP命令実行時の手順

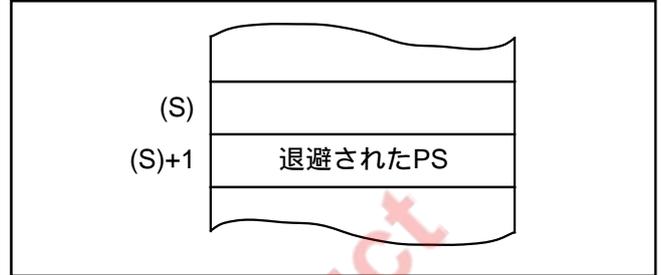


図3.3.7 PHP命令実行後のスタックメモリの内容

## (2) BRK命令

### 割り込み優先順位

下記2つの状態である時にBRK命令を実行すると、その要因の中で最も優先順位の高い要因の割り込みベクトルの番地から割り込みの実行を開始します。

- ・割り込み要求ビット、割り込み許可ビットが共に“1”
- ・Iフラグを“1”にして割り込みを禁止

## (3) 10進演算

### 10進演算時の命令

10進演算を行う場合、SED命令により10進モードフラグDを“1”にセットして、ADC命令又はSBC命令を実行します。その場合、SEC命令、CLC命令、又はCLD命令は、ADC命令又はSBC命令よりも一命令後に行ってください。

### 10進演算時のステータスフラグ

10進モード(Dフラグ=1)時にADC、SBC命令を実行したとき、ステータスフラグのうちN、V、Zの3つのフラグは無効となります。

また、C(キャリ)フラグは演算の結果、桁上がりが発生すると“1”にセット、桁借りが発生すると“0”にクリアされますので、演算結果の桁上がり、桁借りを判定させるフラグとして利用できます。また、演算前にはCフラグの初期化を行ってください。

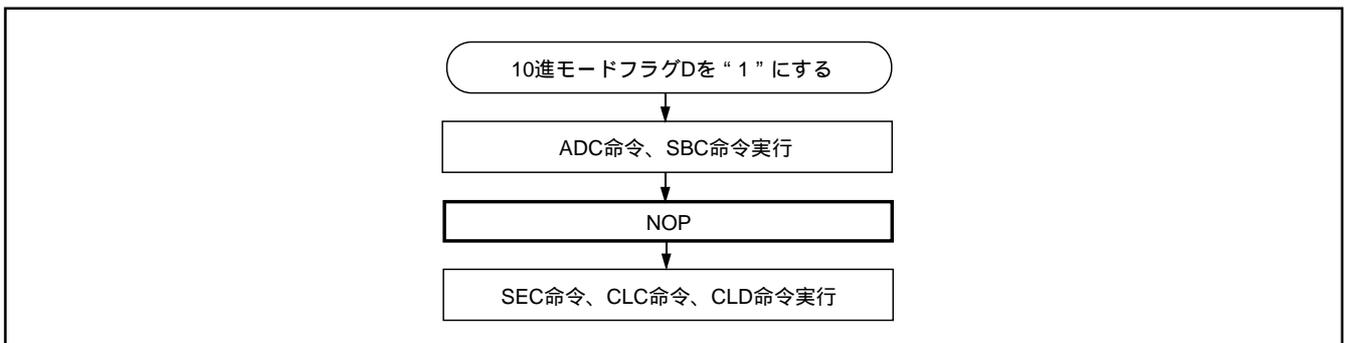


図3.3.8 10進演算時のステータスフラグ

#### (4) JMP命令

JMP命令(間接アドレッシングモード)を使用する場合、下位8ビットが“FF16”となるアドレスをオペランドに指定しないでください。

#### (5) 乗除算命令

- ・ MUL、DIV命令は、T、Dフラグの影響を受けません。
- ・ 乗除算命令の実行ではプロセッサステータスレジスタの内容は変化しません。

#### (6) ポート

ポート方向レジスタの値は読み出すことができません。すなわち、LDA命令をはじめ、Tフラグが“1”の場合のメモリ演算命令、方向レジスタの値を修飾値とするアドレッシングモード、BBC、BBSなどのビットテスト命令は使用できません。また、CLB、SEBなどのビット操作命令、RORなどの演算を始めとする方向レジスタのリード・モディファイ・ライト命令も使用できません。方向レジスタの設定はLDM命令、STA命令などを使用してください。

### 3.3.21 フラッシュメモリ版に関する注意事項

CNVss端子はフラッシュメモリモードを決定する端子です。ノイズ誤動作耐量向上の点から、CNVss端子の配線は1~10k $\Omega$ の抵抗を介してVss又はVccに接続くださるようお願いいたします。なお、マスクROM版のCNVss端子の配線が抵抗を介して接続されていても、動作上支障はありません。

### 3.3.22 フラッシュメモリ版/マスクROM版の相違点に関する注意事項

フラッシュメモリ版及びマスクROM版は、製造プロセス、内蔵ROM、レイアウトパターンの相違などにより、電気的特性の範囲内で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。マスクROM版への切り換え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

### 3.3.23 電源端子の取扱いに関する注意事項

ご使用の際には、ラッチアップ現象防止のため、素子の電源端子(Vcc端子)とGND端子(Vss端子)との間、及び電源端子(Vcc端子)とアナログ電源入力端子(AVss端子)との間に高周波特性の良いコンデンサをバイパスコンデンサとして付加してください。バイパスコンデンサは0.01 $\mu$ F~0.1 $\mu$ Fのセラミックコンデンサを推奨いたします。

また、バイパスコンデンサは電源端子とGND端子との間、電源端子とアナログ電源入力端子との間を最短距離で付加くださるようお願いいたします。

### 3.3.24 電源電圧に関する注意事項

マイコンの電源電圧が推奨動作条件に示した値未満のとき、マイコンは正常に動作せず、不安定な動作をすることがあります。

電源電圧低下時および電源オフ時などに電源電圧が緩やかに下がるシステムでは、電源電圧が推奨動作条件未満のときにはマイコンをリセットするなど、この不安定な動作によってシステムに異常を来たさないようシステム設計してください。

### 3.4 ノイズに関する注意事項

#### 3.4.1 配線長の短縮

##### (1) リセット端子の配線

リセット端子に接続する配線は短くしてください。特にリセット端子とVss端子間に接続するコンデンサは、それぞれの端子とできるだけ短い(20 mm以内)配線で接続してください。

##### 理由

リセット端子に入力されるパルス幅はタイミング必要条件で規定されます。規定幅より短いパルス幅のノイズがリセット端子に入力されると、マイコン内部が完全な初期状態になる前にリセットが解除され、プログラム暴走の原因となります。

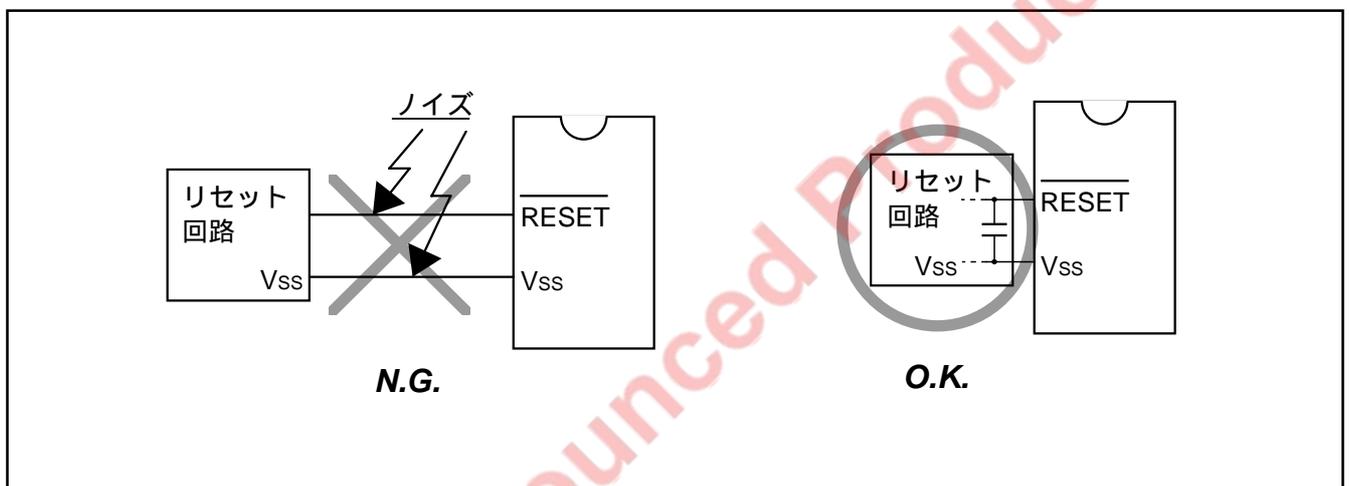


図3.4.1 リセット入力端子の配線

## (2) クロック入出力端子の配線

- ・クロック入出力端子に接続する配線は短くしてください。
- ・発振子に接続するコンデンサの接地側リード線とマイコンのVss端子とは最短(20mm以内)の配線で接続してください。
- ・発振用のVssパターンは発振回路専用とし、他のVssパターンと分離してください。

## 理由

クロック入出力端子にノイズが侵入すると、クロックの波形が乱れ、誤動作や暴走の原因となります。

また、マイコンのVssレベルと発振子のVssレベルとの間にノイズによる電位差が生じると正確なクロックがマイコンに入力されません。

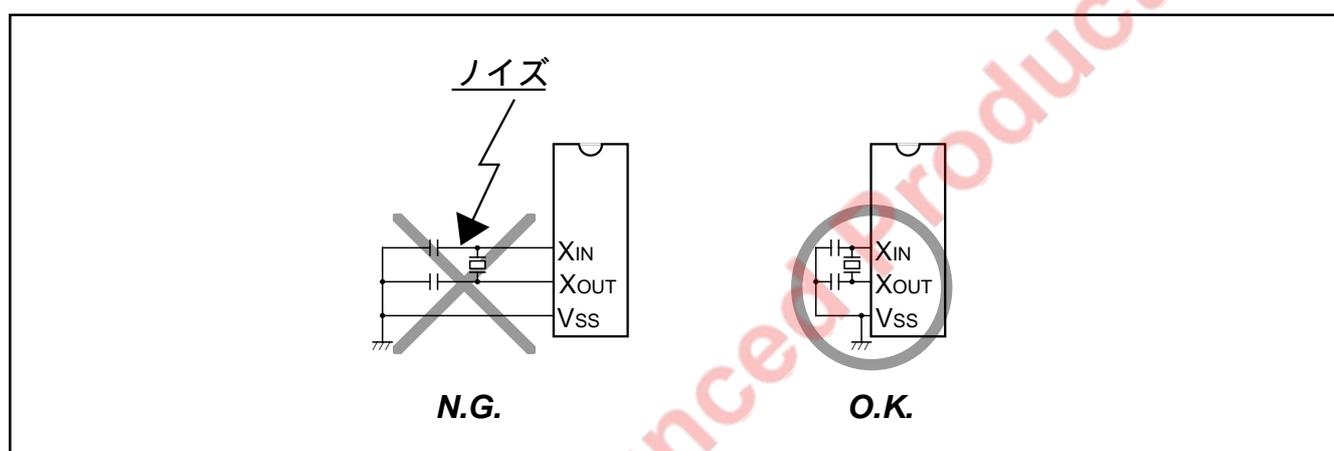


図3.4.2 クロック入出力端子の配線

## (3) CNVss端子の配線

CNVss端子とVss端子とを接続する場合、最短の配線で接続してください。

## 理由

CNVss端子のレベルはマイコンの動作モードに影響します。CNVss端子とVss端子とを接続する場合、CNVss端子レベルとVss端子レベルとの間にノイズによる電位差が生じると動作モードが不安定となり、誤動作や暴走の原因となります。

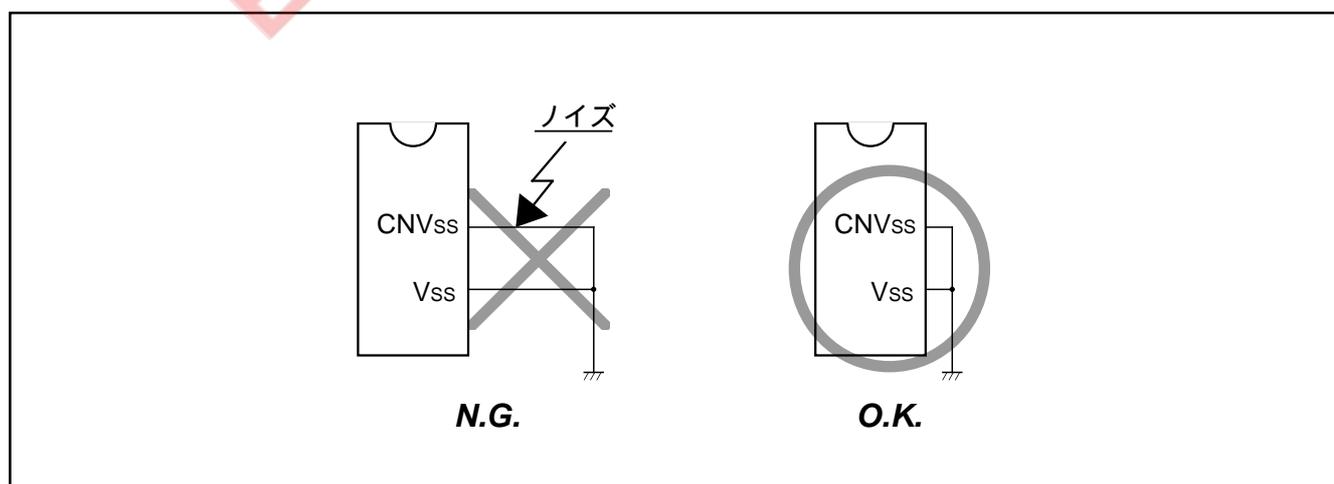


図3.4.3 CNVss端子の配線

## 3.4.2 Vss - Vccライン間へのバイパスコンデンサ挿入

Vss - Vccライン間に 0.1  $\mu$ F程度のバイパスコンデンサを、以下の条件で挿入してください。

- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を等しくする
- ・ Vss端子 - バイパスコンデンサ間の配線長とVcc端子 - バイパスコンデンサ間の配線長を最短とする
- ・ Vssライン及びVccラインは他の信号線よりも幅の広い配線を使用する
- ・ 電源配線は、バイパスコンデンサを経由してVss端子及びVcc端子へ接続する

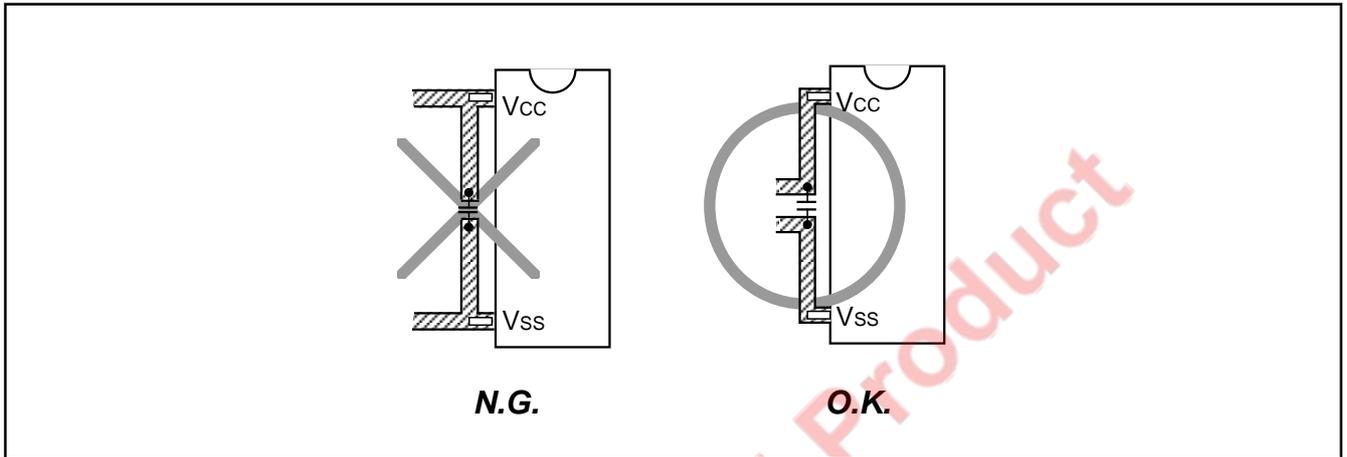


図3.4.4 Vss - Vccライン間のバイパスコンデンサ

## 3.4.3 アナログ入力端子の配線処理

- ・アナログ入力端子に接続されるアナログ信号線の、マイコンのできるだけ近い位置に、100～1k 程度の抵抗を直列に接続してください。
- ・アナログ入力端子とVss端子間の、Vss端子にできるだけ近い位置に容量1000pF程度のコンデンサを挿入し、かつ、アナログ入力端子 - コンデンサ間の配線及びVss端子 - コンデンサ間の配線長を等しくしてください。

## 理由

通常、アナログ入力端子(A/Dコンバータ/比較器入力端子など)に入力される信号はセンサからの出力信号です。事象の変化を検知するセンサは、マイコンを実装している基板から離れた位置に配置されることが多く、アナログ入力端子への配線は必然的に長くなります。この長い配線はノイズをマイコン内部に引き込むアンテナとなるため、アナログ入力端子にノイズが引き込まれ易くなります。

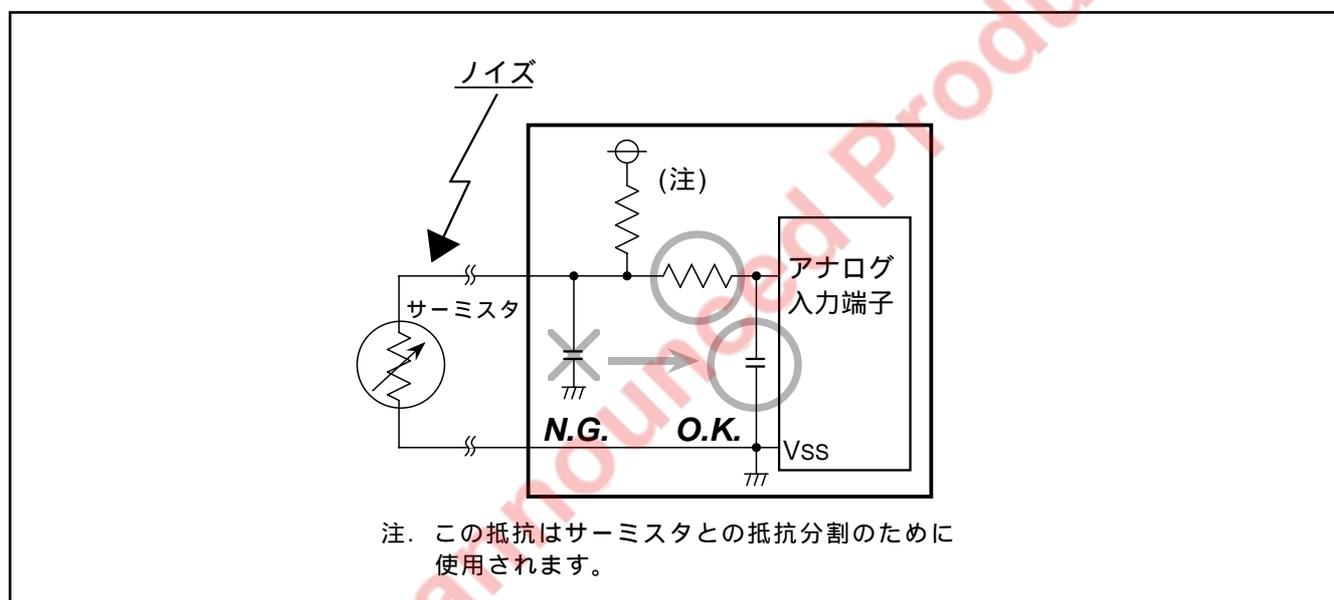


図3.4.5 アナログ信号線と抵抗及びコンデンサ

## 3.4.4 発振子への配慮

マイコンの動作の基本となるクロックを生成する発振子には、他の信号から影響を受けにくくする配慮が必要です。

## (1) 大電流が流れる信号線からの回避

マイコンが扱う電流値の範囲を越えた大きな電流が流れる信号線は、マイコン(特に発振子)からできるだけ遠い位置に配置してください。

## 理由

マイコンを使用するシステムでは、モータ、LED、サーマルヘッドなどを制御する信号線が存在します。これらの信号線に大電流が流れる場合、相互インダクタンスによるノイズが発生します。

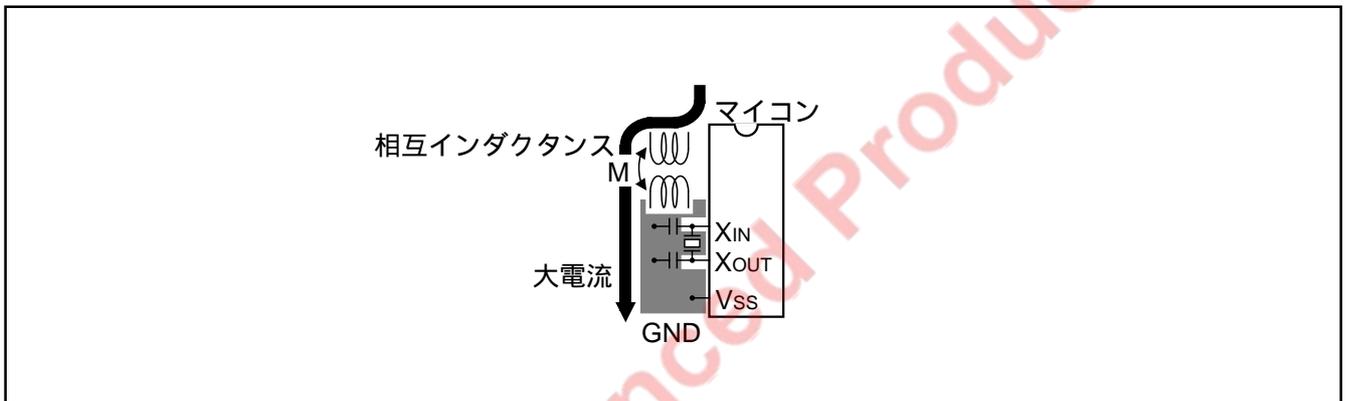


図3.4.6 大電流が流れる信号線の配線

## (2) 高速にレベル変化する信号線からの回避

高速にレベル変化する信号線は、発振子及び発振子の配線パターンからできるだけ遠い位置に配置してください。

また、高速にレベル変化する信号線は、クロック関連の信号線、その他ノイズの影響を受けやすい信号線と交差させないでください。

## 理由

高速にレベル変化するCNTR端子などの信号は、立ち上がり又は立ち下がり時のレベル変化によって他の信号線に影響を与えやすくなります。特にクロック関連の信号線と交差するとクロックの波形が乱れ、誤動作や暴走の原因となります。

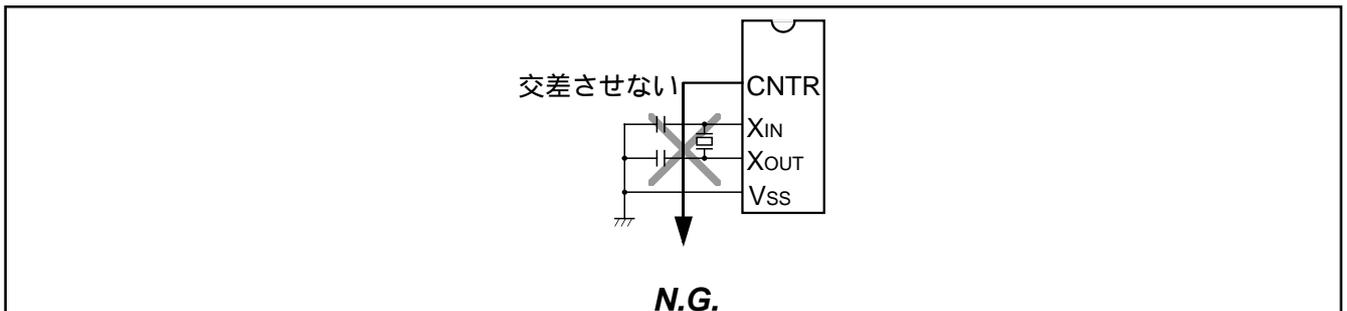


図3.4.7 リセット入力端子の配線

## (3) Vssパターンによる保護

両面基板の場合、発振子の実装される面(実装面)の裏側(ハンダ面)の、発振子と同じ位置はVssパターンにしてください。

このVssパターンはマイコンのVss端子と最短の配線で接続し、他のVssパターンから独立させてください。

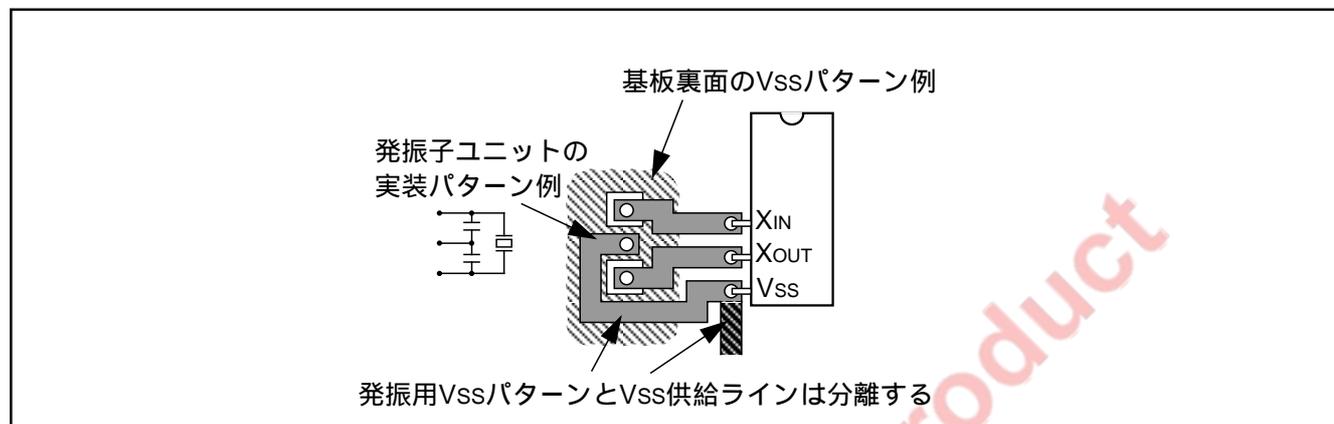


図3.4.8 発振子の裏面のVssパターン

## 3.4.5 入出力ポート処理

入出力ポートは以下の要領で、ハードウェア、ソフトウェアの両面で対策を行ってください。

ハードウェア面

- ・入出力ポートに100 Ω以上の抵抗を直列に挿入してください。

ソフトウェア面

- ・入力ポートではプログラムで複数回読み込みを行い、レベルの一致を確認してください。
- ・出力ポートではノイズによって出力データが反転する可能性があるため、一定周期でデータレジスタの再書き込みを行ってください。
- ・一定周期で方向レジスタ、プルアップ制御レジスタ(内蔵する品種のみ)の再書き込みを行ってください。

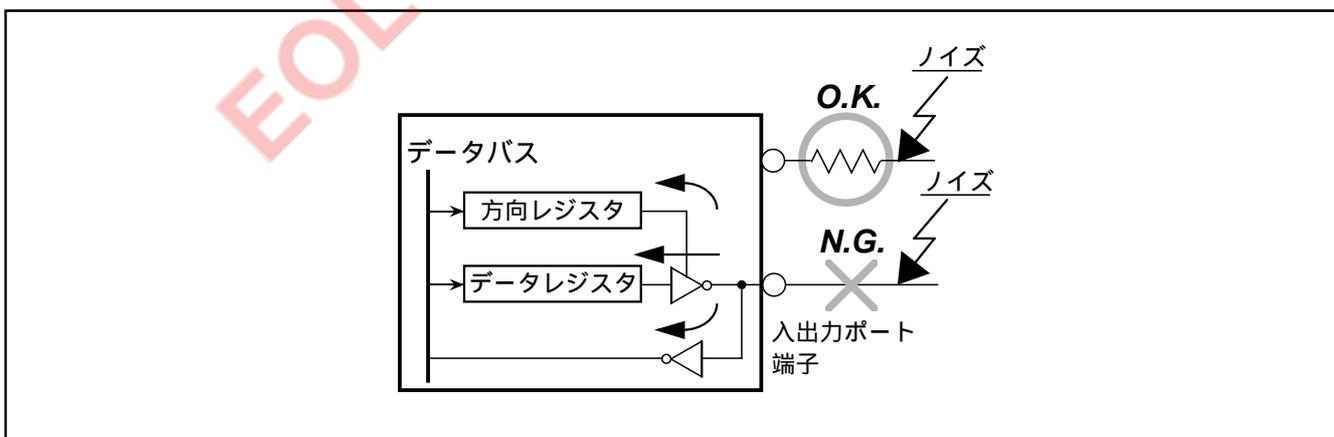


図3.4.9 入出力ポート処理

### 3.4.6 ソフトウェアによるウォッチドッグタイマ機能の実現

ノイズなどによってマイコンが暴走した場合、ソフトウェアによるウォッチドッグタイマで暴走を検出し、正常動作に復帰させる方法があります。この方法は、ハードウェアのウォッチドッグタイマを使用して暴走を検出する方法と同等又はそれ以上の効果があります。ソフトウェアによるウォッチドッグタイマの例を以下に示します。

この例ではメインルーチンが割り込み処理ルーチンの動作を、割り込み処理ルーチンがメインルーチンの動作を相互に監視し、異常を検出するとマイコンを正常な状態に復帰させます。

ただし、この例ではメインルーチンの1周期中に割り込み処理が複数回行われることが前提となります。

メインルーチンでは

- RAMの1バイトをソフトウェアウォッチドッグタイマ用(SWDT)に割り当て、メインルーチン1周期ごとに1回、初期値NをSWDTに書き込みます。初期値Nは以下の条件を満たすこととします。

N+1      メインルーチンの1周期中に行われる割り込み処理の回数

注. メインルーチンの周期は割り込み処理などによって変化するため、初期値Nには余裕を持たせた値を設定してください。

- SWDTの内容と初期値Nを設定してからの割り込み処理回数とを比較することによって、割り込み処理ルーチンの動作を監視します。
- 割り込み処理を行ってもSWDTの内容が変化しない場合は、割り込み処理ルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

割り込み処理ルーチンでは

- SWDTの内容を1回の割り込み処理で1減算します。
- ほぼ一定の周期(一定の割り込み処理回数)でSWDTの内容が初期値Nに戻ることで、メインルーチンの正常動作を確認します。
- SWDTの内容がNに初期化されることなく減算され続け、SWDTの内容が0以下になった場合、メインルーチンの動作が異常であると判断し、プログラム初期化ルーチンへ分岐するなどの復帰処理を行います。

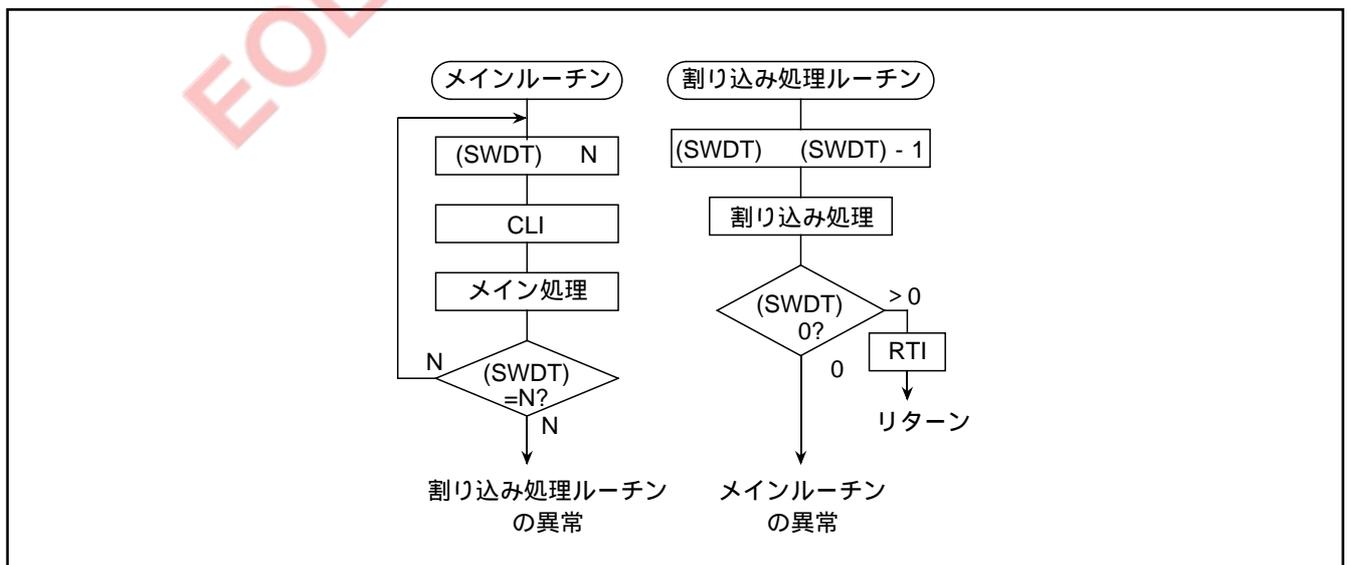


図3.4.10 ソフトウェアによるウォッチドッグタイマ

## 3.5 レジスタ一覧

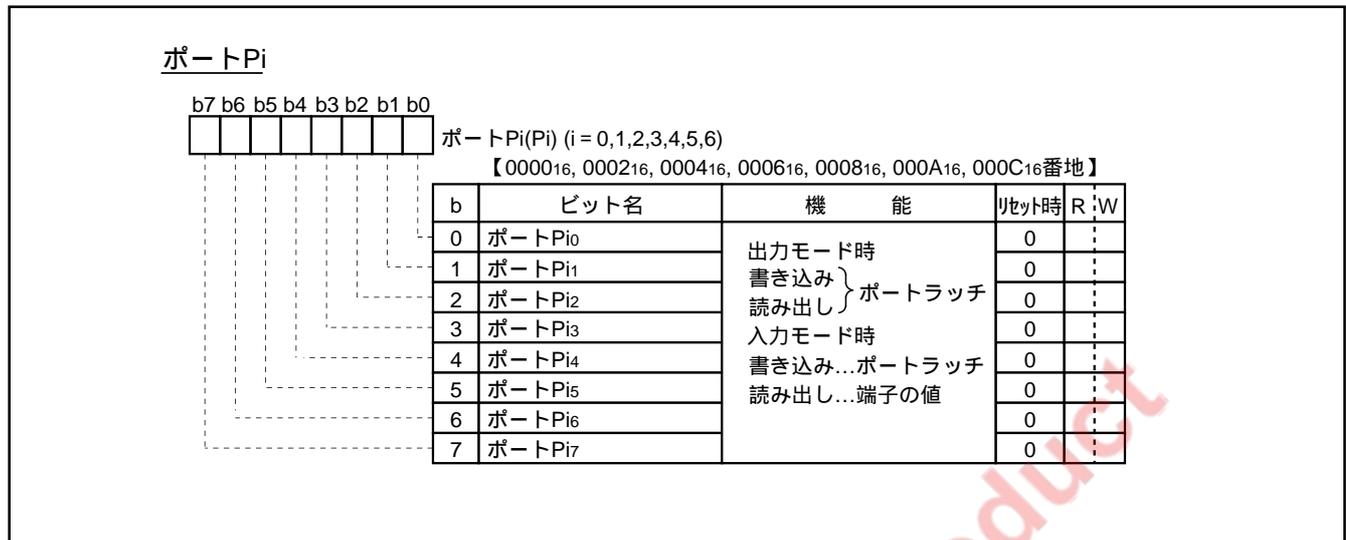


図3.5.1 ポートPiの構成(i = 0~6)

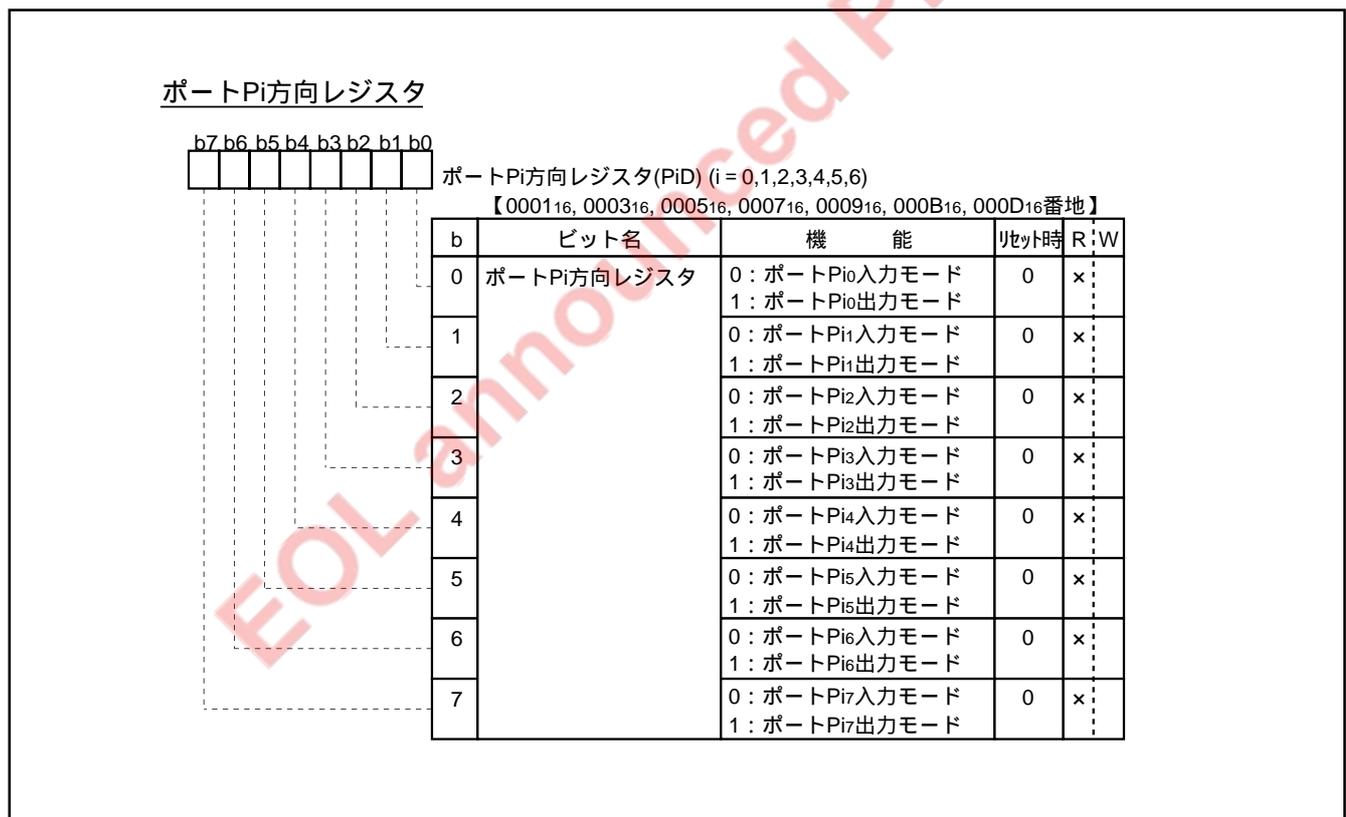


図3.5.2 ポートPi方向レジスタの構成(i = 0~6)

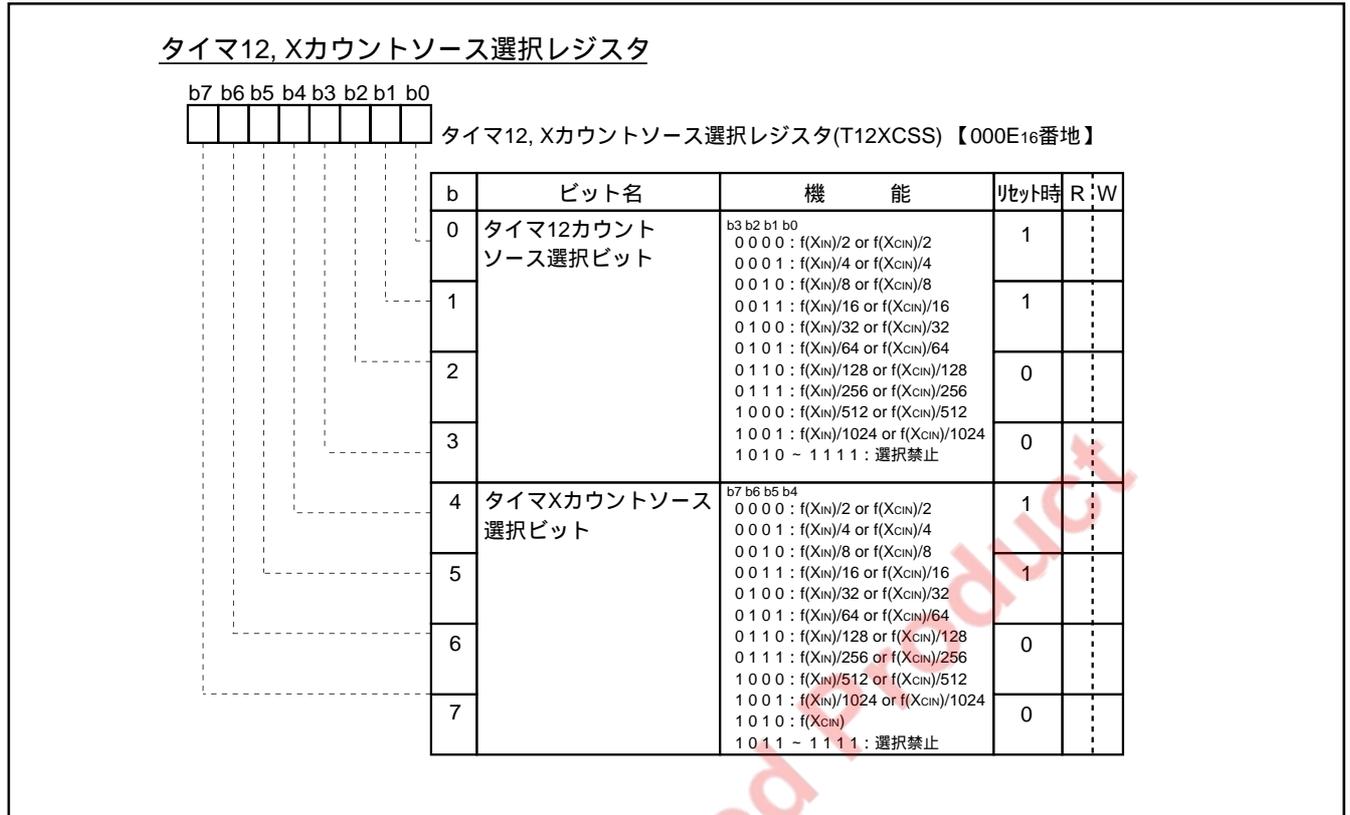


図3.5.3 タイマ12, Xカウントソース選択レジスタの構成

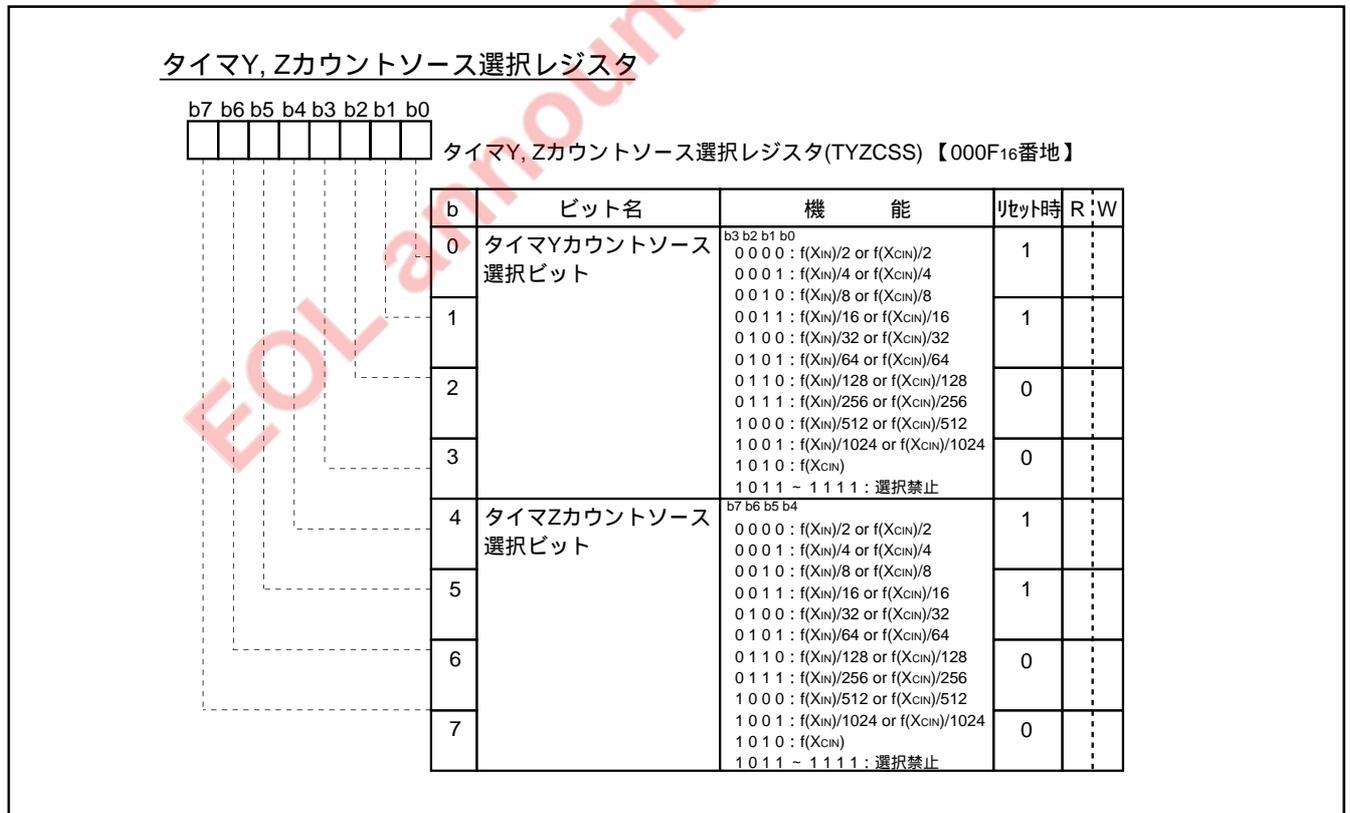


図3.5.4 タイマY, Zカウントソース選択レジスタの構成

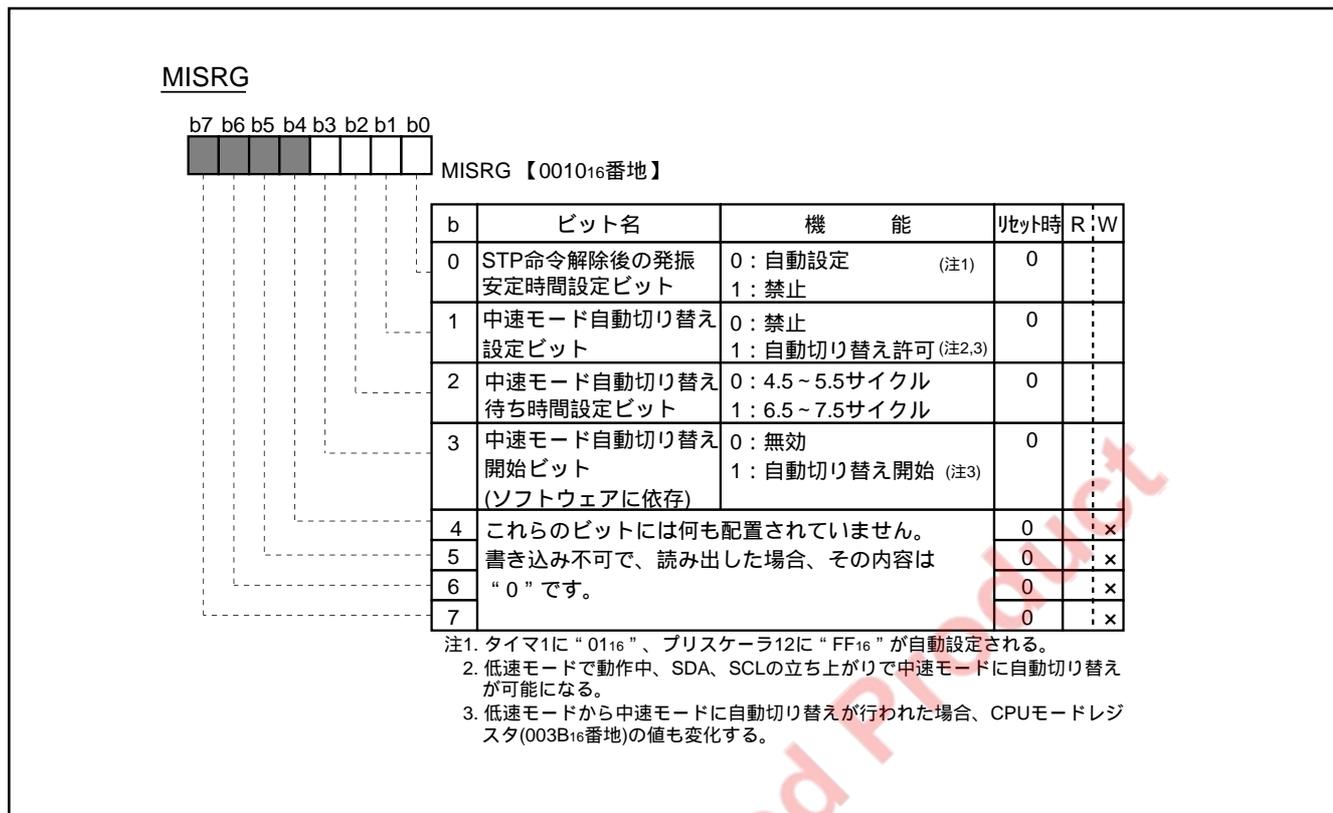
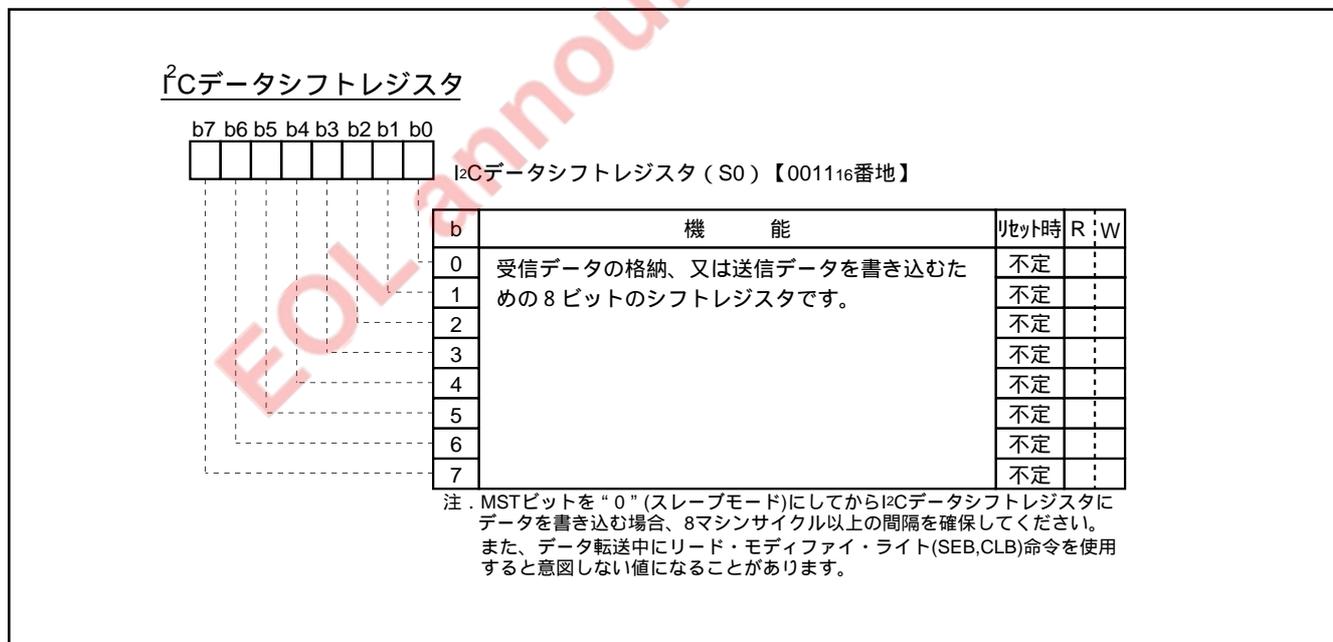


図3.5.5 MISRGの構成

図3.5.6 I<sup>2</sup>Cデータシフトレジスタの構成

I<sup>2</sup>CスペシャルモードステータスレジスタI<sup>2</sup>Cスペシャルモードステータスレジスタ(S3)【001216番地】

b	ビット名	機 能	リセット時	R;W
0	スレーブアドレス0 比較フラグ(AAS0)	0: アドレス不一致 1: アドレス一致 (注1,2)	0	x
1	スレーブアドレス1 比較フラグ(AAS1)	0: アドレス不一致 1: アドレス一致 (注1,2)	0	x
2	スレーブアドレス2 比較フラグ(AAS2)	0: アドレス不一致 1: アドレス一致 (注1,2)	0	x
3	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x
4	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は不定です。		0	x
5	SCL端子 Lowホールド2 フラグ(PIN2)	0: Lowホールド 1: 開放 (注1,3)	1	x
6	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x
7	ストップコンディション フラグ(SPCF)	0: 未検出 1: 検出 (注1,4)	0	x

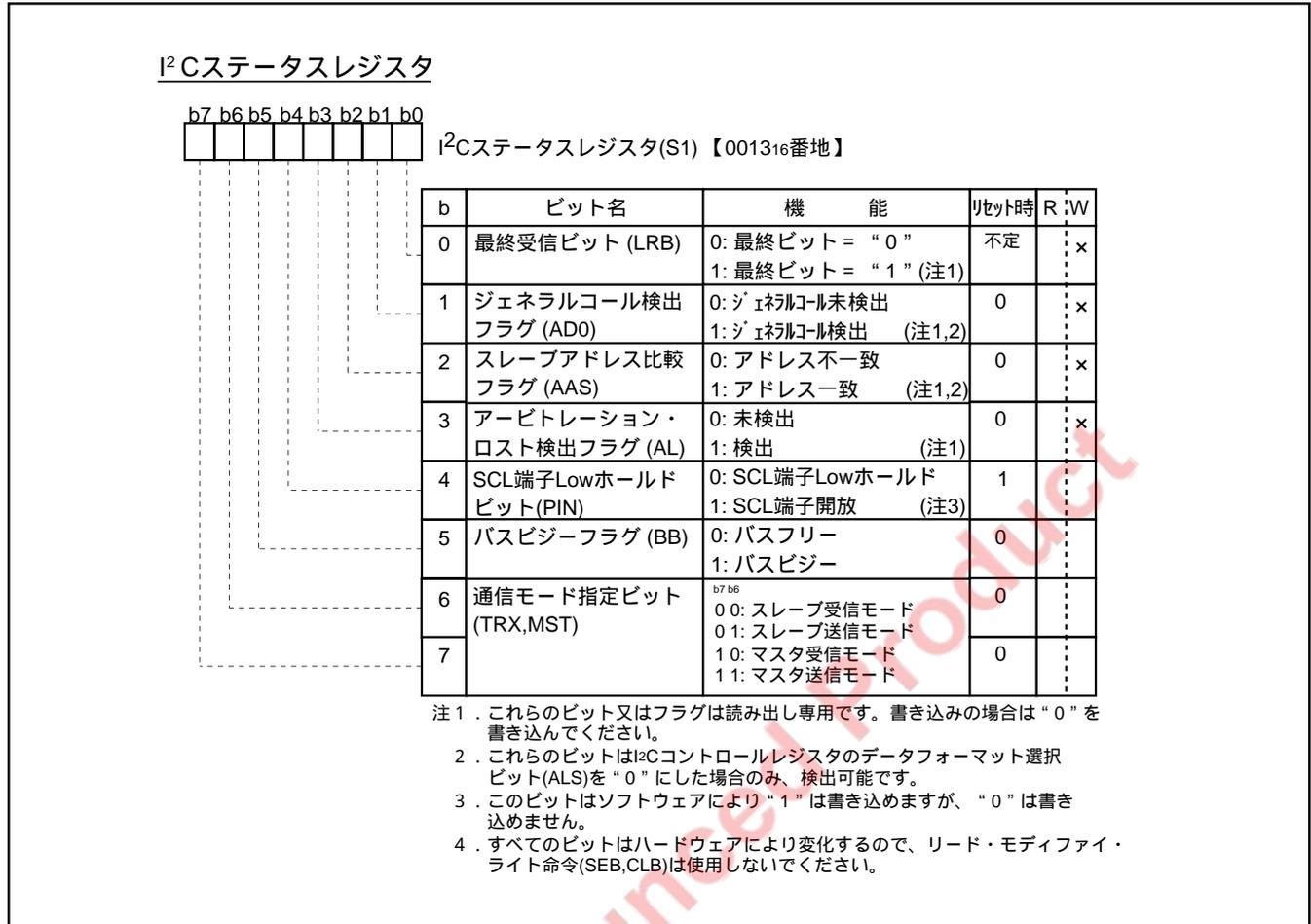
注1. これらのビット又はフラグは読み出せますが、書き込めません。

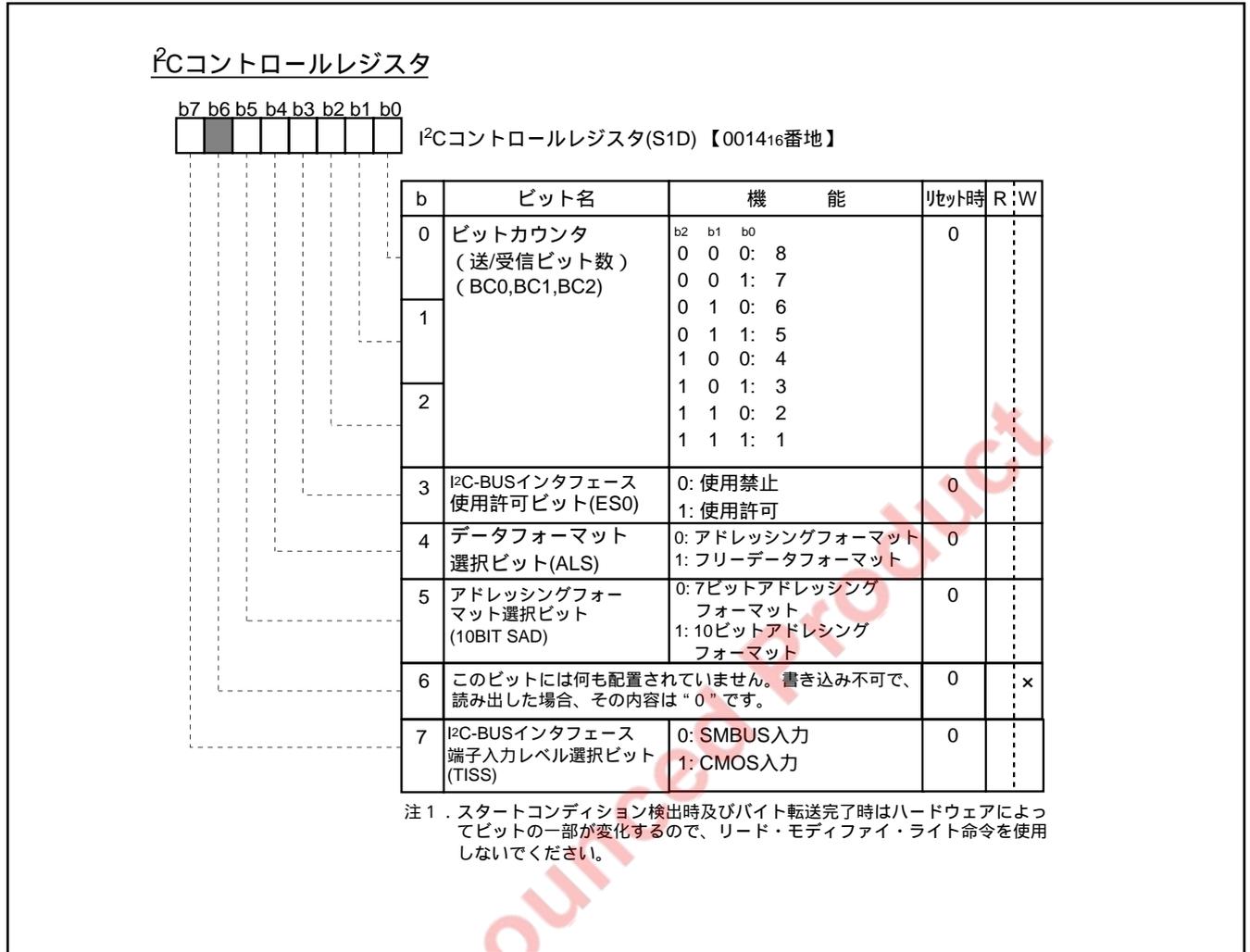
2. これらのビットはI<sup>2</sup>Cコントロールレジスタのデータフォーマット選択  
ビット(ALS)を“0”にした場合のみ検出可能です。

3. このビットはリセット時、アック割り込み制御ビットが“0”のとき、及び  
SCL端子Lowホールドフラグセットビットに“1”を書き込んだときに“1”  
に初期化されます。

4. このビットはリセット時、I<sup>2</sup>C-BUSインタフェース使用許可ビット(ES0)が  
“0”のとき、及びストップコンディションフラグクリアビットに、それ  
ぞれ“1”を書き込んだときに“0”に初期化されます。

図3.5.7 I<sup>2</sup>Cスペシャルモードステータスレジスタの構成

図3.5.8 I<sup>2</sup>Cステータスレジスタの構成

図3.5.9 I<sup>2</sup>Cコントロールレジスタの構成

I<sup>2</sup>Cクロックコントロールレジスタ

b7 b6 b5 b4 b3 b2 b1 b0

--	--	--	--	--	--	--	--

I<sup>2</sup>Cクロックコントロールレジスタ(S2)【0015<sub>16</sub>番地】

b	ビット名	機 能		リセット時	R/W	
0	SCL周波数制御ビット (CCR0,CCR1,CCR2, CCR3,CCR4)	レジスタ値 b4~b0	標準 クロック モード	高速 クロック モード	0	
1		00~02	禁止	禁止		
		03	禁止(注2)	333		
2		04	禁止(注2)	250		
		05	100	400(注3)		
		06	83.3	166		
3			500/CCR値	1000/CCR値		
		1D	17.2	34.5		
		1E	16.6	33.3		
		1F	16.1	32.3		
		( = 4 MHz, 単位 ; kHz)(注1)				
5	SCLモード指定ビット (FAST MODE)	0 : 標準クロックモード 1 : 高速クロックモード		0		
6	アックビット (ACK BIT)	0 : アック返す 1 : アック返さない		0		
7	アッククロックビット (ACK)	0 : アッククロックなし 1 : アッククロックあり		0		

- 注1.SCLクロック出力のデューティは50%です。高速クロックモードCCR値=5のみ35~45%になります。(400kHz, =4MHz時)また、クロックの“H”の期間は標準クロックモードで+2~-4マシンサイクル、高速クロックモードで+2~-2マシンサイクル変動があります。負値変動の場合、“H”の期間が短くなった分、“L”の期間が延びますので周波数が上がることはありません。これらはシンクロナイズ機能によるSCLクロック同期が行われていない場合の値です。CCR値はSCL周波数制御ビットCCR4~CCR0を10進数表記した値です。
2. =4MHz以上では各々のSCL周波数の値が規格の範囲外になります。これらの設定値を使用する場合は、をより低い周波数で使用ください。
- 3.SCL周波数の計算式は次のとおりです。
- //(8×CCR値)標準クロックモード  
 //(4×CCR値)高速クロックモード(CCR値 = 5)  
 //(2×CCR値)高速クロックモード(CCR値 = 5)
- CCR値=0~2は、の周波数に関わらず設定禁止です。SCL周波数が標準クロックモード時最大100kHz、高速クロックモード時最大400kHzとなるように、SCL周波数制御ビットCCR4~CCR0を設定ください。

図3.5.10 I<sup>2</sup>Cクロックコントロールレジスタの構成

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0  
 0 0 0 0 0 0 0 0

I<sup>2</sup>Cスタート/ストップコンディション制御レジスタ(S2D) 【0016<sub>16</sub>番地】

b	ビット名	機 能	リセット時	R/W
0	スタート/ストップコン ディション設定ビット	SCL開放時間 = (μs) × (SSC+1)	0	
1	(SSC0,SSC1,SSC2, SSC3,SSC4)	セットアップ時間 = (μs) × (SSC+1)/2	1	
2		ホールド時間 = (μs) × (SSC+1)/2	0	
3			1	
4			1	
5	SCL/SDA割り込み端子 極性選択ビット(SIP)	0: 立ち下がりエッジアクティブ 1: 立ち上がりエッジアクティブ	0	
6	SCL/SDA割り込み端子 選択ビット(SIS)	0: SDA有効 1: SCL有効	0	
7	このビットは“0”に固定してください。		0	

注. SSC0は“0”に固定してください。また、SSC4～SSC0に奇数の値、及び“0000<sub>2</sub>”は設定しないでください。

図3.5.11 I<sup>2</sup>Cスタート/ストップコンディション制御レジスタの構成I<sup>2</sup>Cスペシャルモード制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0  
 0 0 0 0 0 0 0 0

I<sup>2</sup>Cスペシャルモード制御レジスタ(S3D) 【0017<sub>16</sub>番地】

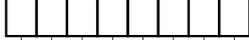
b	ビット名	機 能	リセット時	R/W
0	このビットは“0”に固定してく ださい。		0	
1	アック割り込み制御 ビット(ACKICON)	0: 通信終了時 1: アックロク立ち下がり時 及び通信終了時	0	
2	スレーブアドレス制御 ビット(MSLAD)	0: 1バイトスレーブアドレス比較モード 1: 3バイトスレーブアドレス比較モード	0	
3	このビットには何も配置されていません。書き込み 不可で、読み出した場合、その内容は“0”です。		0	x
4	このビットは“0”に固定してく ださい。		0	
5	SCL端子 Lowホールド2フ ラグセットビット(PIN2IN)	このビットに“1”を書き込むと SCL端子Lowホールドフラグが“1” に初期化されます。(注1)(注2)	0	
6	SCL端子 Lowホールド 設定ビット(PIN2HD)	このビットに“1”を書き込むと SCL端子Lowホールド2フラグが“0” になり、SCL端子がLowホールド されます。(注1)(注2)	0	
7	ストップコンディション フラグクリアビット(SPFCL)	このビットに“1”を書き込むとス トップコンディションフラグが “0”に初期化されます。(注1)	0	

注1. これらのビットに“0”を書いた場合は何も発生しません。  
 2. これらのビットに“1”を同時に書き込まないでください。

図3.5.12 I<sup>2</sup>Cスペシャルモード制御レジスタの構成

## 送信 / 受信バッファレジスタ1、送信 / 受信バッファレジスタ3

b7 b6 b5 b4 b3 b2 b1 b0

送信 / 受信バッファレジスタ1 (TB1 / RB1) 【0018<sub>16</sub>番地】送信 / 受信バッファレジスタ3 (TB3 / RB3) 【0030<sub>16</sub>番地】

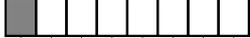
b	機 能	ビット時	R	W
0	送信データの書き込み及び受信データの読み出しを行うためのバッファレジスタです。	不定	-	-
1				
2	書き込み時：送信バッファレジスタへ書き込まれます。	不定	-	-
3				
4	読み出し時：受信バッファレジスタの内容が読み出されます。	不定	-	-
5				
6				
7				

注：送信バッファレジスタの内容を読み出すことはできません。  
受信バッファレジスタへ書き込むことはできません。

図3.5.13 送信/受信バッファレジスタ1、送信/受信バッファレジスタ3の構成

## シリアル/O1ステータスレジスタ、シリアル/O3ステータスレジスタ

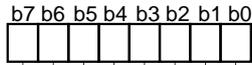
b7 b6 b5 b4 b3 b2 b1 b0

シリアル/O1ステータスレジスタ(SIO1STS) 【0019<sub>16</sub>番地】シリアル/O3ステータスレジスタ(SIO3STS) 【0031<sub>16</sub>番地】

b	ビット名	機 能	ビット時	R	W
0	送信バッファエンプティフラグ(TBE)	0:バッファフル状態 1:バッファエンプティ状態	0	-	x
1	受信バッファフルフラグ(RBF)	0:バッファエンプティ状態 1:バッファフル状態	0	-	x
2	送信シフトレジスタシフト終了フラグ(TSC)	0:送信シフト中 1:送信シフト終了	0	-	x
3	オーバーランエラーフラグ(OE)	0:オーバーランエラーなし 1:オーバーランエラー発生	0	-	x
4	パリティエラーフラグ(PE)	0:パリティエラーなし 1:パリティエラー発生	0	-	x
5	フレーミングエラーフラグ(FE)	0:フレーミングエラーなし 1:フレーミングエラー発生	0	-	x
6	サミングエラーフラグ(SE)	0:(OE) (PE) (FE) = 0 1:(OE) (PE) (FE) = 1	0	-	x
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は "1" です。		1	-	x

図3.5.14 シリアル/O1ステータスレジスタ、シリアル/O3ステータスレジスタの構成

## シリアルI/O1制御レジスタ

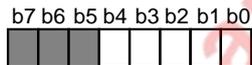


シリアルI/O1制御レジスタ(SIO1CON) 【001A16番地】

b	ビット名	機 能	リセット時	R/W
0	BRGカウントソース選択ビット(CSS)	0 : f(XIN) 1 : f(XIN) / 4	0	—
1	シリアルI/O1同期クロック選択ビット(SCS)	クロック同期形シリアルI/O選択時 0:BRG出力の4分周 1:外部クロック入力 UART選択時 0:BRG出力の16分周 1:外部クロック入力の16分周	0	—
2	SRDY1出力許可ビット(SRDY)	0 : 入出力ポート (P47) 1 : SRDY1出力端子	0	—
3	送信割り込み要因選択ビット(TIC)	0 : 送信バッファエンプティ 1 : 送信シフト動作終了	0	—
4	送信許可ビット(TE)	0 : 送信禁止 1 : 送信許可	0	—
5	受信許可ビット(RE)	0 : 受信禁止 1 : 受信許可	0	—
6	シリアルI/O1モード選択ビット(SIOM)	0 : UART 1 : クロック同期形シリアルI/O	0	—
7	シリアルI/O1許可ビット(SIOE)	0 : シリアルI/O1禁止 (P44 ~ P47 : 入出力ポート) 1 : シリアルI/O1許可 (P44 ~ P47 : シリアルI/O機能端子)	0	—

図3.5.15 シリアルI/O1制御レジスタの構成

## UART1制御レジスタ



UART1制御レジスタ(UART1CON) 【001B16番地】

b	ビット名	機 能	リセット時	R/W
0	キャラクタ長選択ビット(CHAS)	0 : 8ビット 1 : 7ビット	0	—
1	パリティ許可ビット(PARE)	0 : パリティ禁止 1 : パリティ許可	0	—
2	パリティ選択ビット(PARS)	0 : 偶数パリティ 1 : 奇数パリティ	0	—
3	ストップビット長選択ビット(STPS)	0 : 1ストップビット 1 : 2ストップビット	0	—
4	P45/TxD1 Pチャンネル出力禁止ビット(POFF)	出力モード時 0 : CMOS出力 1 : Nチャンネルオープンドレイン出力	0	—
5	これらのビットには何も配置されていません。		1	x
6	書き込み不可で、読み出した場合、その内容は		1	x
7	“1”です。		1	x

図3.5.16 UART1制御レジスタの構成

ポーレートジェネレータ  $i$  ( $i=1, 3$ )

b7 b6 b5 b4 b3 b2 b1 b0

ポーレートジェネレータ  $i$  (BRGi)( $i=1,3$ ) 【001C<sub>16</sub>, 002F<sub>16</sub>番地】

b	機 能	リセット時	R	W
0	ポーレートジェネレータのカウンタ値を設定します。	不定		
1		不定		
2		不定		
3		不定		
4		不定		
5		不定		
6		不定		
7		不定		

注. このレジスタへの書き込みは、送受信停止中に行ってください。

図3.5.17 ポーレートジェネレータ  $i$  の構成

## シリアル/O2制御レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

シリアル/O2制御レジスタ (SIO2CON) 【001D<sub>16</sub>番地】

b	ビット名	機 能	リセット時	R	W
0	内部同期クロック選択ビット	b2 b1 b0 0 0 0 : $f(X_{IN})/8$ 0 0 1 : $f(X_{IN})/16$ 0 1 0 : $f(X_{IN})/32$ 0 1 1 : $f(X_{IN})/64$ 1 1 0 : $f(X_{IN})/128$ 1 1 1 : $f(X_{IN})/256$	0		
1			0		
2			0		
3	シリアル/O2ポート選択ビット	0 : 入出力ポート(P5 <sub>1</sub> ,P5 <sub>2</sub> ) 1 : SOUT <sub>2</sub> ,SCLK <sub>2</sub> 出力端子	0		
4	SRDY <sub>2</sub> 出力許可ビット	0 : 入出力ポート(P5 <sub>3</sub> ) 1 : SRDY <sub>2</sub> 出力端子	0		
5	転送方向選択ビット	0 : LSBファースト 1 : MSBファースト	0		
6	シリアル/O2同期クロック選択ビット	0 : 外部クロック 1 : 内部クロック	0		
7	P5 <sub>1</sub> /SOUT <sub>2</sub> Pチャンネル出力禁止ビット	0 : CMOS出力 1 : Nチャンネルオープンドレイン出力	0		

図3.5.18 シリアル/O2制御レジスタの構成

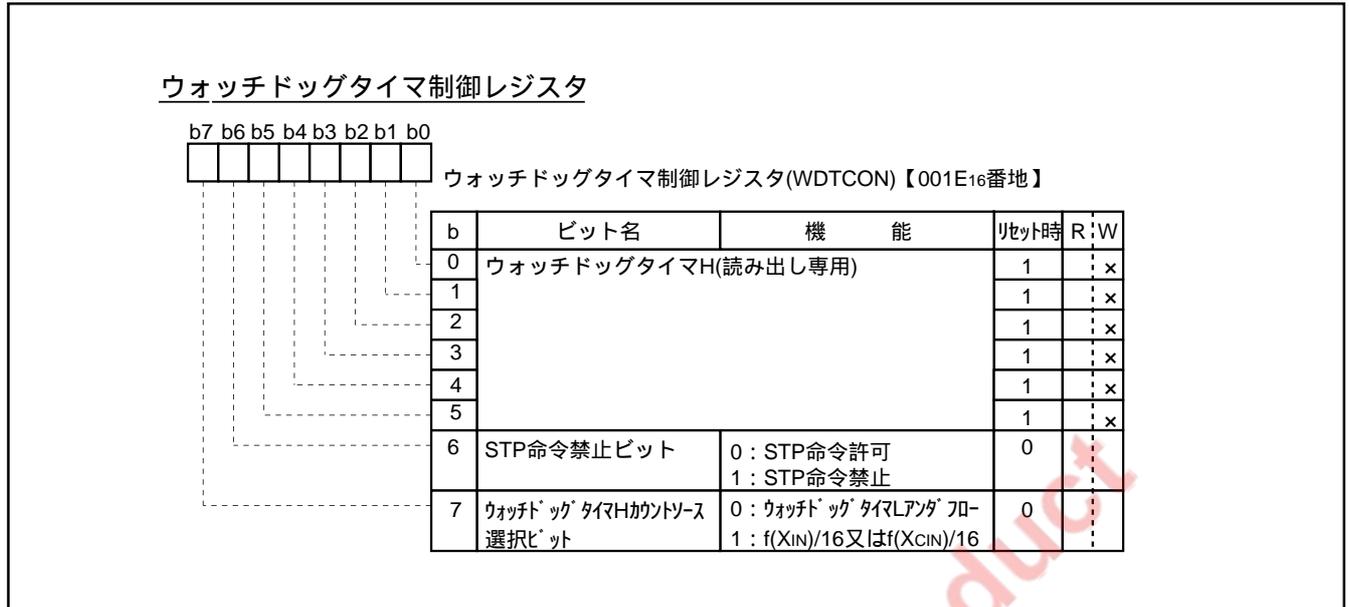


図3.5.19 ウォッチドッグタイマ制御レジスタの構成

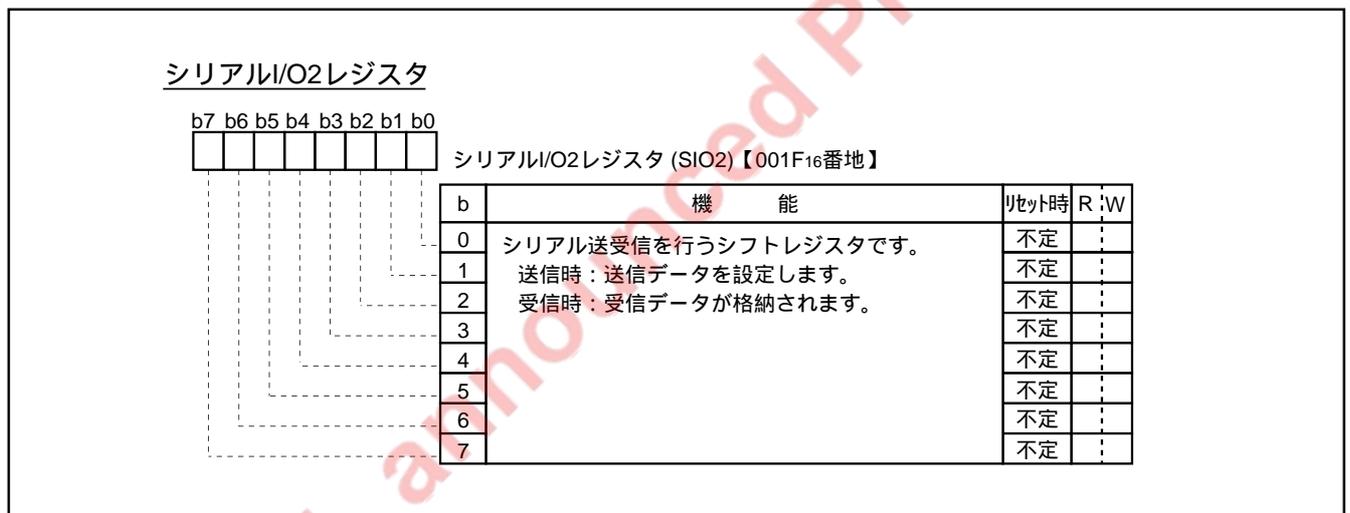


図3.5.20 シリアル/O2レジスタの構成

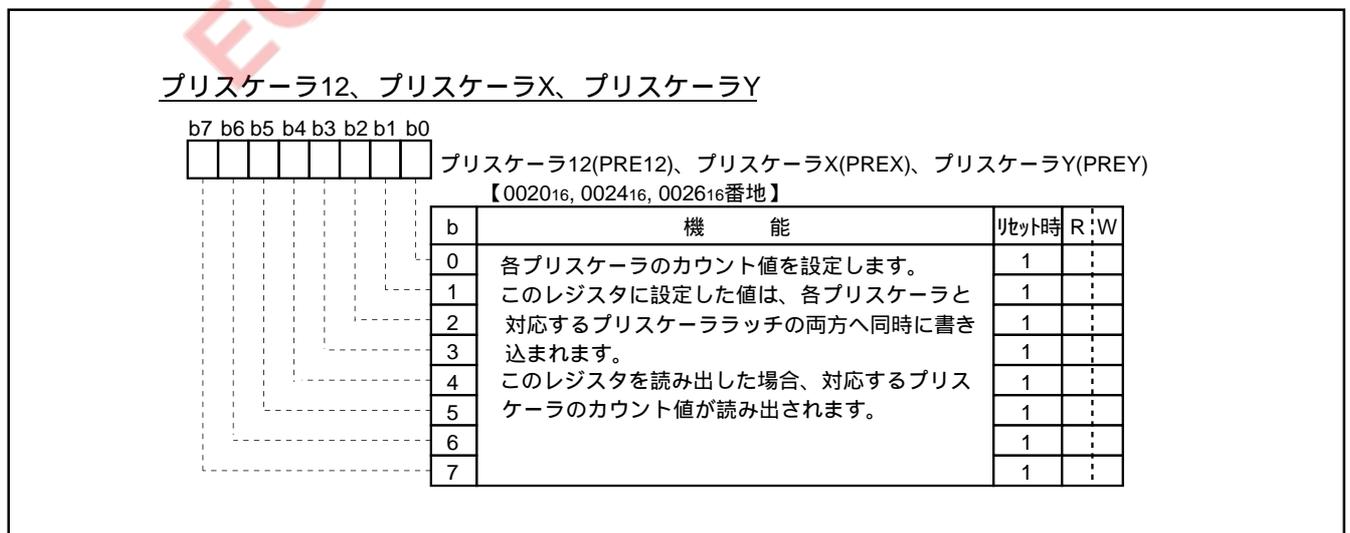


図3.5.21 プリスケータ12、プリスケータX、プリスケータYの構成

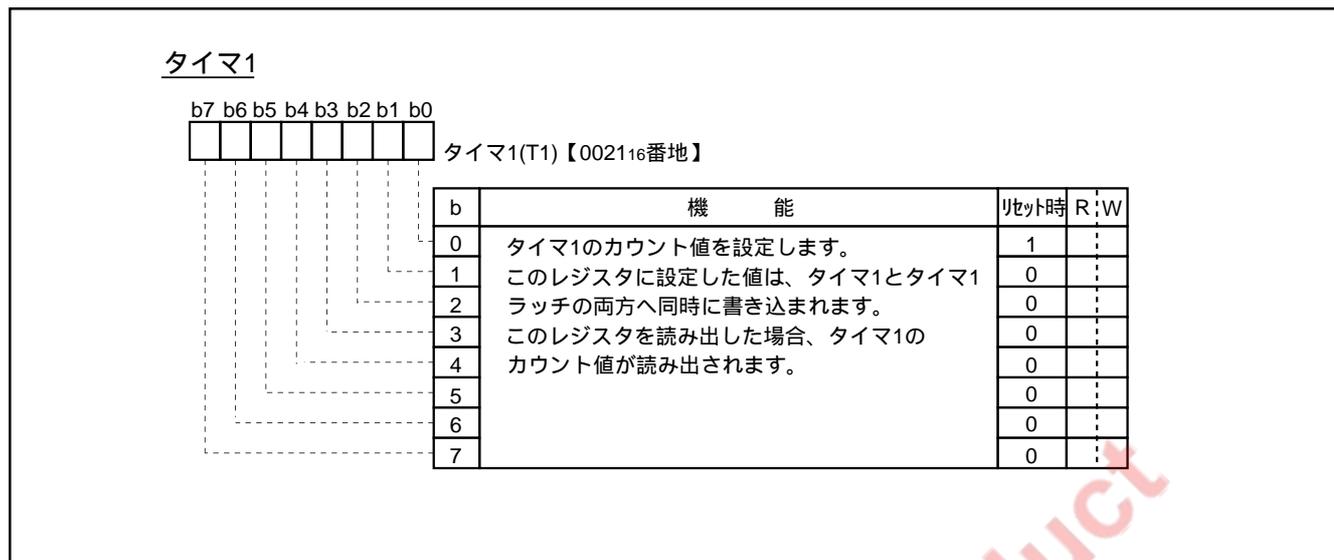


図3.5.22 タイマ1の構成

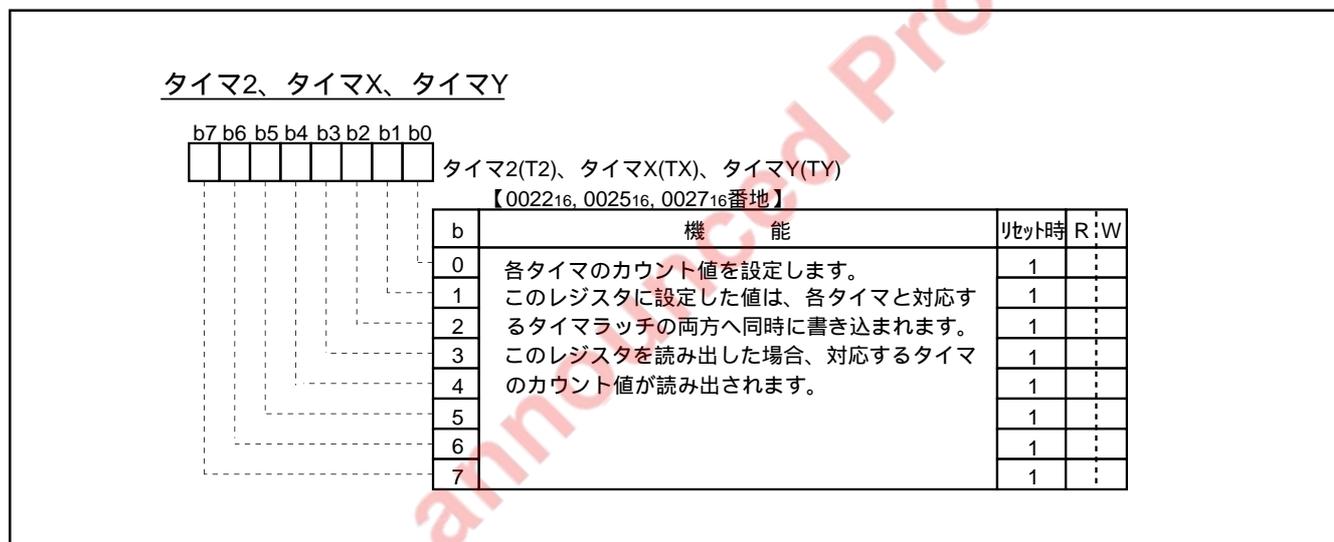


図3.5.23 タイマ2、タイマX、タイマYの構成

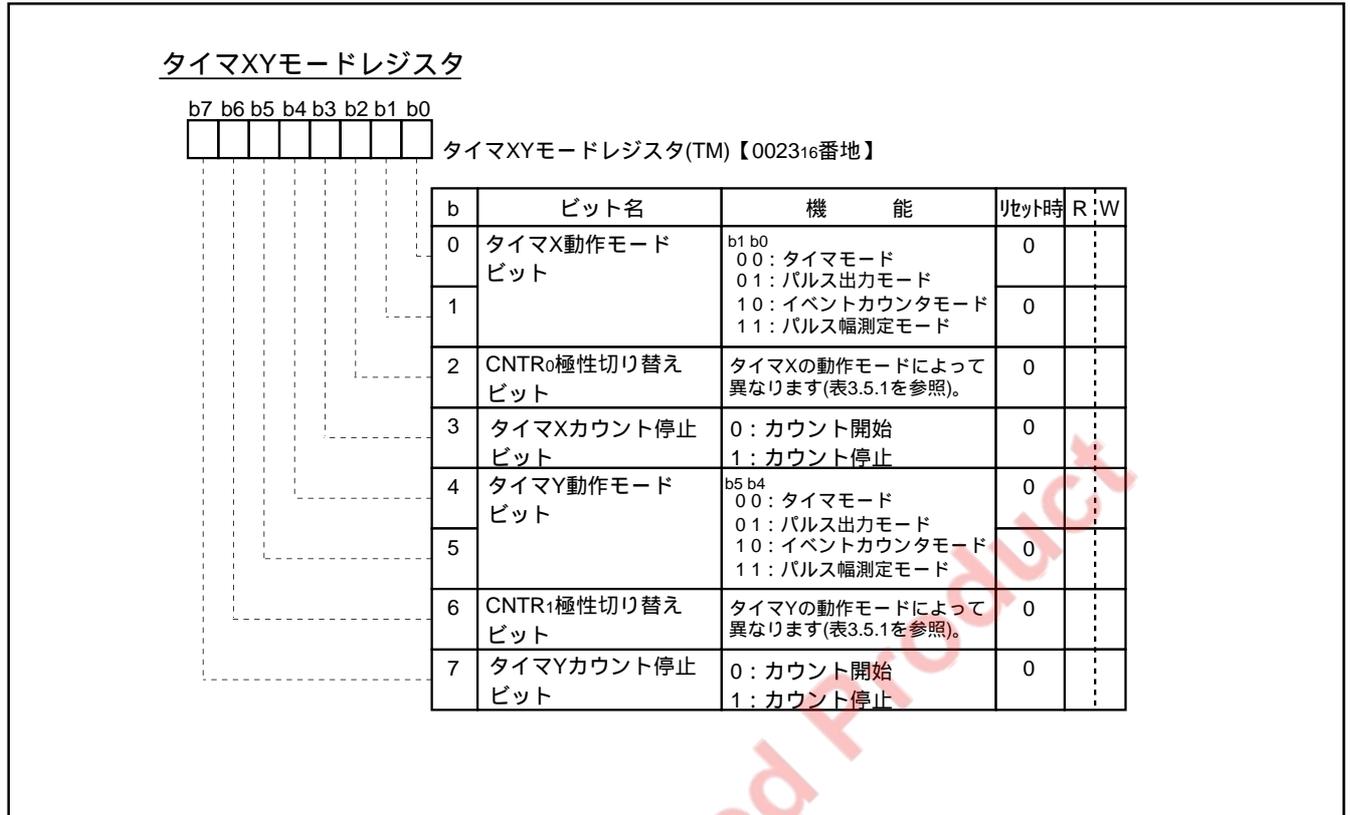


図3.5.24 タイマXYモードレジスタの構成

表3.5.1 CNTR<sub>0</sub>/CNTR<sub>1</sub>極性切り替えビットの機能

タイマX/タイマY の動作モード	CNTR <sub>0</sub> /CNTR <sub>1</sub> 極性切り替えビット (0023 <sub>16</sub> 番地のビット2、6)の内容	
タイマモード	“0”	・ CNTR <sub>0</sub> /CNTR <sub>1</sub> 割り込み要求の発生: 立ち下がりエッジ(タイマのカウントに影響なし)
	“1”	・ CNTR <sub>0</sub> /CNTR <sub>1</sub> 割り込み要求の発生: 立ち上がりエッジ(タイマのカウントに影響なし)
パルス出力 モード	“0”	・ パルス出力開始: “H”レベルから ・ CNTR <sub>0</sub> /CNTR <sub>1</sub> 割り込み要求の発生: 立ち下がりエッジ
	“1”	・ パルス出力開始: “L”レベルから ・ CNTR <sub>0</sub> /CNTR <sub>1</sub> 割り込み要求の発生: 立ち上がりエッジ
イベントカウ ンタモード	“0”	・ タイマX/タイマY: 立ち上がりエッジをカウント ・ CNTR <sub>0</sub> /CNTR <sub>1</sub> 割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX/タイマY: 立ち下がりエッジをカウント ・ CNTR <sub>0</sub> /CNTR <sub>1</sub> 割り込み要求の発生: 立ち上がりエッジ
パルス幅測定 モード	“0”	・ タイマX/タイマY: “H”レベル幅を測定 ・ CNTR <sub>0</sub> /CNTR <sub>1</sub> 割り込み要求の発生: 立ち下がりエッジ
	“1”	・ タイマX/タイマY: “L”レベル幅を測定 ・ CNTR <sub>0</sub> /CNTR <sub>1</sub> 割り込み要求の発生: 立ち上がりエッジ

### タイマZ下位、タイマZ上位

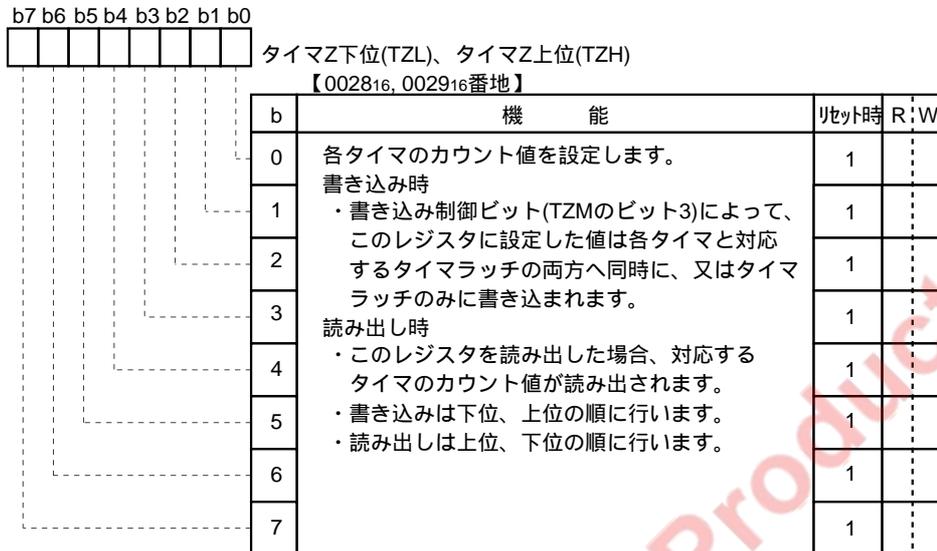
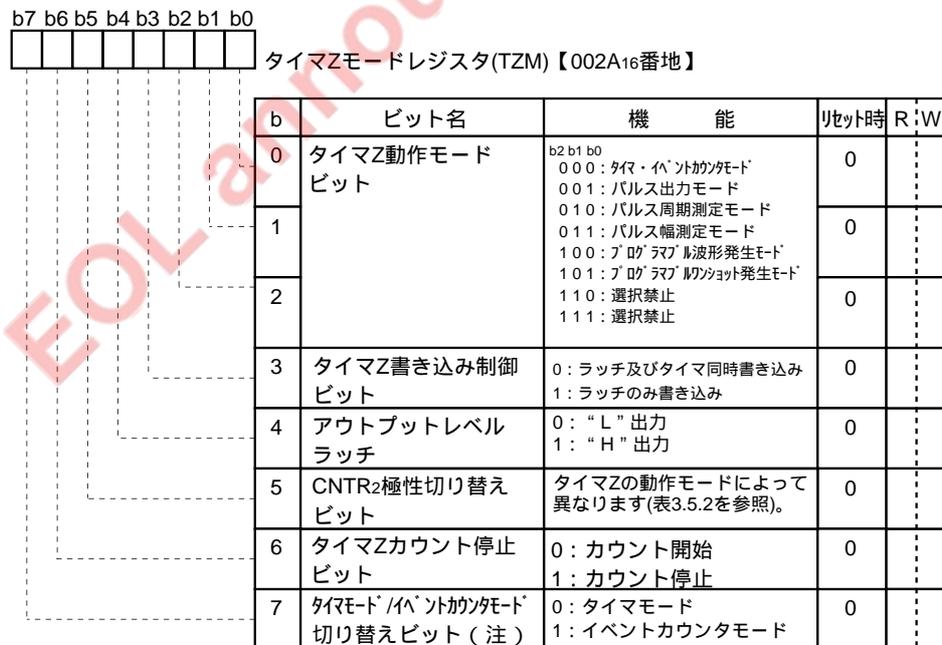


図3.5.25 タイマZ下位、上位の構成

### タイマZモードレジスタ



注. タイマモード/イベントカウンタモード以外のモードを選択しているときは、“0”を設定してください。

図3.5.26 タイマZモードレジスタの構成

表3.5.2 CNTR2極性切り替えビットの機能

タイマZ の動作モード	CNTR2極性切り替えビット (002A16番地のビット5)の内容	
タイマモード	" 0 "	・ CNTR2割り込み要求の発生：立ち下がりエッジ(タイマのカウンタに影響なし)
	" 1 "	・ CNTR2割り込み要求の発生：立ち上がりエッジ(タイマのカウンタに影響なし)
イベントカウンタモード	" 0 "	・ タイマZ：立ち上がりエッジをカウント ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	" 1 "	・ タイマZ：立ち下がりエッジをカウント ・ CNTR2割り込み要求の発生：立ち上がりエッジ
パルス出力モード	" 0 "	・ パルス出力開始：“ H ”レベルから ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	" 1 "	・ パルス出力開始：“ L ”レベルから ・ CNTR2割り込み要求の発生：立ち上がりエッジ
パルス周期測定モード	" 0 "	・ タイマZ：立ち下がりエッジから次の立ち下がりエッジの期間を測定 ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	" 1 "	・ タイマZ：立ち上がりエッジから次の立ち上がりエッジの期間を測定 ・ CNTR2割り込み要求の発生：立ち上がりエッジ
パルス幅測定モード	" 0 "	・ タイマZ：“ H ”レベル幅を測定 ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	" 1 "	・ タイマZ：“ L ”レベル幅を測定 ・ CNTR2割り込み要求の発生：立ち上がりエッジ
プログラマブルワンショット発生モード	" 0 "	・ タイマZ：パルス出力を“ L ”レベルから開始し、“ H ”レベルのワンショットパルス を出力 ・ CNTR2割り込み要求の発生：立ち下がりエッジ
	" 1 "	・ タイマZ：パルス出力を“ H ”レベルから開始し、“ L ”レベルのワンショットパルス を出力 ・ CNTR2割り込み要求の発生：立ち上がりエッジ

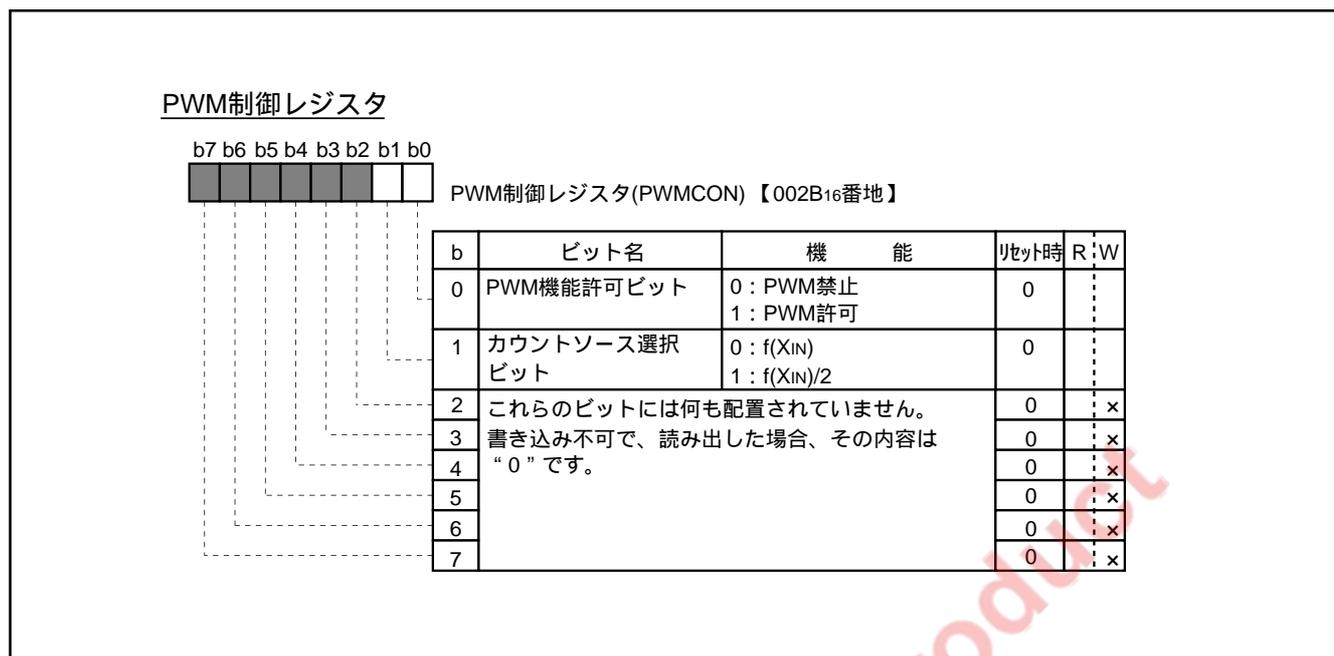


図3.5.27 PWM制御レジスタの構成

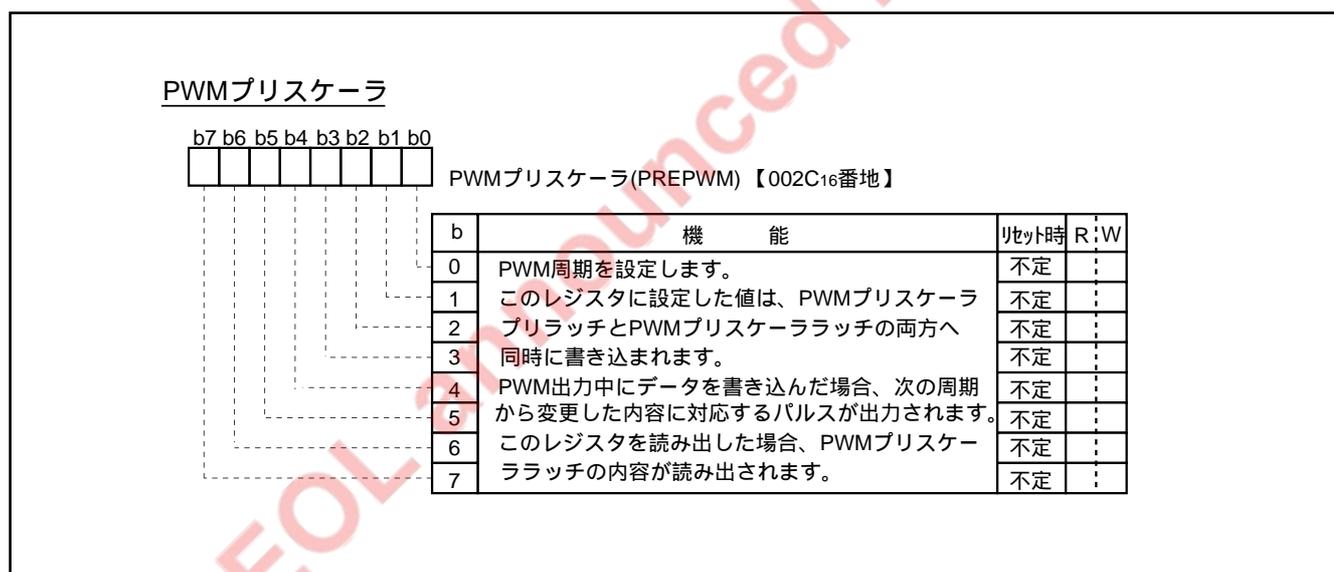


図3.5.28 PWMプリスケアラの構成

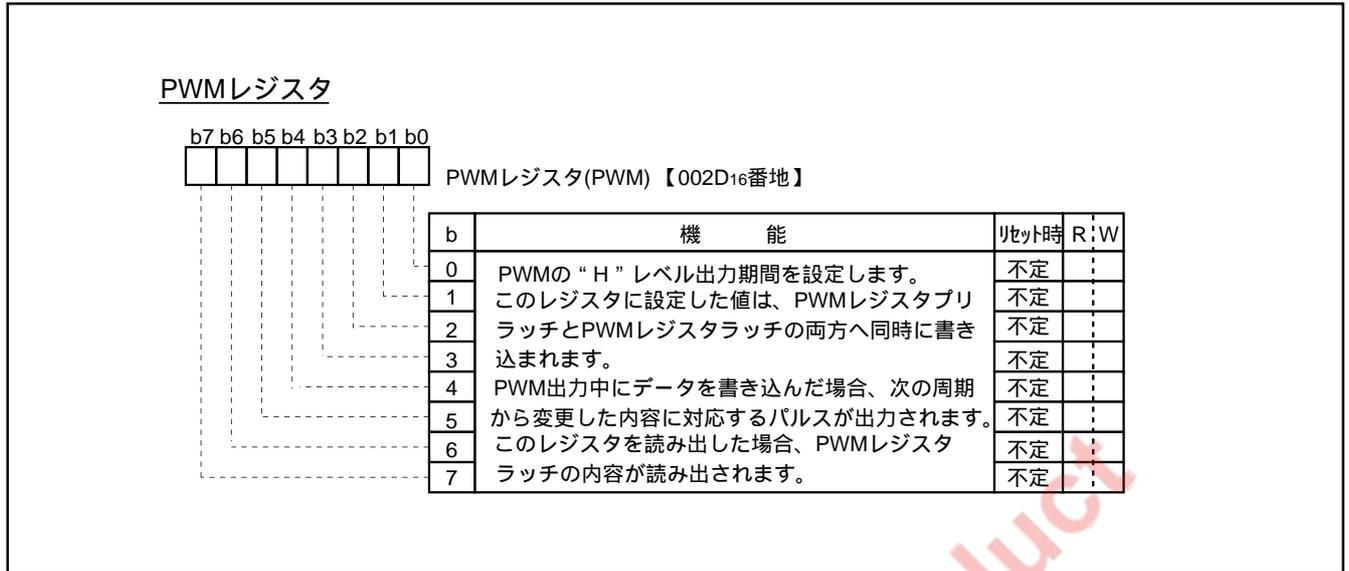


図3.5.29 PWMレジスタの構成

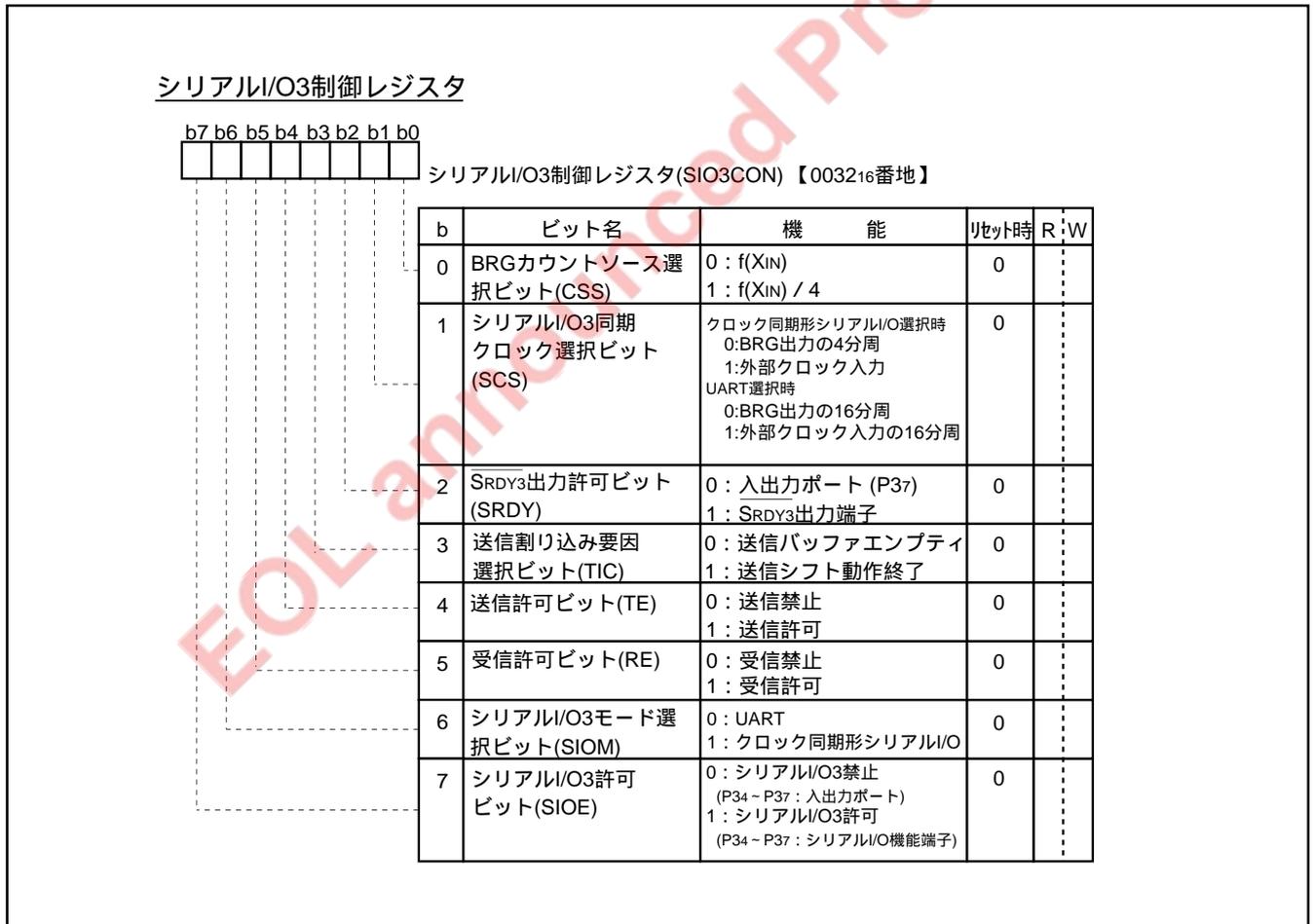


図3.5.30 シリアルI/O3制御レジスタの構成

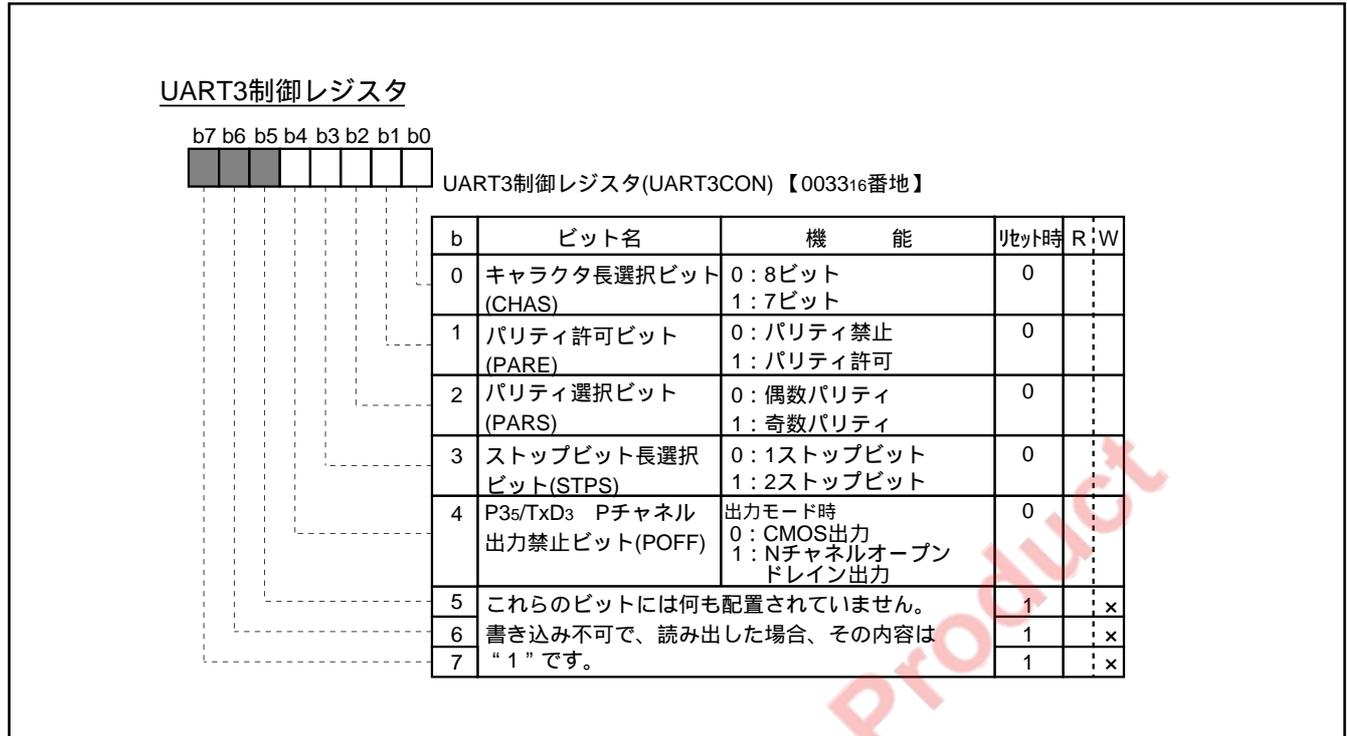


図3.5.31 UART3制御レジスタの構成

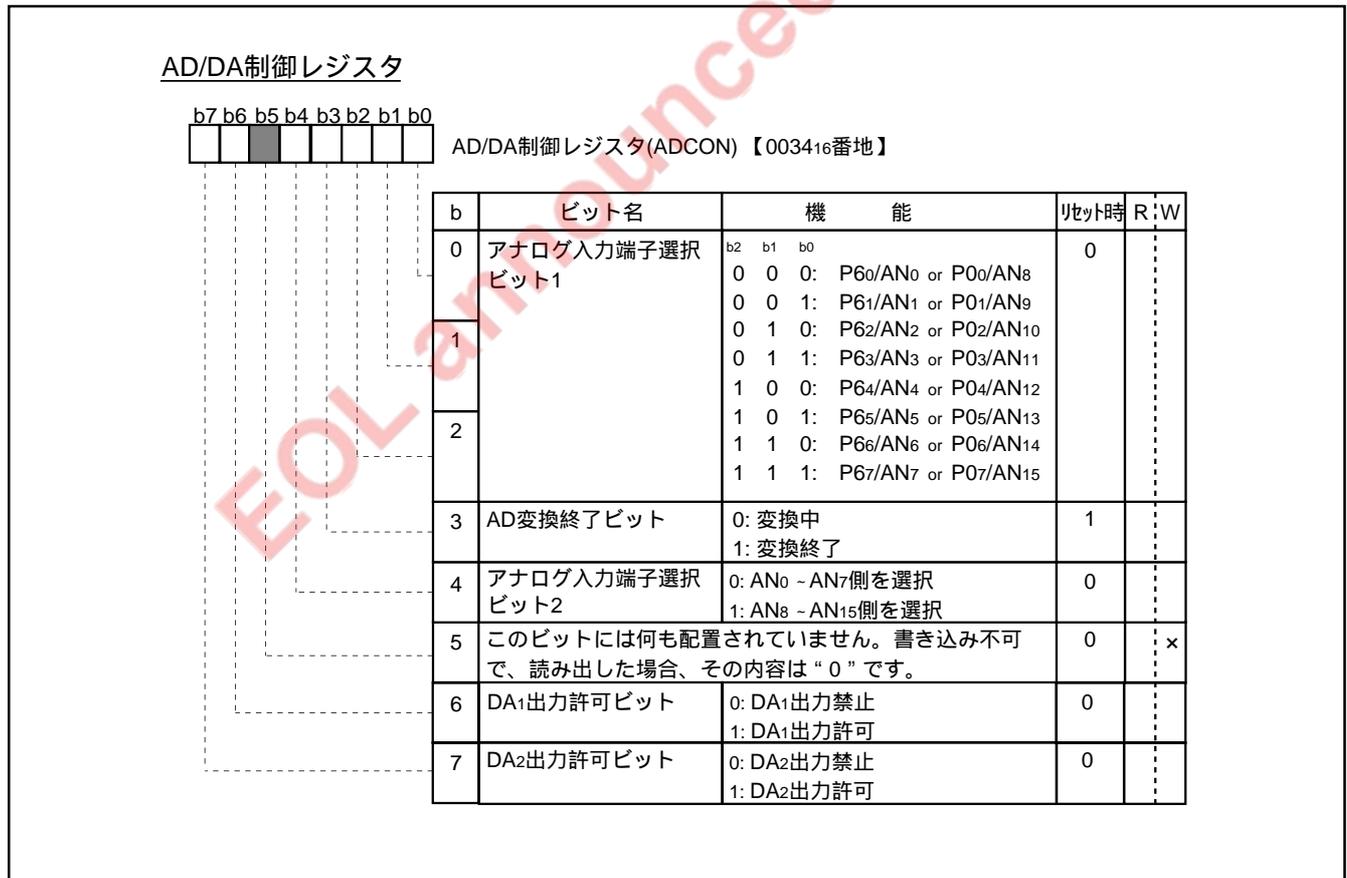


図3.5.32 AD/DA制御レジスタの構成

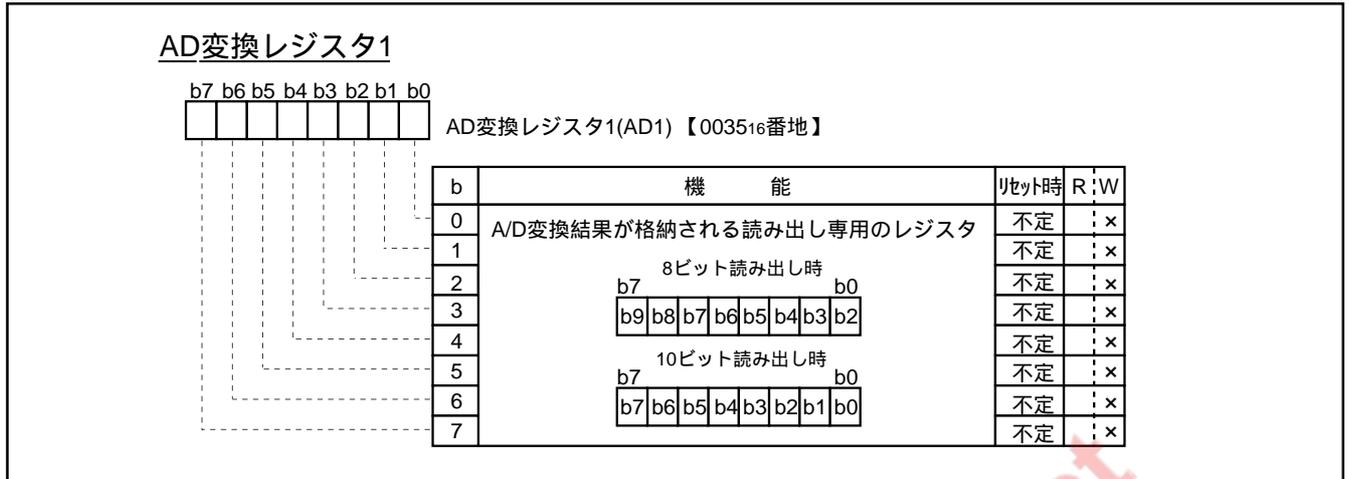


図3.5.33 AD変換レジスタ1の構成

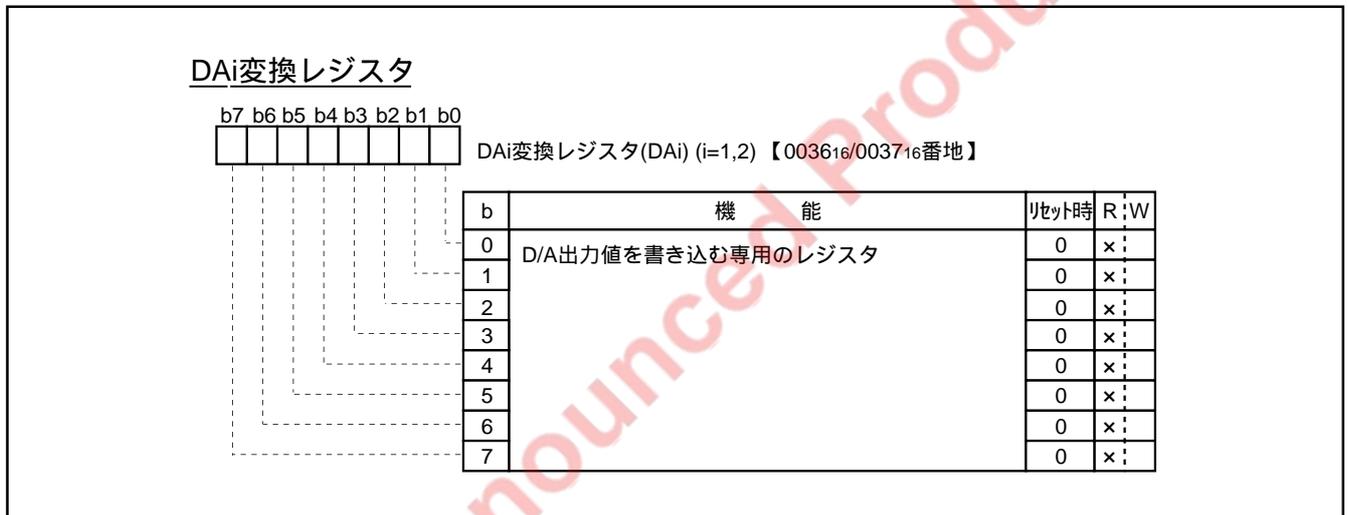


図3.5.34 DAi変換レジスタの構成(i = 1,2)

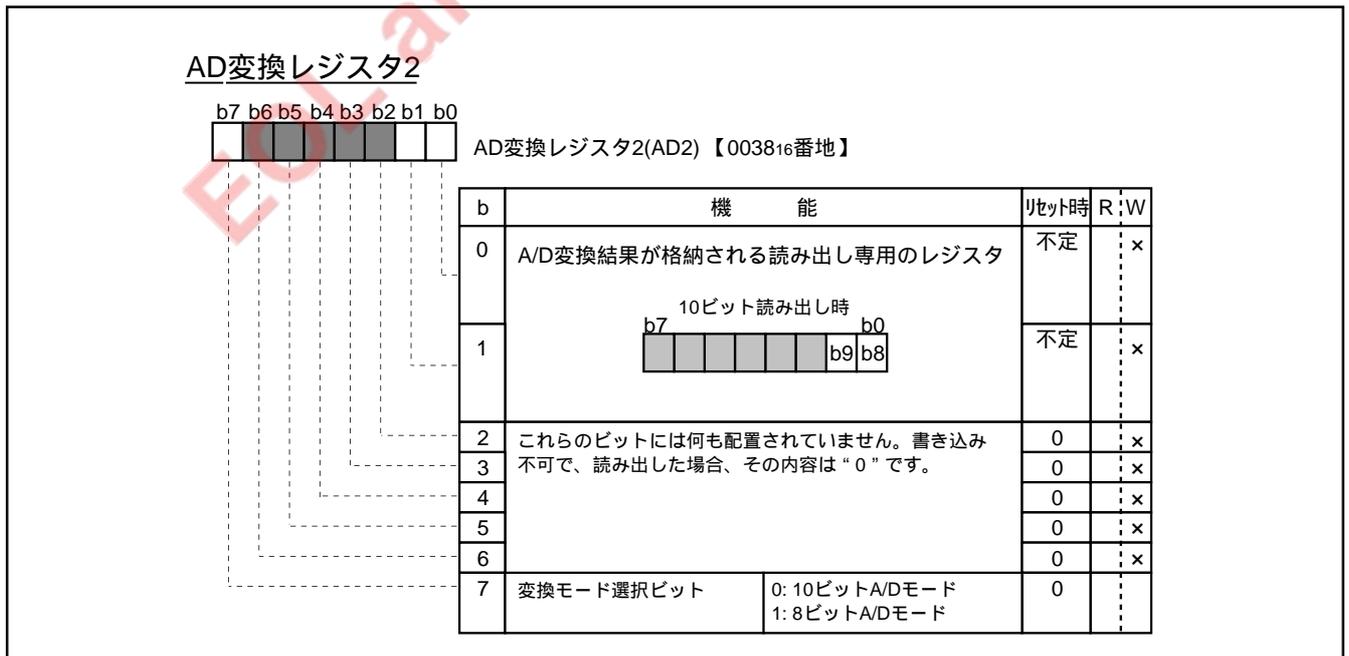


図3.5.35 AD変換レジスタ2の構成

## 割り込み要因選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

割り込み要因選択レジスタ(INTSEL)【0039<sub>16</sub>番地】

b	ビット名	機 能	リセット時	R/W
0	INT <sub>0</sub> /タイマZ割り込み 要因選択ビット	0:INT <sub>0</sub> 割り込み 1:タイマZ割り込み(注1)	0	
1	シリアル/O <sub>2</sub> /タイマZ 割り込み要因選択ビット	0:シリアル/O <sub>2</sub> 割り込み 1:タイマZ割り込み(注1)	0	
2	シリアル/O <sub>1</sub> 送信/SCL,SDA 割り込み要因選択ビット	0:シリアル/O <sub>1</sub> 送信割り込み 1:SCL,SDA割り込み(注2)	0	
3	CNTR <sub>0</sub> /SCL,SDA割り込 み要因選択ビット	0:CNTR <sub>0</sub> 割り込み 1:SCL,SDA割り込み(注2)	0	
4	INT <sub>4</sub> /CNTR <sub>2</sub> 割り込み 要因選択ビット	0:INT <sub>4</sub> 割り込み 1:CNTR <sub>2</sub> 割り込み	0	
5	INT <sub>2</sub> /I <sup>2</sup> C割り込み要因 選択ビット	0:INT <sub>2</sub> 割り込み 1:I <sup>2</sup> C割り込み	0	
6	CNTR <sub>1</sub> /シリアル/O <sub>3</sub> 受信 割り込み要因選択ビット	0:CNTR <sub>1</sub> 割り込み 1:シリアル/O <sub>3</sub> 受信割り込み	0	
7	AD変換/シリアル/O <sub>3</sub> 送信 割り込み要因選択ビット	0:A/D変換割り込み 1:シリアル/O <sub>3</sub> 送信割り込み	0	

注1．同時に“1”を書き込まないでください。

2．同時に“1”を書き込まないでください。

図3.5.36 割り込み要因選択レジスタの構成

## 割り込みエッジ選択レジスタ

b7 b6 b5 b4 b3 b2 b1 b0

割り込みエッジ選択レジスタ(INTEGE)【003A<sub>16</sub>番地】

b	ビット名	機 能	リセット時	R/W
0	INT <sub>0</sub> 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	
1	INT <sub>1</sub> 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	
2	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	x
3	INT <sub>2</sub> 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	
4	INT <sub>3</sub> 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	
5	INT <sub>4</sub> 割り込みエッジ 選択ビット	0:立ち下がりエッジアクティブ 1:立ち上がりエッジアクティブ	0	
6	INT <sub>0</sub> ,INT <sub>4</sub> 割り込み 切り替えビット	0:INT <sub>00</sub> ,INT <sub>40</sub> 割り込み 1:INT <sub>01</sub> ,INT <sub>41</sub> 割り込み	0	
7	このビットには何も配置されていません。書き込み不可で、読み出した場合、その内容は“0”です。		0	x

図3.5.37 割り込みエッジ選択レジスタの構成

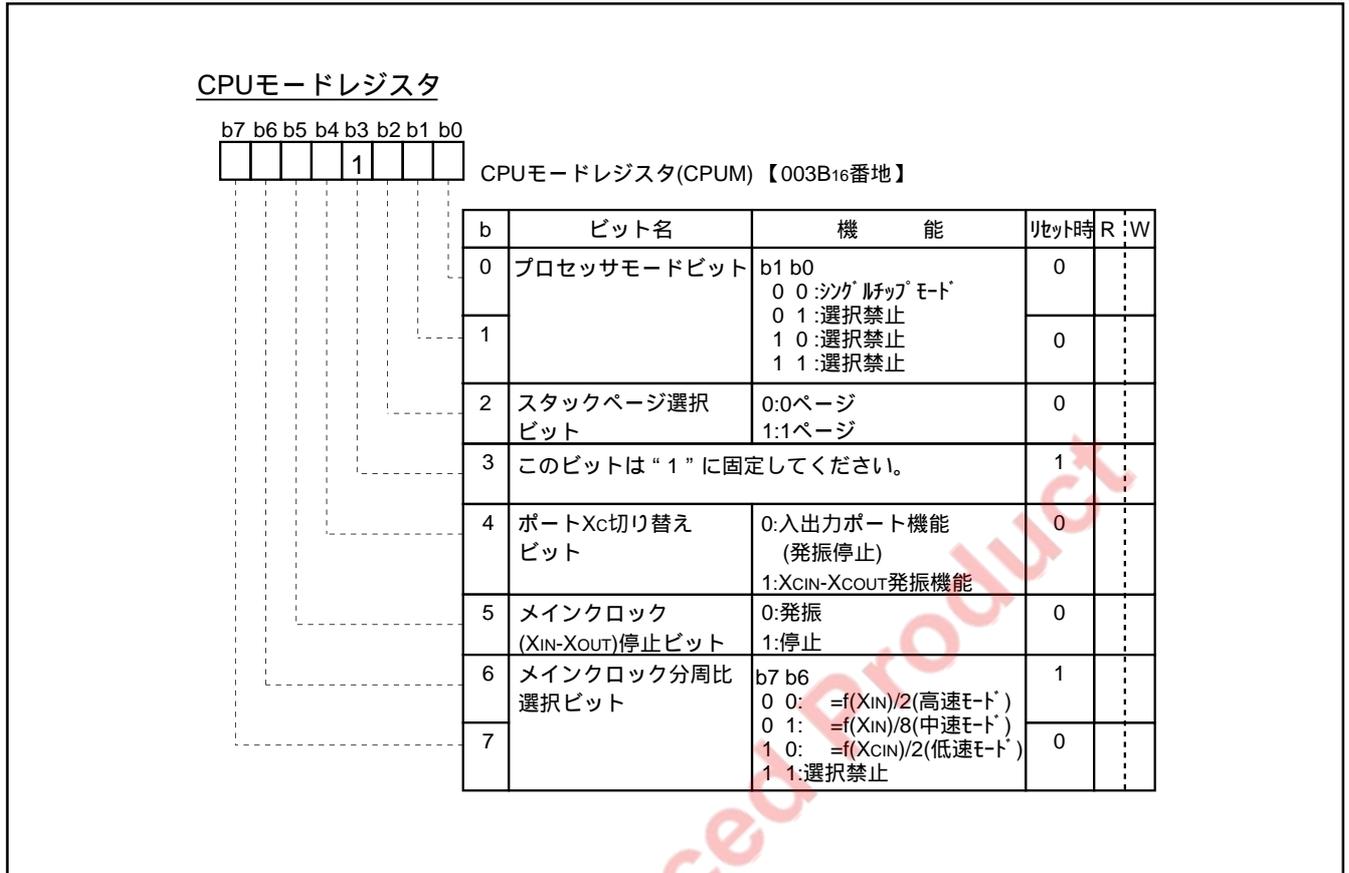


図3.5.38 CPUモードレジスタの構成

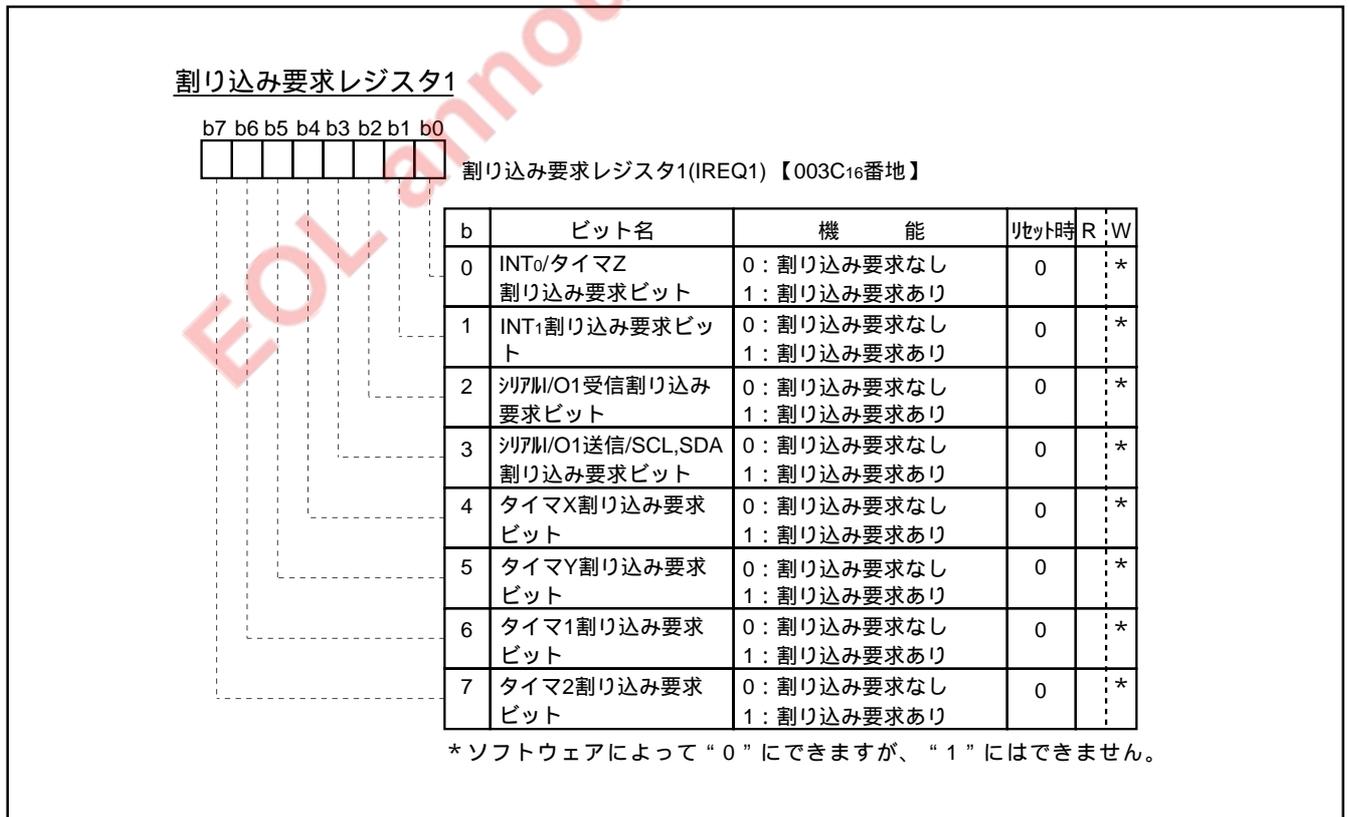


図3.5.39 割り込み要求レジスタ1の構成

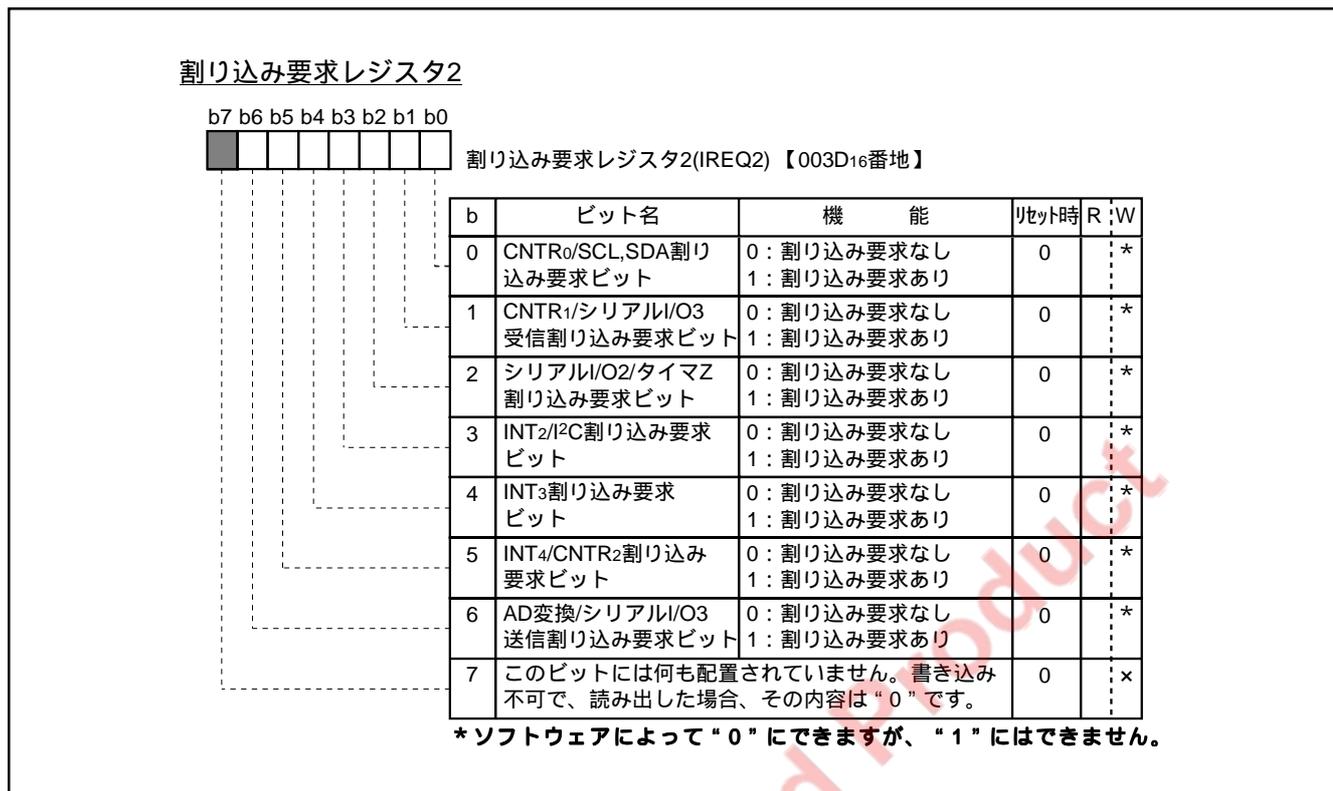


図3.5.40 割り込み要求レジスタ2の構成

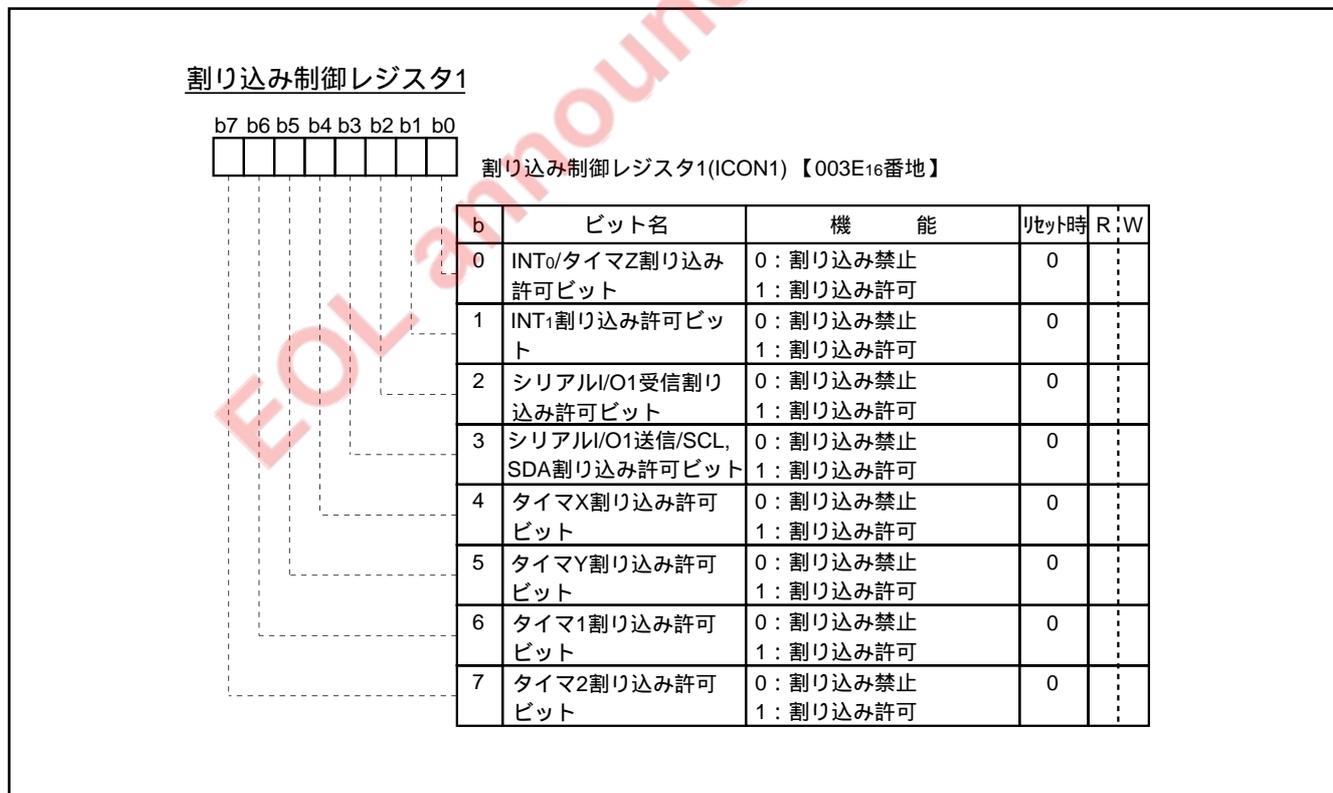


図3.5.41 割り込み制御レジスタ1の構成

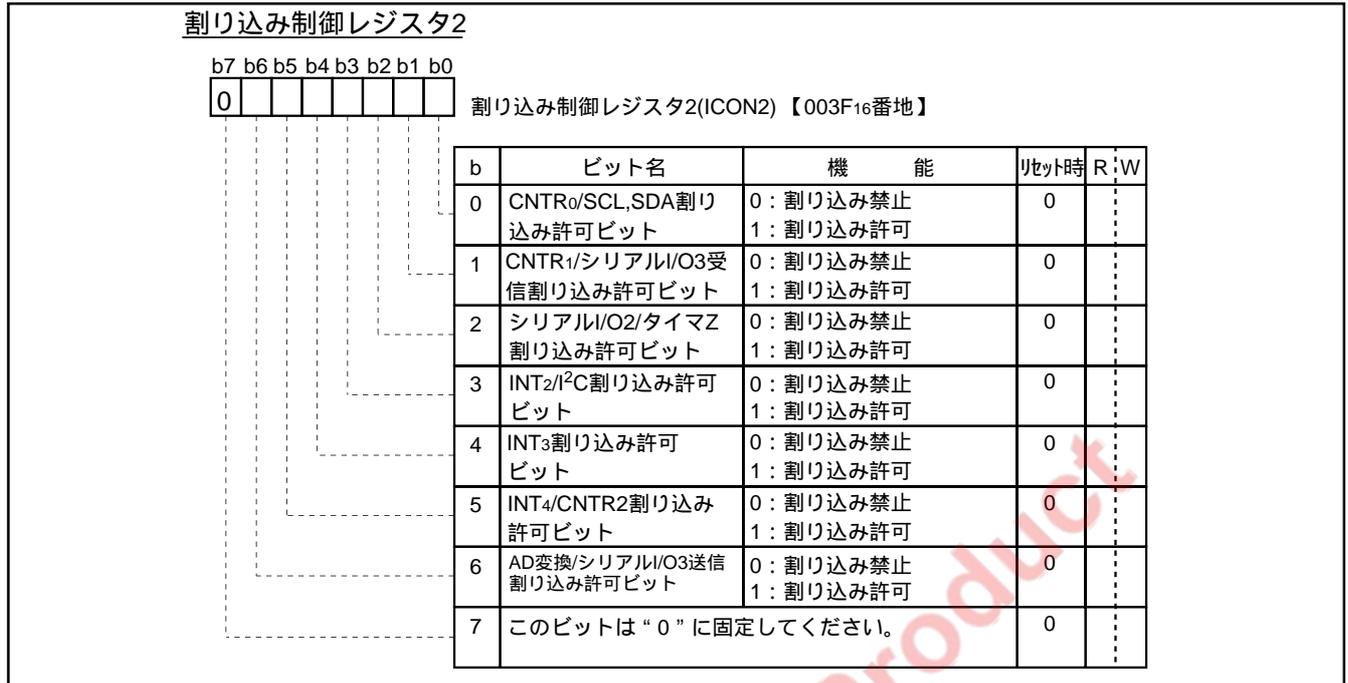


図3.5.42 割り込み制御レジスタ2の構成



図3.5.43 フラッシュメモリ制御レジスタ0の構成

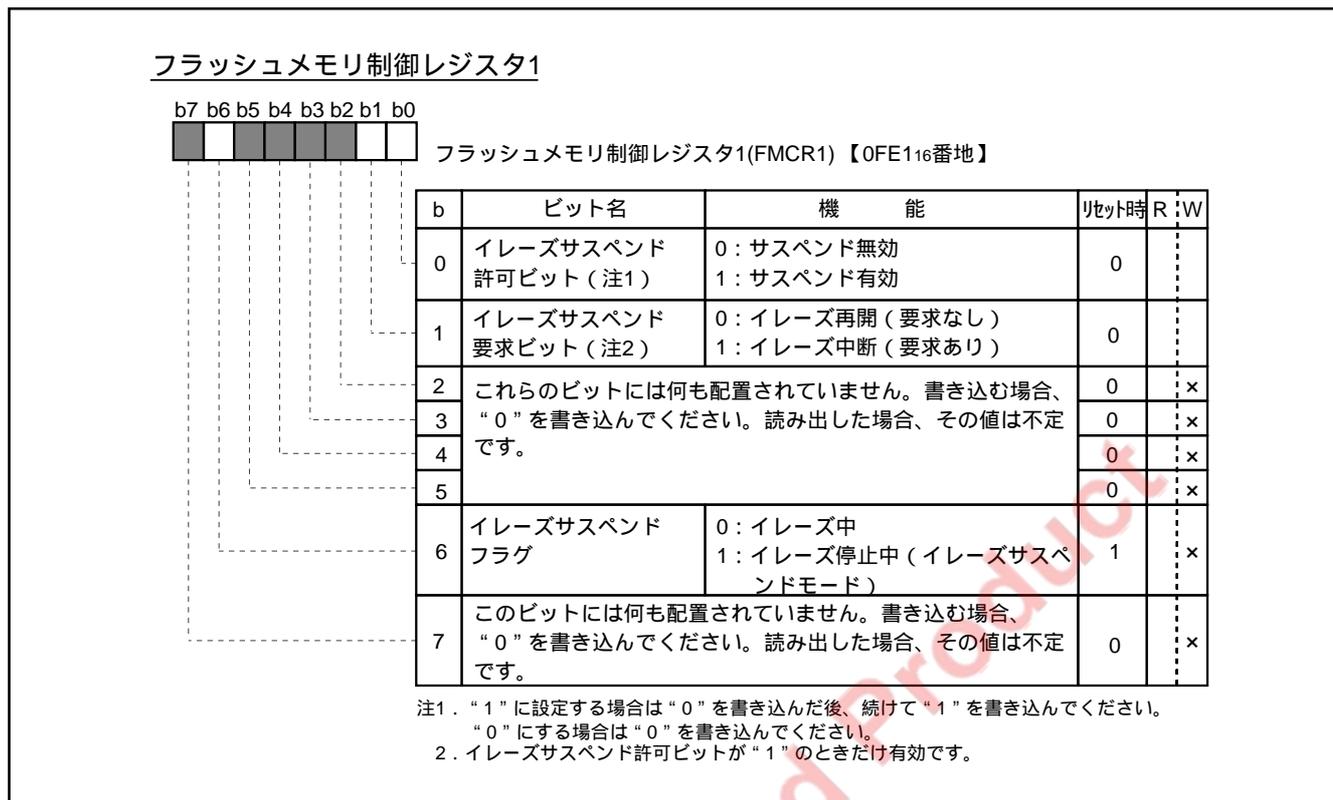


図3.5.44 フラッシュメモリ制御レジスタ1の構成

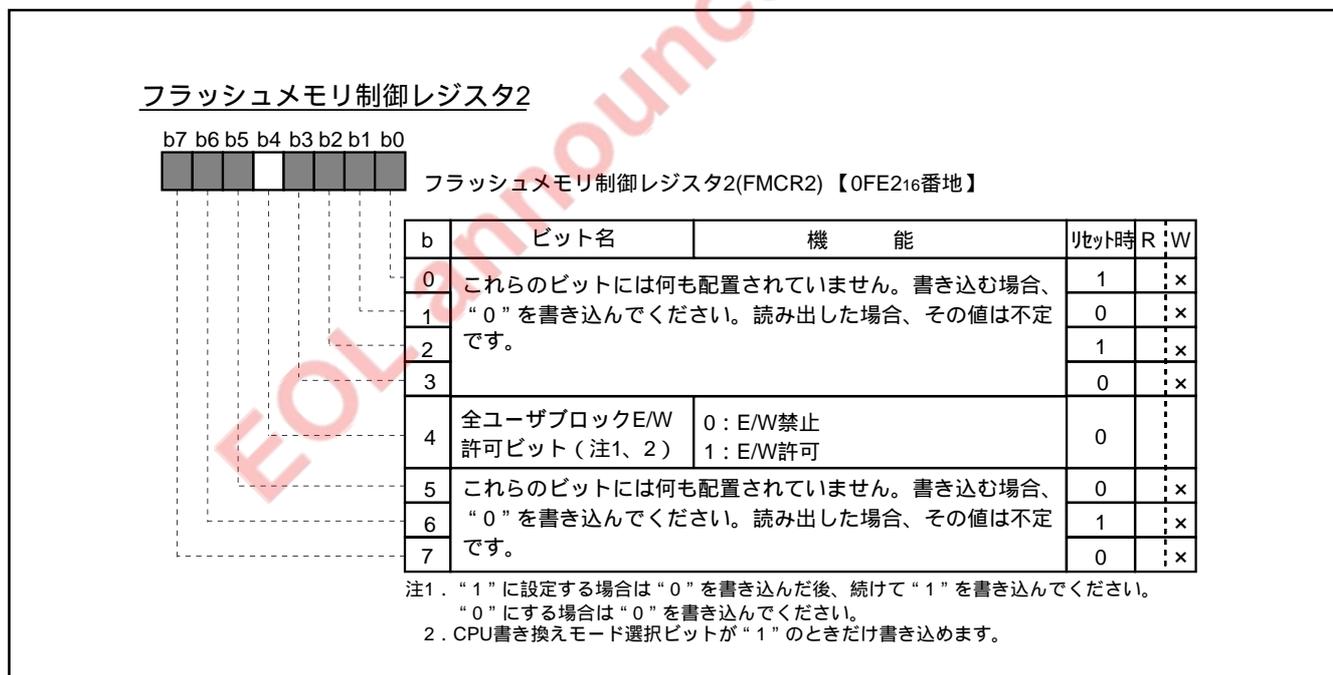


図3.5.45 フラッシュメモリ制御レジスタ2の構成

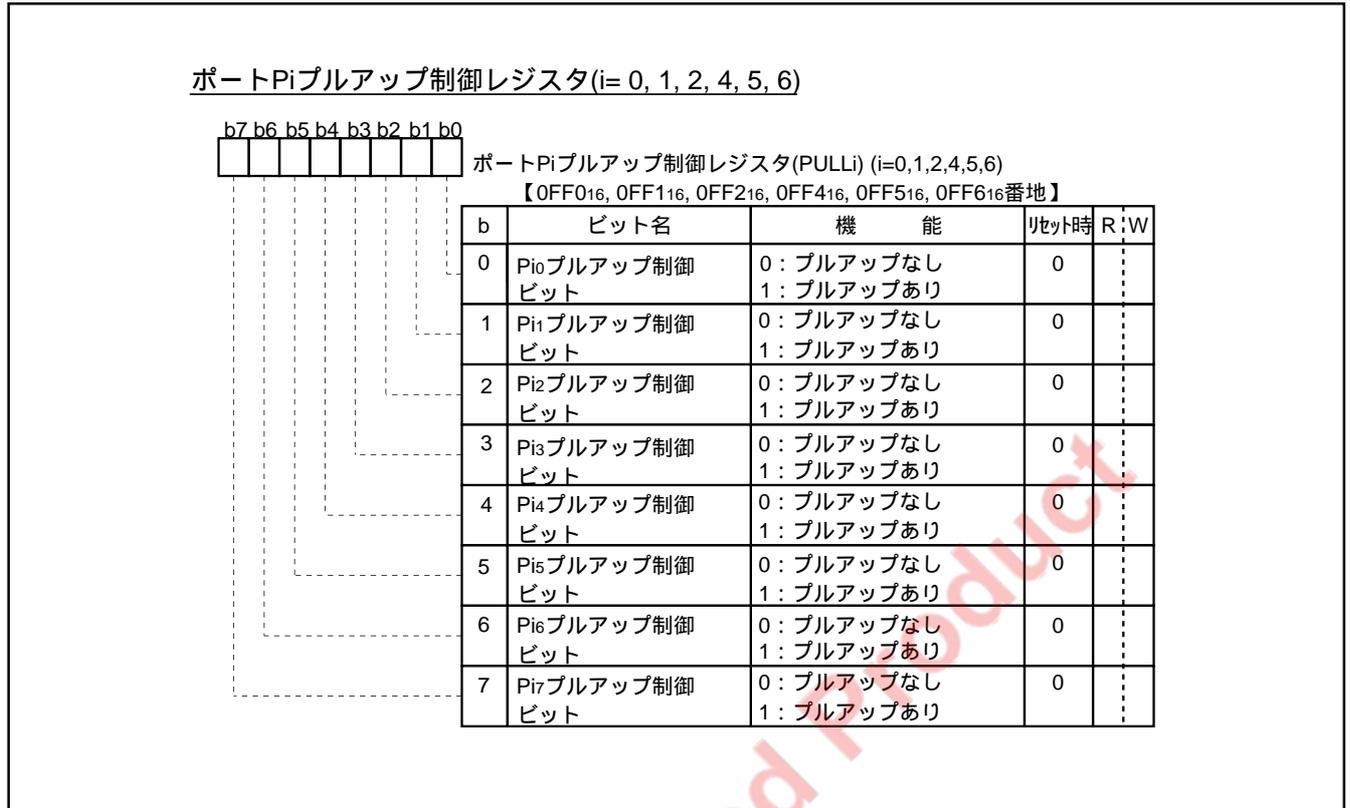


図3.5.46 ポートPiプルアップ制御レジスタの構成

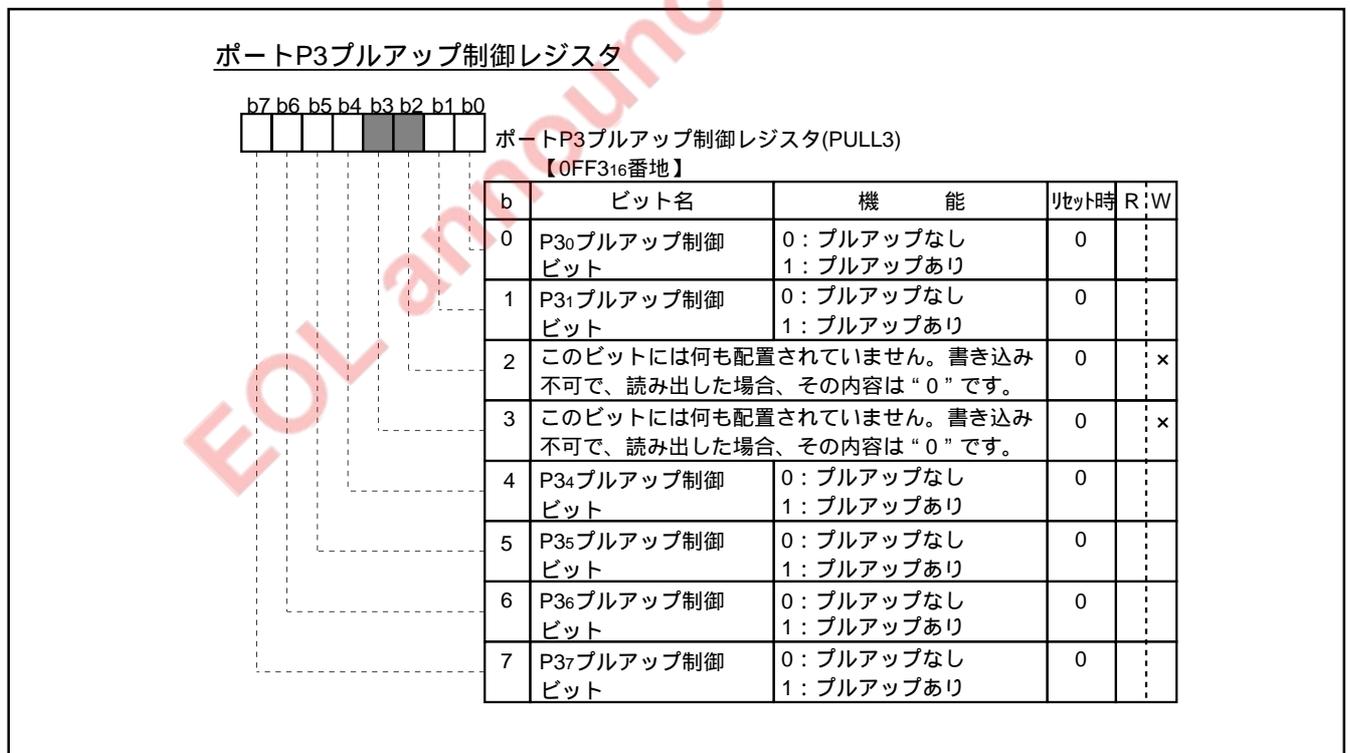
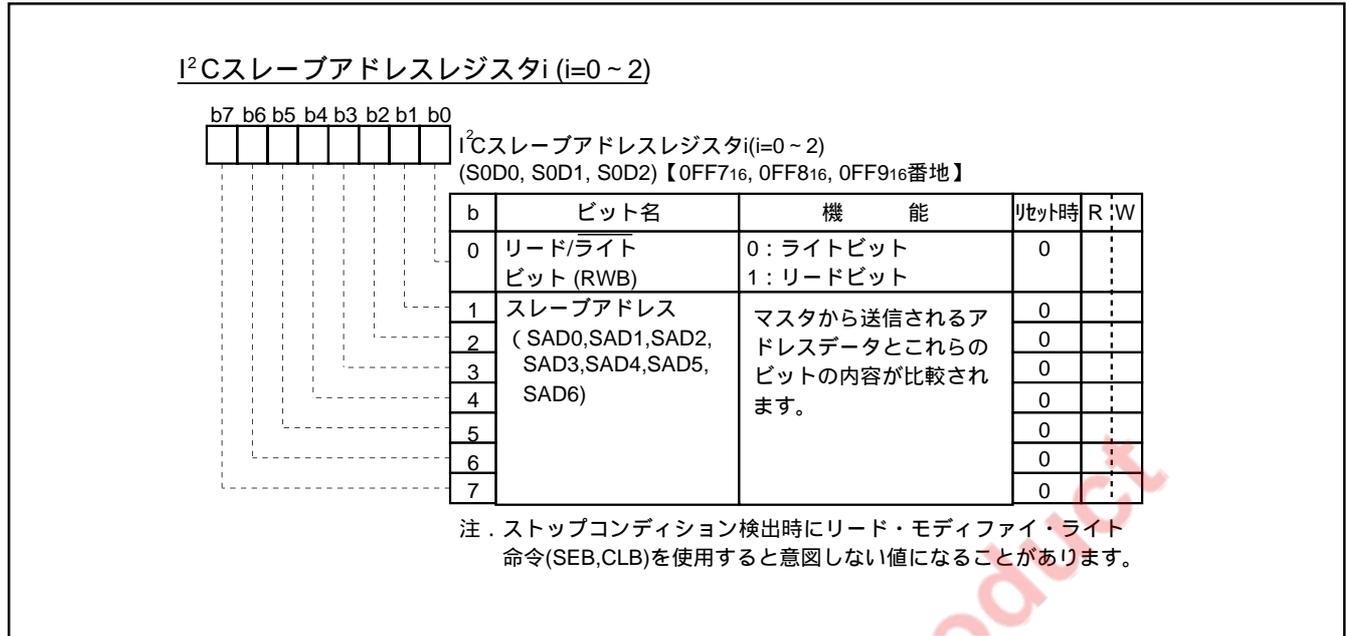


図3.5.47 ポートP3プルアップ制御レジスタの構成

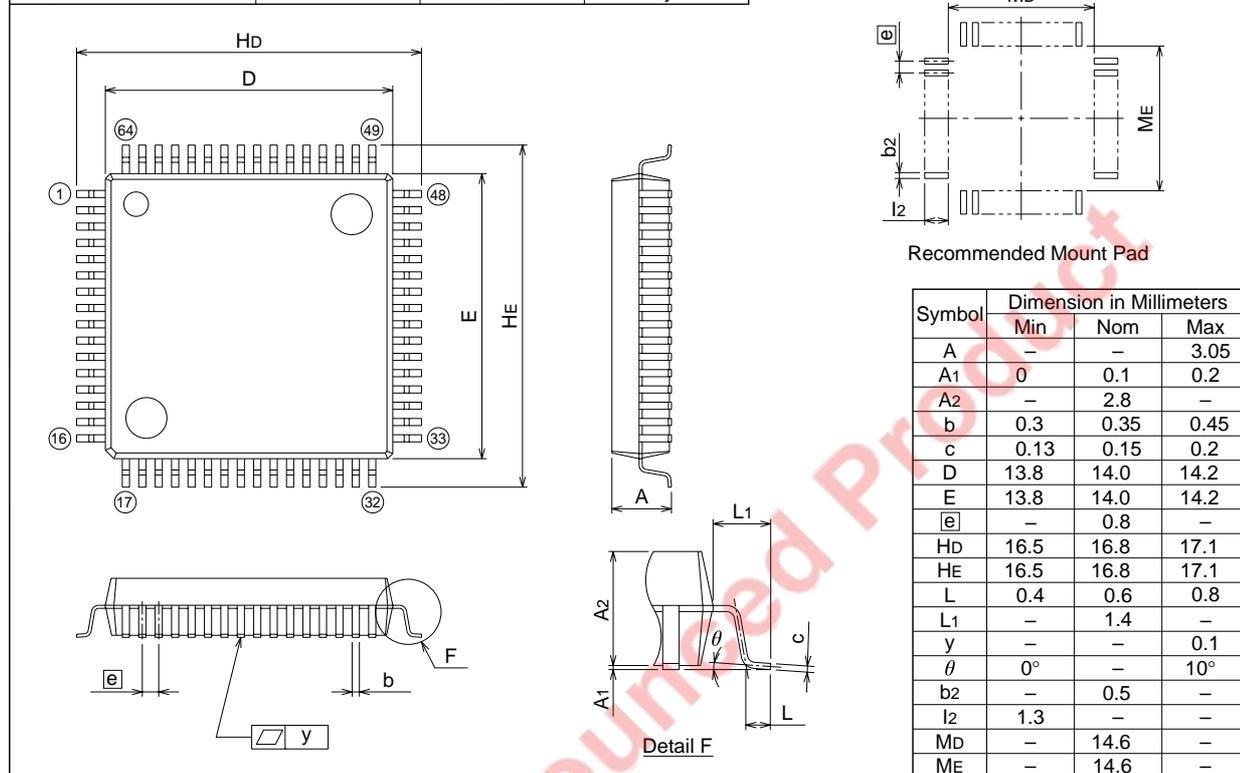
図3.5.48 I<sup>2</sup>Cスレーブアドレスレジスタ*i*の構成

3.6 パッケージ寸法図

64P6N-A

Plastic 64pin 14X 14mm body QFP

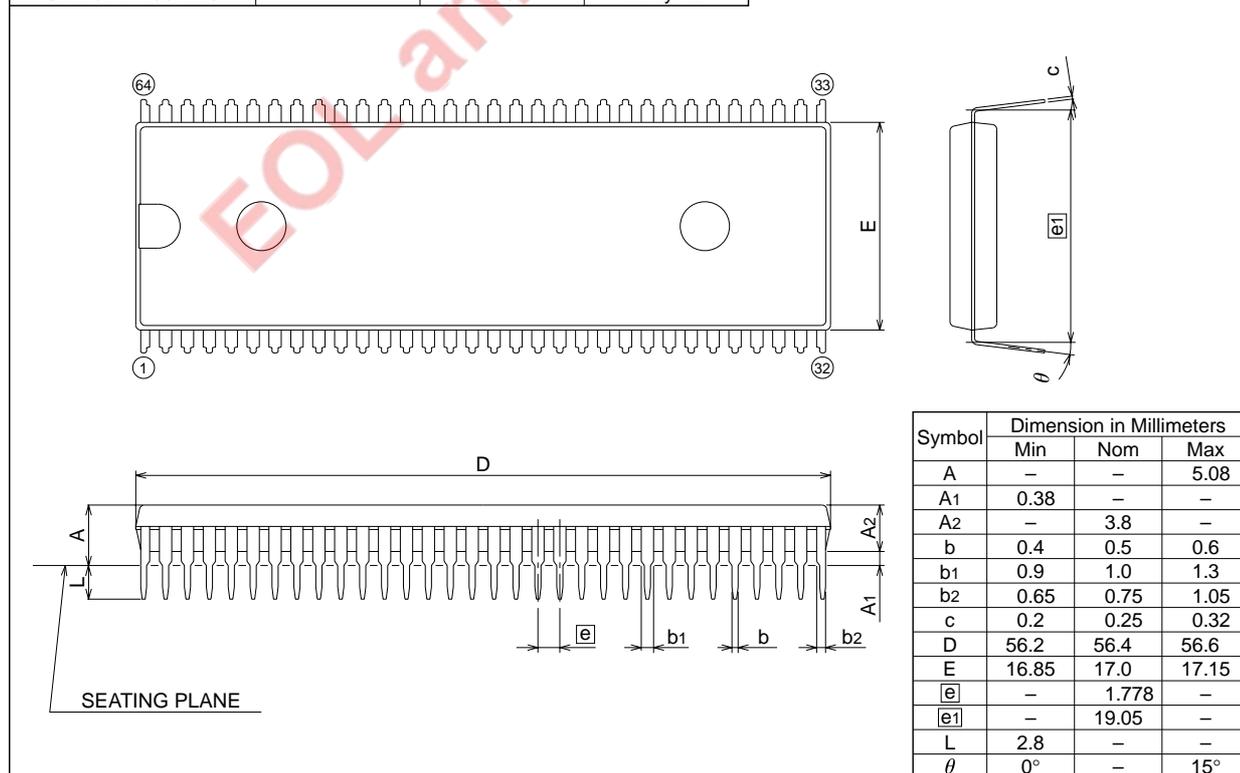
EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
QFP64-P-1414-0.80	-	1.11	Alloy 42



64P4B

Plastic 64pin 750mil SDIP

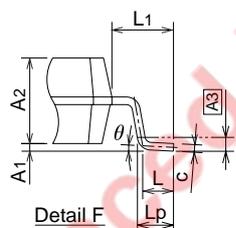
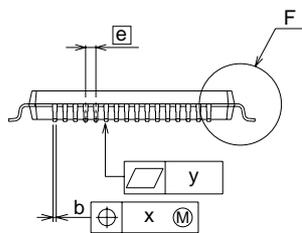
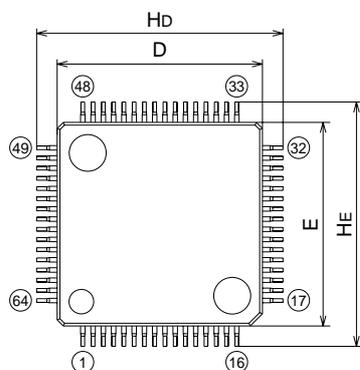
EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
SDIP64-P-750-1.78	-	7.9	Alloy 42



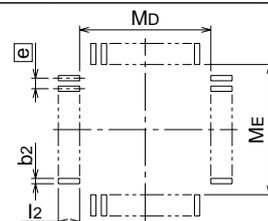
**64P6Q-A**

**Plastic 64pin 10X 10mm body LQFP**

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP64-P-1010-0.5	—		Cu Alloy



Detail F



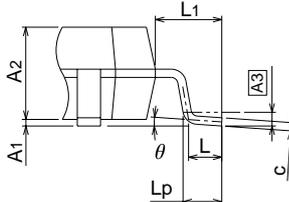
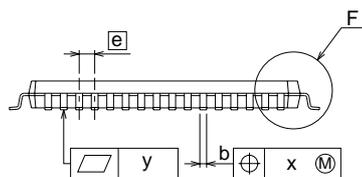
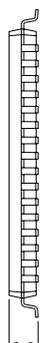
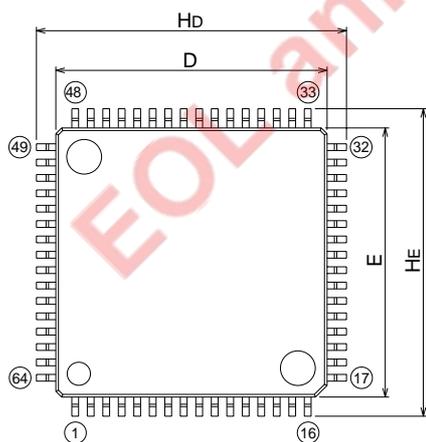
Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	—	—	1.7
A1	0	0.1	0.2
A2	—	1.4	—
b	0.13	0.18	0.28
c	0.105	0.125	0.175
D	9.9	10.0	10.1
E	9.9	10.0	10.1
e	—	0.5	—
Hd	11.8	12.0	12.2
HE	11.8	12.0	12.2
L	0.3	0.5	0.7
L1	—	1.0	—
Lp	0.45	0.6	0.75
A3	—	0.25	—
x	—	—	0.08
y	—	—	0.1
θ	0 <sub>i</sub>	—	10 <sub>i</sub>
b2	—	0.225	—
l2	1.0	—	—
Md	—	10.4	—
ME	—	10.4	—

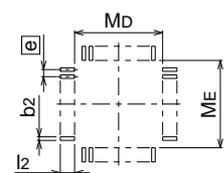
**64P6U-A**

**Plastic 64pin 14X 14mm body LQFP**

EIAJ Package Code	JEDEC Code	Weight(g)	Lead Material
LQFP64-P-1414-0.8	—		Cu Alloy



Detail F



Recommended Mount Pad

Symbol	Dimension in Millimeters		
	Min	Nom	Max
A	—	—	1.7
A1	0	0.1	0.2
A2	—	1.4	—
b	0.32	0.37	0.45
c	0.105	0.125	0.175
D	13.9	14.0	14.1
E	13.9	14.0	14.1
e	—	0.8	—
Hd	15.8	16.0	16.2
HE	15.8	16.0	16.2
L	0.3	0.5	0.7
L1	—	1.0	—
Lp	0.45	0.6	0.75
A3	—	0.25	—
x	—	—	0.2
y	—	—	0.1
θ	0 <sub>i</sub>	—	8 <sub>i</sub>
b2	—	0.5	—
l2	0.95	—	—
Md	—	14.4	—
ME	—	14.4	—

## 3.7 命令コード一覧表

D7 ~ D4	D3 ~ D0 16進 表記	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0000	0	BRK	ORA IND, X	JSR ZP, IND	BBS 0, A	-	ORA ZP	ASL ZP	BBS 0, ZP	PHP	ORA IMM	ASL A	SEB 0, A	-	ORA ABS	ASL ABS	SEB 0, ZP
0001	1	BPL	ORA IND, Y	CLT	BBC 0, A	-	ORA ZP, X	ASL ZP, X	BBC 0, ZP	CLC	ORA ABS, Y	DEC A	CLB 0, A	-	ORA ABS, X	ASL ABS, X	CLB 0, ZP
0010	2	JSR ABS	AND IND, X	JSR SP	BBS 1, A	BIT ZP	AND ZP	ROL ZP	BBS 1, ZP	PLP	AND IMM	ROL A	SEB 1, A	BIT ABS	AND ABS	ROL ABS	SEB 1, ZP
0011	3	BMI	AND IND, Y	SET	BBC 1, A	-	AND ZP, X	ROL ZP, X	BBC 1, ZP	SEC	AND ABS, Y	INC A	CLB 1, A	LDM ZP	AND ABS, X	ROL ABS, X	CLB 1, ZP
0100	4	RTI	EOR IND, X	STP	BBS 2, A	COM ZP	EOR ZP	LSR ZP	BBS 2, ZP	PHA	EOR IMM	LSR A	SEB 2, A	JMP ABS	EOR ABS	LSR ABS	SEB 2, ZP
0101	5	BVC	EOR IND, Y	-	BBC 2, A	-	EOR ZP, X	LSR ZP, X	BBC 2, ZP	CLI	EOR ABS, Y	-	CLB 2, A	-	EOR ABS, X	LSR ABS, X	CLB 2, ZP
0110	6	RTS	ADC IND, X	MUL ZP, X	BBS 3, A	TST ZP	ADC ZP	ROR ZP	BBS 3, ZP	PLA	ADC IMM	ROR A	SEB 3, A	JMP IND	ADC ABS	ROR ABS	SEB 3, ZP
0111	7	BVS	ADC IND, Y	-	BBC 3, A	-	ADC ZP, X	ROR ZP, X	BBC 3, ZP	SEI	ADC ABS, Y	-	CLB 3, A	-	ADC ABS, X	ROR ABS, X	CLB 3, ZP
1000	8	BRA	STA IND, X	RRF ZP	BBS 4, A	STY ZP	STA ZP	STX ZP	BBS 4, ZP	DEY	-	TXA	SEB 4, A	STY ABS	STA ABS	STX ABS	SEB 4, ZP
1001	9	BCC	STA IND, Y	-	BBC 4, A	STY ZP, X	STA ZP, X	STX ZP, Y	BBC 4, ZP	TYA	STA ABS, Y	TXS	CLB 4, A	-	STA ABS, X	-	CLB 4, ZP
1010	A	LDY IMM	LDA IND, X	LDX IMM	BBS 5, A	LDY ZP	LDA ZP	LDX ZP	BBS 5, ZP	TAY	LDA IMM	TAX	SEB 5, A	LDY ABS	LDA ABS	LDX ABS	SEB 5, ZP
1011	B	BCS	LDA IND, Y	JMP ZP, IND	BBC 5, A	LDY ZP, X	LDA ZP, X	LDX ZP, Y	BBC 5, ZP	CLV	LDA ABS, Y	TSX	CLB 5, A	LDY ABS, X	LDA ABS, X	LDX ABS, Y	CLB 5, ZP
1100	C	CPY IMM	CMP IND, X	WIT	BBS 6, A	CPY ZP	CMP ZP	DEC ZP	BBS 6, ZP	INY	CMP IMM	DEX	SEB 6, A	CPY ABS	CMP ABS	DEC ABS	SEB 6, ZP
1101	D	BNE	CMP IND, Y	-	BBC 6, A	-	CMP ZP, X	DEC ZP, X	BBC 6, ZP	CLD	CMP ABS, Y	-	CLB 6, A	-	CMP ABS, X	DEC ABS, X	CLB 6, ZP
1110	E	CPX IMM	SBC IND, X	DIV ZP, X	BBS 7, A	CPX ZP	SBC ZP	INC ZP	BBS 7, ZP	INX	SBC IMM	NOP	SEB 7, A	CPX ABS	SBC ABS	INC ABS	SEB 7, ZP
1111	F	BEQ	SBC IND, Y	-	BBC 7, A	-	SBC ZP, X	INC ZP, X	BBC 7, ZP	SED	SBC ABS, Y	-	CLB 7, A	-	SBC ABS, X	INC ABS, X	CLB 7, ZP

- 3バイト命令  
 2バイト命令  
 1バイト命令

## 3.8 機械語命令一覧表

命令記号	機 能	詳 細 説 明	アドレッシングモード																				
			IMP			IMM			A			BIT, A, R			ZP			BIT, ZP, R					
			OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#			
ADC (注1) (注5)	T = 0のとき A A + M + C  T = 1のとき M(X) M(X) + M + C	Tフラグが0のとき、AとMとCフラグの内容を加算して、結果をA及びCフラグに入れます。 Tフラグが1のとき、M(X)とMとCフラグの内容を加算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				69	2	2										65	3	2			
AND (注1)	T = 0のとき A A ∧ M  T = 1のとき M(X) M(X) ∧ M	Tフラグが0のとき、AとMの内容のビットごとの論理積をとり、結果をAに入れます。 Tフラグが1のとき、M(X)とMの内容のビットごとの論理積をとり、結果をM(X)に入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。				29	2	2										25	3	2			
ASL	$\begin{matrix} 7 & 0 \\ \boxed{\phantom{0}} & \leftarrow 0 \end{matrix}$	A又はMのすべてのビットを、1ビット左へシフトします。このとき、A又はMのビット0は0になります。また、Cフラグには、A又はMのビット7の内容が入ります。							0A	2	1							06	5	2			
BBC (注4)	Ai又はMi = 0?	M又はAの指定されたビットをテストします。そのビットが0であれば、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。そのビットが1であれば、そのまま、次へ進みます。													13	4	2				17	5	3
BBS (注4)	Ai又はMi = 1?	M又はAの指定されたビットをテストします。そのビットが1であれば、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。そのビットが0であれば、そのまま、次へ進みます。													03	4	2				07	5	3
BCC (注4)	C = 0?	Cフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Cフラグが1のとき、そのまま、次へ進みます。																					
BCS (注4)	C = 1?	Cフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Cフラグが0のとき、そのまま、次へ進みます。																					
BEQ (注4)	Z = 1?	Zフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Zフラグが0のとき、そのまま、次へ進みます。																					
BIT	A ∧ M	AとMの内容のビットごとの論理積をとりますが、結果はどこにもストアされません。Nフラグ、Vフラグ、Zフラグの内容は変化しますが、AとMの内容は変化しません。																24	3	2			
BMI (注4)	N = 1?	Nフラグが1のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Nフラグが0のとき、そのまま、次へ進みます。																					
BNE (注4)	Z = 0?	Zフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Zフラグが1のとき、そのまま、次へ進みます。																					
BPL (注4)	N = 0?	Nフラグが0のとき、指定されたアドレスに分岐します。分岐先のアドレスは、相対で示します。Nフラグが1のとき、そのまま、次へ進みます。																					
BRA	PC PC ± オフセット	指定されたアドレスにジャンプします。ジャンプ先のアドレスは、相対で示します。																					
BRK	B 1 (PC) (PC) + 2 M(S) PCH S S - 1 M(S) PCL S S - 1 M(S) PS S S - 1 I 1 PCL ADL PCH ADH	BRK命令を実行すると、CPUは現在のPCの内容をスタックに退避し、割り込みベクトルで、指定されたアドレス (BADRS) をPCに格納します。	00	7	1																		

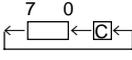
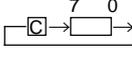










命令記号	機 能	詳 細 説 明	アドレッシングモード																		
			IMP			IMM			A			BIT, A			ZP			BIT, ZP			
			OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	OP	n	#	
PHA	M(S) A S S - 1	Sの示す番地のメモリへ、Aの内容を退避し、Sの内容を、1減少させます。	48	3	1																
PHP	M(S) PS S S - 1	Sの示す番地のメモリへ、PSの内容を退避し、Sの内容を、1減少させます。	08	3	1																
PLA	S S + 1 A M(S)	Sの内容を、1増加させ、Sの示す番地のメモリの内容を、Aに入れます。	68	4	1																
PLP	S S + 1 PS M(S)	Sの内容を、1増加させ、Sの示す番地のメモリの内容を、PSに入れます。	28	4	1																
ROL		A又はMをCフラグとつなげて、その内容を左へ1ビット回転します。A又はMのビット0には、Cフラグの内容が入り、Cフラグには、A又はMのビット7の内容が入ります。							2A	2	1					26	5	2			
ROR		A又はMをCフラグとつなげて、その内容を右へ1ビット回転します。A又はMのビット7には、Cフラグの内容が入り、Cフラグには、A又はMのビット0の内容が入ります。							6A	2	1					66	5	2			
RRF		Mの内容を右へ4ビット回転します。														82	8	2			
RTI	S S + 1 PS M(S) S S + 1 PCL M(S) S S + 1 PCH M(S)	割り込みが受け付けられたときにスタックに退避したステータスフラグとPCの内容を復帰し、割り込みが受け付けられる前と同じ状態に戻します。ただし、M(S)はSが示す番地のメモリの内容です。	40	6	1																
RTS	S S + 1 PCL M(S) S S + 1 PCH M(S) (PC) (PC) + 1	サブルーチンへジャンプしたときに、スタックに退避した内容をPCへ格納します。そして、PCを1増加します。このとき、PCはJSRの次の命令を指しています。ただし、M(S)はSが示す番地のメモリの内容です。	60	6	1																
SBC (注 1) (注 5)	T = 0のとき A A - M - C̄  T = 1のとき M(X) M(X) - M - C̄	Tフラグが0のとき、Aの内容から、Mの内容及び、Cフラグの内容の補数を減算して、結果をA及びCフラグに入れます。 Tフラグが1のとき、M(X)の内容から、Mの内容及び、Cフラグの内容の補数を減算して、結果をM(X)及びCフラグに入れます。このとき、Aの内容は変化しませんが、ステータスフラグは変化します。ただし、M(X)はXが示す番地のメモリの内容です。							E9	2	2					E5	3	2			
SEB	Ai又は Mi 1	A又はMの、指定されたビットiの内容を1にします。											0B 20i	2	1				0F 20i	5	2
SEC	C 1	Cフラグの内容を1にします。	38	2	1																
SED	D 1	Dフラグの内容を1にします。	F8	2	1																
SEI	I 1	Iフラグの内容を1にします。	78	2	1																
SET	T 1	Tフラグの内容を1にします。	32	2	1																







## 3.9 SFRメモリマップ

0000 <sub>16</sub>	ポートP0(P0)
0001 <sub>16</sub>	ポートP0方向レジスタ(P0D)
0002 <sub>16</sub>	ポートP1(P1)
0003 <sub>16</sub>	ポートP1方向レジスタ(P1D)
0004 <sub>16</sub>	ポートP2(P2)
0005 <sub>16</sub>	ポートP2方向レジスタ(P2D)
0006 <sub>16</sub>	ポートP3(P3)
0007 <sub>16</sub>	ポートP3方向レジスタ(P3D)
0008 <sub>16</sub>	ポートP4(P4)
0009 <sub>16</sub>	ポートP4方向レジスタ(P4D)
000A <sub>16</sub>	ポートP5(P5)
000B <sub>16</sub>	ポートP5方向レジスタ(P5D)
000C <sub>16</sub>	ポートP6(P6)
000D <sub>16</sub>	ポートP6方向レジスタ(P6D)
000E <sub>16</sub>	タイマ12,Xカウントソース選択レジスタ(T12XCSS)
000F <sub>16</sub>	タイマY,Zカウントソース選択レジスタ(TYZCSS)
0010 <sub>16</sub>	MISRG
0011 <sub>16</sub>	I <sup>2</sup> Cデータシフトレジスタ(S0)
0012 <sub>16</sub>	I <sup>2</sup> Cスペシャルモードステータスレジスタ(S3)
0013 <sub>16</sub>	I <sup>2</sup> Cステータスレジスタ(S1)
0014 <sub>16</sub>	I <sup>2</sup> Cコントロールレジスタ(S1D)
0015 <sub>16</sub>	I <sup>2</sup> Cクロックコントロールレジスタ(S2)
0016 <sub>16</sub>	I <sup>2</sup> Cスタート/ストップコンディション制御レジスタ(S2D)
0017 <sub>16</sub>	I <sup>2</sup> Cスペシャルモード制御レジスタ(S3D)
0018 <sub>16</sub>	送信/受信バッファレジスタ1(TB1/RB1)
0019 <sub>16</sub>	シリアルI/O1ステータスレジスタ(SIO1STS)
001A <sub>16</sub>	シリアルI/O1制御レジスタ(SIO1CON)
001B <sub>16</sub>	UART1制御レジスタ(UART1CON)
001C <sub>16</sub>	ボーレートジェネレータ1(BRG1)
001D <sub>16</sub>	シリアルI/O2制御レジスタ(SIO2CON)
001E <sub>16</sub>	ウォッチドックタイマ制御レジスタ(WDTCON)
001F <sub>16</sub>	シリアルI/O2レジスタ(SIO2)

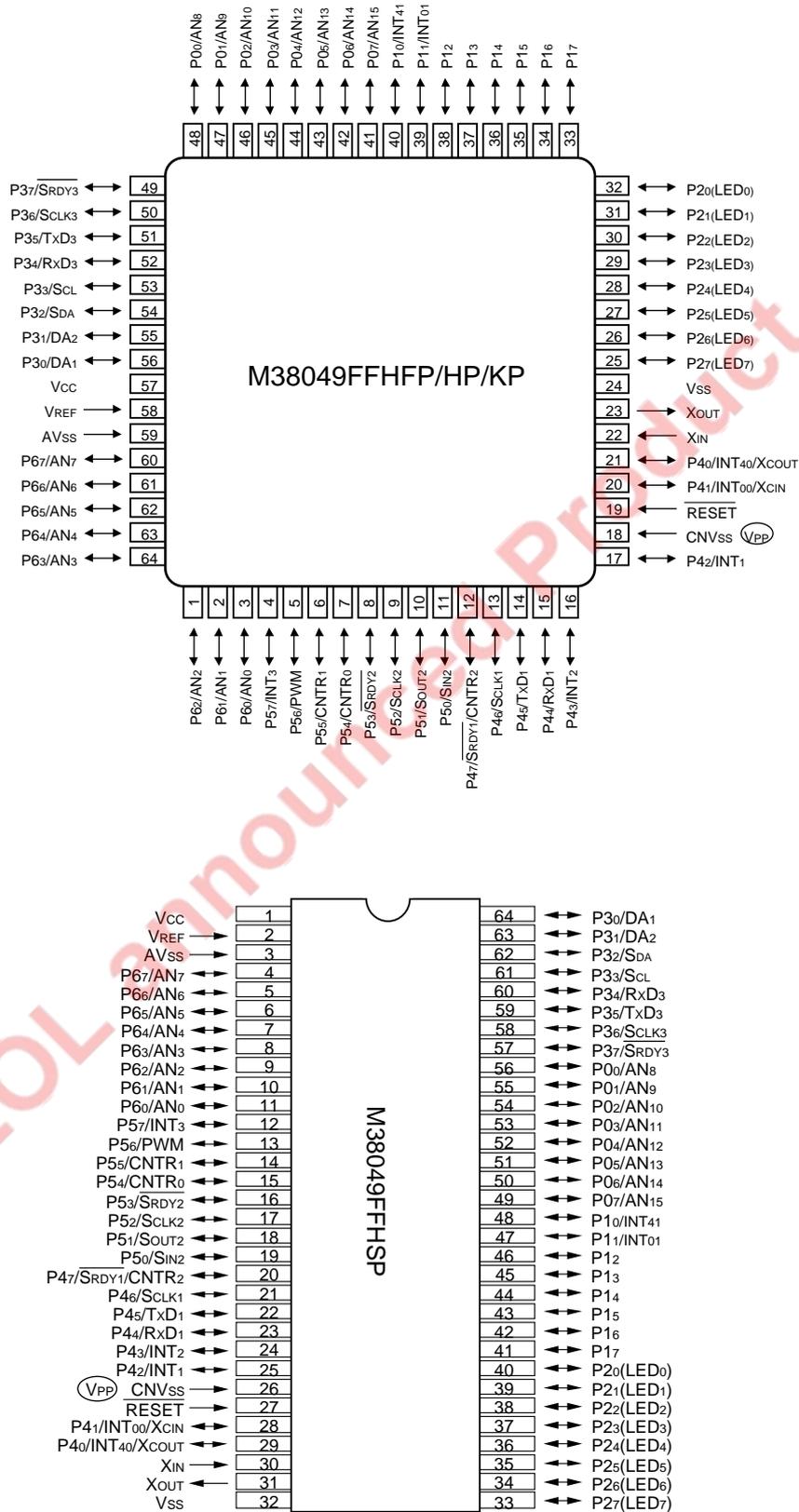
0FE0 <sub>16</sub>	フラッシュメモリ制御レジスタ0(FMCR0)
0FE1 <sub>16</sub>	フラッシュメモリ制御レジスタ1(FMCR1)
0FE2 <sub>16</sub>	フラッシュメモリ制御レジスタ2(FMCR2)
0FE3 <sub>16</sub>	予約 (注)
0FE4 <sub>16</sub>	予約 (注)
0FE5 <sub>16</sub>	予約 (注)
0FE6 <sub>16</sub>	予約 (注)
0FE7 <sub>16</sub>	予約 (注)
0FE8 <sub>16</sub>	予約 (注)
0FE9 <sub>16</sub>	予約 (注)
0FEA <sub>16</sub>	予約 (注)
0FEB <sub>16</sub>	予約 (注)
0FEC <sub>16</sub>	予約 (注)
0FED <sub>16</sub>	予約 (注)
0FEE <sub>16</sub>	予約 (注)
0FEF <sub>16</sub>	予約 (注)

0020 <sub>16</sub>	プリスケアラ12(PRE12)
0021 <sub>16</sub>	タイマ1(T1)
0022 <sub>16</sub>	タイマ2(T2)
0023 <sub>16</sub>	タイマXYモードレジスタ(TM)
0024 <sub>16</sub>	プリスケアラX(PREX)
0025 <sub>16</sub>	タイマX(TX)
0026 <sub>16</sub>	プリスケアラY(PREY)
0027 <sub>16</sub>	タイマY(TY)
0028 <sub>16</sub>	タイマZ下位(TZL)
0029 <sub>16</sub>	タイマZ上位(TZH)
002A <sub>16</sub>	タイマZモードレジスタ(TZM)
002B <sub>16</sub>	PWM制御レジスタ(PWMCON)
002C <sub>16</sub>	PWMプリスケアラ(PREPWM)
002D <sub>16</sub>	PWMレジスタ(PWM)
002E <sub>16</sub>	
002F <sub>16</sub>	ボーレートジェネレータ3(BRG3)
0030 <sub>16</sub>	送信/受信バッファレジスタ3(TB3/RB3)
0031 <sub>16</sub>	シリアルI/O3ステータスレジスタ(SIO3STS)
0032 <sub>16</sub>	シリアルI/O3制御レジスタ(SIO3CON)
0033 <sub>16</sub>	UART3制御レジスタ(UART3CON)
0034 <sub>16</sub>	AD/DA制御レジスタ(ADCON)
0035 <sub>16</sub>	AD変換レジスタ1(AD1)
0036 <sub>16</sub>	DA1変換レジスタ(DA1)
0037 <sub>16</sub>	DA2変換レジスタ(DA2)
0038 <sub>16</sub>	AD変換レジスタ2(AD2)
0039 <sub>16</sub>	割り込み要因選択レジスタ(INTSEL)
003A <sub>16</sub>	割り込みエッジ選択レジスタ(INTEDGE)
003B <sub>16</sub>	CPUモードレジスタ(CPUM)
003C <sub>16</sub>	割り込み要求レジスタ1(IREQ1)
003D <sub>16</sub>	割り込み要求レジスタ2(IREQ2)
003E <sub>16</sub>	割り込み制御レジスタ1(ICON1)
003F <sub>16</sub>	割り込み制御レジスタ2(ICON2)

0FF0 <sub>16</sub>	ポートP0プルアップ制御レジスタ(PULL0)
0FF1 <sub>16</sub>	ポートP1プルアップ制御レジスタ(PULL1)
0FF2 <sub>16</sub>	ポートP2プルアップ制御レジスタ(PULL2)
0FF3 <sub>16</sub>	ポートP3プルアップ制御レジスタ(PULL3)
0FF4 <sub>16</sub>	ポートP4プルアップ制御レジスタ(PULL4)
0FF5 <sub>16</sub>	ポートP5プルアップ制御レジスタ(PULL5)
0FF6 <sub>16</sub>	ポートP6プルアップ制御レジスタ(PULL6)
0FF7 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ0(S0D0)
0FF8 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ1(S0D1)
0FF9 <sub>16</sub>	I <sup>2</sup> Cスレーブアドレスレジスタ2(S0D2)

注．予約領域のため、何もデータを書き込まないでください。

3.10 ピン接続図



## Memo

EOL announced Product

EOL announced Product

---

3804グループ(H仕様)ユーザズマニュアル

発行年月日 2004年12月28日 Rev. 1.00

発行 株式会社 ルネサス テクノロジ 営業企画統括部  
〒100-0004 東京都千代田区大手町2-6-2

---

© 2004. Renesas Technology Corp., All rights reserved. Printed in Japan.

EOL announced Product

3804 グループ (H仕様)  
ユーザーズマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0226-0100Z